User's Manual

16

RL78/G21

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.00　2026.05

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2026 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者　　このマニュアルはRL78/G21の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- 20ピン：R7F103G6x（x = G, J）
- 32ピン：R7F103GBx（x = G, J）
- 44ピン：R7F103GFx（x = G, J）
- 48ピン：R7F103GGx（x = G, J）
- 64ピン：R7F103GLx（x = G, J）

目的　　このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成　　RL78/G21のマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/G21 ユーザーズマニュアル ハードウェア編	RL78ファミリ ユーザーズマニュアル ソフトウェア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読み方　このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。この★をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を< >で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

□ 命令機能の詳細を知りたいとき

→別冊のRL78ファミリ　ユーザーズマニュアル　ソフトウェア編（R01US0015J）を参照してください。

凡例

データ表記の重み：	左が上位桁、右が下位桁
アクティブ・ロウの表記：	$\overline{\times\times\times}$（端子、信号名称に上線）
注：	本文中につけた注の説明
注意：	気をつけて読んでいただきたい内容
備考：	本文の補足説明
数の表記：	2進数…××××または××××B
	10進数…××××
	16進数…××××H

関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G21　ユーザーズマニュアル　ハードウェア編	このマニュアル	R01UH1177E
RL78ファミリ　ユーザーズマニュアル　ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込みおよびオンチップ・デバッグ機能の関連資料

資料名	資料番号	
	和文	英文
PG-FP6　フラッシュメモリプログラマ　ユーザーズマニュアル	注1	注1
E2エミュレータ　ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2エミュレータLite　ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	注2	注2

注1.　PG-FP6の資料は以下のホーム・ページを参照してください。

和文：https://www.renesas.com/jp/ja/software-tool/pg-fp6

英文：https://www.renesas.com/us/en/software-tool/pg-fp6

注2.　Renesas Flash Programmerの資料は以下のホーム・ページを参照してください。

和文：https://www.renesas.com/jp/ja/software-tool/renesas-flash-programmer-programming-gui

英文：https://www.renesas.com/us/en/software-tool/renesas-flash-programmer-programming-gui

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ　RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

1. 概　説 1
1.1 特徴 1
1.2 型名一覧 4
1.3 端子接続図（Top View） 6
1.3.1 20ピン製品 6
1.3.2 32ピン製品 8
1.3.3 44ピン製品 10
1.3.4 48ピン製品 13
1.3.5 64ピン製品 16
1.4 端子名称 19
1.5 ブロック図 20
1.6 機能概要 21

2. 端子機能 24
2.1 ポートの端子機能 24
2.1.1 20ピン製品 25
2.1.2 32ピン製品 27
2.1.3 44ピン製品 29
2.1.4 48ピン製品 31
2.1.5 64ピン製品 33
2.2 ポート以外の端子機能 35
2.2.1 製品別の搭載機能 35
2.2.2 機能説明 38
2.3 未使用端子の処理 40
2.4 端子ブロック図 41

3. CPUアーキテクチャ 54
3.1 メモリ空間 55
3.1.1 内部プログラム・メモリ空間 58
3.1.2 ミラー領域 62
3.1.3 内部データ・メモリ空間 64
3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域 65
3.1.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 65
3.1.6 データ・メモリ・アドレッシング 66
3.2 プロセッサ・レジスタ 67
3.2.1 制御レジスタ 67
3.2.2 汎用レジスタ 69
3.2.3 ES, CS レジスタ 70
3.2.4 特殊機能レジスタ（SFR：Special Function Register） 71
3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 75
3.3 命令アドレスのアドレッシング 82
3.3.1 レラティブ・アドレッシング 82
3.3.2 イミーディエト・アドレッシング 82
3.3.3 テーブル・インダイレクト・アドレッシング 83
3.3.4 レジスタ・インダイレクト・アドレッシング 84

3.4 処理データ・アドレスに対するアドレッシング 85
3.4.1 インプライド・アドレッシング 85
3.4.2 レジスタ・アドレッシング 86
3.4.3 ダイレクト・アドレッシング 87
3.4.4 ショート・ダイレクト・アドレッシング 88
3.4.5 SFRアドレッシング 89
3.4.6 レジスタ・インダイレクト・アドレッシング 90
3.4.7 ベースト・アドレッシング 91
3.4.8 ベースト・インデクスト・アドレッシング 94
3.4.9 スタック・アドレッシング 95

4. ポート機能 98
4.1 ポートの機能 98
4.2 ポートの構成 98
4.2.1 ポート0 99
4.2.2 ポート1 99
4.2.3 ポート2 99
4.2.4 ポート3 100
4.2.5 ポート4 100
4.2.6 ポート5 100
4.2.7 ポート6 101
4.2.8 ポート7 101
4.2.9 ポート12 101
4.2.10 ポート13 102
4.2.11 ポート14 102
4.3 ポート機能を制御するレジスタ 103
4.3.1 ポート・モード・レジスタ（PMxx） 107
4.3.2 ポート・レジスタ（Pxx） 108
4.3.3 プルアップ抵抗オプション・レジスタ（PUxx） 109
4.3.4 ポート入力モード・レジスタ（PIMxx） 110
4.3.5 ポート出力モード・レジスタ（POMxx） 111
4.3.6 ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx） 112
4.3.7 ポート・モード・コントロールA・レジスタ（PMCAxx） 113
4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx） 114
4.3.9 グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS） 116
4.3.10 ポート・モード選択レジスタ（PMS） 116
4.4 ポート機能の動作 117
4.4.1 入出力ポートへの書き込み 117
4.4.2 入出力ポートからの読み出し 117
4.4.3 入出力ポートでの演算 117
4.4.4 $EV_{DD} \leqq V_{DD}$による異電位（1.8 V系、2.5 V系、3 V系）対応 117
4.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応 118
4.5 兼用機能使用時のレジスタ設定 121
4.5.1 兼用機能使用時の基本的な考え方 121
4.5.2 出力機能を使用しない兼用機能のレジスタ設定 123
4.5.3 ポートの各レジスタ設定と端子状態 124
4.5.4 使用するポート機能および兼用機能のレジスタ設定例 124
4.6 ポート機能使用時の注意事項 139
4.6.1 ポート・レジスタ（Pxx）に対する1ビット・メモリ操作命令に関する注意事項 139

4.6.2 端子設定に関する注意事項 140

5. オペレーション・ステート・コントロール 141
5.1 オペレーション・ステート・コントロールの構成 141
5.2 オペレーション・ステート・コントロールを制御するレジスタ 143
5.2.1 フラッシュ動作モード選択レジスタ（FLMODE） 143
5.2.2 フラッシュ動作モード・プロテクト・レジスタ（FLMWRP） 145
5.3 フラッシュ動作モードの初期設定 146
5.4 フラッシュ動作モードの遷移 147
5.5 フラッシュ動作モードの詳細 148
5.5.1 HS（高速メイン）モードの詳細 148
5.5.2 LS（低速メイン）モードの詳細 149
5.5.3 LP（低電力メイン）モードの詳細 150
5.5.4 SUBモードの詳細 151

6. クロック発生回路 152
6.1 クロック発生回路の機能 152
6.2 クロック発生回路の構成 154
6.3 クロック発生回路を制御するレジスタ 156
6.3.1 クロック動作モード制御レジスタ（CMC） 157
6.3.2 システム・クロック制御レジスタ（CKC） 158
6.3.3 クロック動作ステータス制御レジスタ（CSC） 160
6.3.4 発振安定時間カウンタ状態レジスタ（OSTC） 161
6.3.5 発振安定時間選択レジスタ（OSTS） 163
6.3.6 周辺イネーブル・レジスタ0, 1（PER0, PER1） 165
6.3.7 サブシステム・クロック供給モード制御レジスタ（OSMC） 168
6.3.8 サブシステム・クロック選択レジスタ（CKSEL） 169
6.3.9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 170
6.3.10 高速システム・クロック分周レジスタ（MOSCDIV） 171
6.3.11 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） 172
6.4 システム・クロック発振回路 173
6.4.1 X1発振回路 173
6.4.2 高速オンチップ・オシレータ 176
6.4.3 低速オンチップ・オシレータ 176
6.5 クロック発生回路の動作 177
6.6 クロックの制御 179
6.6.1 高速オンチップ・オシレータの設定例 179
6.6.2 X1発振回路の設定例 181
6.6.3 CPUクロック状態移行図 182
6.6.4 CPUクロックの移行前の条件と移行後の処理 186
6.6.5 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 187
6.6.6 クロック発振停止前の条件 188
6.7 発振子と発振回路定数 189

7. タイマ・アレイ・ユニット（TAU） 190
7.1 タイマ・アレイ・ユニットの機能 192
7.1.1 単独チャネル動作機能 192
7.1.2 複数チャネル連動動作機能 194
7.1.3 8ビット・タイマ動作機能（チャネル1, 3のみ） 195

7.1.4 LIN-bus対応機能（チャネル7のみ） 195
7.2 タイマ・アレイ・ユニットの構成 196
7.2.1 タイマ・カウンタ・レジスタmn（TCRmn） 201
7.2.2 タイマ・データ・レジスタmn（TDRmn） 203
7.3 タイマ・アレイ・ユニットを制御するレジスタ 204
7.3.1 周辺イネーブル・レジスタ0（PER0） 205
7.3.2 周辺リセット制御レジスタ0（PRR0） 206
7.3.3 タイマ・クロック選択レジスタm（TPSm） 207
7.3.4 タイマ・モード・レジスタmn（TMRmn） 210
7.3.5 タイマ・ステータス・レジスタmn（TSRmn） 214
7.3.6 タイマ・チャネル許可ステータス・レジスタm（TEm） 215
7.3.7 タイマ・チャネル開始レジスタm（TSm） 216
7.3.8 タイマ・チャネル停止レジスタm（TTm） 218
7.3.9 タイマ入力選択レジスタ0（TIS0） 219
7.3.10 タイマ出力許可レジスタm（TOEm） 220
7.3.11 タイマ出力レジスタm（TOm） 221
7.3.12 タイマ出力レベル・レジスタm（TOLm） 222
7.3.13 タイマ出力モード・レジスタm（TOMm） 223
7.3.14 入力切り替え制御レジスタ（ISC） 224
7.3.15 ノイズ・フィルタ許可レジスタ1（NFEN1） 225
7.3.16 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ 227
7.4 タイマ・アレイ・ユニットの基本ルール 228
7.4.1 複数チャネル連動動作機能の基本ルール 228
7.4.2 8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ） 230
7.5 カウンタの動作 231
7.5.1 カウント・クロック（f_{TCLK}） 231
7.5.2 カウンタのスタート・タイミング 233
7.5.3 カウンタの動作 234
7.6 チャネル出力（TOmn端子）の制御 239
7.6.1 TOmn端子の出力回路の構成 239
7.6.2 TOmn端子の出力設定 240
7.6.3 チャネル出力操作時の注意事項 241
7.6.4 TOmnビットの一括操作 245
7.6.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について 246
7.7 タイマ入力（TImn）の制御 247
7.7.1 TImnの入力回路構成 247
7.7.2 ノイズ・フィルタ 247
7.7.3 チャネル入力操作時の注意事項 248
7.8 タイマ・アレイ・ユニットの単独チャネル動作機能 249
7.8.1 インターバル・タイマ／方形波出力としての動作 249
7.8.2 外部イベント・カウンタとしての動作 255
7.8.3 分周器としての動作（チャネル0のみ） 260
7.8.4 入力パルス間隔測定としての動作 265
7.8.5 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作 270
7.8.6 ディレイ・カウンタとしての動作 275
7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能 280
7.9.1 ワンショット・パルス出力機能としての動作 280
7.9.2 PWM機能としての動作 289
7.9.3 多重PWM出力機能としての動作 298

7.10 タイマ・アレイ・ユニット使用時の注意事項 307
7.10.1 タイマ出力使用時の注意事項 307

8. 32ビット・インターバル・タイマ（TML32） 308
8.1 概要 308
8.2 32ビット・インターバル・タイマを制御するレジスタ 312
8.2.1 周辺イネーブル・レジスタ1（PER1） 313
8.2.2 周辺リセット制御レジスタ1（PRR1） 314
8.2.3 インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn） 315
8.2.4 インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n） 315
8.2.5 インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00） 316
8.2.6 インターバル・タイマ制御レジスタ（ITLCTL0） 317
8.2.7 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0） 319
8.2.8 インターバル・タイマ分周レジスタ0（ITLFDIV00） 320
8.2.9 インターバル・タイマ分周レジスタ1（ITLFDIV01） 322
8.2.10 インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0） 324
8.2.11 インターバル・タイマ・ステータス・レジスタ（ITLS0） 326
8.2.12 インターバル・タイマー致検出マスク・レジスタ（ITLMKF0） 328
8.3 動作説明 329
8.3.1 カウンタ・モードの設定 329
8.3.2 キャプチャ・モードの設定 332
8.3.3 タイマ動作 333
8.3.4 キャプチャ動作 334
8.3.5 割り込み動作 336
8.3.6 インターバル・タイマの設定手順 338

9. ウォッチドッグ・タイマ（WDT） 341
9.1 ウォッチドッグ・タイマの機能 341
9.2 ウォッチドッグ・タイマの構成 342
9.3 ウォッチドッグ・タイマを制御するレジスタ 343
9.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） 343
9.4 ウォッチドッグ・タイマの動作 344
9.4.1 ウォッチドッグ・タイマの動作制御 344
9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 346
9.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定 347
9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 348

10. A/Dコンバータ（ADC） 349
10.1 A/Dコンバータの機能 349
10.2 A/Dコンバータの構成 352
10.3 A/Dコンバータを制御するレジスタ 354
10.3.1 周辺イネーブル・レジスタ0（PER0） 355
10.3.2 周辺リセット制御レジスタ0（PRR0） 356
10.3.3 A/Dコンバータ・モード・レジスタ0（ADM0） 357
10.3.4 A/Dコンバータ・モード・レジスタ1（ADM1） 366
10.3.5 A/Dコンバータ・モード・レジスタ2（ADM2） 367
10.3.6 10ビットA/D変換結果レジスタ（ADCR） 370
10.3.7 8ビットA/D変換結果レジスタ（ADCRH） 371
10.3.8 アナログ入力チャネル指定レジスタ（ADS） 372

10.3.9 変換結果比較上限値設定レジスタ（ADUL） 374
10.3.10 変換結果比較下限値設定レジスタ（ADLL） 374
10.3.11 A/Dテスト・レジスタ（ADTES） 375
10.3.12 A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ 376
10.4 A/Dコンバータの変換動作 377
10.5 入力電圧と変換結果 379
10.6 A/Dコンバータの動作モード 380
10.6.1 ソフトウェア・トリガ・モード（セレクト・モード、連続変換モード） 380
10.6.2 ソフトウェア・トリガ・モード（セレクト・モード、ワンショット変換モード） 381
10.6.3 ソフトウェア・トリガ・モード（スキャン・モード、連続変換モード） 382
10.6.4 ソフトウェア・トリガ・モード（スキャン・モード、ワンショット変換モード） 383
10.6.5 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード） 384
10.6.6 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード） 385
10.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード） 386
10.6.8 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、ワンショット変換モード） 387
10.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード） 388
10.6.10 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード） 389
10.6.11 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、連続変換モード） 390
10.6.12 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード） 391
10.7 A/Dコンバータの設定フロー・チャート 392
10.7.1 ソフトウェア・トリガ・モード時の設定 392
10.7.2 ハードウェア・トリガ・ノーウエイト・モード時の設定 393
10.7.3 ハードウェア・トリガ・ウエイト・モード時の設定 394
10.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウェア・トリガ・モード、ワンショット変換モード時） 395
10.7.5 テスト・モード時の設定 396
10.8 SNOOZEモード機能 397
10.9 A/Dコンバータ特性表の読み方 401
10.10 A/Dコンバータ使用時の注意事項 405

11. シリアル・アレイ・ユニット（SAU） 409
11.1 シリアル・アレイ・ユニットの機能 411
11.1.1 簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21） 411
11.1.2 UART（UART0-UART2） 412
11.1.3 簡易I^2C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21） 413
11.2 シリアル・アレイ・ユニットの構成 414
11.2.1 シフト・レジスタ 418
11.2.2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット 418
11.3 シリアル・アレイ・ユニットを制御するレジスタ 420
11.3.1 周辺イネーブル・レジスタ0（PER0） 421
11.3.2 周辺リセット制御レジスタ0（PRR0） 422

11.3.3 シリアル・クロック選択レジスタm（SPSm）... 423
11.3.4 シリアル・モード・レジスタmn（SMRmn）... 425
11.3.5 シリアル通信動作設定レジスタmn（SCRmn）... 427
11.3.6 シリアル・データ・レジスタmn（SDRmn）... 429
11.3.7 シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）... 431
11.3.8 シリアル・ステータス・レジスタmn（SSRmn）... 432
11.3.9 シリアル・チャネル開始レジスタm（SSm）... 434
11.3.10 シリアル・チャネル停止レジスタm（STm）... 435
11.3.11 シリアル・チャネル許可ステータス・レジスタm（SEm）... 436
11.3.12 シリアル出力許可レジスタm（SOEm）... 437
11.3.13 シリアル出力レジスタm（SOm）... 438
11.3.14 シリアル出力レベル・レジスタm（SOLm）... 440
11.3.15 シリアル・スタンバイ・コントロール・レジスタm（SSCm）... 442
11.3.16 入力切り替え制御レジスタ（ISC）... 444
11.3.17 ノイズ・フィルタ許可レジスタ0（NFEN0）... 446
11.3.18 シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ ... 447
11.3.19 UARTループバック選択レジスタ（ULBS）... 448
11.4 動作停止モード ... 449
11.4.1 ユニット単位で動作停止とする場合 ... 449
11.4.2 チャネルごとに動作停止とする場合 ... 450
11.5 簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信の動作 ... 451
11.5.1 マスタ送信 ... 454
11.5.2 マスタ受信 ... 463
11.5.3 マスタ送受信 ... 472
11.5.4 スレーブ送信 ... 481
11.5.5 スレーブ受信 ... 489
11.5.6 スレーブ送受信 ... 495
11.5.7 SNOOZEモード機能 ... 504
11.5.8 転送クロック周波数の算出 ... 509
11.5.9 簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信時におけるエラー発生時の処理手順 ... 511
11.6 UART（UART0-UART2）通信の動作 ... 512
11.6.1 UART送信 ... 515
11.6.2 UART受信 ... 524
11.6.3 SNOOZEモード機能 ... 531
11.6.4 ボー・レートの算出 ... 539
11.6.5 UART（UART0-UART2）通信時におけるエラー発生時の処理手順 ... 544
11.7 LIN通信の動作 ... 545
11.7.1 LIN送信 ... 545
11.7.2 LIN受信 ... 548
11.8 簡易I^2C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信の動作 ... 555
11.8.1 アドレス・フィールド送信 ... 558
11.8.2 データ送信 ... 564
11.8.3 データ受信 ... 567
11.8.4 ストップ・コンディション発生 ... 571
11.8.5 転送レートの算出 ... 572
11.8.6 簡易I^2C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信時におけるエラー発生時の処理手順 ... 575

12. シリアル・インタフェースIICA（IICA） ... 576
12.1 シリアル・インタフェースIICAの機能 ... 576
12.2 シリアル・インタフェースIICAの構成 ... 579
12.3 シリアル・インタフェースIICAを制御するレジスタ ... 582
12.3.1 周辺イネーブル・レジスタ0（PER0） ... 583
12.3.2 周辺リセット制御レジスタ0（PRR0） ... 584
12.3.3 IICAコントロール・レジスタn0（IICCTLn0） ... 585
12.3.4 IICAステータス・レジスタn（IICSn） ... 589
12.3.5 IICAフラグ・レジスタn（IICFn） ... 592
12.3.6 IICAコントロール・レジスタn1（IICCTLn1） ... 594
12.3.7 IICAロウ・レベル幅設定レジスタn（IICWLn） ... 597
12.3.8 IICAハイ・レベル幅設定レジスタn（IICWHn） ... 597
12.3.9 シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するレジスタ ... 598
12.4 I2Cバス・モードの機能 ... 599
12.4.1 端子構成 ... 599
12.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法 ... 600
12.5 I2Cバスの定義および制御方法 ... 602
12.5.1 スタート・コンディション ... 602
12.5.2 アドレス ... 603
12.5.3 転送方向指定 ... 603
12.5.4 アクノリッジ（ACK） ... 604
12.5.5 ストップ・コンディション ... 605
12.5.6 クロック・ストレッチ ... 606
12.5.7 クロック・ストレッチ解除方法 ... 608
12.5.8 割り込み要求信号（INTIICAn）発生タイミングおよびクロック・ストレッチ制御 ... 609
12.5.9 アドレスの一致検出方法 ... 610
12.5.10 エラーの検出 ... 610
12.5.11 拡張コード ... 611
12.5.12 アービトレーション ... 612
12.5.13 ウェイクアップ機能 ... 614
12.5.14 通信予約 ... 617
12.5.15 その他の注意事項 ... 621
12.5.16 通信動作 ... 622
12.5.17 I2C割り込み要求信号（INTIICAn）の発生タイミング ... 630
12.6 タイミング・チャート ... 650

13. シリアル・インタフェースUARTA（UARTA） ... 665
13.1 概要 ... 665
13.2 シリアル・インタフェースUARTAを制御するレジスタ ... 667
13.2.1 周辺イネーブル・レジスタ1（PER1） ... 668
13.2.2 送信バッファ・レジスタn（TXBAn） ... 669
13.2.3 受信バッファ・レジスタn（RXBAn） ... 670
13.2.4 動作モード設定レジスタn0（ASIMAn0） ... 671
13.2.5 動作モード設定レジスタn1（ASIMAn1） ... 673
13.2.6 ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn） ... 675
13.2.7 ステータス・レジスタn（ASISAn） ... 676
13.2.8 ステータス・クリア・トリガ・レジスタn（ASCTAn） ... 678
13.2.9 UARTAクロック選択レジスタ0（UTA0CK） ... 679

13.2.10 UARTループバック選択レジスタ（ULBS）..... 680
13.2.11 シリアル・インタフェースUARTA入出力と端子を兼用するポートのポート機能を制御するレジスタ 681
13.3 動作説明 682
13.3.1 動作停止モード 682
13.3.2 UARTモード 682
13.3.3 受信データのノイズ・フィルタ 696
13.3.4 ボー・レート・ジェネレータ 697
13.4 使用時の注意事項 703
13.4.1 RxDAn端子のポート設定 703

14. 割り込み機能 704
14.1 割り込み機能の種類 704
14.2 割り込み要因と構成 704
14.3 割り込み機能を制御するレジスタ 710
14.3.1 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）..... 714
14.3.2 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）..... 716
14.3.3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）..... 718
14.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）..... 721
14.3.5 プログラム・ステータス・ワード（PSW）..... 723
14.3.6 割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ 724
14.4 割り込み処理動作 725
14.4.1 マスカブル割り込み要求の受付動作 725
14.4.2 ソフトウェア割り込み要求の受付動作 728
14.4.3 多重割り込み処理 728
14.4.4 割り込み要求の保留 732

15. キー割り込み機能 733
15.1 キー割り込みの機能 733
15.2 キー割り込みの構成 734
15.3 キー割り込みを制御するレジスタ 735
15.3.1 キー・リターン・コントロール・レジスタ（KRCTL）..... 735
15.3.2 キー・リターン・モード・レジスタ0（KRM0）..... 736
15.3.3 キー・リターン・フラグ・レジスタ（KRF）..... 737
15.3.4 キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ 737

16. スタンバイ機能 738
16.1 スタンバイ機能 738
16.2 スタンバイ機能を制御するレジスタ 739
16.3 スタンバイ機能の動作 740
16.3.1 HALTモード 740
16.3.2 STOPモード 746
16.3.3 SNOOZEモード 751

17. リセット機能 754
17.1 リセット動作のタイミング 756

17.2 リセット要因を確認するレジスタ 760
17.2.1 リセット・コントロール・フラグ・レジスタ（RESF） 760
17.2.2 パワーオン・リセット・ステータス・レジスタ（PORSR） 763
17.2.3 周辺リセット制御レジスタ0（PRR0） 764
17.2.4 周辺リセット制御レジスタ1（PRR1） 765

18. パワーオン・リセット回路（POR） 766
18.1 パワーオン・リセット回路の機能 766
18.2 パワーオン・リセット回路の構成 767
18.3 パワーオン・リセット回路の動作 768

19. 電圧検出回路（LVD） 770
19.1 電圧検出回路の機能 770
19.2 電圧検出回路の構成 771
19.3 電圧検出回路を制御するレジスタ 772
19.3.1 電圧検出レジスタ（LVIM） 772
19.3.2 LVD検出フラグ・クリア・レジスタ（LVDFCLR） 773
19.3.3 電圧検出レベル・レジスタ（LVIS） 774
19.4 電圧検出回路の動作 776
19.4.1 リセット・モードとして使用する場合の設定 776
19.4.2 割り込みモードとして使用する場合の設定 779
19.5 電圧検出回路使用時の注意事項 782

20. 安全機能 785
20.1 安全機能の概要 785
20.2 安全機能で使用するレジスタ 786
20.3 安全機能の動作 786
20.3.1 フラッシュ・メモリCRC演算機能（高速CRC） 786
20.3.1.1 フラッシュ・メモリCRC制御レジスタ（CRC0CTL） 787
20.3.1.2 フラッシュ・メモリCRC演算結果レジスタ（PGCRCL） 788
20.3.2 CRC演算機能（汎用CRC） 790
20.3.2.1 CRC入力レジスタ（CRCIN） 790
20.3.2.2 CRCデータ・レジスタ（CRCD） 791
20.3.3 フラッシュ・メモリ・ガード機能 792
20.3.3.1 コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0） 792
20.3.3.2 データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1） 793
20.3.3.3 フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2） 794
20.3.4 RAMパリティ・エラー検出機能 795
20.3.4.1 RAMパリティ・エラー制御レジスタ（RPECTL） 795
20.3.5 RAMガード機能 797
20.3.5.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL） 797
20.3.6 SFRガード機能 798
20.3.6.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL） 798
20.3.7 不正メモリ・アクセス検出機能 799
20.3.7.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL） 800
20.3.8 不正メモリ・アクセス検出制御レジスタのガード機能 801
20.3.8.1 IAWCTLレジスタ・ガードレジスタ（GIAWCTL） 801
20.3.9 周波数検出機能 802
20.3.9.1 タイマ入力選択レジスタ0（TIS0） 803

20.3.10 A/Dテスト機能 804
20.3.10.1 A/Dテスト・レジスタ（ADTES） 806
20.3.10.2 アナログ入力チャネル指定レジスタ（ADS） 807
20.3.11 入出力端子のデジタル出力信号レベル検出機能 809
20.3.11.1 ポート・モード選択レジスタ（PMS） 809
20.3.12 UARTループバック機能 810
20.3.12.1 UARTループバック選択レジスタ（ULBS） 811

21. セキュリティ機能 812
21.1 フラッシュ・リード・プロテクション 812
21.1.1 フラッシュ・リード・プロテクションの機能 812
21.1.2 フラッシュ・リード・プロテクションの設定 812
21.1.3 動作説明 814
21.2 ユニークID 815
21.2.1 ユニークIDの機能 815
21.2.2 製品名のアスキー・コード 815

22. レギュレータ 816
22.1 レギュレータの概要 816

23. オプション・バイト 817
23.1 オプション・バイトの機能 817
23.1.1 ユーザ・オプション・バイト（000C0H-000C2H/040C0H-040C2H） 817
23.1.2 オンチップ・デバッグ・オプション・バイト（000C3H/040C3H） 818
23.2 ユーザ・オプション・バイトのフォーマット 819
23.3 オンチップ・デバッグ・オプション・バイトのフォーマット 823
23.4 オプション・バイトの設定 824

24. フラッシュ・メモリ 825
24.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 826
24.1.1 プログラミング環境 828
24.1.2 通信方式 828
24.2 外部デバイス（UART内蔵）によるシリアル・プログラミング 829
24.2.1 プログラミング環境 829
24.2.2 通信方式 830
24.3 オンボード上の端子処理 831
24.3.1 P40/TOOL0端子 831
24.3.2 RESET端子 832
24.3.3 ポート端子 833
24.3.4 REGC端子 833
24.3.5 電源 833
24.4 プログラミング方法 834
24.4.1 シリアル・プログラミング手順 834
24.4.2 フラッシュ・メモリ・プログラミング・モード 835
24.4.3 通信方式 836
24.4.4 通信コマンド 837
24.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値） 839
24.6 セルフ・プログラミング 840
24.6.1 セルフ・プログラミング手順 841

24.6.2 フラッシュ・メモリを制御するレジスタ 842
24.6.2.1 フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL） 843
24.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL） 844
24.6.2.3 フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL） 846
24.6.2.4 フラッシュ・プロテクト・コマンド・レジスタ（PFCMD） 847
24.6.2.5 フラッシュ・ステータス・レジスタ（PFS） 848
24.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC） 849
24.6.2.7 フラッシュ領域選択レジスタ（FLARS） 850
24.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET） 851
24.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ） 853
24.6.2.10 フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE） 855
24.6.2.11 フラッシュ・レジスタ初期化レジスタ（FLRST） 857
24.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL） 858
24.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC） 860
24.6.2.14 フラッシュ FSWモニタ・レジスタE（FLFSWE） 861
24.6.2.15 フラッシュ FSWモニタ・レジスタS（FLFSWS） 862
24.6.2.16 データ・フラッシュ・コントロール・レジスタ（DFLCTL） 863
24.6.2.17 割り込みベクタ移動許可レジスタ（VECTCTRL） 864
24.6.2.18 割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1） 865
24.6.3 フラッシュ・メモリ制御モードの設定 866
24.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化 868
24.6.5 フラッシュ・メモリ・シーケンサの動作周波数設定 868
24.6.6 フラッシュ・メモリの書き換え 869
24.6.7 コード・フラッシュ・プログラミング・モード中の割り込み 880
24.6.8 フラッシュ・メモリ領域書き換え時のコマンドの実行例 882
24.6.9 セルフ・プログラミング時の注意事項 885
24.7 ブート・スワップ機能 886
24.8 フラッシュ・シールド・ウィンドウ機能 888
24.9 セキュリティ設定 889
24.10 データ・フラッシュ・メモリ 892
24.10.1 データ・フラッシュ・メモリの概要 892
24.10.2 データ・フラッシュ・メモリへのアクセス手順 893

25. オンチップ・デバッグ機能 894
25.1 E2, E2 Liteオンチップ・デバッギング・エミュレータとの接続 894
25.2 外部デバイス（UART内蔵）との接続 896
25.3 オンチップ・デバッグのセキュリティ設定 896
25.4 ユーザ資源の確保 897

26. 10進補正（BCD）回路 899
26.1 10進補正回路の機能 899
26.2 10進補正回路で使用するレジスタ 899
26.2.1 BCD補正結果レジスタ（BCDADJ） 899
26.3 10進補正回路の動作 900

27. 命令セットの概要 902
27.1 凡例 903
27.1.1 オペランドの表現形式と記述方法 903

27.1.2 オペレーション欄の説明 904
27.1.3 フラグ動作欄の説明 905
27.1.4 PREFIX命令 905
27.2 オペレーション一覧 906

28. 電気的特性 924
28.1 絶対最大定格 925
28.2 発振回路特性 927
28.2.1 X1発振回路特性 927
28.2.2 オンチップ・オシレータ特性 927
28.3 DC特性 928
28.3.1 端子特性 928
28.3.2 電源電流特性 935
28.4 AC特性 940
28.5 周辺機能特性 945
28.5.1 シリアル・アレイ・ユニット 945
28.5.2 シリアル・インタフェースUARTA 975
28.5.3 シリアル・インタフェースIICA 976
28.6 アナログ特性 979
28.6.1 A/Dコンバータ特性（T_A = –40～+85℃） 979
28.6.2 A/Dコンバータ特性（T_A = –40～+105℃） 984
28.6.3 温度センサ／内部基準電圧特性 988
28.6.4 POR回路特性 988
28.6.5 LVD回路特性 989
28.6.6 電源電圧立ち上がり特性 991
28.7 RAMデータ保持特性 992
28.8 フラッシュ・メモリ・プログラミング特性 992
28.9 専用フラッシュ・メモリ・プログラマ通信（UART） 994
28.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング 994

29. 外形図 995
29.1 20ピン製品 995
29.2 32ピン製品 996
29.3 44ピン製品 997
29.4 48ピン製品 998
29.5 64ピン製品 999

付録A 改版履歴 1001
A.1 本版で改訂された主な箇所 1001
A.2 前版までの改版履歴 1002

第1章　概　　説

1.1　特徴

超低消費電力テクノロジー

- VDD = 1.6～5.5 Vの単一電源
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPU コア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.03125 µs：高速オンチップ・オシレータ・クロック32 MHz動作時）から超低速（30.5 µs：サブシステム・クロック32.768 kHz動作時）までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ × 8 × 4バンク
- 内蔵RAM：8 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：128 KB, 256 KB
- ブロック・サイズ：2 KB
- ブロック消去禁止、書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング：ブート・スワップ機能とフラッシュ・シールド・ウィンドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：4 KB
- バックグランド・オペレーション（BGO）：データ・フラッシュ・メモリ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回（Typ.）

高速オンチップ・オシレータ

- 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択
- 高精度±1.0%（VDD = 1.6～5.5 V、TA = –40～+105°C）

低速オンチップ・オシレータ

- 32.768 kHz（Typ.）

動作温度範囲

- T_A = –40～+105°C（3Z：産業／民生用途）

電源管理とリセット機能

- パワーオン・リセット回路（POR）
- 電圧検出回路（LVD0, LVD1）

シリアル・インタフェース

- 簡易SPI（CSI[注1]） ：2～6チャネル
- UART／UART（LIN-bus対応）／UARTA ：4チャネル
- I^2C／簡易I^2C ：2～7チャネル

タイマ

- 16ビット・タイマ ：8チャネル
- 32ビット・インターバル・タイマ ：32ビット・カウンタ・モード時：1チャネル
  16ビット・カウンタ・モード時：2チャネル
  8ビット・カウンタ・モード時 ：4チャネル
- ウォッチドッグ・タイマ ：1チャネル（低速オンチップ・オシレータ・クロックで動作）

A/D コンバータ

- 8／10ビット分解能
- アナログ入力：6～12チャネル
- 内部基準電圧（1.48 V (Typ.)）と温度センサを搭載

入出力ポート

- I/Oポート：17～59本
  （N-ch オープン・ドレイン出力／入力 [6 V 耐圧]：0～2本、
  N-ch オープン・ドレイン出力／入力 [V_{DD} 耐圧[注2] ／ EV_{DD} 耐圧[注3]]：5～19本）
- N-chオープン・ドレイン、TTL入力バッファ、内蔵プルアップの切り替え可能
- 異電位（1.8 V系、2.5 V系、3 V系）動作デバイスと接続可能

その他

- キー割り込み機能
- 10進補正（BCD）回路

注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. 20～48ピン製品

注3. 64ピン製品

備考 製品によって、搭載している機能が異なります。詳細は、**1.6 機能概要**を参照してください。

○ ROM, RAM 容量

コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	RAM	RL78/G21				
			20 ピン	32 ピン	44 ピン	48 ピン	64 ピン
256 KB	4 KB	8 KB	R7F103G6J	R7F103GBJ	R7F103GFJ	R7F103GGJ	R7F103GLJ
128 KB	4 KB	8 KB	R7F103G6G	R7F103GBG	R7F103GFG	R7F103GGG	R7F103GLG

1.2 型名一覧

図1 - 1 RL78/G21の型名とメモリ・サイズ、パッケージ

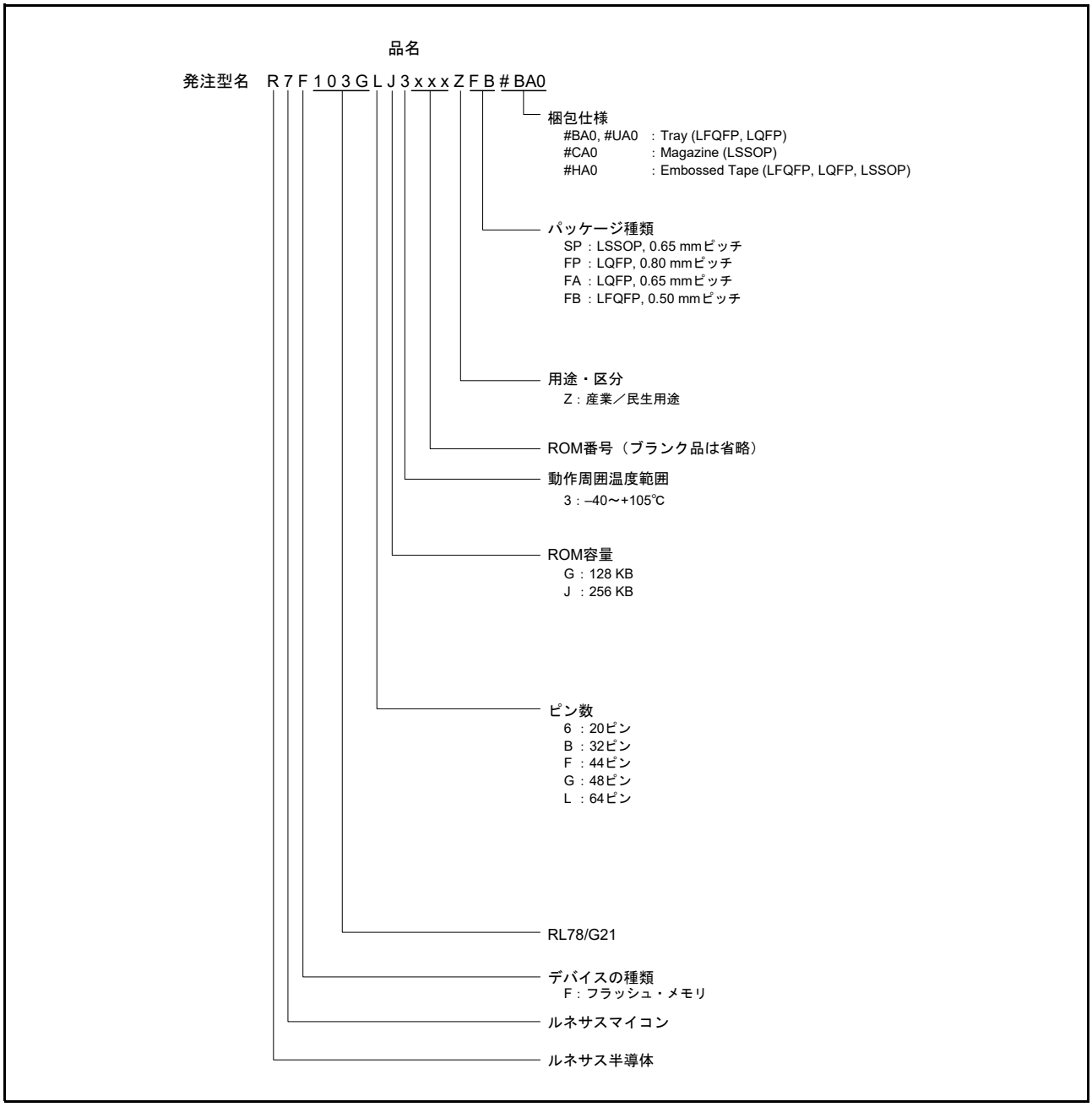


表1 - 1 発注型名一覧

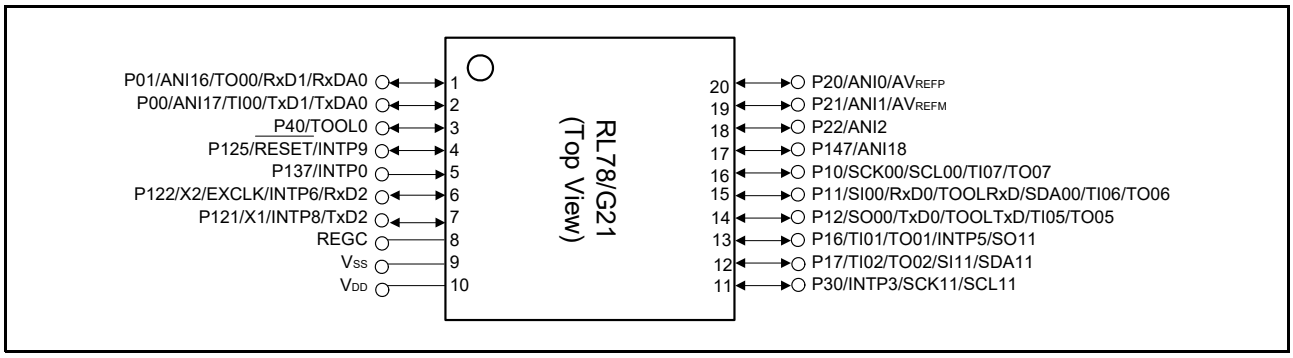
ピン数	パッケージ	用途・区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
20ピン	20ピン・プラスチックLSSOP（4.4 × 6.5 mm、0.65 mmピッチ）	Z	R7F103G6J3ZSP, R7F103G6G3ZSP	#CA0, #HA0	PLSP0020JB-A
32ピン	32ピン・プラスチックLQFP（7 × 7 mm、0.80 mmピッチ）	Z	R7F103GBJ3ZFP, R7F103GBG3ZFP	#BA0, #UA0, #HA0	PLQP0032GB-A
44ピン	44ピン・プラスチックLQFP（10 × 10 mm、0.80 mmピッチ）	Z	R7F103GFJ3ZFP, R7F103GFG3ZFP	#BA0, #UA0, #HA0	PLQP0044GF-A
48ピン	48ピン・プラスチックLFQFP（7 × 7 mm、0.50 mmピッチ）	Z	R7F103GGJ3ZFB, R7F103GGG3ZFB	#BA0, #UA0, #HA0	PLQP0048KB-B
64ピン	64ピン・プラスチックLQFP（12 × 12 mm、0.65 mmピッチ）	Z	R7F103GLJ3ZFA, R7F103GLG3ZFA	#BA0, #UA0, #HA0	PLQP0064JB-A
	64ピン・プラスチックLFQFP（10 × 10 mm、0.50 mmピッチ）	Z	R7F103GLJ3ZFB, R7F103GLG3ZFB	#BA0, #UA0, #HA0	PLQP0064KB-C

注 用途区分は、**図1 - 1 RL78/G21の型名とメモリ・サイズ、パッケージ**を参照してください。

1.3 端子接続図（Top View）

1.3.1 20ピン製品

- 20ピン・プラスチックLSSOP（4.4 × 6.5 mm、0.65 mmピッチ）



注意 **REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。**

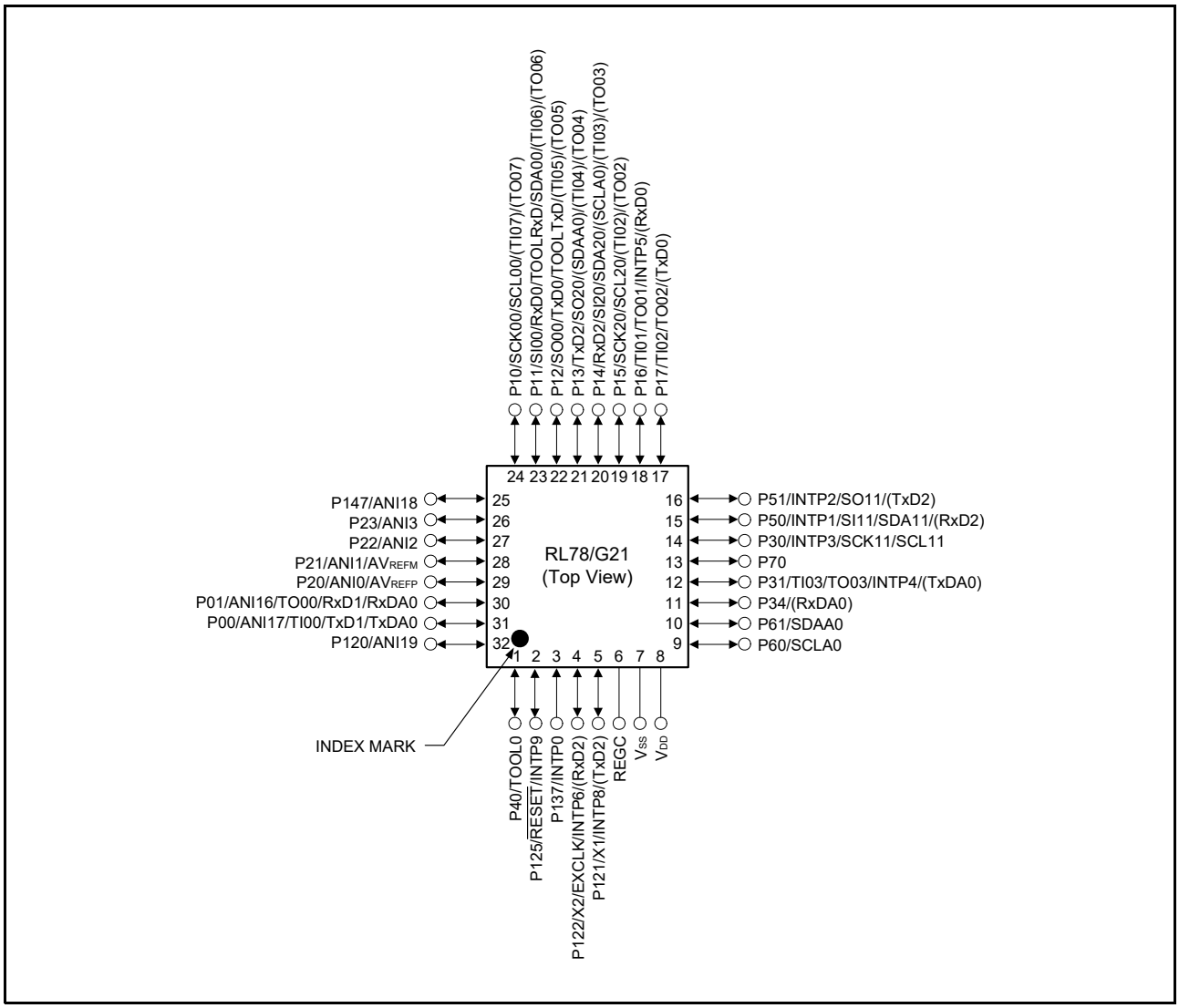
備考 端子名称は、**1.4 端子名称**を参照してください。

表1 - 2 20ピン製品の兼用機能

ピン番号	I/O		アナログ	HMI		タイマ	通信インタフェース		
20LSSOP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット（TAU）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
1	P01	–	ANI16	–	–	TO00	RxD1	–	RxDA0
2	P00	–	ANI17	–	–	TI00	TxD1	–	TxDA0
3	P40	TOOL0	–	–	–	–	–	–	–
4	P125	$\overline{\text{RESET}}$	–	INTP9	–	–	–	–	–
5	P137	–	–	INTP0	–	–	–	–	–
6	P122	X2/EXCLK	–	INTP6	–	–	RxD2	–	–
7	P121	X1	–	INTP8	–	–	TxD2	–	–
8	–	REGC	–	–	–	–	–	–	–
9	–	V_{SS}	–	–	–	–	–	–	–
10	–	V_{DD}	–	–	–	–	–	–	–
11	P30	–	–	INTP3	–	–	SCK11/SCL11	–	–
12	P17	–	–	–	–	TI02/TO02	SI11/SDA11	–	–
13	P16	–	–	INTP5	–	TI01/TO01	SO11	–	–
14	P12	TOOLTxD	–	–	–	TI05/TO05	SO00/TxD0	–	–
15	P11	TOOLRxD	–	–	–	TI06/TO06	SI00/RxD0/ SDA00	–	–
16	P10	–	–	–	–	TI07/TO07	SCK00/SCL00	–	–
17	P147	–	ANI18	–	–	–	–	–	–
18	P22	–	ANI2	–	–	–	–	–	–
19	P21	–	ANI1/AV_{REFM}	–	–	–	–	–	–
20	P20	–	ANI0/AV_{REFP}	–	–	–	–	–	–

1.3.2 32ピン製品

- 32ピン・プラスチックLQFP （7 × 7 mm、0.80 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

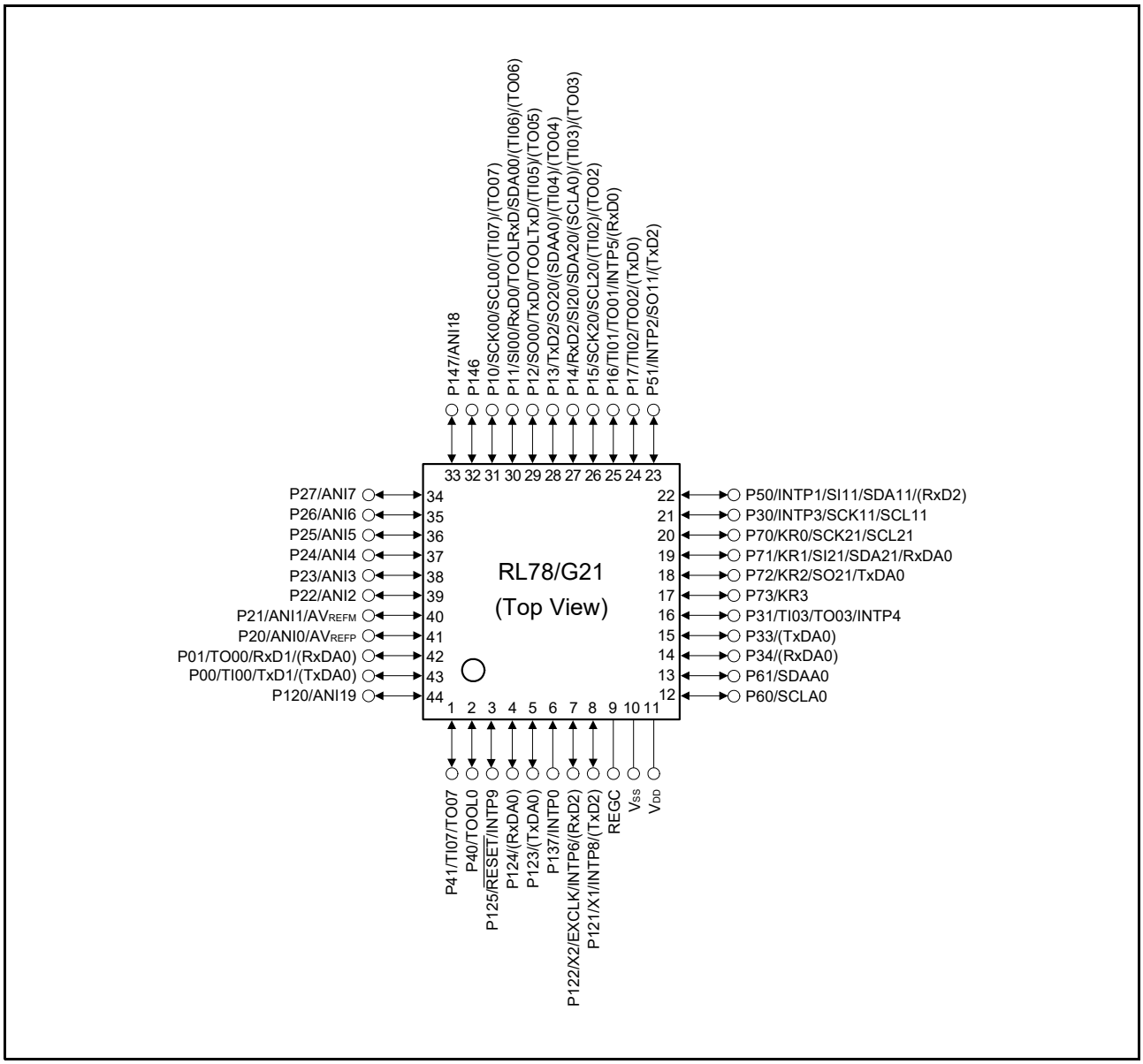
備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

表1 - 3 32ピン製品の兼用機能

ピン番号	I/O		アナログ	HMI		タイマ	通信インタフェース		
32LQFP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット（TAU）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
1	P40	TOOL0	–	–	–	–	–	–	–
2	P125	$\overline{\text{RESET}}$	–	INTP9	–	–	–	–	–
3	P137	–	–	INTP0	–	–	–	–	–
4	P122	X2/EXCLK	–	INTP6	–	–	(RxD2)	–	–
5	P121	X1	–	INTP8	–	–	(TxD2)	–	–
6	–	REGC	–	–	–	–	–	–	–
7	–	V_{SS}	–	–	–	–	–	–	–
8	–	V_{DD}	–	–	–	–	–	–	–
9	P60	–	–	–	–	–	–	SCLA0	–
10	P61	–	–	–	–	–	–	SDAA0	–
11	P34	–	–	–	–	–	–	–	(RxDA0)
12	P31	–	–	INTP4	–	TI03/TO03	–	–	(TxDA0)
13	P70	–	–	–	–	–	–	–	–
14	P30	–	–	INTP3	–	–	SCK11/SCL11	–	–
15	P50	–	–	INTP1	–	–	SI11/SDA11/(RxD2)	–	–
16	P51	–	–	INTP2	–	–	SO11/(TxD2)	–	–
17	P17	–	–	–	–	TI02/TO02	(TxD0)	–	–
18	P16	–	–	INTP5	–	TI01/TO01	(RxD0)	–	–
19	P15	–	–	–	–	(TI02)/(TO02)	SCK20/SCL20	–	–
20	P14	–	–	–	–	(TI03)/(TO03)	SI20/RxD2/SDA20	(SCLA0)	–
21	P13	–	–	–	–	(TI04)/(TO04)	SO20/TxD2	(SDAA0)	–
22	P12	TOOLTxD	–	–	–	(TI05)/(TO05)	SO00/TxD0	–	–
23	P11	TOOLRxD	–	–	–	(TI06)/(TO06)	SI00/RxD0/SDA00	–	–
24	P10	–	–	–	–	(TI07)/(TO07)	SCK00/SCL00	–	–
25	P147	–	ANI18	–	–	–	–	–	–
26	P23	–	ANI3	–	–	–	–	–	–
27	P22	–	ANI2	–	–	–	–	–	–
28	P21	–	ANI1/AV_{REFM}	–	–	–	–	–	–
29	P20	–	ANI0/AV_{REFP}	–	–	–	–	–	–
30	P01	–	ANI16	–	–	TO00	RxD1	–	RxDA0
31	P00	–	ANI17	–	–	TI00	TxD1	–	TxDA0
32	P120	–	ANI19	–	–	–	–	–	–

1.3.3 44ピン製品

- 44ピン・プラスチックLQFP（10 × 10 mm、0.80 mmピッチ）



注意　REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4　端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

表1 - 4 44ピン製品の兼用機能 (1/2)

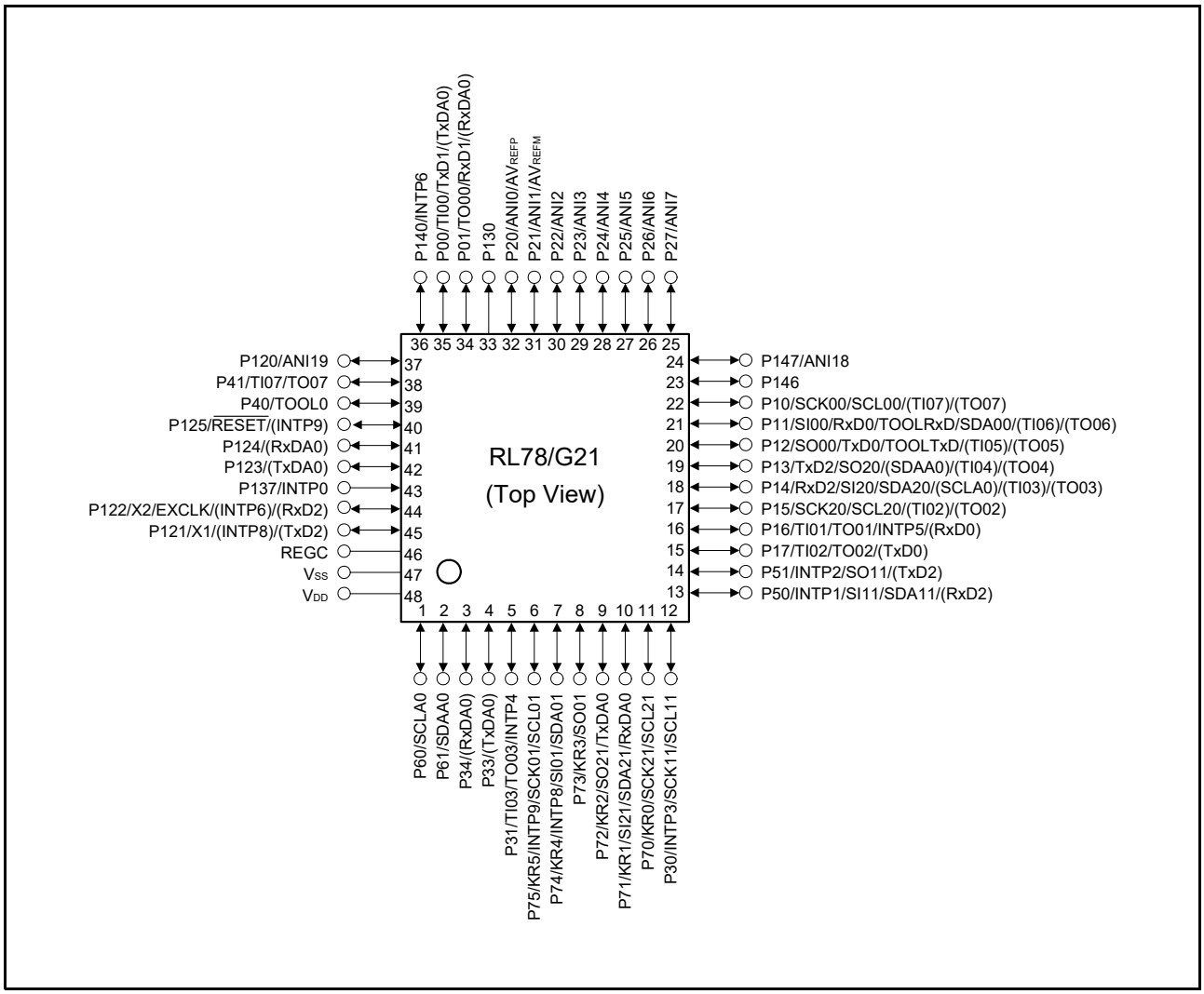
ピン番号	I/O		アナログ	HMI		タイマ	通信インタフェース		
44LQFP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット（TAU）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
1	P41	—	—	—	—	TI07/TO07	—	—	—
2	P40	TOOL0	—	—	—	—	—	—	—
3	P125	$\overline{\text{RESET}}$	—	INTP9	—	—	—	—	—
4	P124	—	—	—	—	—	—	—	(RxDA0)
5	P123	—	—	—	—	—	—	—	(TxDA0)
6	P137	—	—	INTP0	—	—	—	—	—
7	P122	X2/EXCLK	—	INTP6	—	—	(RxD2)	—	—
8	P121	X1	—	INTP8	—	—	(TxD2)	—	—
9	—	REGC	—	—	—	—	—	—	—
10	—	V_{SS}	—	—	—	—	—	—	—
11	—	V_{DD}	—	—	—	—	—	—	—
12	P60	—	—	—	—	—	—	SCLA0	—
13	P61	—	—	—	—	—	—	SDAA0	—
14	P34	—	—	—	—	—	—	—	(RxDA0)
15	P33	—	—	—	—	—	—	—	(TxDA0)
16	P31	—	—	INTP4	—	TI03/TO03	—	—	—
17	P73	—	—	—	KR3	—	—	—	—
18	P72	—	—	—	KR2	—	SO21	—	TxDA0
19	P71	—	—	—	KR1	—	SI21/SDA21	—	RxDA0
20	P70	—	—	—	KR0	—	SCK21/SCL21	—	—
21	P30	—	—	INTP3	—	—	SCK11/SCL11	—	—
22	P50	—	—	INTP1	—	—	SI11/SDA11/(RxD2)	—	—
23	P51	—	—	INTP2	—	—	SO11/(TxD2)	—	—
24	P17	—	—	—	—	TI02/TO02	(TxD0)	—	—
25	P16	—	—	INTP5	—	TI01/TO01	(RxD0)	—	—
26	P15	—	—	—	—	(TI02)/(TO02)	SCK20/SCL20	—	—
27	P14	—	—	—	—	(TI03)/(TO03)	SI20/RxD2/SDA20	(SCLA0)	—
28	P13	—	—	—	—	(TI04)/(TO04)	SO20/TxD2	(SDAA0)	—
29	P12	TOOLTxD	—	—	—	(TI05)/(TO05)	SO00/TxD0	—	—
30	P11	TOOLRxD	—	—	—	(TI06)/(TO06)	SI00/RxD0/SDA00	—	—
31	P10	—	—	—	—	(TI07)/(TO07)	SCK00/SCL00	—	—
32	P146	—	—	—	—	—	—	—	—
33	P147	—	ANI18	—	—	—	—	—	—
34	P27	—	ANI7	—	—	—	—	—	—

表1 - 4 44ピン製品の兼用機能 (2/2)

ピン番号	I/O		アナログ	HMI		タイマ	通信インタフェース		
44LQFP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
35	P26	–	ANI6	–	–	–	–	–	–
36	P25	–	ANI5	–	–	–	–	–	–
37	P24	–	ANI4	–	–	–	–	–	–
38	P23	–	ANI3	–	–	–	–	–	–
39	P22	–	ANI2	–	–	–	–	–	–
40	P21	–	ANI1/AVREFM	–	–	–	–	–	–
41	P20	–	ANI0/AVREFP	–	–	–	–	–	–
42	P01	–	–	–	–	TO00	RxD1	–	(RxDA0)
43	P00	–	–	–	–	TI00	TxD1	–	(TxDA0)
44	P120	–	ANI19	–	–	–	–	–	–

1.3.4 48ピン製品

- 48ピン・プラスチックLFQFP（7 × 7 mm、0.50 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

表1 - 5 48ピン製品の兼用機能 (1/2)

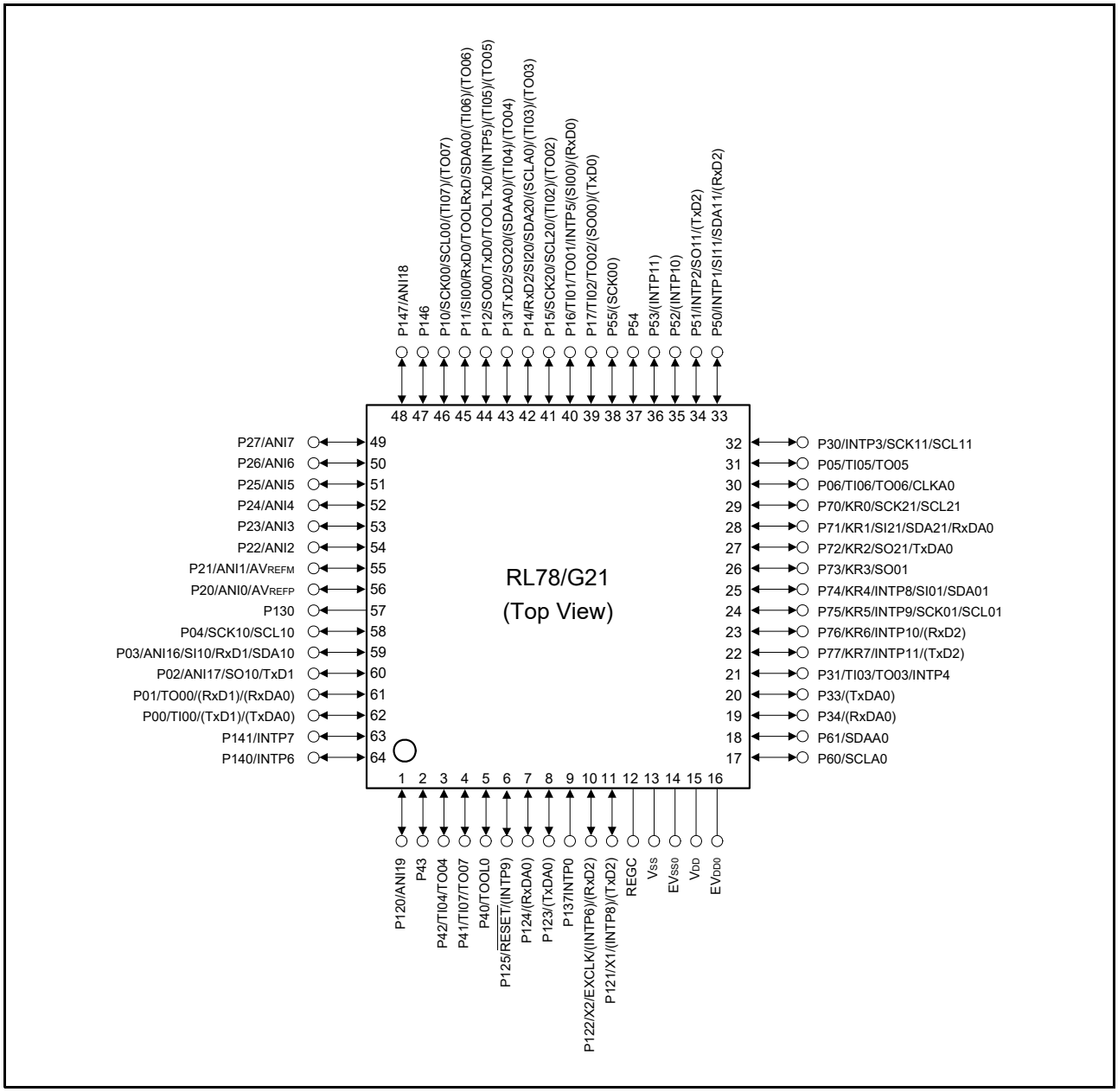
ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI		タイマ	通信インタフェース		
48LFQFP	デジタル・ポート		A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット（TAU）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
1	P60	–	–	–	–	–	–	SCLA0	–
2	P61	–	–	–	–	–	–	SDAA0	–
3	P34	–	–	–	–	–	–	–	(RxDA0)
4	P33	–	–	–	–	–	–	–	(TxDA0)
5	P31	–	–	INTP4	–	TI03/TO03	–	–	–
6	P75	–	–	INTP9	KR5	–	SCK01/SCL01	–	–
7	P74	–	–	INTP8	KR4	–	SI01/SDA01	–	–
8	P73	–	–	–	KR3	–	SO01	–	–
9	P72	–	–	–	KR2	–	SO21	–	TxDA0
10	P71	–	–	–	KR1	–	SI21/SDA21	–	RxDA0
11	P70	–	–	–	KR0	–	SCK21/SCL21	–	–
12	P30	–	–	INTP3	–	–	SCK11/SCL11	–	–
13	P50	–	–	INTP1	–	–	SI11/SDA11/(RxD2)	–	–
14	P51	–	–	INTP2	–	–	SO11/(TxD2)	–	–
15	P17	–	–	–	–	TI02/TO02	(TxD0)	–	–
16	P16	–	–	INTP5	–	TI01/TO01	(RxD0)	–	–
17	P15	–	–	–	–	(TI02)/(TO02)	SCK20/SCL20	–	–
18	P14	–	–	–	–	(TI03)/(TO03)	SI20/RxD2/SDA20	(SCLA0)	–
19	P13	–	–	–	–	(TI04)/(TO04)	SO20/TxD2	(SDAA0)	–
20	P12	TOOLTxD	–	–	–	(TI05)/(TO05)	SO00/TxD0	–	–
21	P11	TOOLRxD	–	–	–	(TI06)/(TO06)	SI00/RxD0/SDA00	–	–
22	P10	–	–	–	–	(TI07)/(TO07)	SCK00/SCL00	–	–
23	P146	–	–	–	–	–	–	–	–
24	P147	–	ANI18	–	–	–	–	–	–
25	P27	–	ANI7	–	–	–	–	–	–
26	P26	–	ANI6	–	–	–	–	–	–
27	P25	–	ANI5	–	–	–	–	–	–
28	P24	–	ANI4	–	–	–	–	–	–
29	P23	–	ANI3	–	–	–	–	–	–
30	P22	–	ANI2	–	–	–	–	–	–
31	P21	–	ANI1/AVREFM	–	–	–	–	–	–
32	P20	–	ANI0/AVREFP	–	–	–	–	–	–
33	P130	–	–	–	–	–	–	–	–
34	P01	–	–	–	–	TO00	RxD1	–	(RxDA0)

表1 - 5 48ピン製品の兼用機能 (2/2)

ピン番号	I/O		アナログ	HMI		タイマ	通信インタフェース		
48LFQFP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
35	P00	–	–	–	–	TI00	TxD1	–	(TxDA0)
36	P140	–	–	INTP6	–	–	–	–	–
37	P120	–	ANI19	–	–	–	–	–	–
38	P41	–	–	–	–	TI07/TO07	–	–	–
39	P40	TOOL0	–	–	–	–	–	–	–
40	P125	$\overline{\text{RESET}}$	–	(INTP9)	–	–	–	–	–
41	P124	–	–	–	–	–	–	–	(RxDA0)
42	P123	–	–	–	–	–	–	–	(TxDA0)
43	P137	–	–	INTP0	–	–	–	–	–
44	P122	X2/EXCLK	–	(INTP6)	–	–	(RxD2)	–	–
45	P121	X1	–	(INTP8)	–	–	(TxD2)	–	–
46	–	REGC	–	–	–	–	–	–	–
47	–	V_{SS}	–	–	–	–	–	–	–
48	–	V_{DD}	–	–	–	–	–	–	–

1.3.5 64ピン製品

- 64ピン・プラスチックLQFP（12 × 12 mm、0.65 mmピッチ）
- 64ピン・プラスチックLFQFP（10 × 10 mm、0.50 mmピッチ）



注意1. EVSS0端子は、VSS端子と同電位にしてください。

注意2. VDD端子は、EVDD0端子以上の電圧にしてください。

注意3. REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0に個別の電源を供給し、VSSとEVSS0を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

表1 - 6 64ピン製品の兼用機能 (1/2)

ピン番号	I/O		アナログ	HMI		タイマ	通信インタフェース		
64LFQFP, 64LQFP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット（TAU）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェース IICA（IICA）	シリアル・インタフェース UARTA（UARTA）
1	P120	–	ANI19	–	–	–	–	–	–
2	P43	–	–	–	–	–	–	–	–
3	P42	–	–	–	–	TI04/TO04	–	–	–
4	P41	–	–	–	–	TI07/TO07	–	–	–
5	P40	TOOL0	–	–	–	–	–	–	–
6	P125	$\overline{\text{RESET}}$	–	(INTP9)	–	–	–	–	–
7	P124	–	–	–	–	–	–	–	(RxDA0)
8	P123	–	–	–	–	–	–	–	(TxDA0)
9	P137	–	–	INTP0	–	–	–	–	–
10	P122	X2/EXCLK	–	(INTP6)	–	–	(RxD2)	–	–
11	P121	X1	–	(INTP8)	–	–	(TxD2)	–	–
12	–	REGC	–	–	–	–	–	–	–
13	–	V_{SS}	–	–	–	–	–	–	–
14	–	EV_{SS0}	–	–	–	–	–	–	–
15	–	V_{DD}	–	–	–	–	–	–	–
16	–	EV_{DD0}	–	–	–	–	–	–	–
17	P60	–	–	–	–	–	–	SCLA0	–
18	P61	–	–	–	–	–	–	SDAA0	–
19	P34	–	–	–	–	–	–	–	(RxDA0)
20	P33	–	–	–	–	–	–	–	(TxDA0)
21	P31	–	–	INTP4	–	TI03/TO03	–	–	–
22	P77	–	–	INTP11	KR7	–	(TxD2)	–	–
23	P76	–	–	INTP10	KR6	–	(RxD2)	–	–
24	P75	–	–	INTP9	KR5	–	SCK01/SCL01	–	–
25	P74	–	–	INTP8	KR4	–	SI01/SDA01	–	–
26	P73	–	–	–	KR3	–	SO01	–	–
27	P72	–	–	–	KR2	–	SO21	–	TxDA0
28	P71	–	–	–	KR1	–	SI21/SDA21	–	RxDA0
29	P70	–	–	–	KR0	–	SCK21/SCL21	–	–
30	P06	–	–	–	–	TI06/TO06	–	–	CLKA0
31	P05	–	–	–	–	TI05/TO05	–	–	–
32	P30	–	–	INTP3	–	–	SCK11/SCL11	–	–
33	P50	–	–	INTP1	–	–	SI11/SDA11/(RxD2)	–	–
34	P51	–	–	INTP2	–	–	SO11/(TxD2)	–	–
35	P52	–	–	(INTP10)	–	–	–	–	–

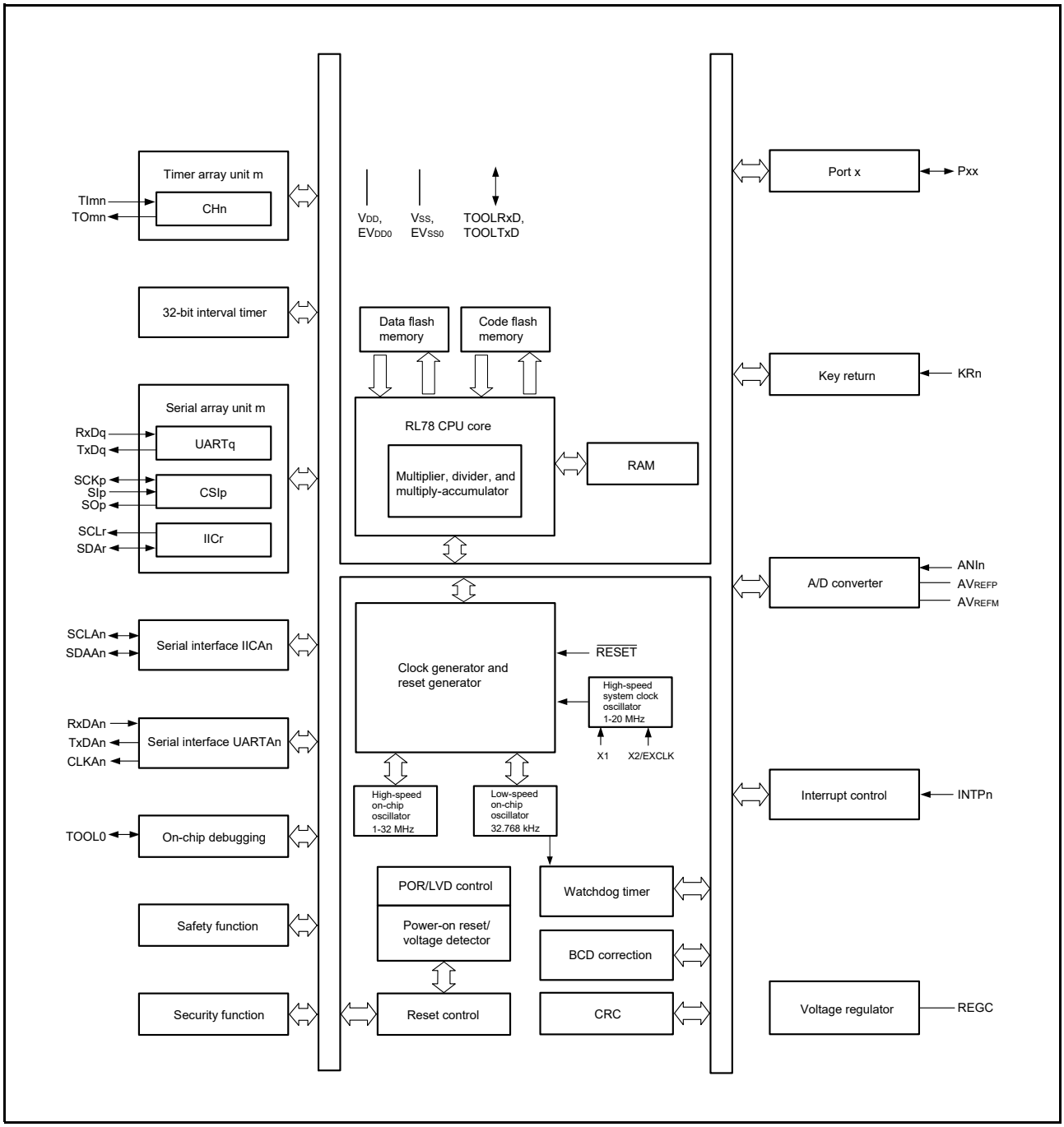
表1 - 6 64ピン製品の兼用機能 (2/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI		タイマ	通信インタフェース		
64LFQFP, 64LQFP	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
36	P53	–	–	(INTP11)	–	–	–	–	–
37	P54	–	–	–	–	–	–	–	–
38	P55	–	–	–	–	–	(SCK00)	–	–
39	P17	–	–	–	–	TI02/TO02	(SO00)/(TxD0)	–	–
40	P16	–	–	INTP5	–	TI01/TO01	(SI00)/(RxD0)	–	–
41	P15	–	–	–	–	(TI02)/(TO02)	SCK20/SCL20	–	–
42	P14	–	–	–	–	(TI03)/(TO03)	SI20/RxD2/ SDA20	(SCLA0)	–
43	P13	–	–	–	–	(TI04)/(TO04)	SO20/TxD2	(SDAA0)	–
44	P12	TOOLTxD	–	(INTP5)	–	(TI05)/(TO05)	SO00/TxD0	–	–
45	P11	TOOLRxD	–	–	–	(TI06)/(TO06)	SI00/RxD0/ SDA00	–	–
46	P10	–	–	–	–	(TI07)/(TO07)	SCK00/SCL00	–	–
47	P146	–	–	–	–	–	–	–	–
48	P147	–	ANI18	–	–	–	–	–	–
49	P27	–	ANI7	–	–	–	–	–	–
50	P26	–	ANI6	–	–	–	–	–	–
51	P25	–	ANI5	–	–	–	–	–	–
52	P24	–	ANI4	–	–	–	–	–	–
53	P23	–	ANI3	–	–	–	–	–	–
54	P22	–	ANI2	–	–	–	–	–	–
55	P21	–	ANI1/AVREFM	–	–	–	–	–	–
56	P20	–	ANI0/AVREFP	–	–	–	–	–	–
57	P130	–	–	–	–	–	–	–	–
58	P04	–	–	–	–	–	SCK10/SCL10	–	–
59	P03	–	ANI16	–	–	–	SI10/RxD1/ SDA10	–	–
60	P02	–	ANI17	–	–	–	SO10/TxD1	–	–
61	P01	–	–	–	–	TO00	(RxD1)	–	(RxDA0)
62	P00	–	–	–	–	TI00	(TxD1)	–	(TxDA0)
63	P141	–	–	INTP7	–	–	–	–	–
64	P140	–	–	INTP6	–	–	–	–	–

1.4 端子名称

ANI0-ANI7, ANI16-ANI19	: Analog input
AVREFM	: Analog reference voltage minus
AVREFP	: Analog reference voltage plus
CLKA0	: Asynchronous serial clock output
EVDD0	: Power supply for port
EVSS0	: Ground for port
EXCLK	: External clock input (main system clock)
INTP0-INTP11	: Interrupt request from peripheral
KR0-KR7	: Key return input
P00-P06	: Port 0
P10-P17	: Port 1
P20-P27	: Port 2
P30, P31, P33, P34	: Port 3
P40-P43	: Port 4
P50-P55	: Port 5
P60, P61	: Port 6
P70-P77	: Port 7
P120-P125	: Port 12
P130, P137	: Port 13
P140, P141, P146, P147	: Port 14
REGC	: Regulator capacitance
$\overline{\text{RESET}}$	: Reset
RxD0-RxD2, RxDA0	: Receive data
SCLA0, SCK00, SCK01, SCK10, SCK11, SCK20, SCK21	: Serial clock input/output
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21	: Serial clock output
SDAA0, SDA00, SDA01, SDA10, SDA11, SDA20, SDA21	: Serial data input/output
SI00, SI01, SI10, SI11, SI20, SI21	: Serial data input
SO00, SO01, SO10, SO11, SO20, SO21	: Serial data output
TI00-TI07	: Timer input
TO00-TO07	: Timer output
TOOL0	: Data input/output for tool
TOOLRxD, TOOLTxD	: Data input/output for external device
TxD0-TxD2, TxDA0	: Transmit data
VDD	: Power supply
VSS	: Ground
X1, X2	: Crystal oscillator (main system clock)

1.5 ブロック図



注意 **Key returnは、44～64ピン製品のみ**

備考 m：ユニット番号、n：チャネル番号、p：簡易SPI（CSI）番号、q：UART番号、r：簡易I2C番号、xx：ポート番号

1.6 機能概要

【20 ～ 64 ピン製品】

注意 周辺I/Oリダイレクション・レジスタ（PIORx）を00Hに設定時の機能概要です。

(1/3)

項目		20ピン	32ピン	44ピン	48ピン	64ピン
		R7F103G6x	R7F103GBx	R7F103GFx	R7F103GGx	R7F103GLx
コード・フラッシュ・メモリ		128 KB, 256 KB				
データ・フラッシュ・メモリ		4 KB				
RAM		8 KB				
アドレス空間		1 Mバイト				
CPU／周辺ハードウェア・クロック周波数（f_{CLK}）	メイン・システム・クロック	HS（高速メイン）モード：1～32 MHz（V_{DD} = 1.8～5.5 V） HS（高速メイン）モード：1～4 MHz注1（V_{DD} = 1.6～5.5 V） LS（低速メイン）モード：1～24 MHz（V_{DD} = 1.8～5.5 V） LS（低速メイン）モード：1～4 MHz注1（V_{DD} = 1.6～5.5 V） LP（低電力メイン）モード：1～2 MHz注2（V_{DD} = 1.6～5.5 V）				
	サブシステム・クロック	SUBモード：32.768 kHz（V_{DD} = 1.6～5.5 V）				
メイン・システム・クロック	高速システム・クロック（f_{MX}）	1～20 MHz				
	高速オンチップ・オシレータ・クロック（f_{IH}）	1 MHz, 2 MHz, 3 MHz, 4 MHz, 6 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz				
サブシステム・クロック	低速オンチップ・オシレータ・クロック（f_{IL}）	32.768 kHz（Typ.）				
汎用レジスタ		8ビット × 32レジスタ（8ビット × 8レジスタ × 4バンク）				
最小命令実行時間		0.03125 μs（高速オンチップ・オシレータ・クロック：f_{IH} = 32 MHz動作時）				
命令セット		• データ転送（8/16ビット） • 加減／論理演算（8/16ビット） • 乗算（8 × 8ビット、16 × 16ビット）、除算（16 ÷ 16ビット、32 ÷ 32ビット） • 積和演算（16 × 16 + 32ビット） • ローテート、バレル・シフト、ビット操作（セット、リセット、テスト、ブール演算）など				
I/Oポート	合計	17	29	41	45	59
	CMOS入出力	16 （N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：5）	26 （N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：11）	38 （N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：14）	41 （N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：15）	55 （N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：19）
	CMOS入力	1				
	CMOS出力	0	0	0	1	1
	N-chオープン・ドレイン出力／入力[6 V耐圧]	0	2	2	2	2

(2/3)

項目		20ピン R7F103G6x	32ピン R7F103GBx	44ピン R7F103GFx	48ピン R7F103GGx	64ピン R7F103GLx
タイマ	16ビット・タイマ	8チャネル				
	ウォッチドッグ・タイマ	1チャネル				
	32ビット・インターバル・タイマ（TML32）	32ビット・カウンタ・モード時：1チャネル、 16ビット・カウンタ・モード時：2チャネル、 8ビット・カウンタ・モード時：4チャネル				
	タイマ出力	6本（PWM出力：5本[注3]）	4本（PWM出力：3本[注3]）、 8本（PWM出力：7本[注3]）[注4]	5本（PWM出力：3本[注3]）、 8本（PWM出力：7本[注3]）[注4]		8本（PWM出力：7本[注3]）
8／10ビット分解能A/Dコンバータ		6チャネル	8チャネル	10チャネル	10チャネル	12チャネル
シリアル・インタフェース		【20ピン製品】 • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：0チャネル／簡易I^2C：0チャネル／UART：1チャネル 【32ピン製品】 • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART（LIN-bus対応）：1チャネル 【44ピン製品】 • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：2チャネル／簡易I^2C：2チャネル／UART（LIN-bus対応）：1チャネル 【48ピン製品】 • 簡易SPI（CSI）：2チャネル／簡易I^2C：2チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I^2C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：2チャネル／簡易I^2C：2チャネル／UART（LIN-bus対応）：1チャネル 【64ピン製品】 • 簡易SPI（CSI）：2チャネル／簡易I^2C：2チャネル／UART：1チャネル • 簡易SPI（CSI）：2チャネル／簡易I^2C：2チャネル／UART：1チャネル • 簡易SPI（CSI）：2チャネル／簡易I^2C：2チャネル／UART（LIN-bus対応）：1チャネル				
	UARTA	1チャネル				
	I^2Cバス	−	1チャネル			
ベクタ割り込み要因	内部	23	26	26	26	26
	外部	6	9	10	10	13
キー割り込み		−		4	6	8
リセット		• $\overline{\text{RESET}}$端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路（LVD0, LVD1）による内部リセット • 不正命令の実行による内部リセット[注5] • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット				
パワーオン・リセット回路		検出電圧 • 1.50 V（Typ.）				

(3/3)

項目		20ピン R7F103G6x	32ピン R7F103GBx	44ピン R7F103GFx	48ピン R7F103GGx	64ピン R7F103GLx
電圧検出回路	LVD0	検出電圧 • 立ち上がり：1.69～3.96 V（6段階） • 立ち下がり：1.65～3.88 V（6段階）				
	LVD1	検出電圧 • 立ち上がり：1.67～4.16 V（18段階） • 立ち下がり：1.63～4.08 V（18段階）				
オンチップ・デバッグ機能		あり（トレース機能対応）				
電源電圧		V_{DD} = 1.6～5.5 V				
動作周囲温度		T_A = –40～+105°C（3Z：産業／民生用途）				

注1. フラッシュ・メモリを書き換える場合は、1.8 V以上で書き換えてください。

注2. フラッシュ・メモリを書き換える場合は、HS（高速メイン）モードまたはLS（低速メイン）モードに切り替えてください。

注3. 使用チャネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（**7.9.3 多重PWM出力機能としての動作**参照）。

注4. 周辺I/Oリダイレクション・レジスタ（PIOR0）の該当ビットに1を設定した場合です。

注5. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッギング・エミュレータによるエミュレーションでは発生しません。

第2章　端子機能

2.1　ポートの端子機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2 - 1　各端子の入出力バッファ電源

(1) 20～48ピン製品

電源	対応する端子
V_{DD}	すべての端子

(2) 64ピン製品

電源	対応する端子
EV_{DD0}	• P20-P27, P121-P125, P137以外のポート端子
V_{DD}	• P20-P27, P121-P125, P137 • $\overline{RESET}$, REGC

2.1.1 20ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-3-5	入出力	アナログ機能	ANI17/TI00/TxD1/TxDA0	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 アナログ機能に設定可能注。
P01	8-3-3			ANI16/TO00/RxD1/RxDA0	
P10	8-1-10	入出力	入力ポート	SCK00/SCL00/TI07/TO07	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P16, P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/TI06/TO06	
P12	7-1-11			SO00/TxD0/TOOLTxD/TI05/TO05	
P16	8-1-3			TI01/TO01/INTP5/SO11	
P17	8-1-10			TI02/TO02/SI11/SDA11	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22				ANI2	
P30	7-1-3	入出力	入力ポート	INTP3/SCK11/SCL11	ポート3。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P40				TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P121	7-2-3	入出力	入力ポート	X1/INTP8/TxD2	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しているため、外部リセットとして使用する場合は、ユーザ・オプション・バイト（000C1H）のPORTSELBビットに1を設定してください。
P122				X2/EXCLK/INTP6/RxD2	
P125	3-2-2			$\overline{\text{RESET}}$/INTP9	
P137	3-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P147	7-3-3	入出力	アナログ機能	ANI18	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

2.1.2 32ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-3-5	入出力	アナログ機能	ANI17/TI00/TxD1/TxDA0	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 アナログ機能に設定可能注。
P01	8-3-3			ANI16/TO00/RxD1/RxDA0	
P10	8-1-10	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-11			SO00/TxD0/TOOLTxD/(TI05)/(TO05)	
P13	8-1-10			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-3			TI01/TO01/INTP5/(RxD0)	
P17	8-1-10			TI02/TO02/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22				ANI2	
P23				ANI3	
P30	7-1-3	入出力	入力ポート	INTP3/SCK11/SCL11	ポート3。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P31の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P31	7-1-11			TI03/TO03/INTP4/(TxDA0)	
P34	8-1-3			(RxDA0)	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-10	入出力	入力ポート	INTP1/SI11/SDA11/(RxD2)	ポート5。 2ビット入出力ポート。 P50, P51の出力はN-chオープン・ドレイン出力[V_{DD}耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。
P51	7-1-11			INTP2/SO11/(TxD2)	
P60	12-1-3	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P70	7-1-3	入出力	入力ポート	－	ポート7。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能[注]。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しているため、外部リセットとして使用する場合は、ユーザ・オプション・バイト（000C1H）のPORTSELBビットに1を設定してください。
P121	7-2-3		入力ポート	X1/INTP8/(TxD2)	
P122				X2/EXCLK/INTP6/(RxD2)	
P125	3-2-2			$\overline{\text{RESET}}$/INTP9	
P137	3-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P147	7-3-3	入出力	アナログ機能	ANI18	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能[注]。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。
詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.3 44ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-11	入出力	入力ポート	TI00/TxD1/(TxDA0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-1-3			TO00/RxD1/(RxDA0)	
P10	8-1-10			SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-11			SO00/TxD0/TOOLTxD/(TI05)/(TO05)	
P13	8-1-10			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-3			TI01/TO01/INTP5/(RxD0)	
P17	8-1-10			TI02/TO02/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	7-1-3	入出力	入力ポート	INTP3/SCK11/SCL11	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P31, P33の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P34の入力はTTL入力バッファに設定可能。
P31	7-1-11			TI03/TO03/INTP4	
P33				(TxDA0)	
P34	8-1-3			(RxDA0)	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41				TI07/TO07	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-10	入出力	入力ポート	INTP1/SI11/SDA11/(RxD2)	ポート5。 2ビット入出力ポート。 P50, P51の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。
P51	7-1-11			INTP2/SO11/(TxD2)	
P60	12-1-3	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 4ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-1-10			KR1/SI21/SDA21/RxDA0	
P72	7-1-11			KR2/SO21/TxDA0	
P73	7-1-3			KR3	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。 6ビット入出力ポート。 P120-P125は1ビット単位で入力／出力の指定可能。 P120-P125は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能注。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しているため、外部リセットとして使用する場合は、ユーザ・オプション・バイト（000C1H）のPORTSELBビットに1を設定してください。
P121	7-2-3		入力ポート	X1/INTP8/(TxD2)	
P122				X2/EXCLK/INTP6/(RxD2)	
P123	7-1-3			(TxDA0)	
P124				(RxDA0)	
P125	3-2-2		入力ポート	$\overline{\text{RESET}}$/INTP9	
P137	3-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P146	7-1-3	入出力	入力ポート	－	ポート14。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
P147	7-3-3		アナログ機能	ANI18	

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。
詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.4 48ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-11	入出力	入力ポート	TI00/TxD1/(TxDA0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-1-3			TO00/RxD1/(RxDA0)	
P10	8-1-10			SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-11			SO00/TxD0/TOOLTxD/(TI05)/(TO05)	
P13	8-1-10			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-3			TI01/TO01/INTP5/(RxD0)	
P17	8-1-10			TI02/TO02/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	7-1-3	入出力	入力ポート	INTP3/SCK11/SCL11	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P31, P33の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P34の入力はTTL入力バッファに設定可能。
P31	7-1-11			TI03/TO03/INTP4	
P33				(TxDA0)	
P34	8-1-3			(RxDA0)	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41				TI07/TO07	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-10	入出力	入力ポート	INTP1/SI11/SDA11/(RxD2)	ポート5。 2ビット入出力ポート。 P50, P51の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。
P51	7-1-11			INTP2/SO11/(TxD2)	
P60	12-1-3	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 6ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-1-10			KR1/SI21/SDA21/RxDA0	
P72	7-1-11			KR2/SO21/TxDA0	
P73	7-1-3			KR3/SO01	
P74	7-1-11			KR4/INTP8/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。 6ビット入出力ポート。 P120-P125は1ビット単位で入力／出力の指定可能。 P120-P125は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能注。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しているため、外部リセットとして使用する場合は、ユーザ・オプション・バイト（000C1H）のPORTSELBビットに1を設定してください。
P121	7-2-3		入力ポート	X1/INTP8/(TxD2)	
P122				X2/EXCLK/INTP6/(RxD2)	
P123	7-1-3			(TxDA0)	
P124				(RxDA0)	
P125	3-2-2			$\overline{\text{RESET}}$/INTP9	
P130	1-1-1	出力	出力ポート	−	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P137	3-1-2	入力	入力ポート	INTP0	
P140	7-1-3	入出力	入力ポート	INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
P146				−	
P147	7-3-3		アナログ機能	ANI18	

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。
詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.5 64ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-11	入出力	入力ポート	TI00/(TxD1)/(TxDA0)	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。 P02, P03はアナログ機能に設定可能注。
P01	8-1-3			TO00/(RxD1)/(RxDA0)	
P02	7-3-5		アナログ機能	ANI17/SO10/TxD1	
P03	8-3-6			ANI16/SI10/RxD1/SDA10	
P04	8-1-10		入力ポート	SCK10/SCL10	
P05	7-1-3			TI05/TO05	
P06				TI06/TO06/CLKA0	
P10	8-1-10	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-11			SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-1-10			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-3			TI01/TO01/INTP5/(SI00)/(RxD0)	
P17	8-1-10			TI02/TO02/(SO00)/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	7-1-3	入出力	入力ポート	INTP3/SCK11/SCL11	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P31, P33の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P34の入力はTTL入力バッファに設定可能。
P31	7-1-11			TI03/TO03/INTP4	
P33				(TxDA0)	
P34	8-1-3			(RxDA0)	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41				TI07/TO07	
P42				TI04/TO04	
P43				－	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-10	入出力	入力ポート	INTP1/SI11/SDA11/(RxD2)	ポート5。 6ビット入出力ポート。 P50, P55の入力はTTL入力バッファに設定可能。 P50, P51, P55の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-1-11			INTP2/SO11/(TxD2)	
P52	7-1-3			(INTP10)	
P53				(INTP11)	
P54				－	
P55	8-1-10			(SCK00)	
P60	12-1-3	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-1-10			KR1/SI21/SDA21/RxDA0	
P72	7-1-11			KR2/SO21/TxDA0	
P73	7-1-3			KR3/SO01	
P74	7-1-11			KR4/INTP8/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。 6ビット入出力ポート。 P120-P125は1ビット単位で入力／出力の指定可能。 P120-P125は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能注。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しているため、外部リセットとして使用する場合は、ユーザ・オプション・バイト（000C1H）のPORTSELBビットに1を設定してください。
P121	7-2-3		入力ポート	X1/INTP8/(TxD2)	
P122				X2/EXCLK/INTP6/(RxD2)	
P123	7-1-3			(TxDA0)	
P124				(RxDA0)	
P125	3-2-2			$\overline{\text{RESET}}$/INTP9	
P130	1-1-1	出力	出力ポート	－	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P137	3-1-2	入力	入力ポート	INTP0	
P140	7-1-3	入出力	入力ポート	INTP6	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
P141				INTP7	
P146				－	
P147	7-3-3		アナログ機能	ANI18	

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。
詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.2 ポート以外の端子機能

2.2.1 製品別の搭載機能

(1/3)

機能名称	64 ピン	48 ピン	44 ピン	32 ピン	20 ピン
ANI0	○	○	○	○	○
ANI1	○	○	○	○	○
ANI2	○	○	○	○	○
ANI3	○	○	○	○	−
ANI4	○	○	○	−	−
ANI5	○	○	○	−	−
ANI6	○	○	○	−	−
ANI7	○	○	○	−	−
ANI16	○	−	−	○	○
ANI17	○	−	−	○	○
ANI18	○	○	○	−	−
ANI19	○	○	○	−	−
INTP0	○	○	○	○	○
INTP1	○	○	○	○	−
INTP2	○	○	○	○	−
INTP3	○	○	○	○	○
INTP4	○	○	○	○	−
INTP5	○	○	○	○	○
INTP6	○	○	○	○	○
INTP7	○	−	−	−	−
INTP8	○	○	○	○	○
INTP9	○	○	○	○	○
INTP10	○	−	−	−	−
INTP11	○	−	−	−	−
KR0	○	○	○	−	−
KR1	○	○	○	−	−
KR2	○	○	○	−	−
KR3	○	○	○	−	−
KR4	○	○	−	−	−
KR5	○	○	−	−	−
KR6	○	−	−	−	−
KR7	○	−	−	−	−
$\overline{\text{RESET}}$	○	○	○	○	○
RxD0	○	○	○	○	○
RxD1	○	○	○	○	○
RxD2	○	○	○	○	○
TxD0	○	○	○	○	○
TxD1	○	○	○	○	○

(2/3)

機能名称	64 ピン	48 ピン	44 ピン	32 ピン	20 ピン
TxD2	○	○	○	○	○
RxDA0	○	○	○	○	○
TxDA0	○	○	○	○	○
CLKA0	○	−	−	−	−
SCK00	○	○	○	○	○
SCK01	○	○	−	−	−
SCK10	○	−	−	−	−
SCK11	○	○	○	○	○
SCK20	○	○	○	○	−
SCK21	○	○	○	−	−
SCL00	○	○	○	○	○
SCL01	○	○	−	−	−
SCL10	○	−	−	−	−
SCL11	○	○	○	○	○
SCL20	○	○	○	○	−
SCL21	○	○	○	−	−
SDA00	○	○	○	○	○
SDA01	○	○	−	−	−
SDA10	○	−	−	−	−
SDA11	○	○	○	○	○
SDA20	○	○	○	○	−
SDA21	○	○	○	−	−
SI00	○	○	○	○	○
SI01	○	○	−	−	−
SI10	○	−	−	−	−
SI11	○	○	○	○	○
SI20	○	○	○	○	−
SI21	○	○	○	−	−
SO00	○	○	○	○	○
SO01	○	○	−	−	−
SO10	○	−	−	−	−
SO11	○	○	○	○	○
SO20	○	○	○	○	−
SO21	○	○	○	−	−
SCLA0	○	○	○	○	−
SDAA0	○	○	○	○	−
TI00	○	○	○	○	○
TI01	○	○	○	○	○
TI02	○	○	○	○	○
TI03	○	○	○	○	−
TI04	○	(○)	(○)	(○)	−
TI05	○	(○)	(○)	(○)	○

(3/3)

機能名称	64ピン	48ピン	44ピン	32ピン	20ピン
TI06	○	(○)	(○)	(○)	○
TI07	○	○	○	(○)	○
TO00	○	○	○	○	○
TO01	○	○	○	○	○
TO02	○	○	○	○	○
TO03	○	○	○	○	−
TO04	○	(○)	(○)	(○)	−
TO05	○	(○)	(○)	(○)	○
TO06	○	(○)	(○)	(○)	○
TO07	○	○	○	(○)	○
X1	○	○	○	○	○
X2	○	○	○	○	○
EXCLK	○	○	○	○	○
V_{DD}	○	○	○	○	○
EV_{DD0}	○	−	−	−	−
AV_{REFP}	○	○	○	○	○
AV_{REFM}	○	○	○	○	○
V_{SS}	○	○	○	○	○
EV_{SS0}	○	−	−	−	−
TOOLRxD	○	○	○	○	○
TOOLTxD	○	○	○	○	○
TOOL0	○	○	○	○	○

備考 （ ）は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、端子を割り当てることができます。

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI7, ANI16-ANI19	入力	A/Dコンバータのアナログ入力（**図10 - 45 VDD、AVREFP、アナログ入力端子の処理**参照）
INTP0-INTP11	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ
KR0-KR7	入力	キー割り込み入力
REGC	－	内部動作用レギュレータ出力安定容量接続 コンデンサ（0.47～1 μF）を介し、Vssに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力
RxD0-RxD2	入力	シリアル・インタフェースUART0-UART2のシリアル・データ入力
TxD0-TxD2	出力	シリアル・インタフェースUART0-UART2のシリアル・データ出力
RxDA0	入力	シリアル・インタフェースUARTA0のシリアル・データ入力
TxDA0	出力	シリアル・インタフェースUARTA0のシリアル・データ出力
CLKA0	出力	シリアル・インタフェースUARTA0のクロック出力
SCK00, SCK01, SCK10, SCK11, SCK20, SCK21	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・クロック入出力
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21のシリアル・クロック出力
SDA00, SDA01, SDA10, SDA11, SDA20, SDA21	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21のシリアル・データ入出力
SI00, SI01, SI10, SI11, SI20, SI21	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・データ入力
SO00, SO01, SO10, SO11, SO20, SO21	出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・データ出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07	出力	16ビット・タイマ00-07のタイマ出力
X1, X2	－	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
VDD	－	＜20～48ピン製品の場合＞ すべての端子の正電源 ＜64ピン製品の場合＞ P20-P27, P121-P125, P137およびポート以外の端子の正電源
EVDD0	－	ポート端子（P20-P27, P121-P125, P137以外）の正電源
AVREFP	入力	A/Dコンバータの基準電圧（＋側）入力
AVREFM	入力	A/Dコンバータの基準電圧（－側）入力
Vss	－	＜20～48ピン製品の場合＞ すべての端子のグランド電位 ＜64ピン製品の場合＞ P20-P27, P121-P125, P137およびポート以外の端子のグランド電位
EVSS0	－	ポート端子（P20-P27, P121-P125, P137以外）のグランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信

(2/2)

機能名称	入出力	機能
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

P40/TOOL0	動作モード
EVDD	**通常動作モード**
0 V	**フラッシュ・メモリ・プログラミング・モード**

詳細は、24.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD - VSS, EVDD0 - EVSS0ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

表 2 - 2 に各端子の未使用端子処理を示します。

備考 製品により、搭載している端子が異なります。**1.3 端子接続図（Top View）**、**2.1 ポートの端子機能**を参照してください。

表2 - 2 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P06	入出力	入力時：個別に抵抗を介して、EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P10-P17		
P20-P27		入力時：個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P30, P31, P33, P34		入力時：個別に抵抗を介して、EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、EV_{DD0}に接続またはオープンにしてください。 出力時：オープンにしてください。
P41-P43		入力時：個別に抵抗を介して、EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P50-P55		
P60, P61		入力時：個別に抵抗を介して、EV_{DD0}またはEV_{SS0}に接続してください。 出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してEV_{DD0}またはEV_{SS0}に接続してください。
P70-P77		入力時：個別に抵抗を介して、EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P120		
P121, P122		入力時：個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P123, P124		入力時：個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P125/$\overline{\text{RESET}}$		ユーザ・オプション・バイト（000C1H）のPORTSELB = 0： 入力時：個別に抵抗を介して、V_{DD}に接続してください。 出力時：オープンにしてください。 ユーザ・オプション・バイト（000C1H）のPORTSELB = 1： オープンまたはV_{DD}に接続してください。
P130	出力	オープンにしてください。
P137	入力	ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDIS13）のPDIDIS137ビットに1を設定し、オープンにしてください。または、個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。
P140, P141, P146, P147	入出力	入力時：個別に抵抗を介して、EV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
REGC	—	コンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。

備考 EV_{DD0}, EV_{SS0}端子がない製品は、EV_{DD0}をV_{DD}に、EV_{SS0}をV_{SS}に置き換えてください。

2.4 端子ブロック図

2.1.1 20 ピン製品～ 2.1.5 64 ピン製品に記載した端子タイプについて、**図 2 - 1 ～図 2 - 14** に端子ブロック図を示します。

図2 - 1 端子タイプ1-1-1の端子ブロック図

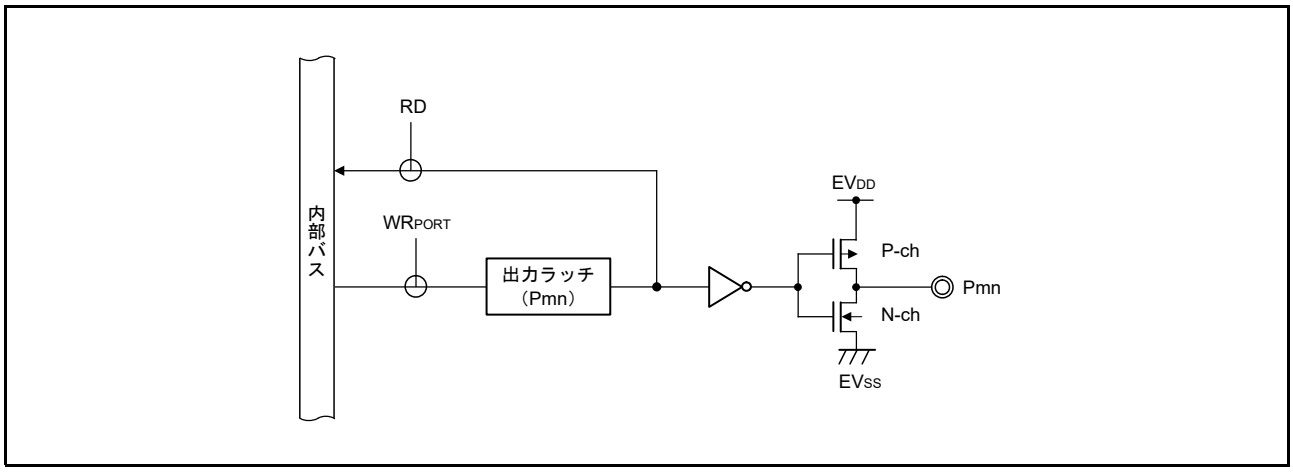
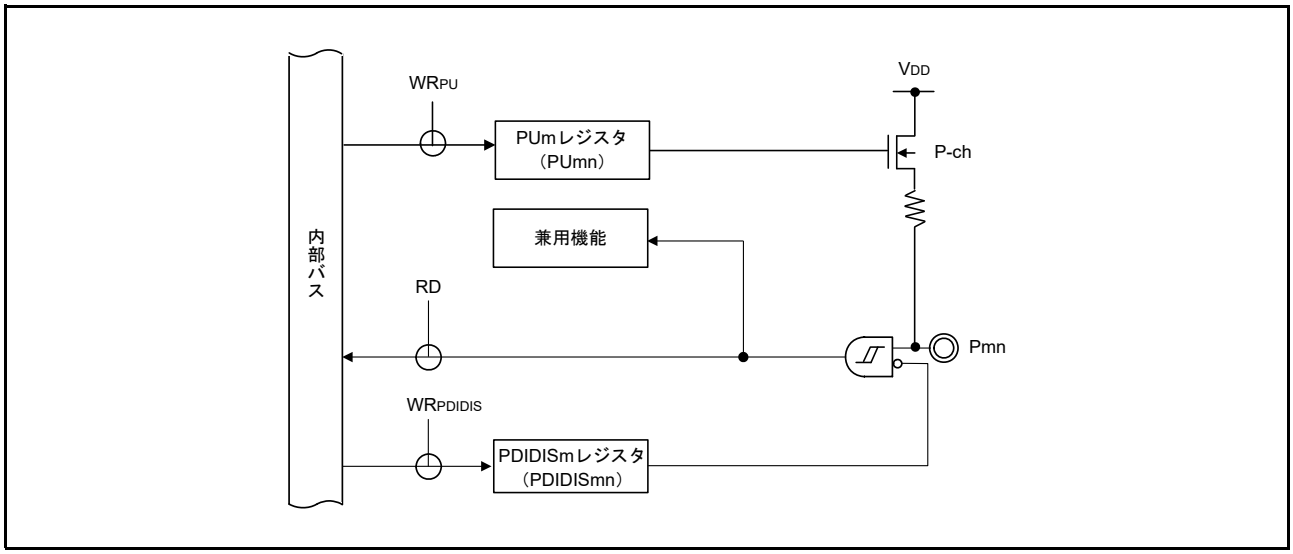
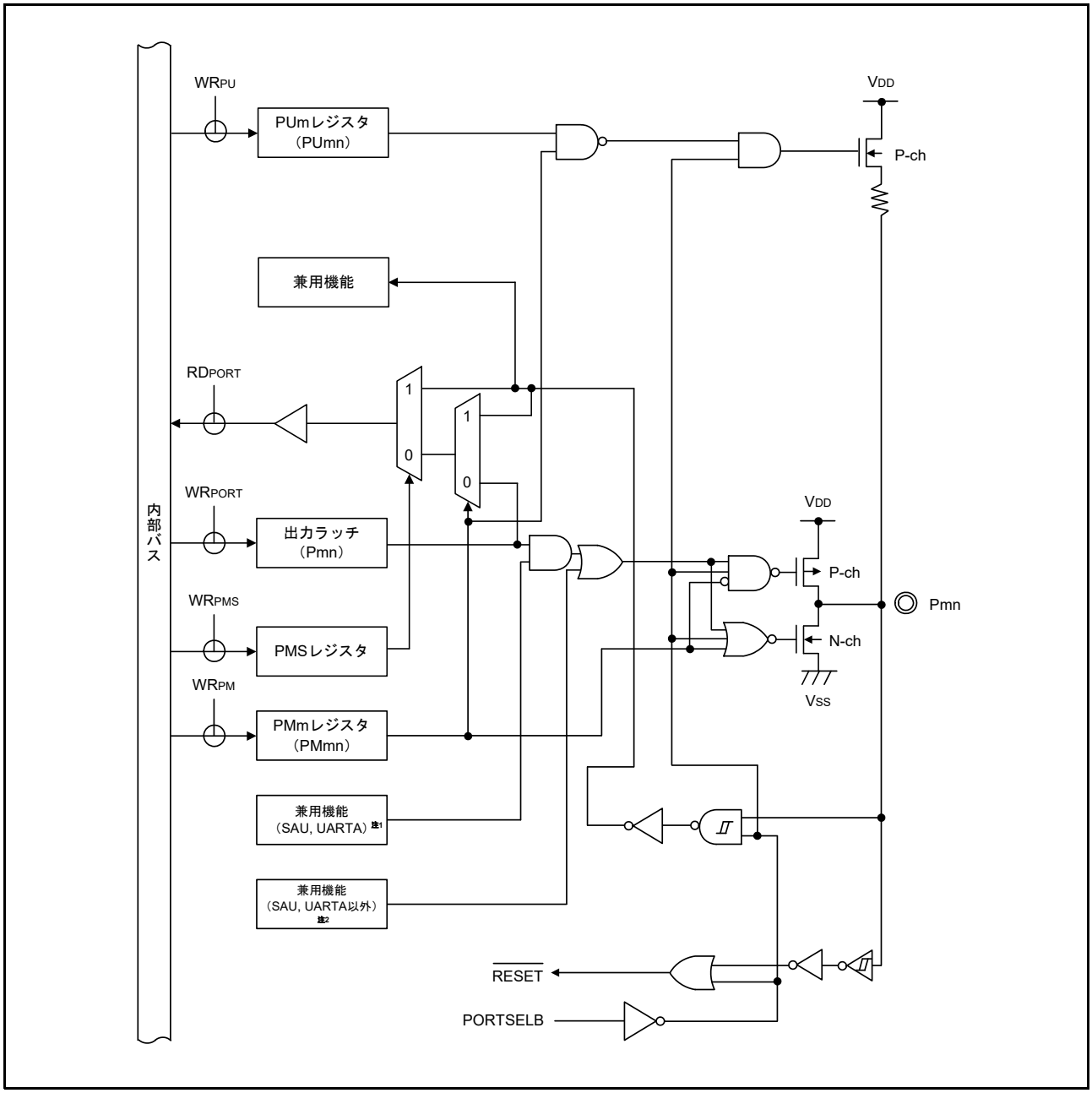


図2 - 2 端子タイプ3-1-2の端子ブロック図



備考 兼用機能は、**2.1 ポートの端子機能**を参照してください。

図2 - 3 端子タイプ3-2-2の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 4　　端子タイプ4-3-5の端子ブロック図

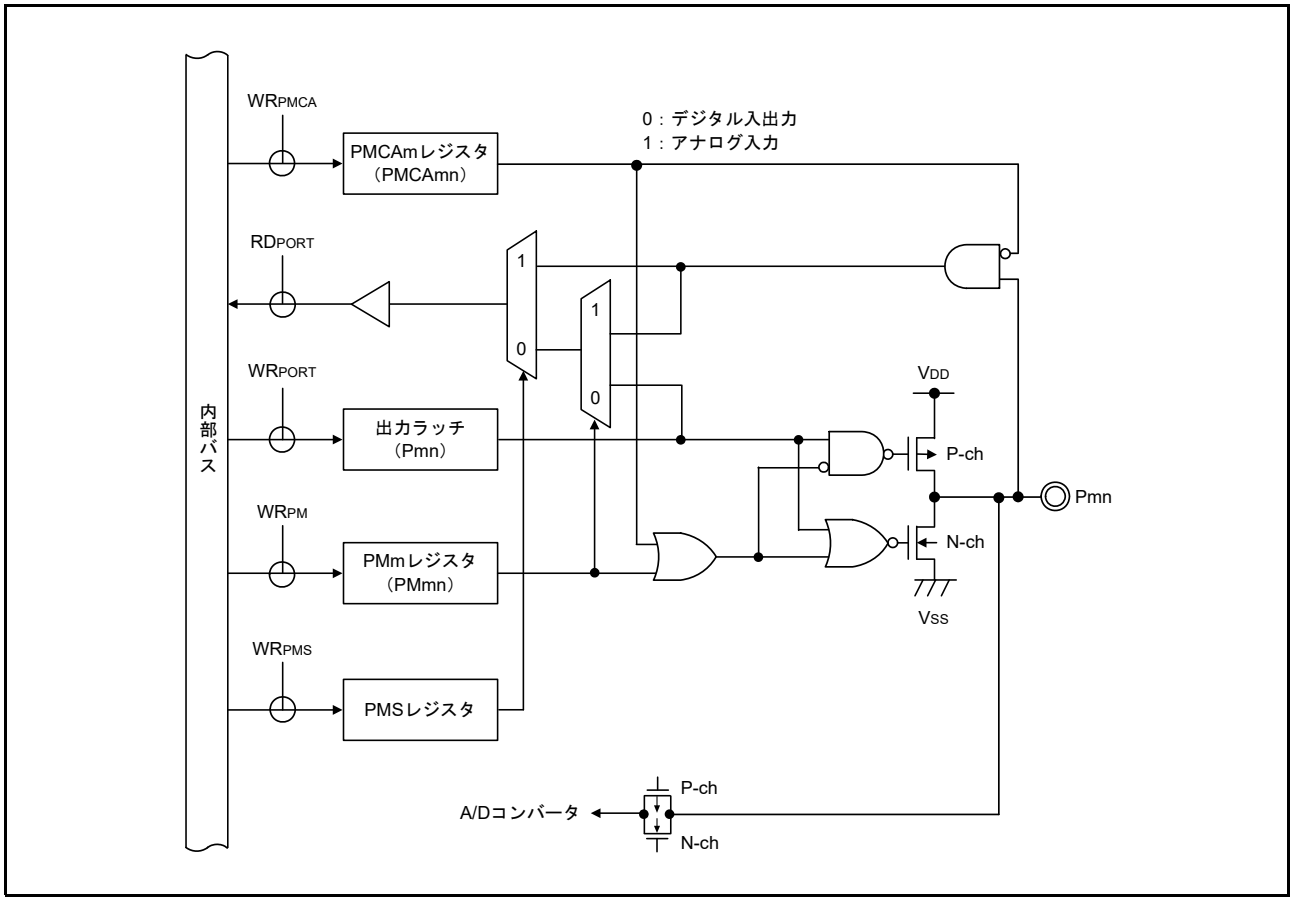
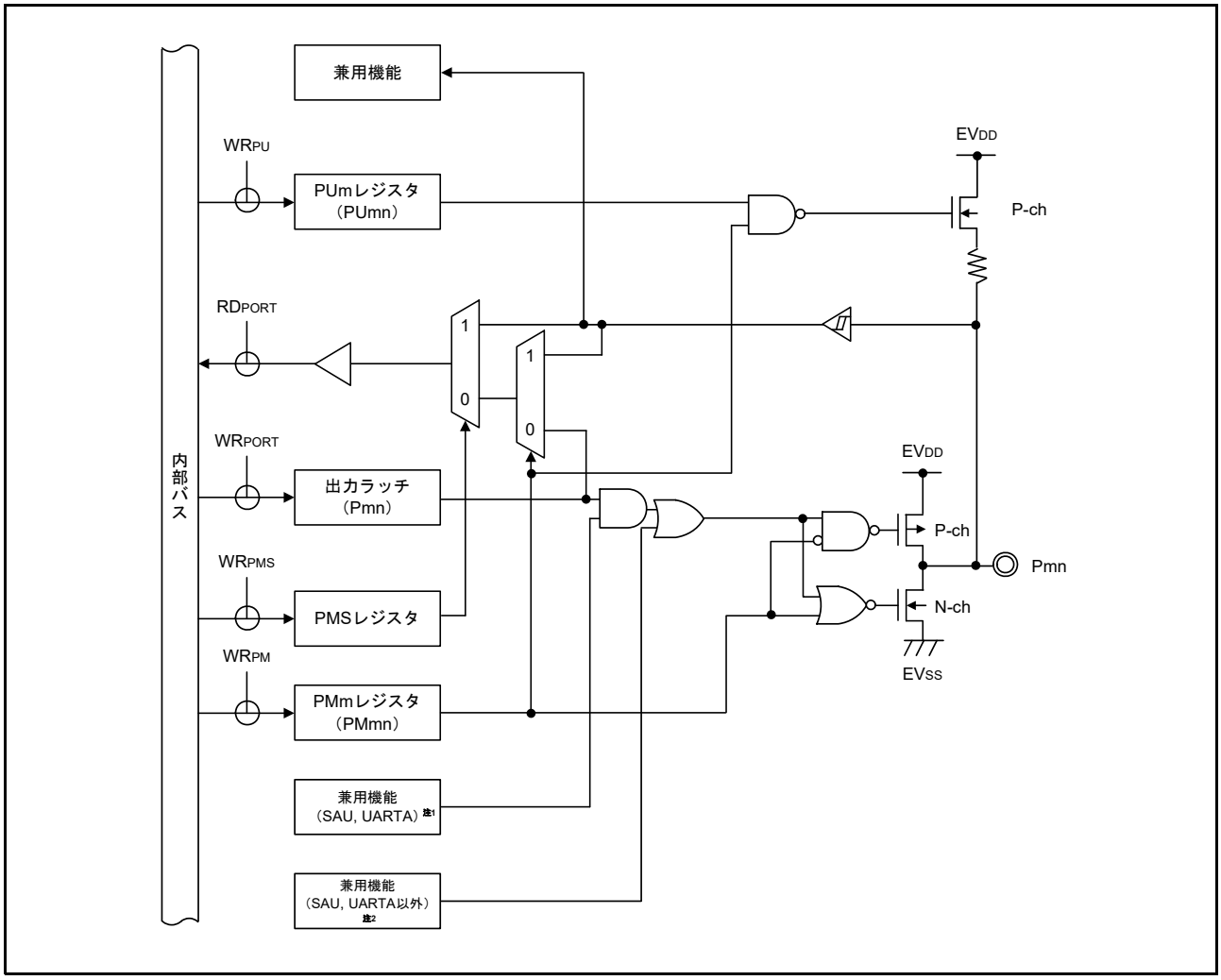


図2 - 5 端子タイプ7-1-3の端子ブロック図



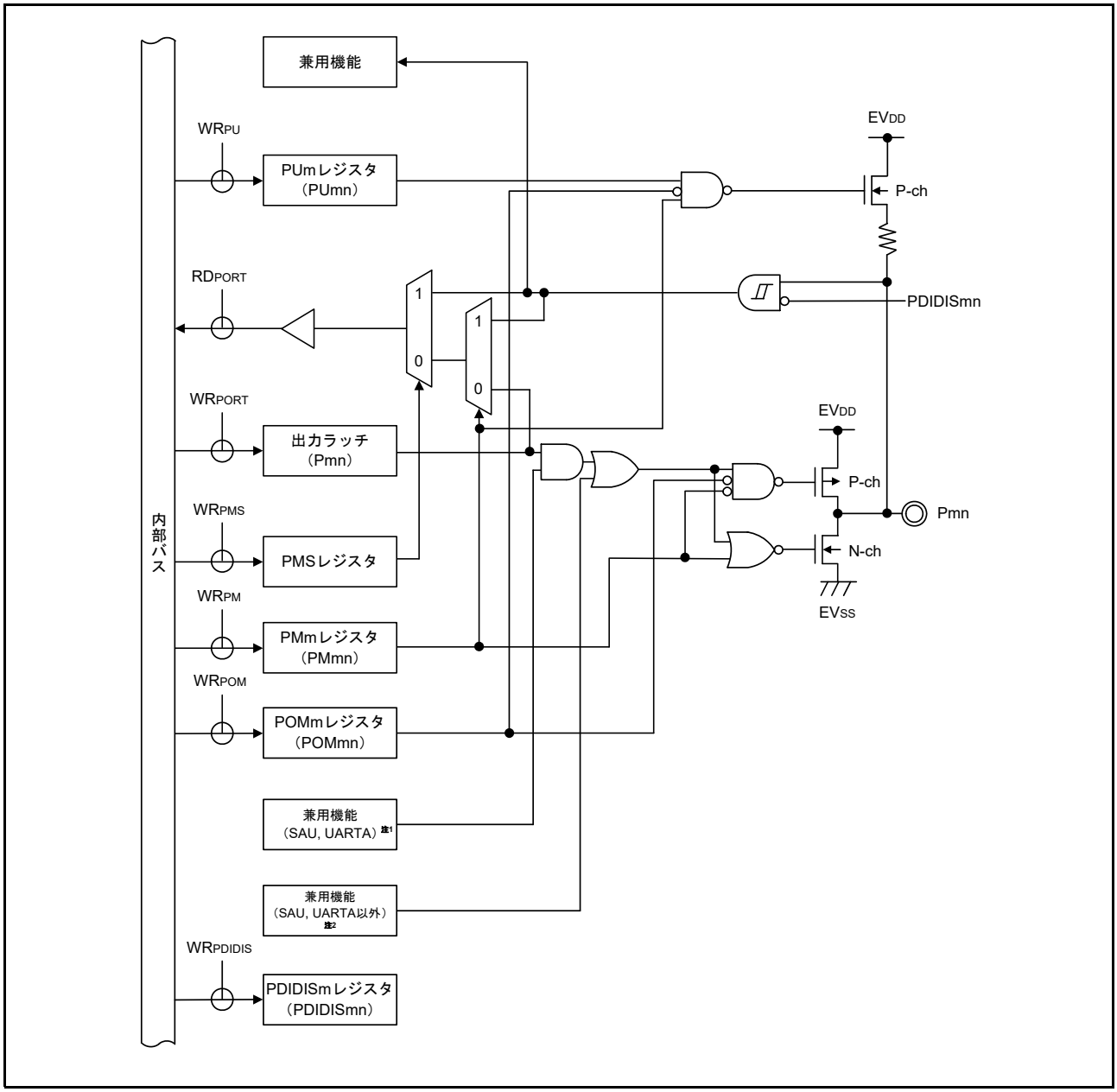
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 6 端子タイプ7-1-11の端子ブロック図



注1. UARTAのクロック出力を除く

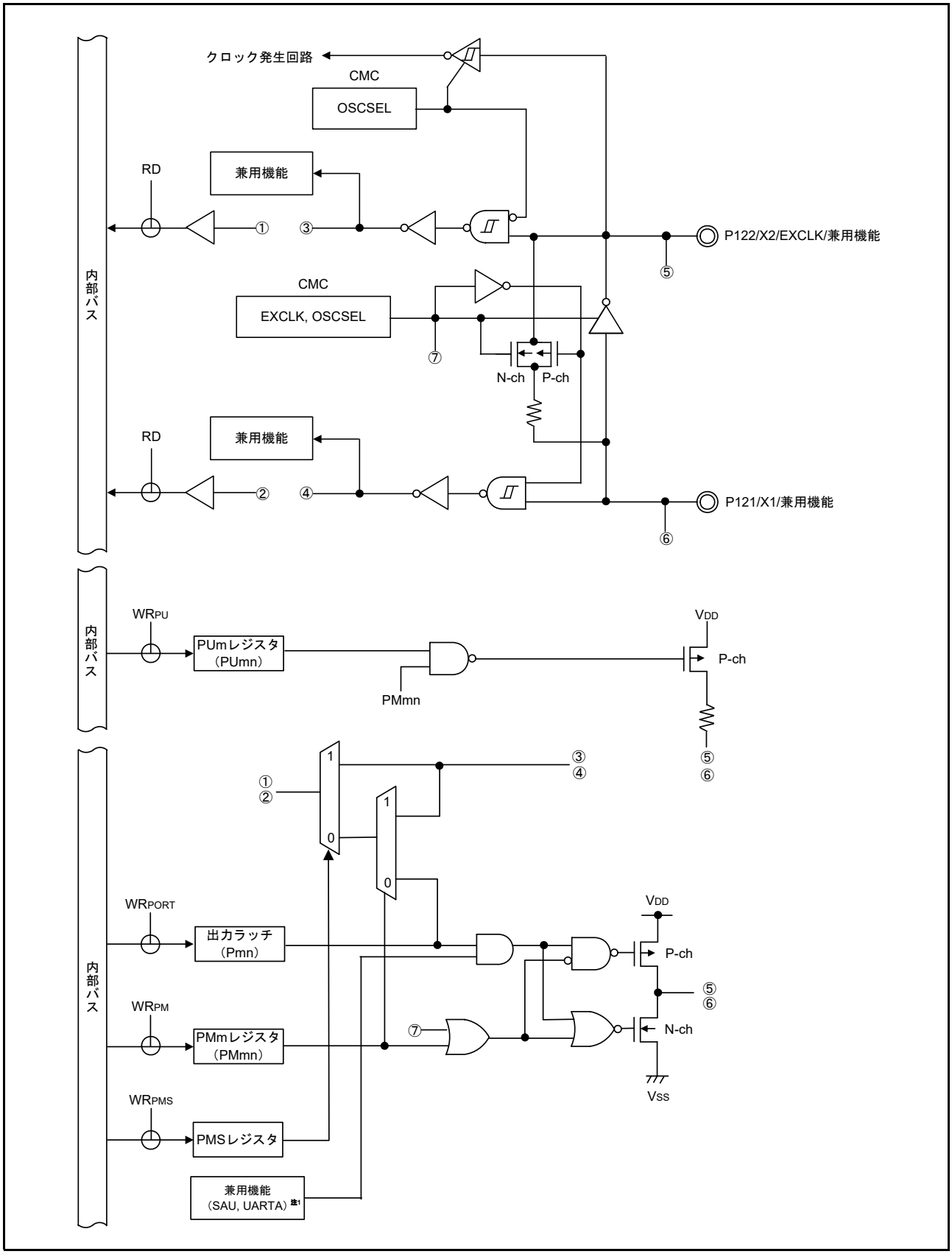
注2. UARTAのクロック出力を含む

注意 ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

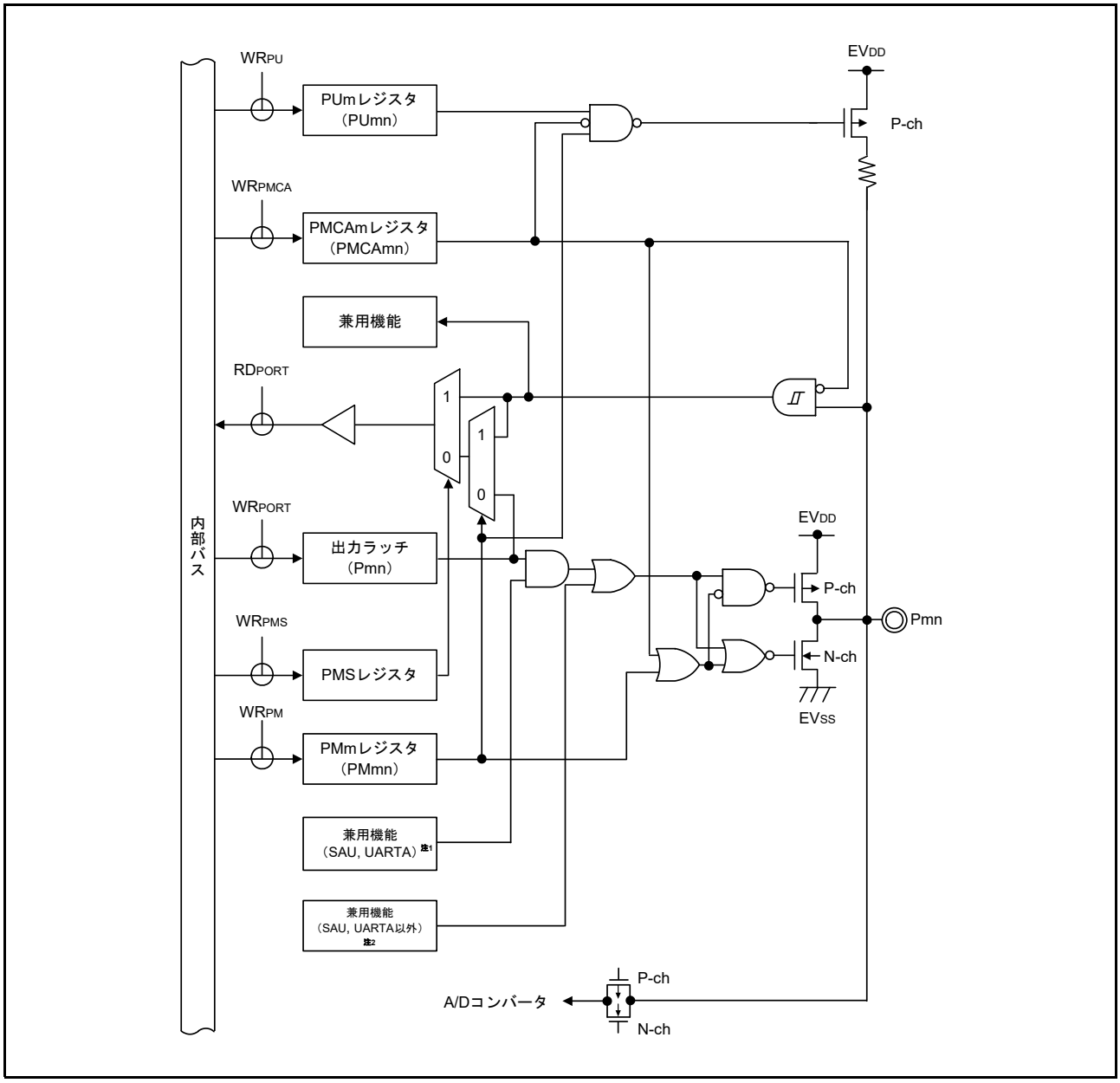
図2 - 7 端子タイプ7-2-3の端子ブロック図



注 UARTAのクロック出力を除く

備考 兼用機能は、**2.1 ポートの端子機能**を参照してください。

図2 - 8 端子タイプ7-3-3の端子ブロック図



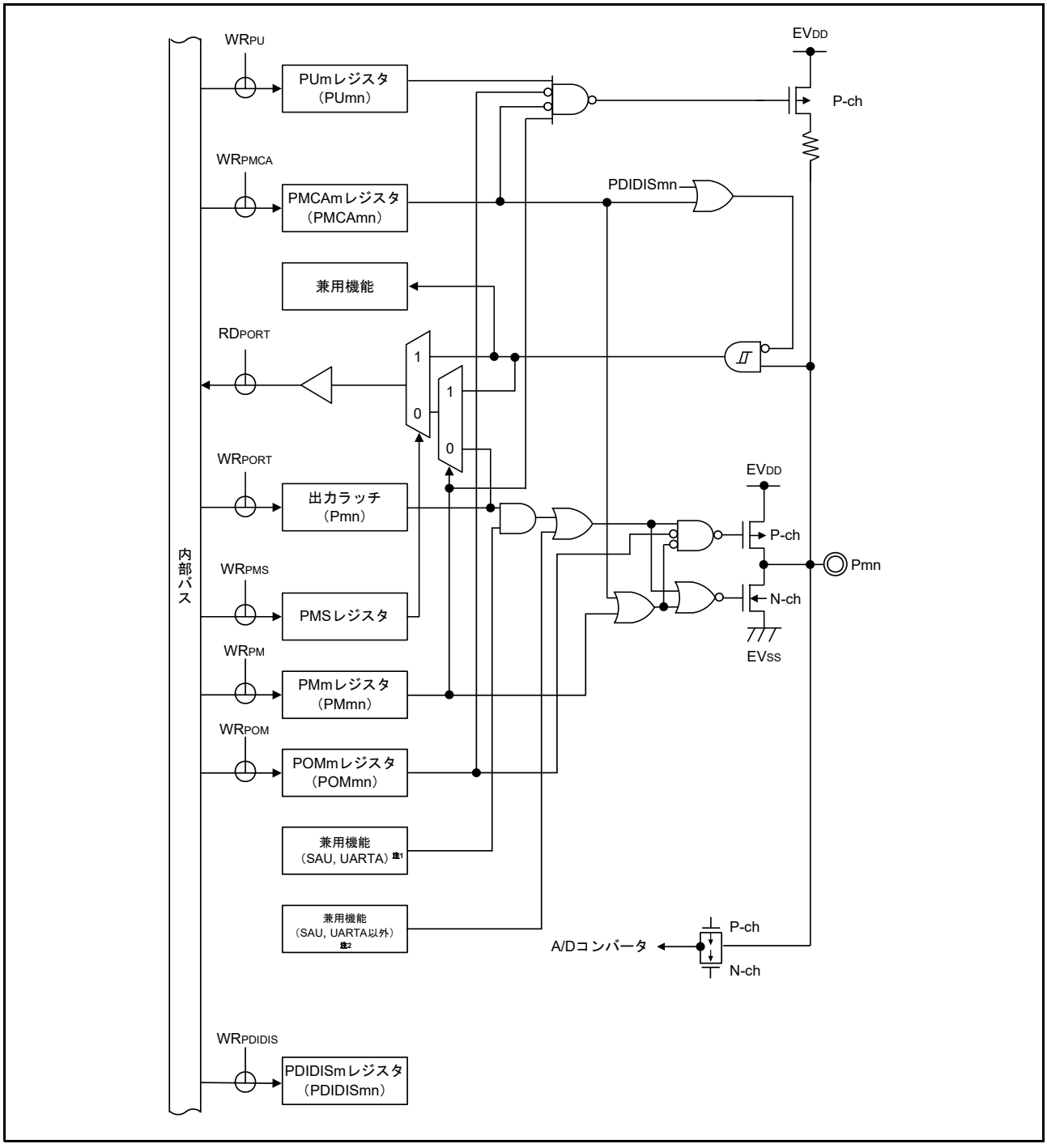
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 9 端子タイプ7-3-5の端子ブロック図



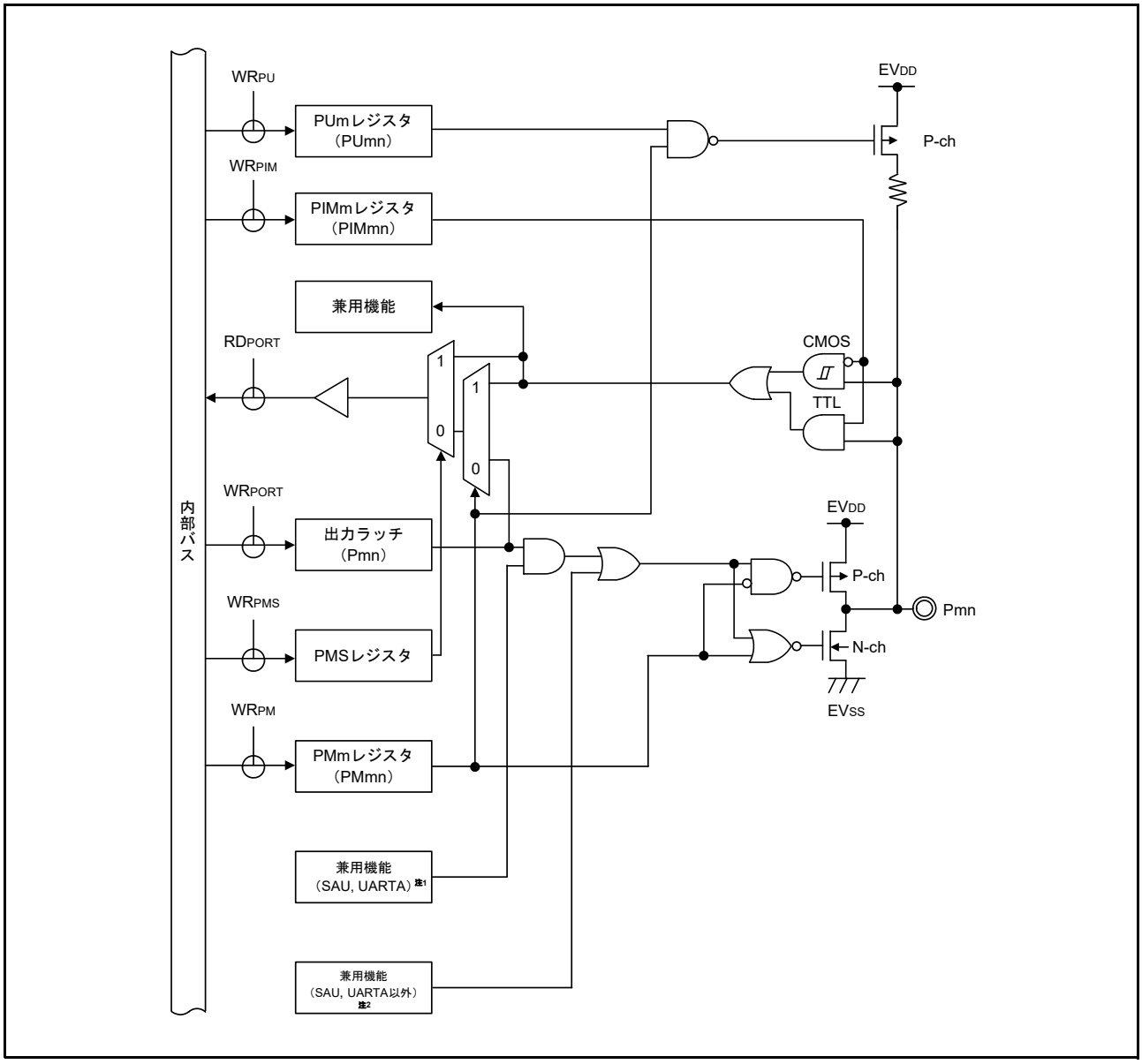
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 10 端子タイプ8-1-3の端子ブロック図



注1. UARTAのクロック出力を除く

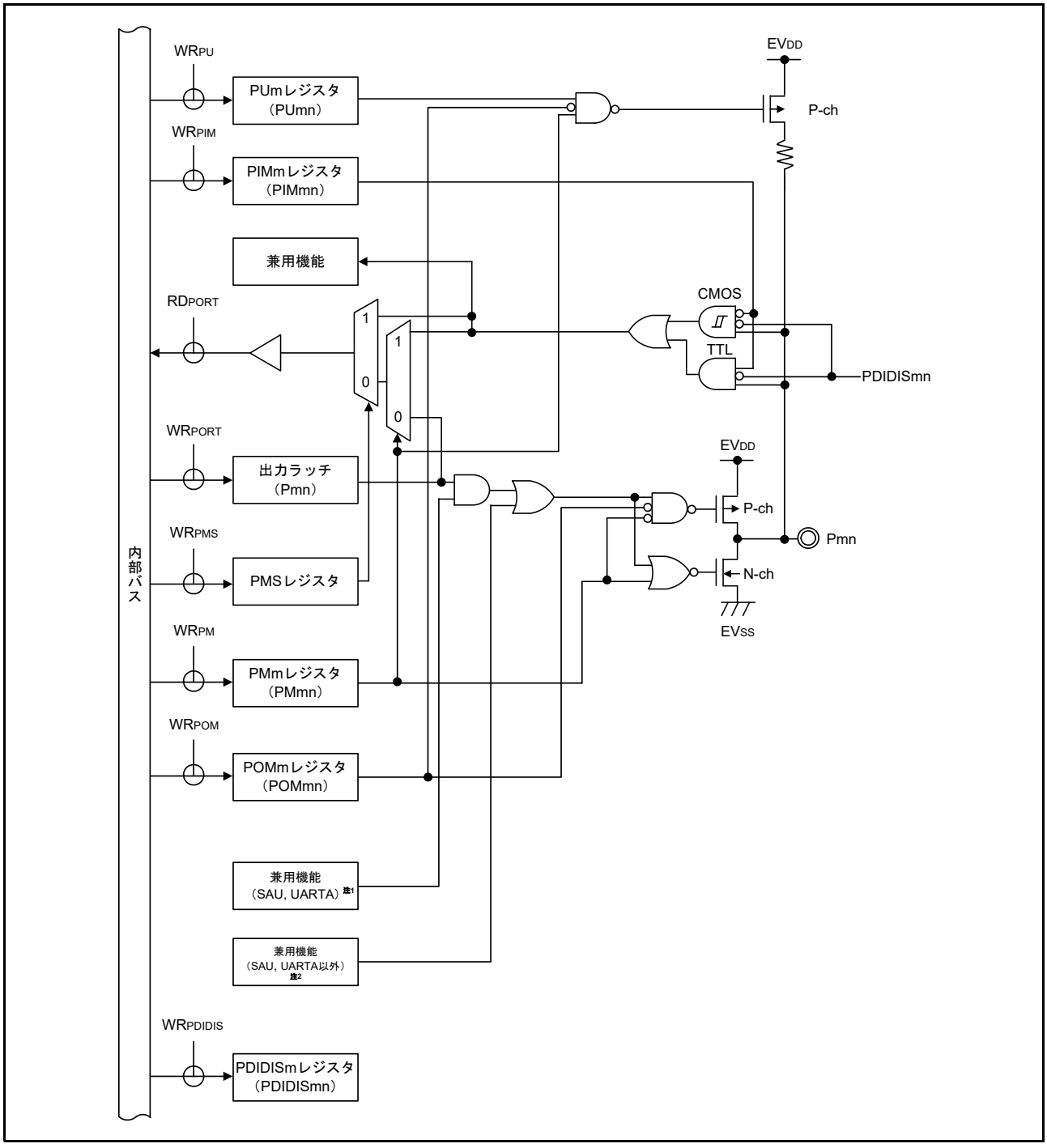
注2. UARTAのクロック出力を含む

注意 ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 11 端子タイプ8-1-10の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

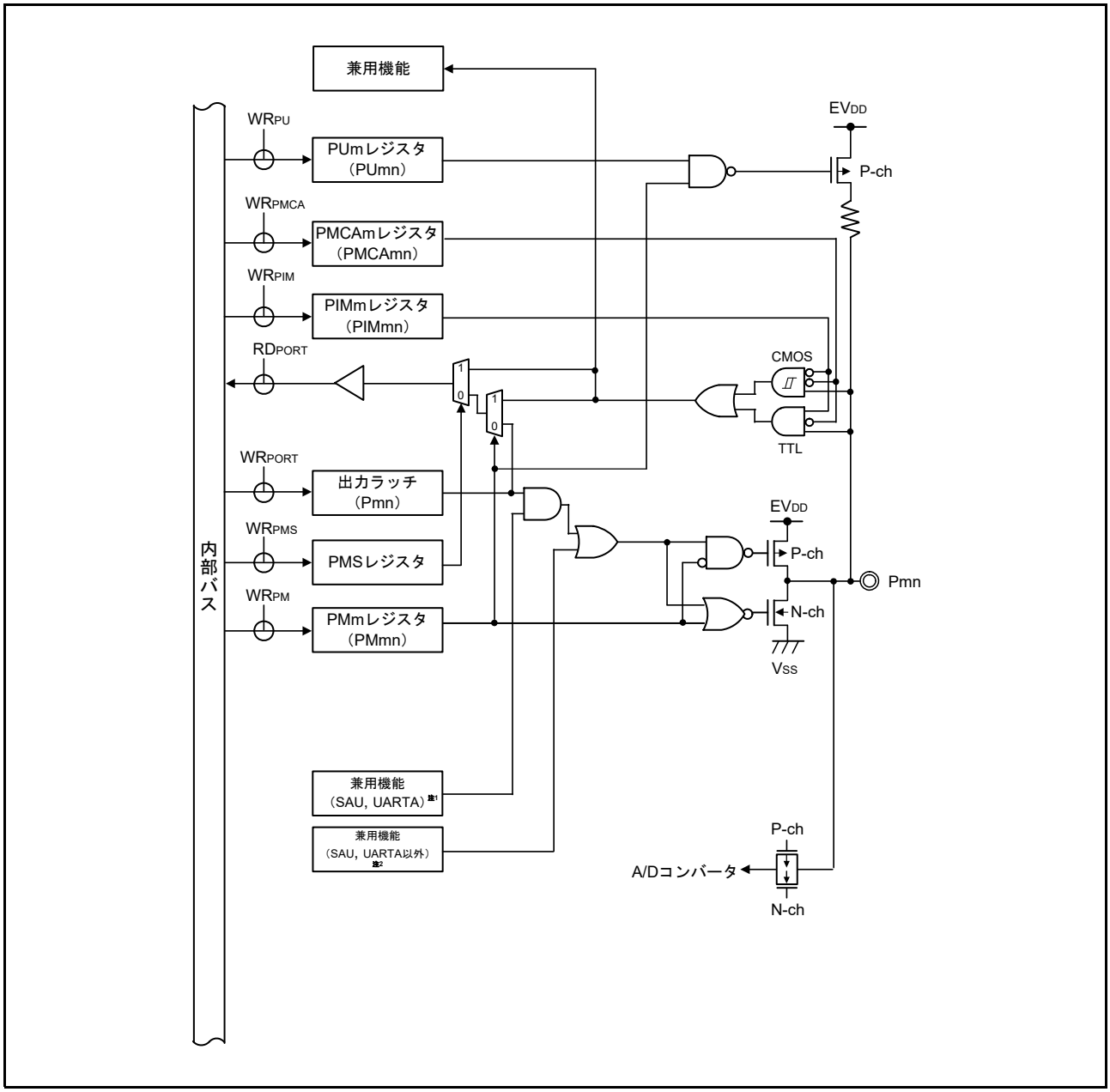
注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 12 端子タイプ8-3-3の端子ブロック図



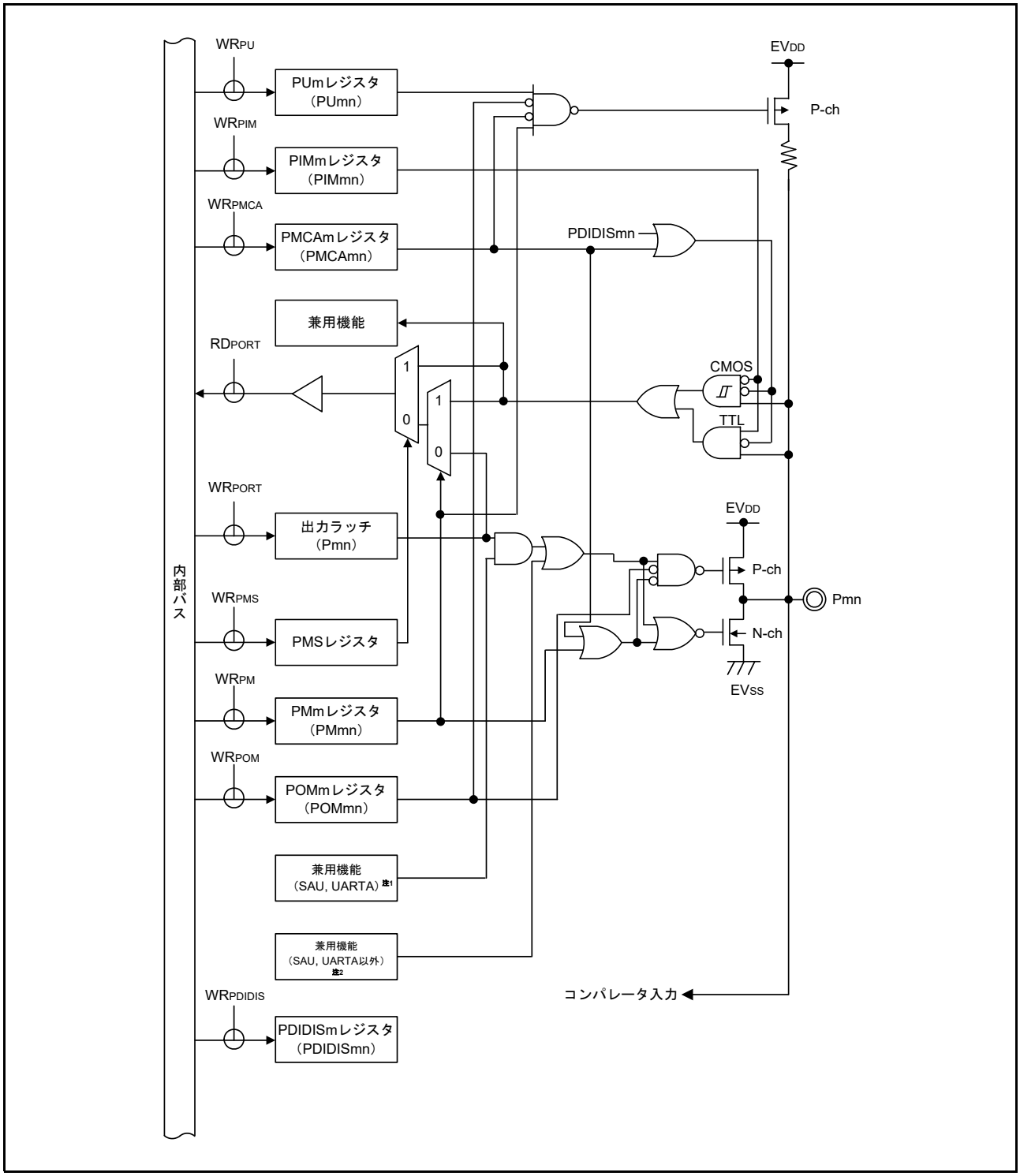
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 13 端子タイプ8-3-6の端子ブロック図



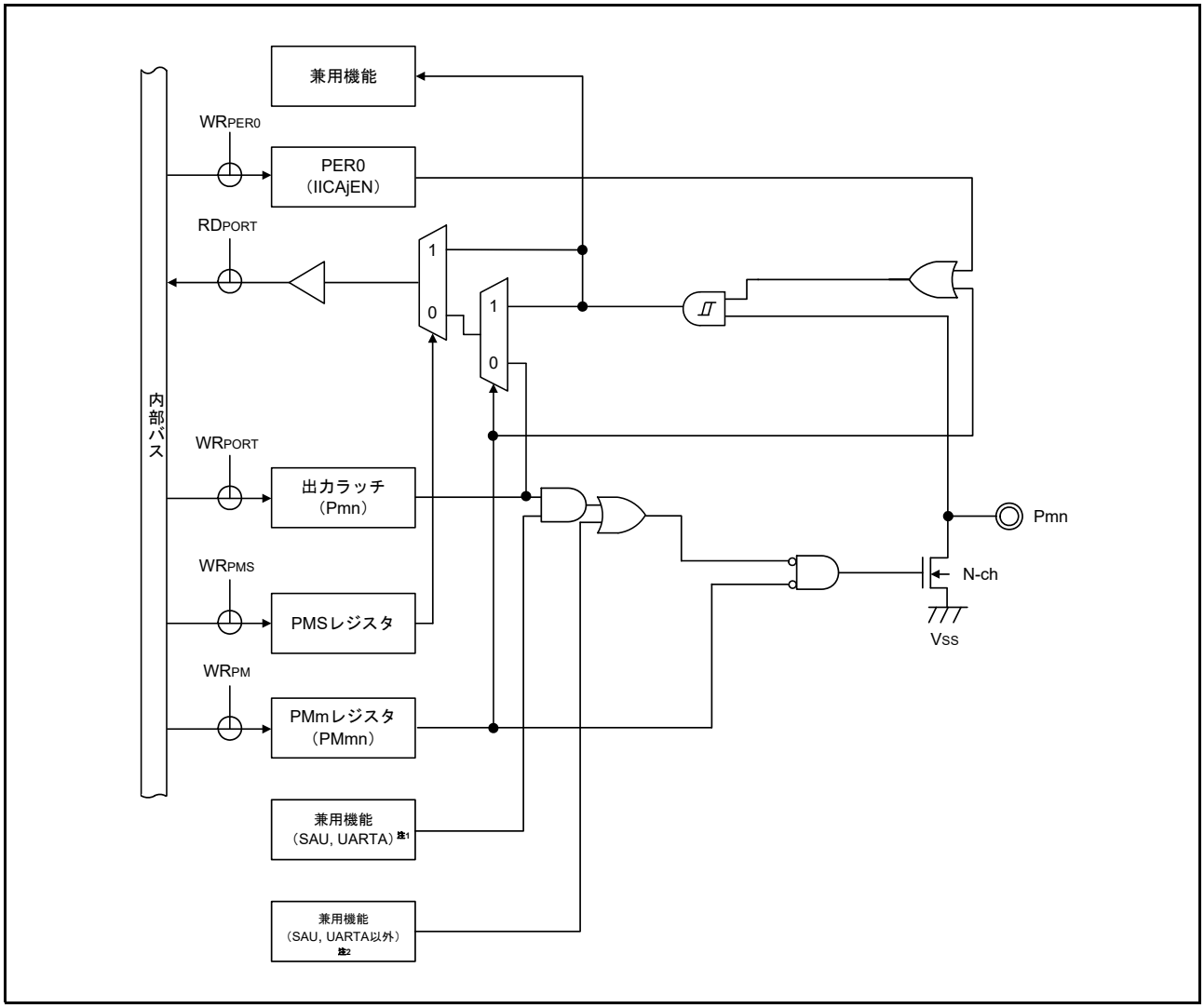
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 14 端子タイプ12-1-3の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注意 PER0レジスタのIICAjENビットに1を設定してIICA機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、**2.1 ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

第3章　CPUアーキテクチャ

本製品は、RL78-S3 CPU コアを搭載するマイクロコントローラです。

RL78-S3 の CPU コアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの 3 段パイプライン制御を採用することで、従来の CPU コアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とするさまざまなアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ × 8本
- 命令の種類：81種類

以下の乗除算命令は、RL78-S3 コアにのみあります。

MULHU（符号なし16ビット乗算）
MULH（符号付き16ビット乗算）
DIVHU（符号なし16ビット除算）
DIVWU（符号なし32ビット除算）
MACHU（符号なし積和算（16ビット × 16ビット）+ 32ビット）
MACH（符号付き積和算（16ビット × 16ビット）+ 32ビット）

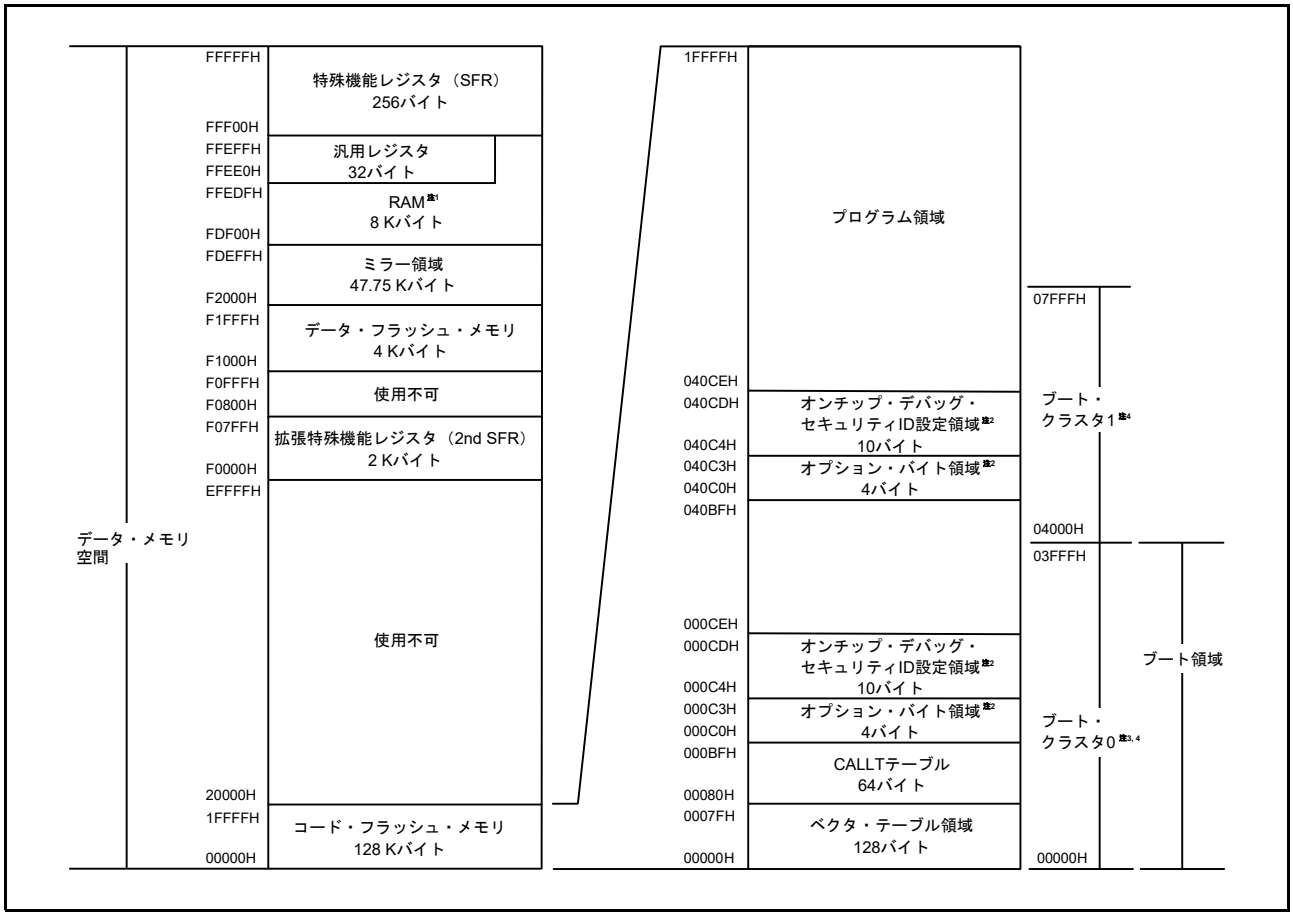
- データ配置：リトル・エンディアン

本製品は OCD トレース機能をサポートしています。

3.1 メモリ空間

本製品は、1 Mバイトのアドレス空間をアクセスできます。**図 3 - 1** および**図 3 - 2** にメモリ・マップを示します。

図3 - 1 メモリ・マップ（R7F103GxG（x = 6, B, F, G, L））



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）：

000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき：

000C0H-000C3H, 040C0H-040C3Hにオプション・バイト、000C4H-000CDH, 040C4H-040CDHにオンチップ・デバッグ・セキュリティ IDを設定

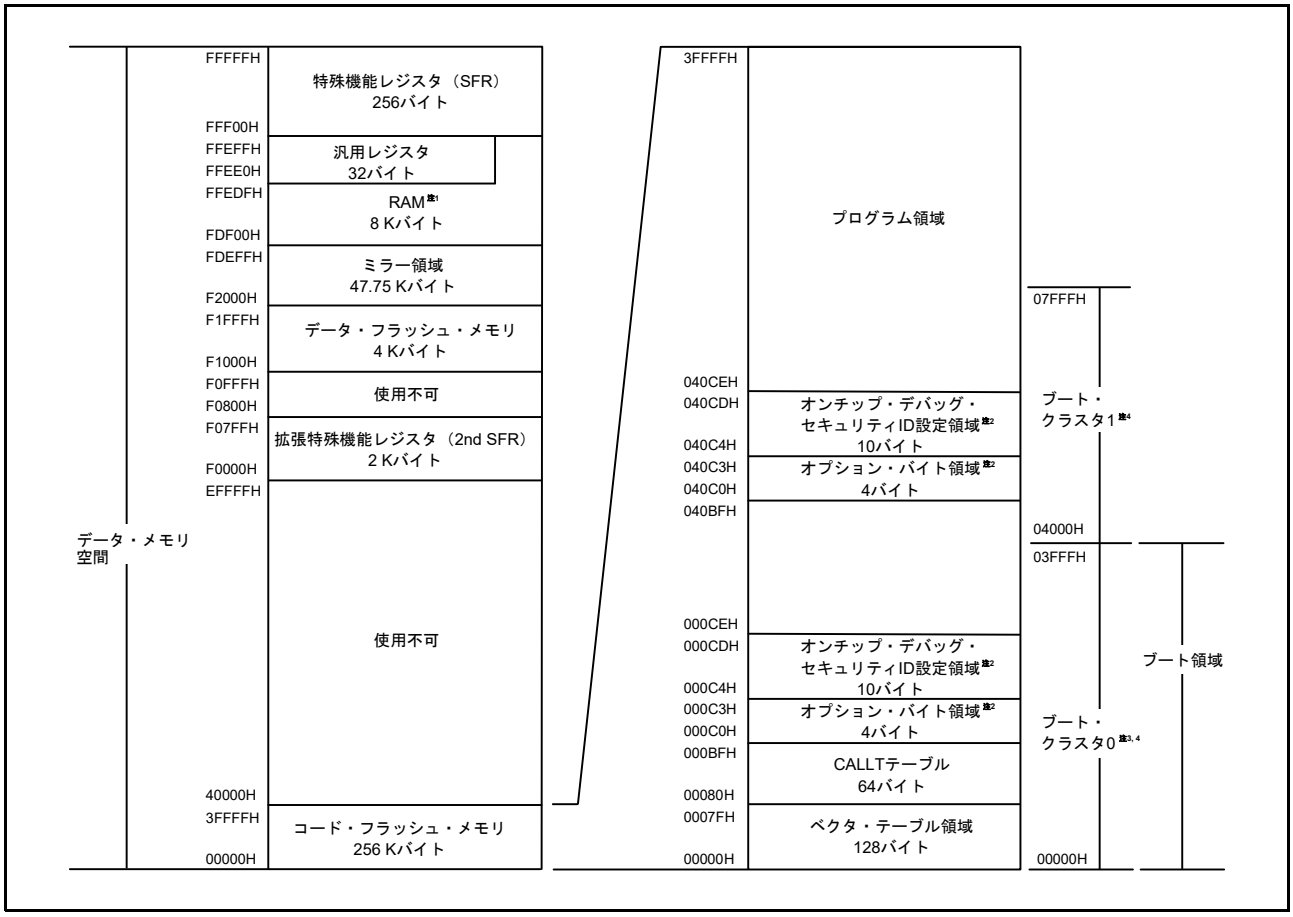
注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます（**24.9 セキュリティ設定**参照）。

注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります（**24.7 ブート・スワップ機能**参照）。

注意 RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、20.3.4 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック = 2 Kバイト）。アドレス値とブロック番号については、**表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

図3 - 2 メモリ・マップ（R7F103GxJ（x = 6, B, F, G, L））



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）：

000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき：

000C0H-000C3H, 040C0H-040C3Hにオプション・バイト、000C4H-000CDH, 040C4H-040CDHにオンチップ・デバッグ・セキュリティ IDを設定

注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます（**24.9 セキュリティ設定**参照）。

注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります（**24.7 ブート・スワップ機能**参照）。

注意 RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、20.3.4 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック = 2 Kバイト）。アドレス値とブロック番号については、**表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

表 3 - 1 にフラッシュ・メモリのアドレス値とブロック番号の対応を示します。

表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-007FFH	000H	10000H-107FFH	020H	20000H-207FFH	040H	30000H-307FFH	060H
00800H-00FFFH	001H	10800H-10FFFH	021H	20800H-20FFFH	041H	30800H-30FFFH	061H
01000H-017FFH	002H	11000H-117FFH	022H	21000H-217FFH	042H	31000H-317FFH	062H
01800H-01FFFH	003H	11800H-11FFFH	023H	21800H-21FFFH	043H	31800H-31FFFH	063H
02000H-027FFH	004H	12000H-127FFH	024H	22000H-227FFH	044H	32000H-327FFH	064H
02800H-02FFFH	005H	12800H-12FFFH	025H	22800H-22FFFH	045H	32800H-32FFFH	065H
03000H-037FFH	006H	13000H-137FFH	026H	23000H-237FFH	046H	33000H-337FFH	066H
03800H-03FFFH	007H	13800H-13FFFH	027H	23800H-23FFFH	047H	33800H-33FFFH	067H
04000H-047FFH	008H	14000H-147FFH	028H	24000H-247FFH	048H	34000H-347FFH	068H
04800H-04FFFH	009H	14800H-14FFFH	029H	24800H-24FFFH	049H	34800H-34FFFH	069H
05000H-057FFH	00AH	15000H-157FFH	02AH	25000H-257FFH	04AH	35000H-357FFH	06AH
05800H-05FFFH	00BH	15800H-15FFFH	02BH	25800H-25FFFH	04BH	35800H-35FFFH	06BH
06000H-067FFH	00CH	16000H-167FFH	02CH	26000H-267FFH	04CH	36000H-367FFH	06CH
06800H-06FFFH	00DH	16800H-16FFFH	02DH	26800H-26FFFH	04DH	36800H-36FFFH	06DH
07000H-077FFH	00EH	17000H-177FFH	02EH	27000H-277FFH	04EH	37000H-377FFH	06EH
07800H-07FFFH	00FH	17800H-17FFFH	02FH	27800H-27FFFH	04FH	37800H-37FFFH	06FH
08000H-087FFH	010H	18000H-187FFH	030H	28000H-287FFH	050H	38000H-387FFH	070H
08800H-08FFFH	011H	18800H-18FFFH	031H	28800H-28FFFH	051H	38800H-38FFFH	071H
09000H-097FFH	012H	19000H-197FFH	032H	29000H-297FFH	052H	39000H-397FFH	072H
09800H-09FFFH	013H	19800H-19FFFH	033H	29800H-29FFFH	053H	39800H-39FFFH	073H
0A000H-0A7FFH	014H	1A000H-1A7FFH	034H	2A000H-2A7FFH	054H	3A000H-3A7FFH	074H
0A800H-0AFFFH	015H	1A800H-1AFFFH	035H	2A800H-2AFFFH	055H	3A800H-3AFFFH	075H
0B000H-0B7FFH	016H	1B000H-1B7FFH	036H	2B000H-2B7FFH	056H	3B000H-3B7FFH	076H
0B800H-0BFFFH	017H	1B800H-1BFFFH	037H	2B800H-2BFFFH	057H	3B800H-3BFFFH	077H
0C000H-0C7FFH	018H	1C000H-1C7FFH	038H	2C000H-2C7FFH	058H	3C000H-3C7FFH	078H
0C800H-0CFFFH	019H	1C800H-1CFFFH	039H	2C800H-2CFFFH	059H	3C800H-3CFFFH	079H
0D000H-0D7FFH	01AH	1D000H-1D7FFH	03AH	2D000H-2D7FFH	05AH	3D000H-3D7FFH	07AH
0D800H-0DFFFH	01BH	1D800H-1DFFFH	03BH	2D800H-2DFFFH	05BH	3D800H-3DFFFH	07BH
0E000H-0E7FFH	01CH	1E000H-1E7FFH	03CH	2E000H-2E7FFH	05CH	3E000H-3E7FFH	07CH
0E800H-0EFFFH	01DH	1E800H-1EFFFH	03DH	2E800H-2EFFFH	05DH	3E800H-3EFFFH	07DH
0F000H-0F7FFH	01EH	1F000H-1F7FFH	03EH	2F000H-2F7FFH	05EH	3F000H-3F7FFH	07EH
0F800H-0FFFFH	01FH	1F800H-1FFFFH	03FH	2F800H-2FFFFH	05FH	3F800H-3FFFFH	07FH

備考 R7F103GxG（x = 6, B, F, G, L）：ブロック番号 000H-03FH
R7F103GxJ（x = 6, B, F, G, L）：ブロック番号 000H-07FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。本製品は、**表 3 - 2** に示す内部 ROM（フラッシュ・メモリ）を内蔵しています。

表3 - 2 内部ROM容量

製品	内部ROM	
	構造	容量
R7F103GxG（x = 6, B, F, G, L）	フラッシュ・メモリ	131072 × 8ビット（00000H-1FFFFH）
R7F103GxJ（x = 6, B, F, G, L）		262144 × 8ビット（00000H-3FFFFH）

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、04000H-0407FHにもベクタ・テーブルを設定してください。

表3 - 3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

セルフ・プログラミングでは、ベクタ・テーブル・アドレスをRAMのアドレスに変更できます。詳細は、**24.6.2.18 割り込みベクタ変更レジスタ 0, 1（FLSIVC0, FLSIVC1）**を参照してください。

表3 - 3 ベクタ・テーブル (1/2)

ベクタ・テーブル・アドレス	割り込み要因	64ピン	48ピン	44ピン	32ピン	20ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○
00004H	INTWDTI	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○
00008H	INTP0	○	○	○	○	○
0000AH	INTP1	○	○	○	○	−
0000CH	INTP2	○	○	○	○	−
0000EH	INTP3	○	○	○	○	○
00010H	INTP4	○	○	○	○	−
00012H	INTP5	○	○	○	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	注1
00016H	INTSR2/INTCSI21/INTIIC21	○	○	○	注2	注2
00018H	INTSRE2	○	○	○	○	○
0001AH	−	−	−	−	−	−
0001CH	−	−	−	−	−	−
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○
00020H	INTTM00	○	○	○	○	○
00022H	INTSRE0	○	○	○	○	○
	INTTM01H	○	○	○	○	○
00024H	INTST1/INTCSI10/INTIIC10	○	注3	注3	注3	注3
00026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○
00028H	INTSRE1	○	○	○	○	○
	INTTM03H	○	○	○	○	○
0002AH	INTIICA0	○	○	○	○	−
0002CH	INTSR0/INTCSI01/INTIIC01	○	○	注4	注4	注4
0002EH	INTTM01	○	○	○	○	○
00030H	INTTM02	○	○	○	○	○
00032H	INTTM03	○	○	○	○	○
00034H	INTAD	○	○	○	○	○
00036H	−	−	−	−	−	−
00038H	INTITL	○	○	○	○	○
0003AH	INTKR	○	○	○	−	−
0003CH	−	−	−	−	−	−
0003EH	−	−	−	−	−	−
00040H	−	−	−	−	−	−
00042H	INTTM04	○	○	○	○	○
00044H	INTTM05	○	○	○	○	○
00046H	INTTM06	○	○	○	○	○
00048H	INTTM07	○	○	○	○	○

表3 - 3 ベクタ・テーブル (2/2)

ベクタ・テーブル・アドレス	割り込み要因	64ピン	48ピン	44ピン	32ピン	20ピン
0004AH	INTP6	○	○	○	○	○
0004CH	INTP7	○	–	–	–	–
0004EH	INTP8	○	○	○	○	○
00050H	INTP9	○	○	○	○	○
00052H	INTFL	○	○	○	○	○
00054H	INTP10	○	–	–	–	–
00056H	INTP11	○	–	–	–	–
00058H	INTURE0	○	○	○	○	○
0005AH	–	–	–	–	–	–
0005CH	–	–	–	–	–	–
0005EH	–	–	–	–	–	–
00060H	–	–	–	–	–	–
00062H	–	–	–	–	–	–
00064H	–	–	–	–	–	–
00066H	–	–	–	–	–	–
00068H	–	–	–	–	–	–
0006AH	INTUT0	○	○	○	○	○
0006CH	INTUR0	○	○	○	○	○
0006EH	–	–	–	–	–	–
00070H	–	–	–	–	–	–
00072H	–	–	–	–	–	–
00074H	–	–	–	–	–	–
00076H	–	–	–	–	–	–
00078H	–	–	–	–	–	–
0007AH	–	–	–	–	–	–
0007CH	–	–	–	–	–	–
0007EH	BRK	○	○	○	○	○

注1. INTST2のみ

注2. INTSR2のみ

注3. INTST1のみ

注4. INTSR0のみ

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、04080H-040BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには、040C0H-040C3Hにもオプション・バイトを設定してください。詳細は、**第23章　オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティ ID設定領域

000C4H-000CDH, 040C4H-040CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティ IDを設定してください。詳細は、**第25章　オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

本製品では、00000H-0FFFFH または 10000H-1FFFFH のコード・フラッシュ・メモリ・エリアを F0000H-FFFFFH へミラーさせています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

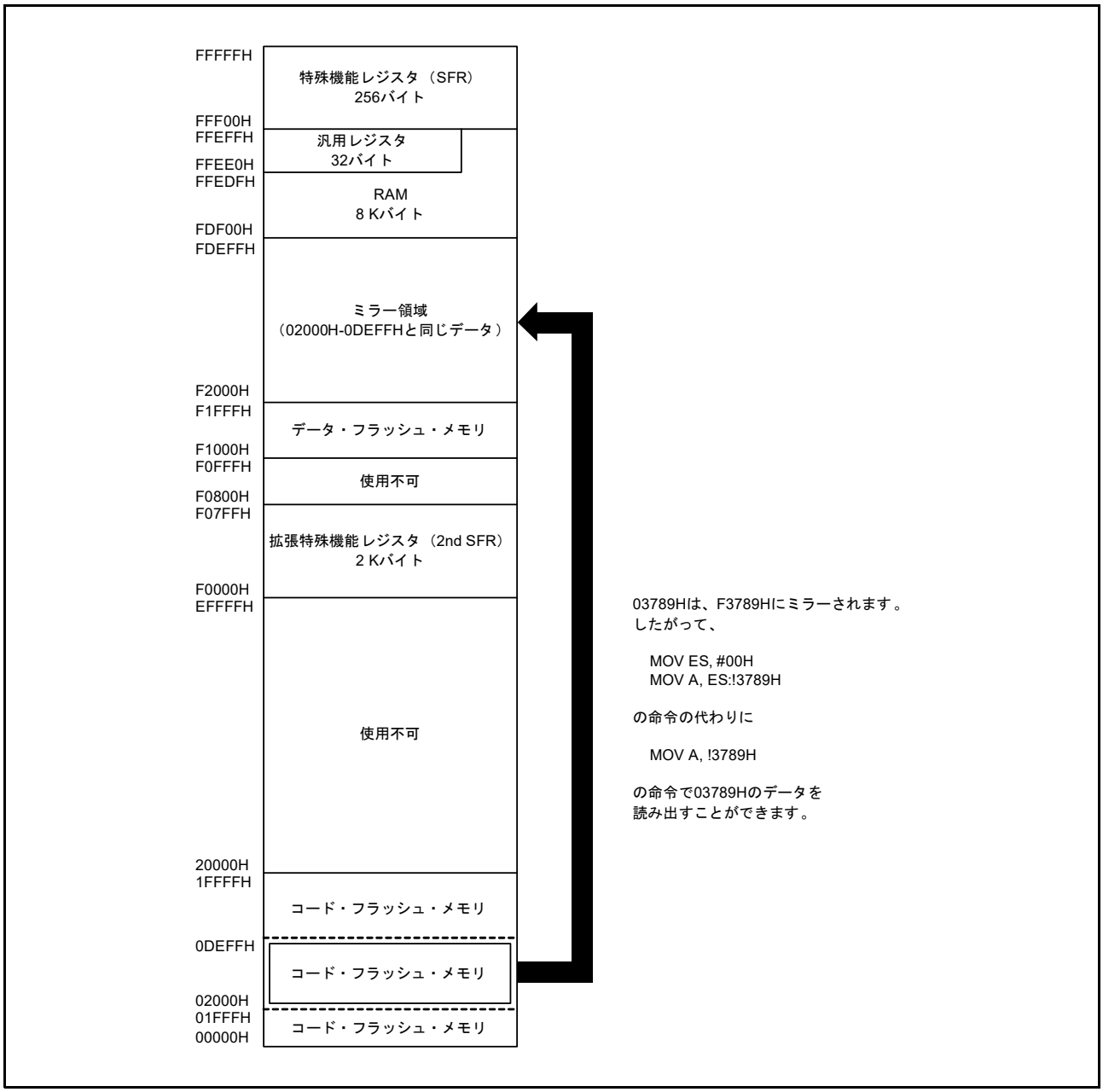
ミラー先の F0000H-FFFFFH からデータを読み出すことにより、オペランドに ES レジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ・メモリの内容を読み出すことができます。ただし、特殊機能レジスタ（SFR）、拡張特殊機能レジスタ（2nd SFR）、RAM 領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、**3.1 メモリ空間**を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R7F103GxG（x = 6, B, F, G, L）（フラッシュ・メモリ 128 Kバイト、RAM 8 Kバイト）の場合



次に、PMC レジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ（PMC）
  F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。
  PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
  リセット信号の発生により、00Hになります。

図3 - 3 プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス ：FFFFEH
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	<0>
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFHへミラー

注意1. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

注意2. MAAビットに0を設定した状態でブート・スワップすると、ブート・スワップ後の02000H-07FFFHをF2000H-F7FFFHへミラーします。

3.1.3 内部データ・メモリ空間

本製品は、**表 3 - 4** に示す RAM を内蔵しています。

表3 - 4 内部RAM容量

製品	内部RAM
R7F103GxG（x = 6, B, F, G, L）	8192 × 8ビット（FDF00H-FFEFFH）
R7F103GxJ（x = 6, B, F, G, L）	8192 × 8ビット（FDF00H-FFEFFH）

内部 RAM は、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部 RAM 領域のうち FFEE0H-FFEFFH の 32 バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられます。

また、スタック・メモリは内部 RAM を使用します。

注意1. 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

注意2. オンチップ・デバッギングのトレース機能使用時は、次に示す製品のRAM領域が使用禁止になります。

R7F103GxG（x = 6, B, F, G, L）：FE300H-FE6FFH

R7F103GxJ（x = 6, B, F, G, L）：FE300H-FE6FFH

3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFH の領域には、オンチップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（**3.2.4 特殊機能レジスタ（SFR：Special Function Register）の表 3 - 5 SFR 一覧**参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFH の領域には、オンチップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（**3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）の表 3 - 6 2nd SFR 一覧**参照）。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

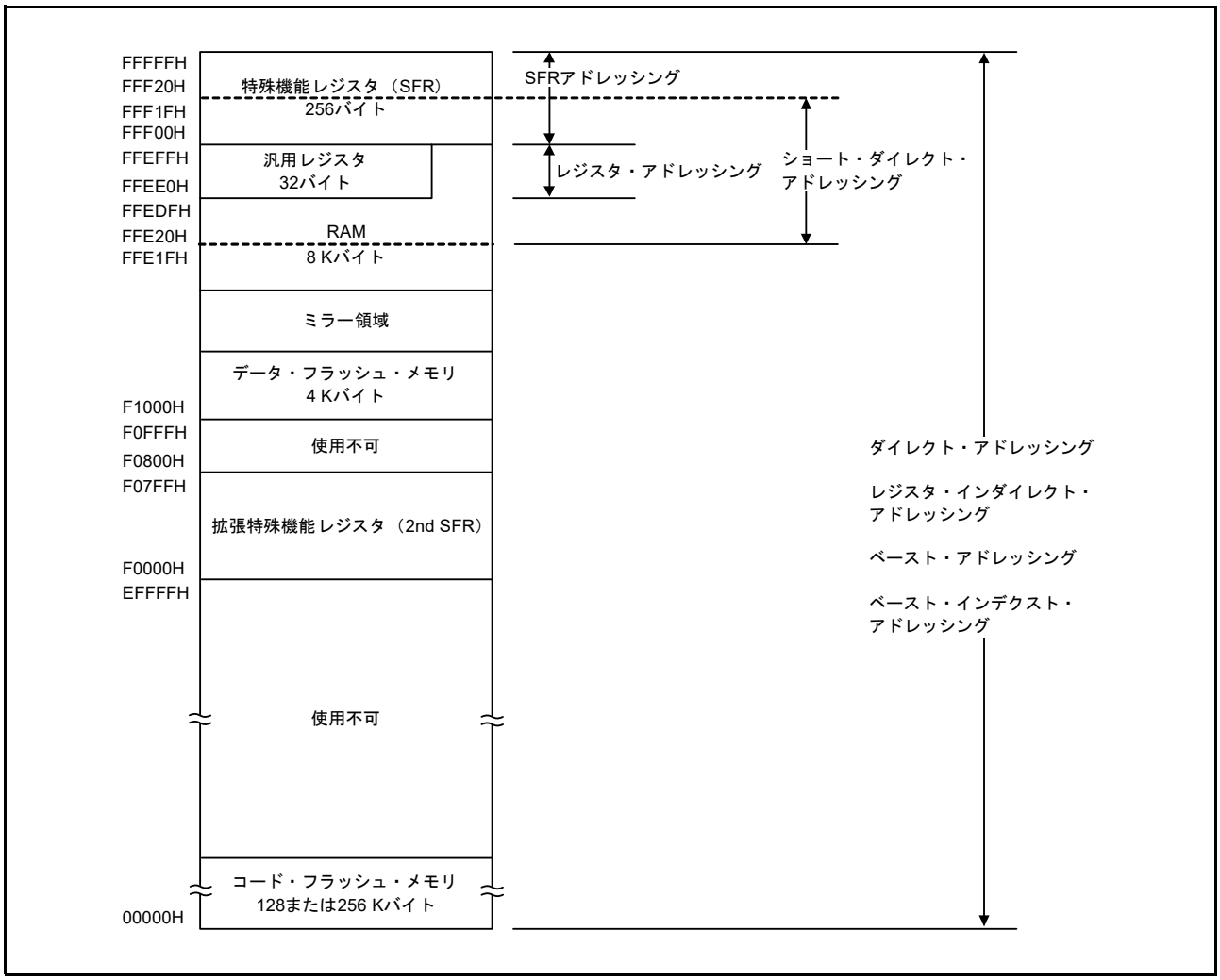
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、本製品では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。**図 3 - 4** にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、**3.4 処理データ・アドレスに対するアドレッシング**を参照してください。

図3 - 4 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

本製品は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 5 プログラム・カウンタの構成

略号	19																		0
PC																			

(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受付発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3 - 6 プログラム・ステータス・ワードの構成

略号	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受付動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受付は、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受付でリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算結果がゼロのときセット（1）され、それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ（RBS1, RBS0）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ（AC）

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット（1）され、それ以外のときリセット（0）されるフラグです。

(e) インサービス・プライオリティ・フラグ（ISP1, ISP0）

受付可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H）（**14.3.3 優先順位指定フラグ・レジスタ**参照）でISP1, ISP0フラグの値より低位に指定されたベクタ割り込み要求は受付禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ（IE）の状態により制御されます。

備考 n = 0, 1

(f) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 7 スタック・ポインタの構成

略号	15	14	13	12	11	10	9	8
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

7	6	5	4	3	2	1	0
SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

注意2. 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

注意3. 次に示す製品の内部RAM領域は、オンチップ・デバッギングのトレース機能使用時にスタック・メモリとして使用できません。

R7F103GxG（x = 6, B, F, G, L）：FE300H-FE6FFH

R7F103GxJ（x = 6, B, F, G, L）：FE300H-FE6FFH

3.2.2 汎用レジスタ

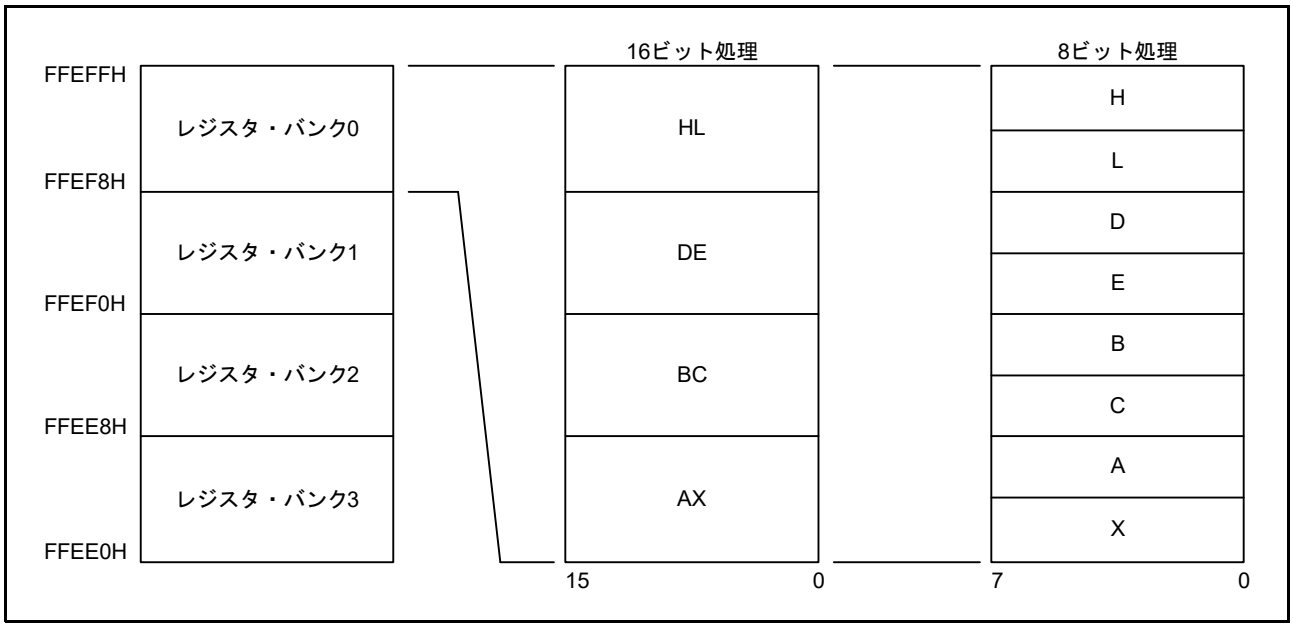
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8 ビット・レジスタ 8 個（X, A, C, B, E, D, L, H）を 1 バンクとして 4 バンクのレジスタで構成されています。

各レジスタは、それぞれ 8 ビット・レジスタとして使用できるほか、2 個の 8 ビット・レジスタをペアとして 16 ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU 制御命令（SEL RBn）によって設定します。4 レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

図3 - 8 汎用レジスタの構成（機能名称）



3.2.3 ES, CS レジスタ

ES レジスタでデータ・アクセス、CS レジスタで（レジスタ・インダイレクト・アドレッシング）分岐命令実行時の、それぞれ上位アドレスを指定できます。

ES レジスタのリセット後の初期値は 0FH、CS レジスタのリセット後の初期値は 00H です。

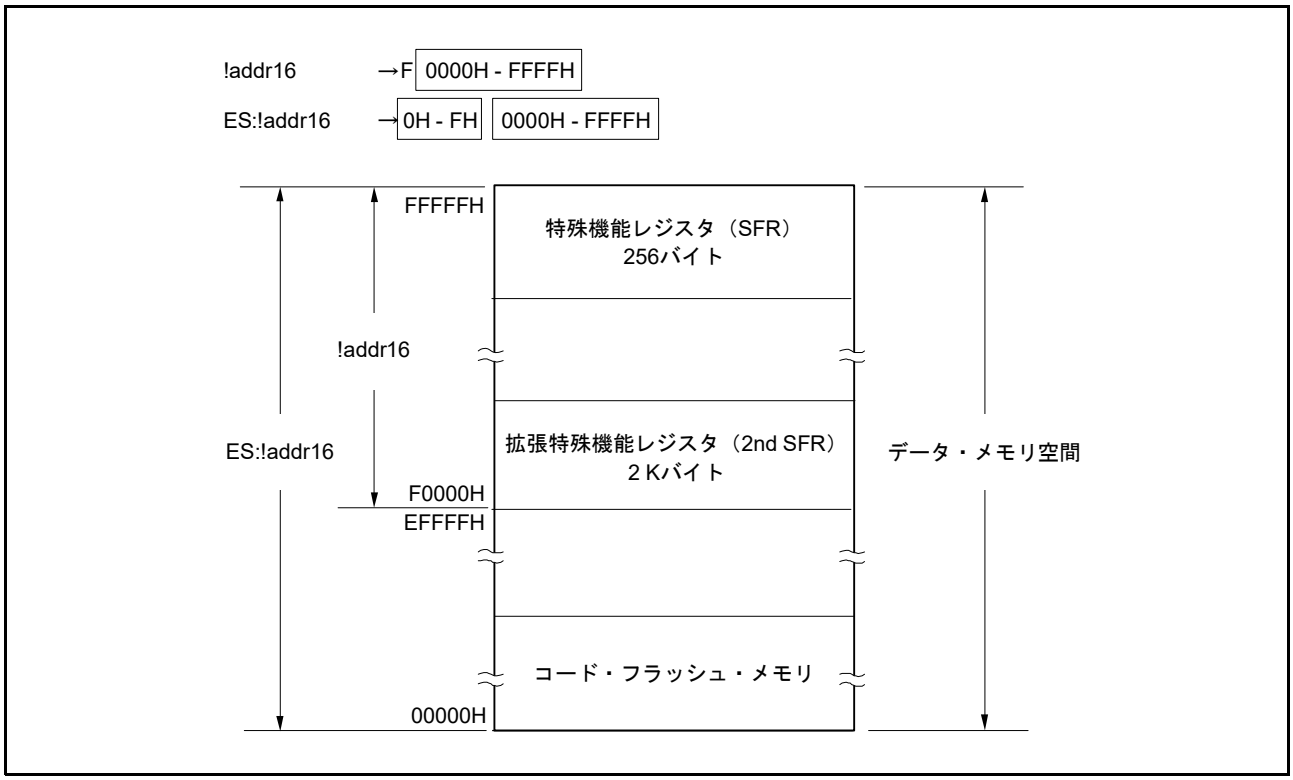
図3 - 9 ES/CS レジスタの構成

略号	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

略号	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16 ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFH の 64 K バイト空間ですが、ES: を付加すると 00000H-FFFFFH の 1 M バイト空間に拡張できます。

図3 - 10 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ（SFR：Special Function Register）

特殊機能レジスタ（SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR 領域は、FFF00H-FFFFFH の領域に割り付けられています。

SFR は、演算命令、転送命令、ビット・メモリ操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
  1ビット・メモリ操作命令のオペランド（sfr.bit）には、次のような記述をしてください。
  ビット名称が定義されている場合：<ビット名称>
  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作
  8ビット・メモリ操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
  16ビット・メモリ操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表 3 - 5 に SFR 一覧を示します。表中の項目の意味は次のとおりです。

- 略号
  特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。
  R/W：読み出し／書き込みがともに可能
  R：読み出しのみ可能
  W：書き込みのみ可能
- 操作可能ビット単位
  操作可能なビット単位（1, 8, 16）を○で示します。—は操作できないビット単位であることを示します。
- リセット時
  リセット信号発生時の各レジスタの状態を示します。

注意 **SFRが割り付けられていないアドレスにアクセスしないでください。**

備考 2nd SFRについては、**3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）**を参照してください。

表3 - 5 SFR一覧 (1/3)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	−	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	−	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	−	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	−	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	−	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	−	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	−	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	−	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	−	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	−	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	−	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	−	○	○	0000H
FFF11H		−			−	−		
FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	SDR01	R/W	−	○	○	0000H
FFF13H		−			−	−		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	−	−	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	−	○	○	00H
FFF1BH		TDR01H			−	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	−	−	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	−	○	−	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	−	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	−	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	−	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	−	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	−	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	−	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	−	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	−	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	−	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	−	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	−	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	−	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	−	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	−	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	−	○	−	00H
FFF37H	キー・リターン・モード・レジスタ0	KRM0		R/W	○	○	−	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	−	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	−	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	−	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	−	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	−	○	○	0000H
FFF45H		−			−	−		

表3 - 5 SFR一覧 (2/3)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	SDR03	R/W	−	○	○	0000H
FFF47H		−			−	−		
FFF48H	シリアル・データ・レジスタ10	TXD2/SIO20	SDR10	R/W	−	○	○	0000H
FFF49H		−			−	−		
FFF4AH	シリアル・データ・レジスタ11	RXD2/SIO21	SDR11	R/W	−	○	○	0000H
FFF4BH		−			−	−		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	−	○	−	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	−	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	−	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	−	−	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	−	○	○	00H
FFF67H		TDR03H			−	○		00H
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	−	−	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	−	−	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	−	−	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	−	−	○	0000H
FFF6FH								
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	−	○	−	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	−	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	−	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	−	○	−	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	−	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL		R/W	○	○	−	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	−	○	−	不定注1
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	−	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	−	19H
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	−	○	−	9AH/1AH注3
FFFACH	CRC入力レジスタ	CRCIN		R/W	−	○	−	00H
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3	IF3L	IF3	R/W	○	○	○	00H
FFFD3H		−			−	−		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3	MK3L	MK3	R/W	○	○	○	FFH
FFFD7H		−			−	−		00H
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH

表3 - 5 SFR一覧 (3/3)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFDAH	優先順位指定フラグ・レジスタ03	PR03L	PR03	R/W	○	○	○	FFH
FFFDBH		－			－	－		00H
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH		PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13	PR13L	PR13	R/W	○	○	○	FFH
FFFDFH		－			－	－		00H
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH		PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ（L）	MACRL		R/W	－	－	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ（H）	MACRH		R/W	－	－	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	－	00H

注1. リセット要因は、**第17章 リセット機能**を参照してください。

注2. リセット要因により、初期値が異なります。詳細は、**19.3.1 電圧検出レジスタ（LVIM）**を参照してください。

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 2nd SFRについては、**表3 - 6 2nd SFR一覧**を参照してください。

3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張特殊機能レジスタ（2nd SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

2nd SFR 領域は、F0000H-F07FFH の領域です。SFR 領域（FFF00H-FFFFFH）以外の SFR が割り付けられています。ただし、2nd SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

2nd SFR は、演算命令、転送命令、ビット・メモリ操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各 2nd SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
  1ビット・メモリ操作命令のオペランド（!addr16.bit）には、次のような記述をしてください。ビット名称が定義されている場合：<ビット名称>
  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作
  8ビット・メモリ操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
  16ビット・メモリ操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3 - 6 に 2nd SFR の一覧を示します。表中の項目の意味は次のとおりです。

- 略号
  2nd SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
  該当する2nd SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。
  R/W：読み出し／書き込みがともに可能
  R：読み出しのみ可能
  W：書き込みのみ可能
- 操作可能ビット単位
  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- リセット時
  リセット信号発生時の各レジスタの状態を示します。

注意 **2nd SFRが割り付けられていないアドレスにアクセスしないでください。**

備考 SFR領域のSFRについては、**3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域**を参照してください。

表3 - 6 2nd SFR一覧 (1/6)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	–	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	–	○	–	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	–	○	–	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	–	○	–	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	–	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	–	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	–	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	–	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	–	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	–	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	–	00H
F003DH	プルアップ抵抗オプション・レジスタ13	PU13	R/W	○	○	–	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	–	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	–	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	–	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	–	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	–	00H
F0047H	ポート入力モード・レジスタ7	PIM7	R/W	○	○	–	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	–	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	–	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	–	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	–	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W	○	○	–	00H
F0060H	ポート・モード・コントロールA・レジスタ0	PMCA0	R/W	○	○	–	FFH
F0062H	ポート・モード・コントロールA・レジスタ2	PMCA2	R/W	○	○	–	FFH
F006CH	ポート・モード・コントロールA・レジスタ12	PMCA12	R/W	○	○	–	FFH
F006EH	ポート・モード・コントロールA・レジスタ14	PMCA14	R/W	○	○	–	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	–	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	–	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	–	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	–	○	–	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	–	○	–	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	–	○	–	00H
F0079H	UARTループバック選択レジスタ	ULBS	R/W	○	○	–	00H
F007AH	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	–	○	–	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	–	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	–	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	–	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	–	○	–	**注1**
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	–	○	–	**注2**
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	–	40H/80H/C0H**注3**
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	–	00H
F00B0H	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ	FLSEC	R	–	–	○	不定
F00B2H	フラッシュFSWモニタ・レジスタS	FLFSWS	R	–	–	○	不定

表3 - 6 2nd SFR一覧 (2/6)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00B4H	フラッシュFSWモニタ・レジスタE	FLFSWE		R	−	−	○	不定
F00B6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET		R/W	−	○	−	00H
F00B7H	フラッシュ・エクストラ領域シーケンサ制御レジスタ	FSSE		R/W	○	○	−	00H
F00C0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD		W	−	○	−	不定
F00C1H	フラッシュ・ステータス・レジスタ	PFS		R	○	○	−	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	−	00H
F00F1H	周辺リセット制御レジスタ0	PRR0		R/W	○	○	−	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC		R/W	○	○	−	不定注4
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	−	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR		R/W	○	○	−	00H
F00FAH	周辺イネーブル・レジスタ1	PER1		R/W	○	○	−	00H
F00FBH	周辺リセット制御レジスタ1	PRR1		R/W	○	○	−	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	−	○	−	不定
F00FFH	割り込みベクタ移動許可レジスタ	VECTCTRL		R/W	−	○	−	00H
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	−	○	○	0000H
F0101H		−			−	−		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	−	○	○	0000H
F0103H		−			−	−		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	−	○	○	0000H
F0105H		−			−	−		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	−	○	○	0000H
F0107H		−			−	−		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	−	○	○	0000H
F0109H		−			−	−		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	−	○	○	0000H
F010BH		−			−	−		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	−	○	○	0000H
F010DH		−			−	−		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	−	○	○	0000H
F010FH		−			−	−		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	−	−	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	−	−	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	−	−	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	−	−	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	−	−	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	−	−	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	−	−	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	−	−	○	0087H
F011FH								
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		−			−	−		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		−			−	−		

表3 - 6 2nd SFR一覧 (3/6)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		－			－	－		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	－	○	○	0000H
F0127H		－			－	－		
F0128H	シリアル出力レジスタ0	SO0		R/W	－	－	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		－			－	－		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	－	○	○	0000H
F0135H		－			－	－		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	－	○	○	0000H
F0139H		－			－	－		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	－	○	○	0000H
F0141H		－			－	－		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	－	○	○	0000H
F0143H		－			－	－		
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	－	○	○	0000H
F0149H		－			－	－		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	－	○	○	0000H
F014BH		－			－	－		
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	－	－	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	－	－	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	－	－	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	－	－	○	0087H
F015BH								
F0160H	シリアル・チャネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		－			－	－		
F0162H	シリアル・チャネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		－			－	－		
F0164H	シリアル・チャネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		－			－	－		
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	－	○	○	0000H
F0167H		－			－	－		
F0168H	シリアル出力レジスタ1	SO1		R/W	－	－	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		－			－	－		
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	－	○	○	0000H
F0175H		－			－	－		
F0178H	シリアル・スタンバイ・コントロール・レジスタ1	SSC1L	SSC1	R/W	－	○	○	0000H
F0179H		－			－	－		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	－	－	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	－	－	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	－	－	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	－	－	○	FFFFH
F0187H								

表3 - 6 2nd SFR一覧 (4/6)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	－	－	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	－	－	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	－	－	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	－	－	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	－	－	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	－	－	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	－	－	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	－	－	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	－	－	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	－	－	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	－	－	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	－	－	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	－	○	○	0000H
F01A1H		－			－	－		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	－	○	○	0000H
F01A3H		－			－	－		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	－	○	○	0000H
F01A5H		－			－	－		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	－	○	○	0000H
F01A7H		－			－	－		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	－	○	○	0000H
F01A9H		－			－	－		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	－	○	○	0000H
F01ABH		－			－	－		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	－	○	○	0000H
F01ADH		－			－	－		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	－	○	○	0000H
F01AFH		－			－	－		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		－			－	－		
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		－			－	－		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		－			－	－		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	－	－	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	－	○	○	0000H
F01B9H		－			－	－		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		－			－	－		

表3 - 6 2nd SFR一覧 (5/6)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	–	○	○	0000H
F01BDH		–			–	–		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	–	○	○	0000H
F01BFH		–			–	–		
F0214H	高速システム・クロック分周レジスタ	MOSCDIV		R/W	–	○	–	00H
F0218H	LVD検出フラグ・クリア・レジスタ	LVDFCLR		R/W	○	○	–	00H
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	–	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	–	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	–	○	–	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	–	○	–	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	–	○	–	00H
F02B0H	ポート・デジタル・インプット・ディスエーブル・レジスタ0	PDIDIS0		R/W	○	○	–	00H
F02B1H	ポート・デジタル・インプット・ディスエーブル・レジスタ1	PDIDIS1		R/W	○	○	–	00H
F02B3H	ポート・デジタル・インプット・ディスエーブル・レジスタ3	PDIDIS3		R/W	○	○	–	00H
F02B5H	ポート・デジタル・インプット・ディスエーブル・レジスタ5	PDIDIS5		R/W	○	○	–	00H
F02B7H	ポート・デジタル・インプット・ディスエーブル・レジスタ7	PDIDIS7		R/W	○	○	–	00H
F02BDH	ポート・デジタル・インプット・ディスエーブル・レジスタ13	PDIDIS13		R/W	○	○	–	00H
F02C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC		R/W	–	○	–	08H
F02C1H	フラッシュ領域選択レジスタ	FLARS		R/W	○	○	–	00H
F02C2H	フラッシュ・アドレス・ポインタ・レジスタL	FLAPL		R/W	–	–	○	0000H
F02C4H	フラッシュ・アドレス・ポインタ・レジスタH	FLAPH		R/W	–	○	–	00H
F02C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ		R/W	○	○	–	00H
F02C6H	フラッシュ・エンド・アドレス・ポインタ・レジスタL	FLSEDL		R/W	–	–	○	0000H
F02C8H	フラッシュ・エンド・アドレス・ポインタ・レジスタH	FLSEDH		R/W	–	○	–	00H
F02C9H	フラッシュ・レジスタ初期化レジスタ	FLRST		R/W	○	○	–	00H
F02CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタL	FSASTL		R	○	○	–	00H/80H
F02CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH	FSASTH		R	○	○	–	00H/04H
F02CCH	フラッシュ・ライト・バッファ・レジスタL	FLWL		R/W	–	–	○	0000H
F02CEH	フラッシュ・ライト・バッファ・レジスタH	FLWH		R/W	–	–	○	0000H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	–	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	–	–	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	–	–	○	0000H
F0300H	送信バッファ・レジスタ0	TXBA0		R/W	–	○	–	FFH
F0301H	受信バッファ・レジスタ0	RXBA0		R	–	○	–	FFH
F0302H	動作モード設定レジスタ00	ASIMA00		R/W	○	○	–	01H
F0303H	動作モード設定レジスタ01	ASIMA01		R/W	○	○	–	1AH
F0304H	ボー・レート・ジェネレータ・コントロール・レジスタ0	BRGCA0		R/W	–	○	–	FFH
F0305H	ステータス・レジスタ0	ASISA0		R	–	○	–	00H

表3 - 6 2nd SFR一覧 (6/6)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0306H	ステータス・クリア・トリガ・レジスタ0	ASCTA0		R/W	○	○	−	00H
F0310H	UARTAクロック選択レジスタ0	UTA0CK		R/W	○	○	−	00H
F0360H	インターバル・タイマ・コンペア・レジスタ00	ITLCMP000	ITLCMP00	R/W	−	○	○	FFFFH
F0361H		ITLCMP001			−	○		
F0362H	インターバル・タイマ・コンペア・レジスタ01	ITLCMP012	ITLCMP01	R/W	−	○	○	FFFFH
F0363H		ITLCMP013			−	○		
F0364H	インターバル・タイマ・キャプチャ・レジスタ00	ITLCAP00		R	−	−	○	0000H
F0365H								
F0366H	インターバル・タイマ制御レジスタ	ITLCTL0		R/W	○	○	−	00H
F0367H	インターバル・タイマ・クロック選択レジスタ0	ITLCSEL0		R/W	−	○	−	00H
F0368H	インターバル・タイマ分周レジスタ0	ITLFDIV00		R/W	−	○	−	00H
F0369H	インターバル・タイマ分周レジスタ1	ITLFDIV01		R/W	−	○	−	00H
F036AH	インターバル・タイマ・キャプチャ制御レジスタ0	ITLCC0		R/W	○	○	−	00H
F036BH	インターバル・タイマ・ステータス・レジスタ	ITLS0		R/W	−	○	−	00H
F036CH	インターバル・タイマー致検出マスク・レジスタ	ITLMKF0		R/W	−	○	−	00H
F0480H	割り込みベクタ変更レジスタ0	FLSIVC0		R/W	−	−	○	0000H
F0481H								
F0482H	割り込みベクタ変更レジスタ1	FLSIVC1		R/W	−	−	○	000FH
F0483H								
F0488H	コード・フラッシュ・メモリ・ガードレジスタ	GFLASH0		R/W	−	−	○	0000H
F0489H								
F048AH	データ・フラッシュ・メモリ・ガードレジスタ	GFLASH1		R/W	−	−	○	0000H
F048BH								
F048CH	フラッシュ・セキュリティ領域ガードレジスタ	GFLASH2		R/W	−	−	○	0000H
F048DH								
F048EH	IAWCTLレジスタ・ガードレジスタ	GIAWCTL		R/W	−	−	○	0000H
F048FH								

注1. リセット値は出荷時に調整した値です。

注2. ユーザ・オプション・バイト（000C2H）のFRQSEL2-FRQSEL0ビットで設定した値になります。

注3. FLMODEレジスタの初期値は、MODE1, MODE0ビットにオプション・バイトのCMODE1, CMODE0ビット（アドレス：000C2H）の設定値が反映された値になります。

注4. OSMCレジスタの初期値は、WUTMMCK0ビットは0、HIPRECビットは1になります。

備考 SFR領域のSFRについては、**表3 - 5 SFR一覧**を参照してください。

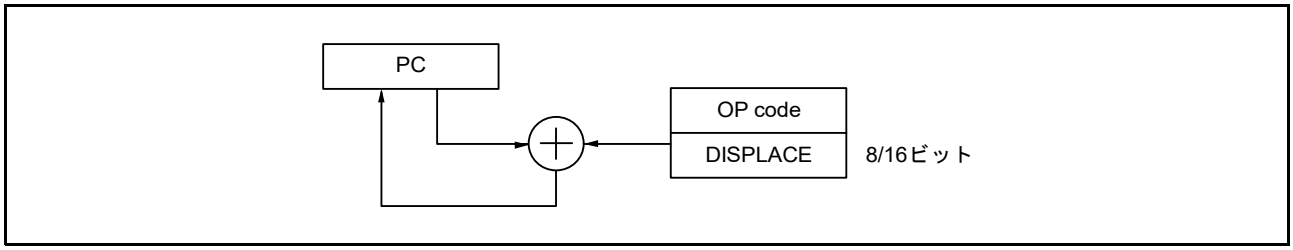
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレースメント値（符号付きの補数データ：–128～+127または–32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 11 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには、20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 12 CALL !!addr20 / BR !!addr20の例

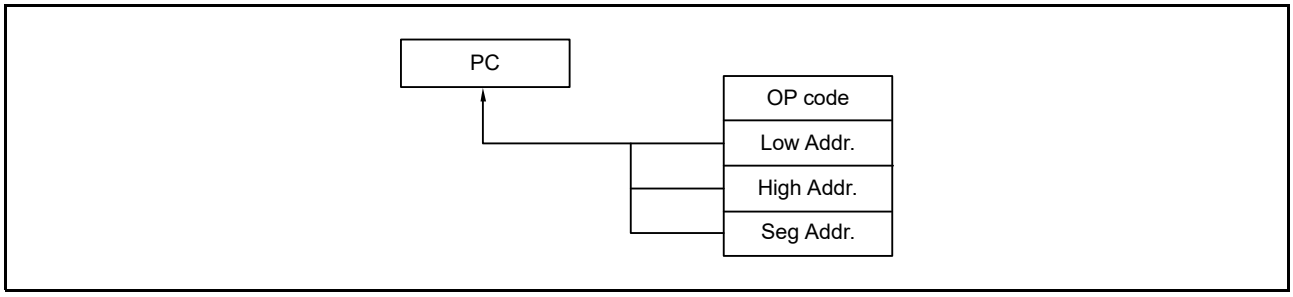
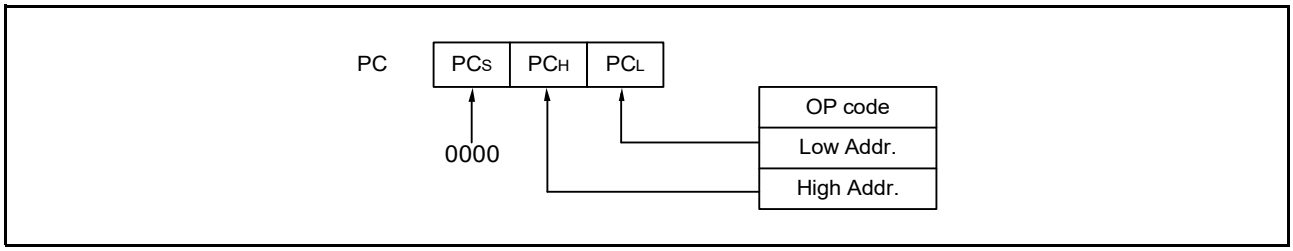


図3 - 13 CALL !addr16 / BR !addr16の例



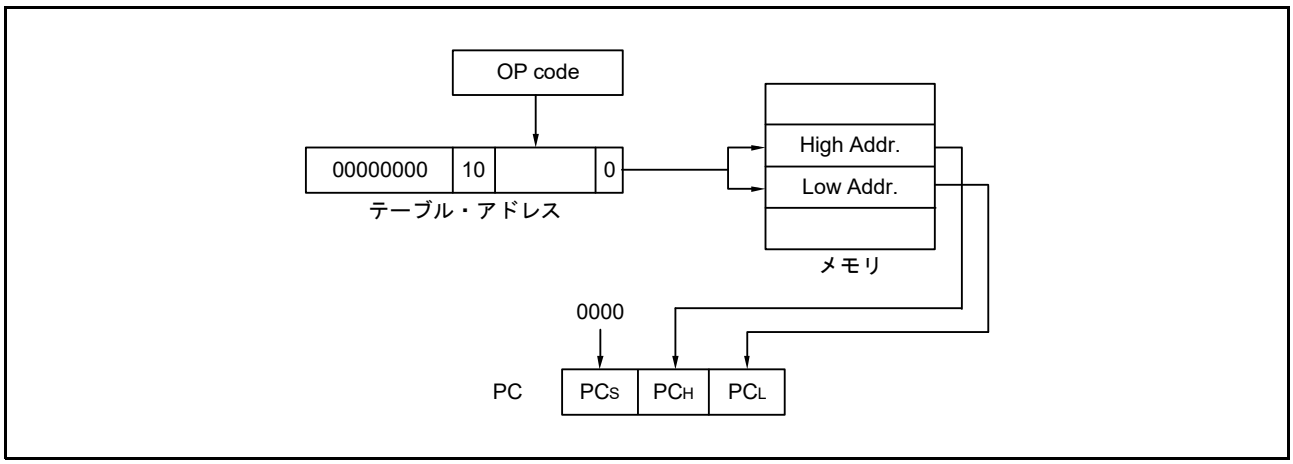
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 14 テーブル・インダイレクト・アドレッシングの概略

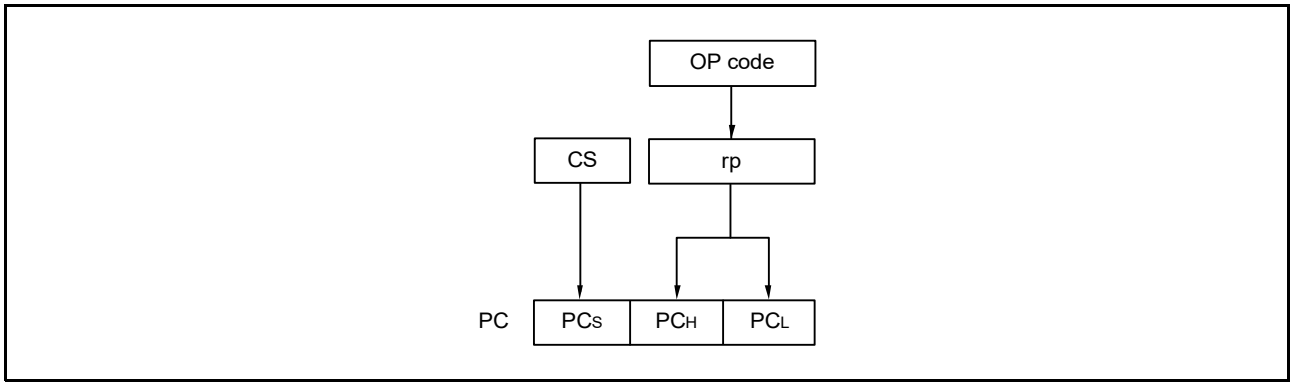


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX/BC/DE/HLとBR AX命令にのみ適用されます。

図3 - 15 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

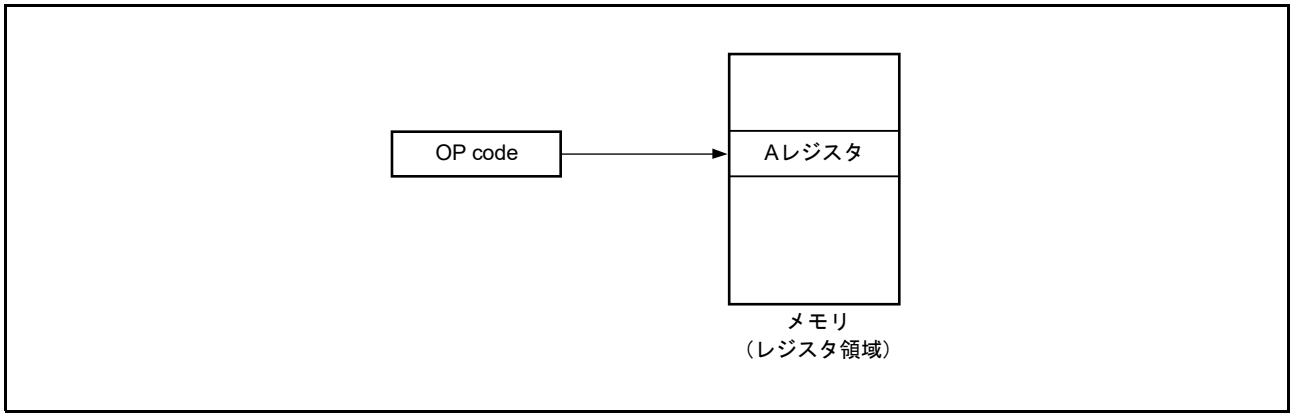
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 16 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

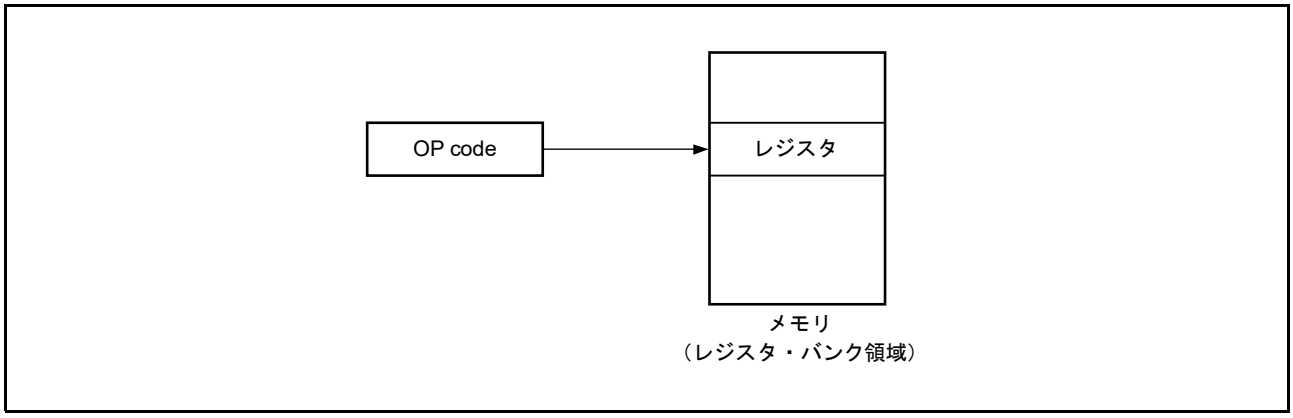
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 17 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミーディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3 - 18 !addr16の例

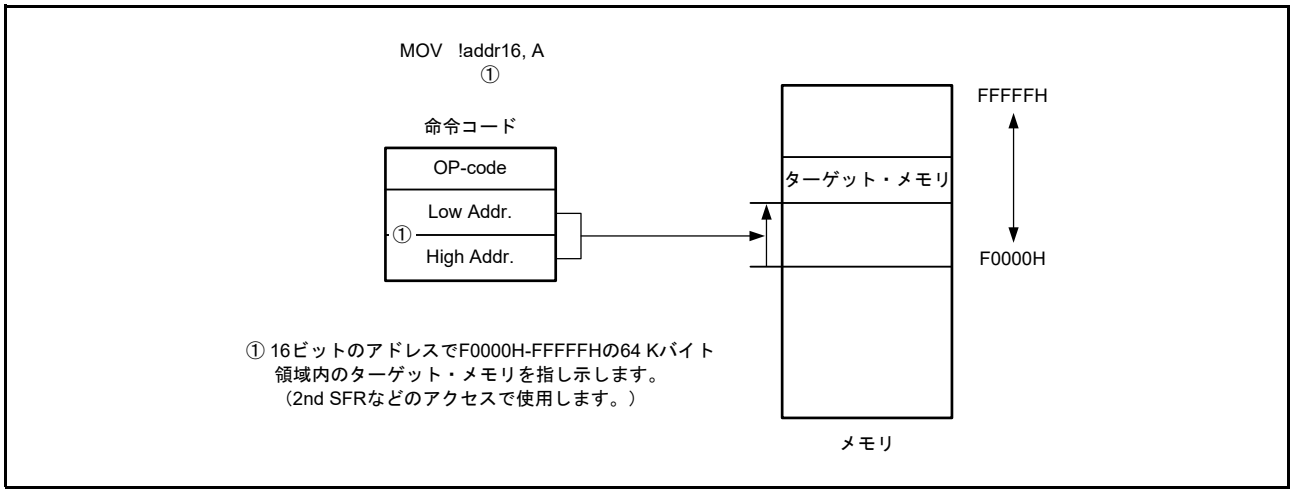
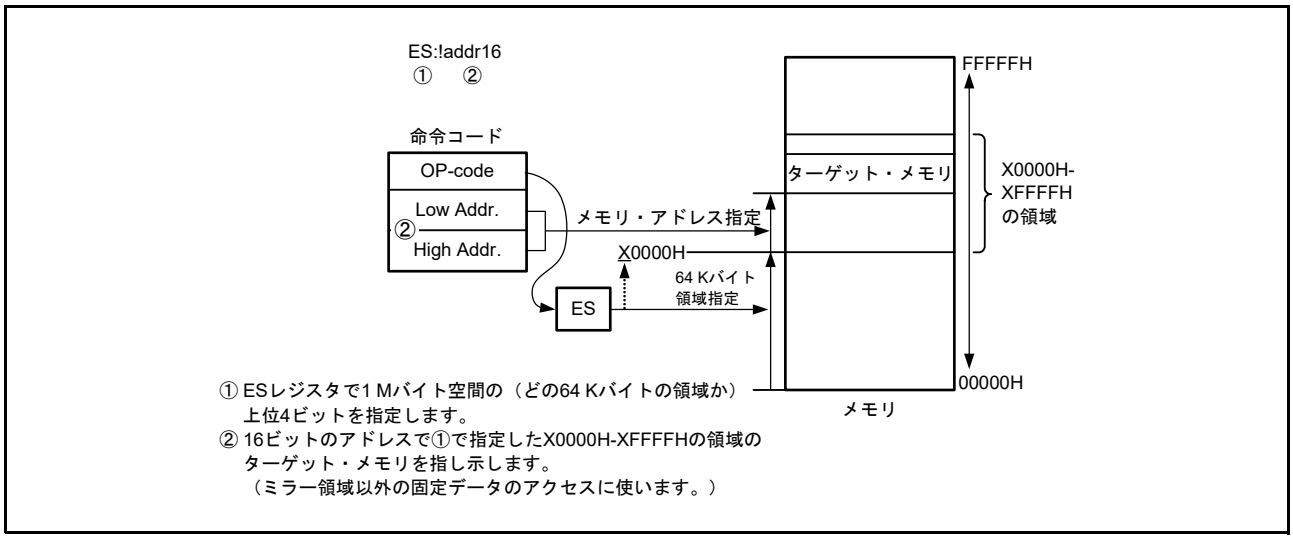


図3 - 19 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

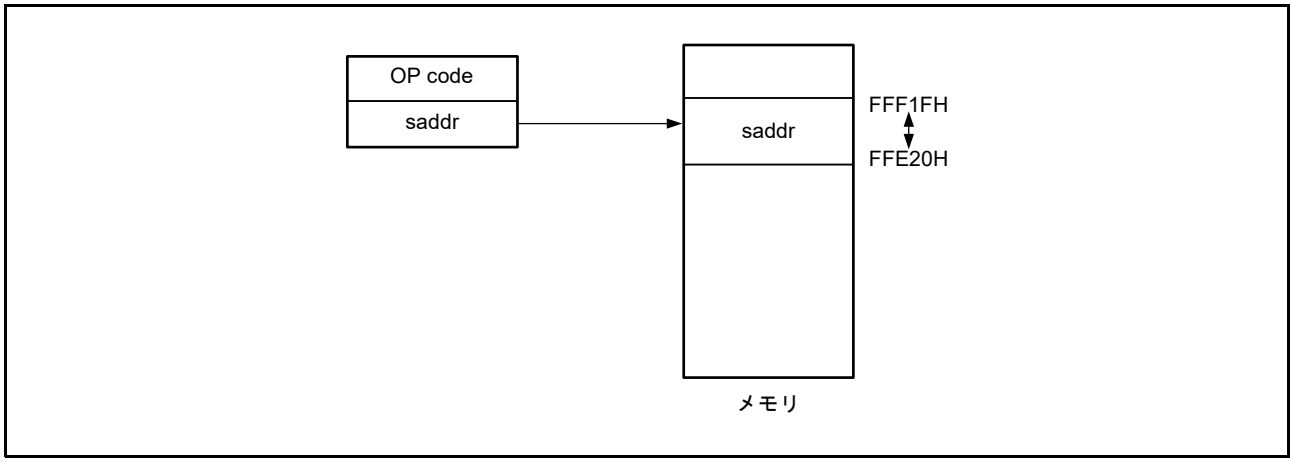
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（FFE20H-FFF1FH空間のみ指定可能）
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ）（FFE20H-FFF1FH空間のみ指定可能）

図3 - 20 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

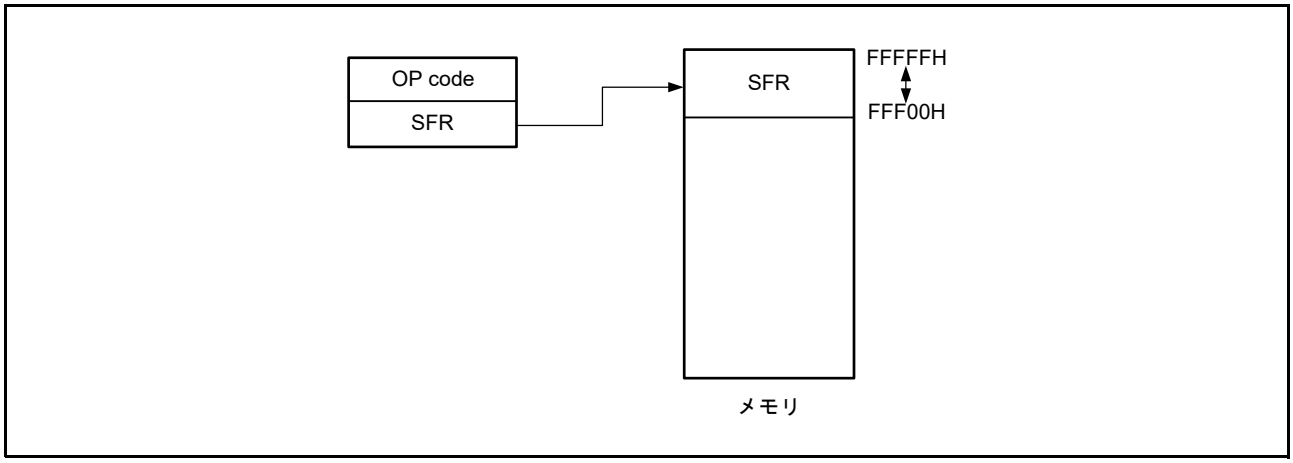
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFR レジスタ名
SFRP	16ビット操作可能なSFR レジスタ名（偶数アドレス）

図3 - 21 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL]（F0000H-FFFFFH空間のみ指定可能）
—	ES:[DE], ES:[HL]（ESレジスタにて上位4ビット・アドレス指定）

図3 - 22 [DE], [HL]の例

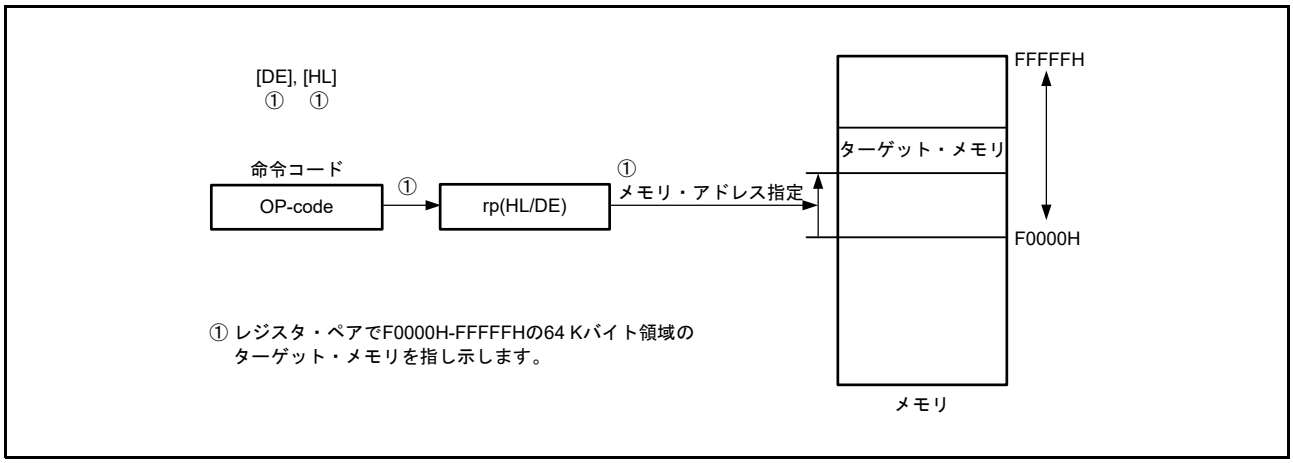
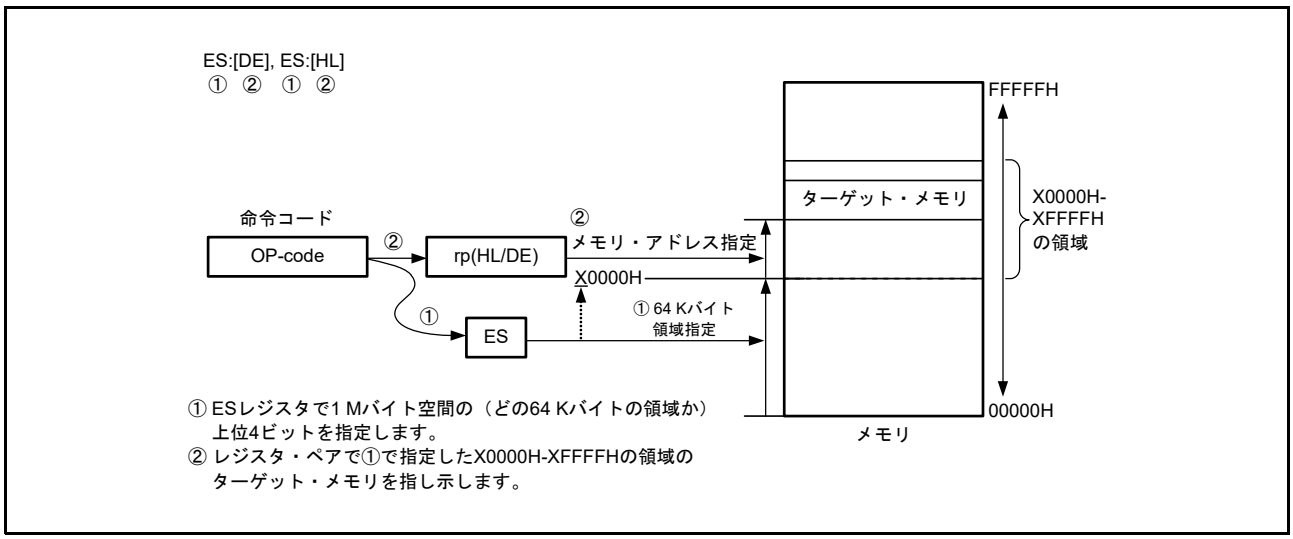


図3 - 23 ES:[DE], ES:[HL]の例



3.4.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし、8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+byte], [DE+byte], [SP+byte]（F0000H-FFFFFH空間のみ指定可能）
—	word[B], word[C]（F0000H-FFFFFH空間のみ指定可能）
—	word[BC]（F0000H-FFFFFH空間のみ指定可能）
—	ES:[HL+byte], ES:[DE+byte]（ESレジスタにて上位4ビット・アドレス指定）
—	ES:word[B], ES:word[C]（ESレジスタにて上位4ビット・アドレス指定）
—	ES:word[BC]（ESレジスタにて上位4ビット・アドレス指定）

図3 - 24 [SP+byte]の例

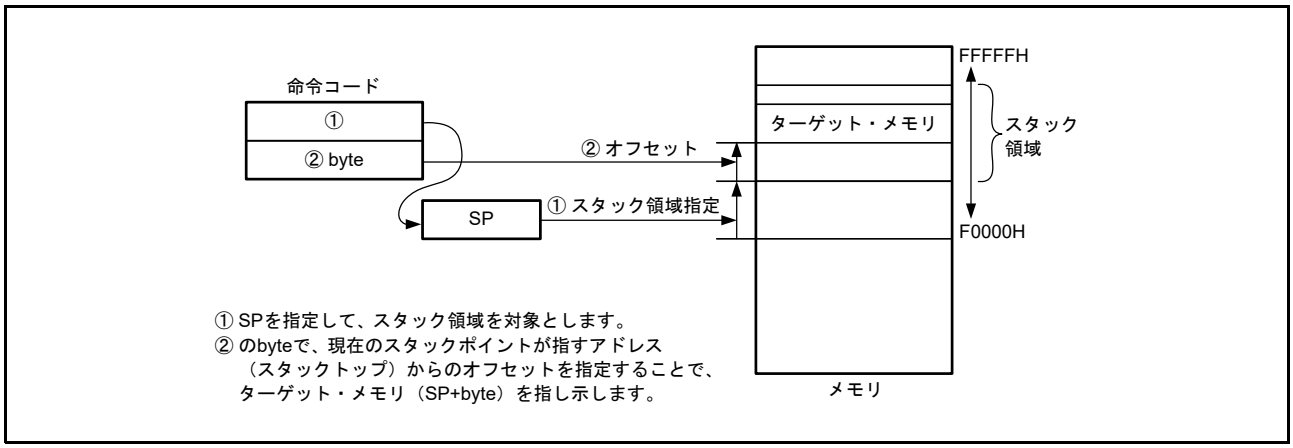


図3 - 25 [HL+byte], [DE+byte]の例

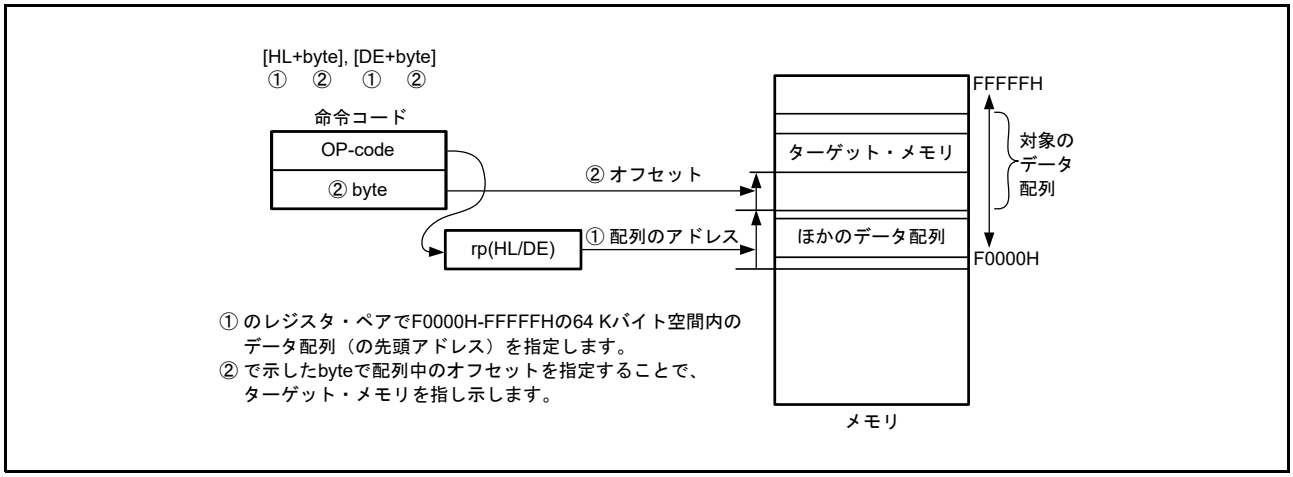


図3 - 26 word[B], word[C]の例

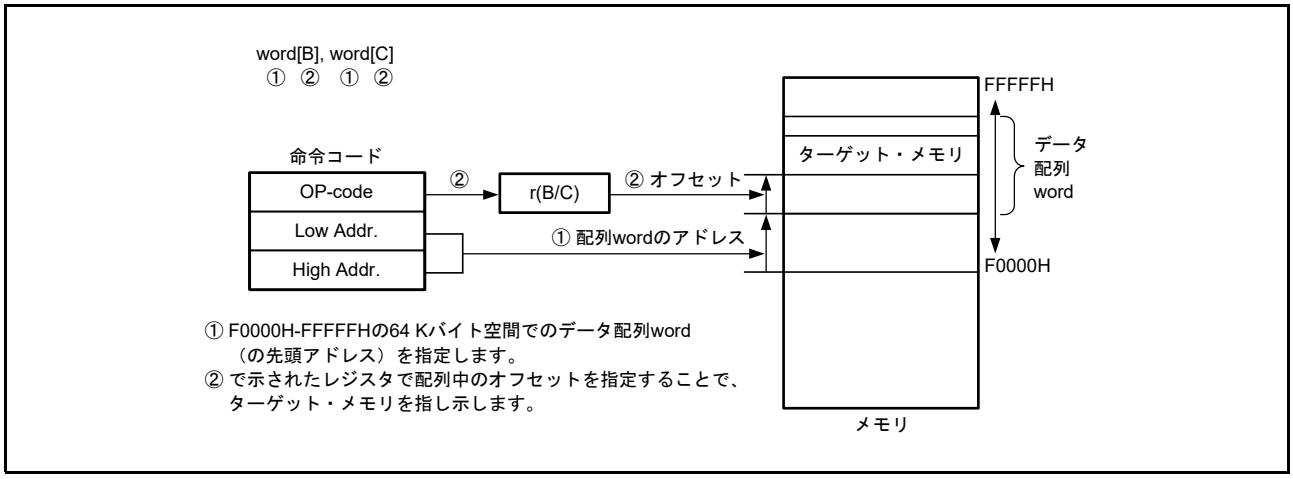


図3 - 27 word[BC]の例

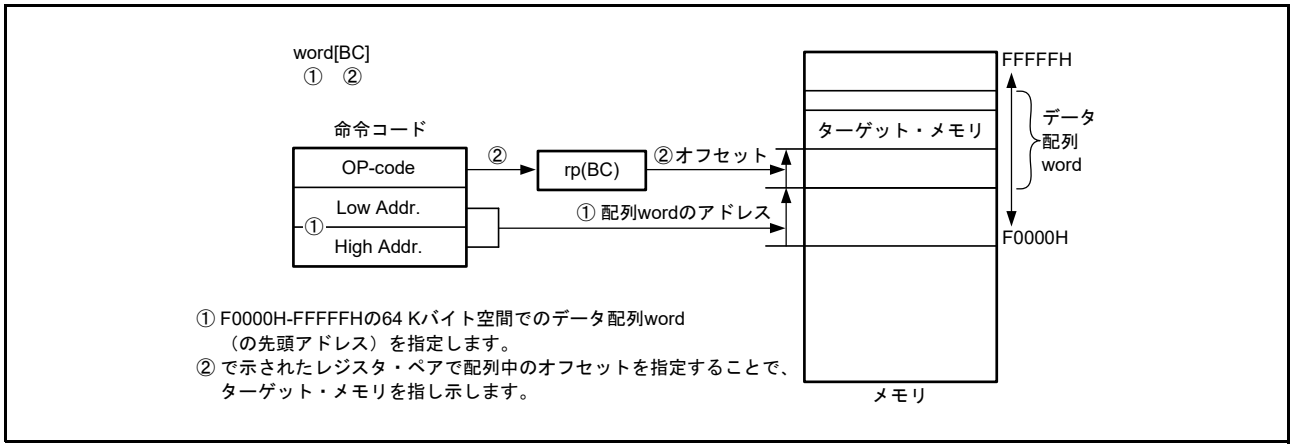


図3 - 28 ES:[HL+byte], ES:[DE+byte]の例

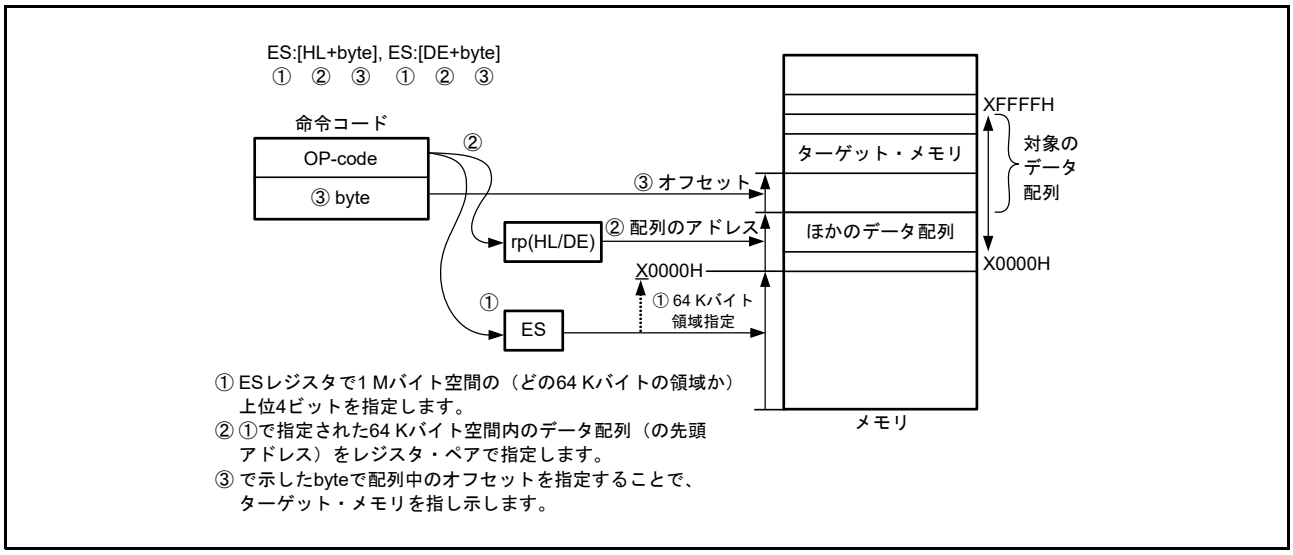


図3 - 29 ES:word[B], ES:word[C]の例

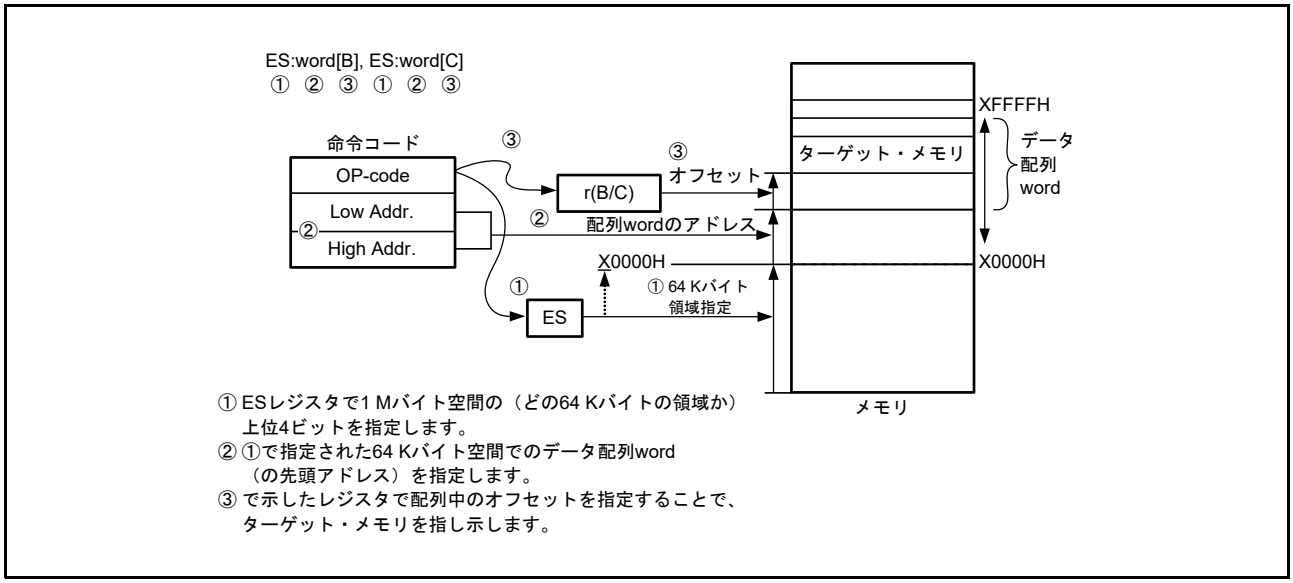
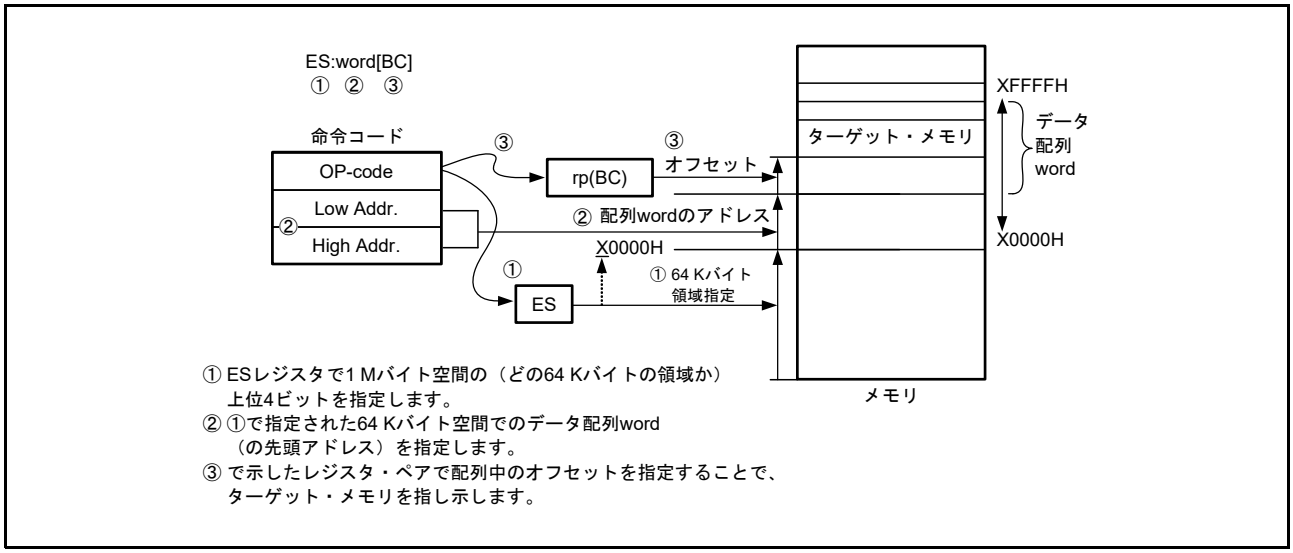


図3 - 30 ES:word[BC]の例



3.4.8 ベースト・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C]（F0000H-FFFFFH空間のみ指定可能）
—	ES:[HL+B], ES:[HL+C]（ESレジスタにて上位4ビット・アドレス指定）

図3 - 31 [HL+B], [HL+C]の例

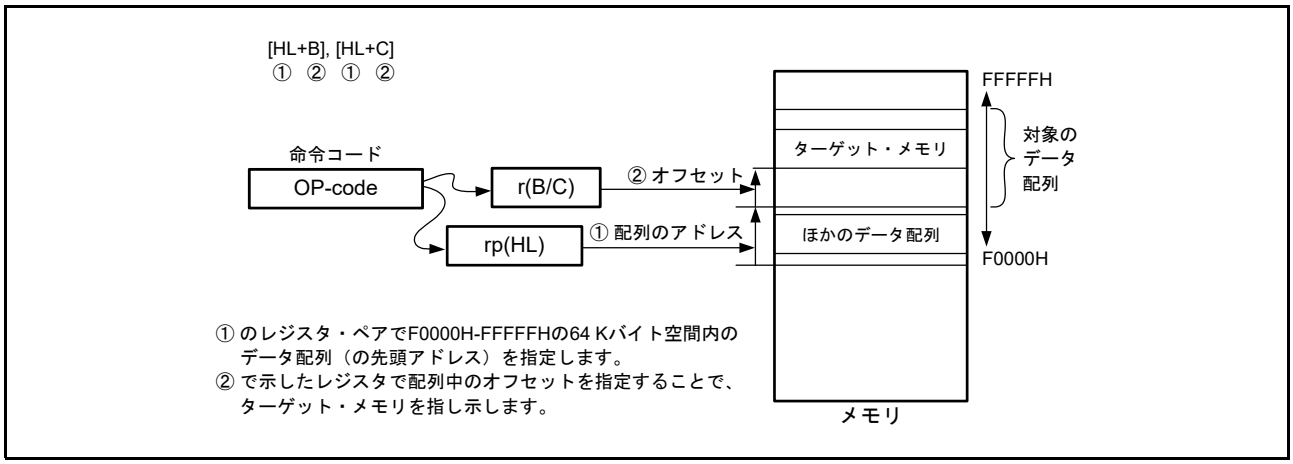
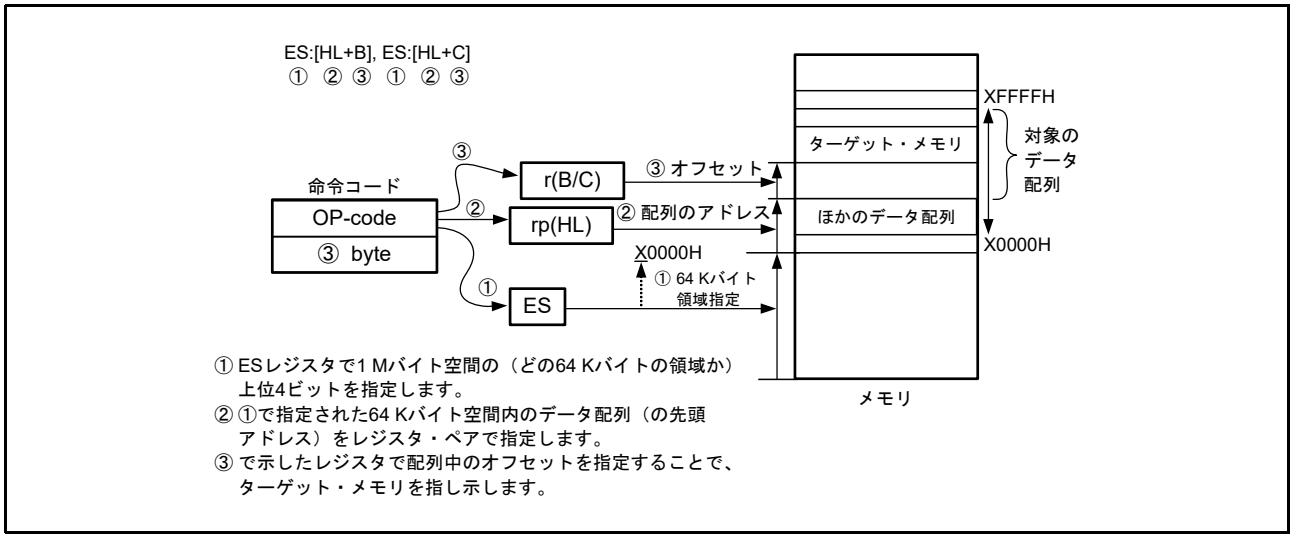


図3 - 32 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH、POP、サブルーチン・コール、リターン命令の実行時、および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB （割り込み要求発生） RETI

各スタック動作によって退避／復帰されるデータは**図3 - 33～図3 - 38**のようになります。

図3 - 33 PUSH rpの例

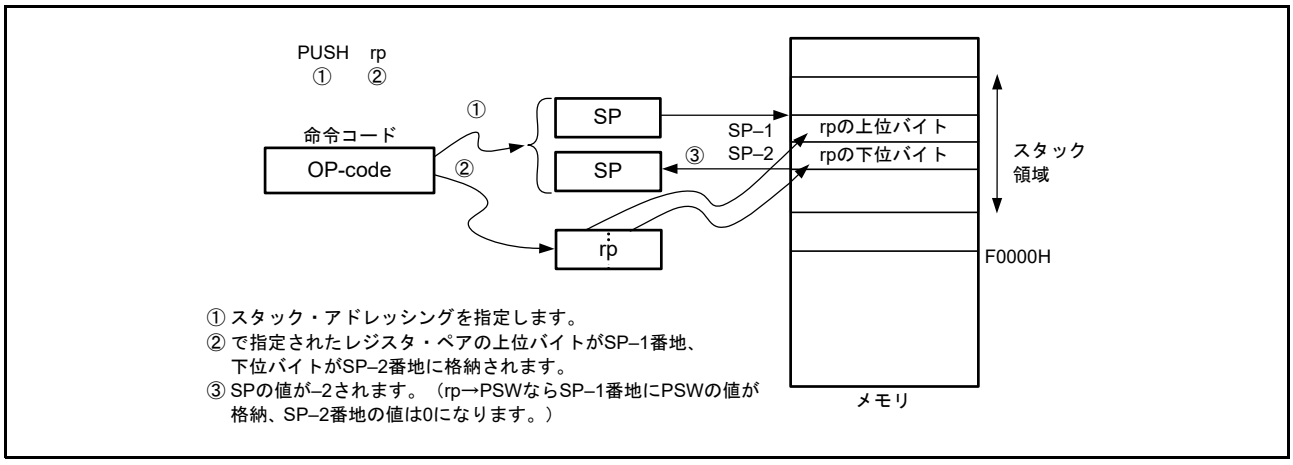
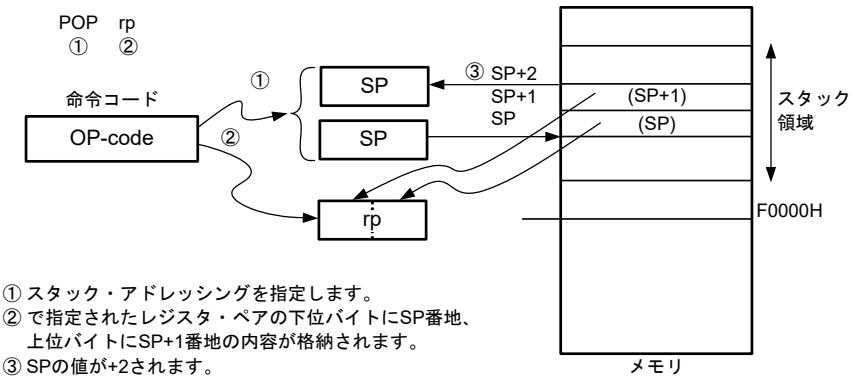
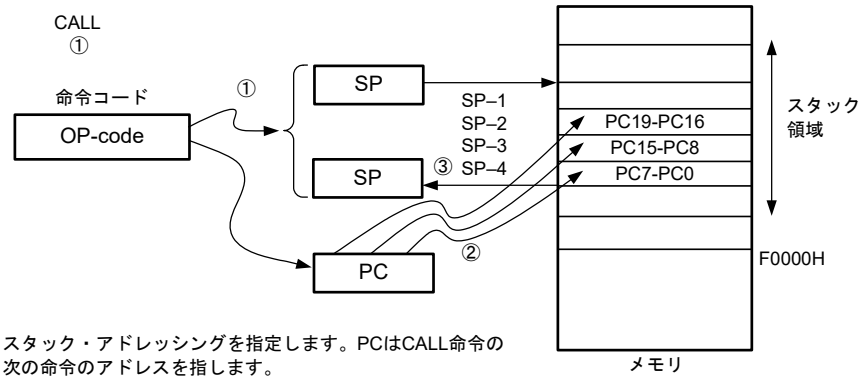


図3 - 34 POPの例



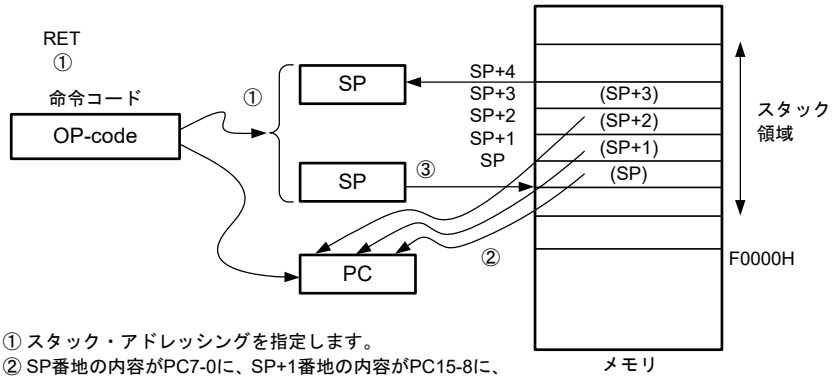
① スタック・アドレッシングを指定します。
② で指定されたレジスタ・ペアの下位バイトにSP番地、
上位バイトにSP+1番地の内容が格納されます。
③ SPの値が+2されます。
（rp→PSWならSP+1番地の内容がPSWに格納されます。）

図3 - 35 CALL, CALLTの例



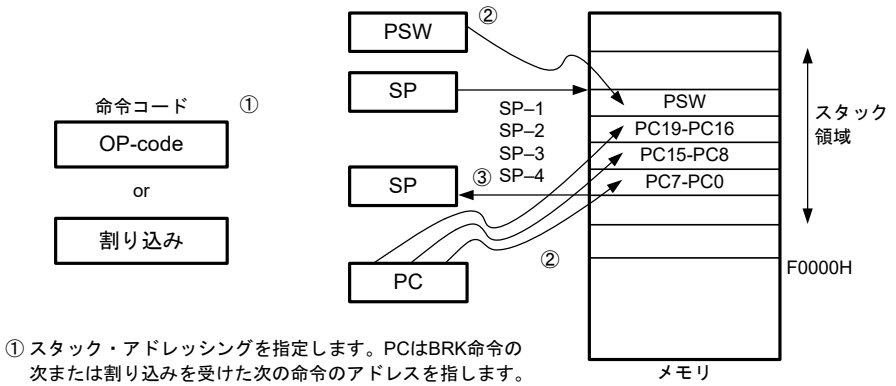
① スタック・アドレッシングを指定します。PCはCALL命令の
次の命令のアドレスを指します。
② SP–2番地にはPC19-16の値が、SP–3番地にはPC15-8の値
が、SP–4番地にはPC7-0の値が格納されます。
③ SPの値が–4されます。

図3 - 36 RETの例



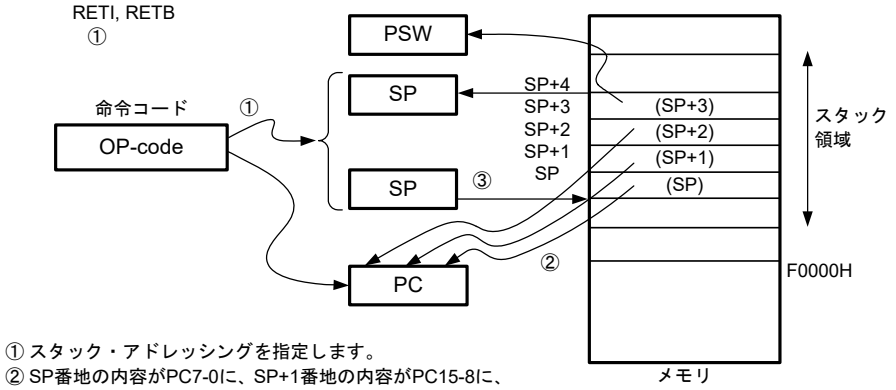
① スタック・アドレッシングを指定します。
② SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、
SP+2番地の内容がPC19-16に格納されます。
③ SPの値が+4されます。

図3 - 37 割り込み、BRKの例



① スタック・アドレッシングを指定します。PCはBRK命令の次または割り込みを受けた次の命令のアドレスを指します。
② SP–1番地にはPSWの値が、SP–2番地にはPC19-16の値が、SP–3番地にはPC15-8の値が、SP–4番地にはPC7-0の値が格納されます。
③ SPの値が–4されます。

図3 - 38 RETI, RETBの例



① スタック・アドレッシングを指定します。
② SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、SP+2番地の内容がPC19-16に、SP+3番地の内容がPSWに格納されます。
③ SPの値が+4されます。

第4章　ポート機能

4.1　ポートの機能

本製品は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章　端子機能**を参照してください。

4.2　ポートの構成

ポートは、次のハードウェアで構成されています。

表4 - 1　　ポートの構成

項目	構成
制御レジスタ	• ポート・モード・レジスタ（PMxx）（xx = 0-7, 12, 14） • ポート・レジスタ（Pxx）（xx = 0-7, 12-14） • プルアップ抵抗オプション・レジスタ（PUxx）（xx = 0, 1, 3-5, 7, 12-14） • ポート入力モード・レジスタ（PIMxx）（xx = 0, 1, 3, 5, 7） • ポート出力モード・レジスタ（POMxx）（xx = 0, 1, 3, 5, 7） • ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）（xx = 0, 1, 3, 5, 7, 13） • ポート・モード・コントロールA・レジスタ（PMCAxx）（xx = 0, 2, 12, 14） • 周辺I/Oリダイレクション・レジスタ（PIORx）（x = 0, 1） • グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS） • ポート・モード選択レジスタ（PMS）
ポート	• 20ピン製品： 合計：17本（CMOS入出力：16本（N-chオープン・ドレイン入出力[V_{DD}耐圧]：5本）、CMOS入力：1本） • 32ピン製品： 合計：29本（CMOS入出力：26本（N-chオープン・ドレイン入出力[V_{DD}耐圧]：11本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：2本） • 44ピン製品： 合計：41本（CMOS入出力：38本（N-chオープン・ドレイン入出力[V_{DD}耐圧]：14本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：2本） • 48ピン製品： 合計：45本（CMOS入出力：41本（N-chオープン・ドレイン入出力[V_{DD}耐圧]：15本）、CMOS入力：1本、CMOS出力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：2本） • 64ピン製品： 合計：59本（CMOS入出力：55本（N-chオープン・ドレイン入出力[EV_{DD}耐圧]：19本）、CMOS入力：1本、CMOS出力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：2本）
プルアップ抵抗	• 20ピン製品：合計：14本 • 32ピン製品：合計：23本 • 44ピン製品：合計：31本 • 48ピン製品：合計：34本 • 64ピン製品：合計：48本

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P06端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01, P03, P04端子の入力は、ポート入力モード・レジスタ（PIM0）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00, P02-P04端子の出力は、ポート出力モード・レジスタ（POM0）により1ビット単位でN-chオープン・ドレイン出力 [V_{DD} 耐圧[注1] ／ EV_{DD} 耐圧[注2]] モードに設定可能です。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P00-P06は以下のモードになります。

- 20, 32ピン製品のP00, P01端子 ：アナログ入力モード
- 44～64ピン製品のP00, P01, P04-P06端子 ：入力モード
- 64ピン製品のP02, P03端子 ：アナログ入力モード

注1. 20～48ピン製品の場合

注2. 64ピン製品の場合

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13-P17端子の入力は、ポート入力モード・レジスタ（PIM1）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10-P15, P17端子の出力は、ポート出力モード・レジスタ（POM1）により1ビット単位でN-chオープン・ドレイン出力 [V_{DD} 耐圧[注1] ／ EV_{DD} 耐圧[注2]] モードに設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力、フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTのデータ送受信、タイマの入出力、外部割り込み要求入力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P10-P17は入力モードになります。

注1. 20～48ピン製品の場合

注2. 64ピン製品の場合

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの＋側基準電圧入力、A/Dコンバータの－側基準電圧入力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P20-P27はアナログ入力モードになります。

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30, P31, P33, P34端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P34端子の入力は、ポート入力モード・レジスタ（PIM3）の設定により通常入力バッファ／TTL入力バッファの指定ができます。

P31, P33端子の出力は、ポート出力モード・レジスタ（POM3）により1ビット単位でN-chオープン・ドレイン出力 [V_{DD} 耐圧[注1] ／ EV_{DD} 耐圧[注2]] モードに設定可能です。

また、兼用機能として外部割り込み要求入力、タイマの入出力、シリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P30, P31, P33, P34は入力モードになります。

注1. 20～48ピン製品の場合

注2. 64ピン製品の場合

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力、タイマの入出力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P40-P43は入力モードになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P55端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50, P55端子の入力は、ポート入力モード・レジスタ（PIM5）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50, P51, P55端子の出力は、ポート出力モード・レジスタ（POM5）により1ビット単位でN-chオープン・ドレイン出力 [V_{DD} 耐圧[注1] ／ EV_{DD} 耐圧[注2]] モードに設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P50-P55は入力モードになります。

注1. 32～48ピン製品の場合

注2. 64ピン製品の場合

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力 [6 V耐圧] です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4 - 4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P60, P61は入力モードになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM7）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P71端子の入力は、ポート入力モード・レジスタ（PIM7）の設定により通常入力バッファ／TTL入力バッファの指定ができます。

P71, P72, P74端子の出力は、ポート出力モード・レジスタ（POM7）により1ビット単位でN-chオープン・ドレイン出力 [V_{DD} 耐圧**注1** ／ EV_{DD} 耐圧**注2**] モードに設定可能です。

また、兼用機能としてキー割り込み入力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4 - 4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P70-P77は入力モードになります。

注1. 32～48ピン製品の場合

注2. 64ピン製品の場合

4.2.9 ポート12

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM12）により、1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ（PU12）により内蔵プルアップ抵抗を使用できます。P125はユーザ・オプション・バイト（000C1H）で $\overline{\text{RESET}}$ 端子（PORTSELB = 1）を選択時、内蔵プルアップ抵抗が常時有効になります。

また、兼用機能としてA/Dコンバータのアナログ入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、外部割り込み要求入力、リセット入力、シリアル・インタフェースのデータ入出力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4 - 4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P120はアナログ入力モードになります。P121-P125は入力モードになります。

注意 電源投入後、P125は$\overline{\text{RESET}}$入力として機能します。パワー・オン・リセット（POR）が内部リセット信号を解除しても、この端子にロウ・レベルが入力されている期間はリセット状態を継続します。
P125/INTP9を使用する場合は、ユーザ・オプション・バイト（000C1H）でポート機能（PORTSELB = 0）を選択し、すべてのリセット要因を解除してください。

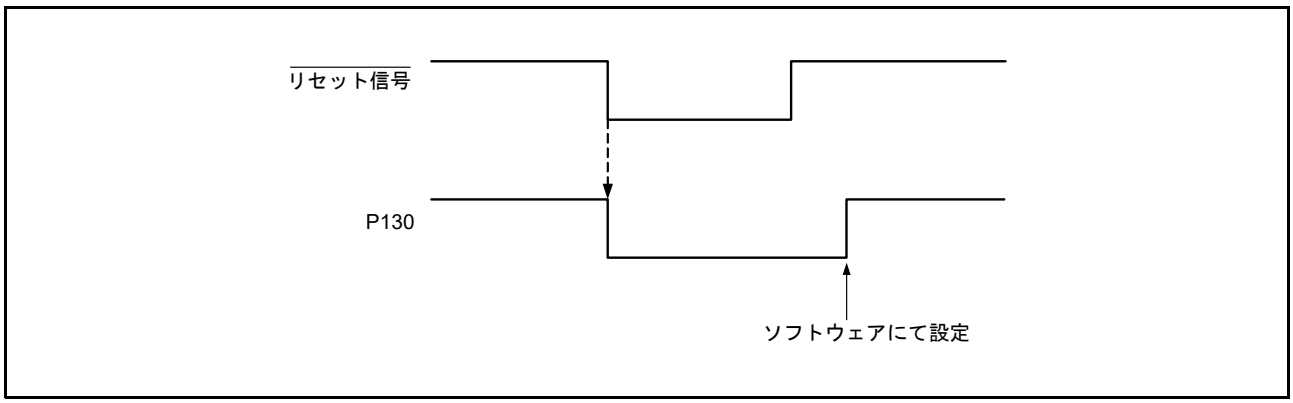
4.2.10 ポート13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。P137端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU13）により内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.11 ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM14）により1ビット単位で入力モード／出力モードの指定ができます。P140, P141, P146, P147端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU14）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、A/Dコンバータのアナログ入力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P140, P141, P146は入力モードになります。P147はアナログ入力モードになります。

4.3　ポート機能を制御するレジスタ

ポート機能を制御するレジスタを次に示します。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- プルアップ抵抗オプション・レジスタ（PUxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- 周辺I/Oリダイレクション・レジスタ（PIORx）
- グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）
- ポート・モード選択レジスタ（PMS）

注意　製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4 - 2を参照してください。また、搭載していないビットには、必ず初期値を設定してください。

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxxレジスタとそのビット (1/3)

ポート		ビット名							64ピン	48ピン	44ピン	32ピン	20ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PDIDISxxレジスタ	PMCAxxレジスタ					
ポート0	0	PM00	P00	PU00	–	POM00	PDIDIS00	PMCA00注	○	○	○	○	○
	1	PM01	P01	PU01	PIM01	–	–	PMCA01注	○	○	○	○	○
	2	PM02	P02	PU02	–	POM02	PDIDIS02	PMCA02	○	–	–	–	–
	3	PM03	P03	PU03	PIM03	POM03	PDIDIS03	PMCA03	○	–	–	–	–
	4	PM04	P04	PU04	PIM04	POM04	PDIDIS04	–	○	–	–	–	–
	5	PM05	P05	PU05	–	–	–	–	○	–	–	–	–
	6	PM06	P06	PU06	–	–	–	–	○	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–
ポート1	0	PM10	P10	PU10	PIM10	POM10	PDIDIS10	–	○	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	PDIDIS11	–	○	○	○	○	○
	2	PM12	P12	PU12	–	POM12	PDIDIS12	–	○	○	○	○	○
	3	PM13	P13	PU13	PIM13	POM13	PDIDIS13	–	○	○	○	○	–
	4	PM14	P14	PU14	PIM14	POM14	PDIDIS14	–	○	○	○	○	–
	5	PM15	P15	PU15	PIM15	POM15	PDIDIS15	–	○	○	○	○	–
	6	PM16	P16	PU16	PIM16	–	–	–	○	○	○	○	○
	7	PM17	P17	PU17	PIM17	POM17	PDIDIS17	–	○	○	○	○	○
ポート2	0	PM20	P20	–	–	–	–	PMCA20	○	○	○	○	○
	1	PM21	P21	–	–	–	–	PMCA21	○	○	○	○	○
	2	PM22	P22	–	–	–	–	PMCA22	○	○	○	○	○
	3	PM23	P23	–	–	–	–	PMCA23	○	○	○	○	–
	4	PM24	P24	–	–	–	–	PMCA24	○	○	○	–	–
	5	PM25	P25	–	–	–	–	PMCA25	○	○	○	–	–
	6	PM26	P26	–	–	–	–	PMCA26	○	○	○	–	–
	7	PM27	P27	–	–	–	–	PMCA27	○	○	○	–	–
ポート3	0	PM30	P30	PU30	–	–	–	–	○	○	○	○	○
	1	PM31	P31	PU31	–	POM31	PDIDIS31	–	○	○	○	○	–
	2	–	–	–	–	–	–	–	–	–	–	–	–
	3	PM33	P33	PU33	–	POM33	PDIDIS33	–	○	○	○	–	–
	4	PM34	P34	PU34	PIM34	–	–	–	○	○	○	○	–
	5	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–
ポート4	0	PM40	P40	PU40	–	–	–	–	○	○	○	○	○
	1	PM41	P41	PU41	–	–	–	–	○	○	○	–	–
	2	PM42	P42	PU42	–	–	–	–	○	–	–	–	–
	3	PM43	P43	PU43	–	–	–	–	○	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxxレジスタとそのビット (2/3)

ポート		ビット名							64ピン	48ピン	44ピン	32ピン	20ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PDIDISxxレジスタ	PMCAxxレジスタ					
ポート5	0	PM50	P50	PU50	PIM50	POM50	PDIDIS50	–	○	○	○	○	–
	1	PM51	P51	PU51	–	POM51	PDIDIS51	–	○	○	○	○	–
	2	PM52	P52	PU52	–	–	–	–	○	–	–	–	–
	3	PM53	P53	PU53	–	–	–	–	○	–	–	–	–
	4	PM54	P54	PU54	–	–	–	–	○	–	–	–	–
	5	PM55	P55	PU55	PIM55	POM55	PDIDIS55	–	○	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–
ポート6	0	PM60	P60	–	–	–	–	–	○	○	○	○	–
	1	PM61	P61	–	–	–	–	–	○	○	○	○	–
	2	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–
ポート7	0	PM70	P70	PU70	–	–	–	–	○	○	○	○	–
	1	PM71	P71	PU71	PIM71	POM71	PDIDIS71	–	○	○	○	–	–
	2	PM72	P72	PU72	–	POM72	PDIDIS72	–	○	○	○	–	–
	3	PM73	P73	PU73	–	–	–	–	○	○	○	–	–
	4	PM74	P74	PU74	–	POM74	PDIDIS74	–	○	○	–	–	–
	5	PM75	P75	PU75	–	–	–	–	○	○	–	–	–
	6	PM76	P76	PU76	–	–	–	–	○	–	–	–	–
	7	PM77	P77	PU77	–	–	–	–	○	–	–	–	–
ポート12	0	PM120	P120	PU120	–	–	–	PMCA120	○	○	○	○	–
	1	PM121	P121	PU121	–	–	–	–	○	○	○	○	○
	2	PM122	P122	PU122	–	–	–	–	○	○	○	○	○
	3	PM123	P123	PU123	–	–	–	–	○	○	○	–	–
	4	PM124	P124	PU124	–	–	–	–	○	○	○	–	–
	5	PM125	P125	PU125	–	–	–	–	○	○	○	○	○
	6	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–
ポート13	0	–	P130	–	–	–	–	–	○	○	–	–	–
	1	–	–	–	–	–	–	–	–	–	–	–	–
	2	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	P137	PU137	–	–	PDIDIS137	–	○	○	○	○	○

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxxレジスタとそのビット (3/3)

ポート		ビット名							64ピン	48ピン	44ピン	32ピン	20ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PDIDISxxレジスタ	PMCAxxレジスタ					
ポート14	0	PM140	P140	PU140	–	–	–	–	○	○	–	–	–
	1	PM141	P141	PU141	–	–	–	–	○	–	–	–	–
	2	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–
	6	PM146	P146	PU146	–	–	–	–	○	○	○	–	–
	7	PM147	P147	PU147	–	–	–	PMCA147	○	○	○	○	○

注 20, 32ピン製品のみ

4.3.1 ポート・モード・レジスタ（PMxx）

PMxx レジスタは、ポートの入力／出力を 1 ビット単位で設定するレジスタです。

PMxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

ポート端子を兼用機能の端子として使用する場合、**4.5 兼用機能使用時のレジスタ設定**を参照し、設定してください。

図4 - 1 ポート・モード・レジスタ（PMxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	1	1	PM125	PM124	PM123	PM122	PM121	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	1	1	1	1	PM141	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択（m = 0-7, 12, 14; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.2 ポート・レジスタ（Pxx）

Pxx レジスタは、ポートの出力ラッチの値を設定するレジスタです。

読み出す場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます注。

Pxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注 P00-P03, P20-P27, P120, P147 をアナログ機能として設定した場合に、ポートが入力モード時に読み出すと端子レベルではなく常に 0 が読み出されます。P125/$\overline{\text{RESET}}$/INTP9 端子をユーザ・オプション・バイト（000C1H）で$\overline{\text{RESET}}$入力（PORTSELB = 1）に設定した場合、P125 を読み出すと、常に 1 が読み出されます。

図4 - 2 ポート・レジスタ（Pxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	0	0	0	P34	P33	0	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	0	0	0	0	P43	P42	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	0	0	P55	P54	P53	P52	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P12	0	0	P125	P124	P123	P122	P121	P120	FFF0CH	00H（出力ラッチ）	R/W
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注1	R/W注2
P14	P147	P146	0	0	0	0	P141	P140	FFF0EH	00H（出力ラッチ）	R/W

Pmn	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0 を出力	ロウ・レベルを入力
1	1 を出力	ハイ・レベルを入力

注1. P137：不定
P130：0（出力ラッチ）

注2. P137は、読み出しのみ可能です。

注意 **搭載していないビットには、必ず初期値を設定してください。**

備考 m = 0-7, 12-14; n = 0-7

4.3.3 プルアップ抵抗オプション・レジスタ（PUxx）

PUxx レジスタは、内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUxx レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、PUxx レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用している場合も同様です。

PUxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、PU4 は 01H、PU12 は 20H、それ以外は 00H になります。

注意 PIMxx レジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUmn = 0 を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4 - 3 プルアップ抵抗オプション・レジスタ（PUxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	PU34	PU33	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	PU125	PU124	PU123	PU122	PU121	PU120	F003CH	20H	R/W
PU13	PU137	0	0	0	0	0	0	0	F003DH	00H	R/W
PU14	PU147	PU146	0	0	0	0	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択（m = 0, 1, 3-5, 7, 12-14; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意1. 搭載していないビットには、必ず初期値を設定してください。

注意2. ユーザ・オプション・バイト（000C1H）でP125/INTP9（PORTSELB = 0）を選択しているときのみ、PU125を選択できます。

ユーザ・オプション・バイト（000C1H）で$\overline{\text{RESET}}$端子（PORTSELB = 1）を選択時は、内蔵プルアップ抵抗が常時有効になります。

4.3.4 ポート入力モード・レジスタ（PIMxx）

PIMxx レジスタは、入力バッファを 1 ビット単位で設定するレジスタです。
異電位の外部デバイスとのシリアル通信などに TTL 入力バッファを選択できます。
PIMxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図4 - 4 ポート入力モード・レジスタ（PIMxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W
PIM3	0	0	0	PIM34	0	0	0	0	F0043H	00H	R/W
PIM5	0	0	PIM55	0	0	0	0	PIM50	F0045H	00H	R/W
PIM7	0	0	0	0	0	0	PIM71	0	F0047H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択（m = 0, 1, 3, 5, 7; n = 0-7）
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ（POMxx）

POMxx レジスタは、出力モードを 1 ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I^2C 通信時の SDA00, SDA01, SDA10, SDA11, SDA20, SDA21 端子に N-ch オープン・ドレイン出力 [V_{DD} 耐圧注1 ／ EV_{DD} 耐圧注2] モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

POMxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意 N-chオープン・ドレイン出力[V_{DD}耐圧注1／EV_{DD}耐圧注2]モード（POMmn = 1）を設定したビットは、内蔵プルアップ抵抗が接続されません。

注1. 20～48ピン製品の場合

注2. 64ピン製品の場合

図4 - 5 ポート出力モード・レジスタ（POMxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM3	0	0	0	0	POM33	0	POM31	0	F0053H	00H	R/W
POM5	0	0	POM55	0	0	0	POM51	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	POM72	POM71	0	F0057H	00H	R/W

POMmn	Pmn端子の出力モードの選択（m = 0, 1, 3, 5, 7; n = 0-7）
0	通常出力モード
1	N-chオープン・ドレイン出力[V_{DD}耐圧注1／EV_{DD}耐圧注2]モード

注1. 20～48ピン製品の場合

注2. 64ピン製品の場合

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.6 ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）

PDIDISxx レジスタは、入力バッファの貫通電流を防止するレジスタです。

異電位の外部デバイスとのシリアル通信などで N-ch オープン・ドレイン出力した場合や入力ポートを使用しない場合、PDIDISxx レジスタの対象ビットに 1 を設定することにより、低消費電力にすることができます。

PDIDISxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4 - 6 ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PDIDIS0	0	0	0	PDIDIS04	PDIDIS03	PDIDIS02	0	PDIDIS00	F02B0H	00H	R/W
PDIDIS1	PDIDIS17	0	PDIDIS15	PDIDIS14	PDIDIS13	PDIDIS12	PDIDIS11	PDIDIS10	F02B1H	00H	R/W
PDIDIS3	0	0	0	0	PDIDIS33	0	PDIDIS31	0	F02B3H	00H	R/W
PDIDIS5	0	0	PDIDIS55	0	0	0	PDIDIS51	PDIDIS50	F02B5H	00H	R/W
PDIDIS7	0	0	0	PDIDIS74	0	PDIDIS72	PDIDIS71	0	F02B7H	00H	R/W
PDIDIS13	PDIDIS137	0	0	0	0	0	0	0	F02BDH	00H	R/W

PDIDISmn	入力バッファ設定（m = 0, 1, 3, 5, 7, 13; n = 0-7）
0	入力バッファの入力許可
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.7 ポート・モード・コントロールA・レジスタ（PMCAxx）

PMCAxx レジスタは、デジタル入出力／アナログ機能を 1 ビット単位で設定するレジスタです。
PMCAxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFH になります。

図4 - 7 ポート・モード・コントロールA・レジスタ（PMCAxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCA0	1	1	1	1	PMCA03	PMCA02	PMCA01	PMCA00	F0060H	FFH	R/W
PMCA2	PMCA27	PMCA26	PMCA25	PMCA24	PMCA23	PMCA22	PMCA21	PMCA20	F0062H	FFH	R/W
PMCA12	1	1	1	1	1	1	1	PMCA120	F006CH	FFH	R/W
PMCA14	PMCA147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCAmn	Pmn端子のデジタル入出力／アナログ機能の選択（m = 0, 2, 12, 14; n = 0-7）
0	デジタル入出力
1	アナログ機能

注意1. PMCAxx レジスタでアナログ機能に設定したポートは、ポート・モード・レジスタ（PM0, PM2, PM12, PM14）で入力モードに選択してください。

注意2. PMCAxx レジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ（ADS）のアナログ機能に設定しないでください。

注意3. 搭載していないビットには、必ず初期値を設定してください。

4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）

PIORx レジスタは、周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。
周辺 I/O リダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。
リダイレクトさせる機能は、PIORx レジスタでポートを割り当ててから、動作許可にしてください。
なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。
PIORx レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図4 - 8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット

アドレス ：F0077H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
PIOR0	0	0	0	PIOR04	0	PIOR02	PIOR01	PIOR00

ビット	兼用機能	64ピン		48ピン		44ピン		32ピン	
		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1
PIOR04	INTP5	P16	P12	兼用機能として使用できません。0（初期値）を設定してください。					
PIOR02	SCLA0	P60	P14	P60	P14	P60	P14	P60	P14
	SDAA0	P61	P13	P61	P13	P61	P13	P61	P13
PIOR01	INTP10	P76	P52	—	—	—	—	—	—
	INTP11	P77	P53	—	—	—	—	—	—
	TxD0	P12	P17	P12	P17	P12	P17	P12	P17
	RxD0	P11	P16	P11	P16	P11	P16	P11	P16
	SCL00	P10	—	P10	—	P10	—	P10	—
	SDA00	P11	—	P11	—	P11	—	P11	—
	SI00	P11	P16	P11	—	P11	—	P11	—
	SO00	P12	P17	P12	—	P12	—	P12	—
	SCK00	P10	P55	P10	—	P10	—	P10	—
PIOR00	TI02/TO02	P17	P15	P17	P15	P17	P15	P17	P15
	TI03/TO03	P31	P14	P31	P14	P31	P14	P31	P14
	TI04/TO04	P42	P13	—	P13	—	P13	—	P13
	TI05/TO05	P05	P12	—	P12	—	P12	—	P12
	TI06/TO06	P06	P11	—	P11	—	P11	—	P11
	TI07/TO07	P41	P10	P41	P10	P41	P10	—	P10

注意 20ピン製品では、PIOR0 レジスタは非搭載です。

備考 —：兼用機能として使用できません。

図4 - 9 周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット

アドレス : F007AH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PIOR1	PIOR17	PIOR16	PIOR15	PIOR14	PIOR13	PIOR12	PIOR11	PIOR10

ビット	兼用機能	64ピン				48ピン				44ピン				32ピン			
		設定値				設定値				設定値				設定値			
		00	01	10	11	00	01	10	11	00	01	10	11	00	01	10	11
PIOR17, PIOR16	RxDA0	P71	P124	P01	P34	P71	P124	P01	P34	P71	P124	P01	P34	P01	P34	兼用機能として使用できません。0（初期値）を設定してください。	
	TxDA0	P72	P123	P00	P33	P72	P123	P00	P33	P72	P123	P00	P33	P00	P31		
PIOR15, PIOR14	TxD2	P13	P121	P51	P77	P13	P121	P51	—	P13	P121	P51	—	P13	P121	P51	—
	RxD2	P14	P122	P50	P76	P14	P122	P50	—	P14	P122	P50	—	P14	P122	P50	—
	SCL20	P15	—	—	—	P15	—	—	—	P15	—	—	—	P15	—	—	—
	SDA20	P14	—	—	—	P14	—	—	—	P14	—	—	—	P14	—	—	—
	SI20	P14	—	—	—	P14	—	—	—	P14	—	—	—	P14	—	—	—
	SO20	P13	—	—	—	P13	—	—	—	P13	—	—	—	P13	—	—	—
	SCK20	P15	—	—	—	P15	—	—	—	P15	—	—	—	P15	—	—	—

ビット	兼用機能	64ピン		48ピン		44ピン		32ピン	
		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1
PIOR13	TxD1	P02	P00	兼用機能として使用できません。0（初期値）を設定してください。					
	RxD1	P03	P01						
	SCL10	P04	—						
	SDA10	P03	—						
	SI10	P03	—						
	SO10	P02	—						
	SCK10	P04	—						
PIOR12	INTP9	P75	P125	P75	P125				
PIOR11	INTP8	P74	P121	P74	P121				
PIOR10	INTP6	P140	P122	P140	P122				

注意 20ピン製品では、PIOR1レジスタは非搭載です。

備考 －：兼用機能として使用できません。

4.3.9 グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）

GDIDIS レジスタは、EVDD の電源をオフするときに、EVDD を電源とする入力ポートの入力バッファの貫通電流を防止するレジスタです。

EVDD を電源とする入出力ポートをすべて使用しない場合、GDIDIS0 ビットに 1 を設定して EVDD の電源をオフすることにより、低消費電力にすることができます。

GDIDIS0 ビットに 1 を設定することにより、EVDD を電源とするすべての入力バッファを入力禁止とし、EVDD の電源をオフしたときの貫通電流を防止します。

GDIDIS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考 GDIDIS レジスタは、64 ピン製品に搭載しています。

図4 - 10 グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）のフォーマット

アドレス : F007DH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EVDD電源の入力バッファ設定
0	入力バッファの入力許可
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

備考 入力バッファの入力禁止（GDIDIS0 = 1）を設定した場合でも、EVDDを電源とするポート機能を使用しない周辺機能は使用できます。

EVDD の電源をオフする場合は、次の手順で設定してください。

① 入力バッファの入力禁止（GDIDIS0 = 1）を設定
② EVDD の電源オフ

EVDD の電源を再投入する場合は、次の手順で設定してください。

① EVDD の電源オン
② 入力バッファの入力許可（GDIDIS0 = 0）を設定

注意1. EVDDを電源とする入力ポートに、EVDD以上の入力電圧を入力しないでください。

注意2. 入力バッファの入力禁止（GDIDIS0 = 1）を設定した場合、EVDDを電源とするポートのポート・レジスタ（Pxx）の読み出し値は1となります。また、ポート出力モード・レジスタ（POMxx）に1（N-chオープン・ドレイン出力[EVDD耐圧]モード）設定時は、ポート・レジスタ（Pxx）の読み出し値は0となります。

4.3.10 ポート・モード選択レジスタ（PMS）

PMS レジスタは、端子が出力モード（ポート・モード・レジスタ（PMxx）の PMmn ビットが 0）時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。

詳細は、**20.3.11.1 ポート・モード選択レジスタ（PMS）**を参照してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合
転送命令により、出力ラッチに値を書き込めます。また、出力ラッチの内容が端子より出力されます。
一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合
転送命令により、出力ラッチに値を書き込めます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。
一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合
転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合
転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合
出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。
一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合
端子レベルを読み出し、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 $EV_{DD} \leqq V_{DD}$による異電位（1.8 V系、2.5 V系、3 V系）対応

異電位（1.8 V 系、2.5 V 系、3 V 系）で動作している外部デバイスとの接続時には、EV_{DD} を接続先の電源にあわせることで汎用ポートでの入出力接続が可能です。

4.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応

ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）で入出力バッファを切り替えることにより、異電位（1.8 V 系、2.5 V 系、3 V 系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V 系、2.5 V 系、3 V 系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ（PIM0, PIM1, PIM3, PIM5, PIM7）をビットごとに設定して、通常入力（CMOS）／ TTL 入力バッファを切り替えます。

異電位（1.8 V 系、2.5 V 系、3 V 系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ（POM0, POM1, POM3, POM5, POM7）をビットごとに設定して、通常出力（CMOS）／ N-ch オープン・ドレイン [V_{DD} 耐圧[注1] ／ EV_{DD} 耐圧[注2]] モードを切り替えます。

ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDIS0, PDIDIS1, PDIDIS3, PDIDIS5, PDIDIS7, PDIDIS13）をビットごとに設定すると、入力バッファへの貫通電流を防止できます。

以下、シリアル・インタフェースでの接続について説明します。

注1. 20～48 ピン製品の場合

注2. 64 ピン製品の場合

(1) UART0-UART2, UARTA0, CSI00, CSI10, CSI20 機能の入力ポートを TTL 入力バッファで使用する場合の設定手順

- UART0 の場合 ：P11（P16）
- UART1 の場合 ：P03（P01）
- UART2 の場合 ：P14（P50）
- UARTA0 の場合 ：P71（P01, P34）
- CSI00 の場合 ：P10, P11（P55, P16）
- CSI10 の場合 ：P03, P04
- CSI20 の場合 ：P14, P15

備考 （ ）は、周辺 I/O リダイレクション・レジスタ（PIOR）の設定により、割り当て可能な端子です。詳細は、**4.3.8 周辺 I/O リダイレクション・レジスタ（PIORx）**を参照してください。

① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。

② PIM0, PIM1, PIM3, PIM5, PIM7 レジスタの該当ビットに 1 を設定し、TTL 入力バッファに切り替えます。なお、V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

③ シリアル・アレイ・ユニットを動作許可し、UART ／簡易 SPI（CSI[注]）モードに設定します。

注 一般的には SPI と呼ばれる機能ですが、本製品では CSI とも呼称しているため、本マニュアルでは併記します。

(2) UART0-UART2, UARTA0, CSI00, CSI10, CSI20機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

- UART0の場合 ：P12（P17）
- UART1の場合 ：P02（P00）
- UART2の場合 ：P13（P51）
- UARTA0の場合 ：P72（P00, P33）
- CSI00の場合 ：P10, P12（P55, P17）
- CSI10の場合 ：P02, P04
- CSI20の場合 ：P13, P15

備考 （ ）は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能な端子です。詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
③ PDIDIS0, PDIDIS1, PDIDIS3, PDIDIS5, PDIDIS7 レジスタの該当ビットに 1 を設定し、入力バッファを入力禁止に設定します。
④ 該当するポートの出力ラッチに 1 を設定します。
⑤ POM0, POM1, POM3, POM5, POM7 レジスタの該当ビットに 1 を設定し、N-ch オープン・ドレイン出力 [V_{DD} 耐圧[注1] ／ EV_{DD} 耐圧[注2]] モードに設定します。
⑥ シリアル・アレイ・ユニットを動作許可し、UART ／簡易 SPI（CSI[注3]）モードに設定します。
⑦ PM0, PM1, PM3, PM5, PM7 レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

注1. 20～48ピン製品の場合
注2. 64ピン製品の場合
注3. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

(3) IIC00, IIC10, IIC20機能の入出力ポートを、異電位（1.8 V系、2.5 V系、3 V系）で使用する場合の設定手順

- IIC00の場合 : P10, P11
- IIC10の場合 : P03, P04
- IIC20の場合 : P14, P15

備考 （ ）は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能な端子です。詳細は、**4.3.8 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに 1 を設定します。
④ POM0, POM1 レジスタの該当ビットに 1 を設定し、N-ch オープン・ドレイン出力 [V_{DD} 耐圧**注1** ／ EV_{DD} 耐圧**注2**] モードに設定します。
⑤ PIM0, PIM1 レジスタの該当ビットに 1 を設定し、TTL 入力バッファに切り替えます。なお、V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。
⑥ シリアル・アレイ・ユニットを動作許可し、簡易 I^2C モードに設定します。
⑦ PM0, PM1 レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

注1. 20～48ピン製品の場合
注2. 64ピン製品の場合

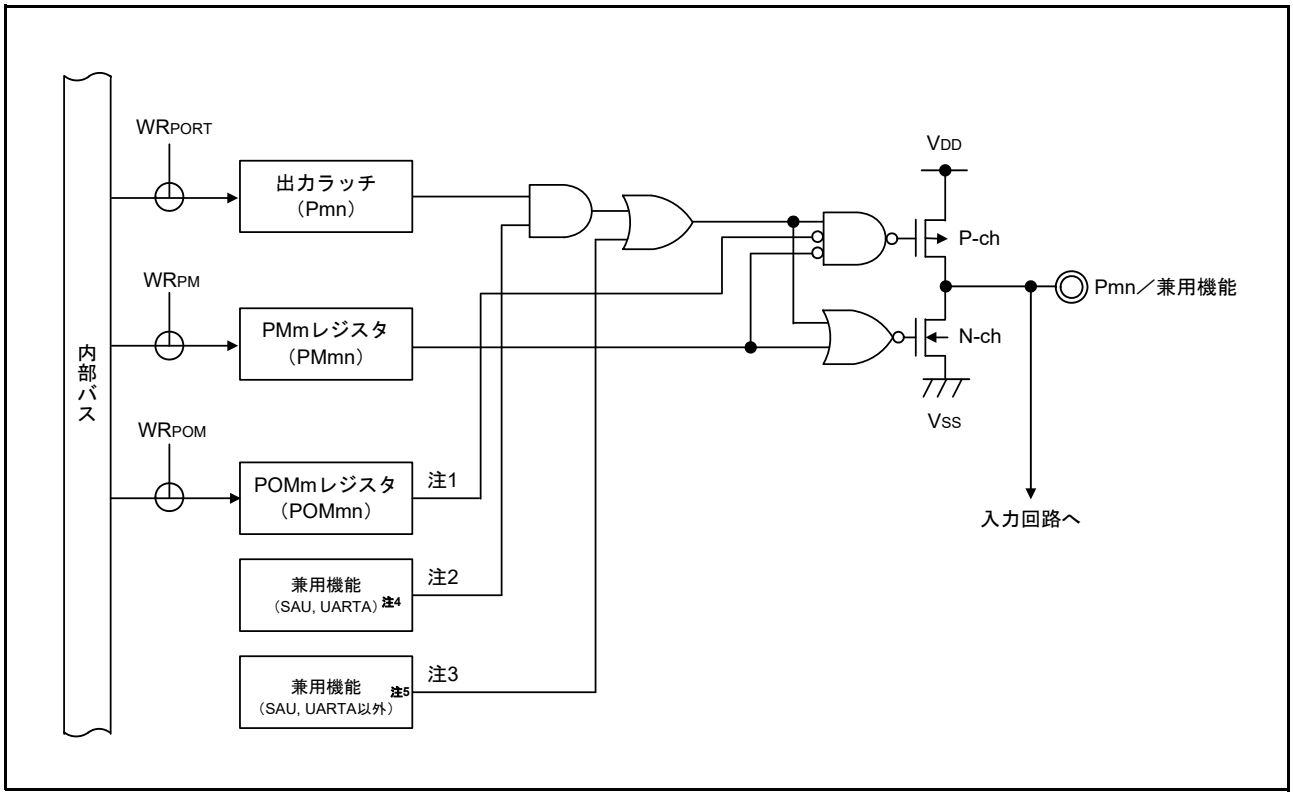
4.5 兼用機能使用時のレジスタ設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール A・レジスタ（PMCAxx）で設定してください。

図 4 - 11 にデジタル入出力で使用する端子の出力回路の基本的な構成を示します。ポートの出力ラッチの出力と兼用している SAU, UARTA 機能（UARTA のクロック出力を除く）の出力は AND ゲートに入力されます。AND ゲートの出力は OR ゲートに入力されます。OR ゲートのほかの入力には、兼用している SAU, UARTA 以外の機能（TAU、IICA など）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を**表 4 - 3** に示します。

図4 - 11 端子の出力回路の基本的な構成



注1. POMm レジスタがない場合には、この信号は0と考えてください。

注2. 兼用機能がない場合には、この信号は1と考えてください。

注3. 兼用機能がない場合には、この信号は0と考えてください。

注4. UARTAのクロック出力を除く

注5. UARTAのクロック出力を含む

備考 m：ポート番号（m = 0-7, 12-14）、n：ビット番号（n = 0-7）

表4 - 3 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU, UARTAの出力機能注1	SAU, UARTA以外の出力機能注2
ポート出力機能	ー	出力はハイ・レベル	出力はロウ・レベル
SAU, UARTAの出力機能注1	ハイ・レベル	出力はハイ・レベル	出力はロウ・レベル
SAU, UARTA以外の出力機能注2	ロウ・レベル	Don't care	出力はロウ・レベル注3

注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注3. 1つの端子にSAU, UARTA以外の出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はロウ・レベルにしておく必要があります。また、1つの端子にSAUとUARTAの出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はハイ・レベルにしておく必要があります。具体的な設定方法については、**4.5.2 出力機能を使用しない兼用機能のレジスタ設定**を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺 I/O リダイレクト機能の対象になっている場合には、周辺 I/O リダイレクション・レジスタ（PIORx）を設定することで、出力をほかの端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能やほかの兼用機能を使用することが可能となります。

(1) SOp = 1／TxDq = 1（SAUのシリアル出力（SOp／TxDq）を使用しない場合の設定）
SAUをシリアル入力のみで使用するなど、シリアル出力（SOp／TxDq）を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットに0（出力禁止）を設定し、シリアル出力レジスタm（SOm）のSOmnビットに1（ハイ・レベル出力）を設定してください。これは初期状態と同じ設定です。

(2) SCKp = 1／SDAr = 1／SCLr = 1（SAUのチャネルnを使用しない場合の設定）
SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）に0（動作停止状態）を設定し、使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットに0（出力禁止）を設定し、シリアル出力レジスタm（SOm）のSOmnビットとCKOmnビットに1（ハイ・レベル出力）を設定してください。これは初期状態と同じ設定です。

(3) TOmn = 0（TAUのチャネルnの出力を使用しない場合の設定）
TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットに0（出力禁止）、タイマ出力レジスタ0（TO0）のビットに0（ロウ・レベル出力）を設定してください。これは初期状態と同じ設定です。

(4) SDAAn = 0／SCLAn = 0（IICAを使用しない場合の設定）
IICAを使用しない場合は、IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) TxDAn = 1／CLKAn = 0（UARTAを使用しない場合の設定）
UARTAを使用しない場合の設定は、動作モード設定レジスタn0（ASIMAn0）のUARTAENn, TXEAn, RXEAnビットを0（動作禁止）に設定してください。これは初期状態と同じ設定です。

備考 p：CSI番号（p = 00, 01, 10, 11, 20, 21）、q：UART番号（q = 0-2）、
r：IIC番号（r = 00, 01, 10, 11, 20, 21）、n：UARTA番号（n = 0）

4.5.3 ポートの各レジスタ設定と端子状態

表 4 - 4 にポートの各レジスタ設定と端子状態を示します。

表4 - 4 ポートのレジスタの設定値と端子状態の関係

PMCAxx	PMxx	Pxx	PUxx	端子状態
1	×	×	×	アナログ入力／出力
0	1	×	1	プルアップ
0	1	×	0	Hi-Z
0	0	1	×	ポート出力（ハイ・レベル）
0	0	0	×	ポート出力（ロウ・レベル）

備考 ×：Don’t care

4.5.4 使用するポート機能および兼用機能のレジスタ設定例

表 4 - 5 に使用するポート機能および兼用機能のレジスタ設定例を示します。ポート機能を制御するレジスタを**表 4 - 5** のように設定してください。なお、表記については次の備考を参照してください。

注意 レジスタ設定例では、ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）は入力バッファの入力許可の設定です。

備考 －：対象外
×：Don’t care
PIORx：周辺 I/O リダイレクション・レジスタ
POMxx：ポート出力モード・レジスタ
PMCAxx：ポート・モード・コントロール A・レジスタ
PMxx：ポート・モード・レジスタ
Pxx：ポートの出力ラッチ
（ ）内の機能は、周辺 I/O リダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (1/17)

端子名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力						SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P00	P00	入力	–	×	0注1	1	×	×	–	○	○	○	○	○
		出力	–	0	0注1	0	0/1	TxD1 = 1 (TxD1) = 1注3 TxDA0 = 1 (TxDA0) = 1注4	–					
		N-ch O.D.出力	–	1	0注1	0	0/1							
	ANI17	アナログ入力	–	×	1	1	×	×	–	○	○	×	×	×
	TI00	入力	–	×	0注1	1	×	×	–	○	○	○	○	○
	TxD1	出力	–	0/1	0注1	0	1	TxDA0 = 1注1 (TxDA0) = 1注5	–	○	○	○	○	×
	(TxD1)	出力	PIOR13 = 1	0/1	0注1	0	1	(TxDA0) = 1注3	–	×	×	×	×	○
	TxDA0	出力	PIOR17 = 0 PIOR16 = 0注2	0/1	0注1	0	1	TxD1 = 1注1	–	○	○	×	×	×
	(TxDA0)	出力	PIOR17 = 1 PIOR16 = 0	0/1	0注1	0	1	TxD1 = 1注5 (TxD1) = 1注3	–	×	×	○	○	○
P01	P01	入力	–	–	0注1	1	×	–	×	○	○	○	○	○
		出力	–	–	0注1	0	0/1	–	TO00 = 0					
	ANI16	アナログ入力	–	–	1	1	×	–	×	○	○	×	×	×
	TO00	出力	–	–	0注1	0	0	–	×	○	○	○	○	○
	RxD1	入力	–	–	0注1	1	×	–	×	○	○	○	○	×
	(RxD1)	入力	PIOR13 = 1	–	0注1	1	×	–	×	×	×	×	×	○
	RxDA0	入力	PIOR17 = 0 PIOR16 = 0注2	–	0注1	1	×	–	×	○	○	×	×	×
	(RxDA0)	入力	PIOR17 = 1 PIOR16 = 0	–	0注1	1	×	–	×	×	×	○	○	○
P02	P02	入力	–	×	0	1	×	×	–	×	×	×	×	○
		出力	–	0	0	0	0/1	TxD1/ SO10 = 1	–					
		N-ch O.D.出力	–	1	0	0	0/1							
	ANI17	アナログ入力	–	×	1	1	×	×	–	×	×	×	×	○
	TxD1	出力	PIOR13 = 0	0/1	0	0	1	×	–	×	×	×	×	○
	SO10	出力	PIOR13 = 0	0/1	0	0	1	×	–	×	×	×	×	○
P03	P03	入力	–	×	0	1	×	×	–	×	×	×	×	○
		出力	–	0	0	0	0/1	SDA10 = 1	–					
		N-ch O.D.出力	–	1	0	0	0/1							
	ANI16	アナログ入力	–	×	1	1	×	×	–	×	×	×	×	○
	SI10	入力	PIOR13 = 0	×	0	1	×	×	–	×	×	×	×	○
	RxD1	入力	PIOR13 = 0	×	0	1	×	×	–	×	×	×	×	○
	SDA10	入出力	PIOR13 = 0	1	0	0	1	×	–	×	×	×	×	○

注1. 20, 32ピン製品のみ

注2. 32ピン製品のみ

注3. 64ピン製品のみ

注4. 44～64ピン製品のみ

注5. 44, 48ピン製品のみ

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (2/17)

端子名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力						SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P04	P04	入力	—	×	—	1	×	×	—	×	×	×	×	○
		出力	—	0	—	0	0/1	SCK10/ SCL10 = 1	—					
		N-ch O.D.出力	—	1	—	0	0/1							
	SCK10	入力	PIOR13 = 0	×	—	1	×	×	—	×	×	×	×	○
		出力	PIOR13 = 0	0/1	—	0	1	×	—					
	SCL10	出力	PIOR13 = 0	0/1	—	0	1	×	—	×	×	×	×	○
P05	P05	入力	—	—	—	1	×	—	×	×	×	×	×	○
		出力	—	—	—	0	0/1	—	TO05 = 0					
	TI05	入力	PIOR00 = 0	—	—	1	×	—	×	×	×	×	×	○
	TO05	出力	PIOR00 = 0	—	—	0	0	—	×	×	×	×	×	○
P06	P06	入力	—	—	—	1	×	—	×	×	×	×	×	○
		出力	—	—	—	0	0/1	—	TO06 = 0 CLKA0 = 0					
	TI06	入力	PIOR00 = 0	—	—	1	×	—	×	×	×	×	×	○
	TO06	出力	PIOR00 = 0	—	—	0	0	—	CLKA0 = 0	×	×	×	×	○
	CLKA0	出力	—	—	—	0	0	—	TO06 = 0	×	×	×	×	○

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (3/17)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P10	P10	入力	–	×	1	×	×	×	○	○	○	○	○
		出力	–	0	0	0/1	SCK00/SCL00 = 1	(TO07) = 0注1 TO07 = 0注2					
		N-ch O.D.出力	–	1	0	0/1							
	SCK00	入力	PIOR01 = 0注1	×	1	×	×	×	○	○	○	○	○
		出力	PIOR01 = 0注1	0/1	0	1	×	(TO07) = 0注1 TO07 = 0注2					
	SCL00	出力	PIOR01 = 0注1	0/1	0	1	×	(TO07) = 0注1 TO07 = 0注2	○	○	○	○	○
	(TI07)	入力	PIOR00 = 1	×	1	×	×	×	×	○	○	○	○
	(TO07)	出力	PIOR00 = 1	0	0	0	×	×	×	○	○	○	○
	TI07	入力	–	×	1	×	×	×	○	×	×	×	×
	TO07	出力	–	0	0	0	×	×	○	×	×	×	×
P11	P11	入力	–	×	1	×	×	×	○	○	○	○	○
		出力	–	0	0	0/1	SDA00 = 1	(TO06) = 0注1 TO06 = 0注2					
		N-ch O.D.出力	–	1	0	0/1							
	SI00	入力	PIOR01 = 0注1	×	1	×	×	×	○	○	○	○	○
	RxD0	入力	PIOR01 = 0注1	×	1	×	×	×	○	○	○	○	○
	SDA00	入出力	PIOR01 = 0注1	1	0	1	×	(TO06) = 0注1 TO06 = 0注2	○	○	○	○	○
	(TI06)	入力	PIOR00 = 1	×	1	×	×	×	×	○	○	○	○
	(TO06)	出力	PIOR00 = 1	0	0	0	×	×	×	○	○	○	○
	TI06	入力	–	×	1	×	×	×	○	×	×	×	×
	TO06	出力	–	0	0	0	×	×	○	×	×	×	×
P12	P12	入力	–	×	1	×	×	×	○	○	○	○	○
		出力	–	0	0	0/1	SO00/TxD0 = 1	(TO05) = 0注1 TO05 = 0注2					
		N-ch O.D.出力	–	1	0	0/1							
	SO00	出力	PIOR01 = 0注1	0/1	0	1	×	(TO05) = 0注1 TO05 = 0注2	○	○	○	○	○
	TxD0	出力	PIOR01 = 0注1	0/1	0	1	×	(TO05) = 0注1 TO05 = 0注2	○	○	○	○	○
	(INTP5)	入力	PIOR04 = 1	×	1	×	×	×	×	×	×	×	○
	(TI05)	入力	PIOR00 = 1	×	1	×	×	×	×	○	○	○	○
	(TO05)	出力	PIOR00 = 1	0	0	0	×	×	×	○	○	○	○
	TI05	入力	–	×	1	×	×	×	○	×	×	×	×
	TO05	出力	–	0	0	0	×	×	○	×	×	×	×

注1. 32～64ピン製品のみ

注2. 20ピン製品のみ

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (4/17)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P13	P13	入力	–	×	1	×	×	×	×	○	○	○	○
		出力	–	0	0	0/1	TxD2/SO20 = 1	(TO04) = 0 (SDAA0) = 0					
		N-ch O.D.出力	–	1	0	0/1							
	TxD2	出力	PIOR15 = 0 PIOR14 = 0	0/1	0	1	×	(TO04) = 0 (SDAA0) = 0	×	○	○	○	○
	SO20	出力	PIOR15 = 0 PIOR14 = 0	0/1	0	1	×	(TO04)= 0 (SDAA0)= 0	×	○	○	○	○
	(SDAA0)	入出力	PIOR02 = 1	1	0	0	×	(TO04) = 0	×	○	○	○	○
	(TI04)	入力	PIOR00 = 1	×	1	×	×	×	×	○	○	○	○
	(TO04)	出力	PIOR00 = 1	0	0	0	×	(SDAA0) = 0	×	○	○	○	○
P14	P14	入力	–	×	1	×	×	×	×	○	○	○	○
		出力	–	0	0	0/1	SDA20 = 1	(TO03) = 0 (SCLA0) = 0					
		N-ch O.D.出力	–	1	0	0/1							
	RxD2	入力	PIOR15 = 0 PIOR14 = 0	×	1	×	×	×	×	○	○	○	○
	SI20	入力	PIOR15 = 0 PIOR14 = 0	×	1	×	×	×	×	○	○	○	○
	SDA20	入出力	PIOR15 = 0 PIOR14 = 0	1	0	1	×	(TO03) = 0 (SCLA0) = 0	×	○	○	○	○
	(SCLA0)	入出力	PIOR02 = 1	1	0	0	×	(TO03) = 0	×	○	○	○	○
	(TI03)	入力	PIOR00 = 1	×	1	×	×	×	×	○	○	○	○
	(TO03)	出力	PIOR00 = 1	0	0	0	×	(SCLA0) = 0	×	○	○	○	○
P15	P15	入力	–	×	1	×	×	×	×	○	○	○	○
		出力	–	0	0	0/1	SCK20/SCL20 = 1	(TO02) = 0					
		N-ch O.D.出力	–	1	0	0/1							
	SCK20	入力	PIOR15 = 0 PIOR14 = 0	×	1	×	×	×	×	○	○	○	○
		出力	PIOR15 = 0 PIOR14 = 0	0/1	0	1	×	(TO02) = 0					
	SCL20	出力	PIOR15 = 0 PIOR14 = 0	0/1	0	1	×	(TO02) = 0	×	○	○	○	○
	(TI02)	入力	PIOR00 = 1	×	1	×	×	×	×	○	○	○	○
	(TO02)	出力	PIOR00 = 1	0	0	0	×	×	×	○	○	○	○

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (5/17)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P16	P16	入力	–	–	1	×	×	×	○	○	○	○	○
		出力	–	–	0	0/1	SO11 = 1注2	TO01 = 0					
	TI01	入力	–	–	1	×	×	×	○	○	○	○	○
	TO01	出力	–	–	0	0	×	×	○	○	○	○	○
	INTP5	入力	PIOR04 = 0注1	–	1	×	×	×	○	○	○	○	○
	(SI00)	入力	PIOR01 = 1	–	1	×	×	×	×	×	×	×	○
	(RxD0)	入力	PIOR01 = 1	–	1	×	×	×	×	○	○	○	○
	SO11	出力	–	–	0	1	×	TO01 = 0注2	○	×	×	×	×
P17	P17	入力	–	×	×	×	×	×	○	○	○	○	○
		出力	–	0	0	0/1	(TxD0) = 1 (SO00) = 1注1 SDA11 = 1注2	TO02 = 0					
		N-ch O.D.出力	–	1	0	0/1							
	TI02	入力	PIOR00 = 0	×	1	×	×	×	○	○	○	○	○
	TO02	出力	PIOR00 = 0	0	0	0	×	×	○	○	○	○	○
	(TxD0)	出力	PIOR01 = 1	0/1	0	1	×	TO02 = 0注3	×	○	○	○	○
	(SO00)	出力	PIOR01 = 1	0/1	0	1	×	TO02 = 0注1	×	×	×	×	○
	SI11	入力	–	×	1	×	×	×	○	×	×	×	×
	SDA11	入出力	–	×	0	1	×	TO02 = 0注2	○	×	×	×	×

注1. 64ピン製品のみ

注2. 20ピン製品のみ

注3. 32～64ピン製品のみ

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (6/17)

端子名称	使用機能		PMCAxx	PMxx	Pxx	20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力								
P20	P20	入力	0	1	×	○	○	○	○	○
		出力	0	0	0/1					
	ANI0	アナログ入力	1	1	×	○	○	○	○	○
	AVREFP	基準電圧	1	1	×	○	○	○	○	○
P21	P21	入力	0	1	×	○	○	○	○	○
		出力	0	0	0/1					
	ANI1	アナログ入力	1	1	×	○	○	○	○	○
	AVREFM	基準電圧	1	1	×	○	○	○	○	○
P22	P22	入力	0	1	×	○	○	○	○	○
		出力	0	0	0/1					
	ANI2	アナログ入力	1	1	×	○	○	○	○	○
P23	P23	入力	0	1	×	×	○	○	○	○
		出力	0	0	0/1					
	ANI3	アナログ入力	1	1	×	×	○	○	○	○
P24	P24	入力	0	1	×	×	×	○	○	○
		出力	0	0	0/1					
	ANI4	アナログ入力	1	1	×	×	×	○	○	○
P25	P25	入力	0	1	×	×	×	○	○	○
		出力	0	0	0/1					
	ANI5	アナログ入力	1	1	×	×	×	○	○	○
P26	P26	入力	0	1	×	×	×	○	○	○
		出力	0	0	0/1					
	ANI6	アナログ入力	1	1	×	×	×	○	○	○
P27	P27	入力	0	1	×	×	×	○	○	○
		出力	0	0	0/1					
	ANI7	アナログ入力	1	1	×	×	×	○	○	○

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (7/17)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P30	P30	入力	–	–	1	×	×	×	○	○	○	○	○
		出力	–	–	0	0/1	SCK11/SCL11 = 1	×					
	INTP3	入力	–	–	1	×	×	×	○	○	○	○	○
	SCK11	入力	–	–	1	×	×	×	○	○	○	○	○
		出力	–	–	0	1	×	×					
	SCL11	出力	–	–	0	1	×	×	○	○	○	○	○
P31	P31	入力	–	×	1	×	–	×	×	○	○	○	○
		出力	–	0	0	0/1	(TxDA0) =1注2	TO03 = 0					
		N-ch O.D.出力	–	1	0	0/1							
	TI03	入力	PIOR00 = 0	×	1	×	×	×	×	○	○	○	○
	TO03	出力	PIOR00 = 0	0	0	0	×	×	×	○	○	○	○
	INTP4	入力	–	×	1	×	×	×	×	○	○	○	○
	(TxDA0)	出力	PIOR17 = 0 PIOR16 = 1	0/1	0	1	×	TO03 = 0注2	×	○	×	×	×
P33	P33	入力	–	×	1	×	×	×	×	×	○	○	○
		出力	–	0	0	0/1	(TxDA0) = 1	×					
		N-ch O.D.出力	–	1	0	0/1							
	(TxDA0)	出力	PIOR17 = 1 PIOR16 = 1	0/1	0	1	×	×	×	×	○	○	○
P34	P34	入力	–	–	1	×	–	–	×	○	○	○	○
		出力	–	–	0	0/1	–	–					
	(RxDA0)	入力	PIOR17 = 1 PIOR16 = 1注1 PIOR17 = 0 PIOR16 = 1注2	–	1	×	–	–	×	○	○	○	○

注1. 44～64ピン製品のみ

注2. 32ピン製品のみ

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (8/17)

端子名称	使用機能		PIORx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力				SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P40	P40	入力	–	1	×	–	–	○	○	○	○	○
		出力	–	0	0/1	–	–					
P41	P41	入力	–	1	×	–	×	×	×	○	○	○
		出力	–	0	0/1	–	TO07 = 0					
	TI07	入力	PIOR00 = 0	1	×	–	×	×	×	○	○	○
	TO07	出力	PIOR00 = 0	0	0	–	×	×	×	○	○	○
P42	P42	入力	–	1	×	–	×	×	×	×	×	○
		出力	–	0	0/1	–	TO04 = 0					
	TI04	入力	PIOR00 = 0	1	×	–	×	×	×	×	×	○
	TO04	出力	PIOR00 = 0	0	0	–	×	×	×	×	×	○
P43	P43	入力	–	1	×	–	–	×	×	×	×	○
		出力	–	0	0/1	–	–					

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (9/17)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P50	P50	入力	–	×	1	×	×	–	×	○	○	○	○
		出力	–	0	0	0/1	SDA11 = 1	–					
		N-ch O.D.出力	–	1	0	0/1							
	INTP1	入力	–	×	1	×	×	–	×	○	○	○	○
	SI11	入力	–	×	1	×	×	–	×	○	○	○	○
	SDA11	入出力	–	1	0	1	×	–	×	○	○	○	○
	(RxD2)	入力	PIOR15 = 1 PIOR14 = 0	×	1	×	×	–	×	○	○	○	○
P51	P51	入力	–	×	1	×	×	–	×	○	○	○	○
		出力	–	0	0	0/1	SO11 = 1 (TxD2) = 1	–					
		N-ch O.D.出力	–	1	0	0/1							
	INTP2	入力	–	×	1	×	×	–	×	○	○	○	○
	SO11	出力	–	0/1	0	1	(TxD2) = 1	–	×	○	○	○	○
	(TxD2)	出力	PIOR15 = 1 PIOR14 = 0	0/1	0	1	SO11 = 1	–	×	○	○	○	○
P52	P52	入力	–	–	1	×	–	–	×	×	×	×	○
		出力	–	–	0	0/1	–	–					
	(INTP10)	入力	PIOR01 = 1	–	1	×	–	–	×	×	×	×	○
P53	P53	入力	–	–	1	×	–	–	×	×	×	×	○
		出力	–	–	0	0/1	–	–					
	(INTP11)	入力	PIOR01 = 1	–	1	×	–	–	×	×	×	×	○
P54	P54	入力	–	–	1	×	–	–	×	×	×	×	○
		出力	–	–	0	0/1	–	–					
P55	P55	入力	–	×	1	×	×	×	×	×	×	×	○
		出力	–	0	0	0/1	(SCK00) = 1	×					
		N-ch O.D.出力	–	1	0	0/1							
	(SCK00)	入力	PIOR01 = 1	×	1	×	×	×	×	×	×	×	○
		出力	PIOR01 = 1	0/1	0	1	×	×					

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (10/17)

端子名称	使用機能		PIORx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力				SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P60	P60	入力	–	1	×	–	×	×	○	○	○	○
		N-ch O.D.出力[6 V耐圧]	–	0	0/1	–	SCLA0 = 0					
	SCLA0	入出力	PIOR02 = 0	0	0	–	×	×	○	○	○	○
P61	P61	入力	–	1	×	–	×	×	○	○	○	○
		N-ch O.D.出力[6 V耐圧]	–	0	0/1	–	SDAA0 = 0					
	SDAA0	入出力	PIOR02 = 0	0	0	–	×	×	○	○	○	○

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (11/17)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P70	P70	入力	–	–	1	×	×	–	×	○	○	○	○
		出力	–	–	0	0/1	SCK21/SCL21 = 1 注1	–					
	KR0	入力	–	–	1	×	×	–	×	×	○	○	○
	SCK21	入力	–	–	1	×	×	–	×	×	○	○	○
		出力	–	–	0	1	×	–					
	SCL21	出力	–	–	0	1	×	–	×	×	○	○	○
P71	P71	入力	–	×	1	×	×	–	×	×	○	○	○
		出力	–	0	0	0/1	SDA21 = 1	–					
		N-ch O.D.出力	–	1	0	0/1							
	KR1	入力	–	×	1	×	×	–	×	×	○	○	○
	SI21	入力	–	×	1	×	×	–	×	×	○	○	○
	SDA21	入出力	–	1	0	1	×	–	×	×	○	○	○
	RxDA0	入力	PIOR17 = 0 PIOR16 = 0	×	1	×	×	–	×	×	○	○	○
P72	P72	入力	–	×	1	×	×	–	×	×	○	○	○
		出力	–	0	0	0/1	SO21 = 1 TxDA0 = 1	–					
		N-ch O.D.出力	–	1	0	0/1							
	KR2	入力	–	×	1	×	×	–	×	×	○	○	○
	SO21	出力	–	0/1	0	1	TxDA0 = 1	–	×	×	○	○	○
	TxDA0	出力	PIOR17 = 0 PIOR16 = 0	0/1	0	1	SO21 = 1	–	×	×	○	○	○
P73	P73	入力	–	–	1	×	×	–	×	×	○	○	○
		出力	–	–	0	0/1	SO01 = 1 注2	–					
	KR3	入力	–	–	1	×	×	–	×	×	○	○	○
	SO01	出力	–	–	0	1	×	–	×	×	×	○	○
P74	P74	入力	–	×	1	×	×	–	×	×	×	○	○
		出力	–	0	0	0/1	SDA01 = 1	–					
		N-ch O.D.出力	–	1	0	0/1							
	KR4	入力	–	×	1	×	×	–	×	×	×	○	○
	INTP8	入力	PIOR11 = 0	×	1	×	×	–	×	×	×	○	○
	SI01	入力	–	×	1	×	×	–	×	×	×	○	○
	SDA01	入出力	–	1	0	1	×	–	×	×	×	○	○

注1. 44～64ピン製品のみ

注2. 48, 64ピン製品のみ

備考 N-ch O.D.：N-chオープン・ドレイン

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (12/17)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P75	P75	入力	–	–	1	×	SCK01/SCL01 = 1	–	×	×	×	○	○
		出力	–	–	0	0/1	SCK01/SCL01 = 1	–					
	KR5	入力	–	–	1	×	×	–	×	×	×	○	○
	INTP9	入力	PIOR12 = 0	–	1	×	×	–	×	×	×	○	○
	SCK01	入力	–	–	1	×	×	–	×	×	×	○	○
		出力	–	–	0	1	×	–					
	SCL01	出力	–	–	0	1	×	–	×	×	×	○	○
P76	P76	入力	–	–	1	×	–	–	×	×	×	×	○
		出力	–	–	0	0/1	–	–					
	KR6	入力	–	–	1	×	–	–	×	×	×	×	○
	INTP10	入力	PIOR01 = 0	–	1	×	–	–	×	×	×	×	○
	(RxD2)	入力	PIOR15 = 1 PIOR14 = 1	–	1	×	–	–	×	×	×	×	○
P77	P77	入力	–	–	1	×	×	–	×	×	×	×	○
		出力	–	–	0	0/1	(TxD2) = 1	–					
	KR7	入力	–	–	1	×	×	–	×	×	×	×	○
	INTP11	入力	PIOR01 = 0	–	1	×	×	–	×	×	×	×	○
	(TxD2)	出力	PIOR15 = 1 PIOR14 = 1	–	0	1	×	–	×	×	×	×	○

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (13/17)

端子名称	使用機能		PMCAxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力				SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P120	P120	入力	0	1	×	–	–	×	○	○	○	○
		出力	0	0	0/1	–	–					
	ANI19	アナログ入力	1	1	×	–	–	×	○	○	○	○

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (14/17)

端子名称	使用機能		CMC	PIORx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力	EXCLK, OSCSEL				SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P121	P121	入力	00B/10B/11B	—	1	×	×	—	○	○	○	○	○
		出力		—	0	0/1	TxD2 = 1 注1 (TxD2) = 1 注2	—					
	X1	—	01B	—	1	×	×	—	○	○	○	○	○
	(INTP8)	入力	00B/10B/11B	PIOR11 = 1	1	×	×	—	×	×	×	○	○
	INTP8	入力	00B/10B/11B	—	1	×	×	—	○	○	○	×	×
	(TxD2)	出力	00B/10B/11B	PIOR15 = 0 PIOR14 = 1	0	1	×	—	×	○	○	○	○
	TxD2	出力	00B/10B/11B	—	0	1	×	—	○	×	×	×	×
P122	P122	入力	00B/10B	—	1	×	—	—	○	○	○	○	○
		出力		—	0	0/1	—	—					
	X2	—	01B	—	1	×	—	—	○	○	○	○	○
	EXCLK	入力	11B	—	1	×	—	—	○	○	○	○	○
	(INTP6)	入力	00B/10B	PIOR10 = 1	1	×	—	—	×	×	×	○	○
	INTP6	入力	00B/10B	—	1	×	—	—	○	○	○	×	×
	(RxD2)	入力	00B/10B	PIOR15 = 0 PIOR14 = 1	1	×	—	—	○	○	○	○	○
	RxD2	入力	00B/10B	—	1	×	—	—	○	×	×	×	×

注1. 20ピン製品のみ

注2. 32～64ピン製品のみ

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (15/17)

端子名称	使用機能		PIORx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力				SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P123	P123	入力	—	1	×	×	—	×	×	○	○	○
		出力	—	0	0/1	(TxDA0) = 1	—					
	(TxDA0)	出力	PIOR17 = 0 PIOR16 = 1	1	1	×	—	×	×	○	○	○
P124	P124	入力	—	1	×	—	—	×	×	○	○	○
		出力	—	0	0/1	—	—					
	(RxDA0)	入力	PIOR17 = 0 PIOR16 = 1	1	×	—	—	×	×	○	○	○
P125	P125	入力	—	1	×	—	—	○	○	○	○	○
		出力	—	0	0/1	—	—					
	$\overline{\text{RESET}}$	入力	—	1	×	—	—	○	○	○	○	○
	INTP9	入力	—	1	×	—	—	○	○	○	×	×
	(INTP9)	入力	PIOR12 = 1	1	×	—	—	×	×	×	○	○

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (16/17)

端子名称	使用機能		PMxx	Pxx	20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力							
P130	P130	出力	—	0/1	×	×	×	○	○
P137	P137	入力	—	×	○	○	○	○	○
	INTP0	入力	—	×	○	○	○	○	○

表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (17/17)

端子名称	使用機能		PIORx	PMCAxx	PMxx	Pxx	兼用機能出力		20ピン	32ピン	44ピン	48ピン	64ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）					
P140	P140	入力	–	–	1	×	–	–	×	×	×	○	○
		出力	–	–	0	0/1	–	–					
	INTP6	入力	PIOR10 = 0	–	1	×	–	–	×	×	×	○	○
P141	P141	入力	–	–	1	×	–	–	×	×	×	×	○
		出力	–	–	0	0/1	–	–					
	INTP7	入力	–	–	1	×	–	–	×	×	×	×	○
P146	P146	入力	–	–	1	×	–	–	×	×	○	○	○
		出力	–	–	0	0/1	–	–					
P147	P147	入力	–	0	1	×	–	–	○	○	○	○	○
		出力	–	0	0	0/1	–	–					
	ANI18	アナログ入力	–	1	1	×	–	–	○	○	○	○	○

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ（Pxx）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して 1 ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

（例）P10 は出力ポート、P11-P17 は入力ポート（端子状態はすべてハイ・レベル）で、かつポート 1 の出力ラッチの値が 00H のとき、出力ポート P10 の出力を 1 ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート 1 の出力ラッチの値は、FFH になります。

説明：PMmn = 1 であるポートの Pxx レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1 ビット・メモリ操作命令は本製品内部で、次の順序で行われます。

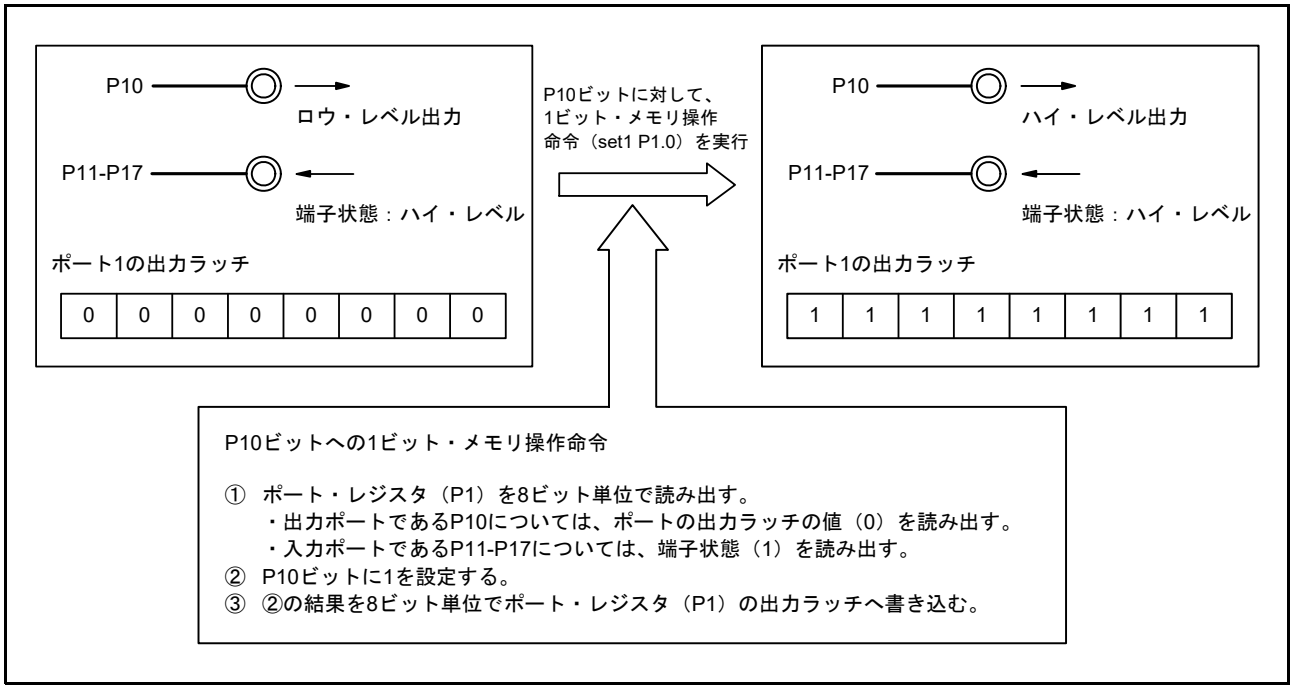
① Pxx レジスタを 8 ビット単位で読み出し
② 対象の 1 ビットを操作
③ Pxx レジスタへ 8 ビット単位で書き込み

①のとき、出力ポートである P10 は出力ラッチの値（0）を読み出し、入力ポートである P11-P17 は端子状態を読み出します。このとき P11-P17 の端子状態が“ハイ・レベル”とすると、読み出し値は FEH となります。

②の操作で、値は FFH となります。

③の操作で、出力ラッチに FFH が書き込まれます。

図4 - 12 1ビット・メモリ操作命令（P10の場合）



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺 I/O リダイレクション・レジスタ（PIORx）の設定により、割り当てられた機能も同様です。兼用出力については、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では、兼用機能の出力が無効（バッファ出力が Hi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章　オペレーション・ステート・コントロール

内部回路の動作電圧、動作タイミング、動作電流は、フラッシュ動作モードによって最適化されます。マイコンの動作電圧範囲やクロック周波数にあわせて、適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後、レジスタの設定によりフラッシュ動作モードを変更できます。

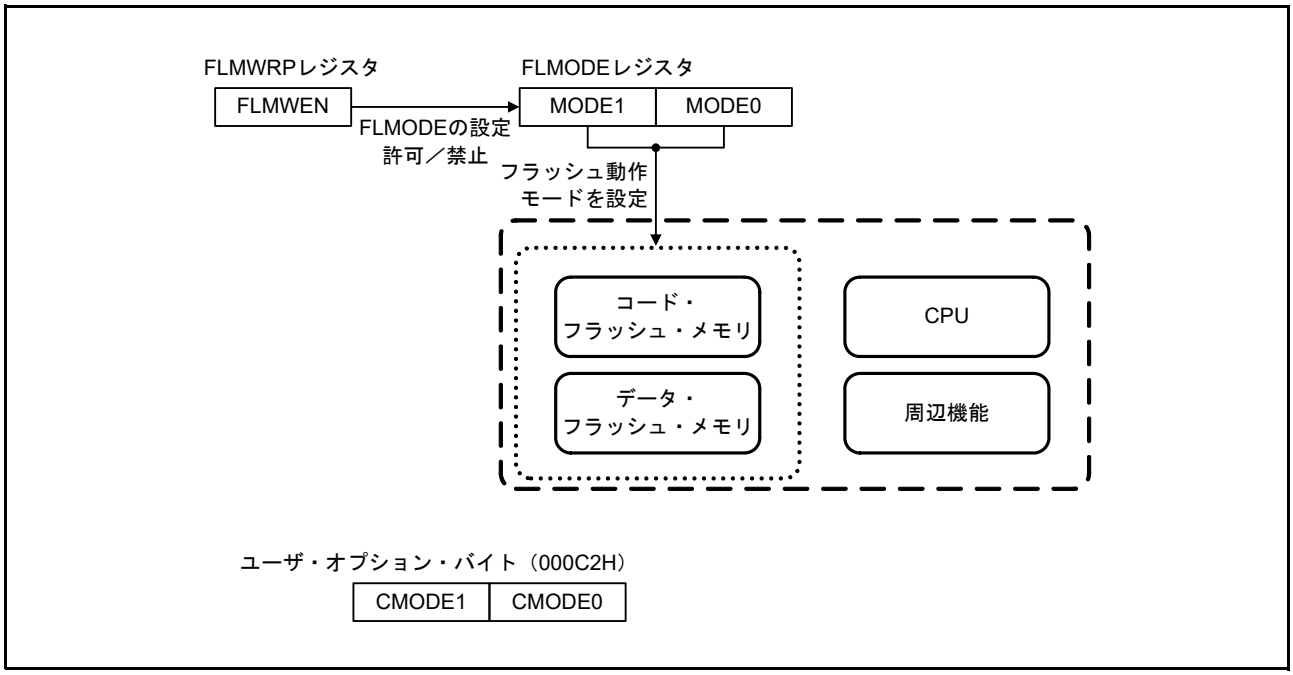
5.1　オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは、次のハードウェアで構成されています。

表5 - 1　　オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	• ユーザ・オプション・バイト アドレス：000C2H
制御レジスタ	• フラッシュ動作モード選択レジスタ（FLMODE） • フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

図5 - 1　　オペレーション・ステート・コントロールの概略図



フラッシュ動作モードは、以下の 4 つのモードがあります。

- HS（高速メイン）モード
- LS（低速メイン）モード
- LP（低電力メイン）モード
- SUBモード

マイコンの動作環境にあわせてこれらのフラッシュ動作モードを設定することにより、効率よくマイコンを動作させることができます。**表 5 - 2** に各フラッシュ動作モードの特長を示します。

表5 - 2　　各フラッシュ動作モードの特長

フラッシュ動作モード	推奨動作範囲		説明
HS（高速メイン）モード	1.6～1.8 V	1～4 MHz （フラッシュ書き換え不可）	CPUの高速動作（32 MHz (Max.)）が可能なモードです。 CPUの処理能力が必要な場合に最適です。
	1.8～5.5 V	1～32 MHz	
LS（低速メイン）モード	1.6～1.8 V	1～4 MHz （フラッシュ書き換え不可）	動作電流とCPUの演算処理（24 MHz (Max.)）のバランスのとれたモードです。
	1.8～5.5 V	1～24 MHz	
LP（低電力メイン）モード**注1**	1.6～5.5 V	1～2 MHz （フラッシュ書き換え不可）	1～2 MHzで動作するモードです。 1～2 MHzで低動作電流を実現します。
SUBモード	1.6～5.5 V	32.768 kHz （フラッシュ書き換え不可）	サブシステム・クロック**注2**で動作するモードです。 サブシステム・クロックで動作することにより、低動作電流を実現します。

注1. LPモードでは、CPU／周辺ハードウェアクロック（f_{CLK}）に、高速オンチップ・オシレータ・クロック（f_{IH}）のみが選択可能です。

注2. 低速オンチップ・オシレータ・クロック（f_{IL}）で動作可能です。

5.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ（FLMODE）
- フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

5.2.1 フラッシュ動作モード選択レジスタ（FLMODE）

FLMODE レジスタは、フラッシュ動作モードを制御する 8 ビットのレジスタです。

FLMODE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）の FLMWEN ビットが 0 のとき、値を変更することはできません。

リセット発生により、MODE1, MODE0 ビットはユーザ・オプション・バイトの CMODE1, CMODE0 ビット（アドレス：000C2H）に設定した値が反映されます。

図5 - 2 フラッシュ動作モード選択レジスタ（FLMODE）のフォーマット

アドレス ：F00AAH
リセット時：40H/80H/C0H注1
R/W属性 ：R/W

略号	<7>	<6>	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	0	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	設定禁止
0	1	LP（低電力メイン）モード注2 （LSモードで1 MHz≦fCLK≦2 MHzのときに選択可能です。）
1	0	LS（低速メイン）モード （HSモードで1 MHz≦fCLK≦24 MHz、またはLPモードのときに選択可能です。）
1	1	HS（高速メイン）モード （LSモードのときに選択可能です。）

注1. FLMODEレジスタの初期値は、MODE1, MODE0ビットにユーザ・オプション・バイトのCMODE1, CMODE0ビット（アドレス：000C2H）の設定値が反映された値になります。

注2. LPモードでは、CPU／周辺ハードウェアクロック（fCLK）に、高速オンチップ・オシレータ・クロック（fIH）のみが選択可能です。

注意1. FLMODEレジスタは、フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）のFLMWENビットが1のとき、値を変更できます。また、FLMODEレジスタの値を変更したあとはFLMWENビットに0を設定してください。

注意2. システム・クロック制御レジスタ（CKC）のCSSビットが1（CPU／周辺機能がサブシステム・クロック動作）のとき、フラッシュ動作モードはMODE1, MODE0ビットの設定値によらず、SUBモードになります。

注意3. フラッシュ動作モードを変更する場合、変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認したあと、フラッシュ動作モードを変更してください。

（注意は次ページに続きます）

注意4. MODE1, MODE0ビットでフラッシュ動作モードを変更した場合、フラッシュ動作モードが遷移するまで下記の時間CPUはウエイト状態になります。このウエイト期間中の割り込み要求は保留されます。

フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS（低速メイン）モード ⇒ HS（高速メイン）モード	225クロック注
LP（低電力メイン）モード ⇒ LS（低速メイン）モード	10クロック注
LS（低速メイン）モード ⇒ LP（低電力メイン）モード	10クロック注
HS（高速メイン）モード ⇒ LS（低速メイン）モード	30クロック注

注 CPU／周辺ハードウェア・クロック（f_{CLK}）のクロック数

注意5. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後、CPU／周辺ハードウェア・クロック（f_{CLK}）で1クロック以上間を空けてから行ってください。FLMODEレジスタへの連続書き込みはしないでください。

注意6. フラッシュ・メモリの書き換え中にFLMODEレジスタは変更しないでください。

注意7. フラッシュ動作モードを変更する場合、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLENビットを1にセットし、データ・フラッシュ・メモリのアクセス許可の状態で行ってください。

注意8. セルフ・プログラミングでコード・フラッシュ・メモリ領域を書き換える場合とデータ・フラッシュ・メモリ領域を書き換える場合は、必ずHS（高速メイン）モードまたはLS（低速メイン）モードに切り替えたあとに行ってください。

5.2.2 フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

FLMWRP レジスタは、フラッシュ動作モード選択レジスタへのアクセスを制御する 8 ビットのレジスタです。

FLMWRP レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット発生により、00H になります。

図5 - 3 フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）のフォーマット

アドレス ：F00ABH
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	<0>
FLMWRP	0	0	0	0	0	0	0	FLMWEN

FLMWEN	フラッシュ動作モード選択レジスタ（FLMODE）の制御
0	FLMODE レジスタの書き換え禁止
1	FLMODE レジスタの書き換え許可

5.3　フラッシュ動作モードの初期設定

ユーザ・オプション・バイト（000C2H）は、フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時の V_{DD} の電圧と高速オンチップ・オシレータの周波数にあわせて、適切なフラッシュ動作モードを設定してください。

リセット解除時に CMODE1, CMODE0 ビットの値はフラッシュ動作モード選択レジスタ（FLMODE）の MODE1, MODE0 ビットに、FRQSEL3-FRQSEL0 ビットの値は高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）に反映されます。

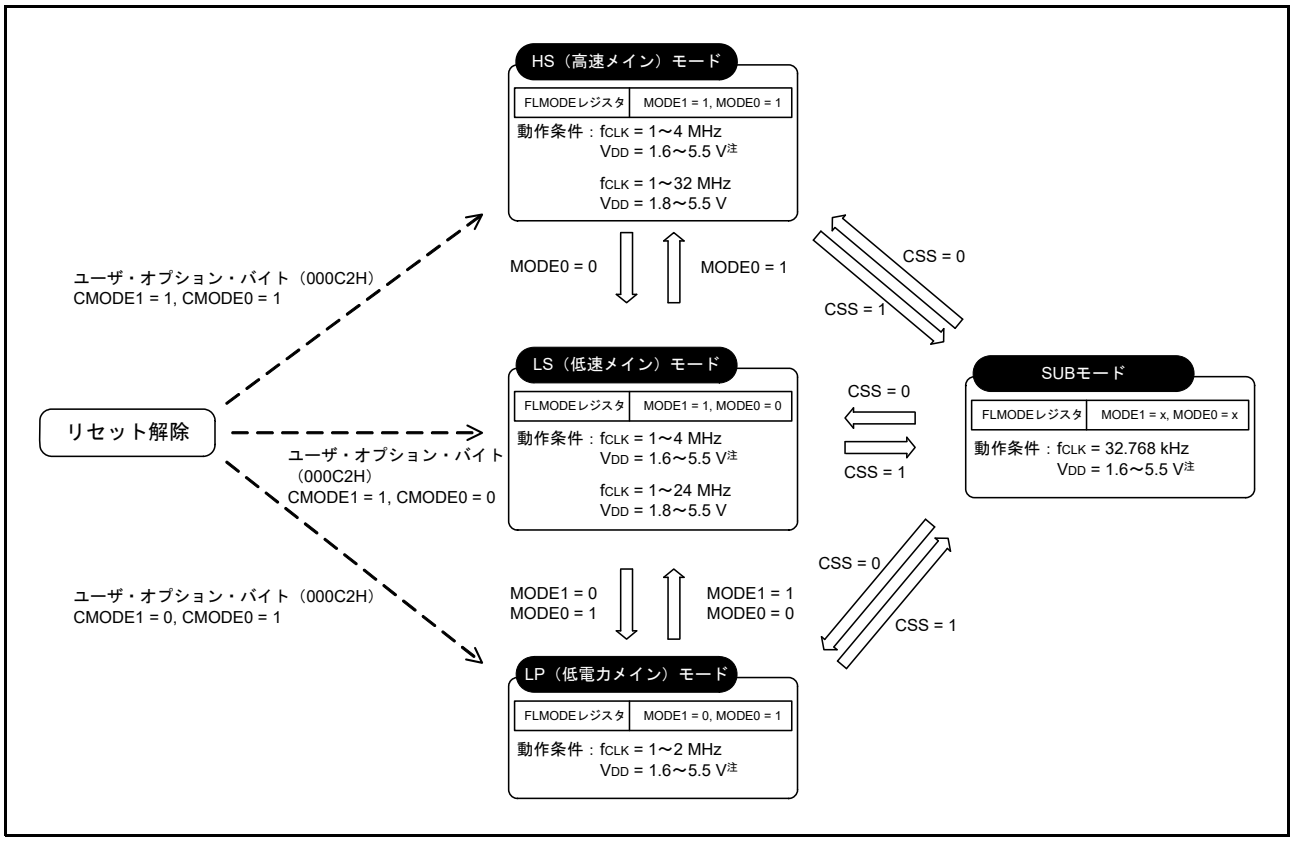
ユーザ・オプション・バイト（000C2H）の詳細は、**第 23 章　オプション・バイト**を参照してください。

5.4　フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは、ユーザ・オプション・バイト（000C2H）の CMODE1, CMODE0 ビットの設定によって、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードを選択することができます。また、CMODE1, CMODE0 ビットの値はフラッシュ動作モード選択レジスタ（FLMODE）の MODE1, MODE0 ビットに反映されます。その後は、CPU 動作中に FLMODE レジスタの値を変更することによって、フラッシュ動作モードを遷移させることができます。

また CKC レジスタの CSS ビットに 1 を設定することによって、SUB モードに自動的に切り替わります。

図5 - 4　　フラッシュ動作モードの状態遷移



注　　フラッシュ・メモリ書き換え不可

注意　**マイコンの動作中にリセットが入った場合、リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。したがって、リセット解除時は、LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲外で動作を開始しないでください。**

5.5 フラッシュ動作モードの詳細

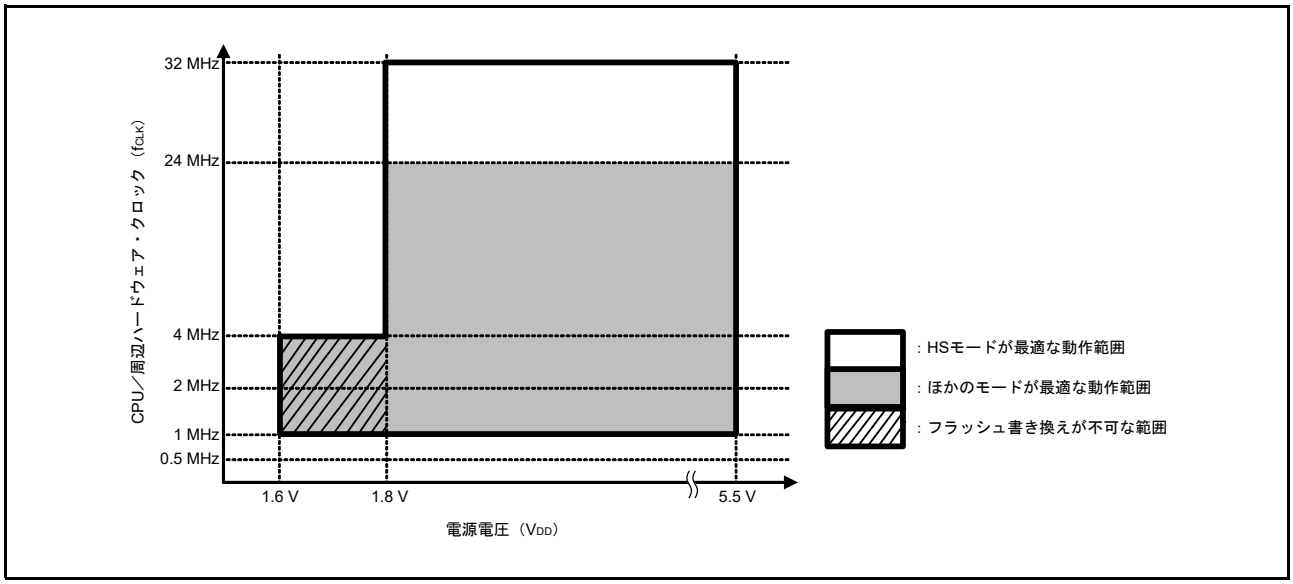
5.5.1 HS（高速メイン）モードの詳細

HS（高速メイン）モードは、CPU の高速処理が必要なアプリケーションに最適なモードです。

HS モードは、リセット解除直後から動作可能です。また、LS（低速メイン）モードから遷移することが可能です。

HS モードの最適動作範囲は、電源電圧が 1.8 V ≦ V_{DD} ≦ 5.5 V、動作周波数が 24 MHz ＜ f_{CLK} ≦ 32 MHz のときです。24 MHz 以下で動作させる場合は、その他のモードが最適なフラッシュ動作モードになります。

図5 - 5 HSモードの動作範囲



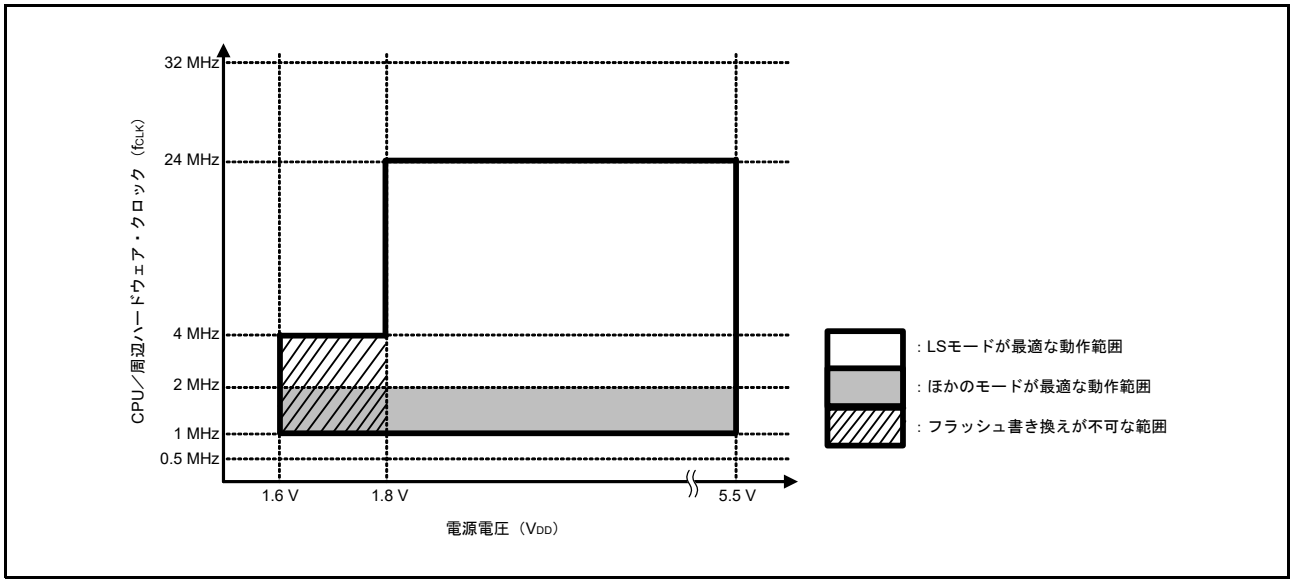
5.5.2 LS（低速メイン）モードの詳細

LS（低速メイン）モードは、CPU の処理能力と動作電力性能を両立しており、2 ～ 24 MHz で低消費電力が必要なアプリケーションに最適なモードです。

LS モードは、リセット解除直後から動作可能です。また、HS（高速メイン）モード、LP（低電力メイン）モードから遷移することが可能です。HS モードから LS モードに遷移する場合、動作周波数が 1 MHz ≦ f_{CLK} ≦ 24 MHz の状態で遷移してください。

LS モードの最適動作範囲は、電源電圧が 1.8 V ≦ V_{DD} ≦ 5.5 V かつ動作周波数が 2 MHz ＜ f_{CLK} ≦ 24 MHz、または電源電圧が 1.6 V ≦ V_{DD} ＜ 1.8 V かつ動作周波数が 2 MHz ＜ f_{CLK} ≦ 4 MHz のときです。

図5 - 6 LSモードの動作範囲



5.5.3 LP（低電力メイン）モードの詳細

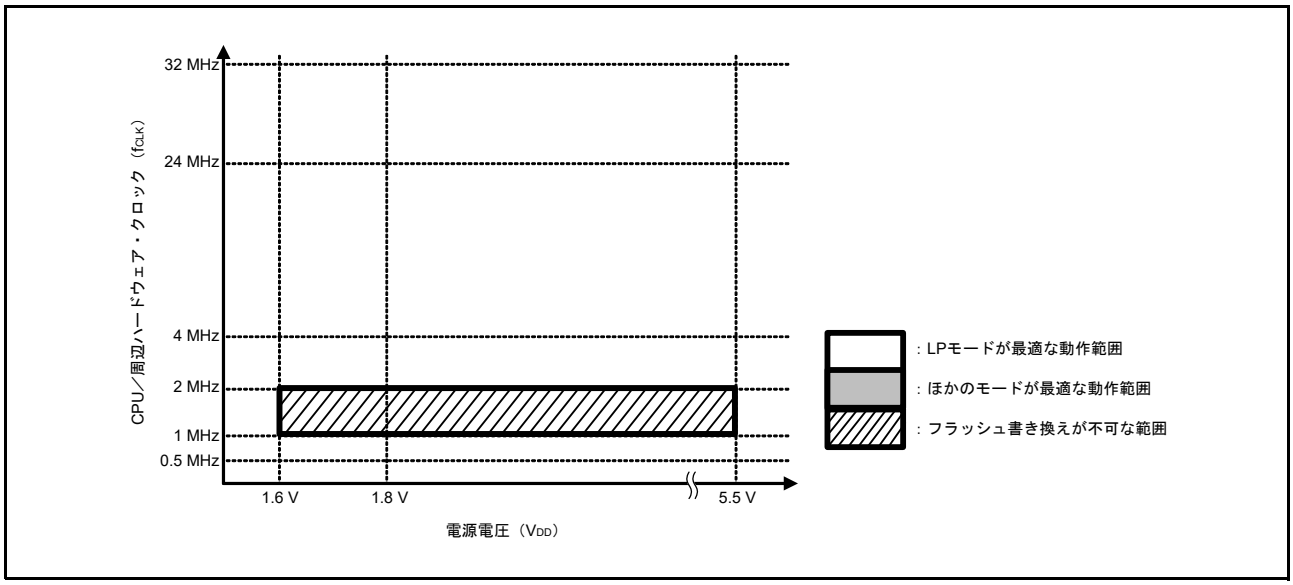
LP（低電力メイン）モードは、1 ～ 2 MHz の動作周波数によって低電力で CPU を動作させるモードです。

LP モードは、リセット解除直後から動作可能です。また、LP モードは LS（低速メイン）モードから遷移することが可能です。LS モードから LP モードに遷移する場合、動作周波数が 1 MHz ≦ f_{CLK} ≦ 2 MHz の状態で遷移してください。

LP モードの最適動作範囲は、電源電圧が 1.6 V ≦ V_{DD} ≦ 5.5 V かつ動作周波数が 1 MHz ≦ f_{CLK} ≦ 2 MHz のときです。また、LP モードでは、CPU ／周辺ハードウェアクロック（f_{CLK}）に、高速オンチップ・オシレータ・クロック（f_{IH}）のみが選択可能です。

フラッシュ・メモリの書き換えを行うときは LS モードに遷移してください。

図5 - 7 LPモードの動作範囲

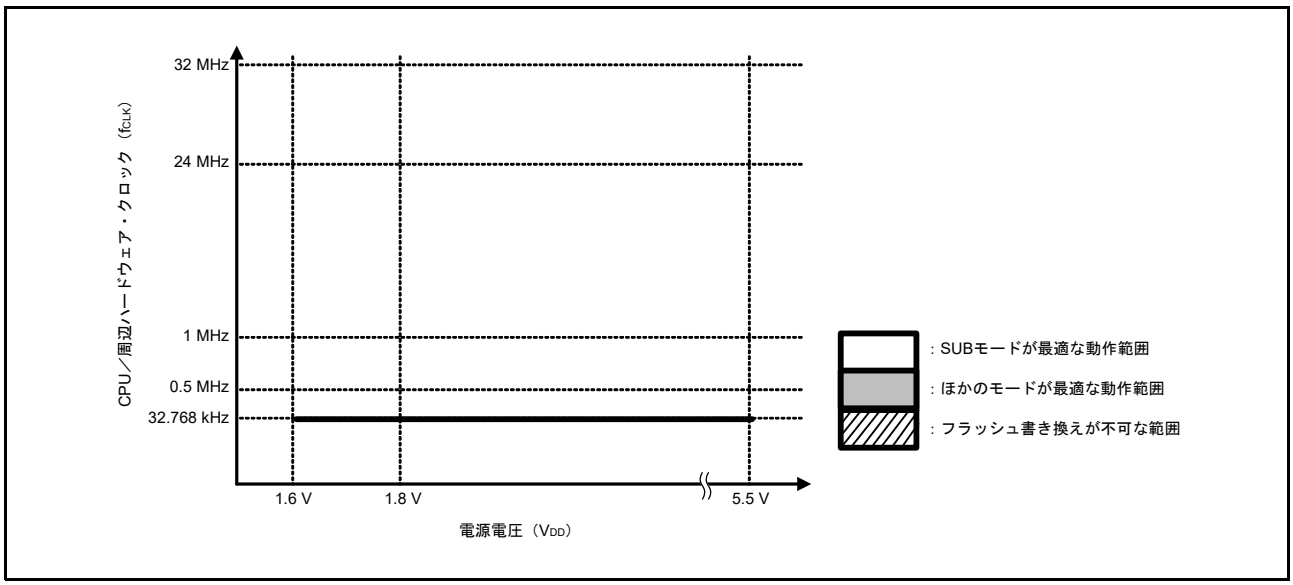


5.5.4 SUBモードの詳細

SUB モードは、32.768 kHz の動作周波数によって CPU を動作させるモードです。

SUB モードは、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードから遷移可能です。システム・クロック制御レジスタ（CKC）の CSS ビットに 1 を設定することで自動的に SUB モードに切り替わります。SUB モードはフラッシュ書き換えができません。フラッシュ・メモリの書き換えを行うときは、HS モードまたは LS モードに遷移してください。

図5 - 8 SUBモードの動作範囲



第6章　クロック発生回路

6.1　クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1, X2端子に発振子を接続することにより、fx = 1～20 MHzのクロックを発振させることができます。
STOP命令の実行またはクロック動作ステータス制御レジスタ（CSC）のMSTOPビットの設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

ユーザ・オプション・バイト（000C2H）により、f_{IH}に対して32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz（Typ.）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはCSCレジスタのHIOSTOPビットの設定により、発振を停止することができます。
ユーザ・オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、**図6 - 11　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。
次に、高速オンチップ・オシレータで設定できる発振周波数を示します（ユーザ・オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）									
	1	2	3	4	6	8	12	16	24	32
1.8 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	○	○	○	○
1.6 V≦V_{DD}≦5.5 V	○	○	○	○	—	—	—	—	—	—

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、システム・クロック制御レジスタ（CKC）のMCM0ビットの設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

なお、CPU／周辺ハードウェア・クロックは、フラッシュ動作モードおよび電源電圧V_{DD}によって使用可能な周波数がことなります。
メイン・システム・クロックをCPU／周辺ハードウェア・クロックとして使用する場合は、ユーザ・オプション・バイト（000C2H）のCMODE1, CMODE0ビットによるフラッシュ動作モードの設定（**第23章　オプション・バイト**）またはフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードに従って、メイン・システム・クロック周波数を選択してください。

(2)　サブシステム・クロック

① 低速オンチップ・オシレータ・クロック

f_{IL} = 32.768 kHz（Typ.）のクロックを発振させることができます。

低速オンチップ・オシレータは、以下の条件で動作します。

- ユーザ・オプション・バイト（000C0H）のWDTONビット、サブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビット、またはサブシステム・クロック選択レジスタ（CKSEL）のSELLOSCビットのいずれか、または複数のビットが1
  ただし、WDTON = 1, WUTMMCK0 = 0, SELLOSC = 0かつユーザ・オプション・バイト（000C0H）のWDSTBYONビットが0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考　f_X ：X1 クロック発振周波数
f_{IH} ：高速オンチップ・オシレータ・クロック周波数（最大 32 MHz）
f_{EX} ：外部メイン・システム・クロック周波数
f_{IL} ：低速オンチップ・オシレータ・クロック周波数

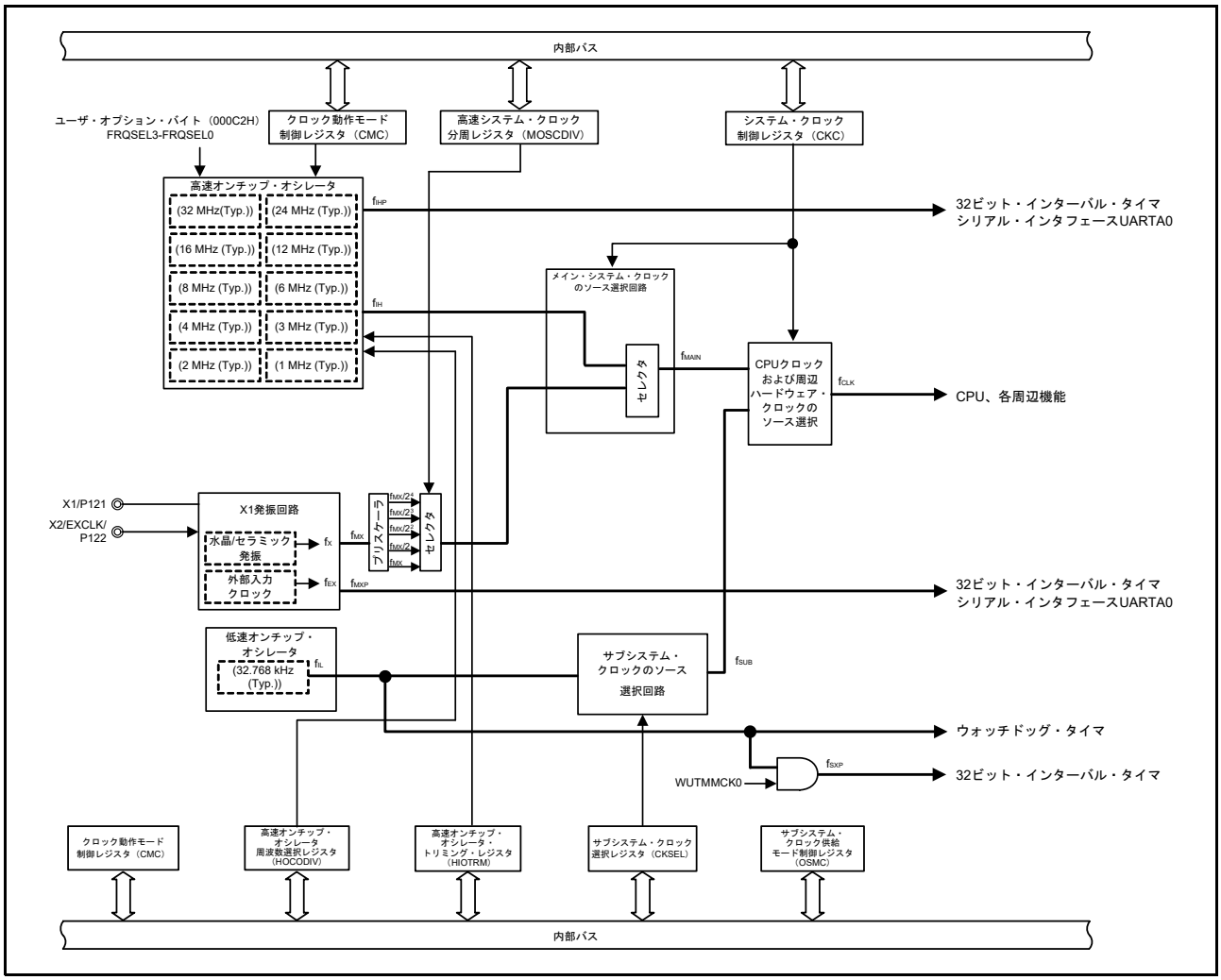
6.2　クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成されています。

表6 - 1　クロック発生回路の構成

項目	構成
制御レジスタ	• クロック動作モード制御レジスタ（CMC） • システム・クロック制御レジスタ（CKC） • クロック動作ステータス制御レジスタ（CSC） • 発振安定時間カウンタ状態レジスタ（OSTC） • 発振安定時間選択レジスタ（OSTS） • 周辺イネーブル・レジスタ0, 1（PER0, PER1） • サブシステム・クロック供給モード制御レジスタ（OSMC） • サブシステム・クロック選択レジスタ（CKSEL） • 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） • 高速システム・クロック分周レジスタ（MOSCDIV） • 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
発振回路	• X1発振回路 • 高速オンチップ・オシレータ • 低速オンチップ・オシレータ

図6 - 1　　クロック発生回路のブロック図



備考　fX　：X1クロック発振周波数

fEX　：外部メイン・システム・クロック周波数

fIH　：高速オンチップ・オシレータ・クロック周波数（最大32 MHz）

fIHP　：高速オンチップ・オシレータ周辺クロック周波数
（FRQSEL3 = 1のとき32 MHz、FRQSEL3 = 0のとき24 MHz）

fMX　：高速システム・クロック周波数

fMXP　：高速周辺クロック周波数

fMAIN　：メイン・システム・クロック周波数

fSXP　：低速周辺クロック周波数

fSUB　：サブシステム・クロック周波数

fCLK　：CPU／周辺ハードウェア・クロック周波数

fIL　：低速オンチップ・オシレータ・クロック周波数

6.3　クロック発生回路を制御するレジスタ

クロック発生回路を制御するレジスタを次に示します。

- クロック動作モード制御レジスタ（CMC）
- システム・クロック制御レジスタ（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- 周辺イネーブル・レジスタ0, 1（PER0, PER1）
- サブシステム・クロック供給モード制御レジスタ（OSMC）
- サブシステム・クロック選択レジスタ（CKSEL）
- 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
- 高速システム・クロック分周レジスタ（MOSCDIV）
- 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

注意　製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには、必ず初期値を設定してください。

6.3.1 クロック動作モード制御レジスタ（CMC）

CMC レジスタは、X1/P121, X2/EXCLK/P122 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は、8 ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00H になります。

図6 - 2 クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス ：FFFA0H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	ポート・モード	ポート	ポート
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	ポート・モード	ポート	ポート
1	1	外部クロック入力モード	ポート	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	1 MHz≦fx≦10 MHz
1	10 MHz＜fx≦20 MHz

注意1. ビット5-1には、必ず0を設定してください。

注意2. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合、暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために、リセット解除後は必ず00Hに設定してください。

注意3. リセット解除後、クロック動作ステータス制御レジスタ（CSC）の設定でX1発振を開始する前に、CMCレジスタを設定してください。

注意4. X1クロック発振周波数が10 MHzを超える場合は、必ずAMPHビットに1を設定してください。

注意5. AMPHビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}に切り替える前の状態）で設定してください。

備考 fx：X1クロック発振周波数

6.3.2 システム・クロック制御レジスタ（CKC）

CKC レジスタは、CPU ／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。
CKC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 3 システム・クロック制御レジスタ（CKC）のフォーマット

アドレス ：FFFA4H
リセット時: 00H
R/W属性 ：R/W注1

略号	<7>	<6>	<5>	<4>	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU／周辺ハードウェア・クロック（f_{CLK}）のステータス
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

CSS注2	CPU／周辺ハードウェア・クロック（f_{CLK}）の選択
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0注2	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）に高速オンチップ・オシレータ・クロック（f_{IH}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

注1. ビット7, 5は、読み出しのみ可能です。

★ **注2.** CSSビットに1を設定した状態で、MCM0ビットの値を変更することは禁止です。また、CKSELレジスタのSELLOSCビットが0のときは、CSSビットに1を設定しないでください。

注意1. ビット3-0には、必ず0を設定してください。

注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（32ビット・インターバル・タイマおよびウォッチドッグ・タイマは除く）。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。

注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータおよびシリアル・インタフェースIICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第28章 電気的特性を参照してください。

注意4. CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。

（注意、備考は次ページに続きます）

注意5. CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、HALT命令またはSTOP命令の実行は禁止です。

備考 f_{IH} ：高速オンチップ・オシレータ・クロック周波数（最大32 MHz）
f_{MX} ：高速システム・クロック周波数
f_{MAIN} ：メイン・システム・クロック周波数
f_{SUB} ：サブシステム・クロック周波数

6.3.3　クロック動作ステータス制御レジスタ（CSC）

CSC レジスタは、高速システム・クロック、高速オンチップ・オシレータ・クロックの動作を制御するレジスタです。

CSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0H になります。

図6 - 4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス　：FFFA1H
リセット時：C0H
R/W属性　：R/W

略号	<7>	6	5	4	3	2	1	<0>
CSC	MSTOP	1	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入出力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1. リセット解除後は、クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

注意2. リセット解除後MSTOPビットに0を設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただし、OSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

注意4. CPU／周辺ハードウェア・クロック（f_{CLK}）に選択しているクロックは、CSCレジスタで停止させないでください。

注意5. クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。クロックの停止方法については、表6 - 7　クロック発振停止前の条件とフラグ設定を参照してください。

6.3.4 発振安定時間カウンタ状態レジスタ（OSTC）

OSTC レジスタは、X1 クロックの発振安定時間カウンタのカウント状態を示すレジスタです。
次の場合に、X1 クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出すことができます。
リセット信号の発生、STOP 命令、クロック動作ステータス制御レジスタ（CSC）の MSTOP ビット = 1 により、00H になります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時（CMC レジスタの EXCLK = 0, OSCSEL = 1 → MSTOP = 0）
- STOPモードを解除したとき

図6 - 5 発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス : FFFA2H
リセット時: 00H
R/W属性 : R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.2 ms以上	13.1 ms以上

注意1. 上記時間経過後、MOST8ビットから順番に1となっていき、そのまま1を保持します。

（注意、備考は次ページに続きます）

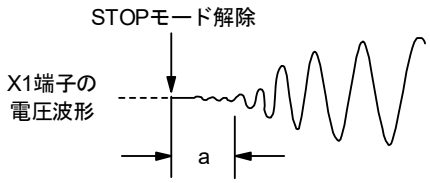
注意2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次の場合には、OSTS レジスタの発振安定時間を、OSTC レジスタで確認したいカウント値より大きい値に設定してください。

- **CPU クロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1 クロックの発振を開始したい場合**
- **CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後、STOP モードを解除したい場合**

（したがって、STOP モード解除後の OSTC レジスタは、OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

注意3. X1 クロックの発振安定時間は、クロック発振を開始するまでの時間（下図 a）は含みません。



備考　fx：X1 クロック発振周波数

6.3.5 発振安定時間選択レジスタ（OSTS）

OSTS レジスタは、X1 クロックの発振安定時間を選択するレジスタです。

X1 クロックを発振させる場合は、X1 発振回路動作（MSTOP = 0）後、OSTS レジスタで設定した時間を自動でウエイトします。

CPU クロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1 クロックに切り替える場合や、CPU クロックが高速オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後 STOP モードを解除した場合は、発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTC レジスタでは、あらかじめ OSTS レジスタで設定した時間までの確認ができます。

OSTS レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、07H になります。

図6 - 6 発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス : FFFA3H
リセット時: 07H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	2^8/fx	25.6 μs	12.8 μs
0	0	1	2^9/fx	51.2 μs	25.6 μs
0	1	0	2^{10}/fx	102 μs	51.2 μs
0	1	1	2^{11}/fx	204 μs	102 μs
1	0	0	2^{13}/fx	819 μs	409 μs
1	0	1	2^{15}/fx	3.27 ms	1.63 ms
1	1	0	2^{17}/fx	13.1 ms	6.55 ms
1	1	1	2^{18}/fx	26.2 ms	13.1 ms

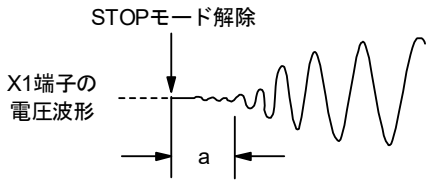
注意1. OSTS レジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ（CSC）のMSTOP ビットに0を設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTS レジスタで設定した発振安定時間までしかカウントしません。
次の場合には、OSTS レジスタの発振安定時間を、発振開始後にOSTC レジスタで確認したいカウント値より大きい値に設定してください。

- **CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合**
- **CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOP モードに移行し、その後、STOP モードを解除したい場合**
  （したがって、STOP モード解除後のOSTC レジスタは、OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

（注意、備考は次ページに続きます）

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

6.3.6　周辺イネーブル・レジスタ0, 1（PER0, PER1）

PER0, PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットに 1 をセットしてください。

- シリアル・インタフェースIICA
- A/Dコンバータ
- シリアル・アレイ・ユニット
- タイマ・アレイ・ユニット
- 32ビット・インターバル・タイマ
- シリアル・インタフェースUARTA

PER0, PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6 - 7 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス : F00F0H
リセット時: 00H
R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PER0	0	0	ADCEN	IICA0EN 注1	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 • A/Dコンバータで使用するSFRへのライト不可注2
1	入力クロック供給 • A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 • シリアル・インタフェースIICA0で使用するSFRへのライト不可注2
1	入力クロック供給 • シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニット1で使用するSFRへのライト不可注2
1	入力クロック供給 • シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニット0で使用するSFRへのライト不可注2
1	入力クロック供給 • シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 • タイマ・アレイ・ユニット0で使用するSFRへのライト不可注2
1	入力クロック供給 • タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注1. 32～64ピン製品のみ

注2. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。
20ピン製品：ビット4

注意3. 各周辺機能が動作許可の状態で、PER0レジスタの対象ビットを切り替えないでください。PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

図6 - 8 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス : F00FAH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	<4>	3	<2>	1	0
PER1	0	0	0	TML32EN	0	UTAEN	0	0

TML32EN	32ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 • 32ビット・インターバル・タイマで使用するSFRへのライト不可注
1	入力クロック供給 • 32ビット・インターバル・タイマで使用するSFRへのリード／ライト可

UTAEN	シリアル・インタフェースUARTAnの入力クロック供給の制御（n = 0）
0	入力クロック供給停止 • シリアル・インタフェースUARTAnで使用するSFRへのライト不可注
1	入力クロック供給 • シリアル・インタフェースUARTAnで使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7-5, 3, 1, 0には、必ず0を設定してください。

注意2. 各周辺機能が動作許可の状態で、PER1レジスタの対象ビットを切り替えないでください。PER1レジスタによる設定は、PER1レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

6.3.7 サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMC レジスタでは 32 ビット・インターバル・タイマの動作クロックを選択できます。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定[注]になります。

注 WUTMMCK0 ビットは 0、HIPREC ビットは 1 になります。

図6 - 9 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス : F00F3H

リセット時: 不定[注1]

R/W属性 : R/W[注2]

略号	7	6	5	<4>	3	2	1	<0>
OSMC	0	0	0	WUTMMCK0	×	×	0	HIPREC

WUTMMCK0	32 ビット・インターバル・タイマの動作クロックの選択
0	何も選択されていない
1	低速オンチップ・オシレータ・クロック[注3]

HIPREC	高速オンチップ・オシレータ・クロックのステータス[注4]
0	高速オンチップ・オシレータ・クロックは停止もしくは発振精度安定待ち中
1	高速オンチップ・オシレータ・クロックは高精度動作

注1. WUTMMCK0 ビットは 0、HIPREC ビットは 1 になります。

注2. ビット 3, 2, 0 は、読み出しのみ可能です。書き込みは無視されます。

注3. WUTMMCK0 ビットによる低速オンチップ・オシレータ・クロックの設定は、32 ビット・インターバル・タイマの機能が停止中のみ可能です。

★ **注4.** 高速オンチップ・オシレータ・クロックの周波数精度は、**第 28 章 電気的特性**を参照してください。

注意1. ビット 7-5, 1 には、必ず 0 を設定してください。

注意2. HIPREC = 0 のときは STOP 命令を実行しないでください。

備考 ×：Don’t care

6.3.8 サブシステム・クロック選択レジスタ（CKSEL）

CKSEL レジスタは、サブシステム・クロックとして低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSEL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6 - 10 サブシステム・クロック選択レジスタ（CKSEL）のフォーマット

アドレス : FFFA7H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	低速オンチップ・オシレータ・クロック選択
0	何も選択されていない
1	低速オンチップ・オシレータ・クロック

注意 SELLOSC ビットを変更する場合は、必ずCSS = 0（f_{MAIN}選択）に設定し、CLS = 0の状態で切り替えてください。

6.3.9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

HOCODIV レジスタは、ユーザ・オプション・バイト（000C2H）で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、ユーザ・オプション・バイト（000C2H）の FRQSEL3 ビットの値によって、選択できる周波数が異なります。

HOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ユーザ・オプション・バイト（000C2H）の FRQSEL2-FRQSEL0 ビットで設定した値になります。

図6 - 11 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス ：F00A8H
リセット時: ユーザ・オプション・バイト（000C2H）FRQSEL2-FRQSEL0 ビットの設定値
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	f_{IH} = 32 MHz
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz
1	0	0	設定禁止	f_{IH} = 2 MHz
1	0	1	設定禁止	f_{IH} = 1 MHz
上記以外			設定禁止	

注意1. HOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、5.2.1 フラッシュ動作モード選択レジスタ（FLMODE）を参照してください。

注意2. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック（f_{IH}）をCPU／周辺ハードウェア・クロック（f_{CLK}）に選択している状態で行ってください。

注意3. HOCODIV レジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- **変更前の周波数で最大3クロック動作**
- **変更後の周波数で最大3クロックのCPU／周辺ハードウェア・クロックウエイト**

なお、HOCODIV レジスタに同じ値を設定した場合でも、最大3クロックのCPU／周辺ハードウェア・クロックウエイトが発生します。

6.3.10 高速システム・クロック分周レジスタ（MOSCDIV）

MOSCDIV レジスタは、高速システム・クロックの分周比選択を設定するレジスタです。

MOSCDIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6 - 12 高速システム・クロック分周レジスタ（MOSCDIV）のフォーマット

アドレス : F0214H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MOSCDIV	0	0	0	0	0	MOSCDIV2	MOSCDIV1	MOSCDIV0

MOSCDIV2	MOSCDIV1	MOSCDIV0	高速システム・クロック分周選択	f_{MX} = 20 MHzのとき
0	0	0	f_{MX}	20 MHz
0	0	1	f_{MX}/2	10 MHz
0	1	0	f_{MX}/4	5 MHz
0	1	1	f_{MX}/8	2.5 MHz
1	0	0	f_{MX}/16	1.25 MHz
上記以外			設定禁止	

注意 MOSCDIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

6.3.11 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

HIOTRM レジスタは、高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、V_{DD}端子電圧に変化があった場合、周波数は変動します。
温度、V_{DD}電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 13 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス ：F00A0H
リセット時：**注**
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
			.			
			.			
			.			
1	1	1	1	1	0	↓
1	1	1	1	1	1	最高速

注 リセット値は出荷時に調整した値です。

備考1. HIOTRM レジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRM レジスタの使用例は、**RL78/G23高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート（R01AN5555）**を参照してください。

6.4　システム・クロック発振回路

6.4.1　X1発振回路

X1 発振回路は X1, X2 端子に接続された水晶振動子またはセラミック発振子（1 ～ 20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合は EXCLK 端子にクロック信号を入力してください。

X1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）の EXCLK, OSCSEL ビットを次のように設定してください。

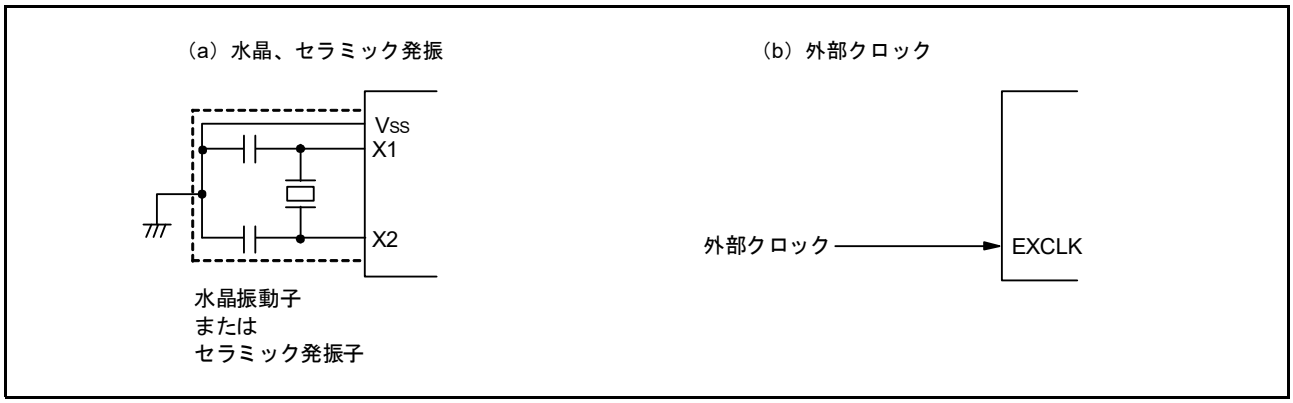
- 水晶、セラミック発振：EXCLK, OSCSEL = 01B
- 外部クロック入力　　：EXCLK, OSCSEL = 11B

X1 発振回路を使用しない場合は、ポート・モード（EXCLK, OSCSEL = 00B）に設定してください。

さらに、ポートとしても使用しない場合は、**表 2 - 2　各端子の未使用端子処理**を参照してください。

図 6 - 14 に X1 発振回路の外付け回路例を示します。

図6 - 14　X1発振回路の外付け回路例



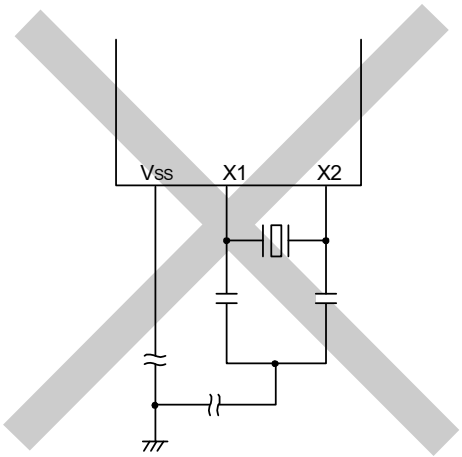
注意　配線容量などの影響を避けるために、図6 - 14の破線の部分を次のように配線してください。

- **配線は極力短くしてください。**
- **ほかの信号線と交差させない、変化する大電流が流れる線と接近させないでください。**
- **発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。**
- **発振回路から信号を取り出さないでください。**

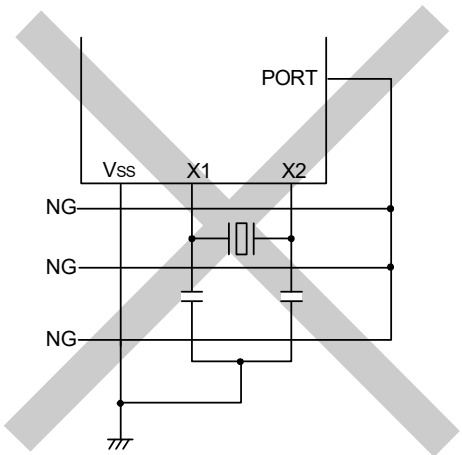
図 6 - 15 に発振子の接続の悪い例を示します。

図6 - 15 発振子の接続の悪い例 (1/2)

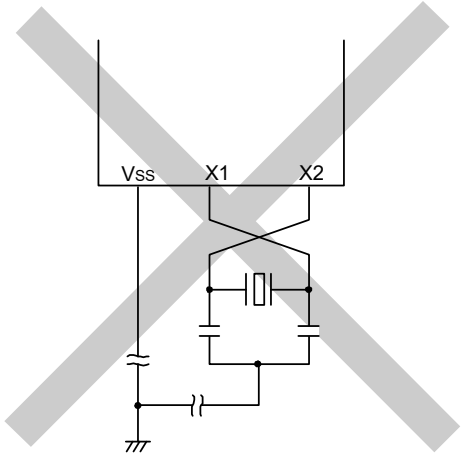
（a）接続回路の配線が長い



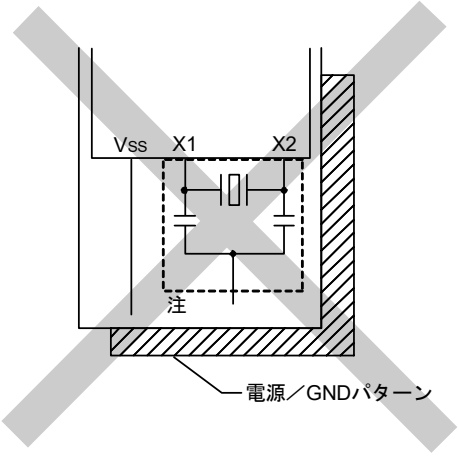
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



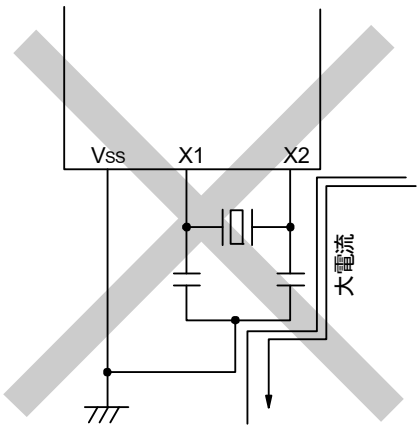
（d）X1, X2配線の下に電源／GNDパターンがある



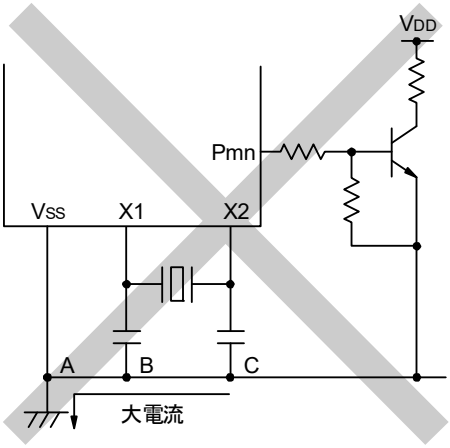
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源／GNDパターンを配置しないでください。
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

図6 - 15 発振子の接続の悪い例 (2/2)

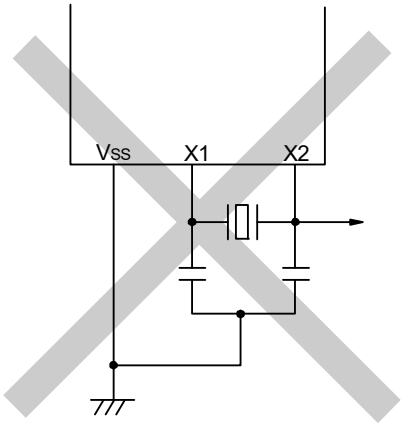
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A点、B点、C点の電位が変動する）



（g）信号を取り出している



注意 X2とX1が平行に配線されている場合、X2のクロストーク・ノイズがX1に相乗し誤動作を引き起こすことがあります。

6.4.2　高速オンチップ・オシレータ

本製品は、高速オンチップ・オシレータを内蔵しています。ユーザ・オプション・バイト（000C2H）により32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）の HIOSTOP ビットにて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

6.4.3　低速オンチップ・オシレータ

本製品は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ウォッチドッグ・タイマが動作
- サブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビット、またはサブシステム・クロック選択レジスタ（CKSEL）のSELLOSCビットのいずれか、または両ビットが1

ウォッチドッグ・タイマ停止時、WUTMMCK0 = 0 かつ SELLOSC = 0 のとき、低速オンチップ・オシレータは停止します。

6.5　クロック発生回路の動作

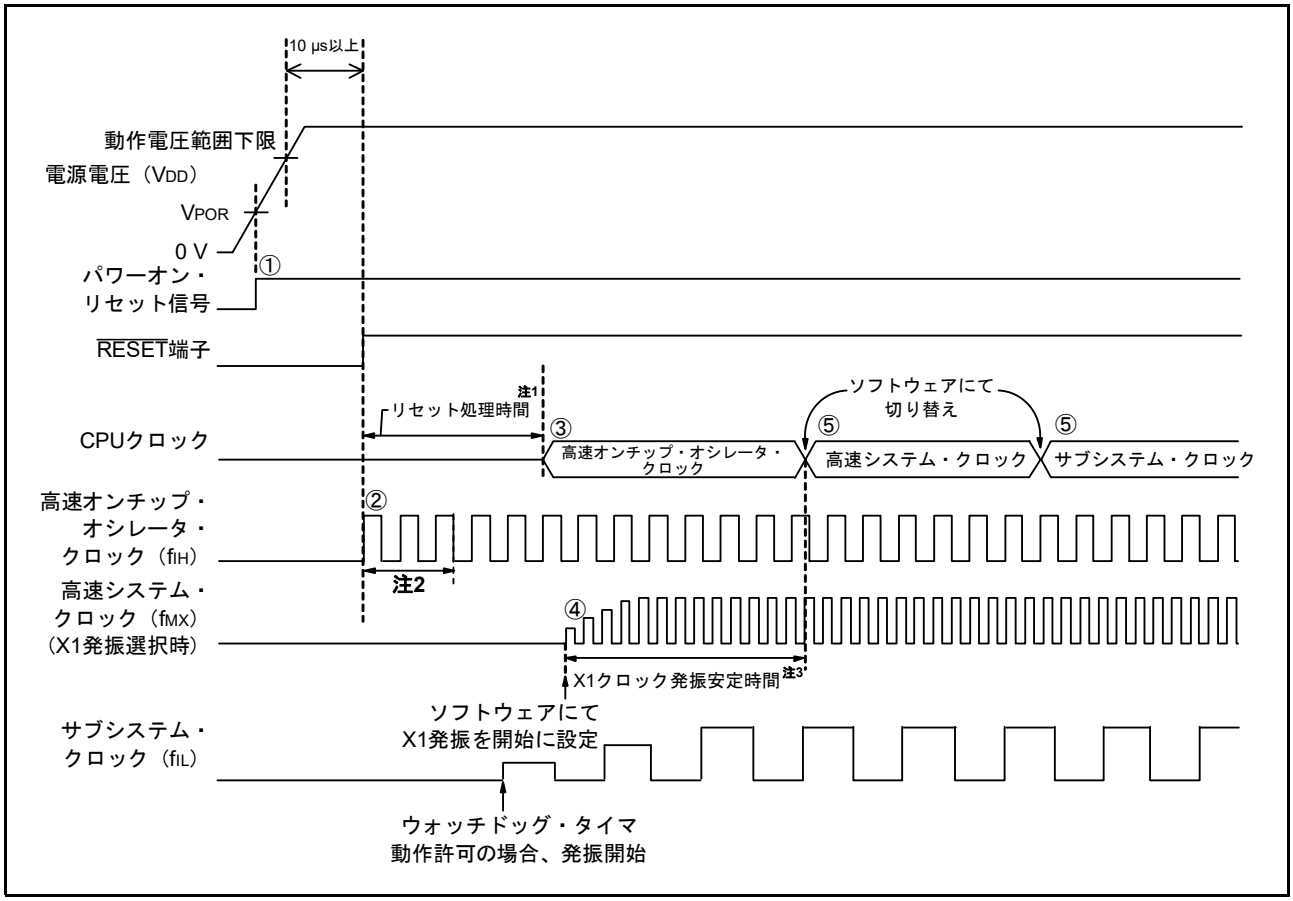
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどの CPU の動作モードを制御します（**図 6 - 1　クロック発生回路のブロック図**参照）。

- メイン・システム・クロック（f_{MAIN}）
  - 高速システム・クロック（f_{MX}）
    X1クロック（f_X）
    外部メイン・システム・クロック（f_{EX}）
  - 高速オンチップ・オシレータ・クロック（f_{IH}）
- サブシステム・クロック（f_{SUB}）
  - 低速オンチップ・オシレータ・クロック（f_{IL}）
- CPU／周辺ハードウェア・クロック（f_{CLK}）
- 周辺用クロック
  - 高速オンチップ・オシレータ周辺クロック（f_{IHP}）
  - 高速周辺クロック（f_{MXP}）
  - 低速周辺クロック（f_{SXP}）

本製品では、リセット解除後、CPU は高速オンチップ・オシレータの出力により動作を開始します。

図 6 - 16 に電源電圧投入時のクロック発生回路の動作を示します。

図6 - 16　電源電圧投入時のクロック発生回路の動作



① 電源投入後、パワーオン・リセット回路による内部リセット信号が発生します。ただし、**28.4　AC 特性**に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます（上図は、外部リセット使用時の例）。

② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。また、ウォッチドッグ・タイマが動作許可の場合、低速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作を開始します。

④ X1 クロックは、ソフトウェアにて発振開始を設定してください（**6.6.2　X1 発振回路の設定例**参照）。

⑤ CPU を X1 クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください（**6.6.2　X1 発振回路の設定例**参照）。

注1.　リセット処理時間は、**第18章　パワーオン・リセット回路（POR）**を参照してください。

注2.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注3.　リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

注意　EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

6.6 クロックの制御

6.6.1 高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、ユーザ・オプション・バイト（000C2H）の FRQSEL3-FRQSEL0 ビットにより、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により、周波数を変更することもできます。

【ユーザ・オプション・バイト設定】

アドレス ： 000C2H

	7	6	5	4	3	2	1	0
ユーザ・オプション・バイト（000C2H）	CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス　：F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	f_{IH} = 32 MHz
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz
1	0	0	設定禁止	f_{IH} = 2 MHz
1	0	1	設定禁止	f_{IH} = 1 MHz
上記以外			設定禁止	

6.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 発振クロックに変更する場合、発振安定時間選択レジスタ（OSTS）、クロック動作モード制御レジスタ（CMC）、クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ（CKC）で X1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMC レジスタの OSCSEL ビットを 1 にセット、fX ＞ 10 MHz の場合は AMPH ビットを 1 にセットして X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	0	0	0	0	0	AMPH 0/1

② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。
例）10 MHz の発振子で 102 μs 以上までウエイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

③ CSC レジスタの MSTOP ビットを 0 にクリアして X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	1	0	0	0	0	0	HIOSTOP 0

④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。
例）10 MHzの発振子で102 μs以上までウエイトする場合は、以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

⑤ CKC レジスタの MCM0 ビットで X1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	0	0

注意 システム・クロック制御レジスタ（CKC）でメイン・システム・クロック（fMAIN）を変更する場合は、クロックの変更前、変更後ともにユーザ・オプション・バイト（000C2H）およびフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、5.2.1 フラッシュ動作モード選択レジスタ（FLMODE）を参照してください。

6.6.3　CPUクロック状態移行図

図 6 - 17 に CPU クロック状態移行図を示します。

図6 - 17　CPUクロック状態移行図

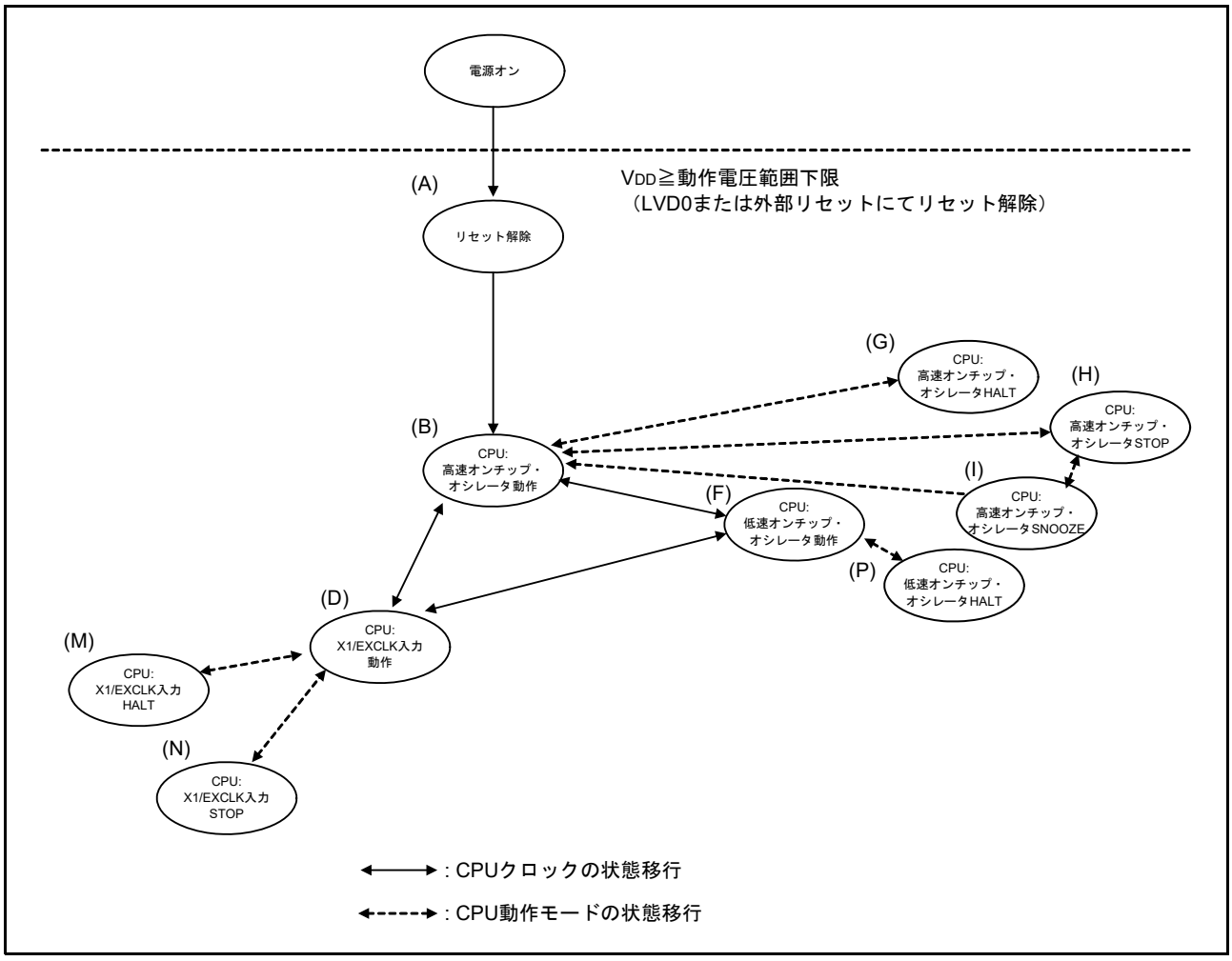


表 6 - 2 に CPU クロックの状態移行とレジスタの設定例などを示します。

表6 - 2　　CPUクロックの移行とSFRの設定例 (1/3)

(1)　リセット解除後(A)に、CPUを高速オンチップ・オシレータ・クロック動作(B)へ移行
対象状態遷移：(A)→(B)

移行先のクロック	SFRの設定
高速オンチップ・オシレータ	SFR設定不要（リセット解除後の初期状態）

(2)　高速オンチップ・オシレータ・クロック動作(B)へ移行
対象状態遷移：(D)→(B), (F)→(B)

（SFRの設定順序）→

SFRの設定 / 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ	
	HIOSTOP		CSS	MCM0
高速オンチップ・オシレータ	0	5 μs	0	0

高速オンチップ・オシレータ・
クロック動作中の場合は不要

備考　**表6 - 2**の(A) – (P)は、**図6 - 17　CPUクロック状態移行図**の(A) – (P)と対応しています。

表6 - 2　　CPUクロックの移行とSFRの設定例 (2/3)

(3)　CPUを高速システム・クロック動作(D)へ移行

対象状態遷移：(B)→(D), (F)→(D)

（SFRの設定順序）→

SFRの設定 / 移行先のクロック	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ	
	EXCLK	OSCSEL	AMPH		MSTOP		CSS	MCM0
X1クロックに移行：1 MHz≦fx≦10 MHz	0	1	0	注2	0	確認必要	0	1
X1クロックに移行：10 MHz＜fx≦20 MHz	0	1	1	注2	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注2	0	確認不要	0	1

設定済みの場合は不要　　高速システム・クロック動作中の場合は不要

注1.　クロック動作モード制御レジスタ（CMC）は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

- 期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第28章　電気的特性参照）に電源電圧が達してから、クロックを設定してください。

備考1.　×：Don’t care

備考2.　**表6 - 2**の(A) – (P)は、**図6 - 17　CPUクロック状態移行図**の(A) – (P)と対応しています。

表6 - 2 CPUクロックの移行とSFRの設定例 (3/3)

(4) 低速オンチップ・オシレータ・クロック動作(F)へ移行
対象状態遷移：(B)→(F), (D)→(F)

（SFRの設定順序）→

SFRの設定 / 移行先のクロック	CKSEL SELLOSC	発振精度安定待ち	CKC レジスタ CSS
低速オンチップ・オシレータに移行	1	80 μs	1

低速オンチップ・オシレータ・クロック動作中の場合は不要

(5) CPU動作モード(B), (D), (F)からHALTモード(G), (M), (P)へ移行
対象状態遷移：(B)→(G), (D)→(M), (F)→(P)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

(6) CPU動作モード(B), (D)からSTOPモード(H), (N)へ移行
対象状態遷移：(B)→(H), (D)→(N)

（設定順序）→

移行先のモード	設定内容		
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTS レジスタを設定する	STOP命令を実行する

CPUが高速システム・クロック動作中からSTOPモードに移行する場合のみ、設定が必要

(7) STOPモード(H)とSNOOZEモード(I)の移行
STOPモードからSNOOZEモードへ移行するための設定の詳細については、**第16章 スタンバイ機能**および各周辺のSNOOZEモード機能を参照してください。

備考 **表6 - 2**の(A) – (P)は、**図6 - 17 CPUクロック状態移行図**の(A) – (P)と対応しています。

6.6.4 CPUクロックの移行前の条件と移行後の処理

CPU クロックの移行前の条件と移行後の処理について、**表 6 - 3** に示します。

表6 - 3 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、高速オンチップ・オシレータを停止（HIOSTOP = 1）すると、動作電流を低減可能。
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能（MSTOP = 1）
	外部メイン・システム・クロック	移行不可	—
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能（MSTOP = 1）
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	X1クロック	移行不可	—
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 SELLOSC = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0	—
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	

6.6.5　CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）の CSS, MCM0 ビットの設定により、CPU クロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）、メイン・システム・クロックの切り替え（オンチップ・オシレータ・クロック⇔高速システム・クロック）をすることができます。

実際の切り替え動作は、CKC レジスタを書き換えた直後ではなく、CKC レジスタを変更したのち、数クロックは切り替え前のクロックで動作します（**表 6 - 4 ～表 6 - 6** 参照）。

CPU クロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKC レジスタの CLS ビットで判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKC レジスタの MCS ビットで判定できます。

CPU クロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表6 - 4　メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{IH}	◀▶	f_{MX}	**表6 - 5**参照
f_{MAIN}	◀▶	f_{SUB}	**表6 - 6**参照

表6 - 5　f_{IH}⇔f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{MX}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{MX} \geqq f_{IH}$		2クロック
	$f_{MX} < f_{IH}$		2 f_{IH}/f_{MX}クロック
1 ($f_{MAIN} = f_{MX}$)	$f_{MX} \geqq f_{IH}$	2 f_{MX}/f_{IH}クロック	
	$f_{MX} < f_{IH}$	2クロック	

表6 - 6　f_{MAIN}⇔f_{SUB}で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 ($f_{CLK} = f_{MAIN}$)	1 ($f_{CLK} = f_{SUB}$)
0 ($f_{CLK} = f_{MAIN}$)		1 + 2 f_{MAIN}/f_{SUB}クロック
1 ($f_{CLK} = f_{SUB}$)	3クロック	

備考1. **表6 - 5**および**表6 - 6**のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. **表6 - 5**および**表6 - 6**のクロック数は、小数点以下を切り上げてください。

（例） メイン・システム・クロックを高速オンチップ・オシレータ・クロック（8 MHz選択時）から高速システム・クロックに切り替える場合（f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時）

1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 → 2クロック

6.6.6 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。
クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。

表6 - 7 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 （CPUクロックが高速オンチップ・オシレータ・クロック以外で動作）	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 （CPUクロックが高速システム・クロック以外で動作）	MSTOP = 1
低速オンチップ・オシレータ・クロック**注**	CLS = 0 （CPUクロックが低速オンチップ・オシレータ・クロック以外で動作）	SELLOSC = 0 WUTMMCK0 = 0

注 WDTが動作している場合は停止しません。

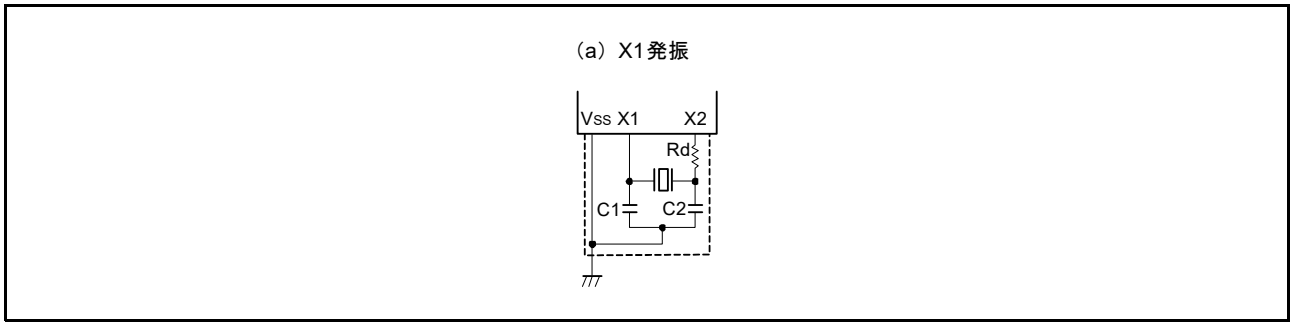
6.7　発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数（参考）は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカに依頼してください。
また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。本製品の内部動作条件については、DC, AC特性の規格内で使用してください。

図6 - 18　外付け回路例



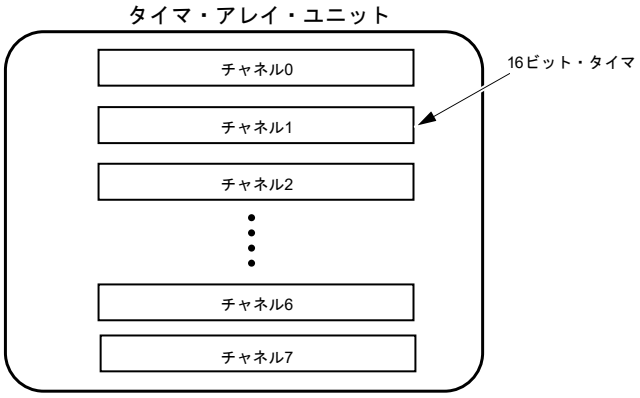
第7章　タイマ・アレイ・ユニット（TAU）

★　本製品は、タイマ・アレイ・ユニットを 1 ユニット、8 チャネル搭載しています。

タイマ入出力端子の有無は製品によって異なります。詳細は、**表 7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。本章では、以降の主な説明を 64 ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは 8 個の 16 ビット・タイマを搭載しています。

各 16 ビット・タイマは「チャネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
• インターバル・タイマ（→**7.8.1**参照） • 方形波出力（→**7.8.1**参照） • 外部イベント・カウンタ（→**7.8.2**参照） • 分周器**注**（→**7.8.3**参照） • 入力パルス間隔測定（→**7.8.4**参照） • 入力信号のロウ・レベル幅／ハイ・レベル幅測定（→**7.8.5**参照） • ディレイ・カウンタ（→**7.8.6**参照）	• ワンショット・パルス出力（→**7.9.1**参照） • PWM出力（→**7.9.2**参照） • 多重PWM出力（→**7.9.3**参照）

注　チャネル0のみ

チャネル 1, 3 の 16 ビット・タイマを 2 つの 8 ビット・タイマ（上位／下位）として使用することもできます。チャネル 1, 3 が 8 ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
- 外部イベント・カウンタ（下位8ビット・タイマのみ）
- ディレイ・カウンタ（下位8ビット・タイマのみ）

また、チャネル 7 は、シリアル・アレイ・ユニットの UART2 と連携し、LIN-bus 通信動作を実現することができます。

7.1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

7.1.1　単独チャネル動作機能

単独チャネル動作機能は、ほかのチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

単独チャネル動作機能は、次に示す 7 種類のモードがあります。

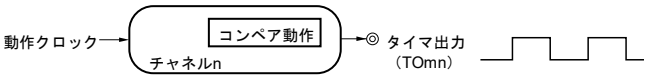
(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。



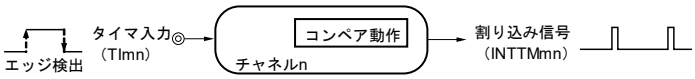
(2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子（TOmn）より出力します。



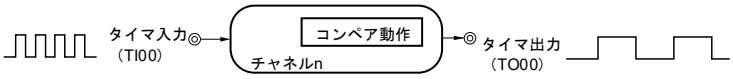
(3) 外部イベント・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジをカウントし、規定回数に達すると割り込みを発生するイベント・カウンタとして利用できます。



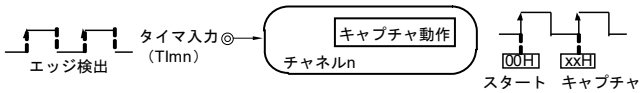
(4) 分周器機能（チャネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを分周して出力端子（TO00）より出力します。



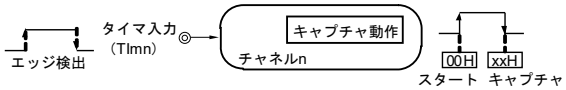
(5) 入力パルス間隔測定

タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



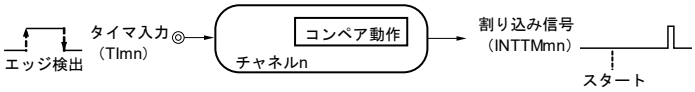
(6) 入力信号のロウ・レベル幅／ハイ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のロウ・レベル幅／ハイ・レベル幅を測定します。



(7)　ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし、任意のディレイ期間後、割り込みを発生します。



備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。

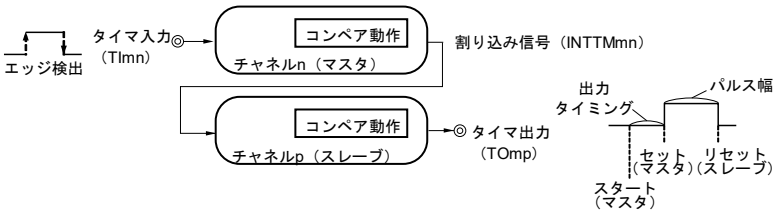
7.1.2　複数チャネル連動動作機能

複数チャネル連動動作機能は、マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合わせて実現する機能です。

複数チャネル連動動作機能は、次に示す 3 種類のモードがあります。

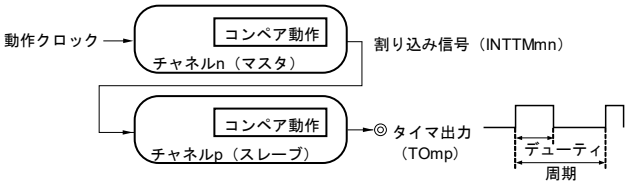
(1)　ワンショット・パルス出力

2チャネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



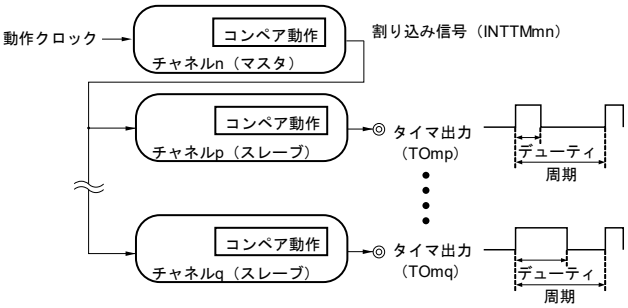
(2)　PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3)　多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し、1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



注意　複数チャネル連動動作機能のルールの詳細については、7.4.1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）、
p, q：スレーブ・チャネル番号（n＜p＜q≦7）

7.1.3　8ビット・タイマ動作機能（チャネル1, 3のみ）

8 ビット・タイマ動作機能は、16 ビット・タイマのチャネルを 8 ビット・タイマの 2 チャネル構成として使用する機能です。チャネル 1, 3 のみが使用できます。

注意　8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。
詳細は、7.4.2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）を参照してください。

7.1.4　LIN-bus対応機能（チャネル7のみ）

LIN-bus 通信機能において、受信信号が LIN-bus の通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出
UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出
ウェイクアップ信号検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定
ブレーク・フィールド検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus対応機能の動作設定については、**7.3.14　入力切り替え制御レジスタ（ISC）**および**7.8.5　入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作**を参照してください。

7.2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表7 - 1　　タイマ・アレイ・ユニットの構成

項目	構成
タイマ／カウンタ	タイマ・カウンタ・レジスタmn（TCRmn）
レジスタ	タイマ・データ・レジスタmn（TDRmn）
タイマ入力	TI00-TI07[注1]、RxD2端子（LIN-bus用）
タイマ出力	TO00-TO07[注1]、出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ • 周辺イネーブル・レジスタ0（PER0） • 周辺リセット制御レジスタ0（PRR0） • タイマ・クロック選択レジスタm（TPSm） • タイマ・チャネル許可ステータス・レジスタm（TEm） • タイマ・チャネル開始レジスタm（TSm） • タイマ・チャネル停止レジスタm（TTm） • タイマ入力選択レジスタ0（TIS0） • タイマ出力許可レジスタm（TOEm） • タイマ出力レジスタm（TOm） • タイマ出力レベル・レジスタm（TOLm） • タイマ出力モード・レジスタm（TOMm）
	＜各チャネル部のレジスタ＞ • タイマ・モード・レジスタmn（TMRmn） • タイマ・ステータス・レジスタmn（TSRmn） • 入力切り替え制御レジスタ（ISC） • ノイズ・フィルタ許可レジスタ1（NFEN1） • ポート・モード・レジスタ（PMxx）[注2] • ポート・レジスタ（Pxx）[注2] • ポート出力モード・レジスタ（POMxx）[注2] • ポート・モード・コントロールA・レジスタ（PMCAxx）[注2]

注1.　チャネル0～チャネル7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。

注2.　製品によって設定するポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロールA・レジスタ（PMCAxx）が異なります。詳細は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

タイマ・アレイ・ユニットの各チャネルのタイマ入出力端子の有無は、製品によって異なります。

表7 - 2　　各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャネル		各製品の入出力端子の有無	
		20ピン	32～64ピン
ユニット0	チャネル0	TI00, TO00	TI00, TO00
	チャネル1	TI01/TO01	TI01/TO01
	チャネル2	TI02/TO02	TI02/TO02
	チャネル3	－	(TI03/TO03)
	チャネル4	－	(TI04/TO04)
	チャネル5	TI05/TO05	(TI05/TO05)
	チャネル6	TI06/TO06	(TI06/TO06)
	チャネル7	TI07/TO07	(TI07/TO07)

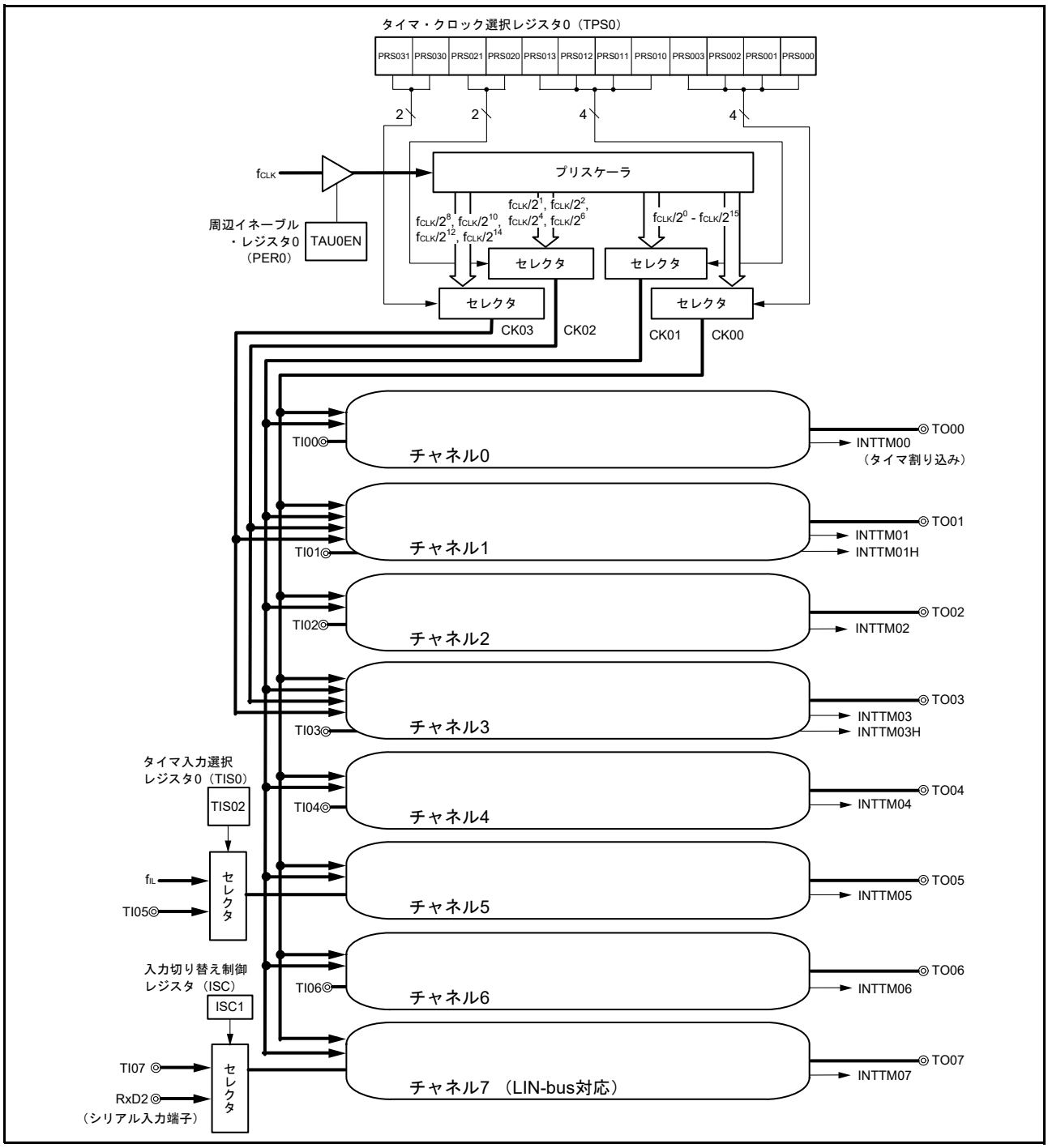
備考1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

備考2. －：チャネル非搭載

備考3. ( ) は周辺I/Oリダイレクション・レジスタ（PIOR0）のビット0に1を設定したときの端子です。

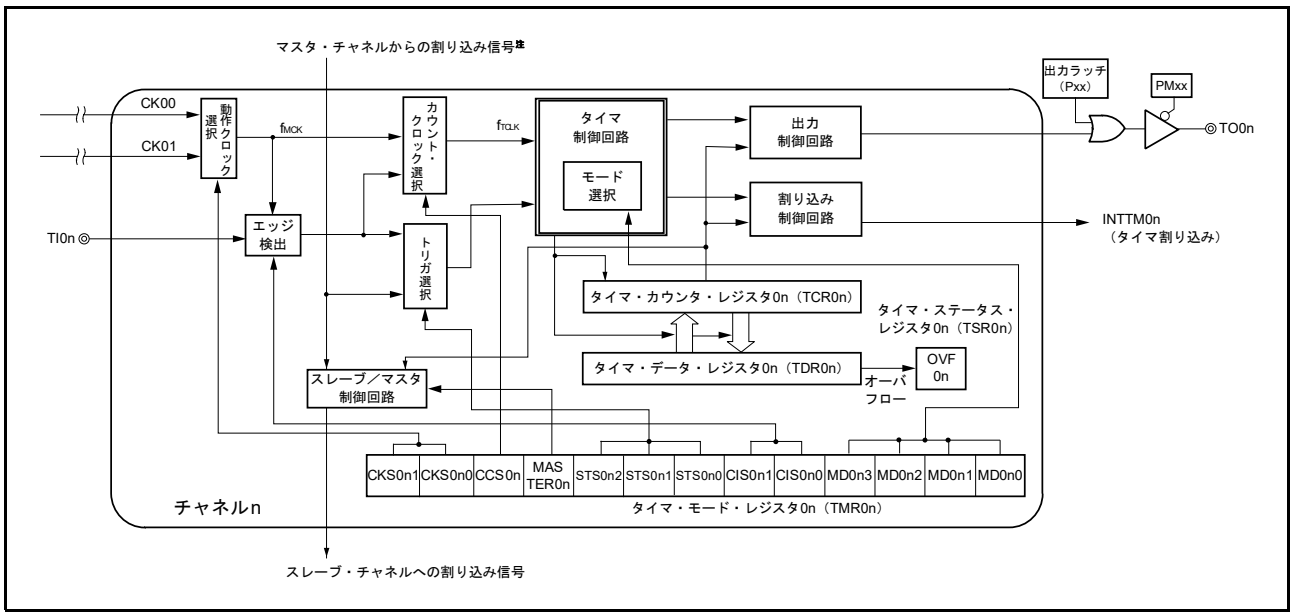
図 7 - 1 にタイマ・アレイ・ユニット 0 のブロック図を示します。

図7 - 1　　タイマ・アレイ・ユニット0のブロック図 （例：64 ピン製品）



備考　fIL：低速オンチップ・オシレータ・クロック周波数

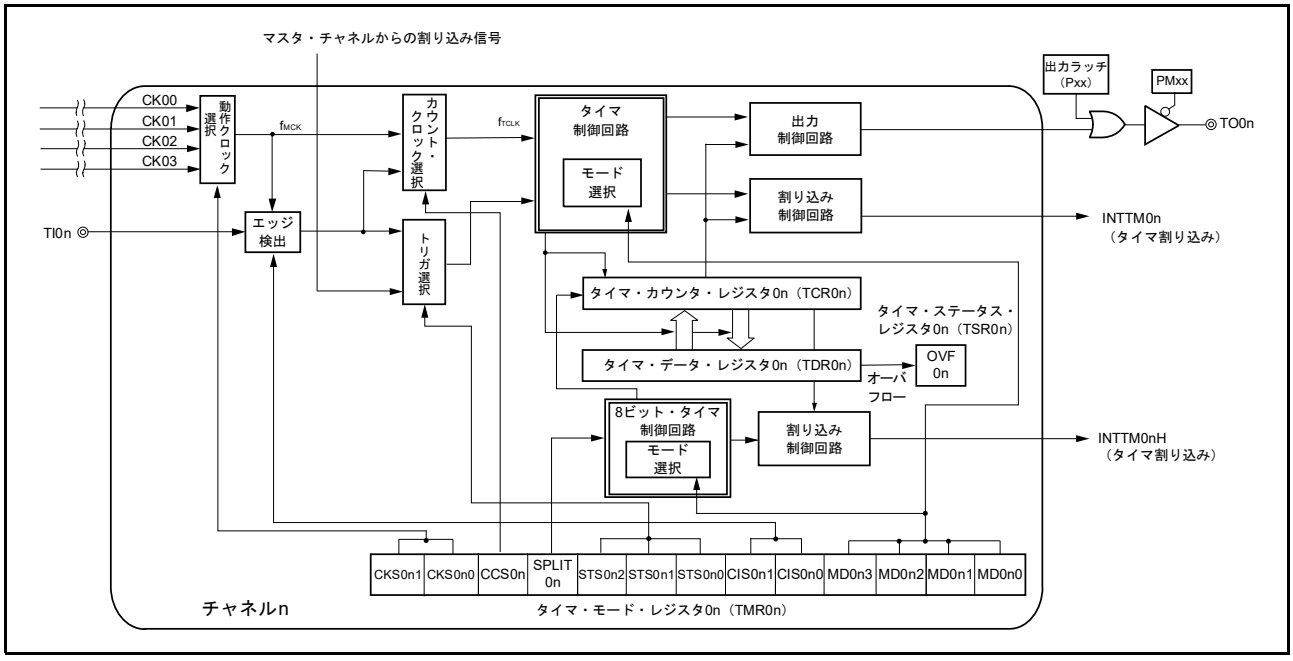
図7 - 2 タイマ・アレイ・ユニット0のチャネル0, 2, 4, 6内部ブロック図



注 チャネル2, 4, 6のみ

備考 n = 0, 2, 4, 6

図7 - 3 タイマ・アレイ・ユニット0のチャネル1, 3内部ブロック図



備考 n = 1, 3

図7 - 4　　タイマ・アレイ・ユニット0のチャネル5内部ブロック図

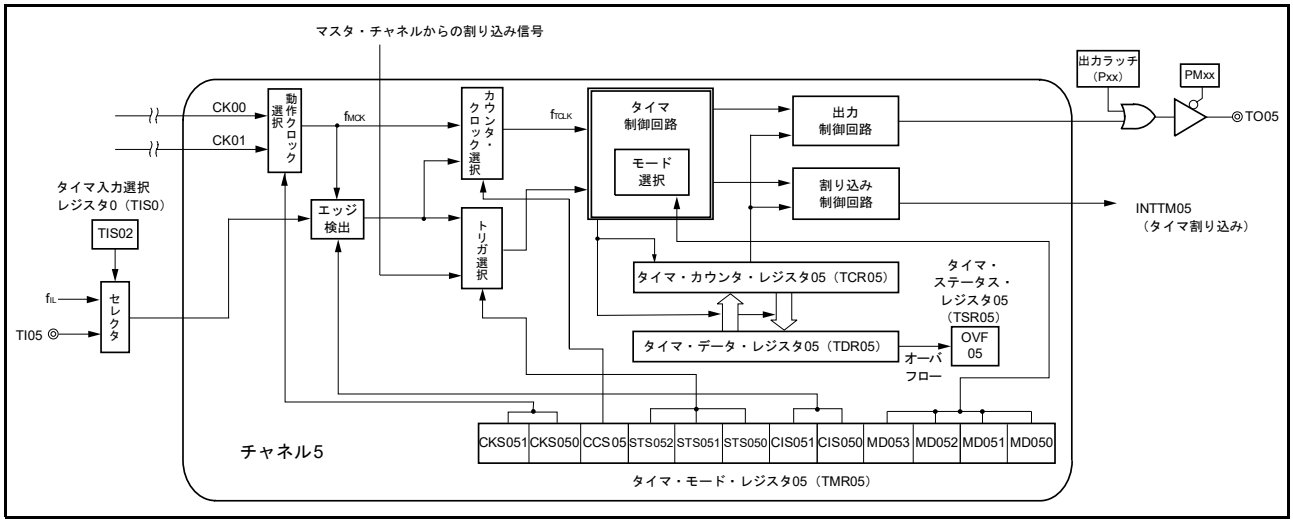
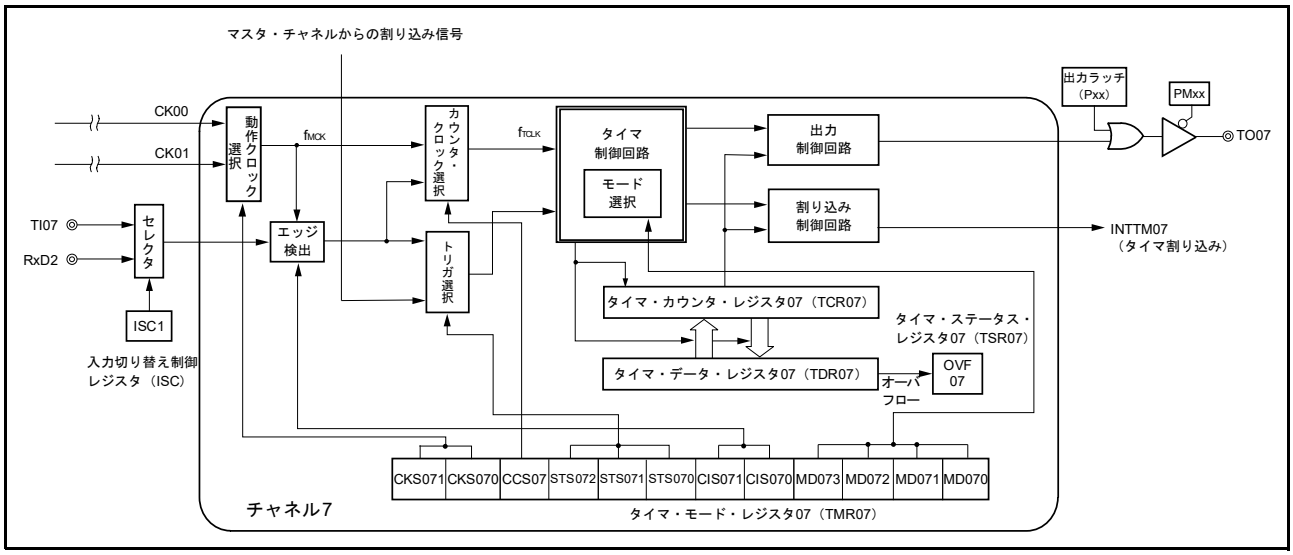


図7 - 5　　タイマ・アレイ・ユニット0のチャネル7内部ブロック図



7.2.1　タイマ・カウンタ・レジスタ mn（TCRmn）

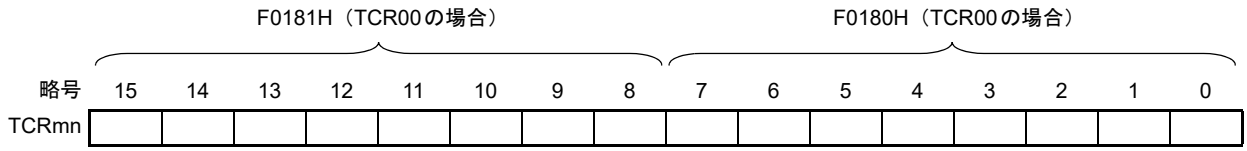
TCRmn レジスタは、カウント・クロックをカウントする 16 ビットの読み出し専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ mn（TMRmn）の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります（**7.3.4　タイマ・モード・レジスタ mn（TMRmn）**参照）。

図7 - 6　　タイマ・カウンタ・レジスタ mn（TCRmn）のフォーマット

アドレス　：F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07)
リセット時: FFFFH
R/W属性　：R



タイマ・カウンタ・レジスタ mn（TCRmn）を読み出すことにより、カウント値を読み出せます。
次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺リセット制御レジスタ0（PRR0）のTAUmRESビットをクリアしたとき
- PWM出力モードで、スレーブ・チャネルのカウント完了時
- ディレイ・カウンタ・モードで、スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ／スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意　**TCRmnレジスタを読み出しても、タイマ・データ・レジスタ mn（TDRmn）にはキャプチャしません。**

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

TCRmn レジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7 - 3　　各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタmn（TCRmn）の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）した場合の値	カウント動作を一時停止（TTmn = 1）後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	−
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	−
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	−
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ＆ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

注　チャネルnがタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値がTCRmn レジスタに保持されます。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.2.2　タイマ・データ・レジスタmn（TDRmn）

TDRmnレジスタは、キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位で読み出し／書き込み可能です。また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時（タイマ・モード・レジスタm1, m3（TMRm1, TMRm3）のSPLITm1, SPLITm3ビットが1）に、上位8ビットをTDRm1H, TDRm3H、下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位で読み出し／書き込み可能です。

リセット信号の発生により、0000Hになります。

図7 - 7　タイマ・データ・レジスタmn（TDRmn）（n = 0, 2, 4-7）のフォーマット

アドレス　：FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)
リセット時：0000H
R/W属性　：R/W

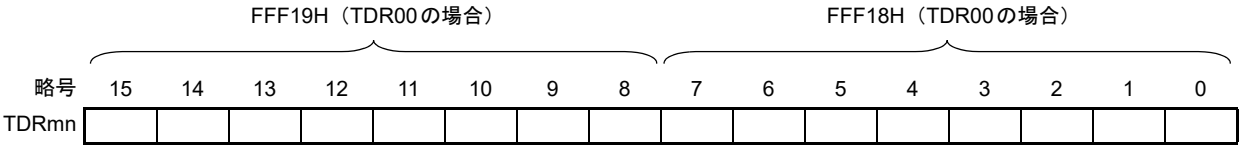
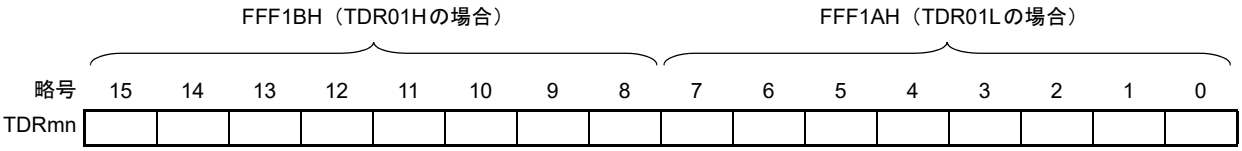


図7 - 8　タイマ・データ・レジスタmn（TDRmn）（n = 1, 3）のフォーマット

アドレス　：FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03)
リセット時：0000H
R/W属性　：R/W



（i）タイマ・データ・レジスタmn（TDRmn）をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号（INTTMmn）を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

（ii）タイマ・データ・レジスタmn（TDRmn）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタmn（TCRmn）のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタmn（TMRmn）で設定します。

注意　**コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。**

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- タイマ・クロック選択レジスタm（TPSm）
- タイマ・モード・レジスタmn（TMRmn）
- タイマ・ステータス・レジスタmn（TSRmn）
- タイマ・チャネル許可ステータス・レジスタm（TEm）
- タイマ・チャネル開始レジスタm（TSm）
- タイマ・チャネル停止レジスタm（TTm）
- タイマ入力選択レジスタ0（TIS0）
- タイマ出力許可レジスタm（TOEm）
- タイマ出力レジスタm（TOm）
- タイマ出力レベル・レジスタm（TOLm）
- タイマ出力モード・レジスタm（TOMm）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ1（NFEN1）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

注意　**製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには、必ず初期値を設定してください。**

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.1 周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット 0 を使用する場合は、必ず TAU0EN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7 - 9 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス ：F00F0H
リセット時：00H
R/W属性 ：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PER0	0	0	ADCEN	IICA0EN 注1	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入力クロックの制御
0	入力クロック供給停止 • タイマ・アレイ・ユニット0で使用するSFRへのライト不可注2
1	入力クロック供給 • タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注1. 32～64 ピン製品のみ

注2. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

20ピン製品：ビット4

注意3. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは00Hとなり、書き込みは無視されます（タイマ入力選択レジスタ0（TIS0）、入力切り替え制御レジスタ（ISC）、ノイズ・フィルタ許可レジスタ1（NFEN1）、ポート・モード・コントロールA・レジスタ（PMCA0, PMCA1）、ポート・モード・レジスタ（PM0, PM1, PM3, PM4）、ポート・レジスタ（P0, P1, P3, P4）は除く）。

- **タイマ・クロック選択レジスタm（TPSm）**
- **タイマ・モード・レジスタmn（TMRmn）**
- **タイマ・ステータス・レジスタmn（TSRmn）**
- **タイマ・チャネル許可ステータス・レジスタm（TEm）**
- **タイマ・チャネル開始レジスタm（TSm）**
- **タイマ・チャネル停止レジスタm（TTm）**
- **タイマ出力許可レジスタm（TOEm）**
- **タイマ出力レジスタm（TOm）**
- **タイマ出力レベル・レジスタm（TOLm）**
- **タイマ出力モード・レジスタm（TOMm）**

7.3.2 周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニット 0 をリセットする場合は、TAU0RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7 - 10 周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス : F00F1H
リセット時: 00H
R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注	SAU1RES	SAU0RES	0	TAU0RES

TAU0RES	タイマ・アレイ・ユニット0のリセット制御
0	タイマ・アレイ・ユニット0のリセット解除
1	タイマ・アレイ・ユニット0はリセット状態 ・タイマ・アレイ・ユニット0で使用するSFRが初期化されます。

注 32～64 ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

20ピン製品：ビット4

7.3.3　タイマ・クロック選択レジスタ m（TPSm）

TPSm レジスタは、各チャネルに共通して供給される 2 種類または 4 種類の動作クロック（CKm0, CKm1, CKm2, CKm3）を選択する 16 ビット・レジスタです。

CKm0 は TPSm レジスタのビット 3-0 で、CKm1 は TPSm レジスタのビット 7-4 で選択します。さらにチャネル 1, 3 のみ、CKm2, CKm3 も選択できます。CKm2 は TPSm レジスタのビット 9-8 で、CKm3 は TPSm レジスタのビット 13, 12 で選択できます。

タイマ動作中の TPSm レジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03 ビットが書き換え可能な場合（n = 0-7）:
　動作クロックにCKm0を選択（CKSmn1, CKSmn0 = 00B）しているチャネルがすべて停止状態（TEmn = 0）
PRSm10-PRSm13 ビットが書き換え可能な場合（n = 0-7）:
　動作クロックにCKm1を選択（CKSmn1, CKSmn0 = 10B）しているチャネルがすべて停止状態（TEmn = 0）
PRSm20, PRSm21 ビットが書き換え可能な場合（n = 1, 3）:
　動作クロックにCKm2を選択（CKSmn1, CKSmn0 = 01B）しているチャネルがすべて停止状態（TEmn = 0）
PRSm30-PRSm31 ビットが書き換え可能な場合（n = 1, 3）:
　動作クロックにCKm3を選択（CKSmn1, CKSmn0 = 11B）しているチャネルがすべて停止状態（TEmn = 0）

TPSm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図7 - 11　タイマ・クロック選択レジスタm（TPSm）のフォーマット (1/2)

アドレス　：F01B6H, F01B7H (TPS0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TPSm	0	0	PRSm31	PRSm30	0	0	PRSm21	PRSm20

7	6	5	4	3	2	1	0
PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択注（k = 0, 1）				
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
動作クロック（f_{MCK}）、TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。
注意2. 動作クロック（CKmk）にf_{CLK}（分周なし）を選択し、TDRmn = 0000H（m = 0, n = 0-7）を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数
備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります（m = 0）。詳細は、**7.5.1　カウント・クロック（f_{TCLK}）**を参照してください。

図7 - 11　タイマ・クロック選択レジスタm（TPSm）のフォーマット (2/2)

PRS m21	PRS m20	動作クロック（CKm2）の選択注					
			fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	fCLK/2^2	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	fCLK/2^4	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
1	1	fCLK/2^6	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

PRS m31	PRS m30	動作クロック（CKm3）の選択注					
			fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	fCLK/2^8	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	fCLK/2^{10}	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	fCLK/2^{12}	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	fCLK/2^{14}	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注　fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
動作クロック（fMCK）、TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には、必ず0を設定してください。

チャネル 1, 3 を 8 ビット・タイマ・モードで使用し、CKm2, CKm3 を動作クロックとすることにより、インターバル・タイマ機能で、**表 7 - 4** に示すインターバル時間を実現することが可能です。

表7 - 4　動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注（fCLK = 32 MHz）			
		10 μs	100 μs	1 ms	10 ms
CKm2	fCLK/2	○	−	−	−
	fCLK/2^2	○	−	−	−
	fCLK/2^4	○	○	−	−
	fCLK/2^6	○	○	−	−
CKm3	fCLK/2^8	−	○	○	−
	fCLK/2^{10}	−	○	○	−
	fCLK/2^{12}	−	−	○	○
	fCLK/2^{14}	−	−	○	○

注　○には5%以下の誤差が含まれます。

備考1. fCLK：CPU／周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2^j（j = 2～15）の波形の詳細は、**7.5.1　カウント・クロック（fTCLK）**を参照してください。

7.3.4　タイマ・モード・レジスタ mn（TMRmn）

TMRmn レジスタは、チャネル n の動作モード設定レジスタです。動作クロック（fMCK）の選択、カウント・クロックの選択、マスタ／スレーブの選択、16 ビット／ 8 ビット・タイマの選択（チャネル 1, 3 のみ）、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード（インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ＆ワンカウント）設定を行います。

TMRmn レジスタは、動作中（TEmn = 1 のとき）の書き換えは禁止です。ただし、ビット 7, 6（CISmn1, CISmn0）は、一部の機能で動作中（TEmn = 1 のとき）の書き換えが可能です（詳細は、**7.8　タイマ・アレイ・ユニットの単独チャネル動作機能**および **7.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能**参照）。

TMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

注意　TMRmn レジスタのビット 11 は、チャネルによって搭載するビットが異なります。
TMRm2, TMRm4, TMRm6：MASTERmn ビット（n = 2, 4, 6）
TMRm1, TMRm3：SPLITmn ビット（n = 1, 3）
TMRm0, TMRm5, TMRm7：0 固定

図7 - 12 タイマ・モード・レジスタmn（TMRmn）のフォーマット (1/3)

アドレス ：F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07)
リセット時: 0000H
R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
TMRmn（n = 2, 4, 6）	CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0

7	6	5	4	3	2	1	0
CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn（n = 1, 3）	CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0

7	6	5	4	3	2	1	0
CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn（n = 0, 5, 7）	CKSmn1	CKSmn0	0	CCSmn	0注1	STSmn2	STSmn1	STSmn0

7	6	5	4	3	2	1	0
CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

CKSmn1	CKSmn0	チャネルnの動作クロック（fMCK）の選択
0	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm3
動作クロック（fMCK）は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック（fTCLK）を生成します。 動作クロックCKm2, CKm3は、チャネル1, 3のみ選択可能です。		

CCSmn	チャネルnのカウント・クロック（fTCLK）の選択
0	CKSmn1, CKSmn0ビットで指定した動作クロック（fMCK）
1	TImn端子からの入力信号の有効エッジ チャネル5では、TIS0で選択した入力信号の有効エッジ チャネル7では、ISCで選択した入力信号の有効エッジ
カウント・クロック（fTCLK）は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

図7 - 12　タイマ・モード・レジスタmn（TMRmn）のフォーマット (2/3)

TMRmn（n = 2, 4, 6）のビット11

MASTERmn	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル2, 4, 6のみマスタ・チャネル（MASTERmn = 1）に設定できます。 チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため、このビットの設定によらずマスタとして動作します）。 また、単独チャネル動作機能として使用するチャネルは、MASTERmn = 0にします。	

TMRmn（n = 1, 3）のビット11

SPLITmn	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STSmn2	STSmn1	STSmn0	チャネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（ほかのトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

CISmn1	CISmn0	TImn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ、キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ、キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0 = 010B時以外で両エッジ指定を使用する場合は、CISmn1, CISmn0 = 10Bに設定してください。		

図7 - 12 タイマ・モード・レジスタmn（TMRmn）のフォーマット (3/3)

MD mn3	MD mn2	MD mn1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン・カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のロウ・レベル幅／ハイ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります（下表参照）。					

動作モード（MDmn3-MDmn1ビットで設定（上表参照））	MD mn0	カウント・スタートと割り込みの設定
• インターバル・タイマ・モード（000B） • キャプチャ・モード（010B）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
• イベント・カウンタ・モード（011B）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
• ワンカウント・モード注2（100B）	0	カウント動作中のスタート・トリガを無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
• キャプチャ＆ワンカウント・モード（110B）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガを無効とする。その際に割り込みは発生しない。
上記以外		設定禁止

注1. ビット11は読み出しのみ可能（0固定）で、書き込みは無視されます。

注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力（INTTMmn）、TOmn出力は制御しません。

注3. 動作中にスタート・トリガ（TSmn = 1）が掛かると、カウンタを初期化し、再カウント・スタートします（割り込み要求は発生せず）。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック（f_{TCLK}）にCKSmn1, CKSmn0ビットで指定した動作クロック（f_{MCK}）、TImn端子からの入力信号の有効エッジのどれを選択していても、f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

備考 m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.5　タイマ・ステータス・レジスタmn（TSRmn）

TSRmn レジスタは、チャネル n のカウンタのオーバフロー状況を表示するレジスタです。

TSRmn レジスタは、キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードでの OVF ビットの動作とセット／クリア条件は**表 7 - 5** を参照してください。

TSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また TSRmn レジスタの下位 8 ビットは、TSRmnL レジスタとして 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図7 - 13　タイマ・ステータス・レジスタmn（TSRmn）のフォーマット

アドレス　：F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07)
リセット時：0000H
R/W属性　：R

略号	15	14	13	12	11	10	9	8
TSRmn	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

表7 - 5　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
• キャプチャ・モード • キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
• インターバル・タイマ・モード • イベント・カウンタ・モード • ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

7.3.6　タイマ・チャネル許可ステータス・レジスタm（TEm）

TEmレジスタは、各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャネル開始レジスタm（TSm）とタイマ・チャネル停止レジスタm（TTm）の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。またTEmレジスタの下位8ビットは、TEmLレジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図7 - 14　タイマ・チャネル許可ステータス・レジスタm（TEm）のフォーマット

アドレス　：F01B0H, F01B1H (TE0)
リセット時：0000H
R/W属性　：R

略号	15	14	13	12	11	10	9	8
TEm	0	0	0	0	TEHm3	0	TEHm1	0

7	6	5	4	3	2	1	0
TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.7　タイマ・チャネル開始レジスタ m（TSm）

TSm レジスタは、タイマ・カウンタ・レジスタ mn（TCRmn）を初期化し、カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが 1 にセットされると、タイマ・チャネル許可ステータス・レジスタ m（TEm）の対応ビットが 1 にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので、動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは、16 ビット・メモリ操作命令で設定します。また TSm レジスタの下位 8 ビットは、TSmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 15　タイマ・チャネル開始レジスタ m（TSm）のフォーマット

アドレス　：F01B2H, F01B3H (TS0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TSm	0	0	0	0	TSHm3	0	TSHm1	0

7	6	5	4	3	2	1	0
TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります（**7.5.2　カウンタのスタート・タイミング**の**表7 - 6**参照）。

TSHm1	チャネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります（**7.5.2　カウンタのスタート・タイミング**の**表7 - 6**参照）。

TSmn	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります（**7.5.2　カウンタのスタート・タイミング**の**表7 - 6**参照）。 チャネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意、備考は次ページに続きます）

注意1. ビット15-12, 10, 8には、必ず0を設定してください。

注意2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn（TMRmn）設定後、TSmn（TSHm1, TSHm3）ビットに1を設定するまでに、次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時（TNFENmn = 1）：動作クロック（f_{MCK}）の4クロック

TImn端子のノイズ・フィルタ無効時（TNFENmn = 0）：動作クロック（f_{MCK}）の2クロック

備考1. TSmレジスタの読み出し値は常に0となります。

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.8 タイマ・チャネル停止レジスタm（TTm）

TTm レジスタは、カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが 1 にセットされると、タイマ・チャネル許可ステータス・レジスタ m（TEm）の対応ビットが 0 にクリアされます。TTmn, TTHm1, TTHm3 ビットはトリガ・ビットなので、動作停止状態（TEmn, TEHm1, TEHm3 = 0）になるとすぐ TTmn, TTHm1, TTHm3 ビットはクリアされます。

TTm レジスタは、16 ビット・メモリ操作命令で設定します。また TTm レジスタの下位 8 ビットは、TTmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 16 タイマ・チャネル停止レジスタm（TTm）のフォーマット

アドレス ：F01B4H, F01B5H (TT0)
リセット時: 0000H
R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
TTm	0	0	0	0	TTHm3	0	TTHm1	0

7	6	5	4	3	2	1	0
TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTHm1	チャネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には、必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.9　タイマ入力選択レジスタ0（TIS0）

TIS0 レジスタは、チャネル 5 のタイマ入力を選択するレジスタです。

TIS0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7 - 17　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス　：F0074H

リセット時：00H

R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	0	0

TIS02	チャネル5で使用するタイマ入力の選択
0	タイマ入力端子（TI05）の入力信号
1	低速オンチップ・オシレータ・クロック（f_{IL}）

注意　選択するタイマ入力のロウ・レベル幅／ハイ・レベル幅は、1/f_{MCK} + 10 ns以上必要となります。

7.3.10　タイマ出力許可レジスタm（TOEm）

TOEmレジスタは、各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは、後述のタイマ出力レジスタm（TOm）のTOmnビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。またTOEmレジスタの下位8ビットは、TOEmLレジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

図7 - 18　タイマ出力許可レジスタm（TOEm）のフォーマット

アドレス　：F01BAH, F01BBH (TOE0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TOEm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず、出力を固定します。 TOmnビットへの書き込みが可能となり、TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し、出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意　ビット15-8には、必ず0を設定してください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.11　タイマ出力レジスタm（TOm）

TOmレジスタは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P00/TI00, P01/TO00, P16/TI01/TO01, P17/TI02/TO02, P31/TI03/TO03, P42/TI04/TO04, P05/TI05/TO05, P06/TI06/TO06, P41/TI07/TO07をポート機能として使用する場合は、該当するTOmnビットに0を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。またTOmレジスタの下位8ビットは、TOmLレジスタとして8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

図7 - 19　タイマ出力レジスタm（TOm）のフォーマット

アドレス　：F01B8H, F01B9H (TO0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TOm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が0
1	タイマ出力値が1

注意　**ビット15-8には、必ず0を設定してください。**

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.12　タイマ出力レベル・レジスタm（TOLm）

TOLmレジスタは、各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は、タイマ出力許可（TOEmn = 1）、複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。またTOLmレジスタの下位8ビットは、TOLmLレジスタとして8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

図7 - 20　タイマ出力レベル・レジスタm（TOLm）のフォーマット

アドレス　：F01BCH, F01BDH (TOL0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TOLm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	負論理出力（アクティブ・ロウ）

注意　ビット15-8, 0には、必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.13 タイマ出力モード・レジスタm（TOMm）

TOMmレジスタは、各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合、使用するチャネルの対応ビットに0を設定します。

複数チャネル連動動作機能（PWM出力、ワンショット・パルス出力、多重PWM出力）として使用する場合、マスタ・チャネルの対応ビットに0を設定し、スレーブ・チャネルの対応ビットに1を設定します。

このレジスタによる各チャネルnの設定は、タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。またTOMmレジスタの下位8ビットは、TOMmLレジスタとして8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

図7 - 21 タイマ出力モード・レジスタm（TOMm）のフォーマット

アドレス ：F01BEH, F01BFH (TOM0)
リセット時：0000H
R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
TOMm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード （タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット、スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意 ビット15-8, 0には、必ず0を設定してください。

備考 m：ユニット番号（m = 0）
n：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p：スレーブ・チャネル番号
n＜p≦7
（マスタ・チャネル、スレーブ・チャネルの関係についての詳細は、**7.4.1 複数チャネル連動動作機能の基本ルール**を参照してください）

7.3.14　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC1, ISC0 ビットは、チャネル 7 をシリアル・アレイ・ユニットと連携して LIN-bus 通信動作を実現するときに使用します。ISC1 ビットに 1 を設定すると、シリアル・データ入力端子（RxD2）の入力信号がタイマ入力として選択されます。

ISC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7 - 22　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス　: F0073H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	0	ISC4	ISC3	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする（通常動作）
1	RxD2端子の入力信号をタイマ入力とする（ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウェイクアップ信号検出）

注意　**ビット5, 2には、必ず0を設定してください。**

備考　LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD2端子の入力信号を選択しておいてください。

7.3.15 ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャネルの動作クロック（fMCK）で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャネルの動作クロック（fMCK）で同期化だけ行います注。

NFEN1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注 詳細は、**7.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）、7.5.2 カウンタのスタート・タイミング、7.7 タイマ入力（TImn）の制御**を参照してください。

図7 - 23 ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット (1/2)

アドレス : F0071H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07端子のノイズ・フィルタ使用可否注
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN06	TI06端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN05	TI05端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN04	TI04端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN03	TI03端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN02	TI02端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

図7 - 23　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット (2/2)

TNFEN01	TI01端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注　入力切り替え制御レジスタ（ISC）のISC1ビットを設定することにより、適用する端子を切り替えることができます。
ISC1 = 0に設定：TI07端子のノイズ・フィルタ使用可否選択が可能
ISC1 = 1に設定：RxD2端子のノイズ・フィルタ使用可否選択が可能

備考　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。

7.3.16　タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ

タイマ・アレイ・ユニットの入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

7.4　タイマ・アレイ・ユニットの基本ルール

7.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は、マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合わせて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

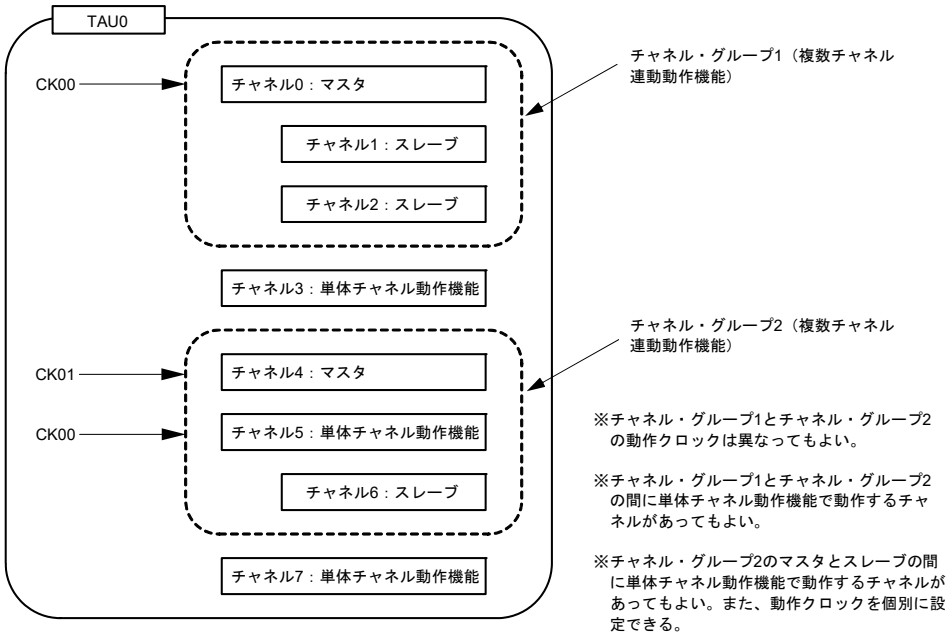
(1) マスタ・チャネルには、偶数チャネル（チャネル0、チャネル2、チャネル4、…）のみ設定できます。
(2) スレーブ・チャネルには、チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには、マスタ・チャネルの下位チャネルのみ設定できます。
たとえばチャネル2をマスタ・チャネルにした場合、チャネル3以降（チャネル3、チャネル4、チャネル5、…）をスレーブ・チャネルに設定できます。
(4) 1つのマスタ・チャネルに対し、スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルを複数使用する場合、マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
たとえばチャネル0、チャネル4をマスタ・チャネルにした場合、マスタ・チャネル0は、チャネル1～チャネル3までをスレーブ・チャネルとして設定できますが、チャネル5～チャネル7をスレーブ・チャネルとして設定できません。
(6) マスタ・チャネルと連動するスレーブ・チャネルは、同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn1, CKSmn0ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
(7) マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(8) スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
(9) マスタ・チャネルは、ほかの上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(10) 連動させるチャネルを同時スタートさせるため、連動させるチャネルの動作許可（スタート）トリガ・ビット（TSmn）を同時に設定する必要があります。
(11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
(12) 連動させるチャネルを同時に停止させるため、連動させるチャネルの動作停止トリガ・ビット（TTmn）を同時に設定する必要があります。
(13) 連動動作時は、マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
(14) タイマ・モード・レジスタm0（TMRm0）は、マスタ・ビットがなく、0に固定されています。しかし、チャネル0は最上位チャネルなので、連動動作時は、チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは、チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合、チャネル・グループ間には上記の基本ルールは適用されません。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

例


TAU0
CK00
チャネル0：マスタ
チャネル1：スレーブ
チャネル2：スレーブ
チャネル3：単体チャネル動作機能
CK01
CK00
チャネル4：マスタ
チャネル5：単体チャネル動作機能
チャネル6：スレーブ
チャネル7：単体チャネル動作機能
チャネル・グループ1（複数チャネル連動動作機能）
チャネル・グループ2（複数チャネル連動動作機能）
※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。
※チャネル・グループ1とチャネル・グループ2の間に単体チャネル動作機能で動作するチャネルがあってもよい。
※チャネル・グループ2のマスタとスレーブの間に単体チャネル動作機能で動作するチャネルがあってもよい。また、動作クロックを個別に設定できる。

7.4.2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）

8 ビット・タイマ動作機能は、16 ビット・タイマのチャネルを 8 ビット・タイマの 2 チャネル構成として使用する機能です。

8 ビットタイマ動作機能は、チャネル 1, 3 のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に 8 ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは、チャネル1, 3のみです。

(2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn（TMRmn）のSPLITmnビットに1を設定します。

(3) 上位8ビットは、インターバル・タイマ機能として動作することができます。

(4) 上位8ビットは、動作開始時にINTTMm1H, INTTMm3H（割り込み）を出力します（MDmn0 = 1設定と同じ動作）。

(5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットに従って動作します。

(6) 上位8ビットは、TSHm1, TSHm3ビットを操作することでチャネル動作を開始し、TTHm1, TTHm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは、TEHm1, TEHm3ビットで確認できます。

(7) 下位8ビットは、TMRmnレジスタの設定に従って動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。

- インターバル・タイマ機能／方形波出力機能
- 外部イベント・カウンタ機能
- ディレイ・カウンタ機能

(8) 下位8ビットは、TSm1, TSm3ビットを操作することでチャネル動作を開始し、TTm1, TTm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは、TEm1, TEm3ビットで確認できます。

(9) 16ビットで動作させる場合には、TSHm1, TSHm3, TTHm1, TTHm3ビットの操作は無効となります。TSm1, TSm3, TTm1, TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。

(10) 8ビット・タイマ機能で、連動動作機能（ワンショット・パルス、PWM、多重PWM）を使用することはできません。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 1, 3）

7.5　カウンタの動作

7.5.1　カウント・クロック（fTCLK）

タイマ・アレイ・ユニットのカウント・クロック（fTCLK）は、タイマ・モード・レジスタ mn（TMRmn）の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn1, CKSmn0 ビットで指定した動作クロック（fMCK）
- TImn 端子からの入力信号の有効エッジ

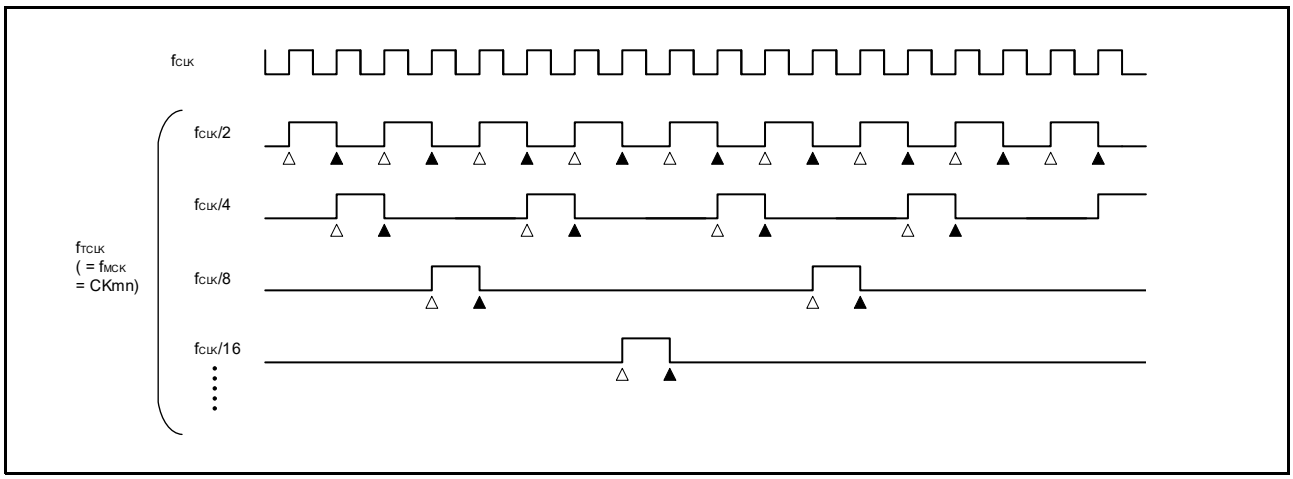
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するよう設計されているため、カウント・クロック（fTCLK）のタイミングは次のようになります。

(1) CKSmn1, CKSmn0 ビットで指定した動作クロック（fMCK）を選択した場合（CCSmn = 0）

カウント・クロック（fTCLK）は、タイマ・クロック選択レジスタ m（TPSm）の設定により、fCLK～fCLK/2^{15} となります。ただし、fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn（TCRmn）は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7 - 24　fCLK とカウント・クロック（fTCLK）のタイミング（CCSmn = 0 時）



備考1. △：カウント・クロックの立ち上がり
▲：同期化、カウンタのインクリメント／デクリメント

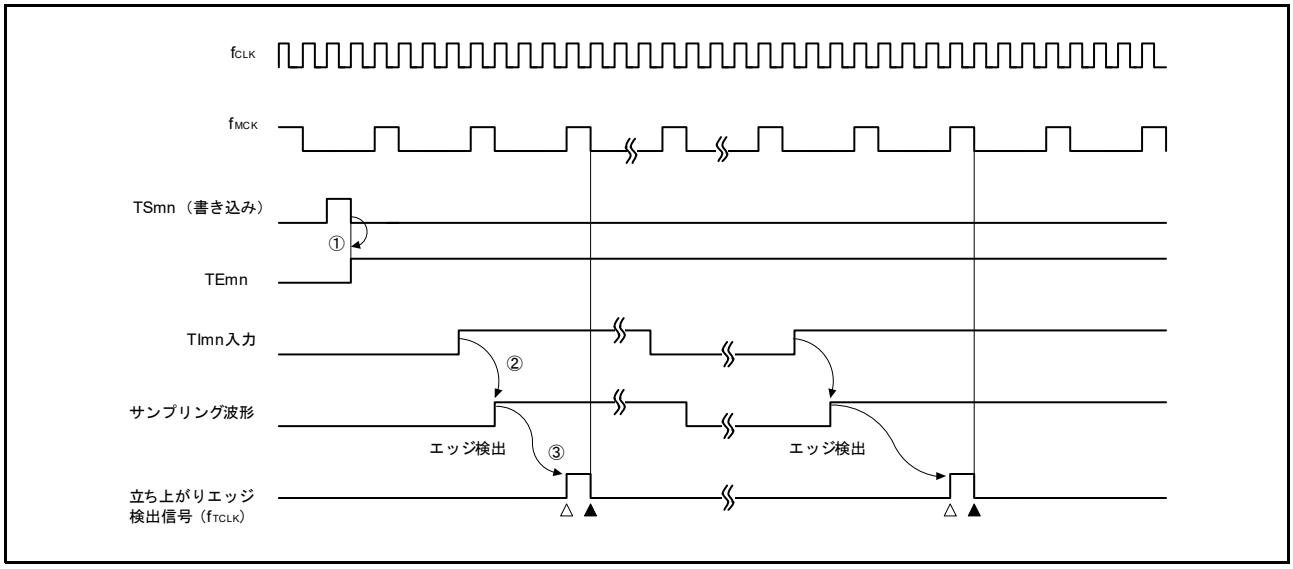
備考2. fCLK：CPU／周辺ハードウェア・クロック

(2)　TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（fTCLK）は、TImn端子からの入力信号の有効エッジを検出し、次のfMCKの立ち上がりに同期した信号になります。これは、実際のTImn端子からの入力信号よりfMCKの1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は、fMCKの3～4クロック分遅れます）。

また、タイマ・カウンタ・レジスタmn（TCRmn）は、fCLKとの同期をとるためにカウント・クロックの立ち上がりからfCLKの1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図7 - 25　カウント・クロック（fTCLK）のタイミング（CCSmn = 1、ノイズ・フィルタ未使用時）



① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが fMCK でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出が行われ、検出信号（カウント・クロック）が出力されます。

備考1. △：カウント・クロックの立ち上がり

▲：同期化、カウンタのインクリメント／デクリメント

備考2. fCLK：CPU／周辺ハードウェア・クロック

fMCK：チャネルnの動作クロック

備考3. 入力パルス間隔測定、入力信号のロウ・レベル幅／ハイ・レベル幅測定、ディレイ・カウンタ、ワンショット・パルス出力機能のTImn入力も同様の波形になります。

7.5.2　カウンタのスタート・タイミング

タイマ・カウンタ・レジスタ mn（TCRmn）は、タイマ・チャネル開始レジスタ m（TSm）の TSmn ビットをセットすることにより、動作許可状態になります。

表 7 - 6 にカウント動作許可状態からタイマ・カウンタ・レジスタ mn（TCRmn）のカウント・スタートまでの動作を示します。

表7 - 6　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出（TSmn = 1）後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います（**7.5.3 (1)　インターバル・タイマ・モードの動作**参照）。
イベント・カウンタ・モード	TSmnビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います（**7.5.3 (2)　イベント・カウンタ・モードの動作**参照）。
キャプチャ・モード	スタート・トリガ検出（TSmn = 1）後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います（**7.5.3 (3)　キャプチャ・モードの動作（入力パルス間隔測定）**参照）。
ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で、TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います（**7.5.3 (4)　ワンカウント・モードの動作**参照）。
キャプチャ＆ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で、TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います（**7.5.3 (5)　キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）**参照）。

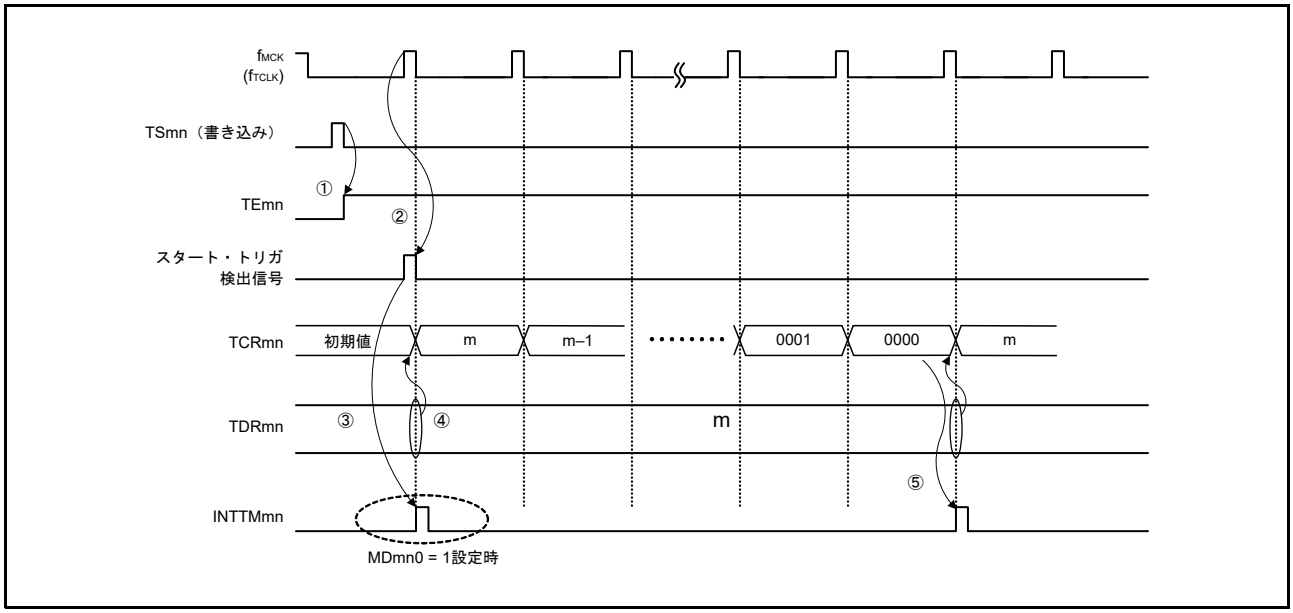
7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタmn（TCRmn）は、カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（fMCK）で、スタート・トリガが発生します。
③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック（fMCK）でINTTMmnを発生し、タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードしてカウントを継続します。

図7 - 26 動作タイミング（インターバル・タイマ・モード）



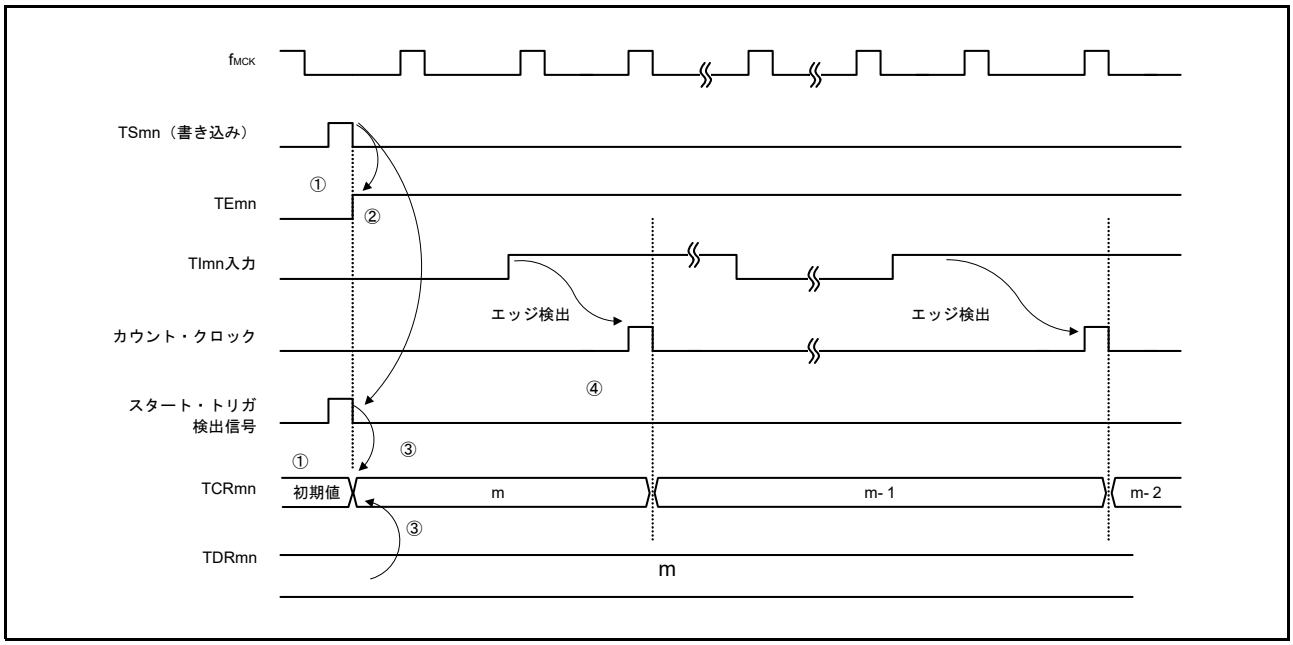
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 fMCK、スタート・トリガ検出信号、INTTMmnは、fCLKに同期して1クロック間アクティブとなります。

(2)　イベント・カウンタ・モードの動作

① 動作停止状態（TEmn = 0）の期間、タイマ・カウンタ・レジスタmn（TCRmn）は、初期値を保持します。
② TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
③ TSmn = 1→TEmn = 1と同時に、TCRmnレジスタにタイマ・データ・レジスタmn（TDRmn）の値をロードし、カウントを開始します。
④ 以降はTImn入力の有効エッジでのカウント・クロックに従い、TCRmnレジスタの値をダウン・カウントします。

図7 - 27　動作タイミング（イベント・カウンタ・モード）

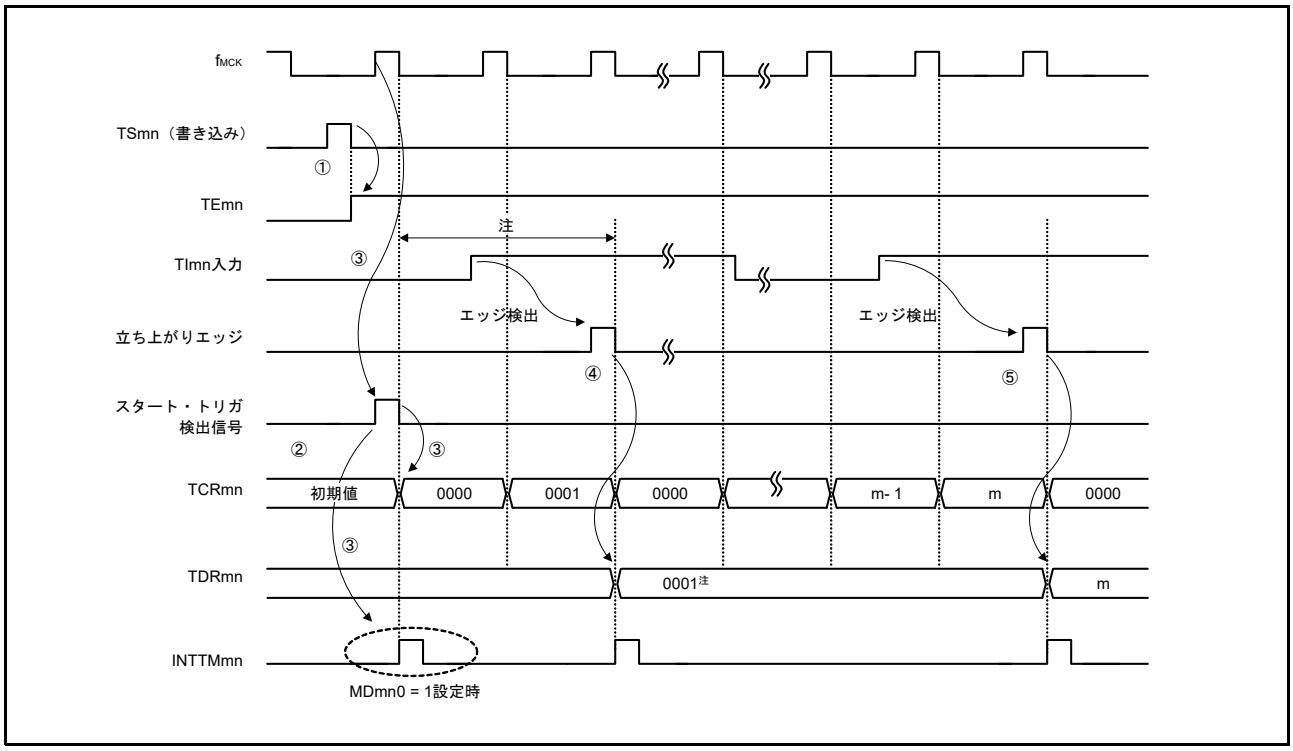


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

(3) キャプチャ・モードの動作（入力パルス間隔測定）

① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は、カウント・クロック発生まで初期値を保持しています。
③ 動作許可後の最初のカウント・クロック（fMCK）で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します（MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します）。
④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7 - 28 動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注 スタート前からTImnにクロックが入力されている（トリガがある）場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので、無視してください。

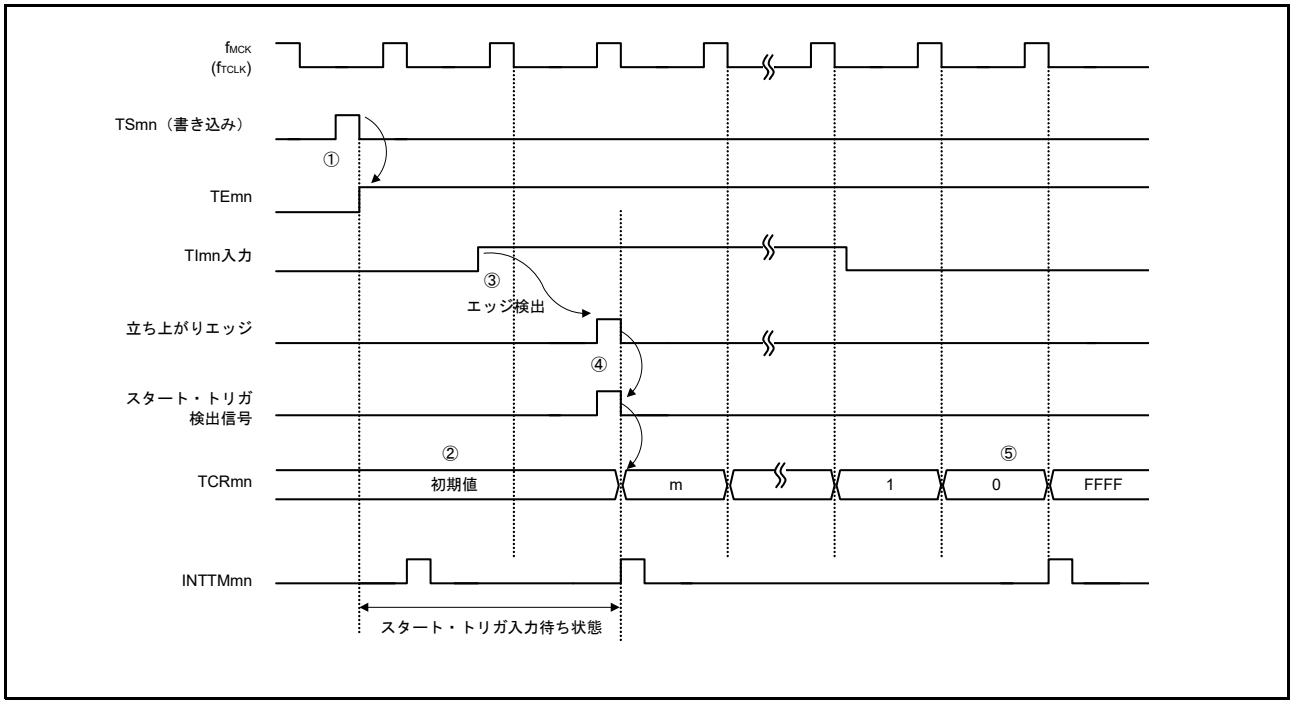
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

(4)　ワンカウント・モードの動作

① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は、スタート・トリガ発生まで初期値を保持しています。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して、TDRmnレジスタの値（m）をTCRmnレジスタにロードし、カウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図7 - 29　　動作タイミング（ワンカウント・モード）

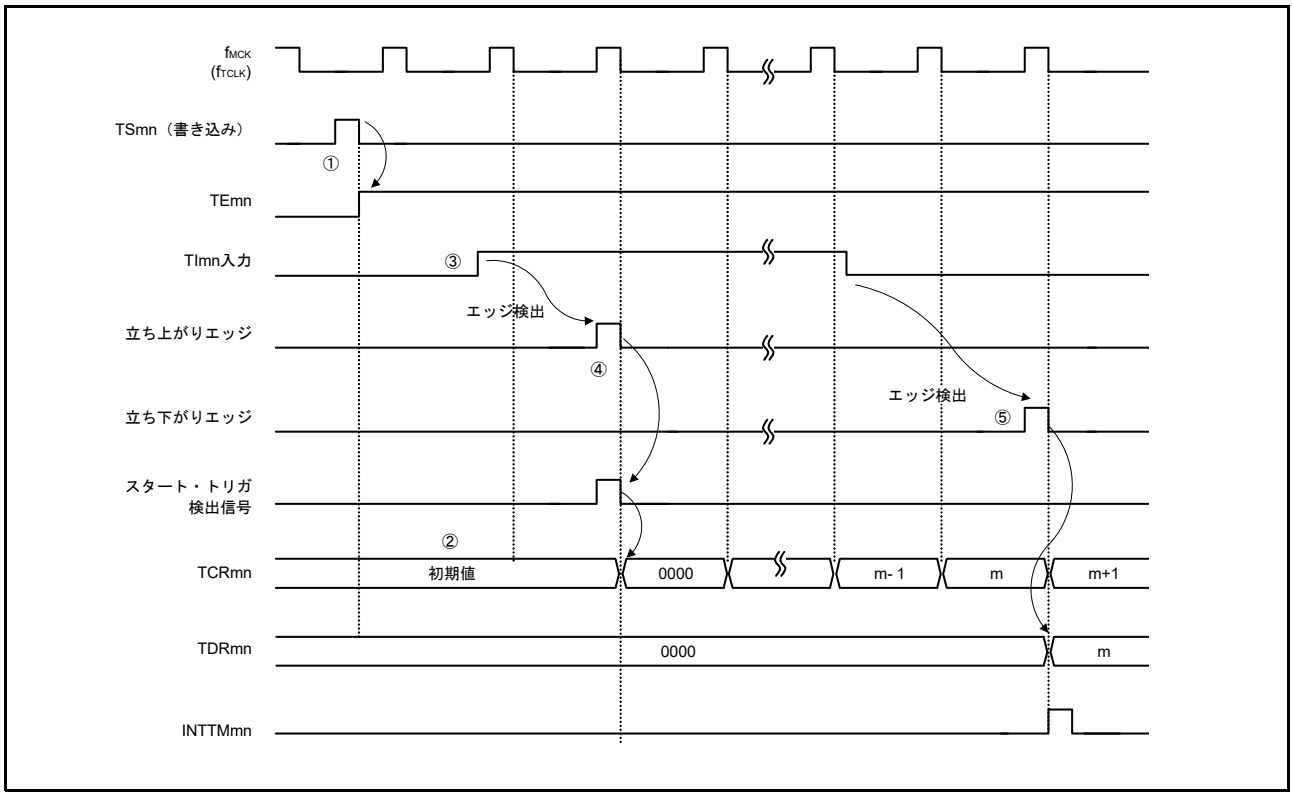


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

(5) キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタm（TSm）のTSmnビットに1を書き込むことにより、動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は、スタート・トリガ発生まで初期値を保持します。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して、0000HをTCRmnレジスタにロードし、カウントを開始します。
⑤ TImn入力の立ち下がりエッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7 - 30 動作タイミング（キャプチャ＆ワンカウント・モード：ハイ・レベル幅測定）

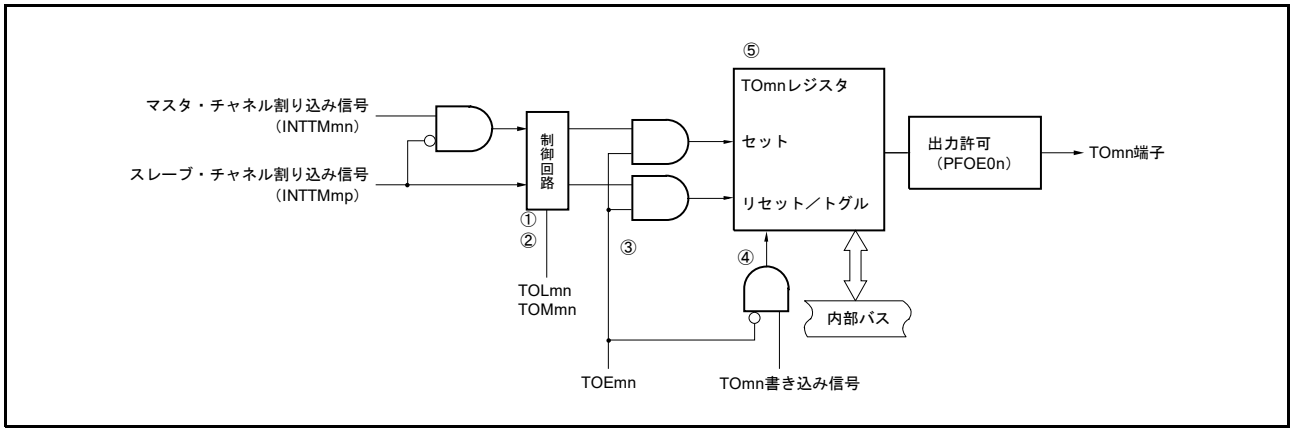


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

7.6　チャネル出力（TOmn端子）の制御

7.6.1　TOmn端子の出力回路の構成

図7 - 31　出力回路構成図



TOmn 端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは、タイマ出力レベル・レジスタ m（TOLm）の設定値は無視され、INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタ m（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは、INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）が TOm レジスタに伝えられます。
このとき、TOLmレジスタが有効となり、次のように信号を制御します。

- TOLmn = 0の場合：正論理出力（INTTMmn→セット、INTTMmp→リセット）
- TOLmn = 1の場合：負論理出力（INTTMmn→リセット、INTTMmp→セット）

また、INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は、INTTMmp（リセット信号）が優先され、INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で、INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）が TOm レジスタに伝えられます。TOm レジスタへの書き込み（TOmn ライト信号）は無効となります。
また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止（TOEmn = 0）に設定しTOmレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で、対象チャネルの TOmn ビットへの書き込み（TOmn ライト信号）が有効となります。タイマ出力禁止状態（TOEmn = 0）のとき、INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）は TOm レジスタに伝えられません。

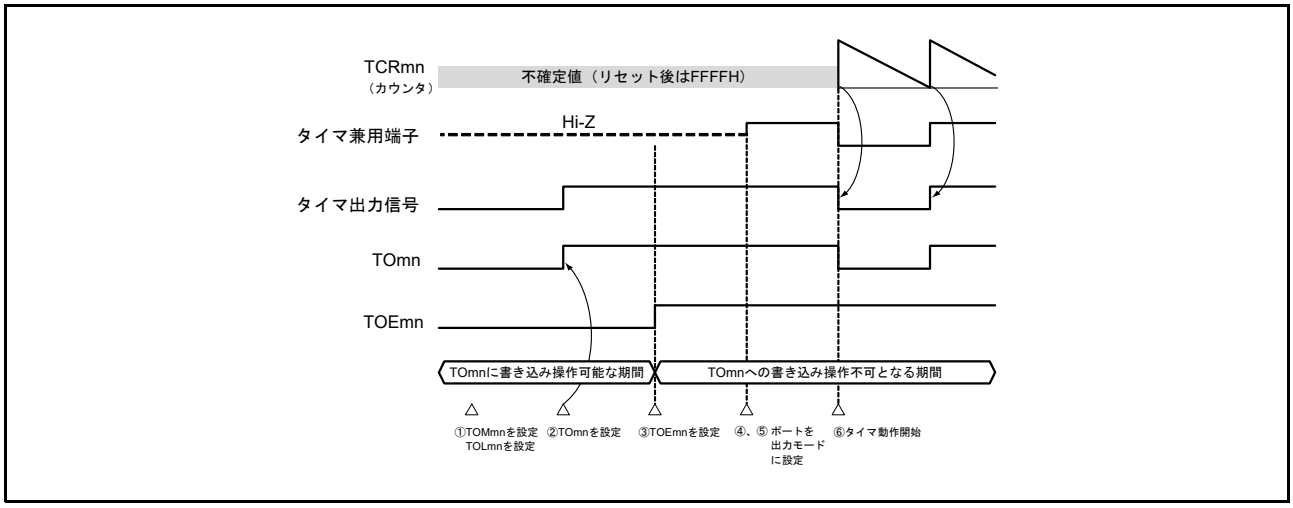
⑤ TOm レジスタは常に読み出し可能であり、TOmn 端子の出力レベルを確認することができます。

備考　m：ユニット番号（m = 0）
n：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p：スレーブ・チャネル番号
n ＜ p ≦ 7

7.6.2　TOmn端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7 - 32　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmnビット（0：マスタ・チャネル出力モード、1：スレーブ・チャネル出力モード）
- TOLmnビット（0：正論理出力、1：負論理出力）

② タイマ出力レジスタ m（TOm）を設定することにより、タイマ出力信号が初期状態に設定されます。
③ TOEmn ビットに 1 を書き込み、タイマ出力動作を許可します（TOm レジスタへの書き込みは不可となります）。
④ ポート・モード・コントロール A・レジスタ（PMCAxx）でポートをデジタル入出力に設定します（**7.3.16　タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ**参照）。
⑤ ポートの入出力設定を出力に設定します（**7.3.16　タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ**参照）。
⑥ タイマを動作許可にします（TSmn = 1）。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.6.3　チャネル出力操作時の注意事項

(1) タイマ動作中のTOm, TOEm, TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn（TCRmn）、タイマ・データ・レジスタmn（TDRmn）の動作）は、TOmn出力回路とは独立しています。よって、タイマ出力レジスタm（TOm）、タイマ出力許可レジスタm（TOEm）、タイマ出力レベル・レジスタm（TOLm）の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTOmn端子から出力するためには、**7.7　タイマ入力（TImn）の制御**および**7.8　タイマ・アレイ・ユニットの単独チャネル動作機能**で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTMmn）近辺で、TOmレジスタを除くTOEmレジスタ、TOLmレジスタの設定値変更を行うと、タイマ割り込み（INTTMmn）信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み（INTTMmn）信号発生タイミング直後に設定値変更が実施された場合とでは、TOmn端子に出力される波形が異なる場合があります。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

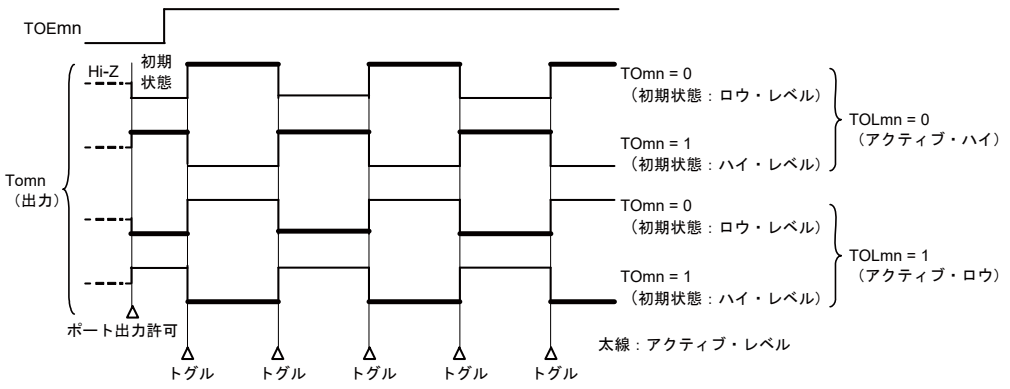
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタm（TOm）に書き込みを行い、初期レベル変更後、タイマ出力許可状態（TOEmn = 1）に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャネル出力モード（TOMmn = 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn = 0）のとき、タイマ出力レベル・レジスタm（TOLm）の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図7 - 33　トグル出力時（TOMmn = 0）のTOmn端子出力状態



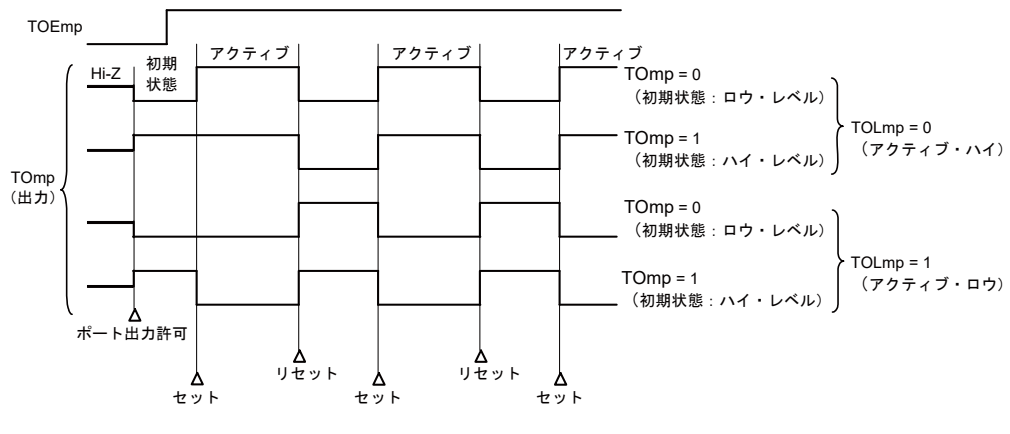
備考1. トグル：TOmn端子の出力状態を反転

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

(b) スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMmp = 1）のとき、タイマ出力レベル・レジスタm（TOLm）の設定によりアクティブ・レベルを決定します。

図7 - 34　PWM出力時（TOMmp = 1）のTOmp端子出力状態



備考1. セット　：TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号（m = 0）、p：チャネル番号（p = 1-7）

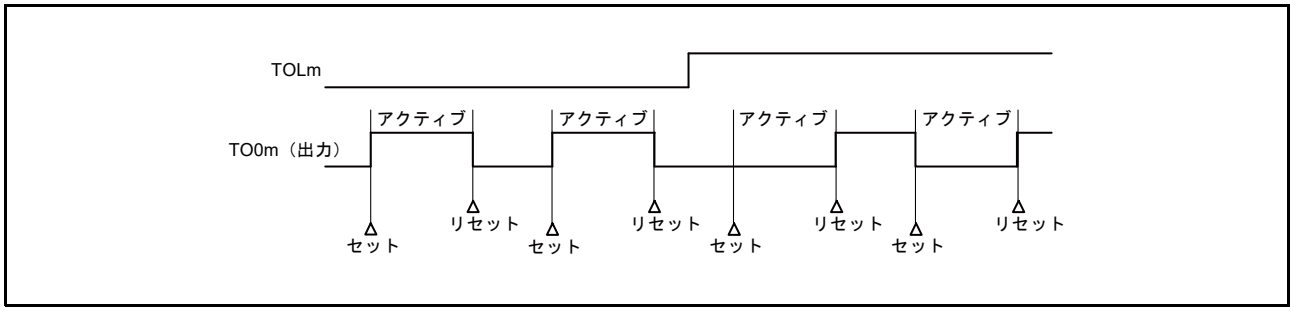
(3)　TOmn端子のスレーブ・チャネル出力モード（TOMmn = 1）での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中（TEmn = 1）にTOLmレジスタの値を変更した場合の動作を次に示します。

図7 - 35　タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット　：TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャネル・タイマ割り込み（INTTMmn）発生時のTOmn端子／TOmnビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

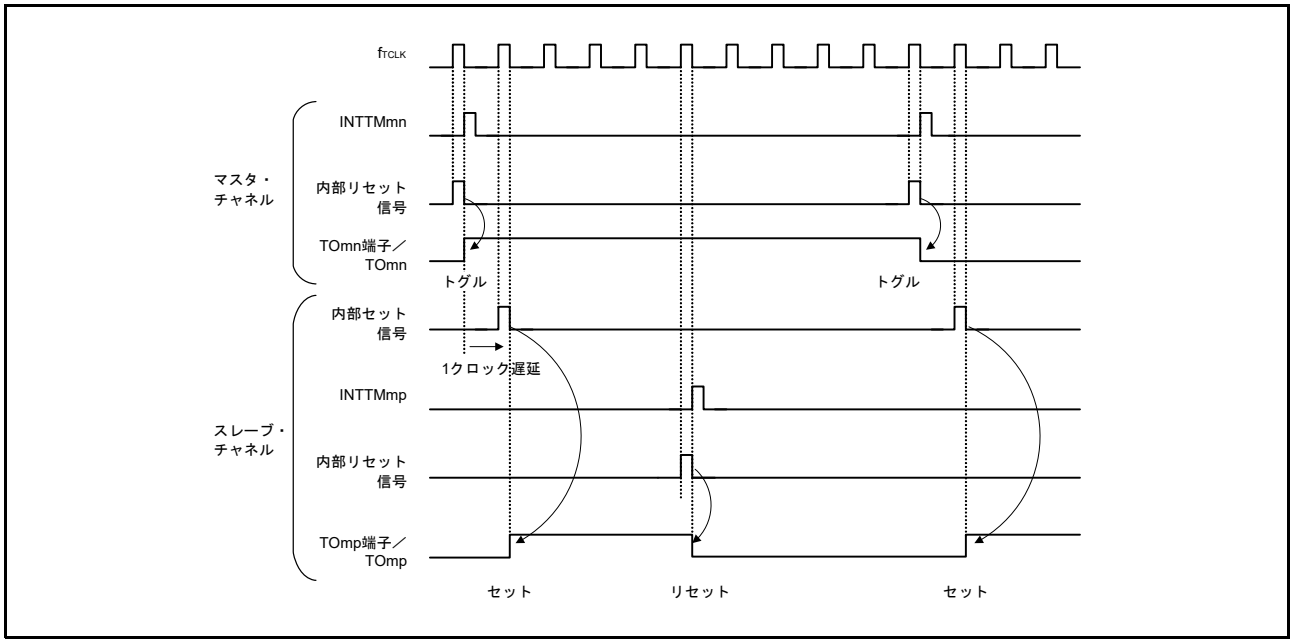
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を**図7 - 36**に示します。

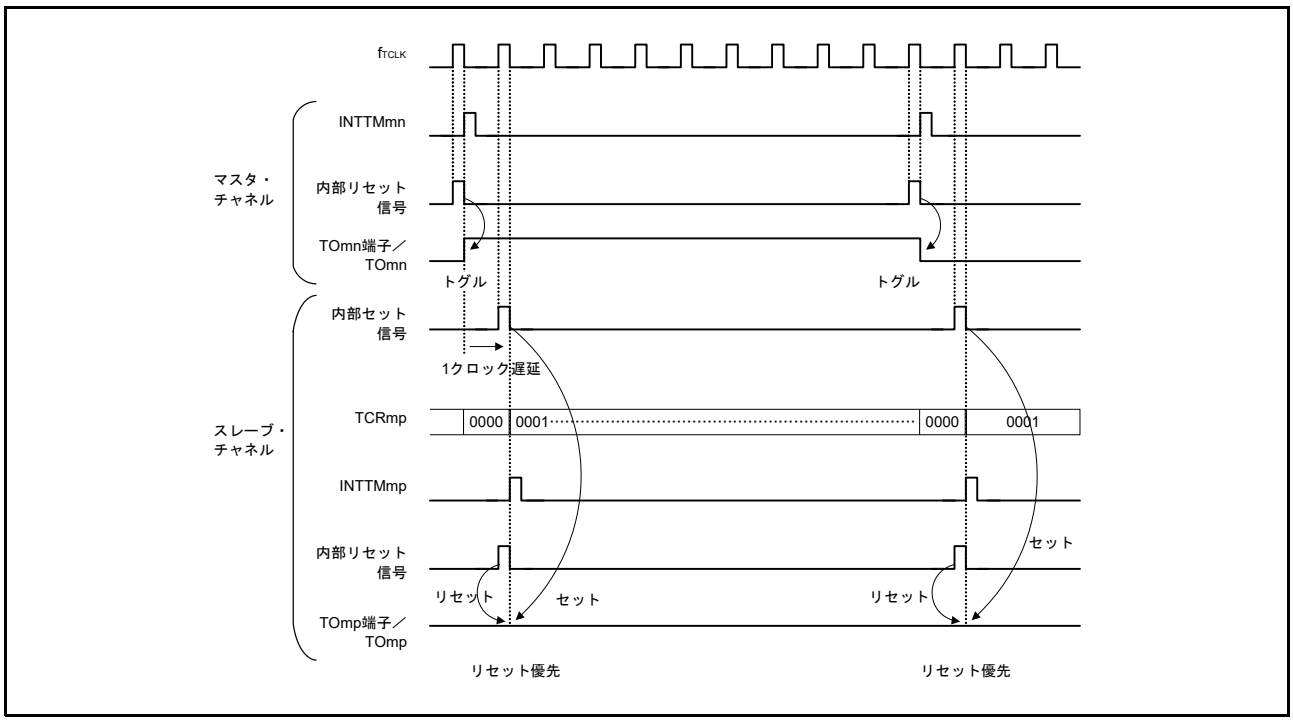
- マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0
- スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図7 - 36　セット／リセット・タイミング動作状態

(1)　基本動作タイミング



(2)　0%デューティ時の動作タイミング



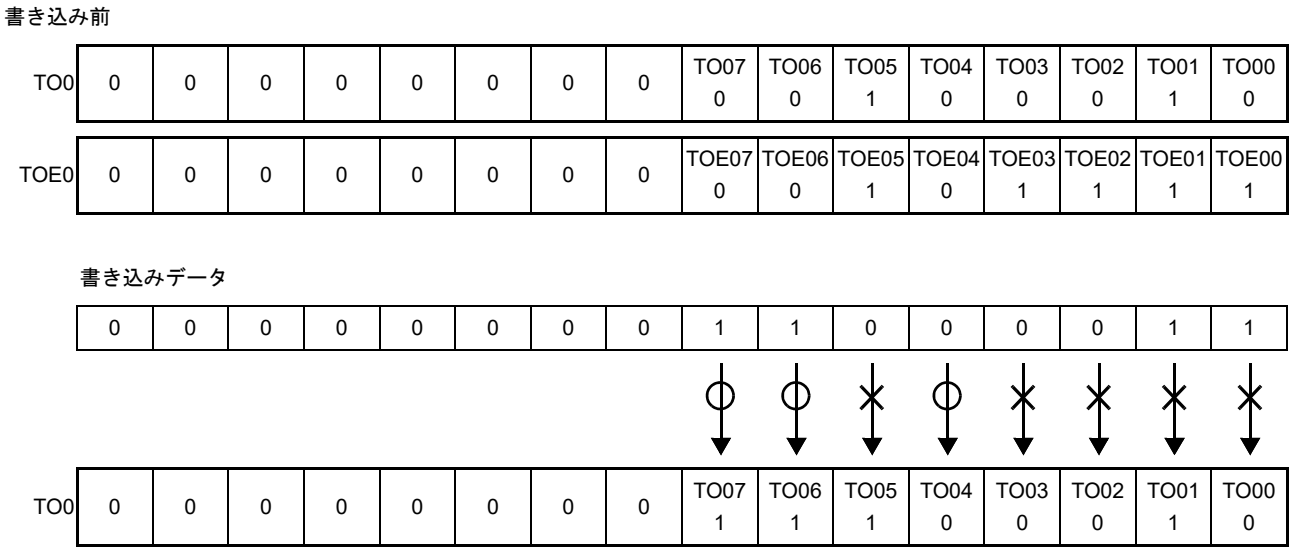
備考1. 内部リセット信号：TOmn端子のリセット／トグル信号
内部セット信号：TOmn端子のセット信号

備考2. m ：ユニット番号（m = 0）
n ：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p ：スレーブ・チャネル番号
n＜p≦7

7.6.4　TOmnビットの一括操作

タイマ出力レジスタ m（TOm）には、タイマ・チャネル開始レジスタ m（TSm）と同様に、1 レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって、全チャネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャネル出力（TOmn）のみ TOmn ビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

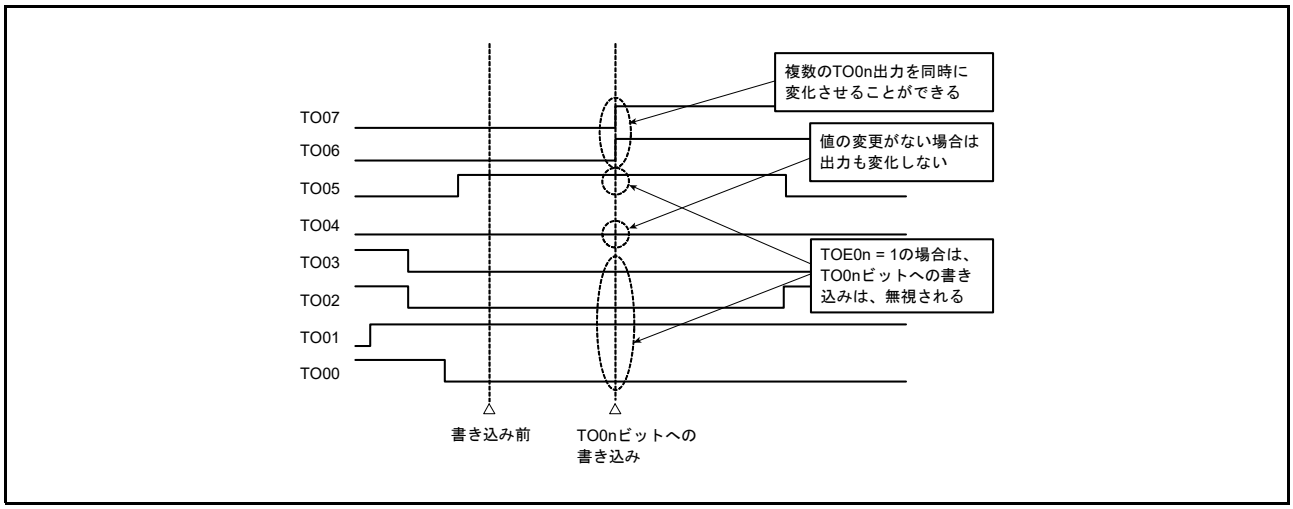
図7 - 37　TO0nビットの一括操作例



TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。

TOEmn = 1 に設定されている TOmn（チャネル出力）は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7 - 38　TO0nビットの一括操作によるTO0nの端子状態



備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.6.5　カウント動作開始時のタイマ割り込みとTOmn端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn（TMRmn）の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

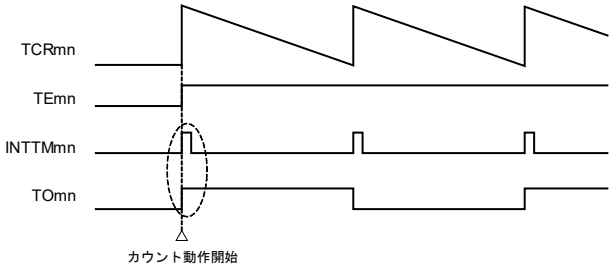
MDmn0 = 1 に設定することで、タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

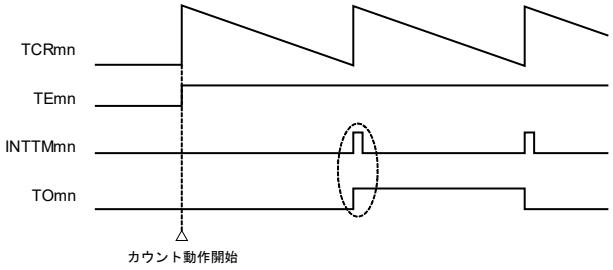
インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図7 - 39　カウント動作開始時のタイマ割り込み、TOmn出力の動作例

(a) MDmn0 = 1に設定した場合



(b) MDmn0 = 0に設定した場合



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み（INTTMmn）が出力され、TOmnがトグル動作します。

MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmnも変化しません。1周期をカウント後、INTTMmnを出力し、TOmnがトグル動作します。

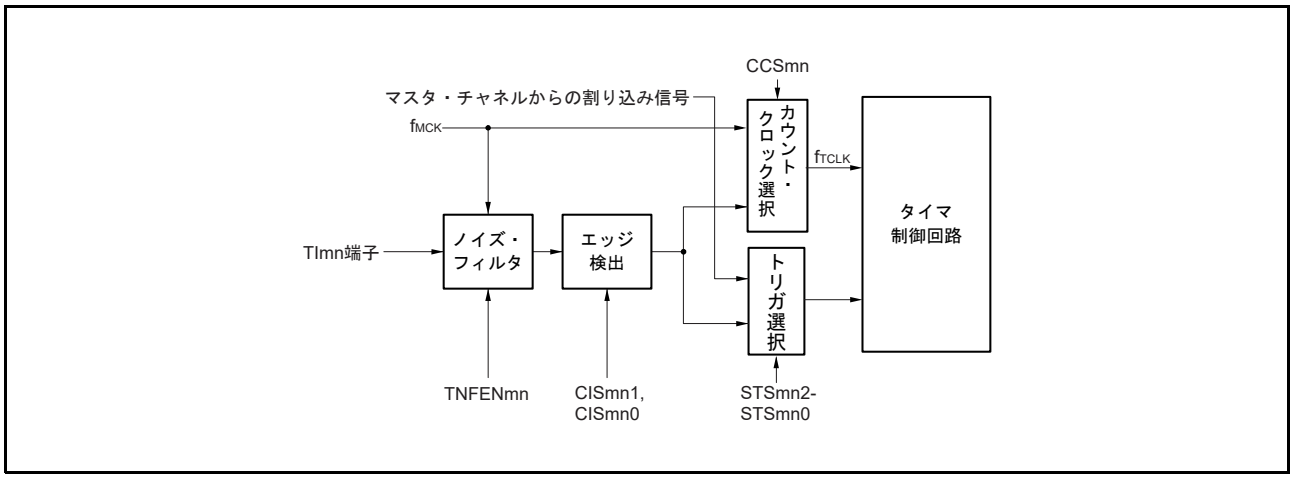
備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.7　タイマ入力（TImn）の制御

7.7.1　TImnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

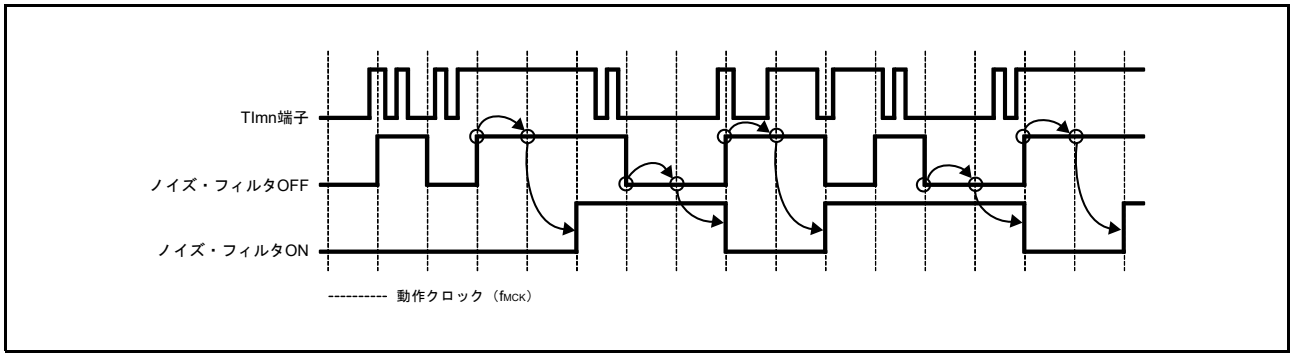
図7 - 40　入力回路構成図



7.7.2　ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャネル n の動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は、チャネル n の動作クロック（fMCK）で同期化のあと、2 クロックの一致検出を行います。以下に、TImn 入力端子に対するノイズ・フィルタ ON ／ OFF によるノイズ・フィルタ回路を通過後の波形を示します。

図7 - 41　TImn入力端子に対するノイズ・フィルタON／OFFによるサンプリング波形



7.7.3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn（TMRmn）のCCSmn, STSmn1, STSmn0ビットがすべて0の状態から、いずれかのビットをセットした場合は、動作クロック（f_{MCK}）の2サイクル以上経過してから、タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタmn（TMRmn）のCCSmn, STSmn1, STSmn0ビットがすべて0の状態から、いずれかのビットをセットした場合は、動作クロック（f_{MCK}）の4サイクル以上経過してから、タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

7.8　タイマ・アレイ・ユニットの単独チャネル動作機能

7.8.1　インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は、次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 = カウント・クロックの周期 ×（TDRmnの設定値 + 1）

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。

TOmn出力波形の周期と周波数は、次の式で求めることができます。

TOmnからの出力方形波の周期 = カウント・クロックの周期 ×（TDRmnの設定値 + 1）× 2
TOmnからの出力方形波の周波数 = カウント・クロックの周波数／｛(TDRmnの設定値 + 1）× 2｝

タイマ・カウンタ・レジスタ mn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn, TSHm1, TSHm3）に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn（TDRmn）の値をロードします。このときタイマ・モード・レジスタ mn（TMRmn）の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

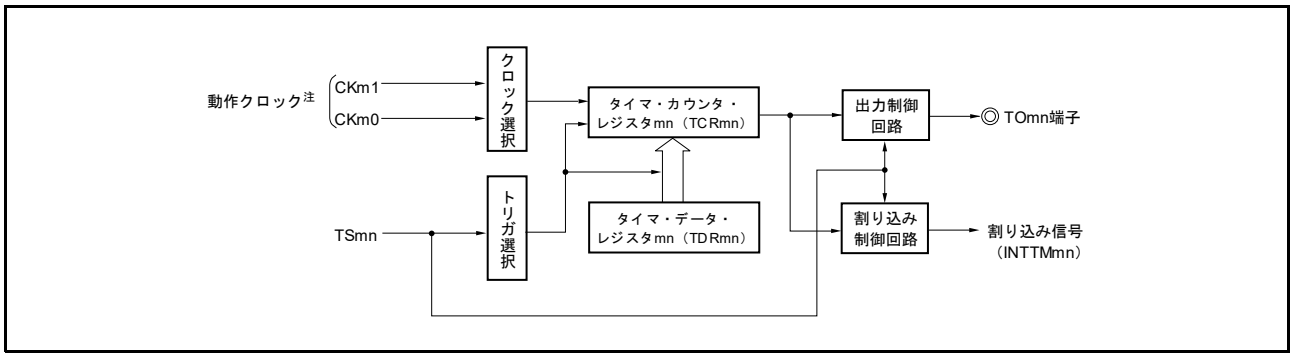
その後、TCRmn レジスタはカウント・クロックにあわせてダウン・カウントを行います。

TCRmn = 0000H となったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を継続します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

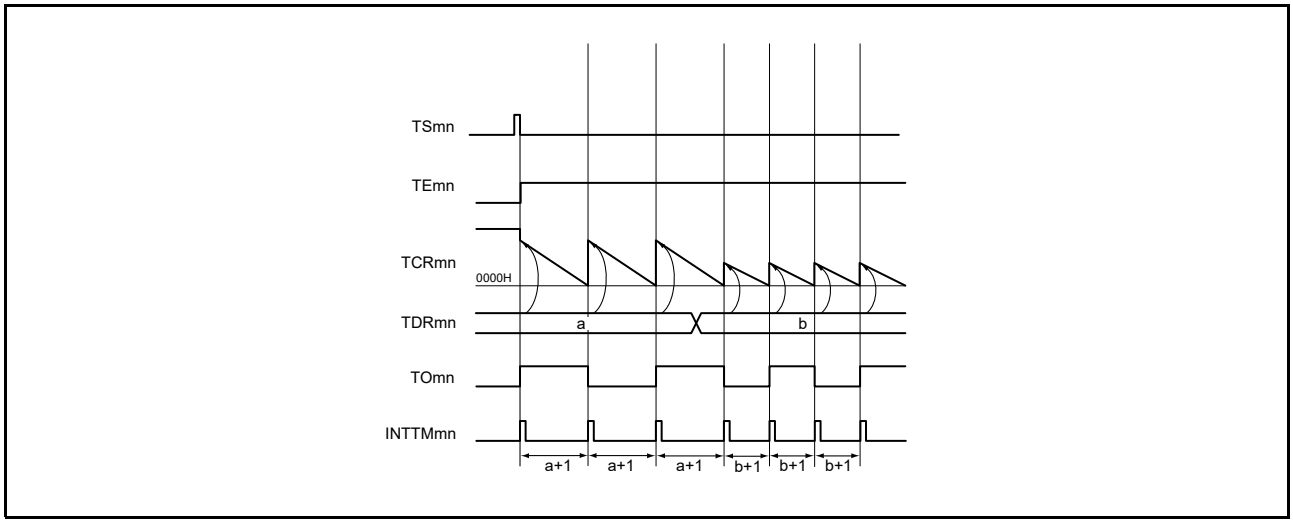
備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 42　インターバル・タイマ／方形波出力としての動作のブロック図



注　チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7 - 43　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）

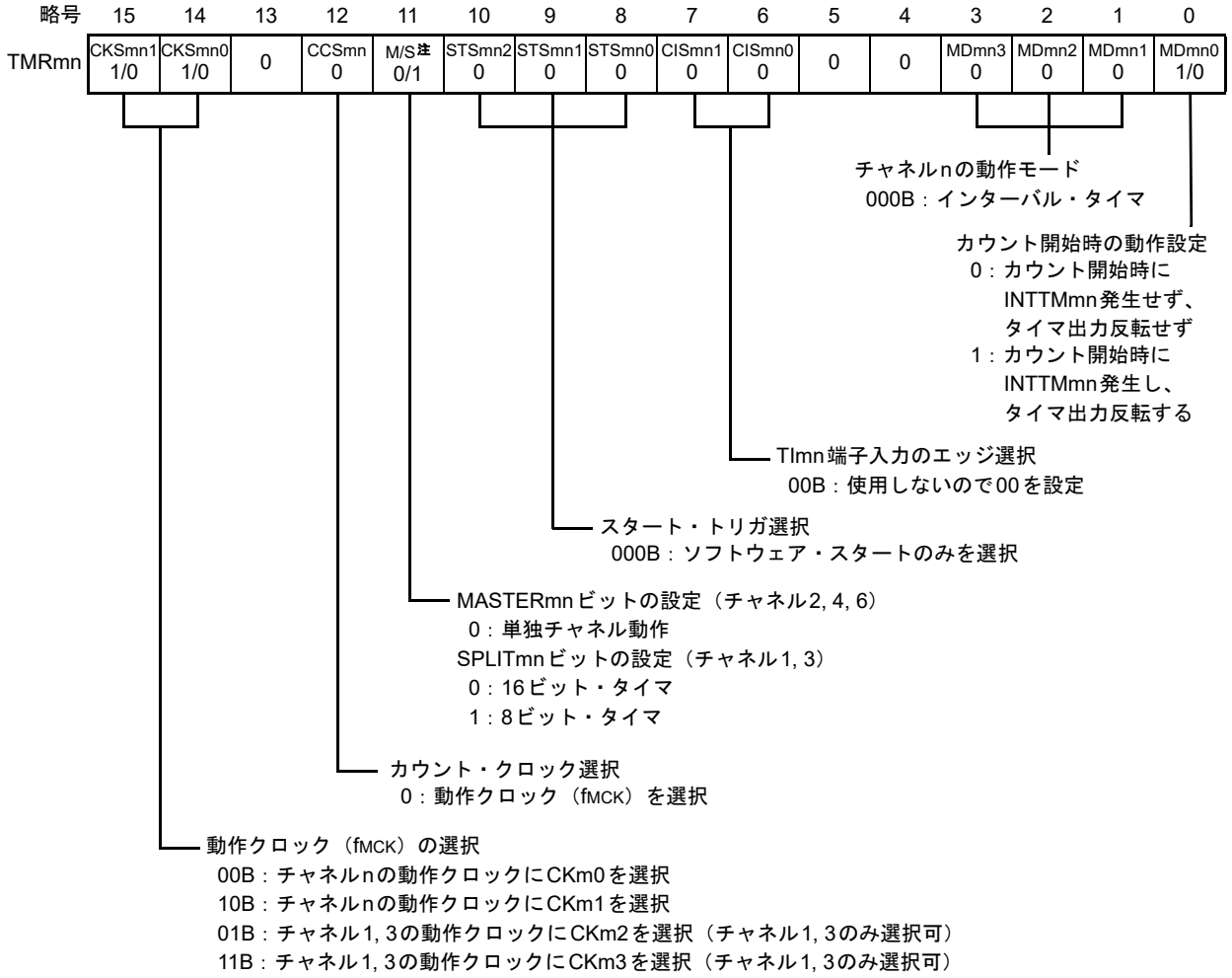


備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn
TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn
TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）
TDRmn　：タイマ・データ・レジスタmn（TDRmn）
TOmn　：TOmn端子出力信号

図7 - 44　インターバル・タイマ／方形波出力時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 1/0	0：TOmnより0を出力する 1：TOmnより1を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 1/0	0：カウント動作によるTOmn出力動作停止 1：カウント動作によるTOmn出力動作許可

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 45　インターバル・タイマ／方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	TOmn出力を使用する場合、 タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する TOLmnビットに0を設定する TOmnビットを設定し、TOmn出力の初期レベルを確定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し、TOmnの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	チャネルは動作停止状態なので、TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作開始	（TOmn出力を使用する場合で、かつ動作再開時のみ TOEmnビットに1を設定する） TSmn（TSHm1, TSHm3）ビットに1を設定する → TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので、自動的に0に戻る	 TEmn（TEHm1, TEHm3）= 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は、INTTMmnを発生し、TOmnもトグル動作する。
動作中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TOm, TOEmレジスタは、設定値変更可能 TMRmnレジスタ、TOMmn, TOLmnビットは、設定値変更禁止	カウンタ（TCRmn）はダウン・カウント動作を行い、0000Hまでカウントすると、再びTCRmnレジスタはTDRmnレジスタの値をロードし、カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し、TOmnはトグル動作する。 以降、この動作を繰り返す。
動作停止	TTmn（TTHm1, TTHm3）ビットに1を設定する → TTmn（TTHm1, TTHm3）ビットはトリガ・ビットなので、自動的に0に戻る	TEmn（TEHm1, TEHmn）= 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず、状態保持
	TOEmnビットに0を設定し、TOmnビットに値を設定する →	TOmn端子はTOmnビットに設定したレベルを出力

動作再開 →

図7 - 45　インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する → TOmn端子の出力レベルを保持不要の場合 設定不要	TOmn端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタの → TAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される （TOmnビットが0になり、TOmn端子はポート機能となる）

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.2　外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達すると割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmnの設定値 + 1

タイマ・カウンタ・レジスタ mn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の任意の動作許可（スタート）トリガ・ビット（TSmn）に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn（TDRmn）の値をロードします。

TCRmn レジスタは TImn 端子入力の有効エッジ検出にあわせてダウン・カウントを行い、TCRmn = 0000H となったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

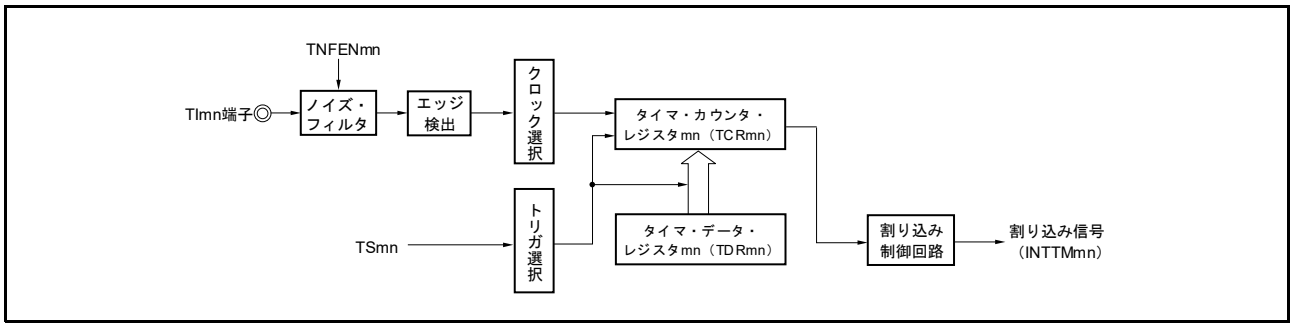
以降、同様の動作を継続します。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m（TOEm）の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

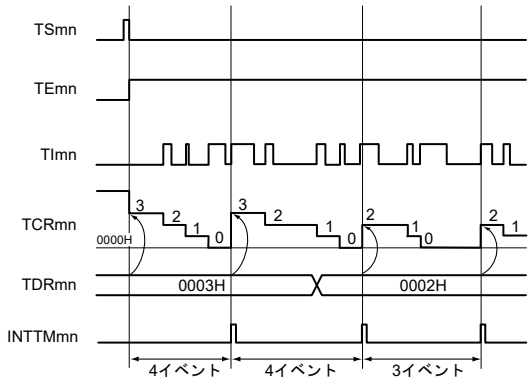
外部イベント・カウンタは、TImn 端子入力を使用せずに、TIS0 レジスタで選択したタイマ入力を入力ソースにすることもできます。

図7 - 46　外部イベント・カウンタとしての動作のブロック図



備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 47　外部イベント・カウンタとしての動作の基本タイミング例

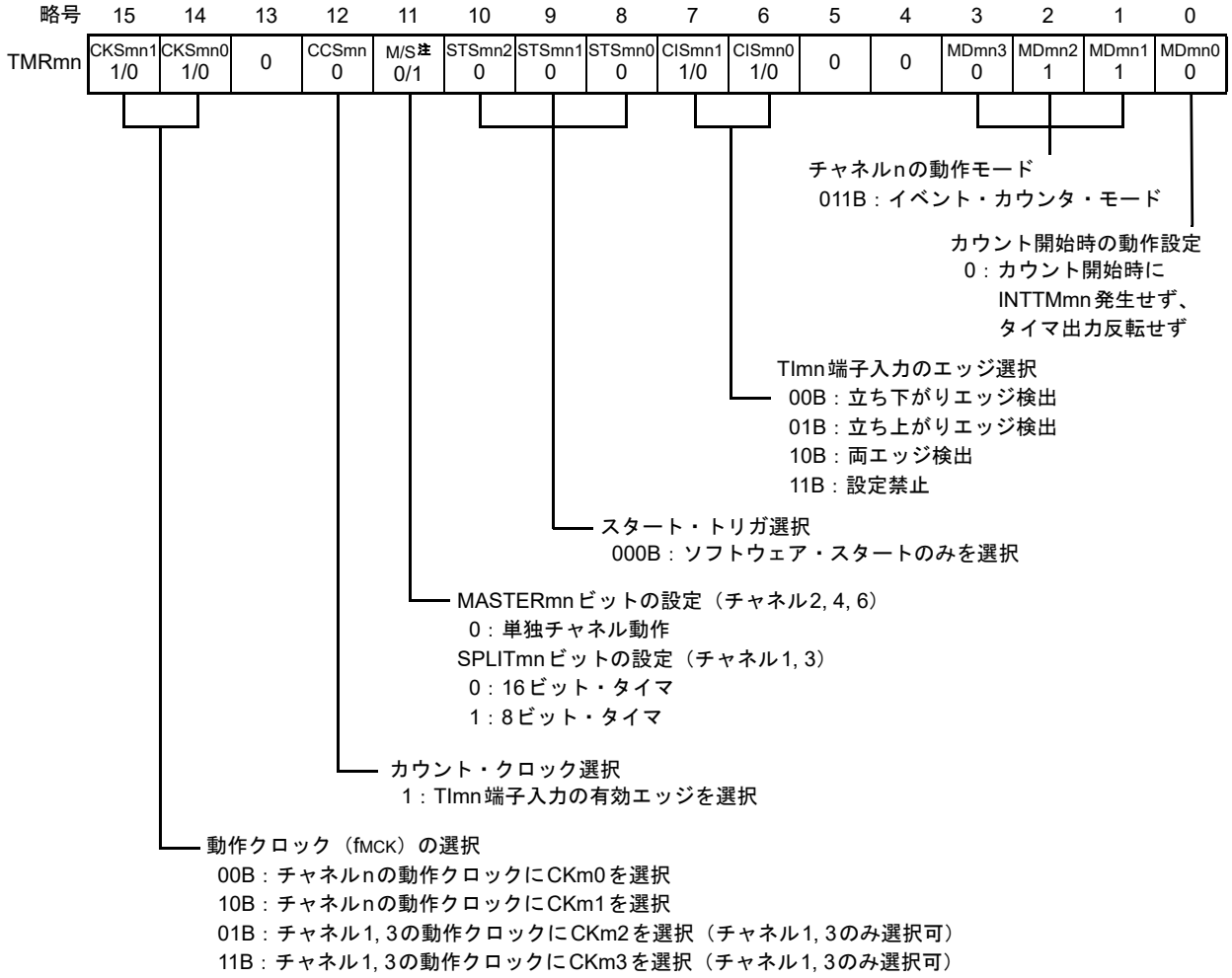


備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn
TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn
TImn　：TImn端子入力信号
TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）
TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図7 - 48　外部イベント・カウンタ・モード時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 49　外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にカウント数を設定する タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、TImn端子入力のエッジ検出待ち状態になる
動作中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TMRmnレジスタ、TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	TImn端子入力のエッジが検出されるごとに、カウンタ（TCRmn）はダウン・カウント動作を行う。0000Hまでカウントすると、再びTCRmnレジスタはTDRmnレジスタの値をロードし、カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。 以降、この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.3　分周器としての動作（チャネル0のみ）

TI00 端子に入力されたクロックを分周し、TO00 端子から出力する分周器として利用することができます。

TO00 出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：
  分周クロック周波数 = 入力クロック周波数／｛(TDR00 の設定値 + 1) × 2｝
- 両エッジ選択時：
  分周クロック周波数 ≒ 入力クロック周波数／（TDR00の設定値 + 1）

タイマ・カウンタ・レジスタ 00（TCR00）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ 0（TS0）の動作許可（スタート）トリガ・ビット（TS00）に 1 を設定後、TI00 の有効エッジ検出で TCR00 レジスタはタイマ・データ・レジスタ 00（TDR00）の値をロードします。このときタイマ・モード・レジスタ 00（TMR00）の MD000 = 0 ならば、INTTM00 を出力せず、TO00 はトグルしません。TMR00 レジスタの MD000 = 1 ならば、INTTM00 を出力して、TO00 をトグルします。

その後、TI00 端子入力の有効エッジにあわせてダウン・カウントを行い、TCR00 = 0000H となったら、TO00 をトグルします。同時に TCR00 レジスタは TDR00 レジスタの値をロードして、カウントを継続します。

TI00 端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差が TO00 出力の分周クロック周期に影響します。

TO00 の出力クロックの周期には、動作クロック 1 周期分のサンプリング誤差が含まれます。

TO00出力のクロック周期 = 理想のTO00出力クロック周期 ± 動作クロック周期（誤差）

TDR00 レジスタは任意のタイミングで書き換えることができます。書き換えた TDR00 レジスタの値は次のカウント期間で有効となります。

図7 - 50　分周器としての動作のブロック図

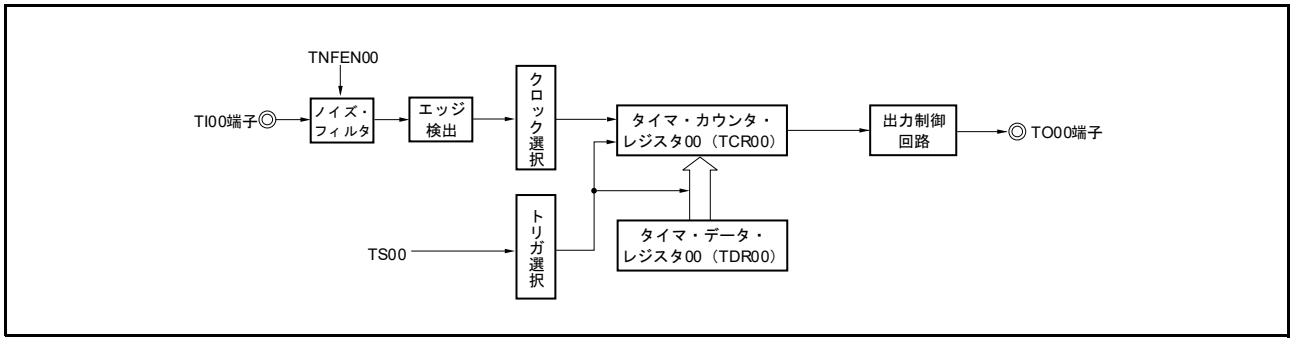
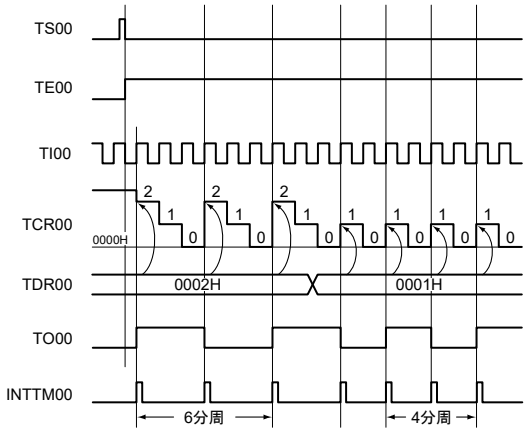


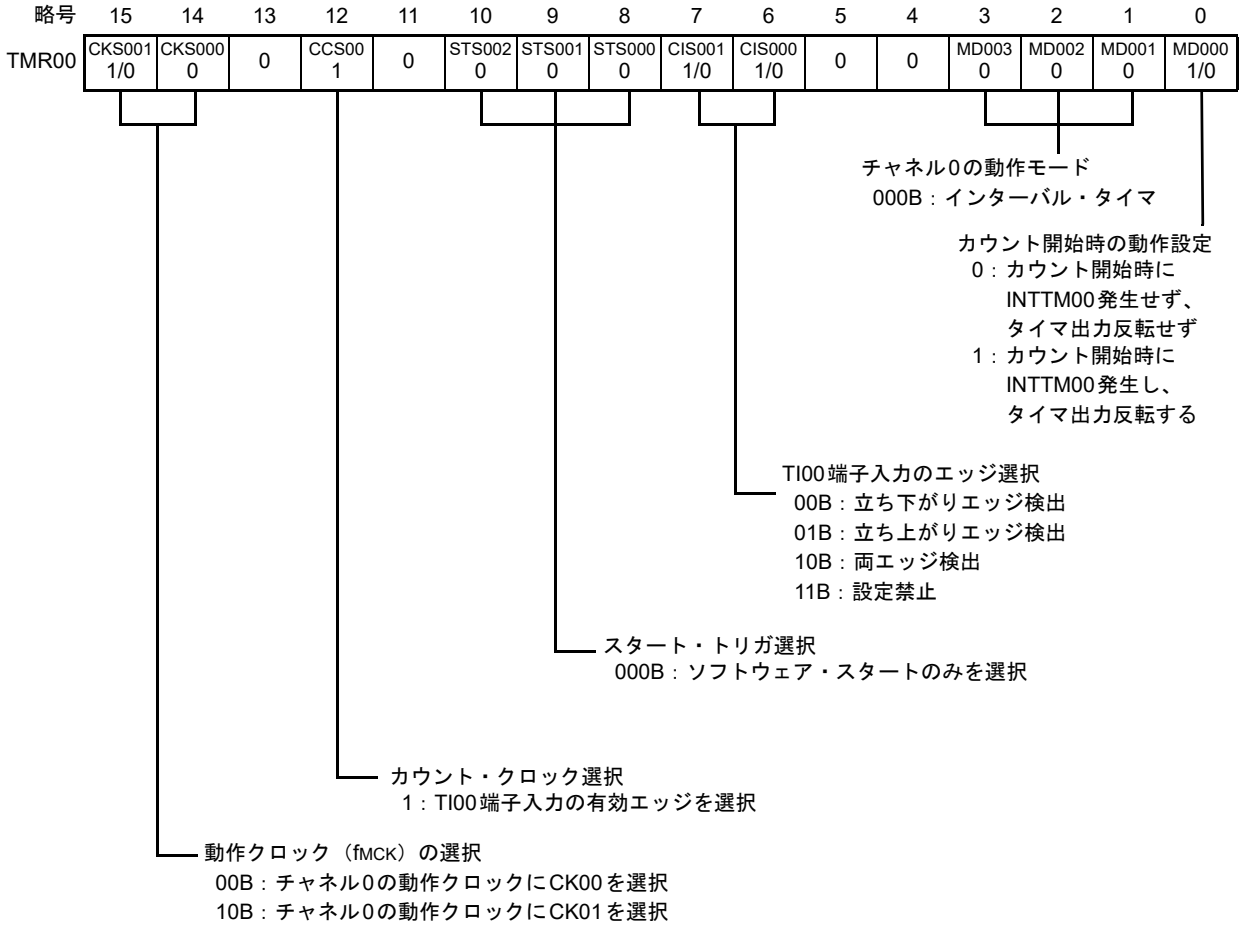
図7 - 51　分周器としての動作の基本タイミング例（MD000 = 1）



備考　TS00　：タイマ・チャネル開始レジスタ0（TS0）のビット0
TE00　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビット0
TI00　：TI00端子入力信号
TCR00　：タイマ・カウンタ・レジスタ00（TCR00）
TDR00　：タイマ・データ・レジスタ00（TDR00）
TO00　：TO00端子出力信号

図7 - 52 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ00（TMR00）



(b) タイマ出力レジスタ0（TO0）

	ビット0	
TO0	TO00 1/0	0：TO00より0を出力する 1：TO00より1を出力する

(c) タイマ出力許可レジスタ0（TOE0）

	ビット0	
TOE0	TOE00 1/0	0：カウント動作によるTO00出力動作停止 1：カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0（TOL0）

	ビット0	
TOL0	TOL00 0	0：マスタ・チャネル出力モード（TOM00 = 0）では0を設定

(e) タイマ出力モード・レジスタ0（TOM0）

	ビット0	
TOM0	TOM00 0	0：マスタ・チャネル出力モードを設定

図7 - 53　分周器機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタ00（TMR00）を設定する （チャネルの動作モード確定、検出エッジの選択） タイマ・データ・レジスタ00（TDR00）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	タイマ出力モード・レジスタ0（TOM0）のTOM00ビットに0（マスタ・チャネル出力モード）を設定する TOL00ビットに0を設定する TO00ビットを設定し、TO00出力の初期レベルを確定する →	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TO00初期設定レベルが出力される。
	TOE00ビットに1を設定し、TO00の動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	チャネルは動作停止状態なので、TO00は変化しない TO00端子はTO00設定レベルを出力

図7 - 53　分周器機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOE00ビットに1を設定する（動作再開時のみ） TS00ビットに1を設定する → TS00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 1になり、カウント動作開始 タイマ・カウンタ・レジスタ00（TCR00）はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は、INTTM00を発生し、TO00もトグル動作する。
動作中	TDR00レジスタは、任意に設定値変更が可能 TCR00レジスタは、常に読み出し可能 TSR00レジスタは、使用しない TO0, TOE0レジスタは、設定値変更可能 TMR00レジスタ、TOM00, TOL00ビットは、設定値変更禁止	カウンタ（TCR00）はダウン・カウント動作を行い、0000Hまでカウントすると、再びTCR00レジスタはTDR00レジスタの値をロードし、カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し、TO00はトグル動作する。 以降、この動作を繰り返す。
動作停止	TT00ビットに1を設定する → TT00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 0になり、カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず、状態保持
	TOE00ビットに0を設定し、TO00ビットに値を設定する →	TO00端子はTO00設定レベルを出力
TAU停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO00ビットに0を設定する → TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

動作再開 →

7.8.4　入力パルス間隔測定としての動作

TImn 有効エッジでカウント値をキャプチャし、TImn 入力パルスの間隔を測定することができます。また、TEmn = 1 の期間中に、ソフトウェア操作（TSmn = 1）をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 = カウント・クロックの周期 ×（（10000H × TSRmn.OVF）+（TDRmnのキャプチャ値 + 1））

注意　TImn端子入力は、タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn）に 1 を設定すると TCRmn レジスタはカウント・クロックにあわせて 0000H からアップ・カウントを開始します。

TImn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn（TDRmn）に転送（キャプチャ）すると同時に、TCRmn レジスタを 0000H にクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットが 1 にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

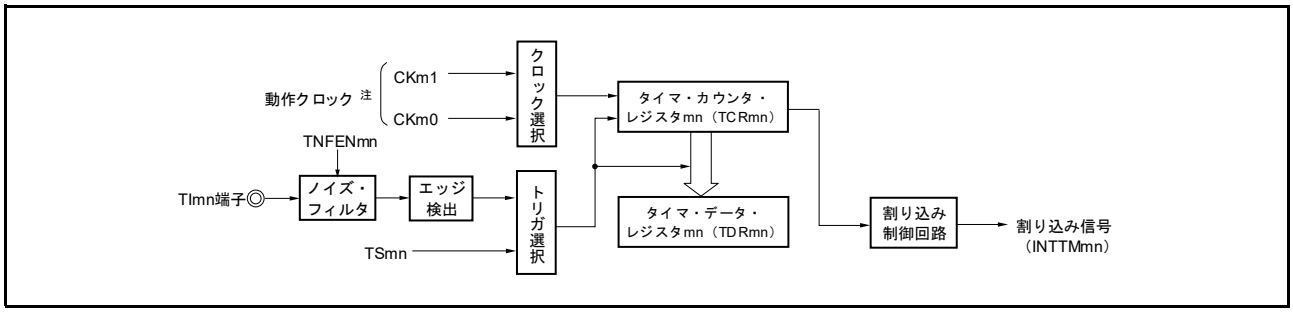
カウント値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットが 1 にセットされます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタの STSmn2-STSmn0 = 001B に設定して、TImn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

入力パルス間隔測定は、TImn 端子入力を使用せずに、TIS0 レジスタで選択したタイマ入力や、ソフトウェア操作（TSmn = 1）をスタート・トリガおよびキャプチャ・トリガにすることもできます。

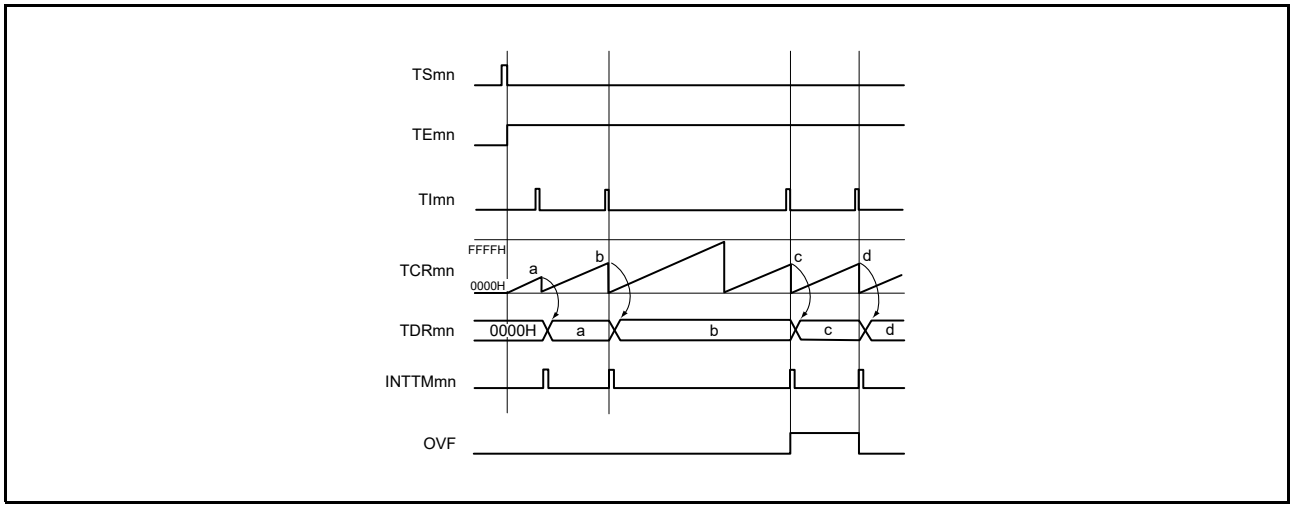
図7 - 54　入力パルス間隔測定としての動作のブロック図



注　チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 55　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）

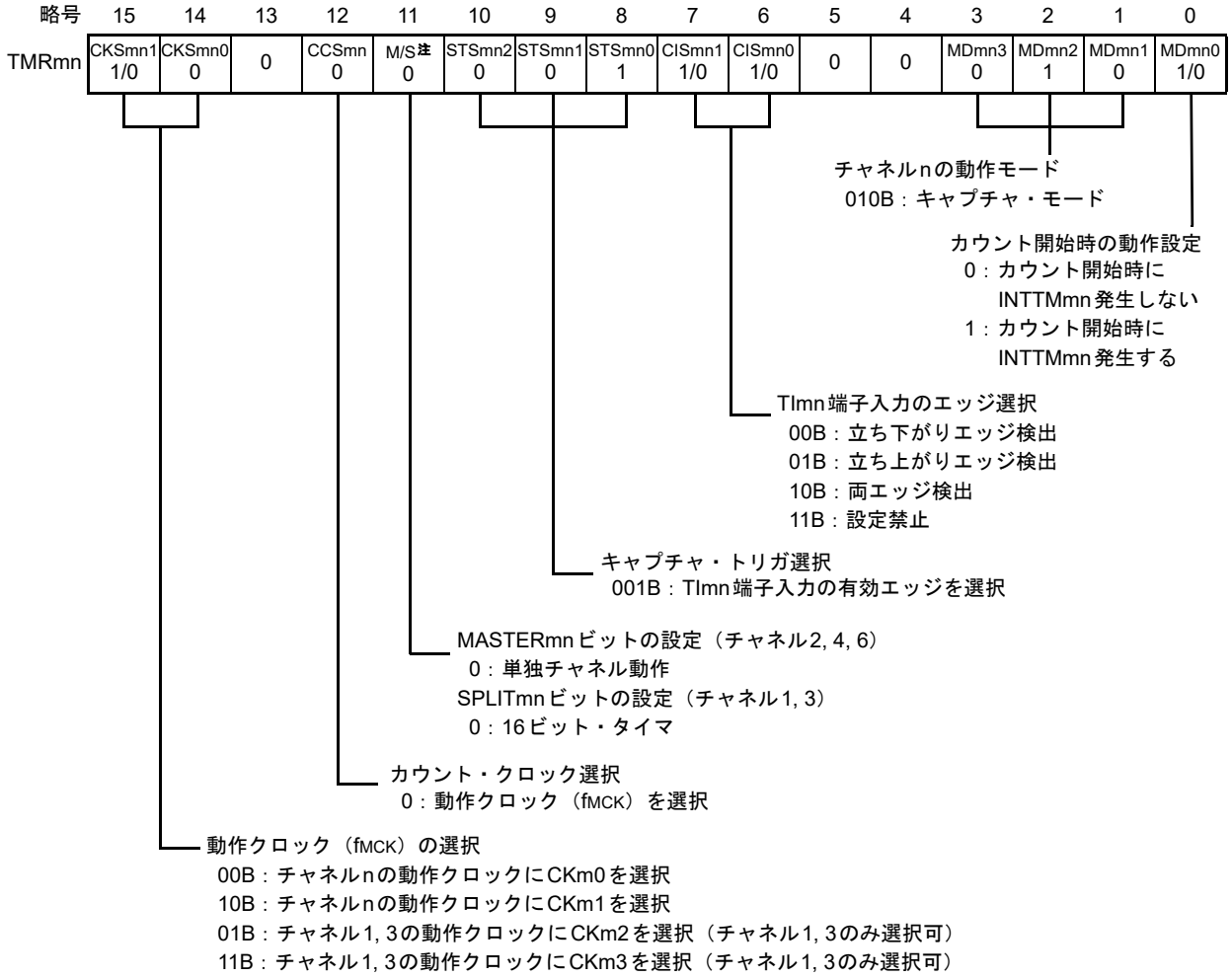


備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn
TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn
TImn　：TImn端子入力信号
TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）
TDRmn　：タイマ・データ・レジスタmn（TDRmn）
OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図7 - 56　入力パルス間隔測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 57　　入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は、INTTMmnを発生する。
動作中	TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは、常に読み出し可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	カウンタ（TCRmn）は0000Hからアップ・カウント動作を行い、TImn端子入力の有効エッジの検出またはTSmnビットに1を設定すると、カウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）する。同時に、TCRmnレジスタを0000Hにクリアし、INTTMmnを発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットがクリアされる。 以降、この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.5　入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作

注意　LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ（ISC）のISC1ビットに1を設定してください。また、以降の説明では「TImn」を「RxD2」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅（ロウ・レベル幅／ハイ・レベル幅）を測定することができます。TImn の信号幅は次の式で求めることができます。

TImn入力の信号幅 = カウント・クロックの周期 ×（(10000H × TSRmn.OVF）+（TDRmnのキャプチャ値 + 1））

注意　TImn端子入力は、タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn（TCRmn）はキャプチャ＆ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn）に 1 を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ（ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ）を検出すると、カウント・クロックにあわせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ）を検出すると、カウンタ値をタイマ・データ・レジスタ mn（TDRmn）に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットが 1 にセットされます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

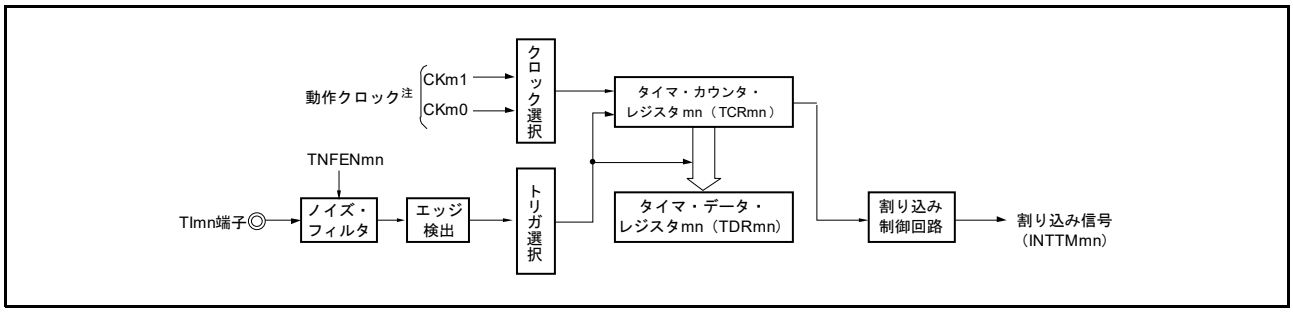
TImn 端子入力のロウ・レベル幅を測定するか、ハイ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSmn ビットの 1 へのセットは使用できません。

なお、TImn 端子入力を使用せずに、TIS0 レジスタで選択したタイマ入力を、スタート・エッジおよびキャプチャ・エッジとすることもできます。

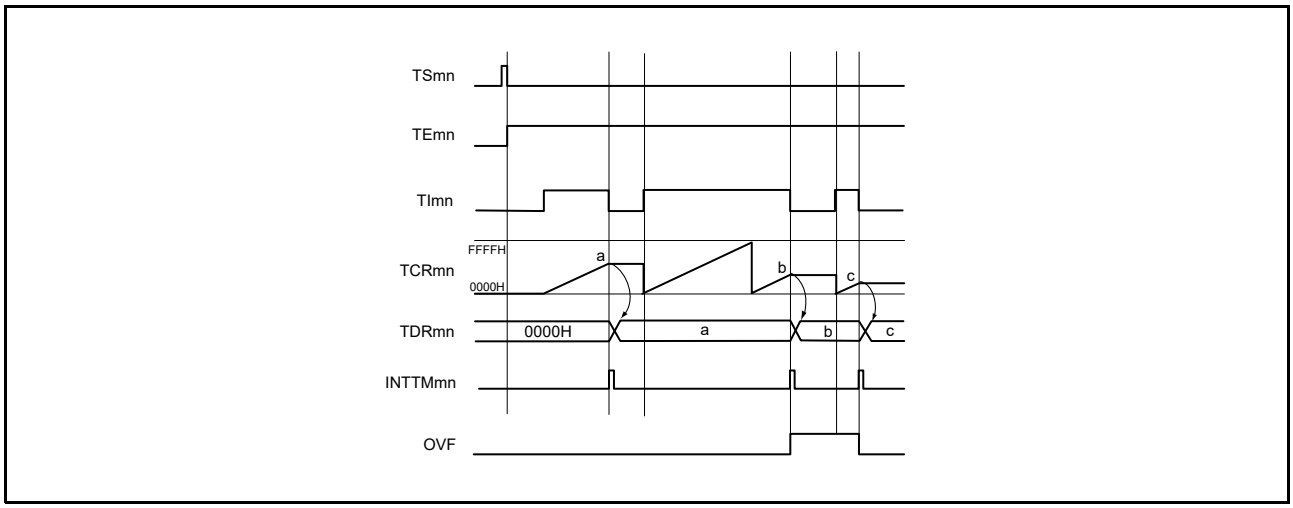
- TMRmn レジスタの CISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する
- TMRmn レジスタの CISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図7 - 58 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作のブロック図



注 チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7 - 59 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作の基本タイミング例

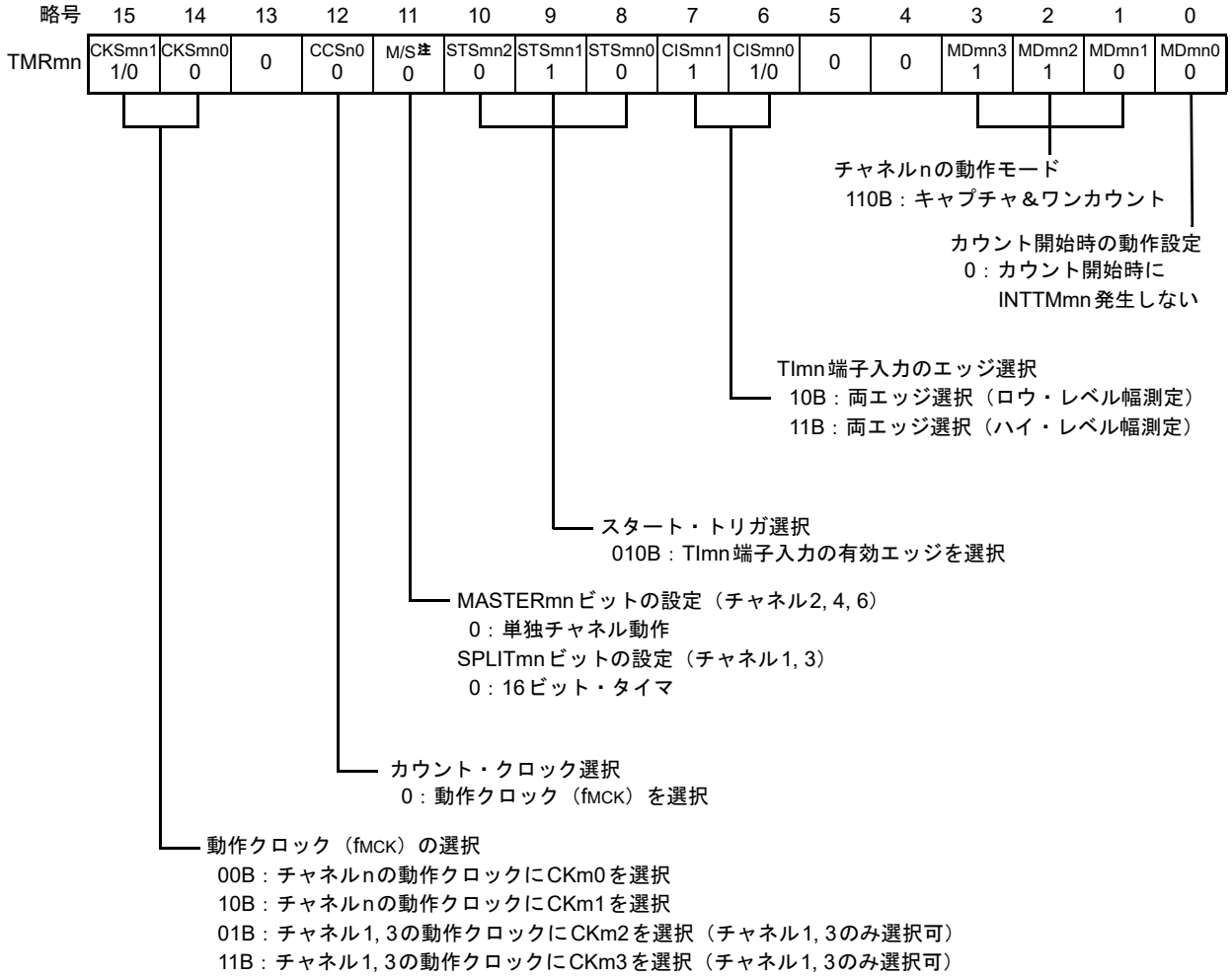


備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn ：タイマ・チャネル開始レジスタm（TSm）のビットn
TEmn ：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn
TImn ：TImn端子入力信号
TCRmn ：タイマ・カウンタ・レジスタmn（TCRmn）
TDRmn ：タイマ・データ・レジスタmn（TDRmn）
OVF ：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図7 - 60　入力信号のロウ・レベル幅／ハイ・レベル幅測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 61　入力信号のロウ・レベル幅／ハイ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルの動作モード確定） TOEmnビットに0を設定し、TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアし、カウント・アップ動作を開始する
動作中	TDRmnレジスタは、常に読み出し可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、常に読み出し可能 TMRmnレジスタ、TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	TImn端子のスタート・エッジ検出後、カウンタ（TCRmn）は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら、カウント値をタイマ・データ・レジスタmn（TDRmn）に転送し、INTTMmnを発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは、次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.6 ディレイ・カウンタとしての動作

TImn 端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔で INTTMmn（タイマ割り込み）を発生することができます。

また、TEmn = 1 の期間中に、ソフトウェア操作で TSmn = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 = カウント・クロックの周期 ×（TDRmnの設定値 + 1）

タイマ・カウンタ・レジスタ mn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

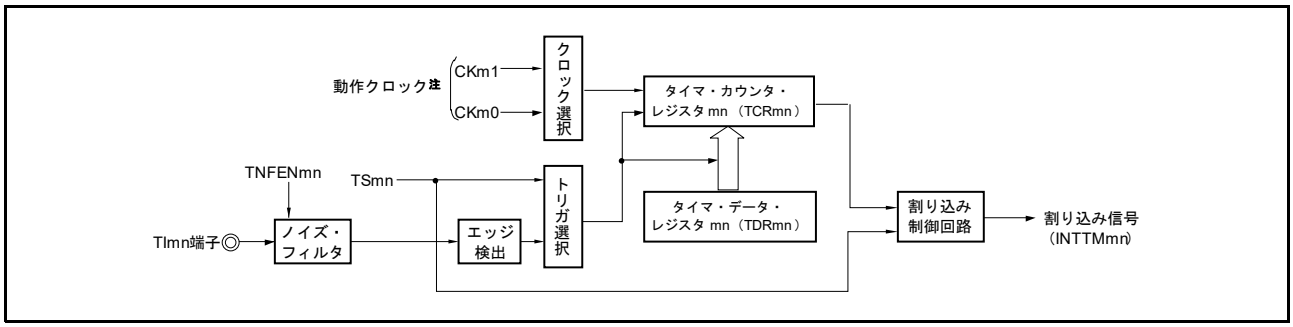
タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn, TSHm1, TSHm3）に 1 を設定すると、TEmn, TEHm1, TEHm3 = 1 となり TImn 端子の有効エッジ検出待ち状態となります。

TCRmn レジスタは、TImn 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ mn（TDRmn）から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCRmn = 0000H となったら INTTMmn を出力し、次の TImn 端子入力の有効エッジがあるまで、カウントを停止します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

ディレイ・カウンタは、TImn 端子入力を使用せずに、TIS0 レジスタで選択したタイマ入力や、ソフトウェア操作（TSmn = 1）をスタート・トリガにすることもできます。

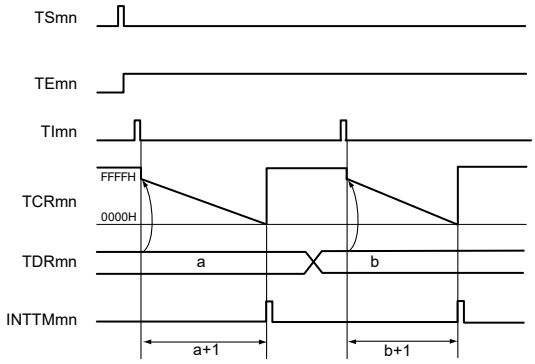
図7 - 62 ディレイ・カウンタとしての動作のブロック図



注 チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 63　ディレイ・カウンタとしての動作の基本タイミング例

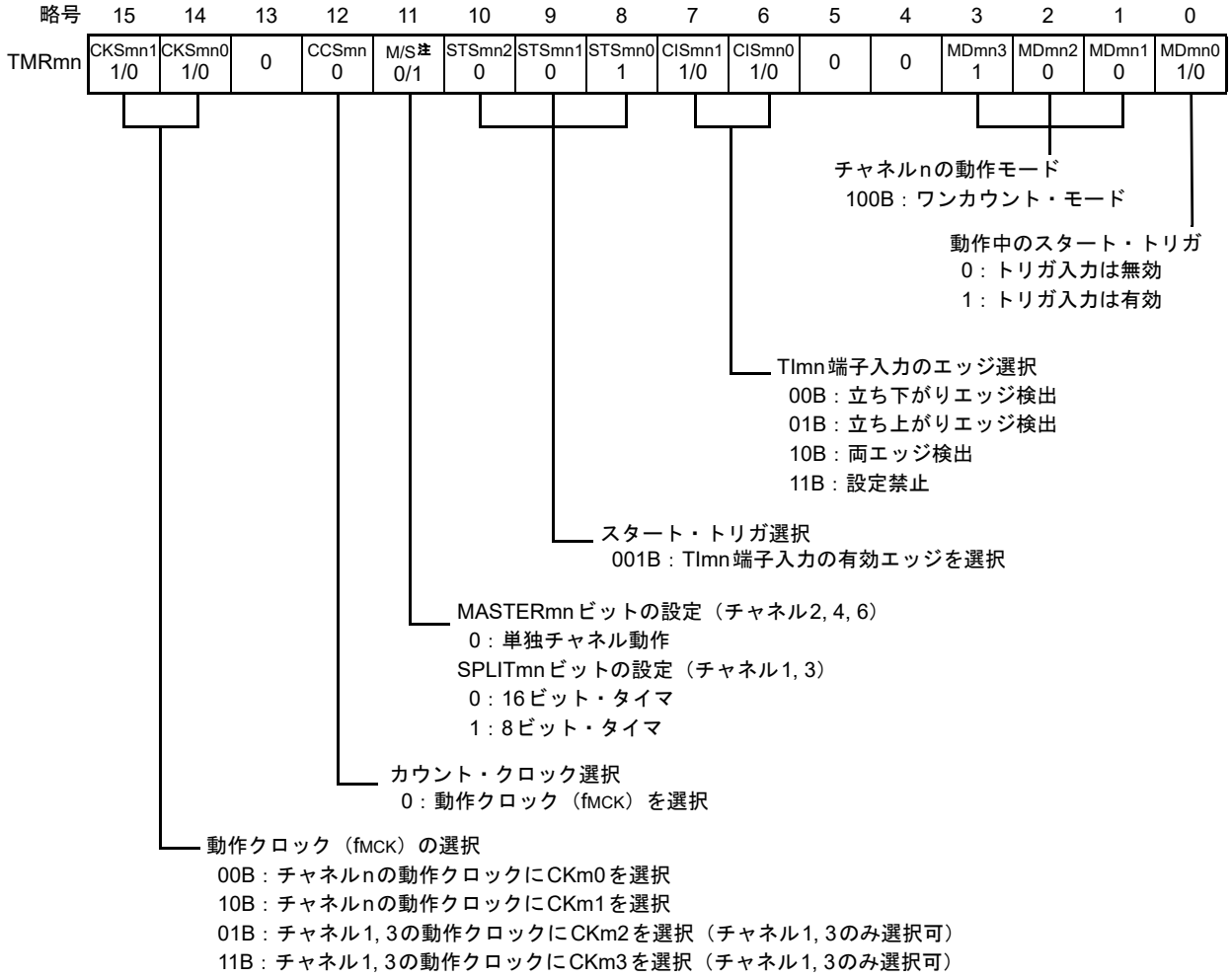


備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn
TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn
TImn　：TImn端子入力信号
TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）
TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図7 - 64　　ディレイ・カウンタ機能時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 65　ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルnの動作モード確定） タイマ・データ・レジスタmn（TDRmn）に遅延時間を設定する TOEmnビットに0を設定し、TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、スタート・トリガ検出（TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定）待ち状態となる
	次のスタート・トリガ検出によって、ダウン・カウントを開始します。 • TImn端子入力の有効エッジ検出 → • ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。
動作中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない	カウンタ（TCRmn）はダウン・カウント動作を行う。 TCRmn = 0000Hまでカウントすると INTTMmn出力を発生し、次のスタート・トリガ検出（TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定）まで TCRmn = 0000Hでカウント動作を停止する。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能

7.9.1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ = {TDRmn（マスタ）の設定値 + 2} × カウント・クロック周期
パルス幅 = {TDRmp（スレーブ）の設定値} × カウント・クロック周期

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCRmn = 0000Hとなったら INTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

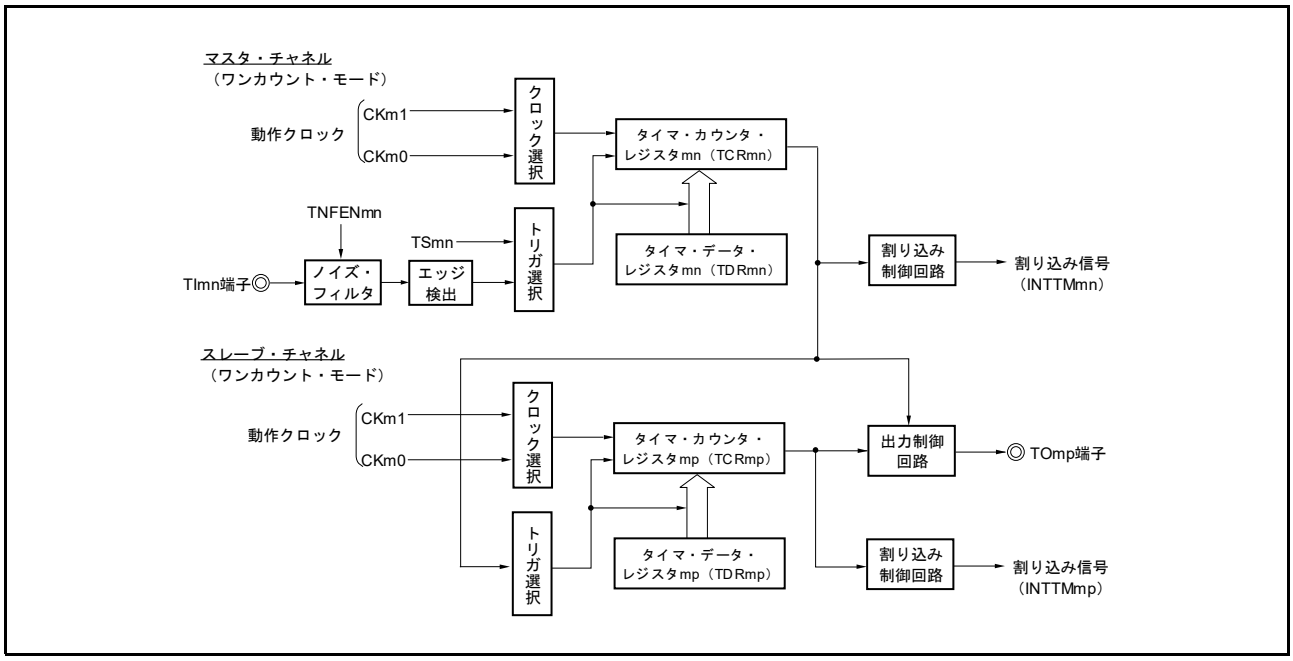
スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは、マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し、TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックにあわせてダウン・カウントを行います。そしてカウンタ値 = 0000Hとなったら INTTMmpを出力して、次のスタート・トリガ（マスタ・チャネルの INTTMmn）検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャネルの INTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn端子入力を使用せずに、ソフトウェア操作（TSmn = 1）をスタート・トリガにすることもできます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタでは、ロード・タイミングが異なるため、動作中にTDRmnレジスタ、TDRmpレジスタを書き換えると不正波形が出力されます。TDRmnレジスタはINTTMmn発生後に、TDRmpレジスタはINTTMmp発生後に書き換えてください。

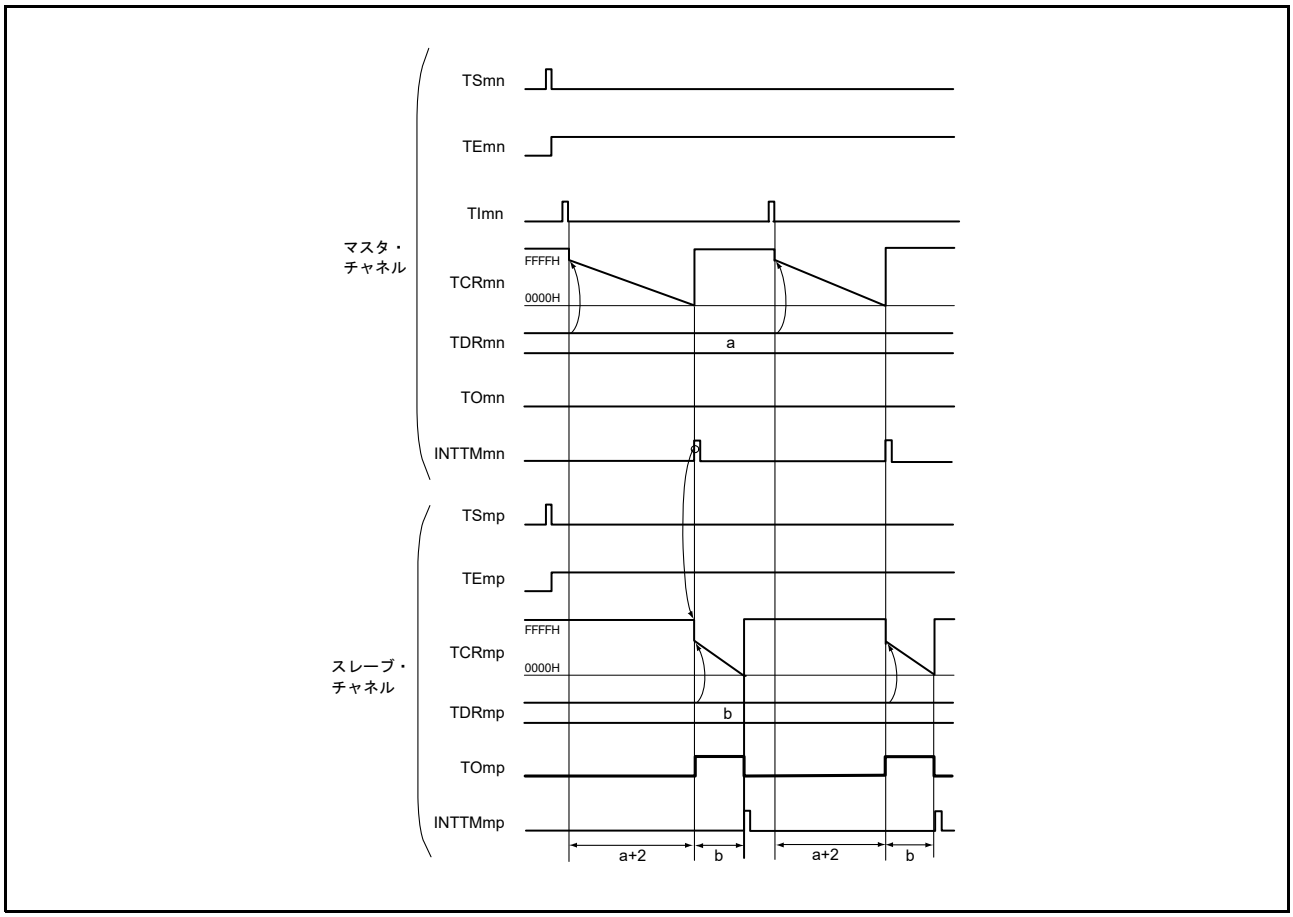
備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 66　　ワンショット・パルス出力機能としての動作のブロック図



備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 67　　ワンショット・パルス出力機能としての動作の基本タイミング例

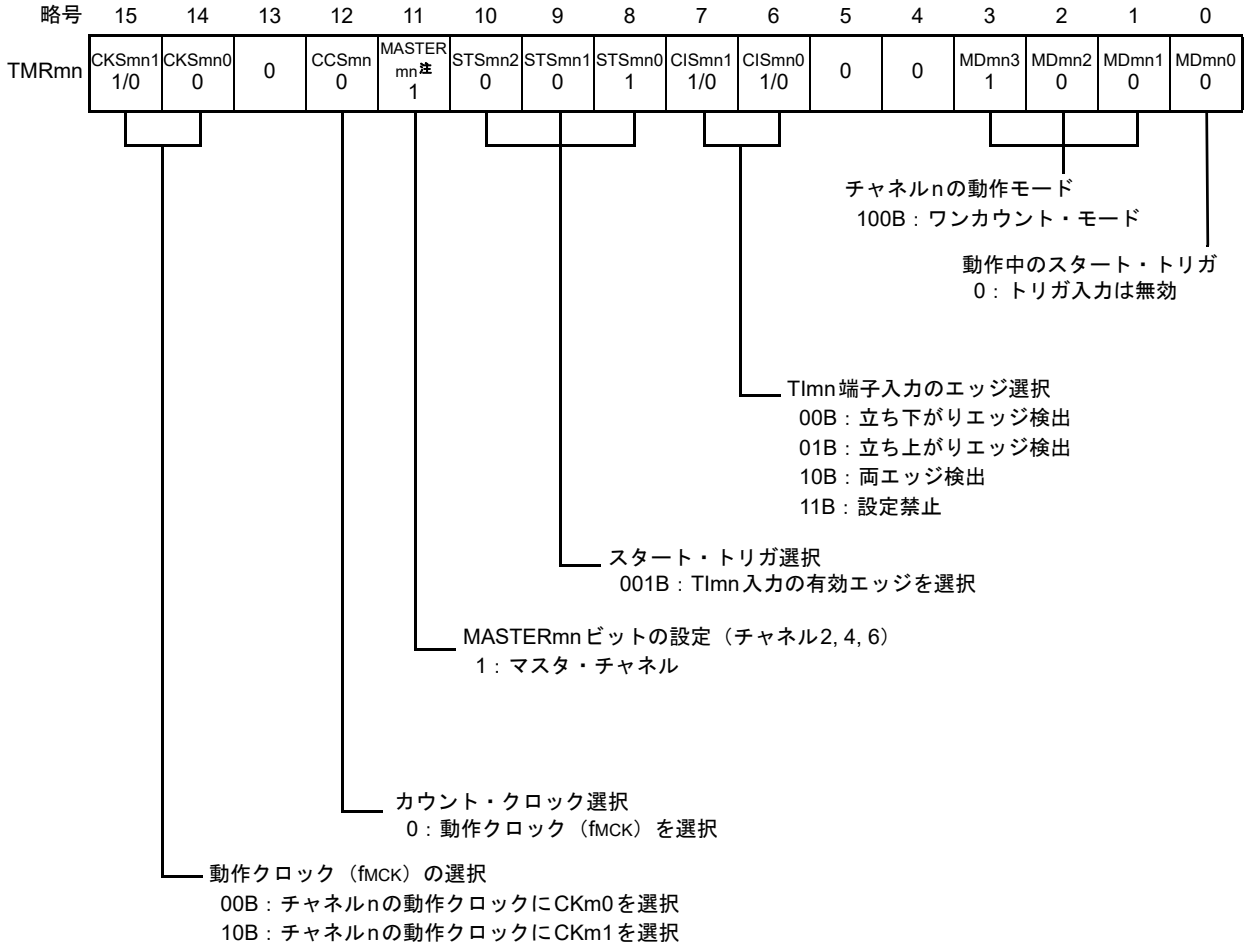


備考1. m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

備考2. TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p
TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p
TImn, TImp　：TImn, TImp端子入力信号
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）
TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）
TOmn, TOmp　：TOmn, TOmp端子出力信号

図7 - 68　　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

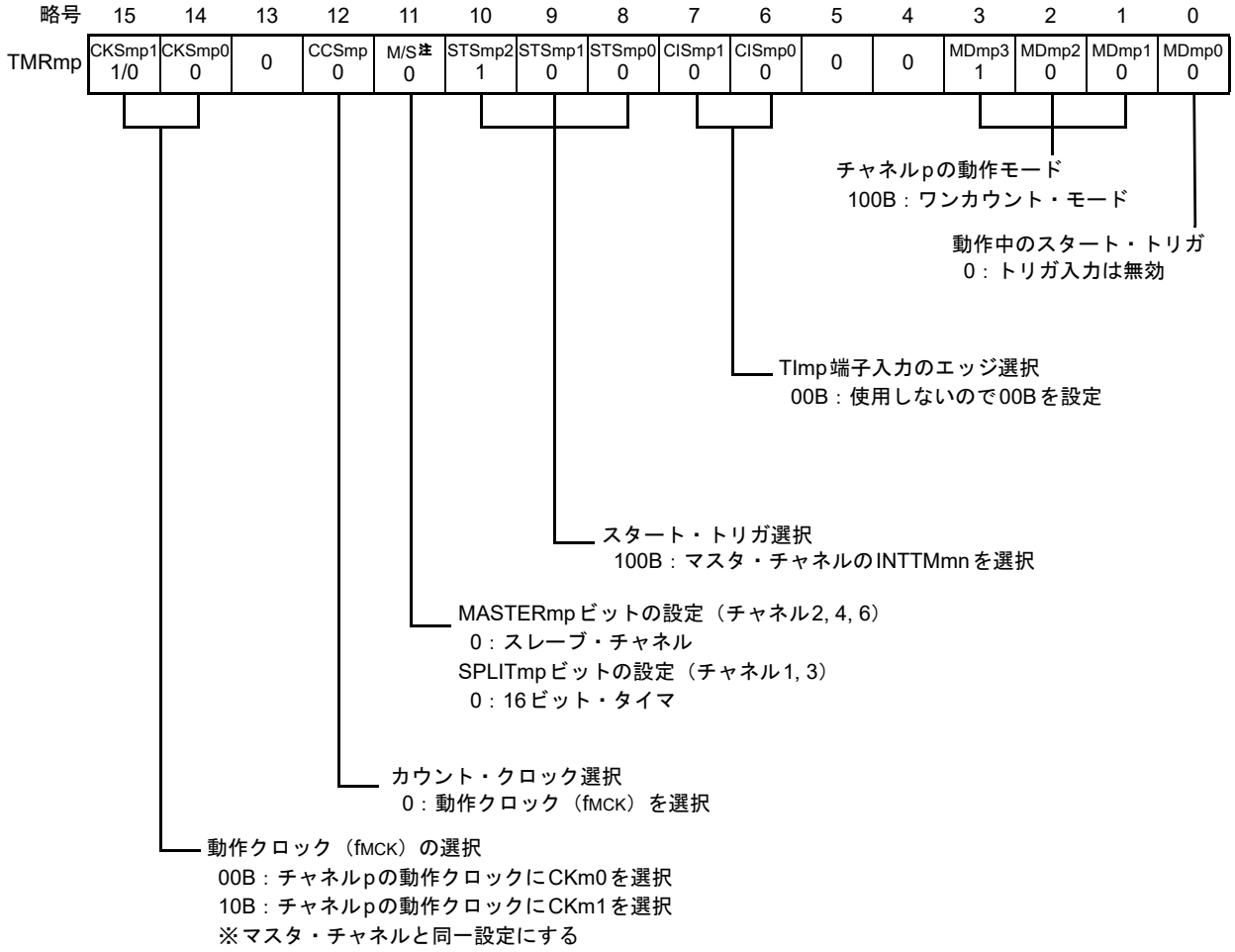
（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmn = 1
TMRm0の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図7 - 69　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp（TMRmp）



(b) タイマ出力レジスタm（TOm）

	ビットp	
TOm	TOmp 1/0	0：TOmpより0を出力する 1：TOmpより1を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットp	
TOEm	TOEmp 1/0	0：カウント動作によるTOmp出力動作停止 1：カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットp	
TOLm	TOLmp 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタm（TOMm）

	ビットp	
TOMm	TOMmp 1	1：スレーブ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 70　　ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）に出力遅延時間、スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する → TOEmpビットに1を設定し、TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図7 - 70　　ワンショット・パルス出力機能時の操作手順 (2/2)

		ソフトウェア操作	ハードウェアの状態
動作再開	動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ）、TSmp（スレーブ）ビットに同時に1を設定する → TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となり、マスタ・チャネルはスタート・トリガ検出（TImn端子入力の有効エッジの検出またはマスタ・チャネルのTSmnビットに1を設定）待ち状態となる カウンタはまだ停止状態のまま
		マスタ・チャネルのスタート・トリガ検出によって、マスタ・チャネルのカウント動作を開始します。 • TImn端子入力の有効エッジ検出 • ソフトウェアでマスタ・チャネルのTSmnビットに1を設定注	マスタ・チャネルがカウント動作開始
	動作中	TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmpレジスタ、TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない スレーブ・チャネルのTOm, TOEmレジスタは、設定値変更可能	マスタ・チャネルでは、スタート・トリガ検出（TImn端子入力の有効エッジの検出またはマスタ・チャネルのTSmnビットに1を設定）により、タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントすると INTTMmn出力を発生し、次のスタート・トリガ検出までカウント動作を停止する。 スレーブ・チャネルでは、マスタ・チャネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウントを開始する。 マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000Hまでカウントすると TOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止	TTmn（マスタ）、TTmp（スレーブ）ビットに同時に1を設定する → TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持
		スレーブ・チャネルのTOEmpビットに0を設定し、TOmpビットに値を設定する →	TOmp端子はTOmp設定レベルを出力
	TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する → TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
		PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

注　スレーブ・チャネルのTSmnビットには1を設定しないでください。

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

7.9.2　PWM機能としての動作

2チャネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値 + 1} × カウント・クロック周期
デューティ [%] = {TDRmp（スレーブ）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100
0%出力　：TDRmp（スレーブ）の設定値 = 0000H
100%出力　：TDRmp（スレーブ）の設定値 ≧ {TDRmn（マスタ）の設定値 + 1}

備考　TDRmp（スレーブの設定値）＞ {TDRmn（マスタ）の設定値 + 1} の場合は、デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn）に1を設定すると、割り込み（INTTMmn）を出力して、タイマ・データ・レジスタ mn（TDRmn）に設定した値をタイマ・カウンタ・レジスタ mn（TCRmn）にロードし、カウント・クロックにあわせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャネル停止レジスタ m（TTm）の動作停止トリガ・ビット（TTmn）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ（マスタ・チャネルからのINTTMmn）が来るまで待機します。

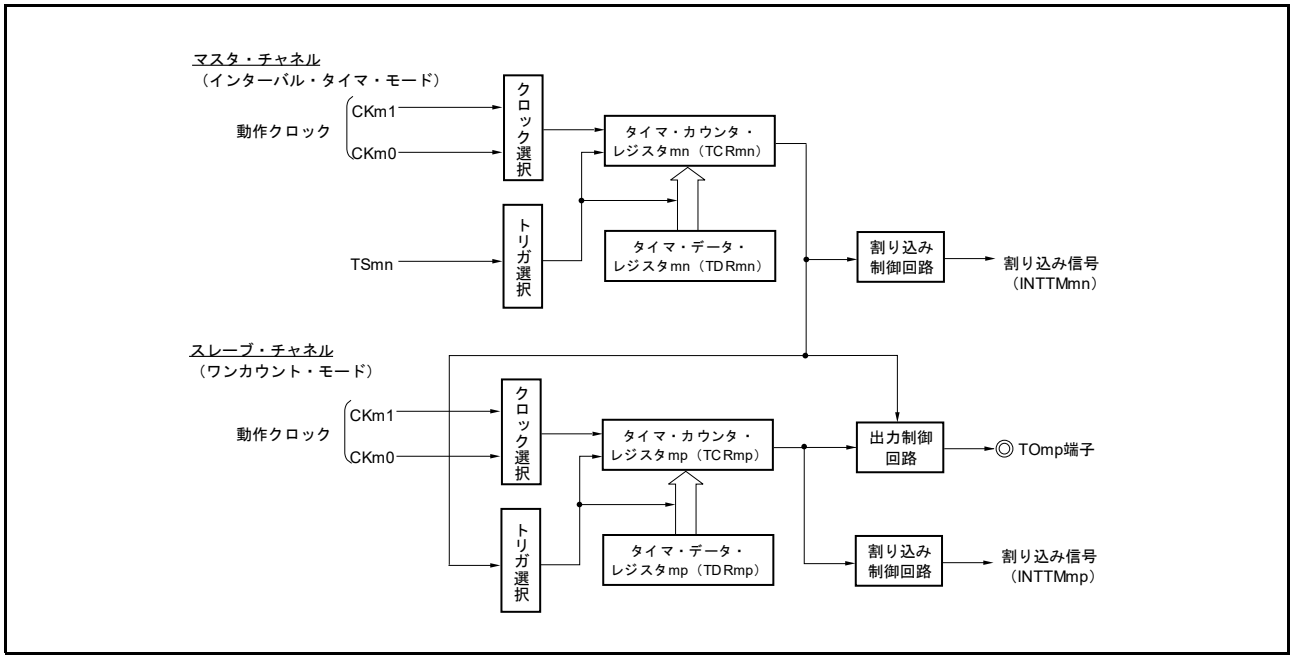
PWM機能としての動作では、スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）のデューティとなります。

PWM出力（TOmp）は、マスタ・チャネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意　**マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。**

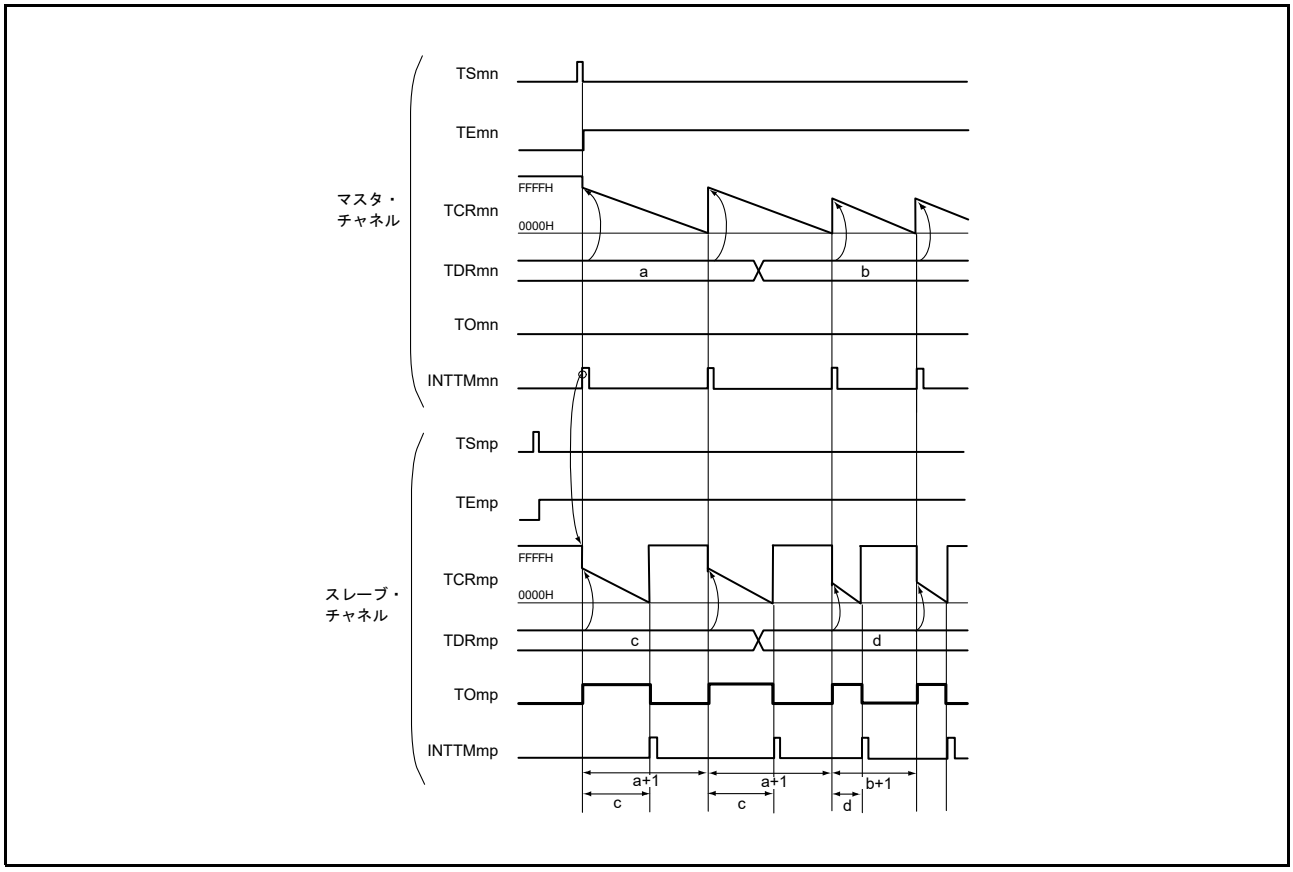
備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 71　PWM機能としての動作のブロック図



備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 72　PWM機能としての動作の基本タイミング例

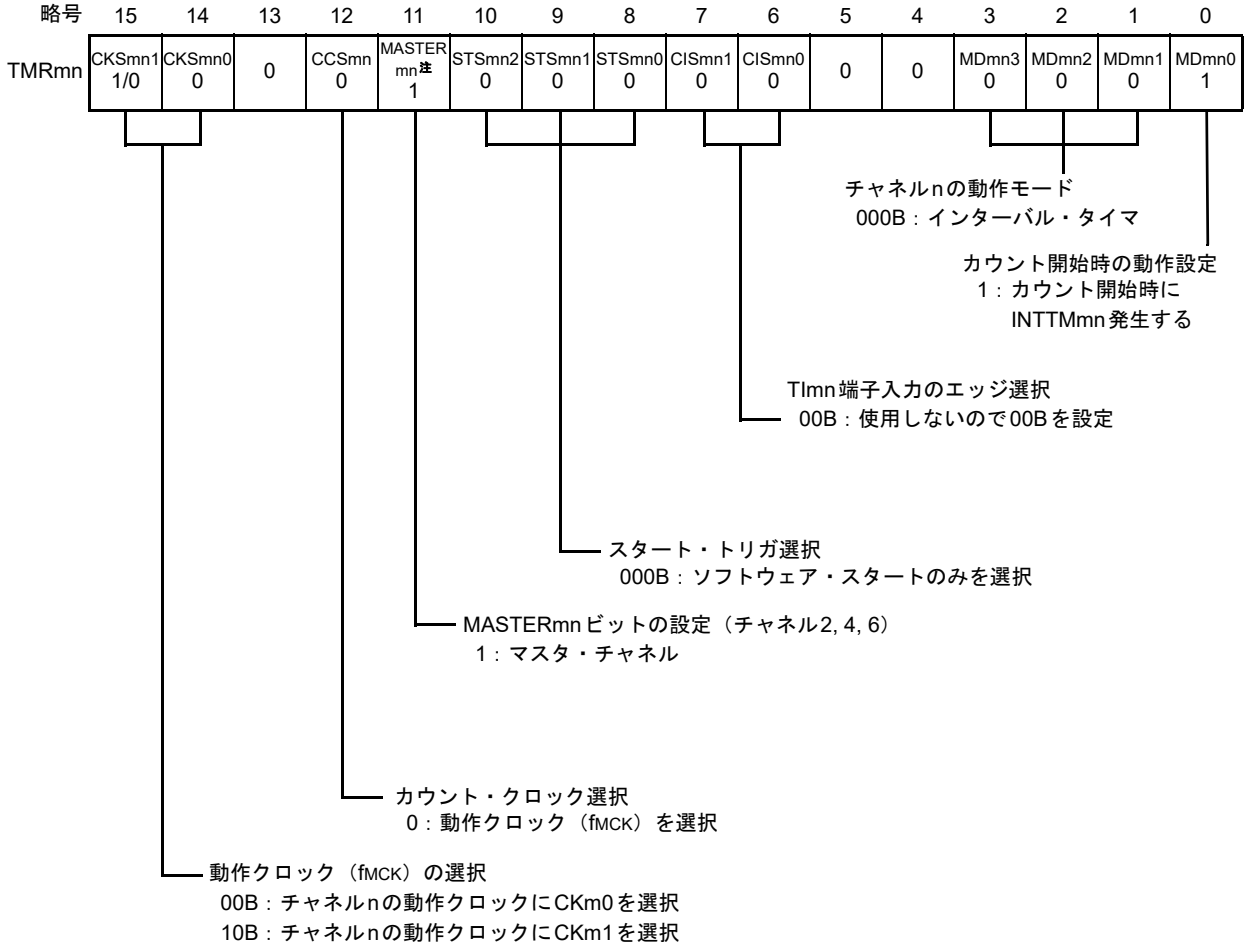


備考1. m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

備考2. TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p
TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）
TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）
TOmn, TOmp　：TOmn, TOmp端子出力信号

図7 - 73　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

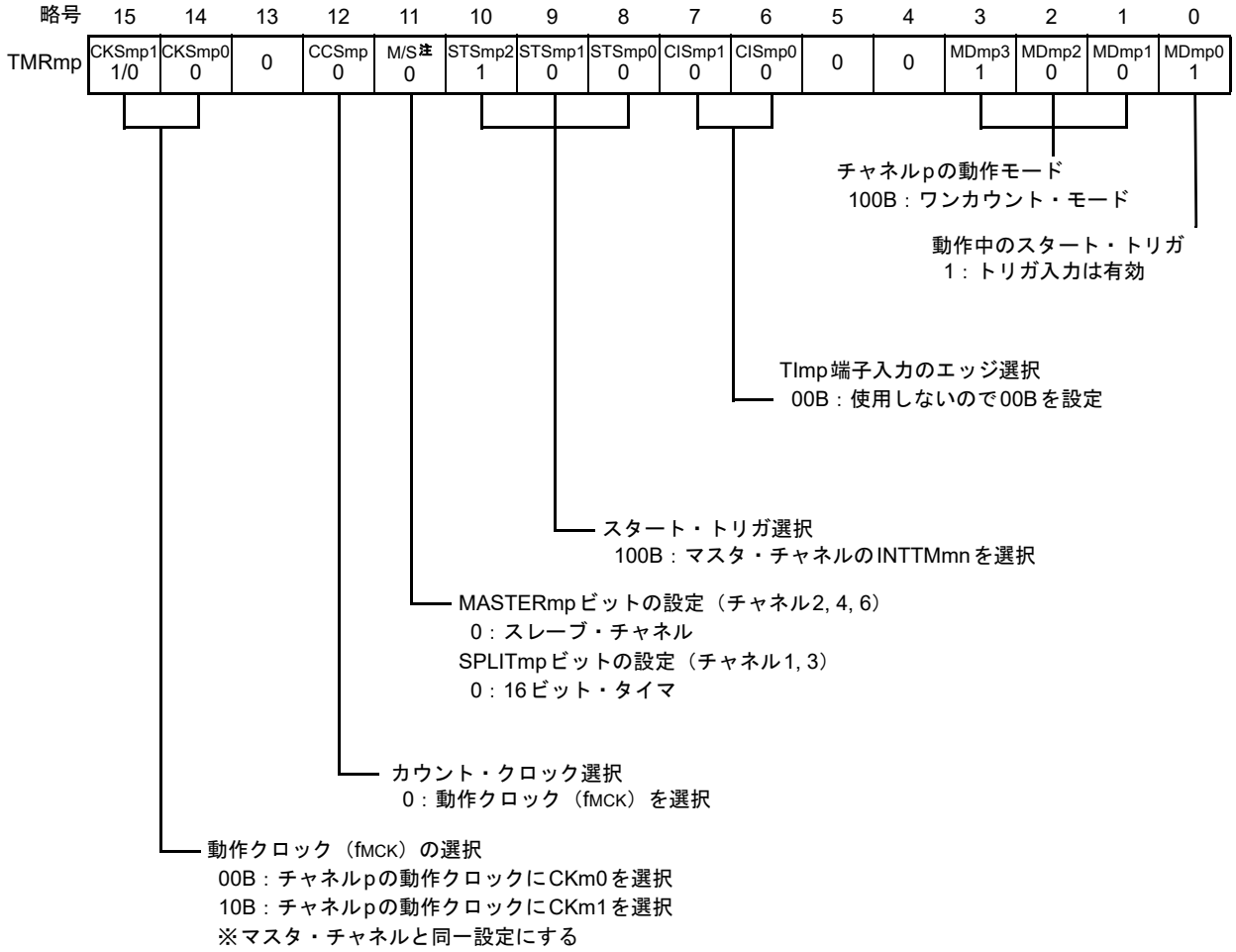
（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmn = 1
TMRm0の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図7 - 74　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp（TMRmp）



(b) タイマ出力レジスタm（TOm）

	ビットp	
TOm	TOmp 1/0	0：TOmpより0を出力する 1：TOmpより1を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットp	
TOEm	TOEmp 1/0	0：カウント動作によるTOmp出力動作停止 1：カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットp	
TOLm	TOLmp 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタm（TOMm）

	ビットp	
TOMm	TOMmp 1	1：スレーブ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 75　PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値、スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する → TOEmpビットに1を設定し、TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図7 - 75　PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ）タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ）、TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn, TMRmpレジスタ、TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止 TDRmn, TDRmpレジスタは、マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない	マスタ・チャネルでは、タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントすると INTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャネルでは、マスタ・チャネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウント動作を行う。 マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。 そしてTCRmp = 0000Hまでカウントすると TOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn（マスタ）、TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し、TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

7.9.3　多重PWM出力機能としての動作

PWM 機能を拡張しスレーブ・チャネルを複数使用することで、デューティの異なる多数の PWM 出力を行う機能です。

たとえばスレーブ・チャネルを 2 個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値 + 1} × カウント・クロック周期
デューティ 1 [%] = {TDRmp（スレーブ1）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100
デューティ 2 [%] = {TDRmq（スレーブ2）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100

備考　TDRmp（スレーブ1）の設定値＞ {TDRmn（マスタ）の設定値 + 1} の場合
またはTDRmq（スレーブ2）の設定値＞ {TDRmn（マスタ）の設定値 + 1} の場合は、
デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタ mn（TCRmn）は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャネル 1 の TCRmp レジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp 端子より PWM 波形を出力します。TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして、タイマ・データ・レジスタ mp（TDRmp）の値をロードし、ダウン・カウントを行います。TCRmp = 0000H となったら、INTTMmp を出力し、次のスタート・トリガ（マスタ・チャネルの INTTMmn）が入力されるまでカウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

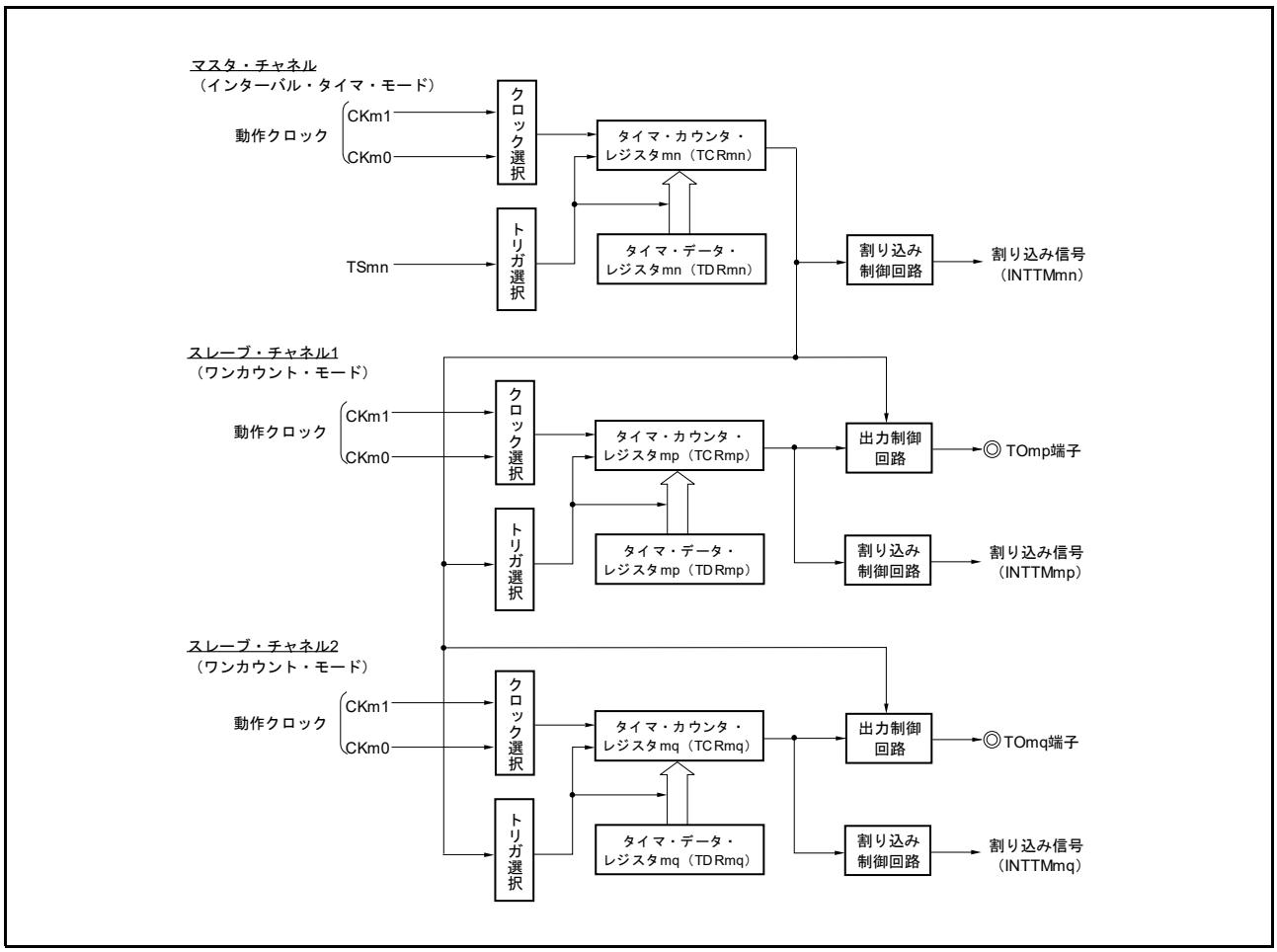
スレーブ・チャネル 2 の TCRmq レジスタも、スレーブ・チャネル 1 の TCRmp レジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq 端子より PWM 波形を出力します。TCRmq レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして、TDRmq レジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H となったら、INTTMmq を出力し、次のスタート・トリガ（マスタ・チャネルの INTTMmn）が入力されるまでカウントを停止します。TOmq の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H となったらインアクティブ・レベルとなります。

このようにして、チャネル 0 をマスタ・チャネルとした場合は、最大 7 種の PWM を同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）とスレーブ・チャネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャネルのINTTMmn発生後となるため、書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください（スレーブ・チャネル2のTDRmqレジスタの場合も同様です）。

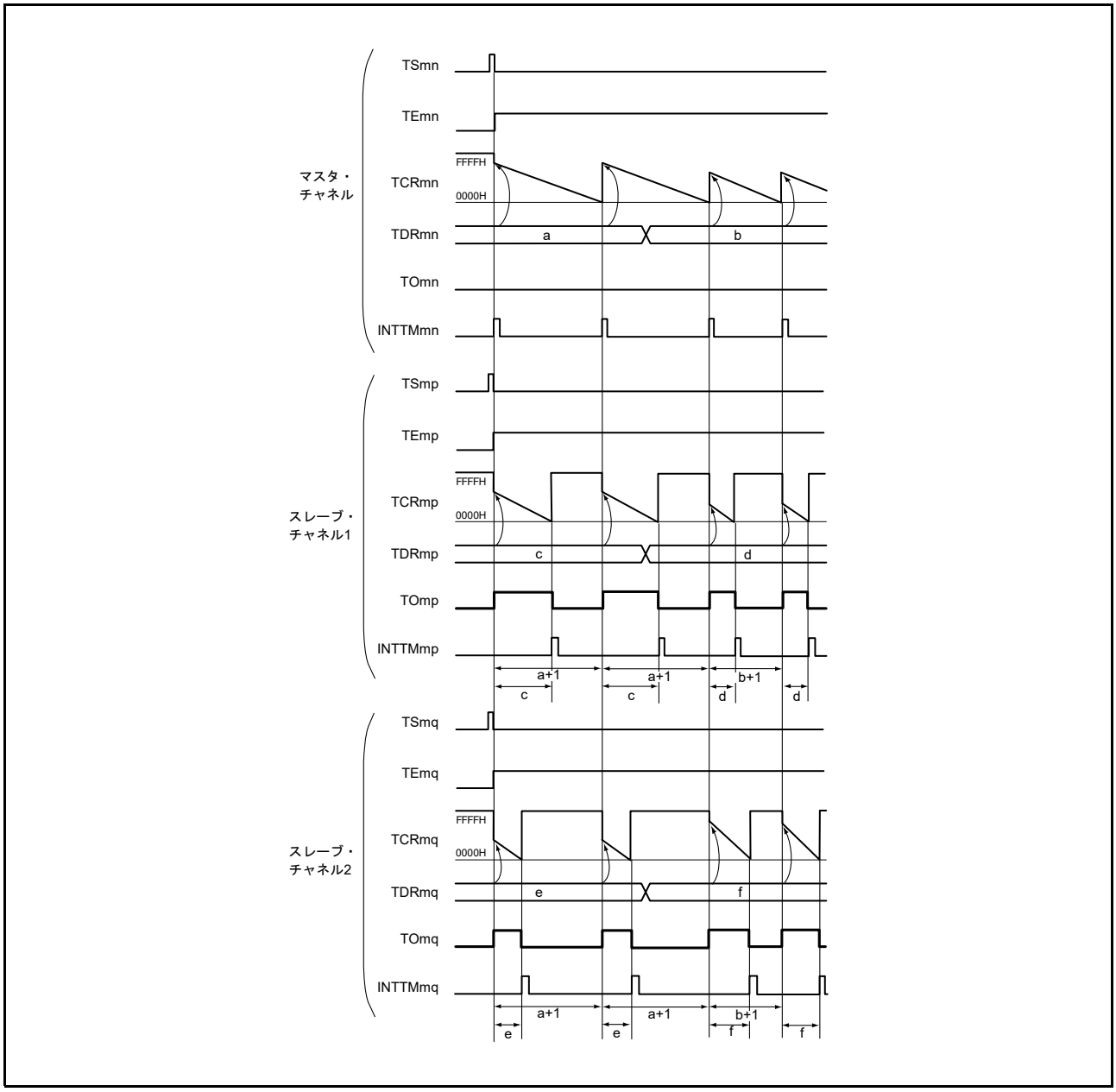
備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

図7 - 76　　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）



備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

図7 - 77　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



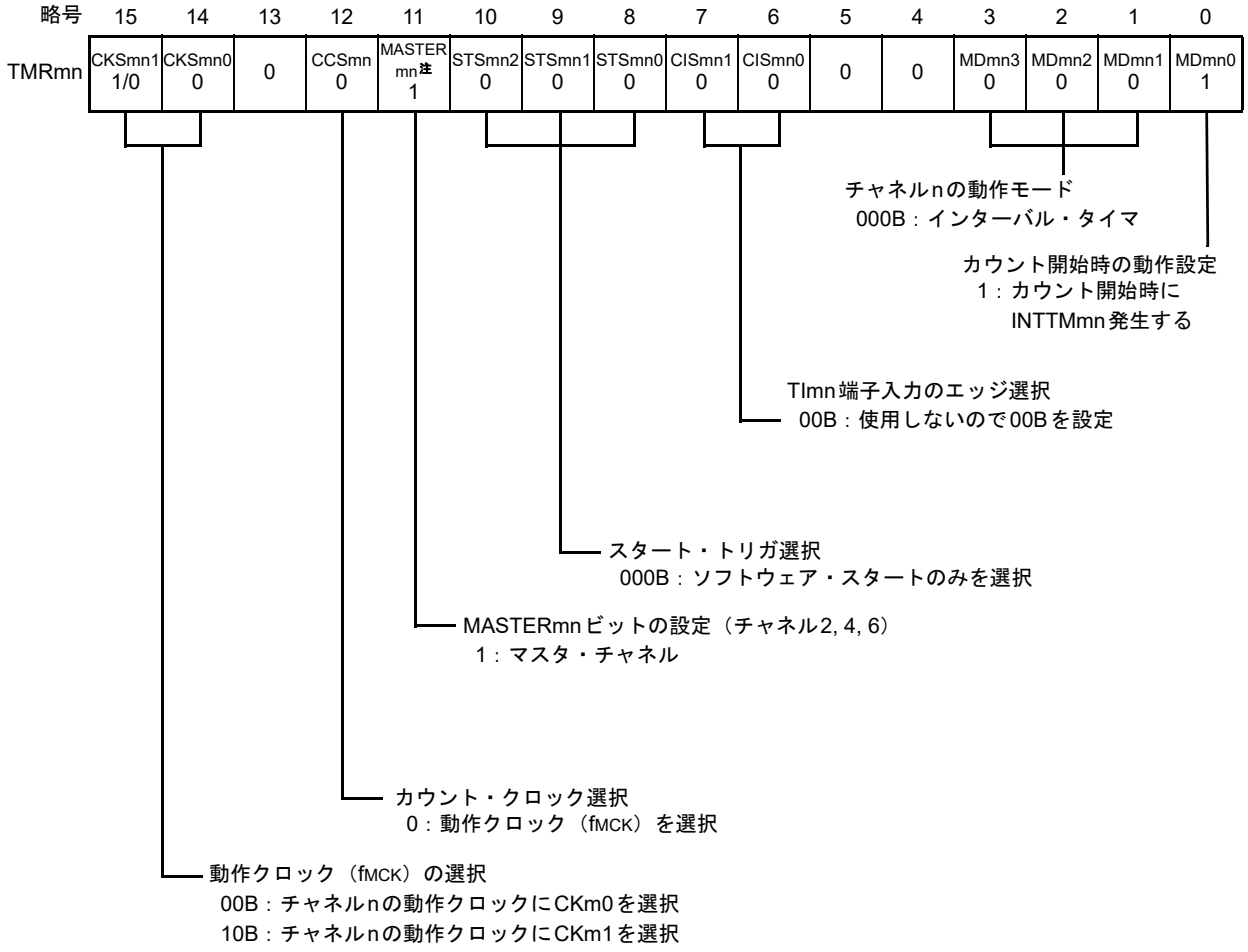
備考1. m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

備考2.

TSmn, TSmp, TSmq	：タイマ・チャネル開始レジスタm（TSm）のビットn, p, q
TEmn, TEmp, TEmq	：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p, q
TCRmn, TCRmp, TCRmq	：タイマ・カウンタ・レジスタmn, mp, mq（TCRmn, TCRmp, TCRmq）
TDRmn, TDRmp, TDRmq	：タイマ・データ・レジスタmn, mp, mq（TDRmn, TDRmp, TDRmq）
TOmn, TOmp, TOmq	：TOmn, TOmp, TOmq端子出力信号

図7 - 78　　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

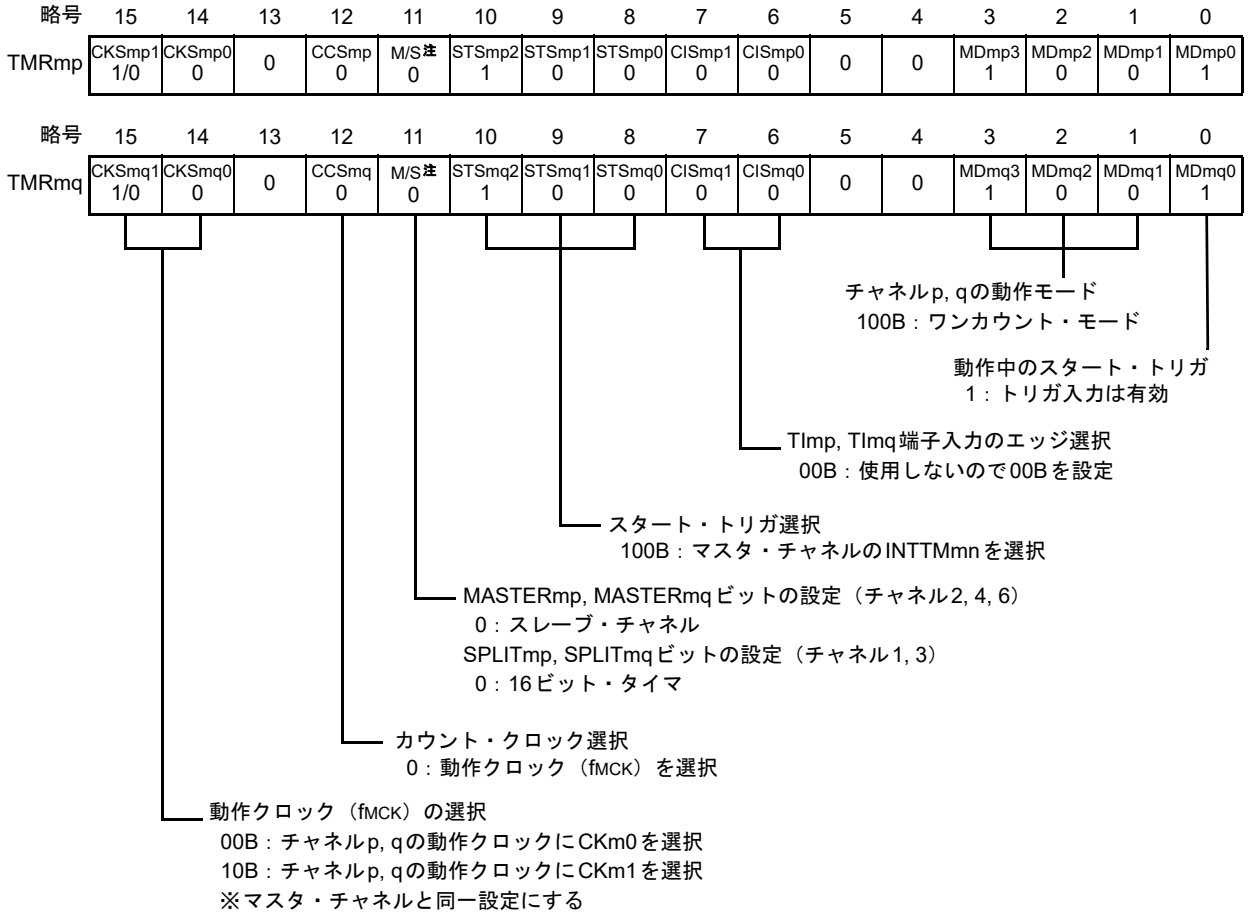
（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmn = 1
TMRm0の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）

図7 - 79　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

(a) タイマ・モード・レジスタmp, mq（TMRmp, TMRmq）



(b) タイマ出力レジスタm（TOm）

	ビットq	ビットp	
TOm	TOmq 1/0	TOmp 1/0	0：TOmp, TOmqより0を出力する 1：TOmp, TOmqより1を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットq	ビットp	
TOEm	TOEmq 1/0	TOEmp 1/0	0：カウント動作によるTOmp, TOmq出力動作停止 1：カウント動作によるTOmp, TOmq出力動作許可

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットq	ビットp	
TOLm	TOLmq 1/0	TOLmp 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタm（TOMm）

	ビットq	ビットp	
TOMm	TOMmq 1	TOMmp 1	1：スレーブ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmp, MASTERmqビット
TMRm1, TMRm3の場合　：SPLITmp, SPLITmqビット
TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p ：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

図7 - 80　　多重PWM機能時の操作手順（2種類のPWMを出力する場合）(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値、スレーブ・チャネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmp, TOMmqビットに1（スレーブ・チャネル出力モード）を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し、TOmp, TOmq出力の初期レベルを確定する →	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp, TOmq初期設定レベルが出力される。
	TOEmp, TOEmqビットに1を設定し、TOmp, TOmqの動作を許可 →	チャネルは動作停止状態なので、TOmp, TOmqは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力

図7 - 80　多重PWM機能時の操作手順（2種類のPWMを出力する場合）(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開 → 動作開始	（動作再開時のみTOEmp, TOEmq（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ）、TSmp, TSmq（スレーブ）ビットに同時に1を設定する → TSmn, TSmp, TSmqビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn, TMRmp, TMRmqレジスタ、TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは、使用しない	マスタ・チャネルでは、タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントすると INTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャネル1では、マスタ・チャネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントすると TOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャネル2では、マスタ・チャネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントすると TOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
動作停止	TTmn（マスタ）、TTmp, TTmq（スレーブ）ビットに同時に1を設定する → TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず、状態保持
	スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOmqビットに値を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOmqビットに0を設定する → TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要	TOmp, TOmq端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

7.10　タイマ・アレイ・ユニット使用時の注意事項

7.10.1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子にほかの兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、ほかの兼用機能の出力を初期状態にする必要があります。

詳細は、**4.5　兼用機能使用時のレジスタ設定**を参照してください。

第8章　32ビット・インターバル・タイマ（TML32）

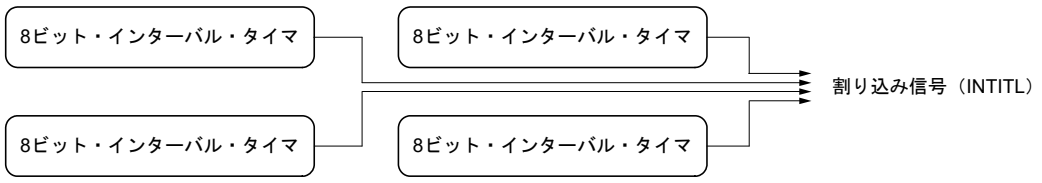
32 ビット・インターバル・タイマは、同機能を持つ 8 ビット・インターバル・タイマを 4 つ（チャネル 0 ～チャネル 3）持ち、それぞれが独立して動作します。また、2 つの 8 ビット・インターバル・タイマを連結動作することで 16 ビット・インターバル・タイマとして、4 つの 8 ビット・インターバル・タイマを連結動作することで 32 ビット・インターバル・タイマとして動作することができます。

8.1　概要

32 ビット・インターバル・タイマは、CPU と非同期の f_{MXP}, f_{SXP}, f_{IHP} で動作する 32 ビット・インターバル・タイマです。32 ビット・インターバル・タイマは、次のような機能があります。

(1)　8ビット・カウンタ・モード

一定間隔で割り込み（INTITL）を発生する4つの8ビット・インターバル・タイマとして動作することができます。



(2)　16ビット・カウンタ・モード

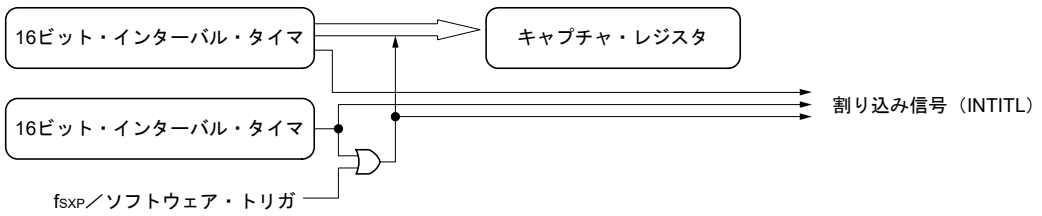
一定間隔で割り込み（INTITL）を発生する2つの16ビット・インターバル・タイマとして動作することができます。



(3)　16ビット・キャプチャ・モード

一定間隔で割り込み（INTITL）を発生する1つのキャプチャ機能を持った16ビット・インターバル・タイマとして動作することができます。このとき、トリガ生成用にもう1つの16ビット・インターバル・タイマも動作することができます。

16ビット・インターバル・タイマのカウント値は所定のキャプチャ・トリガでキャプチャ・レジスタに保持できます。



(4)　32ビット・カウンタ・モード

一定間隔で割り込み（INTITL）を発生する1つの32ビット・インターバル・タイマとして動作することができます。



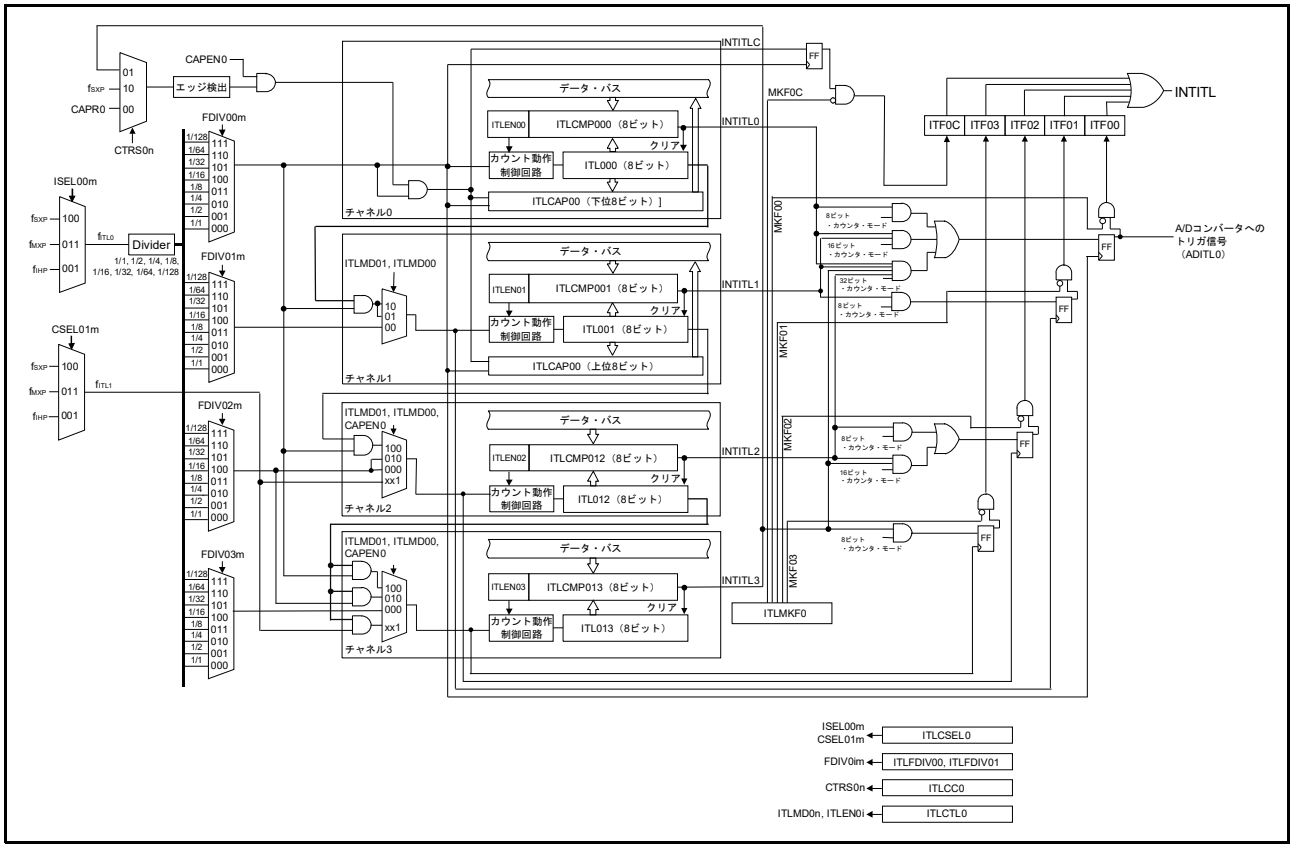
表 8 - 1 に 32 ビット・インターバル・タイマの仕様、**図 8 - 1** に 32 ビット・インターバル・タイマのブロック図を示します。

表8 - 1　　32ビット・インターバル・タイマの仕様

項目	内容
カウント・ソース （動作クロック）	• f_{MXP} • f_{SXP} • f_{IHP}
キャプチャ・クロック（キャプチャ・トリガをタイマで生成する場合のタイマの動作クロック）	• f_{MXP} • f_{SXP} • f_{IHP}
分周比	• 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128
動作モード	• 8ビット・カウンタ・モード チャネル0、チャネル1、チャネル2、チャネル3が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャネル0とチャネル1の組み合わせおよびチャネル2とチャネル3の組み合わせでカウンタが連結して16ビット・カウンタとして動作するモード • 32ビット・カウンタ・モード チャネル0、チャネル1、チャネル2、チャネル3を連結して32ビット・カウンタとして動作するモード • 16ビット・キャプチャ・モード チャネル0、チャネル1を連結してカウンタ・ソースで動作する16ビット・カウンタと、チャネル2、チャネル3を連結してキャプチャ・クロックで動作する16ビット・カウンタを用い、キャプチャ動作を行うモード
割り込み	• 5つの割り込み要因を束ね、1本の割り込み信号（INTITL）を出力 –チャネル0、チャネル1、チャネル2、チャネル3の各カウンタがコンペア値と一致 –キャプチャ・モード時にカウンタ値のキャプチャが完了したとき出力

備考　f_{MXP}：高速周辺クロック周波数
f_{SXP}：低速周辺クロック周波数
f_{IHP}：高速オンチップ・オシレータ周辺クロック周波数

図8 - 1 32ビット・インターバル・タイマのブロック図



備考1. ITL000, ITL001, ITL012, ITL013：8ビット・カウンタ

16ビット・カウンタ・モードの場合、チャネル0とチャネル1のカウンタが連結（ITL000 + ITL001）

またチャネル2とチャネル3のカウンタが連結（ITL012 + ITL013）

32ビット・カウンタ・モードの場合、チャネル0とチャネル1とチャネル2とチャネル3のカウンタが連結（ITL000 + ITL001 + ITL012 + ITL013）

ISEL00m, CSEL01m ：ITLCSEL0 レジスタのビット

FDIV0im ：ITLFDIV0n レジスタのビット

CTRS0n ：ITLCC0 レジスタのビット

ITLMD0n, ITLEN0i ：ITLCTL0 レジスタのビット

備考2. n = 0, 1; m = 0-2; i = 0-3

8.2　32ビット・インターバル・タイマを制御するレジスタ

32ビット・インターバル・タイマを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- 周辺リセット制御レジスタ1（PRR1）
- インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn）
- インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）
- インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）
- インターバル・タイマ制御レジスタ（ITLCTL0）
- インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）
- インターバル・タイマ分周レジスタ0（ITLFDIV00）
- インターバル・タイマ分周レジスタ1（ITLFDIV01）
- インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）
- インターバル・タイマ・ステータス・レジスタ（ITLS0）
- インターバル・タイマー致検出マスク・レジスタ（ITLMKF0）

8.2.1 周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

32 ビット・インターバル・タイマを使用する場合は、必ず TML32EN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 2 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス : F00FAH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	<4>	3	<2>	1	0
PER1	0	0	0	TML32EN	0	UTAEN	0	0

TML32EN	32ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 • 32ビット・インターバル・タイマで使用するSFRへのライト不可**注**
1	入力クロック供給 • 32ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意 ビット7-5, 3, 1, 0には、必ず0を設定してください。

8.2.2 周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

32 ビット・インターバル・タイマをリセットする場合は、TML32RES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 3 周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス : F00FBH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	<4>	3	2	1	0
PRR1	0	0	0	TML32RES	0	0	0	0

TML32RES	32ビット・インターバル・タイマのリセット制御
0	32ビット・インターバル・タイマのリセット解除
1	32ビット・インターバル・タイマはリセット状態 • 32ビット・インターバル・タイマで使用するSFRが初期化されます。

注意 ビット7-5, 3-0には、必ず0を設定してください。

8.2.3 インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn）

ITLCMP0mn レジスタは、インターバル・タイマを 8 ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0mn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

設定範囲は 01H ～ FFH です。00H の設定は禁止です。

ITL000-ITL013 カウンタとの比較値を格納します。

図8 - 4 インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn）のフォーマット

アドレス : F0360H (ITLCMP000), F0361H (ITLCMP001), F0362H (ITLCMP012), F0363H (ITLCMP013)

リセット時: FFH

R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
ITLCMP0mn								

注 ITLCMP000 レジスタの設定は、ITLCTL0 レジスタの ITLEN00 ビットが 0 のときに行ってください。
ITLCMP001 レジスタの設定は、ITLCTL0 レジスタの ITLEN01 ビットが 0 のときに行ってください。
ITLCMP012 レジスタの設定は、ITLCTL0 レジスタの ITLEN02 ビットが 0 のときに行ってください。
ITLCMP013 レジスタの設定は、ITLCTL0 レジスタの ITLEN03 ビットが 0 のときに行ってください。

備考 mn = 00, 01, 12, 13

8.2.4 インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）

ITLCMP0n レジスタは、インターバル・タイマを 16 ビット・カウンタ・モードおよび 32 ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0n レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFH になります。

設定範囲は 0001H ～ FFFFH です。0000H の設定は禁止です。

ITL0n カウンタとの比較値を格納します。

ITLCTL0 レジスタの ITLMD01, ITLMD00 ビットの値が 10B の場合、32 ビット・カウンタ・モードのコンペア・レジスタとして、ITLCMP01 レジスタに上位 16 ビットのコンペア値、ITLCMP00 レジスタに下位 16 ビットのコンペア値を設定します。

図8 - 5 インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）のフォーマット

アドレス : F0360H, F0361H (ITLCMP00), F0362H, F0363H (ITLCMP01)

リセット時: FFFFH

R/W属性 : R/W注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCMP0n																

注 ITLCMP00 レジスタの設定は、ITLCTL0 レジスタの ITLEN00 ビットが 0 のときに行ってください。
ITLCMP01 レジスタの設定は、16 ビット・カウンタ・モードのときは ITLCTL0 レジスタの ITLEN02 ビットが 0 のときに行ってください。32 ビット・カウンタ・モードのときは ITLCTL0 レジスタの ITLEN00 ビットが 0 のときに行ってください。

備考 n = 0, 1

8.2.5 インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）

ITLCAP00 レジスタは、インターバル・タイマを 16 ビット・カウンタ・モードとして使用する場合の 16 ビットのキャプチャ値レジスタです。

ITLCAP00 レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000H になります。

ITLCC0 レジスタの CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ（ITL000 + ITL001）の値を ITLCAP00 レジスタに格納します。

ITLCMP01 レジスタのコンペアー致割り込みを使用する場合は、ITLCSEL0 レジスタでカウント・クロックを選択し、ITLCMP01 レジスタにコンペア値を設定します。

図8 - 6 インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）のフォーマット

アドレス ：F0364H, F0365H
リセット時：0000H
R/W属性 ：R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCAP00																

8.2.6　インターバル・タイマ制御レジスタ（ITLCTL0）

ITLCTL0 レジスタは、インターバル・タイマのカウント停止／開始の設定と 8 ビット・カウンタ／ 16 ビット・カウンタ／ 32 ビット・カウンタ動作の切り替えを設定するレジスタです。

ITLCTL0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 7　　インターバル・タイマ制御レジスタ（ITLCTL0）のフォーマット (1/2)

アドレス　：F0366H
リセット時: 00H
R/W属性　：R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ITLCTL0	ITLMD01	ITLMD00	0	0	ITLEN03	ITLEN02	ITLEN01	ITLEN00

ITLMD01	ITLMD00	8／16／32ビット・カウンタ・モード選択[注1]
0	0	8ビット・カウンタとして動作
0	1	16ビット・カウンタとして動作（チャネル0＋チャネル1、およびチャネル2＋チャネル3を連結）
1	0	32ビット・カウンタとして動作（チャネル0＋チャネル1＋チャネル2＋チャネル3を連結）
1	1	設定禁止

ITLEN03	8ビット・カウンタ・モード時：ITL013のカウント・イネーブル[注2]
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN03ビットに1を書くことによりITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN02	8ビット・カウンタ・モード時：ITL012のカウント・イネーブル[注2] 16ビット・カウンタ・モード時：ITL012＋ITL013のカウント・イネーブル[注2]
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012＋ITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。 32ビット・カウンタ・モードでは、0を設定してください。	

図8 - 7　　インターバル・タイマ制御レジスタ（ITLCTL0）のフォーマット (2/2)

ITLEN01	8ビット・カウンタ・モード時：ITL001のカウント・イネーブル注2
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN01ビットに1を書くことによりITL001がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN00	8ビット・カウンタ・モード時：ITL000のカウント・イネーブル注2 16ビット・カウンタ・モード時：ITL000 + ITL001のカウント・イネーブル注2 32ビット・カウンタ・モード時：ITL000 + ITL001 + ITL012 + ITL013の カウント・イネーブル注2
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001がカウント・アップを開始し、0を書くことによりカウントを停止します。 32ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001 + ITL012 + ITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。	

注1.　ITLMD01, ITLMD00ビットのカウンタ・モードを変更する場合、必ずITLEN03-ITLEN00ビットがすべて0のときに書き換え操作を行ってください。

注2.　ITLEN03-ITLEN00ビットに0を設定した場合、カウント・クロックに同期せずに該当カウンタの値が0にクリアされます。

モード	ITLMD01	ITLMD00	ITLEN03	ITLEN02	ITLEN01	ITLEN00	該当カウンタ
8ビット・カウンタ・モード注1	0	0				○	ITL000
					○		ITL001
				○			ITL012
			○				ITL013
16ビット・カウンタ・モード注2	0	1	常に0設定		常に0設定	○	ITL000 + ITL001
			常に0設定	○	常に0設定		ITL012 + ITL013
32ビット・カウンタ・モード	1	0	常に0設定	常に0設定	常に0設定	○	ITL000 + ITL001 + ITL012 + ITL013

注1.　ITLEN03-ITLEN00ビットを複数同時に1または0にすることも可能です。

注2.　ITLEN02, ITLEN00ビットを複数同時に1または0にすることも可能です。

備考　○は該当カウンタに対するカウント・イネーブルです。

8.2.7 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）

ITLCSEL0 レジスタは、インターバル・タイマのカウント・ソースを設定するレジスタです。
ITLCSEL0 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図8 - 8 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）のフォーマット

アドレス ：F0367H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ITLCSEL0	0	CSEL012	CSEL011	CSEL010	0	ISEL002	ISEL001	ISEL000

CSEL012	CSEL011	CSEL010	キャプチャ用インターバル・タイマ・カウント・クロック（f_{ITL1}）選択注
0	0	0	動作停止
0	0	1	f_{IHP}
0	1	1	f_{MXP}
1	0	0	f_{SXP}
上記以外			設定禁止

ISEL002	ISEL001	ISEL000	インターバル・タイマ・カウント・クロック（f_{ITL0}）選択注
0	0	0	動作停止
0	0	1	f_{IHP}
0	1	1	f_{MXP}
1	0	0	f_{SXP}
上記以外			設定禁止

注 CSEL012-CSEL010ビットおよびISEL002-ISEL000ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

備考 f_{MXP}：高速周辺クロック周波数
f_{SXP}：低速周辺クロック周波数
f_{IHP}：高速オンチップ・オシレータ周辺クロック周波数

8.2.8 インターバル・タイマ分周レジスタ0（ITLFDIV00）

ITLFDIV00 レジスタは、インターバル・タイマのカウント・クロックを設定するレジスタです。

ITLFDIV00 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 9 インターバル・タイマ分周レジスタ0（ITLFDIV00）のフォーマット (1/2)

アドレス ：F0368H

リセット時: 00H

R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV00	0	FDIV012	FDIV011	FDIV010	0	FDIV002	FDIV001	FDIV000

FDIV012	FDIV011	FDIV010	8ビット・カウンタ・モード時：ITL001のカウント・クロック注1
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$

8ビット・カウンタ・モードでは、FDIV012-FDIV010ビットに設定したカウント・クロックによりITL001がカウントします。
16ビット・カウンタ・モードでは、000Bに設定してください。
32ビット・カウンタ・モードでは、000Bに設定してください。

図8 - 9 インターバル・タイマ分周レジスタ0（ITLFDIV00）のフォーマット (2/2)

FDIV002	FDIV001	FDIV000	8ビット・カウンタ・モード時：ITL000のカウント・クロック注2 16ビット・カウンタ・モード時： ITL000 + ITL001のカウント・クロック注2 32ビット・カウンタ・モード時： ITL000 + ITL001 + ITL012 + ITL013のカウント・クロック注2
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$
8ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウント・クロックによりITL000がカウントします。 16ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウント・クロックによりITL000 + ITL001がカウントします。 32ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウント・クロックによりITL000 + ITL001 + ITL012 + ITL013がカウントします。			

注1. FDIV012-FDIV010ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN01ビットが0のときに行ってください。

注2. FDIV002-FDIV000ビットの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

8.2.9 インターバル・タイマ分周レジスタ1（ITLFDIV01）

ITLFDIV01 レジスタは、インターバル・タイマのカウント・クロックを設定するレジスタです。
ITLFDIV01 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図8 - 10 インターバル・タイマ分周レジスタ1（ITLFDIV01）のフォーマット

アドレス ：F0369H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV01	0	FDIV032	FDIV031	FDIV030	0	FDIV022	FDIV021	FDIV020

FDIV032	FDIV031	FDIV030	8ビット・カウンタ・モード時：ITL013のカウント・クロック注1
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$
8ビット・カウンタ・モードでは、FDIV032-FDIV030ビットに設定したカウント・クロックによりITL013がカウントします。 16ビット・カウンタ・モードでは、000Bに設定してください。 32ビット・カウンタ・モードでは、000Bに設定してください。			

FDIV022	FDIV021	FDIV020	8ビット・カウンタ・モード時：ITL012のカウント・クロック注2 16ビット・カウンタ・モード時： ITL012 + ITL013のカウント・クロック注2
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$
8ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウント・クロックによりITL012がカウントします。 16ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウント・クロックによりITL012 + ITL013がカウントします。 32ビット・カウンタ・モードでは、使用しないため000Bに設定してください。			

注1. FDIV032-FDIV030ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN03ビットが0のときに行ってください。

注2. FDIV022-FDIV020ビットの設定は、8ビットおよび16ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN02ビットが0のときに行ってください。

8.2.10　インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）

ITLCC0 レジスタは、インターバル・タイマのキャプチャ機能の有効／無効の設定と、キャプチャ完了フラグの格納およびクリアの設定、ソフトウェア・トリガの設定、キャプチャ・トリガ選択の設定を行うレジスタです。

ITLCC0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 11　インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）のフォーマット

アドレス　：F036AH
リセット時: 00H
R/W属性　：R/W

略号	7	<6>	5	<4>	3	2	1	0
ITLCC0	CAPEN0	CAPF0CR	CAPF0	CAPR0	CAPC0CR	0	CTRS01	CTRS00

CAPEN0	キャプチャ・イネーブル注1
0	キャプチャ無効
1	キャプチャ有効

CAPF0CR	キャプチャ完了フラグ・クリア注2
0	キャプチャ完了フラグCAPF0を保持
1	キャプチャ完了フラグCAPF0をクリア

CAPF0	キャプチャ完了フラグ注3
0	キャプチャ未了
1	キャプチャ完了 CTRS01, CTRS00 ビットで設定したキャプチャ・トリガの発生後、ITLCAP00 レジスタにデータをキャプチャすると1になります。 CAPF0CR ビットに1を書き込むと0にクリアされます。

CAPR0	ソフトウェア・キャプチャ・トリガ注4, 5
0	トリガ動作しない
1	キャプチャのためのソフトウェア・トリガを発生させる

CAPC0CR	キャプチャ完了後16ビット・カウンタ（ITL000 + ITL001）クリア選択注6
0	キャプチャ完了後、16ビット・カウンタ（ITL000 + ITL001）を保持するモード
1	キャプチャ完了後、16ビット・カウンタ（ITL000 + ITL001）をクリアするモード

CTRS01	CTRS00	キャプチャ・トリガ選択注5, 7
0	0	ソフトウェア・トリガ
0	1	ITLCMP01 レジスタのコンペアー致割り込み注8
1	0	fSXP（立ち上がりエッジ）
1	1	設定禁止

注1.　CAPEN0 ビットの設定は、ITLCTL0 レジスタの ITLEN03-ITLEN00 ビットがすべて 0 のときに行ってください。

注2.　CAPF0CR ビットを読み出すと常に 0 が読めます。

注3.　ビット5は、読み出しのみ可能です。

注4. CAPR0ビットを読み出すと常に0が読めます。

注5. キャプチャ動作では、キャプチャ・トリガを発生させる間隔をカウント・クロックで2クロック以上にしてください。

注6. CAPC0CRビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注7. CTRS01, CTRS00ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注8. キャプチャ・トリガにITLCMP01のコンペアー致割り込みを選択すると、キャプチャ時にチャネル2のコンペアー致検出フラグ（ITF02）とキャプチャ検出フラグ（ITF0C）がセットされます。キャプチャ検出フラグのみ使用する場合は、ITLMKF0レジスタの設定でチャネル2のコンペアー致検出フラグをマスクしてください。

8.2.11　インターバル・タイマ・ステータス・レジスタ（ITLS0）

ITLS0 レジスタは、インターバル・タイマのステータス・レジスタです。

ITLS0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

ITL0mn レジスタ（mn = 00, 01, 12, 13）のカウンタ値が、ITLCMP0mn, ITLCMP00, ITLCMP01 レジスタに設定した値と一致したとき、対応するチャネルのコンペアー致検出フラグがセットされます。また、ITLCC0 レジスタの CAPEN0 ビットが 1 のときにキャプチャ・トリガが発生し、ITL0n のカウンタ値が ITLCAP00 レジスタにセットされるとキャプチャ検出フラグがセットされます。

本レジスタの ITF0C, ITF03-ITF00 ビットを OR した信号を割り込み要求（INTITL）として出力します。

表 8 - 2 に ITLMD01, ITLMD00 ビットのモードごとのステータス・フラグがセットされる要因を示します。

図8 - 12　インターバル・タイマ・ステータス・レジスタ（ITLS0）のフォーマット

アドレス　：F036BH
リセット時：00H
R/W属性　：R/W**注**

略号	7	6	5	4	3	2	1	0
ITLS0	0	0	0	ITF0C	ITF03	ITF02	ITF01	ITF00

ITF0C	キャプチャ検出フラグ
0	キャプチャ完了を未検出
1	キャプチャ完了を検出

ITF03	チャネル3のコンペアー致検出フラグ
0	チャネル3コンペアー致信号を未検出
1	チャネル3コンペアー致信号を検出

ITF02	チャネル2のコンペアー致検出フラグ
0	チャネル2コンペアー致信号を未検出
1	チャネル2コンペアー致信号を検出

ITF01	チャネル1のコンペアー致検出フラグ
0	チャネル1コンペアー致信号を未検出
1	チャネル1コンペアー致信号を検出

ITF00	チャネル0のコンペアー致検出フラグ
0	チャネル0コンペアー致信号を未検出
1	チャネル0コンペアー致信号を検出

注　1の書き込みは無効になります。ITF0C, ITF0i（i = 0-3）ビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

注意1. ITF0C, ITF03, ITF02, ITF01, ITF00 ビットのいずれかを0にクリアしたときに、ITLS0 レジスタが00Hにならない場合は割り込み要求信号（INTITL）が発生し、割り込み要求フラグ（ITLIF）が1にセットされます。

（注意は次ページに続きます）

注意2. ITLS0レジスタの各ビットを0にクリアするときは、1になっているビットに対して0を設定してください。0のビットに0を書き込むと、0の書き込みと同時に発生したコンペア一致信号またはキャプチャ検出信号を検出できない場合があります。たとえば、ITF01ビットが1にセットされている場合、ITLS0レジスタに00011101Bを設定してITF01ビットをクリアしください。

表8 - 2　モードごとのステータス・フラグのセット要因

モード	ITLMD01	ITLMD00	CAPEN0	ステータス・フラグ	ステータス・フラグ発生要因
8ビット	0	0	×	ITF00	ITLCMP000とITL000が一致後、次のカウントクロックの立ち上がり
			×	ITF01	ITLCMP001とITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP012とITL012が一致後、次のカウントクロックの立ち上がり
			×	ITF03	ITLCMP013とITL013が一致後、次のカウントクロックの立ち上がり
16ビット	0	1	×	ITF00	ITLCMP00とITL000 + ITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP01とITL012 + ITL013が一致後、次のカウントクロックの立ち上がり
			1	ITF0C	キャプチャ・トリガ発生後、ITL000 + ITL001の値がITLCAP00にセットされる時
32ビット	1	0	×	ITF00	ITLCMP00 + ITLCMP01とITL000 + ITL001 + ITL012 + ITL013が一致後、次のカウントクロックの立ち上がり

備考　×：Don’t care

8.2.12　インターバル・タイマー致検出マスク・レジスタ（ITLMKF0）

ITLMKF0 レジスタは、インターバル・タイマ・ステータス・レジスタ（ITLS0）の各ビットに 1 をセットする動作の許可／禁止を設定するレジスタです。

ITLMKF0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

MKF0C, MKF03-MKF00 ビットに 1 を設定することにより、対応するステータス・フラグ（ITF0C, ITF03-ITF00）はマスクされ、コンペア・レジスタの一致検出およびキャプチャ完了を検出しても 1 にセットされません。ステータス・フラグが 1 にセットされないため、インターバル検出割り込み（INTITL）も発生しません。

図8 - 13　インターバル・タイマー致検出マスク・レジスタ（ITLMKF0）のフォーマット

アドレス　：F036CH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ITLMKF0	0	0	0	MKF0C	MKF03	MKF02	MKF01	MKF00

MKF0C	キャプチャ検出ステータス・フラグのマスク注
0	ITF0C フラグをマスクしない
1	ITF0C フラグをマスクする

MKF03	チャネル3コンペアー致ステータス・フラグのマスク注
0	ITF03 フラグをマスクしない
1	ITF03 フラグをマスクする

MKF02	チャネル2コンペアー致ステータス・フラグのマスク注
0	ITF02 フラグをマスクしない
1	ITF02 フラグをマスクする

MKF01	チャネル1コンペアー致ステータス・フラグのマスク注
0	ITF01 フラグをマスクしない
1	ITF01 フラグをマスクする

MKF00	チャネル0コンペアー致ステータス・フラグのマスク注
0	ITF00 フラグをマスクしない
1	ITF00 フラグをマスクする

注　各ビットを1にしてマスク設定すると、ITLS0 レジスタの対応するビットもセットされないため、ソフトウェアによるコンペアー致の検出およびキャプチャ完了を検出することはできません。チャネル0～チャネル3のコンペアー致動作をする場合は、必ず該当するステータス・フラグのマスクは0に設定してマスクをしないでください。キャプチャ完了ステータスに関しては、MKF0C ビットに1を設定して ITF0C フラグをマスクした場合でも、インターバル・タイマ・キャプチャ制御レジスタ 0（ITLCC0）の CAPF0 フラグでキャプチャの完了を検出することができます。

8.3 動作説明

8.3.1 カウンタ・モードの設定

32 ビット・インターバル・タイマは、カウンタ・モードとして 8 ビット・カウンタ・モード／16 ビット・カウンタ・モード／32 ビット・カウンタ・モードの 3 種類のモードを持ちます。**表 8 - 3** に 8 ビット・カウンタ・モード時の使用レジスタと設定内容、**表 8 - 4** に 16 ビット・カウンタ・モード時の使用レジスタと設定内容、**表 8 - 5** に 32 ビット・カウンタ・モード時の使用レジスタと設定内容を示します。

表8 - 3 8ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ 0mn（ITLCMP0mn）	ビット7-0	チャネル0～3のコンペア値を8ビットで設定してください。
インターバル・タイマ制御レジスタ0（ITLCTL0）	ITLEN00	チャネル0側のカウント開始／停止を選択してください。
	ITLEN01	チャネル1側のカウント開始／停止を選択してください。
	ITLEN02	チャネル2側のカウント開始／停止を選択してください。
	ITLEN03	チャネル3側のカウント開始／停止を選択してください。
	ITLMD00	0に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn（ITLFDIV0n）	FDIV002-FDIV000	チャネル0側のカウント・クロックを選択してください。
	FDIV012-FDIV010	チャネル1側のカウント・クロックを選択してください。
	FDIV022-FDIV020	チャネル2側のカウント・クロックを選択してください。
	FDIV032-FDIV030	チャネル3側のカウント・クロックを選択してください。
インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）	ISEL002-ISEL000	インターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）	ビット7-0	0に設定してください。

備考 mn = 00, 01, 12, 13; n = 0, 1

表8 - 4 16ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）	ビット15-0	チャネル0, 1、およびチャネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0（ITLCTL0）	ITLEN00	チャネル0, 1側のカウント開始／停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャネル2, 3側のカウント開始／停止を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn（ITLFDIV0n）	FDIV002-FDIV000	チャネル0, 1側のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	チャネル2, 3側のカウント・クロックを選択してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）	ISEL002-ISEL000	インターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）	ビット7-0	0に設定してください。

備考 n = 0, 1

表8 - 5 32ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）	ビット15-0	32ビット・カウンタ・モードのコンペア値として、チャネル0, 1（ITLCMP00）に下位16ビットのコンペア値を、チャネル2, 3（ITLCMP01）に上位16ビットのコンペア値を設定してください。
インターバル・タイマ制御レジスタ0（ITLCTL0）	ITLEN00	チャネル0～3のカウント開始／停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	0に設定してください。
	ITLEN03	0に設定してください。
	ITLMD00	0に設定してください。
	ITLMD01	1に設定してください。
インターバル・タイマ分周レジスタn（ITLFDIV0n）	FDIV002-FDIV000	チャネル0～3のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）	ISEL002-ISEL000	インターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）	ビット7-0	0に設定してください。

備考 n = 0, 1

8.3.2 キャプチャ・モードの設定

チャネル 0, 1 は 16 ビット・キャプチャ・モードで使用することにより、設定したキャプチャ・トリガでカウント値をインターバル・タイマ・キャプチャ・レジスタ 00（ITLCAP00）に格納します。

表8 - 6 16ビット・キャプチャ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ00（ITLCMP00）	ビット15-0	チャネル0, 1のコンペア値を16ビットで設定してください。
インターバル・タイマ・コンペア・レジスタ01（ITLCMP01）注	ビット15-0	チャネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0（ITLCTL0）	ITLEN00	チャネル0, 1側のカウント開始／停止制御を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャネル2, 3側のカウント開始／停止制御を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn（ITLFDIV0n）	FDIV002-FDIV000	チャネル0側のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）	ISEL002-ISEL000	チャネル0, 1側のインターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	チャネル2, 3側のキャプチャ用インターバル・タイマのカウント・クロックを選択してください。
インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）	CAPEN0	1に設定してください。
	CAPC0CR	キャプチャ完了後のチャネル0, 1側カウンタをクリアするか保持するかの設定をしてください。
	CTRS01, CTRS00	キャプチャ・トリガを選択してください。

注 ITLCMP01のコンペアー致割り込みをキャプチャ・トリガとして使用しない場合はチャネル2、チャネル3を16ビット・カウンタ・モードとして使用することができます。

備考 n = 0, 1

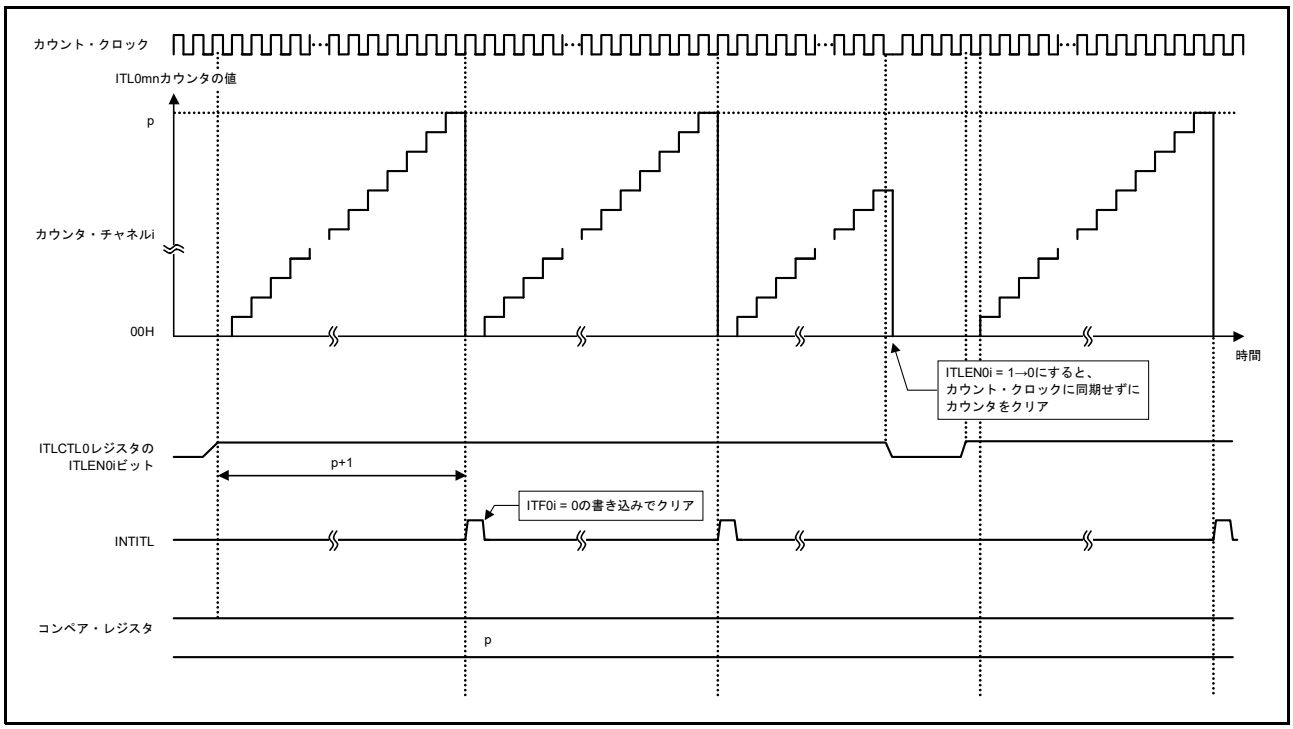
8.3.3 タイマ動作

インターバル・タイマ分周レジスタ 0, 1（ITLFDIV00, ITLFDIV01）で選択したカウント・クロックで ITL0mn カウンタがアップ・カウントします。カウンタがコンペア値と一致したあと、次のカウント・クロックで割り込み要求信号（INTITL）が発生します。割り込み要求信号（INTITL）は ITLS0 レジスタが 00H になるまでハイ・レベルを維持します。

割り込み要求信号（INTITL）がハイ・レベルの期間は、動作中のチャネルのコンペア一致またはキャプチャ検出が発生しても新規の割り込み要求信号（INTITL）は発生せず、割り込み要求フラグ（ITLIF）もセットされません。

ITLEN03-ITLEN00 ビットに 0 を設定すると、カウント値はクリアされます。

図8 - 14 タイマ動作例（8ビット・カウンタ・モード時）



備考1. mn = 00, 01, 12, 13; i = 0-3

備考2. p：ITLCMP0mn レジスタの設定値

8.3.4　キャプチャ動作

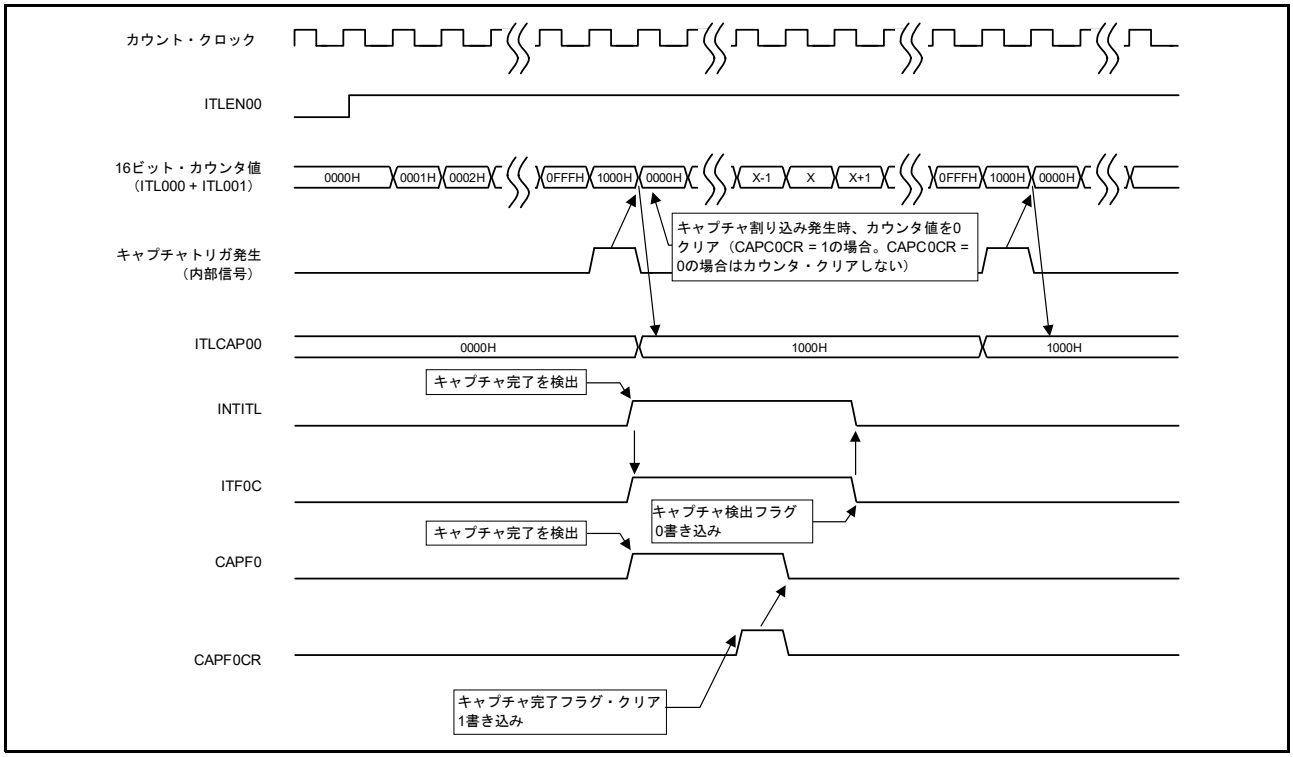
インターバル・タイマ・キャプチャ制御レジスタ 0（ITLCC0）の CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ（ITL000 + ITL001）の値をキャプチャ・レジスタ（ITLCAP00）に格納します。

キャプチャ・トリガとして、ITLCMP01 のコンペアー致割り込み、fSXP またはソフトウェア・トリガ（CAPR0 = 1）が選択可能です。キャプチャ・トリガとして、ITLCMP01 のコンペアー致割り込みを使用する場合は、インターバル・タイマ・クロック選択レジスタ 0（ITLCSEL0）でカウント・クロックを選択し、インターバル・タイマ・コンペア・レジスタ 01（ITLCMP01）にコンペア値を設定します。キャプチャ・トリガとして、fSXP またはソフトウェア・トリガ（CAPR0 = 1）を使用する場合は、チャネル 2、チャネル 3 を 16 ビット・カウンタ・モードとして使用することができます。

キャプチャ・トリガが入力されカウント値がインターバル・タイマ・キャプチャ・レジスタ 00 に格納されると、割り込み要求信号（INTITL）を出力し、キャプチャ完了フラグ（CAPF0）とキャプチャ検出フラグ（ITF0C）は 1 にセットされ、CAPF0 フラグと ITF0C フラグの値は保持されます**注**。CAPF0 フラグは CAPF0CR ビットをセットすることによりクリアされます。ITF0C フラグは ITLS0 レジスタの ITF0C ビットに 0 を書き込むことによりクリアされます。なお、キャプチャ・トリガを発生させる間隔はカウント・クロックで 5 クロック以上にしてください。キャプチャ・トリガ発生後、カウント・クロックで 2 クロック未満に再度キャプチャ・トリガが発生した場合は、CAPF0 ビットがセットされないことがあります。

注　ITLS0 レジスタが 00H 以外の状態では、ITF0C フラグは 1 にセットされても、割り込み要求信号（INTITL）はハイ・レベルを維持するため、割り込み動作は発生せず、割り込み要求フラグ（ITLIF）もセットされません。

図8 - 15　キャプチャ動作例



ITLCC0 レジスタの CAPC0CR ビットを 1（キャプチャ完了後 16 ビット・カウンタ（ITL000 + ITL001）をクリアするモード）に設定している場合にカウント値がコンペア値と一致すると次のカウント・クロックでカウント値はクリアされます。なお、キャプチャ・トリガが入力される前に、16 ビット・カウンタ（ITL000 + ITL001）とコンペア値が一致すると ITF00 フラグがセットされます。

CAPC0CR ビットが 0（キャプチャ完了後 16 ビット・カウンタ（ITL000 + ITL001）を保持するモード）に設定している場合カウント値はクリアされません。16 ビット・カウンタ（ITL000 + ITL001）とコンペア値が一致すると、ITF00 フラグがセットされます。

8.3.5 割り込み動作

表 8 - 7 に 8 ／ 16 ／ 32 ビット・カウンタ・モード時割り込み要因を示します。

ITF0C, ITF03-ITF00 ビットは ITLS0 レジスタの割り込みステータス・フラグであり、いずれかの割り込みステータス・フラグが発生すると割り込み要求信号（INTITL）を出力します。

表8 - 7 8／16／32ビット・カウンタ・モード時割り込み要因

割り込み要因	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因	32ビット・カウンタ・モード要因
ITF00	チャネル0コンペアー致後、次のカウント・クロックの立ち上がり	チャネル0 + 1のコンペアー致後、次のカウント・クロックの立ち上がり	コンペアー致後、次のカウント・クロックの立ち上がり
ITF01	チャネル1コンペアー致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF02	チャネル2コンペアー致後、次のカウント・クロックの立ち上がり	チャネル2 + 3のコンペアー致後、次のカウント・クロックの立ち上がり	発生しない
ITF03	チャネル3コンペアー致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF0C	発生しない （ITLCC0 = 00Hに設定すること）	キャプチャ・トリガが発生後、キャプチャ・レジスタに値が格納されるタイミングと同一	発生しない （ITLCC0 = 00Hに設定すること）

ITLS0 レジスタが 00H 以外の状態では、割り込み要求信号（INTITL）はハイ・レベルを維持しており、動作中のチャネルのコンペアー致またはキャプチャ検出が発生しても、新規の割り込み要求信号（INTITL）は発生せず、割り込み要求フラグ（ITLIF）もセットされません。ただし、ITLS0 レジスタのいずれかのビットを 8 ビット・メモリ操作命令で 0 を設定して、その結果 ITLS0 レジスタが 00H にならなかった場合は、INTITL にロウ・パルス信号が出力され割り込み要求フラグ（ITLIF）を 1 にセットします。したがって、ベクタ割り込み処理中などの ITLIF = 0 の状態で ITLS0 レジスタのステータス・フラグを 0 にクリアする処理を行うことで、もしほかのステータス・ビットが 1 に設定されていても割り込みとして検出することができます。**図 8 - 16** に各検出フラグのクリアとインターバル検出割り込み信号の関係を示します。

図 8 - 16 の動作を以下に説明します。

ITLS0 レジスタが 00H の状態で、チャネル 1 のコンペアー致信号を検出すると、ITF01 フラグがセットされ、インターバル検出割り込み信号（INTITL）がハイ・レベルになります。このハイ・レベル期間では、動作中のチャネルのコンペアー致またはキャプチャ検出が発生しても、新規の割り込み要求信号（INTITL）は発生せず、割り込み要求フラグ（ITLIF）もセットされません。

ただし、ITF0x ビット（x = 0-3, C）を 0 にクリアした直前に、ほかの検出フラグが 1 になった場合は、ITF0x ビットをクリア後に INTITL が一時的にロウ・レベルを出力して割り込み要求フラグ（ITLIF）を 1 にセットします。

① チャネル 1 のコンペアー致によって ITF01 フラグがセットされ、インターバル検出割り込み信号（INTITL）と割り込み要求フラグ（ITLIF）がハイ・レベルになります。割り込み要求フラグ（ITLIF）を 0 にクリアしインターバル検出割り込みの処理を実行します。

② インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。**図 8 - 16** のケースでは ITF01 フラグと ITF00 フラグが 1 にセットされていることを確認できます。

③ ITLS0 レジスタが 00H になるように、上記②で検出した ITF01 フラグと ITF00 フラグを 8 ビット・メモリ操作命令で 00011100B を書き込んでクリアします注。

④ ITF01 フラグが 1 にセットされた場合の処理と ITF00 フラグが 1 にセットされた場合の処理を実行します注。

⑤ 再度チャネル 1 のコンペアー致によって ITF01 フラグがセットされ、インターバル検出割り込み信号（INTITL）と割り込み要求フラグ（ITLIF）がハイ・レベルになります。割り込み要求フラグ（ITLIF）を 0 にクリアしインターバル検出割り込みの処理を実行します。

⑥ インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。**図 8 - 16** のケースでは ITF01 フラグが 1 にセットされていることを確認できます。

⑦ ITLS0 レジスタが 00H になるように、上記⑥で検出した ITF01 フラグを 8 ビット・メモリ操作命令で 00011101B を書き込んでクリアします。このときチャネル 0 のコンペアー致によって ITF00 フラグが 1 にセットされていますが、ITF00 フラグに対しては操作を行っていませんのでクリアされません。

⑧ ⑦の ITF01 フラグが 0 にクリアされるタイミングで ITF00 フラグは 1 にセットされていたので、INTITL はいったんロウ・レベルとなり、割り込み要求フラグ（ITLIF）を 1 にセットします。このときに割り込み許可フラグ（IE）が 0 にクリアされていなければ、この割り込み要求は保留されます。

⑨ ITF01 フラグが 1 にセットされた場合の処理を実行します。

⑩ ITF01 フラグが 1 にセットされた場合の処理から復帰すると割り込み要求フラグ（ITLIF）は 1 にセットされているので、割り込み要求フラグ（ITLIF）を 0 にクリアして保留されていたインターバル検出割り込み処理を実行します。

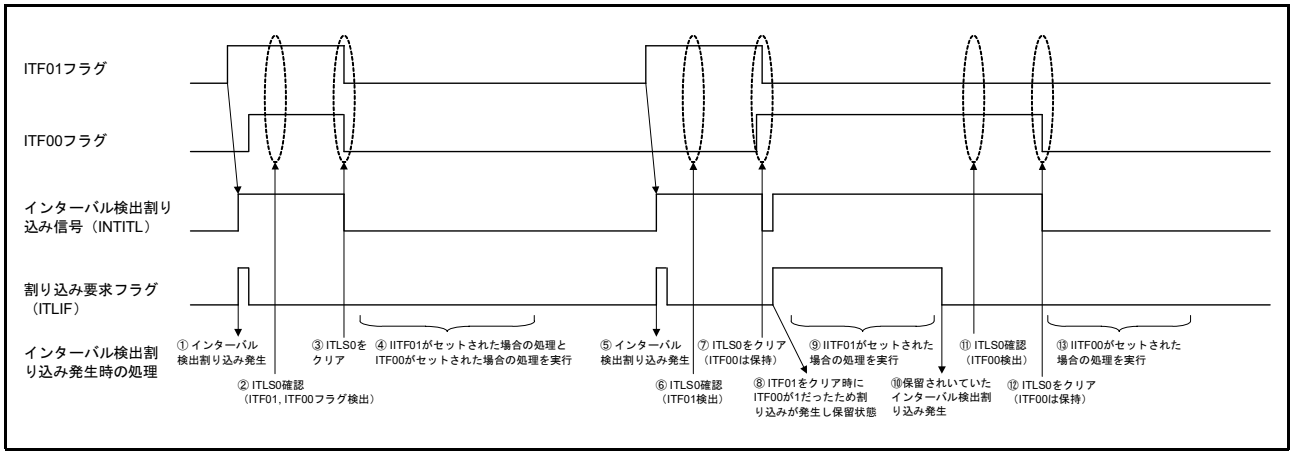
⑪ インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。**図 8 - 16** のケースでは ITF00 フラグが 1 にセットされていることを確認できます。

⑫ ITLS0 レジスタが 00H になるように、上記⑪で検出した ITF00 フラグを 8 ビット・メモリ操作命令で 00011110B を書き込んでクリアします。

⑬ ITF00 フラグが 1 にセットされた場合の処理を実行します。

注　割り込み要因のフラグを1ビットずつ処理をして0にクリアする処理を繰り返すことでも、割り込み要因の取りこぼしを防ぐことができます。

図8 - 16　　検出フラグのクリア例



8.3.6 インターバル・タイマの設定手順

32 ビット・インターバル・タイマの設定手順を以下に示します。

図8 - 17 32ビット・インターバル・タイマの動作開始手順

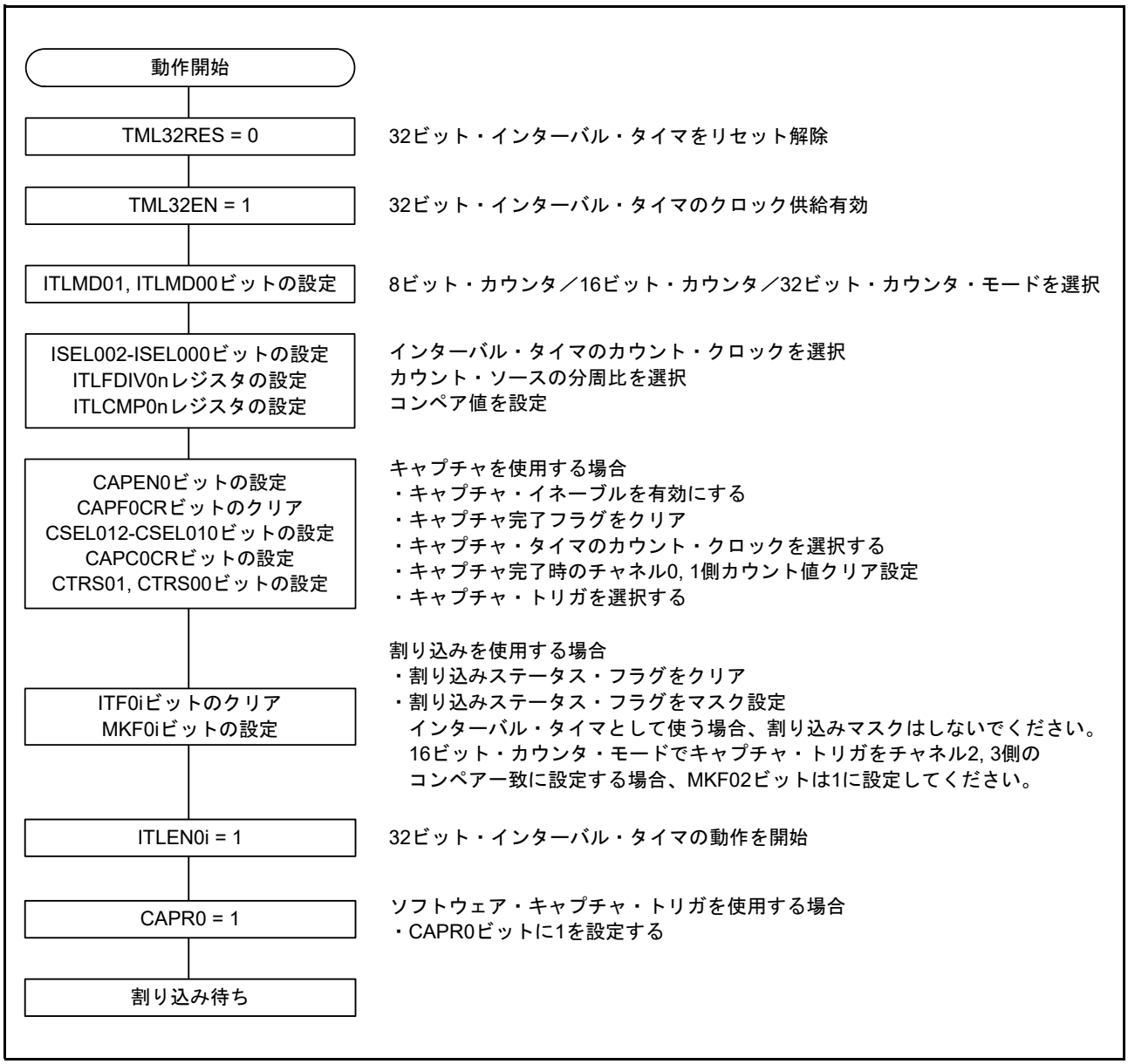


図8 - 18　32ビット・インターバル・タイマの動作停止手順

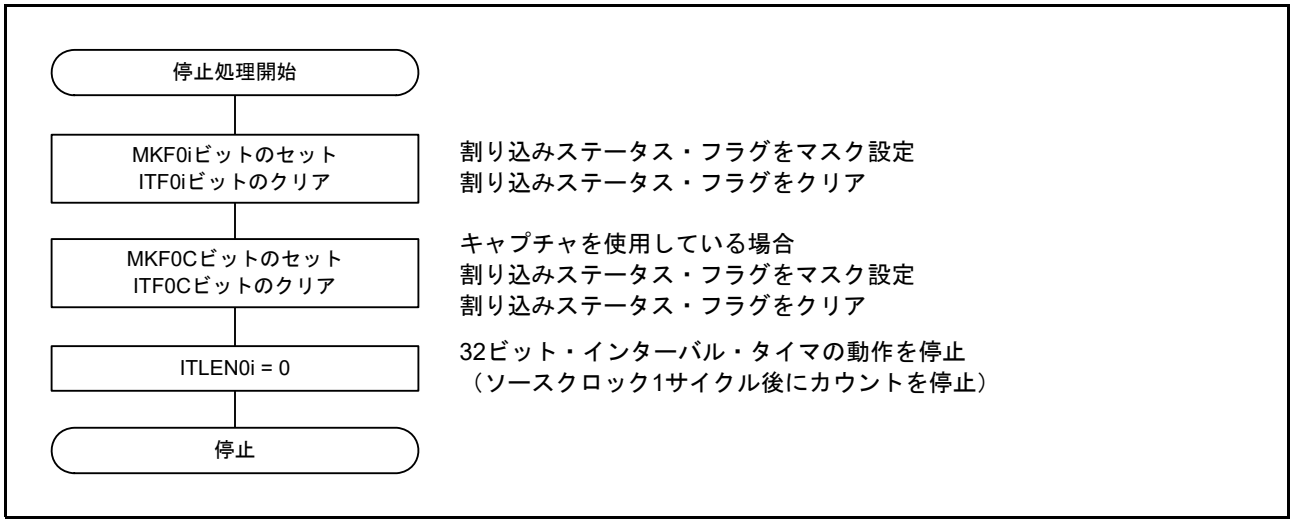


図8 - 19　32ビット・インターバル・タイマの動作モード変更手順

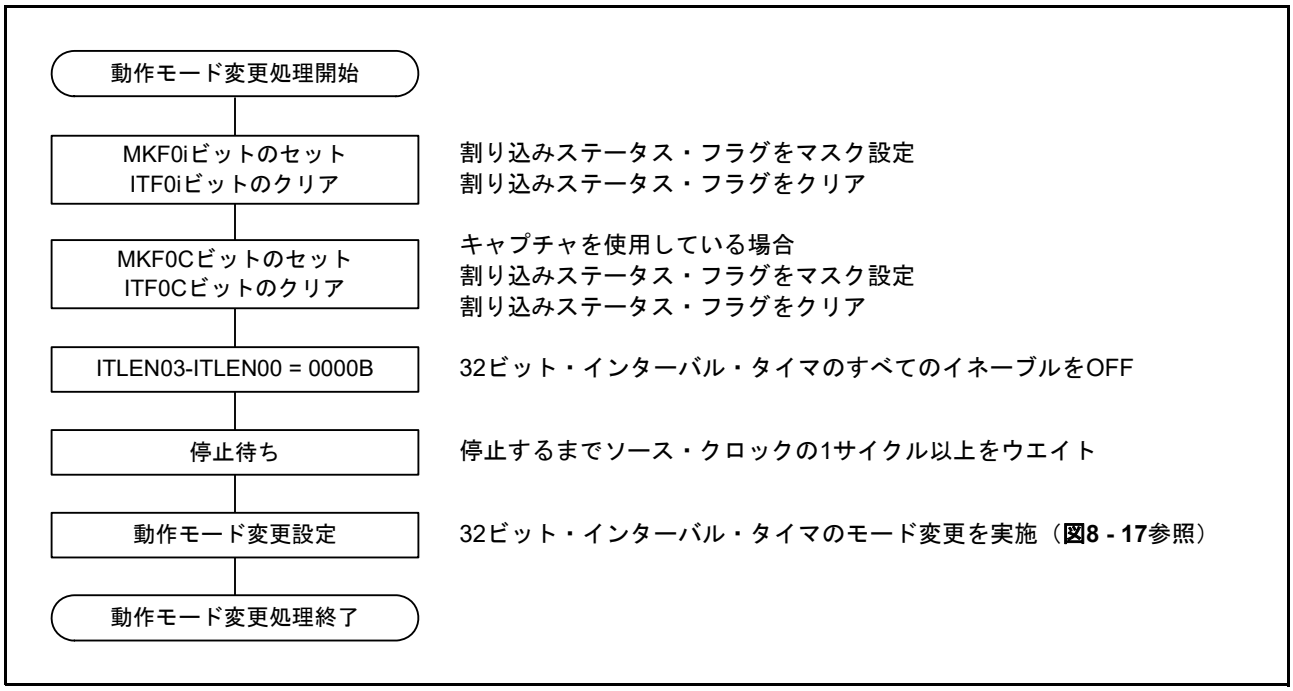
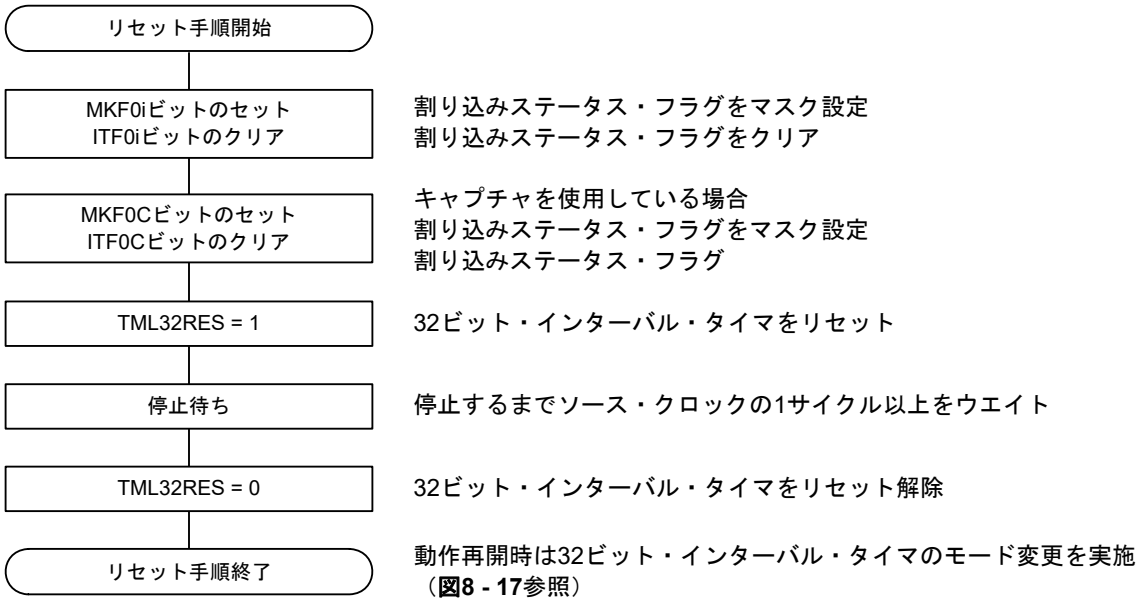


図8 - 20　32ビット・インターバル・タイマのリセット手順



第9章　ウォッチドッグ・タイマ（WDT）

9.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、ユーザ・オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック（f_{IL}）の2分周クロック（1/2f_{IL}）で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット・メモリ操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）のWDTRFビットが1にセットされます。RESFレジスタの詳細については、**第17章　リセット機能**を参照してください。

また、オーバフロー時間の75% + 1/4f_{IL}到達時にインターバル割り込みを発生することもできます。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9 - 1 ウォッチドッグ・タイマの構成

項　　目	構　　成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

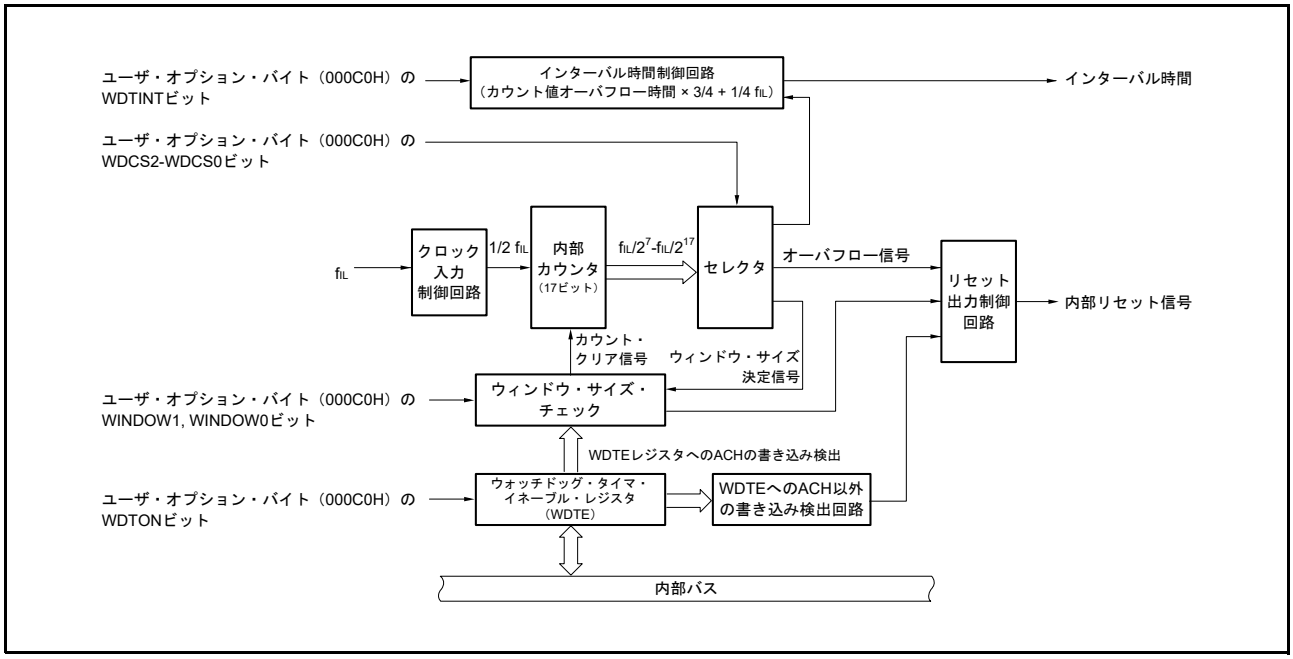
また、ユーザ・オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウィンドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表9 - 2 ユーザ・オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	ユーザ・オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウィンドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2-WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）	ビット0（WDSTBYON）

備考 ユーザ・オプション・バイトについては、**第23章 オプション・バイト**を参照してください。

図9 - 1 ウォッチドッグ・タイマのブロック図



備考 fIL：低速オンチップ・オシレータ・クロック

9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

9.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTE レジスタに ACH を書き込むことにより、ウォッチドッグ・タイマのカウンタがクリアされ、再びカウントを開始します。

WDTE レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AH または 1AH 注になります。

注 WDTE レジスタのリセット値は、ユーザ・オプション・バイト（000C0H）の WDTON ビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTON ビットに 1 を設定してください。

図9 - 2 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス : FFFABH
リセット時: 9AH/1AH 注
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
WDTE								

WDTON ビットの設定値	WDTE レジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注 WDTE レジスタのリセット値は、ユーザ・オプション・バイト（000C0H）の WDTON ビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTON ビットに 1 を設定してください。

注意1. WDTE レジスタに ACH 以外の値を書き込んだ場合、内部リセット信号を発生します。
注意2. WDTE レジスタに 1 ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
注意3. WDTE レジスタの読み出し値は、9AH/1AH（書き込んだ値（ACH）とは異なる値）になります。

備考 ユーザ・オプション・バイト（000C0H）の WDTON ビットが 1（ウォッチドッグ・タイマ動作許可）のとき、IAWCTL レジスタの IAWEN ビットが 0（不正メモリ・アクセスの検出無効）でも不正メモリ・アクセスの検出機能は有効となります。

9.4　ウォッチドッグ・タイマの動作

9.4.1　ウォッチドッグ・タイマの動作制御

(1) ウォッチドッグ・タイマを使用する場合、ユーザ・オプション・バイト（000C0H）で次の内容を設定します。

- ユーザ・オプション・バイト（000C0H）のビット4（WDTON）に1を設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、**第23章　オプション・バイト**参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

- ユーザ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、**9.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定**および**第23章　オプション・バイト**参照）。
- ユーザ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウィンドウ・オープン期間を設定してください（詳細は、**9.4.3　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定**および**第23章　オプション・バイト**参照）。

(2) リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。

(3) カウント動作開始したあと、ユーザ・オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

(4) 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウィンドウ・オープン期間中に行ってください。ウィンドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。

(5) WDTEレジスタにACHを書き込まずに、オーバフロー時間を超えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット・メモリ操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは、ウィンドウ・オープン時間にかかわらず、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

注意2. WDTEレジスタにACHを書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大f_{IL}の4クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

（注意は次ページに続きます）

注意4. ユーザ・オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により、ウォッチドッグ・タイマのHALT、STOP、およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタは0にクリアして、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、ユーザ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表9 - 3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 37.683 kHz（Max.）の場合）
0	0	0	$2^7/f_{IL}$（3.39 ms）
0	0	1	$2^8/f_{IL}$（6.79 ms）
0	1	0	$2^9/f_{IL}$（13.58 ms）
0	1	1	$2^{10}/f_{IL}$（27.17 ms）
1	0	0	$2^{12}/f_{IL}$（108.69 ms）
1	0	1	$2^{14}/f_{IL}$（434.78 ms）注
1	1	0	$2^{15}/f_{IL}$（869.56 ms）注
1	1	1	$2^{17}/f_{IL}$（3478.26 ms）注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアしたあと、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み（INTWDTI）が発生する場合があります。

- ウォッチドッグ・タイマのインターバル割り込みを使用
- ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75%以上のときにWDTEレジスタ（FFFABH）にACHを書き込み

この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクすることができます。

① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0（MK0L）のWDTIMKビットを1にセット
② ウォッチドッグ・タイマのカウンタをクリア
③ 80 μs以上ウエイト
④ 割り込み要求フラグ・レジスタ0（IF0L）のWDTIIFビットを0にクリア
⑤ 割り込みマスク・フラグ・レジスタ0（MK0L）のWDTIMKビットを0にクリア

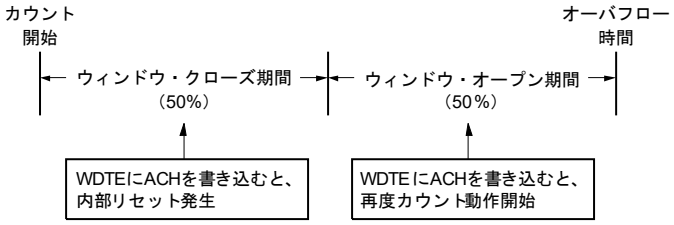
備考 f_{IL}：低速オンチップ・オシレータ・クロック周波数

9.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、ユーザ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウィンドウの概要は次のとおりです。

- ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウィンドウ・クローズ期間中は、WDTEレジスタにACHを書き込んでも、異常検出され、内部リセットを発生します。

例 ウィンドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間にかかわらず、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表9 - 4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	1	50%
1	1	100%
上記以外		設定禁止

備考 オーバフロー時間を$2^{10}/f_{IL}$に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定	
	50%	100%
ウィンドウ・クローズ時間	0～18.38 ms	なし
ウィンドウ・オープン時間	18.38～27.17 ms	0～27.17 ms

＜ウィンドウ・オープン期間50%のとき＞

- オーバフロー時間：
  $2^{10}/f_{IL}$ (Max.) = 2^{10}/37.683 kHz = 27.17 ms
- ウィンドウ・クローズ時間：
  0～$2^{10}/f_{IL}$ (Min.) × (1－0.5) = 0～2^{10}/27.852 kHz × 0.5 = 0～18.38 ms
- ウィンドウ・オープン時間：
  $2^{10}/f_{IL}$ (Min.) × (1－0.5) ～$2^{10}/f_{IL}$ (Max.) = 2^{10}/27.853 kHz × 0.5～2^{10}/37.683 kHz = 18.38～27.17 ms

9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

ユーザ・オプション・バイト（000C0H）のビット7（WDTINT）の設定により、オーバフロー時間の75% + 1/4fIL 到達時にインターバル割り込み（INTWDTI）を発生することができます。

表9 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/4fIL 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。
よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第10章　A/Dコンバータ（ADC）

A/D コンバータのアナログ入力チャネル数は、製品によって異なります。

	20ピン	32ピン	44, 48ピン	64ピン
アナログ入力チャネル数	6チャネル (ANI0-ANI2, ANI16-ANI18)	8チャネル (ANI0-ANI3, ANI16-ANI19)	10チャネル (ANI0-ANI7, ANI18, ANI19)	12チャネル (ANI0-ANI7, ANI16-ANI19)

10.1　A/Dコンバータの機能

A/D コンバータは、アナログ入力をデジタル値に変換するコンバータで、最大 12 チャネルの A/D コンバータ・アナログ入力（ANI0-ANI7, ANI16-ANI19）を制御できる構成になっています。A/D コンバータ・モード・レジスタ 2（ADM2）の ADTYP ビットにより、10 ビット分解能と 8 ビット分解能を選択できます。A/D コンバータには、次のような機能があります。

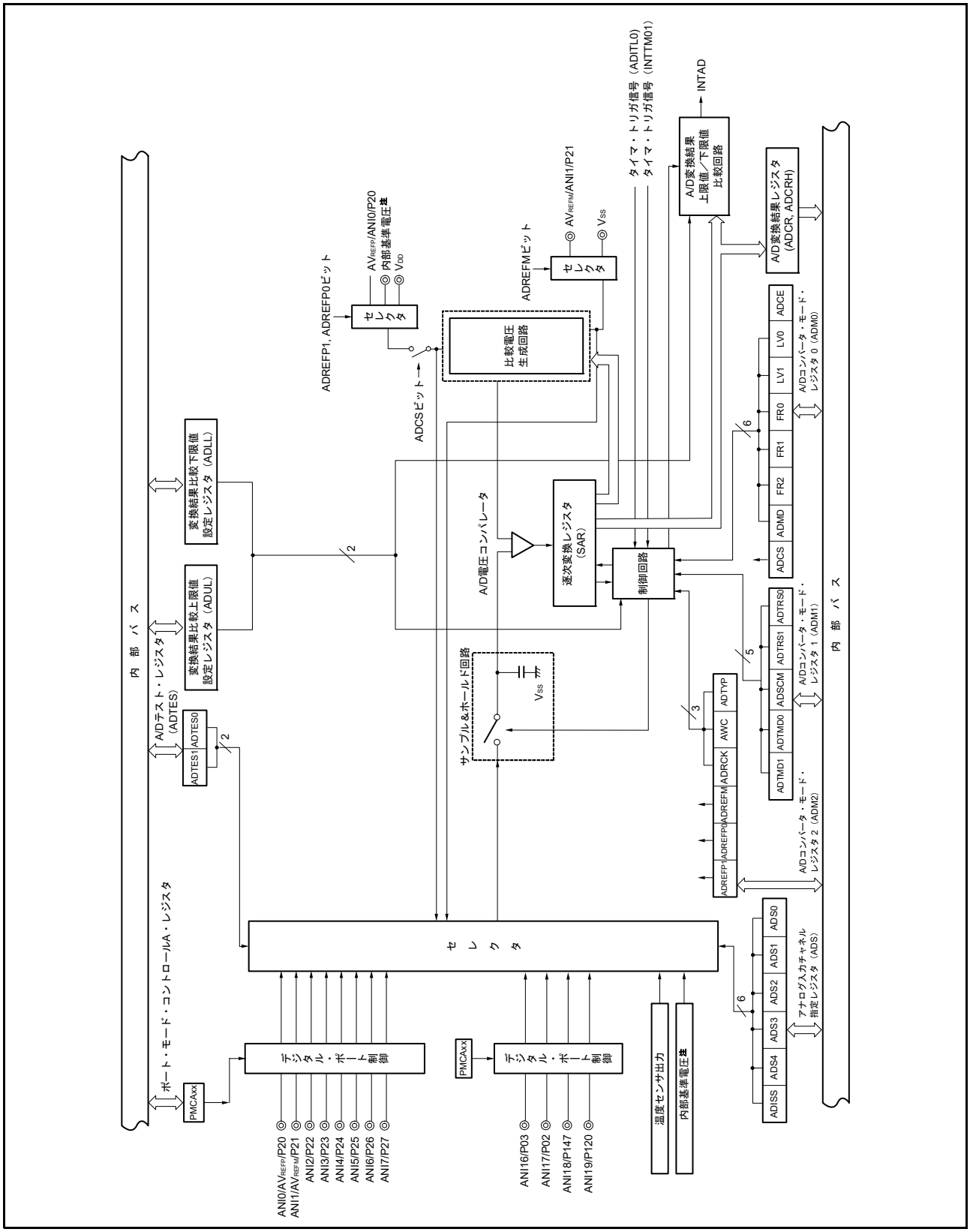
- 10ビット／8ビット分解能A/D変換
  ANI0-ANI7, ANI16-ANI19からアナログ入力を1チャネル選択し、10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより、さまざまなA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ・モード	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウエイト・モード	パワーオフでの変換待機状態でハードウェア・トリガを検出することにより、パワーオンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用するときは、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し、A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。ANI0-ANI7のうち連続した4チャネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1／標準2モード	2.7 V≦V_{DD}≦5.5 Vの動作電圧範囲で変換動作が可能です。
	低電圧1／低電圧2モード	1.6 V≦V_{DD}≦5.5 Vの動作電圧範囲で変換動作が可能です。 低電圧時に変換動作するときに選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数：7 f_{AD}	標準1／低電圧1モードのサンプリング時間は、変換クロック（f_{AD}）の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたいときに選択します。
	サンプリング・クロック数：5 f_{AD}	標準2／低電圧2モードのサンプリング時間は、変換クロック（f_{AD}）の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できているときに選択します。

注意　アナログ入力チャネル、V_{DD}電圧、AV_{REFP}電圧、トリガ・モード、f_{CLK}により、選択可能な動作モードが異なります。詳細は、表10 - 3　A/D変換時間の選択を参照してください。

図10 - 1 A/Dコンバータのブロック図



注 内部基準電圧値は、**第28章 電気的特性**を参照してください。

備考 この図のアナログ入力端子は、64ピン製品の場合です。

10.2 A/Dコンバータの構成

A/D コンバータは、次のハードウェアで構成されています。

(1) ANI0-ANI7, ANI16-ANI19端子
A/Dコンバータの12チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル＆ホールド（S&H）回路
入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ
比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には、逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には、SARレジスタのMSBビットをリセットします。
次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます。

- ビット9 = 0：（1/4 AV_{REF}）
- ビット9 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

- アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
- アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

(4) 比較電圧生成回路
アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ（SAR：Successive Approximation Register）
SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット（MSB）から1ビットずつ設定するレジスタです。
SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了）、そのSARレジスタの内容（変換結果）は、A/D変換結果レジスタ（ADCR）に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号（INTAD）が発生します。

(6) 10ビットA/D変換結果レジスタ（ADCR）
A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 8ビットA/D変換結果レジスタ（ADCRH）
A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路
A/D変換するアナログ入力の変換時間、変換動作の開始／停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値／下限値比較回路を通りINTADを発生します。

(9) AVREFP端子

外部から基準電圧（AVREFP）を入力する端子です。

AVREFPをA/Dコンバータの＋側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと－側基準電圧（AVREFM/VSS）間にかかる電圧に基づいて、ANI2-ANI7, ANI16-ANI19に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には、AVREFPのほかにVDDと内部基準電圧を選択することが可能です。

(10) AVREFM端子

外部から基準電圧（AVREFM）を入力する端子です。AVREFMをA/Dコンバータの－側基準電圧として使用する場合は、ADM2レジスタのADREFMビットに1を設定してください。

A/Dコンバータの－側基準電圧には、AVREFMのほかにVSSを選択することが可能です。

備考 AVREF：A/Dコンバータの＋側基準電圧。AVREFP、内部基準電圧、VDDから選択可能です。内部基準電圧値は、**第28章 電気的特性**を参照してください。

10.3　A/Dコンバータを制御するレジスタ

A/D コンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- A/Dコンバータ・モード・レジスタ0（ADM0）
- A/Dコンバータ・モード・レジスタ1（ADM1）
- A/Dコンバータ・モード・レジスタ2（ADM2）
- 10ビットA/D変換結果レジスタ（ADCR）
- 8ビットA/D変換結果レジスタ（ADCRH）
- アナログ入力チャネル指定レジスタ（ADS）
- 変換結果比較上限値設定レジスタ（ADUL）
- 変換結果比較下限値設定レジスタ（ADLL）
- A/Dテスト・レジスタ（ADTES）
- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

10.3.1 周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

A/D コンバータを使用する場合は、必ず ADCEN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10 - 2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス ：F00F0H
リセット時：00H
R/W属性 ：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PER0	0	0	ADCEN	IICA0EN注1	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 • A/Dコンバータで使用するSFRへのライト不可注2
1	入力クロック供給 • A/Dコンバータで使用するSFRへのリード／ライト可

注1. 32～64ピン製品のみ

注2. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

20ピン製品：ビット4

注意3. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態で、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは00Hとなり、書き込みは無視されます（ポート・モード・レジスタ（PM0, PM2, PM12, PM14）、ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）は除く）。

- **A/Dコンバータ・モード・レジスタ0（ADM0）**
- **A/Dコンバータ・モード・レジスタ1（ADM1）**
- **A/Dコンバータ・モード・レジスタ2（ADM2）**
- **10ビットA/D変換結果レジスタ（ADCR）**
- **8ビットA/D変換結果レジスタ（ADCRH）**
- **アナログ入力チャネル指定レジスタ（ADS）**
- **変換結果比較上限値設定レジスタ（ADUL）**
- **変換結果比較下限値設定レジスタ（ADLL）**
- **A/Dテスト・レジスタ（ADTES）**

10.3.2 周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

A/D コンバータをリセットする場合は、ADCRES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10 - 3 周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス ：F00F1H
リセット時：00H
R/W属性 ：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES注	SAU1RES	SAU0RES	0	TAU0RES

ADCRES	A/Dコンバータのリセット制御
0	A/Dコンバータのリセット解除
1	A/Dコンバータはリセット状態 ・A/Dコンバータで使用するSFRが初期化されます。

注 32～64ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

20ピン製品：ビット4

10.3.3 A/Dコンバータ・モード・レジスタ0（ADM0）

ADM0 レジスタは、A/D 変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。
ADM0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図10 - 4 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス ：FFF30H
リセット時: 00H
R/W属性 ：R/W

略号	<7>	6	5	4	3	2	1	<0>
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 ［読み出し時］ 変換動作停止／待機状態
1	変換動作許可 ［読み出し時］ ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウエイト・モード時：A/D電源安定待ち状態または変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、**表10 - 3 A/D変換時間の選択**を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μsかかります。このため、ADCEビットに1を設定してから1 μs以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

★ **注意2. ADCS = 1, ADCE = 0の設定は禁止です。**

注意3. ADCS = 0, ADCE = 0の状態から8ビット・メモリ操作命令でADCS = 1, ADCE = 1に設定することは禁止です。
必ず10.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

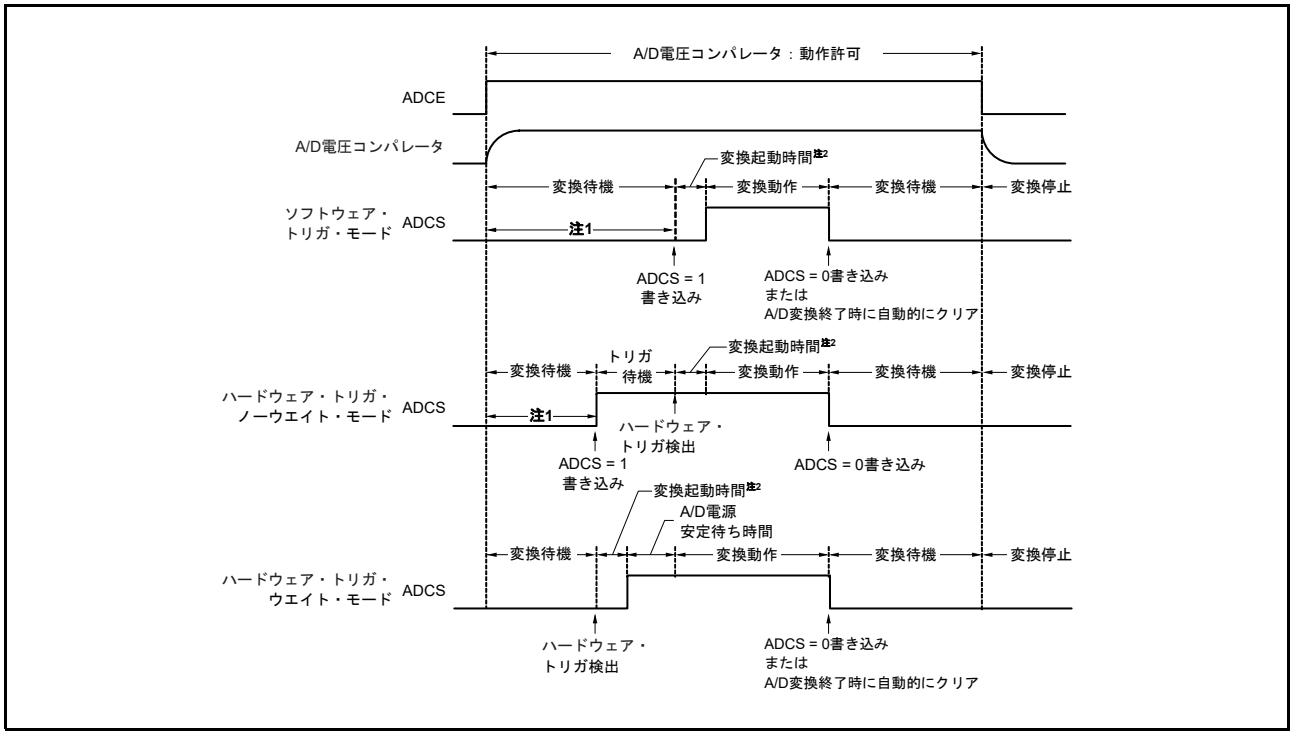
表10 - 1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表10 - 2 ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ・モード	セレクト・モード	連続変換モード	ADCS = 1書き込み	• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • A/D変換終了
	スキャン・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • 設定した4チャネル分の変換が終了
ハードウェア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み
	スキャン・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み
ハードウェア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガの入力	• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • A/D変換終了
	スキャン・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • 設定した4チャネル分の変換が終了

図10 - 5 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μs以上必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック（f_{AD}）	起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0		ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	1
0	1	0	f_{CLK}/16	15	1
0	1	1	f_{CLK}/8	7	1
1	0	0	f_{CLK}/6	5	1
1	0	1	f_{CLK}/5	4	1
1	1	0	f_{CLK}/4	3	1
1	1	1	f_{CLK}/2	1	1

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

（注意、備考は次ページに続きます）

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック + 変換起動時間 + A/D 変換時間

ハードウェア・トリガ・ウエイト・モード時　　：f_{CLK}の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

表10 - 3　A/D変換時間の選択 (1/4)

(1) A/D電源安定待ち時間なし 標準モード1, 2

ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウエイト・モード

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数注	変換時間	10ビット分解能時のA/D変換時間				
									2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76 μs	38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76 μs	38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68 μs	34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68 μs	34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（f_{AD}）の2クロック分短くなります。

注意1. A/D変換時間は、28.6.1　A/Dコンバータ特性（T_A = –40～+85℃）に示す変換時間（t_{CONV}）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

表10 - 3　A/D変換時間の選択 (2/4)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2

ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウエイト・モード

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数注	変換時間	10ビット分解能時のA/D変換時間				
									1.6 V≦V_{DD}≦5.5 V		1.8 V≦V_{DD}≦5.5 V	2.4 V≦V_{DD}≦5.5 V	2.7 V≦V_{DD}≦5.5 V
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76 μs	38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76 μs	38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68 μs	34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68 μs	34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（fAD）の2クロック分短くなります。

注意1. A/D変換時間は、28.6.1　A/Dコンバータ特性（T_A = –40～+85℃）に示す変換時間（t_{CONV}）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

表10 - 3　A/D変換時間の選択 (3/4)

(3) A/D電源安定待ち時間あり 標準モード1, 2

ハードウェア・トリガ・ウエイト・モード**注1**

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数**注2**	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時のA/D変換時間				
										2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	108 μs	54 μs
0	0	1				f_{CLK}/32			864/f_{CLK}			108 μs	54 μs	27 μs
0	1	0				f_{CLK}/16			432/f_{CLK}		108 μs	54 μs	27 μs	13.5 μs
0	1	1				f_{CLK}/8			216/f_{CLK}		54 μs	27 μs	13.5 μs	6.75 μs
1	0	0				f_{CLK}/6			162/f_{CLK}		40.5 μs	20.25 μs	10.125 μs	5.0625 μs
1	0	1				f_{CLK}/5			135/f_{CLK}	135 μs	33.75 μs	16.875 μs	8.4375 μs	4.21875 μs
1	1	0				f_{CLK}/4			108/f_{CLK}	108 μs	27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1				f_{CLK}/2			54/f_{CLK}	54 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	100 μs	50 μs
0	0	1				f_{CLK}/32			800/f_{CLK}			100 μs	50 μs	25 μs
0	1	0				f_{CLK}/16			400/f_{CLK}		100 μs	50 μs	25 μs	12.5 μs
0	1	1				f_{CLK}/8			200/f_{CLK}		50 μs	25 μs	12.5 μs	6.25 μs
1	0	0				f_{CLK}/6			150/f_{CLK}		37.5 μs	18.75 μs	9.375 μs	4.6875 μs
1	0	1				f_{CLK}/5			125/f_{CLK}	125 μs	31.25 μs	15.625 μs	7.8125 μs	3.90625 μs
1	1	0				f_{CLK}/4			100/f_{CLK}	100 μs	25 μs	12.5 μs	6.25 μs	3.125 μs
1	1	1				f_{CLK}/2			50/f_{CLK}	50 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（**表10 - 3　A/D変換時間の選択 (1/4)**参照）。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（f_{AD}）の2クロック分短くなります。

注意1. A/D変換時間は、28.6.1　A/Dコンバータ特性（T_A = –40～+85℃）に示す変換時間（t_{CONV}）の範囲内で選択してください。なお、変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

表10 - 3　A/D変換時間の選択 (4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2

ハードウェア・トリガ・ウエイト・モード**注1**

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数**注2**	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時のA/D変換時間				
										1.6 V≦VDD≦5.5 V		1.8 V≦VDD≦5.5 V	2.4 V≦VDD≦5.5 V	2.7 V≦VDD≦5.5 V
FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	1	0	低電圧1	fCLK/64	2 fAD	19 fAD（サンプリング・クロック数：7 fAD）	1344/fCLK	設定禁止	設定禁止	設定禁止	84 μs	42 μs
0	0	1				fCLK/32			672/fCLK			84 μs	42 μs	21 μs
0	1	0				fCLK/16			336/fCLK		84 μs	42 μs	21 μs	10.5 μs
0	1	1				fCLK/8			168/fCLK		42 μs	21 μs	10.5 μs	5.25 μs
1	0	0				fCLK/6			126/fCLK		31.5 μs	15.75 μs	7.875 μs	3.9375 μs
1	0	1				fCLK/5			105/fCLK	105 μs	26.25 μs	13.125 μs	6.5625 μs	3.238125 μs
1	1	0				fCLK/4			84/fCLK	84 μs	21 μs	10.5 μs	5.25 μs	2.625 μs
1	1	1				fCLK/2			42/fCLK	42 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	fCLK/64	2 fAD	17 fAD（サンプリング・クロック数：5 fAD）	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				fCLK/32			608/fCLK			76 μs	38 μs	19 μs
0	1	0				fCLK/16			304/fCLK		76 μs	38 μs	19 μs	9.5 μs
0	1	1				fCLK/8			152/fCLK		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				fCLK/6			114/fCLK		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				fCLK/5			95/fCLK	96 μs	23.75 μs	11.88 μs	5.938 μs	2.9688 μs
1	1	0				fCLK/4			76/fCLK	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				fCLK/2			38/fCLK	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（**表10 - 3　A/D変換時間の選択 (2/4)**参照）。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（fAD）の2クロック分短くなります。

注意1. A/D変換時間は、28.6.1　A/Dコンバータ特性（TA = –40～+85℃）に示す変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

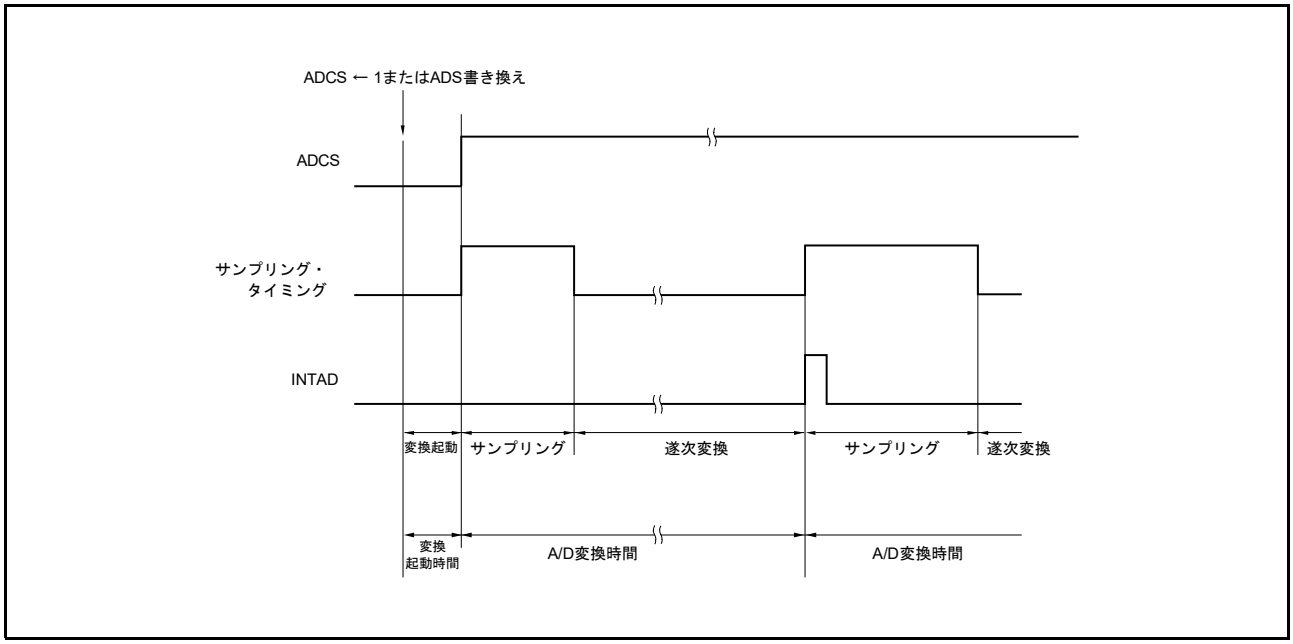
注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

図10 - 6 A/Dコンバータのサンプリングと A/D変換のタイミング（ソフトウェア・トリガ・モード）



10.3.4 A/Dコンバータ・モード・レジスタ1（ADM1）

ADM1 レジスタは、A/D 変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。
ADM1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図10 - 7 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス ：FFF32H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
1	1	32ビット・インターバル・タイマのコンペア一致によるトリガ信号（ADITL0）
上記以外		設定禁止

注意1. ADM1 レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。
注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。
ハードウェア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間
ハードウェア・トリガ・ウエイト・モード時 ：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考1. ×：Don't care
備考2. fCLK：CPU／周辺ハードウェア・クロック周波数

10.3.5 A/Dコンバータ・モード・レジスタ2（ADM2）

ADM2 レジスタは、A/D コンバータの＋側基準電圧および－側基準電圧の選択、割り込みを発生させる A/D 変換結果の範囲の選択、分解能の選択、および SNOOZE モードを設定するレジスタです。

ADM2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10 - 8 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット (1/2)

アドレス ：F0010H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	<3>	<2>	1	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	V_{DD}から供給
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧[注1]から供給
1	1	設定禁止

- ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。
  ① ADCE = 0に設定
  ② ADREFP1, ADREFP0ビットの値を変更
  ③ 基準電圧安定待ち時間A
  ④ ADCE = 1に設定
  ⑤ 基準電圧安定待ち時間B

  基準電圧安定待ち時間A, Bについて
  ADREFP1, ADREFP0 = 10Bに変更する場合 ：A = 5 μs, B = 1 μs
  ADREFP1, ADREFP0 = 00Bまたは01Bに変更する場合：Aはウエイト不要、B = 1 μs

  ⑤のウエイトのあとに、A/D変換開始してください。
- ADREFP1, ADREFP0 = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧[注1]をA/D変換することはできません。
  必ずADISS = 0としてA/D変換を行ってください。

ADREFM	A/Dコンバータの－側の基準電圧の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

図10 - 8 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット (2/2)

ADRCK	割り込みを発生させるA/D 変換結果の範囲の選択
0	ADLL レジスタ≦ADCR レジスタ≦ADUL レジスタ（AREA1）のとき割り込み信号（INTAD）が発生。
1	ADCR レジスタ＜ADLL レジスタ（AREA2）、ADUL レジスタ＜ADCR レジスタ（AREA3）のとき割り込み信号（INTAD）が発生。
図10 - 9にAREA1-AREA3の割り込み信号（INTAD）発生範囲を示します。	

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。 • SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノーウエイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間**注2** + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + f_{CLK}の2クロック」以上の間隔を空けて設定してください。 • SNOOZEモード機能を使用する場合でも、通常動作時はAWCビットに0を設定し、STOPモードへ移行する直前にAWCビットを1に変更してください。 またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。 AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注1. 内部基準電圧値は、**第28章 電気的特性**を参照してください。

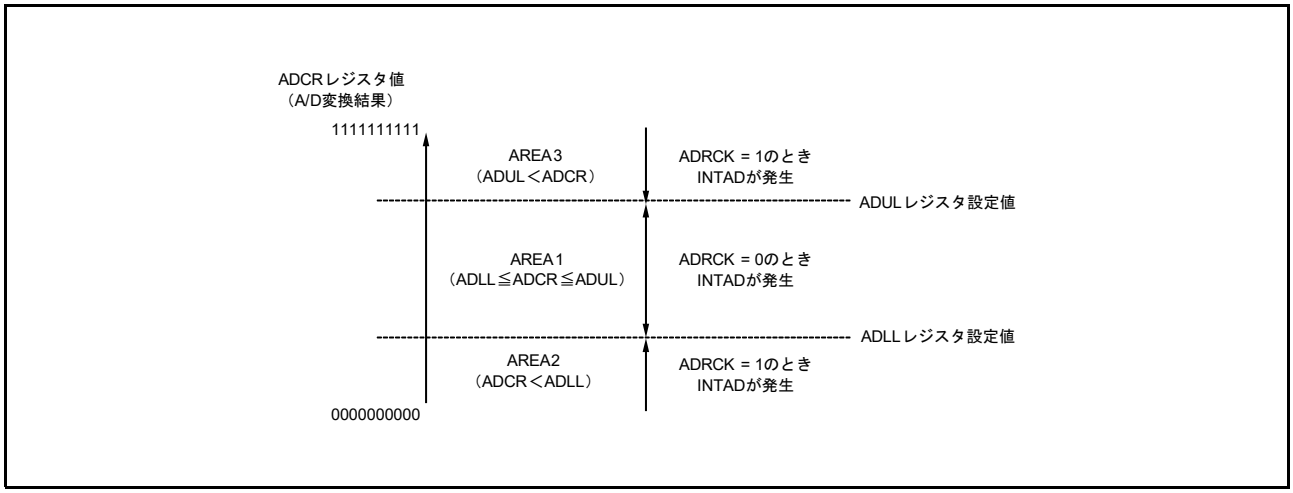
注2. **16.3.3 SNOOZEモード**の「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意1. ADM2レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意2. STOPモードまたはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 10B）選択時は、28.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

注意3. AV_{REFP}とAV_{REFM}を使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタ（PMxx）は入力モードに設定してください。

図10 - 9 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生した場合のみ、A/D変換結果がADCR, ADCRHレジスタに格納されます。

10.3.6 10ビットA/D変換結果レジスタ（ADCR）

ADCR レジスタは、A/D 変換結果を保持する 16 ビットのレジスタです。

下位 6 ビットは 0 固定です。A/D 変換が終了するたびに、逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位 8 ビットが FFF1FH に、下位 2 ビットが FFF1EH の上位 2 ビットに格納されます**注**。

ADCR レジスタは、16 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

注 A/D変換結果の値がA/D変換結果比較機能（ADM2.ADRCKビット、ADUL, ADLL レジスタで設定（**図10 - 9**参照））で設定した値の範囲外の場合は格納されません。

図10 - 10 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス : FFF1EH, FFF1FH
リセット時: 0000H
R/W属性 : R

	FFF1FH								FFF1EH							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR											0	0	0	0	0	0

注意1. 8ビット分解能A/D変換を選択時（ADM2.ADTYP = 1）にADCRレジスタを読み出した場合、上位8ビット以外のビットは0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合、10ビット分解能A/D変換選択時は変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

注意3. A/Dコンバータ・モード・レジスタ0（ADM0）、アナログ入力チャネル指定レジスタ（ADS）、ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）に対して書き込み動作を行ったとき、ADCRレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

10.3.7 8ビットA/D変換結果レジスタ（ADCRH）

ADCRH レジスタは、A/D 変換結果を保持する 8 ビットのレジスタです。10 ビット分解能の上位 8 ビットを格納します注。

ADCRH レジスタは、8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00H になります。

注 A/D変換結果の値がA/D変換結果比較機能（ADM2.ADRCKビット、ADUL, ADLL レジスタで設定（**図10 - 9**参照））で設定した値の範囲外の場合は格納されません。

図10 - 11 8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス ：FFF1FH
リセット時: 00H
R/W属性 ：R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意 A/Dコンバータ・モード・レジスタ0（ADM0）、アナログ入力チャネル指定レジスタ（ADS）、ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

10.3.8 アナログ入力チャネル指定レジスタ（ADS）

ADS レジスタは、A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。
ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図10 - 12 アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス ：FFF31H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

セレクト・モード（ADM0.ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P03/ANI16端子注1
0	1	0	0	0	1	ANI17	P02/ANI17端子注2
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	－	温度センサ出力電圧
1	0	0	0	0	1	－	内部基準電圧注3
上記以外						設定禁止	

注1. 20, 32 ピン製品の場合は、P01/ANI16端子になります。
注2. 20, 32 ピン製品の場合は、P00/ANI17端子になります。
注3. 内部基準電圧値は、**第28章 電気的特性**を参照してください。

スキャン・モード（ADM0.ADMD = 1）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
上記以外						設定禁止			

注意1. ビット6, 5には、必ず0を設定してください。

注意2. PMCAxxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ（PM0, PM2, PM12, PM14）で入力モードに選択してください。

注意3. ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意5. AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。

注意6. AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。

注意7. ADISS = 1を設定した場合、＋側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、10.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定（例 ソフトウェア・トリガ・モード、ワンショット変換モード時）を参照してください。
内部基準電圧値は、第28章 電気的特性を参照してください。

注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、28.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

10.3.9 変換結果比較上限値設定レジスタ（ADUL）

ADUL レジスタは、割り込みを発生させる A/D 変換結果の範囲の上限値を設定するレジスタです。

A/D 変換結果と ADUL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2（ADM2）の ADRCK ビットの設定範囲（**図 10 - 9 ADRCK ビットによる割り込み信号発生範囲**参照）で割り込み信号（INTAD）の発生を制御します。

ADUL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図10 - 13 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス ：F0011H
リセット時: FFH
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

注意1. 10ビット分解能A/D変換選択時は10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタと比較します。
注意2. ADULレジスタの書き換えは、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。
注意3. ADULレジスタは、ADUL＞ADLLになるように設定を行ってください。

10.3.10 変換結果比較下限値設定レジスタ（ADLL）

ADLL レジスタは、割り込みを発生させる A/D 変換結果の範囲の下限値を設定するレジスタです。

A/D 変換結果と ADLL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2（ADM2）の ADRCK ビットの設定範囲（**図 10 - 9 ADRCK ビットによる割り込み信号発生範囲**参照）で割り込み信号（INTAD）の発生を制御します。

ADLL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10 - 14 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス ：F0012H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADLLレジスタと比較します。
注意2. ADLLレジスタの書き換えは、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。
注意3. ADLLレジスタは、ADUL＞ADLLになるように設定を行ってください。

10.3.11 A/Dテスト・レジスタ（ADTES）

ADTES レジスタは、A/D 変換対象に A/D コンバータの＋側の基準電圧、－側の基準電圧、アナログ入力チャネル（ANIxx）／温度センサ出力電圧／内部基準電圧[注]を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に－側の基準電圧を選択
- フルスケールを測定するときは、A/D変換対象に＋側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注 内部基準電圧値は、**第28章 電気的特性**を参照してください。

図10 - 15 A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス ：F0013H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx／温度センサ出力電圧／内部基準電圧[注] （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2 レジスタの ADREFM ビットで選択）
1	1	＋側の基準電圧（ADM2 レジスタの ADREFP1, ADREFP0 ビットで選択）
上記以外		設定禁止

注 内部基準電圧値は、**第28章 電気的特性**を参照してください。

注意 ビット7-2には、必ず0を設定してください。

10.3.12 A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ

A/D コンバータのアナログ入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

詳細は、**4.3.1 ポート・モード・レジスタ（PMxx）**、**4.3.7 ポート・モード・コントロール A・レジスタ（PMCAxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

10.4 A/Dコンバータの変換動作

A/D コンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を、サンプル＆ホールド（S&H）回路でサンプリングします。
② 一定時間サンプリングを行うと S&H 回路はホールド状態となり、サンプリングされた電圧を A/D 変換が終了するまで保持します。
③ 逐次変換レジスタ（SAR）のビット 9 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）× AVREF にします。
④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力が（1/2）× AVREF よりも大きければ、SAR レジスタの MSB ビットをセットしたままです。また、（1/2）× AVREF よりも小さければ、MSB ビットはリセットします。
⑤ 次に SAR レジスタのビット 8 が自動的にセットされ、次の比較に移ります。ここではすでに比較済のビット 9 の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
- ビット9 = 1：（3/4）× AVREF
- ビット9 = 0：（1/4）× AVREF

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
- サンプリングされた電圧≧電圧タップ：ビット8 = 1
- サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較を SAR レジスタのビット 0 まで続けます。
⑦ 10 ビットの比較が終了したとき、SAR レジスタには一連の比較した結果が残り、その値が A/D 変換結果レジスタ（ADCR, ADCRH）に転送され、ラッチします注1。
同時に、A/D 変換終了割り込み要求信号（INTAD）を発生させることができます注1。
⑧ 以降①から⑦までの動作を ADCS = 0 になるまで繰り返します注2。
A/Dコンバータを停止する場合は、ADCS = 0にしてください。

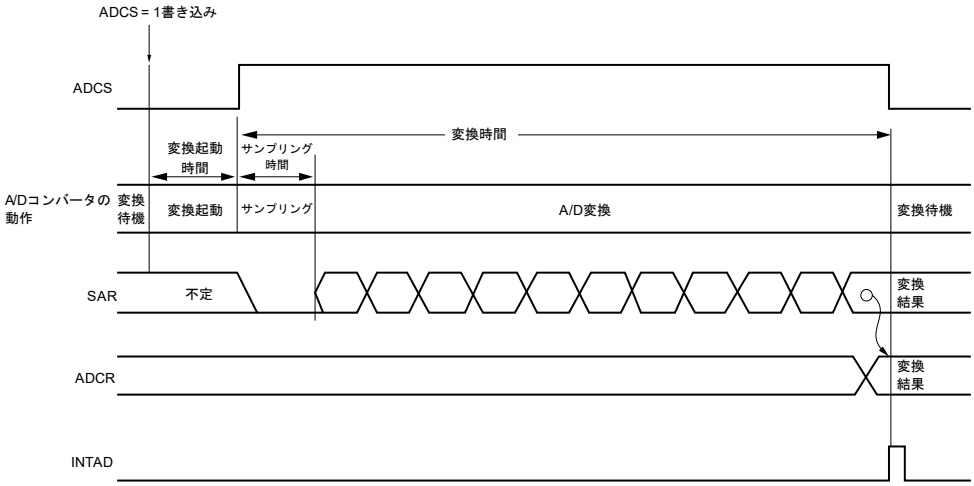
注1. A/D変換結果の値がA/D変換結果比較機能（ADM2.ADRCKビット、ADUL, ADLLレジスタで設定（**図10 - 9 ADRCKビットによる割り込み信号発生範囲**参照））で設定した値の範囲外の場合、A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注2. 連続変換モード時は、ADCSフラグは自動的に0にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に0にクリアされません。1のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。
- ADCRレジスタ（16ビット）：10ビットのA/D変換値を格納します。
- ADCRHレジスタ（8ビット）：8ビットのA/D変換値を格納します。

備考2. AVREF：A/Dコンバータの＋側基準電圧。AVREFP、内部基準電圧、VDDから選択可能です。内部基準電圧値は、**第28章 電気的特性**を参照してください。

図10 - 16 A/Dコンバータの変換動作（ソフトウェア・トリガ・モードの場合）



ワンショット変換モード時の A/D 変換動作は、A/D 変換終了後に ADCS ビットが自動的に 0 にクリアされます。

連続変換モード時の A/D 変換動作は、ソフトウェアにより A/D コンバータ・モード・レジスタ 0（ADM0）の ADCS ビットを 0 にクリアするまで連続的に行われます。

A/D 変換動作中に、アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

A/D 変換結果レジスタ（ADCR, ADCRH）は、リセット信号の発生により、0000H または 00H となります。

10.5 入力電圧と変換結果

アナログ入力端子（ANI0-ANI7, ANI16-ANI19）に入力されたアナログ入力電圧と理論上の A/D 変換結果（10 ビット A/D 変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

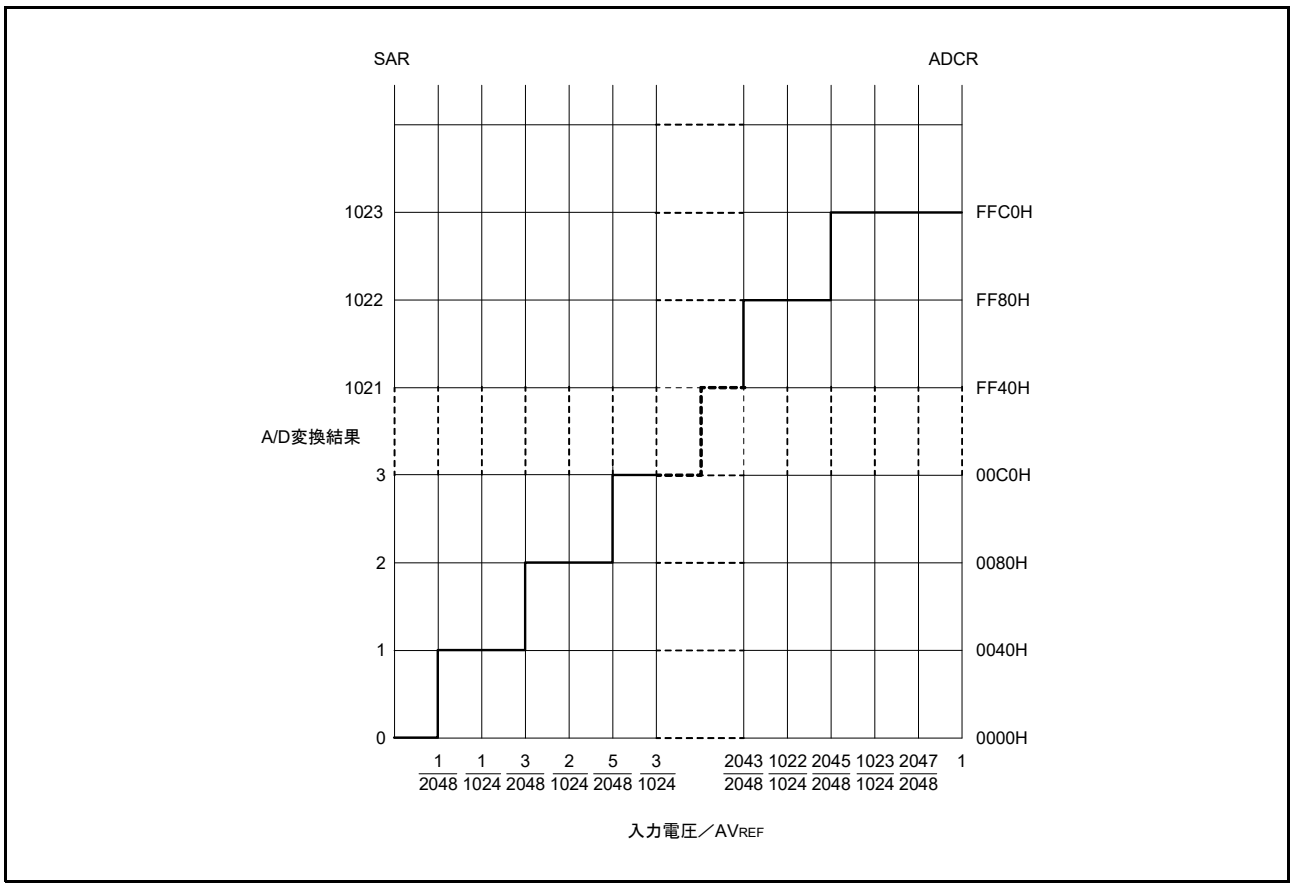
または

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（ ）：（ ）内の値の整数部を返す関数
V_{AIN} ：アナログ入力電圧
AV_{REF} ：AV_{REF} 端子電圧
ADCR ：10 ビット A/D 変換結果レジスタ（ADCR）の値
SAR ：逐次変換レジスタ

図 10 - 17 にアナログ入力電圧と A/D 変換結果の関係を示します。

図10 - 17 アナログ入力電圧とA/D変換結果の関係



備考 AV_{REF} : A/Dコンバータの＋側基準電圧。AV_{REFP}、内部基準電圧、V_{DD}から選択可能です。内部基準電圧値は、**第28章 電気的特性**を参照してください。

10.6 A/Dコンバータの動作モード

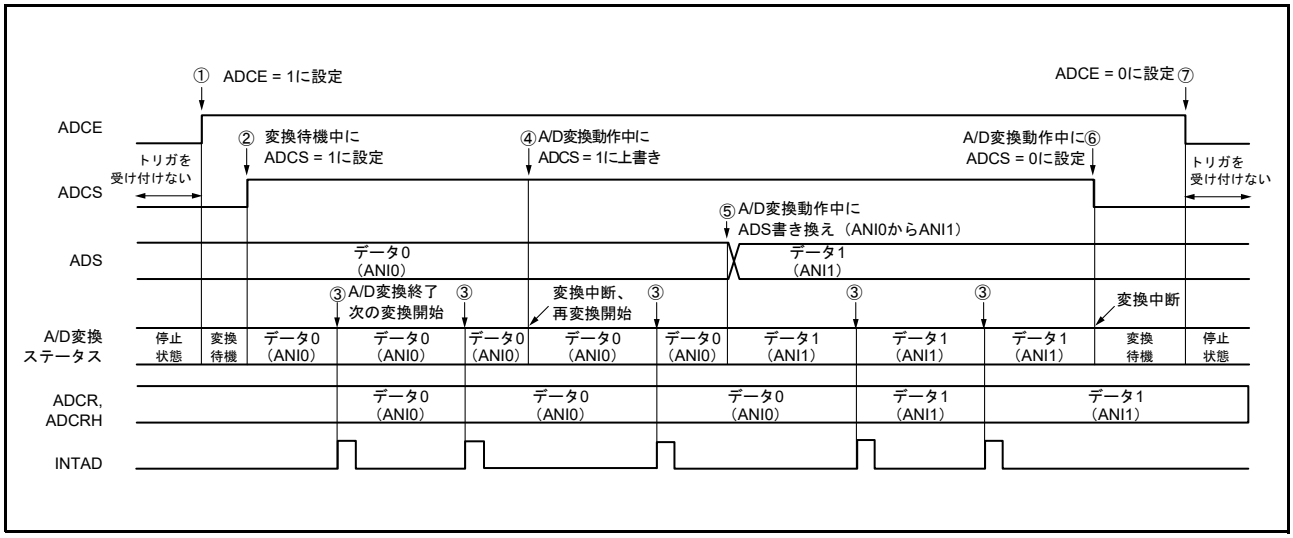
A/D コンバータの各モードの動作を次に示します。また、各モードの設定手順を **10.7 A/D コンバータの設定フロー・チャート**に示します。

10.6.1 ソフトウェア・トリガ・モード（セレクト・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。
② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。
③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。また、A/D 変換終了後は、すぐに次の A/D 変換を開始します。
④ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
⑥ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。
⑦ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。

注意 ソフトウェア・トリガ・モード時は、ハードウェア・トリガが入力されても A/D 変換は開始しません。

図10 - 18 ソフトウェア・トリガ・モード（セレクト・モード、連続変換モード）動作タイミング例

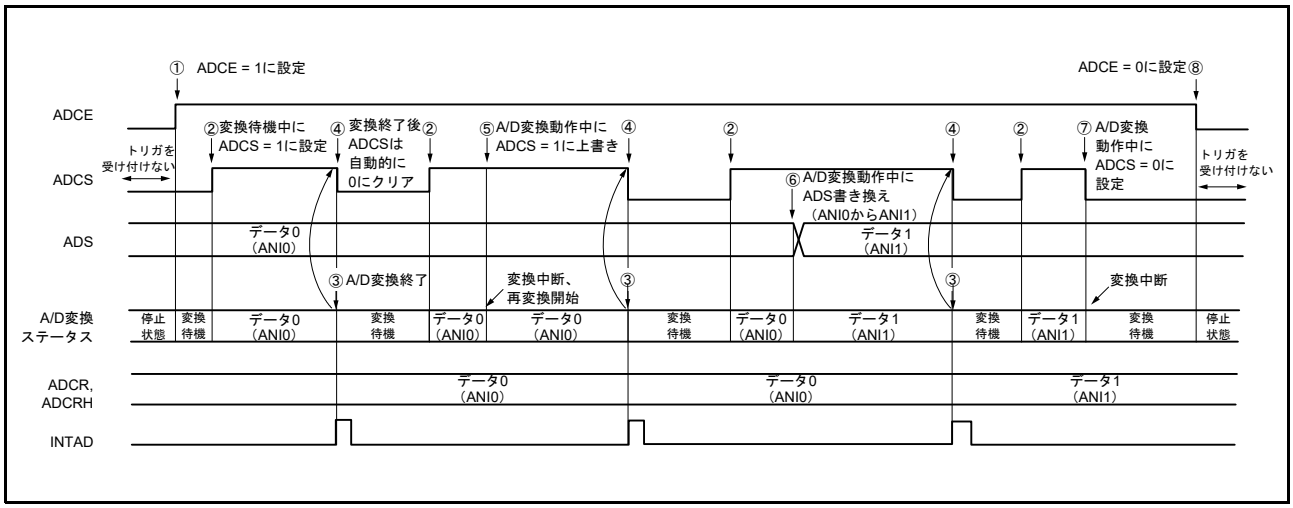


10.6.2 ソフトウェア・トリガ・モード（セレクト・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。
② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。
③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。
④ A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態となります。
⑤ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。
⑧ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。

注意 ソフトウェア・トリガ・モード時は、ハードウェア・トリガが入力されても A/D 変換は開始しません。

図10 - 19 ソフトウェア・トリガ・モード（セレクト・モード、ワンショット変換モード）動作タイミング例



10.6.3 ソフトウェア・トリガ・モード（スキャン・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。4 チャネルの A/D 変換終了後は、設定しているチャネルからすぐに次の A/D 変換が自動的に開始されます（4 チャネル分）。

④ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

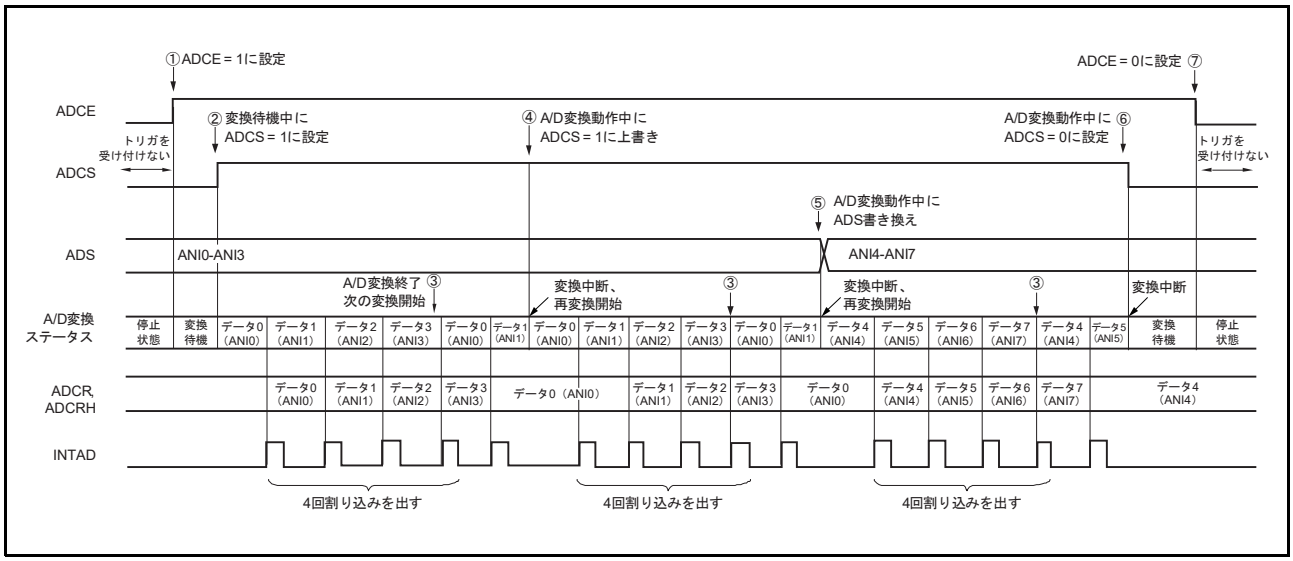
⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑦ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。

注意 ソフトウェア・トリガ・モード時は、ハードウェア・トリガが入力されてもA/D変換は開始しません。

図10 - 20 ソフトウェア・トリガ・モード（スキャン・モード、連続変換モード）動作タイミング例



10.6.4 ソフトウェア・トリガ・モード（スキャン・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

④ 4 チャネルの A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態となります。

⑤ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

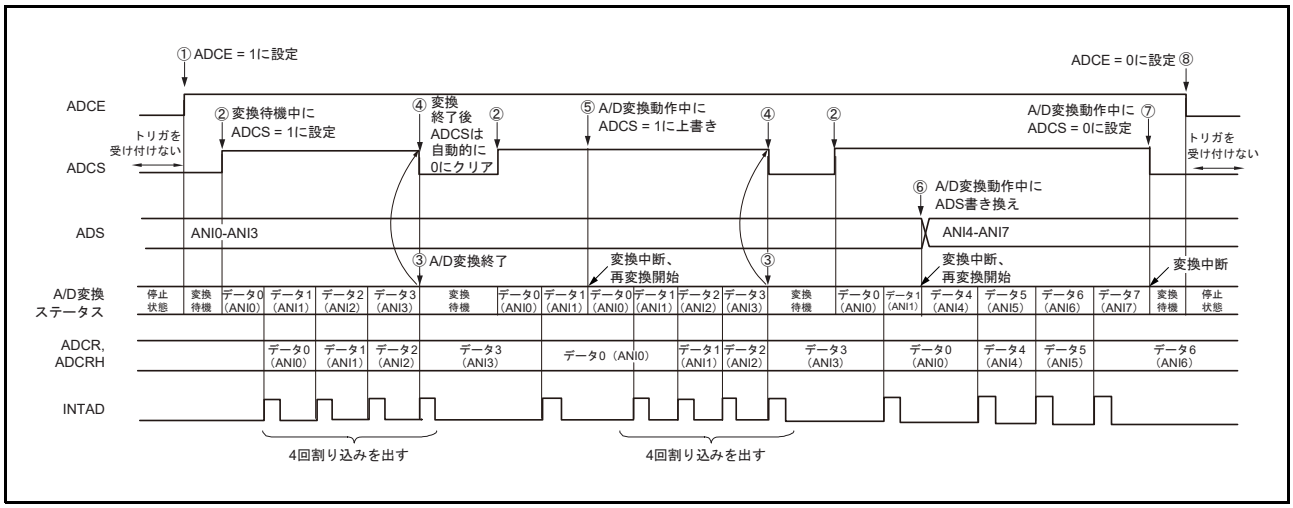
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑧ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。

注意 ソフトウェア・トリガ・モード時は、ハードウェア・トリガが入力されてもA/D変換は開始しません。

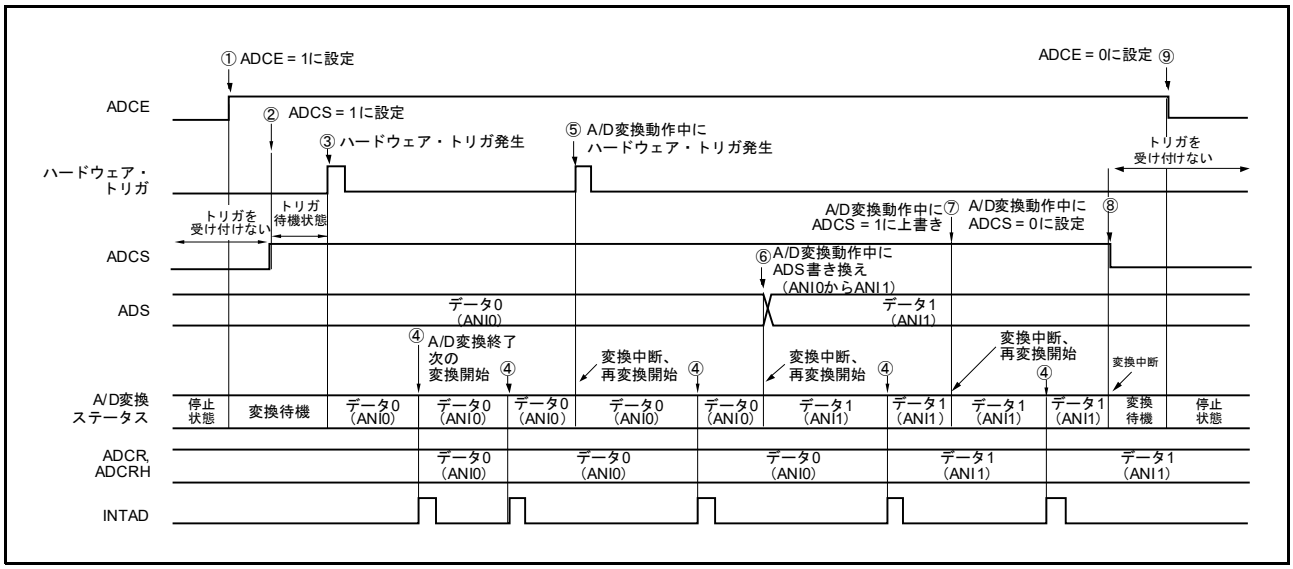
図10 - 21 ソフトウェア・トリガ・モード（スキャン・モード、ワンショット変換モード）動作タイミング例



10.6.5 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。
② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。
③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。
④ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。A/D 変換終了後は、すぐに次の A/D 変換を開始します。
⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。ADCS ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。
⑨ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。

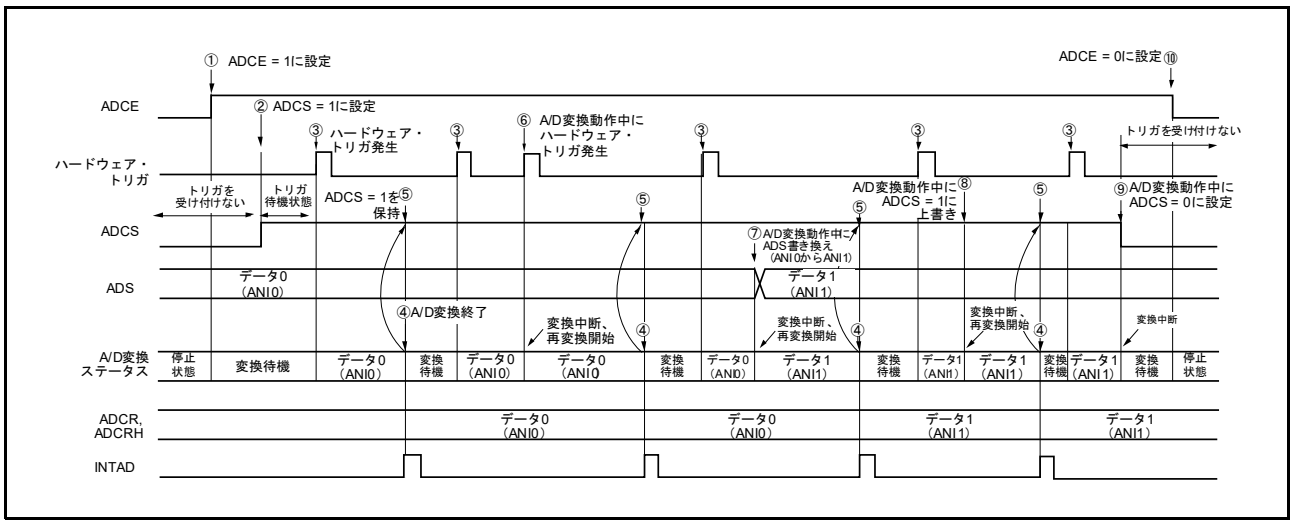
図10 - 22 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード）動作タイミング例



10.6.6 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。
② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。
③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。
④ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。
⑤ A/D 変換が終了後、ADCS ビットは 1 の設定のまま、A/D 変換待機状態となります。
⑥ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
⑦ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
⑧ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
⑨ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。ADCS ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。
⑩ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。

図10 - 23 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード）動作タイミング例



10.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。

③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

④ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。4 チャネルの A/D 変換終了後は、設定しているチャネルからすぐに次の A/D 変換が自動的に開始されます。

⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

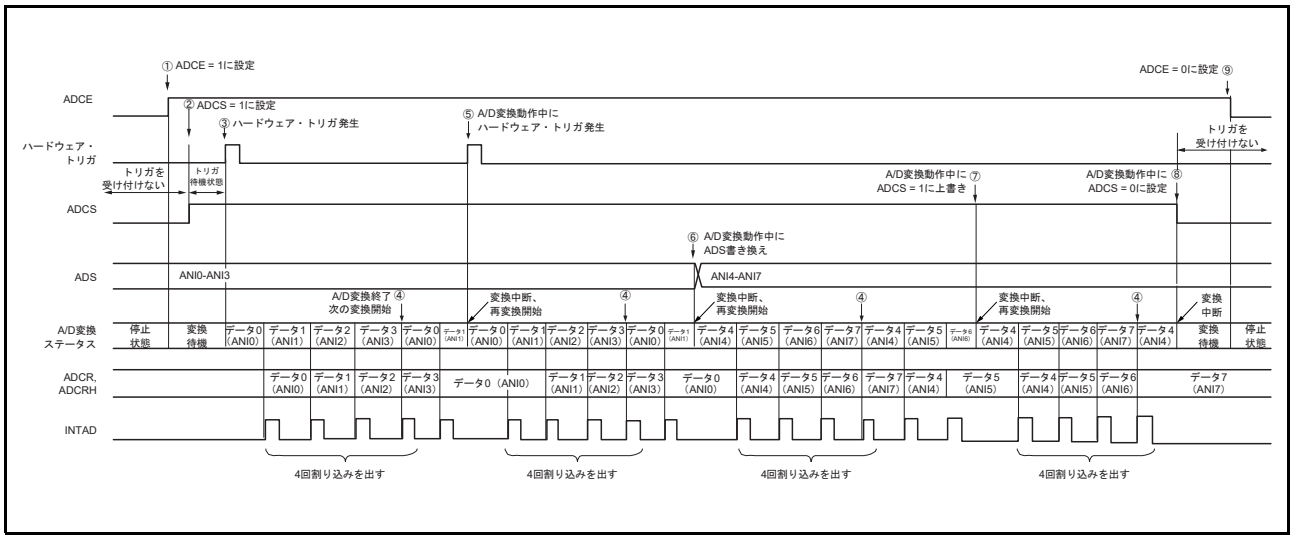
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。ADCS ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

⑨ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。

図10 - 24 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）動作タイミング例



10.6.8 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。

③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

④ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4 チャネルの A/D 変換が終了後、ADCS ビットは 1 の設定のまま、A/D 変換待機状態となります。

⑥ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

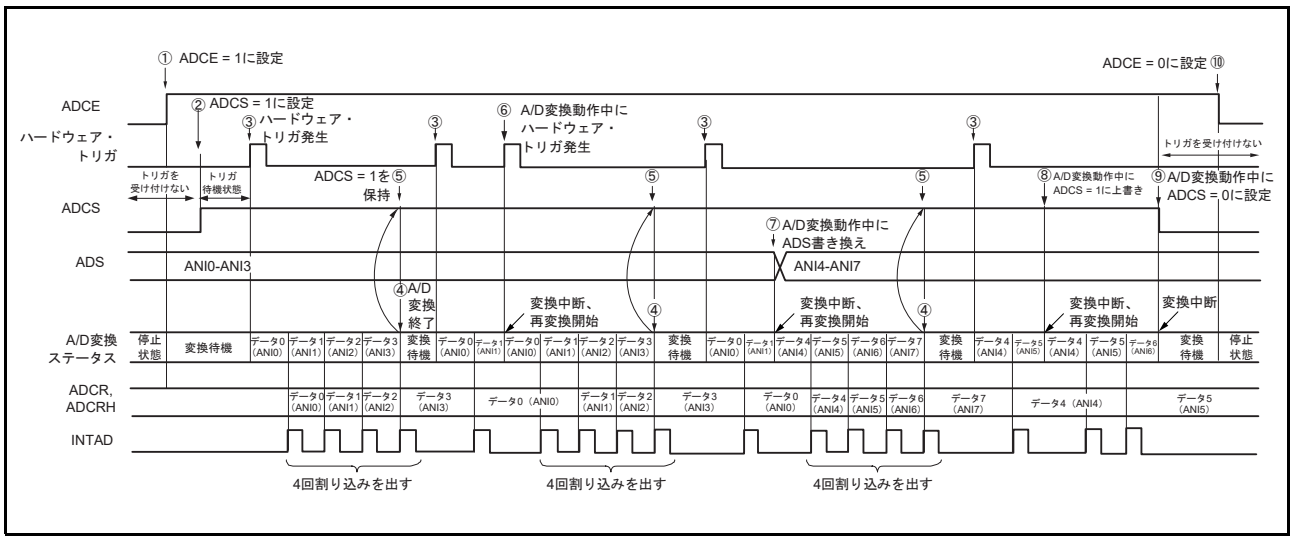
⑦ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。ADCS ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

⑩ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。

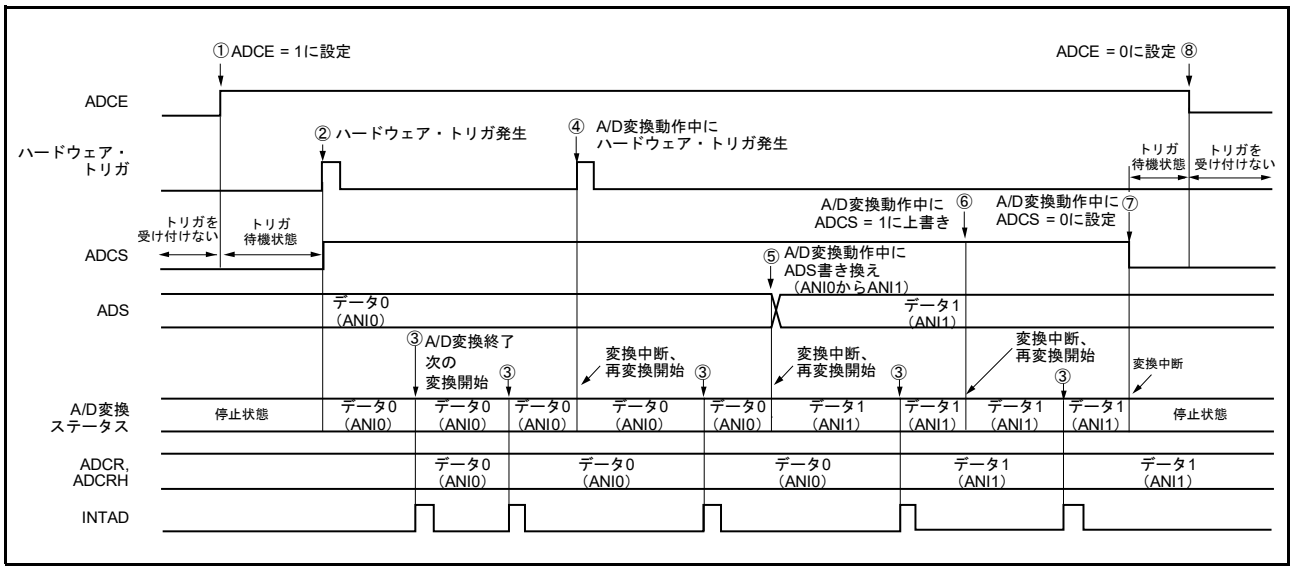
図10 - 25 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、ワンショット変換モード）動作タイミング例



10.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。
② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。
③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。A/D 変換終了後は、すぐに次の A/D 変換を開始します（このとき、ハードウェア・トリガは不要です）。
④ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
⑥ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。
⑧ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

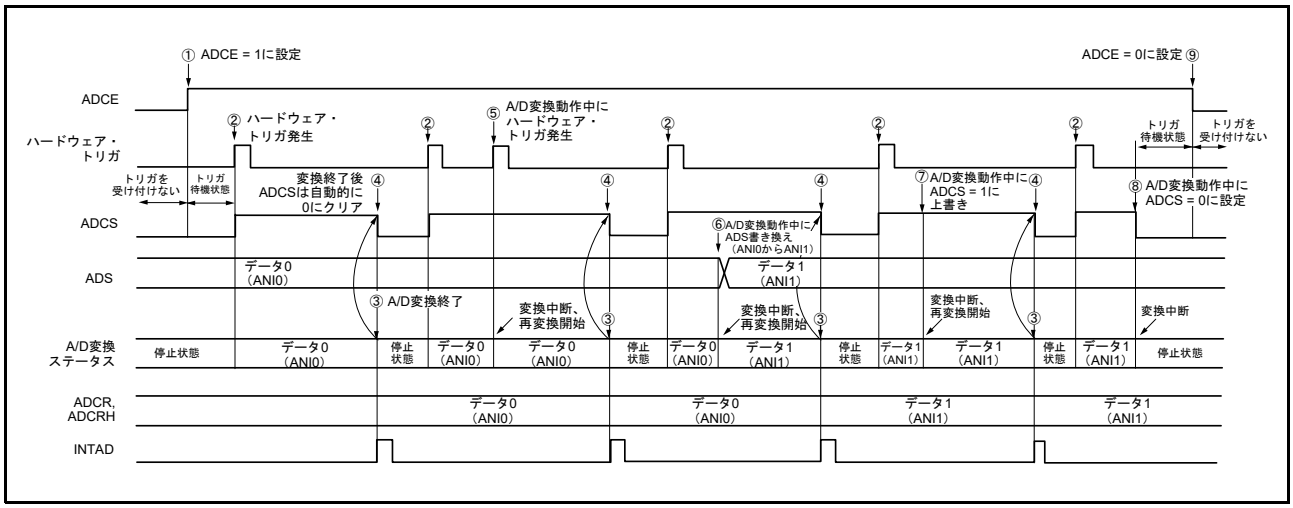
図10 - 26 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード）動作タイミング例



10.6.10 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。
② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。
③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。
④ A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態になります。
⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。
⑨ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図10 - 27 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）動作タイミング例



10.6.11 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。

② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。
A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。4 チャネルの A/D 変換終了後は、設定しているチャネルからすぐに次の A/D 変換が自動的に開始されます。

④ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

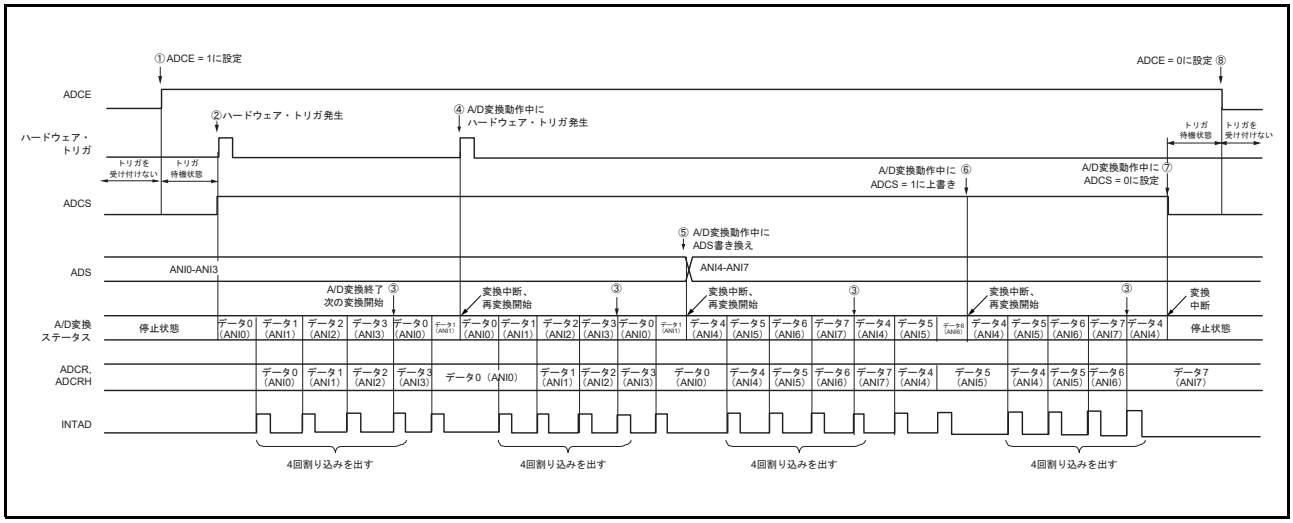
⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。

⑧ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図10 - 28 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、連続変換モード）動作タイミング例



10.6.12 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。

② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。
A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

④ A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態になります。

⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

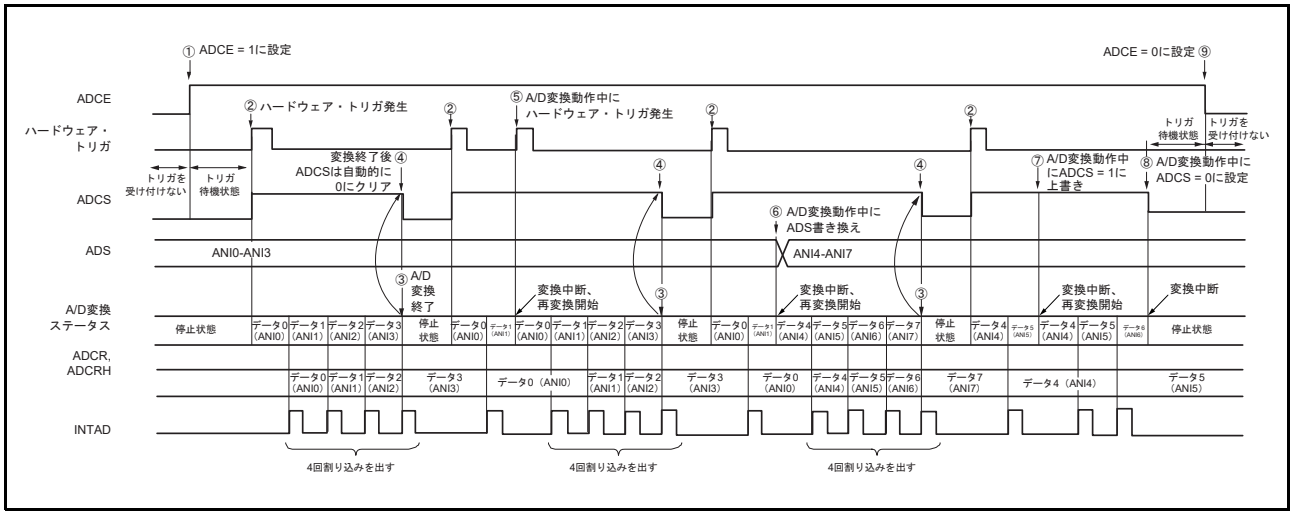
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。

⑨ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図10 - 29 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）動作タイミング例

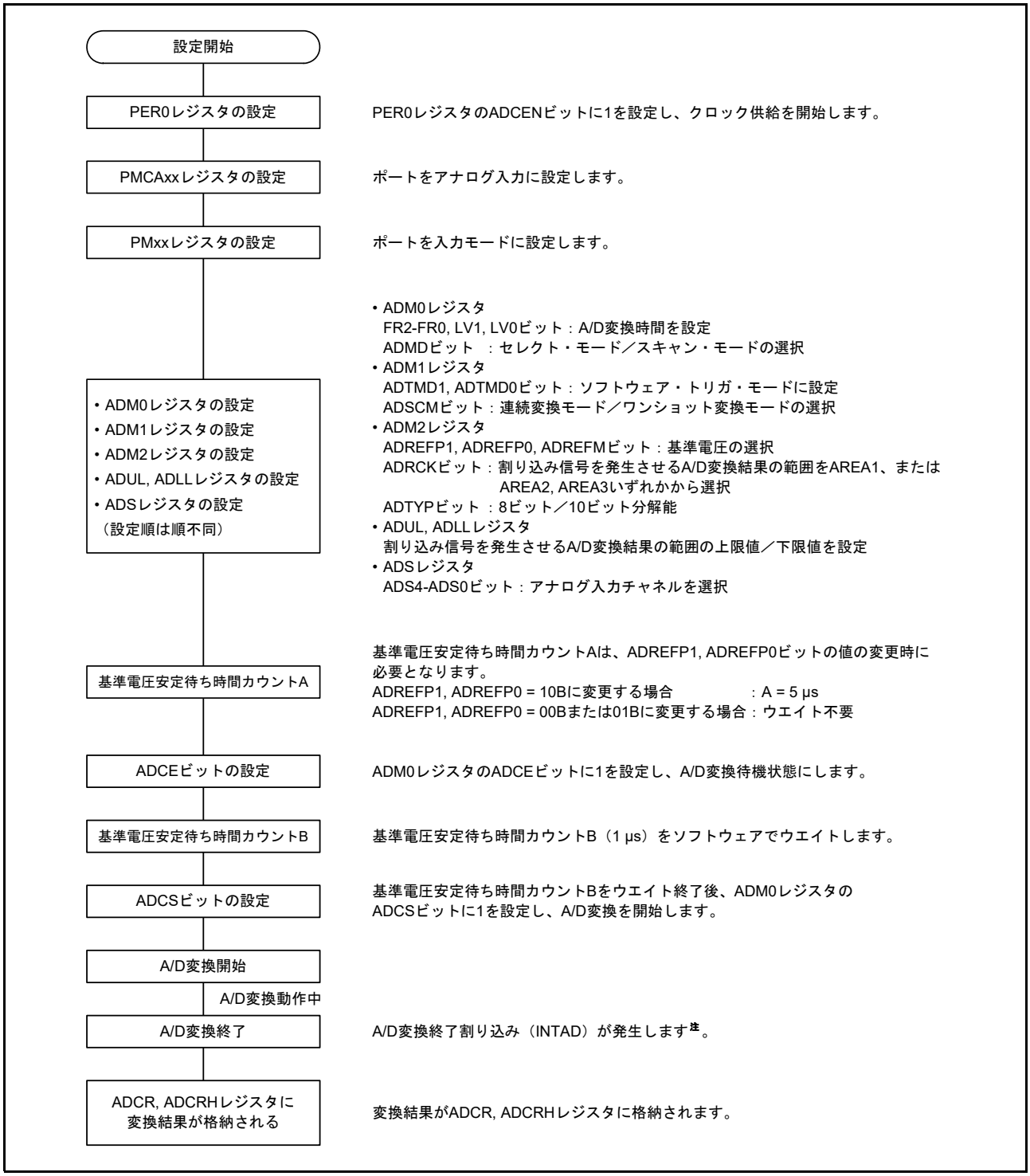


10.7 A/Dコンバータの設定フロー・チャート

各動作モード時の A/D コンバータの設定フロー・チャートを次に示します。

10.7.1 ソフトウェア・トリガ・モード時の設定

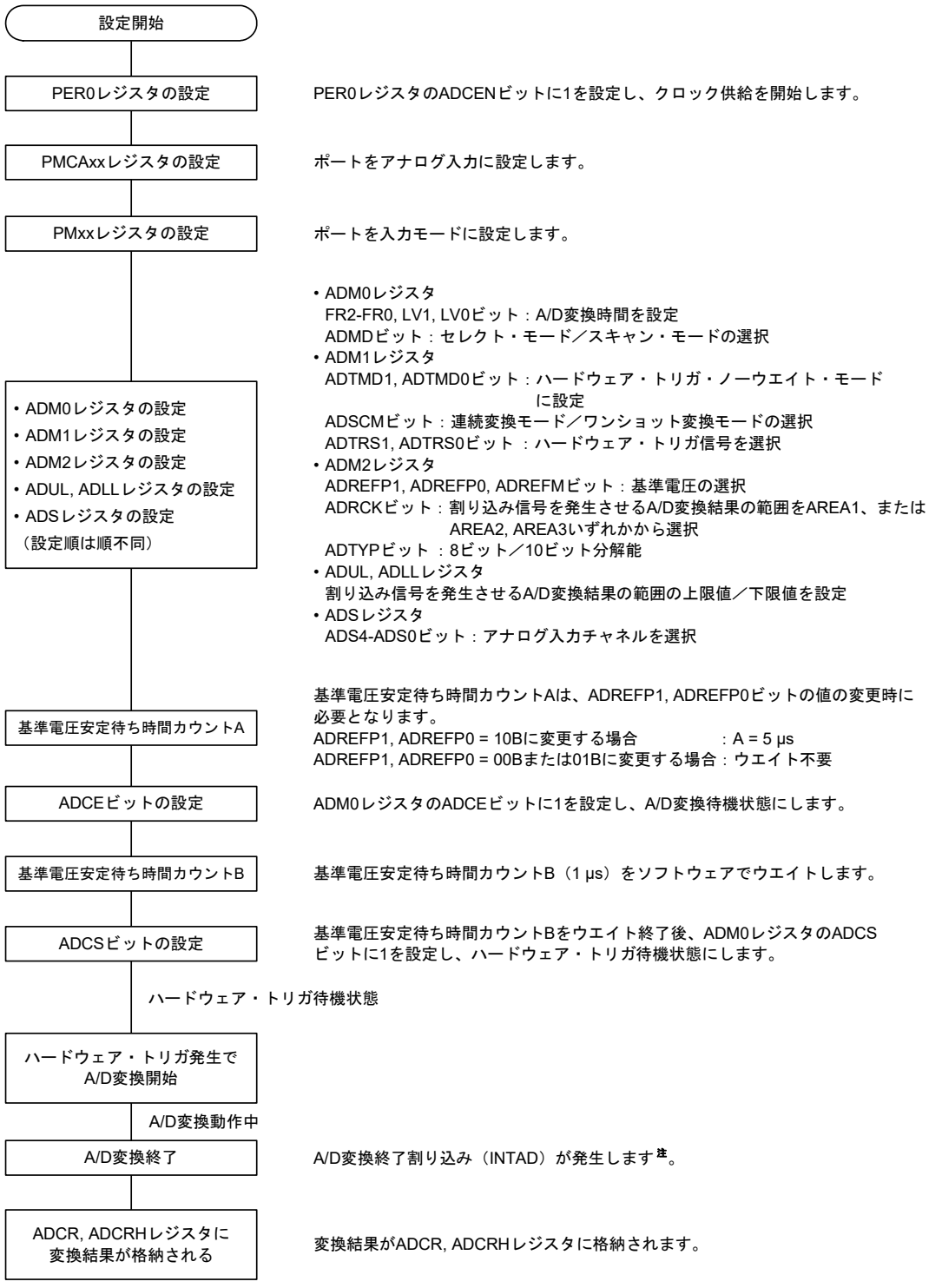
図10 - 30 ソフトウェア・トリガ・モード時の設定



注 ADRCKビット、ADUL, ADLL レジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRH レジスタに結果は格納されません。

10.7.2 ハードウェア・トリガ・ノーウエイト・モード時の設定

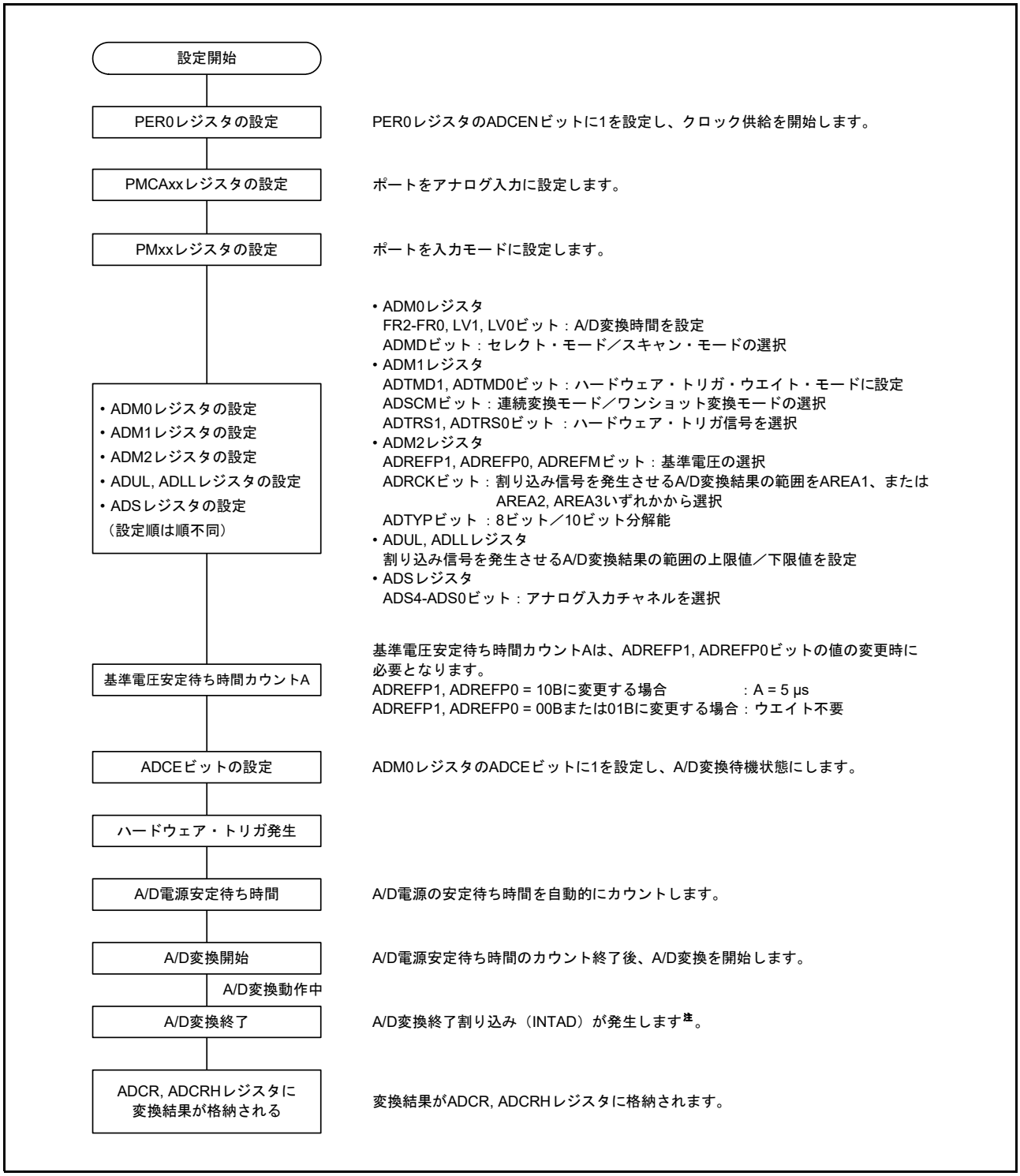
図10 - 31 ハードウェア・トリガ・ノーウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

10.7.3 ハードウェア・トリガ・ウエイト・モード時の設定

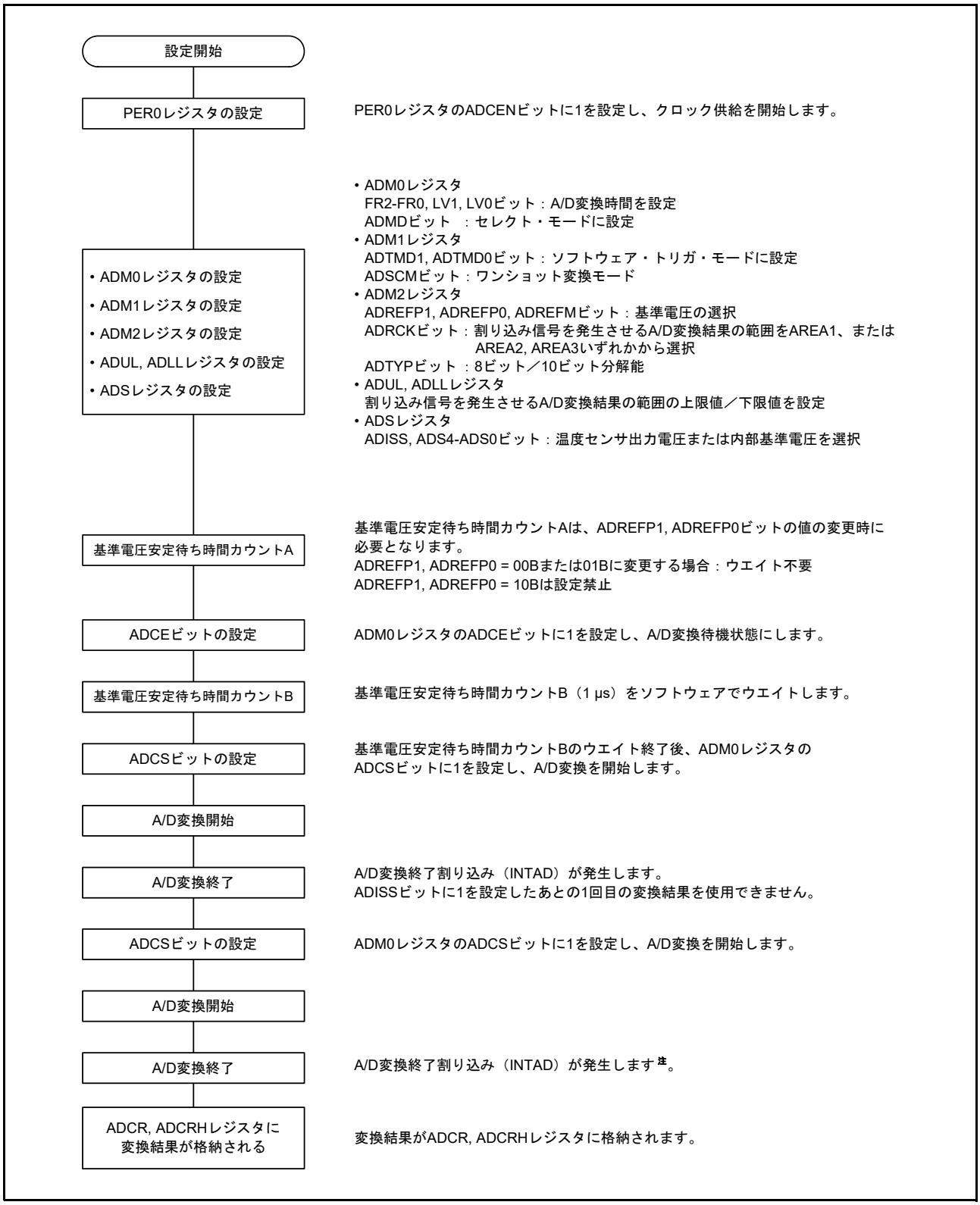
図10 - 32 ハードウェア・トリガ・ウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

10.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定（例 ソフトウェア・トリガ・モード、ワンショット変換モード時）

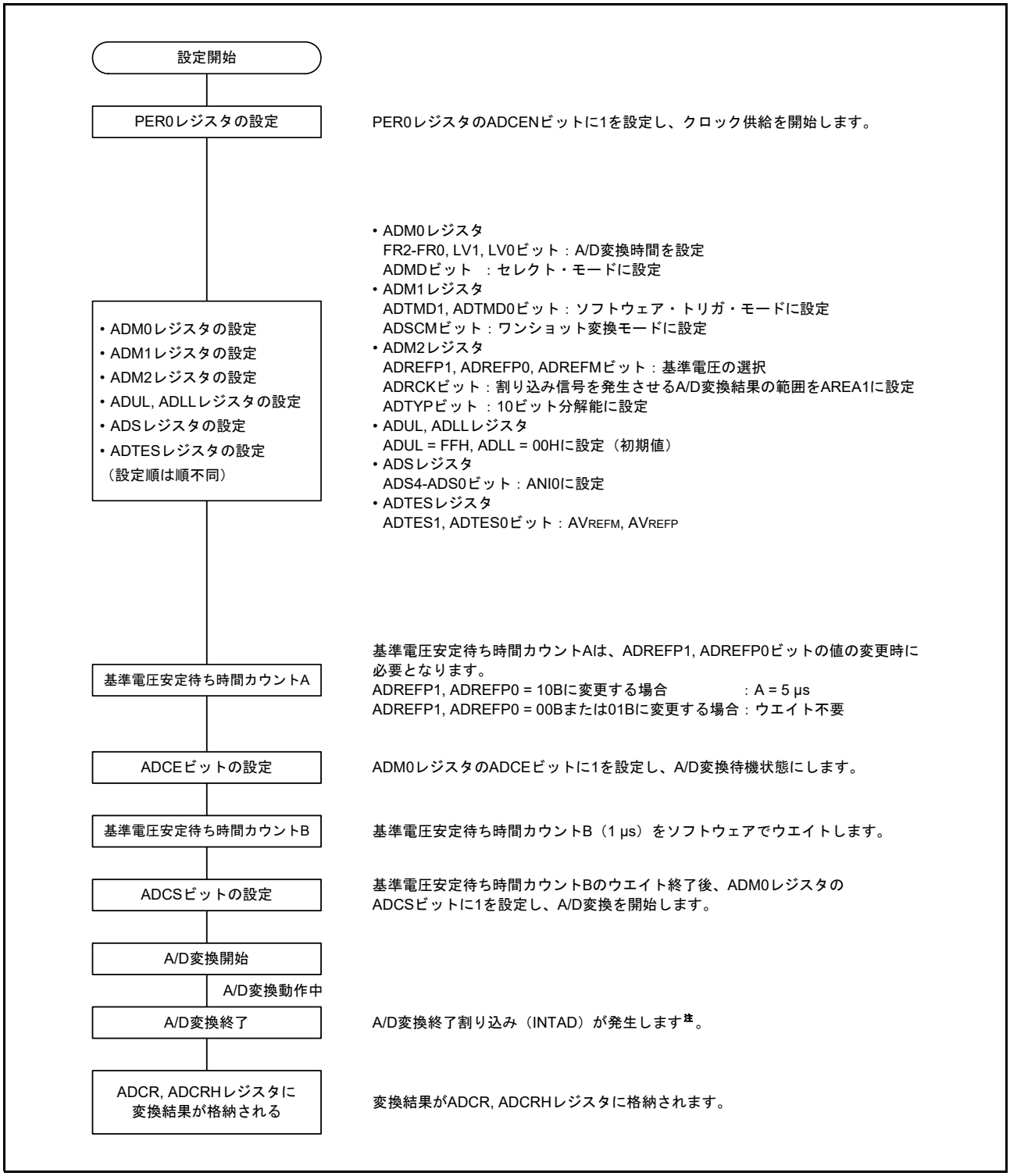
図10 - 33 温度センサ出力電圧／内部基準電圧を選択時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

10.7.5 テスト・モード時の設定

図10 - 34 テスト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、20.3.10 A/Dテスト機能を参照してください。

10.8 SNOOZEモード機能

STOP モード時にハードウェア・トリガの入力により A/D 変換動作をさせるモードです。通常 STOP モード時に A/D 変換動作は停止しますが、SNOOZE モード機能を使用することで、CPU を動作させずに A/D 変換動作を行うことができます。動作電流を低減させたい場合に有効です。

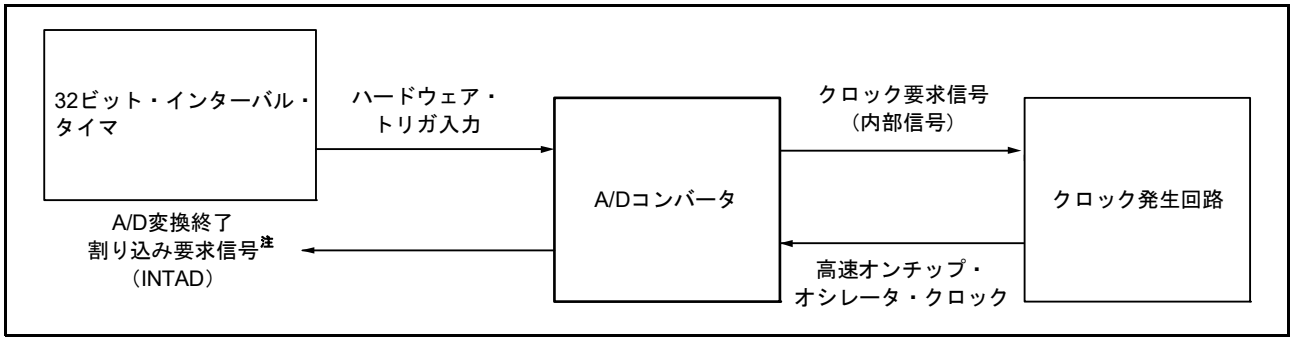
SNOOZE モードでは、次の 2 つの変換モードのみ使用可能です。

- ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）
- ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）

ADUL, ADLL レジスタで変換結果の範囲を指定すれば、一定時間ごとに A/D 変換結果の判断ができます。これにより、電源電圧監視や A/D 入力による入力キーの判定などができます。

注意 SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図10 - 35 SNOOZEモード機能時のブロック図



SNOOZE モード機能を使用する場合は、STOP モードに移行する前に各レジスタの初期設定を行います（**図 10 - 38 SNOOZE モード設定のフロー・チャート**参照）。STOP モードへ移行する直前に、A/D コンバータ・モード・レジスタ 2（ADM2）の AWC ビットに 1 を設定します。初期設定完了後、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定します。

STOP モードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックが A/D コンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D 電源安定待ち時間が自動的にカウントされ、A/D 変換が開始します。

A/D 変換終了後の SNOOZE モードの動作は、割り込み信号発生の有無によって異なります注。

注 A/D変換結果比較機能の設定（ADM2.ADRCKビット、ADUL, ADLLレジスタ）により、割り込み信号が発生しない場合があります。

注意 ハードウェア・トリガ信号は、32ビット・インターバル・タイマのコンペア一致によるトリガ信号（ADITL0）から選択してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット、ADUL, ADLLレジスタで設定）で設定した値の範囲内の場合、A/D変換終了割り込み要求信号（INTAD）は発生します。

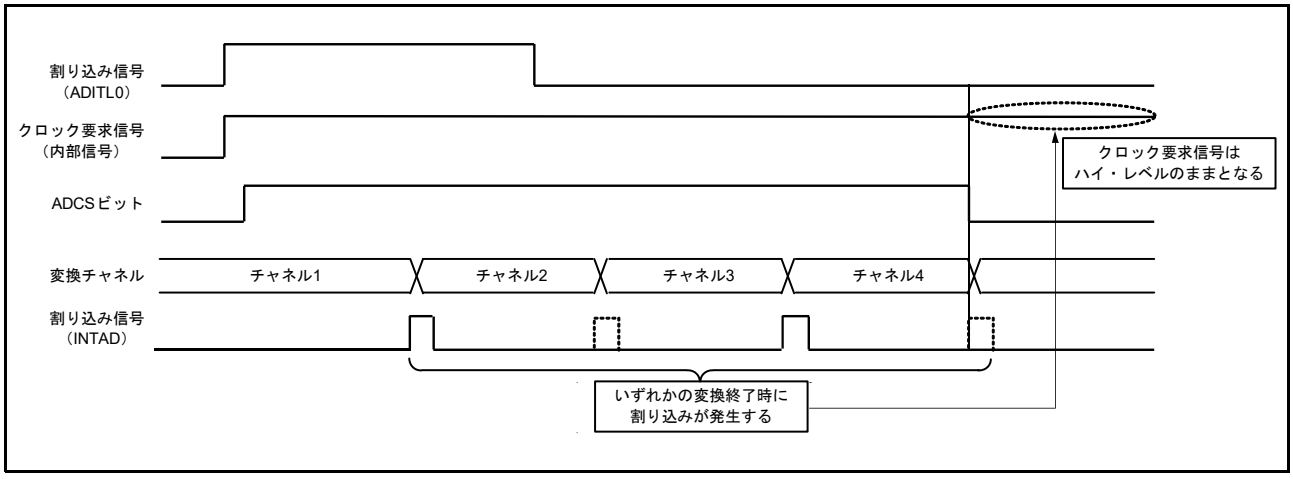
- セレクト・モード時

  A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを必ず0にしてください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

- スキャン・モード時

  4チャネル分のA/D変換結果の値が1回でもA/D変換結果比較機能で設定した範囲内となり、A/D変換終了割り込み要求信号（INTAD）が発生した場合、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを必ず0にしてください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

図10 - 36 A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット、ADUL, ADLLレジスタで設定）で設定した値の範囲外の場合、A/D変換終了割り込み要求信号（INTAD）は発生しません。

- セレクト・モード時

  A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合、A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

  4チャネル分のA/D変換結果の値が1回もA/D変換結果比較機能で設定した範囲内とならず、A/D変換終了割り込み要求信号（INTAD）も発生しなかった場合、4チャネル分のA/D変換が終了したあとにクロック要求信号（内部信号）は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

図10 - 37 A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

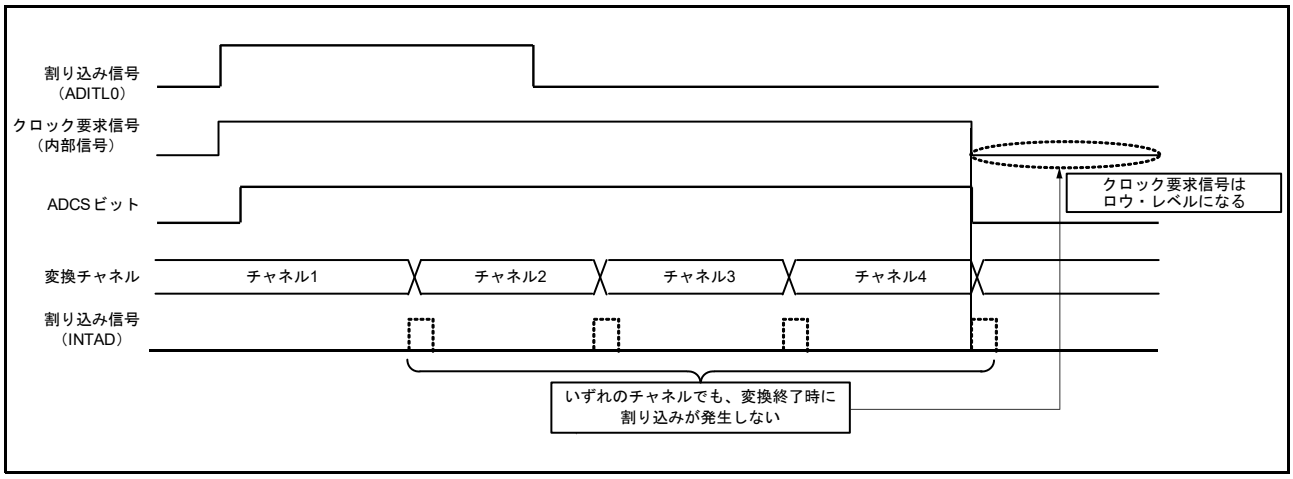
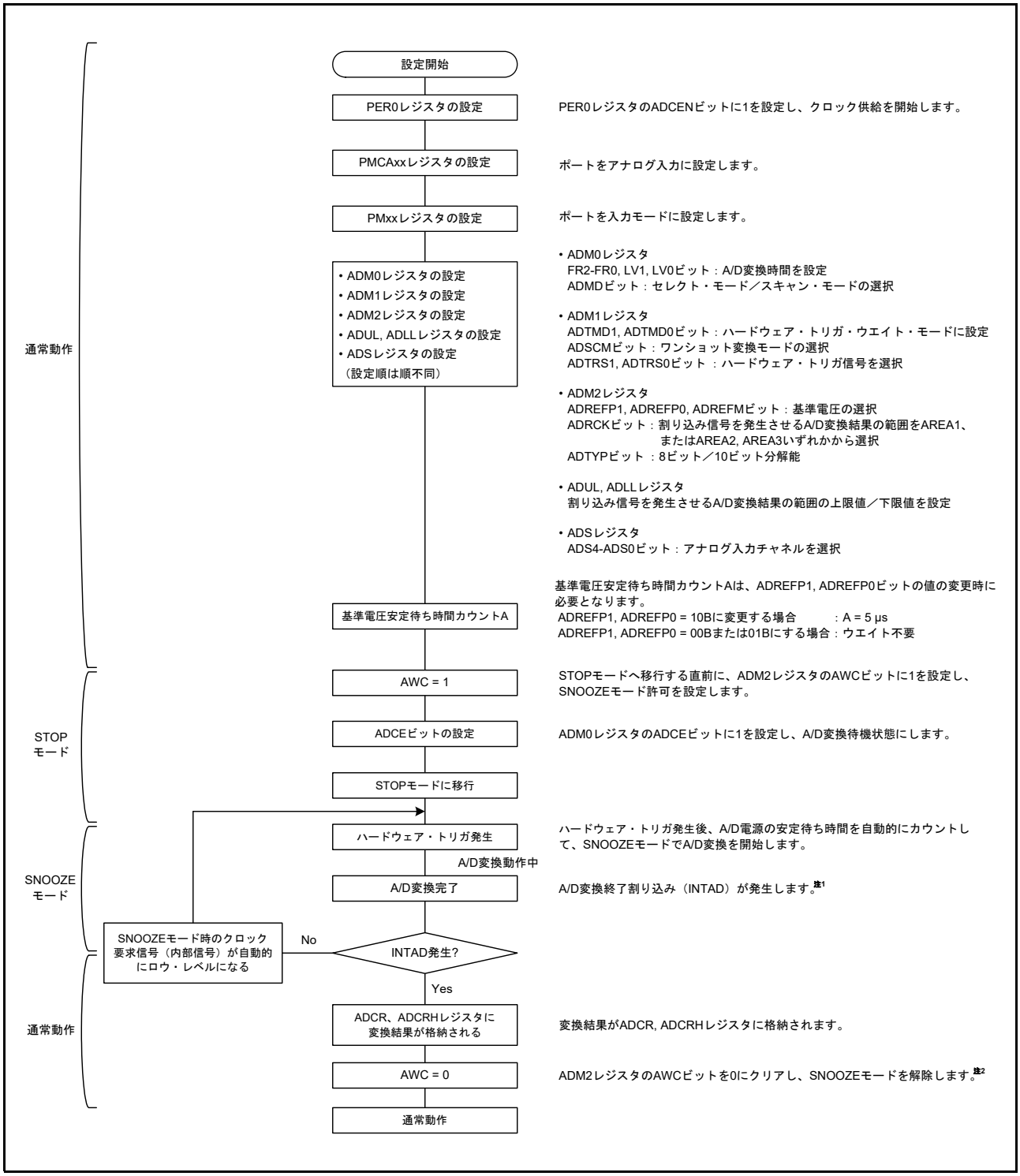


図10 - 38 SNOOZEモード設定のフロー・チャート



注1. ADRCKビット、ADUL, ADLLレジスタの設定により、A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

10.9 A/Dコンバータ特性表の読み方

A/D コンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ LSB = 1/2^{10} = 1/1024$$
$$\fallingdotseq 0.098\ \%FSR$$

精度は分解能とは関係なく、総合誤差によって決まります。

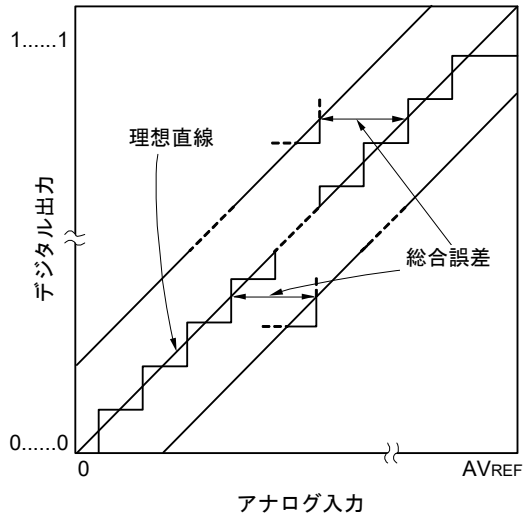
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図10 - 39 総合誤差

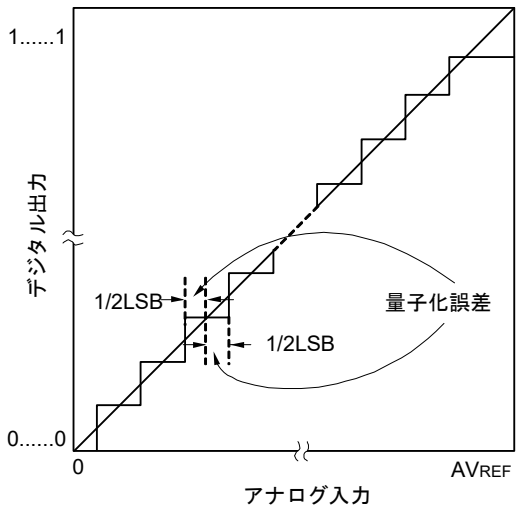


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは、±1/2 LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

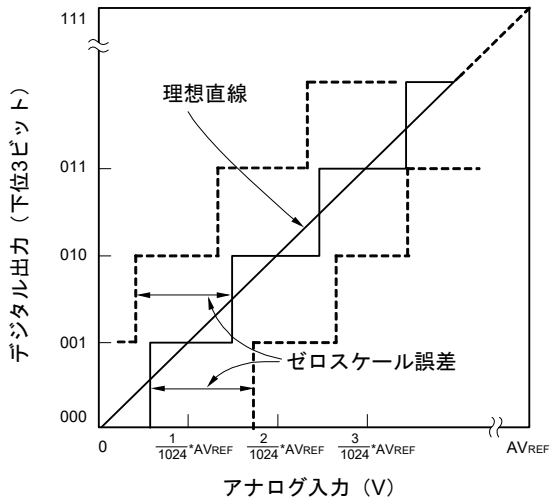
図10 - 40 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

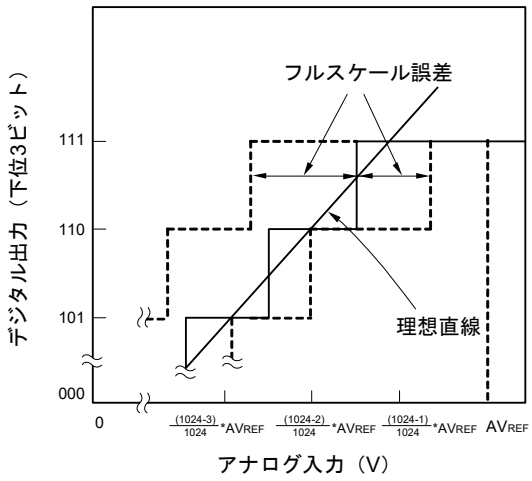
図10 - 41 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

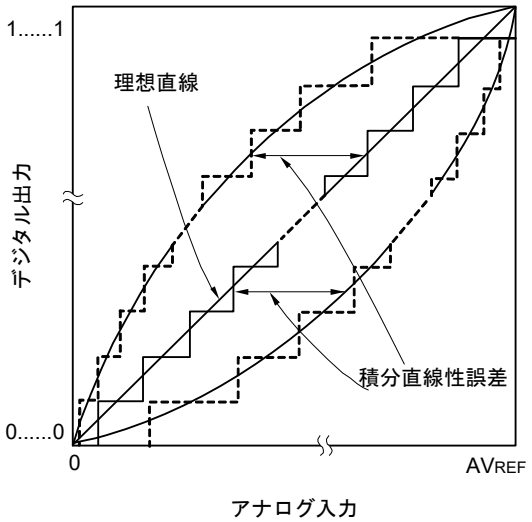
図10 - 42 フルスケール誤差



(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

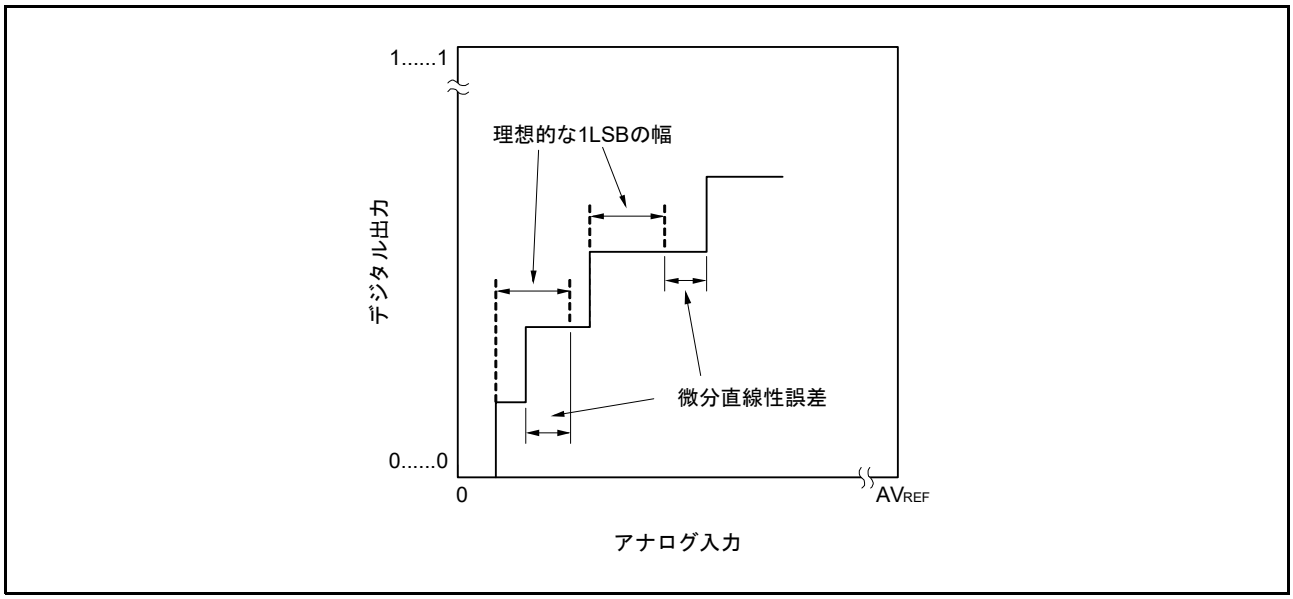
図10 - 43 積分直線性誤差



(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10 - 44 微分直線性誤差



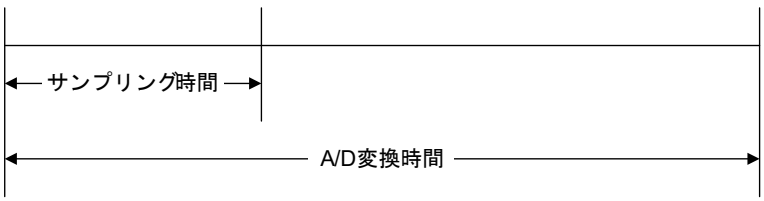
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.10 A/Dコンバータ使用時の注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のADCSビットに0を設定）させてから移行してください。このときADM0レジスタのADCEビットも0に設定することにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のADIFビットを0にクリアしてから、動作を開始してください。

(2) ANI0-ANI7, ANI16-ANI19端子入力範囲について

ANI0-ANI7, ANI16-ANI19端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}を超える電圧、V_{SS}, AV_{REFM}未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変化値が不定となります。また、ほかのチャネルの変化値にも影響を与えることがあります。

内部基準電圧をA/Dコンバータの＋側の基準電圧に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

注意　内部基準電圧値は、第28章　電気的特性を参照してください。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）への書き込みと、命令によるADCR, ADCRHレジスタの読み出しとの競合

ADCR, ADCRHレジスタの読み出しが優先されます。読み出したあと、新しい変換結果がADCR, ADCRHレジスタに書き込まれます。

② 変換終了時のADCR, ADCRHレジスタへの変換結果格納と、命令によるA/Dコンバータ・モード・レジスタ0（ADM0）への書き込みおよびアナログ入力チャネル指定レジスタ（ADS）への書き込みの競合

ADM0, ADSレジスタへの書き込みが優先されます。ADCR, ADCRHレジスタへの書き込みはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AV_{REFP}, V_{DD}, ANI0-ANI7, ANI16-ANI19端子へのノイズに注意する必要があります。

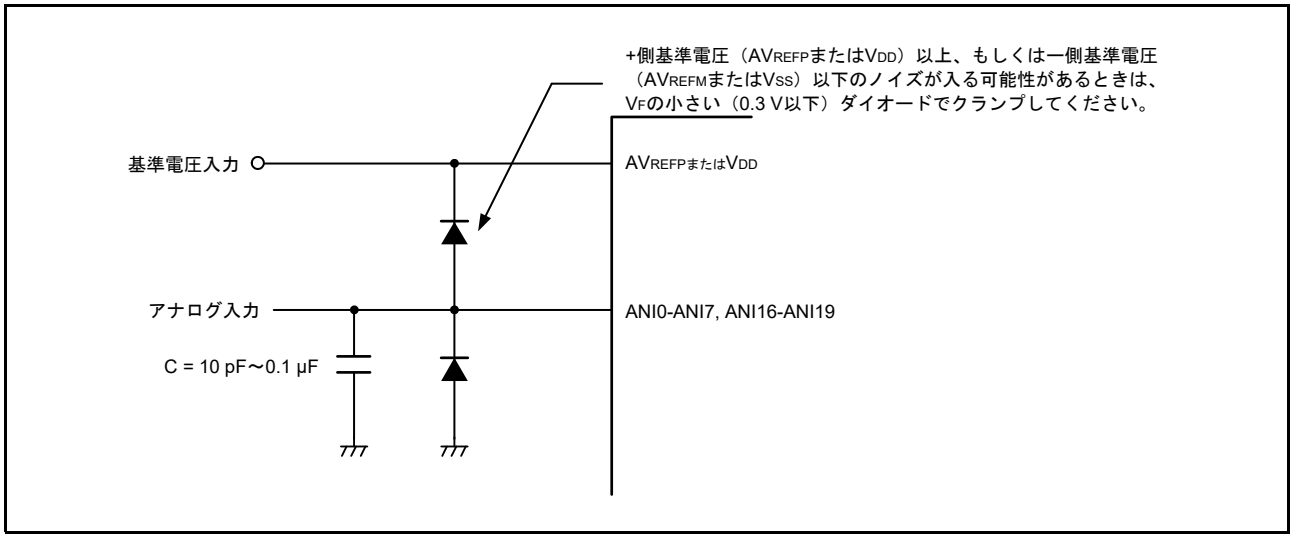
① V_{DD}, AV_{REFP}端子には等価抵抗が小さく、周波数応答のよいコンデンサを（0.01 μF程度）を最短距離かつ、比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために**図10 - 45**のようにコンデンサを外付けすることを推奨します。

③ 変換中は、ほかの端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図10 - 45 VDD、AVREFP、アナログ入力端子の処理



(5) アナログ入力（ANIxx）端子

① アナログ入力（ANI0-ANI7, ANI16-ANI19）端子は入力ポート（P02, P03, P20-P27, P120, P147）端子と兼用になっています。ANI0-ANI7, ANI16-ANI19端子のいずれかを選択してA/D変換をする場合、変換中にP02, P03, P20-P27, P120, P147に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

(6) アナログ入力（ANIxx）端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときはサンプリング時間を長く設定するかANI0-ANI7, ANI16-ANI19端子に0.1 μF程度のコンデンサを付けることを推奨します（**図10 - 45**参照）。また、変換動作中にADCSビットに0を設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

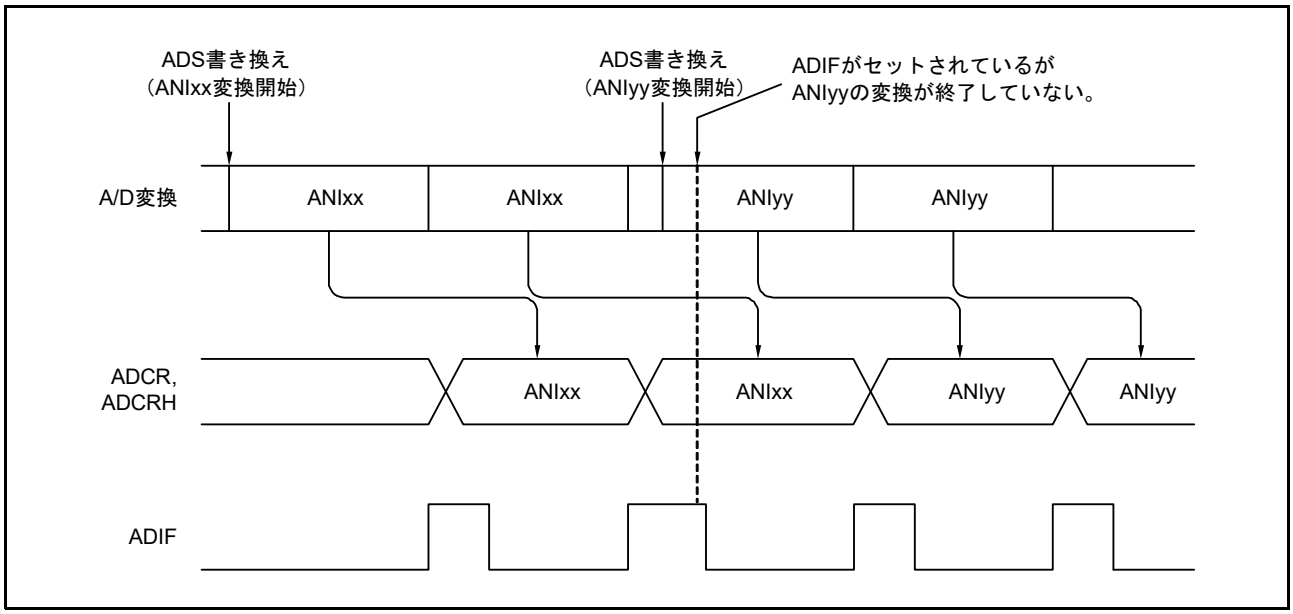
(7) 割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）は0にクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグを0にクリアしてください。

図10 - 46 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビットに1を設定してから、1 μs以内にADCSビットに1を設定した場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号（INTAD）をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0）、アナログ入力チャネル指定レジスタ（ADS）、ポート・モード・コントロール・レジスタ（PMCAxx）に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10 - 47 ANIxx端子内部等価回路

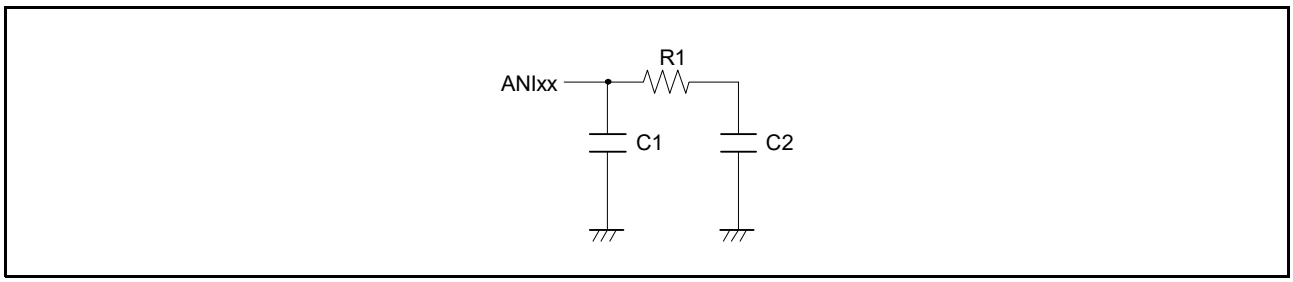


表10 - 4 等価回路の各抵抗と容量値（参考値）

AVREFP, VDD	ANIxx端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦VDD≦5.5 V	ANI0-ANI7	14	8	2.5
	ANI16-ANI19	18	8	7
2.7 V≦VDD≦3.6 V	ANI0-ANI7	39	8	2.5
	ANI16-ANI19	53	8	7
1.8 V≦VDD≦2.7 V	ANI0-ANI7	231	8	2.5
	ANI16-ANI19	321	8	7
1.6 V≦VDD＜2.7 V	ANI0-ANI7	632	8	2.5
	ANI16-ANI19	902	8	7

備考 各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

第11章　シリアル・アレイ・ユニット（SAU）

シリアル・アレイ・ユニットは、ユニット0に最大4つのシリアル・チャネル、ユニット1に最大2つのシリアル・チャネルを持ちます。各チャネルは3線シリアル（簡易SPI/CSI注）、UART、簡易I²Cの通信機能を実現できます。

本製品で対応している各チャネルの機能割り当ては、次のようになっています。

注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

20ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	—	UART2（LIN-bus対応）	—
	1	—		—

32ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	—		—

44ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

64ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

ユニット0のチャネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意　本章では、以降の主な説明を64ピン製品のユニット、チャネル構成で説明しています。

11.1　シリアル・アレイ・ユニットの機能

本製品で対応している各シリアル・インタフェースの特徴を示します。

11.1.1　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信、受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、**11.5　簡易 SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信の動作**を参照してください。

［データ送受信］

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート**注**　マスタ通信時　：Max. f_{CLK}/2（CSI00 のみ）
  Max. f_{CLK}/4
  スレーブ通信時　：Max. f_{MCK}/6

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

また、簡易 SPI（CSI00）は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で SCK 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は、**第28章　電気的特性**を参照してください。

注意　チップセレクト信号を追加する場合は、ポート機能を使用してください。

11.1.2　UART（UART0-UART2）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の２本のラインによる、調歩同期式通信機能です。この２本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる１データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の２チャネルを使用することで、全二重 UART 通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせて LIN-bus にも対応可能です。

具体的な設定例は、**11.6　UART（UART0-UART2）通信の動作**を参照してください。

［データ送受信］

- 7, 8, 9ビットのデータ長**注**
- MSB/LSBファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0 の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

UART2（ユニット１のチャネル 0, 1）は、LIN-bus に対応しています。

［LIN-bus 機能］

- ウェイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定、ボー・レート算出

} 外部割り込み（INTP0）、タイマ・アレイ・ユニットを使用

注　9ビット・データ長は、UART0のみ対応しています。

11.1.3　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、**11.8　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信の動作**を参照してください。

［データ送受信］

- マスタ送信、マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能**注**、ACK検出機能
- 8ビットのデータ長（アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御）
- スタート・コンディション、ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- ACKエラー、オーバラン・エラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信、スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注　最終データの受信時は、SOEmn（シリアル出力許可レジスタm（SOEm））ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**11.8.3 (2)　処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は、**第12章　シリアル・インタフェースIICA（IICA）**を参照してください。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11 - 1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット注1
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の下位8ビットまたは9ビット注1, 2
シリアル・クロック入出力	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子（簡易SPI用）、 SCL00, SCL01, SCL10, SCL11, SCL20, SCL21端子（簡易I²C用）
シリアル・データ入力	SI00, SI01, SI10, SI11, SI20, SI21端子（簡易SPI用）、 RxD0, RxD1端子（UART用）、RxD2端子（LIN-bus対応UART用）
シリアル・データ出力	SO00, SO01, SO10, SO11, SO20, SO21端子（簡易SPI用）、 TxD0, TxD1端子（UART用）、TxD2端子（LIN-bus対応UART用）
シリアル・データ入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21端子（簡易I²C用）
制御レジスタ	＜ユニット設定部のレジスタ＞ • 周辺イネーブル・レジスタ0（PER0） • 周辺リセット制御レジスタ0（PRR0） • シリアル・クロック選択レジスタm（SPSm） • シリアル・チャネル許可ステータス・レジスタm（SEm） • シリアル・チャネル開始レジスタm（SSm） • シリアル・チャネル停止レジスタm（STm） • シリアル出力許可レジスタm（SOEm） • シリアル出力レジスタm（SOm） • シリアル出力レベル・レジスタm（SOLm） • シリアル・スタンバイ・コントロール・レジスタm（SSCm） • 入力切り替え制御レジスタ（ISC） • ノイズ・フィルタ許可レジスタ0（NFEN0）
	＜各チャネル部のレジスタ＞ • シリアル・データ・レジスタmn（SDRmn） • シリアル・モード・レジスタmn（SMRmn） • シリアル通信動作設定レジスタmn（SCRmn） • シリアル・ステータス・レジスタmn（SSRmn） • シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	• ポート入力モード・レジスタ（PIMxx） • ポート出力モード・レジスタ（POMxx） • ポート・モード・コントロールA・レジスタ（PMCAxx） • ポート・モード・レジスタ（PMxx） • ポート・レジスタ（Pxx） • UARTループバック選択レジスタ（ULBS）

注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャネルによって異なります。
- mn = 00, 01の場合 ： 下位9ビット
- 上記以外の場合 ： 下位8ビット

（注、備考は次ページに続きます）

注2. シリアル・データ・レジスタmn（SDRmn）の下位8ビットは、通信方式により、次のSFR名称で読み出し／書き込み可能です。

- CSIp通信時：SIOp（CSIpデータ・レジスタ）
- UARTq受信時：RXDq（UARTq受信データ・レジスタ）
- UARTq送信時：TXDq（UARTq送信データ・レジスタ）
- IICr通信時：SIOr（IICrデータ・レジスタ）

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、q：UART番号（q = 0-2）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）

図 11 - 1 にシリアル・アレイ・ユニット 0 のブロック図を示します。

図11 - 1　　シリアル・アレイ・ユニット0のブロック図

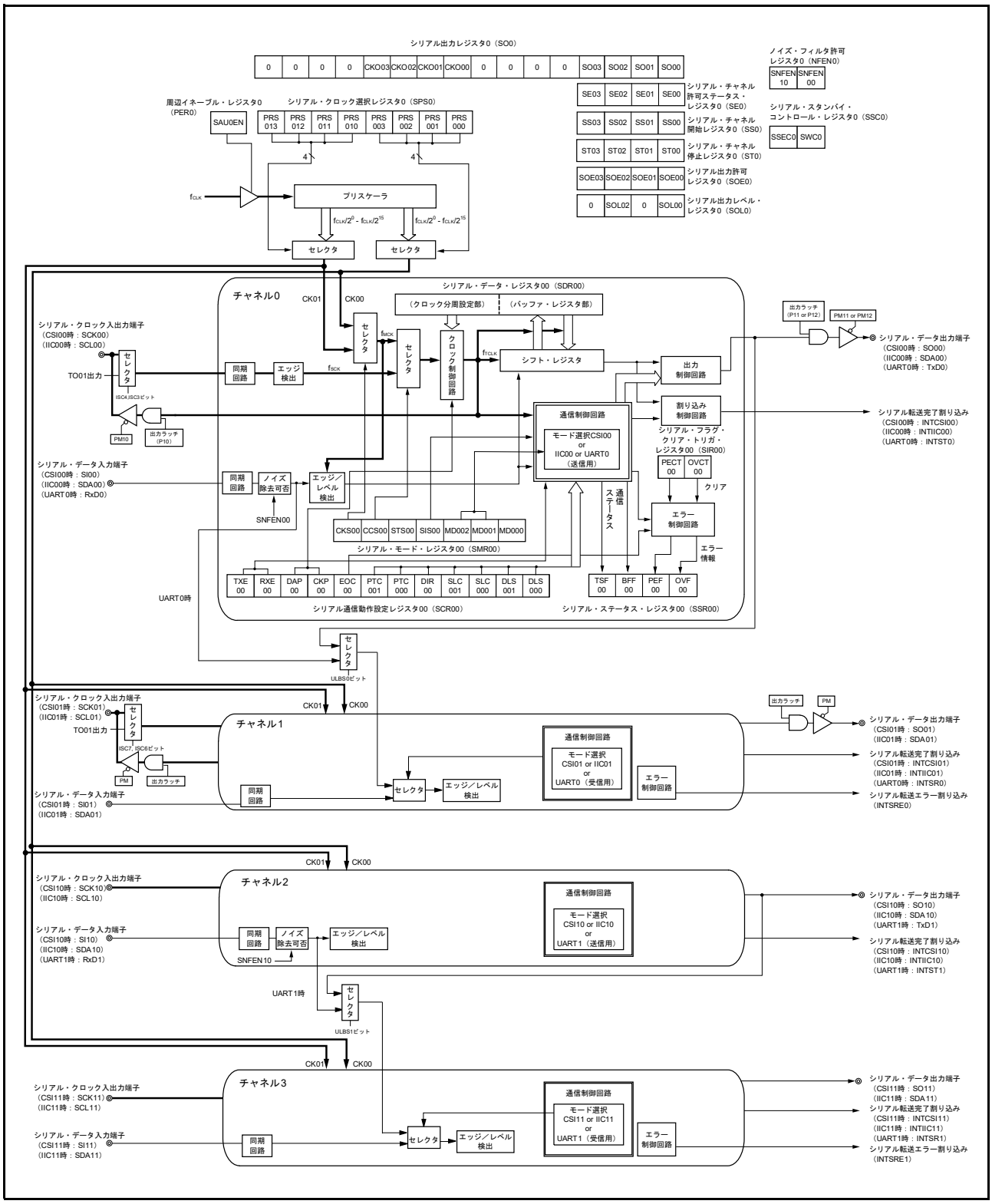
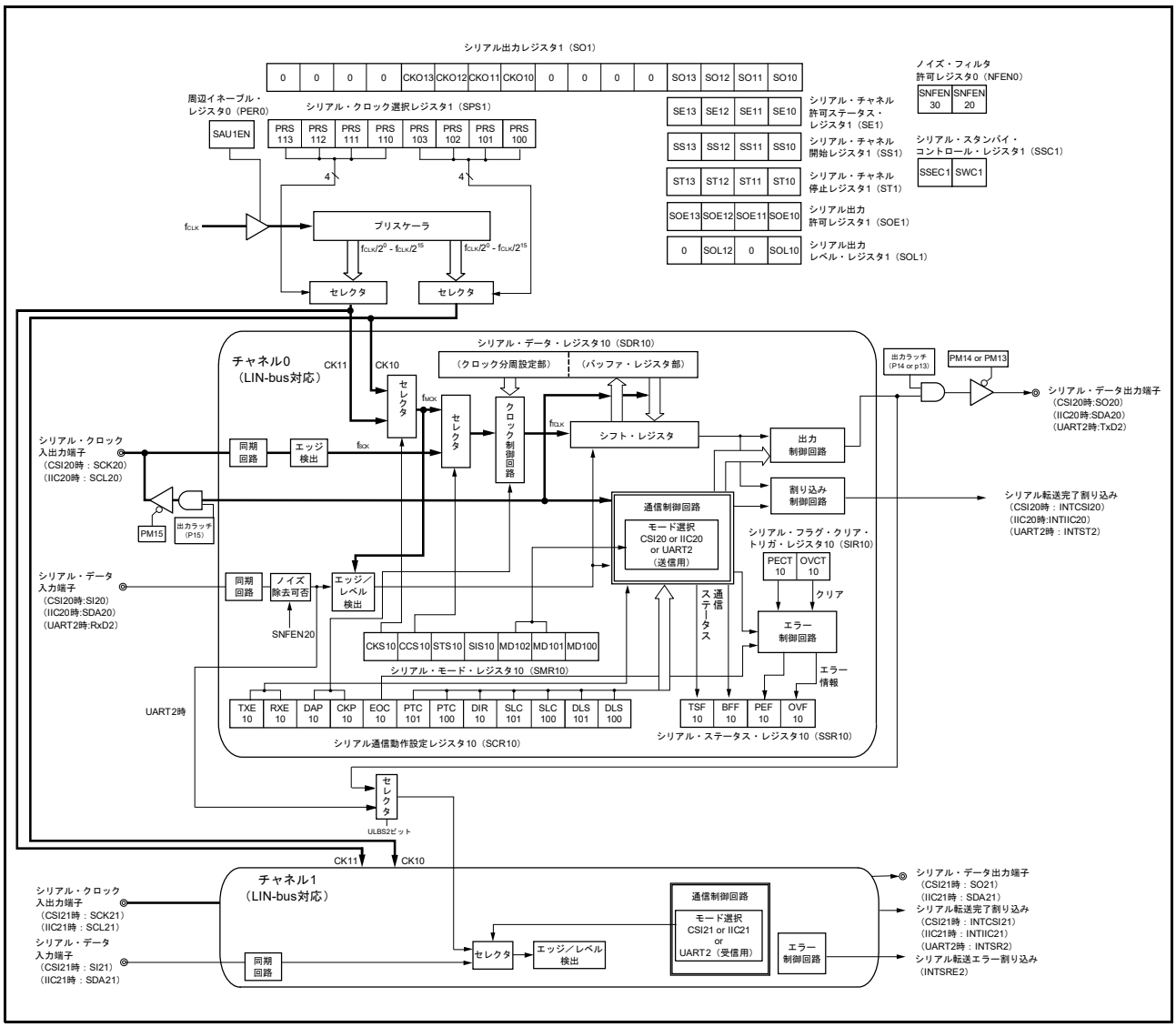


図 11 - 2 にシリアル・アレイ・ユニット 1 のブロック図を示します。

図11 - 2　　シリアル・アレイ・ユニット1のブロック図



11.2.1 シフト・レジスタ

パラレル⇔シリアルの変換を行う 9 ビットのレジスタです。

9 ビット・データ長での UART 通信時は、9 ビット（ビット 8-0）を使用します注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータを読み出し／書き込みするには、シリアル・データ・レジスタ mn（SDRmn）の下位 8/9 ビットを使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

注 9ビット・データ長は、UART0のみ対応しています。

11.2.2 シリアル・データ・レジスタ mn（SDRmn）の下位8/9ビット

SDRmn レジスタは、チャネル n の送受信データ・レジスタ（16 ビット）です。

ビット 8-0（下位 9 ビット）注1、またはビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9 の部分は動作クロック（fMCK）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

下位 8/9 ビットに格納するデータは、データ出力順序にかかわらず、シリアル通信動作設定レジスタ mn（SCRmn）のビット 0, 1（DLSmn0, DLSmn1）の設定によって、次のようになります。

- 7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- 8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- 9ビット・データ長（SDRmnレジスタのビット0-8に格納）注1

SDRmn レジスタは 16 ビット単位で読み出し／書き込み可能です。

また SDRmn レジスタの下位 8/9 ビットは、通信方式により、次の SFR 名称で 8 ビット単位で読み出し／書き込み可能注2 です。

- CSIp通信時 ：SIOp（CSIp データ・レジスタ）
- UARTq受信時：RXDq（UARTq 受信データ・レジスタ）
- UARTq送信時：TXDq（UARTq 送信データ・レジスタ）
- IICr通信時 ：SIOr（IICr データ・レジスタ）

リセット信号の発生により、0000H になります。

注1. 9ビット・データ長は、UART0のみ対応しています。

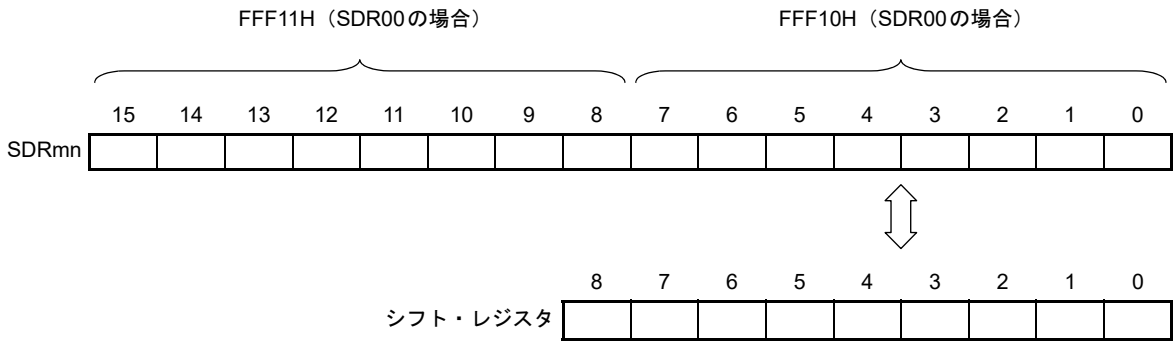
注2. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]ビットの書き換えは禁止です（SDRmn[15:9]がすべて0にクリアされます）。

備考1. 受信完了後、ビット0-8内でデータ長を超える部分のビットには、0が格納されます。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、q：UART番号（q = 0-2）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）

図11 - 3 シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01）のフォーマット

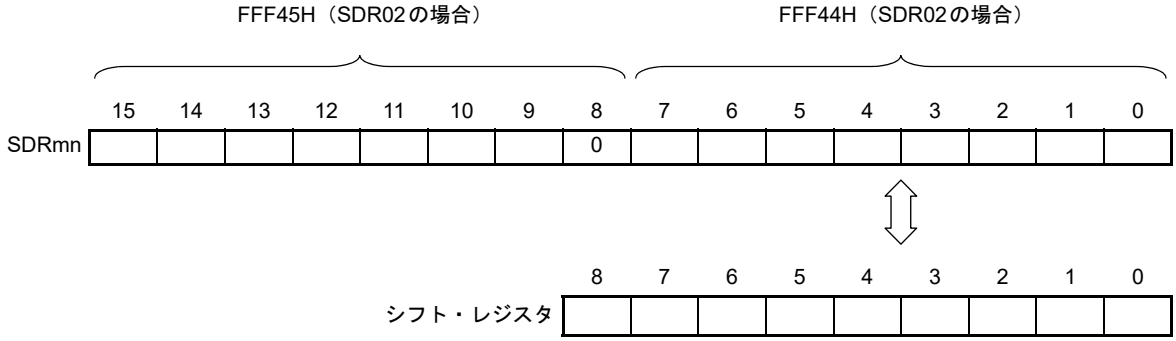
アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)
リセット時: 0000H
R/W属性 : R/W



備考 SDRmnレジスタの上位7ビットの機能については、**11.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

図11 - 4 シリアル・データ・レジスタmn（SDRmn）（mn = 02, 03, 10, 11）のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
リセット時: 0000H
R/W属性 : R/W



注意 ビット8には、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、**11.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

11.3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- シリアル・クロック選択レジスタm（SPSm）
- シリアル・モード・レジスタmn（SMRmn）
- シリアル通信動作設定レジスタmn（SCRmn）
- シリアル・データ・レジスタmn（SDRmn）
- シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
- シリアル・ステータス・レジスタmn（SSRmn）
- シリアル・チャネル開始レジスタm（SSm）
- シリアル・チャネル停止レジスタm（STm）
- シリアル・チャネル許可ステータス・レジスタm（SEm）
- シリアル出力許可レジスタm（SOEm）
- シリアル出力レジスタm（SOm）
- シリアル出力レベル・レジスタm（SOLm）
- シリアル・スタンバイ・コントロール・レジスタm（SSCm）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- UARTループバック選択レジスタ（ULBS）

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

11.3.1 周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を使用する場合は、必ず SAU0EN ビットに 1 を設定してください。シリアル・アレイ・ユニット 1 を使用する場合は、必ず SAU1EN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11 - 5 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス ：F00F0H
リセット時：00H
R/W属性 ：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PER0	0	0	ADCEN	IICA0EN注1	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニットmで使用するSFRへのライト不可注2
1	入力クロック供給 • シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注1. 32～64ピン製品のみ

注2. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

20ピン製品：ビット4

注意3. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態で、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます（入力切り替え制御レジスタ（ISC）、ノイズ・フィルタ許可レジスタ0（NFEN0）、ポート入力モード・レジスタ（PIM0, PIM1, PIM5, PIM7）、ポート出力モード・レジスタ（POM0, POM1, POM5, POM7）、ポート・モード・コントロールA・レジスタ（PMCA0）、ポート・モード・レジスタ（PM0, PM1, PM3, PM5, PM7）、ポート・レジスタ（P0, P1, P3, P5, P7）は除く）。

- **シリアル・クロック選択レジスタm（SPSm）**
- **シリアル・モード・レジスタmn（SMRmn）**
- **シリアル通信動作設定レジスタmn（SCRmn）**
- **シリアル・データ・レジスタmn（SDRmn）**
- **シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）**
- **シリアル・ステータス・レジスタmn（SSRmn）**
- **シリアル・チャネル開始レジスタm（SSm）**
- **シリアル・チャネル停止レジスタm（STm）**
- **シリアル・チャネル許可ステータス・レジスタm（SEm）**
- **シリアル出力許可レジスタm（SOEm）**
- **シリアル出力レベル・レジスタm（SOLm）**
- **シリアル出力レジスタm（SOm）**
- **シリアル・スタンバイ・コントロール・レジスタm（SSCm）**

11.3.2　周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニット 0 をリセットする場合は、SAU0RES ビットに 1 を設定してください。シリアル・アレイ・ユニット 1 をリセットする場合は、SAU1RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11 - 6　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注	SAU1RES	SAU0RES	0	TAU0RES

SAUmRES	シリアル・アレイ・ユニットmのリセット制御
0	シリアル・アレイ・ユニットmのリセット解除
1	シリアル・アレイ・ユニットmはリセット状態 ・シリアル・アレイ・ユニットmで使用するSFRが初期化されます。

注　32～64ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

20ピン製品：ビット4

11.3.3　シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは、各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは、16ビット・メモリ操作命令で設定します。またSPSmレジスタの下位8ビットは、SPSmLレジスタとして8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 7　シリアル・クロック選択レジスタm（SPSm）のフォーマット

アドレス　：F0126H, F0127H (SPS0), F0166H, F0167H (SPS1)注

リセット時：0000H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SPSm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択注				
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

（注、注意、備考は次ページに続きます）

注　シリアル・アレイ・ユニット（SAU）動作中にf_{CLK}で選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、SAUの動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

注意　ビット15-8には、必ず0を設定してください。

備考1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考2. m：ユニット番号（m = 0, 1）

備考3. k = 0, 1

11.3.4 シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは、チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択、シリアル・クロック（f_{SCK}）入力の使用可否、スタート・トリガ設定、動作モード（簡易SPI/CSI、UART、簡易I^2C）設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中（SEmn = 1のとき）の書き換えは禁止です。ただし、MDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020Hになります。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 8 シリアル・モード・レジスタmn（SMRmn）のフォーマット (1/2)

アドレス ：F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03),
F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

リセット時：0020H

R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn 注

7	6	5	4	3	2	1	0
0	SISmn0 注	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック（f_{MCK}）は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック（f_{TCLK}）を生成します。	

CCSmn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmnビットで指定した動作クロックf_{MCK}の分周クロック
1	SCKp端子からの入力クロックf_{SCK}（簡易SPI/CSIモードのスレーブ転送）
転送クロックf_{TCLK}は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STSmn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効（簡易SPI/CSI、UART送信、簡易I^2C時に選択）
1	RxDq端子の有効エッジ（UART受信時に選択）
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

図11 - 8 シリアル・モード・レジスタmn（SMRmn）のフォーマット (2/2)

SISmn0	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MDmn2	MDmn1	チャネルnの動作モードの設定
0	0	簡易SPI（CSI）モード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MDmn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11レジスタのみ

注意 ビット13-9, 7, 4, 3（SMR00, SMR02, SMR10レジスタの場合は、ビット13-6, 4, 3）には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、q：UART番号（q = 0-2）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）

11.3.5　シリアル通信動作設定レジスタ mn（SCRmn）

SCRmn レジスタは、チャネル n の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmn レジスタは、動作中（SEmn = 1 のとき）の書き換えは禁止です。

SCRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 9　シリアル通信動作設定レジスタ mn（SCRmn）のフォーマット (1/2)

アドレス　：F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03),
F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

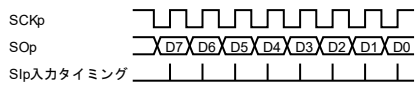
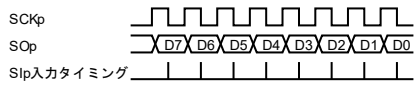
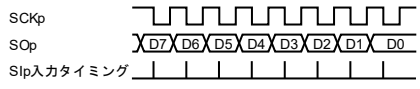
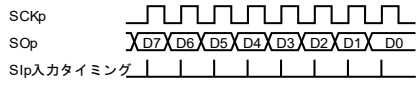
リセット時：0087H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0

7	6	5	4	3	2	1	0
DIRmn	0	SLCmn1 注1	SLCmn0	0	1	DLSmn1 注2	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易SPI（CSI）モードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード、簡易I²Cモード時には、DAPmn, CKPmn = 00Bを設定してください。			

EOCmn	エラー割り込み信号（INTSREx（x = 0-3））のマスク制御
0	エラー割り込みINTSREXの発生を禁止する（INTSRxが発生する）
1	エラー割り込みINTSREXの発生を許可する（エラー発生時、INTSRxは発生しない）
簡易SPI（CSI）モード、簡易I²Cモード、UART送信時には、EOCmn = 0を設定してください注3。	

図11 - 9　　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット (2/2)

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注4	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI（CSI）モード、簡易I²Cモード時には、PTCmn1, PTCmn0 = 00Bを設定してください。			

DIRmn	簡易SPI（CSI）、UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I²Cモード時には、DIRmn = 0を設定してください。	

SLCmn1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（mn = 00, 02, 10のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みが発生します。 UART受信時、簡易I²Cモード時には、1ビット（SLCmn1, SLCmn0 = 01B）を設定してください。 簡易SPI（CSI）モード時には、ストップ・ビットなし（SLCmn1, SLCmn0 = 00B）を設定してください。 UART送信時は、1ビット（SLCmn1, SLCmn0 = 01B）または2ビット（SLCmn1, SLCmn0 = 10B）を設定してください。		

DLSmn1	DLSmn0	簡易SPI（CSI）、UARTモードでのデータ長の設定
0	1	9ビット・データ長（SDRmnレジスタのビット0-8に格納） （UARTモード時のみ選択可）
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）
上記以外		設定禁止
簡易I²Cモード時には、DLSmn1, DLSmn0 = 11Bを設定してください。		

注1.　SCR00, SCR02, SCR10レジスタのみ

注2.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注3.　CSImnをEOCmn = 0で使用しない場合、エラー割り込み（INTSREx）が発生する場合があります。

注4.　データの内容にかかわらず0が付加されます。

注意　**ビット11, 6, 3には、必ず0を設定してください（SCR01, SCR03, SCR11レジスタはビット5も0を設定してください）。ビット2には、必ず1を設定してください。**

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）

11.3.6　シリアル・データ・レジスタ mn（SDRmn）

SDRmn レジスタは、チャネル n の送受信データ・レジスタ（16 ビット）です。

SDR00, SDR01 レジスタのビット 8-0（下位 9 ビット）、または SDR02, SDR03, SDR10, SDR11 レジスタのビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9（上位 7 ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn（SMRmn）で CCSmn ビットに 0 を設定した場合は、動作クロックをこの SDRmn レジスタのビット 15-9（上位 7 ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットに 1 を設定した場合は、SDR00, SDR01 レジスタのビット 15-9（上位 7 ビット）に 0000000B を設定してください。SCKp 端子からの入力クロック f_{SCK}（簡易 SPI/CSI モードのスレーブ転送）が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

SDRmn レジスタは、16 ビット単位で読み出し／書き込み可能です。

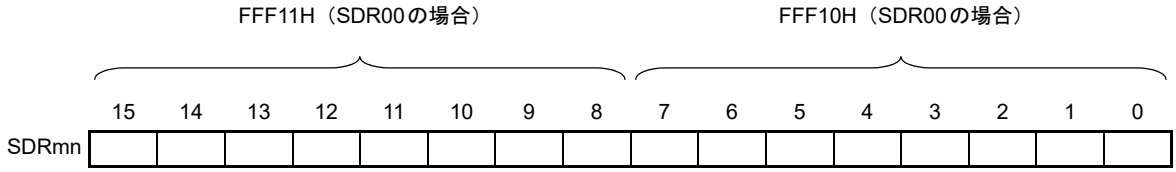
ただし、上位 7 ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）に SDRmn レジスタに書き込みを行ったときは、下位 8/9 ビットのみ値が書き込まれます。動作中に SDRmn レジスタの読み出しを行った場合、上位 7 ビットは常に 0 が読み出されます。

リセット信号の発生により、0000H になります。

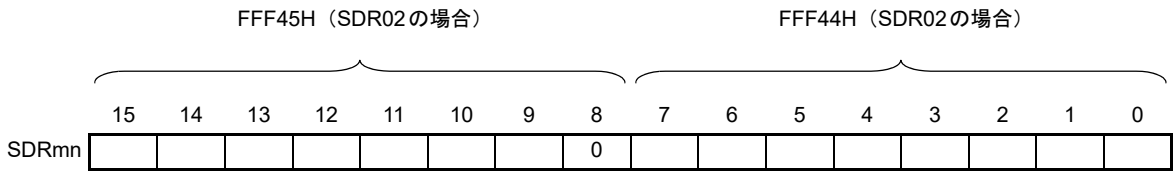
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 10　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス　：FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)
リセット時：0000H
R/W属性　：R/W



アドレス　：FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)
FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
リセット時：0000H
R/W属性　：R/W



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	fMCK/2
0	0	0	0	0	0	1	fMCK/4
0	0	0	0	0	1	0	fMCK/6
0	0	0	0	0	1	1	fMCK/8
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	fMCK/254
1	1	1	1	1	1	1	fMCK/256

注意1. SDR02, SDR03とSDR10, SDR11レジスタのビット8は、必ず0を設定してください。
注意2. UART使用時は、SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。
注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
注意4. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]ビットの書き換えは禁止です（SDRmn[15:9]ビットがすべて0にクリアされます）。

備考1. SDRmnレジスタの下位8/9ビットの機能については、**11.2　シリアル・アレイ・ユニットの構成**を参照してください。
備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

11.3.7　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）

SIRmn レジスタは、チャネル n の各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn, PECTmn, OVCTmn）に 1 をセットすると、シリアル・ステータス・レジスタ mn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐ SIRmn レジスタもクリアされます。

SIRmn レジスタは、16 ビット・メモリ操作命令で設定します。また SIRmn レジスタの下位 8 ビットは、SIRmnL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 11　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマット

アドレス　：F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03),
F0148H, F0149H (SIR10), F014AH, F014BH (SIR11)

リセット時: 0000H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SIRmn	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	FECTmn 注	PECTmn	OVCTmn

FECTmn	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注　SIR01, SIR03, SIR11レジスタのみ

注意　ビット15-3（SIR00, SIR02, SIR10レジスタの場合は、ビット15-2）には、必ず0を設定してください。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

備考2. SIRmnレジスタの読み出し値は常に0000Hとなります。

11.3.8　シリアル・ステータス・レジスタmn（SSRmn）

SSRmn レジスタは、チャネル n の通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また SSRmn レジスタの下位 8 ビットは、SSRmnL レジスタとして 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 12　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット (1/2)

アドレス　：F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03),
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

リセット時: 0000H

R/W属性　：R

略号	15	14	13	12	11	10	9	8
SSRmn	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	TSFmn	BFFmn	0	0	FEFmn 注	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
- STmレジスタのSTmnビットに1を設定時（通信停止状態）またはSSmレジスタのSSmnビットに1を設定時（通信待機状態）
- 通信動作が終了時

＜セット条件＞
- 通信動作を開始時

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている

＜クリア条件＞
- 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき
- 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき
- STmレジスタのSTmnビットに1を設定時（通信停止状態）、SSmレジスタのSSmnビットに1を設定時（通信許可状態）。

＜セット条件＞
- SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信、送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき
- SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき
- 受信エラー時

図11 - 12　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット (2/2)

FEFmn	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）
＜クリア条件＞ ・SIRmnレジスタのFECTmnビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEFmn	チャネルnのパリティ／ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生（UART受信時）、またはACK未検出発生（I^2C送信時）
＜クリア条件＞ ・SIRmnレジスタのPECTmnビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー） ・I^2C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）	

OVFmn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
＜クリア条件＞ ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき ＜セット条件＞ ・SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みまたは次の受信データの書き込みをしたとき ・簡易SPI（CSI）モードのスレーブ送信／送受信で、送信データが準備できていないとき	

注　SSR01, SSR03, SSR11レジスタのみ

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー（OVFmn = 1）と検出されます。

注意2. SNOOZEモード（SWCm = 1）で簡易SPI（CSI）の受信動作を行う場合、OVFmnフラグおよびBFFmnフラグは動作しません。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

11.3.9 シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは、通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと、シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。またSSmレジスタの下位8ビットは、SSmLレジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 13 シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス ：F0122H, F0123H (SS0)
リセット時：0000H
R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
SS0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	SS03	SS02	SS01	SS00

アドレス ：F0162H, F0163H (SS1)注
リセット時：0000H
R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
SS1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SS11	SS10

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4、SS1レジスタのビット15-2には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットに1を設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

11.3.10　シリアル・チャネル停止レジスタm（STm）

STmレジスタは、通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと、シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。またSTmレジスタの下位8ビットは、STmLレジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 14　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス　：F0124H, F0125H (ST0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
ST0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	ST03	ST02	ST01	ST00

アドレス　：F0164H, F0165H (ST1)注
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
ST1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ST11	ST10

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注　制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意　ST0レジスタのビット15-4、ST1レジスタのビット15-2には、必ず0を設定してください。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）
備考2. STmレジスタの読み出し値は常に0000Hとなります。

11.3.11　シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは、各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャネルnは、後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。またSEmレジスタの下位8ビットは、SEmLレジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 15　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス　：F0120H, F0121H (SE0)
リセット時：0000H
R/W属性　：R

略号	15	14	13	12	11	10	9	8
SE0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	SE03	SE02	SE01	SE00

アドレス　：F0160H, F0161H (SE1)
リセット時：0000H
R/W属性　：R

略号	15	14	13	12	11	10	9	8
SE1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SE11	SE10

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

11.3.12　シリアル出力許可レジスタm（SOEm）

SOEmレジスタは、各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは、後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。またSOEmレジスタの下位8ビットは、SOEmLレジスタとして1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 16　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス　：F012AH, F012BH (SOE0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SOE0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	SOE03	SOE02	SOE01	SOE00

アドレス　：F016AH, F016BH (SOE1)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SOE1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SOE11	SOE10

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　**SOE0レジスタのビット15-4、SOE1レジスタのビット15-2には、必ず0を設定してください。**

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

11.3.13　シリアル出力レジスタm（SOm）

SOmレジスタは、各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに1を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO0レジスタは0F0FH、SO1レジスタは0303Hになります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 17　シリアル出力レジスタm（SOm）のフォーマット

アドレス　：F0128H, F0129H (SO0)
リセット時：0F0FH
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SO0	0	0	0	0	CKO03	CKO02	CKO01	CKO00

7	6	5	4	3	2	1	0
0	0	0	0	SO03	SO02	SO01	SO00

アドレス　：F0168H, F0169H (SO1)
リセット時：0303H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	0	0	CKO11	CKO10

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SO11	SO10

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が0
1	シリアル・クロック出力値が1

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が0
1	シリアル・データ出力値が1

（注意、備考は次ページに続きます）

注意　**SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。**
SO1レジスタのビット15-10, 7-2には、必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

11.3.14　シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは、各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI（CSI）モード、簡易I^2Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は、シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。またSOLmレジスタの下位8ビットは、SOLmLレジスタとして8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図11 - 18　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス　：F0134H, F0135H (SOL0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SOL0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	SOL02	0	SOL00

アドレス　：F0174H, F0175H (SOL1)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SOL1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SOL10

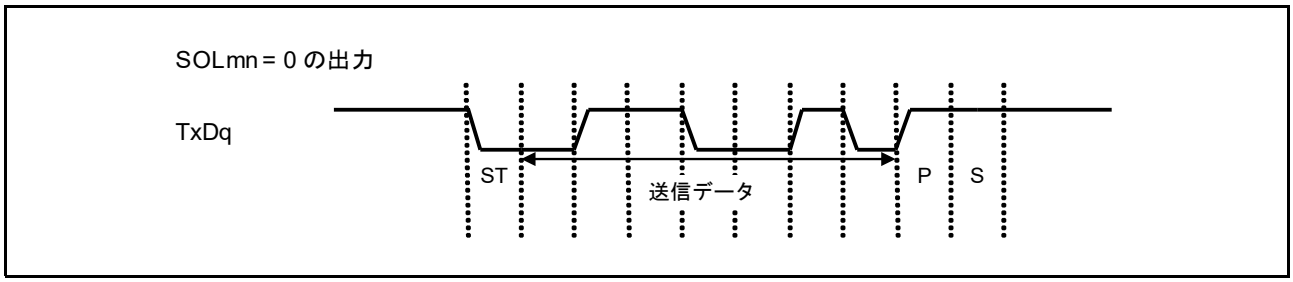
SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意　SOL0レジスタのビット15-3, 1、SOL1レジスタのビット15-1には、必ず0を設定してください。

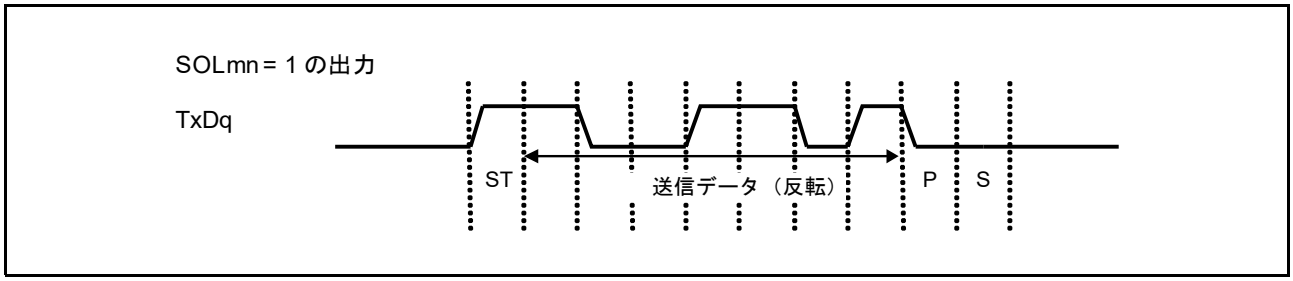
図 11 - 19 に UART 送信時、送信データのレベル反転例を示します。

図11 - 19　送信データのレベル反転例

(a) 非反転出力（SOLmn = 0）



(b) 反転出力（SOLmn = 1）



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）

11.3.15　シリアル・スタンバイ・コントロール・レジスタm（SSCm）

SSC0 レジスタは、CSI00、UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動（SNOOZE モード）を制御するレジスタです。

SSCm レジスタは、16 ビット・メモリ操作命令で設定します。また SSCm レジスタの下位 8 ビットは、SSCmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

注意　SNOOZEモード時の最大転送レートは、次のようになります。

- **CSI00の場合　：～1 Mbps**
- **UART0の場合：～9.6 kbps（f_{CLK} = f_{IH}（32 MHz）設定時）**

備考　m：ユニット番号（m = 0）

図11 - 20　シリアル・スタンバイ・コントロール・レジスタm（SSCm）のフォーマット

アドレス　：F0138H, F0139H (SSC0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SSCm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0/INTSRE2）発生許可
1	エラー割り込み（INTSRE0/INTSRE2）発生停止
• SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1のときのみ、SSECmビットに1/0を設定することができます。その他の場合は、SSECmビットに0を設定してください。 • SSECm, SWCm = 10Bは設定禁止です。	

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
• STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI（CSI）／UARTの受信動作を行います（SNOOZEモード）。 • SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • SNOOZEモードを使用する場合でも、通常動作モード時はSWCmビットに0を設定し、STOPモードへ移行する直前にSWCmビットを1に変更してください。 またSTOPモードから通常動作モードへ復帰後、必ずSWCmビットを0に変更してください。	

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 1）

表11 - 2　　SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 1）

11.3.16　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC1, ISC0 ビットは、UART2 で LIN-bus 通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ISC4, ISC3 ビットは、CSI00 のシリアル・クロック入力ソースを選択するために使用します。

ISC7, ISC6 ビットは、CSI01 のシリアル・クロック入力ソースを選択するために使用します。

ビット 0 に 1 を設定すると、シリアル・データ入力（RxD2）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって、ウェイクアップ信号を INTP0 割り込みで検出できます。

ビット 1 に 1 を設定すると、シリアル・データ入力（RxD2）端子の入力信号がタイマ入力として選択されます。これによって、ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅をタイマで測定できます。

ビット 4, 3 の設定によって、CSI00 のシリアル・クロック入力ソースに SCK00 端子入力、TO01 出力信号を選択できます。

ビット 7, 6 の設定によって、CSI01 のシリアル・クロック入力ソースに SCK01 端子入力、TO01 出力信号を選択できます。

ISC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11 - 21　入力切り替え制御レジスタ（ISC）のフォーマット (1/2)

アドレス　：F0073H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	0	ISC4	ISC3	0	ISC1	ISC0

ISC7	ISC6	CSI01のシリアル・クロック入力ソース切り替え注1
0	0	SCK01端子の入力信号（通常動作）
0	1	設定禁止
1	0	TO01の出力信号
1	1	設定禁止

ISC4	ISC3	CSI00のシリアル・クロック入力ソース切り替え注2
0	0	SCK00端子の入力信号（通常動作）
0	1	設定禁止
1	0	TO01の出力信号
1	1	設定禁止

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする（通常動作）
1	RxD2端子の入力信号をタイマ入力とする（ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定）

図11 - 21　入力切り替え制御レジスタ（ISC）のフォーマット (2/2)

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウェイクアップ信号検出）

注1.　チャネル1をUARTモードまたは簡易I^2Cモードに選択している場合は、ISC7, ISC6ビットに0を設定してください。

注2.　チャネル0をUARTモードまたは簡易I^2Cモードに選択している場合は、ISC4, ISC3ビットに0を設定してください。

注意　ビット5, 2には、必ず0を設定してください。

11.3.17 ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0 レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

簡易 SPI（CSI）、簡易 I^2C 通信に使用する端子は、対応するビットに 0 を設定して、ノイズ・フィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャネルの動作クロック（f_{MCK}）で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11 - 22 ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス ：F0070H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。 RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-5, 3, 1には、必ず0を設定してください。

11.3.18　シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・アレイ・ユニット入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.4　ポート入力モード・レジスタ（PIMxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。異電位（1.8 V 系、2.5 V 系、3 V 系）で動作している外部デバイスと接続する場合は、**4.4.5　入出力バッファによる異電位（1.8 V 系、2.5 V 系、3 V 系）対応**を参照してください。

11.3.19 UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。

UART チャネルごとに制御できるビットを持ち、各チャネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11 - 23 UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス : F0079H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	<4>	3	<2>	<1>	<0>
ULBS	0	0	0	ULBS4	0	ULBS2	ULBS1	ULBS0

ULBSn	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART0-UART2のRxD0-RxD2端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注意 ビット7-5, 3には、必ず0を設定してください。

備考 n = 0-2

11.4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

11.4.1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ 0（PER0）で行います。

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を停止する場合は、必ず SAU0EN ビットに 0 を設定してください。シリアル・アレイ・ユニット 1 を停止する場合は、必ず SAU1EN ビットに 0 を設定してください。

図11 - 24　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

(a) 周辺イネーブル・レジスタ0（PER0）：停止するSAUmのビットのみ0を設定する

	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN ×	IICA0EN注 ×	SAU1EN 0/1	SAU0EN 0/1	0	TAU0EN ×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注　32～64ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。
注意2. 次のビットには、必ず0を設定してください。
20ピン製品：ビット4
注意3. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。
ただし、次のレジスタは除きます。
- **入力切り替え制御レジスタ（ISC）**
- **ノイズ・フィルタ許可レジスタ0（NFEN0）**
- **ポート入力モード・レジスタ（PIM0, PIM1, PIM5, PIM7）**
- **ポート出力モード・レジスタ（POM0, POM1, POM5, POM7）**
- **ポート・モード・コントロールA・レジスタ（PMCA0）**
- **ポート・モード・レジスタ（PM0, PM1, PM3, PM5, PM7）**
- **ポート・レジスタ（P0, P1, P3, P5, P7）**

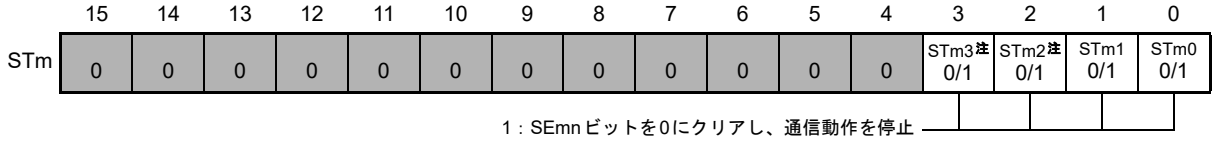
備考　×：シリアル・アレイ・ユニットでは使用しないビット（ほかの周辺機能の設定による）
0/1：ユーザの用途に応じて0または1を設定

11.4.2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

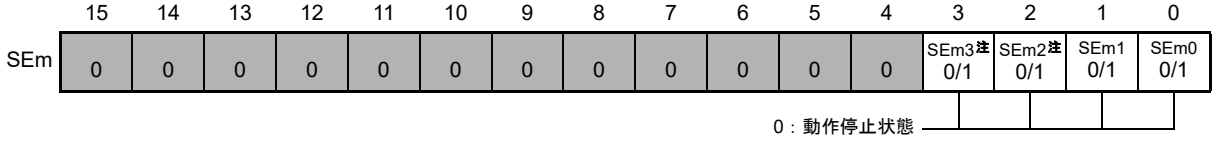
図11 - 25　チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm（STm）：各チャネルの通信／カウント停止の許可を設定するレジスタ



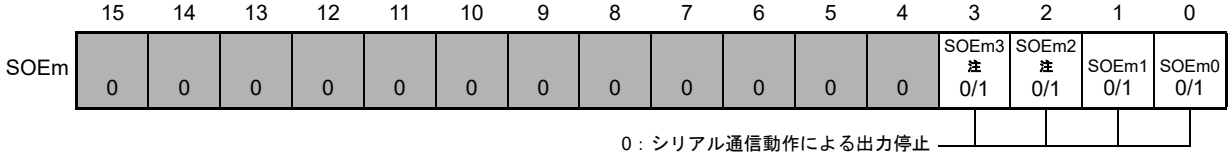
※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm（SEm）：各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ



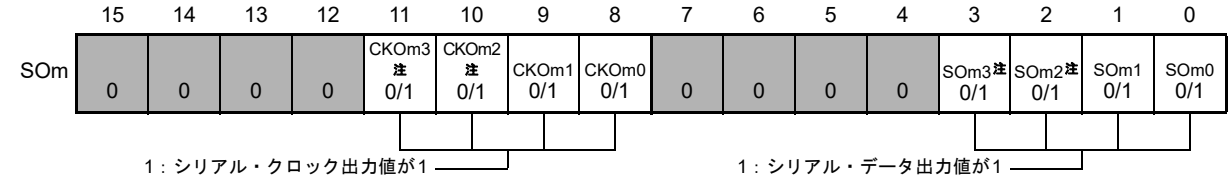
※ SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタm（SOEm）：各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ



※ シリアル出力を停止したチャネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタm（SOm）：各チャネルのシリアル出力のバッファ・レジスタ



※ 各チャネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに1を設定してください。

注　　シリアル・アレイ・ユニット1の場合、80～128ピン製品のみ

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

備考2. ■：設定不可（初期値を設定）、0/1：ユーザの用途に応じて0または1を設定

11.5　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信の動作

簡易 SPI は、シリアル・クロック（SCK）とシリアル・データ（SI, SO）の 3 本のラインによる、クロック同期式通信機能です。

［データ送受信］

- 7, 8 ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注　マスタ通信時　：Max. f_{CLK}/2（CSI00 のみ）
  Max. f_{CLK}/4
  スレーブ通信時　：Max. f_{MCK}/6

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

また、簡易 SPI（CSI00）は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で SCK 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は、**第28章　電気的特性**を参照してください。

注意　チップセレクト信号を追加する場合は、ポート機能を使用してください。

簡易 SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）に対応しているチャネルは、SAU0 のチャネル 0 ～チャネル 3 と SAU1 のチャネル 0、チャネル 1 です。

20 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	−		−
	2	−	UART1	−
	3	CSI11		IIC11
1	0	−	UART2（LIN-bus対応）	−
	1	−		−

32 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	−		−
	2	−	UART1	−
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	−		−

44 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	−		−
	2	−	UART1	−
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	−	UART1	−
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

64ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

簡易 SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）の通信動作は、以下の 7 種類があります。

- マスタ送信　（**11.5.1** 参照）
- マスタ受信　（**11.5.2** 参照）
- マスタ送受信　（**11.5.3** 参照）
- スレーブ送信　（**11.5.4** 参照）
- スレーブ受信　（**11.5.5** 参照）
- スレーブ送受信　（**11.5.6** 参照）
- SNOOZEモード機能　（**11.5.7** 参照）

11.5.1 マスタ送信

マスタ送信とは、本製品が転送クロックを出力し、本製品からほかのデバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	なし					
転送データ長	7ビットまたは8ビット					
転送レート注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）、$f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz]　f_{CLK}：CPU／周辺ハードウェア・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

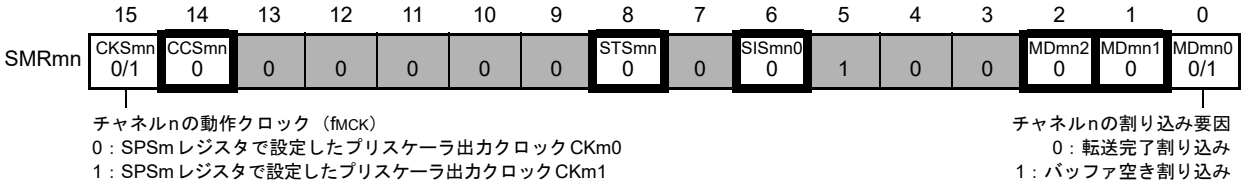
注　この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

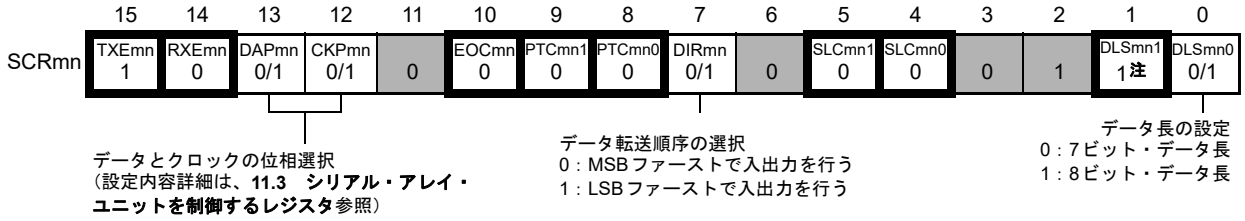
(1)　レジスタ設定

図11 - 26　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ送信時のレジスタ設定内容例

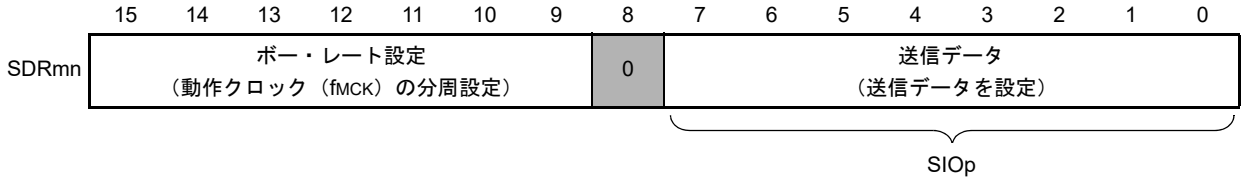
(a)　シリアル・モード・レジスタmn（SMRmn）



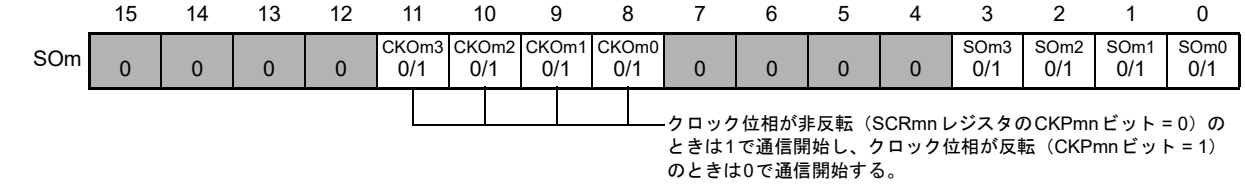
(b)　シリアル通信動作設定レジスタmn（SCRmn）



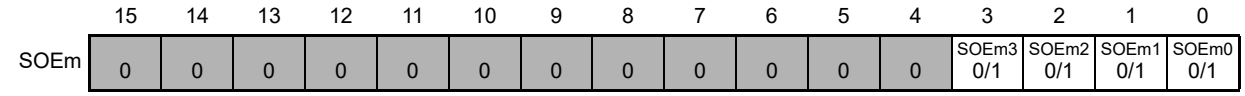
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



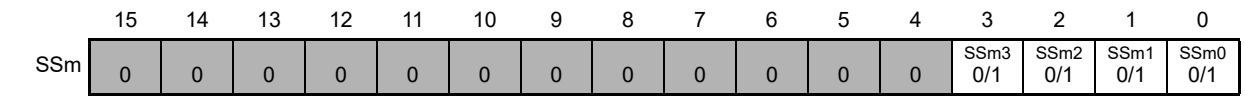
(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する



(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する



(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する



注　SCR00, SCR01レジスタのみ。その他は1固定になります。

（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

備考2. ■：簡易SPI（CSI）マスタ送信モードでは設定固定、 ■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 27 マスタ送信の初期設定手順

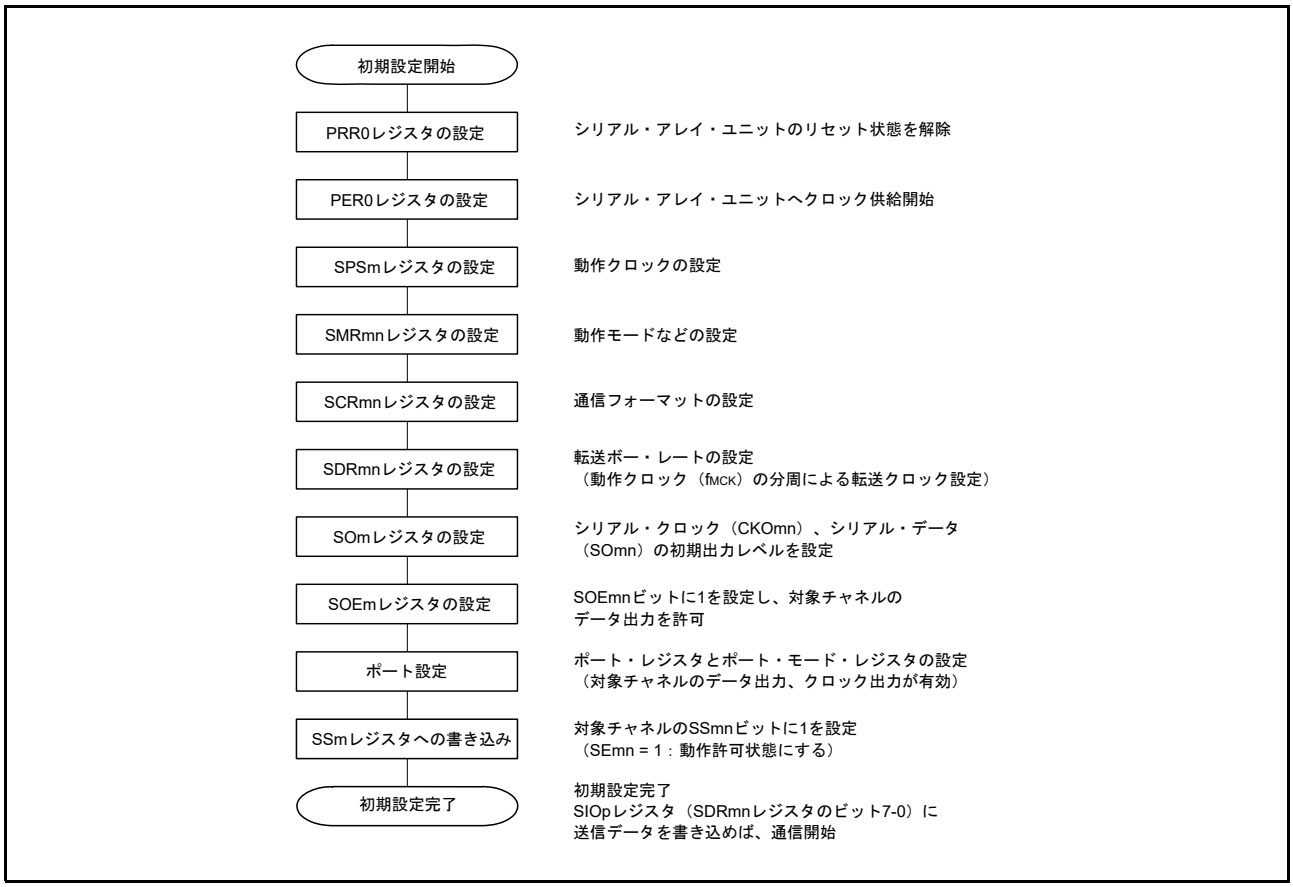


図11 - 28 マスタ送信の中断手順

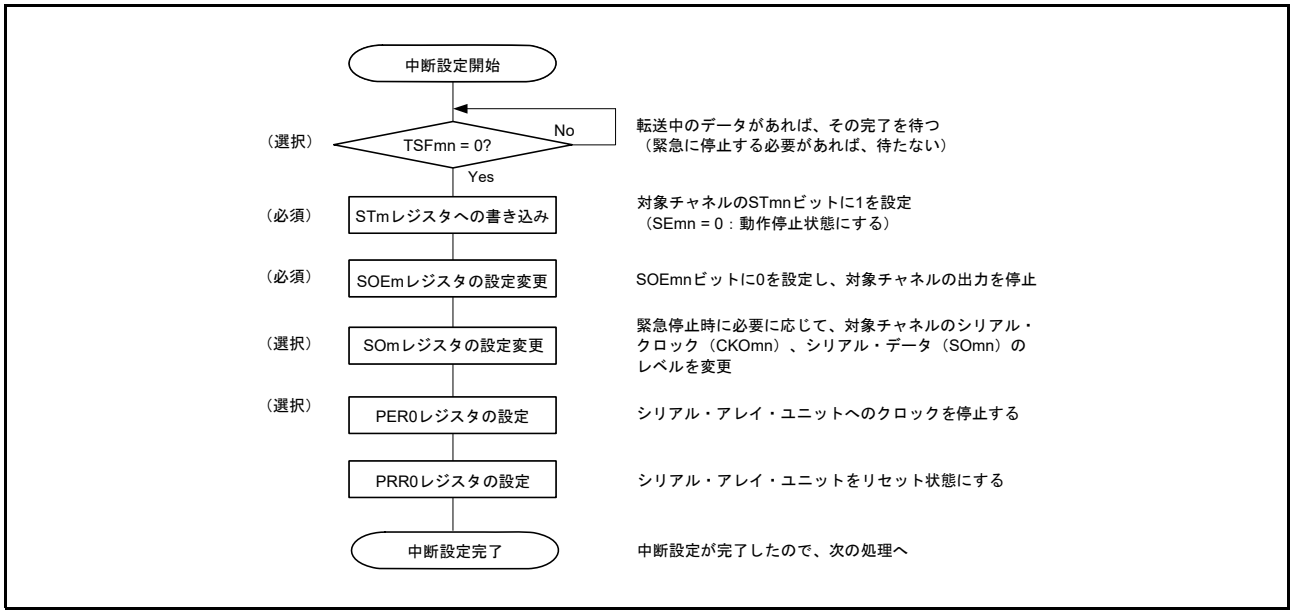
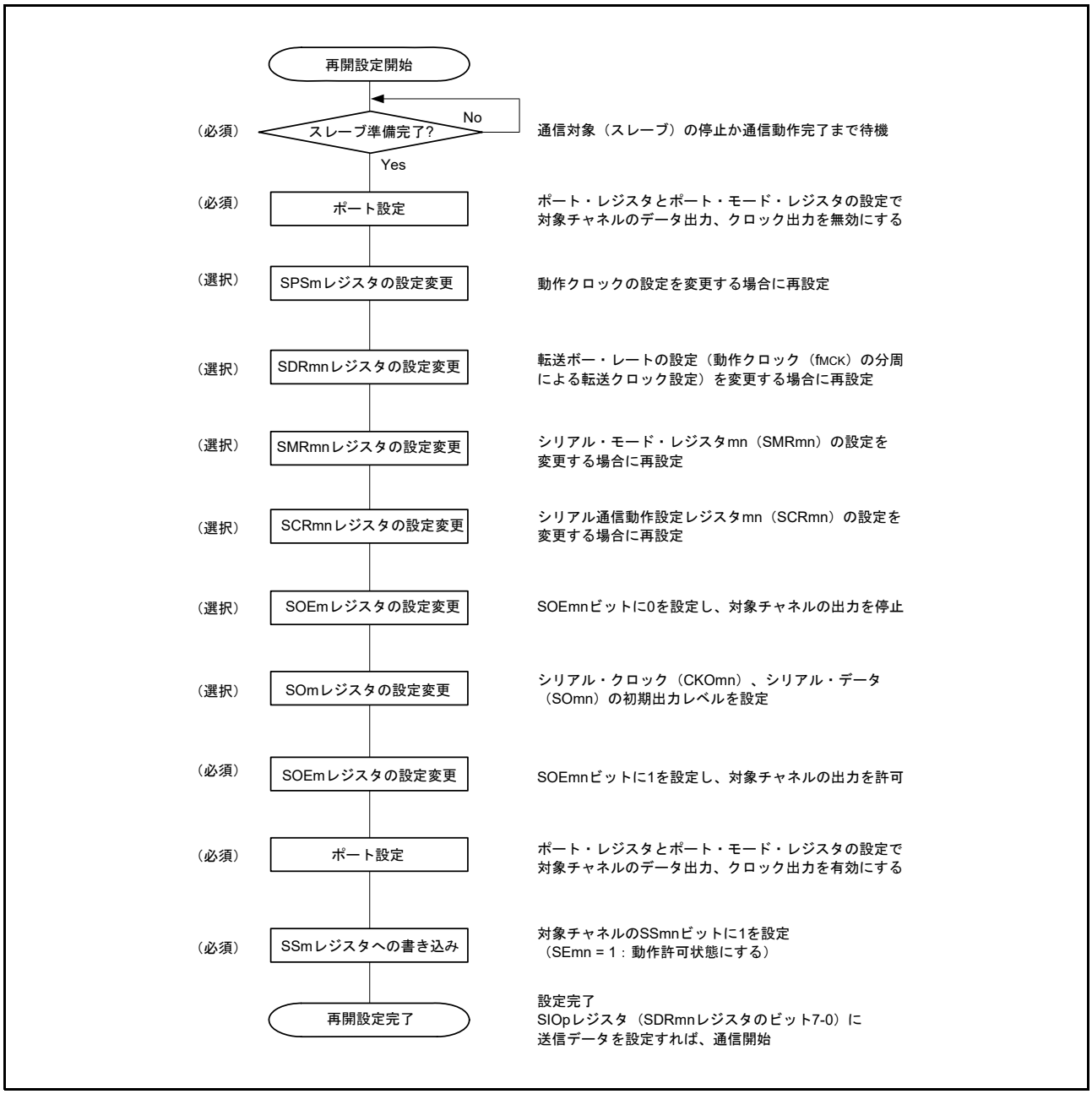


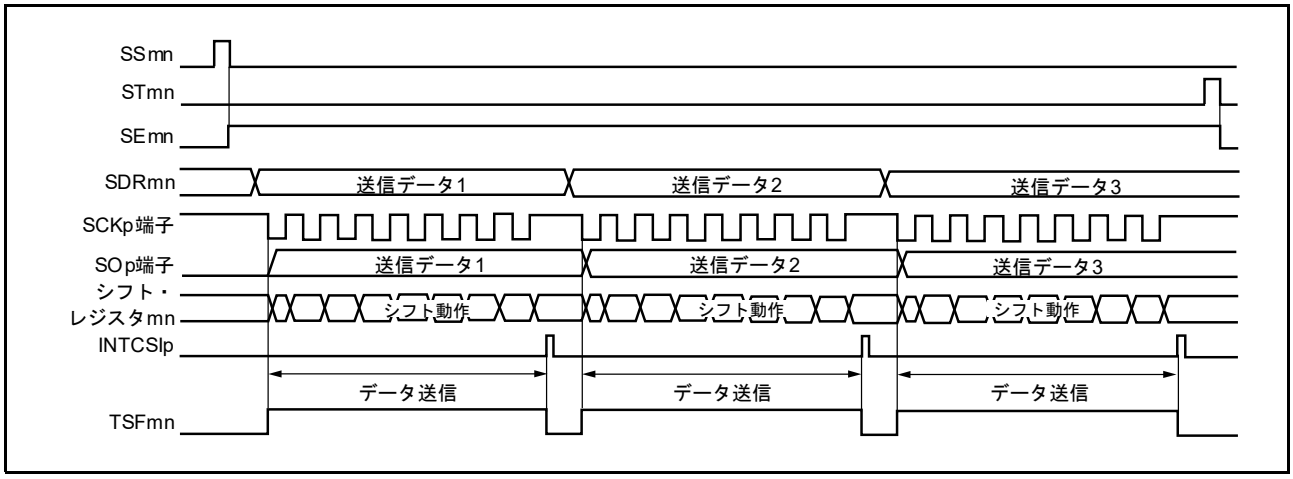
図11 - 29 マスタ送信の再開設定手順



備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

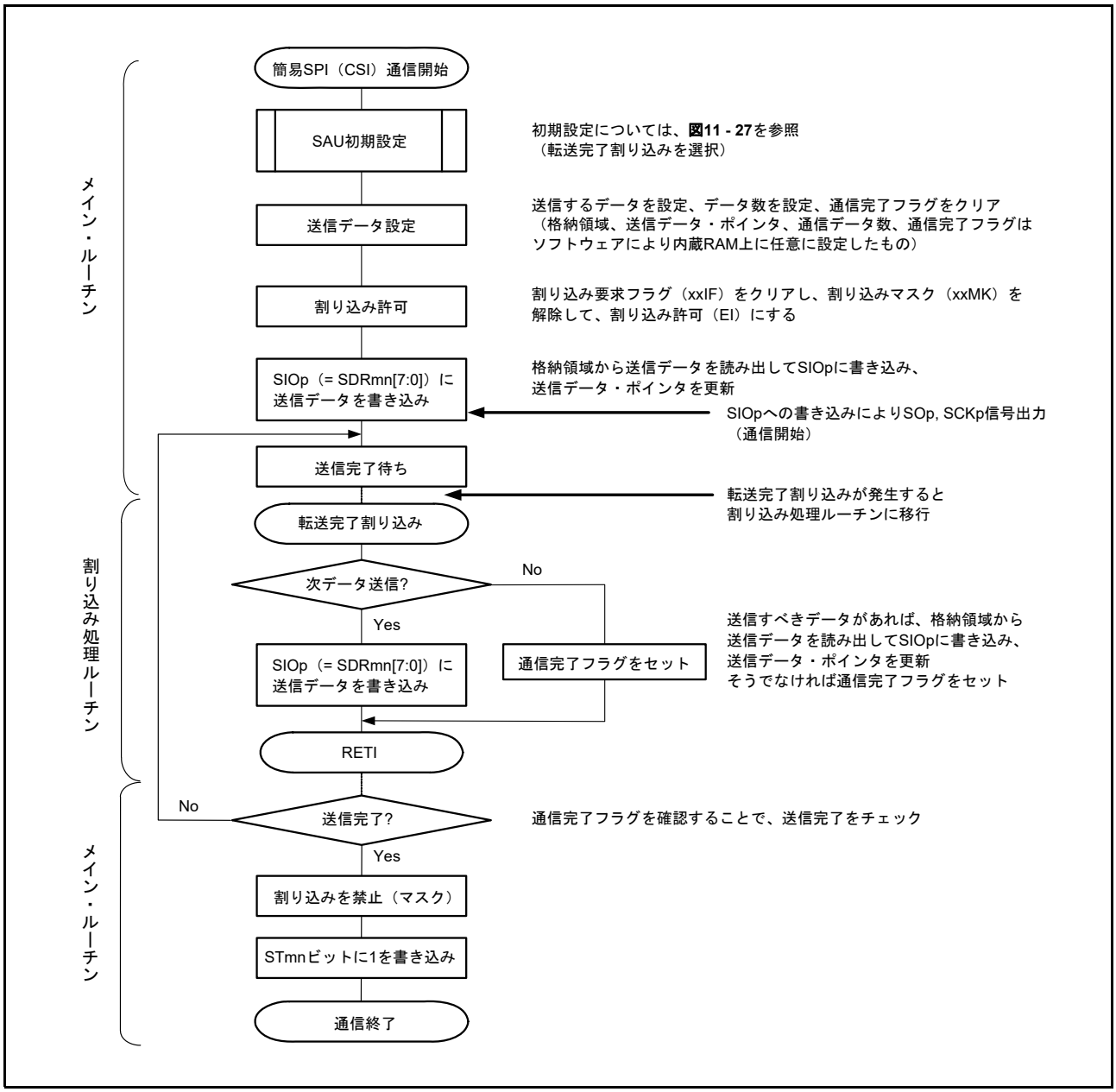
(3) 処理フロー（シングル送信モード時）

図11 - 30 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



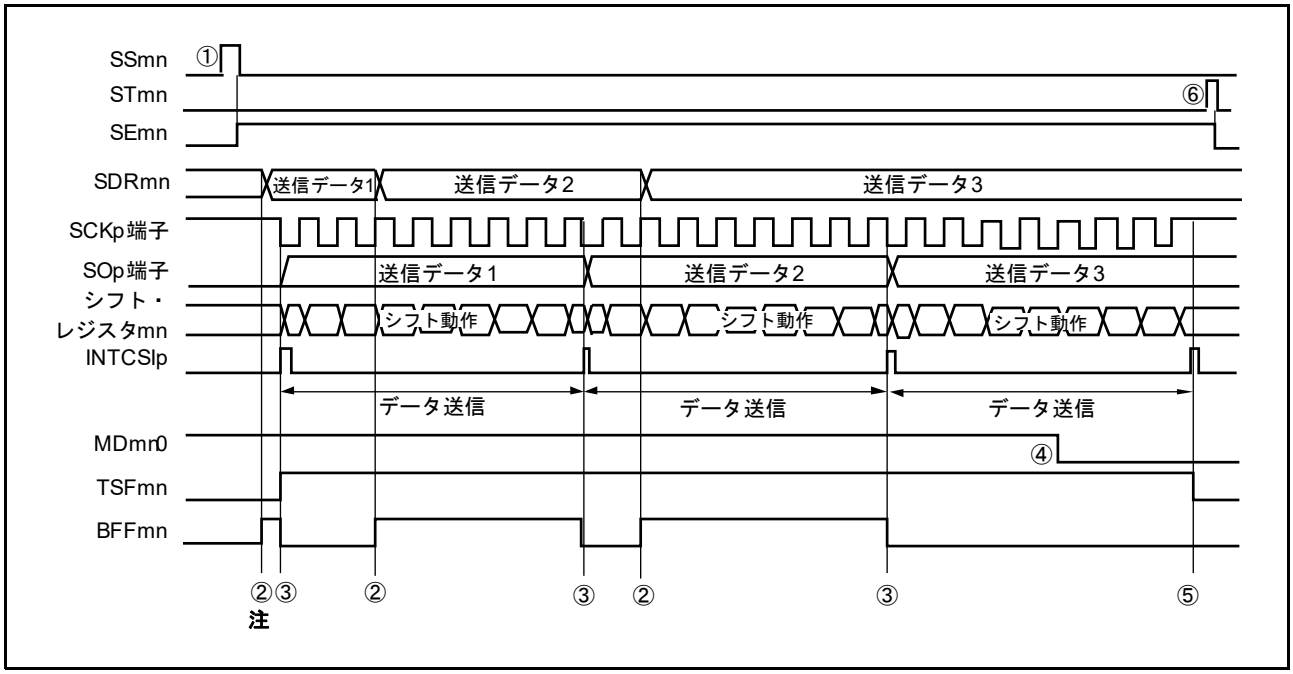
備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

図11 - 31　マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11 - 32 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

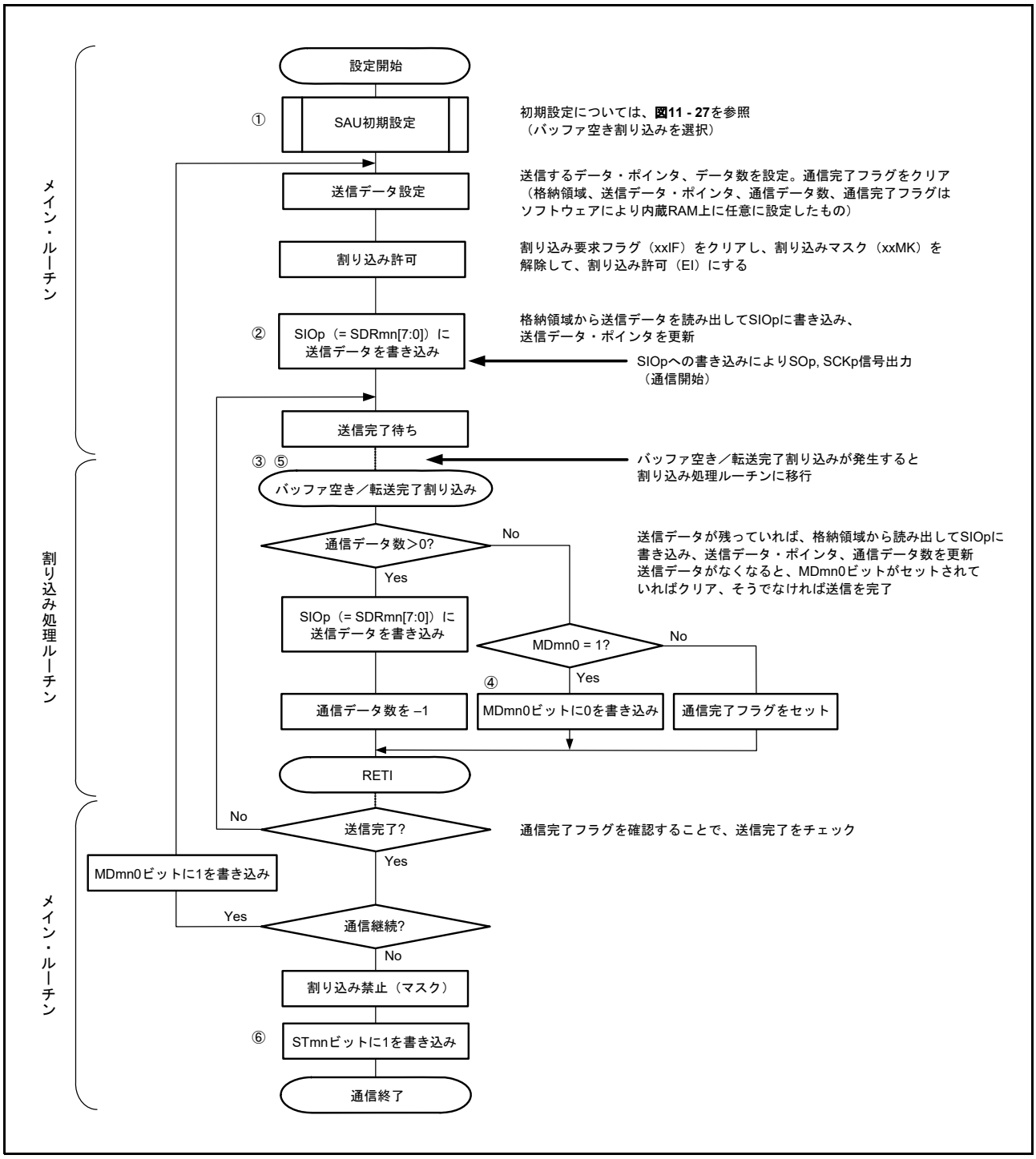


注 シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

図11 - 33 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、**図11 - 32 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑥に対応しています。

11.5.2　マスタ受信

マスタ受信とは、本製品が転送クロックを出力し、本製品がほかのデバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート**注**	Max. f_{CLK}/2 [Hz]（CSI00のみ）、f_{CLK}/4 [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz]　f_{CLK}：CPU／周辺ハードウェア・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

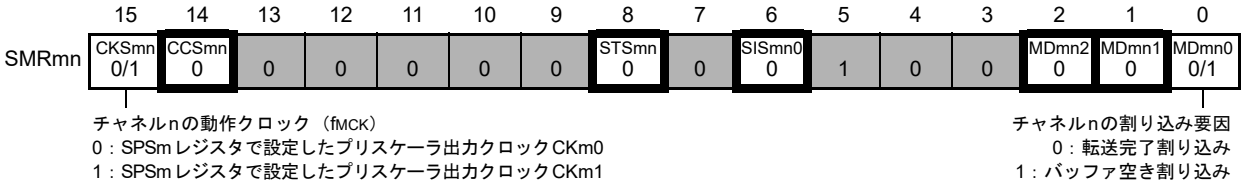
注　この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

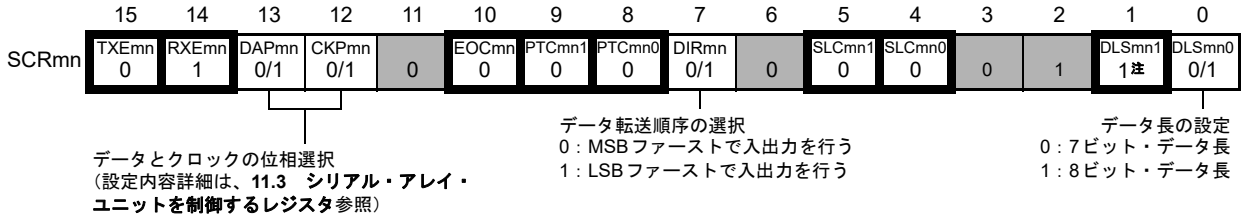
(1)　レジスタ設定

図11 - 34　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ受信時のレジスタ設定内容例

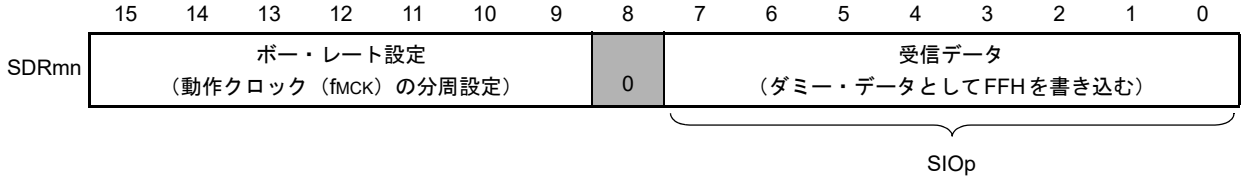
(a)　シリアル・モード・レジスタmn（SMRmn）



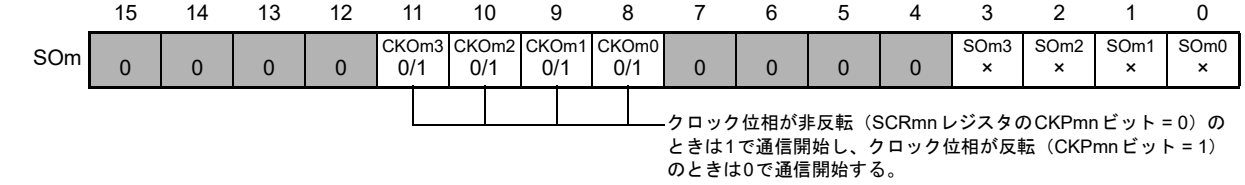
(b)　シリアル通信動作設定レジスタmn（SCRmn）



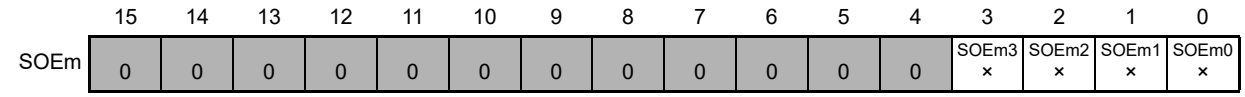
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



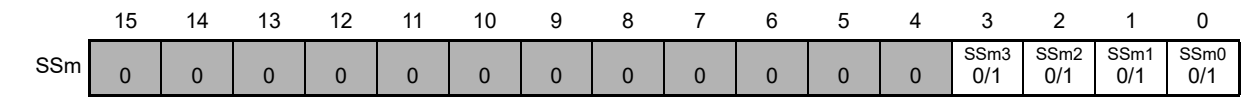
(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する



(e)　シリアル出力許可レジスタm（SOEm）：このモードでは使用しない



(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する



注　　SCR00, SCR01レジスタのみ。その他は1固定になります。

（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

備考2. ■：簡易SPI（CSI）マスタ受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 35 マスタ受信の初期設定手順

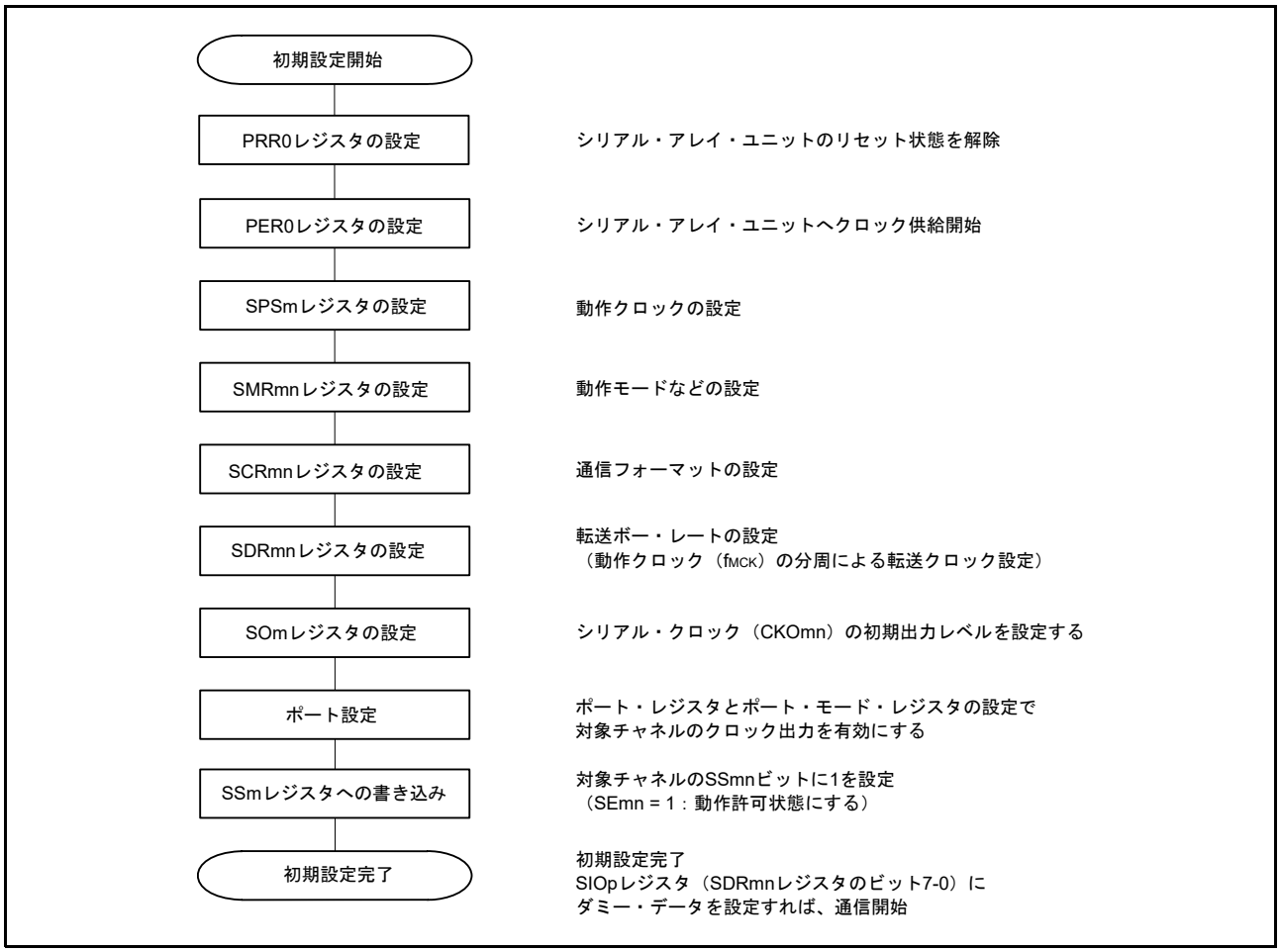


図11 - 36 マスタ受信の中断手順

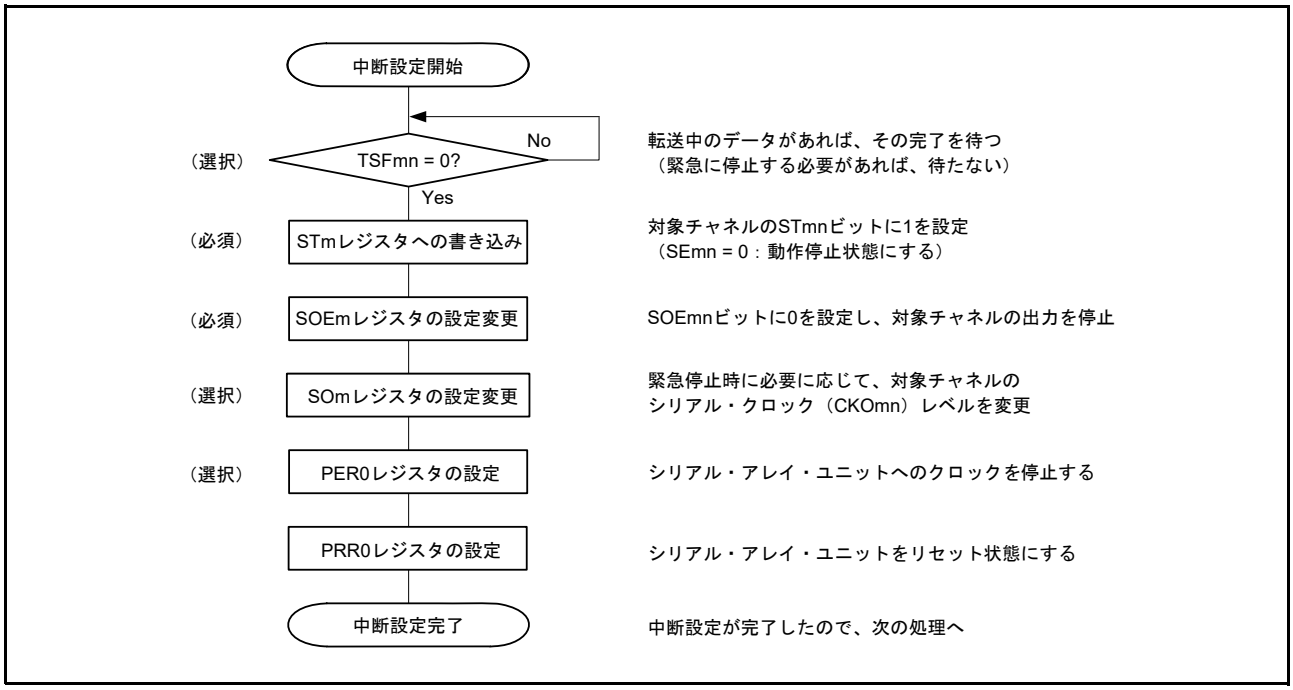
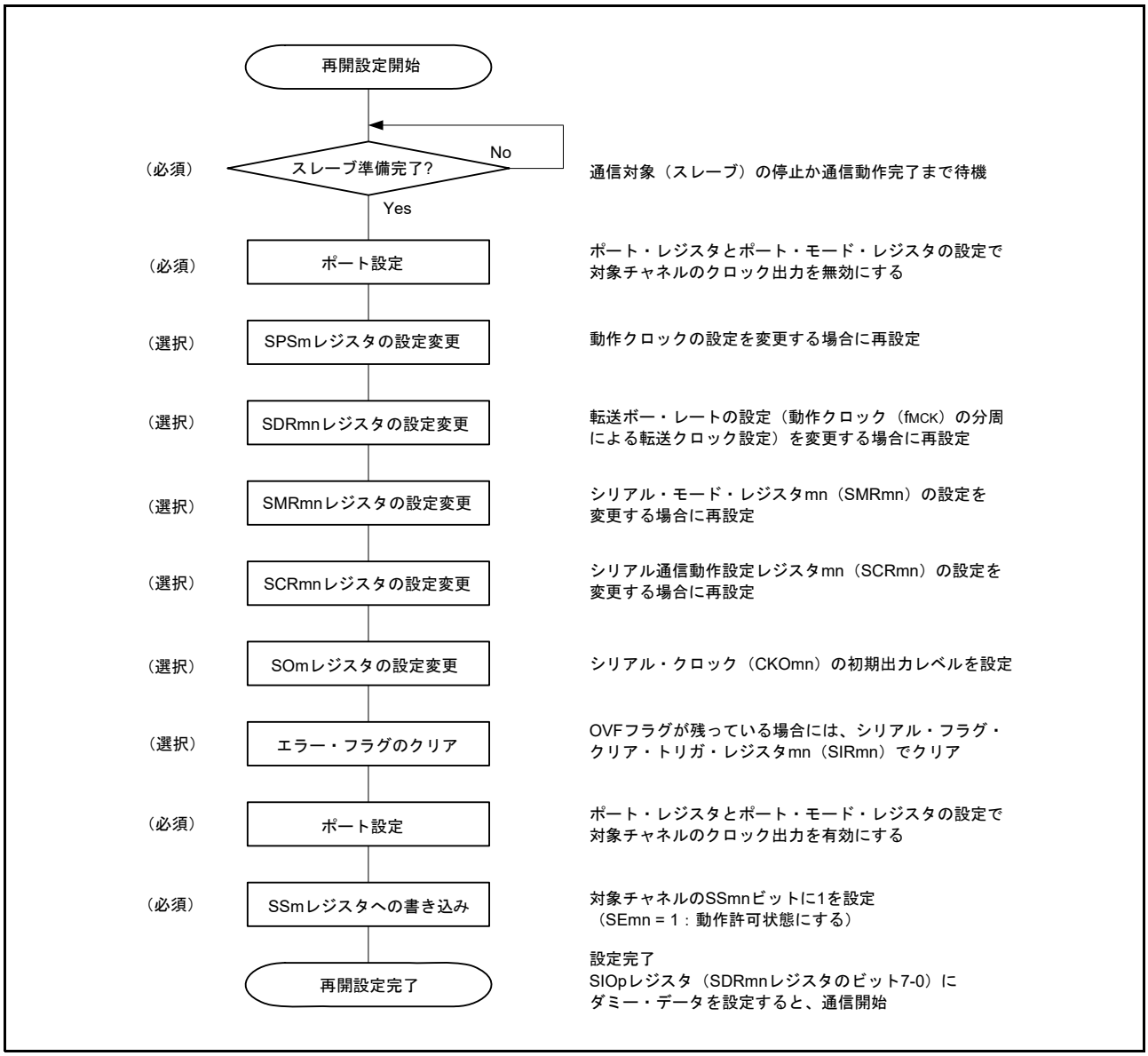


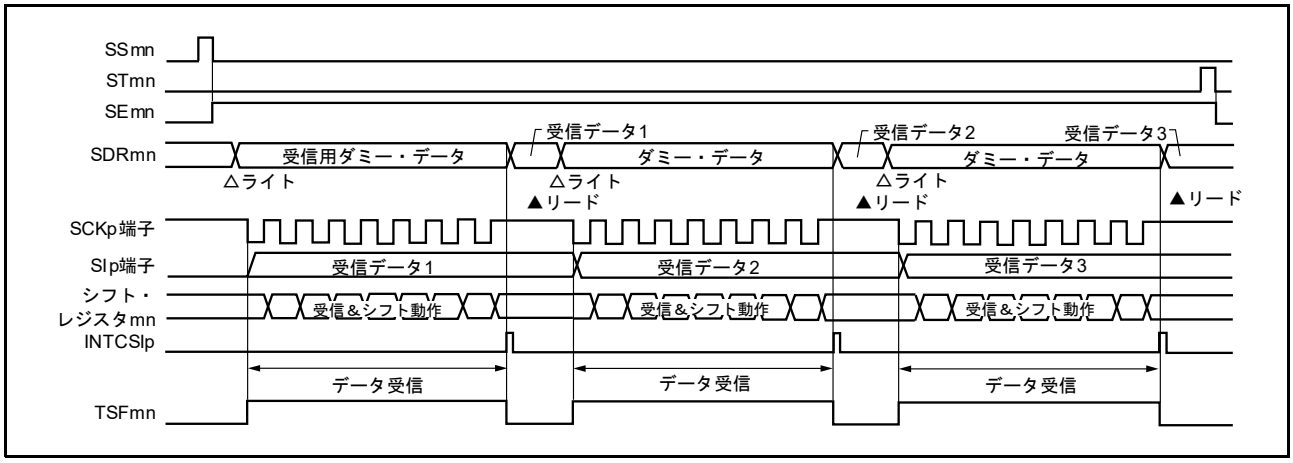
図11 - 37 マスタ受信の再開設定手順



備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

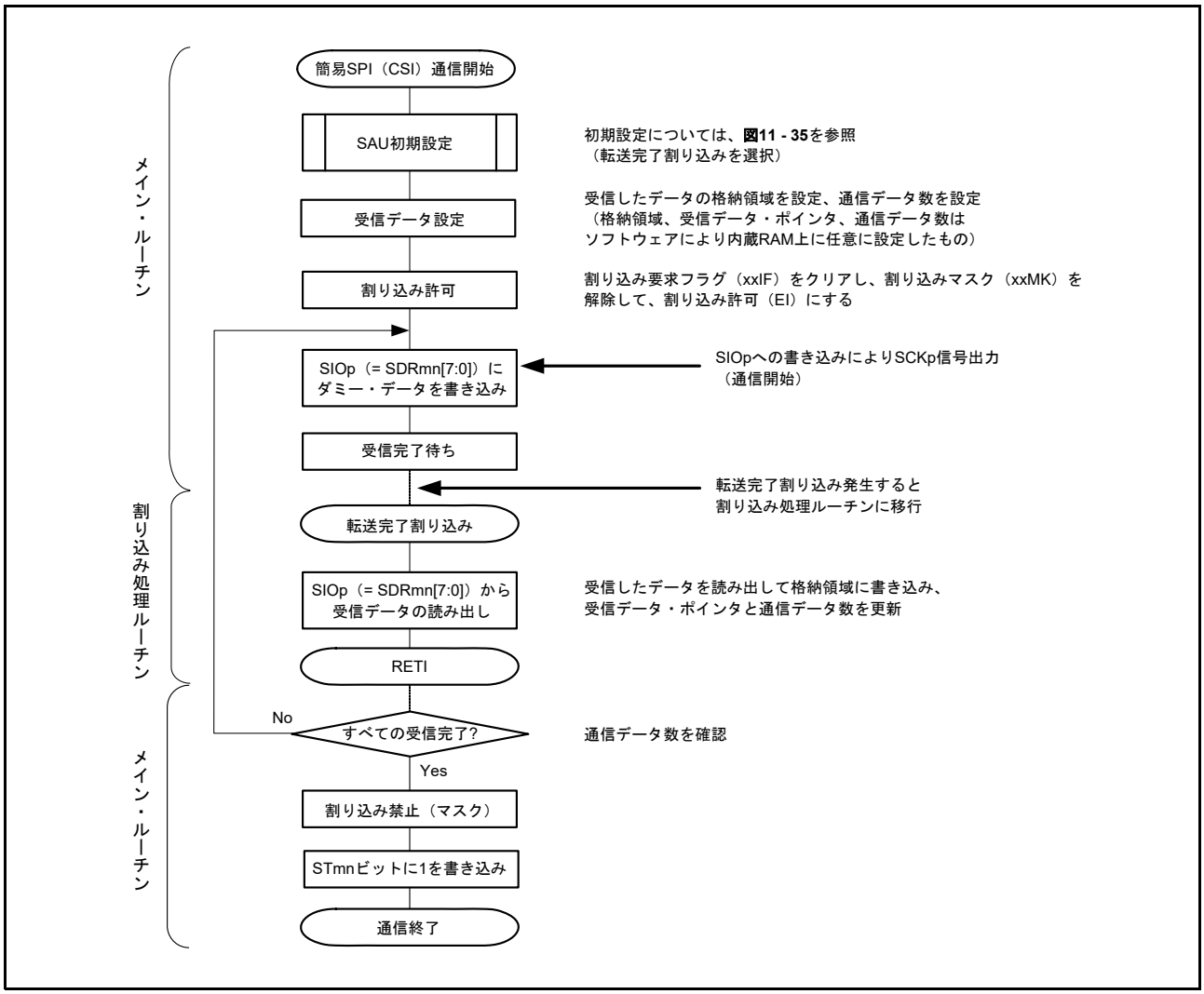
(3)　処理フロー（シングル受信モード時）

図11 - 38　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



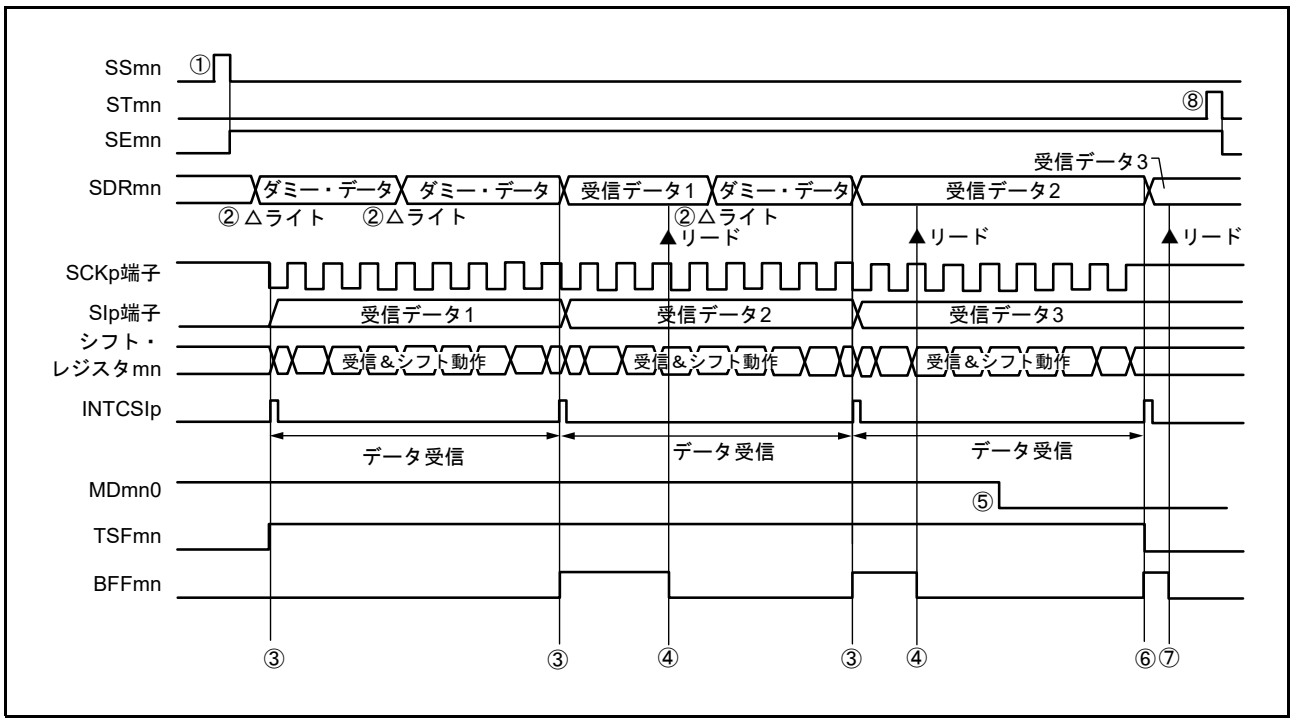
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

図11 - 39　マスタ受信（シングル受信モード時）のフロー・チャート



(4) 処理フロー（連続受信モード時）

図11 - 40 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

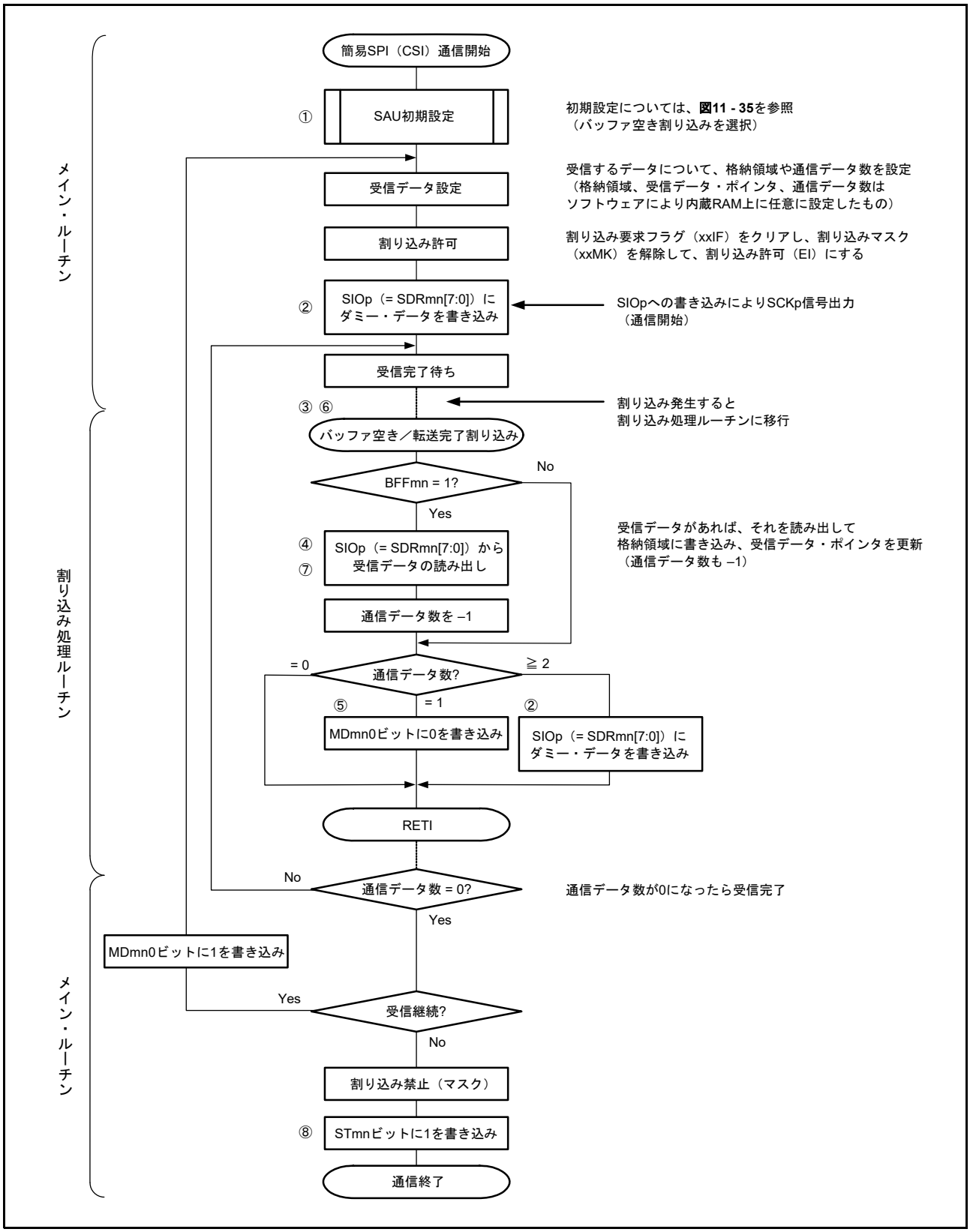


注意 MDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、**図11 - 41 マスタ受信（連続受信モード時）のフロー・チャート**の①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

図11 - 41 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①～⑧は、**図11 - 40 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑧に対応しています。

11.5.3　マスタ送受信

マスタ送受信とは、本製品が転送クロックを出力し、本製品とほかのデバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート**注**	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）、$f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz]　f_{CLK}：CPU／周辺ハードウェア・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

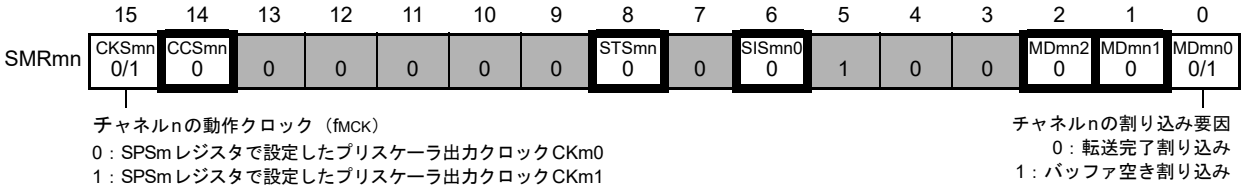
注　この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

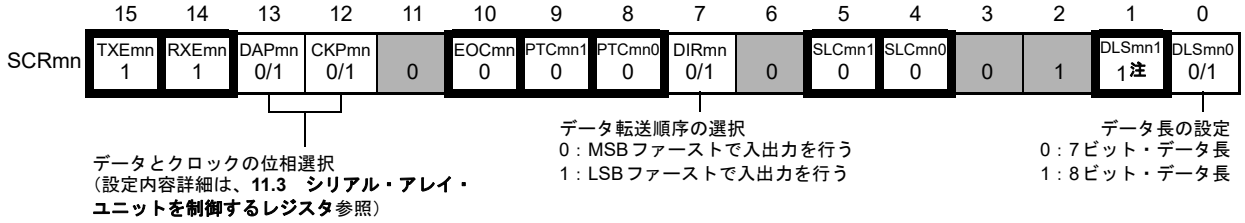
(1)　レジスタ設定

図11 - 42　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ送受信時のレジスタ設定内容例

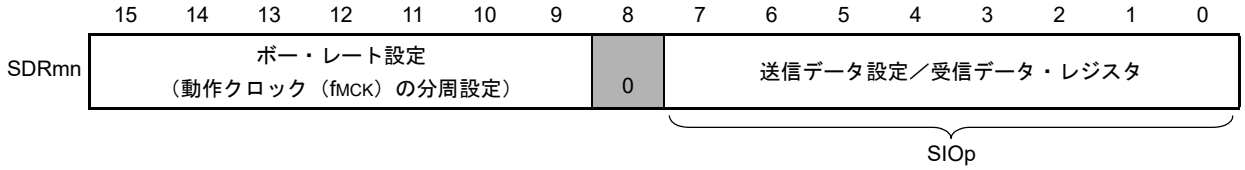
(a)　シリアル・モード・レジスタmn（SMRmn）



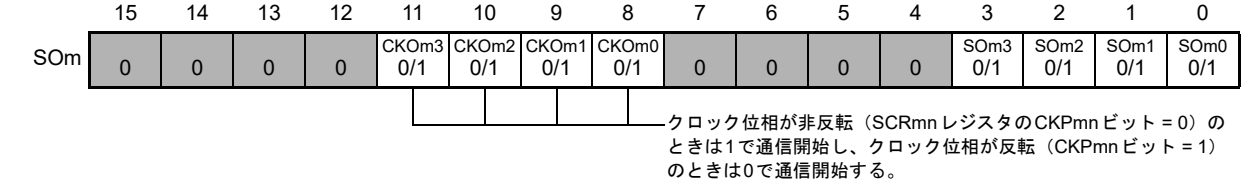
(b)　シリアル通信動作設定レジスタmn（SCRmn）



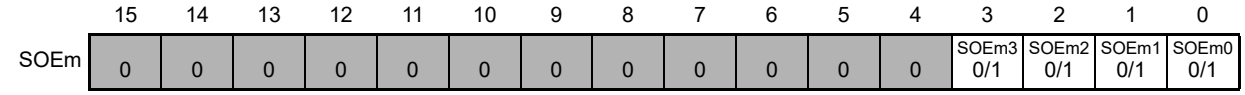
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



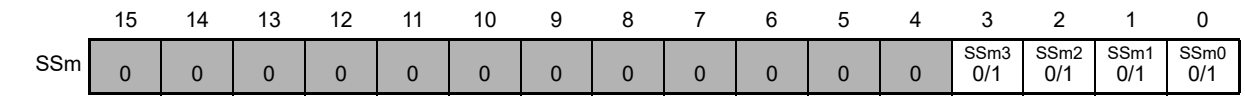
(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する



(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する



(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する



注　SCR00, SCR01レジスタのみ。その他は1固定になります。

（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

備考2. ■：簡易SPI（CSI）マスタ送受信モードでは設定固定、 ■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 43 マスタ送受信の初期設定手順

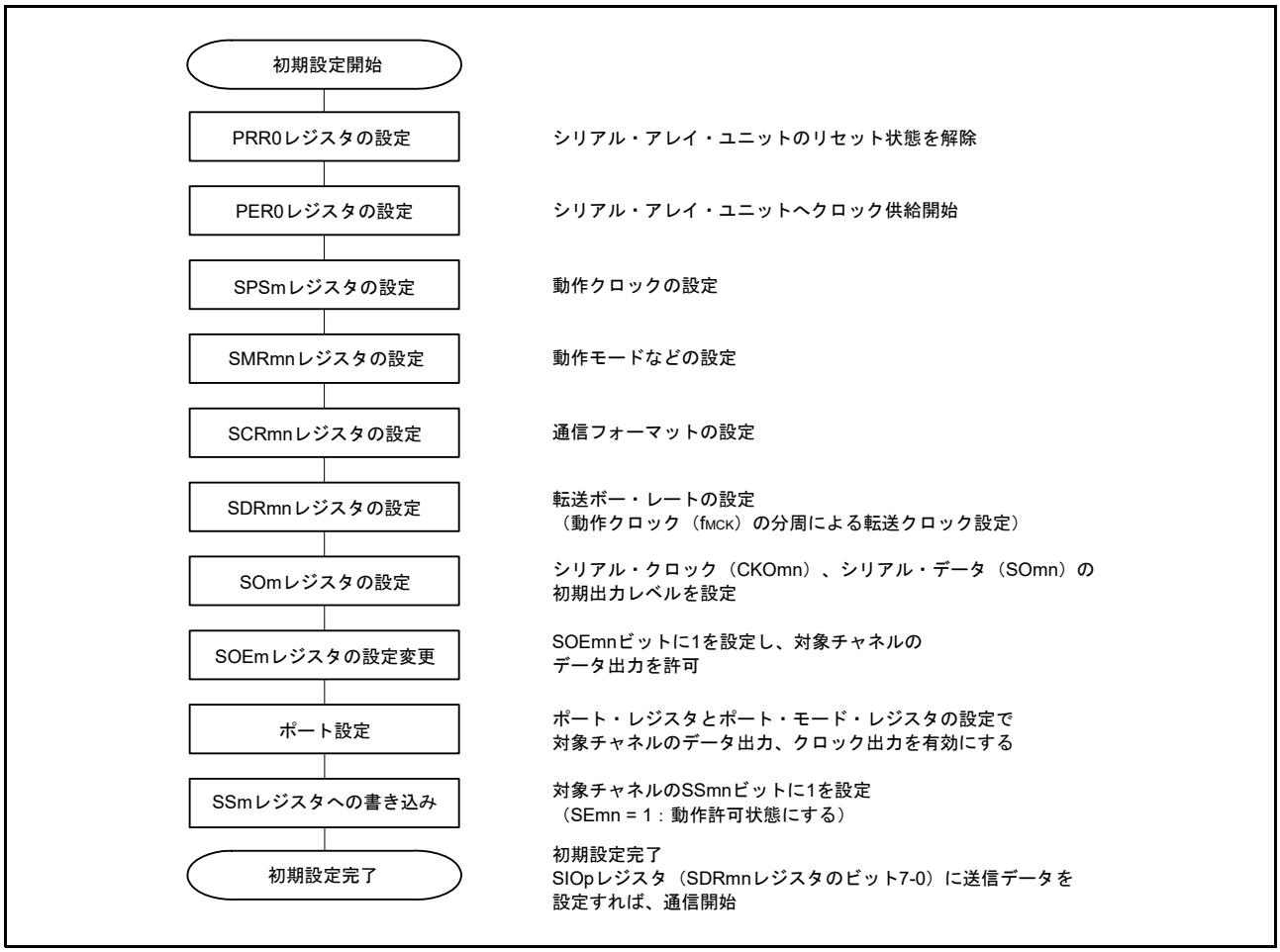


図11 - 44 マスタ送受信の中断手順

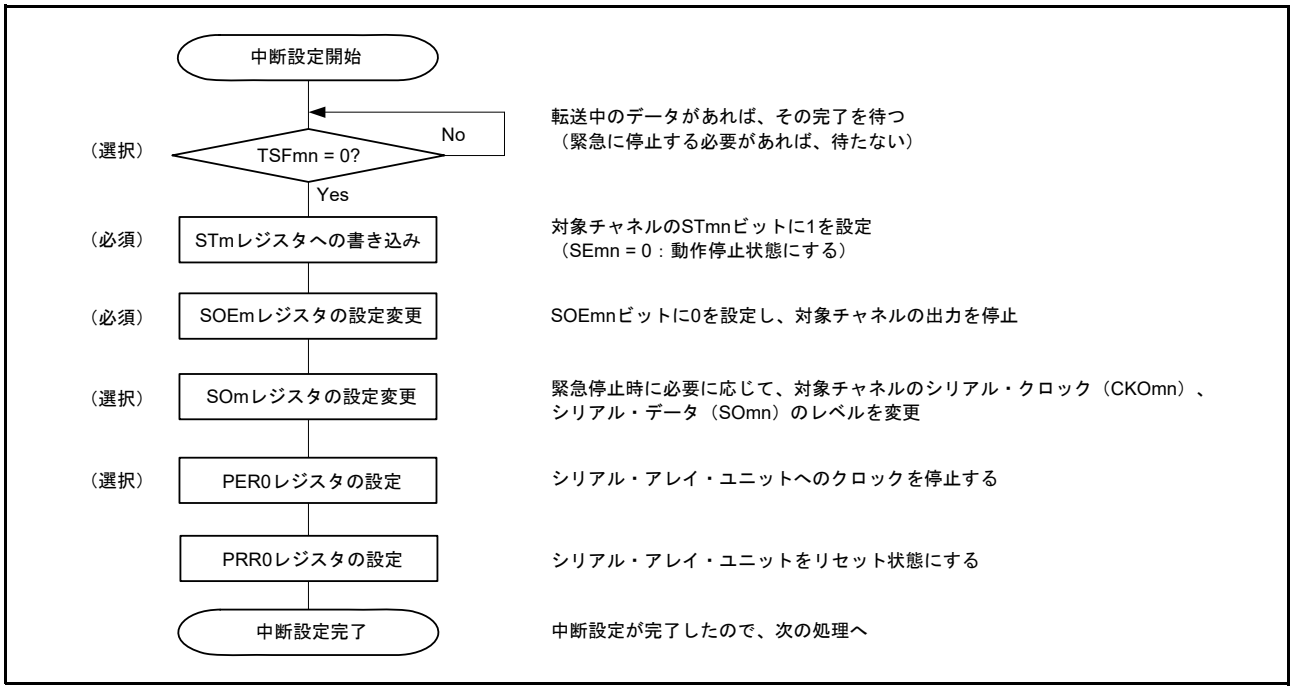
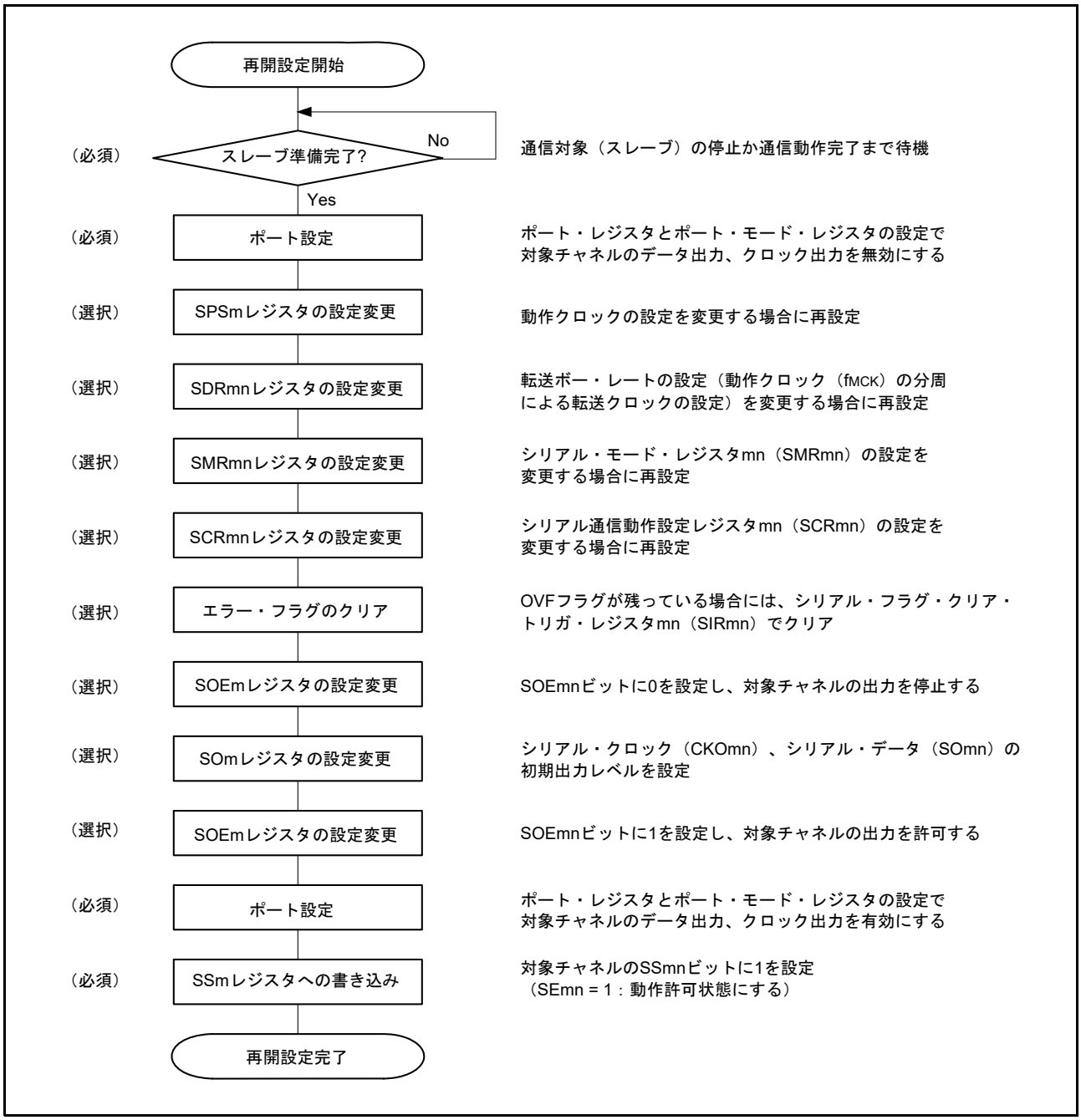
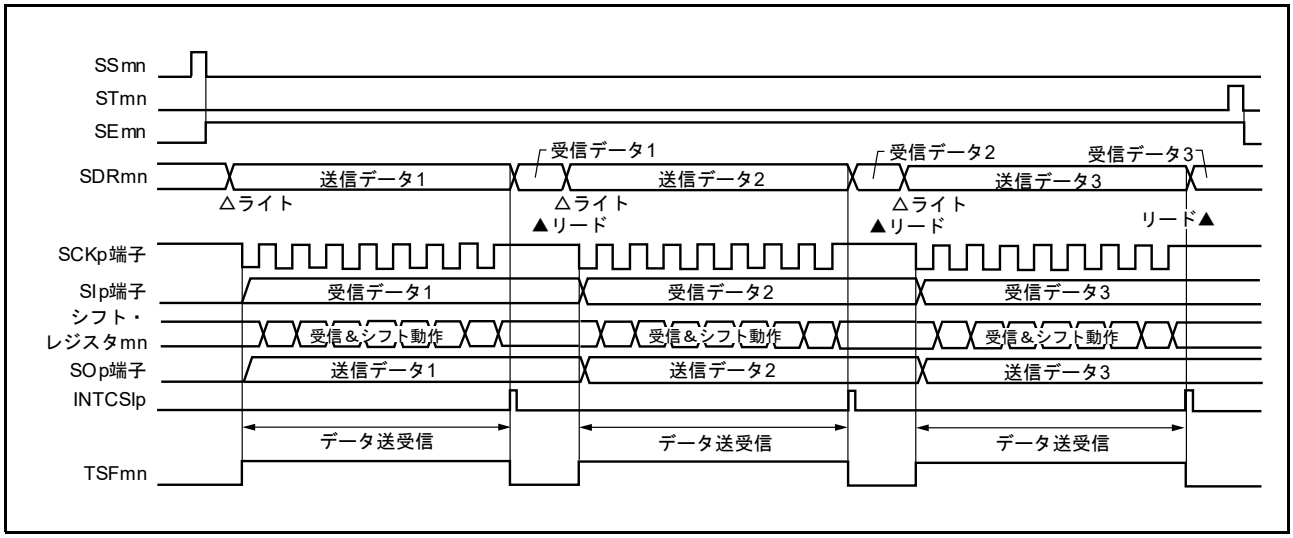


図11 - 45　マスタ送受信の再開設定手順



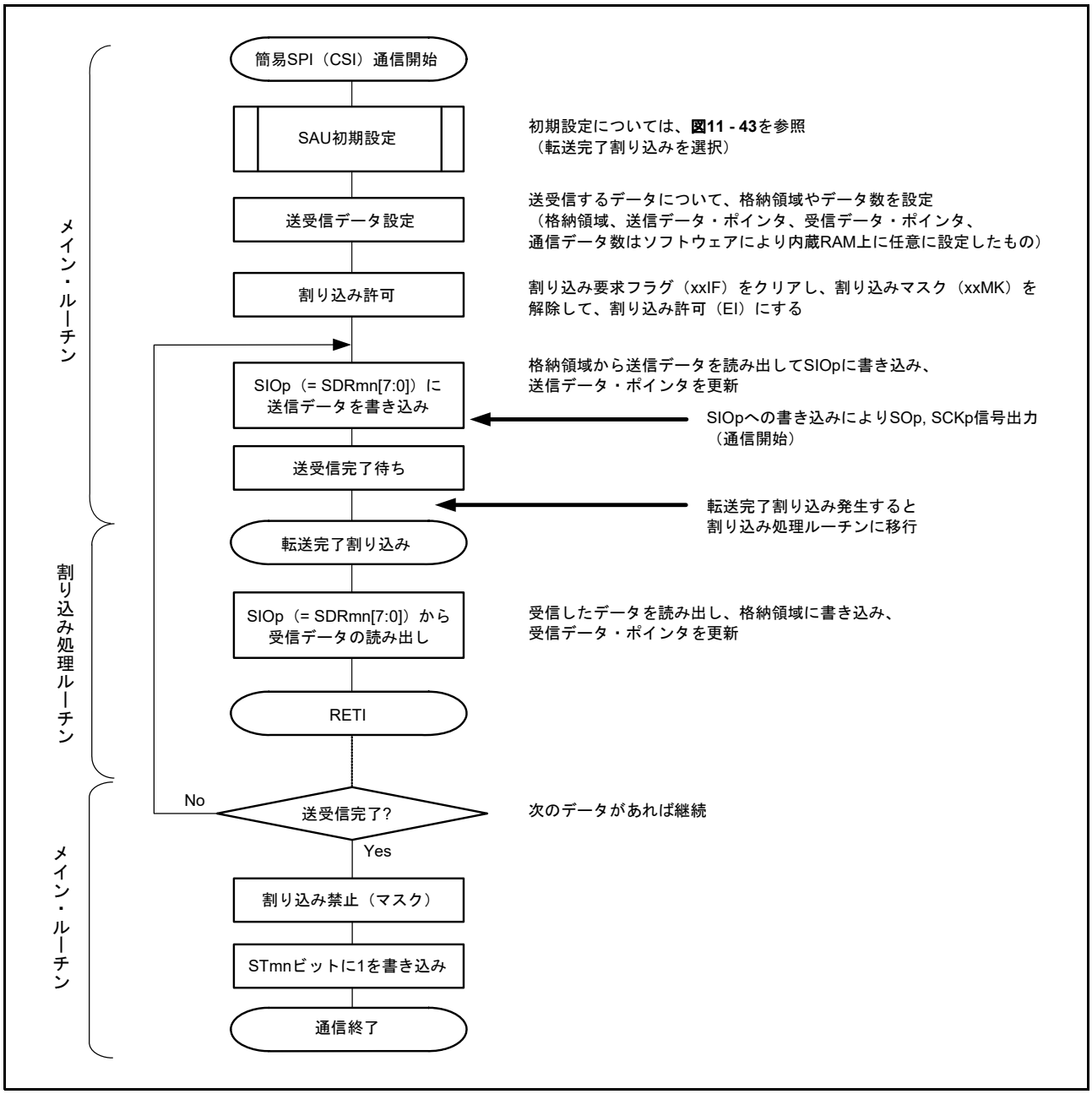
(3) 処理フロー（シングル送受信モード時）

図11 - 46 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



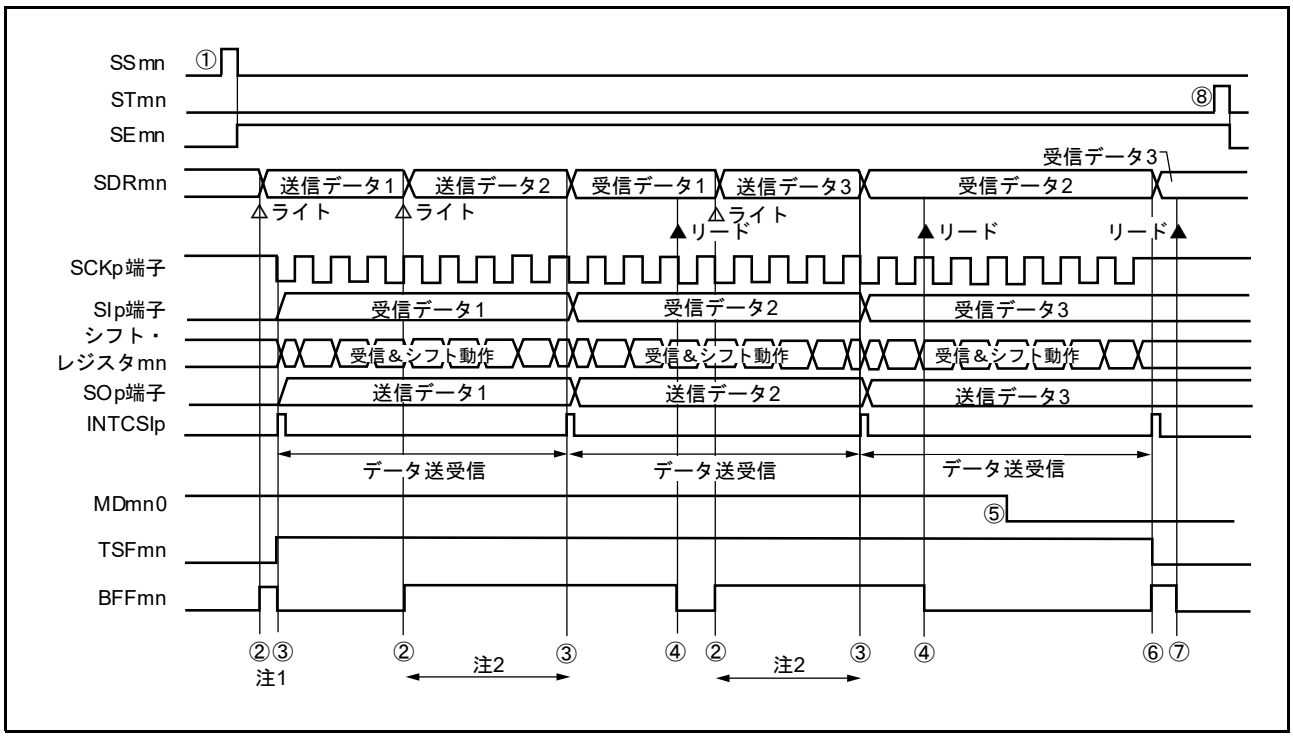
備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

図11 - 47　マスタ送受信（シングル送受信モード時）のフロー・チャート



(4)　処理フロー（連続送受信モード時）

図11 - 48　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

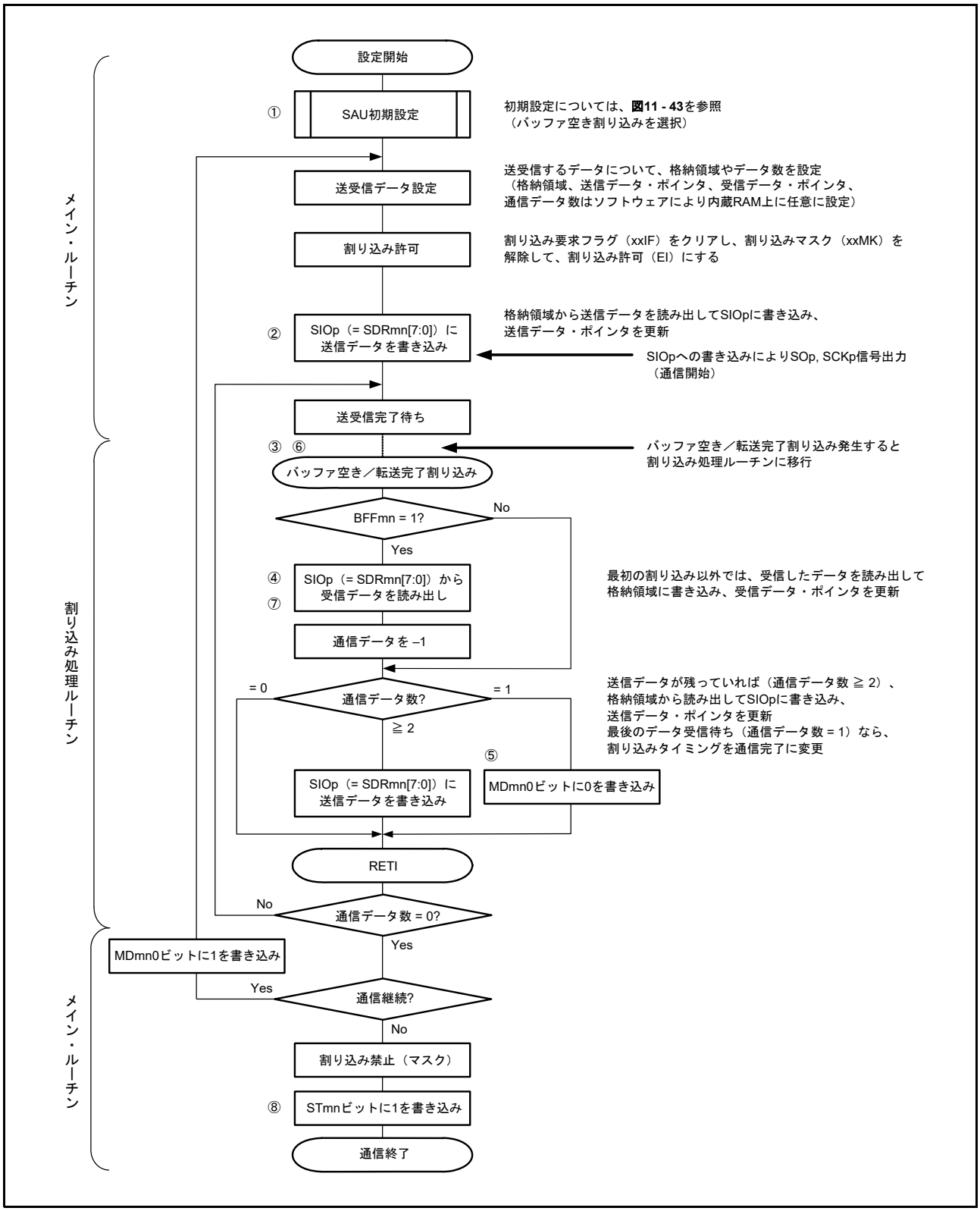
注2.　この期間にSDRmnレジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、**図11 - 49　マスタ送受信（連続送受信モード時）のフロー・チャート**の①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

図11 - 49　マスタ送受信（連続送受信モード時）のフロー・チャート



備考　図中の①～⑧は、**図11 - 48　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑧に対応しています。

11.5.4　スレーブ送信

スレーブ送信とは、ほかのデバイスから転送クロックを入力される状態で、本製品からほかのデバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. f_{MCK}/6 [Hz]**注1, 2**					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートはf_{MCK}/6 [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

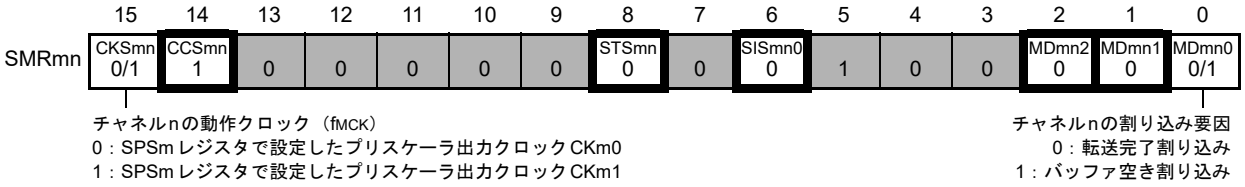
備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{SCK}：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

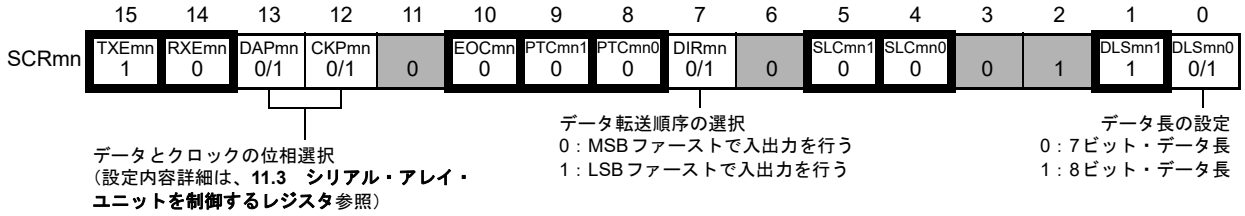
(1)　レジスタ設定

図11 - 50　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ送信時のレジスタ設定内容例

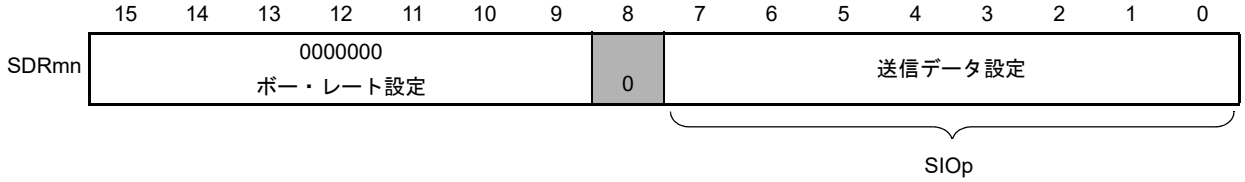
(a)　シリアル・モード・レジスタmn（SMRmn）



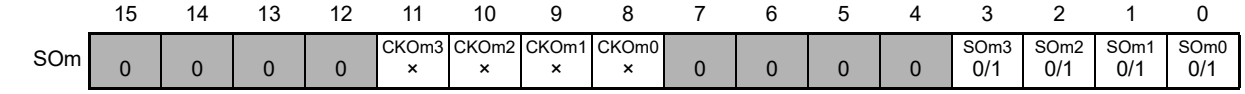
(b)　シリアル通信動作設定レジスタmn（SCRmn）



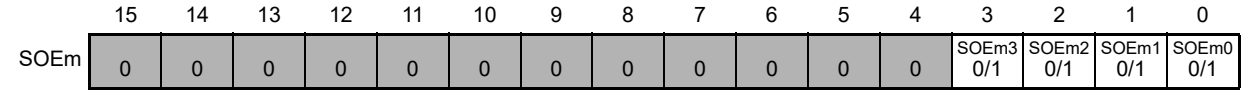
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



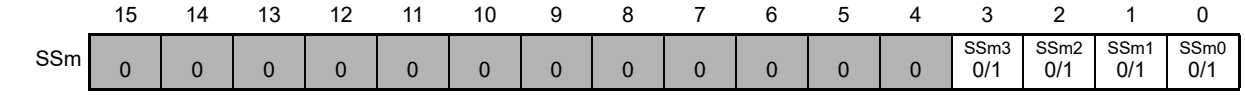
(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する



(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する



(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する



備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

備考2. ■：簡易SPI（CSI）スレーブ送信モードでは設定固定、▒：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 51 スレーブ送信の初期設定手順

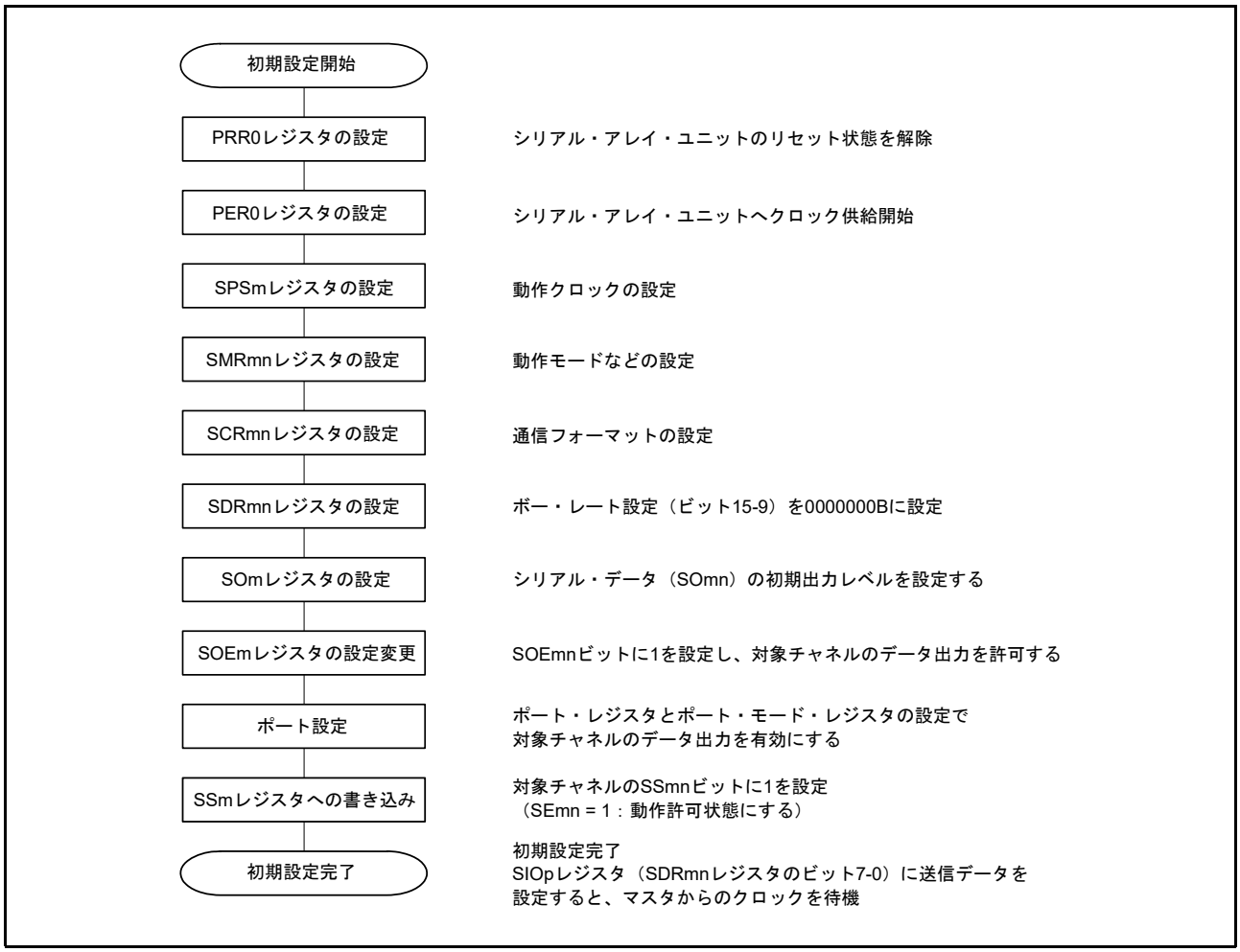


図11 - 52 スレーブ送信の中断手順

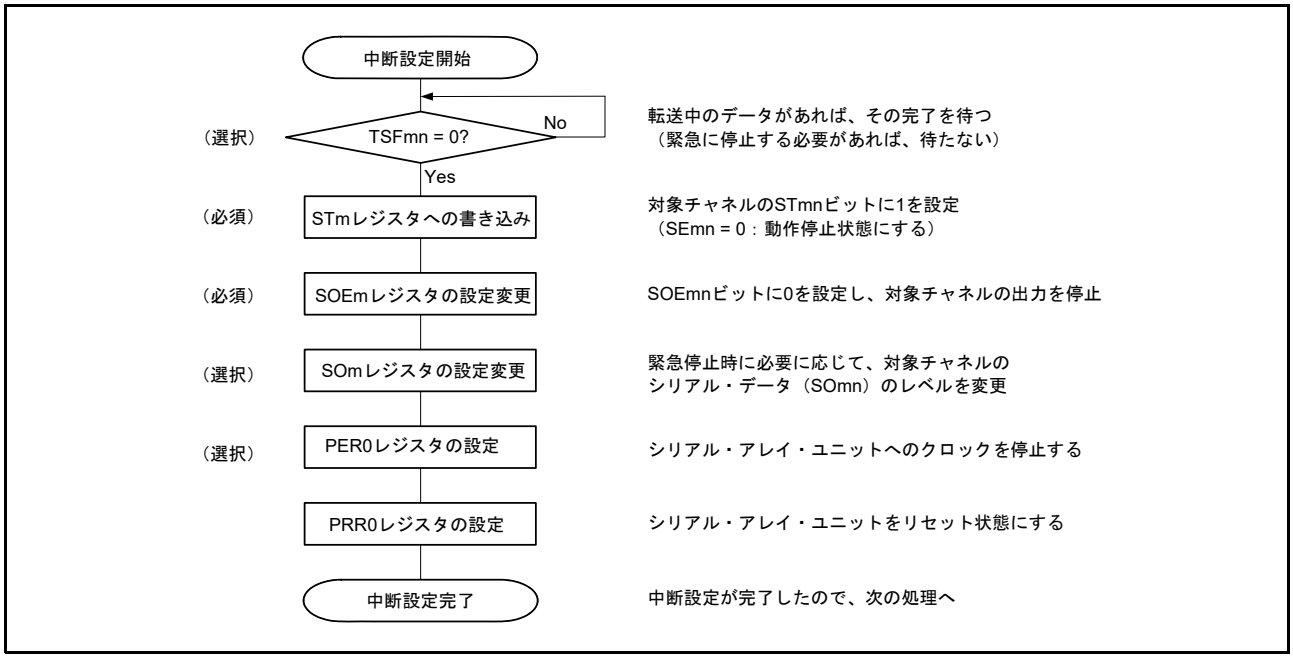
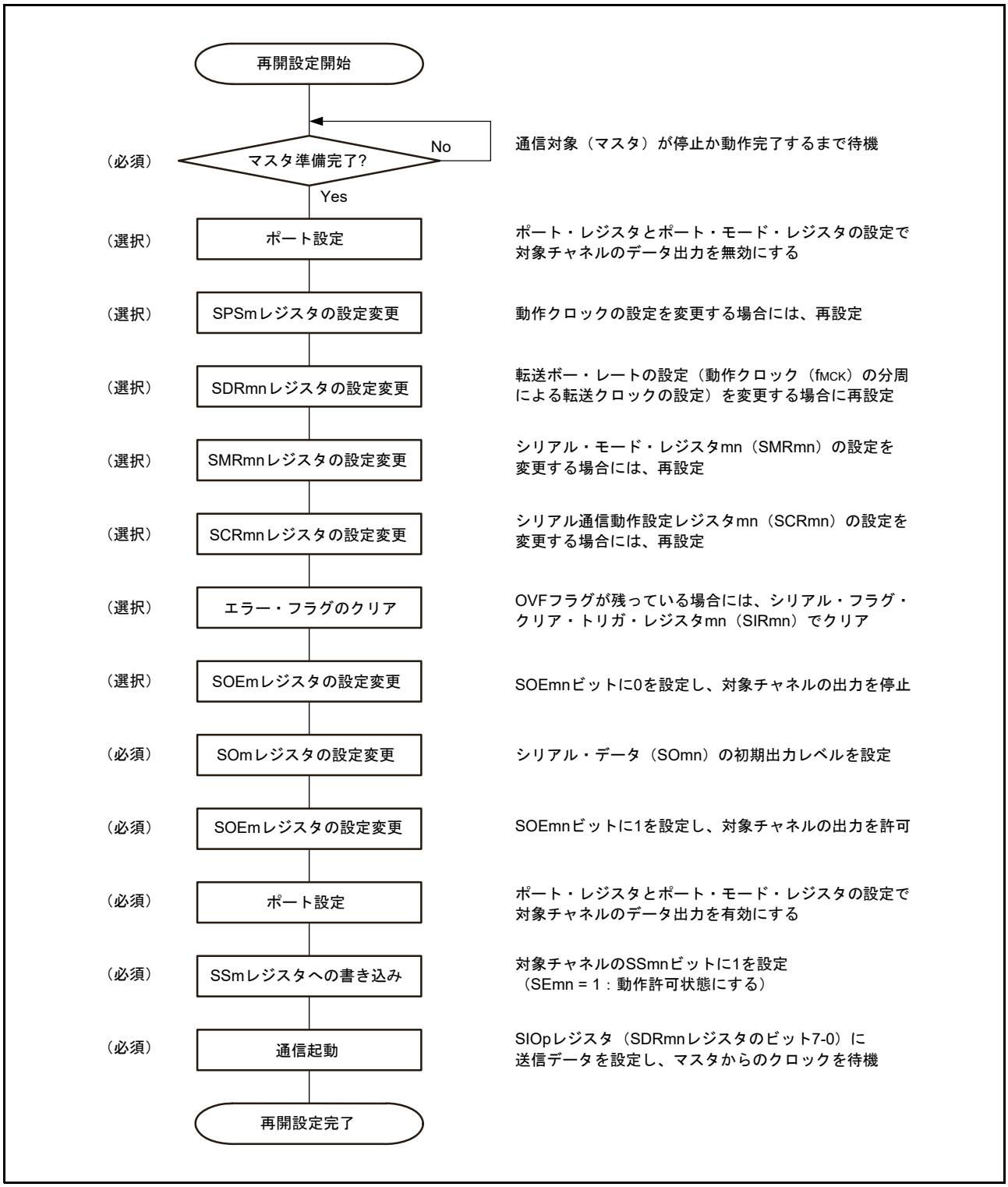


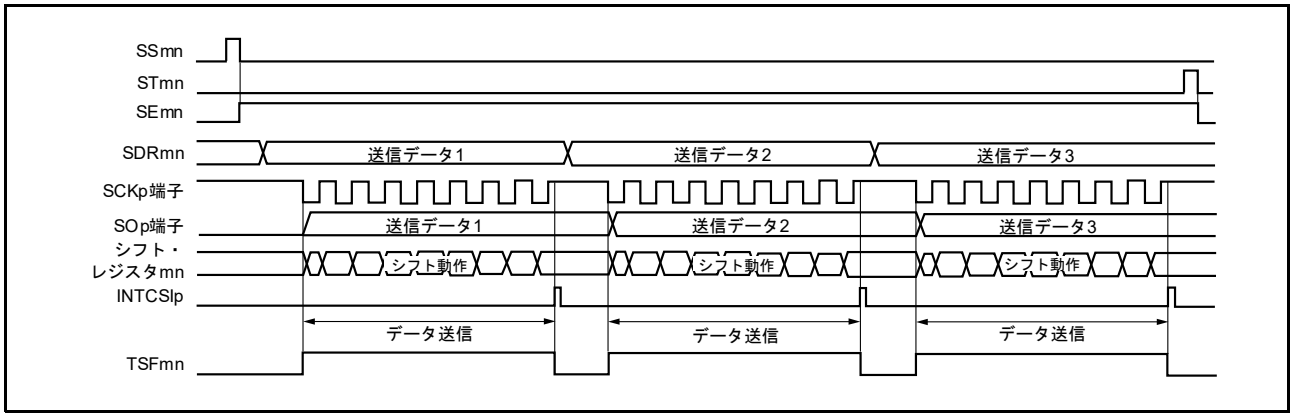
図11 - 53　スレーブ送信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

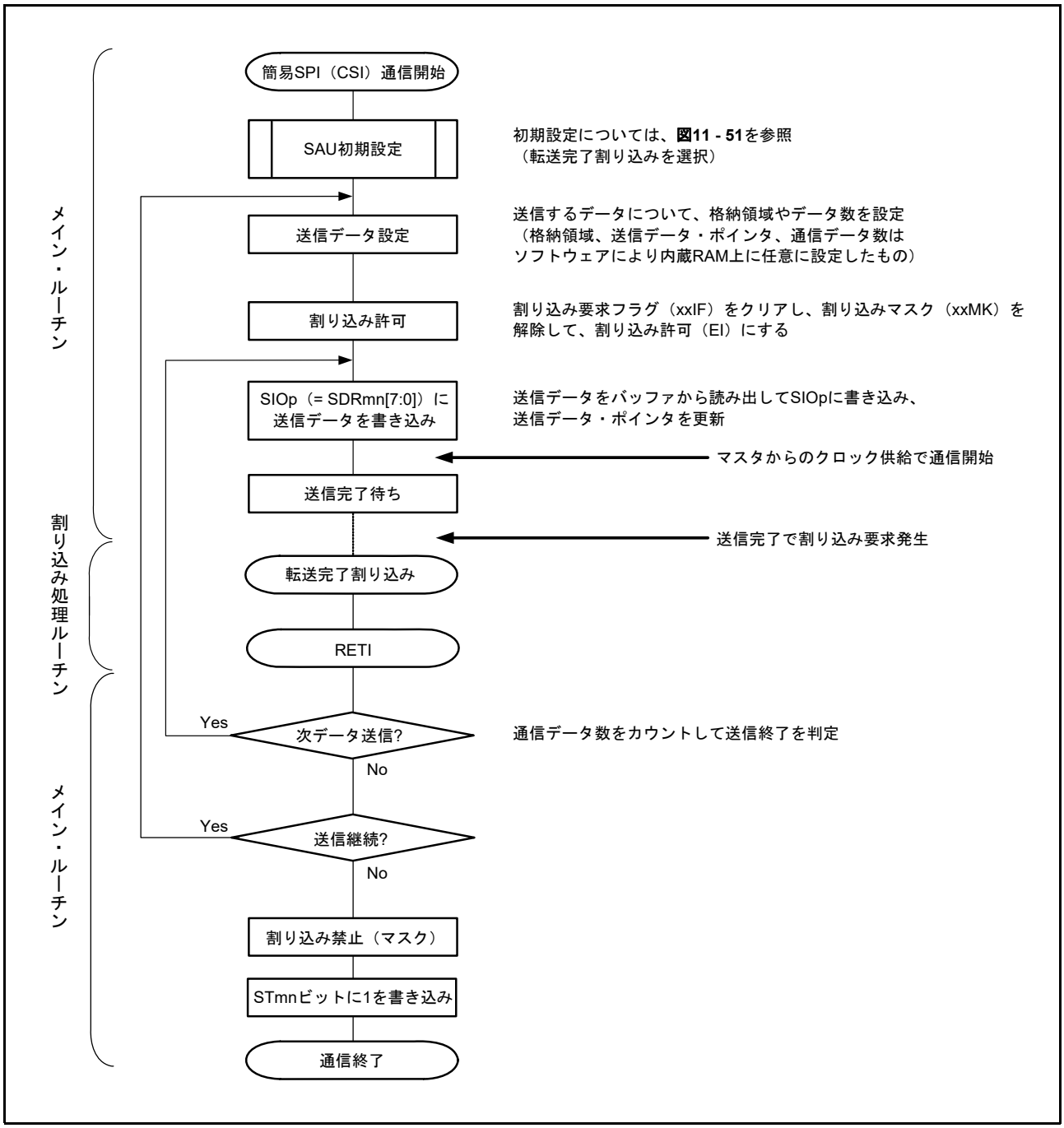
(3)　処理フロー（シングル送信モード時）

図11 - 54　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



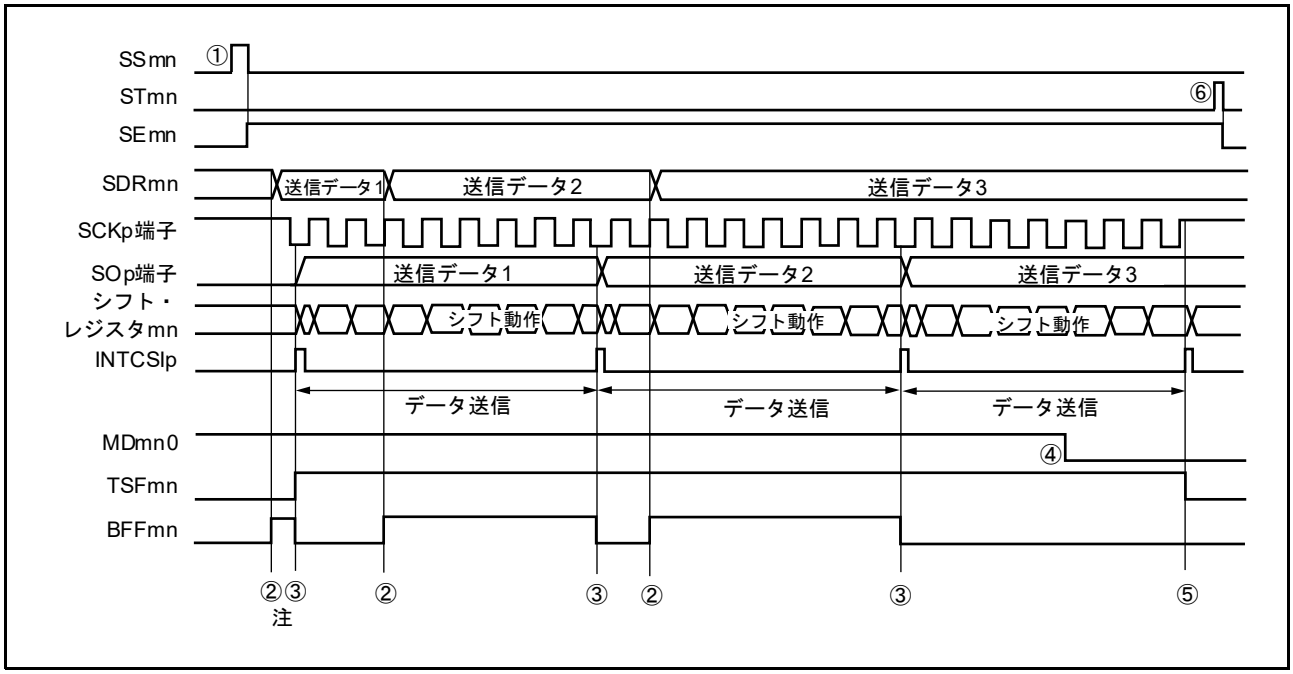
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

図11 - 55　スレーブ送信（シングル送信モード時）のフロー・チャート



(4)　処理フロー（連続送信モード時）

図11 - 56　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

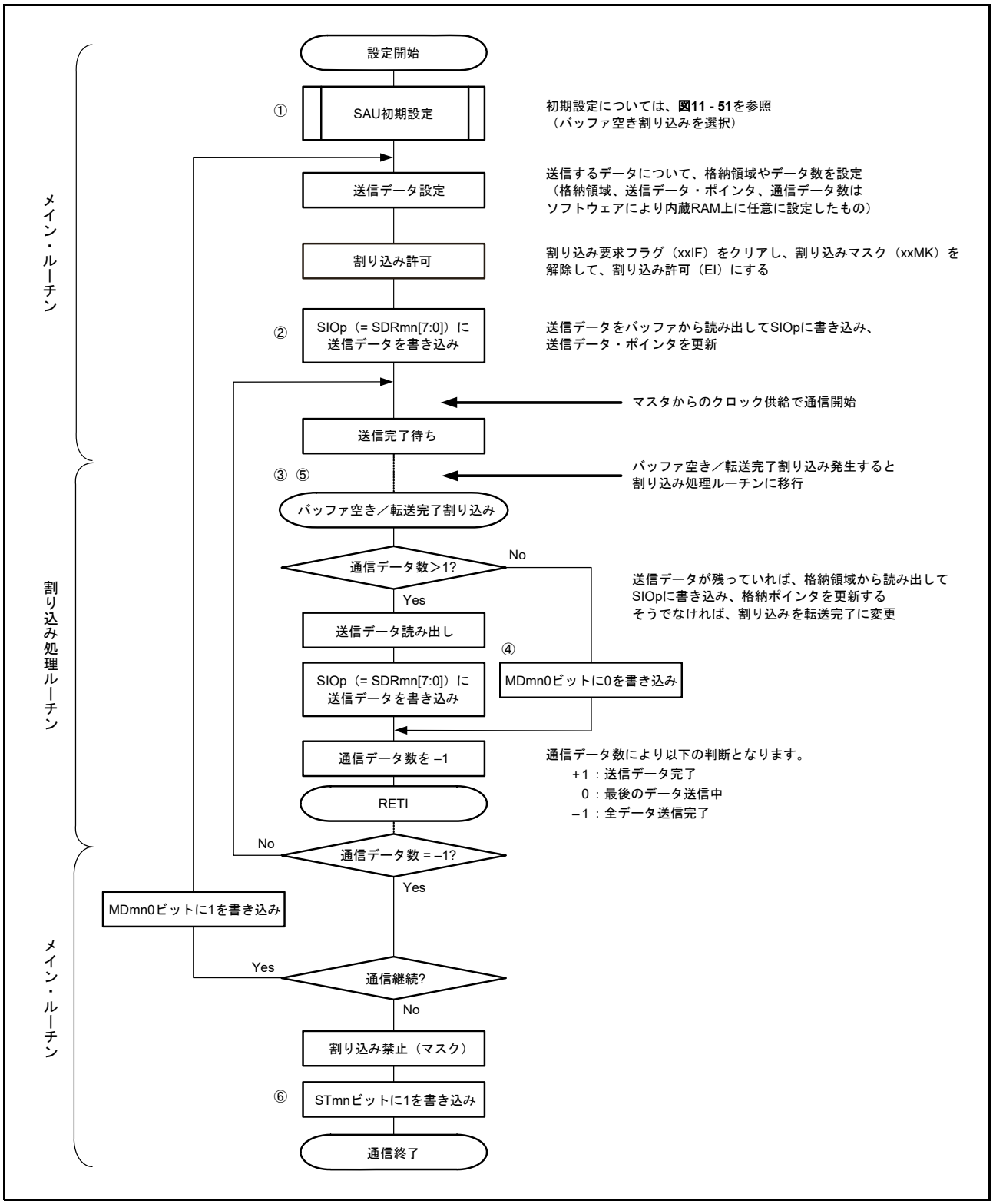


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

図11 - 57　スレーブ送信（連続送信モード時）のフロー・チャート



備考　図中の①～⑥は、**図11 - 56　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑥に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、ほかのデバイスから転送クロックを入力される状態で、本製品がほかのデバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. f_{MCK}/6 [Hz]注1, 2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートはf_{MCK}/6 [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第28章 電気的特性**参照）を満たす範囲内で使用してください。

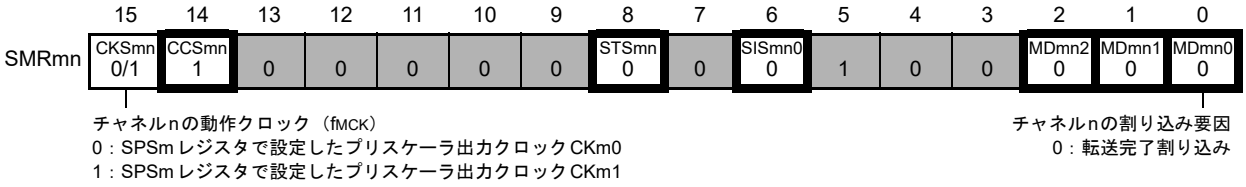
備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{SCK}：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

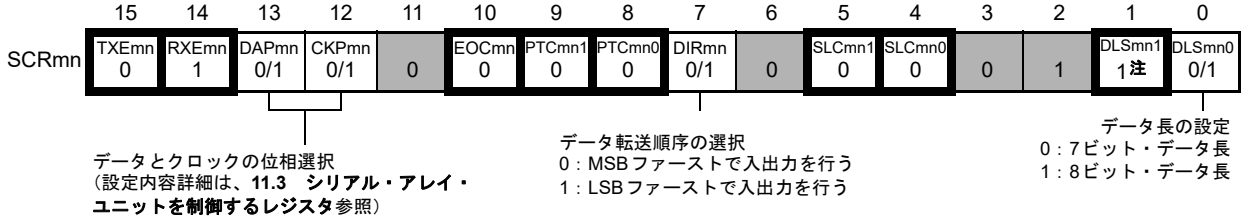
(1)　レジスタ設定

図11 - 58　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ受信時のレジスタ設定内容例

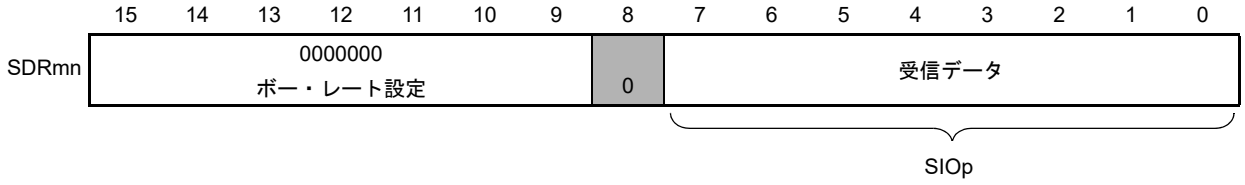
(a)　シリアル・モード・レジスタmn（SMRmn）



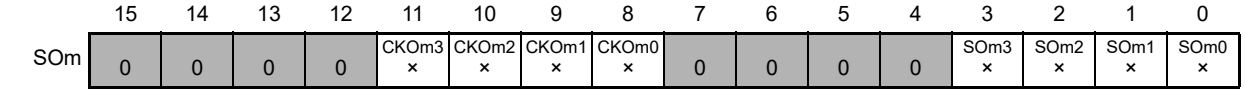
(b)　シリアル通信動作設定レジスタmn（SCRmn）



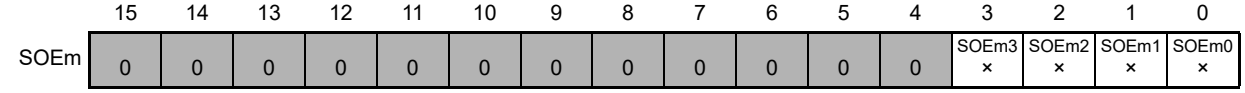
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



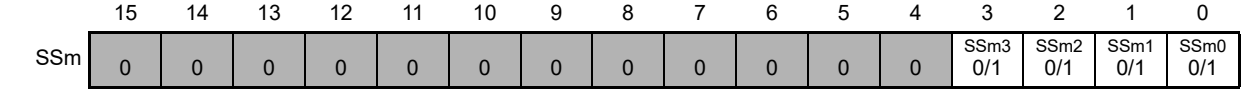
(d)　シリアル出力レジスタm（SOm）：このモードでは使用しない



(e)　シリアル出力許可レジスタm（SOEm）：このモードでは使用しない



(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する



注　　SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

備考2. ■：簡易SPI（CSI）スレーブ受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 59 スレーブ受信の初期設定手順

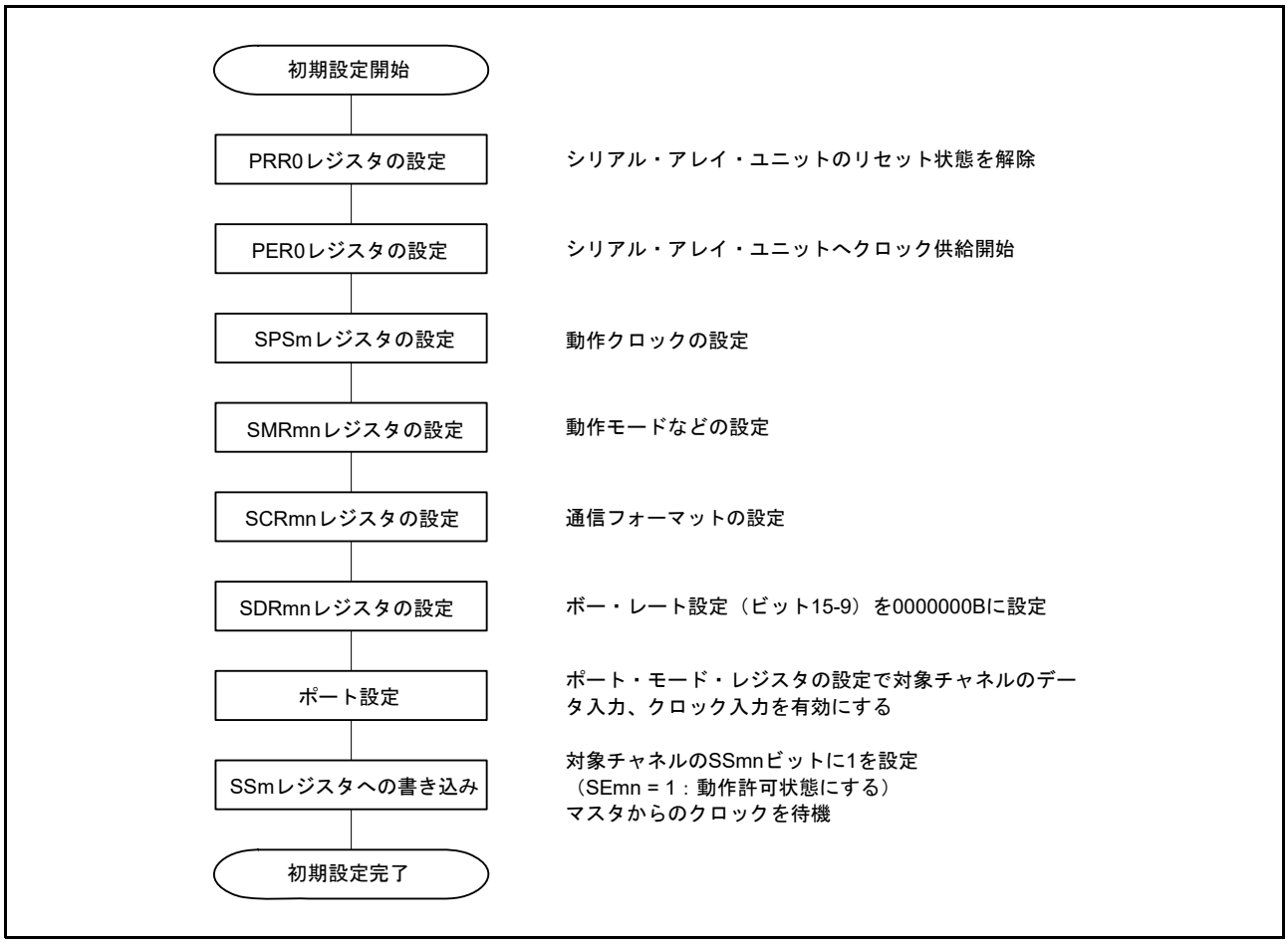


図11 - 60 スレーブ受信の中断手順

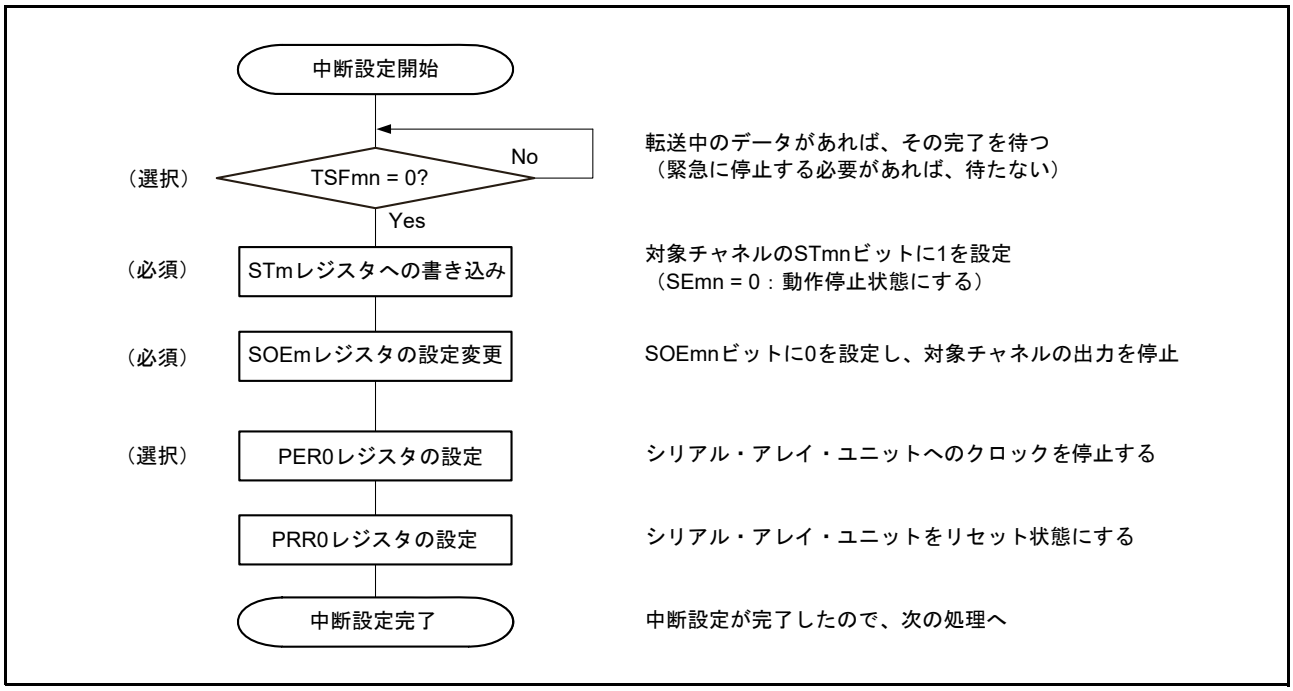
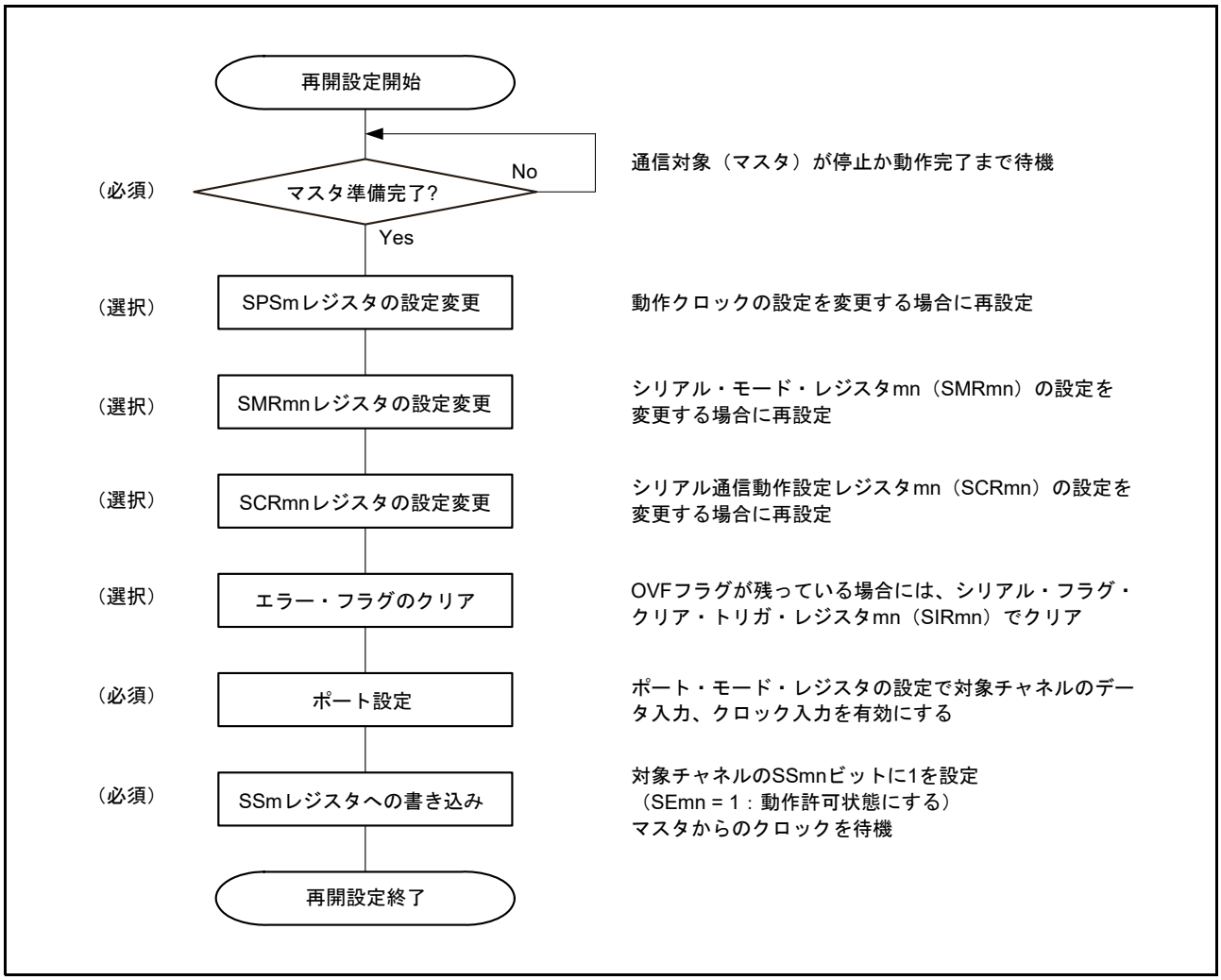


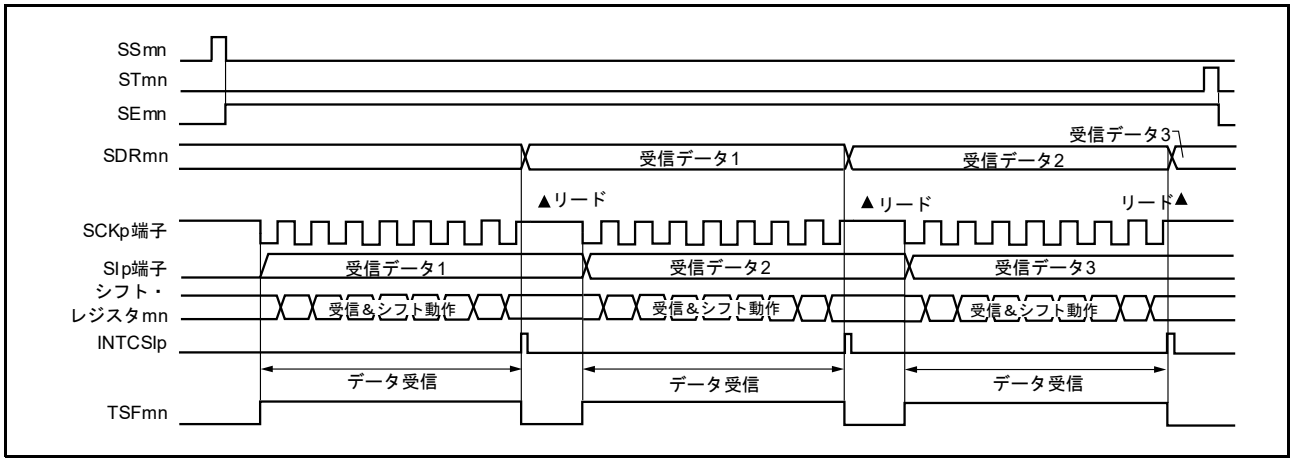
図11 - 61　スレーブ受信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

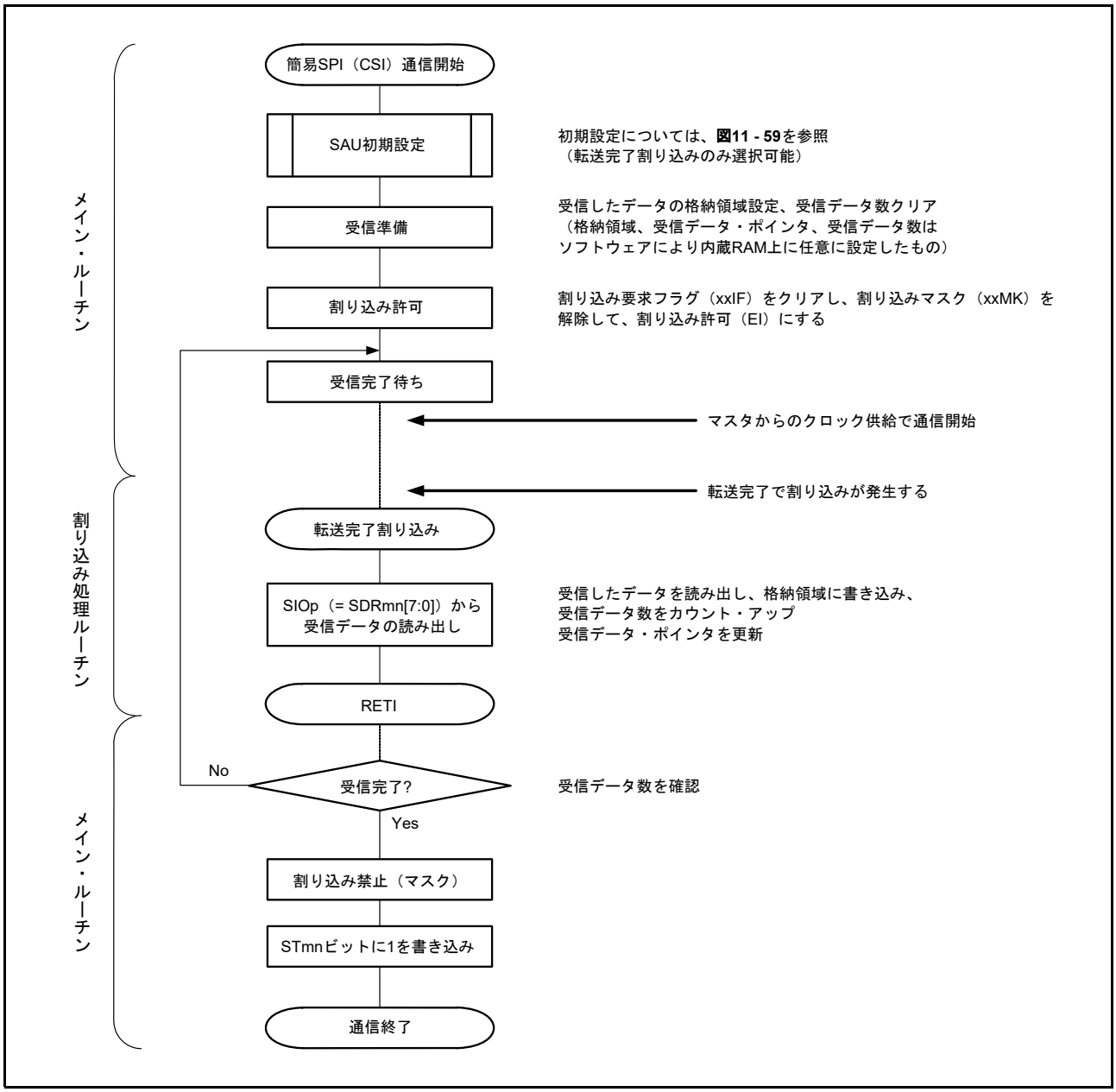
(3) 処理フロー（シングル受信モード時）

図11 - 62 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

図11 - 63　スレーブ受信（シングル受信モード時）のフロー・チャート



11.5.6　スレーブ送受信

スレーブ送受信とは、ほかのデバイスから転送クロックを入力される状態で、本製品とほかのデバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. f_{MCK}/6 [Hz]**注1, 2**					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートはf_{MCK}/6 [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

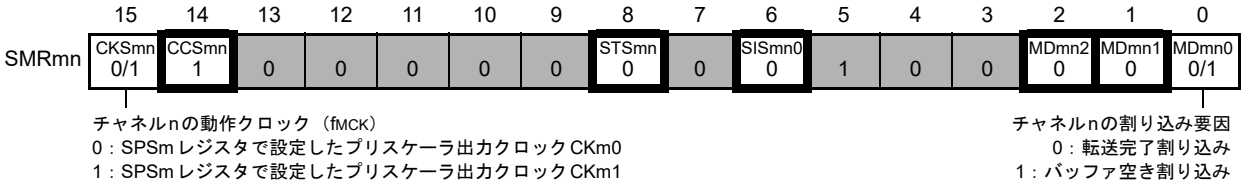
備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{SCK}：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

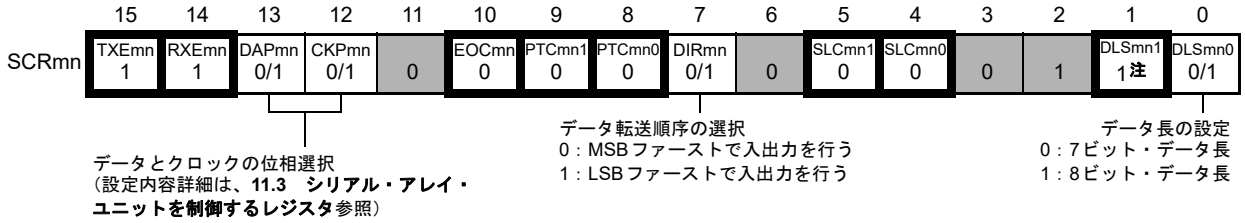
(1)　レジスタ設定

図11 - 64　簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ送受信時のレジスタ設定内容例

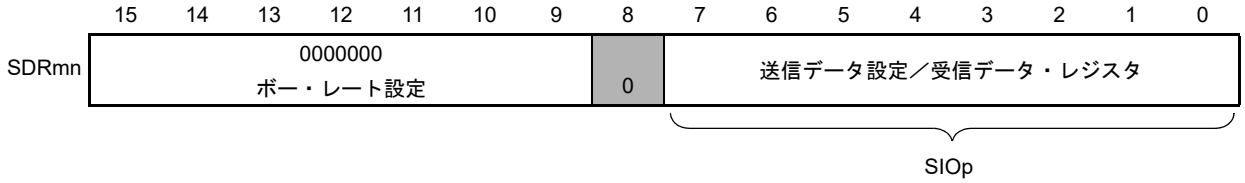
(a)　シリアル・モード・レジスタmn（SMRmn）



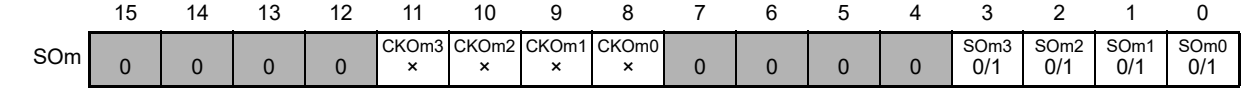
(b)　シリアル通信動作設定レジスタmn（SCRmn）



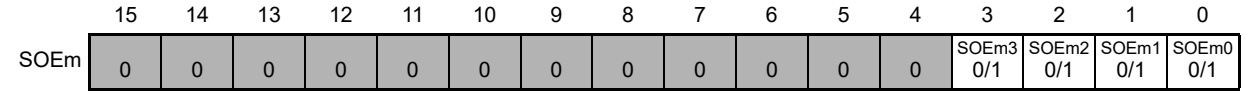
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）



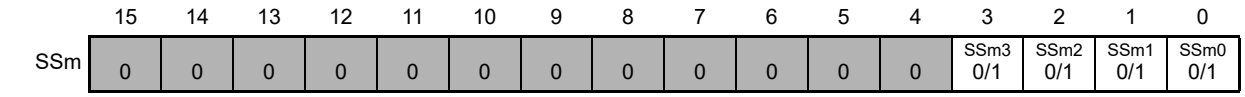
(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する



(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する



(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する



注　　SCR00, SCR01レジスタのみ。その他は1固定になります。

注意　マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

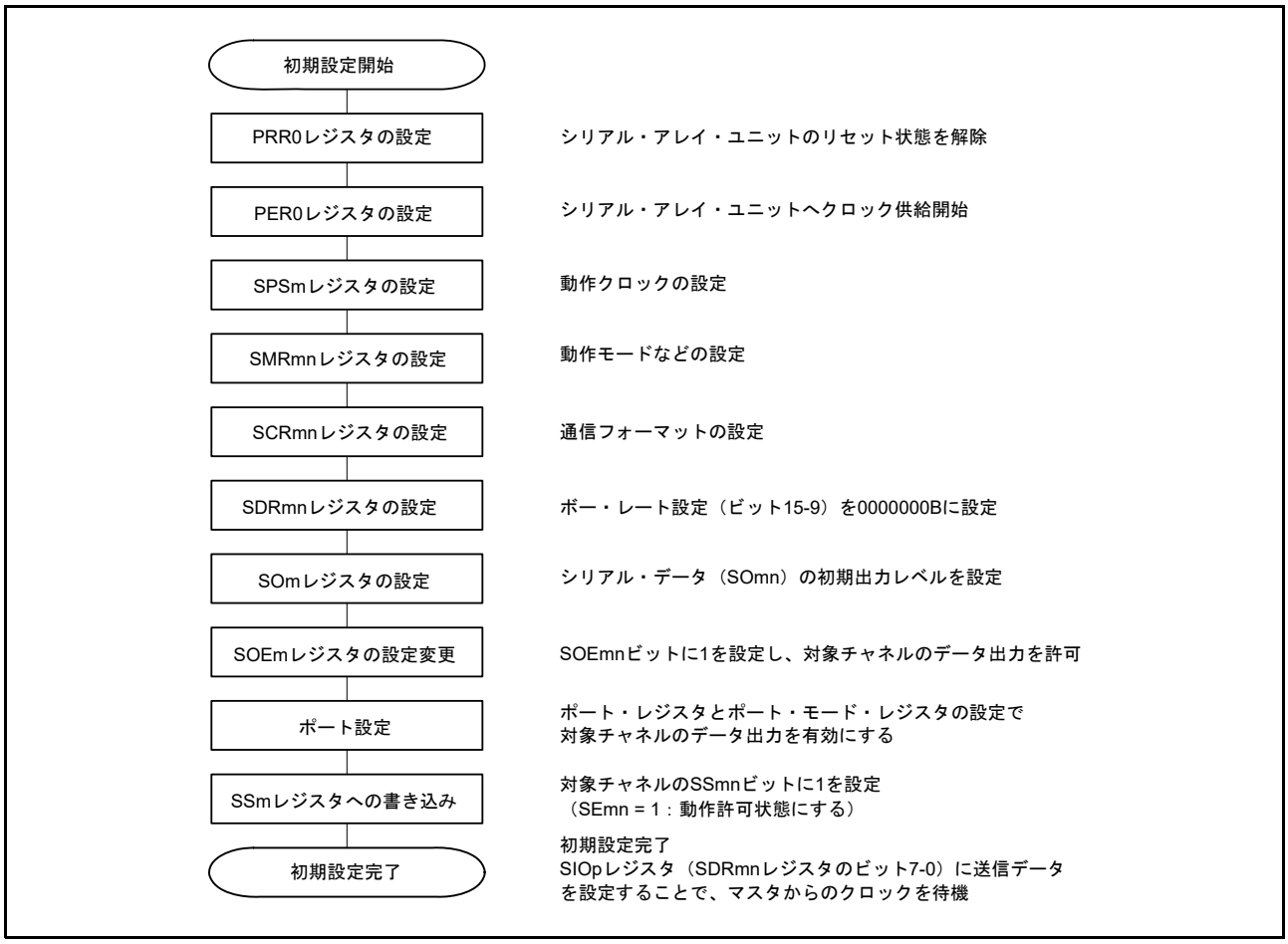
（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

備考2. ■：簡易SPI（CSI）スレーブ送受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 65 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図11 - 66 スレーブ送受信の中断手順

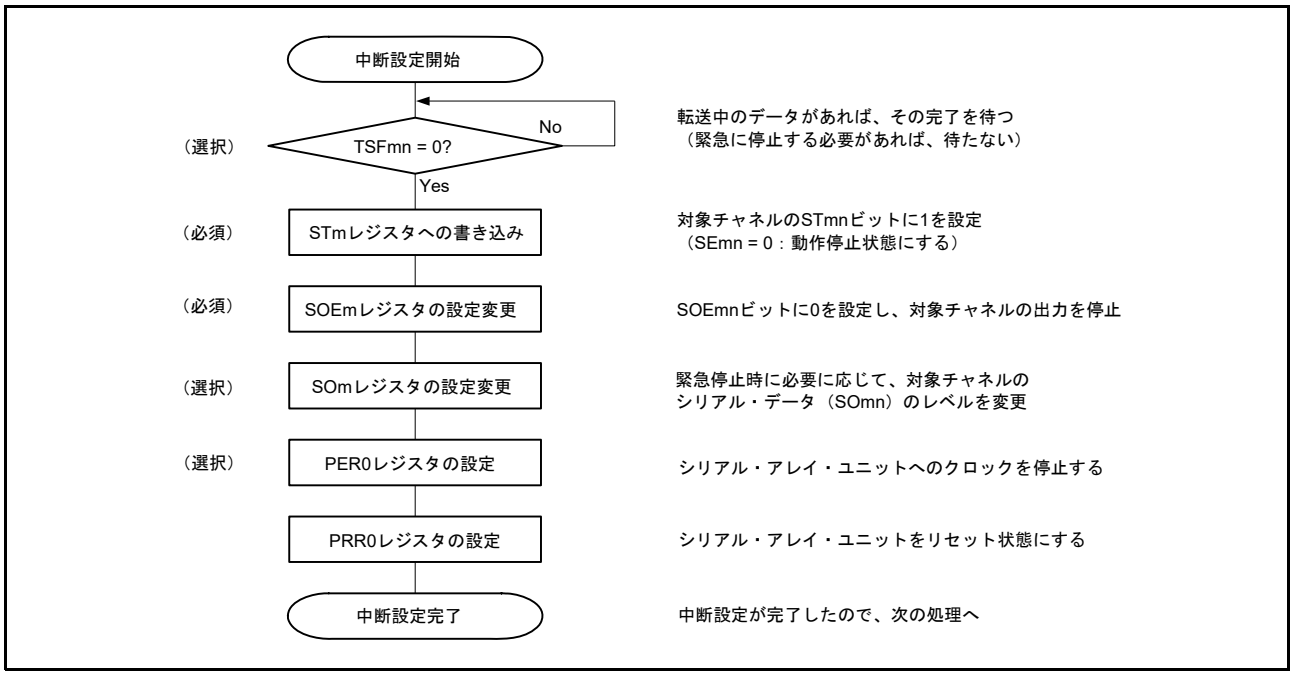
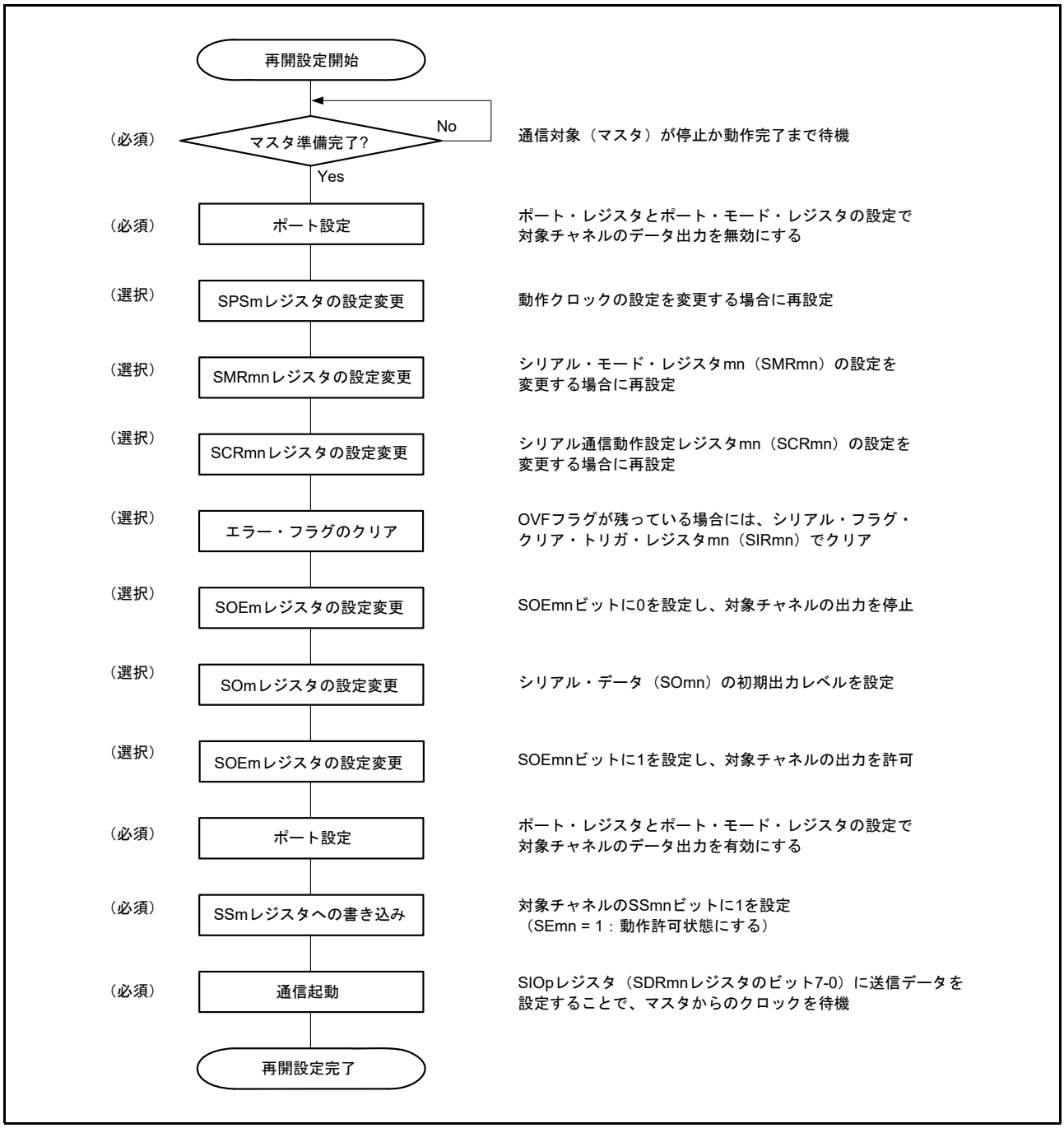


図11 - 67 スレーブ送受信の再開設定手順

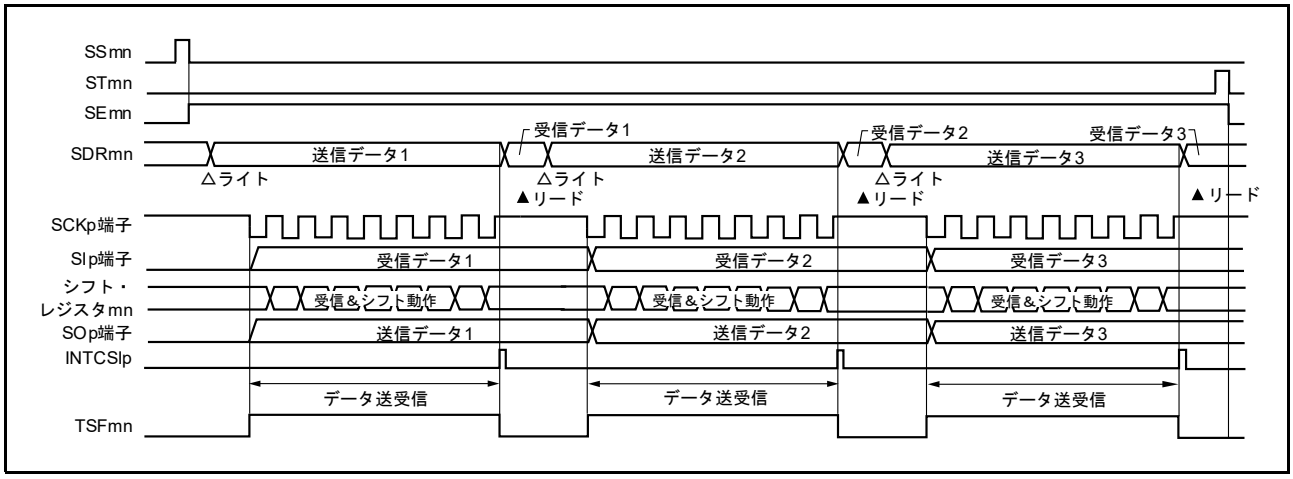


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

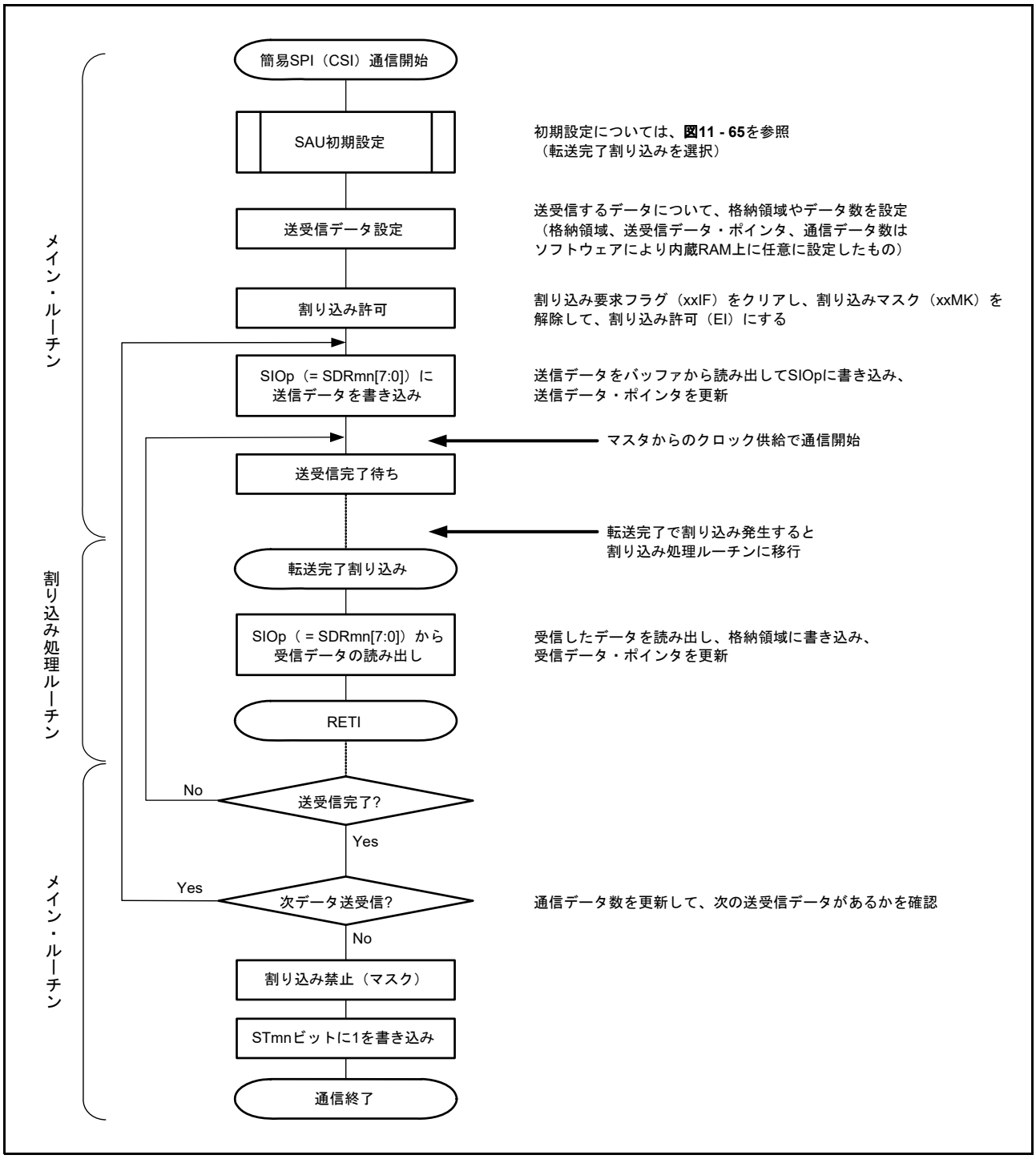
(3) 処理フロー（シングル送受信モード時）

図11 - 68 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

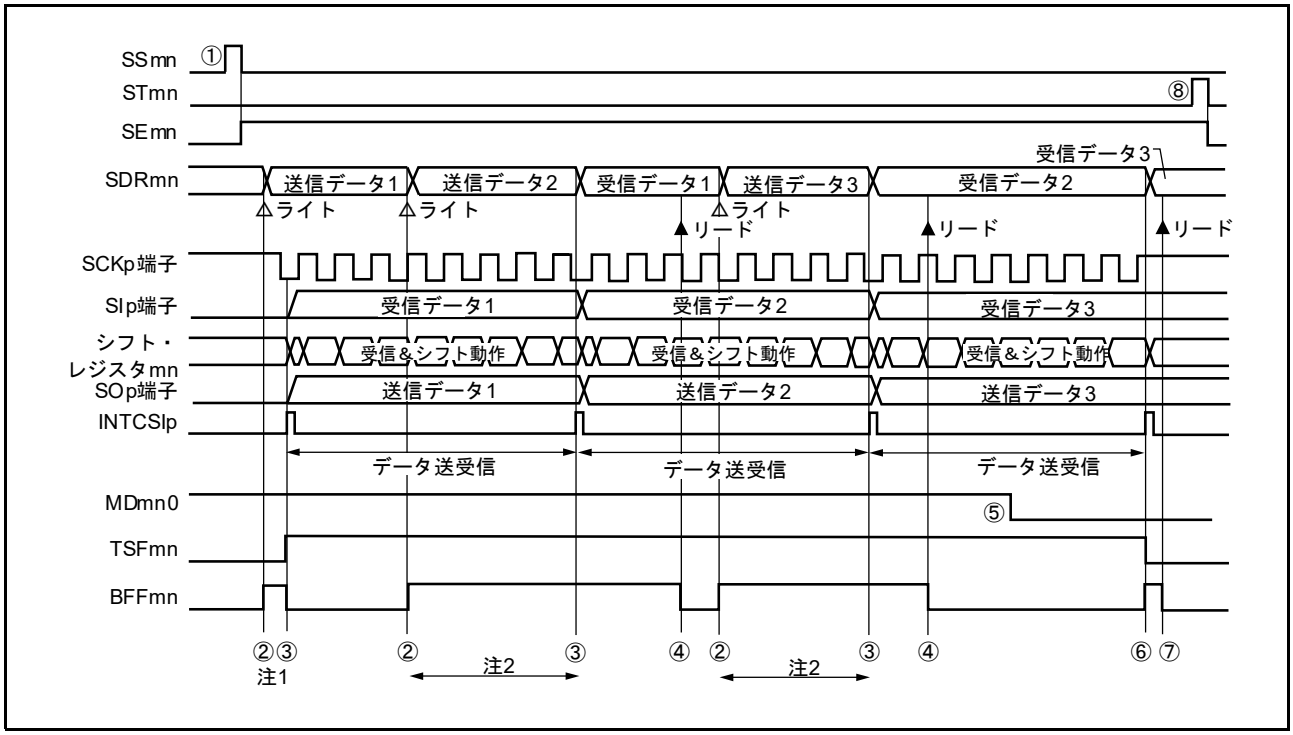
図11 - 69 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図11 - 70 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

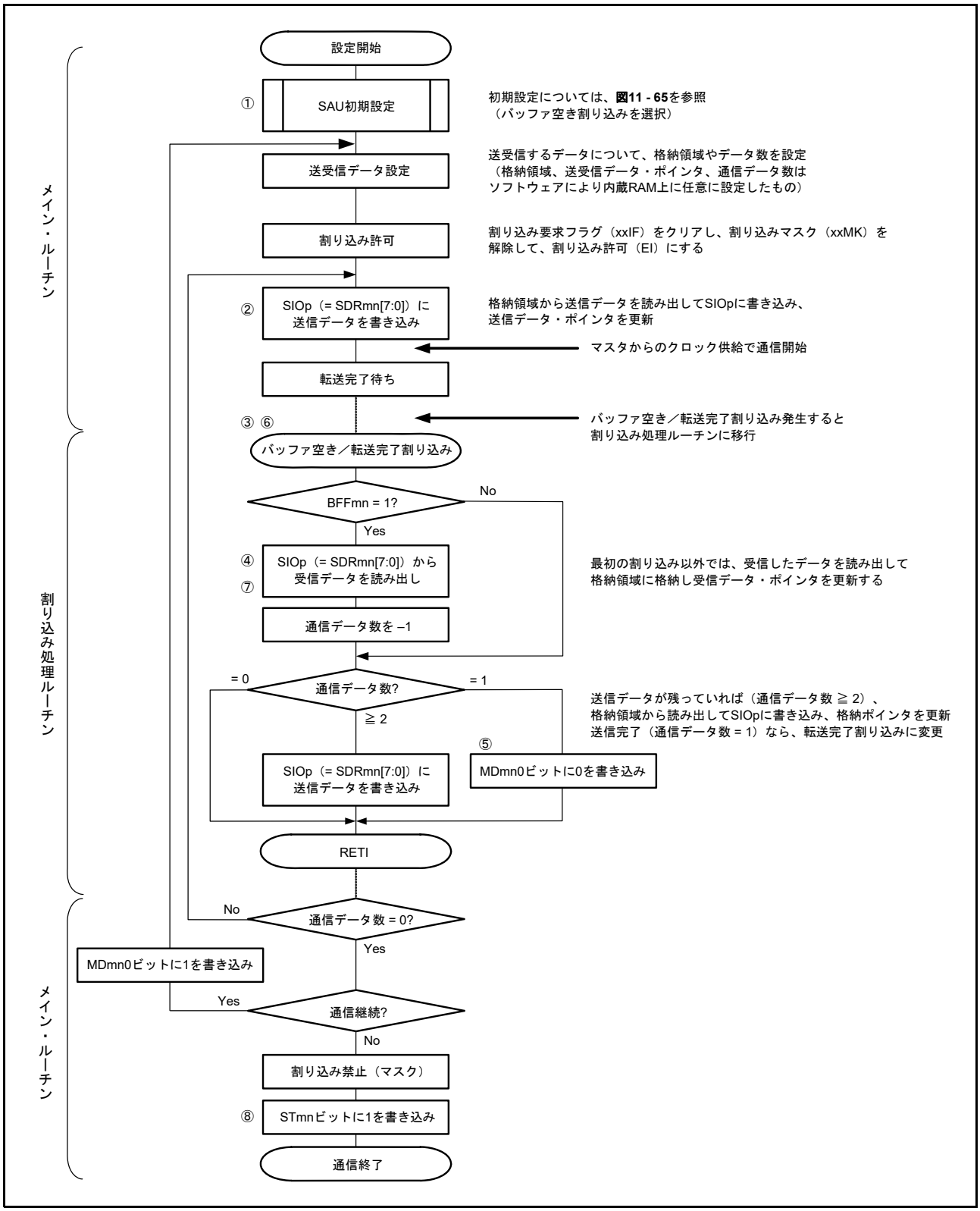
注2. この期間にSDRmnレジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、**図11 - 71 スレーブ送受信（連続送受信モード時）のフロー・チャート**の①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

図11 - 71 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 **マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。**

備考 図中の①～⑧は、**図11 - 70 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑧に対応しています。

11.5.7　SNOOZEモード機能

STOP モード時に SCKp 端子入力の検出により簡易 SPI（CSI）の受信動作をさせるモードです。通常 STOP モード時に簡易 SPI（CSI）は通信動作を停止しますが、SNOOZE モード機能を使用することで、SCKp 端子入力の検出によって CPU を動作させずに簡易 SPI（CSI）の受信動作を行うことができます。

SNOOZE モードは、簡易 SPI（CSI00）のみ設定可能です。

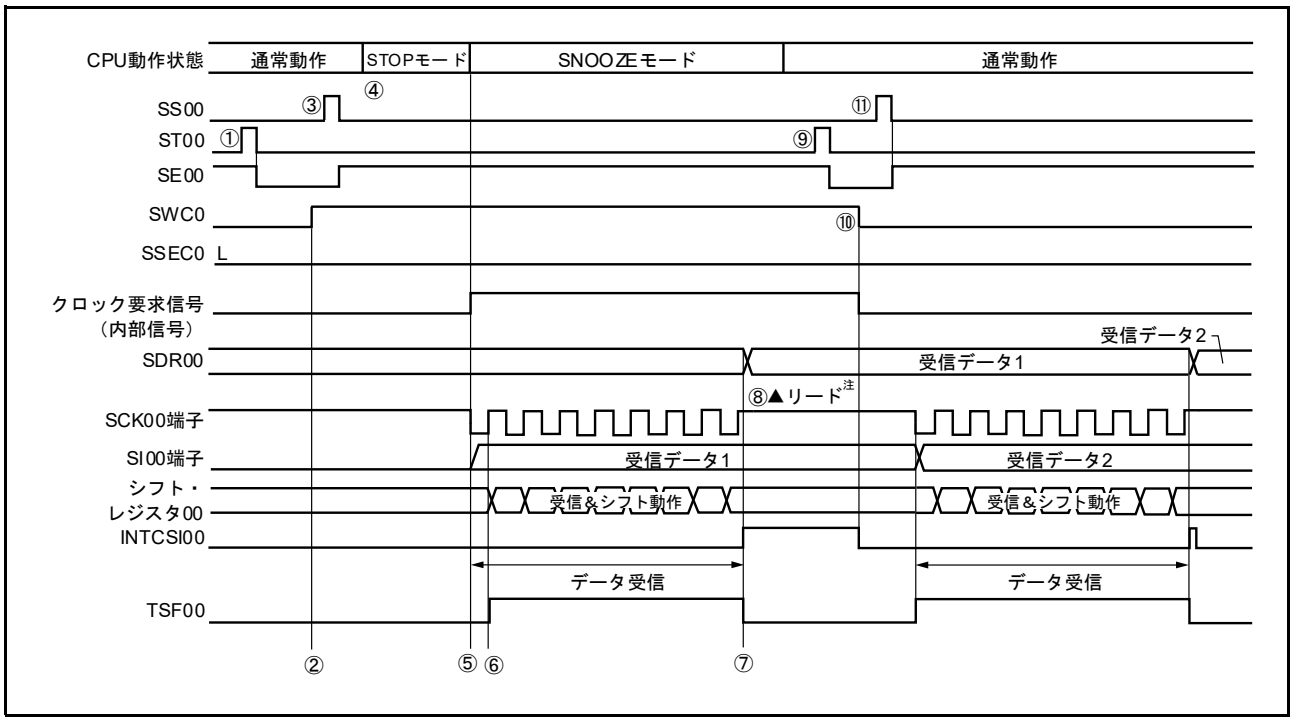
簡易 SPI（CSI）を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います（**図 11 - 73　SNOOZE モード動作（1 回起動）時のフロー・チャート**および**図 11 - 75　SNOOZE モード動作（連続起動）時のフロー・チャート**参照）。

- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットに1を設定してください。初期設定完了後、シリアル・チャネル開始レジスタm（SSm）のSSm0ビットに1を設定します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。
  SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作（1回起動）

図11 - 72 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

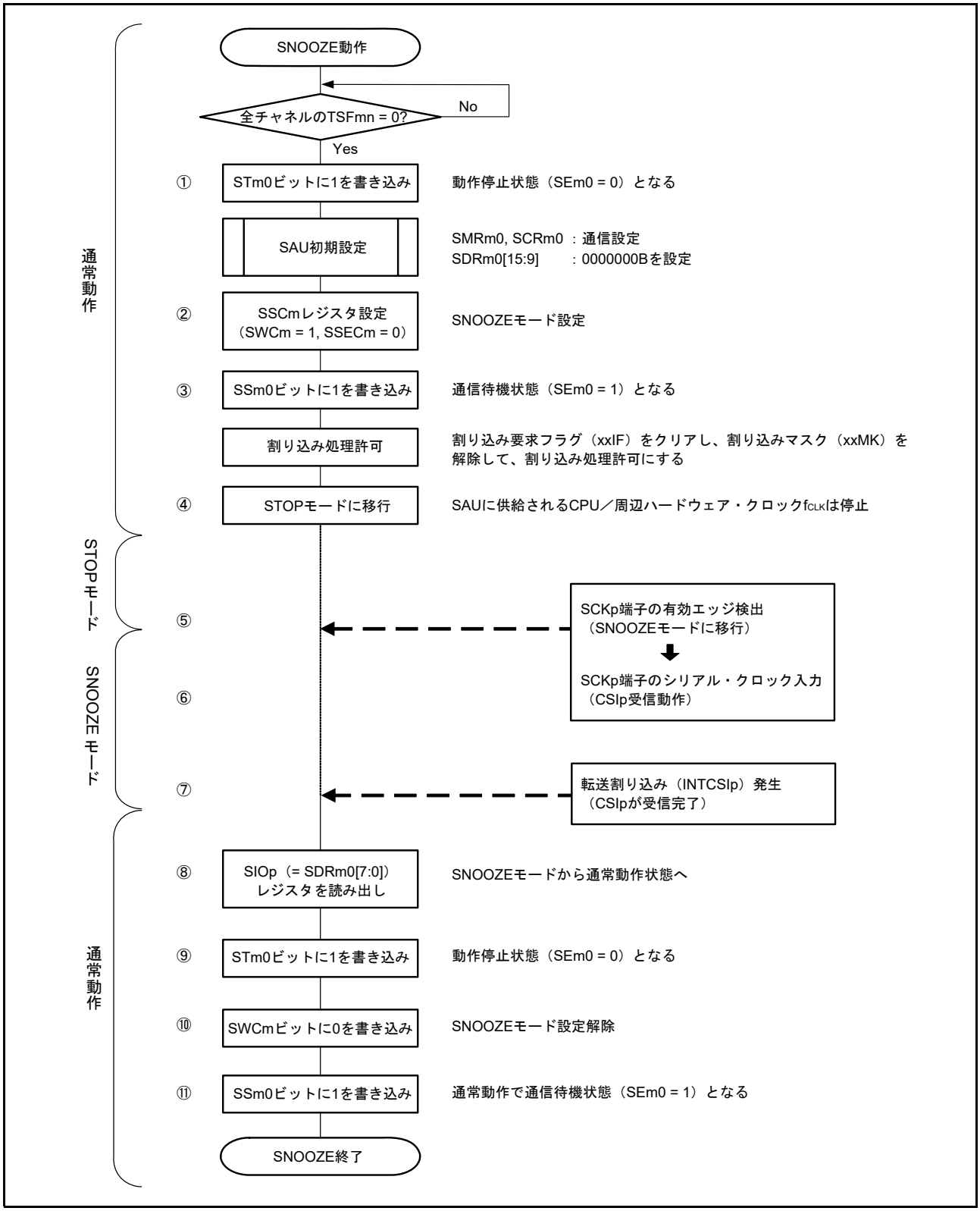
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットに1を設定してください（SEm0ビットがクリアされ動作停止）。また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。

注意2. SWCm = 1のときは、BFFm0, OVFm0フラグは動作しません。

備考1. 図中の①～⑪は、**図11 - 73 SNOOZEモード動作（1回起動）時のフロー・チャート**の①～⑪に対応しています。

備考2. m = 0, p = 00

図11 - 73 SNOOZEモード動作（1回起動）時のフロー・チャート

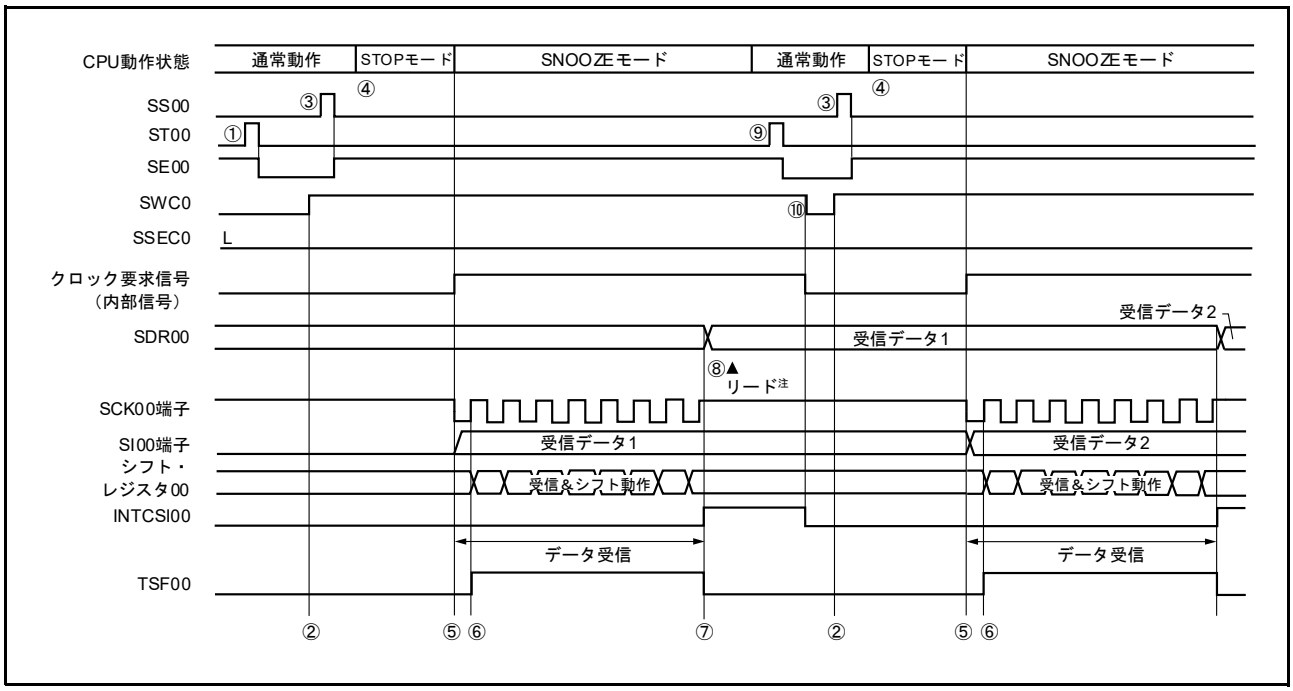


備考1. 図中の①～⑪は、**図11 - 72 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑪に対応しています。

備考2. m = 0, p = 00

(2) SNOOZEモード動作（連続起動）

図11 - 74 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

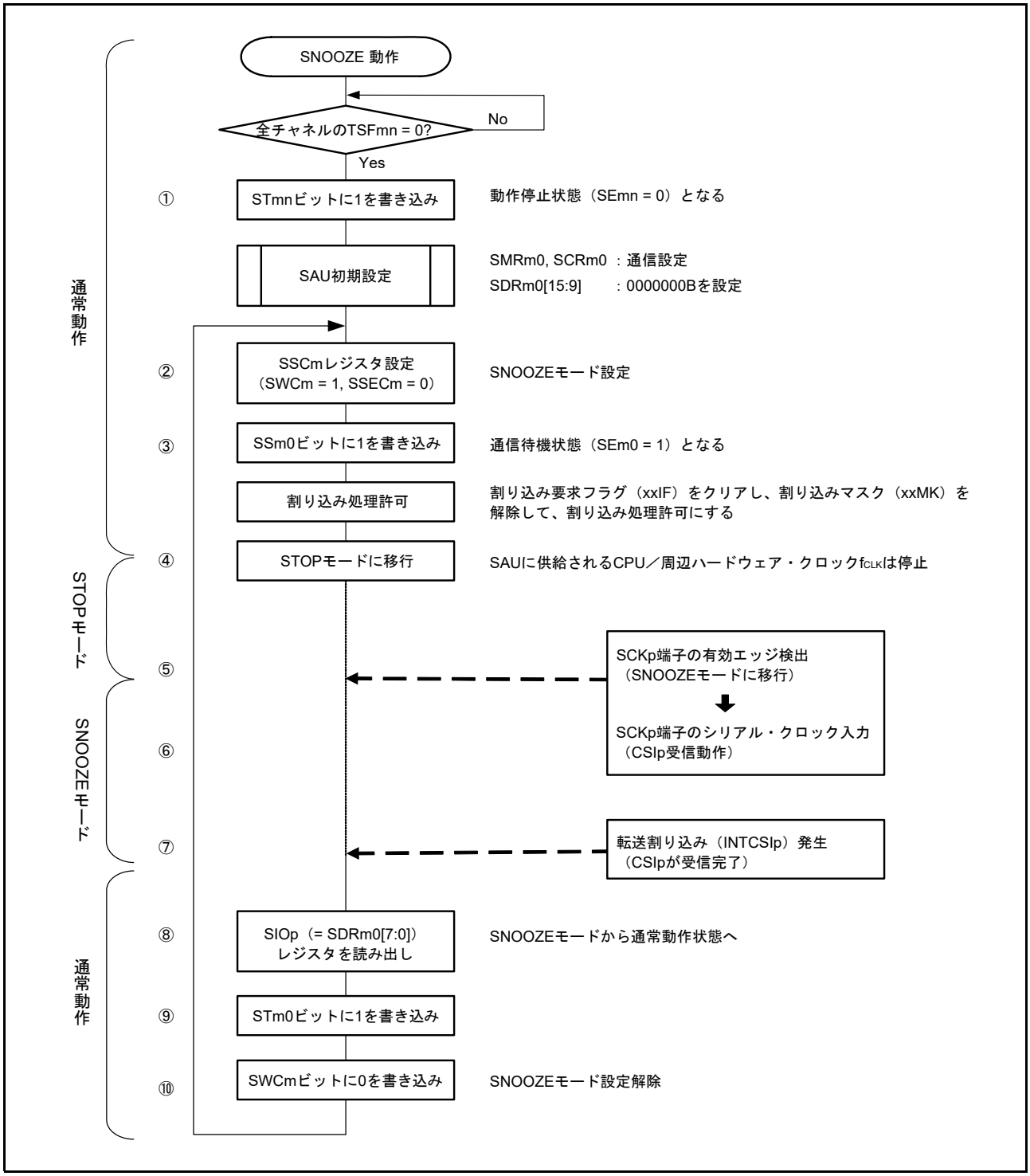
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットに1を設定してください（SEm0ビットがクリアされ動作停止）。また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。

注意2. SWCm = 1のときは、BFFm0, OVFm0フラグは動作しません。

備考1. 図中の①～⑩は、**図11 - 75 SNOOZEモード動作（連続起動）時のフロー・チャート**の①～⑩に対応しています。

備考2. m = 0, p = 00

図11 - 75 SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. 図中の①～⑩は、**図11 - 74 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑩に対応しています。

備考2. m = 0, p = 00

11.5.8 転送クロック周波数の算出

簡易 SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

（転送クロック周波数）= {対象チャネルの動作クロック（f_{MCK}）周波数}÷（SDRmn[15:9] + 1）÷ 2 [Hz]

(2) スレーブの場合

（転送クロック周波数）= {マスタが供給するシリアル・クロック（SCK）周波数}注[Hz]

注 ただし、許容最大転送クロック周波数はf_{MCK}/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn（SDRmn）のビット15-9の値（0000000B-1111111B）なので、0-127になります。

動作クロック（f_{MCK}）は、シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）の CKSmn ビットで決まります。

表11 - 3 簡易SPI動作クロックの選択 (1/2)

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	32 MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	16 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	×	×	×	×	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	×	×	×	×	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	×	×	×	×	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	×	×	×	×	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz

表11 - 3 簡易SPI動作クロックの選択 (2/2)

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
1	0	0	0	0	×	×	×	×	f_{CLK}	32 MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	16 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	×	×	×	×	$f_{CLK}/2^{12}$	7.81 kHz
	1	1	0	1	×	×	×	×	$f_{CLK}/2^{13}$	3.91 kHz
	1	1	1	0	×	×	×	×	$f_{CLK}/2^{14}$	1.95 kHz
	1	1	1	1	×	×	×	×	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. ×：Don’t care

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

11.5.9 簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信時におけるエラー発生時の処理手順

表 11 - 4 に簡易 SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信時にエラーが発生した場合の処理手順を示します。

表11 - 4 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn（SDRmn）を読み出す →	SSRmnレジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）に1を書き込む →	エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのままSIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

11.6　UART（UART0-UART2）通信の動作

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の２本のラインによる、調歩同期式通信機能です。この２本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる１データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）、データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の２チャネルを使用することで、全二重調歩同期 UART 通信が実現できます。また、UART2 とタイマ・アレイ・ユニット 0（チャネル 7）と外部割り込み（INTP0）を組み合わせて LIN-bus にも対応可能です。

［データ送受信］

- 7, 8, 9ビットのデータ長**注**
- MSB/LSB ファーストの選択
- 送受信データのレベル設定（レベルを反転するかどうかの選択）
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加、ストップ・ビット・チェック機能

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0 の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

UART2（ユニット 1 のチャネル 0, 1）は、LIN-bus に対応しています。

［LIN-bus 機能］

- ウェイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定、ボー・レート算出

} 外部割り込み（INTP0）、タイマ・アレイ・ユニット0（チャネル7）を使用

注　9ビット・データ長は、UART0のみ対応しています。

UART として使用する場合は、f_{CLK} に低速オンチップ・オシレータ・クロック（f_{IL}）を使用できません。

- UART0では、SAU0のチャネル0, 1を使用します。
- UART1では、SAU0のチャネル2, 3を使用します。
- UART2では、SAU1のチャネル0, 1を使用します。

20ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	—	UART2（LIN-bus対応）	—
	1	—		—

32ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	—		—

44ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

64ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

各チャネルはどれか1つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば、ユニット0のチャネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャネルが異なるチャネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側（偶数チャネル）と受信側（奇数チャネル）のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信 （**11.6.1** 参照）
- UART受信 （**11.6.2** 参照）
- LIN送信（UART2のみ） （**11.7.1** 参照）
- LIN受信（UART2のみ） （**11.7.2** 参照）

11.6.1　UART送信

UART 送信は、本製品からほかのデバイスへ非同期（調歩同期）でデータを送信する動作です。

UART 送信では、その UART に使用する 2 チャネルのうち、偶数チャネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット**注1**		
転送レート**注2**	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加		
ストップ・ビット	以下の選択が可能 • 1ビット付加 • 2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1.　9ビット・データ長は、UART0のみ対応しています。

注2.　この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：CPU／周辺ハードウェア・クロック周波数

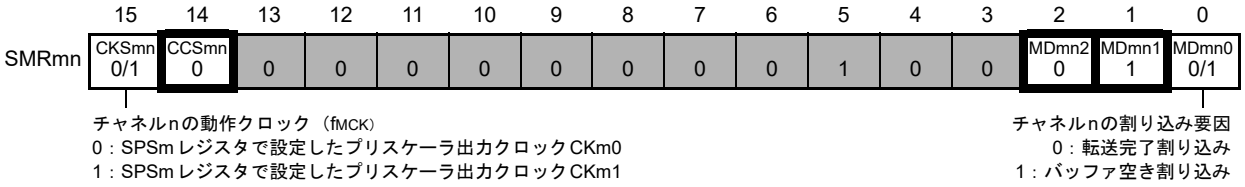
備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、

mn = 00, 02, 10

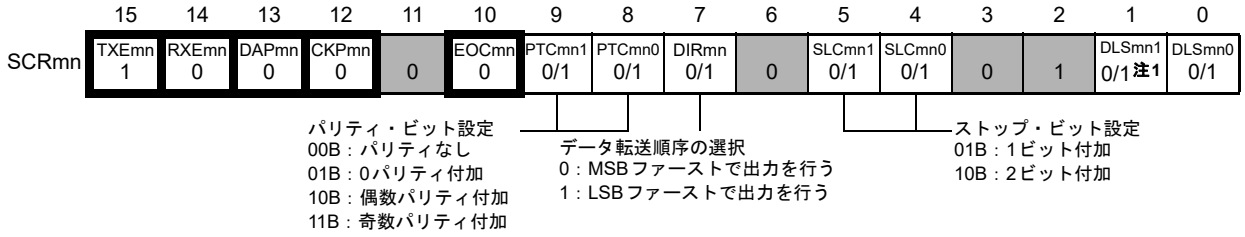
(1)　レジスタ設定

図11 - 76　UART（UART0-UART2）のUART送信時のレジスタ設定内容例

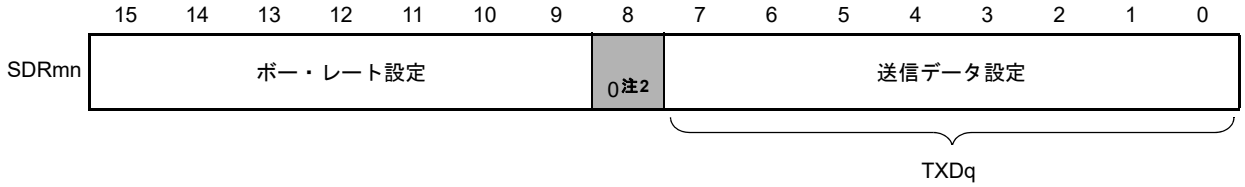
(a)　シリアル・モード・レジスタmn（SMRmn）



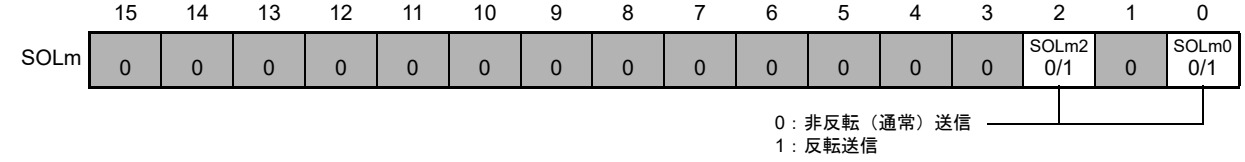
(b)　シリアル通信動作設定レジスタmn（SCRmn）



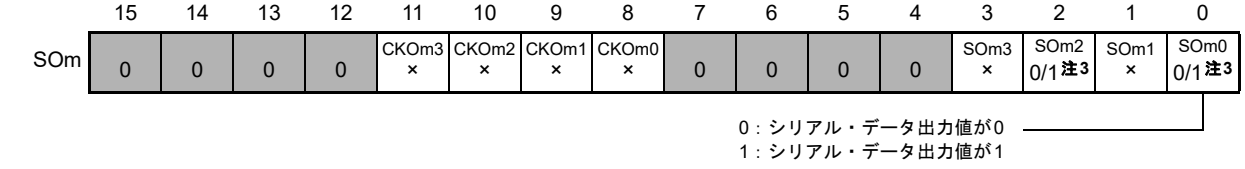
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：TXDq）



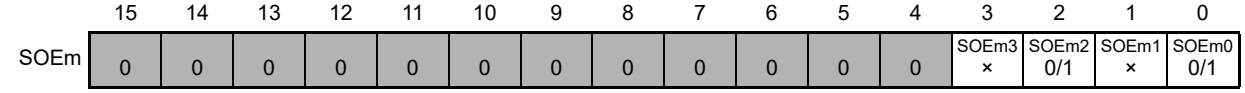
(d)　シリアル出力レベル・レジスタm（SOLm）：対象チャネルのビットのみ設定する



(e)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する



(f)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する



（注、備考は次ページに続きます）

(g) シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

注1. SCR00レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UART0のみです。

注3. 該当するチャネルのSOLmnビットに0を設定している場合は1に、SOLmnビットに1を設定している場合は0を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、q：UART番号（q = 0-2）、
mn = 00, 02, 10

備考2. ■：UART送信モードでは設定固定、 ■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 77 UART送信の初期設定手順

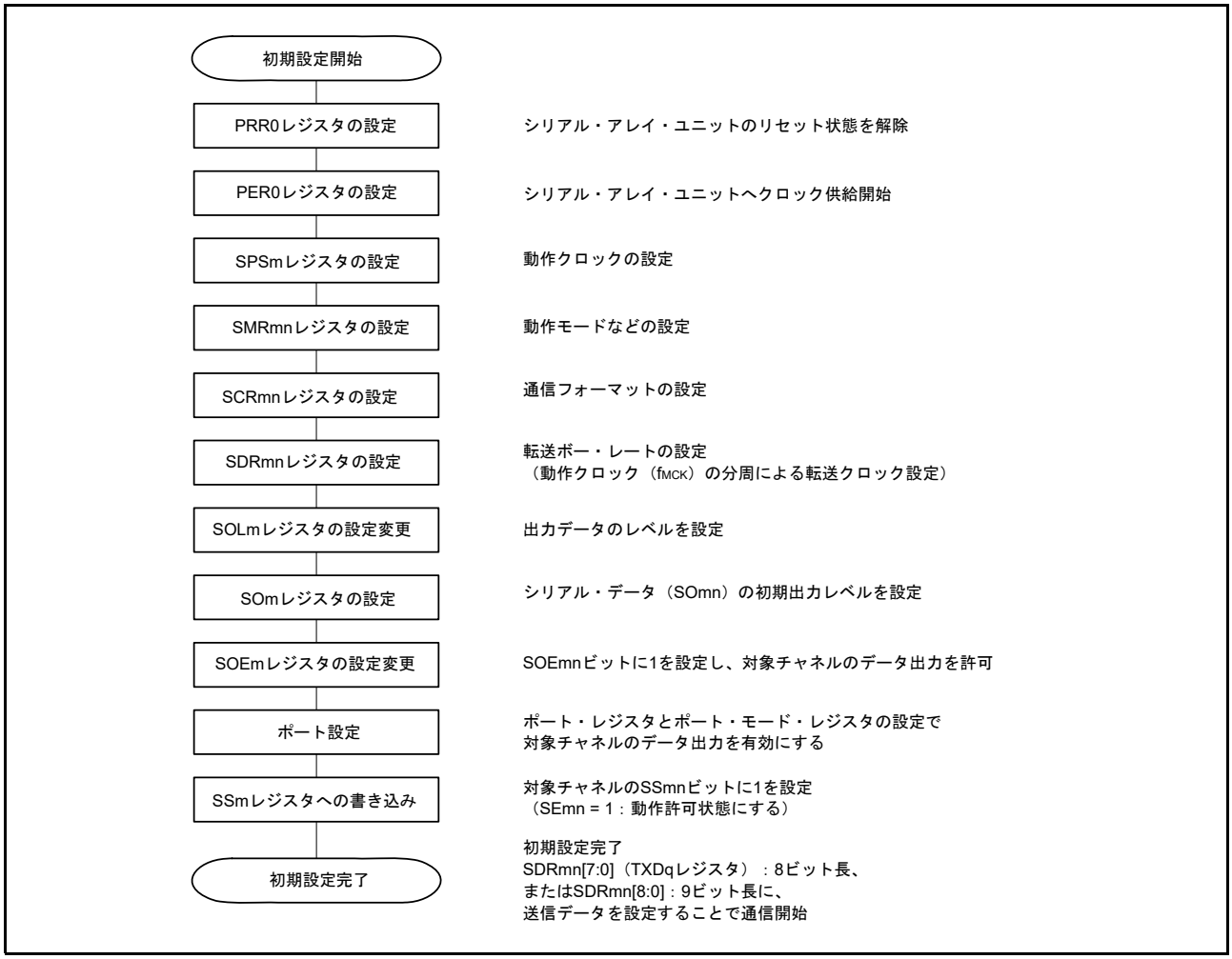


図11 - 78 UART送信の中断手順

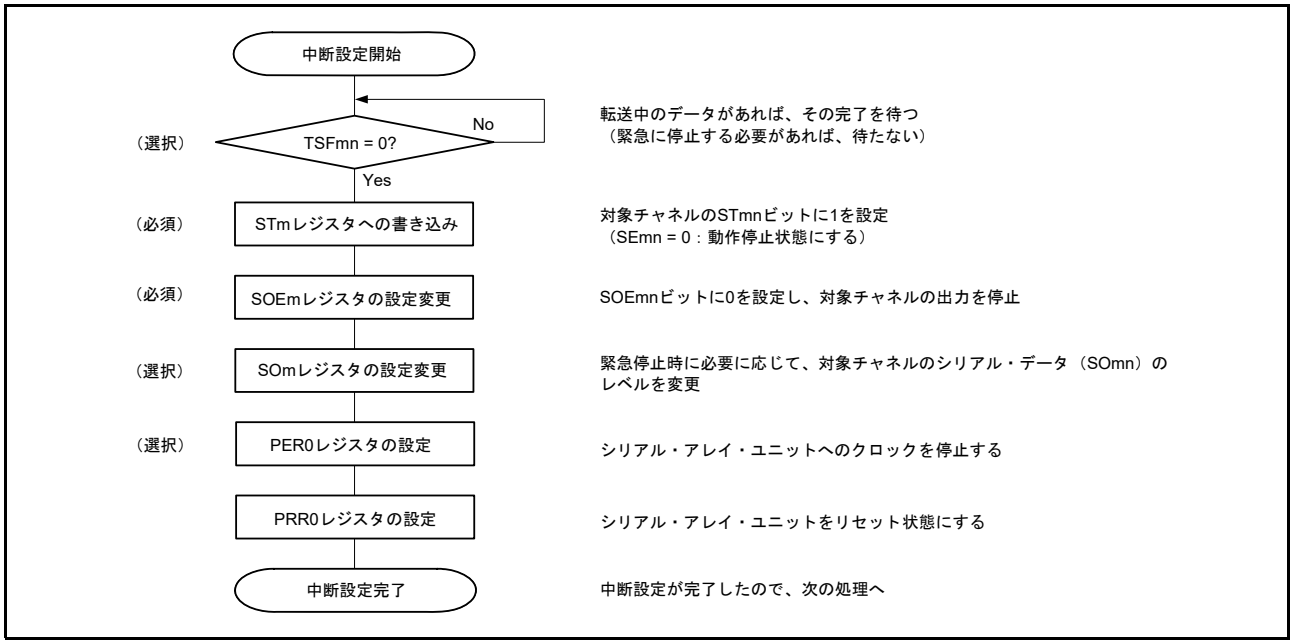
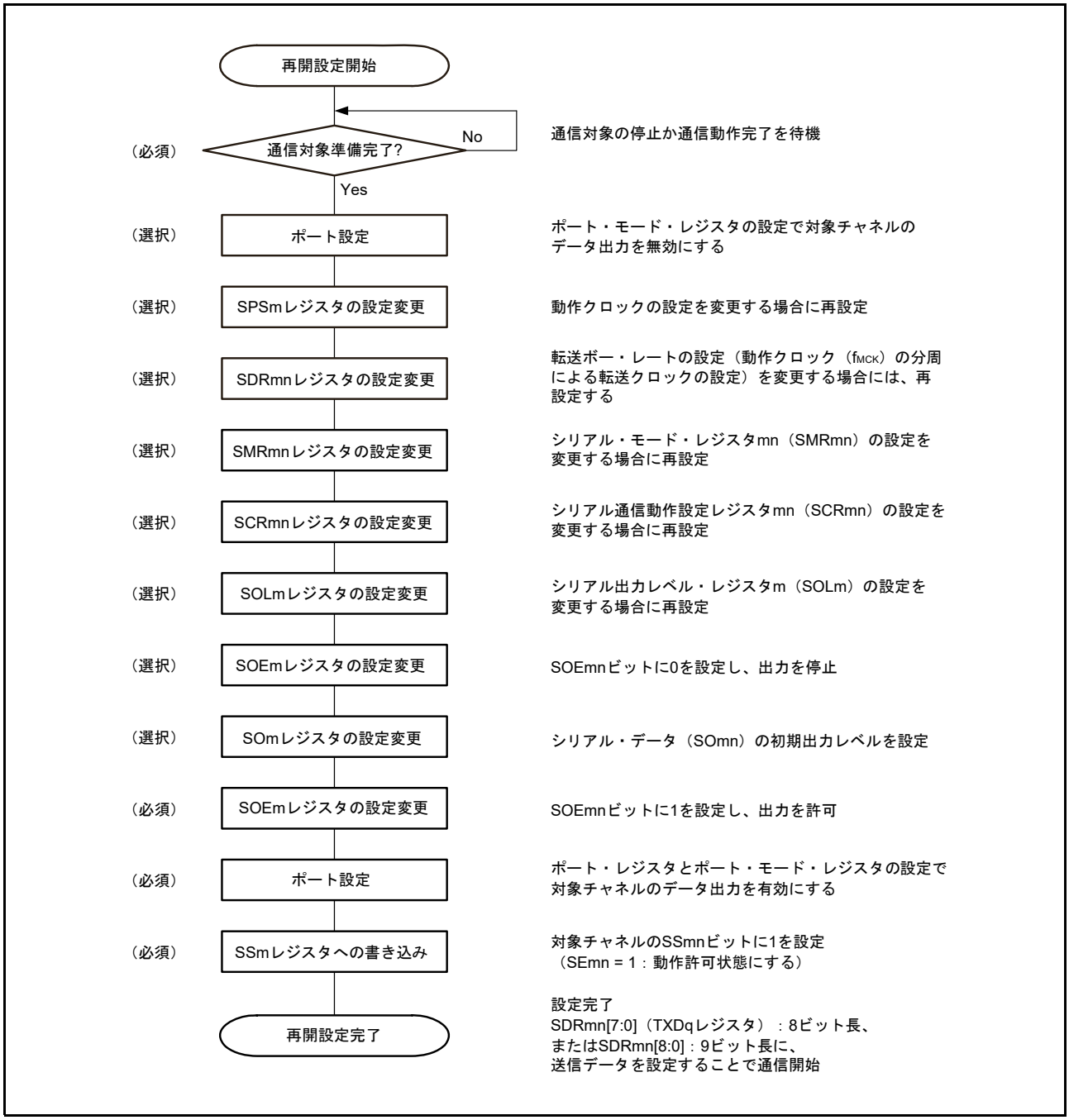


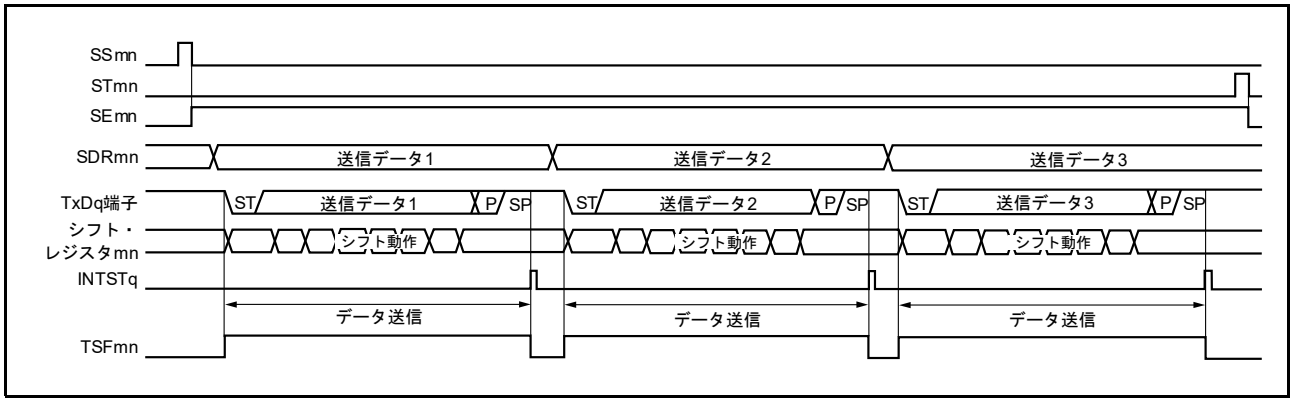
図11 - 79　UART送信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

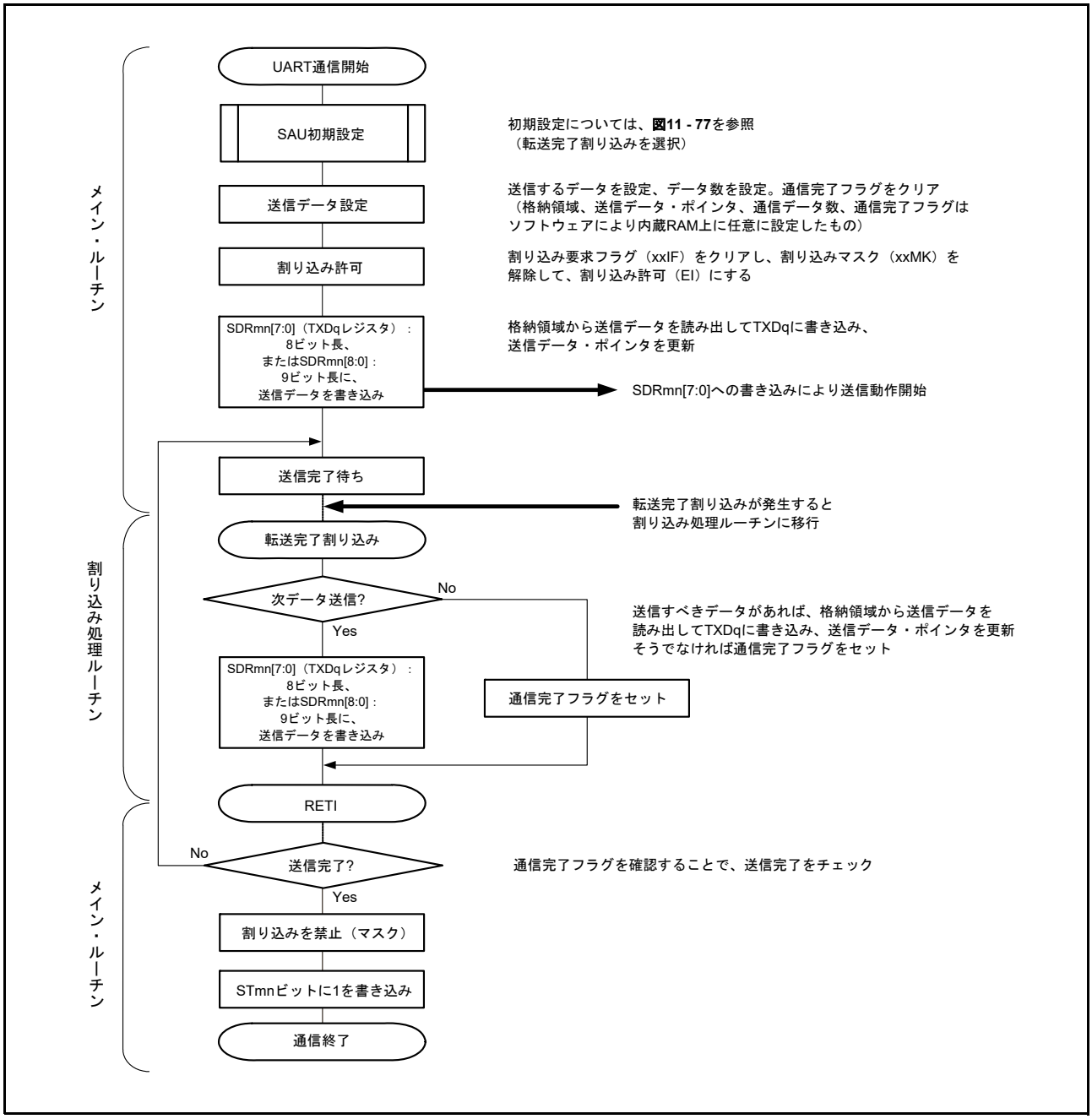
(3)　処理フロー（シングル送信モード時）

図11 - 80　UART送信（シングル送信モード時）のタイミング・チャート



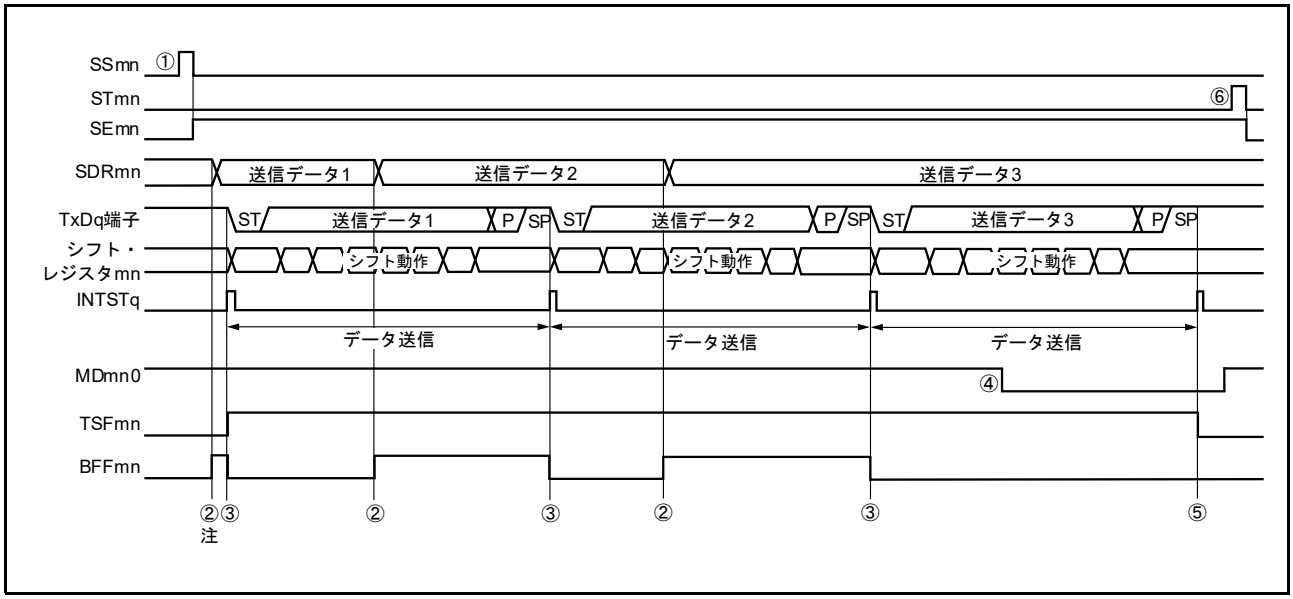
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、q：UART番号（q = 0-2）、
mn = 00, 02, 10

図11 - 81　UART送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11 - 82 UART送信（連続送信モード時）のタイミング・チャート

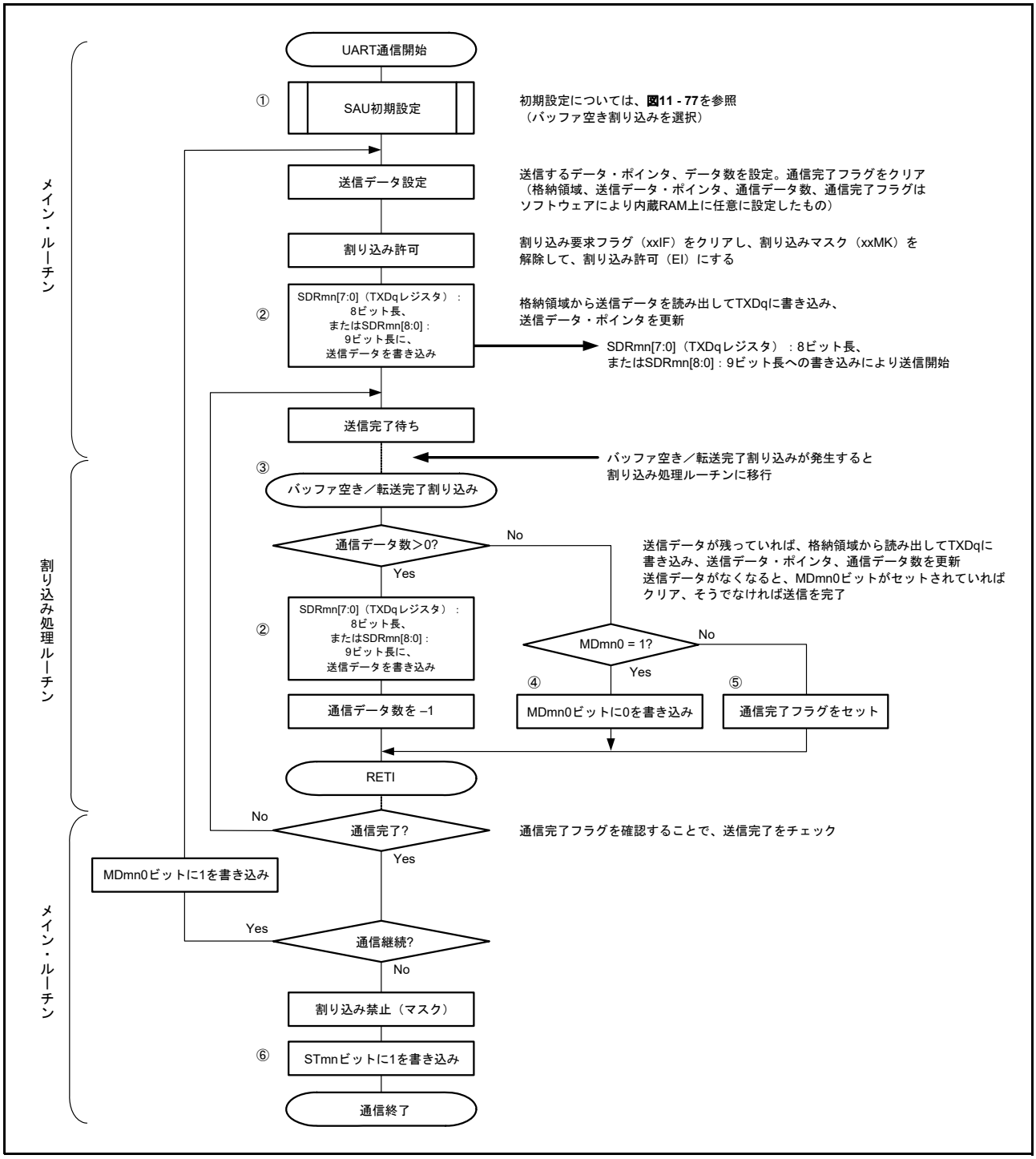


注 シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、q：UART番号（q = 0-2）、
mn = 00, 02, 10

図11 - 83　UART送信（連続送信モード時）のフロー・チャート



備考　図中の①～⑥は、**図11 - 82　UART送信（連続送信モード時）のタイミング・チャート**の①～⑥に対応しています。

11.6.2　UART受信

UART 受信は、本製品がほかのデバイスから非同期（調歩同期）でデータを受信する動作です。

UART 受信では、その UART に使用する 2 チャネルのうち、奇数チャネルのほうを使用します。ただし、SMR レジスタは、偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	• フレーミング・エラー検出フラグ（FEFmn） • パリティ・エラー検出フラグ（PEFmn） • オーバラン・エラー検出フラグ（OVFmn）		
転送データ長	7ビットまたは8ビットまたは9ビット**注1**		
転送レート**注2**	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 • パリティ・ビットなし（パリティ・チェックなし） • パリティ判定なし（0パリティ） • 偶数パリティ・チェック • 奇数パリティ・チェック		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1.　9ビット・データ長は、UART0のみ対応しています。

注2.　この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

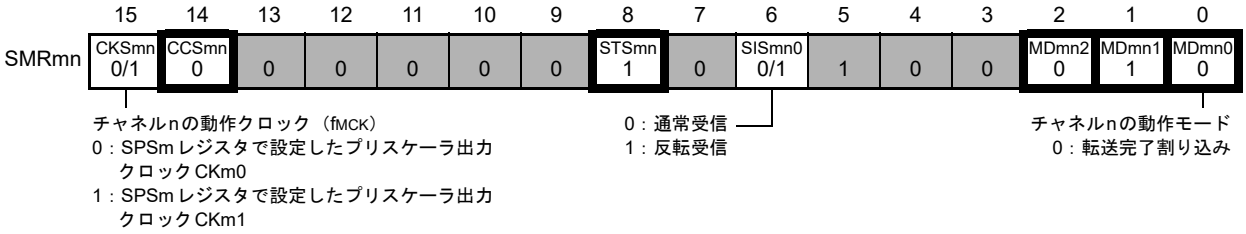
備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、
mn = 01, 03, 11

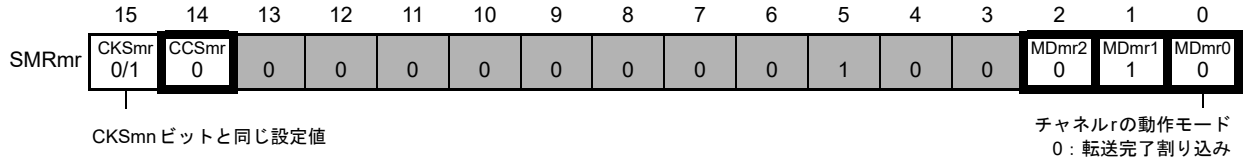
(1)　レジスタ設定

図11 - 84　UART（UART0-UART3）のUART受信時のレジスタ設定内容例

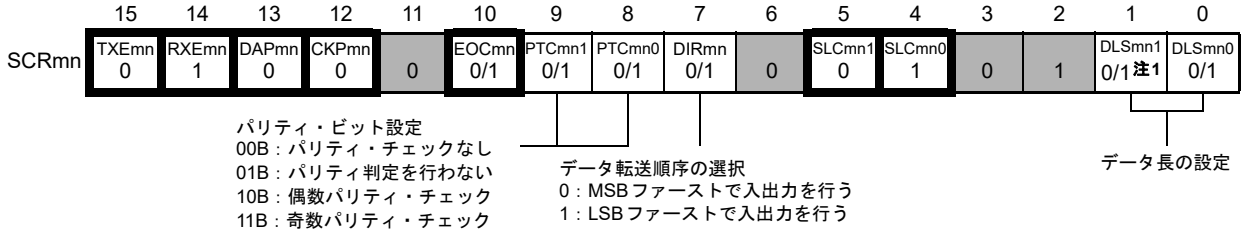
(a)　シリアル・モード・レジスタmn（SMRmn）



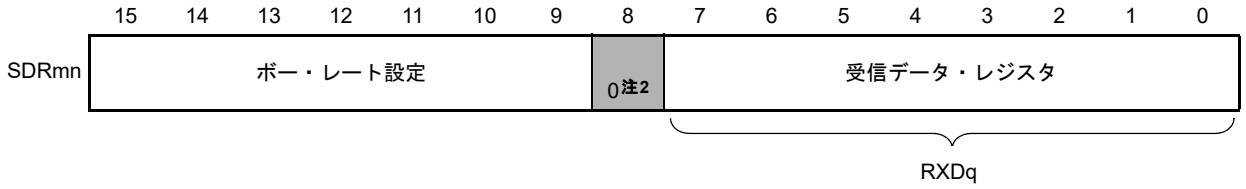
(b)　シリアル・モード・レジスタmr（SMRmr）



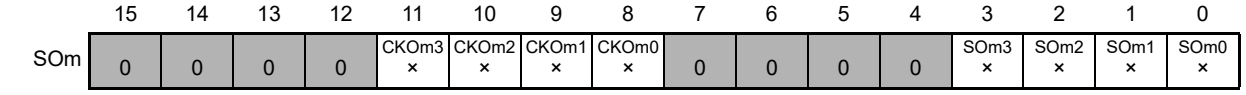
(c)　シリアル通信動作設定レジスタmn（SCRmn）



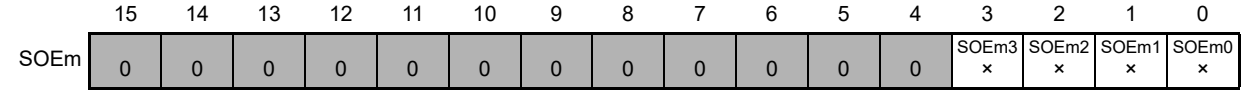
(d)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：RXDq）



(e)　シリアル出力レジスタm（SOm）：このモードでは使用しない



(f)　シリアル出力許可レジスタm（SOEm）：このモードでは使用しない



（注、注意、備考は次ページに続きます）

(g) シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注1. SCR01レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UART0のみです。

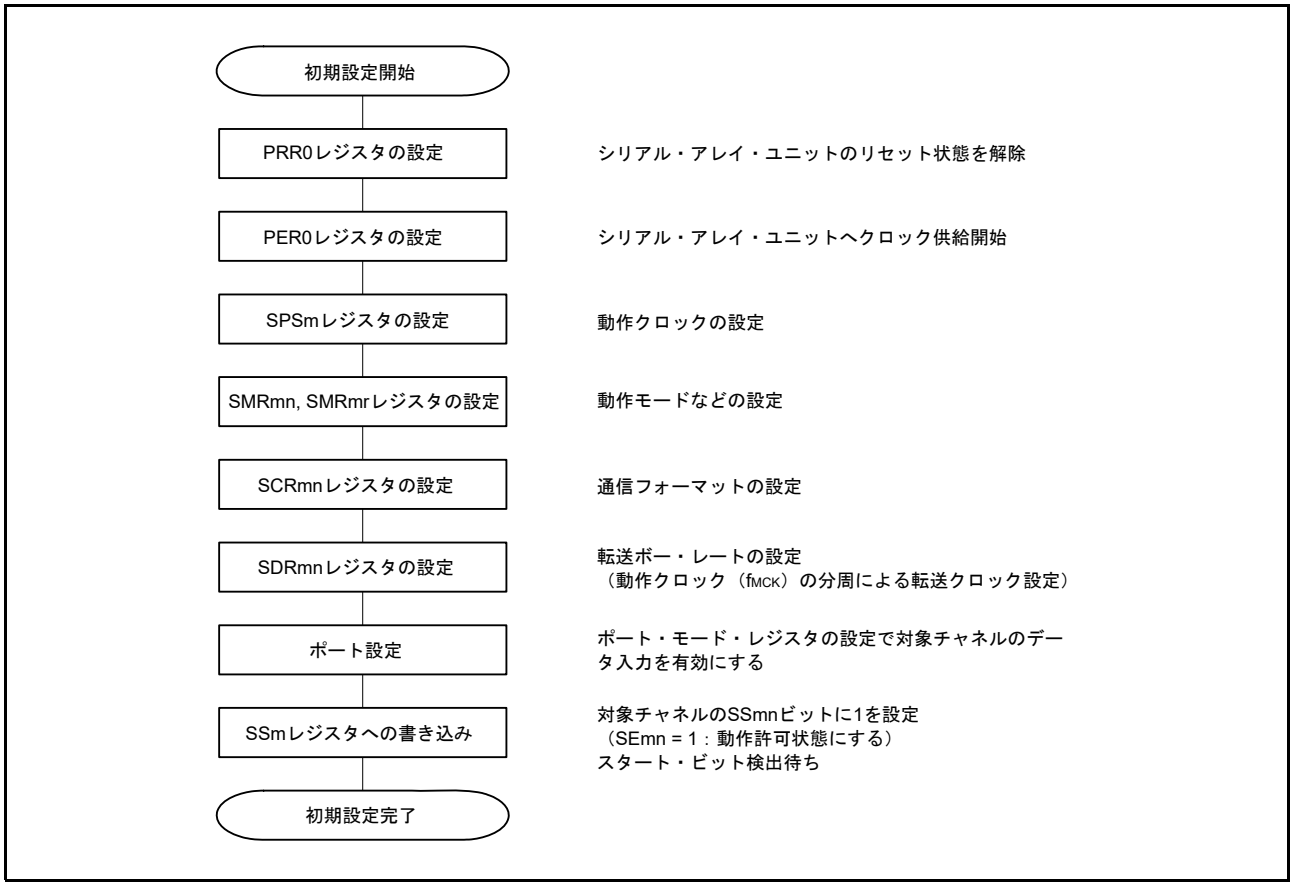
注意 UART受信時は、チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、r：チャネル番号（r = n-1）、q：UART番号（q = 0-2）、
mn = 01, 03, 11

備考2. ■：UART受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 85 UART受信の初期設定手順



注意 SCRmn レジスタのRXEmn ビットに1 を設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1 を設定してください。

図11 - 86 UART受信の中断手順

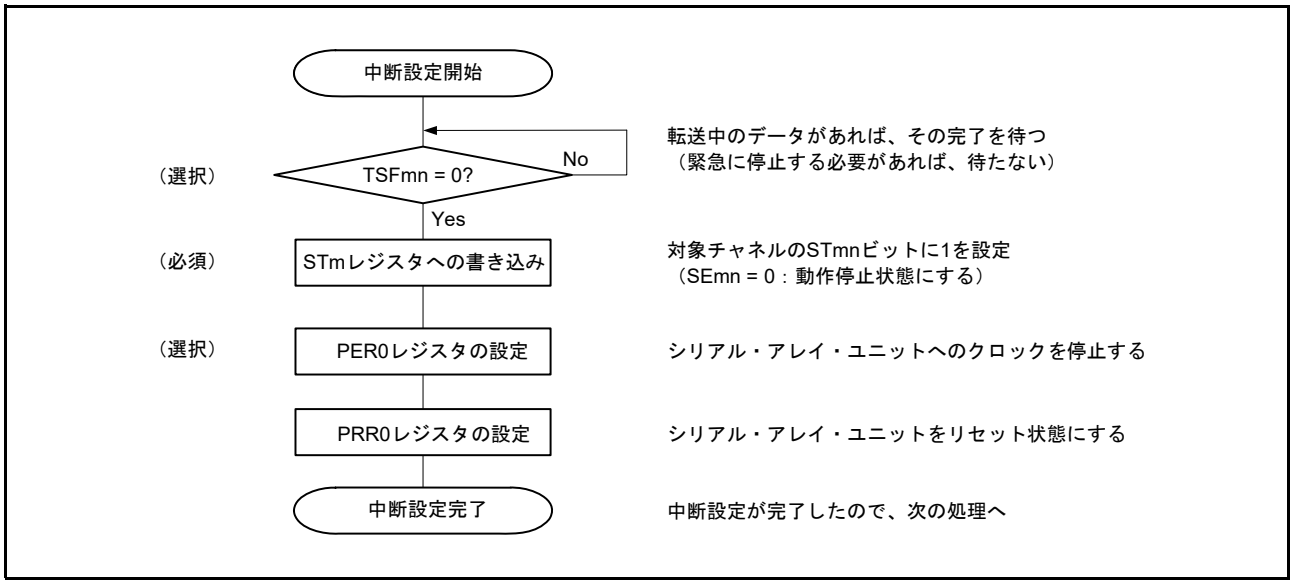
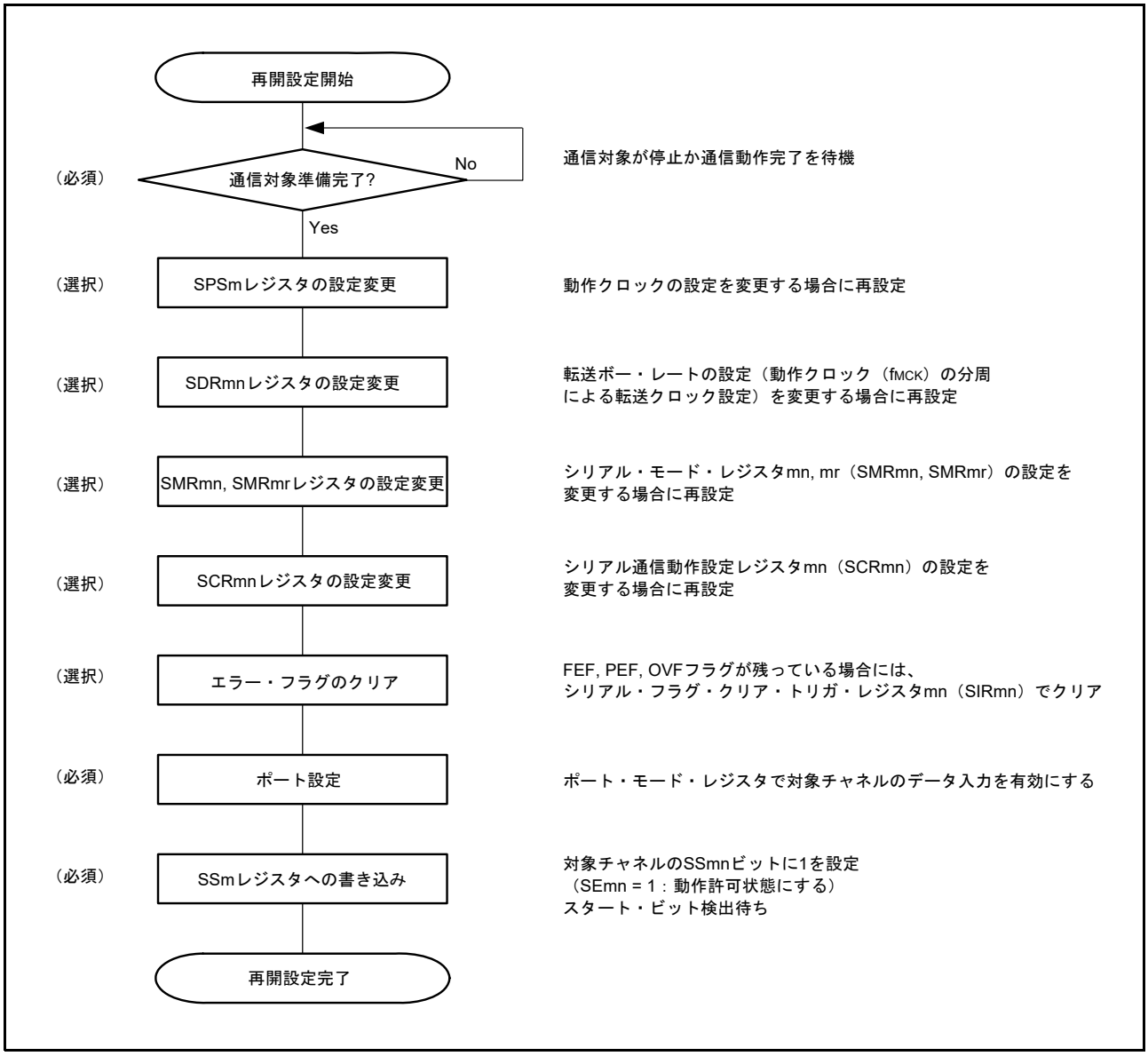


図11 - 87　UART受信の再開設定手順

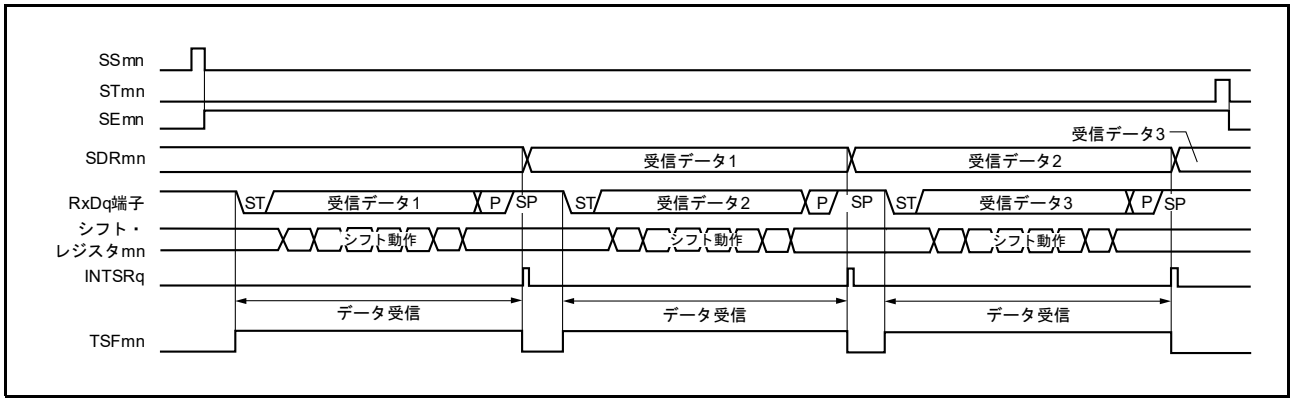


注意　**SCRmnレジスタのRXEmnビットに1を設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。**

備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

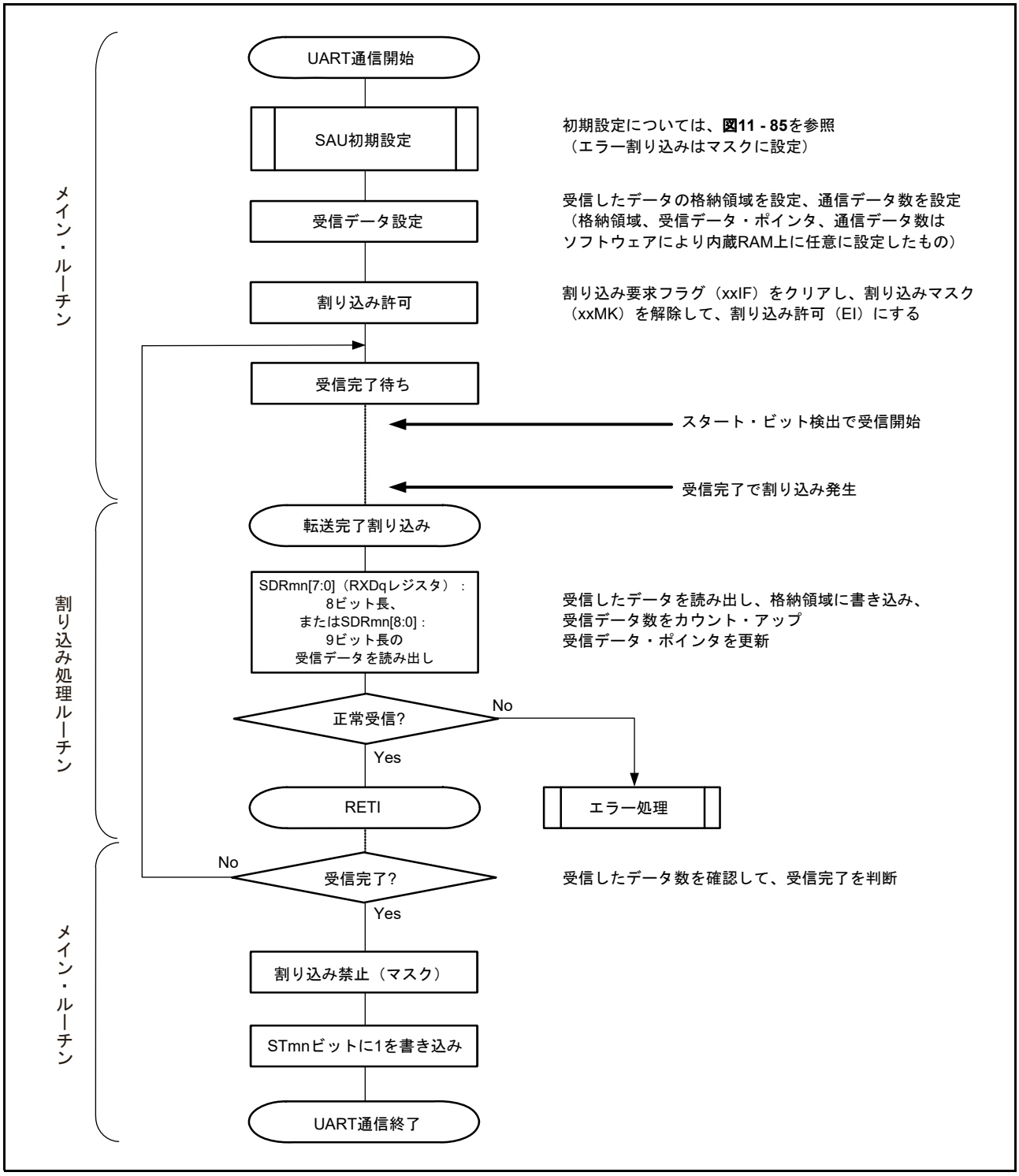
(3)　処理フロー

図11 - 88　UART受信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、r：チャネル番号（r = n-1）、q：UART番号（q = 0-2）、mn = 01, 03, 11

図11 - 89　UART受信のフロー・チャート



11.6.3　SNOOZEモード機能

STOP モード時に RxDq 端子入力の検出により UART の受信動作をさせるモードです。通常 STOP モード時に UART の通信動作は停止しますが、SNOOZE モード機能を使用することで、RxDq 端子入力の検出によって CPU を動作させずに UART の受信動作を行うことができます。

SNOOZE モードは、UART0 の受信のみ設定可能です。

UARTq を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います（**図 11 - 92 SNOOZE モード動作（EOCm1 = 0, SSECm = 0/1 または EOCm1 = 1, SSECm = 0）時のフロー・チャート**および**図 11 - 94　SNOOZE モード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート**参照）。

- SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。**表11 - 5**を参照してSPSmレジスタ、SDRmnレジスタのビット15-9を設定してください。
- EOCmnビット、SSECmビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSREq）の発生許可／停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットに1を設定してください。初期設定完了後、シリアル・チャネル開始レジスタm（SSm）のSSm1ビットに1を設定します。
- STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ使用できます。

注意2. SNOOZEモードでの最大転送レートは9.6 kbps（f_{CLK} = f_{IH}（32 MHz）設定時）です。

注意3. SWCm = 1の設定では、STOPモード中に受信開始したときのみUARTqを使用できます。ほかのSNOOZEモード機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。

- **SWCm = 1に設定後、STOPモードに移行する前に受信開始した場合**
- **ほかのSNOOZEモード中に受信開始した場合**
- **STOPモードから割り込みなどで通常動作に復帰後、SWCm = 0に戻す前に受信開始した場合**

注意4. SSECm = 1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmnフラグはセットされず、エラー割り込み（INTSREq）も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0（RxDq）を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。
また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。

表11 - 5 SNOOZEモード時のUART受信ボー・レート設定

ボー・レート	高速オンチップ・オシレータ（f_{IH}）	動作クロック（f_{MCK}）	SDRmn[15:9]	最大許容値	最小許容値
4800 bps	32 MHz ±1%注	$f_{CLK}/2^5$	106	1.45%	–1.67%
	24 MHz ±1%注	$f_{CLK}/2^5$	79	1.77%	–1.37%
9600 bps	32 MHz ±1%注	$f_{CLK}/2^4$	106	1.45%	–1.67%
	24 MHz ±1%注	$f_{CLK}/2^4$	79	1.77%	–1.37%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

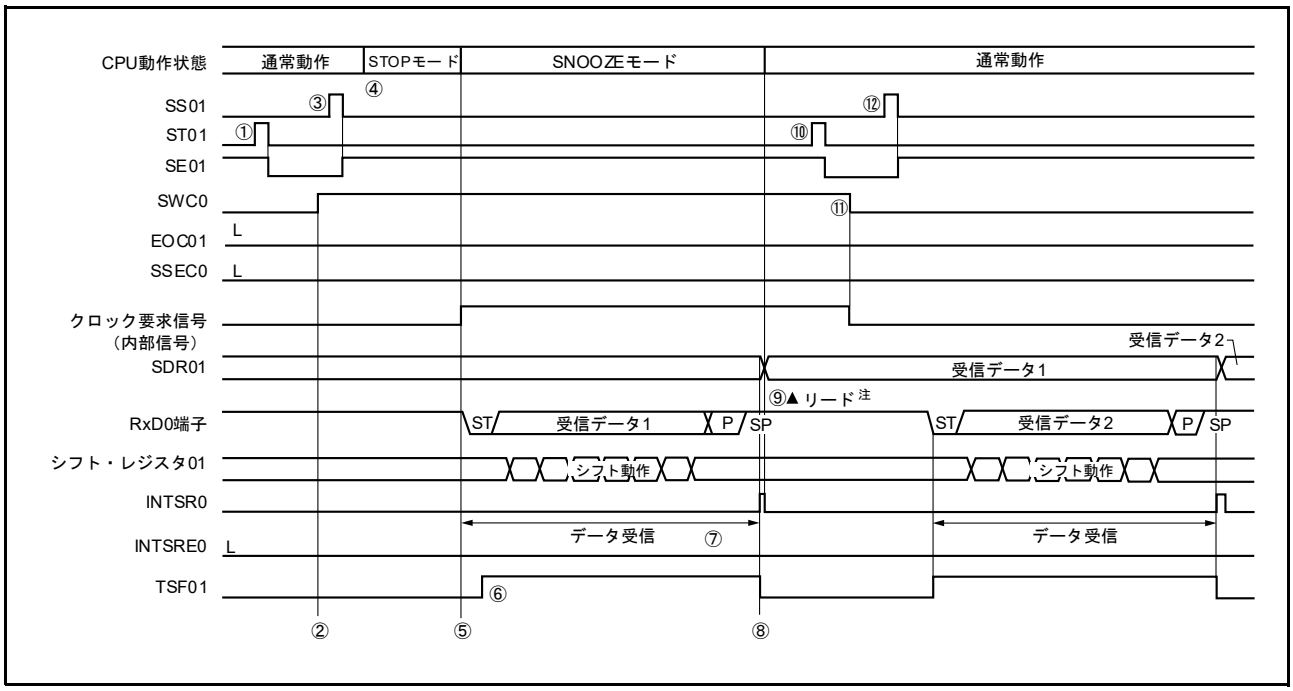
- f_{IH} ±1.5%の場合は、上表の最大許容値に–0.5%、最小許容値に+0.5%してください。
- f_{IH} ±2.0%の場合は、上表の最大許容値に–1.0%、最小許容値に+1.0%してください。

備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

(1) SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み（INTSREq）は発生しません。転送完了割り込み（INTSRq）は発生します。

図11 - 90 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート



注 SWCm = 1の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットに1を設定してください（SEm1ビットがクリアされ動作停止）。
また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。

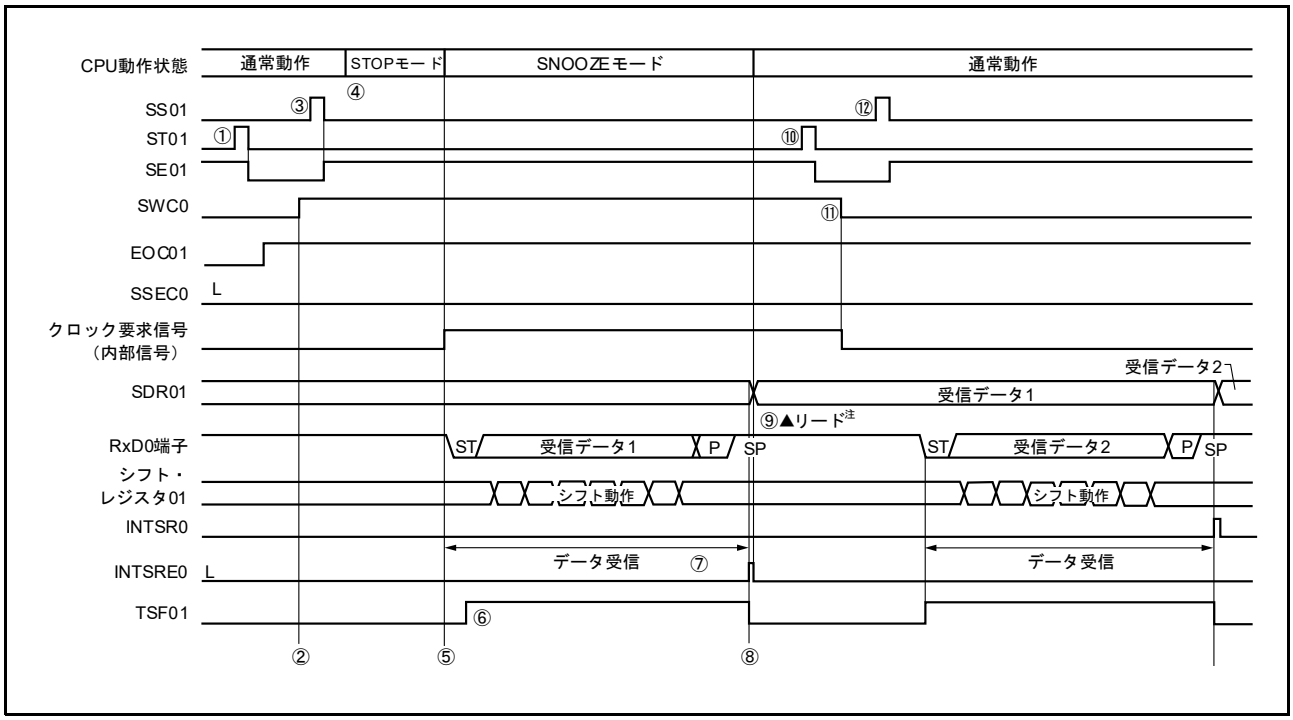
備考1. 図中の①～⑫は、**図11 - 92 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0）時のフロー・チャート**の①～⑫に対応しています。

備考2. m = 0, q = 0

(2) SNOOZEモード動作（EOCm1 = 1, SSECm = 0：エラー割り込み（INTSREq）発生許可）

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み（INTSREq）を発生します。

図11 - 91 SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート



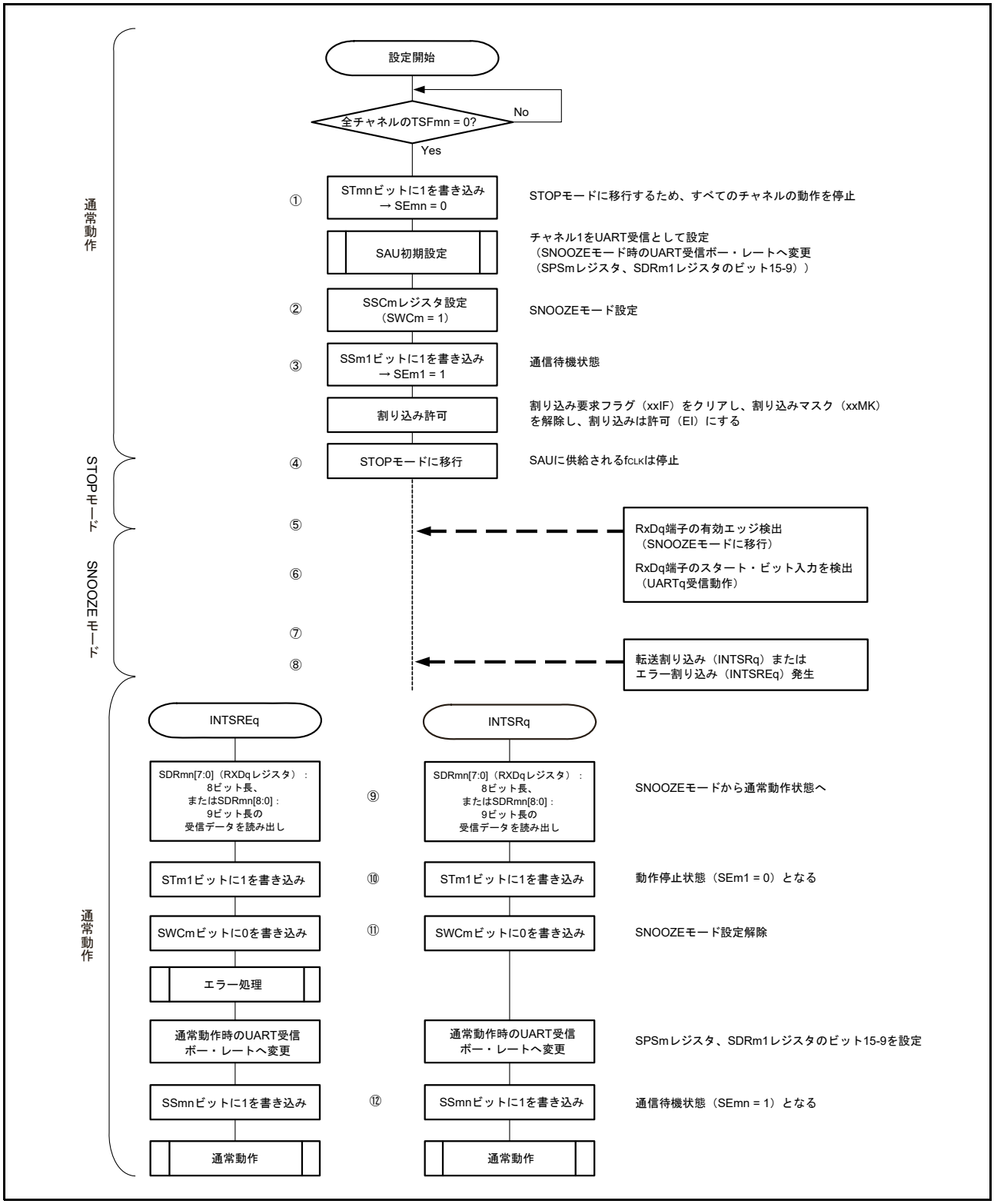
注 SWCm = 1の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットに1を設定してください（SEm1ビットがクリアされ動作停止）。
また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。

備考1. 図中の①～⑫は、**図11 - 92 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0）時のフロー・チャート**の①～⑫に対応しています。

備考2. m = 0, q = 0

図11 - 92 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0）時のフロー・チャート



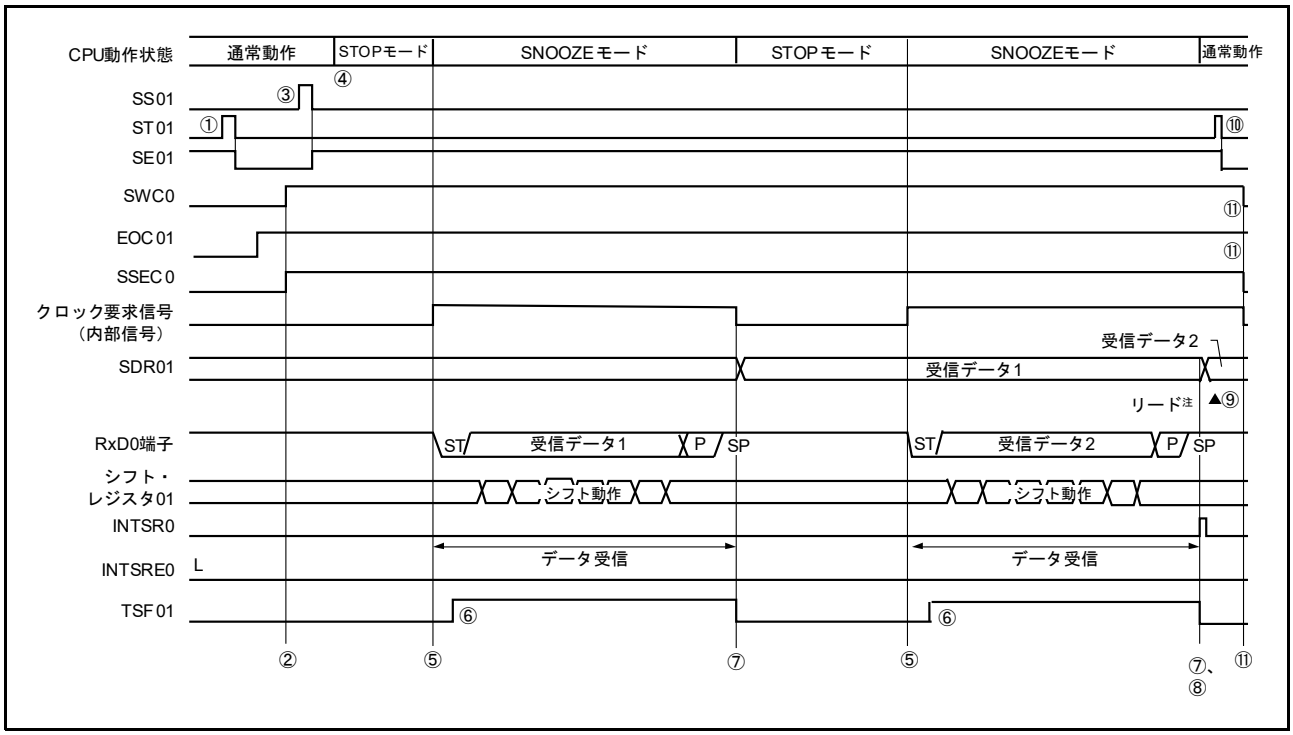
備考1. 図中の①～⑫は、**図11 - 90 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート**、**図11 - 91 SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート**の①～⑫に対応しています。

備考2. m = 0, q = 0, n = 0-3

(3) SNOOZEモード動作（EOCm1 = 1, SSECm = 1：エラー割り込み（INTSREq）発生停止）

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み（INTSREq）を発生しません。

図11 - 93 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート



注 SWCm = 1の状態で、受信データの読み出しを行ってください。

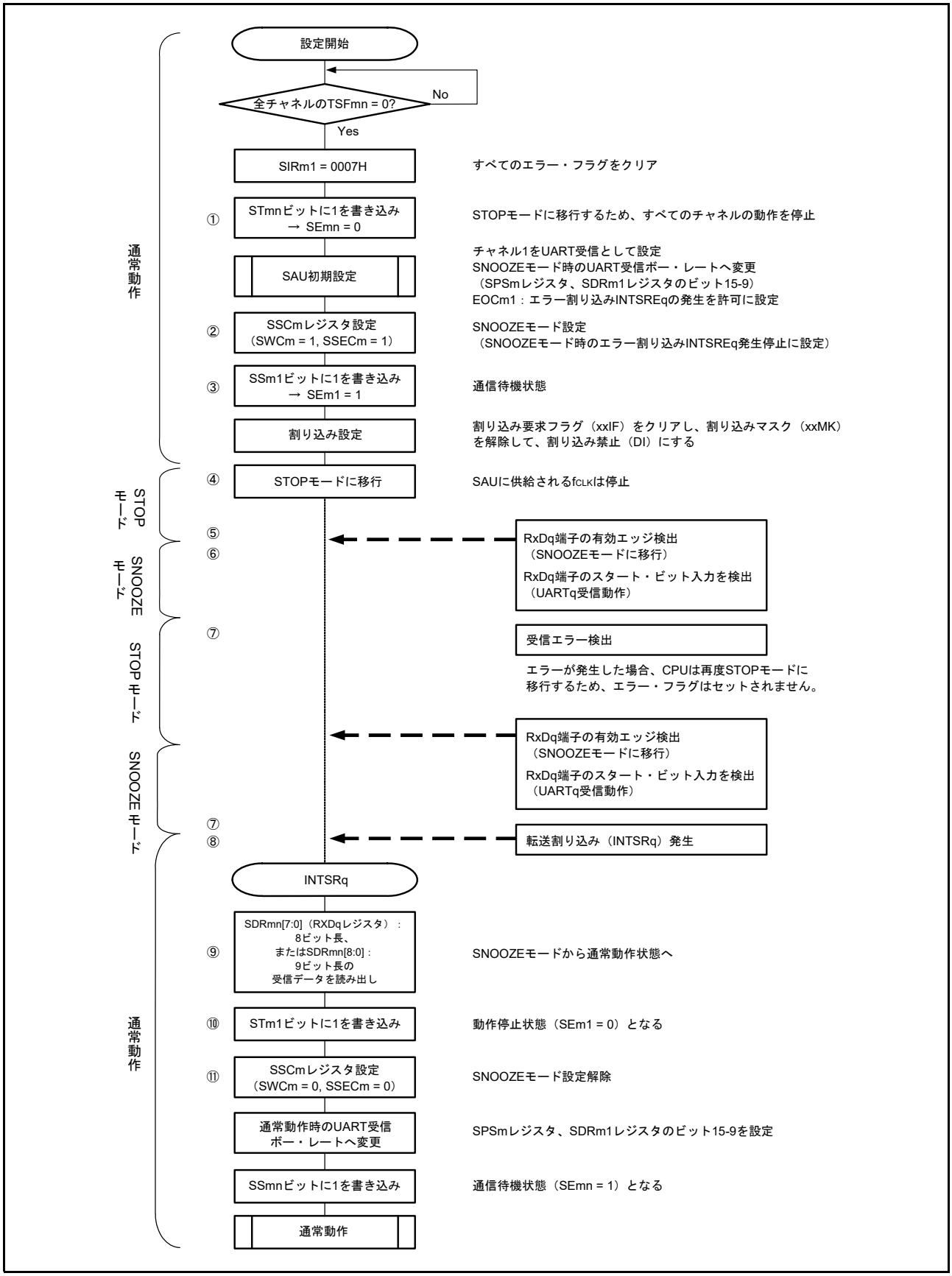
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットに1を設定してください（SEm1ビットがクリアされ動作停止）。
また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず、エラー割り込み（INTSREq）も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし、また、SDRm1[7:0]（RXDqレジスタ）：8ビット長、またはSDRm1[8:0]：9ビット長を読み出してください。

備考1. 図中の①～⑪は、**図11 - 94 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート**の①～⑪に対応しています。

備考2. m = 0, q = 0

図11 - 94 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート



（注意、備考は次ページに続きます）

注意　SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず、エラー割り込み（INTSREq）も発生しません。そのため、SSECm= 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし、また、SDRm1[7:0]（RXDqレジスタ）：8ビット長、またはSDRm1[8:0]：9ビット長を読み出してください。

備考1. 図中の①～⑪は、**図11 - 93　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート**の①～⑪に対応しています。

備考2. m = 0, q = 0, n = 0-3

11.6.4　ボー・レートの算出

(1)　ボー・レート算出式

UART（UART0-UART2）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート）= {対象チャネルの動作クロック（fMCK）周波数} ÷（SDRmn[15:9] + 1）÷ 2 [bps]

注意　シリアル・データ・レジスタ mn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値（0000010B-1111111B）なので、2-127になります。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

動作クロック（fMCK）は、シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）の CKSmn ビットで決まります。

表11 - 6 UART動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	32 MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	16 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	×	×	×	×	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	×	×	×	×	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	×	×	×	×	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	×	×	×	×	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
1	0	0	0	0	×	×	×	×	f_{CLK}	32 MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	16 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	×	×	×	×	$f_{CLK}/2^{12}$	7.81 kHz
	1	1	0	1	×	×	×	×	$f_{CLK}/2^{13}$	3.91 kHz
	1	1	1	0	×	×	×	×	$f_{CLK}/2^{14}$	1.95 kHz
	1	1	1	1	×	×	×	×	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

（備考は次ページに続きます）

備考1. ×：Don’t care

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART（UART0-UART2）通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差）=（算出ボー・レート値）÷（目標ボー・レート値）× 100 – 100 [%]

f_{CLK} = 32 MHz の場合の UART ボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	103	300.48 bps	+0.16%
600 bps	$f_{CLK}/2^8$	103	600.96 bps	+0.16%
1200 bps	$f_{CLK}/2^7$	103	1201.92 bps	+0.16%
2400 bps	$f_{CLK}/2^6$	103	2403.85 bps	+0.16%
4800 bps	$f_{CLK}/2^5$	103	4807.69 bps	+0.16%
9600 bps	$f_{CLK}/2^4$	103	9615.38 bps	+0.16%
19200 bps	$f_{CLK}/2^3$	103	19230.8 bps	+0.16%
31250 bps	$f_{CLK}/2^3$	63	31250.0 bps	±0.0%
38400 bps	$f_{CLK}/2^2$	103	38461.5 bps	+0.16%
76800 bps	$f_{CLK}/2$	103	76923.1 bps	+0.16%
153600 bps	f_{CLK}	103	153846 bps	+0.16%
312500 bps	f_{CLK}	50	313725.5 bps	+0.39%

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、
mn = 00, 02, 10

(3)　受信時のボー・レート許容範囲

UART（UART0-UART2）通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate　：受信側の算出ボー・レート値（**11.6.4 (1)　ボー・レート算出式**参照）

k　：SDRmn[15:9] + 1

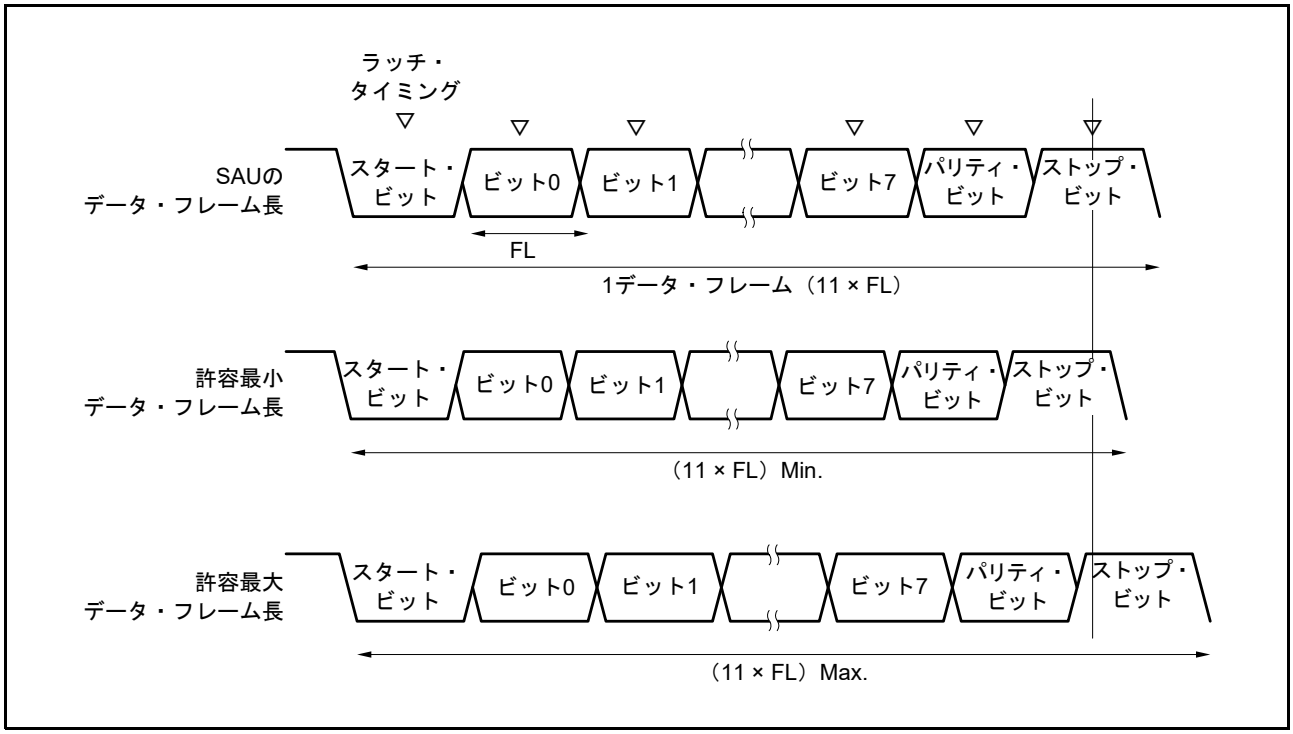
Nfr　：1 データ・フレーム長［ビット］

=（スタート・ビット）+（データ長）+（パリティ・ビット）+（ストップ・ビット）

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、

mn = 01, 03, 11

図11 - 95　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）



スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

11.6.5 UART（UART0-UART2）通信時におけるエラー発生時の処理手順

表 11 - 7 および**表 11 - 8** に UART（UART0-UART2）通信時にエラーが発生した場合の処理手順を示します。

表11 - 7 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn（SDRmn）を読み出す →	SSRmn レジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）に1を書き込む →	エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのままSIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表11 - 8 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn（SDRmn）を読み出す →	SSRmn レジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）に書き込む →	エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのままSIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタ m（STm）のSTmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタ m（SEm）のSEmnビットが0となり、チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタ m（SSm）のSSmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタ m（SEm）のSEmnビットが1となり、チャネルnは動作許可状態になる	

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

11.7　LIN通信の動作

11.7.1　LIN送信

UART 送信のうち、UART2 は LIN 通信に対応しています。
LIN 送信では、ユニット 1 のチャネル 0 を使用します。

UART	UART0	UART1	UART2
LIN通信対応	不可	不可	可
対象チャネル	−	−	SAU1のチャネル0
使用端子	−	−	TxD2
割り込み	−	−	INTST2
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート注	Max. f_{MCK}/6 [bps]（SDR10[15:9] = 2以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加		
データ方向	LSBファースト		

注　この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数
f_{CLK}：CPU／周辺ハードウェア・クロック周波数

LIN とは、Local Interconnect Network の略称で、車載ネットワークのコストダウンを目的とする低速（1 ～ 20 kbps）のシリアル通信プロトコルです。

LIN の通信はシングル・マスタ通信で、1 つのマスタに対し最大 15 のスレーブが接続可能です。

LIN のスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらが LIN のネットワークを介して LIN のマスタに接続されます。

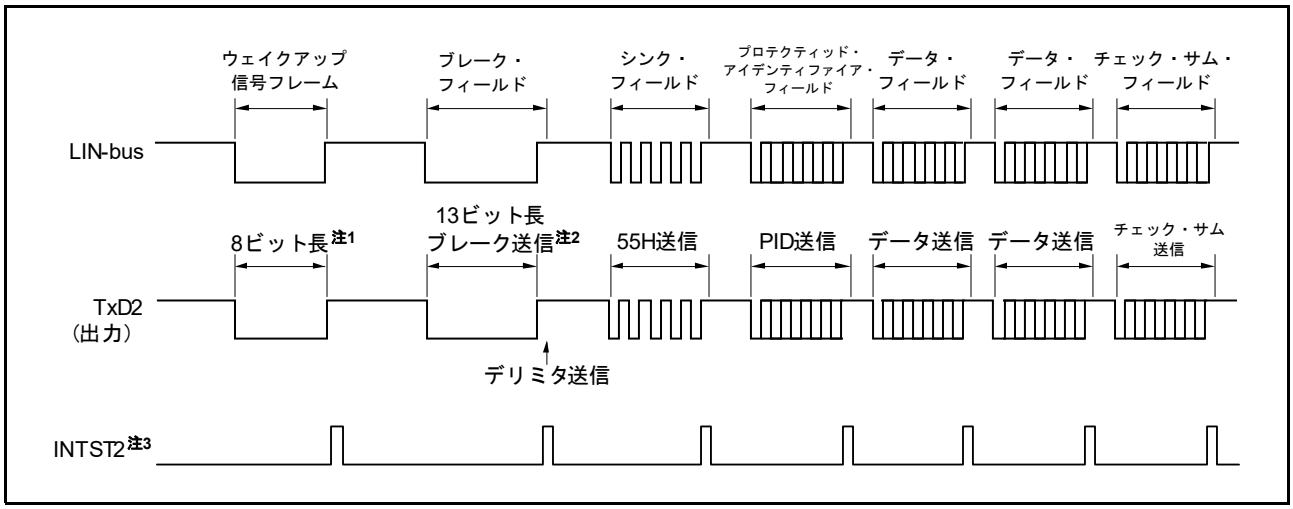
LIN のマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LIN-bus はシングル・ワイヤ方式で、ISO9141 に準拠したトランシーバを介して各ノードが接続されます。

LIN のプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が ±15% 以下であれば、通信可能です。

図 11 - 96 に LIN の送信操作を示します。

図11 - 96　LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにボー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボー・レートをN [bps]とすると、ブレーク・フィールドで使用するボー・レートは次のようになります。

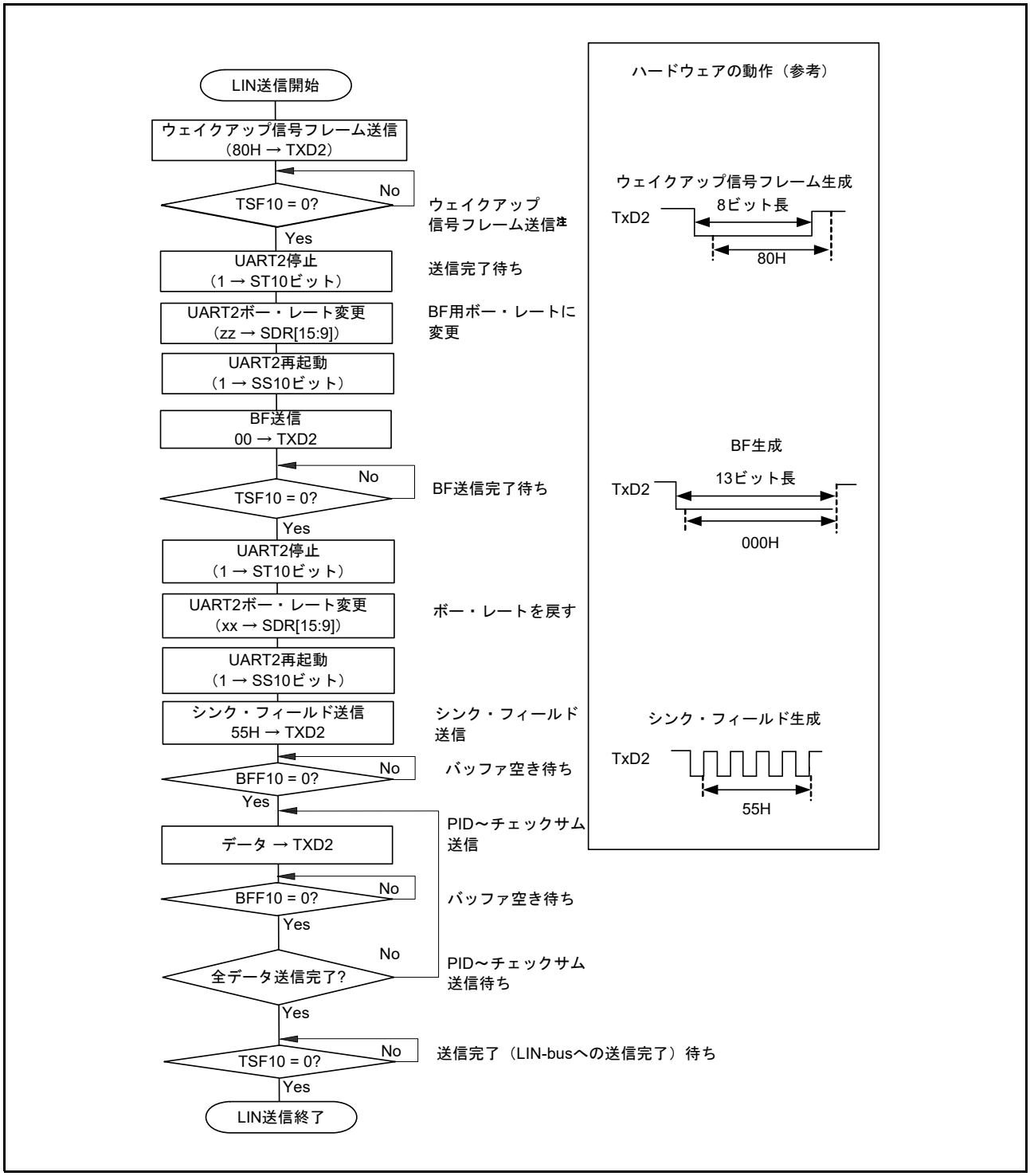
（ブレーク・フィールド時のボー・レート）= 9/13 × N

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3. 各送信終了時にはINTST2を出力します。またBF送信時もINTST2を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図11 - 97 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

11.7.2　LIN受信

UART 受信のうち、UART2 は LIN 通信に対応しています。

LIN 受信では、ユニット 1 のチャネル 1 を使用します。

UART	UART0	UART1	UART2
LIN通信対応	不可	不可	可
対象チャネル	−	−	SAU1のチャネル1
使用端子	−	−	RxD2
割り込み	−	−	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	−	−	INTSRE2
エラー検出フラグ	• フレーミング・エラー検出フラグ（FEF11） • オーバラン・エラー検出フラグ（OVF11）		
転送データ長	8ビット		
転送レート**注**	Max. f_{MCK}/6 [bps]（SDR11[15:9] = 2以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）		
ストップ・ビット	1ビット目チェック		
データ方向	LSBファースト		

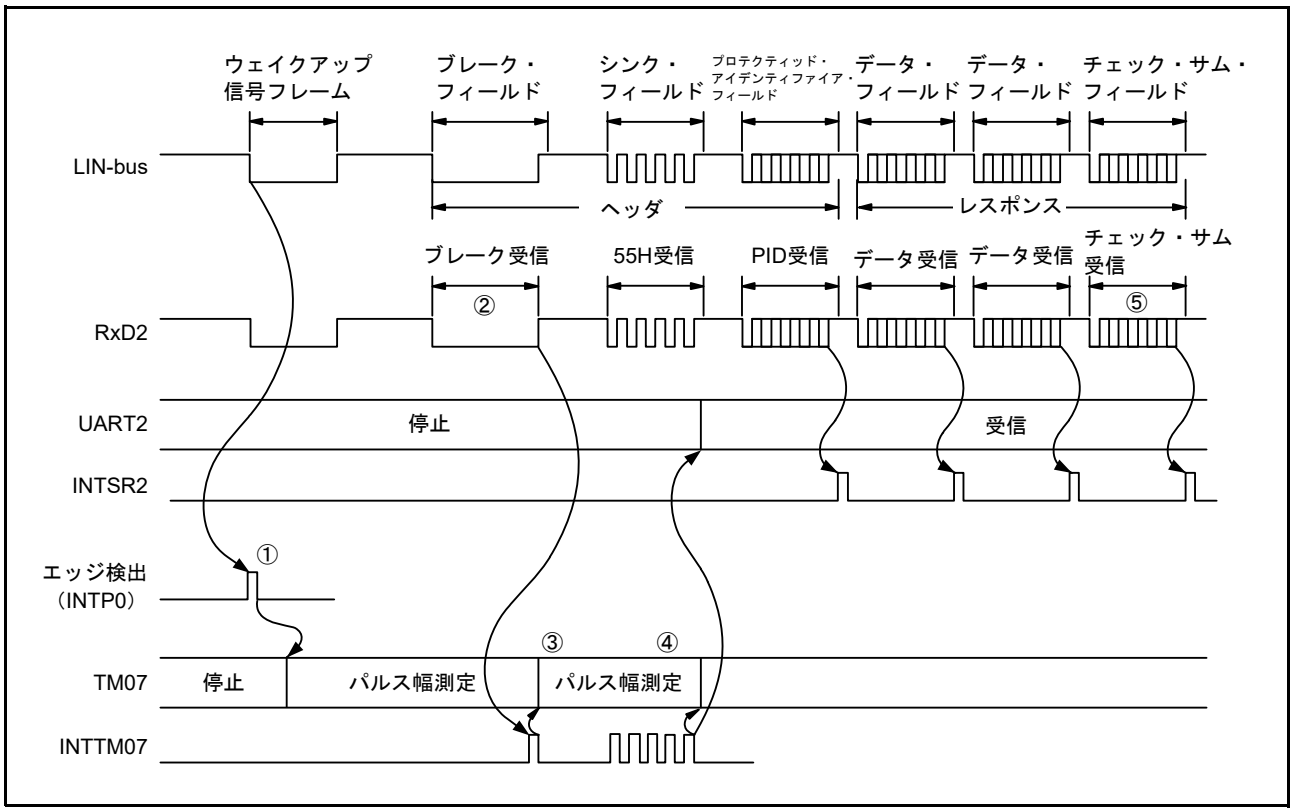
注　この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：CPU／周辺ハードウェア・クロック周波数

図 11 - 98 に LIN の受信操作を示します。

図11 - 98 LINの受信操作



受信処理の流れを次に示します。

① ウェイクアップ信号の検出は、端子の割り込みエッジ検出（INTP0）で行います。ウェイクアップ信号を検出したら、TM07 を BF のロウ・レベル幅測定のためにパルス幅測定に設定して、BF 受信待ち状態にします。

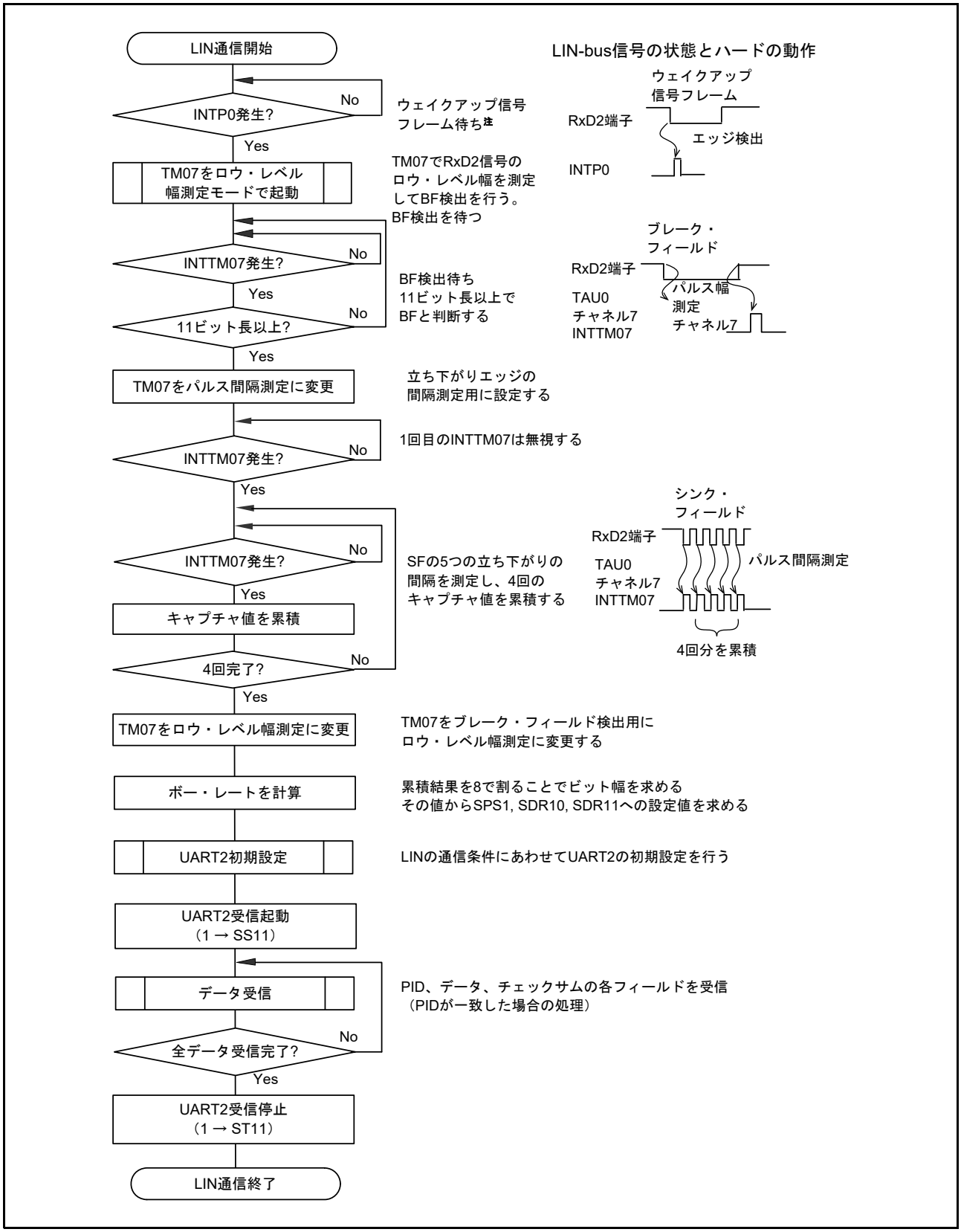
② BF の立ち下がりを検出したら、TM07 はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値から BF 信号かどうかの判定を行います。

③ BF 受信を正常終了した場合、TM07 をパルス間隔測定に設定し、シンク・フィールドの RxD2 信号の立ち下がりの間隔を 4 回測定してください（**7.8.4 入力パルス間隔測定としての動作**参照）。

④ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして、いったん UART2 を動作停止にしてからボー・レートを調整（再設定）してください。

⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後に UART2 を初期化し、再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図11 - 99 LIN受信のフロー・チャート



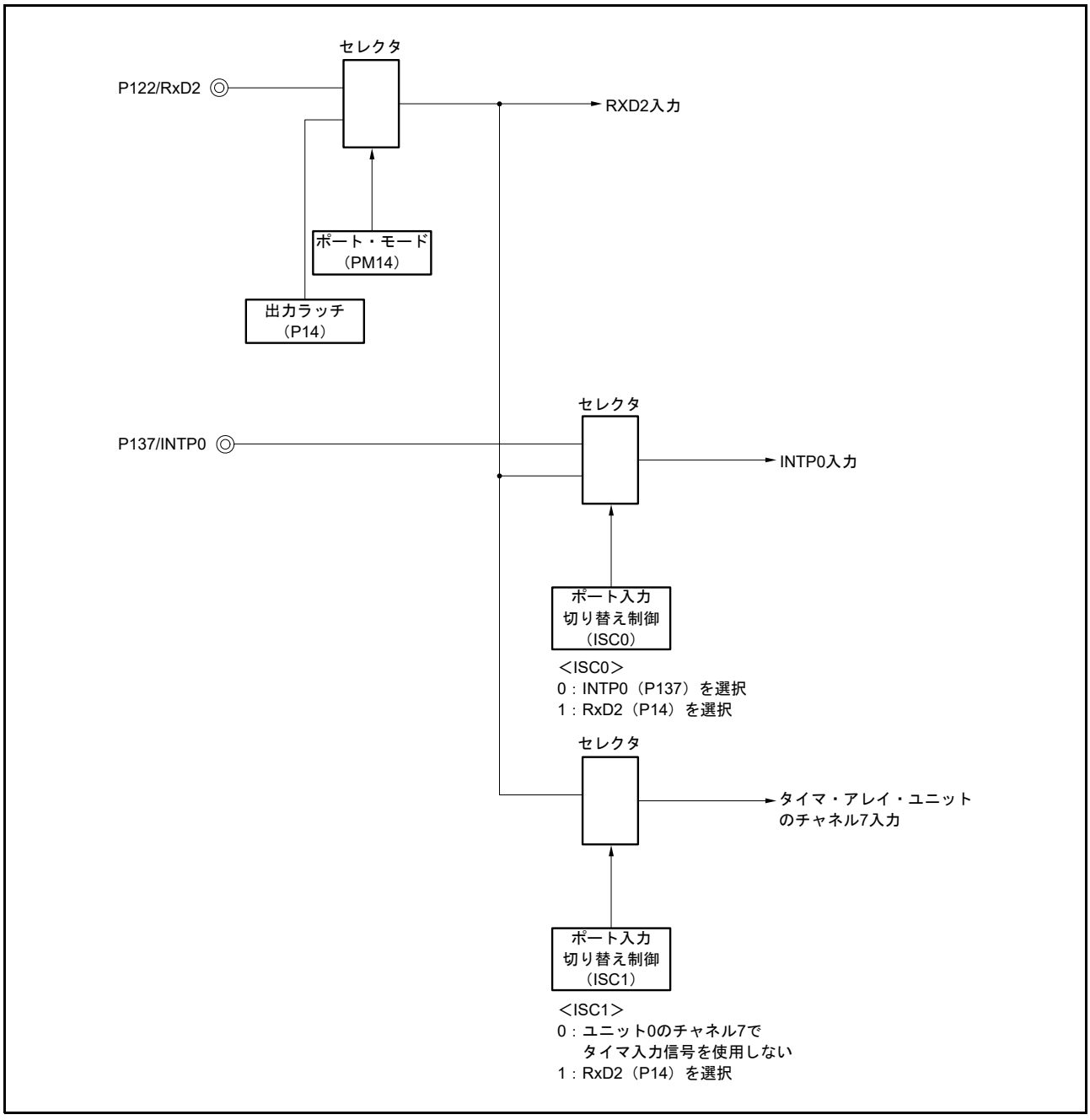
注 スリープ状態でのみ必要となります。

図 11 - 100 ～図 11 - 102 は LIN の受信操作用のポート構成図です。

LIN のマスタから送信されるウェイクアップ信号の受信を、外部割り込み（INTP0）のエッジ検出にて行います。また、LIN のマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット 0 の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

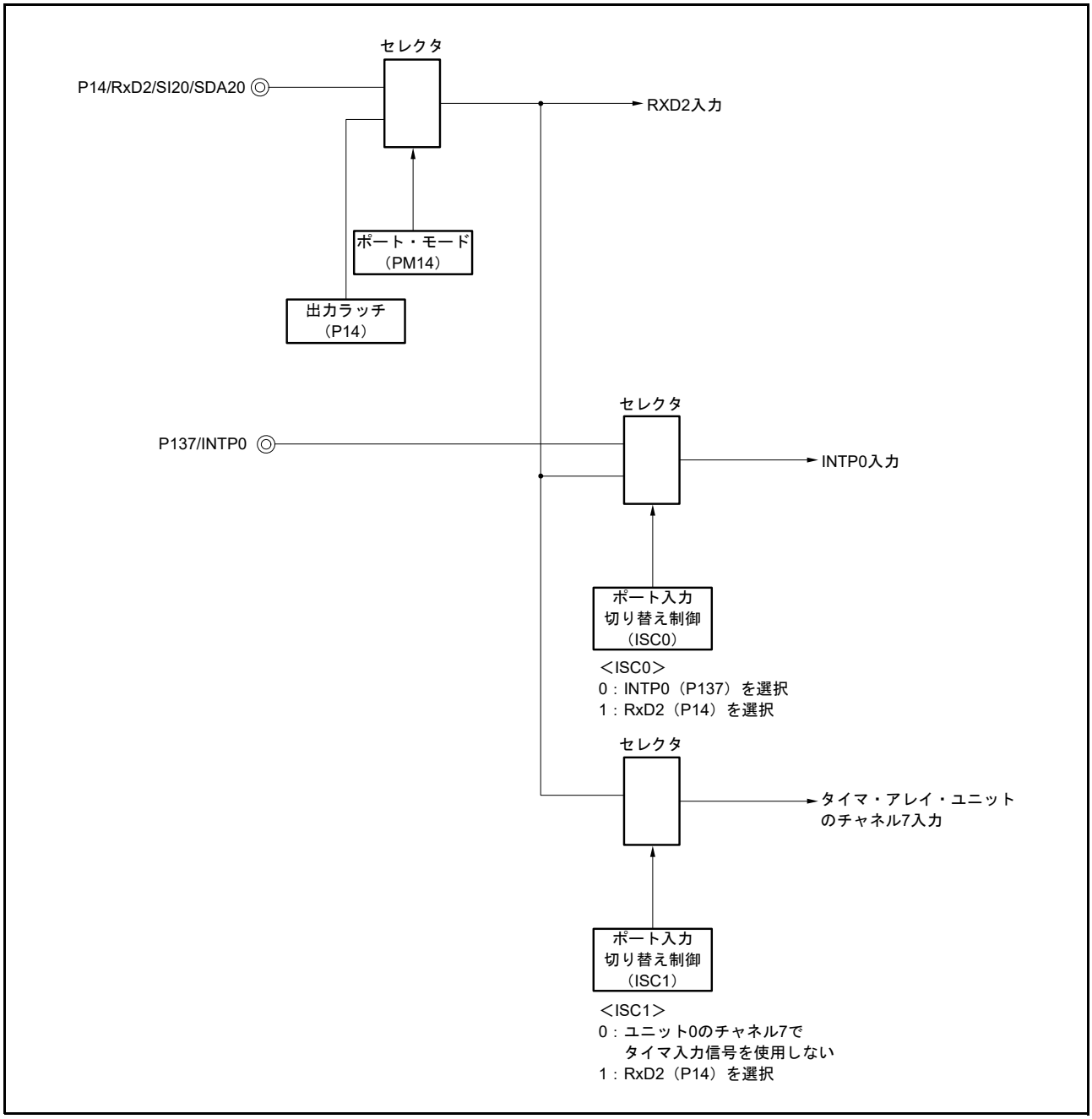
ポート入力切り替え制御（ISC0, ISC1）により、外部で結線をせずに、受信用ポート入力（RxD2）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図11 - 100　LINの受信操作用のポート構成図（20ピン製品の場合）



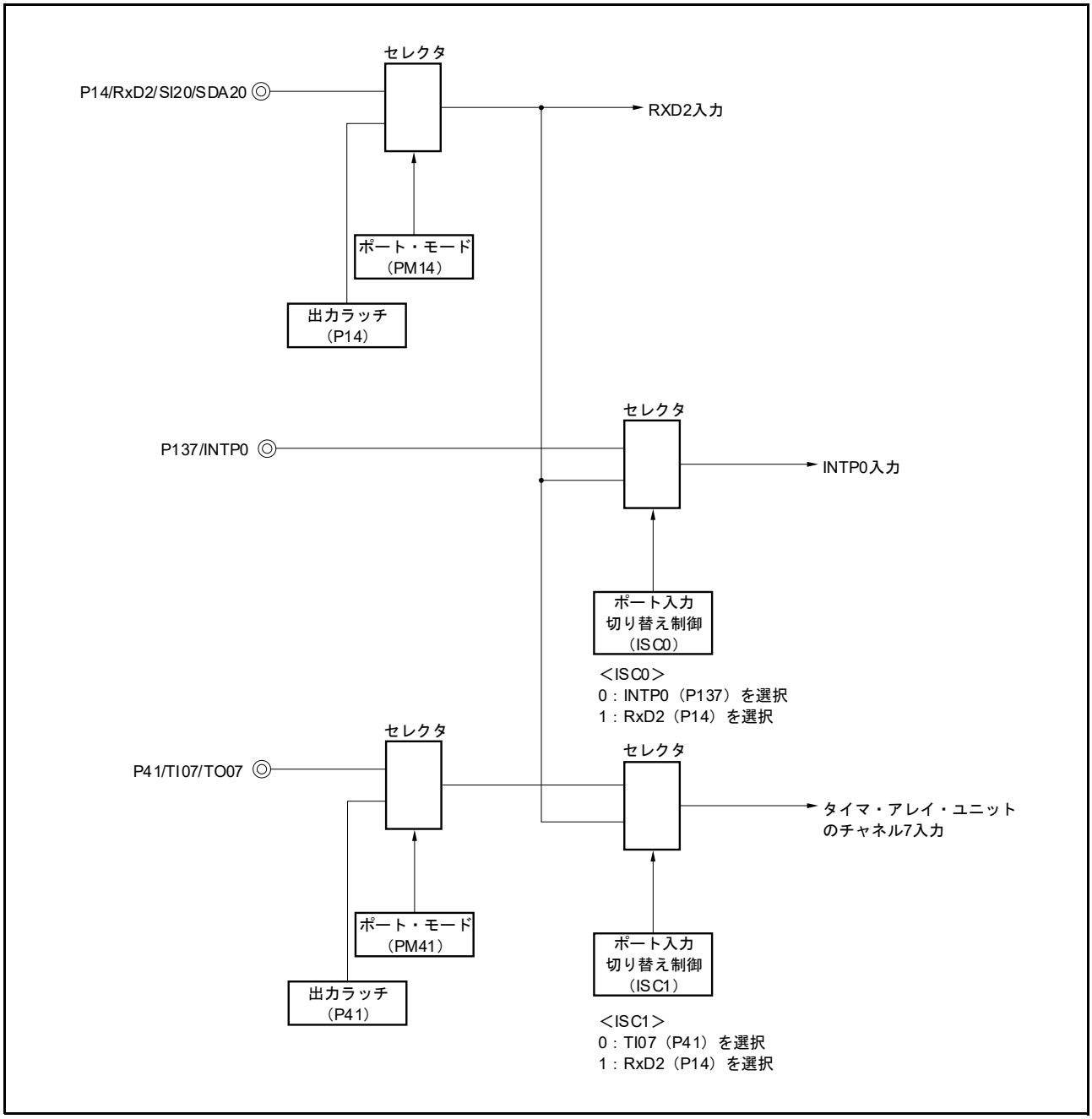
備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（**図11 - 21**参照）

図11 - 101　LINの受信操作用のポート構成図（32ピン製品の場合）



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（**図11 - 21**参照）

図11 - 102　LINの受信操作用のポート構成図（44～64ピン製品の場合）



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（**図11 - 21**参照）

LIN 通信動作で使用する周辺機能をまとめると、次のようになります。

＜使用する周辺機能＞

- 外部割り込み（INTP0）：ウェイクアップ信号検出
  用途：ウェイクアップ信号のエッジを検出し、通信開始を検出
- タイマ・アレイ・ユニットのチャネル7：ボー・レート誤差検出、ブレーク・フィールド（BF）検出
  用途：シンク・フィールド（SF）の長さを検出し、ビット数で割ることでボー・レート誤差を検出（RxD2 入力エッジの間隔をキャプチャ・モードで測定）
  ロウ・レベル幅を測定し、ブレーク・フィールド（BF）かを判定
- シリアル・アレイ・ユニット1（SAU1）のチャネル0, 1（UART2）

11.8　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

［データ送受信］

- マスタ送信、マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能注、ACK検出機能
- 8ビットのデータ長（アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御）
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- オーバラン・エラー
- ACKエラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信、スレーブ受信
- マルチ・マスタ機能（アービトレーション負け検出機能）
- クロック・ストレッチ検出機能

注　最終データの受信時は、SOEmn（SOEmレジスタ）ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**11.8.3 (2)　処理フロー**を参照してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

★ 簡易 I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）に対応しているチャネルは、SAU0 のチャネル 0 ～チャネル 3 と SAU1 のチャネル 0、チャネル 1 です。

20 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	−		−
	2	−	UART1	−
	3	CSI11		IIC11
1	0	−	UART2（LIN-bus対応）	−
	1	−		−

32 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	−		−
	2	−	UART1	−
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	−		−

44 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	−		−
	2	−	UART1	−
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	−	UART1	−
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

64ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

簡易 I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）の通信動作は、以下の 4 種類があります。

- アドレス・フィールド送信 （**11.8.1** 参照）
- データ送信 （**11.8.2** 参照）
- データ受信 （**11.8.3** 参照）
- ストップ・コンディション発生 （**11.8.4** 参照）

11.8.1　アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C 通信で最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7 ビット）と転送方向（1 ビット）を 1 フレームとして送信します。

簡易I²C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）					
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）					
転送レート注2	Max.fMCK/4 [Hz]（SDRmn[15:9] = 1以上）　fMCK：対象チャネルの動作クロック周波数 ただし、I²Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK送受信タイミング用）					
データ方向	MSBファースト					

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[VDD耐圧（20～48ピン製品の場合）／EVDD耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。詳細は、**4.3　ポート機能を制御するレジスタ、4.5　兼用機能使用時のレジスタ設定**を参照してください。
IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20）も同様にN-chオープン・ドレイン出力[VDD耐圧（20～48ピン製品の場合）／EVDD耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、**4.4.5　入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

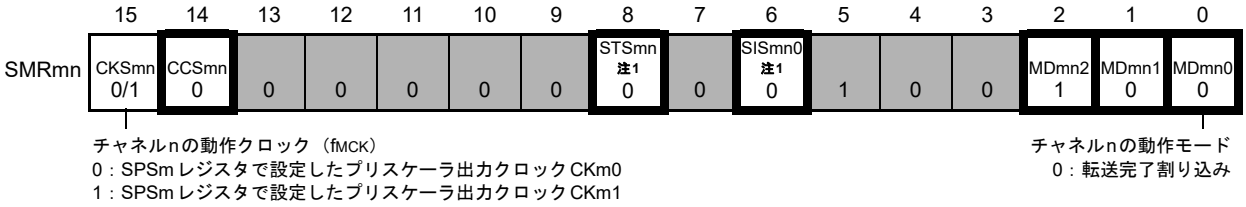
注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第28章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

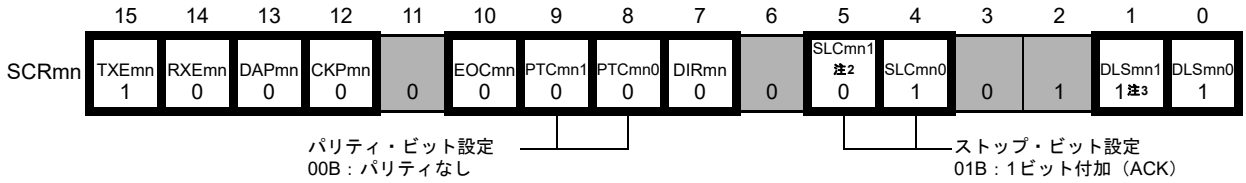
(1)　レジスタ設定

図11 - 103　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）のアドレス・フィールド送信時のレジスタ設定内容例

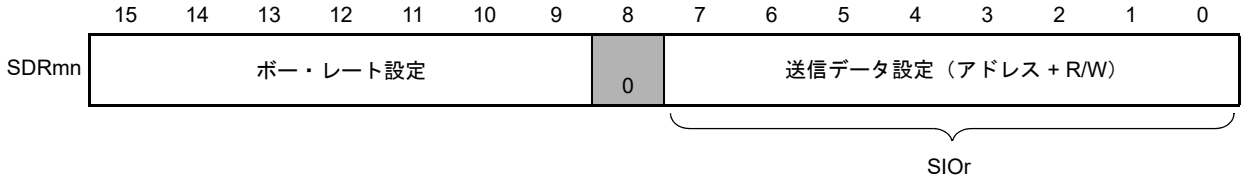
(a)　シリアル・モード・レジスタmn（SMRmn）



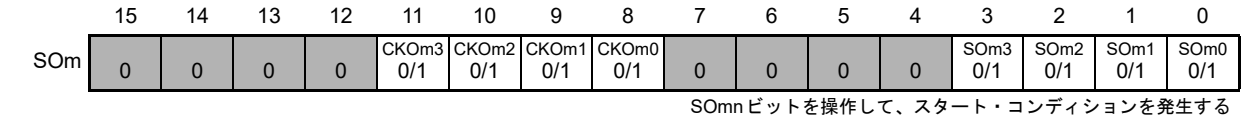
(b)　シリアル通信動作設定レジスタmn（SCRmn）



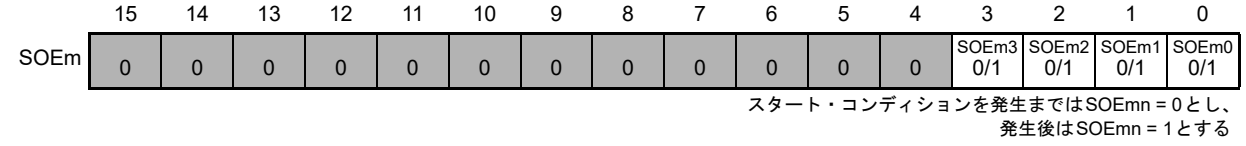
(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）



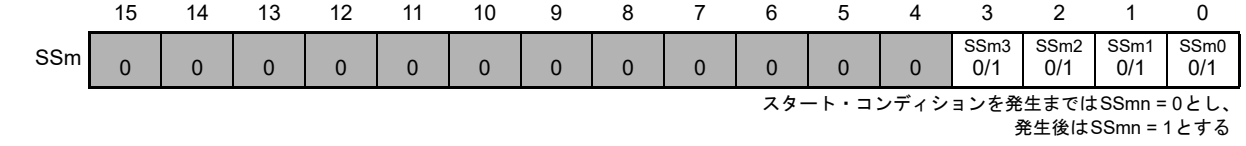
(d)　シリアル出力レジスタm（SOm）



(e)　シリアル出力許可レジスタm（SOEm）



(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する



（注、備考は次ページに続きます）

注1. SMR00, SMR03, SMR11 レジスタのみ

注2. SCR00, SCR02, SCR10 レジスタのみ

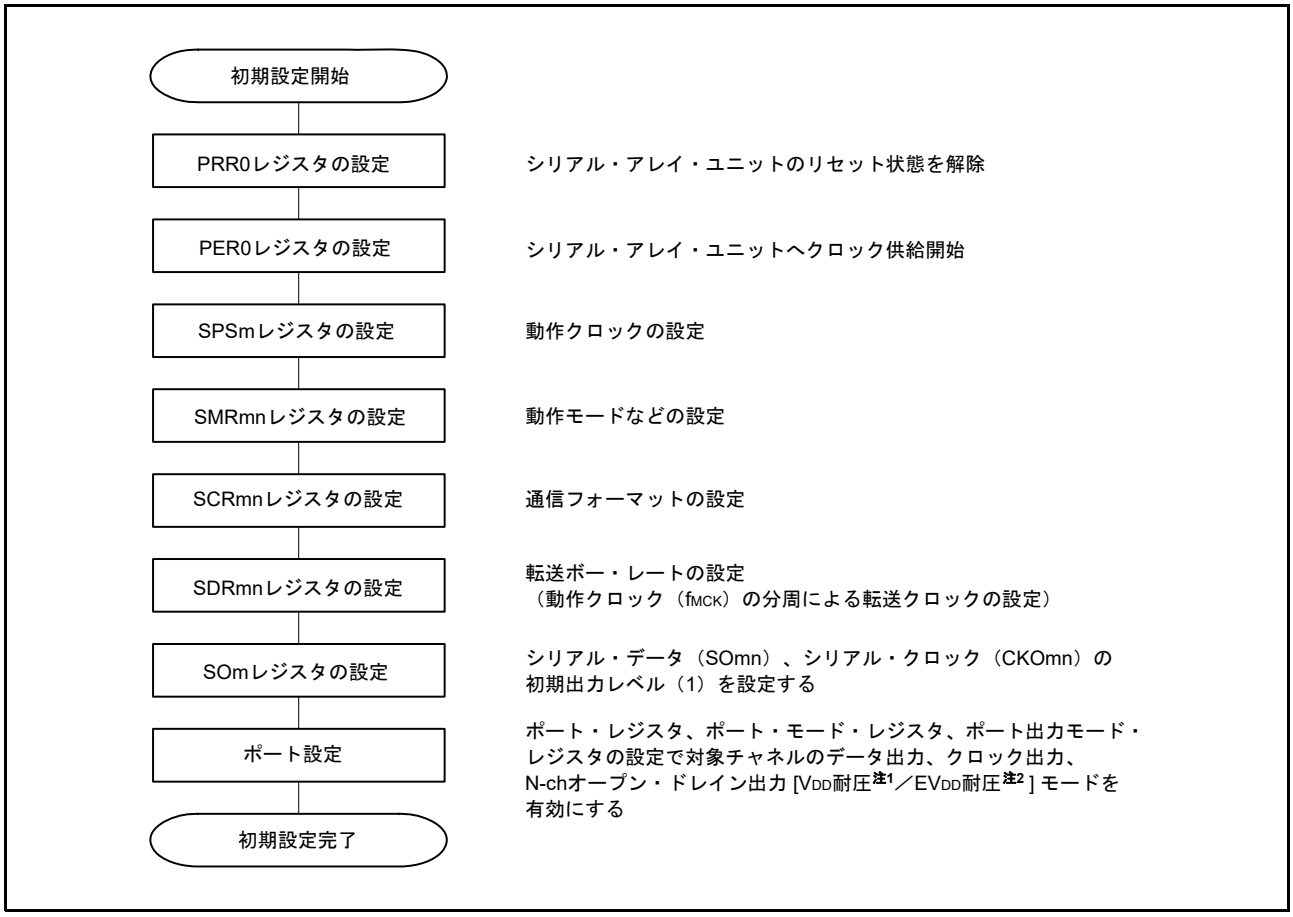
注3. SCR00, SCR01 レジスタのみ。その他は1固定になります。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

備考2. ■: IICモードでは設定固定、 ■: 設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 操作手順

図11 - 104 簡易I²Cアドレス・フィールド送信の初期設定手順

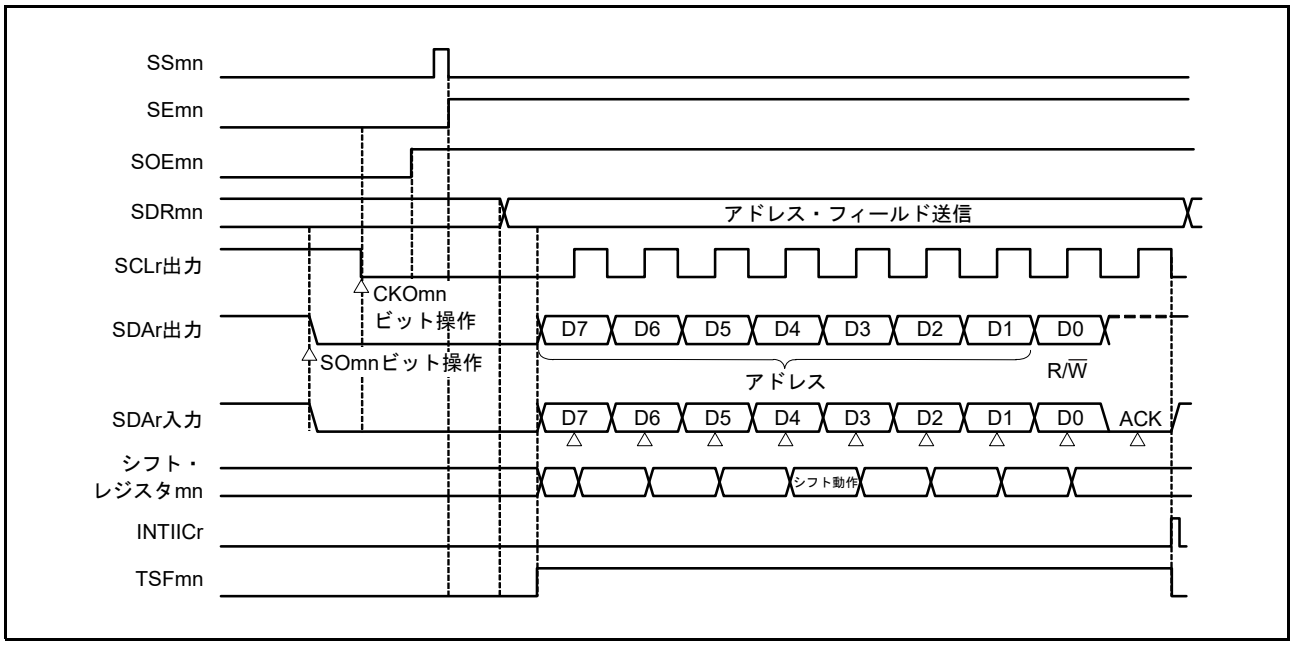


注1. 20～48ピン製品の場合

注2. 64ピン製品の場合

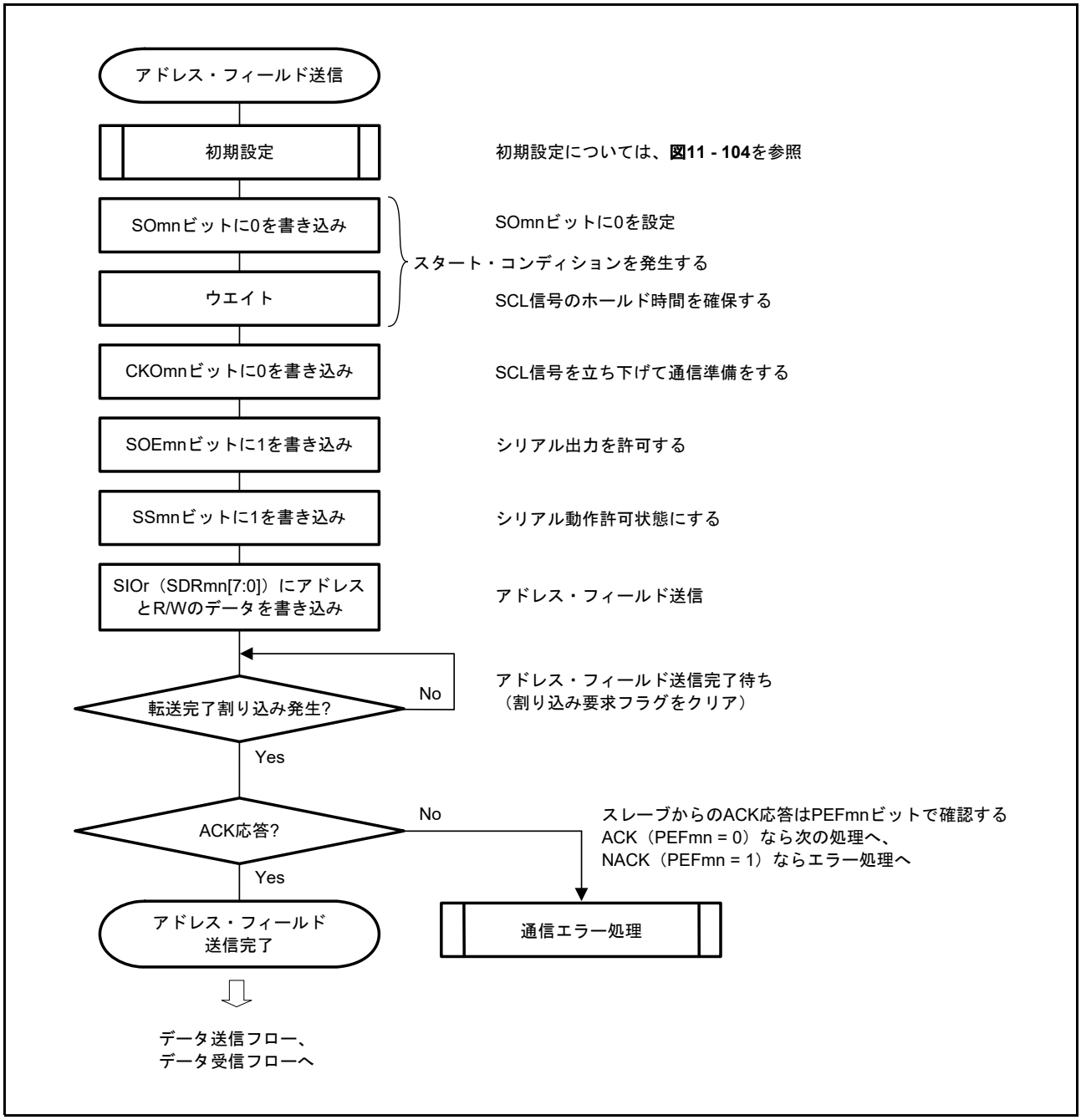
(3)　処理フロー

図11 - 105　アドレス・フィールド送信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）、
mn = 00-03, 10, 11

図11 - 106 簡易I²Cアドレス・フィールド送信のフロー・チャート



11.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）へデータを送信する動作です。対象スレーブへすべてのデータを送信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	ACKエラー・フラグ（PEFmn）					
転送データ長	8ビット					
転送レート注2	Max. f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上） f_{MCK}：対象チャネルの動作クロック周波数 ただし、I²Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK受信タイミング用）					
データ方向	MSBファースト					

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定**を参照してください。
IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、**4.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第28章 電気的特性**参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

(1)　レジスタ設定

図11 - 107　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）のデータ送信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b)　シリアル通信動作設定レジスタmn（SCRmn）：TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）：データ送受信中は下位8ビット（SIOr）のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	送信データ設定							
									SIOr							

(d)　シリアル出力レジスタm（SOm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	CKOm2 0/1注5	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 0/1注5	SOm1 0/1注5	SOm0 0/1注5

(e)　シリアル出力許可レジスタm（SOEm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 1	SOEm2 1	SOEm1 1	SOEm0 1

(f)　シリアル・チャネル開始レジスタm（SSm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注1.　SMR01, SMR03, SMR11レジスタのみ

注2.　SCR00, SCR02, SCR10レジスタのみ

注3.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注4.　アドレス・フィールド送信で設定済みなので、設定不要です。

注5.　通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

備考2.　■：IICモードでは設定固定、▒：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2) 処理フロー

図11 - 108 データ送信のタイミング・チャート

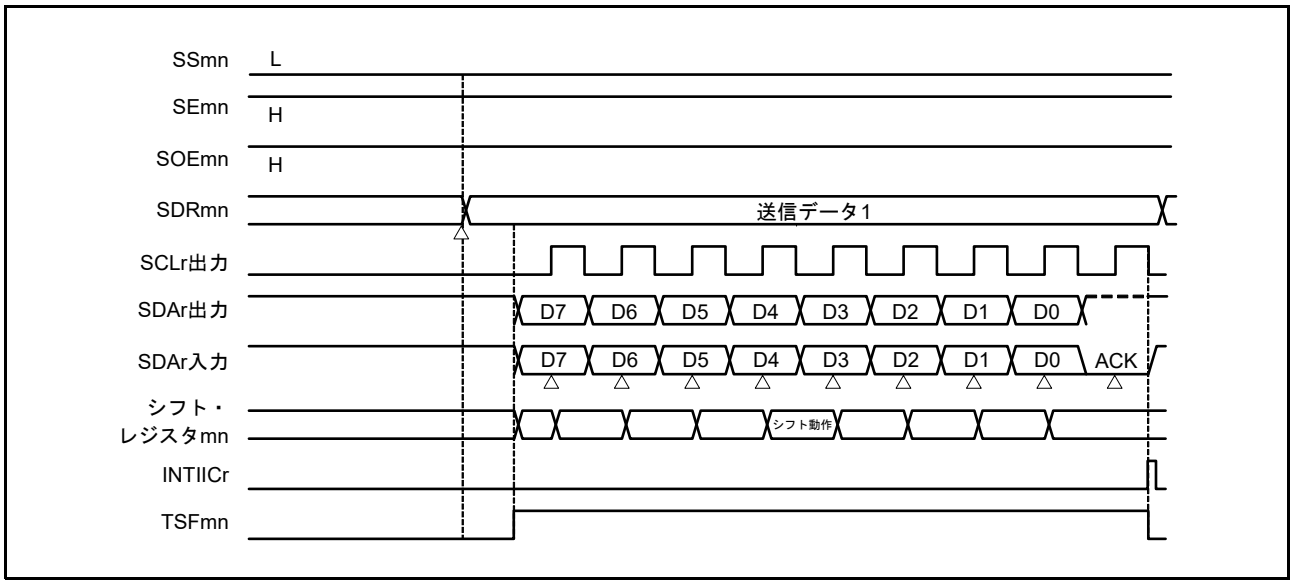
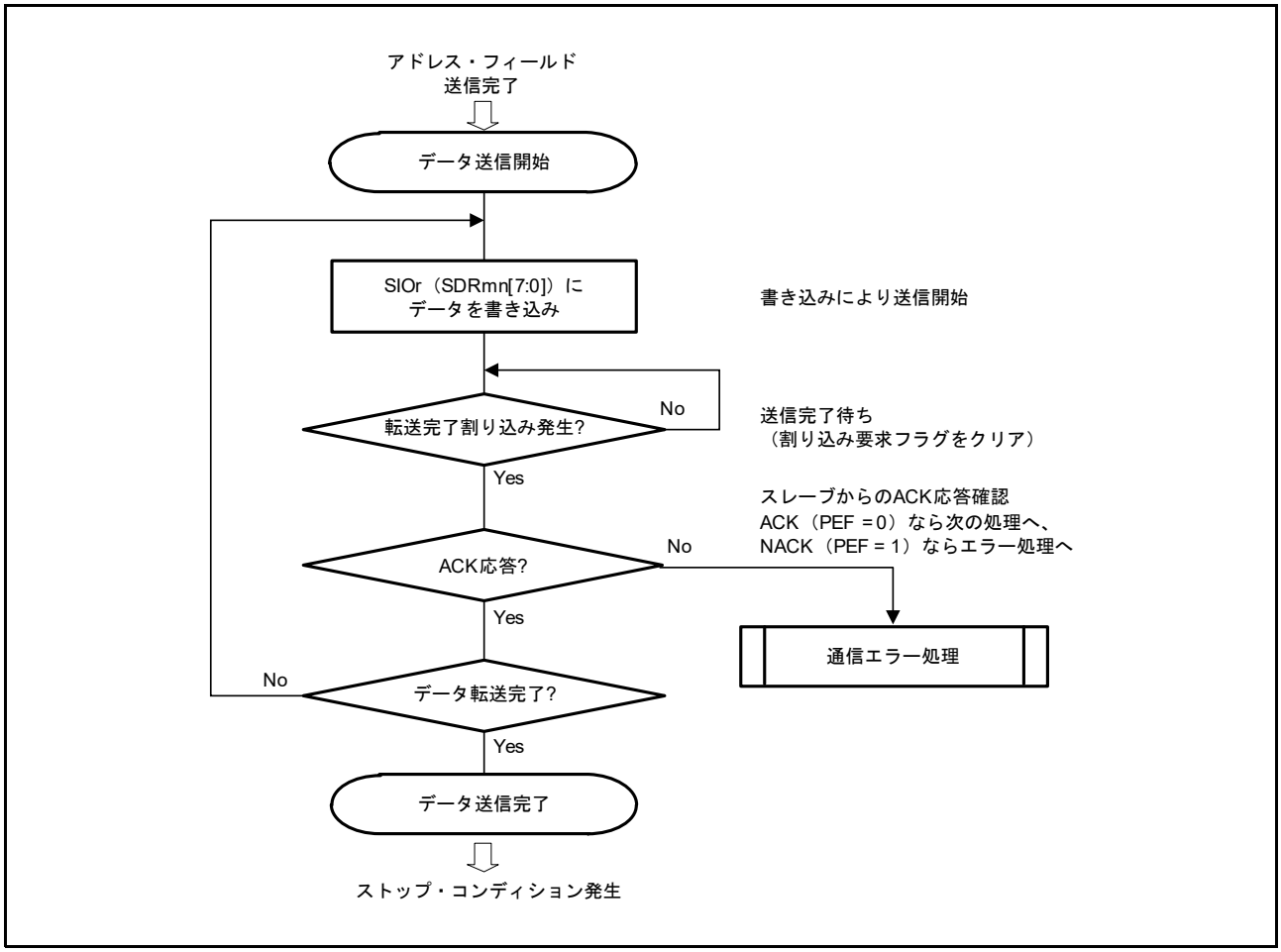


図11 - 109 簡易I²Cデータ送信のフロー・チャート



11.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	8ビット					
転送レート注2	Max. f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上） f_{MCK}：対象チャネルの動作クロック周波数 ただし、I²Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK送信）					
データ方向	MSBファースト					

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定**を参照してください。
IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、**4.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第28章 電気的特性**参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

(1)　レジスタ設定

図11 - 110　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）のデータ受信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b)　シリアル通信動作設定レジスタmn（SCRmn）：TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）：データ送受信中は下位8ビット（SIOr）のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	ダミー送信データ設定（FFH）							
									SIOr							

(d)　シリアル出力レジスタm（SOm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	CKOm2 0/1注5	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 0/1注5	SOm1 0/1注5	SOm0 0/1注5

(e)　シリアル出力許可レジスタm（SOEm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注1.　SMR01, SMR03, SMR11レジスタのみ

注2.　SCR00, SCR02, SCR10レジスタのみ

注3.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注4.　アドレス・フィールド送信で設定済みなので、設定不要です。

注5.　通信動作中は通信データにより値が変わります。

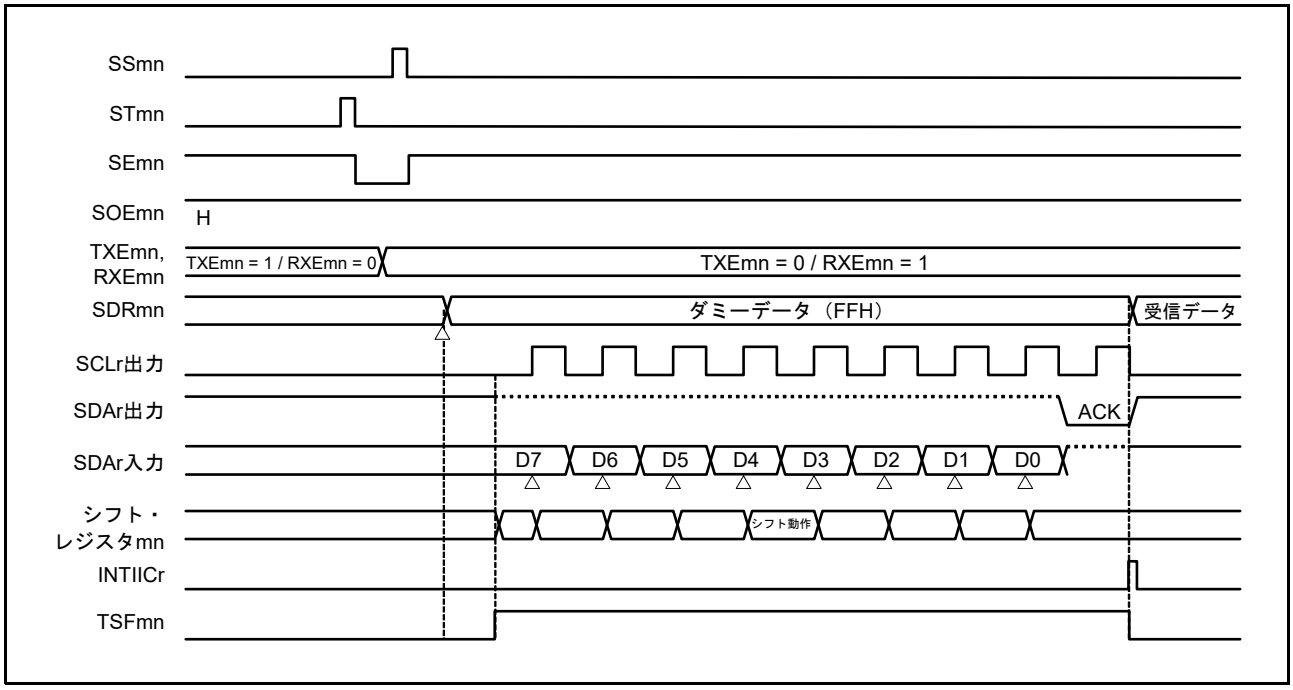
備考1.　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

備考2.　■：IICモードでは設定固定、▒：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

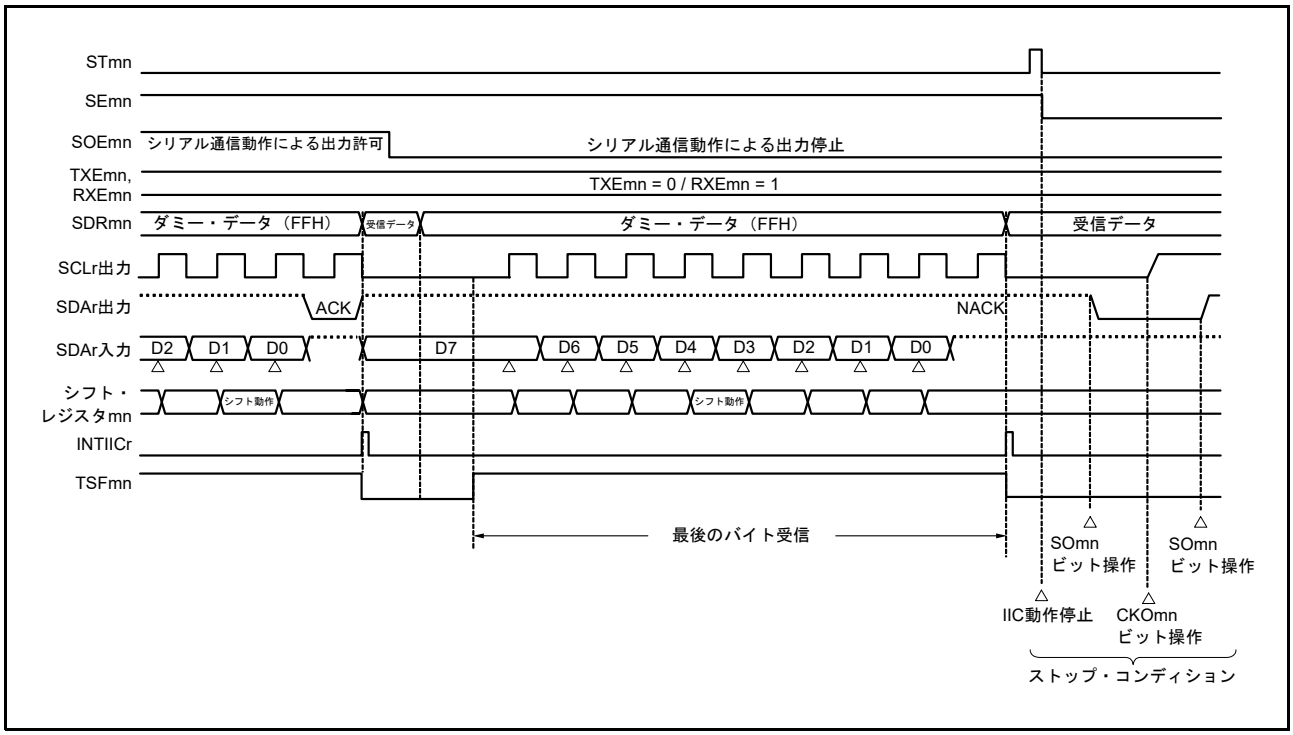
(2) 処理フロー

図11 - 111 データ受信のタイミング・チャート

(a) データ受信開始時

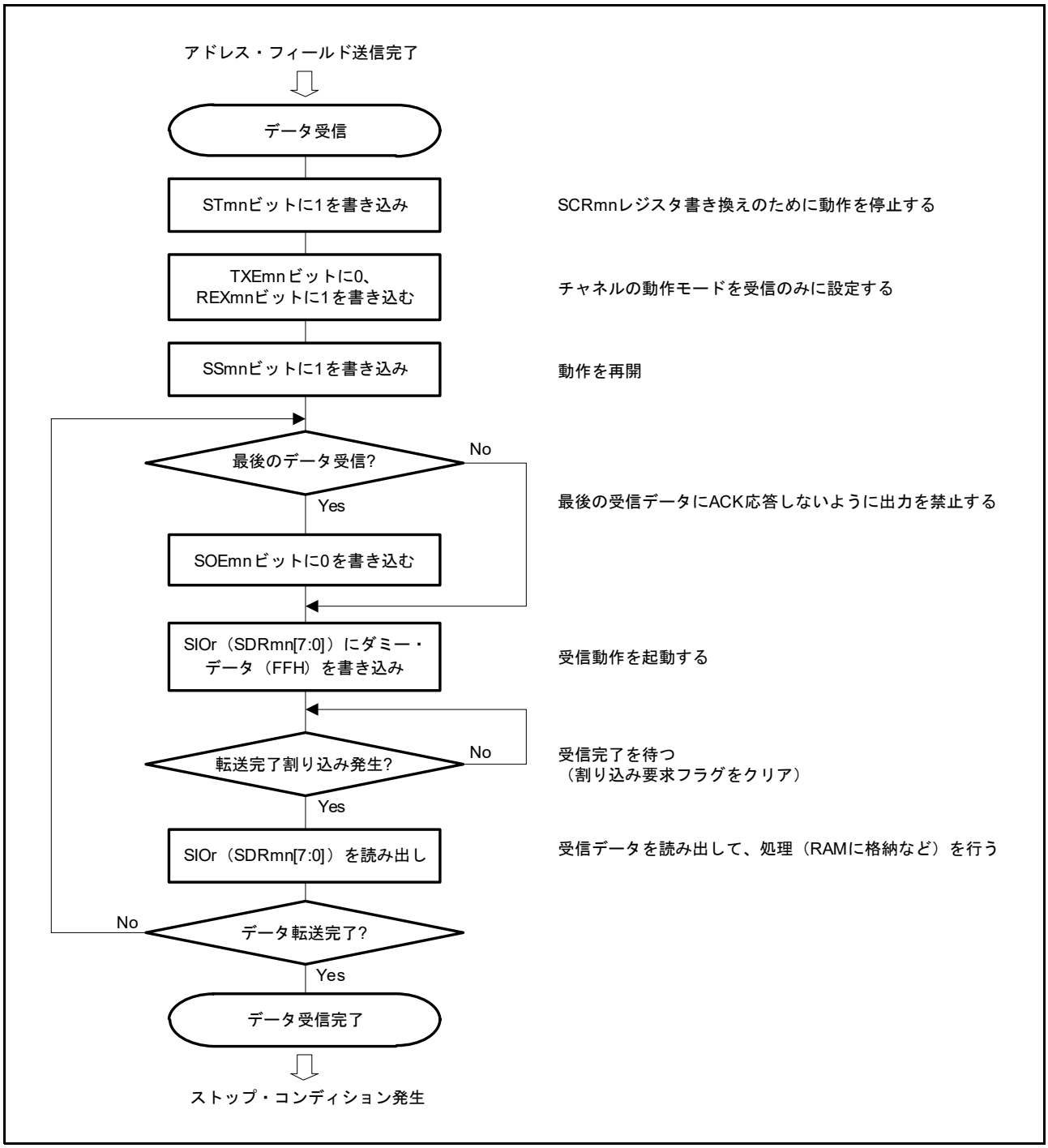


(b) 最終データ受信時



備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

図11 - 112 データ受信のフロー・チャート



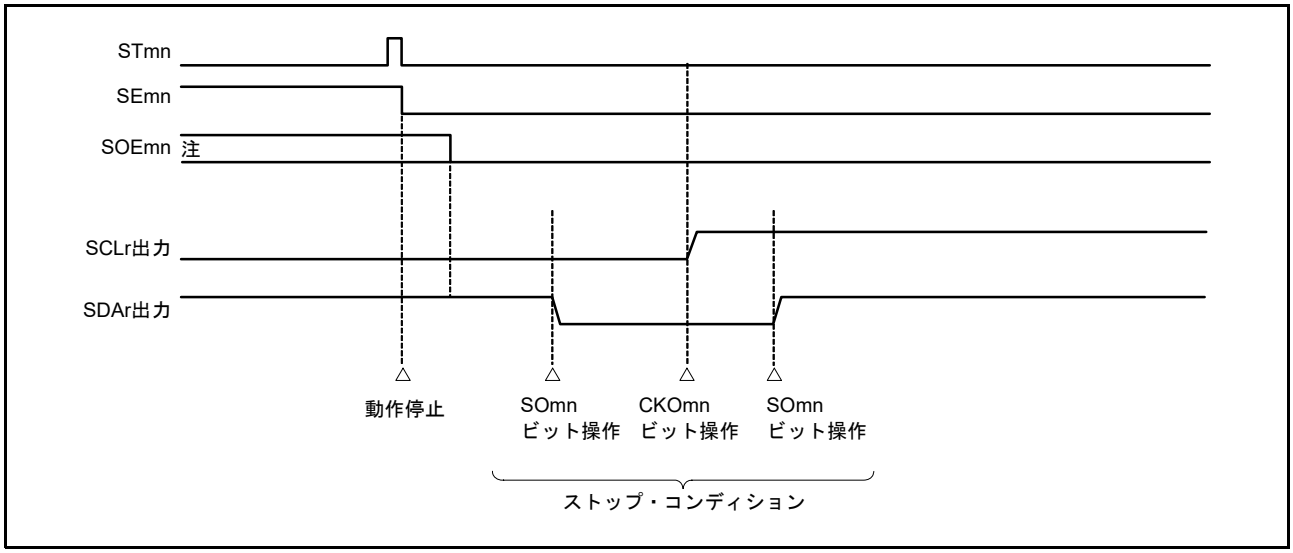
注意 最終データの受信時はACKを出力しません（NACK）。その後、シリアル・チャネル停止レジスタm（STm）のSTmnビットに1を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

11.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信したあとは、ストップ・コンディションを発生し、バスを開放します。

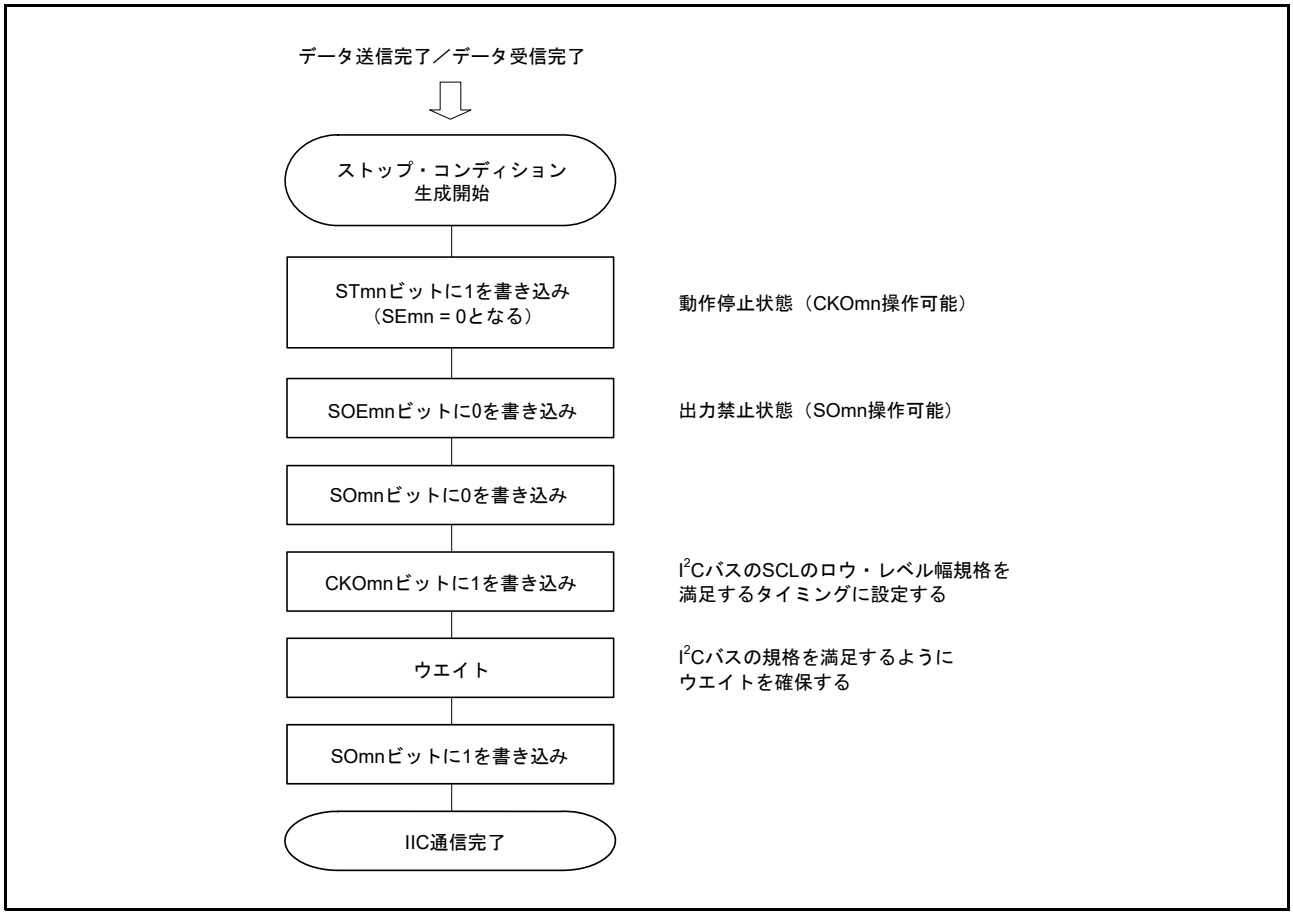
(1) 処理フロー

図11 - 113 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm（SOEm）のSOEmnビットに0を設定しています。

図11 - 114 ストップ・コンディション発生のフロー・チャート



11.8.5 転送レートの算出

簡易 I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信での転送レートは下記の計算式にて算出できます。

（転送レート）= ｛対象チャネルの動作クロック（fMCK）周波数｝÷（SDRmn[15:9] + 1）÷ 2

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。
SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. （SDRmn[15:9]）は、シリアル・データ・レジスタ mn（SDRmn）のビット15-9の値（0000001B-1111111B）なので、1-127になります。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

動作クロック（fMCK）は、シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）の CKSmn ビットで決まります。

表11 - 9 簡易I²C動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	32 MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	16 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
1	0	0	0	0	×	×	×	×	f_{CLK}	32 MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	16 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	15.63 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ m（STm）= 000FH）させてから変更してください。

備考1. ×：Don’t care

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

f_{MCK} = f_{CLK} = 32 MHz の場合の I^2C 転送レート設定例を示します。

I^2C転送モード（希望転送レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}/2	79	100 kHz	0.0%
400 kHz	f_{CLK}	41	380 kHz	5.0%注
1 MHz	f_{CLK}	18	0.84 MHz	16.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

11.8.6 簡易I2C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信時におけるエラー発生時の処理手順

表 11 - 10 および**表 11 - 11** に簡易 I2C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信時にエラーが発生した場合の処理手順を示します。

表11 - 10 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）を読み出す →	SSRmnレジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に1を書き込む →	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表11 - 11 簡易I2Cモード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタmn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に書き込む →	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが0となり、チャネルnは動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。またはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが1となり、チャネルnは動作許可状態になる	

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、r：IIC番号（r = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

第12章　シリアル・インタフェースIICA（IICA）

シリアル・インタフェース IICA のチャネル数は、製品によって異なります。

	20ピン	32～64ピン
チャネル数	−	1チャネル

12.1　シリアル・インタフェースIICAの機能

シリアル・インタフェース IICA には、次の 3 種類のモードがあります。

(1)　動作停止モード
シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2)　I²Cバス・モード（マルチマスタ対応）
シリアル・クロック（SCLAn）とシリアル・データ・バス（SDAAn）の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。
I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。
シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3)　ウェイクアップ・モード
STOPモード状態で、マスタからの拡張コードまたは自局アドレスを受信した場合に、割り込み要求信号（INTIICAn）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1（IICCTLn1）のWUPnビットにより設定します。
なお、IICCTLn1レジスタのSVADISnビットに1を設定することで全アドレス一致機能が許可となり、アドレスを受信した際にどのようなアドレスでも一致と判断します。

備考　n = 0

図 12 - 1 にシリアル・インタフェース IICA0 のブロック図を示します。

図12 - 1　　シリアル・インタフェースIICA0のブロック図

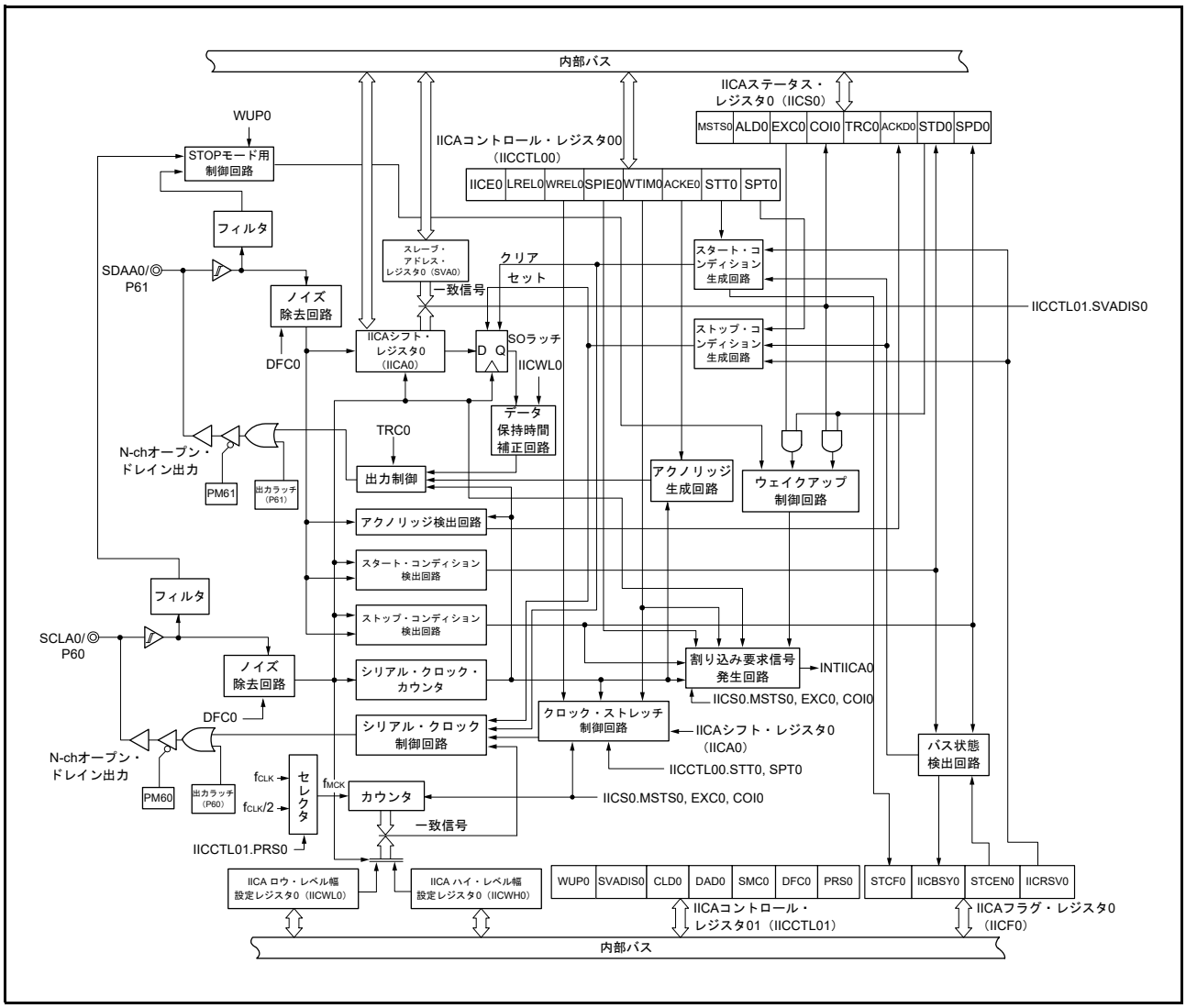
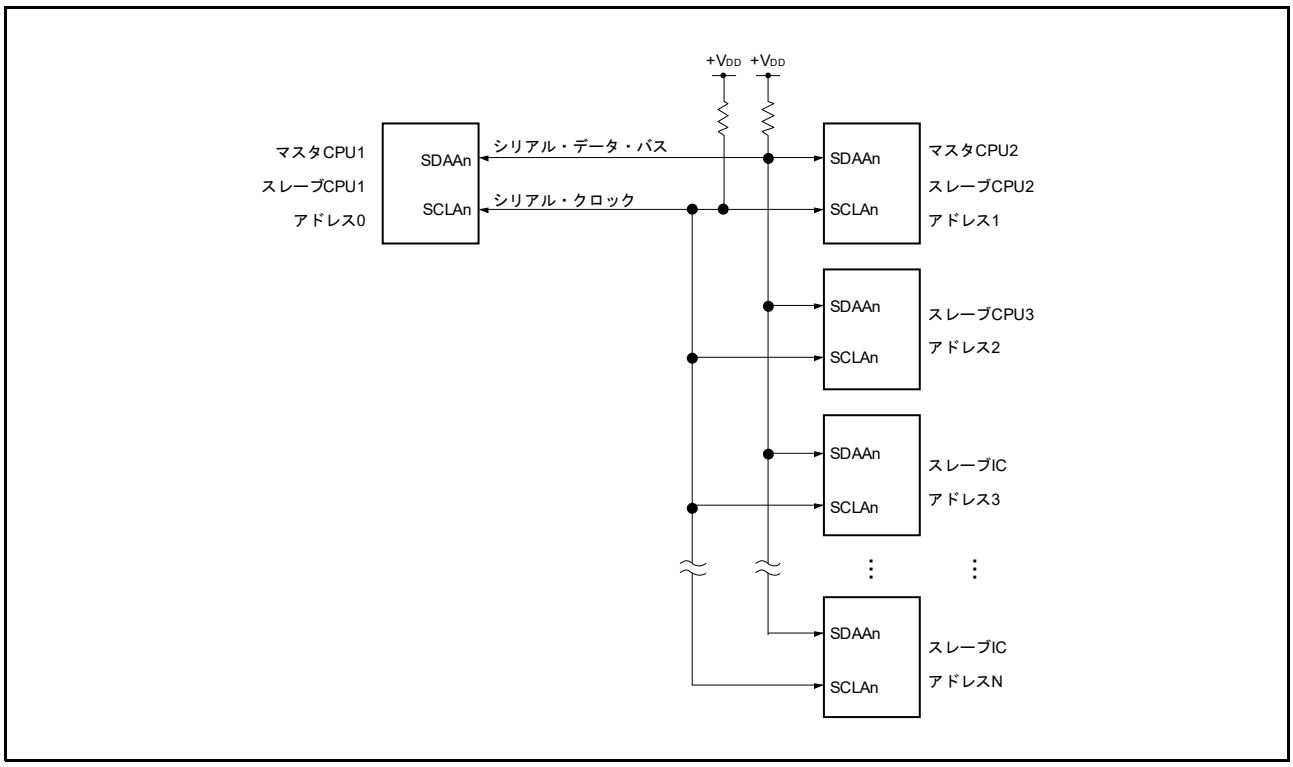


図 12 - 2 に I²C バスによるシリアル・バス構成例を示します。

図12 - 2　I²Cバスによるシリアル・バス構成例



備考　n = 0

12.2　シリアル・インタフェースIICAの構成

シリアル・インタフェース IICA は、次のハードウェアで構成されています。

表12 - 1　　シリアル・インタフェースIICAの構成

項　　目	構　　成
レジスタ	• IICAシフト・レジスタn（IICAn） • スレーブ・アドレス・レジスタn（SVAn）
制御レジスタ	• 周辺イネーブル・レジスタ0（PER0） • 周辺リセット制御レジスタ0（PRR0） • IICAコントロール・レジスタn0（IICCTLn0） • IICAステータス・レジスタn（IICSn） • IICAフラグ・レジスタn（IICFn） • IICAコントロール・レジスタn1（IICCTLn1） • IICAロウ・レベル幅設定レジスタn（IICWLn） • IICAハイ・レベル幅設定レジスタn（IICWHn） • ポート・モード・レジスタ（PMxx） • ポート・レジスタ（Pxx）

備考　n = 0

(1) IICAシフト・レジスタn（IICAn）

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットのパラレル・データに、8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 3 IICAシフト・レジスタn（IICAn）のフォーマット

アドレス ：FFF50H (IICA0)
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット（IICCTLn0.STTn）に1をセットしたあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0

(2) スレーブ・アドレス・レジスタn（SVAn）

スレーブとして使用する場合に、自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図12 - 4 スレーブ・アドレス・レジスタn（SVAn）のフォーマット

アドレス ：F0234H (SVA0)
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0**注**

注 ビット0は0固定です。

備考 n = 0

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイクアップ制御回路
スレーブ・アドレス・レジスタn（SVAn）に設定したアドレス値と受信アドレスが一致するか、全アドレス一致機能許可状態でアドレスを受信した場合、または拡張コードを受信した場合に割り込み要求信号（INTIICAn）を発生させる回路です。

(5) シリアル・クロック・カウンタ
送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路
割り込み要求信号（INTIICAn）の発生を制御します。
I^2C割り込み要求は、次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（IICCTLn0.WTIMnビットで設定）
- ストップ・コンディション検出による割り込み要求発生（IICCTLn0.SPIEnビットで設定）

(7) シリアル・クロック制御回路
マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路
クロック・ストレッチ・タイミングを制御します。

(9) アクノリッジ生成回路、ストップ・コンディション検出回路、スタート・コンディション検出回路、アクノリッジ検出回路
各状態の生成および検出を行います。

(10) データ保持時間補正回路
シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路
IICCTLn0.STTnビットが1にセットされるとスタート・コンディションを生成します。
ただし、通信予約禁止状態（IICFn.IICRSVn = 1）で、かつバスが解放されていない（IICFn.IICBSYn = 1）場合には、スタート・コンディション要求は無視し、IICFn.STCFnフラグに1をセットします。

(12) ストップ・コンディション生成回路
IICCTLn0.SPTnビットが1にセットされるとストップ・コンディションを生成します。

(13) バス状態検出回路
スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。
ただし、動作直後はバス状態を検出できません。IICFn.STCENnビットでバス状態検出回路の初期状態を設定してください。

備考　n = 0

12.3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェース IICA を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- IICAコントロール・レジスタn0（IICCTLn0）
- IICAステータス・レジスタn（IICSn）
- IICAフラグ・レジスタn（IICFn）
- IICAコントロール・レジスタn1（IICCTLn1）
- IICAロウ・レベル幅設定レジスタn（IICWLn）
- IICAハイ・レベル幅設定レジスタn（IICWHn）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

備考　n = 0

12.3.1　周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICA0 を使用する場合は、必ず IICA0EN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12 - 5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス　：F00F0H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PER0	0	0	ADCEN	IICA0EN注1	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・インタフェースIICAnで使用するSFRへのライト不可注2
1	入力クロック供給 • シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注1.　32～64 ピン製品のみ

注2.　リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。
20ピン製品：ビット4

注意3. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAnEN = 1の状態で、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAのレジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ（PM6）、ポート・レジスタ（P6）は除く）。

- **IICAコントロール・レジスタn0（IICCTLn0）**
- **IICAフラグ・レジスタn（IICFn）**
- **IICAステータス・レジスタn（IICSn）**
- **IICAコントロール・レジスタn1（IICCTLn1）**
- **IICAロウ・レベル幅設定レジスタn（IICWLn）**
- **IICAハイ・レベル幅設定レジスタn（IICWHn）**
- **IICAシフト・レジスタn（IICAn）**
- **スレーブ・アドレス・レジスタn（SVAn）**

注意4. 各周辺機能が動作許可の状態で、PER0レジスタの対象ビットを切り替えないでください。
PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

備考　n = 0

12.3.2　周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12 - 6　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES注	SAU1RES	SAU0RES	0	TAU0RES

IICAnRES	シリアル・インタフェースIICAnのリセット制御
0	シリアル・インタフェースIICAnのリセット解除
1	シリアル・インタフェースIICAnはリセット状態 ・シリアル・インタフェースIICAnで使用するSFRが初期化されます。

注　32～64 ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。
注意2. 次のビットには、必ず0を設定してください。
20ピン製品：ビット4

備考　n = 0

12.3.3　IICAコントロール・レジスタn0（IICCTLn0）

IICCTLn0 レジスタは、I²C の動作許可／停止、クロック・ストレッチ・タイミングの設定、その他 I²C の動作を設定するレジスタです。

IICCTLn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEn ビットは、IICEn = 0 のとき、またはクロック・ストレッチ期間中に設定してください。また IICEn ビットを 0 から 1 に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00H になります。

備考　n = 0

図12 - 7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (1/4)

アドレス　：F0230H (IICCTL00)
リセット時：00H
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I²Cの動作許可
0	動作停止。IICAステータス・レジスタn（IICSn）をリセット注1。内部動作も停止。
1	動作許可。
このビットに1を設定するときは、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。	

クリアされる条件（IICEn = 0）	セットされる条件（IICEn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

LRELn 注2, 3	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的に0にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0（IICCTLn0）、IICAステータス・レジスタn（IICSn）のうち、次のフラグが0にクリアされる。 • STTn, SPTn, MSTSn, EXCn, COIn, TRCn, ACKDn, STDn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 • ストップ・コンディション検出後、マスタとしての起動 • スタート・コンディション後のアドレス一致または拡張コード受信または全アドレス一致機能許可状態でのアドレス受信	

クリアされる条件（LRELn = 0）	セットされる条件（LRELn = 1）
• 実行後、自動的にクリア • リセット時	• 命令によるセット

図12 - 7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (2/4)

WRELn 注2, 3	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。
送信状態（IICSn.TRCn = 1）で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット（クロック・ストレッチを解除）した場合、SDAAnラインをハイ・インピーダンス（IICSn.TRCn = 0）にします。	
クリアされる条件（WRELn = 0）	セットされる条件（WRELn = 1）
• 実行後、自動的にクリア • リセット時	• 命令によるセット

SPIEn 注2	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICCTLn1.WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIEn = 0）	セットされる条件（SPIEn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

WTIMn 注4	クロック・ストレッチおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 • マスタの場合　：8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ • スレーブの場合：8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 • マスタの場合　：9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ • スレーブの場合：9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし、拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。 全アドレス一致機能許可状態でのアドレス受信時は、8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件（WTIMn = 0）	セットされる条件（WTIMn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

図12 - 7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (3/4)

ACKEn 注4, 5	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。

クリアされる条件（ACKEn = 0）	セットされる条件（ACKEn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

STTn 注2, 6	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態、IICFn.IICBSYnフラグが0のとき）： 1にセットすると、スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： • 通信予約機能許可の場合（IICFn.IICRSVn = 0） スタート・コンディション予約フラグとして機能する。1にセットすると、バスが解放されたあと自動的にスタート・コンディションを生成する。 • 通信予約機能禁止の場合（IICFn.IICRSVn = 1） 1にセットしてもSTTnビットはクリアされ、STTnクリア・フラグ（IICFn.STCFn）が1にセットされる。スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意
- マスタ受信の場合：転送中に1にセットすることは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。
- マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中に1にセットしてください。
- ストップ・コンディション・トリガ（SPTn）と同時に1にセットすることは禁止です。
- STTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。

クリアされる条件（STTn = 0）	セットされる条件（STTn = 1）
• 通信予約禁止状態でのSTTnビットを1にセット • アービトレーションに負けたとき • マスタでのスタート・コンディション生成 • LRELn = 1（通信退避）によるクリア • IICEn = 0（動作停止）のとき • リセット時	• 命令によるセット

図12 - 7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (4/4)

SPTn注7	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意
- マスタ受信の場合：転送中に1をセットすることは禁止です。
  ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。
- マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。
- スタート・コンディション・トリガ（STTn）と同時に1にセットすることは禁止です。
- 1へのセットは、マスタのときのみ行ってください。
- WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットを1にセットすると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットを1にセットしてください。
- SPTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。

クリアされる条件（SPTn = 0）	セットされる条件（SPTn = 1）
• アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELn = 1（通信退避）によるクリア • IICEn = 0（動作停止）のとき • リセット時	• 命令によるセット

注1.　リセットされるのは、IICAステータス・レジスタn（IICSn）、IICAフラグ・レジスタn（IICFn）のSTCFn, IICBSYnフラグ、IICAコントロール・レジスタn1（IICCTLn1）レジスタのCLDn, DADnビットです。

注2.　IICEn = 0の状態では、このビットの信号は無効になります。

注3.　LRELn, WRELnビットの読み出し値は常に0になります。

注4.　IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注5.　アドレス転送中で、かつ拡張コードでない場合で全アドレス一致機能が停止の場合、設定値は無効です。スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

注6.　STTnビットの読み出し値は、常に0になります。

注7.　SPTnビットの読み出し値は、常に0になります。

注意1.　SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン（IICCTLn1.DFCn = 1）のときにI²Cを動作許可（IICEn = 1）した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可（IICEn = 1）したあと、連続して1ビット・メモリ操作命令により、LRELnビットに1をセットしてください。

注意2.　IICSn.TRCnビットが1（送信状態）のとき、9クロック目にIICCTLn0レジスタのWRELnビットに1をセットしてクロック・ストレッチ解除すると、TRCnフラグをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考1.　SPTnビットは、データ設定後に読み出すと0になっています。

備考2.　n = 0

12.3.4　IICAステータス・レジスタn（IICSn）

IICSn レジスタは、I²C のステータスを表すレジスタです。

IICSn レジスタは、IICCTLn0.STTn = 1 およびクロック・ストレッチ期間中のみ、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

注意　STOPモード状態時のアドレス一致ウェイクアップ機能動作許可（IICCTLn1.WUPn = 1）状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求信号と関係なくWUPnビットを1→0（ウェイクアップ機能動作停止）に変更した場合には、次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため、ウェイクアップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（IICCTLn0.SPIEn = 1）して割り込み検出後にIICSnレジスタを読み出してください。

備考　n = 0

図12 - 8　IICAステータス・レジスタn（IICSn）のフォーマット (1/3)

アドレス　：FFF51H (IICS0)
リセット時：00H
R/W属性　：R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTSn = 0）	セットされる条件（MSTSn = 1）
• ストップ・コンディション検出時 • ALDn = 1（アービトレーション負け）のとき • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• スタート・コンディション生成時

ALDn	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSnフラグがクリアされる。

クリアされる条件（ALDn = 0）	セットされる条件（ALDn = 1）
• IICSnレジスタ読み出し後、自動的にクリア注1 • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• アービトレーションに負けたとき

図12 - 8　IICAステータス・レジスタn（IICSn）のフォーマット (2/3)

EXCn	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。または全アドレス一致機能が許可状態。

クリアされる条件（EXCn = 0）	セットされる条件（EXCn = 1）
• スタート・コンディション検出時 • ストップ・コンディション検出時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• 受信したアドレス・データの上位4ビットが0000または1111のとき（8クロック目の立ち上がりでセット） • 全アドレス一致機能許可（IICCTLn1.SVADISn = 1）設定がされた状態でアドレスを受信したとき（8クロック目の立ち上がりでセット）

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。または全アドレス一致機能が許可状態。

クリアされる条件（COIn = 0）	セットされる条件（COIn = 1）
• スタート・コンディション検出時 • ストップ・コンディション検出時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• 受信アドレスが自局アドレス（スレーブ・アドレス・レジスタn（SVAn））と一致したとき（8クロック目の立ち上がりでセット） • 全アドレス一致機能許可（IICCTLn1.SVADISn = 1）設定時に、アドレス受信したとき（8クロック目の立ち上がりでセット）

TRCn	送信／受信状態検出
0	受信状態（送信状態以外）。SDAAnラインをハイ・インピーダンスにする。
1	送信状態。SDAAnラインにSOnラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRCn = 0）	セットされる条件（TRCn = 1）
＜マスタ、スレーブ共通＞ • ストップ・コンディション検出時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • IICCTLn0.WRELn = 1（クロック・ストレッチ解除）によるクリア注2 • ALDn = 0→1（アービトレーション負け）のとき • リセット時 • 通信不参加の場合（MSTSn, EXCn, COIn = 0） ＜マスタの場合＞ • 1バイト目のLSB（転送方向指定ビット）に1を出力したとき ＜スレーブの場合＞ • スタート・コンディション検出時 • 1バイト目のLSB（転送方向指定ビット）に0を入力したとき	＜マスタの場合＞ • スタート・コンディション生成時 • 1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に0（マスタ送信）を出力したとき ＜スレーブの場合＞ • マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に1（スレーブ送信）が入力されたとき

図12 - 8 IICAステータス・レジスタn（IICSn）のフォーマット (3/3)

ACKDn	アクノリッジ（ACK）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKDn = 0）	セットされる条件（ACKDn = 1）
• ストップ・コンディション検出時 • 次のバイトの1クロック目の立ち上がり時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STDn = 0）	セットされる条件（STDn = 1）
• ストップ・コンディション検出時 • アドレス転送後の次のバイトの1クロック目の立ち上がり時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。

クリアされる条件（SPDn = 0）	セットされる条件（SPDn = 1）
• このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 • IICCTLn1.WUPn = 1→0のとき • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• ストップ・コンディション検出時

注1. IICSnレジスタのほかのビットに対し、1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnフラグ使用時は、ほかのビットよりも先にデータを読み出してください。

注2. TRCn = 1（送信状態）のとき、9クロック目にIICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）を1にセットしてクロック・ストレッチを解除すると、TRCnフラグをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考 n = 0

12.3.5　IICAフラグ・レジスタn（IICFn）

IICFn レジスタは、I²C の動作モードの設定と、I²C バスの状態を表すレジスタです。

IICFn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、STTn クリア・フラグ（STCFn）、I²C バス状態フラグ（IICBSYn）は読み出しのみ可能です。

IICRSVn ビットにより、通信予約機能の禁止／許可を設定します。

また STCENn ビットにより、IICBSYn フラグの初期値を設定します。

IICRSVn, STCENn ビットは I²C が動作禁止（IICCTLn0.IICEn = 0）のときのみ書き込み可能です。動作許可後、IICFn レジスタは読み出しのみ可能となります。

リセット信号の発生により、00H になります。

備考　n = 0

図12 - 9　IICAフラグ・レジスタn（IICFn）のフォーマット (1/2)

アドレス　：FFF52H (IICF0)
リセット時：00H
R/W属性　：R/W注

略号	<7>	<6>	5	4	3	2	<1>	<0>
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTnフラグ・クリア。

クリアされる条件（STCFn = 0）	セットされる条件（STCFn = 1）
• IICCTLn0.STTn = 1によるクリア • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• 通信予約禁止（IICRSVn = 1）設定時にスタート・コンディション発行できず、IICCTLn0.STTnビットが0にクリアされたとき

IICBSYn	I²Cバス状態フラグ
0	バス解放状態（STCENn = 1時の通信初期状態）。
1	バス通信状態（STCENn = 0時の通信初期状態）。

クリアされる条件（IICBSYn = 0）	セットされる条件（IICBSYn = 1）
• ストップ・コンディション検出時 • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• スタート・コンディション検出時 • STCENn = 0時のIICCTLn0.IICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可（IICCTLn0.IICEn = 1）後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可（IICCTLn0.IICEn = 1）後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。

クリアされる条件（STCENn = 0）	セットされる条件（STCENn = 1）
• 命令によるクリア • スタート・コンディション検出時 • リセット時	• 命令によるセット

図12 - 9 IICAフラグ・レジスタn（IICFn）のフォーマット (2/2)

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSVn = 0）	セットされる条件（IICRSVn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

注 ビット7, 6は、読み出しのみ可能です。

注意1. STCENnビットへの書き込みは動作停止（IICCTLn0.IICEn = 0）時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態（IICBSYn = 0）と認識しますので、1回目のスタート・コンディションを発行（IICCTLn0.STTn = 1）する場合は、ほかの通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnビットへの書き込みは動作停止（IICCTLn0.IICEn = 0）時のみ行ってください。

備考 n = 0

12.3.6　IICAコントロール・レジスタn1（IICCTLn1）

IICCTLn1 レジスタは、I²C の動作モードの設定や SCLAn, SDAAn 端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、CLDn, DADn ビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPn ビットを除き I²C が動作禁止（IICCTLn0.IICEn = 0）のときに設定してください。

リセット信号の発生により、00H になります。

備考　n = 0

図12 - 10　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット (1/2)

アドレス　：F0231H (IICCTL01)

リセット時：00H

R/W属性　：R/W**注1**

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
IICCTLn1	WUPn	SVADISn	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウェイクアップの制御
0	STOPモード状態時のアドレス一致ウェイクアップ機能動作停止
1	STOPモード状態時のアドレス一致ウェイクアップ機能動作許可

WUPn = 1でSTOPモードに移行する場合は、WUPnビットを1にセットしてfMCKの3クロック以上経過後にSTOP命令を実行してください（**図12 - 22　WUPn = 1を設定する場合のフロー**参照）。
アドレス一致、または全アドレス一致機能許可状態でのアドレス受信後、または拡張コード受信後はWUPnビットを0にクリアしてください。WUPnビットを0にクリアすることで、その後の通信に参加することができます（クロック・ストレッチ解除および送信データ書き込みは、WUPnビットを0にクリアしたあとに行う必要があります）。
WUPn = 1の状態における、アドレス一致および全アドレス一致機能許可状態でのアドレス受信時および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また、WUPn = 1の場合には、IICCTLn0.SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。

クリアされる条件（WUPn = 0）	セットされる条件（WUPn = 1）
• 命令によるクリア（アドレス一致または全アドレス一致機能許可状態でのアドレス受信後または拡張コード受信後）	• 命令によるセット（MSTSn, EXCn, COIn = 0であり、STDn = 0（通信に不参加であること）のとき）**注2**

SVADISn	アドレス一致無効フラグ
0	全アドレス一致機能停止
1	全アドレス一致機能許可

SVADISn = 1でIICAはすべてのアドレスに対してアドレス一致とみなし、また、拡張コード受信動作と同じ動作を行います。
そのため、IICSn.COIn = 1かつIICSn.EXCn = 1の状態となります。
拡張コード受信に関しては、**12.5.11　拡張コード**を参照してください。

図12 - 10　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出（IICCTLn0.IICEn = 1のときのみ有効）
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出

クリアされる条件（CLDn = 0）	セットされる条件（CLDn = 1）
• SCLAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出（IICCTLn0.IICEn = 1のときのみ有効）
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出

クリアされる条件（DADn = 0）	セットされる条件（DADn = 1）
• SDAAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• SDAAn端子がハイ・レベルのとき

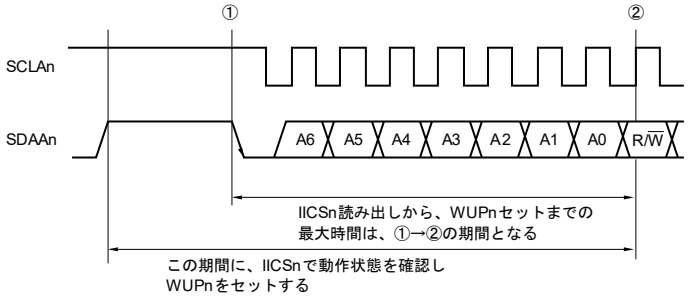
SMCn	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは、ノイズ除去のために使用します。 DFCnビットを1にセット／0にクリアすることにより、転送クロックが変化することはありません。	

PRSn	IICA動作クロック（f_{MCK}）の制御
0	f_{CLK}を選択（1 MHz≦f_{CLK}≦20 MHz）
1	f_{CLK}/2を選択（20 MHz＜f_{CLK}）

注1.　ビット5, 4は、読み出しのみ可能です。

注2.　次に示す期間に、IICAステータス・レジスタn（IICSn）の状態を確認しセットする必要があります。



（注意、備考は次ページに続きます）

注意1. IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。
f_{CLK}が20 MHzを超える場合のみ、PRSnビットに1を設定してください。

注意2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。
シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時	**：f_{CLK} = 3.5 MHz（Min.）**
ファースト・モード・プラス時	**：f_{CLK} = 10 MHz（Min.）**
標準モード時	**：f_{CLK} = 1 MHz（Min.）**

備考　n = 0

12.3.7 IICAロウ・レベル幅設定レジスタn（IICWLn）

IICWLnレジスタは、シリアル・インタフェースIICAが、出力するSCLAn端子信号のロウ・レベル幅（tLOW）とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは、8ビット・メモリ操作命令で設定します。

IICWLnレジスタは、I2Cが動作禁止（IICCTLn0.IICEn = 0）のときに設定してください。IICWLnレジスタの設定方法については、**12.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法**を参照してください。また、データ・ホールド時間はIICWLnレジスタで設定した時間の1/4になります。

リセット信号の発生により、FFHになります。

図12 - 11 IICAロウ・レベル幅設定レジスタn（IICWLn）のフォーマット

アドレス : F0232H (IICWL0)
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

備考1. シリアル・クロックの最小周期は、（IICWLn + 1）+（IICWHn + 1）になります。
備考2. n = 0

12.3.8 IICAハイ・レベル幅設定レジスタn（IICWHn）

IICWHnレジスタは、シリアル・インタフェースIICAが、出力するSCLAn端子信号のハイ・レベル幅とSDAAn端子信号を制御するレジスタです。

IICWHnレジスタは、8ビット・メモリ操作命令で設定します。

IICWHnレジスタは、I2Cが動作禁止（IICCTLn0.IICEn = 0）のときに設定してください。IICWHnレジスタの設定方法については、**12.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法**を参照してください。

リセット信号の発生により、FFHになります。

図12 - 12 IICAハイ・レベル幅設定レジスタn（IICWHn）のフォーマット

アドレス : F0233H (IICWH0)
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考1. シリアル・クロックの最小周期は、（IICWLn + 1）+（IICWHn + 1）になります。
備考2. n = 0

12.3.9　シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース IICA 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

12.4　I²Cバス・モードの機能

12.4.1　端子構成

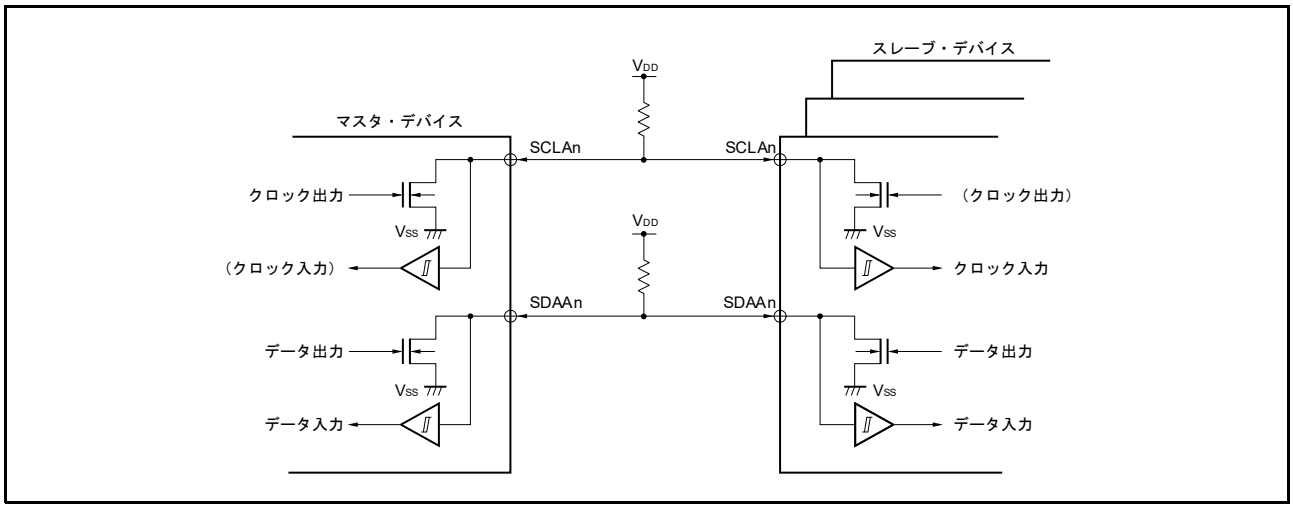
シリアル・クロック端子（SCLAn）と、シリアル・データ・バス端子（SDAAn）の構成は、次のようになっています。

(1)　SCLAn ：シリアル・クロックを入出力するための端子。
　　マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2)　SDAAn ：シリアル・データの入出力兼用端子。
　　マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図12 - 13　端子構成図



備考　n = 0

12.4.2　IICWLn, IICWHnレジスタによる転送クロック設定方法

(1)　マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

- ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- 標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

(2)　スレーブ側のIICWLn, IICWHnレジスタ設定方法
（設定値はすべて小数点以下切り上げ）

- ファースト・モード時
  $IICWLn = 1.3\ \mu s \times f_{MCK}$
  $IICWHn = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$
- 標準モード時
  $IICWLn = 4.7\ \mu s \times f_{MCK}$
  $IICWHn = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$
- ファースト・モード・プラス時
  $IICWLn = 0.50\ \mu s \times f_{MCK}$
  $IICWHn = (0.50\ \mu s - t_R - t_F) \times f_{MCK}$

注意1. IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。f_{CLK}が20 MHzを超える場合のみ、IICAコントロール・レジスタn1（IICCTLn1）のPRSnビットに1を設定してください。

注意2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時　　：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時：f_{CLK} = 10 MHz（Min.）
標準モード時　　：f_{CLK} = 1 MHz（Min.）

（注意、備考は次ページに続きます）

注意3. シリアル・クロックの最小周期は、（IICWLn + 1）+（IICWHn + 1）になります。SDAAn, SCLAn信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）を考慮し、IICWLn, IICWHnレジスタに設定する値を決めてください。

備考1. SDAAn, SCLAn信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn ：IICA ロウ・レベル幅設定レジスタ n
IICWHn ：IICA ハイ・レベル幅設定レジスタ n
t_F ：SDAAn, SCLAn 信号の立ち下がり時間
t_R ：SDAAn, SCLAn 信号の立ち上がり時間
f_{MCK} ：IICA 動作クロック周波数

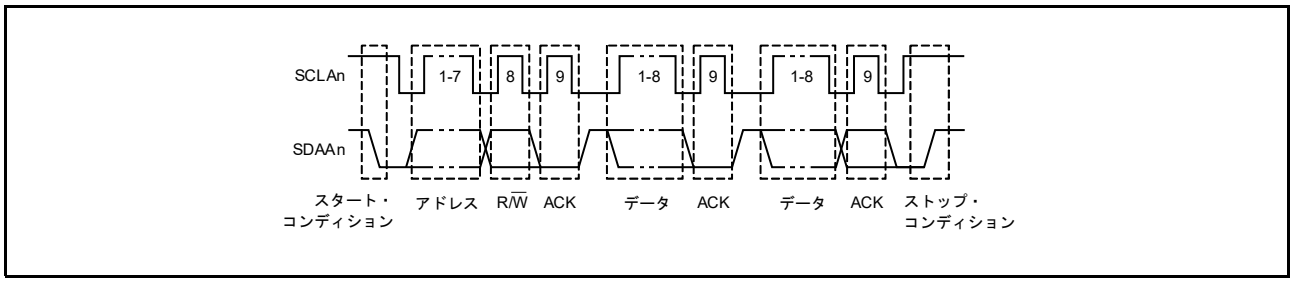
備考3. n = 0

12.5　I²Cバスの定義および制御方法

I²C バスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

図 12 - 14 に I²C バスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを示します。

図12 - 14　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

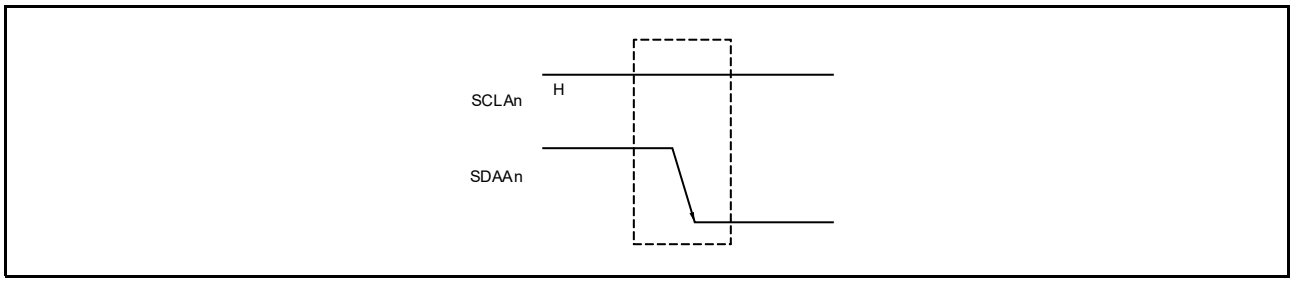
アクノリッジ（ACK）は、マスタ、スレーブのどちらでも生成できます（通常、8 ビット・データの受信側が出力します）。

シリアル・クロック（SCLAn）は、マスタが出力し続けます。ただし、スレーブは SCLAn 端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

12.5.1　スタート・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn, SDAAn 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図12 - 15　スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態（IICSn.SPDn = 1）のときに IICA コントロール・レジスタ n0（IICCTLn0）の STTn ビットに 1 をセットすると出力されます。また、スタート・コンディションを検出すると、IICSn レジスタの STDn ビットが 1 にセットされます。

備考　n = 0

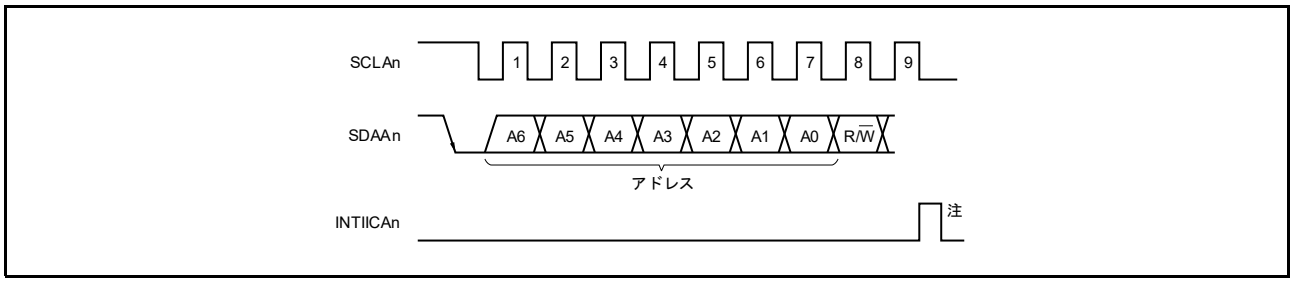
12.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタn（SVAn）と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図12 - 16 アドレス



注 スレーブ動作時に、全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと**12.5.3 転送方向指定**に説明する転送方向をあわせて8ビットとしてIICAシフト・レジスタn（IICAn）に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

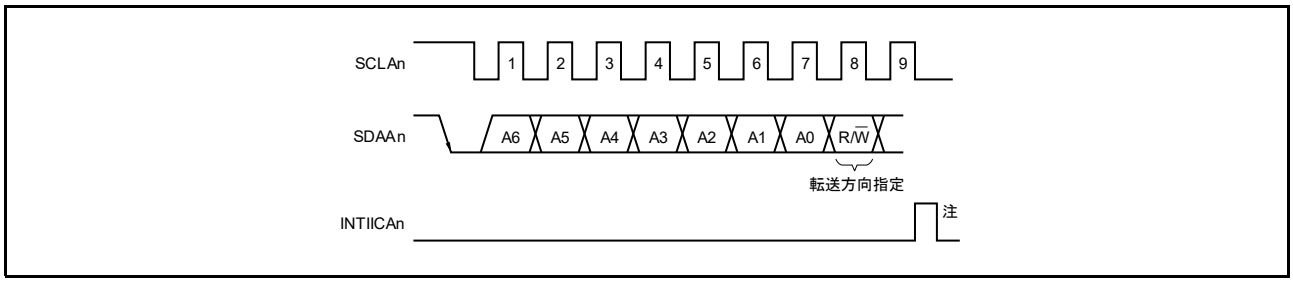
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

12.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図12 - 17 転送方向指定



注 スレーブ動作時に全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 n = 0

12.5.4　アクノリッジ（ACK）

アクノリッジ（ACK）によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICA ステータス・レジスタ n（IICSn）の ACKDn ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

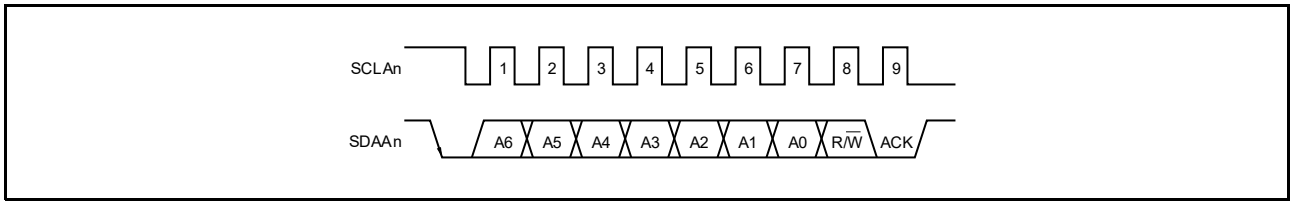
アクノリッジ生成は、受信側が 9 クロック目に SDAAn ラインをロウ・レベルにすることによって行われます（正常受信）。

IICA コントロール・レジスタ n0（IICCTLn0）の ACKEn ビットに 1 をセットすることによって、アクノリッジが自動生成可能な状態になります。7 ビットのアドレス情報に続く 8 ビット目のデータにより IICSn レジスタの TRCn ビットが設定されます。受信（TRCn = 0）の場合は、通常、ACKEn ビットを 1 にセットしてください。

スレーブ受信動作時（TRCn = 0）にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEn ビットを 0 にクリアし、マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCn = 0）に、次のデータを必要としない場合、アクノリッジを生成しないように ACKEn ビットを 0 にクリアしてください。これによって、スレーブ送信側にデータの終わりを知らせます（送信停止）。

図12 - 18　アクノリッジ



自局アドレス受信時は、ACKEn ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません（NACK）。

拡張コード受信時または全アドレス一致機能許可状態でのアドレス受信時は、あらかじめ ACKEn ビットに 1 をセットしておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- 8クロック・クロック・ストレッチ選択時（IICCTLn0.WTIMn = 0）：
  クロック・ストレッチ解除を行う前にACKEnビットに1をセットすることによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・クロック・ストレッチ選択時（IICCTLn0.WTIMn = 1）：
  あらかじめACKEnビットを1にセットすることによって、アクノリッジを生成します。

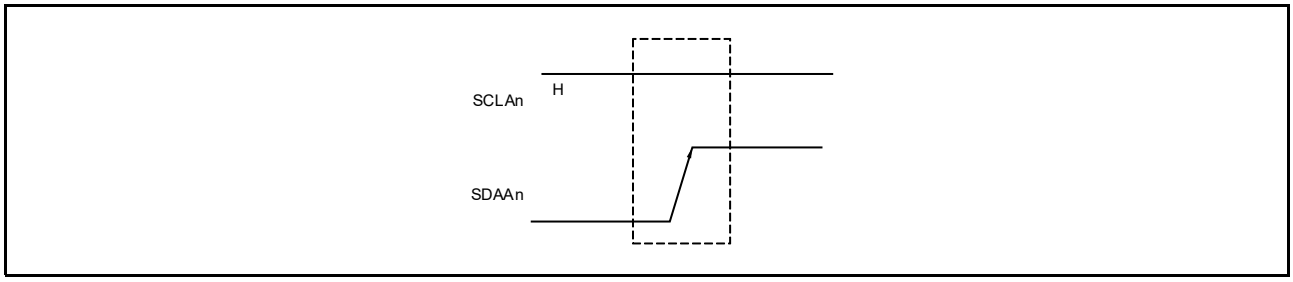
備考　n = 0

12.5.5　ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図12 - 19　ストップ・コンディション



ストップ・コンディションは、IICA コントロール・レジスタ n0（IICCTLn0）の SPTn ビットに 1 をセットすると発生します。また、ストップ・コンディションを検出すると IICA ステータス・レジスタ n（IICSn）の SPDn ビットが 1 にセットされ、IICCTLn0 レジスタの SPIEn ビットが 1 にセットされている場合には INTIICAn が発生します。

備考　n = 0

12.5.6　クロック・ストレッチ

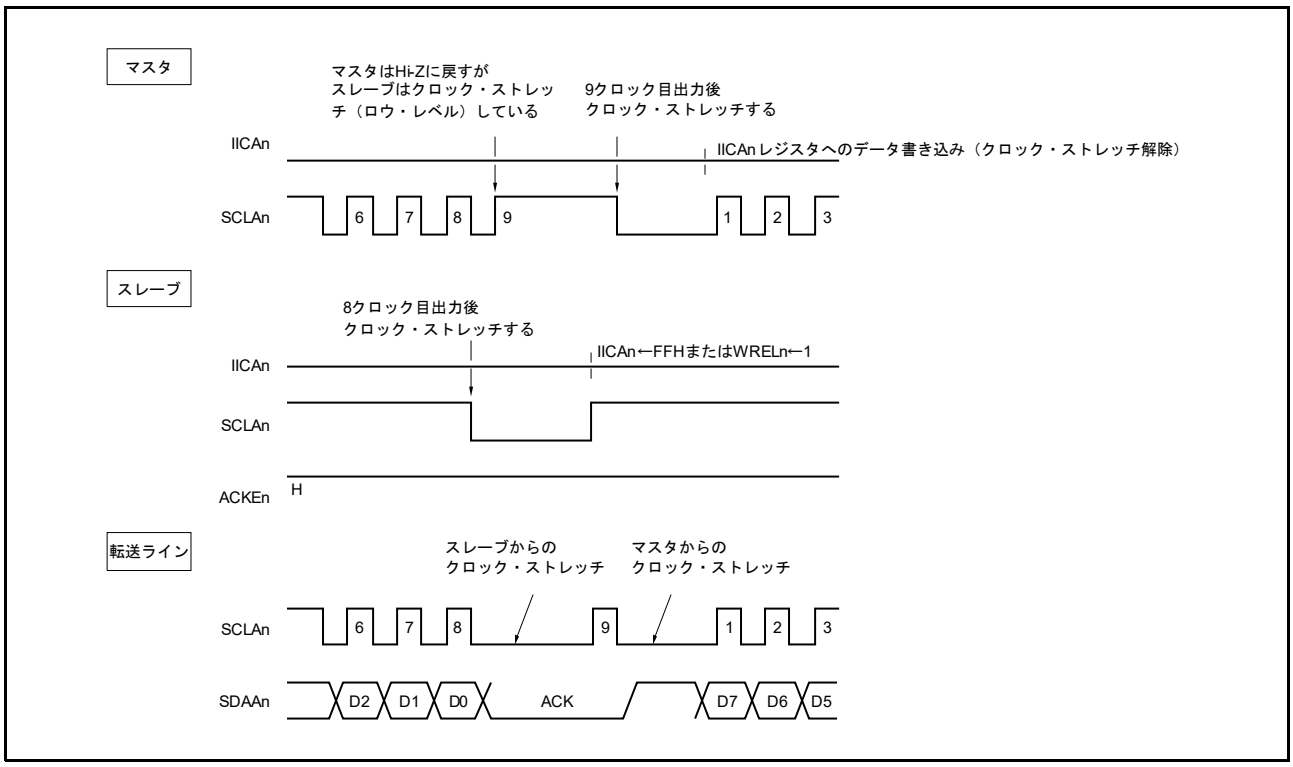
クロック・ストレッチによって、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn 端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図12 - 20　クロック・ストレッチ (1/2)

(1)　マスタは9クロック・クロック・ストレッチ、スレーブは8クロック・クロック・ストレッチ時

（マスタ：送信、スレーブ：受信、ACKEn = 1）

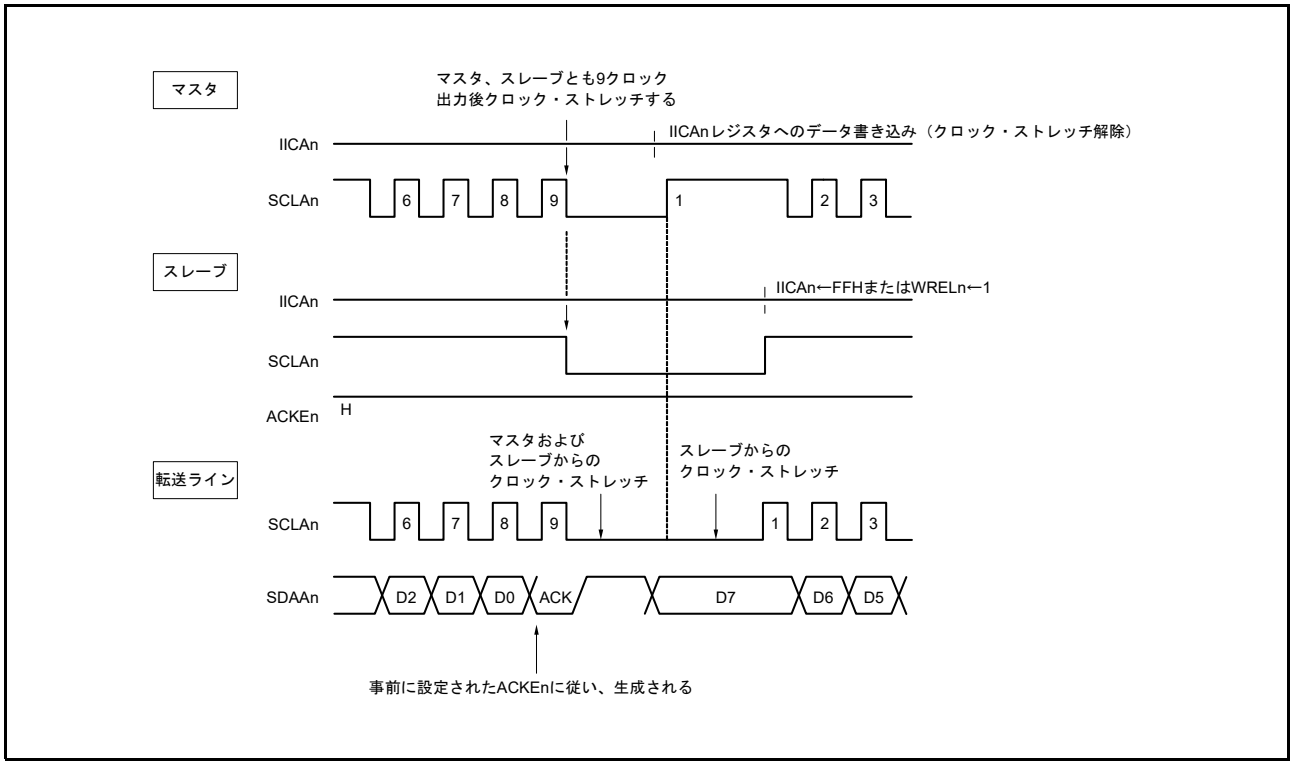


備考　n = 0

図12 - 20　クロック・ストレッチ (2/2)

(2)　マスタ、スレーブとも9クロック・クロック・ストレッチ時

（マスタ：送信、スレーブ：受信、ACKEn = 1）



備考　ACKEn　：IICAコントロール・レジスタn0（IICCTLn0）のビット2

WRELn　：　〃　のビット5

クロック・ストレッチは、IICAコントロール・レジスタn0（IICCTLn0）のWTIMnビットの設定により自動的に発生します。

通常、受信側はIICCTLn0.WRELn = 1またはIICAシフト・レジスタn（IICAn）にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- IICCTLn0.STTn = 1
- IICCTLn0.SPTn = 1

備考　n = 0

12.5.7 クロック・ストレッチ解除方法

I²C では、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のWRELnビットのセット（クロック・ストレッチ解除）
- IICCTLn0レジスタのSTTnビットのセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのSPTnビットのセット（ストップ・コンディションの生成）注

これらのクロック・ストレッチ解除処理を実行した場合、IICA はクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ（アドレスを含む）を送信する場合には、IICAn レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0 レジスタの WRELn ビットに 1 をセットしてください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0 レジスタの STTn ビットに 1 をセットしてください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0 レジスタの SPTn ビットに 1 をセットしてください。

1 回のクロック・ストレッチ状態に対して 1 回だけ解除処理を実行してください。

たとえば、WRELn ビットへの 1 セットによるクロック・ストレッチ解除後、IICAn レジスタへのデータ書き込みを実施した場合には、SDAAn ラインの変化タイミングと IICAn レジスタへの書き込みタイミングの競合により、SDAAn ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEn ビットを 0 にクリアすると通信を停止するので、クロック・ストレッチを解除できます。

I²C バスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0 レジスタの LRELn ビットに 1 をセットすると通信から退避するので、クロック・ストレッチを解除できます。

注 マスタのみ

注意 **WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。**

備考 n = 0

12.5.8　割り込み要求信号（INTIICAn）発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0（IICCTLn0）の WTIMn ビットの設定で、**表 12 - 2** に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表12 - 2　INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9**注1, 2**	8**注2**	8**注2**	9	8	8
1	9**注1, 2, 3**	9**注2**	9**注2**	9	9	9

注1.　スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタn（SVAn）に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTLn0 レジスタのACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。

注2.　スレーブ・アドレス・レジスタn（SVAn）と受信したアドレスが一致せず、かつ全アドレス一致機能停止時で、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

注3.　WTIMnビットが1の場合、拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは、8クロック目の立ち下がりに加え、9クロック目の立ち下がりでもINTIICAnとクロック・ストレッチを発生します。

備考　表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1)　アドレス送受信時

- スレーブ動作時：上記の**注 1 ～注 3** の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- マスタ動作時　：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9 クロック目の立ち下がりで発生します。

(2)　データ受信時

- マスタ／スレーブ動作時: WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3)　データ送信時

- マスタ／スレーブ動作時: WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(4)　クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のWRELnビットのセット（クロック・ストレッチ解除）
- IICCTLn0 レジスタのSTTnビットのセット（スタート・コンディションの生成）**注**
- IICCTLn0 レジスタのSPTnビットのセット（ストップ・コンディションの生成）**注**

8クロック・クロック・ストレッチ選択（WTIMn = 0）時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出
INTIICAnは、ストップ・コンディションを検出すると発生します（SPIEn = 1のときのみ）。

注 マスタのみ

備考 n = 0

12.5.9 アドレスの一致検出方法

I²C バス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n（SVAn）に設定したアドレスが一致したとき、または全アドレス一致機能許可状態（IICCTLn1.SVADISn = 1）でのアドレス受信、または拡張コードを受信した場合だけ、INTIICAn 割り込み要求信号が発生します。

12.5.10 エラーの検出

I²C バス・モードでは、送信中のシリアル・バス（SDAAn）の状態が、送信しているデバイスの IICA シフト・レジスタ n（IICAn）にも取り込まれるため、送信開始前と送信終了後の IICA データを比較することにより、送信エラーを検出できます。この場合、2 つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

12.5.11 拡張コード

(1) 受信アドレスの上位4ビットが0000と1111のときを拡張コード受信として、拡張コード受信検出フラグ（EXCn）を1にセットし、8クロック目の立ち下がりで割り込み要求信号（INTIICAn）を発生します。
また、全アドレス一致機能許可時にアドレスを受信した場合も、拡張コード受信と判断します。
スレーブ・アドレス・レジスタn（SVAn）に格納された自局アドレスには影響しません。

(2) SVAnレジスタに11110xx0を設定されているときに、10ビット・アドレス転送でマスタから11110xx0が転送されてきた場合や、全アドレス一致機能許可状態でアドレスを受信した場合は、次のようになります。ただし、割り込み要求（INTIICAn）は、8クロック目の立ち下がりで発生します。

- 上位4ビット・データの一致または全アドレス一致機能許可：IICSn.EXCn = 1
- 7ビット・データの一致または全アドレス一致機能許可　　：IICSn.COIn = 1

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。
スレーブ動作時に、拡張コードを受信した場合または全アドレス一致機能許可状態でのアドレス受信時は、アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICCTLn0.LRELn = 1に設定してください。次の通信待機状態にします。

表12 - 3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0

12.5.12　アービトレーション

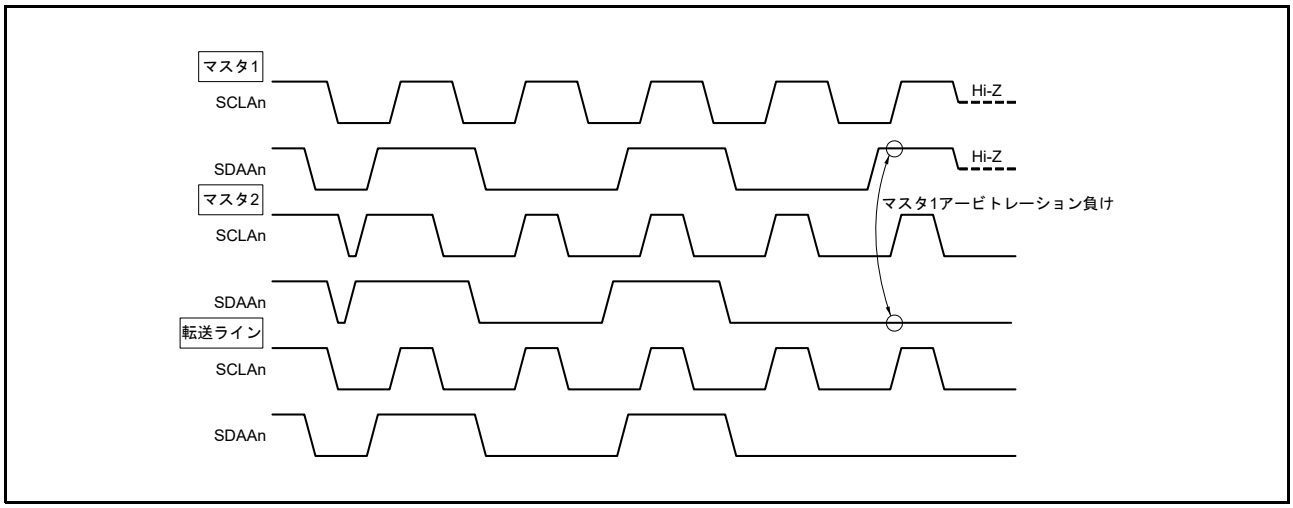
複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDn = 1 になる前に IICCTLn0.STTn = 1 にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICA ステータス・レジスタ n（IICSn）のアービトレーション負けフラグ（ALDn）を 1 にセットし、SCLAn, SDAAn ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8 または 9 クロック目、ストップ・コンディション検出など）で、ソフトウェアで ALDn = 1 になっていることで検出します。

割り込み要求発生タイミングについては、**12.5.8　割り込み要求信号（INTIICAn）発生タイミングおよびクロック・ストレッチ 制御**を参照してください。

図12 - 21　アービトレーション・タイミング例



備考　n = 0

表12 - 4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. IICCTLn0.WTIMn = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時、および全アドレス一致機能許可状態でのアドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn：IICAコントロール・レジスタn0（IICCTLn0）のビット4

備考2. n = 0

12.5.13 ウェイクアップ機能

I²C のスレーブ機能で、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生する機能です。

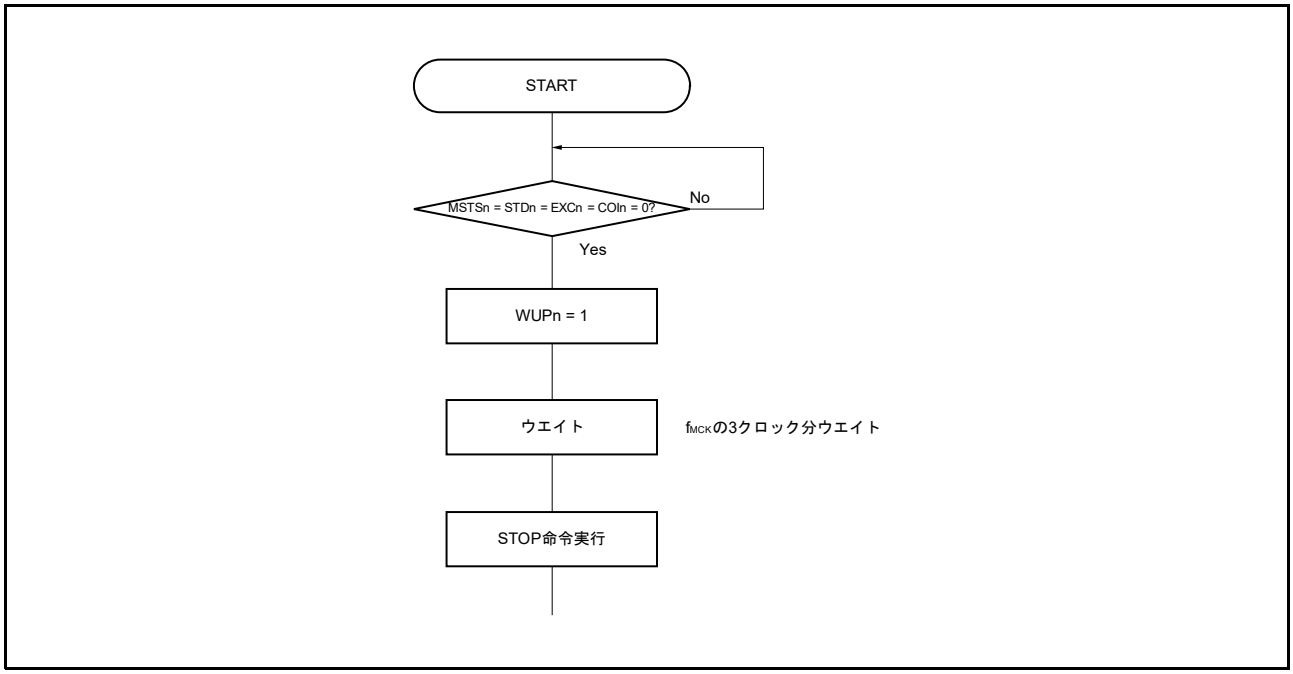
全アドレス一致機能停止状態で、アドレスが一致しないときは不要な INTIICAn 信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイクアップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイクアップ待機状態になります。

STOP モード状態時にウェイクアップ機能を使用する場合には、WUPn = 1 に設定してください。動作クロックに関係なくアドレス受信を行うことができます。この場合も、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生します。この割り込み発生後に命令で WUPn ビットを 0 にクリアすることで通常動作に戻ります。

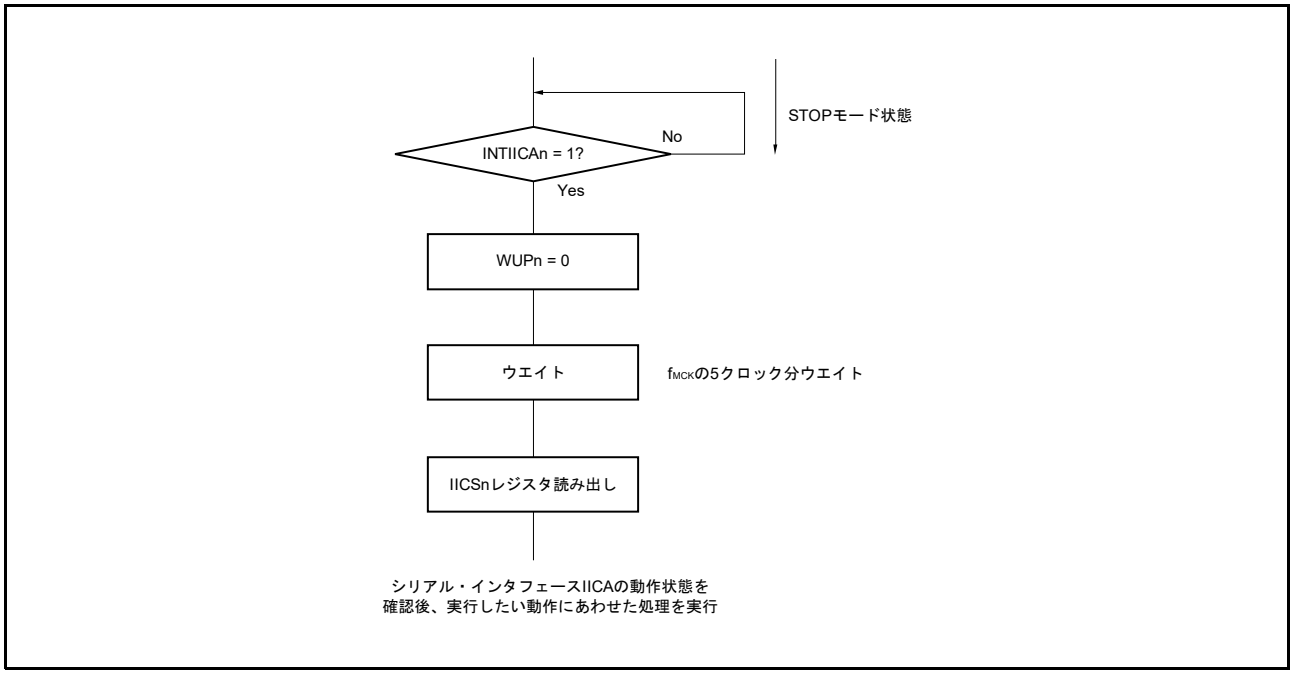
図 12 - 22 に WUPn = 1 を設定する場合のフロー、**図 12 - 23** にアドレス一致（または全アドレス一致機能許可）により WUPn = 0 に設定する場合のフロー（拡張コード受信含む）を示します。

図12 - 22 WUPn = 1を設定する場合のフロー



備考 n = 0

図12 - 23　アドレス一致（または全アドレス一致機能許可）によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）

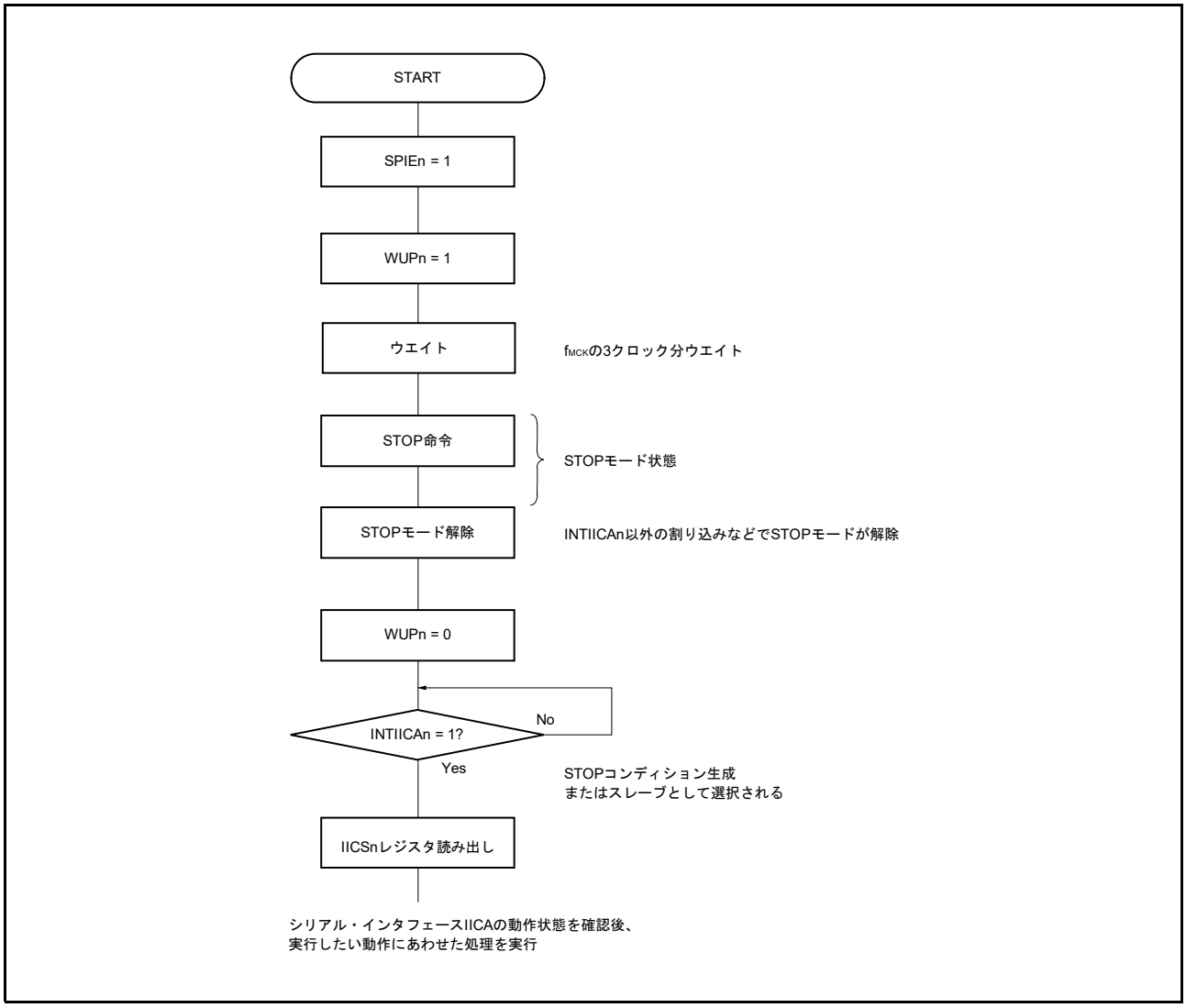


また、シリアル・インタフェース IICA からの割り込み要求信号（INTIICAn）以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- 次のIIC通信をマスタとして動作させる場合　：**図 12 - 24** のフロー
- 次のIIC通信をスレーブとして動作させる場合：
  INTIICAn 割り込みで復帰した場合　：**図 12 - 23** のフローと同じになります。
  INTIICAn 割り込み以外の割り込みで復帰した場合：INTIICAn 割り込みが発生するまで WUPn = 1 のまま動作を継続してください。

備考　n = 0

図12 - 24　INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考　n = 0

12.5.14 通信予約

(1) 通信予約機能許可の場合（IICFn.IICRSVn = 0）

バスに不参加の状態で、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した）とき

バスに不参加の状態で、IICCTLn0レジスタのSTTnビットに1をセットすると、バスが解放されたあと（ストップ・コンディション検出時）に、自動的にスタート・コンディションを生成し、ウエイト状態になります。IICCTLn0レジスタのSPIEnビットに1をセットし、割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと、IICAシフト・レジスタn（IICAn）にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットに1をセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき：スタート・コンディション生成
- バスが解放されていないとき（待機状態）：通信予約

通信予約として動作するのかどうかは、STTnビットに1をセットし、ウエイト時間をとったあと、MSTSnフラグ（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

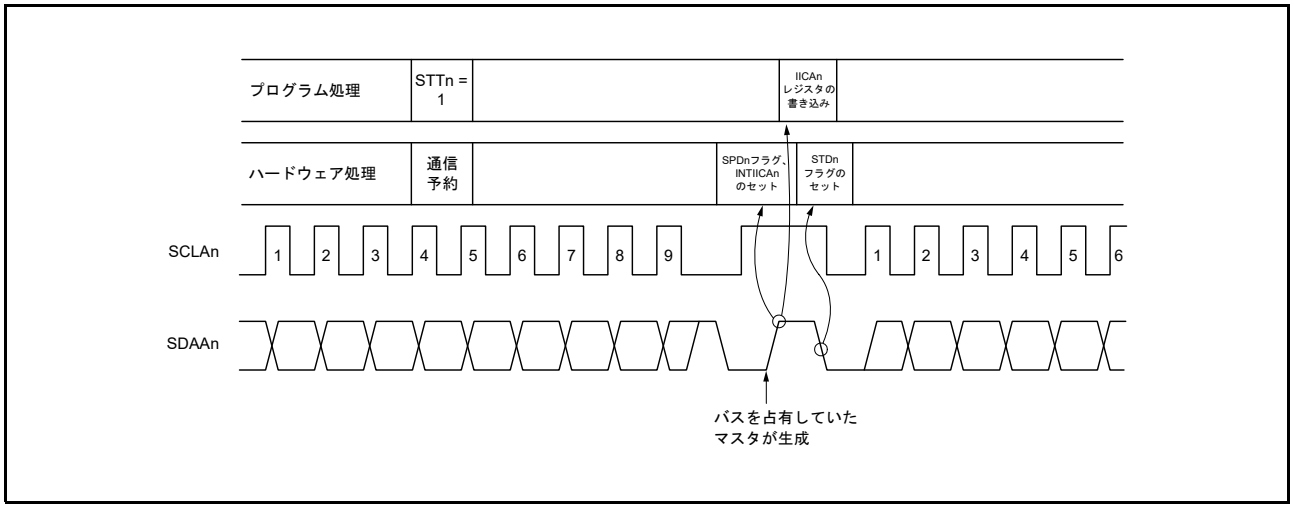
STTn = 1 から MSTSn フラグ確認までのウエイト時間： （IICWLnの設定値 + IICWHnの設定値 + 4）/ f_{MCK} + t_F × 2

備考1. IICWLn：IICA ロウ・レベル幅設定レジスタ n
IICWHn：IICA ハイ・レベル幅設定レジスタ n
t_F：SDAAn, SCLAn 信号の立ち下がり時間
f_{MCK}：IICA 動作クロック周波数

備考2. n = 0

図12 - 25に通信予約のタイミングを示します。

図12 - 25　通信予約のタイミング

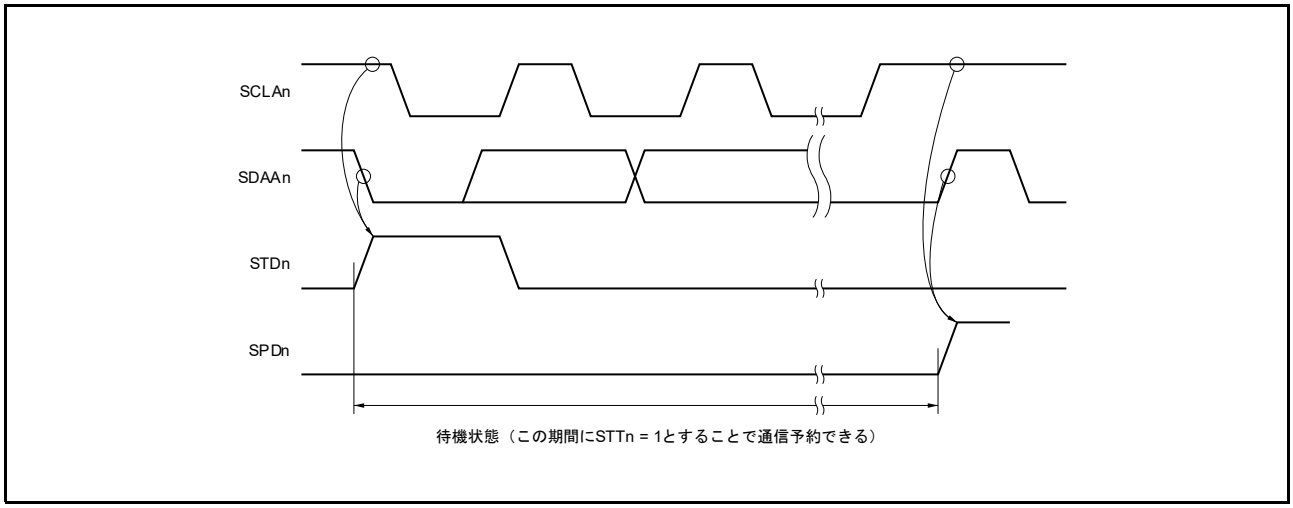


備考1. IICAn　：IICAシフト・レジスタn
STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1
STDn　：IICAステータス・レジスタn（IICSn）のビット1
SPDn　：　〃　のビット0

備考2. n = 0

通信予約は**図12 - 26**に示すタイミングで受け付けられます。IICSn.STDn = 1になったあと、ストップ・コンディション検出までにIICCTLn0.STTn = 1で通信予約をします。

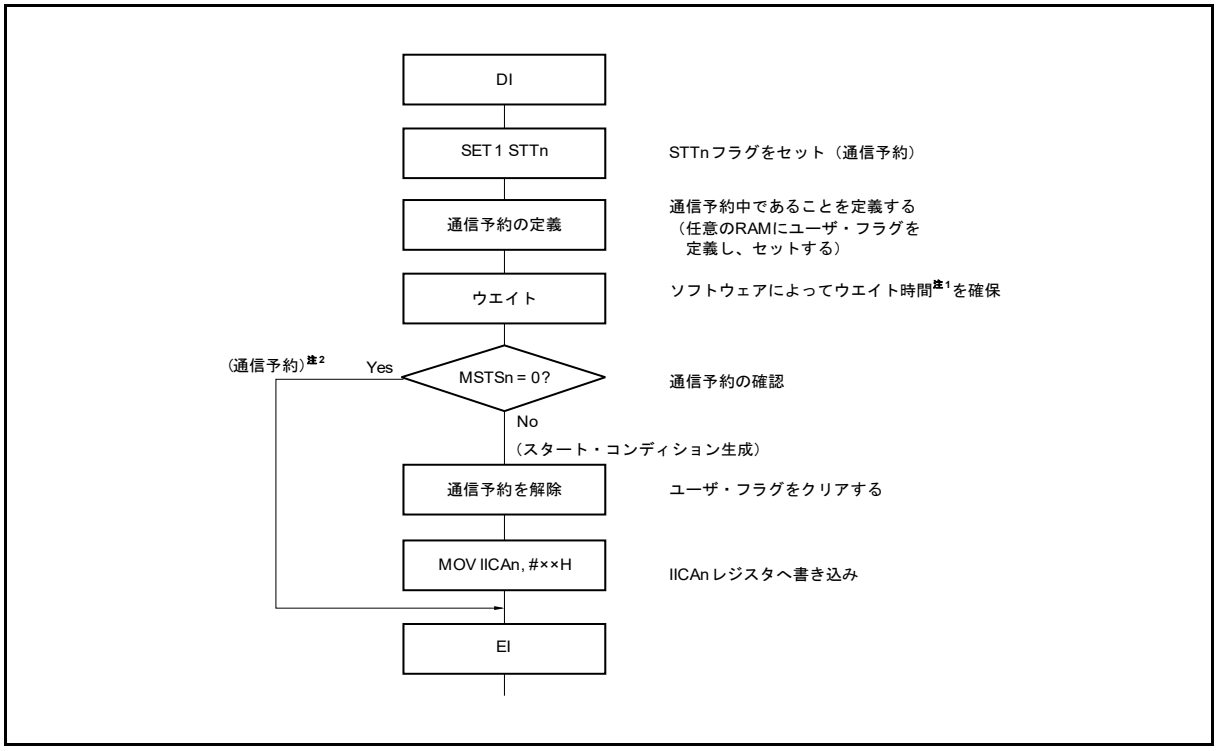
図12 - 26　通信予約受付タイミング



備考　n = 0

図12 - 27に通信予約の手順を示します。

図12 - 27　通信予約の手順



注1.　ウエイト時間は次のようになります。
（IICWLnの設定値 + IICWHnの設定値 + 4）/ f_{MCK} + t_F × 2

注2.　通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn（IICAn）への書き込みを実行します。

備考1. STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1
MSTSn　：IICAステータス・レジスタn（IICSn）のビット7
IICAn　：IICAシフト・レジスタn
IICWLn　：IICAロウ・レベル幅設定レジスタn
IICWHn　：IICAハイ・レベル幅設定レジスタn
t_F　：SDAAn, SCLAn信号の立ち下がり時間
f_{MCK}　：IICA動作クロック周波数

備考2. n = 0

(2)　通信予約機能禁止の場合（IICFn.IICRSVn = 1）

バスが通信中で、この通信に不参加の状態でIICAコントロール・レジスタn0（IICCTLn0）のSTTnビットに1をセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した）とき

スタート・コンディションが生成されたかまたは拒絶されたかは、IICFnレジスタのSTCFnフラグで確認できます。STTn = 1としてからSTCFnフラグが1にセットされるまでfMCKの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考　n = 0

12.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可（IICEn = 1）直後、実際のバス状態にかかわらず通信状態（IICBSYn = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタn1（IICCTLn1）を設定する

② IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットに1をセットする

③ IICCTLn0レジスタのSPTnビットに1をセットする

(2) STCENn = 1の場合

I²C動作許可（IICEn = 1）直後、実際のバス状態にかかわらず解放状態（IICBSYn = 0）と認識しますので、1回目のスタート・コンディションを生成（STTn = 1）する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、IICAのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合や全アドレス一致機能が許可状態の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でIICAを起動してください。

① IICCTLn0レジスタのSPIEnビットを0にクリアし、ストップ・コンディション検出による割り込み要求信号（INTIICAn）発生を禁止する

② IICCTLn0レジスタのIICEnビットに1をセットし、I²Cの動作を許可する

③ スタート・コンディションを検出するまで待つ

④ アクノリッジを返すまで（IICEnビットに1をセットしてから、f_{MCK}の4～72クロック中）に、IICCTLn0レジスタのLRELnビットに1をセットし、強制的に検出を無効とする

(4) STTn, SPTnビット（IICCTLn0レジスタのビット1, 0）をセットしたあと、0にクリアされる前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット（IICCTLn0レジスタのビット4）に1をセットしてストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタn（IICAn）に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでIICAステータス・レジスタn（IICSn）のMSTSnフラグを検出する場合には、SPIEnビットに1をセットする必要はありません。

備考 n = 0

12.5.16 通信動作

ここでは、次の 3 つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定（1フレーム）期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

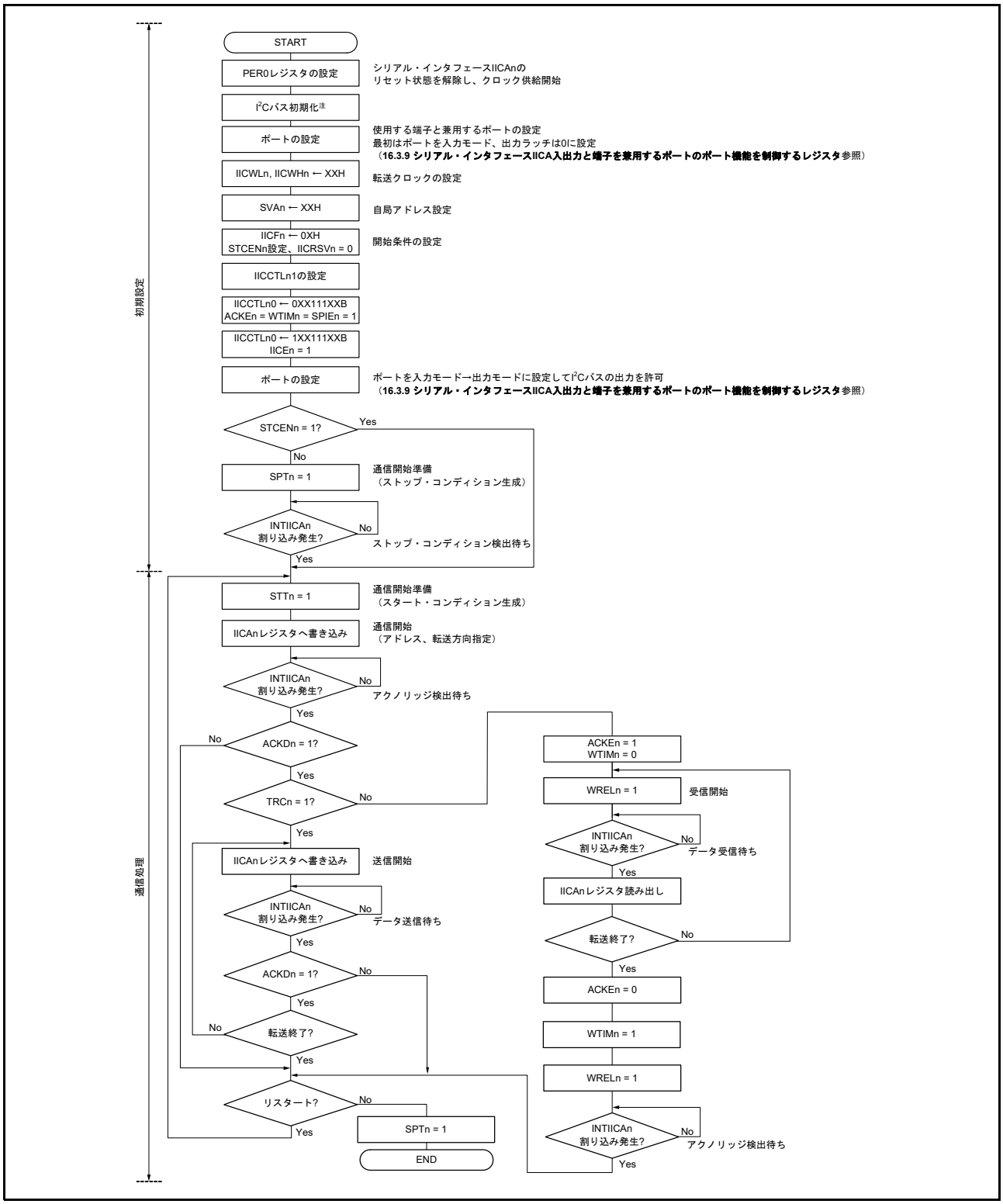
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(1) シングルマスタ・システムでのマスタ動作

図12 - 28 シングルマスタ・システムでのマスタ動作



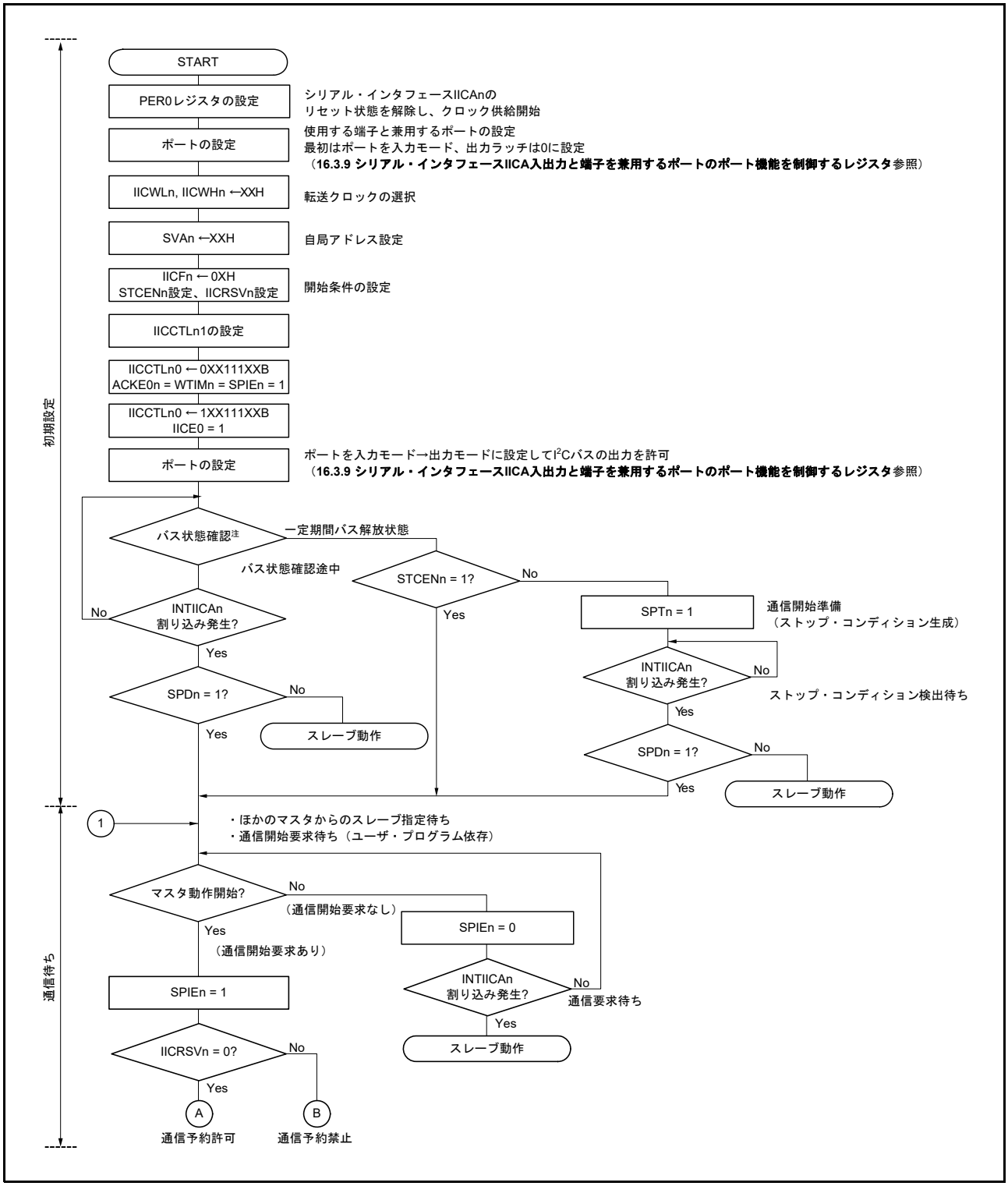
注 通信している製品の仕様に準拠し、I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0

(2) マルチマスタ・システムでのマスタ動作

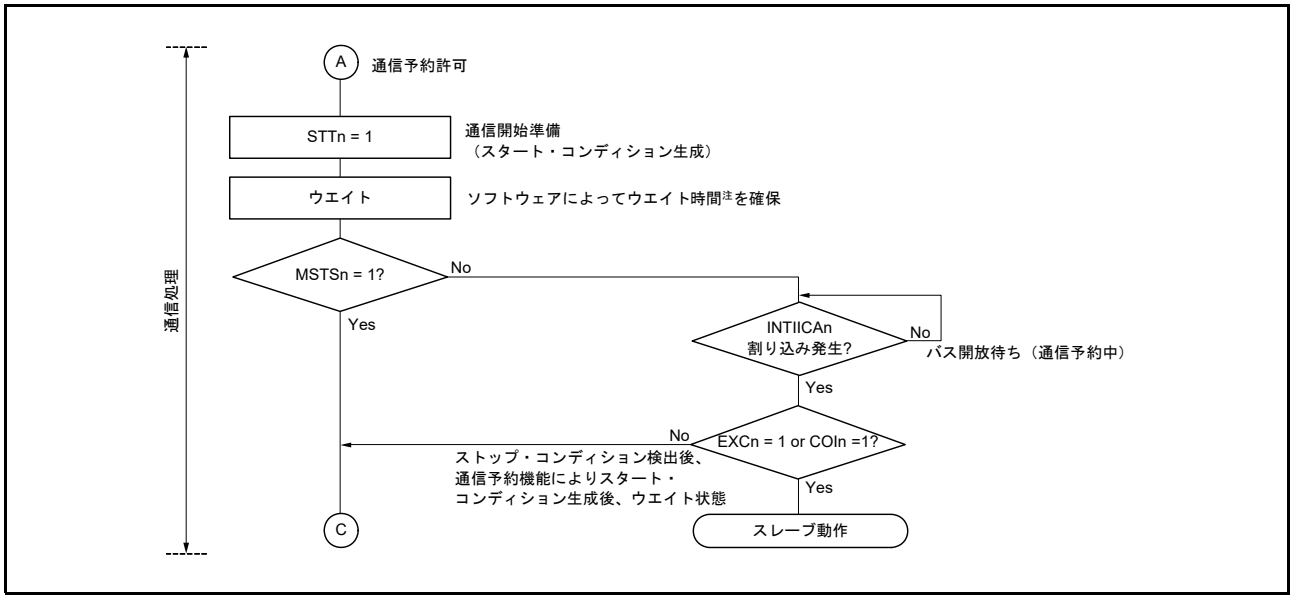
図12 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



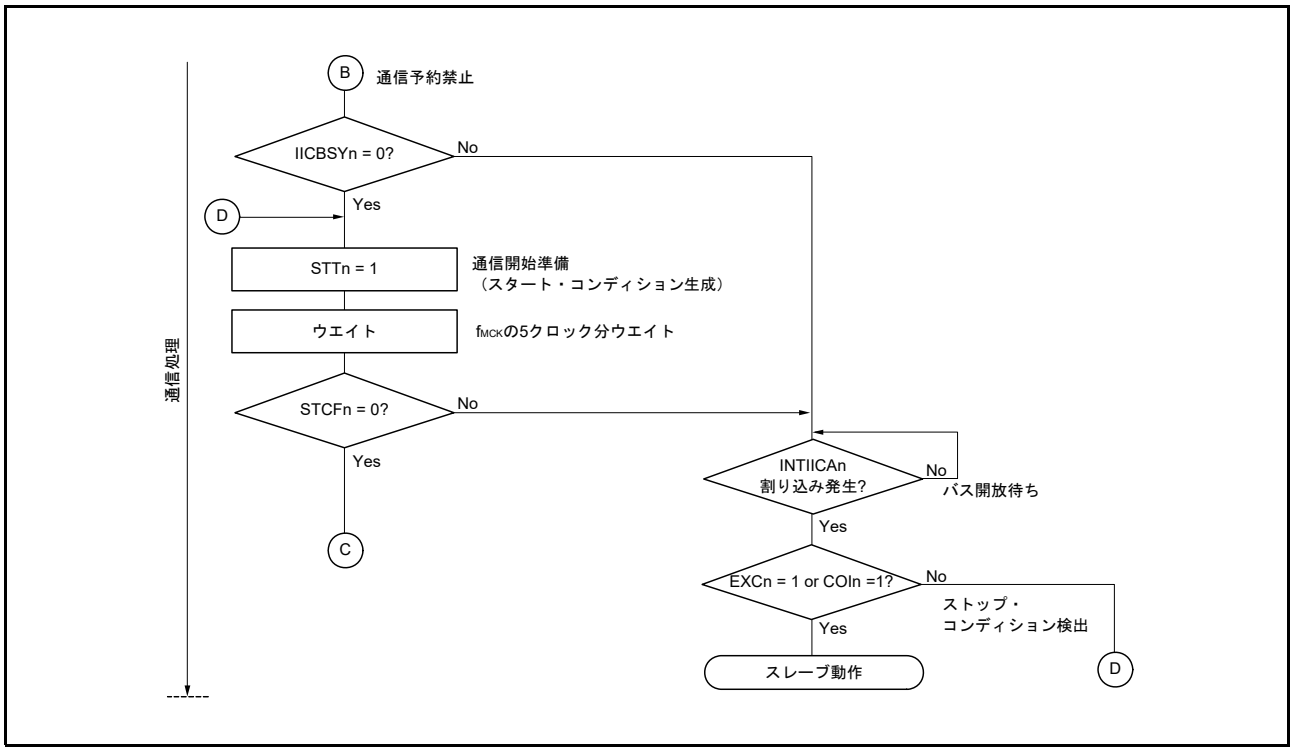
注 一定期間（たとえば1フレーム分）、バス解放状態（CLDn = 1, DADn = 1）であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I2Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

備考 n = 0

図12 - 29 マルチマスタ・システムでのマスタ動作 (2/3)



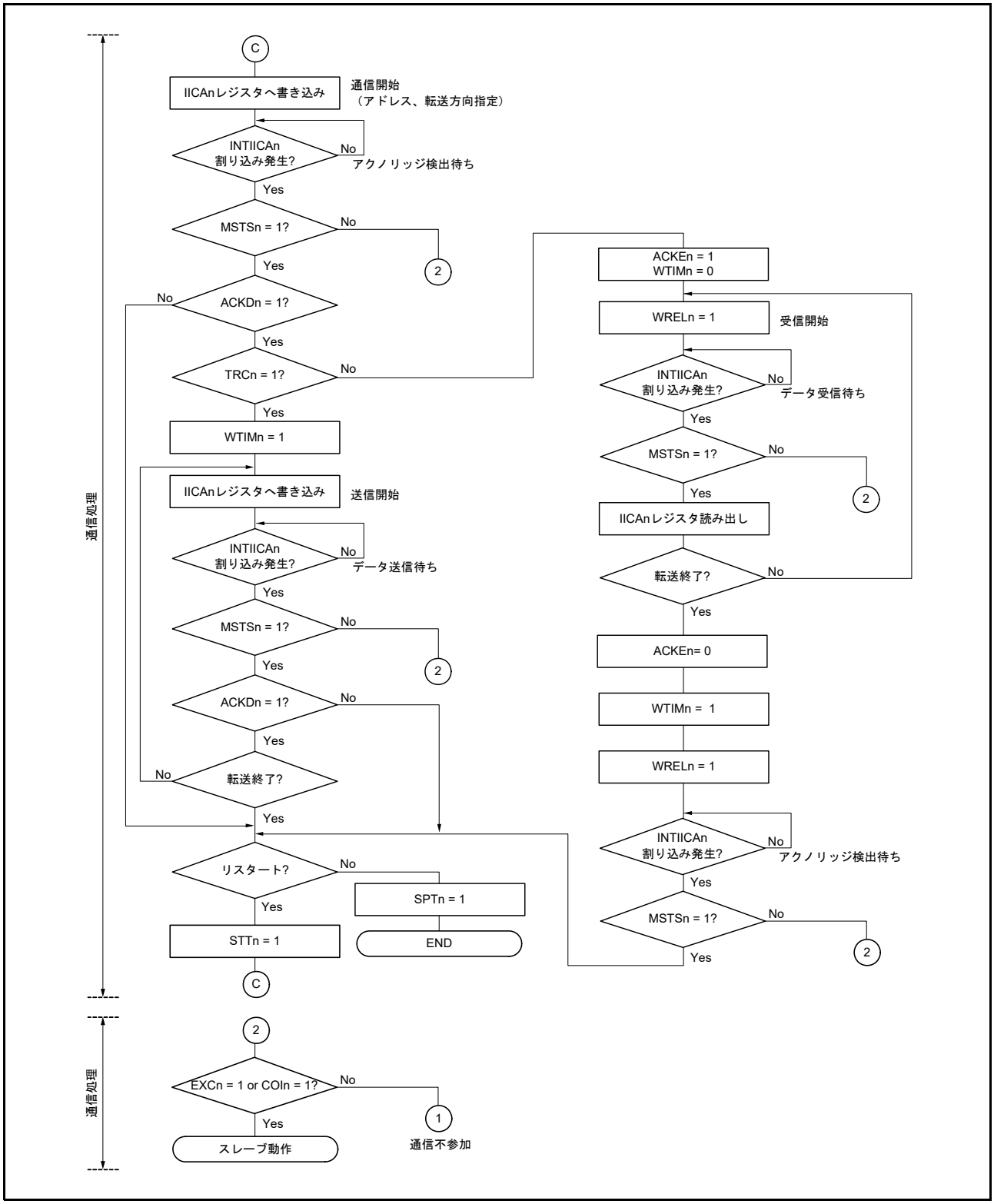
注 ウエイト時間は次のようになります。
（IICWLnの設定値 + IICWHnの設定値 + 4）/ f_{MCK} + t_F × 2



備考1. IICWLn : IICAロウ・レベル幅設定レジスタn
IICWHn : IICAハイ・レベル幅設定レジスタn
t_F : SDAAn, SCLAn信号の立ち下がり時間
f_{MCK} : IICA動作クロック周波数

備考2. n = 0

図12 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTSnフラグを読み出し、アービトレーション結果を確認してください。

備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn割り込み発生ごとにIICAステータス・レジスタn（IICSn）、IICAフラグ・レジスタn（IICFn）でステータスを確認して次に行う処理を決定してください。

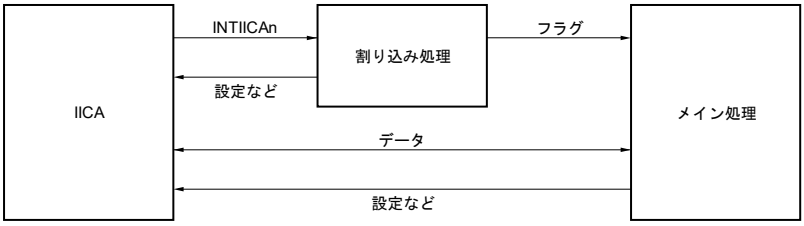
備考4. n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、全アドレス一致機能は無効状態で、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- クリア・モード：データ通信を行っていない状態
- 通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

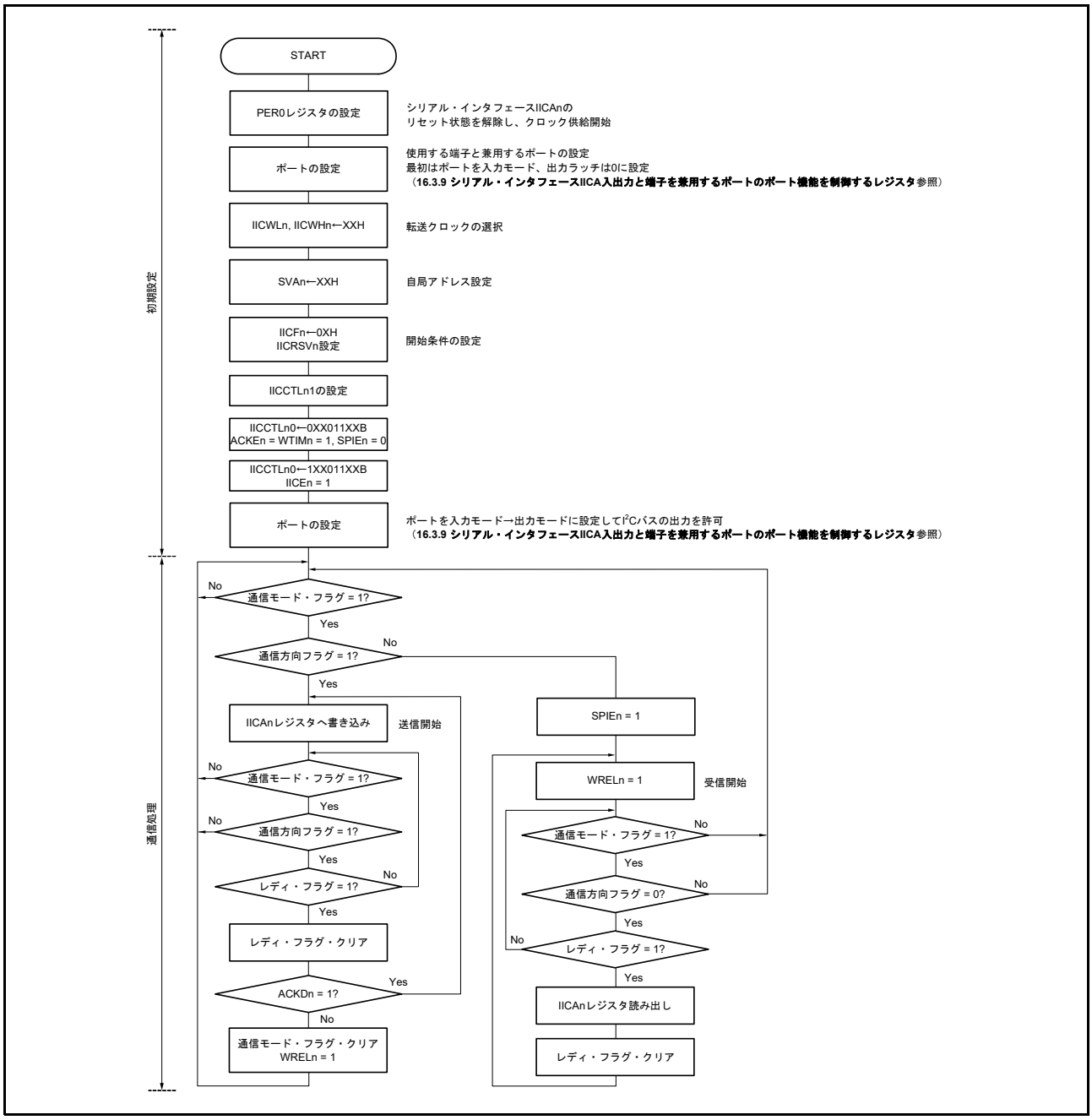
③ 通信方向フラグ

通信の方向を示します。TRCnフラグの値と同じです。

備考　n = 0

次にスレーブ動作でのメイン処理部の動作を示します。
シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。
送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。
受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図12 - 30　スレーブ動作手順（1）



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

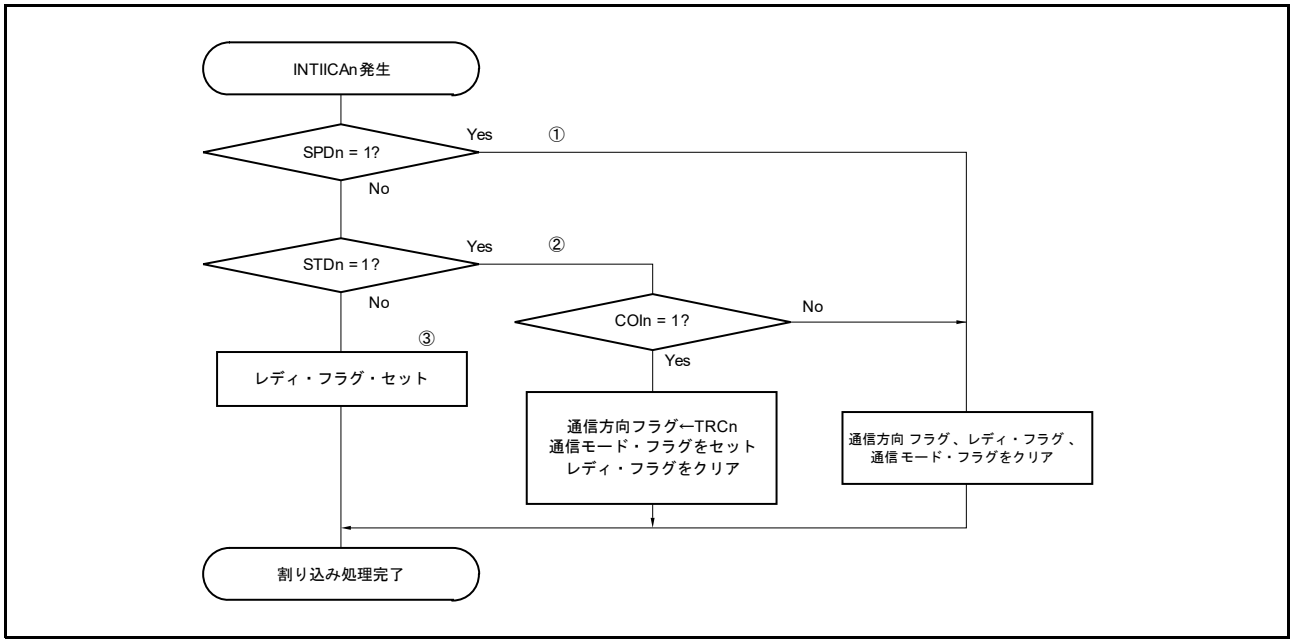
備考2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは全アドレス一致機能は無効状態で、拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

① ストップ・コンディションの場合、通信を終了します。
② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウエイト状態のまま、割り込みから戻ります。

備考　上述の①～③は、**図12 - 31　スレーブ動作手順（2）**の①～③と対応しています。

図12 - 31　スレーブ動作手順（2）



備考　n = 0

12.5.17　I²C割り込み要求信号（INTIICAn）の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n（IICSn）の値を示します。

備考1. ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
ACK　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

備考2. n = 0

(1) マスタ動作

(a) Start～Address～Data～Data～Stop（送受信）

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B

▲3：IICSn = 1000×000B（WTIMnビットを1にセット）**注**

▲4：IICSn = 1000××00B（SPTnビットを1にセット）

△5：IICSn = 00000001B

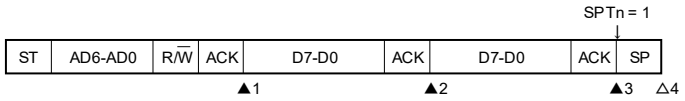
注 ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B

▲3：IICSn = 1000××00B（SPTnビットを1にセット）

△4：IICSn = 00000001B

備考 ▲ 必ず発生

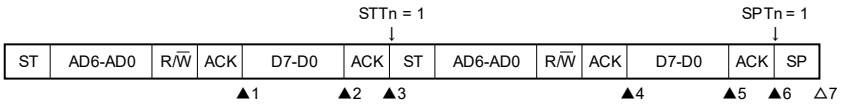
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0

(b) Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット**注1**）

▲3：IICSn = 1000××00B（WTIMnビットを0にクリア**注2**、STTnビットを1にセット）

▲4：IICSn = 1000×110B

▲5：IICSn = 1000×000B（WTIMnビットを1にセット**注3**）

▲6：IICSn = 1000××00B（SPTnビットを1にセット）

△7：IICSn = 00000001B

注1.　スタート・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

注2.　設定を元に戻すために、WTIMnビットを0にクリアしてください。

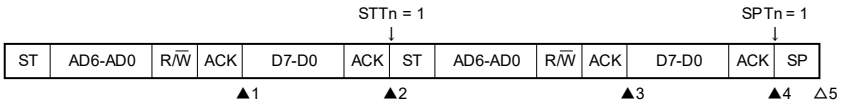
注3.　ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットを1にセット）

▲3：IICSn = 1000×110B

▲4：IICSn = 1000××00B（SPTnビットを1にセット）

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIMn = 0のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×000B

▲3：IICSn = 1010×000B（WTIMnビットを1にセット注）

▲4：IICSn = 1010××00B（SPTnビットを1にセット）

△5：IICSn = 00000001B

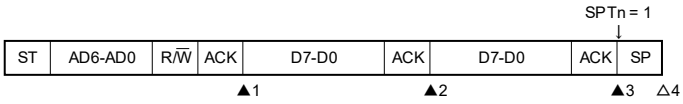
注　ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×100B

▲3：IICSn = 1010××00B（SPTnビットを1にセット）

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

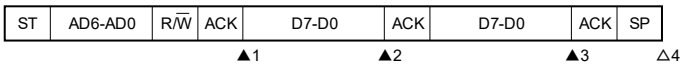
×　任意

備考　n = 0

(2)　スレーブ動作（スレーブ・アドレス受信時）

(a) Start～Address～Data～Data～Stop

（i）WTIMn = 0のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

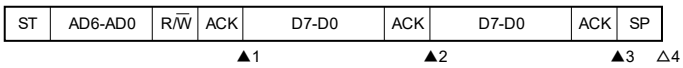
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考　▲　必ず発生

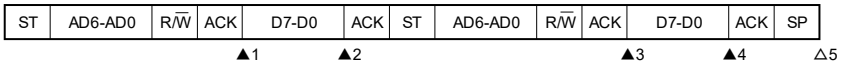
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(b) Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

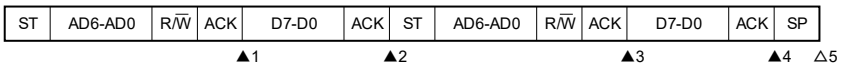
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

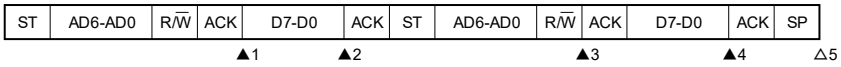
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) Start～Address～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後、アドレス不一致（拡張コード、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

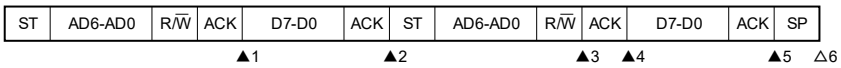
△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき（リスタート後、アドレス不一致（拡張コード、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×110B

▲5：IICSn = 0010××00B

△6：IICSn = 00000001B

備考 ▲ 必ず発生

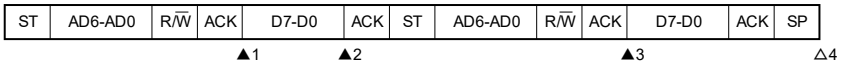
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0

(d) Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 00000×10B

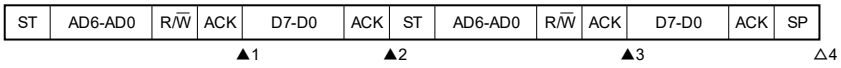
△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

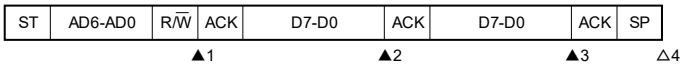
備考 n = 0

(3) スレーブ動作（拡張コード受信時、全アドレス一致機能停止）

拡張コード受信時は、常に通信に参加しています。

(a) Start～Code～Data～Data～Stop

（i）WTIMn = 0のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

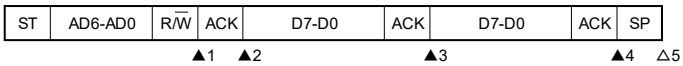
△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考 ▲ 必ず発生

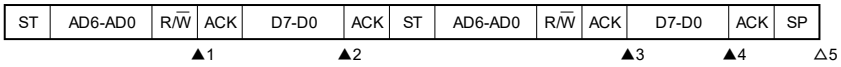
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0

(b) Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

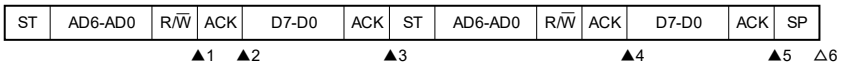
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0001×110B

▲5：IICSn = 0001××00B

△6：IICSn = 00000001B

備考　▲　必ず発生

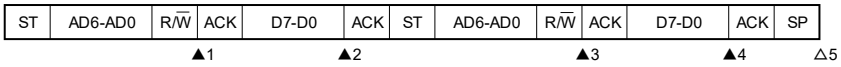
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) Start～Code～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後、拡張コード受信、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

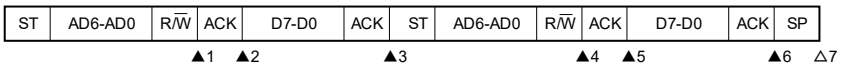
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、拡張コード受信、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0010×010B

▲5：IICSn = 0010×110B

▲6：IICSn = 0010××00B

△7：IICSn = 00000001B

備考　▲　必ず発生

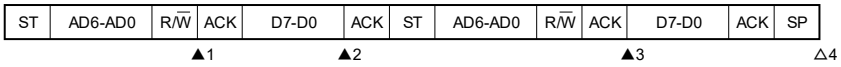
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(d) Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 00000×10B

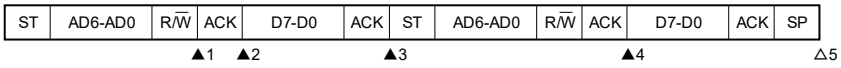
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 00000×10B

△5：IICSn = 00000001B

備考　▲　必ず発生

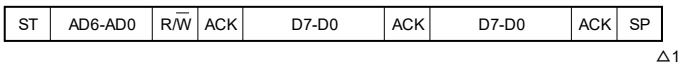
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(4) 通信不参加の動作

(a) Start～Code～Data～Data～Stop



△1：IICSn = 00000001B

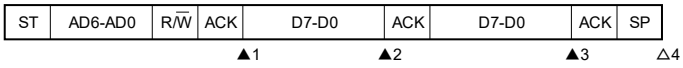
備考 △ SPIEn = 1のときだけ発生

(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとにMSTSnフラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 0101×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

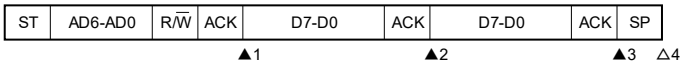
△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0101×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

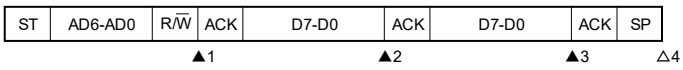
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合（全アドレス一致機能停止）

（i）WTIMn = 0のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

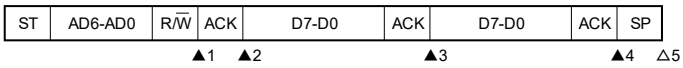
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

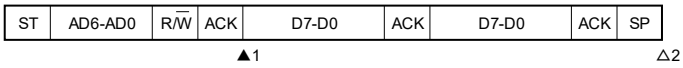
×　任意

備考　n = 0

(6)　アービトレーション負けの動作（アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとにMSTSnフラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）



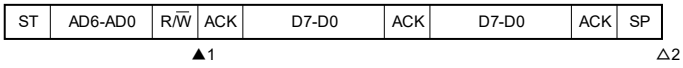
▲1：IICSn = 01000110B

△2：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合（全アドレス一致機能停止）



▲1：IICSn = 0110×010B

ソフトウェアでLRELn = 1を設定

△2：IICSn = 00000001B

備考　▲　必ず発生

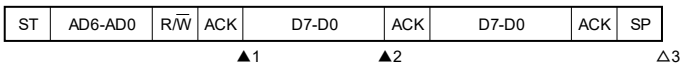
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) データ転送時にアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 10001110B

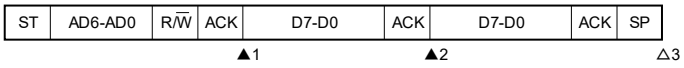
▲2：IICSn = 01000000B

△3：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

（ii）WTIMn = 1のとき



▲1：IICSn = 10001110B

▲2：IICSn = 01000100B

△3：IICSn = 00000001B

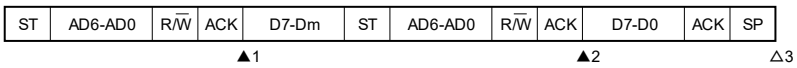
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

備考 n = 0

(d) データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVAn不一致、全アドレス一致機能停止）



▲1：IICSn = 1000×110B

▲2：IICSn = 01000110B

△3：IICSn = 00000001B

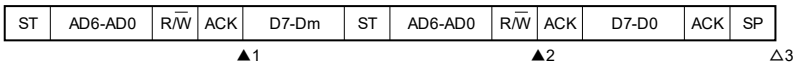
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

m = 6-0

（ii）拡張コード（全アドレス一致機能停止）



▲1：IICSn = 1000×110B

▲2：IICSn = 01100010B

ソフトウェアでLRELn = 1を設定

△3：IICSn = 00000001B

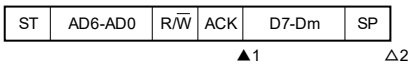
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1：IICSn = 10000110B

△2：IICSn = 01000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

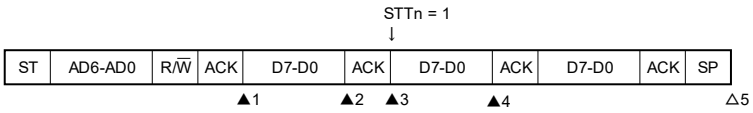
×　任意

m = 6-0

備考　n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット）

▲3：IICSn = 1000×100B（WTIMnビットを0にクリア）

▲4：IICSn = 01000000B

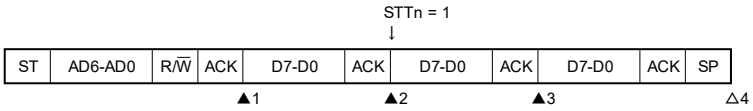
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B（STTnビットを1にセット）

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット）

▲3：IICSn = 1000××00B（STTnビットを1にセット）

△4：IICSn = 01000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットを1にセット）

△3：IICSn = 01000001B

備考　▲　必ず発生

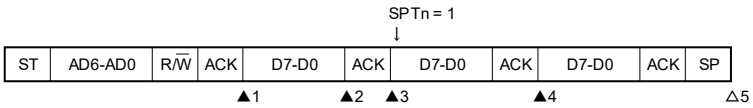
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット）

▲3：IICSn = 1000×100B（WTIMnビットを0にクリア）

▲4：IICSn = 01000100B

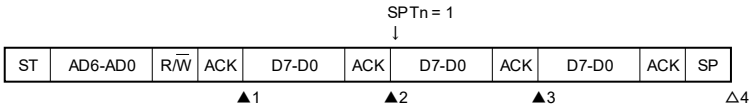
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B（SPTnビットを1にセット）

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

12.6　タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを 1 つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す IICA ステータス・レジスタ n（IICSn）の TRCn フラグを送信し、スレーブとのシリアル通信を開始します。

図 12 - 32 および**図 12 - 33** にデータ通信のタイミング・チャートを示します。

シリアル・クロック（SCLAn）の立ち下がりに同期して IICA シフト・レジスタ n（IICAn）のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

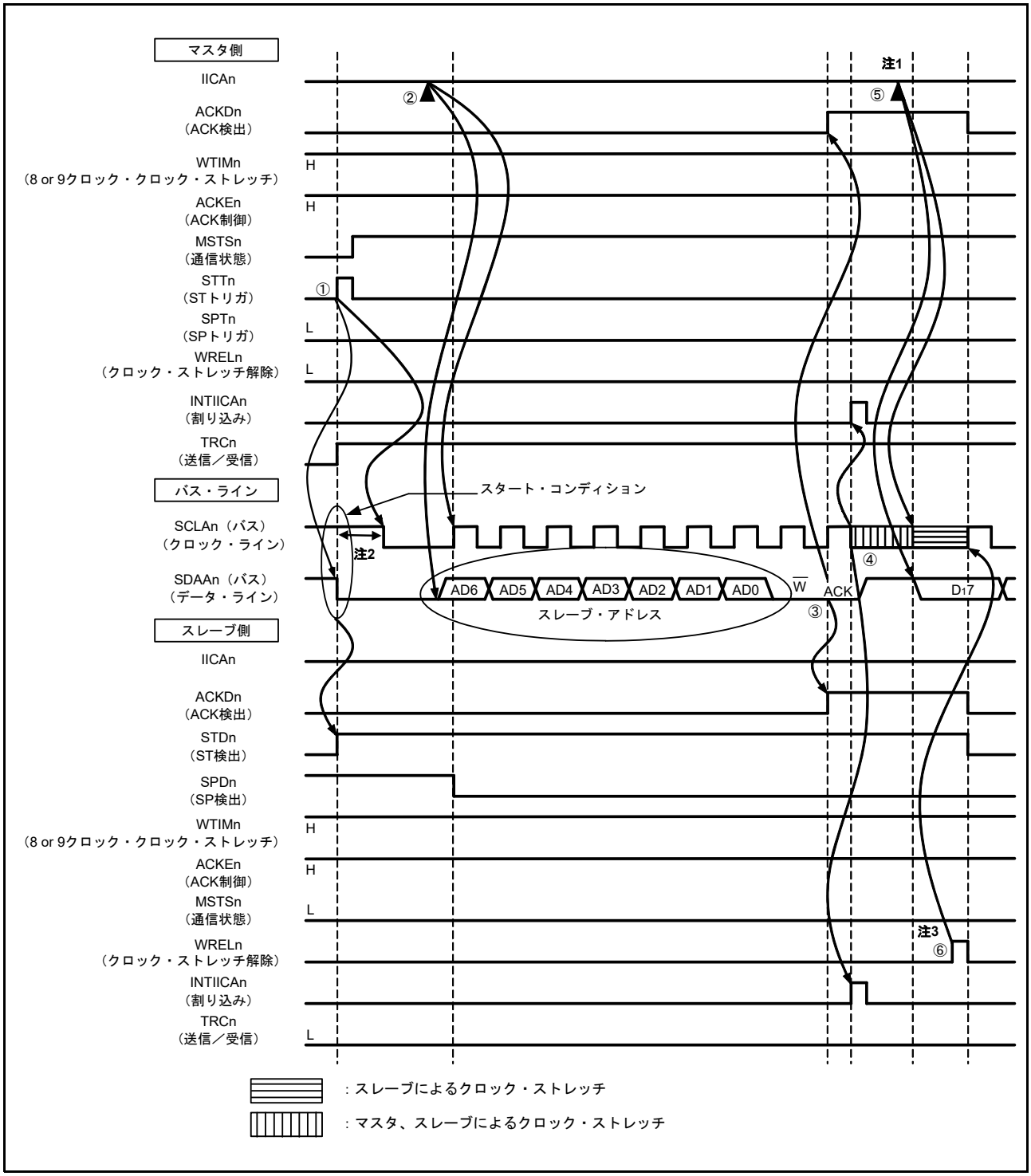
また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

本節で示すタイミング・チャートは、全アドレス一致機能は停止状態です。

備考　n = 0

図12 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(1/4)

(1)　スタート・コンディション～アドレス～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 12 - 32 (1)　スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると、バス・データ・ライン（SDAAn）が立ち下がり、スタート・コンディション（SCLAn = 1 で SDAAn = 1 → 0）が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態（MSTSn = 1）となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり（SCLAn = 0）、通信準備が完了となります。

② マスタ側で IICA シフト・レジスタ n（IICAn）にアドレス + W（送信）が書き込まれると、スレーブ・アドレスが送信されます。

③ スレーブ側では、受信したアドレスと自局のアドレス（SVAn の値）が一致した場合**注**、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは、クロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します**注**。

⑤ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

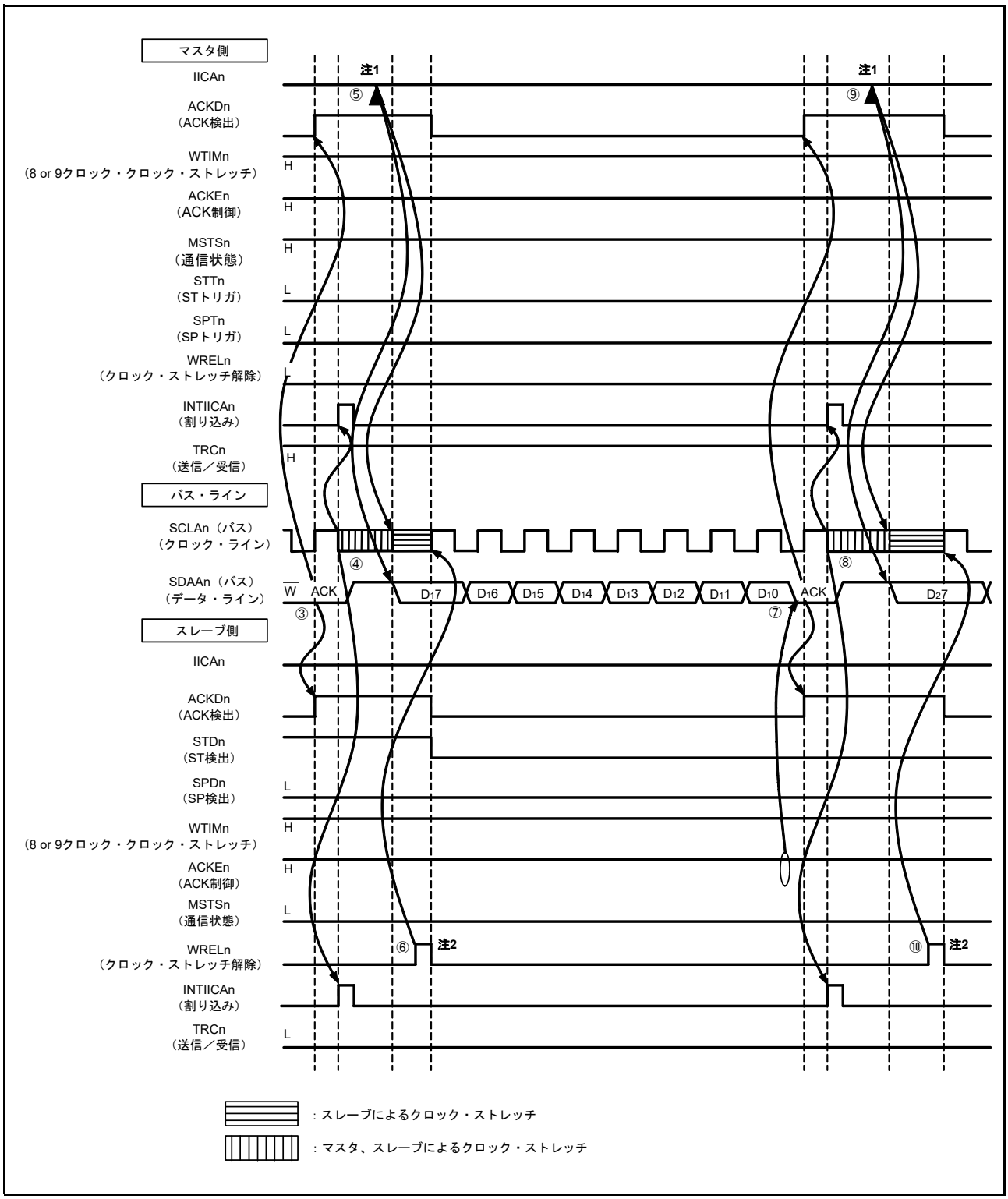
注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考1. **図12 - 32**の①～⑮は、I^2Cバスによるデータ通信の一連の操作手順です。

図 12 - 32 (1)　スタート・コンディション～アドレス～データ：手順①～⑥
図 12 - 32 (2)　アドレス～データ～データ：手順③～⑩
図 12 - 32 (3)　データ～データ～ストップ・コンディション：手順⑦～⑮

備考2. n = 0

図12 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(2/4)
(2)　アドレス～データ～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 12 - 32 (2)　アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側では、受信したアドレスと自局のアドレス（SVAn の値）が一致した場合**注**、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します**注**。

⑤ マスタ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

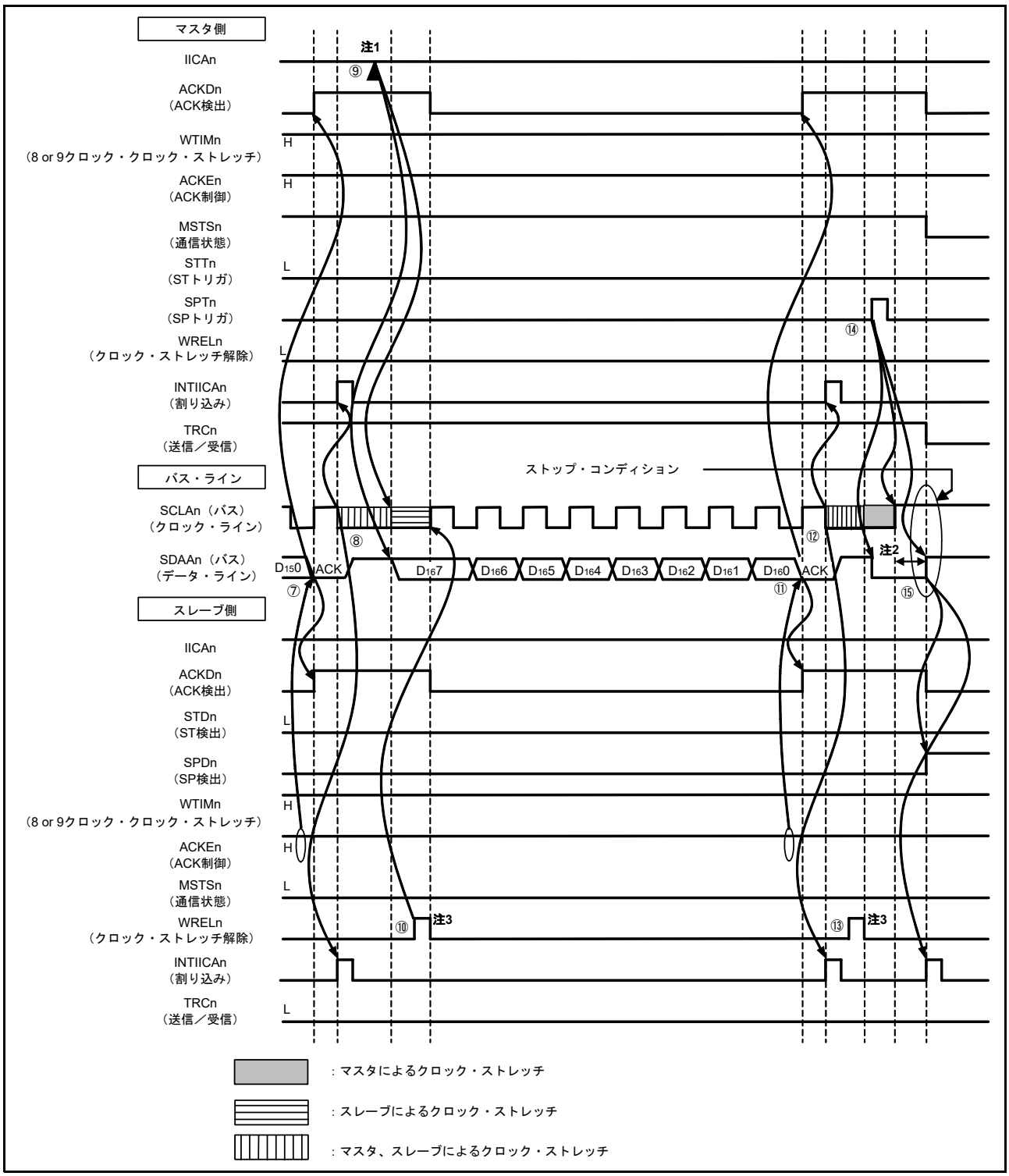
備考1. **図12 - 32**の①～⑮は、I^2Cバスによるデータ通信の一連の操作手順です。

図 12 - 32 (1)　スタート・コンディション～アドレス～データ：手順①～⑥
図 12 - 32 (2)　アドレス～データ～データ：手順③～⑩
図 12 - 32 (3)　データ～データ～ストップ・コンディション：手順⑦～⑮

備考2. n = 0

図12 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(3/4)

(3)　データ～データ～ストップ・コンディション



注1.　マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2.　ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 12 - 32 (3)　データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後、スレーブ側（ACKEn = 1）のハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑫ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除（WRELn = 1）します。

⑭ マスタ側でストップ・コンディション・トリガをセット（SPTn = 1）すると、バス・データ・ラインがクリア（SDAAn = 0）され、バス・クロック・ラインがセット（SCLAn = 1）され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット（SDAAn = 1）されることでストップ・コンディション（SCLAn = 1 で SDAAn = 0 → 1）が生成されます。

⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考1. **図12 - 32**の①～⑮は、I^2Cバスによるデータ通信の一連の操作手順です。

図 12 - 32 (1)　スタート・コンディション～アドレス～データ：手順①～⑥

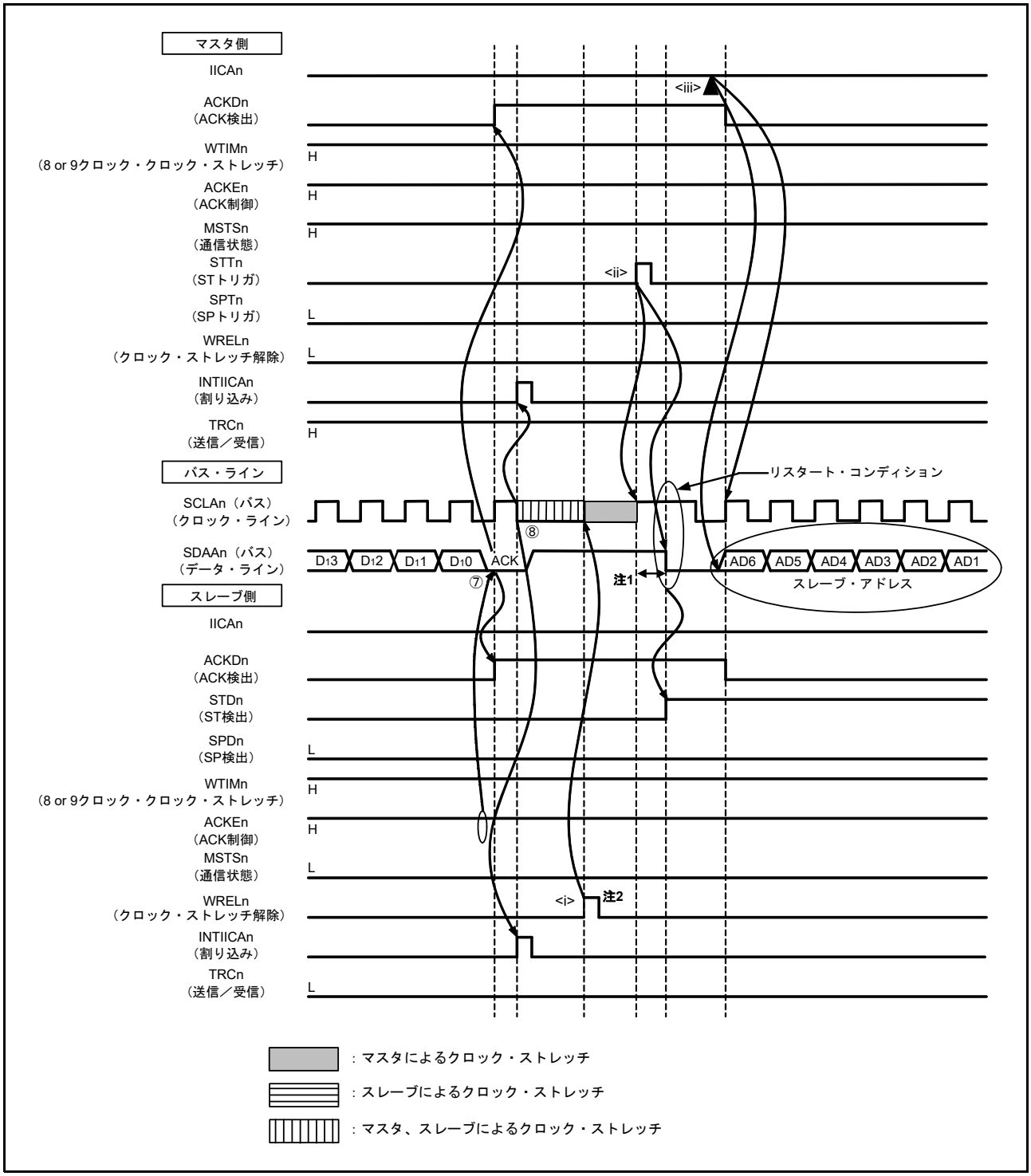
図 12 - 32 (2)　アドレス～データ～データ：手順③～⑩

図 12 - 32 (3)　データ～データ～ストップ・コンディション：手順⑦～⑮

備考2. n = 0

図12 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(4/4)

(4)　データ～リスタート・コンディション～アドレス



注1.　リスタート・コンディションの発行後、SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。

注2.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 12 - 32 (4)　データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦、⑧の動作後、<i> ～ <iii> の動作を行います。それにより、手順③のデータの送信手順に戻ります。

⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

<i> スレーブ側が受信データを読み出して、クロック・ストレッチを解除（WRELn = 1）します。

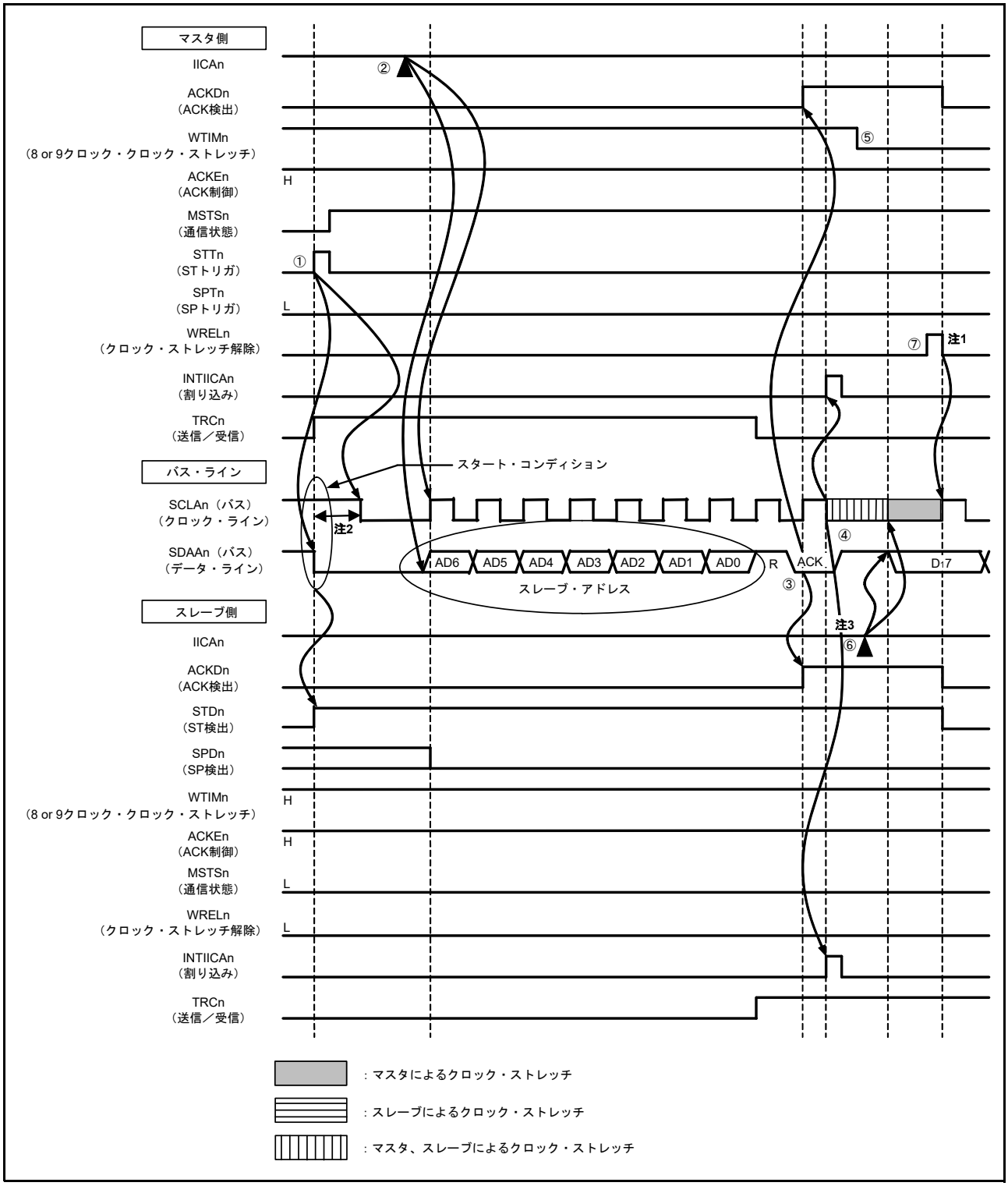
<ii> マスタ側で再度スタート・コンディション・トリガがセット（STTn = 1）されると、バス・クロック・ラインが立ち上がり（SCLAn = 1）、リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAAn = 0）が立ち下がり、スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり（SCLAn = 0）、通信準備が完了となります。

<iii> マスタ側がIICAシフト・レジスタn（IICAn）にアドレス + R/W（送信）を書き込むと、スレーブ・アドレスが送信されます。

備考　n = 0

図12 - 33　スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択）(1/3)

(1)　スタート・コンディション～アドレス～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考　n = 0

図 12 - 33 (1)　スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると、バス・データ・ライン（SDAAn）が立ち下がり、スタート・コンディション（SCLAn = 1 で SDAAn = 1 → 0）が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態（MSTSn = 1）となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり（SCLAn = 0）、通信準備が完了となります。

② マスタ側で IICA シフト・レジスタ n（IICAn）にアドレス + R（受信）が書き込まれると、スレーブ・アドレスが送信されます。

③ スレーブ側で、受信したアドレスと自局のアドレス（SVAn の値）が一致した場合**注**、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します**注**。

⑤ マスタ側のクロック・ストレッチ・タイミングを 8 クロック目（WTIMn = 0）に変更します。

⑥ スレーブ側が IICAn レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して、スレーブからのデータ転送を開始します。

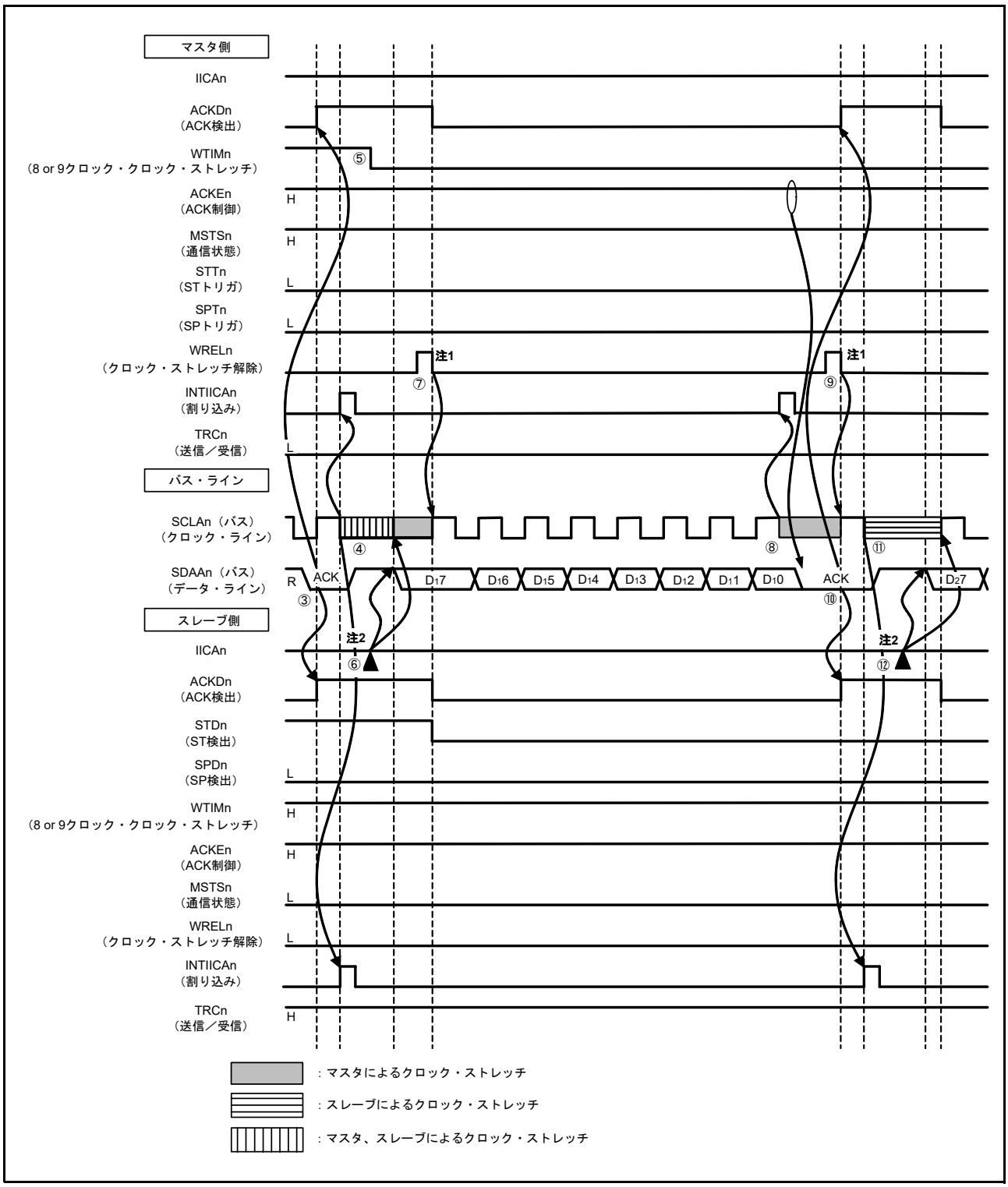
注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考1. **図12 - 33**の①～⑲は、I^2Cバスによるデータ通信の一連の操作手順です。

図 12 - 33 (1)　スタート・コンディション～アドレス～データ：手順①～⑦
図 12 - 33 (2)　アドレス～データ～データ：手順③～⑫
図 12 - 33 (3)　データ～データ～ストップ・コンディション：手順⑧～⑲

備考2. n = 0

図12 - 33　スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択）(2/3)
(2)　アドレス～データ～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2.　スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考　n = 0

図 12 - 33 (2)　アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で、受信したアドレス自局のアドレス（SVAn の値）が一致した場合**注**、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します**注**。

⑤ マスタ側はクロック・ストレッチ・タイミングを 8 クロック目（WTIMn = 0）に変更します。

⑥ スレーブ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して、スレーブからのデータ転送を開始します。

⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し、マスタ側 ACKEn = 1 なのでハードウェアにより ACK がスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出（ACKDn = 1）されます。

⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側が IICAn レジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

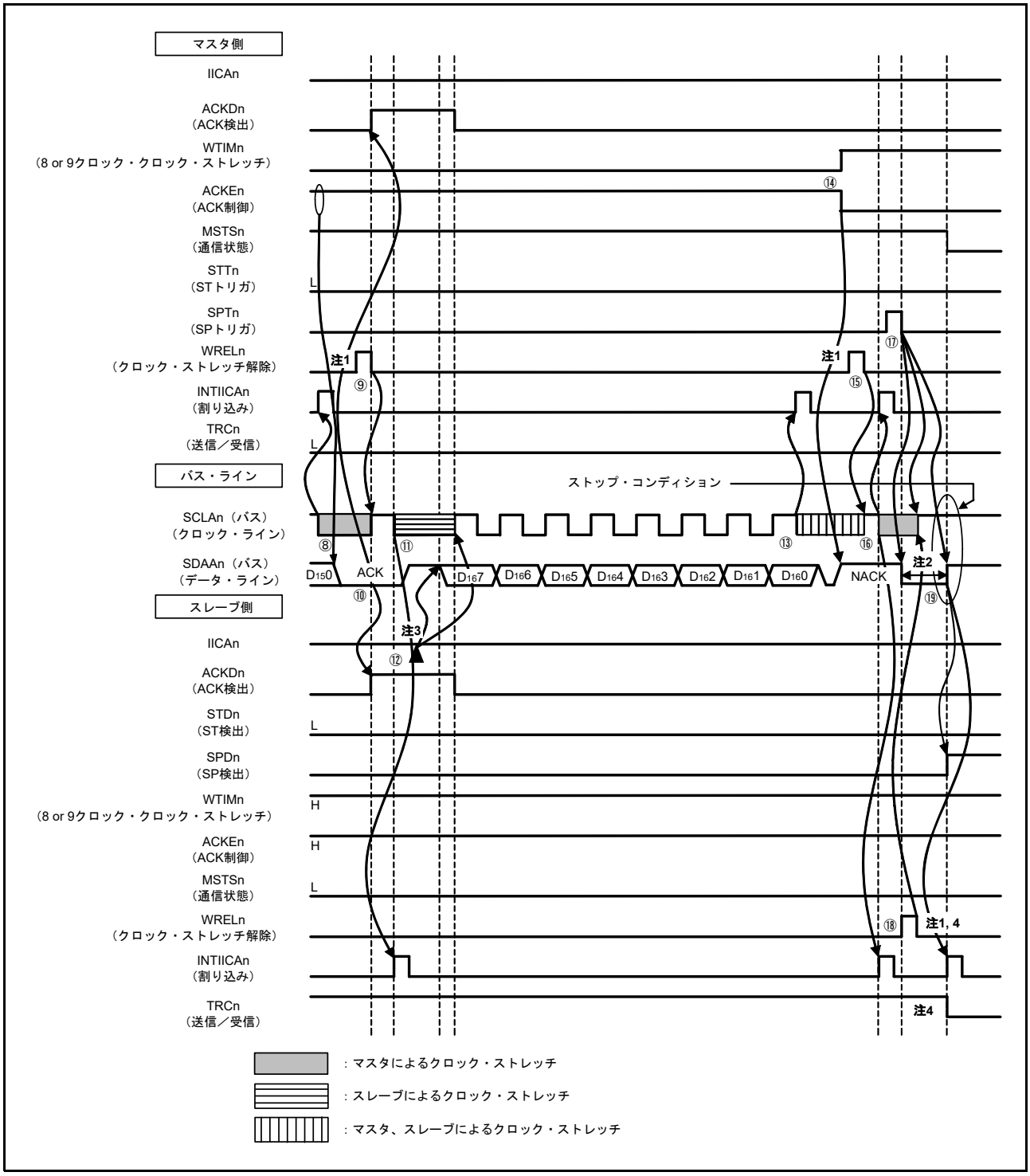
備考1. **図12 - 33**の①～⑲は、I^2Cバスによるデータ通信の一連の操作手順です。

図 12 - 33 (1)　スタート・コンディション～アドレス～データ：手順①～⑦
図 12 - 33 (2)　アドレス～データ～データ：手順③～⑫
図 12 - 33 (3)　データ～データ～ストップ・コンディション：手順⑧～⑲

備考2. n = 0

図12 - 33　スレーブ→マスタ通信例（マスタ：8→9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(3/3)

(3)　データ～データ～ストップ・コンディション



注1.　クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2.　ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注4.　スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnフラグはクリアされます。

備考　n = 0

図 12 - 33 (3) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し、マスタ側は ACKEn = 0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出（ACKDn = 1）されます。

⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

⑬ 8 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し、マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかります。ACK 制御（ACKEn = 1）されているので、この段階でのバス・データ・ラインはロウ・レベル（SDAAn = 0）となります。

⑭ マスタ側は NACK 応答に設定（ACKEn = 0）し、クロック・ストレッチ・タイミングを 9 クロック目（WTIMn = 1）に変更します。

⑮ マスタ側がクロック・ストレッチを解除（WRELn = 1）すると、スレーブ側は 9 クロック目の立ち上がりで NACK を検出（ACKDn = 0）します。

⑯ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPTn = 1）すると、バス・データ・ラインがクリア（SDAAn = 0）され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されるまで待機します。

⑱ スレーブ側は NACK を確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除（WRELn = 1）します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット（SCLAn = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット（SDAAn = 1）してストップ・コンディション（SCLAn = 1 で SDAAn = 0 → 1）を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考1. **図12 - 33**の①～⑲は、I^2Cバスによるデータ通信の一連の操作手順です。

図 12 - 33 (1) スタート・コンディション～アドレス～データ：手順①～⑦
図 12 - 33 (2) アドレス～データ～データ：手順③～⑫
図 12 - 33 (3) データ～データ～ストップ・コンディション：手順⑧～⑲

備考2. n = 0

第13章　シリアル・インタフェースUARTA（UARTA）

シリアル・インタフェース UARTA のチャネル数は、1 チャネルです。

13.1　概要

シリアル・インタフェース UARTAn には、次の 2 種類のモードがあります。

(1)　動作停止モード
　シリアル通信を行わないときに使用するモードです。消費電力を低減できます。
(2)　UARTモード
　連続送信機能対応のUARTモードです。機能の概要を次に示します。

シリアル・インタフェース UARTAn は非同期通信です。以下に機能概要を示します。

- 最大転送速度：153.6 kbps
- 送受信は2端子構成
  TxDAn：送信データ出力端子
  RxDAn：受信データ入力端子
- 転送データのキャラクタ長は、5ビット／7ビット／8ビット可変
- 専用の8ビット・ボー・レート・ジェネレータ内蔵で任意のボー・レートの設定が可能
- 送信動作と受信動作は独立して動作可能（全二重動作）
- MSB/LSB ファースト転送選択可能
- 通信論理レベル反転制御が可能
- 送信クロック出力が可能（CLKAn）
- CPU／周辺ハードウェア・クロック（f_{CLK}）と同期せずに独自に動作クロックを選択可能

備考　n：ユニット番号（n = 0）

図 13 - 1 にシリアル・インタフェース UARTAn のブロック図、**表 13 - 1** にシリアル・インタフェース UARTAn の端子構成を示します。

図13 - 1 シリアル・インタフェースUARTAnのブロック図

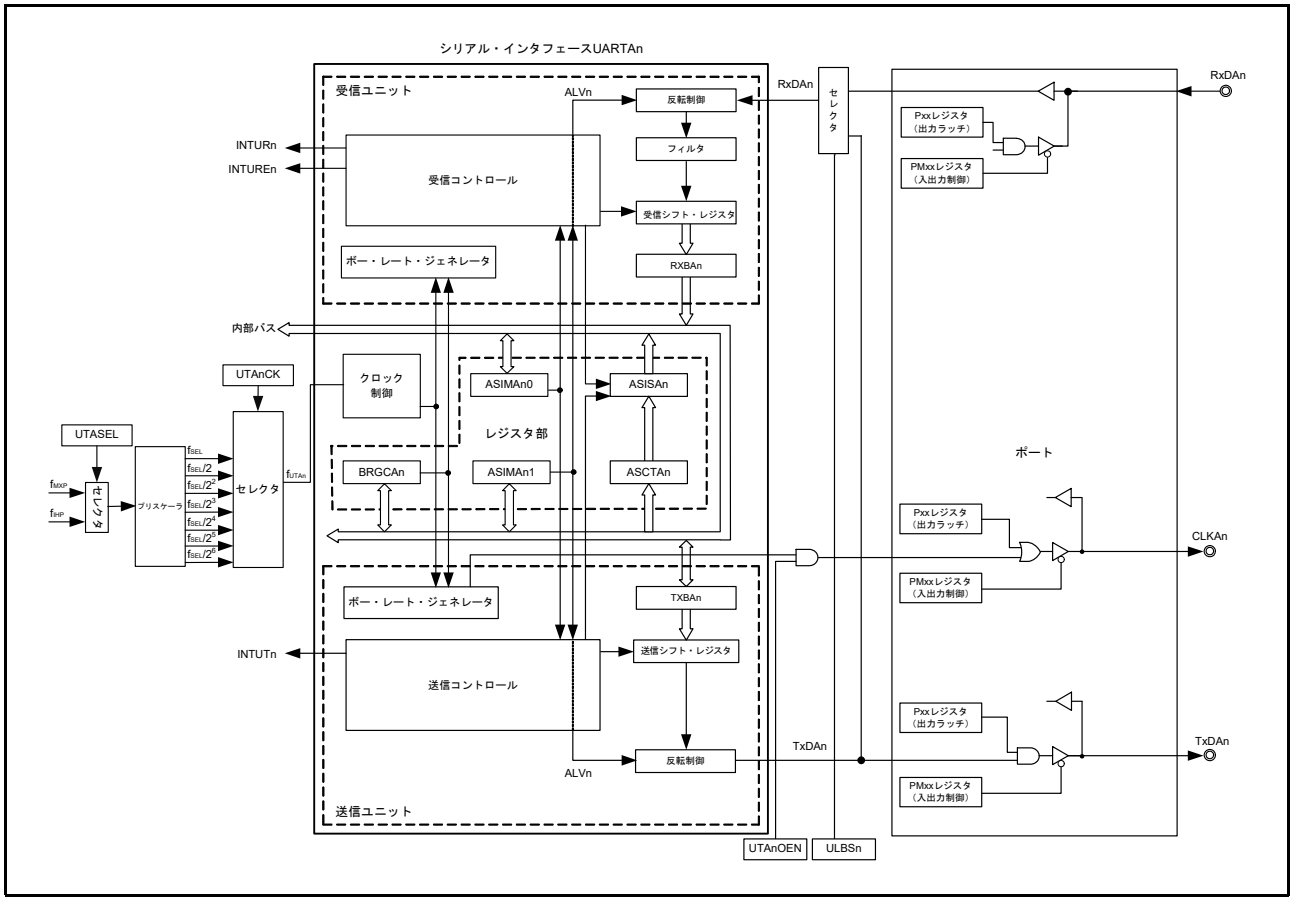


表13 - 1 シリアル・インタフェースUARTAnの端子構成

端子名	入出力	機能
RxDAn	入力	シリアル・データ入力信号
TxDAn	出力	シリアル・データ出力信号
CLKAn	出力	シリアル・クロック出力信号

備考1. f_{MXP} ：高速周辺クロック周波数
f_{IHP} ：高速オンチップ・オシレータ周辺クロック周波数
f_{SEL} ：UARTA分周選択クロック
f_{UTAn} ：シリアル・インタフェースUARTAn動作クロック

備考2. n = 0

13.2　シリアル・インタフェースUARTAを制御するレジスタ

シリアル・インタフェース UARTA を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- 送信バッファ・レジスタn（TXBAn）
- 受信バッファ・レジスタn（RXBAn）
- 動作モード設定レジスタn0（ASIMAn0）
- 動作モード設定レジスタn1（ASIMAn1）
- ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）
- ステータス・レジスタn（ASISAn）
- ステータス・クリア・トリガ・レジスタn（ASCTAn）
- UARTAクロック選択レジスタ0（UTA0CK）
- UARTループバック選択レジスタ（ULBS）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

備考　n：ユニット番号（n = 0）

13.2.1　周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース UARTAn を使用する場合は、必ず UTAEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13 - 2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス　：F00FAH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	<4>	3	<2>	1	0
PER1	0	0	0	TML32EN	0	UTAEN	0	0

UTAEN	シリアル・インタフェースUARTAnの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・インタフェースUARTAnで使用するSFRへのライト不可注
1	入力クロック供給 • シリアル・インタフェースUARTAnで使用するSFRへのリード／ライト可

注　リードした場合は、設定値にかかわらず00Hが読めます。

注意1. ビット7-5, 3, 1, 0には、必ず0を設定してください。

注意2. シリアル・インタフェースUARTAnを使用する際には、必ず最初にUTAEN = 1の設定を行ってください。UTAEN = 0の場合は、シリアル・インタフェースUARTAnの制御レジスタへの書き込みは無視されます。

備考　n：ユニット番号（n = 0）

13.2.2 送信バッファ・レジスタn（TXBAn）

TXBAn レジスタは、送信データを設定するバッファ・レジスタです。
TXBAn レジスタに送信データを書き込むことにより、送信動作が開始されます。
TXBAn レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFH になります。

図13 - 3 送信バッファ・レジスタn（TXBAn）のフォーマット

アドレス ：F0300H (TXBA0)
リセット時: FFH
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
TXBAn								

ビット 7-0	機能
－	• キャラクタ長を8ビット指定した場合： 送信データはTXBAnのビット7-0が転送されます。 • キャラクタ長を7ビット指定した場合： MSB/LSBファーストどちらの設定でも送信データはTXBAnのビット6-0が転送され、ビット7は無効になります。 • キャラクタ長を5ビット指定した場合： MSB/LSBファーストどちらの設定でも送信データはTXBAnのビット4-0が転送され、ビット7-5は無効になります。

注意1. ASISAnレジスタのTXBFAnフラグが1のとき、TXBAnレジスタに送信データを書き込まないでください。

注意2. ASIMAn0レジスタのTXEAnビットに1を設定したあと、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）の1クロック以上の期間を待ってから、TXBAnレジスタに最初の送信データを設定してください。TXEAnビットに1を設定したあと、シリアル・インタフェースUARTAn動作クロックの1クロックを待たずに送信データを設定した場合は、シリアル・インタフェースUARTAn動作クロックで1クロック送信開始が遅れます。

備考1. TXBAnレジスタから転送されたデータをシリアル・データとしてTxDAn端子から送信します。TXBAnレジスタからのデータ転送は、最初の送信時ではTXBAnレジスタの書き込み直後、連続送信時では1フレーム送信後の転送完了割り込み発生直前のタイミングで転送されます。
送信シフト・レジスタはプログラムで直接操作できません。

備考2. n：ユニット番号（n = 0）

13.2.3　受信バッファ・レジスタn（RXBAn）

RXBAnレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するためのレジスタです。データを1バイト受信するごとに受信シフト・レジスタ注から新たな受信データが転送されます。

RXBAnレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、FFHになります。

注　RxDAn端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。
受信シフト・レジスタはプログラムで直接操作できません。

図13 - 4　受信バッファ・レジスタn（RXBAn）のフォーマット

アドレス　：F0301H (RXBA0)
リセット時：FFH
R/W属性　：R

略号	7	6	5	4	3	2	1	0
RXBAn								

ビット 7-0	機能
－	• キャラクタ長を8ビット指定した場合： 受信データは本レジスタのビット7-0に転送されます。 • キャラクタ長を7ビット指定した場合： MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット6-0に転送され、ビット7は必ず0になります。 • キャラクタ長を5ビット指定した場合： MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット4-0に転送され、ビット7-5は必ず0になります。

注意　**オーバラン・エラー（OVEAn）が発生した場合、そのときの受信データはRXBAnレジスタには格納されません。**

備考　n：ユニット番号（n = 0）

13.2.4　動作モード設定レジスタn0（ASIMAn0）

ASIMAn0 レジスタは、シリアル・インタフェース UARTAn のシリアル通信動作を制御する 8 ビット・レジスタです。

ASIMAn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、01H になります。

図13 - 5　動作モード設定レジスタn0（ASIMAn0）のフォーマット

アドレス　：F0302H (ASIMA00)
リセット時: 01H
R/W属性　：R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
ASIMAn0	UARTAENn	TXEAn	RXEAn	0	0	0	ISSMAn	ISRMAn

UARTAENn注1	UART動作許可
0	UART動作クロック動作禁止、内部回路をリセット注2
1	UART動作クロック動作許可

TXEAn	送信許可
0	送信動作禁止（送信回路をリセットする）
1	送信動作許可

RXEAn	受信許可
0	受信動作禁止（受信回路をリセットする）
1	受信動作許可

ISSMAn	送信割り込みモード選択
0	送信転送完了時、INTUTn割り込みを発生
1	送信バッファ空き時にINTUTn割り込みを発生（連続送信用）

ISRMAn	受信割り込みモード選択
0	受信エラー発生時、INTUREn割り込みを発生（INTURnは発生しない）
1	受信エラー発生時、INTURn割り込みを発生（INTUREnは発生しない）

注1.　UARTAENn = 0にすると、ALVnビットの値によってTxDAn端子の出力レベル、RxDAn端子からの入力レベルは、次のようになります。
- ALVn = 0時は、TxDAn端子の出力はハイ・レベルとなります。
- ALVn = 1時は、TxDAn端子の出力はロウ・レベルとなります。

注2.　UARTAENn = 0でリセットされるレジスタはASISAn, RXBAnレジスタです。

注意1. ビット4-2には、必ず0を設定してください。
注意2. 送信開始するときは、UARTAENn = 1にしてからTXEAn = 1としてください。
送信停止するときは、TXEAn = 0にしてからUARTAENn = 0にしてください。
注意3. 受信開始するときは、UARTAENn = 1にしてからRXEAn = 1としてください。
受信停止するときは、RXEAn = 0にしてからUARTAENn = 0にしてください。

（注意、備考は次ページに続きます）

注意4. UARTAENn = 1→RXEAn = 1を設定する場合、次のようにしてください。

- **ALVn = 0時は、RxDAn端子にハイ・レベルが入力された状態で実施してください。**
  ロウ・レベル状態でUARTAENn = 1→RXEAn = 1と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。
- **ALVn = 1時は、RxDAn端子にロウ・レベルが入力された状態で実施してください。**
  ハイ・レベル状態でUARTAENn = 1→RXEAn = 1と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。

注意5. TXEAnビットとRXEAnビットは、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）により同期化されています。再度送信動作、または受信動作を許可する場合はTXEAn = 0またはRXEAn = 0に設定してからシリアル・インタフェースUARTAn動作クロックの2クロック以降にTXEAn = 1またはRXEAn = 1を設定してください。シリアル・インタフェースUARTAn動作クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。

注意6. TXEAn = 1に設定後、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）1クロック以上まってから、TXBAnレジスタに送信データを設定してください。

注意7. ISRMAnビットを書き換えるときは、RXEAn = 0にしてから行ってください。

備考　n：ユニット番号（n = 0）

13.2.5 動作モード設定レジスタn1（ASIMAn1）

ASIMAn1 レジスタは、シリアル・インタフェース UARTAn のシリアル通信動作を制御する 8 ビット・レジスタです。

ASIMAn1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

ASIMAn1 レジスタは、TXEAn = 0 かつ RXEAn = 0 の状態で書き換えてください。

リセット信号の発生により、1AH になります。

図13 - 6 動作モード設定レジスタn1（ASIMAn1）のフォーマット

アドレス : F0303H (ASIMA01)

リセット時: 1AH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ASIMAn1	0	PSn1	PSn0	CLn1	CLn0	SLn	DIRn	ALVn

PSn1	PSn0	送受信パリティ・ビット指定1、送受信パリティ・ビット指定0	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信注
1	0	奇数パリティを出力	奇数パリティとして判定
1	1	偶数パリティを出力	偶数パリティとして判定

CLn1	CLn0	送受信キャラクタ長指定1、送受信キャラクタ長指定0
0	0	データのキャラクタ長 = 5ビット
0	1	設定禁止
1	0	データのキャラクタ長 = 7ビット
1	1	データのキャラクタ長 = 8ビット

SLn	送信ストップ・ビット長指定
0	ストップ・ビット長 = 1ビット
1	ストップ・ビット長 = 2ビット

DIRn	送受信転送順序指定
0	MSBファースト転送
1	LSBファースト転送

ALVn	送受信レベル指定
0	正論理（待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル、ストップ・ビット = ハイ・レベル）
1	負論理（待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル、ストップ・ビット = ロウ・レベル）

注 「0パリティとして受信」を設定した場合、パリティ判定を行いません。したがって、PEAn（ASISAn レジスタ）はセットされないため、受信エラー割り込みも発生しません。

（注意、備考は次ページに続きます）

注意1. ASIMAn1レジスタを書き換えるときは、TXEAnビットとRXEAnビットを両方とも0にクリアしてから行ってください。

注意2. 受信は常に“ストップ・ビット長 = 1”として動作します。SLnビットの設定値の影響は受けません。

備考　n：ユニット番号（n = 0）

13.2.6　ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）

BRGCAn レジスタは、シリアル・インタフェース UARTAn の 8 ビット・カウンタの分周値を設定するレジスタです。
BRGCAn レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFH になります。

図13 - 7　ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のフォーマット

アドレス　：F0304H (BRGCA0)
リセット時: FFH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
BRGCAn								

ビット 7-0	機能
－	UARTのボー・レート（シリアル転送スピード）を制御する。 設定値の詳細は、**表13 - 2**を参照してください。

注意　BRGCAn レジスタはTXEAn = 0, RXEAn = 0時（送受信動作停止時）に書き換えてください。

表13 - 2　BRGCAnの設定値

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	k	8ビット・カウンタ出力クロック選択
0	0	0	0	0	0	0	×	×	設定禁止
0	0	0	0	0	0	1	0	2	$f_{UTAn}/2$
0	0	0	0	0	0	1	1	3	$f_{UTAn}/3$
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	$f_{UTAn}/252$
1	1	1	1	1	1	0	1	253	$f_{UTAn}/253$
1	1	1	1	1	1	1	0	254	$f_{UTAn}/254$
1	1	1	1	1	1	1	1	255	$f_{UTAn}/255$

注意　8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値になります。

備考1. k：BRGCAn レジスタで設定した値（k = 2, 3, 4, …, 255）
備考2. ×：任意
ボー・レートの設定例については、**13.3.4 (3) (c)　ボー・レート設定例**を参照してください。
備考3. n：ユニット番号（n = 0）

13.2.7　ステータス・レジスタn（ASISAn）

ASISAnレジスタは、シリアル・インタフェースUARTAnの受信終了時のエラー・ステータスおよび送信ステータスを示すレジスタです。3ビットのエラー・フラグ（PEAn, FEAn, OVEAn）と2ビットの送信ステータス・フラグ（TXBFAn, TXSFAn）で構成されています。

ASISAnレジスタは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により、00Hになります。PEAn, FEAn, OVEAnビットは、UARTAENn = 0またはRXEAn = 0により、初期値になります。また、ASCTAnレジスタへの書き込みによって、それぞれ対応するフラグは初期値になります。TXBFAn, TXSFAnビットはUARTAENn = 0またはTXEAn = 0により、初期値になります。

図13 - 8　ステータス・レジスタn（ASISAn）のフォーマット (1/2)

アドレス　：F0305H (ASISA0)
リセット時：00H
R/W属性　：R

略号	7	6	5	4	3	2	1	0
ASISAn	0	0	TXBFAn	TXSFAn	0	PEAn	FEAn	OVEAn

TXBFAn	送信バッファ・データ・フラグ
—	[1になる条件] ・TXBAnレジスタにデータを書いたとき（TXBAnレジスタにデータが存在するとき） [0になる条件] ・UARTAENn = 0またはTXEAn = 0にしたとき ・送信シフト・レジスタにデータを転送したとき

TXSFAn	送信シフト・レジスタ・データ・フラグ
—	[1になる条件] ・TXBAnレジスタよりデータが転送されたとき（データ送信中のとき） [0になる条件] ・UARTAENn = 0またはTXEAn = 0にしたとき ・転送完了後にTXBAnレジスタより次のデータ転送がなかったとき

PEAn	パリティ・エラー・フラグ
—	[1になる条件] ・受信時にデータのパリティとパリティ・ビットが一致しないとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・PECTAnビットへ1を書いたとき

図13 - 8　ステータス・レジスタn（ASISAn）のフォーマット (2/2)

FEAn	フレーミング・エラー・フラグ
−	[1になる条件] ・受信時にストップ・ビットが検出されないとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・FECTAnビットへ1を書いたとき

OVEAn	オーバラン・エラー・フラグ
−	[1になる条件] ・RXBAnレジスタにセットされた受信データを読み出す前に次の受信動作が完了したとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・OVECTAnビットへ1を書いたとき

注意1. 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBAnレジスタに書き込んだあと、必ずTXBFAnフラグが0であることを確認してから次の送信データ（2バイト目）をTXBAnレジスタに書き込んでください。TXBFAnフラグが1のときにTXBAnレジスタにデータを書き込んだ場合、送信データは不定になります。ただし、ISSMAn = 1に設定し、バッファ空き割り込みを使用して連続送信を行う場合は、TXBFAnフラグの確認は不要です。

注意2. 連続送信完了時に送信ユニットを初期化（TXEAn = 0）する場合は、転送完了割り込み発生後に、必ずTXSFAnフラグが0であることを確認してから初期化を実行してください。TXSFAnフラグが1のときに初期化を実行した場合、送信データは不定になります。

注意3. PEAnビットの動作は、ASIMAn1レジスタのPSn1, PSn0ビットの設定値により異なります。

注意4. 受信データのストップ・ビットはストップ・ビット長に関係なく最初の1ビットだけをチェックします。

注意5. オーバラン・エラーが発生した場合、次の受信データはRXBAnレジスタには書き込まれず、データは破棄されます。

備考　n：ユニット番号（n = 0）

13.2.8　ステータス・クリア・トリガ・レジスタn（ASCTAn）

ASCTAn レジスタは、シリアル・インタフェース UARTAn の受信終了時のエラー・ステータスをクリアするトリガを設定するレジスタです。3 ビットのエラー・クリア・トリガ・フラグ（PECTAn, FECTAn, OVECTAn）で構成されています。

ASCTAn レジスタは、8 ビット・メモリ操作命令または 1 ビット・メモリ操作命令で書き込みが可能です。

ASCTAn レジスタの読み出し値は常に 00H になります。

リセット信号の発生により、00H になります。PECTAn, FECTAn, OVECTAn ビットへ 1 を書き込むことにより、ASISAn レジスタの PEAn, FEAn, OVEAn ビットがクリアされます。0 を書き込んだビットに対応するエラー・フラグはクリアされません。

図13 - 9　ステータス・クリア・トリガ・レジスタn（ASCTAn）のフォーマット

アドレス　：F0306H (ASCTA0)
リセット時: 00H
R/W属性　：R/W

略号	7	6	5	4	3	<2>	<1>	<0>
ASCTAn	0	0	0	0	0	PECTAn	FECTAn	OVECTAn

PECTAn注	パリティ・エラー・フラグ・クリア・トリガ
0	PEAnフラグをクリアしない（保持）
1	PEAnフラグをクリア

FECTAn注	フレーミング・エラー・フラグ・クリア・トリガ
0	FEAnフラグをクリアしない（保持）
1	FEAnフラグをクリア

OVECTAn注	オーバラン・エラー・フラグ・クリア・トリガ
0	OVEAnフラグをクリアしない（保持）
1	OVEAnフラグをクリア

注　本ビットを読み出すと、0が読めます。

注意　**エラー・フラグのクリア動作は、トリガ・ビットへ1を書き込み後、次の動作クロック（fUTAn）の立ち上がりで行われます。したがって、トリガ・ビットへ1を書き込み後すぐにASISAnレジスタを読み出した場合、対応するエラー・フラグがクリアされていない場合があります。**

備考　n：ユニット番号（n = 0）

13.2.9　UARTAクロック選択レジスタ0（UTA0CK）

UTA0CK レジスタは、シリアル・インタフェース UARTA0 の動作クロックを選択するレジスタです。UTASEL1, 0 ビットでシリアル・インタフェース UARTA0 の fSEL としてのクロックソースを fMXP, fIH から選択し、UTA0CK3-UTA0CK0 ビットでシリアル・インタフェース UARTA0 の動作クロックとして fSEL の 1 ～ 64 分周から選択します。

UTA0OEN ビットに 1 を設定することで UARTA0 クロック出力モードが選択され、CLKA0 端子から UARTA0 の動作クロックを出力します。

UTA0CK レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13 - 10　UARTAクロック選択レジスタ0（UTA0CK）のフォーマット

アドレス　：F0310H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
UTA0CK	UTA0OEN	0	UTASEL1	UTASEL0	UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0

UTA0OEN 注	シリアル・インタフェースUARTA0クロック出力機能の許可
0	CLKA0出力禁止
1	CLKA0出力許可

UTASEL1	UTASEL0	fSELクロック選択
0	0	停止
0	1	fMXP
1	0	fIHP
1	1	設定禁止

UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0	シリアル・インタフェースUARTA0動作クロック選択（fUTA0）
0	0	0	0	fSEL
0	0	0	1	fSEL/2
0	0	1	0	fSEL/4
0	0	1	1	fSEL/8
0	1	0	0	fSEL/16
0	1	0	1	fSEL/32
0	1	1	0	fSEL/64
上記以外				設定禁止

注　20～48ピン製品にはCLKA0出力端子を搭載していないため、0を設定してください。

注意　**本レジスタのアクセスは、TXEA0 = 0, RXEA0 = 0時（送受信停止時）に行ってください。**

備考　fMXP　：高速周辺クロック周波数
fIHP　：高速オンチップ・オシレータ周辺クロック周波数
fSEL　：UARTA分周選択クロック

13.2.10　UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。

UART チャネルごとに制御できるビットを持ち、各チャネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13 - 11　UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス　：F0079H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	<4>	3	<2>	<1>	<0>
ULBS	0	0	0	ULBS4	0	ULBS2	ULBS1	ULBS0

ULBS4	UARTループバック機能の選択
0	シリアル・インタフェースUARTA0のRxDA0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注意　ビット7-5, 3には、必ず0を設定してください。

13.2.11　シリアル・インタフェースUARTA入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース UARTA 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.4　ポート入力モード・レジスタ（PIMxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

異電位（1.8 V 系、2.5 V 系、3 V 系）で動作している外部デバイスと接続する場合は、**4.4.5　入出力バッファによる異電位（1.8 V 系、2.5 V 系、3 V 系）対応**を参照してください。

13.3　動作説明

シリアル・インタフェース UARTAn は、次の 2 種類のモードがあります。

- 動作停止モード
- UARTモード

13.3.1　動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIMAn0 レジスタのビット 7-5（UARTAENn, TXEAn, RXEAn）に 0 を設定してください。

上記設定ではバス・クロックが停止しません。完全に停止させるためには上記設定後 PER1 レジスタの UTAEN ビットに 0 を設定してください。

13.3.2　UARTモード

スタート・ビットに続く 1 バイトのデータを送受信するモードで、全二重動作が可能です。

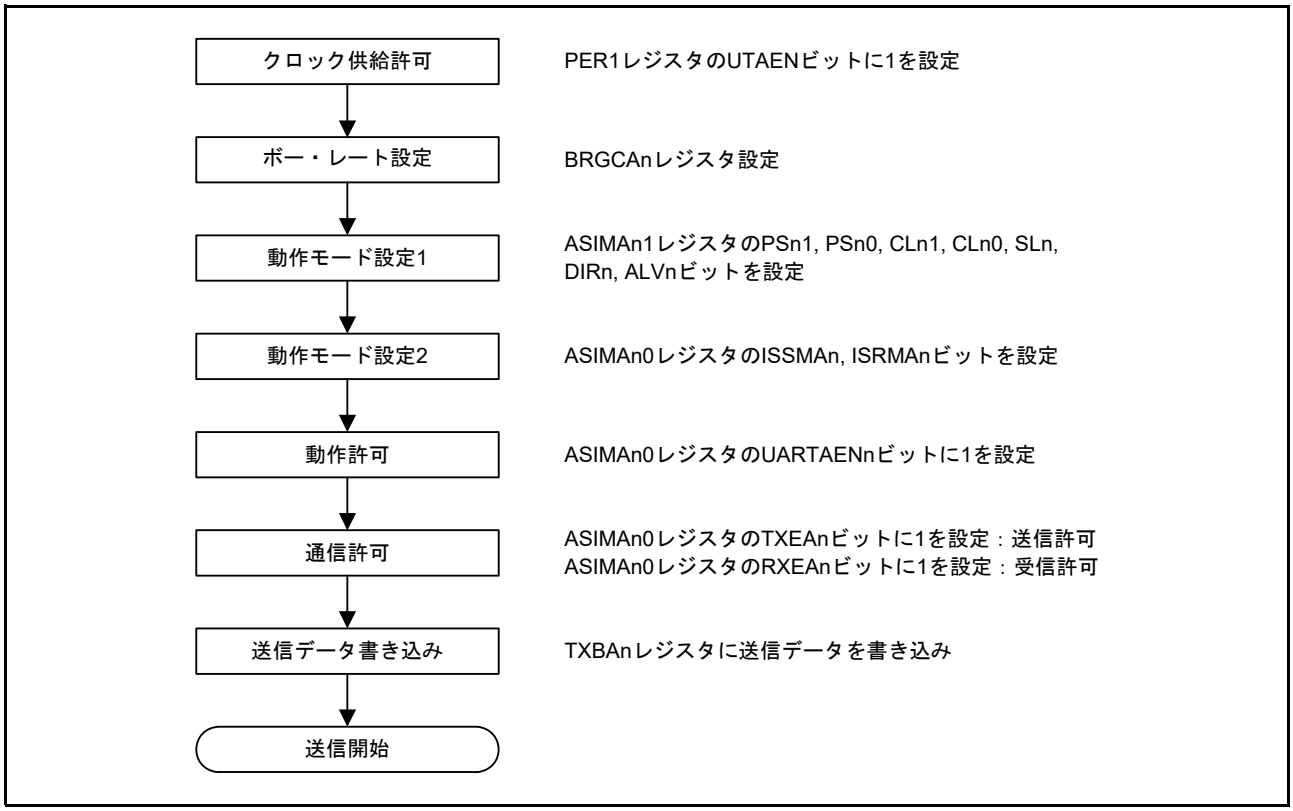
UART 専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

備考　n：ユニット番号（n = 0）

(1)　通信手順

図13 - 12に通信手順フローを示します。

図13 - 12　通信手順フロー



注意　**受信機能を使用する場合は、受信するポートをポート関連のレジスタで入力モードに設定してください。**
送信機能を使用する場合は、送信するポートのポート・レジスタ（Pxx）で初期出力レベルを設定し、次にそのポートをポート関連のレジスタで出力に設定してください。この設定は送信を許可する前に行ってください。
設定するポート関連のレジスタは、使用するチャネルや製品によって異なります。詳細は、4.5　兼用機能使用時のレジスタ設定を参照してください。異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスと接続する場合は、4.4.5　入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応を参照してください。

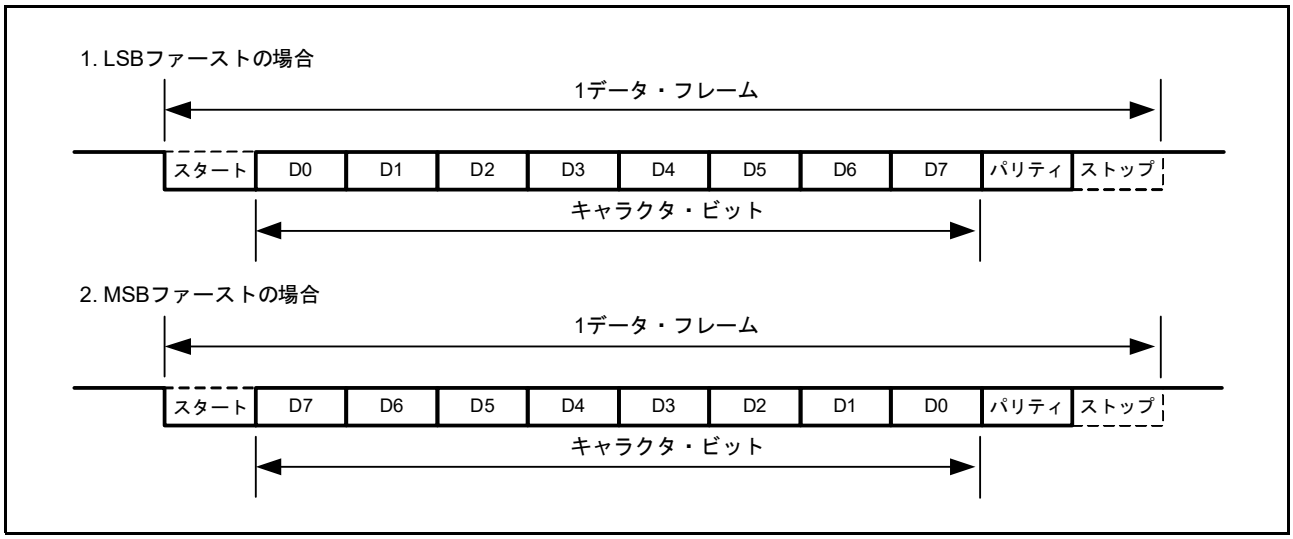
備考　n：ユニット番号（n = 0）

(2)　送信／受信データ・フォーマットと波形例

シリアル・インタフェースUARTAnの通信データ・フォーマットについて以下に説明します。

図13 - 13にデータ・フォーマットを示します。

図13 - 13　送受信データ・フォーマット



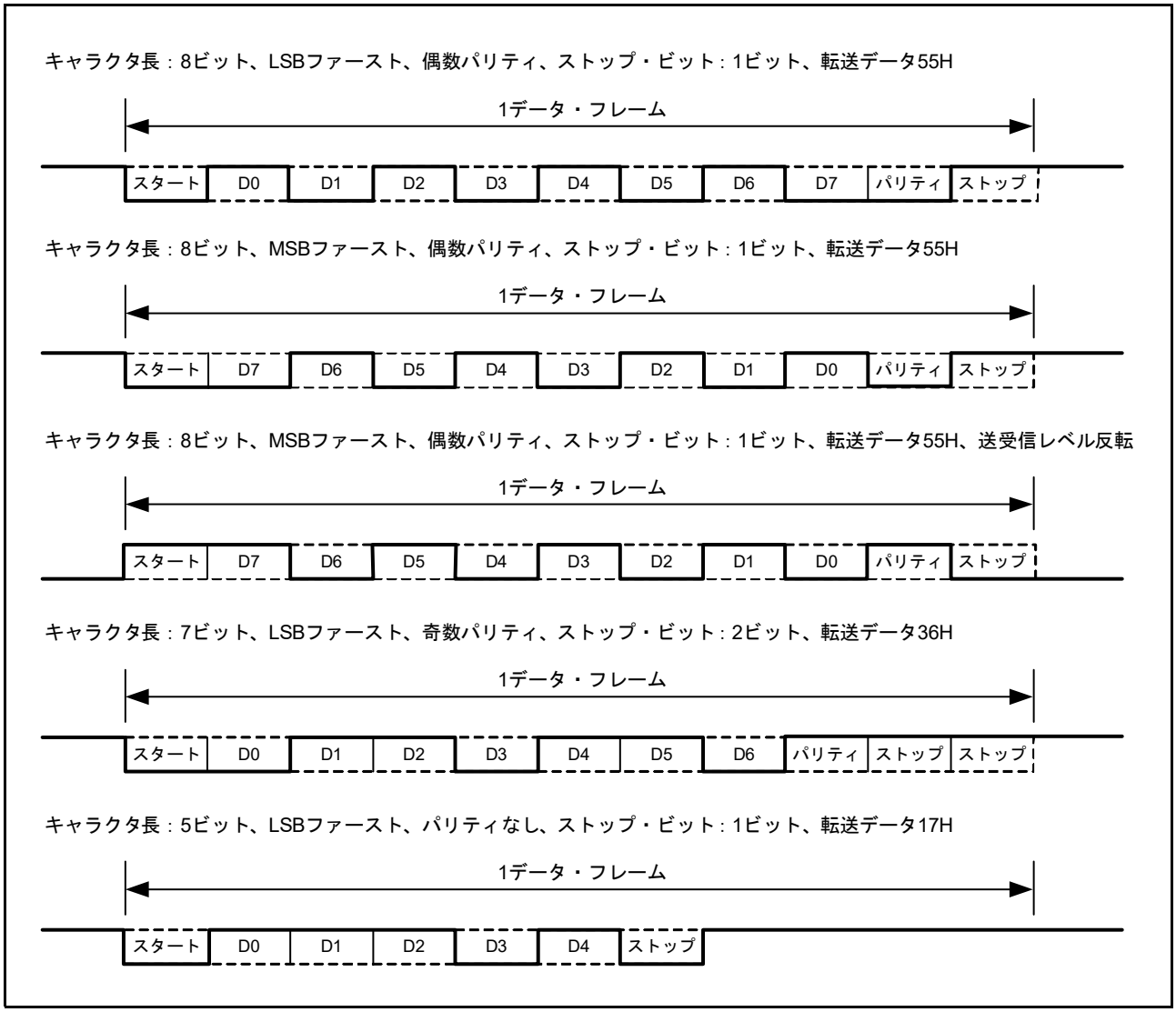
1データ・フレームは次に示すビットで構成されています。

- スタート・ビット　：1ビット
- キャラクタ長　　：5ビット／7ビット／8ビット
- パリティ・ビット　：偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ストップ・ビット　：1ビット／2ビット

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、転送方向（LSB/MSB）の指定、TxDAn端子の通常出力／反転出力の指定はASIMAn1レジスタによって行います。

図13 - 14に送受信データの波形例を示します。

図13 - 14　送受信データの波形例



(3) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(a) 偶数パリティ

- 送信時

  パリティ・ビットを含めた送信データ中の、値が1のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

  送信データ中に、値が1のビット数が奇数個：1

  送信データ中に、値が1のビット数が偶数個：0

- 受信時

  パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

- 送信時

  偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる1のビット数を奇数個になるように制御します。

  送信データ中に、値が1のビット数が奇数個：0

  送信データ中に、値が1のビット数が偶数個：1

- 受信時

  パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを0にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(4)　通常送信

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットに1をセットし、次にASIMAn0レジスタのTXEAnビットに1をセットすると送信許可状態になり、送信バッファ・レジスタn（TXBAn）に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXBAnレジスタ内のデータは送信シフト・レジスタに転送されます。その後、送信データが送信シフト・レジスタより転送方向指定に従って順次、TxDAn端子に出力されます。送信が完了すると、ASIMAn0レジスタで設定したパリティ・ビット、ストップ・ビットが付加され、転送完了割り込み要求信号（INTUTn）が発生します。

次に送信するデータをTXBAnレジスタに書き込むまで、送信動作は中断します。

図13 - 15に転送完了割り込み要求信号（INTUTn）のタイミングを示します。INTUTnは以下のタイミングで出力されます。

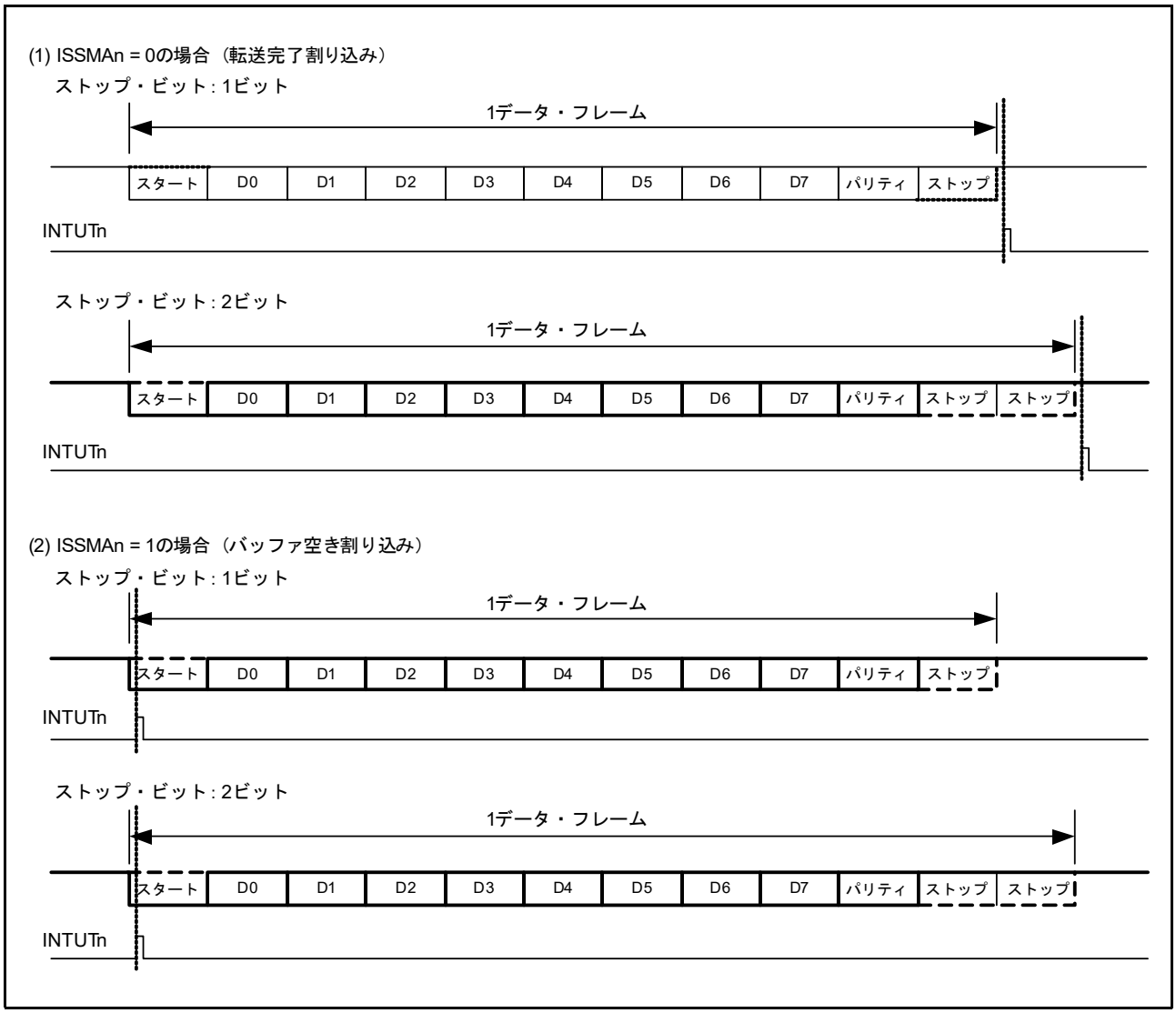
(a) ISSMAn = 0（INTUTnは転送完了割り込み）の場合

INTUTnは最後のストップ・ビット出力後に出力されます。

(b) ISSMAn = 1（INTUTnはバッファ空き割り込み）の場合

スタート・ビット出力時に出力されます。

図13 - 15　割り込み出力タイミング



(5)　連続送信

シリアル・インタフェースUARTAnでは連続送信を実現するために送信バッファ・レジスタn（TXBAn）と送信シフト・レジスタを分離しています。
送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタn（TXBAn）へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。
なお、連続送信をする場合、バッファ空き割り込みが発生してから、TXBAnレジスタへデータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

最大クロック数 = 転送長 × 2K – (2K + 3)
K：BRGCAnで設定した値（k = 2, 3, 4, …, 255）

以下に最大クロック数の算出例を示します。
BRGCAnレジスタに02H（K = 2）
スタート・ビット：1ビット、キャラクタ長：8ビット、パリティあり、ストップ・ビット：1ビットの場合
最大クロック数 = 転送長 × 2K – (2K + 3) = 11 × 2 × 2 – (2 × 2 + 3) = 37
（シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）で37クロック以内の書き込み完了が必要）

連続送信手順には、以下の2つの方法があります。

(a) ポーリングによる連続転送

ステータス・レジスタn（ASISAn）のTXBFAnビットである送信バッファ・データ・フラグとTXSFAnビットである送信シフト・レジスタ・データ・フラグのポーリングにより、連続送信を実現する方法です。
また、本方法で実現する場合、動作モード設定レジスタn0（ASIMAn0）のISSMAnビットは、0に設定してください。

- 連続送信開始、連続送信実行中
  連続送信開始時は、最初（1バイト目）のデータをTXBAnレジスタに書き込んだ後、送信バッファ・データ・フラグ（TXBFAn）が、0であることを確認して、次（2バイト目）のデータをTXBAnレジスタに書き込んでください。同様に続くデータもTXBFAnフラグが0であることを確認して、データをTXBAnレジスタに書き込んでください。

TXBFAn	連続送信開始時のTXBAnへの書き込み可否判断用フラグ
0	書き込み可
1	書き込み不可

注意　連続送信可否は、TXBFAnフラグのみで判断してください。TXSFAnフラグと組み合わせで判断しないでください。

- 連続送信完了
  連続送信で必要数の送信データをTXBAnレジスタに書き込んだ後、送信シフト・レジスタとTXBAnレジスタのデータを送信すると連続送信は完了します。連続送信の完了は送信シフト・レジスタ・データ・フラグ（TXSFAn）の値で確認できます。

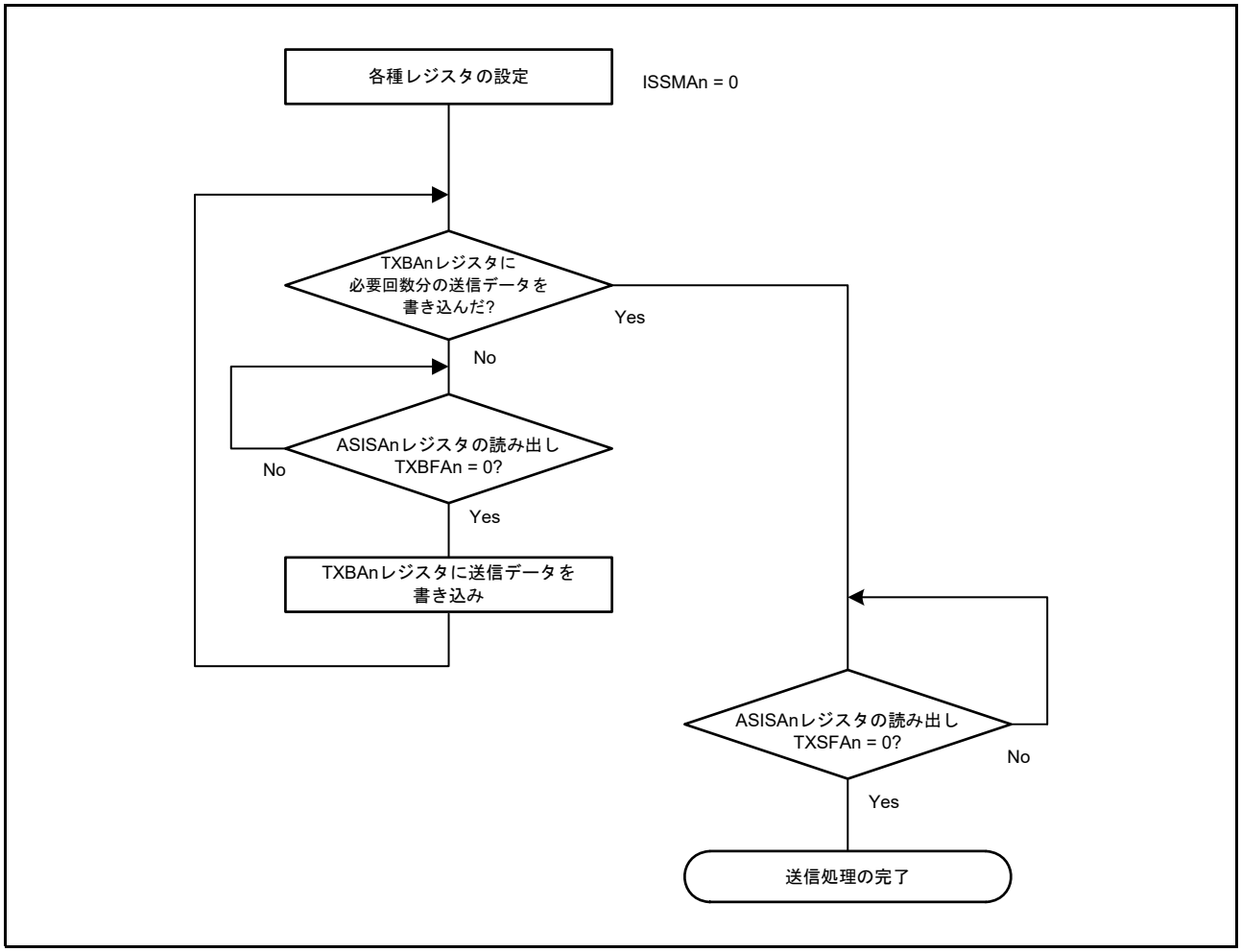
TXSFAn	送信実行中の確認用フラグ
0	送信が完了
1	送信中

注意1. 連続送信完了時に送信ユニットを初期化する場合は、転送完了割り込み後にTXSFAnフラグが0であることを確認して初期化を実行してください。

注意2. 連続送信は、1データ・フレーム送信後のINTUTn割り込み処理を実行する前に次の送信が完了する可能性があります。対策として、送信データ数をカウントできるプログラムを組み込むことと、TXSFAnフラグを参照することで検出できます。

図13 - 16にポーリングによる連続送信処理フロー例を示します。

図13 - 16　ポーリングによる連続送信処理フロー例



(b) 割り込みによる連続転送

割り込み（INTUTn）を使用して、連続送信を実現する方法です。

動作モード設定レジスタn0（ASIMAn0）のISSMAnビットに1を設定することにより、送信バッファ・レジスタn（TXBAn）から送信シフト・レジスタに転送されたタイミングで割り込みを発生させることができます。

これにより、バッファ空き割り込みの発生で、TXBAnレジスタへデータを書き込むことで連続送信が可能となります。

また、連続送信終了時は、最後の送信データをTXBAnレジスタへ書き込んだあとに、ISSMAnビットに0を設定することにより、転送完了割り込みを発生させることが可能です。

図13 - 17に割り込みによる連続送信処理フロー例を示します。

図13 - 17　割り込みによる連続送信処理フロー例

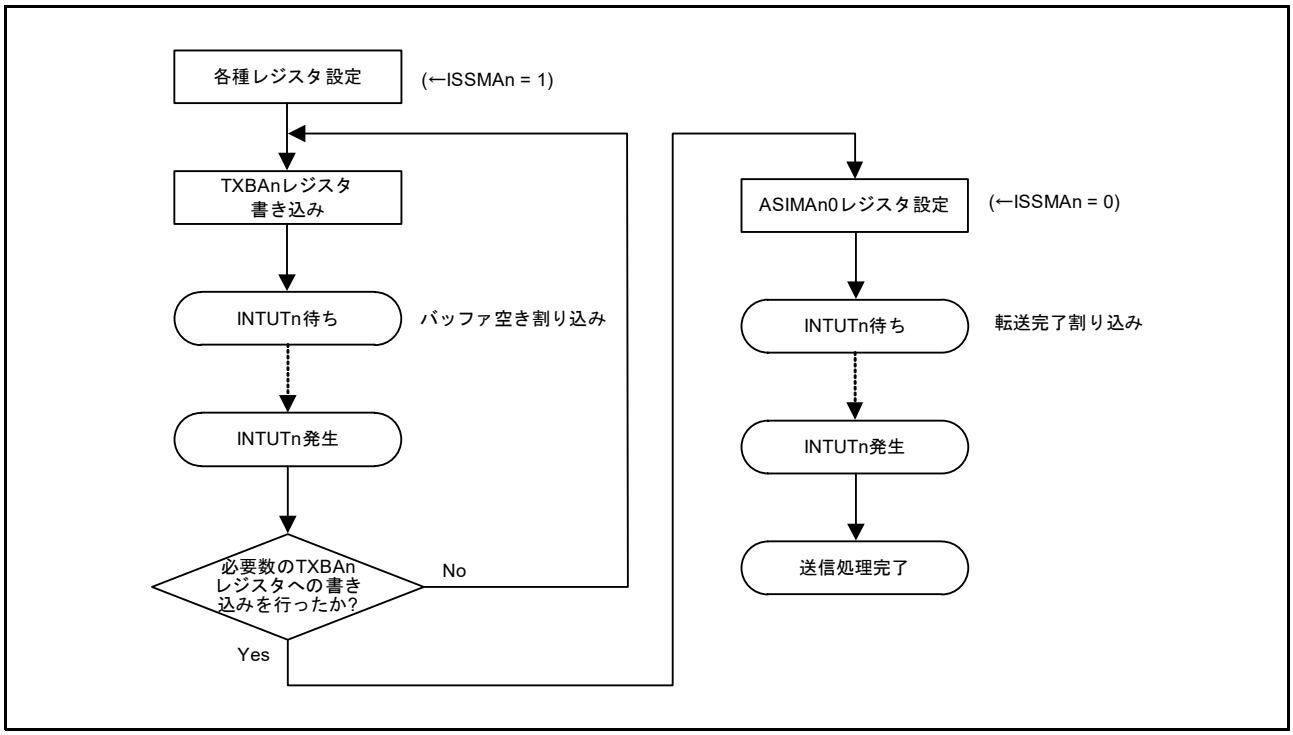
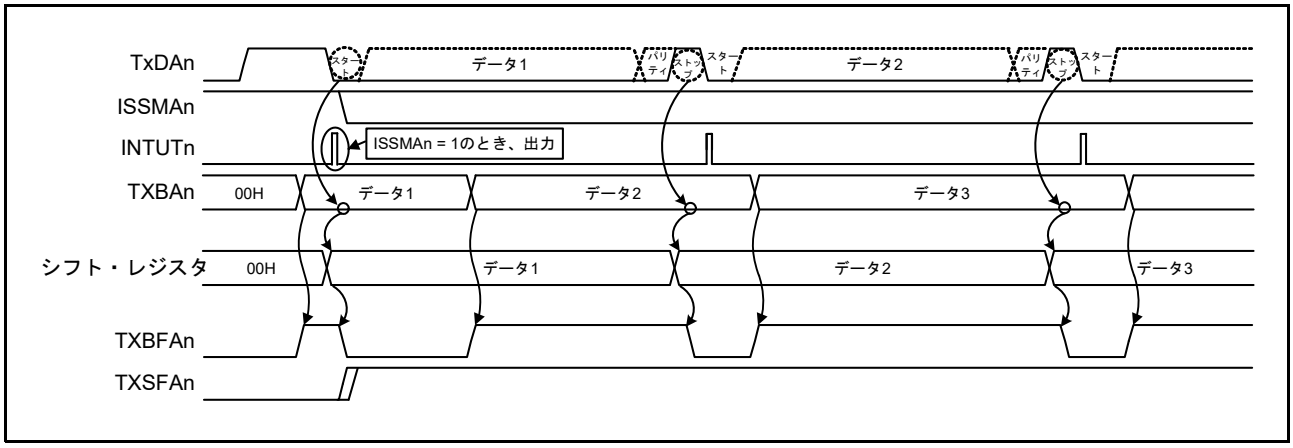


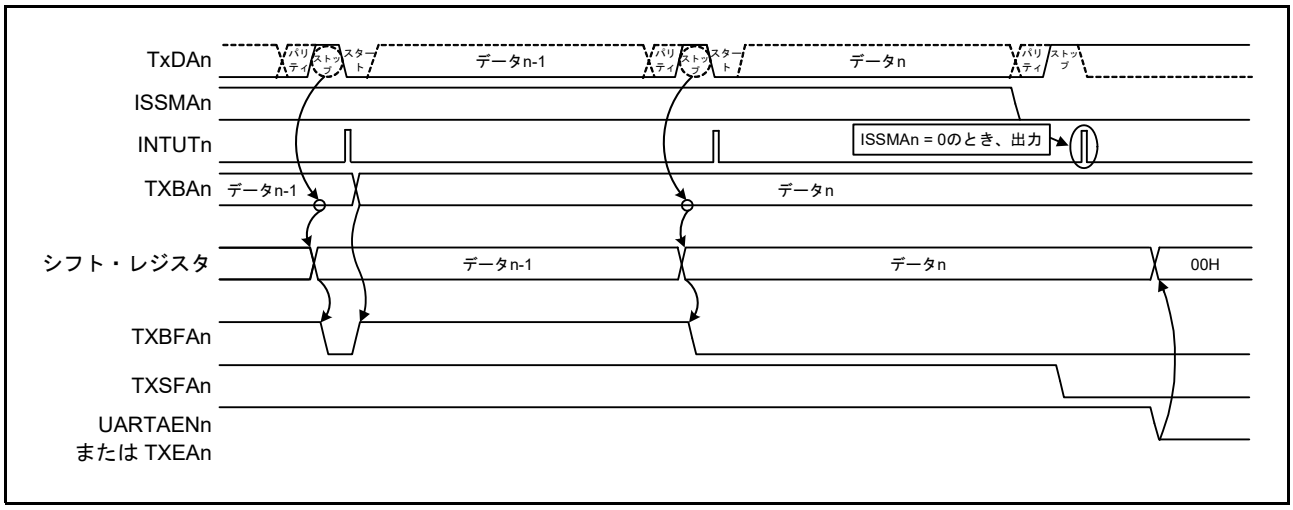
図13 - 18に連続送信開始タイミング、**図13 - 19**に連続送信終了タイミングを示します。

図13 - 18　連続送信開始タイミング



注意　ASISAn レジスタを読み出した場合、TXBFAn, TXSFAn = 11B の期間が存在します。したがって、書き込み可否の判断は TXBFAn ビットの1ビットのみで行ってください。

図13 - 19　連続送信終了タイミング



(6)　通常受信

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットに1を設定し、次にASIMAn0レジスタのRXEAnビットに1を設定すると受信許可状態となり、RxDAn端子入力のサンプリングを行います。

ALVn = 0の場合、RxDAn端子入力の立ち下がりを検出すると、ボー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング（**図13 - 20**の▽印に相当）した結果、RxDAn端子がロウ・レベルであれば、スタート・ビットと認識します。

また、ALVn = 1の場合、RxDAn端子入力の立ち上がりを検出すると、ボー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング（**図13 - 20**の▽印に相当）した結果、RxDAn端子がハイ・レベルであれば、スタート・ビットと認識します。

図13 - 20に受信動作のタイミング図を示します。

スタート・ビットを検出すると、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、受信シフト・レジスタに格納していきます。ストップ・ビットを受信すると、転送完了割り込み（INTURn）を発生すると同時に、受信シフト・レジスタのデータは受信バッファ・レジスタn（RXBAn）に書き込まれます。

ただし、オーバラン・エラー（OVEAn）が発生した場合、発生時の受信データはRXBAnに書き込みません。

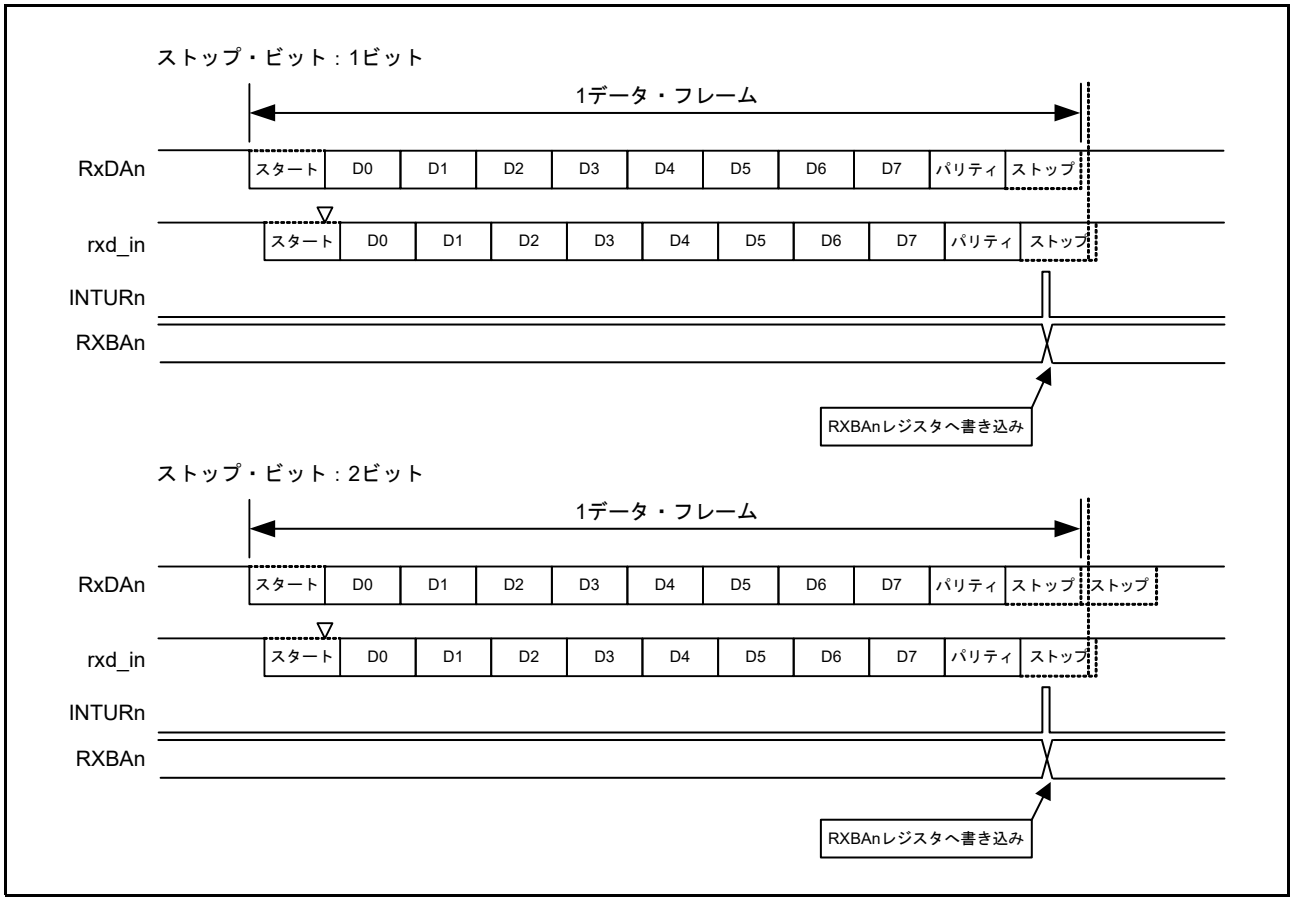
受信途中に、パリティ・エラー（PEAn）、フレーミング・エラー（FEAn）が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にISRMAnビットで設定した受信エラー割り込み（INTURn/INTUREn）を発生します。

受信エラーが発生した場合はステータス・レジスタn（ASISAn）を読み出したあと、受信バッファ・レジスタn（RXBAn）を読み出し、エラー・フラグをクリアしてください。

受信バッファ・レジスタn（RXBAn）を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が継続します。

受信は常にストップ・ビット長 = 1として動作します。そのため2ビット目のストップ・ビットは無視されます。

図13 - 20　UART受信動作タイミング



備考1. rxd_inは、ノイズ・フィルタによりRXDをラッチした内部信号です（RxDAnよりUART動作クロックで最大3クロック遅延します）。

備考2. 図のINTURの出力タイミングは一例です。BRGCAnレジスタの設定によりRxDAnとの相対的なタイミングは変化します。

(7)　受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。

エラー発生時にはステータス・レジスタn（ASISAn）にエラー・フラグがセットされ、受信エラー割り込み要求信号（INTURnまたはINTUREn）を発生します。

受信エラー割り込み処理ルーチンでステータス・レジスタn（ASISAn）の内容を読み出すことで、エラー・フラグの判別を行うことが可能です。

ステータス・クリア・トリガ・レジスタn（ASCTAn）へ1を設定することによりステータス・レジスタn（ASISAn）の内容は0にクリアされます。

表13 - 3に受信エラー要因を示します。

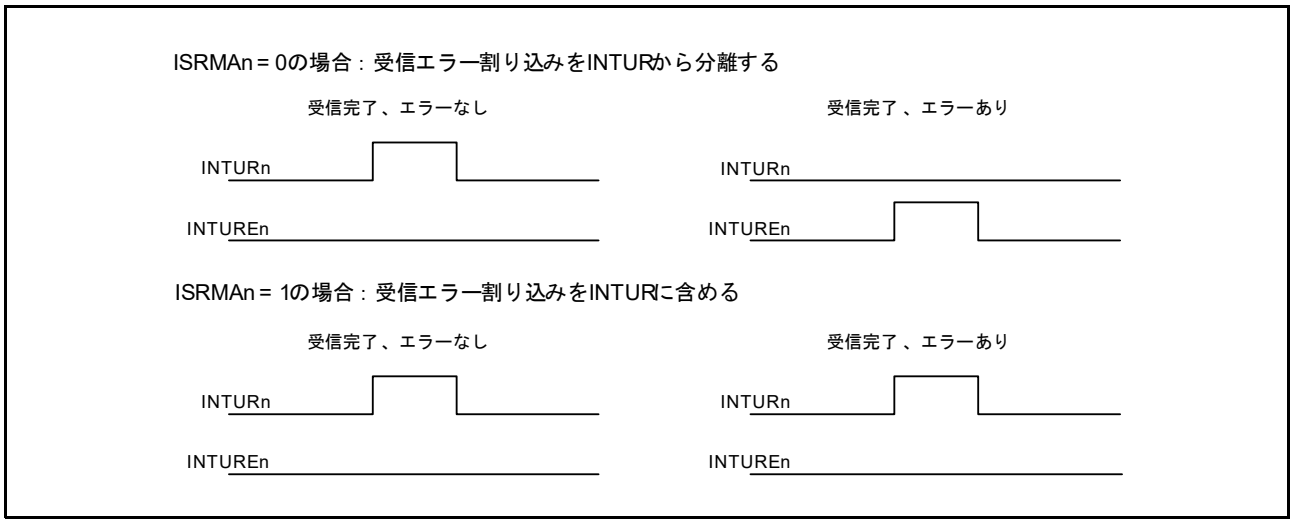
表13 - 3　　受信エラー要因

エラー・フラグ	受信エラー	要因
PEAn	パリティ・エラー	受信データと受信パリティが一致しない
FEAn	フレーミング・エラー	ストップ・ビットが検出されない
OVEAn	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了した

動作モード設定レジスタn0（ASIMAn0）のISRMAnビットに0を設定することにより、受信エラー割り込みをINTURnと分離し、INTUREnとして発生させることができます。

図13 - 21にISRMAnビットによる割り込み出力波形を示します。

図13 - 21　ISRMAnビットによる割り込み出力波形



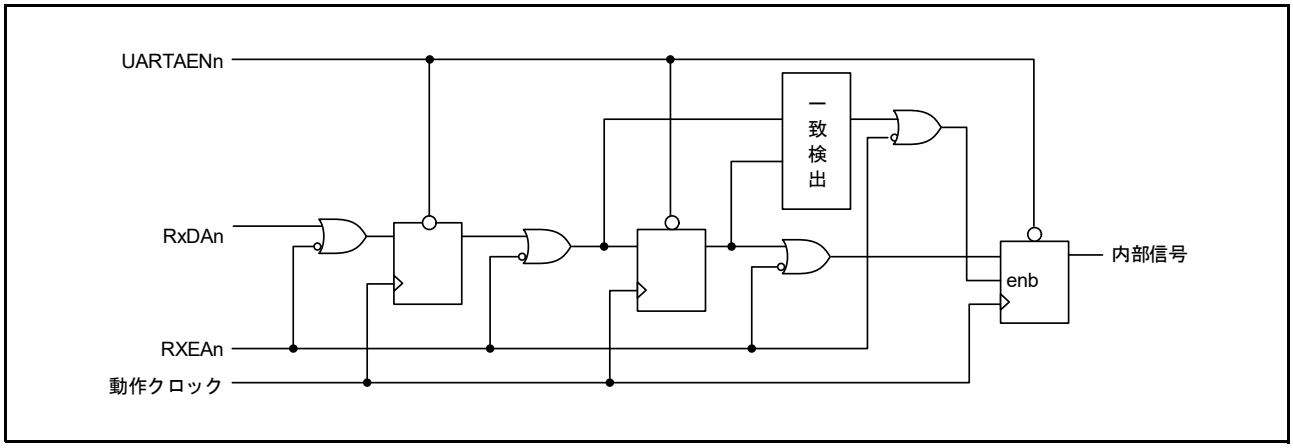
13.3.3　受信データのノイズ・フィルタ

受信データ（RxDAn）をサンプリングし、2回一致するとレベルが確定したとみなします。

回路構成上、受信データは最大3動作クロック遅れます。

図 13 - 22 にノイズ・フィルタ回路を示します。

図13 - 22　ノイズ・フィルタ



注意1. ALVn = 0（待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル）の場合、受信データ（RxDAn）の初期値をハイ・レベルとする必要があります。

注意2. ALVn = 1（待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル）の場合、受信データ（RxDAn）の初期値をロウ・レベルとする必要があります。

備考　n：ユニット番号（n = 0）

13.3.4　ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、8 ビットのプログラマブル・カウンタにより構成され、シリアル・インタフェースUARTAn における送受信時のシリアル・クロックを生成します。

なお、8 ビット・カウンタは送信用と受信用が別々に存在します。

(1)　ボー・レート・ジェネレータの構成

(a) シリアル・インタフェースUARTAn動作クロック

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットが1のとき、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）を各モジュールに供給します。UARTAENnビットが0のときは、シリアル・インタフェースUARTAn動作クロックはロウ・レベルに固定となります。

(b) 送信用カウンタ

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットが0またはTXEAnビットが0のときは0にクリアされた状態で動作を停止します。UARTAENnビットが1かつTXEAnビットが1でカウントをスタートします。

最初の送信では送信バッファ・レジスタn（TXBAn）への書き込みでカウンタを0にクリアします。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタを0にクリアします。次の送信データがなかった場合、カウンタは0にクリアされず、UARTAENnビットまたはTXEAnビットが0にクリアされるまでカウント動作をそのまま続けます。ASIMAn0 レジスタのUARTAENnビットが0またはTXEAnビットが0のときは00Hの状態で動作を停止します。

(c) 受信用カウンタ

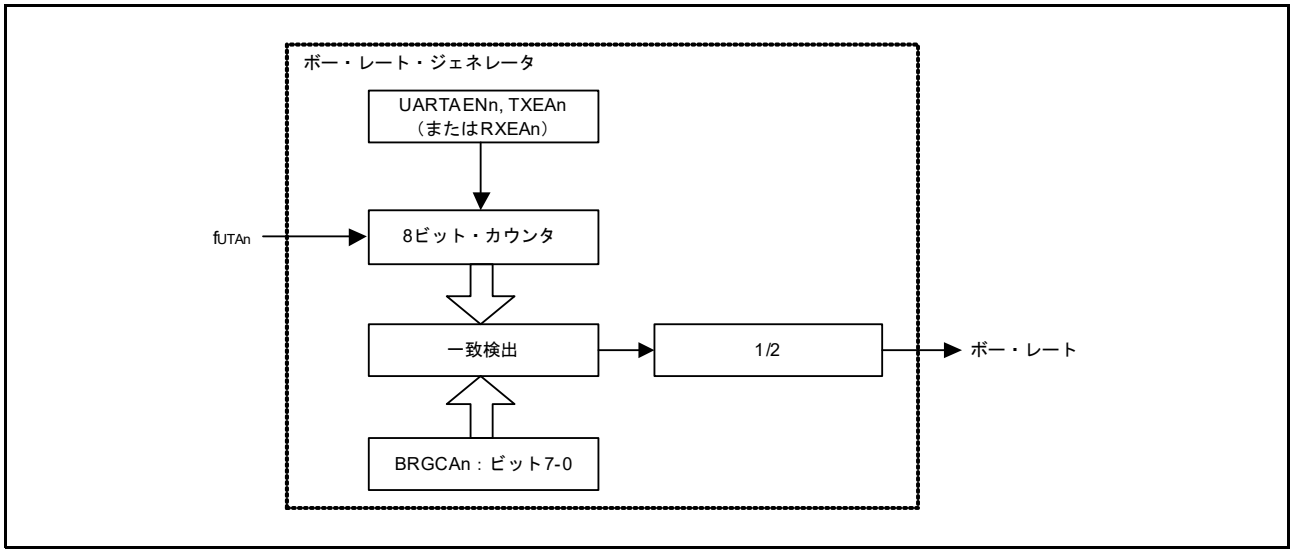
動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットが0またはRXEAnビットが0のときは0にクリアされた状態で動作を停止します。スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。ASIMAn0 レジスタのUARTAENnビットが0またはRXEAnビットが0のときは00Hの状態で動作を停止します。

備考　n：ユニット番号（n = 0）

図13 - 23にボー・レート・ジェネレータ構成を示します。

図13 - 23　ボー・レート・ジェネレータ構成



(2)　シリアル・クロックの生成

ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）の設定により、生成するシリアル・クロックを設定できます。

8ビットカウンタへの入力クロックを、BRGCAnレジスタのビット7-0により、8ビットカウンタの分周値（$f_{UTA}/2$-$f_{UTA}/255$）を設定できます。

(3)　ボー・レートの算出

(a) ボー・レート計算式

ボー・レートは次の式によって求められます。

ボー・レート = $f_{UTAn} \div (2 \times k)$ [bps]

f_{UTAn}：動作クロックの周波数

k：BRGCAnレジスタのビット7-0で設定した値（k = 2, 3, 4, …, 255）

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1 \right) \times 100 \ [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内に設定してください。

注意2. 受信時のボー・レート誤差は、受信時の許容ボー・レート誤差範囲を満たすように設定してください。受信時の許容ボー・レート誤差については、13.3.4 (3) (d)　受信時の許容ボー・レート範囲で説明します。

(c) ボー・レート設定例

表13 - 4　　ボー・レート・ジェネレータ設定データ (1/2)

目標ボー・レート	f_{IHP} = 32 MHz動作時（UTASEL1, UTASEL0 = 10B）															
	分周なし（UTAnCK3-UTAnCK0 = 0000B）		2分周（UTAnCK3-UTAnCK0 = 0001B）		4分周（UTAnCK3-UTAnCK0 = 0010B）		8分周（UTAnCK3-UTAnCK0 = 0011B）		16分周（UTAnCK3-UTAnCK0 = 0100B）		32分周（UTAnCK3-UTAnCK0 = 0101B）		64分周（UTAnCK3-UTAnCK0 = 0110B）	
	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%
4800 bps	使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%
9600 bps	使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%
19200 bps	使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
38400 bps	使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可	
76800 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可	
115200 bps	139	–0.08%	69	0.64%	35	–0.79%	17	2.12%	使用不可		使用不可		使用不可	
153600 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可	

備考　k ： ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のビット7-0で設定した値
（k = 2, 3, 4, …, 255）

n ： ユニット番号（n = 0）

表13 - 4　　ボー・レート・ジェネレータ設定データ (2/2)

目標ボー・レート	f_{MXP} = 20 MHz動作時（UTASEL1, UTASEL0 = 01B）															
	分周なし（UTAnCK3-UTAnCK0 = 0000B）		2分周（UTAnCK3-UTAnCK0 = 0001B）		4分周（UTAnCK3-UTAnCK0 = 0010B）		8分周（UTAnCK3-UTAnCK0 = 0011B）		16分周（UTAnCK3-UTAnCK0 = 0100B）		32分周（UTAnCK3-UTAnCK0 = 0101B）		64分周（UTAnCK3-UTAnCK0 = 0110B）	
	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%
4800 bps	使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	–1.36%
9600 bps	使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	–1.36%	16	1.73%
19200 bps	使用不可		255	2.12%	130	0.16%	65	0.16%	33	–1.36%	16	1.73%	8	1.73%
38400 bps	255	2.12%	130	0.16%	65	0.16%	33	–1.36%	16	1.73%	8	1.73%	4	1.73%
76800 bps	130	0.16%	65	0.16%	33	–1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可	
115200 bps	87	–0.22%	43	0.94%	22	–1.36%	11	–1.36%	使用不可		使用不可		使用不可	
153600 bps	65	0.16%	33	–1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可		使用不可	

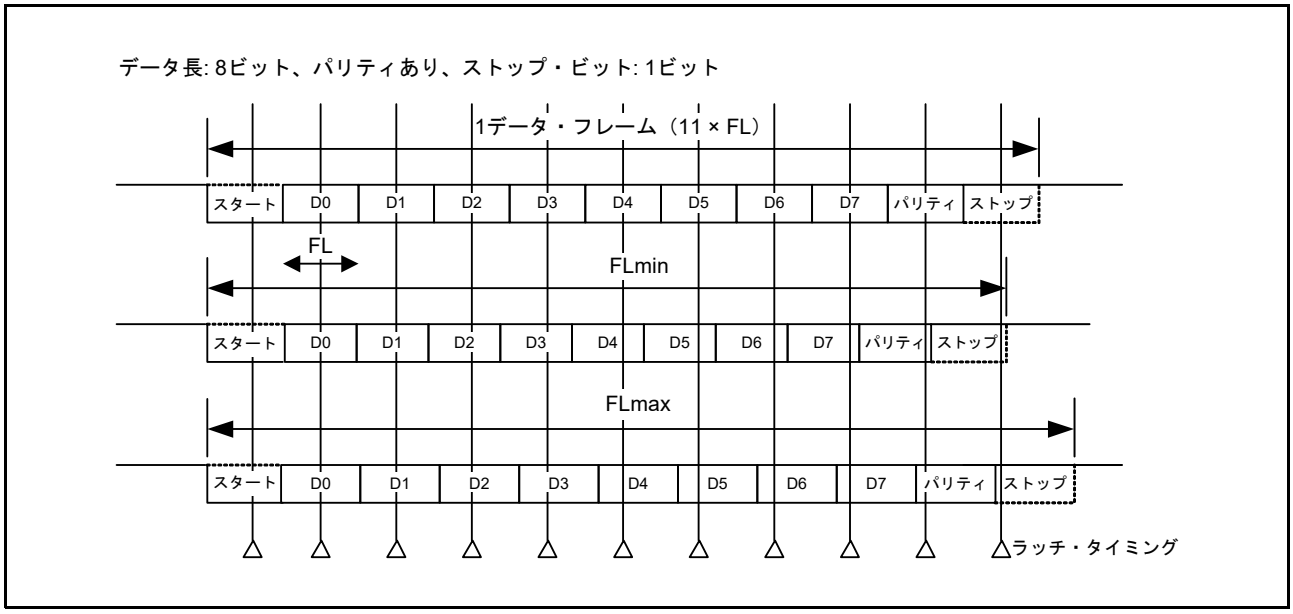
備考　k：ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のビット7-0で設定した値
（k = 2, 3, 4, …, 255）

n：ユニット番号（n = 0）

(d) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを**図13 - 24**に示します。

図13 - 24　受信時の許容ボー・レート範囲



注意　受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定が必要です。

スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。
これを11ビット受信に当てはめると理論上、次のようになります。

- 1ビット・データ長とボー・レートの関係
  FL =（Brate）–1
  Brate：UARTのボー・レート
  k：BRGCAnレジスタの設定値
  FL：1ビット・データ長
  ラッチ・タイミングのマージンは2クロック
- 許容最小データ・フレーム長（FLmin）

$$k = 3\sim255\text{のとき：}\quad FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

- 受信可能な送信先の最大ボー・レート（BRmax）

$$k = 2\text{のとき：}\quad BRmax = Brate + \frac{1}{22k} Brate$$

$$k = 3\sim255\text{のとき：}\quad BRmax = （FLmin/11）^{-1} = \frac{22k}{21k+2} Brate$$

- 許容最大データ・フレーム長（FLmax）

$$k = 3\sim255\text{のとき：}\quad FLmax = \frac{21k+2}{20k} FL \times 11$$

- 受信可能な送信先の最小ボー・レート（BRmin）

$$k = 2\text{のとき：}\quad BRmin = Brate - \frac{1}{22k} Brate$$

$$k = 3\sim255\text{のとき：}\quad BRmin = （FLmax/11）^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から求めたUARTと送信先とのボー・レートの許容誤差を**表13 - 5**に示します。

表13 - 5　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
2	+2.27%	–2.27%
4	+2.33%	–2.44%
8	+3.53%	–3.61%
20	+4.27%	–4.31%
50	+4.56%	–4.58%
100	+4.66%	–4.67%
255	+4.72%	–4.73%

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比（k）に依存します。入力クロック周波数が高く、分周比（k）が大きくなるほど許容誤差は大きくなります。

備考2. k：BRGCAnレジスタの設定値
n：ユニット番号（n = 0）

13.4　使用時の注意事項

13.4.1　RxDAn端子のポート設定

ALVn = 0（待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル）の場合は、受信データ（RxDAn）の初期値はハイ・レベルとする必要があります。

また、ALVn = 1（待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル）の場合は、受信データ（RxDAn）の初期値はロウ・レベルとする必要があります。

そのため UARTAENn ビットに 1 を設定する前にポートの設定を行う必要があります。

備考　n：ユニット番号（n = 0）

第14章　割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		20ピン	32ピン	44, 48ピン	64ピン
マスカブル割り込み	外部	6	9	10	13
	内部	23	26	26	26

14.1　割り込み機能の種類

割り込み機能には、次の2種類があります。

(1)　マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティに従って処理されます。デフォルト・プライオリティについては、**表14 - 1**を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2)　ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

14.2　割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（**表 14 - 1** 参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表14 - 1 割り込み要因一覧 (1/3)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	64ピン	48ピン	44ピン	32ピン	20ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3（オーバフロー時間の75% + 1/4fIL）	内部	00004H	(a)	○	○	○	○	○
	1	INTLVI	電圧検出注4		00006H		○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(b)	○	○	○	○	○
	3	INTP1			0000AH		○	○	○	○	－
	4	INTP2			0000CH		○	○	○	○	－
	5	INTP3			0000EH		○	○	○	○	○
	6	INTP4			00010H		○	○	○	○	－
	7	INTP5			00012H		○	○	○	○	○
	8	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了、バッファ空き割り込み／CSI20の転送完了、バッファ空き割り込み／IIC20の転送完了	内部	00014H	(a)	○	○	○	○	注5
	9	INTSR2 /INTCSI21 /INTIIC21	UART2受信の転送完了／CSI21の転送完了、バッファ空き割り込み／IIC21の転送完了		00016H		○	○	○	注6	注6
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○	○
	13	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了、バッファ空き割り込み／CSI00の転送完了、バッファ空き割り込み／IIC00の転送完了		0001EH		○	○	○	○	○
	14	INTTM00	タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了		00020H		○	○	○	○	○
	15	INTSRE0	UART0受信の通信エラー発生		00022H		○	○	○	○	○
		INTTM01H	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了 （上位8ビット・タイマ動作時）				○	○	○	○	○
	16	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了、バッファ空き割り込み／CSI10の転送完了、バッファ空き割り込み／IIC10の転送完了		00024H		○	注7	注7	注7	注7
	17	INTSR1 /INTCSI11 /INTIIC11	UART1受信の転送完了／CSI11の転送完了、バッファ空き割り込み／IIC11の転送完了		00026H		○	○	○	○	○
	18	INTSRE1	UART1受信の通信エラー発生		00028H		○	○	○	○	○
		INTTM03H	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了 （上位8ビット・タイマ動作時）				○	○	○	○	－
	19	INTIICA0	IICA0通信完了		0002AH		○	○	○	○	－

表14 - 1 割り込み要因一覧 (2/3)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	64ピン	48ピン	44ピン	32ピン	20ピン
マスカブル	20	INTSR0 /INTCSI01 /INTIIC01	UART0受信の転送完了／CSI01の転送完了、バッファ空き割り込み／IIC01の転送完了	内部	0002CH	(a)	○	○	注8	注8	注8
	21	INTTM01	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了 （16ビット／下位8ビット・タイマ動作時）		0002EH		○	○	○	○	○
	22	INTTM02	タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了		00030H		○	○	○	○	○
	23	INTTM03	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了 （16ビット／下位8ビット・タイマ動作時）		00032H		○	○	○	○	−
	24	INTAD	A/D変換終了		00034H		○	○	○	○	○
	26	INTITL	32ビット・インターバル・タイマのインターバル信号検出		00038H		○	○	○	○	○
	27	INTKR	キー・リターン信号検出	外部	0003AH	(c)	○	○	○	−	−
	31	INTTM04	タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	内部	00042H	(a)	○	○	○	○	−
	32	INTTM05	タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了		00044H		○	○	○	○	○
	33	INTTM06	タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了		00046H		○	○	○	○	○
	34	INTTM07	タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了		00048H		○	○	○	○	○
	35	INTP6	端子入力エッジ検出	外部	0004AH	(b)	○	○	○	○	○
	36	INTP7			0004CH		○	−	−	−	−
	37	INTP8			0004EH		○	○	○	○	○
	38	INTP9			00050H		○	○	○	○	○
	39	INTFL	予約	内部	00052H	(b)	○	○	○	○	○
	40	INTP10	端子入力エッジ検出	外部	00054H	(b)	○	−	−	−	−
	41	INTP11	端子入力エッジ検出		00056H		○	−	−	−	−
	42	INTURE0	UARTA0受信の通信エラー発生	内部	00058H	(a)	○	○	○	○	○
	51	INTUT0	UARTA0送信の転送完了、バッファ空き割り込み		0006AH		○	○	○	○	○
	52	INTUR0	UARTA0受信の転送完了		0006CH		○	○	○	○	○

表14 - 1 割り込み要因一覧 (3/3)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	64ピン	48ピン	44ピン	32ピン	20ピン
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(d)	○	○	○	○	○
リセット	—	RESET	$\overline{\text{RESET}}$端子入力	—	00000H	—	○	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○	○
		LVD	電圧検出				○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○
		TRAP	不正命令の実行				○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、52が最低順位です。

注2. 基本構成タイプの(a) - (d)は、それぞれ**図14 - 1 割り込み機能の基本構成**の(a) - (d)に対応しています。

注3. ユーザ・オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時

注4. 電圧検出レベル・レジスタ（LVIS）のビット6（LVD1SEL）= 0選択時またはユーザ・オプション・バイト（000C1H）のビット6（LVD0SEL）= 0選択時

注5. INTST2のみ

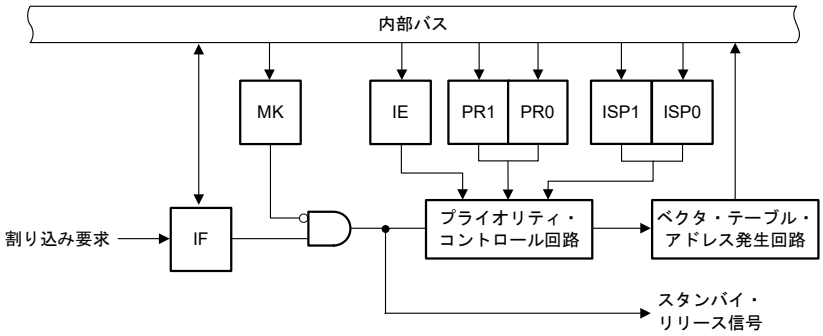
注6. INTSR2のみ

注7. INTST1のみ

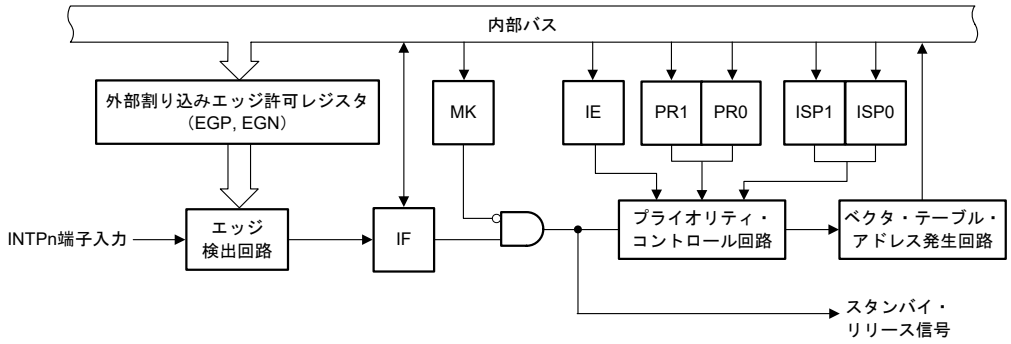
注8. INTSR0のみ

図14 - 1 割り込み機能の基本構成 (1/2)

(a) 内部マスカブル割り込み



(b) 外部マスカブル割り込み（INTPn）

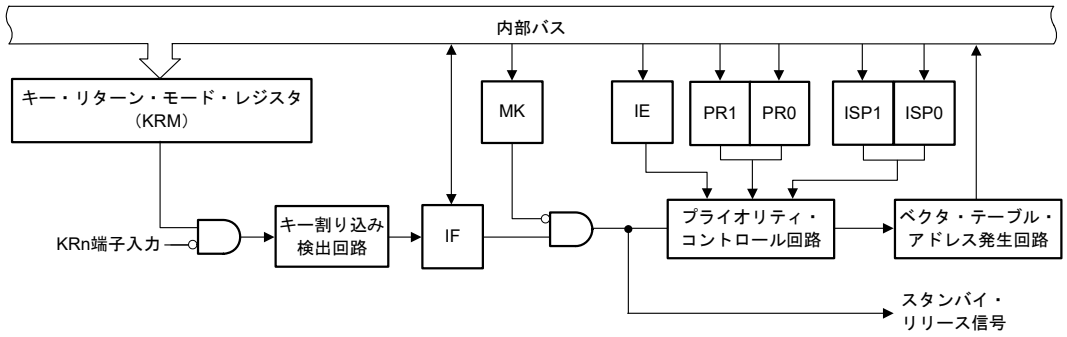


備考1. IF ：割り込み要求フラグ
IE ：割り込み許可フラグ
ISP0 ：インサービス・プライオリティ・フラグ0
ISP1 ：インサービス・プライオリティ・フラグ1
MK ：割り込みマスク・フラグ
PR0 ：優先順位指定フラグ0
PR1 ：優先順位指定フラグ1

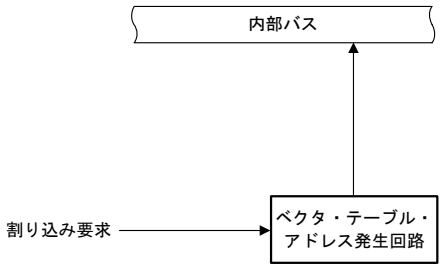
備考2. 20ピン製品 ：n = 0, 3, 5, 6, 8, 9
32～48ピン製品 ：n = 0-6, 8, 9
64ピン製品 ：n = 0-11

図14 - 1 割り込み機能の基本構成 (2/2)

(c) 外部マスカブル割り込み（INTKR）



(d) ソフトウェア割り込み



備考1. IF ：割り込み要求フラグ
IE ：割り込み許可フラグ
ISP0 ：インサービス・プライオリティ・フラグ0
ISP1 ：インサービス・プライオリティ・フラグ1
MK ：割り込みマスク・フラグ
PR0 ：優先順位指定フラグ0
PR1 ：優先順位指定フラグ1

備考2. 44ピン製品 ：n = 0-3
48ピン製品 ：n = 0-5
64ピン製品 ：n = 0-7

14.3 割り込み機能を制御するレジスタ

割り込み機能を制御するレジスタを次に示します。

- 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）
- 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）
- 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）
- 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）
- プログラム・ステータス・ワード（PSW）
- ポート・モード・レジスタ（PMxx）

表 14 - 2 に各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を示します。

表14 - 2　割り込み要求ソースに対応する各種フラグ (1/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64ピン	48ピン	44ピン	32ピン	20ピン
		レジスタ		レジスタ		レジスタ					
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○
INTLVI注	LVIIF注		LVIMK注		LVIPR0, LVIPR1注		○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	–
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	–
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	–
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○

注　LVD0, LVD1どちらの割り込みが発生したかはLVIMレジスタのDLVD0F, DLVD1Fフラグで確認できます。詳細は、**19.3.1 電圧検出レジスタ（LVIM）**を参照してください。

表14 - 2 割り込み要求ソースに対応する各種フラグ (2/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64ピン	48ピン	44ピン	32ピン	20ピン
		レジスタ		レジスタ		レジスタ					
INTST2注1	STIF2注1	IF0H	STMK2注1	MK0H	STPR02, STPR12注1	PR00H, PR10H	○	○	○	○	○
INTCSI20注1	CSIIF20注1		CSIMK20注1		CSIPR020, CSIPR120注1		○	○	○	○	−
INTIIC20注1	IICIF20注1		IICMK20注1		IICPR020, IICPR120注1		○	○	○	○	−
INTSR2注2	SRIF2注2		SRMK2注2		SRPR02, SRPR12注2		○	○	○	○	○
INTCSI21注2	CSIIF21注2		CSIMK21注2		CSIPR021, CSIPR121注2		○	○	○	−	−
INTIIC21注2	IICIF21注2		IICMK21注2		IICPR021, IICPR121注2		○	○	○	−	−
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○	○	○	○
INTST0注3	STIF0注3		STMK0注3		STPR00, STPR10注3		○	○	○	○	○
INTCSI00注3	CSIIF00注3		CSIMK00注3		CSIPR000, CSIPR100注3		○	○	○	○	○
INTIIC00注3	IICIF00注3		IICMK00注3		IICPR000, IICPR100注3		○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○
INTSRE0注4	SREIF0注4		SREMK0注4		SREPR00, SREPR10注4		○	○	○	○	○
INTTM01H注4	TMIF01H注4		TMMK01H注4		TMPR001H, TMPR101H注4		○	○	○	○	○

注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生すると、IF0Hレジスタのビット0は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTSR2, INTCSI21, INTIIC21のうち、いずれかが発生すると、IF0Hレジスタのビット1は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。

注3. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生すると、IF0Hレジスタのビット5は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

注4. UART0受信のエラー割り込み、TAU0のチャネル1（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART0, TAU0のチャネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生すると、IF0Hレジスタのビット7は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

表14 - 2 割り込み要求ソースに対応する各種フラグ (3/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64ピン	48ピン	44ピン	32ピン	20ピン
		レジスタ		レジスタ		レジスタ					
INTST1注1	STIF1注1	IF1L	STMK1注1	MK1L	STPR01, STPR11注1	PR01L, PR11L	○	○	○	○	○
INTCSI10注1	CSIIF10注1		CSIMK10注1		CSIPR010, CSIPR110注1		○	−	−	−	−
INTIIC10注1	IICIF10注1		IICMK10注1		IICPR010, IICPR110注1		○	−	−	−	−
INTSR1注2	SRIF1注2		SRMK1注2		SRPR01, SRPR11注2		○	○	○	○	○
INTCSI11注2	CSIIF11注2		CSIMK11注2		CSIPR011, CSIPR111注2		○	○	○	○	○
INTIIC11注2	IICIF11注2		IICMK11注2		IICPR011, IICPR111注2		○	○	○	○	○
INTSRE1注3	SREIF1注3		SREMK1注3		SREPR01, SREPR11注3		○	○	○	○	○
INTTM03H注3	TMIF03H注3		TMMK03H注3		TMPR003H, TMPR103H注3		○	○	○	○	−
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	−
INTSR0注4	SRIF0注4		SRMK0注4		SRPR00, SRPR10注4		○	○	○	○	○
INTCSI01注4	CSIIF01注4		CSIMK01注4		CSIPR001, CSIPR101注4		○	○	−	−	−
INTIIC01注4	IICIF01注4		IICMK01注4		IICPR001, IICPR101注4		○	○	−	−	−
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	−
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○
INTITL	ITLIF		ITLMK		ITLPR0, ITLPR1		○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	−	−
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	−

注1. 割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生すると、IF1Lレジスタのビット0は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生すると、IF1Lレジスタのビット1は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。

注3. UART1受信のエラー割り込み、TAU0のチャネル3（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない（EOC03 = 0）場合は、UART1, TAU0のチャネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生すると、IF1Lレジスタのビット2は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

注4. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生すると、IF1Lレジスタのビット4は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット4は、3つすべての割り込み要因に対応しています。

表14 - 2 割り込み要求ソースに対応する各種フラグ (4/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64ピン	48ピン	44ピン	32ピン	20ピン
		レジスタ		レジスタ		レジスタ					
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○	○	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	–	–	–	–
INTP8	PIF8		PMK8		PPR08, PPR18		○	○	○	○	○
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	○	○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○
INTP10	PIF10	IF2H	PMK10	MK2H	PPR010, PPR110	PR02H, PR12H	○	–	–	–	–
INTP11	PIF11		PMK11		PPR011, PPR111		○	–	–	–	–
INTURE0	UREIF0		UREMK0		UREPR00, UREPR10		○	○	○	○	○
INTUT0	UTIF0	IF3L	UTMK0	MK3L	UTPR00, UTPR10	PR03L, PR13L	○	○	○	○	○
INTUR0	URIF0		URMK0		URPR00, URPR10		○	○	○	○	○

14.3.1 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行により1にセットされ、割り込み要求受付時、リセット信号発生時または命令の実行により0にクリアされるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0L レジスタと IF0H レジスタ、IF1L レジスタと IF1H レジスタ、IF2L レジスタと IF2H レジスタをあわせて16ビット・レジスタ IF0, IF1, IF2 として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図14 - 2 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット (1/2)

アドレス : FFFE0H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス : FFFE1H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
IF0H	SREIF0 TMIF01H	TMIF00	STIF0 CSIIF00 IICIF00	0	0	SREIF2	SRIF2 CSIIF21 IICIF21	STIF2 CSIIF20 IICIF20

アドレス : FFFE2H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF03	TMIF02	TMIF01	SRIF0 CSIIF01 IICIF01	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIIF11 IICIF11	STIF1 CSIIF10 IICIF10

アドレス : FFFE3H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	5	4	<3>	<2>	1	<0>
IF1H	TMIF04	0	0	0	KRIF	ITLIF	0	ADIF

図14 - 2 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット (2/2)

アドレス : FFFD0H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2L	FLIF	PIF9	PIF8	PIF7	PIF6	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
IF2H	0	0	0	0	0	UREIF0	PIF11	PIF10

アドレス : FFFD2H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	<4>	<3>	2	1	0
IF3L	0	0	0	URIF0	UTIF0	0	0	0

xxIFx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって搭載しているレジスタとビットは異なります。
各製品に搭載しているレジスタとビットについては、表14 - 2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm(“clr1 IF0L.0”);」のようなビット・メモリ操作命令を使用してください。なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）のほかのビットの要求フラグが1にセットされても、「mov IF0L, a」で0にクリアされます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

14.3.2 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）

割り込みマスク・フラグは、対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、MK0L レジスタと MK0H レジスタ、MK1L レジスタと MK1H レジスタ、MK2L レジスタと MK2H レジスタをあわせて 16 ビット・レジスタ MK0, MK1, MK2 として使用するときは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図14 - 3 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット (1/2)

アドレス : FFFE4H
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
MK0H	SREMK0 TMMK01H	TMMK00	STMK0 CSIMK00 IICMK00	1	1	SREMK2 TMMK11H	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK03	TMMK02	TMMK01	SRMK0 CSIMK01 IICMK01	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10

アドレス : FFFE7H
リセット時: FFH
R/W属性 : R/W

略号	<7>	6	5	4	<3>	<2>	1	<0>
MK1H	TMMK04	1	1	1	KRMK	ITLMK	1	ADMK

図14 - 3 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット (2/2)

アドレス : FFFD4H
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2L	FLMK	PMK9	PMK8	PMK7	PMK6	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
MK2H	1	1	1	1	1	UREMK0	PMK11	PMK10

アドレス : FFFD6H
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	<4>	<3>	2	1	0
MK3L	1	1	1	URMK0	UTMK0	1	1	1

xxMKx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表14 - 2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

14.3.3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて、優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、PR00L レジスタと PR00H レジスタ、PR01L レジスタと PR01H レジスタ、PR02L レジスタと PR02H レジスタ、PR10L レジスタと PR10H レジスタ、PR11L レジスタと PR11H レジスタ、PR12L レジスタと PR12H レジスタをあわせて 16 ビット・レジスタ PR00, PR01, PR02, PR10, PR11, PR12 として使用するときは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図14 - 4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット (1/3)

アドレス : FFFE8H
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
PR00H	SREPR00 TMPR001H	TMPR000	STPR00 CSIPR000 IICPR000	1	1	SREPR02 TMPR011H	SRPR02 CSIPR021 IICPR021	STPR02 CSIPR020 IICPR020

アドレス : FFFEDH
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
PR10H	SREPR10 TMPR101H	TMPR100	STPR10 CSIPR100 IICPR100	1	1	SREPR12 TMPR111H	SRPR12 CSIPR121 IICPR121	STPR12 CSIPR120 IICPR120

図14 - 4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット (2/3)

アドレス : FFFEAH
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01L	TMPR003	TMPR002	TMPR001	SRPR00 CSIPR001 IICPR001	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010

アドレス : FFFEEH
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11L	TMPR103	TMPR102	TMPR101	SRPR10 CSIPR101 IICPR101	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110

アドレス : FFFEBH
リセット時: FFH
R/W属性 : R/W

略号	<7>	6	5	4	<3>	<2>	1	<0>
PR01H	TMPR004	1	1	1	KRPR0	ITLPR0	1	ADPR0

アドレス : FFFEFH
リセット時: FFH
R/W属性 : R/W

略号	<7>	6	5	4	<3>	<2>	1	<0>
PR11H	TMPR104	1	1	1	KRPR1	ITLPR1	1	ADPR1

アドレス : FFFD8H
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02L	FLPR0	PPR09	PPR08	PPR07	PPR06	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH
リセット時: FFH
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12L	FLPR1	PPR19	PPR18	PPR17	PPR16	TMPR107	TMPR106	TMPR105

図14 - 4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット (3/3)

アドレス : FFFD9H
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
PR02H	1	1	1	1	1	UREPR00	PPR011	PPR010

アドレス : FFFDDH
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
PR12H	1	1	1	1	1	UREPR10	PPR111	PPR110

アドレス : FFFDAH
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	<4>	<3>	2	1	0
PR03L	1	1	1	URPR00	UTPR00	1	1	1

アドレス : FFFDEH
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	<4>	<3>	2	1	0
PR13L	1	1	1	URPR10	UTPR10	1	1	1

xxPR1x	xxPR0x	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表14 - 2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

14.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

EGP0, EGP1, EGN0, EGN1 レジスタは、INTP0-INTP11 の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1 レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図14 - 5 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）のフォーマット

アドレス : FFF38H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス : FFF3BH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

備考 n = 0-11

表 14 - 3 に EGPn ビットと EGNn ビットに対応するポート（INTPx 端子）を示します。

表14 - 3　EGPnビットとEGNnビットに対応するポート（INTPx端子）

検出許可ビット		ポート（INTPx端子）	64ピン	32～48ピン	20ピン
EGP0	EGN0	INTP0	○	○	○
EGP1	EGN1	INTP1	○	○	–
EGP2	EGN2	INTP2	○	○	–
EGP3	EGN3	INTP3	○	○	○
EGP4	EGN4	INTP4	○	○	–
EGP5	EGN5	INTP5	○	○	○
EGP6	EGN6	INTP6	○	○	○
EGP7	EGN7	INTP7	○	–	–
EGP8	EGN8	INTP8	○	○	○
EGP9	EGN9	INTP9	○	○	○
EGP10	EGN10	INTP10	○	–	–
EGP11	EGN11	INTP11	○	–	–

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は、エッジ検出禁止（EGPn = 0, EGNn = 0）にしてからポート・モード・レジスタ（PMxx）に0を設定してください。

備考1. エッジ検出ポートに関しては、**2.1　ポートの端子機能**を参照してください。

備考2. n = 0-11

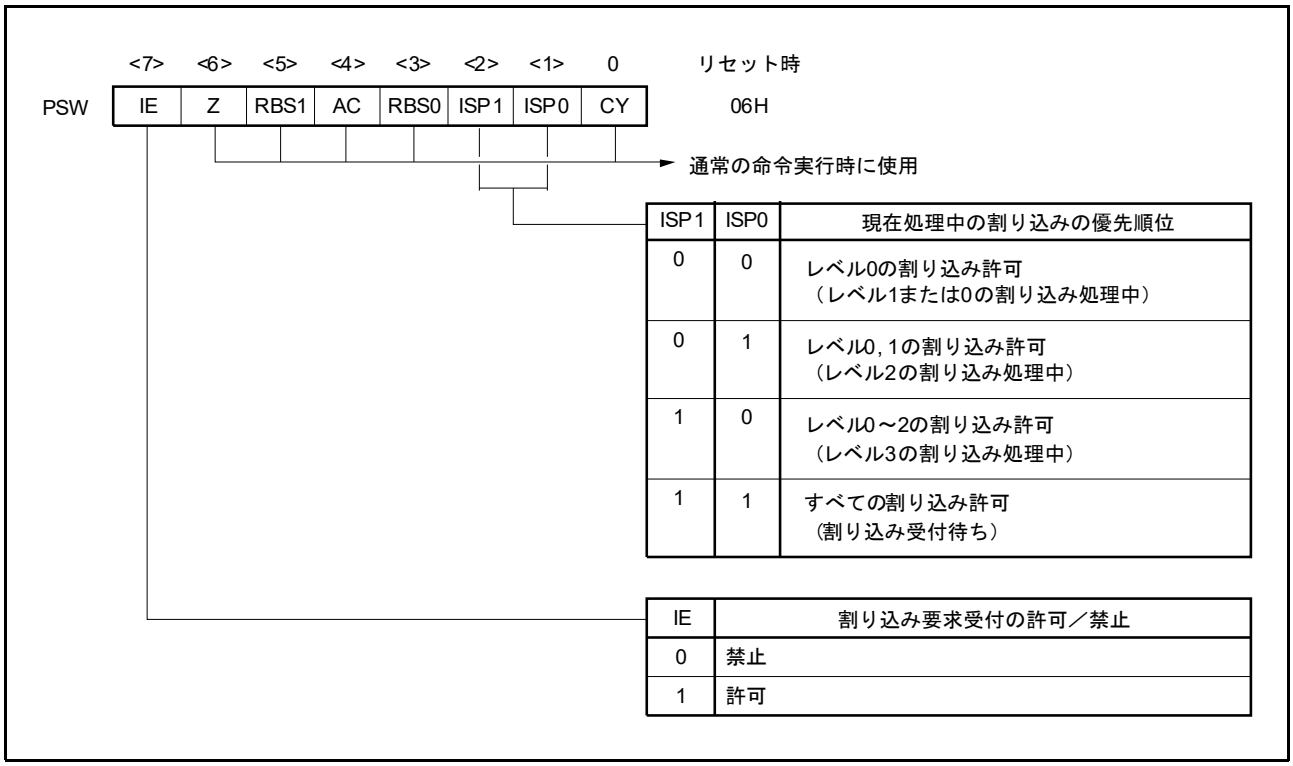
14.3.5 プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP1, ISP0 フラグがマッピングされています。

8 ビット単位で読み出し／書き込み操作ができるほか、ビット・メモリ操作命令や専用命令（EI, DI）により操作ができます。また、ベクタ割り込み要求受付時および BRK 命令実行時には、PSW の内容は自動的にスタックに退避され、IE フラグはリセット（0）されます。また、マスカブル割り込み要求受付時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が 00 以外は、–1 された値が ISP1, ISP0 フラグに転送されます。PUSH PSW 命令によっても PSW の内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、06H になります。

図14 - 6 プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0, 1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受付待ち）

IE	割り込み要求受付の許可／禁止
0	禁止
1	許可

14.3.6　割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

14.4　割り込み処理動作

14.4.1　マスカブル割り込み要求の受付動作

マスカブル割り込み要求は、割り込み要求フラグが 1 にセットされ、その割り込み要求のマスク（MK）フラグが 0 にクリアされていると受付が可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IE フラグが 1 にセットされているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

表 14 - 4 にマスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの割り込み要求の受付時間を示します。

割り込み要求の受付タイミングについては、**図 14 - 8** および**図 14 - 9** を参照してください。

表14 - 4　マスカブル割り込み要求発生からベクタ割り込み処理までの時間

	最小時間	最大時間**注**
割り込み要求の受付時間	9クロック	16クロック

注　内部RAM領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック周波数）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

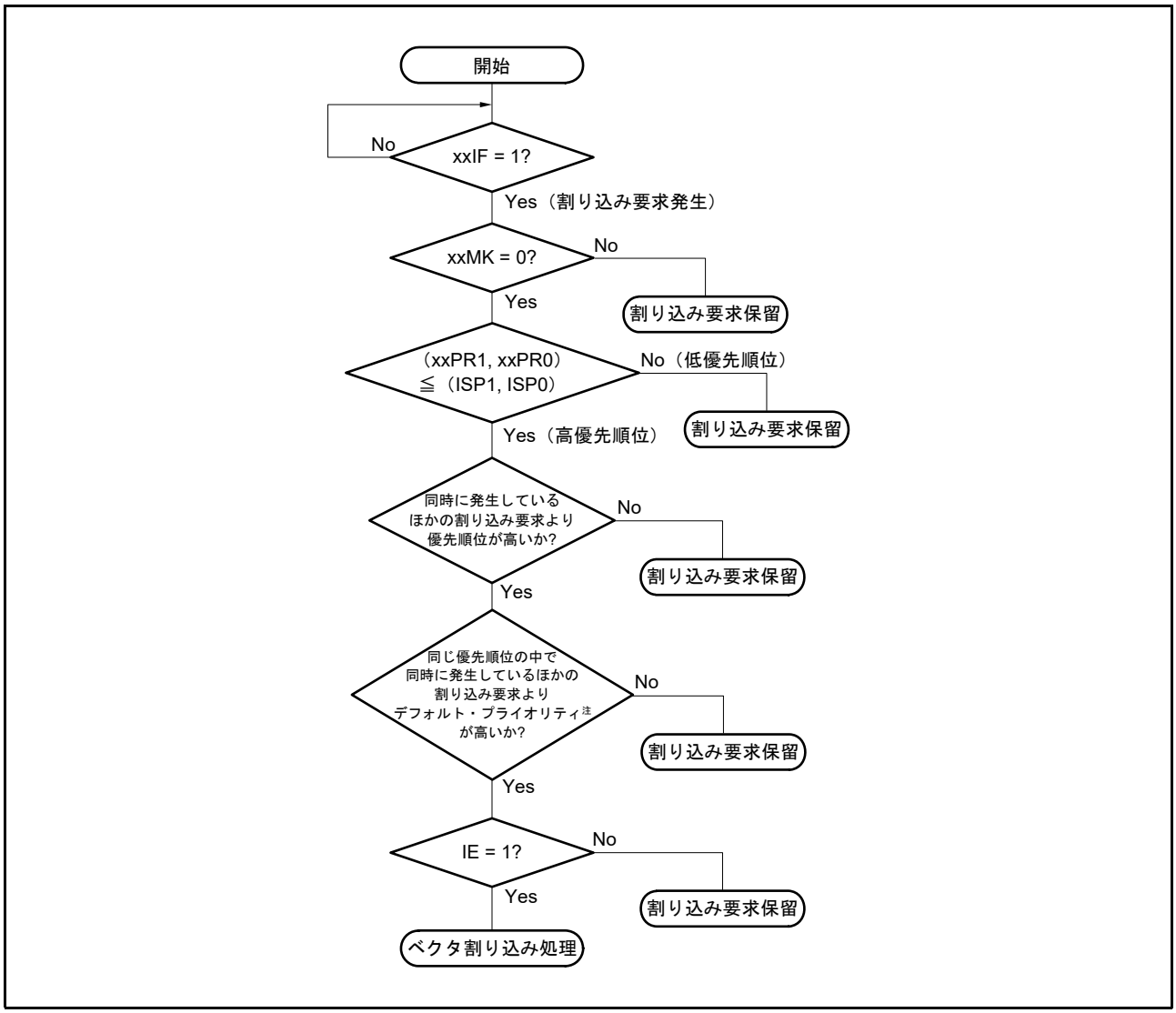
保留された割り込み要求は受付可能な状態になると受け付けられます。

図 14 - 7 に割り込み要求受付のアルゴリズムを示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IE フラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容を ISP1, ISP0 フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータを PC へロードし、分岐します。

RETI 命令によって、割り込みから復帰できます。

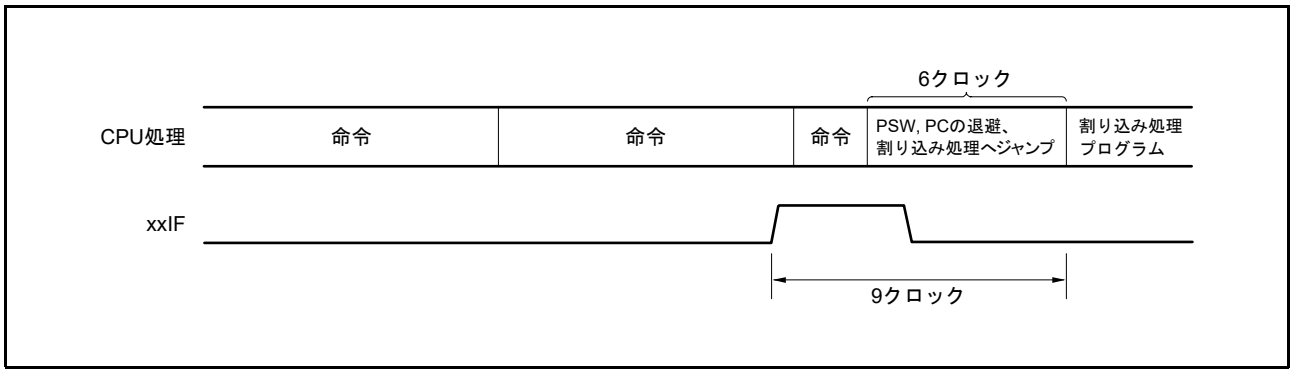
図14 - 7 割り込み要求受付処理アルゴリズム



注 デフォルト・プライオリティは、**表14 - 1 割り込み要因一覧**を参照してください。

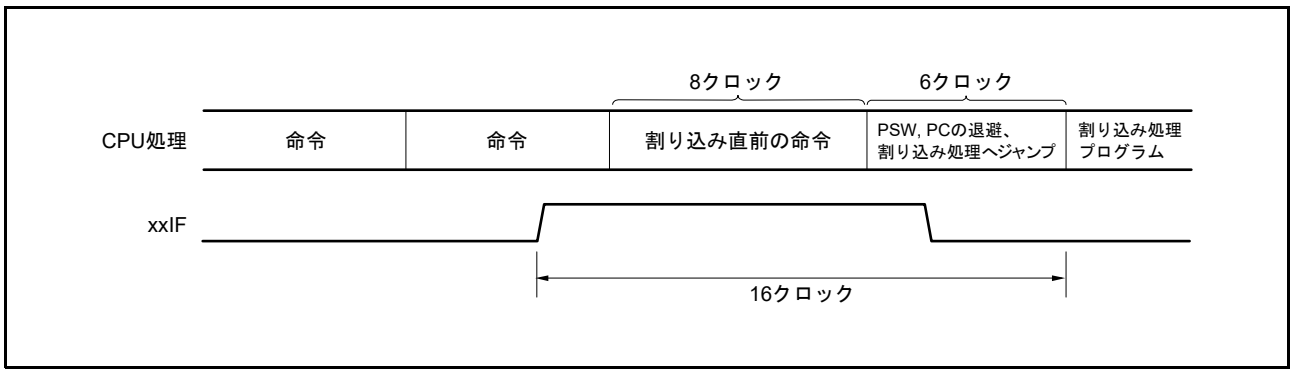
備考 xxIF : 割り込み要求フラグ
xxMK : 割り込みマスク・フラグ
xxPR0 : 優先順位指定フラグ0
xxPR1 : 優先順位指定フラグ1
IE : マスカブル割り込み要求の受付を制御するフラグ（1 = 許可、0 = 禁止）
ISP1, ISP0 : 現在処理中の割り込みの優先順位を示すフラグ（**図14 - 6 プログラム・ステータス・ワードの構成**参照）

図14 - 8 割り込み要求の受付タイミング（最小時間）



備考 1クロック：1/fCLK（fCLK：CPUクロック）

図14 - 9 割り込み要求の受付タイミング（最大時間）



備考 1クロック：1/fCLK（fCLK：CPUクロック）

14.4.2　ソフトウェア割り込み要求の受付動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意　ソフトウェア割り込みからの復帰にRETI命令は使用できません。

14.4.3　多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受付許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受付禁止状態（IE = 0）になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグを1にセットして、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただし、レベル0の割り込み中にIEフラグを1にセットした場合には、レベル0のほかの割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表 14 - 5 に割り込み処理中に多重割り込み可能な割り込み要求の関係、**図 14 - 10** に多重割り込みの例を示します。

表14 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 / マスカブル割り込み		マスカブル割り込み要求								ソフトウェア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
処理中	ISP1, ISP0 = 00B	○	×	×	×	×	×	×	×	○
	ISP1, ISP0 = 01B	○	×	○	×	×	×	×	×	○
	ISP1, ISP0 = 10B	○	×	○	×	○	×	×	×	○
受付待ち	ISP1, ISP0 = 11B	○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能

備考2. ×：多重割り込み不可能

備考3. ISP1, ISP0, IEはPSWに含まれるフラグです。

ISP1, ISP0 = 00B ：レベル1またはレベル0の割り込み処理中

ISP1, ISP0 = 01B ：レベル2の割り込み処理中

ISP1, ISP0 = 10B ：レベル3の割り込み処理中

ISP1, ISP0 = 11B ：割り込み受付待ち（すべての割り込み許可）

IE = 0 ：割り込み要求受付禁止

IE = 1 ：割り込み要求受付許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタに含まれるフラグです。

PR = 00 ：xxPR1x = 0, xxPR0x = 0でレベル0を指定（高優先順位）

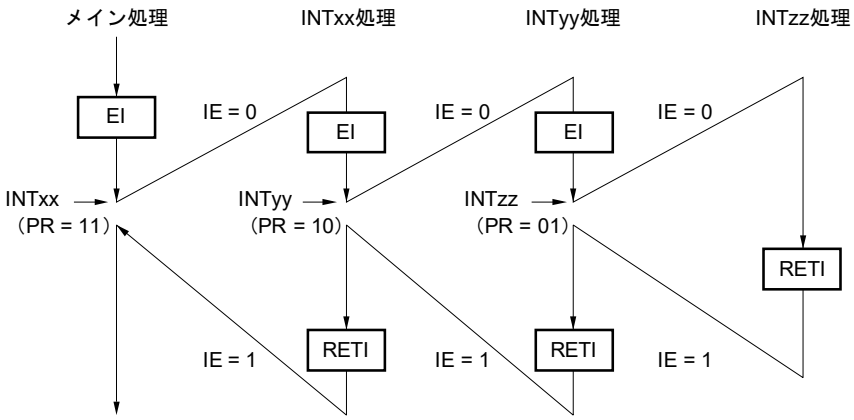
PR = 01 ：xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 ：xxPR1x = 1, xxPR0x = 0でレベル2を指定

PR = 11 ：xxPR1x = 1, xxPR0x = 1でレベル3を指定（低優先順位）

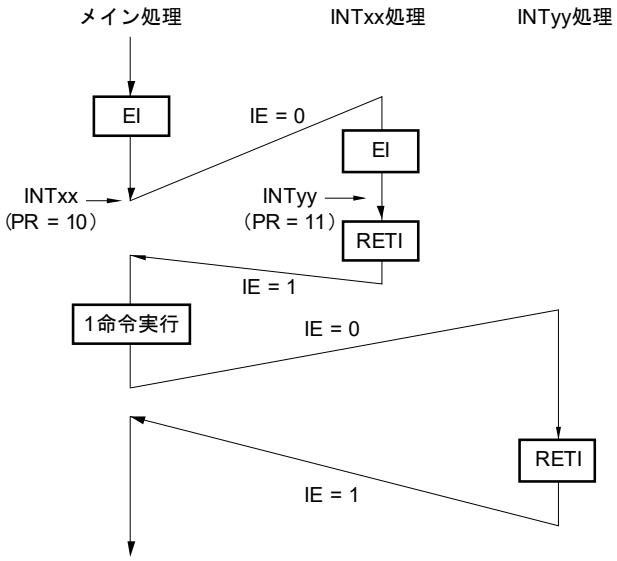
図14 - 10 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受付の前には、必ずEI命令を発行し、割り込み要求受付許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例

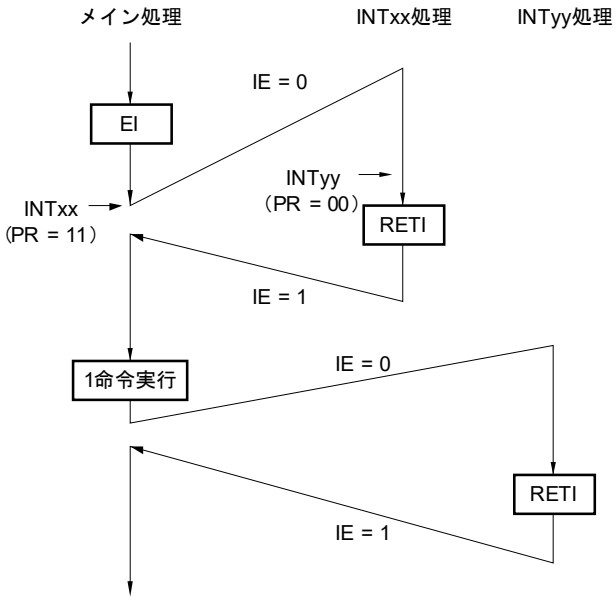


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

備考 PR = 00 ：xxPR1x = 0, xxPR0x = 0でレベル0を指定（高優先順位）
PR = 01 ：xxPR1x = 0, xxPR0x = 1でレベル1を指定
PR = 10 ：xxPR1x = 1, xxPR0x = 0でレベル2を指定
PR = 11 ：xxPR1x = 1, xxPR0x = 1でレベル3を指定（低優先順位）
IE = 0 ：割り込み要求受付禁止
IE = 1 ：割り込み要求受付許可

図14 - 10 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

備考 PR = 00 ：xxPR1x = 0, xxPR0x = 0でレベル0を指定（高優先順位）
PR = 01 ：xxPR1x = 0, xxPR0x = 1でレベル1を指定
PR = 10 ：xxPR1x = 1, xxPR0x = 0でレベル2を指定
PR = 11 ：xxPR1x = 1, xxPR0x = 1でレベル3を指定（低優先順位）
IE = 0 ：割り込み要求受付禁止
IE = 1 ：割り込み要求受付許可

14.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受付を保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L レジスタの各レジスタに対する書き込み命令

図 14 - 11 に割り込み要求が保留されるタイミングを示します。

図14 - 11 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

備考2. 命令M：割り込み要求の保留命令以外の命令

第15章　キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	20, 32ピン	44ピン	48ピン	64ピン
キー割り込み入力チャネル数	—	4チャネル	6チャネル	8チャネル

15.1　キー割り込みの機能

キー割り込み入力端子（KR0-KR7）に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み（INTKR）を発生させることができます。

表15 - 1　　キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0（KRM0）
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

備考　KR0-KR3：44ピン製品
KR0-KR5：48ピン製品
KR0-KR7：64ピン製品

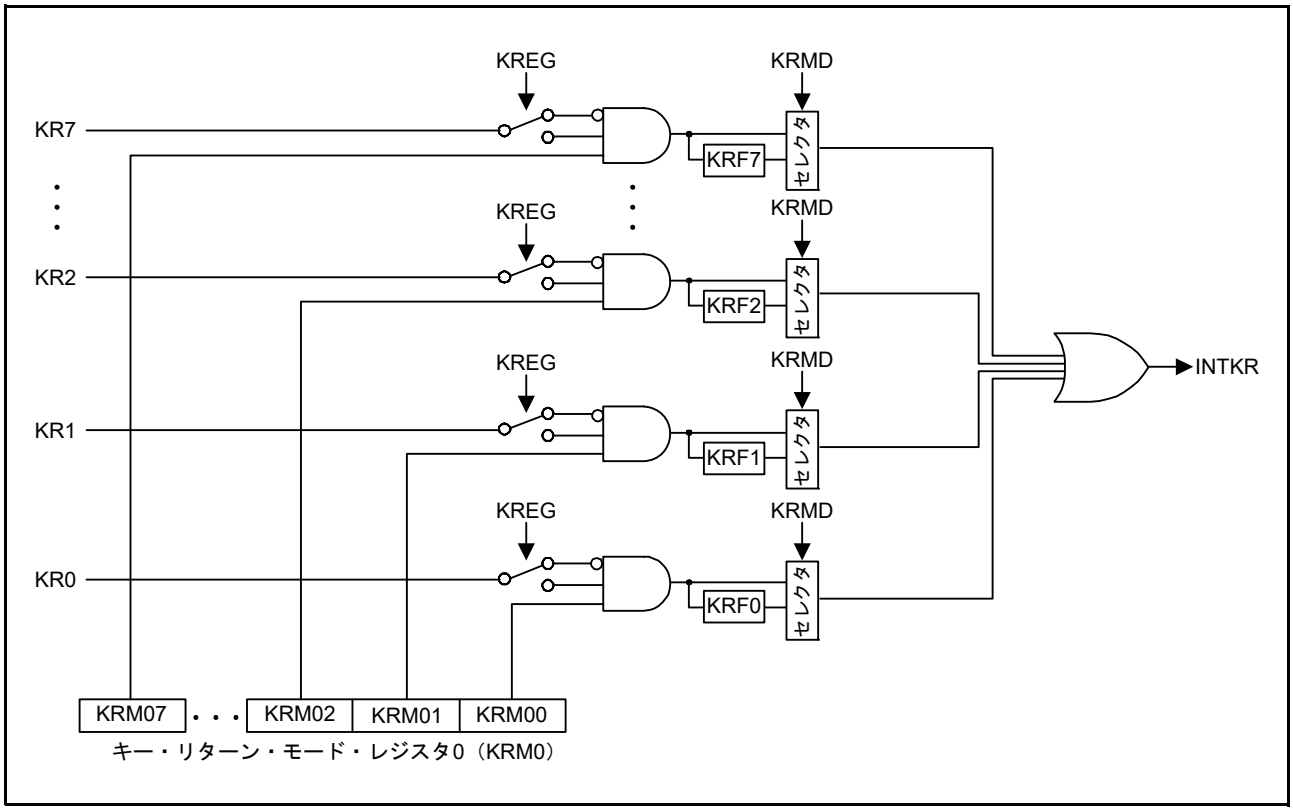
15.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表15 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	• キー・リターン・コントロール・レジスタ（KRCTL） • キー・リターン・モード・レジスタ0（KRM0） • キー・リターン・フラグ・レジスタ（KRF） • ポート・モード・レジスタ（PMxx）

図15 - 1 キー割り込みのブロック図



備考 KR0-KR3：44ピン製品
KR0-KR5：48ピン製品
KR0-KR7：64ピン製品

15.3 キー割り込みを制御するレジスタ

キー割り込みを制御するレジスタを次に示します。

- キー・リターン・コントロール・レジスタ（KRCTL）
- キー・リターン・モード・レジスタ0（KRM0）
- キー・リターン・フラグ・レジスタ（KRF）
- ポート・モード・レジスタ（PMxx）

15.3.1 キー・リターン・コントロール・レジスタ（KRCTL）

KRCTL レジスタは、キー・リターン・フラグ（KRF0-KRF7）の使用と検出エッジを設定するレジスタです。
KRCTL レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図15 - 2 キー・リターン・コントロール・レジスタ（KRCTL）のフォーマット

アドレス : FFF34H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー・リターン・フラグ（KRF0-KRF7）の使用
0	キー・リターン・フラグを使用しない
1	キー・リターン・フラグを使用する

KREG	検出エッジの選択（KR0-KR7）
0	立ち下がりエッジ
1	立ち上がりエッジ

15.3.2 キー・リターン・モード・レジスタ0（KRM0）

KRM0 レジスタは、KR0-KR7 信号を制御するレジスタです。

KRM0 レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15 - 3 キー・リターン・モード・レジスタ0（KRM0）のフォーマット

アドレス ：FFF37H

リセット時: 00H

R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. 次のビットには、必ず0を設定してください。

20, 32ピン製品 ：ビット7-0

44ピン製品 ：ビット7-4

48ピン製品 ：ビット7, 6

注意2. キー割り込み入力端子のプルアップ抵抗オプション・レジスタ（PU7）の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。

注意3. キー割り込み入力端子にロウ・レベル（KREGビットに0を設定時）／ハイ・レベル（KREGビットに1を設定時）が入力されている状態で、KRM0レジスタの対象ビットをセットすると、割り込みが発生します。
この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅（28.4 AC特性参照）を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

注意4. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考 n = 0-7

15.3.3 キー・リターン・フラグ・レジスタ（KRF）

KRF レジスタは、キー割り込みフラグ（KRF0-KRF7）を制御するレジスタです。
KRF レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図15 - 4 キー・リターン・フラグ・レジスタ（KRF）のフォーマット

アドレス ：FFF35H
リセット時: 00H
R/W属性 ：R/W注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注 1の書き込みは無効になります。KRFnビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

備考 n = 0-7

15.3.4 キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

キー割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）

詳細は、**4.3.1 ポート・モード・レジスタ（PMxx）**を参照してください。
ポート機能を制御するレジスタの設定例は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

第16章　スタンバイ機能

16.1　スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の 3 種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

STOPモードを解除し、CPUを動作させることなく以下の周辺を動作させることができます。

詳細については、各章を参照してください。

- **第10章　A/Dコンバータ（ADC）**
- **第11章　シリアル・アレイ・ユニット（SAU）**

CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ移行可能です。CPUがサブシステム・クロックで動作しているときは、STOP命令を実行しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも移行可能です。

注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください（SNOOZEモード機能を使用する周辺機能を除く）。

注意3. 低速オンチップ・オシレータをHALT、STOPモード時に発振継続／停止するかは、オプション・バイトのWDTONとサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットで選択できます。

詳細は、6.1　クロック発生回路の機能(2)サブシステム・クロック① 低速オンチップ・オシレータ・クロックを参照してください。

16.2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ（OSMC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）

備考　OSMC, OSTC, OSTS レジスタの詳細は、**第6章　クロック発生回路**を参照してください。
また、SNOOZEモード機能を制御するレジスタは、下記の章を参照してください。

- **第10章　A/Dコンバータ（ADC）**
- **第11章　シリアル・アレイ・ユニット（SAU）**

16.3　スタンバイ機能の動作

16.3.1　HALTモード

(1)　HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

注意　割り込みマスク・フラグが0（割り込み処理許可）でかつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表16 - 1および**表16 - 2**にHALTモード時の動作状態を示します。

表16 - 1　HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合）(1/2)

HALTモードの設定 / 項目			メイン・システム・クロックでCPU動作中のHALT命令実行時		
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（fx）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f_{IH}	動作継続（停止不可）	動作禁止	
		fx	動作禁止	動作継続（停止不可）	動作不可
		f_{EX}		動作不可	動作継続（停止不可）
	サブシステム・クロック	f_{IL}	ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止		
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート（ラッチ）			HALTモード設定前の状態を継続		
タイマ・アレイ・ユニット			動作可能		
32ビット・インターバル・タイマ					
ウォッチドッグ・タイマ			**第9章　ウォッチドッグ・タイマ（WDT）**参照		
A/Dコンバータ			動作可能		
シリアル・アレイ・ユニット					
シリアル・インタフェースIICA					
シリアル・インタフェースUARTA					
パワーオン・リセット機能					
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能		高速CRC			
		汎用CRC	動作停止		

表16 - 1 HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合） (2/2)

HALTモードの設定 / 項目	メイン・システム・クロックでCPU動作中のHALT命令実行時		
	高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
不正メモリ・アクセス検出機能	動作停止		
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

備考1. 動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる

備考2. f_{IH} ：高速オンチップ・オシレータ・クロック　f_{IL} ：低速オンチップ・オシレータ・クロック
f_{EX} ：外部メイン・システム・クロック　f_X ：X1クロック

表16 - 2　　HALTモード時の動作状態（CPUクロックがサブシステム・クロックの場合）

HALTモードの設定 / 項目			サブシステム・クロックでCPU動作中のHALT命令実行時
			低速オンチップ・オシレータ・クロック（f_{IL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作禁止
		f_X	
		f_{EX}	
	サブシステム・クロック	f_{IL}	動作継続（停止不可）
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）			HALTモード設定前の状態を継続
タイマ・アレイ・ユニット			動作可能
32ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			**第9章　ウォッチドッグ・タイマ（WDT）**参照
A/Dコンバータ			動作禁止
シリアル・アレイ・ユニット			動作可能
シリアル・インタフェースIICA			動作禁止
シリアル・インタフェースUARTA			
パワーオン・リセット機能			動作可能
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能		高速CRC	動作禁止
		汎用CRC	動作停止
不正メモリ・アクセス検出機能			
RAMパリティ・チェック機能			
RAMガード機能			
SFRガード機能			

備考1. 動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる

備考2. f_{IH} ：高速オンチップ・オシレータ・クロック　　f_{IL} ：低速オンチップ・オシレータ・クロック
f_{EX} ：外部メイン・システム・クロック　　f_X ：X1クロック

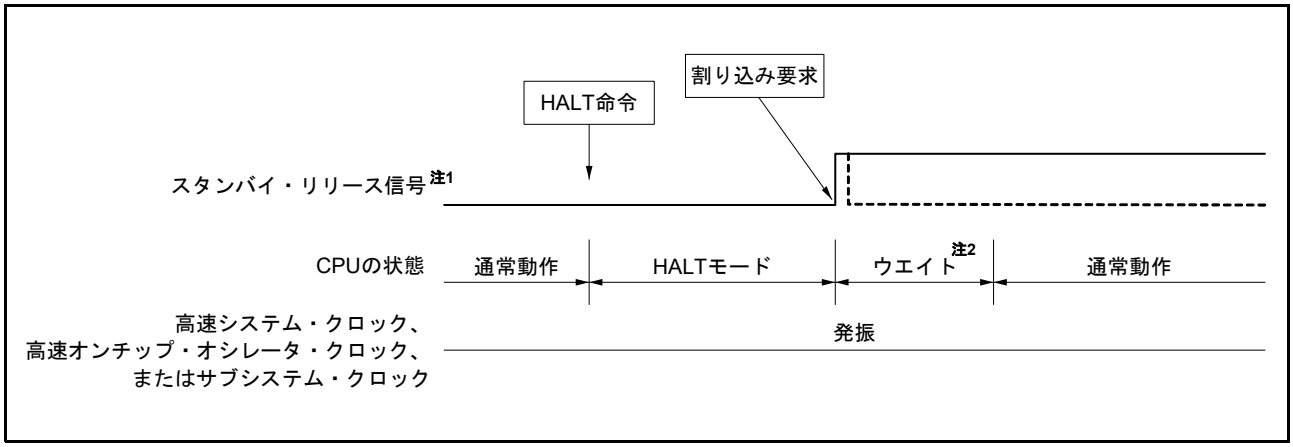
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受付許可状態であれば、ベクタ割り込み処理が行われます。割り込み受付禁止状態であれば、次のアドレスの命令が実行されます。

図16 - 1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関しての詳細は、**図14 - 1 割り込み機能の基本構成**を参照してください。

注2. HALTモード解除のウエイト時間

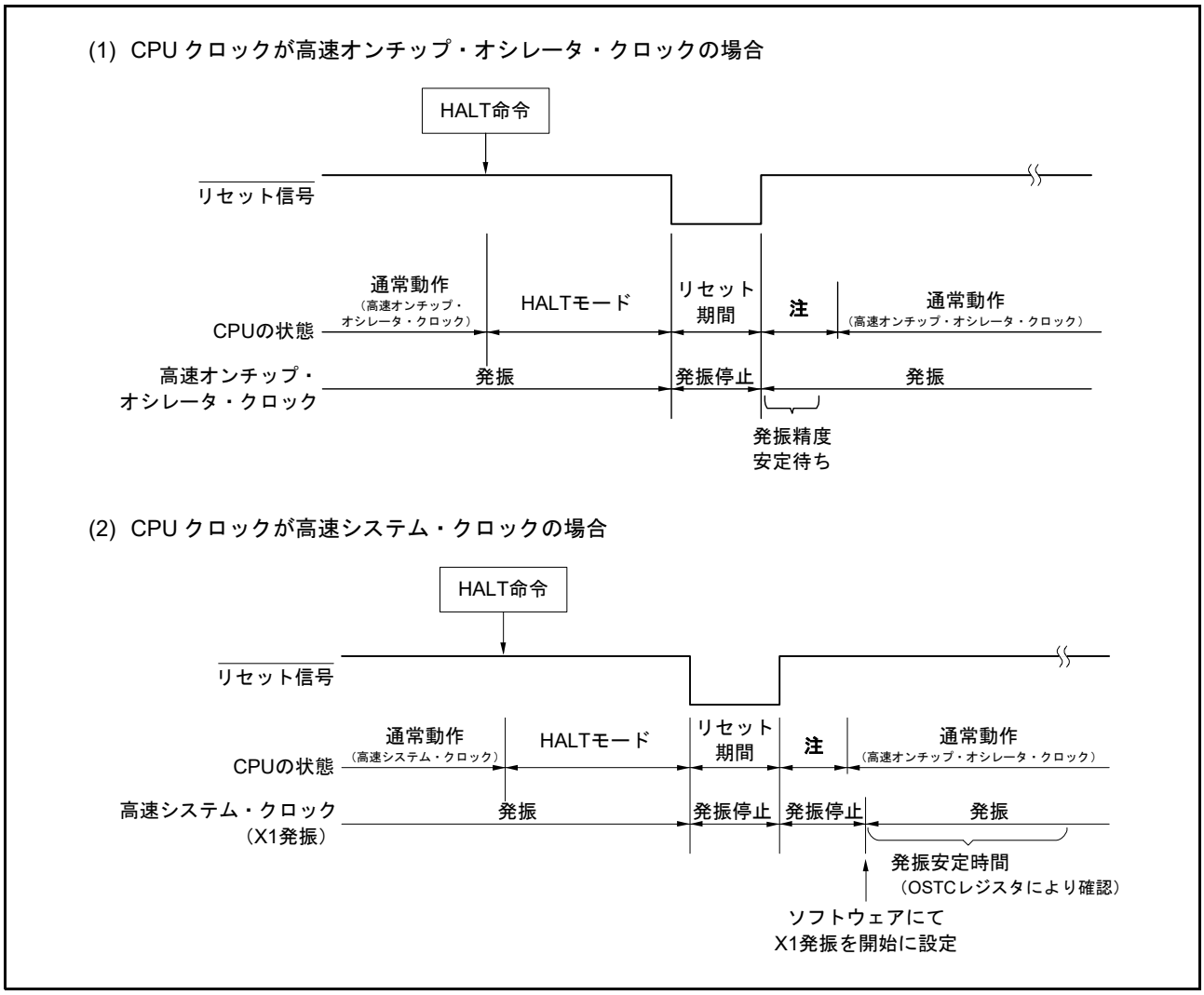
- ベクタ割り込み処理を行う場合
  - メイン・システム・クロック時：15～16クロック
  - サブシステム・クロック時 ：10～11クロック
- ベクタ割り込み処理を行わない場合
  - メイン・システム・クロック時：9～10クロック
  - サブシステム・クロック時 ：4～5クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

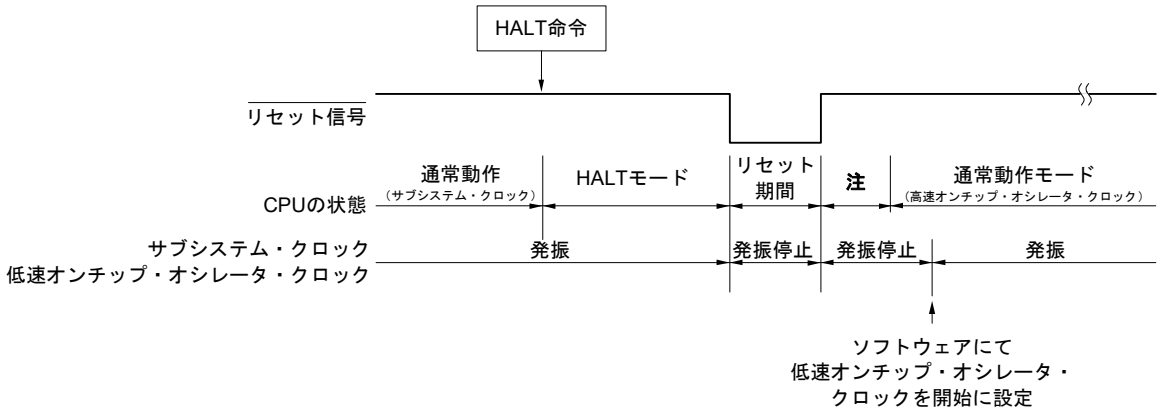
図16 - 2　HALTモードのリセットによる解除 (1/2)



注　リセット処理時間は、**第17章　リセット機能**を参照してください。なお、パワーオン・リセット回路（POR）と電圧検出回路（LVD0, LVD1）のリセット処理時間は、**第18章　パワーオン・リセット回路（POR）**を参照してください。

図16 - 2 HALTモードのリセットによる解除 (2/2)

(3) CPU クロックがサブシステム・クロックの場合



注 リセット処理時間は、**第17章 リセット機能**を参照してください。なお、パワーオン・リセット回路（POR）と電圧検出回路（LVD0, LVD1）のリセット処理時間は、**第18章 パワーオン・リセット回路（POR）**を参照してください。

16.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが0（割り込み処理許可）かつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。
したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

表16 - 3にSTOPモード時の動作状態を示します。

表16 - 3 STOPモード時の動作状態 (1/2)

STOPモードの設定 / 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（fX）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{IH}	停止		
	fX			
	f_{EX}			
サブシステム・クロック	f_{IL}	ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止		
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート（ラッチ）		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
32ビット・インターバル・タイマ		f_{SXP}選択のとき動作可能		
ウォッチドッグ・タイマ		**第9章 ウォッチドッグ・タイマ（WDT）参照**		
A/Dコンバータ		ウェイクアップ動作可能（SNOOZEモードへ移行）		
シリアル・アレイ・ユニット		CSIp, UARTqのみウェイクアップ動作可能（SNOOZEモードへ移行） CSIp, UARTq以外は動作禁止		
シリアル・インタフェースIICA		アドレス一致によるウェイクアップ動作可能		
シリアル・インタフェースUARTA		動作禁止		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み機能				

表16 - 3　　STOPモード時の動作状態 (2/2)

STOPモードの設定 / 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（fx）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
CRC演算機能	高速CRC	動作停止		
	汎用CRC			
不正メモリ・アクセス検出機能				
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				

備考1. 動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる

備考2. f_{IH}：高速オンチップ・オシレータ・クロック　f_X：X1クロック
f_{EX}：外部メイン・システム・クロック　f_{SXP}：低速周辺クロック
f_{IL}：低速オンチップ・オシレータ・クロック

備考3. 20～64ピン製品：p = 00, q = 0

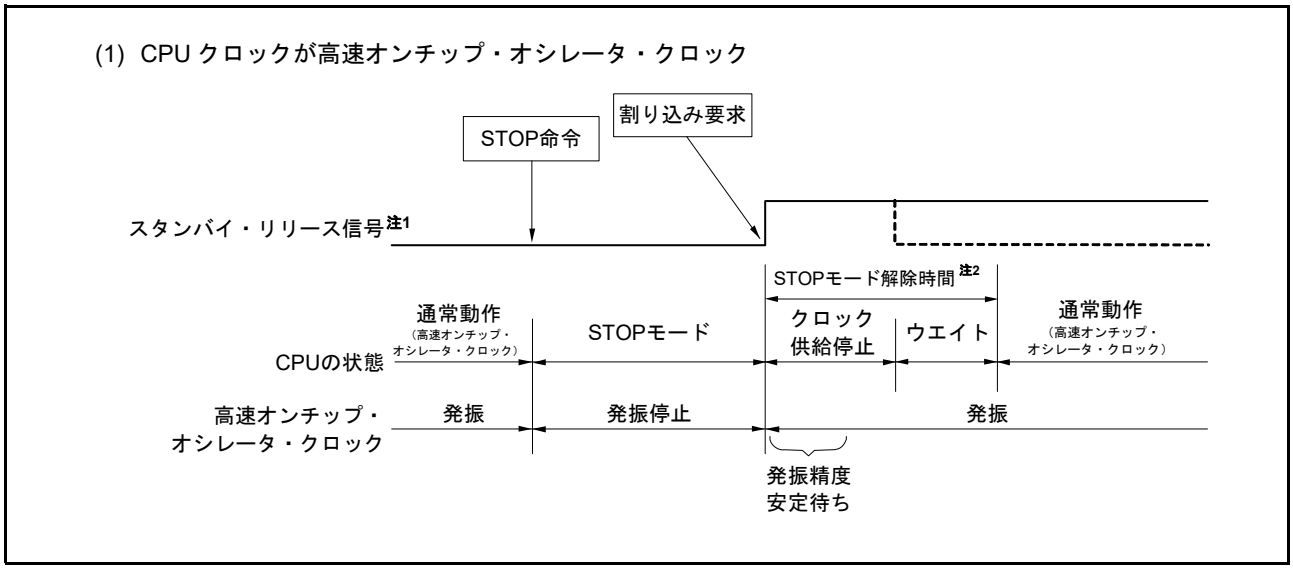
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受付許可状態であれば、ベクタ割り込み処理を行います。割り込み受付禁止状態であれば、次のアドレスの命令を実行します。

図16 - 3 STOPモードの割り込み要求発生による解除 (1/3)



注1. スタンバイ・リリース信号に関しての詳細は、**図14 - 1 割り込み機能の基本構成**を参照してください。

注2. STOPモード解除時間

- クロック供給停止：4.4～5.4 μs + 3～4クロック
- ウエイト
  - ベクタ割り込み処理を行う場合 ：7クロック
  - ベクタ割り込み処理を行わない場合：1クロック

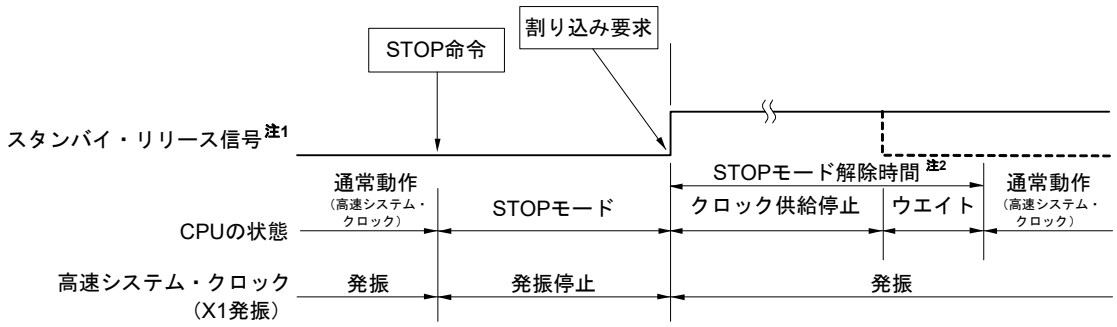
注意 高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図16 - 3 STOPモードの割り込み要求発生による解除 (2/3)

(2) CPU クロックが高速システム・クロック（X1 発振）の場合



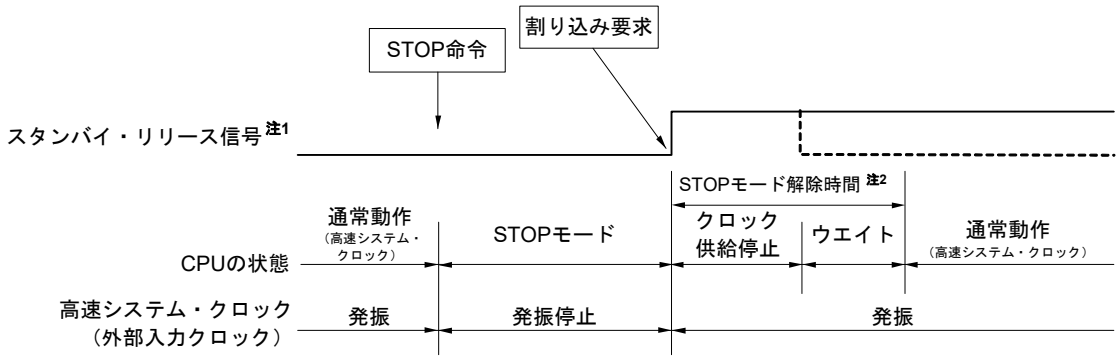
注1. スタンバイ・リリース信号に関しての詳細は、**図14 - 1 割り込み機能の基本構成**を参照してください。

注2. STOPモード解除時間

- クロック供給停止
  発振安定時間（OSTSレジスタで設定）+ 3～4クロック
- ウエイト
  – ベクタ割り込み処理を行う場合 : 7クロック
  – ベクタ割り込み処理を行わない場合 : 1クロック

図16 - 3 STOPモードの割り込み要求発生による解除 (3/3)

(3) CPU クロックが高速システム・クロック（外部クロック入力）の場合



注1. スタンバイ・リリース信号に関しての詳細は、**図14 - 1 割り込み機能の基本構成**を参照してください。

注2. STOPモード解除時間

- クロック供給停止
  外部クロック : 50～51クロック
- ウエイト
  – ベクタ割り込み処理を行う場合 : 7クロック
  – ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

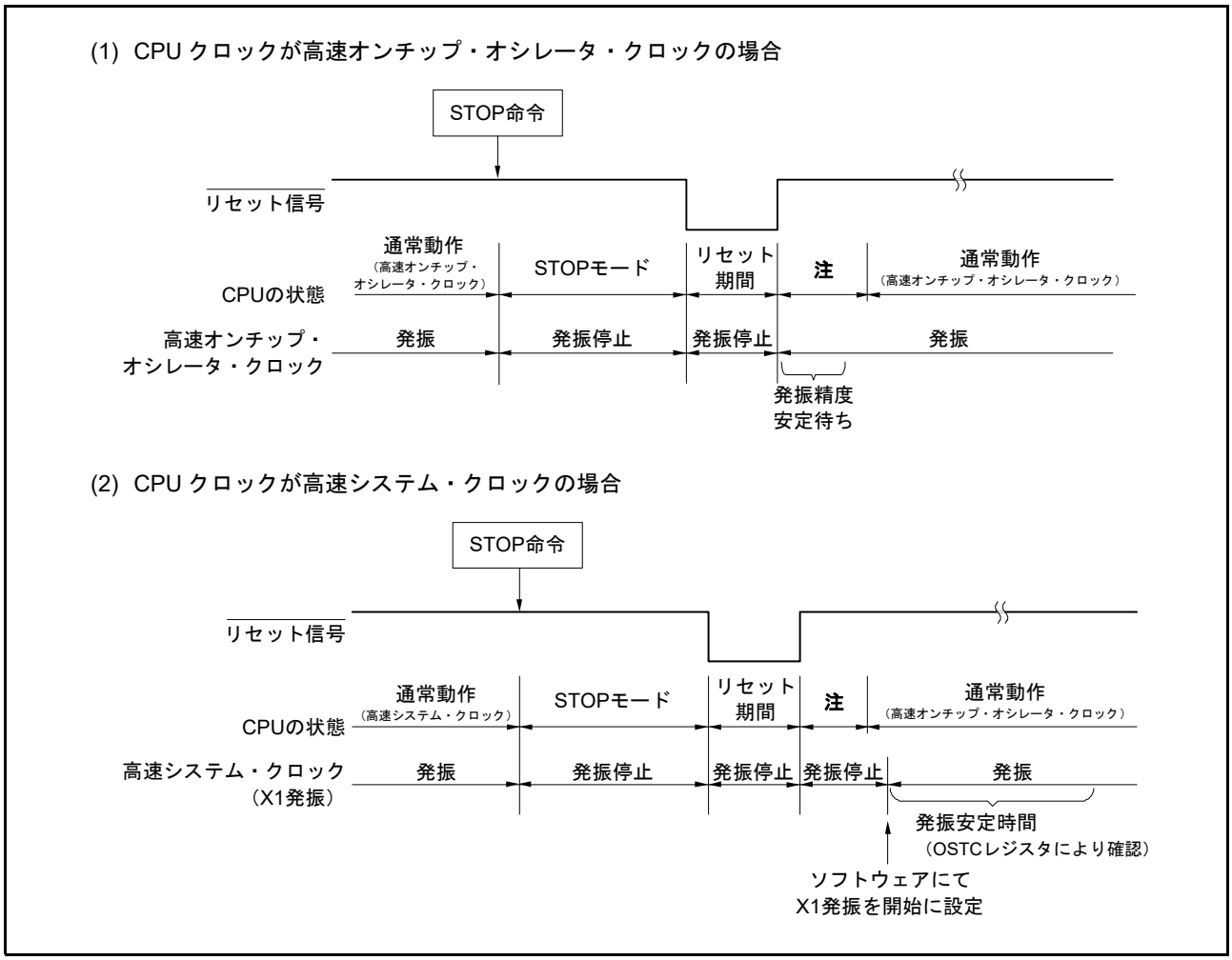
備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図16 - 4 STOPモードのリセットによる解除



注 リセット処理時間は、**第17章 リセット機能**を参照してください。なお、パワーオン・リセット回路（POR）と電圧検出回路（LVD0, LVD1）のリセット処理時間は、**第18章 パワーオン・リセット回路（POR）**を参照してください。

16.3.3　SNOOZEモード

(1) SNOOZEモードの設定および動作状態

以下の周辺によって設定可能です。

詳細については、各章を参照してください。

- **第10章　A/Dコンバータ（ADC）**
- **第11章　シリアル・アレイ・ユニット（SAU）**

また、設定前のCPUクロックが高速オンチップ・オシレータ・クロックの場合、設定可能です。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

★ - STOPモード→SNOOZEモードの遷移時間：4.4～5.4 μs

- SNOOZEモード→通常動作の遷移時間
  - ベクタ割り込み処理を行う場合　　：“0.3 ～ 0.4 μs” + 10 ～ 11 クロック
  - ベクタ割り込み処理を行わない場合：“0.3 ～ 0.4 μs” + 4 ～ 5 クロック

注意　STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

表16 - 4にSNOOZEモード時の動作状態を示します。

表16 - 4　SNOOZEモード時の動作状態

項目＼STOPモードの設定		STOPモード中にSNOOZEモードに移行可能な要因発生時
		高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f_{IH}	動作開始
	f_X	停止
	f_{EX}	
サブシステム・クロック	f_{IL}	ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート（ラッチ）		SNOOZEモード遷移前の状態を継続
タイマ・アレイ・ユニット		動作禁止
32ビット・インターバル・タイマ		f_{SXP}選択のとき動作可能
ウォッチドッグ・タイマ		**第9章　ウォッチドッグ・タイマ（WDT）**参照
A/Dコンバータ		動作可能
シリアル・アレイ・ユニット		CSIp, UARTqのみ動作可能 CSIp, UARTq以外は動作禁止
シリアル・インタフェースIICA		アドレス一致によるウェイクアップ動作可能
シリアル・インタフェースUARTA		動作禁止
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
キー割り込み機能		
CRC演算機能	高速CRC	動作停止
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

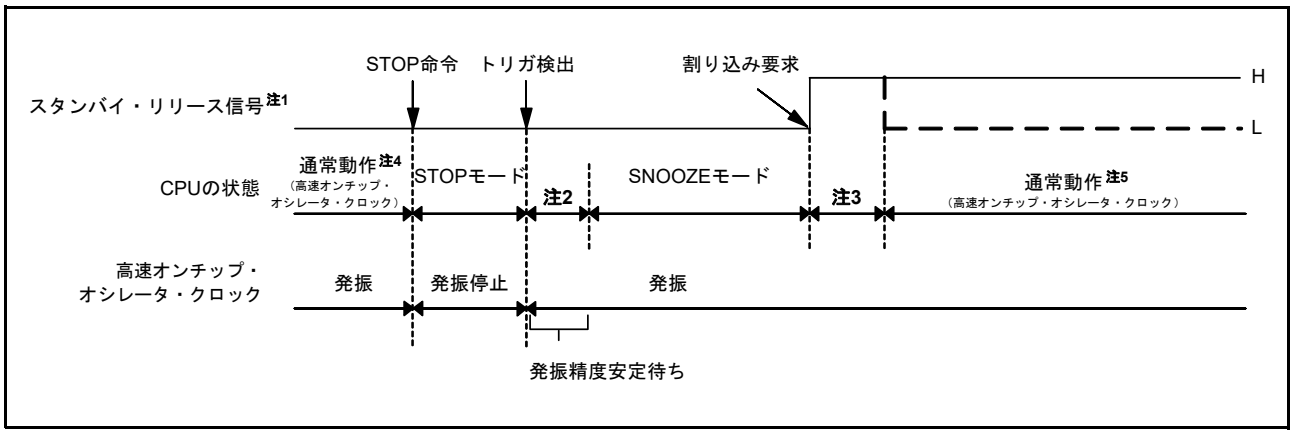
備考1. 動作停止：STOPモード移行時に自動的に動作停止
　　動作禁止：STOPモード移行前に動作を停止させる

備考2. f_{IH}：高速オンチップ・オシレータ・クロック　　f_X：X1クロック
　　f_{EX}：外部メイン・システム・クロック　　f_{SXP}：低速周辺クロック
　　f_{IL}：低速オンチップ・オシレータ・クロック

備考3. 20～64ピン製品：p = 00, q = 0

(2)　SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図16 - 5　　SNOOZEモードの割り込み要求が発生する場合



注1.　スタンバイ・リリース信号に関しての詳細は、**図14 - 1　割り込み機能の基本構成**を参照してください。

注2.　STOPモード→SNOOZEモードの遷移時間

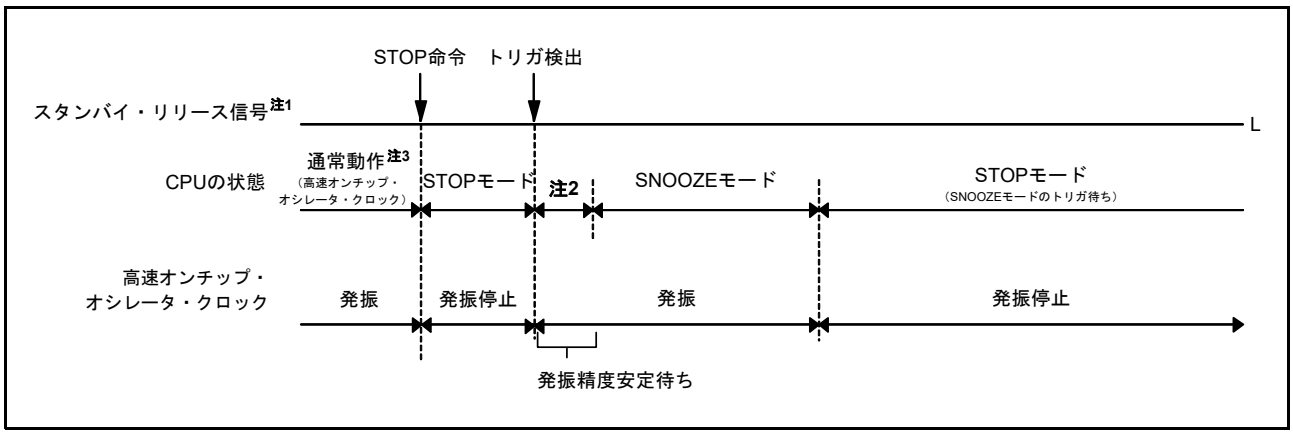
注3.　SNOOZEモード→通常動作の遷移時間

注4.　STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

注5.　通常動作に復帰後すぐに、必ずSNOOZEモード解除に設定してください。

(3)　SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図16 - 6　　SNOOZEモードの割り込み要求が発生しない場合



注1.　スタンバイ・リリース信号に関しての詳細は、**図14 - 1　割り込み機能の基本構成**を参照してください。

注2.　STOPモード→SNOOZEモードの遷移時間

注3.　STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

備考　SNOOZEモード機能の詳細は、下記の章を参照してください。

- **第10章　A/Dコンバータ（ADC）**
- **第11章　シリアル・アレイ・ユニット（SAU）**

第17章　リセット機能

リセット信号を発生させる方法には、次の 7 種類があります。

(1) $\overline{\text{RESET}}$端子による外部リセット入力
(2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3) パワーオン・リセット回路（POR）の電源電圧と検出電圧との比較による内部リセット
(4) 電圧検出回路（LVD0, LVD1）の電源電圧と検出電圧の比較による内部リセット
(5) 不正命令の実行による内部リセット注
(6) RAMパリティ・エラーによる内部リセット
(7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、パワーオン・リセット回路、LVD0, LVD1 の電圧検出、不正命令の実行注、RAM パリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは**表 17 - 1　リセット期間中の動作状態**に示すような状態になります。

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッギング・エミュレータによるエミュレーションでは発生しません。

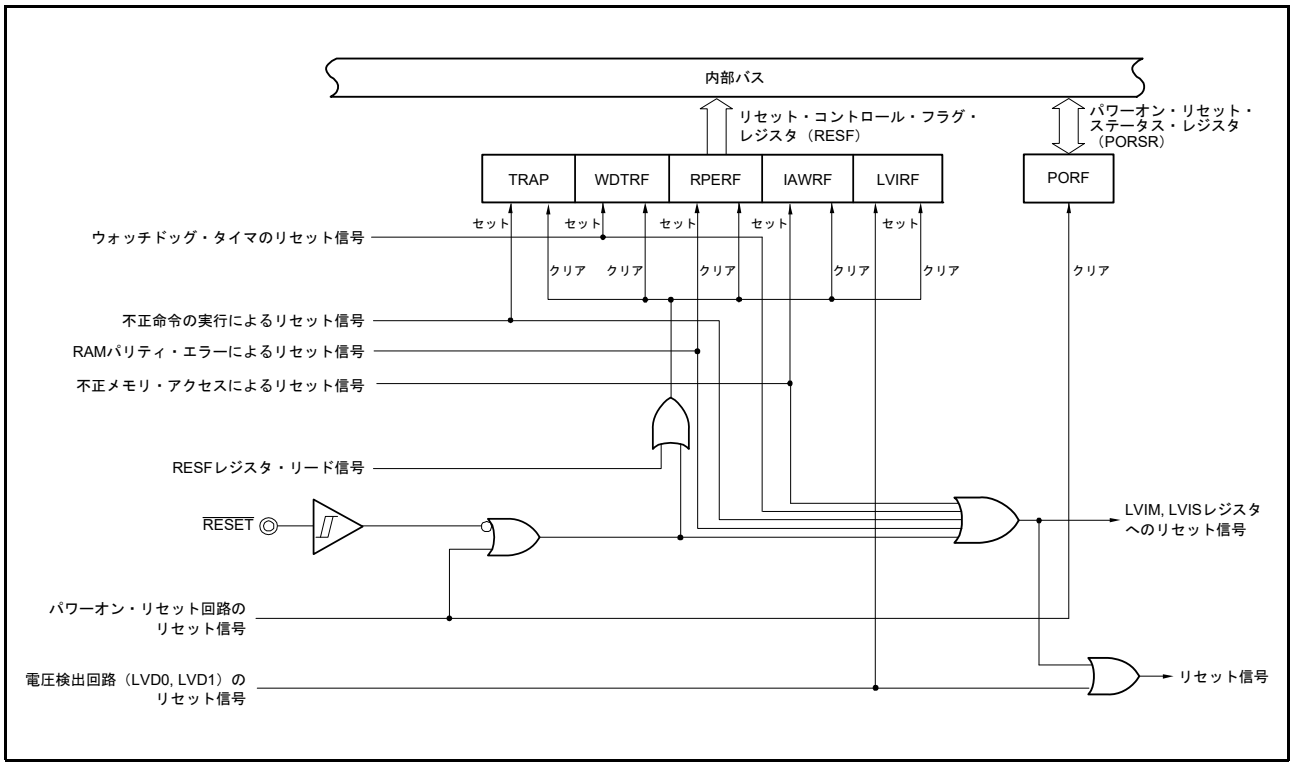
注意1. 外部リセットを行う場合、ユーザ・オプションバイト（000C1H）をPORTSELB = 1に設定して、P125を$\overline{\text{RESET}}$端子として選択し、10 μs以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合は、$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し、28.4　AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。

注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- **P40　：外部リセットか POR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）**
- **P125：外部リセットによるリセット期間中はロウ・レベル（$\overline{\text{RESET}}$ 端子にロウ・レベル入力）。それ以外のリセット期間中およびリセット受付後はハイ・レベル（内部プルアップ抵抗接続）**
- **P130：リセット期間中およびリセット受付後はロウ・レベル出力**
- **P40, P125, P130以外のポート：リセット期間中およびリセット受付後はハイ・インピーダンス**

図17 - 1　　リセット機能のブロック図

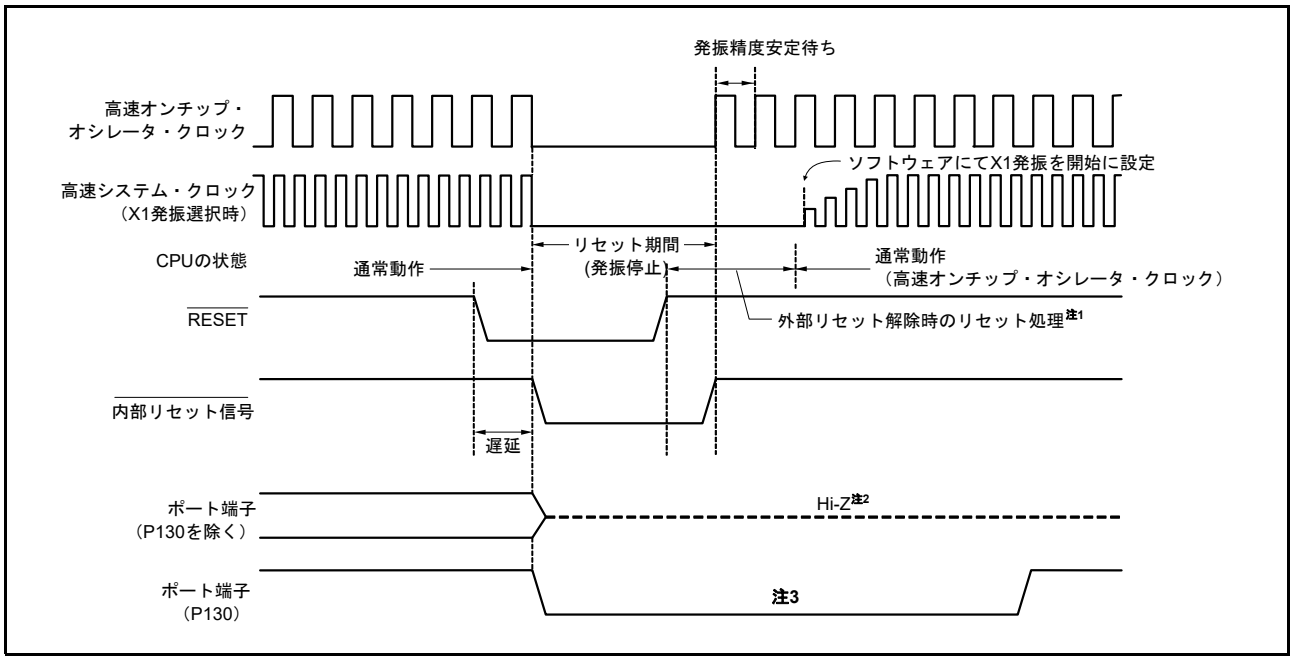


注意　LVD0の内部リセットの場合、LVD0はリセットされません。

17.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとリセットがかかり、$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されるとリセットが解除され、リセット処理後に高速オンチップ・オシレータ・クロックでプログラムの実行が開始されます。

図17 - 2 $\overline{\text{RESET}}$入力によるリセット・タイミング



注1. 外部リセット解除時のリセット時間：

POR解除後1回目 ：0.506 ms (Typ.), 0.694 ms (Max.)（LVD使用時）

0.201 ms (Typ.), 0.335 ms (Max.)（LVD未使用時）

POR解除後2回目以降 ：0.476 ms (Typ.), 0.616 ms (Max.)（LVD使用時）

0.170 ms (Typ.), 0.257 ms (Max.)（LVD未使用時）

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間（4.0 ms (Typ.), 9.9 ms (Max.)）がかかります。

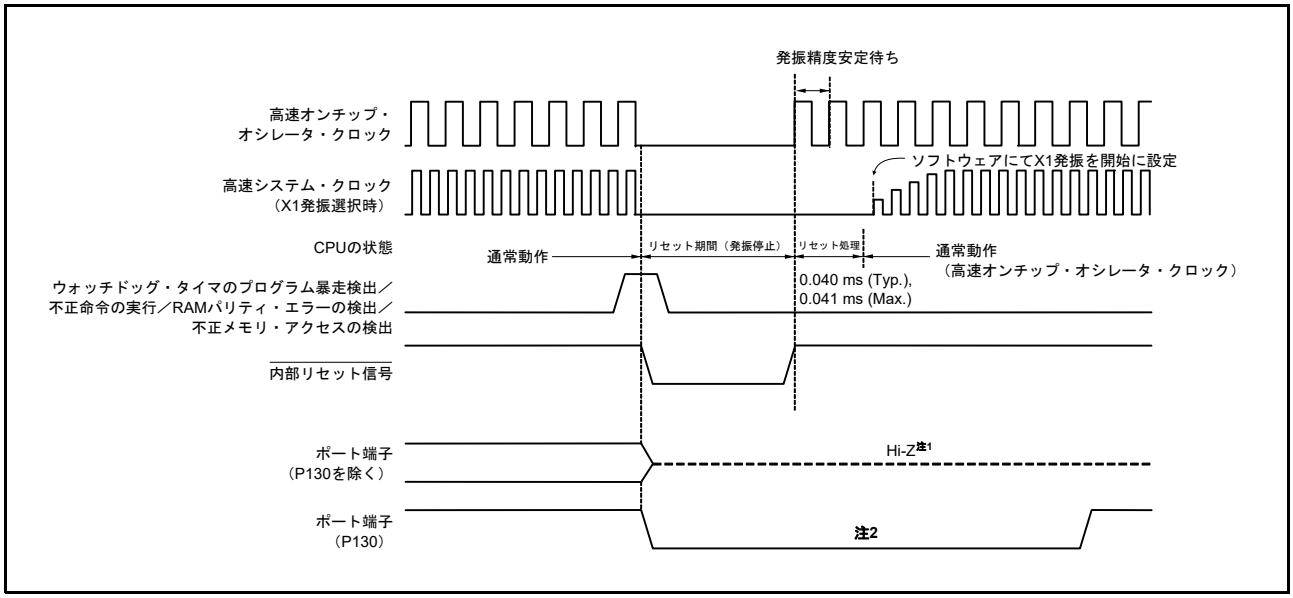
注2. ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

注3. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／RAM パリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図17 - 3　ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1.　ポート端子P40, P125は次の状態になります。

- リセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

注2.　リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

パワーオン・リセット回路またはLVD0の電圧検出によるリセットは、リセット後 $V_{DD} \geqq V_{POR}$ または $V_{DD} \geqq V_{LVD0}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、**第 18 章　パワーオン・リセット回路（POR）**または**第 19 章　電圧検出回路（LVD）**を参照してください。

備考　V_{POR} ：POR 電源立ち上がり検出電圧
V_{LVD0} ：LVD0 検出電圧

表17 - 1 リセット期間中の動作状態

項目			リセット期間中の動作状態
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_{IM}	
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	サブシステム・クロック	f_{IL}	動作停止
CPU			動作停止
コード・フラッシュ・メモリ			動作停止
データ・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート（ラッチ）			ハイ・インピーダンス注
タイマ・アレイ・ユニット			動作停止
32ビット・インターバル・タイマ			動作停止
ウォッチドッグ・タイマ			
A/Dコンバータ			
シリアル・アレイ・ユニット			
シリアル・インタフェースIICA			
シリアル・インタフェースUARTA			
パワーオン・リセット機能			検出動作可能
電圧検出機能			LVD0：LVD0リセット時はLVD0は動作可能。それ以外のリセット時は動作停止 LVD1：動作停止
外部割り込み			動作停止
キー割り込み機能			
CRC演算機能		高速CRC	
		汎用CRC	
不正メモリ・アクセス検出機能			
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

注 ポート端子P40, P125, P130は次の状態になります。

- P40 ：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内蔵プルアップ抵抗接続）
- P125：外部リセットによるリセット期間中はロウ・レベル（$\overline{\text{RESET}}$端子にロウ・レベル入力）。それ以外のリセット期間中およびリセット受付後はハイ・レベル（内部プルアップ抵抗接続）
- P130：リセット期間中はロウ・レベル出力

備考 f_{IH}：高速オンチップ・オシレータ・クロック　f_X：X1発振クロック
f_{IL}：低速オンチップ・オシレータ・クロック　f_{EX}：外部メイン・システム・クロック

表17 - 2　　各ハードウェアのリセット受付後の状態

ハードウェア		リセット受付後の状態
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（00000H, 00001H）の内容がセットされる注
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

備考　特殊機能レジスタ（SFR：Special Function Register）のリセット受付後の状態は、**3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域**および**3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域**を参照してください。

17.2 リセット要因を確認するレジスタ

リセット要因を確認するレジスタを次に示します。

- リセット・コントロール・フラグ・レジスタ（RESF）
- パワーオン・リセット・ステータス・レジスタ（PORSR）
- 周辺リセット制御レジスタ0（PRR0）
- 周辺リセット制御レジスタ1（PRR1）

17.2.1 リセット・コントロール・フラグ・レジスタ（RESF）

本製品は、内部リセット発生要因が多数存在します。RESF レジスタは、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8 ビット・メモリ操作命令で、読み出すことができます。

以下のいずれかの条件で TRAP, WDTRF, RPERF, IAWRF, LVIRF フラグはクリアされます。

- $\overline{\text{RESET}}$入力によるリセット
- パワーオン・リセット回路（POR）によるリセット
- RESF レジスタのデータを読み出し

図17 - 4 リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット (1/2)

アドレス : FFFA8H
リセット時: 不定[注1]
R/W属性 : R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

図17 - 4 リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット (2/2)

LVIRF	電圧検出回路（LVD0, LVD1）による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。**表17 - 3**を参照してください。

注2. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッギング・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可（RPECTL.RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、20.3.4 RAMパリティ・エラー検出機能を参照してください。

表 17 - 3 にリセット要求時の RESF レジスタの状態を示します。

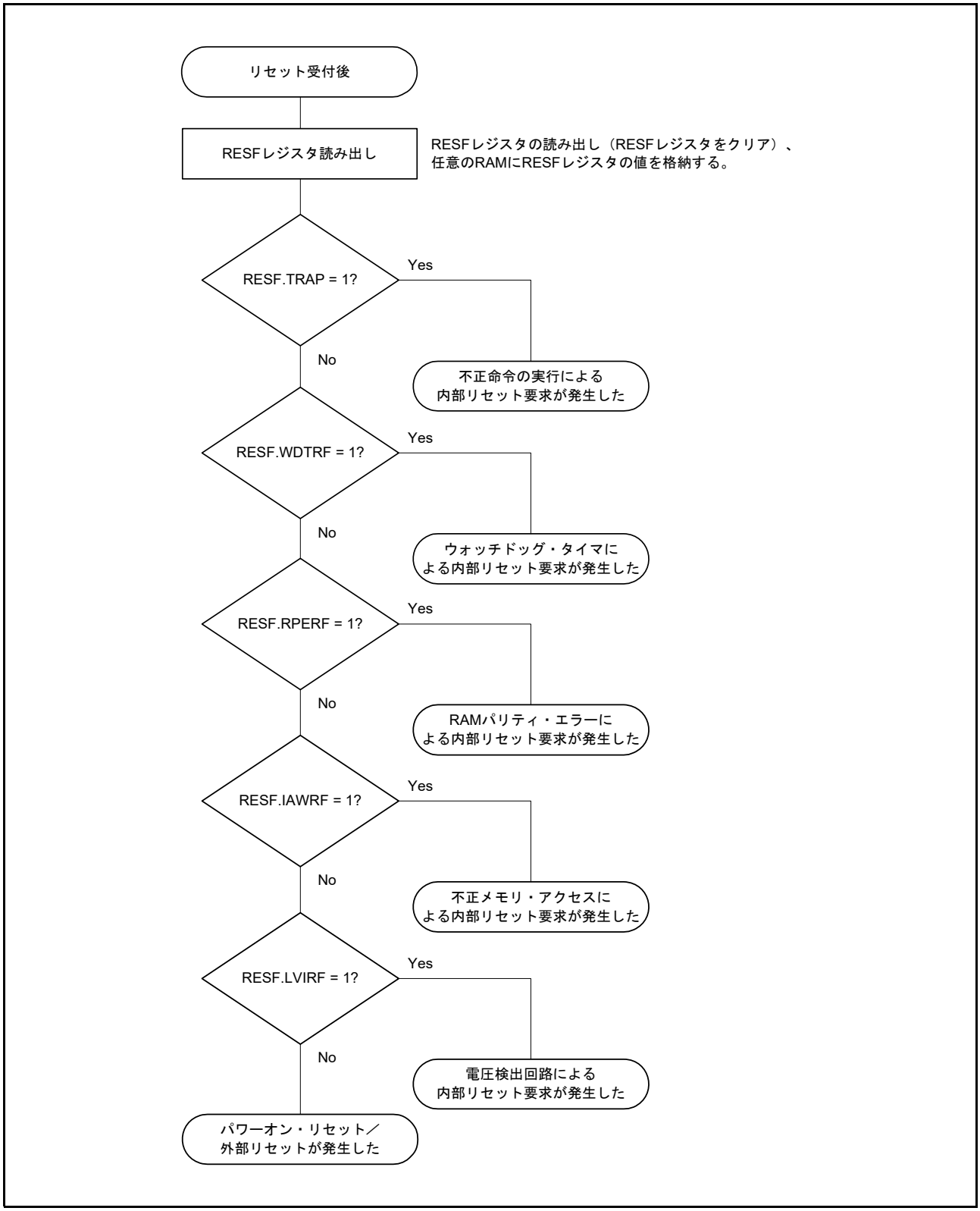
表17 - 3 リセット要求時のRESFレジスタの状態

リセット要因 / フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVD0, LVD1によるリセット
TRAP	クリア（0）	クリア（0）	セット（1）	保持	保持	保持	保持
WDTRF			保持	セット（1）			
RPERF				保持	セット（1）		
IAWRF					保持	セット（1）	
LVIRF						保持	セット（1）

RESF レジスタは、8 ビット・メモリ操作命令で読み出し後、自動的にクリアされます。

図 17 - 5 にリセット要因の確認手順例を示します。

図17 - 5　　リセット要因の確認手順例



※上記フローは確認手順の一例です。

17.2.2　パワーオン・リセット・ステータス・レジスタ（PORSR）

PORSR レジスタは、パワーオン・リセットの発生を確認するレジスタです。

本レジスタの PORF ビットは 1 書き込みのみ有効であり、0 書き込みは無効です。パワーオン・リセット発生の有無を確認するときは、あらかじめ PORF ビットに 1 を書き込んでおいてください。

PORSR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00H になります。

注意1. PORSR レジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。

注意2. PORF フラグが1のとき、パワーオン・リセットが発生していないことは保証されますが、RAM の値が保持されていることを保証するものではありません。

図17 - 6　パワーオン・リセット・ステータス・レジスタ（PORSR）のフォーマット

アドレス　：F00F9H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	<0>
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワーオン・リセット発生確認
0	1書き込みが行われていない、またはパワーオン・リセットが発生
1	パワーオン・リセットは発生していない

17.2.3　周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図17 - 7　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注	SAU1RES	SAU0RES	0	TAU0RES

IICA0RES	シリアル・インタフェースIICA0のリセット制御
0	シリアル・インタフェースIICA0のリセット解除
1	シリアル・インタフェースIICA0はリセット状態 • シリアル・インタフェースIICA0で使用するSFRが初期化されます。

ADCRES	A/Dコンバータのリセット制御
0	A/Dコンバータのリセット解除
1	A/Dコンバータはリセット状態 • A/Dコンバータで使用するSFRが初期化されます。

SAUnRES	シリアル・アレイ・ユニットnのリセット制御
0	シリアル・アレイ・ユニットnのリセット解除
1	シリアル・アレイ・ユニットnはリセット状態 • シリアル・アレイ・ユニットnで使用するSFRが初期化されます。

TAU0RES	タイマ・アレイ・ユニット0のリセット制御
0	タイマ・アレイ・ユニット0のリセット解除
1	タイマ・アレイ・ユニット0はリセット状態 • タイマ・アレイ・ユニット0で使用するSFRが初期化されます。

注　32～64ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。
注意2. 次のビットには、必ず0を設定してください。
20ピン製品：ビット4

備考　n = 0, 1

17.2.4　周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図17 - 8　周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス　: F00FBH
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	<4>	3	2	1	0
PRR1	0	0	0	TML32RES	0	0	0	0

TML32RES	32ビット・インターバル・タイマのリセット制御
0	32ビット・インターバル・タイマのリセット解除
1	32ビット・インターバル・タイマはリセット状態 • 32ビット・インターバル・タイマで使用するSFRが初期化されます。

注意　ビット7-5, 3-0には、必ず0を設定してください。

第18章　パワーオン・リセット回路（POR）

18.1　パワーオン・リセット回路の機能

パワーオン・リセット回路（POR）は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。
  電源電圧（V_{DD}）が検出電圧（V_{POR}）を超えた場合に、リセットを解除します。ただし、**28.4　AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。

- 電源電圧（V_{DD}）と検出電圧（V_{PDR}）を比較し、$V_{DD} < V_{PDR}$になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、**28.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意　パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）およびパワーオン・リセット・ステータス・レジスタ（PORSR）が00Hにクリアされます。

備考1. 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出回路（LVD）／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、00Hにクリアされずフラグが1にセットされます。RESFレジスタの詳細については、**第17章　リセット機能**を参照してください。

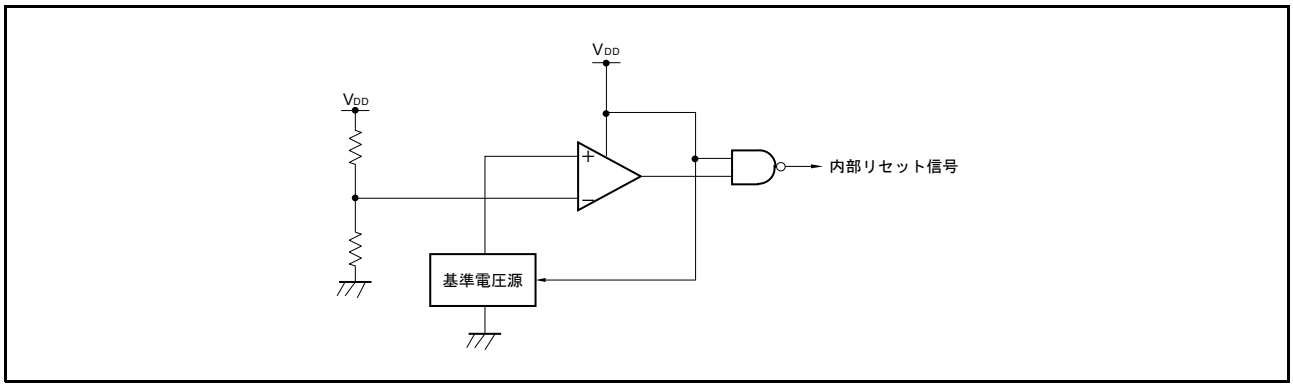
備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ（PORSR）で確認することができます。PORSRレジスタの詳細については、**第17章　リセット機能**を参照してください。

備考3. V_{POR}：POR電源立ち上がり検出電圧
V_{PDR}：POR電源立ち下がり検出電圧
詳細は、**28.6.4　POR回路特性**を参照してください。

18.2　パワーオン・リセット回路の構成

図 18 - 1 にパワーオン・リセット回路のブロック図を示します。

図18 - 1　　パワーオン・リセット回路のブロック図

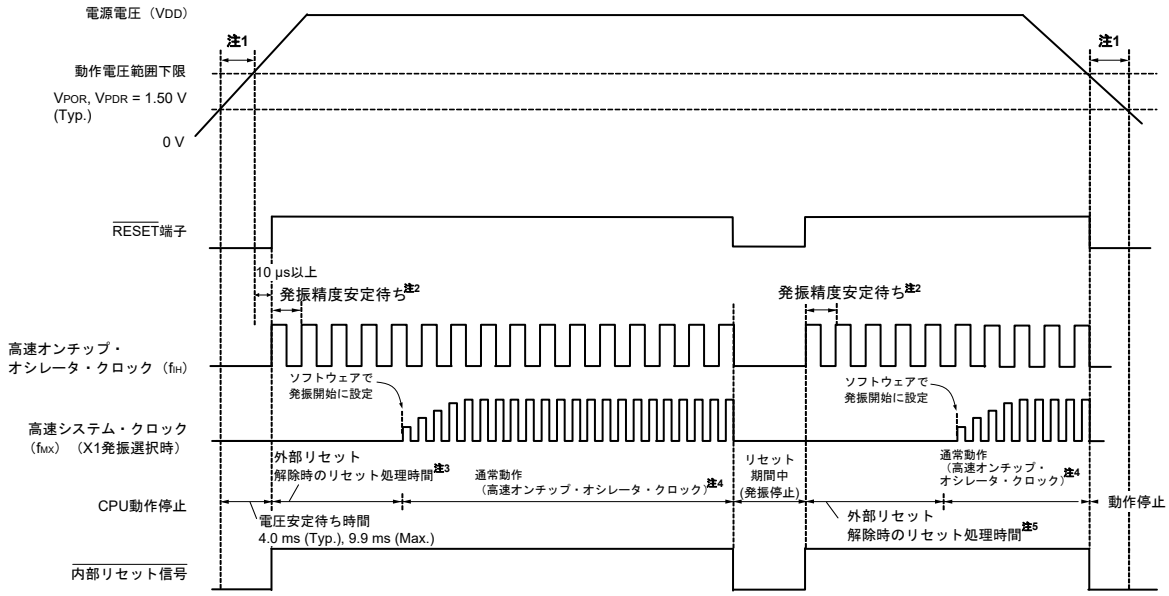


18.3　パワーオン・リセット回路の動作

図 18 - 2 にパワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを示します。

図18 - 2　　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/2)

(1) $\overline{\text{RESET}}$ 端子による外部リセット使用時



注1.　電源立ち上がり時は、**28.4　AC特性**に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

注2.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注3.　通常動作が開始されるまでの時間は、VPOR（1.50 V (Typ.)）に達してからの“電圧安定待ち時間”に加えて、$\overline{\text{RESET}}$信号をハイ・レベルにしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 ： 0.506 ms (Typ.), 0.694 ms (Max.)（LVD使用時）
0.201 ms (Typ.), 0.335 ms (Max.)（LVDオフ時）

注4.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたは低速オンチップ・オシレータ・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で、発振安定時間を確認してから切り替えてください。

注5.　POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

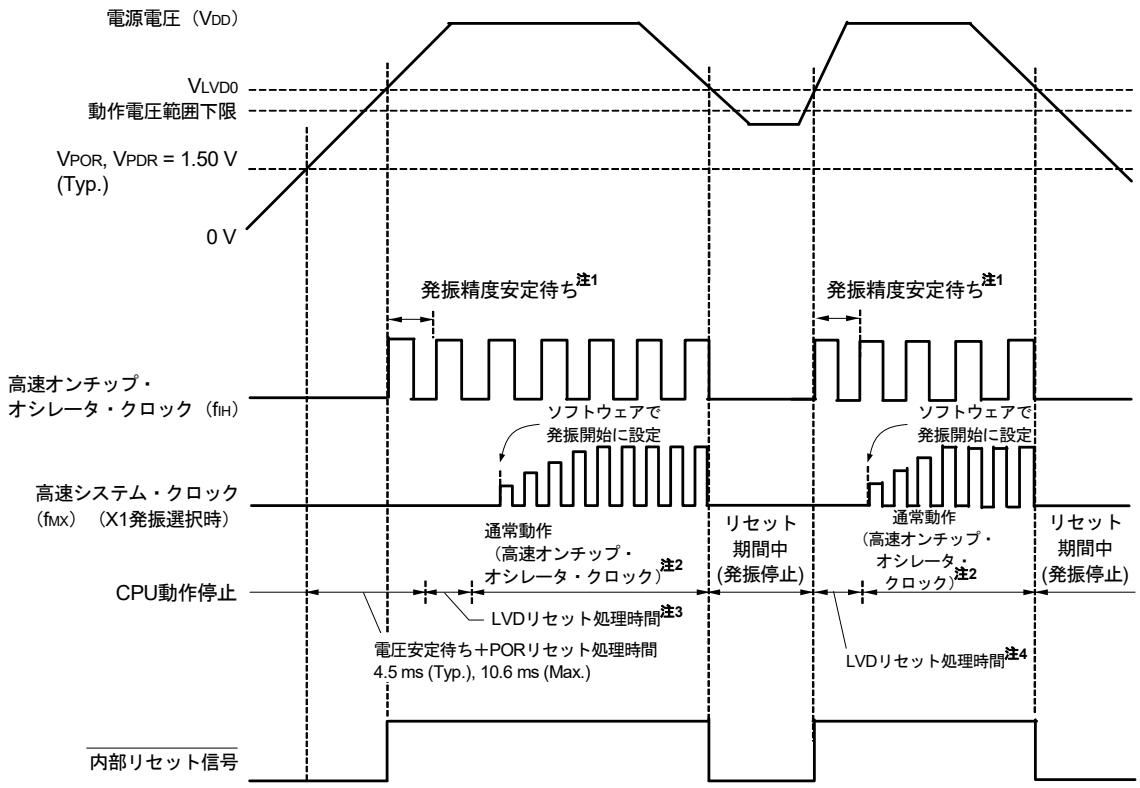
POR解除後2回目以降 ： 0.476 ms (Typ.), 0.616 ms (Max.)（LVD使用時）
0.170 ms (Typ.), 0.257 ms (Max.)（LVDオフ時）

注意　LVD0オフ時は必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。詳細は、第19章　電圧検出回路（LVD）を参照してください。

備考　VPOR：POR電源立ち上がり検出電圧
VPDR：POR電源立ち下がり検出電圧

図18 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/2)

(2) LVD0 リセット・モード時（ユーザ・オプション・バイト（000C1H）の LVD0SEL = 1）



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたは低速オンチップ・オシレータ・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で、発振安定時間を確認してから切り替えてください。

★ **注3.** 通常動作が開始されるまでの時間は、VPOR（1.50 V (Typ.)）に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD0検出レベル（VLVD0）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0～0.049 ms (Max.)

★ **注4.** 電源電圧降下時、電圧検出回路（LVD0）による内部リセットのみ発生後に電源電圧が復帰した場合、LVD0検出レベル（VLVD0）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0.045 ms (Typ.), 0.049 ms (Max.)

備考1. VLVD0：LVD検出電圧

VPOR ：POR電源立ち上がり検出電圧

VPDR ：POR電源立ち下がり検出電圧

備考2. LVD0割り込みモード（ユーザ・オプション・バイト（000C1H）のLVD0SEL = 0）を選択した場合、電源投入後に通常動作が開始されるまでの時間は、**注3**の時間と同じです。

備考3. LVD1は電源投入時、動作停止です。また、内部リセットにより動作停止になります。

第19章　電圧検出回路（LVD）

19.1　電圧検出回路の機能

電圧検出回路 0（LVD0）は、ユーザ・オプション・バイト（000C1H）で動作モードと検出電圧（V_{LVD0}）を設定します。また、電圧検出回路 1（LVD1）は、電圧検出レベル・レジスタで動作モードと検出電圧（V_{LVD1}）を設定します。

電圧検出回路は、次のような機能を持ちます。

- LVD0およびLVD1は、電源電圧（V_{DD}）と検出電圧（V_{LVD0}, V_{LVD1}）を比較し、内部リセットまたは割り込み要求信号を発生します。
- LVD0は、ユーザ・オプション・バイトにて検出電圧（V_{LVD0}）を6段階より選択できます（**第23章　オプション・バイト**参照）。
- LVD1は、電圧検出レベル・レジスタにて検出電圧（V_{LVD1}）を18段階より選択できます。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、**28.4　AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

リセット・モード LVD0	リセット・モード LVD1	割り込みモード LVD0	割り込みモード LVD1
$V_{DD} \geqq V_{LVD0}$を検出して内部リセットを解除します。$V_{DD} < V_{LVD0}$を検出して内部リセットを発生し、$V_{DD} \geqq V_{LVD0}$になるまでリセット状態は継続されます。	LVD1の動作許可後、$V_{DD} < V_{LVD1}$を検出して内部リセットを発生します。	リセット発生直後、LVDの内部リセットは$V_{DD} \geqq V_{LVD0}$になるまでリセット状態を継続します。$V_{DD} \geqq V_{LVD0}$を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、$V_{DD} < V_{LVD0}$または$V_{DD} \geqq V_{LVD0}$を検出して割り込み要求信号（INTLVI）を発生します。	LVD1の動作許可後、$V_{DD} < V_{LVD1}$を検出して割り込み要求信号（INTLVI）を発生します。1回目の検出後は、$V_{DD} < V_{LVD1}$または$V_{DD} \geqq V_{LVD1}$を検出して割り込み要求信号（INTLVI）を発生します。

LVD0, LVD1 動作時では、電圧検出フラグ（LVDnF：電圧検出レジスタ（LVIM）のビット 0, 1）を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）の LVIRF ビットが 1 にセットされます。RESF レジスタについての詳細は、**第 17 章　リセット機能**を参照してください。

19.2　電圧検出回路の構成

図 19 - 1 および**図 19 - 2** に電圧検出回路のブロック図を示します。

図19 - 1　　LVD0のブロック図

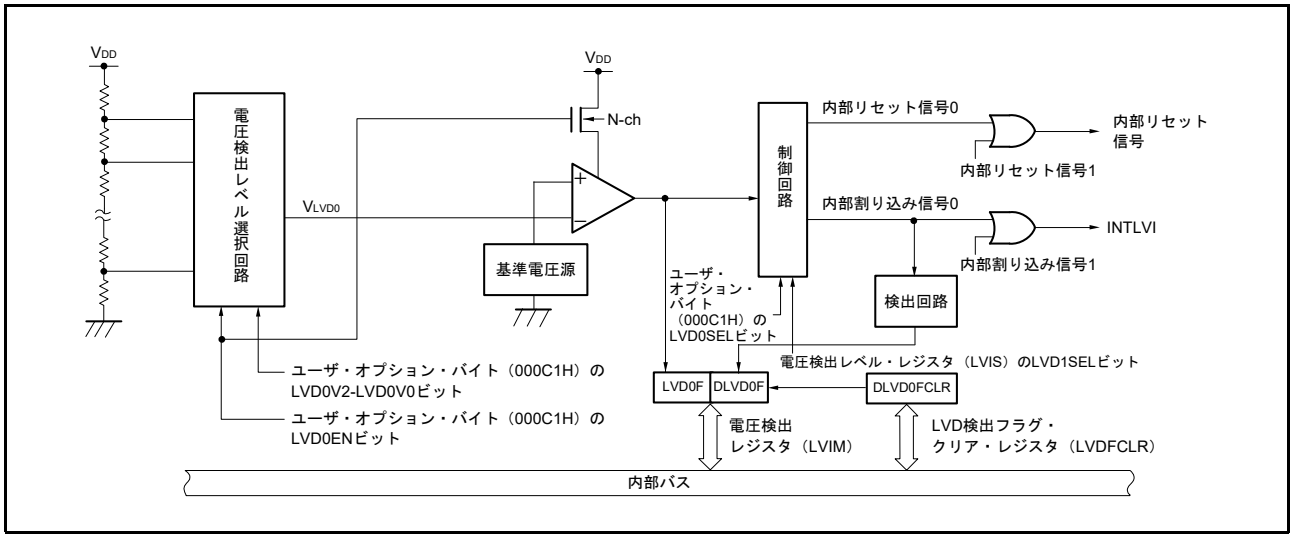
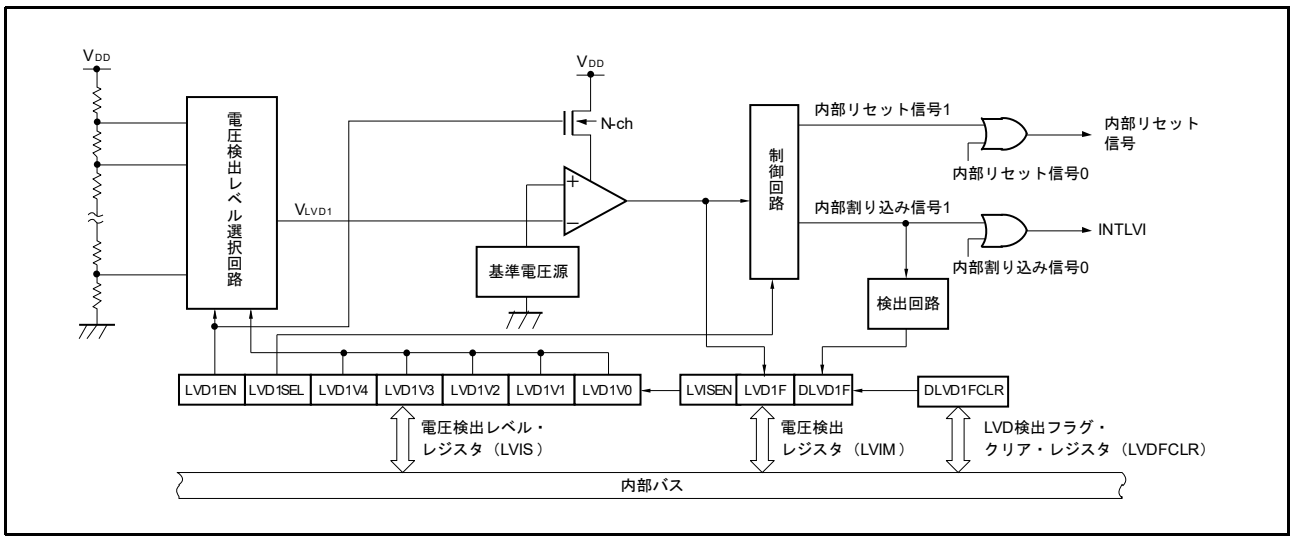


図19 - 2　　LVD1のブロック図



19.3　電圧検出回路を制御するレジスタ

電圧検出回路を制御するレジスタを次に示します。

- ユーザ・オプション・バイト（000C1H/040C1H）：**第23章　オプション・バイト**を参照
- 電圧検出レジスタ（LVIM）
- LVD検出フラグ・クリア・レジスタ（LVDFCLR）
- 電圧検出レベル・レジスタ（LVIS）

19.3.1　電圧検出レジスタ（LVIM）

LVIM レジスタは、電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定、LVD0 および LVD1 の状態を確認するレジスタです。

LVIM レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図19 - 3　電圧検出レジスタ（LVIM）のフォーマット

アドレス　：FFFA9H

リセット時：00H**注1**

R/W属性　：R/W**注2, 3**

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
LVIM	LVISEN	0	0	0	DLVD1F	DLVD0F	LVD1F	LVD0F

LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	LVIS レジスタの書き換え禁止
1**注4**	LVIS レジスタの書き換え許可（LVD1によるリセットおよび割り込み発生がマスクされます）

DLVDnF	LVDnの割り込み検出フラグ
0	LVDnの割り込みは未検出
1	LVDnの割り込みを検出

LVDnF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVDn}）、またはLVDオフ時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVDn}）

注1.　LVD0が動作許可かつ電源電圧（V_{DD}）＜検出電圧（V_{LVD0}）の場合、リセット値は01Hになります。

注2.　ビット1, 0は、読み出しのみ可能です。

注3.　ビット3, 2は、読み出しのみ可能です。LVD検出フラグ・クリア・レジスタ（LVDFCLR）でクリア可能です。

注4.　LVISENビットが1の状態では、LVD1によるリセットおよび割り込み発生がマスクされます。このため、LVISレジスタを書き換えた後はLVISENビットを0にしてください。

備考　n = 0, 1

19.3.2　LVD検出フラグ・クリア・レジスタ（LVDFCLR）

LVDFCLR レジスタは、電圧検出レジスタ（LVIM）の割り込み検出フラグ（DLVD0F, DLVD1F）をクリアするレジスタです。

LVDFCLR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図19 - 4　LVD検出フラグ・クリア・レジスタ（LVDFCLR）のフォーマット

アドレス　: F0218H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	<3>	<2>	1	0
LVDFCLR	0	0	0	0	DLVD1FCLR	DLVD0FCLR	0	0

DLVD1FCLR 注	DLVD1Fクリア
0	無効
1	1を書き込むことにより、DLVD1Fフラグをクリア

DLVD0FCLR 注	DLVD0Fクリア
0	無効
1	1を書き込むことにより、DLVD0Fフラグをクリア

注　1のみ書き込めます。0の書き込みは無効となります。
1書き込み後も0が読めます。

19.3.3 電圧検出レベル・レジスタ（LVIS）

LVIS レジスタは、LVD1 の電圧検出レベルを設定するレジスタです。
LVIS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、19H になります。

図19 - 5 電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス ：FFFAAH
リセット時: 19H
R/W属性 ：R/W

略号	<7>	<6>	5	4	3	2	1	0
LVIS	LVD1EN	LVD1SEL	0	LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0

LVD1EN	LVD1の動作許可
0	動作停止
1	動作許可

LVD1SEL	LVD1の動作モード
0	割り込みモード
1	リセットモード

LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0	LVD1検出電圧注1, 2, 3		
						立ち上がり	立ち下がり
1	1	1	1	1	V_{LVD117}	1.67 V注4	1.63 V注4
1	1	1	1	0	V_{LVD116}	1.78 V注4	1.74 V注4
1	1	1	0	1	V_{LVD115}	1.88 V注4	1.84 V注4
1	1	1	0	0	V_{LVD114}	1.98 V	1.94 V
1	1	0	1	1	V_{LVD113}	2.09 V	2.04 V
1	1	0	1	0	V_{LVD112}	2.20 V	2.15 V
1	1	0	0	1	V_{LVD111}	2.30 V	2.25 V
1	1	0	0	0	V_{LVD110}	2.40 V	2.35 V
1	0	1	1	1	V_{LVD19}	2.50 V	2.45 V
1	0	1	1	0	V_{LVD18}	2.66 V	2.60 V
1	0	1	0	1	V_{LVD17}	2.82 V	2.76 V
1	0	1	0	0	V_{LVD16}	2.97 V	2.91 V
1	0	0	1	1	V_{LVD15}	3.13 V	3.06 V
1	0	0	1	0	V_{LVD14}	3.35 V	3.27 V
1	0	0	0	1	V_{LVD13}	3.55 V	3.47 V
1	0	0	0	0	V_{LVD12}	3.75 V	3.67 V
0	1	1	1	1	V_{LVD11}	3.96 V	3.88 V
0	1	1	1	0	V_{LVD10}	4.16 V	4.08 V

（注、注意は次ページに続きます）

注1. LVD1V4-LVD1V0ビットは、リセット解除後、1回のみ書き換え可能です。

注2. LVD0をリセット・モードに設定する場合、LVD1の検出電圧は、LVD0の検出電圧よりも高く設定してください。

注3. LVD0を割り込みモードかつLVD0検出電圧＞LVD1検出電圧に設定した場合、リセット解除後のLVD1設定以降はLVD0が不定になります。

注4. LVD0がオフのときに使用できます。

注意　LVISレジスタを書き換える場合は、図19 - 10、図19 - 11の手順で行ってください。

19.4　電圧検出回路の動作

19.4.1　リセット・モードとして使用する場合の設定

LVD0 では、動作モード（リセット・モード（LVD0SEL = 1））と検出電圧（V_{LVD0}）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1 では、動作モード（リセット・モード（LVD1SEL = 1））と検出電圧（V_{LVD1}）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD リセット・モードの動作

  LVD0 において、リセット・モード（ユーザ・オプション・バイトの LVD0SEL = 1）は、電源投入時、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を超えるまでは LVD0 による内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を超えると内部リセットを解除します。

  動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を下回ると LVD0 による内部リセットが発生します。

  LVD1 は、電源投入時、動作停止になっています。LVD1 を動作許可することにより、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回ると LVD1 による内部リセットが発生します。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回っている状態で動作許可すると、動作許可したタイミングで LVD1 による内部リセットが発生します。なお、LVD1 をリセット・モードに設定すると LVD0 は割り込みモードになります。また、LVD1 による内部リセットが発生することにより、LVD0 はリセット・モードになります。

  LVD1 検出電圧は、リセット解除後、1 回のみ設定可能です。

図 19 - 6 に LVD0 の内部リセット信号発生のタイミング、**図 19 - 7** に LVD1 の内部リセット信号発生のタイミングを示します。

図19 - 6　LVD0の内部リセット信号発生のタイミング

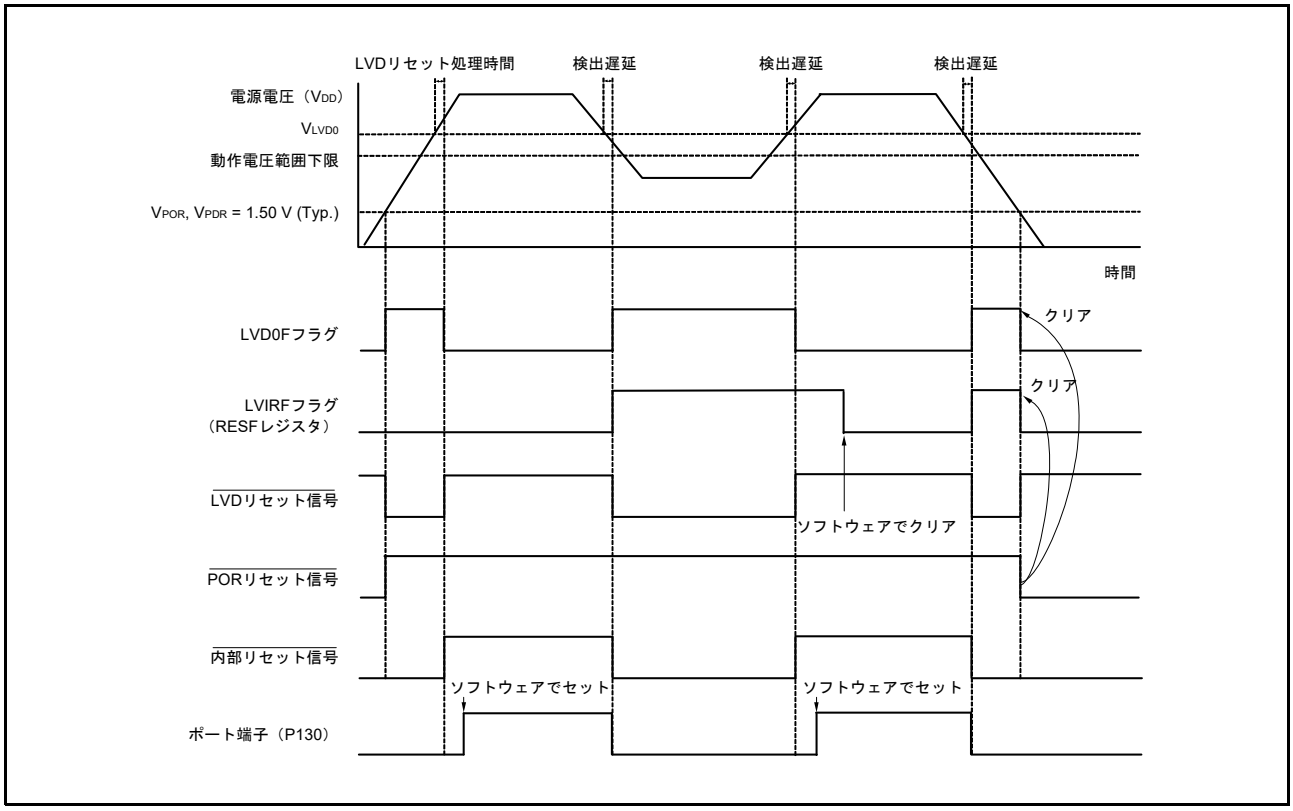
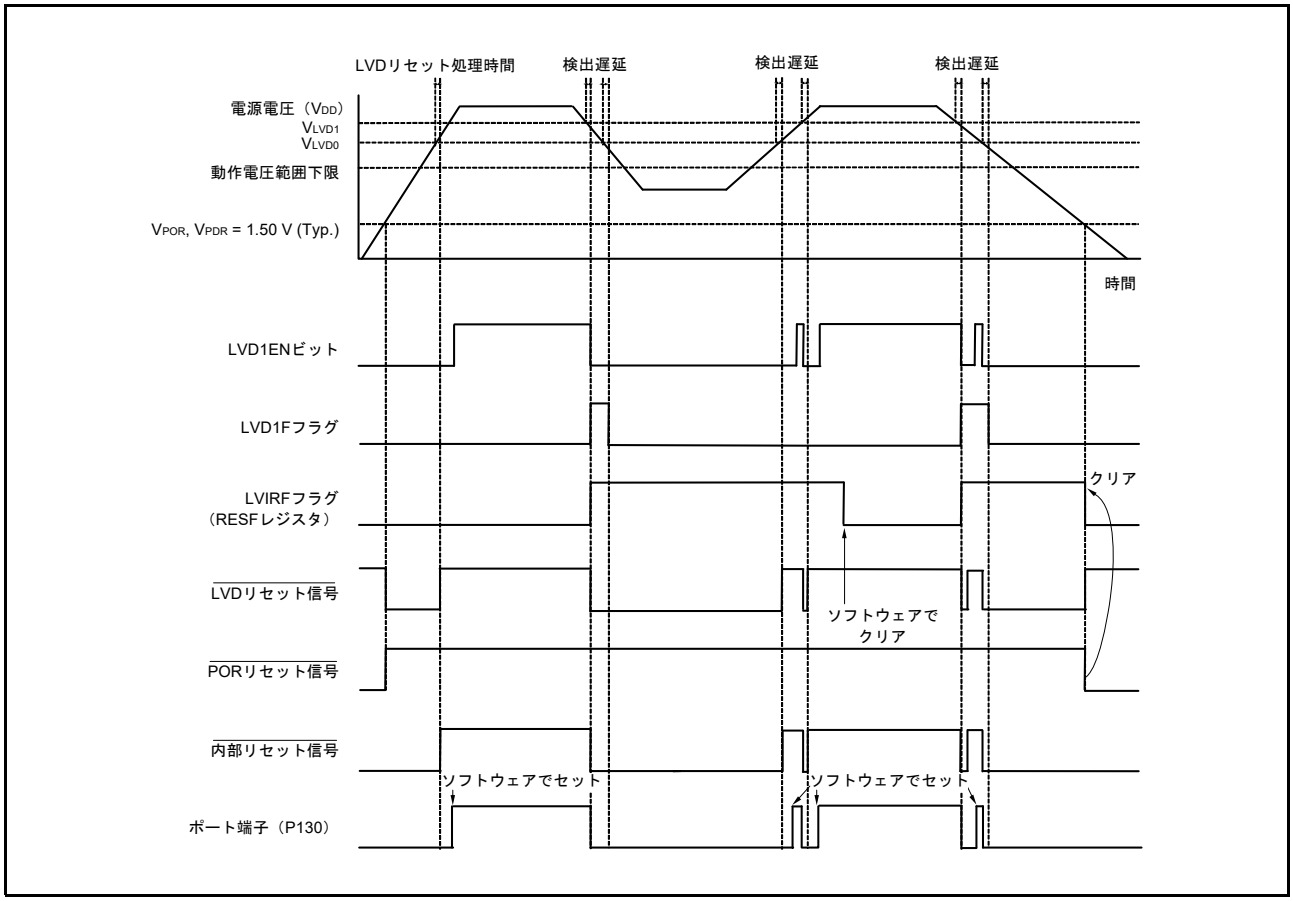


図19 - 7　LVD1の内部リセット信号発生のタイミング



備考　LVD0：リセット・モード

19.4.2　割り込みモードとして使用する場合の設定

LVD0 では、動作モード（割り込みモード（LVD0SEL = 0））と検出電圧（V_{LVD0}）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1 では、（割り込みモード（LVD1SEL = 0））と検出電圧（V_{LVD1}）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD割り込みモードの動作

  LVD0において、割り込みモード（ユーザ・オプション・バイトのLVD0SEL = 0）では、リセット発生直後、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を上回るまではLVD0による内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を上回るとLVD0による内部リセットを解除します。

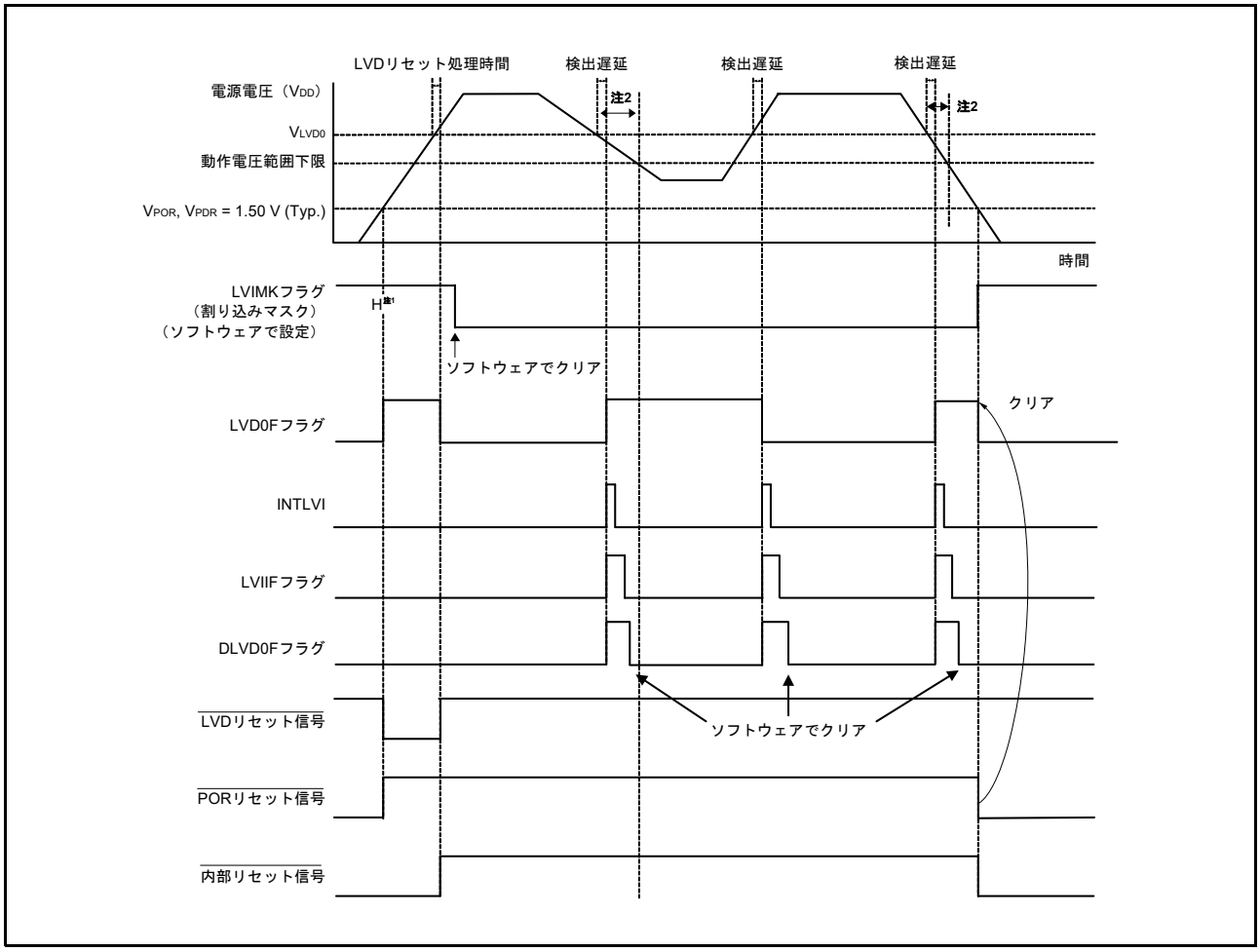
  LVD0の内部リセット解除後は、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を下回るとLVD0による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を上回るとLVD0による割り込み要求信号（INTLVI）が発生します。電源電圧降下時は、**28.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

  LVD1は、電源投入時、動作停止になっています。LVD1を動作許可にすることにより、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回るとLVD1による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を上回るとLVD1による割り込み要求信号（INTLVI）が発生します。なお、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による割り込み要求信号（INTLVI）が発生します。

  LVD1検出電圧は、リセット解除後、1回のみ設定可能です。

図 19 - 8 に LVD0 の割り込み要求信号発生のタイミング、**図 19 - 9** に LVD1 の割り込み要求信号発生のタイミングを示します。

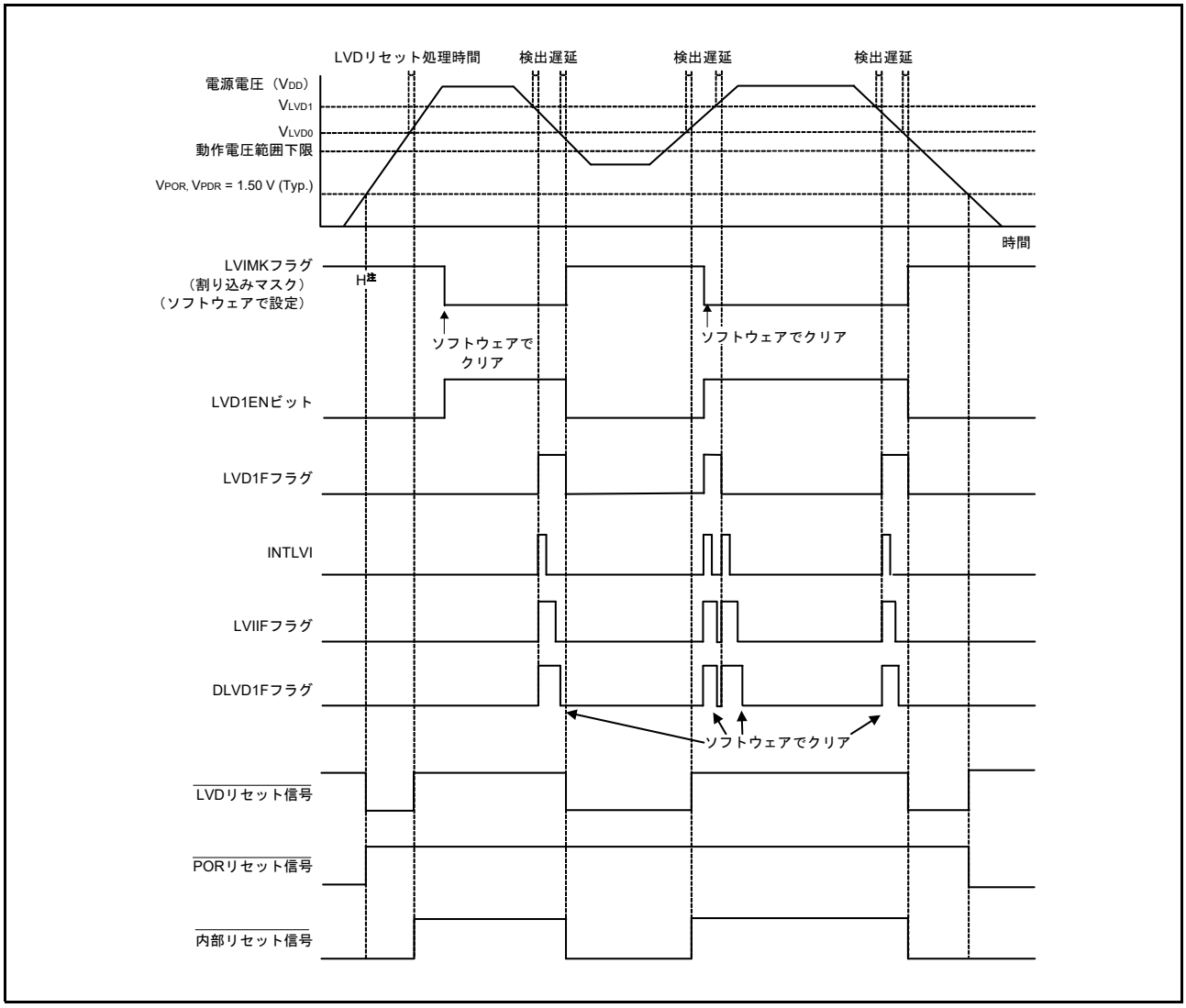
図19 - 8　LVD0の割り込み要求信号発生のタイミング



注1.　LVIMKフラグはリセット信号の発生により、1になっています。

注2.　動作電圧降下時は、**28.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図19 - 9 LVD1の割り込み要求信号発生のタイミング



注 LVIMKフラグはリセット信号の発生により、1になっています。

備考 LVD0：リセット・モード

19.5　電圧検出回路使用時の注意事項

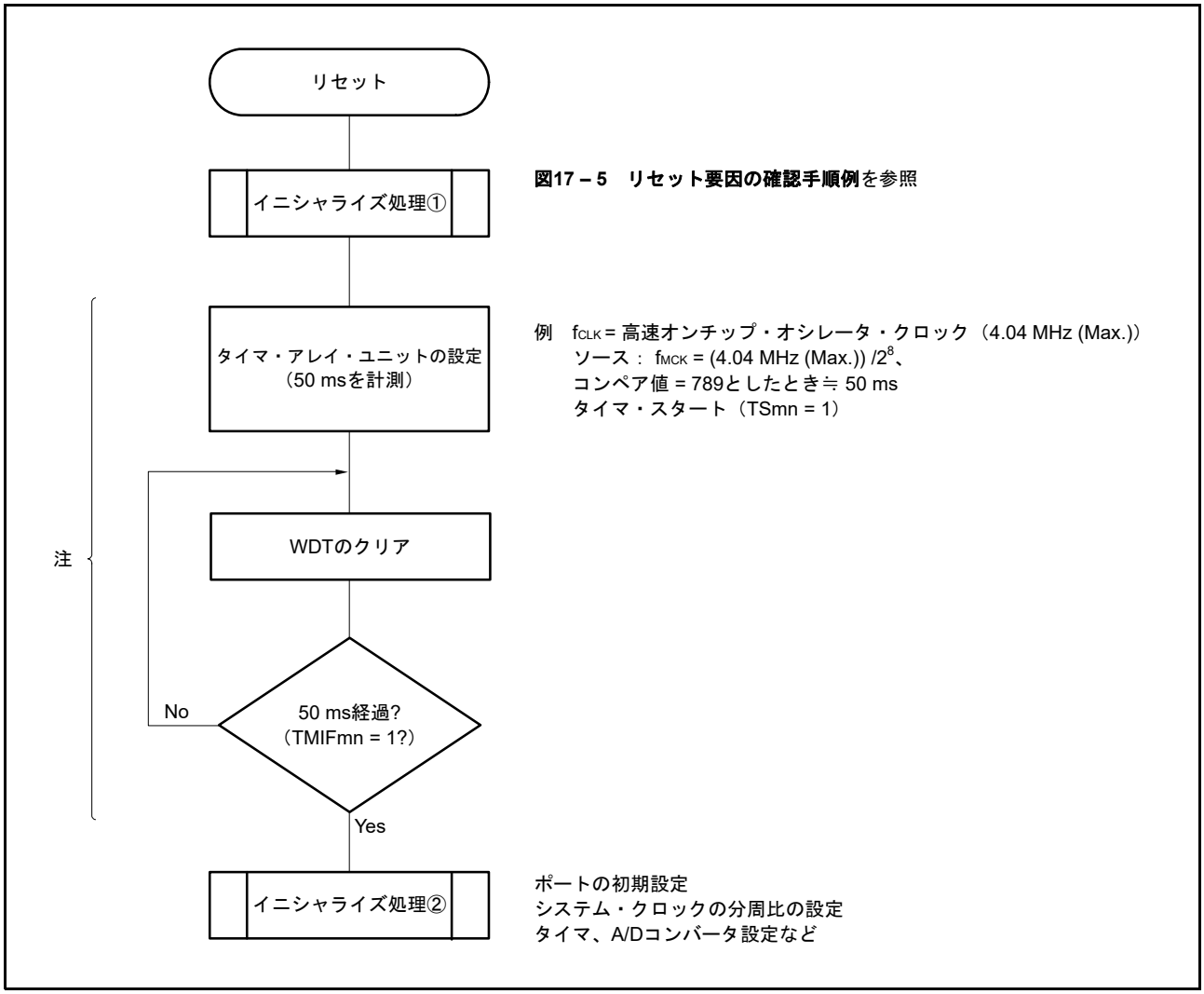
(1)　電源投入時の電圧変動について

電源電圧（V_{DD}）がLVD0, LVD1検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処置＞

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図19 - 10　LVD0, LVD1検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例

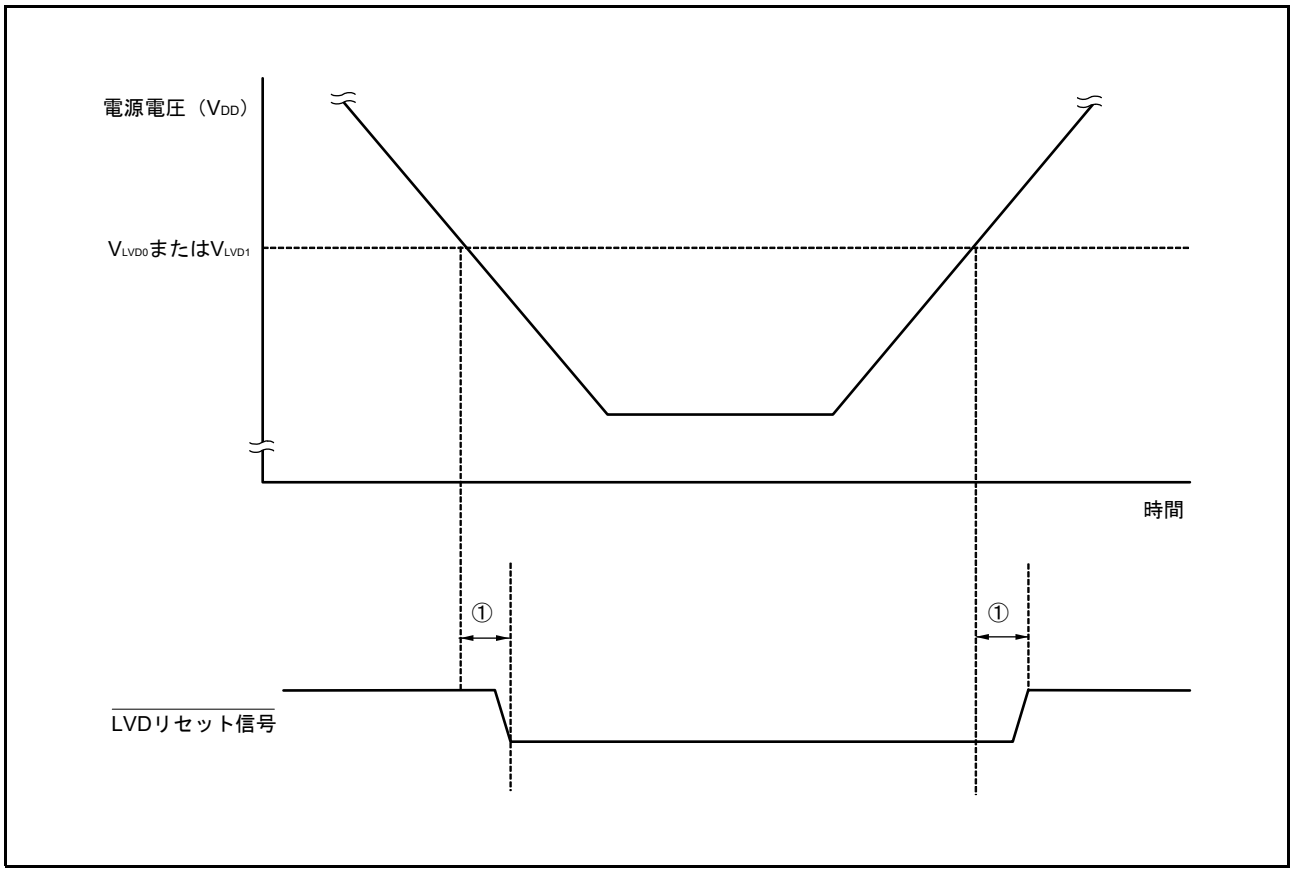


注　　この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考　m = 0, n = 0-7

(2)　LVD0, LVD1リセット要因発生からLVD0, LVD1リセットが発生または解除されるまでの遅延について
電源電圧（V_{DD}）＜LVD0, LVD1検出電圧（V_{LVD0}, V_{LVD1}）になってから、LVD0, LVD1リセットが発生するまでには遅延が生じます。同じようにLVD0, LVD1検出電圧（V_{LVD0}, V_{LVD1}）≦電源電圧（V_{DD}）になってから、LVD0, LVD1リセットが解除されるまでにも遅延が生じます（**図19 - 11**参照）。

図19 - 11　LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延



備考　①：検出遅延（500 μs (Max.)）

(3) LVD0をオフに設定した場合の電源立ち上げについて

LVD0をオフに設定したときは必ずRESET端子による外部リセットを使用してください。

外部リセットを行う場合、RESET端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、RESET端子にロウ・レベルを入力してから電源を投入し、**28.4　AC特性**に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

(4) LVD0をオフまたは割り込みモードに設定した場合の動作電圧降下時について

LVD0をオフまたは割り込みモードに設定したときの動作電圧降下時は、**28.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

(5) LVD1の検出電圧の設定手順について

LVD1の検出電圧は下記の手順で設定してください。③を実行したあと、安定待ち時間（500 μs以上）が経過するとLVD1が有効になります。

① LVIMレジスタのLVISENビットに1を設定してください。

② LVISレジスタのLVD1ENビットに1を設定し、LVD1V4-LVD1V0ビットを変更してください。

③ LVIMレジスタのLVISENビットに0を設定してください。

第20章　安全機能

20.1　安全機能の概要

安全規格 IEC60730 に対応するため、本製品では以下の安全機能を搭載しています。
この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能（高速CRC、汎用CRC）
CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。
- 「高速CRC」: 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用CRC」: CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) フラッシュ・メモリ・ガード機能
CPUの暴走によるフラッシュ・メモリの書き換えを防止します。

(3) RAMパリティ・エラー検出機能
RAMデータを読み出すとき、パリティ・エラーを検出します。

(4) RAMガード機能
CPUの暴走によるRAMデータの書き換えを防止します。

(5) SFRガード機能
CPUの暴走によるSFRの書き換えを防止します。

(6) 不正メモリ・アクセス検出機能
不正メモリ領域（メモリが存在しない、アクセスが制限されている領域）への不正なアクセスを検出します。

(7) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のガード機能
CPUの暴走による不正メモリ・アクセス検出制御レジスタの書き換えを防止します。

(8) 周波数検出機能
タイマ・アレイ・ユニットを使用して、CPU／周辺ハードウェア・クロック周波数の自己チェックができます。

(9) A/Dテスト機能
A/Dコンバータの＋側基準電圧、－側基準電圧、アナログ入力チャネル（ANIxx）、温度センサ出力電圧および内部基準電圧をA/D変換することにより、A/Dコンバータの自己チェックができます。

(10) 入出力端子のデジタル出力信号レベル検出機能
入出力端子が出力モード時に、端子の出力レベルを読み出すことができます。

(11) UARTループバック機能
UARTnのTxDn端子とRxDn端子、UARTAmのTxDAm端子とRxDAm端子をそれぞれ外部から遮断、MCU内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、送信データが正常に出力していることを確認できます。

備考1. m = 0, n = 0-2

備考2. 安全規格IEC60730に対応する安全機能の使用例は、RL78 MCUシリーズの**IEC60730/60335セルフテスト・ライブラリ アプリケーションノート**を参照してください。

20.2　安全機能で使用するレジスタ

安全機能で使用するレジスタを次に示します。

- フラッシュ・メモリCRC制御レジスタ（CRC0CTL）
- フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）
- CRC入力レジスタ（CRCIN）
- CRCデータ・レジスタ（CRCD）
- コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0）
- データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）
- フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）
- RAMパリティ・エラー制御レジスタ（RPECTL）
- 不正メモリ・アクセス検出制御レジスタ（IAWCTL）
  - RAM ガード機能
  - SFR ガード機能
  - 不正メモリ・アクセス検出機能
- IAWCTLレジスタ・ガードレジスタ（GIAWCTL）
- タイマ入力選択レジスタ0（TIS0）
- A/Dテスト・レジスタ（ADTES）
- アナログ入力チャネル指定レジスタ（ADS）
- ポート・モード選択レジスタ（PMS）
- UARTループバック選択レジスタ（ULBS）

各レジスタの内容については、**20.3　安全機能の動作**の中で説明します。

20.3　安全機能の動作

20.3.1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730 ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段として CRC が推奨されています。この高速 CRC では、初期設定（イニシャライズ）ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM 上のプログラムによるメイン・システム・クロックでの HALT モードでのみ動作可能です。

高速 CRC は、CPU を停止させて、フラッシュ・メモリから 1 クロックで 32 ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です（例　フラッシュ・メモリ 64 KB：512 μs@32 MHz）。

CRC 生成多項式は CRC-16-CCITT の「$X^{16} + X^{12} + X^5 + 1$」に対応しています。

ビット 31 →ビット 0 の MSB ファーストで演算します。

注意　オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため、演算結果は異なります。

20.3.1.1 フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

CRC0CTL レジスタは、高速 CRC 演算器の動作制御と演算範囲の設定を行うレジスタです。
CRC0CTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図20 - 1 フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス : F02F0H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	0000H-03FFBH（16 K–4バイト）
0	0	0	0	0	1	0000H-07FFBH（32 K–4バイト）
0	0	0	0	1	0	0000H-0BFFBH（48 K–4バイト）
0	0	0	0	1	1	0000H-0FFFBH（64 K–4バイト）
0	0	0	1	0	0	0000H-13FFBH（80 K–4バイト）
0	0	0	1	0	1	0000H-17FFBH（96 K–4バイト）
0	0	0	1	1	0	0000H-1BFFBH（112 K–4バイト）
0	0	0	1	1	1	0000H-1FFFBH（128 K–4バイト）
0	0	1	0	0	0	0000H-23FFBH（144 K–4バイト）
0	0	1	0	0	1	0000H-27FFBH（160 K–4バイト）
0	0	1	0	1	0	0000H-2BFFBH（176 K–4バイト）
0	0	1	0	1	1	0000H-2FFFBH（192 K–4バイト）
0	0	1	1	0	0	0000H-33FFBH（208 K–4バイト）
0	0	1	1	0	1	0000H-37FFBH（224 K–4バイト）
0	0	1	1	1	0	0000H-3BFFBH（240 K–4バイト）
0	0	1	1	1	1	0000H-3FFFBH（256 K–4バイト）
上記以外						設定禁止

注意 ビット6には、必ず0を設定してください。

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

20.3.1.2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

PGCRCL レジスタは、高速 CRC 演算結果を格納するレジスタです。

PGCRCL レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図20 - 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス　: F02F2H, F02F3H

リセット時: 0000H

R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8

7	6	5	4	3	2	1	0
PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

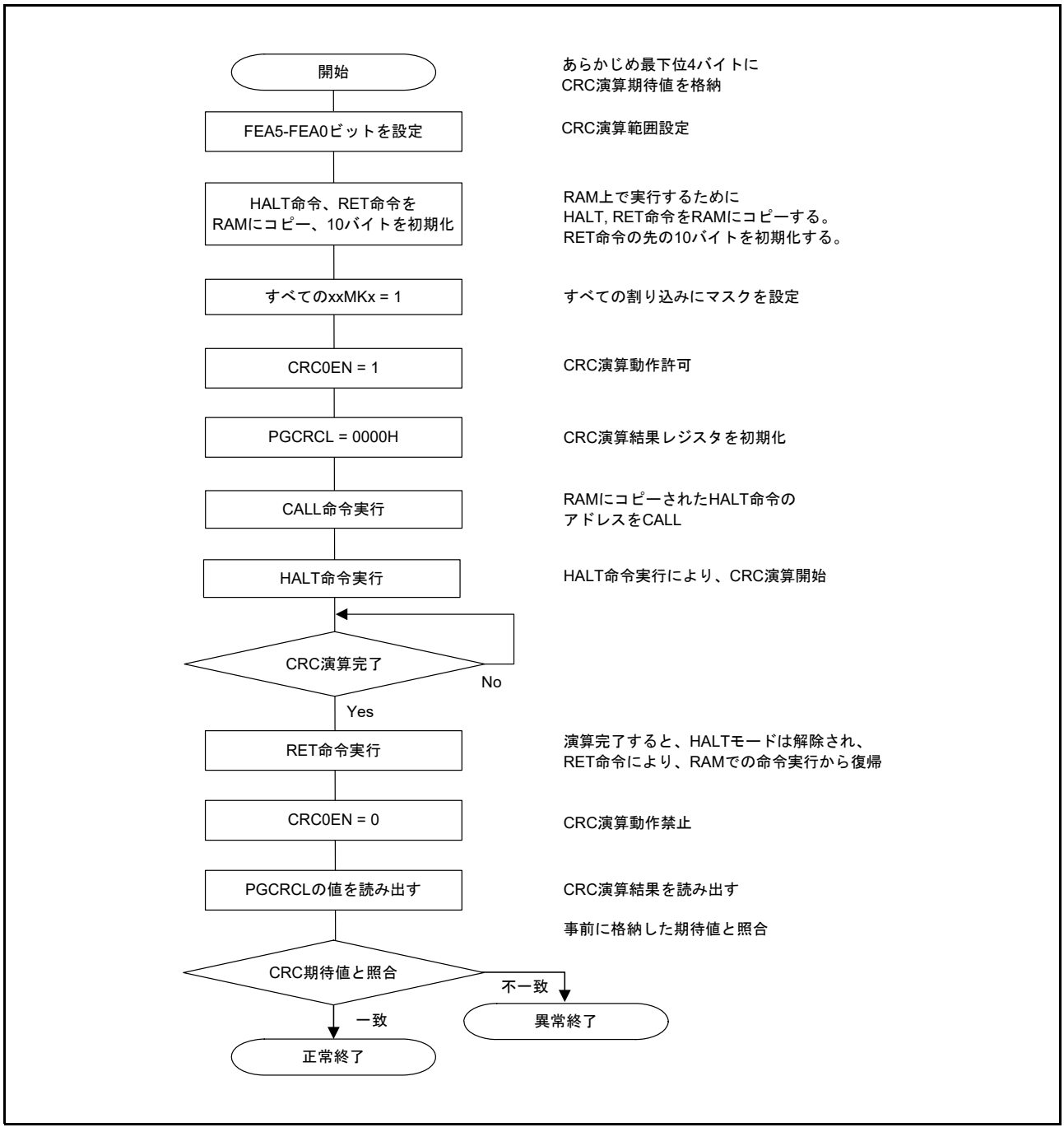
PGCRC15-PGCRC0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　本レジスタは、CRC0CTL.CRC0EN ビットが1の場合のみ書き込み可能です。

図 20 - 3 にフラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャートを示します。

＜動作フロー＞

図20 - 3　　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュ・メモリのみです。

注意2. CRC演算の期待値は、コード・フラッシュ・メモリ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

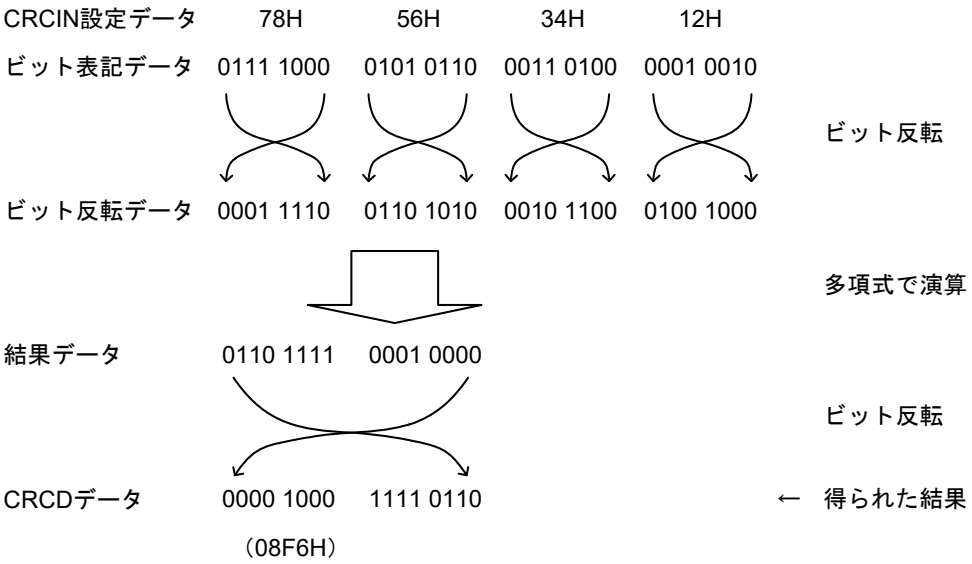
CRC 演算の期待値は、総合開発環境 CS+ を使用して算出することができます。詳細は、**CS+ 統合開発環境ユーザーズマニュアル**を参照してください。

20.3.2 CRC演算機能（汎用CRC）

この汎用 CRC では、CPU 動作中に、周辺機能として CRC 演算を実行できます。汎用 CRC は、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALT モード時の CRC 演算機能は、使用できません。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC 生成多項式は CRC-16-CCITT の「$X^{16} + X^{12} + X^5 + 1$」を使用します。入力するデータは LSB ファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ 12345678H を LSB から送信する場合には 78H, 56H, 34H, 12H の順で CRCIN レジスタに値を書き込むことで、CRCD レジスタから 08F6H の値が得られます。これは、データ 12345678H のビットの並びを反転した以下のビット列に対して CRC 演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き換えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

20.3.2.1 CRC入力レジスタ（CRCIN）

CRCIN レジスタは、汎用 CRC の CRC 計算するデータを設定する 8 ビットのレジスタです。

設定可能範囲は、00H-FFH です。

CRCIN レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 4 CRC入力レジスタ（CRCIN）のフォーマット

アドレス ：FFFACH

リセット時: 00H

R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

ビット7-0	機能
00H-FFH	データ入力

20.3.2.2 CRCデータ・レジスタ（CRCD）

CRCD レジスタは、汎用 CRC の CRC 演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFH です。

CRCIN レジスタ書き込みから、CPU ／周辺ハードウェア・クロック（f_{CLK}）の 1 クロック経過後に、CRC 演算結果が CRCD レジスタに格納されます。

CRCD レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図20 - 5 CRCデータ・レジスタ（CRCD）のフォーマット

アドレス : F02FAH, F02FBH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CRCD								

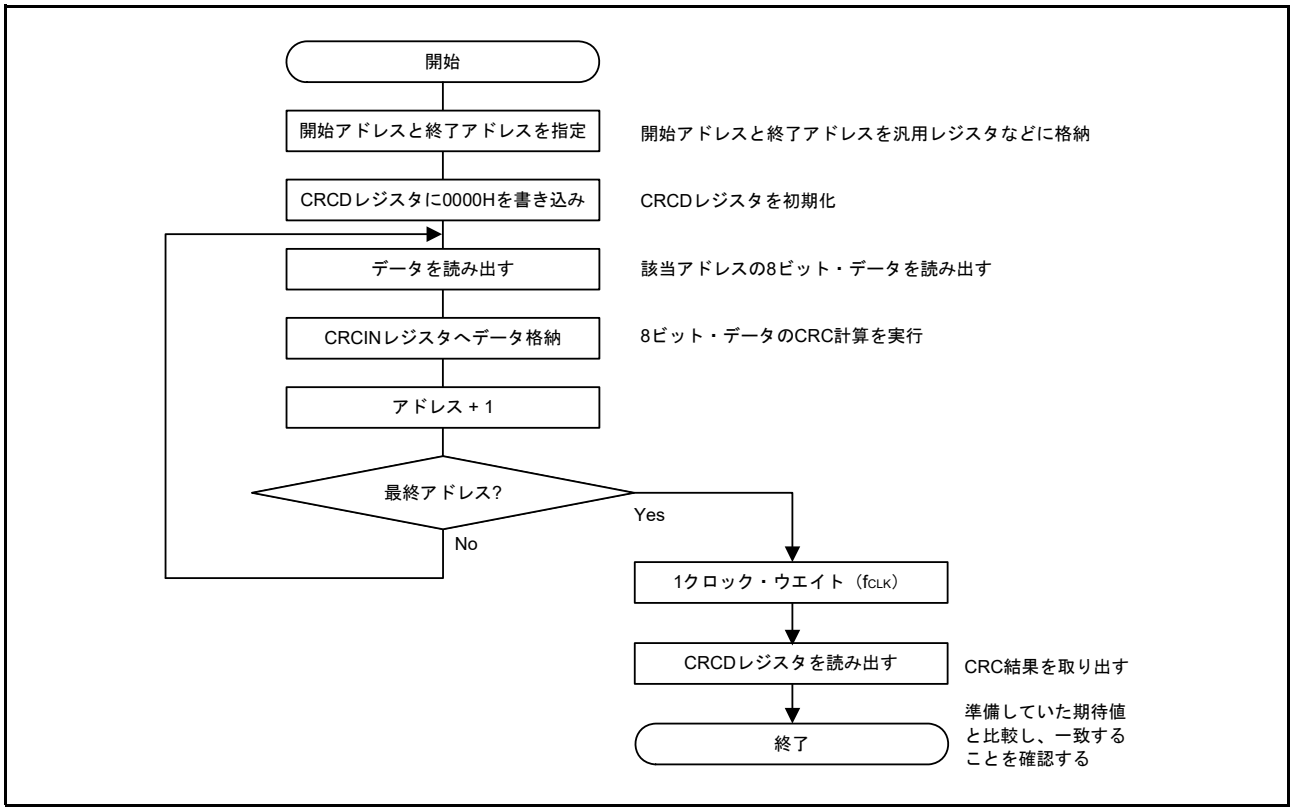
7	6	5	4	3	2	1	0

注意1. CRCD レジスタに書き込まれた値を読み出す場合は、CRCIN レジスタへの書き込みを行う前に読み出してください。

注意2. CRCD レジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

＜動作フロー＞

図20 - 6 CRC演算機能（汎用CRC）のフロー・チャート



20.3.3 フラッシュ・メモリ・ガード機能

IEC60730 では動作中の安全を確保しなければいけないため、CPU が暴走してもフラッシュ・メモリが書き換わってしまわないように保護する必要があります。

フラッシュ・メモリ・ガード機能は、コード・フラッシュ・メモリ、データ・フラッシュ・メモリとフラッシュ・セキュリティ領域を保護するための機能です。フラッシュ・メモリ・ガード機能を設定すると、保護されたフラッシュ・メモリ領域への書き込みは無効になります。保護されたフラッシュ・メモリ領域の読み出しは可能です。

20.3.3.1 コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0）

GFLASH0 レジスタは、コード・フラッシュ・メモリへの書き込みを保護するレジスタです。

コード・フラッシュ・メモリを書き換えるためには、GFLASH0.GFL0 ビットに 0 を設定する必要があります。コード・フラッシュ・メモリをガードするときは、GFLASH0 レジスタを設定したあと、値が 1 になっていることを確認してから、コード・フラッシュ・メモリの読み出しを行ってください。

GFLASH0 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図20 - 7 コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0）のフォーマット

アドレス : F0488H, F0489H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH0	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GFL0

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GFL0ビットを書き換える場合は、 RKEY[7:0] = 30Hに設定してください。 本ビットは、読むと00Hが読めます。

GFL0	コード・フラッシュ・メモリの書き換え制御
0	コード・フラッシュ・メモリを保護しない（書き換え許可）
1	コード・フラッシュ・メモリを保護する（書き換え不可）

20.3.3.2 データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）

GFLASH1 レジスタは、データ・フラッシュ・メモリへの書き込みを保護するレジスタです。

データ・フラッシュ・メモリを書き換えるためには、GFLASH1.GFL1 ビットに 0 を設定する必要があります。データ・フラッシュ・メモリをガードするときは、GFLASH1 レジスタを設定したあと、値が 1 になっていることを確認してから、データ・フラッシュ・メモリの読み出しを行ってください。

GFLASH1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図20 - 8 データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）のフォーマット

アドレス : F048AH, F048BH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH1	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GFL1

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GFL1ビットを書き換える場合は、 RKEY[7:0] = C5Hに設定してください。 本ビットは、読むと00Hが読めます。

GFL1	データ・フラッシュ・メモリの書き換え制御
0	データ・フラッシュ・メモリを保護しない（書き換え許可）
1	データ・フラッシュ・メモリを保護する（書き換え不可）

20.3.3.3 フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）

GFLASH2 レジスタは、フラッシュ・メモリのセキュリティ設定を格納しているフラッシュ・セキュリティ領域を保護するレジスタです。

フラッシュ・セキュリティ領域の設定を書き換えるためには、GFLASH2.GFL2 ビットに 0 を設定する必要があります。

GFLASH2 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図20 - 9 フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）のフォーマット

アドレス : F048CH, F048DH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH2	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GFL2

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GFL2ビットを書き換える場合は、 RKEY[7:0] = 9AHに設定してください。 本ビットは、読むと00Hが読めます。

GFL2	フラッシュ・セキュリティ領域の書き換え制御
0	フラッシュ・セキュリティ領域を保護しない（書き換え許可）
1	フラッシュ・セキュリティ領域を保護する（書き換え不可）

20.3.4 RAMパリティ・エラー検出機能

IEC60730 では RAM データ確認が義務付けられています。そのため、本製品の RAM には、8 ビットにつき 1 ビットのパリティが付加されています。この RAM パリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

20.3.4.1 RAMパリティ・エラー制御レジスタ（RPECTL）

RPECTL レジスタは、パリティ・エラーの発生確認と、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 10 RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス : F00F5H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラーによるリセット発生の制御
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。
また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

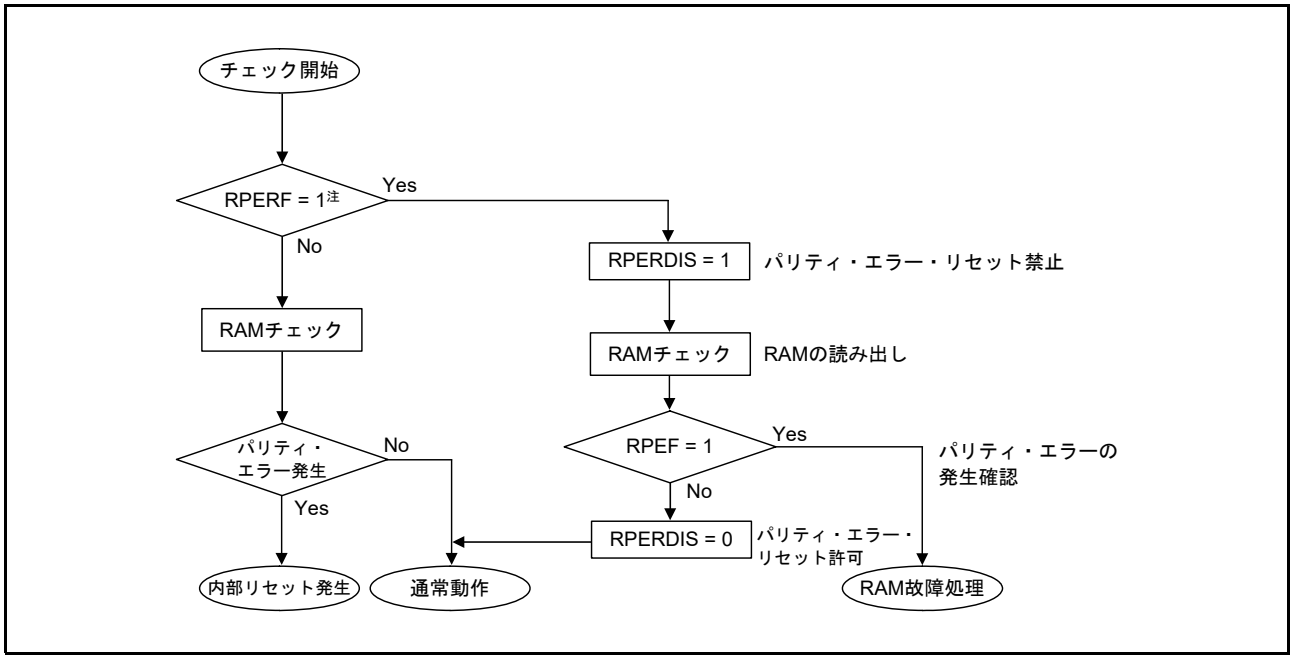
備考1. 初期状態では、パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。

備考2. パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に、パリティ・エラーが発生した場合も、RPEF フラグは1にセットされます。なお、RPEF フラグが1の状態で、パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると、RPERDIS フラグを0にクリアした時点でパリティ・エラー・リセットが発生します。

備考3. RPEF フラグは、パリティ・エラー発生時に1にセットされ、0の書き込み、またはすべてのリセット要因により0にクリアされます。RPEF フラグが1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF フラグは1を保持します。

備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図20 - 11　RAMパリティ・エラー検出のフロー・チャート



注　RAMパリティ・エラーによる内部リセットの確認は、**第17章　リセット機能**を参照してください。

20.3.5 RAMガード機能

この RAM ガード機能は、指定した空間のデータを保護するための機能です。

RAM ガード機能を設定すると、指定した空間への RAM 書き込みは無効になります。保護された指定領域の読み出しは可能です。

20.3.5.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

RAM ガード機能では、GRAM1, GRAM0 ビットを使用します。

IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 12 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス : F0078H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAM保護空間注
0	0	無効。RAMへの書き込み可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

20.3.6 SFRガード機能

SFR ガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAM パリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFR ガード機能を設定すると、保護された SFR への書き込みは無効になります。保護された SFR の読み出しは可能です。

20.3.6.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

SFR ガード機能では、GPORT, GINT, GCSC ビットを使用します。

IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 13 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス : F0078H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタの保護
0	無効。ポート機能の制御レジスタの読み出し／書き込み可能
1	有効。ポート機能の制御レジスタの書き込み無効、読み出し可能 ［保護されるSFR］PMxx, PUxx, PIMxx, POMxx, PMCAxx, PDIDISxx ポート・レジスタ（Pxx）は保護されません。

GINT	割り込み機能のレジスタの保護
0	無効。割り込み機能の制御レジスタの読み出し／書き込み可能
1	有効。割り込み機能の制御レジスタの書き込み無効、読み出し可能 ［保護されるSFR］IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの保護
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの読み出し／書き込み可能
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの書き込み無効、読み出し可能 ［保護されるSFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, CKSEL, PRRx

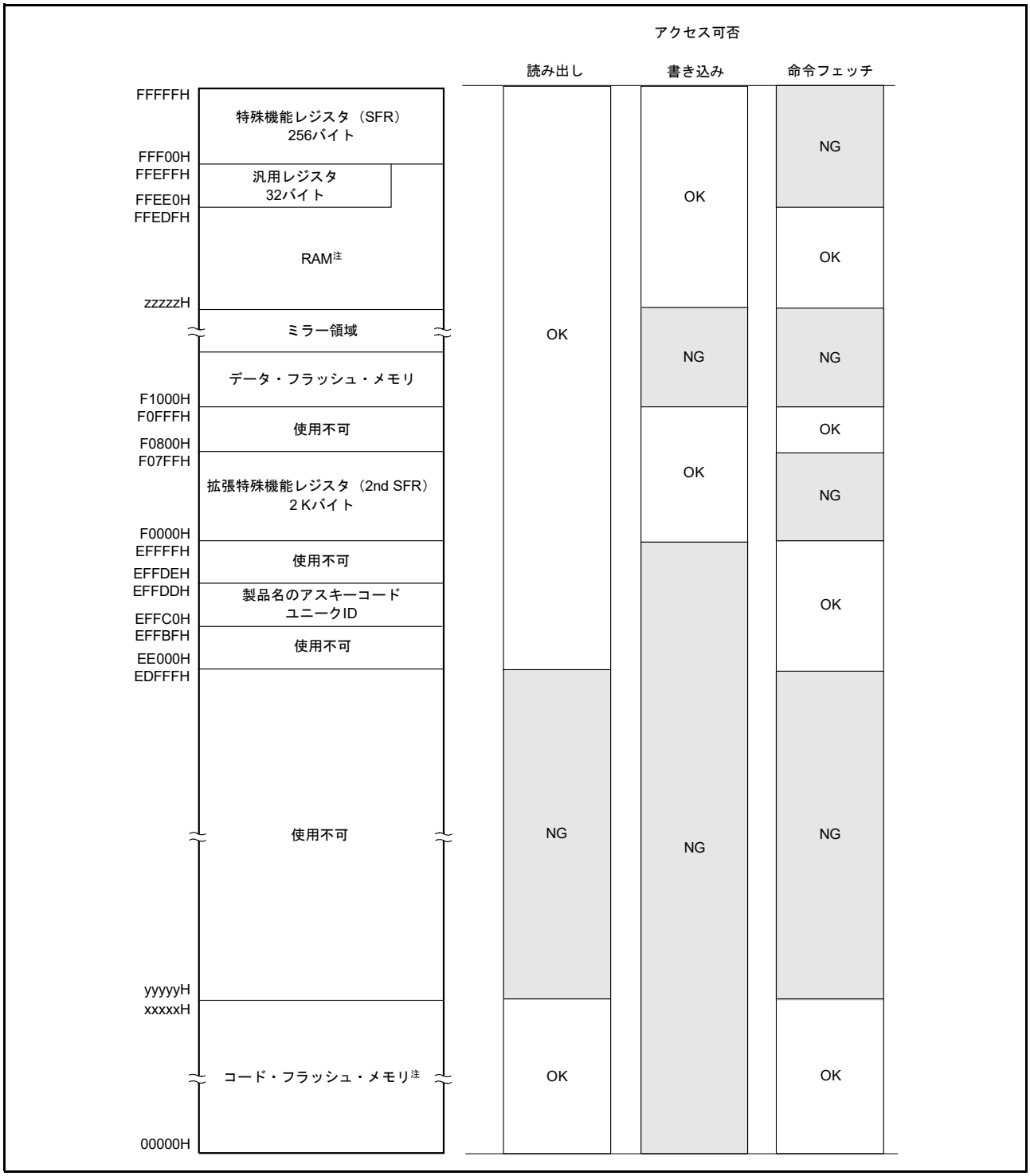
20.3.7　不正メモリ・アクセス検出機能

IEC60730 では CPU と割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、**図 20 - 14** で「NG」と記載した範囲になります。

図20 - 14　不正アクセス検出空間


アクセス可否
読み出し
書き込み
命令フェッチ
FFFFFH
特殊機能レジスタ（SFR）
256バイト
FFF00H
FFEFFH
汎用レジスタ
32バイト
FFEE0H
FFEDFH
RAM注
zzzzzH
ミラー領域
データ・フラッシュ・メモリ
F1000H
F0FFFH
使用不可
F0800H
F07FFH
拡張特殊機能レジスタ（2nd SFR）
2 Kバイト
F0000H
EFFFFH
使用不可
EFFDEH
EFFDDH
製品名のアスキーコード
ユニークID
EFFC0H
EFFBFH
使用不可
EE000H
EDFFFH
使用不可
yyyyyH
xxxxxH
コード・フラッシュ・メモリ注
00000H
OK
NG
OK
NG
OK
NG

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ（00000H-xxxxxH）	RAM（zzzzzH-FFEFFH）	読み出し／命令フェッチ時の検出最下位アドレス（yyyyyH）
R7F103GxG (x = 6, B, F, G, L)	131072 × 8 ビット (00000H-1FFFFH)	8192 × 8 ビット (FDF00H-FFEFFH)	20000H
R7F103GxJ (x = 6, B, F, G, L)	262144 × 8 ビット (00000H-3FFFFH)	8192 × 8 ビット (FDF00H-FFEFFH)	40000H

20.3.7.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。
不正メモリ・アクセス検出機能では、IAWEN ビットを使用します。
IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図20 - 15 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス : F0078H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし、IAWEN ビットを1としたあとの0の書き込みは無効です。

備考 ユーザ・オプション・バイト（000C0H）のWDTONビットが1（ウォッチドッグ・タイマ動作許可）のとき、IAWENビットが0でも不正メモリ・アクセスの検出機能は有効となります。

20.3.8　不正メモリ・アクセス検出制御レジスタのガード機能

IEC60730 では動作中の安全を保証しなければいけないため、CPU が暴走しても不正メモリ・アクセス検出機能の有効・無効設定が書き換わってしまわないように保護する必要があります。

不正メモリ・アクセス検出制御レジスタのガード機能は、不正メモリ・アクセス検出制御レジスタ（IAWCTL）を保護するための機能です。不正メモリ・アクセス検出制御レジスタのガード機能を設定すると、不正メモリ・アクセス検出制御レジスタへの書き込みは無効になります。保護された不正メモリ・アクセス検出制御レジスタの読み出しは可能です。

20.3.8.1　IAWCTL レジスタ・ガードレジスタ（GIAWCTL）

GIAWCTL レジスタは、不正メモリ・アクセスの検出機能の有効／無効設定を保護するレジスタです。

不正メモリ・アクセス検出制御レジスタ（IAWCTL）を書き換えるためには、GIAWCTL.GIA ビットに 0 を設定して保護を解除する必要があります。

GIAWCTL レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図20 - 16　IAWCTL レジスタ・ガードレジスタ（GIAWCTL）のフォーマット

アドレス　：F048EH, F048FH
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
GIAWCTL	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GIA

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GIAビットを書き換える場合は、 RKEY[7:0] = A4Hに設定してください。 本ビットは、読むと00Hが読めます。

GIA	IAWCTL レジスタの書き換え制御
0	IAWCTL レジスタを保護しない（書き換え許可）
1	IAWCTL レジスタを保護する（書き換え不可）

20.3.9　周波数検出機能

IEC60730 では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU／周辺ハードウェア・クロック周波数（fCLK）を使用し、タイマ・アレイ・ユニット 0（TAU0）のチャネル 5 の入力パルスを測定することで、2 つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロックまたは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

＜比較するクロック＞

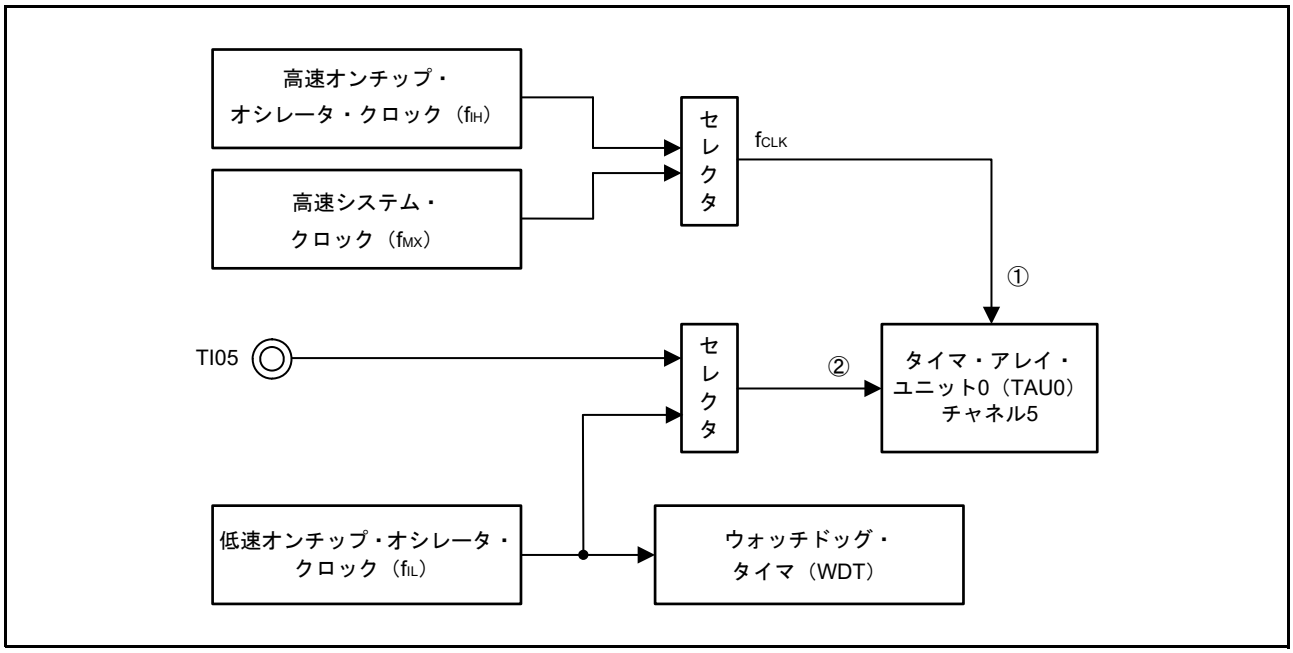
① CPU／周辺ハードウェア・クロック周波数（fCLK）：

- 高速オンチップ・オシレータ・クロック（fIH）
- 高速システム・クロック（fMX）

②タイマ・アレイ・ユニット 0 のチャネル 5 入力：

- チャネル5のタイマ入力（TI05）
- 低速オンチップ・オシレータ・クロック（fIL）

図20 - 17　周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、**7.8.4　入力パルス間隔測定としての動作**を参照してください。

20.3.9.1　タイマ入力選択レジスタ0（TIS0）

TIS0 レジスタは、タイマ・アレイ・ユニット 0（TAU0）のチャネル 5 のタイマ入力を選択するレジスタです。
TIS0 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図20 - 18　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス　：F0074H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	0	0

TIS02	チャネル5で使用するタイマ入力の選択
0	タイマ入力端子（TI05）の入力信号
1	低速オンチップ・オシレータ・クロック（fIL）

20.3.10　A/Dテスト機能

IEC60730 では A/D コンバータのテストが義務付けられています。この A/D テスト機能では、A/D コンバータの＋側基準電圧、－側基準電圧、アナログ入力チャネル（ANIxx）、温度センサ出力電圧、内部基準電圧の A/D 変換を実施することで、A/D コンバータの正常動作を確認します。確認方法の詳細は、**安全機能（A/D テスト）アプリケーションノート（R01AN5607）**を参照してください。

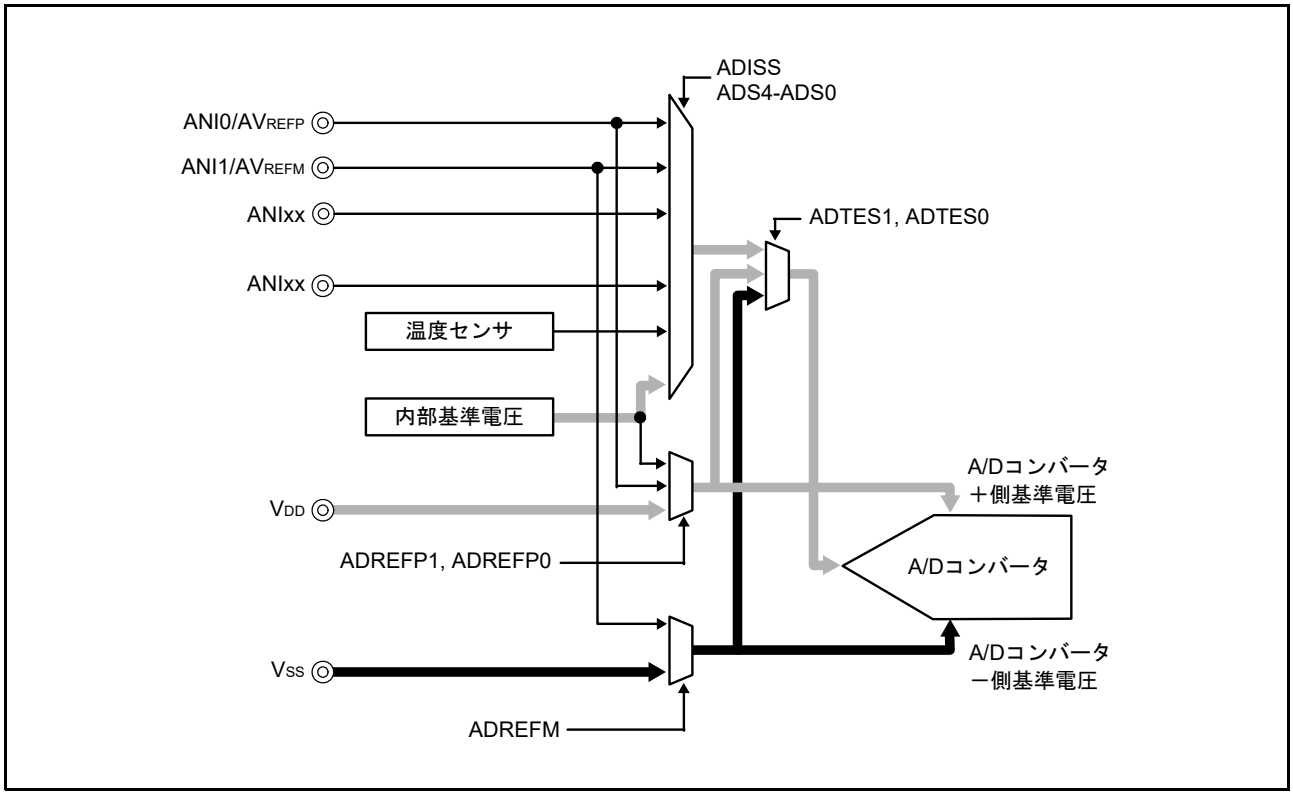
また、アナログ・マルチプレクサは、以下の手順で確認できます。

① ADTES レジスタで A/D 変換対象に ANIxx 端子を選択（ADTES1, ADTES0 = 00B）
② ANIxx 端子の A/D 変換を行う（変換結果 1-1）
③ ADTES レジスタで A/D 変換対象に A/D コンバータの－側基準電圧を選択（ADTES1, ADTES0 = 10B）
④ A/D コンバータの－側基準電圧の A/D 変換を行う（変換結果 2-1）
⑤ ADTES レジスタで A/D 変換対象に ANIxx 端子を選択（ADTES1, ADTES0 = 00B）
⑥ ANIxx 端子の A/D 変換を行う（変換結果 1-2）
⑦ ADTES レジスタで A/D 変換対象に A/D コンバータの＋側基準電圧を選択（ADTES1, ADTES0 = 11B）
⑧ A/D コンバータの＋側基準電圧の A/D 変換を行う（変換結果 2-2）
⑨ ADTES レジスタで A/D 変換対象に ANIxx 端子を選択（ADTES1, ADTES0 = 00B）
⑩ ANIxx 端子の A/D 変換を行う（変換結果 1-3）
⑪ 「変換結果 1-1」=「変換結果 1-2」=「変換結果 1-3」であることを確認する
⑫ 「変換結果 2-1」の A/D 変換結果がオール 0、「変換結果 2-2」の A/D 変換結果がオール 1 であることを確認する

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。
備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図20 - 19　A/Dテスト機能の構成



20.3.10.1　A/Dテスト・レジスタ（ADTES）

ADTES レジスタは、A/D 変換対象に A/D コンバータの＋側の基準電圧、－側の基準電圧、アナログ入力チャネル（ANIxx）／温度センサ出力電圧／内部基準電圧を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に－側の基準電圧を選択
- フルスケールを測定するときは、A/D変換対象に＋側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 20　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス　：F0013H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx／温度センサ出力電圧／内部基準電圧**注** （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2 レジスタの ADREFM ビットで選択）
1	1	＋側の基準電圧（ADM2 レジスタの ADREFP1, ADREFP0 ビットで選択）
上記以外		設定禁止

注　内部基準電圧値は、**第28章　電気的特性**を参照してください。

注意　ビット7-2には、必ず0を設定してください。

20.3.10.2 アナログ入力チャネル指定レジスタ（ADS）

ADS レジスタは、A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/D テスト機能で ANIxx ／温度センサ出力電圧／内部基準電圧を測定するときは、A/D テスト・レジスタ（ADTES）を 00H に設定してください。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 21 アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス ：FFF31H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

セレクト・モード（ADM0.ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P03/ANI16端子注1
0	1	0	0	0	1	ANI17	P02/ANI17端子注2
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	－	温度センサ出力電圧
1	0	0	0	0	1	－	内部基準電圧
上記以外						設定禁止	

注1. 20, 32ピン製品の場合は、P01/ANI16端子になります。

注2. 20, 32ピン製品の場合は、P00/ANI17端子になります。

注意1. ビット6, 5には、必ず0を設定してください。

注意2. PMCAxxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ（PM0, PM2, PM12, PM14）で入力モードに選択してください。

注意3. PMCAxxレジスタ（PMCA0, PMCA2, PMCA12, PMCA14）でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意5. AVREFPをA/Dコンバータの＋側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。

注意6. AVREFMをA/Dコンバータの－側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。

（注意は次ページに続きます）

注意7. ADISSビットに1を設定した場合、＋側の基準電圧に内部基準電圧は使用できません。また、ADISSビットに1を設定後、1回目の変換結果は使用できません。詳細設定フローは、10.7.4　温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウェア・トリガ・モード、ワンショット変換モード時）を参照してください。

注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISSビットに1を設定しないでください。ADISSビットが1のときは、28.3.2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

20.3.11 入出力端子のデジタル出力信号レベル検出機能

IEC60730 では I/O 機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルを読み出すことができます。

20.3.11.1 ポート・モード選択レジスタ（PMS）

PMS レジスタは、端子が出力モード（ポート・モード・レジスタ（PMm）の PMmn ビットが 0）時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。

PMS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 22 ポート・モード選択レジスタ（PMS）のフォーマット

アドレス : F007BH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時に読み出すデータの選択
0	Pmn レジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

備考 m = 0-7, 12, 14
n = 0-7

注意1. ビット7-1には、必ず0を設定してください。

注意2. PMSレジスタのPMS0ビットに1を設定時は、1ビット・メモリ操作命令でポート・レジスタ（Pxx）を書き換えないでください。ポート・レジスタ（Pxx）を書き換える場合は、8ビット・メモリ操作命令を使用してください。

注意3. 入力ポート（P137）および出力ポート（P130）は、PMS制御は無効です。

注意4. PMCAmnビットが1の場合、PMS制御は無効です。
PMCAmnビットが1の設定で端子のデジタル出力レベルを読み出す場合は、PMCAmnビットに0を設定してからPMS0ビットに1を設定してください。

備考 m = 0, 2, 12, 14
n = 0-7

注意5. PDIDISmnビットが1の場合、PMS制御は無効です。
PDIDISmnビットが1の設定で端子のデジタル出力レベルを読み出す場合は、PDIDISmnビットに0を設定してからPMS0ビットに1を設定してください。

備考 m = 0, 1, 3, 5, 7
n = 0-7

20.3.12　UARTループバック機能

IEC60730 では、外部インタフェース（通信）の異常診断ができることを推奨されています。

UART ループバック機能では、RxD 端子を外部から遮断、MCU 内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、UART の送信データの正常出力を確認することができます。

UART ループバック機能選択時に、TxD 端子からの送信データが通信相手に影響を与えないようにするには、ポート機能を使って制御することができます。

- 負論理での通信の場合
  TxD端子を兼用しているポートを入力モード（PMxx = 1）に設定し、内蔵プルアップ抵抗を接続（PUxx = 1）して、1を保持します。
- 正論理での通信の場合
  TxD端子を兼用しているポートから0を出力（PMxx = 0, Pxx = 0）します。

20.3.12.1　UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。

UART チャネルごとに制御できるビットを持ち、各チャネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 23　UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス　：F0079H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	<4>	3	<2>	<1>	<0>
ULBS	0	0	0	ULBS4	0	ULBS2	ULBS1	ULBS0

ULBS4	UARTループバック機能の選択
0	シリアル・インタフェースUARTA0のRxDA0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS2	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART2のRxD2端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS1	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART1のRxD1端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS0	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART0のRxD0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注意　ビット7-5, 3には、必ず0を設定してください。

第21章　セキュリティ機能

21.1　フラッシュ・リード・プロテクション

21.1.1　フラッシュ・リード・プロテクションの機能

フラッシュ・リード・プロテクションは、コード・フラッシュ・メモリ領域の指定した領域をCPUからの読み出しを不可にする機能です。ただし、指定した領域はCPUによる命令フェッチは可能です。また、シリアル・プログラミング・モードでは、フラッシュ・リード・プロテクションの機能で読み出しが不可となったコード・フラッシュ・メモリ領域をベリファイすることも可能です。

21.1.2　フラッシュ・リード・プロテクションの設定

フラッシュ・リード・プロテクションの設定は、フラッシュ・メモリ・プログラマによるシリアル・プログラミングまたはセルフ・プログラミングによってエクストラ領域に設定します。

初期状態ではコード・フラッシュ・メモリの全領域が読み出し可能な状態に設定されています。読み出しを不可にするコード・フラッシュ・メモリの領域をフラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックに設定し、フラッシュ・リード・プロテクション設定の変更禁止を有効にしてください。設定された範囲のコード・フラッシュ・メモリ領域の読み出しは不可となります。

また、フラッシュ・リード・プロテクション設定の変更禁止を有効にすると、フラッシュ・リード・プロテクションのスタート・ブロックとエンド・ブロックの設定が固定され、対象の領域を保護することができます。このフラッシュ・リード・プロテクション設定の変更禁止は、フラッシュ・プログラマで解除することができます。ただし、フラッシュ・リード・プロテクション設定の変更禁止を解除する場合は、全フラッシュ・メモリ領域を消去する必要があるため、解除したあとにフラッシュ・リード・プロテクションの領域に書き込まれたデータを読み出すことはできません。**表21 - 1**にフラッシュ・リード・プロテクションの設定と機能、**表21 - 2**にフラッシュ・リード・プロテクションの設定方法を示します。

表21 - 1　フラッシュ・リード・プロテクションの設定と機能

設定	機能
フラッシュ・リード・プロテクション・スタート・ブロック	読み出しを不可にする領域のスタート・ブロック番号を指定します。設定値はブロック001Hからコード・フラッシュ・メモリの上限アドレスのブロック番号を設定してください。 スタート・ブロックに指定したブロック番号は読み出し不可領域に含みます。 スタート・ブロックにブロック000Hを設定することは禁止です。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション・エンド・ブロック	読み出しを不可にする領域のエンド・ブロック番号を指定します。設定値はスタート・ブロック番号以上からコード・フラッシュ・メモリの上限アドレスのブロック番号を設定することができます。エンド・ブロックに指定したブロック番号は読み出し不可領域に含まれます。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックの設定を固定します。この設定が有効の場合はスタート・ブロックとエンド・ブロックの設定を変更できません。

アドレスとブロック番号の関係については、**表3 - 1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

表21 - 2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プラグラマで設定を解除注できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注 設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合でのみ可能です。

注意1. エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出してFFHであることを確認してください。

注意2. フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。

注意3. 読み出し不可領域はオンチップ・デバッガでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッガによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。

注意4. ブート・クラスタ0または1の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ0または1に読み出し不可領域を設定する場合は“ブート領域の書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。

注意5. セルフ・プログラミングでフラッシュ・リード・プロテクションを設定した場合は、リセット解除後にその設定が有効となります。

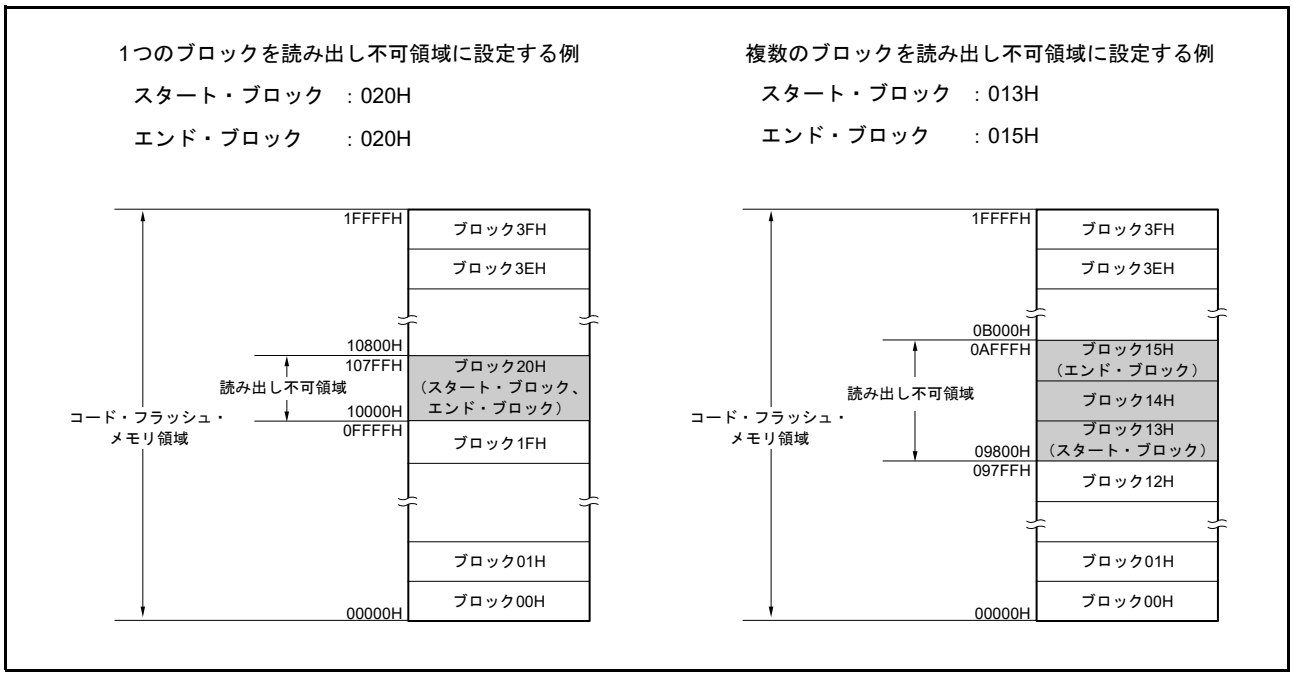
21.1.3　動作説明

フラッシュ・リード・プロテクションで読み出し不可に設定した領域は、CPU による読み出し値はすべて FFH になります。

読み出し不可領域での CPU による命令フェッチは可能です。ただし、読み出し不可領域で実行するプログラムでも不可領域のデータの読み出しはできません。読み出し不可領域で実行するプログラムで使用するデータはプロテクトされていない領域に配置してください。

図 21 - 1 にフラッシュ・リード・プロテクションによる読み出し不可領域の設定例を示します。

図21 - 1　フラッシュ・リード・プロテクションによる読み出し不可領域の設定例



読み出し不可領域を設定後にコード・フラッシュ・メモリの全領域を読み出し可能に再設定する場合は、フラッシュ・リード・プロテクション設定の変更禁止が無効の状態で、フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックを 1FFH に設定してください。

21.2　ユニークID

21.2.1　ユニークIDの機能

ユニーク ID はエクストラ領域に格納されている製品個体ごとのユニークな値です。
ユニーク ID は MCU を製造する際に個々の製品に書き込まれます。値の変更はできません。
データ長は 16 バイト（128 ビット）です。

注意　ユニークIDはランダム値ではありません。

21.2.2　製品名のアスキー・コード

製品名のアスキー・コードはエクストラ領域に格納されています。
製品名にはピン数とフラッシュ・メモリ・サイズが含まれますので、製品名による条件分岐ができます。
表 21 - 3 にユニーク ID のメモリ・マップを示します。

表21 - 3　ユニークIDのメモリ・マップ

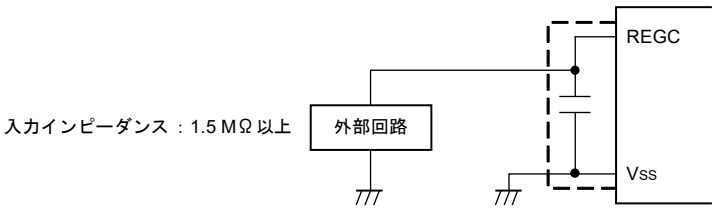
アドレス	名称	格納値
EFFC0H ｜ EFFCFH	ユニークID	製品個体ごとのユニークな値
EFFD5H	製品名のアスキー・コード	52H “R”
EFFD6H		37H “7”
EFFD7H		46H “F”
EFFD8H		31H “1”
EFFD9H		30H “0”
EFFDAH		33H “3”
EFFDBH		47H “G”
EFFDCH		36H “6”　：20 ピン 42H “B”　：32 ピン 46H “F”　：44 ピン 47H “G”　：48 ピン 4CH “L”　：64 ピン
EFFDDH		47H “G”　：フラッシュ・メモリ　128 KB 4AH “J”　：フラッシュ・メモリ　256 KB

第22章　レギュレータ

22.1　レギュレータの概要

本製品は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定として、コンデンサ（0.47 ～ 1 μF）を介し、Vss に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

REGC 端子を外部回路の基準電圧として使用することができます。REGC 端子に接続する外部回路の入力インピーダンスは 1.5 MΩ 以上にしてください。REGC 端子の電圧は 1.5 V（Typ.）、電圧範囲は 1.38 ～ 1.60 V になります。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、1.5 V です。

第23章　オプション・バイト

23.1　オプション・バイトの機能

本製品のフラッシュ・メモリの 000C0H-000C3H は、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3H は 040C0H-040C3H と切り替わるので、040C0H-040C3H にも 000C0H-000C3H と同じ値を設定してください。

注意　オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

23.1.1　ユーザ・オプション・バイト（000C0H-000C2H/040C0H-040C2H）

(1)　000C0H/040C0H

- ウォッチドッグ・タイマの動作
  - カウンタの動作許可／禁止
  - HALT/STOP モード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウィンドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
  - インターバル割り込みを使用する／使用しない

注意　ブート・スワップ時は、000C0H と 040C0H が切り替わるので、040C0H にも 000C0H と同じ値を設定してください。

(2) 000C1H/040C1H

- LVD0の動作モード設定
  - リセット・モード
  - 割り込みモード
  - LVD0 オフ（$\overline{\text{RESET}}$ 端子による外部リセット入力を使用）
- LVD0検出レベル（V_{LVD0}）の設定
- P125/$\overline{\text{RESET}}$/(INTP9)端子の制御
  - ポート機能
  - $\overline{\text{RESET}}$ 入力

注意1. 電源立ち上がり時は、28.4 AC特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前にSTOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は、ユーザ・オプション・バイト（000C2H/040C2H）の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと040C1Hが切り替わるので、040C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/040C2H

- フラッシュ動作モードの設定
  使用するメイン・システム・クロック周波数（f_{MAIN}）、電源電圧（V_{DD}）に応じて設定
  - LS（低速メイン）モード
  - HS（高速メイン）モード
  - LP（低電力メイン）モード
- 高速オンチップ・オシレータの周波数設定
  - 1 ～ 32 MHz から選択

注意 ブート・スワップ時は、000C2Hと040C2Hが切り替わるので、040C2Hにも000C2Hと同じ値を設定してください。

23.1.2 オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）

- オンチップ・デバッグ動作制御
  - オンチップ・デバッグ動作禁止／許可
- セキュリティ ID認証失敗時のフラッシュ・メモリ・データの処理
  - オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意 ブート・スワップ時は、000C3Hと040C3Hが切り替わるので、040C3Hにも000C3Hと同じ値を設定してください。

23.2 ユーザ・オプション・バイトのフォーマット

図23 - 1 ユーザ・オプション・バイト（000C0H/040C0H）のフォーマット

アドレス ：000C0H/040C0H[注1]

略号	7	6	5	4	3	2	1	0
	WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/4 fIL到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間[注2]
0	0	設定禁止
0	1	50%
1	0	設定禁止
1	1	100%

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後、カウント停止）
1	カウンタ動作許可（リセット解除後、カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （fIL = 37.683 kHz (Max.)の場合）
0	0	0	2^7/fIL (3.39 ms)
0	0	1	2^8/fIL (6.79 ms)
0	1	0	2^9/fIL (13.58 ms)
0	1	1	2^{10}/fIL (27.17 ms)
1	0	0	2^{12}/fIL (108.69 ms)
1	0	1	2^{14}/fIL (434.78 ms)
1	1	0	2^{15}/fIL (869.56 ms)
1	1	1	2^{17}/fIL (3478.26 ms)

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時、カウンタ動作停止[注2]
1	HALT/STOPモード時、カウンタ動作許可

注1. ブート・スワップ時は、000C0Hと040C0Hが切り替わるので、040C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値にかかわらず、ウィンドウ・オープン期間100%となります。

備考 WDTON = 1のとき、IAWCTLレジスタのIAWENビットが0（不正メモリ・アクセスの検出無効）でも不正メモリ・アクセスの検出機能は有効となります。

図23 - 2 ユーザ・オプション・バイト（000C1H/040C1H）のフォーマット

アドレス ：000C1H/040C1H注

略号	7	6	5	4	3	2	1	0
	LVD0EN	LVD0SEL	1	PORTSELB	1	LVD0V2	LVD0V1	LVD0V0

LVD0の設定（リセット・モード）

検出電圧		オプション・バイト設定値				
V_{LVD0}		LVD0EN	モード設定 LVD0SEL	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり					
1.69 V	1.65 V	1	1	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—		上記以外は設定禁止				

LVD0の設定（割り込みモード）

検出電圧		オプション・バイト設定値				
V_{LVD0}		LVD0EN	モード設定 LVD0SEL	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり					
1.69 V	1.65 V	1	0	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—		上記以外は設定禁止				

LVD0オフ（$\overline{\text{RESET}}$端子により外部リセットを使用）

検出電圧		オプション・バイト設定値				
V_{LVD0}		LVD0EN	モード設定 LVD0SEL	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり					
—	—	0	×	0	1	0
—		上記以外は設定禁止				

P125/$\overline{\text{RESET}}$/(INTP9)端子の制御

PORTSELB	P125/$\overline{\text{RESET}}$/(INTP9)端子の制御
0	ポート機能P125/(INTP9)
1	$\overline{\text{RESET}}$入力（内蔵プルアップ抵抗が常時有効）

（注、注意、備考は次ページに続きます）

注　ブート・スワップ時は、000C1Hと040C1Hが切り替わるので、040C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット5, 3には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、28.4　AC特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前にSTOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は、ユーザ・オプション・バイト（000C2H/040C2H）の設定により変わります。

注意3. 電源投入後、P125は$\overline{\text{RESET}}$端子として機能します。パワーオン・リセット（POR）が内部リセット信号を解除しても、この端子にロウ・レベルが入力されている期間はリセット状態を継続します。P125/(INTP9)を使用する場合は、オプション・バイト（000C1H/010C1H）でポート機能（PORTSELB = 0）を選択し、すべてのリセット要因を解除してください。

備考1. ×：Don't care

備考2. LVD0の詳細は、**第19章　電圧検出回路（LVD）**を参照してください。

備考3. 検出電圧はTyp.値です。詳細は、**28.6.5　LVD回路特性**を参照してください。

図23 - 3 ユーザ・オプション・バイト（000C2H/040C2H）のフォーマット

アドレス ：000C2H/040C2H注1

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュ動作モード	動作周波数範囲	動作電圧範囲
0	1	LP（低電力メイン）モード注2	1～2 MHz（フラッシュ・メモリ書き換え不可）	1.6～5.5 V
1	0	LS（低速メイン）モード	1～4 MHz（フラッシュ・メモリ書き換え不可）	1.6～5.5 V
			1～24 MHz	1.8～5.5 V
1	1	HS（高速メイン）モード	1～4 MHz（フラッシュ・メモリ書き換え不可）	1.6～5.5 V
			1～32 MHz	1.8～5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注1. ブート・スワップ時は、000C2Hと040C2Hが切り替わるので、040C2Hにも000C2Hと同じ値を設定してください。

注2. LPモードでは、CPU／周辺ハードウェアクロック（f_{CLK}）に、高速オンチップ・オシレータ・クロック（f_{IH}）のみが選択可能です。

注意1. ビット5, 4には、必ず10Bを書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュ動作モードによって異なります。詳細は、28.4 AC特性を参照してください。

23.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図23 - 4 オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）のフォーマット

アドレス ：000C3H/040C3H注

略号	7	6	5	4	3	2	1	0
	OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップ時は、000C3Hと040C3Hが切り替わるので、040C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0（OCDENSET, OCDERSD）のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き換わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値（010B）を設定してください。

23.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定のほかにリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

```
                .CSEG     OPT_BYTE
                .DB       0x36      ; ウォッチドッグ・タイマのインターバル割り込みを使用しない、
                                    ; ウォッチドッグ・タイマ動作許可、
                                    ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、
                                    ; ウォッチドッグ・タイマのオーバフロー時間2^10/fIL、
                                    ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
                .DB       0xBF      ; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択
                                    ; LVD0の動作モードに割り込みモードを選択
                                    ; RESET入力を使用
                .DB       0x6D      ; フラッシュ動作モードにLP（低電力メイン）モード、
                                    ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
                .DB       0x85      ; オンチップ・デバッグ動作許可、セキュリティ ID認証失敗時に
                                    ; フラッシュ・メモリのデータを消去しない。
```

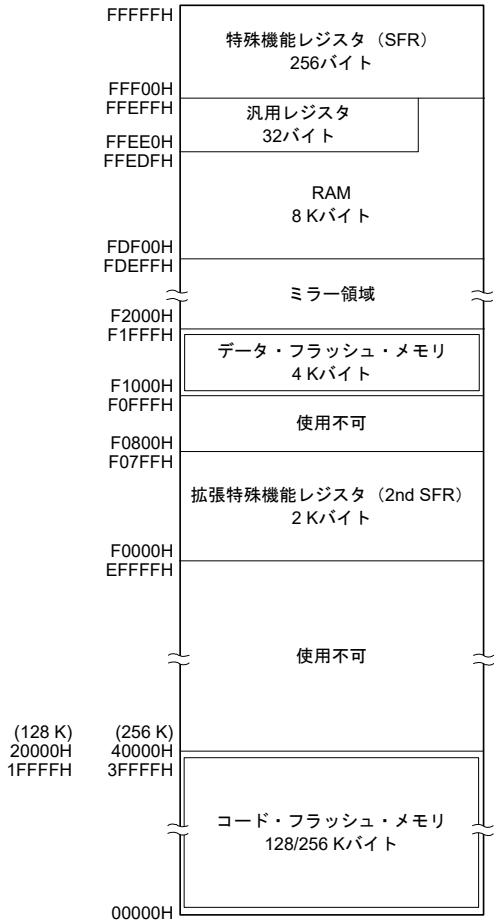
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3H は 040C0H-040C3H と切り替わります。そのため 040C0H-040C3H にも 000C0H-000C3H と同じ値を、次のように記述してください。

```
OPT2            .CSEG     AT        0x040C0
                .DB                 0x36      ; ウォッチドッグ・タイマのインターバル割り込みを使用しない、
                                              ; ウォッチドッグ・タイマ動作許可、
                                              ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、
                                              ; ウォッチドッグ・タイマのオーバフロー時間2^10/fIL、
                                              ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
                .DB                 0xBF      ; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択
                                              ; LVD0の動作モードに割り込みモードを選択
                                              ; RESET入力を使用
                .DB                 0x6D      ; フラッシュ動作モードにLP（低電力メイン）モード、
                                              ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
                .DB                 0x85      ; オンチップ・デバッグ動作許可、セキュリティ ID認証失敗時に
                                              ; フラッシュ・メモリのデータを消去しない。
```

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために040C0H-040C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第24章　フラッシュ・メモリ

本製品は、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能なコード・フラッシュ・メモリ領域、データの格納に最適なデータ・フラッシュ・メモリ領域、フラッシュ・メモリの動作設定やセキュリティ設定を格納するエクストラ領域があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART 通信）によるシリアル・プログラミングまたはセルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング（**24.1**参照）
  専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- 外部デバイス（UART内蔵）によるシリアル・プログラミング（**24.2**参照）
  外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。
- セルフ・プログラミング（**24.6**参照）
  ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

注意　フラッシュ・メモリを書き換える際、フラッシュ動作モード選択レジスタ（FLMODE）は変更しないでください。

データ・フラッシュ・メモリは、セルフ・プログラミングを利用して、ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュ・メモリへのアクセスや書き込みについては、**24.6　セルフ・プログラミング**および**24.10　データ・フラッシュ・メモリ**を参照してください。

コード・フラッシュ・メモリとデータ・フラッシュ・メモリには書き換わりを保護する機能があります。詳細は、**20.3.3　フラッシュ・メモリ・ガード機能**を参照してください。

24.1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

本製品の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E2, E2 Liteオンチップ・デバッギング・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1)　オンボード・プログラミング
ターゲット・システム上に本製品を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2)　オフボード・プログラミング
ターゲット・システム上に本製品を実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表24 - 1 RL78/G21と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
					20ピン	32ピン	44ピン	48ピン	64ピン
信号名		入出力	端子機能		LSSOP（4.4 × 6.5）	LQFP（7 × 7）	LQFP（10 × 10）	LFQFP（7 × 7）	LQFP（12 × 12） LFQFP（10 × 10）
PG-FP6	E2, E2 Lite オンチップ・デバッギング・エミュレータ								
—	TOOL0	入出力	送受信信号	TOOL0/P40	3	1	2	39	5
SI/RxD	—	入出力							
—	RESET_OUT	出力	リセット信号	$\overline{\text{RESET}}$	4	2	3	40	6
$\overline{\text{RESET}}$	—	出力							
V_{CC}	V_{DD}	入出力	V_{DD}電圧生成／電源監視	V_{DD}	10	8	11	48	15
GND		—	グランド	V_{SS}	9	7	10	47	13
				REGC注	8	6	9	46	12
FLMD1	EMV_{DD}	—	TOOL0端子駆動電源	V_{DD}	10	8	11	48	15

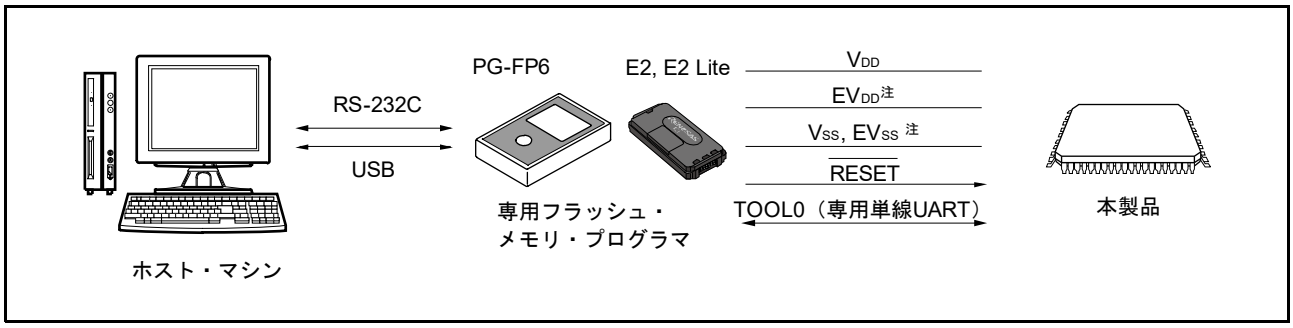
注 REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンでかまいません。

24.1.1 プログラミング環境

本製品のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24 - 1 フラッシュ・メモリにプログラムを書き込むための環境



注 64ピン製品のみ

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

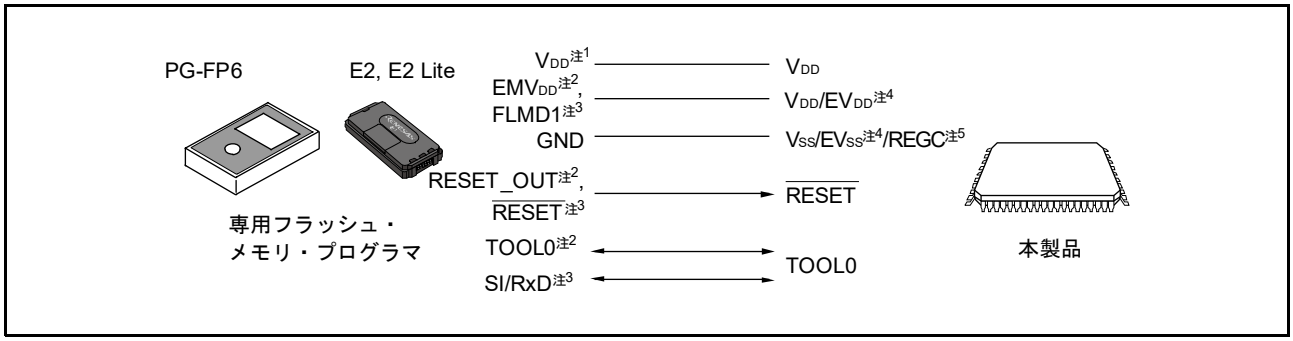
また、専用フラッシュ・メモリ・プログラマと本製品とのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み／消去の操作を行います。

24.1.2 通信方式

専用フラッシュ・メモリ・プログラマと本製品との通信は、本製品のTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図24 - 2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はVCCです。

注2. E2, E2 Liteオンチップ・デバッギング・エミュレータ使用時

注3. PG-FP6使用時

注4. 64ピン製品のみ

注5. REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマは本製品に対して次の信号を生成します。詳細は、PG-FP6 または E2, E2 Lite オンチップ・デバッギング・エミュレータのマニュアルを参照してください。

表24 - 2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				本製品
信号名		入出力	端子機能	端子名注1
PG-FP6	E2, E2 Liteオンチップ・デバッギング・エミュレータ			
VCC	VDD	入出力	VDD電圧生成／電圧監視	VDD
GND		—	グランド	VSS, EVSS, REGC注2
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD, EVDD
$\overline{\text{RESET}}$	—	出力	リセット信号	$\overline{\text{RESET}}$
—	RESET_OUT	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1.　接続先端子は、製品によって異なります。詳細は、**表24 - 1**を参照してください。

注2.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

24.2　外部デバイス（UART内蔵）によるシリアル・プログラミング

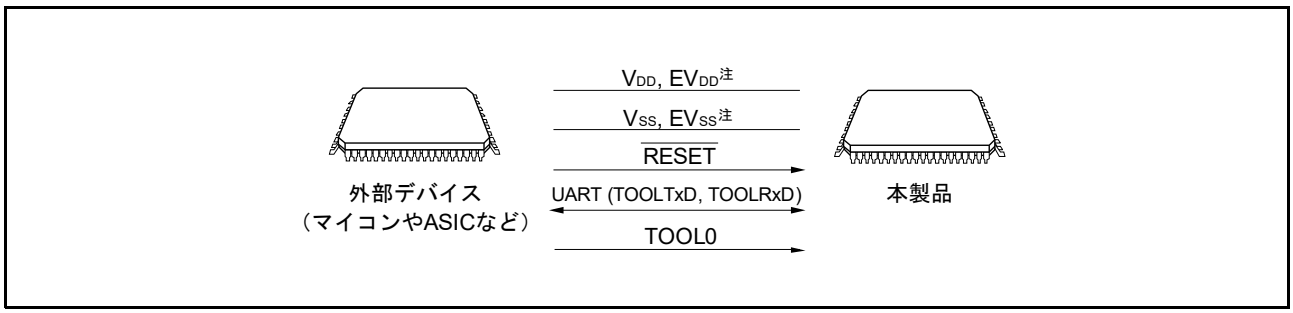
オンボード上で本製品と UART 接続されている外部デバイス（マイコンや ASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、**RL78 マイクロコントローラ（RL78 プロトコル C）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

24.2.1　プログラミング環境

本製品のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24 - 3　フラッシュ・メモリにプログラムを書き込むための環境



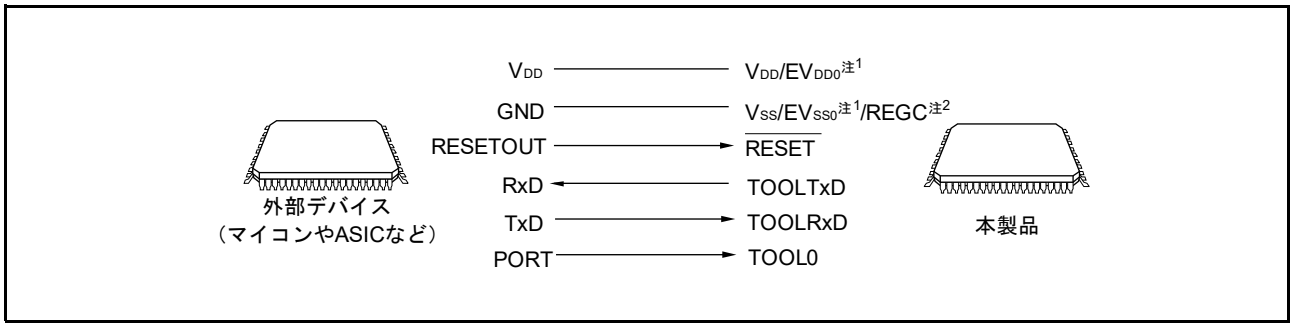
注　64ピン製品のみ

24.2.2 通信方式

外部デバイスと本製品との通信は、本製品の TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図24 - 4 外部デバイスとの通信



注1. 64 ピン製品のみ

注2. REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスは本製品に対して次の信号を生成します。

表24 - 3 端子接続一覧

外部デバイス			本製品
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成／電圧監視	VDD, EVDD注1
GND	—	グランド	VSS, REGC注2, EVSS注1
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注1. 64 ピン製品のみ

注2. REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

24.3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては、**24.4.2　フラッシュ・メモリ・プログラミング・モード**を参照してください。

24.3.1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で 1 kΩ の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ 以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 kΩ 以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部／内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。詳細は、**28.10　フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

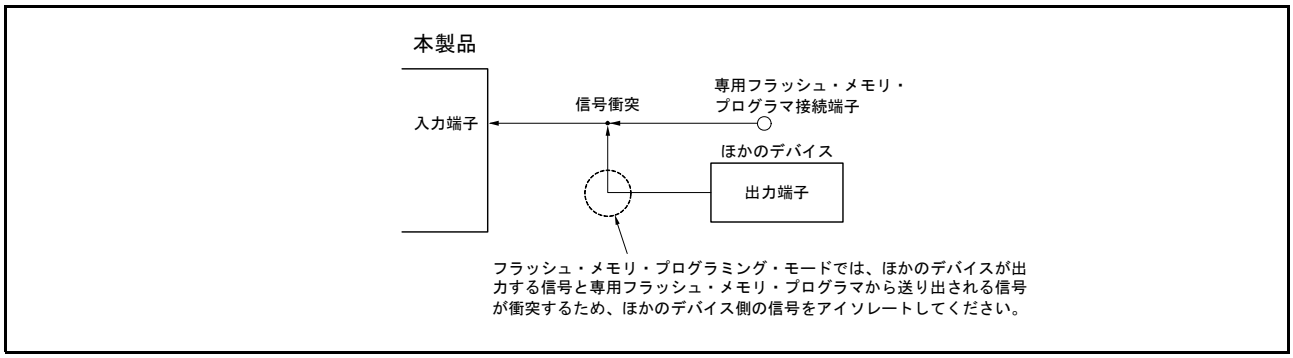
備考2. 本製品と専用フラッシュ・メモリ・プログラマとの通信には、単線UART（TOOL0端子）を使用するので、SAUやIICAの端子は使用しません。

24.3.2　$\overline{\text{RESET}}$端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図24 - 5　信号の衝突（$\overline{\text{RESET}}$端子）



24.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して VDD に接続するか、抵抗を介して Vss に接続するなどの端子処理が必要です。

24.3.4 REGC端子

REGC 端子は、通常動作時と同様に、特性の良いコンデンサ（0.47 ～ 1 μF）を介し、GND に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

24.3.5 電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラマの VDD 注に、Vss 端子はフラッシュ・メモリ・プログラマの GND に、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、フラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD, Vss 端子はフラッシュ・メモリ・プログラマの VDD 注、GND と必ず接続してください。

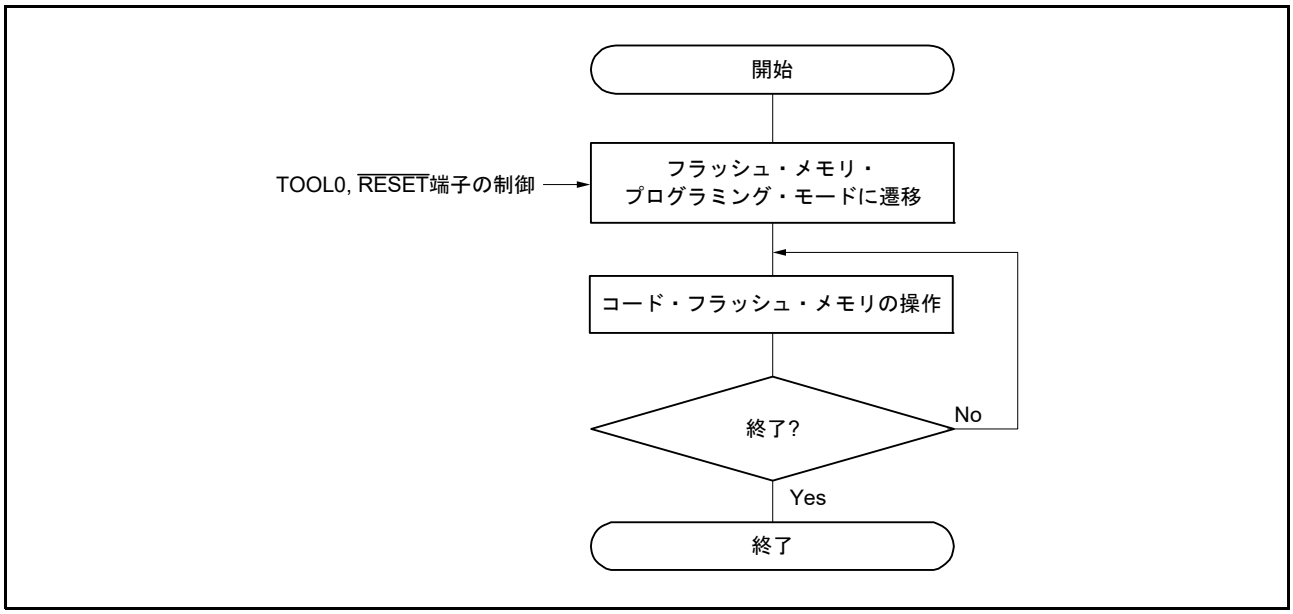
注 PG-FP6の信号名はVccです。

24.4　プログラミング方法

24.4.1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図24 - 6　コード・フラッシュ・メモリの操作手順



24.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

本製品を専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

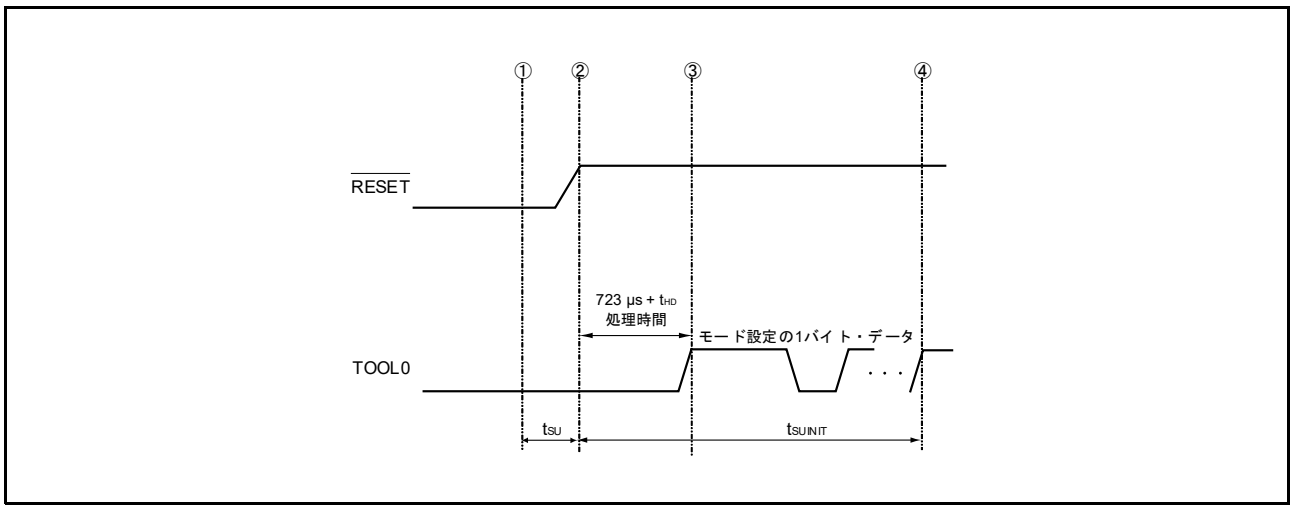
＜外部デバイス（UART 通信）を使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後、リセットを解除します（**表24 - 4**参照）。その後、**図24 - 7**に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、**RL78マイクロコントローラ（RL78プロトコルC）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

表24 - 4 リセット解除時のTOOL0端子への印加電圧と動作モードの関係

TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図24 - 7 フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} ：この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} ：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} ：外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は、**28.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

24.4.3 通信方式

本製品の通信方式は、次のようになります。

表24 - 5 通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART （フラッシュ・メモリ・プログラマ使用時、または外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART （外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

24.4.4　通信コマンド

本製品は、**表 24 - 6** に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスから本製品へ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、**RL78 マイクロコントローラ（RL78 プロトコル C）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

表24 - 6　フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます**注**。
情報取得	Silicon Signature	RL78マイクロコントローラ情報（品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注　書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョンなど）を取得することができます。

表 24 - 7 にシグネチャ・データー覧、**表 24 - 8** にシグネチャ・データ例を示します。

表24 - 7 シグネチャ・データー覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例. 00000H-3FFFFH（256 Kバイト）→ FFH, FFH, 03H）	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例. F1000H-F1FFFH（4 Kバイト）→ FFH, 1FH, 0FH）	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 （バージョンの上位から送信されます。 例. Ver.1.02 → 01H, 00H, 02H）	3バイト

表24 - 8 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78 プロトコルC	3バイト	10 00 0A
デバイス名	R7F103GLJ	10バイト	52 = “R” 37 = “7” 46 = “F” 31 = “1” 30 = “0” 33 = “3” 47 = “G” 4C = “L” 4A = “J” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-3FFFFH（256 Kバイト）	3バイト	FF FF 03
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH（4 Kバイト）	3バイト	FF 1F 0F
ファームウェア・バージョン	Ver.1.02	3バイト	01 00 02

24.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間（参考値）を次に示します。

表24 - 9 PG-FP6使用時の各コマンド処理時間（参考値）

PG-FP6のコマンド	コード・フラッシュ・メモリ	
	128 Kバイト	256 Kバイト
消去	1.3 s	2.1 s
書き込み	2.9 s	5.2 s
ベリファイ	2.2 s	3.9 s
消去後、書き込み	4 s	6.9 s

備考 コマンド処理時間（参考値）はTyp.値です。次に条件を示します。

Port ：TOOL0（単線UART）

Speed ：1,000,000 bps

24.6　セルフ・プログラミング

本製品は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップデートなどができるようになります。詳細は、**RL78 ファミリ Renesas Flash Driver RL78 Type01 ユーザーズマニュアル（R20UT4830JJ）**を参照してください。

注意1. CPUがサブシステム・クロック（fSUB）動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグが0にクリアされている状態でセルフ・プログラミングを実行してください。割り込みを許可する場合は、EI命令によりIEフラグが1にセットされている状態で、受け付ける割り込みの割り込みマスク・フラグを0にクリアして、セルフ・プログラミングを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作（HIOSTOP = 0）させ、高精度動作になっていること（HIPREC = 1）を確認してからセルフ・プログラミングを実行してください。

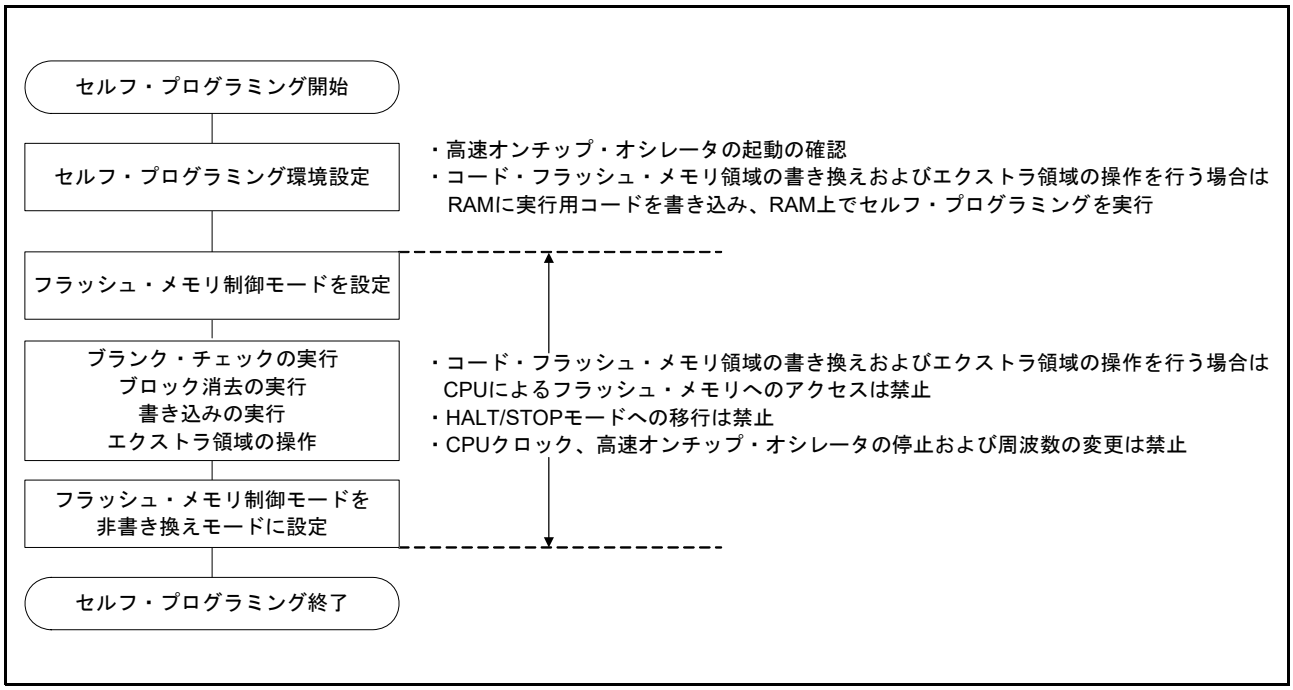
注意4. フラッシュ・メモリの書き換え中は、フラッシュ動作モード選択レジスタ（FLMODE）は変更しないでください。

24.6.1 セルフ・プログラミング手順

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、**24.6.2 フラッシュ・メモリを制御するレジスタ**を参照してください。

図24 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



24.6.2　フラッシュ・メモリを制御するレジスタ

フラッシュ・メモリを制御するレジスタを次に示します。

- フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL）
- フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL）
- フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL）
- フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）
- フラッシュ・ステータス・レジスタ（PFS）
- フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）
- フラッシュ領域選択レジスタ（FLARS）
- フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）
- フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）
- フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）
- フラッシュ・レジスタ初期化レジスタ（FLRST）
- フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）
- フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）
- フラッシュ FSWモニタ・レジスタE（FLFSWE）
- フラッシュ FSWモニタ・レジスタS（FLFSWS）
- データ・フラッシュ・コントロール・レジスタ（DFLCTL）
- 割り込みベクタ移動許可レジスタ（VECTCTRL）
- 割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1）

24.6.2.1 フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL）

FLAPH, FLAPL レジスタは、フラッシュ・メモリ・プログラミング時の先頭アドレスを指定するレジスタです。
FLAPH レジスタは、8 ビット・メモリ操作命令、FLAPL レジスタは、16 ビット・メモリ操作命令で設定します。
以下のいずれかの条件で FLAPH レジスタは 00H、FLAPL レジスタは 0000H になります。

- リセット信号の発生
- FLRSTレジスタのFLRST = 1

図24 - 9 フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL）のフォーマット

アドレス : F02C4H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス : F02C2H, F02C3H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLAPL	FLAP15	FLAP14	FLAP13	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8

7	6	5	4	3	2	1	0
FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

注意1. FLAPH, FLAPL レジスタは以下のいずれかの条件のときに書き換え可能です。

- **FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0）のときに書き換えと読み出しを実行してください。

24.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL）

FLSEDH, FLSEDL レジスタは、フラッシュ・メモリ・プログラミング時の最終アドレスを指定するレジスタです。
FLSEDH レジスタは、8 ビット・メモリ操作命令、FLSEDL レジスタは、16 ビット・メモリ操作命令で設定します。
以下のいずれかの条件で FLSEDH レジスタは 00H、FLSEDL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタのFLRST = 1

図24 - 10 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL）のフォーマット

アドレス : F02C8H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス : F02C6H, F02C7H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSEDL	EWA15	EWA14	EWA13	EWA12	EWA11	EWA10	EWA9	EWA8

7	6	5	4	3	2	1	0
EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	EWA1	EWA0

注意1. FLSEDH, FLSEDL レジスタは以下のいずれかの条件のときに書き換え可能です。
- **FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0）のときに書き換えと読み出しを実行してください。

注意3. コード・フラッシュ・メモリへのプログラミングでは、EWA1 およびEWA0 ビットの設定は無効です。

表24 - 10 FLAPH, FLAPL, FLSEDH, FLSEDLレジスタの設定方法

コード／データ・フラッシュ領域シーケンサの専用コマンド		FLAP, FLSEDレジスタの設定	
FSSQ	書き込み	FLAPH, FLAPL ：書き込み対象アドレス FLSEDH, FLSEDL ：ALL 0	
	ブランク・チェック	1ワードの場合 ：FLAPH, FLAPL設定値 = FLSEDH, FLSEDL設定値 2ワード以上の場合 ：FLAPH, FLAPL設定値 < FLSEDH, FLSEDL設定値	
	ブロック消去注	コード・フラッシュ・メモリ	FLAPH, FLAPL ：FLAP19-FLAP11ビットに先頭アドレス、FLAP10-FLAP2ビットにALL 0
			FLSEDH, FLSEDL：EWA19-EWA11ビットに最終アドレス、EWA10-EWA2ビットにALL 1
		データ・フラッシュ・メモリ	FLAPH, FLAPL ：FLAP19-FLAP8ビットに先頭アドレス、FLAP7-FLAP0ビットにALL 0
			FLSEDH, FLSEDL：EWA19-EWA8ビットに最終アドレス、EWA7-EWA0ビットにALL 1
FSSE	すべてのコマンド	FLAPH, FLAPL設定値 ：ALL 0 FLSEDH, FLSEDL設定値 ：ALL 0	

注 FLAPH, FLAPLレジスタとFLSEDH, FLSEDLレジスタは以下の条件を満たすよう設定してください。
FLAPH, FLAPL設定値 ≦ FLSEDH, FLSEDL設定値

24.6.2.3 フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL）

FLWH, FLWL レジスタは、フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。

FLWH, FLWL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLWH, FLWL レジスタは 0000H になります。

- リセット信号の発生
- FLRSTレジスタのFLRST = 1
- フラッシュ・メモリ・シーケンサの動作完了

データ・フラッシュ・メモリの書き込みデータは FLWL レジスタの下位 8 ビットに設定します。

図24 - 11 フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL）のフォーマット

アドレス : F02CEH, F02CFH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24

7	6	5	4	3	2	1	0
FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス : F02CCH, F02CDH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8

7	6	5	4	3	2	1	0
FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

注意1. FLWH, FLWL レジスタは以下のいずれかの条件のときに書き換え可能です。
- **FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0）のときに書き換えと読み出しを実行してください。

注意3. データ・フラッシュ・メモリへの書き込みは、FLWL レジスタの下位8 ビットに書き込みデータを設定してください。それ以外のビットは0 を設定してください。

24.6.2.4　フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）

PFCMD レジスタは、フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）への書き込み動作に対して、プロテクションを施すためレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスに従って A5H を書き込む必要があります。特定シーケンスの実行手順については、**24.6.3　フラッシュ・メモリ制御モードの設定**を参照してください。

PFCMD レジスタは、8 ビット・メモリ操作命令で設定します。

図24 - 12　フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）のフォーマット

アドレス　：F00C0H
リセット時：不定
R/W属性　：W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

24.6.2.5　フラッシュ・ステータス・レジスタ（PFS）

PFS レジスタは、フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）への書き込み動作に対して、プロテクション・エラーの発生を示すレジスタです。

FPRERR ビットのセット／クリア条件は、**24.6.3.1　特定シーケンス実行手順**を参照してください。

PFS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図24 - 13　フラッシュ・ステータス・レジスタ（PFS）のフォーマット

アドレス　：F00C1H
リセット時：00H
R/W属性　：R

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERR	プロテクション・エラー・フラグ
0	エラー発生なし
1	エラー発生あり

24.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）

FLPMC レジスタは、フラッシュ・メモリへの書き込みの禁止／許可やプログラミング・モードを選択するレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスの実行が必要です。特定シーケンスの実行手順については、**24.6.3 フラッシュ・メモリ制御モードの設定**を参照してください。

FLPMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、08H になります。

図24 - 14 フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のフォーマット

アドレス : F02C0H
リセット時: 08H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	EEEMD	FWEDIS	0	FLSPM	0

EEEMD	データ・フラッシュ・メモリのプログラミング・モード選択
0	非書き換えモード
1	プログラミング・モード

FWEDIS	コード・フラッシュ・メモリの消去／書き込み許可／禁止のソフトウェア制御注
0	消去／書き込み許可
1	消去／書き込み禁止

FLSPM	コード・フラッシュ・メモリのプログラミング・モード選択
0	非書き換えモード
1	プログラミング・モード

注 コード・フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず0を設定してください。

注意 エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0）のときにFLPMC レジスタへの書き換えは有効になります。

24.6.2.7 フラッシュ領域選択レジスタ（FLARS）

FLARS レジスタは、セルフ・プログラミングの対象とするフラッシュ・メモリの領域を選択するレジスタです。

FLARS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図24 - 15 フラッシュ領域選択レジスタ（FLARS）のフォーマット

アドレス ：F02C1H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
FLARS	0	0	0	0	0	0	0	EXA

EXA	セルフ・プログラミングの対象とするフラッシュ・メモリ領域の選択
0	コード／データ・フラッシュ・メモリ領域
1	エクストラ領域

注意 FLARS レジスタは以下のいずれかの条件のときに書き換え可能です。

- **FLPMC レジスタの FLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタの EEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

24.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）

FSSET レジスタは、フラッシュ・メモリ・シーケンサの動作周波数設定、ブート・スワップ機能の初期設定をするレジスタです。

FSSET レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 16 フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）のフォーマット

アドレス ：F00B6H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	0	FSET4	FSET3	FSET2	FSET1	FSET0

TMSPMD	ブート領域設定の選択[注]
0	エクストラ領域のセキュリティ・フラグとブート・スワップ機能の設定領域のEX bit8（BTFLG）の値に従ってブート領域を指定 BTFLG = 0：ブート領域はブート・クラスタ1 BTFLG = 1：ブート領域はブート・クラスタ0
1	TMBTSELビットに従ってブート領域を指定

TMBTSEL	TMSPMD = 1のときのブート領域の指定
0	ブート領域にブート・クラスタ0を指定
1	ブート領域にブート・クラスタ1を指定

FSET4-FSET0	フラッシュ・メモリ・シーケンサの動作周波数の設定
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0ビットの設定値の関係は、**表24 - 11**を参照してください。

注 FLSECレジスタのBTPRビットが0（ブート領域書き換え禁止）の場合、TMSPMD, TMBTSELビットは設定できません。

注意1. FSSETレジスタは以下のいずれかの条件のときに書き換え可能です。

- **FLPMCレジスタのFLSPMビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMCレジスタのEEEMDビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. BTFLGビットによるブート領域の設定は設定後ただちに反映されます。リセット解除後にブート領域を変更したい場合は、TMSPMDビットが0の状態でFSASTLレジスタのMBTSELビットを読み出して、同じ値をTMBTSELビットに設定してください。その後、TMSPMDビットに1を設定し、エクストラ領域シーケンサでBTFLGビットにリセット解除時にブート領域として起動するブート・クラスタを指定してください。次のリセット解除時にBTFLGビットに設定したブート・クラスタをブート領域として起動します。

表24 - 11　フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0ビットの設定値の関係

動作周波数（MHz）	FSET4-FSET0ビットの設定値	動作周波数（MHz）	FSET4-FSET0ビットの設定値	動作周波数（MHz）	FSET4-FSET0ビットの設定値
32	11111B	31	11110B	30	11101B
29	11100B	28	11011B	27	11010B
26	11001B	25	11000B	24	10111B
23	10110B	22	10101B	21	10100B
20	10011B	19	10010B	18	10001B
17	10000B	16	01111B	15	01110B
14	01101B	13	01100B	12	01011B
11	01010B	10	01001B	9	01000B
8	00111B	7	00110B	6	00101B
5	00100B	4	00011B	3	00010B
2	00001B	1	00000B	—	—

注意　CPUが動作する周波数の小数点以下を切り上げた動作周波数に対する設定値を設定してください。
（例：CPUが動作する周波数が4.5 MHzの場合は、5 MHzに対する設定値（00100B）を設定してください）
ただし、CPUが動作する周波数が4 MHz未満の場合は、整数値ではない1.5 MHzなどの周波数は使用できません。

24.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）

FSSQ レジスタは、コード／データ・フラッシュ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

コード／データ・フラッシュ領域シーケンサは、FSSQ レジスタの SQST ビットに 1 を設定すると MDCH, SQMD2-SQMD0 ビットに設定されたコマンドを実行します。

FSSQ レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図24 - 17 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット (1/2)

アドレス : F02C5H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
FSSQ	SQST	FSSTP	0	0	MDCH	SQMD2	SQMD1	SQMD0

SQST	コード／データ・フラッシュ領域シーケンサの動作制御
0	動作停止注1
1	動作開始

FSSTP	コード／データ・フラッシュ領域シーケンサの強制停止制御
0	強制停止しない
1	強制停止する

図24 - 17 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット (2/2)

MDCH	SQMD2	SQMD1	SQMD0	コード／データ・フラッシュ領域シーケンサのコマンド
0	0	0	1	• 書き込み FLWH, FLWHL レジスタに格納したデータをFLAPH, FLAPL レジスタで指定されるアドレスに書き込みます注2。 コード・フラッシュ・メモリ領域のアドレス指定した場合は4バイトのデータを書き込みます。データ・フラッシュ・メモリ領域のアドレスを指定した場合はFLWL レジスタの下位8ビット（FLW7-FLW0）に格納された1バイトを指定したアドレスに書き込みます。
0	0	1	1	• コード・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPL レジスタで指定されるアドレスから、FLSEDH, FLSEDL レジスタで指定されるアドレスまでのコード・フラッシュ・メモリ領域が1であるかチェックを行います注3。
1	0	1	1	• データ・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPL レジスタで指定されるアドレスから、FLSEDH, FLSEDL レジスタで指定されるアドレスまでのデータ・フラッシュ・メモリ領域が1であるかチェックを行います。
0	1	0	0	• ブロック消去 FLAPH, FLAPL レジスタで指定されるアドレスからFLSEDH, FLSEDL レジスタで指定されるアドレスまでのブロックを消去します注4。
上記以外				設定禁止

注1. FSASTH レジスタのSQEND = 1（シーケンサの動作終了）を確認したあとに、SQSTビットに0を設定してコード／データ・フラッシュ領域シーケンサの動作を停止してください。

★ **注2.** コード・フラッシュ・メモリ領域へ書き込み単位は4バイトです。したがって、FLAPL レジスタが4の倍数になるように下位2ビットには00Bを設定してください。詳細は、**24.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

★ **注3.** コード・フラッシュ・メモリ領域のブランクチェックは4バイトごとの先頭アドレスを指定します。したがって、FLAPL レジスタが4の倍数になるように下位2ビットには00Bを設定してください。詳細は、**24.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

注4. コード・フラッシュ・メモリ領域の消去ブロック単位は2 Kバイトです。また、データ・フラッシュ・メモリの消去ブロック単位は256バイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスから終了アドレスを指定してください。詳細は、**24.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**、**24.6.6.5 データ・フラッシュ・メモリ領域書き換えの操作**を参照してください。また、アドレスとブロック番号の関係については、**表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

注意 FSSQ レジスタは以下のいずれかの条件のときに書き換え可能です。

- **FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）かつFWEDIS ビットが0（コード・フラッシュ・メモリの消去／書き込み許可）**
- **FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

24.6.2.10 フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）

FSSE レジスタは、エクストラ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

フラッシュ・エクストラ領域シーケンサは、FSSE レジスタの ESQST ビットに 1 を設定すると ESQMD3-ESQMD0 ビットに設定されたコマンドを実行します。

FSSE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図24 - 18 フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）のフォーマット (1/2)

アドレス : F00B7H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
FSSE	ESQST	0	0	0	ESQMD3	ESQMD2	ESQMD1	ESQMD0

ESQST	エクストラ領域シーケンサの動作制御
0	動作停止注
1	動作開始

図24 - 18 フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）のフォーマット (2/2)

ESQMD3	ESQMD2	ESQMD1	ESQMD0	エクストラ領域シーケンサのコマンド
0	0	0	1	• フラッシュ・シールド・ウィンドウの設定領域への書き込み FLWH, FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・シールド・ウィンドウの設定領域に書き込みます。フラッシュ・シールド・ウィンドウ・モード制御、スタート・ブロック、エンド・ブロックを設定します。 フラッシュ・シールド・ウィンドウの設定領域のEX bit15（FSPR）に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ（ESEQER）が1になります。
0	1	1	0	• フラッシュ・リード・プロテクションの設定領域への書き込み FLWH, FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・リード・プロテクションの設定領域に書き込みます。フラッシュ・リード・プロテクション設定の変更禁止、スタート・ブロック、エンド・ブロックを設定します。 フラッシュ・リード・プロテクションの設定領域のEX bit31（SWPR）に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ（ESEQER）が1になります。
0	1	1	1	• セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み FLWH, FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・メモリのセキュリティ・フラグとブート・スワップ機能の設定領域に書き込みます。ブロック消去禁止、書き込み禁止、ブート領域の書き換え禁止、ブート領域の選択を設定します。 セキュリティ・フラグとブート・スワップ機能の設定領域のEX bit9（BTPR）に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ（ESEQER）が1になります。
上記以外				設定禁止

注 FSASTHレジスタのESQEND = 1（シーケンサの動作終了）を確認したあとに、ESQSTビットに0を設定してエクストラ領域シーケンサの動作を停止してください。

注意1. FSSEレジスタは以下の条件のときに書き換え可能です。
FLPMCレジスタのFLSPMビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）かつFWEDISビットが0（コード・フラッシュ・メモリの消去／書き込み許可）

注意2. エクストラ領域に書き込みをする場合は、エクストラ領域シーケンサを起動する前にFLARSレジスタのEXAビットに1を設定し、FLWH, FLWLレジスタに書き込みデータを設定してください。

注意3. ESQMD3-ESQMD0ビットは、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTHレジスタのSQEND = 0, ESQEND = 0、FSSQレジスタのSQST = 0、FSSEレジスタのESQST = 0）のときに書き換えてください。

24.6.2.11 フラッシュ・レジスタ初期化レジスタ（FLRST）

FLRST レジスタは、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサで使用するレジスタを初期化するレジスタです。

FLRST レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

FLRST レジスタの操作方法の詳細は、**24.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化**を参照してください。

リセット信号の発生により、00H になります。

図24 - 19 フラッシュ・レジスタ初期化レジスタ（FLRST）のフォーマット

アドレス : F02C9H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST

FLRST	レジスタの初期化制御
0	リセット動作しない
1	FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタをリセットする

注意1. FLRST = 1にしてレジスタを初期化は、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0のとき）でのみ可能です。

注意2. シーケンサを使用するときは、FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタを設定する前に必ずFLRST ビットを0にしてください。また、シーケンサ動作中はFLRSTに1を設定しないでください。

24.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）

FSASTH, FSASTL レジスタは、フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。

FSASTH, FSASTL レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

図24 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）のフォーマット (1/2)

アドレス : F02CBH
リセット時: 00H/04H
R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	×	0	0

アドレス : F02CAH
リセット時: 00H/80H注1
R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

ESQEND	エクストラ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはESQSTビットに0を設定して動作停止
1	動作終了

SQEND	コード／データ・フラッシュ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはSQSTビットに0を設定して動作停止
1	動作終了

MBTSEL	ブート・フラグ・モニタ・ビット注2
0	BTFLG = 1（ブート領域はブート・クラスタ0）
1	BTFLG = 0（ブート領域はブート・クラスタ1）

MOPEN	コード／データ・フラッシュ領域シーケンサの動作ステータス・フラグ
0	動作停止
1	動作中

ESEQER	エクストラ領域シーケンサ・エラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサを起動するとクリアされます。	

図24 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）のフォーマット (2/2)

SEQER	フラッシュ・メモリ・シーケンサのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。	

BLER	ブランク・チェック・コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。	

WRER	書き込みコマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。また、書き込み中に強制終了すると読み出し値は不定になります。	

ERER	ブロック消去コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。また、ブロック消去中に強制終了すると読み出し値は不定になります。	

注1. MBTSELビットの初期値は、エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の値に依存するため、不定です。

注2. エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の反転値を示します。

24.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）

FLSEC レジスタは、エクストラ領域に設定されたセキュリティ・フラグとブート・スワップ機能の設定情報をモニタするレジスタです。

FLSEC レジスタは、16 ビット・メモリ操作命令で読み出します。

図24 - 21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）のフォーマット

アドレス ：F00B0H, F00B1H
リセット時: 不定
R/W属性 ：R

略号	15	14	13	12	11	10	9	8
FLSEC	0	0	0	WRPR	0	SEPR	BTPR	BTFLG

7	6	5	4	3	2	1	0
0	0	0	0	SWPR	0	IFPR	IDEN

WRPR	書き込み禁止フラグ
0	書き込み禁止
1	書き込み許可

SEPR	ブロック消去禁止フラグ
0	ブロック消去禁止
1	ブロック消去許可

BTPR	ブート領域書き換え禁止フラグ
0	ブート領域の書き換えを禁止
1	ブート領域の書き換えを許可

BTFLG	ブート領域切り替えフラグ
0	ブート領域はブート・クラスタ1
1	ブート領域はブート・クラスタ0

SWPR	フラッシュ・リード・プロテクション設定の変更禁止フラグ
0	禁止状態
1	許可状態

IFPR	プログラマ・オンチップ・デバッガ接続禁止フラグ
0	接続禁止
1	接続許可

IDEN	プログラマ接続ID認証の有効フラグ
0	ID認証有効
1	ID認証無効

24.6.2.14 フラッシュ FSWモニタ・レジスタE（FLFSWE）

FLFSWE レジスタは、フラッシュ・シールド領域のエンド・ブロック番号およびシールド領域がウィンドウ範囲の内側か外側かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWE レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**24.8 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWE レジスタは、16 ビット・メモリ操作命令で読み出します。

図24 - 22 フラッシュ FSWモニタ・レジスタE（FLFSWE）のフォーマット

アドレス : F00B4H, F00B5H
リセット時: 不定
R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWE	FSWC	0	0	0	0	0	0	FSWE8

7	6	5	4	3	2	1	0
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

FSWC	シールド領域設定
0	インサイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の内側
1	アウト・サイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の外側

FSWE8-FSWE0	フラッシュ・シールド領域のエンド・ブロック番号
—	エンド・ブロック + 1**注**

注 エクストラ領域に設定された値が示されます。実際のエンド・ブロックのブロック番号はFSWE8-FSWE0ビットの値から1を引いたブロック番号になります。また、シリアル・プログラミング時ではエンド・ブロックのブロック番号を指定しますが、エクストラ領域にはエンド・ブロック + 1で設定されます。詳細は、**表24 - 12**を参照してください。

24.6.2.15 フラッシュ FSWモニタ・レジスタS（FLFSWS）

FLFSWS レジスタは、フラッシュ・シールド領域のスタート・ブロック番号およびフラッシュ・シールド・ウィンドウ設定が書き換え禁止か許可かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWS レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**24.8 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWS レジスタは、16 ビット・メモリ操作命令で読み出します。

図24 - 23 フラッシュ FSWモニタ・レジスタS（FLFSWS）のフォーマット

アドレス : F00B2H, F00B3H
リセット時: 不定
R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWS	FSPR	0	0	0	0	0	0	FSWS8

7	6	5	4	3	2	1	0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止フラグ
0	禁止状態
1	許可状態

FSWS8-FSWS0	フラッシュ・シールド領域のスタート・ブロック番号
—	スタート・ブロック

24.6.2.16 データ・フラッシュ・コントロール・レジスタ（DFLCTL）

DFLCTL レジスタは、データ・フラッシュ・メモリ領域へのアクセス許可／禁止を設定するレジスタです。
DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図24 - 24 データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス : F0090H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュ・メモリ領域のアクセス制御
0	データ・フラッシュ・メモリ領域のアクセス禁止
1	データ・フラッシュ・メモリ領域のアクセス許可

24.6.2.17 割り込みベクタ移動許可レジスタ（VECTCTRL）

VECTCTRL レジスタは、セルフ・プログラミング実行中に発生した割り込みに対し、分岐先を設定するレジスタです。

VECTCTRL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 25 割り込みベクタ移動許可レジスタ（VECTCTRL）のフォーマット

アドレス : F00FFH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
VECTCTRL	0	0	0	0	0	0	0	VECTCTRL

VECTCTRL	割り込みの分岐先設定
0	ROM上の割り込みベクタ・アドレス
1	RAMの指定アドレス**注**

注 RAMの分岐先アドレスは、FLSIVC1, FLSIVC0 レジスタで指定します。詳細は、**24.6.2.18 割り込みベクタ変更レジスタ 0, 1（FLSIVC0, FLSIVC1）**を参照してください。

24.6.2.18 割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1）

FLSIVC0, FLSIVC1 レジスタは、セルフ・プログラミング実行中に発生した割り込みの分岐先アドレスを指定するレジスタです。

セルフ・プログラミング中の割り込み処理の実行方法については、**24.6.7 コード・フラッシュ・プログラミング・モード中の割り込み**を参照してください。

FLSIVC0, FLSIVC1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FLSIVC0 レジスタは 0000H、FLSIVC1 レジスタは 000FH になります。

図24 - 26 割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1）のフォーマット

アドレス : F0480H, F0481H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC0	FLSIV15	FLSIV14	FLSIV13	FLSIV12	FLSIV11	FLSIV10	FLSIV9	FLSIV8

7	6	5	4	3	2	1	0
FLSIV7	FLSIV6	FLSIV5	FLSIV4	FLSIV3	FLSIV2	FLSIV1	FLSIV0

アドレス : F0482H, F0483H
リセット時: 000FH
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	FLSIV19	FLSIV18	FLSIV17	FLSIV16

注意 FLSIVC1 レジスタには上位4 ビットを、FLSIVC0 レジスタにはアドレスの下位16 ビットを設定してください。

24.6.3　フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード
  コード・フラッシュ・メモリ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード
  データ・フラッシュ・メモリ領域が書き換え可能なモードです。
- 非書き換えモード
  フラッシュ・メモリ（コード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域、エクストラ領域）が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミング・モードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に特定シーケンスを実行します。

注意　データ・フラッシュ・メモリ領域を操作する場合は、データ・フラッシュ・メモリのアクセス許可（DFLCTL レジスタの DFLEN = 1）の状態で行ってください。

24.6.3.1　特定シーケンス実行手順

以下の①～④の手順でフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に書き込むことで、各モードへ移行します。

① PFCMD レジスタに A5H を書き込む
② FLPMC レジスタに設定したい値を書き込む
③ FLPMC レジスタに設定したい値の反転値を書き込む
④ FLPMC レジスタに設定したい値を書き込む

- 特定シーケンスは、FLRST レジスタの FLRST = 0 かつフラッシュ・メモリ・シーケンサが停止中の場合に実行可能です。
- 特定シーケンスでは、手順①、②、③、④の間でほかのメモリやレジスタへの書き込み動作を行った場合、特定レジスタへの書き込みは行われず、プロテクション・エラーが発生し、フラッシュ・ステータス・レジスタ（PFS）の FPRERR フラグが 1 にセットされます。FPRERR フラグは、リセット、または次の特定シーケンス開始時にクリアされます。

24.6.3.2 コード・フラッシュ・プログラミング・モード移行手順

コード・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

① PFCMD レジスタに A5H を書き込む
② FLPMC レジスタに 02H を書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 1）
③ FLPMC レジスタに FDH を書き込む（02H の反転値）
④ FLPMC レジスタに 02H を書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 1）

24.6.3.3 データ・フラッシュ・プログラミング・モード移行手順

データ・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

① PFCMD レジスタに A5H を書き込む
② FLPMC レジスタに 10H を書き込む（EEEMD = 1, FWEDIS = 0, FLSPM = 0）
③ FLPMC レジスタに EFH を書き込む（10H の反転値）
④ FLPMC レジスタに 10H を書き込む（EEEMD = 1, FWEDIS = 0, FLSPM = 0）

24.6.3.4 非書き換えモード移行手順

コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードから非書き換えモード移行手順を実施し、ウエイト注後にプログラミング・モード対象のフラッシュ・メモリの読み出しが可能になります。

注 ウエイト時間は10 μsです。

＜割り込みベクタを RAM アドレスへ変更していない場合＞

割り込み発生時にROM上の割り込みベクタが示すアドレスへ分岐する場合の移行手順を以下に示します。

① PFCMD レジスタにA5Hを書き込む
② FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
③ FLPMC レジスタにF7Hを書き込む（08Hの反転値）
④ FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
⑤ 10 μsウエイト後、対象のフラッシュ・メモリの読み出しが可能になります。

＜割り込みベクタを RAM アドレスへ変更している場合＞

割り込みの分岐先がRAM上の指定アドレスへ変更されている場合の移行手順を以下に示します。

① PFCMD レジスタにA5Hを書き込む
② FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
③ FLPMC レジスタにFFHを書き込む（00Hの反転値）
④ FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
⑤ 10 μsウエイト後、対象のフラッシュ・メモリの読み出しが可能になります。

24.6.4　フラッシュ・メモリ・シーケンサ用レジスタの初期化

フラッシュ・レジスタ初期化レジスタ（FLRST）の FLRST ビットをセットすることで、対象レジスタをリセットして初期化します。

対象レジスタ：FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE

対象レジスタのクリア手順を以下に示します。

① FLRST ビットをセット
② CPU クロックで 1 サイクル以上をソフトウェアでウエイト
③ FLRST ビットをクリア

24.6.5　フラッシュ・メモリ・シーケンサの動作周波数設定

CPU の動作周波数 [1 ～ 32 (MHz)] の値をフラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）の FSET4-FSET0 ビットに設定します。CPU が動作する周波数の小数点以下を切り上げた動作周波数に対する設定値を設定してください。

（例：4.5 MHz の場合は、5 MHz に対する設定値（00100B）を設定）

フラッシュ・メモリ・シーケンサの動作周波数の設定方法を以下に示します。

① コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードへ移行します。
移行手順は、**24.6.3.1　特定シーケンス実行手順**、**24.6.3.2　コード・フラッシュ・プログラミング・モード移行手順**および**24.6.3.3　データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
② フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）を読み出し、TMSPMD, TMBTSEL ビットに読み出した値と同じ値を、FSET4-FSET0 ビットに CPU の動作周波数を設定します。

注意　コード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサを使用して、コード／データ・フラッシュ・メモリまたはエクストラ領域へ書き換えなどの操作を実行する場合、FSSET レジスタの FSET4-FSET0 ビットへ CPU の動作周波数を設定しておく必要があります。
CPU の動作周波数が正しく設定されていない状態での書き換え動作は不定となり、書かれたデータは保証されませんのでご注意ください（書き込み直後のフラッシュ・メモリのデータ値が期待値通りであっても、その値の保持期間を保証できません）。

24.6.6　フラッシュ・メモリの書き換え

24.6.6.1　概要

フラッシュ・メモリ・シーケンサは、コード・フラッシュ・メモリ領域またはデータ・フラッシュ・メモリ領域を書き換えるコード／データ・フラッシュ領域シーケンサと、エクストラ領域を書き換えるエクストラ領域シーケンサがあります。それぞれの領域を書き換えるには、各シーケンサのコマンドを実行します。

24.6.6.2　書き換え領域の選択

フラッシュ領域選択レジスタ（FLARS）により、書き換える領域としてコード／データ・フラッシュ・メモリ領域、またはエクストラ領域のいずれかを選択します。

24.6.6.3　コード／データ・フラッシュ領域シーケンサ・コマンド

コード／データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサの専用コマンドを使用します。コマンドの実行は、フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）の SQMD2-SQMD0 ビットに実行するコマンドを設定し、SQST ビットに 1 を設定します。SQMD2-SQMD0 ビットと SQST ビットは同時に設定することもできます。

コード／データ・フラッシュ領域シーケンサの専用コマンドについては、**24.6.2.9　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）**を参照してください。

24.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作

コード・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。なお、コード・フラッシュ・メモリ領域の書き換え処理ソフトウェアは RAM に配置し、RAM 上で実行してください。

コード・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位 ：2 K バイト
- 書き込み単位 ：4 バイト

＜操作方法＞

① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**24.6.3.1 特定シーケンス実行手順**および**24.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**を参照してください。

② FLARS レジスタの EXA ビットに 0（コード／データ・フラッシュ・メモリ領域）を設定します。

③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。

- ブロック消去

  FLAPH, FLAPL レジスタに消去するコード・フラッシュ・メモリのブロック先頭アドレス**注1**（例：002000H）を設定します。

  FLSEDH, FLSEDL レジスタに消去するコード・フラッシュ・メモリのブロック終了アドレス**注1**（例：0027FFH）を設定します。

- 書き込み

  FLAPH, FLAPL レジスタに書き込むフラッシュ・メモリの先頭アドレス**注2**（例：002000H）を設定します。

  FLWH, FLWL レジスタに書き込むデータ（4バイト）を設定します。

- ブランク・チェック

  FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス**注2**（例：002000H）を設定します。

  FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス（例：0027FFH）を設定します。

  なお、4バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。

④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。

- ブロック消去：84H
- 書き込み：81H
- コード・フラッシュ・メモリ領域のブランク・チェック：83H

⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**24.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

＜コマンド処理を継続する場合＞

コード・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。

＜コマンド処理を完了する場合＞

非書き換えモードに移行します。移行手順は、**24.6.3.1 特定シーケンス実行手順**および**24.6.3.4 非書き換えモード移行手順**を参照してください。

注1. コード・フラッシュ・メモリ領域の消去ブロック単位は2 Kバイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスと終了アドレスを指定してください。アドレスとブロック番号の関係については、**表3 - 1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

注2. コード・フラッシュ・メモリ領域の書き込み、ブランク・チェックは4バイト単位です。したがって、アドレスを示すFLAPLレジスタの下位2ビットには4の倍数である00Bを設定してください。

24.6.6.5 データ・フラッシュ・メモリ領域書き換えの操作

データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

データ・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位 ：256 バイト
- 書き込み単位 ：1 バイト

＜操作方法＞

① データ・フラッシュ・プログラミング・モードに移行します。移行手順は、**24.6.3.1 特定シーケンス実行手順**および**24.6.3.3 データ・フラッシュ・プログラミング・モード移行手順**を参照してください。

② FLARS レジスタの EXA ビットに 0（コード／データ・フラッシュ・メモリ領域）を設定します。

③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。

- ブロック消去

  FLAPH, FLAPL レジスタに消去するデータ・フラッシュ・メモリのブロック先頭アドレス**注**（例：0F1100H）を設定します。

  FLSEDH, FLSEDL レジスタに消去するデータ・フラッシュ・メモリのブロック終了アドレス**注**（例：0F11FFH）を設定します。

- 書き込み

  FLAPH, FLAPL レジスタに書き込む対象のフラッシュ・メモリの先頭アドレス（例：0F1101H）を設定します。

  FLWL レジスタの下位8ビットに書き込むデータを設定してください。

- ブランク・チェック

  FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス（例：0F1100H）を設定します。

  FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス（例：0F11FFH）を設定します。

  なお、1バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。

④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。

- ブロック消去：84H
- 書き込み：81H
- データ・フラッシュ・メモリ領域のブランク・チェック：8BH

⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**24.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

＜コマンド処理を継続する場合＞

データ・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。

＜コマンド処理を完了する場合＞

非書き換えモードに移行します。移行手順は、**24.6.3.1 特定シーケンス実行手順**および**24.6.3.4 非書き換えモード移行手順**を参照してください。

注 データ・フラッシュ・メモリ領域のブロック消去は256バイト単位です。したがって、先頭アドレスを示すFLAPLレジスタの下位8ビットには256の倍数である0000 0000Bを設定してください。また、終了アドレスを示すFLSEDLレジスタの下位8ビットには1111 1111Bを設定してください。

24.6.6.6　エクストラ領域シーケンサ・コマンド

エクストラ領域に配置されているフラッシュ・シールド・ウィンドウ、フラッシュ・リード・プロテクション、フラッシュ・メモリのセキュリティ、ブート・スワップ機能の設定値の書き換えは、エクストラ領域シーケンサのコマンドを使用します。コマンドの実行は、フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）の ESQMD3-ESQMD0 ビットに実行するコマンドを設定し、ESQST ビットに 1 を設定します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定することもできます。なお、エクストラ領域シーケンサ・コマンド処理ソフトウェアは RAM に配置し、RAM 上で実行してください。

24.6.6.7　エクストラ領域の書き換えの操作

エクストラ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、エクストラ領域シーケンサのコマンドを実行します。各コマンドの実行に必要なデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

＜操作方法＞

① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**24.6.3.1　特定シーケンス実行手順**および **24.6.3.2　コード・フラッシュ・プログラミング・モード移行手順**を参照してください。

② FLARS レジスタの EXA ビットに 1（エクストラ領域）を設定します。

③ コマンド実行前に FLWH, FLWL レジスタへ 4 バイトのデータを設定します。FLWH, FLWL レジスタの各ビット（FLW31-FLW0）は、対象のエクストラ領域データの EX bit31-EX bit0 に対応します。各コマンドの設定データの詳細は、**24.6.6.8　エクストラ領域シーケンサのコマンドの設定データ**を参照してください。

④ FSSE レジスタの ESQMD3-ESQMD0 ビットに実行するコマンドの値、ESQST ビットに 1 を設定するとエクストラ領域シーケンサは指定されたコマンドを実行します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定可能です。同時に設定する場合の FSSE レジスタに書き込む値は以下になります。

- フラッシュ・シールド・ウィンドウの設定領域への書き込み：81H
- フラッシュ・リード・プロテクションの設定領域への書き込み：86H
- セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み：87H

⑤ エクストラ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**24.6.6.9　フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のエクストラ領域シーケンサのコマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

＜コマンド処理を継続する場合＞

コード・フラッシュ・プログラミング・モードに移行したまま、③のエクストラ領域に設定する FLWH, FLWL レジスタのデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。

＜コマンド処理を完了する場合＞

非書き換えモードに移行します。移行手順は、**24.6.3.1　特定シーケンス実行手順**および**24.6.3.4　非書き換えモード移行手順**を参照してください。

24.6.6.8 エクストラ領域シーケンサのコマンドの設定データ

エクストラ領域の書き込みは、4 バイト単位で行います。

エクストラ領域シーケンサの各コマンドは、FLWH, FLWL レジスタの FLW31-FLW0 ビットに設定したデータを各コマンドに対応したエクストラ領域の EX bit31-EX bit0 に書き込みます。

(1) フラッシュ・シールド・ウィンドウの設定領域への書き込み

フラッシュ・シールド・ウィンドウの設定領域にFLWH, FLWL レジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
FSWC	1	1	1	1	1	1	FSWE8

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
FSPR	1	1	1	1	1	1	FSWS8

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

ビット名称	設定内容
FSWC	フラッシュ・シールド領域の範囲を指定するビットです。 0：フラッシュ・シールド領域はウィンドウ範囲の内側 1：フラッシュ・シールド領域はウィンドウ範囲の外側（デフォルト）
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止を指定するビットです。 0：フラッシュ・シールド・ウィンドウ設定領域の変更禁止 1：フラッシュ・シールド・ウィンドウ設定領域の変更許可（デフォルト）
FSWE8-FSWE0	フラッシュ・シールド・ウィンドウのエンド・ブロックの設定領域です。 エンド・ブロック＋1 のブロック番号を指定してください。**注**
FSWS8-FSWS0	フラッシュ・シールド・ウィンドウのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。**注**

注 アドレスとブロック番号の関係については、**表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

注意 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、FSPR = 0（禁止）からFSPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- **SEPR = 0（ブロック消去禁止）**
- **BTPR = 0（ブート領域書き換え禁止）**

また、プログラマ・オンチップ・デバッガ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、FSPR = 1（許可）に設定できません。

(2) フラッシュ・リード・プロテクションの設定領域への書き込み

フラッシュ・リード・プロテクションの設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
SWPR	1	1	1	1	1	1	UPAddr8

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
UPAddr7	UPAddr6	UPAddr5	UPAddr4	UPAddr3	UPAddr2	UPAddr1	UPAddr0

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	1	1	1	1	LOWAddr8

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
LOWAddr7	LOWAddr6	LOWAddr5	LOWAddr4	LOWAddr3	LOWAddr2	LOWAddr1	LOWAddr0

ビット名称	設定内容
SWPR	フラッシュ・リード・プロテクション設定領域の変更禁止を指定するビットです。 0：フラッシュ・リード・プロテクション設定領域の変更禁止 1：フラッシュ・リード・プロテクションの設定領域の変更許可（デフォルト）
UPAddr8- UPAddr0	フラッシュ・リード・プロテクションのエンド・ブロックの設定領域です。 エンドブロックのブロック番号を指定してください。注
LOWAddr8- LOWAddr0	フラッシュ・リード・プロテクションのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

注 アドレスとブロック番号の関係については、**表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。また、フラッシュ・リード・プロテクションの設定領域はリセット解除後に設定領域の読み出しが不可となります。

注意 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、SWPR = 0（禁止）からSWPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- **SEPR = 0（ブロック消去禁止）**
- **BTPR = 0（ブート領域書き換え禁止）**

また、プログラマ・オンチップ・デバッガ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、SWPR = 1（許可）に設定できません。

(3) セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み

セキュリティ・フラグとブート・スワップ機能の設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。セキュリティ設定の詳細は、**24.9 セキュリティ設定**を参照してください。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
1	1	1	1	1	1	1	1

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
1	1	1	1	1	1	1	1

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	WRPR	1	SEPR	BTPR	BTFLG

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
1	1	1	1	1	IFPR	1	IDEN

ビット名称	設定内容
WRPR	シリアル・プログラミング・モードでの書き込み禁止を指定するビットです。シリアル・プログラミング・モードでの書き込みを禁止します。 0：シリアル・プログラミング・モードでの書き込み禁止 1：シリアル・プログラミング・モードでの書き込み許可（デフォルト）
SEPR	ブロック消去禁止を指定するビットです。シリアル・プログラミング・モードでのブロック消去を禁止します。 0：シリアル・プログラミング・モードでのブロック消去禁止 1：シリアル・プログラミング・モードでのブロック消去許可（デフォルト）
BTPR	ブート領域の書き換え禁止を指定するビットです。ブート・スワップ動作およびブート領域の書き換えを禁止します。 0：ブート領域の書き換え禁止、ブート・スワップ禁止 1：ブート領域の書き換え許可、ブート・スワップ許可（デフォルト）
BTFLG	FSSETレジスタのTMSPMD = 0の場合にブート領域を指定するビットです。 0：ブート領域はブート・クラスタ1 1：ブート領域はブート・クラスタ0（デフォルト）
IFPR	プログラマ・オンチップ・デバッガ接続禁止を指定するビットです。シリアル・プログラミング・モードおよびオンチップ・デバッガの接続禁止します。 0：シリアル・プログラミング・モードおよびオンチップ・デバッガの接続禁止 1：シリアル・プログラミング・モードおよびオンチップ・デバッガの接続許可（デフォルト）
IDEN	プログラマ接続ID認証の有効化を指定するビットです。シリアル・プログラミング・モードで接続するときにID認証を行います。 0：シリアル・プログラミング・モード接続時のID認証は有効 1：シリアル・プログラミング・モード接続時のID認証は無効（デフォルト）

（注意は次ページに続きます）

注意1. BTFLGビットを書き換える場合、その他のすべてのビットは1を設定してください。

注意2. BTFLGビット以外のセキュリティ・フラグを0（禁止）に書き換える場合、BTFLGビット（読み込んだ値と同じ値を設定）を除き、その他のすべてのビットは1を設定してください。

注意3. 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、WRPR = 0（禁止）からWRPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- **SEPR = 0（ブロック消去禁止）**
- **BTPR = 0（ブート領域書き換え禁止）**

また、プログラマ・オンチップ・デバッガ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、WRPR = 1（許可）に設定できません。

注意4. SEPR, BTPR, IFPR, IDENビットは、0を設定したあとに1に戻すことはできません。

24.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順

起動したコード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサのコマンドを終了する場合、以下に示す終了判定手順を実行します。

- コード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順
  ① コード／データ・フラッシュ領域シーケンサのコマンド起動後、FSASTH レジスタの SQEND フラグがセットされるまで待ちます。
  ② FSASTH レジスタの SQEND フラグのセット確認後、FSSQ レジスタの SQST ビットをクリアします。
  ③ FSASTH レジスタの SQEND フラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

- エクストラ領域シーケンサのコマンドの終了判定手順
  ① エクストラ領域シーケンサのコマンド起動後、FSASTH レジスタの ESQEND フラグセットされるまで待ちます。
  ② FSASTH レジスタの ESQEND フラグのセット確認後、FSSE レジスタの ESQST ビットをクリアします。
  ③ FSASTH レジスタの ESQEND フラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

24.6.6.10 コード／データ・フラッシュ領域シーケンサのコマンドの強制終了手順

コード／データ・フラッシュ領域シーケンサのコマンド実行中にコマンドを強制停止することができます。ただし、エクストラ領域シーケンサのコマンド実行中は、コマンドを強制終了することができません。

＜強制終了手順＞

① コード／データ・フラッシュ領域シーケンサのコマンド起動後から②の FSSQ レジスタの SQST ビットをクリアする前までに、FSSQ レジスタの FSSTP ビットに 1 を設定します。
② FSASTH レジスタの SQEND フラグのセット確認後、FSSQ レジスタの SQST ビットと FSSTP ビットをクリアします。
③ FSASTH レジスタの SQEND フラグが自動的にクリアされるまで待ち、クリアされたら強制終了が完了します。

24.6.7 コード・フラッシュ・プログラミング・モード中の割り込み

24.6.7.1 概要

割り込みが発生すると ROM 上の割り込みベクタを参照し、割り込みベクタ（16 ビット）で分岐可能な 64 KB までの ROM 空間に配置されている割り込み処理へ分岐して、割り込みを実行します。しかし、コード・フラッシュやエクストラ領域の書き換えが可能なコード・フラッシュ・プログラミング・モードでは、ROM を参照できないため、割り込み処理を実行することができません。ただし、割り込み分岐先を変更することで、ROM を参照できない場合でも、ROM 上の割り込みベクタ、および ROM 上の割り込み処理を使用せず、すべての割り込みの分岐先を RAM 上の指定アドレスへ変更し、RAM 上で割り込み処理を実行することが可能です。

24.6.7.2 割り込み分岐先を変更した場合の動作

割り込み分岐先の変更は、割り込みベクタ変更レジスタ 1, 0（FLSIVC1, FLSIVC0）と割り込みベクタ移動許可レジスタ（VECTCTRL）を設定することで、すべての割り込みを RAM 上のアドレスへ分岐するように変更できます。この操作により、コード・フラッシュ・プログラミング・モード中に割り込みが発生した場合でも、ROM 上の割り込みベクタを参照せずに、RAM 上の割り込み処理を実行することが可能です。

FLSIVC1, FLSIVC0 レジスタは、コード・フラッシュやエクストラ領域を書き換え中に発生したすべての割り込み機能の飛び先のアドレスを指定するレジスタです。FLSIVC0 レジスタにはアドレスの下位 16 ビットを、FLSIVC1 レジスタには上位 4 ビットを設定します。

セルフ・プログラミング実行中に発生した割り込みの分岐先制御の設定を以下に示します。

- ROM上のベクタ・アドレスへ分岐する場合 ：VECTCTRL = 0 または FLPMC レジスタの FWEDIS = 1
- RAMアドレスへ分岐する場合 ：VECTCTRL = 1（FLPMC レジスタの FWEDIS = 0 の状態）

注意1. 割り込みの種類はユーザ側で割り込みフラグにより確認する必要があります。また、VECTCTRL レジスタ設定後は、割り込みフラグは自動的にクリアされません。
注意2. 割り込み変更先をROM側に設定することは出来ません。
注意3. VECTCTRL レジスタで変更した割り込みの分岐先はセルフ・プログラミング実行中のみ有効です。
注意4. 割り込みの分岐先をRAMに変更する場合は、割り込み禁止にしてください。

24.6.7.3 割り込み分岐先を変更する場合の操作

RAM 上の割り込み処理を指定するためには、フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）の FWEDIS ビットに 0 を設定した状態で、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを更新します。特定シーケンスを実行して、FLPMC レジスタの FWEDIS ビットを操作し、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを設定して、割り込み分岐先を RAM のアドレスに変更します。

＜割り込み分岐先を RAM アドレスへ変更する場合＞

すべての割り込みの分岐先をRAM上の指定アドレスへ変更する場合の操作方法を以下に示します。

① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
② 特定シーケンスを実行し、FLPMC レジスタのFWEDISビットに0を設定します。
   1. PFCMD レジスタにA5Hを書き込む
   2. FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
   3. FLPMC レジスタにFFHを書き込む（00Hの反転値）
   4. FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
③ FLSIVC1, FLSIVC0 レジスタにRAMアドレスを指定します。
④ VECTCTRL レジスタに01Hを設定し、割り込みをRAMアドレスへ分岐する設定にします。
⑤ 退避していた割り込み許可／禁止の設定を復帰します。

注意1. RAM上の割り込み処理を指定している間は、FWEDIS = 0のままにしてください。
注意2. 割り込みの分岐先をsaddr空間（FFE20H-FFEFFH）に設定しないでください。
注意3. RAM領域から命令を実行し、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、「使用するRAM領域 + 10バイト」の領域を初期化してください。

＜割り込み分岐先を RAM アドレスから ROM 上のベクタへ戻す場合＞

割り込みの分岐先をROM上の割り込みベクタが示すアドレスへ戻す場合（初期状態）の操作方法を以下に示します。

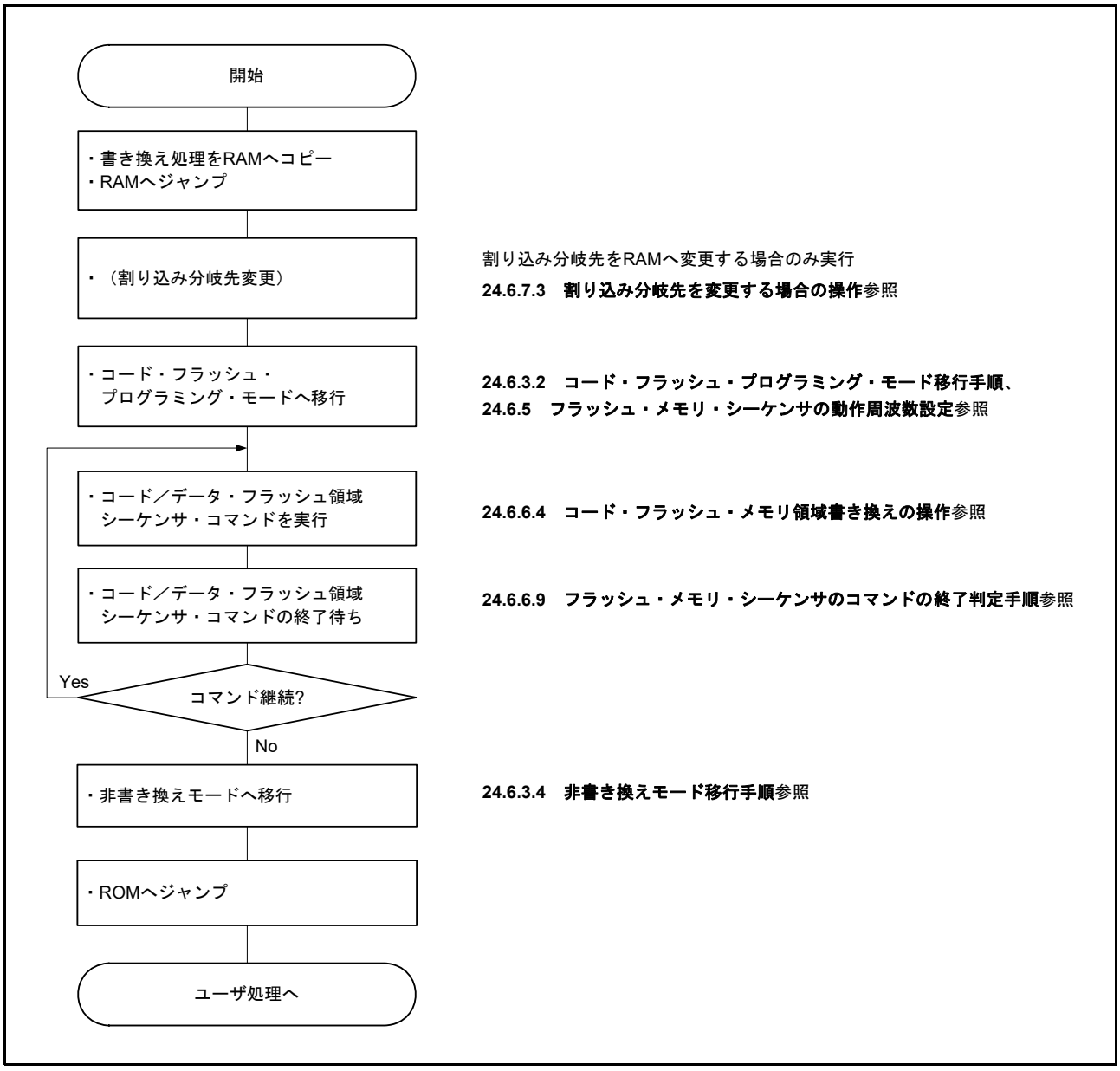
① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
② 特定シーケンスを実行し、FLPMC レジスタのFWEDISビットに1を設定します。
   1. PFCMD レジスタにA5Hを書き込む
   2. FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
   3. FLPMC レジスタにF7Hを書き込む（08Hの反転値）
   4. FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
③ VECTCTRL レジスタに00Hを設定し、割り込みをROM上のベクタ・アドレスへ分岐する設定にします。
④ 退避していた割り込み許可／禁止の設定を復帰します。

24.6.8 フラッシュ・メモリ領域書き換え時のコマンドの実行例

24.6.8.1 コード・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 24 - 27 にコード・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

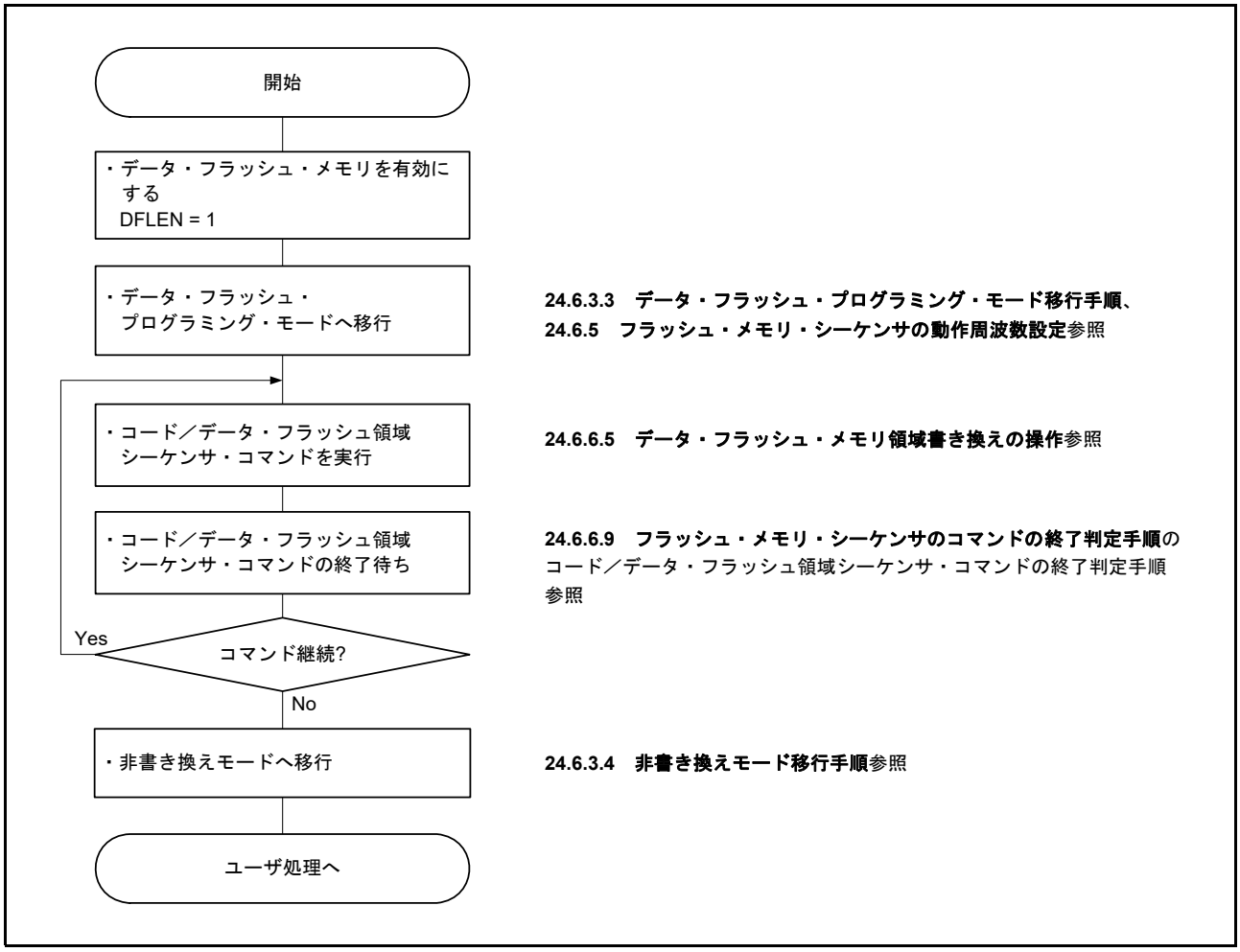
図24 - 27 コード・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



24.6.8.2 データ・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 24 - 28 にデータ・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

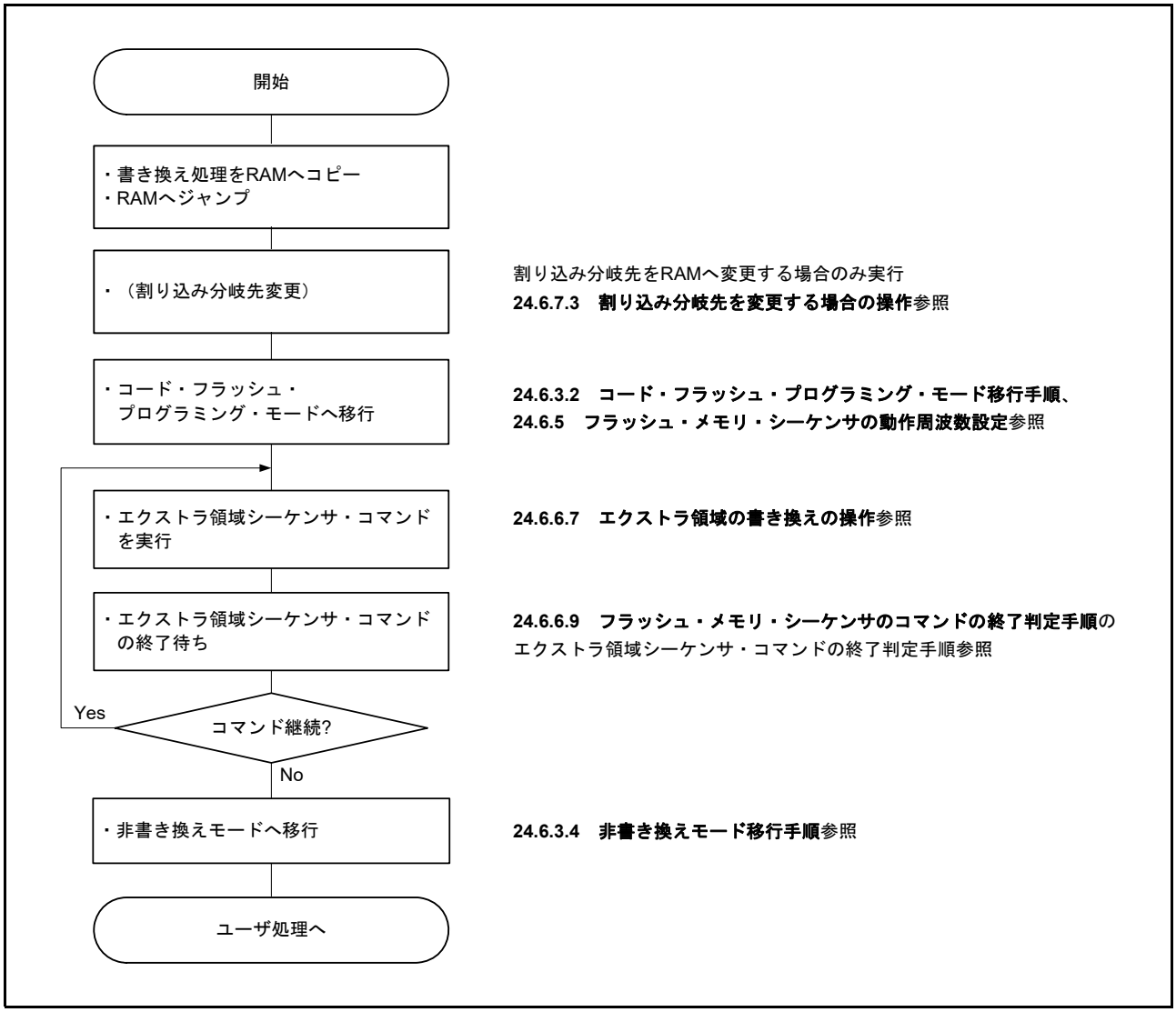
図24 - 28 データ・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



24.6.8.3 エクストラ領域書き換え時のコマンド実行例

図 24 - 29 にエクストラ領域書き換え時のコマンド実行フローを示します。

図24 - 29 エクストラ領域書き換え時のコマンド実行フロー



24.6.9 セルフ・プログラミング時の注意事項

(1) コード・フラッシュ・メモリ／エクストラ領域の書き換え操作
コード・フラッシュ・メモリ／エクストラ領域を書き換える場合はRAMに配置してください。

(2) データ・フラッシュ・メモリ領域を操作する場合の前提条件
データ・フラッシュ・メモリ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLEN = 1（データ・フラッシュ・メモリのアクセス許可）に設定してください。

(3) フラッシュ・メモリ書き換え操作中のプログラム実行
セルフ・プログラミングはフラッシュ・メモリ・シーケンサを使用し、フラッシュ・メモリの書き換えを制御します。
フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは、操作対象のフラッシュ・メモリは参照できなくなります。

- コード・フラッシュ・プログラミング・モードでは、コード・フラッシュ・メモリを参照することができません。コード・フラッシュ・プログラミング・モード中に実行するROM（コード・フラッシュ・メモリ）上のユーザ・プログラム、および参照データは、事前にRAMへコピーして、RAM上で実行、参照してください。
- データ・フラッシュ・プログラミング・モードでは、データ・フラッシュ・メモリを参照することができません。データ・フラッシュ・プログラミング・モード中に参照するデータは、事前にRAMへコピーして、RAM上で参照してください。

(4) 使用不可領域の範囲の指定
ブランク・チェックおよびブロック消去の範囲の指定は、コード・フラッシュ・メモリ領域の範囲内またはデータ・フラッシュ・メモリ領域を範囲内で指定してください。使用不可領域を指定したり、使用不可領域を含めてコード・フラッシュ・メモリ領域とデータ・フラッシュ・メモリ領域の両方を指定したりしないでください。

24.7 ブート・スワップ機能

ブート領域は、ベクタ・テーブル領域、CALLT テーブル領域、オプション・バイト領域、オンチップ・デバッグ・セキュリティ ID およびプログラマ接続 ID の設定領域、プログラム領域で構成されています。これらの領域には、プログラムのスタートに必要な設定やオンチップ・デバッガおよびプログラマとの接続に必要な情報が格納されています。したがって、セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

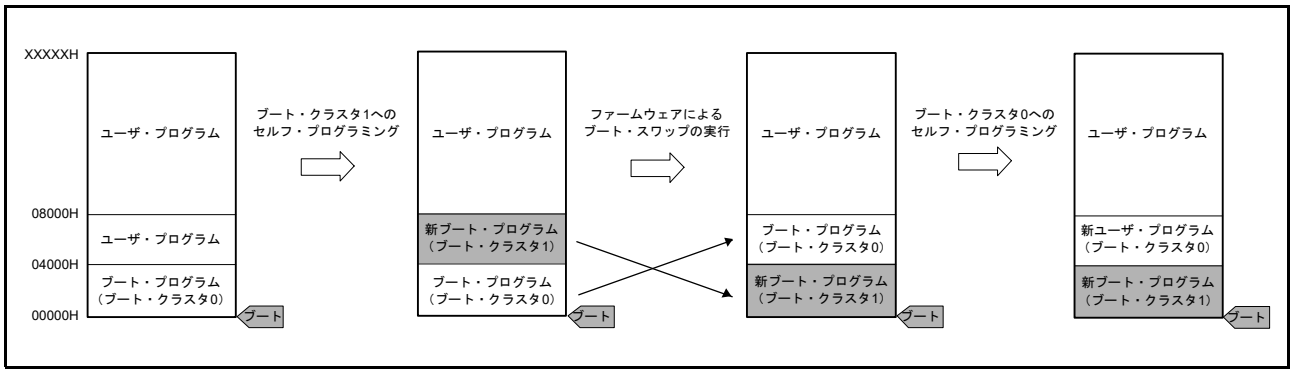
ブート領域がブート・クラスタ 0 に設定されている場合、セルフ・プログラミングにてブート・クラスタ 0 の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ 1 に書き込んでおきます注。ブート・クラスタ 1 への書き込みの正常終了後、セルフ・プログラミングでブート領域をブート・クラスタ 0 からブート・クラスタ 1 に変更し、ブート・クラスタ 1 をブート領域にします。このあと、ブート・クラスタ 0 へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、ブート・クラスタ 1 からブートを行うため、正常にプログラムが動作します。

ブート・クラスタは 16 K バイトの領域です。

注 新ブート・プログラムの04000H-0407FH（128バイト）にはベクタ・テーブル領域、04080H-040BFH（64バイト）にはCALLTテーブル、040C0H-040C3H（4バイト）にはオプション・バイト領域、040C4H-040CDH（10バイト）にはオンチップ・デバッグ・セキュリティ ID設定領域を設定してください。

図24 - 30 ブート・スワップ機能

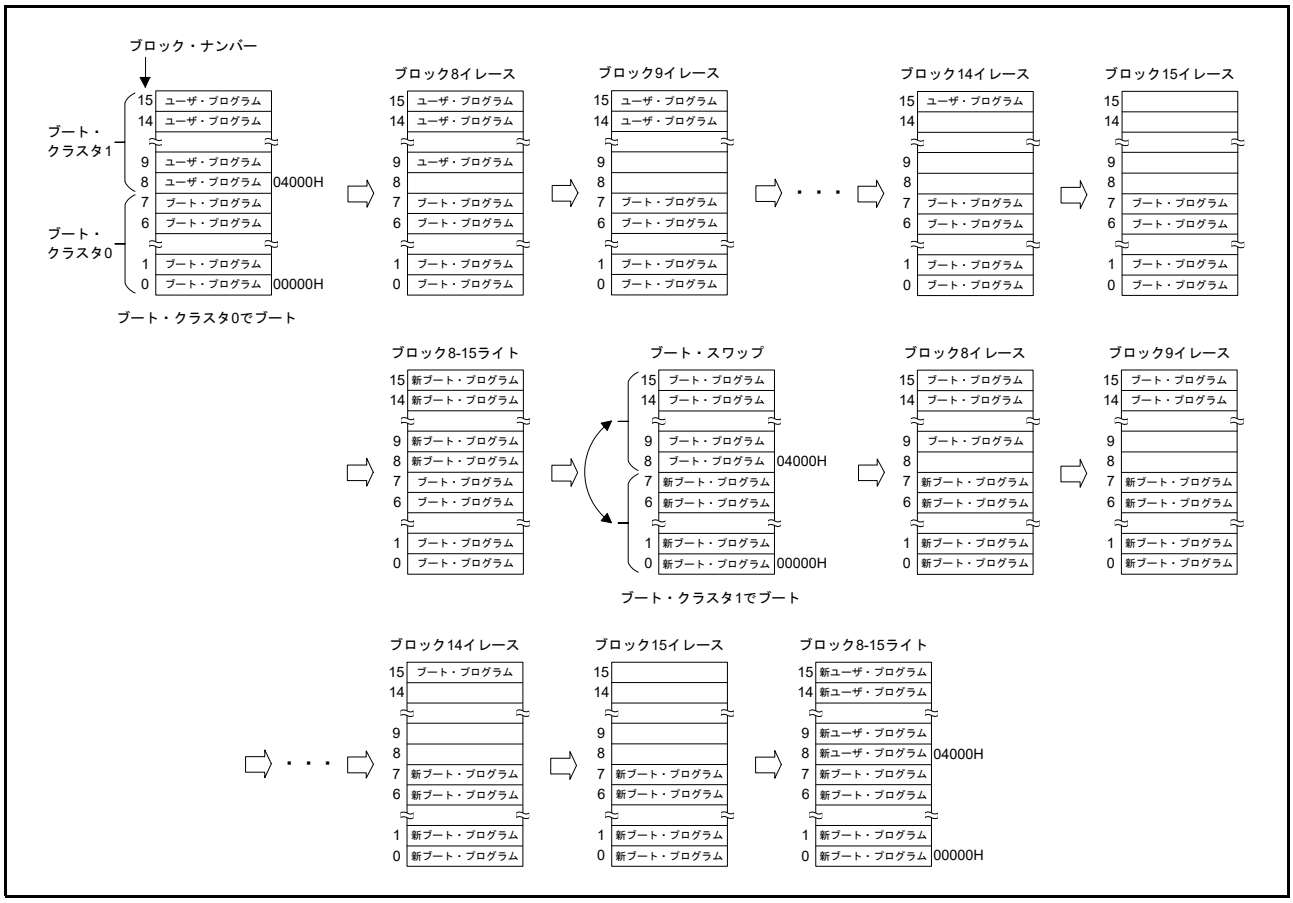


この図の例では、次のようになっています。

ブート・クラスタ 0：ブート・スワップ前のブート領域です。

ブート・クラスタ 1：ブート・スワップ後のブート領域です。

図24 - 31 ブート・スワップの実行例



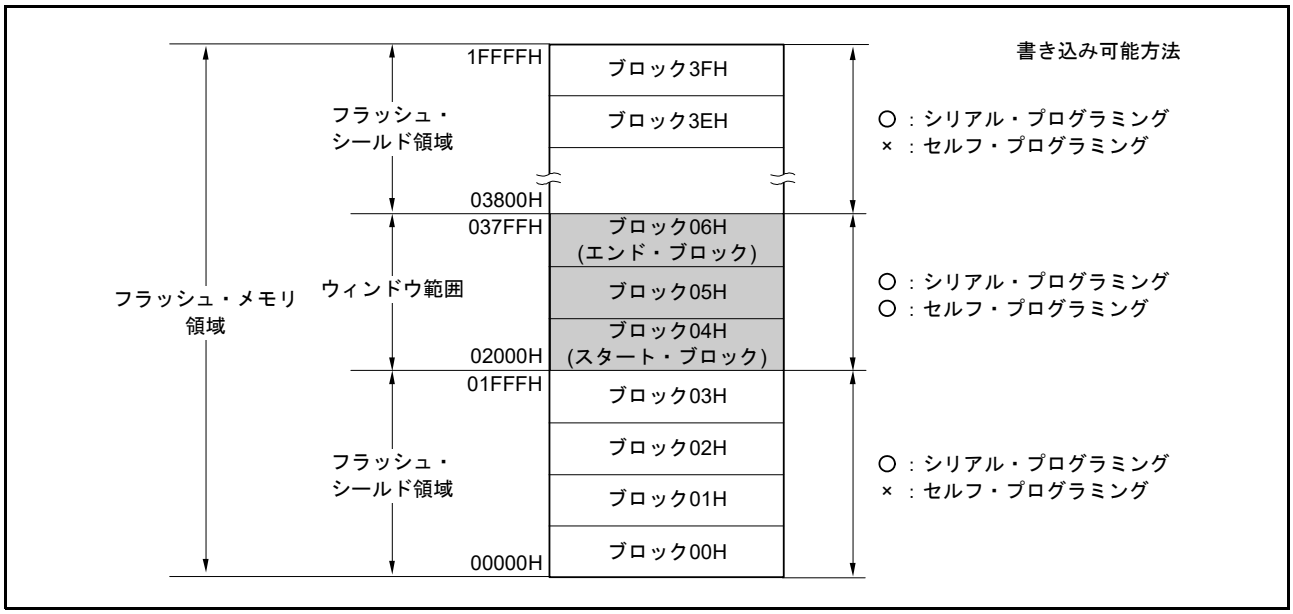
24.8 フラッシュ・シールド・ウィンドウ機能

フラッシュ・シールド・ウィンドウ機能は、指定したフラッシュ・シールド領域の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

フラッシュ・シールド領域は指定したウィンドウ範囲内または範囲外を設定できます。ウィンドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。フラッシュ・シールド領域は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

フラッシュ・シールド領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはフラッシュ・シールド領域も書き込み／消去可能です。

図24 - 32 フラッシュ・シールド・ウィンドウの設定例
（対象デバイス：R7F103GLJ、先頭ブロック：04H、終了ブロック：06H、FSWC：1の場合）



注意1. フラッシュ・シールド・ウィンドウのウィンドウ範囲内にブート領域の書き換え禁止領域が重なる場合は、ブート領域の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウィンドウはコード・フラッシュ・メモリのみ設定可能です（データ・フラッシュ・メモリは対応していません）。

表24 - 12 フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウィンドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セルフ・プログラミングでフラッシュ・シールド・ウィンドウの設定領域に、ウィンドウのスタート・ブロックのブロック番号、エンド・ブロック＋1のブロック番号（エンド・ブロックの次のブロック番号）を指定する	フラッシュ・シールド領域内はブロック消去できない	フラッシュ・シールド領域内は書き込みできない
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウィンドウのスタート・ブロック、エンド・ブロックを指定する	フラッシュ・シールド領域内もブロック消去可能	フラッシュ・シールド領域内も書き込み可能

24.9　セキュリティ設定

本製品は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

シリアル・プログラミングまたはセルフ・プログラミングで、次の操作をすることができます。

- ブロック消去禁止
  シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止
  シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。
  書き込み禁止を設定後、Security Releaseコマンドによる解除はリセットで有効になります。

- ブート領域の書き換え禁止
  コード・フラッシュ・メモリ内のブート領域（00000H-03FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

- プログラマ・オンチップ・デバッガ接続禁止
  専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッガとの接続を禁止にします。
  専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッガによるフラッシュ・メモリの操作はできません。

- プログラマ接続ID認証の有効化
  専用フラッシュ・メモリ・プログラマとの接続時に10バイトの任意のIDコードとの認証を有効にします。10バイトのIDの領域は000C4H-000CDH**注**です。シリアル・プログラミングでIDが一致しない場合は、専用フラッシュ・メモリ・プログラマでフラッシュ・メモリの操作はできません。

出荷時の初期状態では、ブロック消去／書き込み／ブート領域の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表 24 - 13 に本製品のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を示します。

注　プログラマ接続IDの10バイトのIDコード領域はオンチップ・デバッグ・セキュリティ IDと共用しています。

注意　**専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。**

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、**24.8　フラッシュ・シールド・ウィンドウ機能**を参照してください）。

表24 - 13 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッガ接続禁止	ブロック消去できない	書き込みできない
プログラマ接続ID認証が有効で認証成功	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効で認証失敗	ブロック消去できない	書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッガ接続禁止	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効	ブロック消去できる	書き込みできる

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、**24.8 フラッシュ・シールド・ウィンドウ機能**を参照してください）。

表24 - 14 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定
ブート領域書き換え禁止		設定後、無効にできない
プログラマ・オンチップ・デバッガ接続禁止		
プログラマ接続ID認証の有効化		

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート領域の書き換え禁止」に設定されていない状態、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合にのみ可能です。ただし、「プログラマ・オンチップ・デバッガ接続禁止」または「プログラマ接続ID認証が有効化」によってシリアル・プログラミングが接続禁止の場合は、シリアル・プログラミングが実行できないため、「書き込み禁止」の解除を実行できません。

(2) セルフ・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	セルフ・プログラミングで設定	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない。専用フラッシュ・メモリ・プログラマのGUI上などで設定
ブート領域書き換え禁止		設定後、無効にできない
プログラマ・オンチップ・デバッガ接続禁止		
プログラマ接続ID認証の有効化		

24.10 データ・フラッシュ・メモリ

24.10.1　データ・フラッシュ・メモリの概要

データ・フラッシュ・メモリの概要は次のとおりです。

- セルフ・プログラミングを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、**RL78ファミリRenesas Flash Driver RL78 Type01 ユーザーズマニュアル（R20UT4830JJ）**を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュ・メモリは、1ブロック = 256バイト単位で消去
- データ・フラッシュ・メモリは、8ビット単位でのみアクセス可能
- データ・フラッシュ・メモリは、CPU命令で直接読み出し可能
- データ・フラッシュ・メモリの書き換え中に、コード・フラッシュ・メモリからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
- データ・フラッシュ・メモリは、データ専用領域のため、データ・フラッシュ・メモリからの命令実行は禁止
- コード・フラッシュ・メモリの書き換え中（セルフ・プログラミング時）に、データ・フラッシュ・メモリにアクセスすることは禁止
- データ・フラッシュ・メモリの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュ・メモリの書き換え中に、HALT/STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュ・メモリは停止状態です。データ・フラッシュ・メモリ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

注意2. データ・フラッシュ・メモリの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、高精度動作になっていること（HIPREC = 1）を確認してからセルフ・プログラミングを実行してください。

備考　ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、**24.6　セルフ・プログラミング**を参照してください。

24.10.2　データ・フラッシュ・メモリへのアクセス手順

リセット解除後、データ・フラッシュ・メモリは停止状態です。データ・フラッシュ・メモリへアクセスするには、以下の手順で初期設定を行う必要があります。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）の DFLEN ビットに 1 を設定する。
② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はフラッシュ動作モードによって異なります。
＜各フラッシュ動作モードのセットアップ時間＞
- HS（高速メイン）モード時　：250 ns
- LS（低速メイン）モード時　：250 ns
- LP（低電力メイン）モード時：0 ns

③ セットアップ時間のウエイト完了後、データ・フラッシュ・メモリへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュ・メモリへのアクセスは禁止です。
注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。
注意3. データ・フラッシュ・メモリの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（CSC.HIOSTOP = 0）させ、高精度動作になっていること（HIPREC = 1）を確認してからセルフ・プログラミングを実行してください。
注意4. CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）時、CSSビットにてクロックの選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。

第25章　オンチップ・デバッグ機能

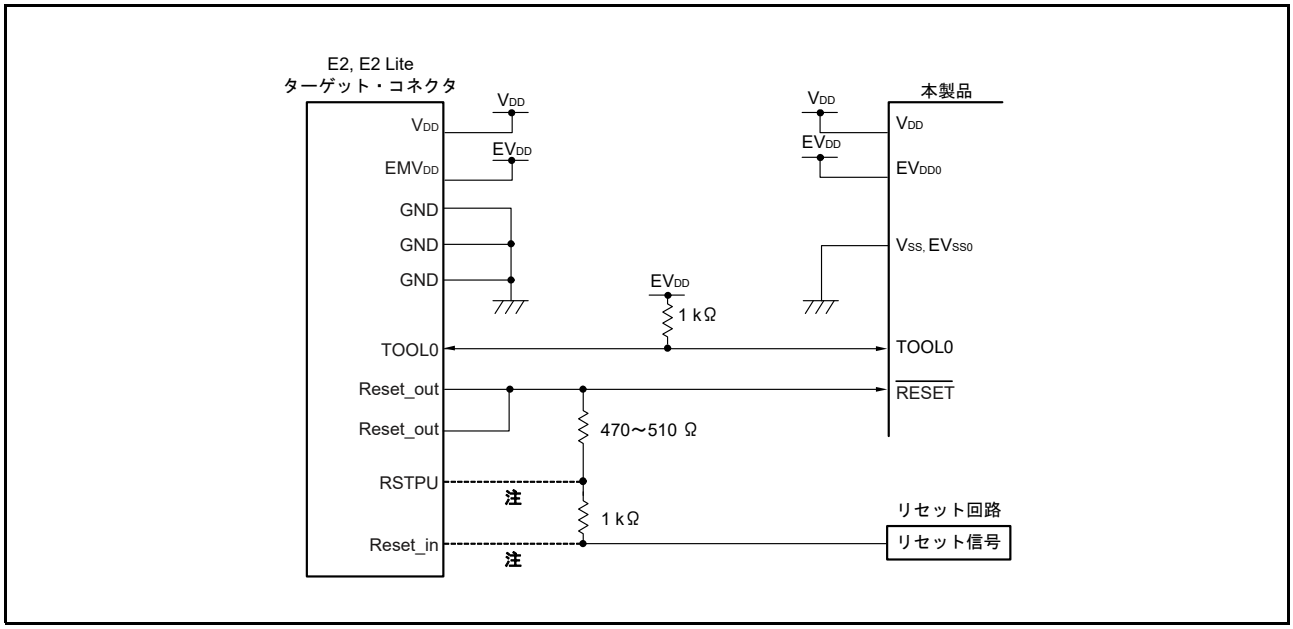
25.1　E2, E2 Liteオンチップ・デバッギング・エミュレータとの接続

本製品は、オンチップ・デバッグ対応の E2, E2 Lite オンチップ・デバッギング・エミュレータを介して、ホスト・マシンとの通信を行う場合、VDD, RESET, TOOL0, VSS 端子を使用します。シリアル通信としては、TOOL0 端子を使用した単線 UART を使用します。

接続回路の詳細や注意事項については、**E1/E20/E2 エミュレータ , E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78 接続時の注意事項)（R20UT1994）**を参照してください。

注意　本製品には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

図25 - 1　E2, E2 Liteオンチップ・デバッギング・エミュレータとの接続例

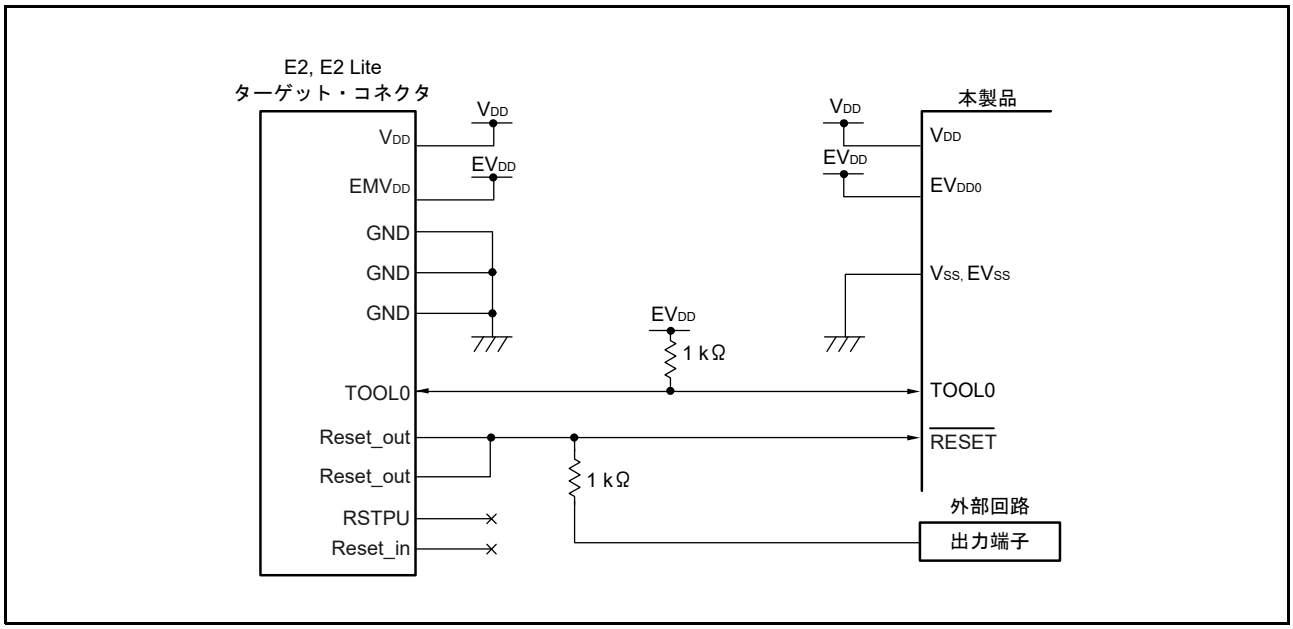


注　シリアル・プログラミング時、点線部の接続は必要ありません。

備考　EVDD0, EVSS0 端子がない製品は、EVDD0 を VDD に、EVSS0 を VSS に置き換えてください。

なお、$\overline{\text{RESET}}$ 端子をポート機能（P125）として使用するターゲット・システムでは、外部回路との接続をアイソレートしてください。

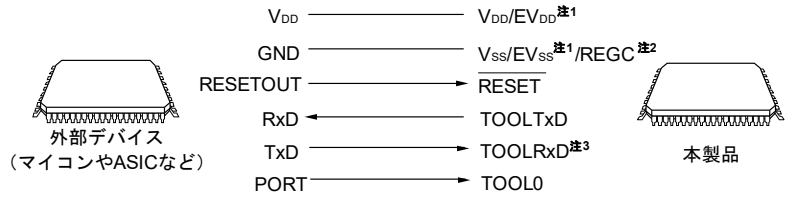
図25 - 2　E2, E2 Liteオンチップ・デバッギング・エミュレータとの接続例（$\overline{\text{RESET}}$端子をポート機能（P125）として使用する場合）



25.2　外部デバイス（UART内蔵）との接続

オンボード上で本製品と UART 接続されている外部デバイス（マイコンや ASIC）を介して、ホスト・マシンとの通信を行う場合、VDD, RESET, TOOL0, VSS, TOOLTxD, TOOLRxD 端子を使用します。外部デバイスと本製品との通信は、本製品の TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

接続回路の詳細や注意事項については、**シリアルポートを使用した RL78 デバッグ機能（R20AN0632）**を参照してください。



注1.　64 ピン製品のみ

注2.　REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

注3.　TOOLRxD を兼用するポートを入力モードに設定してください。また、PDIDISxx レジスタで入力バッファの入力を許可に設定してください。

25.3　オンチップ・デバッグのセキュリティ設定

第三者からメモリの内容を読み取られないようにするために、以下のオンチップ・デバッグ機能を用意しています。

- プログラマ・オンチップ・デバッガ接続禁止設定（**24.9　セキュリティ設定**参照）
- フラッシュ・メモリの 000C3H にオンチップ・デバッグ動作制御ビット（**第23章　オプション・バイト**参照）
- 000C4H-000CDH**注**にオンチップ・デバッグ・セキュリティ ID 設定領域

注　オンチップ・デバッグ・セキュリティ ID 設定領域は、プログラマ接続 ID 認証の ID コード設定領域と共用しています。

表25 - 1　　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード**注1, 2**
040C4H-040CDH	

注1.　FFFFFFFFFFFFFFFFFFFFH は設定できません。

注2.　ブート・スワップ使用時および FLSEC レジスタの BTFLG ビットが 0 の状態のときには 000C4H-000CDH と 040C4H-040CDH に 10 バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。

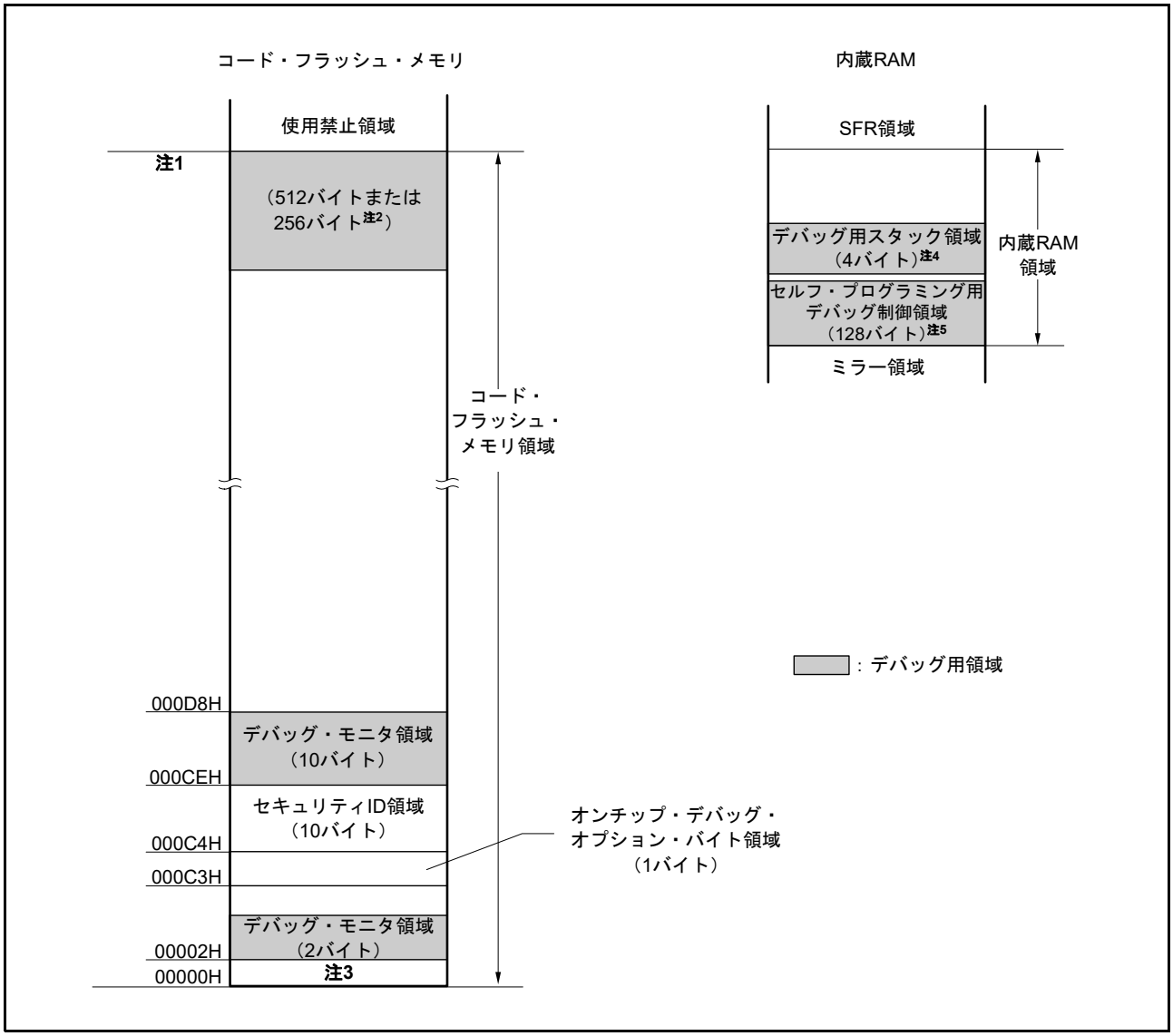
25.4　ユーザ資源の確保

本製品と E2, E2 Lite オンチップ・デバッギング・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1)　メモリ空間の確保

図25 - 3のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図25 - 3　　デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R7F103GxG（x = 6, B, F, G, L）	1FFFFH
R7F103GxJ（x = 6, B, F, G, L）	3FFFFH

注2. リアルタイムRAMモニタ（RRM）機能、Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。
セルフ・プログラミングを行う場合は、12バイト余分に消費します。

注5. オンチップ・デバッガは、セルフ・プログラミングのブレーク用に次に示す製品のRAM領域（128バイト）を使用します。
対象製品とRAM領域は以下のとおりです。

製品名	使用するRAM領域（128バイト）
R7F103GxG（x = 6, B, F, G, L）	FDF00H-FDF7FH
R7F103GxJ（x = 6, B, F, G, L）	FDF00H-FDF7FH

オンチップ・デバッガでセルフ・プログラミング中にデバッグを行わない設定にした場合は、上記RAM領域を使用しません。セルフ・プログラミングのデバッギングの設定は、各統合開発環境のユーザーズマニュアルを参照してください。

第26章　10進補正（BCD）回路

26.1　10進補正回路の機能

BCD コード（2 進化 10 進数）と BCD コード（2 進化 10 進数）の加減算結果を、BCD コード（2 進化 10 進数）で求めることができます。

A レジスタをオペランドに持つ加減算命令を行ったあと、さらに BCD 補正結果レジスタ（BCDADJ）を加減算することで 10 進補正演算結果が求められます。

26.2　10進補正回路で使用するレジスタ

10 進補正回路で使用するレジスタを次に示します。

- BCD補正結果レジスタ（BCDADJ）

26.2.1　BCD補正結果レジスタ（BCDADJ）

BCDADJ レジスタには、A レジスタをオペランドにもつ加減算命令によって、BCD コードで加減算結果を求めるための補正値が格納されます。

また、BCDADJ レジスタの読み出し値は、読み出し時の A レジスタと CY フラグおよび AC フラグの値によって変わります。

BCDADJ レジスタは、8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図26 - 1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス　：F00FEH
リセット時：不定
R/W属性　：R

略号	7	6	5	4	3	2	1	0
BCDADJ								

26.3　10進補正回路の動作

10 進補正回路の基本動作を次に示します。

(1)　加算：BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値、加算値）を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CY, ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例 1　99 + 89 = 188

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例 2　85 + 15 = 100

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例 3　80 + 80 = 160

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2)　減算：BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値、減算値）を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CY, ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例　91 – 52 = 39

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

第27章　命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78 ファミリ　ユーザーズマニュアル　ソフトウェア編（R01US0015）**を参照してください。

27.1　凡例

27.1.1　オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の 1 つを選択します。大文字で書かれた英字および #, !, !!, $, $!, [ ], ES: の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- # ：イミーディエト・データ指定
- ! ：16 ビット絶対アドレス指定
- !! ：20 ビット絶対アドレス指定
- $ ：8 ビット相対アドレス指定
- $! ：16 ビット相対アドレス指定
- [ ] ：間接アドレス指定
- ES ：拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も #, !, !!, $, $!, [ ], ES: 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rp には、機能名称（X, A, C など）、絶対名称（**表 27 - 1** の中のカッコ内の名称、R0, R1, R2 など）のいずれの形式でも記述可能です。

表27 - 1　オペランドの表現形式と記述方法

表現形式	記述方法
r rp sfr sfrp	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7) AX(RP0), BC(RP1), DE(RP2), HL(RP3) 特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH 特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ**注**）FFF00H-FFFFFH
saddr saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ**注**）
addr20 addr16 addr5	00000H-FFFFFH イミーディエト・データまたはラベル 0000H-FFFFH イミーディエト・データまたはラベル（16ビット・データ時は偶数アドレスのみ**注**） 0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word byte bit	16ビット・イミーディエト・データまたはラベル 8ビット・イミーディエト・データまたはラベル 3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が0になります。

備考　特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は、**表3 - 5　SFR一覧**を参照してください。
拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は、**表3 - 6　2nd SFR一覧**を参照してください。

27.1.2　オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表27 - 2　オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	( )内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H, X_L X_S, X_H, X_L	16ビット・レジスタの場合はX_H = 上位8ビット、X_L = 下位8ビット 20ビット・レジスタの場合はX_S（ビット19-16）、X_H（ビット15-8）、X_L（ビット7-0）
∧	論理積（AND）
∨	論理和（OR）
∨̸	排他的論理和（exclusive OR）
—	反転データ
addr5	16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ）
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

27.1.3　フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表します。

表27 - 3　フラグ欄の記号

記号	フラグ変化
（ブランク） 0 1 × R	変化なし 0にクリアされる 1にセットされる 結果に従ってセット／リセットされる 以前に退避した値がリストアされる

27.1.4　PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFH の 64 K バイト空間から、ES レジスタの値を付加した 00000H-FFFFFH の 1 M バイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みを受け付けることはありません。

表27 - 4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意　ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

27.2 オペレーション一覧

表27 - 5 オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	×	×	×
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r注3	1	1	—	A ← r			
		r注3, A	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	×	×	×
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
		ES:!addr16, A	4	2	—	(ES, addr16) ← A			
		A, saddr	2	1	—	A ← (saddr)			
		saddr, A	2	1	—	(saddr) ← A			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（fCLK）数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE + byte)			
		[DE+byte], A	2	1	—	(DE + byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE) + byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL + byte)			
		[HL+byte], A	2	1	—	(HL + byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL) + byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP + byte)			
		[SP+byte], A	2	1	—	(SP + byte) ← A			
		A, word[B]	3	1	4	A ← (B + word)			
		word[B], A	3	1	—	(B + word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B) + word)			
		ES:word[B], A	4	2	—	((ES, B) + word) ← A			
		A, word[C]	3	1	4	A ← (C + word)			
		word[C], A	3	1	—	(C + word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C) + word)			
		ES:word[C], A	4	2	—	((ES, C) + word) ← A			
		A, word[BC]	3	1	4	A ← (BC + word)			
		word[BC], A	3	1	—	(BC + word) ← A			
		A, ES:word[BC]	4	2	5	A ← ((ES, BC) + word)			
		ES:word[BC], A	4	2	—	((ES, BC) + word) ← A			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL + B)	
		[HL+B], A	2	1	—	(HL + B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL) + B)	
		ES:[HL+B], A	3	2	—	((ES, HL) + B) ← A	
		A, [HL+C]	2	1	4	A ← (HL + C)	
		[HL+C], A	2	1	—	(HL + C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL) + C)	
		ES:[HL+C], A	3	2	—	((ES, HL) + C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	—	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	—	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	—	C ← (saddr)	
		ES, saddr	3	1	—	ES ← (saddr)	
	XCH	A, r注3	1 (r = X) 2 (r = X以外)	1	—	A ↔ r	
		A, !addr16	4	2	—	A ↔ (addr16)	
		A, ES:!addr16	5	3	—	A ↔ (ES, addr16)	
		A, saddr	3	2	—	A ↔ (saddr)	
		A, sfr	3	2	—	A ↔ sfr	
		A, [DE]	2	2	—	A ↔ (DE)	
		A, ES:[DE]	3	3	—	A ↔ (ES, DE)	
		A, [HL]	2	2	—	A ↔ (HL)	
		A, ES:[HL]	3	3	—	A ↔ (ES, HL)	
		A, [DE+byte]	3	2	—	A ↔ (DE + byte)	
		A, ES:[DE+byte]	4	3	—	A ↔ ((ES, DE) + byte)	
		A, [HL+byte]	3	2	—	A ↔ (HL + byte)	
		A, ES:[HL+byte]	4	3	—	A ↔ ((ES, HL) + byte)	

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL + B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL) + B)			
		A, [HL+C]	2	2	—	A ↔ (HL + C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL) + C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL + byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL + byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word			
		saddrp, #word	4	1	—	(saddrp) ← word			
		sfrp, #word	4	1	—	sfrp ← word			
		AX, rp注3	1	1	—	AX ← rp			
		rp注3, AX	1	1	—	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	—	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	—	(ES, addr16) ← AX			
		AX, saddrp	2	1	—	AX ← (saddrp)			
		saddrp, AX	2	1	—	(saddrp) ← AX			
		AX, sfrp	2	1	—	AX ← sfrp			
		sfrp, AX	2	1	—	sfrp ← AX			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. rp = AXを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	×	×	×
		A, r注4	2	1	—	A, CY ← A + r	×	×	×
		r, A	2	1	—	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	×	×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	A, CY ← A + byte + CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte + CY	×	×	×
		A, r注3	2	1	—	A, CY ← A + r + CY	×	×	×
		r, A	2	1	—	r, CY ← r + A + CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16) + CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16) + CY	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr) + CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL) + CY	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL) + CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte) + CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte) + CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B) + CY	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B) + CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C) + CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C) + CY	×	×	×
	SUB	A, #byte	2	1	—	A, CY ← A – byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) – byte	×	×	×
		A, r注3	2	1	—	A, CY ← A – r	×	×	×
		r, A	2	1	—	r, CY ← r – A	×	×	×
		A, !addr16	3	1	4	A, CY ← A – (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A – (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A – (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A – (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A – (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A – (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A – ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A – (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A – ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A – (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A – ((ES, HL) + C)	×	×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A – byte – CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) – byte – CY	×	×	×
		A, r注3	2	1	—	A, CY ← A – r – CY	×	×	×
		r, A	2	1	—	r, CY ← r – A – CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A – (addr16) – CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A – (ES, addr16) – CY	×	×	×
		A, saddr	2	1	—	A, CY ← A – (saddr) – CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A – (HL) – CY	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A – (ES, HL) – CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A – (HL + byte) – CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A – ((ES, HL) + byte) – CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A – (HL + B) – CY	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A – ((ES, HL) + B) – CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A – (HL + C) – CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A – ((ES:HL) + C) – CY	×	×	×
	AND	A, #byte	2	1	—	A ← A ∧ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	×		
		A, r注3	2	1	—	A ← A ∧ r	×		
		r, A	2	1	—	r ← r ∧ A	×		
		A, !addr16	3	1	4	A ← A ∧ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∧ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∧ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∧ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∧ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∧ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∧ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∧ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	×		

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（fCLK）数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	A ← A ∨ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∨ byte	×		
		A, r注3	2	1	—	A ← A ∨ r	×		
		r, A	2	1	—	r ← r ∨ A	×		
		A, !addr16	3	1	4	A ← A ∨ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∨ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∨ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∨ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∨ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∨ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∨ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∨ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∨ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∨ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∨ ((ES:HL) + C)	×		
	XOR	A, #byte	2	1	—	A ← A⊻byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr)⊻byte	×		
		A, r注3	2	1	—	A ← A⊻r	×		
		r, A	2	1	—	r ← r⊻A	×		
		A, !addr16	3	1	4	A ← A⊻(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A⊻(ES:addr16)	×		
		A, saddr	2	1	—	A ← A⊻(saddr)	×		
		A, [HL]	1	1	4	A ← A⊻(HL)	×		
		A, ES:[HL]	2	2	5	A ← A⊻(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A⊻(HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A⊻((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A⊻(HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A⊻((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A⊻(HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A⊻((ES:HL) + C)	×		

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（fCLK）数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A – byte	×	×	×
		!addr16, #byte	4	1	4	(addr16) – byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) – byte	×	×	×
		saddr, #byte	3	1	—	(saddr) – byte	×	×	×
		A, r注3	2	1	—	A – r	×	×	×
		r, A	2	1	—	r – A	×	×	×
		A, !addr16	3	1	4	A – (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A – (ES:addr16)	×	×	×
		A, saddr	2	1	—	A – (saddr)	×	×	×
		A, [HL]	1	1	4	A – (HL)	×	×	×
		A, ES:[HL]	2	2	5	A – (ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A – (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A – ((ES:HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A – (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A – ((ES:HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A – (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A – ((ES:HL) + C)	×	×	×
	CMP0	A	1	1	—	A – 00H	×	0	0
		X	1	1	—	X – 00H	×	0	0
		B	1	1	—	B – 00H	×	0	0
		C	1	1	—	C – 00H	×	0	0
		!addr16	3	1	4	(addr16) – 00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16) – 00H	×	0	0
		saddr	2	1	—	(saddr) – 00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X – (HL + byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X – ((ES:HL) + byte)	×	×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX – word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX – BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX – DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX – HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX – (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX – (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX – (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX – (HL + byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX – ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX – word	×	×	×
		AX, BC	1	1	—	AX – BC	×	×	×
		AX, DE	1	1	—	AX – DE	×	×	×
		AX, HL	1	1	—	AX – HL	×	×	×
		AX, !addr16	3	1	4	AX – (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX – (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX – (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX – (HL + byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX – ((ES:HL) + byte)	×	×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	AX ← A × X			
	MULHU		3	2	—	BCAX ← AX × BC（符号なし）			
	MULH		3	2	—	BCAX ← AX × BC（符号付き）			
	DIVHU		3	9	—	AX（商）、DE（余り）← AX ÷ DE（符号なし）			
	DIVWU		3	17	—	BCAX（商）、HLDE（余り） ← BCAX ÷ HLDE（符号なし）			
	MACHU		3	3	—	MACR ← MACR + AX × BC（符号なし）		×	×
	MACH		3	3	—	MACR ← MACR + AX × BC（符号付き）		×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態（DI）で実行してください。
ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- **CC-RL（ルネサスエレクトロニクス社コンパイラ製品）V1.01.00以降のC言語ソースおよびアセンブリ言語ソース**
- **EWRL78（IAR社コンパイラ製品）Service pack 1.40.3以降のC言語ソース**
- **LLVM RL78（CyberTHOR社コンパイラ）のC言語ソースおよびC++言語ソース**
- **GNURL78（CyberTHOR社コンパイラ）のC言語ソースおよびC++言語ソース**

備考1. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. MACR：積和演算累計レジスタ（MACRH, MACRL）

表27 - 5 オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	r ← r + 1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16) + 1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) + 1	×	×	
		saddr	2	2	—	(saddr) ← (saddr) + 1	×	×	
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) + 1	×	×	
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) + 1	×	×	
	DEC	r	1	1	—	r ← r – 1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16) – 1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) – 1	×	×	
		saddr	2	2	—	(saddr) ← (saddr) – 1	×	×	
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) – 1	×	×	
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) – 1	×	×	
	INCW	rp	1	1	—	rp ← rp + 1			
		!addr16	3	2	—	(addr16) ← (addr16) + 1			
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) + 1			
		saddrp	2	2	—	(saddrp) ← (saddrp) + 1			
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) + 1			
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) + 1			
	DECW	rp	1	1	—	rp ← rp – 1			
		!addr16	3	2	—	(addr16) ← (addr16) – 1			
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) – 1			
		saddrp	2	2	—	(saddrp) ← (saddrp) – 1			
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) – 1			
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) – 1			
シフト	SHR	A, cnt	2	1	—	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) × cnt			×
	SHRW	AX, cnt	2	1	—	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) × cnt			×
	SHL	A, cnt	2	1	—	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) × cnt			×
		B, cnt	2	1	—	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) × cnt			×
		C, cnt	2	1	—	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) × cnt			×
	SHLW	AX, cnt	2	1	—	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) × cnt			×
		BC, cnt	2	1	—	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) × cnt			×
	SAR	A, cnt	2	1	—	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) × cnt			×
	SARW	AX, cnt	2	1	—	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) × cnt			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考1. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. cntはビット・シフト数です。

表27 - 5 オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	(CY, A_7 ← A_0, A_{m-1} ← A_m) × 1			×
	ROL	A, 1	2	1	—	(CY, A_0 ← A_7, A_{m+1} ← A_m) × 1			×
	RORC	A, 1	2	1	—	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m) × 1			×
	ROLC	A, 1	2	1	—	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m) × 1			×
	ROLWC	AX, 1	2	1	—	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) × 1			×
		BC, 1	2	1	—	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) × 1			×
ビット操作	MOV1	CY, A.bit	2	1	—	CY ← A.bit			×
		A.bit, CY	2	1	—	A.bit ← CY			
		CY, PSW.bit	3	1	—	CY ← PSW.bit			×
		PSW.bit, CY	3	4	—	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	—	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	—	(saddr).bit ← CY			
		CY, sfr.bit	3	1	—	CY ← sfr.bit			×
		sfr.bit, CY	3	2	—	sfr.bit ← CY			
		CY, [HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	—	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	—	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	—	CY ← CY ∧ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∧ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∧ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∧ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∧ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∧ (ES, HL).bit			×
	OR1	CY, A.bit	2	1	—	CY ← CY ∨ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∨ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∨ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∨ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∨ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∨ (ES, HL).bit			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×
	SET1	A.bit	2	1	—	A.bit ← 1			
		PSW.bit	3	4	—	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 1			
		saddr.bit	3	2	—	(saddr).bit ← 1			
		sfr.bit	3	2	—	sfr.bit ← 1			
		[HL].bit	2	2	—	(HL).bit ← 1			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	—	A.bit ← 0			
		PSW.bit	3	4	—	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 0			
		saddr.bit	3	2	—	(saddr).bit ← 0			
		sfr.bit	3	2	—	sfr.bit ← 0			
		[HL].bit	2	2	—	(HL).bit ← 0			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 0			
	SET1	CY	2	1	—	CY ← 1			1
	CLR1	CY	2	1	—	CY ← 0			0
	NOT1	CY	2	1	—	CY ← $\overline{CY}$			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
コール・リターン	CALL	rp	2	3	—	(SP – 2) ← (PC + 2)S, (SP – 3) ← (PC + 2)H, (SP – 4) ← (PC + 2)L, PC ← CS, rp, SP ← SP – 4	
		$!addr20	3	3	—	(SP – 2) ← (PC + 3)S, (SP – 3) ← (PC + 3)H, (SP – 4) ← (PC + 3)L, PC ← PC + 3 + jdisp16, SP ← SP – 4	
		!addr16	3	3	—	(SP – 2) ← (PC + 3)S, (SP – 3) ← (PC + 3)H, (SP – 4) ← (PC + 3)L, PC ← 0000, addr16, SP ← SP – 4	
		!!addr20	4	3	—	(SP – 2) ← (PC + 4)S, (SP – 3) ← (PC + 4)H, (SP – 4) ← (PC + 4)L, PC ← addr20, SP ← SP – 4	
	CALLT	[addr5]	2	5	—	(SP – 2) ← (PC + 2)S, (SP – 3) ← (PC + 2)H, (SP – 4) ← (PC + 2)L, PCS ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP – 4	
	BRK	—	2	5	—	(SP – 1) ← PSW, (SP – 2) ← (PC + 2)S, (SP – 3) ← (PC + 2)H, (SP – 4) ← (PC + 2)L, PCS ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP – 4, IE ← 0	
	RET	—	1	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), SP ← SP + 4	
	RETI	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R R R
	RETB	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R R R

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（fCLK）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP – 1) ← PSW, (SP – 2) ← 00H, SP ← SP – 2			
		rp	1	1	—	(SP – 1) ← rpH, (SP – 2) ← rpL, SP ← SP – 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
	ADDW	SP, #byte	2	1	—	SP ← SP + byte			
	SUBW	SP, #byte	2	1	—	SP ← SP – byte			
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 0			
	BNH	$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 1			
	BT	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（fCLK）数。

注3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL	RBn注4	2	1	—	RBS1, RBS0 ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. クロック数は“条件不成立時／条件成立時”を表しています。

注4. nはレジスタ・バンク番号です（n = 0-3）。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

第28章　電気的特性

本章では、以下の対象製品の電気的特性を示します。

- 対象製品3Z　：産業／民生用途 T_A = –40 ～ +105°C
  R7F103Gxx3Zxx

注意1. 本製品には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

注意2. EV_{DD0}, EV_{SS0}端子がない製品は、EV_{DD0}をV_{DD}に、EV_{SS0}をV_{SS}に置き換えてください。

注意3. 製品により搭載している端子が異なります。2.1　ポートの端子機能～2.2.1　製品別の搭載機能を参照してください。

28.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		–0.5～+6.5	V
	EV_{DD0}		–0.5～+6.5	V
	EV_{SS0}		–0.5～+0.3	V
REGC端子入力電圧	V_{IREGC}	REGC	–0.3～+2.1 かつ–0.3～V_{DD} +0.3注1	V
入力電圧	V_{I1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	–0.3～EV_{DD0} +0.3 かつ–0.3～V_{DD} +0.3注2	V
	V_{I2}	P60, P61（N-chオープン・ドレイン）	–0.3～+6.5	V
	V_{I3}	P20-P27, P121-P125, P137, EXCLK, $\overline{RESET}$	–0.3～V_{DD} +0.3注2	V
出力電圧	V_{O1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	–0.3～EV_{DD0} +0.3 かつ–0.3～V_{DD} +0.3注2	V
	V_{O2}	P20-P27, P121-P125	–0.3～V_{DD} +0.3注2	V
アナログ入力電圧	V_{AI1}	ANI16-ANI19	–0.3～EV_{DD0} +0.3 かつ–0.3～AV_{REFP} +0.3注2, 3	V
	V_{AI2}	ANI0-ANI7	–0.3～V_{DD} +0.3 かつ–0.3～AV_{REFP} +0.3注2, 3	V

注1. REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AV_{REFP} +0.3を超えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AV_{REFP}：A/Dコンバータの＋側基準電圧

備考3. V_{SS}を基準電圧とします。

(2/2)

項目	略号	条件			定格	単位
ハイ・レベル出力電流	I_{OH1}	1端子	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147		–40	mA
		端子合計 –170 mA	P00-P04, P40-P43, P120, P130, P140, P141		–70	mA
			P05, P06, P10-P17, P30, P31, P33, P34, P50-P55, P70-P77, P146, P147		–100	mA
	I_{OH2}	1端子	P20-P27, P121-P125		–5	mA
		端子合計			–20	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P60, P61, P70-P77, P120, P130, P140, P141, P146, P147		40	mA
		端子合計 170 mA	P00-P04, P40-P43, P120, P130, P140, P141		70	mA
			P05, P06, P10-P17, P30, P31, P33, P34, P50-P55, P60, P61, P70-P77, P146, P147		100	mA
	I_{OL2}	1端子	P20-P27, P121-P125		10	mA
		端子合計			20	mA
動作周囲温度	T_A	通常動作時		3Z：産業／民生用途	–40～+105	°C
		フラッシュ・メモリ・プログラミング時		3Z：産業／民生用途	–40～+105	
保存温度	T_{stg}				–65～+150	°C

注意　各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考　特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

28.2 発振回路特性

28.2.1 X1発振回路特性

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子／水晶振動子		0.05		1	μs

注 発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、**28.4 AC特性**を参照してください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

28.2.2 オンチップ・オシレータ特性

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f_{IH}			1		32	MHz
★ 高速オンチップ・オシレータ・クロック周波数精度（HIPREC = 1）		–40～+105°C	1.6 V≦V_{DD}≦5.5 V	–1		+1	%
高速オンチップ・オシレータ・クロック補正分解能					0.05		%
低速オンチップ・オシレータ・クロック周波数注	f_{IL}				32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度				–15		+15	%

注 発振回路の特性だけを示すものです。命令実行時間は、**28.4 AC特性**を参照してください。

28.3 DC特性

28.3.1 端子特性

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル許容出力電流注1	I_{OH1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子	1.6 V≦EV_{DD0}≦5.5 V			–10.0注2	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 （デューティ≦70%時注3）	4.0 V≦EV_{DD0}≦5.5 V			–55.0注4	mA
			2.7 V≦EV_{DD0}＜4.0 V			–10.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			–5.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			–2.5	mA
		P05, P06, P10-P17, P30, P31, P33, P34, P50-P55, P70-P77, P146, P147 合計 （デューティ≦70%時注3）	4.0 V≦EV_{DD0}≦5.5 V			–80.0注5	mA
			2.7 V≦EV_{DD0}＜4.0 V			–19.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			–10.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			–5.0	mA
		全端子合計 （デューティ≦70%時注3）	1.6 V≦EV_{DD0}≦5.5 V			–100.0 注6	mA
	I_{OH2}	P20-P27, P121-P125 1端子	4.0 V≦V_{DD}≦5.5 V			–3.0注2	mA
			2.7 V≦V_{DD}＜4.0 V			–1.0注2	mA
			1.8 V≦V_{DD}＜2.7 V			–1.0注2	mA
			1.6 V≦V_{DD}＜1.8 V			–0.5注2	mA
		全端子合計 （デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			–20.0	mA
			2.7 V≦V_{DD}＜4.0 V			–10.0	mA
			1.8 V≦V_{DD}＜2.7 V			–5.0	mA
			1.6 V≦V_{DD}＜1.8 V			–5.0	mA

注1. EV_{DD0}, V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を超えないでください。

注3. デューティ≦70%の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

- 端子合計の出力電流 = (I_{OH} × 0.7) / (n × 0.01)

＜計算例＞ I_{OH} = –10.0 mAの場合、n = 80%

端子合計の出力電流 = (–10.0 × 0.7) / (80 × 0.01) ≒ –8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. +85～+105°Cは–30 mAです。

注5. +85～+105°Cは–50 mAです。

注6. +85～+105°Cは–60 mAです。

（注意、備考は次ページに続きます）

注意　**P00, P02-P04, P10-P15, P17, P31, P33, P50, P51, P55, P71, P72, P74は、N-chオープン・ドレイン出力モード時には、ハイ・レベル出力しません。**

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ロウ・レベル許容出力電流注1	I_{OL1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子				20.0 注2	mA
		P60, P61　1端子				15.0注2	mA
		P00-P04, P40-P43, P120, P130, P140, P141　合計 （デューティ≦70%時注3）	4.0 V≦EV_{DD0}≦5.5 V			70.0注4	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			9.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			4.5	mA
		P05, P06, P10-P17, P30, P31, P33, P34, P50-P55, P60, P61, P70-P77, P146, P147　合計 （デューティ≦70%時注3）	4.0 V≦EV_{DD0}≦5.5 V			80.0注4	mA
			2.7 V≦EV_{DD0}＜4.0 V			35.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			20.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			10.0	mA
		全端子合計 （デューティ≦70%時注3）				150.0 注5	mA
	I_{OL2}	P20-P27, P121-P125 1端子	4.0 V≦V_{DD}≦5.5 V			8.5注2	mA
			2.7 V≦V_{DD}＜4.0 V			1.5注2	mA
			1.8 V≦V_{DD}＜2.7 V			0.6注2	mA
			1.6 V≦V_{DD}＜1.8 V			0.4注2	mA
		全端子合計 （デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			20	mA
			2.7 V≦V_{DD}＜4.0 V			20	mA
			1.8 V≦V_{DD}＜2.7 V			15	mA
			1.6 V≦V_{DD}＜1.8 V			10	mA

注1. 出力端子からEV_{SS0}, V_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を超えないでください。

注3. デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

- 端子合計の出力電流 = (I_{OL} × 0.7) / (n × 0.01)

＜計算例＞ I_{OL} = 10.0 mAの場合、n = 80%

端子合計の出力電流 = (10.0 × 0.7) / (80 × 0.01) ≒ 8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. +85°C～+105°Cは40 mAです。

注5. +85°C～+105°Cは80 mAです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (3/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル入力電圧	V_{IH1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0.8 EV_{DD0}		EV_{DD0}	V
	V_{IH2}	P01, P03, P04, P10, P11, P13-P17, P34, P50, P55, P71	TTL入力バッファ 4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0}	V
			TTL入力バッファ 3.3 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0}	V
			TTL入力バッファ 1.6 V≦EV_{DD0}＜3.3 V	1.5		EV_{DD0}	V
	V_{IH3}	P20-P27		0.7 V_{DD}		V_{DD}	V
	V_{IH4}	P60, P61		0.7 EV_{DD0}		6.0	V
	V_{IH5}	P121-P125, P137, EXCLK		0.8 V_{DD}		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0		0.2 EV_{DD0}	V
	V_{IL2}	P01, P03, P04, P10, P11, P13-P17, P34, P50, P55, P71	TTL入力バッファ 4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦EV_{DD0}＜4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V≦EV_{DD0}＜3.3 V	0		0.32	V
	V_{IL3}	P20-P27		0		0.3 V_{DD}	V
	V_{IL4}	P60, P61		0		0.3 EV_{DD0}	V
	V_{IL5}	P121-P125, P137, EXCLK		0		0.2 V_{DD}	V

注意 P00, P02-P04, P10-P15, P17, P31, P33, P50, P51, P55, P71, P72, P74は、N-chオープン・ドレイン出力モード時でもV_{IH}の最大値（Max.）はEV_{DD0}です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (4/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル出力電圧	V_{OH1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = –10.0 mA	EV_{DD0} –1.5			V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = –3.0 mA	EV_{DD0} –0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = –2.0 mA	EV_{DD0} –0.6			V
			1.8 V≦EV_{DD0}≦5.5 V, I_{OH1} = –1.5 mA	EV_{DD0} –0.5			V
			1.6 V≦EV_{DD0}＜5.5 V, I_{OH1} = –1.0 mA	EV_{DD0} –0.5			V
	V_{OH2}	P20-P27, P121-P125	4.0 V≦V_{DD}≦5.5 V, I_{OH2} = –3.0 mA	V_{DD} –0.7			V
			2.7 V≦V_{DD}＜4.0 V, I_{OH2} = –1.0 mA	V_{DD} –0.5			V
			1.8 V≦V_{DD}＜2.7 V, I_{OH2} = –1.0 mA	V_{DD} –0.5			V
			1.6 V≦V_{DD}＜1.8 V, I_{OH2} = –0.5 mA	V_{DD} –0.5			V

注意 P00, P02-P04, P10-P15, P17, P31, P33, P50, P51, P55, P71, P72, P74は、N-chオープン・ドレイン出力モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (5/6)

項目	略号	条件			Min.	Typ.	Max.	単位
ロウ・レベル出力電圧	V_{OL1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V≦EV_{DD0}≦5.5 V	I_{OL1} = 20.0 mA			1.3	V
			4.0 V≦EV_{DD0}≦5.5 V	I_{OL1} = 8.5 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V	I_{OL1} = 3.0 mA			0.6	V
			2.7 V≦EV_{DD0}≦5.5 V	I_{OL1} = 1.5 mA			0.4	V
			1.8 V≦EV_{DD0}≦5.5 V	I_{OL1} = 0.6 mA			0.4	V
			1.6 V≦EV_{DD0}≦5.5 V	I_{OL1} = 0.3 mA			0.4	V
	V_{OL2}	P20-P27, P121-P125	4.0 V≦V_{DD}≦5.5 V, I_{OL2} = 8.5 mA				0.7	V
			2.7 V≦V_{DD}＜4.0 V, I_{OL2} = 1.5 mA				0.5	V
			1.8 V≦V_{DD}＜2.7 V, I_{OL2} = 0.6 mA				0.4	V
			1.6 V≦V_{DD}＜1.8 V, I_{OL2} = 0.4 mA				0.4	V
	V_{OL3}	P60, P61	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 15.0 mA				2.0	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 5.0 mA				0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 3.0 mA				0.4	V
			1.8 V≦EV_{DD0}≦5.5 V, I_{OL3} = 2.0 mA				0.4	V
			1.6 V≦EV_{DD0}≦5.5 V, I_{OL3} = 1.0 mA				0.4	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）　(6/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P60, P61, P70-P77, P120, P140, P141, P146, P147	V_I = EV_{DD0}			0.5	μA
	I_{LIH2}	P20-P27, P137	V_I = V_{DD}			0.5	μA
	I_{LIH3}	P121-P125（X1, X2, EXCLK）	V_I = V_{DD}			0.5	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P60, P61, P70-P77, P120, P140, P141, P146, P147	V_I = EV_{SS0}			–0.5	μA
	I_{LIL2}	P20-P27, P137	V_I = V_{SS}			–0.5	μA
	I_{LIL3}	P121-P125（X1, X2, EXCLK）	V_I = V_{SS}			–0.5	μA
内蔵プルアップ抵抗	R_U	P00-P06, P10-P17, P30, P31, P33, P34, P40-P43, P50-P55, P70-P77, P120-P125, P140, P141, P146, P147	V_I = 0 V、入力ポート時	10	20	100	kΩ
★	R_{U2}	P137	V_I = 0 V	70	100	140	kΩ

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

28.3.2 電源電流特性

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/4)

	項目	略号	条件					Min.	Typ.	Max.	単位
★	電源電流注1	I_{DD1}	動作モード	HS（高速メイン）モード	f_{IH} = 32 MHz注2	基本動作	V_{DD} = 5.0 V		1.1	—	mA
							V_{DD} = 1.8 V		1.1	—	
						通常動作	V_{DD} = 5.0 V		2.6	4.5	mA
							V_{DD} = 1.8 V		2.6	4.5	
				LS（低速メイン）モード	f_{IH} = 24 MHz注2	通常動作	V_{DD} = 5.0 V		1.9	3.4	mA
							V_{DD} = 1.8 V		1.9	3.4	
					f_{IH} = 16 MHz注2	通常動作	V_{DD} = 5.0 V		1.4	2.4	mA
							V_{DD} = 1.8 V		1.4	2.4	
					f_{IH} = 4 MHz注2	通常動作	V_{DD} = 5.0 V		0.6	1.0	mA
							V_{DD} = 1.6 V		0.6	0.9	
				LP（低電力メイン）モード	f_{IH} = 2 MHz注2	通常動作	V_{DD} = 5.0 V		435	625	μA
							V_{DD} = 1.6 V		432	622	
					f_{IH} = 1 MHz注2	通常動作	V_{DD} = 5.0 V		358	489	μA
							V_{DD} = 1.6 V		355	485	
				HS（高速メイン）モード	f_{MX} = 20 MHz注3、方形波入力	通常動作	V_{DD} = 5.0 V		1.7	2.9	mA
							V_{DD} = 1.8 V		1.6	2.8	
				LS（低速メイン）モード	f_{MX} = 20 MHz注3、方形波入力	通常動作	V_{DD} = 5.0 V		1.5	2.7	mA
							V_{DD} = 1.8 V		1.5	2.6	
					f_{MX} = 20 MHz注3、発振子接続	通常動作	V_{DD} = 5.0 V		1.7	2.9	mA
							V_{DD} = 1.8 V		1.7	2.9	
					f_{MX} = 10 MHz注3、方形波入力	通常動作	V_{DD} = 5.0 V		0.8	1.4	mA
							V_{DD} = 1.8 V		0.8	1.4	
					f_{MX} = 10 MHz注3、発振子接続	通常動作	V_{DD} = 5.0 V		0.9	1.5	mA
							V_{DD} = 1.8 V		0.9	1.5	
					f_{MX} = 8 MHz注3、方形波入力	通常動作	V_{DD} = 5.0 V		0.7	1.1	mA
							V_{DD} = 1.8 V		0.6	1.1	
					f_{MX} = 8 MHz注3、発振子接続	通常動作	V_{DD} = 5.0 V		0.8	1.3	mA
							V_{DD} = 1.8 V		0.7	1.2	

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはTAU, SAU, IICA機能の動作電流を含みます。

注2. 高速システム・クロック、低速オンチップ・オシレータは停止時。

注3. 高速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考3. 特に指定がない場合のTyp.値の温度条件は、T_A = +25°Cです。

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/4)

	項目	略号	条件					Min.	Typ.	Max.	単位
★	電源電流注1	I_{DD1}	動作モード	サブシステム・クロック動作モード	f_{SUB} = 32.768 kHz 注2、低速オンチップ・オシレータ動作	通常動作	T_A = –40°C		2.8	5.4	μA
							T_A = +25°C		3.1	5.7	
							T_A = +50°C		3.3	8.8	
							T_A = +70°C		3.6	14.0	
							T_A = +85°C		4.1	23.3	
							T_A = +105°C		5.4	48.3	

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB}：サブシステム・クロック周波数

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
★ 電源電流注1	I_{DD2} 注2	HALTモード	HS（高速メイン）モード	f_{IH} = 32 MHz注3	V_{DD} = 5.0 V		0.46	1.85	mA
					V_{DD} = 1.8 V		0.45	1.84	
			LS（低速メイン）モード	f_{IH} = 24 MHz注3	V_{DD} = 5.0 V		0.39	1.44	mA
					V_{DD} = 1.8 V		0.38	1.43	
				f_{IH} = 16 MHz注3	V_{DD} = 5.0 V		0.39	1.13	mA
					V_{DD} = 1.8 V		0.38	1.11	
				f_{IH} = 4 MHz注3	V_{DD} = 5.0 V		0.34	0.58	mA
					V_{DD} = 1.6 V		0.33	0.57	
			LP（低電力メイン）モード	f_{IH} = 2 MHz注3	V_{DD} = 5.0 V		289	442	μA
					V_{DD} = 1.6 V		287	440	
				f_{IH} = 1 MHz注3	V_{DD} = 5.0 V		285	398	μA
					V_{DD} = 1.6 V		282	394	
			HS（高速メイン）モード	f_{MX} = 20 MHz注4、方形波入力	V_{DD} = 5.0 V		0.19	1.03	mA
					V_{DD} = 1.8 V		0.16	0.99	
			LS（低速メイン）モード	f_{MX} = 20 MHz注4、方形波入力	V_{DD} = 5.0 V		0.19	1.03	mA
					V_{DD} = 1.8 V		0.16	0.99	
				f_{MX} = 20 MHz注4、発振子接続	V_{DD} = 5.0 V		0.39	1.28	mA
					V_{DD} = 1.8 V		0.37	1.27	
				f_{MX} = 10 MHz注4、方形波入力	V_{DD} = 5.0 V		0.12	0.54	mA
					V_{DD} = 1.8 V		0.10	0.52	
				f_{MX} = 10 MHz注4、発振子接続	V_{DD} = 5.0 V		0.23	0.68	mA
					V_{DD} = 1.8 V		0.22	0.67	
				f_{MX} = 8 MHz注4、方形波入力	V_{DD} = 5.0 V		0.10	0.45	mA
					V_{DD} = 1.8 V		0.09	0.43	
				f_{MX} = 8 MHz注4、発振子接続	V_{DD} = 5.0 V		0.20	0.57	mA
					V_{DD} = 1.8 V		0.19	0.56	

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはTAU, SAU, IICA機能の動作電流を含みます。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、低速オンチップ・オシレータは停止時。

注4. 高速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考3. 特に指定がない場合のTyp.値の温度条件は、T_A = +25°Cです。

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (4/4)

項目	略号	条件				Min.	Typ.	Max.	単位
★ 電源電流注1	I_{DD2} 注2	HALTモード	サブシステム・クロック動作モード	f_{SUB} = 32.768 kHz注3、低速オンチップ・オシレータ動作	T_A = –40°C		0.45	2.70	μA
					T_A = +25°C		0.55	2.78	
					T_A = +50°C		0.65	5.80	
					T_A = +70°C		0.86	10.86	
					T_A = +85°C		1.95	21.52	
					T_A = +105°C		3.25	46.67	
	I_{DD3}	STOPモード注4			T_A = –40°C		0.16	2	μA
					T_A = +25°C		0.23	2	
					T_A = +50°C		0.50	5	
					T_A = +70°C		0.85	10	
					T_A = +85°C		1.50	19	
					T_A = +105°C		2.90	44	

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

★ **注4.** 低速オンチップ・オシレータは停止時。
STOPモード時に低速オンチップ・オシレータを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB}：サブシステム・クロック周波数

周辺機能（全製品共通）

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件			Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	I_{FIH} 注1					320		μA
低速オンチップ・オシレータ動作電流	I_{FIL} 注1					0.2		μA
32ビット・インターバル・タイマ動作電流	I_{IT} 注1, 2, 3					0.04		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2, 4	f_{IL} = 32.768 kHz (Typ.)				0.32		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 5	最高速変換時	標準モード、AV_{REFP} = V_{DD} = 5.0 V			1.3	1.7	mA
			低電圧モード、AV_{REFP} = V_{DD} = 3.0 V			0.5	0.7	mA
A/Dコンバータ内部基準電圧電流	I_{ADREF} 注1					100		μA
温度センサ動作電流	I_{TMPS} 注1					114		μA
LVD動作電流	I_{LVD0} 注1, 6					0.02		μA
	I_{LVD1} 注1, 6					0.02		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 7					2.5	12.2	mA
データ・フラッシュ・メモリ書き換え動作電流	I_{BGO} 注1, 8					2.5	12.2	mA
★ SNOOZE動作電流	I_{SNOZ} 注1	f_{IH} = 32 MHz	ADC動作	モード遷移中 注9		0.50	0.70	mA
				変換動作中、低電圧モード、AV_{REFP} = V_{DD} = 3.0 V		0.90	1.40	mA
			簡易SPI（CSI）/UART動作			0.70	0.92	mA

注1. V_{DD}に流れる電流です。

注2. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

注3. 32ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流は含みません）。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、I_{DD1}またはI_{DD2}にI_{IT}を加算した値が、本製品の電流値となります。また、低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。

注4. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は、I_{DD1}、I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が、本製品の電流値となります。

注5. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が、本製品の電流値となります。

注6. LVD回路にのみ流れる電流です。LVD回路の動作時は、I_{DD1}、I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が本製品の電流値となります。

注7. セルフ・プログラミング動作に流れる電流です。

注8. データ・フラッシュ・メモリ書き換え動作に流れる電流です。

注9. SNOOZEモードへの移行時間は、**16.3.3 SNOOZEモード**を参照してください。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考3. Typ.値の温度条件は、T_A = +25°Cです。

28.4 AC特性

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

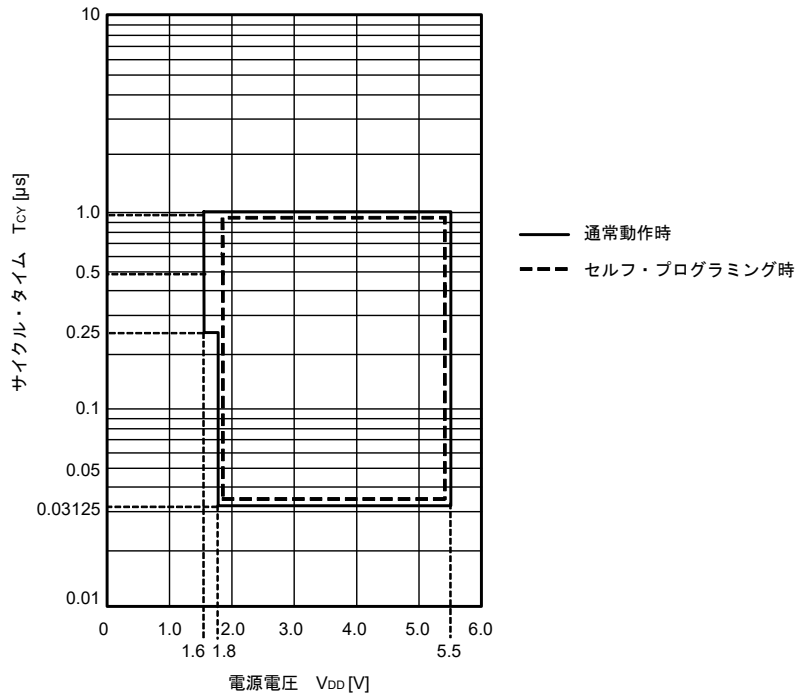
項目	略号	条件			Min.	Typ.	Max.	単位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.03125		1	μs
				1.6 V≦V_{DD}≦1.8 V	0.25		1	μs
			LS（低速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.04167		1	μs
				1.6 V≦V_{DD}≦1.8 V	0.25		1	μs
			LP（低電力メイン）モード	1.6 V≦V_{DD}≦5.5 V	0.5		1	μs
		サブシステム・クロック（f_{SUB}）動作		1.6 V≦V_{DD}≦5.5 V		30.5		μs
		セルフ・プログラミング時	HS（高速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.03125		1	μs
			LS（低速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.04167		1	μs
外部システム・クロック周波数	f_{EX}	1.8 V≦V_{DD}≦5.5 V			1.0		20.0	MHz
		1.6 V≦V_{DD}＜1.8 V			1.0		4.0	MHz
外部システム・クロック入力ハイ・レベル幅、ロウ・レベル幅	t_{EXH}, t_{EXL}	1.8 V≦V_{DD}≦5.5 V			24			ns
		1.6 V≦V_{DD}＜1.8 V			120			ns
TI00-TI07入力ハイ・レベル幅、ロウ・レベル幅	t_{TIH}, t_{TIL}				1/f_{MCK} +10			ns注
TO00-TO07出力周波数	f_{TO}	HS（高速メイン）モード LS（低速メイン）モード		4.0 V≦EV_{DD0}≦5.5 V			16	MHz
				2.7 V≦EV_{DD0}＜4.0 V			8	MHz
				1.8 V≦EV_{DD0}＜2.7 V			4	MHz
				1.6 V≦EV_{DD0}＜1.8 V			2	MHz
		LP（低電力メイン）モード		1.6 V≦EV_{DD0}≦5.5 V			2	MHz
割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0, P121/P122/P125と兼用するINTPx		1.6 V≦V_{DD}≦5.5 V	1			μs
		INTP1-INTP11（P121/P122/P125と兼用するINTPxを除く）		1.6 V≦EV_{DD0}≦5.5 V	1			μs
キー割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{KRH}, t_{KRL}	KR0-KR7		1.8 V≦EV_{DD0}≦5.5 V	250			ns
				1.6 V≦EV_{DD0}＜1.8 V	1			μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

注 EV_{DD0}＜V_{DD}となる低電圧インタフェース時は、次の条件も必要になります。
1.8 V≦EV_{DD0}＜2.7 V：Min. 125 ns
1.6 V≦EV_{DD0}＜1.8 V：Min. 250 ns

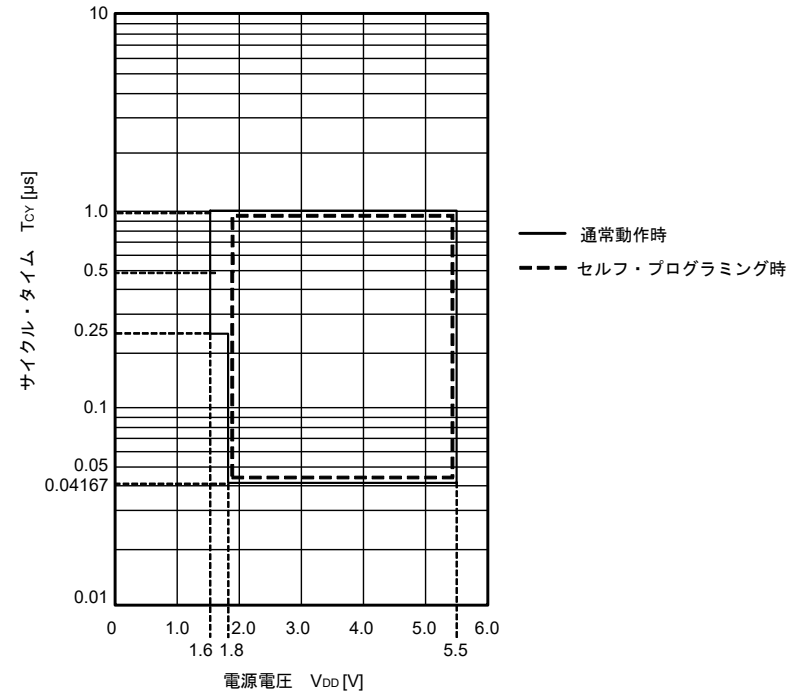
備考 f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。
（タイマ・モード・レジスタmn（TMRmn）CKSmn0, CKSmn1ビットで設定する動作クロック。
m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7））

メイン・システム・クロック動作時の最小命令実行時間

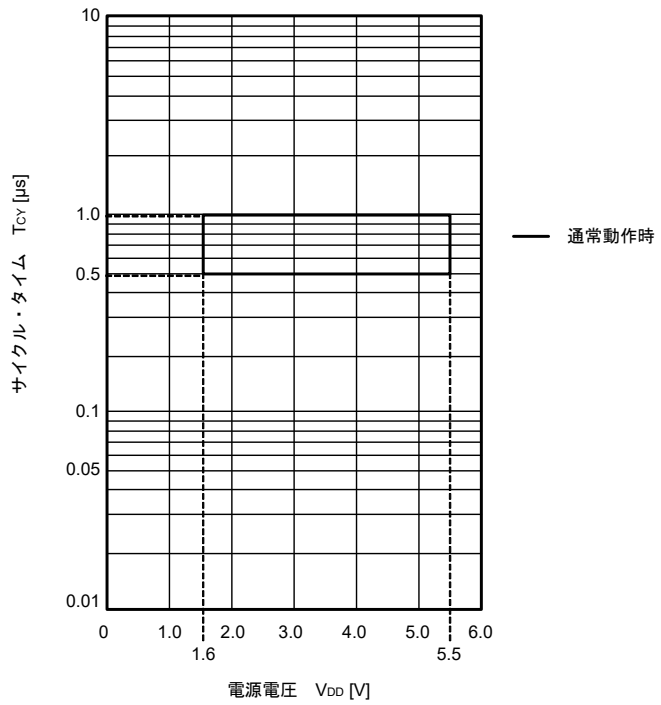
TCY vs VDD（HS（高速メイン）モード）



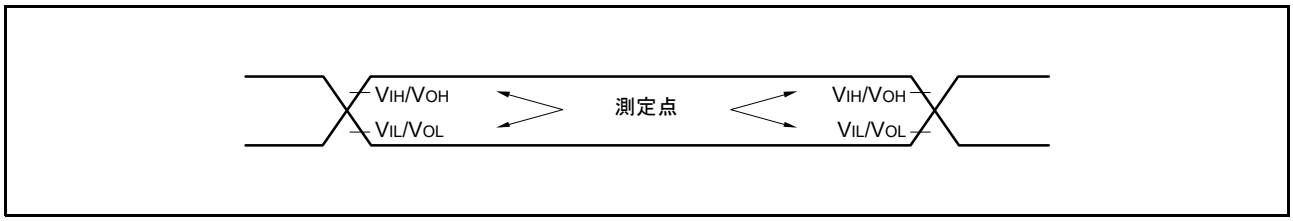
TCY vs VDD（LS（低速メイン）モード）



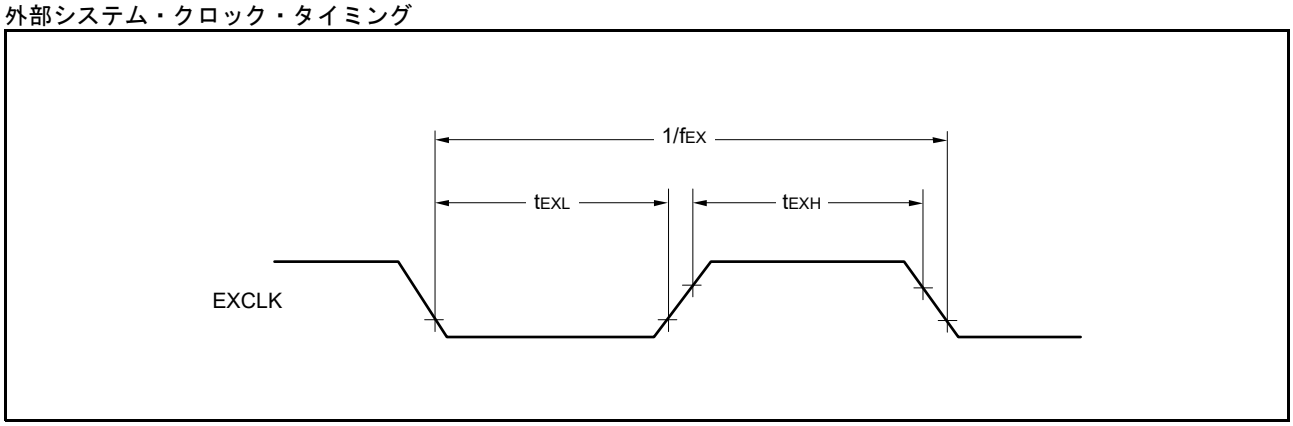
TCY vs VDD（LP（低電力メイン）モード）



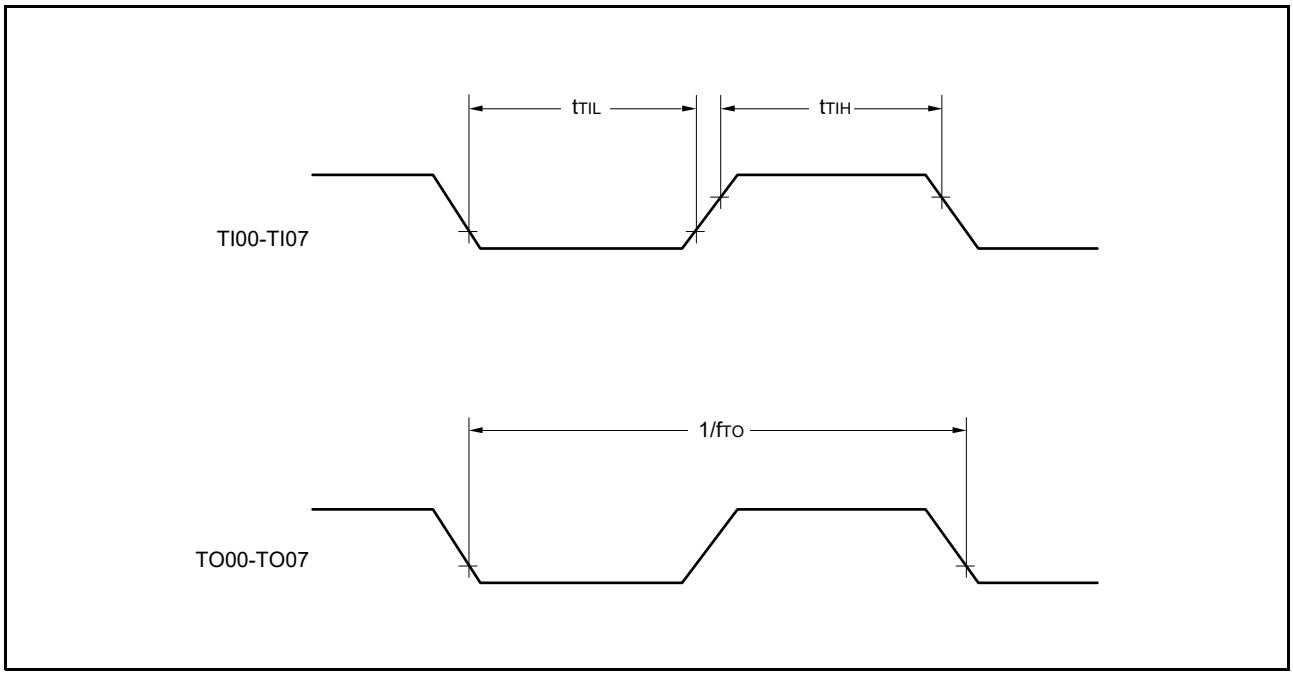
ACタイミング測定点



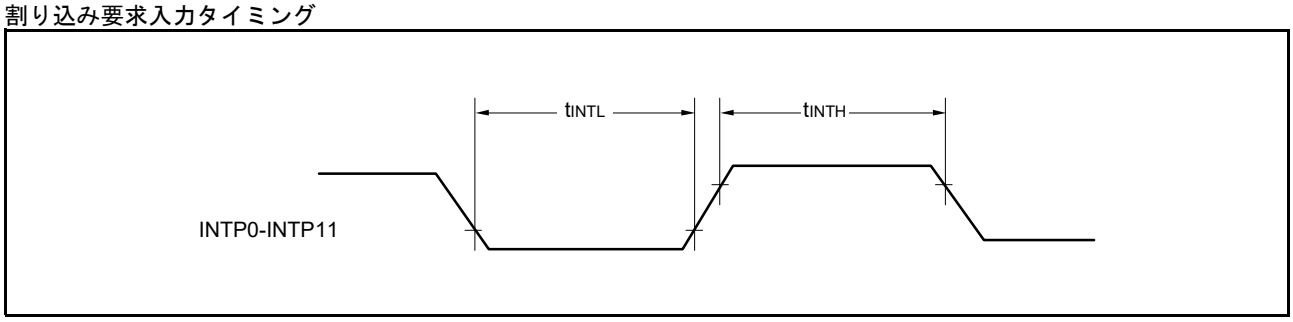
外部システム・クロック・タイミング



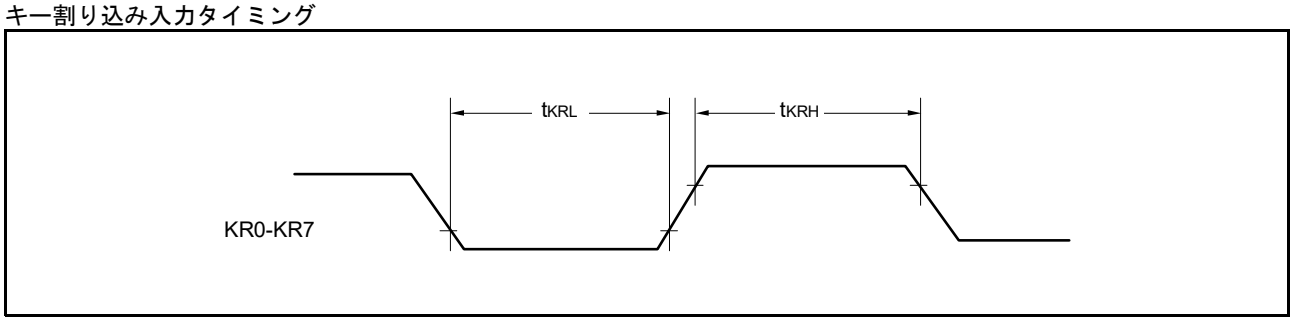
TI/TOタイミング



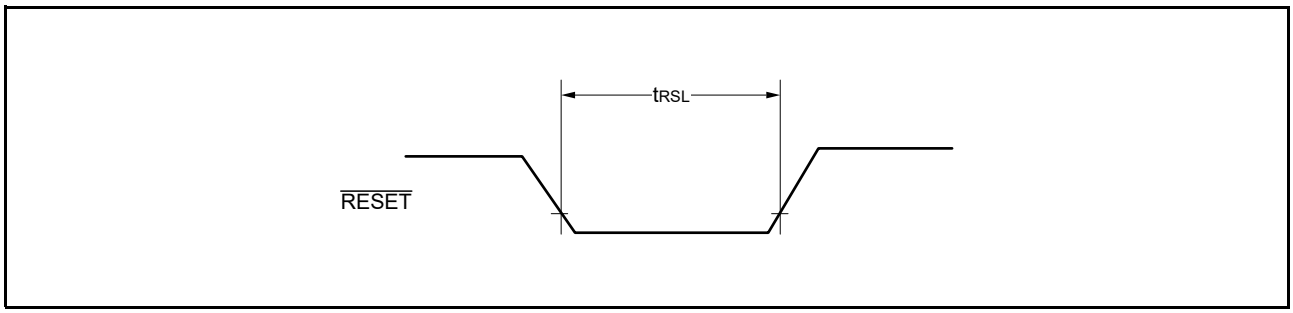
割り込み要求入力タイミング



キー割り込み入力タイミング

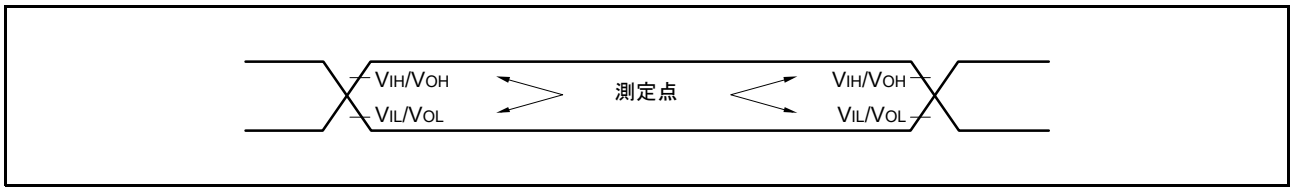


$\overline{\text{RESET}}$入力タイミング



28.5 周辺機能特性

ACタイミング測定点



28.5.1 シリアル・アレイ・ユニット

(1) 同電位通信、UARTモード時

（TA = –40～+105°C, 1.6 V≦EVDD0≦VDD≦5.5 V, VSS = EVSS0 = 0 V）

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート注1		1.6 V≦EVDD0≦5.5 V		fMCK/6注2		fMCK/6注2		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		5.3		4		0.33	Mbps

注1. SNOOZEモードでの転送レートは、4800～9600 bpsとなります。

注2. EVDD0＜VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V≦EVDD0＜2.7 V：Max. 2.6 Mbps

1.8 V≦EVDD0＜2.4 V：Max. 1.3 Mbps

1.6 V≦EVDD0＜1.8 V：Max. 0.6 Mbps

注3. CPU／周辺ハードウェア・クロック（fCLK）の最高動作周波数を次に示します。

HS（高速メイン）モード ：32 MHz（1.8 V≦VDD≦5.5 V）

4 MHz（1.6 V≦VDD≦5.5 V）

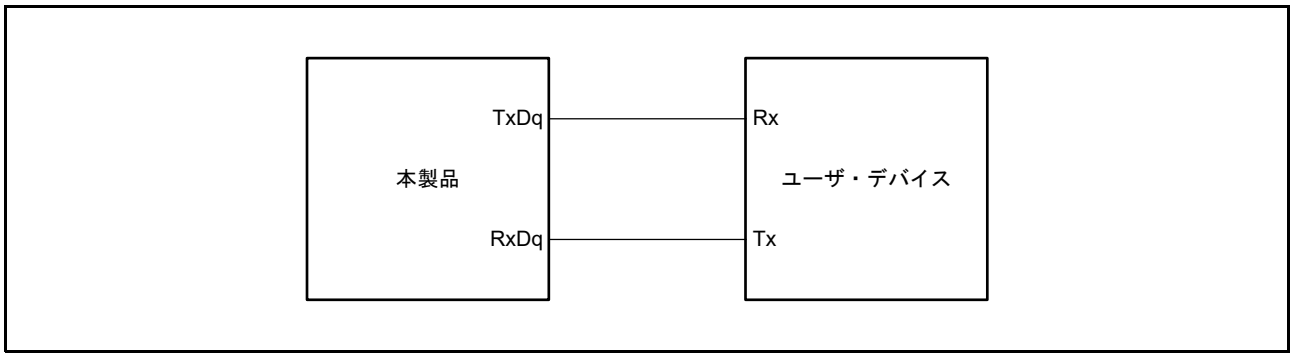
LS（低速メイン）モード ：24 MHz（1.8 V≦VDD≦5.5 V）

4 MHz（1.6 V≦VDD≦5.5 V）

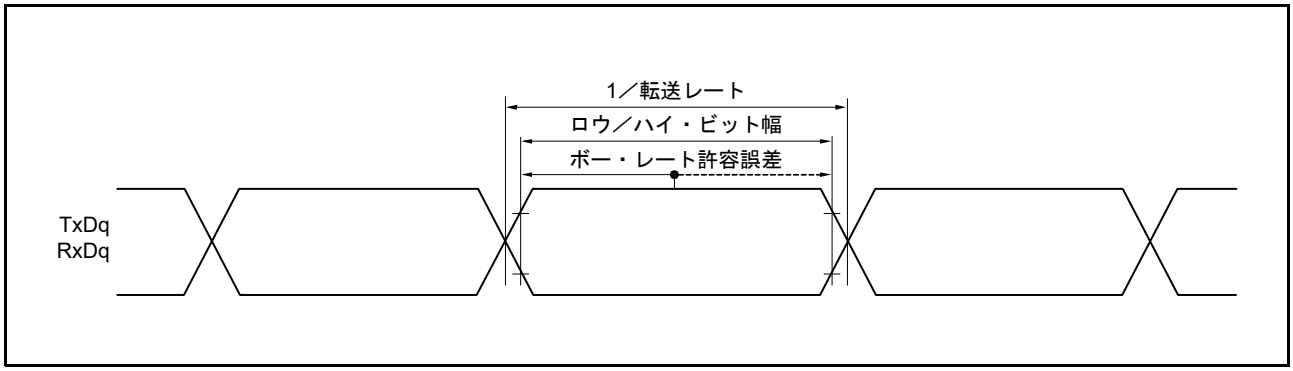
LP（低電力メイン）モード：2 MHz（1.6 V≦VDD≦5.5 V）

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1. q：UART番号（q = 0-2）、g：PIM, POM番号（g = 0, 1, 5）

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00-03, 10, 11））

(2) 同電位通信、簡易SPI（CSI）モード時（マスタ・モード、SCKp：内部クロック出力、CSI00のみ対応）

（T_A = –40～+85°C, 2.7 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦EV_{DD0}≦5.5 V	62.5		83.3		1000		ns
			2.7 V≦EV_{DD0}≦5.5 V	83.3		125		1000		ns
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2 –7		t_{KCY1}/2 –10		t_{KCY1}/2 –50		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2 –10		t_{KCY1}/2 –15		t_{KCY1}/2 –50		ns
SIpセットアップ時間（対SCKp↑）**注1**	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V		23		33		110		ns
		2.7 V≦EV_{DD0}≦5.5 V		33		50		110		ns
SIpホールド時間（対SCKp↑）**注1**	t_{KSI1}	2.7 V≦EV_{DD0}≦5.5 V		10		10		10		ns
SCKp↓→SOp出力遅延時間**注2**	t_{KSO1}	C = 20 pF**注3**			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

備考2. p：CSI番号（p = 00）、m：ユニット番号（m = 0）、n：チャネル番号（n = 0）、g：PIM, POM番号（g = 1）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00））

(3) 同電位通信、簡易SPI（CSI）モード時（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦EV_{DD0}≦5.5 V	125		166		2000		ns
			2.4 V≦EV_{DD0}≦5.5 V	250		250		2000		ns
			1.8 V≦EV_{DD0}≦5.5 V	500		500		2000		ns
			1.6 V≦EV_{DD0}≦5.5 V	1000		1000		2000		ns
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2 –12		t_{KCY1}/2 –21		t_{KCY1}/2 –50		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2 –18		t_{KCY1}/2 –25		t_{KCY1}/2 –50		ns
		2.4 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2 –38		t_{KCY1}/2 –38		t_{KCY1}/2 –50		ns
		1.8 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2 –50		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		1.6 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2 –100		t_{KCY1}/2 –100		t_{KCY1}/2 –100		ns
SIpセットアップ時間（対SCKp↑）**注1**	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V		44		54		110		ns
		2.7 V≦EV_{DD0}≦5.5 V		44		54		110		ns
		2.4 V≦EV_{DD0}≦5.5 V		75		75		110		ns
		1.8 V≦EV_{DD0}≦5.5 V		110		110		110		ns
		1.6 V≦EV_{DD0}≦5.5 V		220		220		220		ns
SIpホールド時間（対SCKp↑）**注1**	t_{KSI1}	1.6 V≦EV_{DD0}≦5.5 V		19		19		19		ns
SCKp↓→SOp出力遅延時間**注2**	t_{KSO1}	1.6 V≦EV_{DD0}≦5.5 V C = 30 pF**注3**			25		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p：CSI番号（p = 00, 01, 10, 11, 20, 21）、m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、g：PIM, POM番号（g = 0, 1, 5, 7）

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00-03, 10, 11））

(4) 同電位通信、簡易SPI（CSI）モード時（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム注1	t_{KCY2}	4.0 V≦EV_{DD0}≦5.5 V	20 MHz＜f_{MCK}	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦20 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.7 V≦EV_{DD0}≦5.5 V	16 MHz＜f_{MCK}	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦16 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.4 V≦EV_{DD0}≦5.5 V		6/f_{MCK} かつ500		6/f_{MCK} かつ500		6/f_{MCK} かつ500		ns
		1.8 V≦EV_{DD0}≦5.5 V		6/f_{MCK} かつ750		6/f_{MCK} かつ750		6/f_{MCK} かつ750		ns
		1.6 V≦EV_{DD0}≦5.5 V		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		ns
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2–7		t_{KCY2}/2–7		t_{KCY2}/2–7		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2–8		t_{KCY2}/2–8		t_{KCY2}/2–8		ns
		1.8 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2 –18		t_{KCY2}/2 –18		t_{KCY2}/2 –18		ns
		1.6 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2 –66		t_{KCY2}/2 –66		t_{KCY2}/2 –66		ns

（注、注意、備考は次ページに続きます）

(4) 同電位通信、簡易SPI（CSI）モード時（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↑）注2	t_{SIK2}	2.7 V≦EV_{DD0}≦5.5 V		1/f_{MCK} +20		1/f_{MCK} +30		1/f_{MCK} +30		ns
		1.8 V≦EV_{DD0}≦5.5 V		1/f_{MCK} +30		1/f_{MCK} +30		1/f_{MCK} +30		ns
		1.6 V≦EV_{DD0}≦5.5 V		1/f_{MCK} +40		1/f_{MCK} +40		1/f_{MCK} +40		ns
SIpホールド時間（対SCKp↑）注2	t_{KSI2}	1.8 V≦EV_{DD0}≦5.5 V		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
		1.6 V≦EV_{DD0}≦5.5 V		1/f_{MCK} +250		1/f_{MCK} +250		1/f_{MCK} +250		ns
SCKp↓→SOp出力遅延時間注3	t_{KSO2}	C = 30 pF 注4	2.7 V≦EV_{DD0}≦5.5 V		2/f_{MCK} +44		2/f_{MCK} +110		2/f_{MCK} +110	ns
			2.4 V≦EV_{DD0}≦5.5 V		2/f_{MCK} +75		2/f_{MCK} +110		2/f_{MCK} +110	ns
			1.8 V≦EV_{DD0}≦5.5 V		2/f_{MCK} +110		2/f_{MCK} +110		2/f_{MCK} +110	ns
			1.6 V≦EV_{DD0}≦5.5 V		2/f_{MCK} +220		2/f_{MCK} +220		2/f_{MCK} +220	ns

注1. SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

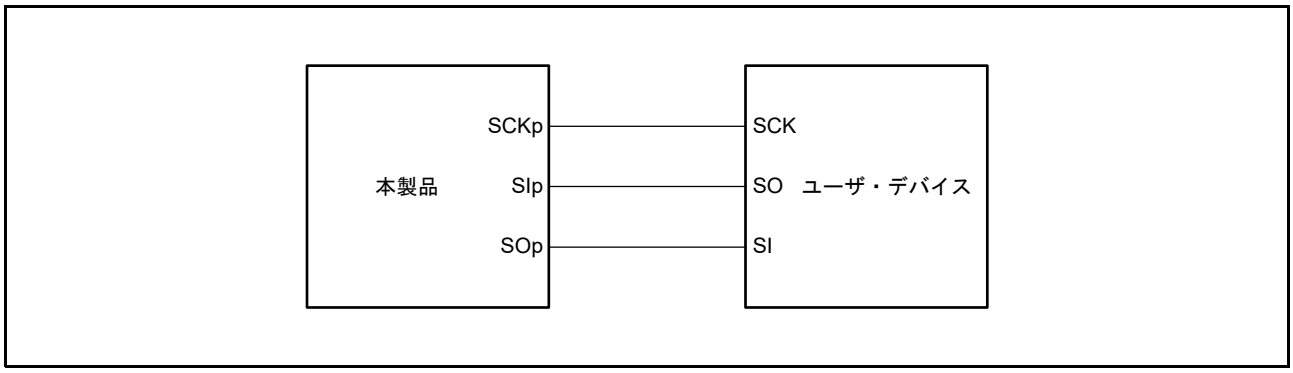
注4. Cは、SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

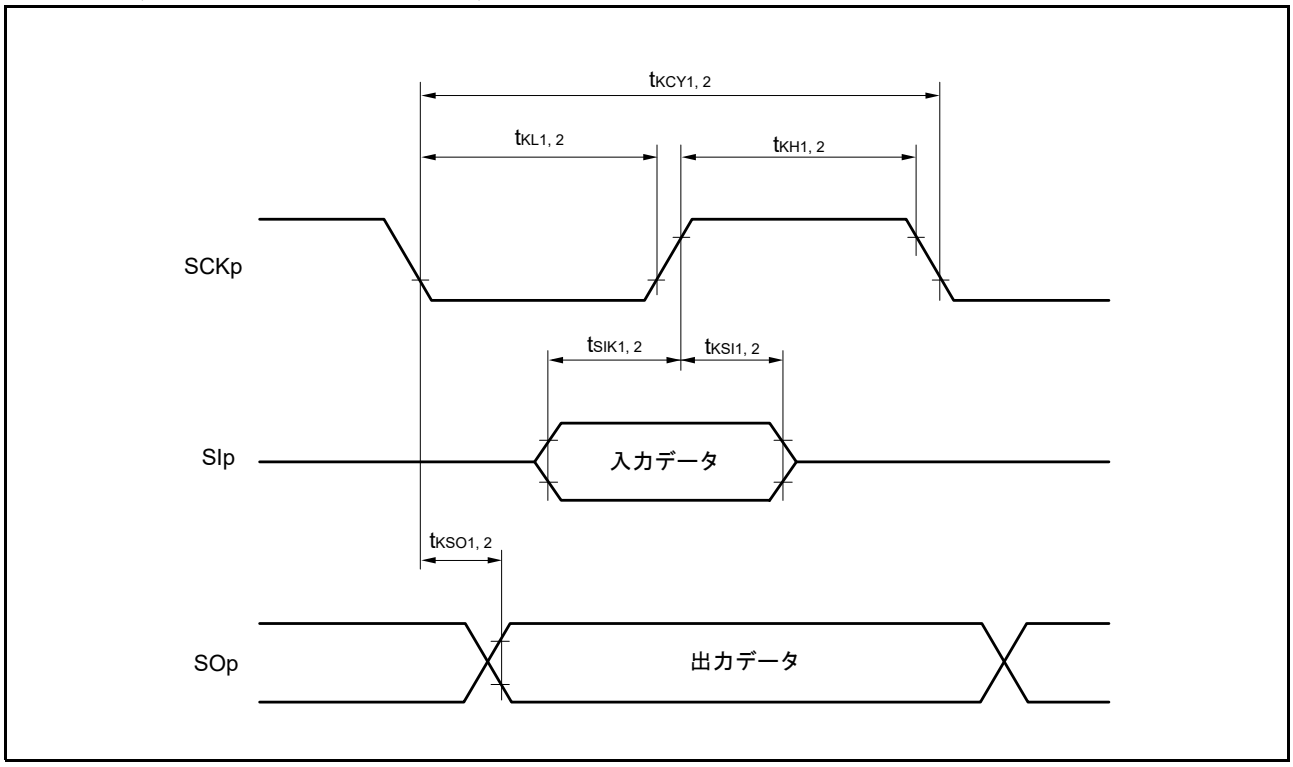
備考1. p：CSI番号（p = 00, 01, 10, 11, 20, 21）、m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、g：PIM, POM番号（g = 0, 1, 5, 7）

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00-03, 10, 11））

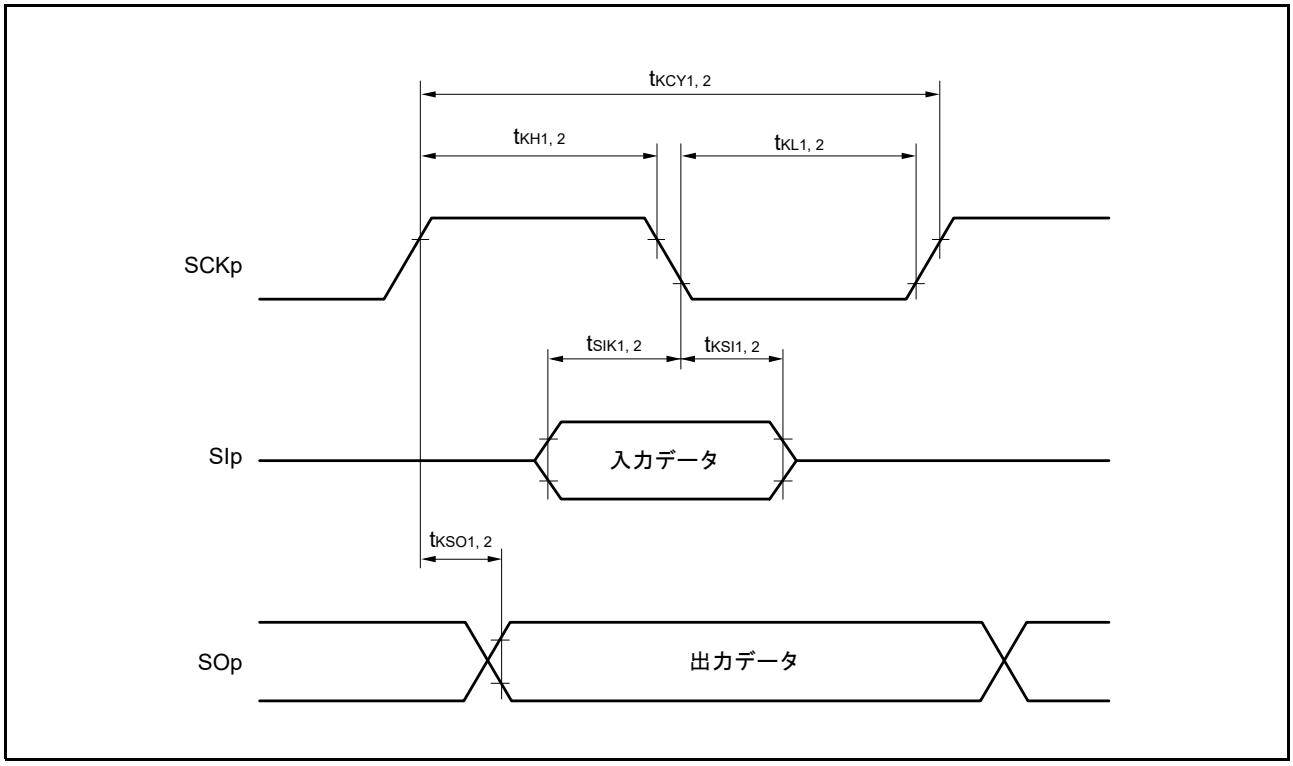
簡易SPI（CSI）モード接続図（同電位通信時）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 01, 10, 11, 20, 21）

備考2. m：ユニット番号、n：チャネル番号（mn = 00-03, 10, 11）

(5) 同電位通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	f_{SCL}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		1000注1		400注1	kHz
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		400注1		400注1		400注1	kHz
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ		300注1		300注1		300注1	kHz
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ		250注1		250注1		250注1	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1150		ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		ns
SCLr = “H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1150		ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		ns

（注、注意は次ページに、備考は955ページにあります）

(5) 同電位通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK} +85注2		1/f_{MCK} +85注2		1/f_{MCK} +145注2		ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK} +145注2		1/f_{MCK} +145注2		1/f_{MCK} +145注2		ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK} +230注2		1/f_{MCK} +230注2		1/f_{MCK} +230注2		ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK} +290注2		1/f_{MCK} +290注2		1/f_{MCK} +290注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	ns

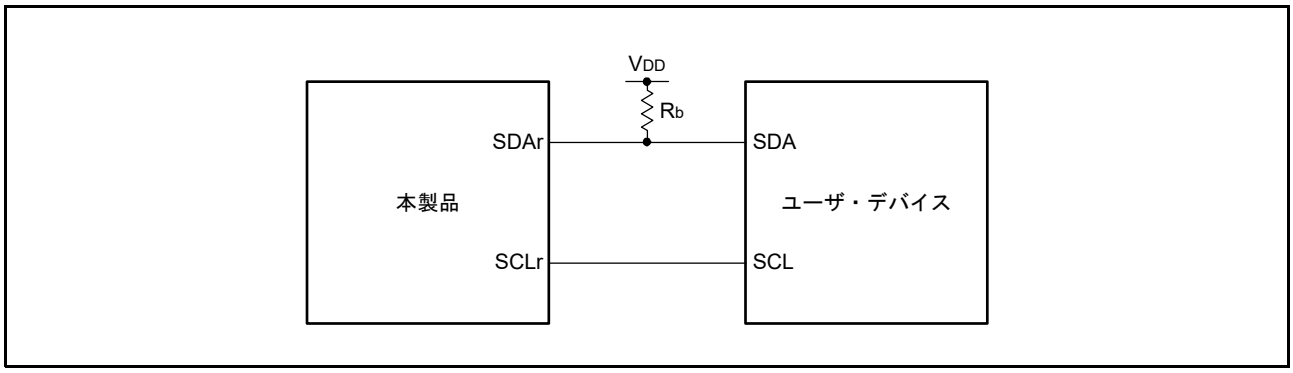
注1. f_{MCK}/4 以下に設定してください。

注2. f_{MCK}値は、SCLr = “L”とSCLr = “H”のホールド・タイムを超えない値に設定してください。

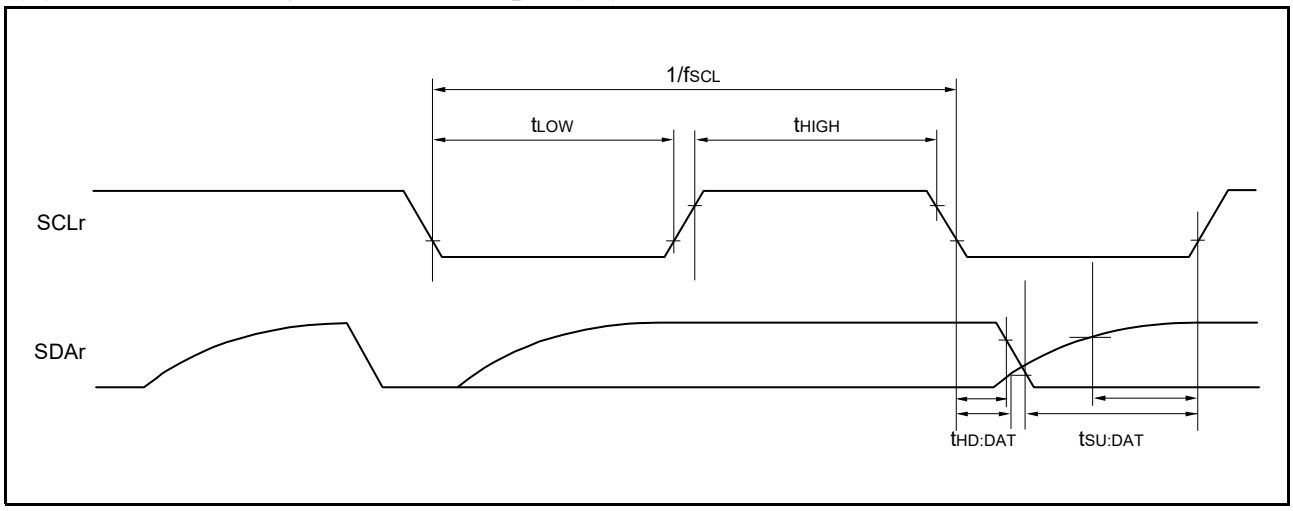
注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMh）で、SDArは通常入力バッファ、N-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択し、SCLrは通常出力モードを選択します。

（備考は次ページに続きます）

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）



備考1. Rb [Ω]：通信ライン（SDAr）プルアップ抵抗値、Cb [F]：通信ライン（SCLr, SDAr）負荷容量値

備考2. r：IIC番号（r = 00, 01, 10, 11, 20, 21）、g：PIM番号（g = 0, 1, 5, 7）、h：POM番号（h = 0, 1, 5, 7）

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、mn = 00-03, 10, 11）

(6) 異電位（1.8 V系、2.5 V系、3 V系）通信、UARTモード時

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
転送レート		受信	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		f_{MCK}/6 注1		f_{MCK}/6 注1		f_{MCK}/6 注1	bps
			最大転送レート理論値 f_{MCK} = f_{CLK} 注2		5.3		4		0.33	Mbps
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V		f_{MCK}/6 注1		f_{MCK}/6 注1		f_{MCK}/6 注1	bps
			最大転送レート理論値 f_{MCK} = f_{CLK} 注2		5.3		4		0.33	Mbps
			1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V		f_{MCK}/6 注1, 3, 4		f_{MCK}/6 注1, 3		f_{MCK}/6 注1, 3	bps
			最大転送レート理論値 f_{MCK} = f_{CLK} 注2		5.3		4		0.33	Mbps

注1. SNOOZEモードでの転送レートは、4800～9600 bpsとなります。

注2. CPU／周辺ハードウェア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード ：32 MHz（1.8 V≦V_{DD}≦5.5 V）
4 MHz（1.6 V≦V_{DD}≦5.5 V）

LS（低速メイン）モード ：24 MHz（1.8 V≦V_{DD}≦5.5 V）
4 MHz（1.6 V≦V_{DD}≦5.5 V）

LP（低電力メイン）モード：2 MHz（1.6 V≦V_{DD}≦5.5 V）

注3. EV_{DD0}≧V_bで使用してください。

注4. EV_{DD0}＜V_{DD}となる低電圧インタフェース時は、次の条件も必要になります。

2.4 V≦EV_{DD0}＜2.7 V：Max. 2.6 Mbps

1.8 V≦EV_{DD0}＜2.4 V：Max. 1.3 Mbps

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]：通信ライン電圧

備考2. q：UART番号（q = 0-2）、g：PIM, POM番号（g = 0, 1, 5）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00-03, 10, 11））

備考4. 周辺I/Oリダイレクション・レジスタ（PIOR1）のPIOR15, PIOR14ビットが01Bまたは11Bのとき、UART2の異電位通信は使用できません。

(6) 異電位（1.8 V系、2.5 V系、3 V系）通信、UARTモード時

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
転送レート		送信	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		**注1**		**注1**		**注1**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V		2.8**注2**		2.8**注2**		2.8**注2**	Mbps
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V		**注3**		**注3**		**注3**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V		1.2**注4**		1.2**注4**		1.2**注4**	Mbps
			1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V		**注5, 注6**		**注5, 注6**		**注5, 注6**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V		0.43**注7**		0.43**注7**		0.43**注7**	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. EV_{DD0} ≧ V_b で使用してください。

注6. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V ≦ EV_{DD0} ＜ 3.3 V, 1.6 V ≦ V_b ≦ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

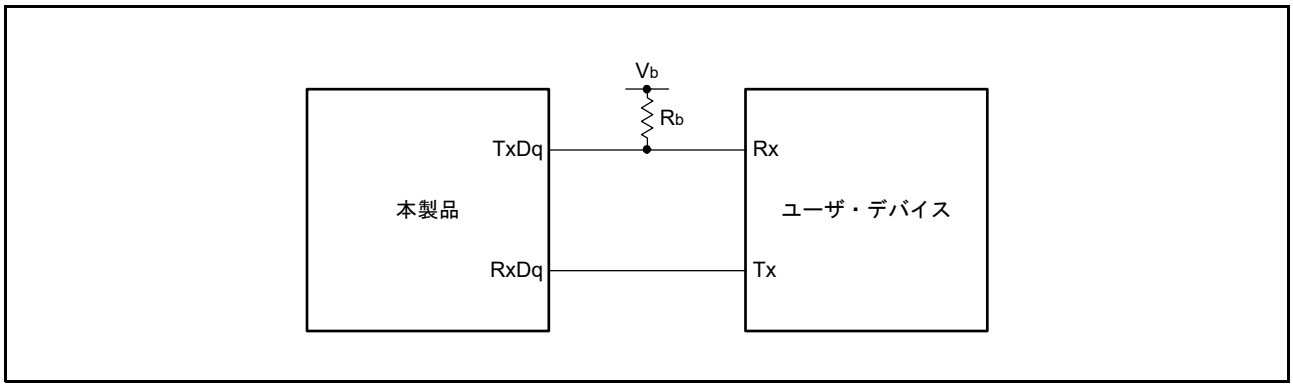
$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

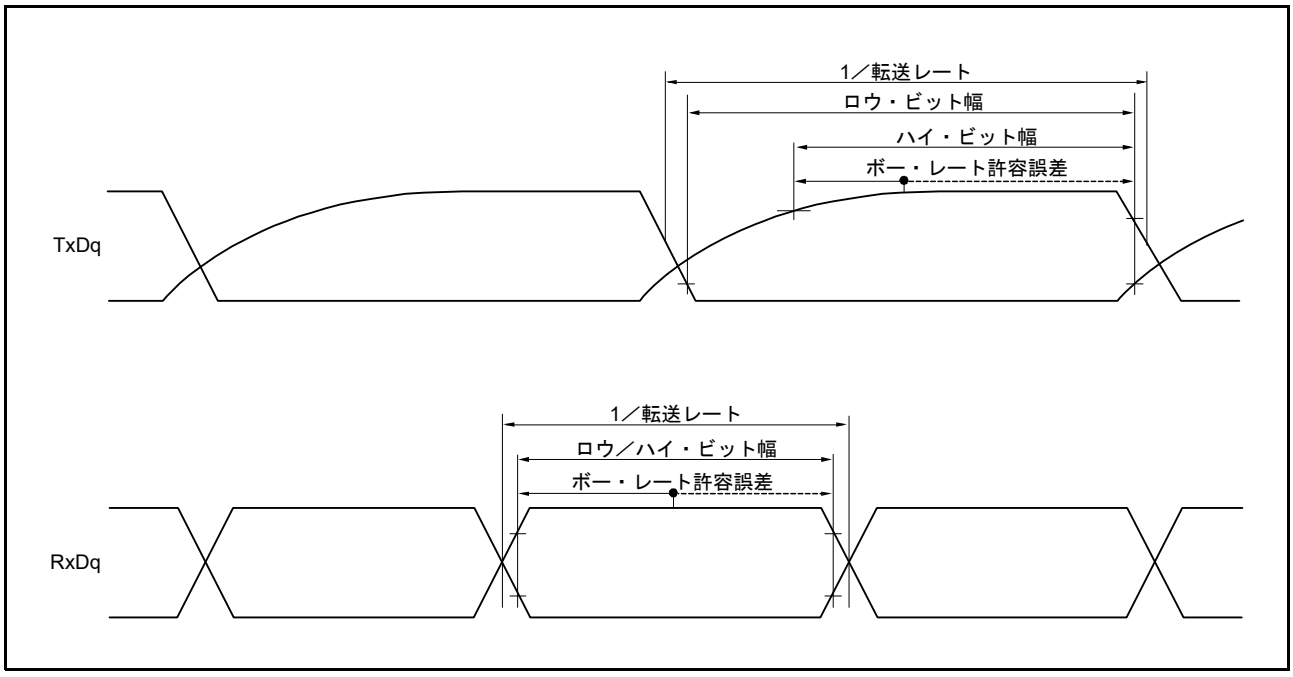
注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1. Rb [Ω]：通信ライン（TxDq）プルアップ抵抗値、Cb [F]：通信ライン（TxDq）負荷容量値、Vb [V]：通信ライン電圧

備考2. q：UART番号（q = 0-2）、g：PIM, POM番号（g = 0, 1, 5）

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00-03, 10, 11））

備考4. 周辺I/Oリダイレクション・レジスタ（PIOR1）のPIOR15, PIOR14ビットが01Bまたは11Bのとき、UART2の異電位通信は使用できません。

(7) 異電位（2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力、CSI00のみ対応）

（T_A = –40～+105°C, 2.7 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	200		200		2300		ns
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	300		300		2300		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –50		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –120		t_{KCY1}/2 –120		t_{KCY1}/2 –120		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –7		t_{KCY1}/2 –7		t_{KCY1}/2 –50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –10		t_{KCY1}/2 –10		t_{KCY1}/2 –50		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		58		58		479		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		121		121		479		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10		ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ			60		60		60	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ			130		130		130	ns

（注、注意、備考は次ページに続きます）

(7) 異電位（2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力、CSI00のみ対応）

（T_A = –40～+105°C, 2.7 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	23		23		110		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	33		33		110		ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	10		10		10		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	10		10		10		ns
SCKp↑→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値、C_b [F]：通信ライン（SCKp, SOp）負荷容量値、V_b [V]：通信ライン電圧

備考2. p：CSI番号（p = 00）、m：ユニット番号（m = 0）、n：チャネル番号（n = 0）、g：PIM, POM番号（g = 1）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00））

備考4. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/3)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	300		300		2300		ns
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	500		500		2300		ns
			1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ	1150		1150		2300		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –75		t_{KCY1}/2 –75		t_{KCY1}/2 –75		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –170		t_{KCY1}/2 –170		t_{KCY1}/2 –170		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2 –458		t_{KCY1}/2 –458		t_{KCY1}/2 –458		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –12		t_{KCY1}/2 –12		t_{KCY1}/2 –50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –18		t_{KCY1}/2 –18		t_{KCY1}/2 –50		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2 –50		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns

注 EV_{DD0}≧V_bで使用してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

（備考は965ページにあります）

(8) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	81		81		479		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	177		177		479		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	479		479		479		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		100		100		100	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		195		195		195	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		483		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. EV_{DD0}≧V_bで使用してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

（備考は965ページにあります）

(8) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (3/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↓）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	44		44		110		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	44		44		110		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	110		110		110		ns
SIpホールド時間（対SCKp↓）注1	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		ns
SCKp↑→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		25		25		25	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		25		25		25	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		25		25		25	ns

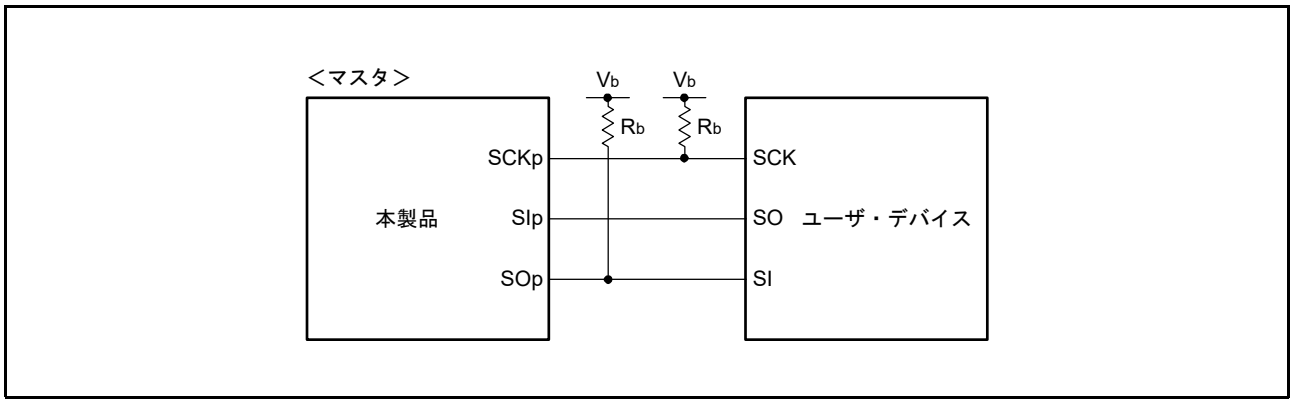
注1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注2. EV_{DD0}≧V_bで使用してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページに続きます）

簡易SPI（CSI）モード接続図（異電位通信時）



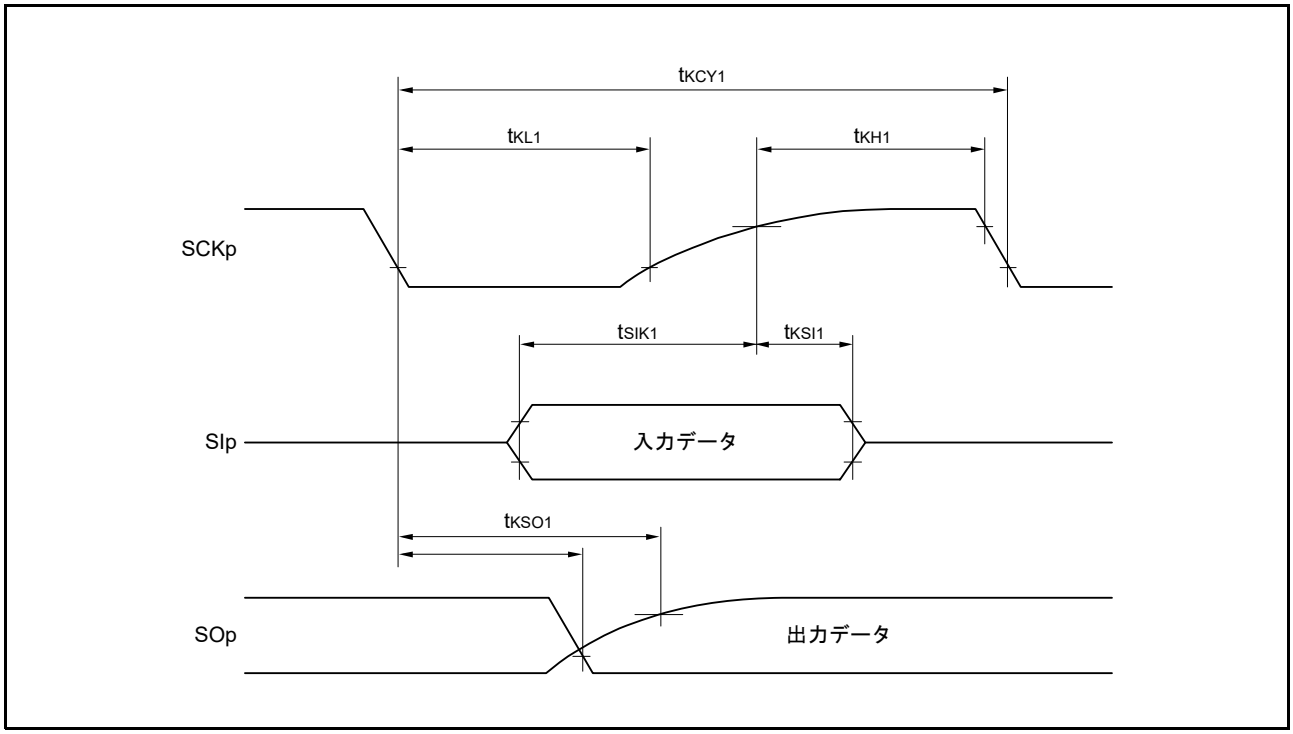
備考1. R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値、C_b [F]：通信ライン（SCKp, SOp）負荷容量値、V_b [V]：通信ライン電圧

備考2. p：CSI番号（p = 00, 10, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 02, 10）、g：PIM, POM番号（g = 0, 1）

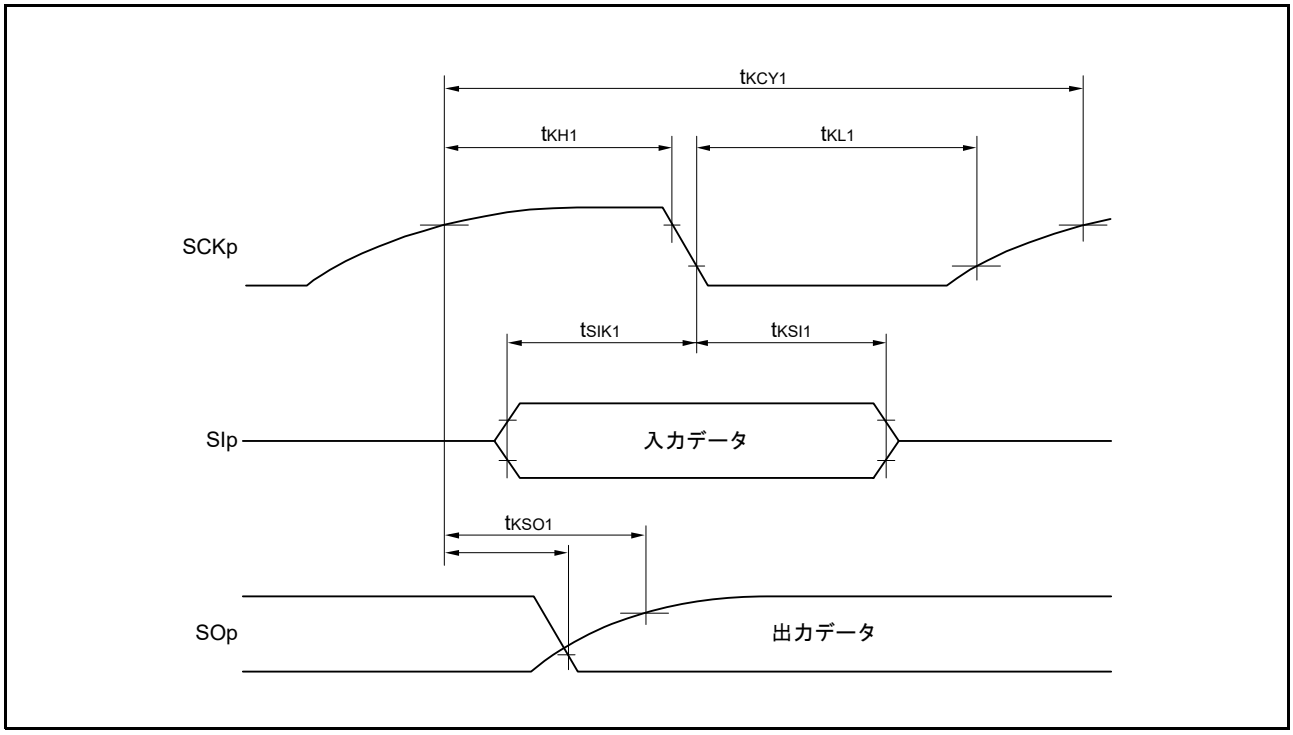
備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 02, 10））

備考4. CSI01, CSI11, CSI21は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 10, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 02, 10）、g：PIM, POM番号（g = 0, 1）

備考2. CSI01, CSI11, CSI21は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(9) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・タイム注1	t_{KCY2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦Vb≦4.0 V	24 MHz＜f_{MCK}	14/f_{MCK}		—		—		ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}		12/f_{MCK}		—		ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}		10/f_{MCK}		—		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		6/f_{MCK}		10/f_{MCK}		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦Vb≦2.7 V,	24 MHz＜f_{MCK}	20/f_{MCK}		—		—		ns
			20 MHz＜f_{MCK}≦24 MHz	16/f_{MCK}		16/f_{MCK}		—		ns
			16 MHz＜f_{MCK}≦20 MHz	14/f_{MCK}		14/f_{MCK}		—		ns
			8 MHz＜f_{MCK}≦16 MHz	12/f_{MCK}		12/f_{MCK}		—		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		6/f_{MCK}		10/f_{MCK}		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦Vb≦2.0 V注2	24 MHz＜f_{MCK}	48/f_{MCK}		—		—		ns
			20 MHz＜f_{MCK}≦24 MHz	36/f_{MCK}		36/f_{MCK}		—		ns
			16 MHz＜f_{MCK}≦20 MHz	32/f_{MCK}		32/f_{MCK}		—		ns
			8 MHz＜f_{MCK}≦16 MHz	26/f_{MCK}		26/f_{MCK}		—		ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}		16/f_{MCK}		—		ns
			f_{MCK}≦4 MHz	10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns

（注、注意は次ページに、備考は969ページにあります）

(9) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V	t_{KCY2}/2 –12		t_{KCY2}/2 –12		t_{KCY2}/2 –50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V	t_{KCY2}/2 –18		t_{KCY2}/2 –18		t_{KCY2}/2 –50		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V**注2**	t_{KCY2}/2 –50		t_{KCY2}/2 –50		t_{KCY2}/2 –50		ns
SIpセットアップ時間（対SCKp↑）**注3**	t_{SIK2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V	1/f_{MCK} +20		1/f_{MCK} +20		1/f_{MCK} +30		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V	1/f_{MCK} +20		1/f_{MCK} +20		1/f_{MCK} +30		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V**注2**	1/f_{MCK} +30		1/f_{MCK} +30		1/f_{MCK} +30		ns
SIpホールド時間（対SCKp↑）**注3**	t_{KSI2}		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
SCKp↓→SOp出力遅延時間**注4**	t_{KSO2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		2/f_{MCK} +120		2/f_{MCK} +120		2/f_{MCK} +573	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		2/f_{MCK} +214		2/f_{MCK} +214		2/f_{MCK} +573	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V**注2**, C_b = 30 pF, R_b = 5.5 kΩ		2/f_{MCK} +573		2/f_{MCK} +573		2/f_{MCK} +573	ns

注1. SNOOZEモードでの転送レートは、Max.：1 Mbpsです。

注2. EV_{DD0}≧V_bで使用してください。

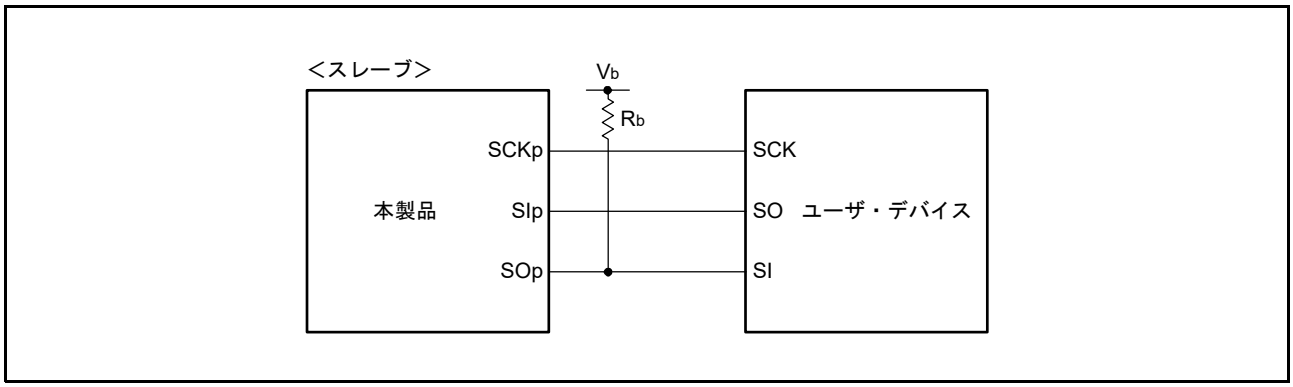
注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページに続きます）

簡易SPI（CSI）モード接続図（異電位通信時）



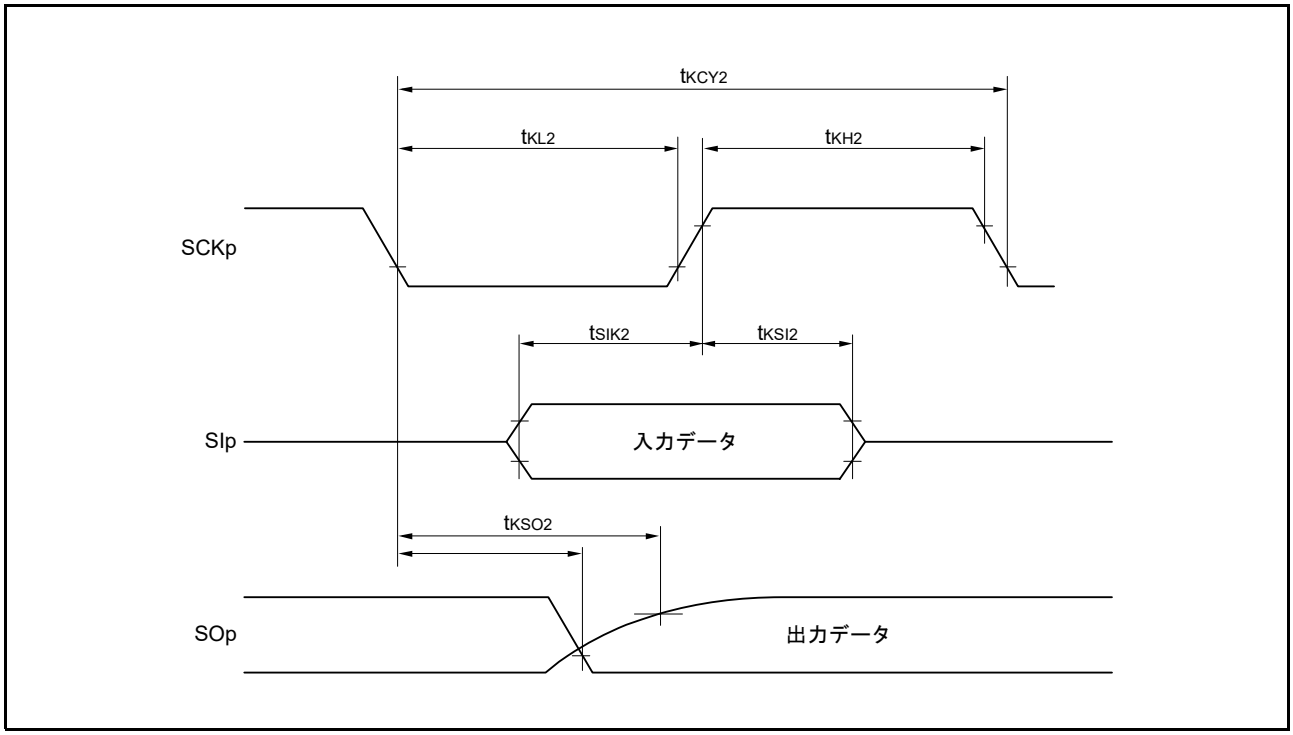
備考1. Rb [Ω]：通信ライン（SOp）プルアップ抵抗値、Cb [F]：通信ライン（SOp）負荷容量値、Vb [V]：通信ライン電圧

備考2. p：CSI番号（p = 00, 10, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 02, 10）、g：PIM, POM番号（g = 0, 1）

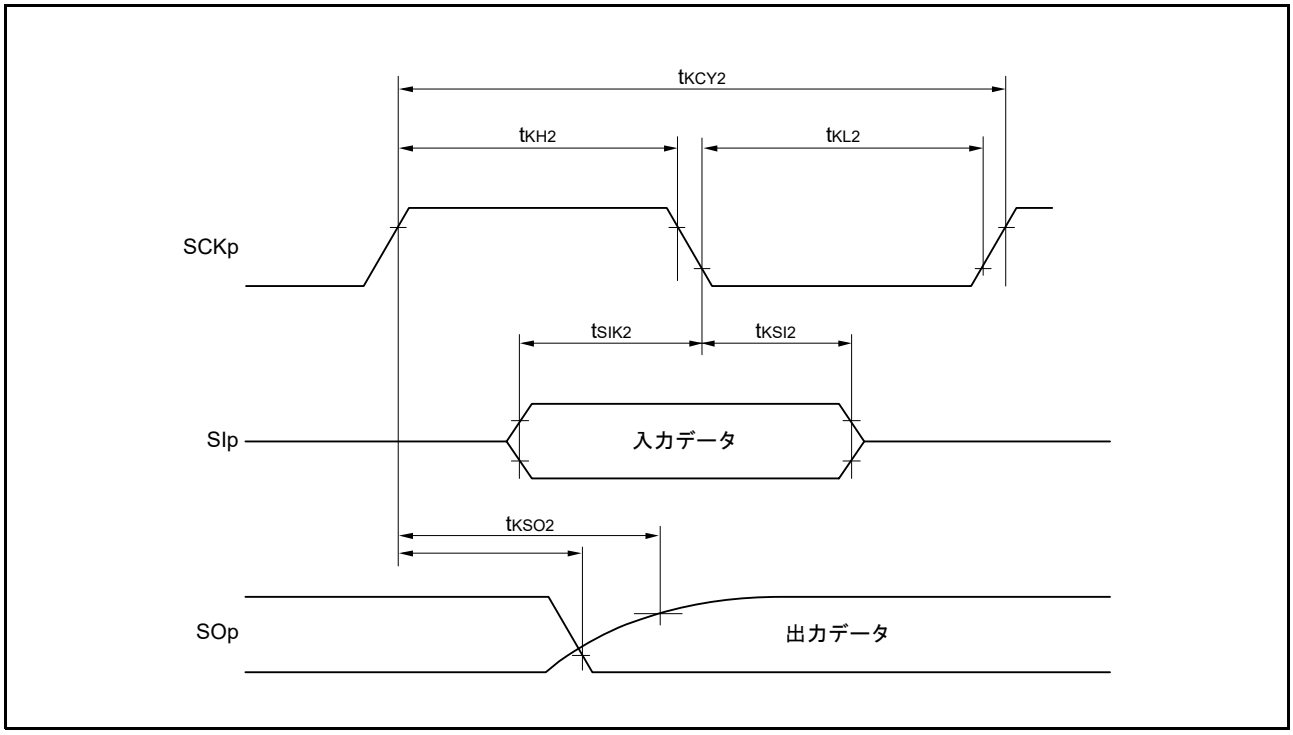
備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 02, 10））

備考4. CSI01, CSI11, CSI21は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 10, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 02, 10）、g：PIM, POM番号（g = 0, 1）

備考2. CSI01, CSI11, CSI21は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (1/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	f_{SCL}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		1000注1		300注1	kHz
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		1000注1		300注1	kHz
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ		400注1		400注1		300注1	kHz
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ		400注1		400注1		300注1	kHz
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ		300注1		300注1		300注1	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1550		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1550		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1150		1550		1550		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1150		1550		1550		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	1550		1550		1550		ns

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (2/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLr = “H”のホールド・タイム	t_{HIGH}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	245		245		610		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	200		200		610		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	675		675		610		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	600		600		610		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	610		610		610		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK} +135注3		1/f_{MCK} +135注3		1/f_{MCK} +190注3		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK} +135注3		1/f_{MCK} +135注3		1/f_{MCK} +190注3		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1/f_{MCK} +190注3		1/f_{MCK} +190注3		1/f_{MCK} +190注3		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK} +190注3		1/f_{MCK} +190注3		1/f_{MCK} +190注3		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	1/f_{MCK} +190注3		1/f_{MCK} +190注3		1/f_{MCK} +190注3		ns

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.8 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V） (3/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V**注2**, C_b = 100 pF, R_b = 5.5 kΩ	0	405	0	405	0	405	ns

注1. f_{MCK}/4 以下に設定してください。

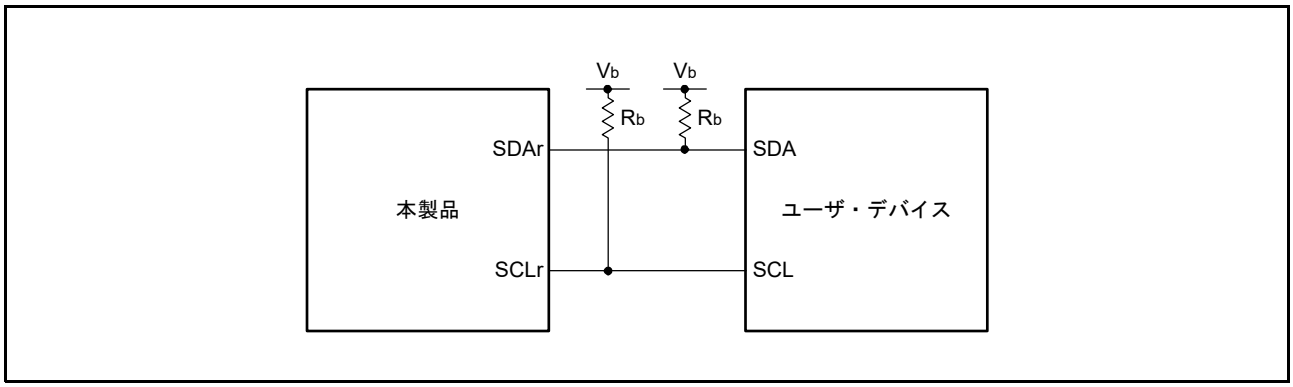
注2. EV_{DD0}≧V_bで使用してください。

注3. f_{MCK}値は、SCLr = “L”とSCLr = “H”のホールド・タイムを超えない値に設定してください。

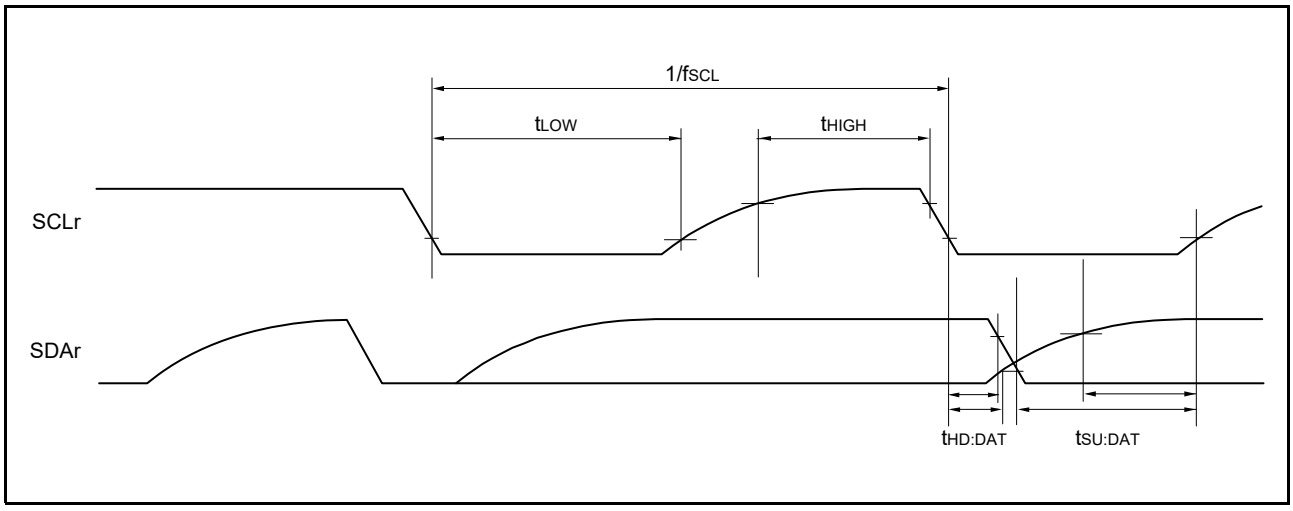
注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択し、SCLrはN-chオープン・ドレイン出力[V_{DD}耐圧（20～48ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページに続きます）

簡易I2Cモード接続図（異電位通信時）



簡易I2Cモード・シリアル転送タイミング（異電位通信時）



備考1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値、C_b [F]：通信ライン（SDAr, SCLr）負荷容量値、V_b [V]：通信ライン電圧

備考2. r：IIC番号（r = 00, 10, 20）、g：PIM, POM番号（g = 0, 1）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 02, 10））

28.5.2　シリアル・インタフェースUARTA

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート			200	0	153600	bps

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMh）で、RxDAn端子は通常入力バッファを選択し、TxDAn端子は通常出力モードを選択します。

備考1. g：PIM番号（g = 0, 3, 7）、h：POM番号（h = 0, 3, 7）

備考2. n：ユニット番号（n = 0）

28.5.3 シリアル・インタフェースIICA

(1) I^2C 標準モード

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	0		100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7			μs
ホールド時間**注1**	$t_{HD:STA}$		4.0			μs
SCLA0 = “L”のホールド・タイム	t_{LOW}		4.7			μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}		4.0			μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250			ns
データ・ホールド時間（送信時）**注2**	$t_{HD:DAT}$		0		3.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0			μs
バス・フリー時間	t_{BUF}		4.7			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. $t_{HD:DAT}$の最大値（Max.）は、通常転送時の数値であり、ACK（アクノリッジ）タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ（PIOR0）のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。

備考 C_b（通信ライン容量）のMax.値と、R_b（通信ライン・プルアップ抵抗値）のMax.値は次のとおりです。

C_b = 400 pF, R_b = 2.7 kΩ

(2) I^2C ファースト・モード

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz 1.8 V≦EV_{DD0}≦5.5 V	0		400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	1.8 V≦EV_{DD0}≦5.5 V	0.6			μs
ホールド時間**注1**	$t_{HD:STA}$	1.8 V≦EV_{DD0}≦5.5 V	0.6			μs
SCLA0 = “L”のホールド・タイム	t_{LOW}	1.8 V≦EV_{DD0}≦5.5 V	1.3			μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}	1.8 V≦EV_{DD0}≦5.5 V	0.6			μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	1.8 V≦EV_{DD0}≦5.5 V	100			ns
データ・ホールド時間（送信時）**注2**	$t_{HD:DAT}$	1.8 V≦EV_{DD0}≦5.5 V	0		0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	1.8 V≦EV_{DD0}≦5.5 V	0.6			μs
バス・フリー時間	t_{BUF}	1.8 V≦EV_{DD0}≦5.5 V	1.3			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. $t_{HD:DAT}$の最大値（Max.）は、通常転送時の数値であり、ACK（アクノリッジ）タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ（PIOR0）のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。

備考 C_b（通信ライン容量）のMax.値と、R_b（通信ライン・プルアップ抵抗値）のMax.値は次のとおりです。
C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス

（T_A = –40～+105°C, 1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス： f_{CLK}≧10 MHz 2.7 V≦EV_{DD0}≦5.5 V	0		1000	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD0}≦5.5 V	0.26			μs
ホールド時間**注1**	$t_{HD:STA}$	2.7 V≦EV_{DD0}≦5.5 V	0.26			μs
SCLA0 = “L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD0}≦5.5 V	0.5			μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD0}≦5.5 V	0.26			μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD0}≦5.5 V	50			ns
データ・ホールド時間（送信時）**注2**	$t_{HD:DAT}$	2.7 V≦EV_{DD0}≦5.5 V	0		0.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD0}≦5.5 V	0.26			μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD0}≦5.5 V	0.5			μs

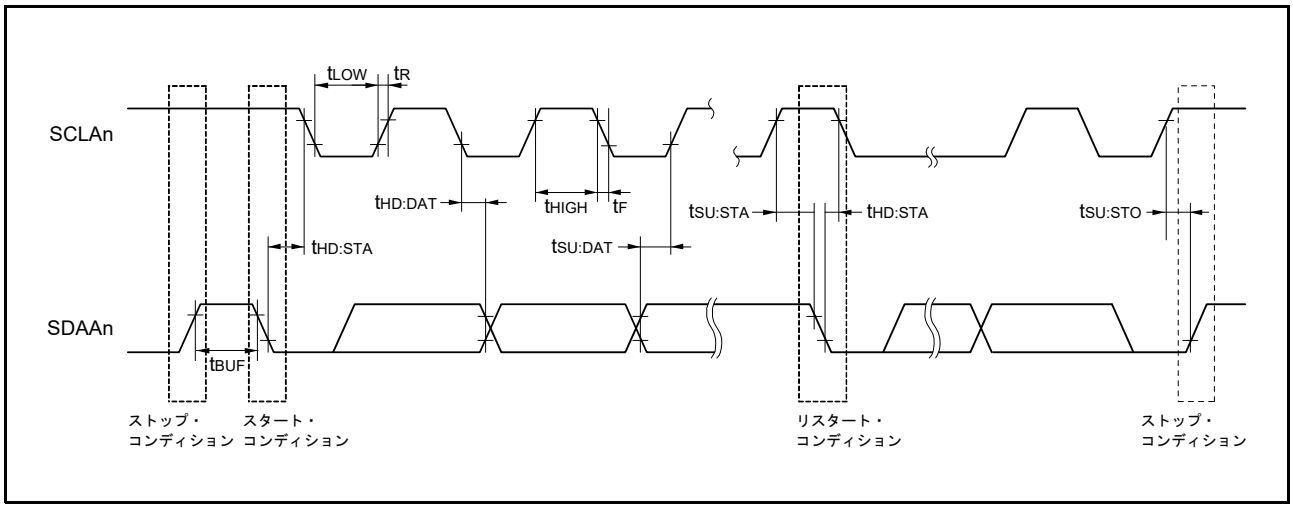
注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. $t_{HD:DAT}$の最大値（Max.）は、通常転送時の数値であり、ACK（アクノリッジ）タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ（PIOR0）のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。

備考 C_b（通信ライン容量）のMax.値と、R_b（通信ライン・プルアップ抵抗値）のMax.値は次のとおりです。
C_b = 120 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



備考 n = 0

28.6 アナログ特性

28.6.1 A/Dコンバータ特性（T_A = –40～+85℃）

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧（+）= AV_{REFP} 基準電圧（–）= AV_{REFM}	基準電圧（+）= V_{DD} 基準電圧（–）= V_{SS}	基準電圧（+）= V_{BGR} 基準電圧（–）= AV_{REFM}
ANI0-ANI7	**28.6.1 (1)**参照	**28.6.1 (3)**参照	**28.6.1 (4)**参照
ANI16-ANI19	**28.6.1 (2)**参照		
内部基準電圧 温度センサ出力電圧	**28.6.1 (1)**参照		–

(1) 基準電圧（+）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AV_{REFM}/ANI1（ADREFM = 1）選択時、変換対象：ANI2-ANI7、内部基準電圧、温度センサ出力電圧

（T_A = –40～+85°C, 1.6 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V、基準電圧（+）= AV_{REFP}、基準電圧（–）= AV_{REFM} = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差**注1**	AINL	10ビット分解能 AV_{REFP} = V_{DD}**注2**	1.8 V≦AV_{REFP}≦5.5 V		1.2	±3.5	LSB
			1.6 V≦AV_{REFP}≦5.5 V**注3**		1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象： ANI2-ANI7	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			1.8 V≦V_{DD}≦5.5 V	17		39	μs
			1.6 V≦V_{DD}≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			1.8 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差**注1, 4**	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}**注2**	1.8 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
			1.6 V≦AV_{REFP}≦5.5 V**注3**			±0.50	%FSR
フルスケール誤差**注1, 4**	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}**注2**	1.8 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
			1.6 V≦AV_{REFP}≦5.5 V**注3**			±0.50	%FSR
積分直線性誤差**注1**	ILE	10ビット分解能 AV_{REFP} = V_{DD}**注2**	1.8 V≦AV_{REFP}≦5.5 V			±2.5	LSB
			1.6 V≦AV_{REFP}≦5.5 V**注3**			±5.0	LSB
微分直線性誤差**注1**	DLE	10ビット分解能 AV_{REFP} = V_{DD}**注2**	1.8 V≦AV_{REFP}≦5.5 V			±1.5	LSB
			1.6 V≦AV_{REFP}≦5.5 V**注3**			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI2-ANI7		0		AV_{REFP}	V
		内部基準電圧（1.8 V≦V_{DD}≦5.5 V）		V_{BGR}**注5**			V
		温度センサ出力電圧（1.8 V≦V_{DD}≦5.5 V）		V_{TMPS25}**注5**			V

注1. 量子化誤差（±1/2 LSB）を含みません。

（注は次ページに続きます）

注2. AVREFP＜VDDの場合、Max.値は次のようになります。

総合誤差 : AVREFP = VDDのMax.値に±1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 : AVREFP = VDDのMax.値に±0.05 %FSRを加算してください

積分直線性誤差／微分直線性誤差 : AVREFP = VDDのMax.値に±0.5 LSBを加算してください

注3. 変換時間をMin.：57 μs、Max.：95 μsに設定した場合の値です。

注4. フルスケール値に対する比率（%FSR）で表します。

注5. **28.6.3　温度センサ／内部基準電圧特性**を参照してください。

(2) 基準電圧（+）= AVREFP/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI16-ANI19

（TA = –40～+85°C, 1.6 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V、基準電圧（+）= AVREFP、基準電圧（–）= AVREFM = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V		1.2	±5.0	LSB
			1.6 V≦AVREFP≦5.5 V注3		1.2	±8.5	LSB
変換時間	tCONV	10ビット分解能 変換対象： ANI16-ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
ゼロスケール誤差注1, 4	EZS	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±0.35	%FSR
			1.6 V≦AVREFP≦5.5 V注3			±0.60	%FSR
フルスケール誤差注1, 4	EFS	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±0.35	%FSR
			1.6 V≦AVREFP≦5.5 V注3			±0.60	%FSR
積分直線性誤差注注1	ILE	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±3.5	LSB
			1.6 V≦AVREFP≦5.5 V注3			±6.0	LSB
微分直線性誤差注注1	DLE	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±2.0	LSB
			1.6 V≦AVREFP≦5.5 V注3			±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI19		0		AVREFP	V

注1. 量子化誤差（±1/2 LSB）を含みません。

注2. AVREFP＜VDDの場合、Max.値は次のようになります。

総合誤差 ：AVREFP = VDDのMax.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AVREFP = VDDのMax.値に±0.20 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AVREFP = VDDのMax.値に±2.0 LSBを加算してください

注3. 変換時間をMin.：57 μs、Max.：95 μsに設定した場合の値です。

注4. フルスケール値に対する比率（%FSR）で表します。

(3) 基準電圧（+）= VDD（ADREFP1 = 0, ADREFP0 = 0）、基準電圧（–）= VSS（ADREFM = 0）選択時、変換対象：ANI0-ANI7, ANI16-ANI19、内部基準電圧注1、温度センサ出力電圧注1

（TA = –40～+85°C, 1.6 V≦VDD≦5.5 V, VSS = 0 V、基準電圧（+）= AVREFP、基準電圧（–）= VSS）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注2	AINL	10ビット分解能	1.8 V≦VDD≦5.5 V		1.2	±7.0	LSB
			1.6 V≦VDD≦5.5 V注3		1.2	±10.5	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI0-ANI7, ANI16-ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注2, 4	EZS	10ビット分解能	1.8 V≦VDD≦5.5 V			±0.60	%FSR
			1.6 V≦VDD≦5.5 V注3			±0.85	%FSR
フルスケール誤差注2, 4	EFS	10ビット分解能	1.8 V≦VDD≦5.5 V			±0.60	%FSR
			1.6 V≦VDD≦5.5 V注3			±0.85	%FSR
積分直線性誤差注2	ILE	10ビット分解能	1.8 V≦VDD≦5.5 V			±4.0	LSB
			1.6 V≦VDD≦5.5 V注3			±6.0	LSB
微分直線性誤差注2	DLE	10ビット分解能	1.8 V≦VDD≦5.5 V			±2.0	LSB
			1.6 V≦VDD≦5.5 V注3			±2.5	LSB
アナログ入力電圧	VAIN	ANI0-ANI7, ANI16-ANI19		0		VDD	V
		内部基準電圧（1.8 V≦VDD≦5.5 V）		VBGR注5			V
		温度センサ出力電圧（1.8 V≦VDD≦5.5 V）		VTMPS25注5			V

注1. 内部基準電圧、温度センサ出力電圧を変換対象にする場合は、1.8 V≦VDDで使用してください。

注2. 量子化誤差（±1/2 LSB）を含みません。

注3. 変換時間をMin.：57 μs、Max.：95 μsに設定した場合の値です。

注4. フルスケール値に対する比率（%FSR）で表します。

注5. **28.6.3 温度センサ／内部基準電圧特性**を参照してください。

(4) 基準電圧（+）= 内部基準電圧（ADREFP1 = 1, ADREFP0 = 1）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI0, ANI2-ANI7, ANI16-ANI19

（TA = –40～+85°C, 1.8 V≦VDD≦5.5 V, VSS = 0 V、基準電圧（+）= VBGR注1、基準電圧（–）= AVREFM注2 = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8			bit
変換時間	tCONV		17		39	μs
ゼロスケール誤差注3, 4	EZS				±0.60	%FSR
積分直線性誤差注3	ILE				±2.0	LSB
微分直線性誤差注3	DLE				±1.0	LSB
アナログ入力電圧	VAIN		0		VBGR注1	V

注1. **28.6.3 温度センサ／内部基準電圧特性**を参照してください。

注2. 基準電圧（–）= VSSの場合、Max.値は次のようになります。

ゼロスケール誤差 ：基準電圧（–）= AVREFM時のMax.値に±0.35 %FSRを加算してください

積分直線性誤差 ：基準電圧（–）= AVREFM時のMax.値に±0.5 LSBを加算してください

微分直線性誤差 ：基準電圧（–）= AVREFM時のMax.値に±0.2 LSBを加算してください

注3. 量子化誤差（±1/2 LSB）を含みません。

注4. フルスケール値に対する比率（%FSR）で表します。

28.6.2 A/Dコンバータ特性（T_A = –40～+105℃）

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧（+）= AV_{REFP} 基準電圧（–）= AV_{REFM}	基準電圧（+）= V_{DD} 基準電圧（–）= V_{SS}	基準電圧（+）= V_{BGR} 基準電圧（–）= AV_{REFM}
ANI0-ANI7	**28.6.2 (1)**参照	**28.6.2 (3)**参照	**28.6.2 (4)**参照
ANI16-ANI19	**28.6.2 (2)**参照		
内部基準電圧 温度センサ出力電圧	**28.6.2 (1)**参照		–

(1) 基準電圧（+）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AV_{REFM}/ANI1（ADREFM = 1）選択時、変換対象：ANI2-ANI7、内部基準電圧、温度センサ出力電圧

（T_A = –40～+105°C, 2.4 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V、基準電圧（+）= AV_{REFP}、基準電圧（–）= AV_{REFM} = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差**注1**	AINL	10ビット分解能 AV_{REFP} = V_{DD}**注2**	2.4 V≦AV_{REFP}≦5.5 V		1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象： ANI2-ANI7	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差**注1, 3**	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}**注2**	2.4 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
フルスケール誤差**注1, 3**	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}**注2**	2.4 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
積分直線性誤差**注1**	ILE	10ビット分解能 AV_{REFP} = V_{DD}**注2**	2.4 V≦AV_{REFP}≦5.5 V			±2.5	LSB
微分直線性誤差**注1**	DLE	10ビット分解能 AV_{REFP} = V_{DD}**注2**	2.4 V≦AV_{REFP}≦5.5 V			±1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2-ANI7		0		AV_{REFP}	V
		内部基準電圧		V_{BGR}**注4**			V
		温度センサ出力電圧		V_{TMPS25}**注4**			V

注1. 量子化誤差（±1/2 LSB）を含みません。

注2. AV_{REFP}＜V_{DD}の場合、Max.値は次のようになります。

総合誤差 ：AV_{REFP} = V_{DD}のMax.値に±1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AV_{REFP} = V_{DD}のMax.値に±0.05 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AV_{REFP} = V_{DD}のMax.値に±0.5 LSBを加算してください

注3. フルスケール値に対する比率（%FSR）で表します。

注4. **28.6.3 温度センサ／内部基準電圧特性**を参照してください。

(2) 基準電圧（+）= AVREFP/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI16-ANI19

（TA = –40～+105°C, 2.4 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V、基準電圧（+）= AVREFP、基準電圧（–）= AVREFM = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象： ANI16-ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 3	EZS	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±0.35	%FSR
フルスケール誤差注1, 3	EFS	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±0.35	%FSR
積分直線性誤差注注1	ILE	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±3.5	LSB
微分直線性誤差注注1	DLE	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI19		0		AVREFP	V

注1. 量子化誤差（±1/2 LSB）を含みません。

注2. AVREFP＜VDDの場合、Max.値は次のようになります。

総合誤差 ：AVREFP = VDDのMax.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AVREFP = VDDのMax.値に±0.20 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AVREFP = VDDのMax.値に±2.0 LSBを加算してください

注3. フルスケール値に対する比率（%FSR）で表します。

(3) 基準電圧（+）= VDD（ADREFP1 = 0, ADREFP0 = 0）、基準電圧（–）= VSS（ADREFM = 0）選択時、変換対象：ANI0-ANI7, ANI16-ANI19、内部基準電圧、温度センサ出力電圧

（TA = –40～+105°C, 2.4 V≦VDD≦5.5 V, VSS = 0 V、基準電圧（+）= VDD、基準電圧（–）= VSS）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能	2.4 V≦VDD≦5.5 V		1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能 変換対象： ANI0-ANI7, ANI16-ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能	2.4 V≦VDD≦5.5 V			±0.60	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能	2.4 V≦VDD≦5.5 V			±0.60	%FSR
積分直線性誤差注注1	ILE	10ビット分解能	2.4 V≦VDD≦5.5 V			±4.0	LSB
微分直線性誤差注注1	DLE	10ビット分解能	2.4 V≦VDD≦5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI7, ANI16-ANI19		0		VDD	V
		内部基準電圧		VBGR注3			V
		温度センサ出力電圧		VTMPS25注3			V

注1. 量子化誤差（±1/2 LSB）を含みません。

注2. フルスケール値に対する比率（%FSR）で表します。

注3. **28.6.3 温度センサ／内部基準電圧特性**を参照してください。

(4) 基準電圧（+）= 内部基準電圧（ADREFP1 = 1, ADREFP0 = 1）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI0, ANI2-ANI7, ANI16-ANI19

（TA = –40～+105°C, 2.4 V≦VDD≦5.5 V, VSS = 0 V、基準電圧（+）= VBGR注1、基準電圧（–）= AVREFM注2 = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8			bit
変換時間	tCONV		17		39	μs
ゼロスケール誤差注3, 4	EZS				±0.60	%FSR
積分直線性誤差注3	ILE				±2.0	LSB
微分直線性誤差注3	DLE				±1.0	LSB
アナログ入力電圧	VAIN		0		VBGR注1	V

注1. **28.6.3 温度センサ／内部基準電圧特性**を参照してください。

注2. 基準電圧（–）= VSSの場合、Max.値は次のようになります。

ゼロスケール誤差 ：基準電圧（–）= AVREFM時のMax.値に±0.35 %FSRを加算してください

積分直線性誤差 ：基準電圧（–）= AVREFM時のMax.値に±0.5 LSBを加算してください

微分直線性誤差 ：基準電圧（–）= AVREFM時のMax.値に±0.2 LSBを加算してください

注3. 量子化誤差（±1/2 LSB）を含みません。

注4. フルスケール値に対する比率（%FSR）で表します。

28.6.3　温度センサ／内部基準電圧特性

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

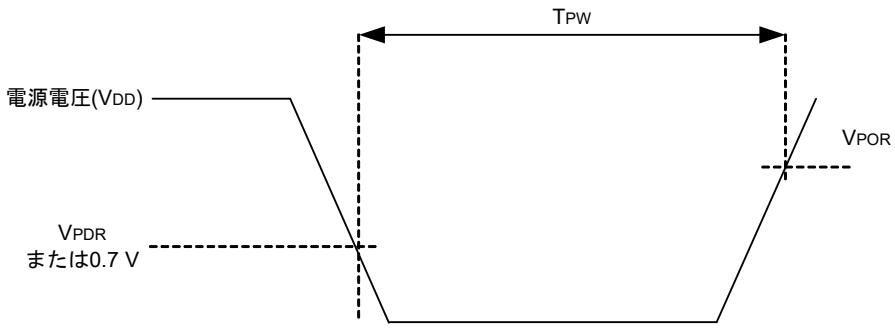
項目	略号	条件	Min.	Typ.	Max.	単位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定、T_A = +25°C		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.42	1.48	1.54	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		–3.3		mV/°C
動作安定待ち時間	t_{AMP}		5			μs

28.6.4　POR回路特性

（T_A = –40～+105°C, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	V_{POR}, V_{PDR}		1.43	1.50	1.57	V
最小パルス幅**注**	T_{PW}		300			μs

注　V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（f_{MAIN}）を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



28.6.5 LVD回路特性

(1) LVD0リセット・モード、割り込みモードのLVD検出電圧

（T_A = –40～+105°C, $V_{PDR} \leqq V_{DD} \leqq$ 5.5 V, V_{SS} = 0 V）

項目		略号	条件	Min.	Typ.	Max.	単位
検出電圧	電源電圧レベル	V_{LVD00}	電源立ち上がり時	3.84	3.96	4.08	V
			電源立ち下がり時	3.76	3.88	4.00	V
		V_{LVD01}	電源立ち上がり時	2.88	2.97	3.06	V
			電源立ち下がり時	2.82	2.91	3.00	V
		V_{LVD02}	電源立ち上がり時	2.59	2.67	2.75	V
			電源立ち下がり時	2.54	2.62	2.70	V
		V_{LVD03}	電源立ち上がり時	2.31	2.38	2.45	V
			電源立ち下がり時	2.26	2.33	2.40	V
		V_{LVD04}	電源立ち上がり時	1.84	1.90	1.95	V
			電源立ち下がり時	1.80	1.86	1.91	V
		V_{LVD05}	電源立ち上がり時	1.64	1.69	1.74	V
			電源立ち下がり時	1.60	1.65	1.70	V
最小パルス幅		t_{LW}		500			μs
検出遅延						500	μs

(2) LVD1リセット・モード、割り込みモードのLVD検出電圧

（T_A = –40～+105°C, V_{PDR} ≦ V_{DD} ≦ 5.5 V, V_{SS} = 0 V）

項目		略号	条件	Min.	Typ.	Max.	単位
検出電圧	電源電圧レベル	V_{LVD10}	電源立ち上がり時	4.08	4.16	4.24	V
			電源立ち下がり時	4.00	4.08	4.16	V
		V_{LVD11}	電源立ち上がり時	3.88	3.96	4.04	V
			電源立ち下がり時	3.80	3.88	3.96	V
		V_{LVD12}	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		V_{LVD13}	電源立ち上がり時	3.48	3.55	3.62	V
			電源立ち下がり時	3.40	3.47	3.54	V
		V_{LVD14}	電源立ち上がり時	3.28	3.35	3.42	V
			電源立ち下がり時	3.20	3.27	3.34	V
		V_{LVD15}	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		V_{LVD16}	電源立ち上がり時	2.91	2.97	3.03	V
			電源立ち下がり時	2.85	2.91	2.97	V
		V_{LVD17}	電源立ち上がり時	2.76	2.82	2.87	V
			電源立ち下がり時	2.70	2.76	2.81	V
		V_{LVD18}	電源立ち上がり時	2.61	2.66	2.71	V
			電源立ち下がり時	2.55	2.60	2.65	V
		V_{LVD19}	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		V_{LVD110}	電源立ち上がり時	2.35	2.40	2.45	V
			電源立ち下がり時	2.30	2.35	2.40	V
		V_{LVD111}	電源立ち上がり時	2.25	2.30	2.34	V
			電源立ち下がり時	2.20	2.25	2.29	V
		V_{LVD112}	電源立ち上がり時	2.15	2.20	2.24	V
			電源立ち下がり時	2.10	2.15	2.19	V
		V_{LVD113}	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		V_{LVD114}	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		V_{LVD115}注	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		V_{LVD116}注	電源立ち上がり時	1.74	1.78	1.81	V
			電源立ち下がり時	1.70	1.74	1.77	V
		V_{LVD117}注	電源立ち上がり時	1.64	1.67	1.70	V
			電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅		t_{LW}		500			μs
検出遅延						500	μs

注 LVD0がオフのときに使用できます。

28.6.6　電源電圧立ち上がり特性

（T_A = –40～+105°C, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
電源電圧立ち上がり傾き	SV_{DD}				54	V/ms

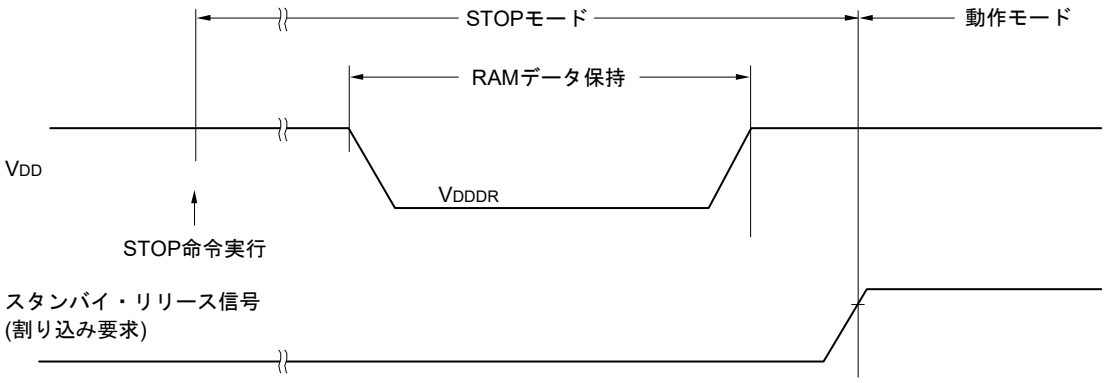
注意　V_{DD}がAC特性に示す動作電圧範囲内に達するまで、LVD0か外部リセットで内部リセット状態を保ってください。

28.7 RAMデータ保持特性

（T_A = –40～+105°C, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
データ保持電源電圧	V_{DDDR}		1.43注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



28.8 フラッシュ・メモリ・プログラミング特性

（T_A = –40～+105°C, 1.8 V ≦ V_{DD} ≦ 5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
CPU／周辺ハードウェア・クロック周波数	f_{CLK}		1		32	MHz
コード・フラッシュ・メモリの書き換え回数注1, 2, 3	Cerwr	保持年数：10年 T_A = +85°C	10,000			回
		保持年数：20年 T_A = +85°C	1,000			
データ・フラッシュ・メモリの書き換え回数注1, 2, 3		保持年数：1年 T_A = +25°C		1,000,000		
		保持年数：5年 T_A = +85°C	100,000			
		保持年数：20年 T_A = +85°C	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えたあと、次に書き換えを行うまでの期間とします。

注2. フラッシュ・メモリ・プログラマ使用時およびセルフ・プログラミング機能を使用時

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

(1) コード・フラッシュ・メモリ

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目		略号	f_{CLK} = 1 MHz			f_{CLK} = 2 MHz, 3 MHz			4 MHz≦f_{CLK}＜8 MHz			8 MHz≦f_{CLK}＜32 MHz			f_{CLK} = 32 MHz			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
プログラム時間	4バイト	t_{P4}	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	2Kバイト	t_{E2K}	—	10.4	312.2	—	7.7	258.5	—	6.4	231.8	—	5.8	218.4	—	5.6	214.4	ms
ブランクチェック時間	4バイト	t_{BC4}	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	2Kバイト	t_{BC2K}	—	—	2618.9	—	—	1309.5	—	—	658.3	—	—	332.8	—	—	234.1	μs
イレース処理強制停止時間		t_{SED}	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
セキュリティ設定時間		t_{AWSSAS}	—	18.2	526.2	—	14.4	469.2	—	12.5	441.1	—	11.6	427.1	—	11.3	422.6	ms
STOP命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

(2) データ・フラッシュ・メモリ

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目		略号	f_{CLK} = 1 MHz			f_{CLK} = 2 MHz, 3 MHz			4 MHz≦f_{CLK}＜8 MHz			8 MHz≦f_{CLK}＜32 MHz			f_{CLK} = 32 MHz			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
プログラム時間	1バイト	t_{P4}	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	256バイト	t_{E2K}	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	ms
ブランクチェック時間	1バイト	t_{BC4}	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	256バイト	t_{BC2K}	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	μs
イレース処理強制停止時間		t_{SED}	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
STOP命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs
DFLCTL.DFLEN = 1設定後のリード開始待ち時間		—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	μs

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

28.9 専用フラッシュ・メモリ・プログラマ通信（UART）

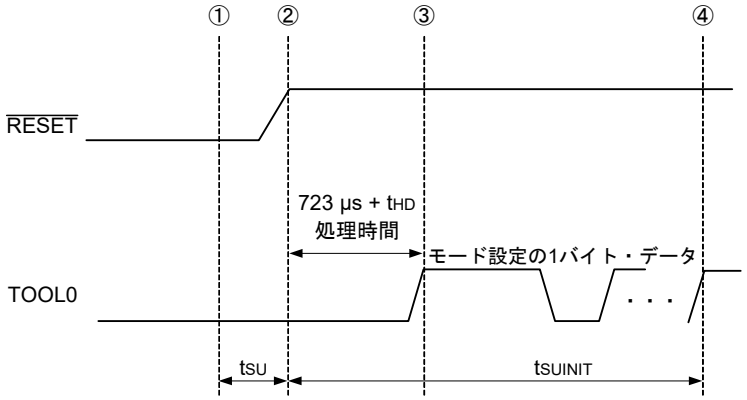
（T_A = –40～+105°C, 1.8 V ≦ EV_{DD0} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

28.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

（T_A = –40～+105°C, 1.8 V ≦ EV_{DD0} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 （フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前に POR, LVDリセットは解除	1			ms



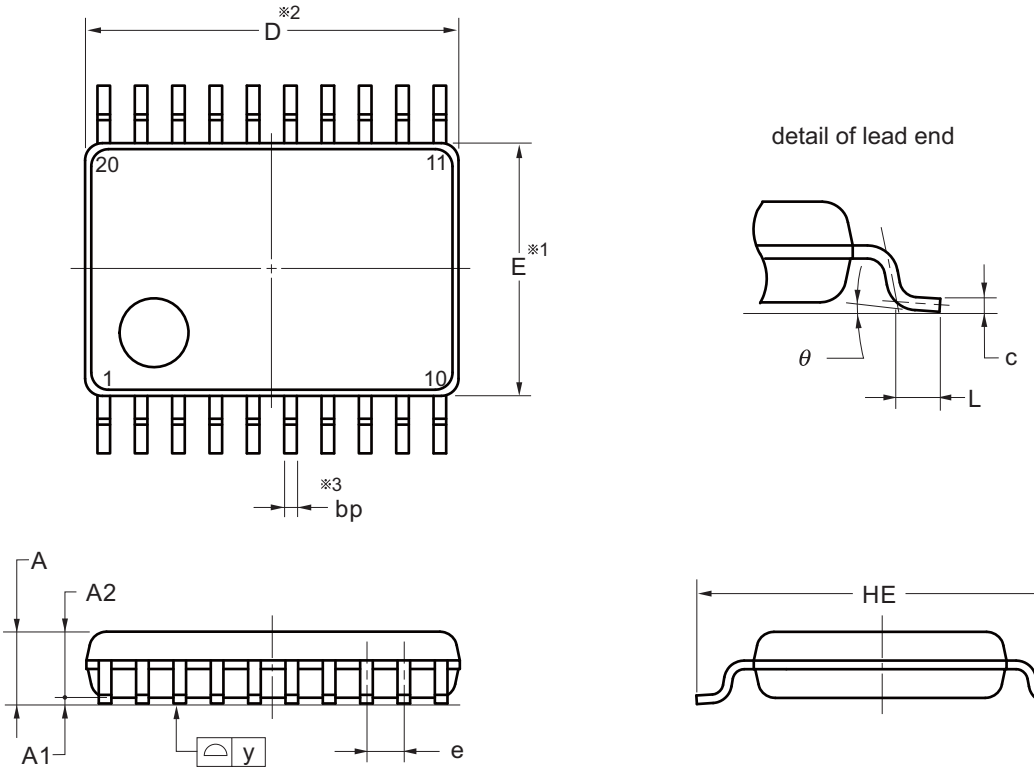
① TOOL0端子にロウ・レベルを入力
② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} ：この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。
t_{SU} ：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
t_{HD} ：外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第29章　外形図

29.1　20ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1



(UNIT:mm)

ITEM	DIMENSIONS
D	6.50±0.10
E	4.40±0.10
HE	6.40±0.20
A	1.45 MAX.
A1	0.10±0.10
A2	1.15
e	0.65±0.12
bp	$0.22^{+0.10}_{-0.05}$
c	$0.15^{+0.05}_{-0.02}$
L	0.50±0.20
y	0.10
θ	0° to 10°

NOTE

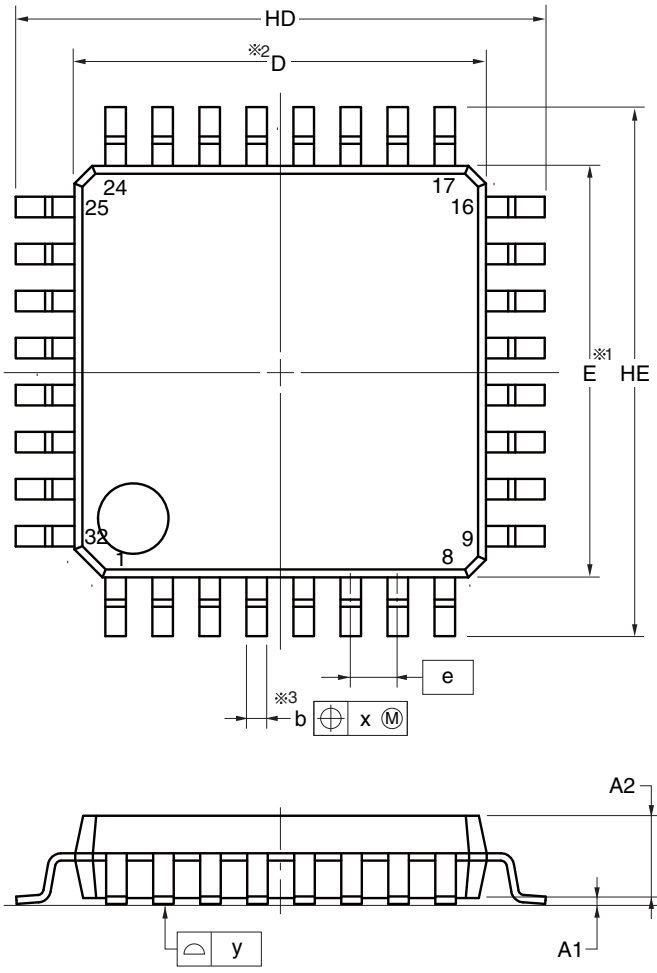
1.Dimensions “※1” and “※2” do not include mold flash.

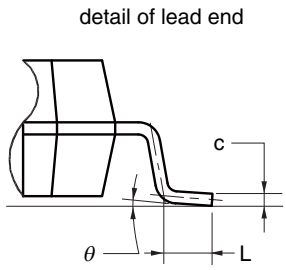
2.Dimension “※3” does not include trim offset.

©2012 Renesas Electronics Corporation. All rights reserved.

29.2 32ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2





(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

NOTE

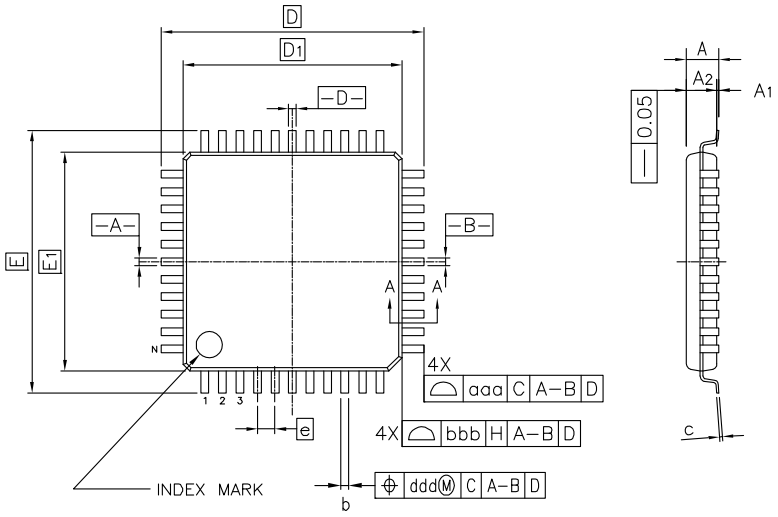
1.Dimensions “※1” and “※2” do not include mold flash.

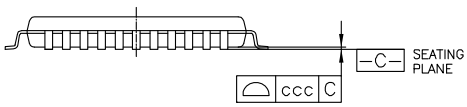
2.Dimension “※3” does not include trim offset.

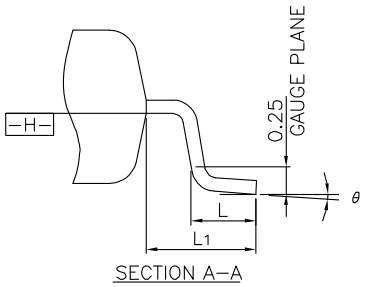
© 2012 Renesas Electronics Corporation. All rights reserved.

29.3 44ピン製品

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP44-10x10-0.80	PLQP0044GF-A	0.3



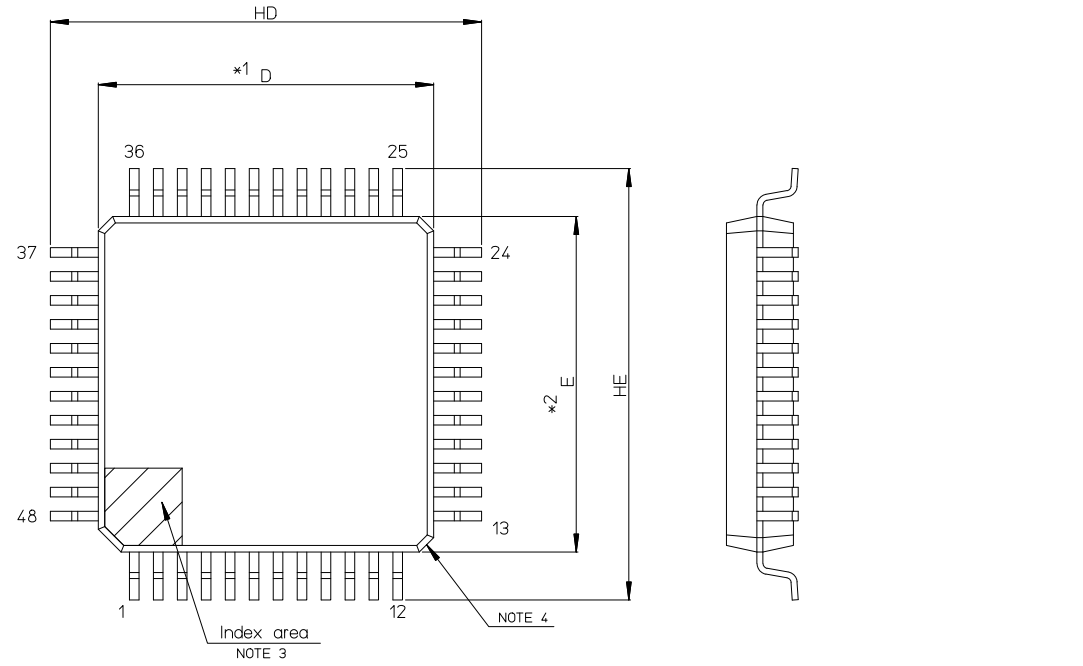


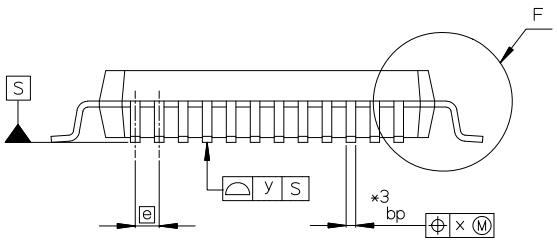


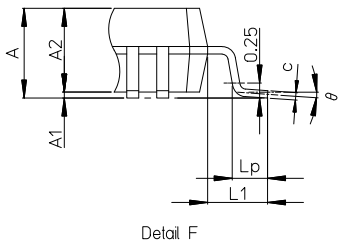
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.70
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	12.00 BSC.		
D_1	10.00 BSC.		
E	12.00 BSC.		
E_1	10.00 BSC.		
N	–	44	–
e	0.80 BSC.		
b	0.30	0.37	0.45
c	0.09	–	0.20
θ	0°	3.5°	8°
L	0.45	0.60	0.75
L_1	1.00 REF.		
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.10
ddd	–	–	0.20

29.4 48ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	——	0.2g







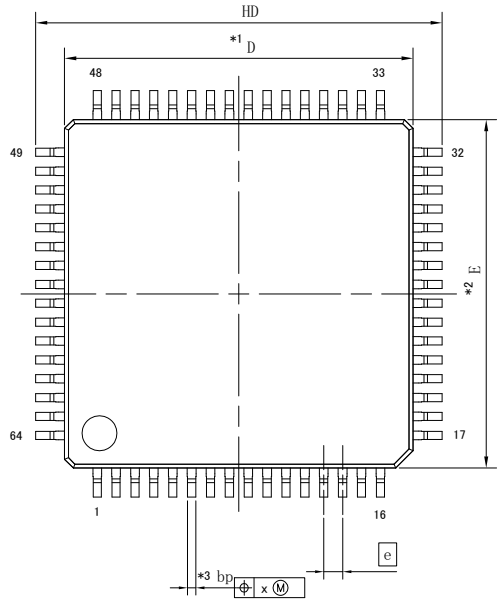
Detail F

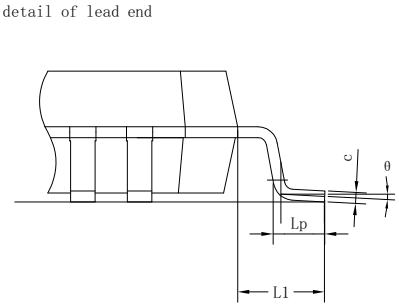
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

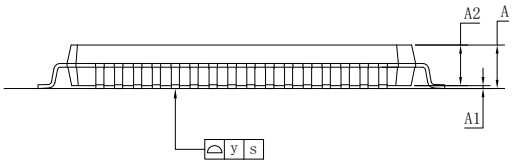
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A2	——	1.4	——
HD	8.8	9.0	9.2
HE	8.8	9.0	9.2
A	——	——	1.7
A1	0.05	——	0.15
bp	0.17	0.20	0.27
c	0.09	——	0.20
θ	0°	3.5°	8°
e	——	0.5	——
x	——	——	0.08
y	——	——	0.08
Lp	0.45	0.6	0.75
L1	——	1.0	——

29.5 64ピン製品

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP64-12x12-0.65	PLQP0064JB-A	0.50





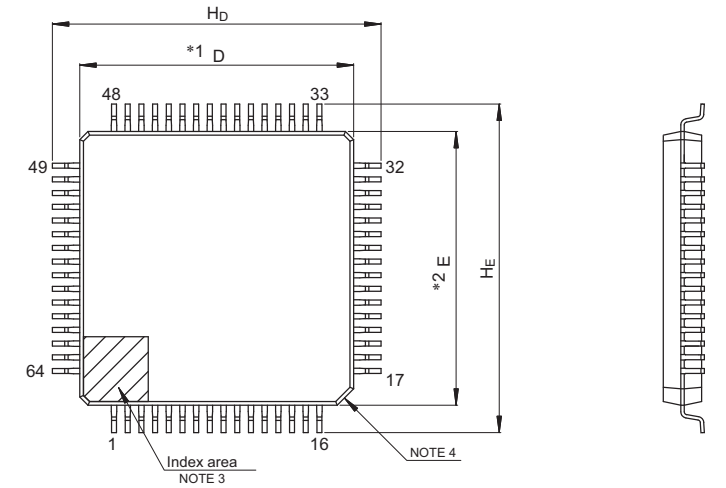


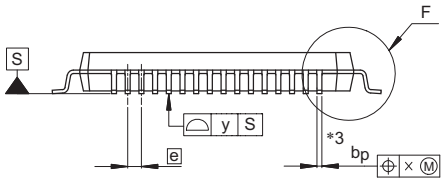
NOTE
1.DIMENSIONS "*1" AND "*2"DO NOT INCLUDE MOLD FLASH.
2.DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

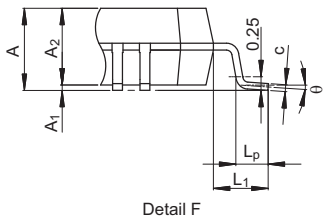
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	11.90	12.00	12.10
D	11.90	12.00	12.10
A_2	—	1.40	—
H_D	13.80	14.00	14.20
H_E	13.80	14.00	14.20
A	—	—	1.70
A_1	0.05	—	0.15
Lp	0.45	0.60	0.75
L1	—	1.00	—
b_p	0.27	0.32	0.37
c	0.09	—	0.20
e	—	0.65	—
θ	0.00	3.50	8.00
x	—	—	0.08
y	—	—	0.08

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm







Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

付録A　改版履歴

A.1　本版で改訂された主な箇所

箇所	内容	分類
第6章　クロック発生回路		
p.158	図6 - 3 システム・クロック制御レジスタ（CKC）のフォーマット 注2を変更	(c)
p.168	図6 - 9 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット 旧注4を削除	(c)
第7章　タイマ・アレイ・ユニット（TAU）		
p.190	第7章　タイマ・アレイ・ユニット（TAU）説明を変更	(c)
第10章　A/Dコンバータ（ADC）		
p.357	図10 - 4 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット 注意2を変更	(c)
第11章　シリアル・アレイ・ユニット（SAU）		
p.556	11.8 簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21）通信の動作 説明を変更	(a)
第16章　スタンバイ機能		
p.751	16.3.3 SNOOZEモード (1) SNOOZEモードの設定および動作状態 説明を変更	(b)
第18章　パワーオン・リセット回路（POR）		
p.769	図18 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (2/2) 注3, 4を変更	(b)
第24章　フラッシュ・メモリ		
p.854	図24 - 17 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット 注2, 3を変更	(a)
第28章　電気的特性		
p.927	28.2.2 オンチップ・オシレータ特性 を変更	(b)
p.934	28.3.1 端子特性 を変更	(b)
p.935～p.938	28.3.2 電源電流特性 表および (4/4) 注4を変更	(b)
p.939	28.3.2 電源電流特性 周辺機能 を変更	(b)

備考　表中の「分類」により、改訂内容を次のように区分しています。

(a)：誤記訂正、(b)：仕様(スペック含む)の追加／変更、(c)：説明、注意事項の追加／変更、

(d)：パッケージ、オーダ名称、管理区分の追加／変更、(e)：関連資料の追加／変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版数	内容	適用箇所
Rev.0.50	初版発行	全般

RL78/G21 ユーザーズマニュアル
ハードウェア編

発行年月日　2025年11月10日　Rev.0.50
　　2026年5月20日　Rev.1.00

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RL78/G21

RENESAS

ルネサス エレクトロニクス株式会社

R01UH1177JJ0100