

RX23E-A グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット マイクロコンピュータ

RX ファミ リ / RX200 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash® は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX23E-Aグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

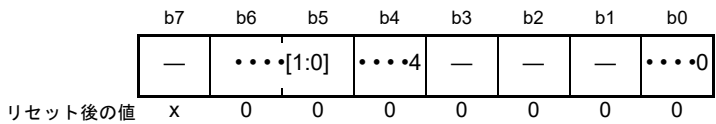
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX23E-Aグループ データシート	R01DS0330JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	RX23E-Aグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	RX ファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0071JJ
アプリケーション ノート	基板設計上の注意事項	RX ファミリ ハードウェアデザインガイド	R01AN1411JJ
	レジスタ初期設定例	RX23E-Aグループ 初期設定例	—
	AFE・DSADの性能を出す基板設計留意点	RX23E-Aグループ AFE・DSADの使い方	R01AN4799JJ
	周辺機能の使用手法、応用例 参考プログラム	ルネサス エレクトロニクス ホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X レジスタ

アドレス xxxx xxxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	0	ビット	0 : 1 : (設定しないでください)	R/W
b3-b1	—	(予約ビット)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	4	ビット	0 : 1 :	R
b6-b5	[1:0]	ビット	00 : 01 : (上記以外は設定しないでください)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

注意：本製品はSilicon Storage Technology, Inc. からライセンスを受けたSuperFlash®を使用しています。

目次

特長	42
1. 概要	43
1.1 仕様概要	43
1.2 製品一覧	48
1.3 ブロック図	49
1.4 端子機能	51
1.5 ピン配置図	54
1.5.1 48 ピン LFQFP	54
1.5.2 40 ピン HWQFN	55
1.6 機能端子一覧	56
1.6.1 48 ピン LFQFP	56
1.6.2 40 ピン HWQFN	58
2. CPU	59
2.1 特長	59
2.2 CPU レジスタセット	60
2.2.1 汎用レジスタ (R0 ~ R15)	61
2.2.2 制御レジスタ	61
2.2.2.1 割り込みスタックポインタ (ISP)/ ユーザスタックポインタ (USP)	62
2.2.2.2 例外テーブルレジスタ (EXTB)	62
2.2.2.3 割り込みテーブルレジスタ (INTB)	62
2.2.2.4 プログラムカウンタ (PC)	62
2.2.2.5 プロセッサステータスワード (PSW)	63
2.2.2.6 バックアップ PC (BPC)	64
2.2.2.7 バックアップ PSW (BPSW)	65
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	65
2.2.2.9 浮動小数点ステータスワード (FPSW)	66
2.2.3 アキュムレータ	68
2.3 プロセッサモード	69
2.3.1 スーパーバイザモード	69
2.3.2 ユーザモード	69
2.3.3 特権命令	69
2.3.4 プロセッサモード間の移行	69
2.4 データタイプ	70
2.4.1 整数	70
2.4.2 浮動小数点数	71
2.4.3 ビット	71
2.4.4 スtring	72
2.5 エンディアン	73
2.5.1 エンディアンの設定	73
2.5.2 I/O レジスタアクセス	76

2.5.3	I/O レジスタアクセスの注意事項	76
2.5.4	データ配置	77
2.5.4.1	レジスタのデータ配置	77
2.5.4.2	メモリ上のデータ配置	77
2.5.5	命令コード配置の注意事項	77
2.6	ベクタテーブル	78
2.6.1	例外ベクタテーブル	78
2.6.2	割り込みベクタテーブル	79
2.7	命令動作	80
2.7.1	RMPA 命令、ストリング操作命令に関する制約事項	80
2.7.1.1	転送サイズとデータプリフェッチ	80
2.7.1.2	I/O レジスタへのアクセス	80
2.8	サイクル数	81
2.8.1	命令とサイクル数	81
2.8.2	割り込み応答サイクル数	85
3.	動作モード	86
3.1	動作モードの種類と選択	86
3.2	レジスタの説明	87
3.2.1	モードモニタレジスタ (MDMONR)	87
3.2.2	システムコントロールレジスタ 1 (SYSCR1)	87
3.3	動作モードの説明	88
3.3.1	シングルチップモード	88
3.3.2	ブートモード (SCI インタフェース)	88
3.3.3	ブートモード (FINE インタフェース)	88
3.4	動作モード遷移	89
3.4.1	モード設定端子による動作モード遷移	89
4.	アドレス空間	90
4.1	アドレス空間	90
5.	I/O レジスタ	92
5.1	I/O レジスタアドレス一覧 (アドレス順)	94
6.	リセット	116
6.1	概要	116
6.2	レジスタの説明	118
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	118
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	119
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	120
6.2.4	ソフトウェアリセットレジスタ (SWRR)	121
6.3	動作説明	122
6.3.1	RES# 端子リセット	122
6.3.2	パワーオンリセット、電圧監視 0 リセット	122

6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	124
6.3.4	独立ウォッチドッグタイマリセット	126
6.3.5	ソフトウェアリセット	126
6.3.6	コールドスタート / ウォームスタート判定機能	127
6.3.7	リセット発生要因の判定	128
7.	オプション設定メモリ (OFSM)	129
7.1	概要	129
7.2	レジスタの説明	130
7.2.1	オプション機能選択レジスタ 0 (OFS0)	130
7.2.2	オプション機能選択レジスタ 1 (OFS1)	132
7.2.3	エンディアン選択レジスタ (MDE)	133
7.3	使用上の注意事項	134
7.3.1	オプション設定メモリの設定例	134
8.	電圧検出回路 (LVDAb)	135
8.1	概要	135
8.2	レジスタの説明	138
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	138
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	139
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	140
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	141
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	142
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	143
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	144
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	145
8.3	VCC 入力電圧のモニタ	146
8.3.1	Vdet0 のモニタ	146
8.3.2	Vdet1 のモニタ	146
8.3.3	Vdet2 のモニタ	146
8.4	電圧監視 0 リセット	147
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	148
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	150
8.7	イベントリンク出力機能	152
8.7.1	割り込み処理とイベントリンクの関係	152
9.	クロック発生回路	153
9.1	概要	153
9.2	レジスタの説明	155
9.2.1	システムクロックコントロールレジスタ (SCKCR)	155
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	157
9.2.3	PLL コントロールレジスタ (PLLCR)	158
9.2.4	PLL コントロールレジスタ 2 (PLLCR2)	159

9.2.5	メインクロック発振器コントロールレジスタ (MOSCCR)	160
9.2.6	低速オンチップオシレータコントロールレジスタ (LOCOCR)	161
9.2.7	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	162
9.2.8	高速オンチップオシレータコントロールレジスタ (HOCOCR)	163
9.2.9	発振安定フラグレジスタ (OSCOVFSR)	164
9.2.10	発振停止検出コントロールレジスタ (OSTDCR)	166
9.2.11	発振停止検出ステータスレジスタ (OSTDSR)	167
9.2.12	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	168
9.2.13	CLKOUT 出力コントロールレジスタ (CKOCR)	169
9.2.14	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	170
9.2.15	低速オンチップオシレータトリミングレジスタ (LOCOTRR)	171
9.2.16	IWDT 専用オンチップオシレータトリミングレジスタ (ILOCOTRR)	171
9.2.17	高速オンチップオシレータトリミングレジスタ 0 (HOCOTRR0)	172
9.3	メインクロック発振器	173
9.3.1	発振子を接続する方法	173
9.3.2	外部クロックを入力する方法	174
9.3.3	メインクロックを使用しない場合の端子処理	174
9.3.4	外部クロック入力に関する注意事項	174
9.4	発振停止検出機能	175
9.4.1	発振停止検出と検出後の動作	175
9.4.2	発振停止検出割り込み	176
9.5	PLL 回路	177
9.6	内部クロック	177
9.6.1	システムクロック	177
9.6.2	周辺モジュールクロック	177
9.6.3	FlashIF クロック	177
9.6.4	CAN クロック	177
9.6.5	CAC クロック	178
9.6.6	IWDT 専用クロック	178
9.6.7	ローパワータイマクロック	178
9.7	使用上の注意事項	179
9.7.1	クロック発生回路に関する注意事項	179
9.7.2	SCKCR3 レジスタ書き換え時の注意事項	179
9.7.3	発振子に関する注意事項	179
9.7.4	ボード設計上の注意	180
9.7.5	発振子接続端子に関する注意事項	180
10.	クロック周波数精度測定回路 (CAC)	181
10.1	概要	181
10.2	レジスタの説明	183
10.2.1	CAC コントロールレジスタ 0 (CACR0)	183

10.2.2	CAC コントロールレジスタ 1 (CACR1)	184
10.2.3	CAC コントロールレジスタ 2 (CACR2)	185
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	186
10.2.5	CAC ステータスレジスタ (CASTR)	187
10.2.6	CAC 上限値設定レジスタ (CAULVR)	188
10.2.7	CAC 下限値設定レジスタ (CALLVR)	188
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	188
10.3	動作説明	189
10.3.1	クロック周波数測定	189
10.3.2	CACREF 端子のデジタルフィルタ機能	190
10.4	割り込み要求	190
10.5	使用上の注意事項	191
10.5.1	モジュールストップ機能の設定	191
11.	消費電力低減機能	192
11.1	概要	192
11.2	レジスタの説明	196
11.2.1	スタンバイコントロールレジスタ (SBYCR)	196
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	197
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	198
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	199
11.2.5	動作電力コントロールレジスタ (OPCCR)	200
11.3	クロックの切り替えによる消費電力の低減	203
11.4	モジュールストップ機能	203
11.5	動作電力低減機能	203
11.5.1	動作電力制御モード設定方法	203
11.6	低消費電力状態	205
11.6.1	スリープモード	205
11.6.1.1	スリープモードへの移行	205
11.6.1.2	スリープモードの解除	206
11.6.2	ディープスリープモード	207
11.6.2.1	ディープスリープモードへの遷移	207
11.6.2.2	ディープスリープモードの解除	208
11.6.3	ソフトウェアスタンバイモード	209
11.6.3.1	ソフトウェアスタンバイモードへの移行	209
11.6.3.2	ソフトウェアスタンバイモードの解除	210
11.6.3.3	ソフトウェアスタンバイモードの応用例	211
11.7	使用上の注意事項	212
11.7.1	I/O ポートの状態	212
11.7.2	DMAC、DTC のモジュールストップ	212
11.7.3	内蔵周辺モジュールの割り込み	212

11.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	212
11.7.5	WAIT 命令の実行タイミング	212
11.7.6	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	212
12.	レジスタライトプロテクション機能	213
12.1	レジスタの説明	214
12.1.1	プロテクトレジスタ (PRCR)	214
13.	例外処理	215
13.1	例外事象	215
13.1.1	未定義命令例外	216
13.1.2	特権命令例外	216
13.1.3	アクセス例外	216
13.1.4	浮動小数点例外	216
13.1.5	リセット	216
13.1.6	ノンマスカブル割り込み	216
13.1.7	割り込み	216
13.1.8	無条件トラップ	216
13.2	例外の処理手順	217
13.3	例外事象の受け付け	219
13.3.1	受け付けタイミングと退避される PC 値	219
13.3.2	ベクタと PC、PSW の退避場所	219
13.4	例外の受け付け / 復帰時のハードウェア処理	220
13.5	ハードウェア前処理	221
13.5.1	未定義命令例外	221
13.5.2	特権命令例外	221
13.5.3	アクセス例外	221
13.5.4	浮動小数点例外	221
13.5.5	リセット	221
13.5.6	ノンマスカブル割り込み	222
13.5.7	割り込み	222
13.5.8	無条件トラップ	222
13.6	例外処理ルーチンからの復帰	223
13.7	例外事象の優先順位	223
14.	割り込みコントローラ (ICUb)	224
14.1	概要	224
14.2	レジスタの説明	226
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	226
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	227
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)	228
14.2.4	高速割り込み設定レジスタ (FIR)	229
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	230

14.2.6	DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	231
14.2.7	DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)	232
14.2.8	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	233
14.2.9	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	234
14.2.10	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	235
14.2.11	ノンマスカブル割り込みステータスレジスタ (NMISR)	236
14.2.12	ノンマスカブル割り込み許可レジスタ (NMIER)	238
14.2.13	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	239
14.2.14	NMI 端子割り込みコントロールレジスタ (NMICR)	240
14.2.15	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	240
14.2.16	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	241
14.3	ベクタテーブル	242
14.3.1	割り込みのベクタテーブル	242
14.3.2	高速割り込みのベクタテーブル	248
14.3.3	ノンマスカブル割り込みのベクタ領域	248
14.4	割り込みの動作説明	249
14.4.1	割り込み検出	249
14.4.1.1	エッジ検出の割り込みステータスフラグ	249
14.4.1.2	レベル検出の割り込みステータスフラグ	251
14.4.2	割り込み要求の許可 / 禁止	252
14.4.3	割り込み要求先の選択	253
14.4.4	優先順位の判定	255
14.4.5	多重割り込み	255
14.4.6	高速割り込み	255
14.4.7	デジタルフィルタ	256
14.4.8	外部端子割り込み	257
14.5	ノンマスカブル割り込みの動作説明	258
14.6	低消費電力状態からの復帰	259
14.6.1	スリープモードおよびディープスリープモードからの復帰	259
14.6.2	ソフトウェアスタンバイモードからの復帰	259
14.7	使用上の注意事項	260
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	260
15.	バス	261
15.1	概要	261
15.2	バスの説明	263
15.2.1	CPU バス	263
15.2.2	メモリバス	263
15.2.3	内部メインバス	263
15.2.4	内部周辺バス	264
15.2.5	ライトバッファ機能 (内部周辺バス)	265

15.2.6	並列動作	266
15.2.7	制約事項	267
15.3	レジスタの説明	268
15.3.1	バスエラーステータスクリアレジスタ (BERCLR)	268
15.3.2	バスエラー監視許可レジスタ (BEREN)	268
15.3.3	バスエラーステータスレジスタ 1 (BERSR1)	269
15.3.4	バスエラーステータスレジスタ 2 (BERSR2)	269
15.3.5	バスプライオリティ制御レジスタ (BUSPRI)	270
15.4	バスエラー監視部	272
15.4.1	バスエラーの種類	272
15.4.1.1	不正アドレスアクセス	272
15.4.1.2	タイムアウト	272
15.4.2	バスエラー発生時の動作	273
15.4.3	バスエラーの発生条件	273
15.5	割り込み	274
15.5.1	割り込み要因	274
16.	メモリプロテクションユニット (MPU)	275
16.1	概要	275
16.1.1	アクセス制御の種類	277
16.1.2	アクセス制御領域	277
16.1.3	バックグラウンド領域	277
16.1.4	領域のオーバーラップ	277
16.1.5	領域をまたぐ命令とデータ	277
16.2	レジスタの説明	278
16.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	278
16.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	279
16.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	280
16.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	281
16.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	282
16.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	283
16.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	284
16.2.8	領域サーチアドレスレジスタ (MPSA)	284
16.2.9	領域サーチオペレーションレジスタ (MPOPS)	285
16.2.10	領域インバリデートオペレーションレジスタ (MPOPI)	285
16.2.11	命令ヒット領域レジスタ (MHITI)	286
16.2.12	データヒット領域レジスタ (MHITD)	288
16.3	機能	290
16.3.1	メモリプロテクション機能	290
16.3.2	領域サーチ機能	290
16.3.3	メモリプロテクションユニット関連レジスタの保護	290

16.3.4	メモリプロテクション機能のアクセス判定フロー	291
16.4	メモリプロテクション機能使用手順	293
16.4.1	アクセス制御情報の設定	293
16.4.2	メモリプロテクション機能の有効化	293
16.4.3	ユーザモードへの移行	293
16.4.4	メモリプロテクションエラー発生時の処理	293
17.	DMA コントローラ (DMACA)	295
17.1	概要	295
17.2	レジスタの説明	297
17.2.1	DMA 転送元アドレスレジスタ (DMSAR)	297
17.2.2	DMA 転送先アドレスレジスタ (DMDAR)	297
17.2.3	DMA 転送カウントレジスタ (DMCRA)	298
17.2.4	DMA ブロック転送カウントレジスタ (DMCRB)	300
17.2.5	DMA 転送モードレジスタ (DMTMD)	301
17.2.6	DMA 割り込み設定レジスタ (DMINT)	302
17.2.7	DMA アドレスモードレジスタ (DMAMD)	304
17.2.8	DMA オフセットレジスタ (DMOFR)	307
17.2.9	DMA 転送許可レジスタ (DMCNT)	308
17.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	309
17.2.11	DMA ステータスレジスタ (DMSTS)	310
17.2.12	DMA 起動要因フラグ制御レジスタ (DMCSL)	312
17.2.13	DMA モジュール起動レジスタ (DMAST)	313
17.3	動作説明	314
17.3.1	転送モード	314
17.3.2	拡張リピートエリア機能	318
17.3.3	オフセットを使ったアドレス更新機能	320
17.3.4	起動要因	324
17.3.5	動作タイミング	325
17.3.6	DMAC の実行サイクル	326
17.3.7	DMAC の起動	327
17.3.8	DMA 転送の開始	328
17.3.9	DMA 転送中のレジスタ	328
17.3.10	チャンネルの優先順位	329
17.4	DMA 転送終了	330
17.4.1	設定した総データ転送による転送終了	330
17.4.2	リピートサイズ終了割り込みによる転送終了	330
17.4.3	拡張リピートエリアオーバーフロー割り込みによる転送終了	331
17.5	割り込み	332
17.6	イベントリンク機能	333
17.7	消費電力低減機能	334

17.8	使用上の注意事項	335
17.8.1	周辺モジュールへ DMA 転送する場合	335
17.8.2	DMA 動作中のレジスタアクセスについて	335
17.8.3	予約領域への DMA 転送について	335
17.8.4	DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	335
17.8.5	割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定	335
17.8.6	DMA 起動の保留 / 再開方法	335
18.	データトランスファコントローラ (DTCa)	336
18.1	概要	336
18.2	レジスタの説明	338
18.2.1	DTC モードレジスタ A (MRA)	338
18.2.2	DTC モードレジスタ B (MRB)	339
18.2.3	DTC 転送元レジスタ (SAR)	340
18.2.4	DTC 転送先レジスタ (DAR)	340
18.2.5	DTC 転送カウントレジスタ A (CRA)	341
18.2.6	DTC 転送カウントレジスタ B (CRB)	342
18.2.7	DTC コントロールレジスタ (DTCCR)	342
18.2.8	DTC ベクタベースレジスタ (DTCVBR)	343
18.2.9	DTC アドレスモードレジスタ (DTCADMOD)	343
18.2.10	DTC モジュール起動レジスタ (DTCST)	344
18.2.11	DTC ステータスレジスタ (DTCSTS)	345
18.3	起動要因	346
18.3.1	転送情報の配置と DTC ベクタテーブル	346
18.4	動作説明	348
18.4.1	転送情報リードスキップ機能	350
18.4.2	転送情報ライトバックスキップ機能	351
18.4.3	ノーマル転送モード	352
18.4.4	リピータ転送モード	353
18.4.5	ブロック転送モード	354
18.4.6	チェーン転送	355
18.4.7	動作タイミング	356
18.4.8	DTC の実行サイクル	359
18.4.9	DTC のバス権解放タイミング	359
18.5	DTC の設定手順	360
18.6	DTC 使用例	361
18.6.1	ノーマル転送	361
18.6.2	カウンタが“0”のときのチェーン転送	362
18.7	割り込み要因	363
18.8	イベントリンク	363

18.9	消費電力低減機能	364
18.10	使用上の注意事項	365
18.10.1	転送情報先頭アドレス	365
18.10.2	転送情報の配置	365
18.10.3	割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定	366
19.	イベントリンクコントローラ (ELC)	367
19.1	概要	367
19.2	レジスタの説明	368
19.2.1	イベントリンクコントロールレジスタ (ELCR)	368
19.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 1 ~ 4, 7, 8, 10, 12, 15, 18, 19, 24, 25, 28, 29, 46, 47)	369
19.2.3	イベントリンクオプション設定レジスタ A (ELOPA)	372
19.2.4	イベントリンクオプション設定レジスタ B (ELOPB)	372
19.2.5	イベントリンクオプション設定レジスタ C (ELOPC)	373
19.2.6	イベントリンクオプション設定レジスタ D (ELOPD)	373
19.2.7	イベント接続ポート指定レジスタ m (PELm) (m = 0, 1)	374
19.2.8	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	375
19.3	動作説明	376
19.3.1	割り込み処理とイベントリンクの関係	376
19.3.2	イベントのリンク	377
19.3.3	タイマ系周辺モジュールのイベント信号入力時の動作	378
19.3.4	A/D コンバータのイベント信号入力時の動作	378
19.3.5	I/O ポートのイベント信号入力時の動作とイベント生成	378
19.3.6	イベントリンクの動作設定手順例	380
19.4	使用上の注意事項	381
19.4.1	ELSRn レジスタの設定について	381
19.4.2	DMA/DTC 転送終了のイベント信号使用時の注意事項	381
19.4.3	クロック設定について	381
19.4.4	モジュールストップ機能の設定	381
20.	I/O ポート	382
20.1	概要	382
20.2	入出力ポートの構成	383
20.3	レジスタの説明	385
20.3.1	ポート方向レジスタ (PDR)	385
20.3.2	ポート出力データレジスタ (PODR)	386
20.3.3	ポート入力データレジスタ (PIDR)	387
20.3.4	ポートモードレジスタ (PMR)	388
20.3.5	オープンドレイン制御レジスタ 0 (ODR0)	389
20.3.6	オープンドレイン制御レジスタ 1 (ODR1)	390
20.3.7	プルアップ制御レジスタ (PCR)	391

20.3.8	駆動能力制御レジスタ (DSCR)	392
20.4	ポート方向レジスタ (PDR) の初期化	393
20.5	未使用端子の処理	394
21.	マルチファンクションピンコントローラ (MPC)	395
21.1	概要	395
21.2	レジスタの説明	399
21.2.1	書き込みプロテクトレジスタ (PWPR)	399
21.2.2	P1n 端子機能制御レジスタ (P1nPFS) (n = 4 ~ 7)	400
21.2.3	P2n 端子機能制御レジスタ (P2nPFS) (n = 6, 7)	401
21.2.4	P3n 端子機能制御レジスタ (P3nPFS) (n = 0, 1)	402
21.2.5	PBn 端子機能制御レジスタ (PBnPFS) (n = 0, 1)	403
21.2.6	PCn 端子機能制御レジスタ (PCnPFS) (n = 4 ~ 7)	404
21.2.7	PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)	405
21.3	使用上の注意事項	406
21.3.1	端子入出力機能設定手順	406
21.3.2	MPC レジスタ設定する場合の注意事項	406
22.	マルチファンクションタイマパルスユニット 2 (MTU2a)	407
22.1	概要	407
22.2	レジスタの説明	413
22.2.1	タイマコントロールレジスタ (TCR)	413
22.2.2	タイマモードレジスタ (TMDR)	416
22.2.3	タイマ I/O コントロールレジスタ (TIOR)	418
22.2.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	429
22.2.5	タイマ割り込み許可レジスタ (TIER)	430
22.2.6	タイマステータスレジスタ (TSR)	433
22.2.7	タイマバッファ動作転送モードレジスタ (TBTM)	434
22.2.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	435
22.2.9	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	436
22.2.10	タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)	437
22.2.11	タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)	438
22.2.12	タイマカウンタ (TCNT)	438
22.2.13	タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)	439
22.2.14	タイマスタートレジスタ (TSTR)	440
22.2.15	タイマシンクロレジスタ (TSYR)	441
22.2.16	タイマリードライト許可レジスタ (TRWER)	442
22.2.17	タイマアウトプットマスタ許可レジスタ (TOER)	443
22.2.18	タイマアウトプットコントロールレジスタ 1 (TOCR1)	444
22.2.19	タイマアウトプットコントロールレジスタ 2 (TOCR2)	446
22.2.20	タイマアウトプットレベルバッファレジスタ (TOLBR)	448
22.2.21	タイマゲートコントロールレジスタ (TGCR)	449

22.2.22	タイマサブカウンタ (TCNTS)	450
22.2.23	タイマデッドタイムデータレジスタ (TDDR)	450
22.2.24	タイマ周期データレジスタ (TCDR)	451
22.2.25	タイマ周期バッファレジスタ (TCBR)	451
22.2.26	タイマ割り込み間引き設定レジスタ (TITCR)	452
22.2.27	タイマ割り込み間引き回数カウンタ (TITCNT)	453
22.2.28	タイマバッファ転送設定レジスタ (TBTER)	454
22.2.29	タイマデッドタイム許可レジスタ (TDER)	455
22.2.30	タイマ波形コントロールレジスタ (TWCR)	456
22.2.31	ノイズフィルタコントロールレジスタ (NFCR)	457
22.2.32	バスマスタとのインタフェース	460
22.3	動作説明	461
22.3.1	基本動作	461
22.3.2	同期動作	467
22.3.3	バッファ動作	469
22.3.4	カスケード接続動作	474
22.3.5	PWM モード	479
22.3.6	位相計数モード	483
22.3.7	リセット同期 PWM モード	489
22.3.8	相補 PWM モード	492
22.3.9	A/D 変換開始要求ディレイド機能	523
22.3.10	外部パルス幅測定機能	527
22.3.11	デッドタイム補償用機能	528
22.3.12	ノイズフィルタ機能	530
22.4	割り込み要因	531
22.4.1	割り込み要因と優先順位	531
22.4.2	DTC/DMAC の起動	533
22.4.3	A/D コンバータの起動	533
22.5	動作タイミング	535
22.5.1	入出力タイミング	535
22.5.2	割り込み信号タイミング	541
22.6	使用上の注意事項	544
22.6.1	モジュールストップ機能の設定	544
22.6.2	カウントクロックの制限事項	544
22.6.3	周期設定上の注意事項	545
22.6.4	TCNT カウンタの書き込みとクリアの競合	545
22.6.5	TCNT カウンタの書き込みとカウントアップの競合	546
22.6.6	TGR レジスタの書き込みとコンペアマッチの競合	546
22.6.7	バッファレジスタの書き込みとコンペアマッチの競合	547
22.6.8	バッファレジスタの書き込みと TCNT カウンタクリアの競合	547

22.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	548
22.6.10	TGR レジスタの書き込みとインプットキャプチャの競合	549
22.6.11	バッファレジスタの書き込みとインプットキャプチャの競合	550
22.6.12	カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー / アンダフローの競合	551
22.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	552
22.6.14	相補 PWM モードでのバッファ動作の設定	552
22.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	553
22.6.16	リセット同期 PWM モードのオーバフローフラグ	554
22.6.17	オーバフロー / アンダフローとカウンタクリアの競合	555
22.6.18	TCNT カウンタの書き込みとオーバフロー / アンダフローの競合	555
22.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ 遷移する場合の注意事項	556
22.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	556
22.6.21	モジュールストップ状態時の割り込み	556
22.6.22	カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時 インプットキャプチャ	556
22.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	557
22.6.24	MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項	557
22.6.25	相補 PWM モード同期クリアするときの異常動作防止について	558
22.6.26	コンペアマッチによる割り込み信号の連続出力	560
22.6.27	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	560
22.7	MTU 出力端子の初期化方法	562
22.7.1	動作モード	562
22.7.2	動作中の異常などによる再設定時の動作	562
22.7.3	動作中の異常などによる端子の初期化手順、モード遷移の概要	563
22.8	ELC によるリンク動作	590
22.8.1	ELC へのイベント信号出力	590
22.8.2	ELC からのイベント信号受信による MTU の動作	590
22.8.3	ELC からのイベント信号受信による MTU の注意事項	591
23.	ポートアウトプットイネーブル 2 (POE2a)	592
23.1	概要	592
23.2	レジスタの説明	595
23.2.1	入力レベルコントロール / ステータスレジスタ 1 (ICSR1)	595
23.2.2	出力レベルコントロール / ステータスレジスタ 1 (OCSR1)	597
23.2.3	入力レベルコントロール / ステータスレジスタ 2 (ICSR2)	598
23.2.4	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	599
23.2.5	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	600
23.2.6	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	601
23.2.7	入力レベルコントロール / ステータスレジスタ 3 (ICSR3)	602
23.3	動作説明	603

23.3.1	入力レベル検出動作	605
23.3.2	出力レベル比較動作	606
23.3.3	レジスタによるハイインピーダンス制御	607
23.3.4	発振停止検出によるハイインピーダンス制御	607
23.3.5	ELC からのイベント信号受信によるハイインピーダンス制御	607
23.3.6	ハイインピーダンスからの解除	607
23.4	割り込み	608
23.5	使用上の注意事項	608
23.5.1	ソフトウェアスタンバイモードへの移行について	608
23.5.2	POE を使用しない場合について	608
23.5.3	端子の MTU 機能設定について	608
23.5.4	ELC からのイベント信号受信によるハイインピーダンス制御の注意事項	608
24.	8 ビットタイマ (TMRa)	609
24.1	概要	609
24.2	レジスタの説明	614
24.2.1	タイマカウンタ (TCNT)	614
24.2.2	タイムコンスタントレジスタ A (TCORA)	615
24.2.3	タイムコンスタントレジスタ B (TCORB)	615
24.2.4	タイマコントロールレジスタ (TCR)	616
24.2.5	タイマカウンタコントロールレジスタ (TCCR)	617
24.2.6	タイマコントロール / ステータスレジスタ (TCSR)	619
24.2.7	タイマカウンタスタートレジスタ (TCSTR)	621
24.3	動作説明	622
24.3.1	パルス出力	622
24.3.2	外部カウンタリセット入力	623
24.4	動作タイミング	624
24.4.1	TCNT カウンタのカウントタイミング	624
24.4.2	コンペアマッチ時の割り込みタイミング	625
24.4.3	コンペアマッチ時の出力信号タイミング	625
24.4.4	コンペアマッチによるカウンタクリアタイミング	626
24.4.5	TCNT カウンタの外部リセットタイミング	626
24.4.6	オーバフローによる割り込みタイミング	627
24.5	カスケード接続時の動作	628
24.5.1	16 ビットカウントモード	628
24.5.2	コンペアマッチカウントモード	628
24.6	割り込み要因	629
24.6.1	割り込み要因と DTC 起動	629
24.7	ELC によるリンク動作	630
24.7.1	ELC へのイベント信号出力	630
24.7.2	ELC からのイベント信号受信による TMR 動作	630

24.7.3	ELC からのイベント信号受信による TMR の注意事項	631
24.8	使用上の注意事項	632
24.8.1	モジュールストップ機能の設定	632
24.8.2	周期設定上の注意	632
24.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合	632
24.8.4	TCNT カウンタへの書き込みとカウントアップの競合	633
24.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	633
24.8.6	コンペアマッチ A、B の競合	634
24.8.7	内部クロックの切り替えと TCNT カウンタの動作	634
24.8.8	カスケード接続時のクロックソース設定	636
24.8.9	コンペアマッチ割り込みの連続出力	636
25.	コンペアマッチタイマ (CMT)	637
25.1	概要	637
25.2	レジスタの説明	638
25.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	638
25.2.2	コンペアマッチタイマコントロールレジスタ (CMCR)	639
25.2.3	コンペアマッチタイマカウンタ (CMCNT)	640
25.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	640
25.3	動作説明	641
25.3.1	周期カウント動作	641
25.3.2	CMCNT カウンタのカウントタイミング	641
25.4	割り込み	642
25.4.1	割り込み要因	642
25.4.2	コンペアマッチ割り込みの発生タイミング	642
25.5	ELC によるリンク動作	643
25.5.1	ELC へのイベント信号出力	643
25.5.2	ELC からのイベント信号受信による CMT の動作	643
25.5.3	ELC からのイベント信号受信による CMT の注意事項	643
25.6	使用上の注意事項	644
25.6.1	モジュールストップ機能の設定	644
25.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	644
25.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	644
26.	ローパワータイマ (LPT)	645
26.1	概要	645
26.2	レジスタの説明	646
26.2.1	ローパワータイマコントロールレジスタ 1 (LPTCR1)	646
26.2.2	ローパワータイマコントロールレジスタ 2 (LPTCR2)	647
26.2.3	ローパワータイマコントロールレジスタ 3 (LPTCR3)	648
26.2.4	ローパワータイマ周期設定レジスタ (LPTPRD)	649
26.2.5	ローパワータイマコンペアレジスタ 0 (LPCMR0)	651

26.2.6	ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR)	652
26.3	動作説明	653
26.3.1	周期カウント動作	653
26.3.2	ローパワータイマカウンタのカウントタイミング	655
26.3.3	ローパワータイマカウンタのクリアタイミング	655
26.4	イベントリンクコントローラ (ELC) を介した割り込みによる ソフトウェアスタンバイモードの解除について	656
26.5	使用上の注意事項	656
26.5.1	ソフトウェアスタンバイモードへの遷移に関する注意事項について	656
27.	独立ウォッチドッグタイマ (IWDTa)	657
27.1	概要	657
27.2	レジスタの説明	659
27.2.1	IWDT リフレッシュレジスタ (IWDTRR)	659
27.2.2	IWDT コントロールレジスタ (IWDTCR)	660
27.2.3	IWDT ステータスレジスタ (IWDTSR)	663
27.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	664
27.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	665
27.2.6	オプション機能選択レジスタ 0 (OFS0)	665
27.3	動作説明	666
27.3.1	カウント開始条件別の各動作	666
27.3.1.1	レジスタスタートモード	666
27.3.1.2	オートスタートモード	668
27.3.2	リフレッシュ動作	669
27.3.3	ステータスフラグ	671
27.3.4	リセット出力	671
27.3.5	割り込み要因	671
27.3.6	カウンタ値の読み出し	672
27.3.7	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	673
27.4	ELC によるリンク動作	673
27.5	使用上の注意事項	673
27.5.1	リフレッシュ動作について	673
27.5.2	クロック分周比の設定	673
28.	シリアルコミュニケーションインタフェース (SClg, SClh)	674
28.1	概要	674
28.2	レジスタの説明	682
28.2.1	レシーブシフトレジスタ (RSR)	682
28.2.2	レシーブデータレジスタ (RDR)	682
28.2.3	レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)	683
28.2.4	トランスミットデータレジスタ (TDR)	684
28.2.5	トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)	685

28.2.6	トランスミットシフトレジスタ (TSR)	685
28.2.7	シリアルモードレジスタ (SMR)	686
28.2.8	シリアルコントロールレジスタ (SCR)	690
28.2.9	シリアルステータスレジスタ (SSR)	694
28.2.10	スマートカードモードレジスタ (SCMR)	699
28.2.11	ビットレートレジスタ (BRR)	701
28.2.12	モジュレーションデューティレジスタ (MDDR)	709
28.2.13	シリアル拡張モードレジスタ (SEMR)	710
28.2.14	ノイズフィルタ設定レジスタ (SNFR)	713
28.2.15	I ² C モードレジスタ 1 (SIMR1)	714
28.2.16	I ² C モードレジスタ 2 (SIMR2)	715
28.2.17	I ² C モードレジスタ 3 (SIMR3)	716
28.2.18	I ² C ステータスレジスタ (SISR)	718
28.2.19	SPI モードレジスタ (SPMR)	719
28.2.20	拡張シリアルモード有効レジスタ (ESMER)	720
28.2.21	コントロールレジスタ 0 (CR0)	721
28.2.22	コントロールレジスタ 1 (CR1)	721
28.2.23	コントロールレジスタ 2 (CR2)	722
28.2.24	コントロールレジスタ 3 (CR3)	723
28.2.25	ポートコントロールレジスタ (PCR)	723
28.2.26	割り込みコントロールレジスタ (ICR)	724
28.2.27	ステータスレジスタ (STR)	725
28.2.28	ステータスクリアレジスタ (STCR)	726
28.2.29	Control Field 0 データレジスタ (CF0DR)	726
28.2.30	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	727
28.2.31	Control Field 0 受信データレジスタ (CF0RR)	727
28.2.32	プライマリ Control Field 1 データレジスタ (PCF1DR)	727
28.2.33	セカンダリ Control Field 1 データレジスタ (SCF1DR)	728
28.2.34	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	728
28.2.35	Control Field 1 受信データレジスタ (CF1RR)	728
28.2.36	タイマコントロールレジスタ (TCR)	729
28.2.37	タイマモードレジスタ (TMR)	729
28.2.38	タイマプリスケアラレジスタ (TPRE)	730
28.2.39	タイマカウントレジスタ (TCNT)	730
28.3	調歩同期式モードの動作	731
28.3.1	シリアル送信 / 受信フォーマット	731
28.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	733
28.3.3	クロック	734
28.3.4	倍速モード	734
28.3.5	CTS、RTS 機能	735

28.3.6	SCI の初期化 (調歩同期式モード)	736
28.3.7	シリアルデータの送信 (調歩同期式モード)	738
28.3.8	シリアルデータの受信 (調歩同期式モード)	742
28.4	マルチプロセッサ通信機能	746
28.4.1	マルチプロセッサシリアルデータ送信	747
28.4.2	マルチプロセッサシリアルデータ受信	748
28.5	クロック同期式モードの動作	751
28.5.1	クロック	751
28.5.2	CTS、RTS 機能	752
28.5.3	SCI の初期化 (クロック同期式モード)	753
28.5.4	シリアルデータの送信 (クロック同期式モード)	754
28.5.5	シリアルデータの受信 (クロック同期式モード)	758
28.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	761
28.6	スマートカードインタフェースモードの動作	762
28.6.1	接続例	762
28.6.2	データフォーマット (ブロック転送モード時を除く)	763
28.6.3	ブロック転送モード	764
28.6.4	受信データサンプリングタイミングと受信マージン	765
28.6.5	SCI の初期化 (スマートカードインタフェースモード)	766
28.6.6	シリアルデータの送信 (ブロック転送モードを除く)	768
28.6.7	シリアルデータの受信 (ブロック転送モードを除く)	771
28.6.8	クロック出力制御	773
28.7	簡易 I ² C モードの動作	774
28.7.1	開始条件、再開条件、停止条件の生成	775
28.7.2	クロック同期化	777
28.7.3	SSDA 出力遅延	778
28.7.4	SCI の初期化 (簡易 I ² C モード)	779
28.7.5	マスタ送信動作 (簡易 I ² C モード)	780
28.7.6	マスタ受信動作 (簡易 I ² C モード)	782
28.7.7	バスハングアップからの回復	784
28.8	簡易 SPI モードの動作	785
28.8.1	マスタモード、スレーブモードと各端子の状態	786
28.8.2	マスタモード時の SS 機能	786
28.8.3	スレーブモード時の SS 機能	786
28.8.4	クロックと送受信データの関係	787
28.8.5	SCI の初期化 (簡易 SPI モード)	787
28.8.6	シリアルデータの送受信 (簡易 SPI モード)	788
28.9	ビットレートモジュレーション機能	788
28.10	拡張シリアルモード制御部の動作説明	789
28.10.1	シリアル通信プロトコル	789

28.10.2	Start Frame 送信	789
28.10.3	Start Frame 受信	793
28.10.3.1	プライオリティインタラプトビット	798
28.10.4	バス衝突検出機能	799
28.10.5	RXDX12 端子入力デジタルフィルタ機能	800
28.10.6	ビットレート測定機能	801
28.10.7	RXDX12 受信データサンプリングタイミング選択機能	802
28.10.8	タイマ	803
28.11	ノイズ除去機能	805
28.12	割り込み要因	806
28.12.1	TXI 割り込みおよび RXI 割り込みバッファ動作	806
28.12.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	806
28.12.3	スマートカードインタフェースモードにおける割り込み	807
28.12.4	簡易 I ² C モードにおける割り込み	808
28.12.5	拡張シリアルモード制御部の割り込み要求	809
28.13	イベントリンク機能	810
28.14	使用上の注意事項	811
28.14.1	モジュールストップ機能の設定	811
28.14.2	ブレークの検出と処理について	811
28.14.3	マーク状態とブレークの送出	811
28.14.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	811
28.14.5	TDR レジスタへのライトについて	811
28.14.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	812
28.14.7	DMAC または DTC 使用上の制約事項	813
28.14.8	通信の開始に関する注意事項	813
28.14.9	低消費電力状態時の動作について	813
28.14.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	815
28.14.11	簡易 SPI モードの制約事項	816
28.14.12	拡張シリアルモード制御部の使用上の制約事項 1	817
28.14.13	拡張シリアルモード制御部の使用上の制約事項 2	817
28.14.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	818
28.14.15	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	818
29.	I ² C バスインタフェース (IICa)	819
29.1	概要	819
29.2	レジスタの説明	822
29.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	822
29.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	824
29.2.3	I ² C バスモードレジスタ 1 (ICMR1)	827

29.2.4	I ² C バスモードレジスタ 2 (ICMR2)	828
29.2.5	I ² C バスモードレジスタ 3 (ICMR3)	830
29.2.6	I ² C バスファンクション許可レジスタ (ICFER)	832
29.2.7	I ² C バスステータス許可レジスタ (ICSER)	834
29.2.8	I ² C バス割り込み許可レジスタ (ICIER)	836
29.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	838
29.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	840
29.2.11	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	843
29.2.12	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	844
29.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	845
29.2.14	I ² C バスビットレート High レジスタ (ICBRH)	846
29.2.15	I ² C バス送信データレジスタ (ICDRT)	848
29.2.16	I ² C バス受信データレジスタ (ICDRR)	848
29.2.17	I ² C バスシフトレジスタ (ICDRS)	848
29.3	動作説明	849
29.3.1	通信データフォーマット	849
29.3.2	初期設定	850
29.3.3	マスタ送信動作	851
29.3.4	マスタ受信動作	854
29.3.5	スレーブ送信動作	860
29.3.6	スレーブ受信動作	863
29.4	SCL 同期回路	865
29.5	SDA 出力遅延機能	866
29.6	デジタルノイズフィルタ回路	867
29.7	アドレス一致検出機能	868
29.7.1	スレーブアドレス一致検出機能	868
29.7.2	ジェネラルコールアドレス検出機能	870
29.7.3	デバイス ID アドレス検出機能	871
29.7.4	ホストアドレス検出機能	873
29.8	SCL の自動 Low ホールド機能	874
29.8.1	送信データ誤送信防止機能	874
29.8.2	NACK 受信転送中断機能	875
29.8.3	受信データ取りこぼし防止機能	876
29.9	アービトレーションロスト検出機能	878
29.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	878
29.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	880
29.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	881
29.10	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	882
29.10.1	スタートコンディション発行動作	882
29.10.2	リスタートコンディション発行動作	882

29.10.3	ストップコンディション発行動作	883
29.11	バスハングアップ	884
29.11.1	タイムアウト検出機能	884
29.11.2	SCL 追加出力機能	885
29.11.3	RIIC リセット、内部リセット	886
29.12	SMBus 動作	887
29.12.1	SMBus タイムアウト測定	887
29.12.2	パケットエラーコード (PEC)	888
29.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	889
29.13	割り込み要因	890
29.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	890
29.14	リセット時/コンディション検出時のレジスタおよび機能の初期化	891
29.15	イベントリンク機能 (出力)	892
29.15.1	割り込み処理とイベントリンクの関係	892
29.16	使用上の注意事項	893
29.16.1	モジュールストップ機能の設定	893
29.16.2	通信の開始に関する注意事項	893
30.	CAN モジュール (RSCAN)	894
30.1	概要	894
30.2	レジスタの説明	897
30.2.1	ビットコンフィギュレーションレジスタ L (CFGL)	897
30.2.2	ビットコンフィギュレーションレジスタ H (CFGH)	898
30.2.3	制御レジスタ L (CTRL)	899
30.2.4	制御レジスタ H (CTRH)	901
30.2.5	ステータスレジスタ L (STSL)	903
30.2.6	ステータスレジスタ H (STSH)	904
30.2.7	エラーフラグレジスタ L (ERFLL)	905
30.2.8	エラーフラグレジスタ H (ERFLH)	907
30.2.9	グローバル設定レジスタ L (GCFGL)	908
30.2.10	グローバル設定レジスタ H (GCFGH)	909
30.2.11	グローバル制御レジスタ L (GCTRL)	910
30.2.12	グローバル制御レジスタ H (GCTRH)	911
30.2.13	グローバルステータスレジスタ (GSTS)	911
30.2.14	グローバルエラーフラグレジスタ (GERFLL)	912
30.2.15	グローバル送信割り込みステータスレジスタ (GTINTSTS)	913
30.2.16	タイムスタンプレジスタ (GTSC)	914
30.2.17	受信ルール数設定レジスタ (GAFLCFG)	914
30.2.18	受信ルール登録レジスタ jAL (GAFLIDLj) (j = 0 ~ 15)	915
30.2.19	受信ルール登録レジスタ jAH (GAFLIDHj) (j = 0 ~ 15)	916
30.2.20	受信ルール登録レジスタ jBL (GAFLMLj) (j = 0 ~ 15)	917

30.2.21	受信ルール登録レジスタ jBH (GAFLMHj) (j = 0 ~ 15)	918
30.2.22	受信ルール登録レジスタ jCL (GAFLPLj) (j = 0 ~ 15)	919
30.2.23	受信ルール登録レジスタ jCH (GAFLPHj) (j = 0 ~ 15)	920
30.2.24	受信バッファ数設定レジスタ (RMNB)	921
30.2.25	受信バッファ受信完了フラグレジスタ (RMND0)	921
30.2.26	受信バッファレジスタ nAL (RMIDLn) (n = 0 ~ 15)	922
30.2.27	受信バッファレジスタ nAH (RMIDHn) (n = 0 ~ 15)	923
30.2.28	受信バッファレジスタ nBL (RMTSn) (n = 0 ~ 15)	924
30.2.29	受信バッファレジスタ nBH (RMPTRn) (n = 0 ~ 15)	925
30.2.30	受信バッファレジスタ nCL (RMDF0n) (n = 0 ~ 15)	926
30.2.31	受信バッファレジスタ nCH (RMDF1n) (n = 0 ~ 15)	926
30.2.32	受信バッファレジスタ nDL (RMDF2n) (n = 0 ~ 15)	927
30.2.33	受信バッファレジスタ nDH (RMDF3n) (n = 0 ~ 15)	927
30.2.34	受信 FIFO 制御レジスタ m (RFCCm) (m = 0, 1)	928
30.2.35	受信 FIFO ステータスレジスタ m (RFSTSm) (m = 0, 1)	929
30.2.36	受信 FIFO ポインタ制御レジスタ m (RFPCTRm) (m = 0, 1)	930
30.2.37	受信 FIFO アクセスレジスタ mAL (RFIDLm) (m = 0, 1)	931
30.2.38	受信 FIFO アクセスレジスタ mAH (RFIDHm) (m = 0, 1)	931
30.2.39	受信 FIFO アクセスレジスタ mBL (RFTSm) (m = 0, 1)	932
30.2.40	受信 FIFO アクセスレジスタ mBH (RFPTRm) (m = 0, 1)	932
30.2.41	受信 FIFO アクセスレジスタ mCL (RFDF0m) (m = 0, 1)	933
30.2.42	受信 FIFO アクセスレジスタ mCH (RFDF1m) (m = 0, 1)	933
30.2.43	受信 FIFO アクセスレジスタ mDL (RFDF2m) (m = 0, 1)	934
30.2.44	受信 FIFO アクセスレジスタ mDH (RFDF3m) (m = 0, 1)	934
30.2.45	送受信 FIFO 制御レジスタ 0L (CFCCL0)	935
30.2.46	送受信 FIFO 制御レジスタ 0H (CFCCH0)	937
30.2.47	送受信 FIFO ステータスレジスタ 0 (CFSTS0)	938
30.2.48	送受信 FIFO ポインタ制御レジスタ 0 (CFPCTR0)	940
30.2.49	送受信 FIFO アクセスレジスタ 0AL (CFIDL0)	941
30.2.50	送受信 FIFO アクセスレジスタ 0AH (CFIDH0)	942
30.2.51	送受信 FIFO アクセスレジスタ 0BL (CFTS0)	943
30.2.52	送受信 FIFO アクセスレジスタ 0BH (CFPTR0)	944
30.2.53	送受信 FIFO アクセスレジスタ 0CL (CFDF00)	945
30.2.54	送受信 FIFO アクセスレジスタ 0CH (CFDF10)	945
30.2.55	送受信 FIFO アクセスレジスタ 0DL (CFDF20)	946
30.2.56	送受信 FIFO アクセスレジスタ 0DH (CFDF30)	946
30.2.57	受信 FIFO メッセージロストステータスレジスタ (RFMSTS)	947
30.2.58	送受信 FIFO メッセージロストステータスレジスタ (CFMSTS)	947
30.2.59	受信 FIFO 割り込みステータスレジスタ (RFISTS)	948
30.2.60	送受信 FIFO 受信割り込みステータスレジスタ (CFISTS)	948

30.2.61	送信バッファ制御レジスタ p (TMCp) (p = 0 ~ 3)	949
30.2.62	送信バッファステータスレジスタ p (TMSTSp) (p = 0 ~ 3)	950
30.2.63	送信バッファ送信要求ステータスレジスタ (TMTRSTS)	951
30.2.64	送信バッファ送信完了ステータスレジスタ (TMTCASTS)	952
30.2.65	送信バッファ送信アボートステータスレジスタ (TMTASTS)	953
30.2.66	送信バッファ割り込み許可レジスタ (TMIEC)	954
30.2.67	送信バッファレジスタ pAL (TMIDLp) (p = 0 ~ 3)	954
30.2.68	送信バッファレジスタ pAH (TMIDHp) (p = 0 ~ 3)	955
30.2.69	送信バッファレジスタ pBH (TMPTRp) (p = 0 ~ 3)	956
30.2.70	送信バッファレジスタ pCL (TMDf0p) (p = 0 ~ 3)	957
30.2.71	送信バッファレジスタ pCH (TMDf1p) (p = 0 ~ 3)	957
30.2.72	送信バッファレジスタ pDL (TMDf2p) (p = 0 ~ 3)	958
30.2.73	送信バッファレジスタ pDH (TMDf3p) (p = 0 ~ 3)	958
30.2.74	送信履歴バッファ制御レジスタ (THLCC0)	959
30.2.75	送信履歴バッファステータスレジスタ (THLSTS0)	960
30.2.76	送信履歴バッファアクセスレジスタ (THLACC0)	961
30.2.77	送信履歴バッファポインタ制御レジスタ (THLPCTR0)	962
30.2.78	グローバル RAM ウィンドウ制御レジスタ (GRWCR)	963
30.2.79	グローバルテスト設定レジスタ (GTSTCFG)	964
30.2.80	グローバルテスト制御レジスタ (GTSTCTRL)	964
30.2.81	グローバルテストプロテクト解除レジスタ (GLOCKK)	965
30.2.82	RAM テストレジスタ r (RPGACCr) (r = 0 ~ 127)	965
30.3	CAN モード	966
30.3.1	グローバルモード	966
30.3.2	チャンネルモード	968
30.4	受信機能	972
30.4.1	受信ルールテーブルを用いたデータ処理	972
30.4.2	タイムスタンプ	974
30.5	送信機能	975
30.5.1	送信の優先順位判定	975
30.5.2	送信バッファを用いた送信	976
30.5.3	FIFO バッファによる送信	976
30.5.4	送信履歴機能	979
30.6	テスト機能	980
30.6.1	標準テストモード	980
30.6.2	リッスンオンリモード	980
30.6.3	セルフテストモード (ループバックモード)	981
30.6.4	RAM テスト	981
30.7	割り込み	982
30.8	RAM ウィンドウ	985

30.9	初期設定	986
30.9.1	クロックの設定	987
30.9.2	ビットタイミングの設定	987
30.9.3	通信速度の設定	988
30.9.4	受信ルールの設定	989
30.9.5	バッファの設定	990
30.10	受信手順	991
30.10.1	受信バッファの読み出し手順	991
30.10.2	FIFO バッファの読み出し手順	993
30.11	送信手順	995
30.11.1	送信バッファからの送信手順	995
30.11.2	送受信 FIFO バッファからの送信手順	998
30.11.3	送信履歴バッファの読み出し手順	1001
30.12	テスト設定	1002
30.12.1	セルフテストモードの設定手順	1002
30.12.2	プロテクト解除手順	1003
30.12.3	RAM テストの設定手順	1004
30.13	CAN モジュールの注意事項	1005
31.	シリアルペリフェラルインタフェース (RSPIb)	1006
31.1	概要	1006
31.2	レジスタの説明	1010
31.2.1	RSPI 制御レジスタ (SPCR)	1010
31.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1012
31.2.3	RSPI 端子制御レジスタ (SPPCR)	1013
31.2.4	RSPI ステータスレジスタ (SPSR)	1014
31.2.5	RSPI データレジスタ (SPDR)	1017
31.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1020
31.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1021
31.2.8	RSPI ビットレートレジスタ (SPBR)	1022
31.2.9	RSPI データコントロールレジスタ (SPDCR)	1023
31.2.10	RSPI クロック遅延レジスタ (SPCKD)	1025
31.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1026
31.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1027
31.2.13	RSPI 制御レジスタ 2 (SPCR2)	1028
31.2.14	RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)	1029
31.3	動作説明	1032
31.3.1	RSPI 動作の概要	1032
31.3.2	RSPI 端子の制御	1033
31.3.3	RSPI システム構成例	1034
31.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	1034

31.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	1035
31.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	1036
31.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	1037
31.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	1038
31.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	1039
31.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	1039
31.3.4	データフォーマット	1040
31.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1041
31.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1045
31.3.5	転送フォーマット	1049
31.3.5.1	CPHA ビット = 0 の場合	1049
31.3.5.2	CPHA ビット = 1 の場合	1050
31.3.6	通信動作モード	1051
31.3.6.1	全二重通信 (SPCR.TXMD = 0)	1051
31.3.6.2	送信のみの単方向通信 (SPCR.TXMD = 1)	1052
31.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1053
31.3.8	アイドル割り込み	1054
31.3.9	エラー検出	1055
31.3.9.1	オーバランエラー	1056
31.3.9.2	パリティエラー	1059
31.3.9.3	モードフォルトエラー	1060
31.3.9.4	アンダランエラー	1060
31.3.10	RSPI の初期化	1061
31.3.10.1	SPE ビットのクリアによる初期化	1061
31.3.10.2	システムリセット	1061
31.3.11	SPI 動作	1062
31.3.11.1	マスタモード動作	1062
31.3.11.2	スレーブモード動作	1072
31.3.12	クロック同期式動作	1076
31.3.12.1	マスタモード動作	1076
31.3.12.2	スレーブモード動作	1080
31.3.13	ループバックモード	1082
31.3.14	パリティビット機能の自己判断	1083
31.3.15	割り込み要因	1084
31.4	イベントリンク機能によるリンク動作	1085
31.4.1	受信バッファフルイベント出力	1085
31.4.2	送信バッファエンプティイベント出力	1085
31.4.3	モードフォルト / アンダラン / オーバラン / パリティエラーイベント出力	1085
31.4.4	アイドルイベント出力	1086

31.4.5	送信完了イベント出力	1086
31.5	使用上の注意事項	1087
31.5.1	モジュールストップ機能の設定	1087
31.5.2	消費電力低減機能の注意事項	1087
31.5.3	通信の開始に関する注意事項	1087
31.5.4	SPRF/SPTEF フラグに関する注意事項	1087
32.	CRC 演算器 (CRC)	1088
32.1	概要	1088
32.2	レジスタの説明	1089
32.2.1	CRC コントロールレジスタ (CRCCR)	1089
32.2.2	CRC データ入力レジスタ (CRCDIR)	1089
32.2.3	CRC データ出力レジスタ (CRCDOR)	1090
32.3	CRC 演算器の動作説明	1091
32.4	使用上の注意事項	1094
32.4.1	モジュールストップ機能の設定	1094
32.4.2	転送時の注意事項	1094
33.	アナログフロントエンド (AFE)	1095
33.1	概要	1095
33.2	レジスタの説明	1102
33.2.1	AFE 動作制御レジスタ (OPCR)	1102
33.2.2	電圧検出回路制御レジスタ (VDETCR)	1104
33.2.3	電圧検出許可レジスタ (VDETER)	1106
33.2.4	バイアス電圧出力選択レジスタ (VBOSR)	1109
33.2.5	温度センサ 0 次温度係数レジスタ (TC0R)	1110
33.2.6	温度センサ 1 次温度係数レジスタ (TC1R)	1110
33.2.7	温度センサ 2 次温度係数レジスタ (TC2R)	1111
33.2.8	ローサイドスイッチ制御レジスタ (LSWC)	1111
33.2.9	DSAD0 チャンネル m 入力選択レジスタ (DS0mISR) (m = 0 ~ 5)	1112
33.2.10	DSAD1 チャンネル m 入力選択レジスタ (DS1mISR) (m = 0 ~ 5)	1114
33.2.11	励起電流制御レジスタ (EXCCR)	1116
33.2.12	励起電流出力選択レジスタ (EXCOSR)	1117
33.3	動作説明	1118
33.3.1	アナログマルチプレクサ (AMUX)	1118
33.3.2	基準電圧源 (VREF)	1119
33.3.3	バイアス電圧生成回路 (VBIAS)	1120
33.3.4	温度センサ (TEMPS)	1121
33.3.5	励起電流源 (IEXC)	1122
33.3.6	電圧検出回路 (VDET)	1123
33.3.6.1	低電源電圧検出回路 (LVDET)	1123
33.3.6.2	DSAD 入力電圧異常検出回路 (DSIDET)	1124

33.3.6.3	DSAD 基準電圧異常検出回路 (DSRDET)	1125
33.3.6.4	励起電流源断線検出回路 (IEXCDET)	1126
33.3.7	AFE の初期化	1127
33.3.8	VDET の起動	1128
33.4	注意事項	1129
33.4.1	モジュールストップ機能の設定	1129
33.4.2	アナログ入力端子の設定に関する注意事項	1129
33.4.3	VBIAS 使用上の注意事項	1129
33.4.4	IEXC 使用上の注意事項	1129
33.4.5	アナログ電源端子に関する注意事項	1129
33.4.6	未使用端子の処理	1130
34.	24 ビット Δ - Σ A/D コンバータ (DSADA)	1131
34.1	概要	1131
34.2	レジスタの説明	1133
34.2.1	DSAD 動作クロック制御レジスタ (CCR)	1133
34.2.2	DSAD 動作モードレジスタ (MR)	1134
34.2.3	チャンネル m 動作モードレジスタ (MRm) (m = 0 ~ 5)	1136
34.2.4	チャンネル m 制御レジスタ (CRm) (m = 0 ~ 5)	1138
34.2.5	A/D 変換開始レジスタ (ADST)	1140
34.2.6	A/D 変換停止レジスタ (ADSTP)	1141
34.2.7	データレジスタ (DR)	1142
34.2.8	平均値データレジスタ (AVDR)	1143
34.2.9	ステータスレジスタ (SR)	1144
34.2.10	チャンネル m オーバサンプリング比設定レジスタ (OSRm) (m = 0 ~ 5)	1145
34.2.11	チャンネル m ゲイン補正レジスタ (GCRm) (m = 0 ~ 5)	1147
34.2.12	チャンネル m オフセット補正レジスタ (OFCRm) (m = 0 ~ 5)	1148
34.3	機能詳細説明	1149
34.3.1	機能概要	1149
34.3.2	アナログ入力チャンネル設定	1149
34.3.3	プログラマブルゲイン計装アンプ (PGA)	1150
34.3.4	DSAD の構成	1151
34.3.5	DSAD への入力電圧と A/D 変換結果	1152
34.3.6	DSAD の制御	1153
34.3.7	デジタルフィルタ	1157
34.3.7.1	デジタルフィルタの動作	1157
34.3.7.2	セトリング時間	1157
34.3.7.3	デジタルフィルタの特性	1158
34.3.8	A/D 変換モードについて	1159
34.3.9	オフセットエラー / ゲインエラー補正機能	1160
34.3.9.1	オフセットエラー / ゲインエラー補正值の算出	1160

34.3.10	断線検出アシスト機能	1161
34.3.11	ユニット間同期スタート機能	1162
34.4	制御フロー	1163
34.4.1	クロック設定	1163
34.4.2	チャネル共通設定	1164
34.4.3	チャネル個別設定	1164
34.4.4	A/D 変換	1165
34.4.5	オートスキャン停止	1166
34.4.6	オフセットエラー / ゲインエラー補正値の算出	1167
34.4.7	断線検出	1168
34.5	使用上の注意事項	1169
34.5.1	モジュールストップ機能の設定	1169
34.5.2	低消費電力状態への遷移	1169
34.5.3	動作クロック設定に関する注意事項	1169
34.5.4	動作クロック変更時の注意事項	1169
34.5.5	SYNCST ビット変更時の注意事項	1169
34.5.6	2 ユニット同時使用時の注意事項	1169
35.	12 ビット A/D コンバータ (S12ADE)	1170
35.1	概要	1170
35.2	レジスタの説明	1174
35.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 5)、 A/D データ二重化レジスタ (ADDBLDR)	1174
35.2.2	A/D 自己診断データレジスタ (ADRD)	1176
35.2.3	A/D コントロールレジスタ (ADCSR)	1177
35.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1181
35.2.5	A/D チャネル選択レジスタ B0 (ADANSB0)	1182
35.2.6	A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)	1183
35.2.7	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	1185
35.2.8	A/D コントロール拡張レジスタ (ADCER)	1186
35.2.9	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1188
35.2.10	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 5)	1190
35.2.11	A/D 断線検出コントロールレジスタ (ADDISCR)	1191
35.2.12	A/D イベントリンクコントロールレジスタ (ADELCCR)	1192
35.2.13	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1193
35.2.14	A/D コンペア機能コントロールレジスタ (ADCMPCR)	1194
35.2.15	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPSR0)	1196
35.2.16	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	1197
35.2.17	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)	1199
35.2.18	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)	1201
35.2.19	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0)	1202

35.2.20	A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)	1203
35.2.21	A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ (ADWINMON)	1204
35.2.22	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)	1205
35.2.23	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)	1207
35.2.24	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)	1209
35.2.25	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ (ADCMPBSR)	1210
35.2.26	A/D データ格納バッファレジスタ n (ADBUFn) (n = 0 ~ 15)	1211
35.2.27	A/D データ格納バッファイネーブルレジスタ (ADBUFEN)	1212
35.2.28	A/D データ格納バッファポインタレジスタ (ADBUFPTR)	1213
35.3	動作説明	1214
35.3.1	スキヤンの動作説明	1214
35.3.2	シングルスキヤンモード	1215
35.3.2.1	基本動作	1215
35.3.2.2	チャンネル選択と自己診断	1216
35.3.2.3	ダブルトリガモード選択時の動作	1217
35.3.3	連続スキヤンモード	1218
35.3.3.1	基本動作	1218
35.3.3.2	チャンネル選択と自己診断	1219
35.3.4	グループスキヤンモード	1220
35.3.4.1	基本動作	1220
35.3.4.2	ダブルトリガモード選択時の動作	1221
35.3.4.3	グループ A 優先制御動作	1222
35.3.5	コンペア機能 (ウィンドウ A、ウィンドウ B)	1232
35.3.5.1	コンペア機能ウィンドウ A/B	1232
35.3.5.2	コンペア機能の ELC 出力	1234
35.3.5.3	データ格納バッファの使用方法	1235
35.3.5.4	コンペア機能制約	1236
35.3.6	アナログ入力のサンプリング時間とスキヤン変換時間	1236
35.3.7	A/D データレジスタの自動クリア機能の使用例	1239
35.3.8	A/D 変換値加算 / 平均機能	1239
35.3.9	断線検出アシスト機能	1239
35.3.10	非同期トリガによる A/D 変換の開始	1241
35.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1241
35.4	割り込み要因と DTC、DMA 転送要求	1241
35.4.1	割り込み要求	1241
35.5	イベントリンク機能	1242
35.5.1	ELC へのイベント出力動作	1242
35.5.2	ELC からのイベントによる 12 ビット A/D コンバータの動作	1242
35.5.3	ELC からのイベントによる 12 ビット A/D コンバータの注意事項	1242
35.6	基準電圧の選択方法	1242

35.7	許容信号源インピーダンスについて	1243
35.8	使用上の注意事項	1244
35.8.1	データレジスタの読出し注意事項	1244
35.8.2	A/D 変換停止時の注意事項	1244
35.8.3	A/D 変換強制停止と開始時の動作タイミング	1245
35.8.4	スキャン終了割り込み処理の注意事項	1245
35.8.5	モジュールストップ機能の設定	1245
35.8.6	低消費電力状態への遷移時の注意	1245
35.8.7	ソフトウェアスタンバイモード解除時の注意	1245
35.8.8	断線検出アシスト機能使用時の絶対精度誤差	1245
35.8.9	ADHSC ビットの書き換え手順	1246
35.8.10	アナログ電源端子他の設定範囲	1247
35.8.11	ボード設計上の注意	1248
35.8.12	ノイズ対策上の注意	1248
35.8.13	アナログ入力端子設定の注意事項	1249
35.8.14	基準電圧設定の注意事項	1249
36.	データ演算回路 (DOC)	1250
36.1	概要	1250
36.2	レジスタの説明	1251
36.2.1	DOC コントロールレジスタ (DOCR)	1251
36.2.2	DOC データインプットレジスタ (DODIR)	1252
36.2.3	DOC データセッティングレジスタ (DODSR)	1252
36.3	動作説明	1253
36.3.1	データ比較モード	1253
36.3.2	データ加算モード	1254
36.3.3	データ減算モード	1255
36.4	割り込み要求	1255
36.5	イベントリンク出力機能	1256
36.5.1	割り込み処理とイベントリンクの関係	1256
36.6	使用上の注意事項	1256
36.6.1	モジュールストップ機能の設定	1256
37.	RAM	1257
37.1	概要	1257
37.2	動作説明	1257
37.2.1	消費電力低減機能	1257
37.2.2	RAM の自己診断に関する注意事項	1257
38.	フラッシュメモリ (FLASH)	1258
38.1	概要	1258
38.2	ROM の領域とブロックの構成	1259
38.3	E2 データフラッシュの領域とブロックの構成	1260

38.4	レジスタの説明	1261
38.4.1	E2 データフラッシュ制御レジスタ (DFLCTL)	1261
38.4.2	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1262
38.4.3	プロテクト解除レジスタ (FPR)	1263
38.4.4	プロテクト解除ステータスレジスタ (FPSR)	1263
38.4.5	フラッシュ P/E モード制御レジスタ (FPMCR)	1264
38.4.6	フラッシュ初期設定レジスタ (FISR)	1265
38.4.7	フラッシュリセットレジスタ (FRESETR)	1267
38.4.8	フラッシュ領域選択レジスタ (FASR)	1267
38.4.9	フラッシュ制御レジスタ (FCR)	1268
38.4.10	フラッシュエクストラ領域制御レジスタ (FEXCR)	1270
38.4.11	フラッシュ処理開始アドレスレジスタ H (FSARH)	1271
38.4.12	フラッシュ処理開始アドレスレジスタ L (FSARL)	1271
38.4.13	フラッシュ処理終了アドレスレジスタ H (FEARH)	1272
38.4.14	フラッシュ処理終了アドレスレジスタ L (FEARL)	1272
38.4.15	フラッシュライトバッファレジスタ n (FWBn) (n = 0 ~ 3)	1273
38.4.16	フラッシュステータスレジスタ 0 (FSTATR0)	1274
38.4.17	フラッシュステータスレジスタ 1 (FSTATR1)	1276
38.4.18	フラッシュエラーアドレスモニタレジスタ H (FEAMH)	1277
38.4.19	フラッシュエラーアドレスモニタレジスタ L (FEAML)	1277
38.4.20	フラッシュスタートアップ設定モニタレジスタ (FSCMR)	1278
38.4.21	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)	1278
38.4.22	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)	1279
38.4.23	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	1279
38.5	スタートアッププログラム保護機能	1280
38.6	エリアプロテクション	1281
38.7	プログラム / イレーズ	1282
38.7.1	シーケンサのモード	1282
38.7.1.1	E2 データフラッシュアクセス禁止モード	1282
38.7.1.2	リードモード	1283
38.7.1.3	P/E モード	1283
38.7.2	モード遷移	1283
38.7.2.1	E2 データフラッシュアクセス禁止モードからリードモードへの遷移	1283
38.7.2.2	リードモードから P/E モードへの遷移	1284
38.7.2.3	P/E モードからリードモードへの遷移	1286
38.7.3	ソフトウェアコマンド一覧	1288
38.7.4	ソフトウェアコマンド使用方法	1289
38.7.4.1	プログラム	1289
38.7.4.2	ブロックイレーズ	1291
38.7.4.3	全ブロックイレーズ	1293

38.7.4.4	ブランクチェック	1295
38.7.4.5	スタートアップ領域情報プログラム / アクセスウィンドウ情報プログラム	1297
38.7.4.6	ソフトウェアコマンドの強制停止	1298
38.7.5	割り込み	1298
38.8	ブートモード	1299
38.8.1	ブートモード (SCI インタフェース)	1300
38.8.1.1	ブートモード (SCI インタフェース) の動作条件	1300
38.8.1.2	ブートモード (SCI インタフェース) の起動方法	1301
38.8.2	ブートモード (FINE インタフェース)	1302
38.8.2.1	ブートモード (FINE インタフェース) の動作条件	1302
38.9	フラッシュメモリプロテクト機能	1303
38.9.1	ID コードプロテクト	1303
38.9.1.1	ブートモード ID コードプロテクト	1304
38.9.1.2	オンチップデバッグエミュレータ ID コードプロテクト	1305
38.10	通信プロトコル	1306
38.10.1	ブートモード (SCI インタフェース) の状態遷移	1306
38.10.2	コマンドとレスポンスの構成	1307
38.10.3	未定義コマンドに対するレスポンス	1307
38.10.4	ブートモードステータス問い合わせ	1308
38.10.5	問い合わせコマンド	1309
38.10.5.1	サポートデバイス問い合わせ	1309
38.10.5.2	データ領域有無問い合わせ	1310
38.10.5.3	ユーザ領域情報問い合わせ	1310
38.10.5.4	データ領域情報問い合わせ	1311
38.10.5.5	ブロック情報問い合わせ	1311
38.10.6	設定コマンド	1312
38.10.6.1	デバイス選択	1312
38.10.6.2	動作周波数選択	1313
38.10.6.3	プログラム / イレーズホストコマンド待ちステート遷移	1314
38.10.7	ID コード認証コマンド	1315
38.10.7.1	ID コードチェック	1315
38.10.8	プログラム / イレーズコマンド	1316
38.10.8.1	ユーザ / データ領域プログラム準備	1316
38.10.8.2	プログラム	1317
38.10.8.3	データ領域プログラム	1318
38.10.8.4	イレーズ準備	1319
38.10.8.5	ブロックイレーズ	1319
38.10.9	リードチェックコマンド	1320
38.10.9.1	メモリリード	1320
38.10.9.2	ユーザ領域チェックサム	1321

38.10.9.3	データ領域チェックサム	1322
38.10.9.4	ユーザ領域ブランクチェック	1322
38.10.9.5	データ領域ブランクチェック	1323
38.10.9.6	アクセスウィンドウ情報プログラム	1323
38.10.9.7	アクセスウィンドウリード	1324
38.11	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明	1325
38.11.1	ビットレート自動調整	1326
38.11.2	MCU の情報取得	1327
38.11.3	デバイスの指定、ビットレートの変更	1328
38.11.4	プログラム / イレーズホストコマンド待ち状態への遷移	1329
38.11.5	ブートモード ID コードプロテクトの解除	1330
38.11.6	ユーザ領域、データ領域のイレーズ	1331
38.11.7	ユーザ領域、データ領域のプログラム	1332
38.11.8	ユーザ領域のデータ確認	1333
38.11.9	データ領域のデータ確認	1334
38.11.10	ユーザ領域のアクセスウィンドウ設定	1335
38.12	セルフプログラミングでの書き換え	1336
38.12.1	概要	1336
38.13	使用上の注意事項	1337
38.14	使用上の注意事項 (ブートモード)	1338
39.	電気的特性	1339
39.1	絶対最大定格	1339
39.2	推奨動作条件	1340
39.3	DC 特性	1341
39.3.1	標準 I/O 端子出力特性 (1)	1356
39.3.2	標準 I/O 端子出力特性 (2)	1359
39.3.3	標準 I/O 端子出力特性 (3)	1362
39.4	AC 特性	1364
39.4.1	クロックタイミング	1364
39.4.2	リセットタイミング	1368
39.4.3	低消費電力状態からの復帰タイミング	1369
39.4.4	制御信号タイミング	1371
39.4.5	内蔵周辺モジュールタイミング	1372
39.4.5.1	I/O ポート	1372
39.4.5.2	MTU	1372
39.4.5.3	POE	1373
39.4.5.4	TMR	1375
39.4.5.5	SCI	1375
39.4.5.6	RIIC	1377
39.4.5.7	RSPI	1378

39.4.5.8	A/D コンバータトリガ	1382
39.4.5.9	CAC	1383
39.4.5.10	CLKOUT	1383
39.5	パワーオンリセット回路、電圧検出回路特性	1384
39.6	発振停止検出タイミング	1388
39.7	ROM (コードフラッシュメモリ) 特性	1389
39.8	E2 データフラッシュ (データフラッシュメモリ) 特性	1391
39.9	24 ビット Δ - Σ A/D コンバータ特性	1392
39.10	アナログフロントエンド特性	1403
39.11	12 ビット A/D コンバータ特性	1408
39.12	使用上の注意事項	1414
39.12.1	VCL コンデンサ、バイパスコンデンサ接続方法	1414
付録 1.	各処理状態におけるポートの状態	1416
付録 2.	外形寸法図	1417
改訂記録		1419

32MHz、32ビットRX MCU、最大256Kバイトフラッシュメモリ、
低ノイズ、低ドリフトの24ビット Δ - Σ A/Dコンバータ 2ユニット、
レールtoレールプログラマブルゲイン計装アンプ付き、
低ドリフト基準電圧源、励起電流源搭載

特長

■ 32 ビット RXv2 CPU コア内蔵

- 最大動作周波数 32MHz
64DMIPS の性能 (32MHz 動作時)
- DSP 強化: 32 ビット積和、16 ビット積差命令に対応
- FPU 搭載: 32 ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速 2 クロックで実行)
- 高速割り込み
- 5 段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■消費電力低減機能

- 1.8V ~ 5.5V 動作の単一電源
- 3 種類の低消費電力モード
- ソフトウェアスタンバイ中でも動作する LPT (ローパワータイマ)

■内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルススピード読み出し時、ウェイトなし
- 128K、256K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 1.8V で書き換え可能
- 命令、オペランド用

■内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレース回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■内蔵 SRAM (ウェイトなし)

- 16K、32K バイトの容量

■データ転送機能

- DMAC: 4 チャンネル内蔵
- DTC: 4 種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

- パワーオンリセット (POR) など 7 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- メインクロック発振子周波数: 1MHz ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- PLL 回路入力: 4MHz ~ 8MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDTC 専用オンチップオシレータ内蔵
- クロック周波数精度測定回路 (CAC) 内蔵

■独立ウォッチドッグタイマ内蔵

- 15kHz IWDTC 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

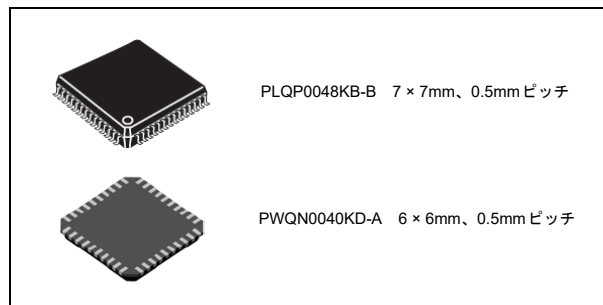
- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

■最大 8 本の通信機能を内蔵

- ISO11898-1 準拠の CAN (1 チャンネル) 最大 1Mbps 転送
- 多彩な機能に対応した SCI (最大 4 チャンネル) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / ビットレートモジュレーション機能による通信誤差低減
- I²C バスインタフェース: 最大 400kbps 転送、SMBus に対応 (1 チャンネル)
- RSPI (1 チャンネル): 最大 16Mbps 転送



■最大 12 本の拡張タイマ機能

- 16 ビット MTU: インプットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6 チャンネル)
- 8 ビット TMR (4 チャンネル)
- 16 ビット CMT (2 チャンネル)

■アナログ機能

- 24 ビット Δ - Σ A/D コンバータを 2 ユニット搭載
- 最大 23 ビット有効分解能の A/D コンバータ (ゲイン=1、出力データレート = 7.6 SPS)
- 高精度プログラマブルゲイン計装アンプ搭載
30nV_{RMS} (ゲイン=128、出力データレート = 7.6 SPS)
- レール to レールプログラマブルゲイン計装アンプ (ゲイン=1 ~ 128)
- 2 種類の動作モード、プログラマブルデータレート
ノーマルモード: 出力データレート 7.6 SPS ~ 15625 SPS
ローパワーモード: 出力データレート 1.9 SPS ~ 3906 SPS
- オフセットドリフト 10nV/°C (ゲイン=128)
- ゲインドリフト 1ppm/°C (ゲイン=1 (PGA)、ゲイン=2 ~ 128)
- 最大 6 差動入力、11 シングルエンド入力
- 4 次 Sinc フィルタ
- 50Hz/60Hz 同時除去 (出力データレート = 10 SPS, 54 SPS)
- オフセットエラー、ゲインエラー補正
- ユニット間 A/D 変換同期スタート機能
- Δ - Σ A/D 入力断線検知アシスト
- Δ - Σ A/D 基準電圧外部入力
- 基準電圧源: 出力電圧 2.5V、温度ドリフト 10ppm/°C、出力電流 $\pm$ 10mA
- 励起電流源: 出力最大 4 チャンネル、出力電流 50 μ A ~ 1000 μ A、電流マッチング $\pm$ 0.2%、ドリフトマッチング 5ppm/°C
- バイアス電圧生成回路: 出力電圧 (AVCC0 + AVSS0)/2
- 温度センサ: 精度 $\pm$ 5°C
- ローサイドスイッチ: オン抵抗 10 Ω
- 低電源電圧検出回路
- Δ - Σ A/D 入力電圧異常検出回路
- Δ - Σ A/D 基準電圧異常検出回路、断線検出回路
- 励起電流源断線検出回路

■ 12 ビット A/D コンバータ内蔵

- 最小 1.4 μ s 変換が可能
- 6 チャンネル
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵

■汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■動作周囲温度

- 40°C ~ +85°C
- 40°C ~ +105°C

■用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/4)

分類	モジュール/機能	説明
CPU	中央演算処理装置	- 最大動作周波数：32MHz 32ビットRX CPU (RX v2) - 最小命令実行時間：1命令1クロック - アドレス空間：4Gバイト・リニアアドレス - レジスタ - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×10本 - アキュムレータ：72ビット×2本 - 基本命令：75種類 可変長命令形式 - 浮動小数点演算命令：11種類 - DSP機能命令：23種類 - アドレッシングモード：10種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット - 除算器：32ビット÷32ビット→32ビット - パレルシフタ：32ビット - メモリプロテクションユニット(MPU)
	FPU	- 単精度浮動小数点(32ビット) - IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	- 容量：128K/256Kバイト 32MHz、ノーウェイトアクセス - 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信)、セルフプログラミング
	RAM	- 容量：16K/32Kバイト 32MHz、ノーウェイトアクセス
	E2データフラッシュ	- 容量：8Kバイト - プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	- メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDI専用オンチップオシレータ - 発振停止検出：あり - クロック周波数精度測定回路(CAC)：あり - システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能 - CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz - MTU2aはPCLKA同期：Max 32MHz - S12ADのADCLKはPCLKD同期：Max 32MHz - MTU2aおよびS12AD以外の周辺モジュールはPCLKB同期：Max 32MHz - フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	- VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 - 電圧検出0は検出電圧を4レベルから選択可能 - 電圧検出1は検出電圧を14レベルから選択可能 - 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/4)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	- モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード - ソフトウェアスタンバイ中も動作可能なローパワータイマーを搭載
	動作電力低減機能	動作電力制御モード 高速動作モード、中速動作モード
割り込み	割り込み コントローラ (ICUb)	- 割り込みベクタ数：256 - 外部割り込み：要因数 9 (NMI、IRQ0～IRQ7 端子) - ノンマスクابل割り込み：要因数 5 (NMI 端子、発振停止検出割り込み、電圧監視1 割り込み、電圧監視2 割り込み、IWDTC 割り込み) 16 レベルの割り込み優先順位を設定可能
DMA	DMA コントローラ (DMACA)	4 チャンネル - 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード - 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	- 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード - 起動要因：割り込み要因により起動 - チェーン転送機能あり
I/O ポート	汎用入出力ポート	48 ピン/40 ピン - 入出力：20/16 - 入力：1/1 - プルアップ抵抗：20/16 - オープンドレイン出力：20/16 5V トレラント：2/2
イベントリンクコントローラ (ELC)		56 種類のイベント信号を直接モジュールへリンク可能 - タイマ系のモジュールはイベント入力時の動作の選択が可能 - ポート B のイベントリンク動作が可能
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット 2 (MTU2a)	(16 ビット×6 チャンネル)×1 ユニット 16 ビットタイマ 6 チャンネルをベースに最大 16 本のパルス入出力、および 3 本のパルス入力が可能 - チャンネルごとにカウントクロック (PCLK/1, PCLK/4, PCLK/16, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD) を 8 種類または 7 種類選択可能 (チャンネル 5 は 4 種類) - インプットキャプチャ機能 21 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ - パルス出力モード PWM/相補 PWM/リセット同期 PWM - 位相計数モード - A/D コンバータの変換開始トリガを生成可能
	ポートアウト プットイネーブル 2 (POE2a)	MTU 波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	(16 ビット×2 チャンネル)×1 ユニット 4 種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能
	独立ウォッチドッグ タイマ (IWDTCa)	14 ビット×1 チャンネル - カウントクロック：IWDTC 専用低速オンチップオシレータ 1 分周、16 分周、32 分周、64 分周、128 分周、256 分周
	ローパワータイマ (LPT)	16 ビット×1 チャンネル - クロックソース：IWDTC 専用低速オンチップオシレータ 2 分周、4 分周、8 分周、16 分周、32 分周
	8 ビットタイマ (TMR)	(8 ビット×2 チャンネル)×2 ユニット 7 種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192) と外部クロックを選択可能 - 任意のデューティのパルス出力や PWM 出力が可能 2 チャンネルをカスケード接続し 16 ビットタイマとして使用可能

表 1.1 仕様概要 (3/4)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIg, SCIlh)	4チャンネル(チャンネル1、5、6 : SCIg、チャンネル12 : SCIlh) - SCIg - シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース - マルチプロセッサ機能 - 内蔵ボーレートジェネレータで任意のビットレートを選択可能 - LSBファースト/MSBファーストを選択可能 - TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) - スタートビット検出 : レベルおよびエッジを選択可能 - 簡易I²Cサポート - 簡易SPIサポート 9ビット転送モードをサポート - ビットレートモジュレーション機能をサポート - ELCによるイベントリンク機能をサポート(チャンネル5のみ) - SCIlh(SCIgに以下の機能を付加) - スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート - LINフォーマットをサポート
	I ² Cバスインタフェース(RIICa)	1チャンネル - 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット - マスタ/スレーブを選択可能 - ファストモード対応
	シリアルペリフェラルインタフェース(RSPIb)	1チャンネル - 転送機能 - MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 - マスタ/スレーブモードを選択可能 - データフォーマット - LSBファースト/MSBファーストを選択可能 - 転送ビット長(8~16、20、24、32ビット)を選択可能 - 送信/受信バッファは128ビット - 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) - 送信/受信バッファ構成はダブルバッファ
	CANモジュール(RSCAN)	1チャンネル - ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 16メッセージボックス
24ビットΔ-Σ A/Dコンバータ(DSAD)		24ビット(6チャンネル×2ユニット) - A/D変換方式 : Δ-Σ型 - ポストフィルタ : 4次Sincフィルタ - 分解能 : 24ビット - 入力方式 : 差動入力/疑似差動入力/シングルエンド入力 - 動作モード - ノーマルモード/ローパワーモード - モジュレータクロック : typ. 500kHz (ローパワーモード時は125kHz) - オーバーサンプリング比 : 32~65536 (16の倍数のみ) - プログラマブルゲイン計装アンプ(PGA)付属 - ゲイン設定 : ×1, ×2, ×4, ×8, ×16, ×32, ×64, ×128 - PGAバイパス機能 : アナログ入力バッファあり/なし - チャンネルごとのコンフィグ設定 - A/D変換開始条件 - ソフトウェアトリガ、ELC - 断線検出アシスト機能 - 基準電圧選択機能

表 1.1 仕様概要 (4/4)

分類	モジュール/機能	説明
アナログフロントエンド(AFE)		- 基準電圧源(VREF) 出力電圧 : 2.5V - バイアス電圧生成回路(VBIAS) 出力電圧 : (AVCC0 + AVSS0)/2 - 内部温度センサ(TEMP) - 励起電流源(IEXC) 2チャンネル(max1000μA)/4チャンネル(max500μA) 出力電流設定 : 50μA, 100μA, 250μA, 500μA, 750μA, 1000μA - アナログマルチプレクサ(AMUX) 外部端子/バイアス電圧生成回路/内部温度センサ/励起電流源より選択 - ローサイドスイッチ(LSW) オン抵抗 : max10Ω 許容電流 : max30mA - 電圧検出回路(VDET) AVCC0の電圧低下を検出 DSAD入力の電圧異常を検出 DSAD基準電圧の電圧異常を検出、および断線検出アシスト 励起電流源の断線検出アシスト
12ビットA/Dコンバータ(S12ADE)		12ビット(6チャンネル×1ユニット) - 分解能 : 12ビット - 最小変換時間 : 1チャンネル当たり 1.4μs (ADCLK = 32MHz動作時) - 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作(グループスキャンモードのみ) - サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 - 自己診断機能 - ダブルトリガモード(A/D変換データ二重化機能) - アナログ入力断線検出機能 - A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU)のトリガ、外部トリガ、ELC - ELCによるイベントリンク機能をサポート
CRC演算器(CRC)		8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ - LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路(DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 1.8 ~ 2.4V : 8MHz, VCC = 2.4 ~ 2.7V : 16MHz, VCC = 2.7 ~ 5.5V : 32MHz AVCC0 = 2.7 ~ 5.5V (S12ADのみ動作の場合は1.8 ~ 5.5V)
動作周囲温度		Dバージョン : -40 ~ +85°C、Gバージョン : -40 ~ +105°C
パッケージ		48ピンLQFP(PLQP0048KB-B) 7 × 7mm、0.5mmピッチ 40ピンHWQFN(PWQN0040KD-A) 6 × 6mm、0.5mmピッチ
デバッグインタフェース		1線式FINEインタフェース

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX23E-A グループ	
		48ピン	40ピン
割り込み	外部割り込み	NMI, IRQ0 ~ IRQ7	
DMA	DMAコントローラ	4 チャンネル (DMAC0 ~ DMAC3)	
	データトランスファコントローラ	あり	
タイマ	マルチファンクション タイマパルスユニット2	6 チャンネル (MTU0 ~ MTU5)	
	ポートアウトプットイネーブル2	POE0# ~ POE3#, POE8#	
	8ビットタイマ	2 チャンネル × 2 ユニット	
	コンペマツチタイマ	2 チャンネル × 1 ユニット	
	ローパワータイマ	1 チャンネル	
	独立ウォッチドッグタイマ	あり	
通信機能	シリアルコミュニケーション インタフェース (SCIg)	3 チャンネル (SCI1, 5, 6)	2 チャンネル (SCI1, 5)
	シリアルコミュニケーション インタフェース (SCIh)	1 チャンネル (SCI12)	
	I ² Cバスインタフェース	1 チャンネル	
	CANモジュール	1 チャンネル	
	シリアルペリフェラルインタフェース	1 チャンネル	
24ビットΔ-Σ A/Dコンバータ		2 ユニット、差動入力 6 チャンネル	2 ユニット、差動入力 4 チャンネル
アナログフロント エンド	基準電圧源	あり	
	励起電流源	あり	
	アナログマルチプレクサ	あり	
	温度センサ	あり	
	電圧検知回路	あり	
12ビットA/Dコンバータ (内高精度チャンネル)		6 チャンネル (6 チャンネル)	4 チャンネル (4 チャンネル)
CRC演算器		あり	
イベントリンクコントローラ		あり	
パッケージ		48ピン LQFP	40ピン HWQFN

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作周波数 (max)	DSAD	動作周囲温度
RX23E-A	R5F523E6ADFL	R5F523E6ADFL#30	PLQP0048KB-B	256Kバイト	32Kバイト	8Kバイト	32MHz	2ユニット	-40～+85℃
	R5F523E6ADNF	R5F523E6ADNF#20	PWQN0040KD-A						
	R5F523E5ADFL	R5F523E5ADFL#30	PLQP0048KB-B	128Kバイト	16Kバイト				
	R5F523E5ADNF	R5F523E5ADNF#20	PWQN0040KD-A						
	R5F523E6AGFL	R5F523E6AGFL#30	PLQP0048KB-B	256Kバイト	32Kバイト				
	R5F523E6AGNF	R5F523E6AGNF#20	PWQN0040KD-A						
	R5F523E5AGFL	R5F523E5AGFL#30	PLQP0048KB-B	128Kバイト	16Kバイト			1ユニット	-40～+105℃
	R5F523E5AGNF	R5F523E5AGNF#20	PWQN0040KD-A						
	R5F523E6SDFL	R5F523E6SDFL#30	PLQP0048KB-B	256Kバイト	32Kバイト				
	R5F523E6SDNF	R5F523E6SDNF#20	PWQN0040KD-A						
	R5F523E5SDFL	R5F523E5SDFL#30	PLQP0048KB-B	128Kバイト	16Kバイト				
	R5F523E5SDNF	R5F523E5SDNF#20	PWQN0040KD-A						
	R5F523E6SGFL	R5F523E6SGFL#30	PLQP0048KB-B	256Kバイト	32Kバイト				
	R5F523E6SGNF	R5F523E6SGNF#20	PWQN0040KD-A						
	R5F523E5SGFL	R5F523E5SGFL#30	PLQP0048KB-B	128Kバイト	16Kバイト				
	R5F523E5SGNF	R5F523E5SGNF#20	PWQN0040KD-A						

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

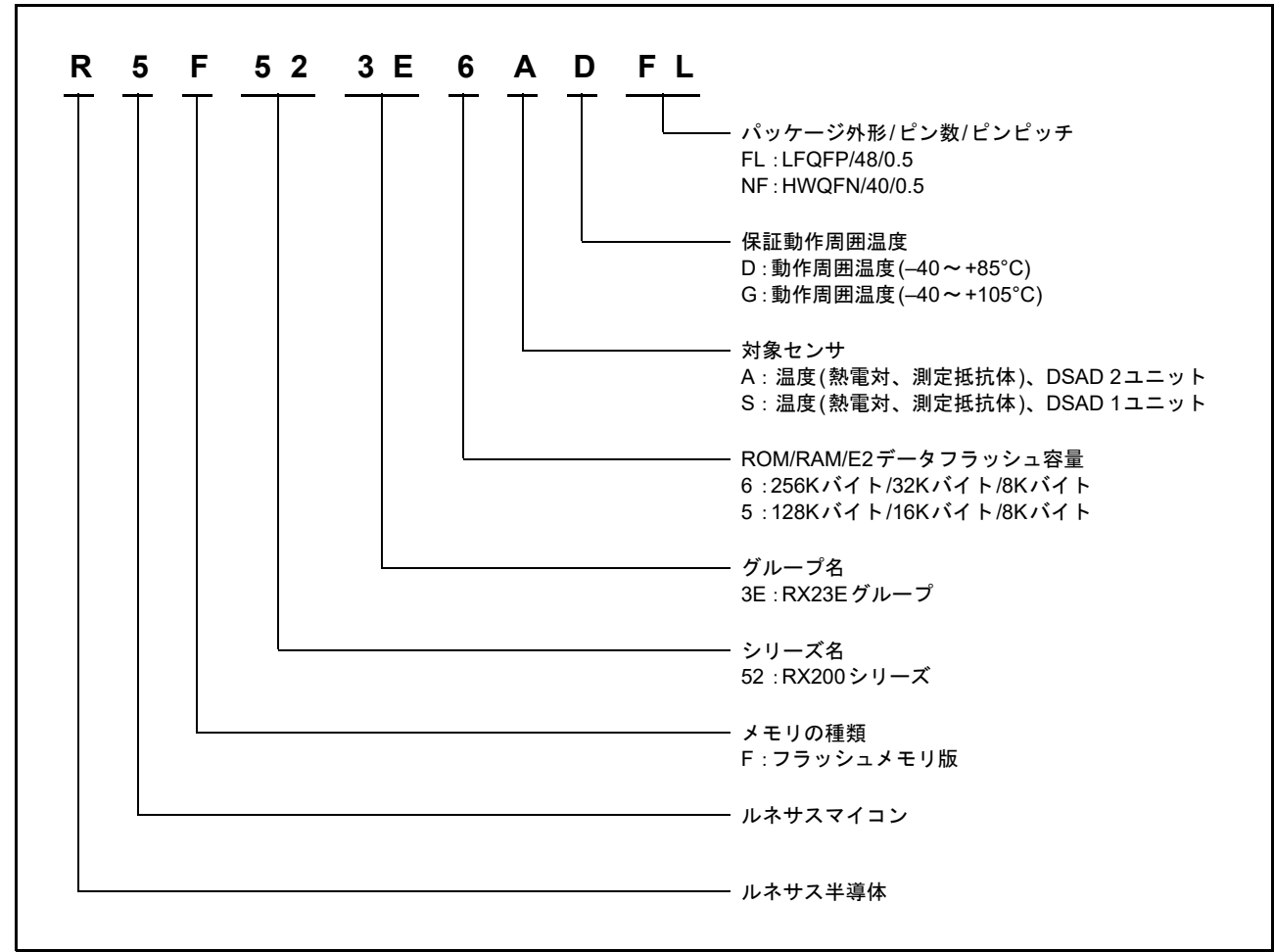


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を、図 1.3 にアナログブロック図を示します。

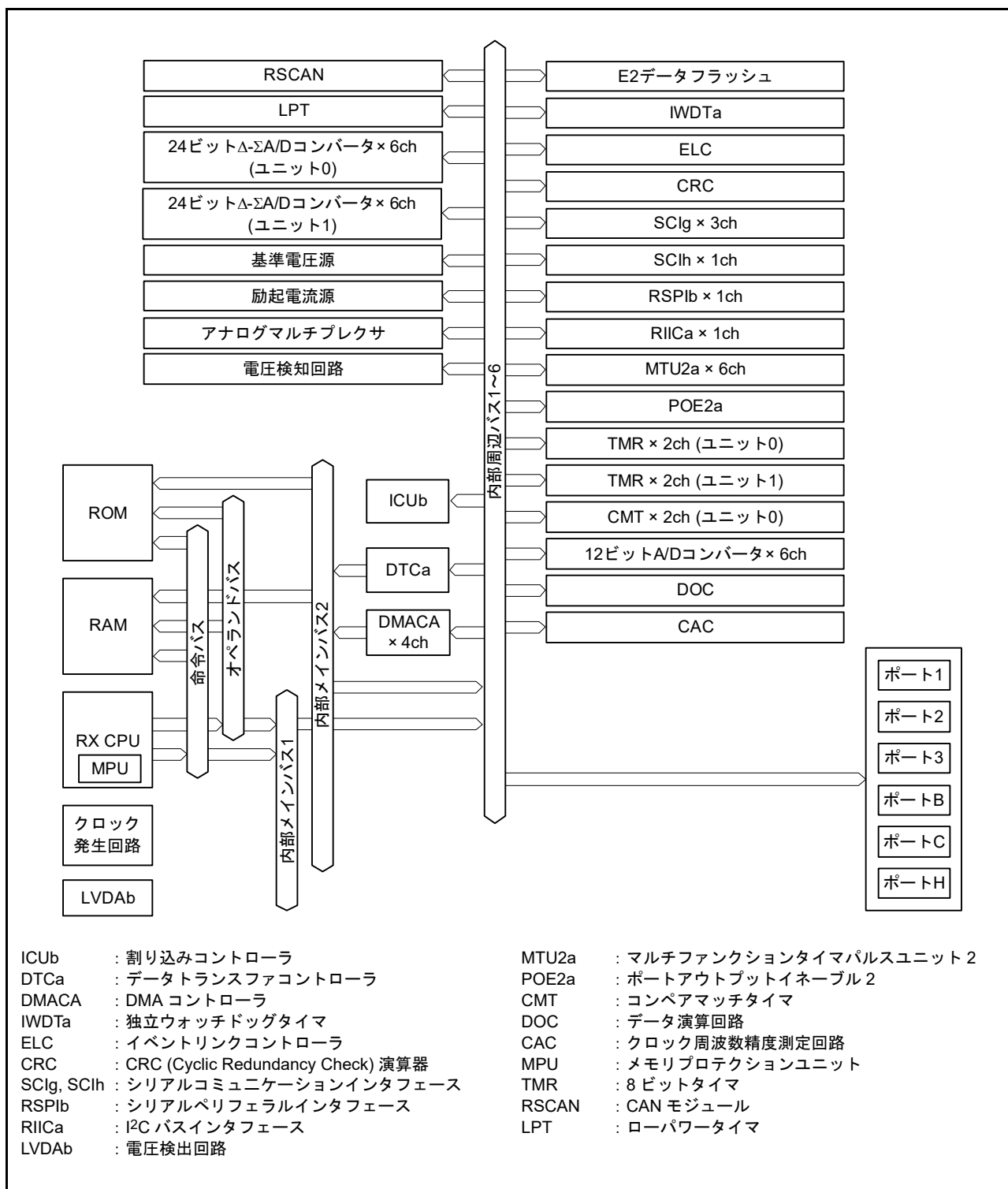


図 1.2 ブロック図

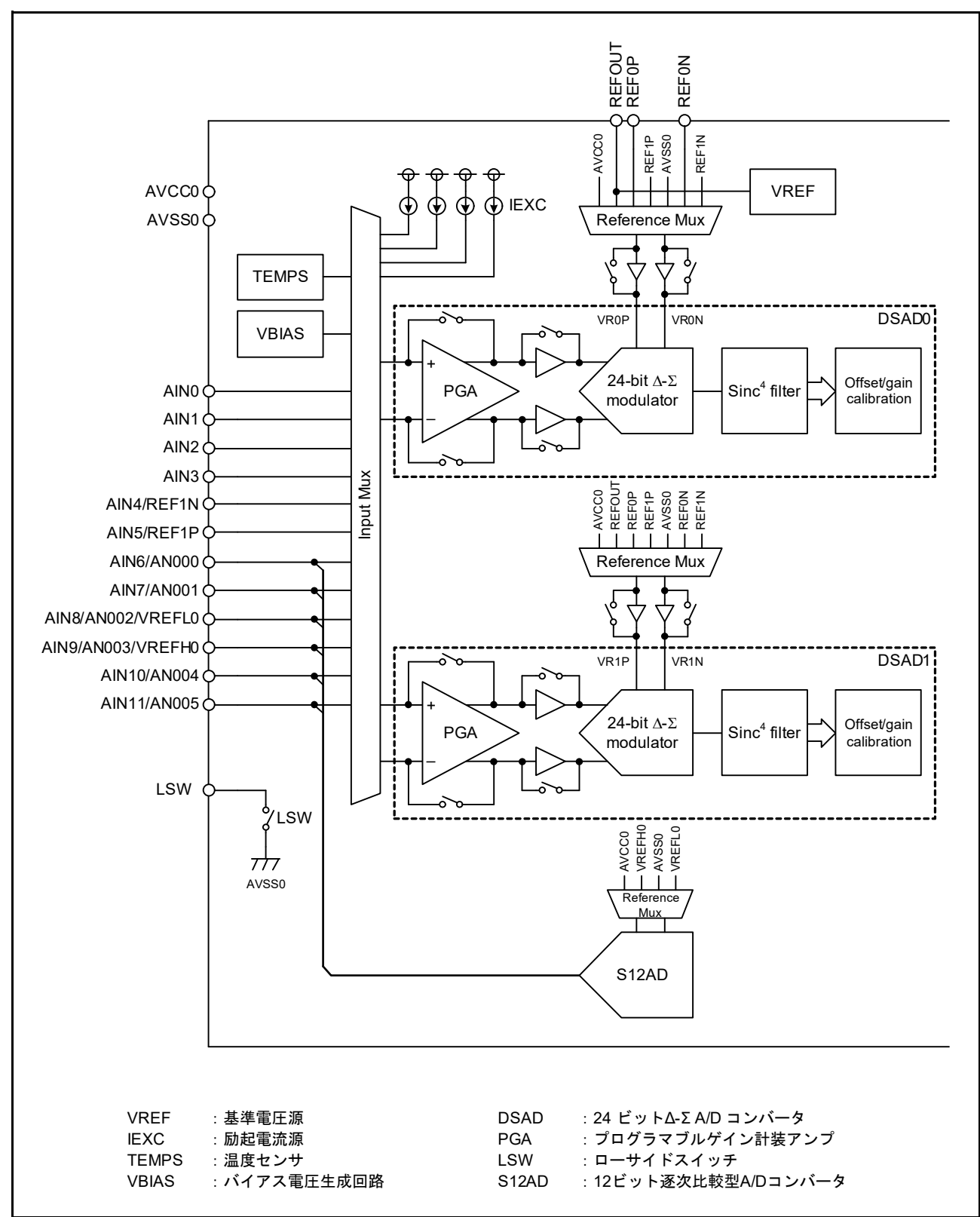


図 1.3 アナログブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット2	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
ポートアウトプット インーブル2	POE0#～POE3#, POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCIO～TMCIO3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース(SCIg)	・ 調歩同期モード/クロック同期モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御用出力端子
	・ 簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I ² Cクロック入出力端子
	SSDA1, SSDA5, SSDA6	入出力	I ² Cデータ入出力端子

表 1.4 端子機能一覧 (2/3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 簡易SPIモード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#	入力	スレーブセレクト入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	SCIh受信データ入力端子
	TXDX12	出力	SCIh送信データ出力端子
	SIOX12	入出力	SCIh送受信データ入出力端子
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1 ~ SSLA3	出力	RSPIのスレーブセレクト出力端子
CANモジュール	CRXD0	入力	入力端子
	CTXD0	出力	出力端子
12ビットA/Dコンバータ	AN000 ~ AN005	入力	12ビットA/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
アナログフロントエンド	REF0P, REF1P	入力	24ビットΔ-Σ A/Dコンバータの基準電圧 + 入力端子
	REF0N, REF1N	入力	24ビットΔ-Σ A/Dコンバータの基準電圧 - 入力端子
	REFOUT	出力	内部基準電圧出力端子 内部基準電圧安定用のコンデンサ(0.47μF)を介してAVSS0に接続し てください。コンデンサは端子近くに配置してください
	IEXC0 ~ IEXC3	出力	励起電流源出力端子
	AIN0 ~ AIN11	入出力	アナログ入出力端子
	LSW	出力	ローサイドスイッチ出力端子

表 1.4 端子機能一覧 (3/3)

分類	端子名	入出力	機能
アナログ電源	AVCC0	入力	アナログ電源端子。使用しない場合は、VCCに接続してください
	AVSS0	入力	アナロググランド端子。使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P14～P17	入出力	4ビットの入出力端子
	P26, P27	入出力	2ビットの入出力端子
	P30, P31, P35～P37	入出力	5ビットの入出力端子(P35は入力端子)
	PB0, PB1	入出力	2ビットの入出力端子
	PC4～PC7	入出力	4ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子

1.5 ピン配置図

1.5.1 48 ピン LFQFP

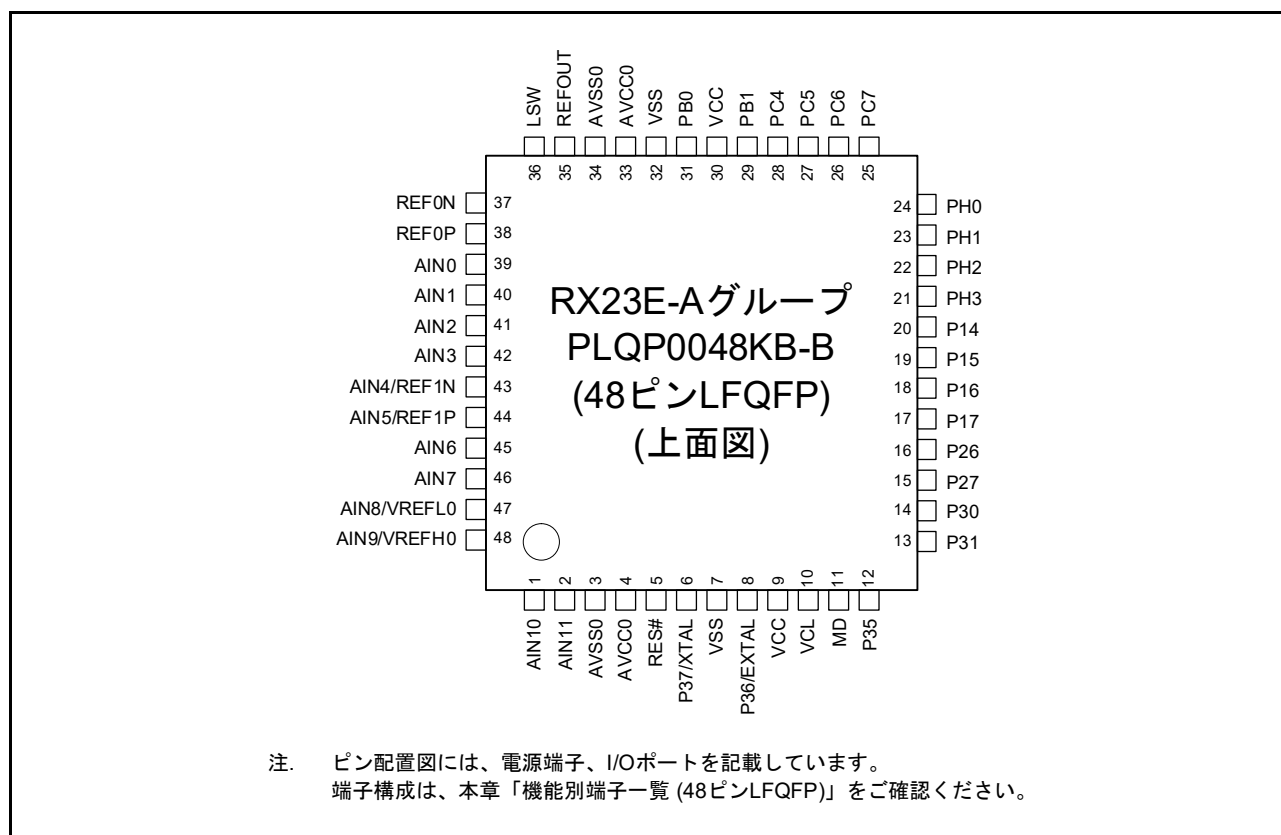


図 1.4 48 ピン LFQFP ピン配置図

1.5.2 40 ピン HWQFN

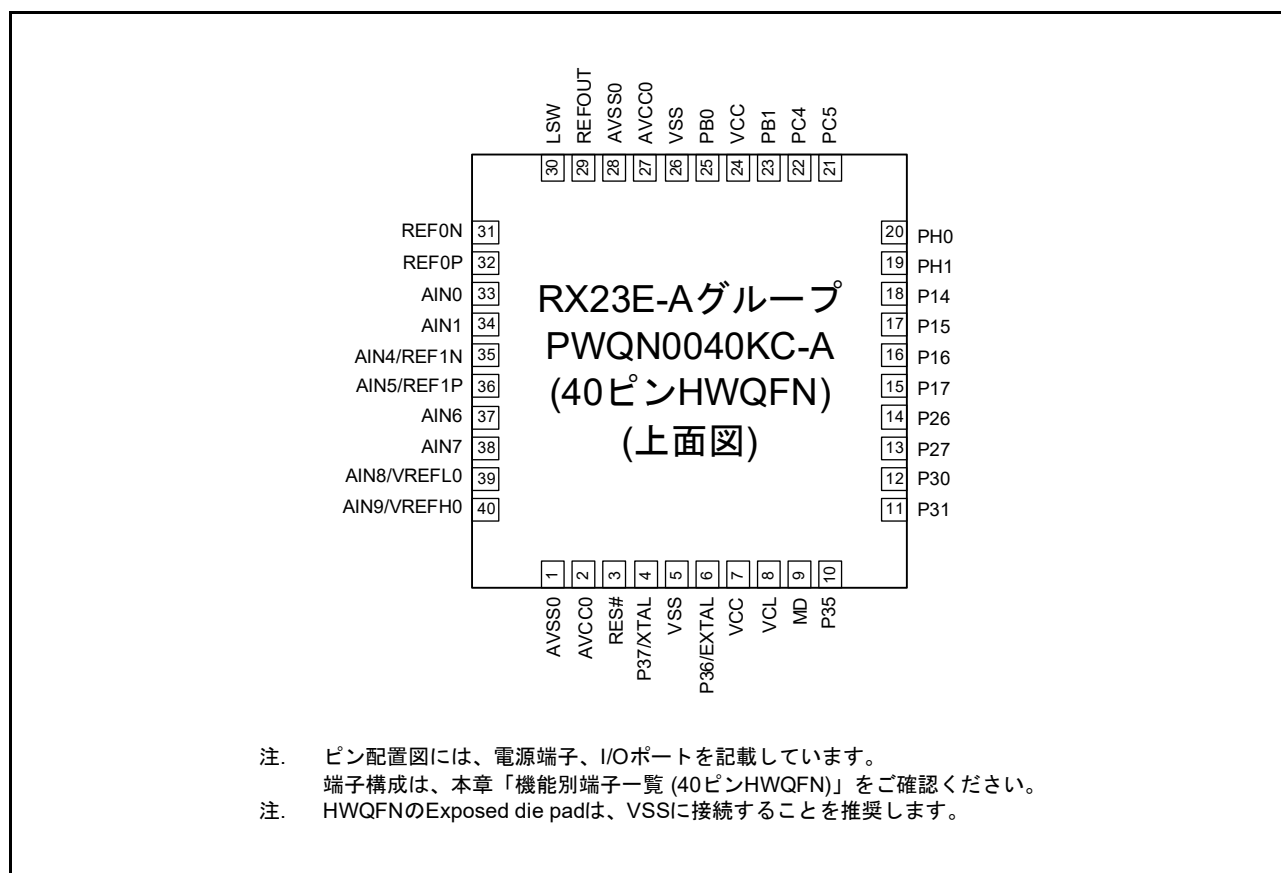


図 1.5 40 ピン HWQFN ピン配置図

1.6 機能端子一覧

1.6.1 48 ピン LFQFP

表 1.5 機能別端子一覧(48ピンLFQFP) (1/2)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, VREF, IEXC, DSAD, AMUX)	その他
1					AIN10/AN004/ IEXC0 ~ IEXC3	
2					AIN11/AN005/ IEXC0 ~ IEXC3	
3	AVSS0					
4	AVCC0					
5	RES#					
6	XTAL	P37				
7	VSS					
8	EXTAL	P36				
9	VCC					
10	VCL					
11	MD					FINED
12		P35				NMI
13		P31	MTIOC1A/MTIOC4D/TMO3	CTS1#/RTS1#/SS1#		IRQ1
14		P30	MTIOC0A/MTIOC4B/TMC13/ POE8#	RXD1/SMISO1/SSCL1		IRQ0
15		P27	MTIOC2B/MTIOC4A/TMRI3	SCK1		IRQ3
16		P26	MTIOC2A/MTIOC4C/TMO0	TXD1/SMOSI1/SSDA1		IRQ2
17		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA		IRQ7
18		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL		IRQ6/ ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMC12	RXD1/SMISO1/SSCL1/SSLA1/ CRXD0		IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/SSLA3/ CTXD0		IRQ4
21		PH3	MTIC5W/MTCLKB/TMC10/ POE2#	CTS6#/RTS6#/SS6#/RSPCKA		
22		PH2	MTIC5V/MTCLKA/TMRI0	SCK5/MOSIA		IRQ1
23		PH1	MTIC5U/MTCLKD/TMO0/ POE2#	TXD5/SMOSI5/SSDA5/SSLA0		IRQ0/CLKOUT
24		PH0	MTIOC0D/MTCLKC/TMRI0/ CACREF	RXD5/SMISO5/SSCL5/SSLA2		
25		PC7	MTIOC3A/MTCLKB/TMO2/ CACREF	TXD6/SMOSI6/SSDA6/MISOA		
26		PC6	MTIOC3C/MTCLKA/TMC12	RXD6/SMISO6/SSCL6/MOSIA		
27		PC5	MTIOC3B/MTCLKD/TMRI2	SCK5/SCK6/SCK12/RSPCKA		
28		PC4	MTIOC3D/MTCLKC/TMC11/ POE0#	CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA0		
29		PB1	MTIOC1B/MTIOC2A/TMRI1/ POE1#	TXD12/TXD12/SIOX12/ SMOSI12/SSDA12		
30	VCC					
31		PB0	MTIOC0C/TMC10/POE3#	RXD12/RXD12/SMISO12/ SSCL12		IRQ4
32	VSS					
33	AVCC0					
34	AVSS0					
35					REFOUT	
36					LSW	

表 1.5 機能別端子一覧(48ピンLFQFP) (2/2)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, IIC, CAN)	アナログ (S12AD, VREF, IEXC, DSAD, AMUX)	その他
37					REF0N	
38					REF0P	
39					AIN0/IEXC0 ~ IEXC3	
40					AIN1/IEXC0 ~ IEXC3	
41					AIN2/IEXC0 ~ IEXC3	
42					AIN3/IEXC0 ~ IEXC3	
43					AIN4/IEXC0 ~ IEXC3/REF1N	
44					AIN5/IEXC0 ~ IEXC3/REF1P	
45					AIN6/AN000/IEXC0 ~ IEXC3	
46					AIN7/AN001/IEXC0 ~ IEXC3	
47	VREFL0				AIN8/AN002/IEXC0 ~ IEXC3	
48	VREFH0				AIN9/AN003/IEXC0 ~ IEXC3	

1.6.2 40 ピン HWQFN

表 1.6 機能別端子一覧 (40 ピン HWQFN)

ピン 番号	電源、 クロック、 システム制御	I/O ポート	タイマ (MTU, TMR, CMT, POE, CAC)	通信 (SCIg, SC1h, RSPI, RIIC, CAN)	アナログ (S12AD, VREF, IEXC, DSAD, AMUX)	その他
1	AVSS0					
2	AVCC0					
3	RES#					
4	XTAL	P37				
5	VSS					
6	EXTAL	P36				
7	VCC					
8	VCL					
9	MD					FINED
10		P35				NMI
11		P31	MTIOC1A/MTIOC4D/TMO3	CTS1#/RTS1#/SS1#		IRQ1
12		P30	MTIOC0A/MTIOC4B/TMC13/ POE8#	RXD1/SMISO1/SSCL1		IRQ0
13		P27	MTIOC2B/MTIOC4A/TMRI3	SCK1		IRQ3
14		P26	MTIOC2A/MTIOC4C/TMO0	TXD1/SMOSI1/SSDA1		IRQ2
15		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA		IRQ7
16		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL		IRQ6/ ADTRG0#
17		P15	MTIOC0B/MTCLKB/TMC12	RXD1/SMISO1/SSCL1/SSLA1/ CRXD0		IRQ5
18		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/SSLA3/ CTXD0		IRQ4
19		PH1	MTCLKD/TMO0/POE2#	TXD5/SMOSI5/SSDA5/SSLA0		IRQ0/CLKOUT
20		PH0	MTIOC0D/MTCLKC/TMRI0/ CACREF	RXD5/SMISO5/SSCL5/SSLA2		
21		PC5	MTIOC3B/MTCLKD/TMRI2	SCK5/SCK12/RSPCKA		
22		PC4	MTIOC3D/MTCLKC/TMC11/ POE0#	CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA0		
23		PB1	MTIOC1B/MTIOC2A/TMRI1/ POE1#	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12		
24	VCC					
25		PB0	MTIOC0C/TMC10/POE3#	RXD12/RXDX12/SMISO12/ SSCL12		IRQ4
26	VSS					
27	AVCC0					
28	AVSS0					
29					REFOUT	
30					LSW	
31					REF0N	
32					REF0P	
33					AIN0/IEXC0 ~ IEXC3	
34					AIN1/IEXC0 ~ IEXC3	
35					AIN4/IEXC0 ~ IEXC3/REF1N	
36					AIN5/IEXC0 ~ IEXC3/REF1P	
37					AIN6/AN000/IEXC0 ~ IEXC3	
38					AIN7/AN001/IEXC0 ~ IEXC3	
39	VREFL0				AIN8/AN002/IEXC0 ~ IEXC3	
40	VREFH0				AIN9/AN003/IEXC0 ~ IEXC3	

2. CPU

RXv2 命令セットアーキテクチャ (RXv2) は、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用

RXv1 と同様に、可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。

- 強力な命令セット

RXv2 は厳選された 109 個の命令をサポートしています。DSP 機能命令や浮動小数点演算命令の拡充により、DSP に匹敵するデータ処理能力を発揮します。

- 豊富なアドレッシングモード

11 種類の豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリーメモリー間の転送ができます。

2.1 特長

- 最短命令実行時間 : 1 サイクルで実行
- アドレス空間 : 4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ : 32 ビット × 16 本
制御レジスタ : 32 ビット × 10 本
アキュムレータ : 72 ビット × 2 本
- 可変長命令形式 (1 バイト長 ~ 8 バイト長)
- 109 命令 / 11 種類アドレッシングモード
基本命令 : 75 種類
浮動小数点演算命令 : 11 種類
DSP 機能命令 : 23 種類
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

RXv2 CPU のレジスタには、汎用レジスタ (16 本) と、制御レジスタ (10 本)、および DSP 機能命令で使用するアキュムレータ (2 本) があります。



図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32 ビット幅で 16 本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

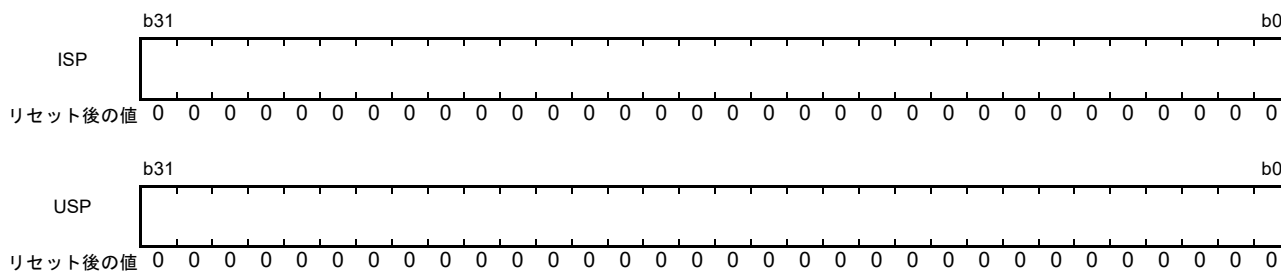
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の 10 本のレジスタがあります。

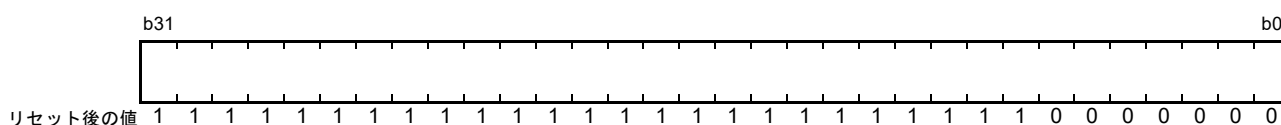
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP)/ ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

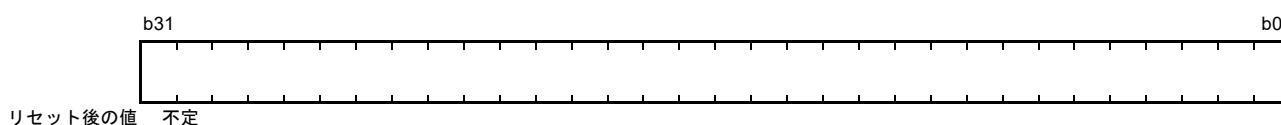
2.2.2.2 例外テーブルレジスタ (EXTB)



例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

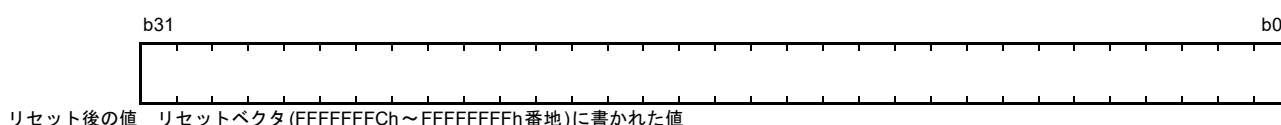
2.2.2.3 割り込みテーブルレジスタ (INTB)



割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

INTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0 : キャリの発生なし 1 : キャリの発生あり	R/W
b1	Z	ゼロフラグ	0 : 演算結果は0でなかった 1 : 演算結果は0であった	R/W
b2	S	サインフラグ	0 : 演算結果は正または0であった 1 : 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0 : 割り込みスタックポインタ (ISP) を指定 1 : ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0 : スーパーバイザモードに設定 1 : ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0 : 優先レベル0 (最低) 0 0 0 1 : 優先レベル1 0 0 1 0 : 優先レベル2 0 0 1 1 : 優先レベル3 0 1 0 0 : 優先レベル4 0 1 0 1 : 優先レベル5 0 1 1 0 : 優先レベル6 0 1 1 1 : 優先レベル7 1 0 0 0 : 優先レベル8 1 0 0 1 : 優先レベル9 1 0 1 0 : 優先レベル10 1 0 1 1 : 優先レベル11 1 1 0 0 : 優先レベル12 1 1 0 1 : 優先レベル13 1 1 1 0 : 優先レベル14 1 1 1 1 : 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユーザモードのときは、MVTC、POPC 命令による IPL[3:0]、PM、U、I ビットへの書き込みは無視されます。

また、MVTIPL 命令で IPL[3:0] ビットへの書き込みを行った場合は、特権命令例外が発生します。

注2. スーパーバイザモードのときは、MVTC、POPC 命令による PM ビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。

注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避された PSW.PM ビットを“1”にした後、RTE 命令を実行するか、BPSW.PM ビットを“1”にした後、RTFI 命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

キャリー、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が 0 のとき “1” になり、それ以外るとき “0” になります。

S フラグ (サインフラグ)

演算の結果が負のとき “1” になり、それ以外るとき “0” になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき “1” になり、それ以外るとき “0” になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは “0” になります。

U ビット (スタックポインタ指定ビット)

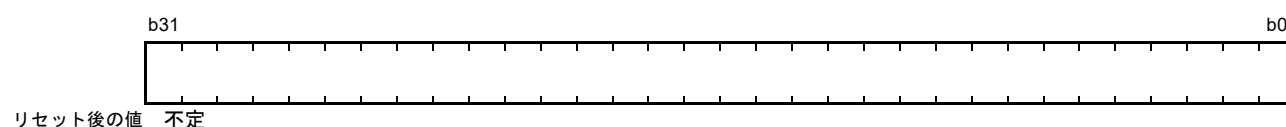
使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは “0” になります。スーパーバイザモードからユーザモードに移行すると、このビットは “1” になります。

PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは “0” になります。

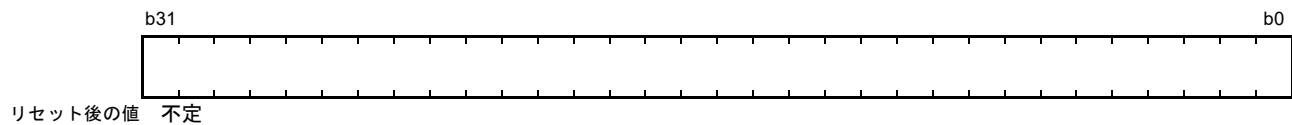
IPL[3:0] ビット (プロセッサ割り込み優先レベル)

IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)

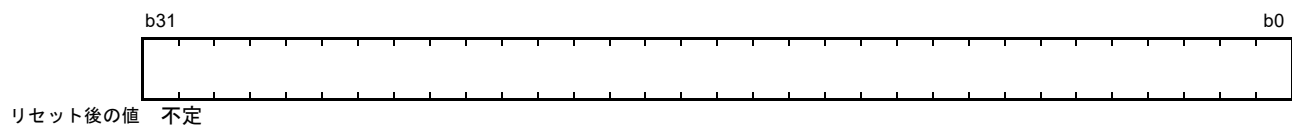
バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。
高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : + ∞ 方向への丸め 1 1 : - ∞ 方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
注3. EVビットが“0”のときに、FVフラグは有効となります。
注4. EOビットが“0”のときに、FOフラグは有効となります。
注5. EZビットが“0”のときに、FZフラグは有効となります。
注6. EUビットが“0”のときに、FUフラグは有効となります。
注7. EXビットが“0”のときに、FXフラグは有効となります。
注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット Ej で例外処理を許可 (Ej = 1) した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = 0) した場合は、一連の処理の最後に Ej フラグをチェックし、例外発生の有無を確認することができます。Ej フラグは蓄積フラグです。(j = X, U, Z, O, V)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- + ∞ 方向への丸め : 結果の値が大きくなる方向へ丸める
- - ∞ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「+ ∞ 方向への丸め」、「- ∞ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)、 CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)、 CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU 演算命令実行時に“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を“0”として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)、 EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)、 EX ビット (精度異常例外処理許可ビット)

浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)、FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)

例外処理許可ビット E_j が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- $E_j = 1$ (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します。(蓄積フラグ)

FS フラグ (浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

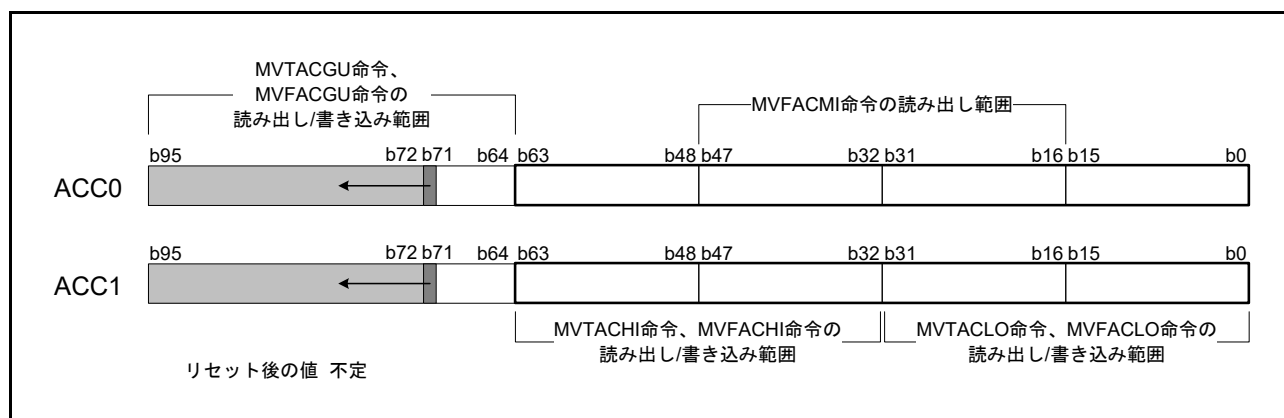
2.2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ~ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ~ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ~ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ~ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」とを使用します。

「MVFACGU 命令」でガードビット (b95 ~ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ~ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ~ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ~ b0) のデータをそれぞれ読み出します。



注. b95 ~ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

RXv2 CPU には、スーパーバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPU リソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RXv2 CPU は、整数、浮動小数点数、ビット、ストリングの 4 種類のデータを扱うことができます。
詳細は「RX ファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2 の補数で表現します。

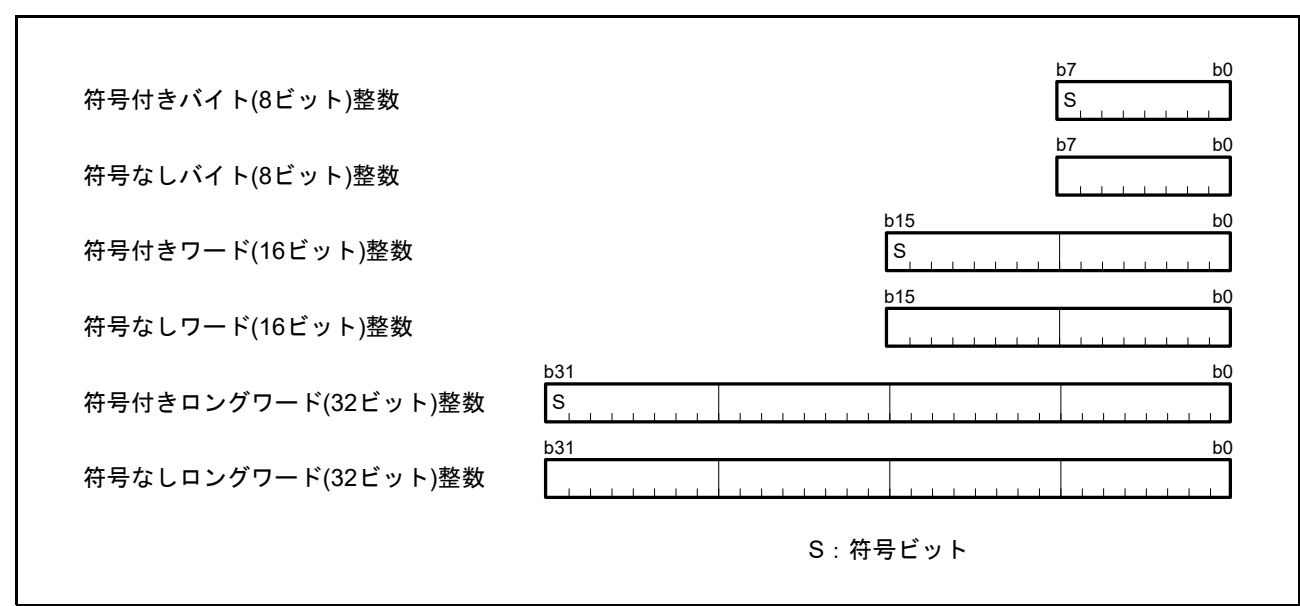


図 2.2 整数

2.4.2 浮動小数点数

浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。浮動小数点数は、浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

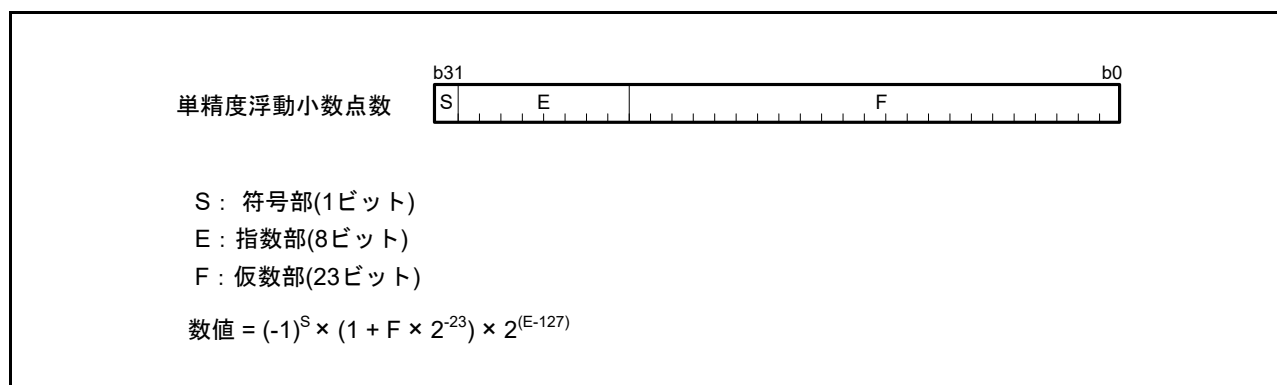


図 2.3 浮動小数点数

浮動小数点数は、以下の数値に対応しています。

$0 < E < 255$ (正規化数 - Normal Numbers)

$E = 0$ かつ $F = 0$ (ゼロ - Signed Zero)

$E = 0$ かつ $F > 0$ (非正規化数 - Subnormal Numbers) (注 1)

$E = 255$ かつ $F = 0$ (無限大 - Infinity)

$E = 255$ かつ $F > 0$ (非数 - NaN : Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0 として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ~ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ~ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

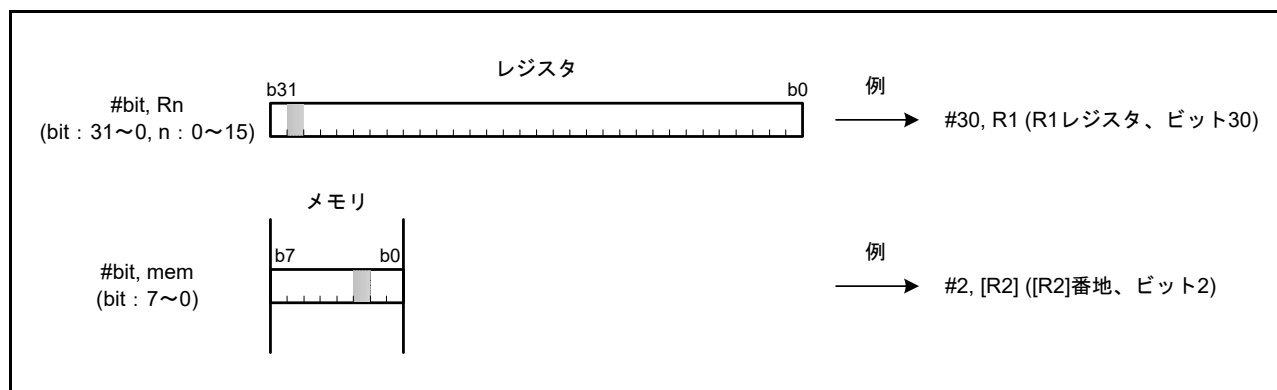


図 2.4 ビット

2.4.4 スtring

Stringとは、バイト (8 ビット)、ワード (16 ビット)、またはロングワード (32 ビット) のデータを任意の数だけ連続して並べたデータタイプです。Stringは、String操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、S WHILE の 7 種類の命令で使用できます

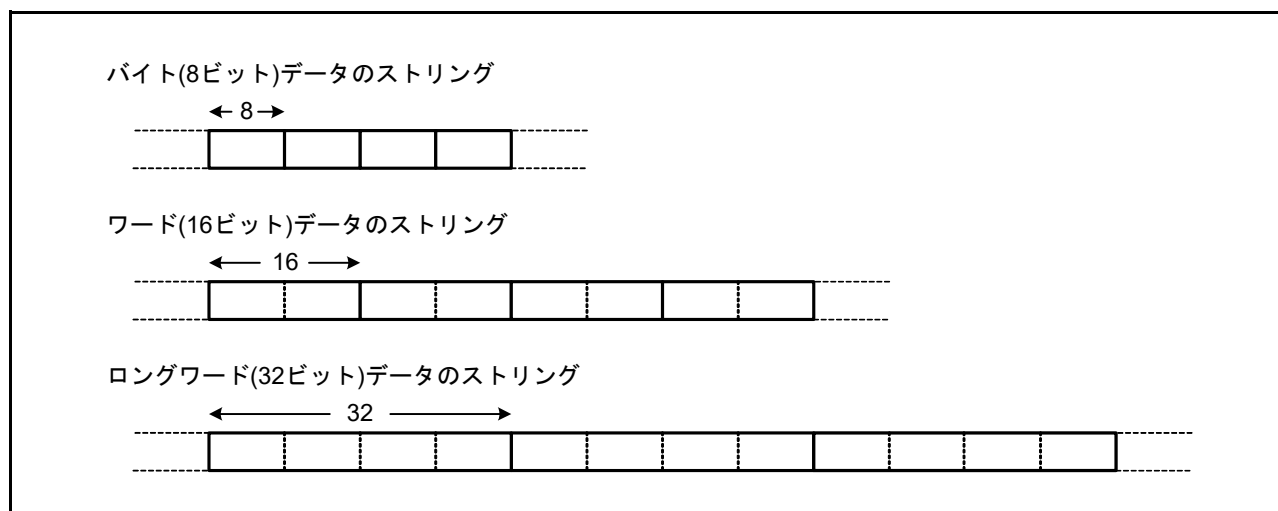


図 2.5 String

2.5 エンディアン

RXv2 CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「**3. 動作モード**」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ～ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ～ D0

LH は、汎用レジスタの D15 ～ D8

HL は、汎用レジスタの D23 ～ D16

HH は、汎用レジスタの D31 ～ D24 を示します。

	D31 ～ D24	D23 ～ D16	D15 ～ D8	D7 ～ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表 2.2 ビッグエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	HH に転送	—	—	—	—
1 番地	HL に転送	HH に転送	—	—	—
2 番地	LH に転送	HL に転送	HH に転送	—	—
3 番地	LL に転送	LH に転送	HL に転送	HH に転送	—
4 番地	—	LL に転送	LH に転送	HL に転送	HH に転送
5 番地	—	—	LL に転送	LH に転送	HL に転送
6 番地	—	—	—	LL に転送	LH に転送
7 番地	—	—	—	—	LL に転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LL を転送	—	—	—	—
1番地	LH を転送	LL を転送	—	—	—
2番地	HL を転送	LH を転送	LL を転送	—	—
3番地	HH を転送	HL を転送	LH を転送	LL を転送	—
4番地	—	HH を転送	HL を転送	LH を転送	LL を転送
5番地	—	—	HH を転送	HL を転送	LH を転送
6番地	—	—	—	HH を転送	HL を転送
7番地	—	—	—	—	HH を転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HH を転送	—	—	—	—
1番地	HL を転送	HH を転送	—	—	—
2番地	LH を転送	HL を転送	HH を転送	—	—
3番地	LL を転送	LH を転送	HL を転送	HH を転送	—
4番地	—	LL を転送	LH を転送	HL を転送	HH を転送
5番地	—	—	LL を転送	LH を転送	HL を転送
6番地	—	—	—	LL を転送	LH を転送
7番地	—	—	—	—	LL を転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表 2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src 番地	0 番地を 8ビットでリード	1 番地を 8ビットでリード	2 番地を 8ビットでリード	3 番地を 8ビットでリード
0 番地	LL に転送	—	—	—
1 番地	—	LL に転送	—	—
2 番地	—	—	LL に転送	—
3 番地	—	—	—	LL に転送

表 2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest 番地	0 番地に 8ビットでライト	1 番地に 8ビットでライト	2 番地に 8ビットでライト	3 番地に 8ビットでライト
0 番地	LL を転送	—	—	—
1 番地	—	LL を転送	—	—
2 番地	—	—	LL を転送	—
3 番地	—	—	—	LL を転送

表 2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest 番地	0 番地に 8ビットでライト	1 番地に 8ビットでライト	2 番地に 8ビットでライト	3 番地に 8ビットでライト
0 番地	LL を転送	—	—	—
1 番地	—	LL を転送	—	—
2 番地	—	—	LL を転送	—
3 番地	—	—	—	LL を転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがって I/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定の I/O レジスタは、サイズ指定子(.size)が .B であるか、サイズ拡張指定子(.memex)が .B または .UB である命令を使用してアクセスしてください。
- 16ビットバス幅指定の I/O レジスタは、サイズ指定子(.size)が .W であるか、サイズ拡張指定子(.memex)が .W または .UW である命令を使用してアクセスしてください。
- 32ビットバス幅指定の I/O レジスタは、サイズ指定子(.size)が .L であるか、サイズ拡張指定子(.memex)が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

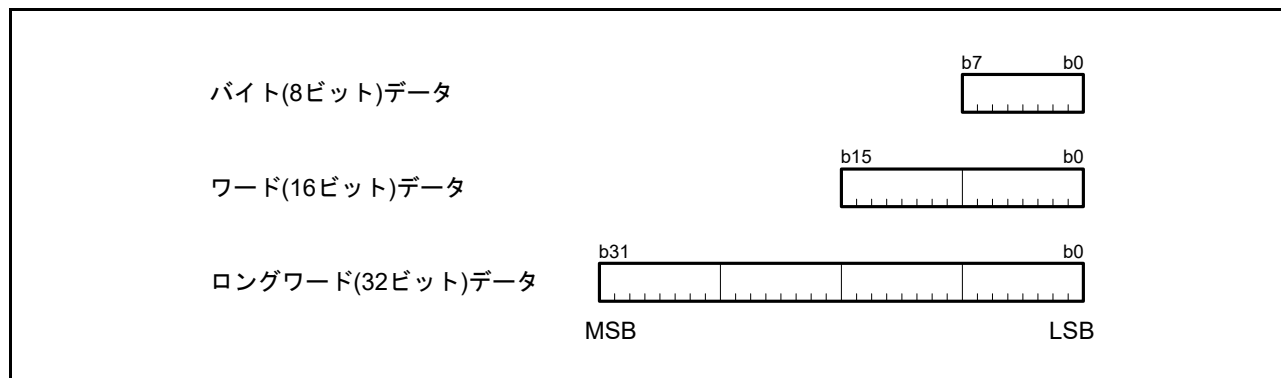


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

データタイプ	アドレス	データイメージ (リトルエンディアン)								データイメージ (ビッグエンディアン)							
		b7							b0	b7							b0
1ビットデータ	L番地	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
バイトデータ	L番地	MSB							LSB	MSB							LSB
ワードデータ	M番地								LSB	MSB							
	M+1番地	MSB															LSB
ロングワードデータ	N番地								LSB	MSB							
	N+1番地																
	N+2番地																
	N+3番地	MSB															LSB

図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1 ベクタあたり 4 バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

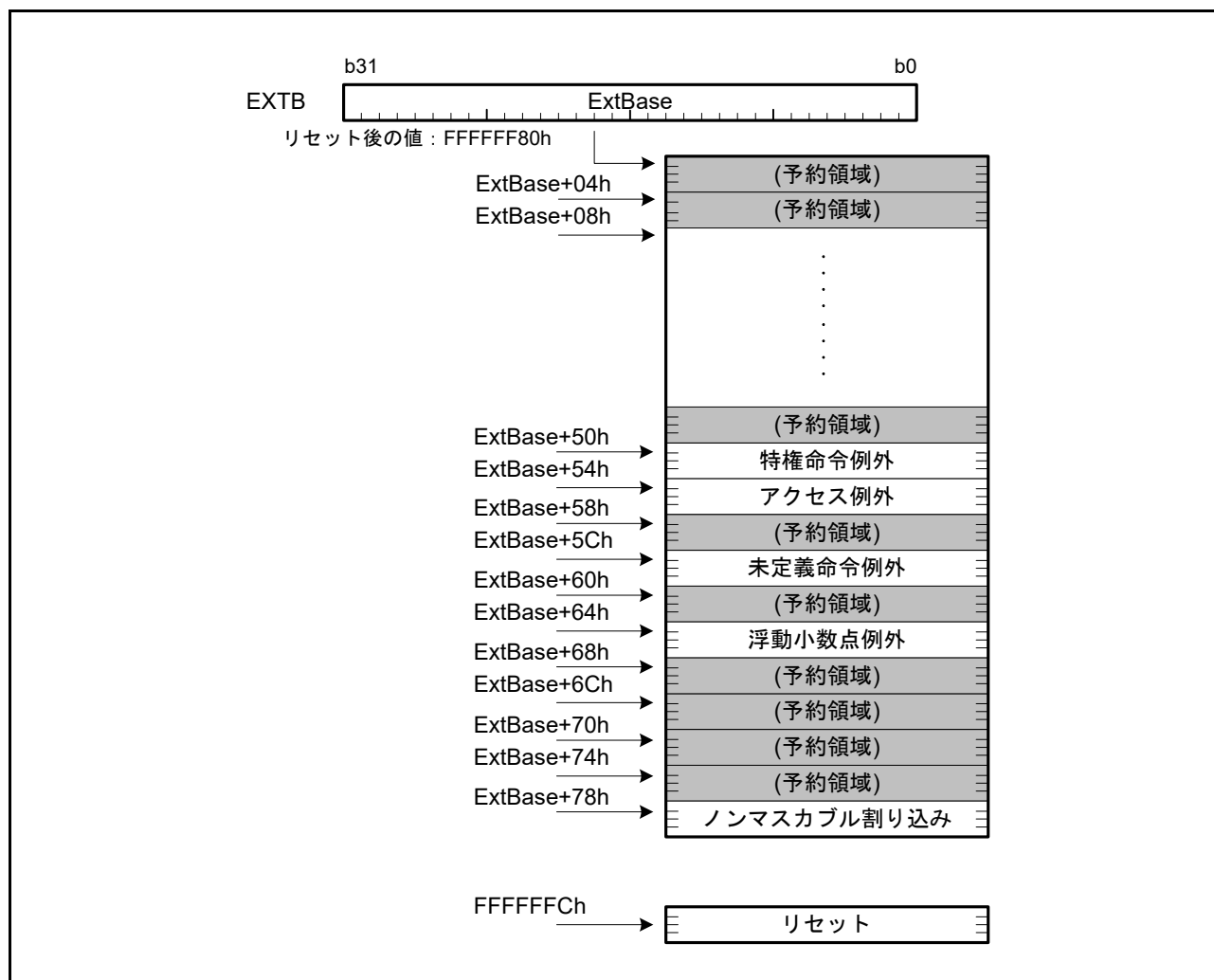


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

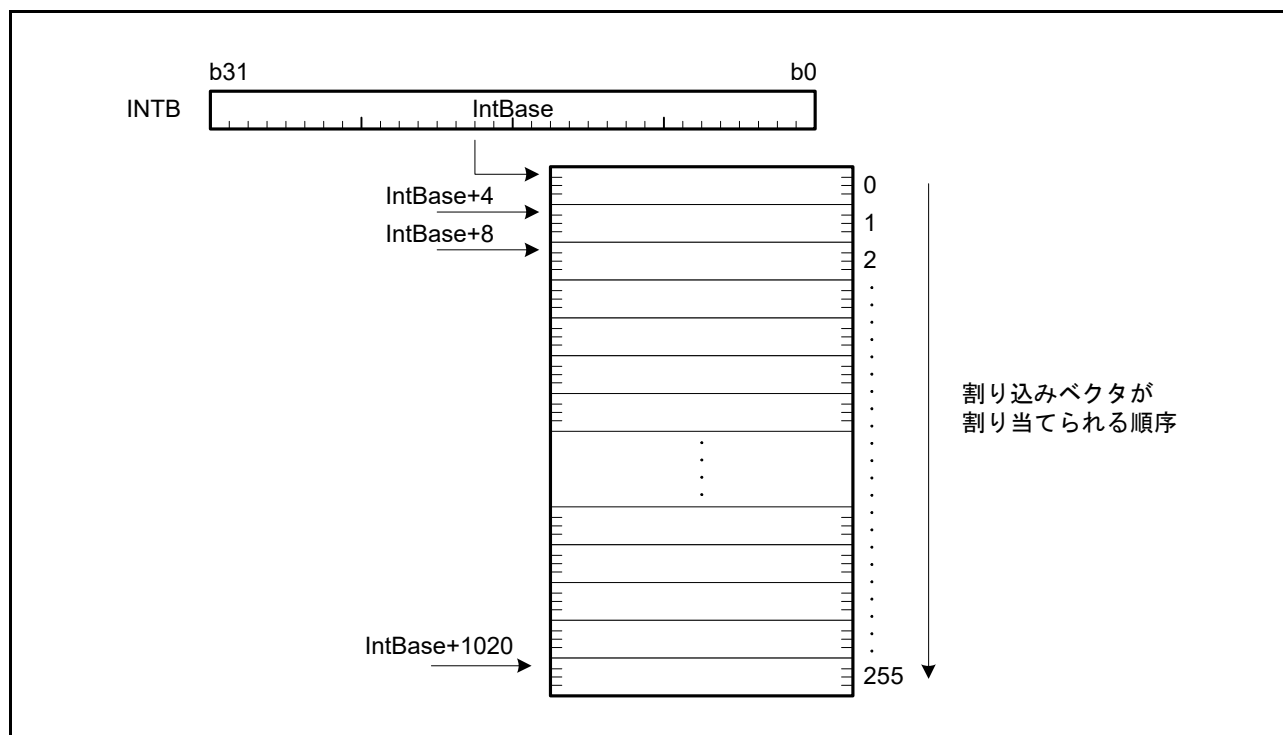


図 2.9 割り込みベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令に関する制約事項

2.7.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.7.1.2 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.8 サイクル数

2.8.1 命令とサイクル数

表 2.13 ～表 2.20 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.13 算術/論理演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	• {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROL, ROR, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18 (注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
算術/論理演算命令 (メモリスソースオペランド)	• {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• DIV "[Rs], Rd / dsp[Rs], Rd"	5 ~ 22
	• DIVU "[Rs], Rd / dsp[Rs], Rd"	4 ~ 20
	• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注2)
	• RMPA.L	6+4n nは処理ロングワード数 (注2)

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表 2.14 転送命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値-レジスタ)	- MOV "#IMM, Rd"/"Rs, Rd" {MOVU, REVL, REVW} "Rs, Rd" - SCCnd "Rd" {STNZ, STZ} "#IMM, Rd"/"Rs, Rd"	1
	XCHG "Rs, Rd"	2
転送命令 (ロード動作)	{MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd"/"[-Rs], Rd"/"[Ri, Rb], Rd" - MOVLi "[Rs], Rd" - POP "Rd"	スループット : 1 レイテンシ : 2 (注1)
	POPC "CR"	スループット : 3 レイテンシ : 4 (注1)
	POPM "Rd-Rd2"	スループット : n レイテンシ : n+1 nはレジスタ数 (注1、注2)
転送命令 (ストア動作)	- MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]/"Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" - PUSH "Rs" - PUSHC "CR" - SCCnd "[Rd]"/"dsp[Rd]" - MOVCO "Rs, [Rd]"	1
	PUSHM "Rs-Rs2"	n nはレジスタ数 (注3)
転送命令 (メモリーレジスタの交換)	XCHG "[Rs], Rd"/"dsp[Rs], Rd"	2
転送命令 (メモリ間転送)	- MOV "[Rs], [Rd]"/"dsp[Rs], [Rd]"/"[Rs], dsp[Rd]"/"dsp[Rs], dsp[Rd]" - PUSH "[Rs]"/"dsp[Rs]"	3

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表 2.15 ビット操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令 (レジスタ)	{BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" - BMCnd "#IMM, Rd" - BTST "#IMM, Rs"/"Rs, Rs2"	1
ビット操作命令 (メモリスソースオペランド)	{BCLR, BNOT, BSET} "#IMM, [Rd]"/"#IMM, dsp[Rd]"/"Rs, [Rd]"/"Rs, dsp[Rd]" - BMCnd "#IMM, [Rd]"/"#IMM, dsp[Rd]" - BTST "#IMM, [Rs]"/"#IMM, dsp[Rs]"/"Rs, [Rs2]"/"Rs, dsp[Rs2]"	3

表 2.16 分岐命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	• BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs"	分岐成立 : 3 分岐不成立 : 1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スルーブット : $n < 5? 5: 1+n$ レイテンシ : $n < 4? 5: 2+n$ nはレジスタ数 (注1)

?: 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スルーブット”として記載されているサイクル数を参照してください。

表 2.17 浮動小数点演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表 2.18 DSP機能命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	• {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "As, Rd" • {RDACW, RDACL, RACW, RACL} "#IMM, Ad"	1

表 2.19 スtring操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
String操作命令 (注1)	• SCMPU	$2+4\times\text{floor}(n/4)+4\times(n\%4)$ nは比較バイト数 (注2)
	• SMOVB	$n>3?6+3\times\text{floor}(n/4)+3\times(n\%4):2+3n$ nは転送バイト数 (注2)
	• SMOVF, SMOVU	$2+3\times\text{floor}(n/4)+3\times(n\%4)$ nは転送バイト数 (注2)
	• SSTR.B	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注2)
	• SSTR.W	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注2)
	• SSTR.L	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3+3\times\text{floor}(n/4)+3\times(n\%4)$ nは比較バイト数 (注2)
	• SUNTIL.W, SWHILE.W	$3+3\times\text{floor}(n/2)+3\times(n\%2)$ nは比較ワード数 (注2)
	• SUNTIL.L, SWHILE.L	$3+3\times n$ nは比較ロングワード数

?: 条件演算子

注1. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. $\text{floor}(x)$: x以下の最大の整数

表 2.20 システム操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW} "flag" • MVTC "#IMM, CR"/"Rs, CR" • MVFC "CR, Rd" • MVTIPL "#IMM"	1
	• RTE	6
	• RTFI	3

2.8.2 割り込み応答サイクル数

表 2.21 に割り込み応答処理のサイクル数を示します。

表 2.21 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.21 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能なコードフラッシュメモリ、RAM を搭載しています。プログラム (含むベクタ) はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ～表 2.20 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット (RES# 端子リセット、パワーオンリセット) 解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD) のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 MD (注1)	動作モード
High	シングルチップモード
Low	ブートモード (SCI インタフェース)
Low → High (注2)	ブートモード (FINE インタフェース)

注1. リセット解除からリセット解除後待機時間またはパワーオンリセット解除後待機時間の期間中は動作モード遷移期間中のため、MD 端子の入力レベルは変化させないでください。リセット解除後待機時間、パワーオンリセット解除後待機時間の詳細は「39. 電氣的特性」を参照してください。

注2. MD 端子を Low でリセット解除後、20～100msecの間にHighへ切り替えてください。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション設定メモリの MDE.MDE[2:0] ビットで設定します。設定値は表 3.2 を参照してください。

表 3.2 エンディアンの選択

MDE.MDE[2:0] ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス SYSTEM.MDMONR 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD 端子ステータスフラグ	0 : MD 端子は“Low” 1 : MD 端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1. リセット解除時のMD端子のレベルが反映されます。

3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス SYSTEM.SYSCR1 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAM の有効 / 無効を選択するビットです。

RAM をアクセスしているときは、“0”にしないでください。また、RAME ビットを“0”から“1”に書き換えた後は、RAME ビットが“1”になったことを確認してから RAM をアクセスするようにしてください。

RAME ビットを“0”にしても、RAM の値は保持されます。ただし、「39. 電気的特性」に規定する RAM 保持電圧 (VRAM) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

3.3.2 ブートモード (SCI インタフェース)

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵 ROM (ROM、E2 データフラッシュ) を書き換えることができます。詳細は、「38. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。ブートモード (SCI インタフェース) については、「38.8.1 ブートモード (SCI インタフェース)」を参照してください。

3.3.3 ブートモード (FINE インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「38. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセット解除後、20 ~ 100ms の間に High へ切り替えると、ブートモード (FINE インタフェース) で起動します。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

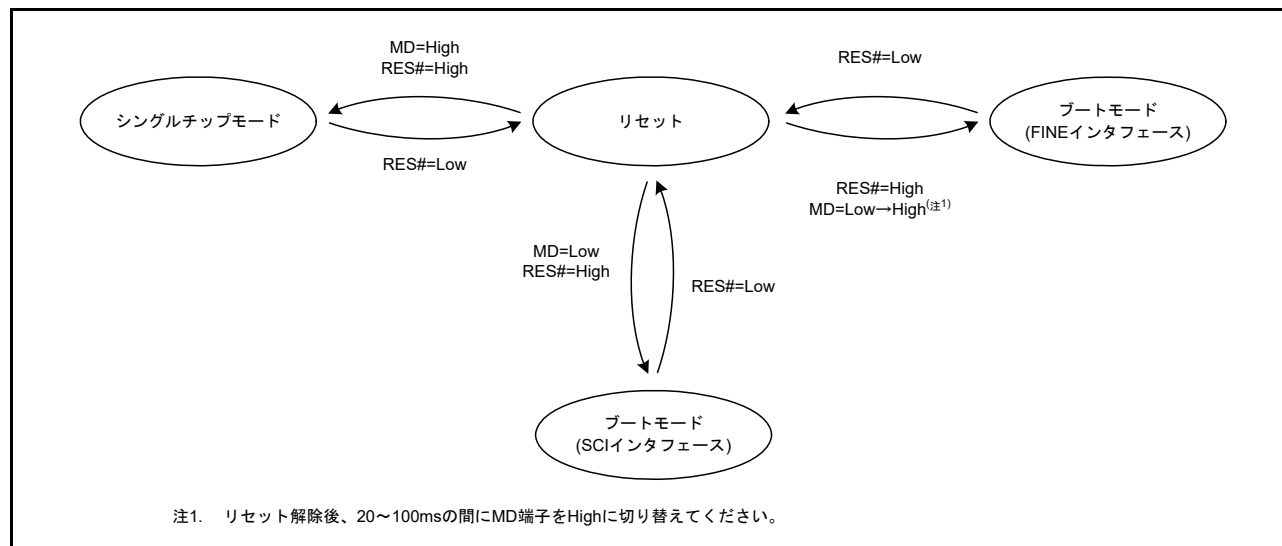


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 にメモリマップを示します。

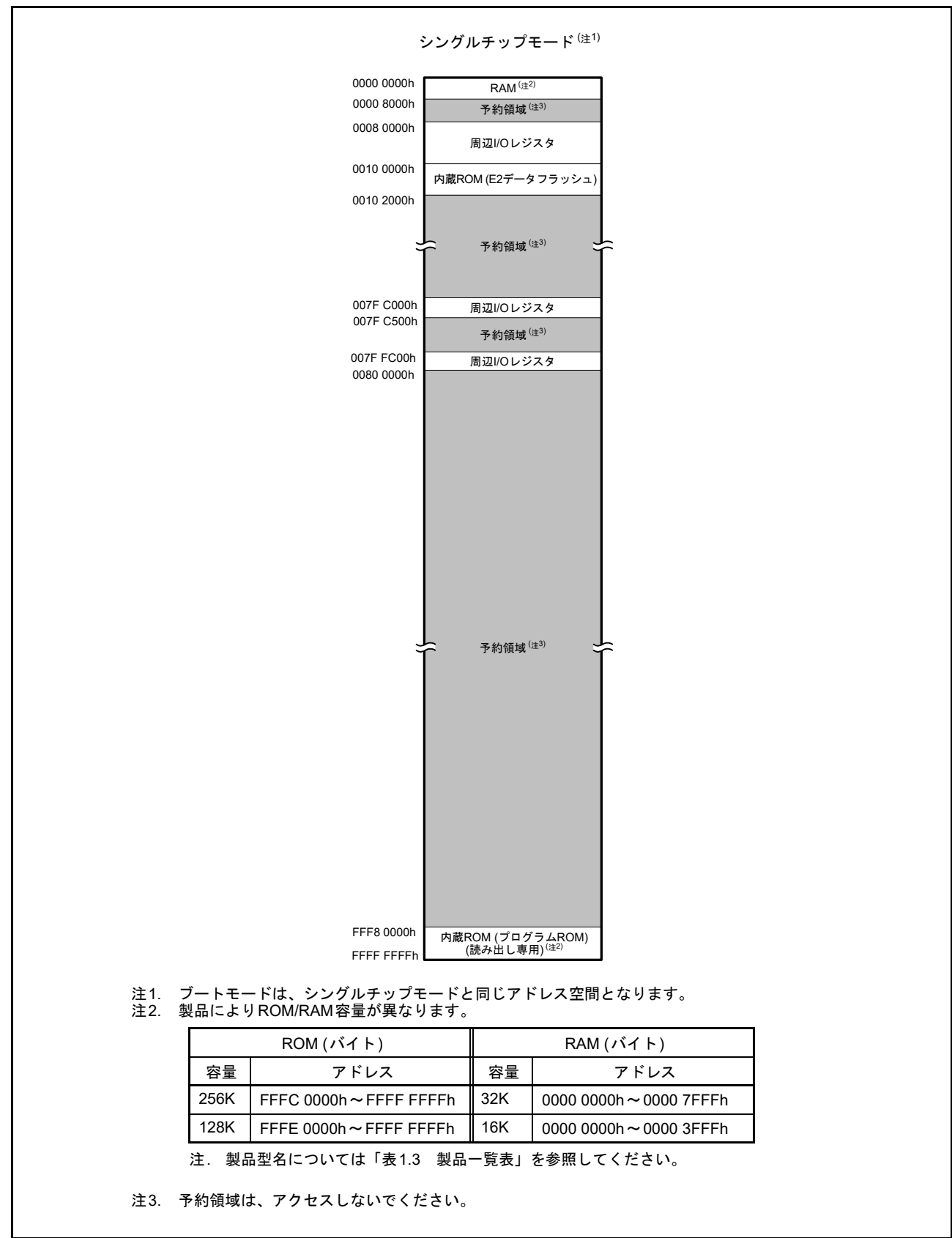


図 4.1 各動作モードのメモリマップ

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット (ICU.IERn.IENj ビット) のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- I/O レジスタの書き込み
- 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- 読み出し値を使って演算を実行
- 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```


- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および制御部のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、 PCLK (または FCLK) で最大 1 サイクルとなるため、表 5.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DMAC, DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 5.1 I/O レジスタアドレス一覧」 のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

5.1 I/O レジスタアドレス一覧 (アドレス順)

表5.1 I/O レジスタアドレス一覧 (1/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK	3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK	3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK	11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK	11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK	11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK	11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK	9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK	9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK	9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK	9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK	9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK	9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK	9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK	9章
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3ICLK	9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK	9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK	9章
0008 0060h	SYSTEM	低速オンチップオシレータトリミングレジスタ	LOCOTRR	8	8	3ICLK	9章
0008 0064h	SYSTEM	IWDT専用オンチップオシレータトリミングレジスタ	ILOCOTRR	8	8	3ICLK	9章
0008 0068h	SYSTEM	高速オンチップオシレータトリミングレジスタ0	HOCOTRR0	8	8	3ICLK	9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK	11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK	9章
0008 00B0h	LPT	ローパワータイマコントロールレジスタ1	LPTCR1	8	8	3ICLK	26章
0008 00B1h	LPT	ローパワータイマコントロールレジスタ2	LPTCR2	8	8	3ICLK	26章
0008 00B2h	LPT	ローパワータイマコントロールレジスタ3	LPTCR3	8	8	3ICLK	26章
0008 00B4h	LPT	ローパワータイマ周期設定レジスタ	LPTPRD	16	16	3ICLK	26章
0008 00B8h	LPT	ローパワータイマコンペアレジスタ0	LPCMR0	16	16	3ICLK	26章
0008 00BCh	LPT	ローパワータイマスタンバイ復帰許可レジスタ	LPWUCR	16	16	3ICLK	26章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK	6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK	6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK	8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK	8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK	8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK	8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK	12章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK	15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK	15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK	15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK	15章
0008 1310h	BSC	バスブライオリティ制御レジスタ	BUSPRI	16	16	2ICLK	15章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	17章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	17章
0008 2008h	DMAC0	DMA転送カウンタレジスタ	DMCRA	32	32	2ICLK	17章
0008 200Ch	DMAC0	DMAブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	17章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	17章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	17章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	17章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK	17章

表5.1 I/O レジスタアドレス一覧 (2/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 201Ch	DMAC0	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	17章
0008 201Dh	DMAC0	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	17章
0008 201Eh	DMAC0	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	17章
0008 201Fh	DMAC0	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	17章
0008 2040h	DMAC1	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK	17章
0008 2044h	DMAC1	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK	17章
0008 2048h	DMAC1	DMA 転送カウンタレジスタ	DMCRA	32	32	2ICLK	17章
0008 204Ch	DMAC1	DMA ブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	17章
0008 2050h	DMAC1	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK	17章
0008 2053h	DMAC1	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK	17章
0008 2054h	DMAC1	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK	17章
0008 205Ch	DMAC1	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	17章
0008 205Dh	DMAC1	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	17章
0008 205Eh	DMAC1	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	17章
0008 205Fh	DMAC1	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	17章
0008 2080h	DMAC2	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK	17章
0008 2084h	DMAC2	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK	17章
0008 2088h	DMAC2	DMA 転送カウンタレジスタ	DMCRA	32	32	2ICLK	17章
0008 208Ch	DMAC2	DMA ブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	17章
0008 2090h	DMAC2	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK	17章
0008 2093h	DMAC2	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK	17章
0008 2094h	DMAC2	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK	17章
0008 209Ch	DMAC2	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	17章
0008 209Dh	DMAC2	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	17章
0008 209Eh	DMAC2	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	17章
0008 209Fh	DMAC2	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	17章
0008 20C0h	DMAC3	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK	17章
0008 20C4h	DMAC3	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK	17章
0008 20C8h	DMAC3	DMA 転送カウンタレジスタ	DMCRA	32	32	2ICLK	17章
0008 20CCh	DMAC3	DMA ブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	17章
0008 20D0h	DMAC3	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK	17章
0008 20D3h	DMAC3	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK	17章
0008 20D4h	DMAC3	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK	17章
0008 20DCh	DMAC3	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	17章
0008 20DDh	DMAC3	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	17章
0008 20DEh	DMAC3	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	17章
0008 20DFh	DMAC3	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	17章
0008 2200h	DMAC	DMA モジュール起動レジスタ	DMAST	8	8	2ICLK	17章
0008 2400h	DTC	DTC コントロールレジスタ	DTCCR	8	8	2ICLK	18章
0008 2404h	DTC	DTC ベクタベースレジスタ	DTCVBR	32	32	2ICLK	18章
0008 2408h	DTC	DTC アドレスモードレジスタ	DTCADMOD	8	8	2ICLK	18章
0008 240Ch	DTC	DTC モジュール起動レジスタ	DTCST	8	8	2ICLK	18章
0008 240Eh	DTC	DTC ステータスレジスタ	DTCSTS	16	16	2ICLK	18章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK	16章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK	16章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK	16章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK	16章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK	16章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK	16章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK	16章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK	16章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK	16章

表 5.1 I/O レジスタアドレス一覧 (3/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK	16章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK	16章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK	16章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK	16章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK	16章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK	16章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK	16章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK	16章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK	16章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK	16章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK	16章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK	16章
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK	16章
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK	16章
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK	16章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK	16章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK	16章
0008 7010h ~ 0008 70FFh	ICU	割り込み要求レジスタ 016 ~ 割り込み要求レジスタ 255	IR016 ~ IR255	8	8	2ICLK	14章
0008 711Bh ~ 0008 71FFh	ICU	DTC転送要求許可レジスタ 027 ~ DTC転送要求許可レジスタ 255	DTICER027 ~ DTICER255	8	8	2ICLK	14章
0008 7202h ~ 0008 721Fh	ICU	割り込み要求許可レジスタ 02 ~ 割り込み要求許可レジスタ 1F	IER02 ~ IER1F	8	8	2ICLK	14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	14章
0008 7300h ~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ 000 ~ 割り込み要因プライオリティレジスタ 255	IPR000 ~ IPR255	8	8	2ICLK	14章
0008 7400h	ICU	DMAC 起動要因選択レジスタ 0	DMRSR0	8	8	2ICLK	14章
0008 7404h	ICU	DMAC 起動要因選択レジスタ 1	DMRSR1	8	8	2ICLK	14章
0008 7408h	ICU	DMAC 起動要因選択レジスタ 2	DMRSR2	8	8	2ICLK	14章
0008 740Ch	ICU	DMAC 起動要因選択レジスタ 3	DMRSR3	8	8	2ICLK	14章
0008 7500h ~ 0008 7507h	ICU	IRQ コントロールレジスタ 0 ~ IRQ コントロールレジスタ 7	IRQCR0 ~ IRQCR7	8	8	2ICLK	14章
0008 7510h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 0	IRQFTE0	8	8	2ICLK	14章
0008 7514h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK	14章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK	14章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK	14章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	14章
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	14章
0008 7590h	ICU	NMI 端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	14章
0008 7594h	ICU	NMI 端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB	25章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	25章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	25章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	25章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	25章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	25章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	25章
0008 8030h	IWDT	IWDT リフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	27章
0008 8032h	IWDT	IWDT コントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	27章
0008 8034h	IWDT	IWDT ステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	27章
0008 8036h	IWDT	IWDT リセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	27章
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	27章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	24章

表5.1 I/O レジスタアドレス一覧 (4/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	24章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	24章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	24章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	24章
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2 ~ 3PCLKB	24章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	24章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	24章
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2 ~ 3PCLKB	24章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	24章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	24章
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	24章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	24章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	24章
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2 ~ 3PCLKB	24章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	24章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	24章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	24章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	24章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	24章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	24章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	24章
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2 ~ 3PCLKB	24章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	24章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	24章
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2 ~ 3PCLKB	24章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	24章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	24章
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	24章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	24章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	24章
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2 ~ 3PCLKB	24章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	24章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	24章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	32章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	32章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	32章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	29章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	29章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	29章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	29章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	29章
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	29章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	29章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	29章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	29章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	29章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	29章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	29章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	29章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	29章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	29章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	29章

表5.1 I/O レジスタアドレス一覧 (5/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2～3PCLKB	29章
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2～3PCLKB	29章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2～3PCLKB	29章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2～3PCLKB	29章
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2～3PCLKB	31章
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2～3PCLKB	31章
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2～3PCLKB	31章
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2～3PCLKB	31章
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32	2～3PCLKB	31章
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2～3PCLKB	31章
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2～3PCLKB	31章
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2～3PCLKB	31章
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2～3PCLKB	31章
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2～3PCLKB	31章
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2～3PCLKB	31章
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2～3PCLKB	31章
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2～3PCLKB	31章
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2～3PCLKB	31章
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2～3PCLKB	31章
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2～3PCLKB	31章
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2～3PCLKB	31章
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2～3PCLKB	31章
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2～3PCLKB	31章
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2～3PCLKB	31章
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2～3PCLKB	31章
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2～3PCLKB	23章
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2～3PCLKB	23章
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8, 16	2～3PCLKB	23章
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2～3PCLKB	23章
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2～3PCLKB	23章
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2～3PCLKB	23章
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2～3PCLKB	23章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	35章
0008 9004h	S12AD	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	35章
0008 9008h	S12AD	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	35章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	35章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	35章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	35章
0008 9014h	S12AD	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	35章
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2～3PCLKB	35章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	35章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	35章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	35章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	35章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	35章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLKB	35章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLKB	35章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	35章
0008 907Dh	S12AD	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	35章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	35章
0008 908Ah	S12AD	A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2～3PCLKB	35章
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウA/Bステータスマニタレジスタ	ADWINMON	8	8	2～3PCLKB	35章

表 5.1 I/O レジスタアドレス一覧 (6/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 9090h	S12AD	A/D コンベア機能コントロールレジスタ	ADCMPCR	16	16	2 ~ 3PCLKB	35章
0008 9094h	S12AD	A/D コンベア機能ウィンドウAチャネル選択レジスタ 0	ADCMPSR0	16	16	2 ~ 3PCLKB	35章
0008 9098h	S12AD	A/D コンベア機能ウィンドウA比較条件設定レジスタ 0	ADCMPLR0	16	16	2 ~ 3PCLKB	35章
0008 909Ch	S12AD	A/D コンベア機能ウィンドウA下位側レベル設定レジスタ	ADCMPCR0	16	16	2 ~ 3PCLKB	35章
0008 909Eh	S12AD	A/D コンベア機能ウィンドウA上位側レベル設定レジスタ	ADCMPCR1	16	16	2 ~ 3PCLKB	35章
0008 90A0h	S12AD	A/D コンベア機能ウィンドウAチャネルステータスレジスタ 0	ADCMPSR0	16	16	2 ~ 3PCLKB	35章
0008 90A6h	S12AD	A/D コンベア機能ウィンドウBチャネル選択レジスタ	ADCMPSNR	8	8	2 ~ 3PCLKB	35章
0008 90A8h	S12AD	A/D コンベア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2 ~ 3PCLKB	35章
0008 90AAh	S12AD	A/D コンベア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2 ~ 3PCLKB	35章
0008 90ACh	S12AD	A/D コンベア機能ウィンドウBチャネルステータスレジスタ	ADCMPSR	8	8	2 ~ 3PCLKB	35章
0008 90B0h	S12AD	A/D データ格納バッファレジスタ 0	ADBUF0	16	16	2 ~ 3PCLKB	35章
0008 90B2h	S12AD	A/D データ格納バッファレジスタ 1	ADBUF1	16	16	2 ~ 3PCLKB	35章
0008 90B4h	S12AD	A/D データ格納バッファレジスタ 2	ADBUF2	16	16	2 ~ 3PCLKB	35章
0008 90B6h	S12AD	A/D データ格納バッファレジスタ 3	ADBUF3	16	16	2 ~ 3PCLKB	35章
0008 90B8h	S12AD	A/D データ格納バッファレジスタ 4	ADBUF4	16	16	2 ~ 3PCLKB	35章
0008 90BAh	S12AD	A/D データ格納バッファレジスタ 5	ADBUF5	16	16	2 ~ 3PCLKB	35章
0008 90BCh	S12AD	A/D データ格納バッファレジスタ 6	ADBUF6	16	16	2 ~ 3PCLKB	35章
0008 90BEh	S12AD	A/D データ格納バッファレジスタ 7	ADBUF7	16	16	2 ~ 3PCLKB	35章
0008 90C0h	S12AD	A/D データ格納バッファレジスタ 8	ADBUF8	16	16	2 ~ 3PCLKB	35章
0008 90C2h	S12AD	A/D データ格納バッファレジスタ 9	ADBUF9	16	16	2 ~ 3PCLKB	35章
0008 90C4h	S12AD	A/D データ格納バッファレジスタ 10	ADBUF10	16	16	2 ~ 3PCLKB	35章
0008 90C6h	S12AD	A/D データ格納バッファレジスタ 11	ADBUF11	16	16	2 ~ 3PCLKB	35章
0008 90C8h	S12AD	A/D データ格納バッファレジスタ 12	ADBUF12	16	16	2 ~ 3PCLKB	35章
0008 90CAh	S12AD	A/D データ格納バッファレジスタ 13	ADBUF13	16	16	2 ~ 3PCLKB	35章
0008 90CCh	S12AD	A/D データ格納バッファレジスタ 14	ADBUF14	16	16	2 ~ 3PCLKB	35章
0008 90CEh	S12AD	A/D データ格納バッファレジスタ 15	ADBUF15	16	16	2 ~ 3PCLKB	35章
0008 90D0h	S12AD	A/D データ格納バッファインターフェイスレジスタ	ADBUFEN	8	8	2 ~ 3PCLKB	35章
0008 90D2h	S12AD	A/D データ格納バッファポインタレジスタ	ADBUFPTR	8	8	2 ~ 3PCLKB	35章
0008 90E0h	S12AD	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2 ~ 3PCLKB	35章
0008 90E1h	S12AD	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2 ~ 3PCLKB	35章
0008 90E2h	S12AD	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2 ~ 3PCLKB	35章
0008 90E3h	S12AD	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2 ~ 3PCLKB	35章
0008 90E4h	S12AD	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2 ~ 3PCLKB	35章
0008 90E5h	S12AD	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2 ~ 3PCLKB	35章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	28章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	28章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	28章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	28章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	28章
0008 A029h	SCI1	I ² C モードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	28章
0008 A02Ah	SCI1	I ² C モードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	28章
0008 A02Bh	SCI1	I ² C モードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	28章
0008 A02Ch	SCI1	I ² C ステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	28章
0008 A02Dh	SCI1	SPI モードレジスタ	SPMR	8	8	2 ~ 3PCLKB	28章

表5.1 I/O レジスタアドレス一覧 (7/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB	28章
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB	28章
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB	28章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB	28章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB	28章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB	28章
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB	28章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	28章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	28章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	28章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	28章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	28章
0008 A0A9h	SCI5	I ² C モードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	28章
0008 A0AAh	SCI5	I ² C モードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	28章
0008 A0ABh	SCI5	I ² C モードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	28章
0008 A0ACh	SCI5	I ² C ステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	28章
0008 A0ADh	SCI5	SPI モードレジスタ	SPMR	8	8	2 ~ 3PCLKB	28章
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB	28章
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB	28章
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB	28章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4 ~ 5PCLKB	28章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB	28章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB	28章
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB	28章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	28章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	28章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	28章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	28章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	28章
0008 A0C9h	SCI6	I ² C モードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	28章
0008 A0CAh	SCI6	I ² C モードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	28章
0008 A0CBh	SCI6	I ² C モードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	28章
0008 A0CCh	SCI6	I ² C ステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	28章
0008 A0CDh	SCI6	SPI モードレジスタ	SPMR	8	8	2 ~ 3PCLKB	28章
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4 ~ 5PCLKB	28章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB	28章

表5.1 I/O レジスタアドレス一覧 (8/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 A0CFh	SCI6	トランスミットデータレジスタ L	TDRL	8	8	2 ~ 3PCLKB	28章
0008 A0D0h	SCI6	レシーブデータレジスタ HL	RDRHL	16	16	4 ~ 5PCLKB	28章
0008 A0D0h	SCI6	レシーブデータレジスタ H	RDRH	8	8	2 ~ 3PCLKB	28章
0008 A0D1h	SCI6	レシーブデータレジスタ L	RDRL	8	8	2 ~ 3PCLKB	28章
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB	28章
0008 B000h	CAC	CAC コントロールレジスタ 0	CACR0	8	8	2 ~ 3PCLKB	10章
0008 B001h	CAC	CAC コントロールレジスタ 1	CACR1	8	8	2 ~ 3PCLKB	10章
0008 B002h	CAC	CAC コントロールレジスタ 2	CACR2	8	8	2 ~ 3PCLKB	10章
0008 B003h	CAC	CAC 割り込み要求許可レジスタ	CAICR	8	8	2 ~ 3PCLKB	10章
0008 B004h	CAC	CAC ステータスレジスタ	CASTR	8	8	2 ~ 3PCLKB	10章
0008 B006h	CAC	CAC 上限値設定レジスタ	CAULVR	16	16	2 ~ 3PCLKB	10章
0008 B008h	CAC	CAC 下限値設定レジスタ	CALLVR	16	16	2 ~ 3PCLKB	10章
0008 B00Ah	CAC	CAC カウンタバッファレジスタ	CACNTBR	16	16	2 ~ 3PCLKB	10章
0008 B080h	DOC	DOC コントロールレジスタ	DOCR	8	8	2 ~ 3PCLKB	36章
0008 B082h	DOC	DOC データインプットレジスタ	DODIR	16	16	2 ~ 3PCLKB	36章
0008 B084h	DOC	DOC データセッティングレジスタ	DODSR	16	16	2 ~ 3PCLKB	36章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2 ~ 3PCLKB	19章
0008 B102h	ELC	イベントリンク設定レジスタ 1	ELSR1	8	8	2 ~ 3PCLKB	19章
0008 B103h	ELC	イベントリンク設定レジスタ 2	ELSR2	8	8	2 ~ 3PCLKB	19章
0008 B104h	ELC	イベントリンク設定レジスタ 3	ELSR3	8	8	2 ~ 3PCLKB	19章
0008 B105h	ELC	イベントリンク設定レジスタ 4	ELSR4	8	8	2 ~ 3PCLKB	19章
0008 B108h	ELC	イベントリンク設定レジスタ 7	ELSR7	8	8	2 ~ 3PCLKB	19章
0008 B109h	ELC	イベントリンク設定レジスタ 8	ELSR8	8	8	2 ~ 3PCLKB	19章
0008 B10Bh	ELC	イベントリンク設定レジスタ 10	ELSR10	8	8	2 ~ 3PCLKB	19章
0008 B10Dh	ELC	イベントリンク設定レジスタ 12	ELSR12	8	8	2 ~ 3PCLKB	19章
0008 B110h	ELC	イベントリンク設定レジスタ 15	ELSR15	8	8	2 ~ 3PCLKB	19章
0008 B113h	ELC	イベントリンク設定レジスタ 18	ELSR18	8	8	2 ~ 3PCLKB	19章
0008 B114h	ELC	イベントリンク設定レジスタ 19	ELSR19	8	8	2 ~ 3PCLKB	19章
0008 B119h	ELC	イベントリンク設定レジスタ 24	ELSR24	8	8	2 ~ 3PCLKB	19章
0008 B11Ah	ELC	イベントリンク設定レジスタ 25	ELSR25	8	8	2 ~ 3PCLKB	19章
0008 B11Dh	ELC	イベントリンク設定レジスタ 28	ELSR28	8	8	2 ~ 3PCLKB	19章
0008 B11Eh	ELC	イベントリンク設定レジスタ 29	ELSR29	8	8	2 ~ 3PCLKB	19章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタ A	ELOPA	8	8	2 ~ 3PCLKB	19章
0008 B120h	ELC	イベントリンクオプション設定レジスタ B	ELOPB	8	8	2 ~ 3PCLKB	19章
0008 B121h	ELC	イベントリンクオプション設定レジスタ C	ELOPC	8	8	2 ~ 3PCLKB	19章
0008 B122h	ELC	イベントリンクオプション設定レジスタ D	ELOPD	8	8	2 ~ 3PCLKB	19章
0008 B129h	ELC	イベント接続ポート指定レジスタ 0	PEL0	8	8	2 ~ 3PCLKB	19章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ 1	PEL1	8	8	2 ~ 3PCLKB	19章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2 ~ 3PCLKB	19章
0008 B144h	ELC	イベントリンク設定レジスタ 46	ELSR46	8	8	2 ~ 3PCLKB	19章
0008 B145h	ELC	イベントリンク設定レジスタ 47	ELSR47	8	8	2 ~ 3PCLKB	19章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	28章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	28章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	28章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	28章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	28章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	28章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	28章

表 5.1 I/O レジスタ アドレス一覧 (9/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	28章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	28章
0008 B309h	SCI12	I ² Cモードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	28章
0008 B30Ah	SCI12	I ² Cモードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	28章
0008 B30Bh	SCI12	I ² Cモードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	28章
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	28章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	28章
0008 B30Eh	SCI12	トランスミットデータレジスタ HL	TDRHL	16	16	4 ~ 5PCLKB	28章
0008 B30Eh	SCI12	トランスミットデータレジスタ H	TDRH	8	8	2 ~ 3PCLKB	28章
0008 B30Fh	SCI12	トランスミットデータレジスタ L	TDRL	8	8	2 ~ 3PCLKB	28章
0008 B310h	SCI12	レシーブデータレジスタ HL	RDRHL	16	16	4 ~ 5PCLKB	28章
0008 B310h	SCI12	レシーブデータレジスタ H	RDRH	8	8	2 ~ 3PCLKB	28章
0008 B311h	SCI12	レシーブデータレジスタ L	RDRL	8	8	2 ~ 3PCLKB	28章
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB	28章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2 ~ 3PCLKB	28章
0008 B321h	SCI12	コントロールレジスタ 0	CR0	8	8	2 ~ 3PCLKB	28章
0008 B322h	SCI12	コントロールレジスタ 1	CR1	8	8	2 ~ 3PCLKB	28章
0008 B323h	SCI12	コントロールレジスタ 2	CR2	8	8	2 ~ 3PCLKB	28章
0008 B324h	SCI12	コントロールレジスタ 3	CR3	8	8	2 ~ 3PCLKB	28章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2 ~ 3PCLKB	28章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2 ~ 3PCLKB	28章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2 ~ 3PCLKB	28章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2 ~ 3PCLKB	28章
0008 B329h	SCI12	Control Field 0 データレジスタ	CF0DR	8	8	2 ~ 3PCLKB	28章
0008 B32Ah	SCI12	Control Field 0 コンパイネーブルレジスタ	CF0CR	8	8	2 ~ 3PCLKB	28章
0008 B32Bh	SCI12	Control Field 0 受信データレジスタ	CF0RR	8	8	2 ~ 3PCLKB	28章
0008 B32Ch	SCI12	プライマリ Control Field 1 データレジスタ	PCF1DR	8	8	2 ~ 3PCLKB	28章
0008 B32Dh	SCI12	セカンダリ Control Field 1 データレジスタ	SCF1DR	8	8	2 ~ 3PCLKB	28章
0008 B32Eh	SCI12	Control Field 1 コンパイネーブルレジスタ	CF1CR	8	8	2 ~ 3PCLKB	28章
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2 ~ 3PCLKB	28章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	28章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2 ~ 3PCLKB	28章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2 ~ 3PCLKB	28章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2 ~ 3PCLKB	28章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	20章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	20章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	20章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	20章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	20章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	20章
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	20章
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	20章
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	20章
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	20章
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	20章
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	20章
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	20章
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	20章
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	20章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	20章
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	20章
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	20章

表 5.1 I/O レジスタ アドレス一覧 (10/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	20章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	20章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	20章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	20章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	20章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	20章
0008 C083h	PORT1	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	20章
0008 C085h	PORT2	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	20章
0008 C086h	PORT3	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	20章
0008 C087h	PORT3	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	20章
0008 C096h	PORTB	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	20章
0008 C099h	PORTC	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	20章
0008 C0A2h	PORTH	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2 ~ 3PCLKB	20章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	20章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	20章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	20章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	20章
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	20章
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	20章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	20章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	20章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	20章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	20章
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	20章
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	20章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB	21章
0008 C14Ch	MPC	P14 端子機能制御レジスタ	P14PFS	8	8	2 ~ 3PCLKB	21章
0008 C14Dh	MPC	P15 端子機能制御レジスタ	P15PFS	8	8	2 ~ 3PCLKB	21章
0008 C14Eh	MPC	P16 端子機能制御レジスタ	P16PFS	8	8	2 ~ 3PCLKB	21章
0008 C14Fh	MPC	P17 端子機能制御レジスタ	P17PFS	8	8	2 ~ 3PCLKB	21章
0008 C156h	MPC	P26 端子機能制御レジスタ	P26PFS	8	8	2 ~ 3PCLKB	21章
0008 C157h	MPC	P27 端子機能制御レジスタ	P27PFS	8	8	2 ~ 3PCLKB	21章
0008 C158h	MPC	P30 端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB	21章
0008 C159h	MPC	P31 端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB	21章
0008 C198h	MPC	PB0 端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB	21章
0008 C199h	MPC	PB1 端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB	21章
0008 C1A4h	MPC	PC4 端子機能制御レジスタ	PC4PFS	8	8	2 ~ 3PCLKB	21章
0008 C1A5h	MPC	PC5 端子機能制御レジスタ	PC5PFS	8	8	2 ~ 3PCLKB	21章
0008 C1A6h	MPC	PC6 端子機能制御レジスタ	PC6PFS	8	8	2 ~ 3PCLKB	21章
0008 C1A7h	MPC	PC7 端子機能制御レジスタ	PC7PFS	8	8	2 ~ 3PCLKB	21章
0008 C1C8h	MPC	PH0 端子機能制御レジスタ	PH0PFS	8	8	2 ~ 3PCLKB	21章
0008 C1C9h	MPC	PH1 端子機能制御レジスタ	PH1PFS	8	8	2 ~ 3PCLKB	21章
0008 C1CAh	MPC	PH2 端子機能制御レジスタ	PH2PFS	8	8	2 ~ 3PCLKB	21章
0008 C1CBh	MPC	PH3 端子機能制御レジスタ	PH3PFS	8	8	2 ~ 3PCLKB	21章
0008 C290h	SYSTEM	リセットステータスレジスタ 0	RSTSR0	8	8	4 ~ 5PCLKB	6章
0008 C291h	SYSTEM	リセットステータスレジスタ 1	RSTSR1	8	8	4 ~ 5PCLKB	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB	9章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4 ~ 5PCLKB	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4 ~ 5PCLKB	8章
0008 C29Ah	SYSTEM	電圧監視 1 回路制御レジスタ 0	LVD1CR0	8	8	4 ~ 5PCLKB	8章
0008 C29Bh	SYSTEM	電圧監視 2 回路制御レジスタ 0	LVD2CR0	8	8	4 ~ 5PCLKB	8章
000A 1000h	DSAD0	DSAD 動作クロック制御レジスタ	CCR	32	32	2 ~ 3PCLKB	34章

表5.1 I/O レジスタアドレス一覧 (11/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 1008h	DSAD0	DSAD 動作モードレジスタ	MR	32	32	2 ~ 3PCLKB	34章
000A 1020h	DSAD0	チャネル0動作モードレジスタ	MR0	32	32	2 ~ 3PCLKB	34章
000A 1024h	DSAD0	チャネル1動作モードレジスタ	MR1	32	32	2 ~ 3PCLKB	34章
000A 1028h	DSAD0	チャネル2動作モードレジスタ	MR2	32	32	2 ~ 3PCLKB	34章
000A 102Ch	DSAD0	チャネル3動作モードレジスタ	MR3	32	32	2 ~ 3PCLKB	34章
000A 1030h	DSAD0	チャネル4動作モードレジスタ	MR4	32	32	2 ~ 3PCLKB	34章
000A 1034h	DSAD0	チャネル5動作モードレジスタ	MR5	32	32	2 ~ 3PCLKB	34章
000A 1040h	DSAD0	チャネル0制御レジスタ	CR0	32	32	2 ~ 3PCLKB	34章
000A 1044h	DSAD0	チャネル1制御レジスタ	CR1	32	32	2 ~ 3PCLKB	34章
000A 1048h	DSAD0	チャネル2制御レジスタ	CR2	32	32	2 ~ 3PCLKB	34章
000A 104Ch	DSAD0	チャネル3制御レジスタ	CR3	32	32	2 ~ 3PCLKB	34章
000A 1050h	DSAD0	チャネル4制御レジスタ	CR4	32	32	2 ~ 3PCLKB	34章
000A 1054h	DSAD0	チャネル5制御レジスタ	CR5	32	32	2 ~ 3PCLKB	34章
000A 1060h	DSAD0	A/D変換開始レジスタ	ADST	32	32	2 ~ 3PCLKB	34章
000A 1064h	DSAD0	A/D変換停止レジスタ	ADSTP	32	32	2 ~ 3PCLKB	34章
000A 1070h	DSAD0	データレジスタ	DR	32	32	2 ~ 3PCLKB	34章
000A 1090h	DSAD0	平均値データレジスタ	AVDR	32	32	2 ~ 3PCLKB	34章
000A 10B0h	DSAD0	ステータスレジスタ	SR	32	32	2 ~ 3PCLKB	34章
000A 10C0h	DSAD0	チャネル0オーバーサンプリング比設定レジスタ	OSR0	32	32	2 ~ 3PCLKB	34章
000A 10C4h	DSAD0	チャネル1オーバーサンプリング比設定レジスタ	OSR1	32	32	2 ~ 3PCLKB	34章
000A 10C8h	DSAD0	チャネル2オーバーサンプリング比設定レジスタ	OSR2	32	32	2 ~ 3PCLKB	34章
000A 10CCh	DSAD0	チャネル3オーバーサンプリング比設定レジスタ	OSR3	32	32	2 ~ 3PCLKB	34章
000A 10D0h	DSAD0	チャネル4オーバーサンプリング比設定レジスタ	OSR4	32	32	2 ~ 3PCLKB	34章
000A 10D4h	DSAD0	チャネル5オーバーサンプリング比設定レジスタ	OSR5	32	32	2 ~ 3PCLKB	34章
000A 1120h	DSAD0	チャネル0ゲイン補正レジスタ	GCR0	32	32	2 ~ 3PCLKB	34章
000A 1124h	DSAD0	チャネル1ゲイン補正レジスタ	GCR1	32	32	2 ~ 3PCLKB	34章
000A 1128h	DSAD0	チャネル2ゲイン補正レジスタ	GCR2	32	32	2 ~ 3PCLKB	34章
000A 112Ch	DSAD0	チャネル3ゲイン補正レジスタ	GCR3	32	32	2 ~ 3PCLKB	34章
000A 1130h	DSAD0	チャネル4ゲイン補正レジスタ	GCR4	32	32	2 ~ 3PCLKB	34章
000A 1134h	DSAD0	チャネル5ゲイン補正レジスタ	GCR5	32	32	2 ~ 3PCLKB	34章
000A 1140h	DSAD0	チャネル0オフセット補正レジスタ	OFCR0	32	32	2 ~ 3PCLKB	34章
000A 1144h	DSAD0	チャネル1オフセット補正レジスタ	OFCR1	32	32	2 ~ 3PCLKB	34章
000A 1148h	DSAD0	チャネル2オフセット補正レジスタ	OFCR2	32	32	2 ~ 3PCLKB	34章
000A 114Ch	DSAD0	チャネル3オフセット補正レジスタ	OFCR3	32	32	2 ~ 3PCLKB	34章
000A 1150h	DSAD0	チャネル4オフセット補正レジスタ	OFCR4	32	32	2 ~ 3PCLKB	34章
000A 1154h	DSAD0	チャネル5オフセット補正レジスタ	OFCR5	32	32	2 ~ 3PCLKB	34章
000A 1200h	DSAD1	DSAD 動作クロック制御レジスタ	CCR	32	32	2 ~ 3PCLKB	34章
000A 1208h	DSAD1	DSAD 動作モードレジスタ	MR	32	32	2 ~ 3PCLKB	34章
000A 1220h	DSAD1	チャネル0動作モードレジスタ	MR0	32	32	2 ~ 3PCLKB	34章
000A 1224h	DSAD1	チャネル1動作モードレジスタ	MR1	32	32	2 ~ 3PCLKB	34章
000A 1228h	DSAD1	チャネル2動作モードレジスタ	MR2	32	32	2 ~ 3PCLKB	34章
000A 122Ch	DSAD1	チャネル3動作モードレジスタ	MR3	32	32	2 ~ 3PCLKB	34章
000A 1230h	DSAD1	チャネル4動作モードレジスタ	MR4	32	32	2 ~ 3PCLKB	34章
000A 1234h	DSAD1	チャネル5動作モードレジスタ	MR5	32	32	2 ~ 3PCLKB	34章
000A 1240h	DSAD1	チャネル0制御レジスタ	CR0	32	32	2 ~ 3PCLKB	34章
000A 1244h	DSAD1	チャネル1制御レジスタ	CR1	32	32	2 ~ 3PCLKB	34章
000A 1248h	DSAD1	チャネル2制御レジスタ	CR2	32	32	2 ~ 3PCLKB	34章
000A 124Ch	DSAD1	チャネル3制御レジスタ	CR3	32	32	2 ~ 3PCLKB	34章
000A 1250h	DSAD1	チャネル4制御レジスタ	CR4	32	32	2 ~ 3PCLKB	34章
000A 1254h	DSAD1	チャネル5制御レジスタ	CR5	32	32	2 ~ 3PCLKB	34章
000A 1260h	DSAD1	A/D変換開始レジスタ	ADST	32	32	2 ~ 3PCLKB	34章
000A 1264h	DSAD1	A/D変換停止レジスタ	ADSTP	32	32	2 ~ 3PCLKB	34章

表5.1 I/O レジスタアドレス一覧 (12/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 1270h	DSAD1	データレジスタ	DR	32	32	2 ~ 3PCLKB	34章
000A 1290h	DSAD1	平均値データレジスタ	AVDR	32	32	2 ~ 3PCLKB	34章
000A 12B0h	DSAD1	ステータスレジスタ	SR	32	32	2 ~ 3PCLKB	34章
000A 12C0h	DSAD1	チャンネル0オーバーサンプリング比設定レジスタ	OSR0	32	32	2 ~ 3PCLKB	34章
000A 12C4h	DSAD1	チャンネル1オーバーサンプリング比設定レジスタ	OSR1	32	32	2 ~ 3PCLKB	34章
000A 12C8h	DSAD1	チャンネル2オーバーサンプリング比設定レジスタ	OSR2	32	32	2 ~ 3PCLKB	34章
000A 12CCh	DSAD1	チャンネル3オーバーサンプリング比設定レジスタ	OSR3	32	32	2 ~ 3PCLKB	34章
000A 12D0h	DSAD1	チャンネル4オーバーサンプリング比設定レジスタ	OSR4	32	32	2 ~ 3PCLKB	34章
000A 12D4h	DSAD1	チャンネル5オーバーサンプリング比設定レジスタ	OSR5	32	32	2 ~ 3PCLKB	34章
000A 1320h	DSAD1	チャンネル0ゲイン補正レジスタ	GCR0	32	32	2 ~ 3PCLKB	34章
000A 1324h	DSAD1	チャンネル1ゲイン補正レジスタ	GCR1	32	32	2 ~ 3PCLKB	34章
000A 1328h	DSAD1	チャンネル2ゲイン補正レジスタ	GCR2	32	32	2 ~ 3PCLKB	34章
000A 132Ch	DSAD1	チャンネル3ゲイン補正レジスタ	GCR3	32	32	2 ~ 3PCLKB	34章
000A 1330h	DSAD1	チャンネル4ゲイン補正レジスタ	GCR4	32	32	2 ~ 3PCLKB	34章
000A 1334h	DSAD1	チャンネル5ゲイン補正レジスタ	GCR5	32	32	2 ~ 3PCLKB	34章
000A 1340h	DSAD1	チャンネル0オフセット補正レジスタ	OFCR0	32	32	2 ~ 3PCLKB	34章
000A 1344h	DSAD1	チャンネル1オフセット補正レジスタ	OFCR1	32	32	2 ~ 3PCLKB	34章
000A 1348h	DSAD1	チャンネル2オフセット補正レジスタ	OFCR2	32	32	2 ~ 3PCLKB	34章
000A 134Ch	DSAD1	チャンネル3オフセット補正レジスタ	OFCR3	32	32	2 ~ 3PCLKB	34章
000A 1350h	DSAD1	チャンネル4オフセット補正レジスタ	OFCR4	32	32	2 ~ 3PCLKB	34章
000A 1354h	DSAD1	チャンネル5オフセット補正レジスタ	OFCR5	32	32	2 ~ 3PCLKB	34章
000A 1400h	AFE	AFE動作制御レジスタ	OPCR	16	16	2 ~ 3PCLKB	33章
000A 1404h	AFE	電圧検出回路制御レジスタ	VDETCR	16	16	2 ~ 3PCLKB	33章
000A 1408h	AFE	電圧検出許可レジスタ	VDETER	16	16	2 ~ 3PCLKB	33章
000A 140Ch	AFE	バイアス電圧出力選択レジスタ	VBOSR	16	16	2 ~ 3PCLKB	33章
000A 1410h	AFE	温度センサ0次温度係数レジスタ	TC0R	32	32	2 ~ 3PCLKB	33章
000A 1414h	AFE	温度センサ1次温度係数レジスタ	TC1R	32	32	2 ~ 3PCLKB	33章
000A 1418h	AFE	温度センサ2次温度係数レジスタ	TC2R	32	32	2 ~ 3PCLKB	33章
000A 141Ch	AFE	ローサイドスイッチ制御レジスタ	LSWC	8	8	2 ~ 3PCLKB	33章
000A 1420h	AFE	DSAD0チャンネル0入力選択レジスタ	DS00ISR	16	16	2 ~ 3PCLKB	33章
000A 1424h	AFE	DSAD0チャンネル1入力選択レジスタ	DS01ISR	16	16	2 ~ 3PCLKB	33章
000A 1428h	AFE	DSAD0チャンネル2入力選択レジスタ	DS02ISR	16	16	2 ~ 3PCLKB	33章
000A 142Ch	AFE	DSAD0チャンネル3入力選択レジスタ	DS03ISR	16	16	2 ~ 3PCLKB	33章
000A 1430h	AFE	DSAD0チャンネル4入力選択レジスタ	DS04ISR	16	16	2 ~ 3PCLKB	33章
000A 1434h	AFE	DSAD0チャンネル5入力選択レジスタ	DS05ISR	16	16	2 ~ 3PCLKB	33章
000A 1438h	AFE	DSAD1チャンネル0入力選択レジスタ	DS10ISR	16	16	2 ~ 3PCLKB	33章
000A 143Ch	AFE	DSAD1チャンネル1入力選択レジスタ	DS11ISR	16	16	2 ~ 3PCLKB	33章
000A 1440h	AFE	DSAD1チャンネル2入力選択レジスタ	DS12ISR	16	16	2 ~ 3PCLKB	33章
000A 1444h	AFE	DSAD1チャンネル3入力選択レジスタ	DS13ISR	16	16	2 ~ 3PCLKB	33章
000A 1448h	AFE	DSAD1チャンネル4入力選択レジスタ	DS14ISR	16	16	2 ~ 3PCLKB	33章
000A 144Ch	AFE	DSAD1チャンネル5入力選択レジスタ	DS15ISR	16	16	2 ~ 3PCLKB	33章
000A 1450h	AFE	励起電流制御レジスタ	EXCCR	8	8	2 ~ 3PCLKB	33章
000A 1454h	AFE	励起電流出力選択レジスタ	EXCOSR	16	16	2 ~ 3PCLKB	33章
000A 8300h	RSCAN0	ビットコンフィギュレーションレジスタL	CFGL	16	16	2 ~ 3PCLKB	30章
000A 8302h	RSCAN0	ビットコンフィギュレーションレジスタH	CFGH	16	16	2 ~ 3PCLKB	30章
000A 8304h	RSCAN0	制御レジスタL	CTRL	16	16	2 ~ 3PCLKB	30章
000A 8306h	RSCAN0	制御レジスタH	CTRH	16	16	2 ~ 3PCLKB	30章
000A 8308h	RSCAN0	ステータスレジスタL	STSL	16	16	2 ~ 3PCLKB	30章
000A 830Ah	RSCAN0	ステータスレジスタH	STSH	16	16	2 ~ 3PCLKB	30章
000A 830Ch	RSCAN0	エラーフラグレジスタL	ERFLL	16	16	2 ~ 3PCLKB	30章
000A 830Eh	RSCAN0	エラーフラグレジスタH	ERFLH	16	16	2 ~ 3PCLKB	30章
000A 8322h	RSCAN	グローバル設定レジスタL	GCFGL	16	16	2 ~ 3PCLKB	30章

表5.1 I/O レジスタアドレス一覧 (13/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 8324h	RSCAN	グローバル設定レジスタH	GCFGH	16	16	2～3PCLKB	30章
000A 8326h	RSCAN	グローバル制御レジスタL	GCTRL	16	16	2～3PCLKB	30章
000A 8328h	RSCAN	グローバル制御レジスタH	GCTRH	16	16	2～3PCLKB	30章
000A 832Ah	RSCAN	グローバルステータスレジスタ	GSTS	16	16	2～3PCLKB	30章
000A 832Ch	RSCAN	グローバルエラーフラグレジスタ	GERFLL	8	8	2～3PCLKB	30章
000A 832Eh	RSCAN	タイムスタンプレジスタ	GTSC	16	16	2～3PCLKB	30章
000A 8330h	RSCAN	受信ルール数設定レジスタ	GAFLCFG	16	16	2～3PCLKB	30章
000A 8332h	RSCAN	受信バッファ数設定レジスタ	RMNB	16	16	2～3PCLKB	30章
000A 8334h	RSCAN	受信バッファ受信完了フラグレジスタ	RMND0	16	16	2～3PCLKB	30章
000A 8338h	RSCAN	受信FIFO制御レジスタ0	RFCC0	16	16	2～3PCLKB	30章
000A 833Ah	RSCAN	受信FIFO制御レジスタ1	RFCC1	16	16	2～3PCLKB	30章
000A 8340h	RSCAN	受信FIFOステータスレジスタ0	RFSTS0	16	16	2～3PCLKB	30章
000A 8342h	RSCAN	受信FIFOステータスレジスタ1	RFSTS1	16	16	2～3PCLKB	30章
000A 8348h	RSCAN	受信FIFOポインタ制御レジスタ0	RFPCTR0	16	16	2～3PCLKB	30章
000A 834Ah	RSCAN	受信FIFOポインタ制御レジスタ1	RFPCTR1	16	16	2～3PCLKB	30章
000A 8350h	RSCAN0	送受信FIFO制御レジスタ0L	CFCCLO	16	16	2～3PCLKB	30章
000A 8352h	RSCAN0	送受信FIFO制御レジスタ0H	CFCH0	16	16	2～3PCLKB	30章
000A 8358h	RSCAN0	送受信FIFOステータスレジスタ0	CFSTS0	16	16	2～3PCLKB	30章
000A 835Ch	RSCAN0	送受信FIFOポインタ制御レジスタ0	CFPCTR0	16	16	2～3PCLKB	30章
000A 8360h	RSCAN	受信FIFOメッセージロストステータスレジスタ	RFMSTS	8	8	2～3PCLKB	30章
000A 8361h	RSCAN0	送受信FIFOメッセージロストステータスレジスタ	CFMSTS	8	8	2～3PCLKB	30章
000A 8362h	RSCAN	受信FIFO割り込みステータスレジスタ	RFISTS	8	8	2～3PCLKB	30章
000A 8363h	RSCAN	送受信FIFO受信割り込みステータスレジスタ	CFISTS	8	8	2～3PCLKB	30章
000A 8364h	RSCAN0	送信バッファ制御レジスタ0	TMC0	8	8	2～3PCLKB	30章
000A 8365h	RSCAN0	送信バッファ制御レジスタ1	TMC1	8	8	2～3PCLKB	30章
000A 8366h	RSCAN0	送信バッファ制御レジスタ2	TMC2	8	8	2～3PCLKB	30章
000A 8367h	RSCAN0	送信バッファ制御レジスタ3	TMC3	8	8	2～3PCLKB	30章
000A 836Ch	RSCAN0	送信バッファステータスレジスタ0	TMSTS0	8	8	2～3PCLKB	30章
000A 836Dh	RSCAN0	送信バッファステータスレジスタ1	TMSTS1	8	8	2～3PCLKB	30章
000A 836Eh	RSCAN0	送信バッファステータスレジスタ2	TMSTS2	8	8	2～3PCLKB	30章
000A 836Fh	RSCAN0	送信バッファステータスレジスタ3	TMSTS3	8	8	2～3PCLKB	30章
000A 8374h	RSCAN0	送信バッファ送信要求ステータスレジスタ	TMTRSTS	16	16	2～3PCLKB	30章
000A 8376h	RSCAN0	送信バッファ送信完了ステータスレジスタ	TMTCTS	16	16	2～3PCLKB	30章
000A 8378h	RSCAN0	送信バッファ送信アボートステータスレジスタ	TMTASTS	16	16	2～3PCLKB	30章
000A 837Ah	RSCAN0	送信バッファ割り込み許可レジスタ	TMIEC	16	16	2～3PCLKB	30章
000A 837Ch	RSCAN0	送信履歴バッファ制御レジスタ	THLCC0	16	16	2～3PCLKB	30章
000A 8380h	RSCAN0	送信履歴バッファステータスレジスタ	THLSTS0	16	16	2～3PCLKB	30章
000A 8384h	RSCAN0	送信履歴バッファポインタ制御レジスタ	THLPCTR0	16	16	2～3PCLKB	30章
000A 8388h	RSCAN	グローバル送信割り込みステータスレジスタ	GTINTSTS	16	16	2～3PCLKB	30章
000A 838Ah	RSCAN	グローバルRAMウィンドウ制御レジスタ	GRWCR	16	16	2～3PCLKB	30章
000A 838Ch	RSCAN	グローバルテスト設定レジスタ	GTSTCFG	16	16	2～3PCLKB	30章
000A 838Eh	RSCAN	グローバルテスト制御レジスタ	GTSTCTRL	8	8	2～3PCLKB	30章
000A 8394h	RSCAN	グローバルテストプロテクト解除レジスタ	GLOCKK	16	16	2～3PCLKB	30章
000A 83A0h	RSCAN	受信ルール登録レジスタ0AL	GAFLIDL0	16	16	2～3PCLKB	30章
000A 83A0h	RSCAN	受信バッファレジスタ0AL	RMIDL0	16	16	2～3PCLKB	30章
000A 83A2h	RSCAN	受信ルール登録レジスタ0AH	GAFLIDH0	16	16	2～3PCLKB	30章
000A 83A2h	RSCAN	受信バッファレジスタ0AH	RMIDH0	16	16	2～3PCLKB	30章
000A 83A4h	RSCAN	受信ルール登録レジスタ0BL	GAFLML0	16	16	2～3PCLKB	30章
000A 83A4h	RSCAN	受信バッファレジスタ0BL	RMTS0	16	16	2～3PCLKB	30章
000A 83A6h	RSCAN	受信ルール登録レジスタ0BH	GAFLMH0	16	16	2～3PCLKB	30章
000A 83A6h	RSCAN	受信バッファレジスタ0BH	RMPTR0	16	16	2～3PCLKB	30章
000A 83A8h	RSCAN	受信ルール登録レジスタ0CL	GAFLPL0	16	16	2～3PCLKB	30章

表5.1 I/O レジスタアドレス一覧 (14/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 83A8h	RSCAN	受信バッファレジスタ 0CL	RMDF00	16	16	2 ~ 3PCLKB	30章
000A 83AAh	RSCAN	受信ルール登録レジスタ 0CH	GAFLPH0	16	16	2 ~ 3PCLKB	30章
000A 83AAh	RSCAN	受信バッファレジスタ 0CH	RMDF10	16	16	2 ~ 3PCLKB	30章
000A 83ACh	RSCAN	受信ルール登録レジスタ 1AL	GAFLIDL1	16	16	2 ~ 3PCLKB	30章
000A 83ACh	RSCAN	受信バッファレジスタ 0DL	RMDF20	16	16	2 ~ 3PCLKB	30章
000A 83AEh	RSCAN	受信ルール登録レジスタ 1AH	GAFLIDH1	16	16	2 ~ 3PCLKB	30章
000A 83AEh	RSCAN	受信バッファレジスタ 0DH	RMDF30	16	16	2 ~ 3PCLKB	30章
000A 83B0h	RSCAN	受信ルール登録レジスタ 1BL	GAFLML1	16	16	2 ~ 3PCLKB	30章
000A 83B0h	RSCAN	受信バッファレジスタ 1AL	RMIDL1	16	16	2 ~ 3PCLKB	30章
000A 83B2h	RSCAN	受信ルール登録レジスタ 1BH	GAFLMH1	16	16	2 ~ 3PCLKB	30章
000A 83B2h	RSCAN	受信バッファレジスタ 1AH	RMIDH1	16	16	2 ~ 3PCLKB	30章
000A 83B4h	RSCAN	受信ルール登録レジスタ 1CL	GAFLPL1	16	16	2 ~ 3PCLKB	30章
000A 83B4h	RSCAN	受信バッファレジスタ 1BL	RMTS1	16	16	2 ~ 3PCLKB	30章
000A 83B6h	RSCAN	受信ルール登録レジスタ 1CH	GAFLPH1	16	16	2 ~ 3PCLKB	30章
000A 83B6h	RSCAN	受信バッファレジスタ 1BH	RMPTR1	16	16	2 ~ 3PCLKB	30章
000A 83B8h	RSCAN	受信ルール登録レジスタ 2AL	GAFLIDL2	16	16	2 ~ 3PCLKB	30章
000A 83B8h	RSCAN	受信バッファレジスタ 1CL	RMDF01	16	16	2 ~ 3PCLKB	30章
000A 83BAh	RSCAN	受信ルール登録レジスタ 2AH	GAFLIDH2	16	16	2 ~ 3PCLKB	30章
000A 83BAh	RSCAN	受信バッファレジスタ 1CH	RMDF11	16	16	2 ~ 3PCLKB	30章
000A 83BCh	RSCAN	受信ルール登録レジスタ 2BL	GAFLML2	16	16	2 ~ 3PCLKB	30章
000A 83BCh	RSCAN	受信バッファレジスタ 1DL	RMDF21	16	16	2 ~ 3PCLKB	30章
000A 83BEh	RSCAN	受信ルール登録レジスタ 2BH	GAFLMH2	16	16	2 ~ 3PCLKB	30章
000A 83BEh	RSCAN	受信バッファレジスタ 1DH	RMDF31	16	16	2 ~ 3PCLKB	30章
000A 83C0h	RSCAN	受信ルール登録レジスタ 2CL	GAFLPL2	16	16	2 ~ 3PCLKB	30章
000A 83C0h	RSCAN	受信バッファレジスタ 2AL	RMIDL2	16	16	2 ~ 3PCLKB	30章
000A 83C2h	RSCAN	受信ルール登録レジスタ 2CH	GAFLPH2	16	16	2 ~ 3PCLKB	30章
000A 83C2h	RSCAN	受信バッファレジスタ 2AH	RMIDH2	16	16	2 ~ 3PCLKB	30章
000A 83C4h	RSCAN	受信ルール登録レジスタ 3AL	GAFLIDL3	16	16	2 ~ 3PCLKB	30章
000A 83C4h	RSCAN	受信バッファレジスタ 2BL	RMTS2	16	16	2 ~ 3PCLKB	30章
000A 83C6h	RSCAN	受信ルール登録レジスタ 3AH	GAFLIDH3	16	16	2 ~ 3PCLKB	30章
000A 83C6h	RSCAN	受信バッファレジスタ 2BH	RMPTR2	16	16	2 ~ 3PCLKB	30章
000A 83C8h	RSCAN	受信ルール登録レジスタ 3BL	GAFLML3	16	16	2 ~ 3PCLKB	30章
000A 83C8h	RSCAN	受信バッファレジスタ 2CL	RMDF02	16	16	2 ~ 3PCLKB	30章
000A 83CAh	RSCAN	受信ルール登録レジスタ 3BH	GAFLMH3	16	16	2 ~ 3PCLKB	30章
000A 83CAh	RSCAN	受信バッファレジスタ 2CH	RMDF12	16	16	2 ~ 3PCLKB	30章
000A 83CCh	RSCAN	受信ルール登録レジスタ 3CL	GAFLPL3	16	16	2 ~ 3PCLKB	30章
000A 83CCh	RSCAN	受信バッファレジスタ 2DL	RMDF22	16	16	2 ~ 3PCLKB	30章
000A 83CEh	RSCAN	受信ルール登録レジスタ 3CH	GAFLPH3	16	16	2 ~ 3PCLKB	30章
000A 83CEh	RSCAN	受信バッファレジスタ 2DH	RMDF32	16	16	2 ~ 3PCLKB	30章
000A 83D0h	RSCAN	受信ルール登録レジスタ 4AL	GAFLIDL4	16	16	2 ~ 3PCLKB	30章
000A 83D0h	RSCAN	受信バッファレジスタ 3AL	RMIDL3	16	16	2 ~ 3PCLKB	30章
000A 83D2h	RSCAN	受信ルール登録レジスタ 4AH	GAFLIDH4	16	16	2 ~ 3PCLKB	30章
000A 83D2h	RSCAN	受信バッファレジスタ 3AH	RMIDH3	16	16	2 ~ 3PCLKB	30章
000A 83D4h	RSCAN	受信ルール登録レジスタ 4BL	GAFLML4	16	16	2 ~ 3PCLKB	30章
000A 83D4h	RSCAN	受信バッファレジスタ 3BL	RMTS3	16	16	2 ~ 3PCLKB	30章
000A 83D6h	RSCAN	受信ルール登録レジスタ 4BH	GAFLMH4	16	16	2 ~ 3PCLKB	30章
000A 83D6h	RSCAN	受信バッファレジスタ 3BH	RMPTR3	16	16	2 ~ 3PCLKB	30章
000A 83D8h	RSCAN	受信ルール登録レジスタ 4CL	GAFLPL4	16	16	2 ~ 3PCLKB	30章
000A 83D8h	RSCAN	受信バッファレジスタ 3CL	RMDF03	16	16	2 ~ 3PCLKB	30章
000A 83DAh	RSCAN	受信ルール登録レジスタ 4CH	GAFLPH4	16	16	2 ~ 3PCLKB	30章
000A 83DAh	RSCAN	受信バッファレジスタ 3CH	RMDF13	16	16	2 ~ 3PCLKB	30章
000A 83DCh	RSCAN	受信ルール登録レジスタ 5AL	GAFLIDL5	16	16	2 ~ 3PCLKB	30章

表5.1 I/O レジスタアドレス一覧 (15/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 83DCh	RSCAN	受信バッファレジスタ3DL	RMDF23	16	16	2～3PCLKB	30章
000A 83DEh	RSCAN	受信ルール登録レジスタ5AH	GAFLIDH5	16	16	2～3PCLKB	30章
000A 83DEh	RSCAN	受信バッファレジスタ3DH	RMDF33	16	16	2～3PCLKB	30章
000A 83E0h	RSCAN	受信ルール登録レジスタ5BL	GAFLML5	16	16	2～3PCLKB	30章
000A 83E0h	RSCAN	受信バッファレジスタ4AL	RMIDL4	16	16	2～3PCLKB	30章
000A 83E2h	RSCAN	受信ルール登録レジスタ5BH	GAFLMH5	16	16	2～3PCLKB	30章
000A 83E2h	RSCAN	受信バッファレジスタ4AH	RMIDH4	16	16	2～3PCLKB	30章
000A 83E4h	RSCAN	受信ルール登録レジスタ5CL	GAFLPL5	16	16	2～3PCLKB	30章
000A 83E4h	RSCAN	受信バッファレジスタ4BL	RMTS4	16	16	2～3PCLKB	30章
000A 83E6h	RSCAN	受信ルール登録レジスタ5CH	GAFLPH5	16	16	2～3PCLKB	30章
000A 83E6h	RSCAN	受信バッファレジスタ4BH	RMPTR4	16	16	2～3PCLKB	30章
000A 83E8h	RSCAN	受信ルール登録レジスタ6AL	GAFLIDL6	16	16	2～3PCLKB	30章
000A 83E8h	RSCAN	受信バッファレジスタ4CL	RMDF04	16	16	2～3PCLKB	30章
000A 83EAh	RSCAN	受信ルール登録レジスタ6AH	GAFLIDH6	16	16	2～3PCLKB	30章
000A 83EAh	RSCAN	受信バッファレジスタ4CH	RMDF14	16	16	2～3PCLKB	30章
000A 83ECh	RSCAN	受信ルール登録レジスタ6BL	GAFLML6	16	16	2～3PCLKB	30章
000A 83ECh	RSCAN	受信バッファレジスタ4DL	RMDF24	16	16	2～3PCLKB	30章
000A 83EEh	RSCAN	受信ルール登録レジスタ6BH	GAFLMH6	16	16	2～3PCLKB	30章
000A 83EEh	RSCAN	受信バッファレジスタ4DH	RMDF34	16	16	2～3PCLKB	30章
000A 83F0h	RSCAN	受信ルール登録レジスタ6CL	GAFLPL6	16	16	2～3PCLKB	30章
000A 83F0h	RSCAN	受信バッファレジスタ5AL	RMIDL5	16	16	2～3PCLKB	30章
000A 83F2h	RSCAN	受信ルール登録レジスタ6CH	GAFLPH6	16	16	2～3PCLKB	30章
000A 83F2h	RSCAN	受信バッファレジスタ5AH	RMIDH5	16	16	2～3PCLKB	30章
000A 83F4h	RSCAN	受信ルール登録レジスタ7AL	GAFLIDL7	16	16	2～3PCLKB	30章
000A 83F4h	RSCAN	受信バッファレジスタ5BL	RMTS5	16	16	2～3PCLKB	30章
000A 83F6h	RSCAN	受信ルール登録レジスタ7AH	GAFLIDH7	16	16	2～3PCLKB	30章
000A 83F6h	RSCAN	受信バッファレジスタ5BH	RMPTR5	16	16	2～3PCLKB	30章
000A 83F8h	RSCAN	受信ルール登録レジスタ7BL	GAFLML7	16	16	2～3PCLKB	30章
000A 83F8h	RSCAN	受信バッファレジスタ5CL	RMDF05	16	16	2～3PCLKB	30章
000A 83FAh	RSCAN	受信ルール登録レジスタ7BH	GAFLMH7	16	16	2～3PCLKB	30章
000A 83FAh	RSCAN	受信バッファレジスタ5CH	RMDF15	16	16	2～3PCLKB	30章
000A 83FCh	RSCAN	受信ルール登録レジスタ7CL	GAFLPL7	16	16	2～3PCLKB	30章
000A 83FCh	RSCAN	受信バッファレジスタ5DL	RMDF25	16	16	2～3PCLKB	30章
000A 83FEh	RSCAN	受信ルール登録レジスタ7CH	GAFLPH7	16	16	2～3PCLKB	30章
000A 83FEh	RSCAN	受信バッファレジスタ5DH	RMDF35	16	16	2～3PCLKB	30章
000A 8400h	RSCAN	受信ルール登録レジスタ8AL	GAFLIDL8	16	16	2～3PCLKB	30章
000A 8400h	RSCAN	受信バッファレジスタ6AL	RMIDL6	16	16	2～3PCLKB	30章
000A 8402h	RSCAN	受信ルール登録レジスタ8AH	GAFLIDH8	16	16	2～3PCLKB	30章
000A 8402h	RSCAN	受信バッファレジスタ6AH	RMIDH6	16	16	2～3PCLKB	30章
000A 8404h	RSCAN	受信ルール登録レジスタ8BL	GAFLML8	16	16	2～3PCLKB	30章
000A 8404h	RSCAN	受信バッファレジスタ6BL	RMTS6	16	16	2～3PCLKB	30章
000A 8406h	RSCAN	受信ルール登録レジスタ8BH	GAFLMH8	16	16	2～3PCLKB	30章
000A 8406h	RSCAN	受信バッファレジスタ6BH	RMPTR6	16	16	2～3PCLKB	30章
000A 8408h	RSCAN	受信ルール登録レジスタ8CL	GAFLPL8	16	16	2～3PCLKB	30章
000A 8408h	RSCAN	受信バッファレジスタ6CL	RMDF06	16	16	2～3PCLKB	30章
000A 840Ah	RSCAN	受信ルール登録レジスタ8CH	GAFLPH8	16	16	2～3PCLKB	30章
000A 840Ah	RSCAN	受信バッファレジスタ6CH	RMDF16	16	16	2～3PCLKB	30章
000A 840Ch	RSCAN	受信ルール登録レジスタ9AL	GAFLIDL9	16	16	2～3PCLKB	30章
000A 840Ch	RSCAN	受信バッファレジスタ6DL	RMDF26	16	16	2～3PCLKB	30章
000A 840Eh	RSCAN	受信ルール登録レジスタ9AH	GAFLIDH9	16	16	2～3PCLKB	30章
000A 840Eh	RSCAN	受信バッファレジスタ6DH	RMDF36	16	16	2～3PCLKB	30章
000A 8410h	RSCAN	受信ルール登録レジスタ9BL	GAFLML9	16	16	2～3PCLKB	30章

表5.1 I/O レジスタアドレス一覧 (16/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 8410h	RSCAN	受信バッファレジスタ 7AL	RMIDL7	16	16	2 ~ 3PCLKB	30章
000A 8412h	RSCAN	受信ルール登録レジスタ 9BH	GAFLMH9	16	16	2 ~ 3PCLKB	30章
000A 8412h	RSCAN	受信バッファレジスタ 7AH	RMIDH7	16	16	2 ~ 3PCLKB	30章
000A 8414h	RSCAN	受信ルール登録レジスタ 9CL	GAFLPL9	16	16	2 ~ 3PCLKB	30章
000A 8414h	RSCAN	受信バッファレジスタ 7BL	RMTS7	16	16	2 ~ 3PCLKB	30章
000A 8416h	RSCAN	受信ルール登録レジスタ 9CH	GAFLPH9	16	16	2 ~ 3PCLKB	30章
000A 8416h	RSCAN	受信バッファレジスタ 7BH	RMPTR7	16	16	2 ~ 3PCLKB	30章
000A 8418h	RSCAN	受信ルール登録レジスタ 10AL	GAFLIDL10	16	16	2 ~ 3PCLKB	30章
000A 8418h	RSCAN	受信バッファレジスタ 7CL	RMDF07	16	16	2 ~ 3PCLKB	30章
000A 841Ah	RSCAN	受信ルール登録レジスタ 10AH	GAFLIDH10	16	16	2 ~ 3PCLKB	30章
000A 841Ah	RSCAN	受信バッファレジスタ 7CH	RMDF17	16	16	2 ~ 3PCLKB	30章
000A 841Ch	RSCAN	受信ルール登録レジスタ 10BL	GAFLML10	16	16	2 ~ 3PCLKB	30章
000A 841Ch	RSCAN	受信バッファレジスタ 7DL	RMDF27	16	16	2 ~ 3PCLKB	30章
000A 841Eh	RSCAN	受信ルール登録レジスタ 10BH	GAFLMH10	16	16	2 ~ 3PCLKB	30章
000A 841Eh	RSCAN	受信バッファレジスタ 7DH	RMDF37	16	16	2 ~ 3PCLKB	30章
000A 8420h	RSCAN	受信ルール登録レジスタ 10CL	GAFLPL10	16	16	2 ~ 3PCLKB	30章
000A 8420h	RSCAN	受信バッファレジスタ 8AL	RMIDL8	16	16	2 ~ 3PCLKB	30章
000A 8422h	RSCAN	受信ルール登録レジスタ 10CH	GAFLPH10	16	16	2 ~ 3PCLKB	30章
000A 8422h	RSCAN	受信バッファレジスタ 8AH	RMIDH8	16	16	2 ~ 3PCLKB	30章
000A 8424h	RSCAN	受信ルール登録レジスタ 11AL	GAFLIDL11	16	16	2 ~ 3PCLKB	30章
000A 8424h	RSCAN	受信バッファレジスタ 8BL	RMTS8	16	16	2 ~ 3PCLKB	30章
000A 8426h	RSCAN	受信ルール登録レジスタ 11AH	GAFLIDH11	16	16	2 ~ 3PCLKB	30章
000A 8426h	RSCAN	受信バッファレジスタ 8BH	RMPTR8	16	16	2 ~ 3PCLKB	30章
000A 8428h	RSCAN	受信ルール登録レジスタ 11BL	GAFLML11	16	16	2 ~ 3PCLKB	30章
000A 8428h	RSCAN	受信バッファレジスタ 8CL	RMDF08	16	16	2 ~ 3PCLKB	30章
000A 842Ah	RSCAN	受信ルール登録レジスタ 11BH	GAFLMH11	16	16	2 ~ 3PCLKB	30章
000A 842Ah	RSCAN	受信バッファレジスタ 8CH	RMDF18	16	16	2 ~ 3PCLKB	30章
000A 842Ch	RSCAN	受信ルール登録レジスタ 11CL	GAFLPL11	16	16	2 ~ 3PCLKB	30章
000A 842Ch	RSCAN	受信バッファレジスタ 8DL	RMDF28	16	16	2 ~ 3PCLKB	30章
000A 842Eh	RSCAN	受信ルール登録レジスタ 11CH	GAFLPH11	16	16	2 ~ 3PCLKB	30章
000A 842Eh	RSCAN	受信バッファレジスタ 8DH	RMDF38	16	16	2 ~ 3PCLKB	30章
000A 8430h	RSCAN	受信ルール登録レジスタ 12AL	GAFLIDL12	16	16	2 ~ 3PCLKB	30章
000A 8430h	RSCAN	受信バッファレジスタ 9AL	RMIDL9	16	16	2 ~ 3PCLKB	30章
000A 8432h	RSCAN	受信ルール登録レジスタ 12AH	GAFLIDH12	16	16	2 ~ 3PCLKB	30章
000A 8432h	RSCAN	受信バッファレジスタ 9AH	RMIDH9	16	16	2 ~ 3PCLKB	30章
000A 8434h	RSCAN	受信ルール登録レジスタ 12BL	GAFLML12	16	16	2 ~ 3PCLKB	30章
000A 8434h	RSCAN	受信バッファレジスタ 9BL	RMTS9	16	16	2 ~ 3PCLKB	30章
000A 8436h	RSCAN	受信ルール登録レジスタ 12BH	GAFLMH12	16	16	2 ~ 3PCLKB	30章
000A 8436h	RSCAN	受信バッファレジスタ 9BH	RMPTR9	16	16	2 ~ 3PCLKB	30章
000A 8438h	RSCAN	受信ルール登録レジスタ 12CL	GAFLPL12	16	16	2 ~ 3PCLKB	30章
000A 8438h	RSCAN	受信バッファレジスタ 9CL	RMDF09	16	16	2 ~ 3PCLKB	30章
000A 843Ah	RSCAN	受信ルール登録レジスタ 12CH	GAFLPH12	16	16	2 ~ 3PCLKB	30章
000A 843Ah	RSCAN	受信バッファレジスタ 9CH	RMDF19	16	16	2 ~ 3PCLKB	30章
000A 843Ch	RSCAN	受信ルール登録レジスタ 13AL	GAFLIDL13	16	16	2 ~ 3PCLKB	30章
000A 843Ch	RSCAN	受信バッファレジスタ 9DL	RMDF29	16	16	2 ~ 3PCLKB	30章
000A 843Eh	RSCAN	受信ルール登録レジスタ 13AH	GAFLIDH13	16	16	2 ~ 3PCLKB	30章
000A 843Eh	RSCAN	受信バッファレジスタ 9DH	RMDF39	16	16	2 ~ 3PCLKB	30章
000A 8440h	RSCAN	受信ルール登録レジスタ 13BL	GAFLML13	16	16	2 ~ 3PCLKB	30章
000A 8440h	RSCAN	受信バッファレジスタ 10AL	RMIDL10	16	16	2 ~ 3PCLKB	30章
000A 8442h	RSCAN	受信ルール登録レジスタ 13BH	GAFLMH13	16	16	2 ~ 3PCLKB	30章
000A 8442h	RSCAN	受信バッファレジスタ 10AH	RMIDH10	16	16	2 ~ 3PCLKB	30章
000A 8444h	RSCAN	受信ルール登録レジスタ 13CL	GAFLPL13	16	16	2 ~ 3PCLKB	30章

表5.1 I/O レジスタアドレス一覧 (17/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 8444h	RSCAN	受信バッファレジスタ 10BL	RMTS10	16	16	2 ~ 3PCLKB	30章
000A 8446h	RSCAN	受信ルール登録レジスタ 13CH	GAFLPH13	16	16	2 ~ 3PCLKB	30章
000A 8446h	RSCAN	受信バッファレジスタ 10BH	RMPTR10	16	16	2 ~ 3PCLKB	30章
000A 8448h	RSCAN	受信ルール登録レジスタ 14AL	GAFLIDL14	16	16	2 ~ 3PCLKB	30章
000A 8448h	RSCAN	受信バッファレジスタ 10CL	RMDF010	16	16	2 ~ 3PCLKB	30章
000A 844Ah	RSCAN	受信ルール登録レジスタ 14AH	GAFLIDH14	16	16	2 ~ 3PCLKB	30章
000A 844Ah	RSCAN	受信バッファレジスタ 10CH	RMDF110	16	16	2 ~ 3PCLKB	30章
000A 844Ch	RSCAN	受信ルール登録レジスタ 14BL	GAFLML14	16	16	2 ~ 3PCLKB	30章
000A 844Ch	RSCAN	受信バッファレジスタ 10DL	RMDF210	16	16	2 ~ 3PCLKB	30章
000A 844Eh	RSCAN	受信ルール登録レジスタ 14BH	GAFLMH14	16	16	2 ~ 3PCLKB	30章
000A 844Eh	RSCAN	受信バッファレジスタ 10DH	RMDF310	16	16	2 ~ 3PCLKB	30章
000A 8450h	RSCAN	受信ルール登録レジスタ 14CL	GAFLPL14	16	16	2 ~ 3PCLKB	30章
000A 8450h	RSCAN	受信バッファレジスタ 11AL	RMIDL11	16	16	2 ~ 3PCLKB	30章
000A 8452h	RSCAN	受信ルール登録レジスタ 14CH	GAFLPH14	16	16	2 ~ 3PCLKB	30章
000A 8452h	RSCAN	受信バッファレジスタ 11AH	RMIDH11	16	16	2 ~ 3PCLKB	30章
000A 8454h	RSCAN	受信ルール登録レジスタ 15AL	GAFLIDL15	16	16	2 ~ 3PCLKB	30章
000A 8454h	RSCAN	受信バッファレジスタ 11BL	RMTS11	16	16	2 ~ 3PCLKB	30章
000A 8456h	RSCAN	受信ルール登録レジスタ 15AH	GAFLIDH15	16	16	2 ~ 3PCLKB	30章
000A 8456h	RSCAN	受信バッファレジスタ 11BH	RMPTR11	16	16	2 ~ 3PCLKB	30章
000A 8458h	RSCAN	受信ルール登録レジスタ 15BL	GAFLML15	16	16	2 ~ 3PCLKB	30章
000A 8458h	RSCAN	受信バッファレジスタ 11CL	RMDF011	16	16	2 ~ 3PCLKB	30章
000A 845Ah	RSCAN	受信ルール登録レジスタ 15BH	GAFLMH15	16	16	2 ~ 3PCLKB	30章
000A 845Ah	RSCAN	受信バッファレジスタ 11CH	RMDF111	16	16	2 ~ 3PCLKB	30章
000A 845Ch	RSCAN	受信ルール登録レジスタ 15CL	GAFLPL15	16	16	2 ~ 3PCLKB	30章
000A 845Ch	RSCAN	受信バッファレジスタ 11DL	RMDF211	16	16	2 ~ 3PCLKB	30章
000A 845Eh	RSCAN	受信ルール登録レジスタ 15CH	GAFLPH15	16	16	2 ~ 3PCLKB	30章
000A 845Eh	RSCAN	受信バッファレジスタ 11DH	RMDF311	16	16	2 ~ 3PCLKB	30章
000A 8460h	RSCAN	受信バッファレジスタ 12AL	RMIDL12	16	16	2 ~ 3PCLKB	30章
000A 8462h	RSCAN	受信バッファレジスタ 12AH	RMIDH12	16	16	2 ~ 3PCLKB	30章
000A 8464h	RSCAN	受信バッファレジスタ 12BL	RMTS12	16	16	2 ~ 3PCLKB	30章
000A 8466h	RSCAN	受信バッファレジスタ 12BH	RMPTR12	16	16	2 ~ 3PCLKB	30章
000A 8468h	RSCAN	受信バッファレジスタ 12CL	RMDF012	16	16	2 ~ 3PCLKB	30章
000A 846Ah	RSCAN	受信バッファレジスタ 12CH	RMDF112	16	16	2 ~ 3PCLKB	30章
000A 846Ch	RSCAN	受信バッファレジスタ 12DL	RMDF212	16	16	2 ~ 3PCLKB	30章
000A 846Eh	RSCAN	受信バッファレジスタ 12DH	RMDF312	16	16	2 ~ 3PCLKB	30章
000A 8470h	RSCAN	受信バッファレジスタ 13AL	RMIDL13	16	16	2 ~ 3PCLKB	30章
000A 8472h	RSCAN	受信バッファレジスタ 13AH	RMIDH13	16	16	2 ~ 3PCLKB	30章
000A 8474h	RSCAN	受信バッファレジスタ 13BL	RMTS13	16	16	2 ~ 3PCLKB	30章
000A 8476h	RSCAN	受信バッファレジスタ 13BH	RMPTR13	16	16	2 ~ 3PCLKB	30章
000A 8478h	RSCAN	受信バッファレジスタ 13CL	RMDF013	16	16	2 ~ 3PCLKB	30章
000A 847Ah	RSCAN	受信バッファレジスタ 13CH	RMDF113	16	16	2 ~ 3PCLKB	30章
000A 847Ch	RSCAN	受信バッファレジスタ 13DL	RMDF213	16	16	2 ~ 3PCLKB	30章
000A 847Eh	RSCAN	受信バッファレジスタ 13DH	RMDF313	16	16	2 ~ 3PCLKB	30章
000A 8480h	RSCAN	受信バッファレジスタ 14AL	RMIDL14	16	16	2 ~ 3PCLKB	30章
000A 8482h	RSCAN	受信バッファレジスタ 14AH	RMIDH14	16	16	2 ~ 3PCLKB	30章
000A 8484h	RSCAN	受信バッファレジスタ 14BL	RMTS14	16	16	2 ~ 3PCLKB	30章
000A 8486h	RSCAN	受信バッファレジスタ 14BH	RMPTR14	16	16	2 ~ 3PCLKB	30章
000A 8488h	RSCAN	受信バッファレジスタ 14CL	RMDF014	16	16	2 ~ 3PCLKB	30章
000A 848Ah	RSCAN	受信バッファレジスタ 14CH	RMDF114	16	16	2 ~ 3PCLKB	30章
000A 848Ch	RSCAN	受信バッファレジスタ 14DL	RMDF214	16	16	2 ~ 3PCLKB	30章
000A 848Eh	RSCAN	受信バッファレジスタ 14DH	RMDF314	16	16	2 ~ 3PCLKB	30章
000A 8490h	RSCAN	受信バッファレジスタ 15AL	RMIDL15	16	16	2 ~ 3PCLKB	30章

表5.1 I/O レジスタアドレス一覧 (18/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 8492h	RSCAN	受信バッファレジスタ 15AH	RMIDH15	16	16	2～3PCLKB	30章
000A 8494h	RSCAN	受信バッファレジスタ 15BL	RMTS15	16	16	2～3PCLKB	30章
000A 8496h	RSCAN	受信バッファレジスタ 15BH	RMPTR15	16	16	2～3PCLKB	30章
000A 8498h	RSCAN	受信バッファレジスタ 15CL	RMDF015	16	16	2～3PCLKB	30章
000A 849Ah	RSCAN	受信バッファレジスタ 15CH	RMDF115	16	16	2～3PCLKB	30章
000A 849Ch	RSCAN	受信バッファレジスタ 15DL	RMDF215	16	16	2～3PCLKB	30章
000A 849Eh	RSCAN	受信バッファレジスタ 15DH	RMDF315	16	16	2～3PCLKB	30章
000A 8580h～ 000A 859Eh	RSCAN	RAMテストレジスタ 0～RAMテストレジスタ 15	RPGACC0～ RPGACC15	16	16	2～3PCLKB	30章
000A 85A0h	RSCAN	受信FIFOアクセスレジスタ 0AL	RFIDL0	16	16	2～3PCLKB	30章
000A 85A0h	RSCAN	RAMテストレジスタ 16	RPGACC16	16	16	2～3PCLKB	30章
000A 85A2h	RSCAN	受信FIFOアクセスレジスタ 0AH	RFIDH0	16	16	2～3PCLKB	30章
000A 85A2h	RSCAN	RAMテストレジスタ 17	RPGACC17	16	16	2～3PCLKB	30章
000A 85A4h	RSCAN	受信FIFOアクセスレジスタ 0BL	RFTS0	16	16	2～3PCLKB	30章
000A 85A4h	RSCAN	RAMテストレジスタ 18	RPGACC18	16	16	2～3PCLKB	30章
000A 85A6h	RSCAN	受信FIFOアクセスレジスタ 0BH	RFPTR0	16	16	2～3PCLKB	30章
000A 85A6h	RSCAN	RAMテストレジスタ 19	RPGACC19	16	16	2～3PCLKB	30章
000A 85A8h	RSCAN	受信FIFOアクセスレジスタ 0CL	RFDFO0	16	16	2～3PCLKB	30章
000A 85A8h	RSCAN	RAMテストレジスタ 20	RPGACC20	16	16	2～3PCLKB	30章
000A 85AAh	RSCAN	受信FIFOアクセスレジスタ 0CH	RFDFO10	16	16	2～3PCLKB	30章
000A 85AAh	RSCAN	RAMテストレジスタ 21	RPGACC21	16	16	2～3PCLKB	30章
000A 85ACh	RSCAN	受信FIFOアクセスレジスタ 0DL	RFDFO20	16	16	2～3PCLKB	30章
000A 85ACh	RSCAN	RAMテストレジスタ 22	RPGACC22	16	16	2～3PCLKB	30章
000A 85AEh	RSCAN	受信FIFOアクセスレジスタ 0DH	RFDFO30	16	16	2～3PCLKB	30章
000A 85AEh	RSCAN	RAMテストレジスタ 23	RPGACC23	16	16	2～3PCLKB	30章
000A 85B0h	RSCAN	受信FIFOアクセスレジスタ 1AL	RFIDL1	16	16	2～3PCLKB	30章
000A 85B0h	RSCAN	RAMテストレジスタ 24	RPGACC24	16	16	2～3PCLKB	30章
000A 85B2h	RSCAN	受信FIFOアクセスレジスタ 1AH	RFIDH1	16	16	2～3PCLKB	30章
000A 85B2h	RSCAN	RAMテストレジスタ 25	RPGACC25	16	16	2～3PCLKB	30章
000A 85B4h	RSCAN	受信FIFOアクセスレジスタ 1BL	RFTS1	16	16	2～3PCLKB	30章
000A 85B4h	RSCAN	RAMテストレジスタ 26	RPGACC26	16	16	2～3PCLKB	30章
000A 85B6h	RSCAN	受信FIFOアクセスレジスタ 1BH	RFPTR1	16	16	2～3PCLKB	30章
000A 85B6h	RSCAN	RAMテストレジスタ 27	RPGACC27	16	16	2～3PCLKB	30章
000A 85B8h	RSCAN	受信FIFOアクセスレジスタ 1CL	RFDFO1	16	16	2～3PCLKB	30章
000A 85B8h	RSCAN	RAMテストレジスタ 28	RPGACC28	16	16	2～3PCLKB	30章
000A 85BAh	RSCAN	受信FIFOアクセスレジスタ 1CH	RFDFO11	16	16	2～3PCLKB	30章
000A 85BAh	RSCAN	RAMテストレジスタ 29	RPGACC29	16	16	2～3PCLKB	30章
000A 85BCh	RSCAN	受信FIFOアクセスレジスタ 1DL	RFDFO21	16	16	2～3PCLKB	30章
000A 85BCh	RSCAN	RAMテストレジスタ 30	RPGACC30	16	16	2～3PCLKB	30章
000A 85BEh	RSCAN	受信FIFOアクセスレジスタ 1DH	RFDFO31	16	16	2～3PCLKB	30章
000A 85BEh	RSCAN	RAMテストレジスタ 31	RPGACC31	16	16	2～3PCLKB	30章
000A 85C0h～ 000A 85DEh	RSCAN	RAMテストレジスタ 32～RAMテストレジスタ 47	RPGACC32～ RPGACC47	16	16	2～3PCLKB	30章
000A 85E0h	RSCAN0	送受信FIFOアクセスレジスタ 0AL	CFIDL0	16	16	2～3PCLKB	30章
000A 85E0h	RSCAN	RAMテストレジスタ 48	RPGACC48	16	16	2～3PCLKB	30章
000A 85E2h	RSCAN0	送受信FIFOアクセスレジスタ 0AH	CFIDH0	16	16	2～3PCLKB	30章
000A 85E2h	RSCAN	RAMテストレジスタ 49	RPGACC49	16	16	2～3PCLKB	30章
000A 85E4h	RSCAN0	送受信FIFOアクセスレジスタ 0BL	CFTS0	16	16	2～3PCLKB	30章
000A 85E4h	RSCAN	RAMテストレジスタ 50	RPGACC50	16	16	2～3PCLKB	30章
000A 85E6h	RSCAN0	送受信FIFOアクセスレジスタ 0BH	CFPTR0	16	16	2～3PCLKB	30章
000A 85E6h	RSCAN	RAMテストレジスタ 51	RPGACC51	16	16	2～3PCLKB	30章
000A 85E8h	RSCAN0	送受信FIFOアクセスレジスタ 0CL	CFDFO0	16	16	2～3PCLKB	30章
000A 85E8h	RSCAN	RAMテストレジスタ 52	RPGACC52	16	16	2～3PCLKB	30章

表 5.1 I/O レジスタ アドレス一覧 (19/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 85EAh	RSCAN0	送受信 FIFO アクセスレジスタ 0CH	CFDF10	16	16	2 ~ 3PCLKB	30 章
000A 85EAh	RSCAN	RAM テストレジスタ 53	RPGACC53	16	16	2 ~ 3PCLKB	30 章
000A 85ECh	RSCAN0	送受信 FIFO アクセスレジスタ 0DL	CFDF20	16	16	2 ~ 3PCLKB	30 章
000A 85ECh	RSCAN	RAM テストレジスタ 54	RPGACC54	16	16	2 ~ 3PCLKB	30 章
000A 85EEh	RSCAN0	送受信 FIFO アクセスレジスタ 0DH	CFDF30	16	16	2 ~ 3PCLKB	30 章
000A 85EEh	RSCAN	RAM テストレジスタ 55	RPGACC55	16	16	2 ~ 3PCLKB	30 章
000A 85F0h ~ 000A 85FEh	RSCAN	RAM テストレジスタ 56 ~ RAM テストレジスタ 63	RPGACC56 ~ RPGACC63	16	16	2 ~ 3PCLKB	30 章
000A 8600h	RSCAN0	送信バッファレジスタ 0AL	TMIDL0	16	16	2 ~ 3PCLKB	30 章
000A 8600h	RSCAN	RAM テストレジスタ 64	RPGACC64	16	16	2 ~ 3PCLKB	30 章
000A 8602h	RSCAN0	送信バッファレジスタ 0AH	TMIDH0	16	16	2 ~ 3PCLKB	30 章
000A 8602h	RSCAN	RAM テストレジスタ 65	RPGACC65	16	16	2 ~ 3PCLKB	30 章
000A 8604h	RSCAN	RAM テストレジスタ 66	RPGACC66	16	16	2 ~ 3PCLKB	30 章
000A 8606h	RSCAN0	送信バッファレジスタ 0BH	TMPTR0	16	16	2 ~ 3PCLKB	30 章
000A 8606h	RSCAN	RAM テストレジスタ 67	RPGACC67	16	16	2 ~ 3PCLKB	30 章
000A 8608h	RSCAN0	送信バッファレジスタ 0CL	TMDF00	16	16	2 ~ 3PCLKB	30 章
000A 8608h	RSCAN	RAM テストレジスタ 68	RPGACC68	16	16	2 ~ 3PCLKB	30 章
000A 860Ah	RSCAN0	送信バッファレジスタ 0CH	TMDF10	16	16	2 ~ 3PCLKB	30 章
000A 860Ah	RSCAN	RAM テストレジスタ 69	RPGACC69	16	16	2 ~ 3PCLKB	30 章
000A 860Ch	RSCAN0	送信バッファレジスタ 0DL	TMDF20	16	16	2 ~ 3PCLKB	30 章
000A 860Ch	RSCAN	RAM テストレジスタ 70	RPGACC70	16	16	2 ~ 3PCLKB	30 章
000A 860Eh	RSCAN0	送信バッファレジスタ 0DH	TMDF30	16	16	2 ~ 3PCLKB	30 章
000A 860Eh	RSCAN	RAM テストレジスタ 71	RPGACC71	16	16	2 ~ 3PCLKB	30 章
000A 8610h	RSCAN0	送信バッファレジスタ 1AL	TMIDL1	16	16	2 ~ 3PCLKB	30 章
000A 8610h	RSCAN	RAM テストレジスタ 72	RPGACC72	16	16	2 ~ 3PCLKB	30 章
000A 8612h	RSCAN0	送信バッファレジスタ 1AH	TMIDH1	16	16	2 ~ 3PCLKB	30 章
000A 8612h	RSCAN	RAM テストレジスタ 73	RPGACC73	16	16	2 ~ 3PCLKB	30 章
000A 8614h	RSCAN	RAM テストレジスタ 74	RPGACC74	16	16	2 ~ 3PCLKB	30 章
000A 8616h	RSCAN0	送信バッファレジスタ 1BH	TMPTR1	16	16	2 ~ 3PCLKB	30 章
000A 8616h	RSCAN	RAM テストレジスタ 75	RPGACC75	16	16	2 ~ 3PCLKB	30 章
000A 8618h	RSCAN0	送信バッファレジスタ 1CL	TMDF01	16	16	2 ~ 3PCLKB	30 章
000A 8618h	RSCAN	RAM テストレジスタ 76	RPGACC76	16	16	2 ~ 3PCLKB	30 章
000A 861Ah	RSCAN0	送信バッファレジスタ 1CH	TMDF11	16	16	2 ~ 3PCLKB	30 章
000A 861Ah	RSCAN	RAM テストレジスタ 77	RPGACC77	16	16	2 ~ 3PCLKB	30 章
000A 861Ch	RSCAN0	送信バッファレジスタ 1DL	TMDF21	16	16	2 ~ 3PCLKB	30 章
000A 861Ch	RSCAN	RAM テストレジスタ 78	RPGACC78	16	16	2 ~ 3PCLKB	30 章
000A 861Eh	RSCAN0	送信バッファレジスタ 1DH	TMDF31	16	16	2 ~ 3PCLKB	30 章
000A 861Eh	RSCAN	RAM テストレジスタ 79	RPGACC79	16	16	2 ~ 3PCLKB	30 章
000A 8620h	RSCAN0	送信バッファレジスタ 2AL	TMIDL2	16	16	2 ~ 3PCLKB	30 章
000A 8620h	RSCAN	RAM テストレジスタ 80	RPGACC80	16	16	2 ~ 3PCLKB	30 章
000A 8622h	RSCAN0	送信バッファレジスタ 2AH	TMIDH2	16	16	2 ~ 3PCLKB	30 章
000A 8622h	RSCAN	RAM テストレジスタ 81	RPGACC81	16	16	2 ~ 3PCLKB	30 章
000A 8624h	RSCAN	RAM テストレジスタ 82	RPGACC82	16	16	2 ~ 3PCLKB	30 章
000A 8626h	RSCAN0	送信バッファレジスタ 2BH	TMPTR2	16	16	2 ~ 3PCLKB	30 章
000A 8626h	RSCAN	RAM テストレジスタ 83	RPGACC83	16	16	2 ~ 3PCLKB	30 章
000A 8628h	RSCAN0	送信バッファレジスタ 2CL	TMDF02	16	16	2 ~ 3PCLKB	30 章
000A 8628h	RSCAN	RAM テストレジスタ 84	RPGACC84	16	16	2 ~ 3PCLKB	30 章
000A 862Ah	RSCAN0	送信バッファレジスタ 2CH	TMDF12	16	16	2 ~ 3PCLKB	30 章
000A 862Ah	RSCAN	RAM テストレジスタ 85	RPGACC85	16	16	2 ~ 3PCLKB	30 章
000A 862Ch	RSCAN0	送信バッファレジスタ 2DL	TMDF22	16	16	2 ~ 3PCLKB	30 章
000A 862Ch	RSCAN	RAM テストレジスタ 86	RPGACC86	16	16	2 ~ 3PCLKB	30 章
000A 862Eh	RSCAN0	送信バッファレジスタ 2DH	TMDF32	16	16	2 ~ 3PCLKB	30 章

表 5.1 I/O レジスタアドレス一覧 (20/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000A 862Eh	RSCAN	RAM テストレジスタ 87	RPGACC87	16	16	2 ~ 3PCLKB	30 章
000A 8630h	RSCAN0	送信バッファレジスタ 3AL	TMIDL3	16	16	2 ~ 3PCLKB	30 章
000A 8630h	RSCAN	RAM テストレジスタ 88	RPGACC88	16	16	2 ~ 3PCLKB	30 章
000A 8632h	RSCAN0	送信バッファレジスタ 3AH	TMIDH3	16	16	2 ~ 3PCLKB	30 章
000A 8632h	RSCAN	RAM テストレジスタ 89	RPGACC89	16	16	2 ~ 3PCLKB	30 章
000A 8634h	RSCAN	RAM テストレジスタ 90	RPGACC90	16	16	2 ~ 3PCLKB	30 章
000A 8636h	RSCAN0	送信バッファレジスタ 3BH	TMPTR3	16	16	2 ~ 3PCLKB	30 章
000A 8636h	RSCAN	RAM テストレジスタ 91	RPGACC91	16	16	2 ~ 3PCLKB	30 章
000A 8638h	RSCAN0	送信バッファレジスタ 3CL	TMDFO3	16	16	2 ~ 3PCLKB	30 章
000A 8638h	RSCAN	RAM テストレジスタ 92	RPGACC92	16	16	2 ~ 3PCLKB	30 章
000A 863Ah	RSCAN0	送信バッファレジスタ 3CH	TMDFO3	16	16	2 ~ 3PCLKB	30 章
000A 863Ah	RSCAN	RAM テストレジスタ 93	RPGACC93	16	16	2 ~ 3PCLKB	30 章
000A 863Ch	RSCAN0	送信バッファレジスタ 3DL	TMDFO3	16	16	2 ~ 3PCLKB	30 章
000A 863Ch	RSCAN	RAM テストレジスタ 94	RPGACC94	16	16	2 ~ 3PCLKB	30 章
000A 863Eh	RSCAN0	送信バッファレジスタ 3DH	TMDFO3	16	16	2 ~ 3PCLKB	30 章
000A 863Eh	RSCAN	RAM テストレジスタ 95	RPGACC95	16	16	2 ~ 3PCLKB	30 章
000A 8640h ~ 000A 867Eh	RSCAN	RAM テストレジスタ 96 ~ RAM テストレジスタ 127	RPGACC96 ~ RPGACC127	16	16	2 ~ 3PCLKB	30 章
000A 8680h	RSCAN0	送信履歴バッファアクセスレジスタ	THLACC0	16	16	2 ~ 3PCLKB	30 章
000D 0A00h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKA	22 章
000D 0A01h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKA	22 章
000D 0A02h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKA	22 章
000D 0A03h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKA	22 章
000D 0A04h	MTU3	タイマ I/O コントロールレジスタ H	TIORH	8	8	2 ~ 3PCLKA	22 章
000D 0A05h	MTU3	タイマ I/O コントロールレジスタ L	TIORL	8	8	2 ~ 3PCLKA	22 章
000D 0A06h	MTU4	タイマ I/O コントロールレジスタ H	TIORH	8	8	2 ~ 3PCLKA	22 章
000D 0A07h	MTU4	タイマ I/O コントロールレジスタ L	TIORL	8	8	2 ~ 3PCLKA	22 章
000D 0A08h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKA	22 章
000D 0A09h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKA	22 章
000D 0A0Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ~ 3PCLKA	22 章
000D 0A0Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ~ 3PCLKA	22 章
000D 0A0Eh	MTU	タイマアウトプットコントロールレジスタ 1	TOCR1	8	8	2 ~ 3PCLKA	22 章
000D 0A0Fh	MTU	タイマアウトプットコントロールレジスタ 2	TOCR2	8	8	2 ~ 3PCLKA	22 章
000D 0A10h	MTU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKA	22 章
000D 0A12h	MTU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKA	22 章
000D 0A14h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ~ 3PCLKA	22 章
000D 0A16h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ~ 3PCLKA	22 章
000D 0A18h	MTU3	タイマジェネラルレジスタ A	TGRA	16	16	2 ~ 3PCLKA	22 章
000D 0A1Ah	MTU3	タイマジェネラルレジスタ B	TGRB	16	16	2 ~ 3PCLKA	22 章
000D 0A1Ch	MTU4	タイマジェネラルレジスタ A	TGRA	16	16	2 ~ 3PCLKA	22 章
000D 0A1Eh	MTU4	タイマジェネラルレジスタ B	TGRB	16	16	2 ~ 3PCLKA	22 章
000D 0A20h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ~ 3PCLKA	22 章
000D 0A22h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2 ~ 3PCLKA	22 章
000D 0A24h	MTU3	タイマジェネラルレジスタ C	TGRC	16	16	2 ~ 3PCLKA	22 章
000D 0A26h	MTU3	タイマジェネラルレジスタ D	TGRD	16	16	2 ~ 3PCLKA	22 章
000D 0A28h	MTU4	タイマジェネラルレジスタ C	TGRC	16	16	2 ~ 3PCLKA	22 章
000D 0A2Ah	MTU4	タイマジェネラルレジスタ D	TGRD	16	16	2 ~ 3PCLKA	22 章
000D 0A2Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKA	22 章
000D 0A2Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKA	22 章
000D 0A30h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2 ~ 3PCLKA	22 章
000D 0A31h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2 ~ 3PCLKA	22 章
000D 0A32h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2 ~ 3PCLKA	22 章

表5.1 I/O レジスタアドレス一覧 (21/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000D 0A34h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2 ~ 3PCLKA	22章
000D 0A36h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2 ~ 3PCLKA	22章
000D 0A38h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKA	22章
000D 0A39h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKA	22章
000D 0A40h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2 ~ 3PCLKA	22章
000D 0A44h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2 ~ 3PCLKA	22章
000D 0A46h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2 ~ 3PCLKA	22章
000D 0A48h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2 ~ 3PCLKA	22章
000D 0A4Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2 ~ 3PCLKA	22章
000D 0A60h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A80h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A81h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A84h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2 ~ 3PCLKA	22章
000D 0A90h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A91h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A92h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A93h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A94h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2 ~ 3PCLKA	22章
000D 0A95h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2 ~ 3PCLKA	22章
000D 0B00h	MTU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKA	22章
000D 0B01h	MTU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKA	22章
000D 0B02h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKA	22章
000D 0B03h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKA	22章
000D 0B04h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKA	22章
000D 0B05h	MTU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKA	22章
000D 0B06h	MTU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKA	22章
000D 0B08h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKA	22章
000D 0B0Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKA	22章
000D 0B0Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKA	22章
000D 0B0Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKA	22章
000D 0B20h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2 ~ 3PCLKA	22章
000D 0B22h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2 ~ 3PCLKA	22章
000D 0B24h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2 ~ 3PCLKA	22章
000D 0B26h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKA	22章
000D 0B80h	MTU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKA	22章
000D 0B81h	MTU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKA	22章
000D 0B82h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKA	22章
000D 0B84h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKA	22章
000D 0B85h	MTU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKA	22章
000D 0B86h	MTU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKA	22章
000D 0B88h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKA	22章
000D 0B8Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKA	22章
000D 0B90h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2 ~ 3PCLKA	22章
000D 0C00h	MTU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKA	22章
000D 0C01h	MTU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKA	22章
000D 0C02h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKA	22章
000D 0C04h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKA	22章
000D 0C05h	MTU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKA	22章
000D 0C06h	MTU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKA	22章
000D 0C08h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKA	22章
000D 0C0Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKA	22章
000D 0C80h	MTU5	タイマカウンタU	TCNTU	16	16	2 ~ 3PCLKA	22章

表 5.1 I/O レジスタアドレス一覧 (22/22)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLK の場合	
000D 0C82h	MTU5	タイマジェネラルレジスタ U	TGRU	16	16	2 ~ 3PCLKA	22 章
000D 0C84h	MTU5	タイマコントロールレジスタ U	TCRU	8	8	2 ~ 3PCLKA	22 章
000D 0C86h	MTU5	タイマ I/O コントロールレジスタ U	TIORU	8	8	2 ~ 3PCLKA	22 章
000D 0C90h	MTU5	タイマカウンタ V	TCNTV	16	16	2 ~ 3PCLKA	22 章
000D 0C92h	MTU5	タイマジェネラルレジスタ V	TGRV	16	16	2 ~ 3PCLKA	22 章
000D 0C94h	MTU5	タイマコントロールレジスタ V	TCRV	8	8	2 ~ 3PCLKA	22 章
000D 0C96h	MTU5	タイマ I/O コントロールレジスタ V	TIORV	8	8	2 ~ 3PCLKA	22 章
000D 0CA0h	MTU5	タイマカウンタ W	TCNTW	16	16	2 ~ 3PCLKA	22 章
000D 0CA2h	MTU5	タイマジェネラルレジスタ W	TGRW	16	16	2 ~ 3PCLKA	22 章
000D 0CA4h	MTU5	タイマコントロールレジスタ W	TCRW	8	8	2 ~ 3PCLKA	22 章
000D 0CA6h	MTU5	タイマ I/O コントロールレジスタ W	TIORW	8	8	2 ~ 3PCLKA	22 章
000D 0CB2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKA	22 章
000D 0CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2 ~ 3PCLKA	22 章
000D 0CB6h	MTU5	タイマコンベアマッチクリアレジスタ	TCNTCMPCLR	8	8	2 ~ 3PCLKA	22 章
007F C090h	FLASH	E2 データフラッシュ制御レジスタ	DFLCTL	8	8	2 ~ 3FCLK	38 章
007F C100h	FLASH	フラッシュ P/E モード制御レジスタ	FPMCR	8	8	2 ~ 3FCLK	38 章
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2 ~ 3FCLK	38 章
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタ L	FSARL	16	16	2 ~ 3FCLK	38 章
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタ H	FSARH	16	16	2 ~ 3FCLK	38 章
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2 ~ 3FCLK	38 章
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタ L	FEARL	16	16	2 ~ 3FCLK	38 章
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタ H	FEARH	16	16	2 ~ 3FCLK	38 章
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2 ~ 3FCLK	38 章
007F C12Ch	FLASH	フラッシュステータスレジスタ 1	FSTATR1	8	8	2 ~ 3FCLK	38 章
007F C130h	FLASH	フラッシュライトバッファレジスタ 0	FWB0	16	16	2 ~ 3FCLK	38 章
007F C138h	FLASH	フラッシュライトバッファレジスタ 1	FWB1	16	16	2 ~ 3FCLK	38 章
007F C140h	FLASH	フラッシュライトバッファレジスタ 2	FWB2	16	16	2 ~ 3FCLK	38 章
007F C144h	FLASH	フラッシュライトバッファレジスタ 3	FWB3	16	16	2 ~ 3FCLK	38 章
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2 ~ 3FCLK	38 章
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2 ~ 3FCLK	38 章
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2 ~ 3FCLK	38 章
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2 ~ 3FCLK	38 章
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2 ~ 3FCLK	38 章
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2 ~ 3FCLK	38 章
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2 ~ 3FCLK	38 章
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタ L	FEAML	16	16	2 ~ 3FCLK	38 章
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタ H	FEAMH	16	16	2 ~ 3FCLK	38 章
007F C1F0h	FLASH	フラッシュステータスレジスタ 0	FSTATR0	8	8	2 ~ 3FCLK	38 章
007F C350h	FLASHCO NST	ユニーク ID レジスタ 0	UIDR0	32	32	2 ~ 3FCLK	38 章
007F C354h	FLASHCO NST	ユニーク ID レジスタ 1	UIDR1	32	32	2 ~ 3FCLK	38 章
007F C358h	FLASHCO NST	ユニーク ID レジスタ 2	UIDR2	32	32	2 ~ 3FCLK	38 章
007F C35Ch	FLASHCO NST	ユニーク ID レジスタ 3	UIDR3	32	32	2 ~ 3FCLK	38 章
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK	38 章
FFFF FF80h	OFSM	エンディアン選択レジスタ	MDE	32	32	1ICLK	7 章
FFFF FF88h	OFSM	オプション機能選択レジスタ 1	OFS1	32	32	1ICLK	7 章
FFFF FF8Ch	OFSM	オプション機能選択レジスタ 0	OFS0	32	32	1ICLK	7 章

注 1. 奇数アドレスへの 16 ビットアクセスはできません。表 24.4 に 16 ビットアクセスのレジスタ配置を示します。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセット、電圧監視 1 リセット、電圧監視 2 リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表 6.1 リセットの名称と要因

リセットの名称	要因
RES# 端子リセット	RES# 端子の入力電圧が Low
パワーオンリセット	VCC の上昇 (監視電圧 : VPOR) (注1)
電圧監視 0 リセット	VCC の下降 (監視電圧 : Vdet0) (注1)
電圧監視 1 リセット	VCC の下降 (監視電圧 : Vdet1) (注1)
電圧監視 2 リセット	VCC の下降 (監視電圧 : Vdet2) (注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注 1. 監視電圧 (VPOR, Vdet0, Vdet1, Vdet2) については、「8. 電圧検出回路 (LVDAb)」、「39. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因						
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—
コールドスタート/ウォームスタート判別 フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—
独立ウォッチドッグタイマリセット検出 フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL[3:0])	○	○	○	○	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVD2E, LVDLVLR.LVD2LVL[1:0])	○	○	○	○	○	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	—
動作モード (注2)	○	○	—	—	—	—	—
上記以外のレジスタ、CPU および内部状態	○	○	○	○	○	○	○

○：初期化されます。 —：変化しません。

注1. 電源投入時は初期化されます。

注2. リセット解除時のモード設定端子の状態によって動作モードが決定されます。詳細は「3. 動作モード」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
0	0	0	0	0	0	0	0

リセット後の値

(注1) (注1) (注1) (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0 : パワーオンリセット未検出 1 : パワーオンリセット検出	R/(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0 : 電圧監視0リセット未検出 1 : 電圧監視0リセット検出	R/(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0 : 電圧監視1リセット未検出 1 : 電圧監視1リセット検出	R/(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0 : 電圧監視2リセット未検出 1 : 電圧監視2リセット検出	R/(W) (注2)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1" になる条件]

- パワーオンリセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD1RF フラグ (電圧監視1リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをセットするための"1"書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ (コールドスタート / ウォームスタート判別フラグ)

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

["1" になる条件]

- プログラムで "1" を書いたとき。"0" を書いても変化しません。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	—	IWDTRF
リセット後の値	0	0	0	0	0	0	0	0
						(注1)		(注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0 : 独立ウォッチドッグタイマリセット未検出 1 : 独立ウォッチドッグタイマリセット検出	R/(W) (注2)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SWRF	ソフトウェアリセット検出フラグ	0 : ソフトウェアリセット未検出 1 : ソフトウェアリセット検出	R/(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[“1”になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

[“1”になる条件]

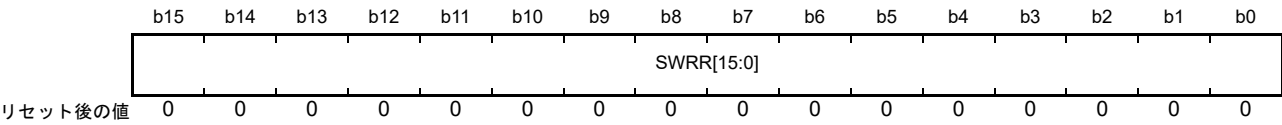
- ソフトウェアリセットを行ったとき

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとMCUがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切れ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「39. 電気的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に VIH 以上になるようにしてください。VIH は、「39. 電気的特性」を参照してください。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

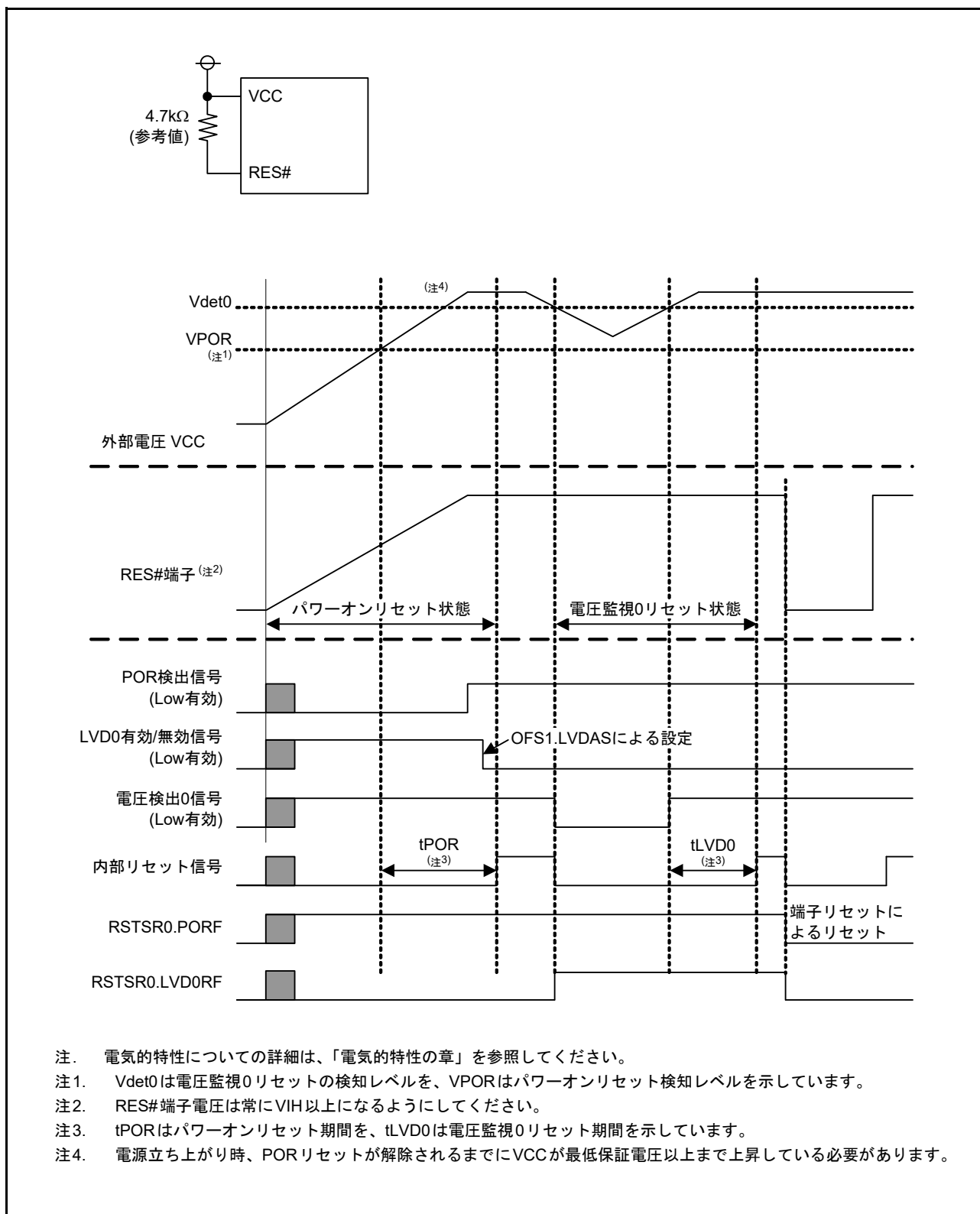


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み / リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み / リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が V_{det1} 以下になり、その後 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が V_{det1} 以下になってから LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

V_{det1} 、および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

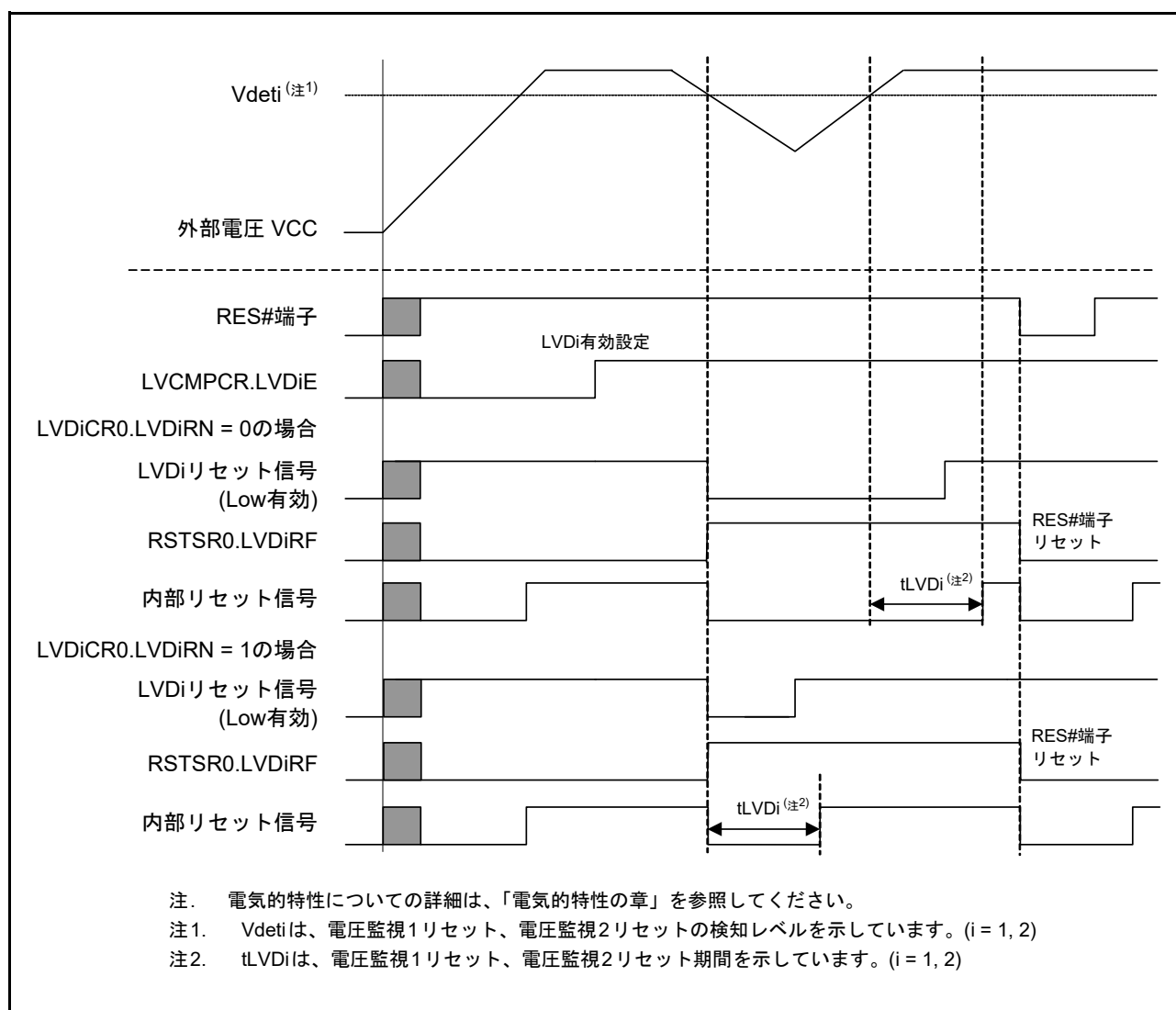


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.5 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.6 コールドスタート / ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0” (コールドスタート) になります。その他のリセットを行っても“0” になりません。また、プログラムで“1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート / ウォームスタート判定機能の動作例を示します。

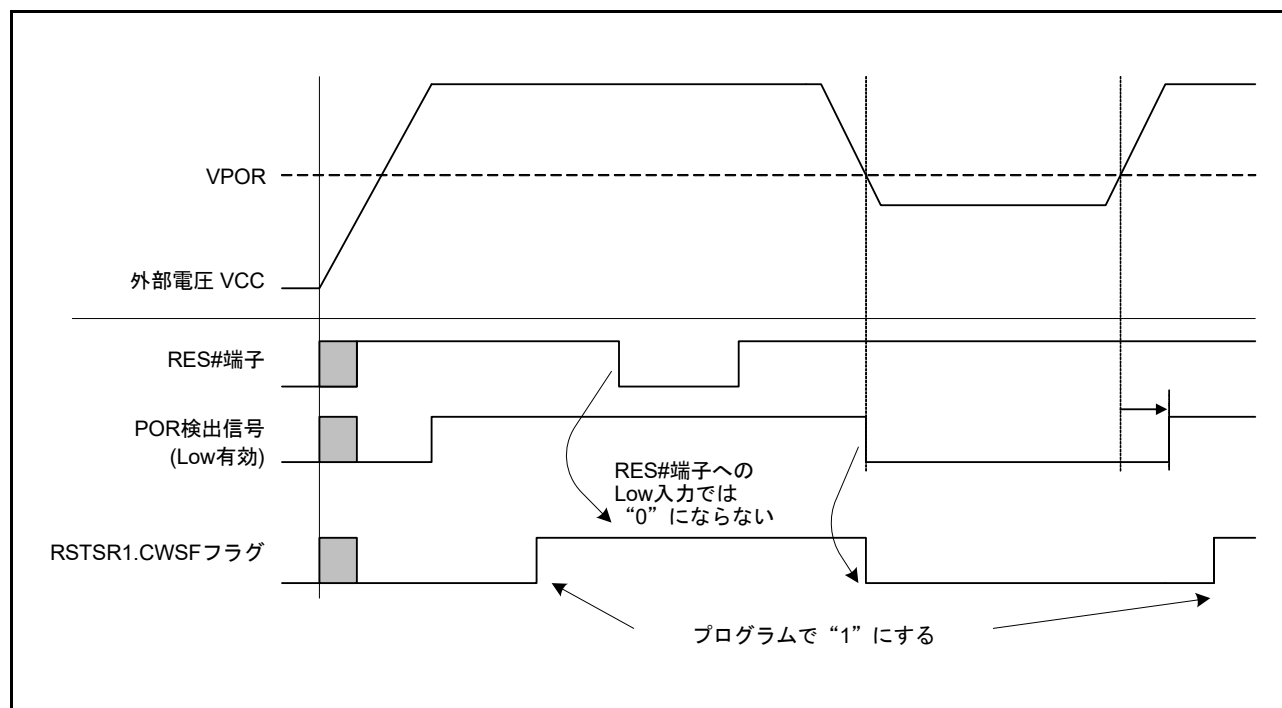


図 6.3 コールドスタート / ウォームスタート判定機能の動作例

6.3.7 リセット発生要因の判定

RSTSR0 レジスタと RSTSR2 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

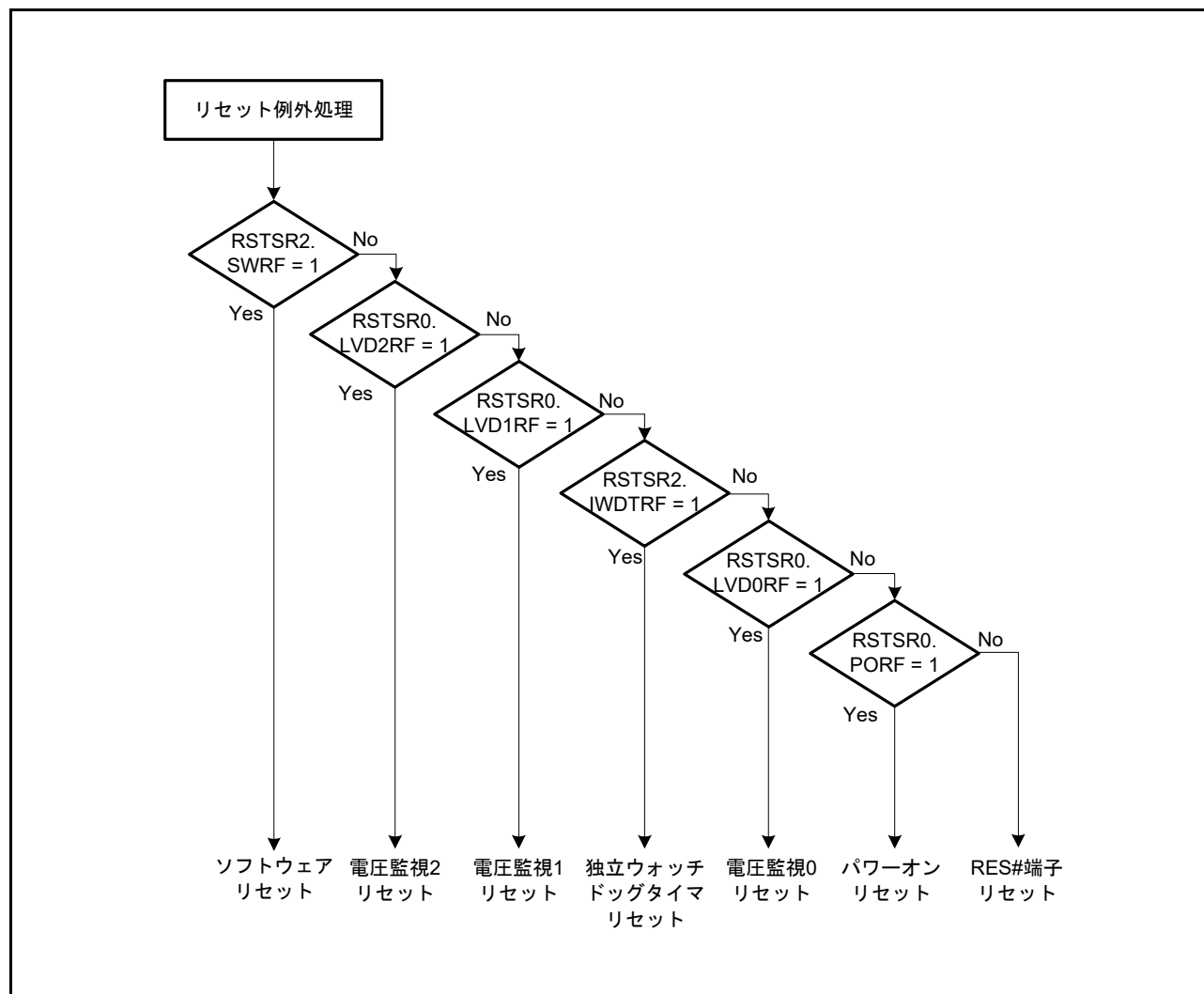


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

オプション設定メモリ (OFSM) は、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM 上にあります。

図 7.1 にオプション設定メモリ領域を示します。

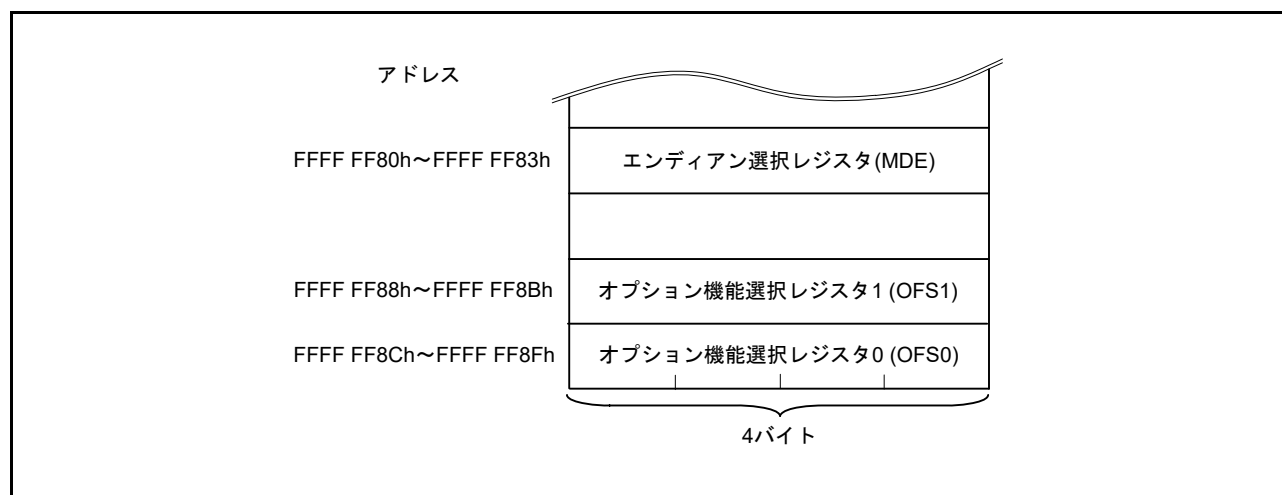


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDTSTRIRQS	IWDTRPSS[1:0]	IWDTRPES[1:0]	IWDTCKS[3:0]			IWDTTOS[1:0]			IWDTSTR	—		

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：128サイクル(00Fh) 0 1：512サイクル(01FFh) 1 0：1024サイクル(03FFh) 1 1：2048サイクル(07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDTSTRIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクابل割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS0 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ブートモード時は OFS0 レジスタの値は無視され、“FFFF FFFFh” が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケアラの分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 128 ～ 524288 クロックの間で設定できます。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止を選択します。

詳細は「27. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	—	—	—	—	FASTS TUP	LVDAS	VDSEL[1:0]	

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出 0 レベル選択ビット	b1 b0 0 0 : 3.84 V を選択 0 1 : 2.82 V を選択 1 0 : 2.51 V を選択 1 1 : 1.90 V を選択	R
b2	LVDAS	電圧検出 0 回路起動ビット	0 : リセット後、電圧監視 0 リセット有効 1 : リセット後、電圧監視 0 リセット無効	R
b3	FASTSTUP	電源立ち上げ時起動時間短縮ビット	0 : 電源立ち上げ時起動時間短縮 1 : 通常起動	R
b7-b4	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO 発振有効ビット	0 : リセット後、HOCO 発振が有効 1 : リセット後、HOCO 発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS1 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時は OFS1 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出 0 レベル選択ビット)

電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出 0 回路起動ビット)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

電圧検出 0 回路で監視する Vdet0 電圧は、VDSEL[1:0] ビットで選択します。

FASTSTUP ビット (電源立ち上げ時起動時間短縮ビット)

電气的特性の電源投入時 VCC 立ち上がり勾配 (起動時間短縮時) を満たせる場合、本ビットを“0”(電源立ち上げ時起動時間短縮) に設定すると、起動時間を短縮することができます。電源投入時 VCC 立ち上がり勾配 (起動時間短縮時) を満たせない場合は、本ビットに“0”を設定しないでください。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振を有効にするか無効にするかを選択します。

HOCOEN ビットを“0”にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0”にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

また、HOCOEN ビットに“0”を設定している場合、HOCO 発振安定時間 (tHOCO) はハードウェアで確保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数 (fHOCO) の精度のクロックが供給されます。

7.2.3 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE FFFF FF80h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	ユーザの設定値 (注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]		
リセット後の値	ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0: ビッグエンディアン 1 1 1: リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。

MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

7.3 使用上の注意事項

7.3.1 オプション設定メモリの設定例

オプション設定メモリは ROM 上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに “FFFF FFF8h” を設定する場合
 .ORG 0FFFFFFF8CH
 .LWORD 0FFFFFFF8H

注． プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDAb)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 はオプション機能選択レジスタ 1 (OFS1) で、検出電圧を 4 レベルから選択できます。

電圧検出 1 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 14 レベルから選択できます。

電圧検出 2 は、LVDLVLR レジスタで検出電圧を 4 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット / 割り込み、電圧監視 2 リセット / 割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路ブロック図を、図 8.2 に電圧監視 1 割り込み / リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み / リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出電圧	OFS1レジスタで4レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで14レベルから選択可能	LVDLVLR.LVD2LVL[1:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
			LVD1SR.LVD1DETフラグ： Vdet1通過検出	LVD2SR.LVD2DETフラグ： Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	Vdet2 > VCCでリセット： VCC > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCの一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابلまたはマスクابلを選択可能	ノンマスクابلまたはマスクابلを選択可能
			Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求
イベントリンク機能		なし	あり Vdet1通過検出イベント出力	あり Vdet2通過検出イベント出力

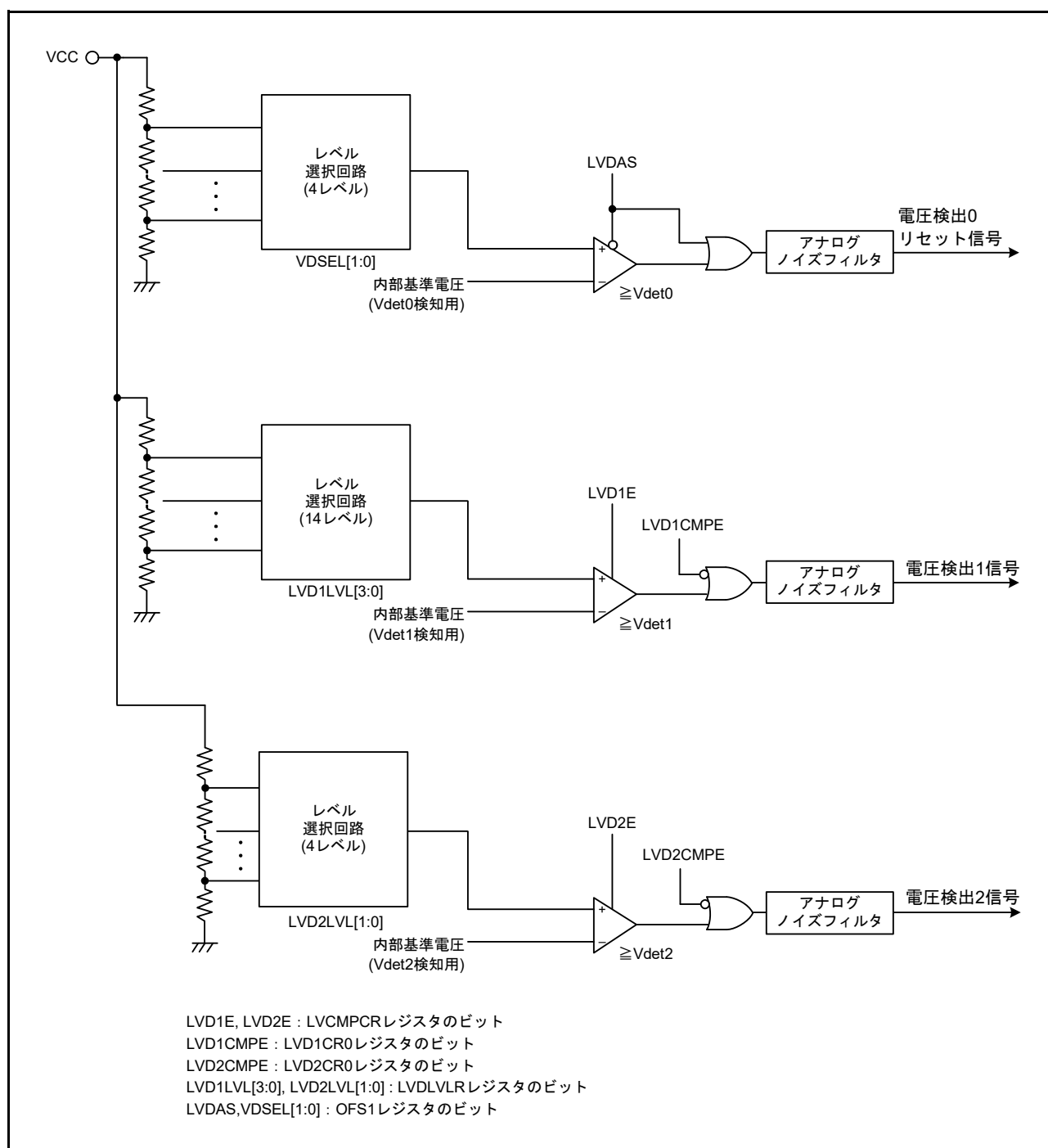


図 8.1 電圧検出回路ブロック図

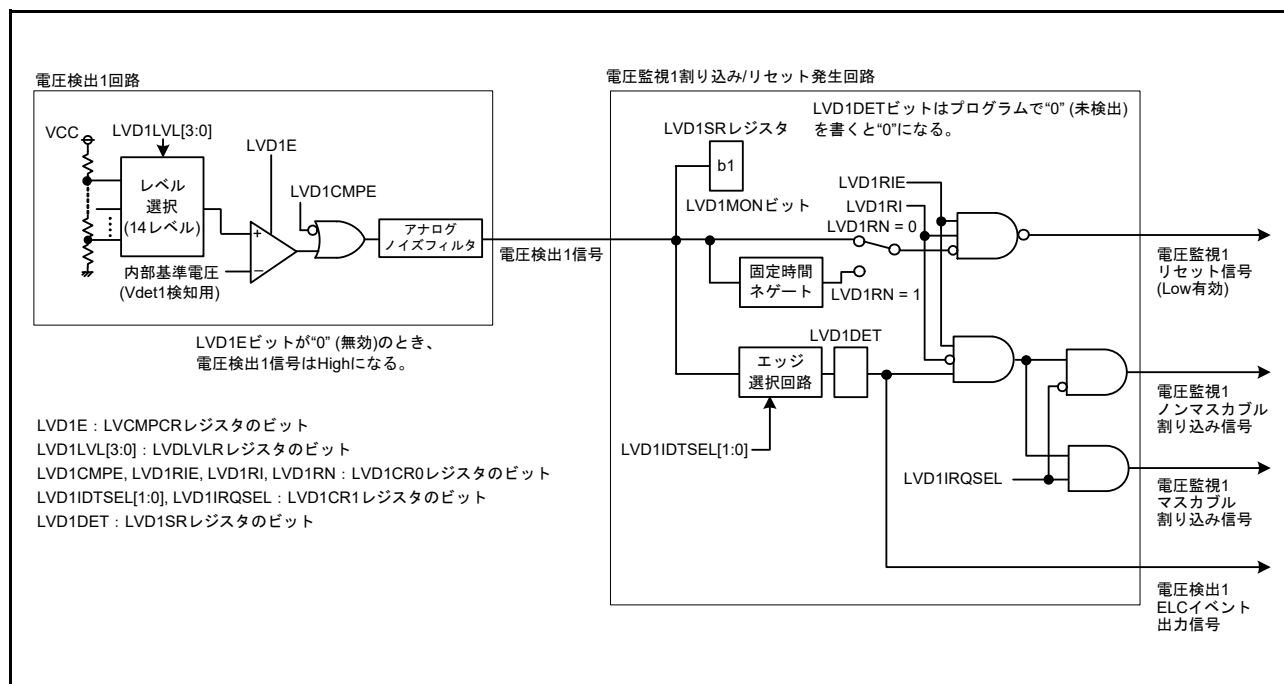


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

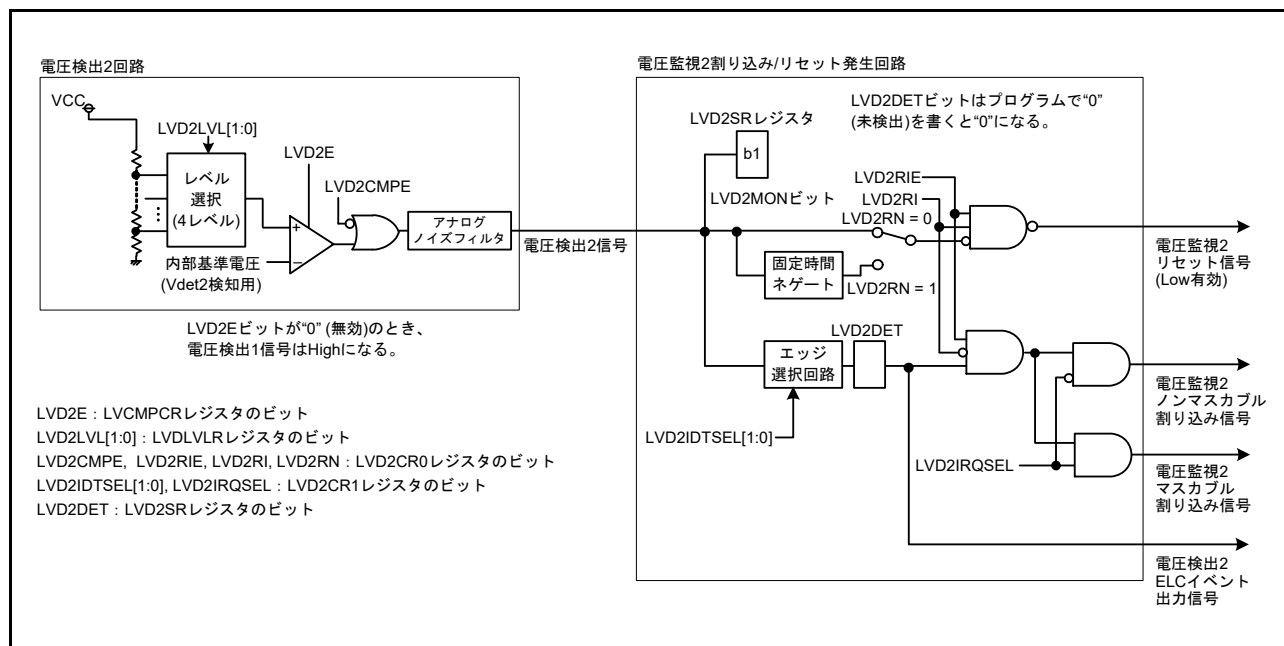


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IRQSEL	LVD1IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視 1 割り込み ELC イベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇)検出時 0 1 : VCC < Vdet1 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視 1 割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1MON	LVD1DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DET ビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”(禁止)にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”(許可)にする場合は、PCLKB で 2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IRQSEL	LVD2IDTSEL[1:0]	
0	0	0	0	0	0	0	1

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込みELCイベント発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet2 (上昇)検出時 0 1 : VCC < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1” (書き込み許可)にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視 2 電圧変化検出フラグ	0 : 未検出 1 : Vdet2 通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視 2 信号モニタフラグ	0 : $VCC < Vdet2$ 1 : $VCC \geq Vdet2$ または LVD2MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DET ビットの読み出し値に反映されるまでにシステムクロック 2 サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”(禁止)にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”(許可)にする場合は、PCLKB で 2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD1E ビット (電圧検出 1 許可ビット)

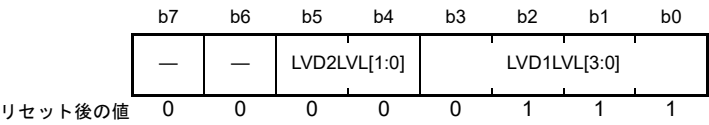
電圧検出 1 の割り込み / リセットを使用する場合、または LVD1SR.LVD1MON フラグを使用する場合、LVD1E ビットを “1” にしてください。LVD1E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 1 回路が動作します。

LVD2E ビット (電圧検出 2 許可ビット)

電圧検出 2 の割り込み / リセットを使用する場合、または LVD2SR.LVD2MON フラグを使用する場合、LVD2E ビットを “1” にしてください。LVD2E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 2 回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3b0 0000: 4.29V 0001: 4.14V 0010: 4.02V 0011: 3.84V 0100: 3.10V 0101: 3.00V 0110: 2.90V 0111: 2.79V 1000: 2.68V 1001: 2.58V 1010: 2.48V 1011: 2.20V 1100: 1.96V 1101: 1.86V 上記以外は設定しないでください	R/W
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b5b4 00: 4.29V 01: 4.14V 10: 4.02V 11: 3.84V	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVDLVLR レジスタを変更するときは、LVCMPCR.LVD1E ビットおよび LVCMPCR.LVD2E ビットを共に “0”(電圧検出 n 回路無効)(n = 1, 2) にしてから行ってください。

また、LVD1LVL[3:0] ビットで設定の電圧検出レベルの範囲と LVD2LVL[1:0] ビットで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「39. 電気的特性」を参照してください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE
リセット後の値	1	0	0	0	x	0	0	0
x : 不定								

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視 1 割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視 1 回路比較結果出力許可ビット	0 : 電圧監視 1 回路比較結果出力禁止 1 : 電圧監視 1 回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視 1 回路モード選択ビット	0 : Vdet1 通過時に電圧監視 1 割り込み 1 : 下降して Vdet1 通過時に電圧監視 1 リセット	R/W
b7	LVD1RN	電圧監視 1 リセットネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間(tLVD1)経過後にネゲート 1 : 電圧監視 1 リセットアサートから一定時間(tLVD1)経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”(VCC > Vdet1 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE
リセット後の値	1	0	0	0	x	0	0	0
	x : 不定							

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0 : VCC > Vdet2検出から一定時間(tLVD2)経過後にネゲート 1 : 電圧監視2リセットアサートから一定時間(tLVD2)経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”(VCC > Vdet2 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMPCR.LVD1E ビットを “1” (電圧検出 1 回路有効) にする
- (3) td(E-A) 待ってから、LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可) にする

8.3.3 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMPCR.LVD2E ビットを “1” (電圧検出 2 回路有効) にする
- (3) td(E-A) 待ってから、LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可) にする

8.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”(リセット後、電圧監視 0 リセット有効)にしてください。

図 8.4 に電圧監視 0 リセット動作例を示します。

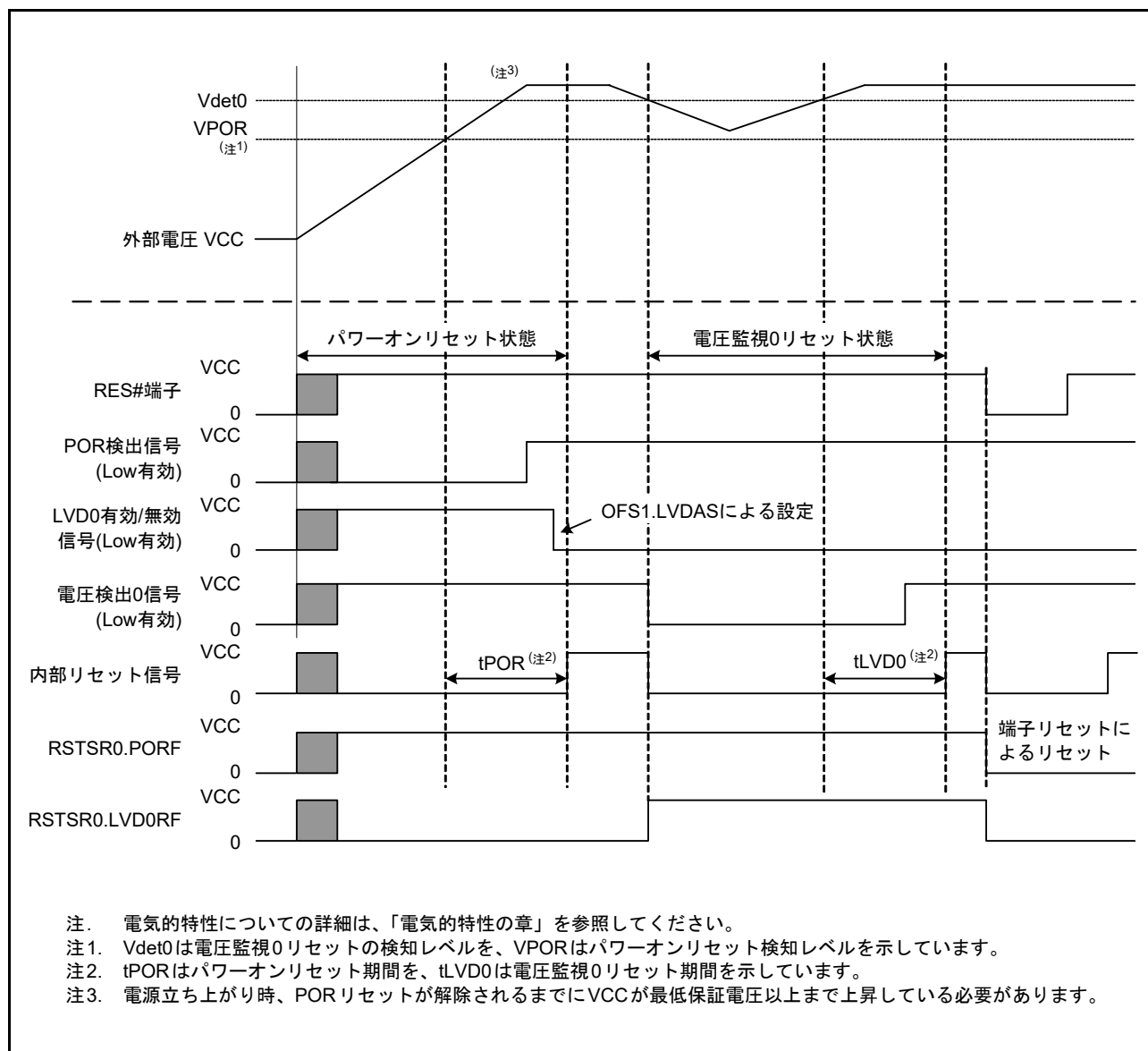


図 8.4 電圧監視 0 リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.2 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.3 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.2 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1 (注1)	LVD1VLR.LVD1LVL[3:0] ビットで検出電圧を選択する	
2 (注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み)にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視 1 リセット)にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する。	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする。
5 (注1)	LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効)にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可)にする	
8	2 μ s 以上待つ	—
9	LVD1SR.LVD1DET ビットを“0”にする	—
10	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする	—

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1～10 で設定してください。

表 8.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視 1 回路比較結果出力禁止)にする	
3 (注1)	LVCMPCR.LVD1E ビットを“0” (電圧検出 1 回路無効)にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする
5	LVCMPCR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1～5 で設定してください。

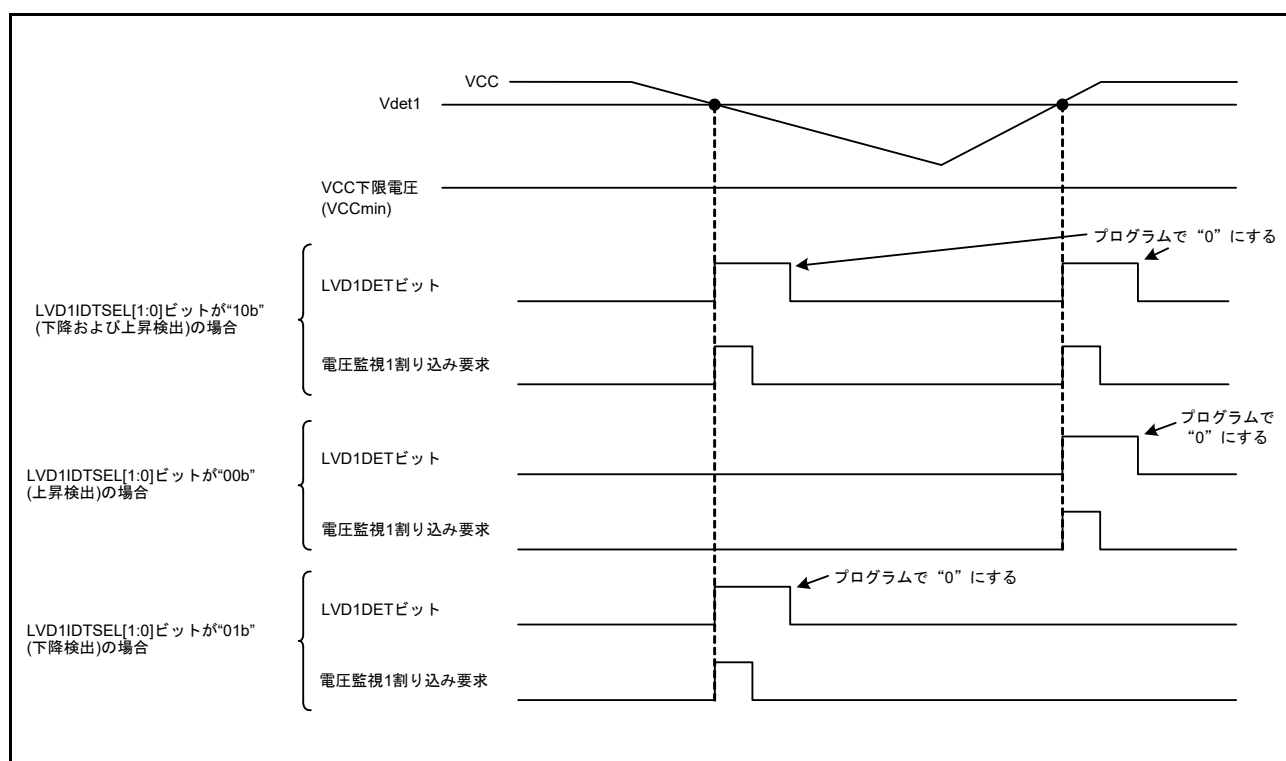


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.4 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.4 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順

手順	電圧監視2割り込み 電圧監視2ELC イベント出力	電圧監視2リセット
1 (注1)	LVDLVLR.LVD2LVL[1:0] ビットで検出電圧を選択する	
2 (注1)	LVD2CR0.LVD2RI ビットを“0” (電圧監視2割り込み)にする	LVD2CR0.LVD2RI ビットを“1” (電圧監視2リセット)にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
3	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	—
4	—	LVD2CR0.LVD2RIE ビットを“1” (電圧監視2割り込み/リセット許可)にする
5 (注1)	LVCMPCR.LVD2E ビットを“1” (電圧検出2回路有効)にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視2回路比較結果出力許可)にする	
8	2 μ s 以上待つ	—
9	LVD2SR.LVD2DET ビットを“0”にする	—
10	LVD2CR0.LVD2RIE ビットを“1” (電圧監視2割り込み/リセット許可)にする	—

注1. 電圧監視2割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、2、5、6は不要です。電圧監視2リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順1～10で設定してください。

表 8.5 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順	電圧監視2割り込み 電圧監視2ELC イベント出力	電圧監視2リセット
1	LVD2CR0.LVD2RIE ビットを“0” (電圧監視2割り込み/リセット禁止)にする	—
2	LVD2CR0.LVD2CMPE ビットを“0” (電圧監視2回路比較結果出力禁止)にする	
3 (注1)	LVCMPCR.LVD2E ビットを“0” (電圧検出2回路無効)にする	
4	—	LVD2CR0.LVD2RIE ビットを“0” (電圧監視2割り込み/リセット禁止)にする
5	LVCMPCR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視2割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順3は不要です。電圧監視2リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順1～5で設定してください。

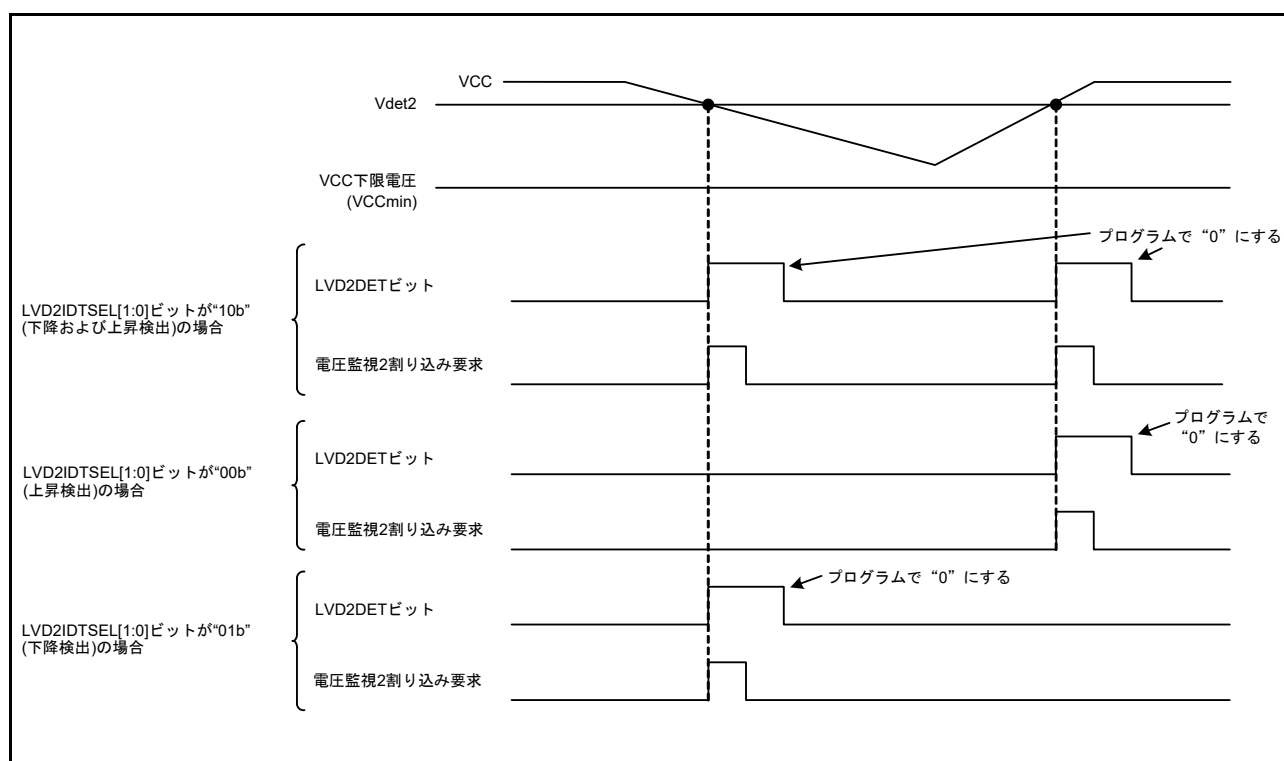


図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。

(1) Vdet1 通過検出イベント出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベント出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイ中でも電圧監視 1、電圧監視 2 割り込みを出力することができますが、ELC 用のイベント信号の出力については、以下の通りです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表 9.1 クロック発生回路の仕様

項目	仕様
用途	• CPU、DMAC、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKA, PCLKB, PCLKD) の生成 • 周辺モジュールクロック (PCLKA) は MTU2 用、周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) は MTU2、S12AD 以外の周辺モジュール用の動作クロックです。 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • CAC に供給される CAC クロック (CACCLK) の生成 • IWDTC に供給される IWDTC 専用クロック (IWDTCCLK) の生成 • CAN に供給される CAN クロック (CANMCLK) の生成 • LPT に供給される LPT クロック (LPTCLK) の生成
動作周波数 (注1)	• ICLK : 32MHz (max) • PCLKA : 32MHz (max) • PCLKB : 32MHz (max) • PCLKD : 32MHz (max) • FCLK : 1MHz ~ 32MHz (ROM、E2 データフラッシュ P/E 時) 32MHz (max) (E2 データフラッシュ読み出し時) • CACCLK : 各発振器のクロックと同じ • IWDTCCLK : 15kHz • CANMCLK : 20MHz (max) • LPTCLK : 選択した発振器のクロックと同じ
メインクロック発振器	• 発振器周波数 : 1MHz ~ 20MHz (VCC ≥ 2.4V), 1MHz ~ 8MHz (VCC < 2.4V) • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL, XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 • ドライブ能力を切り替える機能
PLL 回路 (注2)	• 入力クロック源 : メインクロック • 入力分周比 : 1、2、4 分周から選択可能 • 入力周波数 : 4MHz ~ 8MHz • 逡倍比 : 4 ~ 8 逡倍 (0.5 刻み) から選択可能 • 発振周波数 : 24MHz ~ 32MHz (VCC ≥ 2.4V)
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz
IWDTC 専用オンチップオシレータ	発振周波数 : 15kHz

注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.5 動作電力コントロールレジスタ (OPCCR)」を参照してください。

注2. PLL は外部電圧 (VCC) が 2.4V 以上で使用可能です。

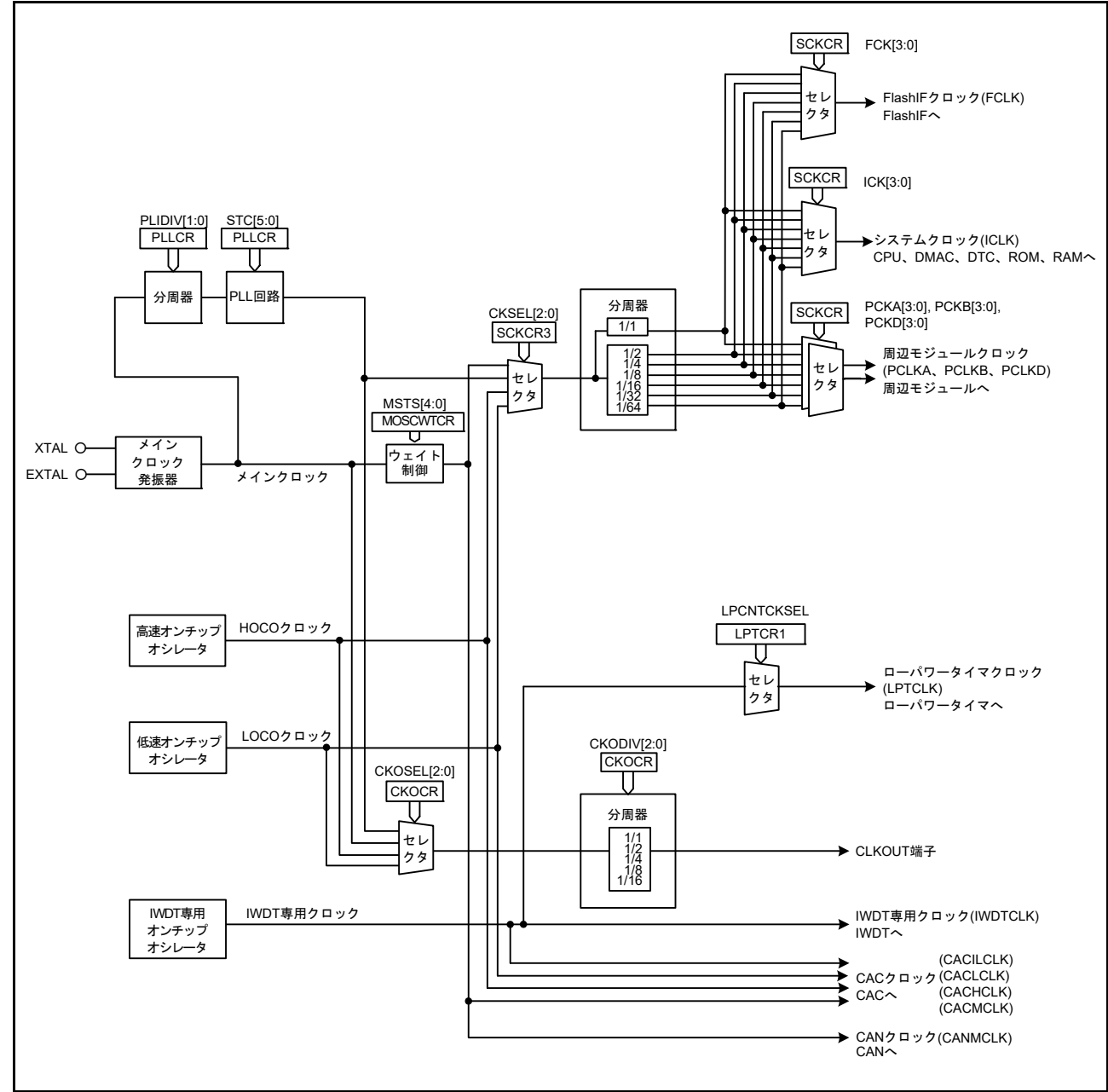


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振器接続端子。また、EXTAL 端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
CLKOUT	出力	クロック出力端子

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス SYSTEM.SCKCR 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCK[3:0]				ICK[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCKA[3:0]				PCKB[3:0]				—	—	—	—	PCKD[3:0]			
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0] (注1)	周辺モジュールクロック D (PCLKD) 選択ビット	b3 b0 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0] (注1)	周辺モジュールクロック B (PCLKB) 選択ビット	b11 b8 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0] (注1)	周辺モジュールクロック A (PCLKA) 選択ビット	b15 b12 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は、設定しないでください	R/W
b19-b16	—	予約ビット	PCKB[3:0] ビットの設定値と同じ値を設定してください	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0]	システムクロック (ICLK) 選択ビット	b27 b24 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b28	FCK[3:0] (注1)	FlashIF クロック (FCLK) 選択ビット	b31b28 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. システムクロック (ICLK) より高い周波数を設定しないでください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

SCKCR レジスタへの書き込み後、後続の命令で SCKCR レジスタ、SCKCR3 レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

PCKA[3:0] ビット (周辺モジュールクロック A (PCLKA) 選択ビット)

周辺モジュールクロック A (PCLKA) の周波数を選択します。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス SYSTEM.SCKCR3 0008 0026h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択 1 0 0 : PLL 回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス SYSTEM.PLLCR 0008 0028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	STC[5:0]					—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL 入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数通倍率設定ビット	b13 b8 0001111 : ×4 0010000 : ×4.5 0010001 : ×5 0010100 : ×5.5 0010101 : ×6 0011000 : ×6.5 0011001 : ×7 0011100 : ×7.5 0011101 : ×8 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLLCR2.PLLEN ビットが“0”(PLL 動作) のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (4MHz ~ 8MHz) の範囲に入るように設定してください。

STC[5:0] ビット (周波数通倍率設定ビット)

PLL の周波数通倍率を設定します。

STC[5:0] ビットは、PLL の発振周波数 (24MHz ~ 32MHz) の範囲に入るように設定してください。

9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス SYSTEM.PLLCR2 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0 : PLL 動作 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLLEN ビットで PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグが“1”になっていることを確認してから、システムクロックを PLL クロックに切り替えてください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.PLOVF フラグの“0”を確認してから設定してください。
- PLL の停止設定は、PLL 動作かつ OSCOVFSR.PLOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで PLL を選択しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

外部電圧 (VCC) が 2.4V 未満のときは、PLLEN ビットを“0” (PLL 動作) にする書き込みは禁止です。

9.2.5 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 0008 0032h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MOSTP
リセット後の値 0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0 : メインクロック発振器動作 1 : メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

メインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

MOSTP ビットにてメインクロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインクロック発振器の停止設定は、メインクロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- システムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL を動作させているとき (PLLCR2.PLEN = 0)

9.2.6 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 (t_{LOCO}) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

9.2.7 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス SYSTEM.ILOCOCR 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT 専用オンチップオシレータ停止ビット	0 : IWDT 専用オンチップオシレータ動作 1 : IWDT 専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” (IWDT 動作) のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDTSTRT ビットが “1” (IWDT 停止) のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが “0” (IWDT 専用オンチップオシレータ動作) の後、“1” (IWDT 専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDT 専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDT 専用クロック発振安定時間 (t_{ILOCO}) に相当する一定時間経過後、MCU 内部にクロックが供給開始されます。IWDT 専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDT 専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。

9.2.8 高速オンチップオシレータコントロールレジスタ (HOCOCR)

アドレス SYSTEM.HOCOCR 0008 0036h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HCSTP
0	0	0	0	0	0	0	0/1 (注1)

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してからシステムクロックを HOCO クロックに切り替えてください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1”(HOCO 停止)にする書き込みは禁止です。

9.2.9 発振安定フラグレジスタ (OSCOVFSR)

アドレス SYSTEM.OSCOVFSR 0008 003Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HCOVF	PLOVF	—	MOOV F
0	0	0	0	0/1	0	0	0

リセット後の値 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0 : メインクロック停止 1 : 発振安定、システムクロックとして使用可能 (注2)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLL クロック発振安定フラグ	0 : PLL 停止、または発振安定待ち中 1 : 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCO クロック発振安定フラグ	0 : HOCO 停止、または発振安定待ち中 1 : 発振安定、システムクロックとして使用可能	R
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCOVFビットのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFビットのリセット後の値は“0”になります。

注2. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合、設定値(待ち時間)が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロックの発振安定の状態を示します。

[“1”になる条件]

- MOSCCR.MOSTP ビットが“1”(メインクロック発振器停止)のときに、MOSTP ビットを“0”(メインクロック発振器動作)にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

[“0”になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL クロックの発振安定の状態を示します。

[“1”になる条件]

- PLLCR2.PLEN ビットが“1”(PLL 停止)のときに、PLEN ビットを“0”(PLL 動作)にした後、MOOVF フラグが“1”になり、かつ PLL クロック発振安定時間 (tPLL) が経過し、MCU 内部に PLL クロックの供給が開始されたとき

[“0”になる条件]

- PLLCR2.PLEN ビットを“1”にした後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

[“1”になる条件]

- HOCOCR.HCSTP ビットが“1” (HOCO 停止) のときに、HCSTP ビットを“0” (HOCO 動作) にした後、MCU 内部に HOCO クロックの供給が開始されたとき
[“0” になる条件]
- HOCOCR.HCSTP ビットを“1” にした後、HOCO の発振停止処理が完了したとき

9.2.10 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込みを禁止、POE への発振停止検出通知なし 1 : 発振停止検出割り込みを許可、POE への発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

OSTDIE ビット (発振停止検出割り込み許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待つてから行ってください。アクセスサイクル数がPCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で2サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能許可ビット)

発振停止検出機能の有効 / 無効を設定します。

OSTDE ビットを“1”(発振停止検出機能有効)にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”(LOCO 停止)を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”(メインクロック発振停止検出) のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.11 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0 : メインクロックの発振停止を未検出 1 : メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF = 0 が読み出し値に反映されるまで ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

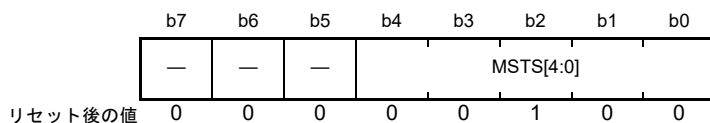
- OSTDCR.OSTDE ビットが“1” (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.12 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 0 0 0 0 : 待ち時間 = 2 サイクル (0.5μs) 0 0 0 1 : 待ち時間 = 1024 サイクル (256μs) 0 0 1 0 : 待ち時間 = 2048 サイクル (512μs) 0 0 1 1 : 待ち時間 = 4096 サイクル (1.024ms) 0 1 0 0 : 待ち時間 = 8192 サイクル (2.048ms) 0 1 0 1 : 待ち時間 = 16384 サイクル (4.096ms) 0 1 1 0 : 待ち時間 = 32768 サイクル (8.192ms) 0 1 1 1 : 待ち時間 = 65536 サイクル (16.384ms) 上記以外は設定しないでください 待ち時間は LOCO = 4.0MHz (0.25μs, TYP) の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは PRCR.PRC1 ビットを“1” (書き込み許可) にした後で書き換えてください。

MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“00000b”を設定してください。

MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LCSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

9.2.13 CLKOUT 出力コントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 0008 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKOSTP	CKODIV[2:0]			CKOSEL[3:0]				—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	CKOSEL[3:0]	CLKOUT 出力ソース選択ビット	b11 b8 0 0 0 0 : LOCO クロック 0 0 0 1 : HOCO クロック 0 0 1 0 : メインクロック 0 1 0 0 : PLL 上記以外は設定しないでください	R/W
b14-b12	CKODIV[2:0]	CLKOUT 出力分周比選択ビット	b14 b12 0 0 0 : 分周なし 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 上記以外は設定しないでください	R/W
b15	CKOSTP	CLKOUT 出力停止制御ビット	0 : CLKOUT 端子出力許可 (注1) 1 : CLKOUT 端子出力禁止 (Low 固定)	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. 対応する端子の端子機能制御レジスタ、ポートモードレジスタの設定も必要です。

CKOSEL[3:0] ビット (CLKOUT 出力ソース選択ビット)

CLKOUT 端子から出力するクロックのソースを LOCO クロック、HOCO クロック、メインクロック、PLL から選択します。

CKODIV[2:0] ビット (CLKOUT 出力分周比選択ビット)

CKOSEL[3:0] ビットで選択したクロックの分周比を選択します。

変更するときは CKOSTP ビットを“1”にしてください。

なお、出力するクロックの周波数が、VCC が 2.7V 以上の場合は 16MHz 以下、VCC が 2.7V 未満のときは 8MHz 以下になるように分周比を設定してください。

CLKOUT 端子から出力されるクロックの特性は、「表 39.42 CLKOUT タイミング」を参照してください。

CKOSTP ビット (CLKOUT 出力停止制御ビット)

CLKOUT 端子の出力を制御します。

“0”にすると選択したクロックが出力されます。“1”にすると Low が出力されます。

クロックを発振させたまま CKOSTP ビットを書き換えると、出力にグリッチが発生することがあります。

9.2.14 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス SYSTEM.MOFCR 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	VCC ≥ 2.4V 0 : 1MHz ~ 10MHz 未満 1 : 10MHz ~ 20MHz VCC < 2.4V 0 : 1MHz ~ 8MHz 1 : 設定禁止	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

EXTAL/XTAL 端子はポートと兼用端子になっており初期設定状態ではポート機能となります。

MODRV21 ビット (メインクロック発振器ドライブ能力切り替えビット)

メインクロック発振器のドライブ能力の切り替えをします。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.15 低速オンチップオシレータトリミングレジスタ (LOCOTRR)

アドレス SYSTEM.LOCOTRR 0008 0060h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	LOCOTRD[4:0]				
リセット後の値	0	0	0	(注1)	(注1)	(注1)	(注1)

ビット	シンボル	ビット名	機能	R/W
b4-b0	LOCOTRD[4:0]	低速オンチップオシレータ周波数補正ビット	b4 b0 1 0 0 0 0 : -16 (周波数 : 低) 1 0 0 0 1 : -15 : 0 1 1 1 0 : 14 0 1 1 1 1 : 15 (周波数 : 高)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. チップごとの固定値

LOCOTRD[4:0] ビット (低速オンチップオシレータ周波数補正ビット)

低速オンチップオシレータの周波数補正値を設定してください。

設定値は2の補数 (-16 (10h) から 15 (0Fh)) で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.2.16 IWDТ 専用オンチップオシレータトリミングレジスタ (ILOCOTRR)

アドレス SYSTEM.ILOCOTRR 0008 0064h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	ILOCOTRD[4:0]				
リセット後の値	0	0	0	(注1)	(注1)	(注1)	(注1)

ビット	シンボル	ビット名	機能	R/W
b4-b0	ILOCOTRD[4:0]	IWDТ専用オンチップオシレータ周波数補正ビット	b4 b0 0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 0 1 : 1 : 1 1 1 1 0 : 30 1 1 1 1 1 : 31 (周波数 : 高)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. チップごとの固定値

ILOCOTRD[4:0] ビット (IWDТ専用オンチップオシレータ周波数補正ビット)

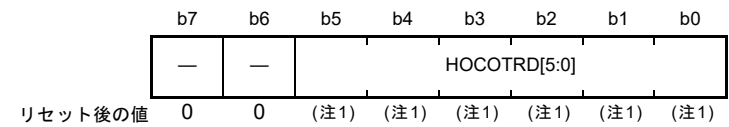
IWDТ専用オンチップオシレータの周波数補正値を設定してください。

設定値は通常の2進数 (0 (00h) から 31 (1Fh)) で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.2.17 高速オンチップオシレータトリミングレジスタ 0 (HOCOTRR0)

アドレス SYSTEM.HOCOTRR0 0008 0068h



ビット	シンボル	ビット名	機能	R/W
b5-b0	HOCOTRD[5:0]	高速オンチップオシレータ周波数補正ビット	b5b0 000000: 0 (周波数: 低) 000001: 1 : 111110: 62 111111: 63 (周波数: 高)	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注1. チップごとの固定値

HOCOTRR0 は 32MHz に対応しています。

HOCOTRD[5:0] ビット (高速オンチップオシレータ周波数補正ビット)

高速オンチップオシレータの周波数補正値を設定してください。
設定値は通常の 2 進数 (0 (00h) から 63 (3Fh)) で、値を大きくすると周波数が高くなります。
工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 9.2 に示します。

必要に応じてダンピング抵抗 (Rd) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に Rf を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 9.1 のメインクロック発振器の発振子周波数の範囲内としてください。

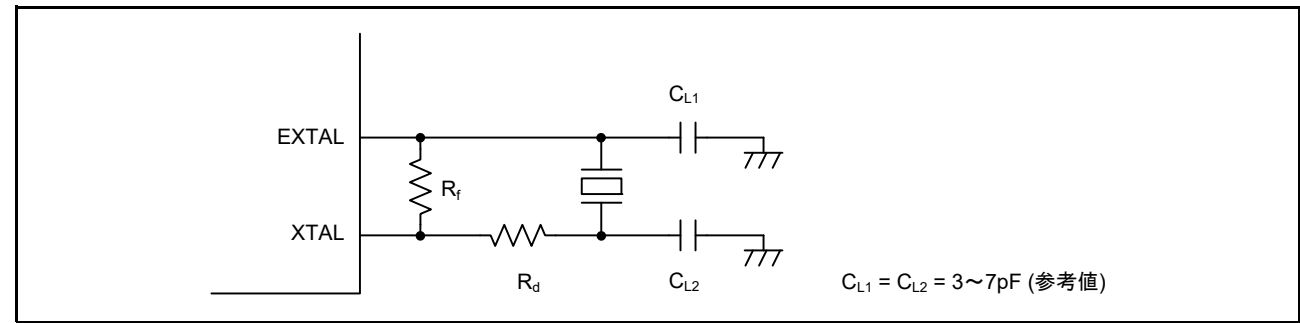


図 9.2 水晶振動子の接続例

表 9.3 ダンピング抵抗 (参考値)

周波数 (MHz)	2	8	16	20
Rd (Ω)	0	0	0	0

水晶振動子の等価回路を図 9.3 に示します。水晶振動子は表 9.4 に示す特性のものを参考として使用してください。

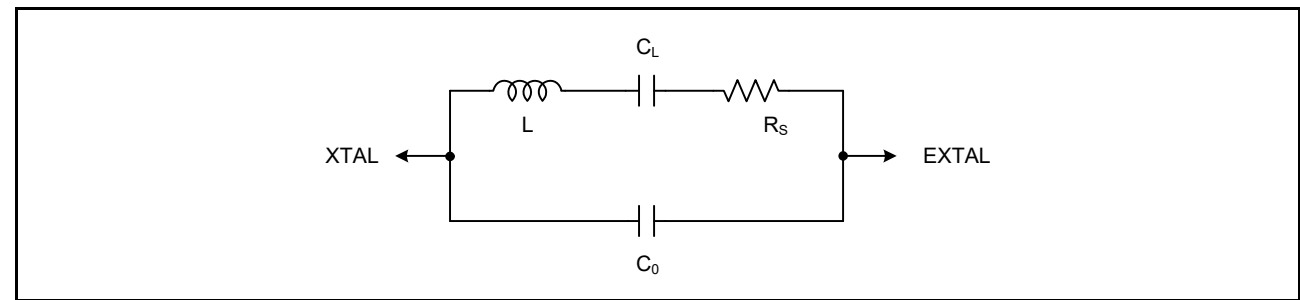


図 9.3 水晶振動子の等価回路

表 9.4 水晶振動子の特性 (参考値)

周波数 (MHz)	8	12	16
RS max (Ω)	200	120	56
C0 max (pF)	1.3	1.3	1.4

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.4 に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にし、XTAL 端子をオープンにしてください。

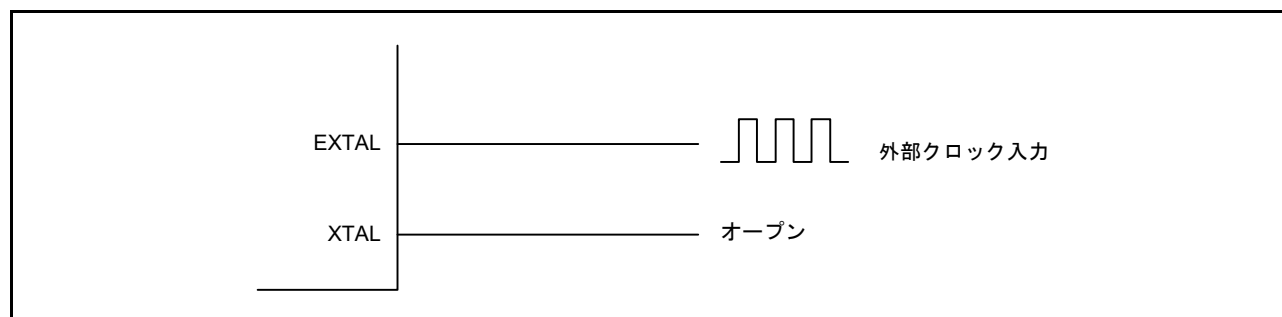


図 9.4 外部クロックの接続例

9.3.3 メインクロックを使用しない場合の端子処理

メインクロックを使用しない場合の端子処理は、「20.5 未使用端子の処理」を参照ください。

9.3.4 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 発振停止検出機能

9.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロック (LOCO クロック) を供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU の出力を強制的にハイインピーダンスとすることも可能です。詳細は、「22. マルチファンクション タイマパルスユニット 2 (MTU2a)」、「23. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

本 MCU は、メインクロック発振器の異常などによって入力クロックが一定期間 “0” または “1” となった場合に、(「39. 電气的特性」の発振停止検出回路特性参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクトにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL クロックが選択されている場合に発振停止を検出すると、SCKCR3.CKSEL[2:0] の設定値は変わらないまま、システムクロックのクロックソースは PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが “1” になると LOCO クロックへ切り替わり、OSTDF フラグを “0” にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを “0” にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを “0” にしてください。その後、OSTDF フラグが “1” になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能を無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロックを選択した場合のシステムクロック、CAC メインクロック (CACMCLK)、および CAN クロック (CANMCLK) を選択していた場合です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

発振停止検出によって PLL の自励発振周波数で動作するのは、システムクロックソースとして PLL クロックを選択した場合のシステムクロックです。

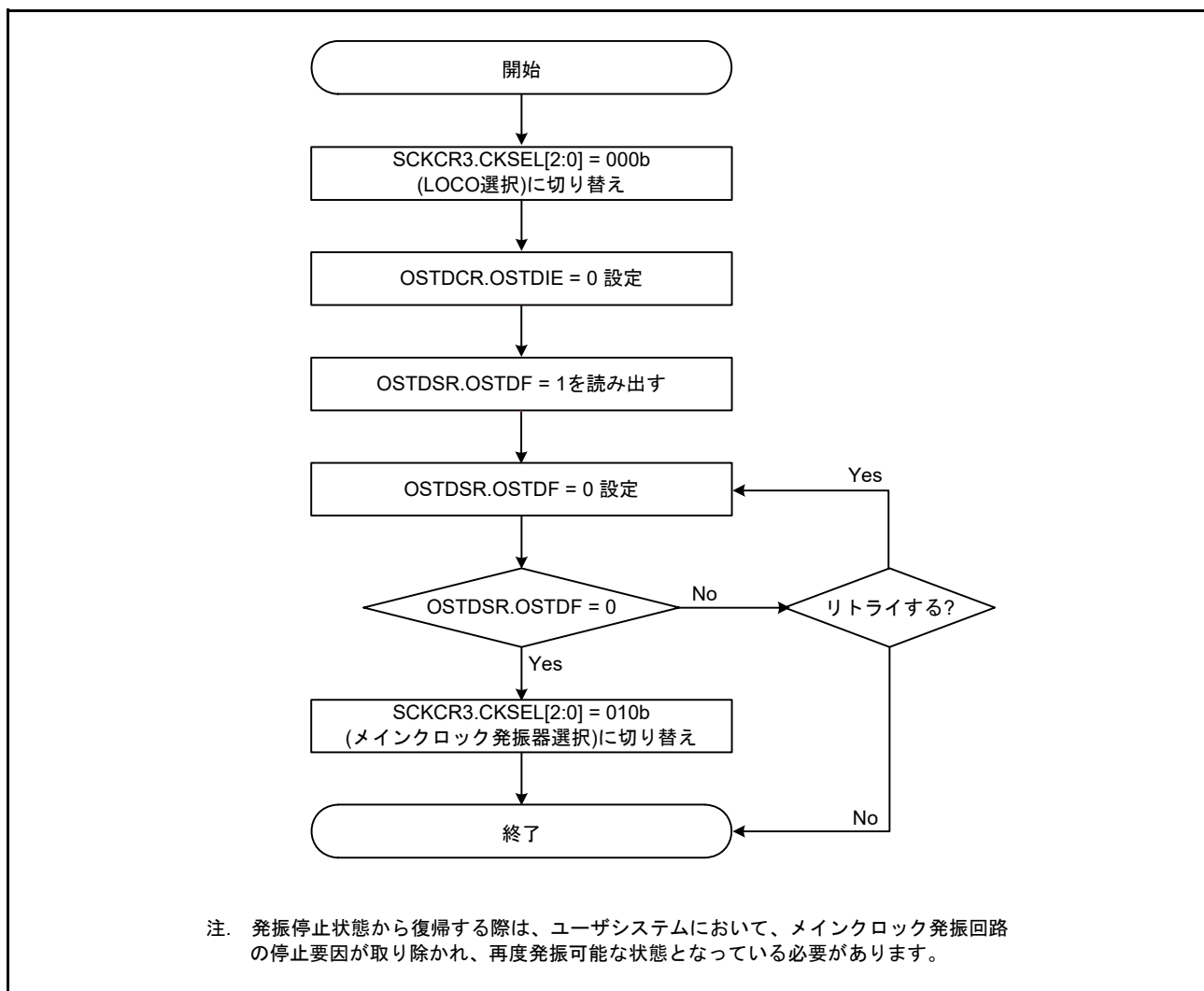


図 9.5 発振停止検出からの復帰のフローチャート例

9.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が “1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が “1” になるとポートアウトプットイネーブル 2(POE) へメインクロック発振器の停止を通知します。POE は、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ 3 の OSTST ハイインピーダンスフラグ (ICSR3.OSTSTF) を “1” にします。この ICSR3.OSTSTF フラグは、発振停止を検出後、PCLKB で 10 サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を “0” にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。発振停止を検出して PLL が自励発振周波数で動作している状態は、システムとして何らかの異常が発生している状態です。異常に対する応急処置のみ実施するようにしてください。

9.5 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

9.6 内部クロック

内部クロックは、クロック源としてメインクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDТ 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DMAC、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA, PCLKB, PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) CAN モジュール用の動作クロック：CAN クロック (CANMCLK)
- (5) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (6) IWDТ モジュール用の動作クロック：IWDТ 専用クロック (IWDТCLK)
- (7) ローパワータイマ用の動作クロック：LPT クロック (LPTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0]、PLIDIV[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、DMAC、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA, PCLKB, PCLKD) は、周辺モジュール用の動作クロックです。

PCLKA、PCLKB、PCLKD の周波数は、SCKCR.PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKA, PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

9.6.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

9.6.4 CAN クロック

CAN クロック (CANMCLK) は、CAN モジュール用の動作クロックです。

CANMCLK は、メインクロック発振器で生成されたクロックです。

9.6.5 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

9.6.6 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.6.7 ローパワータイマクロック

ローパワータイマクロック (LPTCLK) は、ローパワータイマ用の動作クロックです。LPTCLK は、IWDT 専用オンチップオシレータで生成されたクロックです。

9.7 使用上の注意事項

9.7.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のようになっています。
各周波数は電气的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA、PCLKB、PCLKD を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK)、周辺モジュールクロック A、B、D (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) との間には下記の周波数関係が必要です。
ICLK:FCLK = N:1 (N は整数) の周波数関係
ICLK:PCLKA, PCLKB, PCLKD = N:1 (N は整数) の周波数関係
- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

9.7.2 SCKCR3 レジスタ書き換え時の注意事項

SCKCR3 レジスタが書き換えられた場合、クロックソースの切り替え時に短いクロックパルス (グリッチ) が発生しないよう、一時的にクロック出力を停止させています。この期間内に下記の条件を満たす信号が入力された場合、割り込みコントローラで検出できないことがあります。

- (1) PCLKB の分周比が 1 分周 (SCKCR.PCKB[3:0] ビットが “0000b”) の場合、切り替え後の PCLKB の 4 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- (2) PCLKB の分周比が 2 分周 (SCKCR.PCKB[3:0] ビットが “0001b”) の場合、切り替え後の PCLKB の 2.5 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み

外部端子割り込み、NMI 端子割り込みを使用する場合は、上記 (1)、(2) の条件が満たされないように、十分にパルス幅の広い信号を入力してください。

9.7.3 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.7.4 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.6 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

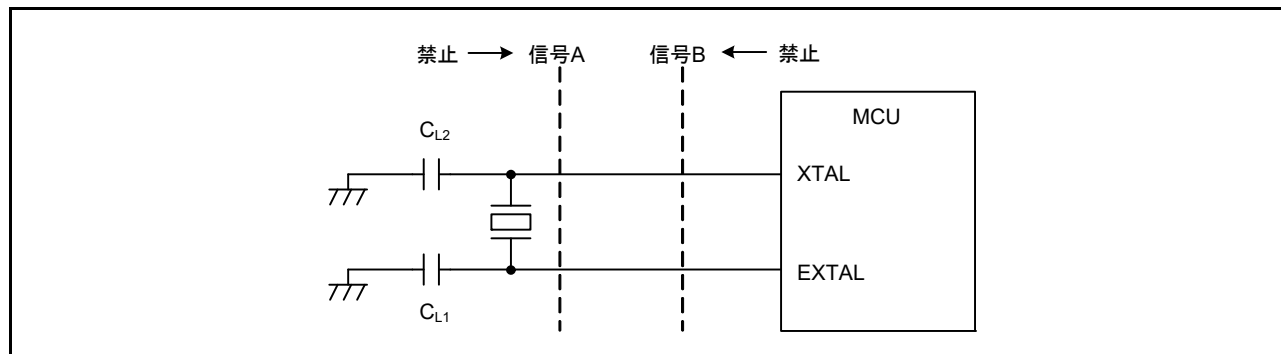


図 9.6 発振回路部のボード設計に関する注意事項

9.7.5 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP = 1) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子、XTAL 端子を汎用ポートとして使用しないでください。

メインクロックを使用する場合は、P36、P37 を出力に設定しないでください。

10. クロック周波数精度測定回路 (CAC)

本 MCU はクロック周波数精度測定回路 (CAC) を内蔵しています。

CAC は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

10.1 概要

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック • HOCOクロック • LOCOクロック • IWDTC専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
測定基準クロック	• 外部から CACREF 端子に入力したクロック • メインクロック • HOCOクロック • LOCOクロック • IWDTC専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能

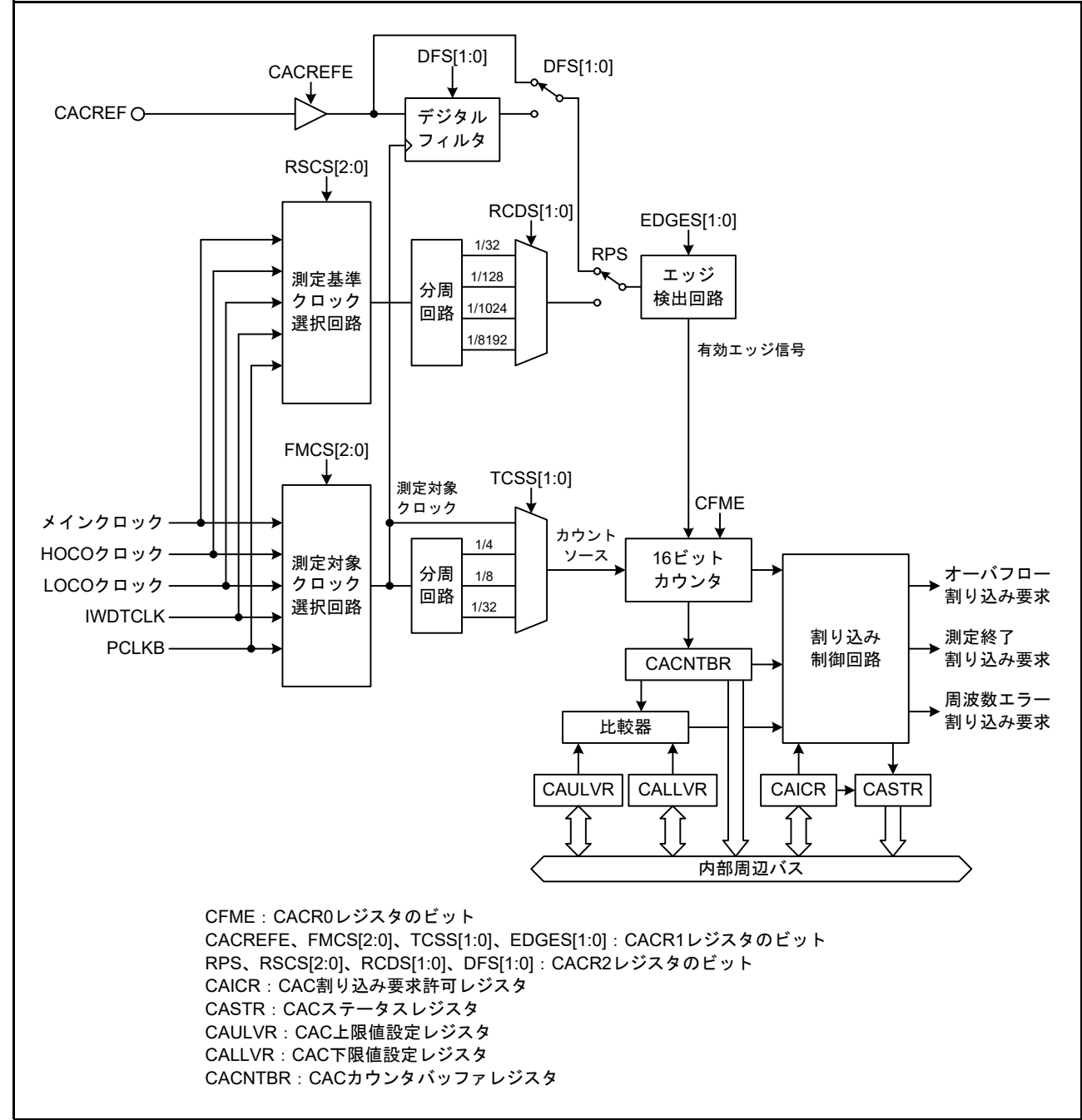


図 10.1 CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 0008 B001h

b7	b6	b5	b4	b3	b2	b1	b0
EDGES[1:0]	TCSS[1:0]	FMCS[2:0]	CACREFE				
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTC専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントソース選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントソース選択ビット)

このビットの設定によりクロック周波数精度測定回路のカウントソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 0008 B002h

b7	b6	b5	b4	b3	b2	b1	b0
DFS[1:0]	RCDS[1:0]	RSCS[2:0]	RPS				
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTC専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 測定対象クロック 1 0 : 測定対象クロックの4分周クロック 1 1 : 測定対象クロックの16分周クロック	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス CAC.CAICR 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバーフロー割り込み要求許可ビット	0: オーバーフロー割り込み要求無効 1: オーバーフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグがクリアされます。読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグがクリアされます。読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグがクリアされます。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバーフロー割り込み要求許可ビット)

オーバーフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグがクリアされます。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグがクリアされます。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグがクリアされます。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 0008 B004h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0 : クロックの周波数が設定値内 1 : クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0 : 測定中 1 : 測定が終了	R
b2	OVFF	オーバフローフラグ	0 : カウンタがオーバフローしていない 1 : カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた(周波数エラー)ことを示します。

[“1”になる条件]

- クロック周波数が設定値を外れたとき

[“0”になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[“1”になる条件]

- 測定終了したとき

[“0”になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

[“1”になる条件]

- カウンタがオーバフローしたとき

[“0”になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 0008 B006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 0008 B008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 0008 B00Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

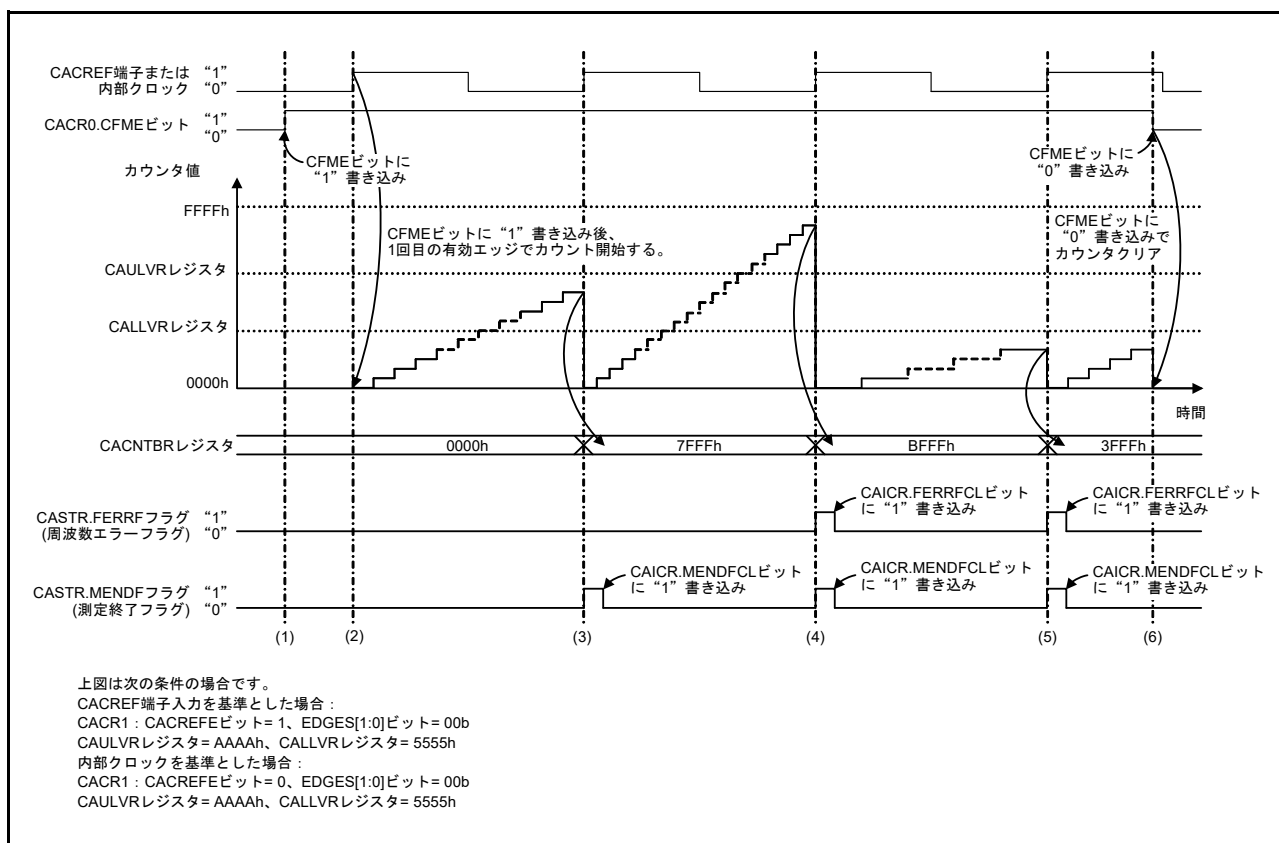


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット=1) は、CACR2.RPS ビットを“0”、CACR1.CACREFE ビットを“1”にした状態で、CACR0.CFME ビットに“1”を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット=0) は、CACR2.RPS ビットを“1”にした状態で、CACR0.CFME ビットに“1”を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに“1”を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット=00b)) が入力されるとタイマのカウンタアップが開始されます。
内部クロックを基準とした場合は、CFME ビットに“1”を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット=00b)) が入力されるとタイマのカウンタアップが開始されます。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CALLVR レジスタ ≤ CACNTBR レジスタ ≤ CAULVR レジスタのときは、クロック周波数が正常なので CASTR.MENDF フラグだけが“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソース 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバーフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが“1”になります。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタと CAULVR レジスタおよび CALLVR レジスタとを比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、高速周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	• CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	• スリープモード • ディープスリープモード • ソフトウェアスタンバイモード
動作電力低減機能	• 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 • 動作電力制御状態：2種類 高速動作モード 中速動作モード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み(注1)
解除後の状態(注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT 専用オンチップオシレータ	動作可能(注3)	動作可能(注3)	動作可能(注3)
PLL	動作可能	動作可能	停止
CPU	停止(保持)	停止(保持)	停止(保持)
RAM (0000 0000h ~ 0000 FFFFh)	動作可能(保持)	停止(保持)	停止(保持)
DMAC	動作可能(注5)	停止(保持)	停止(保持)
DTC	動作可能(注5)	停止(保持)	停止(保持)
フラッシュメモリ	動作	停止(保持)	停止(保持)
独立ウォッチドッグタイマ(IWDT)	動作可能(注3)	動作可能(注3)	動作可能(注3)
ローパワータイマ(LPT)	動作可能(注6)	動作可能(注6)	動作可能(注6)
電圧検出回路(LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止(保持)(注4)
I/Oポート	動作	動作	保持
CLKOUT出力	動作可能	動作可能	停止

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

注1. 外部端子割り込み(NMI, IRQ0 ~ IRQ7)、周辺機能割り込み(IWDT、電圧監視、ELC (LPT 専用割り込み))

注2. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。

注3. IWDT オートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。IWDT オートスタートモードではないとき、IWDT カウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSLTPR.SLCSTP)の設定により、動作/停止を選択することができます。

注4. 周辺モジュールは状態を保持します。

注5. スリープモード中は、システム制御関連のレジスタ(「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

注6. ローパワータイマコントロールレジスタのローパワータイマクロックソース選択ビット(LPTCR1.LPCNTCKSEL) = 1 (IWDT 専用オンチップオシレータ選択)を選択している場合は注3.に従って動作/停止します。

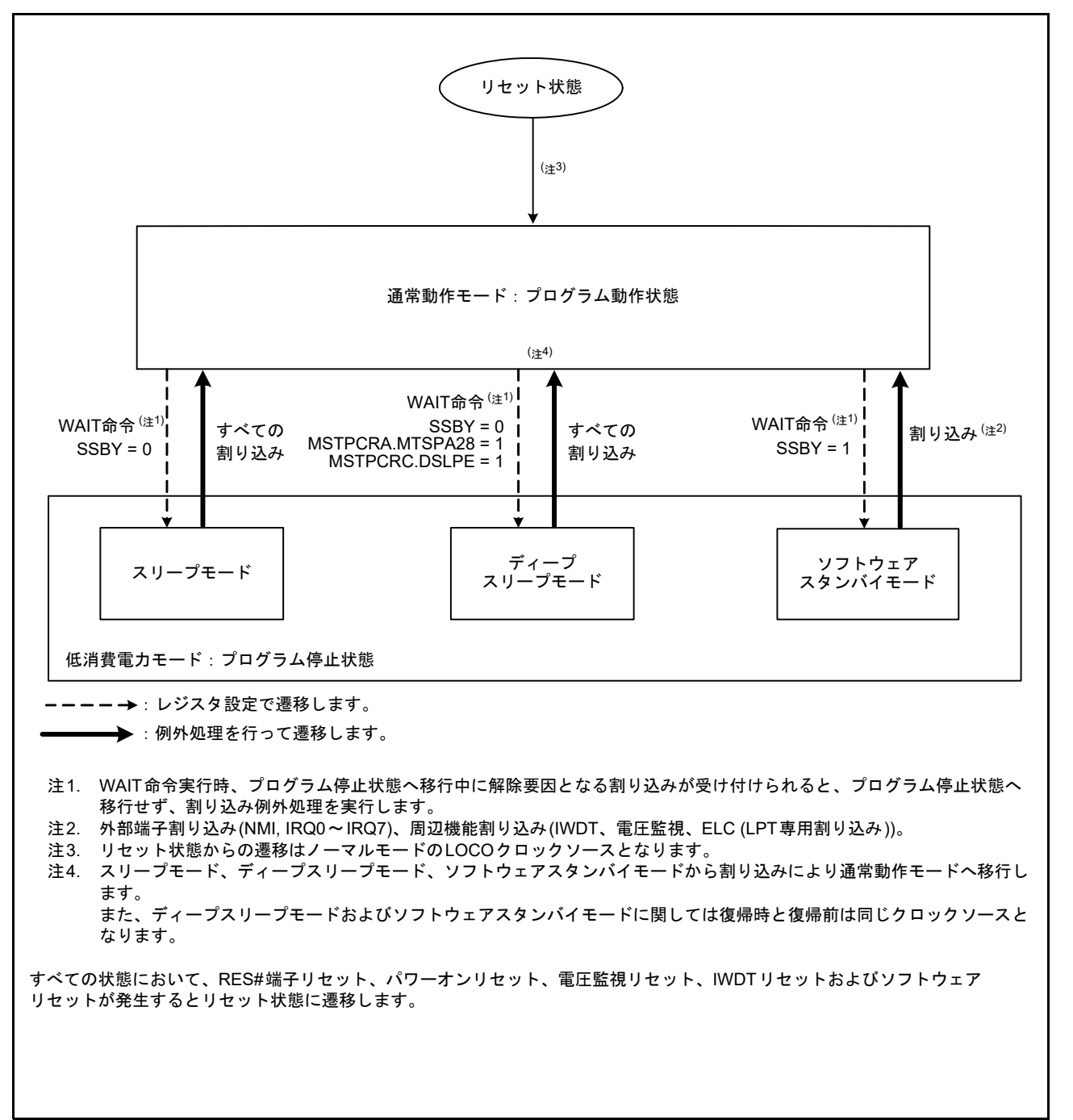


図 11.1 モード遷移

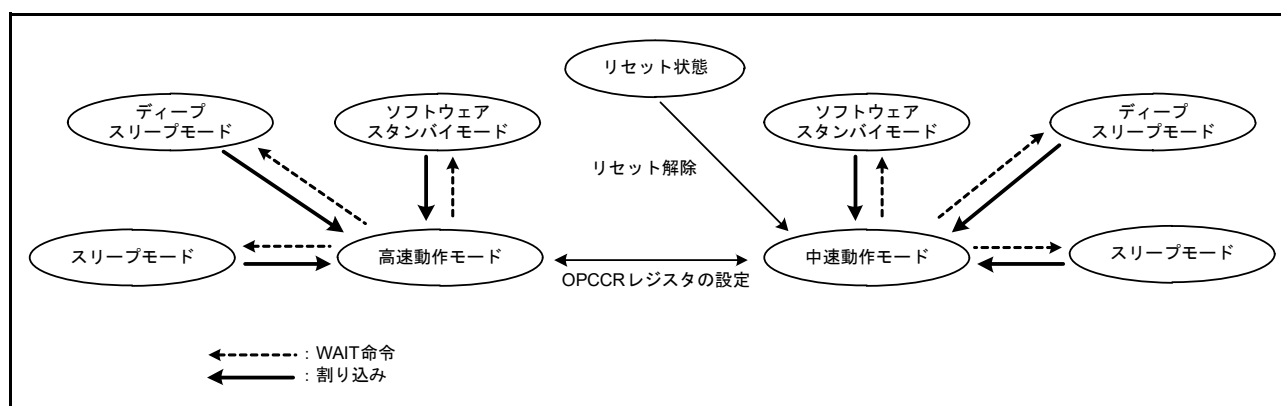


図 11.2 動作モード

- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。
- リセット解除後は中速動作モードで動作開始します。

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0 : WAIT 命令実行後、スリープモードまたはディープスリープモードに遷移 1 : WAIT 命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	MSTPA 26	MSTPA 25	—	—	—	—	—	—	—	MSTPA 17	MSTPA 16
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	—	—	—	—	—	MSTPA 9	—	—	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット2モジュールストップ設定ビット	対象モジュール：MTU (MTU0～MTU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPA16	AFEモジュールストップ設定ビット	対象モジュール：AFE 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPA25	DSAD0モジュールストップ設定ビット	対象モジュール：DSAD0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPA26	DSAD1モジュールストップ設定ビット	対象モジュール：DSAD1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPA28	DMAコントローラ/データ転送ファコントローラモジュールストップ設定ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス SYSTEM.MSTPCRB 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPB30	—	—	—	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MSTPB9	—	—	MSTPB6	—	MSTPB4	—	—	—	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0 (注1)	RSCAN0モジュールストップ設定ビット	対象モジュール：RSCAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーション インタフェース SC1h モジュール ストップ設定ビット	対象モジュール：SC1h (SC112) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	ELCモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I2Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーション インタフェース6モジュールストップ設定 ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーション インタフェース5モジュールストップ設定 ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ設定 ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 本ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後CANMCLKで2サイクル経過したのち、WAIT命令を

実行してください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス SYSTEM.MSTPCRC 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	—	—	—	—	—	—	—	—	—	—	MSTPC19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM モジュールストップ設定ビット (注1)	対象モジュール : RAM (0000 0000h ~ 0000 FFFFh) 0 : RAM 動作 1 : RAM 停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路 モジュールストップ設定ビット (注2)	対象モジュール : CAC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b30-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0 : ディープスリープモード禁止 1 : ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. RAMアクセス中にMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、RAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出カクロックで2サイクル経過したのち、WAIT命令を実行してください。

DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの移行の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SSBY ビットおよび MSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、ディープスリープモードに移行します。詳細は「11.6.2 ディープスリープモード」を参照してください。

11.2.5 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0: 高速動作モード 0 1 0: 中速動作モード 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0: 遷移完了 1: 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”(遷移中) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリがプログラム / イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御モードを選択します。

表 11.3 に動作電力制御モードと OPCM[2:0] ビットの設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

表 11.3 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPCM [2:0] ビット	動作電圧範囲	動作周波数範囲					
			フラッシュメモリ リード時					フラッシュメモリ P/E 時
			ICLK	FCLK	PCLKD	PCLKB	PCLKA	FCLK
高速動作モード	000b	2.7 ~ 5.5V	~ 32MHz	~ 32MHz	~ 32MHz	~ 32MHz	~ 32MHz	1MHz ~ 32MHz
		2.4 ~ 2.7V	~ 16MHz	~ 16MHz	~ 16MHz	~ 16MHz	~ 16MHz	—
		1.8 ~ 2.4V	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	—
中速動作モード	010b	2.4 ~ 5.5V	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	1MHz ~ 12MHz
		1.8 ~ 2.4V	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	1MHz ~ 8MHz

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

各動作電力制御モードについて以下に説明します。

● 高速動作モード

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 32MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 5.5V です。ただし、2.4V ~ 2.7V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 16MHz に制限されます。また、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 8MHz に制限されます。

P/E 時の動作周波数範囲は 1 ~ 32MHz、動作電圧範囲は 2.7V ~ 5.5V です。

図 11.3 に高速動作モードにおける動作電圧と動作周波数の関係を示します。

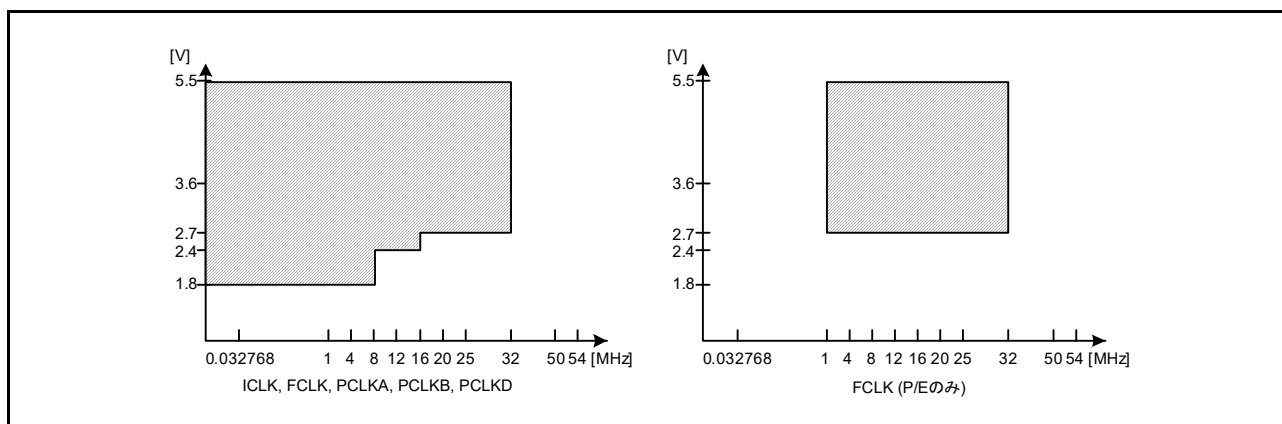


図 11.3 高速動作モードにおける動作電圧と動作周波数の関係

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

● 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 12MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 5.5V です。ただし、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 8MHz に制限されます。

P/E 時は、動作周波数範囲が 1 ~ 12MHz、動作電圧範囲が 1.8V ~ 5.5V となります。ただし、1.8V ~ 2.4V 未満の電圧範囲での P/E 時の最大動作周波数は 8MHz に制限されます。

同条件 (周波数・電圧) で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

リセット解除後は、本モードで起動します。

図 11.4 に中速動作モードにおける動作電圧と動作周波数の関係を示します。

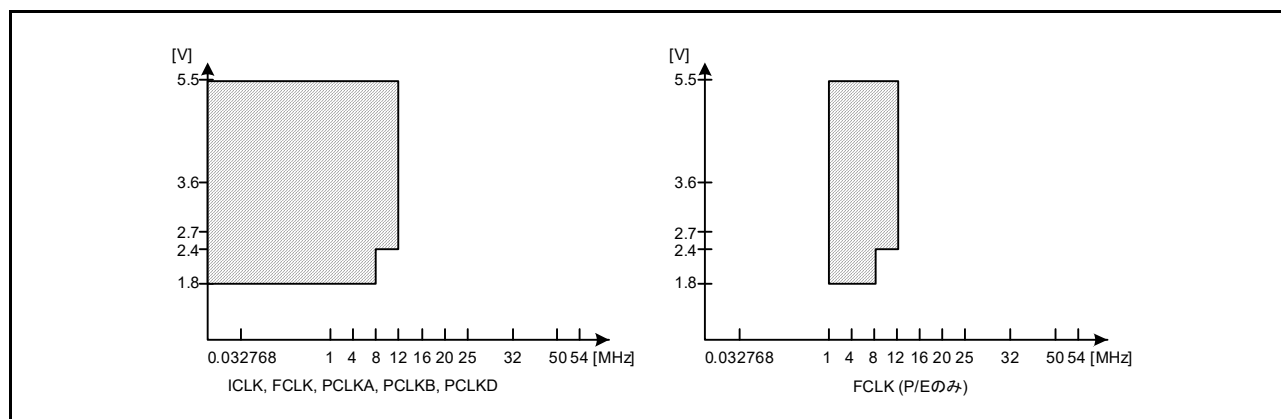


図 11.4 中速動作モードにおける動作電圧と動作周波数の関係

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。
フラッシュインタフェースは FCK[3:0] ビットで設定した動作クロックで動作します。
詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPmi ビット ($m = A \sim C, i = 31 \sim 0$) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を続けます。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時の消費電力を低減することができます。

11.5.1 動作電力制御モード設定方法

動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 高速動作モードから中速動作モードへの切り替え

(高速動作モードで高速動作)



各クロックの周波数を中速動作モードの最大動作周波数以下に設定



OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認



OPCCR.OPCM[2:0] ビットを“010b”(中速動作モード)に設定



OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認



(中速動作モードで中速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 中速動作モードから高速動作モードへの切り替え

中速動作モードで中速動作



OPCCR.OPCMTSF フラグが “0” (遷移完了) であることを確認



OPCCR.OPCM[2:0] ビットを “000b” (高速動作モード) に設定



OPCCR.OPCMTSF フラグが “0” (遷移完了) であることを確認



各クロックの周波数を高速動作モードの最大動作周波数以下に設定



高速動作モードでの高速動作

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注 1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先 (注 2) を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注 3) を、CPU の PSW.IPL[3:0] ビット (注 1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注 3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注 1) は自動的に“1”になります)。

注 1. 詳細は「2. CPU」を参照してください。

注 2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注 3. 詳細は「14. 割り込みコントローラ (ICub)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが(注1)CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合) には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.2 ディープスリープモード

11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します(注1)。

ディープスリープモードでは、CPUに加え、DMAC、DTC、ROM、RAMのクロックも停止します。周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”(低消費電力モード遷移時 IWDT カウント継続)のときは、ディープスリープモードへ遷移後も、IWDT はカウントを継続します。同様にレジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープスリープモードへ遷移後、IWDT はカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット(注2)を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先(注3)を CPU に設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル(注4)を、CPU の PSW.IPL[3:0] ビット(注2)よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みの IERm.IENj (注4)を“1”にする。
- (5) 最後に書きこみを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する(WAIT 命令の実行により CPU の PSW.I (注2)は自動的に“1”になります)。

注 1. DTC の動作状態によっては、ディープスリープモードに遷移できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態で行ってください。

注 2. 詳細は「2. CPU」を参照してください。

注 3. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注 4. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込みの優先レベル(注1)が CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合)には、ディープスリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、ディープスリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。

- 独立ウォッチドッグタイマによる解除

IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能以外のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DMAC の DMAC.DMAST.DMST、DTC の DTCST.DTCST ビットを“0”にしてください。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振停止検出機能有効 (OSTDCR.OSTDE ビット = 1) の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効 (OSTDCR.OSTDE ビット = 0) に設定後、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先 (注2) を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注3) を CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注 1. 詳細は「2. CPU」を参照してください。

注 2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注 3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ7)、周辺機能割り込み (IWDTC、電圧監視、ELC (LPT 専用割り込み))、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、IWDTC、電圧監視、ELC (LPT 専用割り込み) の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDTC のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTCSTRT = 0 かつ OFS0.IWDTCSLCSTP = 1、または OFS0.IWDTCSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.5 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

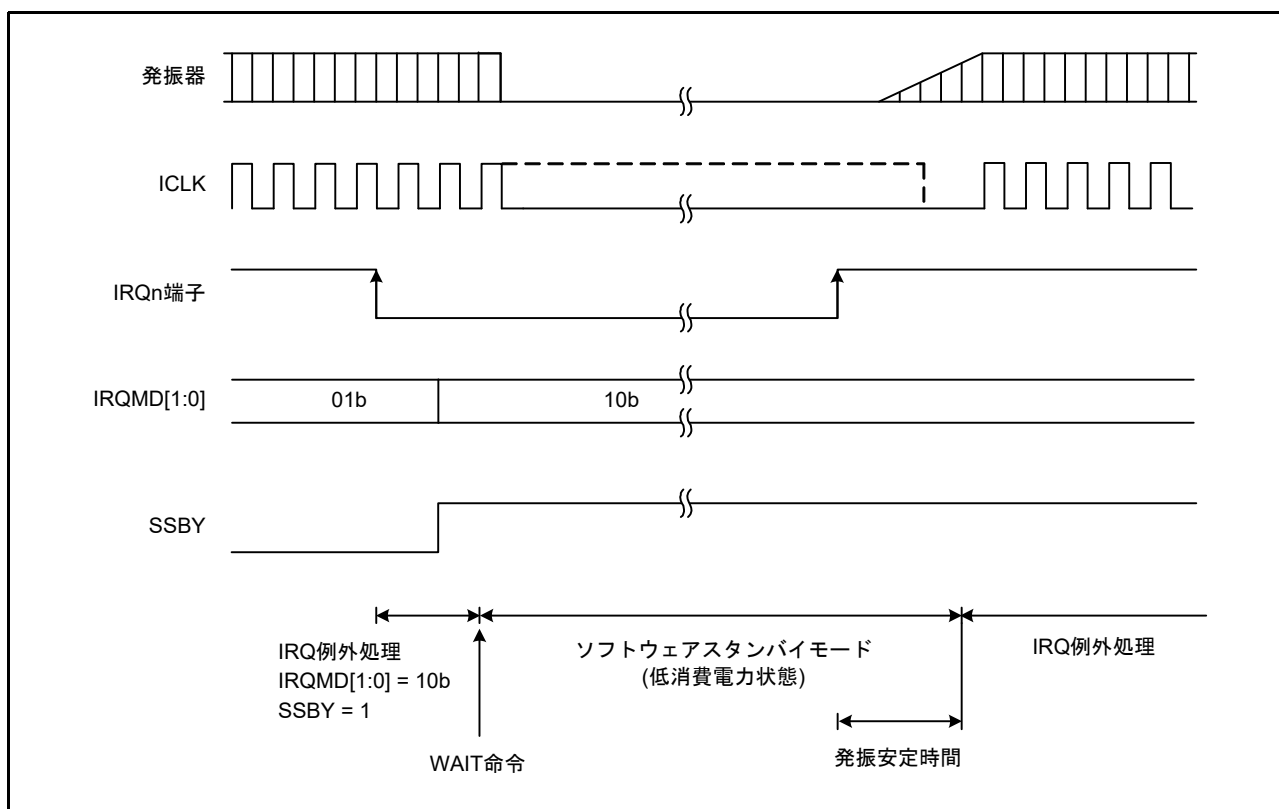


図 11.5 ソフトウェアスタンバイモードの応用例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。

11.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAC.DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DMAC、DTC が起動していない状態にしてください。

詳細は、「17. DMA コントローラ (DMACA)」、「18. データトランスファコントローラ (DTCa)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB、および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.6 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えしないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

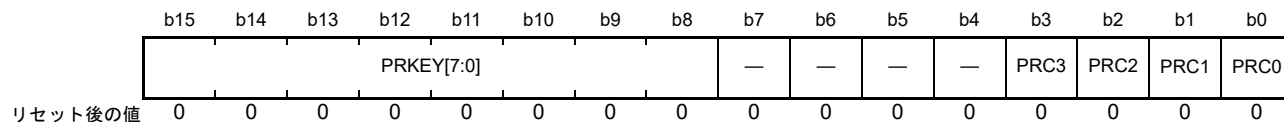
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, LOCOCR, ILOCOCR, HOCOCR, OSTDCR, OSTDSR, CKOCR, LOCOTRR, ILOCOTRR, HOCOTRR0
PRC1 ビット	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, OPCCR - クロック発生回路関連レジスタ MOFCR, MOSCWTCR - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	ローパワータイム関連レジスタ LPTCR1, LPTCR2, LPTCR3, LPTPRD, LPCMR0, LPWUCR
PRC3 ビット	LVD 関連レジスタ LVCMPCR, LVDLVLRL, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセットレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	ローパワータイマ関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCR レジスタの書き換えの可否を制御します。 PRCR レジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0 ~ 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv2 CPU は、8 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

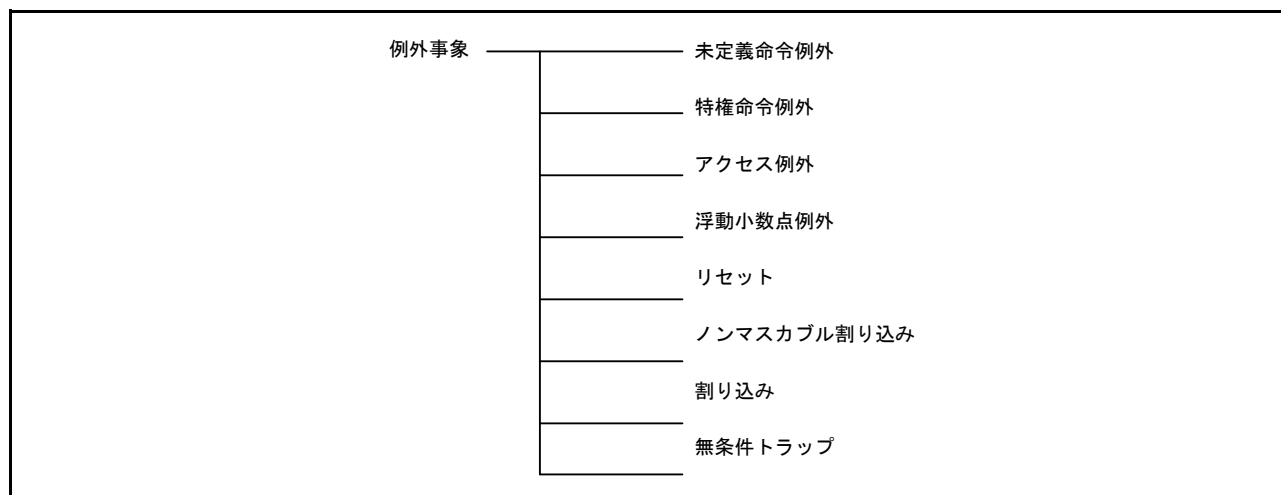


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令 (実装されていない命令) の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 浮動小数点例外

浮動小数点例外は、IEEE754 規格で規定された 5 つの例外事象 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSW の EX、EU、EZ、EO、EV ビットが “0” のとき、例外処理が禁止されます。

13.1.5 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPU に割り込み信号を入力することによって発生します。割り込みのうち 1 つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは 15 (最高) です。

PSW の I ビットが “0” のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム (例外処理ルーチン) によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

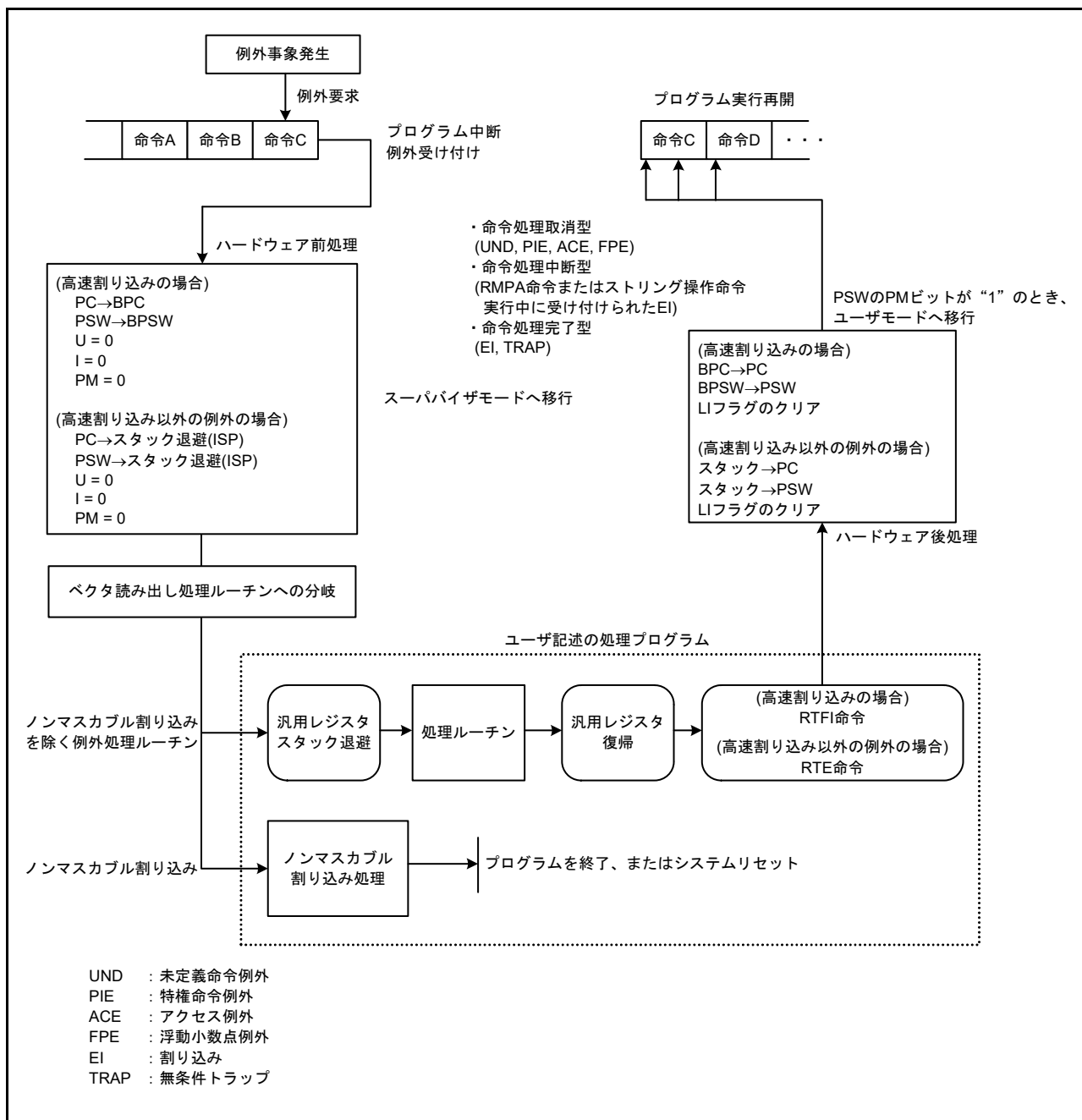


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv2 CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv2 CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv2 CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避される PC 値

例外事象		処理型	受け付け タイミング	BPC/スタックに退避される PC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
無条件トラップ		命令処理完了型	命令の区切り	次の命令の PC 値

13.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 13.2 に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表 13.2 ベクタと PC、PSW の退避場所

例外事象		ベクタ	PC、PSW の退避場所
未定義命令例外		例外ベクタテーブル (EXTB)	スタック
特権命令例外		例外ベクタテーブル (EXTB)	スタック
アクセス例外		例外ベクタテーブル (EXTB)	スタック
浮動小数点例外		例外ベクタテーブル (EXTB)	スタック
リセット		例外ベクタテーブル (EXTB)	なし
ノンマスカブル割り込み		例外ベクタテーブル (EXTB)	スタック
割り込み	高速割り込み	FINTV	BPC, BPSW
	高速割り込み以外	割り込みベクタテーブル (INTB)	スタック
無条件トラップ		割り込みベクタテーブル (INTB)	スタック

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注 . FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

(c) LI フラグのクリア処理

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 0000005Ch 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000050h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000054h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000064h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

1. 制御を初期化します。
2. FFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を “Fh” にします。
5. EXTB の値 + 00000078h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ (BPC, BPSW) に退避されていたプログラムカウンタ (PC) とプロセッサステータスワード (PSW) の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位		例外事象
高い  低い	1	リセット
	2	ノンマスカブル割り込み
	3	割り込み
	4	命令アクセス例外
	5	未定義命令例外 特権命令例外
	6	無条件トラップ
	7	オペランドアクセス例外
	8	浮動小数点例外

14. 割り込みコントローラ (ICUb)

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC、DMAC への転送要求を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立ち下がリエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1
	イベントリンク割り込み	ELC イベントより、ELSR8I、ELSR18I、ELSR19I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。1 要因にのみ設定
	DTC、DMAC 制御	割り込み要因により DTC や DMAC の起動が可能 (注1)
ノンマスクابل 割り込み	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がリエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	IWDT アンダフロー / リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1) の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2) の電圧監視割り込み
低消費電力状態 からの復帰	スリープモード ディープスリープモード	すべてのノンマスクابل割り込み、すべての割り込みで復帰
	ソフトウェアスタンバイ モード	ノンマスクابل割り込み、外部端子割り込み (IRQ0～IRQ7)、周辺機能割り込み (電圧監視1、電圧監視2)、ELSR8I 割り込み (LPT 専用割り込み) で復帰

注1. DTC および DMAC の起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

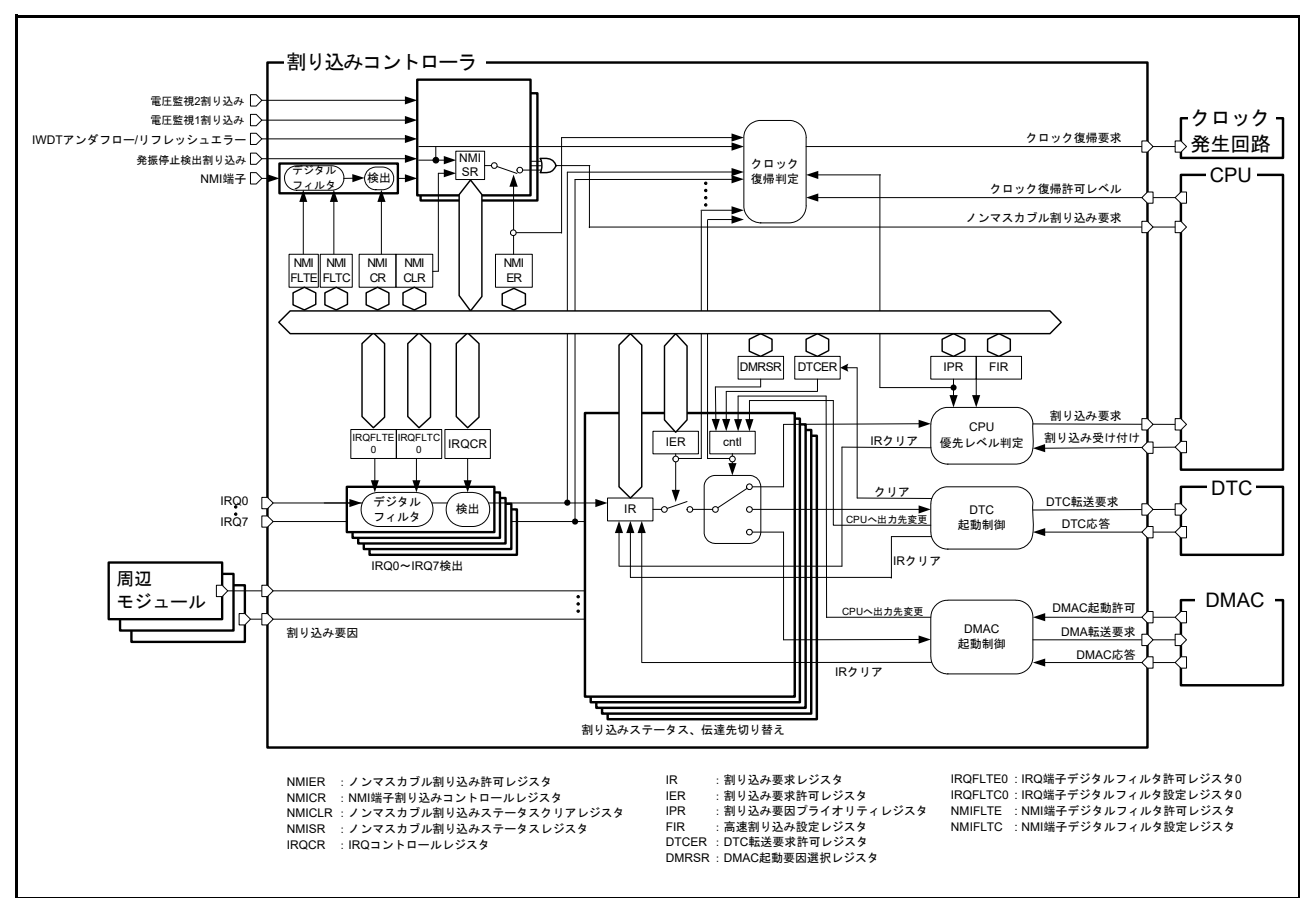


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ0～IRQ7	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス ICU.IR016 0008 7010h ~ ICU.IR255 0008 70FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出 / レベル検出が決まっています。IRQi 端子 (i = 0 ~ 7) からの割り込みは、IRQCRi.IRQMD[1:0] ビットの設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

["1" になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0" になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC または DMAC に設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1" になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0" になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。

レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス ICU.IER02 0008 7202h ~ ICU.IER1F 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IENj ビット (割り込み要求許可ビット) (j = 0 ~ 7)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグ (n = 割り込みベクタ番号) は、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

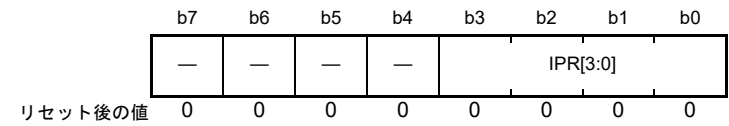
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)

アドレス ICU.IPR000 0008 7300h ~ ICU.IPR255 0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3b0 0000: レベル0 (割り込み禁止) (注1) 0001: レベル1 0010: レベル2 0011: レベル3 0100: レベル4 0101: レベル5 0110: レベル6 0111: レベル7 1000: レベル8 1001: レベル9 1010: レベル10 1011: レベル11 1100: レベル12 1101: レベル13 1110: レベル14 1111: レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC への転送要求には影響を与えません。

CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh、j = 0 ~ 7)) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIEN	—	—	—	—	—	—	—					FVCT[7:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMAC への転送要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ (n = 割り込みベクタ番号) の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「14.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビットで割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 転送要求許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 転送要求許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 転送要求を発行します。

14.2.6 DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス ICU.DTCER027 0008 711Bh ~ ICU.DTCER255 0008 71FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC 転送要求許可ビット	0 : CPU への割り込み要因、または DMAC の起動要因に設定する 1 : DTC の起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMAC の起動要因に選択したものと同一の要因に DTC の起動要因を設定するのは禁止です。割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

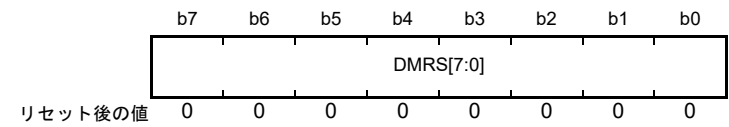
- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス ICU.DMRSR0 0008 7400h, ICU.DMRSR1 0008 7404h, ICU.DMRSR2 0008 7408h, ICU.DMRSR3 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMAC起動要因選択ビット	DMAC起動要因ベクタ番号を設定します	R/W

複数の DMRSRm レジスタに同一要因を設定するのは禁止です。DMRSRm レジスタに設定したものと同一要因に DTC 転送要求許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット (DMAC 起動要因選択ビット)

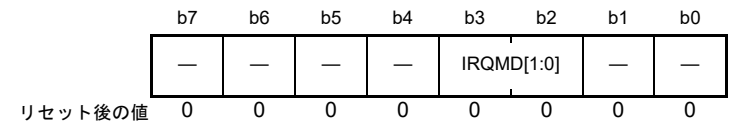
DMAC を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMAC の起動要因として割り当てられていないベクタ番号は、設定しないでください。

割り込み要因のベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット (DMACm.DMCNT.DTE) が “0” のときに状態で行ってください。

14.2.8 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス ICU.IRQCR0 0008 7500h ~ ICU.IRQCR7 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQi 端子の割り込み検出方法を設定します。
外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス ICU.IRQFLTE0 0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス ICU.IRQFLTC0 0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]	FCLKSEL6[1:0]	FCLKSEL5[1:0]	FCLKSEL4[1:0]	FCLKSEL3[1:0]	FCLKSEL2[1:0]	FCLKSEL1[1:0]	FCLKSEL0[1:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.11 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2S T	LVD1S T	IWDTS T	—	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMI ステータスフラグ	0 : NMI 端子割り込み要求なし 1 : NMI 端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0 : 発振停止検出割り込み要求なし 1 : 発振停止検出割り込み要求あり	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	IWDTS	IWDT アンダフロー / リフレッシュエラーステータスフラグ	0 : IWDT アンダフロー / リフレッシュエラー割り込み要求なし 1 : IWDT アンダフロー / リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0 : 電圧監視1割り込み要求なし 1 : 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0 : 電圧監視2割り込み要求なし 1 : 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ (NMICR) の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

[“1”になる条件]

- 発振停止検出割り込みが発生したとき

[“0”になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

IWDTST フラグ (IWDT アンダフロー / リフレッシュエラーステータスフラグ)

IWDT アンダフロー / リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

[“1” になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー / リフレッシュエラー割り込みが発生したとき

[“0” になる条件]

- NMICLR.IWDTCLR ビットに “1” を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

[“1” になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD1CLR ビットに “1” を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

[“1” になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD2CLR ビットに “1” を書いたとき

14.2.12 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2EN	LVD1EN	IWDTE	—	OSTEN	NMIEN
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0 : IWDTアンダフロー/リフレッシュエラー割り込み禁止 1 : IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0 : 電圧監視1割り込み禁止 1 : 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0 : 電圧監視2割り込み禁止 1 : 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1 割り込み許可ビット)

電圧監視1 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視2 割り込み許可ビット)

電圧監視2 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

14.2.13 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	—	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTCCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

IWDTCCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.14 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI 検出設定ビット	0 : 立ち下がリエッジ 1 : 立ち上がリエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.15 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス ICU.NMIFLTE 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.16 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス ICU.NMIFLTC 0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリング クロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから 4 バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPU の割り込みテーブルレジスタ (INTB) に設定した番地から、1024 バイト (4 バイト × 256 要因分) の領域に連続に配置されます。INTB レジスタは割り込みを許可する前に設定してください。INTB レジスタに 4 の倍数を設定してください。

なお、INT 命令、および BRK 命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表 14.3 の割り込みのベクタテーブルと同じ領域を利用します。BRK 命令はベクタ番号 0 のみ、INT 命令は指定した番号 (0 ~ 255) のベクタとなります。

表 14.3 に割り込みのベクタテーブルを示します。表 14.3 の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込み検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU 割り込み	CPU 割り込み要因を“○”で示します
DTC 起動	DTC 起動要因を“○”で示します
DMAC 起動	DMAC 起動要因を“○”で示します
SSBY 復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応する IER レジスタ、ビット名を示します
IPR	割り込み要因に対応する IPR レジスタを示します
DTCER	DTC 起動要因に対応する DTCER レジスタを示します

表 14.3 割り込みのベクタテーブル (1/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセッ ト	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	×	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	×	×	×	×	—	—	—
—	予約	18	0048h	—	×	×	×	×	—	—	—
—	予約	19	004Ch	—	×	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	×	—	—	—
—	予約	21	0054h	—	×	×	×	×	—	—	—
—	予約	22	0058h	—	×	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	×	—	—	—
—	予約	26	0068h	—	×	×	×	×	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	×	×	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	○	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	×	IER03.IEN5	IPR005	DTCER029
—	予約	30	0078h	—	×	×	×	×	—	—	—
—	予約	31	007Ch	—	×	×	×	×	—	—	—
CAC	FERRF	32	0080h	レベル	○	×	×	×	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	×	×	×	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	×	×	×	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	×	×	×	×	—	—	—
—	予約	36	0090h	—	×	×	×	×	—	—	—
—	予約	37	0094h	—	×	×	×	×	—	—	—
—	予約	38	0098h	—	×	×	×	×	—	—	—
—	予約	39	009Ch	—	×	×	×	×	—	—	—
—	予約	40	00A0h	—	×	×	×	×	—	—	—
—	予約	41	00A4h	—	×	×	×	×	—	—	—
—	予約	42	00A8h	—	×	×	×	×	—	—	—
—	予約	43	00ACh	—	×	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (2/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセッ ト	割り込み 検出方法	CPU割り込み	DTC 起動	DMAC 起動	SSBY 復帰	IER	IPR	DTCER
RSPIO	SPEI0	44	00B0h	レベル	○	×	×	×	IER05.IEN4	IPR044	—
	SPRI0	45	00B4h	エッジ	○	○	○	×	IER05.IEN5		DTCER045
	SPTI0	46	00B8h	エッジ	○	○	○	×	IER05.IEN6		DTCER046
	SPII0	47	00BCh	レベル	○	×	×	×	IER05.IEN7		—
—	予約	48	00C0h	—	×	×	×	×	—	—	—
—	予約	49	00C4h	—	×	×	×	×	—	—	—
—	予約	50	00C8h	—	×	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	×	—	—	—
RSCAN	COMFRXINT	52	00D0h	エッジ	○	○	○	×	IER06.IEN4	IPR052	DTCER052
	RXFINT	53	00D4h	レベル	○	×	×	×	IER06.IEN5	IPR053	—
	TXINT	54	00D8h	レベル	○	×	×	×	IER06.IEN6	IPR054	—
	CHERRINT	55	00DCh	レベル	○	×	×	×	IER06.IEN7	IPR055	—
	GLERRINT	56	00E0h	レベル	○	×	×	×	IER07.IEN0	IPR056	—
DOC	DOPCF	57	00E4h	レベル	○	×	×	×	IER07.IEN1	IPR057	—
—	予約	58	00E8h	—	×	×	×	×	—	—	—
—	予約	59	00ECh	—	×	×	×	×	—	—	—
—	予約	60	00F0h	—	×	×	×	×	—	—	—
—	予約	61	00F4h	—	×	×	×	×	—	—	—
—	予約	62	00F8h	—	×	×	×	×	—	—	—
—	予約	63	00FCh	—	×	×	×	×	—	—	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	×	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	×	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	×	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	×	○	IER08.IEN7	IPR071	DTCER071
—	予約	72	0120h	—	×	×	×	×	—	—	—
—	予約	73	0124h	—	×	×	×	×	—	—	—
—	予約	74	0128h	—	×	×	×	×	—	—	—
—	予約	75	012Ch	—	×	×	×	×	—	—	—
—	予約	76	0130h	—	×	×	×	×	—	—	—
—	予約	77	0134h	—	×	×	×	×	—	—	—
—	予約	78	0138h	—	×	×	×	×	—	—	—
—	予約	79	013Ch	—	×	×	×	×	—	—	—
ELC	ELSR8I	80	0140h	エッジ	○	×	×	○	IER0A.IEN0	IPR080	—
—	予約	81	0144h	—	×	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	×	—	—	—
LVD	LVD1	88	0160h	エッジ	○	×	×	○	IER0B.IEN0	IPR088	—
	LVD2	89	0164h	エッジ	○	×	×	○	IER0B.IEN1	IPR089	—

表 14.3 割り込みのベクタテーブル (3/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	IER	IPR	DT CER
—	予約	90	0168h	—	x	x	x	x	—	—	—
—	予約	91	016Ch	—	x	x	x	x	—	—	—
—	予約	92	0170h	—	x	x	x	x	—	—	—
—	予約	93	0174h	—	x	x	x	x	—	—	—
—	予約	94	0178h	—	x	x	x	x	—	—	—
—	予約	95	017Ch	—	x	x	x	x	—	—	—
—	予約	96	0180h	—	x	x	x	x	—	—	—
—	予約	97	0184h	—	x	x	x	x	—	—	—
—	予約	98	0188h	—	x	x	x	x	—	—	—
—	予約	99	018Ch	—	x	x	x	x	—	—	—
—	予約	100	0190h	—	x	x	x	x	—	—	—
—	予約	101	0194h	—	x	x	x	x	—	—	—
S12AD	S12ADI0	102	0198h	エッジ	○	○	○	x	IER0C.IEN6	IPR102	DT CER102
	GBADI	103	019Ch	エッジ	○	○	○	x	IER0C.IEN7	IPR103	DT CER103
—	予約	104	01A0h	—	x	x	x	x	—	—	—
—	予約	105	01A4h	—	x	x	x	x	—	—	—
ELC	ELSR18I	106	01A8h	エッジ	○	○	○	x	IER0D.IEN2	IPR106	DT CER106
	ELSR19I	107	01ACh	エッジ	○	○	○	x	IER0D.IEN3	IPR107	DT CER107
—	予約	108	01B0h	—	x	x	x	x	—	—	—
—	予約	109	01B4h	—	x	x	x	x	—	—	—
—	予約	110	01B8h	—	x	x	x	x	—	—	—
—	予約	111	01BCh	—	x	x	x	x	—	—	—
—	予約	112	01C0h	—	x	x	x	x	—	—	—
—	予約	113	01C4h	—	x	x	x	x	—	—	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	○	x	IER0E.IEN2	IPR114	DT CER114
	TGIB0	115	01CCh	エッジ	○	○	x	x	IER0E.IEN3		DT CER115
	TGIC0	116	01D0h	エッジ	○	○	x	x	IER0E.IEN4		DT CER116
	TGID0	117	01D4h	エッジ	○	○	x	x	IER0E.IEN5		DT CER117
	TCIV0	118	01D8h	エッジ	○	x	x	x	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	x	x	x	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	x	x	x	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	○	x	IER0F.IEN1	IPR121	DT CER121
	TGIB1	122	01E8h	エッジ	○	○	x	x	IER0F.IEN2		DT CER122
	TCIV1	123	01ECh	エッジ	○	x	x	x	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	x	x	x	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	○	x	IER0F.IEN5	IPR125	DT CER125
	TGIB2	126	01F8h	エッジ	○	○	x	x	IER0F.IEN6		DT CER126
	TCIV2	127	01FCh	エッジ	○	x	x	x	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	x	x	x	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	○	x	IER10.IEN1	IPR129	DT CER129
	TGIB3	130	0208h	エッジ	○	○	x	x	IER10.IEN2		DT CER130
	TGIC3	131	020Ch	エッジ	○	○	x	x	IER10.IEN3		DT CER131
	TGID3	132	0210h	エッジ	○	○	x	x	IER10.IEN4		DT CER132
	TCIV3	133	0214h	エッジ	○	x	x	x	IER10.IEN5	IPR133	—

表 14.3 割り込みのベクタテーブル (4/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC 起動	DMAC 起動	SSBY 復帰	IER	IPR	DTCER
MTU4	TGIA4	134	0218h	エッジ	○	○	○	×	IER10.IEN6	IPR134	DTCER134
	TGIB4	135	021Ch	エッジ	○	○	×	×	IER10.IEN7		DTCER135
	TGIC4	136	0220h	エッジ	○	○	×	×	IER11.IEN0		DTCER136
	TGID4	137	0224h	エッジ	○	○	×	×	IER11.IEN1		DTCER137
	TCIV4	138	0228h	エッジ	○	○	×	×	IER11.IEN2	IPR138	DTCER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	×	IER11.IEN3	IPR139	DTCER139
	TGIV5	140	0230h	エッジ	○	○	×	×	IER11.IEN4		DTCER140
	TGIW5	141	0234h	エッジ	○	○	×	×	IER11.IEN5		DTCER141
—	予約	142	0238h	—	×	×	×	×	—	—	—
—	予約	143	023Ch	—	×	×	×	×	—	—	—
—	予約	144	0240h	—	×	×	×	×	—	—	—
—	予約	145	0244h	—	×	×	×	×	—	—	—
—	予約	146	0248h	—	×	×	×	×	—	—	—
—	予約	147	024Ch	—	×	×	×	×	—	—	—
—	予約	148	0250h	—	×	×	×	×	—	—	—
—	予約	149	0254h	—	×	×	×	×	—	—	—
—	予約	150	0258h	—	×	×	×	×	—	—	—
—	予約	151	025Ch	—	×	×	×	×	—	—	—
—	予約	152	0260h	—	×	×	×	×	—	—	—
—	予約	153	0264h	—	×	×	×	×	—	—	—
—	予約	154	0268h	—	×	×	×	×	—	—	—
—	予約	155	026Ch	—	×	×	×	×	—	—	—
—	予約	156	0270h	—	×	×	×	×	—	—	—
—	予約	157	0274h	—	×	×	×	×	—	—	—
—	予約	158	0278h	—	×	×	×	×	—	—	—
—	予約	159	027Ch	—	×	×	×	×	—	—	—
—	予約	160	0280h	—	×	×	×	×	—	—	—
—	予約	161	0284h	—	×	×	×	×	—	—	—
—	予約	162	0288h	—	×	×	×	×	—	—	—
—	予約	163	028Ch	—	×	×	×	×	—	—	—
—	予約	164	0290h	—	×	×	×	×	—	—	—
—	予約	165	0294h	—	×	×	×	×	—	—	—
—	予約	166	0298h	—	×	×	×	×	—	—	—
—	予約	167	029Ch	—	×	×	×	×	—	—	—
—	予約	168	02A0h	—	×	×	×	×	—	—	—
—	予約	169	02A4h	—	×	×	×	×	—	—	—
POE	OEI1	170	02A8h	レベル	○	×	×	×	IER15.IEN2	IPR170	—
	OEI2	171	02ACh	レベル	○	×	×	×	IER15.IEN3	IPR171	—
—	予約	172	02B0h	—	×	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	×	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	×	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	×	×	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	×	×	×	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	×	IER16.IEN1	IPR177	DTCER177
	CMIB1	178	02C8h	エッジ	○	○	×	×	IER16.IEN2		DTCER178
	OVI1	179	02CCh	エッジ	○	×	×	×	IER16.IEN3		—

表 14.3 割り込みのベクタテーブル (5/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	IER	IPR	DTCER
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	×	IER16.IEN4	IPR180	DTCER180
	CMIB2	181	02D4h	エッジ	○	○	×	×	IER16.IEN5		DTCER181
	OVI2	182	02D8h	エッジ	○	×	×	×	IER16.IEN6		—
TMR3	CMIA3	183	02DCh	エッジ	○	○	×	×	IER16.IEN7	IPR183	DTCER183
	CMIB3	184	02E0h	エッジ	○	○	×	×	IER17.IEN0		DTCER184
	OVI3	185	02E4h	エッジ	○	×	×	×	IER17.IEN1		—
—	予約	186	02E8h	—	×	×	×	×	—	—	—
—	予約	187	02ECh	—	×	×	×	×	—	—	—
—	予約	188	02F0h	—	×	×	×	×	—	—	—
—	予約	189	02F4h	—	×	×	×	×	—	—	—
—	予約	190	02F8h	—	×	×	×	×	—	—	—
—	予約	191	02FCh	—	×	×	×	×	—	—	—
—	予約	192	0300h	—	×	×	×	×	—	—	—
—	予約	193	0304h	—	×	×	×	×	—	—	—
—	予約	194	0308h	—	×	×	×	×	—	—	—
—	予約	195	030Ch	—	×	×	×	×	—	—	—
—	予約	196	0310h	—	×	×	×	×	—	—	—
—	予約	197	0314h	—	×	×	×	×	—	—	—
DMAC	DMAC0I	198	0318h	エッジ	○	○	×	×	IER18.IEN6	IPR198	DTCER198
	DMAC1I	199	031Ch	エッジ	○	○	×	×	IER18.IEN7	IPR199	DTCER199
	DMAC2I	200	0320h	エッジ	○	○	×	×	IER19.IEN0	IPR200	DTCER200
	DMAC3I	201	0324h	エッジ	○	○	×	×	IER19.IEN1	IPR201	DTCER201
—	予約	202	0328h	—	×	×	×	×	—	—	—
—	予約	203	032Ch	—	×	×	×	×	—	—	—
—	予約	204	0330h	—	×	×	×	×	—	—	—
—	予約	205	0334h	—	×	×	×	×	—	—	—
DSAD0	ADI0	206	0338h	エッジ	○	○	○	×	IER19.IEN6	IPR206	DTCER206
	SCANEND0	207	033Ch	エッジ	○	○	○	×	IER19.IEN7	IPR207	DTCER207
—	予約	208	0340h	—	×	×	×	×	—	—	—
DSAD1	ADI1	209	0344h	エッジ	○	○	○	×	IER1A.IEN1	IPR209	DTCER209
	SCANEND1	210	0348h	エッジ	○	○	○	×	IER1A.IEN2	IPR210	DTCER210
—	予約	211	034Ch	—	×	×	×	×	—	—	—
—	予約	212	0350h	—	×	×	×	×	—	—	—
—	予約	213	0354h	—	×	×	×	×	—	—	—
—	予約	214	0358h	—	×	×	×	×	—	—	—
—	予約	215	035Ch	—	×	×	×	×	—	—	—
—	予約	216	0360h	—	×	×	×	×	—	—	—
—	予約	217	0364h	—	×	×	×	×	—	—	—
SCI1	ERI1	218	0368h	レベル	○	×	×	×	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	○	×	IER1B.IEN3		DTCER219
	TX11	220	0370h	エッジ	○	○	○	×	IER1B.IEN4		DTCER220
	TEI1	221	0374h	レベル	○	×	×	×	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	×	×	×	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	○	×	IER1B.IEN7		DTCER223
	TX15	224	0380h	エッジ	○	○	○	×	IER1C.IEN0		DTCER224
	TEI5	225	0384h	レベル	○	×	×	×	IER1C.IEN1		—

表 14.3 割り込みのベクタテーブル (6/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC 起動	DMAC 起動	SSBY 復帰	IER	IPR	DT CER
SCI6	ERI6	226	0388h	レベル	○	×	×	×	IER1C.IEN2	IPR226	—
	RXI6	227	038Ch	エッジ	○	○	○	×	IER1C.IEN3		DT CER227
	TXI6	228	0390h	エッジ	○	○	○	×	IER1C.IEN4		DT CER228
	TEI6	229	0394h	レベル	○	×	×	×	IER1C.IEN5		—
—	予約	230	0398h	—	×	×	×	×	—	—	—
—	予約	231	039Ch	—	×	×	×	×	—	—	—
—	予約	232	03A0h	—	×	×	×	×	—	—	—
—	予約	233	03A4h	—	×	×	×	×	—	—	—
—	予約	234	03A8h	—	×	×	×	×	—	—	—
—	予約	235	03ACh	—	×	×	×	×	—	—	—
—	予約	236	03B0h	—	×	×	×	×	—	—	—
—	予約	237	03B4h	—	×	×	×	×	—	—	—
SCI12	ERI12	238	03B8h	レベル	○	×	×	×	IER1D.IEN6	IPR238	—
	RXI12	239	03BCh	エッジ	○	○	○	×	IER1D.IEN7		DT CER239
	TXI12	240	03C0h	エッジ	○	○	○	×	IER1E.IEN0		DT CER240
	TEI12	241	03C4h	レベル	○	×	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	×	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	×	×	×	IER1E.IEN6	IPR246	—
	RXI0	247	03DCh	エッジ	○	○	○	×	IER1E.IEN7	IPR247	DT CER247
	TXI0	248	03E0h	エッジ	○	○	○	×	IER1F.IEN0	IPR248	DT CER248
	TEI0	249	03E4h	レベル	○	×	×	×	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	×	×	×	×	—	—	—
—	予約	251	03ECh	—	×	×	×	×	—	—	—
—	予約	252	03F0h	—	×	×	×	×	—	—	—
—	予約	253	03F4h	—	×	×	×	×	—	—	—
—	予約	254	03F8h	—	×	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPU の高速割り込みベクタレジスタ (FINTV) です。

14.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPU の例外テーブルレジスタ (EXTB) に設定したアドレスを先頭とする 128 バイト (4 バイト×32 要因) の領域に配置されます。EXTB レジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTB レジスタには 4 の倍数を設定してください。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動、DMAC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i = 0 ~ 7) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DMAC、DTC の場合は、DMAC/DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DMAC/DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

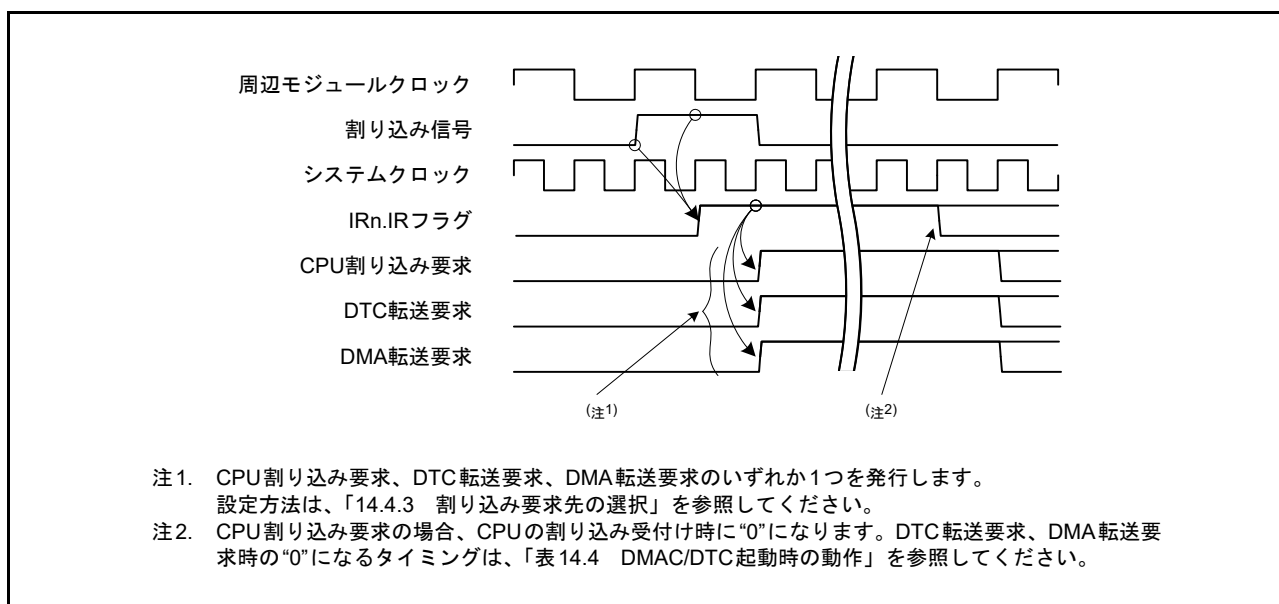


図 14.2 エッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作

図 14.3 ～図 14.5 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ～ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ～ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ～ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロックで 2 サイクル以上間隔をあけてください。

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注 1) IRn.IR フラグの再セットのタイミングを図 14.3 に示します。

注 1. ただし、SCI、RIIC、RSCAN、RSPI の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「28. シリアルコミュニケーションインタフェース (SCIg, SCIlh)」、「29. I²C バスインタフェース (RIICa)」、「31. シリアルペリフェラルインタフェース (RSPIb)」の各割り込みの説明を参照してください。

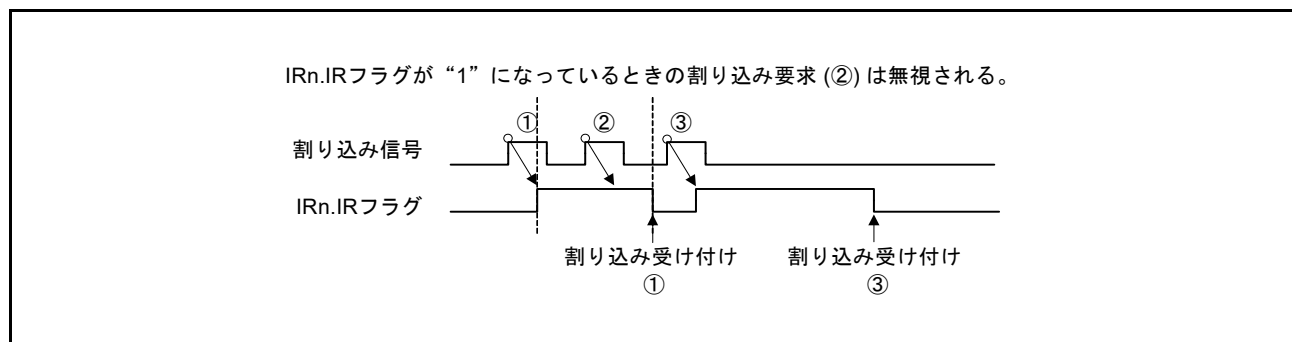


図 14.3 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.4 に示します。

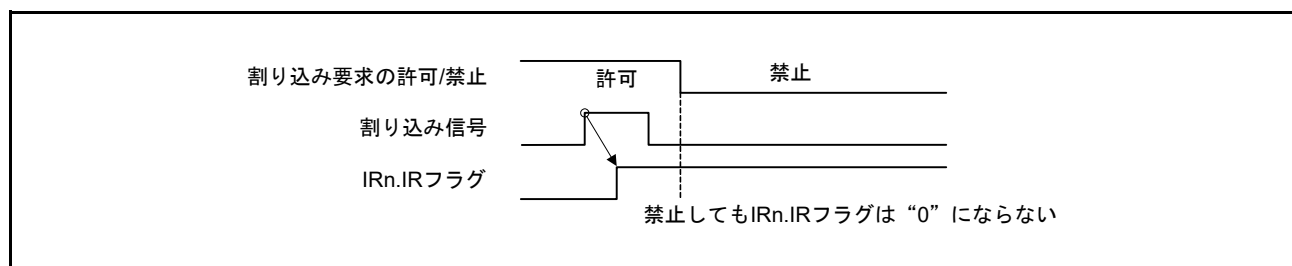


図 14.4 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作を図 14.5 に示します。

割り込み信号がアサートされている間、 $IRn.IR$ フラグを“1”にし続けます。 $IRn.IR$ フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および $IRn.IR$ フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

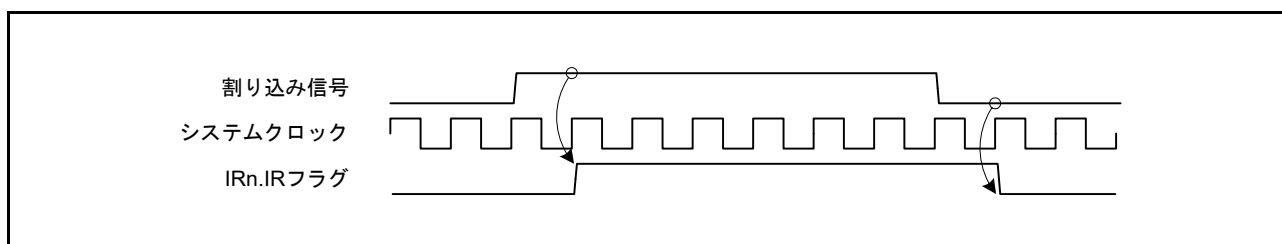


図 14.5 レベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作

レベル検出割り込みの処理手順を図 14.6 に示します。

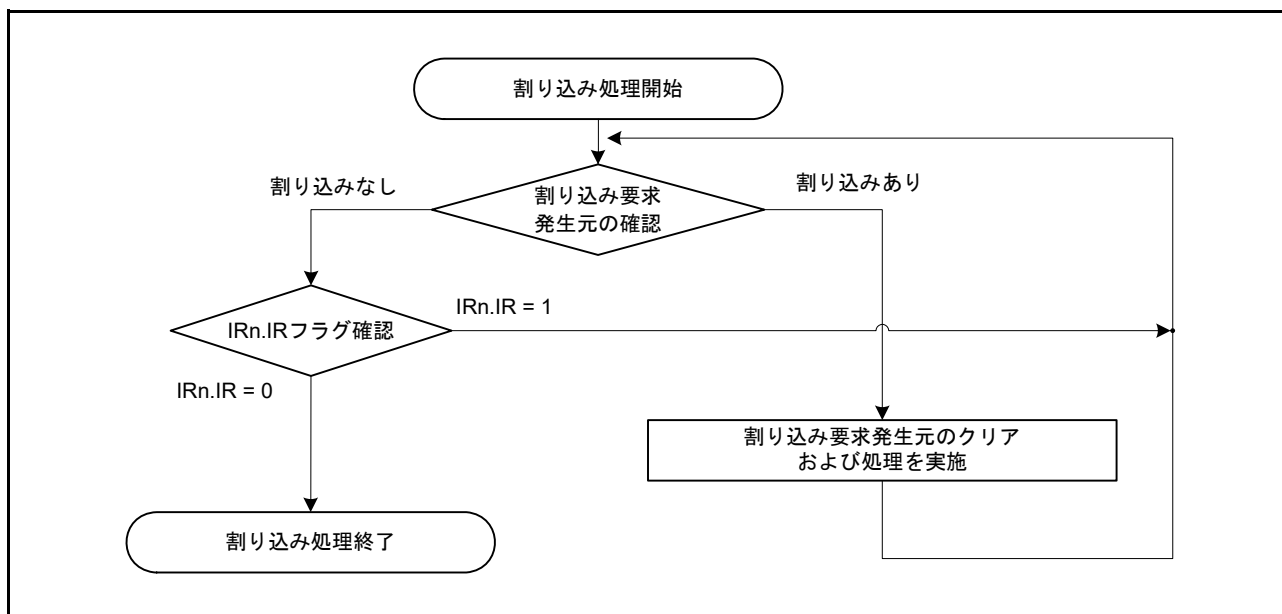


図 14.6 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) によって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグ (n = 割り込みベクタ番号) が“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注 1. SCI、RIIC、RSPI の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「28. シリアルコミュニケーションインタフェース (SCIg, SCIfh)」、「29. I²C バスインタフェース (RIICa)」、「31. シリアルペリフェラルインタフェース (RSPIb)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ_i 端子 ($i = 0 \sim 7$) で DTC/DMAC を割り込み要求先に設定する場合は、IRQCR_i.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DMAC 起動

要因ごとに、IER_m.IEN_j ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) が “0” のときに以下の設定を行ってください。

1. DMAC のチャンネルごとに用意されている DMAC 起動要因選択レジスタ (DMRSR_m) に該当割り込み要因ベクタ番号を指定 (注 1)
2. DMAC 該当チャンネルの起動要因 (DMAC_m.DMTMD.DCTG[1:0]) を “01b” (割り込みモジュール検出) に設定
3. DMAC の該当チャンネルの DMAC 転送要求許可 (DMAC_m.DMCNT.DTE) を “1” に設定する

上記の状態で、IER_m.IEN_j ビットを “1” にしてください。

また、DMAC 動作許可ビット (DMAST.DMST) を “1” にしてください。要因ごとの設定と DMAC 動作許可ビットの設定はどちらを先に行っても構いません。

DMAC の設定手順は、「17. DMA コントローラ (DMACA)」の「17.3.7 DMAC の起動」を参照してください。

(2) DTC 起動

要因ごとに、IER_m.IEN_j ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) が “0” のときに以下の設定を行ってください。

- 当該要因の DTC 転送要求許可レジスタの DTC 転送要求許可ビット (DTCER_n.DTCE ($n =$ 割り込みベクタ番号)) を “1” に設定する (注 1)

上記の状態で、IER_m.IEN_j ビットを “1” にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を “1” にしてください。要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「18. データトランスファコントローラ (DTCa)」の「18.5 DTC の設定手順」を参照してください。

- 注 1. DTC 転送要求許可ビット (DTCER_n.DTCE) と DMAC 起動要因選択レジスタ (DMRSR_m) に同一の要因を設定しないでください。また、複数の DMRSR_m レジスタに同一の要因を設定しないでください。

(3) CPU 割り込み要求

割り込み要求先が DMAC でも DTC でもない要因は、CPU 割り込み対象となります。

上記の DMAC 起動、DTC 起動の設定がされていない状態で、IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) を “1” にしてください。

DMAC や DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DMAC/DTC 起動時の動作

割り込み 要求先	DISEL (注1)	残り 転送回数	1 要求ごとの動作	IR (注2)	転送後の割り込み要求先
DMAC	1	≠ 0	DMA 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DMAC
		= 0	DMA 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DMACm.DMCNT.DTE ビット がクリアされCPUに切り替え
	0	≠ 0	DMA 転送	DMAC 転送開始時にクリア	DMAC
		= 0	DMA 転送 (注3)	DMAC 転送開始時にクリア (注3)	DMACm.DMCNT.DTE ビット がクリアされCPUに切り替え
DTC (注4)	1	≠ 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCERn.DTCE ビットがク リアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ 転送開始時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み (注3)	CPU 割り込み受け付け時にクリア (注3)	DTCERn.DTCE ビットがク リアされCPUに切り替え

注1. DMACのDISELはDMACm.DMCSL.DISEL ビットで、DTCのDISELはDTC.MRB.DISEL ビットで設定します。

注2. IRn.IR フラグが“1”のとき、再度発生した割り込み要求(DTC/DMA転送要求)は無視されます。

注3. DISEL = 0 で、残り転送回数が“0”のときの動作はDTCとDMACで異なります。

注4. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「18. データトランスファコントローラ(DTCa)」の「表 18.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが “0” のときに行ってください。

「(1) DMAC 起動」を設定してから転送が完了していない状態 (DMACm.DMCNT.DTE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更を行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを “0” にする。
2. DMAC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DMAC 起動」の設定を行う。

「(2) DTC 起動」を設定してから転送が完了していない状態 (DTCERn.DTCE ビット ($n =$ 割り込みベクタ番号) がクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを “0” にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(2) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0] (n = 割り込みベクタ番号)) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3) 割り込み要求先が DMAC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。DMAC チャンネルの優先順位については「17. DMA コントローラ (DMACA)」を参照してください。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1”(割り込み許可) にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) の設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1”(高速割り込みを許可) にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i ($i=0 \sim 7$) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、 $IRQFLTC0.FCLKSEL_i[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $IRQFLTE0.FLTEN_i$ ビットを“1”(デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

図 14.7 にデジタルフィルタの動作例を示します。

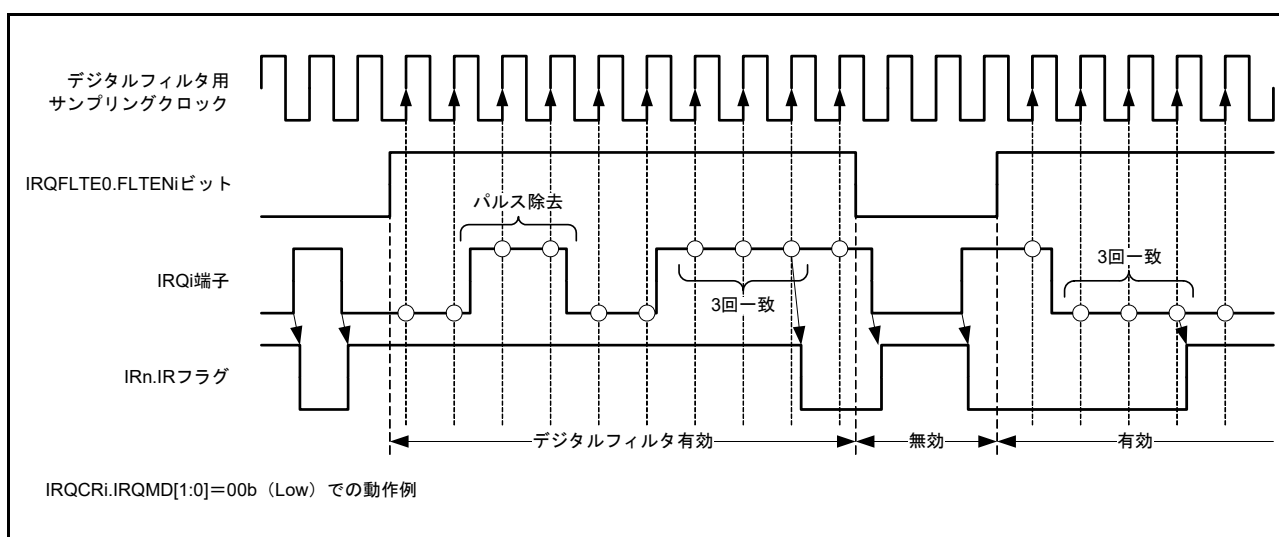


図 14.7 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0.FLTEN_i$ ビット、および $NMIFLTE.NFLTEN$ ビットを“0”(デジタルフィルタ無効) にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0.FLTEN_i$ ビット、もしくは $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) を “0” (割り込み要求禁止) にする。
2. IRQFLTE0.FLTENi ビット (i = 0 ~ 7) を “0” (デジタルフィルタ無効) にする。(注 1)
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。(注 1)
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグ (n = 割り込みベクタ番号) を “0” にする (エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを “1” (デジタルフィルタ有効) にする。(注 1)
8. DMAC 起動の場合 DMRSRm.DMRS[7:0] ビットを、DTC 起動の場合 DTCERn.DTCE ビットを設定する (どちらも設定しない場合は CPU 割り込み)。
9. IERm.IENj ビットを “1” (割り込み要求許可) にする。

注 1. デジタルフィルタを使用する場合、設定が必要です。

14.5 ノンマスカブル割り込みの動作説明

ノンマスカブル割り込みには NMI 端子割り込み、発振停止検出割り込み、IWDT アンダフロー / リフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込みがあります。ノンマスカブル割り込みは CPU への割り込みのみであり、DTC や DMAC の起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスカブル割り込み要求は、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル) の状態にかかわらず受け付けられます。ノンマスカブル割り込みの有無はノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。

ノンマスカブル割り込みハンドラでは、NMISR レジスタの全ビットが “0” であることを確認してから、ハンドラを終了してください。

初期状態では「ノンマスカブル割り込み禁止」となっています。ノンマスカブル割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスカブル割り込み使用手順

1. スタックポインタ (SP) を設定する。
2. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “0” (デジタルフィルタ無効) にする。(注 1)
3. NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。(注 1)
4. NMI 端子を使用する場合は、NMICR.NMIMD ビットで NMI 端子の検出センスを設定する。
5. NMI 端子を使用する場合は、NMICLR.NMICLR ビットに “1” を書いて、NMISR.NMIST フラグを “0” にする。
6. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “1” (デジタルフィルタ有効) にする。(注 1)
7. ノンマスカブル割り込み許可レジスタ (NMIER) の許可する割り込みに対応するビットを “1” にして、ノンマスカブル割り込みの使用を許可する。

注 1. デジタルフィルタを使用する場合、設定が必要です。

NMIER レジスタに “1” を書くと、以後の NMIER レジスタへの書き込みは無視されます。ノンマスカブル割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスカブル割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMI ステータスフラグ (NMISR.NMIST) は、NMICLR.NMICLR ビットに “1” を書くことで “0” になります。

発振停止検出割り込みステータスフラグ (NMISR.OSTST) は、NMICLR.OSTCLR ビットに “1” を書くことで “0” になります。

IWDT アンダフロー / リフレッシュエラーステータスフラグ (NMISR.IWDTST) は、NMICLR.IWDTCCLR ビットに “1” を書くことで “0” になります。

電圧監視 1 割り込みステータスフラグ (NMISR.LVD1ST) は、NMICLR.LVD1CLR ビットに “1” を書くことで “0” になります。

電圧監視 2 割り込みステータスフラグ (NMISR.LVD2ST) は、NMICLR.LVD2CLR ビットに “1” を書くことで “0” になります。

14.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモードからの復帰に割り込みが使用できます。

詳細は「11. 消費電力低減機能」を参照してください。低消費電力モードごとの復帰要因の設定方法を以下に示します。

14.6.1 スリープモードおよびディープスリープモードからの復帰

すべてのノンマスカブル割り込み、およびすべての割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求が許可されていること

(2) 割り込み

- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

14.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスカブル割り込み、および「表 14.3 割り込みのベクタテーブル」の「SSBY 復帰」列に「○」のある割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- ソフトウェアスタンバイモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「14.4.7 デジタルフィルタ」を参照してください。

14.7 使用上の注意事項

14.7.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	• CPU(命令)を接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス1	• RAMを接続
	メモリバス2	• ROMを接続
内部メインバス	内部メインバス1	• CPUを接続 • システムクロック(ICLK)に同期して動作
	内部メインバス2	• DTC, DMACを接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス1	• 周辺機能(DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作
	内部周辺バス2	• 周辺機能(内部周辺バス1, 3, 4以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス3	• 周辺機能(RSCAN, DSAD0, DSAD1, AFE)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス4	• 周辺機能(MTU2)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス6	• フラッシュ制御モジュール、E2データフラッシュを接続 • FlashIFクロック(FCLK)に同期して動作

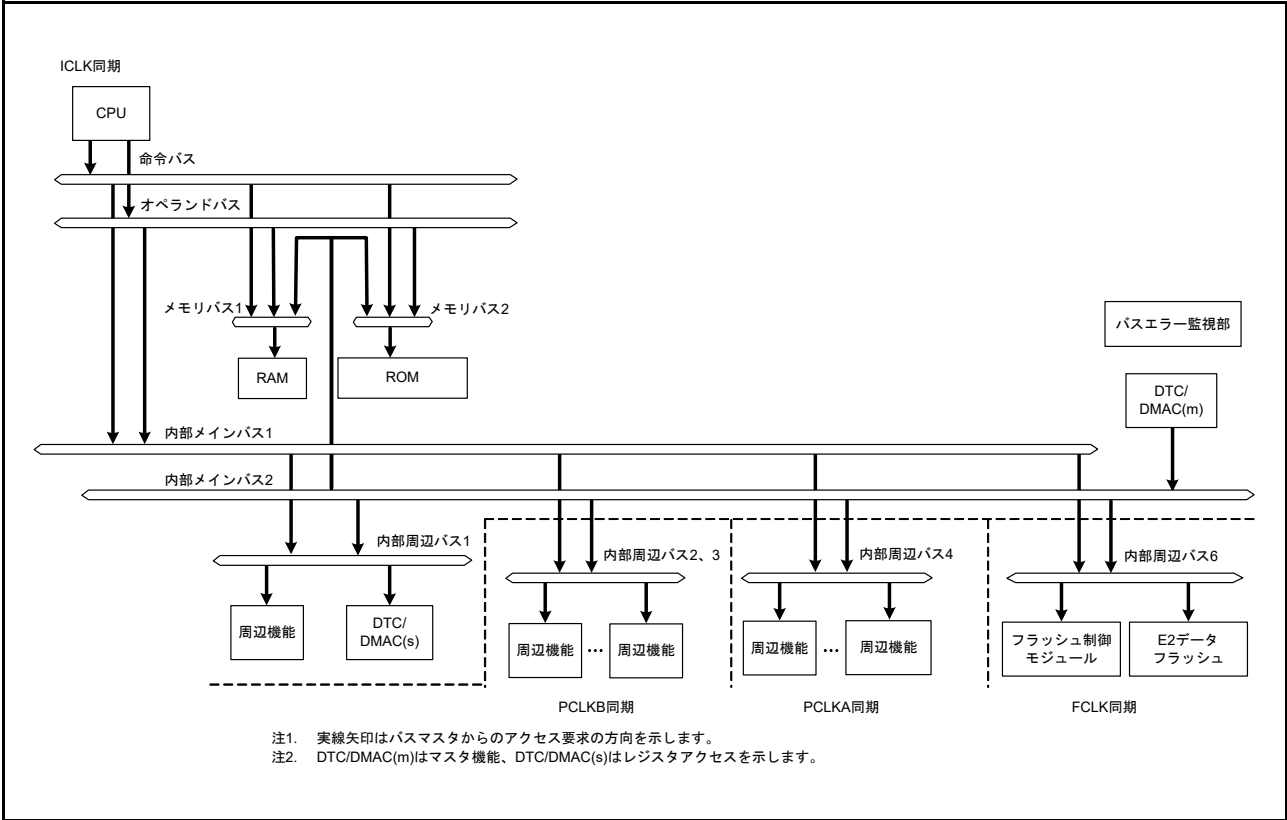


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h～0007 FFFFh	メモリバス 1	RAM
0008 0000h～0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h～0009 FFFFh	内部周辺バス 2	
000A 0000h～000B FFFFh	内部周辺バス 3	
000C 0000h～000D FFFFh	内部周辺バス 4	
000E 0000h～000F FFFFh	予約領域	予約領域
0010 0000h～00FF FFFFh	内部周辺バス 6	フラッシュ制御モジュール、 E2 データフラッシュ
0100 0000h～7FFF FFFFh	予約領域	予約領域
8000 0000h～FFFF FFFFh	メモリバス 2	ROM (読み出し専用)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、プログラム/イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバスは 64 ビットです。メモリバス 1、2 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC, DMAC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、表 15.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、起動要求を受け付けたいいずれかの一方のみがバス権要求を行います。DTC と DMAC の起動要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ~ 内部周辺バス 4、内部周辺バス 6) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	内部メインバス	バスマスタ
高 ↑ 低	2	DMAC
		DTC
	1	CPU

注. 上記はバス優先権が固定の場合です。
バスプライオリティ制御レジスタ (BUSPRI) により、内部メインバス1とそれ以外 (内部メインバス2) のバス優先権をトグルすることができます。(ラウンドロビン方式)

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス 2	内部周辺バス 1、3、4 以外の周辺機能
内部周辺バス 3	RSCAN, DSAD0, DSAD1, AFE
内部周辺バス 4	MTU2
内部周辺バス 6	フラッシュ制御モジュール、E2データフラッシュ

内部周辺バス 1～4、6 は、それぞれ、CPU (内部メインバス 1) と CPU 以外のバスマスタ (内部メインバス 2) からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス 1 プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス 2、3 プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス 4 プライオリティ制御ビット (BUSPRI.BPHB[1:0])、内部周辺バス 6 プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。(ラウンドロビン方式)

BUSPRI レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 15.2 参照)。

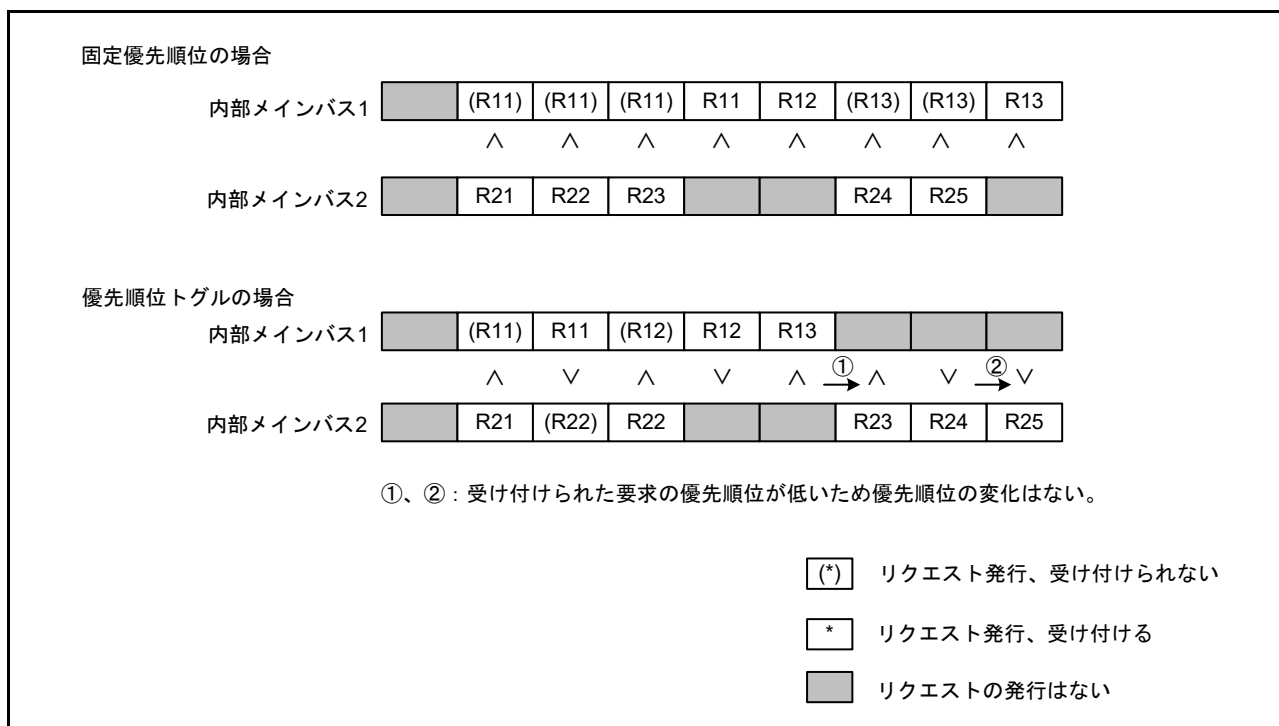


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。(図 15.3 参照)

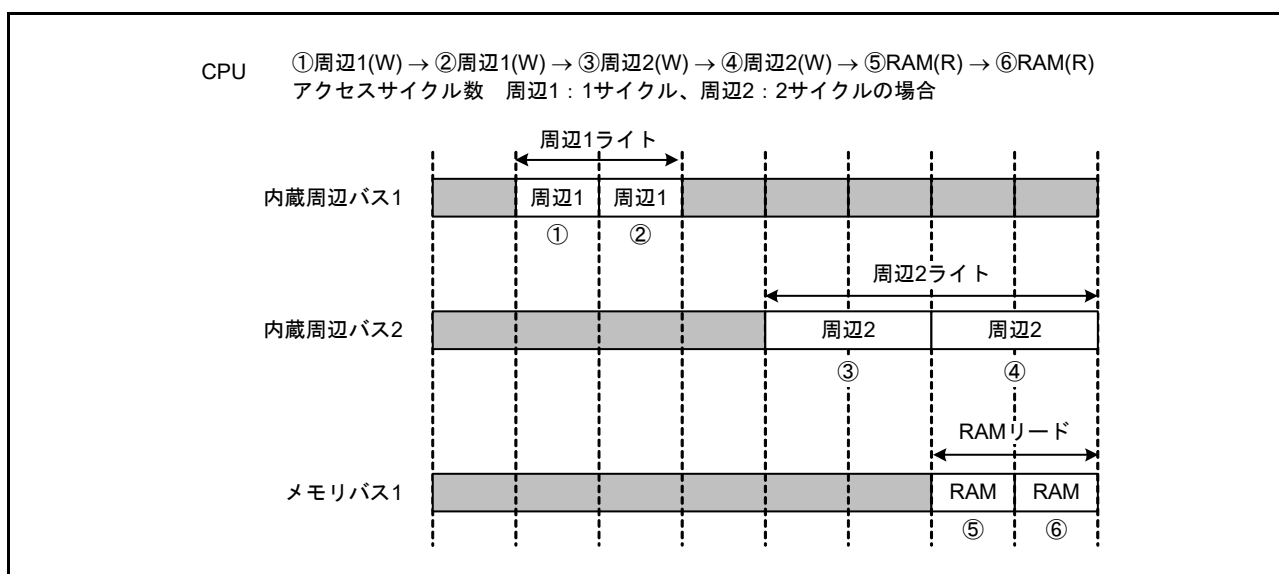


図 15.3 ライトバッファ機能

15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU の命令フェッチが ROM を、オペランドが RAM をアクセス中に、DMAC は周辺—周辺バス間の転送を行うことができます。図 15.4 に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれ ROM と RAM を同時にアクセスすることが可能です。また、CPU が ROM と RAM をアクセス中に、DMAC は内部メインバス 2 を使って、周辺バスにアクセスすることができます。

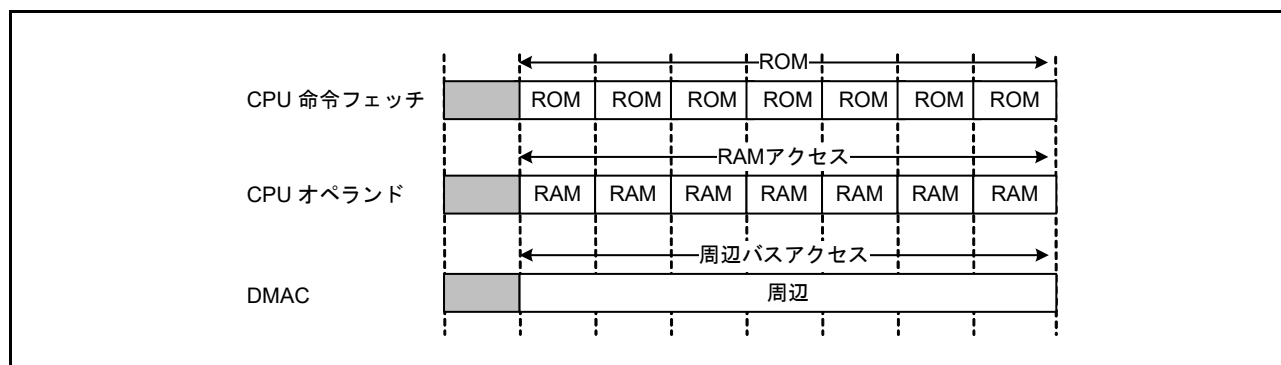


図 15.4 並列動作の例

15.2.7 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

15.3 レジスタの説明

15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0 : 無効 1 : バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0 : 不正アドレスアクセス検出禁止 1 : 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0 : バスタイムアウト検出禁止 1 : バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOEN ビット = 0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中に TOEN ビットを“0” (検出禁止) にしないようにしてください。

15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h

b7	b6	b5	b4	b3	b2	b1	b0
—	MST[2:0]			—	—	TO	IA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADDR[12:0]													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット(512Kバイト単位)	R

15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BPFB[1:0]	BPHB[1:0]	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPR[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPR[1:0]	メモリバス 1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス 2 (ROM) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス 1 プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス 2、3 プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス 4 プライオリティ制御ビット	b9 b8 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス 6 プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPR[1:0] ビット (メモリバス 1 (RAM) プライオリティ制御ビット)

メモリバス 1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス 2 (ROM) プライオリティ制御ビット)

メモリバス 2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGb[1:0] ビット (内部周辺バス 2、3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4 プライオリティ制御ビット)

内部周辺バス 4 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFb[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの 2 種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが 768 サイクル以内に終了しない場合に検出します。

15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 15.5 に示します。

15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2, 3): バスアクセス開始後、周辺モジュールクロック (PCLKB) で 768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で 256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4): バスアクセス開始後、周辺モジュールクロック (PCLKA) で 768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKA で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6): バスアクセス開始後、FlashIF クロック (FCLK) で 768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：

割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類
		不正アドレスアクセス
0000 0000h ~ 0007 FFFFh	メモリバス 1	—
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	—
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	△
000A 0000h ~ 000B FFFFh	内部周辺バス 3	△
000C 0000h ~ 000D FFFFh	内部周辺バス 4	△
000E 0000h ~ 000F FFFFh	予約領域	—
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	△
0100 0000h ~ 0FFF FFFFh	予約領域	—
1000 0000h ~ 7FFF FFFFh		○
8000 0000h ~ FFFF FFFFh	メモリバス 2	—

—：バスエラーは発生しません。

△：バスエラーは不定です。

○：バスエラーが発生します。

注. 実装される RAM、ROM の容量は製品により異なります。製品ごとの仕様については、「37. RAM」、「38. フラッシュメモリ (FLASH)」を参照してください。

15.5 割り込み

15.5.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表 15.6 割り込み要因

名称	割り込み要因	DTC 起動	DMAC 起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可	不可

16. メモリプロテクションユニット (MPU)

16.1 概要

RXv2 CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、図 16.1 にブロック図を示します。

表 16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h ~ FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ(最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0 ~ 7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域に PC を退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

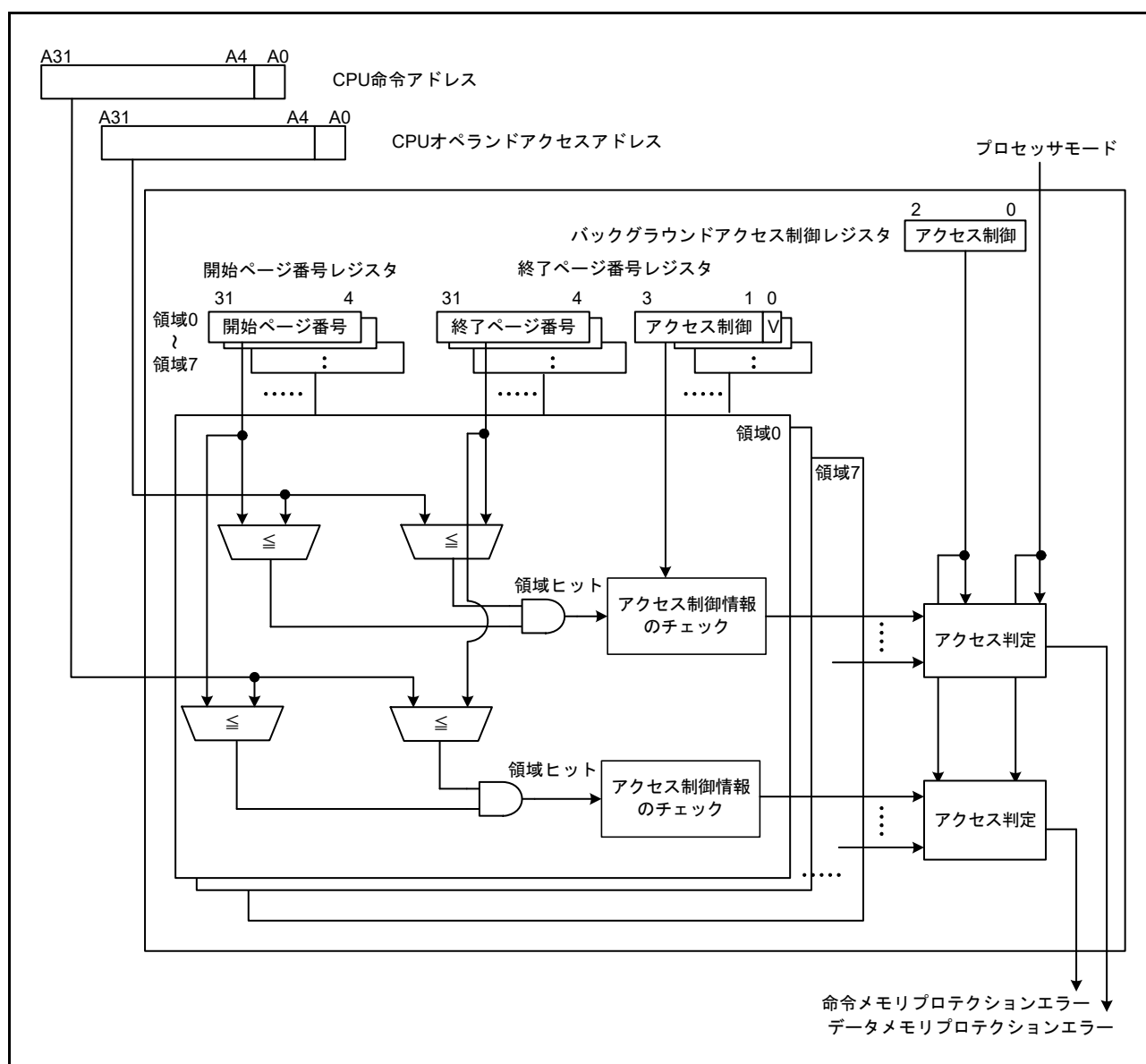


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n = 0 \sim 7$)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイトごとに区切ったものです。アドレス [31:0] の上位 28 ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

16.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

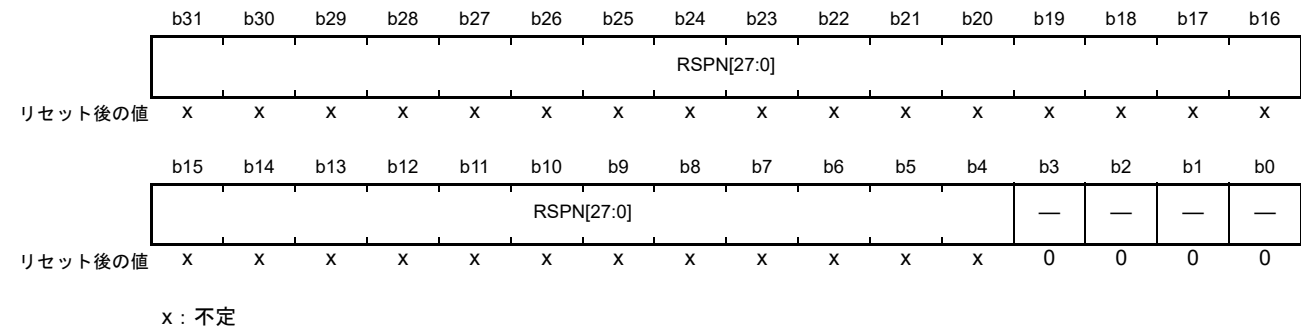
16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h,
RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



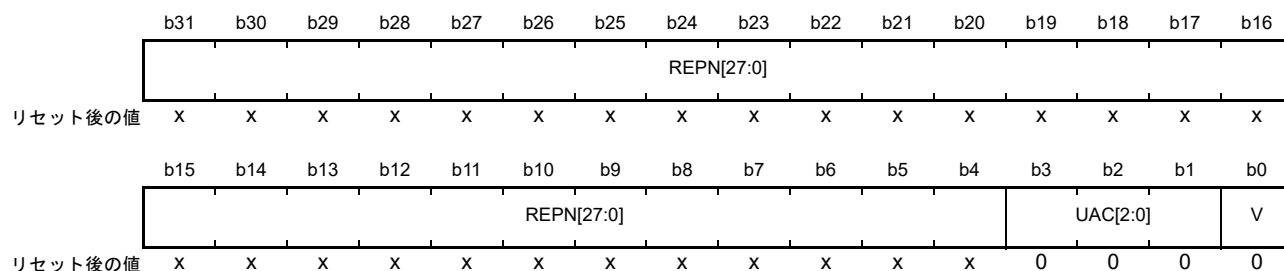
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPn[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPn[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1：メモリプロテクション機能有効 0：メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DMPER、IMPERビットを“0”にします	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード / ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を “0” にします。

16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

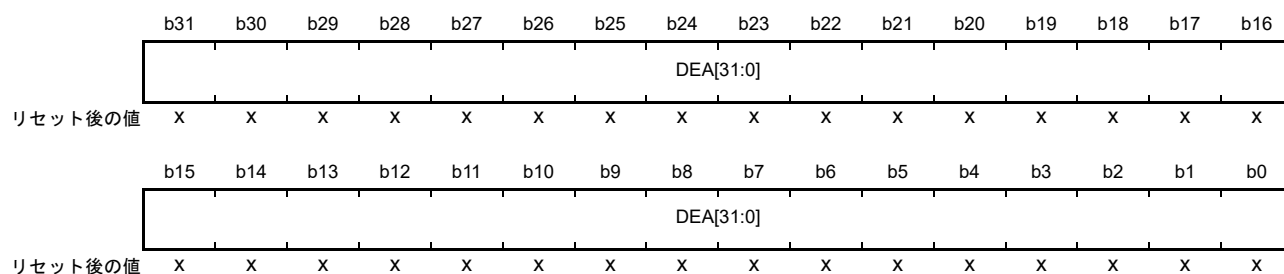
DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

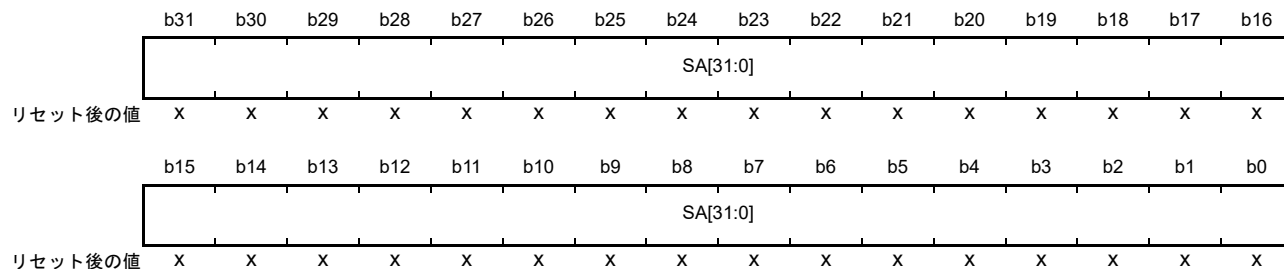
ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチ用アドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチ用アドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

16.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーション起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S ビット (領域サーチオペレーション起動ビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート(無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITI[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット(MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b: バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0: 領域7で命令メモリプロテクションエラーなし 1: 領域7で命令メモリプロテクションエラーあり b22 0: 領域6で命令メモリプロテクションエラーなし 1: 領域6で命令メモリプロテクションエラーあり b21 0: 領域5で命令メモリプロテクションエラーなし 1: 領域5で命令メモリプロテクションエラーあり b20 0: 領域4で命令メモリプロテクションエラーなし 1: 領域4で命令メモリプロテクションエラーあり b19 0: 領域3で命令メモリプロテクションエラーなし 1: 領域3で命令メモリプロテクションエラーあり b18 0: 領域2で命令メモリプロテクションエラーなし 1: 領域2で命令メモリプロテクションエラーあり b17 0: 領域1で命令メモリプロテクションエラーなし 1: 領域1で命令メモリプロテクションエラーあり b16 0: 領域0で命令メモリプロテクションエラーなし 1: 領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは “0000 0000b” にセットされます。

16.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACD[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACD[2:0]	ユーザモード時データヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITD[7:0]	データヒット領域ビット	データメモリプロテクションエラー発生ビット(MPESTS.DMPER) = 1のとき、 [b23:b16] = 0000 0000b : バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACD[2:0] ビット (ユーザモード時データヒット領域アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反(メモリプロテクションエラー)を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ(MPEN)のメモリプロテクション機能有効化ビット(MPEN)を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報(実行許可、読み出し許可、書き込み許可)がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ(MPOPS)の領域サーチオペレーションビット(S)を“1”にすることにより、領域サーチアドレスレジスタ(MPSA)で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ(MHITD)は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段(命令フェッチ、DMA)ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパバイザモードでのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。

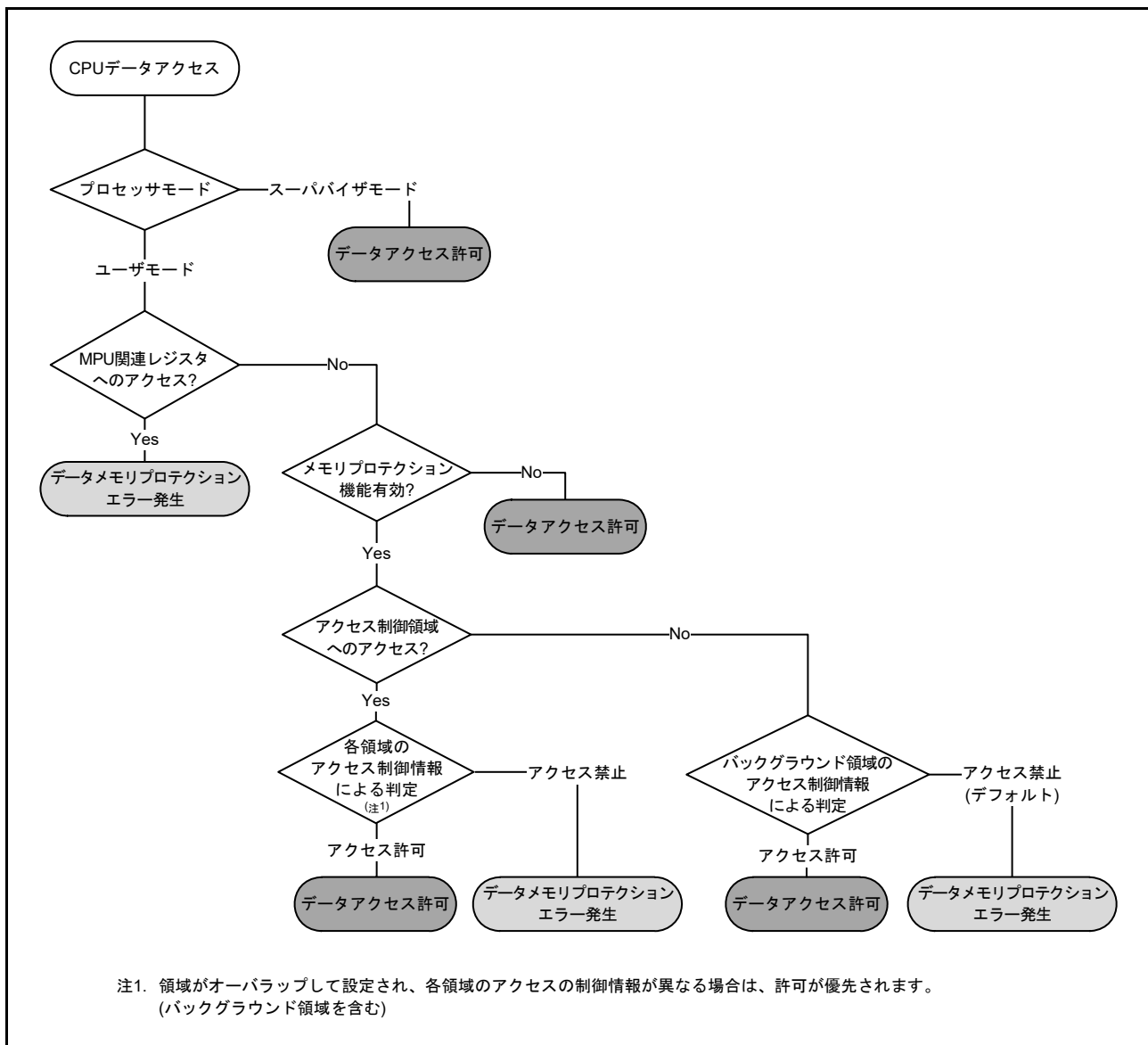


図 16.2 データアクセス判定フロー

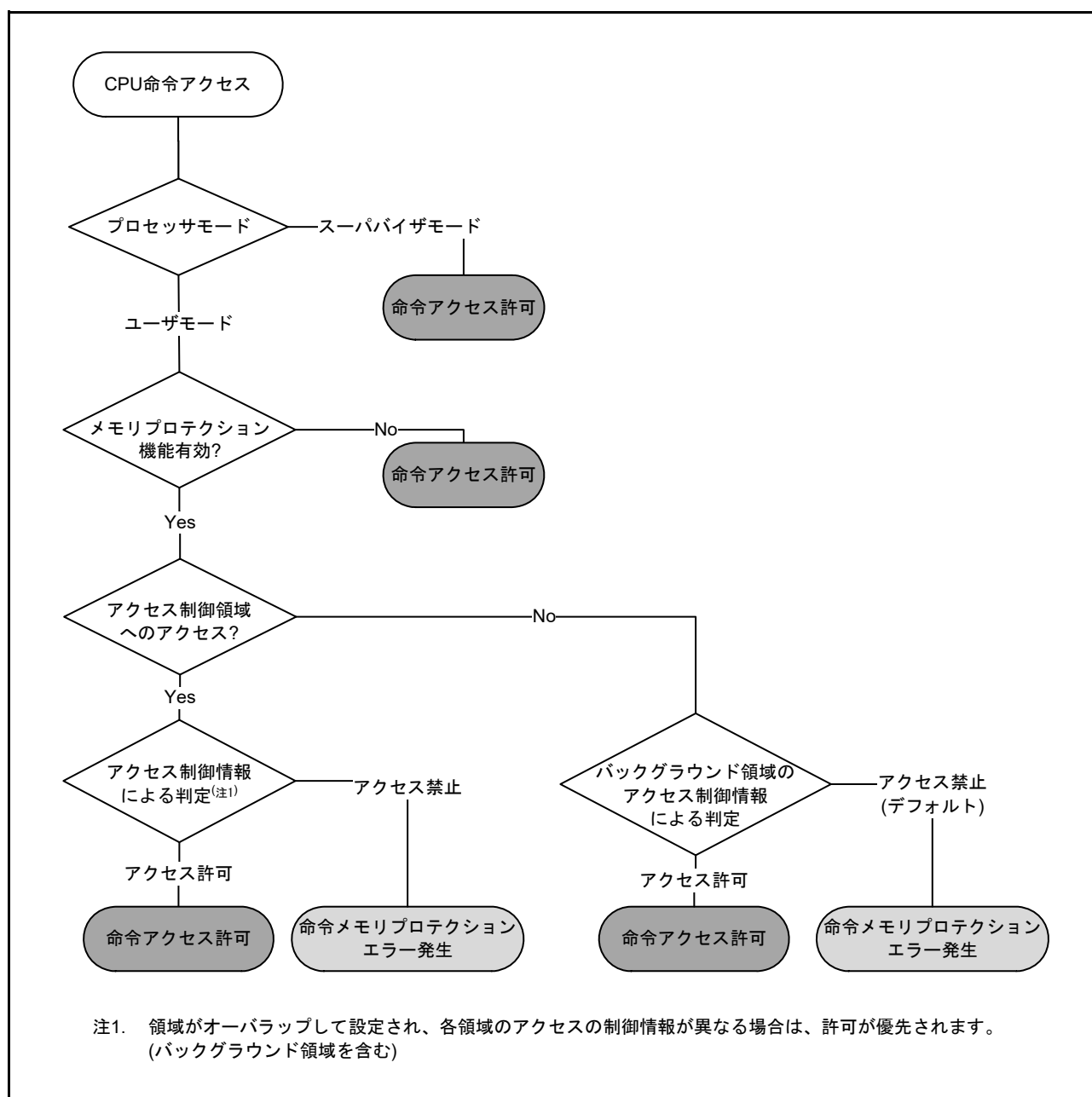


図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n = 0 \sim 7$)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

16.4.2 メモリプロテクション機能の有効化

スーパバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、いずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後（読み出し値を使った演算実行後）にユーザモードへ移行してください。スーパバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1”（ユーザモードに設定）にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注． MVTC、POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反（メモリプロテクションエラー）を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- 有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- 有効な領域 0 ～ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b” になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- 有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITI.HITI[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

- 有効な領域 0 ～ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット (MHITI.HITI[7:0]) は、“0000 0000b” になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. DMA コントローラ (DMACA)

本 MCU は、4 チャンネルの DMAC (Direct Memory Access Controller) を内蔵しています。

DMAC は、CPU を介さずにデータ転送を行います。DMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

17.1 概要

表 17.1 に DMAC の仕様を、図 17.1 に DMAC のブロック図を示します。

表 17.1 DMAC の仕様

項目		内容
チャンネル数		4 チャンネル (DMACm (m = 0 ~ 3))
転送空間		512M バイト (00000000h ~ 0FFFFFFFh と F0000000h ~ FFFFFFFFh のうち予約領域を除く領域)
最大転送データ数		1M データ (ブロック転送モード最大総転送数: 1024 データ × 1024 ブロック)
DMA 起動要因		- チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力 (注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0が最優先)
転送データ	1 データ	ビット長: 8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数: 1 ~ 1024 データ
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定 (フリーランニングモード) が可能
	リピート転送モード	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能
	ブロック転送モード	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能
選択機能	拡張リピートエリア機能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能
イベントリンク機能		1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生

注1. DMAC の起動要因は、「14. 割り込みコントローラ (ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。

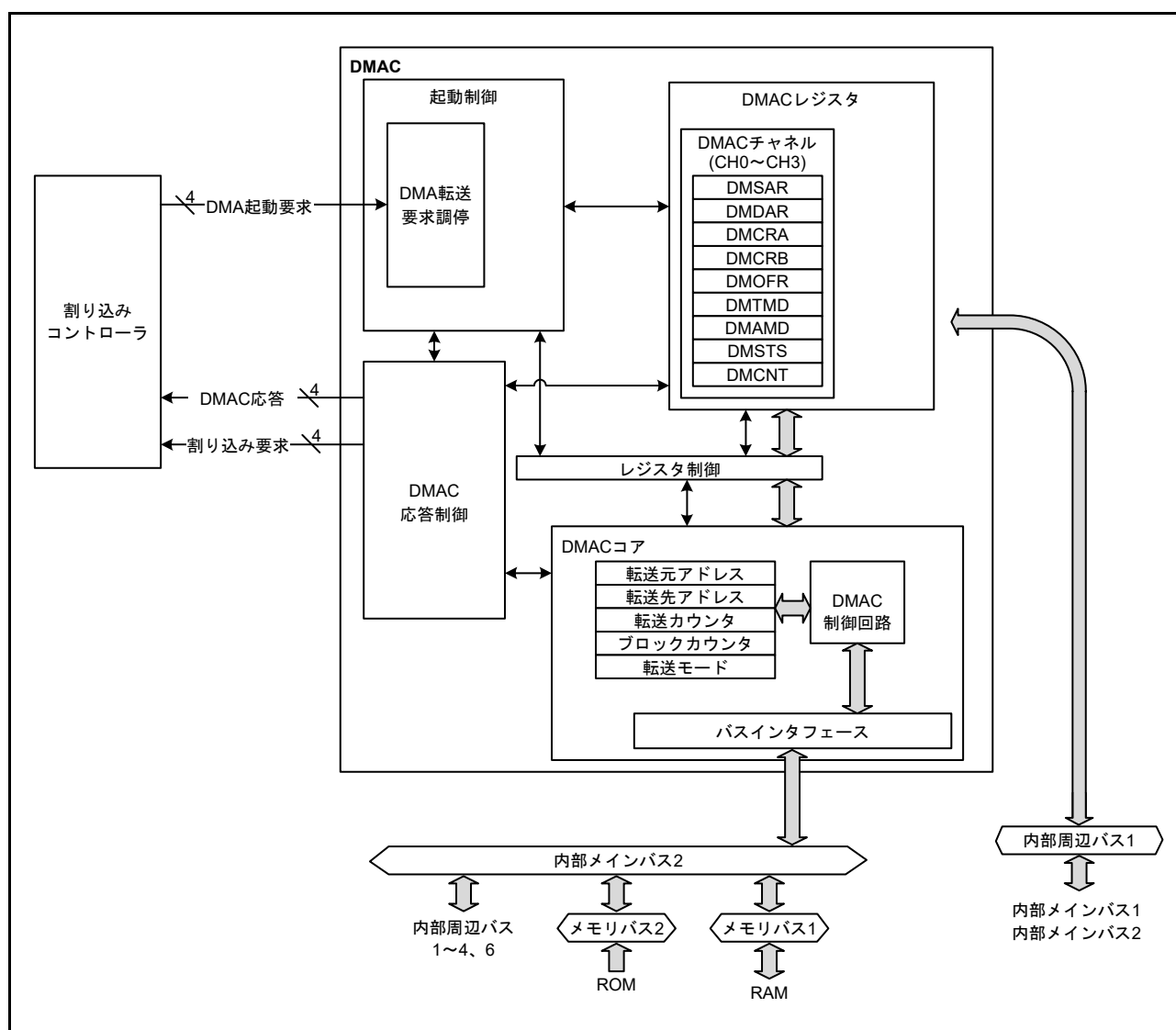
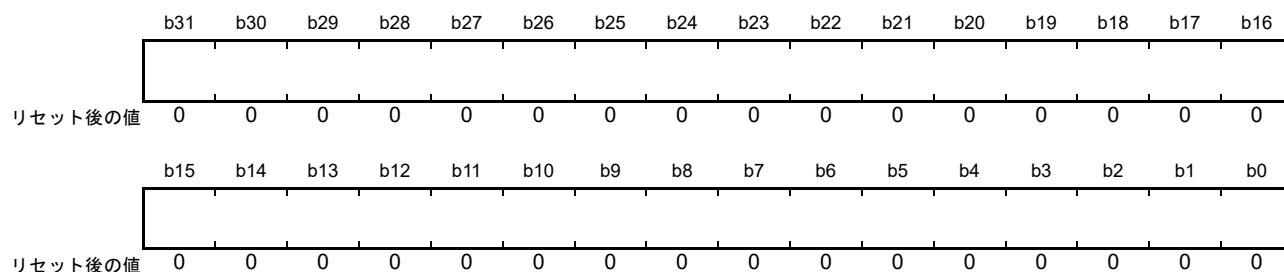


図 17.1 DMAC のブロック図

17.2 レジスタの説明

17.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h,
DMAC2.DMSAR 0008 2080h, DMAC3.DMSAR 0008 20C0h



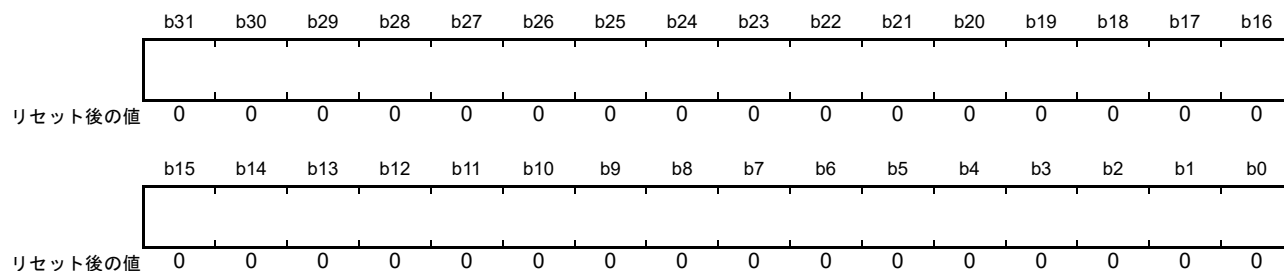
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。
DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h,
DMAC2.DMDAR 0008 2084h, DMAC3.DMDAR 0008 20C4h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

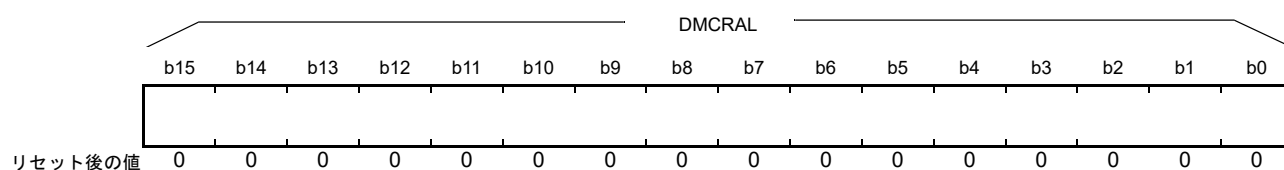
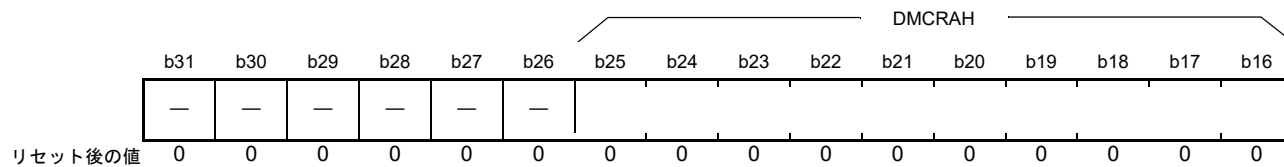
DMDAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。
DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

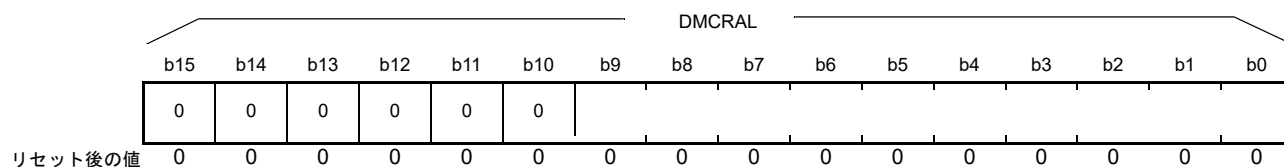
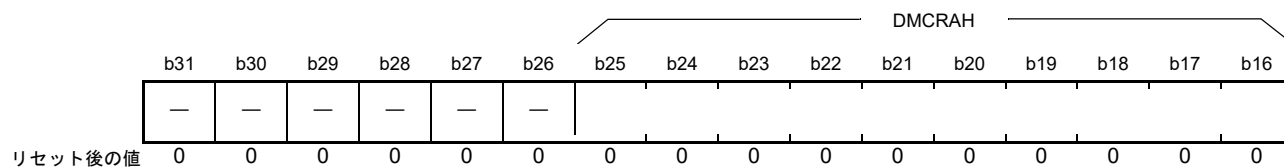
17.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMAC0.DMCRA 0008 2008h, DMAC1.DMCRA 0008 2048h,
DMAC2.DMCRA 0008 2088h, DMAC3.DMCRA 0008 20C8h

・ ノーマル転送モード



・ リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウンタ下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウンタ上位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAL レジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (-1) します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは “0000h” を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh (1 回 ~ 1024 回) です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (-1) され、“000h” になると DMCRAH レジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

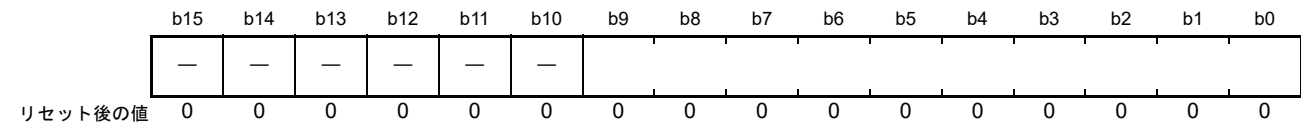
設定値が “001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (-1) され、“000h” になると DMCRAH レジスタの値が転送されます。

17.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch,
DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh



ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します	001h～3FFh (1～1023回) 000h (1024回)	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRB レジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。

リピート転送モードの場合、1リピートサイズの最終データ転送時にデクリメント(−1)されます。

ブロック転送モードの場合、1ブロックサイズの最終データ転送時にデクリメント(−1)されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

17.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h,
DMAC2.DMTMD 0008 2090h, DMAC3.DMTMD 0008 20D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み (注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「14. 割り込みコントローラ(ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

17.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h,
DMAC2.DMINT 0008 2093h, DMAC3.DMINT 0008 20D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に 1 ブロックの転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リピート領域、ブロック領域に指定しない) に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み) を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

17.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h,
DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]		—	SARA[4:0]				DM[1:0]		—	DARA[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2 を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは2 バイトから 128M バイトまで設定可能です。設定間隔は2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには “00000b” を書いてください。

DMINT.SARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

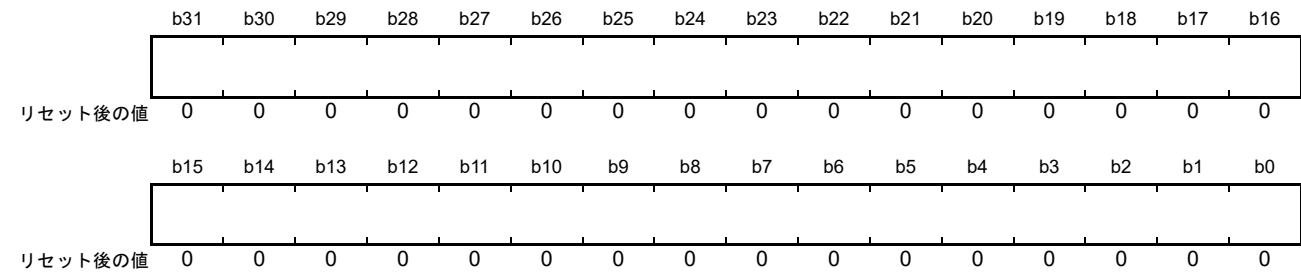
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表 17.2 拡張リピートエリアの設定と範囲

SARA[4:0]/DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット(2バイト)を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット(4バイト)を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット(8バイト)を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット(16バイト)を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット(32バイト)を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット(64バイト)を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット(128バイト)を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット(256バイト)を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット(512バイト)を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット(1Kバイト)を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット(2Kバイト)を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット(4Kバイト)を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット(8Kバイト)を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット(16Kバイト)を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット(32Kバイト)を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット(64Kバイト)を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット(128Kバイト)を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット(256Kバイト)を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット(512Kバイト)を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット(1Mバイト)を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット(2Mバイト)を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット(4Mバイト)を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット(8Mバイト)を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット(16Mバイト)を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット(32Mバイト)を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット(64Mバイト)を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット(128Mバイト)を拡張リピートエリアに設定する
11100b ~ 11111b	設定しないでください

17.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h～00FFFFFFh (0バイト～(16M-1)バイト) FF000000h～FFFFFFFFh (-16Mバイト～-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ～ 25 への設定値は無効です、ビット 31 ～ 25 へはビット 24 の値がビット拡張されます。

DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch,
DMAC2.DMCNT 0008 209Ch, DMAC3.DMCNT 0008 20DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可ビット	0 : DMA転送を禁止 1 : DMA転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1”(DMAC 起動を許可)で、DTE ビットが“1”(DMA 転送を許可)のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバーフロー割り込みにより DMA 転送が停止したとき

17.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh,
DMAC2.DMREQ 0008 209Dh, DMAC3.DMREQ 0008 20DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMA ソフトウェア起動ビット	0 : DMA 転送要求なし 1 : DMA 転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMA ソフトウェア起動ビット 自動クリア選択	0 : ソフトウェア起動後に SWREQ ビットをクリアする 1 : ソフトウェア起動後に SWREQ ビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMA 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

17.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh,
DMAC2.DMSTS 0008 209Eh, DMAC3.DMSTS 0008 20DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0 : 転送エスケープ割り込み発生なし 1 : 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0 : 転送終了割り込みなし 1 : 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMA アクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1” になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0” になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき (DMCRAL レジスタが “0” になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- DMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

17.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh,
DMAC2.DMCSL 0008 209Fh, DMAC3.DMCSL 0008 20DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0 : 転送開始時に起動要因となった割り込みフラグを“0”クリアする 1 : 転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを“0”クリアするか、割り込みフラグによりCPU へ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

17.2.13 DMA モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0 : DMAC起動を禁止 1 : DMAC起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットが“1”のとき、DMAC 全チャネルの起動が許可されます。

複数チャネルの DMACm.DMCNT.DTE ビットに“1”(DMA 転送を許可)を書いた後に DMST ビットを“1”(DMAC 起動を許可)にすると、複数チャネルを同時に転送要求受け付け可能状態にすることができます。

また、DMST ビットを DMAC 動作中に“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを“1”にすることにより継続して DMA 転送を行うことが可能です。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき

17.3 動作説明

17.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは 1 回の転送要求について 1 データの転送を行います。DMACm.DMCRAL レジスタの設定により、最大 65535 データの指定転送回数を設定できます。また、DMACm.DMCRAL レジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。DMACm.DMCRB レジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表 17.3 に、ノーマル転送モードの動作を図 17.2 に示します。

表 17.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1 転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAL	転送カウンタ	1 減算/更新なし (フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

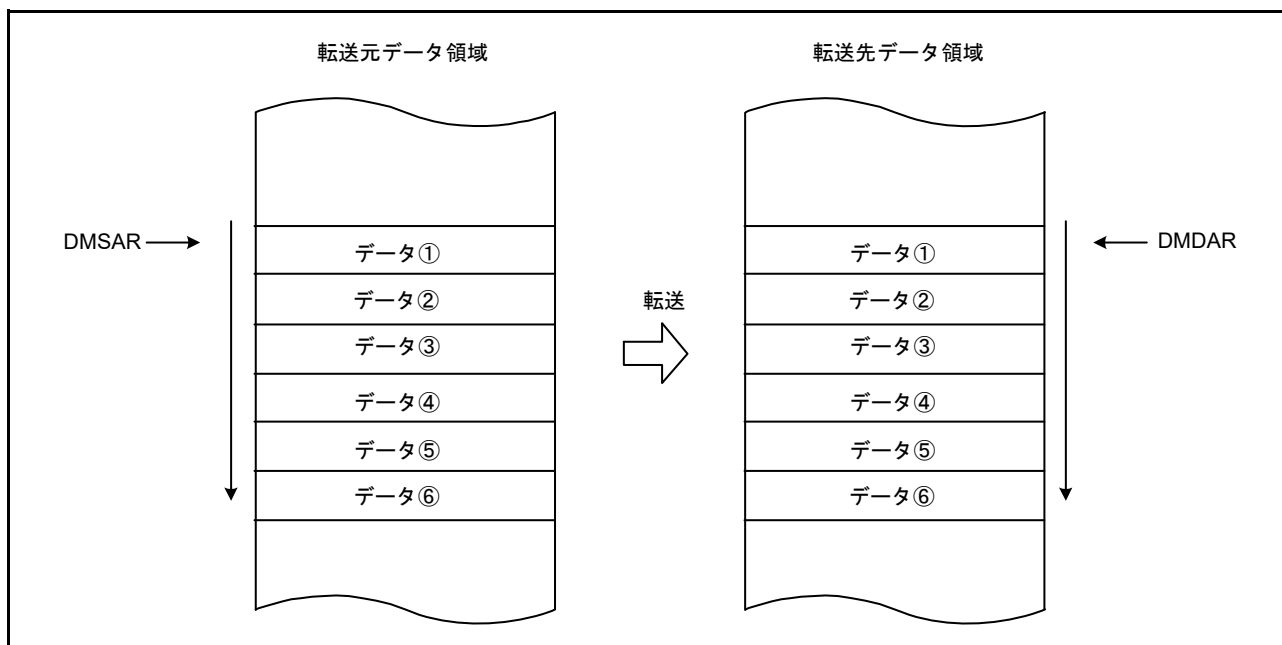


図 17.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは 1 回の転送要求について 1 データの転送を行います。

DMACm.DMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ × 1K リピート回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA 転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表 17.4 に、リピート転送モードの動作を図 17.3 に示します。

表 17.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1 転送要求に対する転送終了後の更新値	
		DMACm.DMCRA レジスタが 1 以外のとき	DMACm.DMCRA レジスタが 1 のとき (リピートサイズ最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	- DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算 (注1) - DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSAR の初期値 - DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算 (注1)	- DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDAR の初期値 - DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算 (注1) - DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算 (注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAH	転送カウンタ	1 減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウン ト	保持	1 減算

注1. オフセット加算は DMAC0 のみ指定可能です。

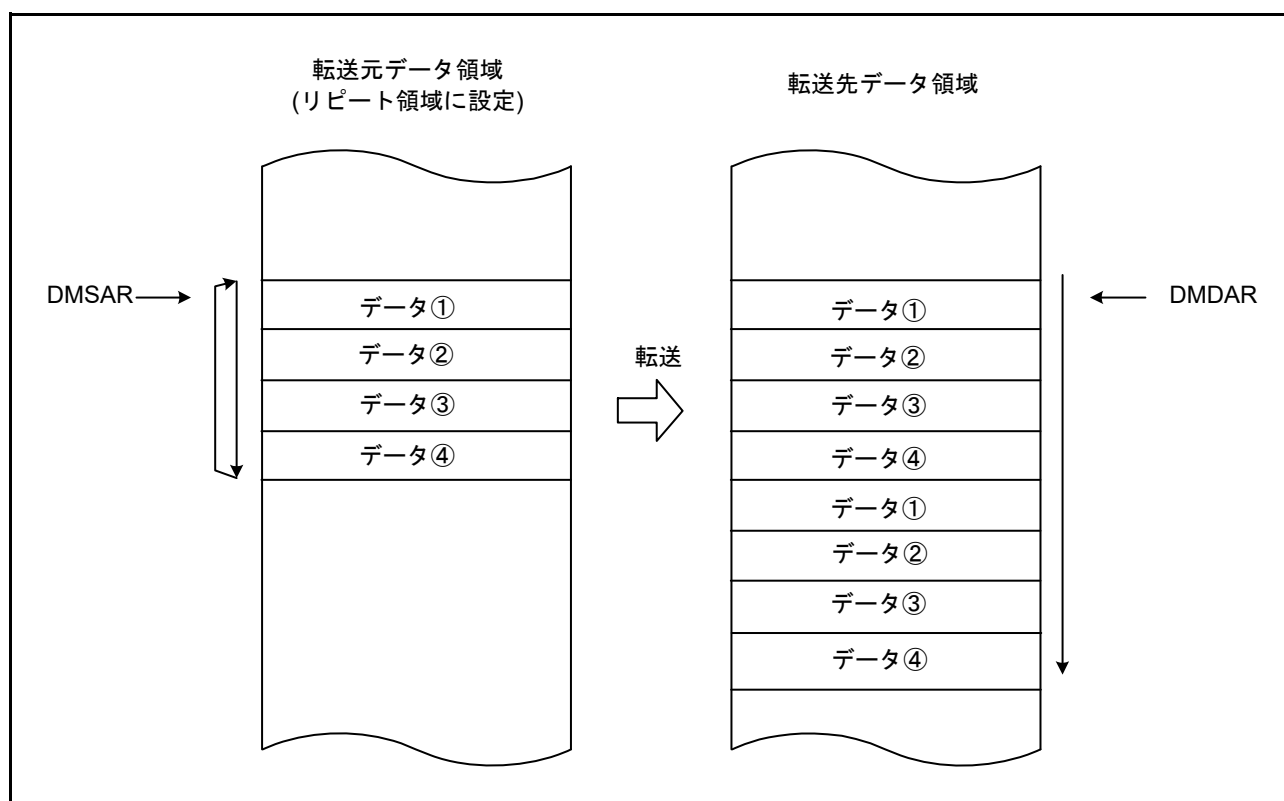


図 17.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 1K ブロック回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 17.5 に、ブロック転送モードの動作を図 17.4 に示します。

表 17.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	- DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) - DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 - DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	- DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 - DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) - DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック回数カウント	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

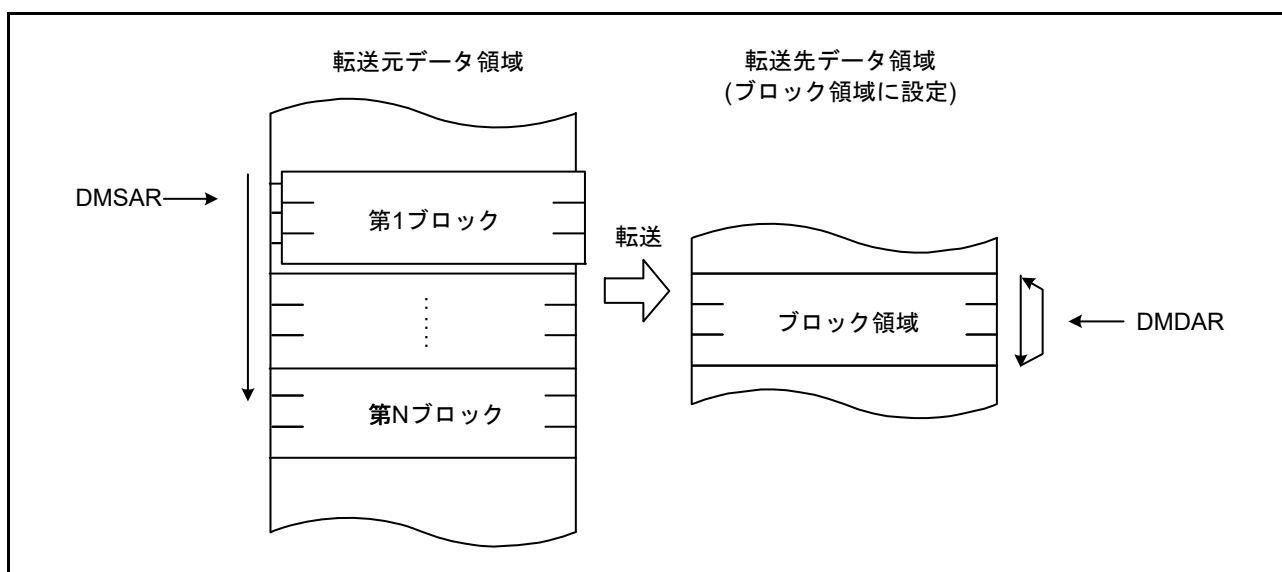


図 17.4 ブロック転送モードの動作

17.3.2 拡張リピートエリア機能

DMAC には転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSAR レジスタ (転送元アドレスレジスタ)、DMACm.DMDAR レジスタ (転送先アドレスレジスタ) に独立して設定できます。

転送元アドレスの拡張リピートエリアは DMACm.DMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアは DMACm.DMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア (転送元または転送先) を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA 転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIE ビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときに DMACm.DMSTS.ESIF フラグが“1”になり、DMACm.DMCNT.DTE ビットを“0”にして DMA 転送を終了します。このとき、DMACm.DMINT.ESIE ビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIE ビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTE ビットを“1”にすると、DMA 転送を再開することができます。

図 17.5 に拡張リピートエリア機能の例を示します。

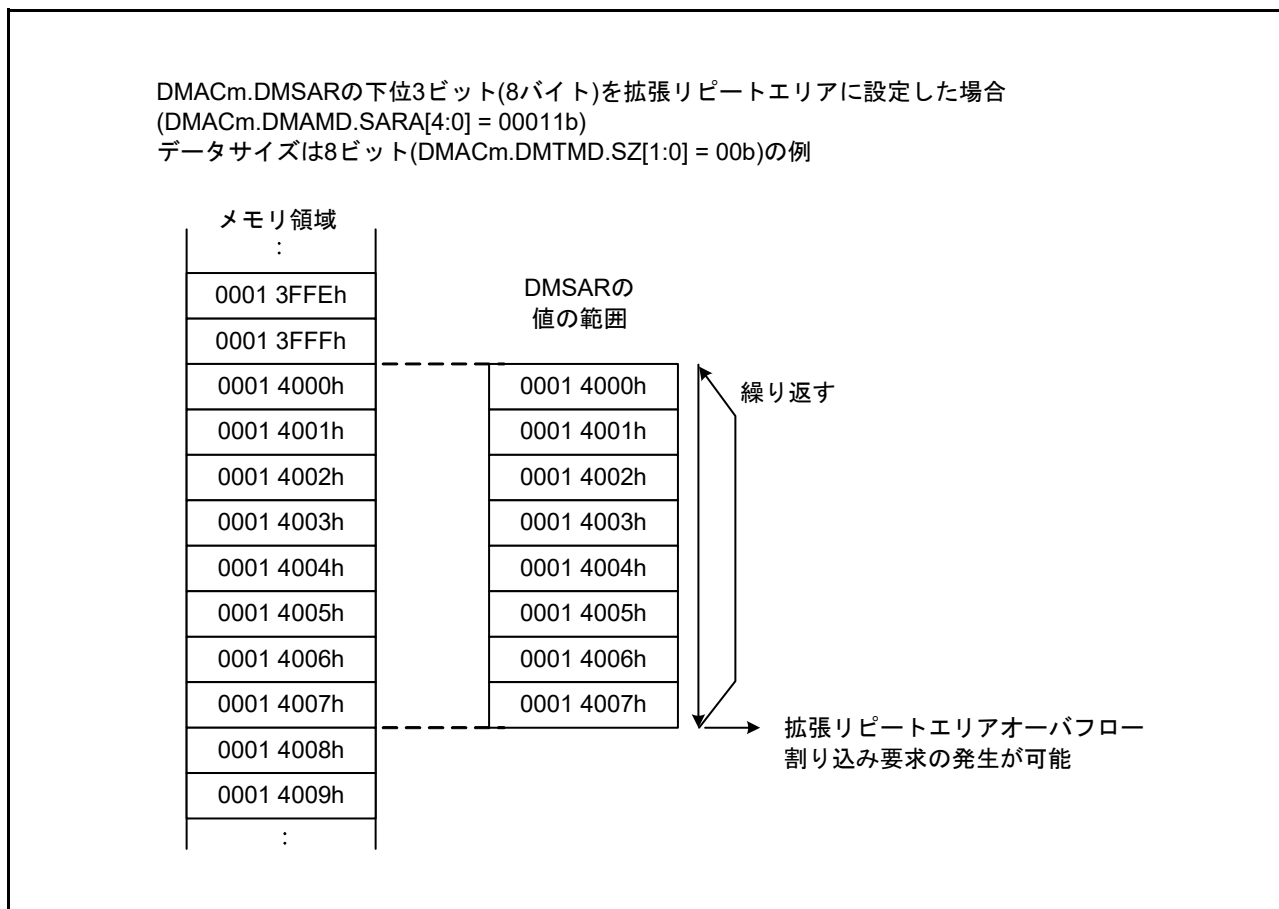


図 17.5 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 17.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

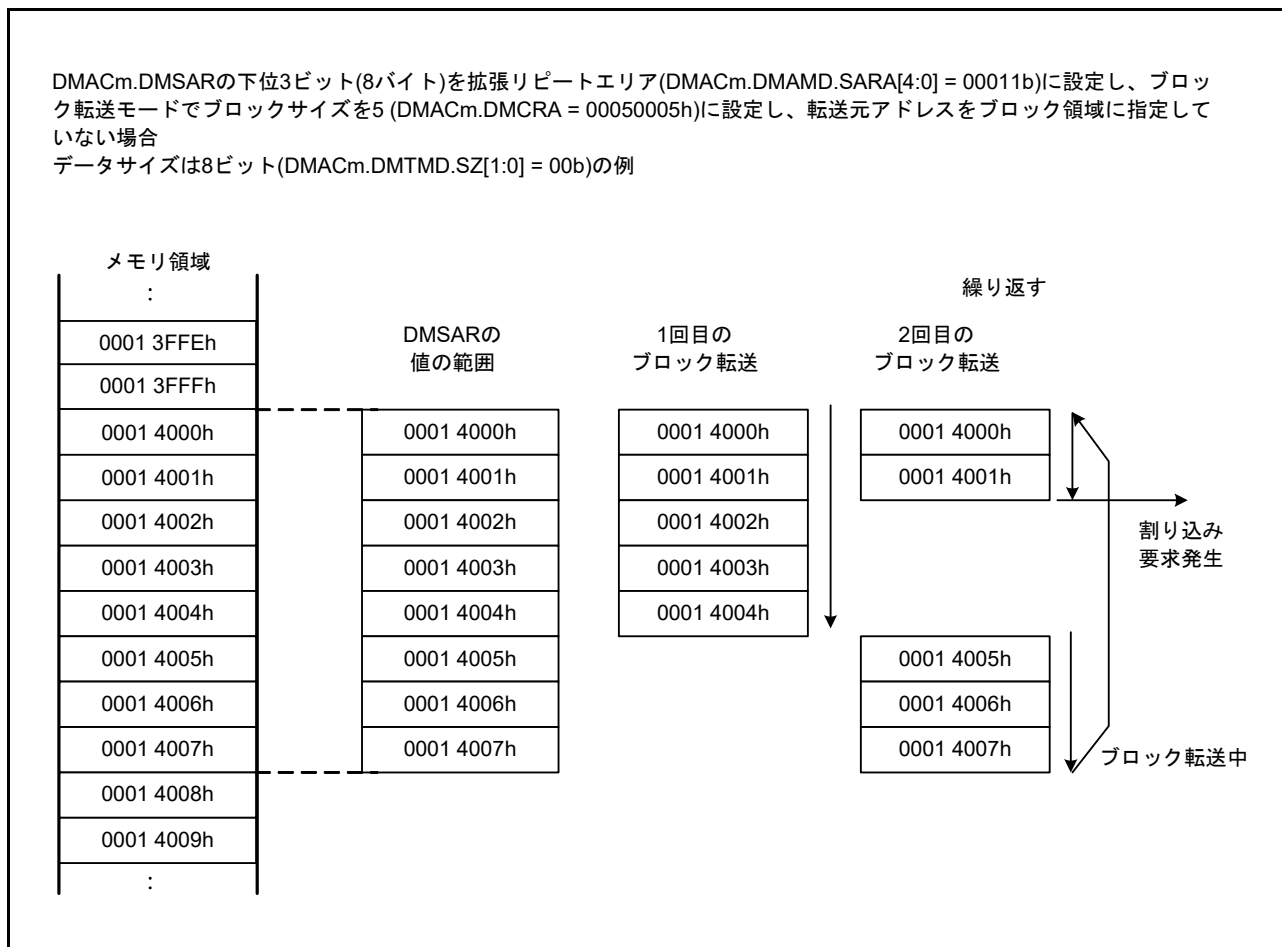


図 17.6 ブロック転送モードと拡張リピートエリア機能を併用した例

17.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定 / インクリメント / デクリメントの他にオフセット加算があります。オフセット加算では、1 データの転送を行うたびに DMA オフセットレジスタ (DMAC0.DMOFR) に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR に 2 の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルは DMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を表 17.6 に示します。

表 17.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0]設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注 1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1. オフセットレジスタに負の値を設定する場合は、2 の補数で設定してください。2 の補数は次式で求められます。

負のオフセット値の 2 の補数表現 = $\sim(\text{オフセット値}) + 1$ ($\sim$: ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図 17.7 に示します。

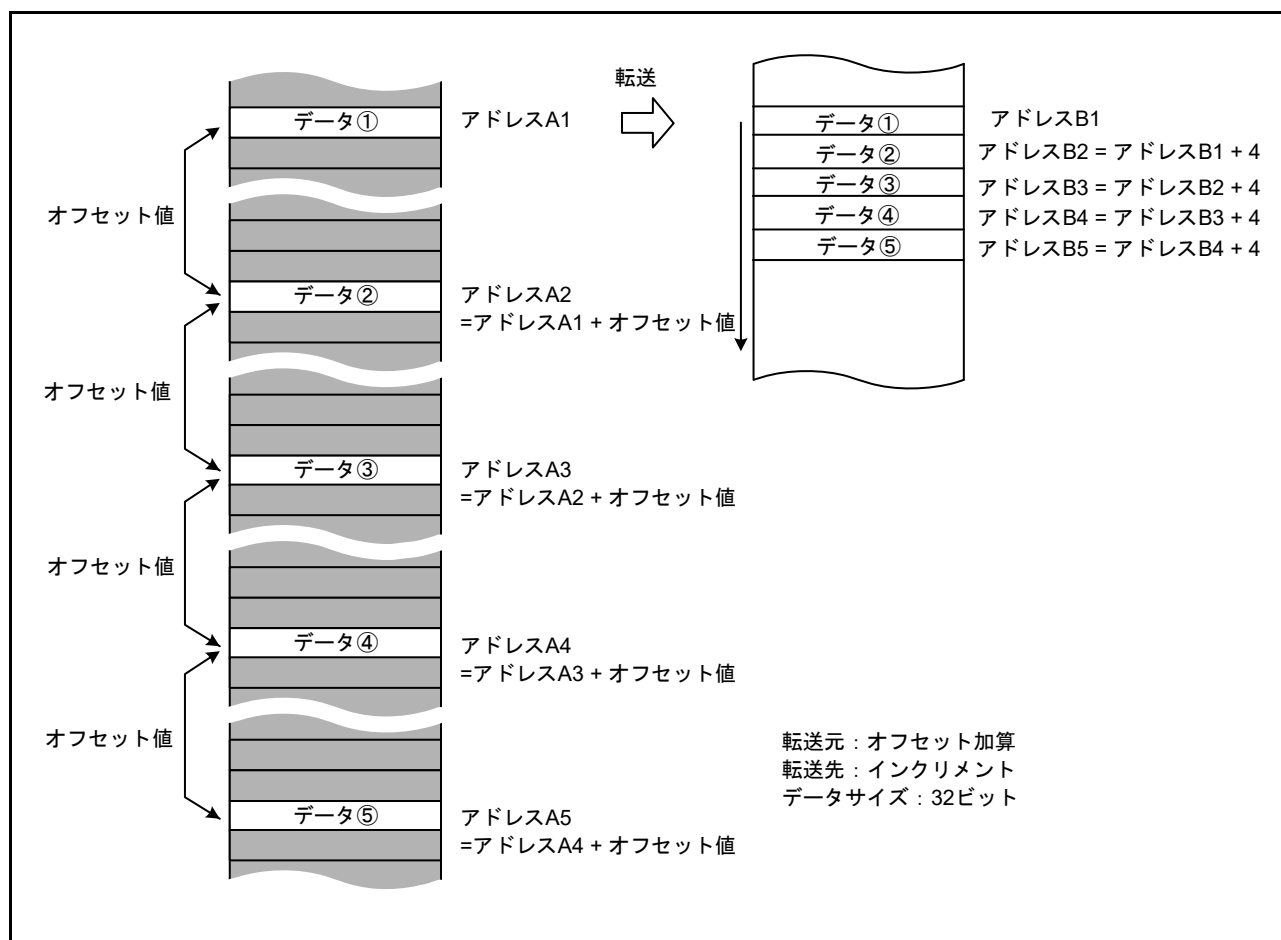


図 17.7 オフセットによるアドレス更新機能の動作例

図 17.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 17.8 にリピータ転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ: 転送元アドレス更新モード設定: オフセット加算
- DMAC0.DMAMD レジスタ: 転送先アドレス更新モード設定: インクリメント
- DMAC0.DMTMD レジスタ: 転送データサイズビット: 32 ビット転送
- DMAC0.DMTMD レジスタ: 転送モード設定ビット: リピータ転送
- DMAC0.DMTMD レジスタ: リピータ領域選択ビット: 転送元側がリピータ領域
- DMAC0.DMOFR レジスタ: オフセットアドレス: 10h
- DMAC0.DMCRA レジスタ: リピータサイズ: 4h

- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

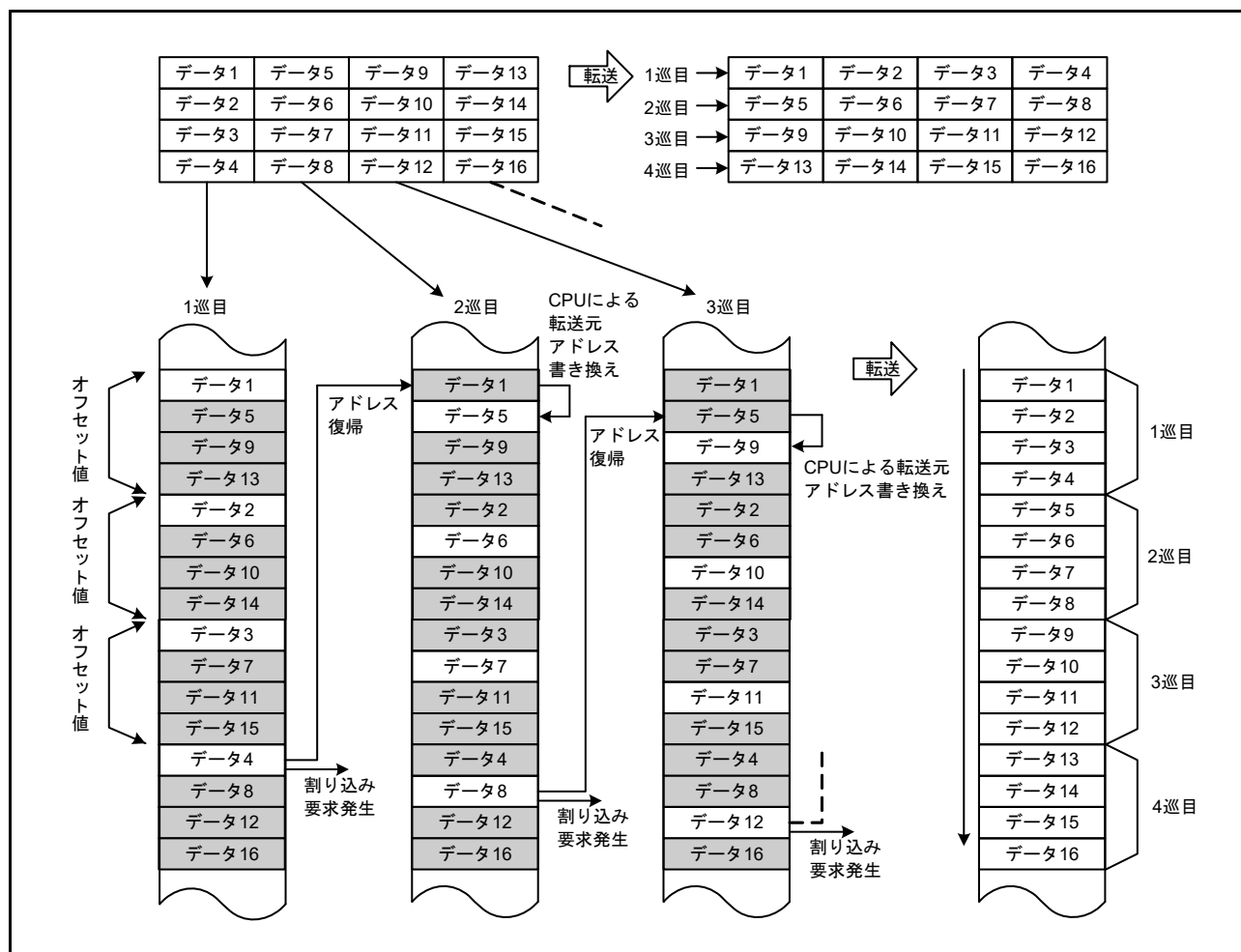


図 17.8 リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ 4”までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス (転送元“データ 1”のアドレス) に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA 転送元アドレスを“データ 5”のアドレスに書き換え
(上記の例では“データ 1”のアドレスに 4 を加算した値に書き換え)
- DMAC0.DMCNT レジスタ：DTE ビットに“1”書き込み

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 17.9 に XY 変換の処理フローを示します。

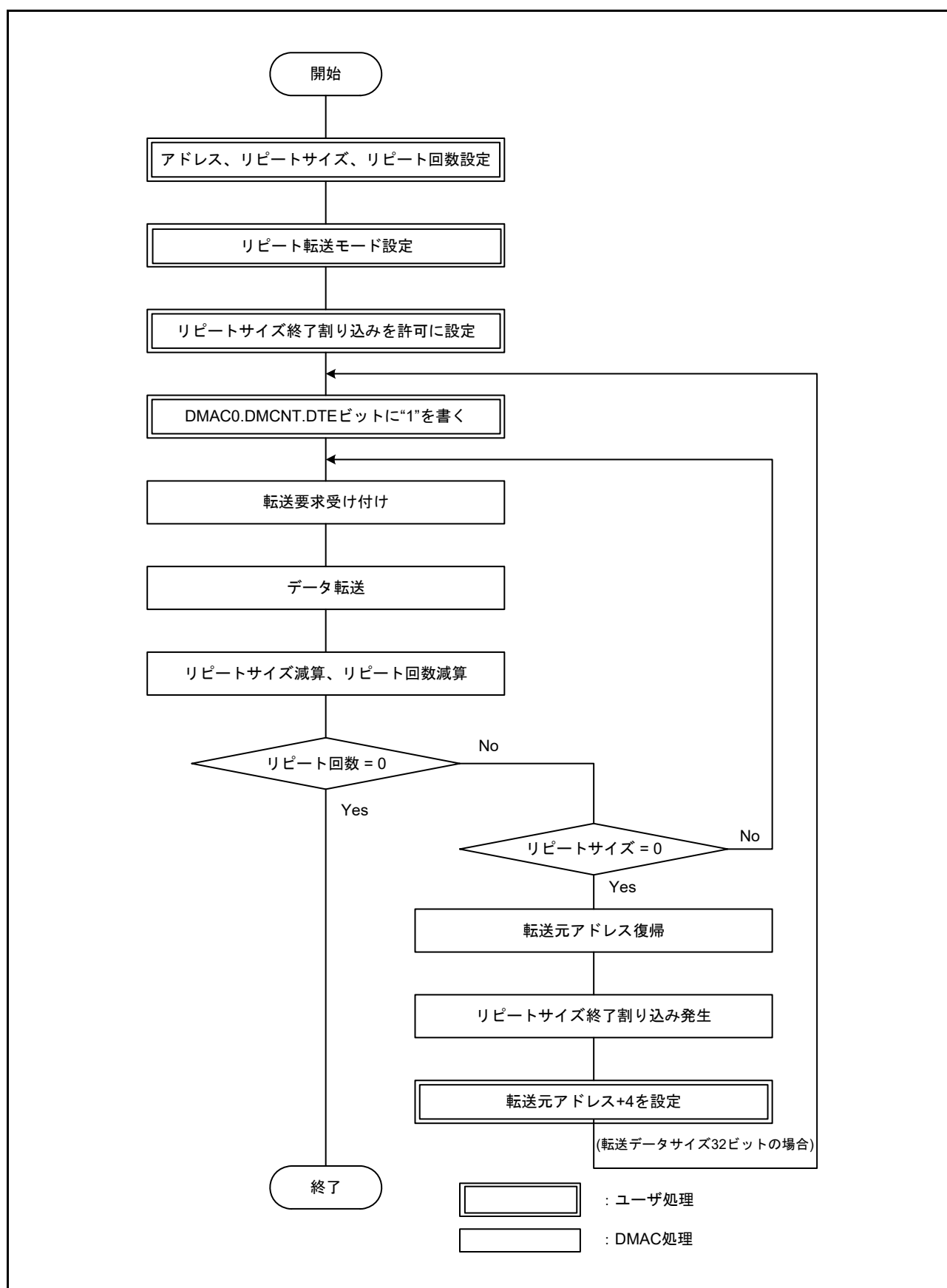


図 17.9 リピート転送モード + オフセット加算による XY 変換のフロー

17.3.4 起動要因

DMAC の起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択は DMACm.DMTMD.DCTG[1:0] ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動により DMA 転送を開始するには、DMACm.DMTMD.DCTG[1:0] ビットを “00b” にした後、DMACm.DMCNT.DTE ビットを “1” (DMA 転送許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 起動許可) にしてください。その後、DMACm.DMREQ.SWREQ ビットに “1” (DMA 転送要求あり) を書くと DMA 動作が開始します。

DMACm.DMREQ.CLRS ビットが “0” でソフトウェア起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが “0” になります。DMACm.DMREQ.CLRS ビットが “1” でソフトウェア起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求を DMA 転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) の ICU.DMRSRm レジスタ (m = 0 ~ 3) で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求により DMA を起動するには、DMACm.DMTMD.DCTG[1:0] ビットを “01b” (周辺モジュールおよび外部割り込み端子からの割り込み) にした後、DMACm.DMCNT.DTE ビットを “1” (DMA 転送を許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 起動を許可) にしてください。その後に割り込み要求が発生すると、DMA 動作を開始します。

DMAC の起動要因となる割り込み要因一覧は、「14. 割り込みコントローラ (ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。

17.3.5 動作タイミング

図 17.10、図 17.11 に DMAC の動作タイミングの例を示します。

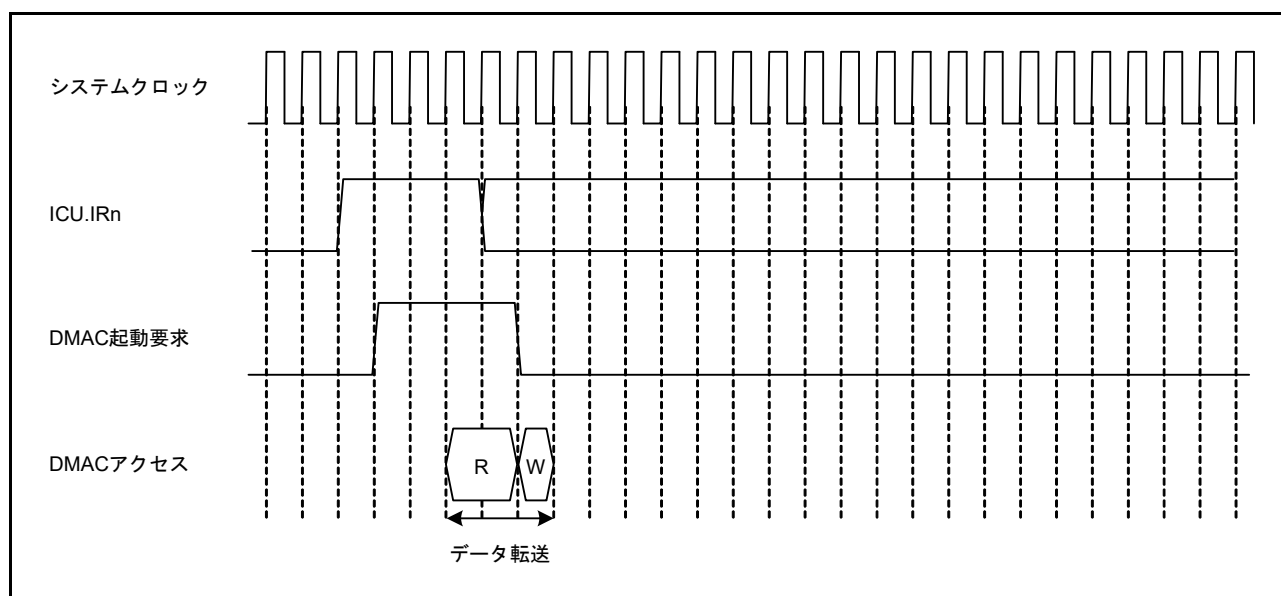


図 17.10 DMAC 動作タイミング例 (1) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合)

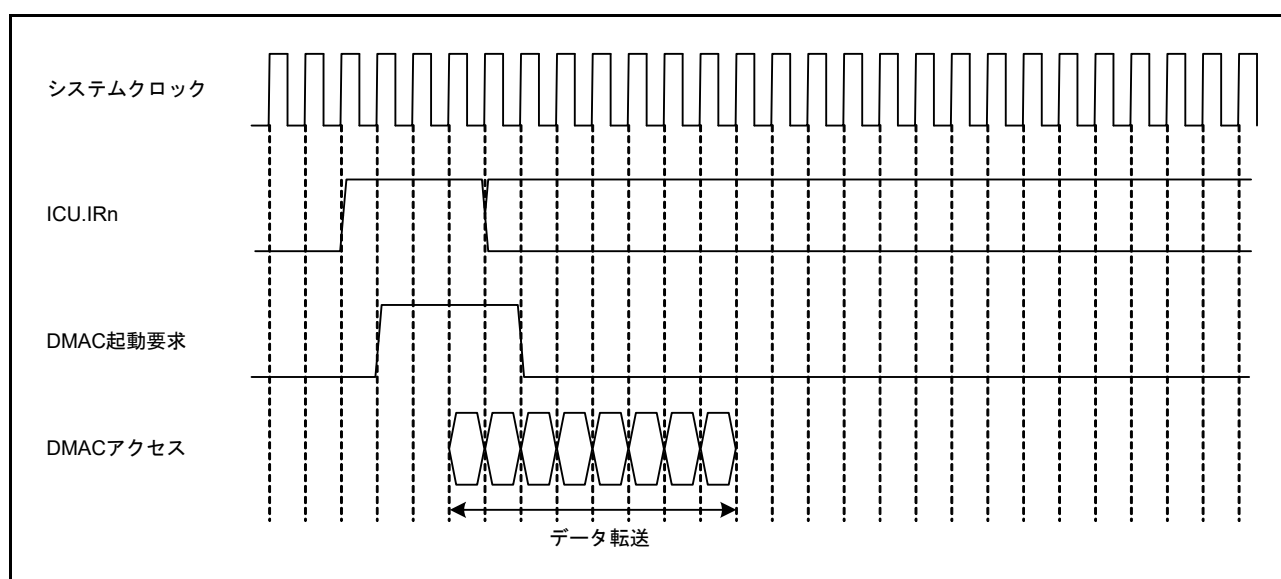


図 17.11 DMAC 動作タイミング例 (2) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ=4 の場合)

17.3.6 DMAC の実行サイクル

表 17.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 17.7 DMAC の実行サイクル

転送モード	データ転送(リード)	データ転送(ライト)
ノーマル	$Cr + 1$	Cw
リピート	$Cr + 1$	Cw
ブロック (注1)	$P \times Cr$	$P \times Cw$

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

【記号説明】

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「37. RAM」、「38. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」を参照してください。

データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。

動作例は「17.3.5 動作タイミング」を参照してください。

17.3.7 DMAC の起動

図 17.12 にレジスタの設定手順を示します。

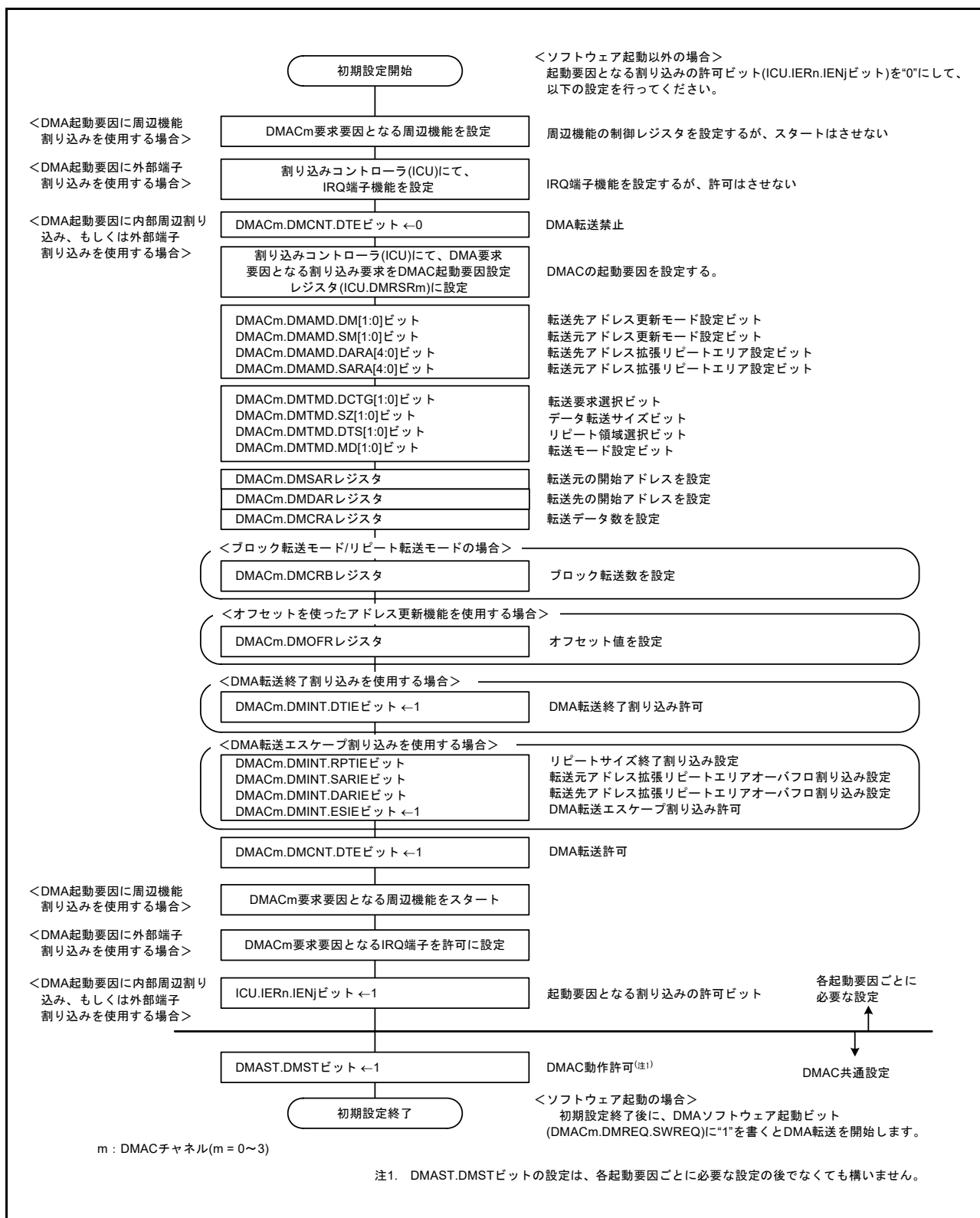


図 17.12 レジスタの設定手順

17.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1”(DMA 転送許可)にして、DMAST.DMST ビットを“1”(DMAC 起動許可)にすると、チャンネル m ($m=0 \sim 3$) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが“1”(DMAC 動作中)になります。

17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ～表 17.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ～表 17.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ～表 17.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ～表 17.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは“1”にセットされます。

DMACm.DMSTS.DTIF フラグが“1”にセットされ、DMACm.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求を発生します。

DMACm.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは“1”にセットされます。DMACm.DMSTS.ESIF フラグが“1”にセットされ、DMACm.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求を発生します。

DMACm.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.3.10 チャンネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャンネルの優先順位を判断します。チャンネルの優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャンネル調停を行ない、優先順位の高いチャンネルの転送が開始されます。

17.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

17.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRLB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRLB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.5 割り込み

DMAC はチャンネルごとに、1 要求分の転送完了後に CPU または DTC に割り込み要求を出力させることができます。転送先が内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表 17.8 に、割り込み出力の概略論理図を図 17.13 に示します。また、DMAC 割り込み処理で、DMA 転送を再開 / 中止する手順を図 17.14 に示します。

表 17.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.DARIE		

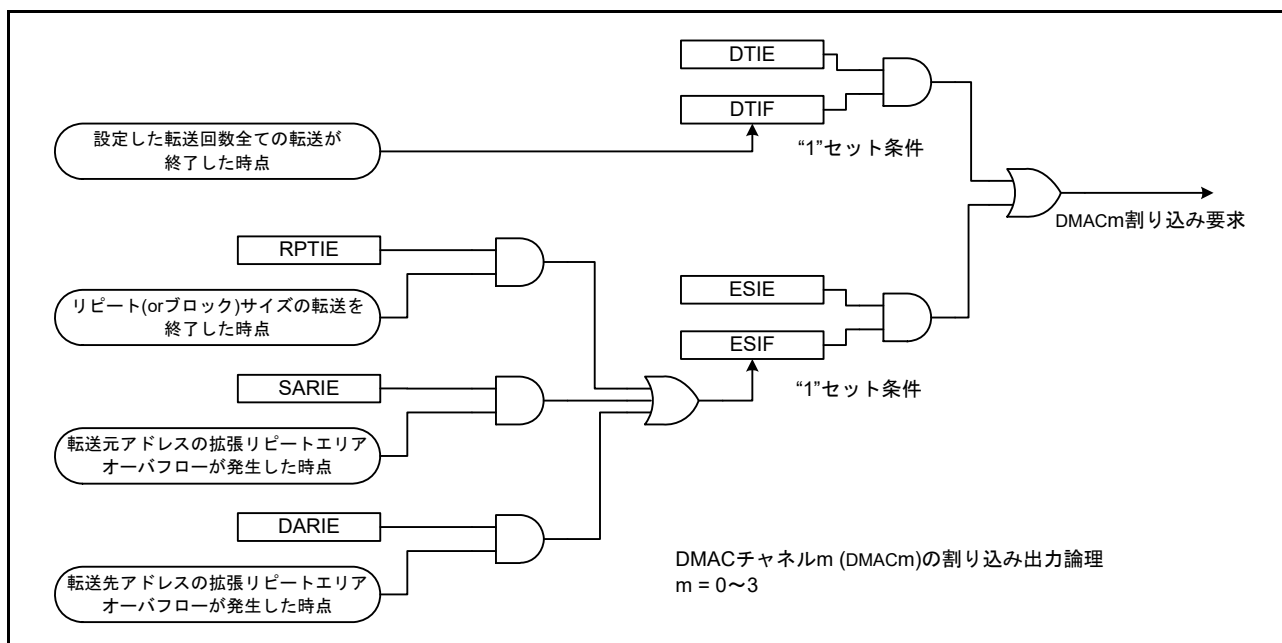


図 17.13 割り込み出力の概略論理図

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバーフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに“0”を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに“1” (DMA 転送許可) を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに“1”を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが“0”にクリア (割り込み要因がクリア) され、転送が再開します。

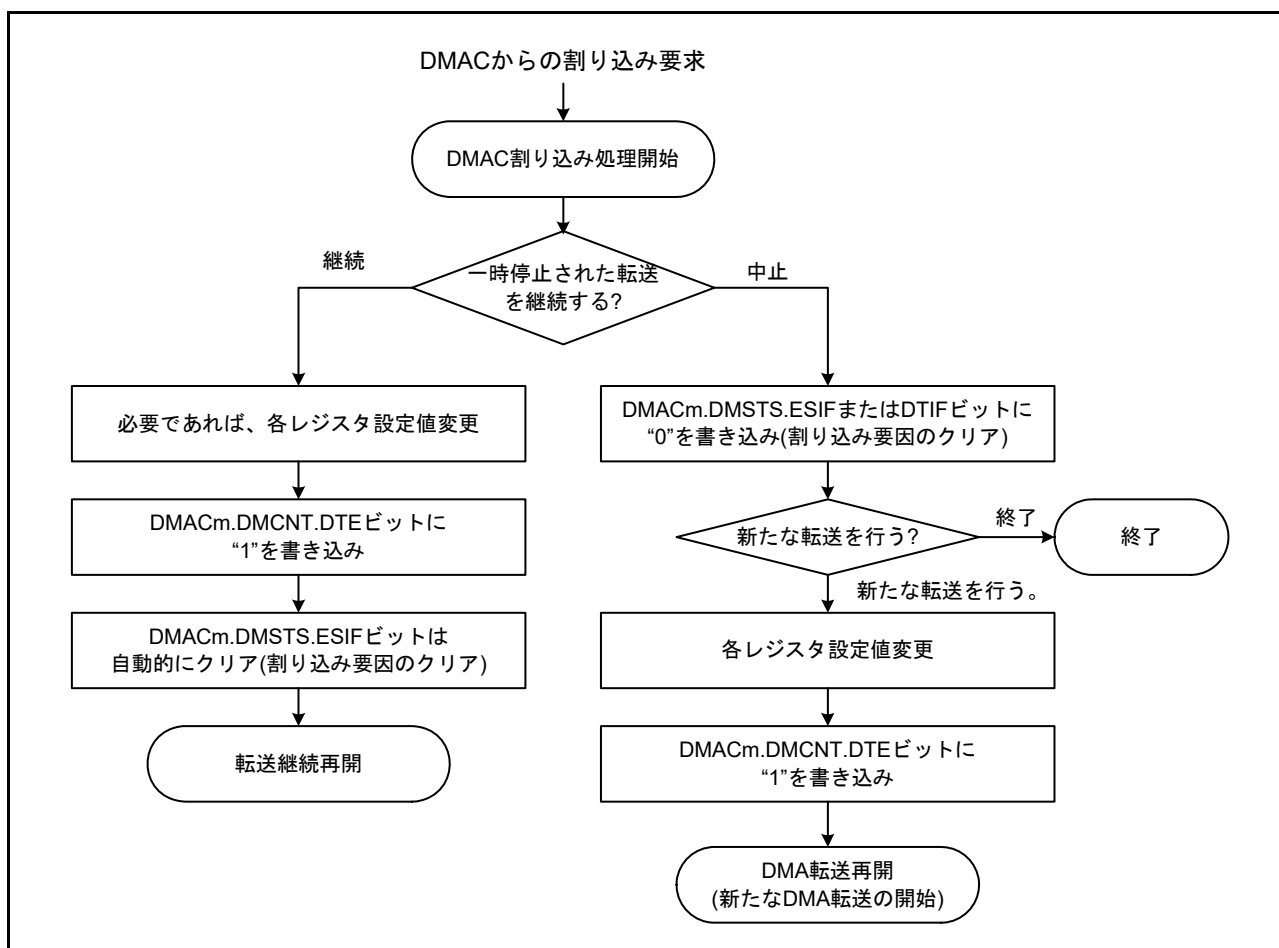


図 17.14 DMAC 割り込み処理で DMA 転送を再開 / 中止する手順

17.6 イベントリンク機能

各 DMAC チャネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が内部周辺バスの場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

17.7 消費電力低減機能

モジュールストップ機能、およびソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0”(DMAC モジュール停止)を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DMAC のモジュールストップが解除されます。

(2) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモードに移行します。

(3) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1”を書いてください。

ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.8 使用上の注意事項

17.8.1 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

17.8.2 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが“1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが“1” (DMA 転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR, DMDAR, DMCRA, DMCRB, DMTMD, DMINT, DMAMD, DMOFR, DMCSL) へのアクセスは行わないでください。

17.8.3 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

17.8.4 DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを“1”に設定すると、1 回の DMA 起動要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に“0”クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「17.2.12 DMA 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

17.8.5 割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定

DMAC 起動要求レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が“0” (DMA 転送を禁止) のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ (ICU.DTCERn) を“1”にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

17.8.6 DMA 起動の保留 / 再開方法

DMA 起動要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を“0”にしてください。DMA 転送を再開する場合は「17.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを“1”にしてください。

18. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

18.1 概要

表 18.1 に DTC の仕様を、図 18.1 に DTC のブロック図を示します。

表 18.1 DTC の仕様

項目	内容
転送チャンネル数	• DTC 起動が可能となすすべての割り込み要因の数と同数
転送モード	• ノーマル転送モード 1回の起動で1つのデータを転送する • リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 • ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
チェーン転送機能	• 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 • 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
転送空間	• ショートアドレスモードのとき 16M バイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) • フルアドレスモードのとき 4G バイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	• 1データ : 1 バイト (8 ビット)、1 ワード (16 ビット)、1 ロングワード (32 ビット) • 1 ブロックサイズ : 1 ~ 256 データ
CPU 割り込み要求	• DTC を起動した割り込みで CPU への割り込み要求を発生可能 • 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への遷移が可能

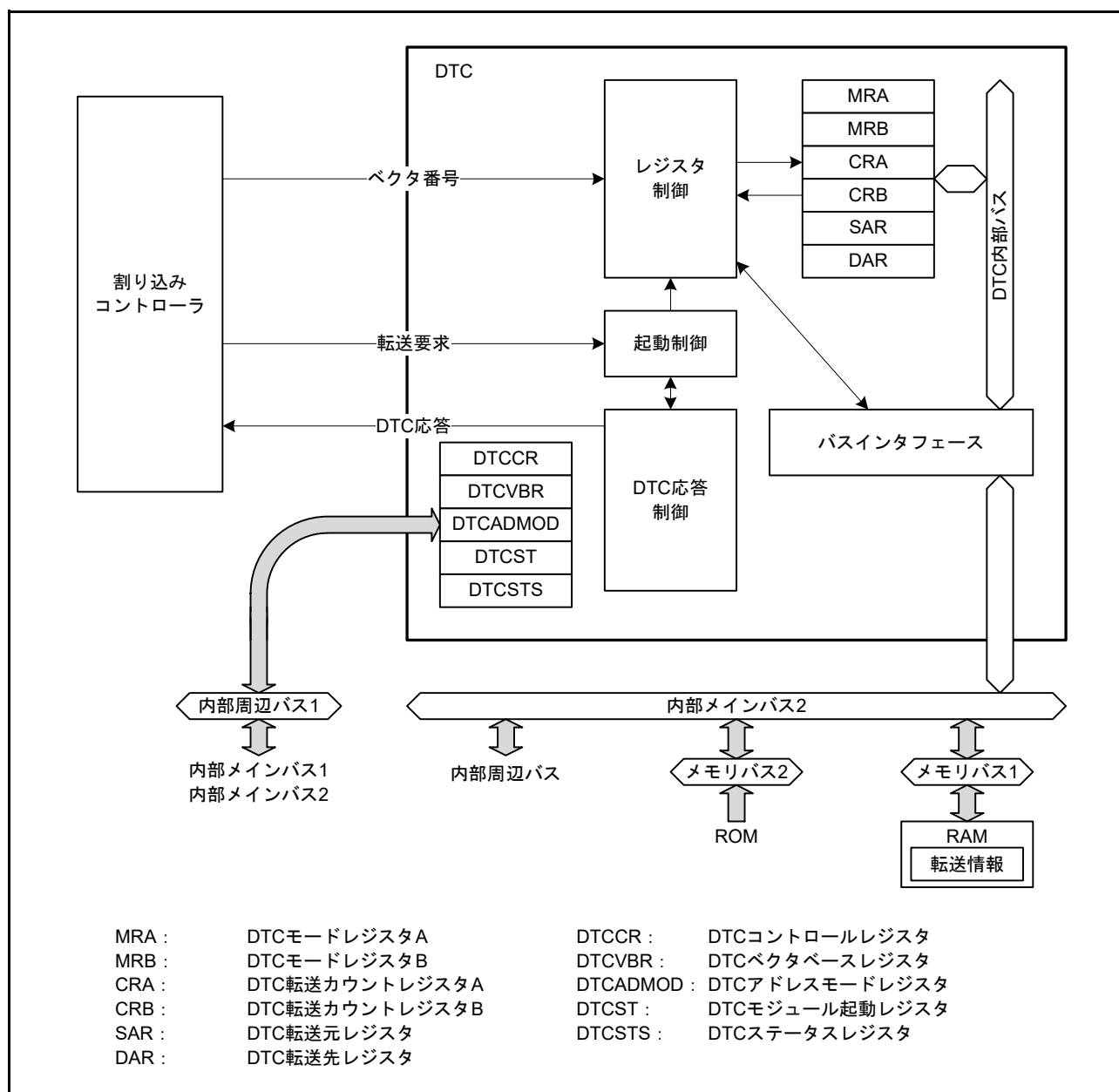


図 18.1 DTC のブロック図

18.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は転送要求を受け付けると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報として RAM 領域にライトバックされます。

18.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)

b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが"00b"のとき+1、 "01b"のとき+2、"10b"のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイト(8ビット)転送 0 1 : ワード(16ビット)転送 1 0 : ロングワード(32ビット)転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRA レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

18.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	“0”にしてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0 : 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0 : 指定した回数のデータ転送が終了したとき、CPU への割り込み要求が発生 1 : データ転送のたびに、CPU への割り込み要求が発生	—
b6	CHNS	DTC チェーン転送選択ビット	0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが1 → 0、または1 → CRAH となったとき、チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときはCHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 18.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「18.4.6 チェーン転送」を参照してください。

18.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

x : 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

18.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

x : 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

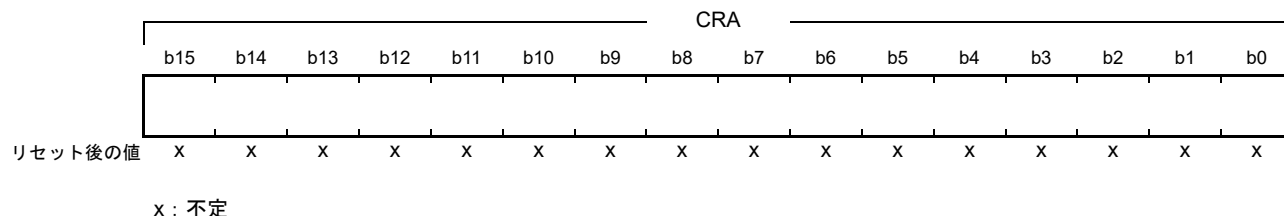
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

18.2.5 DTC 転送カウントレジスタ A (CRA)

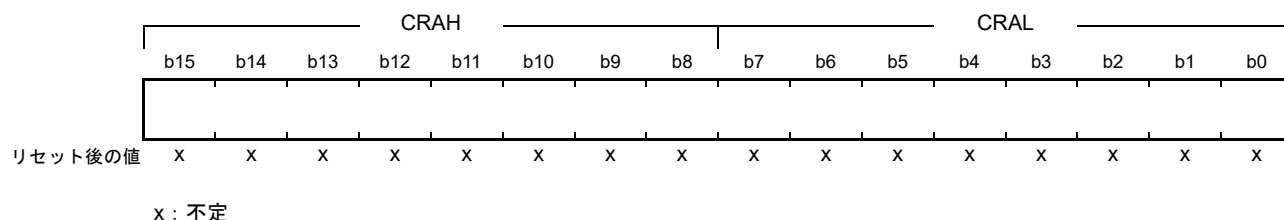
- ノーマル転送モード

アドレス (CPUから直接アクセス不可)



- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRAL レジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

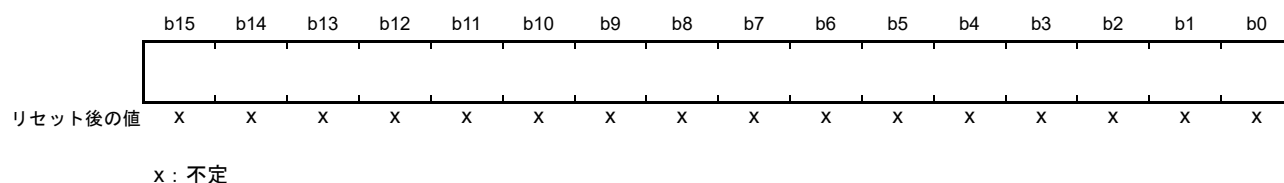
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

18.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

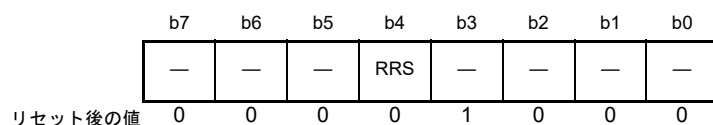
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

18.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット	0 : 転送情報リードスキップを行わない 1 : ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC の動作を制御するレジスタです。

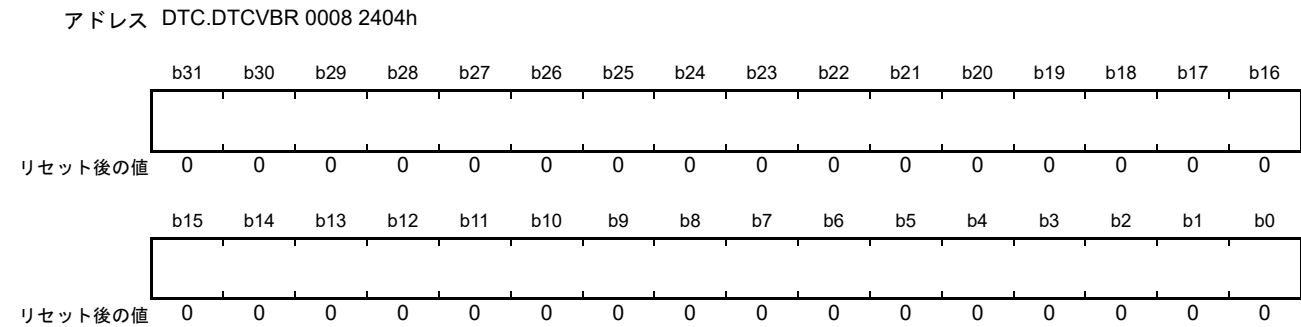
RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

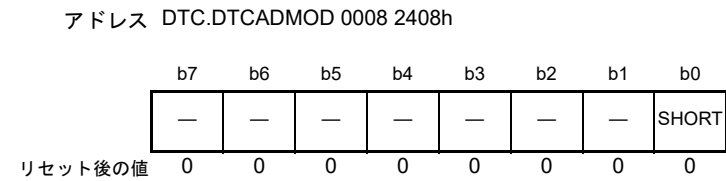
18.2.8 DTC ベクタベースレジスタ (DTCVBR)



DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.9 DTC アドレスモードレジスタ (DTCADMOD)



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0 : フルアドレスモード 1 : ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

18.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「18.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

18.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中 (ACT フラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTC アクティブフラグ	0 : データ転送は実行していない 1 : データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1”(データ転送実行中)であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0”(データ転送は実行していない)であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1”になる条件]

- 転送要求に対して DTC が起動したとき

[“0”になる条件]

- 1 回の転送要求に対するデータ転送が終了したとき

18.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を “1” にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DMAC/DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが “0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを “1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが “0” になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n に対する転送情報 n の先頭アドレスは、DTCVBR + $4n$ 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADM.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 18.2 に示します。

RAM 領域上の転送情報の配置を図 18.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「18.10.2 転送情報の配置」を参照してください。

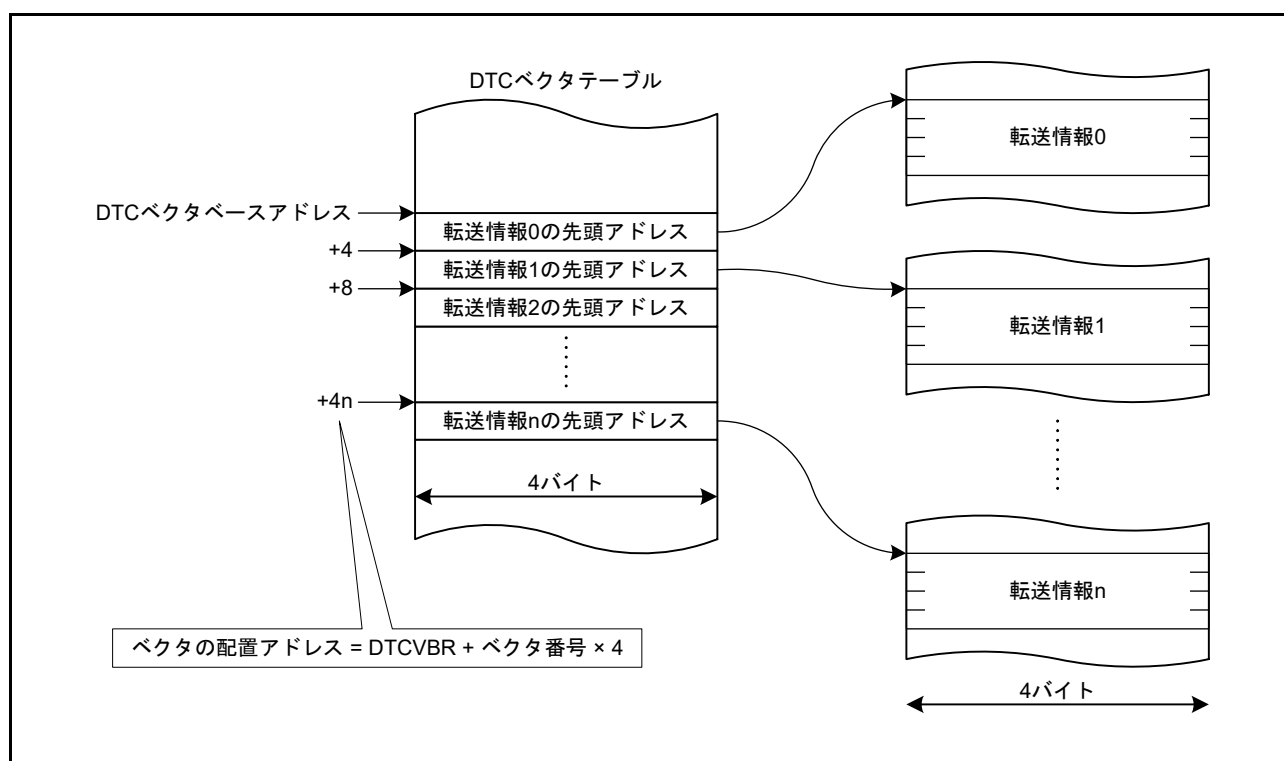


図 18.2 DTC ベクタテーブルと転送情報の対応

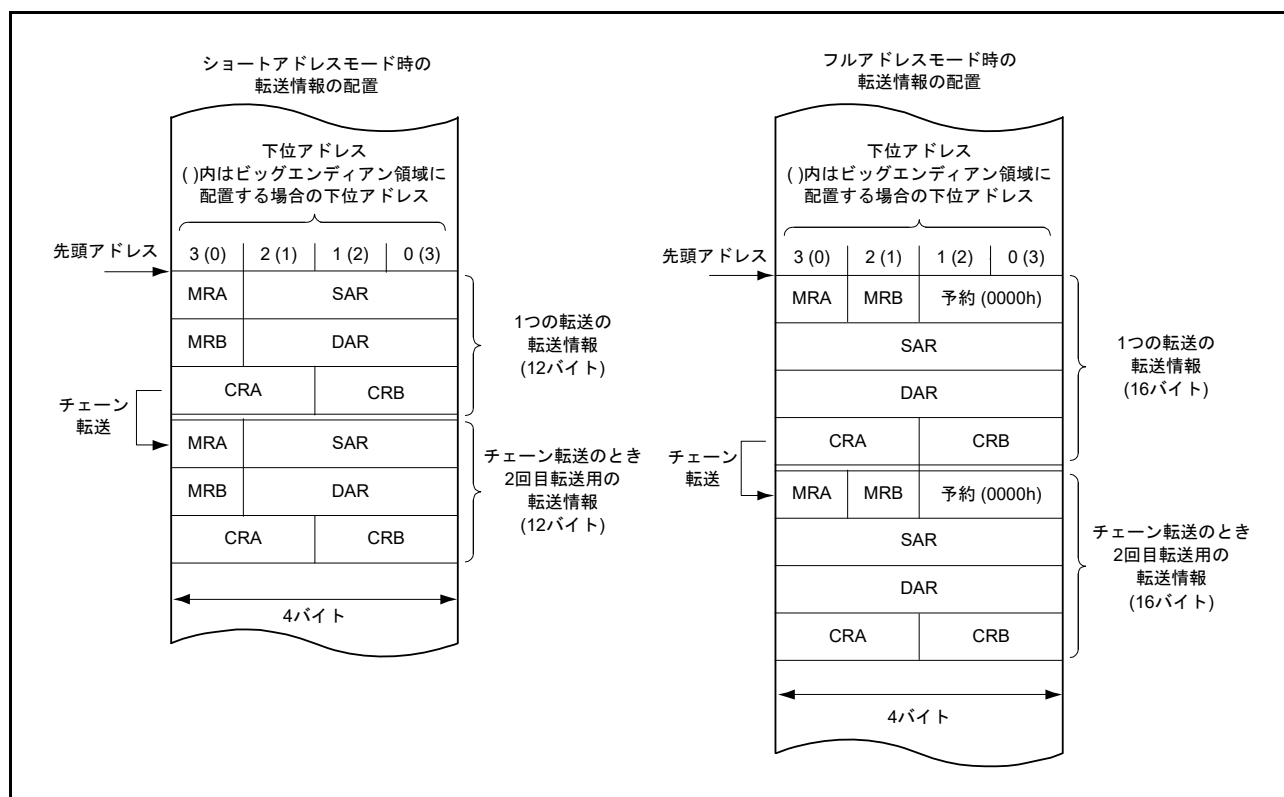


図 18.3 RAM 領域上の転送情報の配置

18.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定 (インクリメント/デクリメント/固定) に従って、転送後に更新されます。

DTC の転送モードを表 18.2 に示します。

表 18.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます(チェーン転送)。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 18.4 に示します。チェーン転送の条件を表 18.3 に示します。

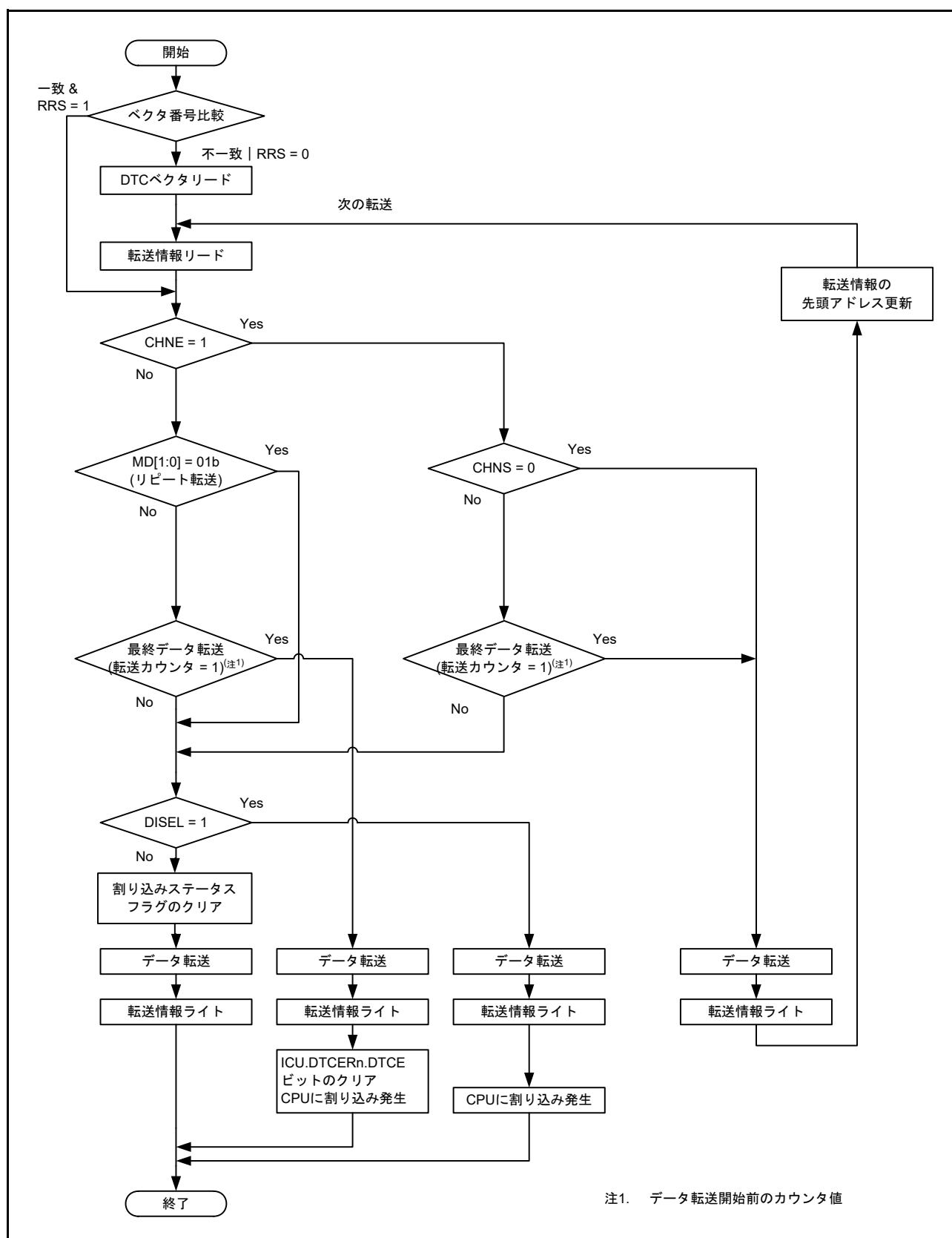


図 18.4 DTC 動作フローチャート

表 18.3 チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リビート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リビート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

18.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 18.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

18.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 18.4 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 18.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.3 ノーマル転送モード

1 回の転送要求で、1 バイト、1 ワードまたは 1 ロングワードの転送を行います。転送回数は 1 ～ 65536 です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 18.5 に、ノーマル転送モードのメモリマップを図 18.5 に示します。

表 18.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)
CRA	転送カウンタ A	CRA – 1
CRB	転送カウンタ B	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

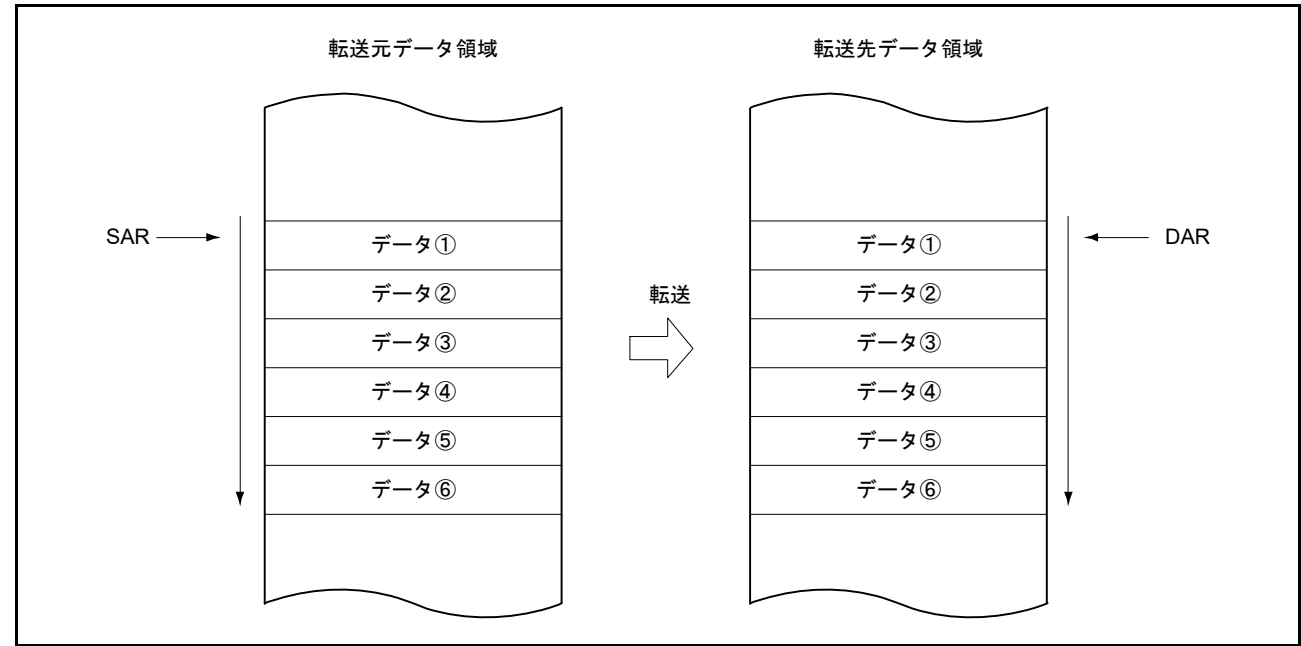


図 18.5 ノーマル転送モードのメモリマップ

18.4.4 リピート転送モード

1 回の転送要求で、1 バイト、1 ワードまたは 1 ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は 1 ～ 256 まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが “00h” になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは “00h” にならないので、MRB.DISEL ビットが “0” (指定した回数のデータ転送が終了したとき、CPU への割り込みが発生) の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 18.6 に、リピート転送モードのメモリマップを図 18.6 に示します。

表 18.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット = 0 のとき	MRB.DTS ビット = 1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	インクリメント/デクリメント/固定(注1)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL – 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1. アドレス固定のときは、ライトバックはスキップされます。

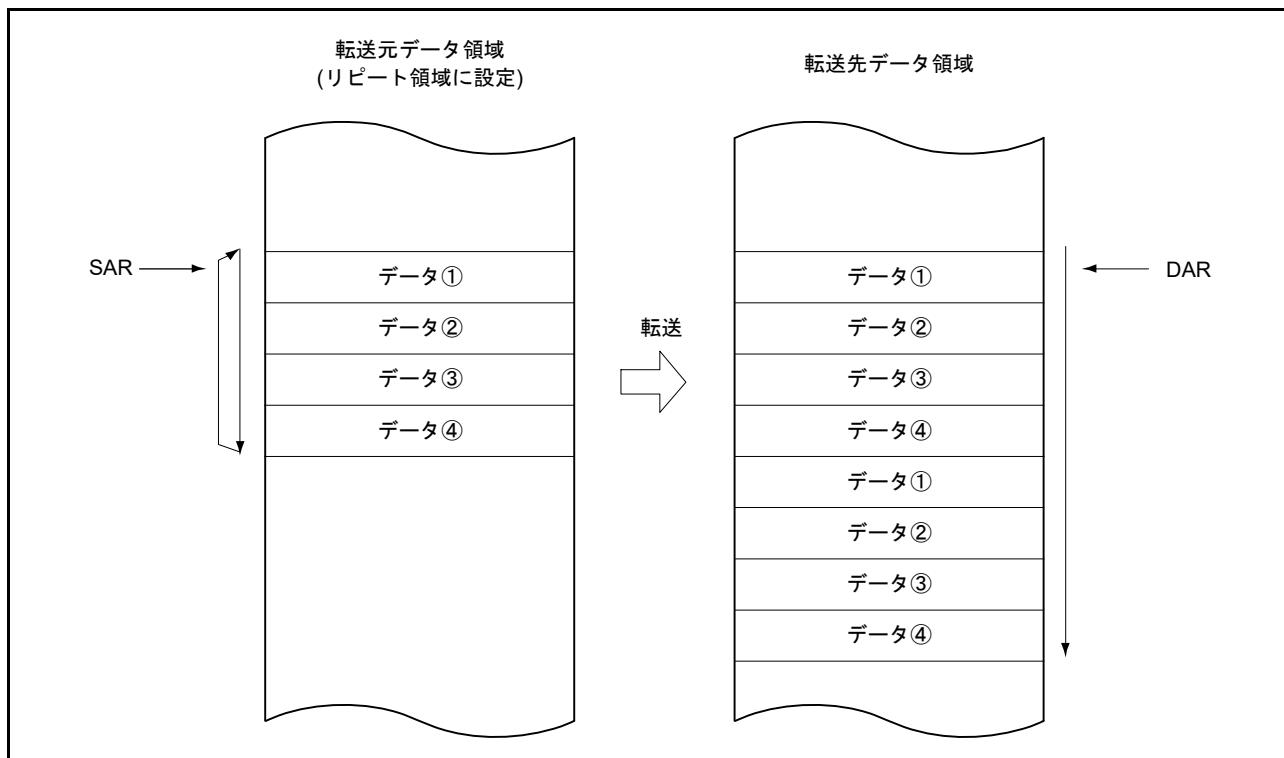


図 18.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

18.4.5 ブロック転送モード

1 回の転送要求で、1 ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは 1 ～ 256 バイト、1 ～ 256 ワードまたは 1 ～ 256 ロングワードの指定が可能です。

指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが “1” のとき SAR レジスタ、DTS ビットが “0” のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1 ～ 65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 18.7 に、ブロック転送モードのメモリマップを図 18.7 に示します。

表 18.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		MRB.DTS ビット = 0 のとき	MRB.DTS ビット = 1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	SAR レジスタの初期値
DAR	転送先アドレス	DAR レジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. アドレス固定のときは、ライトバックはスキップされます。

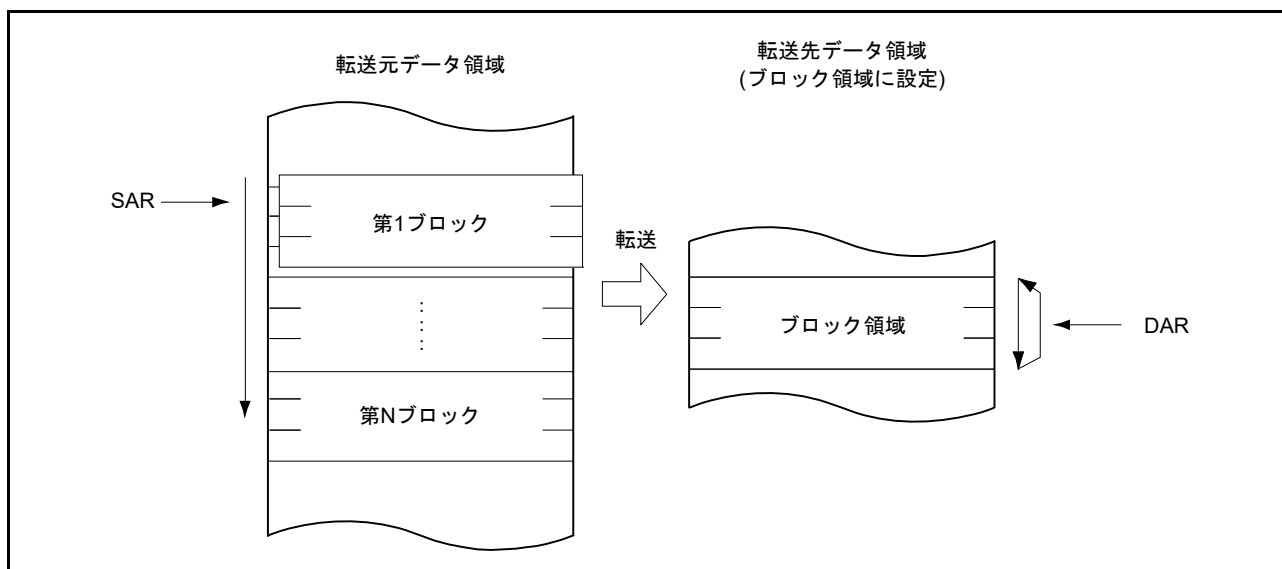


図 18.7 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

18.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”(データ転送のたびに、CPU への割り込み要求が発生)にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報 (SAR, DAR, CRA, CRB, MRA, MRB) はそれぞれ個別に設定できます。図 18.8 にチェーン転送の動作を示します。

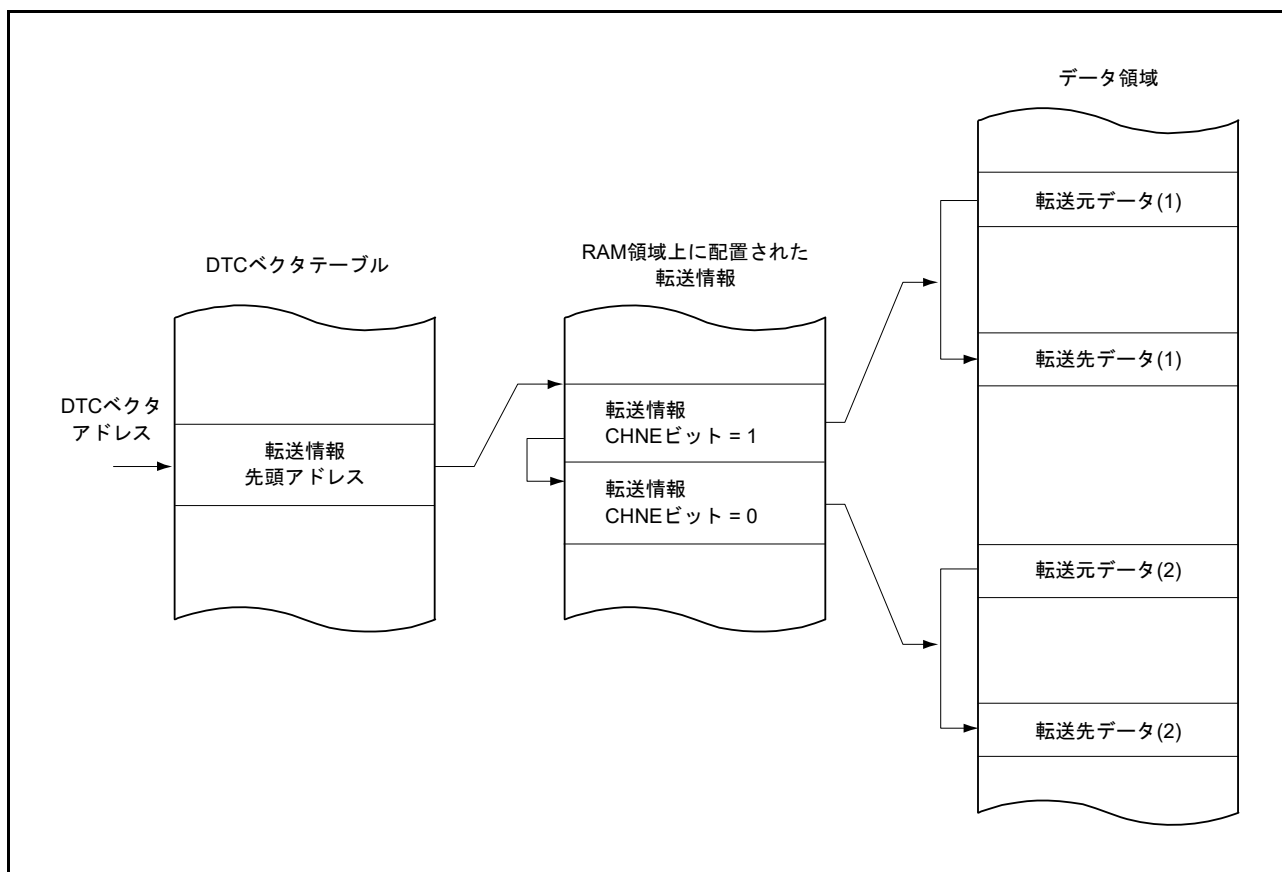


図 18.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 18.3 のチェーン転送の条件を参照してください。

18.4.7 動作タイミング

DTC の動作タイミングの例を図 18.9 ～図 18.13 に示します。

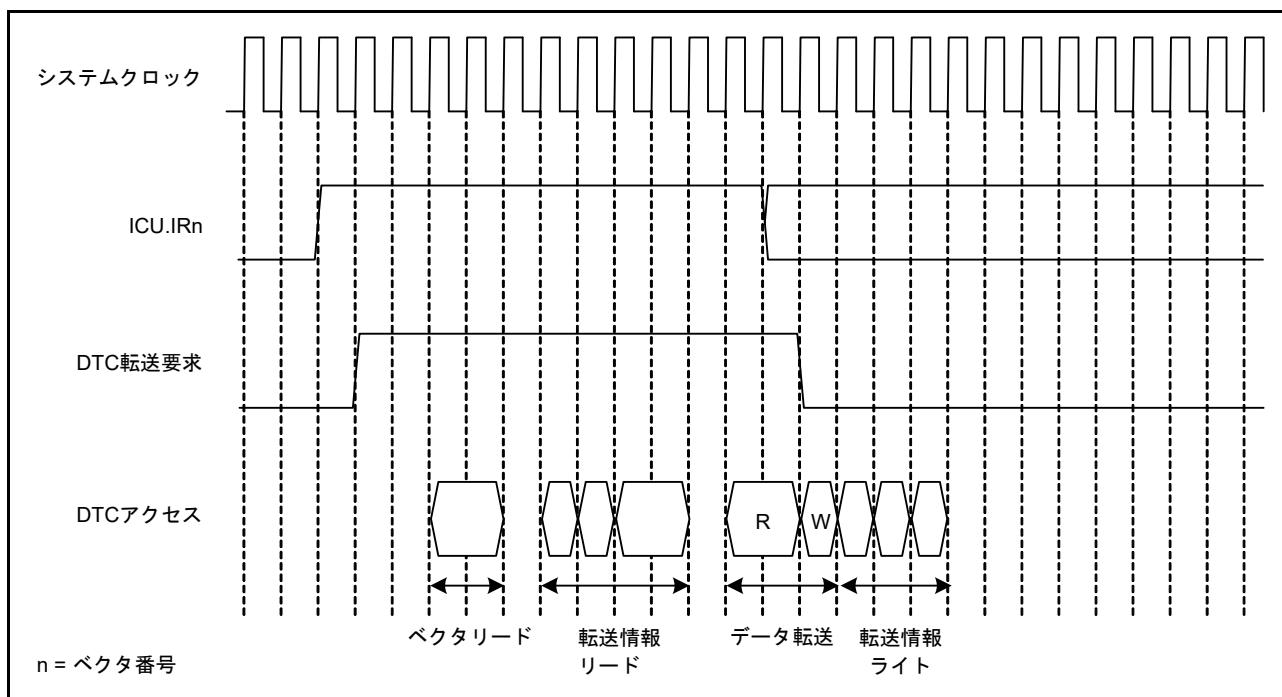


図 18.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

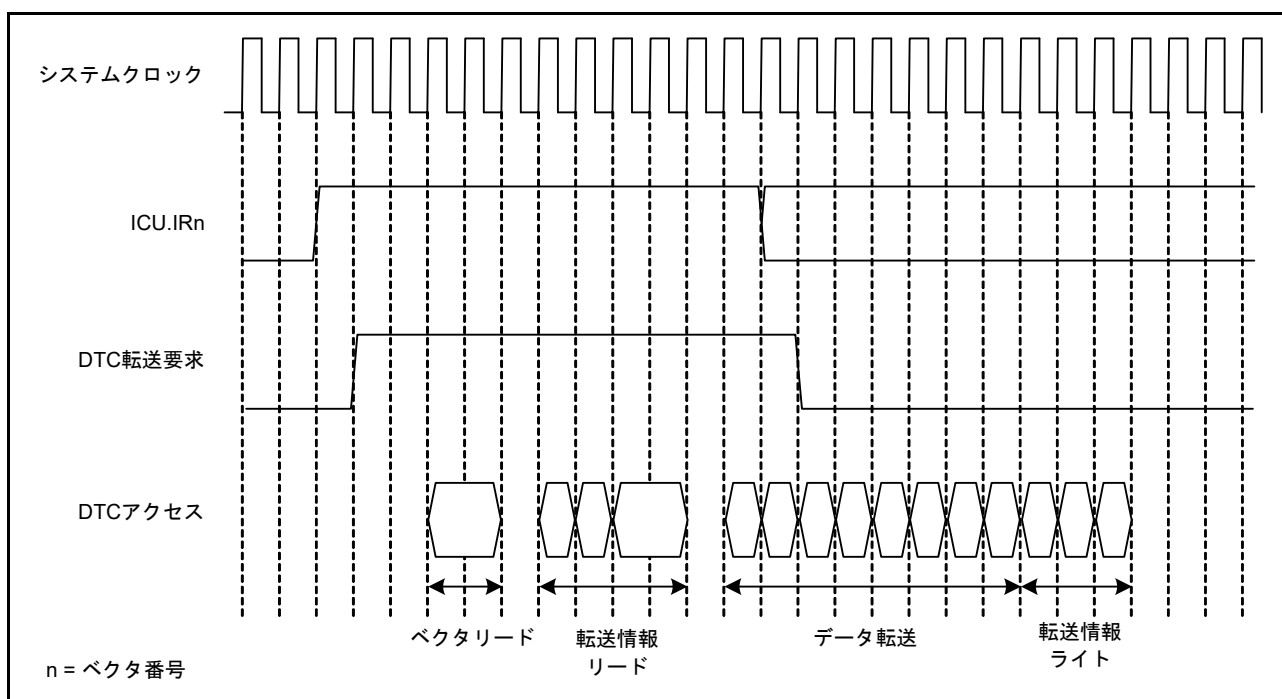


図 18.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

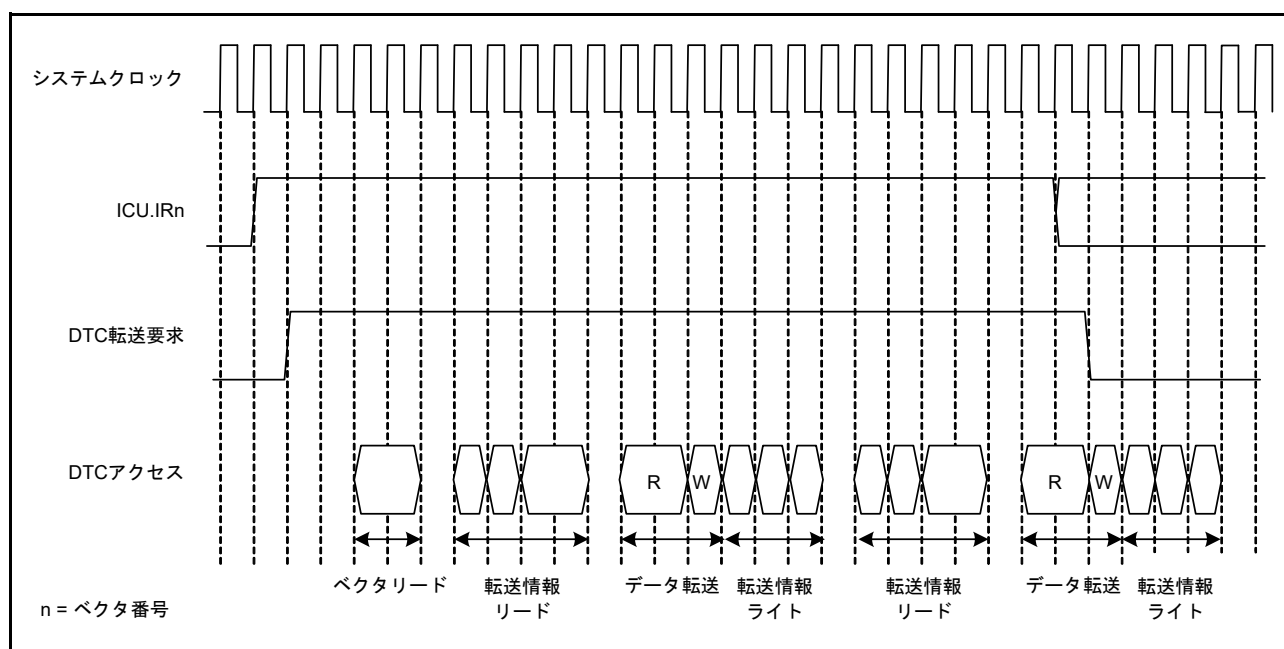


図 18.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

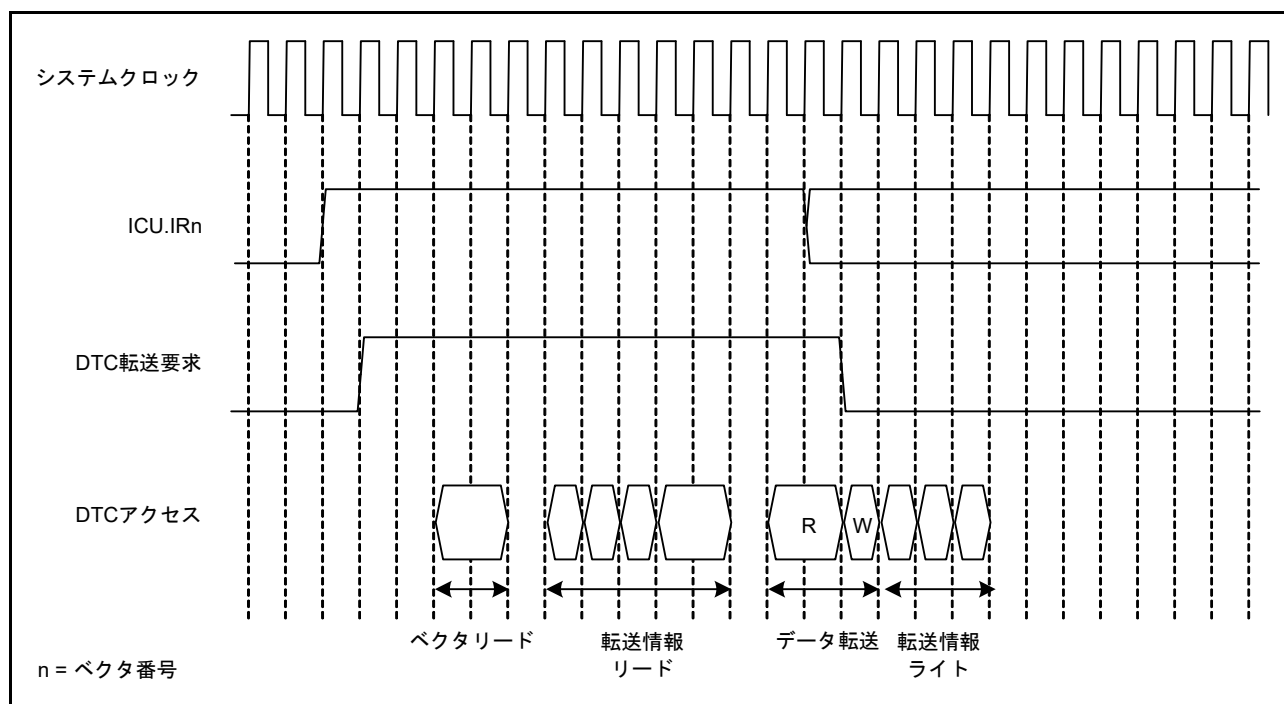


図 18.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

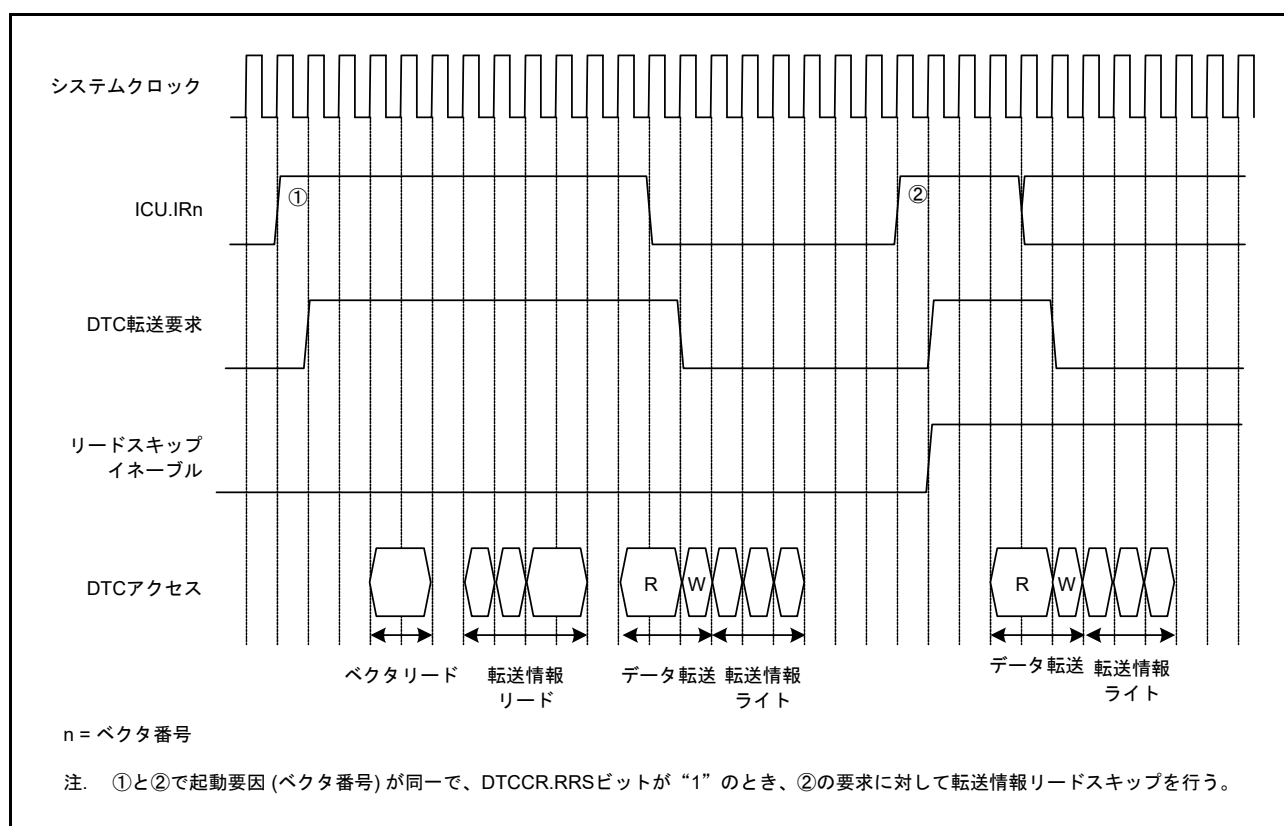


図 18.13 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合)

18.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.8 に示します。

各処理状態の実施順序は、「18.4.7 動作タイミング」を参照してください。

表 18.8 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき

注 5. SAR レジスタ、または DAR レジスタがアドレス固定のとき

注 6. SAR レジスタと DAR レジスタがともにアドレス固定のとき

注 7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「37. RAM」、「38. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」を参照してください。)

18.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 18.14 に DTC の起動に必要な設定手順を示します。

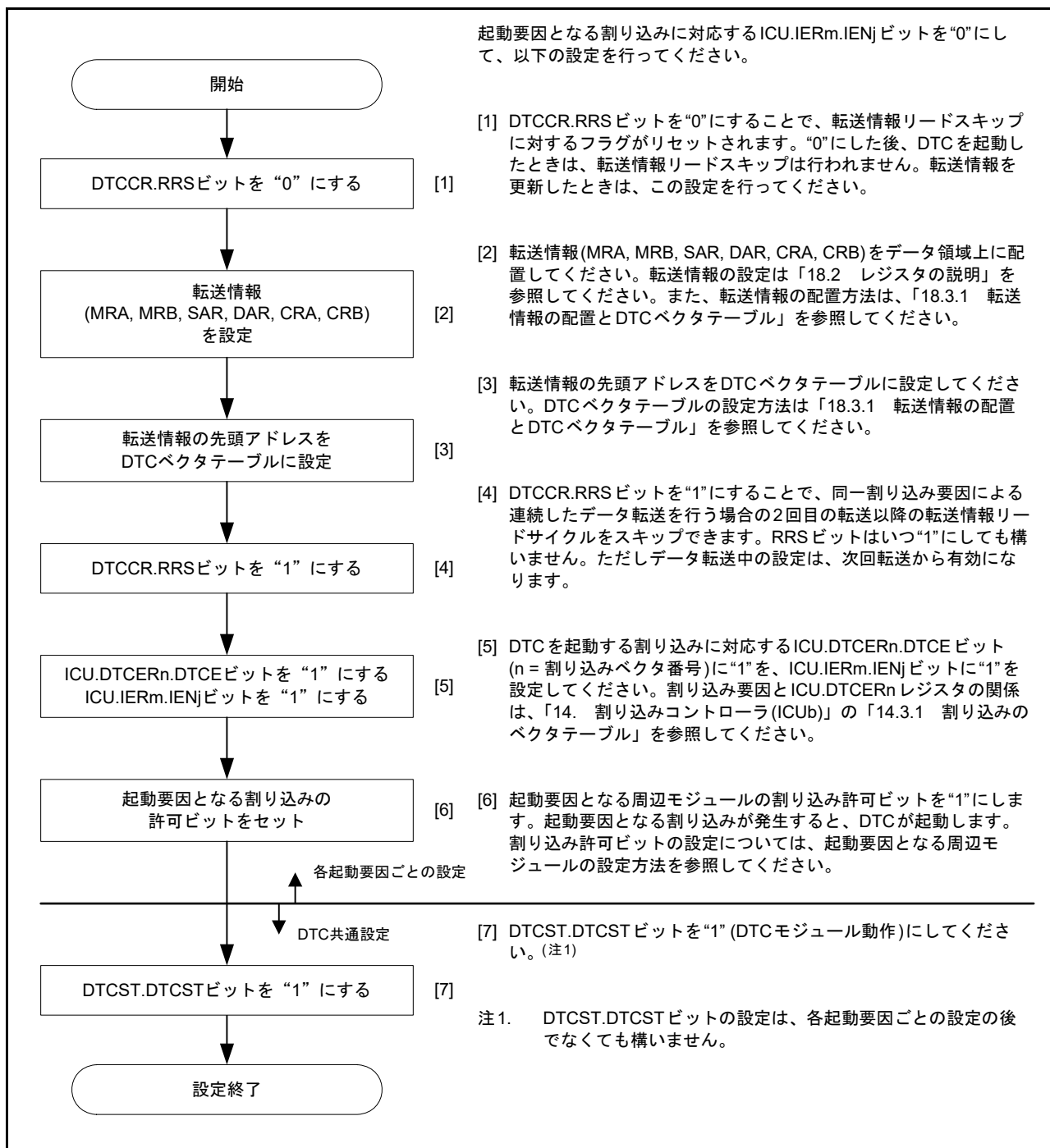


図 18.14 DTC の設定手順

18.6 DTC 使用例

18.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.2 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ~ 21 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが“0”のときのチェーン転送を図 18.15 に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが“0”になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。
- (2) 第1のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第1の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。
- (4) DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。
- (5) 引き続き、DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。
- (6) 上記 (4)、(5) を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

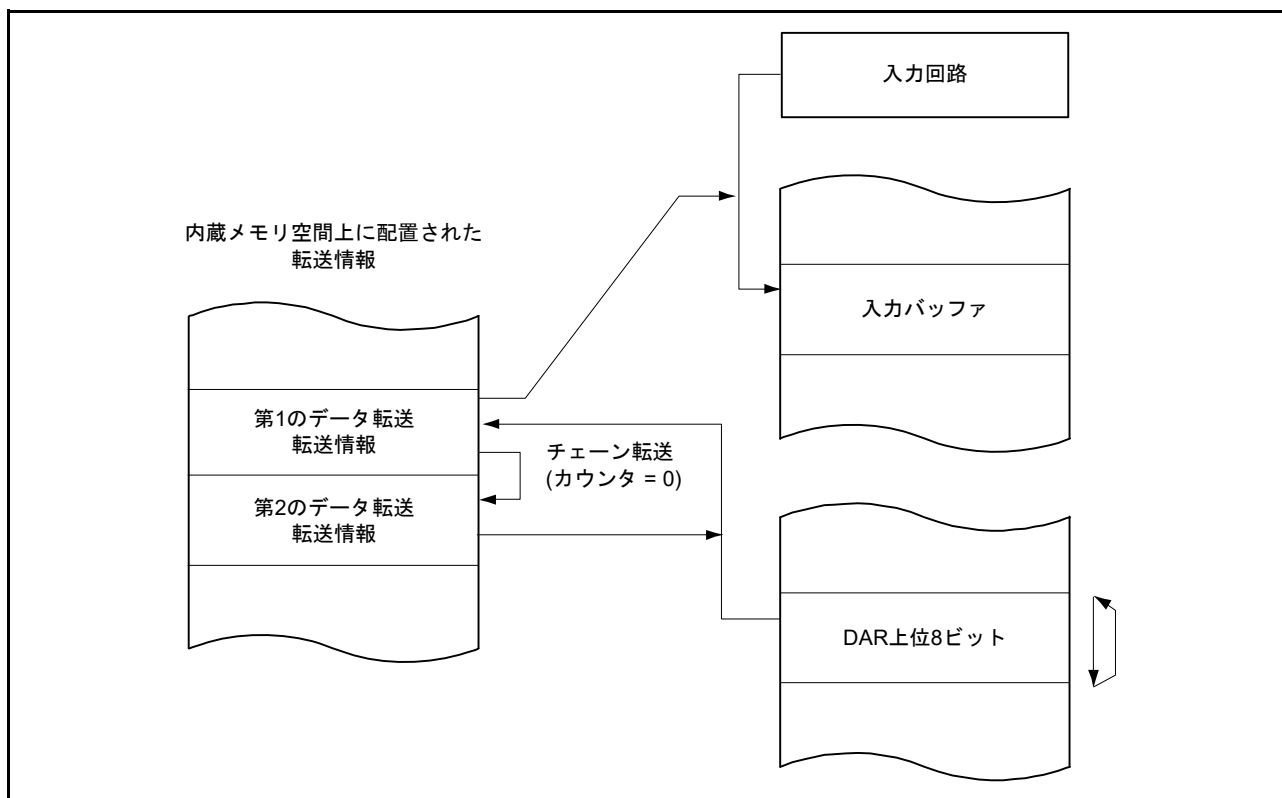


図 18.15 カウンタが“0”のときのチェーン転送

18.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1” (データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

18.8 イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。

18.9 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0”(DTC モジュール停止)にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DTC のモジュールストップが解除されます。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1”にしてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.10 使用上の注意事項

18.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4 の倍数を指定してください。4 の倍数以外を指定すると、アドレスの最下位 2 ビットは“00b”としてアクセスします。

18.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 18.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は +8h (+Ch) 番地に CRA 設定データ、+Ah (+Eh) 番地に CRB 設定データを書いてください。リトルエンディアンの場合は +8h (+Ch) 番地に CRB 設定データ、+Ah (+Eh) 番地に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して +8h (+Ch) 番地に書いてください。

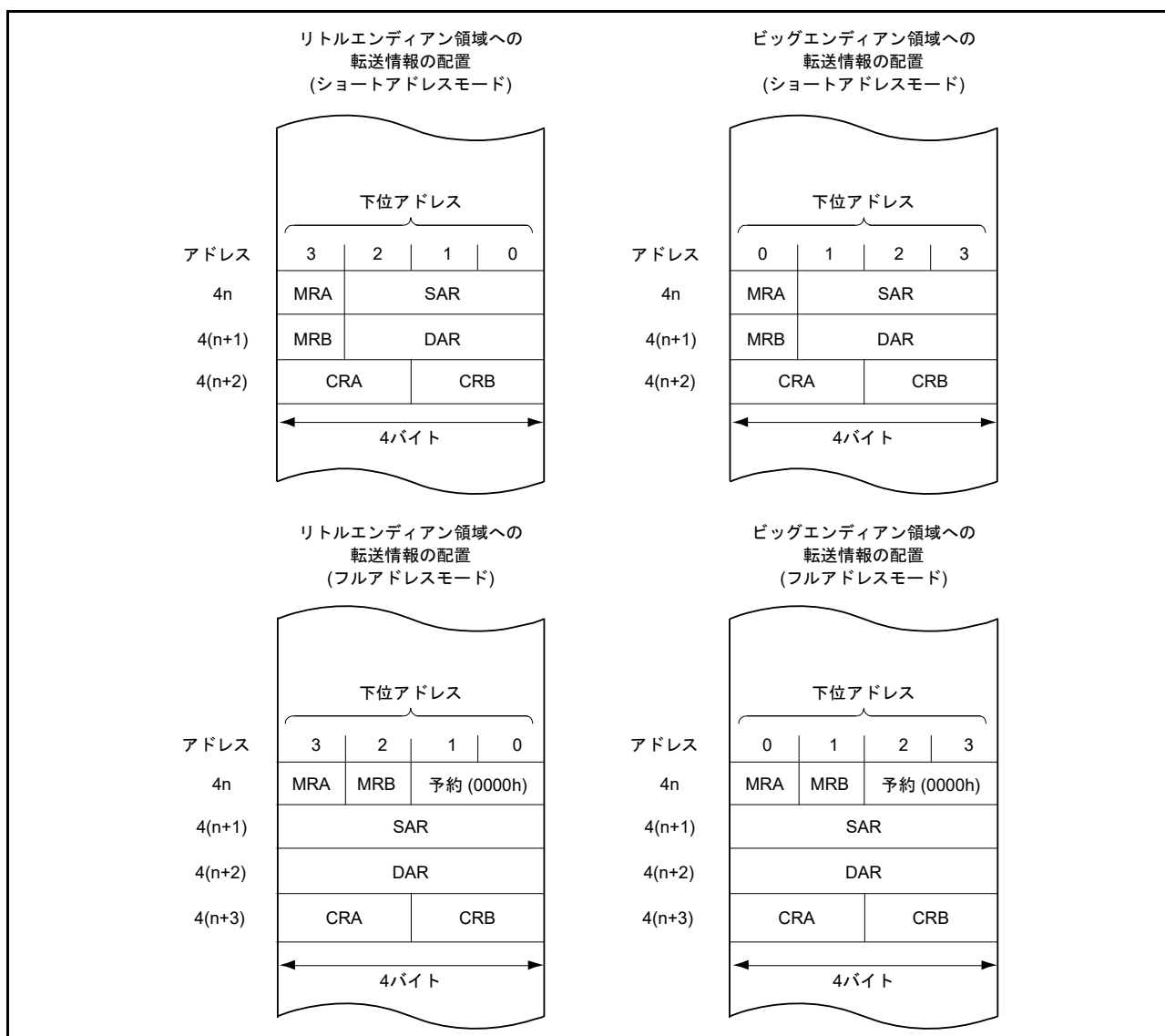


図 18.16 転送情報の配置

18.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn.DTCE ビットを“1”(DTC の起動要因に設定する)にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要因選択レジスタ (ICU.DMRSRm (m = DMAC チャンネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

19. イベントリンクコントローラ (ELC)

19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 19.1 に ELC の仕様を示します。図 19.1 に ELC のブロック図を示します。

表 19.1 ELCの仕様

項目	内容
イベントリンク機能	56種類のイベント信号を、直接周辺モジュールへリンク可能 - タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 - ポートBのイベントリンク動作が可能 シングルポート(注1)：指定した1本のポートにイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポートでは、対応する端子への入力信号が変化するとイベントが発生します。

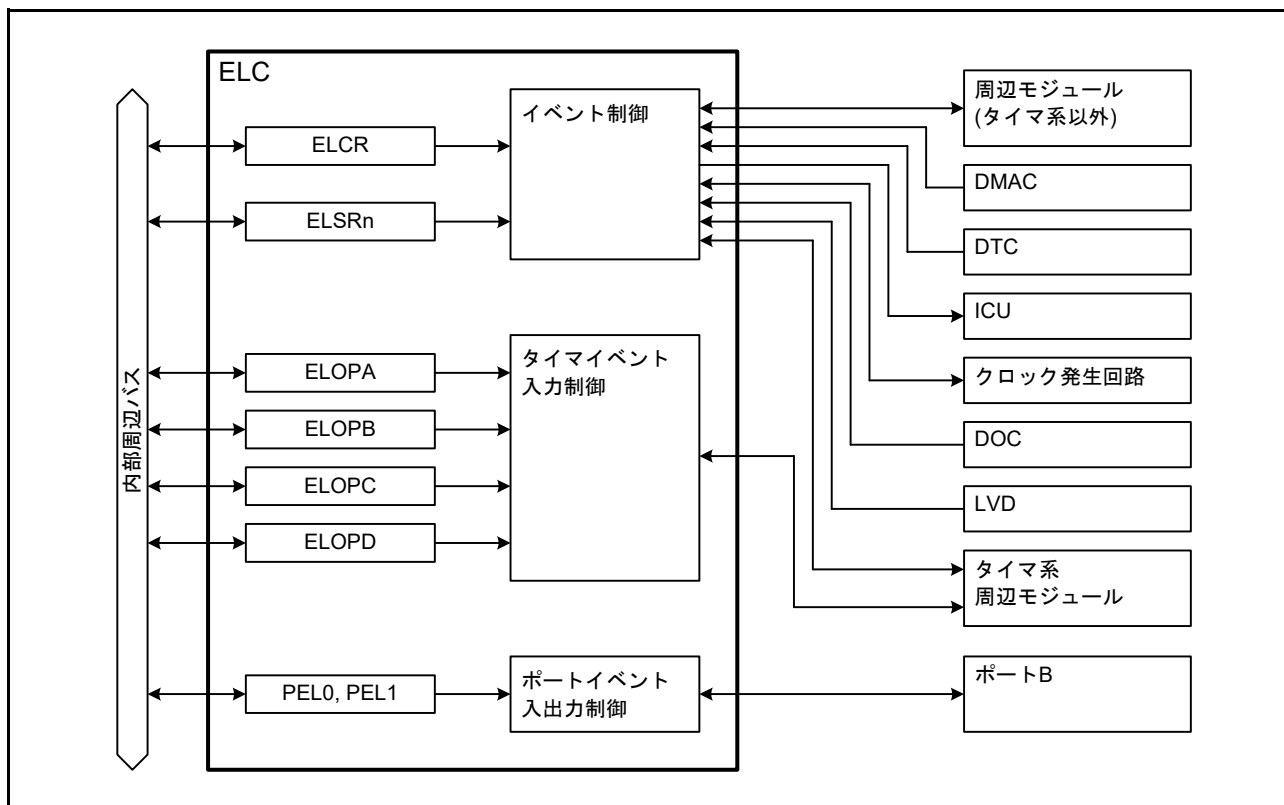


図 19.1 ELC のブロック図 (n = 1 ~ 4, 7, 8, 10, 12, 15, 18, 19, 24, 25, 28, 29, 46, 47)

19.2 レジスタの説明

19.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

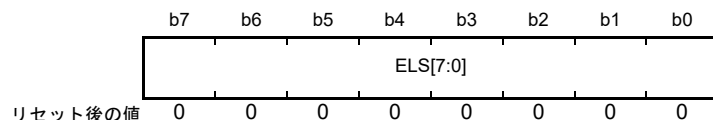
ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

19.2.2 イベントリンク設定レジスタ n (ELSRn)

(n = 1 ~ 4, 7, 8, 10, 12, 15, 18, 19, 24, 25, 28, 29, 46, 47)

ELC.ELSR1 0008 B102h, ELC.ELSR2 0008 B103h, ELC.ELSR3 0008 B104h, ELC.ELSR4 0008 B105h,
 ELC.ELSR7 0008 B108h, ELC.ELSR8 0008 B109h, ELC.ELSR10 0008 B10Bh, ELC.ELSR12 0008 B10Dh,
 アドレス ELC.ELSR15 0008 B110h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h, ELC.ELSR24 0008 B119h,
 ELC.ELSR25 0008 B11Ah, ELC.ELSR28 0008 B11Dh, ELC.ELSR29 0008 B11Eh, ELC.ELSR46 0008 B144h,
 ELC.ELSR47 0008 B145h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	00h : 該当する周辺モジュールへのイベント信号の出力は無効 08h~6Ah : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 19.2 に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を表 19.3 に示します。

表 19.2 ELSRn レジスタと周辺モジュールの対応

レジスタ名	周辺モジュール
ELSR1	MTU1
ELSR2	MTU2
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR8	ICU (LPT 専用割り込み)(注1)
ELSR10	TMR0
ELSR12	TMR2
ELSR15	S12AD (ELCTRG00N)
ELSR18	ICU (割り込み 1)(注2)
ELSR19	ICU (割り込み 2)(注2)
ELSR24	シングルポート 0
ELSR25	シングルポート 1
ELSR28	クロックソースを LOCO へ切り替え
ELSR29	POE
ELSR46	DSAD0
ELSR47	DSAD1

注1. イベント信号は“32h” (LPT・コンペアマッチ0)を指定してください。

注2. イベント信号は“65h”~“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

表 19.3 ELSRn.ELS[7:0] ビットに設定する値とイベント信号名の対応 (1/2)

ELS[7:0] ビットの値	周辺モジュール	ELSRn設定イベント信号
08h	マルチファンクションタイマ パルスユニット2	MTU1・コンペアマッチ1A
09h		MTU1・コンペアマッチ1B
0Ah		MTU1・オーバフロー
0Bh		MTU1・アンダフロー
0Ch		MTU2・コンペアマッチ2A
0Dh		MTU2・コンペアマッチ2B
0Eh		MTU2・オーバフロー
0Fh		MTU2・アンダフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h	コンペアマッチタイマ	MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Fh	8ビットタイマ	CMT1・コンペアマッチ1
22h		TMR0・コンペアマッチA0
23h		TMR0・コンペアマッチB0
24h		TMR0・オーバフロー
28h		TMR2・コンペアマッチA2
29h		TMR2・コンペアマッチB2
2Ah		TMR2・オーバフロー
31h	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー
32h	ローパワータイマ	LPT・コンペアマッチ0
34h	12ビットA/Dコンバータ	S12AD・比較条件成立
35h		S12AD・比較条件不成立
3Ah	シリアルコミュニケーション インタフェース	SCI5・エラー (受信エラー・エラーシグナル検出)
3Bh		SCI5・受信データフル
3Ch		SCI5・送信データエンプティ
3Dh		SCI5・送信完了
4Eh	I ² Cバスインタフェース	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル
50h		RIIC0・送信データエンプティ
51h		RIIC0・送信終了
52h	シリアルペリフェラルインタ フェース	RSPI0・エラー (モードフォルト・オーバラン・アンダラン・パリティ エラー)
53h		RSPI0・アイドル
54h		RSPI0・受信バッファフル
55h		RSPI0・送信バッファエンプティ
56h		RSPI0・送信完了
58h	12ビットA/Dコンバータ	S12AD・A/D変換終了

表 19.3 ELSRn.ELS[7:0] ビットに設定する値とイベント信号名の対応 (2/2)

ELS[7:0] ビットの値	周辺モジュール	ELSRn設定イベント信号
5Bh	電圧検出回路	LVD1・電圧検出
5Ch		LVD2・電圧検出
5Dh	DMAコントローラ	DMAC0・転送終了
5Eh		DMAC1・転送終了
5Fh		DMAC2・転送終了
60h		DMAC3・転送終了
61h	データトランスファコントローラ	DTC・転送終了
62h	クロック発生回路	クロック発生回路・発振停止検出
65h	I/Oポート	シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント
6Ah	データ演算回路	DOC・データ演算条件成立
上記以外は設定しないでください		

19.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス ELC.ELOPA 0008 B11Fh

b7	b6	b5	b4	b3	b2	b1	b0
MTU3MD[1:0]	MTU2MD[1:0]	MTU1MD[1:0]	—	—			
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	MTU1MD[1:0]	MTU1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ (注1) 1 1 : イベント出力禁止	R/W
b5-b4	MTU2MD[1:0]	MTU2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ (注2) 1 1 : イベント出力禁止	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ (注3) 1 1 : イベント出力禁止	R/W

注1. MTU1.TCNT レジスタの値がMTU1.TGRA レジスタにキャプチャされます。

注2. MTU2.TCNT レジスタの値がMTU2.TGRA レジスタにキャプチャされます。

注3. MTU3.TCNT レジスタの値がMTU3.TGRA レジスタにキャプチャされます。

ELOPA レジスタは、イベント信号が入力されたときの MTU1 ~ MTU3 の動作を設定するレジスタです。
ELC 機能を使用しないときは、“11b”(イベント出力禁止) にしてください。

19.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス ELC.ELOPB 0008 B120h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MTU4MD[1:0]	
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ (注1) 1 1 : イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNT レジスタの値がMTU4.TGRA レジスタにキャプチャされます。

ELOPB レジスタは、イベント信号が入力されたときの MTU4 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止) にしてください。

19.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス ELC.ELOPC 0008 B121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LPTMD[1:0]	CMT1MD[1:0]	—	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b5-b4	LPTMD[1:0]	LPT動作選択ビット	b5 b4 0 0 : LPTのコンペアマッチ0イベントを割り込み要求としてICUに出力 1 1 : イベント出力禁止 上記以外は設定しないでください	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときの CMT1、および LPT の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止) にしてください。

19.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス ELC.ELOPD 0008 B122h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	TMR2MD[1:0]	—	—	—	TMR0MD[1:0]	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPD レジスタは、イベント信号が入力されたときの TMR0、TMR2 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止) にしてください。

19.2.7 イベント接続ポート指定レジスタ m (PELm) (m = 0, 1)

アドレス ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	PSM[1:0]	PSP[1:0]	PSB[2:0]				
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	- 出力ポートに設定したとき : ポート出力データを指定 b6 b5 0 0 : イベント信号が入力されると、Low を出力 0 1 : イベント信号が入力されると、High を出力 1 x : イベント信号が入力されると、トグル(反転)出力 - 入力ポートに設定したとき : イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント信号を出力 0 1 : 立ち下がりエッジを検出して、イベント信号を出力 1 x : 立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B のビットに対して、最大 2 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

19.2.8 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0 : 通常動作 1 : ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEG ビット書き込み許可ビット	0 : SEG ビットへの書き込み禁止 1 : SEG ビットへの書き込み許可	R/W
b7	WI	ELSEGR レジスタ書き込み禁止ビット	0 : ELSEGR レジスタへの書き込み許可 1 : ELSEGR レジスタへの書き込み禁止	W

本レジスタへの書き込みは MOV 命令を使用してください。

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。
本ビットは読むと“0”が読めます。“1”を書いても“1”になりません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが“1”のときのみ、SEG ビットに対する書き込みが可能になります。
WE ビットを“1”にするには、WI ビットに“0”、WE ビットに“1”を同時に書いてください。
WE ビットを“0”にするには、WI ビットに“0”、WE ビットに“0”を同時に書いてください。

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が“0”のときのみ、ELSEGR レジスタに対する書き込みが可能になります。
読むと“1”が読めます。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

本 MCU に内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可/禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが“1”になり、割り込み要求が許可のとき、CPU に対して割り込みを要求します。

これに対して、ELC は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図 19.2 に割り込み処理と ELC の関係を示します。

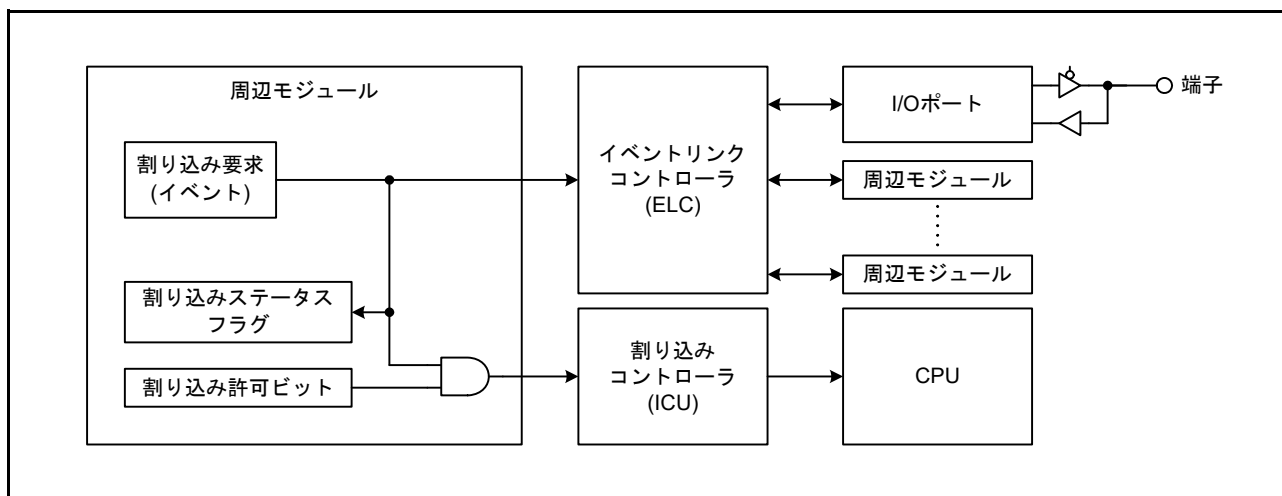


図 19.2 割り込み処理と ELC の関係

19.3.2 イベントのリンク

ELSR_n レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1つの周辺モジュールに、1種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSR_n レジスタを設定してください。表 19.4 にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表 19.4 イベント信号入力時の周辺モジュール別動作一覧

周辺モジュール	イベント信号入力時の動作
MTU CMT TMR	ELOPA～ELOPDレジスタの設定により以下の動作が選択できます。 ● イベント信号が入力されると、カウントスタート ● イベント信号が入力されると、カウントリスタート ● 入力したイベント数をカウント(CMT, TMR) ● イベント信号が入力されると、キャプチャ動作(MTU)
POE	イベント信号が入力されると、MTU相補PWM出力端子およびMTU0の出力端子がハイインピーダンスになります
A/Dコンバータ	イベント信号が入力されると、A/D変換を開始
Δ-Σ A/Dコンバータ	イベント信号が入力されると、A/D変換を開始
I/Oポート(出力)	イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が指定された値に変化(出力端子のレベルが変化)
I/Oポート(入力)	入力端子のレベルが変化すると、イベント発生
クロック発生回路	イベント信号が入力されると、クロックソースを低速オンチップオシレータへ切り替え(注1)
割り込み制御	イベント信号が入力されると、CPUに割り込みを要求、DMA転送開始、DTC転送開始

注1. プロテクトレジスタ(PRCR.PRC0)の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b”(LOCO選択)に書き換わります。

19.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

タイマ系周辺モジュールは、ELOPA ~ ELOPD レジスタによりイベント信号入力時の動作を設定します。

(1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット (注1) が“1”になります。カウントスタートビットが“1”のときに入力されたイベント信号は無視されます。

(2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット (注1) は保持されるため、カウントスタートビットが“1”のときにイベント信号を入力するとカウンタは0からカウントを再開します。

(3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

(4) インプットキャプチャ動作

イベント信号が入力されると、カウンタの値をキャプチャします。

注 1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

19.3.4 A/D コンバータのイベント信号入力時の動作

ADCSR.ADST ビット (注1) が“1”になり、A/D 変換がスタートします。

注 1. A/D コンバータ章のビット説明を参照してください。

19.3.5 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B です。

(1) シングルポート

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク (シングルポートへのイベントリンク) ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット (m = 0, 1) で行います。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PELm.PSM[1:0] ビット (m = 0, 1) で設定します。図 19.3 (1) にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODR レ

ジスタの値) が $PELm.PSM[1:0]$ ビットで指定したとおりに変化します。図 19.3 (2) にシングルポートのイベントリンク動作を示します。

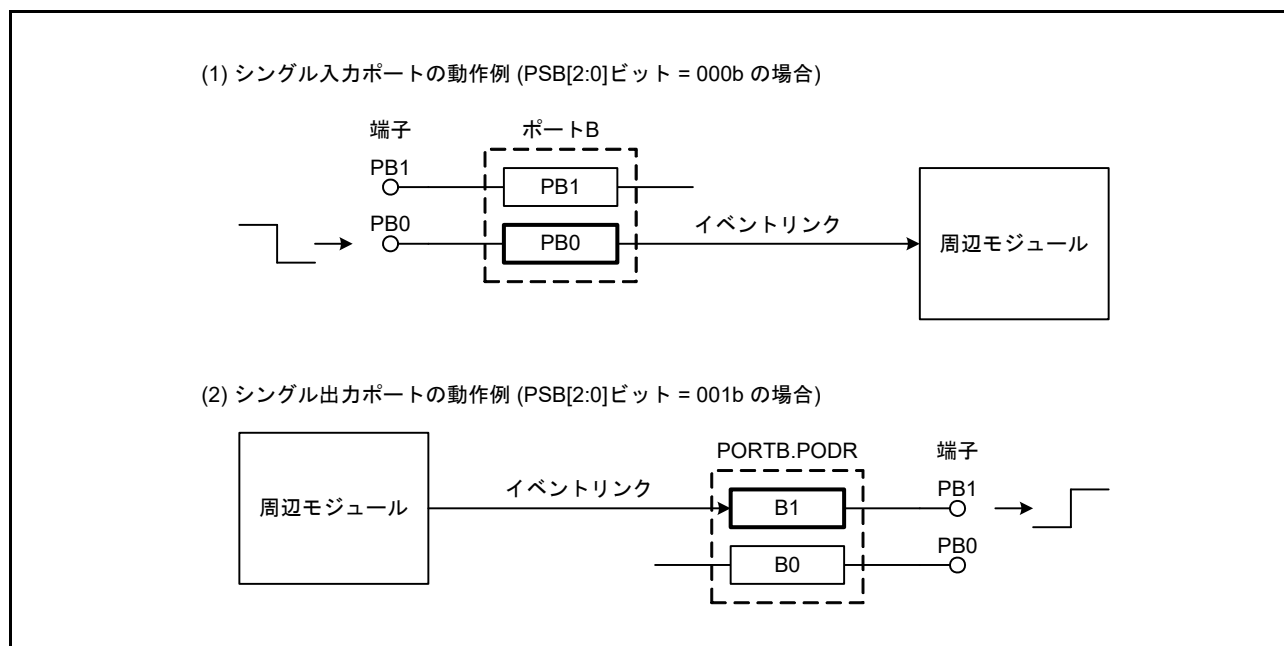


図 19.3 シングルポートのイベントリンク動作 (ポート B の場合)

(4) PODR レジスタへの書き込み制限

ELCR.ELCON ビットが“1”(ELC 機能は有効) のとき、下記の条件で PODR レジスタへの書き込みが無効となります。

- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。

19.3.6 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

- (1) イベント信号により動作する (リンク先) 周辺モジュールの初期設定を行います。
- (2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
PODR レジスタ： 出力に設定したポートの初期値を設定します。
PDR レジスタ： ポートの入出力方向を設定します。
PELm レジスタ： 対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します (m = 0, 1)。
- (3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。
- (4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPA ~ ELOPD レジスタを設定します。
- (5) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。
- (6) イベント信号を出力する (リンク元) 周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。
- (7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに“00h”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全周辺モジュールのイベントリンク動作が停止します。

注． LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに“00h”を設定してから実施してください。

19.4 使用上の注意事項

19.4.1 ELSRn レジスタの設定について

(1) ELSR8 レジスタの設定

イベント信号は“32h”(LPT・コンペアマッチ 0)を指定してください。

(2) ELSR18、ELSR19 レジスタの設定

イベント信号は“65h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

19.4.2 DMA/DTC 転送終了のイベント信号使用時の注意事項

DMA/DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへの DMA/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

19.4.3 クロック設定について

イベントリンクを使用するには ELC の設定の他に、ELC と対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード (ソフトウェアスタンバイモード) の場合は動作できません。

19.4.4 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

20. I/Oポート

20.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタおよび内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y = 0, 1)、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/Oポートの構成が異なります。表 20.1 に I/Oポートの仕様を、表 20.2 に I/Oポートの機能を示します。

表 20.1 I/Oポートの仕様

ポートシンボル	RX23E-A グループ			
	パッケージ		パッケージ	
	48ピン	本数	40ピン	本数
PORT1	P14～P17	4	P14～P17	4
PORT2	P26、P27	2	P26、P27	2
PORT3	P30、P31、P35～P37	5	P30、P31、P35～P37	5
PORTB	PB0、PB1	2	PB0、PB1	2
PORTC	PC4～PC7	4	PC4、PC5	2
PORTH	PH0～PH3	4	PH0、PH1	2
ポートの合計数		21	ポートの合計数	17

表 20.2 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT1	P16、P17	○	○	○	○
	P14、P15	○	○	○	—
PORT2	P26、P27	○	○	○	—
PORT3	P30、P31	○	○	○	—
	P35	—	—	—	—
	P36、P37	○	○	通常出力固定	—
PORTB	PB0、PB1	○	○	○	—
PORTC	PC4～PC7	○	○	○	—
PORTH	PH0～PH3	○	○	○	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

20.2 入出力ポートの構成

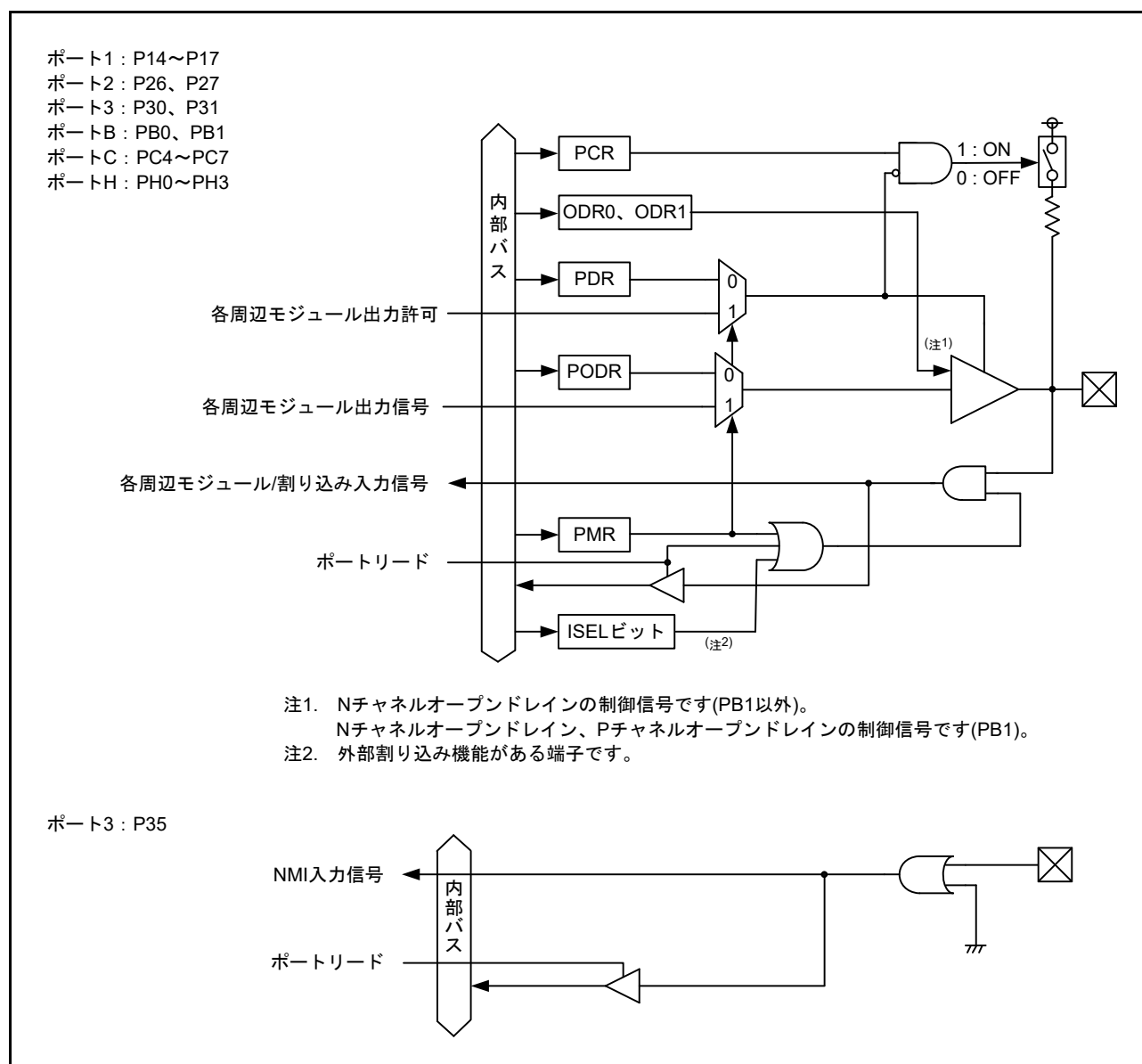


図 20.1 入出力ポートの構成 (1)

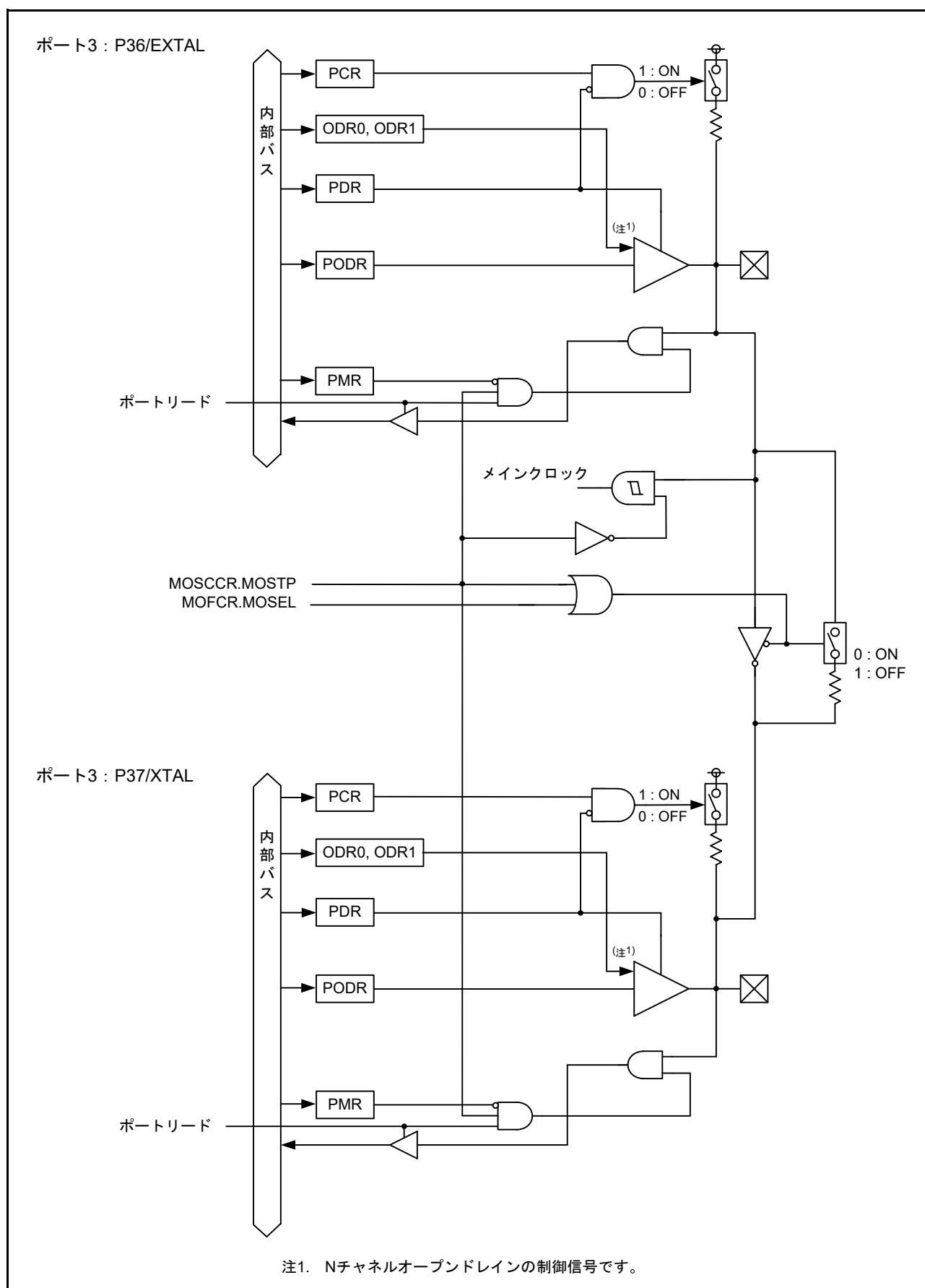


図 20.2 入出力ポートの構成 (2)

20.3 レジスタの説明

20.3.1 ポート方向レジスタ (PDR)

アドレス PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTH.PDR 0008 C011h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0 : 入力(入力ポートとして機能) 1 : 出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 1 ~ 3, B, C, H

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力 / 出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.2 ポート出力データレジスタ (PODR)

アドレス PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTH.PODR 0008 C031h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 1 ~ 3, B, C, H

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。
P35 端子は入力専用のため、PORT3.PODR.B5 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTH.PIDR 0008 C051h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	ポートの端子状態を反映	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 1 ~ 3, B, C, H

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR レジスタの値に関係なく端子の状態が読めます。

PORT3.PIDR.B5 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと不定が読めます。書き込みは無効になります。

注 . P36、P37 を汎用入出力ポートとして使用する場合、MOSCCR.MOSTP ビットに“1”(メインクロック発振停止)、かつ PORT3.PMR レジスタの P36 制御ビット、P37 制御ビットに“0”(汎用ポートとして使用)を設定してください。

20.3.4 ポートモードレジスタ (PMR)

アドレス PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORTB.PMR 0008 C06Bh,
PORTC.PMR 0008 C06Ch, PORTH.PMR 0008 C071h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 1 ~ 3, B, C, H

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT3.ODR0 0008 C086h, PORTB.ODR0 0008 C096h, PORTH.ODR0 0008 C0A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	• P31, PH1 - b2 0 : CMOS出力 1 : Nチャネルオープンドレイン - b3 読むと“0”が読めます。書く場合、“0”としてください • PB1 - b3 b2 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b3	B3			R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 3, B, H

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORTC.ODR1 0008 C099h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 3, C

P35 端子は入力専用のため、PORT3.ODR1.B2 ビットは予約ビットです。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTH.PCR 0008 C0D1h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 1 ~ 3, B, C, H

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

PORT3.PCR.B5 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h, PORTB.DSCR 0008 C0EBh, PORTC.DSCR 0008 C0ECh, PORTH.DSCR 0008 C0F1h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 1 ~ 3, B, C, H

駆動能力が固定されている端子の当該ビットは、読み出し / 書き込み可能ですが、駆動能力の切り替えはできません。

高駆動出力を選択した場合、標準出力を選択した場合に比べてスイッチングノイズが増えます。高駆動能力を選択する場合は、近隣端子にノイズによる影響がないか十分に評価してください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 20.3、表 20.4 を参照して初期化してください。

- 表 20.3、表 20.4 の空欄は、「表 20.1 I/O ポートの仕様」に記載されている端子に対応するビットです。
使用するシステムに応じて“1”(出力)か“0”(入力)を設定してください。
ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。
このビットには“0”(入力)を設定してください。
- 表 20.3、表 20.4 の空欄以外は、予約ビットです。
予約ビットには表 20.3、表 20.4 に従って“0”(入力)または“1”(出力)を設定ください。
予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 20.3 48 ピンの PDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1	1		
PORTB	1	1	1	1	1	1		
PORTC					1	1	1	1
PORTH	1	1	1	1				

表 20.4 40 ピンの PDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1	1		
PORTB	1	1	1	1	1	1		
PORTC	1	1			1	1	1	1
PORTH	1	1	1	1	1	1		

20.5 未使用端子の処理

表 20.5 に未使用端子の処理内容を示します。

表 20.5 未使用端子の処理内容

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
P35/NMI	抵抗を介してVCCに接続(プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP36)に設定 ポートP36としても使用しない場合は、ポート1～3、B、C、Hの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP37)に設定 ポートP37としても使用しない場合は、ポート1～3、B、C、Hの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
ポート1～3、 ポートB、C、H	- 入力に設定(PORTn.PDRビット=0)し、1端子ごとに抵抗を介してVCCに接続(プルアップ)、または1端子ごとに抵抗を介してVSSに接続(プルダウン)(注1) - 出力に設定(PORTn.PDRビット=1)し、端子を開放(注1、注2)

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISELを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

21. マルチファンクションピンコントローラ (MPC)

21.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 21.1 に多機能端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内の○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 21.1 多機能端子の割り当て端子一覧 (1/4)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ	
				48ピン	40ピン
割り込み		NMI (入力)	P35	○	○
割り込み	IRQ0	IRQ0 (入力)	P30	○	○
			PH1	○	○
	IRQ1	IRQ1 (入力)	P31	○	○
			PH2	○	×
	IRQ2	IRQ2 (入力)	P26	○	○
	IRQ3	IRQ3 (入力)	P27	○	○
	IRQ4	IRQ4 (入力)	PB0	○	○
			P14	○	○
	IRQ5	IRQ5 (入力)	P15	○	○
	IRQ6	IRQ6 (入力)	P16	○	○
	IRQ7	IRQ7 (入力)	P17	○	○
クロック発生回路		CLKOUT (出力)	PH1	○	○
マルチファンクションタイマユニット2	MTU0	MTIOC0A (入出力)	P30	○	○
		MTIOC0B (入出力)	P15	○	○
		MTIOC0C (入出力)	PB0	○	○
		MTIOC0D (入出力)	PH0	○	○
	MTU1	MTIOC1A (入出力)	P31	○	○
		MTIOC1B (入出力)	PB1	○	○
	MTU2	MTIOC2A (入出力)	P26	○	○
			PB1	○	○
		MTIOC2B (入出力)	P27	○	○
	MTU3	MTIOC3A (入出力)	P14	○	○
			P17	○	○
			PC7	○	×
		MTIOC3B (入出力)	P17	○	○
			PC5	○	○
		MTIOC3C (入出力)	P16	○	○
			PC6	○	×
		MTIOC3D (入出力)	P16	○	○
			PC4	○	○

表 21.1 多機能端子の割り当て端子一覧 (2/4)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ	
				48ピン	40ピン
マルチファンクションタイマユニット2	MTU4	MTIOC4A (入出力)	P27	○	○
		MTIOC4B (入出力)	P30	○	○
		MTIOC4C (入出力)	P26	○	○
		MTIOC4D (入出力)	P31	○	○
	MTU5	MTIC5U (入力)	PH1	○	×
		MTIC5V (入力)	PH2	○	×
		MTIC5W (入力)	PH3	○	×
	MTU	MTCLKA (入力)	P14	○	○
			PH2	○	×
			PC6	○	×
		MTCLKB (入力)	P15	○	○
			PH3	○	×
			PC7	○	×
		MTCLKC (入力)	PH0	○	○
			PC4	○	○
		MTCLKD (入力)	PH1	○	○
			PC5	○	○
ポートアウトプットイネーブル2	POE0	POE0# (入力)	PC4	○	○
	POE1	POE1# (入力)	PB1	○	○
	POE2	POE2# (入力)	PH1	○	○
			PH3	○	×
	POE3	POE3# (入力)	PB0	○	○
	POE8	POE8# (入力)	P17	○	○
			P30	○	○
8ビットタイマ	TMR0	TMO0 (出力)	P26	○	○
			PH1	○	○
		TMCI0 (入力)	PB0	○	○
			PH3	○	×
		TMRI0 (入力)	PH0	○	○
			PH2	○	×
	TMR1	TMO1 (出力)	P17	○	○
		TMCI1 (入力)	PC4	○	○
		TMRI1 (入力)	PB1	○	○
	TMR2	TMO2 (出力)	P16	○	○
			PC7	○	×
		TMCI2 (入力)	P15	○	○
			PC6	○	×
		TMRI2 (入力)	P14	○	○
			PC5	○	○
	TMR3	TMO3 (出力)	P31	○	○
		TMCI3 (入力)	P30	○	○
		TMRI3 (入力)	P27	○	○

表 21.1 多機能端子の割り当て端子一覧 (3/4)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ	
				48ピン	40ピン
シリアルコミュニケーションインタフェース	SCI1	RXD1 (入力)/SMISO1 (入出力)/SSCL1 (入出力)	P15	○	○
			P30	○	○
		TXD1 (出力)/SMOSI1 (入出力)/SSDA1 (入出力)	P16	○	○
			P26	○	○
		SCK1 (入出力)	P17	○	○
			P27	○	○
		CTS1# (入力)/RTS1# (出力)/SS1# (入力)	P14	○	○
			P31	○	○
	SCI5	RXD5 (入力)/SMISO5 (入出力)/SSCL5 (入出力)	PH0	○	○
		TXD5 (出力)/SMOSI5 (入出力)/SSDA5 (入出力)	PH1	○	○
		SCK5 (入出力)	PH2	○	×
			PC5	○	○
		CTS5# (入力)/RTS5# (出力)/SS5# (入力)	PC4	○	○
	SCI6	RXD6 (入力)/SMISO6 (入出力)/SSCL6 (入出力)	PC6	○	×
		TXD6 (出力)/SMOSI6 (入出力)/SSDA6 (入出力)	PC7	○	×
		SCK6 (入出力)	PC5	○	×
		CTS6# (入力)/RTS6# (出力)/SS6# (入力)	PH3	○	×
	SCI12	RXD12 (入力)/SMISO12 (入出力)/SSCL12 (入出力)/RXDX12 (入力)	PB0	○	○
		TXD12 (出力)/SMOSI12 (入出力)/SSDA12 (入出力)/TXDX12 (出力)/SIOX12 (入出力)	PB1	○	○
		SCK12 (入出力) (input/output)	PC5	○	○
		CTS12# (入力)/RTS12# (出力)/SS12# (入力)	PC4	○	○
I ² Cバスインターフェイス	IIC0	SCL (入出力)	P16	○	○
		SDA (入出力)	P17	○	○
シリアルペリフェラルインタフェース	RSPI0	RSPCKA (入出力)	PH3	○	×
			PC5	○	○
		MOSIA (入出力)	P16	○	○
			PH2	○	×
			PC6	○	×
		MISOA (入出力)	P17	○	○
			PC7	○	×
		SSLA0 (入出力)	PH1	○	○
			PC4	○	○
		SSLA1 (入出力)	P15	○	○
		SSLA2 (入出力)	PH0	○	○
		SSLA3 (入出力)	P14	○	○
12ビットA/Dコンバータ		ADTRG0# (入力)	P16	○	○

表 21.1 多機能端子の割り当て端子一覧 (4/4)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ	
				48ピン	40ピン
クロック周波数精度測定回路		CACREF (入力)	PC7	○	×
			PH0	○	○
RSCAN		CTXD0 (出力)	P14	○	○
		CRXD0 (入力)	P15	○	○

21.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

21.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス PWPR 0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFS レジスタ書き込み許可ビット	0 : PFS レジスタへの書き込みを禁止 1 : PFS レジスタへの書き込みを許可	R/W
b7	B0WI	PFSWE ビット書き込み禁止ビット	0 : PFSWE ビットへの書き込みを許可 1 : PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

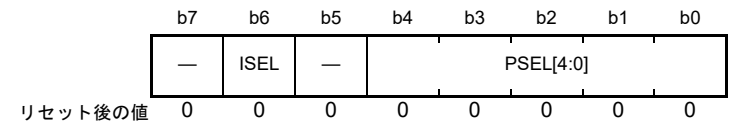
PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。
B0WI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

21.2.2 P1n 端子機能制御レジスタ (P1nPFS) (n = 4 ~ 7)

アドレス P14PFS 0008 C14Ch, P15PFS 0008 C14Dh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P14 : IRQ4 P15 : IRQ5 P16 : IRQ6 P17 : IRQ7	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

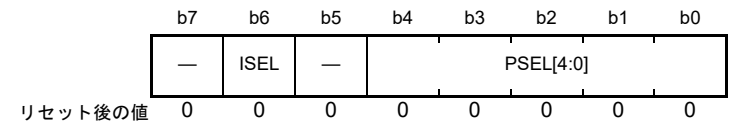
表21.2 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子			
	P14	P15	P16	P17
00000b (初期値)	Hi-Z			
00001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00101b	TMRI2	TMCI2	TMO2	TMO1
00111b	—	—	—	POE8#
01001b	—	—	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01101b	SSLA3	SSLA1	MOSIA	MISOA
01111b	—	—	SCL	SDA
10000b	CTXD0	CRXD0	—	—

— : 設定しないでください。

21.2.3 P2n 端子機能制御レジスタ (P2nPFS) (n = 6, 7)

アドレス P26PFS 0008 C156h, P27PFS 0008 C157h



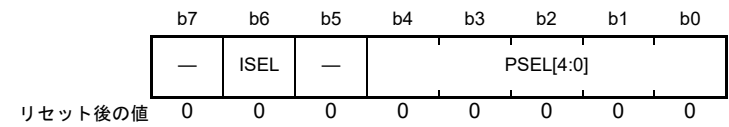
ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P26 : IRQ2 P27 : IRQ3	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.3 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子	
	P26	P27
00000b (初期値)	Hi-Z	
00001b	MTIOC2A	MTIOC2B
00010b	MTIOC4C	MTIOC4A
00101b	TMO0	TMRI3
01010b	TXD1 SMOSI1 SSDA1	SCK1

21.2.4 P3n 端子機能制御レジスタ (P3nPFS) (n = 0, 1)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0 P31 : IRQ1	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

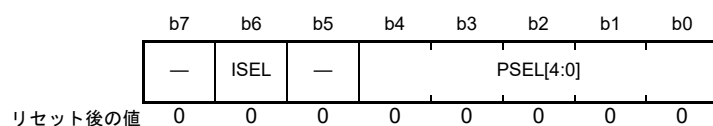
表21.4 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子	
	P30	P31
00000b (初期値)	Hi-Z	
00001b	MTIOC4B	MTIOC4D
00010b	MTIOC0A	MTIOC1A
00101b	TMCI3	TMO3
00111b	POE8#	—
01010b	RXD1 SMISO1 SSCL1	—
01011b	—	CTS1# RTS1# SS1#

— : 設定しないでください。

21.2.5 Pbn 端子機能制御レジスタ (PbnPFS) (n = 0, 1)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PB0：IRQ4	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

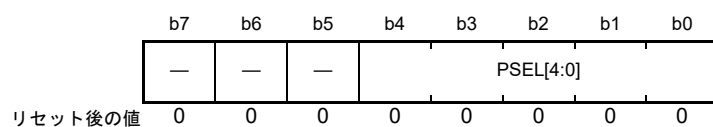
表21.5 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子	
	PB0	PB1
00000b (初期値)	Hi-Z	
00001b	MTIOC0C	MTIOC2A
00010b	—	MTIOC1B
00101b	TMCi0	TMRI1
00111b	POE3#	POE1#
01100b	RXD12 RXDX12 SMISO12 SSCL12	TXD12 TXDX12 SIOX12 SMOSI12 SSDA12

—：設定しないでください。

21.2.6 PCn 端子機能制御レジスタ (PCnPFS) (n = 4 ~ 7)

アドレス PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 21.6 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子			
	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z			
00001b	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00101b	TMCI1	TMRI2	TMCI2	TMO2
00111b	POE0#	—	—	CACREF
01010b	—	SCK5	—	—
01011b	CTS5# RTS5# SS5#	SCK6	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6
01100b	CTS12# RTS12# SS12#	SCK12	—	—
01101b	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

21.2.7 PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)

アドレス PH0PFS 0008 C1C8h, PH1PFS 0008 C1C9h, PH2PFS 0008 C1CAh, PH3PFS 0008 C1CBh

b7	b6	b5	b4	b3	b2	b1	b0
—	ISEL	—	PSEL[4:0]				0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1 : IRQ0 PH2 : IRQ1	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.7 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子			
	PH0	PH1	PH2	PH3
00000b (初期値)	Hi-Z			
00001b	MTIOC0D	MTIC5U	MTIC5V	MTIC5W
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00101b	TMRI0	TMO0	TMRI0	TMCIO
00111b	CACREF	POE2#	—	POE2#
01001b	—	CLKOUT	—	—
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	—
01011b	—	—	—	CTS6# RTS6# SS6#
01101b	SSLA2	SSLA0	MOSIA	RSPCKA

— : 設定しないでください。

21.3 使用上の注意事項

21.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. 当該端子のポート方向レジスタ (PDR)、ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m = 1 ~ 3, B, C, H, n = 0 ~ 7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR を“1”に設定し、選択された端子入出力機能に切り替えます。

21.3.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
4. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 21.8 に示します。

表 21.8 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS		注意事項
			ISEL	PSEL[4:0]	
リセット解除後	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0/1	x	割り込み入力と併用する場合は、ISEL ビットを“1”にしてください
汎用出力ポート	0	1	0	x	
周辺機能	1	x	0/1	周辺機能 (表 21.2 ~ 表 21.7 参照)	割り込み入力と併用する場合は、ISEL ビットを“1”にしてください
割り込み入力	0	0	1	x	
NMI	x	x	x (注 1)	x	レジスタの設定は不要です
EXTAL/XTAL	0	0	x (注 1)	x	出力バッファを OFF するため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注 1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

注 . PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。

・ RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。

22. マルチファンクションタイマパルスユニット 2 (MTU2a)

本章に記載している PCLK とは PCLKA を指します。

22.1 概要

本 MCU は、6 チャンネル (MTU0 ～ MTU5) の 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU) を内蔵しています。

表 22.1 に MTU の仕様を、表 22.2 に MTU の機能一覧を示します。また、図 22.1 に MTU のブロック図を示します。

表 22.1 MTU の仕様

項目	内容
パルス入出力	最大 16 本
パルス入力	3 本
カウントクロック	チャンネルごとに 8 または 7 種類 (MTU5 は 4 種類)
設定可能動作	【MTU0 ～ MTU4】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 (ノイズフィルタ設定機能) - カウンタクリア動作 - 複数のタイマカウンタ (TCNT) への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 12 相の PWM 出力
	【MTU0, MTU3, MTU4】 - バッファ動作を設定可能 - 相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能
	【MTU1, MTU2】 - 独立に位相計数モードを設定可能 - カスケード接続動作
	【MTU3, MTU4】 連動動作による相補 PWM、リセット同期 PWM 動作で、3 相のポジ、ネガ計 6 相の出力が可能
	【MTU5】 - デッドタイム補償用カウンタ機能 - インプットキャプチャ機能 (ノイズフィルタ設定可能) - カウンタクリア動作
相補 PWM モード	- カウンタの山、谷での割り込み - A/D コンバータの変換スタートトリガを間引き機能
割り込み要因	28 種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/D コンバータの変換スタートトリガを生成可能
消費電力低減機能	モジュールストップ状態への設定が可能

表22.2 MTUの機能一覧 (1/2)

項目		MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
カウントクロック		PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64
位相計数モードの外部クロック		—	MTCLKA MTCLKB	MTCLKC MTCLKD	—	—	—
ジェネラルレジスタ (TGR)		TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ / バッファレジスタ		TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
入出力端子		MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	○	—
	High出力	○	○	○	○	○	—
	トグル出力	○	○	○	○	○	—
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	—
PWM モード1		○	○	○	○	○	—
PWM モード2		○	○	○	—	—	—
相補PWMモード		—	—	—	○	○	—
リセット同期PWM		—	—	—	○	○	—
AC同期モータ駆動モード		○	—	—	○	○	—
位相計数モード		—	○	○	—	—	—
バッファ動作		○	—	—	○	○	—
デッドタイム補償用カウンタ機能		—	—	—	—	—	○
DMACの起動		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
DTCの起動		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャと TCNT オーバフロー / アンダフロー	TGRの コンペアマッチ または インプット キャプチャ

表 22.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ TGRBの コンペアマッチ または インプット キャプチャ TGREの コンペアマッチ TGRFの コンペアマッチ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時 TCNTの アンダフロー (谷)	—
割り込み要因	7要因 •コンペアマッチ /インプット キャプチャ 0A •コンペアマッチ /インプット キャプチャ 0B •コンペアマッチ /インプット キャプチャ 0C •コンペアマッチ /インプット キャプチャ 0D •コンペア マッチ 0E •コンペア マッチ 0F •オーバフロー	4要因 •コンペアマッチ /インプット キャプチャ 1A •コンペアマッチ /インプット キャプチャ 1B •オーバフロー •アンダフロー	4要因 •コンペアマッチ /インプット キャプチャ 2A •コンペアマッチ /インプット キャプチャ 2B •オーバフロー •アンダフロー	5要因 •コンペアマッチ /インプット キャプチャ 3A •コンペアマッチ /インプット キャプチャ 3B •コンペアマッチ /インプット キャプチャ 3C •コンペアマッチ /インプット キャプチャ 3D •オーバフロー	5要因 •コンペアマッチ /インプット キャプチャ 4A •コンペアマッチ /インプット キャプチャ 4B •コンペアマッチ /インプット キャプチャ 4C •コンペアマッチ /インプット キャプチャ 4D •オーバフロー/ アンダフロー	3要因 •コンペアマッチ /インプット キャプチャ 5U •コンペアマッチ /インプット キャプチャ 5V •コンペアマッチ /インプット キャプチャ 5W
イベントリンク機能 (出力)	—	4要因 •コンペアマッチ 1A •コンペアマッチ 1B •オーバフロー •アンダフロー	4要因 •コンペアマッチ 2A •コンペアマッチ 2B •オーバフロー •アンダフロー	5要因 •コンペアマッチ 3A •コンペアマッチ 3B •コンペアマッチ 3C •コンペアマッチ 3D •オーバフロー	6要因 •コンペアマッチ 4A •コンペアマッチ 4B •コンペアマッチ 4C •コンペアマッチ 4D •オーバフロー •アンダフロー	—
イベントリンク機能 (入力)	—	(1) カウント スタート動作 (2) インプット キャプチャ動 作 (TRGAに キャプチャ) (3) カウントリ スタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動 作 (TRGAに キャプチャ) (3) カウントリ スタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動 作 (TRGAに キャプチャ) (3) カウントリ スタート動作	(1) カウント スタート動作 (2) インプット キャプチャ動 作 (TRGAに キャプチャ) (3) カウントリ スタート動作	—
A/D変換開始 要求ディレイド機能	—	—	—	—	TADCORAと TCNTの一致で、 A/D変換開始要求 または TADCORBと TCNTの一致で、 A/D変換開始要求	—
割り込み間引き機能	—	—	—	TGRAの コンペアマッチ 割り込みを間引 き	TCIV割り込みを 間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注1)					

○ : 可能

— : 不可能

注1. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。



表 22.3 に MTU で使用する入出力端子を示します。

表 22.3 MTUの入出力端子

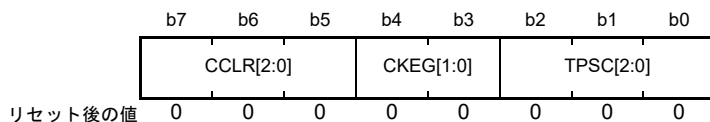
モジュール シンボル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子(MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子(MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子(MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子(MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子

22.2 レジスタの説明

22.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR

アドレス MTU0.TCR 000D 0B00h, MTU1.TCR 000D 0B80h, MTU2.TCR 000D 0C00h, MTU3.TCR 000D 0A00h, MTU4.TCR 000D 0A01h

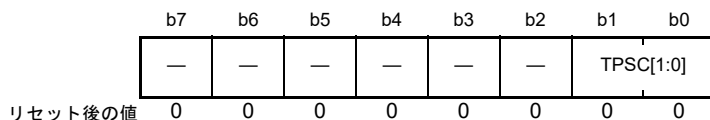


ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 22.6～表 22.9 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	表 22.4、表 22.5 を参照してください	R/W

x : Don't care

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 000D 0C84h, MTU5.TCRV 000D 0C94h, MTU5.TCRW 000D 0CA4h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 22.10 を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU には、MTU0～MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR レジスタがあります。

TCR レジスタは、各チャネルの TCNT カウンタを制御するレジスタです。TCR レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT カウンタのカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 22.6～表 22.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソースのエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります (例 : PCLK/4 の両エッジ = PCLK/2 の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLK/4 もしくはそれより遅い場合に有効です。カウントク

ロックソースに PCLK/1、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合、値は書き込みますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリアビット)

TCNT カウンタのカウンタクリア要因を選択します。詳細は表 22.4、表 22.5 を参照してください。

表 22.4 CCLR[2:0] (MTU0, MTU3, MTU4)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYR.SYNCn (n = 0, 3, 4) ビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。

表 22.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYR.SYNCn (n = 1, 2) ビットを“1”にすることにより行います。

注2. MTU1、MTU2ではb7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

表 22.6 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	外部クロック : MTCLKD 端子入力でカウント

表 22.7 TPSC[2:0] (MTU1)

チャネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	内部クロック : PCLK/1 でカウント
	0	0	1	内部クロック : PCLK/4 でカウント
	0	1	0	内部クロック : PCLK/16 でカウント
	0	1	1	内部クロック : PCLK/64 でカウント
	1	0	0	外部クロック : MTCLKA 端子入力 でカウント
	1	0	1	外部クロック : MTCLKB 端子入力 でカウント
	1	1	0	内部クロック : PCLK/256 でカウント
	1	1	1	MTU2.TCNT のオーバフロー / アンダフロー でカウント

注. MTU1 が位相計数モード時、この設定は無効になります。

表 22.8 TPSC[2:0] (MTU2)

チャネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	内部クロック : PCLK/1 でカウント
	0	0	1	内部クロック : PCLK/4 でカウント
	0	1	0	内部クロック : PCLK/16 でカウント
	0	1	1	内部クロック : PCLK/64 でカウント
	1	0	0	外部クロック : MTCLKA 端子入力 でカウント
	1	0	1	外部クロック : MTCLKB 端子入力 でカウント
	1	1	0	外部クロック : MTCLKC 端子入力 でカウント
	1	1	1	内部クロック : PCLK/1024 でカウント

注. MTU2 が位相計数モード時、この設定は無効になります。

表 22.9 TPSC[2:0] (MTU3, MTU4)

チャネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3 MTU4	0	0	0	内部クロック : PCLK/1 でカウント
	0	0	1	内部クロック : PCLK/4 でカウント
	0	1	0	内部クロック : PCLK/16 でカウント
	0	1	1	内部クロック : PCLK/64 でカウント
	1	0	0	内部クロック : PCLK/256 でカウント
	1	0	1	内部クロック : PCLK/1024 でカウント
	1	1	0	外部クロック : MTCLKA 端子入力 でカウント
	1	1	1	外部クロック : MTCLKB 端子入力 でカウント

表 22.10 TPSC[1:0] (MTU5)

チャネル	ビット1	ビット0	説明
	TPSC[1]	TPSC[0]	
MTU5	0	0	内部クロック : PCLK/1 でカウント
	0	1	内部クロック : PCLK/4 でカウント
	1	0	内部クロック : PCLK/16 でカウント
	1	1	内部クロック : PCLK/64 でカウント

22.2.2 タイマモードレジスタ (TMDR)

アドレス MTU0.TMDR 000D 0B01h, MTU1.TMDR 000D 0B81h, MTU2.TMDR 000D 0C01h, MTU3.TMDR 000D 0A02h, MTU4.TMDR 000D 0A03h

b7	b6	b5	b4	b3	b2	b1	b0
—	BFE	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表 22.11 を参照してください	R/W
b4	BFA	バッファ動作Aビット	0 : TGRAとTGRCレジスタは通常動作 1 : TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0 : TGRBとTGRDレジスタは通常動作 1 : TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0 : MTU0.TGREとMTU0.TGRFレジスタは通常動作 1 : MTU0.TGREとMTU0.TGRFレジスタはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR レジスタは、各チャネルの動作モードを設定するレジスタです。TMDR レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

表 22.11 MD[3:0] ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU3	MTU4
MD[3]	MD[2]	MD[1]	MD[0]						
0	0	0	0	ノーマルモード	○	○	○	○	○
0	0	0	1	設定しないでください					
0	0	1	0	PWMモード1	○	○	○	○	○
0	0	1	1	PWMモード2	○	○	○		
0	1	0	0	位相計数モード1		○	○		
0	1	0	1	位相計数モード2		○	○		
0	1	1	0	位相計数モード3		○	○		
0	1	1	1	位相計数モード4		○	○		
1	0	0	0	リセット同期PWMモード(注1)				○	
1	0	0	1	設定しないでください。					
1	0	1	x	設定しないでください。					
1	1	0	0	設定しないでください。					
1	1	0	1	相補PWMモード1 (山で転送) (注1)				○	
1	1	1	0	相補PWMモード2 (谷で転送) (注1)				○	
1	1	1	1	相補PWMモード3 (山と谷で転送) (注1)				○	

x : Don't care

注. 各チャネルで○が付いている動作モード以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。

MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となりMTU3の設定に従います。MTU4はノーマルモードに設定してください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作にするか、TGRA レジスタと TGRC レジスタを組み合わせでバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC レジスタのコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU4.TIER.TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4.TMDR レジスタの BFA ビットには“0”を書いてください。

TGRC レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 22.40 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作にするか、TGRB レジスタと TGRD レジスタを組み合わせでバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD レジスタのコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、MTU3.TIER.TGIED ビット、MTU4.TIER.TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4 の TMDR.BFB ビットには“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 22.40 を参照してください。

BFE ビット (バッファ動作 E ビット)

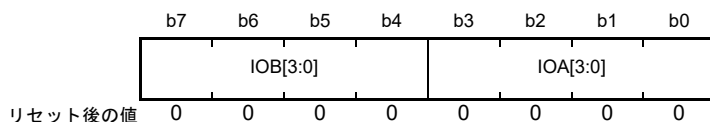
MTU0.TGRE レジスタと MTU0.TGRF レジスタを通常動作またはバッファ動作させるかどうかを選択します。TGRF レジスタをバッファレジスタとして使用した場合も、TGRF レジスタのコンペアマッチは発生します。

MTU1 ~ MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

22.2.3 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH

アドレス MTU0.TIORH 000D 0B02h, MTU1.TIOR 000D 0B82h, MTU2.TIOR 000D 0C02h, MTU3.TIORH 000D 0A04h, MTU4.TIORH 000D 0A06h

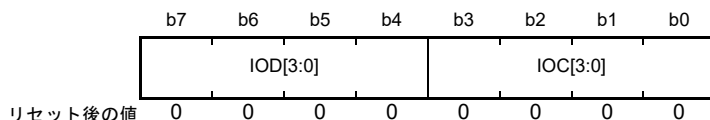


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/O コントロールA ビット	下記の表を参照してください(注1) MTU0.TIORH : 表 22.20 MTU1.TIOR : 表 22.22 MTU2.TIOR : 表 22.23 MTU3.TIORH : 表 22.24 MTU4.TIORH : 表 22.26	R/W
b7-b4	IOB[3:0]	I/O コントロールB ビット	下記の表を参照してください(注1) MTU0.TIORH : 表 22.12 MTU1.TIOR : 表 22.14 MTU2.TIOR : 表 22.15 MTU3.TIORH : 表 22.16 MTU4.TIORH : 表 22.18	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] ビット (m = A, B) の値を出力禁止 ("0000b"または"0100b") へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL

アドレス MTU0.TIORL 000D 0B03h, MTU3.TIORL 000D 0A05h, MTU4.TIORL 000D 0A07h

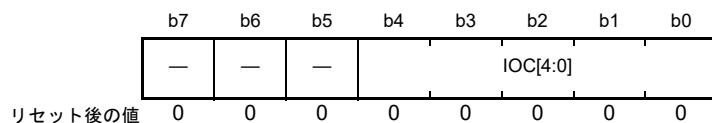


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/O コントロールC ビット	下記の表を参照してください(注1) MTU0.TIORL : 表 22.21 MTU3.TIORL : 表 22.25 MTU4.TIORL : 表 22.27	R/W
b7-b4	IOD[3:0]	I/O コントロールD ビット	下記の表を参照してください(注1) MTU0.TIORL : 表 22.13 MTU3.TIORL : 表 22.17 MTU4.TIORL : 表 22.19	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] ビット (m = C, D) の値を出力禁止 ("0000b"または"0100b") へ変更するとHi-Zになります。

- MTU5.TIORU, MTU5.TIORV, MTU5.TIORW

アドレス MTU5.TIORU 000D 0C86h, MTU5.TIORV 000D 0C96h, MTU5.TIORW 000D 0CA6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表22.28	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU には、MTU0、MTU3、MTU4 に各 2 本、MTU1、MTU2 に各 1 本、MTU5 には MTU5.TIORU/V/W の 3 本、計 11 本の TIOR レジスタがあります。

TIOR レジスタは TMDR レジスタの設定が、ノーマルモード、PWM モード、位相計数モードの場合に設定します。

TIOR レジスタで指定した初期出力はカウンタ停止した (TSTR.CSTn ビットを“0”にした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが“0”になった時点での出力を指定します。

TGRC レジスタあるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表22.12 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU0.TGRBの機能	MTIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 22.13 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ (注2)

x : Don't care

- 注1. MTU0.TMDR.BFB ビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 22.14 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表22.15 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.16 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.17 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR.BFB ビットを“1”にして MTU3.TGRD レジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.18 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.19 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR.BFB ビットを“1”にして、MTU4.TGRD レジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表22.20 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 22.21 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU0.TGRCの機能	MTIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ(注2)

x : Don't care

- 注1. MTU0.TMDR.BFA ビットを“1”にして MTU0.TGRC レジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 22.22 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表22.23 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.24 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.25 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR.BFAビットを“1”にしてMTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.26 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.27 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.28 TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU5.TGRU、MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU3、MTU4と連動したデッドタイム補償用機能使用時のみとしてください。詳細は「22.3.10 外部パルス幅測定機能」、
「22.3.11 デッドタイム補償用機能」を参照してください。

22.2.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000D 0CB6h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNT コンペアクリア 5W ビット	0 : MTU5.TCNTW カウンタと MTU5.TGRW レジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTW カウンタの“0000h”クリアを禁止 1 : MTU5.TCNTW カウンタと MTU5.TGRW レジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTW カウンタの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNT コンペアクリア 5V ビット	0 : MTU5.TCNTV カウンタと MTU5.TGRV レジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTV カウンタの“0000h”クリアを禁止 1 : MTU5.TCNTV カウンタと MTU5.TGRV レジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTV カウンタの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNT コンペアクリア 5U ビット	0 : MTU5.TCNTU カウンタと MTU5.TGRU レジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTU カウンタの“0000h”クリアを禁止 1 : MTU5.TCNTU カウンタと MTU5.TGRU レジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTU カウンタの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、TCNTV、TCNTW カウンタのクリア要求を設定するレジスタです。

22.2.5 タイマ割り込み許可レジスタ (TIER)

- MTU0.TIER, MTU3.TIER

アドレス MTU0.TIER 000D 0B04h, MTU3.TIER 000D 0A08h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 000D 0B84h, MTU2.TIER 000D 0C04h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER

アドレス MTU4.TIER 000D 0A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0 : 割り込み要求(TGIA)を禁止 1 : 割り込み要求(TGIA)を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0 : 割り込み要求(TGIB)を禁止 1 : 割り込み要求(TGIB)を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0 : 割り込み要求(TGIC)を禁止 1 : 割り込み要求(TGIC)を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0 : 割り込み要求(TGID)を禁止 1 : 割り込み要求(TGID)を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0 : 割り込み要求(TCIV)を禁止 1 : 割り込み要求(TCIV)を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0 : 割り込み要求(TCIU)を禁止 1 : 割り込み要求(TCIU)を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0 : MTU4.TCNTカウンタのアンダフロー(谷)によるA/D変換要求を禁止 1 : MTU4.TCNTカウンタのアンダフロー(谷)によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0 : A/D変換開始要求の発生を禁止 1 : A/D変換開始要求の発生を許可	R/W

MTU には、MTU0 に 2 本、MTU1 ～ MTU5 に各 1 本、計 7 本の TIER レジスタがあります。

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を設定するレジスタです。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIm) を許可または禁止します。(m = A, B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

MTU0、MTU3、MTU4 で割り込み要求 (TGIm) を許可または禁止します。(m = C, D)
MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

MTU1、MTU2 で割り込み要求 (TCIU) を許可または禁止します。
MTU0、MTU3、MTU4 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTU4.TCNT カウンタのアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。
MTU0 ~ MTU3 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ / コンペアマッチによる A/D コンバータ開始要求の発生を許可または禁止します。

• MTU0.TIER2

アドレス MTU0.TIER2 000D 0B24h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可 E ビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可 F ビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b7-b2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT カウンタと MTU0.TGRm レジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。(m = E, F)

- MTU5.TIER

アドレス MTU5.TIER 000D 0CB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5 U	TGIE5V	TGIE5 W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可 5W ビット	0 : TGIW5 割り込み要求を禁止 1 : TGIW5 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可 5V ビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可 5U ビット	0 : TGIU5 割り込み要求を禁止 1 : TGIU5 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5W、TGIE5V、TGIE5U ビット (TGR 割り込み許可 5m ビット)

割り込み要求 (TGIm5) を許可または禁止します。(m = W, V, U)

22.2.6 タイマステータスレジスタ (TSR)

アドレス MTU0.TSR 000D 0B05h, MTU1.TSR 000D 0B85h, MTU2.TSR 000D 0C05h, MTU3.TSR 000D 0A2Ch, MTU4.TSR 000D 0A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	x	x	x	x	x	x
	x : 不定							

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTカウンタはダウンカウント 1 : TCNTカウンタはアップカウント	R

MTU には、MTU0 ～ MTU4 に各 1 本、計 5 本の TSR レジスタがあります。
TSR レジスタは、各チャンネルのステータスを表示するレジスタです。

TCFD フラグ（カウント方向フラグ）

MTU1 ～ MTU4 の TCNT カウンタのカウント方向を示すステータスフラグです。
MTU0 では予約ビットです。読むと “1” が読めます。書く場合、“1”としてください。

22.2.7 タイマバッファ動作転送モードレジスタ (TBTM)

• MTU0.TBTM

アドレス MTU0.TBTM 000D 0B26h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

• MTU3.TBTM, MTU4.TBTM

アドレス MTU3.TBTM 000D 0A38h, MTU4.TBTM 000D 0A39h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0 : TGRC レジスタから TGRA レジスタへの転送タイミングは各チャンネルのコンペアマッチA発生時 1 : TGRC レジスタから TGRA レジスタへの転送タイミングは各チャンネルの TCNT カウンタクリア時	R/W
b1	TTSB	タイミング選択Bビット	0 : TGRD レジスタから TGRB レジスタへの転送タイミングは各チャンネルのコンペアマッチB発生時 1 : TGRD レジスタから TGRB レジスタへの転送タイミングは各チャンネルの TCNT カウンタクリア時	R/W
b2	TTSE	タイミング選択Eビット	0 : MTU0.TGRF レジスタから MTU0.TGRE レジスタへの転送タイミングは各チャンネルの MTU0 のコンペアマッチE発生時 1 : MTU0.TGRF レジスタから MTU0.TGRE レジスタへの転送タイミングは各チャンネルの MTU0.TCNT カウンタクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU には、MTU0、MTU3、MTU4 に各 1 本、計 3 本の TBTM レジスタがあります。

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時の TGRC レジスタから TGRA レジスタへの転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、TTSA ビットを“1”に設定しないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、TTSB ビットを“1”に設定しないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時の MTU0.TGRF レジスタから MTU0.TGRE レジスタへの転送タイミングを設定します。MTU3、MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。なお、MTU0 を PWM モード以外で使用する場合は、TTSE ビットを“1”に設定しないでください。

22.2.8 タイマインพุットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000D 0B90h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インพุットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAレジスタのインพุットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAレジスタのインพุットキャプチャ条件に追加する	R/W
b1	I1BE	インพุットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBレジスタのインพุットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBレジスタのインพุットキャプチャ条件に追加する	R/W
b2	I2AE	インพุットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAレジスタのインพุットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAレジスタのインพุットキャプチャ条件に追加する	R/W
b3	I2BE	インพุットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBレジスタのインพุットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBレジスタのインพุットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU1に1本のTICCRレジスタがあります。

TICCRレジスタは、MTU1.TCNTカウンタとMTU2.TCNTカウンタのカスケード接続時のインพุットキャプチャ条件を設定するレジスタです。

22.2.9 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

アドレス MTU4.TADCR 000D 0A40h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCIV4 割り込み間引き機能と連動しない 1 : TCIV4 割り込み間引き機能と連動する	R/W
b1	ITB3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGIA3 割り込み間引き機能と連動しない 1 : TGIA3 割り込み間引き機能と連動する	R/W
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TCIV4 割り込み間引き機能と連動しない 1 : TCIV4 割り込み間引き機能と連動する	R/W
b3	ITA3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0 : TGIA3 割り込み間引き機能と連動しない 1 : TGIA3 割り込み間引き機能と連動する	R/W
b4	DT4BE	ダウンカウント TRG4BN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換 の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換 の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウント TRG4BN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換 の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換 の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN 許可ビット (注3)	0 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換 の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのダウンカウント時に A/D 変換 の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウント TRG4AN 許可ビット	0 : MTU4.TCNT カウンタのアップカウント時に A/D 変換 の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT カウンタのアップカウント時に A/D 変換 の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング 選択ビット	詳細は表 22.29 を参照してください	R/W

注. TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、またはTITCRの間引き回数設定ビット (T3ACOR[2:0], T4VCOR[2:0]) を“000b”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. b6、b4～b0は、相補PWMモード以外では、“0”にしてください。

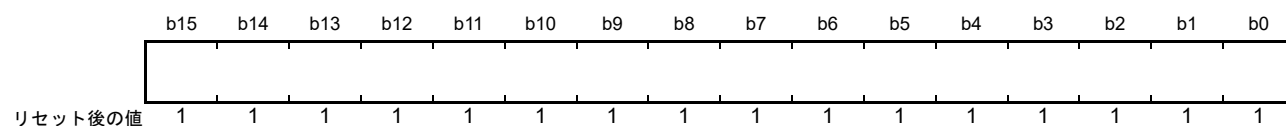
TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定するレジスタです。

表22.29 BF[1:0]ビットによる転送タイミングの設定

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTが MTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTが MTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTが MTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

22.2.10 タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)

アドレス MTU4.TADCORA 000D 0A44h, MTU4.TADCORB 000D 0A46h

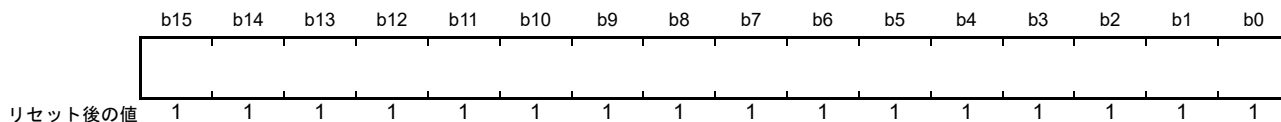


注. TADCORA、TADCORB レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCORA、TADCORB レジスタは、A/D 変換開始要求周期を設定するレジスタです。MTU4.TCNT カウンタと一致したとき、対応する A/D 変換開始要求を発生します。

22.2.11 タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)

アドレス MTU4.TADCOBRA 000D 0A48h, MTU4.TADCOBRB 000D 0A4Ah

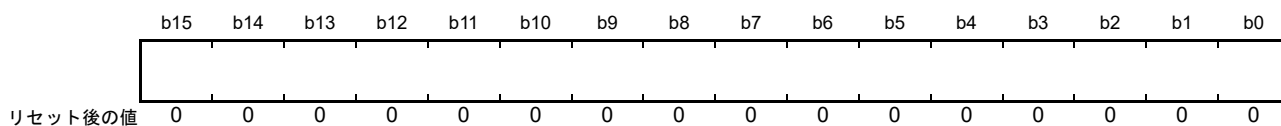


注. TADCOBRA、TADCOBRB レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは、TADCORA、TADCORB レジスタのバッファレジスタで、A/D 変換開始要求周期を設定するレジスタです。TADCOBRA、TADCOBRB レジスタから山か谷で TADCORA、TADCORB レジスタに転送します。

22.2.12 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 000D 0B06h, MTU1.TCNT 000D 0B86h, MTU2.TCNT 000D 0C06h, MTU3.TCNT 000D 0A10h,
MTU4.TCNT 000D 0A12h, MTU5.TCNTU 000D 0C80h, MTU5.TCNTV 000D 0C90h, MTU5.TCNTW 000D 0CA0h



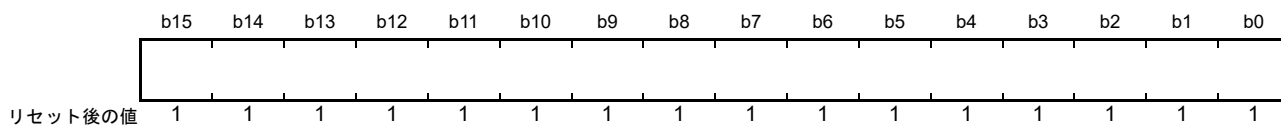
注. TCNTカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTU には、MTU0 ～ MTU4 に各 1 本、MTU5 に MTU5.TCNTU/V/W の 3 本、計 8 本の TCNT カウンタがあります。

TCNT カウンタは、読み出し / 書き込み可能なカウンタです。

22.2.13 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)

アドレス MTU0.TGRA 000D 0B08h, MTU0.TGRB 000D 0B0Ah, MTU0.TGRC 000D 0B0Ch, MTU0.TGRD 000D 0B0Eh,
MTU0.TGRE 000D 0B20h, MTU0.TGRF 000D 0B22h, MTU1.TGRA 000D 0B88h, MTU1.TGRB 000D 0B8Ah,
MTU2.TGRA 000D 0C08h, MTU2.TGRB 000D 0C0Ah, MTU3.TGRA 000D 0A18h, MTU3.TGRB 000D 0A1Ah,
MTU3.TGRC 000D 0A24h, MTU3.TGRD 000D 0A26h, MTU4.TGRA 000D 0A1Ch, MTU4.TGRB 000D 0A1Eh,
MTU4.TGRC 000D 0A28h, MTU4.TGRD 000D 0A2Ah, MTU5.TGRU 000D 0C82h, MTU5.TGRV 000D 0C92h,
MTU5.TGRW 000D 0CA2h



注. TGRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTU には、MTU0 に 6 本、MTU1、MTU2 に各 2 本、MTU3、MTU4 に各 4 本、MTU5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4 の TGRC レジスタと TGRD レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA–TGRC、TGRB–TGRD になります。

MTU0.TGRE、MTU0.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT カウンタと MTU0.TGRE レジスタが一致したとき、A/D 変換開始要求を発生することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRC–TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ / インプットキャプチャ / 外部パルス幅測定兼用のレジスタです。

22.2.14 タイマスタートレジスタ (TSTR)

- MTU.TSTR (MTU0 ~ MTU4)

アドレス MTU.TSTR 000D 0A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTカウンタはカウント停止 1 : MTU0.TCNTカウンタはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTカウンタはカウント停止 1 : MTU1.TCNTカウンタはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTカウンタはカウント停止 1 : MTU2.TCNTカウンタはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTカウンタはカウント停止 1 : MTU3.TCNTカウンタはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTカウンタはカウント停止 1 : MTU4.TCNTカウンタはカウント動作	R/W

TSTR レジスタは MTU0 ~ MTU4 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TMDR レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT カウンタのカウントクロックを設定する場合は、TCNT カウンタのカウント動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0 ~ 4)

各チャネルの TCNT カウンタの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000D 0CB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWカウンタはカウント停止 1 : MTU5.TCNTWカウンタはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVカウンタはカウント停止 1 : MTU5.TCNTVカウンタはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUカウンタはカウント停止 1 : MTU5.TCNTUカウンタはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

22.2.15 タイマシンクロレジスタ (TSYR)

アドレス MTU.TSYR 000D 0A81h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU0.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU1.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU2.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU3.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1 : MTU4.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W

TSYR レジスタは MTU0 ～ MTU4 の TCNT カウンタの独立動作または同期動作を選択するレジスタです。
対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0 ～ 4)

独立動作または他のチャンネルとの同期動作を選択します。

同期動作を選択すると、複数の TCNT カウンタの同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャンネルの SYNCn ビットを“1”にする必要があります。同期クリアの設定には、SYNCn ビットの他に TCR.CCLR[2:0] ビットで、TCNT カウンタのクリア要因を設定する必要があります。

22.2.16 タイマリードライト許可レジスタ (TRWER)

アドレス MTU.TRWER 000D 0A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0 : レジスタの読み出し/書き込みを禁止する 1 : レジスタの読み出し/書き込みを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWER レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定するレジスタです。

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへの読み出し / 書き込みの許可 / 禁止を設定します。

[“0”になる条件]

- RWE ビット = 1 を読み出し後、RWE ビットに “0” を書いたとき
- 誤書き込み防止の対象レジスタおよび対象カウンタ

MTUn.TCR、MTUn.TMDR、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOER、MTU.TOCR1、MTU.TOCR2、MTU.TGCR、MTU.TCDR、MTU.TDDR と MTUn.TCNT の計 22 レジスタです。(n = 3, 4)

22.2.17 タイマアウトプットマスタ許可レジスタ (TOER)

アドレス MTU.TOER 000D 0A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3B ビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4A ビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4B ビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3D ビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4C ビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4D ビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、I/Oポートのデータ方向レジスタ（PDR）、ポート出力データレジスタ（PODR）にあらかじめ汎用入出力ポートに非アクティブレベルを出力する設定をした上で、ポートモードレジスタ（PMR）で汎用入出力ポート使用に切り替えてください。

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を設定するレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4 において、TOER レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値を設定してください。

TOER レジスタは、TSTR.CST3、CST4 ビットを“0”にした後で設定してください（図 22.35、図 22.38 を参照）。

22.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1)

アドレス MTU.TOCR1 000D 0A0Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注2、注3)	表 22.30 を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注2、注3)	表 22.31 を参照してください	R/W
b2	TOCS	TOC 選択ビット	0 : TOCR1 レジスタの設定を有効にする 1 : TOCR2 レジスタの設定を有効にする	R/W
b3	TOCL	TOC レジスタ書き込み禁止ビット (注1)	0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止	R/W (注4)
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM 同期出力許可ビット	0 : トグル出力を禁止 1 : トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1.TOCL ビットを“1”に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

注2. TOCR1.TOCS ビットを“0”に設定することにより、本設定が有効になります。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSP ビットのみ有効となります。

注4. リセット後、1 回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1 レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を設定するレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。

TOCS ビット (TOC 選択ビット)

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 レジスタと TOCR2 レジスタのどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1.TOCS, OLSN, OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力を、MTIOC3A 端子から出力するかどうかを設定します。

表 22.30 出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.31 出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 22.2 に示します。

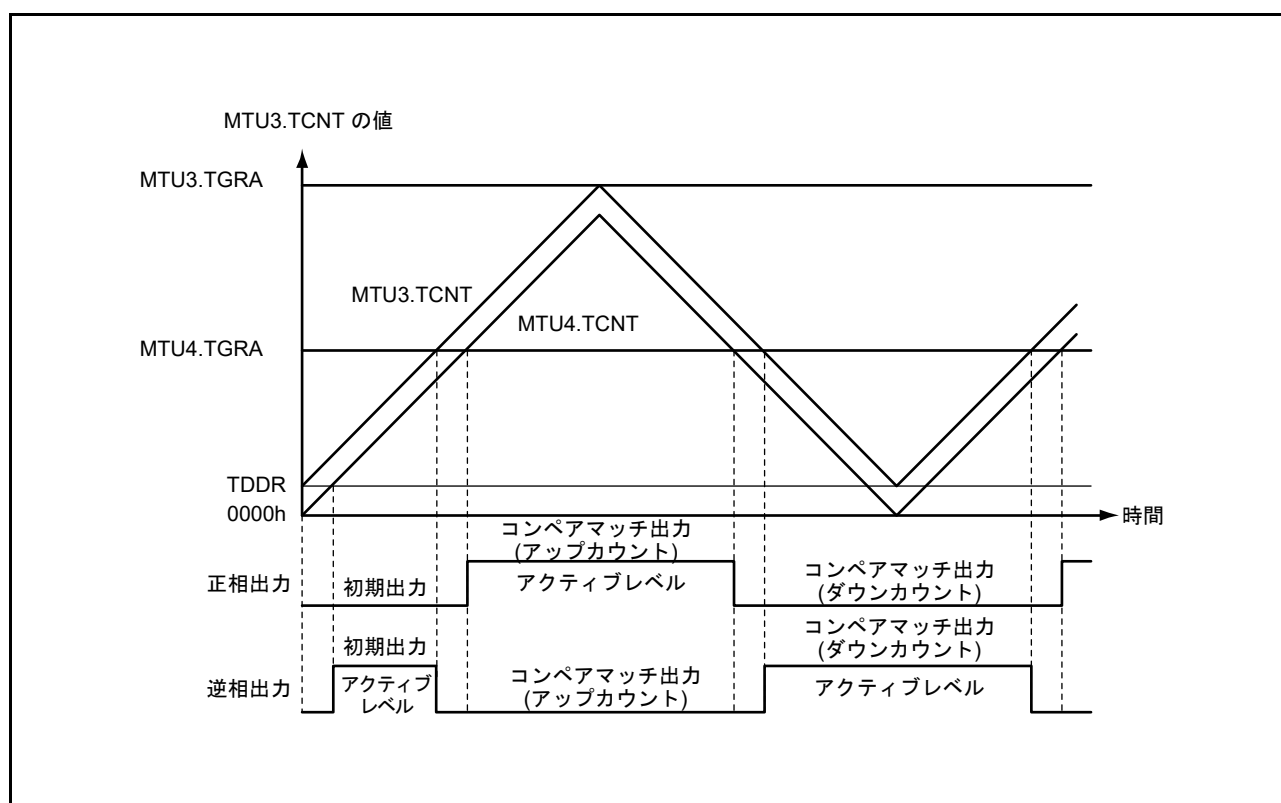


図 22.2 相補 PWM モードの出力レベルの例

22.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2)

アドレス MTU.TOCR2 000D 0A0Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します。 表22.32を参照してください	R/W
b1	OLS1N	出力レベル選択 1N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します。 表22.33を参照してください	R/W
b2	OLS2P	出力レベル選択 2P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。 表22.34を参照してください	R/W
b3	OLS2N	出力レベル選択 2N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します。 表22.35を参照してください	R/W
b4	OLS3P	出力レベル選択 3P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。 表22.36を参照してください	R/W
b5	OLS3N	出力レベル選択 3N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します。 表22.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRレジスタからTOCR2レジスタへのバッファ転送タイミングを選択します。 詳細は表22.38を参照してください	R/W

注1. TOCR1.TOCSビットを“1”に設定することにより、本レジスタの設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。(i = 1 ~ 3)

TOCR2 レジスタは、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を設定するレジスタです。

表 22.32 MTIOC3B 出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.33 MTIOC3D 出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.34 MTIOC4A 出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.35 MTIOC4C 出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.36 MTIOC4B 出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 22.37 MTIOC4D 出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.38 TOCR2.BF[1:0] ビットの設定

ビット7	ビット6	説明	
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時
0	0	TOLBRレジスタからTOCR2レジスタへ転送しない	TOLBRレジスタからTOCR2レジスタへ転送しない
0	1	MTU4.TCNTの山でTOLBRレジスタからTOCR2レジスタへ転送する	MTU4.TCNT、MTU3.TCNTカウンタクリア時にTOLBRレジスタからTOCR2レジスタへ転送する
1	0	MTU4.TCNTの谷でTOLBRレジスタからTOCR2レジスタへ転送する	設定しないでください
1	1	MTU4.TCNTの山と谷でTOLBRレジスタからTOCR2レジスタへ転送する	設定しないでください

22.2.20 タイマアウトプットレベルバッファレジスタ (TOLBR)

アドレス MTU.TOLBR 000D 0A36h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット	TOCR2.OLS1P ビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択 1N ビット	TOCR2.OLS1N ビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択 2P ビット	TOCR2.OLS2P ビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択 2N ビット	TOCR2.OLS2N ビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択 3P ビット	TOCR2.OLS3P ビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択 3N ビット	TOCR2.OLS3N ビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TOLBR レジスタは TOCR2 レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルを設定するレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 22.3 に示します。

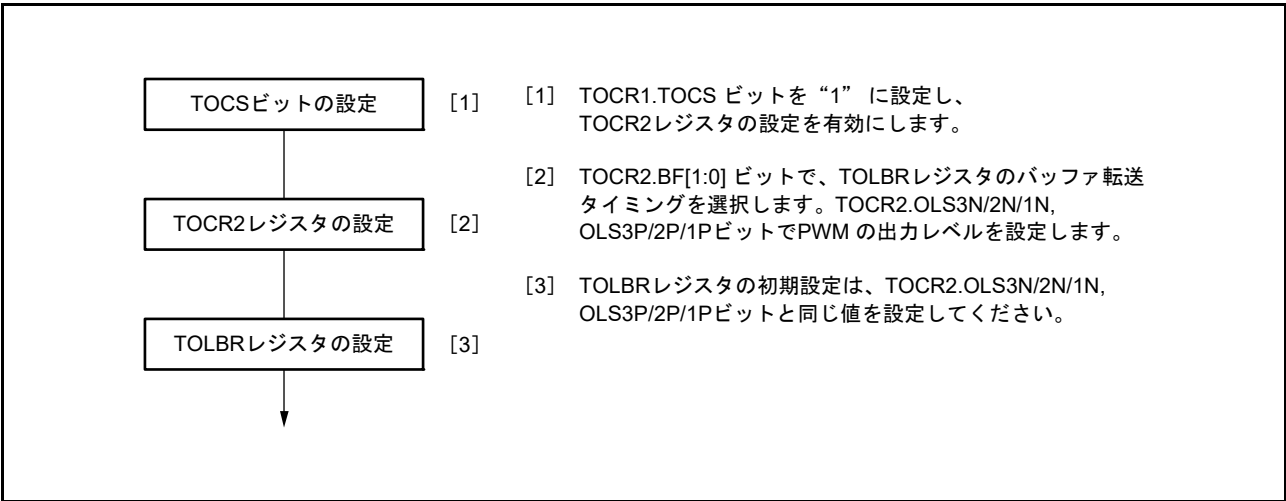


図 22.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

22.2.21 タイマゲートコントロールレジスタ (TGCR)

アドレス MTU.TGCR 000D 0A0Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力に代わりになります。表 22.39 を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替え切り替えは、外部入力(入力元は、MTU0.TGRA, TGRB, TGRC レジスタのインプットキャプチャ信号) 1：出力の切り替えはソフトウェアで行う (TGCR.UF、VF、WF ビットの設定値)	R/W
b4	P	正相出力(P)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力(N)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCR レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を設定するレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCR レジスタの設定は無効です。

UF、VF、WF ビット (出力相切り替えビット)

これらのビットの設定は TGCR.FB ビットが“1”のときのみ有効です。このときは、ビット 0～2 の設定が、外部入力の代わりになります。表 22.39 を参照してください。

FB ビット (外部フィードバック信号許可ビット)

正相/逆相の出力の切り替えを MTU0.TGRA, TGRB, TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCR レジスタのビット 2～0 に“0”または“1”を書き込むことによって行うかを選択します。

P ビット (正相出力 (P) 制御ビット)

正相端子の出力 (MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子) を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット (逆相出力 (N) 制御ビット)

逆相端子 (MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかの選択をします。

BDC ビット (ブラシレス DC モータビット)

TGCR レジスタの機能を有効にするか、無効にするかを選択します。

表 22.39 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

22.2.22 タイマサブカウンタ (TCNTS)

アドレス MTU.TCNTS 000D 0A20h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

リセット後の値

注. TCNTS カウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTS カウンタは、相補 PWM モードに設定したときのみ使用される読み出し専用カウンタです。

22.2.23 タイマデッドタイムデータレジスタ (TDDR)

アドレス MTU.TDDR 000D 0A16h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

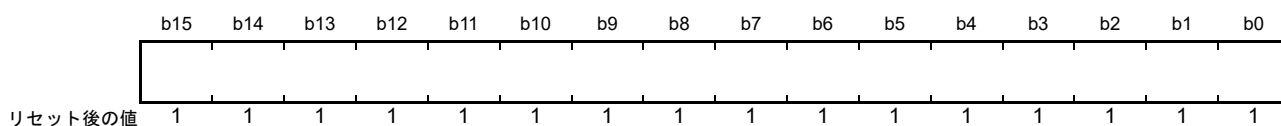
リセット後の値

注. TDDR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDR レジスタは、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定するレジスタです。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDR レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。

22.2.24 タイマ周期データレジスタ (TCDR)

アドレス MTU.TCDR 000D 0A14h

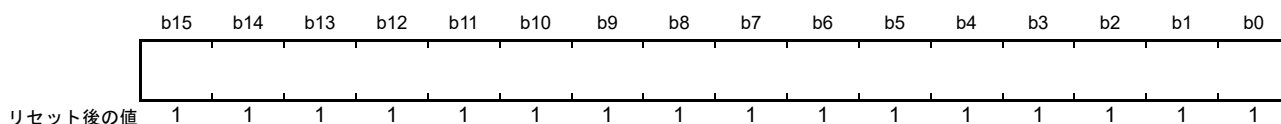


注. TCDRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDR レジスタは、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TCDR レジスタの値は PWM 周期の 1/2 の値を設定してください。TCDR レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。

22.2.25 タイマ周期バッファレジスタ (TCBR)

アドレス MTU.TCBR 000D 0A22h



注. TCBRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBR レジスタは TCDR レジスタのバッファレジスタで、TCNTS カウンタのカウント方向を切り替えるカウント値を設定するレジスタです。相補 PWM モード時のみ使用します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。

22.2.26 タイマ割り込み間引き設定レジスタ (TITCR)

アドレス MTU.TITCR 000D 0A30h

b7	b6	b5	b4	b3	b2	b1	b0
T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定ビット	TCIV4 割り込みの間引き回数を 0～7 回で設定します。(注1) 詳細は表 22.40 を参照してください	R/W
b3	T4VEN	T4VEN ビット	0 : TCIV4 割り込みの間引きを禁止する 1 : TCIV4 割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定ビット	TGIA3 割り込みの間引き回数を 0～7 回で設定します。(注1) 詳細は表 22.41 を参照してください	R/W
b7	T3AEN	T3AEN ビット	0 : TGIA3 割り込みの間引きを禁止する 1 : TGIA3 割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数に“0”を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR.T3AEN、TITCR.T4VEN ビットを“0”に設定して TITCNT カウンタをクリアしてください。

表 22.40 T4VCOR[2:0] ビットによる割り込み間引き回数の設定

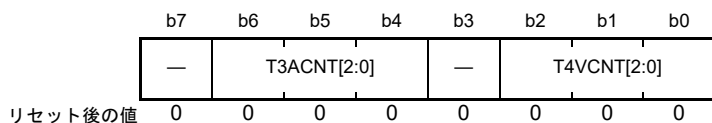
ビット2	ビット1	ビット0	説明
T4VCOR[2]	T4VCOR[1]	T4VCOR[0]	
0	0	0	TCIV4 の割り込み間引きを行わない
0	0	1	TCIV4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV4 の割り込み間引き回数を 7 回に設定

表 22.41 T3ACOR[2:0] ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T3ACOR[2]	T3ACOR[1]	T3ACOR[0]	
0	0	0	TGIA3 の割り込み間引きを行わない
0	0	1	TGIA3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA3 の割り込み間引き回数を 7 回に設定

22.2.27 タイマ割り込み間引き回数カウンタ (TITCNT)

アドレス MTU.TITCNT 000D 0A31h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4 割り込みカウンタビット	TITCR.T4VEN ビットに 1 を設定時、TCIV4 割り込み要因が発生したときに 1 カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3 割り込みカウンタビット	TITCR.T3AEN ビットに 1 を設定時、TGIA3 割り込み要因が発生したときに 1 カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNT カウンタの値をクリアするには、TITCR.T3AEN ビットと TITCR.T4VEN ビットを“0”にしてください。

TITCNT カウンタは、割り込み間引き対象の割り込み要因発生回数をカウントするカウンタです。TITCNT カウンタは、MTU3.TCNT および MTU4.TCNT カウンタのカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITCR.T4VCOR[2:0] ビットと TITCNT.T4VCNT[2:0] ビットが一致したとき
- TITCR.T4VEN ビットが“0”のとき
- TITCR.T4VCOR[2:0] ビットが“000b”のとき

T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITCR.T3ACOR[2:0] ビットと TITCNT.T3ACNT[2:0] ビットが一致したとき
- TITCR.T3AEN ビットが“0”のとき
- TITCR.T3ACOR[2:0] ビットが“000b”のとき

22.2.28 タイマバッファ転送設定レジスタ (TBTER)

アドレス MTU.TBTER 000D 0A32h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定します。詳細は表22.42を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTER レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する / しない、または割り込み間引き機能と連動する / しないを設定するレジスタです。

表 22.42 TBTER.BTE[1:0] ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する(注2)
1	1	設定しないでください

注. 対象バッファレジスタ : MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBR レジスタ

注1. TMDR.MD[3:0] ビットの設定に従い転送します。詳細は「22.3.8 相補PWMモード」を参照してください。

注2. 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VEN ビットを“0”に設定したとき、またはTITCR レジスタの間引き回数設定ビット (T3ACOR[2:0]、T4VCOR[2:0]) を“000b”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE[1] ビットを“0”に設定) にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

22.2.29 タイマデッドタイム許可レジスタ (TDER)

アドレス MTU.TDER 000D 0A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイム許可レジスタビット	0：デッドタイムを生成しない 1：デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDR ≥ 1に設定してください。

TDER レジスタは、相補 PWM モードのデッドタイム生成を設定するレジスタです。TDER レジスタは MTU3 に 1 本あります。TDER レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

TDER ビット（デッドタイム許可レジスタビット）

デッドタイムの生成をする / しないを設定します。

[“0” になる条件]

- TDER = 1 を読み出し後、TDER ビットに “0” を書いたとき

22.2.30 タイマ波形コントロールレジスタ (TWCR)

アドレス MTU.TWCR 000D 0A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注1)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット	0 : MTU3.TGRA レジスタのコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRA レジスタのコンペアマッチによるカウンタクリアをする	R/(W) (注2)

注1. 相補 PWM モードのとき以外は、“1”に設定しないでください。

注2. 相補 PWM モード1のとき以外は、“1”に設定しないでください。

TWCR レジスタは、相補 PWM モードで MTU3.TCNT, MTU4.TCNT カウンタの同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA レジスタのコンペアマッチによるカウンタクリアをする / しないを設定するレジスタです。

TWCR.CCE, WRE ビットの設定は、TCNT カウンタの動作が停止した状態で行ってください。

WRE ビット（初期出力抑止許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、MTU3.TCNT, MTU4.TCNT カウンタスタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、図 22.40 を参照してください。

[“1”になる条件]

- WRE = 0 を読み出し後、WRE ビットに“1”を書いたとき

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モード1で、MTU3.TGRA レジスタのコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1”になる条件]

- CCE = 0 を読み出し後、CCE ビットに“1”を書いたとき

22.2.31 ノイズフィルタコントロールレジスタ (NFCR)

- MTU0.NFCR, MTU1.NFCR, MTU2.NFCR, MTU3.NFCR, MTU4.NFCR

アドレス MTU0.NFCR 000D 0A90h, MTU1.NFCR 000D 0A91h, MTU2.NFCR 000D 0A92h, MTU3.NFCR 000D 0A93h, MTU4.NFCR 000D 0A94h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTIOCnA 端子のノイズフィルタは無効 1 : MTIOCnA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTIOCnB 端子のノイズフィルタは無効 1 : MTIOCnB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット (注1)	0 : MTIOCnC 端子のノイズフィルタは無効 1 : MTIOCnC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット (注1)	0 : MTIOCnD 端子のノイズフィルタは無効 1 : MTIOCnD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. MTU1、MTU2では予約ビットになります。読むと“0”が読めます。書き込み値は無効です。

MTU_n.NFCR レジスタ (n = 0 ~ 4) は、MTIOC_{nm} 端子 (n = 0 ~ 4, m = A ~ D) のノイズフィルタの有効/無効、ノイズフィルタのサンプリングクロックを設定するレジスタです。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットを“0000b”(ノーマルモード)以外に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットを“0000b”(ノーマルモード)以外に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットを“0000b”(ノーマルモード)以外に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOCnD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットを “0000b” (ノーマルモード) 以外に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定します。NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。NFCS[1:0] ビットを “11b” に設定しカウントソースを外部クロックとした場合、NFCS[1:0] ビット設定後外部クロックを 2 回入力した後インプットキャプチャ機能に設定してください。

- MTU5.NFCR

アドレス MTU5.NFCR 000D 0A95h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	—	NFWEN	NFVEN	NFUEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタ U 許可ビット	0 : MTIC5U 端子のノイズフィルタは無効 1 : MTIC5U 端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタ V 許可ビット	0 : MTIC5V 端子のノイズフィルタは無効 1 : MTIC5V 端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタ W 許可ビット	0 : MTIC5W 端子のノイズフィルタは無効 1 : MTIC5W 端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU5.NFCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。MTU5.NFCR レジスタは、MTIC5m 端子のノイズフィルタの有効 / 無効を制御します。また、ノイズフィルタのサンプリングクロックを設定します。(m = U, V, W)

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。NFUEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFUEN ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。NFVEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFVEN ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。NFWEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFWEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

22.2.32 バスマスタとのインタフェース

TCNT カウンタ、TGR レジスタ、TCNTS カウンタ、TCBR レジスタ、TDDR レジスタ、TCDR レジスタ、TADCR レジスタ、TADCORA/TADCORB レジスタ、および TADCOBRA/TADCOBRB レジスタは 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し / 書き込みを行ってください。

22.3 動作説明

22.3.1 基本動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR.CST0 ～ CST4 ビット、MTU5.TSTR.CSTU5, CSTV5, CSTW5 ビットを“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a) カウント動作の設定手順例

カウント動作設定手順例を図 22.4 に示します。

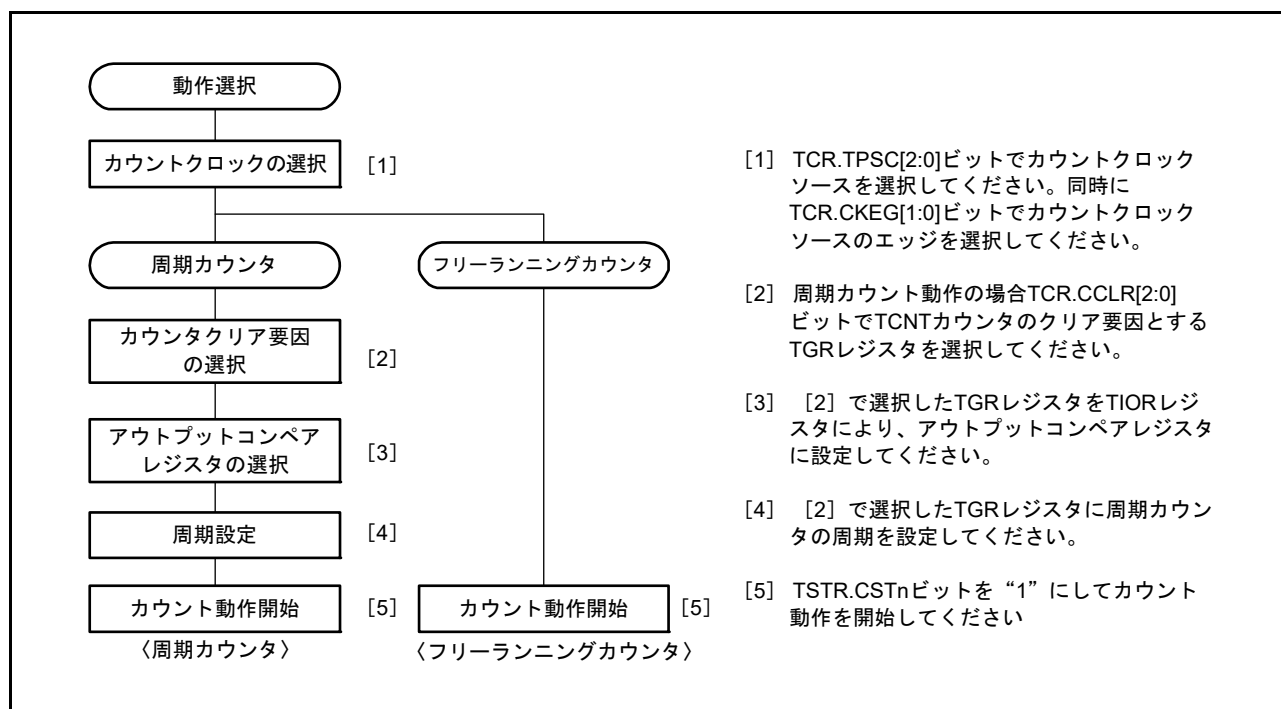


図 22.4 カウント動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU の TCNT カウンタは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR レジスタの対応する CSTn ビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT カウンタがオーバーフロー (“FFFFh” → “0000h”) すると、対応する TIER.TCIEV ビットが“1”ならば、MTU は割り込みを要求します。TCNT カウンタはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 22.5 に示します。

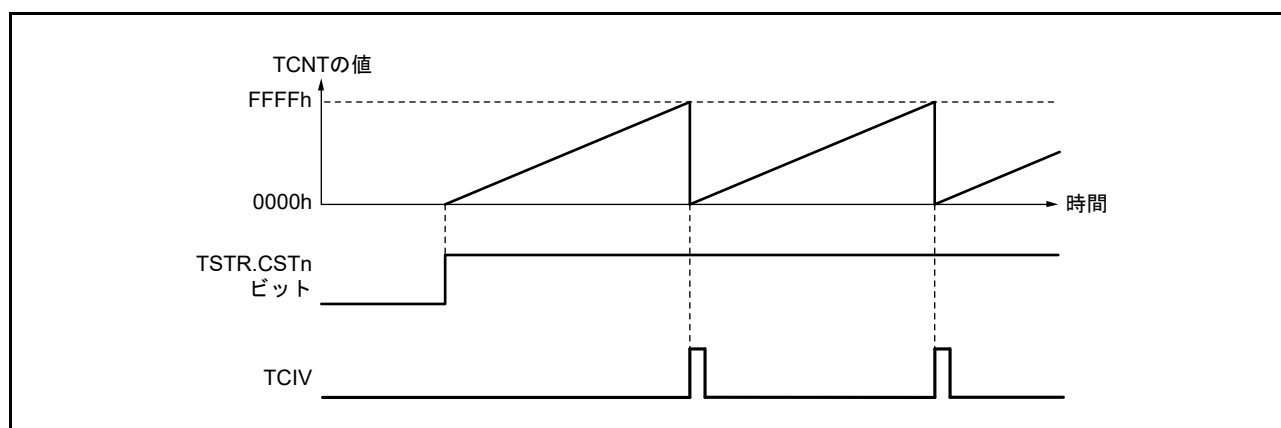


図 22.5 フリーランニングカウンタの動作

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT カウンタは周期カウンタ動作を行います。周期設定用の TGR レジスタをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR レジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR レジスタの値と一致すると、TCNT カウンタは“0000h”になります。

このとき対応する TIER.TGIE ビットが“1”ならば、MTU は割り込みを要求します。TCNT カウンタはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図 22.6 に示します。

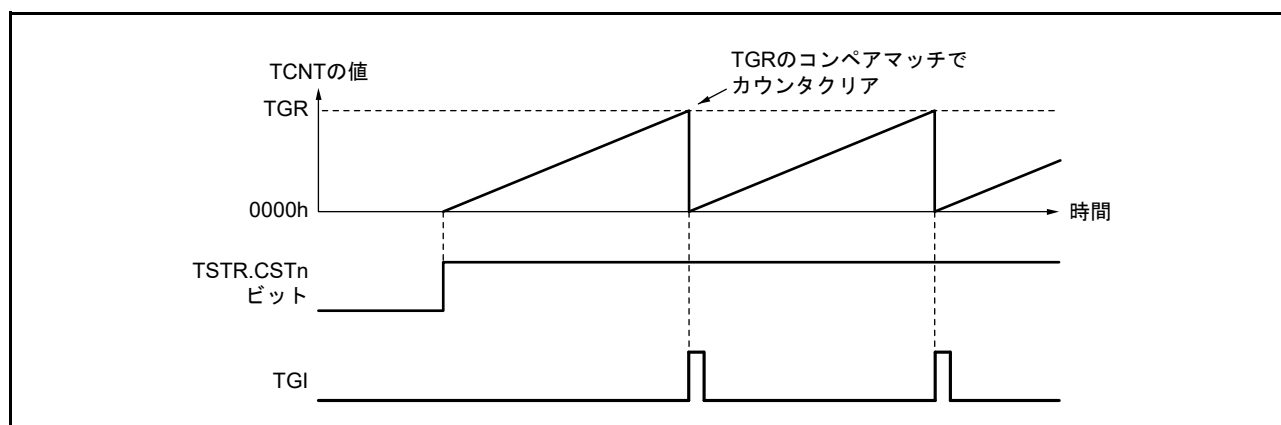


図 22.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU は、コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 22.7 に示します。

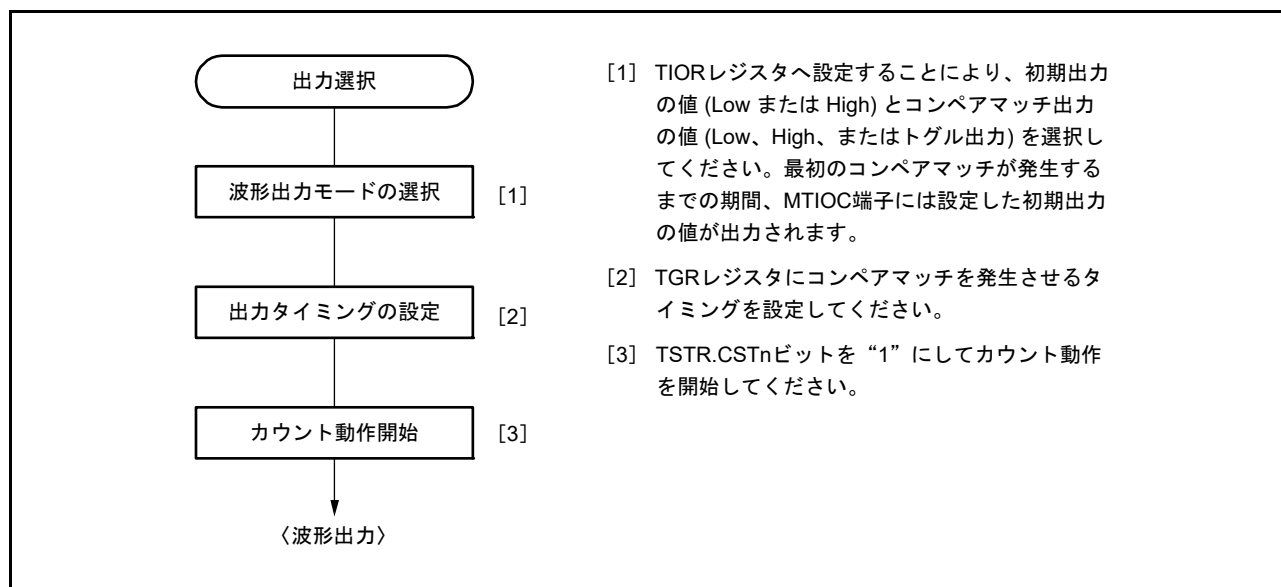
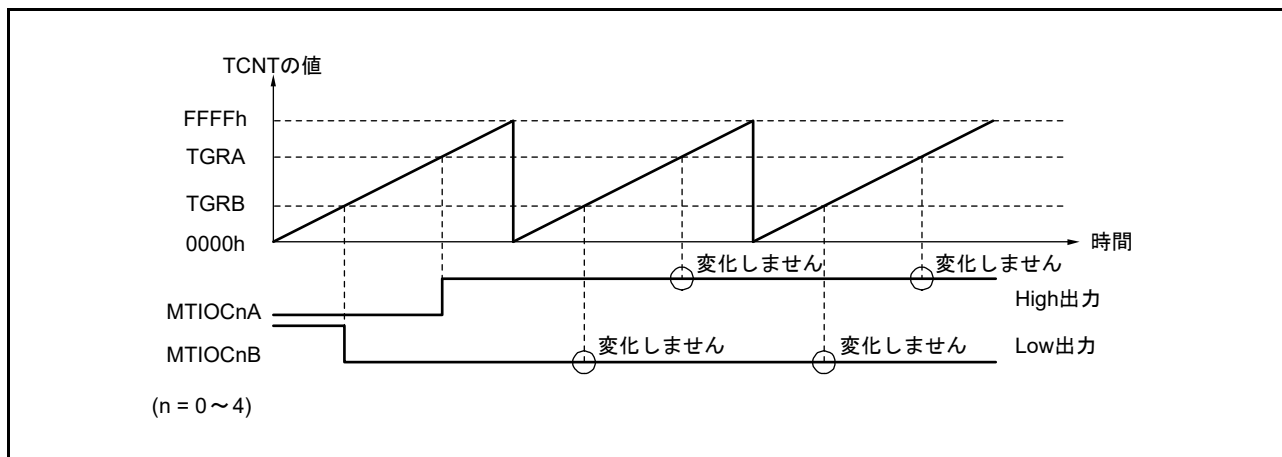


図 22.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

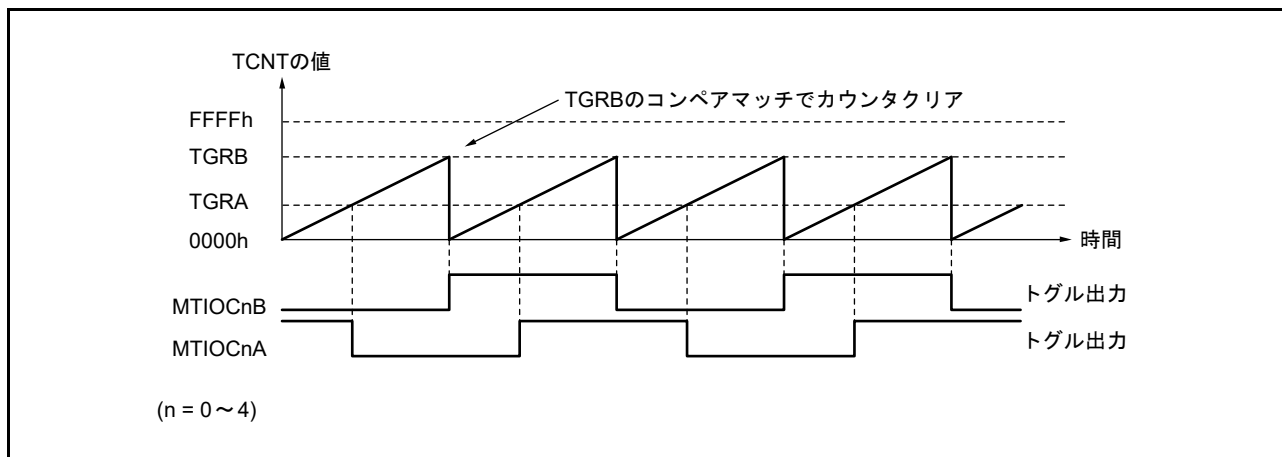
Low 出力 / High 出力例を図 22.8 に示します。

TCNT カウンタをフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。



トグル出力の例を図 22.9 に示します。

TCNT カウンタを周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。



(3) インพุットキャプチャ機能

MTIOCnm 端子 ($n = 0 \sim 4$, $m = A \sim D$)、および MTIC5m 端子 ($m = W, V, U$) の入力エッジを検出して TCNT カウンタの値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 22.10 に示します。

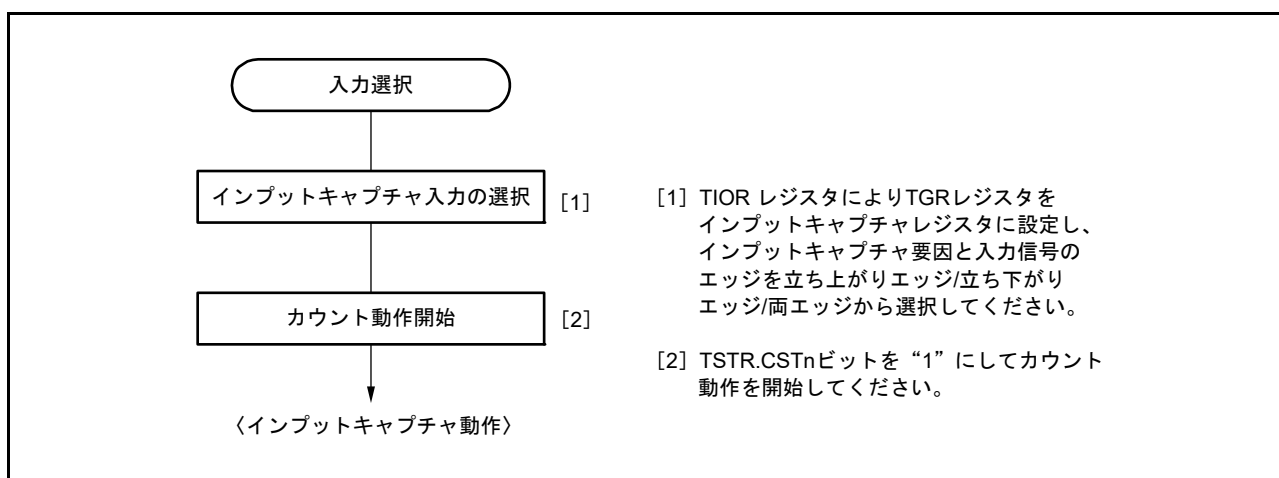


図 22.10 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 22.11 に示します。

MTIOCnA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また MTIOCnB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

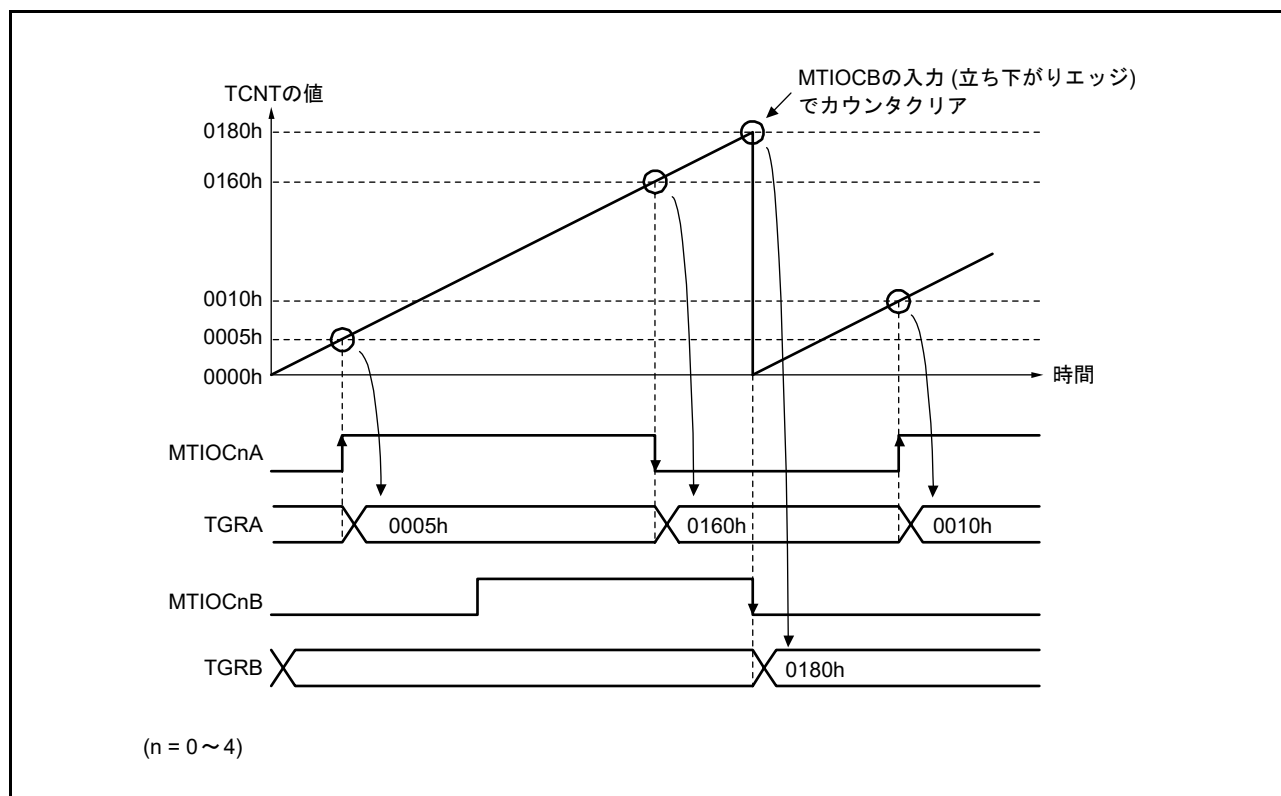


図 22.11 インพุットキャプチャ動作例

22.3.2 同期動作

同期動作は、複数の TCNT カウンタの値を同時に書き換えることができます（同期セット）。また、TCR の設定により複数の TCNT カウンタを同時にクリアすることができます（同期クリア）。

同期動作により、1 つのタイムベースに対して動作する TGR レジスタの本数を増加することができます。

MTU0 ～ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 22.12 に示します。

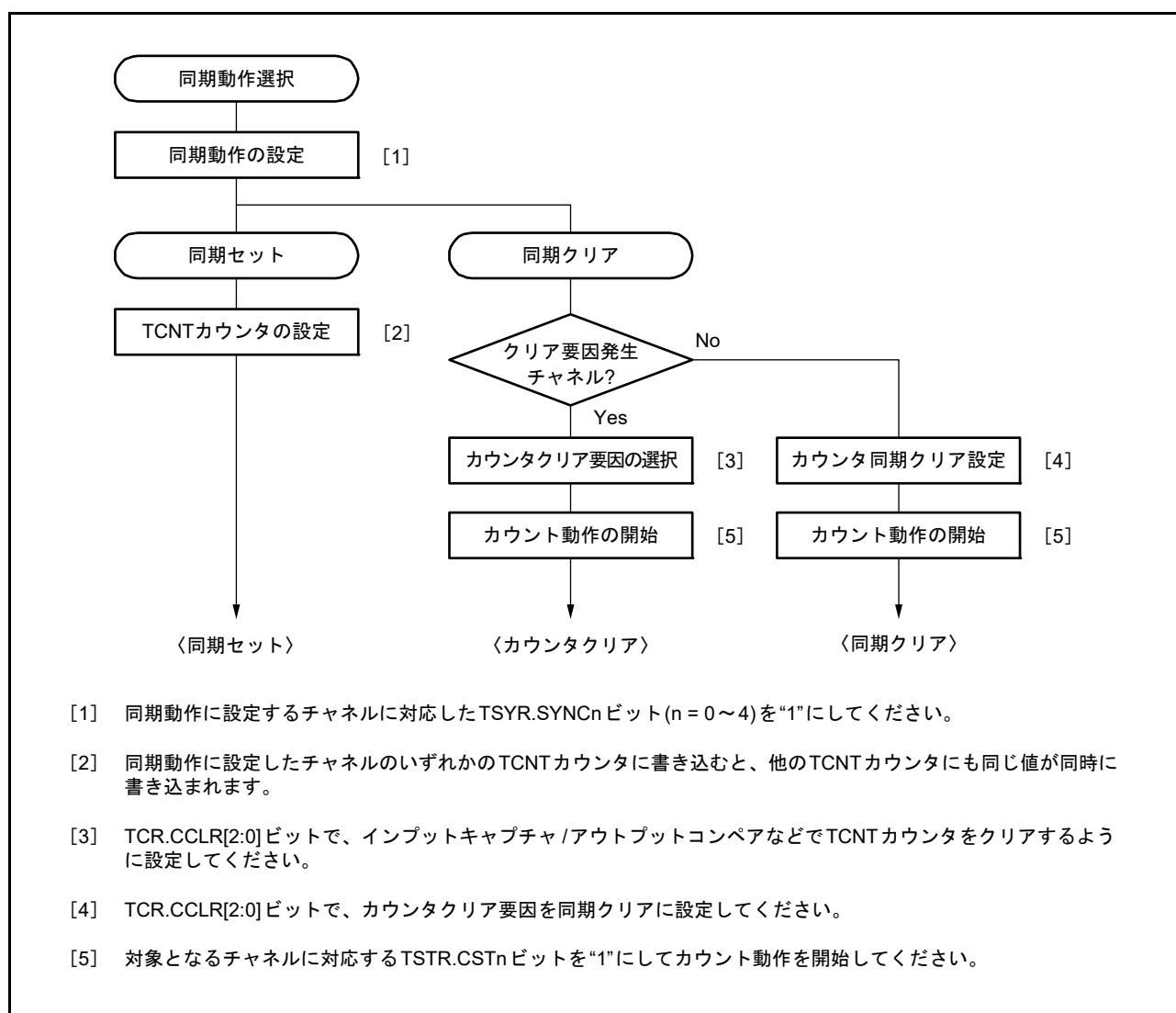


図 22.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 22.13 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB レジスタのコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT カウンタは同期セット、MTU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、MTU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「22.3.5 PWM モード」を参照してください。

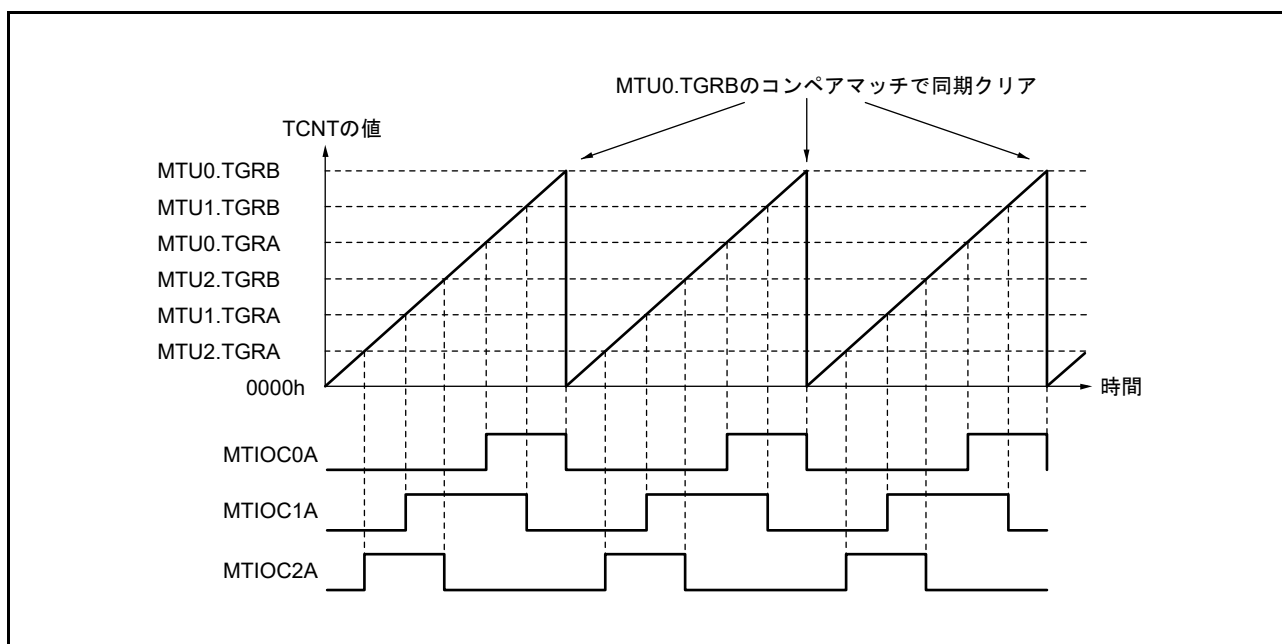


図 22.13 同期動作の動作例

22.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC レジスタと TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF レジスタもバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE レジスタはインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 22.43 にバッファ動作時のレジスタの組み合わせを示します。

表 22.43 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 22.14 に示します。

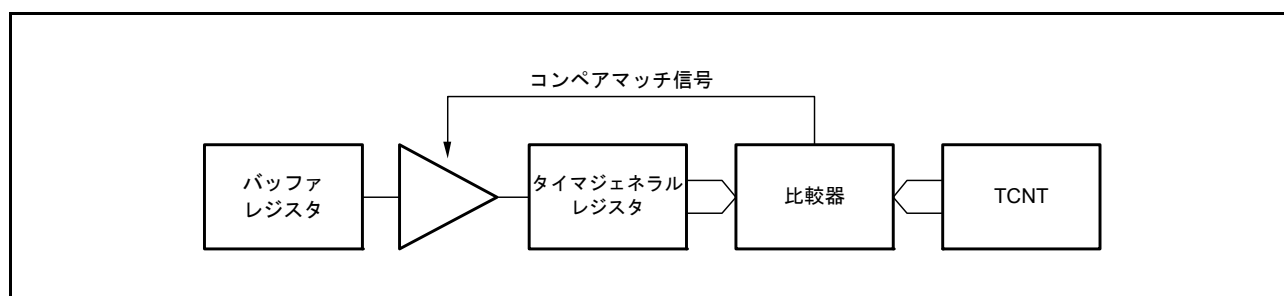


図 22.14 コンペアマッチバッファ動作

- TGR レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT カウンタの値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 22.15 に示します。

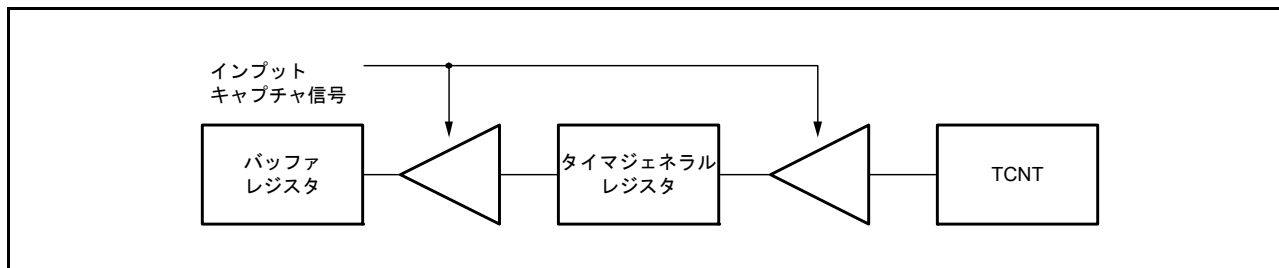


図 22.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 22.16 に示します。

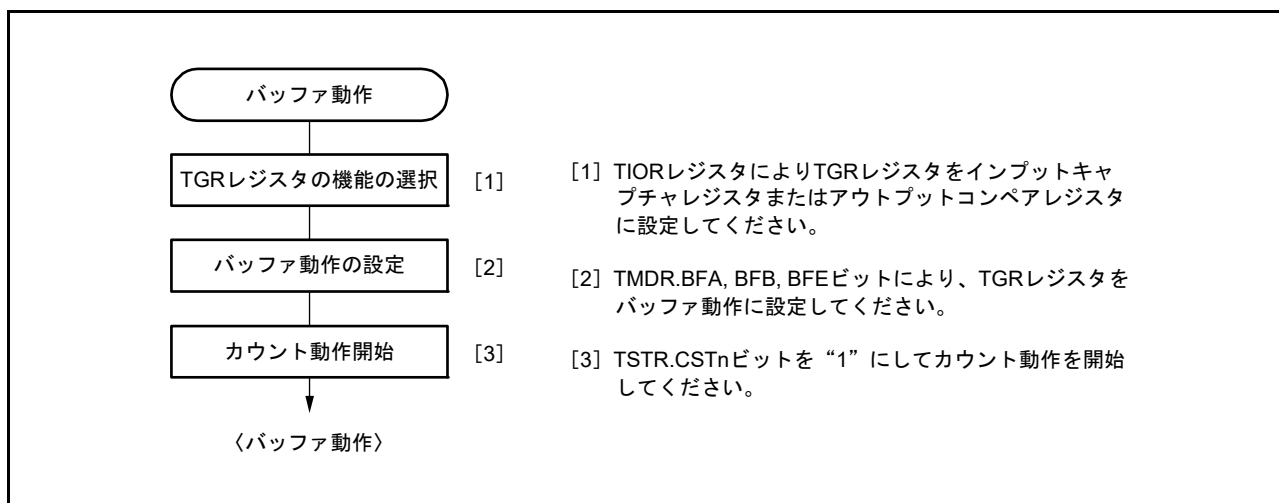


図 22.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR レジスタがアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定した場合の動作例を図 22.17 に示します。TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは“0”に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「22.3.5 PWM モード」を参照してください。

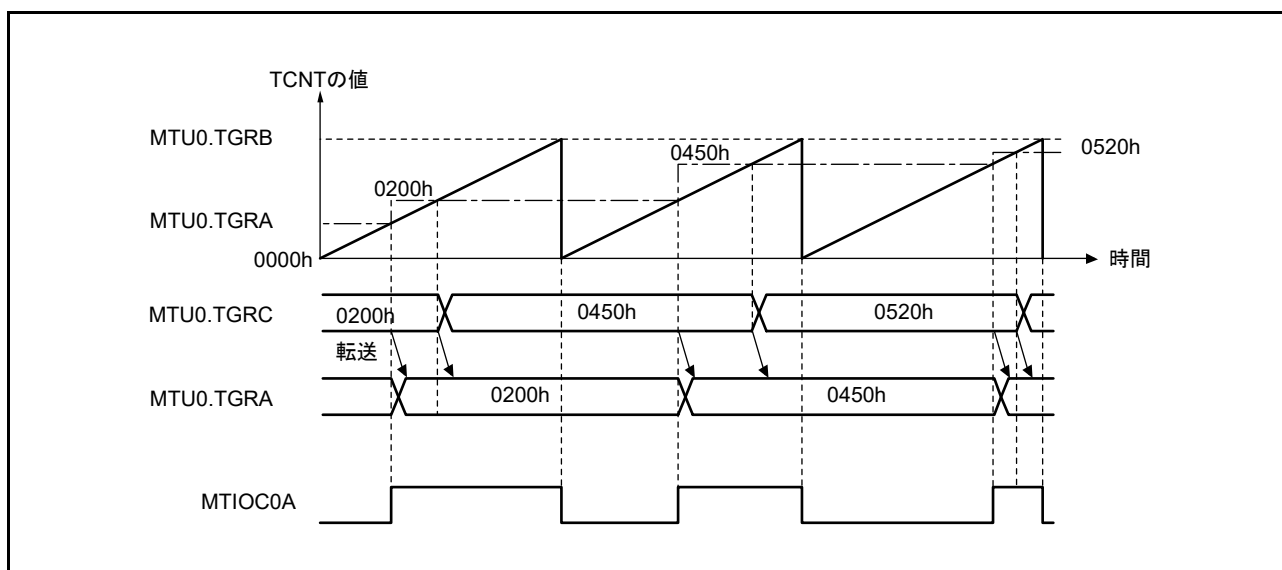


図 22.17 バッファ動作例 (1)

(b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定したときの動作例を図 22.18 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、MTIOcNA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに転送されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

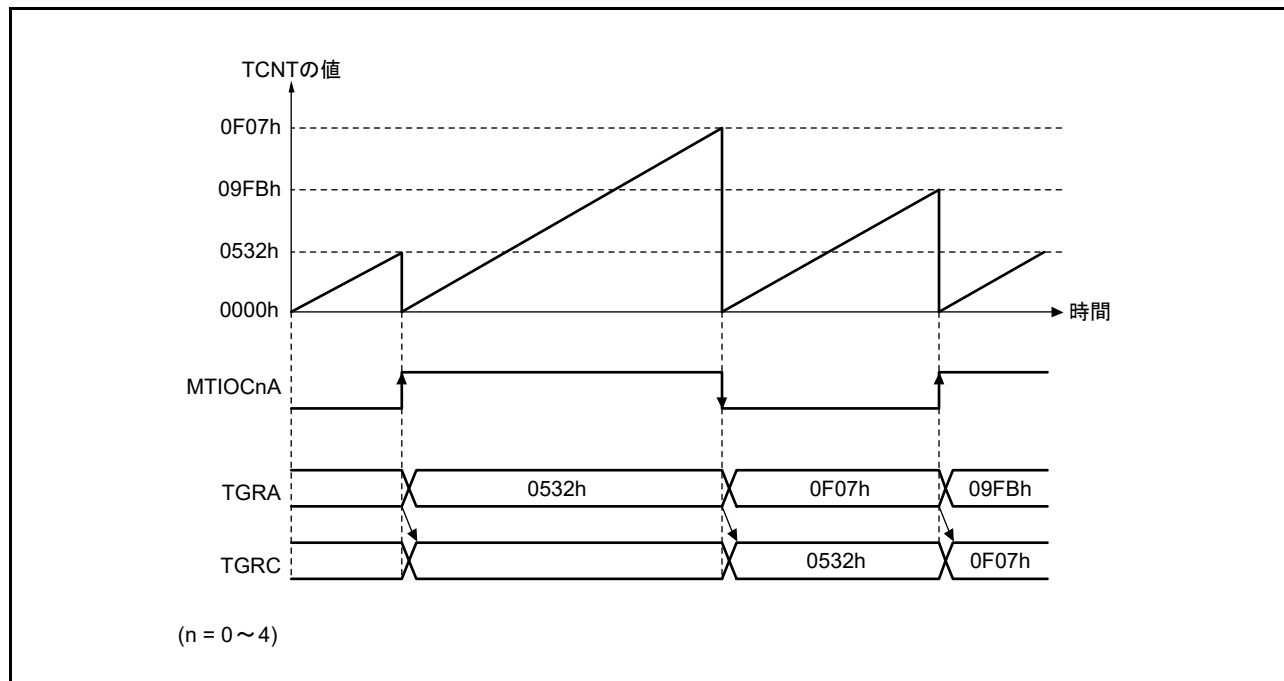


図 22.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

MTU0.TBTM, MTU3.TBTM, MTU4.TBTM レジスタを設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT カウンタクリア時のいずれか一方です。ここで TCNT カウンタのクリア時とは次の条件のいずれかが成立したときです。

- TCNT カウンタがオーバーフローしたとき（“FFFFh” → “0000h”）
- カウンタの動作中、TCNT カウンタに “0000h” が書き込まれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT カウンタが “0000h” になったとき

注． TBTM レジスタの設定は TCNT カウンタが停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA レジスタと MTU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 22.19 に示します。MTU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” に設定しています。

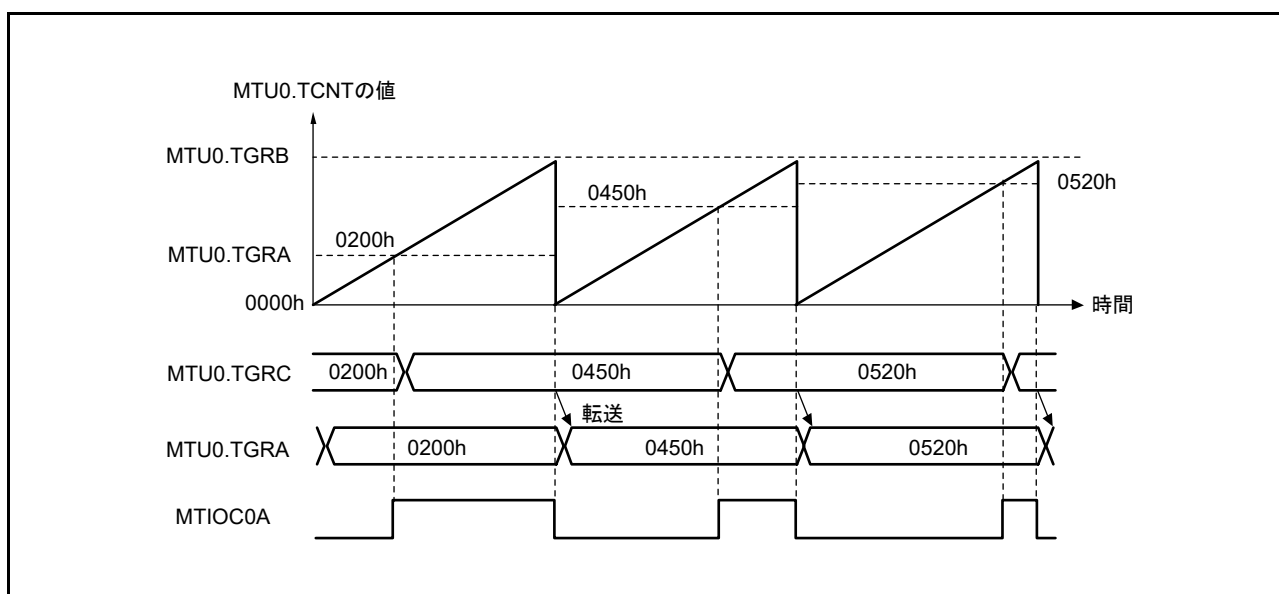


図 22.19 MTU0.TGRC レジスタから MTU0.TGRA レジスタのバッファ転送タイミングを MTU0.TCNT カウンタクリア時に選択した場合の動作例

22.3.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、MTU1 のカウントクロックを TCR.TPSC[2:0] ビットで “111b” (MTU2.TCNT のオーバフロー / アンダフローでカウント) に設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT カウンタが位相計数モードのときのみです。

表 22.44 にカスケード接続の組み合わせを示します。

注. MTU1、MTU2 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 22.44 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
MTU1 と MTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNT カウンタと MTU2.TCNT カウンタの同時インプットキャプチャをする場合、TICCR レジスタで設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和をとった信号に対して行われます。したがって、いずれか一方が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は、「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「22.6.22 カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時インプットキャプチャ」を参照してください。

TICCR レジスタ設定値とインプットキャプチャ入力端子の対応を表 22.45 に示します。

表 22.45 TICCR レジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR レジスタ設定値	インプットキャプチャ入力端子
MTU1.TCNT から MTU1.TGRA へのインプットキャプチャ	I2AE ビット = 0 (初期値)	MTIOC1A
	I2AE ビット = 1	MTIOC1A, MTIOC2A
MTU1.TCNT から MTU1.TGRB へのインプットキャプチャ	I2BE ビット = 0 (初期値)	MTIOC1B
	I2BE ビット = 1	MTIOC1B, MTIOC2B
MTU2.TCNT から MTU2.TGRA へのインプットキャプチャ	I1AE ビット = 0 (初期値)	MTIOC2A
	I1AE ビット = 1	MTIOC2A, MTIOC1A
MTU2.TCNT から MTU2.TGRB へのインプットキャプチャ	I1BE ビット = 0 (初期値)	MTIOC2B
	I1BE ビット = 1	MTIOC2B, MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 22.20 に示します。

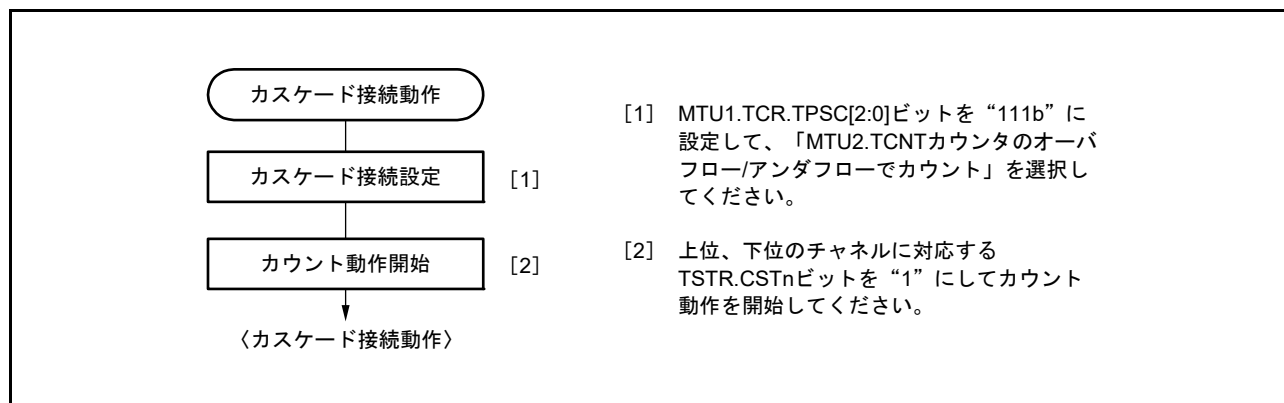


図 22.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 22.21 に示します。

MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフローでアップカウント、MTU2.TCNT カウンタのアンダフローでダウンカウントされます。

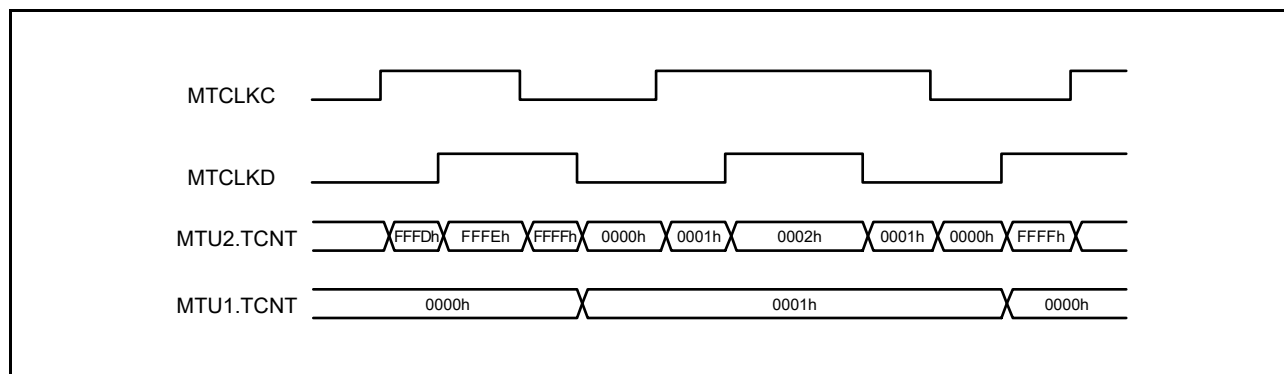


図 22.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 22.22 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA レジスタのインプットキャプチャ条件に設定されます。また、MTU2.TGRA レジスタのインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

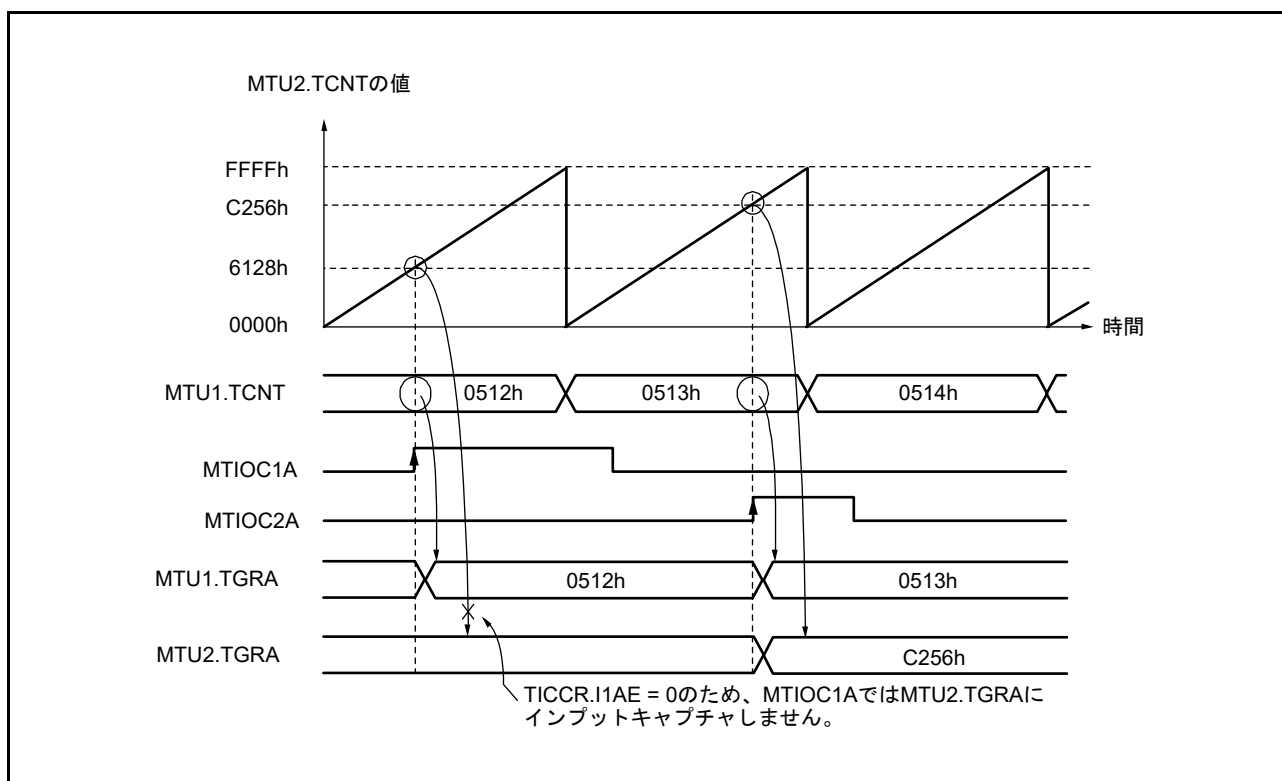


図 22.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE に “1” を設定して、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 22.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビット、MTU2.TIOR.IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA レジスタおよび MTU2.TGRA レジスタのインプットキャプチャ条件となります。

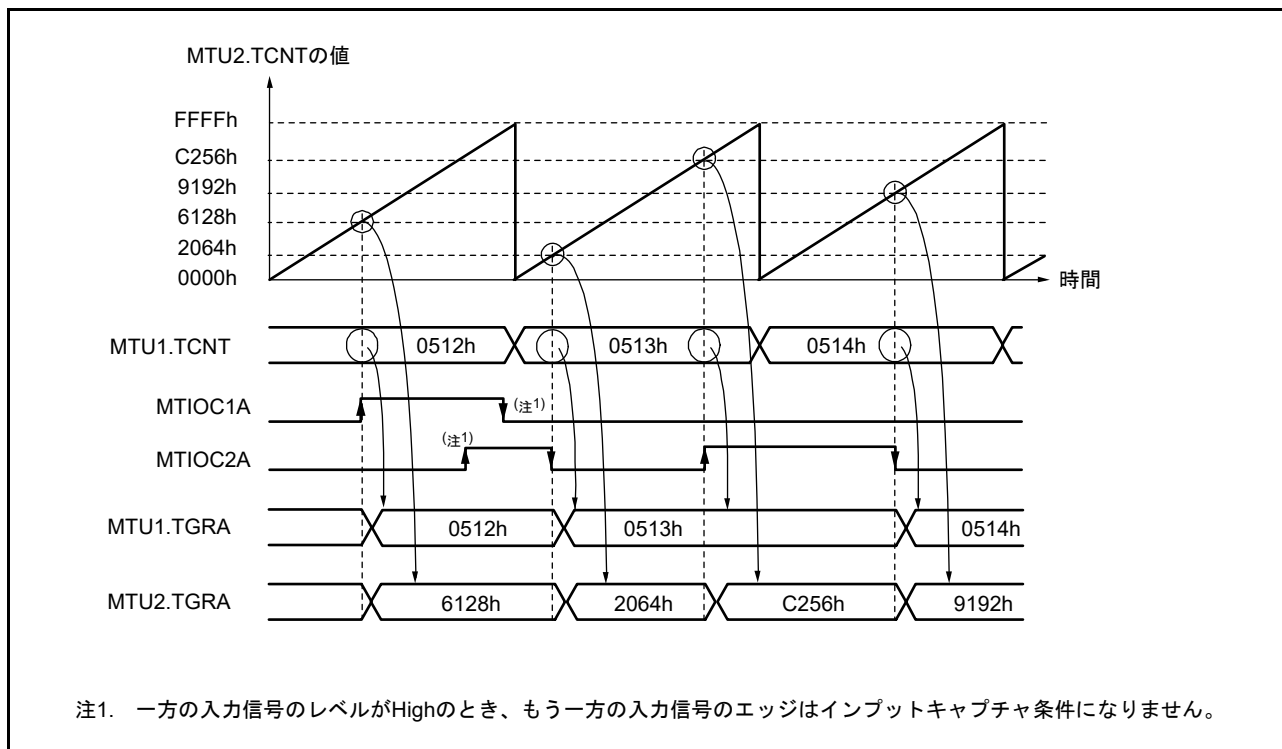


図 22.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 22.24 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA レジスタのインプットキャプチャ条件になることはありません。

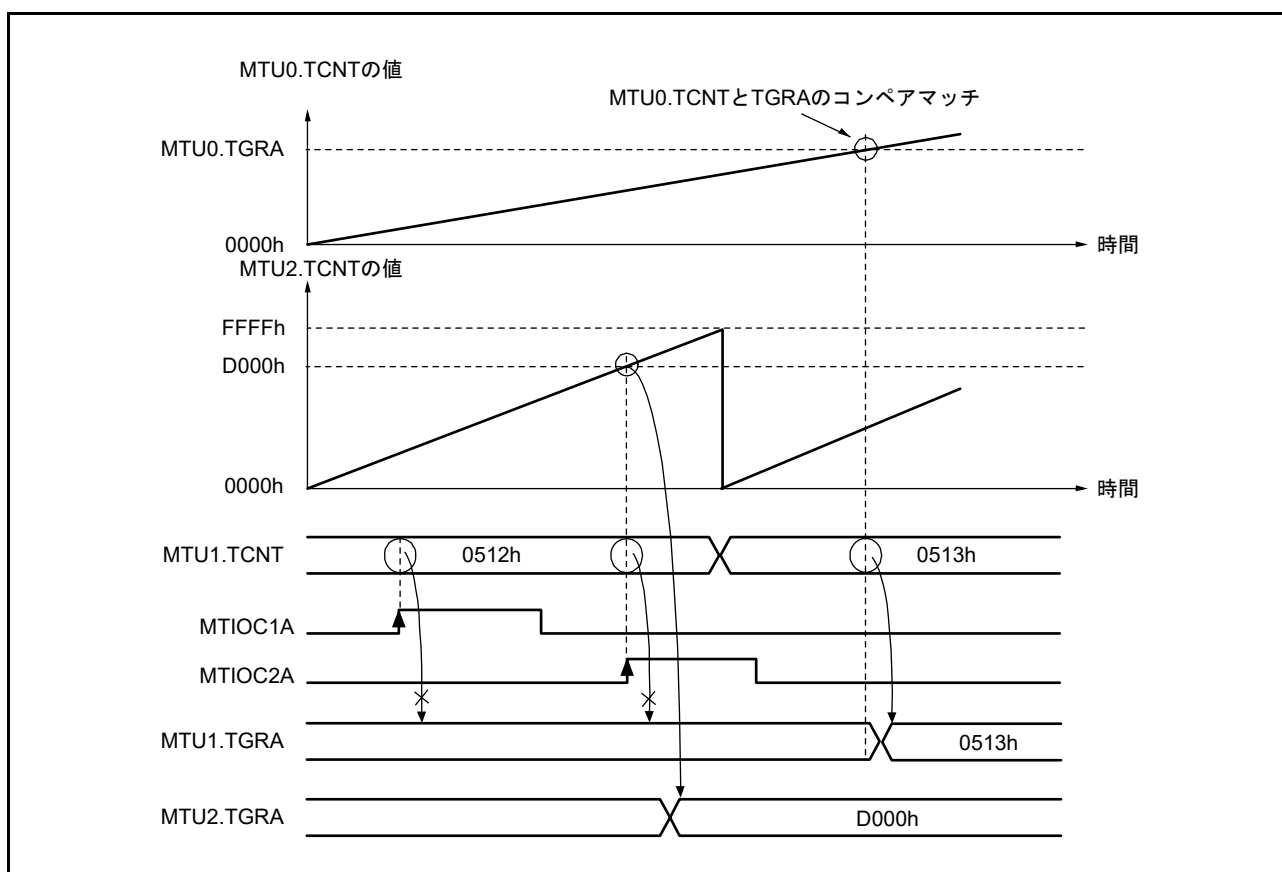


図 22.24 カスケード接続動作例 (d)

22.3.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ～ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB, TGRC レジスタと TGRD レジスタをペアで使用して、MTIOCnA、MTIOCnC 端子から PWM 出力を生成します。MTIOCnA、MTIOCnC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0], IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0], IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA, TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 22.46 に示します。

表 22.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B
MTU3	MTU3.TGRA	MTIOC3A	設定できません
	MTU3.TGRB		
	MTU3.TGRC	MTIOC3C	
	MTU3.TGRD		
MTU4	MTU4.TGRA	MTIOC4A	
	MTU4.TGRB		
	MTU4.TGRC	MTIOC4C	
	MTU4.TGRD		

注. PWM モード 2 のとき、周期を設定した TGR レジスタの PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 22.25 に示します。

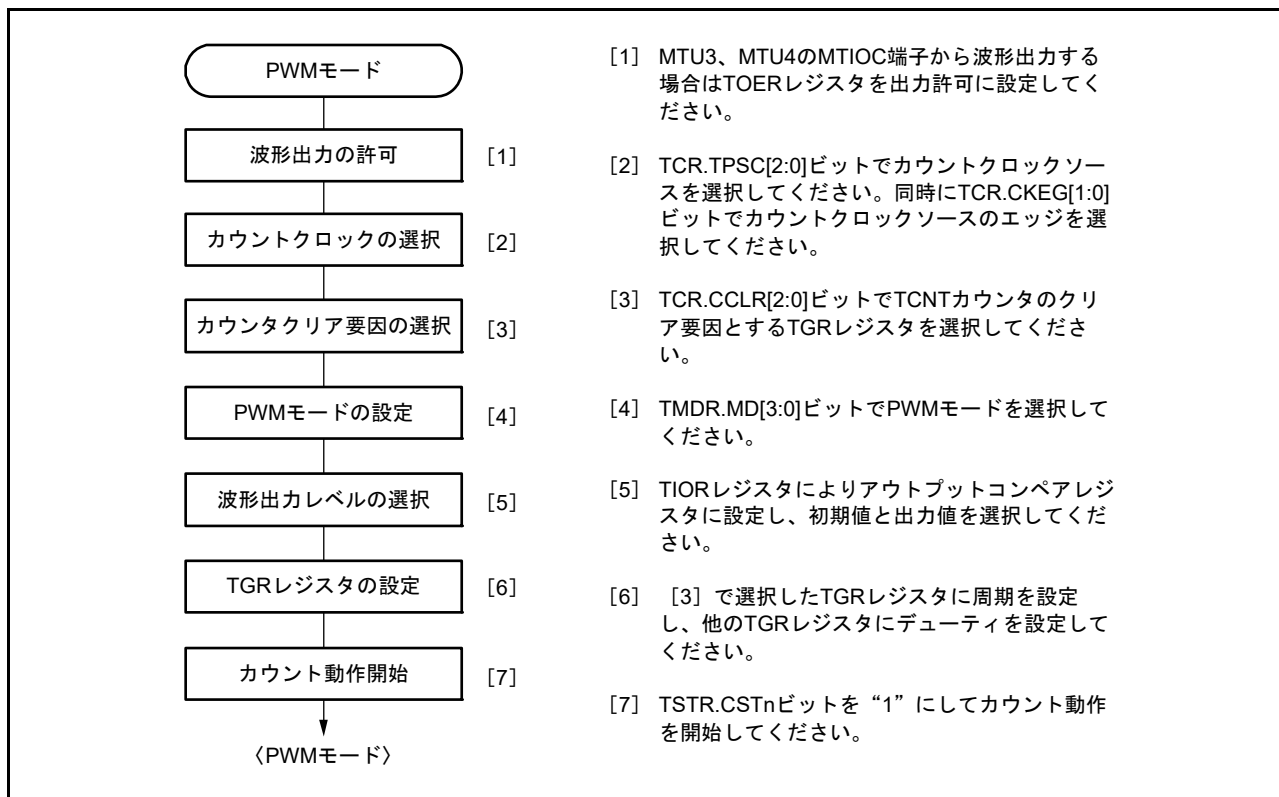


図 22.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 22.26 に示します。

この図は、TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TGRB レジスタの出力値を High に設定した場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティになります。

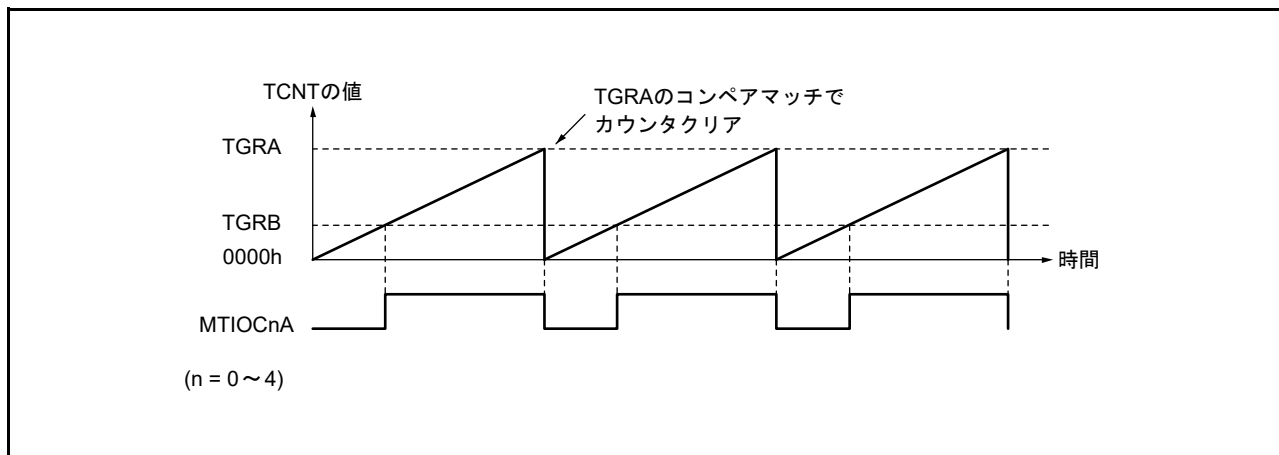


図 22.26 PWM モードの動作例

PWM モード2の動作例を図 22.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT カウンタのクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD, MTU1.TGRA) の初期出力値を Low、出力値を High に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

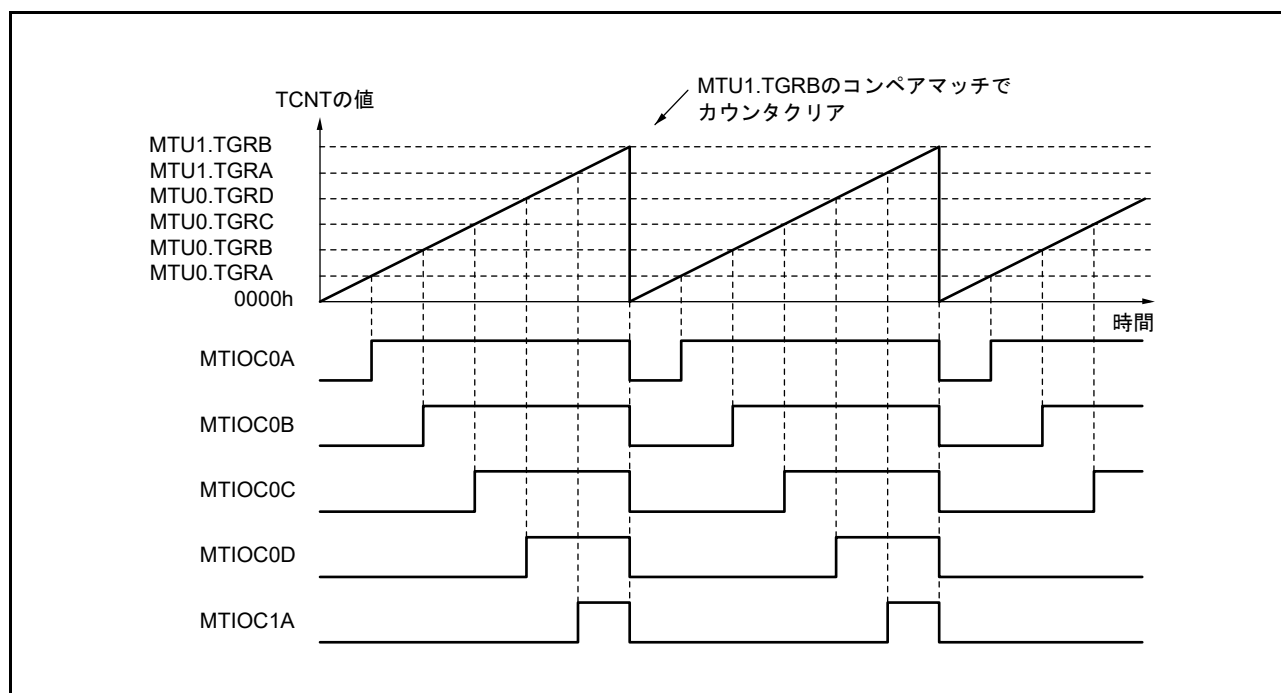


図 22.27 PWM モードの動作例

PWM モード1で、デューティ比0%、デューティ比100%のPWM波形を出力する例を図22.28に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

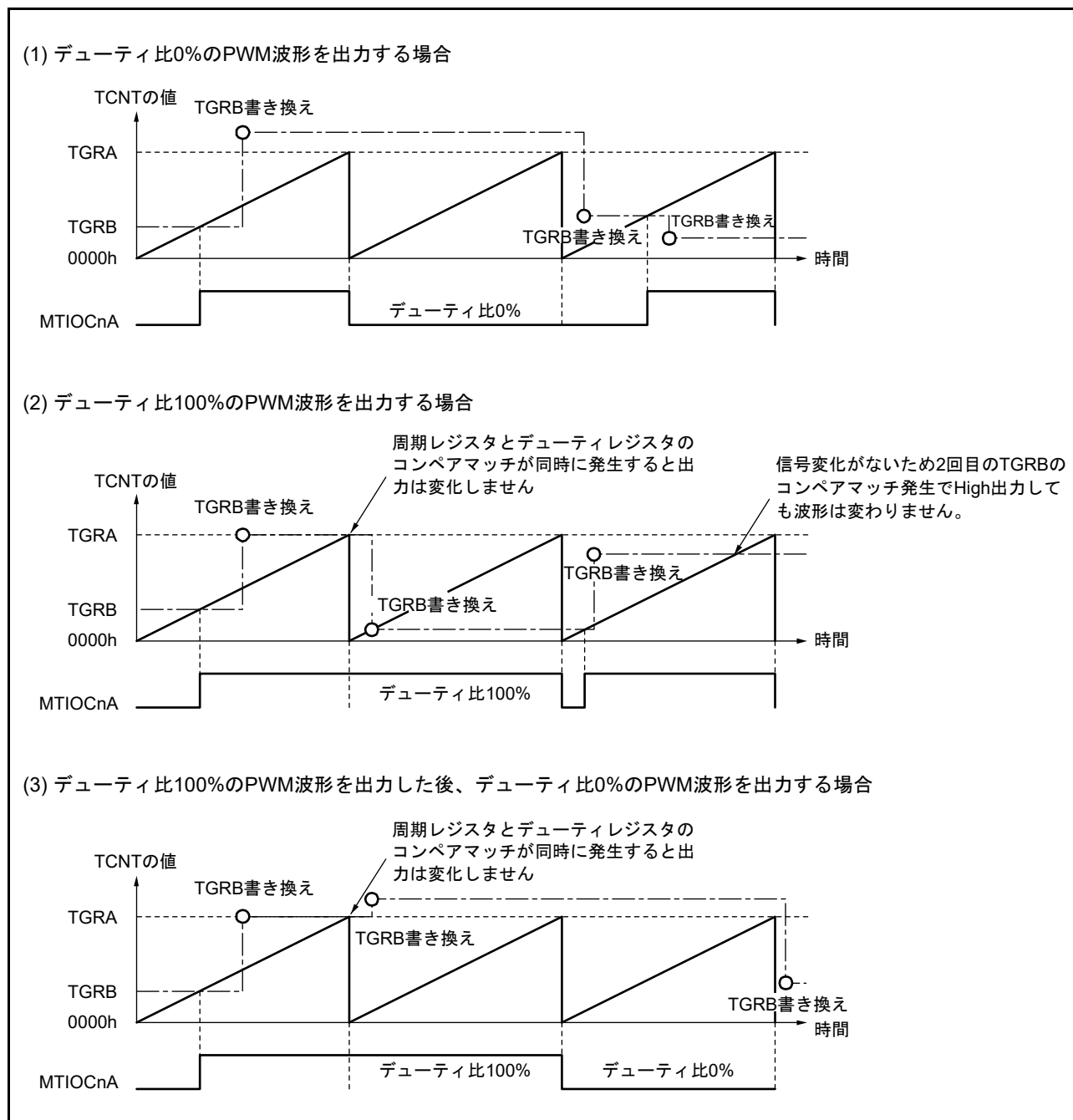


図 22.28 PWM モード動作例 (デューティ 0%、デューティ 100% の PWM 波形を出力する例)
($n = 0 \sim 4$)

22.3.6 位相計数モード

位相計数モードに設定すると、TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウントクロックには外部クロックが選択され、TCNT カウンタはアップカウンタ / ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0] ビット、TIOR, TIER, TGR レジスタの機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生すると、対応する TIER.TCIEV ビットが“1” ならば、TCIV 割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応する TIER.TCIEU ビットが“1” ならば TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグの読み出しにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を 2 相エンコーダパルスの入力端子として使用できます。表 22.47 に外部クロック端子とチャンネルの対応を示します。

表 22.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 22.29 に示します。

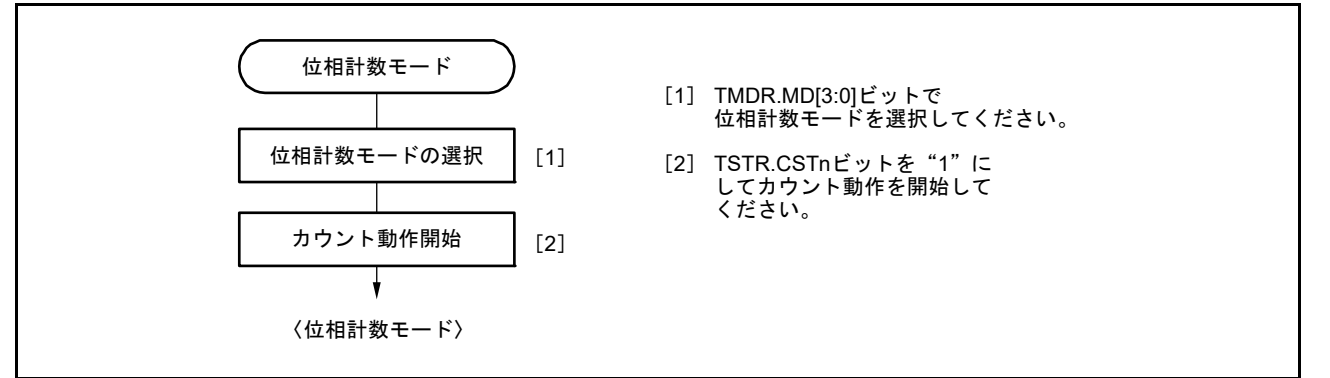


図 22.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT カウンタがアップカウント / ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 22.30 に、TCNT カウンタのアップカウント / ダウンカウント条件を表 22.48 に示します。

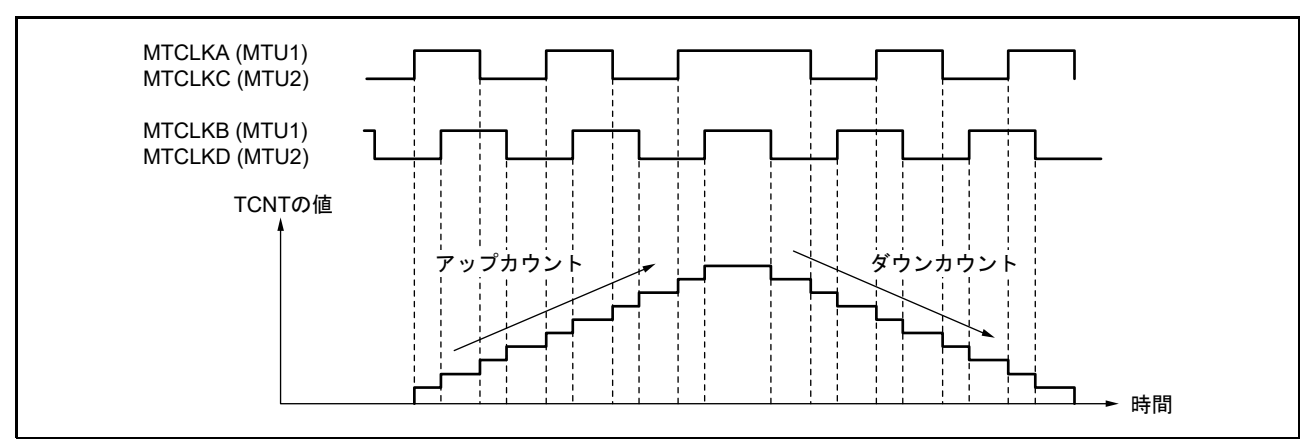


図 22.30 位相計数モード 1 の動作例

表 22.48 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		アップカウント
Low		
	Low	
	High	
High		ダウンカウント
Low		
	High	
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 22.31 に、TCNT カウンタのアップカウント / ダウンカウント条件を表 22.49 に示します。

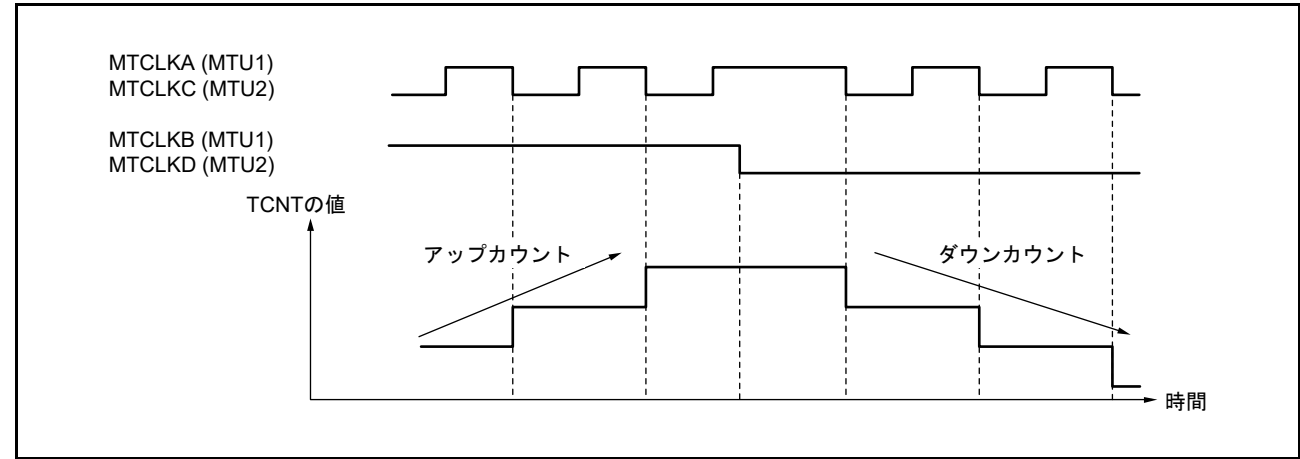


図 22.31 位相計数モード 2 の動作例

表 22.49 位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	Low	カウントしない (Don't care)
	High	アップカウント
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	High	カウントしない (Don't care)
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 22.32 に、TCNT カウンタのアップカウント / ダウンカウント条件を表 22.50 に示します。

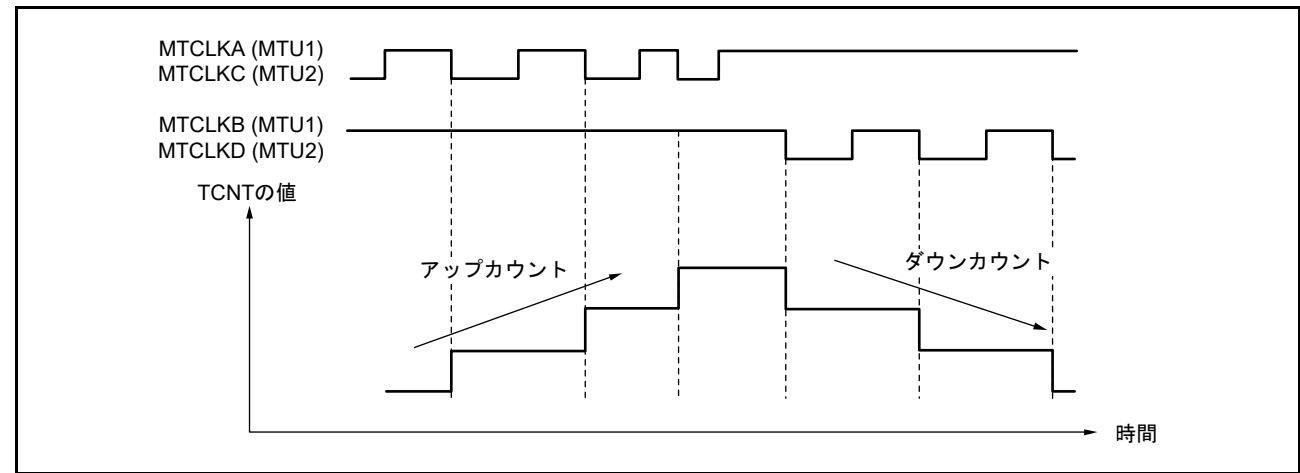


図 22.32 位相計数モード 3 の動作例

表 22.50 位相計数モード 3 のアップカウント / ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	Low	カウントしない (Don't care)
	High	アップカウント
High		ダウンカウント
Low		カウントしない (Don't care)
	High	カウントしない (Don't care)
	Low	カウントしない (Don't care)

: 立ち上がりエッジ
 : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 22.33 に、TCNT カウンタのアップカウント / ダウンカウント条件を表 22.51 に示します。

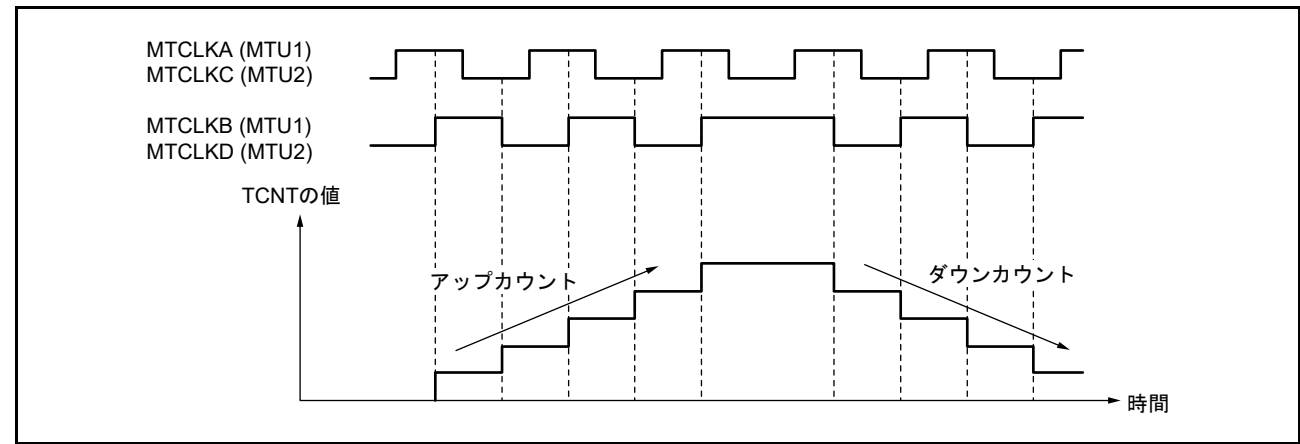


図 22.33 位相計数モード 4 の動作例

表 22.51 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		アップカウント
Low		
	Low	カウントしない (Don't care)
	High	
High		ダウンカウント
Low		
	High	カウントしない (Don't care)
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 22.34 に示します。

MTU1 は位相計数モード 1 に設定し、MTCLKA と MTCLKB にエンコーダパルスの A 相、B 相を入力します。

MTU0.TCNT カウンタを MTU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA レジスタと MTU0.TGRC レジスタはコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。MTU0.TGRB レジスタは入力キャプチャ機能で使用する、MTU0.TGRB レジスタと MTU0.TGRD レジスタをバッファ動作させます。MTU0.TGRB レジスタの入力キャプチャ要因は、MTU1 のカウントクロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

MTU1.TGRA レジスタと MTU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0.TGRA レジスタと MTU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウンタ / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

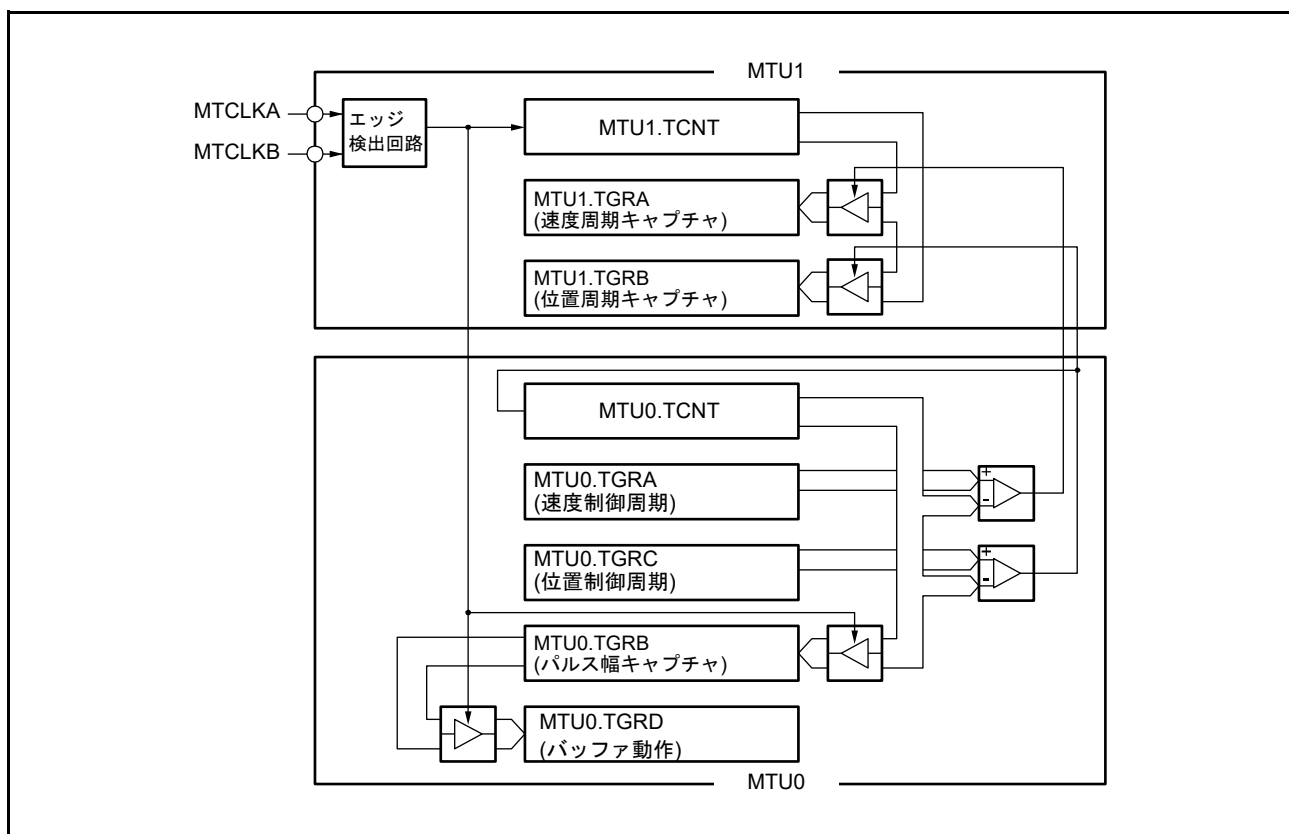


図 22.34 位相計数モードの応用例

22.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、および MTIOC4D 端子は PWM 出力端子となり、MTU3.TCNT カウンタはアップカウンタとして機能します。

PWM 出力端子を表 22.52 に、レジスタの設定を表 22.53 に示します。

表 22.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形）

表 22.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h" を初期設定
MTU4.TCNT	"0000h" を初期設定
MTU3.TGRA	MTU3.TCNT のカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D 端子より出力される PWM 波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C 端子より出力される PWM 波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 22.35 に示します。



図 22.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 22.36 に示します。

リセット同期 PWM モードでは、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップカウンタとして動作します。MTU3.TCNT カウンタが MTU3.TGRA レジスタとコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB レジスタのコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

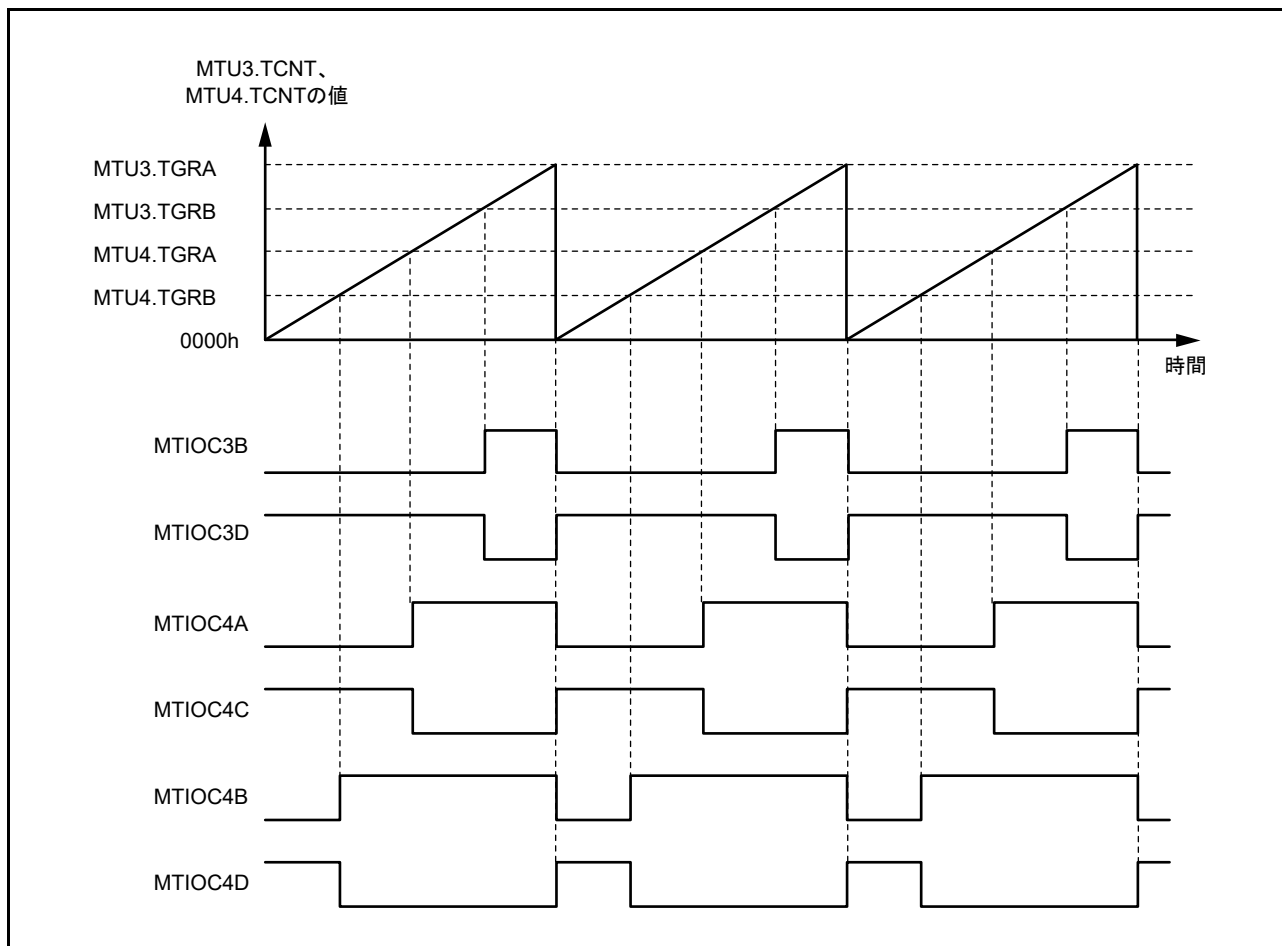


図 22.36 リセット同期 PWM モードの動作例（TOCR1 レジスタの OLSN = 1、OLSP = 1 に設定した場合）

22.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を 6 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT カウンタと MTU4.TCNT カウンタはアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 22.54 に、使用するレジスタの設定を表 22.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 22.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート(注1)
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）

注 1. MTIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 22.55 相補PWMモード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	MTU3.TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRB	PWM出力1のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU3.TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU3.TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
MTU4	MTU4.TCNT	"0000h"を初期設定しカウントアップスタート	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRA	PWM出力2のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRB	PWM出力3のコンペアレジスタ	TRWERレジスタの設定(注1)によりマスク可能
	MTU4.TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	MTU4.TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
タイマデッドタイムデータレジスタ (TDDR)		MTU4.TCNTとMTU3.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERレジスタの設定(注1)によりマスク可能
タイマ周期データレジスタ (TCDR)		MTU4.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERレジスタの設定(注1)によりマスク可能
タイマ周期/バッファレジスタ (TCBR)		TCDRレジスタのバッファレジスタ	読み出し/書き込み可能
サブカウンタ (TCNTS)		デッドタイム生成のためのサブカウンタ	読み出しのみ可能
テンポラリレジスタ1 (TEMP1)		PWM出力1/MTU3.TGRBのテンポラリレジスタ	読み出し/書き込み不可
テンポラリレジスタ2 (TEMP2)		PWM出力2/MTU4.TGRAのテンポラリレジスタ	読み出し/書き込み不可
テンポラリレジスタ3 (TEMP3)		PWM出力3/MTU4.TGRBのテンポラリレジスタ	読み出し/書き込み不可

注1. TRWERレジスタ (タイマリードライト許可レジスタ) の設定によりアクセスの許可/禁止が可能です。

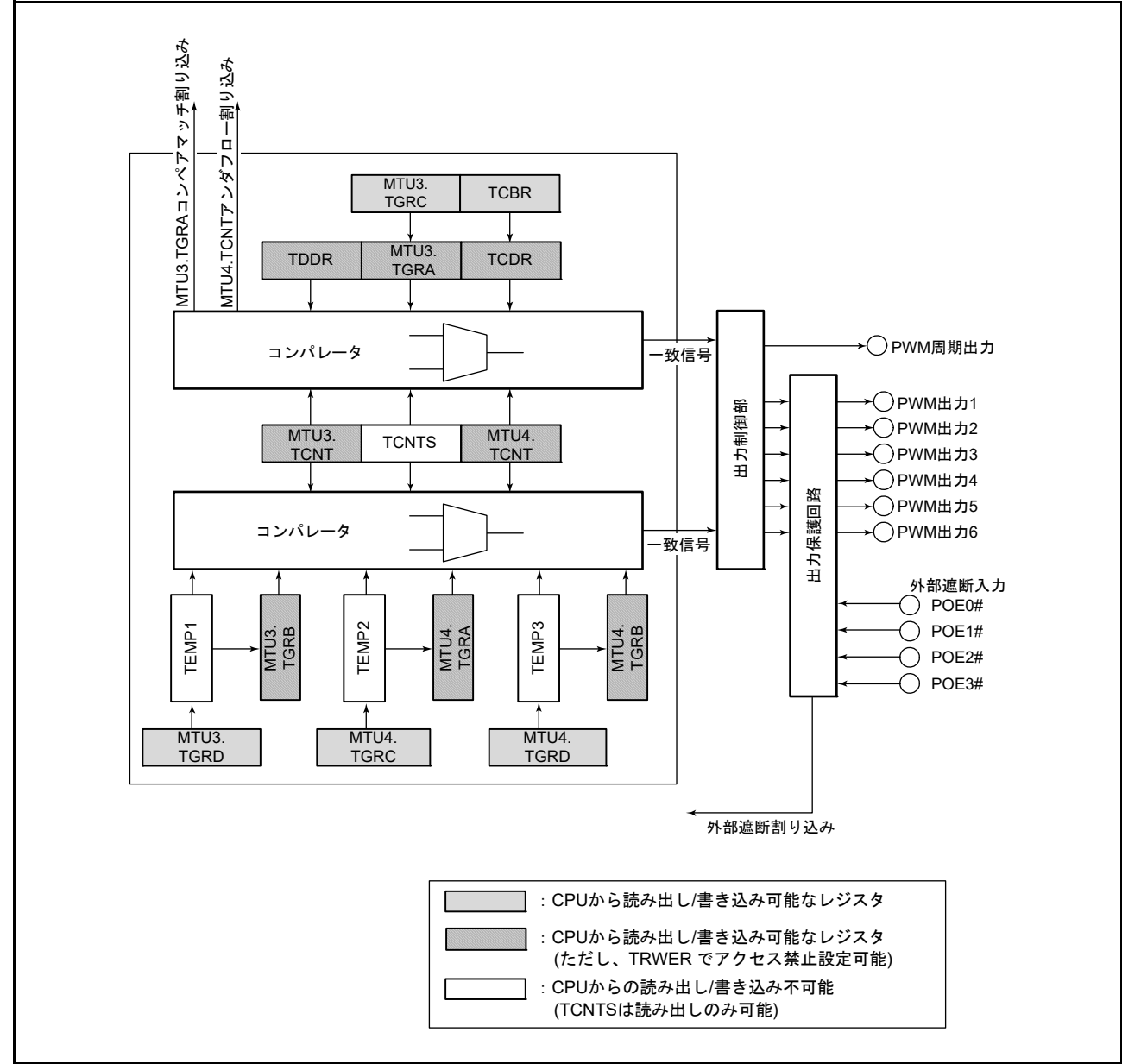


図 22.37 相補 PWM モード時の MTU3、MTU4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 22.38 に示します。



図 22.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相（正相 3 本、逆相 3 本）の PWM 出力が可能です。図 22.39 に相補 PWM モードのカウンタ動作を示します。図 22.40 に相補 PWM モード動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの 3 本のカウンタがアップダウンカウンタ動作を行います。

MTU3.TCNT カウンタは、相補 PWM モードに設定され TSTR.CST3 ビットが“0”のとき、TDDR レジスタに設定された値が自動的に初期値として設定されます。

CST3 ビットが“1”に設定されると、MTU3.TGRA レジスタに設定された値までアップカウント動作を行い、MTU3.TGRA レジスタと一致するとダウンカウントに切り替わります。その後、TDDR レジスタと一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT カウンタには、初期値として“0000h”を設定します。

CST4 ビットが“1”に設定されると、MTU3.TCNT カウンタに同期して動作しアップカウントを行い、TCDR レジスタと一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS カウンタは、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

MTU3 と MTU4 の TCNT カウンタがアップダウンカウント時、MTU3.TCNT カウンタが TCDR レジスタと一致するとダウンカウントを開始し、TCNTS カウンタが TCDR レジスタと一致するとアップカウントに切り替わります。また、MTU3.TGRA レジスタと一致すると“0000h”になります。

MTU3.TCNT、MTU4.TCNT カウンタがダウンカウント時、MTU4.TCNT カウンタが TDDR レジスタと一致するとアップカウントを開始し、TCNTS カウンタが TDDR レジスタと一致するとダウンカウントに切り替わります。また、“0000h”に一致すると TCNTS カウンタは MTU3.TGRA レジスタの値が設定されます。

TCNTS カウンタは、カウンタ動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

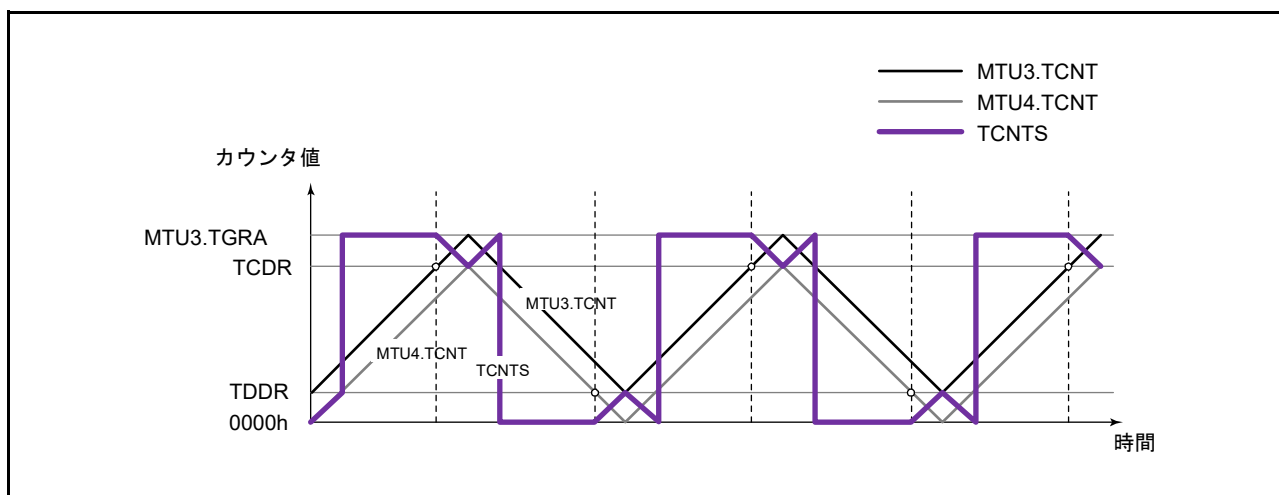


図 22.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用して PWM 出力のデューティ制御を行います。図 22.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB, MTU4.TGRA, MTU4.TGRB レジスタです。これらのレジスタとカウンタが一致すると TOCR1.OLSN, OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD, MTU4.TGRC, MTU4.TGRD レジスタです。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタのデータを書き換える場合は、最後に必ず MTU4.TGRD レジスタへの書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBR レジスタ、MTU3.TGRC レジスタからテンポラリレジスタへの転送も許可されます。転送は 5 本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後、テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTS カウンタがアップカウント時に MTU3.TGRA レジスタと一致したとき)、または Tb2 区間が終了したとき (TCNTS カウンタがダウンカウント時に "0000h" と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、TMDR.MD[3:0] ビットで選択できます。図 22.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 22.40 では Tb2) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタの 3 本、カウンタとコンペアレジスタ、テンポラリレジスタの各 2 本のレジスタが比較され、PWM 出力を制御します。

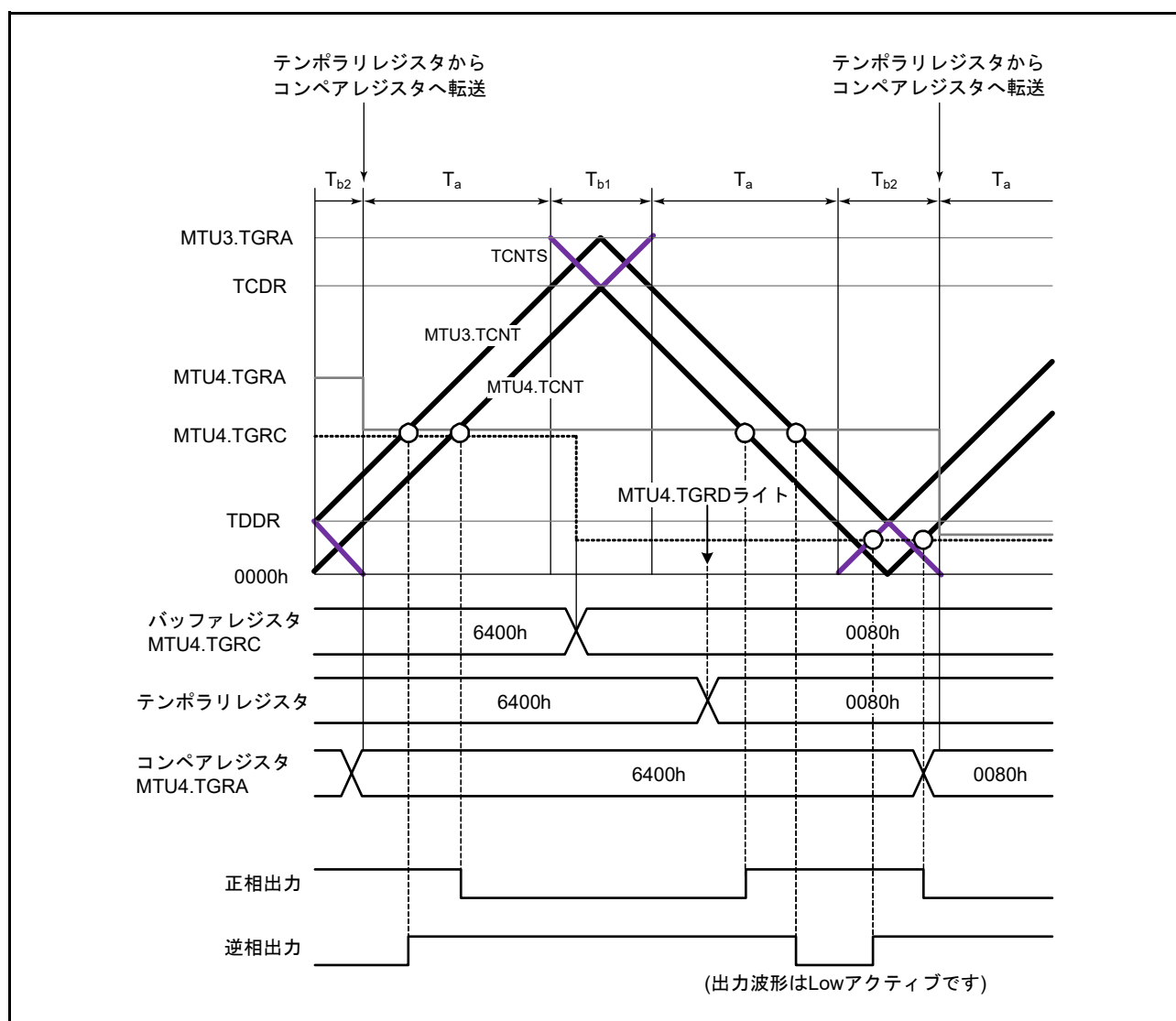


図 22.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

TMDR.MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして動作し、PWM 周期の $1/2 + \text{デッドタイム } T_d$ を設定します。TCBR レジスタは、TCDR レジスタのバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、TDDR レジスタには、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、TDER.TDER ビットを“0”に設定し、MTU3.TGRC, MTU3.TGRA レジスタには、PWM 周期の $1/2 + 1$ を、TDDR レジスタには“1”を設定します。

バッファレジスタ MTU3.TGRD, MTU4.TGRC, MTU4.TGRD レジスタの 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR レジスタを除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT カウンタは、相補 PWM モードに設定する前に“0000h”に設定してください。

表 22.56 初期設定の必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MTU3.TGRC	PWM周期の1/2 + デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合はPWM周期の1/2+1)
TDDR	デッドタイムTd (TDERでデッドタイム生成をなしに設定した場合1)
TCBR	PWM周期の1/2
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD	各相のPWMデューティの初期値
MTU4.TCNT	"0000h"

注. MTU3.TGRCレジスタの設定値は、TCBRレジスタに設定するPWM周期の1/2の値とTDDRレジスタに設定するデッドタイムTdの値の和としてください。ただし、TDERレジスタでデッドタイム生成をなしに設定した場合は、PWM周期の1/2+1としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルを TOCR1.OLSN, OLSP ビット、または、TOCR2.OLS1P ~ OLS3P, OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、TDDR レジスタに設定します。TDDR レジスタに設定した値が、MTU3.TCNT カウンタのカウンタスタート値となり、MTU3.TCNT カウンタと MTU4.TCNT カウンタのデッドタイムを生成します。TDDR レジスタの内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、TDER.TDER ビットを“0”に設定します。TDER レジスタは、“1”を読み出し後、“0”を書いたときのみ、“0”に設定できます。

MTU3.TGRA, TGRC レジスタには PWM 周期の 1/2 + 1 を設定し、TDDR レジスタには“1”を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 22.41 にデッドタイムを生成しない場合の動作例を示します。

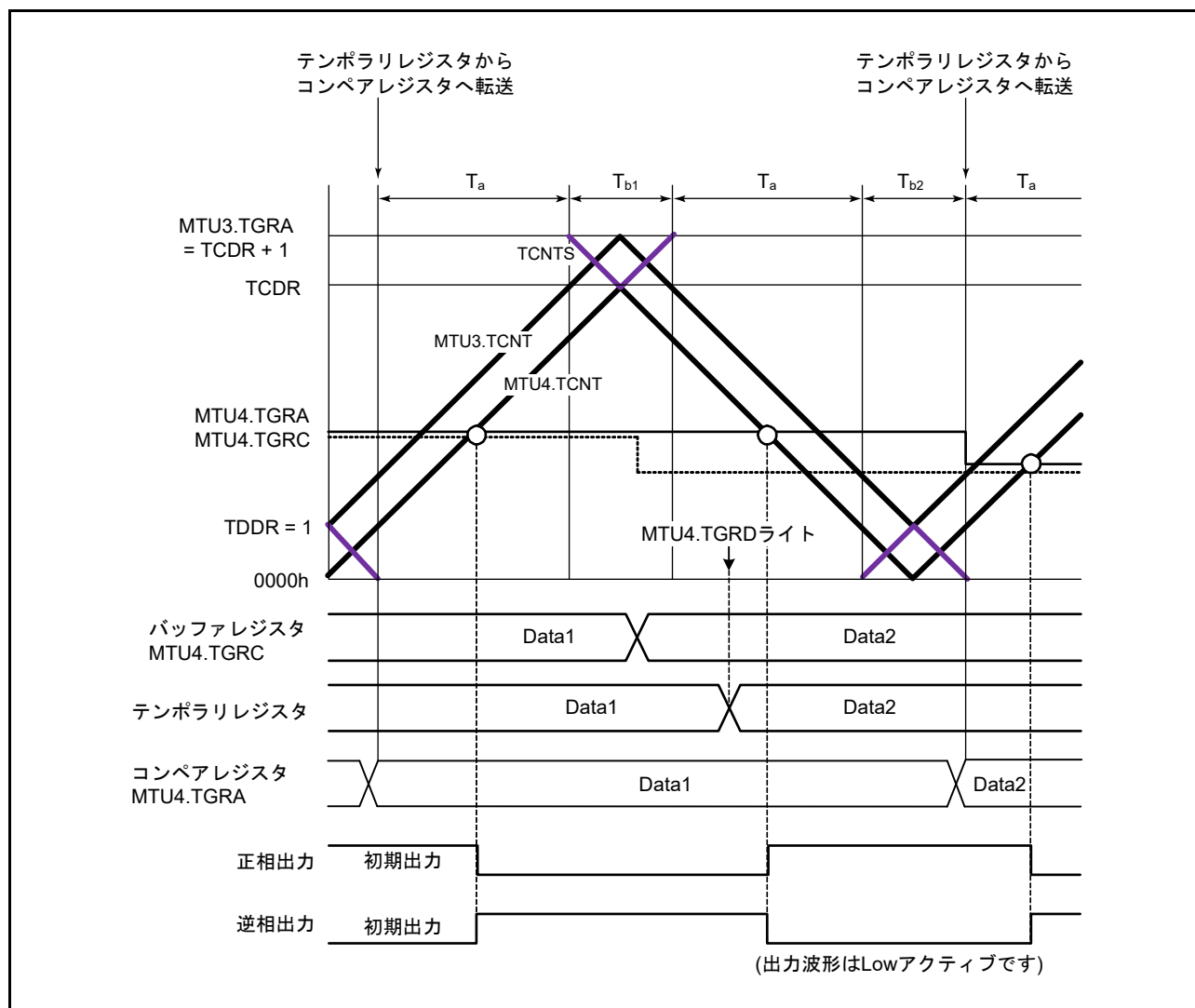


図 22.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT カウンタの上限値を設定する MTU3.TGRC レジスタと MTU4.TCNT カウンタの上限値を設定する TCDR レジスタの 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $\text{MTU3.TGRC の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$

デッドタイム生成なし : $\text{MTU3.TGRC の設定値} = \text{TCDR の設定値} + 1$

TCDR レジスタと TDDR レジスタの関係が、次の関係になるように設定してください。

$\text{TCDR の設定値} > \text{TDDR の設定値} \times 2 + 2$

また、MTU3.TGRC, TCDR レジスタの設定は、バッファレジスタの MTU3.TGRC, TCBR レジスタに値を設定することで行ってください。MTU4.TGRD レジスタへの書き込みを行い転送を許可すると、MTU3.TGRC, TCBR レジスタに設定した値は、TMDR.MD[3:0] ビットで選択した転送タイミングで MTU3.TGRC, TCDR レジスタに同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 22.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

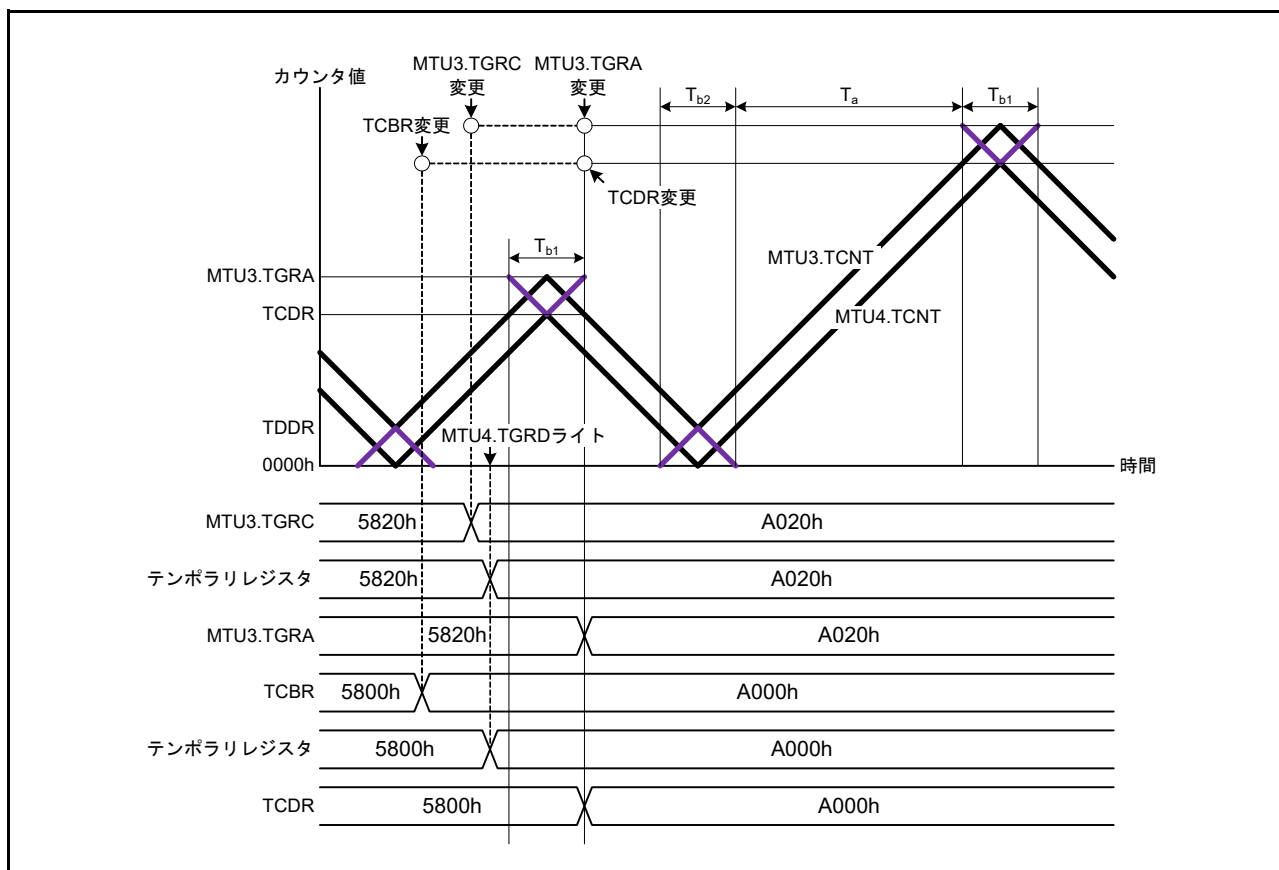


図 22.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用および PWM 周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS カウンタがカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS カウンタがカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS カウンタが停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、TMDR.MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 22.43 に相補 PWM モードのデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD レジスタへの書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD レジスタに書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD レジスタのデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD レジスタに書き込み動作を行ってください。

い。またこのとき、MTU4.TGRD レジスタに書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

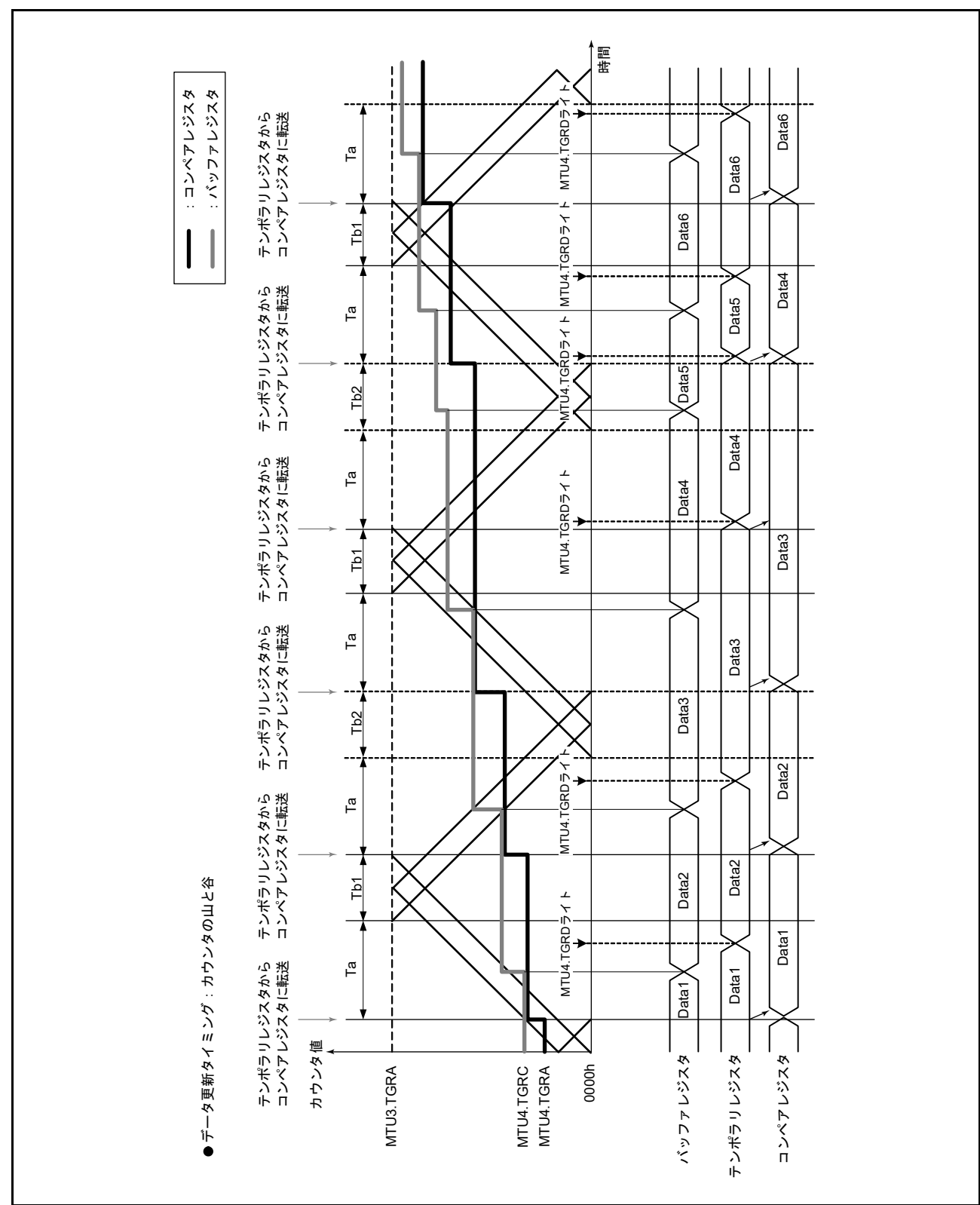


図 22.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1.OLSN, OLSP ビットの設定または、TOCR2.OLS1N ~ OLS3N, OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、TMDR レジスタで相補 PWM モードを設定してから MTU4.TCNT カウンタが TDDR レジスタに設定された値より大きくなるまで出力されます。図 22.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR レジスタの値より小さい場合の波形例を図 22.45 に示します。

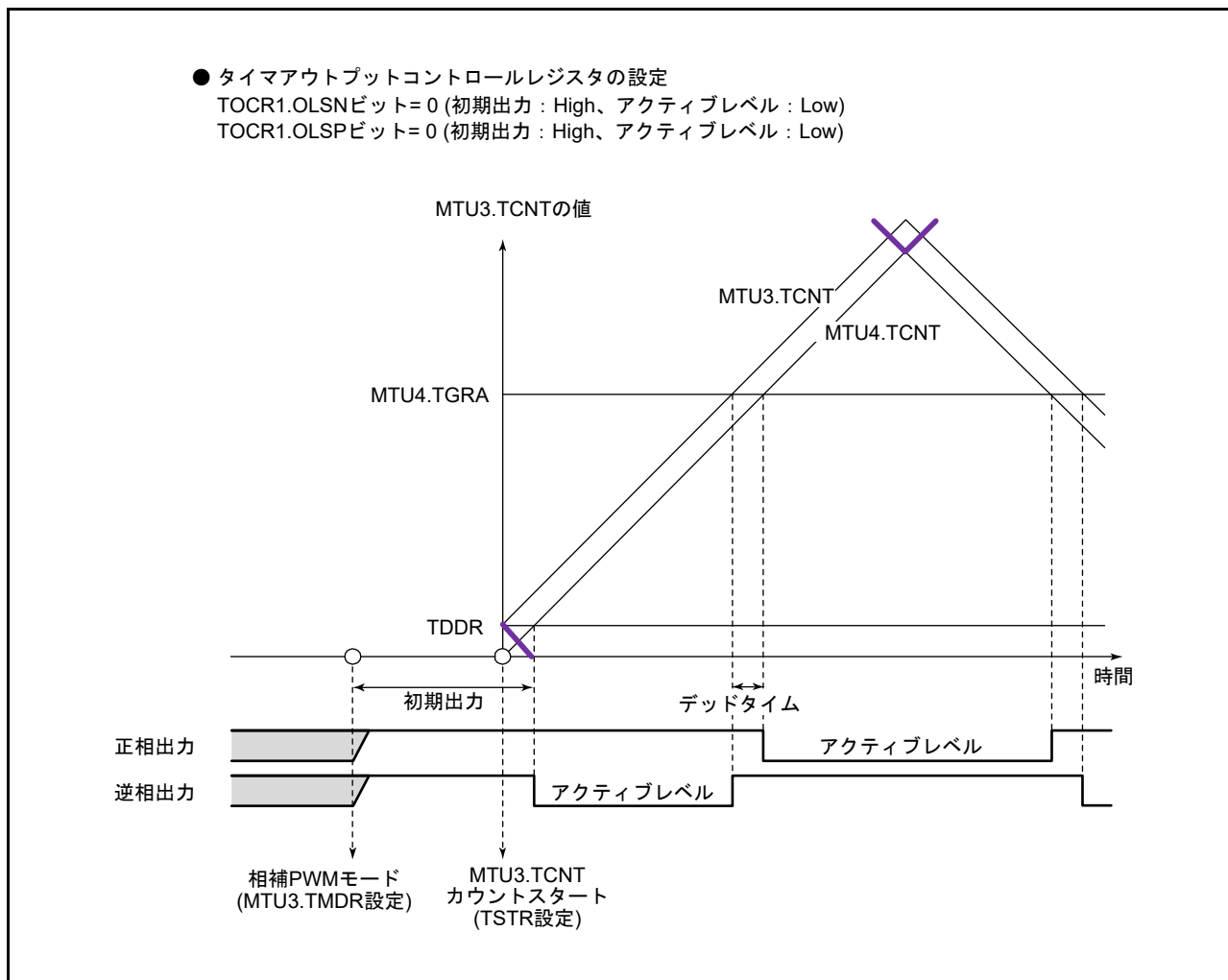


図 22.44 相補 PWM モードの初期出力例 (1)

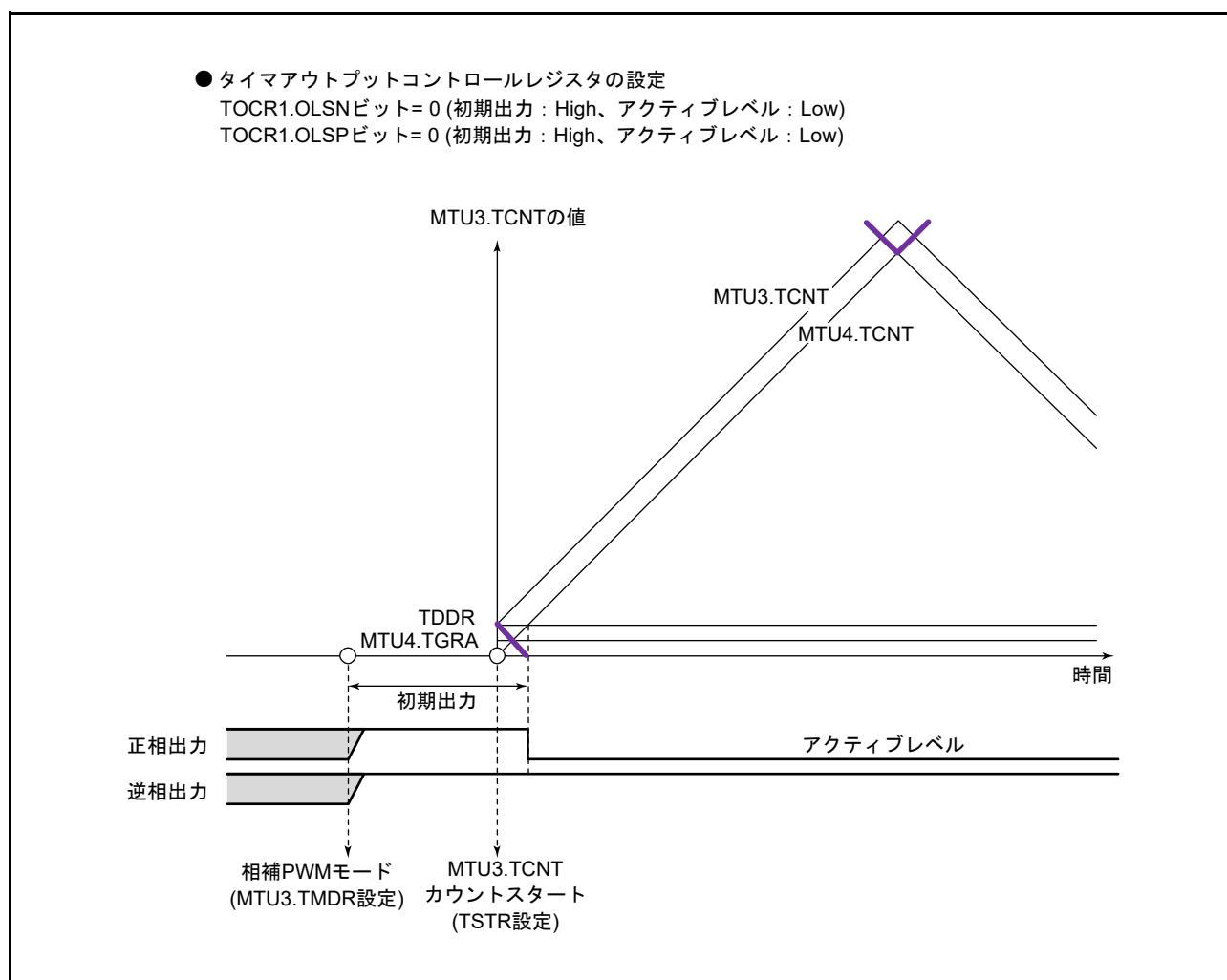


図 22.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS カウンタがカウント動作する期間では、デューティ 0% ～ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 22.46 ～図 22.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは、実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 22.46 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ （または $c \rightarrow d \rightarrow a' \rightarrow b'$ ）の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 22.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 22.48 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

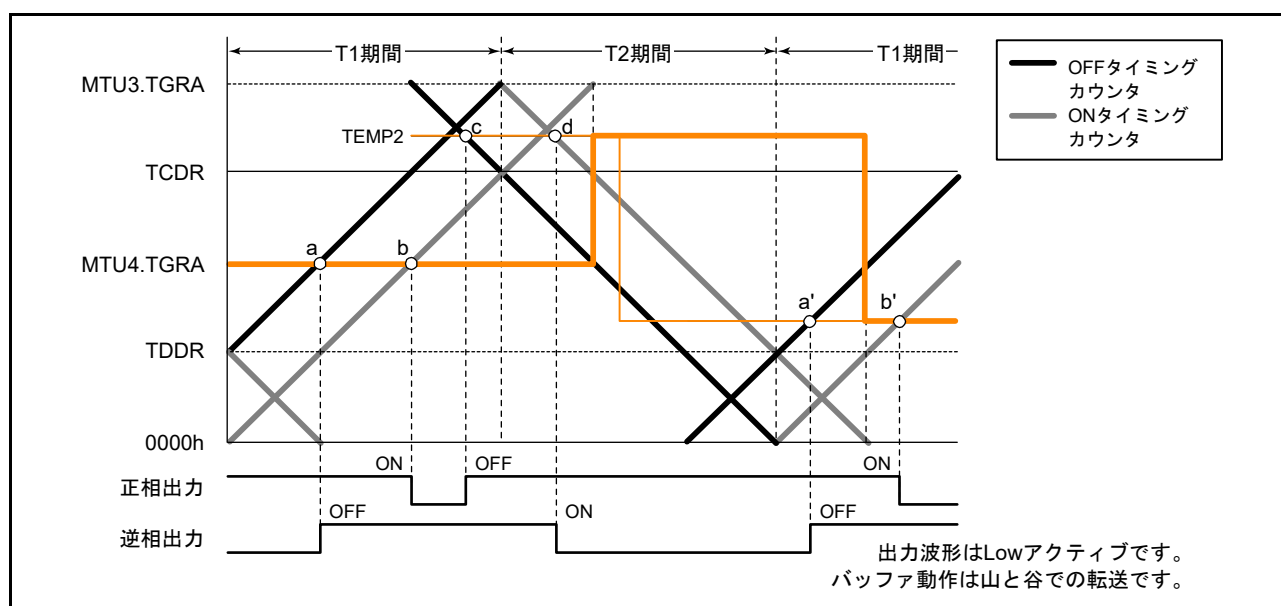


図 22.46 相補 PWM モード波形出力例 (1)

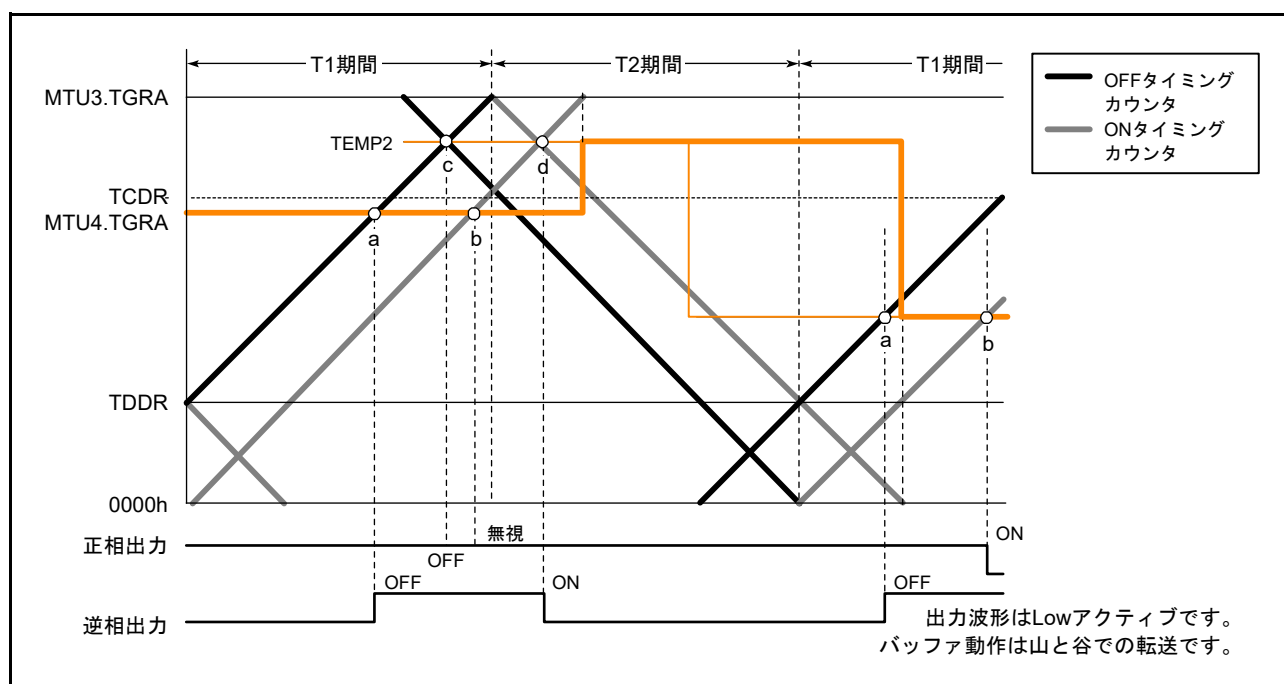


図 22.47 相補 PWM モード波形出力例 (2)

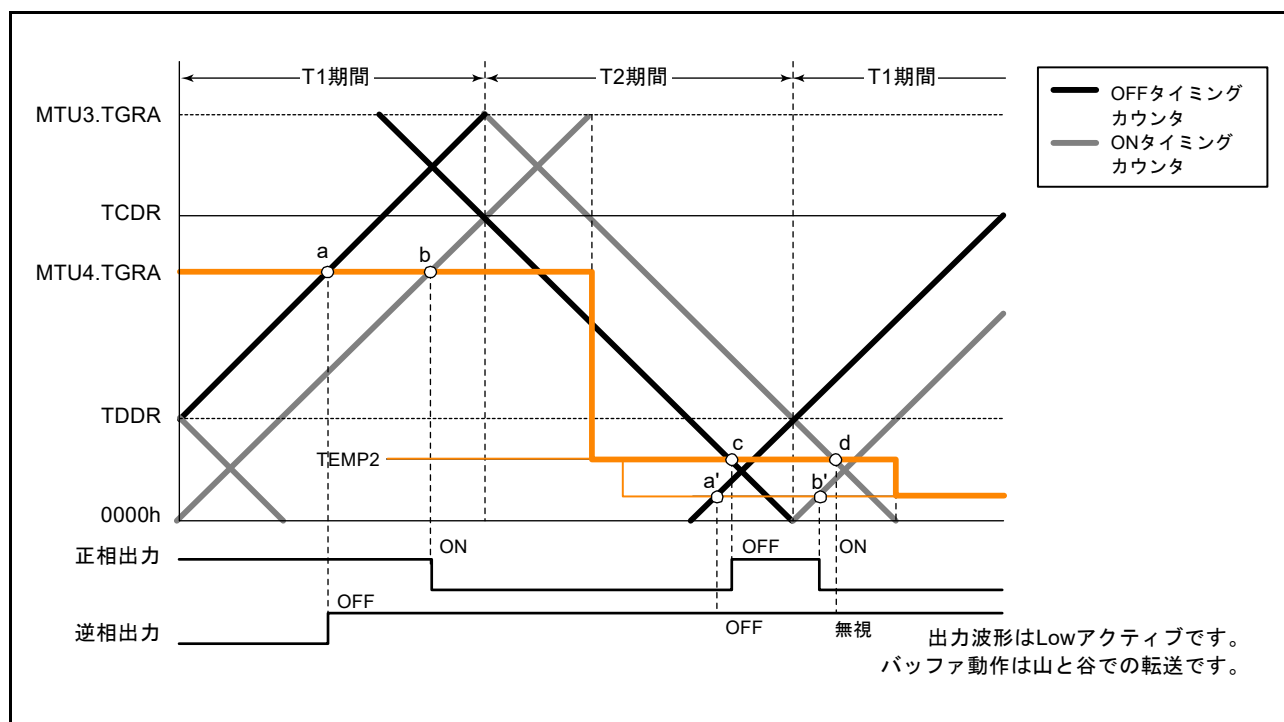


図 22.48 相補 PWM モード波形出力例 (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 22.49 ～図 22.53 に出力例を示します。

デューティ比 100% 出力は、データレジスタの値を “0000h” に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、データレジスタの値を MTU3.TGRA レジスタの値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

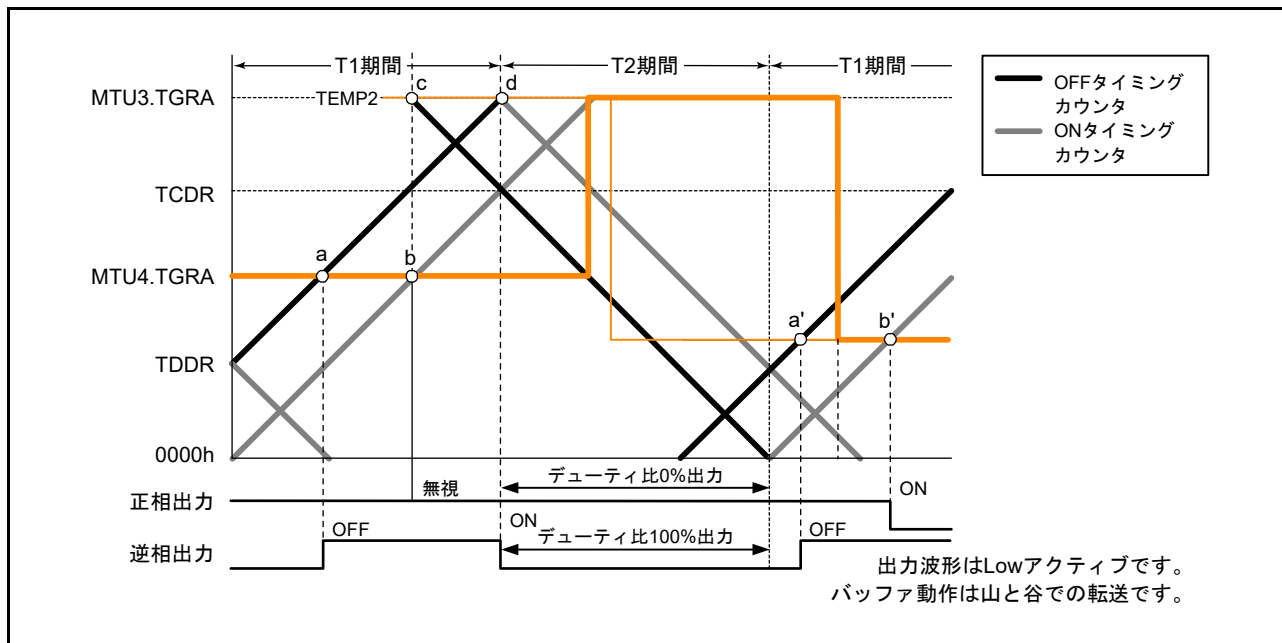


図 22.49 相補 PWM モード 0%、100% 波形出力例 (1)

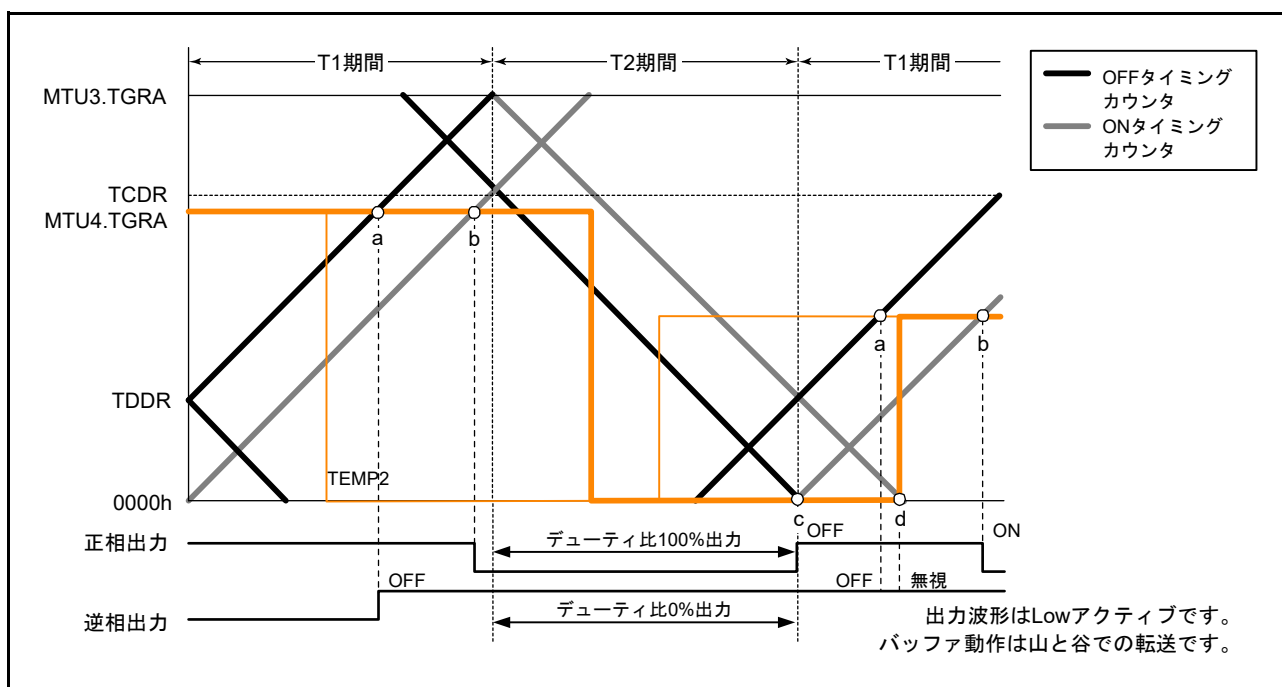
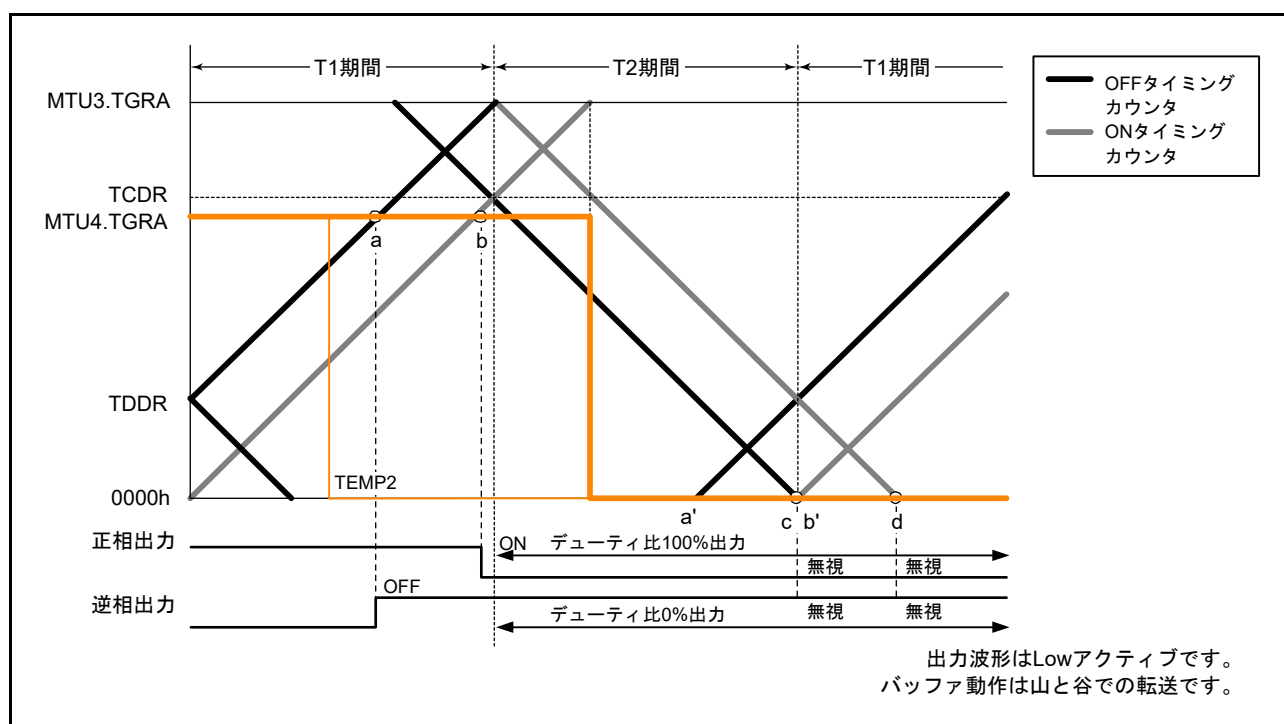
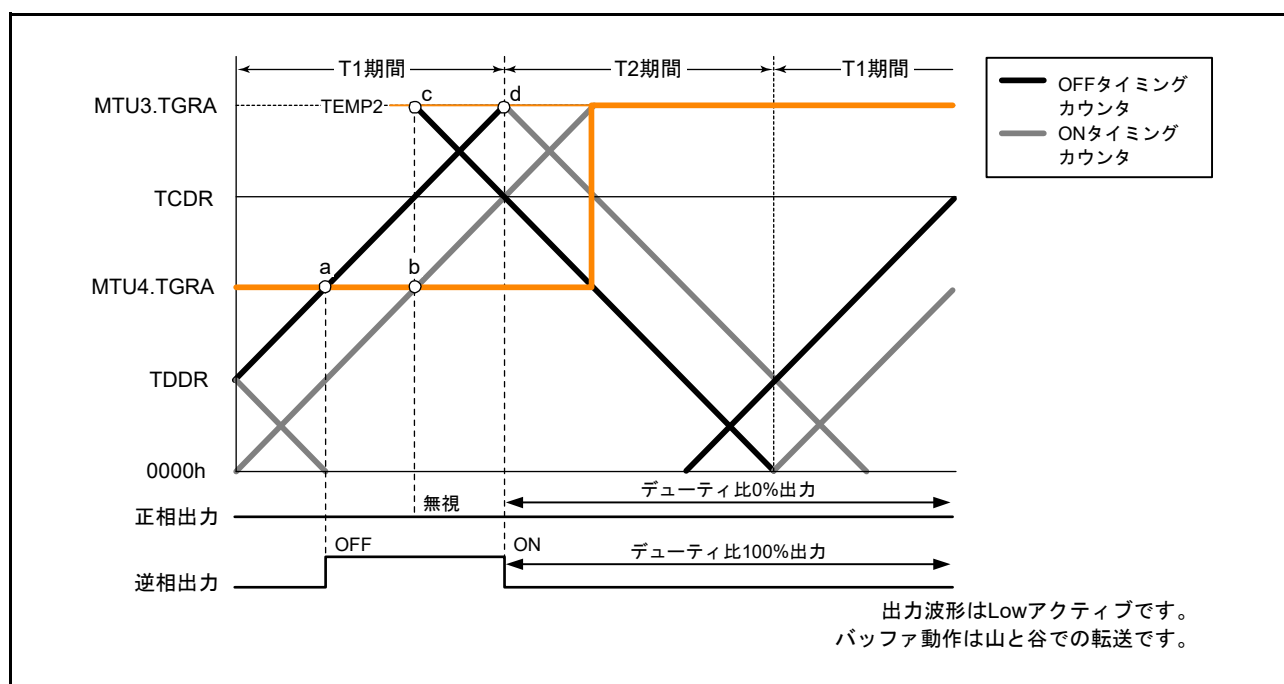
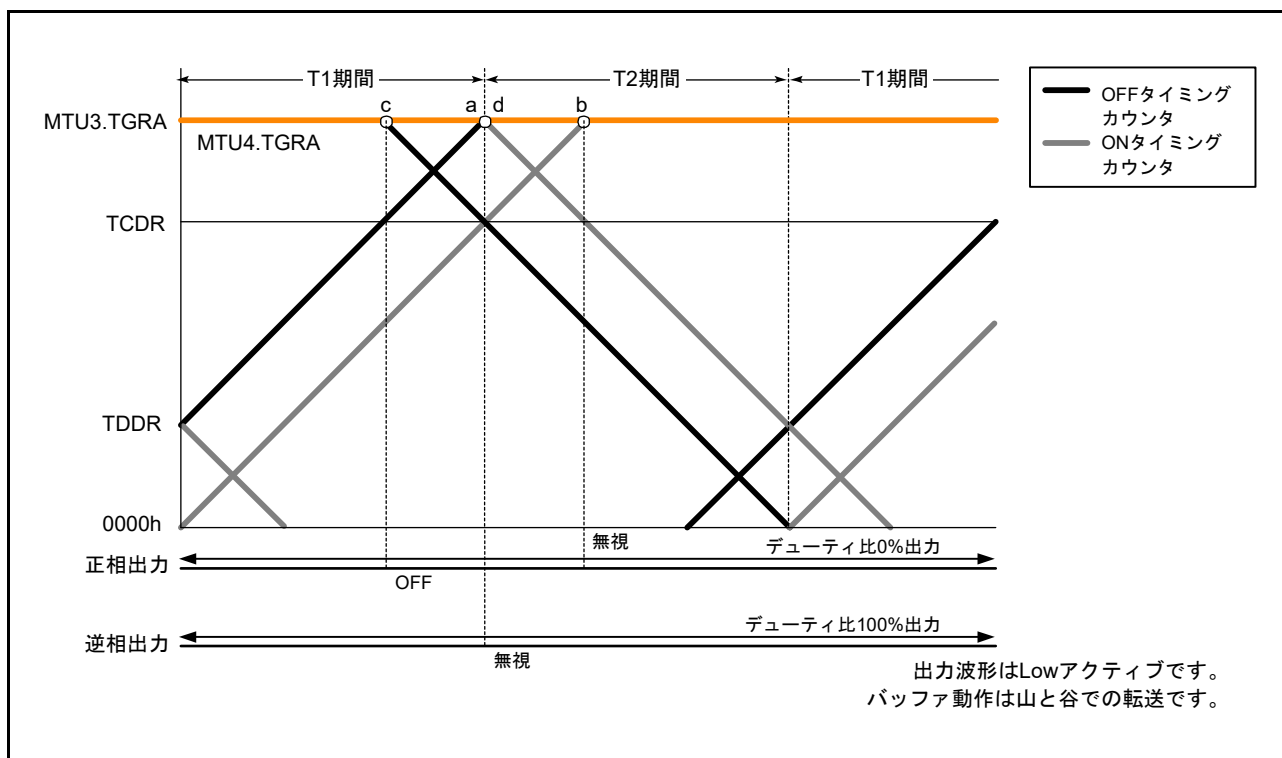


図 22.50 相補 PWM モード 0%、100% 波形出力例 (2)



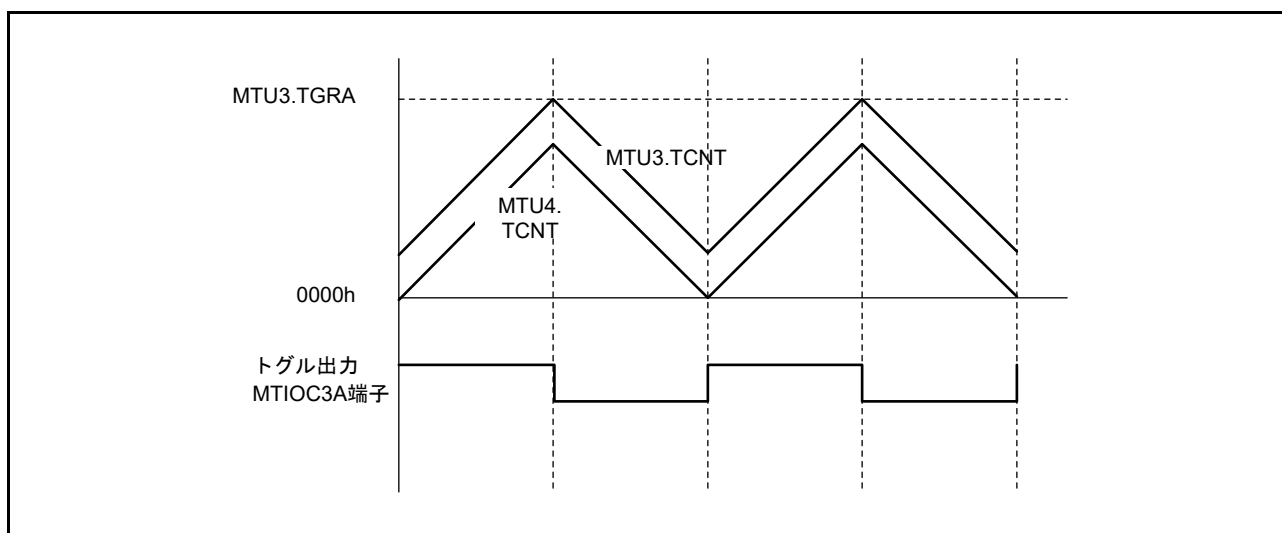


(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1.PSYE ビットを“1”にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 22.54 に示します。

この出力は、MTU3.TCNT カウンタと MTU3.TGRA レジスタのコンペアマッチと MTU4.TCNT カウンタと“0000h”のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は High 出力です。



(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYR レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0] ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT, MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 22.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

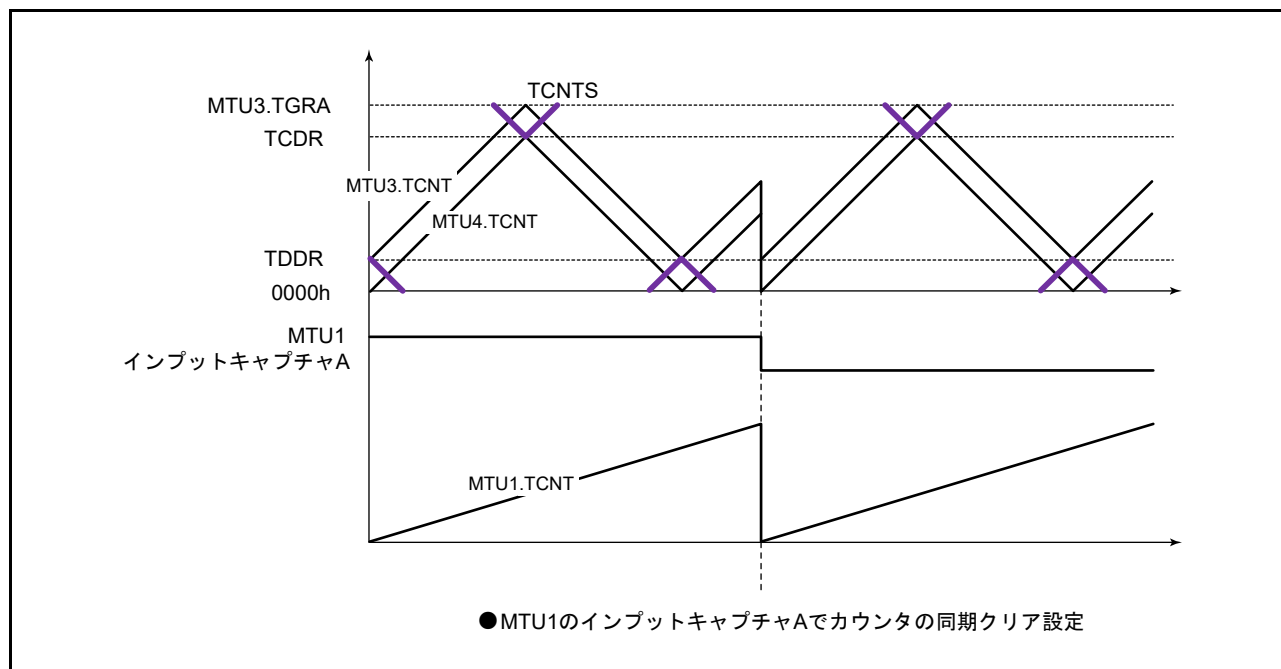


図 22.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR.WRE ビットを“1”に設定することにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

TWCR.WRE ビットを“1”に設定することで初期出力を抑止することができるのは、同期クリアが図 22.56 の⑩、⑪のような Tb2 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1.OLSN, OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 22.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

MTU3、MTU4 のカウンタクリア要因は MTU0 ～ MTU2 からの同期クリアです。

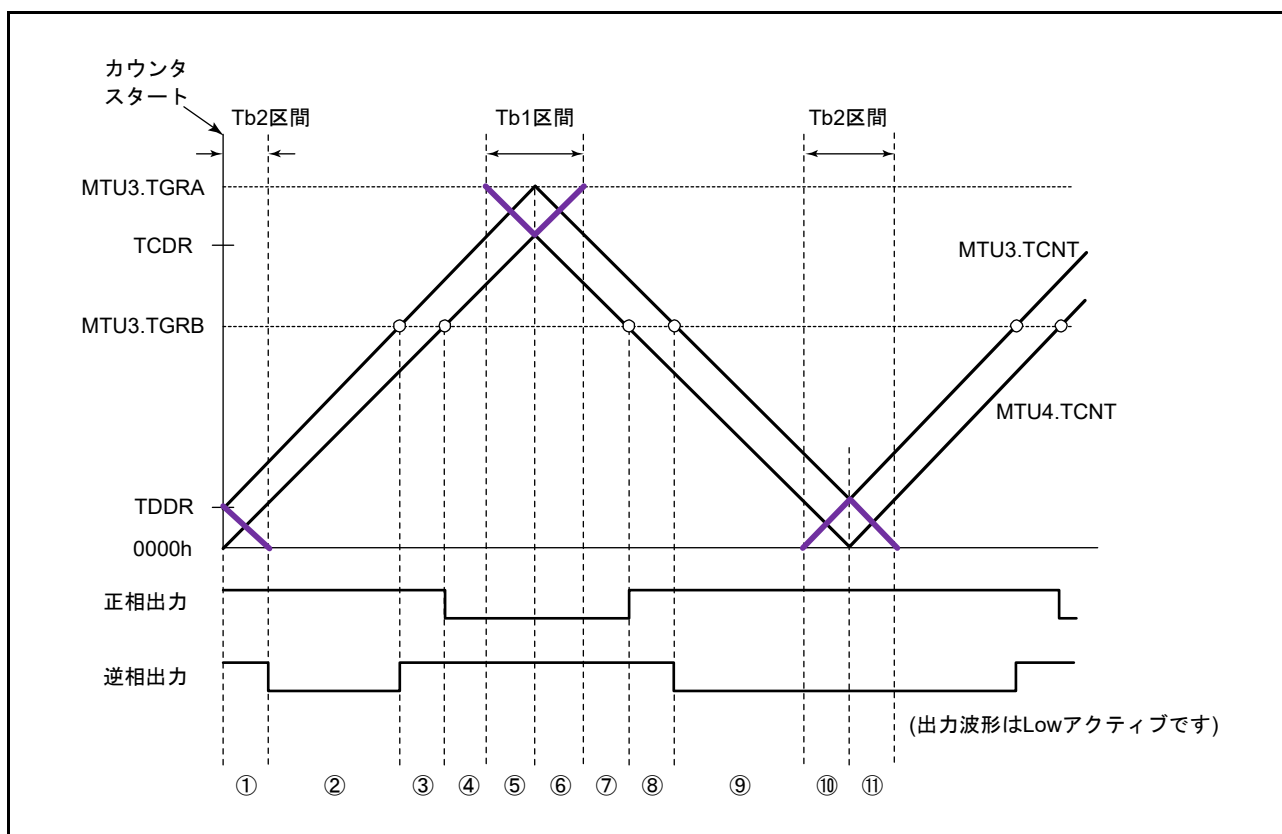


図 22.56 同期カウンタクリアタイミング

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 22.57 に示します。

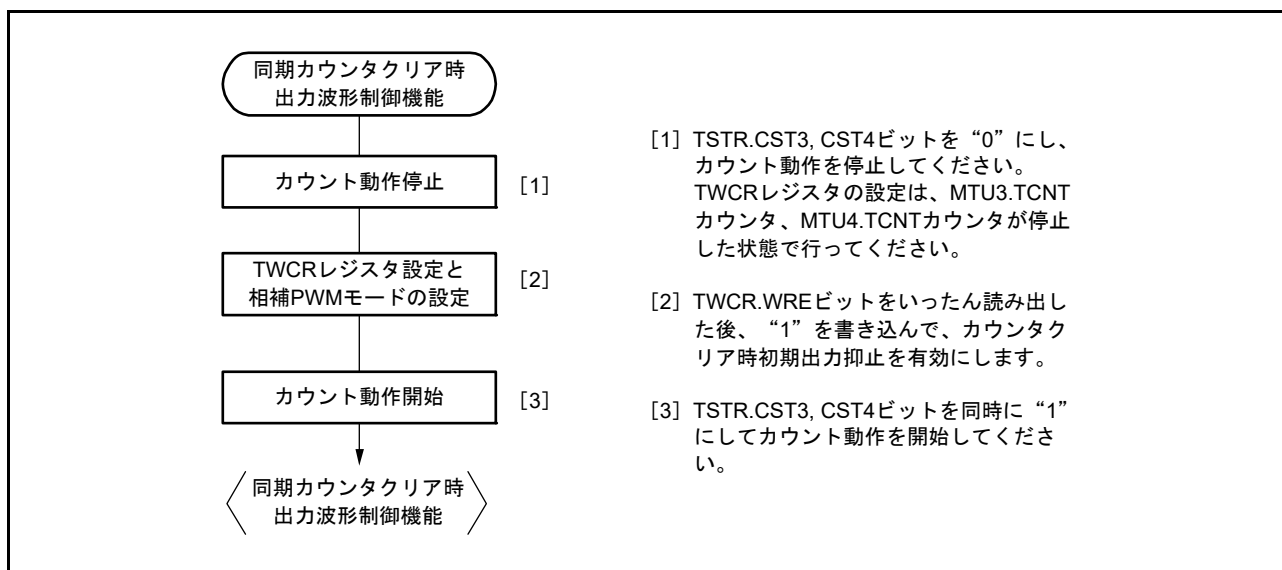


図 22.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 22.58 ～ 図 22.61 に、TWCR.WRE ビットを“1”に設定した状態で MTU を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 22.58 ～ 図 22.61 の同期カウンタクリアのタイミングは、それぞれ図 22.56 の③、⑥、⑧、⑪で示したタイミングです。

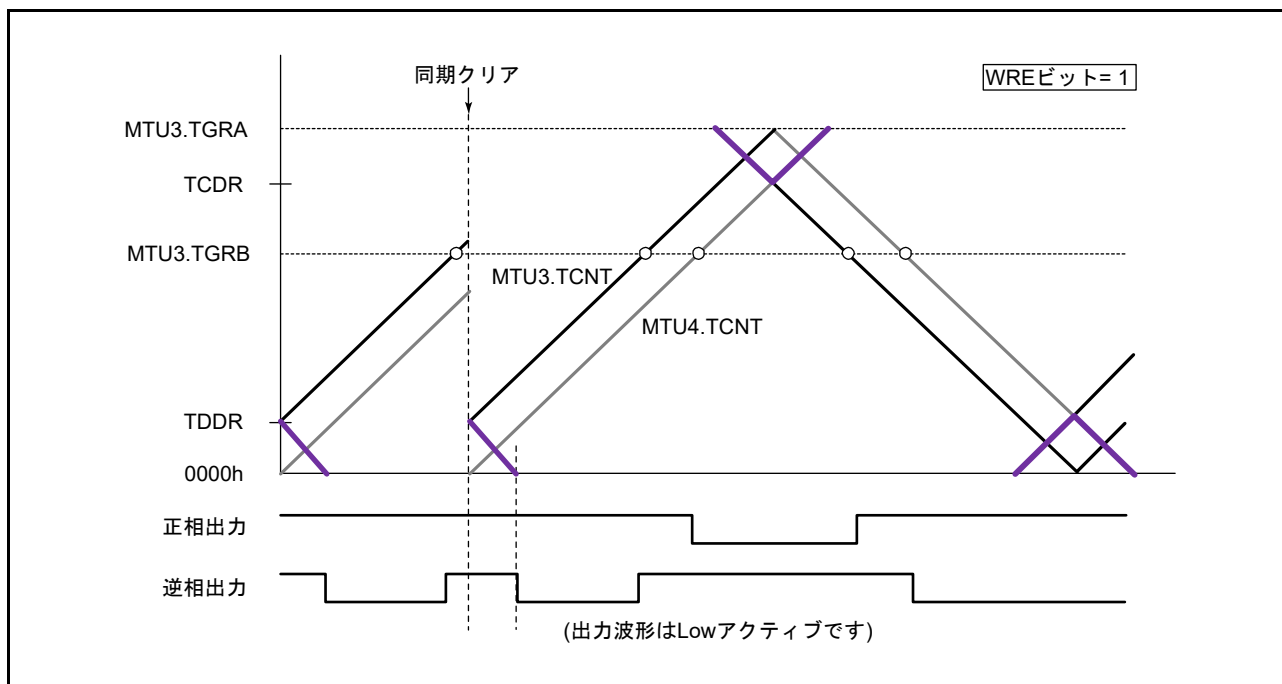


図 22.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 22.56 のタイミング③、TWCR.WRE ビット = 1)

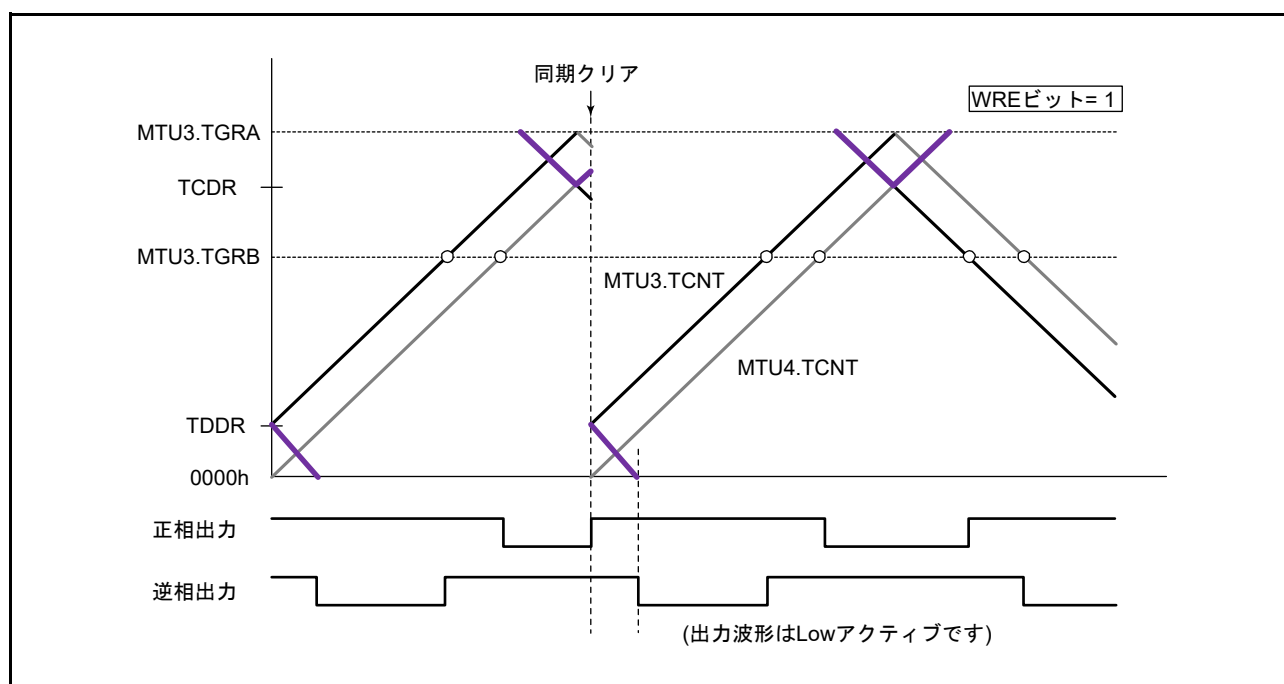


図 22.59 山のTb区間で同期クリアが発生した場合
(図 22.56 のタイミング⑥、TWCR.WRE ビット = 1)

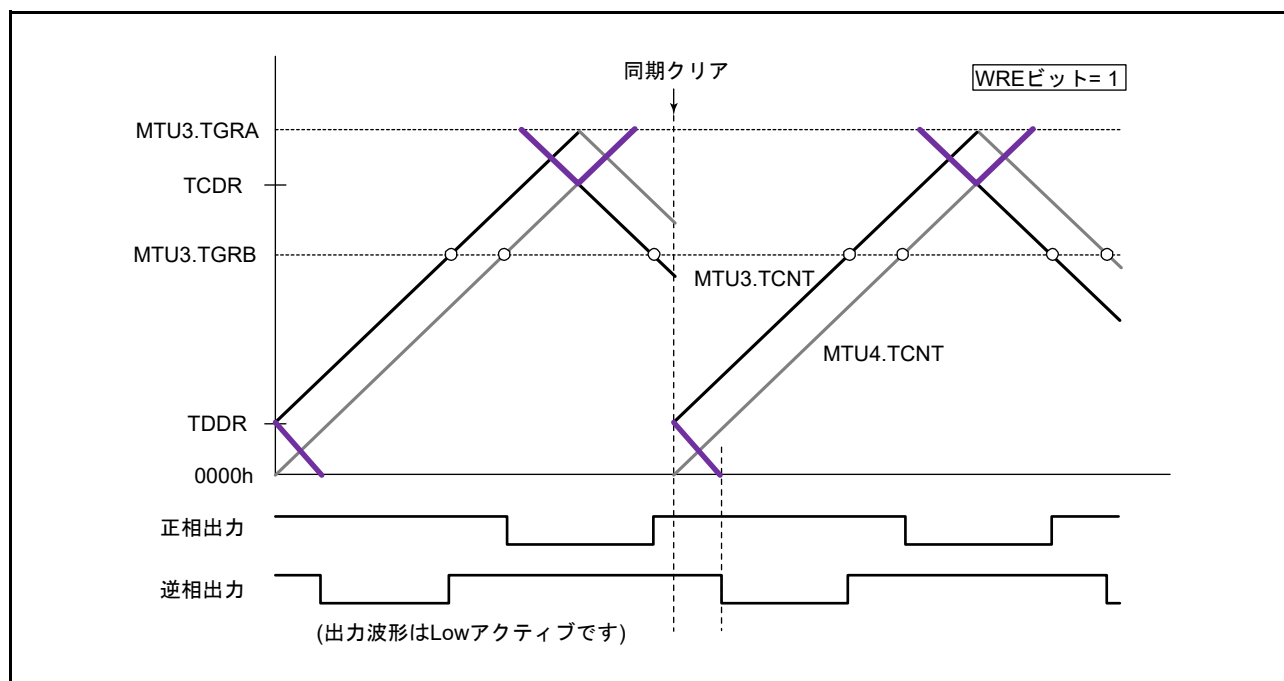


図 22.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 22.56 のタイミング⑧、TWCR.WRE ビット = 1)

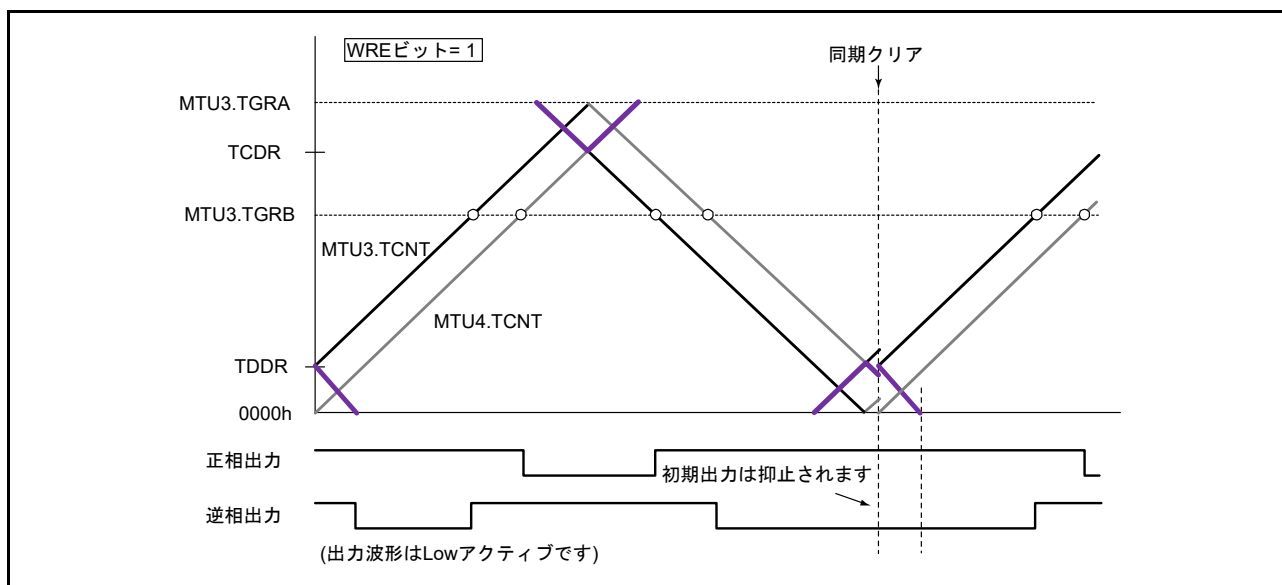


図 22.61 谷の Tb 区間で同期クリアが発生した場合
(図 22.56 のタイミング⑪、TWCR.WRE ビット = 1)

(o) MTU3.TGRA レジスタのコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCR.CCE ビットを設定することにより、MTU3.TGRA レジスタのコンペアマッチで MTU3.TCNT カウンタ、MTU4.TCNT カウンタおよび TCNTS カウンタをクリアすることが可能です。

図 22.62 に動作例を示します。

- 注． 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注． 他のチャネルとの同期クリア機能に設定しないでください。(TSYR.SYNCh ビット (n = 0 ~ 4) を “1” に設定しないでください)
- 注． PWM デューティ比は、“0000h” を設定しないでください。
- 注． TOCR1.PSYE ビットを “1” に設定しないでください。

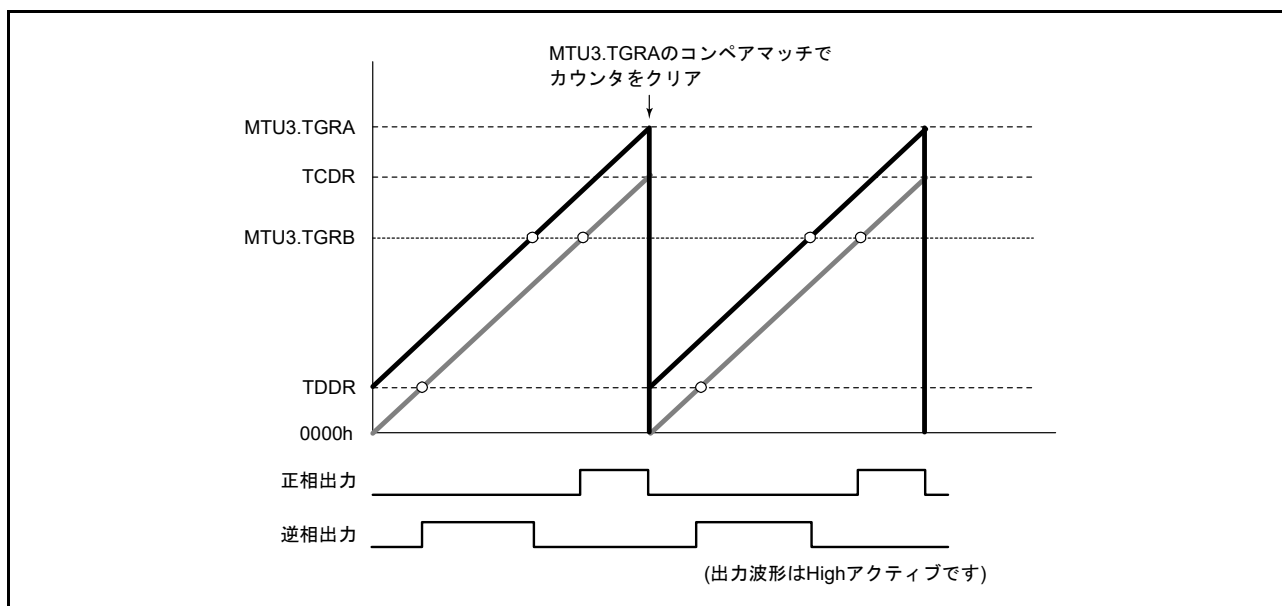


図 22.62 MTU3.TGRA レジスタのコンペアマッチにおけるカウンタクリアの動作例

(p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、TGCR レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 22.63 ~ 図 22.66 に TGCR レジスタを使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR.FB ビットを“0”に設定します。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します。MTIOC0A、MTIOC0B、MTIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCR.FB ビットが“1”の場合は、TGCR.UF, VF, WF ビットの各ビットに“0”または“1”を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相 PWM 出力端子から出力されます。

この 6 相出力は TGCR.N ビットまたは TGCR.P ビットを“1”に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。TGCR.N ビットまたは TGCR.P ビットが“0”の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、TGCR.N ビットまたは TGCR.P ビットの設定にかかわらず、TOCR1.OLSN, TOCR1.OLSP ビットで設定できます。

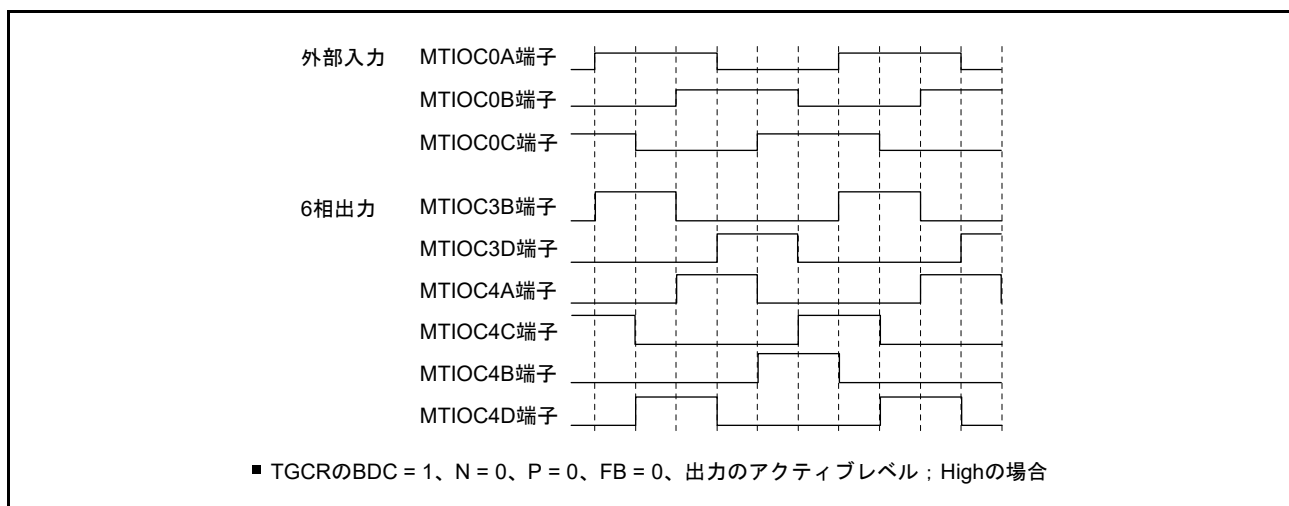


図 22.63 外部入力による出力相の切り替え動作例 (1)

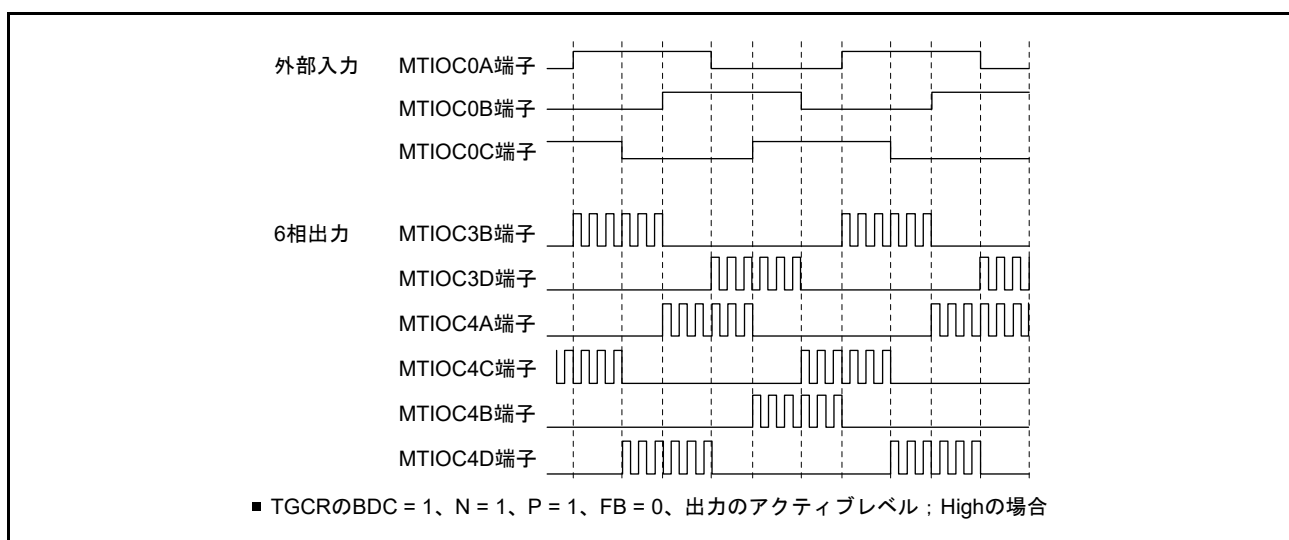


図 22.64 外部入力による出力相の切り替え動作例 (2)

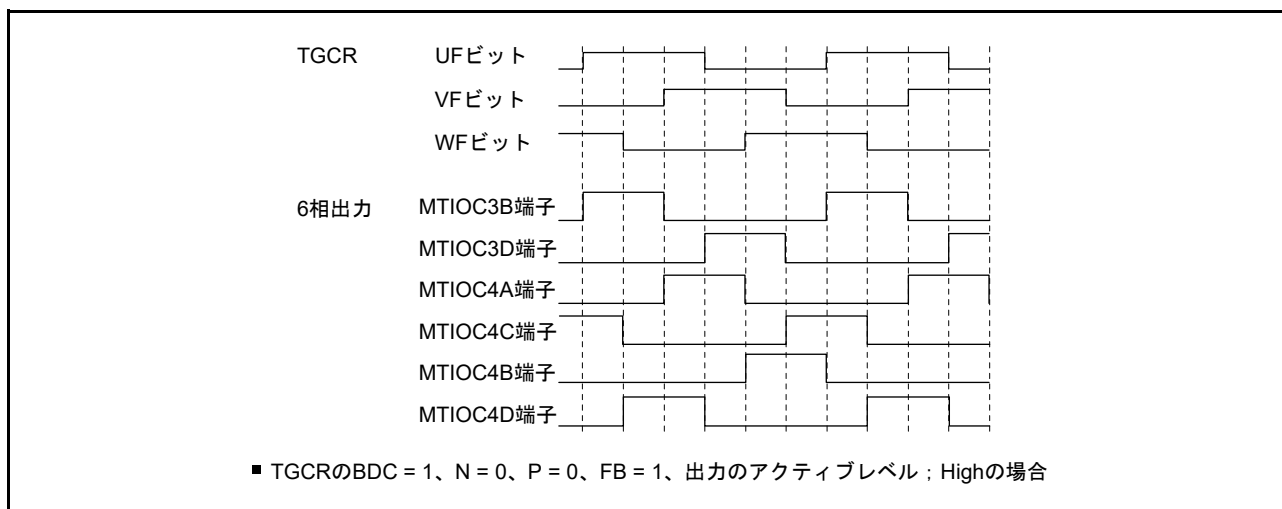


図 22.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

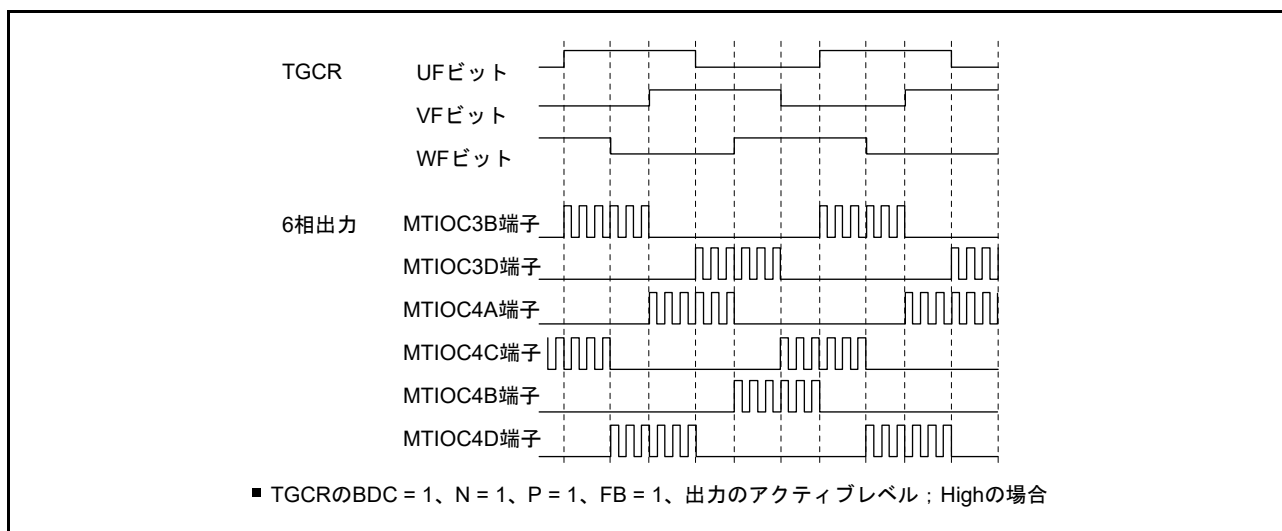


図 22.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA レジスタのコンペアマッチ、MTU4.TCNT カウンタのアンダフロー（谷）、MTU3、MTU4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA レジスタのコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT カウンタの山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT カウンタのアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2 ビットを“1”にすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

MTU3 と MTU4 の TGIA3（山の割り込み）、および TCIV4（谷の割り込み）は、TITCR レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTER レジスタを設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

TADCR レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「22.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR レジスタの設定は、MTU3.TIER、MTU4.TIER レジスタの設定で TGIA3 と TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しない状態、かつコンペアマッチによる TGIA3、TGIA4 割り込み要求が発生しない状態で行ってください。また、間引き回数の変更前に、TITCR.T3AEN、T4VEN ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 22.67 に示します。また、割り込み間引き回数の変更可能期間を図 22.68 に示します。

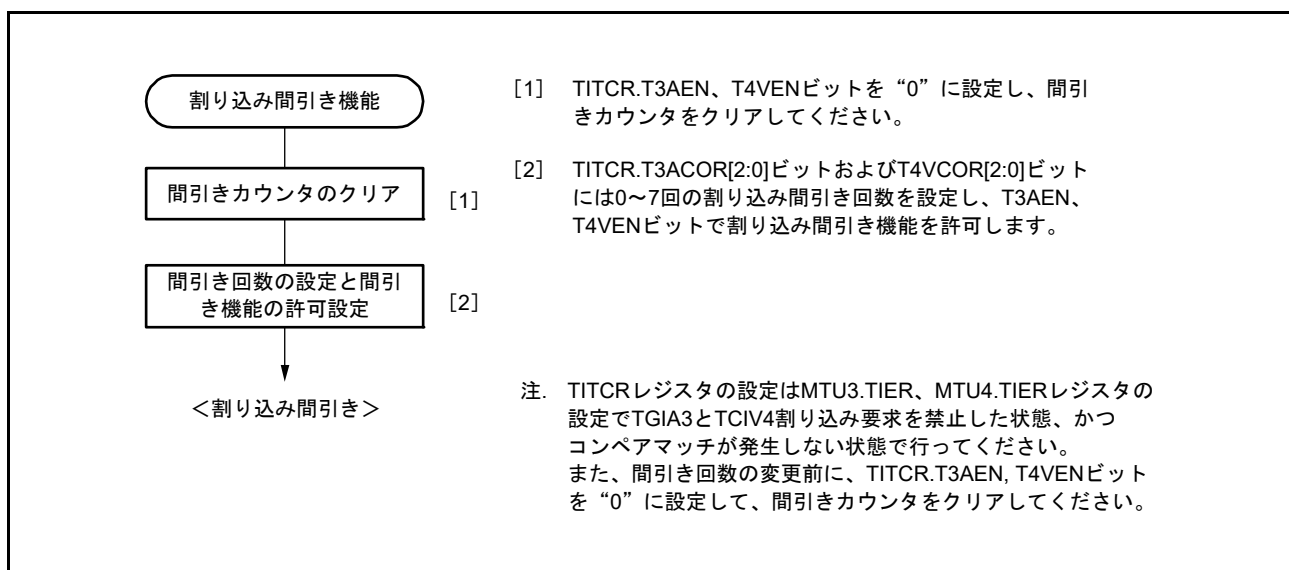


図 22.67 割り込み間引き機能の設定手順例

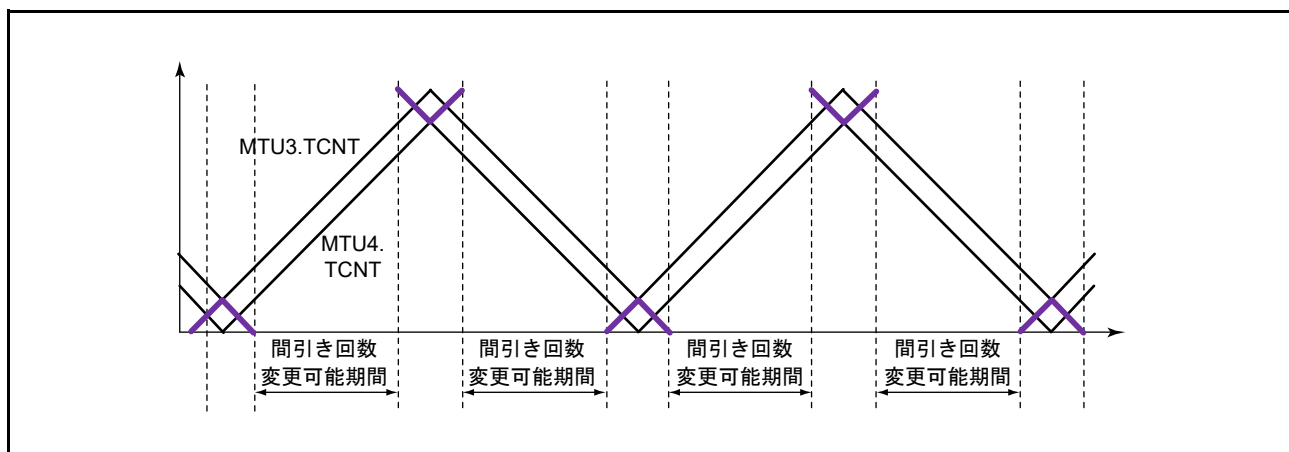


図 22.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

TITCR.T3ACOR[2:0] ビットで割り込みの間引き回数を 3 回に設定し、TITCR.T3AEN ビットを“1”に設定した場合の、MTU3.TGIA 割り込み間引きの動作例を図 22.69 に示します。

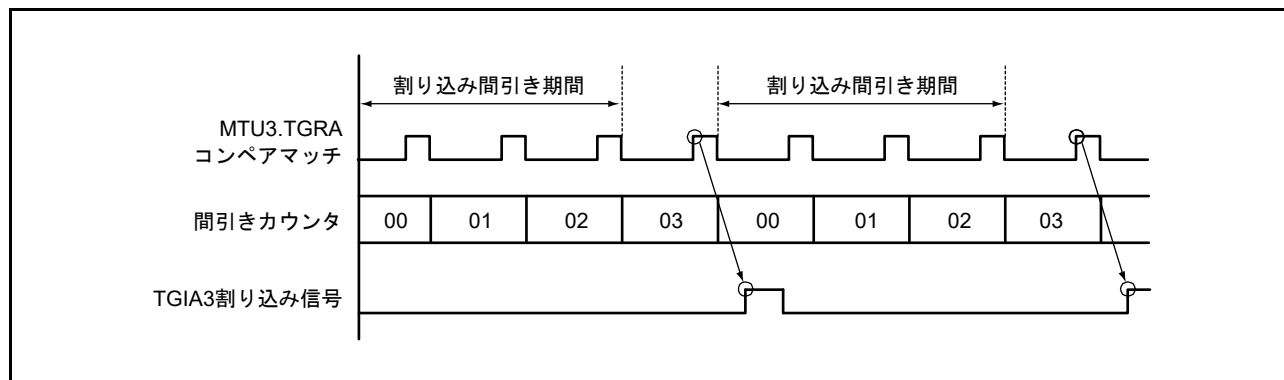


図 22.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTER.BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑止する設定 (TBTER.BTE[1:0] = 01b) にした場合の動作例を図 22.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] = 10b) にした場合の動作例を図 22.71 に示します。この設定にした場合、バッファ転送許可期間内にバッファレジスタへの書き込みを行った場合は、バッファレジスタからテンポラリレジスタへのバッファ転送を即時に行います。バッファ転送許可期間外でバッファレジスタへの書き込みを行った場合は、次のバッファ転送許可期間が始まるタイミングで、バッファレジスタからテンポラリレジスタへのバッファ転送を行います。

なお、TITCR.T3AEN ビットを“1”に設定した場合、TITCR.T4VEN ビットを“1”に設定した場合、TITCR.T3AEN ビットと TITCR.T4VEN ビットをとともに“1”に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR.T3AEN ビットと TITCR.T4VEN ビットの設定とバッファ転送許可期間の関係を図 22.72 に示します。

- 注. 本機能は、割り込み間引き機能と組み合わせて使用してください。
- 割り込み間引きが禁止のとき (TITCR.T3AEN、T4VEN ビットを“0”に設定したとき、または TITCR レジスタの間引き回数設定ビット (T3ACOR[2:0], T4VCOR[2:0]) を“000b”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTER.BTE[1] ビットを“0”に設定) してください。
- 割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

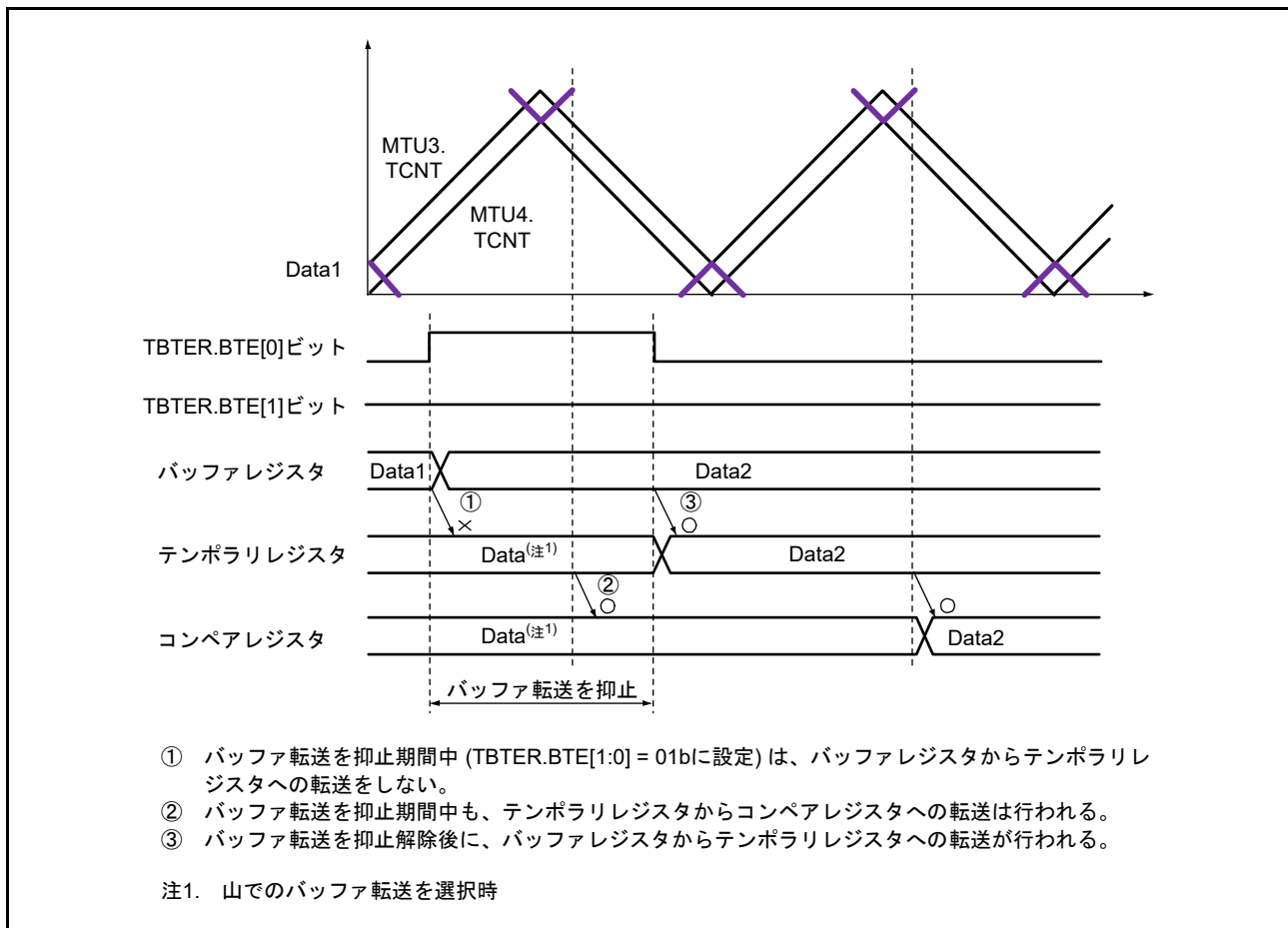


図 22.70 バッファ転送を抑止する設定 (TBTER.BTE[1:0] ビット = 01b) にした場合の動作例

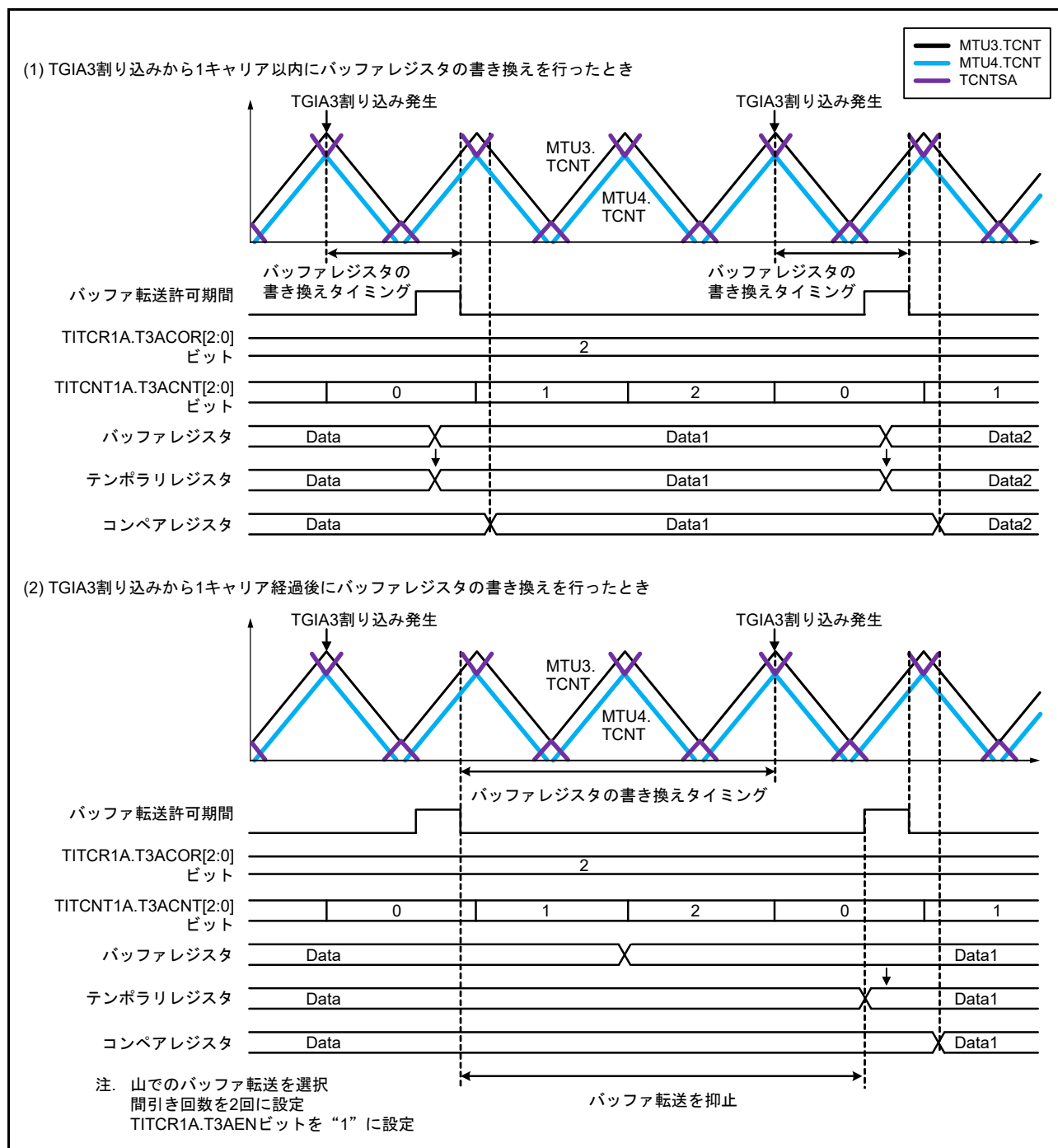


図 22.71 バッファ転送を割り込み間引きと連動する設定 (TBTER.BTE[1:0] ビット = 10b) にした場合の動作例

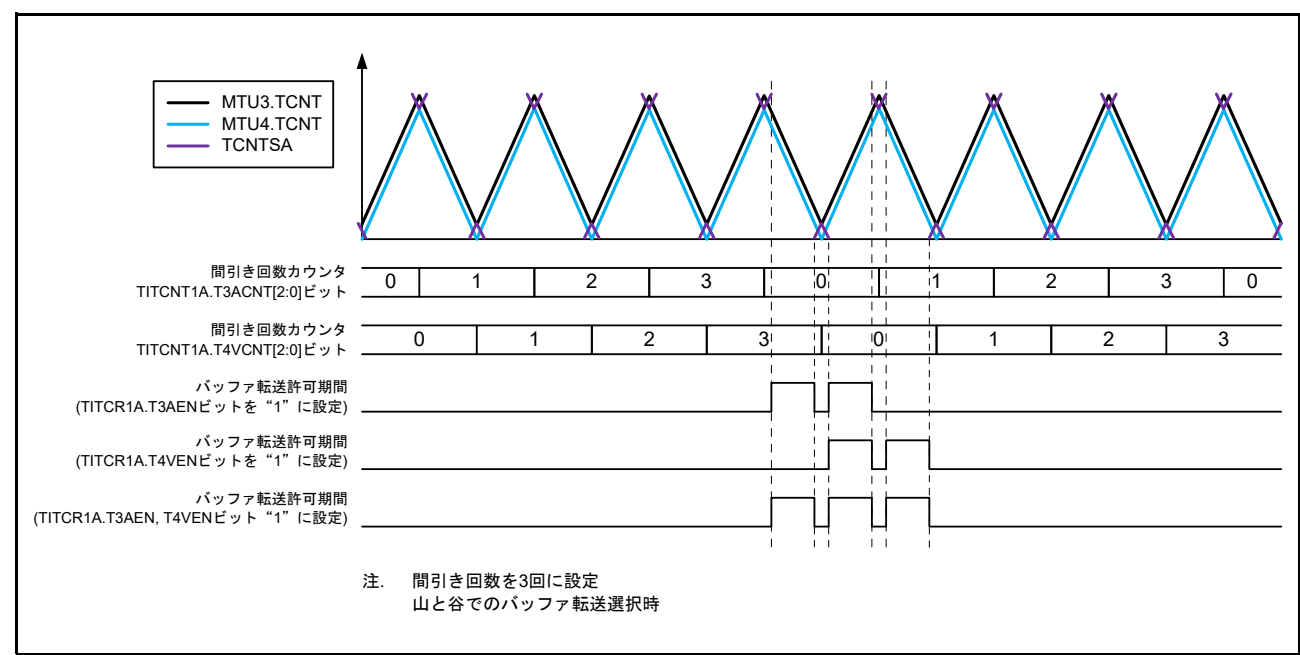


図 22.72 TITCR.T3AEN, T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWER.RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3 および MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR および MTU4.TCR、MTU3.TMDR および MTU4.TMDR、MTU3.TIORH および MTU4.TIORH、MTU3.TIORL および MTU4.TIORL、MTU3.TIER および MTU4.TIER、MTU3.TCNT および MTU4.TCNT、MTU3.TGRA および MTU4.TGRA、MTU3.TGRB および MTU4.TGRB、MTU.TOER、MTU.TOCR1、MTU.TOCR2、MTU.TGCR、MTU.TCDR、MTU.TDDR

計 22 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効です。

(b) PWM 出力の停止機能

MTU0、MTU3、MTU4 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。詳細は、「23. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

22.3.9 A/D 変換開始要求ディレイド機能

MTU4.TADCR, TADCORA, TADCORB, TADCOBRA, TADCOBRB レジスタを設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT カウンタと MTU4.TADCORA, TADCORB レジスタを比較し、これらが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

また、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 22.73 に示します。

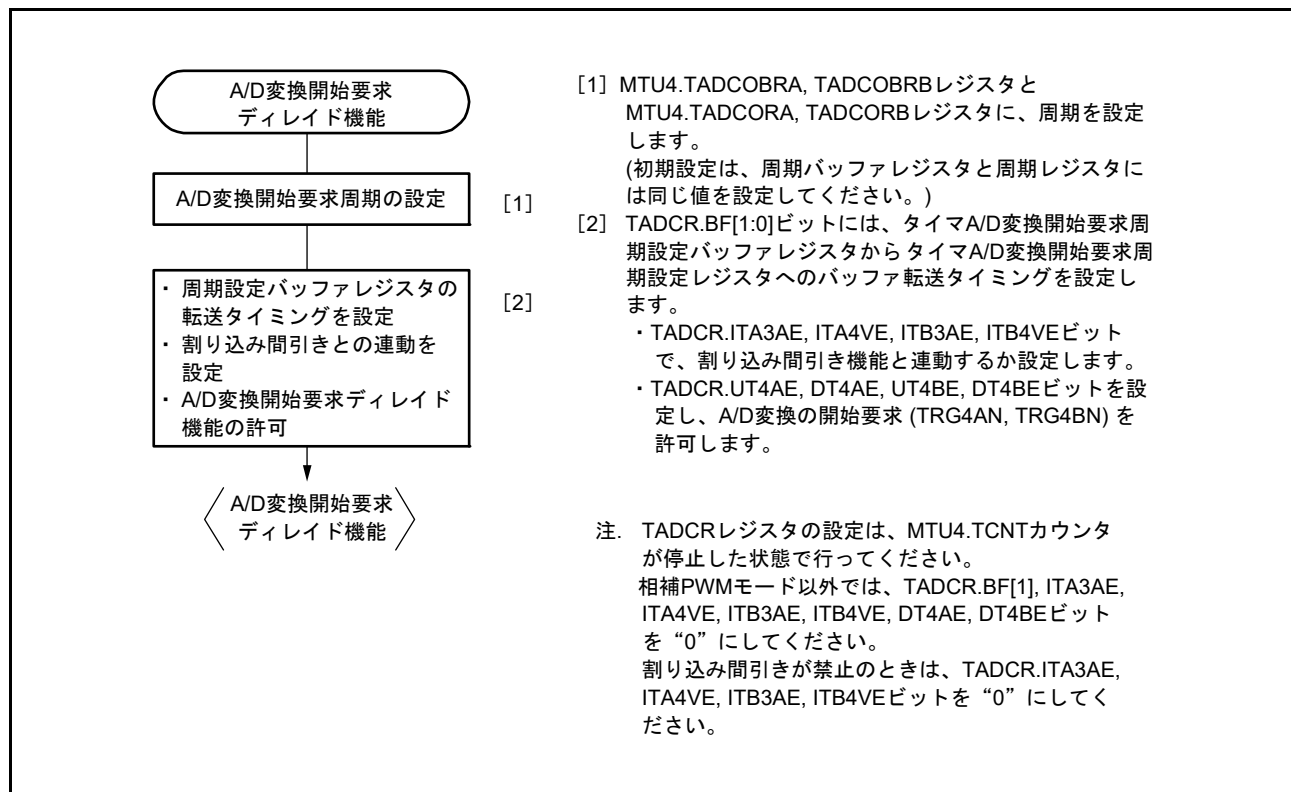


図 22.73 A/D 変換開始要求ディレイド機能の設定手順例

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT カウンタの谷に設定し、MTU4.TCNT カウンタのダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 22.74 に示します。

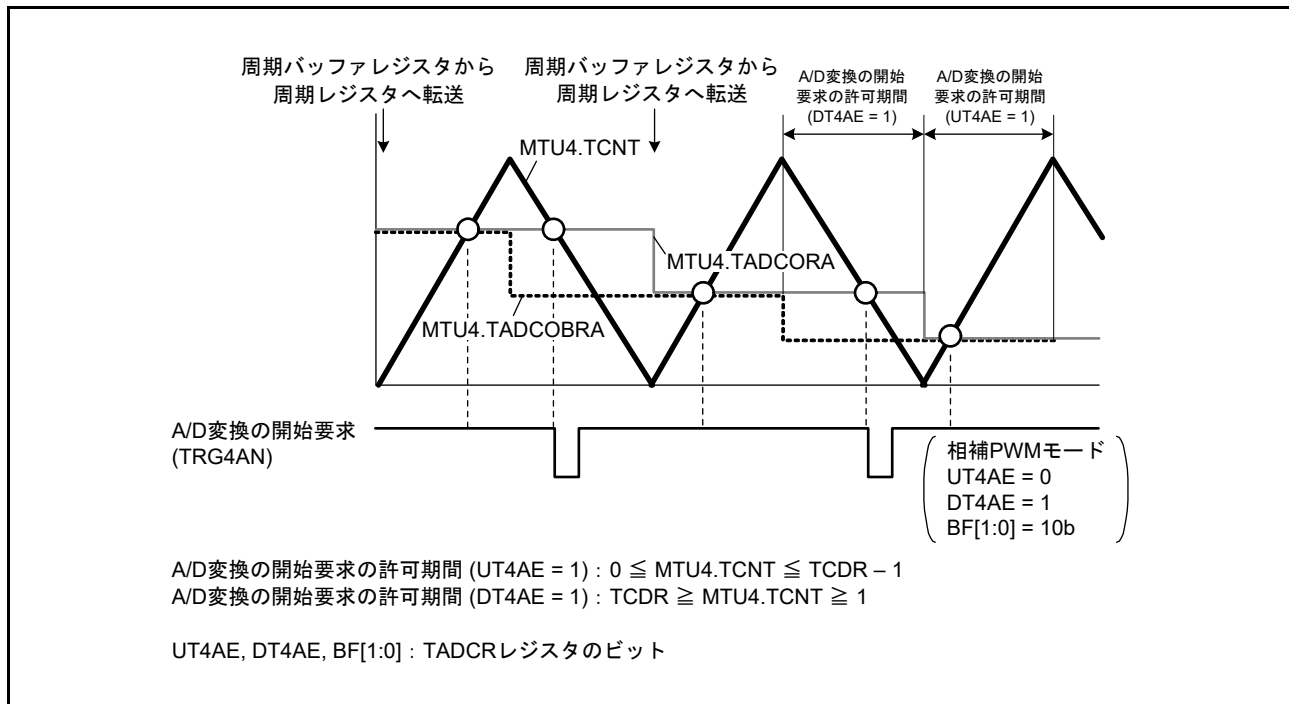


図 22.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR レジスタの UT4AE, UT4BE ビットで許可した期間内に MTU4.TCNT カウンタと MTU4.TADCORA, MTU4.TADCORB レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR レジスタの UT4AE, UT4BE ビットを“1”にすると、MTU4.TCNT カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT} \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。

MTU4.TADCR レジスタの DT4AE, DT4BE ビットを“1”にすると、MTU4.TCNT カウンタのダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT} \geq 1$) に A/D 変換の開始要求を許可します (図 22.74)。

(4) バッファ転送

タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) のデータ更新は、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへの転送タイミングは、MTU4.TADCR.BF[1:0] ビットを設定することにより選択することができます。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「22.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR レジスタの BF[1] ビットを“0”にしてください。

(5) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を行うことが可能です。MTU4.TCNT カウンタのアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 22.75 に示します。

また、MTU4.TCNT カウンタのアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 22.76 に示します。

相補 PWM モード以外では、割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCRC レジスタの ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”にしてください。

注. 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (TITCR.T3AEN, T4VEN ビットを“0”にしたとき、または TITCR.T3ACOR[2:0], T4VCOR[2:0] ビットを“000b”にしたとき) は、割り込み間引き機能と連動しない (TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VE ビットを“0”) 設定にしてください。

A/D コンバータへの変換要求信号は、TRG4ABN (TRG4AN または TRG4BN) になりますので注意してください。また、本機能使用時、MTU4.TADCORA, MTU4.TADCORB レジスタには“0002h”～“TCDR-2”を設定してください。

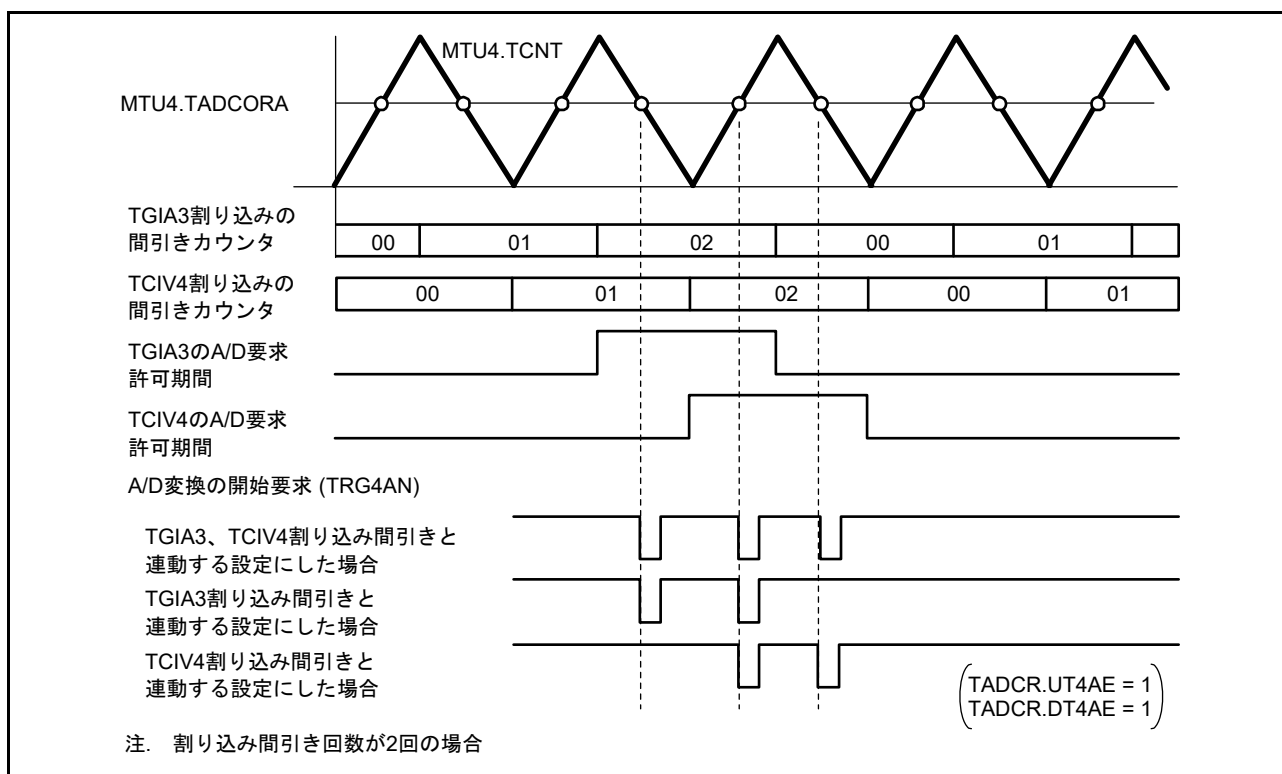


図 22.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時およびダウンカウント時に TRG4AN 出力を許可したとき)

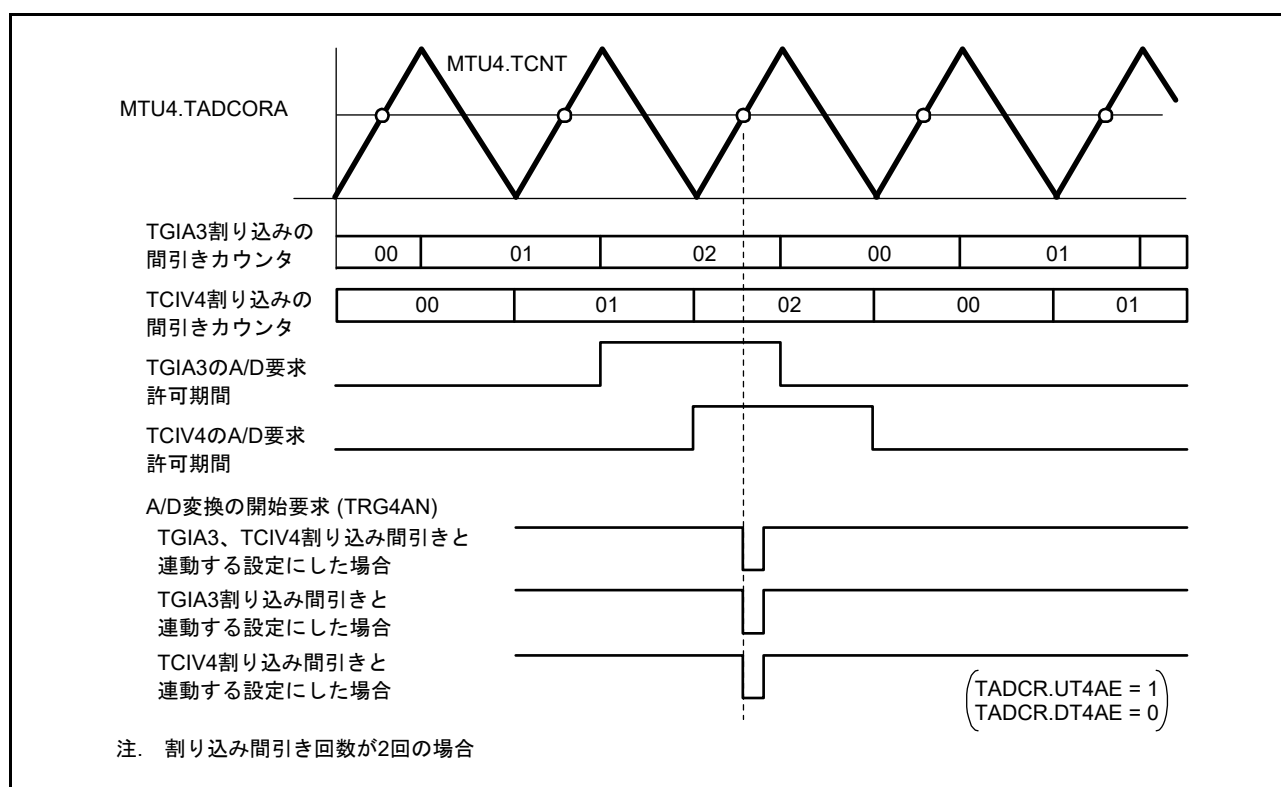


図 22.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (TCNT カウンタのアップカウント時に TRG4AN 出力を許可したとき)

22.3.10 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU, TIORV, TIORW レジスタの IOC[4:0] ビットにパルス幅測定を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU, TCNTV, TCNTW カウンタはカウントアップします。

外部パルス幅測定の設定例を図 22.77、動作例を図 22.78 に示します。

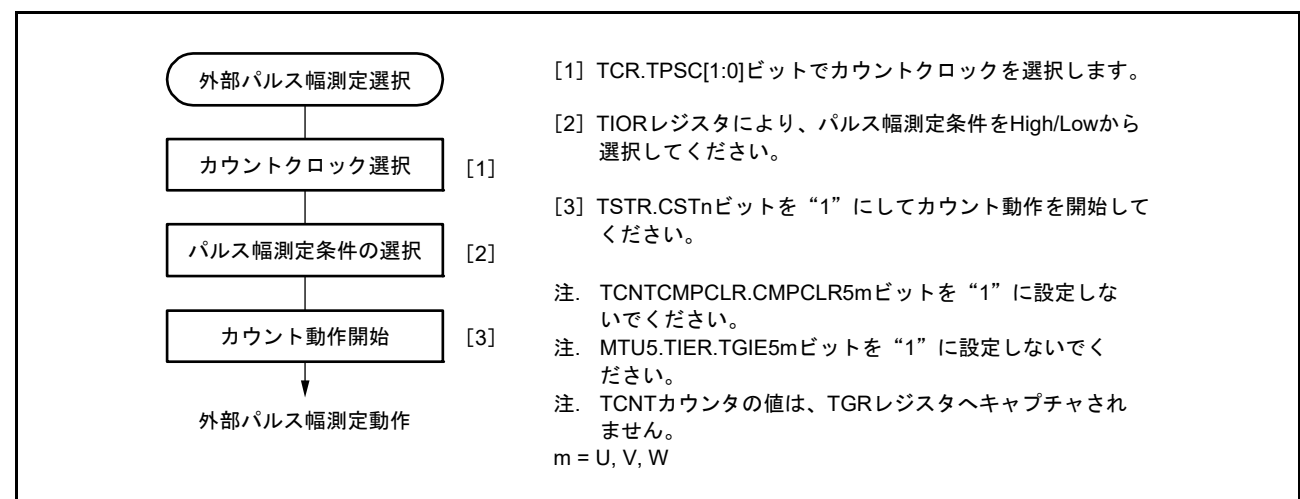


図 22.77 外部パルス幅測定の設定手順例

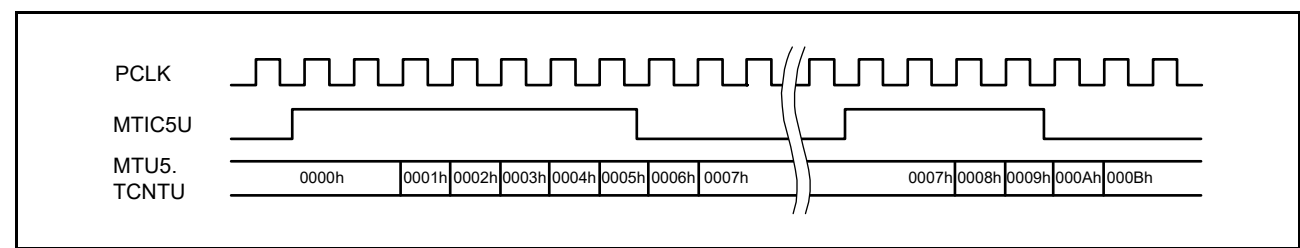


図 22.78 外部パルス幅測定の実作例（High 幅測定）

22.3.11 デッドタイム補償機能

MTU3 ～ MTU5 を組み合わせて、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を補償することができます。

図 22.79 に MTU3 ～ MTU5 を組み合わせてデッドタイム遅れを補償するモータ制御回路の例を示します。

MTU5 の外部パルス測定機能でデッドタイム遅れを測定して、PWM 出力のコンペアレジスタに設定するデューティを補正することで、MTU3、MTU4 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 22.80）。MTU3 ～ MTU5 を使用したデッドタイム補償の設定手順を図 22.81 に示します。このときの MTU5 の動作については、(2) 相補 PWM の山と谷での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作を参照してください。

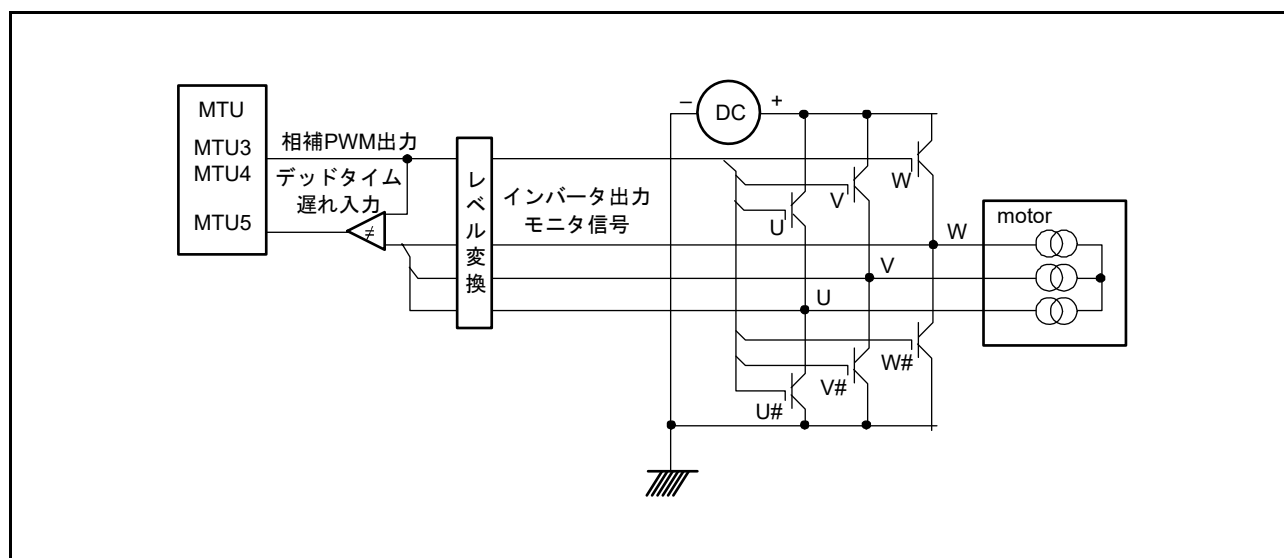


図 22.79 モータ制御回路構成例

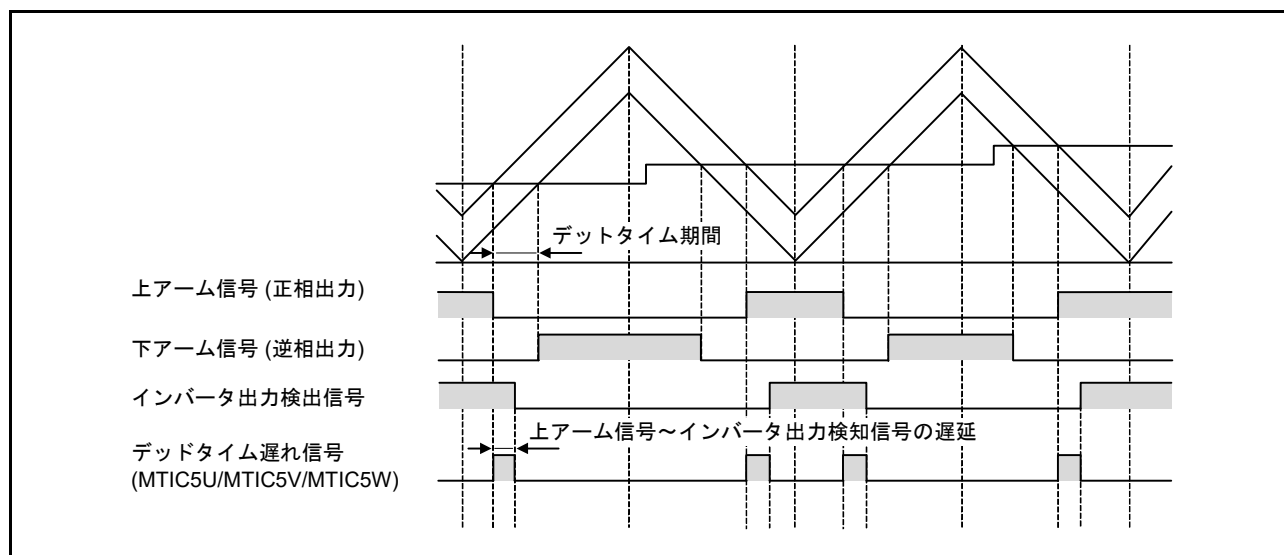


図 22.80 相補 PWM モード動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5 の 3 本のカウンタを使用したデッドタイム補償機能の設定手順例を図 22.81 に示します。

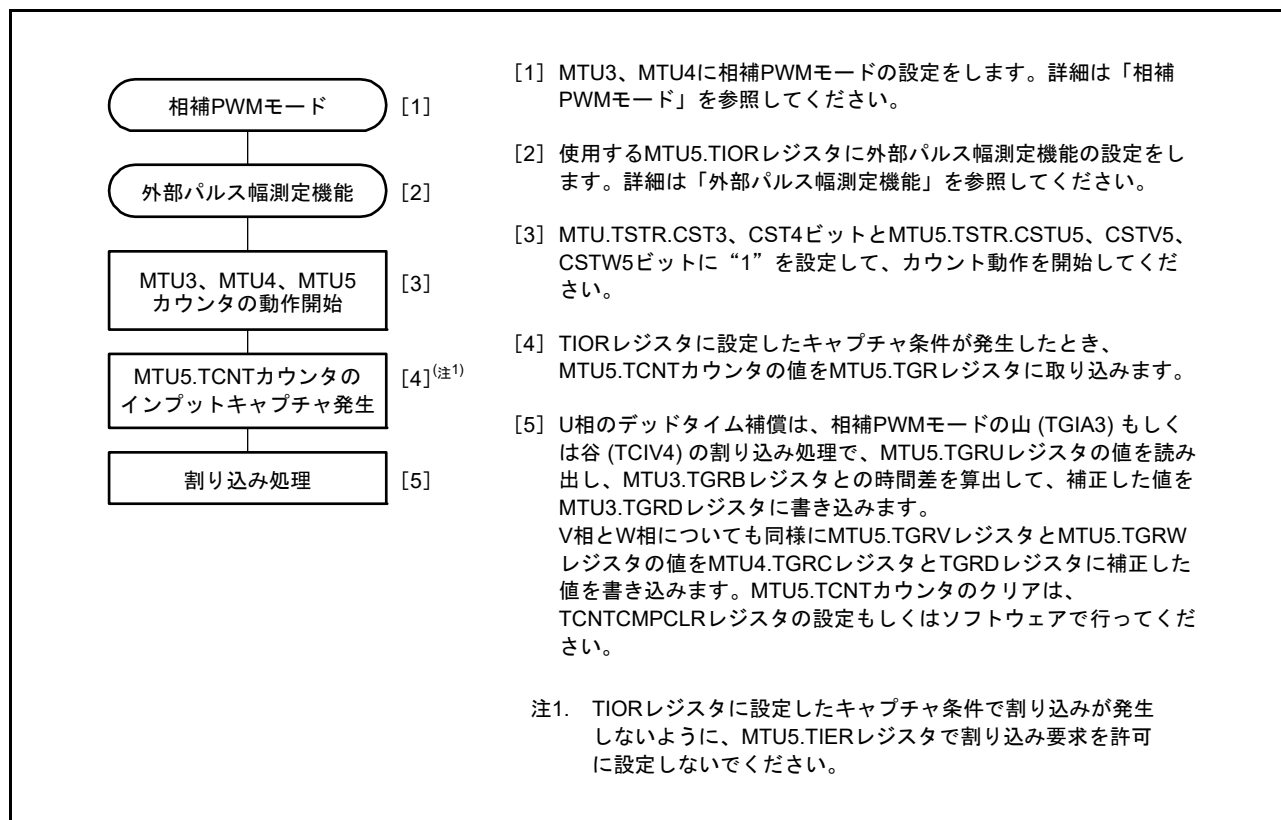


図 22.81 デッドタイム補償機能の設定手順例

(2) 相補 PWM の山と谷での TCNTU、TCNTV、TCNTW カウンタキャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU3、MTU4 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU、TCNTV、TCNTW カウンタの値を TGRU、TGRV、TGRW レジスタに転送する機能です。転送タイミングは TIORU、TIORV、TIORW レジスタに設定します。また TCNTCMPCLR.CMPCLR5U、CMPCLR5V、CMPCLR5W ビットを“1”にすると TGRU、TGRV、TGRW レジスタへの転送タイミングで TCNTU、TCNTV、TCNTW カウンタが“0000h”になります。

図 22.82 は TCNTU カウンタをフリーランでクリアせずに使用し、相補 PWM の山と谷で TGRU レジスタにキャプチャを行った動作例です。

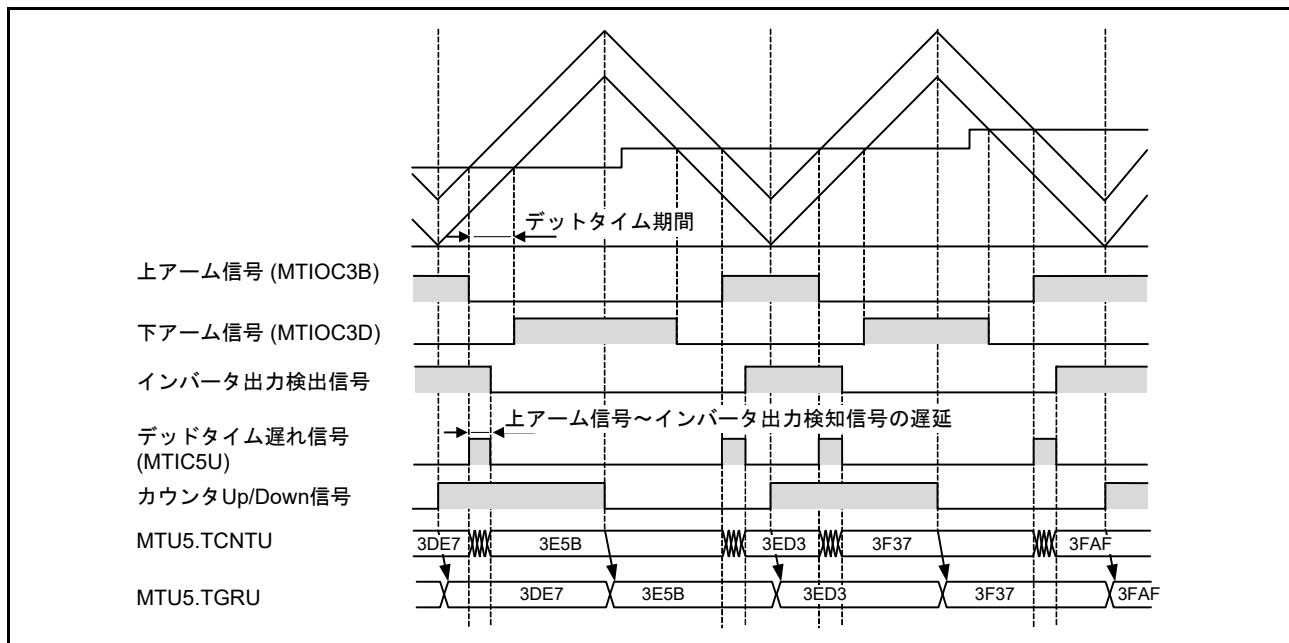


図 22.82 相補 PWM モード時の山と谷での MTU5.TCNTU カウンタキャプチャ動作

22.3.12 ノイズフィルタ機能

MTU のインプットキャプチャ入力端子または外部パルス入力端子には、ノイズフィルタ機能を持っています。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は端子ごとにノイズフィルタ機能の許可/停止が設定でき、サンプリングクロックは、チャンネルごとに設定が可能です。図 22.83 にノイズフィルタのタイミングを示します。

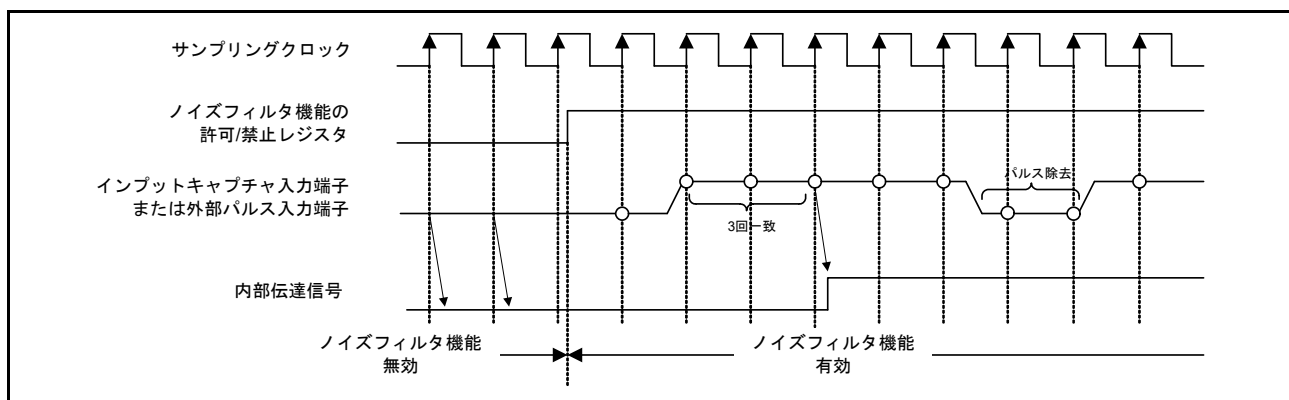


図 22.83 ノイズフィルタのタイミング

22.4 割り込み要因

22.4.1 割り込み要因と優先順位

割り込み要因には、TGR レジスタのインプットキャプチャ/コンペアマッチ、TCNT カウンタのオーバフロー、アンダフローの3種類があります。各割り込み要因は、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可/禁止ビットが“1”であれば、割り込みを要求します。チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 22.57 に MTU の割り込み要因の一覧を示します。

表22.57 MTU割り込み要因(1)

[illegible]

注、 リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ / コンペアマッチ割り込み

TIER.TGIE ビットが“1”のとき、各チャネルの TGR レジスタのインพุットキャプチャ / コンペアマッチの発生により、割り込み要求を発生します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 21 本のインพุットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

TIER.TCIEV ビットが“1”のとき、各チャネルの TCNT カウンタのオーバフローの発生により、割り込み要求を発生します。MTU には、各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

TIER.TCIEU ビットが“1”のとき、各チャネルの TCNT カウンタのアンダフローの発生により、割り込み要求を発生します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

22.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャネルの TGR レジスタのインプットキャプチャ/コンペアマッチ割り込み、MTU4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「18. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3 が各 4 本、MTU1、MTU2 が各 2 本、MTU4 が 5 本、MTU5 が 3 本、計 20 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「17. DMA コントローラ (DMACa)」を参照してください。

MTU では、MTU0 ~ MTU4 の各チャネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因をクリアします。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

22.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動できます。

各割り込み要因と A/D 変換開始要求の対応を、表 22.58 に示します。

(1) TGRA レジスタのインプットキャプチャ/コンペアマッチと、相補 PWM モード時の MTU4.TCNT カウンタの谷での A/D コンバータの起動

各チャネルの TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。また、MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせた場合は MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になったときも A/D コンバータを起動できます。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャネルの TGRA レジスタのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGE2 ビットが“1”にされていた場合
- MTU4.TIER.TTGE2 ビットを“1”にした状態で、相補 PWM モード動作をさせ、MTU4.TCNT カウンタが谷 (MTU4.TCNT = 0000h) になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT カウンタと MTU0.TGRE レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチの発生により、A/D 変換開始要求 TRG0EN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0EN が選択されていれば、A/D 変換が開始されます。

(3) MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチの発生により、A/D 変換開始要求 TRG0FN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0FN が選択されていれば、A/D 変換が開始されます。

(4) MTU0.TGRA レジスタと MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチの発生により、A/D 変換開始要求 TRG0AN, TRG0BN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0AN, TRG0BN が選択されていれば、A/D 変換が開始されます。

(5) A/D 変換開始要求ディレイド機能による A/D コンバータの起動

TADCR.UT4AE, DT4AE, UT4BE, DT4BE ビットを“1”にした場合、TADCORA, TADCORB レジスタと MTU4.TCNT カウンタの一致によって、TRG4AN, TRG4BN を発生し、A/D コンバータを起動できます。詳細は「22.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN または TRG4BN が発生したとき、TRG4ABN が発生します。A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されていれば、A/D 変換が開始されます。

表 22.58 各割り込み要因と A/D 変換開始要求の対応

対象	A/D コンバータ起動要因	A/D 変換開始要求
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGAN
MTU1.TGRA と MTU1.TCNT		
MTU2.TGRA と MTU2.TCNT		
MTU3.TGRA と MTU3.TCNT		
MTU4.TGRA と MTU4.TCNT		
MTU4.TCNT	相補 PWM モード時の MTU4.TCNT の谷	
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRG0AN
MTU0.TGRB と MTU0.TCNT		TRG0BN
MTU0.TGRE と MTU0.TCNT	コンペアマッチ	TRG0EN
MTU0.TGRF と MTU0.TCNT		TRG0FN
TADCORA と MTU4.TCNT		TRG4AN
TADCORB と MTU4.TCNT		TRG4BN
TADCORA と MTU4.TCNT または TADCORB と MTU4.TCNT		TRG4ABN

22.5 動作タイミング

22.5.1 入出力タイミング

(1) TCNT カウンタのカウントタイミング

内部クロック動作の場合の TGI 割り込みのカウントタイミングを図 22.84、図 22.85 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT カウンタのカウントタイミングを図 22.86 に、外部クロック動作（位相計数モード）の場合の TCNT カウンタのカウントタイミングを図 22.87 に示します。

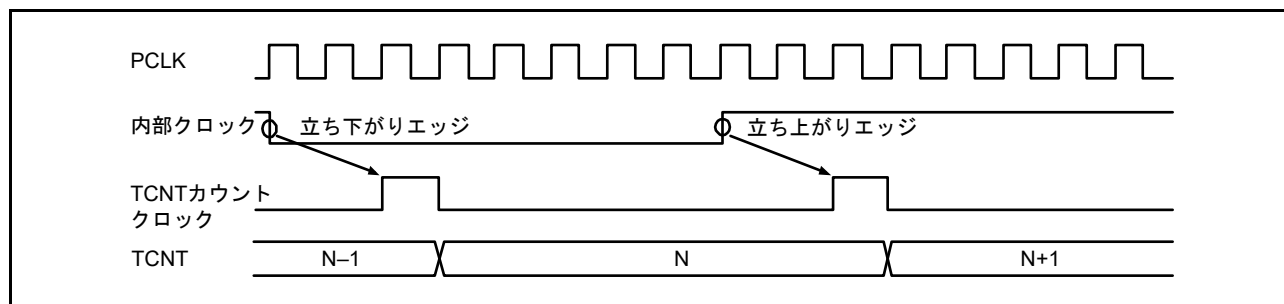


図 22.84 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

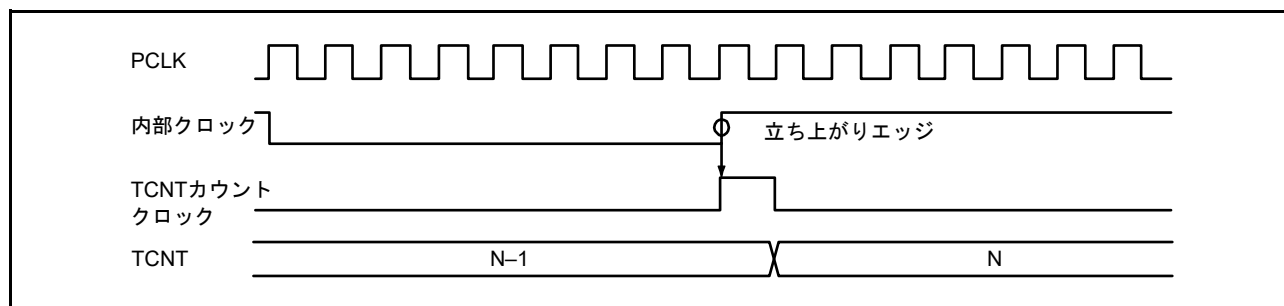


図 22.85 内部クロック動作時のカウントタイミング (MTU5)

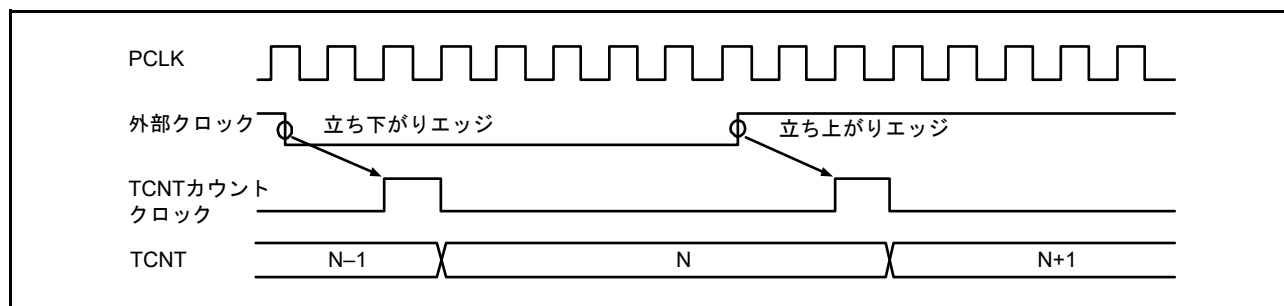


図 22.86 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

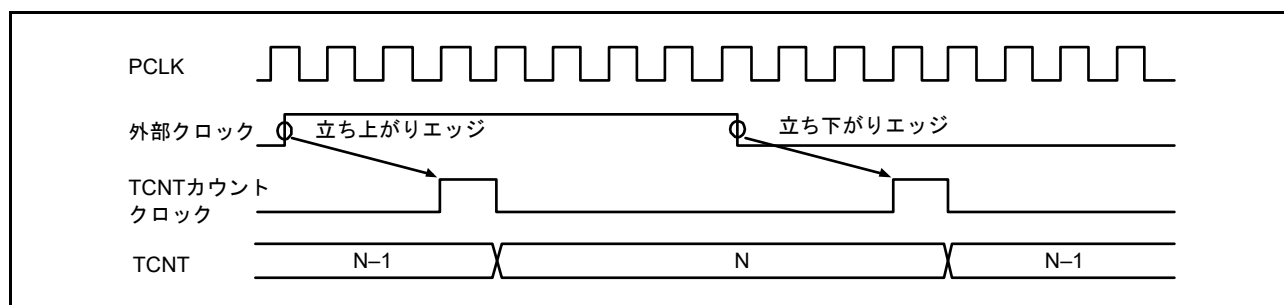


図 22.87 外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT カウンタと TGR レジスタが一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT カウンタと TGR レジスタが一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 22.88 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 22.89 に示します。

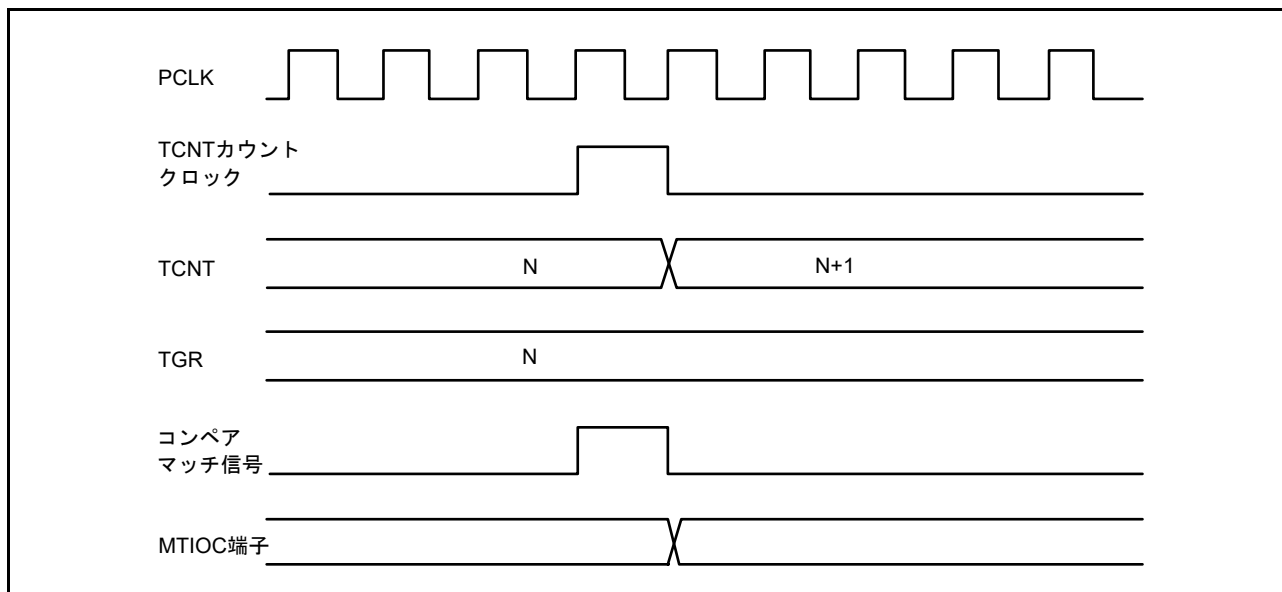


図 22.88 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

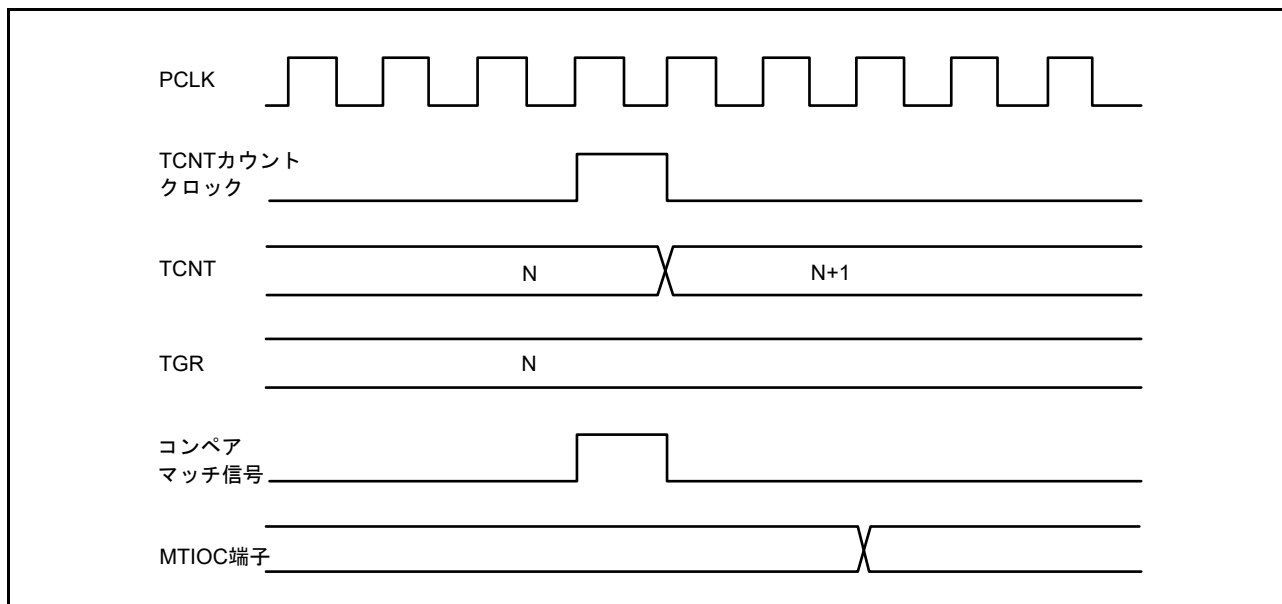


図 22.89 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 22.90 に示します。

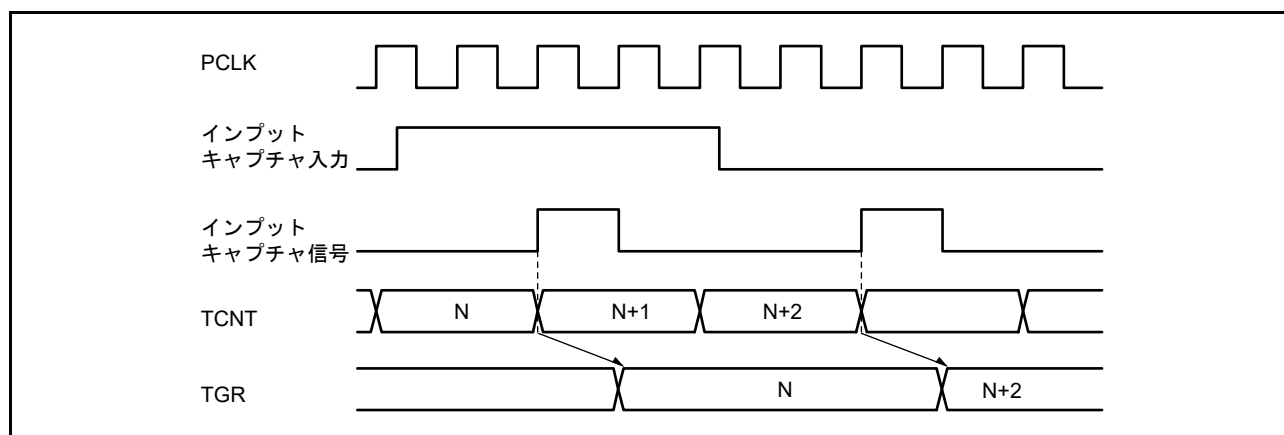


図 22.90 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 22.91、図 22.92 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 22.93 に示します。

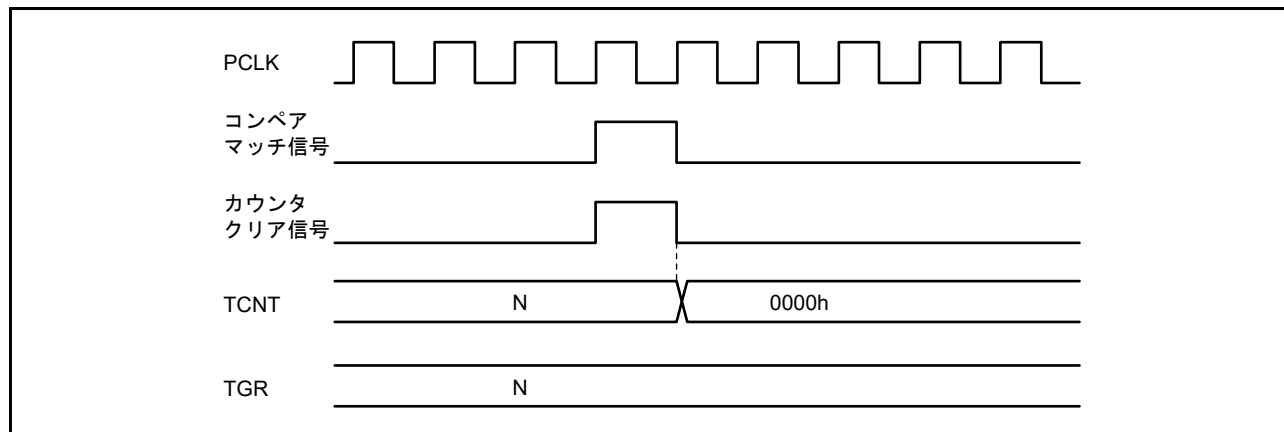


図 22.91 カウンタクリアタイミング（コンペアマッチ）(MTU0 ~ MTU4)

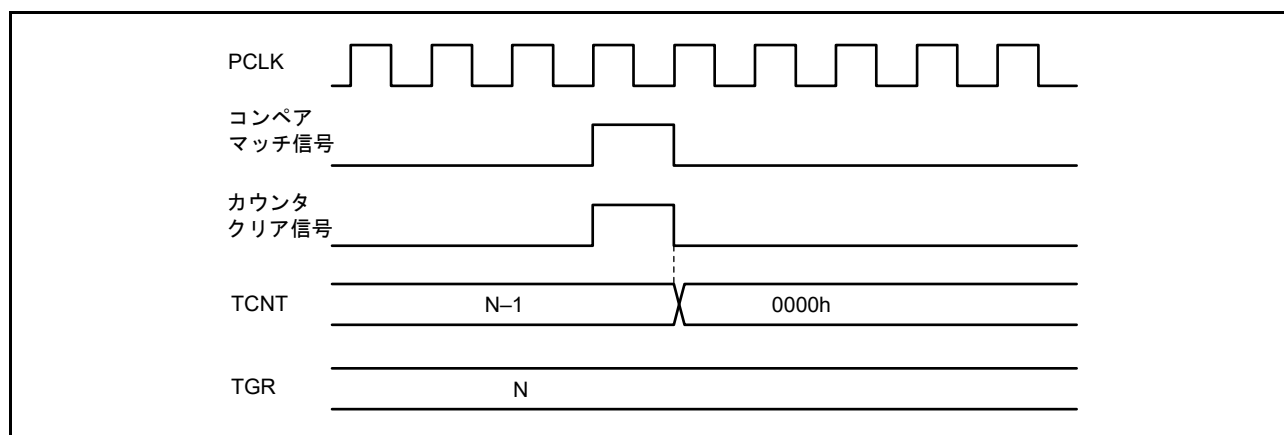


図 22.92 カウンタクリアタイミング（コンペアマッチ）(MTU5)

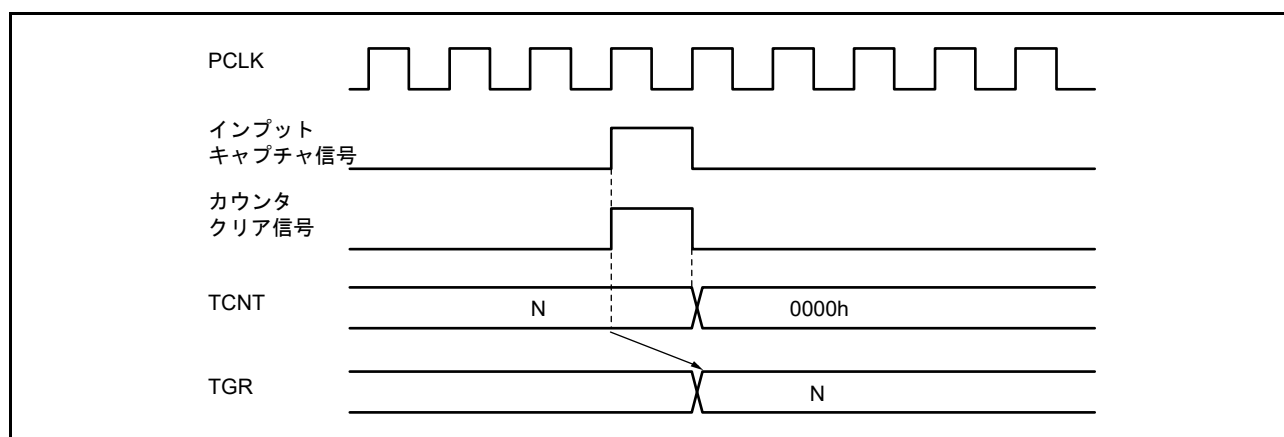


図 22.93 カウンタクリアタイミング（インプットキャプチャ）(MTU0 ~ MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 22.94 ～図 22.96 に示します。

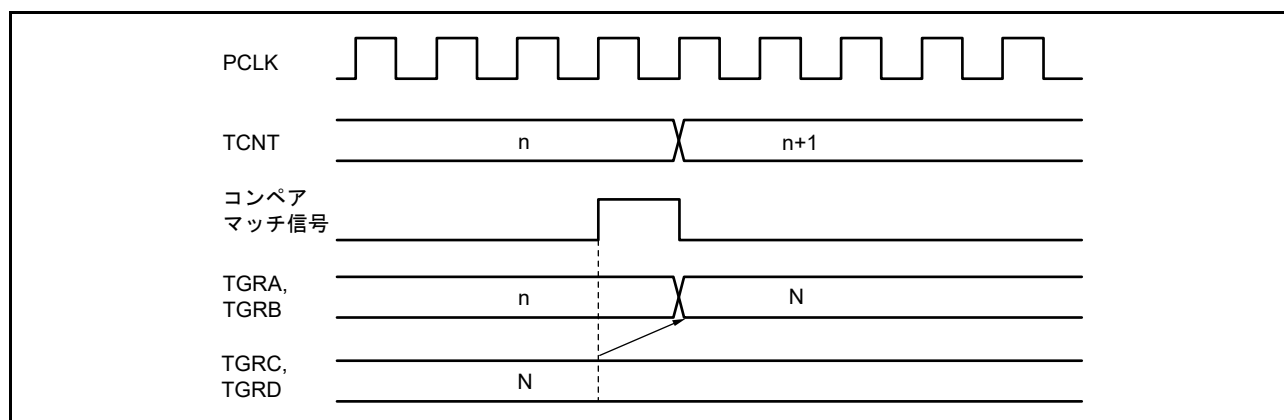


図 22.94 バッファ動作タイミング（コンペアマッチ）

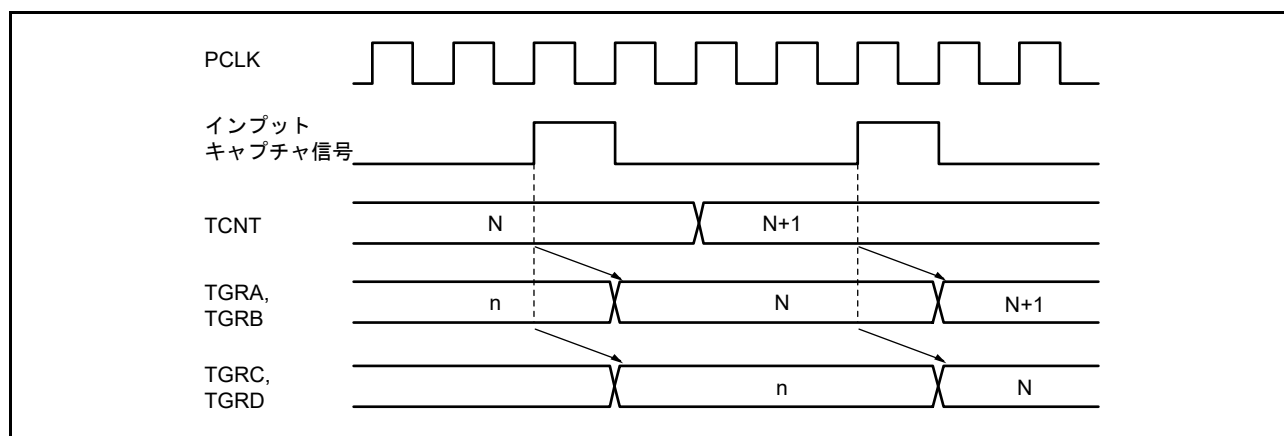


図 22.95 バッファ動作タイミング（インプットキャプチャ）

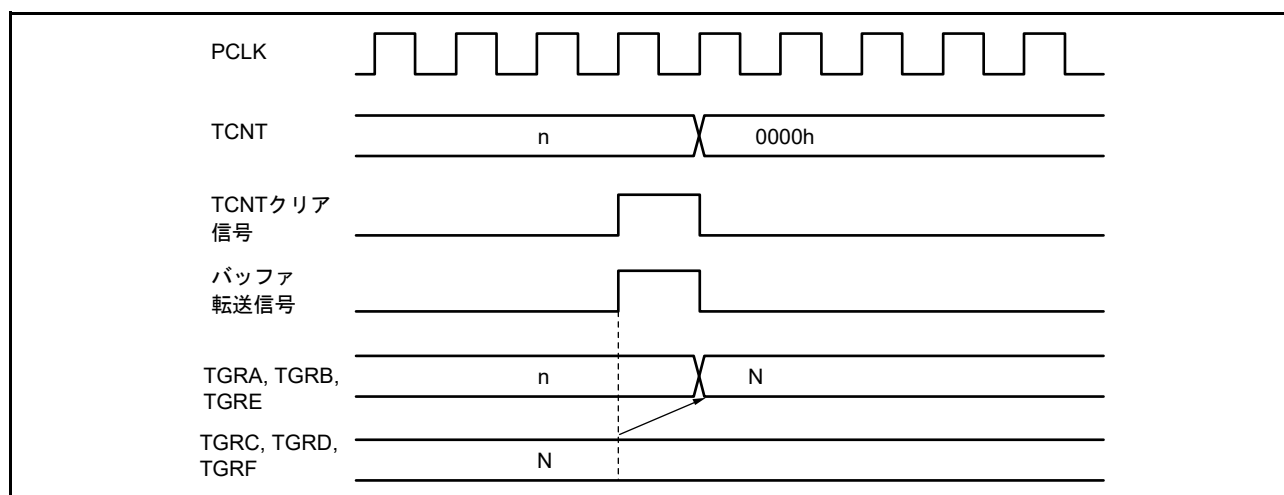


図 22.96 バッファ動作タイミング（TCNT カウンタクリア時）

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 22.97 ～図 22.99 に示します。

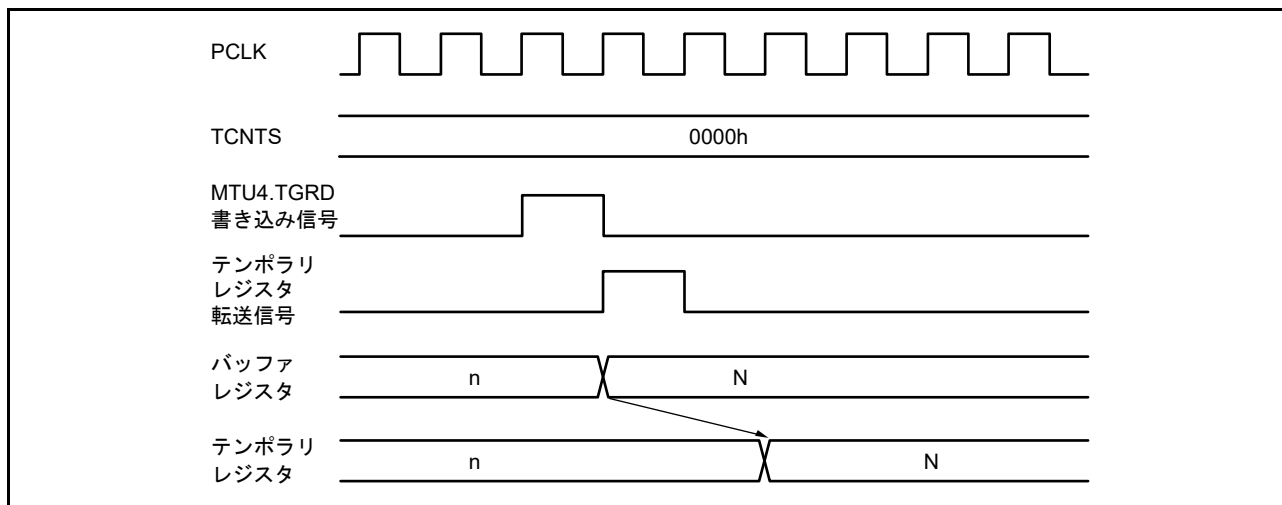


図 22.97 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ停止中)

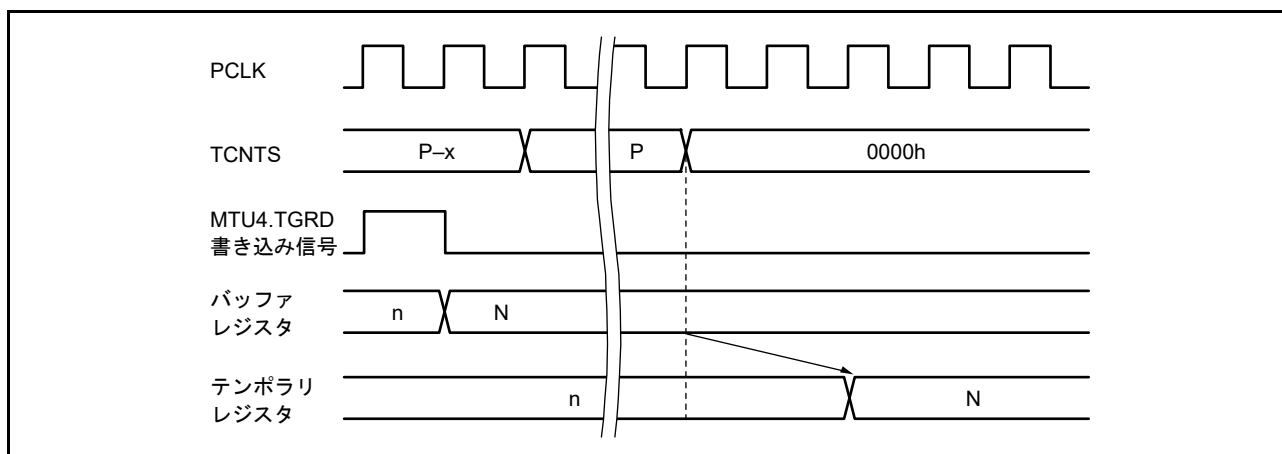


図 22.98 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS カウンタ動作中)

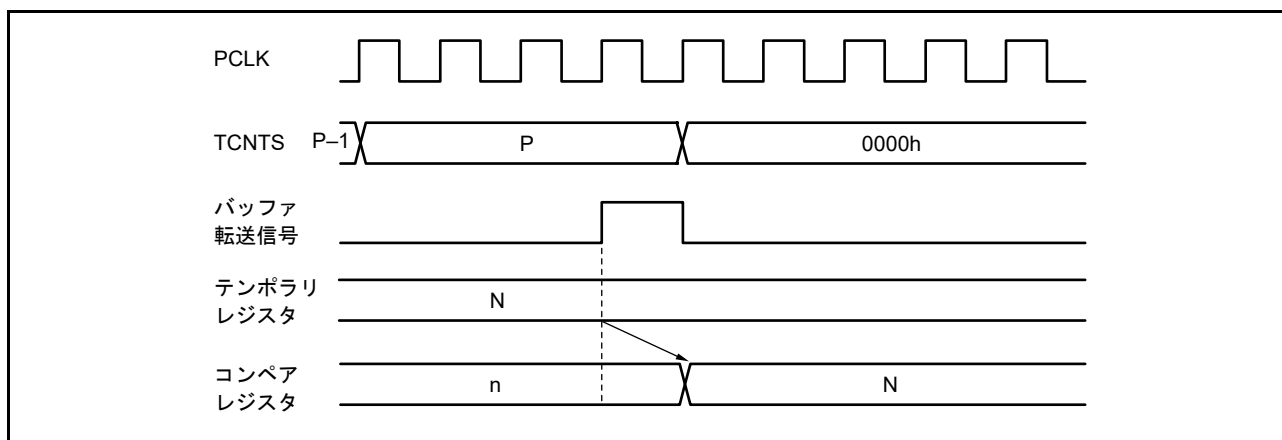


図 22.99 テンポラリレジスタからコンペアレジスタへの転送タイミング

22.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 22.100、図 22.101 に示します。

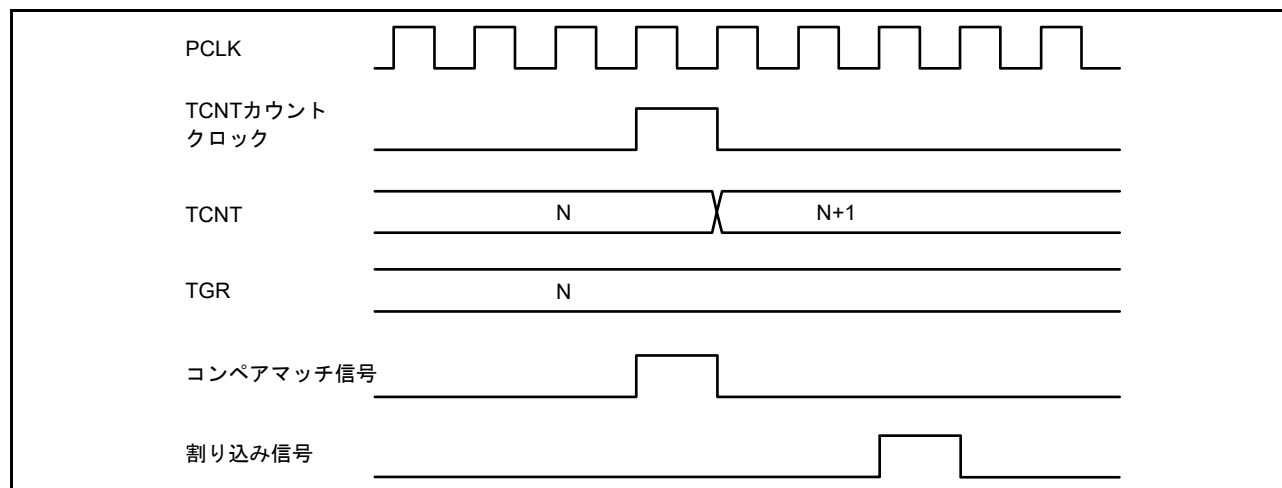


図 22.100 TGI 割り込みタイミング（コンペアマッチ）（MTU0 ~ MTU4）

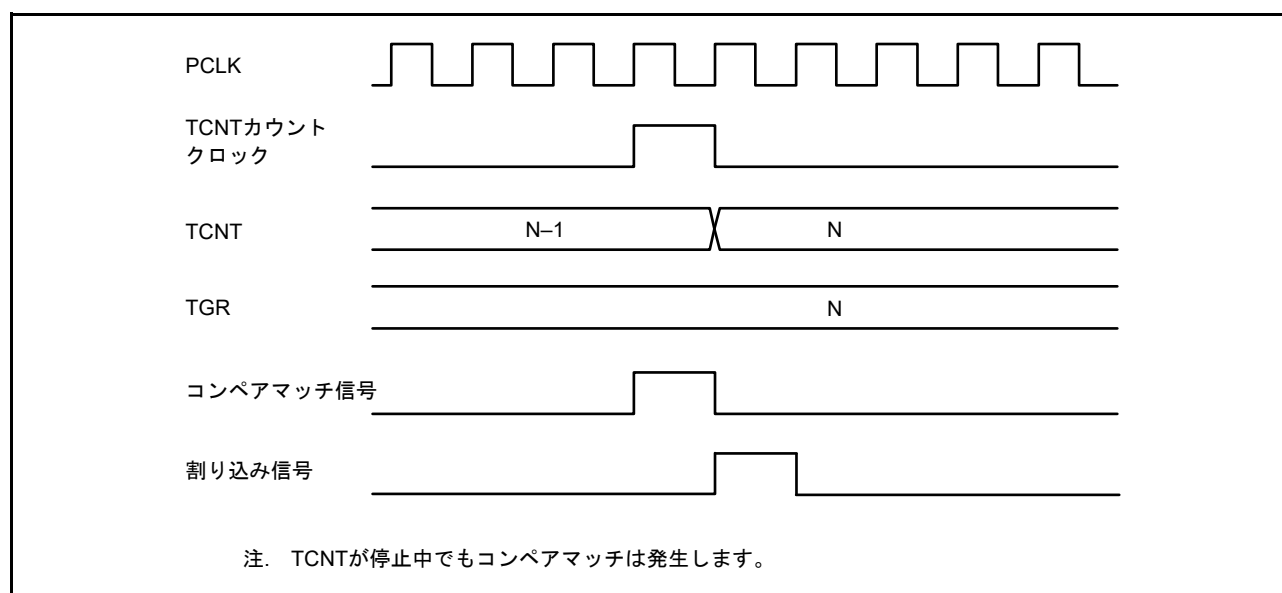


図 22.101 TGI 割り込みタイミング（コンペアマッチ）（MTU5）

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャの発生による TGI 割り込み要求信号のタイミングを図 22.102、図 22.103 に示します。

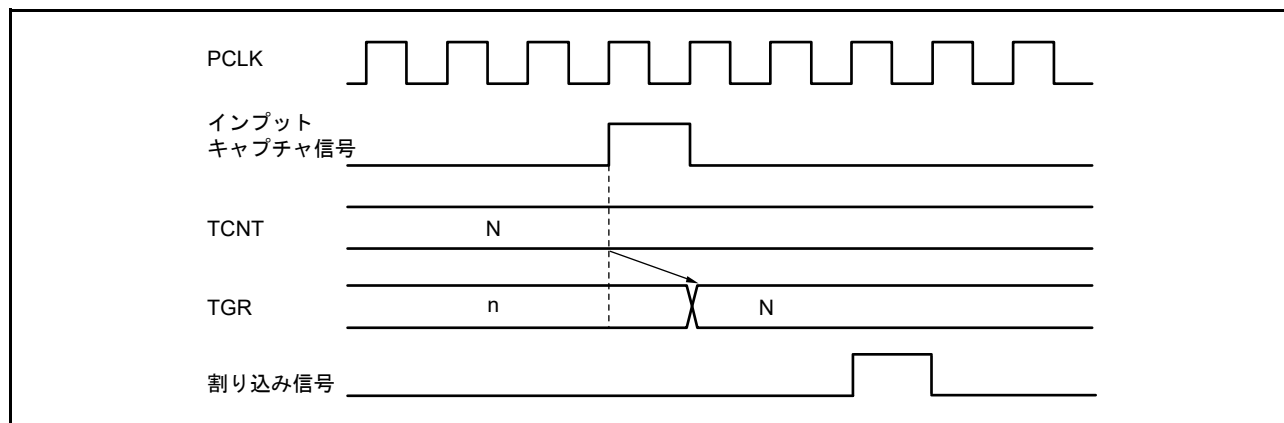


図 22.102 TGI 割り込みタイミング（インพุットキャプチャ）(MTU0 ~ MTU4)

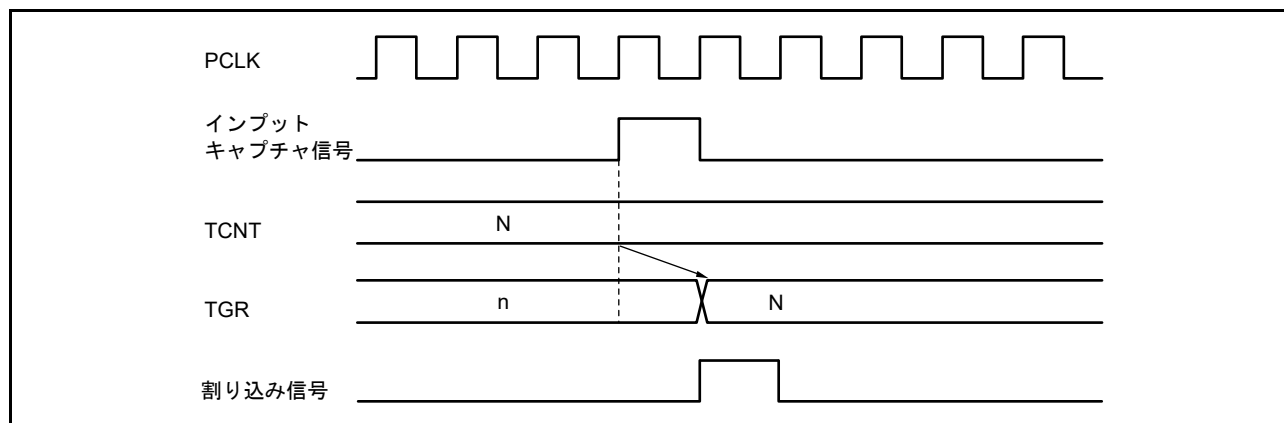


図 22.103 TGI 割り込みタイミング（インพุットキャプチャ）(MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローの発生による TCIV 割り込み要求信号のタイミングを図 22.104 に示します。

アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 22.105 に示します。

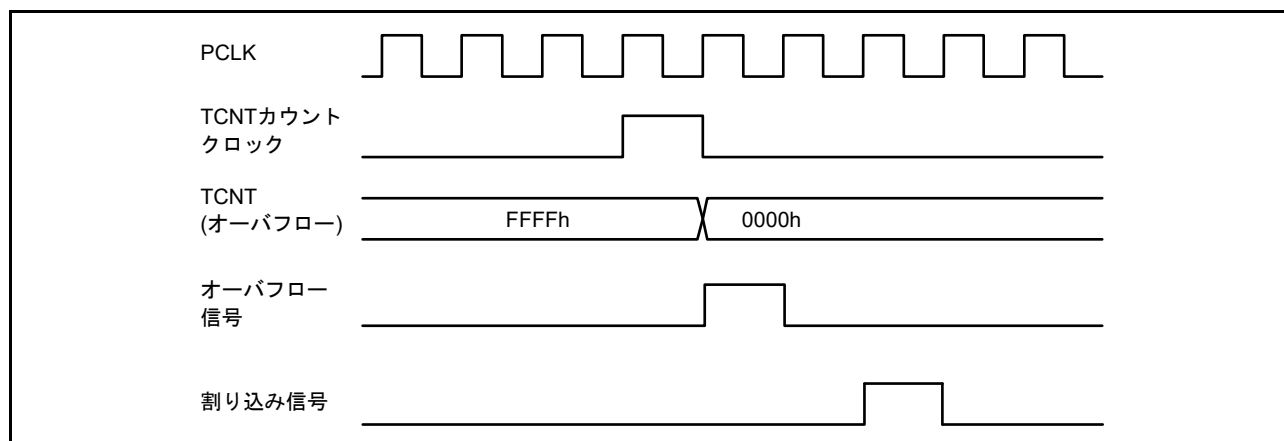


図 22.104 TCIV 割り込みタイミング

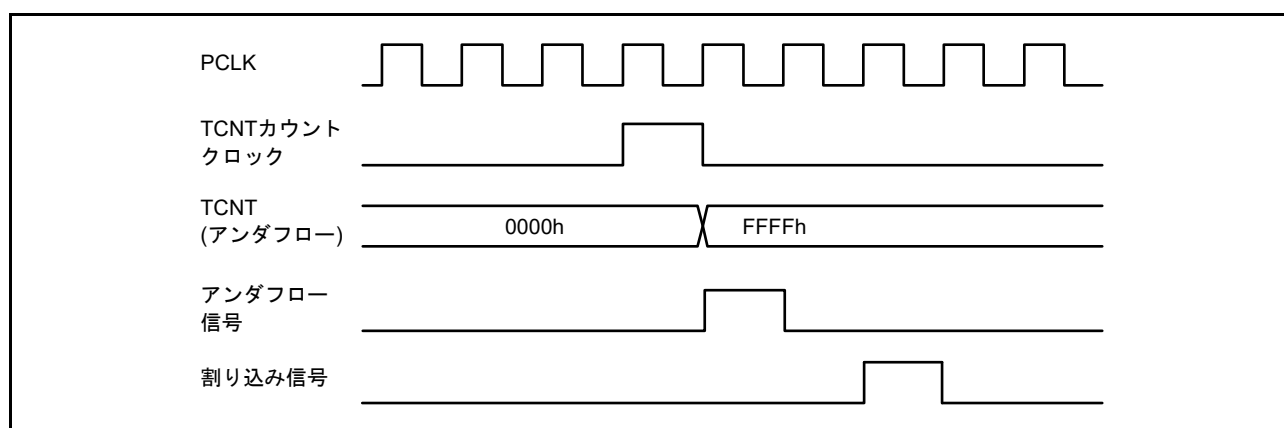


図 22.105 TCIU 割り込みタイミング

22.6 使用上の注意事項

22.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、MTU の動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

22.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 PCLK 以上、パルス幅は 2.5 PCLK 以上が必要です。位相計数モードの入力クロックの条件を図 22.106 に示します。

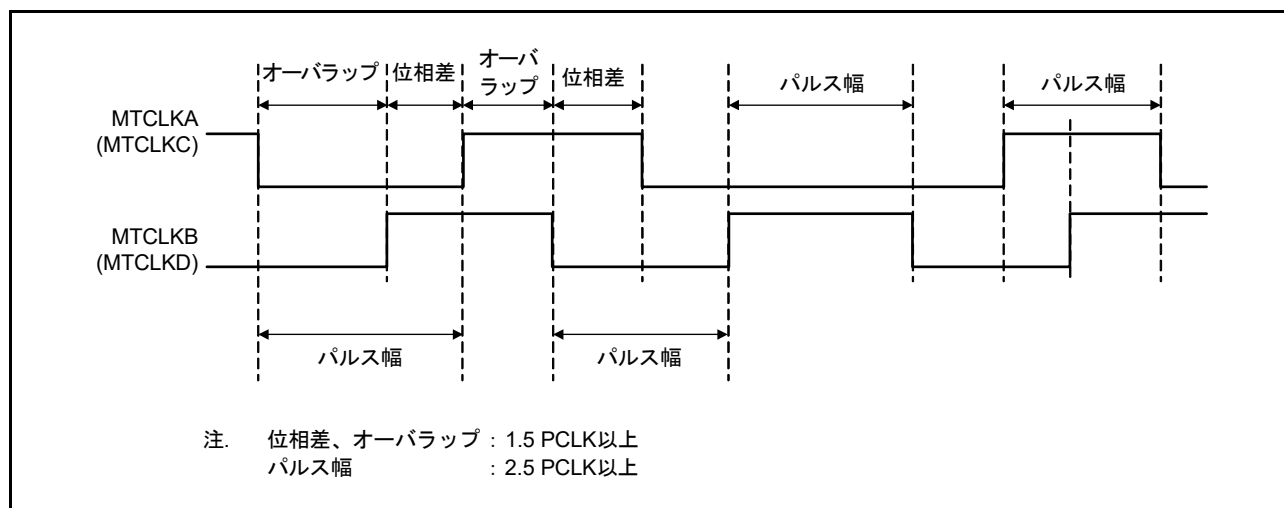


図 22.106 位相計数モード時の位相差、オーバーラップ、およびパルス幅

22.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TGR レジスタの値と一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

- MTU0 ～ MTU4 の場合

$$f = \frac{\text{CNTCLK}}{N+1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR.TPSC[2:0] ビットで設定したカウントクロックの周波数

N : TGR レジスタの設定値

22.6.4 TCNT カウンタの書き込みとクリアの競合

TCNT カウンタの書き込みサイクル中で、カウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われず、TCNT カウンタのクリアが優先されます。

このタイミングを図 22.107 に示します。

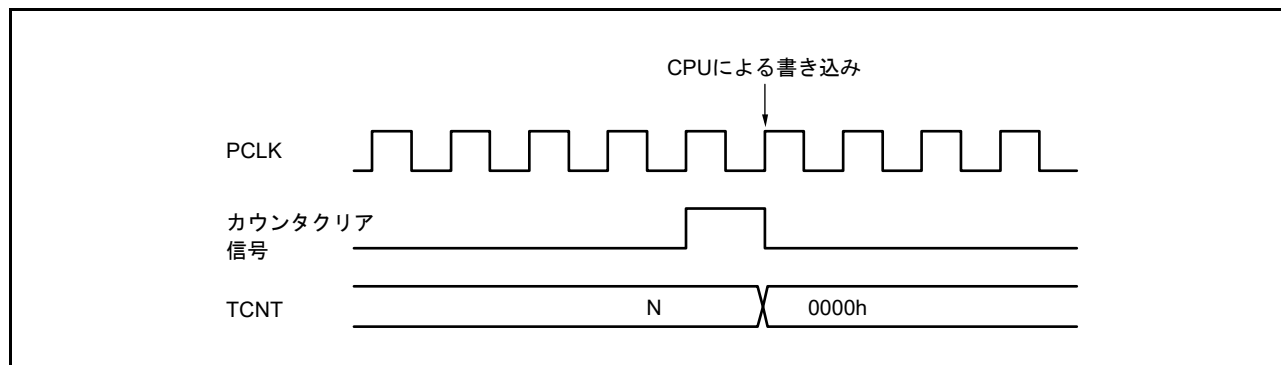


図 22.107 TCNT カウンタの書き込みとカウンタクリアの競合

22.6.5 TCNT カウンタの書き込みとカウントアップの競合

TCNT カウンタの書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT カウンタへの書き込みが優先されます。

このタイミングを図 22.108 に示します。

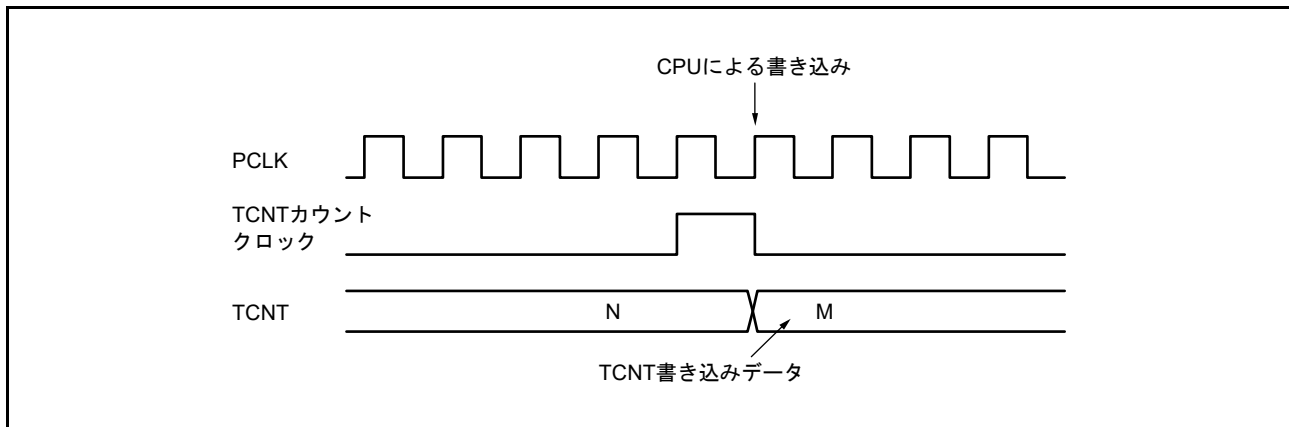


図 22.108 TCNT カウンタの書き込みとカウントアップの競合

22.6.6 TGR レジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 22.109 に示します。

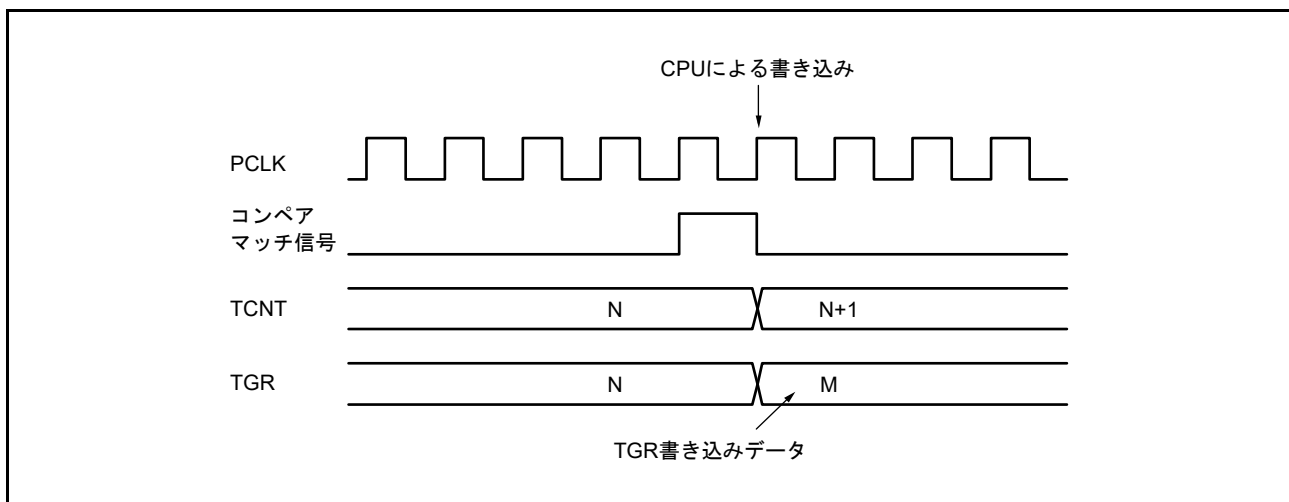


図 22.109 TGR レジスタの書き込みとコンペアマッチの競合

22.6.7 バッファレジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.110 に示します。

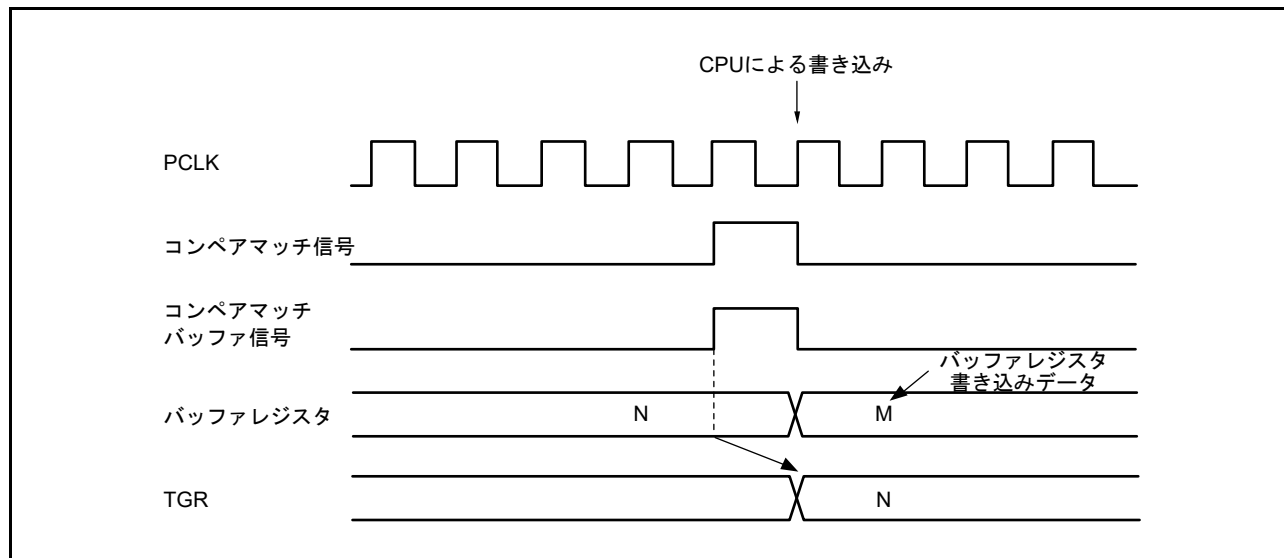


図 22.110 バッファレジスタの書き込みとコンペアマッチの競合

22.6.8 バッファレジスタの書き込みと TCNT カウンタクリアの競合

TBTM レジスタでバッファ転送タイミングを TCNT カウンタクリア時に設定した場合、TGR レジスタの書き込みサイクル中に TCNT カウンタクリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.111 に示します。

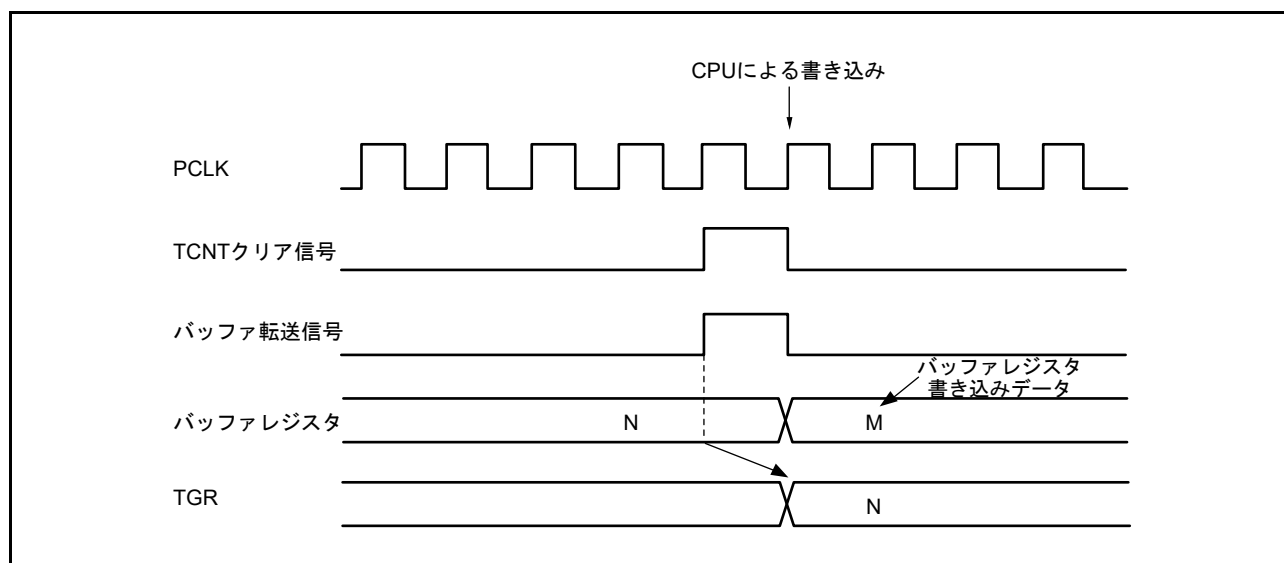


図 22.111 バッファレジスタの書き込みと TCNT カウンタクリアの競合

22.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出しされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 22.112 に示します。

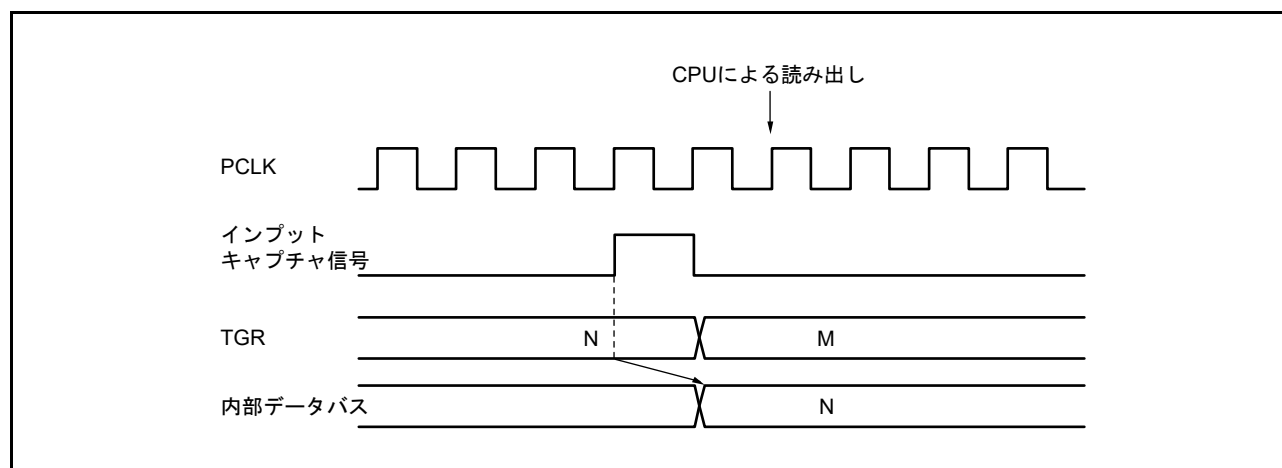


図 22.112 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU5)

22.6.10 TGR レジスタの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ～ MTU4 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 22.113、図 22.114 に示します。

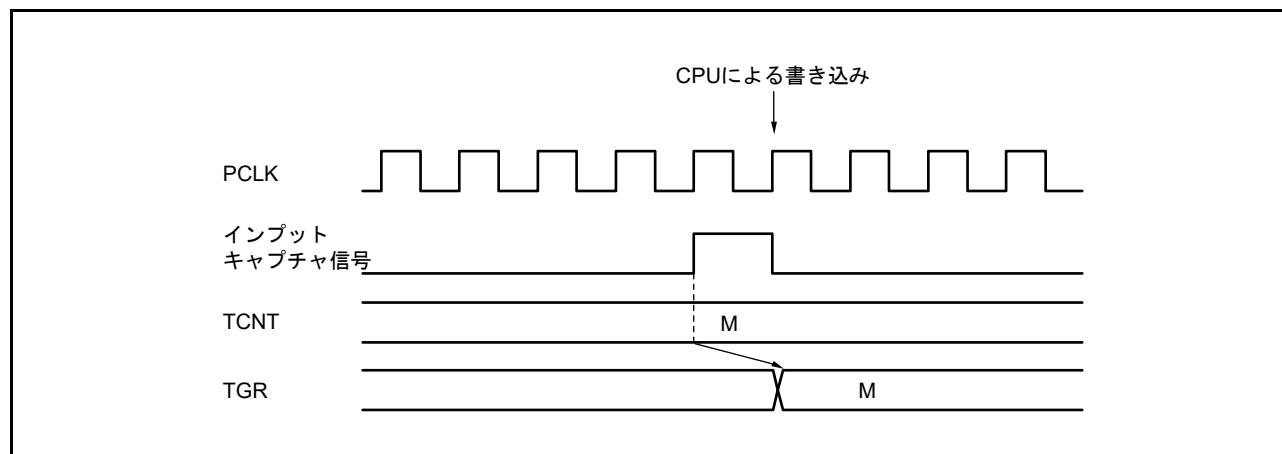


図 22.113 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU0 ～ MTU4)

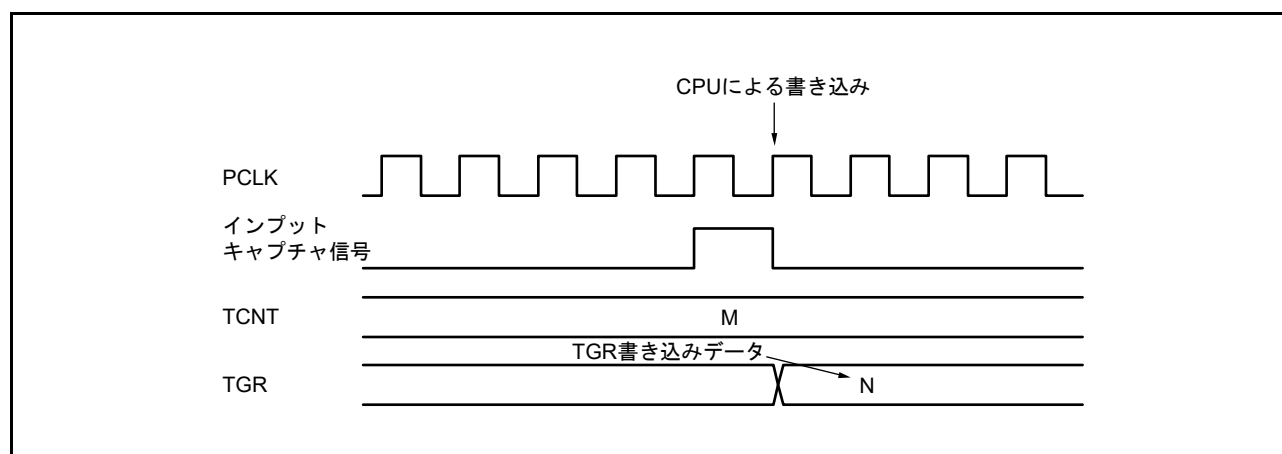


図 22.114 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU5)

22.6.11 バッファレジスタの書き込みとインプットキャプチャの競合

バッファの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 22.115 に示します。

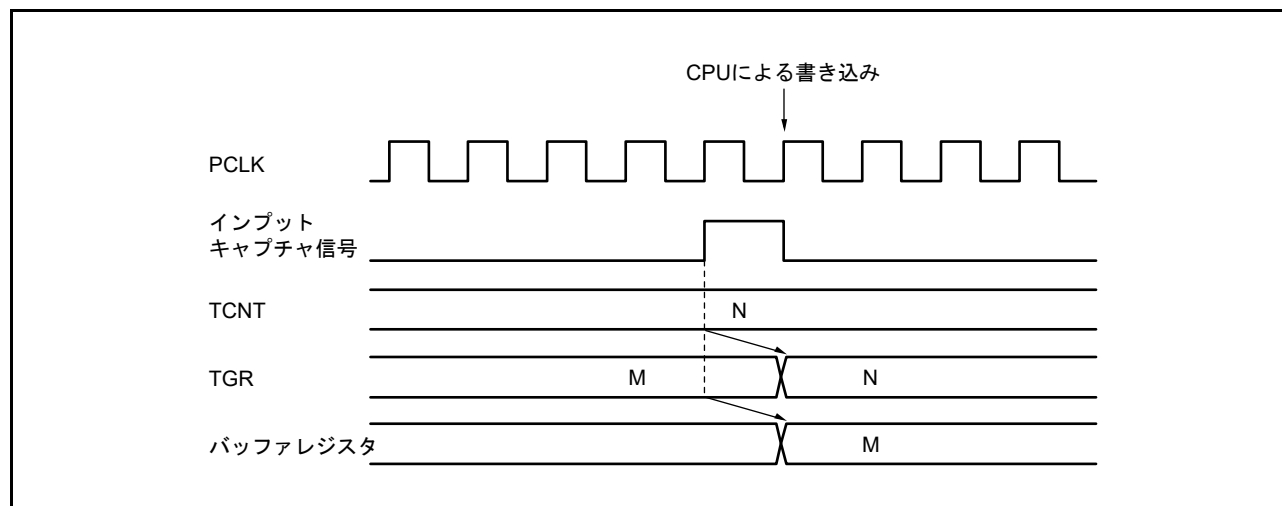


図 22.115 バッファレジスタの書き込みとインプットキャプチャの競合

22.6.12 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー / アンダフローの競合

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタがカウントする瞬間 (MTU2.TCNT カウンタがオーバフロー / アンダフローする瞬間) と MTU2.TCNT カウンタの書き込みが競合すると、MTU2.TCNT カウンタへの書き込みが行われ、MTU1.TCNT カウンタのカウント信号が禁止されます。このとき、MTU1.TGRA レジスタがコンペアマッチレジスタとして動作し MTU1.TCNT カウンタの値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD レジスタはインプットキャプチャ動作します。さらに MTU1.TGRB レジスタのインプットキャプチャ要因に MTU0.TGRC レジスタのコンペアマッチ / インプットキャプチャを選択した場合には、MTU1.TGRB レジスタはインプットキャプチャ動作します。

このタイミングを図 22.116 に示します。

また、カスケード接続動作で TCNT カウンタのクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

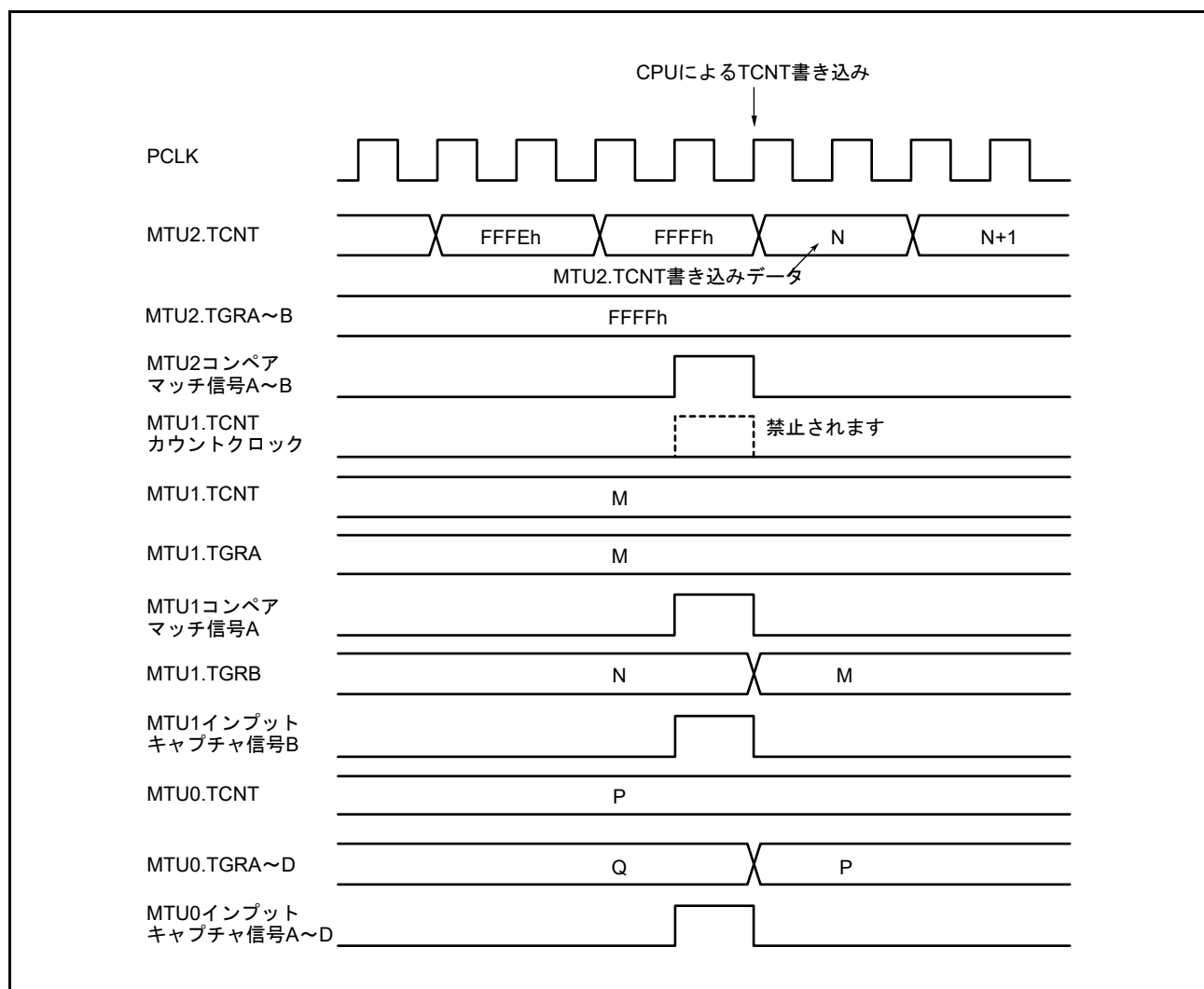


図 22.116 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー / アンダフローの競合

22.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT, MTU4.TCNT カウンタが相補 PWM モードで動作している時にカウント動作を停止すると、MTU3.TCNT カウンタは TDDR レジスタの値、MTU4.TCNT カウンタは “0000h” になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 22.117 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT, MTU4.TCNT カウンタにカウント初期値の設定を行ってください。

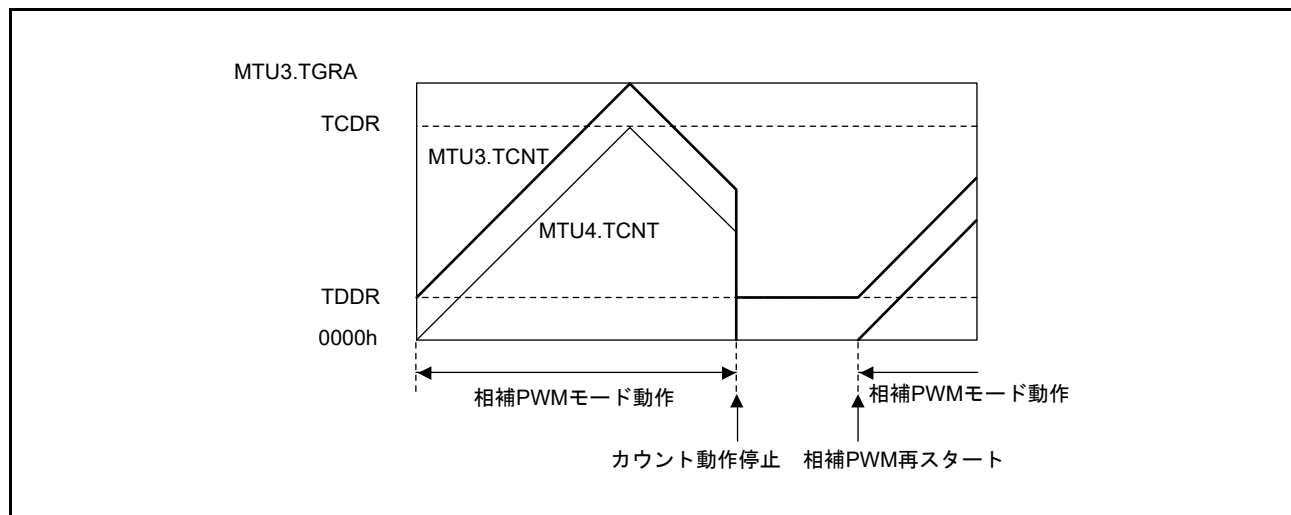


図 22.117 相補 PWM モード停止時のカウンタ値 (MTU3、MTU4 動作)

22.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA)、タイマ周期データレジスタ (TCDR)、コンペアレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) の書き替えは、バッファ動作で行ってください。また、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットは “0” にしてください。MTU4.TMDR.BFA ビットを “1” に設定すると MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを “1” に設定すると MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。MTU3.TMDR.BFA ビットを “1” にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能し、さらに TCBR レジスタは TCDR レジスタのバッファレジスタとして機能します。

22.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR.BFA ビット、MTU4.TMDR.BFB ビットを“0”に設定してください。MTU4.TMDR.BFA ビットを“1”に設定すると、MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを“1”に設定すると MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR.BFA ビットを“1”にした場合、MTU3.TGRC レジスタは MTU3.TGRA レジスタのバッファレジスタとして機能します。同時に MTU4.TGRC レジスタは MTU4.TGRA レジスタのバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD レジスタがバッファレジスタとして動作している場合、対応する TGIC、TGID 割り込み要求は発生しません。

MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“1”にし、MTU3.TMDR.BFA ビット、MTU3.TMDR.BFB ビットを“0”にした場合の MTU3.TGR, MTU4.TGR レジスタ、MTIOC3m、MTIOC4m の動作例を図 22.118 に示します。(m = A ~ D)

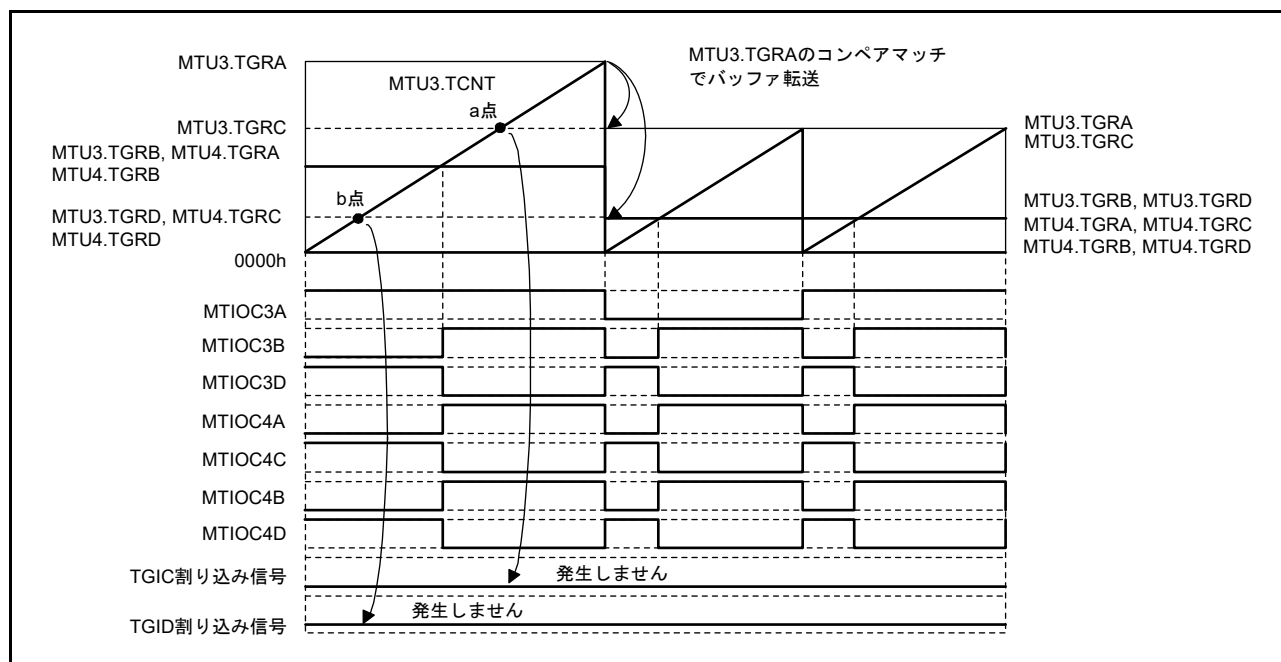


図 22.118 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

22.6.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR.CST3 ビットを“1”に設定すると、MTU3.TCNT カウンタと MTU4.TCNT カウンタのカウンタ動作が開始します。このとき、MTU4.TCNT カウンタのカウンタクロックソースとカウンタエッジは MTU3.TCR レジスタの設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT カウンタがアップカウントし“FFFFh”になると、MTU3.TGRA レジスタとのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT カウンタともにクリアされます。このとき、対応する TCIV 割り込み要求は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA レジスタの設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA レジスタのコンペアマッチを指定した場合の動作例を図 22.119 に示します。

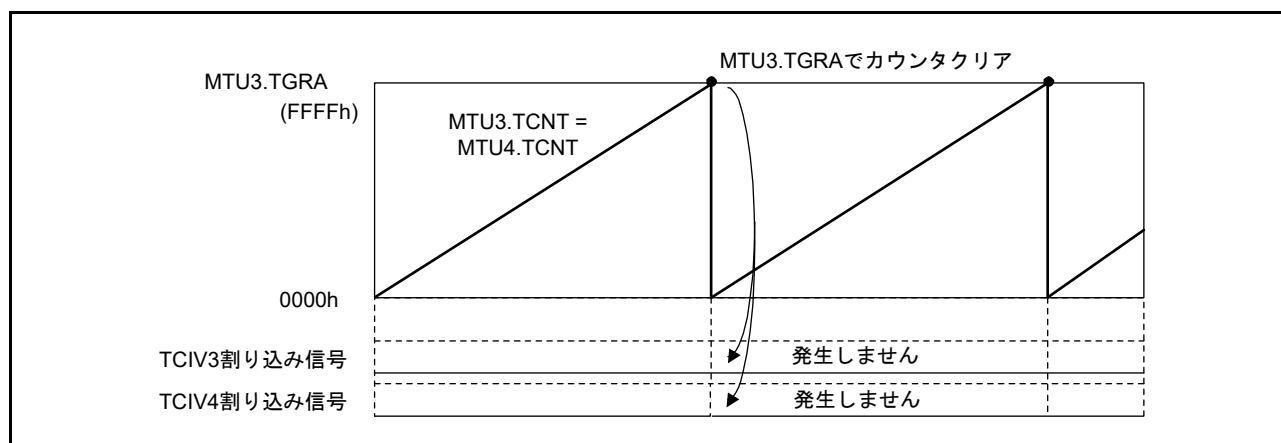


図 22.119 リセット同期 PWM モードのオーバーフローフラグ

22.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCNT カウンタのクリアが優先されて、対応する TCIV 割り込みは発生しません。オーバフローとインプットキャプチャによるカウンタクリアが同時に発生すると、インプットキャプチャ割り込み信号が出力され、オーバフロー割り込み信号は出力されません。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタに“FFFFh”を設定した場合の動作タイミングを図 22.120 に示します。

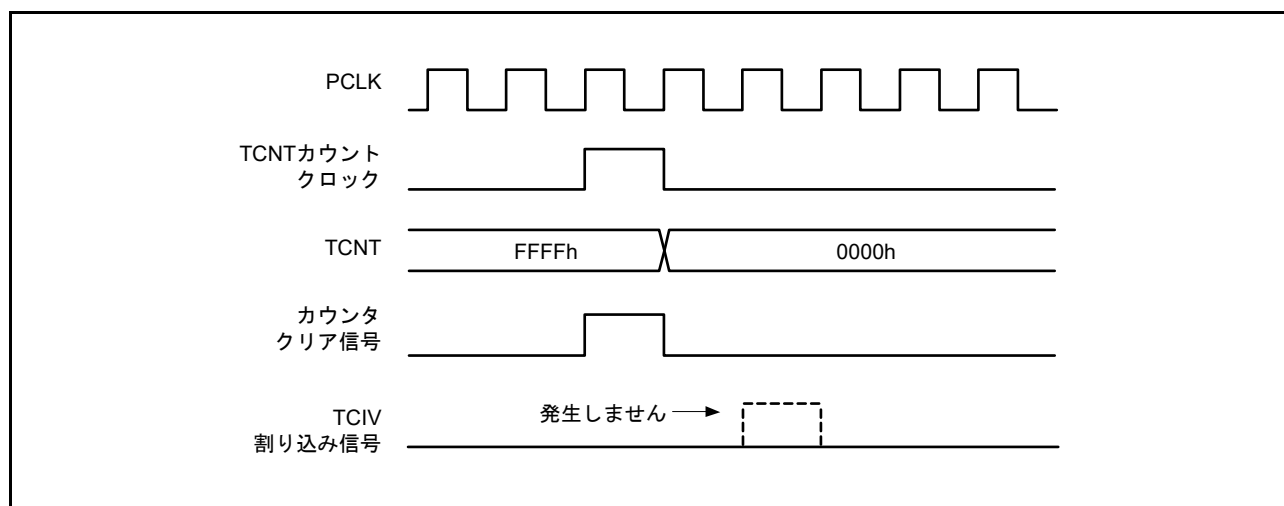


図 22.120 オーバフローとカウンタクリアの競合

22.6.18 TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

TCNT カウンタの書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT カウンタへの書き込みが優先されます。対応する割り込みは発生しません。

TCNT カウンタの書き込みとオーバフロー競合時の動作タイミングを図 22.121 に示します。

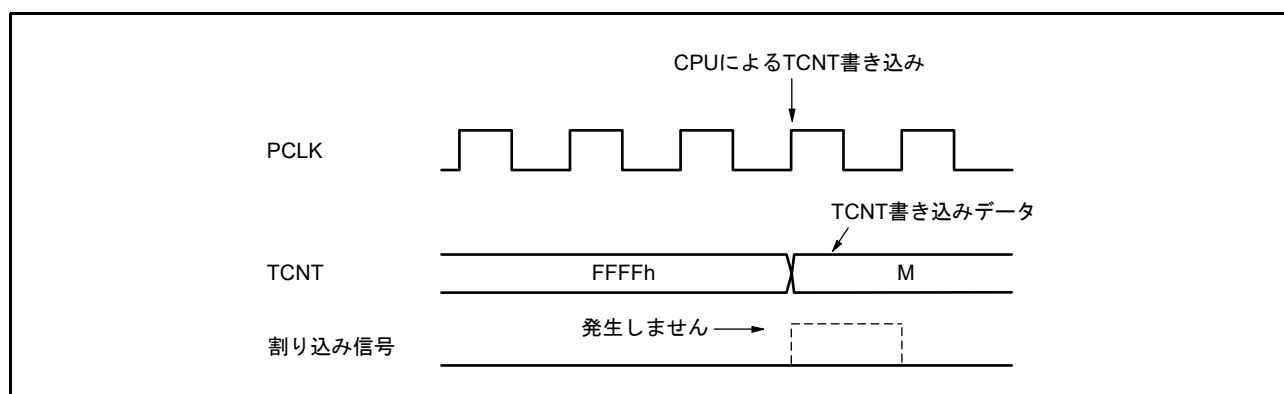


図 22.121 TCNT カウンタの書き込みとオーバフローの競合

22.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

MTU3、MTU4 のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH, MTU3.TIORL, MTU4.TIORH, MTU4.TIORL レジスタに “11h” を書いて出力端子を Low に初期化した後、レジスタの初期値 “00h” を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 “00h” を設定してからリセット同期 PWM モードに遷移してください。

22.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは TOCR1.OLSP, OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOER レジスタは “00h” にしてください。相補 PWM モードで TDER.TDER ビットを “0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSN ビットの設定によらず、TOCR1.OLSP ビットの設定による正相出力の反転レベルとなります。

22.6.21 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPU の割り込み要因、または DTC/DMAC の起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

22.6.22 カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時インプットキャプチャ

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT カウンタに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT カウンタ (上位 16 ビットのカウンタ) が MTU2.TCNT カウンタ (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT = FFF1h、MTU2.TCNT = 0000h の値を MTU1.TGRA レジスタと MTU2.TGRA レジスタ、もしくは MTU1.TGRB レジスタと MTU2.TGRB レジスタに転送すべきところを誤って MTU1.TCNT = FFF0h、MTU2.TCNT = 0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT カウンタと MTU2.TCNT カウンタを同時にキャプチャできる機能を使用すれば、MTU1.TCNT カウンタと MTU2.TCNT カウンタのキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は、「22.2.8 タイマインプットキャプチャ

コントロールレジスタ (TICCR)」を参照してください。

22.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効となっています。詳細は、「23. ポートアウトプットイネーブル 2 (POE2a)」を参照してください。

22.6.24 MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項

MTU5.TCNT_m カウンタ (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m レジスタに「MTU5.TCNT_m カウンタ値 + 1」の値を設定しないでください。MTU5.TCNT_m カウンタのカウント動作を停止した状態で、MTU5.TGR_m レジスタに「MTU5.TCNT_m カウンタ値 + 1」の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_m ビットが“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT_m カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

22.6.25 相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCR.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 : 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合 (図 22.122 参照)。

条件 2 : 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB \leq TDDR$ 、 $MTU4.TGRA \leq TDDR$ 、 $MTU4.TGRB \leq TDDR$ のいずれかが成立する状態で、同期クリアした場合 (図 22.123 参照)。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ $MTU3.TGRB$ 、 $MTU4.TGRA$ 、 $MTU4.TGRB$ レジスタのすべてが、デッドタイムデータレジスタ (TDDR) の 2 倍以上になるように設定した状態で、同期クリアする

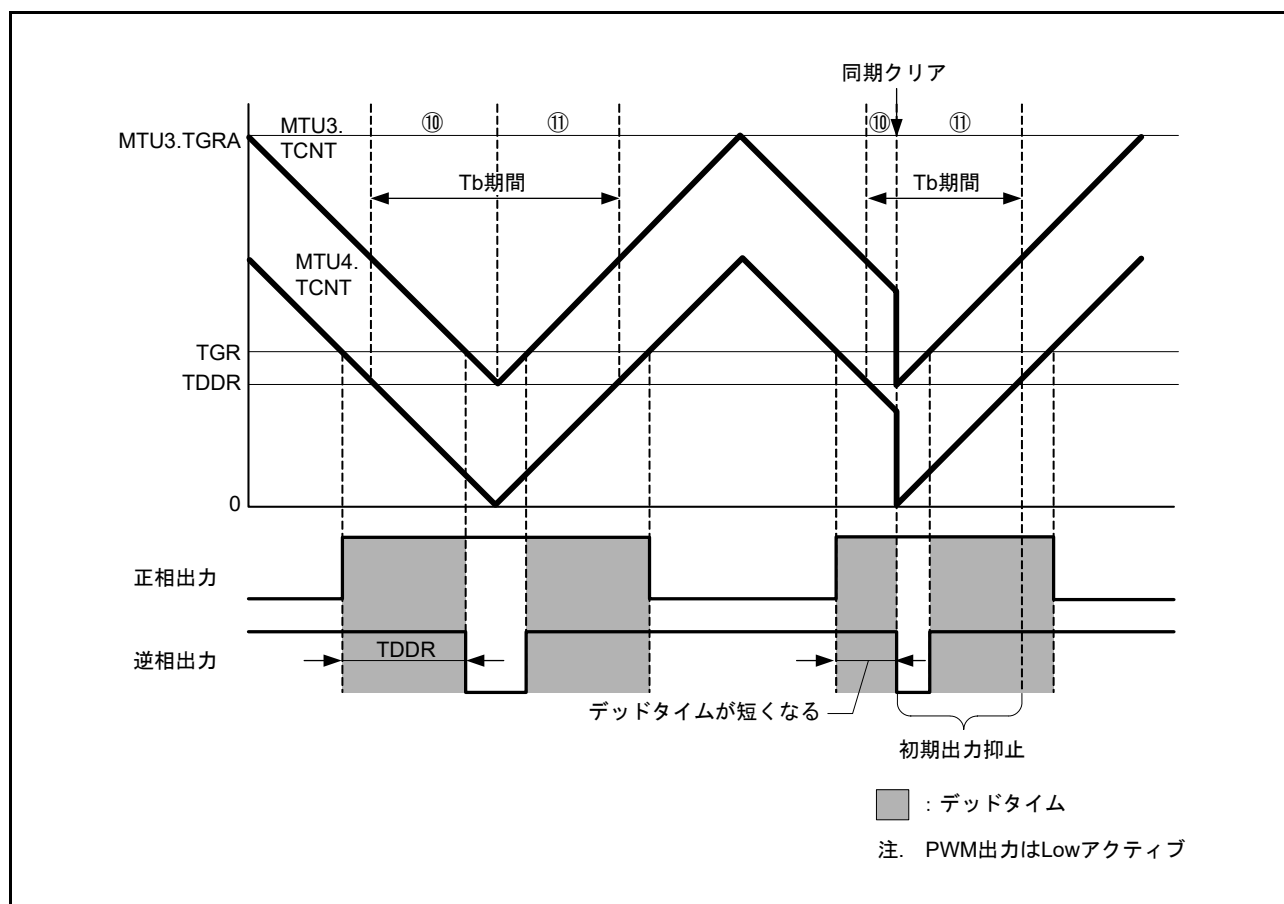


図 22.122 同期クリア例 (条件 1 の場合)

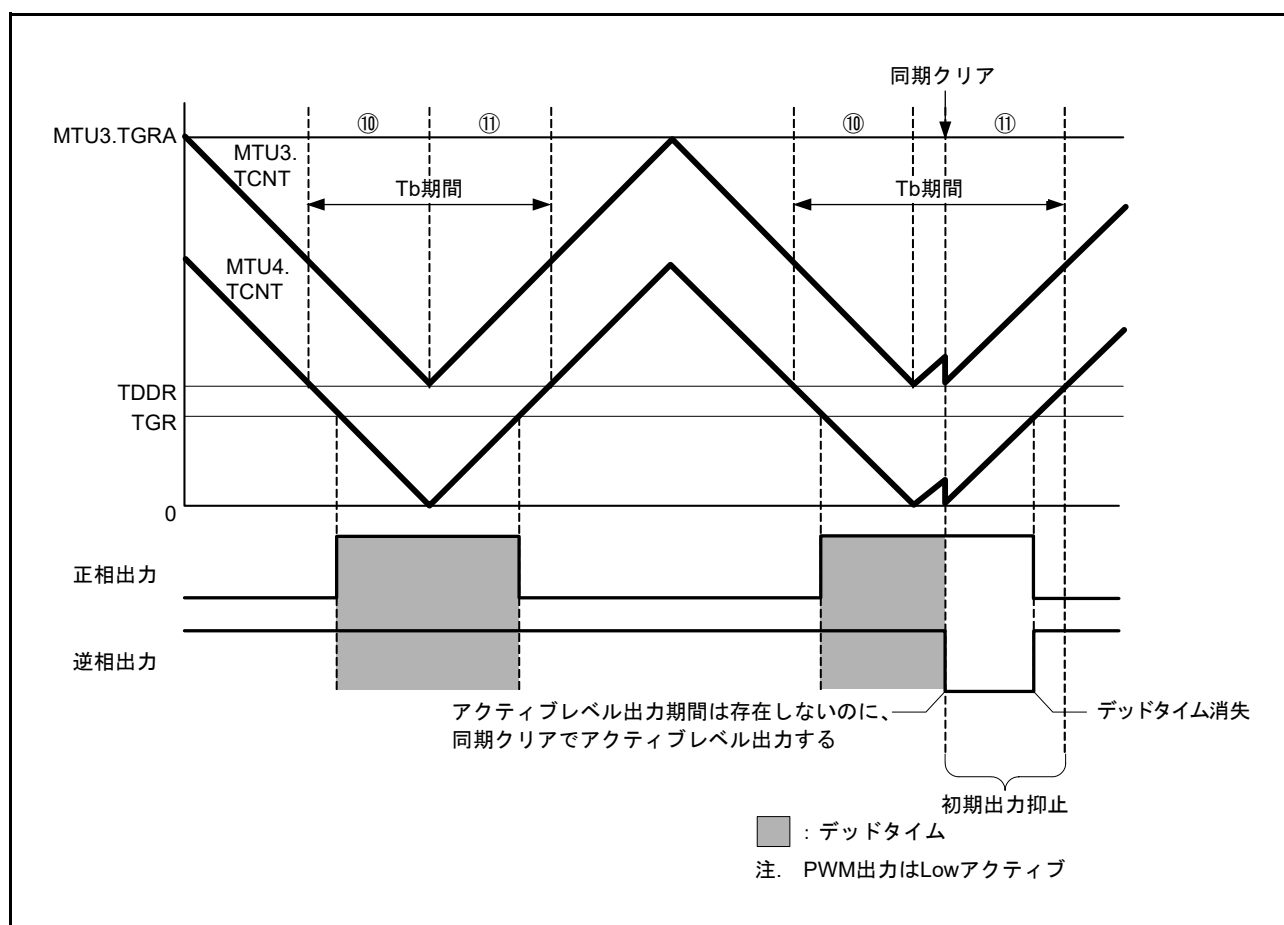


図 22.123 同期クリア例 (条件 2 の場合)

22.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 22.124 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

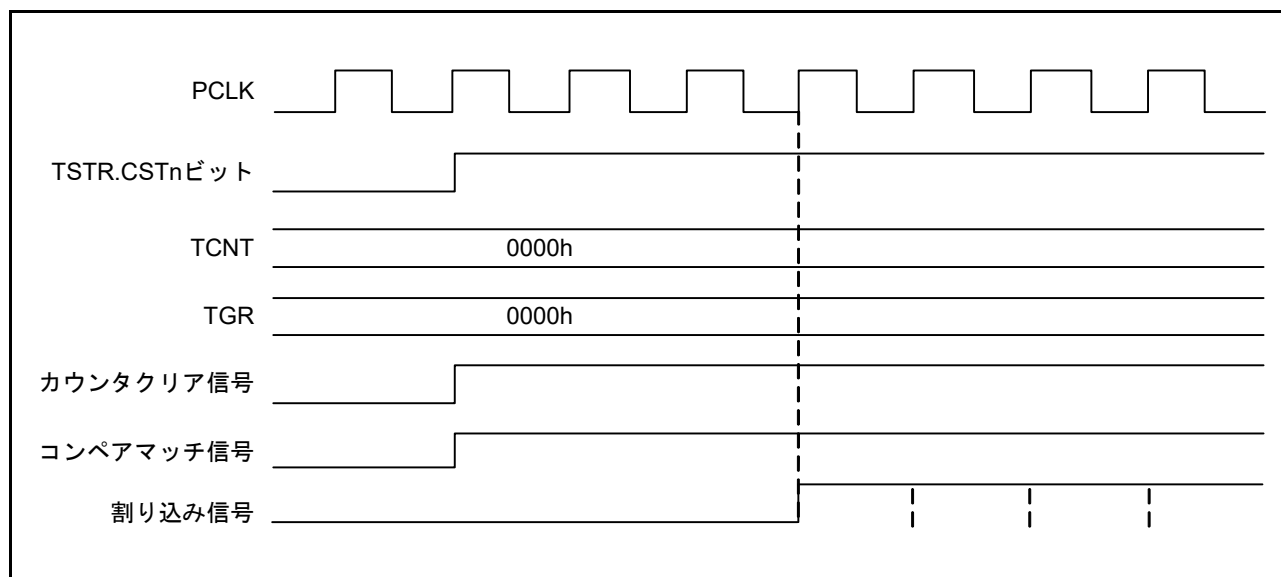


図 22.124 コンペアマッチによる割り込み信号の連続出力

22.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに“0”、かつ、MTU4.TADCR レジスタの UT4AE, UT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 22.125)。
- MTU4.TADCOBRA, MTU4.TADCOBRB レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR レジスタの DT4AE, DT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 22.126)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTU4.TADCORA/TADCORB} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA, MTU4.TADCORB レジスタを設定してください。

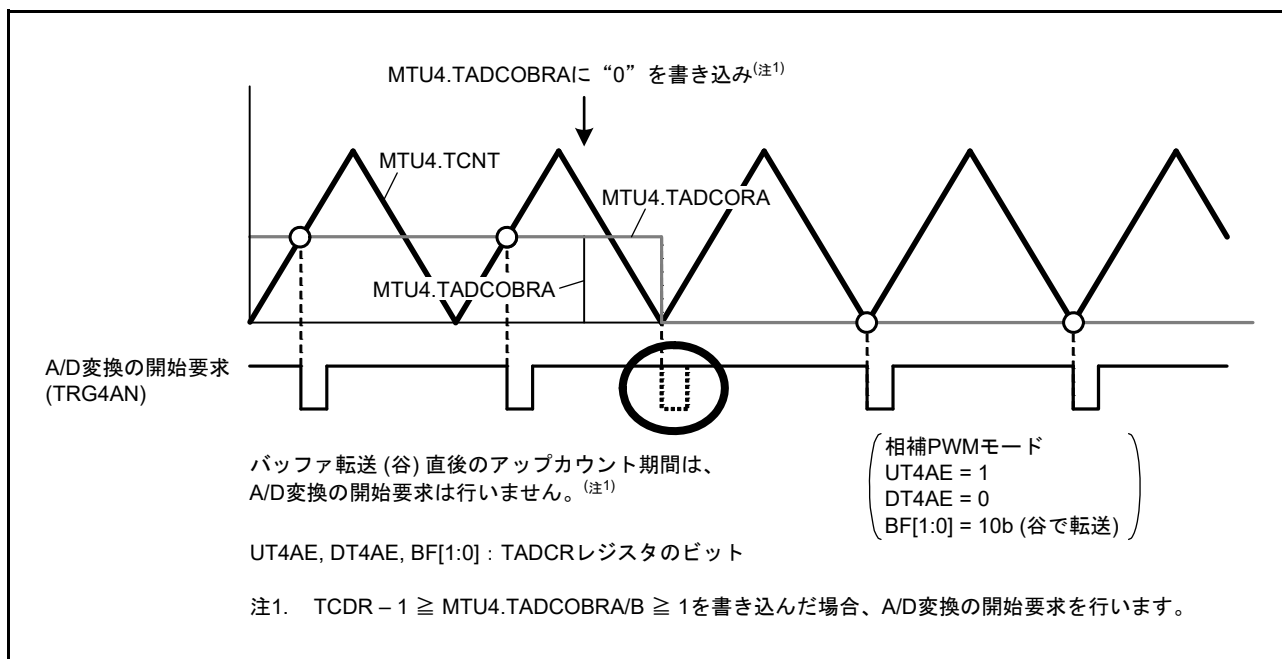


図 22.125 MTU4.TADCOBRA に“0”を書き込んだときの A/D 変換の開始要求

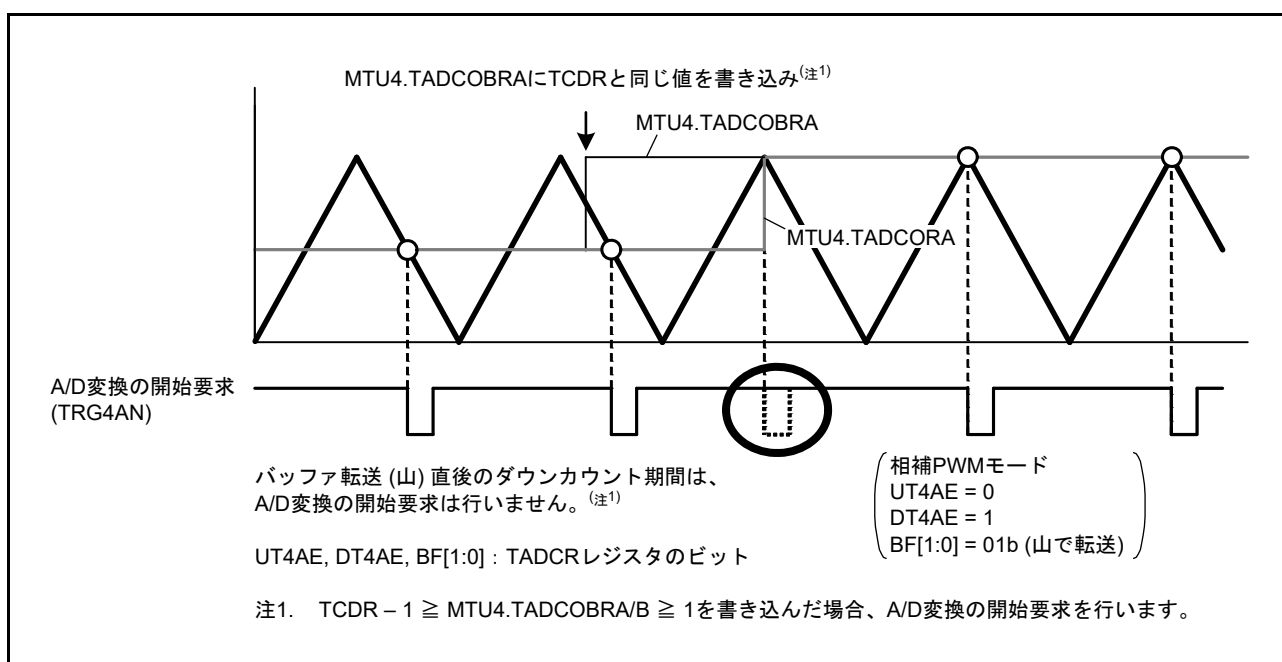


図 22.126 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求

22.7 MTU 出力端子の初期化方法

22.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ～ MTU4)
- PWM モード 1 (MTU0 ～ MTU4)
- PWM モード 2 (MTU0 ～ MTU2)
- 位相計数モード 1 ～ 4 (MTU1, MTU2)
- 相補 PWM モード (MTU3, MTU4)
- リセット同期 PWM モード (MTU3, MTU4)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

22.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) は、TOER レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 2 (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 22.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1 ～ 4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 22.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23), (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

22.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要

- TIOR レジスタの設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR レジスタの設定により端子を初期化してください。
- PWM モード 1 では MTIOCNB/MTIOCND ($n=3, 4$) 端子に波形が出力されません。端子の機能を MTIOCNB/MTIOCND に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されません。端子の機能を MTIOCNm 端子 ($n=0 \sim 2, m=A \sim D$) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD レジスタがバッファレジスタとして動作している場合、対応する MTIOCNc/MTIOCND 端子 ($n=0, 3, 4$) に波形が出力されません。端子の機能を MTIOCNc/MTIOCND 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 1 では TGRC、TGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、対応する MTIOCNc/MTIOCND 端子 ($n=0, 3, 4$) に波形が出力されません。端子の機能を MTIOCNc/MTIOCND 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、TOER レジスタで MTU3、MTU4 を 1 度出力禁止にしてください。このとき、端子の機能を MTIOCNm 端子 ($n=3, 4, m=A \sim D$) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 22.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.127 に示します。

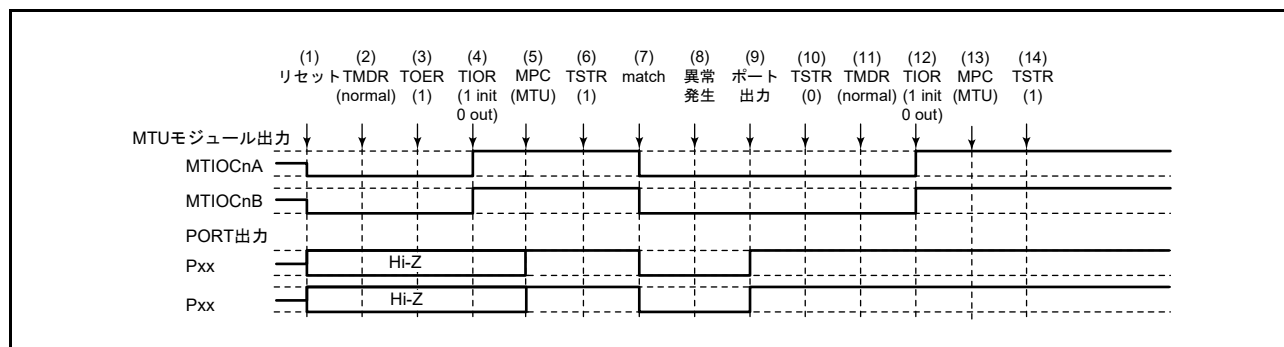


図 22.127 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.128 に示します。

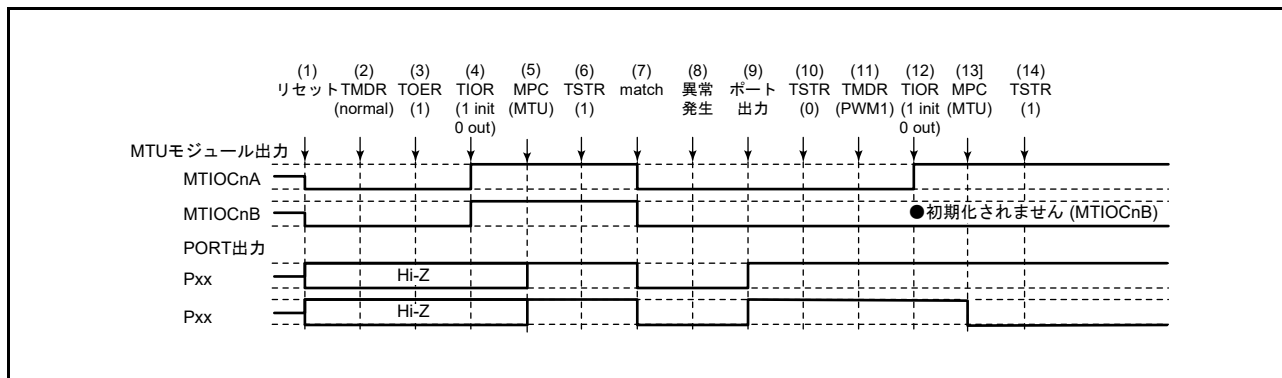


図 22.128 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.127 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2 で再スタートする場合の説明図を図 22.129 に示します。

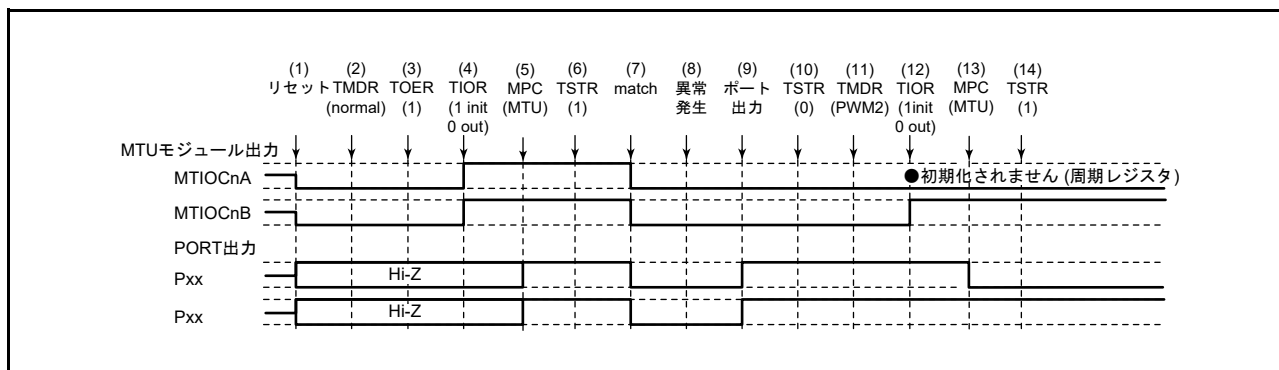


図 22.129 ノーマルモードで異常が発生し、PWM モード2 で復帰する場合

(1) ～ (10) は図 22.127 と共通です。

(11) PWM モード2 を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2 に移行してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. PWM モード2 は MTU0 ～ MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.130 に示します。

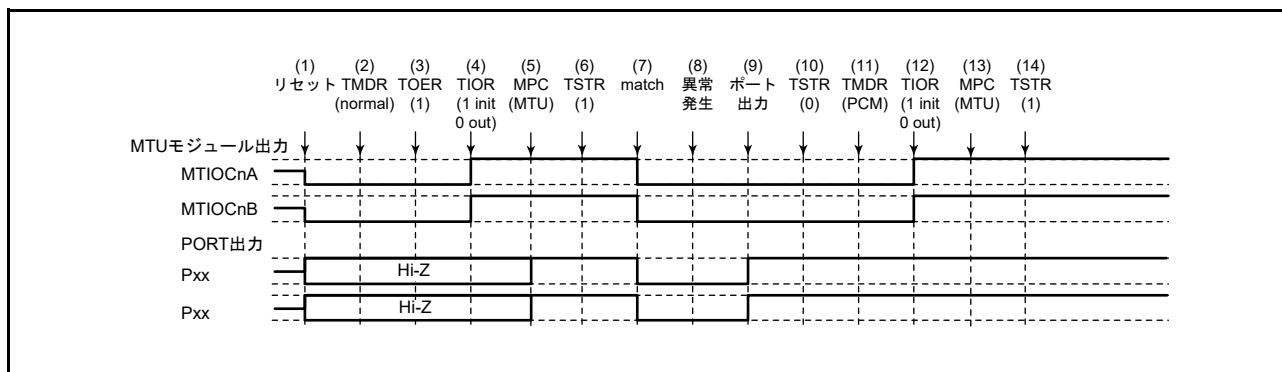


図 22.130 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (10) は図 22.127 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.131 に示します。

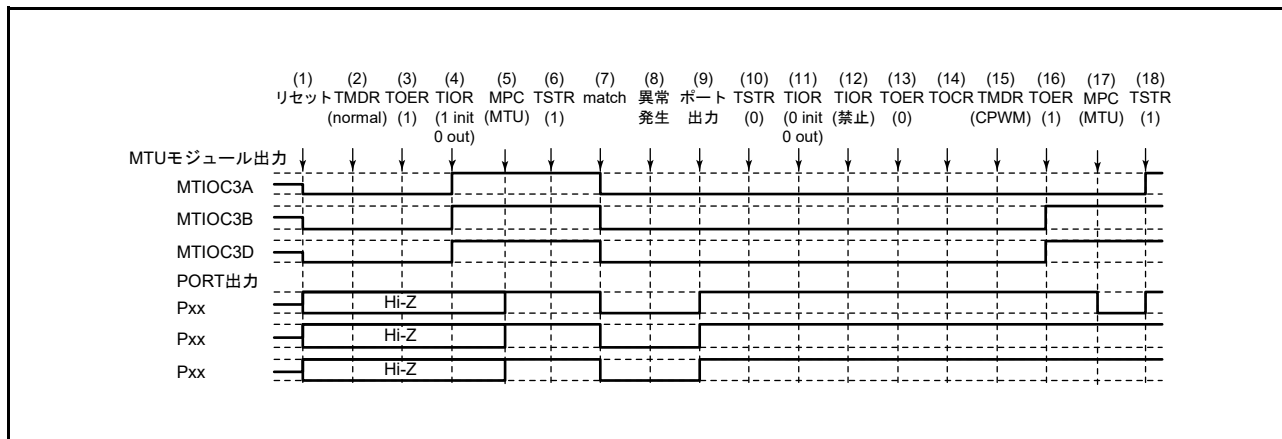


図 22.131 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 22.127 と共通です。

(11) TMR レジスタでノーマルモードの波形生成部を初期化してください。

(12) TMR レジスタでノーマルモードの波形生成部の動作を禁止してください。

(13) TOER レジスタで MTU3、MTU4 の出力を禁止してください。

(14) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(15) 相補 PWM モードを設定します。

(16) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTR レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.132 に示します。

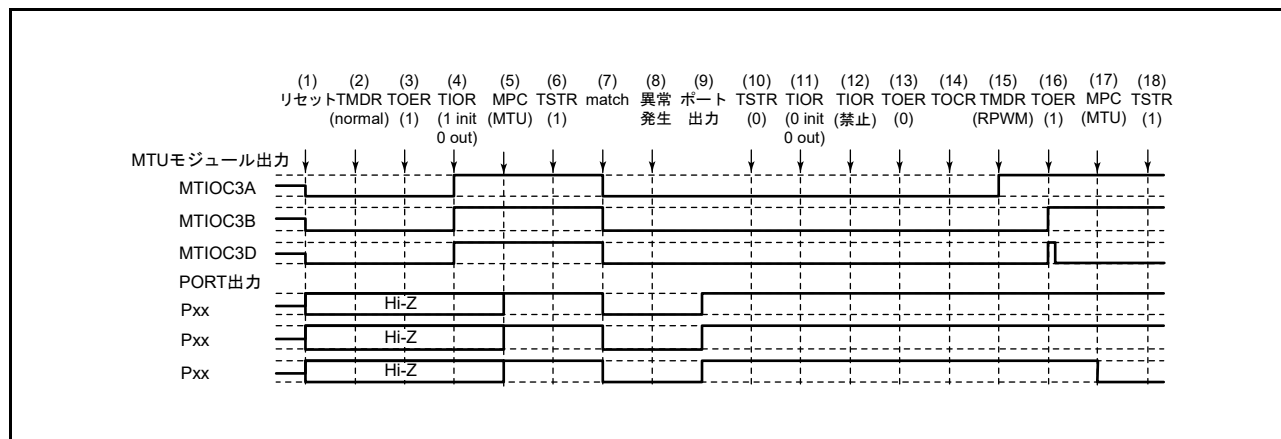


図 22.132 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 22.131 と共通です。

(14) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM モードを設定します。

(16) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTR レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.133 に示します。

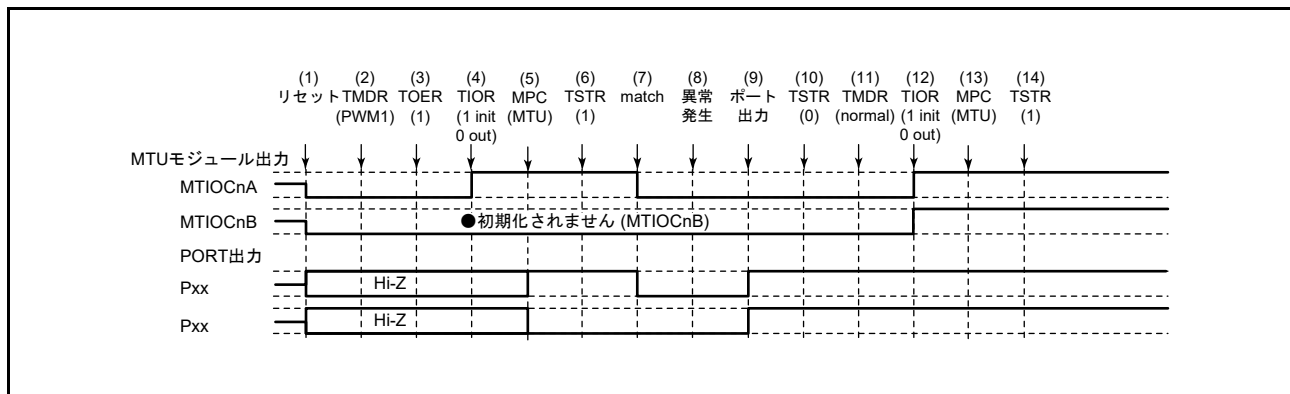


図 22.133 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOER レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.134 に示します。

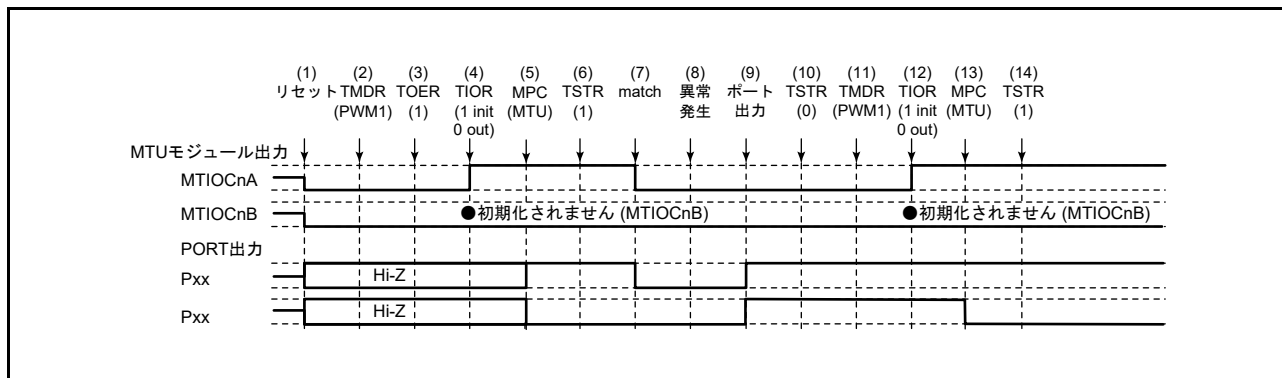


図 22.134 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.133 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.135 に示します。

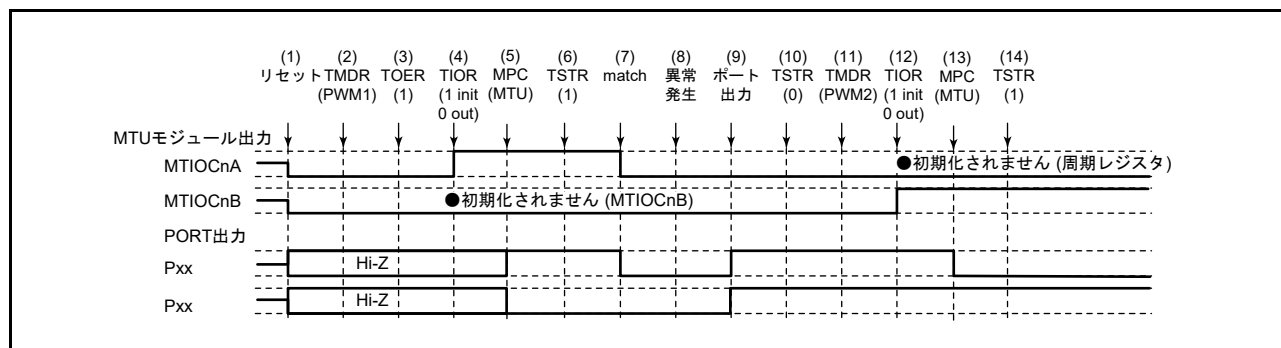


図 22.135 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 22.133 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.136 に示します。

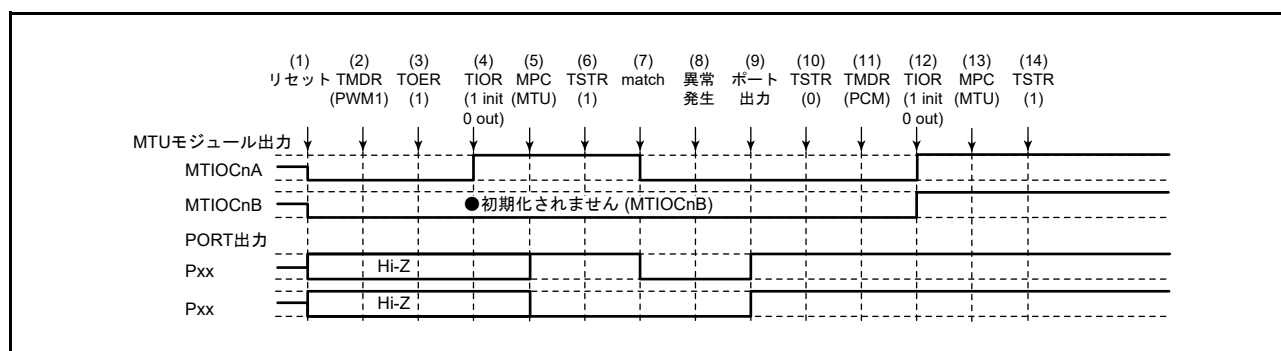


図 22.136 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 22.133 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.137 に示します。

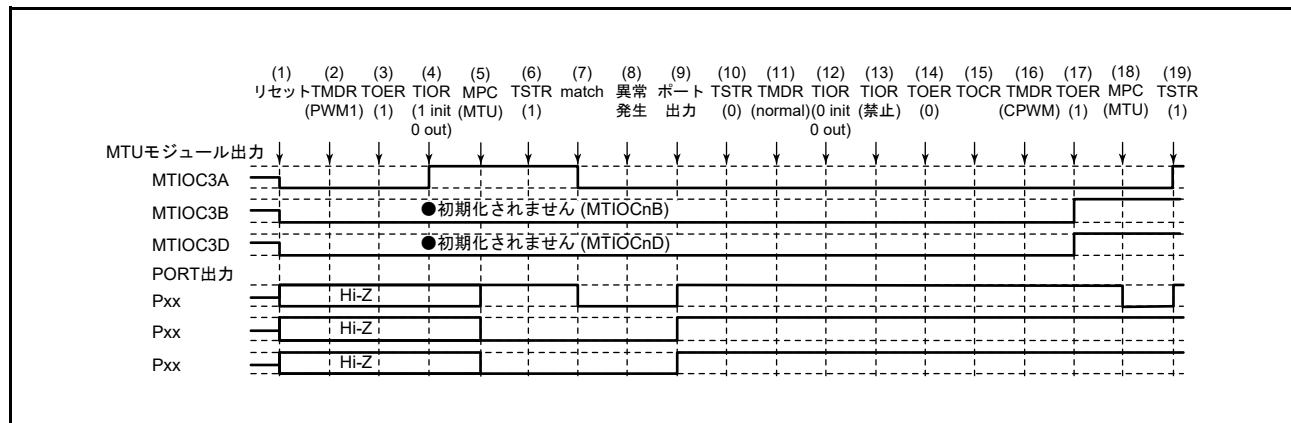


図 22.137 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.133 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (15) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM モードを設定します。
- (17) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTR レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.138 に示します。

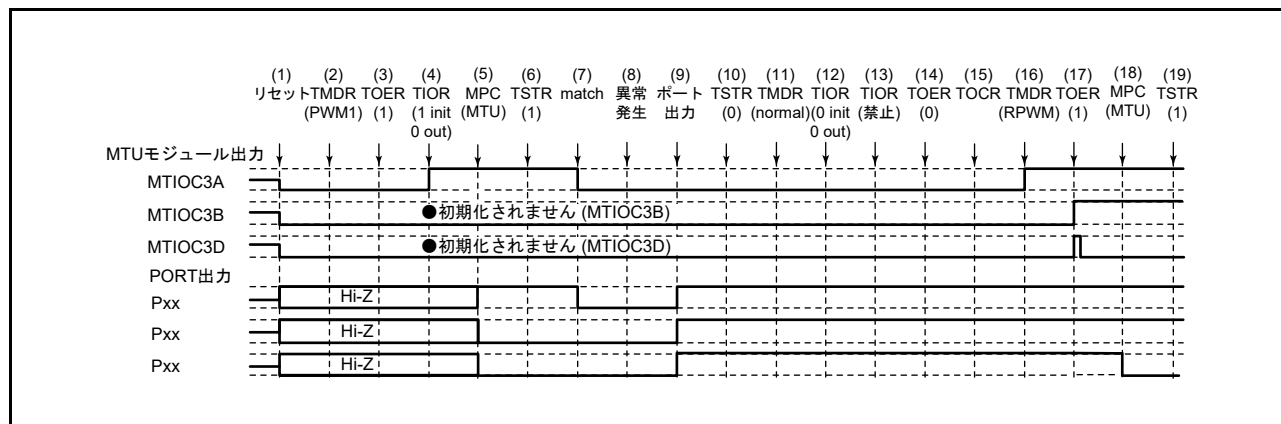


図 22.138 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 22.137 と共通です。

(15) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM モードを設定します。

(17) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTR レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.139 に示します。

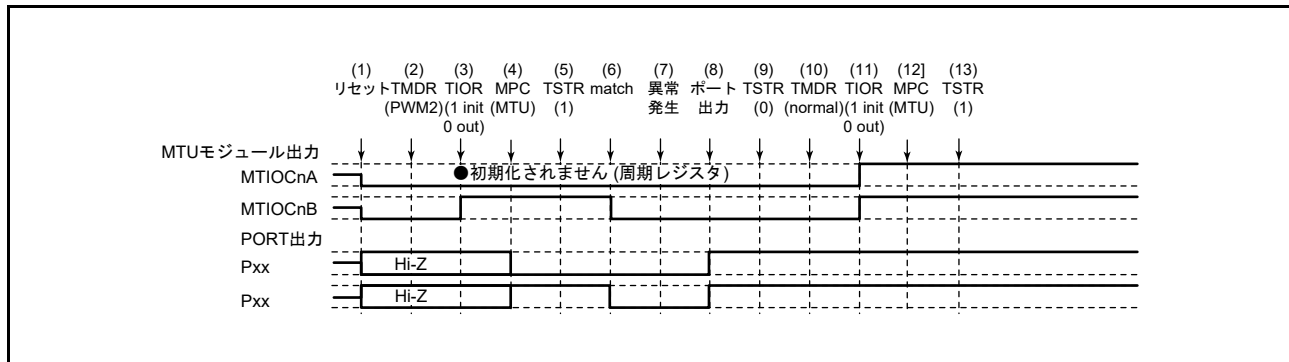


図 22.139 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOCnA が周期レジスタの場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.140 に示します。

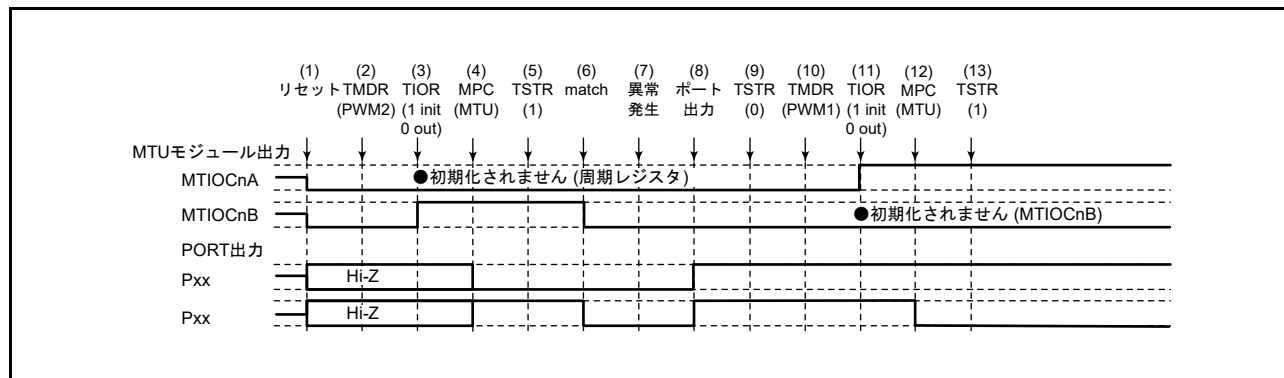


図 22.140 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 22.139 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOChB (MTIOChD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.141 に示します。

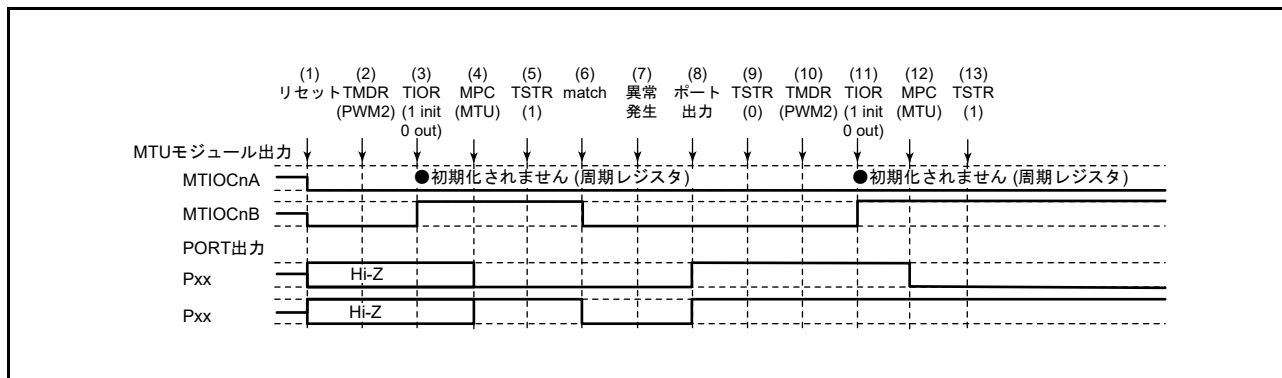


図 22.141 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (9) は図 22.139 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.142 に示します。

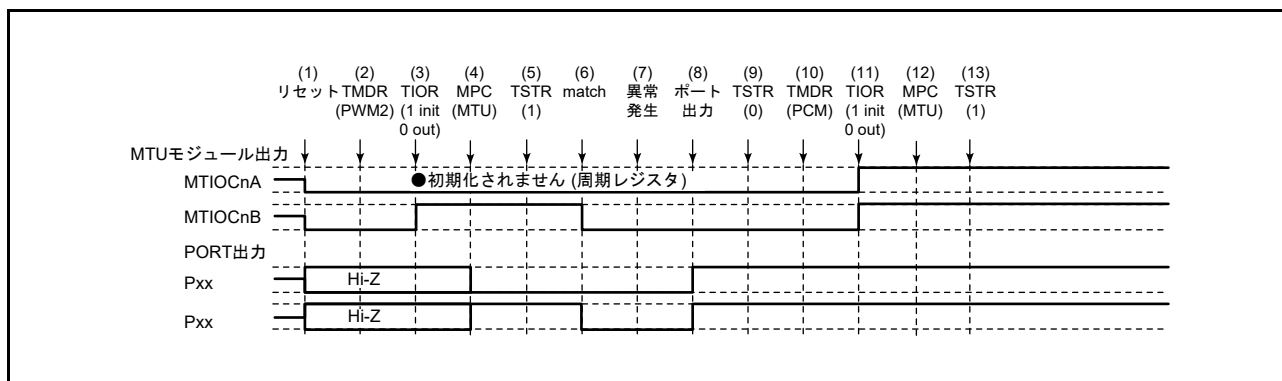


図 22.142 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は図 22.139 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.143 に示します。

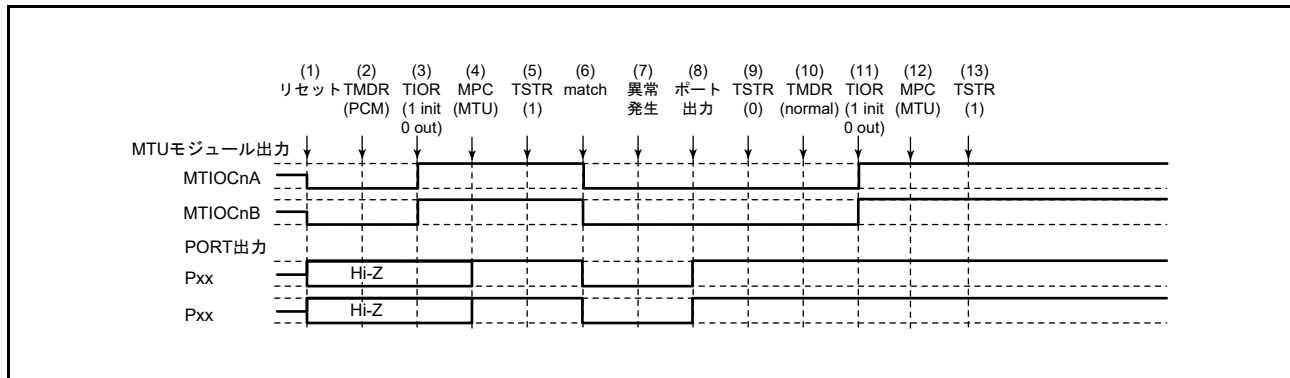


図 22.143 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.144 に示します。

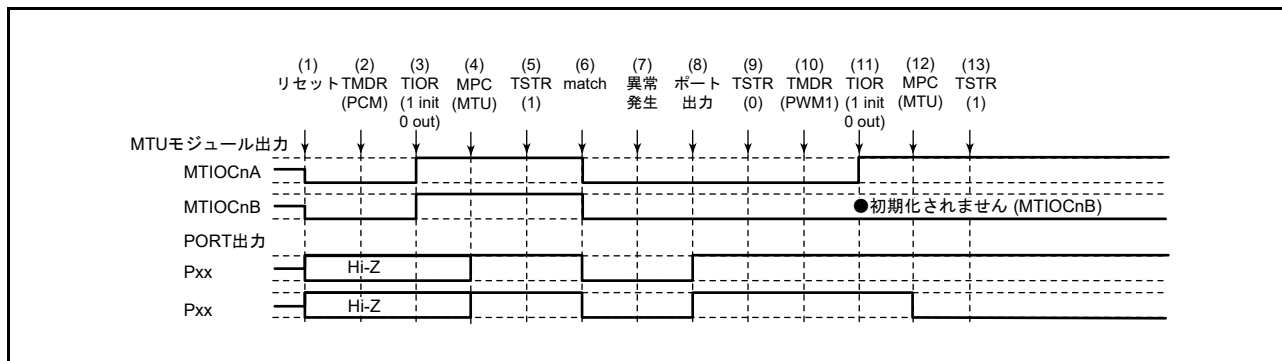


図 22.144 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 22.143 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 22.145 に示します。

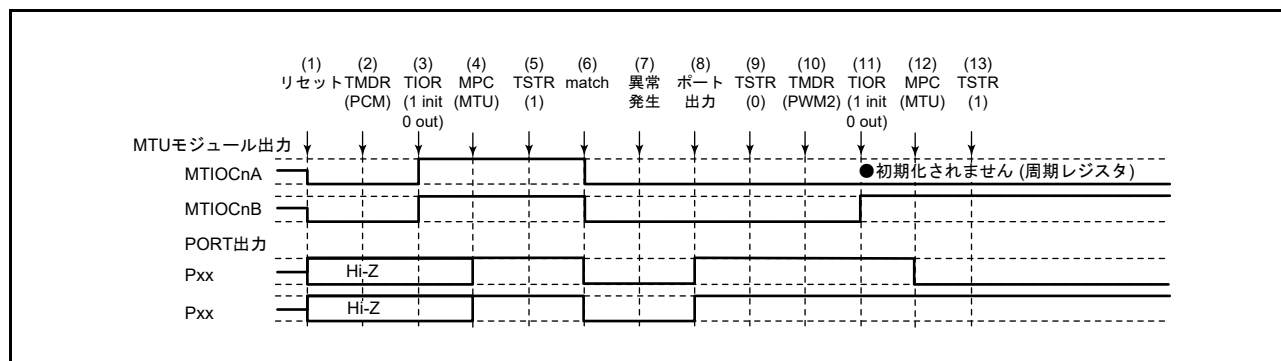


図 22.145 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (9) は図 22.143 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.146 に示します。

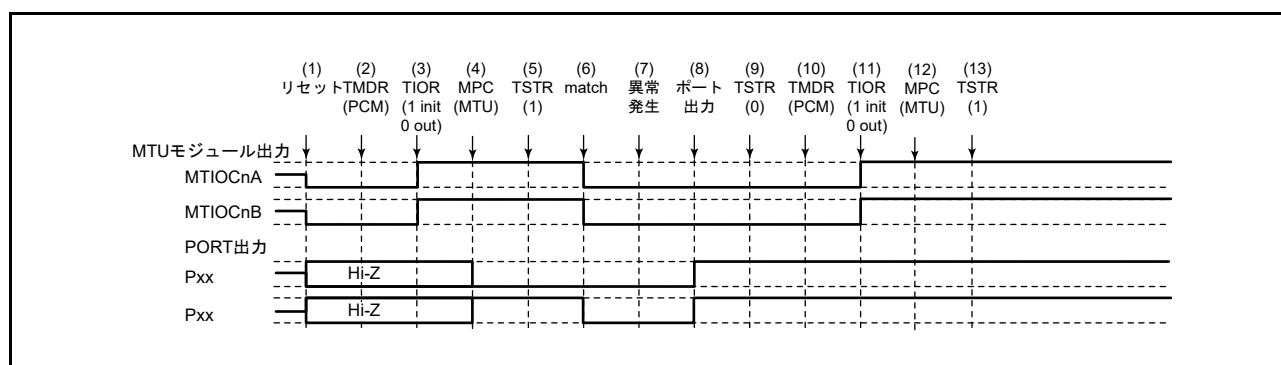


図 22.146 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は図 22.143 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.147 に示します。

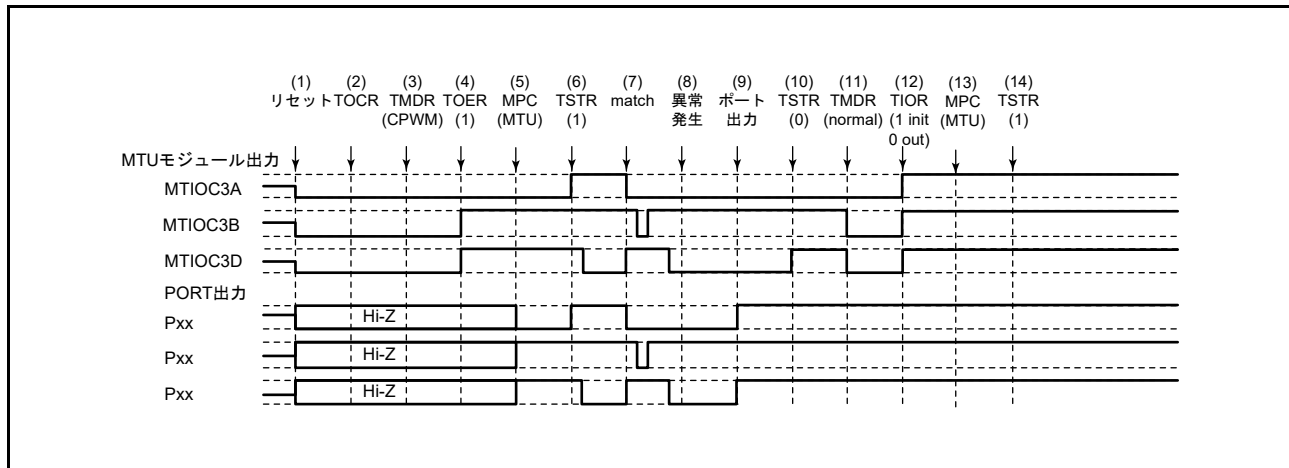


図 22.147 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM モードを設定します。
- (4) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.148 に示します。

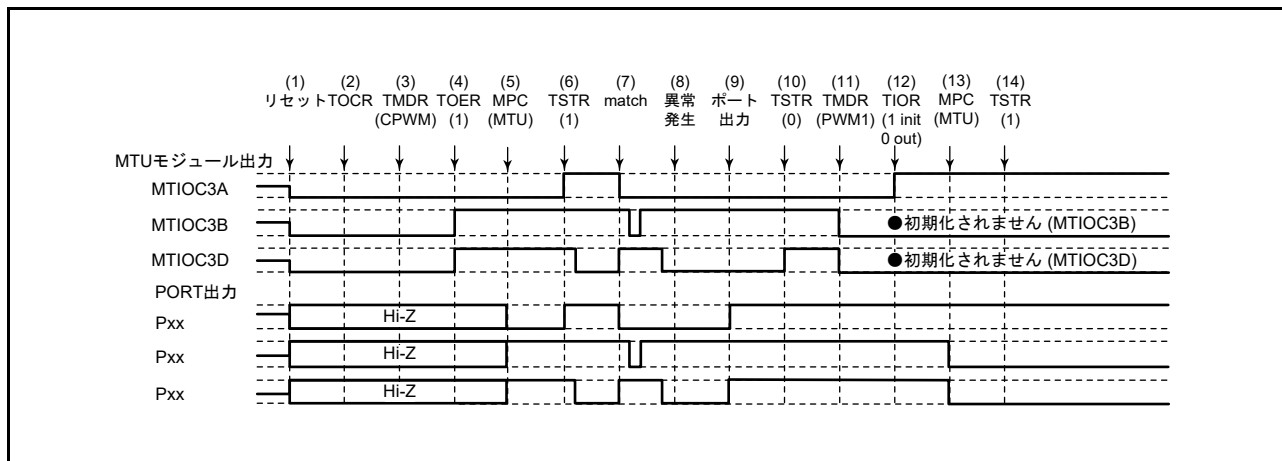


図 22.148 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.147 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.149 に示します（周期、デューティ設定をカウンタを止めたときの値から再スタートする場合）。

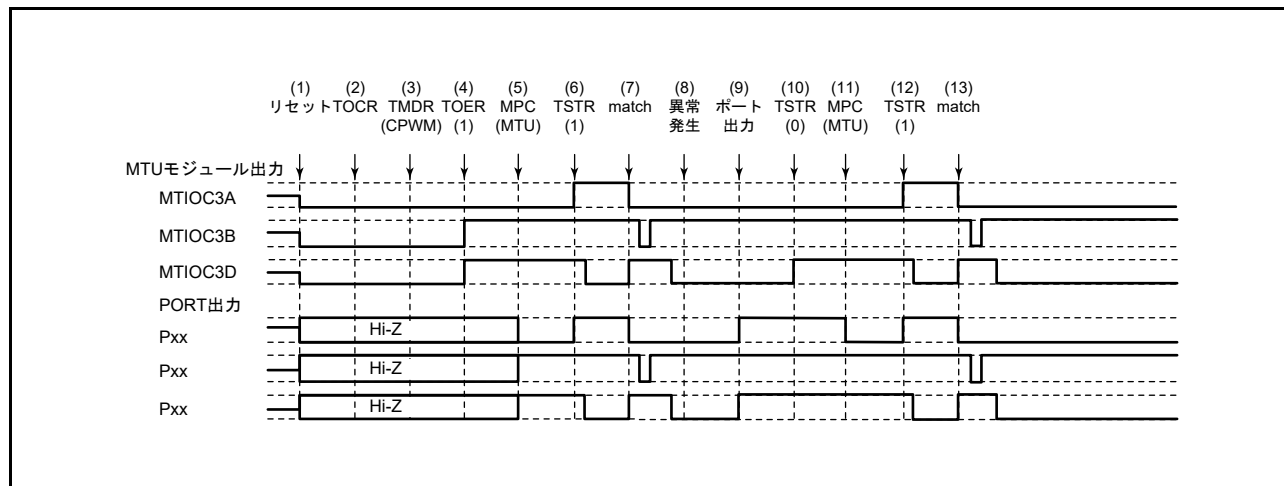


図 22.149 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.147 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.150 に示します（周期、デューティ設定を全く新しい設定値で再スタートする場合）。

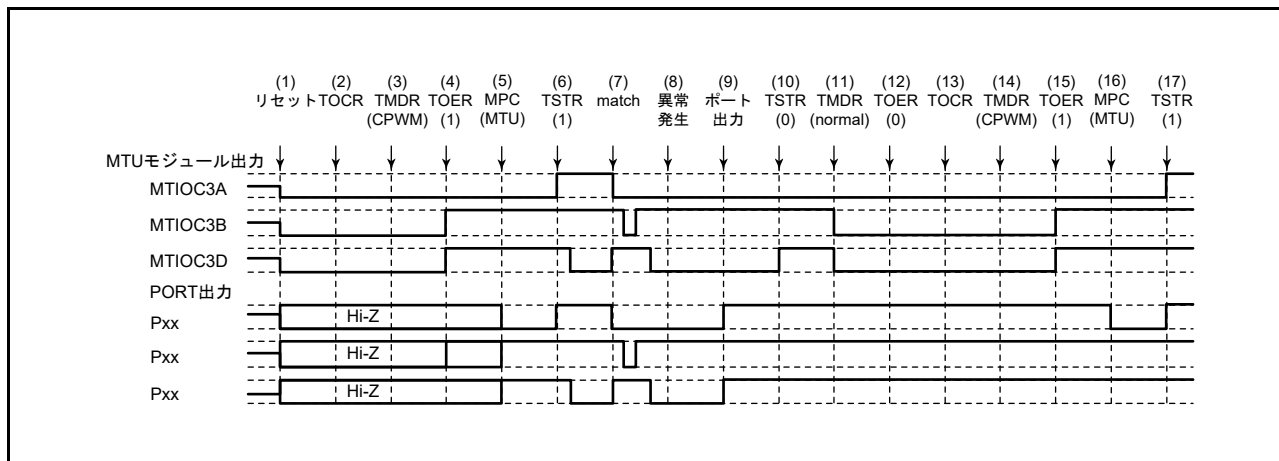


図 22.150 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.147 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOER レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM モードを設定します。

(15) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTR レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.151 に示します。

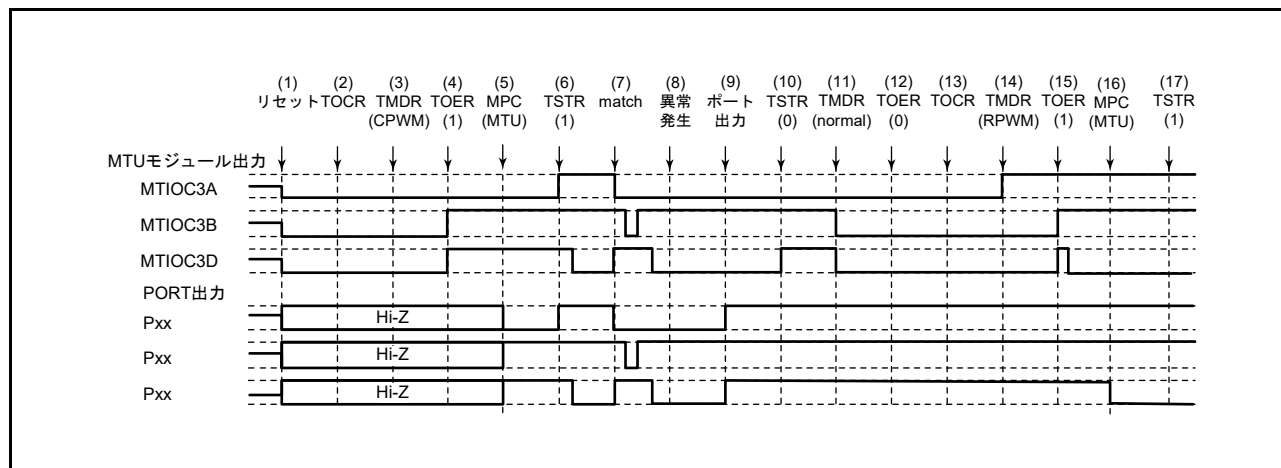


図 22.151 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 22.147 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOER レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM モードを設定します。

(15) TOER レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTR レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.152 に示します。

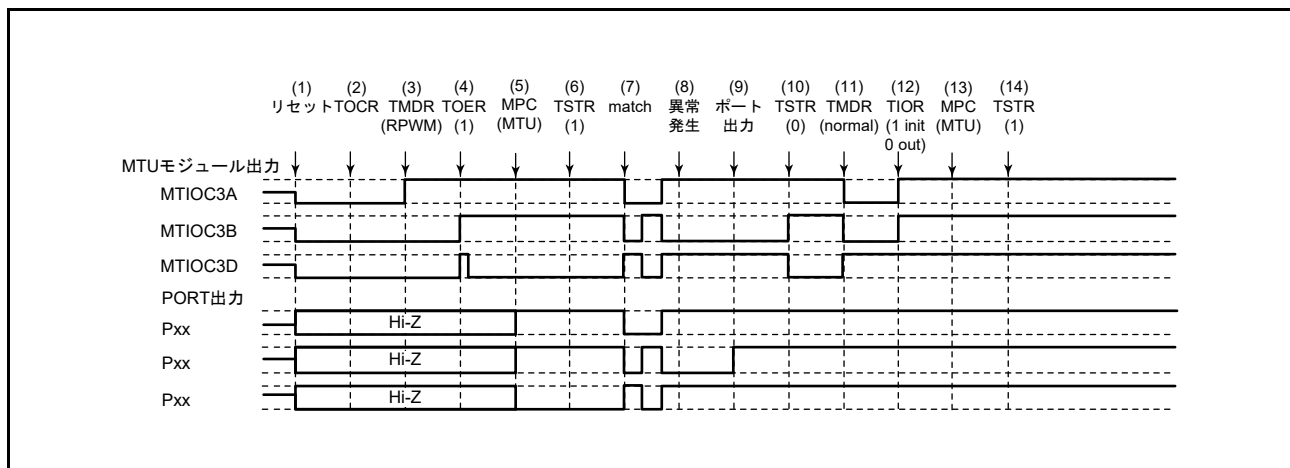


図 22.152 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) リセット同期 PWM モードを設定します。
- (4) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.153 に示します。

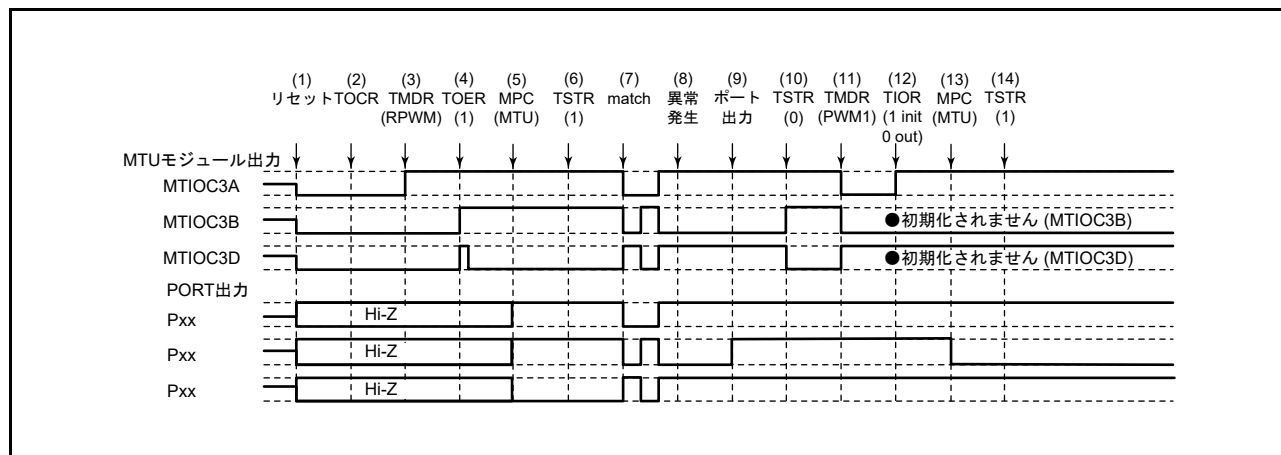


図 22.153 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.152 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.154 に示します。

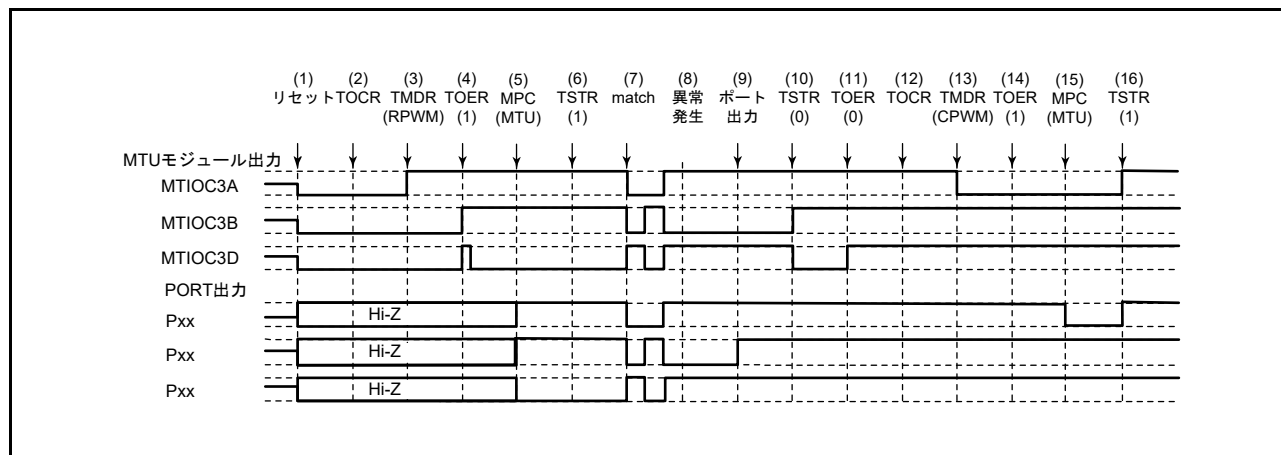


図 22.154 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.152 と共通です。

- (11) TOER レジスタで MTU3、MTU4 の出力を禁止してください。
- (12) TOCR レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOER レジスタで MTU3、MTU4 の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTR レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.155 に示します。

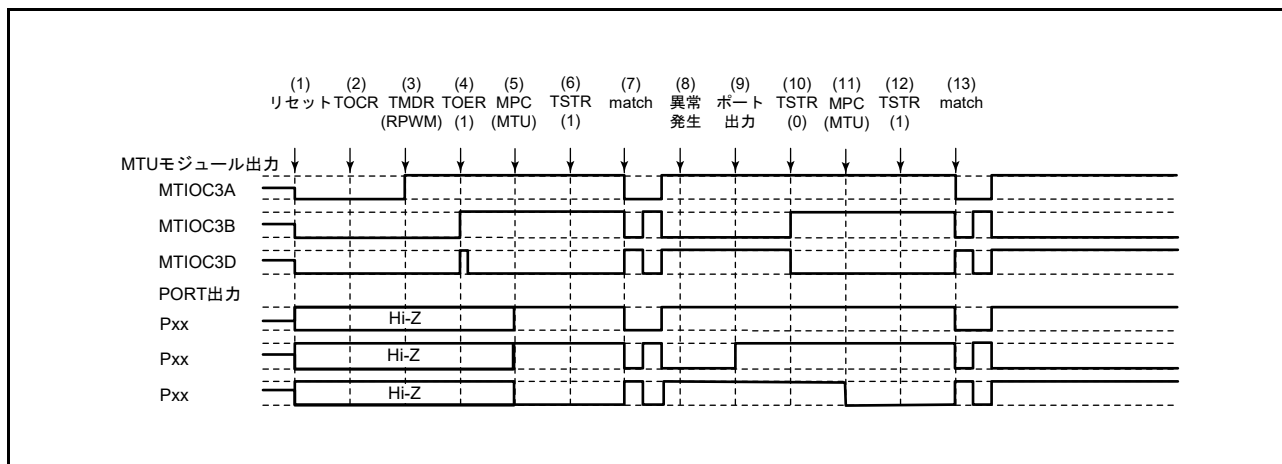


図 22.155 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (10) は図 22.152 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

22.8 ELC によるリンク動作

22.8.1 ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

22.8.2 ELC からのイベント信号受信による MTU の動作

MTU は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントスタート動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に機能します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値 “00h” にしてください。ELSRn レジスタで指定したイベントが発生すると、表 22.60 に示した TSTR.CSTn ビットが “1” になり、MTU のカウントがスタートします。

ただし、TSTR.CSTn ビットが “1” のときに指定したイベントが発生した場合は、そのイベントは無効となります。各チャンネルに対して使用する TSTR レジスタのビット名は表 22.60 を参照してください。

カウントスタート動作の設定手順の詳細については「22.3.1 (1) カウンタの動作」を参照ください。

表 22.60 ELC とリンク動作するタイマスタートレジスタ

チャンネル番号	タイマスタートレジスタ
MTU1	TSTR.CST1 ビット
MTU2	TSTR.CST2 ビット
MTU3	TSTR.CST3 ビット
MTU4	TSTR.CST4 ビット

(2) インพุットキャプチャ動作

ELC の ELOPA、ELOPB レジスタで MTU2 のインพุットキャプチャ動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値 “00h” にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値を TGR レジスタへキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、MTU の TIOR レジスタのビットをインพุットキャプチャに設定し、TSTR.CSTn ビットを “1” にしカウンタをスタートさせてください。

このとき TIOChA 端子（インพุットキャプチャ端子）の入力は無効となります。

各チャンネルに対して使用する TGR レジスタ、TIOR レジスタのビット名は表 22.61 を参照してください。

インพุットキャプチャの設定手順の詳細については「22.3.1 (3) インพุットキャプチャ機能」を参照ください。

表 22.61 ELC 動作時のインพุットキャプチャ動作において使用する各チャンネルでのタイマジェネラルレジスタ、タイマ I/O コントロールレジスタ

チャンネル番号	タイマジェネラルレジスタ	タイマ I/O コントロールレジスタのビット名
MTU1	MTU1.TGRA レジスタ	MTU1.TIOR.IOA[3:0] ビット
MTU2	MTU2.TGRA レジスタ	MTU2.TIOR.IOA[3:0] ビット
MTU3	MTU3.TGRA レジスタ	MTU3.TIORH.IOA[3:0] ビット
MTU4	MTU4.TGRA レジスタ	MTU4.TIORH.IOA[3:0] ビット

(3) カウントリスタート動作

ELC の ELOPA、ELOPB レジスタで MTU のカウントリスタート動作を選択します。ELOPA レジスタは MTU1 ~ MTU3、ELOPB レジスタは MTU4 に対応します。MTU の設定するチャンネルの TMDR レジスタはリセット後の値 “00h” にしてください。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。TSTR.CSTn ビットが “1” になっていればカウント動作を継続することができます。対応する TSTR.CSTn ビットは表 22.60 を参照ください。

22.8.3 ELC からのイベント信号受信による MTU の注意事項

以下に MTU をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TSTR.CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTR.CSTn ビットへの書き込みサイクルは行われずイベント発生による “1” 書き込みが優先されます。

(2) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

23. ポートアウトプットイネーブル 2 (POE2a)

ポートアウトプットイネーブル 2 (POE) は、POE0# ~ POE3#、POE8# 端子の入力変化、MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力状態、クロック発生回路の発振停止検出、レジスタ設定 (SPOER レジスタ) またはイベントリンクコントローラ (ELC) からのイベント信号入力によって MTU 相補 PWM 出力端子および MTU0 出力端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) をハイインピーダンスにすることができます。

また、同時に割り込み要求を発行することができます。

本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に POE の仕様を、図 23.1 に POE のブロック図を示します。

表 23.1 POE の仕様

項目	内容
入力レベル検出による ハイインピーダンス制御	- POE0# ~ POE3#、POE8# の各入力端子に立ち下がリエッジ、PCLK/8 クロックごとに 16 回、PCLK/16 クロックごとに 16 回、PCLK/128 クロックごとに 16 回の Low サンプリングが設定可能 - POE0# ~ POE3# 端子の立ち下がリエッジまたは Low サンプリングによって、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能 - POE8# 端子の立ち下がリエッジまたは Low サンプリングによって、MTU0 出力端子をハイインピーダンスに設定可能
出力レベル比較による ハイインピーダンス制御	MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1PCLK クロック以上続いた場合、MTU 相補 PWM 出力端子をハイインピーダンスに設定可能
発振停止検出による ハイインピーダンス制御	クロック発生回路が発振停止した場合、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
ソフトウェア (レジスタ) による ハイインピーダンス制御	POE のレジスタ書き込みをすることで、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
イベント信号による ハイインピーダンス制御	イベントリンクコントローラ (ELC) からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 出力端子をハイインピーダンスに設定可能
割り込み	POE0# ~ POE3#、POE8# の入力レベル検出結果または MTU 相補 PWM 出力端子の出力レベルの比較結果により、それぞれの割り込みを発生

POE は、図 23.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、クロック発生回路の発振停止検出信号の入力、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

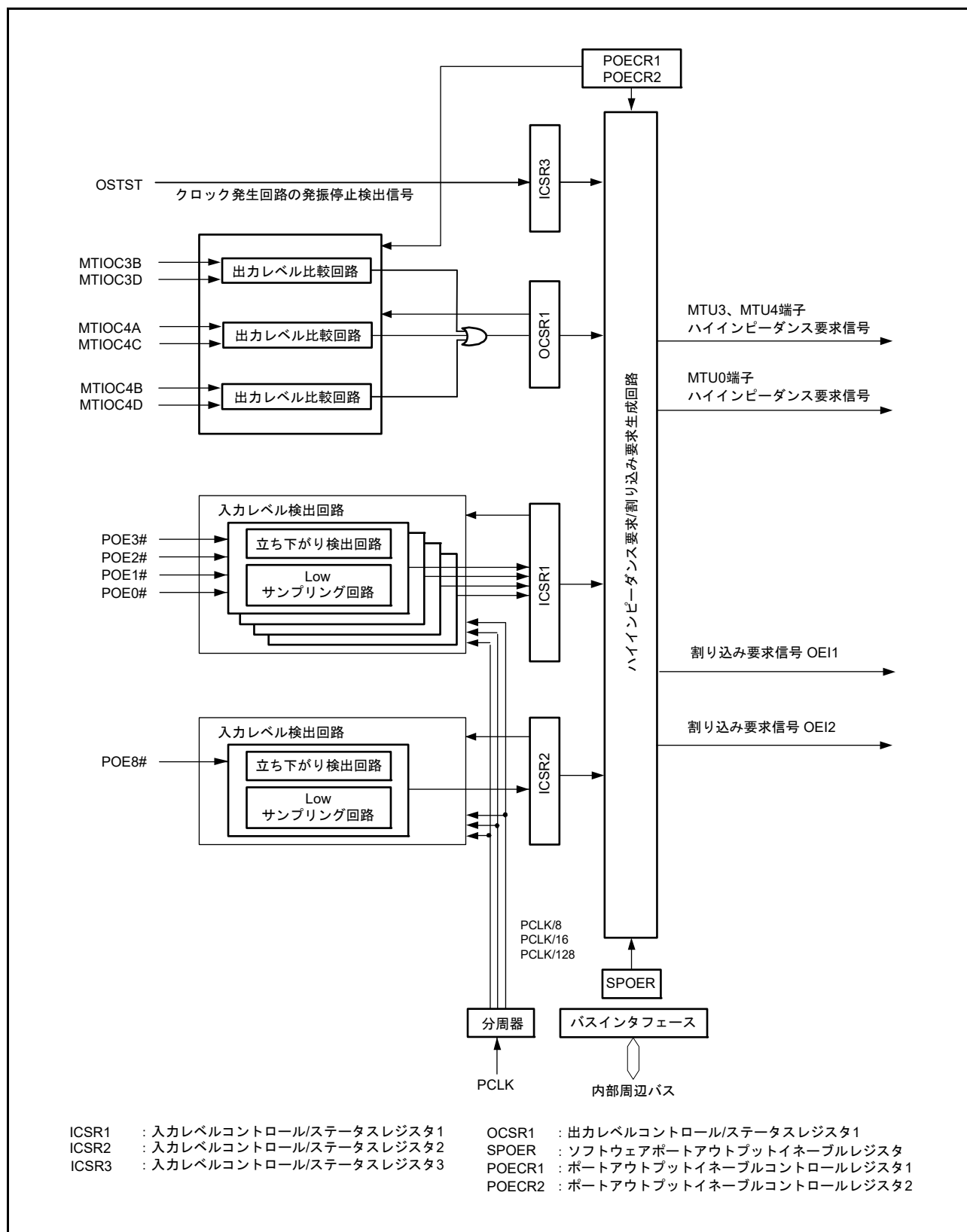


図 23.1 POE のブロック図

表 23.2 に POE で使用する入出力端子を示します。

表 23.2 POEの入出力端子

端子名	入出力	機能
POE0#～POE3#	入力	MTU相補PWM出力端子をハイインピーダンスにする要求信号
POE8#	入力	MTU0の出力端子をハイインピーダンスにする要求信号
MTIOC3B	出力	MTU3相補PWM出力端子
MTIOC3D	出力	MTU3相補PWM出力端子
MTIOC4A	出力	MTU4相補PWM出力端子
MTIOC4B	出力	MTU4相補PWM出力端子
MTIOC4C	出力	MTU4相補PWM出力端子
MTIOC4D	出力	MTU4相補PWM出力端子
MTIOC0A	出力	MTU0出力端子
MTIOC0B	出力	MTU0出力端子
MTIOC0C	出力	MTU0出力端子
MTIOC0D	出力	MTU0出力端子

表 23.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 23.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	どの組み合わせに対して出力レベル比較を行いハイインピーダンス制御を行うかは、POEのレジスタで設定できます。 1PCLKクロック以上同時にアクティブレベル出力が続いた場合、MTU相補PWM出力端子をハイインピーダンスにします。 (MTU.TOCR1.TOCSビット="0"のときに、MTU.TOCR1.OLSP、OLSNビットが"0"の場合はLow出力、"1"の場合はHigh出力。 MTU.TOCR1.TOCSビット="1"のときに、MTU.TOCR2.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが"0"の場合はLow出力、"1"の場合はHigh出力)
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	

23.2 レジスタの説明

23.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

アドレス 0008 8900h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE0#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE0#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE0#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b3-b2	POE1M[1:0]	POE1モード選択ビット	b3 b2 0 0 : POE1#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE1#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE1#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE1#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b5-b4	POE2M[1:0]	POE2モード選択ビット	b5 b4 0 0 : POE2#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE2#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE2#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE2#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b7-b6	POE3M[1:0]	POE3モード選択ビット	b7 b6 0 0 : POE3#端子入力の立ち下がりエッジでハイインピーダンス要求を受け付ける 0 1 : POE3#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 0 : POE3#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける 1 1 : POE3#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、ハイインピーダンス要求を受け付ける	R/W (注1)
b8	PIE1	ポート割り込み許可1ビット	0 : 入力レベル検出によるOE1割り込み要求を禁止 1 : 入力レベル検出によるOE1割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子にハイインピーダンス要求なし 1 : POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b13	POE1F	POE1フラグ	0 : POE1#端子にハイインピーダンス要求なし 1 : POE1#端子にハイインピーダンス要求あり	R/(W) (注2)
b14	POE2F	POE2フラグ	0 : POE2#端子にハイインピーダンス要求なし 1 : POE2#端子にハイインピーダンス要求あり	R/(W) (注2)
b15	POE3F	POE3フラグ	0 : POE3#端子にハイインピーダンス要求なし 1 : POE3#端子にハイインピーダンス要求あり	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

POE0M[1:0] ～ POE3M[1:0] ビットで Low サンプルングを設定している場合、POE0F ～ POE3F フラグに“0”を書き込むには、POE0# ～ POE3# 端子に High を入力する必要があります。

詳細は「23.3.6 ハイインピーダンスからの解除」を参照してください。

PIE1 ビット (ポート割り込み許可 1 ビット)

POE3F ～ POE0F フラグのいずれかが“1”になったときに、OEI1 割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE1F フラグ (POE1 フラグ)

POE1# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE1# 端子に POE1M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE2F フラグ (POE2 フラグ)

POE2# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE2# 端子に POE2M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE3F フラグ (POE3 フラグ)

POE3# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE3# 端子に POE3M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

23.2.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可 1 ビット	0 : 出力レベル比較による OIE1 割り込み要求を禁止 1 : 出力レベル比較による OIE1 割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可 1 ビット	0 : 端子をハイインピーダンスにしない 1 : 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ 1	0 : 同時にアクティブレベルになっていない 1 : 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読んだ後に“0”のみ書けます。

OIE1 ビット (出力短絡割り込み許可 1 ビット)

OSF1 フラグが“1”のときに、OIE1 割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)

OSF1 フラグが“1”のときに、MTU 相補 PWM 出力端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

表 23.3 に示す MTU 相補 PWM 出力端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。POECR2.PnCZEA (n=1, 2, 3) ビットが“0”のとき、または MTU のアウトプットコンペア機能を有効にしていないとき、対応する MTU 相補 PWM 出力端子が同時にアクティブレベルになっても OSF1 フラグは“1”になりません。アクティブレベルについては MTU.TOCR1、TOCR2 レジスタの設定に依存します。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき (注1)

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
“0”を書くには、MTU 相補 PWM 出力端子から非アクティブを出力する必要があります。
詳細は「23.3.6 ハイインピーダンスからの解除」参照してください。

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

23.2.3 入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

アドレス 0008 8908h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE2	—	—	—	—	—	—	—	POE8M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#端子入力の立ち下がりエッジで要求を受け付ける 0 1 : POE8#端子入力のレベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0 : POE8#端子入力のレベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1 : POE8#端子入力のレベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : OEI2割り込み要求を禁止 1 : OEI2割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

PIE2 ビット (ポート割り込み許可2ビット)

POE8F フラグが“1”になったときに、OEI2 割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8F フラグが“1”になったときに、MTU0 用端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

POE8M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE8# 端子に High を入力する必要があります。

詳細は「23.3.6 ハイインピーダンスからの解除」参照してください。

23.2.4 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 890Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CH0HI Z	CH34HI Z
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W
b1	CH0HIZ	MTU0出力ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CH34HIZ ビット (MTU3、MTU4 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

CH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)

MTU0 用端子 (MTIOC0A/MTIOC0B/MTIOC0C/MTIOC0D) をハイインピーダンスにする制御を行うかどうかを選択します。

[“1”になる条件]

- “1”を書いたとき
- イベントリンクコントローラ (ELC) からのイベント信号を受信したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

23.2.5 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 890Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PE3ZE	PE2ZE	PE1ZE	PE0ZE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PE0ZE	MTIOC0Aハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	PE1ZE	MTIOC0Bハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	PE2ZE	MTIOC0Cハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b3	PE3ZE	MTIOC0Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

23.2.6 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

アドレス 0008 890Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	P1CZEA	P2CZEA	P3CZEA	—	—	—	—
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	P3CZEA	MTUポート3ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b5	P2CZEA	MTUポート2ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b6	P1CZEA	MTUポート1ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。

本機能を使用しない場合、“00h”を書いてください。

P3CZEA ビット (MTU ポート 3 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4B と MTIOC4D をハイインピーダンスするかどうかを許可します。また、MTIOC4B と MTIOC4D の出力レベル比較を行うかどうかを許可します。

P2CZEA ビット (MTU ポート 2 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC4A と MTIOC4C をハイインピーダンスするかどうかを許可します。また、MTIOC4A と MTIOC4C の出力レベル比較を行うかどうかを許可します。

P1CZEA ビット (MTU ポート 1 ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子の MTIOC3B と MTIOC3D をハイインピーダンスするかどうかを許可します。また、MTIOC3B と MTIOC3D の出力レベル比較を行うかどうかを許可します。

23.2.7 入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

アドレス 0008 890Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにしない 1 : MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0 : 発振停止ハイインピーダンス要求なし 1 : 発振停止ハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書けます。
注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

OSTSTE ビット (OSTST ハイインピーダンス許可ビット)

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 用端子をハイインピーダンスにするかどうかを許可します。

OSTSTF フラグ (OSTST ハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。発振停止状態になると“1”になります。OSTSTF フラグを“0”にするときは、発振停止検出信号がネゲート状態のときに“0”を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに“0”を書いても“0”になりません。アサート中とは、発振停止を検出後、10PCLK クロック経過するまでの期間です。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

23.3 動作説明

以下にハイインピーダンスの対象になる端子と条件を示します。

(1) MTU0 用端子 (MTIOC0A)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE0ZE ビットと ICSR2.POE8E ビットが“1”の状態で、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE0ZE ビットが“1”の状態で、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE0ZE ビットと ICSR3.OSTSTE ビットが“1”の状態で、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(2) MTU0 用端子 (MTIOC0B)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE1ZE ビットと ICSR2.POE8E ビットが“1”の状態で、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE1ZE ビットが“1”の状態で、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE1ZE ビットと ICSR3.OSTSTE ビットが“1”の状態で、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(3) MTU0 用端子 (MTIOC0C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE2ZE ビットと ICSR2.POE8E ビットが“1”の状態で、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE2ZE ビットが“1”の状態で、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE2ZE ビットと ICSR3.OSTSTE ビットが“1”の状態で、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(4) MTU0 用端子 (MTIOC0D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
POECR1.PE3ZE ビットと ICSR2.POE8E ビットが“1”の状態で、ICSR2.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
POECR1.PE3ZE ビットが“1”の状態で、SPOER.CH0HIZ ビットを“1”にしたとき
- 発振停止検出
POECR1.PE3ZE ビットと ICSR3.OSTSTE ビットが“1”の状態で、OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(5) MTU3 用端子 (MTIOC3B, MTIOC3D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POECR2.P1CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較
POECR2.P1CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POECR2.P1CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POECR2.P1CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(6) MTU4 用端子 (MTIOC4A, MTIOC4C)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POECR2.P2CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較
POECR2.P2CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POECR2.P2CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POECR2.P2CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

(7) MTU4 用端子 (MTIOC4B, MTIOC4D)

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ~ POE3# 端子の入力レベル検出
POECR2.P3CZEA ビットが“1”の状態、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが“1”になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較
POECR2.P3CZEA ビットと OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
POECR2.P3CZEA ビットが“1”の状態、SPOER.CH34HIZ ビットを“1”にしたとき
- 発振停止検出
POECR2.P3CZEA ビットと ICSR3.OSTSTE ビットが“1”の状態、ICSR3.OSTSTF フラグが“1”になったとき
- ELC からのイベント受信

23.3.1 入力レベル検出動作

ICSR1、ICSR2 レジスタで設定した入力条件が POE0# ~ POE3#、POE8# 端子に発生した場合、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

(1) 立ち下がリエッジ検出

POE0# ~ POE3#、POE8# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

立ち下がリエッジは、PCLK でサンプリングを行った後、検出します。POE0# ~ POE3#、POE8# 端子に 1PCLK クロック未満の Low が入力された場合、立ち下がリエッジが検出できるかどうかは保証できません。

POE0# ~ POE3#、POE8# 端子入力から端子のハイインピーダンスまでのタイミング例を図 23.2 に示します。

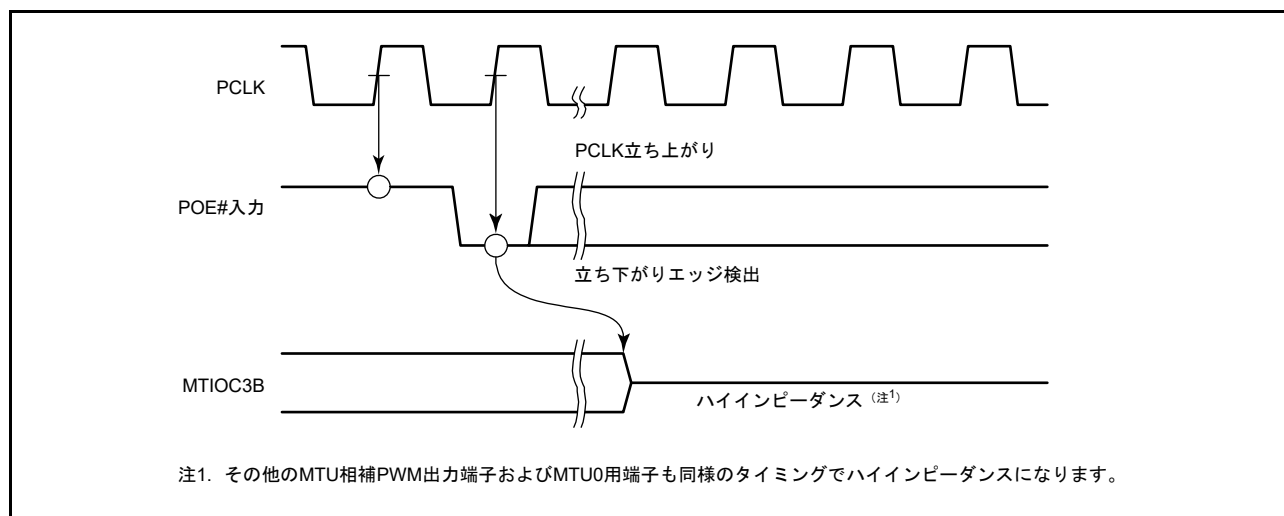


図 23.2 立ち下がリエッジ検出動作

(2) Low 検出

図 23.3 に Low 検出動作を示します。ICSR1、ICSR2 レジスタで設定したサンプリングクロックで、16 回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にします。このとき、一度でも High を検出した場合は Low 検出とみなしません。また、サンプリングクロックが出力されていない期間は、POE0# ~ POE3#、POE8# 端子が変化しても無視されます。

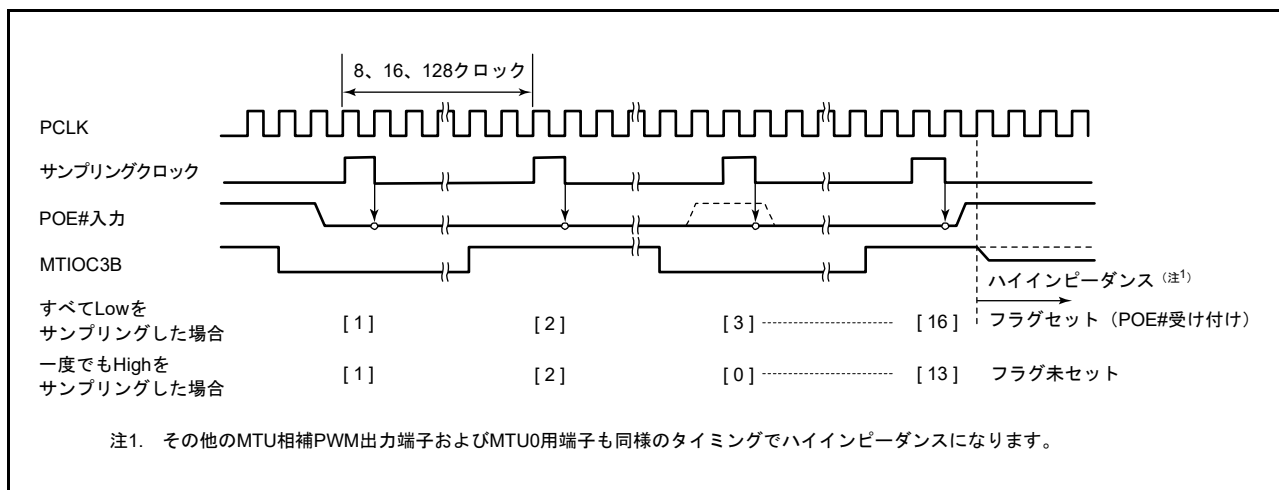


図 23.3 Low 検出動作

23.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、MTU 相補 PWM 出力端子の出力レベル比較動作を図 23.4 に示します。他の端子の組み合わせについても同様です。

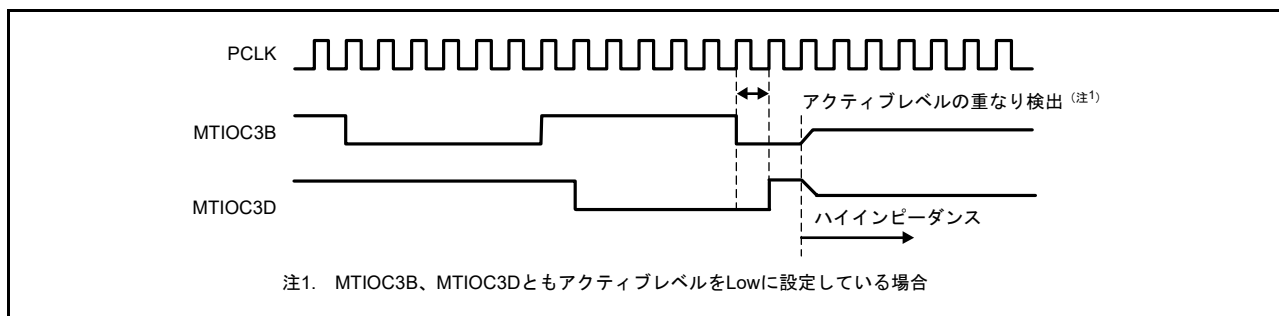


図 23.4 出力レベル比較動作

23.3.3 レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) への書き込みによって、MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御をします。

SPOER.CH34HIZ ビットを“1”にすることで、POECR2 レジスタで設定した MTU 相補 PWM 出力の端子 (MTU3, MTU4) をハイインピーダンスにします。

SPOER.CH0HIZ ビットを“1”にすることで、POECR1 レジスタで設定した MTU0 用出力端子をハイインピーダンスにします。

23.3.4 発振停止検出によるハイインピーダンス制御

ICSR3.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR2 レジスタで設定した MTU 相補 PWM 出力端子および POECR1 レジスタで設定した MTU0 用端子をハイインピーダンスにします。

23.3.5 ELC からのイベント信号受信によるハイインピーダンス制御

ELC からのイベント信号により、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンス状態にすることができます。

ELC による MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御を行う場合は、対応するレジスタ (POECR1 または POECR2) をあらかじめ、ハイインピーダンス許可に設定してください。ELC からイベント信号を受信すると、対応するビット (SPOER.CH0HIZ または SPOER.CH34HIZ) が“1”となり、MTU 相補 PWM 出力端子または MTU0 用端子がハイインピーダンスとなります。

23.3.6 ハイインピーダンスからの解除

入力レベル検出でハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、リセットで初期状態に戻るか、ICSR1.POE3F、POE2F、POE1F、POE0F フラグ、ICSR2.POE8F フラグを“0”にすることにより解除されます。ただし、ICSR1.POE3M[1:0]、POE2M[1:0]、POE1M[1:0]、POE0M[1:0] ビット、ICSR2.POE8M[1:0] ビットで Low サンプリングに設定している場合には、POE0# ~ POE3#、POE8# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル比較でハイインピーダンスになった MTU 相補 PWM 出力端子は、リセットで初期状態に戻るか、OCSR1.OSF1 フラグを“0”にすることにより解除されます。ただし、MTU 相補 PWM 出力端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU のレジスタを設定することで行うことができます。

クロック発生回路の発振停止によりハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、ICSR3.OSTSTF ビットまたは ICSR3.OSTSTE ビットを“0”にすることによりハイインピーダンスが解除されます。

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットによりハイインピーダンスになった MTU 相補 PWM 出力端子または MTU0 用端子は、端子に対応するビット (SPOER.CH34HIZ, SPOER.CH0HIZ) を“0”にすることによりハイインピーダンスが解除されます。

23.4 割り込み

POE は入力レベル検出動作、出力レベル比較動作、クロック発生回路の発振停止において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 23.4 に割り込みの種類と割り込み要求を出す条件を示します。OEI1 割り込みと OEI2 割り込みを受け付けたとき、当該割り込みの例外処理ルーチンの先頭で当該フラグが“1”になっていることを確認してください。

表 23.4 割り込み要求の種類と条件

名称	割り込み要因	該当フラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, POE1F, POE2F, POE3F, OSF1	ICSR1.PIE1ビットが“1”の状態でICSR1.POE0F、POE1F、POE2F、またはPOE3Fフラグが“1”になったとき、もしくはOCSR1.OIE1ビットが“1”の状態でOCSR1.OSF1フラグが“1”になったとき
OEI2	アウトプットイネーブル割り込み2	POE8F	ICSR2.PIE2ビットが“1”の状態でICSR2.POE8Fフラグが“1”になったとき

23.5 使用上の注意事項

23.5.1 ソフトウェアスタンバイモードへの移行について

POE を使用する場合は、ソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードでは、POE の動作が停止するため、端子のハイインピーダンス制御はできません。

23.5.2 POE を使用しない場合について

POE を使用しない場合は、ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) に“00h”を、ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) に“00h”をそれぞれ書き込んでください。

23.5.3 端子の MTU 機能設定について

POE によるハイインピーダンス制御は、端子が PMR レジスタと PmnPFS レジスタによって MTU の該当端子に選択されている場合のみ機能します。汎用入出力ポートに選択されている場合は、ハイインピーダンス制御はできません。

23.5.4 ELC からのイベント信号受信によるハイインピーダンス制御の注意事項

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットへの“0”書き込みとイベント信号の受信が競合すると、イベント信号が優先され、対応するビットが“1”になります。ELC からのイベント信号の受信により MTU 相補 PWM 出力端子および MTU0 用端子がハイインピーダンスになったときは、割り込み要求は発生しません。

24. 8ビットタイマ (TMRa)

本 MCU は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャンネル内蔵しています。外部イベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット 0、ユニット 1 は同一機能です。また、SCI の基本クロックを生成することができます。

本章に記載している PCLK とは PCLKB を指します。

24.1 概要

表 24.1 に TMR の仕様を、表 24.2 に TMR の機能一覧を示します。

図 24.1 にユニット 0、図 24.2 にユニット 1 のブロック図を示します。

表 24.1 TMR の仕様

項目	仕様
カウントクロック	- 内部クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 - 外部クロック : 外部カウントクロック
チャンネル数	(8 ビット×2チャンネル)×2ユニット
コンペアマッチ	8ビットモード(コンペアマッチA、コンペアマッチB) 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位)とする16ビットタイマ - コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー (TMR0, 2)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作 (TMR0, 2) (2) イベントカウンタ動作 (TMR0, 2) (3) カウントリスタート動作 (TMR0, 2)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
SCIの基本クロック生成	SCIの基本クロックを生成 (注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

注1. 詳細は「28. シリアルコミュニケーションインタフェース (SCIg, SCIf)」を参照してください。

表 24.2 TMRの機能一覧

項目		ユニット0			ユニット1		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRIO	TMR1.TCORA TMR1.TCORB TMRIO	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRIO	TMR2.TCORA TMR2.TCORB TMRIO	TMR3.TCORA TMR3.TCORB TMRIO	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRIO
コンペアマッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバーフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバーフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1 のオーバーフロー	TMR0 のコンペアマッチ A	—	TMR3 のオーバーフロー	TMR2 のコンペアマッチ A	—
SCIの基本クロックの生成 (注1)		○		—	○		—
ELC出力イベント	コンペアマッチA	○	—	○	○	—	○
	コンペアマッチB	○	—	○	○	—	○
	TCNTのオーバーフロー	○	—	○	○	—	○
ELC入力イベント	カウントスタート	○	—	—	○	—	—
	イベントカウンタ	○	—	—	○	—	—
	カウントリスタート	○	—	—	○	—	—
モジュールストップの設定 (注2)		(ユニット0) MSTPCRA.MSTPA5 ビット、(ユニット1) MSTPCRA.MSTPA4 ビット					

○：可能

—：不可能

注1. 詳細は「28. シリアルコミュニケーションインタフェース(SCIg, SCIH)」を参照してください。

注2. 詳細は「11. 消費電力低減機能」を参照してください。

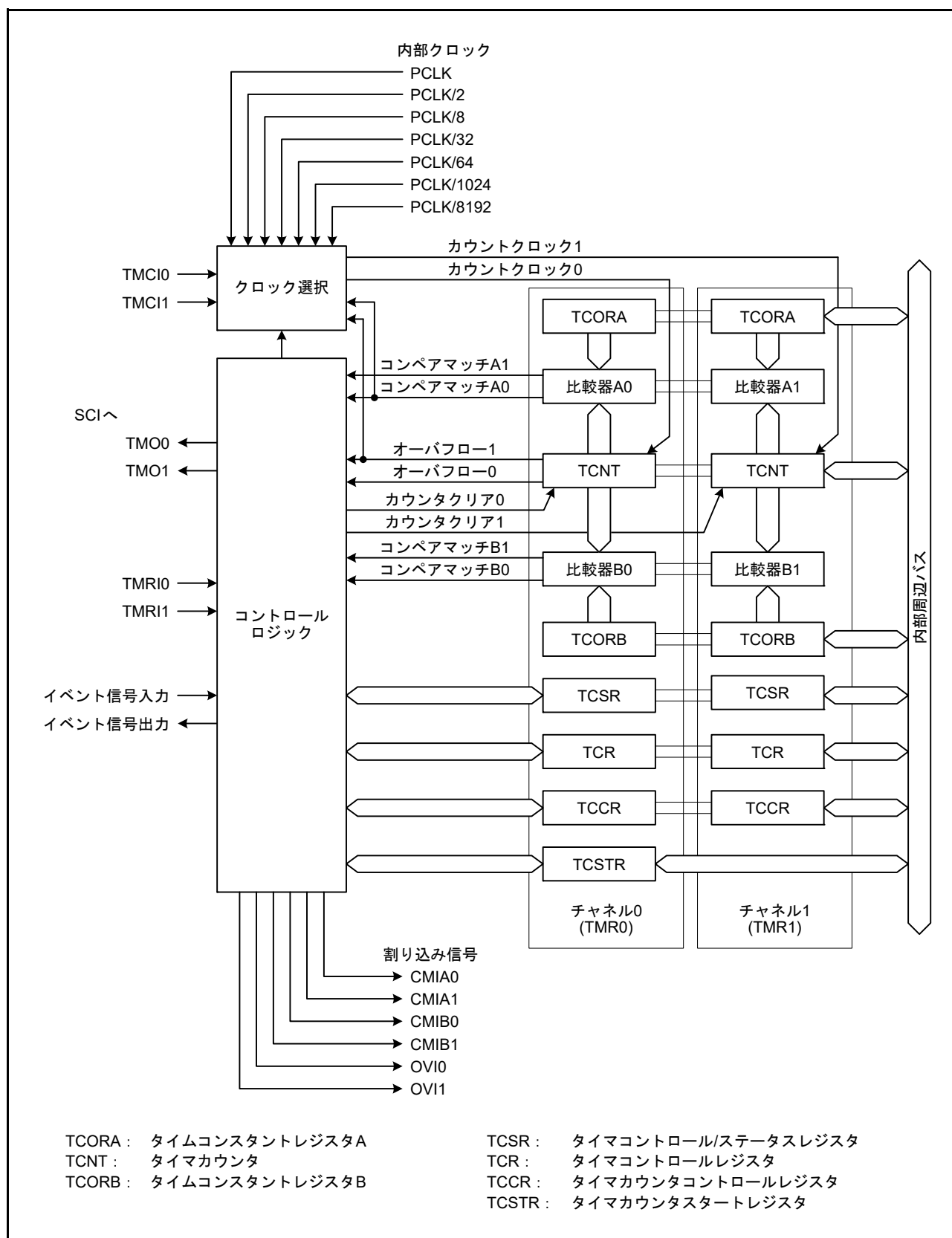


図 24.1 TMR (ユニット0) のブロック図

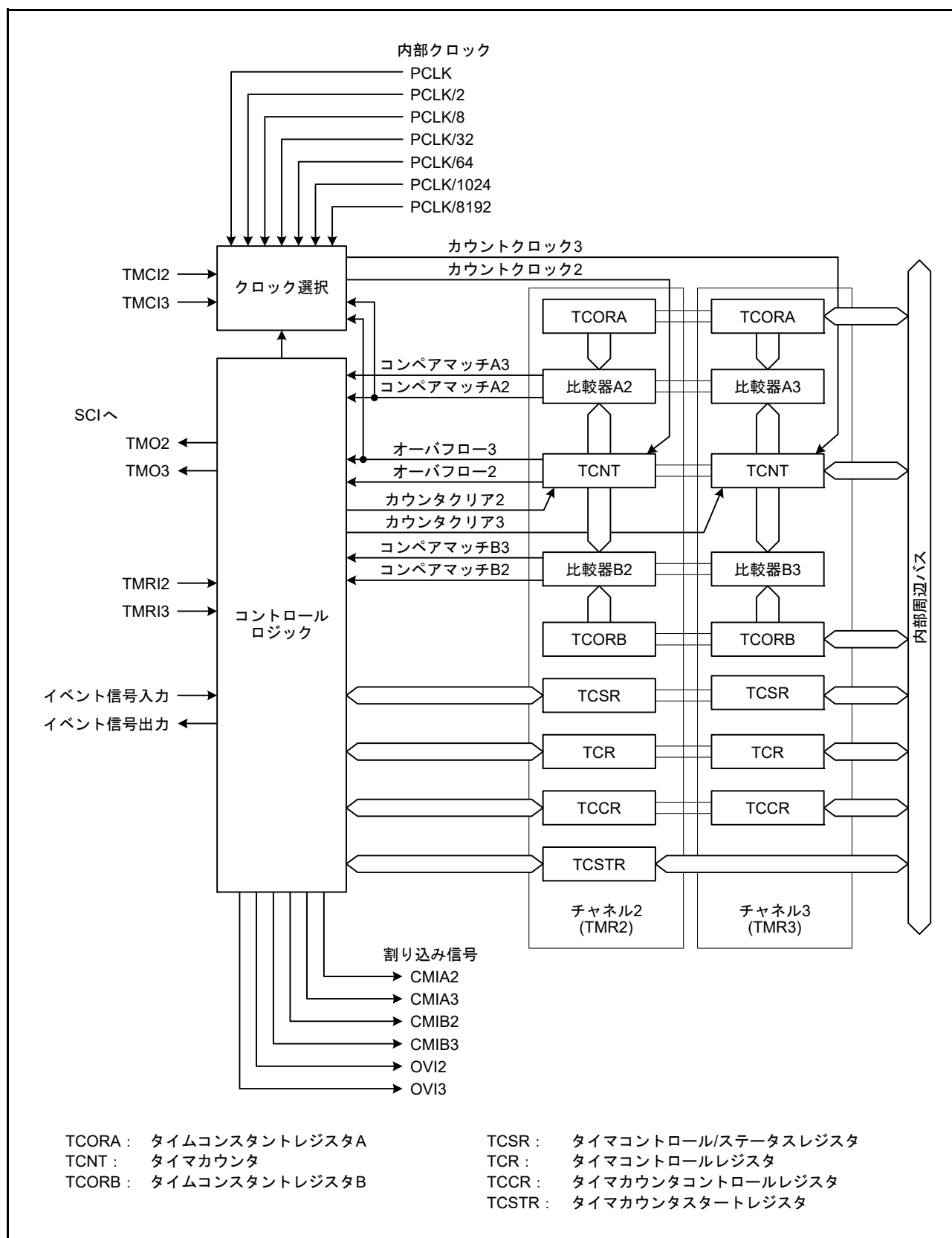


図 24.2 TMR (ユニット 1) のブロック図

表 24.3 に TMR で使用する入出力端子を示します。

表 24.3 TMRの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCI0	入力	外部カウントクロック入力
		TMRI0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCI1	入力	外部カウントクロック入力
		TMRI1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCI2	入力	外部カウントクロック入力
		TMRI2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCI3	入力	外部カウントクロック入力
		TMRI3	入力	外部カウンタリセット入力

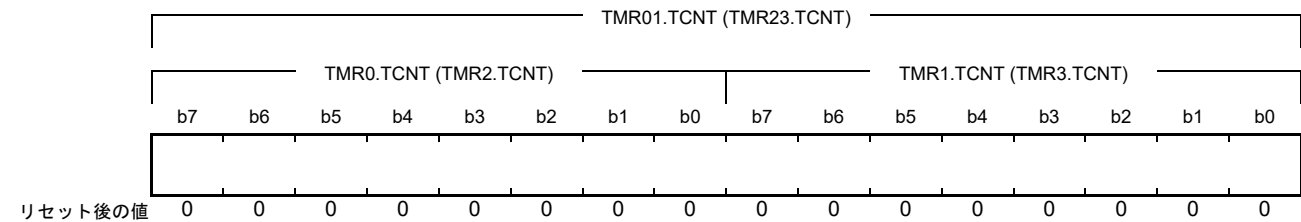
24.2 レジスタの説明

表 24.4 16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR

24.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,
TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h



TCNT カウンタは、8 ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16 ビットカウンタ (TMR01.TCNT, TMR23.TCNT) として 16 ビット単位でアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

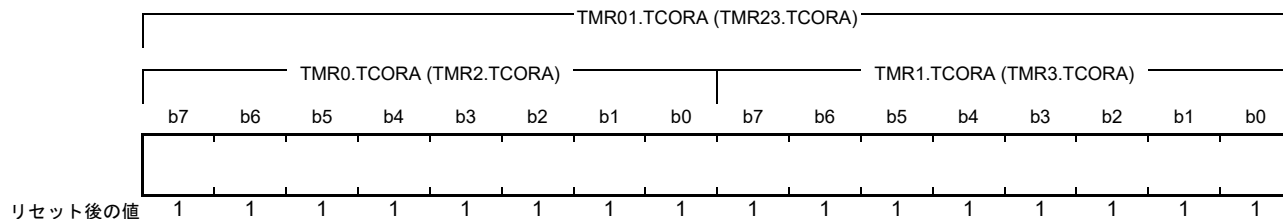
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバフロー割り込みを出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 24.6 TMR の割り込み要因」を参照してください。

24.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,
TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

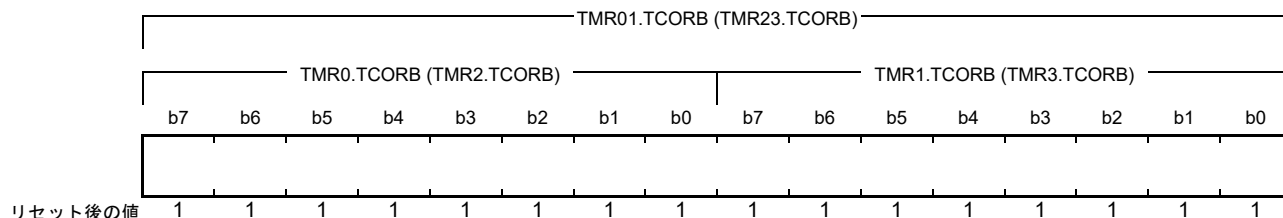
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA) として 16 ビット単位でアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込みを出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,
TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB) として 16 ビット単位でアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込みを出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (注1) (TCCR.TMRIS ビットでエッジまたはレベルを選択)	R/W
b5	OVIE	オーバフロー割り込み許可ビット	0 : オーバフローによる割り込み要求(OVIn)を禁止 1 : オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチA割り込み許可ビット	0 : コンペアマッチAによる割り込み要求(CMIAIn)を禁止 1 : コンペアマッチAによる割り込み要求(CMIAIn)を許可	R/W
b7	CMIEB	コンペアマッチB割り込み許可ビット	0 : コンペアマッチBによる割り込み要求(CMIBIn)を禁止 1 : コンペアマッチBによる割り込み要求(CMIBIn)を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (オーバフロー割り込み許可ビット)

TCNT カウンタのオーバフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ A 割り込み許可ビット)

TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAIn) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ B 割り込み許可ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBIn) の許可または禁止を選択します。

24.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,
TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah

b7	b6	b5	b4	b3	b2	b1	b0
TMRIS	—	—	CSS[1:0]		CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表 24.5 を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表 24.5 を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部カウンタリセット信号の立ち上がりでクリア 1 : 外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する 8 ビットのレジスタです。偶数チャネルのアドレスに対して 16 ビットアクセスすると、同時に 2 つの TCCR レジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)**CSS[1:0] ビット (クロックソース選択ビット)**

CKS[2:0] ビットおよび CSS[1:0] ビットは、カウントクロックを選択します。詳細は、表 24.5 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表24.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCR レジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウン ト (注1)
	0	1	0	0	0	内部クロック : PCLKでカウント
					1	内部クロック : PCLK/2でカウント
				1	0	内部クロック : PCLK/8でカウント
					1	内部クロック : PCLK/32でカウント
			1	0	0	内部クロック : PCLK/64でカウント
					1	内部クロック : PCLK/1024でカウント
				1	0	内部クロック : PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT)のオーバフロー信号でカウント (注2)
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウン ト (注1)
	0	1	0	0	0	内部クロック : PCLKでカウント
					1	内部クロック : PCLK/2でカウント
				1	0	内部クロック : PCLK/8でカウント
					1	内部クロック : PCLK/32でカウント
			1	0	0	内部クロック : PCLK/64でカウント
					1	内部クロック : PCLK/1024でカウント
				1	0	内部クロック : PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT)のコンペアマッチAでカウント (注2)

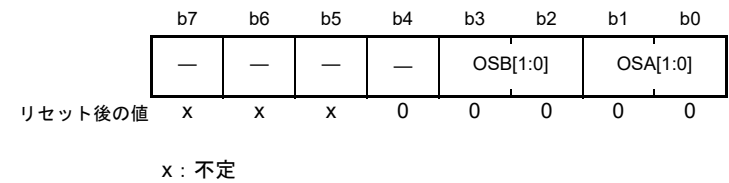
注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

注2. TMR0 (TMR2)のクロック入力をTMR1.TCNT (TMR3.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3)のクロック入力をTMR0.TCNT (TMR2.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウントクロックが発生しません。この設定は行わないでください。

24.2.6 タイマコントロール / ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h



ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

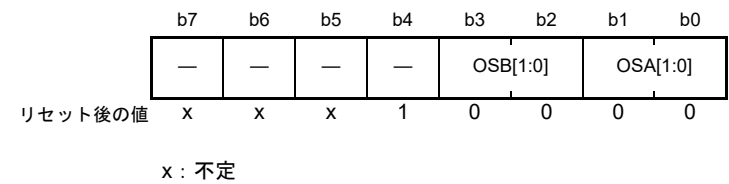
TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

• TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h



ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

24.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR2.TCSTR 0008 821Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0
x : 不定								

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0 : ELCによるカウント停止状態 1 : ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウントの状態を確認できます。
読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウント停止状態です。
このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみ有効となります。
詳細は、「24.7 ELC によるリンク動作」および、「19. イベントリンクコントローラ (ELC)」を参照してください。

24.3 動作説明

24.3.1 パルス出力

任意のデューティパルスを出力させる例を図 24.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介入なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

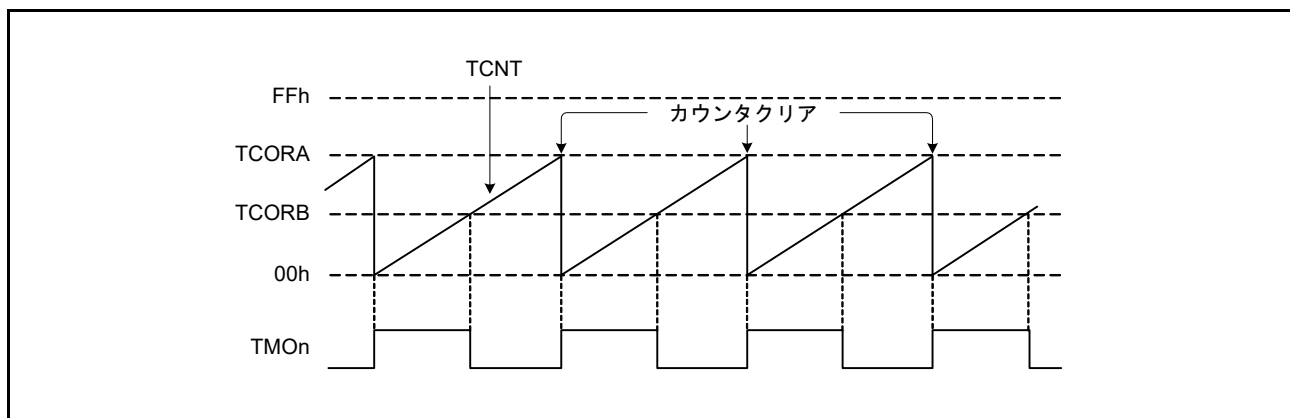


図 24.3 パルス出力例 (n = 0 ~ 3)

24.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 24.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを “1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

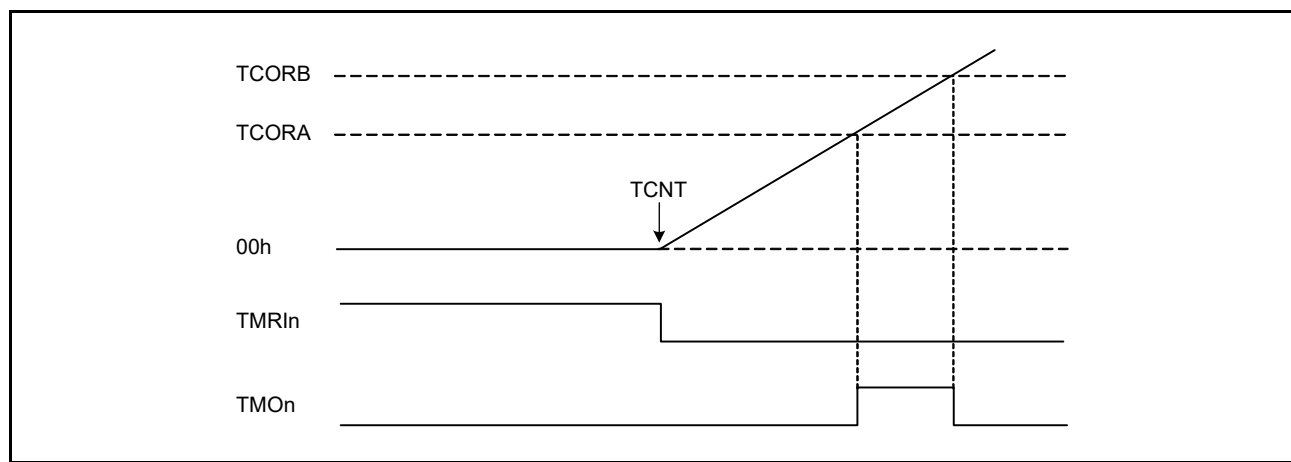


図 24.4 外部カウンタリセット信号入力例 (n = 0 ~ 3)

24.4 動作タイミング

24.4.1 TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 24.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 24.6 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

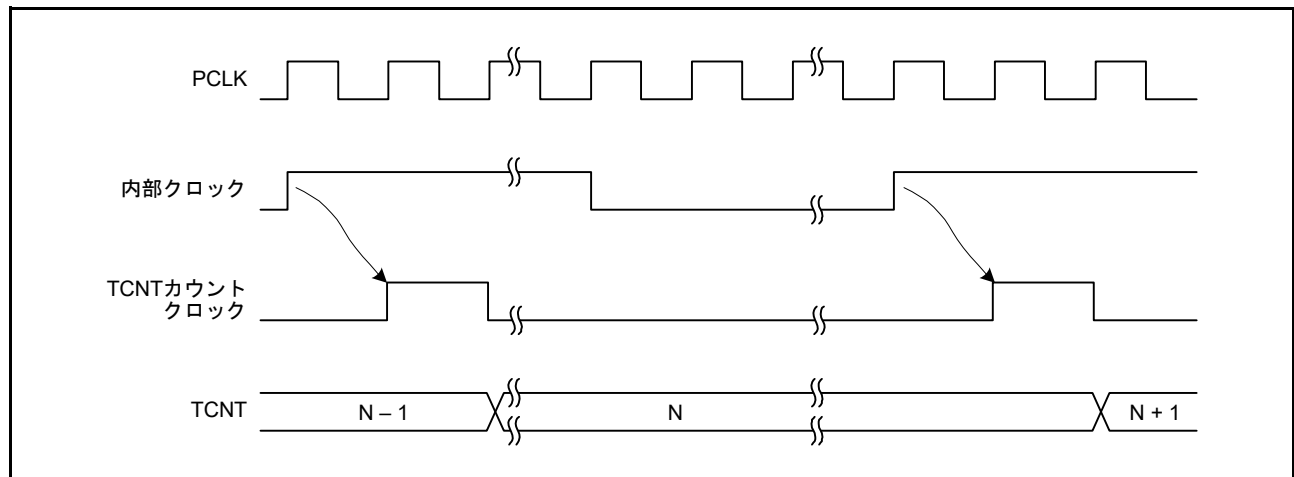


図 24.5 内部クロック動作時のカウンタタイミング

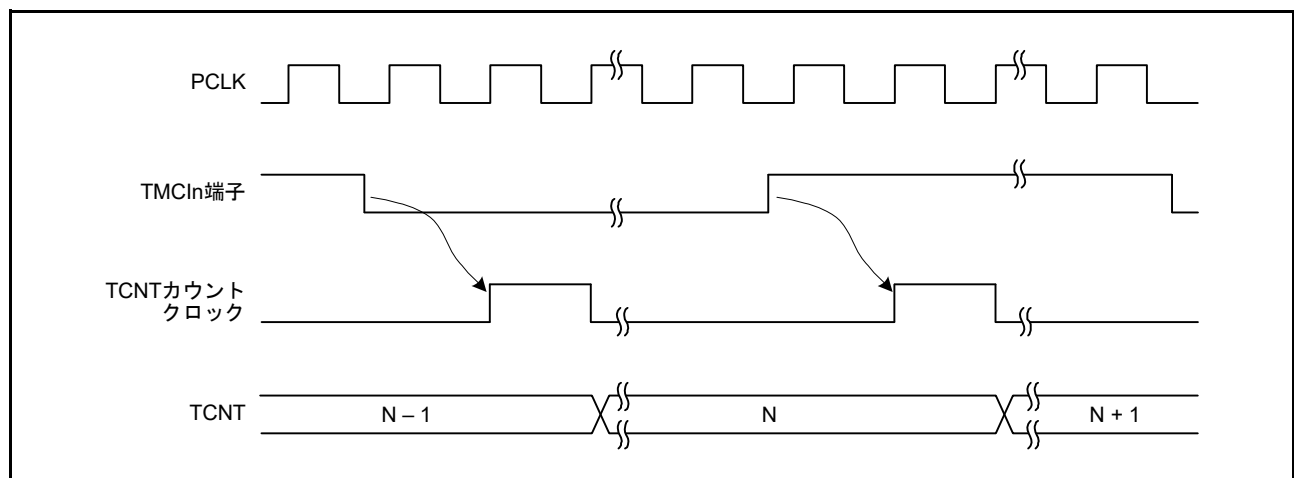


図 24.6 外部クロック動作時のカウンタタイミング (両エッジの場合)

24.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 24.7 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 24.6 を参照してください。

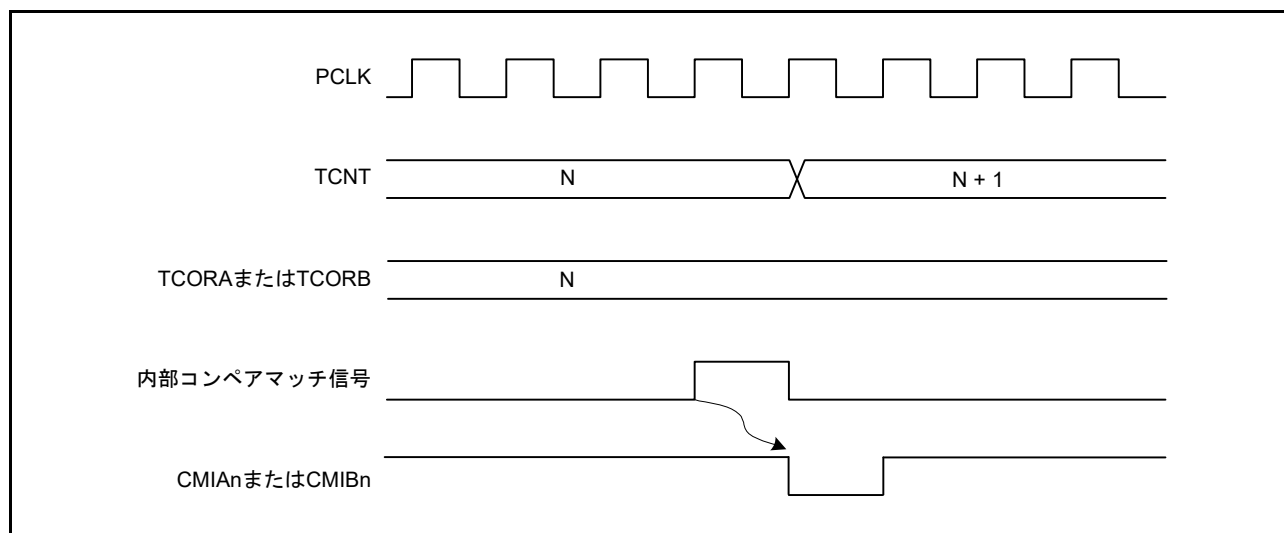


図 24.7 コンペアマッチ時の割り込みタイミング (n = 0 ~ 3)

24.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 24.8 に示します。

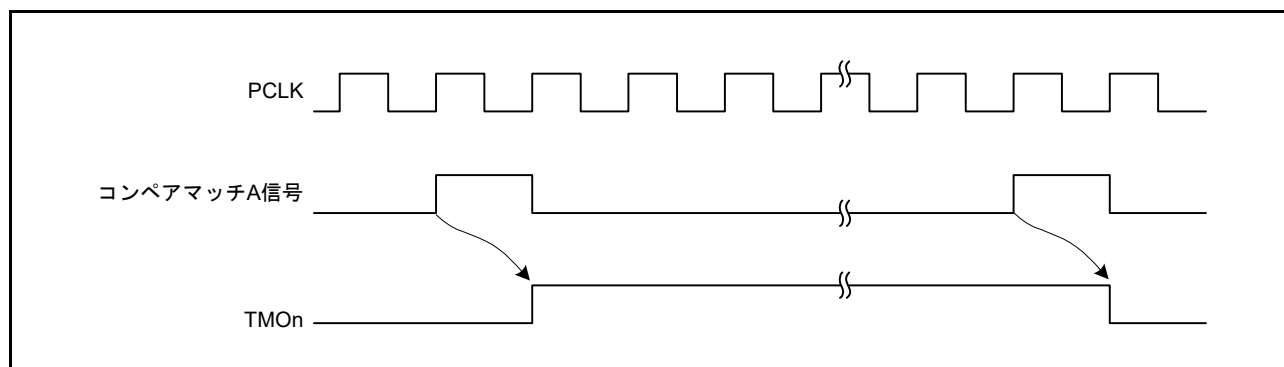


図 24.8 コンペアマッチ A 信号による出力信号タイミング (n = 0 ~ 3)

24.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 24.9 に示します。

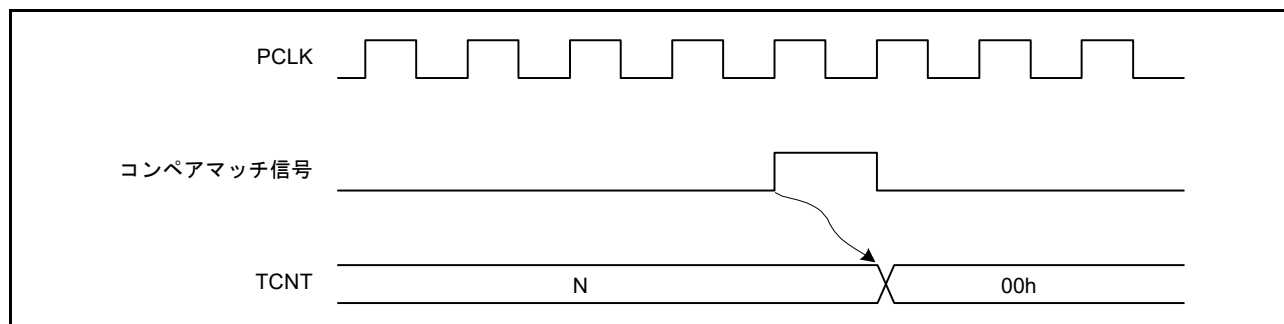


図 24.9 コンペアマッチによるカウンタクリアタイミング

24.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 24.10、図 24.11 に示します。

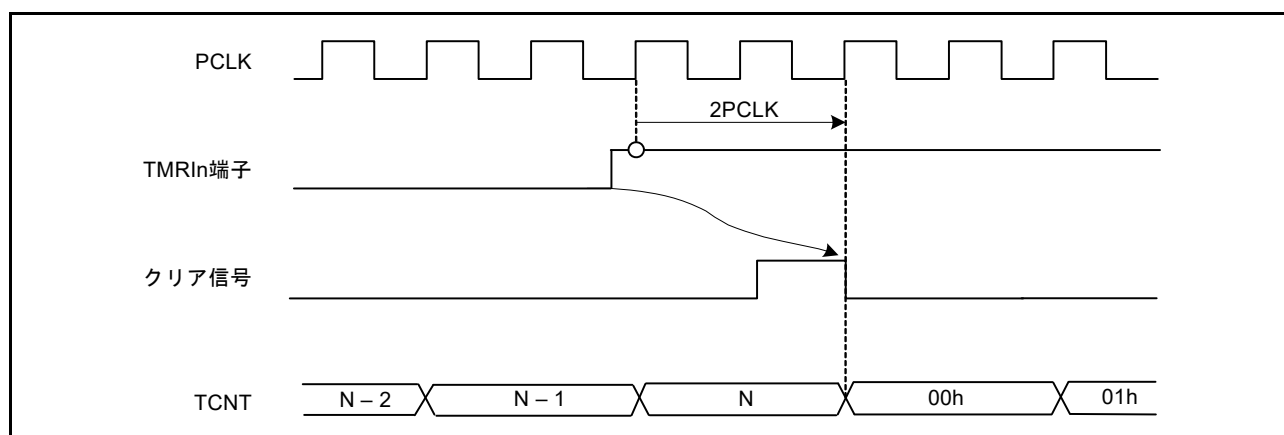


図 24.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

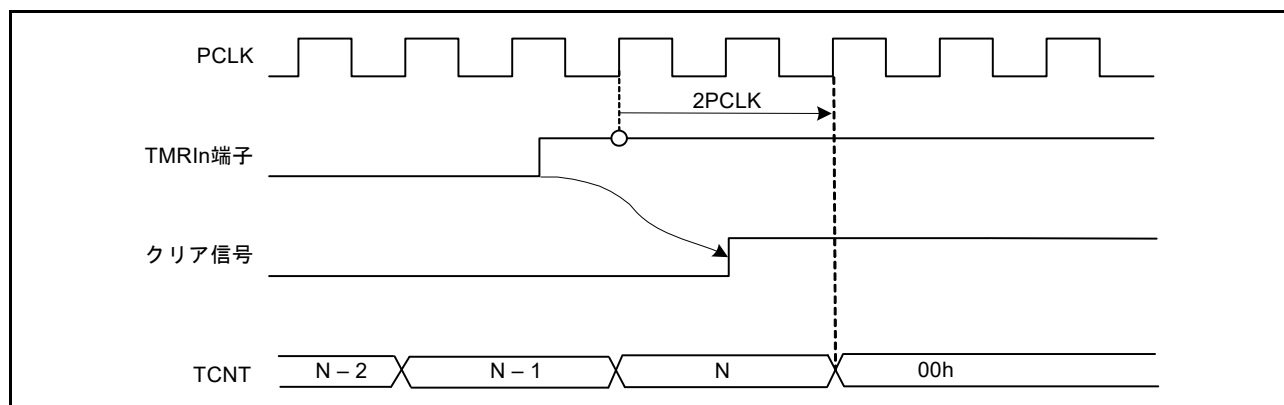


図 24.11 外部カウンタリセット信号によるクリアタイミング (High)

24.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 24.12 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 24.6 を参照してください。

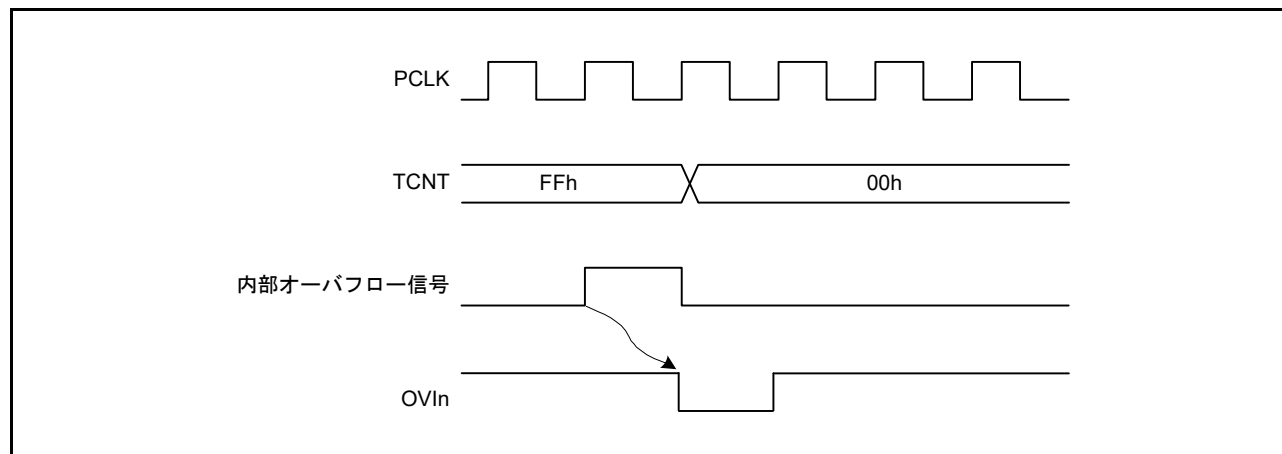


図 24.12 オーバフローによる割り込みタイミング (n = 0 ~ 3)

24.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット0について説明しています。ユニット1のカスケード接続時の動作についても、ユニット0と同様です。

24.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

24.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャンネルの設定に従います。

24.6 割り込み要因

24.6.1 割り込み要因と DTC 起動

TMR_n の割り込み要因は、CMIA_n、CMIB_n、OVI_n の 3 種類があります。表 24.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 24.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高 ↑ ↓ 低
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバフロー	不可能	

24.7 ELC によるリンク動作

24.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャンネルは TMR0 と TMR2 です。

イベント信号は該当する割り込み要求許可ビット (TMR0.TCR.OVIE/TMR2.TCR.OVIE, TMR0.TCR.CMIEA/TMR2.TCR.CMIEA, TMR0.TCR.CMIEB/TMR2.TCR.CMIEB) の設定に関係なく出力することができます。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

24.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが“1”にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD[1:0]、ELOPD.TMR2MD[1:0] ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウント動作を継続することができます。

24.7.3 ELC からのイベント信号受信による TMR の注意事項

以下に TMR をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TCSTR.TCS ビットへのライトサイクル中に ELSR_n レジスタで指定したイベントが発生すると、TCSTR.TCS ビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

TCNT カウンタへのライトサイクル中に ELSR_n レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSR_n レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

24.8 使用上の注意事項

24.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

24.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f : カウンタ周波数、PCLK: 動作周波数、 N : TCORA、TCORB レジスタの設定値)。

$$f = \text{PCLK} / (N + 1)$$

24.8.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 24.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

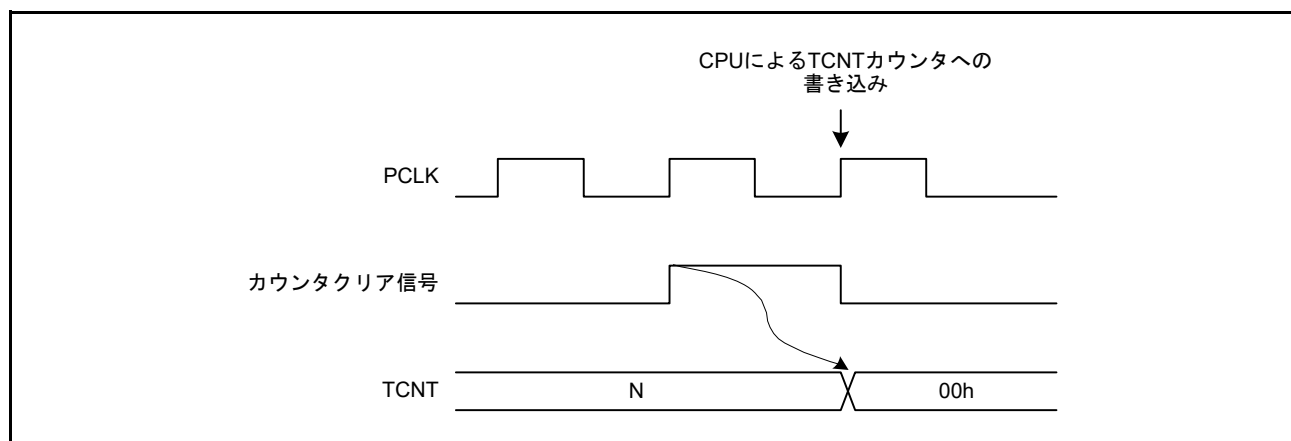


図 24.13 TCNT カウンタへの書き込みとカウンタクリアの競合

24.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 24.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

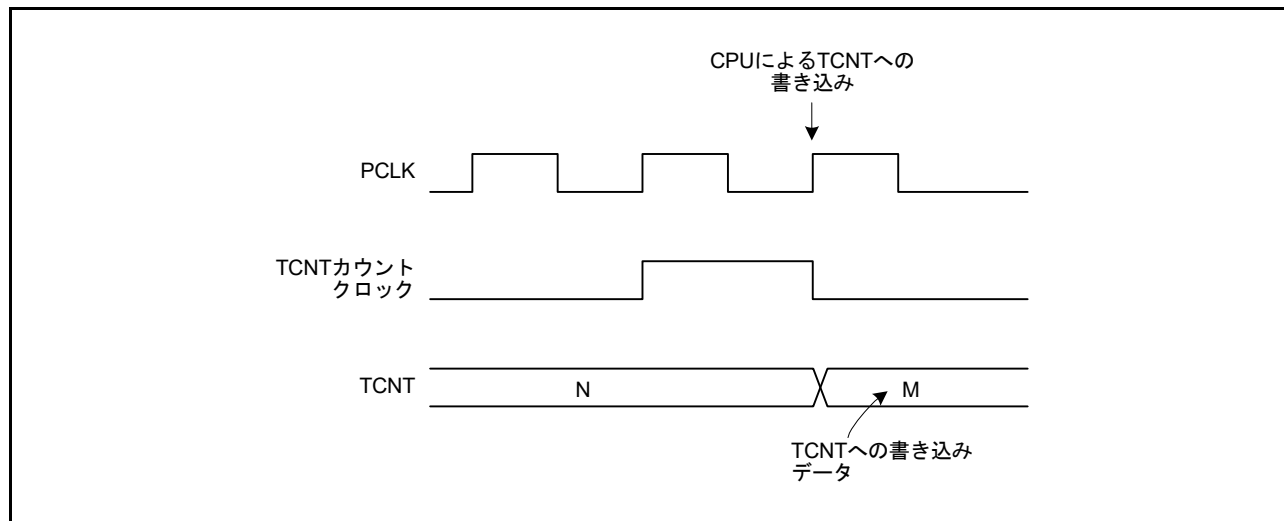


図 24.14 TCNT カウンタへの書き込みとカウントアップの競合

24.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 24.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

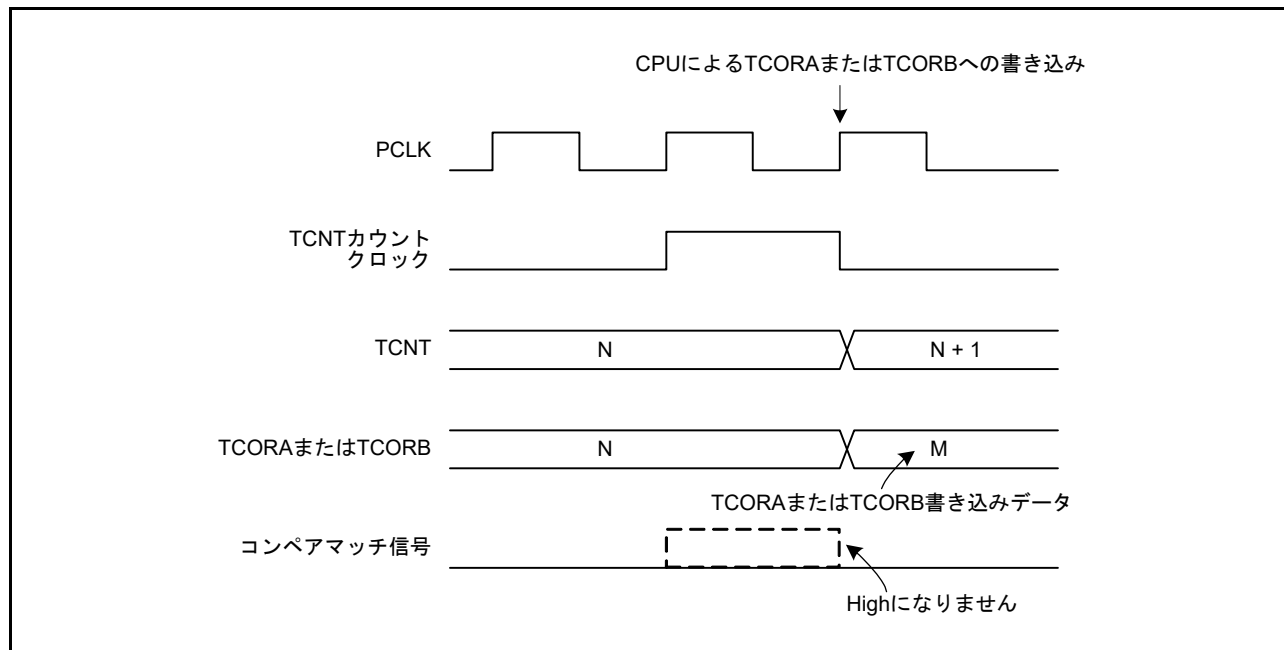


図 24.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

24.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 24.7 に示す出力設定の優先順位の高い方が出力されます。

表 24.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

24.8.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 24.8 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 24.8 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 24.8 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

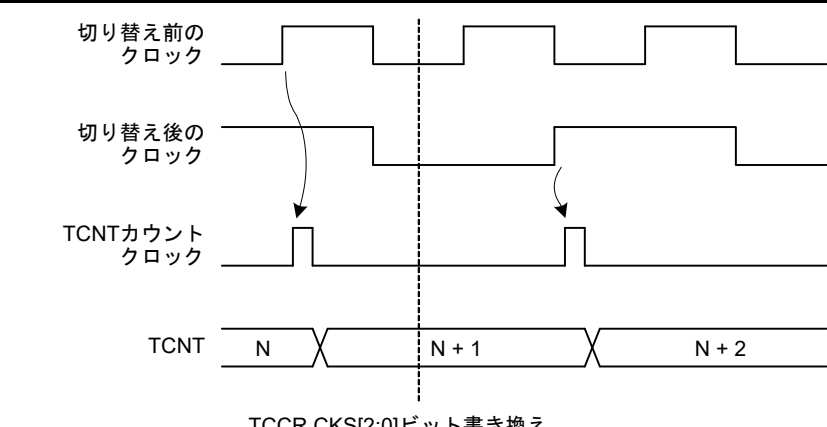
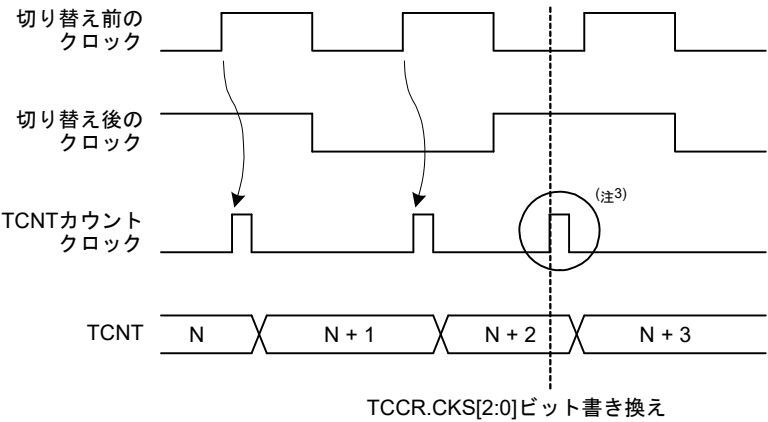
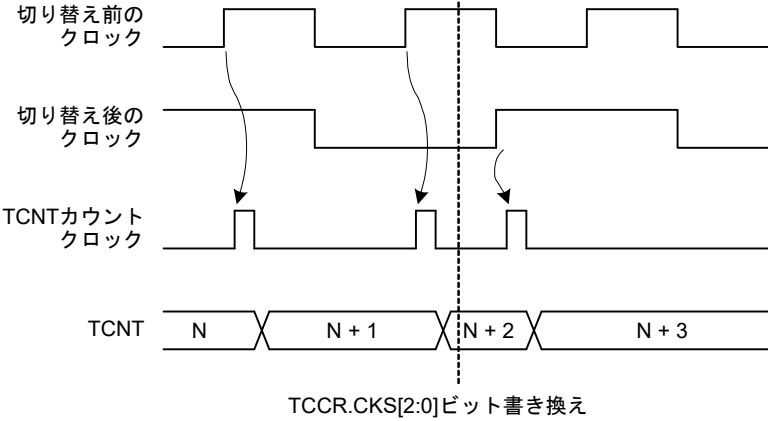
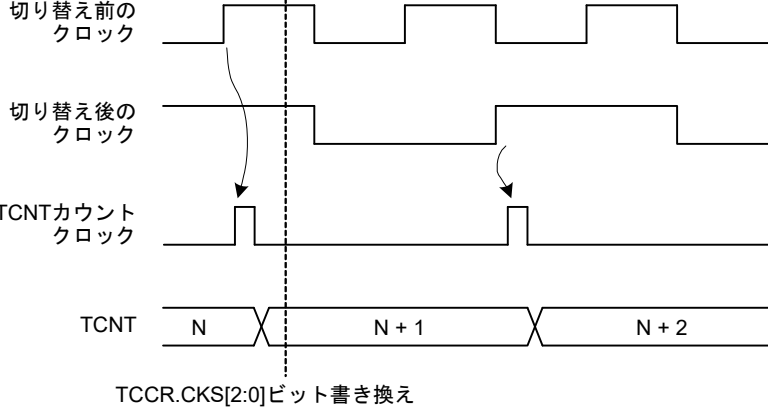
No.	TCCR.CKS[2:0] ビット書き換えタイミング	TCNT カウンタの動作
1	Low→Low (注1)の切り替え	

表 24.8 内部クロックの切り替えと TCNT カウンタの動作 (2/2)

No.	TCCR.CKS[2:0] ビット書き換えタイミング	TCNT カウンタの動作
2	Low→High (注2) の切り替え	 切り替え前のクロック 切り替え後のクロック TCNT カウントクロック TCNT N N + 1 N + 2 N + 3 TCCR.CKS[2:0]ビット書き換え
3	High→Low (注4) の切り替え	 切り替え前のクロック 切り替え後のクロック TCNT カウントクロック TCNT N N + 1 N + 2 N + 3 TCCR.CKS[2:0]ビット書き換え
4	High→High の切り替え	 切り替え前のクロック 切り替え後のクロック TCNT カウントクロック TCNT N N + 1 N + 2 TCCR.CKS[2:0]ビット書き換え

注1. Low→停止、および停止→Lowの場合を含みます。

注2. 停止→Highの場合を含みます。

注3. 切り替えのタイミングをエッジとみなすために発生し、TCNT カウンタはカウントアップされてしまいます。

注4. High→停止の場合を含みます。

24.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

24.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 24.16 に示します。

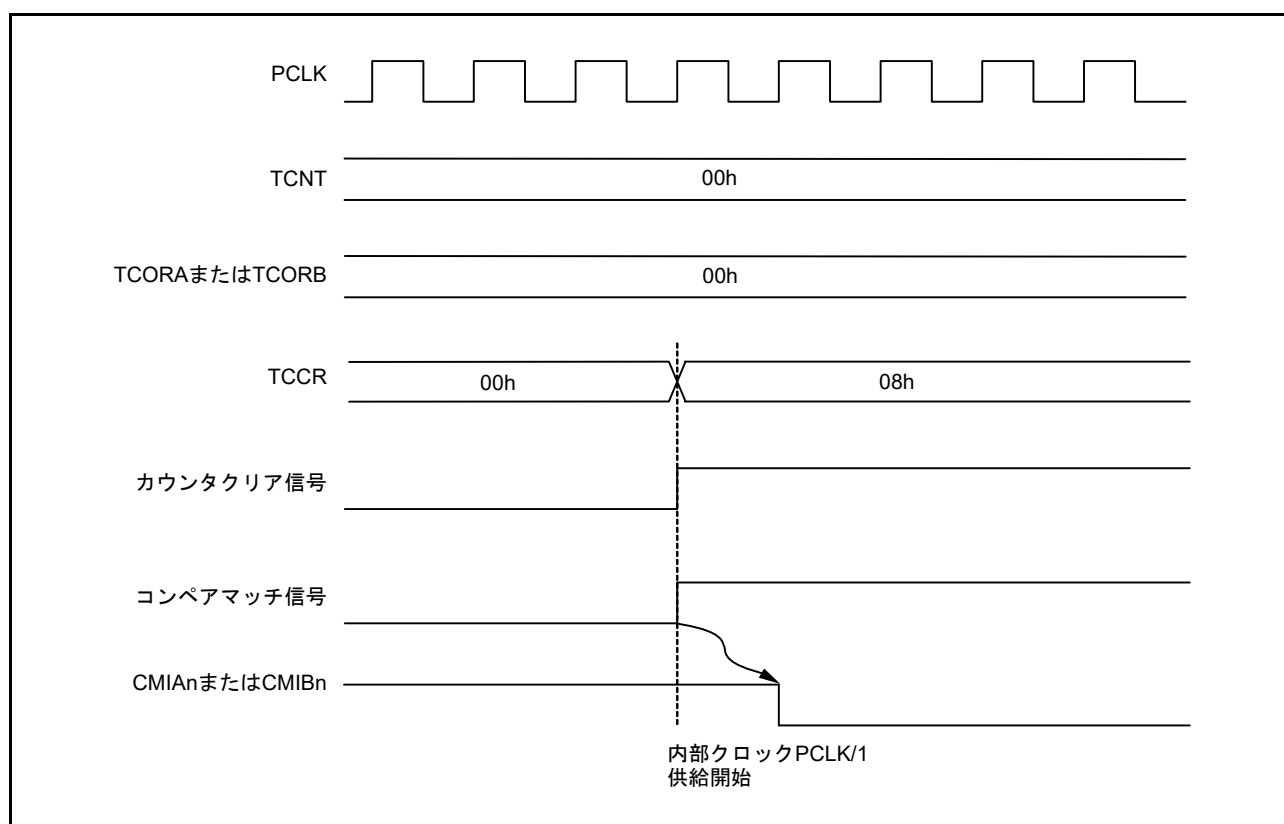


図 24.16 コンペアマッチ割り込みの連続出力 (n = 0 ~ 3)

25. コンペアマッチタイマ (CMT)

本 MCU は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 1 ユニット (ユニット 0)、合計 2 チャンネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

25.1 概要

表 25.1 に CMT の仕様を示します。

図 25.1 に CMT (ユニット 0) のブロック図を示します。2 チャンネルの CMT で 1 ユニートを構成しています。

表 25.1 CMT の仕様

項目	機能
カウントクロック	• 4 種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能

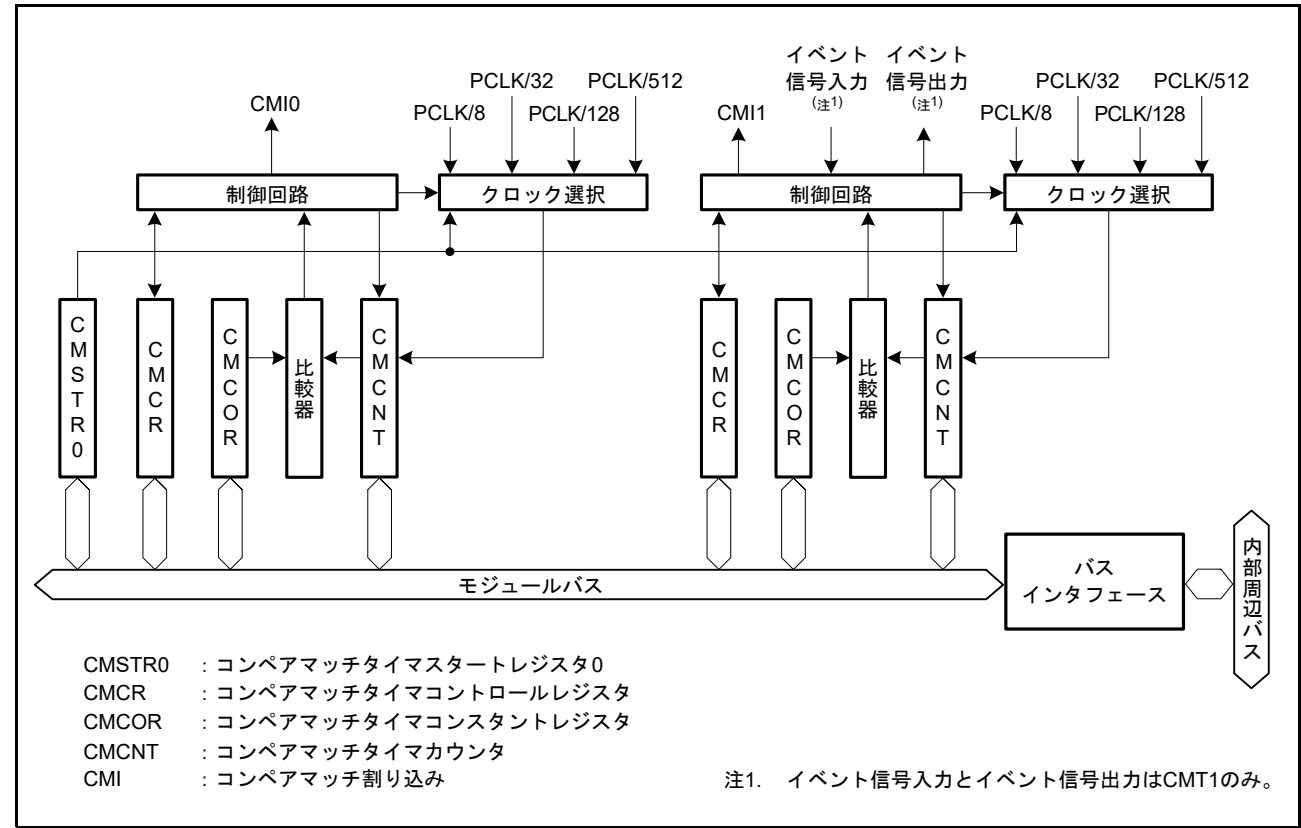


図 25.1 CMT (ユニット 0) のブロック図

25.2 レジスタの説明

25.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス CMT.CMSTR0 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウント動作停止 1 : CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウント動作停止 1 : CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.2 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h

b15

b14

b13

b12

b11

b10

b9

b8

b7

b6

b5

b4

b3

b2

b1

b0

—

—

—

—

—

—

—

—

—

CMIE

—

—

—

—

—

CKS[1:0]

リセット後の値 0 0 0 0 0 0 0 0 x 0 0 0 0 0 0 0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

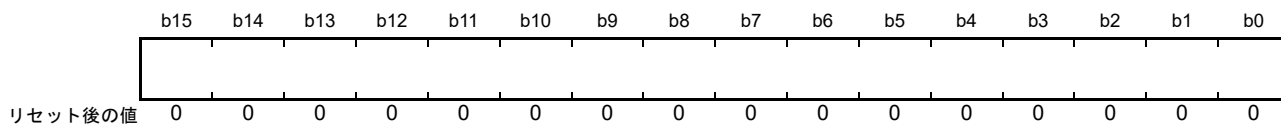
CMSTR0.STRn ビット (n = 0, 1) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0, 1) の発生を許可するか禁止するかを選択します。

25.2.3 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah



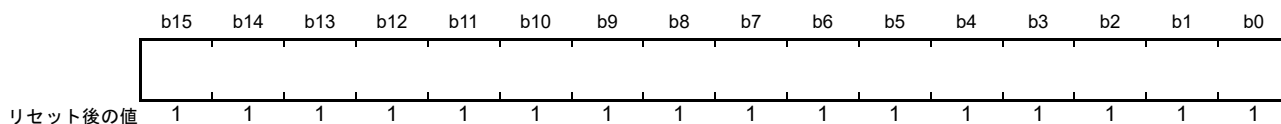
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTR0.STRn ビット (n = 0, 1) を “1” にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0, 1) が発生します。

25.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

25.3 動作説明

25.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTR0.STRn ビット ($n = 0, 1$) を“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ($n = 0, 1$) が発生します。CMCNT カウンタは“0000h” からカウントアップを再開します。CMCNT カウンタの動作を図 25.2 に示します。

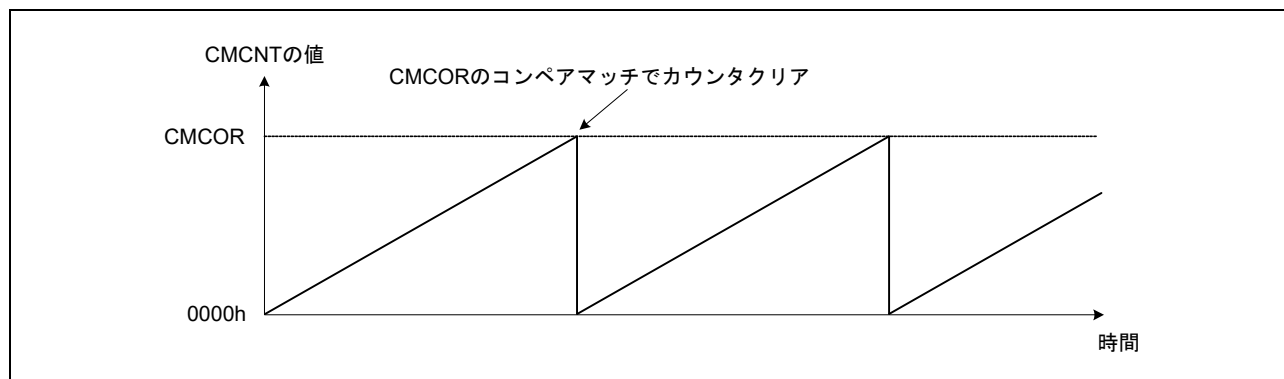


図 25.2 CMCNT カウンタの動作

25.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 25.3 に示します。

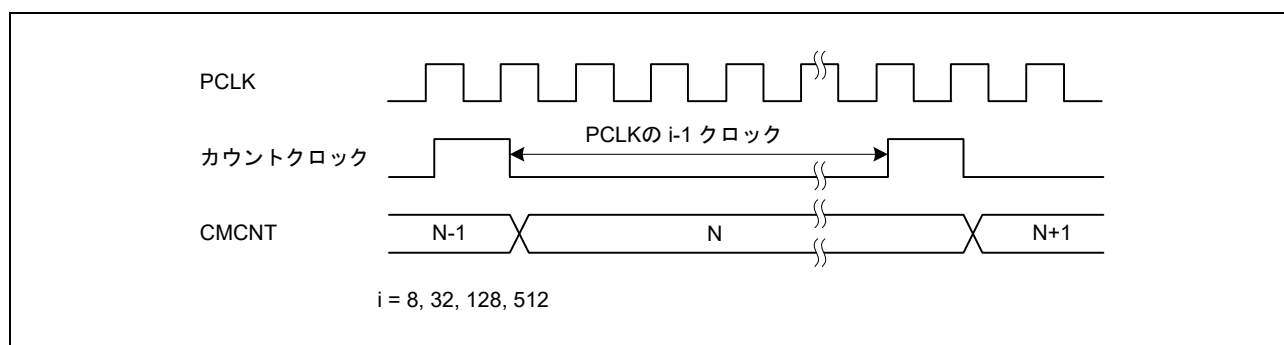


図 25.3 CMCNT カウンタのカウントタイミング

25.4 割り込み

25.4.1 割り込み要因

CMT は、チャンネルごとにコンペアマッチ割り込み (CMI_n) (n = 0, 1) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUb)」を参照してください。

表 25.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能

25.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) (n = 0, 1) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 25.4 に示します。

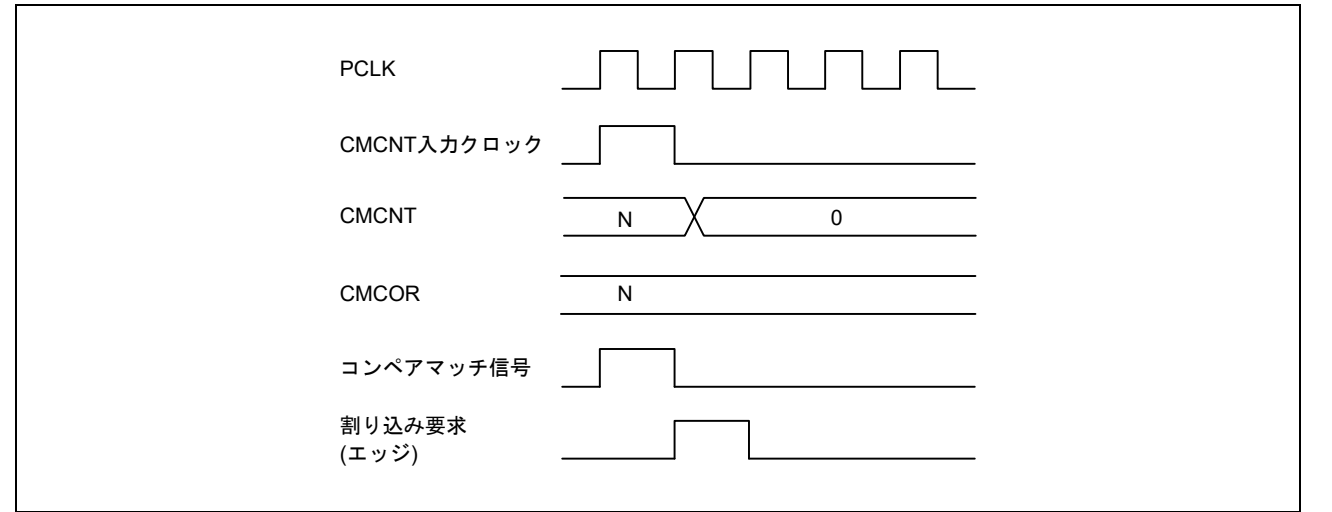


図 25.4 コンペアマッチ割り込みタイミング

25.5 ELC によるリンク動作

25.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

25.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPC レジスタで CMT のカウントリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

25.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

(3) カウントリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

25.6 使用上の注意事項

25.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作を禁止 / 許可することが可能です。リセット後、CMT はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

25.6.2 CMCNT カウンタへの書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 25.5 に示します。

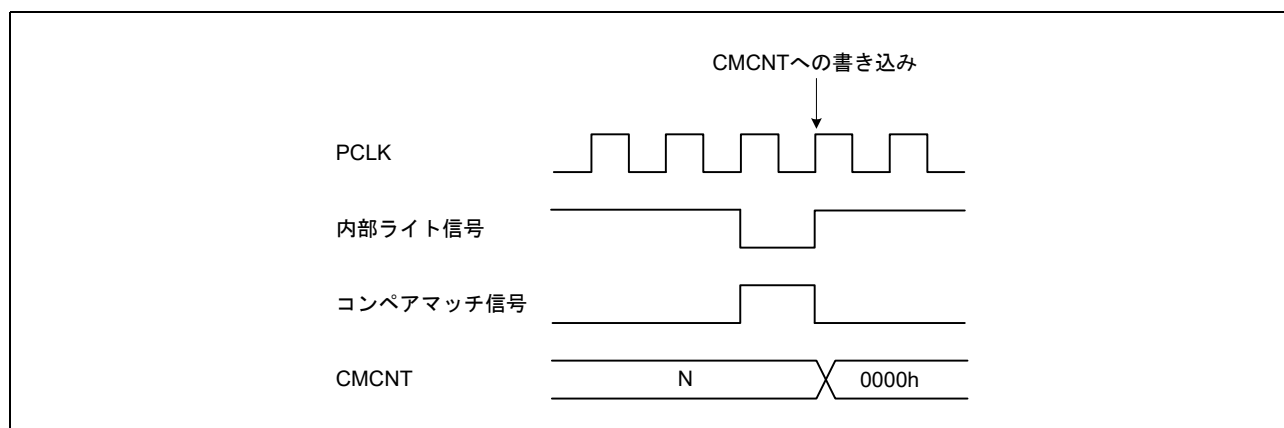


図 25.5 CMCNT カウンタへの書き込みとコンペアマッチの競合

25.6.3 CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへの書き込みと、カウントアップが競合した場合、CMCNT カウンタへの書き込みが優先されます。このタイミングを図 25.6 に示します。

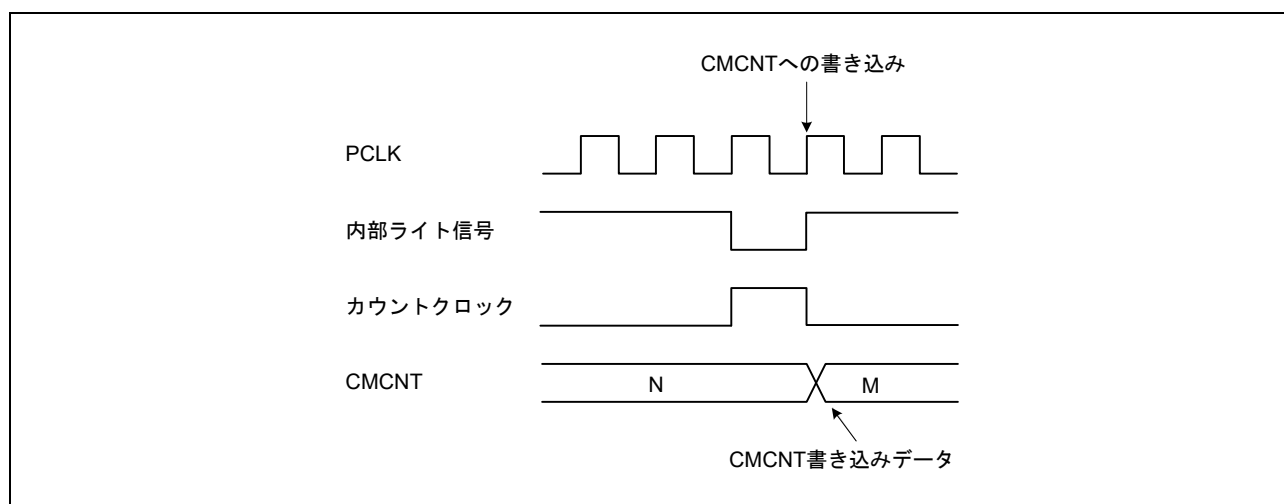


図 25.6 CMCNT カウンタへの書き込みとカウントアップの競合

26. ローパワータイマ (LPT)

26.1 概要

本 MCU は、1 チャンネルの 16 ビットタイマにより構成されるローパワータイマ (LPT) を内蔵しています。LPT は、クロックソースとして IWDT 専用クロックを使用しており、ソフトウェアスタンバイモード時もカウント動作を継続することが可能です。コンペアマッチ信号により、ソフトウェアスタンバイモードから通常動作モードに復帰することが可能です。

表 26.1 に LPT の仕様を、図 26.1 に LPT のブロック図を示します。

表 26.1 LPT の仕様

項目	内容
クロックソース	IWDT 専用クロック
クロック分周比	2 分周、4 分周、8 分周、16 分周、32 分周
カウント動作	16 ビットのアップカウンタによるアップカウント - ソフトウェアスタンバイモード時もカウント動作継続可能
コンペアマッチ	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)
イベントリンク機能 (出力)	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)

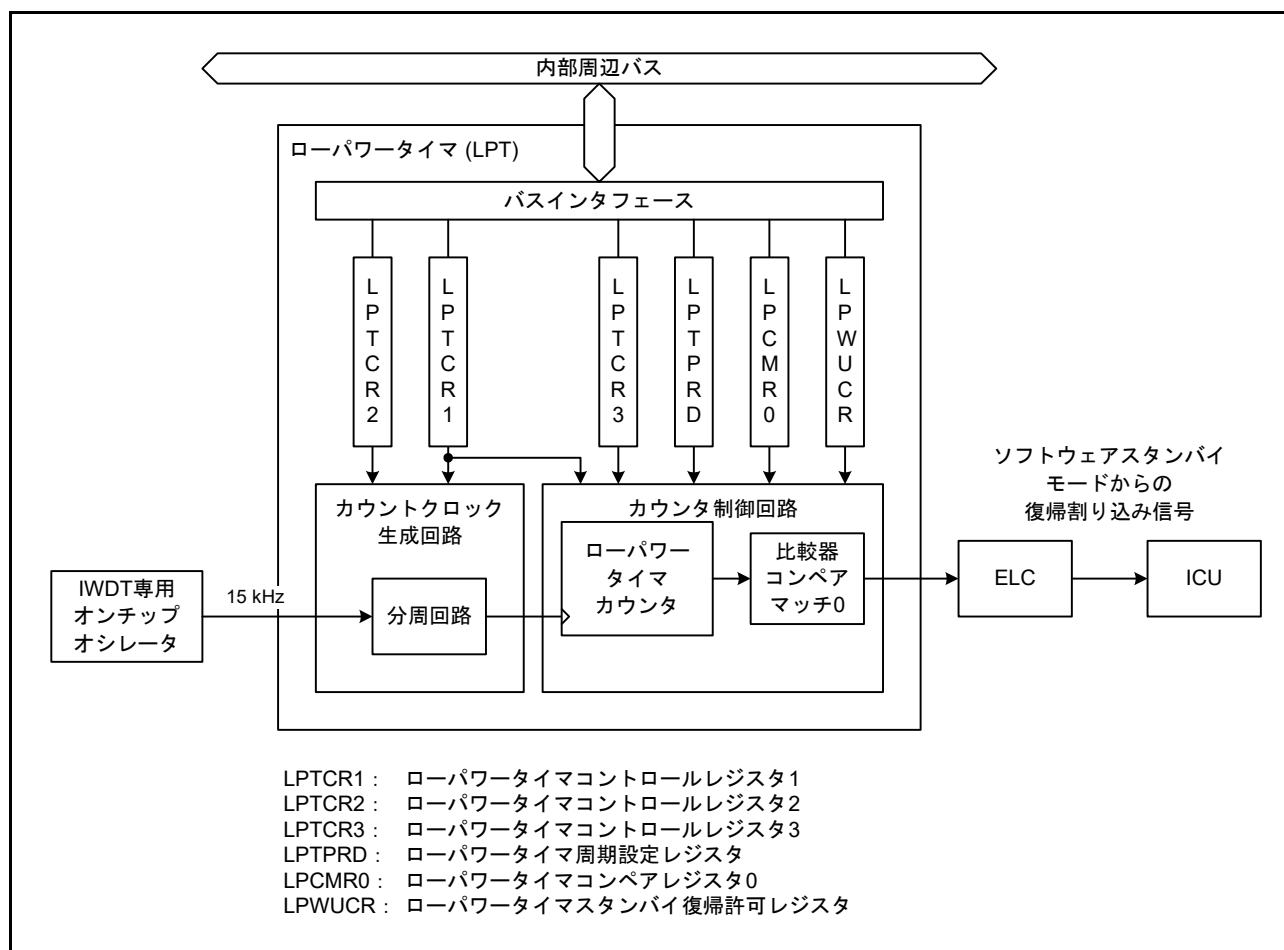


図 26.1 LPT のブロック図

26.2 レジスタの説明

26.2.1 ローパワータイマコントロールレジスタ 1 (LPTCR1)

アドレス LPT.LPTCR1 0008 00B0h

b7	b6	b5	b4	b3	b2	b1	b0
—	LPCMR E0	—	LPCNT CKSEL	—	LPCNTPSSEL[2:0]		
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	LPCNTPSSEL[2:0]	クロック分周比選択ビット(注1)	b2 b0 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LPCNTCKSEL	クロックソース選択ビット(注1、注2)	0 : クロックなし 1 : IWDTC専用クロック (IWDTCCLK)(注3)	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LPCMRE0	コンペアマッチ0許可ビット(注4)	0 : コンペアマッチ0禁止 1 : コンペアマッチ0許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. LPTCR2.LPCNTSTPビットが“1”(ローパワータイマへのクロックを停止)のときに変更してください。

注2. システムクロック(ICLK)と周辺モジュールクロック(PCLKB)の周波数 $\geq 4 \times$ (クロックソースの周波数)となるようにしてください。

注3. IWDTC専用オンチップオシレータが生成するクロック(IWDTCCLK)がローパワータイマに供給されます。本ビットを変更する場合は、IWDTC専用オンチップオシレータが安定発振している状態で行ってください。

また、ローパワータイマのクロックソースとしてIWDTCCLKを使用する場合、IWDTCオートスタートモード動作時はOFS0.IWDTSLCSTPビットに“0”(カウント停止無効)を、それ以外の時はIWDTCSTPR.SLCSTPビットに“0”(カウント停止無効)を設定してください。この設定をしなかった場合、ソフトウェアスタンバイモード時にIWDTC専用オンチップオシレータが停止します。

注4. LPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPTCR1 レジスタは、ローパワータイマの制御を行います。

LPCNTCKSEL ビット(クロックソース選択ビット)

ローパワータイマのクロックソースをIWDTC専用クロックに設定するビットです。

LPCMRE0 ビット(コンペアマッチ0許可ビット)

ローパワータイマによるコンペアマッチ0の許可または禁止を設定します。

本ビットが“1”、かつ、LPWUCR.LPWKUPENビットが“1”(ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可)のときにローパワータイマを動作状態にしてソフトウェアスタンバイモードに遷移すると、ローパワータイマカウンタの値がLPCMR0レジスタの設定値と一致したときにイベントリンクコントローラ(ELC)を介してソフトウェアスタンバイモードから通常動作モードに復帰します。

ソフトウェアスタンバイモードからの復帰に使用する場合は、割り込みの設定とELCの設定が必要です。

ELCの設定の詳細については、「19. イベントリンクコントローラ(ELC)」を、割り込みの設定の詳細については、「14. 割り込みコントローラ(ICUb)」を参照してください。

なお、コンペアマッチ 0 による割り込み要求は、ソフトウェアスタンバイモード時にのみ発生します。通常動作モード、スリープモード、およびディープスリープモード時は発生しません。

26.2.2 ローパワータイマコントロールレジスタ 2 (LPTCR2)

アドレス LPT.LPTCR2 0008 00B1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LPCNT STP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTSTP	クロック供給制御ビット	0 : ローパワータイマにクロックを供給 1 : ローパワータイマへのクロックを停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1” (書き込み許可)にした後で書き換えてください。

LPTCR2 レジスタは、ローパワータイマで使用するクロックの供給制御を行います。

LPCNTSTP ビット (クロック供給制御ビット)

ローパワータイマで使用するクロックの供給 / 停止を制御します。本ビットを“0”にすると、ローパワータイマカウンタおよび分周回路にクロックが供給されます。

26.2.3 ローパワータイマコントロールレジスタ 3 (LPTCR3)

アドレス LPT.LPTCR3 0008 00B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LPCNT RST	LPCNT EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTEN	ローパワータイマカウンタ動作制御ビット	0：ローパワータイマカウンタ停止 1：ローパワータイマカウンタ動作	R/W
b1	LPCNTRST	ローパワータイマカウンタクリアビット(注1、注2)	• 書き込み時 0：何もしない 1：分周回路およびローパワータイマカウンタをクリア • 読み出し時 0：クリア完了 1：クリア中	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注. このレジスタは、LPTCR2.LPCNTSTPビットが“0”(ローパワータイマにクロックを供給)のときに変更してください。
- 注1. このビットは、LPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。
- 注2. 連続してローパワータイマカウンタをクリアする場合、LPCNTRSTビットが“0”になったことを確認した後、IWDTCCLKで1サイクル以上待ってからLPCNTRSTビットに“1”を書いてください。

LPTCR3 レジスタは、ローパワータイマカウンタと分周回路の動作制御およびクリアを行います。

LPCNTEN ビット (ローパワータイマカウンタ動作制御ビット)

ローパワータイマカウンタおよび分周回路の動作 / 停止を制御します。

LPTCR2.LPCNTSTP ビットが “0”(ローパワータイマにクロックを供給)のときに本ビットを “1” にすると、ローパワータイマカウンタおよび分周回路が動作を開始します。
本ビットが “1” のときは、LPCNTRST ビットに “1” を書き込まないでください。

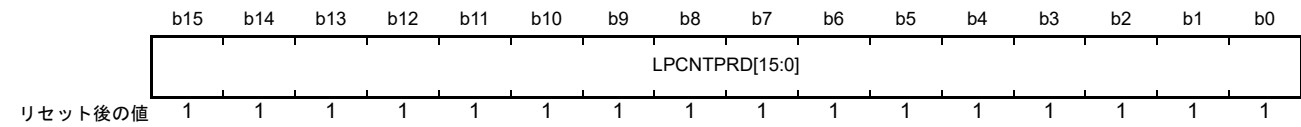
LPCNTRST ビット (ローパワータイマカウンタクリアビット)

ローパワータイマカウンタおよび分周回路をクリアします。

LPTCR2.LPCNTSTP ビットが “0”(ローパワータイマにクロックを供給)のときに本ビットに “1” を書き込むと、ローパワータイマで使用するクロックに同期してクリアが実行され、クリアが完了すると本ビットは自動的に “0” になります。
本ビットに “1” を書いた場合、値が “0”(クリア完了)になったことを確認してから次の処理を実行してください。

26.2.4 ローパワータイマ周期設定レジスタ (LPTPRD)

アドレス LPT.LPTPRD 0008 00B4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCNTPRD[15:0]	ローパワータイマ周期設定ビット	ローパワータイマの周期を設定 設定範囲：0001h～FFFFh	R/W

注. このレジスタはPRCR.PRC2ビットを“1” (書き込み許可)にした後で書き換えてください。
注. このレジスタはLPTCR3.LPCNTENビットが“0” (ローパワータイマカウンタ停止)のときに変更してください。

LPTPRD レジスタは、ローパワータイマの周期を設定するレジスタです。
ローパワータイマの周期は、「LPTPRD + 1」に比例し、下記の計算式で求められます。

ローパワータイマの周期 = クロックソースの周期 × 分周比 × (LPTPRD + 1)

ローパワータイマカウンタの値と本設定値が一致すると、カウンタは“0000h”になり、カウントを継続します。
本レジスタに“0000h”を設定しないでください。

表 26.2 にローパワータイマの周期設定例を示します。目標の周期に対し、一番近い設定例です。

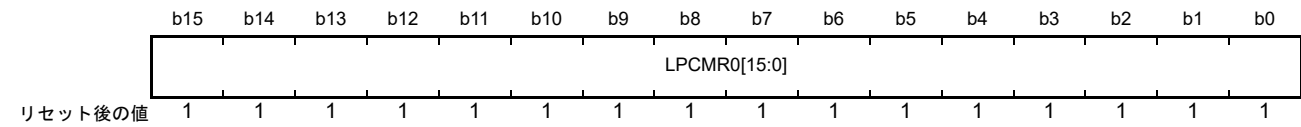
表 26.2 ローパワータイマの周期設定例(IWDTCLKの場合)

分周比	2分周			4分周			8分周		
目標の 周期 (ms)	設定値	実際の 周期 (ms)	誤差 (%)	設定値	実際の 周期 (ms)	誤差 (%)	設定値	実際の 周期 (ms)	誤差 (%)
1	0006h	0.93	-6.67	0003h	1.07	6.67	0001h	1.07	6.67
2	000Dh	1.87	-6.67	0006h	1.87	-6.67	0003h	2.13	6.67
5	0024h	4.93	-1.33	0011h	4.80	-4.00	0008h	4.80	-4.00
10	004Ah	10.00	0.00	0024h	9.87	-1.33	0011h	9.60	-4.00
20	0095h	20.00	0.00	004Ah	20.00	0.00	0024h	19.73	-1.33
50	0176h	50.00	0.00	00BAh	49.87	-0.27	005Ch	49.60	-0.80
100	02EDh	100.00	0.00	0176h	100.00	0.00	00BAh	99.73	-0.27
200	05DBh	200.00	0.00	02EDh	200.00	0.00	0176h	200.00	0.00
500	0EA4h	499.87	-0.03	0751h	499.73	-0.05	03A8h	499.73	-0.05
1000	1D4Ah	999.87	-0.01	0EA4h	999.73	-0.03	0751h	999.47	-0.05
2000	3A96h	1999.87	-0.01	1D4Ah	1999.73	-0.01	0EA4h	1999.47	-0.03
5000	927Bh	5000.00	0.00	493Dh	5000.00	0.00	249Eh	5000.00	0.00
10000	—	—	—	—	—	—	493Dh	10000.00	0.00
20000	—	—	—	—	—	—	927Bh	20000.00	0.00
50000	—	—	—	—	—	—	—	—	—

分周比	16分周			32分周		
目標の 周期 (ms)	設定値	実際の 周期 (ms)	誤差 (%)	設定値	実際の 周期 (ms)	誤差 (%)
1	—	—	—	—	—	—
2	0001h	2.13	6.67	—	—	—
5	0004h	5.33	6.67	0001h	4.27	-14.67
10	0008h	9.60	-4.00	0004h	10.67	6.67
20	0011h	19.20	-4.00	0008h	19.20	-4.00
50	002Dh	49.07	-1.87	0016h	49.07	-1.87
100	005Ch	99.20	-0.80	002Dh	98.13	-1.87
200	00BAh	199.47	-0.27	005Ch	198.40	-0.80
500	01D3h	499.20	-0.16	00E9h	499.20	-0.16
1000	03A8h	999.47	-0.05	01D3h	998.40	-0.16
2000	0751h	1998.93	-0.05	03A8h	1998.93	-0.05
5000	124Eh	4999.47	-0.01	0926h	4998.40	-0.03
10000	249Eh	10000.00	0.00	124Eh	9998.93	-0.01
20000	493Dh	20000.00	0.00	249Eh	20000.00	0.00
50000	B71Ah	50000.00	0.00	5B8Ch	49998.93	0.00

26.2.5 ローパワータイマコンペアレジスタ 0 (LPCMR0)

アドレス LPT.LPCMR0 0008 00B8h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCMR0[15:0]	ローパワータイマコンペア0ビット	ローパワータイマカウンタとのコンペアマッチ値0を設定	R/W

- 注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注. このレジスタは、LPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPCMR0 レジスタは、ローパワータイマカウンタとのコンペアマッチ値 0 を設定するレジスタです。
LPCMR0 レジスタには、LPTPRD レジスタに設定した値以下の値を設定してください。

26.2.6 ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR)

アドレス LPT.LPWUCR 0008 00BCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LPWKU PEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	LPWKUPEN	ローパワータイマスタンバイ復帰許可ビット(注1)	0 : ローパワータイマによるソフトウェアスタンバイモードからの復帰を禁止 1 : ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可	R/W

注. このレジスタはPRCR.PRC2ビットを“1” (書き込み許可)にした後で書き換えてください。
注1. このビットはLPTCR3.LPCNTENビットが“0” (ローパワータイマカウンタ停止)のときに変更してください。

LPWUCR レジスタは、ローパワータイマのコンペアマッチ 0 でソフトウェアスタンバイモードから通常動作モードに復帰する機能の許可制御を行います。

LPWKUPEN ビット (ローパワータイマスタンバイ復帰許可ビット)

ローパワータイマのコンペアマッチ 0 でソフトウェアスタンバイモードから通常動作モードに復帰する機能の許可または禁止を設定します。

26.3 動作説明

26.3.1 周期カウント動作

ローパワータイマは、MCU の動作モードにかかわらず動作する 16 ビットのアップカウンタです (注 1)。

LPTCR1.LPCNTPSSEL[2:0] ビットで分周比、LPTCR1.LPCNTCKSEL ビットでクロックソースを設定し、LPTCR2.LPCNTSTP ビットを“0”(ローパワータイマにクロックを供給)にした後、LPTCR3.LPCNTEN ビットを“1”(ローパワータイマカウンタ動作)にすると、IWDTCCLK によってローパワータイマカウンタがカウントを開始します。

ローパワータイマカウンタの値が LPTPRD レジスタの値と一致すると、カウンタの値は “0000h” からカウントを再開します。

LPTCR1.LPCMRE0 ビットが“1”(コンペアマッチ 0 許可)かつ LPWUCR.LPWKUPEN ビットが“1”(ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可)の場合、ソフトウェアスタンバイモード中にローパワータイマカウンタの値が LPCMR0 レジスタの値と一致すると、イベントリンクコントローラ (ELC) を介してソフトウェアスタンバイモードから通常動作モードに復帰します。

図 26.2 にローパワータイマの動作を、図 26.3 に初期設定手順例を示します。

注 1. IWDTC がオートスタートモードで、かつ OFS0.IWDTCSTCSTP ビットを “1” (カウント停止有効) にしている、またはレジスタスタートモードで、かつ IWDTCSTPR.SLCSTP ビットを “1” (カウント停止有効) にしていると、低消費電力状態では IWDTCCLK が停止するため、カウンタが停止します。

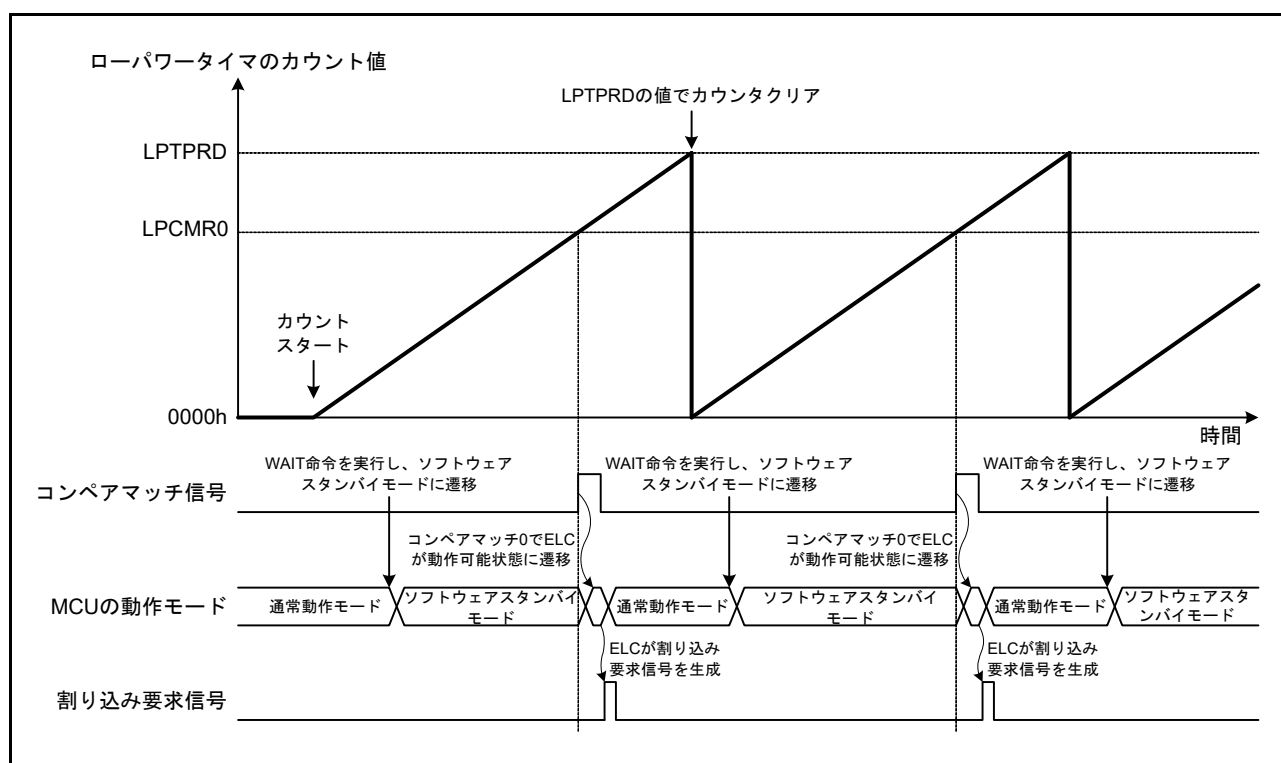


図 26.2 ローパワータイマの動作

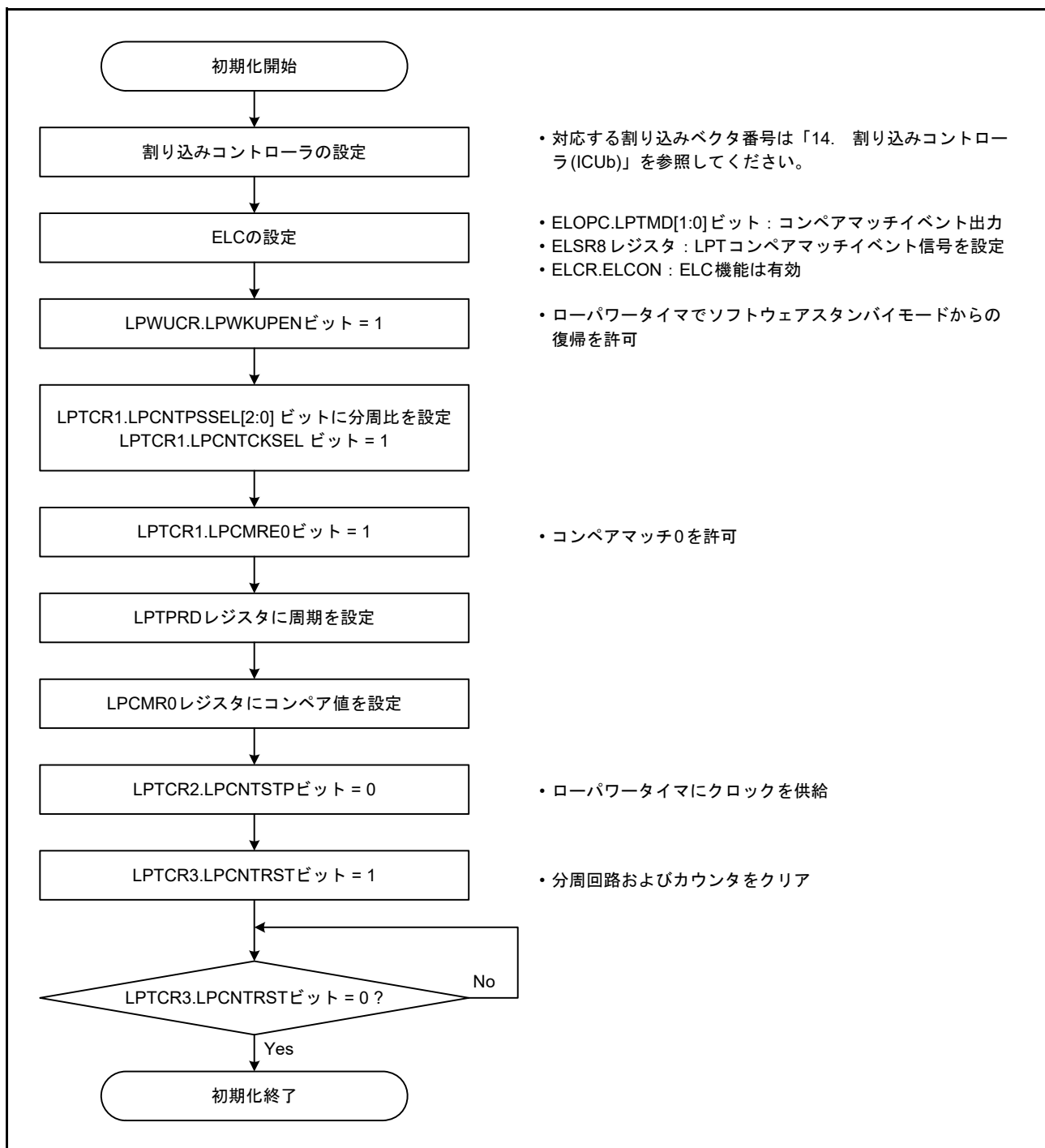


図 26.3 初期設定手順例

26.3.2 ローパワータイマカウンタのカウントタイミング

IWDTCCLK を 2 ～ 32 分周した 5 種類の分周クロックの内、ローパワータイマカウンタに入力するカウントクロックを LPTCR1.LPCNTPSSEL[2:0] ビットで選択できます。

このときのローパワータイマカウンタのカウントタイミングを図 26.4 に示します。

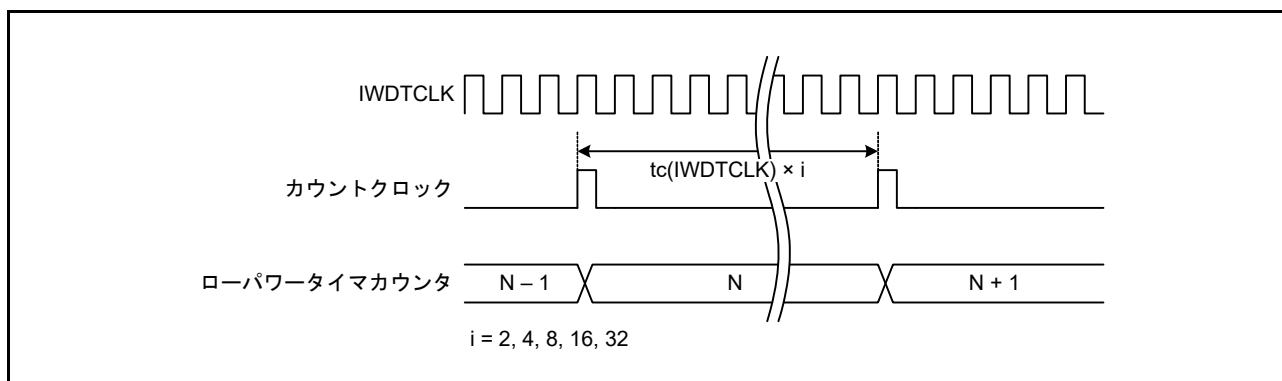


図 26.4 ローパワータイマカウンタのカウントタイミング

26.3.3 ローパワータイマカウンタのクリアタイミング

LPTCR3.LPCNTRST ビットに “1” を書くと (注 1)、ローパワータイマカウンタがクリアされます。

LPTCR3.LPCNTRST ビットは、カウンタのクリアが完了すると自動的に “0” になります。

このときのローパワータイマカウンタのクリアタイミングを図 26.5 に示します。

注 1. LPTCR3.LPCNTRST ビットへの書き込みは、LPTCR3.LPCNTEN ビットが “0” (ローパワータイマカウンタ停止) のときに行ってください。

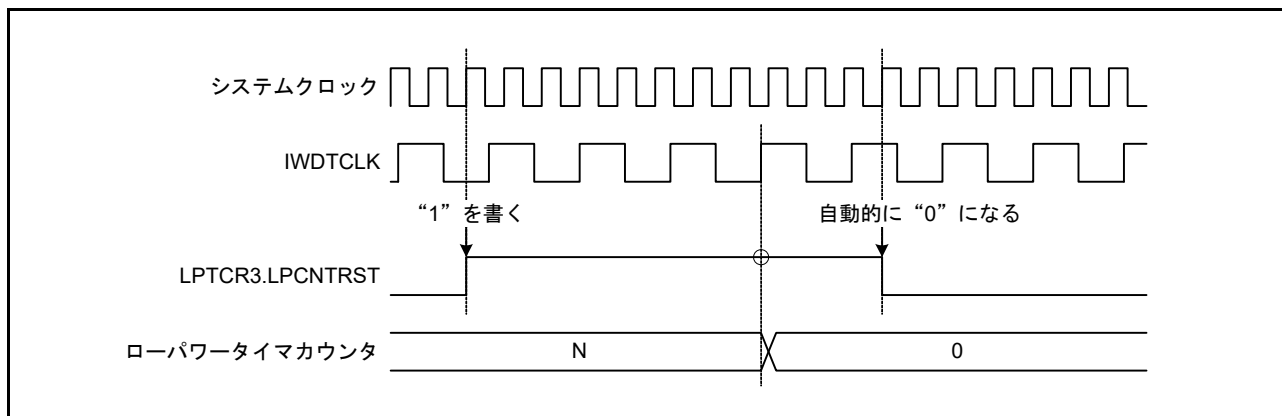


図 26.5 ローパワータイマカウンタのクリアタイミング

26.4 イベントリンクコントローラ (ELC) を介した割り込みによるソフトウェアスタンバイモードの解除について

ローパワータイマは、ソフトウェアスタンバイモード時のみ、コンペアマッチ 0 によるイベント信号をイベントリンクコントローラ (ELC) に出力します。

ELC の ELOPC.LPTMD[1:0] ビットを “00b” (コンペアマッチ 0 イベントを割り込み要求として ICU に出力) に設定し、ELSR8 レジスタに “32h” (LPT・コンペアマッチ 0) を設定することで、イベント信号による割り込みが発生し、ソフトウェアスタンバイモードから通常動作モードに復帰することができます。

26.5 使用上の注意事項

26.5.1 ソフトウェアスタンバイモードへの遷移に関する注意事項について

ソフトウェアスタンバイモードから通常動作モードに復帰して、再度ソフトウェアスタンバイモードに移る場合、IWDTCCLK で 1 サイクル以上待ってから WAIT 命令を実行する必要があります。

27. 独立ウォッチドッグタイマ (IWDtA)

独立ウォッチドッグタイマ (IWDt) は、プログラムの暴走を検知するために使用できます。IWDt のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースはIWDt 専用クロック (IWDtCLK) を分周したもの (周辺モジュールクロックの影響を受けない)
- 低消費電力状態で、カウンタを停止させない選択が可能 (IWDtCSTPR.SLCSTP ビットまたは、OFS0.IWDtSLCSTP ビットで選択)

27.1 概要

表 27.1 に IWDt の仕様を示します。

表 27.1 IWDt の仕様

項目	内容
カウントソース(注1)	IWDt専用クロック (IWDtCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	• オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作(IWDtRRレジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	• リセット • 低消費電力状態 (レジスタ設定による(注2)) • アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスクابل割り込み要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	IWDtSRレジスタを読み出すことで、カウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	• カウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0)制御)	• リセット後のクロック分周比の選択 (OFS0.IWDtCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDtTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDtRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDtRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDtRSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (OFS0.IWDtSLCSTP ビット)
レジスタスタートモード (IWDt レジスタ制御)	• リフレッシュ動作後のクロック分周比の選択 (IWDtCR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDtCR.TOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDtCR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDtCR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDtRCR.RSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (IWDtCSTPR.SLCSTP ビット)

注1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

注2. オートスタートモード時、OFS0.IWDtSLCSTP ビットが“1”の場合、レジスタスタートモード時、IWDtCSTPR.SLCSTP ビットが“1”の場合。

図 27.1 に IWDT のブロック図を示します。

IWDT では、バスインタフェース部とレジスタ部は周辺モジュールクロック (PCLKB) で動作し、14 ビットダウンカウンタと制御回路は IWDTCLK で動作します。

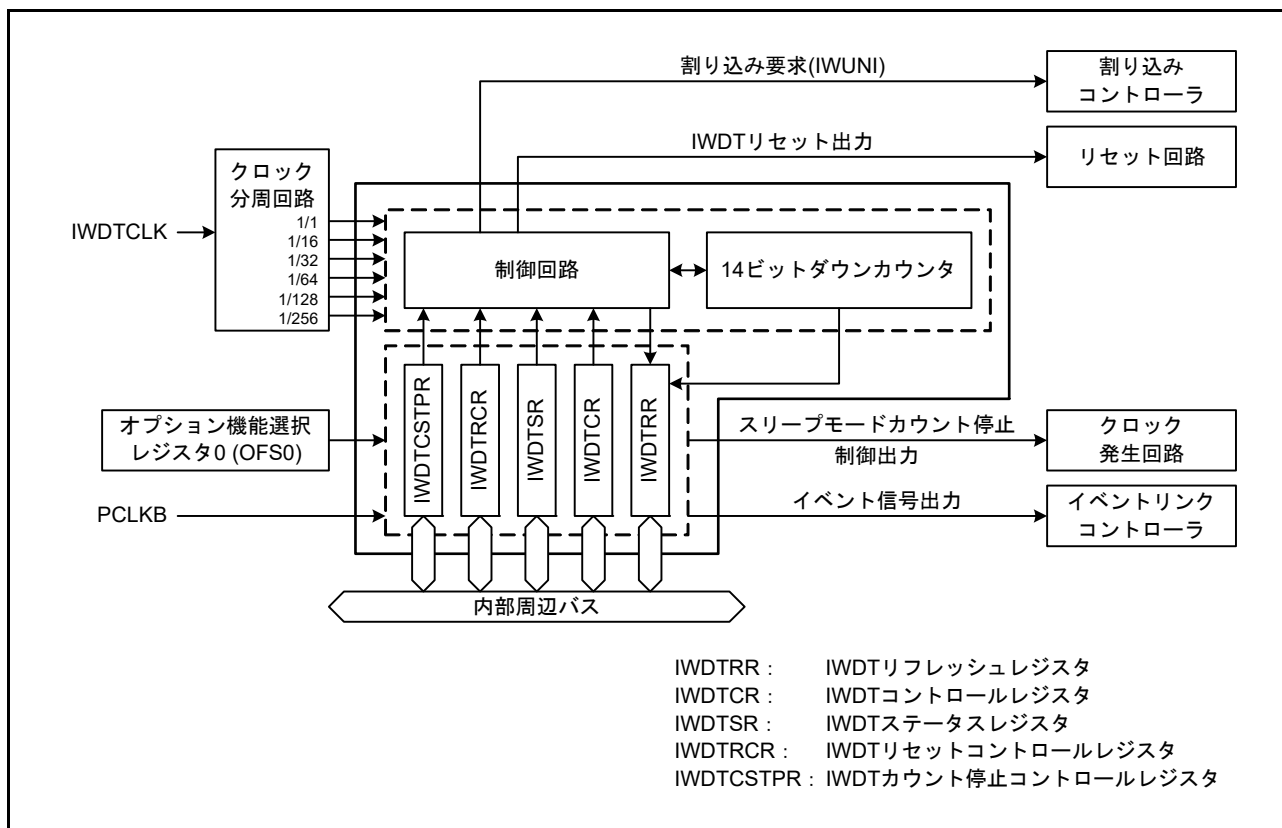
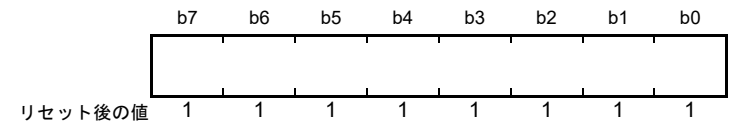


図 27.1 IWDT のブロック図

27.2 レジスタの説明

27.2.1 IWDt リフレッシュレジスタ (IWDtRR)

アドレス IWDt.IWDtRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDtRR レジスタは、IWDt のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、IWDtRR レジスタに “00h” を書き込み後、“FFh” を書き込む (リフレッシュ動作) により IWDt のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDtTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDtCR.TOPs[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDtCR.TOPs[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「27.3.2 リフレッシュ動作」を参照してください。

27.2.2 IWDTCR コントロールレジスタ (IWDTCR)

アドレス IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RPSS[1:0]	—	—	RPES[1:0]	—	—	CKS[3:0]	—	—	—	—	—	TOPS[1:0]	—
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128 サイクル (007Fh) 0 1 : 512 サイクル (01FFh) 1 0 : 1024 サイクル (03FFh) 1 1 : 2048 サイクル (07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16 分周 0 0 1 1 : 32 分周 0 1 0 0 : 64 分周 1 1 1 1 : 128 分周 0 1 0 1 : 256 分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDTCR レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 27.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCCLK 数の関係を示します。

表 27.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0] ビット (クロック分周比選択ビット)

IWDTCCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。

TOPS[1:0] ビットと組み合わせて、IWDTC のカウント期間を IWDTCCLK の 128 ～ 524288 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、TOPS[1:0] ビットの設定により変わります。

表 27.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウント値を示します。

表 27.3 タイムアウト期間とウィンドウ許可 / 終了カウンタ値対応表

TOPS[1:0] ビット		タイムアウト期間		リフレッシュ許可 / 終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 27.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

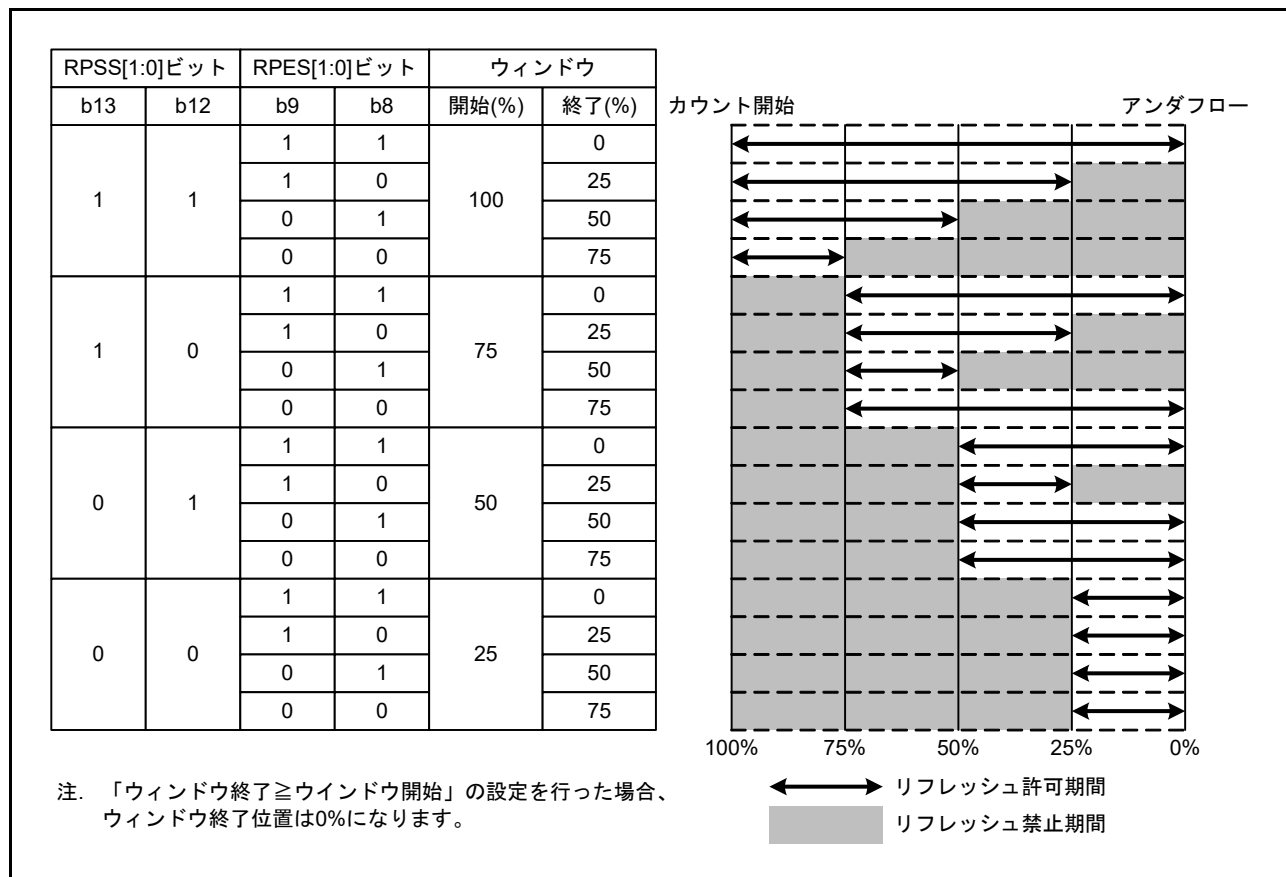
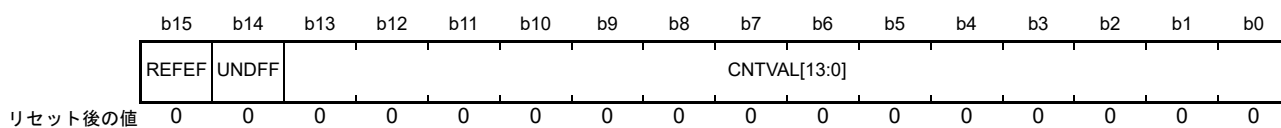


図 27.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

27.2.3 IWDt ステータスレジスタ (IWDTSR)

アドレス IWDt.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0 : アンダフローなし 1 : アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラーなし 1 : リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

27.2.4 IWDt リセットコントロールレジスタ (IWDtRCR)

アドレス IWDt.IWDtRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスクブル割り込み要求を出力 1：リセット信号を出力	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、IWDtRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDtRCR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

27.2.5 IWDt カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス IWDt.IWDTCSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0 : 低消費電力状態でもカウンタが動作(注1) 1 : 低消費電力状態でカウンタが停止	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

注1. スリープモード、ディープスリープモード、またはソフトウェアスタンバイモードでカウンタがカウントを継続します。

レジスタスタートモード使用時に、低消費電力状態でカウンタを動作させるかどうかを設定するレジスタです。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「27.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

低消費電力状態でのカウンタの動作 / 停止を選択します。

27.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「27.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

27.3 動作説明

27.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが “1” (レジスタスタートモード) の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが “0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

27.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが “1” の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力 / 割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態におけるカウンタ動作 / 停止の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 27.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

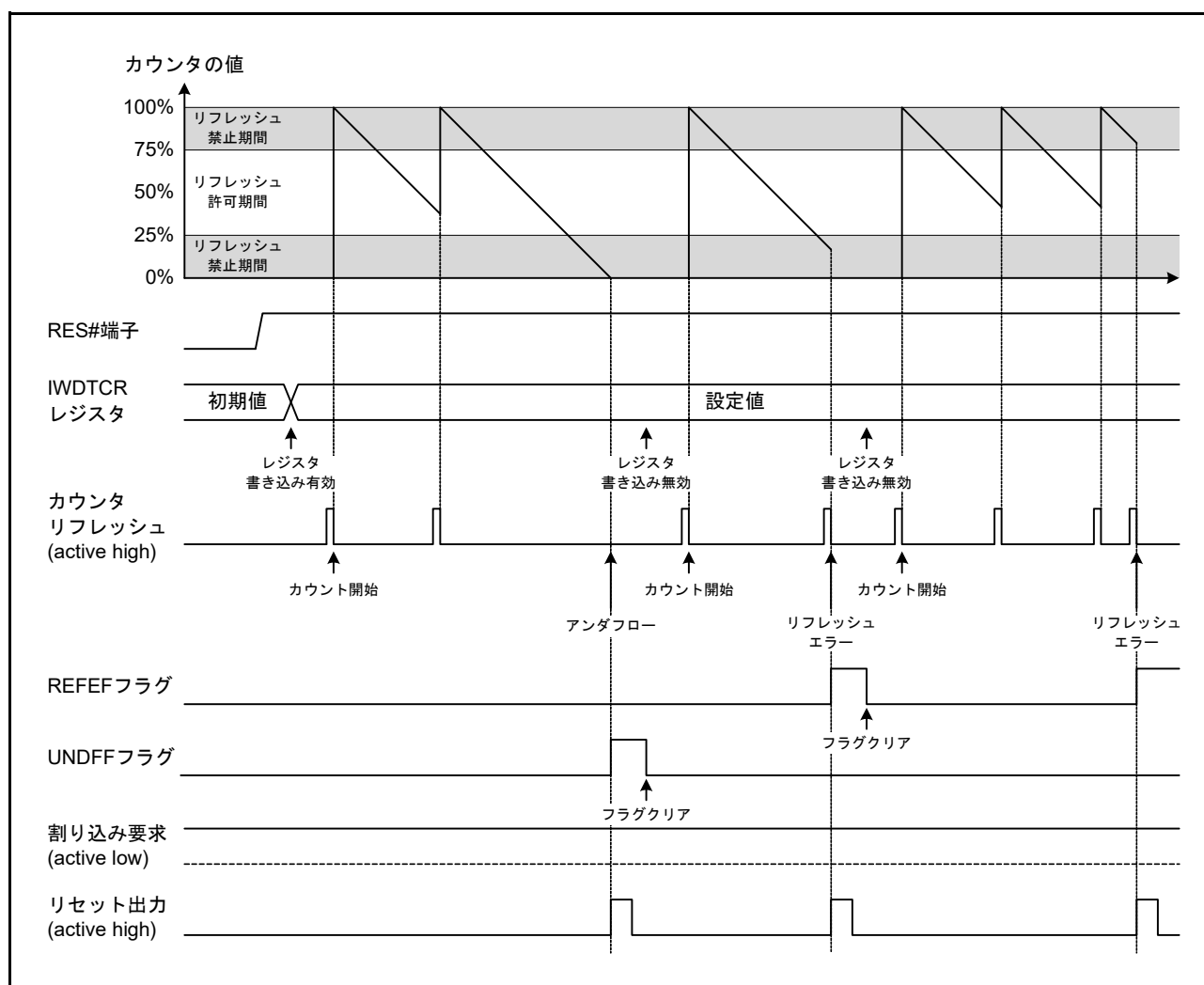


図 27.3 レジスタスタートモード動作例

27.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが“0”の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態におけるカウンタ動作/停止の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDtA はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDtA はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。リセット信号または割り込み要求を出力後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。OFS0.IWDTRSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 27.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.IWDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

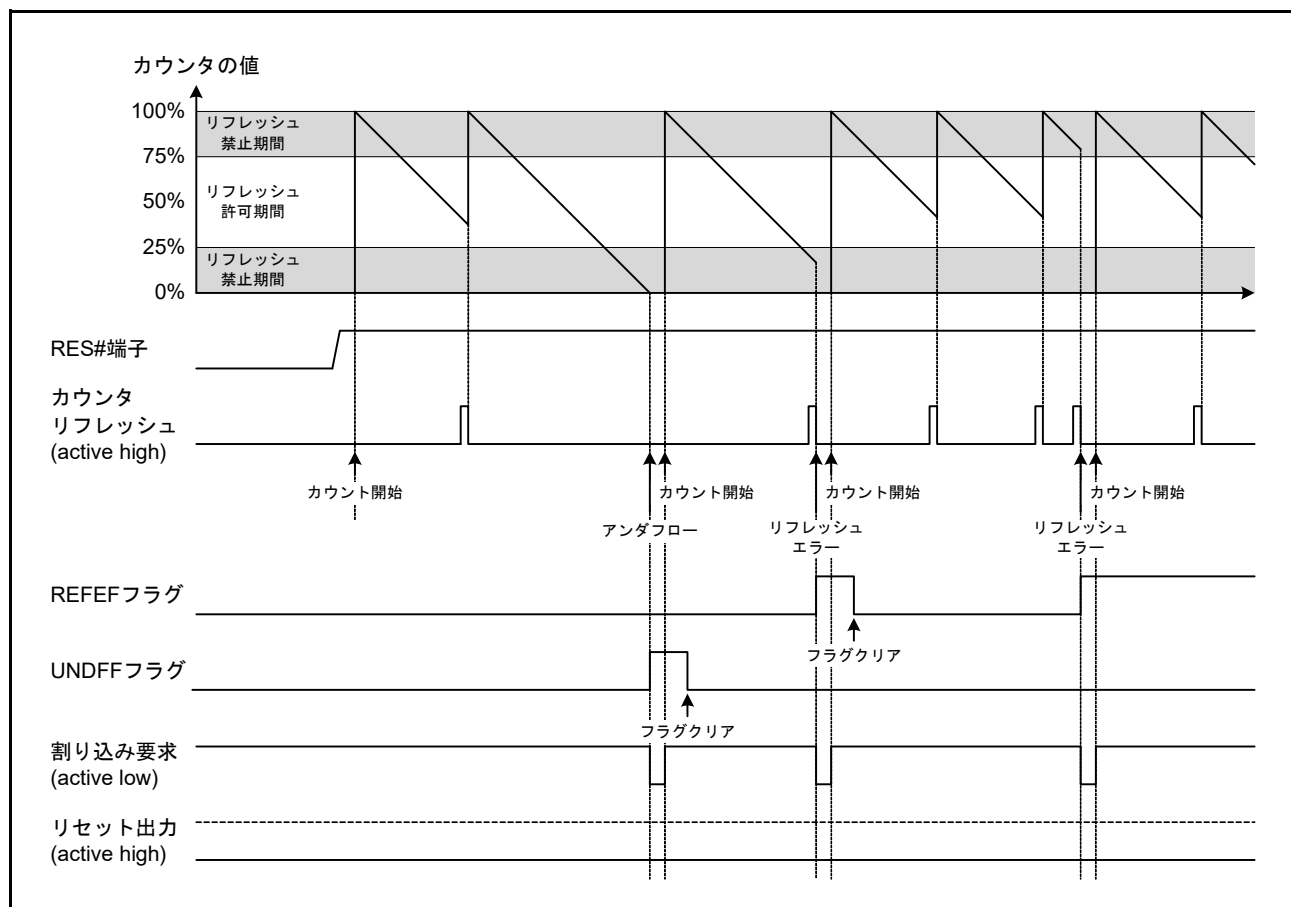


図 27.4 オートスタートモード動作例

27.3.2 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始 (リフレッシュによるカウント開始) を行うには、IWDTRR レジスタへの“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTCCLK の数は、IWDTCR.CKS[3:0] ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値は IWDTSR.CNTVAL[13:0] ビットで確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を“01FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“01FFh”より前 (たとえば“0202h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が“01FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置を“01FFh”とした場合、IWDTRR レジスタへ“00h” → “FFh”を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0203h” (“01FFh”の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前までリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ“00h” → “FFh”を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 27.5 に PCLKB > IWDTCCLK、カウントクロックが IWDTCCLK/1 の場合の IWDTC リフレッシュ動作波形を示します。

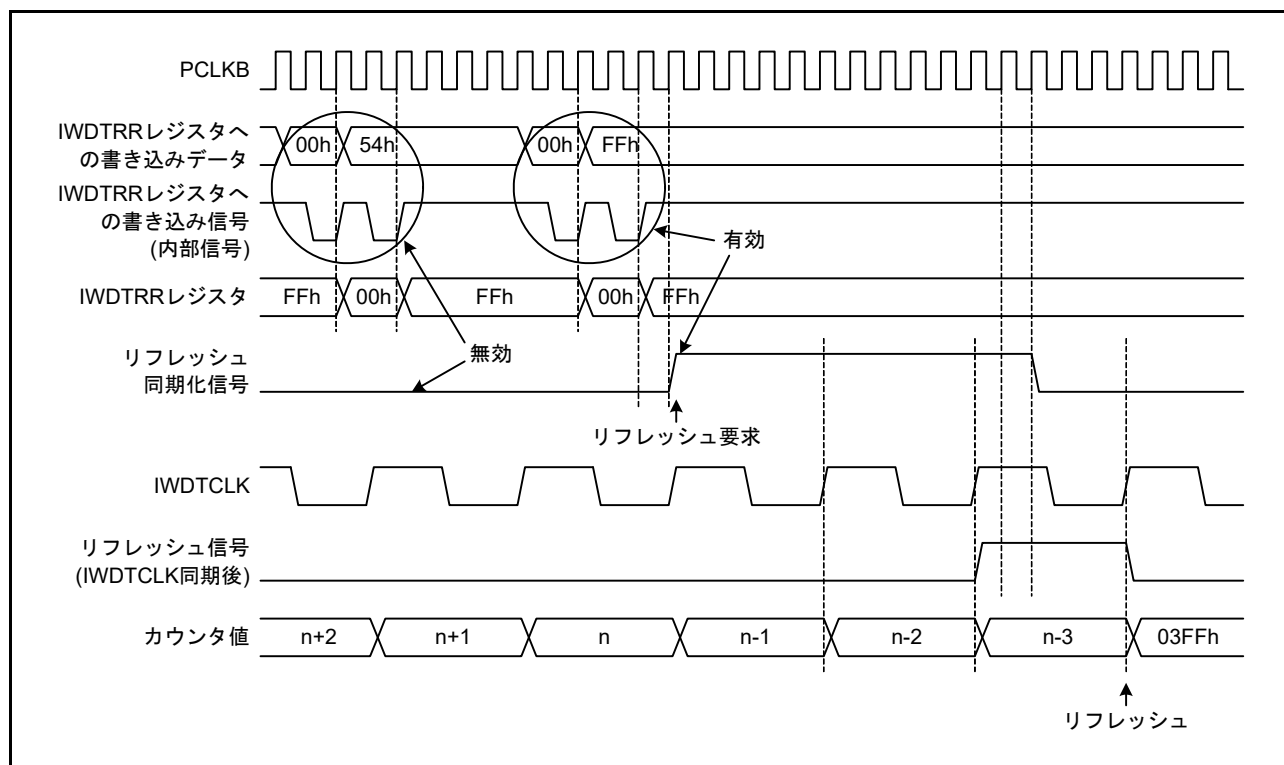


図 27.5 IWDTC リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 10b)

27.3.3 ステータスフラグ

IWDTSR.REFEEF フラグ、IWDTSR.UNDFF フラグは、IWDt がリセットを出力した場合のリセット要因、または IWDt の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEEF フラグ、または IWDTSR.UNDFF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDt がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDt の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDtCLK 3 クロックと PCLKB 2 クロック必要です。

27.3.4 リセット出力

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

27.3.5 割り込み要因

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、OFS0.IWDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生すると、割り込み (IWUNI) が発生します。本割り込みはノンマスカブル割り込みです。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表 27.4 IWDt の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
IWUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

27.3.6 カウンタ値の読み出し

IWDT のカウンタは IWDTCLK で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を PCLKB で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。

IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 27.6 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT カウンタ値の読み出し処理を示します。

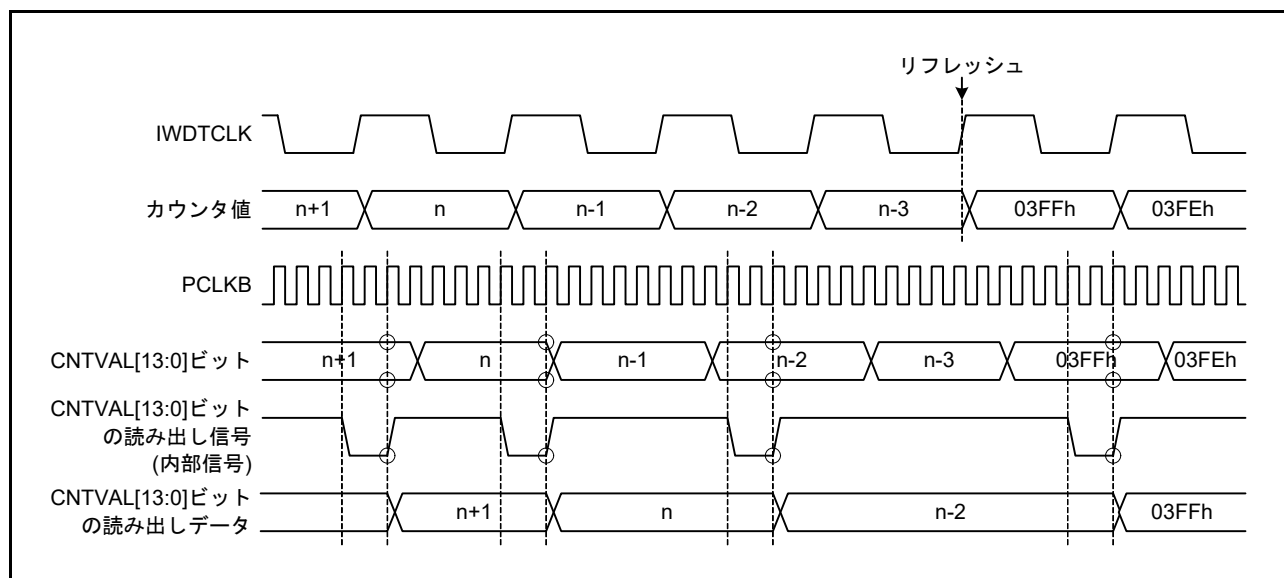


図 27.6 IWDT カウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 10b)

27.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 27.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 27.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSLTPR.SLCSTP

27.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) は IWDT が生成する割り込み要求をイベント信号として使用します。IWDT が割り込み要求を出力すると、あらかじめ設定したモジュールに対してイベントが発生します。カウンタのアンダフロー、およびリフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時の IWDTCCR.RSTIRQS ビット、もしくはオートスタートモード時の OFS0.IWDRSTIRQS ビットの設定に関わらず、イベント信号を出力します。また、IWDTSR.REFEF フラグ、または IWDTSR.UNDEF フラグが、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

27.5 使用上の注意事項

27.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLKB と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

27.5.2 クロック分周比の設定

PCLKB の周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

28. シリアルコミュニケーションインタフェース (SCIg, SCIH)

本 MCU は、独立した 4 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIg モジュール (SCI1, SCI5, SCI6) と、SCIH モジュール (SCI12) から構成されています。

SCIg (SCI1, SCI5, SCI6) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIH (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

28.1 概要

表 28.1 に SCIg の仕様を、表 28.2 に SCIH の仕様を、表 28.3 に SCI チャンネル別機能一覧を示します。

図 28.1 に SCI1 のブロック図を、図 28.2 に SCI5、SCI6 のブロック図を、図 28.3 に SCI12 (SCIH) のブロック図を示します。

表 28.1 SCIg の仕様 (1/2)

項目		内容
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 28.4～表 28.6 参照
データ転送		LSB ファースト/MSB ファースト選択可能 (注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー 開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去		RXD _n 端子入力経路にデジタルノイズフィルタを内蔵

表 28.1 SCIg の仕様 (2/2)

項目		内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「28.2.11 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易 SPI モード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能 (SCI5 のみ対応)		エラー (受信エラー・エラーシグナル検出) イベント出力
		受信データフルイベント出力
		送信データエンプティイベント出力
		送信終了イベント出力

注1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 28.2 SCIH の仕様 (1/2)

項目	内容
シリアル通信方式	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表 28.4～表 28.7 参照
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー 開始条件/再開始条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能	モジュールストップ状態への遷移が可能

表 28.2 SCIlh の仕様 (2/2)

項目	内容
調歩同期式モード	データ長
	7ビット/8ビット/9ビット
	送信ストップビット
	1ビット/2ビット
	パリティ機能
	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能
	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御
	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出
クロック同期式モード	Low または立ち下がりがリッジを選択可能
	ブレーク検出
	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出すことでブレークを検出可能
スマートカード インタフェースモード	クロックソース
	内部クロック / 外部クロックの選択が可能 TMR からの転送レートクロック入力が可能
	倍速モード
簡易 I ² C モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能
	複数のプロセッサ間のシリアル通信機能
簡易 SPI モード	ノイズ除去
	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	データ長
拡張シリアルモード	8ビット
	受信エラーの検出
	オーバランエラー
ビットレートモジュレーション機能	ハードウェアフロー制御
	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	エラー処理
拡張シリアルモード	受信時パリティエラーを検出するとエラーシグナルを自動送出
	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ
簡易 I ² C モード	ダイレクトコンベンション/インバースコンベンションをサポート
	通信フォーマット
	I ² C バスフォーマット
簡易 SPI モード	動作モード
	マスタ (シングルマスタ動作のみ)
	転送速度
拡張シリアルモード	ファストモード対応 (転送速度は「28.2.11 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去
	SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
拡張シリアルモード	データ長
	8ビット
	エラーの検出
拡張シリアルモード	オーバランエラー
	SS 入力端子機能
	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
拡張シリアルモード	クロック設定
	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame 送信
	- Break Field Low width の出力が可能 / 出力完了割り込み機能あり - バス衝突検出機能あり / 検出割り込み機能あり
	Start Frame 受信
拡張シリアルモード	- Break Field Low width の検出が可能 / 検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較 / 一致割り込み機能あり - Control Field 1 にはプライマリ / セカンダリの2種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり
	入出力制御機能
	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能
拡張シリアルモード	タイマ機能
	リロードタイマ機能として使用可能
	ビットレートモジュレーション機能
	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注 1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 28.3 SCIチャネル別機能一覧

項目	SCI1	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I ² Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
拡張シリアルモード	—	—	—	○
TMRクロック入力	—	○	○	○
イベントリンク機能	—	○	—	—

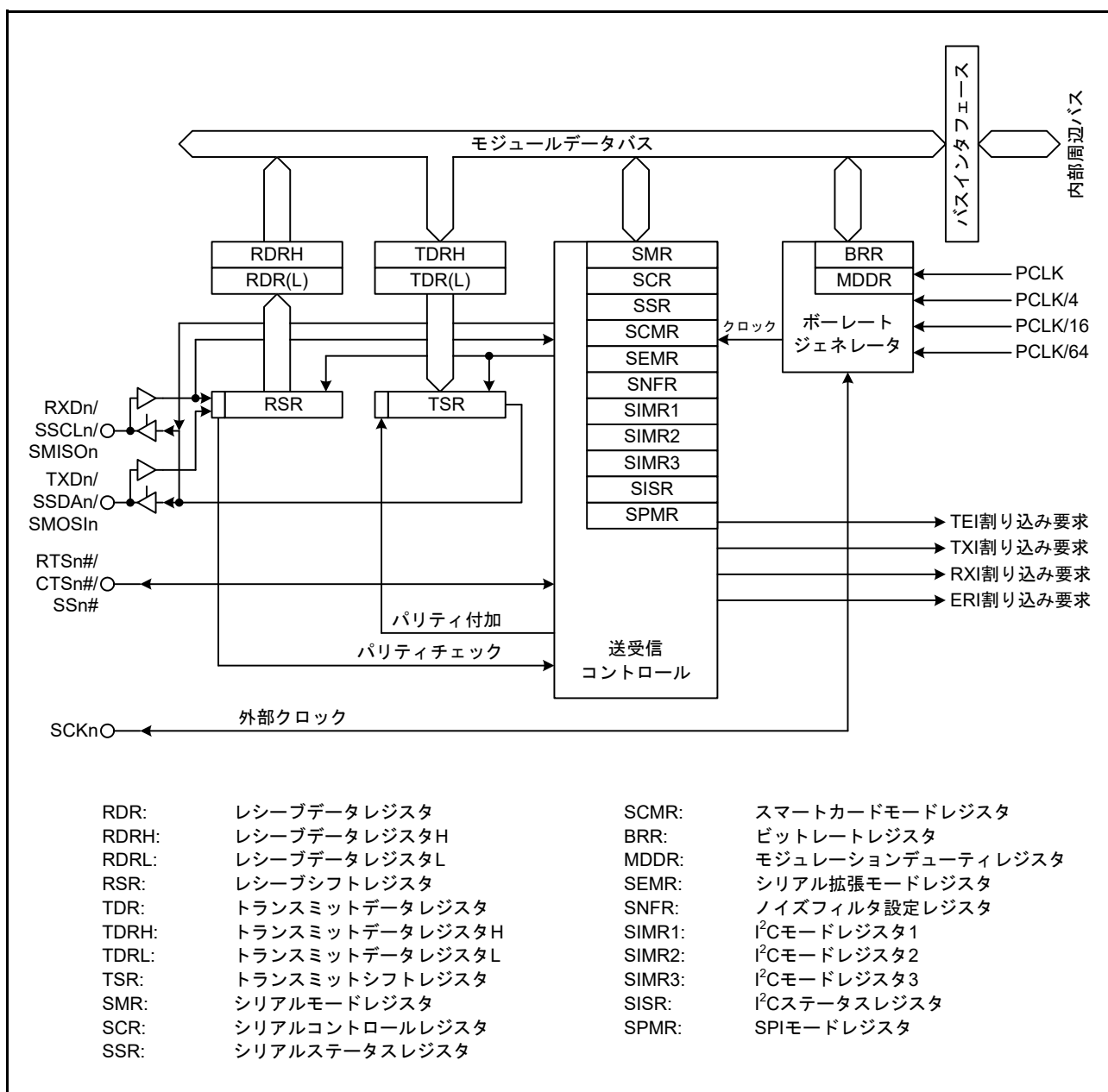


図 28.1 SCIg (SCI1) のブロック図

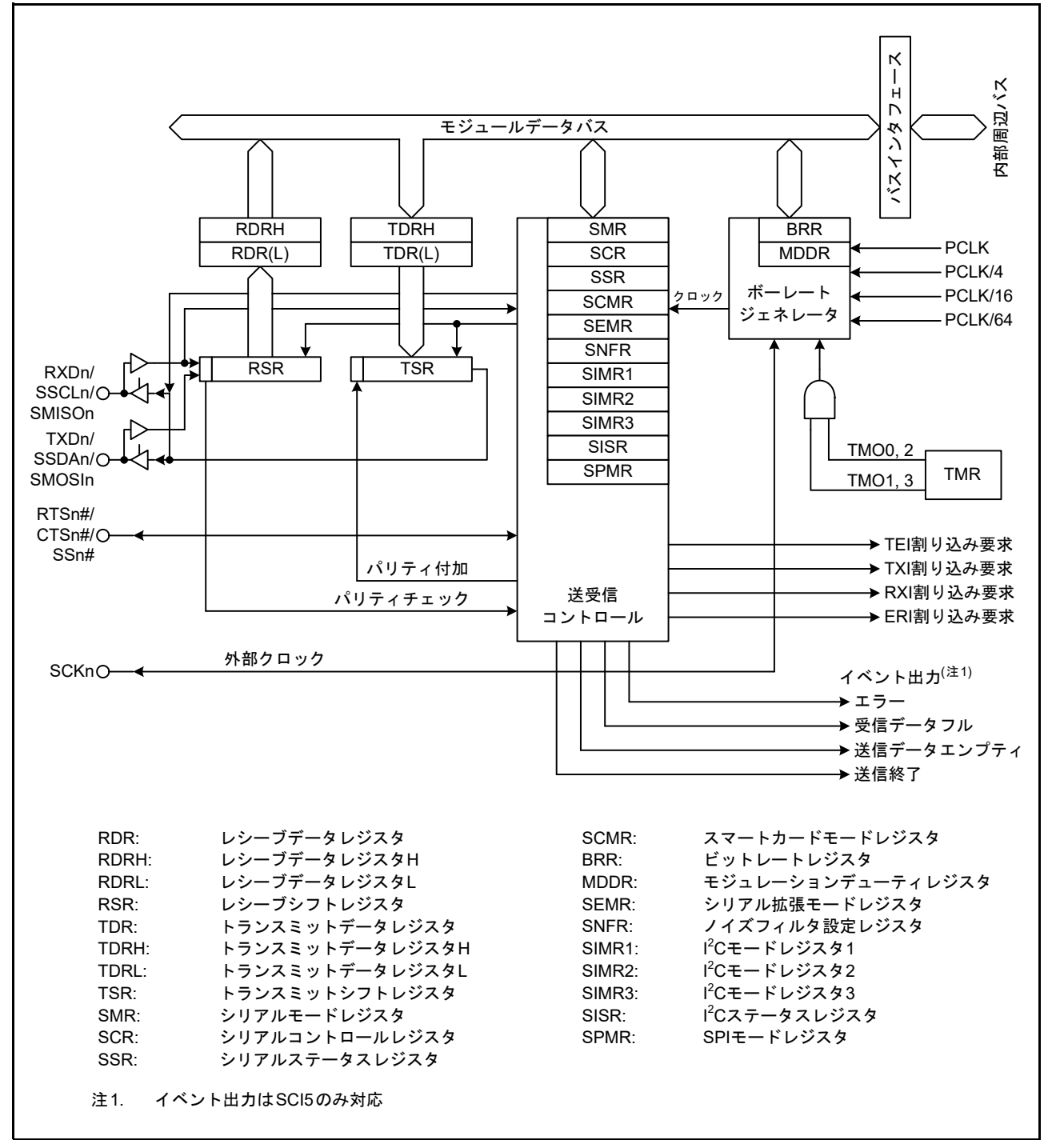


図 28.2 SCIg (SCI5, SCI6) のブロック図

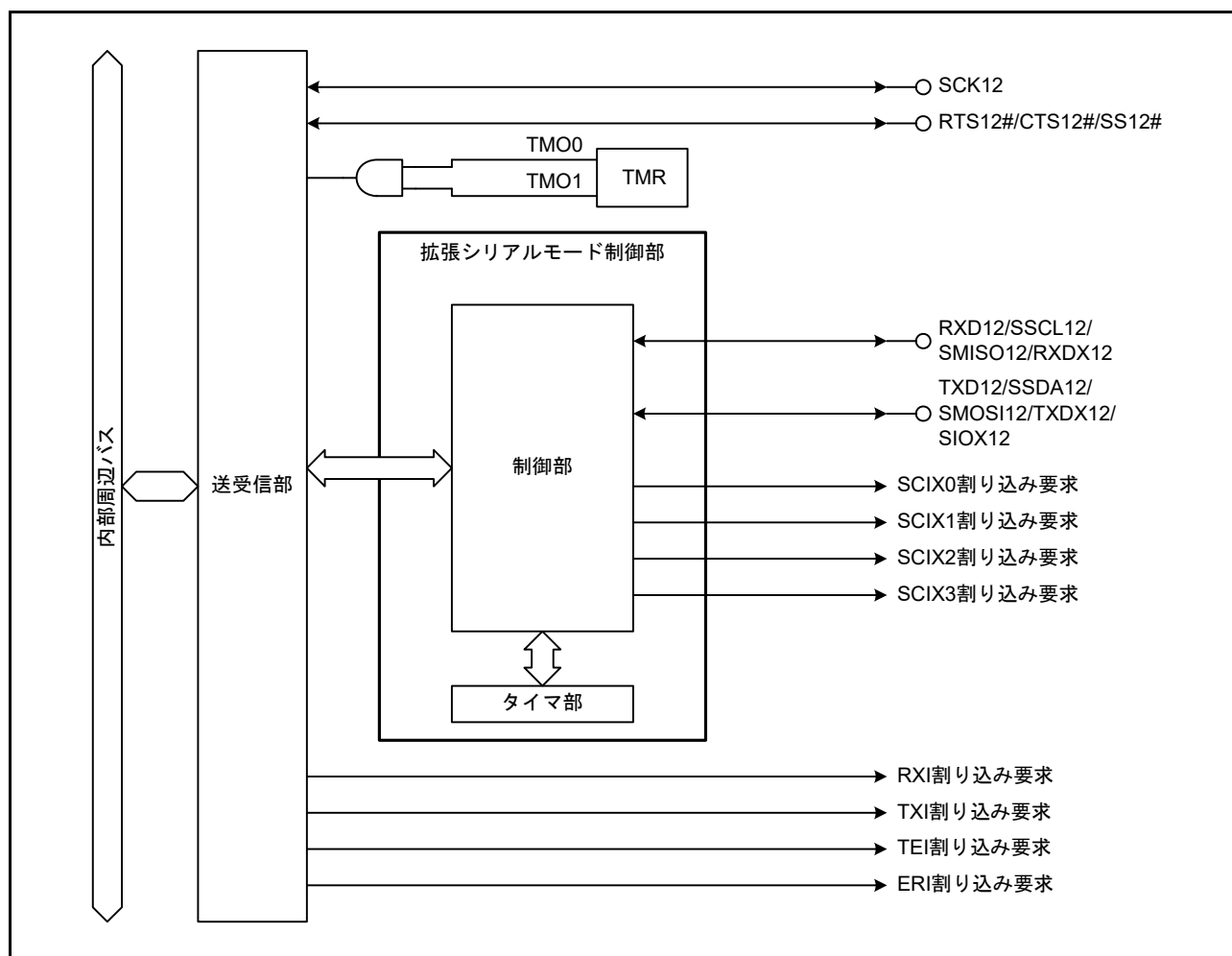


図 28.3 SCIlh (SCI12) のブロック図

表 28.4 ～表 28.7 に SCI の入出力端子をモード別に示します。

表 28.4 SCIの入出力端子 (調歩同期式/クロック同期式モード)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 28.5 SCIの入出力端子 (簡易 I²C モード)

チャネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1の I ² C クロック入出力端子
	SSDA1	入出力	SCI1の I ² C データ入出力端子
SCI5	SSCL5	入出力	SCI5の I ² C クロック入出力端子
	SSDA5	入出力	SCI5の I ² C データ入出力端子
SCI6	SSCL6	入出力	SCI6の I ² C クロック入出力端子
	SSDA6	入出力	SCI6の I ² C データ入出力端子
SCI12	SSCL12	入出力	SCI12の I ² C クロック入出力端子
	SSDA12	入出力	SCI12の I ² C データ入出力端子

表 28.6 SCIの入出力端子 (簡易 SPI モード) (1/2)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子

表 28.6 SCIの入出力端子(簡易SPIモード) (2/2)

チャンネル	端子名	入出力	機能
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 28.7 SCIの入出力端子(拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

28.2 レジスタの説明

28.2.1 レシーブシフトレジスタ (RSR)

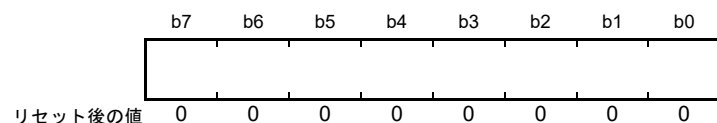
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

28.2.2 レシーブデータレジスタ (RDR)

アドレス SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

28.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)

- レシーブデータレジスタ H (RDRH)

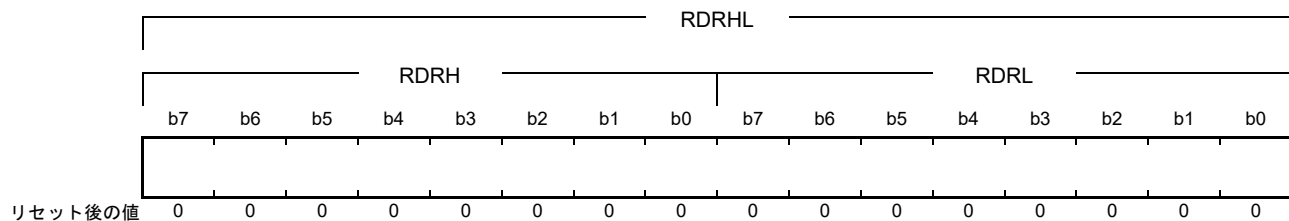
アドレス SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

アドレス SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

アドレス SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

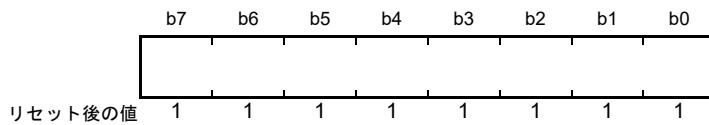
RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバーランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

28.2.4 トランスミットデータレジスタ (TDR)

アドレス SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

28.2.5 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)

- トランスミットデータレジスタ H (TDRH)

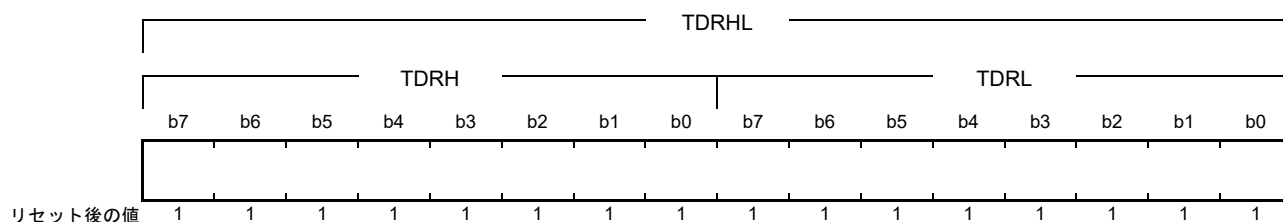
アドレス SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

アドレス SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

アドレス SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

28.2.6 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

28.2.7 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易 I ² C モードで動作 1 : クロック同期式モード、または簡易 SPI モードで動作	R/W (注4)

注1. nは設定値の10進表示で、「28.2.11 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「28.2.11 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SMR 0008 A020h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h, SMC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表28.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0 : 非ブロック転送モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 非GSMモードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「28.2.11 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「28.2.11 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「28.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表28.8 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「28.2.11 ビットレートレジスタ(BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「28.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティ イネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送 モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「28.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「28.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「28.6.8 クロック出力制御」を参照してください。

28.2.8 シリアルコントロールレジスタ (SCR)

注. SCR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPiE	TEiE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロックまたはTMRクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCS ビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEiE	トランスミットエンド インタラプトイネーブルビット	0 : TEi割り込み要求を禁止 1 : TEi割り込み要求を許可	R/W
b3	MPiE	マルチプロセッサインタラプト イネーブルビット	(調歩同期式モードで、SMR.MP ビット = 1 のとき有効) 0 : 通常の受信動作 1 : マルチプロセッサビットが“0”の受信データは読み飛ばし、 SSR.RDRF, ORER, FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータ を受信すると、MPiE ビットは自動的に“0”になり、通常の 受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXiおよびERI割り込み要求を禁止 1 : RXiおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXi割り込み要求を禁止 1 : TXi割り込み要求を許可	R/W

x: Don't care

注1. TE ビット = 0、RE ビット = 0 の場合のみ書き込み可能です。

注2. SCI5、SCI6、SCI12のみ選択可能。

注3. SMR.CM ビットが“1”のときは、TE ビット = 0、RE ビット = 0 の場合のみ“1”を書き込み可能です。

一度、TE、RE ビットのいずれかを“1”にした後は、TE ビット = 0、RE ビット = 0 の書き込みのみ可能になります。SMR.CM ビットが“0”かつSIMR1のICM ビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンド インタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始 / 再開 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「28.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、RDRF、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SCR 0008 A022h, SMC15.SCR 0008 A0A2h, SMC16.SCR 0008 A0C2h, SMC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	- SMR.GM ビット = 0 の場合 b1 b0 0 0 : 出力ディセーブル SCKn 端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください - SMR.GM ビット = 1 の場合 b1 b0 0 0 : Low 出力固定 x 1 : クロック出力 1 0 : High 出力固定	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXI および ERI 割り込み要求を禁止 1 : RXI および ERI 割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI 割り込み要求を禁止 1 : TXI 割り込み要求を許可	R/W

x: Don't care

注1. TE ビット = 0、RE ビット = 0 の場合のみ書き込み可能です。

注2. TE ビット = 0、RE ビット = 0 の場合のみ“1”を書き込み可能です。

一度、TE、RE ビットのいずれかを“1”にした後は、TE ビット = 0、RE ビット = 0 の書き込みのみ行ってください。

各割り込み要求については、「28.12 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「28.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

28.2.9 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1" になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0" になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1" になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
PER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1" になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
FER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1" になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SSR 0008 A024h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h, SMC112.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0” としてください	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0：RDRレジスタに有効なデータなし 1：RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0：TDRレジスタに未送信のデータあり 1：TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから
“0”を書いてください。
注2. 書く場合“1”としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき “1” になります。

["1" になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0" になる条件]

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき
TEND フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1" になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” になった状態では、以降の受信データは RDR レジスタに転送されません。

["0" になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
PER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを “0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1" になる条件]

- エラーシグナル Low をサンプリングしたとき

["0" になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
ERS フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを “0” にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1" になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

["1" になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0" になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

["1" になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0" になる条件]

- TDR レジスタへ送信データを書いたとき

28.2.10 スマートカードモードレジスタ (SCMR)

アドレス SC11.SCMR 0008 A026h, SC15.SCMR 0008 A0A6h, SC16.SCMR 0008 A0C6h, SC12.SCMR 0008 B306h,
SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h, SMCI6.SCMR 0008 A0C6h, SMCI12.SCMR 0008 B306h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0 : 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1 : スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット (注2、注3)	0 : TDRレジスタのデータビットをそのままTSRレジスタに転送、 RSRレジスタのデータビットをそのままRDRレジスタに転送 1 : TDRレジスタのデータビットを反転してTSRレジスタに転送、 RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データトランスファ ディレクションビット (注2、注4)	0 : LSB ファーストで送受信 1 : MSB ファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1 (注5)	SMR.CHR ビットと組み合わせて選択します CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注6)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0] ビットと組み合わせて選択します 表 28.9 に SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TE ビット = 0、SCR.RE ビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. スマートカードインタフェースモード、調歩同期式モード (マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。

注3. 簡易I²Cモードで動作させる場合は、“0”にしてください

注4. 簡易I²Cモードで動作させる場合は、“1”にしてください

注5. 調歩同期式モードでのみ有効です。調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注6. LSB ファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

SMIF ビット (スマートカードインタフェース モードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式 (マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインバートビット)

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

CHR1 ビット (キャラクタレングスビット 1)

送受信データのデータ長を選択します。

SMR.CHR ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

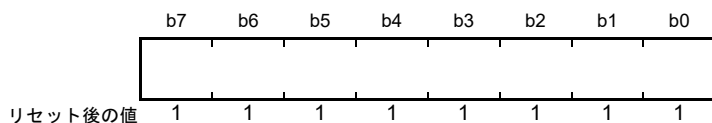
表 28.9 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93 クロック (S = 93) (注1)
0	0	1	128 クロック (S = 128) (注1)
0	1	0	186 クロック (S = 186) (注1)
0	1	1	512 クロック (S = 512) (注1)
1	0	0	32 クロック (S = 32) (注1) (初期値)
1	0	1	64 クロック (S = 64) (注1)
1	1	0	372 クロック (S = 372) (注1)
1	1	1	256 クロック (S = 256) (注1)

注1. Sは「28.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

28.2.11 ビットレートレジスタ (BRR)

アドレス SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 28.10 に示します。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 28.10 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 ($0 \leq N \leq 255$)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 28.12、表 28.13 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表 28.11 SCL High/Low 幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 28.12 クロックソースの設定

SMR.CKS[1:0] ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 28.13 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定	SMR.BCP[1:0] ビットの設定	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 28.14 に、各動作周波数における設定可能な最高ビットレートを表 28.15 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 28.18 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 28.20 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 28.22 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「28.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 28.16、表 28.19 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを“1”にしたときのビットレートは表 28.14 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表28.14 ビットレートに対するBRRの設定例(調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. SEMR.ABCSビット、SEMR.BGDMビットがすべて“0”のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。

表28.15 各動作周波数における最高ビットレート(調歩同期式モード)

PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
8	0	0	0	0	250000	9.8304	0	0	0	0	307200
		1	0	0	500000			1	0	0	614400
	1	0	0	0			1	0	0	0	
		1	0	0	1000000			1	0	0	1228800
10	0	0	0	0	312500	12	0	0	0	0	375000
		1	0	0	625000			1	0	0	750000
	1	0	0	0			1	0	0	0	
		1	0	0	1250000			1	0	0	1500000
12.288	0	0	0	0	384000	14	0	0	0	0	437500
		1	0	0	768000			1	0	0	875000
	1	0	0	0			1	0	0	0	
		1	0	0	1536000			1	0	0	1750000
16	0	0	0	0	500000	17.2032	0	0	0	0	537600
		1	0	0	1000000			1	0	0	1075200
	1	0	0	0			1	0	0	0	
		1	0	0	2000000			1	0	0	2150400
18	0	0	0	0	562500	19.6608	0	0	0	0	614400
		1	0	0	1125000			1	0	0	1228800
	1	0	0	0			1	0	0	0	
		1	0	0	2250000			1	0	0	2457600
20	0	0	0	0	625000	25	0	0	0	0	781250
		1	0	0	1250000			1	0	0	1562500
	1	0	0	0			1	0	0	0	
		1	0	0	2500000			1	0	0	3125000
30	0	0	0	0	937500						
		1	0	0	1875000						
	1	0	0	0							
		1	0	0	3750000						

表 28.16 外部クロック入力時の最高ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表 28.17 TMRクロック入力時の最高ビットレート (調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000

表 28.18 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	3	155	3	249						
500	2	249	3	77	3	124	3	155	3	194	3	233
1k	2	124	2	155	2	249	3	77	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—		
2M	0	0 (注 1)			0	1			—	—		
2.5M			0	0 (注 1)			0	1			0	2
4M					0	0 (注 1)						
5M							0	0 (注 1)				
6.25M									0	0 (注 1)		
7.5M											0	0 (注 1)

空欄：誤差が5%を超えるため、設定できません。

—：設定可能ですが1～5%の誤差がでます。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表 28.19 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000

表 28.20 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn = 0、S = 372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01

表 28.21 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表 28.22 ビットレートに対する BRR の設定例 (簡易 I²C モード)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	-0.8	0	77	0.2
25k	0	9	0.0	0	12	-3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	-3.8	2	0	-2.3
100k	0	2	-16.7	1	0	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数 PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	0	93	-0.3
25k	0	37	-1.3
50k	0	18	-1.3
100k	0	9	-6.3
250k	1	0	-6.3
350k	0	2	-10.7

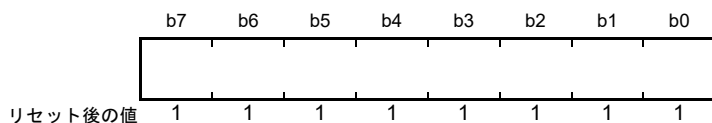
表 28.23 各ビットレート設定での SCL High/Low 幅最小値 (簡易 I²C モード)

ビット レート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数 PCLK (MHz)					
	25			30		
	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)
10k	0	77	43.68/49.92	0	93	43.87/50.13
25k	0	30	17.36/19.84	0	37	17.73/20.27
50k	2	0	8.96/10.24	0	18	8.87/10.13
100k	1	1	4.48/5.12	0	9	4.67/5.33
250k	0	2	1.68/1.92	1	0	1.87/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60

28.2.12 モジュレーションデューティレジスタ (MDDR)

アドレス SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI12.MDDR 0008 B312h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に $M/256$ に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 28.24 に示します。

MDDR レジスタに設定できる値の範囲は、“80h”以上“FFh”以下です。これ以外の値は設定できません。

MDDR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 28.24 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 ($128 \leq M \leq 255$)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n と S: 「28.2.11 ビットレートレジスタ (BRR)」表 28.12、表 28.13 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期式モードおよび簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) では、本機能を使用しないでください。

注2. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

なお、SMR.CKS[1:0] ビットの設定値を小さく、BRR レジスタの設定値を大きくした方が、1 ビット期間

の長さの長短差が小さくなります。

28.2.13 シリアル拡張モードレジスタ (SEMR)

アドレス SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	BGDM	NFEN	ABCS	—	BRME	—	ACS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0: 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b、11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMO_n (n = 0 ~ 3 出力を基本クロックソースにすることができます。詳細は表 28.25 を参照してください。

SCI1 の ACS0 ビットは予約ビットです。SCI1 では“0”にしてください。

表 28.25 SCI のチャネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット 0	TMO0, TMO1
SCI6	ユニット 1	TMO2, TMO3
SCI12	ユニット 0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 28.4 に示します。

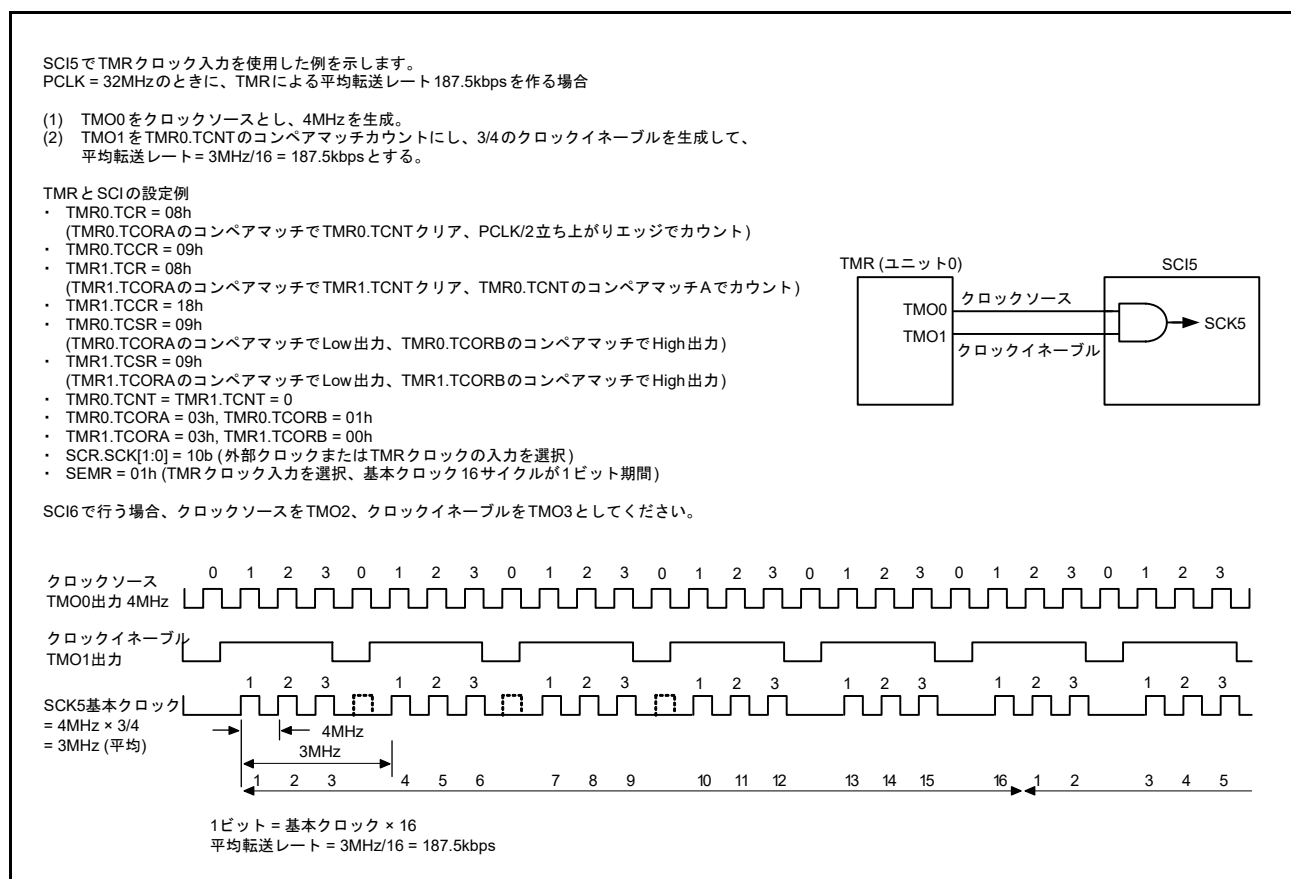


図 28.4 TMR クロック入力時の平均転送レート設定例

BRME ビット (ビットレートモジュレーションイネーブルビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット (ボーレートジェネレータ倍速モードセレクトビット)

ボーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード (SMR.CM ビット = 0) で、クロックソースに内蔵ボーレートジェネレータを選択 (SCR.CKE[1] ビット = 0) したときに有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では “0” を設定してください。

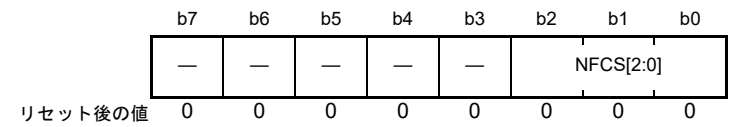
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は “1” を設定してください。

調歩同期式モード以外では “0” を設定してください。

28.2.14 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI12.SNFR 0008 B308h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFC S[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2b0 000: 1分周のクロックをノイズフィルタに使用 簡易 I²C モード時、SMR.CKS[1:0] ビットで選択した内蔵 ボーレートジェネレータのクロックソース基準で b2b0 001: 1分周のクロックをノイズフィルタに使用 010: 2分周のクロックをノイズフィルタに使用 011: 4分周のクロックをノイズフィルタに使用 100: 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

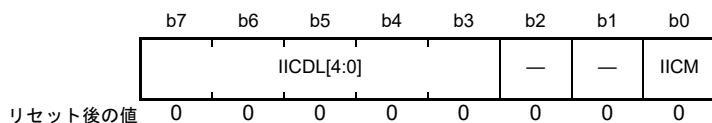
注1. SCR.TE ビット= 0、SCR.RE ビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

NFC S[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。
調歩同期式モード時にノイズフィルタを使用する場合、“000b” を設定してください。簡易 I²C モード時は “001b” ~ “100b” の中で設定してください。

28.2.15 I²C モードレジスタ 1 (SIMR1)

アドレス SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易 I ² C モードセレクトビット	SMIF IICM 0 0 : 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPI モード) 0 1 : 簡易 I ² C モード 1 0 : スマートカードインタフェースモード 1 1 : 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA 出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0 : 出力遅延なし 0 0 0 0 1 : 0~1 サイクル 0 0 0 1 0 : 1~2 サイクル 0 0 0 1 1 : 2~3 サイクル 0 0 1 0 0 : 3~4 サイクル 0 0 1 0 1 : 4~5 サイクル : 1 1 1 1 0 : 29~30 サイクル 1 1 1 1 1 : 30~31 サイクル	R/W (注1)

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを 1 サイクルとし、遅延なし~ 31 サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では“00000b”を設定してください。簡易 I²C モード時は、“00001b”~ “11111b”のいずれかを設定してください。

28.2.16 I²C モードレジスタ 2 (SIMR2)

アドレス SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK 送信データビット	0 : ACK 送信 1 : NACK 送信または ACK/NACK 受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

28.2.17 I²C モードレジスタ 3 (SIMR3)

アドレス SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI12.SIMR3 0008 B30Bh

b7	b6	b5	b4	b3	b2	b1	b0
IICSCLS[1:0]	IICSDAS[1:0]	IICSTIF	IICSTPREQ	IICRSTAREQ	IICSTAREQ		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

注1. SSCLn端子とSSDAn端子が両方ともHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。

注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”)のときに再開条件生成または停止条件生成を行ってください。

注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開始条件生成ビット）

再開始条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1” を書き込んだとき

["0" になる条件]

- 再開始条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成ビット）

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1” を書き込んだとき

["0" になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始 / 再開始 / 停止条件生成完了フラグ）

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開始 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1" になる条件]

- 開始 / 再開始 / 停止の各条件の生成が完了したとき（ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。）

["0" になる条件]

- “0” を書き込んだとき（IICSTIF フラグが“0”になったことを確認してください。）
- SIMR1.IICM ビットが“0”のとき（簡易 I²C モード以外の場合）
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット（SSDA 出力セレクトビット）

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット（SSCL 出力セレクトビット）

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

28.2.18 I²C ステータスレジスタ (SISR)

アドレス SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI12.SISR 0008 B30Ch

b7

b6

b5

b4

b3

b2

b1

b0

—

—

—

—

—

—

—

IICACK
R

リセット後の値

0

0

x

x

0

x

0

0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

28.2.19 SPI モードレジスタ (SPMR)

アドレス SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn# 端子機能イネーブルビット	0 : SSn# 端子機能禁止 1 : SSn# 端子機能許可	R/W (注1)
b1	CTSE	CTS イネーブルビット	0 : CTS 機能禁止 (RTS 出力機能有効) 1 : CTS 機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : SMOSIn 端子 : 送信、SMISOn 端子 : 受信 (マスタモード) 1 : SMOSIn 端子 : 受信、SMISOn 端子 : 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TE ビット = 0、SCR.RE ビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット = 00b かつ MSS ビット = 0) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、SMOSIn 端子から受信データを入力し、SMISOn 端子から送信データを出力します。

簡易 SPI モード以外では“0”にしてください。

MFF フラグ（モードフォルトフラグ）

モードフォルトエラーが発生したことを表示します。
マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1” になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

CKPOL ビット（クロック極性セレクトビット）

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 28.58 を参照してください。
簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

CKPH ビット（クロック位相セレクトビット）

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 28.58 を参照してください。
簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

28.2.20 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0：拡張シリアルモード無効 1：拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット（拡張シリアルモード有効ビット）

ESME ビットが “1” の場合、拡張シリアルモード制御部が有効となります。
ESME ビットを “0” にすると、拡張シリアルモード制御部は初期化された状態になります。

表 28.26 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能 (注 1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注 1. PCLK 選択時のみ動作します。

28.2.21 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12入力ステータスフラグ	0 : RXDX12入力許可状態 1 : RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.22 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]			PIBE	CF1DS[1:0]	CF0RE	BFE	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Field イネーブルビット	0 : Break Field の検出が無効 1 : Break Field の検出が有効	R/W
b1	CF0RE	Control Field 0 受信イネーブルビット	0 : Control Field 0 受信無効 1 : Control Field 0 受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1 データレジスタ 選択ビット	b3 b2 00 : PCF1DR を比較データに選択 01 : SCF1DR を比較データに選択 10 : PCF1DR および SCF1DR を比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプト ビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプト ビットセレクトビット	b7 b5 000 : Control Field 1 0 ビット目 001 : Control Field 1 1 ビット目 010 : Control Field 1 2 ビット目 011 : Control Field 1 3 ビット目 100 : Control Field 1 4 ビット目 101 : Control Field 1 5 ビット目 110 : Control Field 1 6 ビット目 111 : Control Field 1 7 ビット目	R/W

28.2.23 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h

b7	b6	b5	b4	b3	b2	b1	b0
RTS[1:0]	BCCS[1:0]	—	DFCS[2:0]				
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RDX12 信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0: フィルタ無効 0 0 1: フィルタクロックは基本クロック (注1、注2) 0 1 0: フィルタクロックはPCLK/8 0 1 1: フィルタクロックはPCLK/16 1 0 0: フィルタクロックはPCLK/32 1 0 1: フィルタクロックはPCLK/64 1 1 0: フィルタクロックはPCLK/128 1 1 1: 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	- SEMR.BGDM ビットが“0”または、SEMR.BGDM ビットが“1”かつ SMR.CKS[1:0] ビットが“00b”以外の場合 b5 b4 0 0: 基本クロック 0 1: 基本クロックの2分周 1 0: 基本クロックの4分周 1 1: 設定しないでください - SEMR.BGDM ビットが“1”かつ SMR.CKS[1:0] ビットが“00b”の場合 b5 b4 0 0: 基本クロックの2分周 0 1: 基本クロックの4分周 1 0: 設定しないでください 1 1: 設定しないでください	R/W
b7-b6	RTS[1:0]	RDX12 受信サンプリング タイミング選択ビット	- SCI12.SEMR.ABCS ビット = 0 の場合 b7 b6 0 0: 基本クロックの8クロック目の立ち上がり 0 1: 基本クロックの10クロック目の立ち上がり 1 0: 基本クロックの12クロック目の立ち上がり 1 1: 基本クロックの14クロック目の立ち上がり - SCI12.SEMR.ABCS ビット = 1 の場合 b7 b6 0 0: 基本クロックの4クロック目の立ち上がり 0 1: 基本クロックの5クロック目の立ち上がり 1 0: 基本クロックの6クロック目の立ち上がり 1 1: 基本クロックの7クロック目の立ち上がり	R/W

注. 基本クロックとは、SCI12.SEMR.ABCS = 0 のとき、1 データ期間の 1/16 の周期、SCI12.SEMR.ABCS = 1 のとき、1 データ期間の 1/8 の周期です。

注1. 基本クロックを使用する場合、SCI12.SCR.TE ビットを“1”にしてください。

注2. SEMR.BGDM ビットが“1”かつ SMR.CKS[1:0] ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

28.2.24 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

28.2.25 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RDXPS	TXDXPS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RDXPS	RDX12信号極性選択ビット	0 : RDX12極性を反転せずに入力 1 : RDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RDX12端子兼用選択ビット	0 : TXDX12端子、RDX12端子独立 1 : TXDX12/RDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RDX12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RDX12 端子を兼用した半二重通信が可能となります。

28.2.26 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0 : Break Field Low width検出割り込み禁止 1 : Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.27 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BDFD
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BDFD	Break Field Low width検出フラグ	["1"になる条件] - Break Field Low width検出したとき - Break Field Low width出力完了したとき - タイマがアンダフローしたとき ["0"になる条件] - STCR.BFDCL ビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	["1"になる条件] - Control Field 0 受信データが設定データと一致したとき ["0"になる条件] - STCR.CF0MCL ビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	["1"になる条件] - Control Field 1 受信データが設定データと一致したとき ["0"になる条件] - STCR.CF1MCL ビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	["1"になる条件] - プライオリティインタラプトビットを検出したとき ["0"になる条件] - STCR.PIBDCL ビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"になる条件] - バス衝突を検出したとき ["0"になる条件] - STCR.BCDCL ビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"になる条件] - 有効エッジを検出したとき ["0"になる条件] - STCR.AEDCL ビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

28.2.28 ステータスクリアレジスタ (STCR)

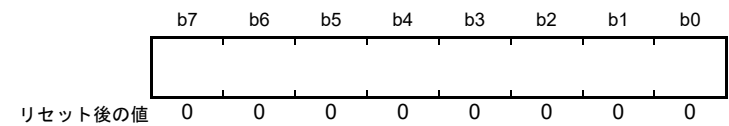
アドレス SCI12.STCR 0008 B328h



ビット	シンボル	ビット名	機能	R/W
b0	BFDCL	BFDCL クリアビット	BFDCL ビットを“1”にすると STR.BFDCL フラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MCL クリアビット	CF0MCL ビットを“1”にすると STR.CF0MCL フラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MCL クリアビット	CF1MCL ビットを“1”にすると STR.CF1MCL フラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDC L	PIBDC クリアビット	PIBDC ビットを“1”にすると STR.PIBDC フラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDCL クリアビット	BCDCL ビットを“1”にすると STR.BCDCL フラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDCL クリアビット	AEDCL ビットを“1”にすると STR.AEDCL フラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読み取れます。書く場合、“0”としてください	R/W

28.2.29 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h



CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

28.2.30 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0 ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペ無効 1 : Control Field 0 ビット0コンペ有効	R/W
b1	CF0CE1	Control Field 0 1 ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペ無効 1 : Control Field 0 ビット1コンペ有効	R/W
b2	CF0CE2	Control Field 0 2 ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペ無効 1 : Control Field 0 ビット2コンペ有効	R/W
b3	CF0CE3	Control Field 0 3 ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペ無効 1 : Control Field 0 ビット3コンペ有効	R/W
b4	CF0CE4	Control Field 0 4 ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペ無効 1 : Control Field 0 ビット4コンペ有効	R/W
b5	CF0CE5	Control Field 0 5 ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペ無効 1 : Control Field 0 ビット5コンペ有効	R/W
b6	CF0CE6	Control Field 0 6 ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペ無効 1 : Control Field 0 ビット6コンペ有効	R/W
b7	CF0CE7	Control Field 0 7 ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペ無効 1 : Control Field 0 ビット7コンペ有効	R/W

28.2.31 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

28.2.32 プライマリ Control Field 1 データレジスタ (PCF1DR)

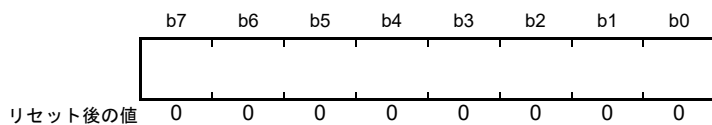
アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

28.2.33 セカンダリ Control Field 1 データレジスタ (SCF1DR)

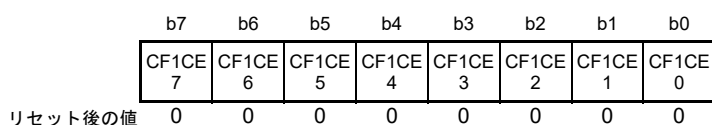
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

28.2.34 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

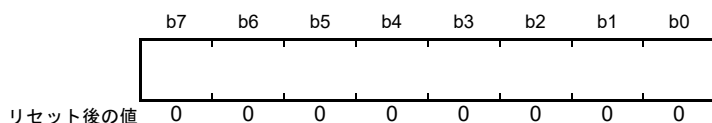
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0 ビットコンペアイネーブルビット	0 : Control Field 1 ビット0 コンペア無効 1 : Control Field 1 ビット0 コンペア有効	R/W
b1	CF1CE1	Control Field 1 1 ビットコンペアイネーブルビット	0 : Control Field 1 ビット1 コンペア無効 1 : Control Field 1 ビット1 コンペア有効	R/W
b2	CF1CE2	Control Field 1 2 ビットコンペアイネーブルビット	0 : Control Field 1 ビット2 コンペア無効 1 : Control Field 1 ビット2 コンペア有効	R/W
b3	CF1CE3	Control Field 1 3 ビットコンペアイネーブルビット	0 : Control Field 1 ビット3 コンペア無効 1 : Control Field 1 ビット3 コンペア有効	R/W
b4	CF1CE4	Control Field 1 4 ビットコンペアイネーブルビット	0 : Control Field 1 ビット4 コンペア無効 1 : Control Field 1 ビット4 コンペア有効	R/W
b5	CF1CE5	Control Field 1 5 ビットコンペアイネーブルビット	0 : Control Field 1 ビット5 コンペア無効 1 : Control Field 1 ビット5 コンペア有効	R/W
b6	CF1CE6	Control Field 1 6 ビットコンペアイネーブルビット	0 : Control Field 1 ビット6 コンペア無効 1 : Control Field 1 ビット6 コンペア有効	R/W
b7	CF1CE7	Control Field 1 7 ビットコンペアイネーブルビット	0 : Control Field 1 ビット7 コンペア無効 1 : Control Field 1 ビット7 コンペア有効	R/W

28.2.35 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

28.2.36 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.37 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		—	TWRC	—	TOMS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

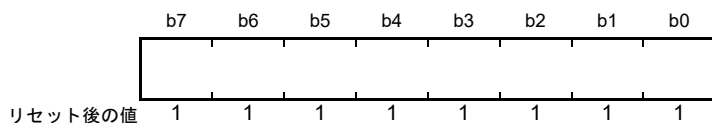
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

28.2.38 タイマプリスケアラレジスタ (TPRE)

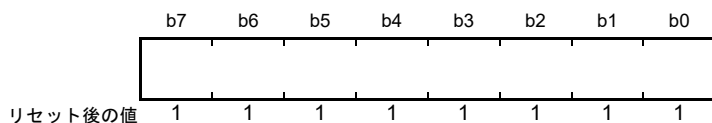
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

28.2.39 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

28.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 28.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

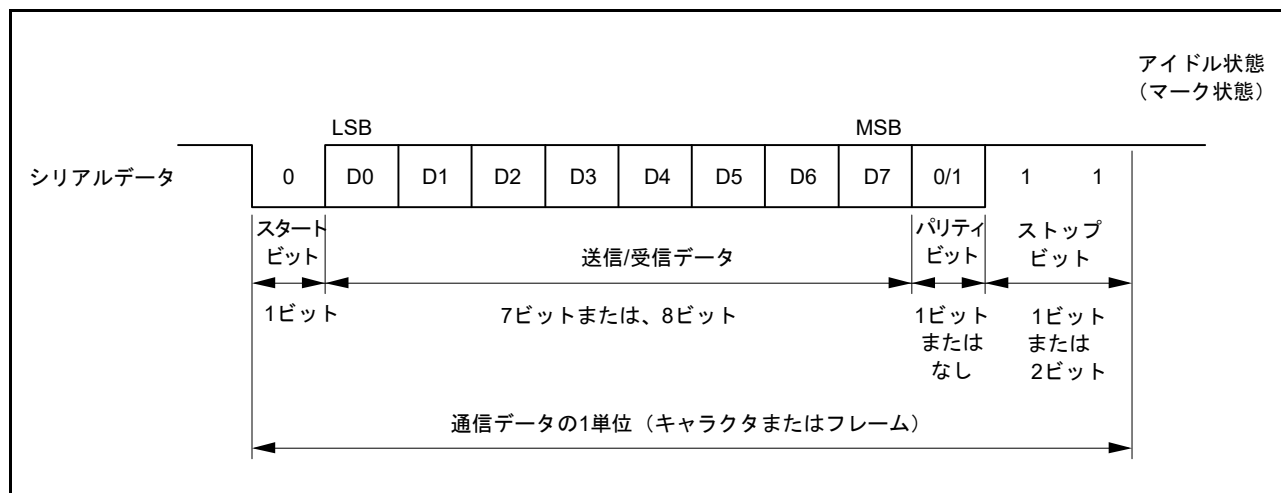


図 28.5 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

28.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 28.27 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「28.4 マルチプロセッサ通信機能」を参照してください。

表 28.27 シリアル送信/受信フォーマット(調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	0	0	0	S	9ビットデータ									STOP		
0	0	0	0	1	S	9ビットデータ									STOP		STOP
0	0	1	0	0	S	9ビットデータ									P	STOP	
0	0	1	0	1	S	9ビットデータ									P	STOP	STOP
1	0	0	0	0	S	8ビットデータ								STOP			
1	0	0	0	1	S	8ビットデータ								STOP		STOP	
1	0	1	0	0	S	8ビットデータ								P	STOP		
1	0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	1	0	0	0	S	7ビットデータ							STOP				
1	1	0	0	1	S	7ビットデータ							STOP		STOP		
1	1	1	0	0	S	7ビットデータ							P	STOP			
1	1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	0	—	1	0	S	9ビットデータ									MPB	STOP	
0	0	—	1	1	S	9ビットデータ									MPB	STOP	STOP
1	0	—	1	0	S	8ビットデータ								MPB	STOP		
1	0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	1	—	1	0	S	7ビットデータ							MPB	STOP			
1	1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S: スタートビット

STOP: ストップビット

P: パリティビット

MPB: マルチプロセッサビット

28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりりを基本クロックでサンプリングして内部を同期化します。また、図 28.6 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%) \quad \dots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCS ビットが“0”のとき $N = 16$
- SEMR.ABCS ビットが“1”のとき $N = 8$

D: クロックのデューティ ($D = 0.5 \sim 1.0$)

L: フレーム長 ($L = 9 \sim 13$)

F: クロック周波数の偏差の絶対値

式 (1) で、 $F = 0$ 、 $D = 0.5$ とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30% の余裕を持たせてください。

注 1. いずれも SEMR.ABCS ビットが“0”のときの値です。ABCS ビットが“1”のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

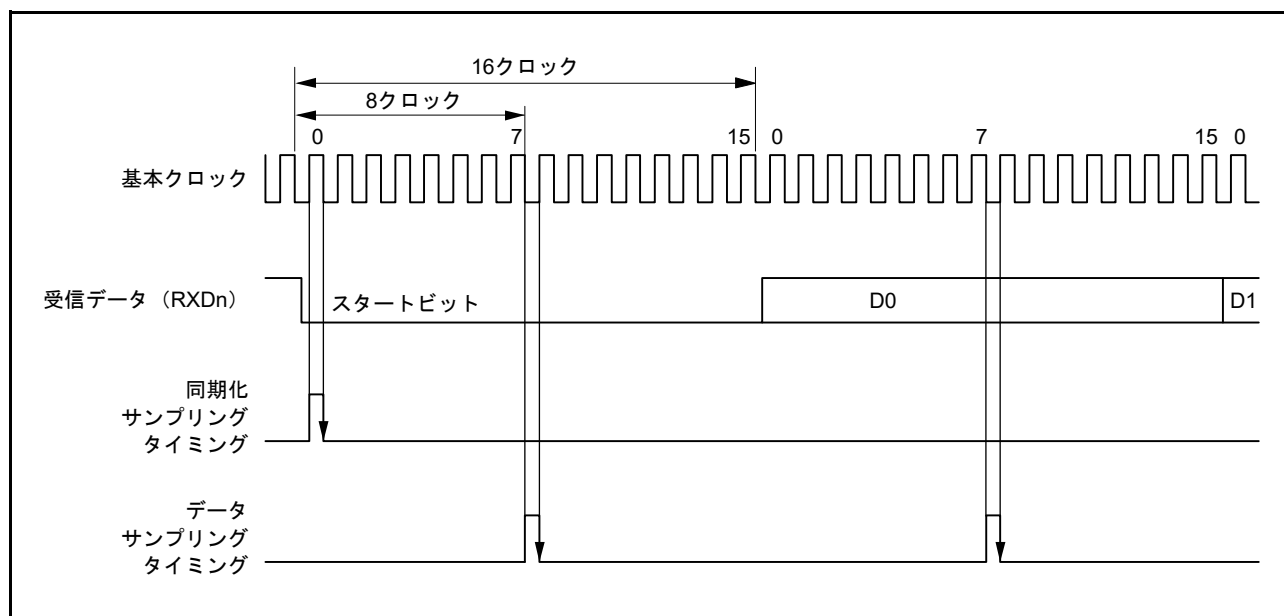


図 28.6 調歩同期式モードの受信データサンプリングタイミング

28.3.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍 (SEMR.ABCS ビット=0 のとき)、8 倍 (SEMR.ABCS ビット=1 のとき) の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIIn.SEMR.ACS0 ビット (n=5, 6, 12) の設定により、TMR0、TMR1 からの基本クロックを選択することが可能です。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図 28.7 に示すように送信データの中央でクロックが立ち上がりします。

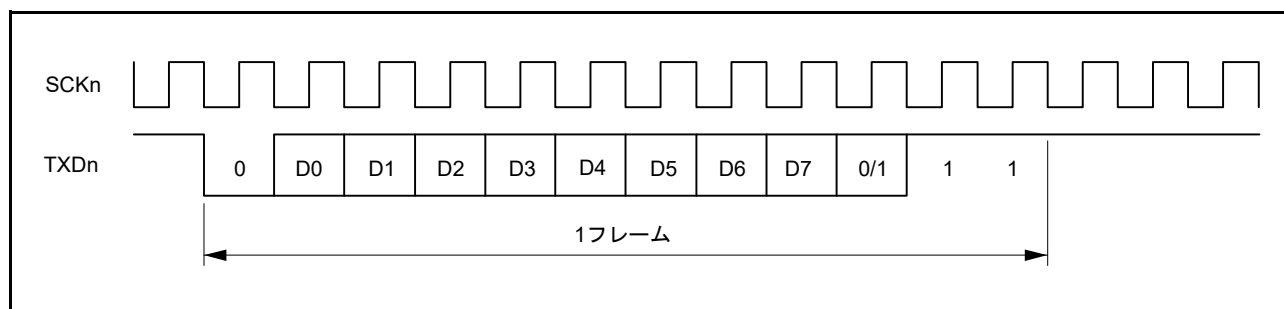


図 28.7 出力クロックと送信データの位相関係
(調歩同期式モード: SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

28.3.4 倍速モード

SEMR.BGDM ビットを“1”にすることによって内蔵ボーレートジェネレータの出力クロック周波数が 2 倍となり、ビットレートが 2 倍の高速通信が可能となります。また、この状態から SEMR.ABCS ビットを“1”にすると基本クロックのサイクル数が 16 から 8 になるため、ビットレートは初期状態から 4 倍に高速化されます。

なお、「28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) が示すとおり、SEMR.ABCS ビットを“1”にするとサイクル数が 8 になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート 2 倍の高速通信は、SEMR.BGDM ビットを“0”、SEMR.ABCS ビットを“1”にするよりも、SEMR.BGDM ビットを“1”、SEMR.ABCS ビットを“0”にする設定を推奨します。

28.3.5 CTS、RTS 機能

CTS 機能は、CTS_n# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS_n# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS_n# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS_n# 端子出力を使用して送信要求を行う機能で、受信可能状態になると Low を出力します。RTS_n# 端子から Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

28.3.6 SCI の初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 28.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグおよび RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンブレディ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

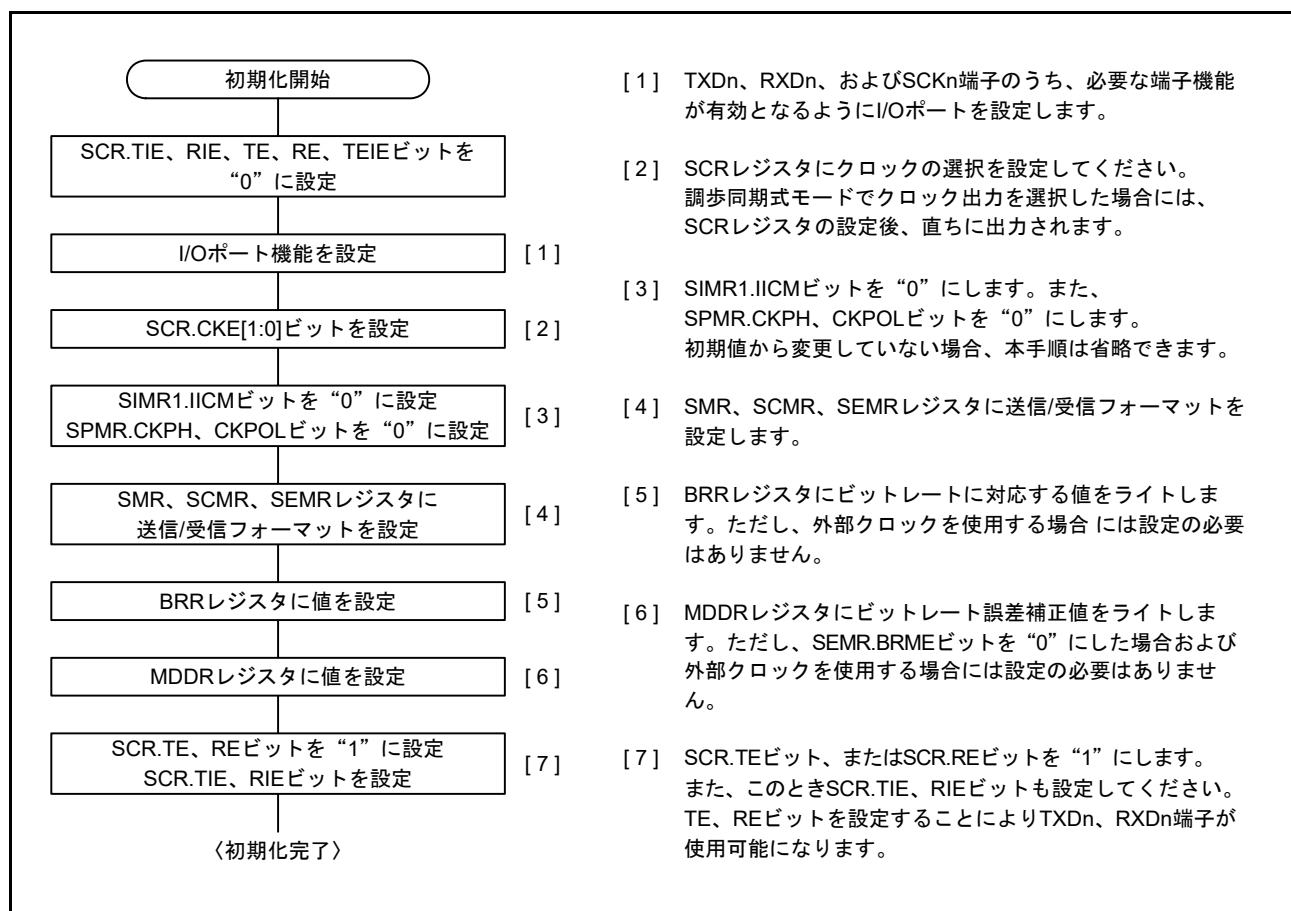


図 28.8 SCI の初期化フローチャートの例 (調歩同期式モード)

図 28.9 は、リセット解除後に図 28.8 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。調歩同期式モードでは、この期間 TXD 端子は High になります。

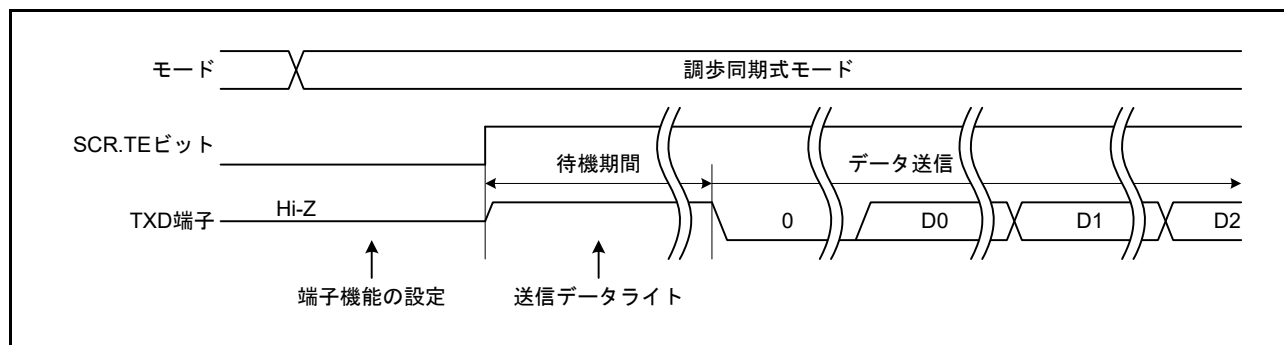


図 28.9 調歩同期式モード時のデータ送信タイミング例

28.3.7 シリアルデータの送信 (調歩同期式モード)

図 28.10 ～図 28.12 に調歩同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力 Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新 (書き込み) をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力 Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 28.13 にシリアル送信のフローチャートの例を示します。

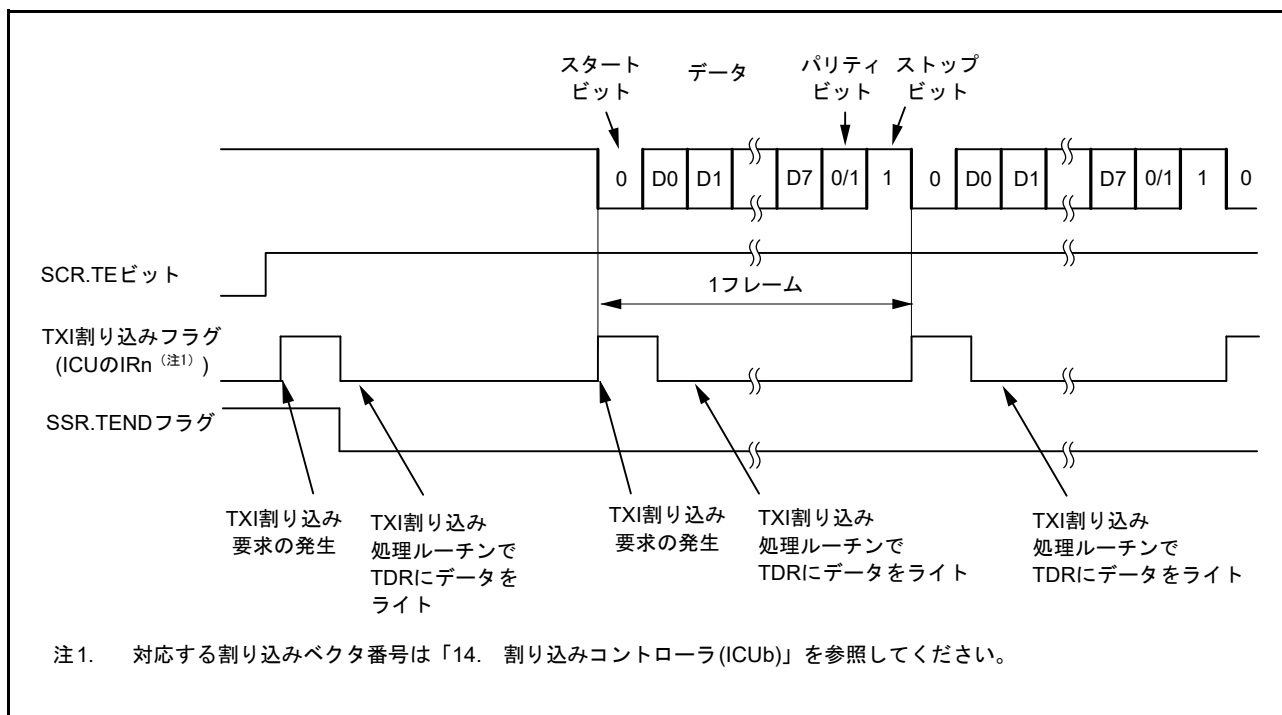


図 28.10 調歩同期式モードのシリアル送信の動作例 (1)
(8 ビットデータ / パリティあり / 1 ストップビット / CTS 機能使用しない / 送信開始時)

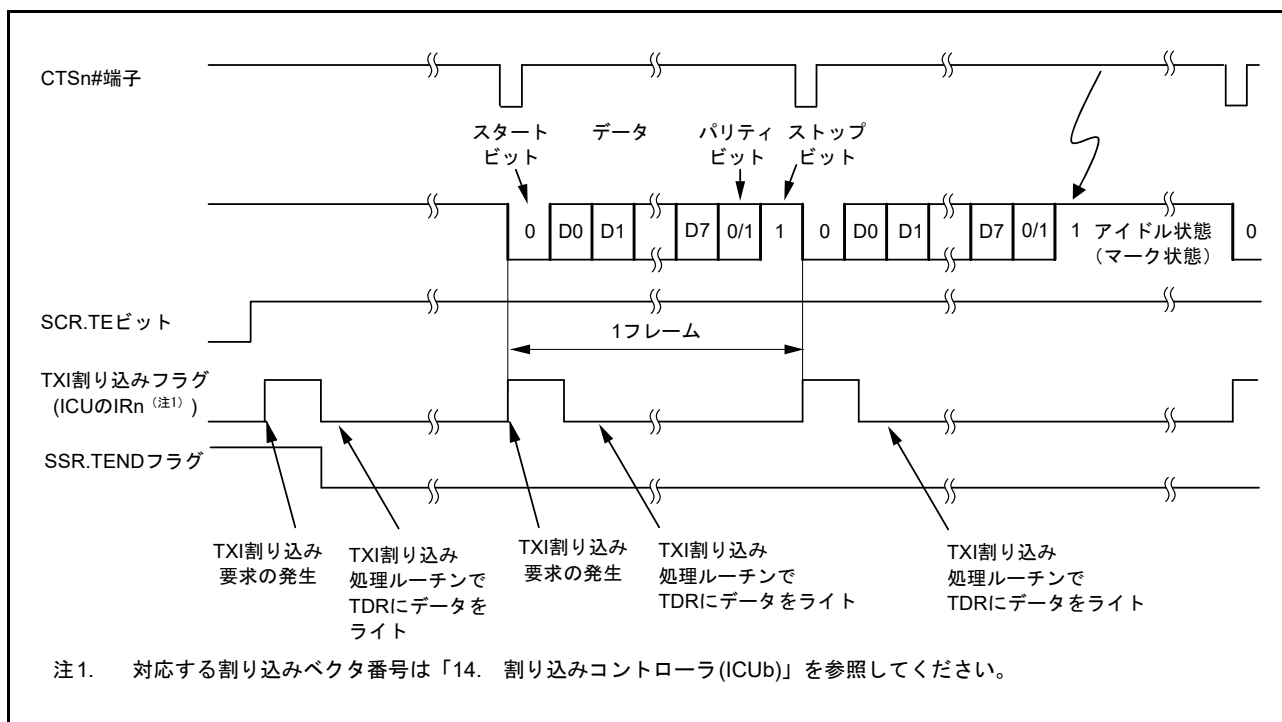


図 28.11 調歩同期式モードのシリアル送信の動作例 (2)
(8 ビットデータ / パリティあり / 1 ストップビット / CTS 機能使用する / 送信開始時)

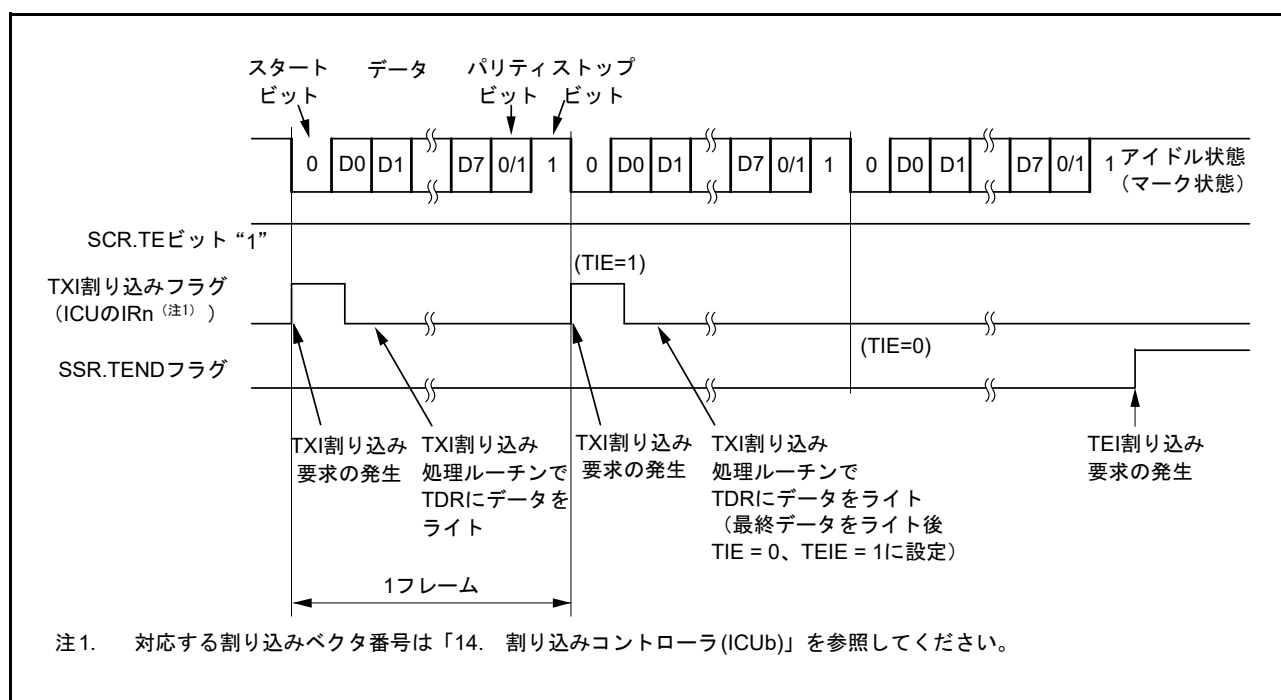


図 28.12 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信中～送信終了時)

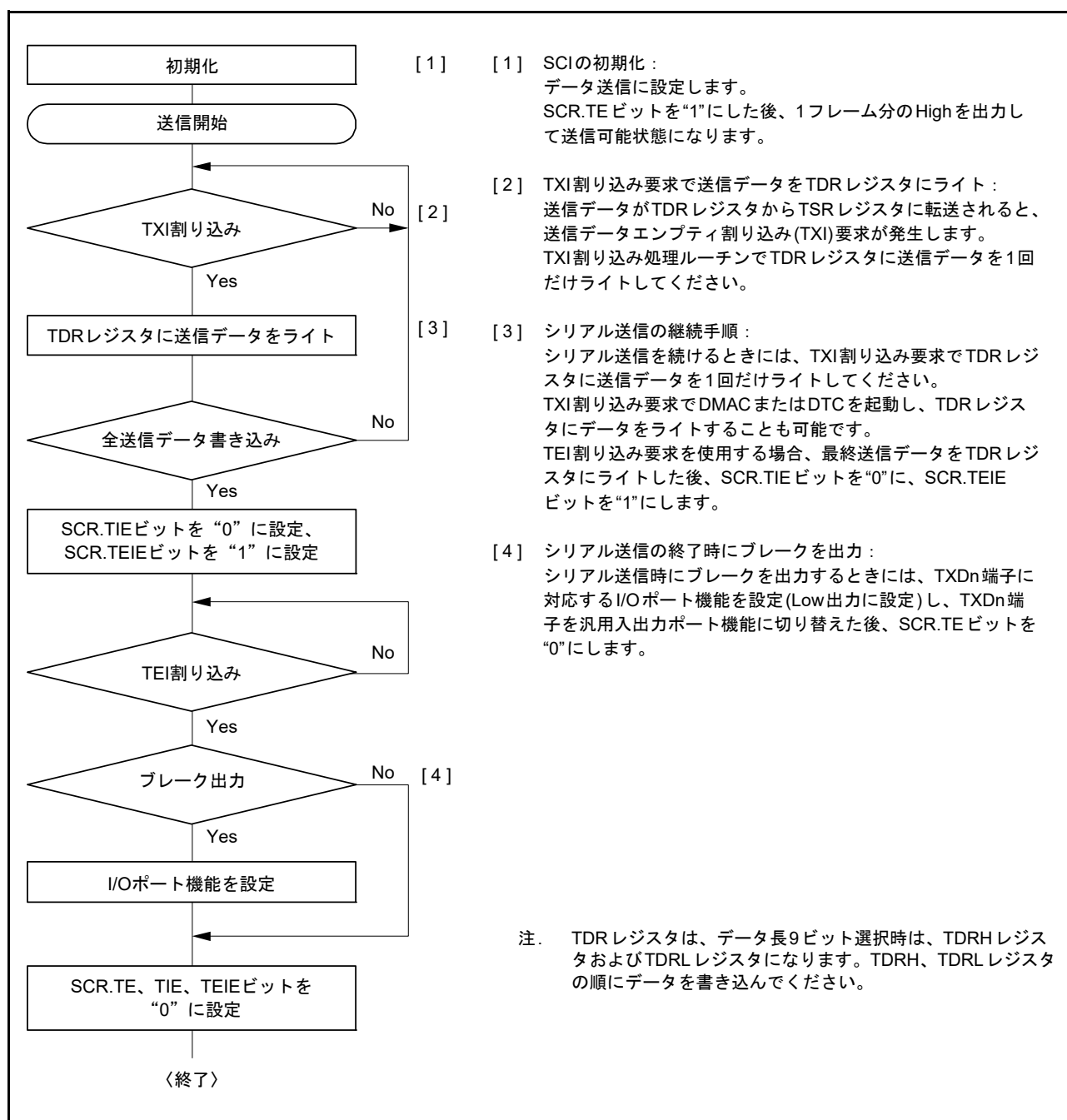


図 28.13 調歩同期式モードのシリアル送信のフローチャート例

28.3.8 シリアルデータの受信 (調歩同期式モード)

図 28.14、図 28.15 に調歩同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ (注 1) に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ (注 1) に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ (注 2) に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

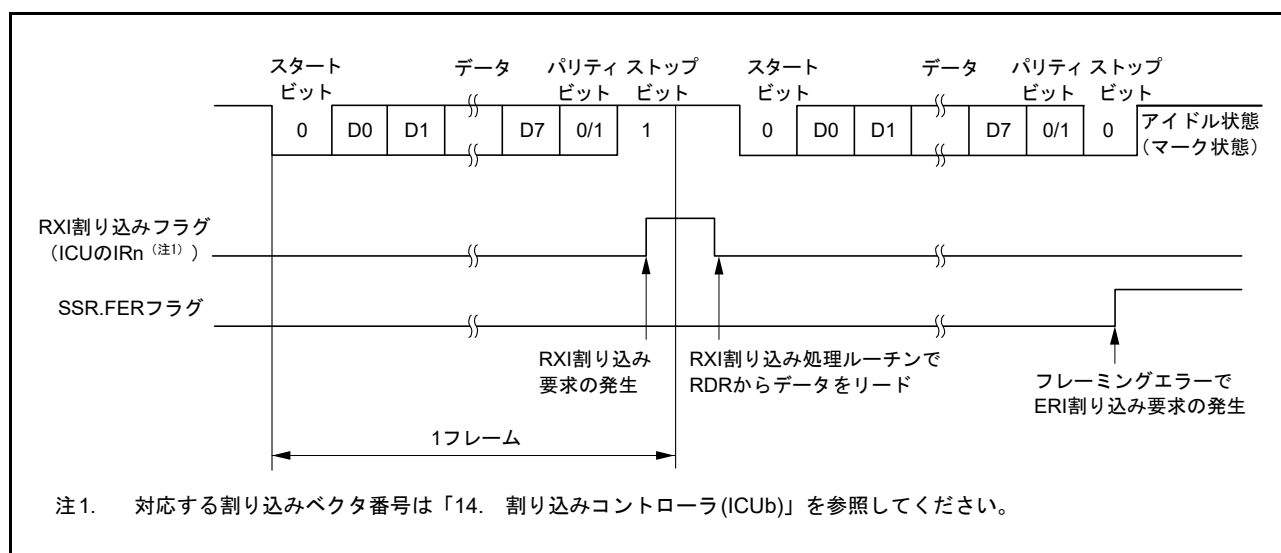


図 28.14 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

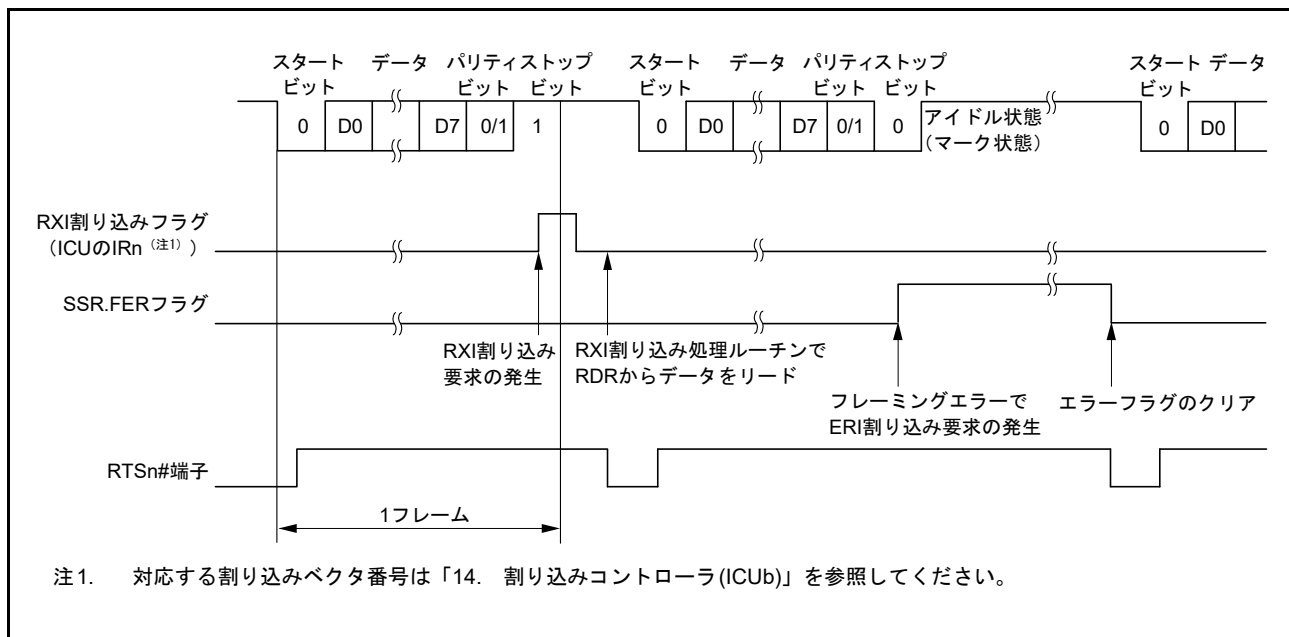


図 28.15 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 28.28 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 28.16、図 28.17 にシリアル受信のフローチャートの例を示します。

表 28.28 SSR レジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

注1. データ長9ビット選択時はRDRH、RDRLレジスタになります。

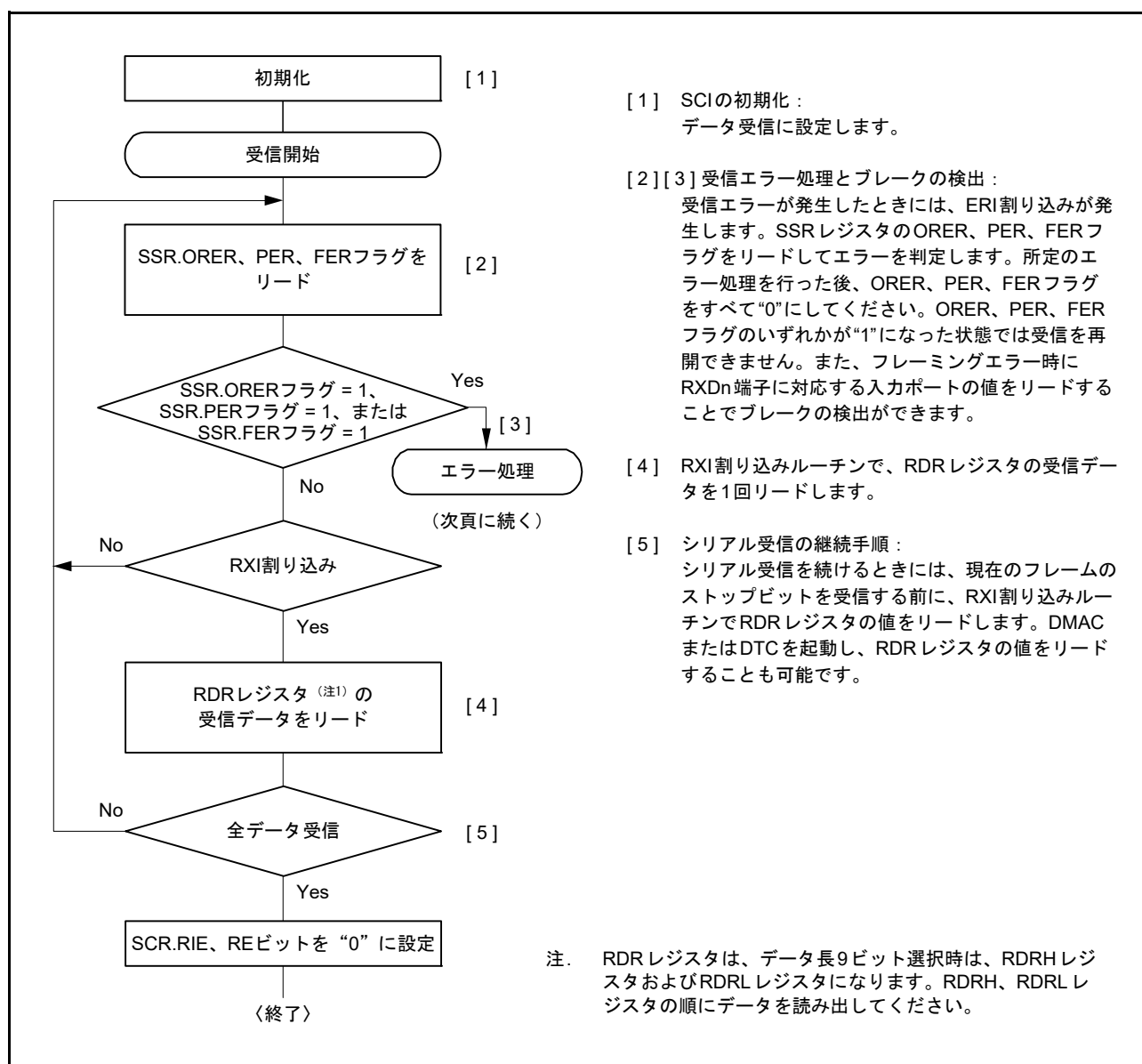


図 28.16 調歩同期式モードのシリアル受信のフローチャート例 (1)

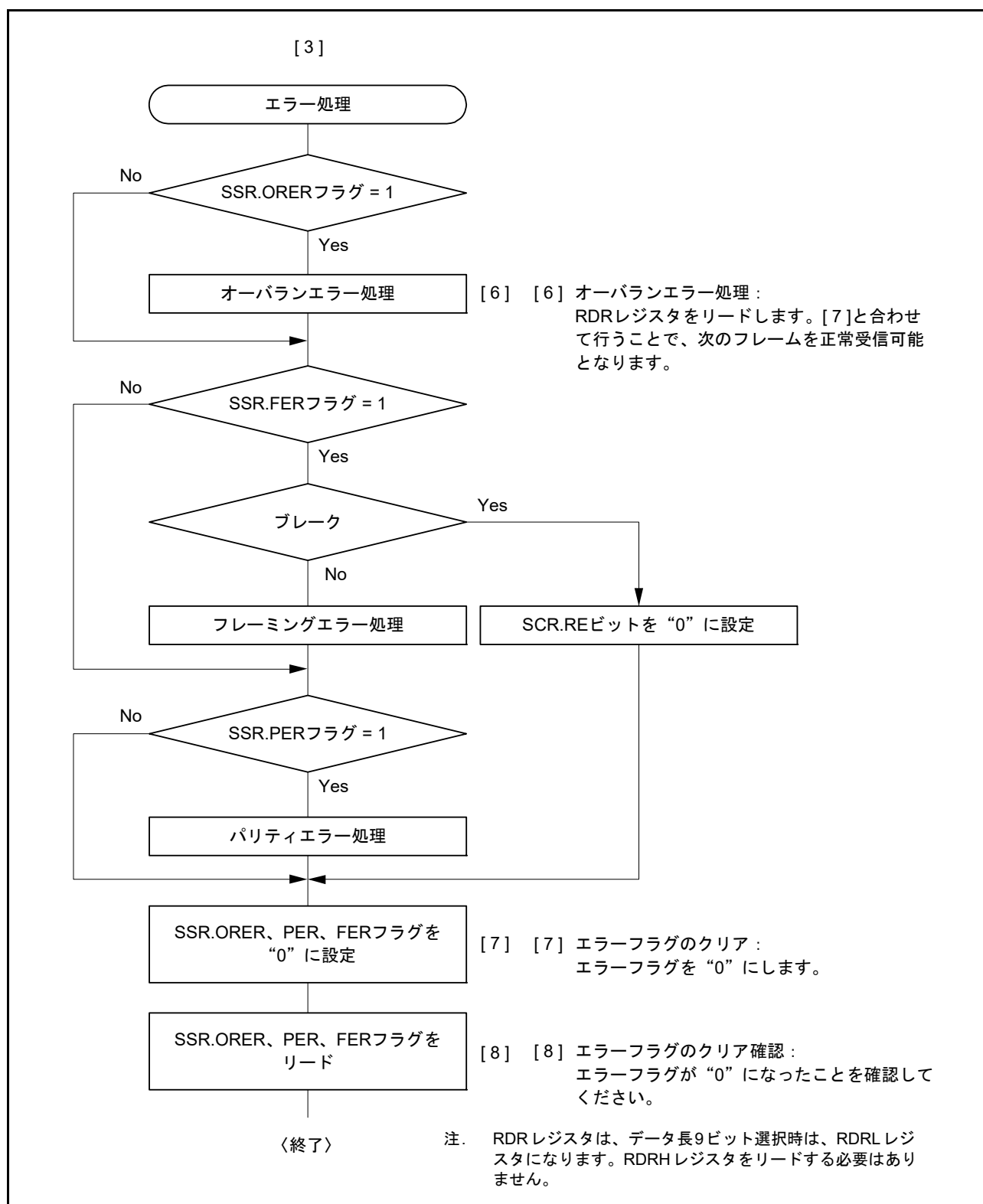


図 28.17 調歩同期式モードのシリアル受信のフローチャート例 (2)

28.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 28.18 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともに SCR.MPIE ビットが“0”になって通常の受信動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

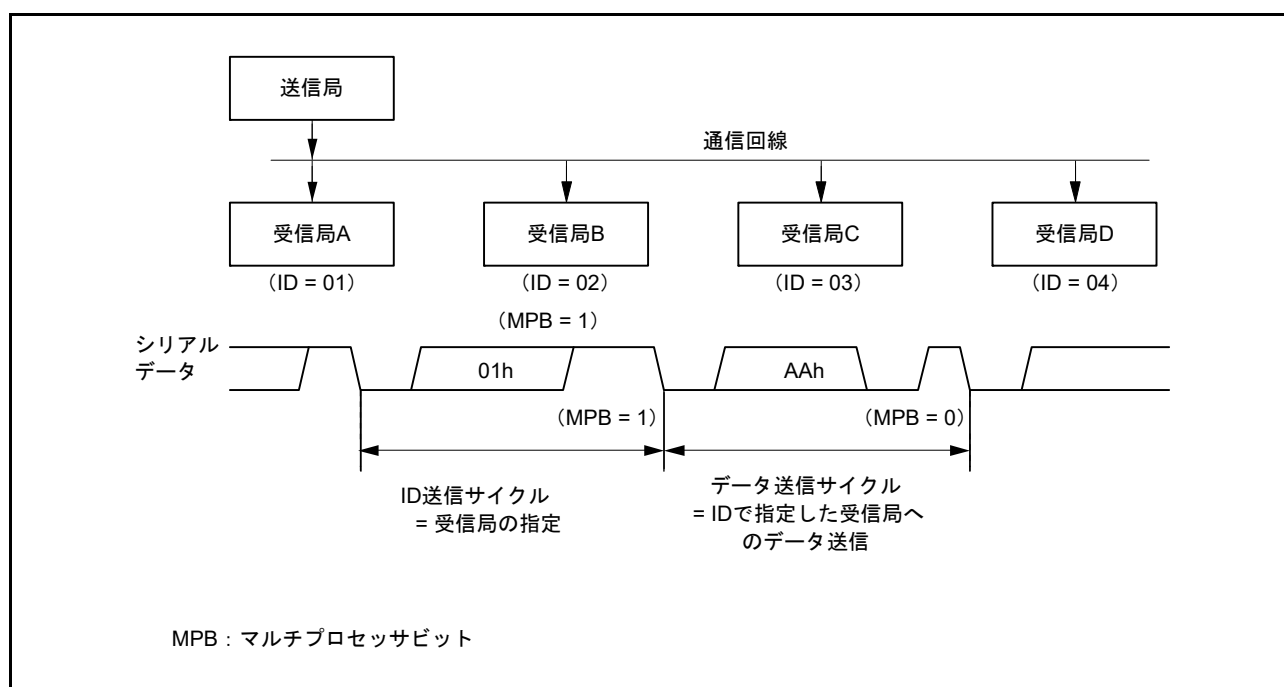


図 28.18 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ “AAh” の送信の例)

28.4.1 マルチプロセッサシリアルデータ送信

図 28.19 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

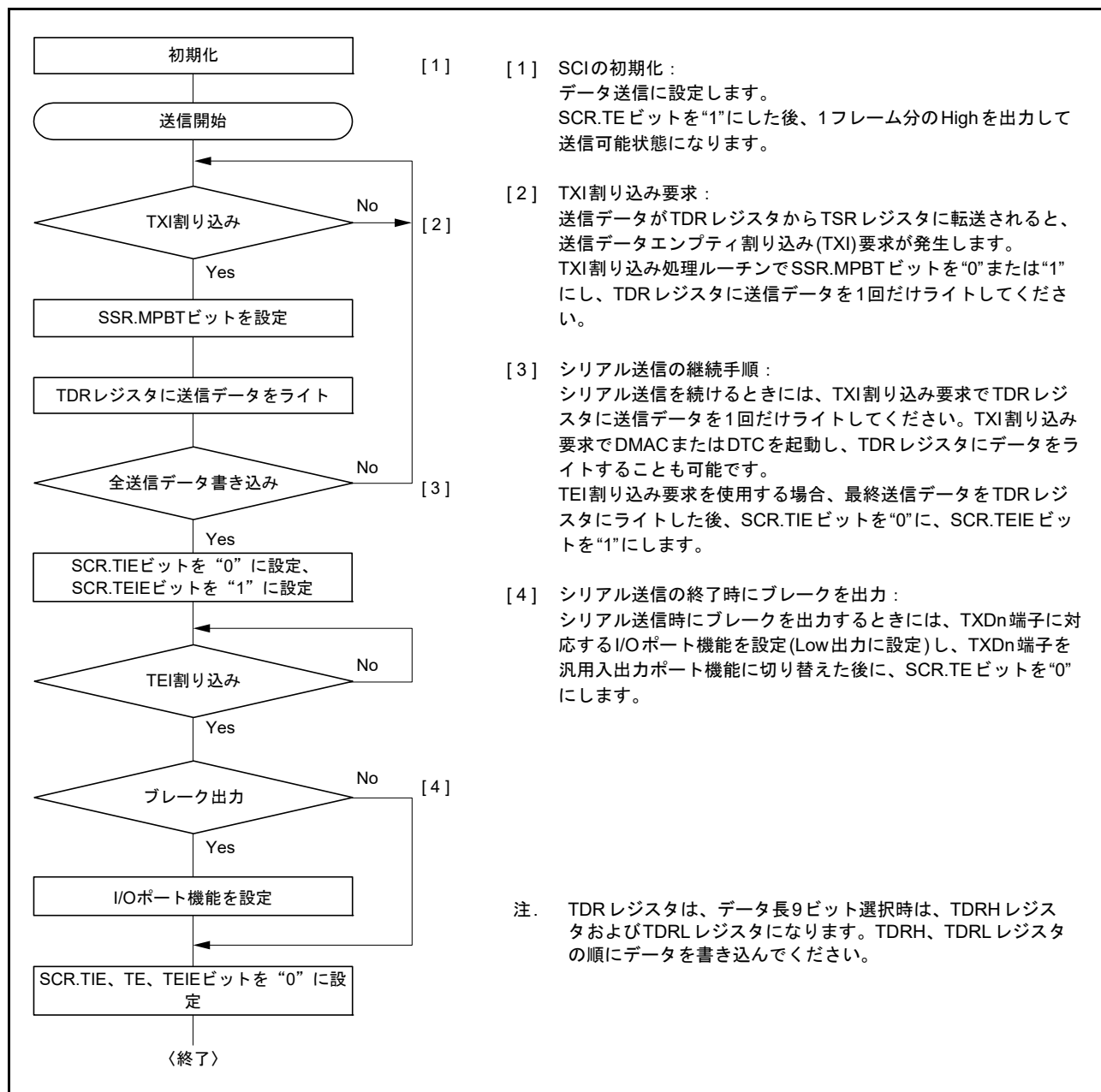


図 28.19 マルチプロセッサシリアル送信のフローチャートの例

28.4.2 マルチプロセッサシリアルデータ受信

図 28.21、図 28.22 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 28.20 に受信時の動作例を示します。

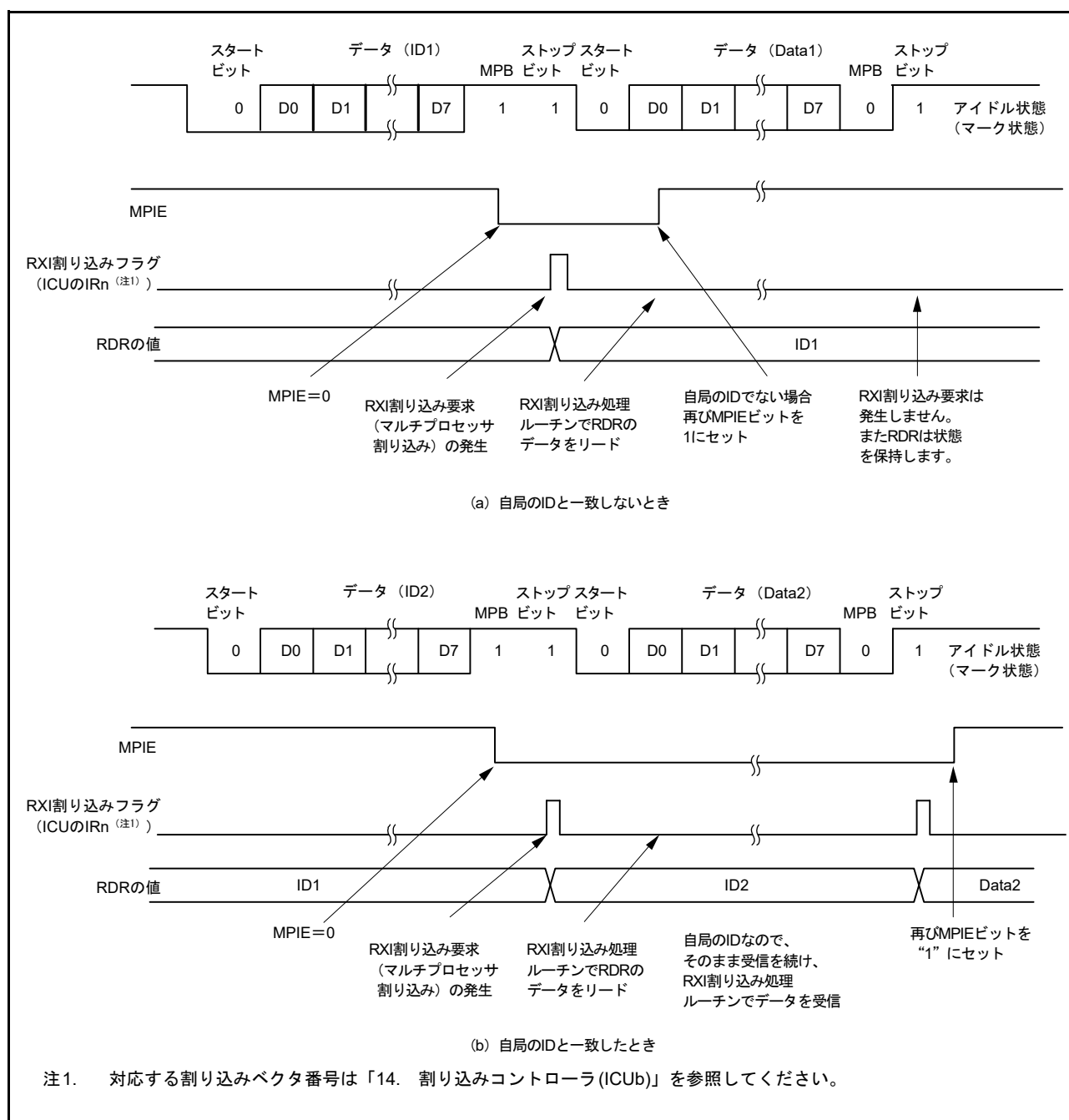


図 28.20 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

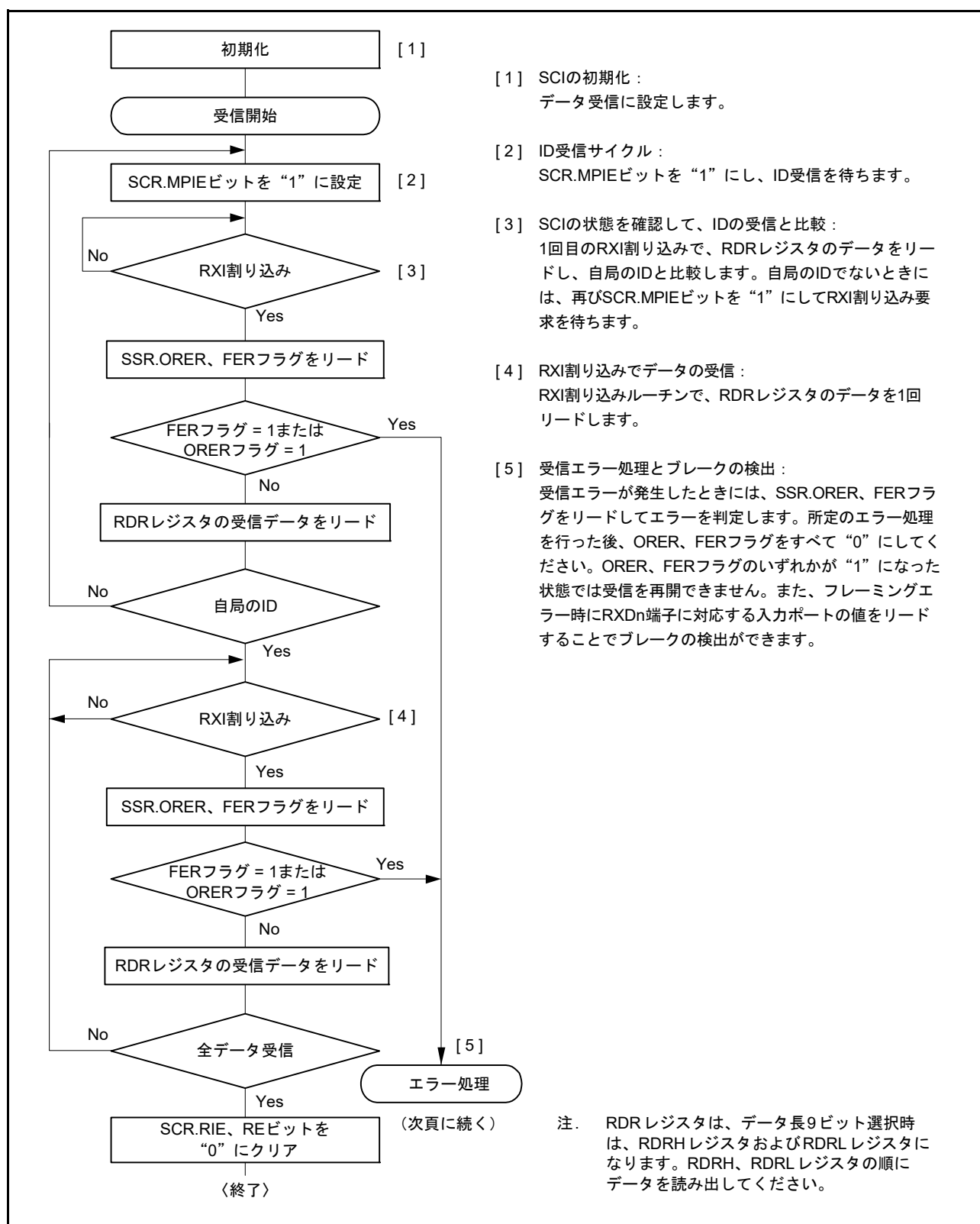


図 28.21 マルチプロセッサシリアル受信のフローチャートの例 (1)

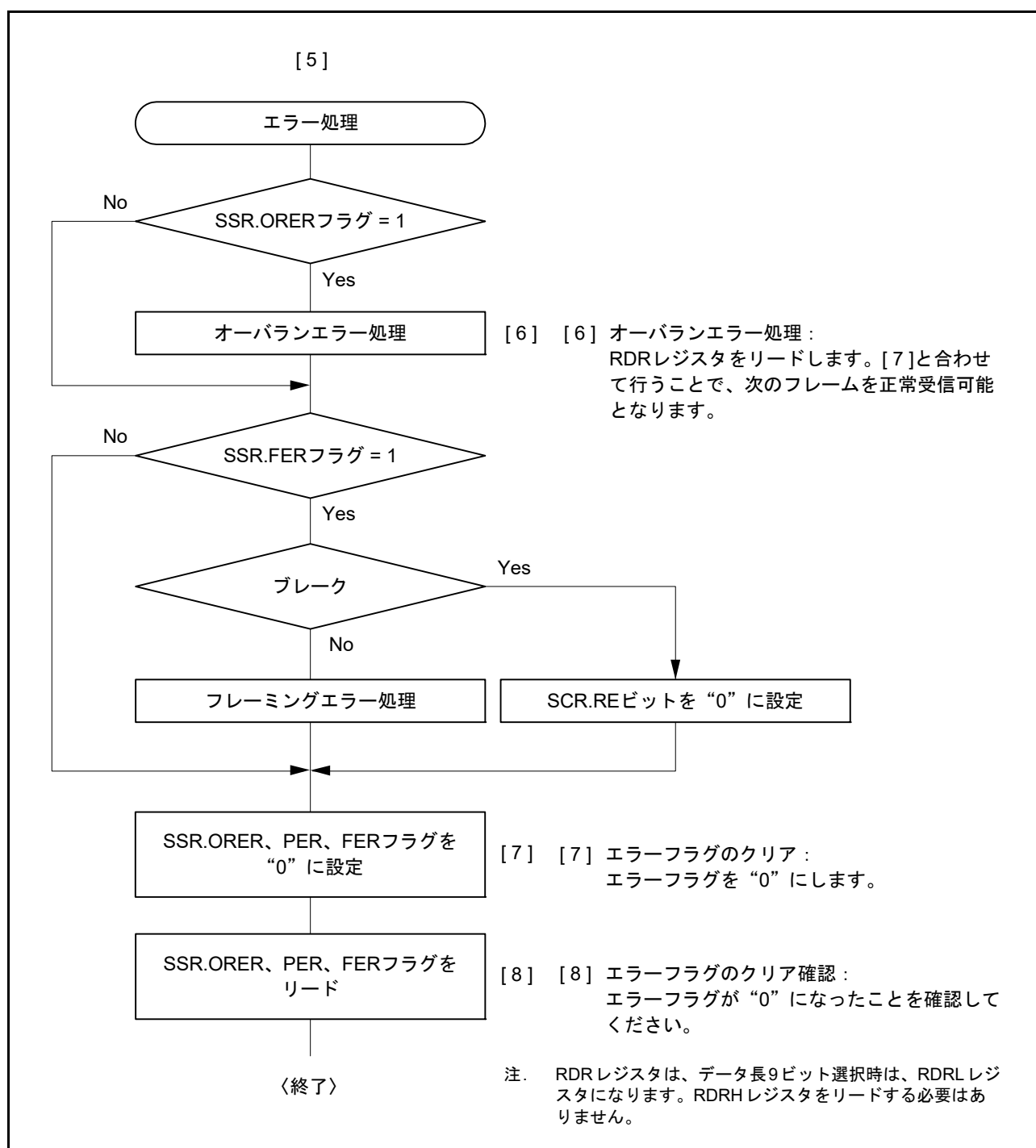


図 28.22 マルチプロセッサシリアル受信のフローチャートの例 (2)

28.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 28.23 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりから次の立ち上がりまでデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

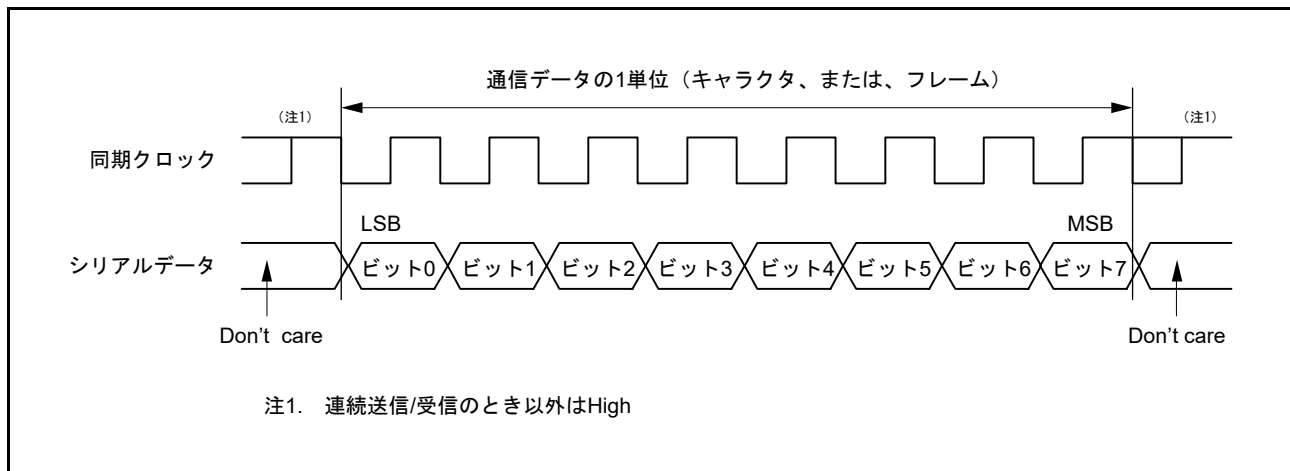


図 28.23 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

28.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバーランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバーランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

28.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 未読の受信データがない (SCR.RE ビットが“1”のとき)
- 未送信のデータがある (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

28.5.3 SCI の初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 28.24 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。

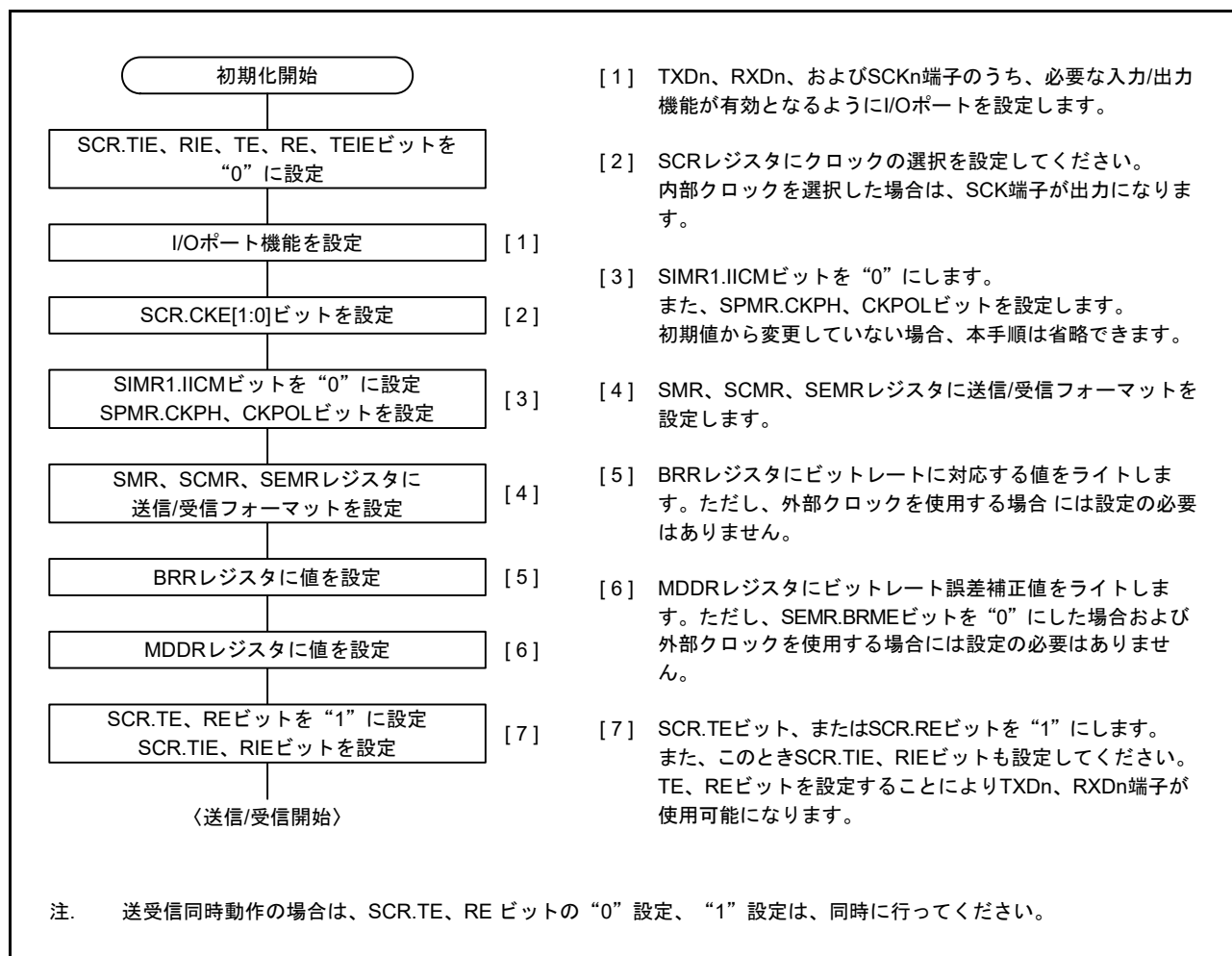


図 28.24 SCI の初期化フローチャートの例 (クロック同期式モード)

28.5.4 シリアルデータの送信 (クロック同期式モード)

図 28.25、図 28.26、図 28.27 にクロック同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力 Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 28.28 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけではクリアされませんので注意してください。

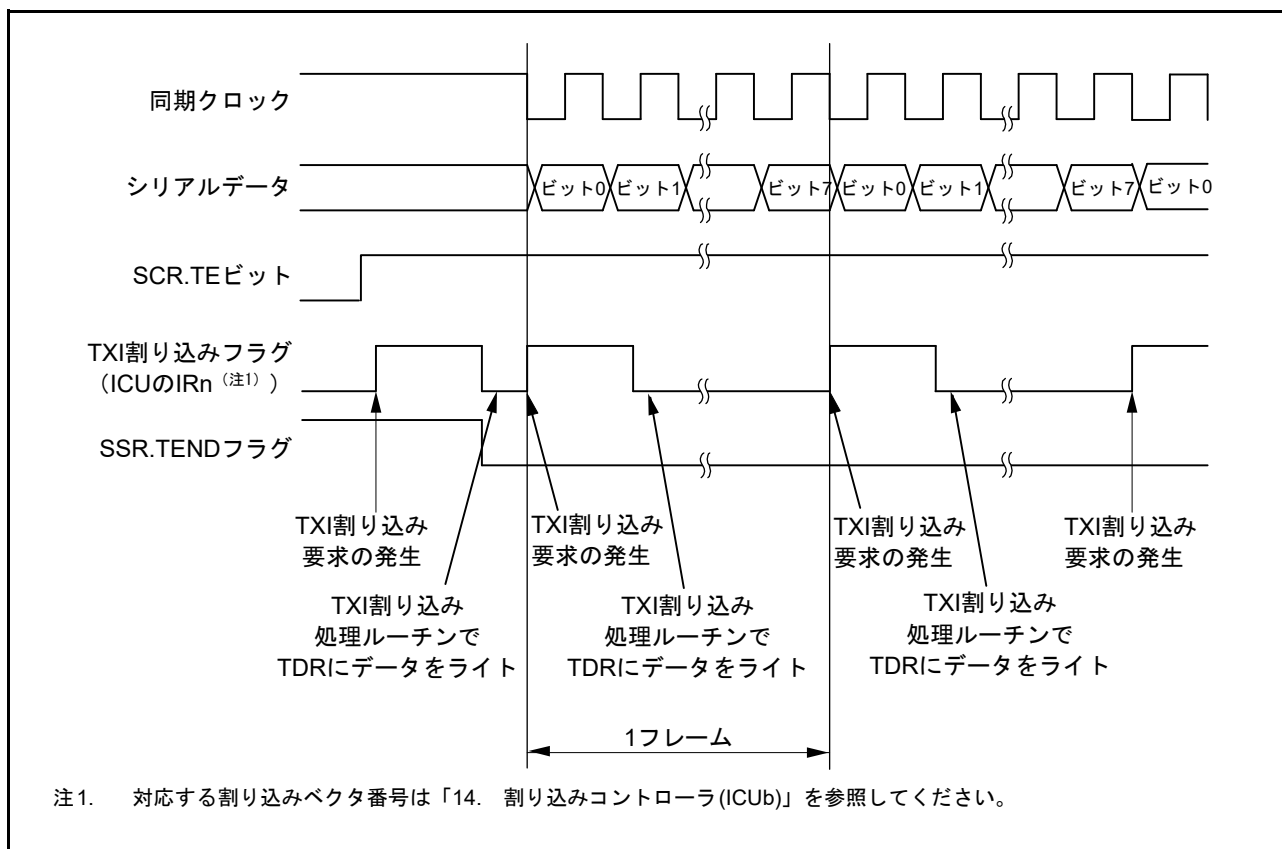


図 28.25 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

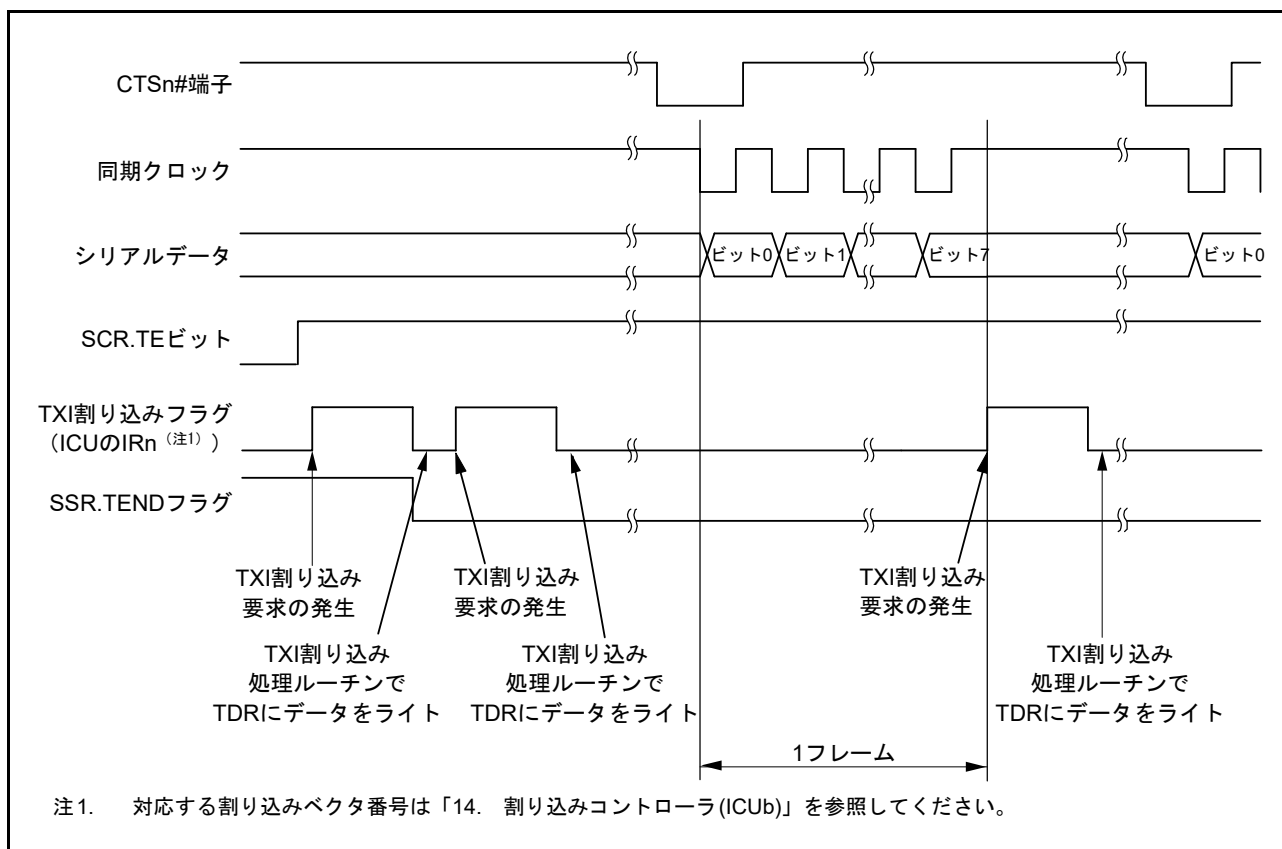


図 28.26 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

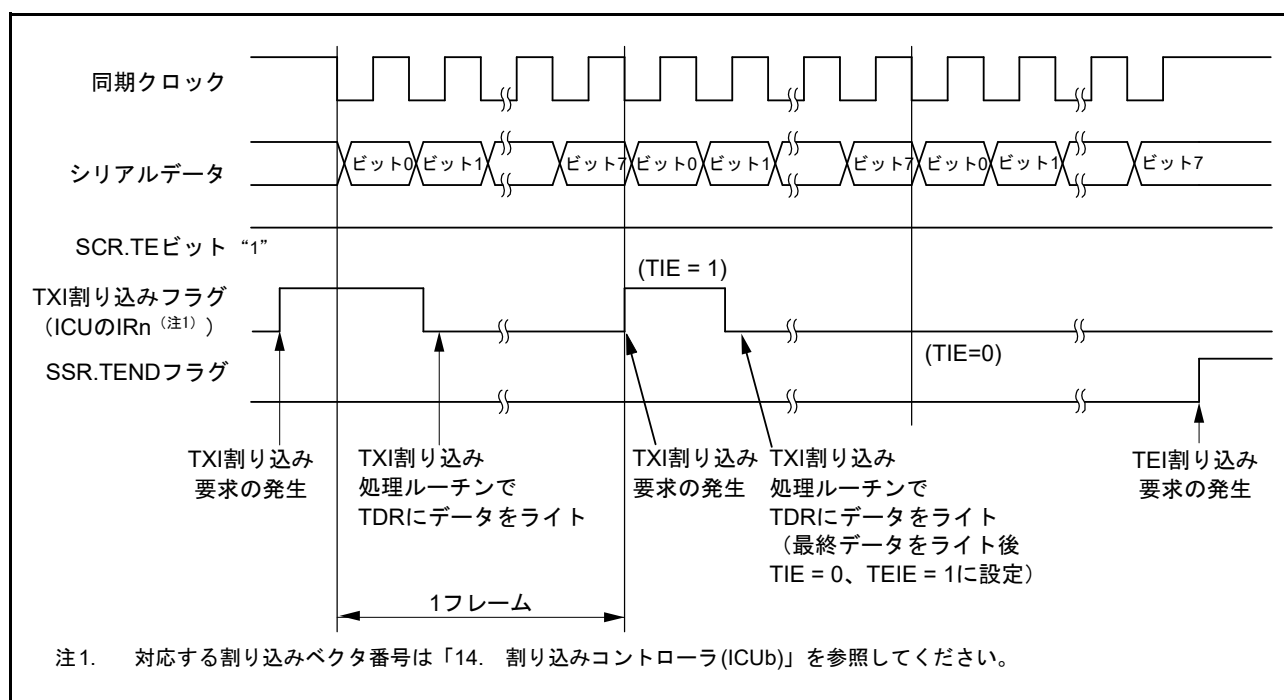


図 28.27 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

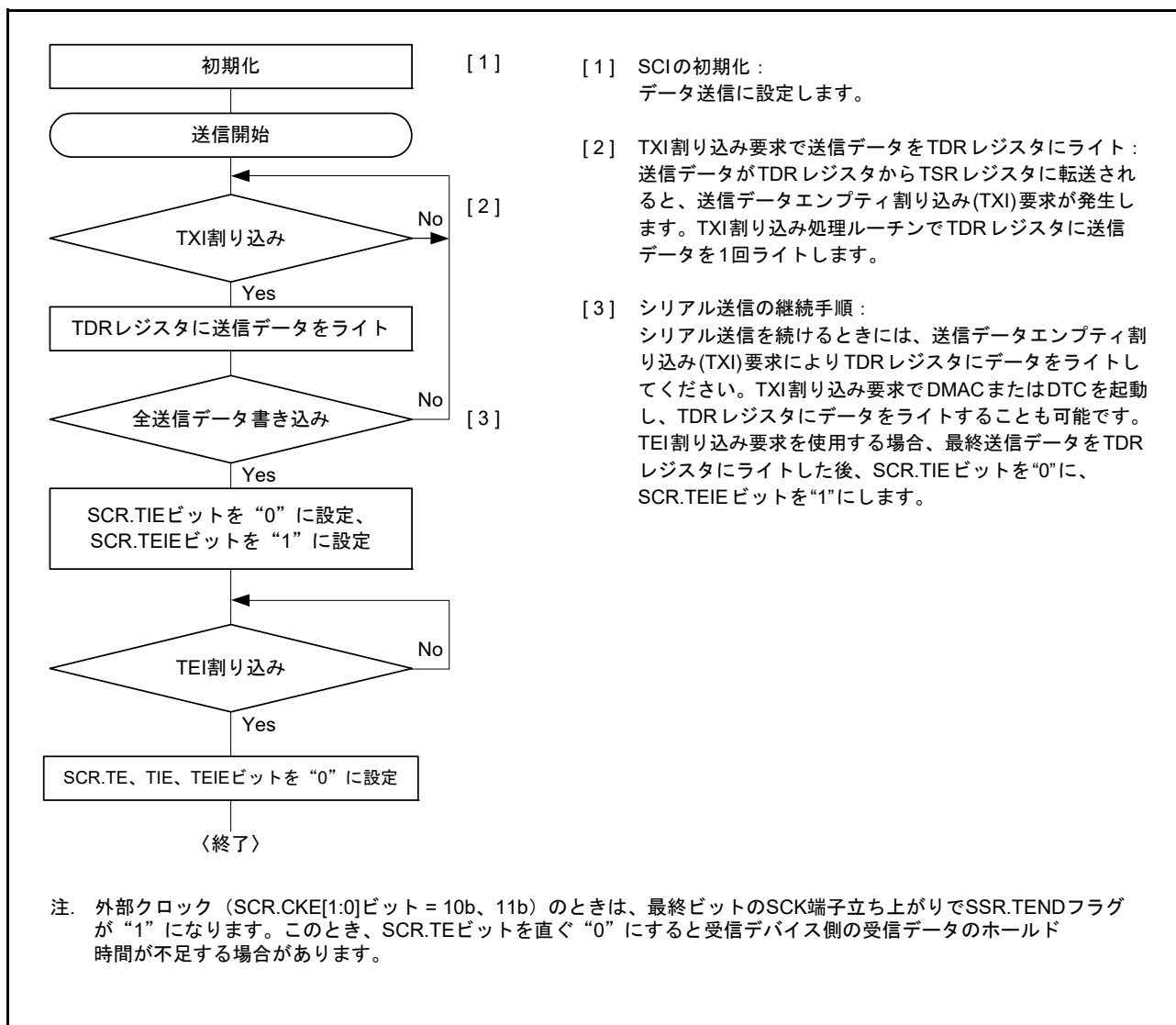


図 28.28 クロック同期式モードのシリアル送信のフローチャート例

28.5.5 シリアルデータの受信 (クロック同期式モード)

図 28.29、図 28.30 にクロック同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします (RTS 機能使用時)。

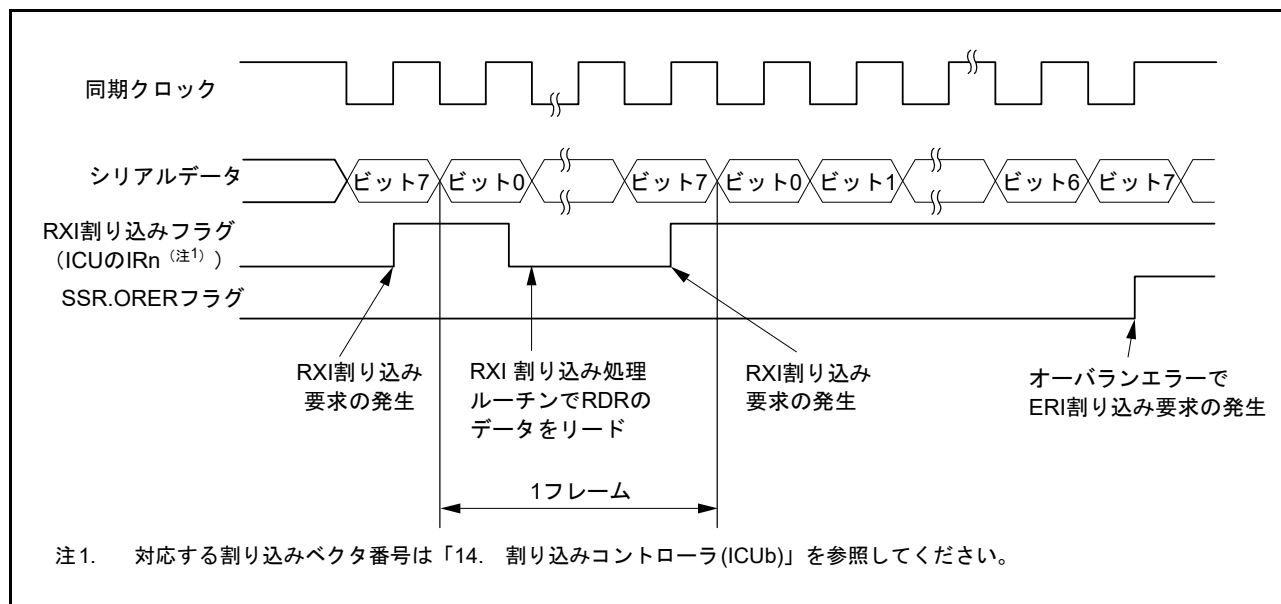


図 28.29 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

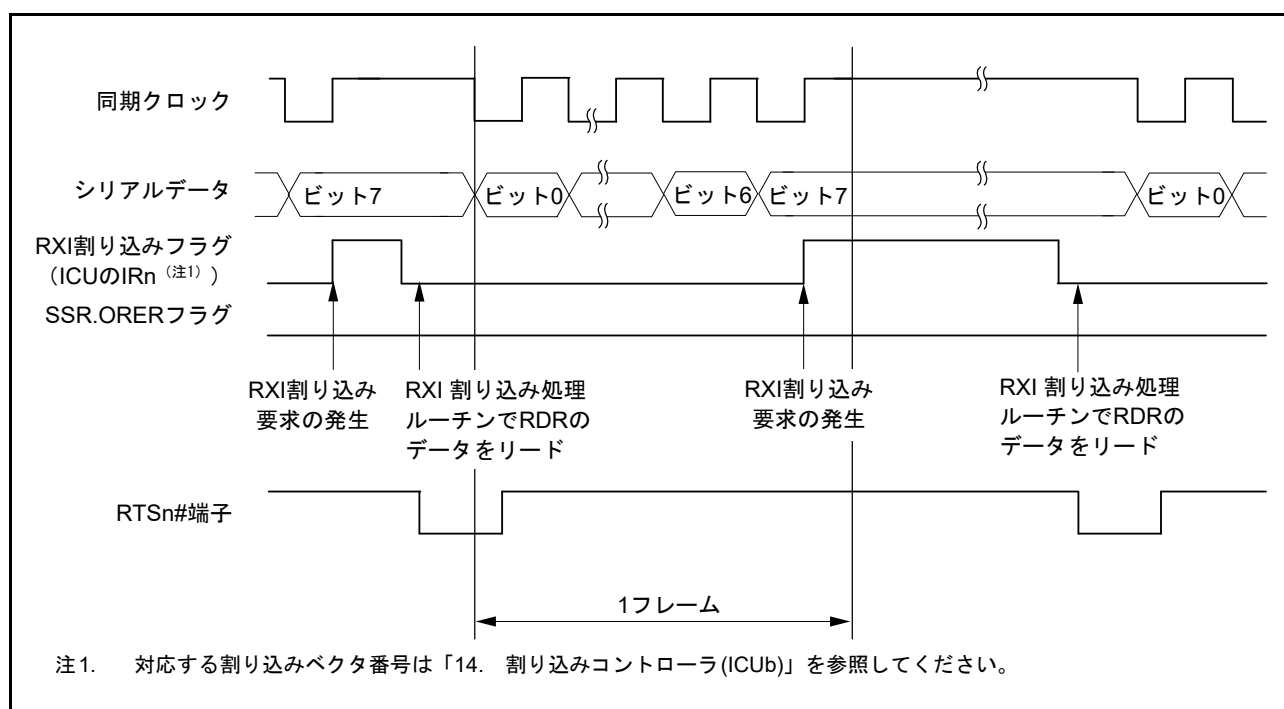


図 28.30 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 28.31 にシリアル受信のフローチャートの例を示します。

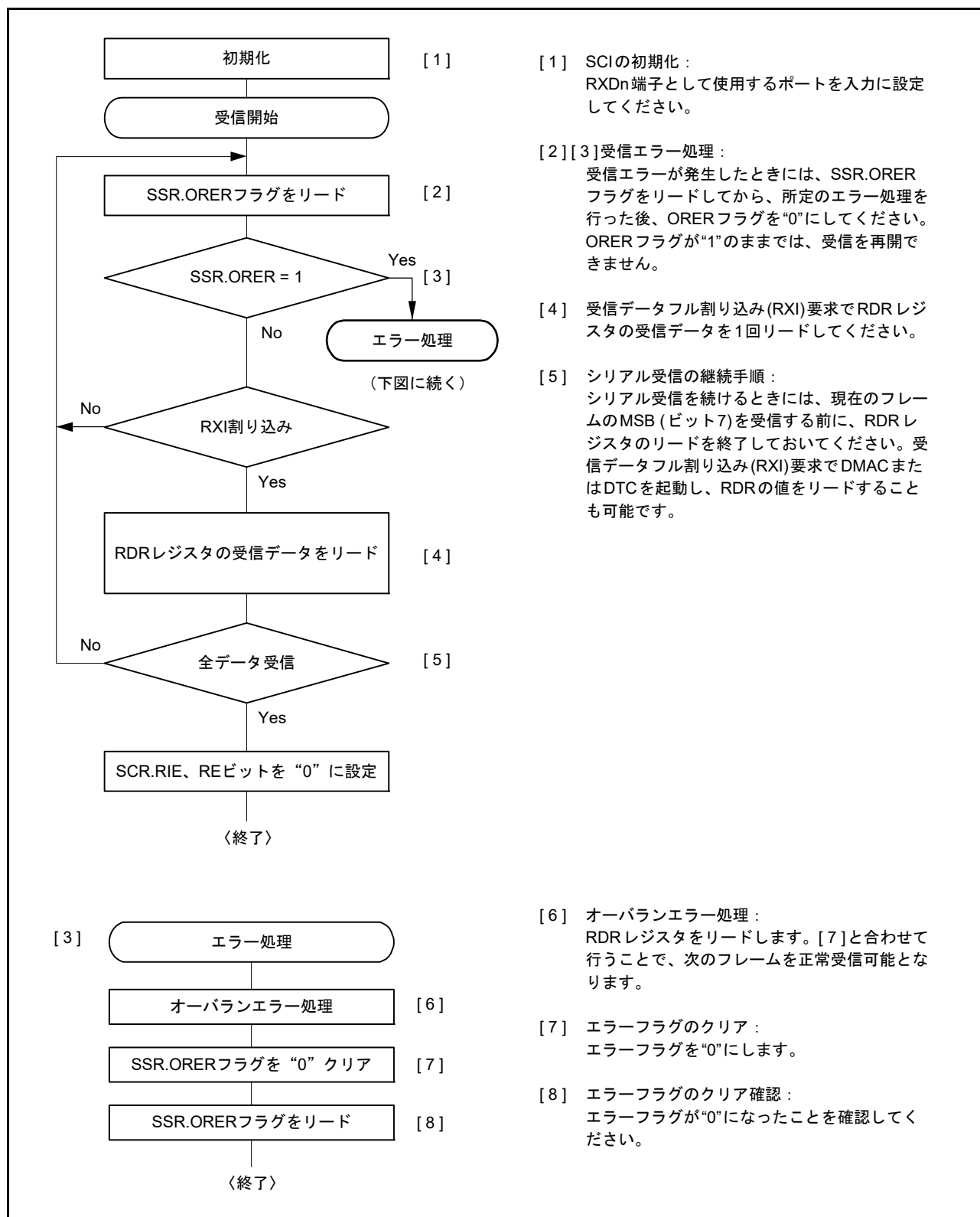


図 28.31 クロック同期式モードのシリアル受信のフローチャート例

28.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 28.32 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

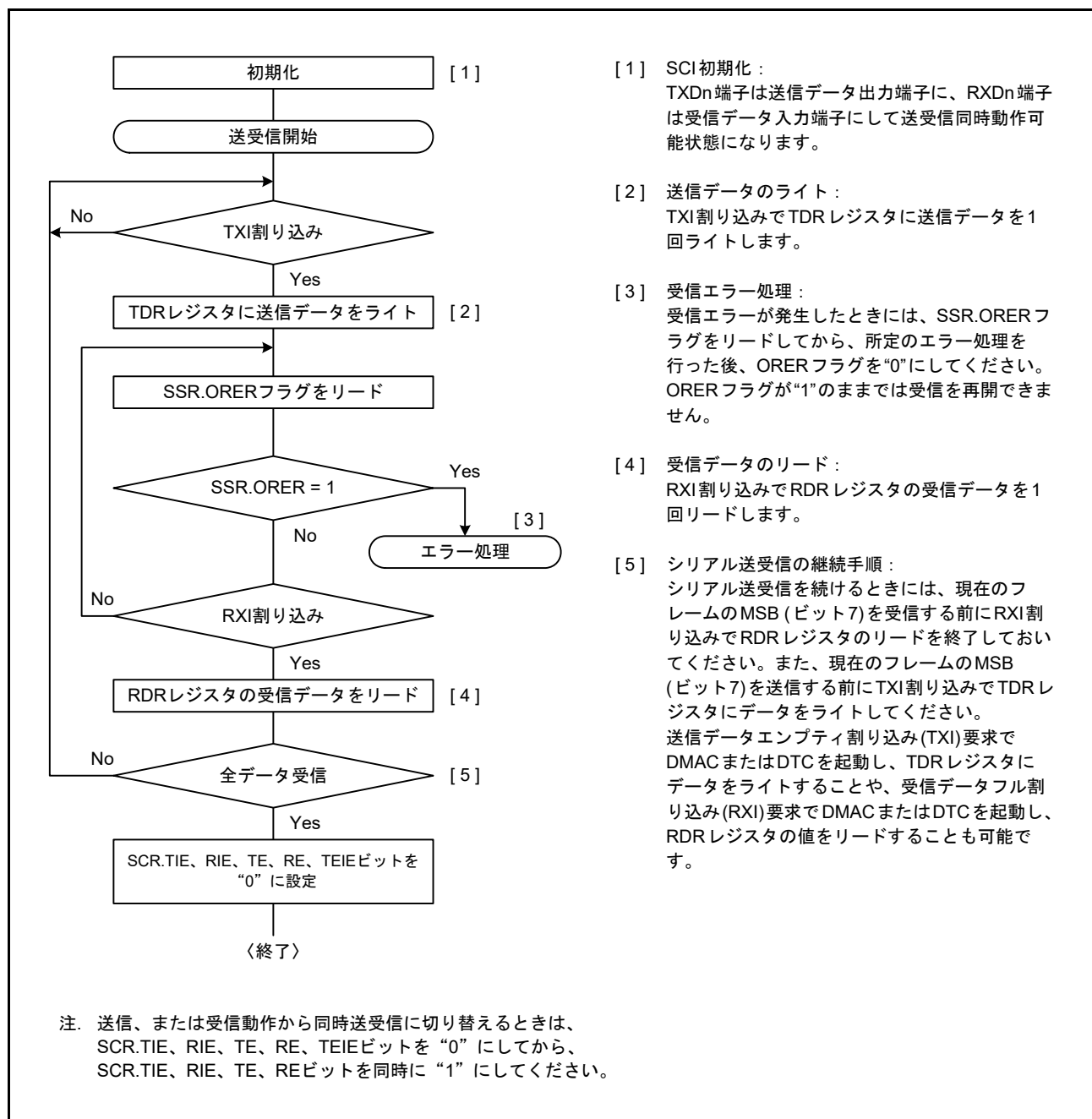


図 28.32 クロック同期式モードのシリアル送受信同時動作のフローチャート例

28.6 スマートカードインタフェースモードの動作

SCI の拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

28.6.1 接続例

図 28.33 にスマートカード (IC カード) との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

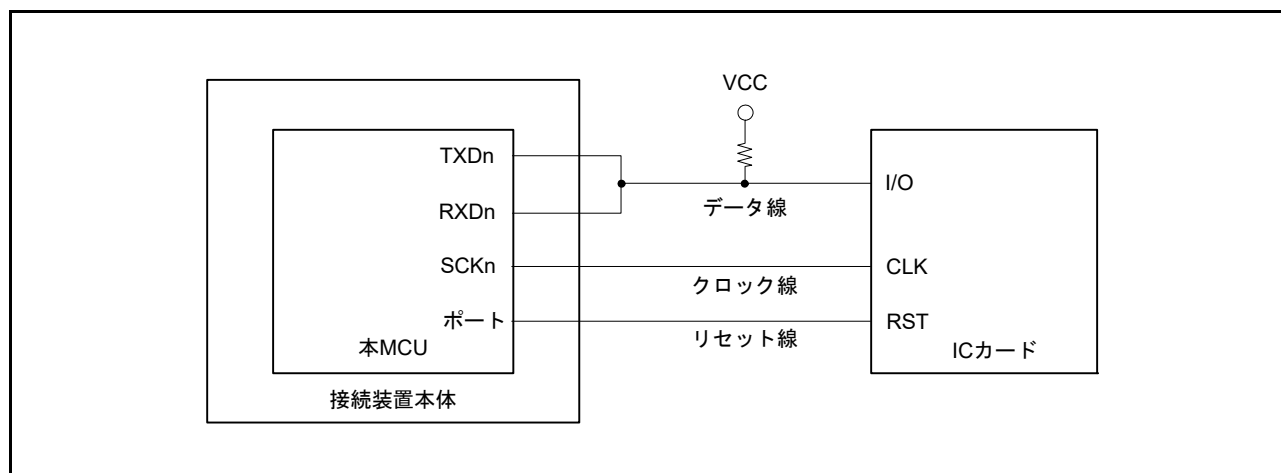


図 28.33 スマートカード (IC カード) との接続例

28.6.2 データフォーマット (ブロック転送モード時を除く)

図 28.34 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

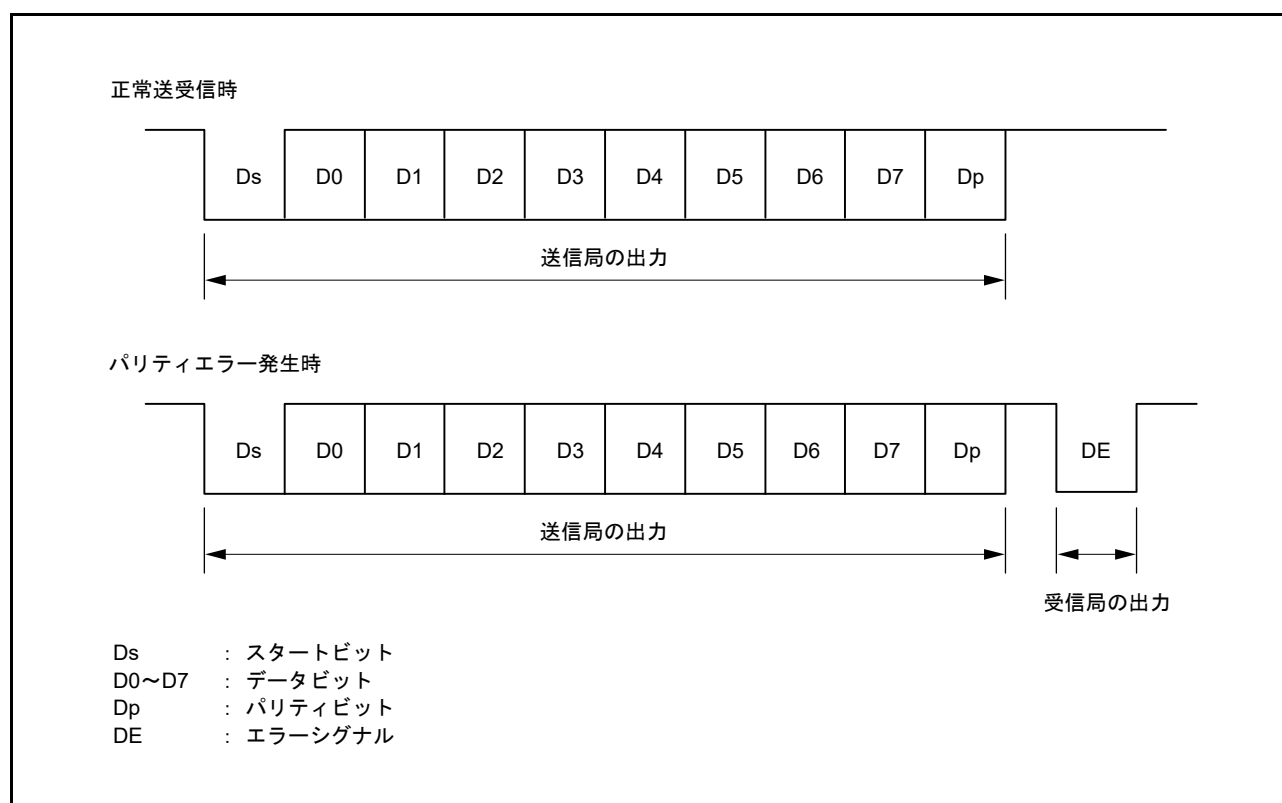


図 28.34 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 28.35 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 28.35 の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには“0”を設定してください。

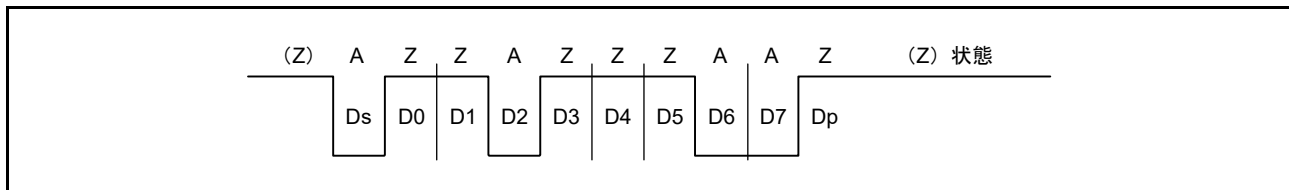


図 28.35 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 28.36 の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR.PM ビットに“1”を設定してパリティビットを反転させてください。

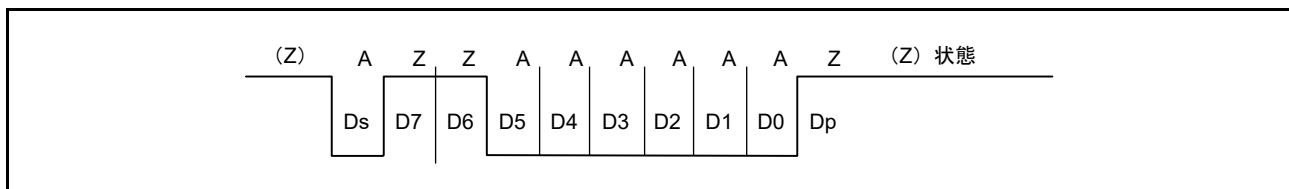


図 28.36 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

28.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

28.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使える送受信クロックは、内蔵ボーレートジェネレータが生じた基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期化します。図 28.37 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%)$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D: クロックデューティ (D = 0 ~ 1.0)

L: フレーム長 (L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

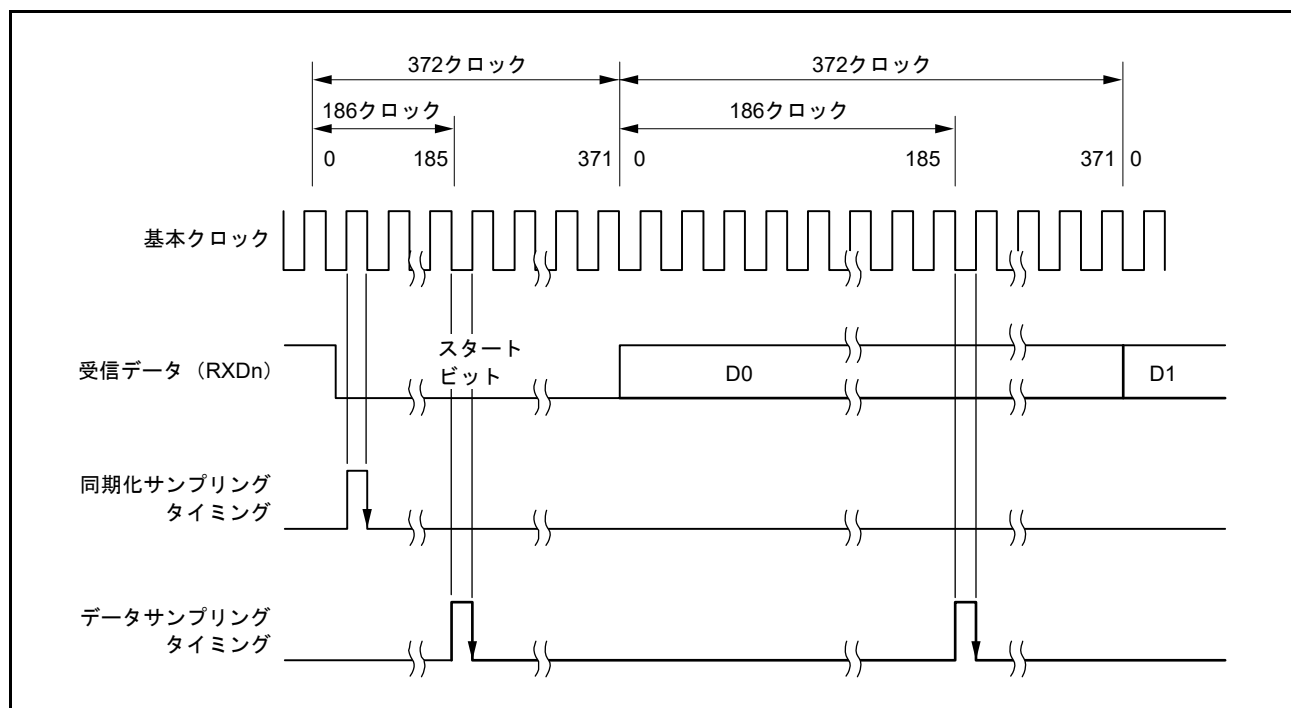


図 28.37 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

28.6.5 SCI の初期化 (スマートカードインタフェースモード)

図 28.38 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを “00b” にする必要はありません。なお、RE ビットを “0” にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 28.38 の [1] と [3] を実施し、[11] で TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 28.38 の [1] と [3] を実施し、[11] で TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

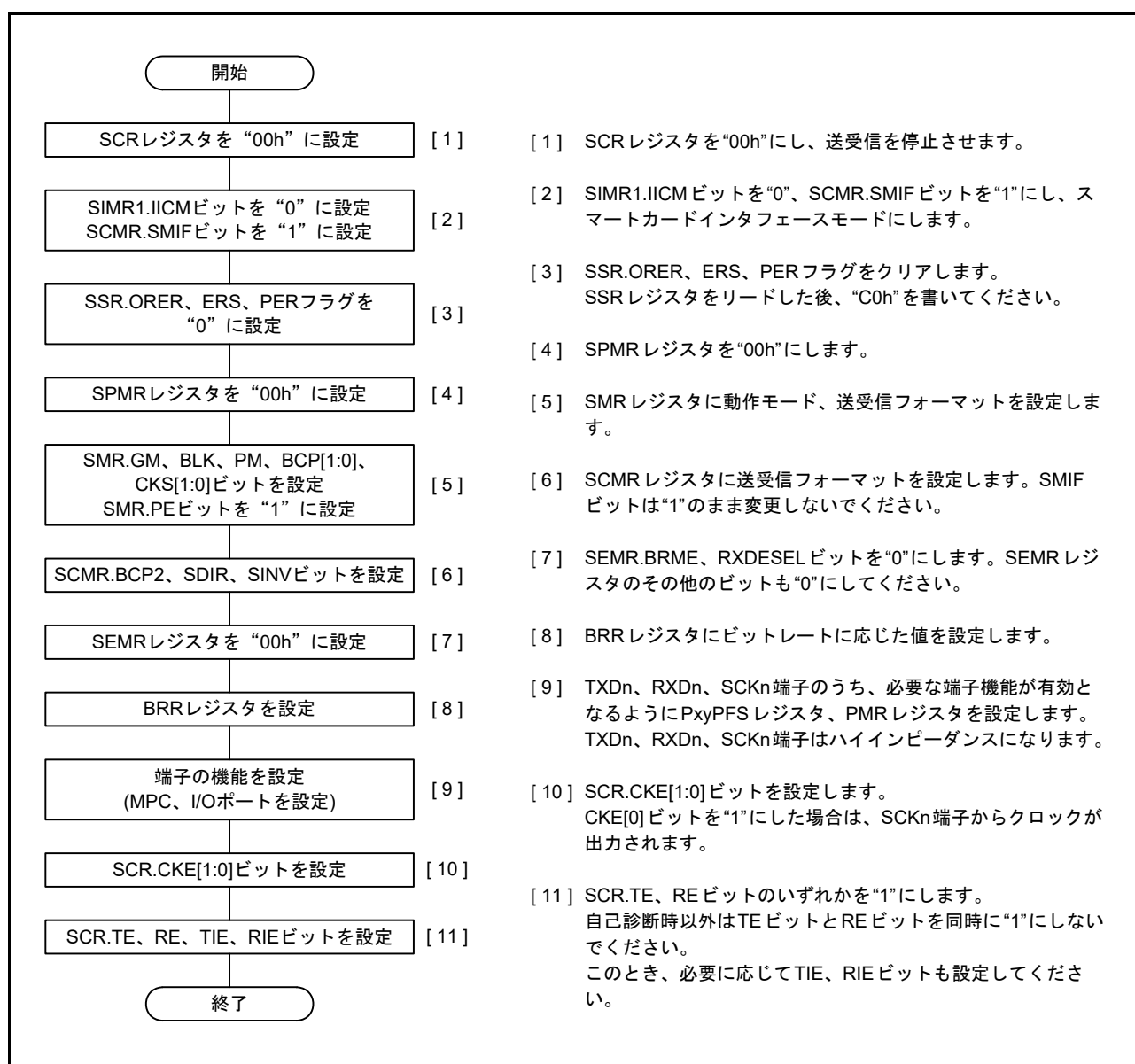


図 28.38 SCI の初期化フローチャートの例 (スマートカードインタフェースモード)

図 28.39 は、リセット解除後に図 28.38 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”(クロック出力)であれば、クロックを出力し続けます。

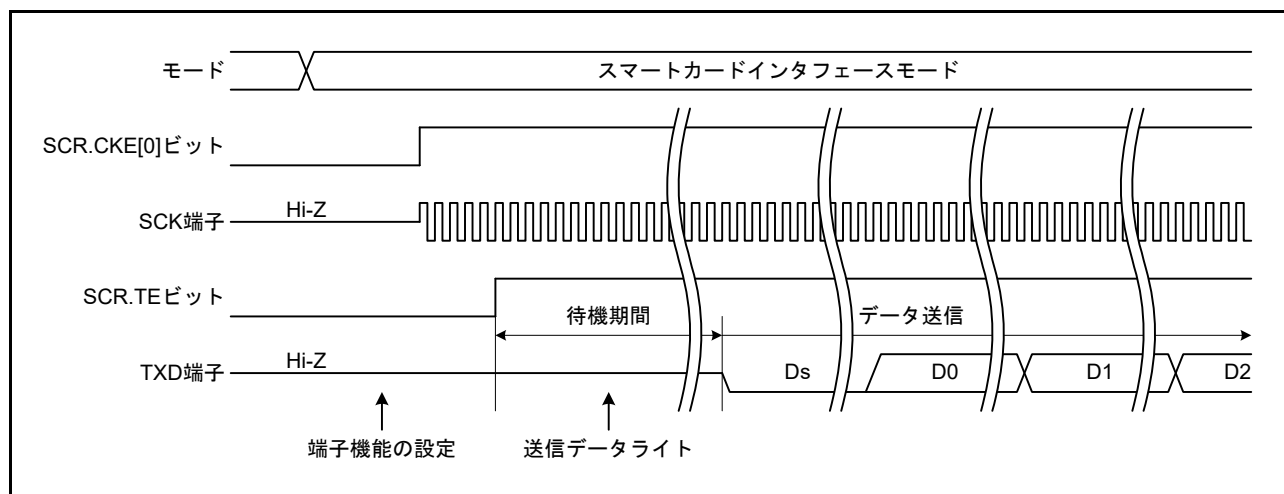


図 28.39 スマートカードインタフェースモード時のデータ送信タイミング例

28.6.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 28.40 に示します。

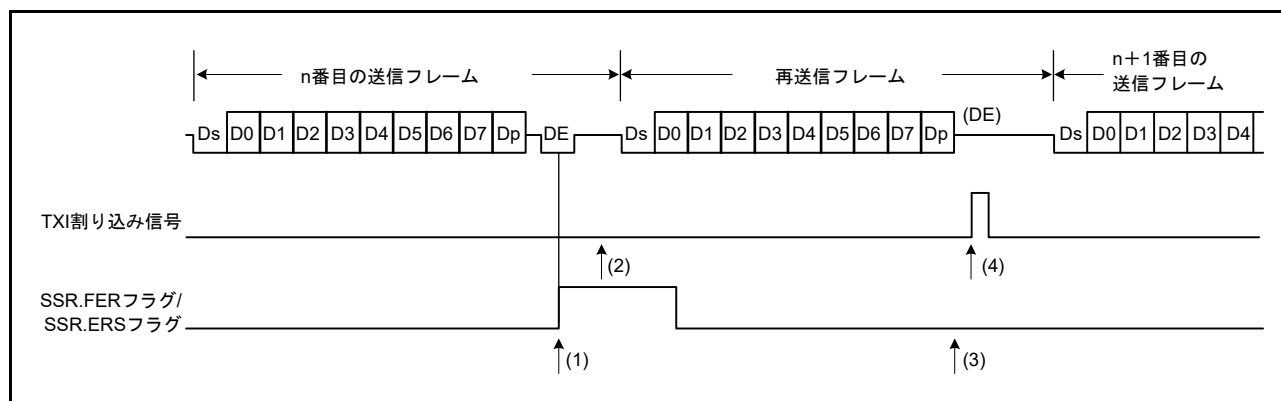


図 28.40 SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 28.41 に示します。

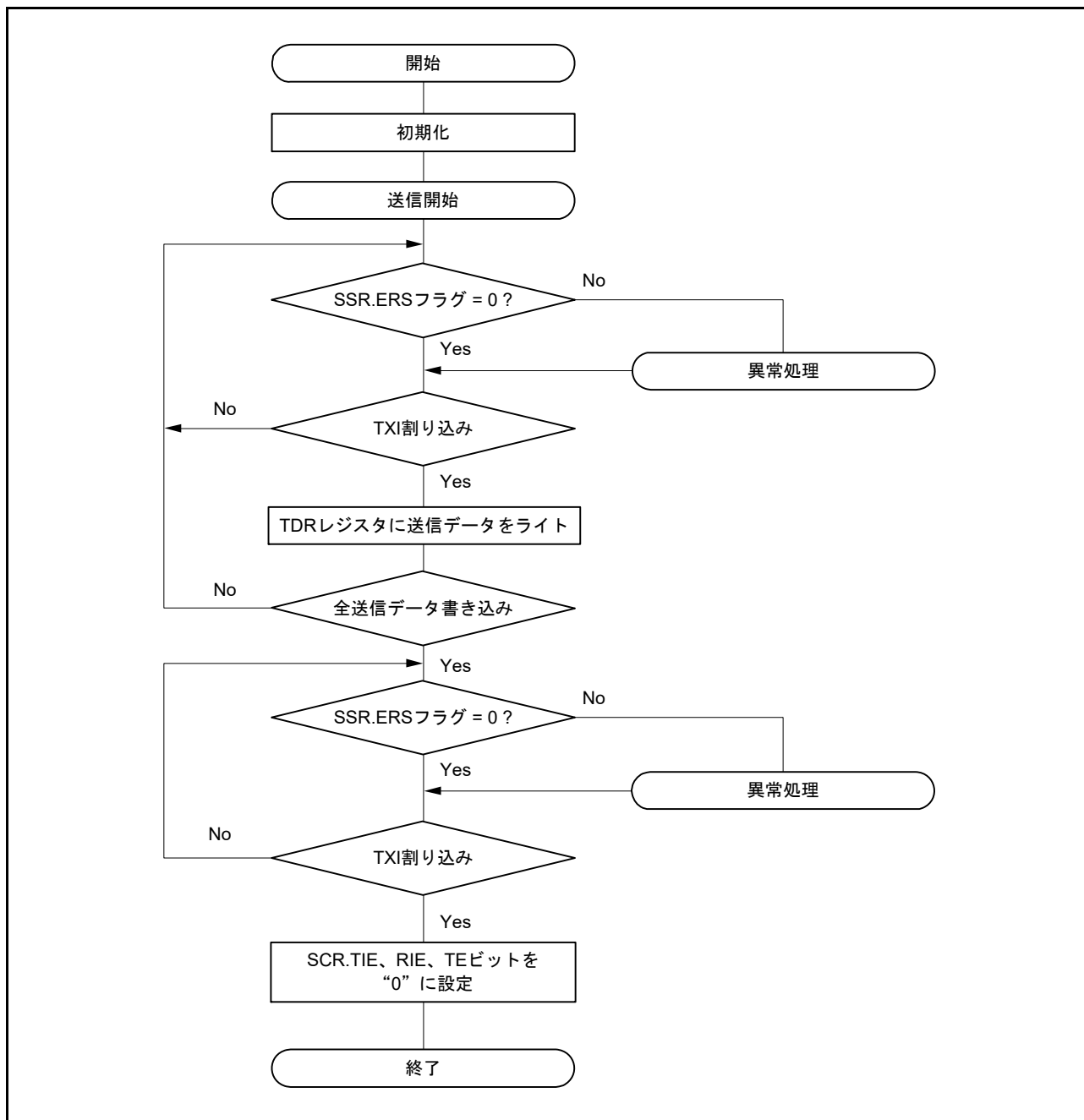


図 28.41 スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的

にはクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCa)」、「17. DMA コントローラ (DMACA)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 28.42 に TEND フラグ発生タイミングを示します。

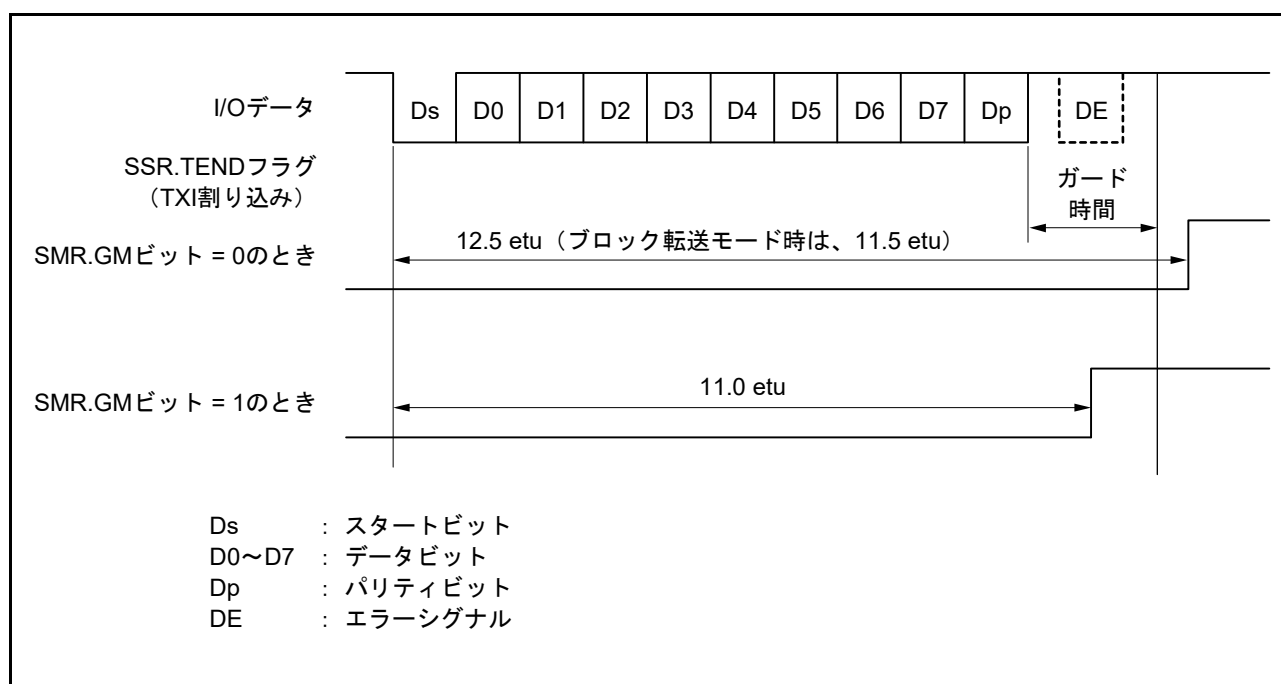


図 28.42 送信時の SSR.TEND フラグの発生タイミング

28.6.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 28.43 に示します。

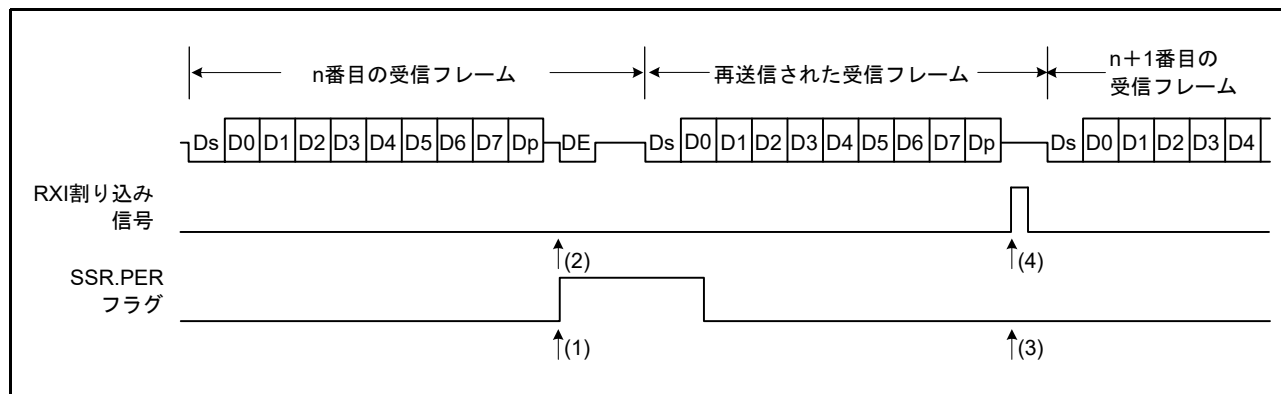


図 28.43 SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

- (1) 受信データにパリティエラーを検出すると SSR.PER フラグが“1”になります。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
- (4) 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 28.44 に示します。

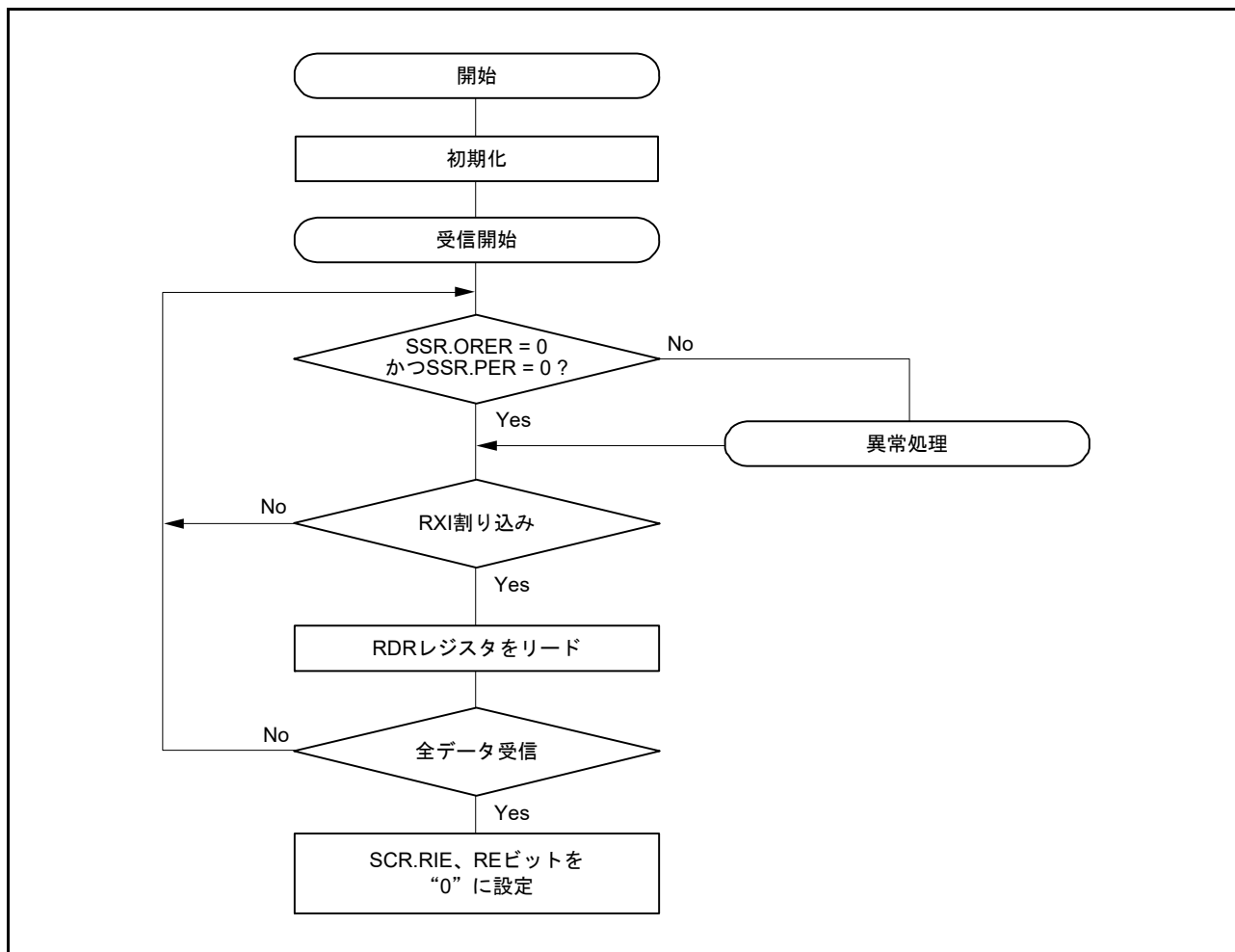


図 28.44 スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注． ブロック転送モードの場合は、「28.3 調歩同期式モードの動作」を参照してください。

28.6.8 クロック出力制御

SMR.GM ビットが “1” であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを “01b” (クロック出力) にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数 (ビットレート) の設定については、「28.2.11 ビットレートレジスタ (BRR)」を参照してください。CKE[1:0] ビットを “00b” (Low 出力固定) や “10b” (High 出力固定) にすると、SCK 端子から Low や High を出力できます。

図 28.45 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが “0” (非 GSM モード) の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

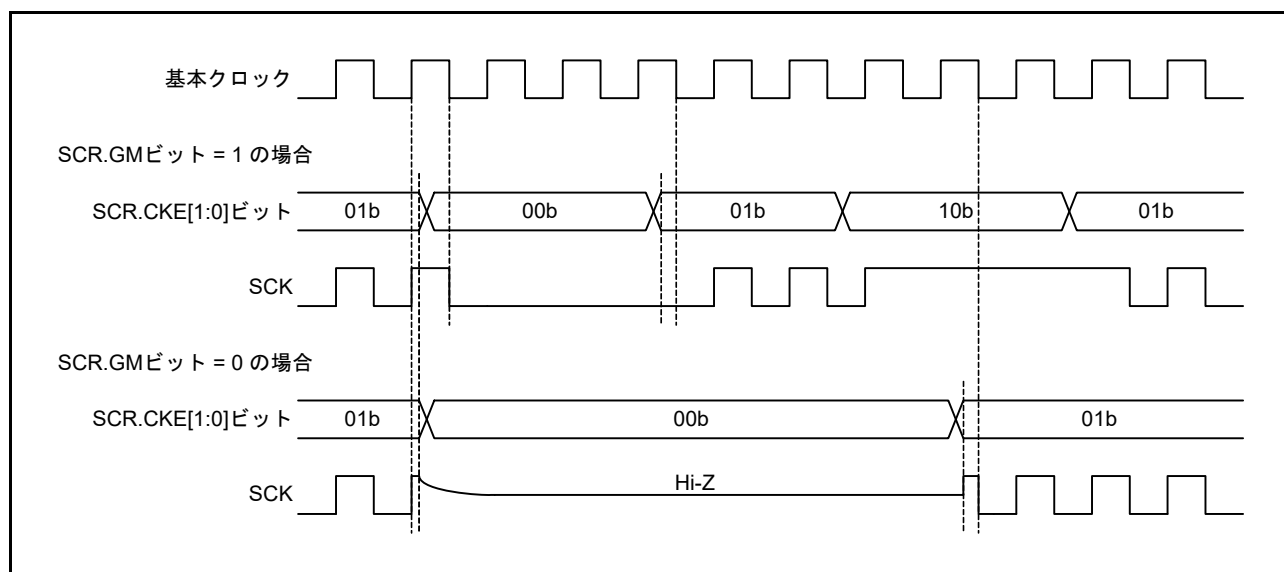


図 28.45 クロック出力制御

28.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 28.46 に I²C バスフォーマットを、図 28.47 に I²C バスタイミングを示します。

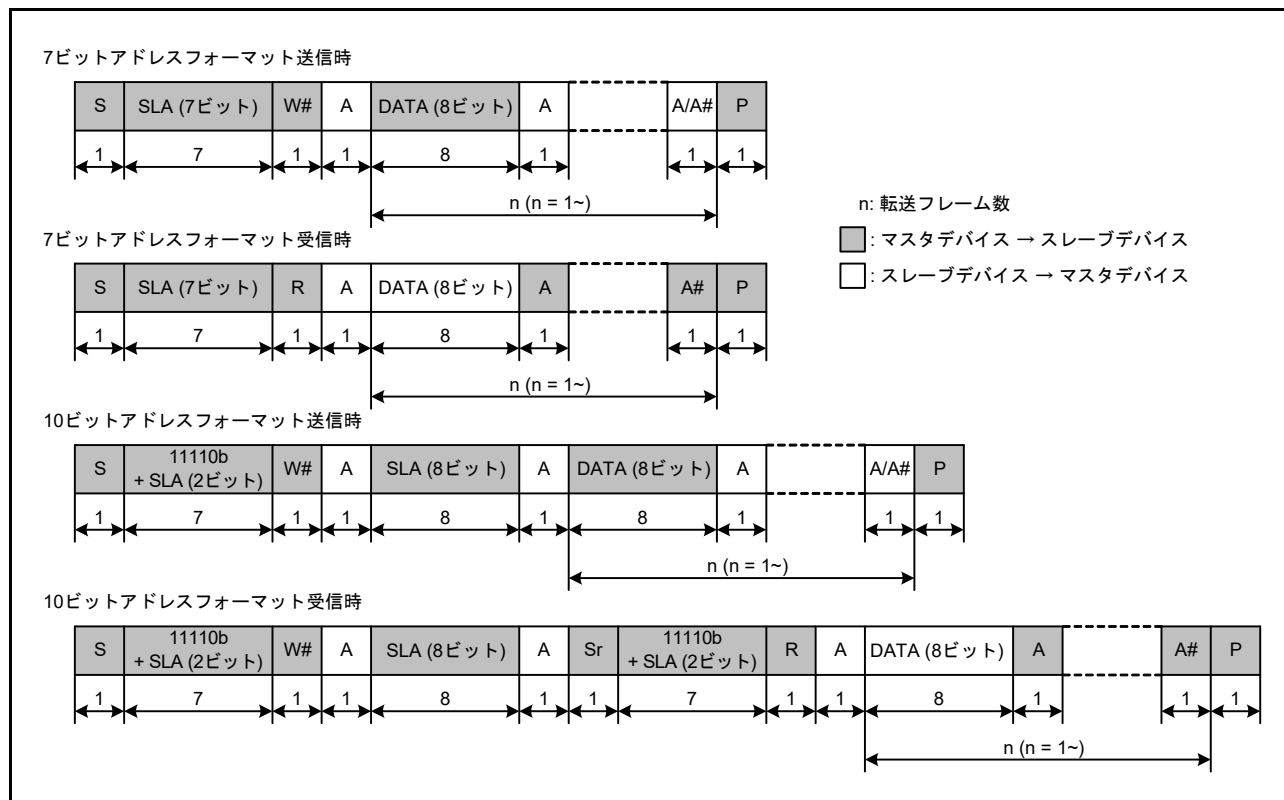


図 28.46 I²C バスフォーマット

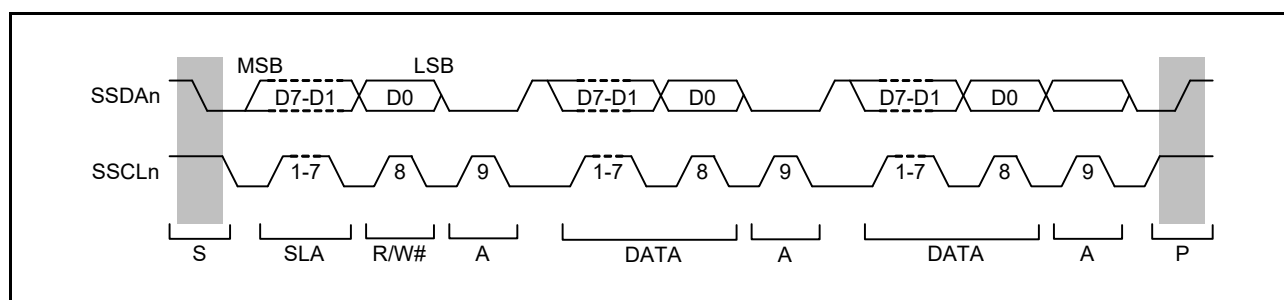


図 28.47 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態、SSDAnラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態、セットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態、SSDAnラインがLowからHighに変化します。

28.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 28.48 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

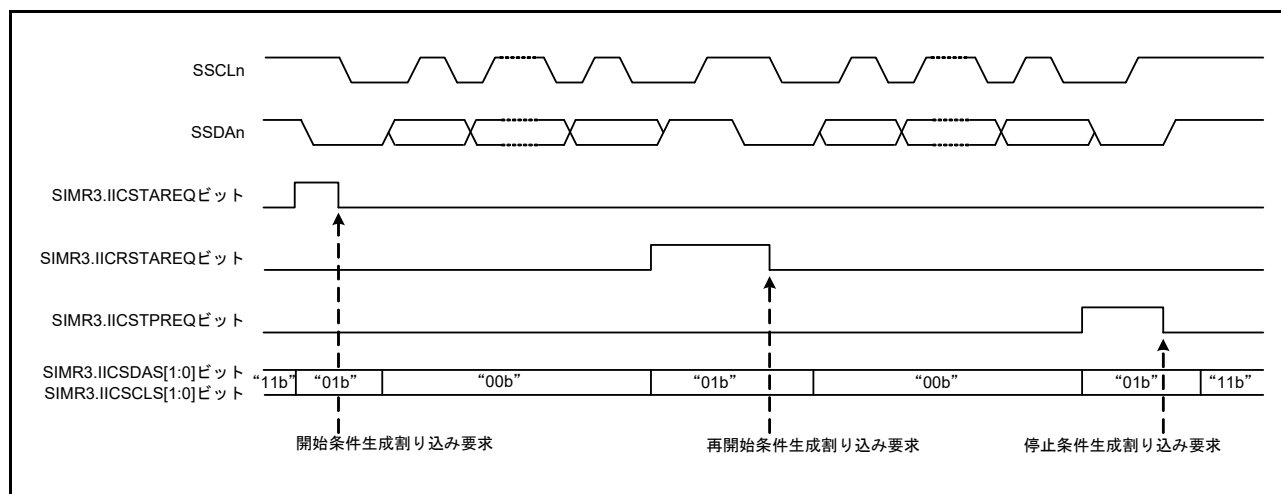


図 28.48 開始条件、再開条件、停止条件生成の動作タイミング

28.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 28.49 にクロック同期化の動作例を示します。

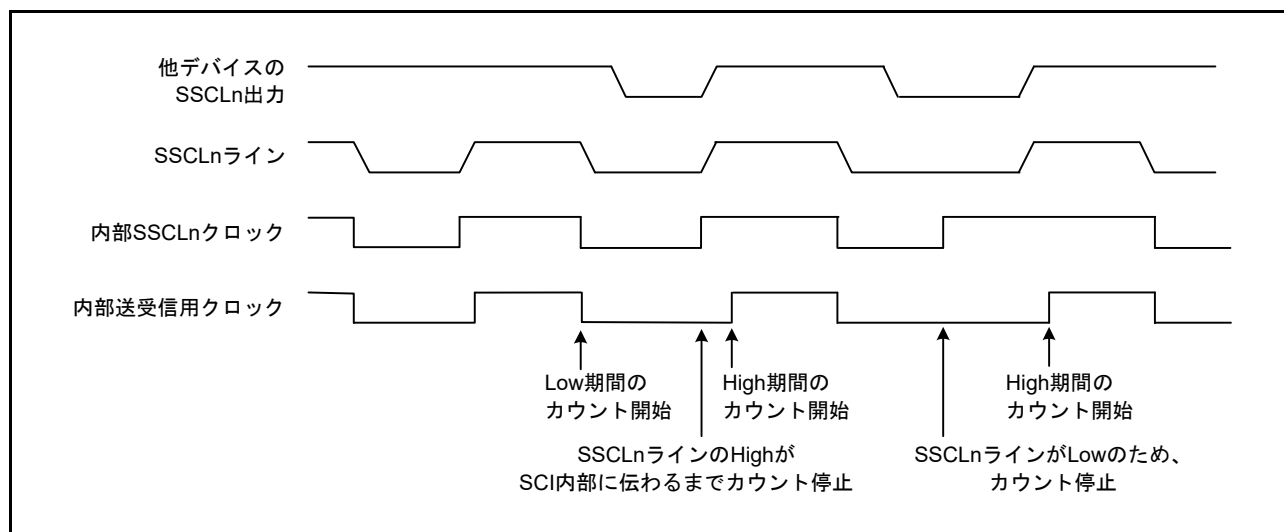


図 28.49 クロック同期化の動作例

28.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ボーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 28.50 に SSDA 出力遅延のタイミングを示します。

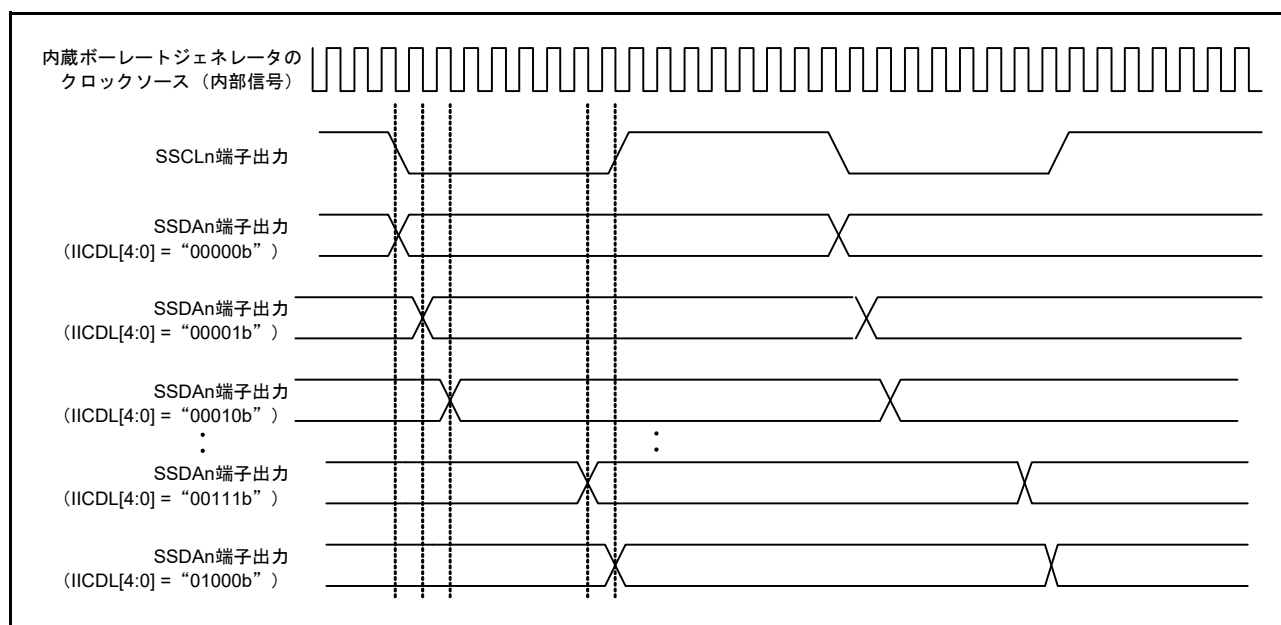
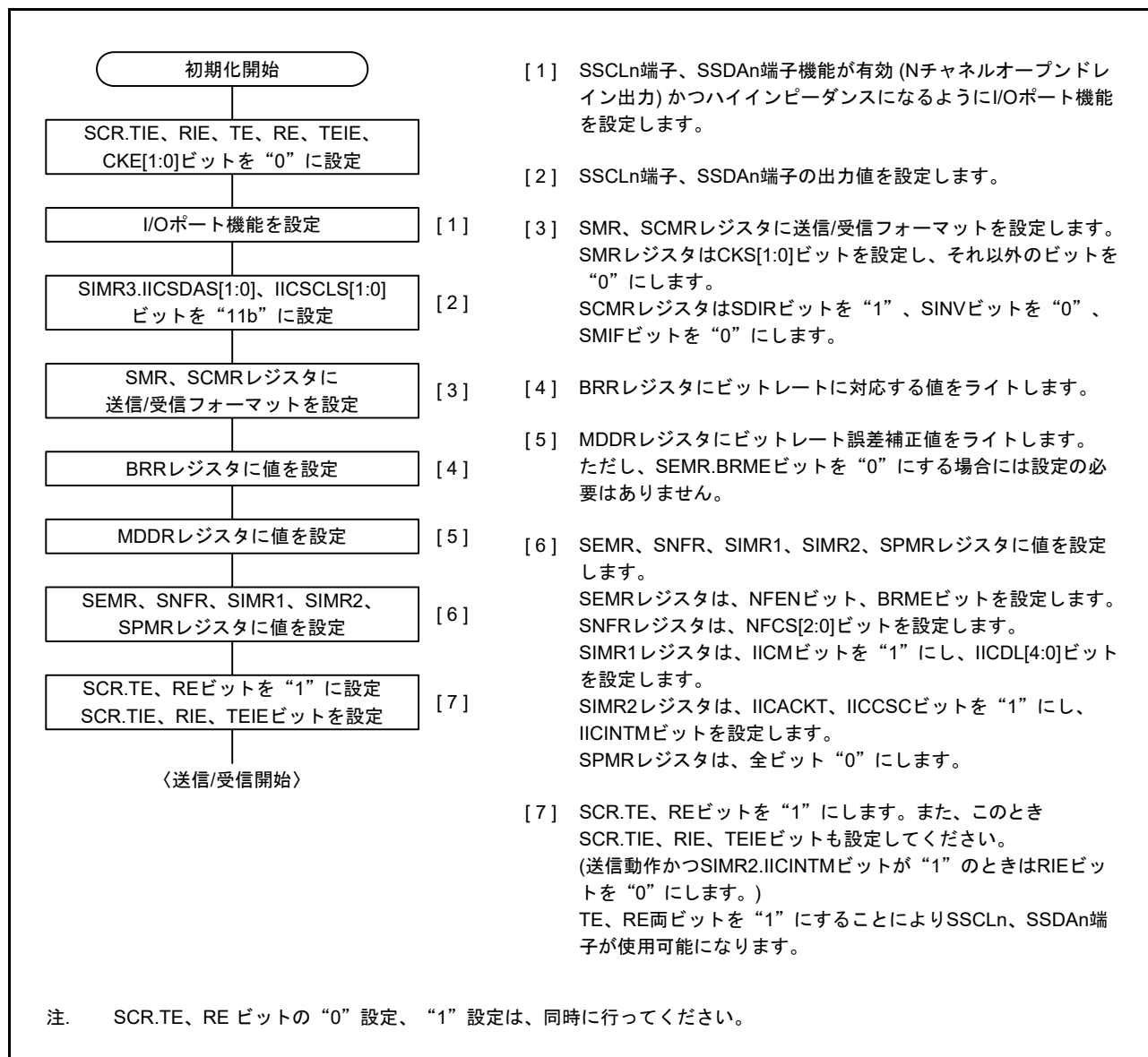


図 28.50 SSDA 出力遅延のタイミング

28.7.4 SCI の初期化 (簡易 I²C モード)

データの送受信前に、SCR レジスタに初期値 “00h” を書き込み、図 28.51 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR レジスタを初期値にしてから変更してください。また、簡易 I²C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

図 28.51 SCI の初期化フローチャート例 (簡易 I²C モード)

28.7.5 マスタ送信動作 (簡易 I²C モード)

図 28.52、図 28.53 に簡易 I²C モードのマスタ送信の動作例を、図 28.54 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 28.33 を参照してください。

10 ビットスレーブアドレス時は、図 28.54 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

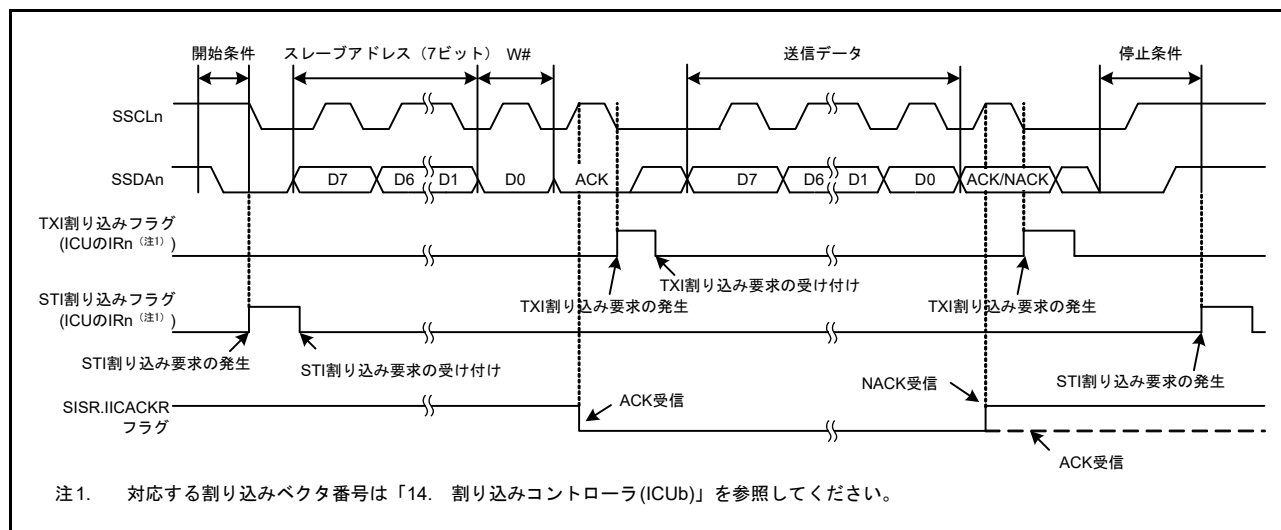


図 28.52 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

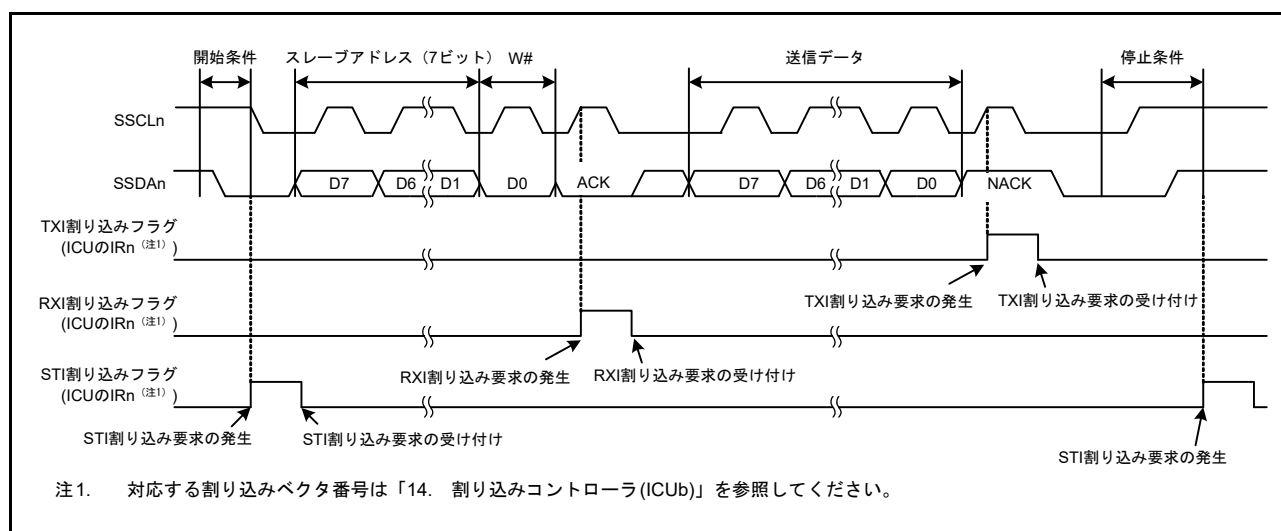
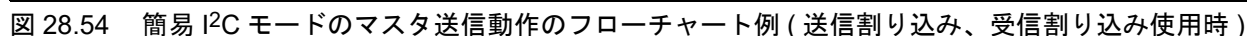


図 28.53 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)



28.7.6 マスタ受信動作 (簡易 I²C モード)

図 28.55 に簡易 I²C モードのマスタ受信の動作例を、図 28.56 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

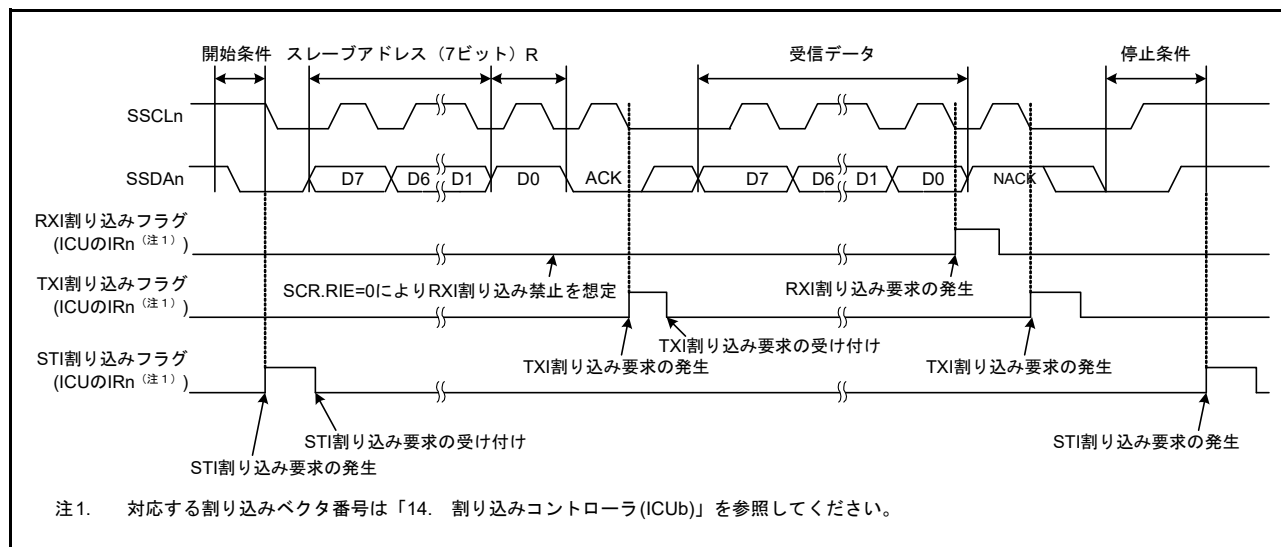
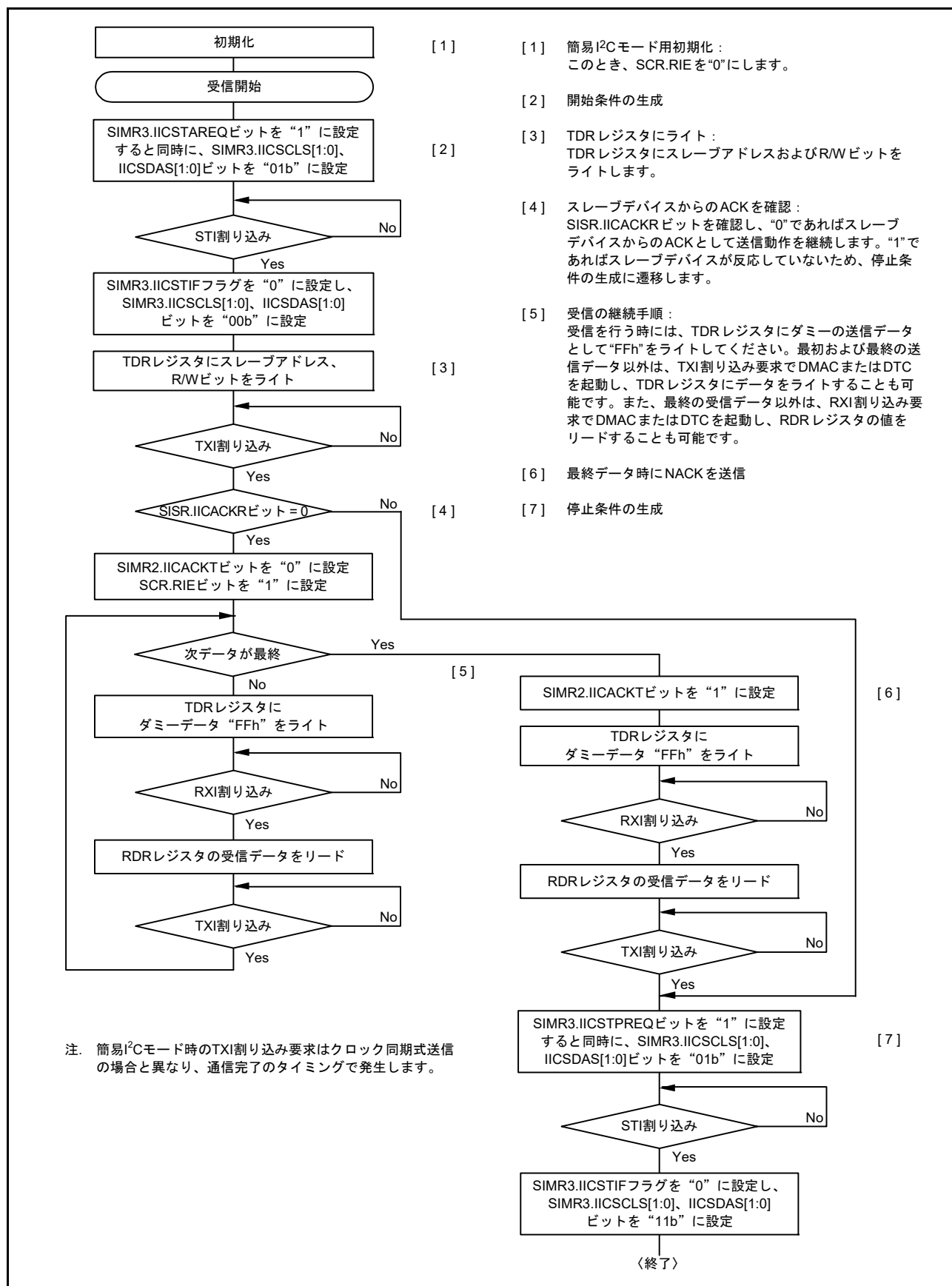


図 28.55 簡易 I²C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

図 28.56 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

28.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
- (2) SIMR3 レジスタを “F0h” にして、バスを解放する。
- (3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
- (4) SCR.TE ビットと RE ビットを同時に “1” にする。

28.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット = 0、SIMR1.IICM ビット = 0、SMR.CM ビット = 1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 28.57 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

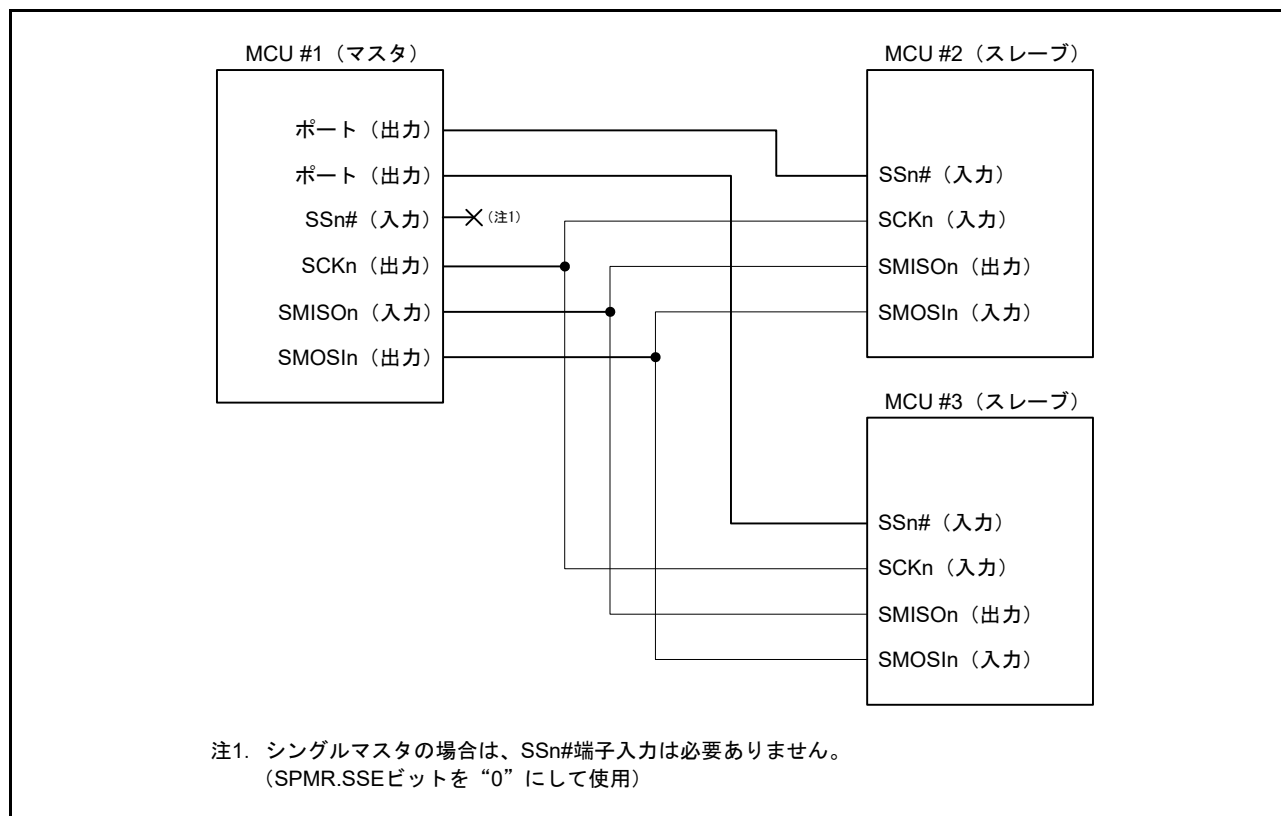


図 28.57 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

28.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 28.29 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 28.29 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

28.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

28.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

28.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 28.58 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

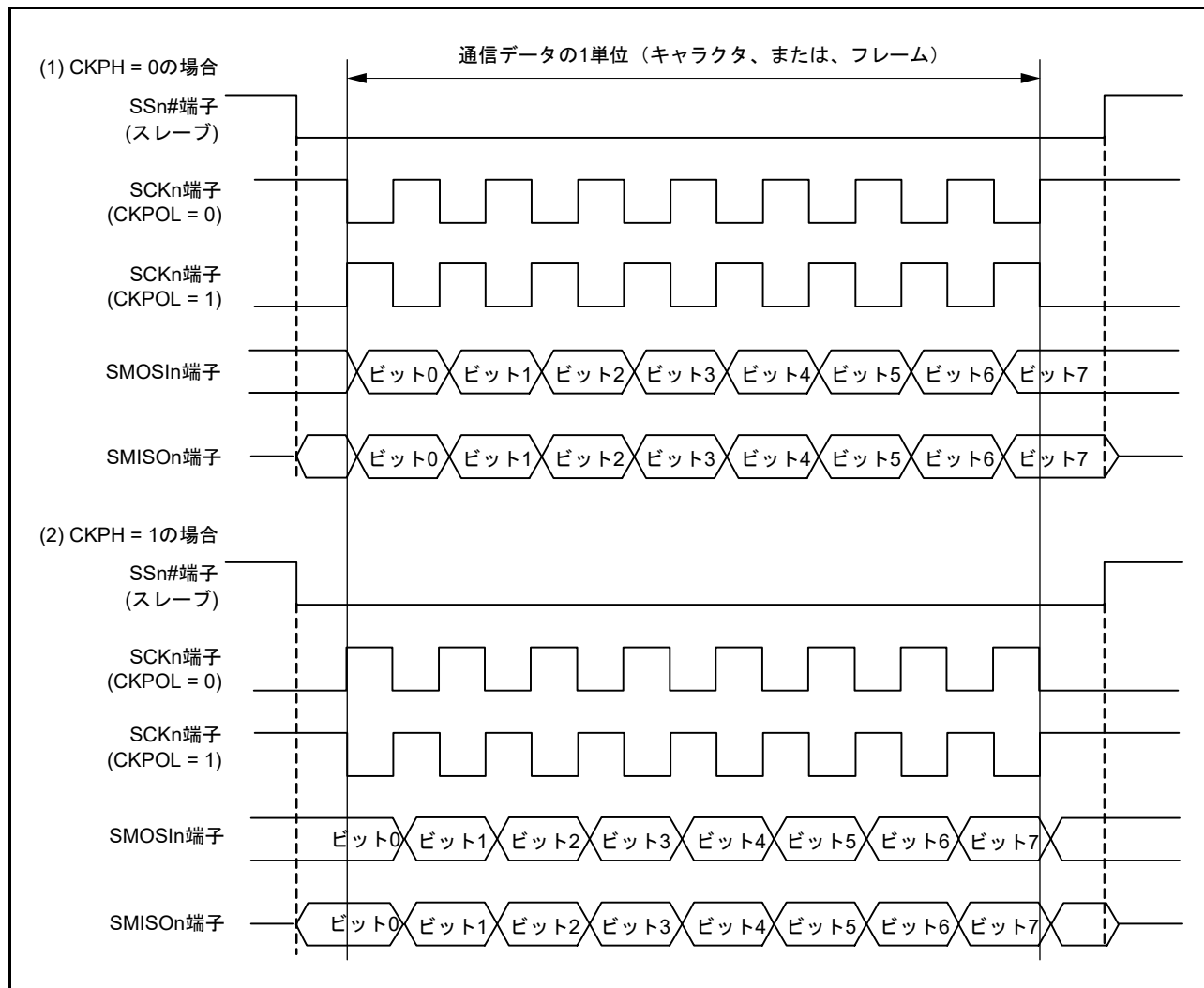


図 28.58 簡易 SPI モードのクロックと送受信データの関係

28.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順（図 28.24 の SCI の初期化フローチャート例）と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

28.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

28.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、図 28.59 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードでは、最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) で本機能を使用しないでください。

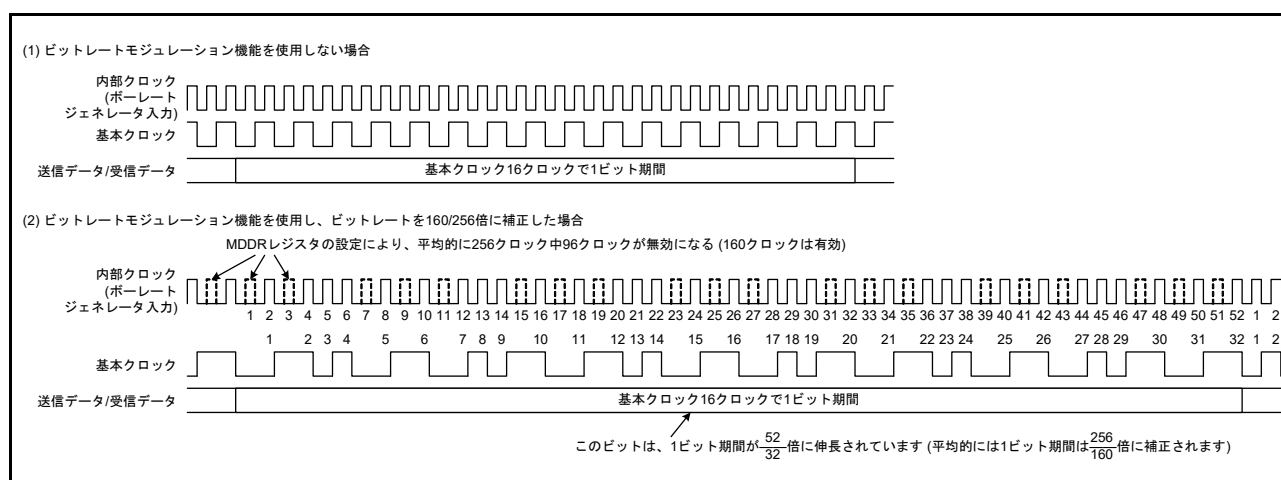


図 28.59 ビットレートモジュレーション機能使用時の基本クロックの例

なお、ボーレートジェネレータに入力されるクロックの周期が短いほど、生成される基本クロックの周期の差が小さくなり、また、ボーレートジェネレータの分周比も大きくなるため、結果として1ビット期間の長さの差も小さくなります。

28.10 拡張シリアルモード制御部の動作説明

28.10.1 シリアル通信プロトコル

SCI12 の拡張シリアルモード制御部は、図 28.60 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

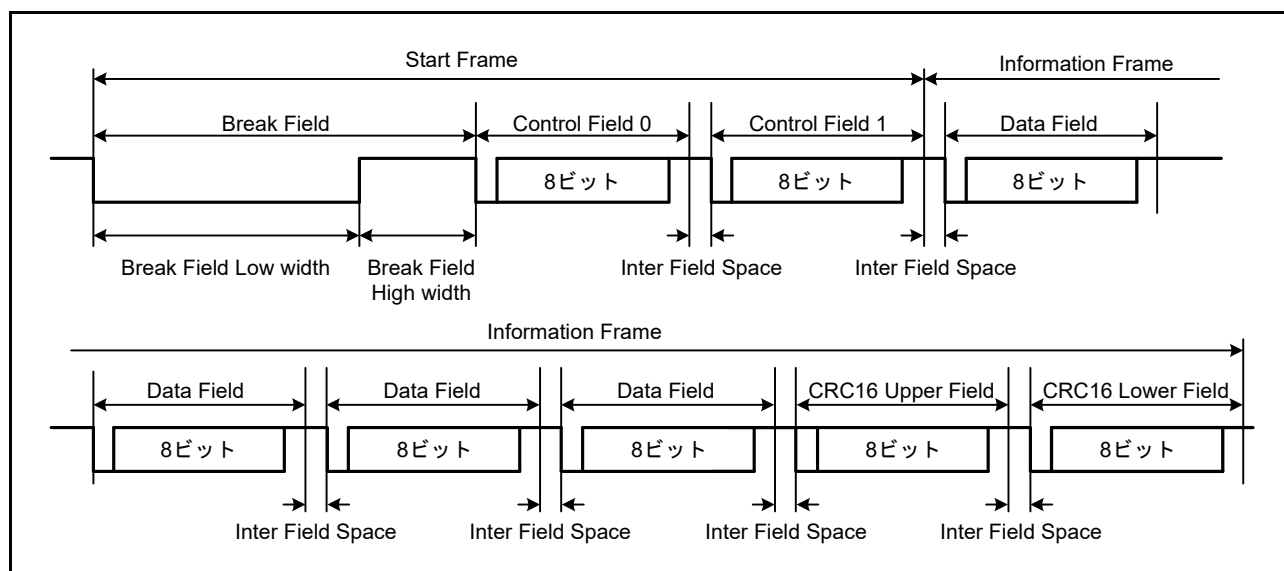


図 28.60 拡張シリアルモード制御部シリアル通信プロトコル

28.10.2 Start Frame 送信

図 28.61 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 28.62、図 28.63 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
- (2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) TCR.TCST ビットに“0”を書き込んでタイマのカウントを停止させた後、Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了した後、Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了した後、Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

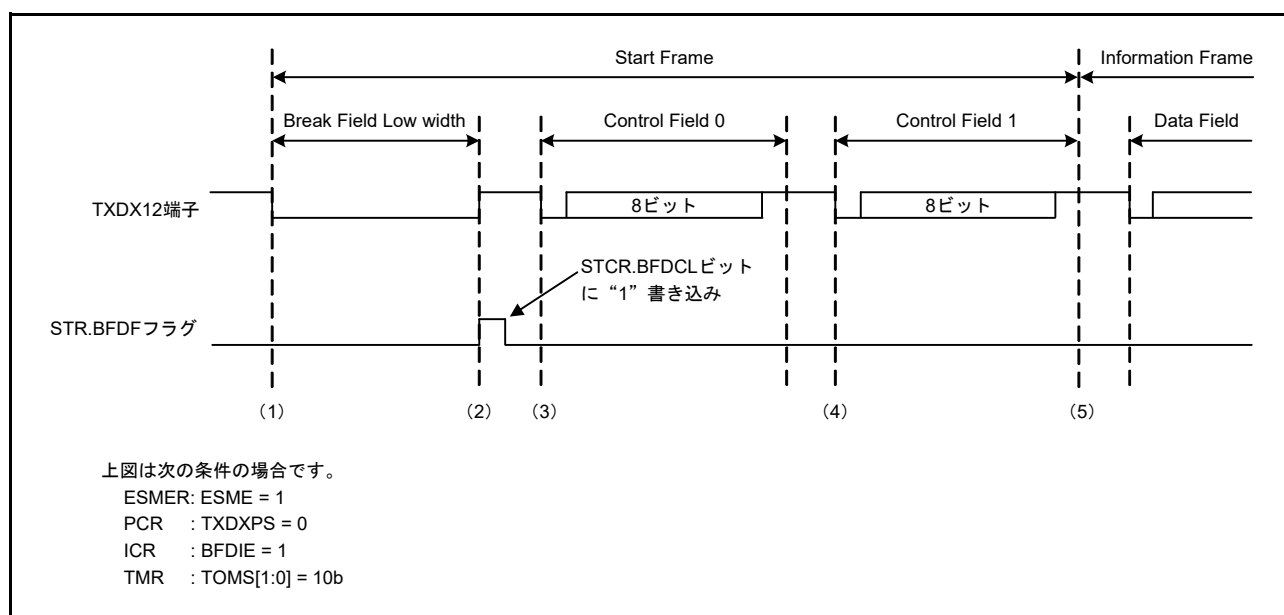


図 28.61 Start Frame 送信時の動作例

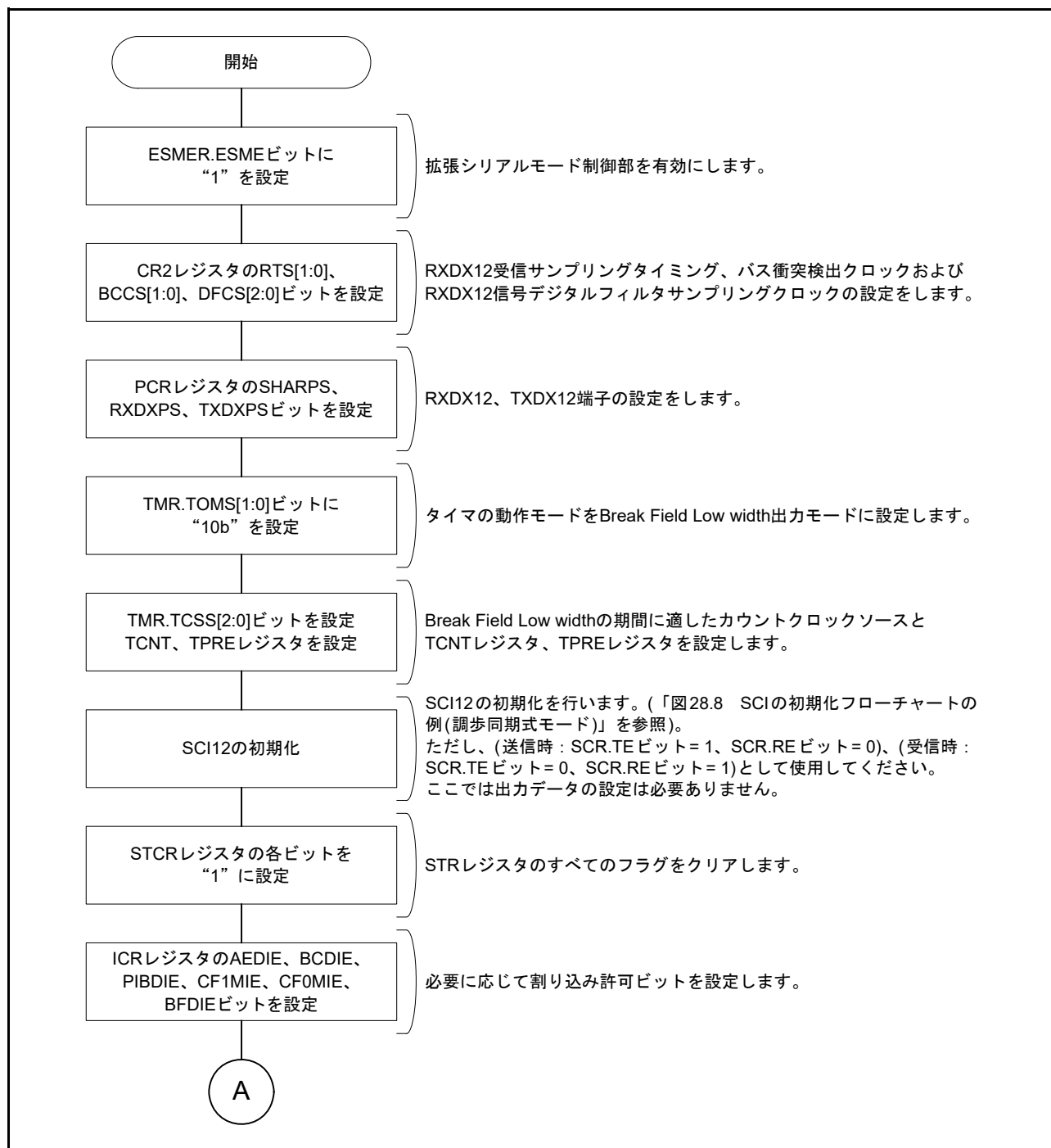


図 28.62 Start Frame 送信フローチャート例 (1)

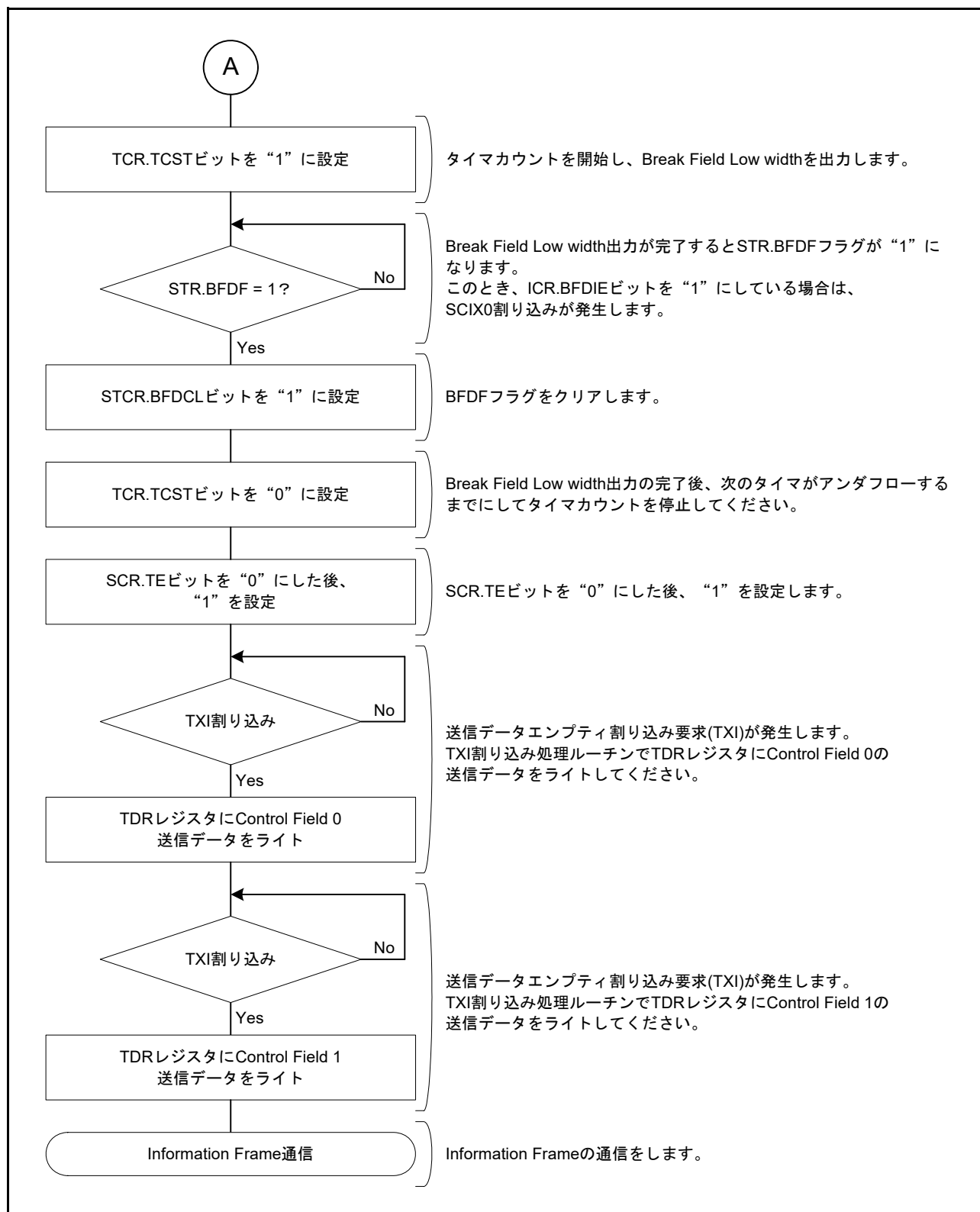


図 28.63 Start Frame 送信フローチャート例 (2)

28.10.3 Start Frame 受信

拡張シリアルモード制御部では、表 28.30 のような構成の Start Frame を検出することができます。

表 28.30 Start Frame の構成

ビットの設定		Start Frame の構成	
BFE	CF0RE		
0	0		
0	1		
1	0		
1	1		

図 28.64 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 28.65、図 28.66 に Start Frame の受信を行うためのフローチャート、図 28.67 に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

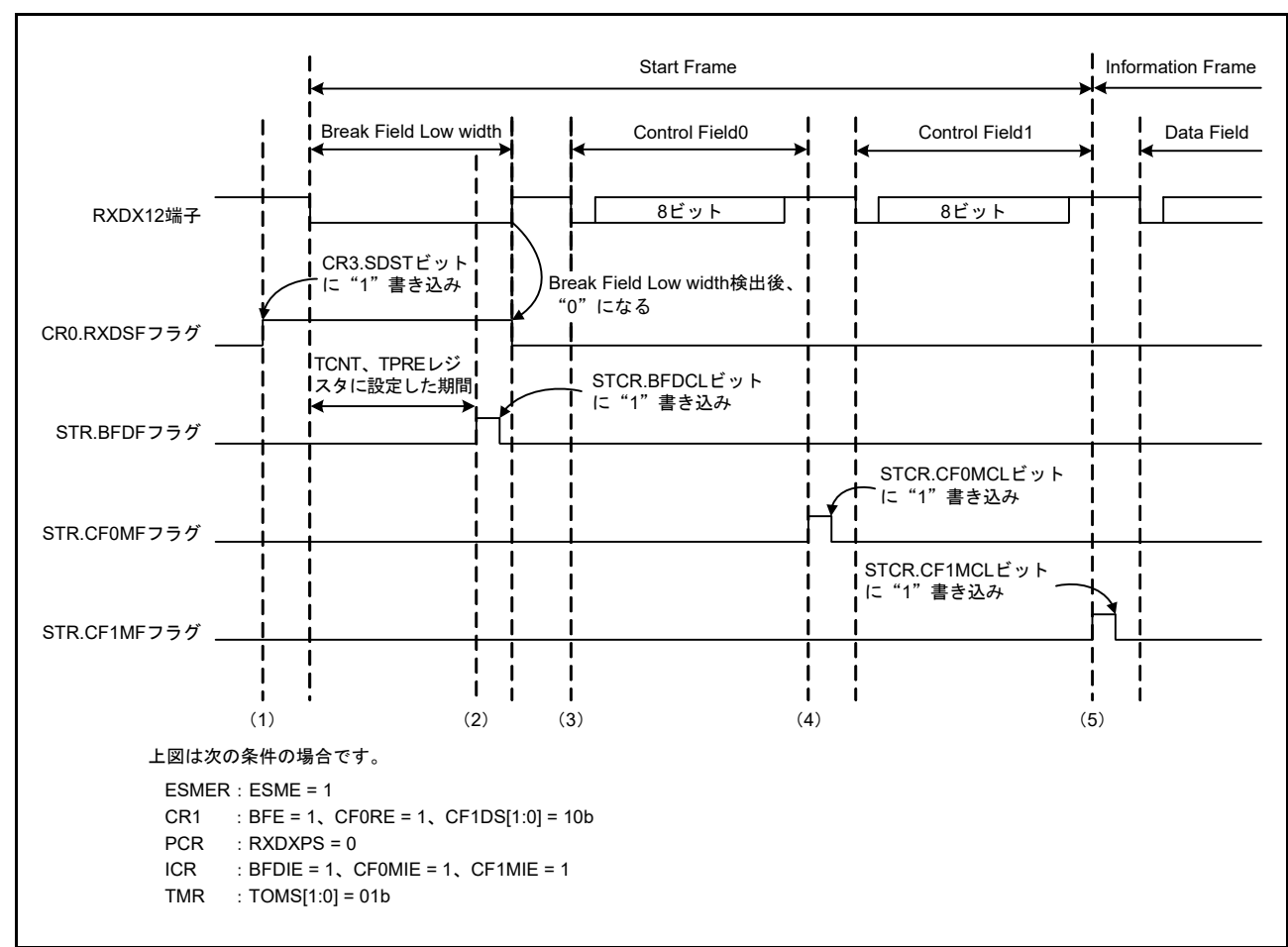


図 28.64 Start Frame 受信時の動作例

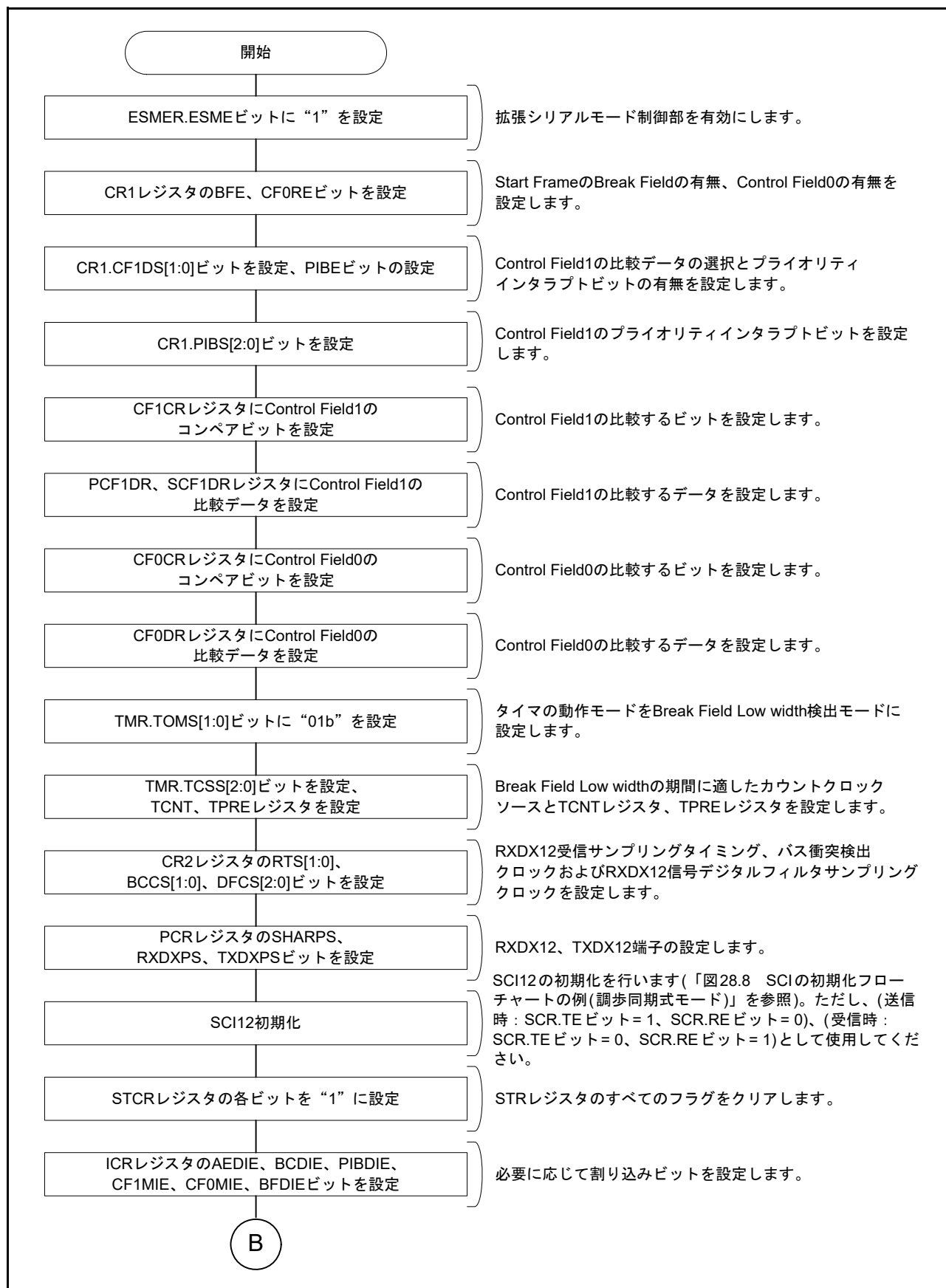


図 28.65 Start Frame 受信フローチャート例 (1)

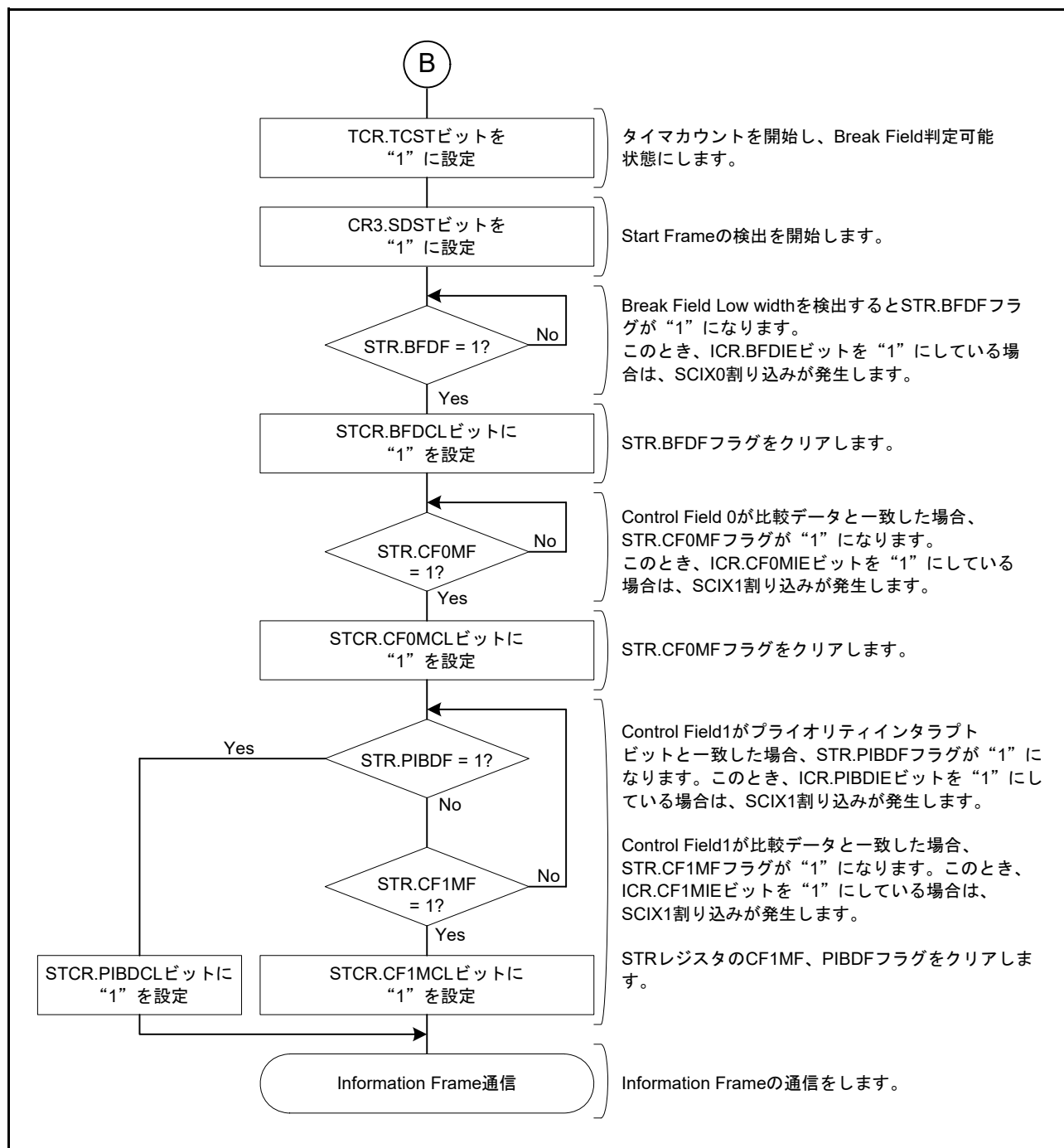


図 28.66 Start Frame 受信フローチャート例 (2)

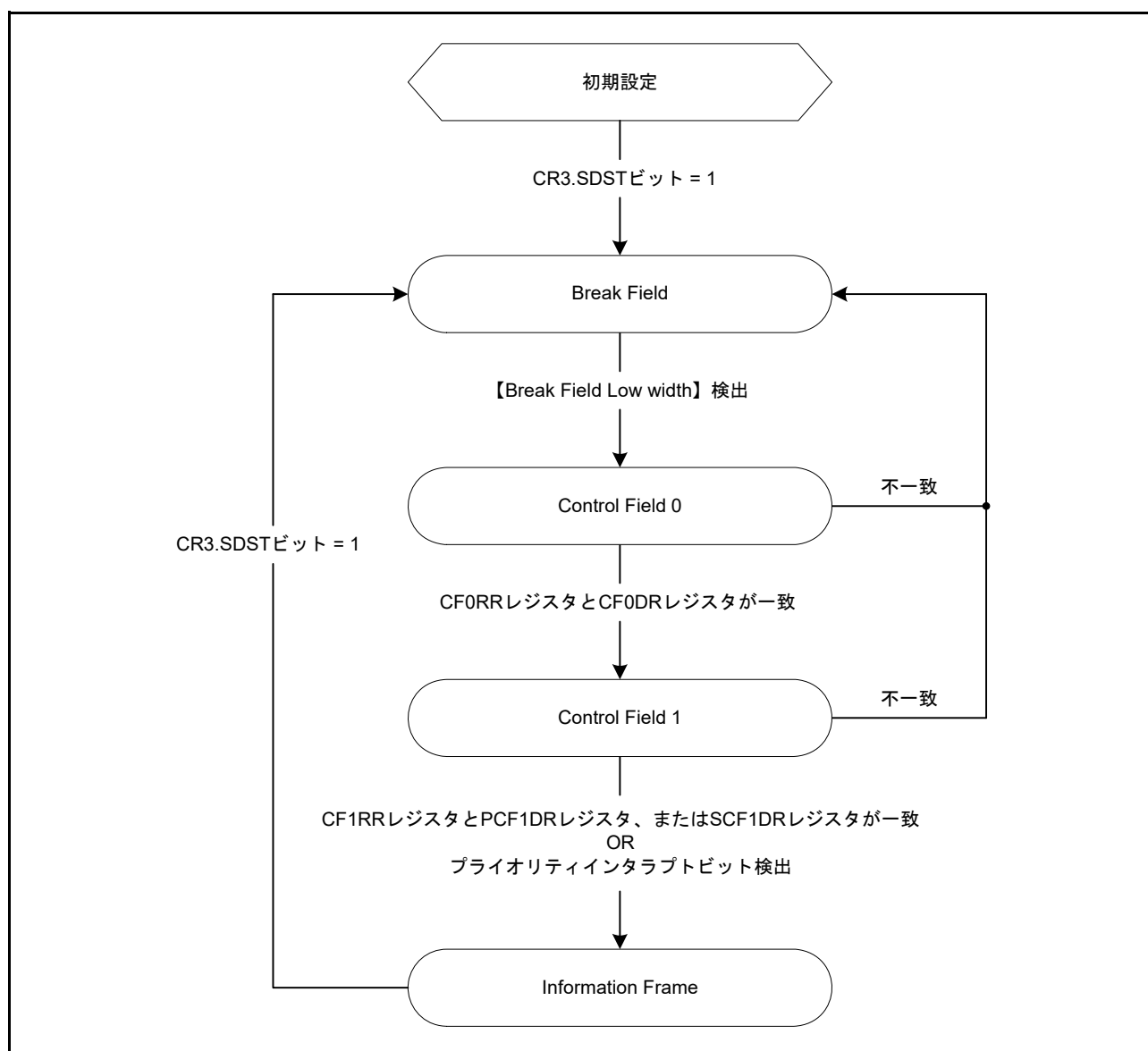


図 28.67 Start Frame 受信時の状態遷移図

28.10.3.1 プライオリティインタラプトビット

図 28.68 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1) ～ (4) は図 28.64 の Start Frame 受信時の動作例 (1) ～ (4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

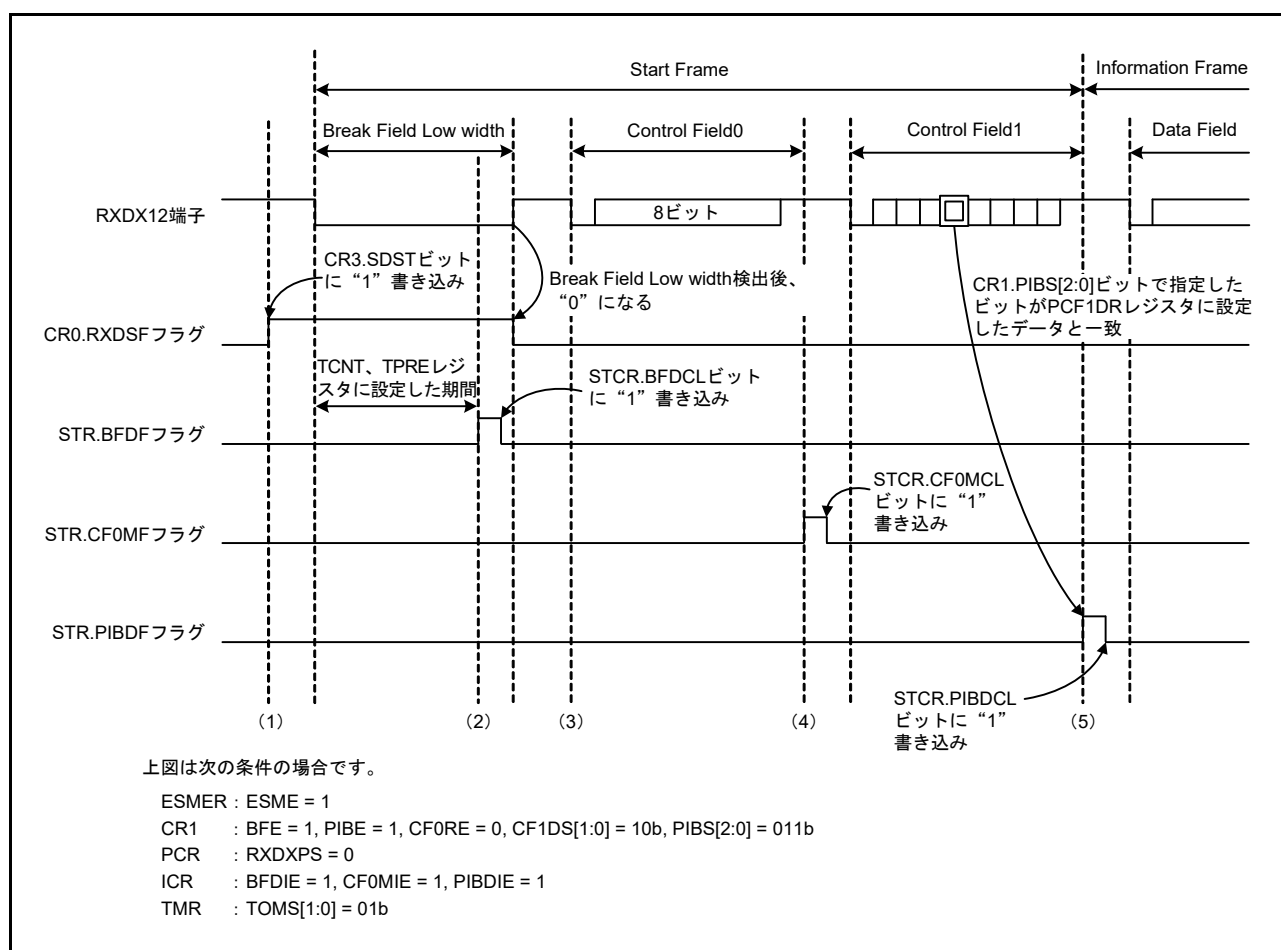


図 28.68 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

28.10.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 28.69 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIX2 割り込みが発生します。

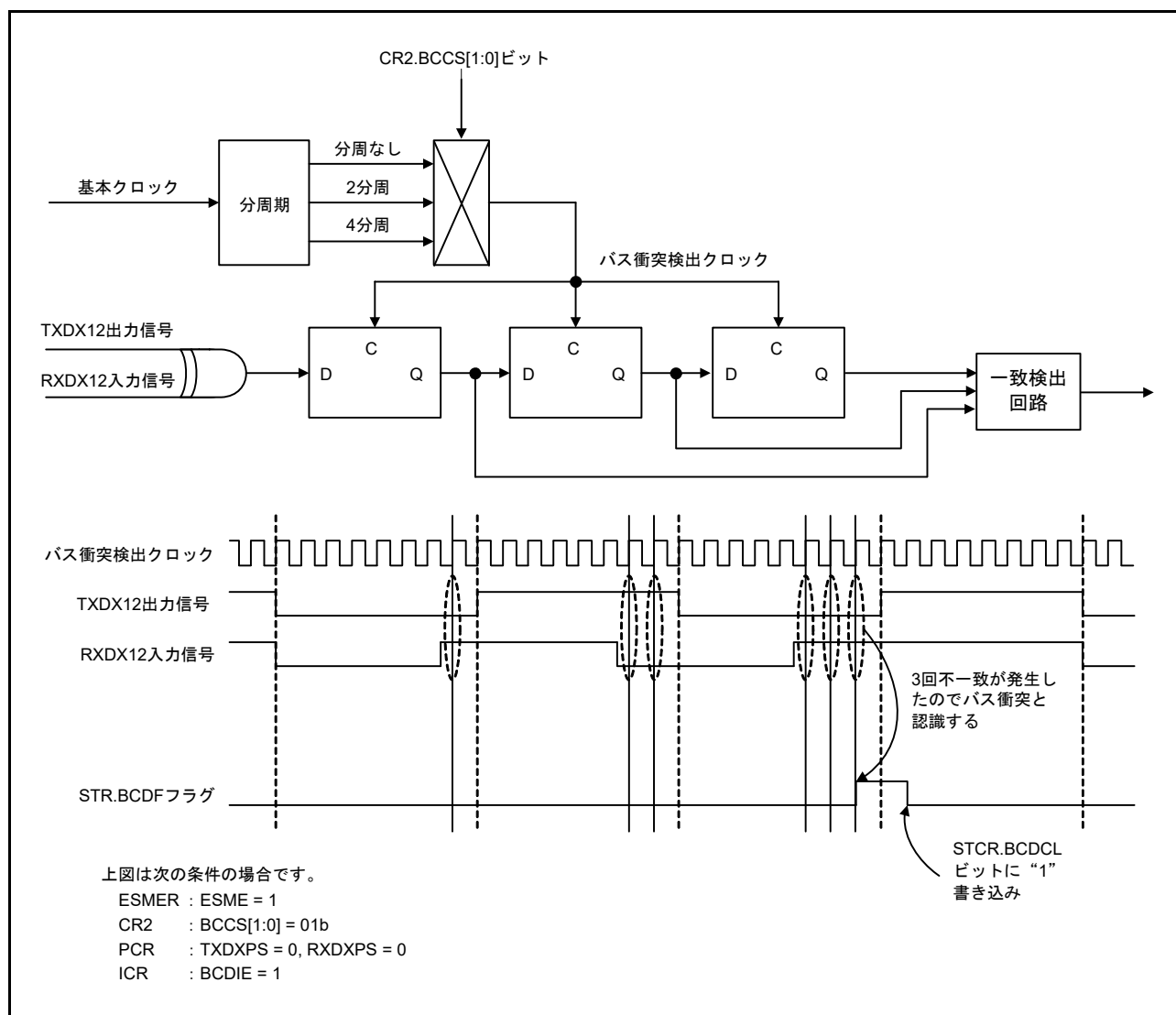


図 28.69 バス衝突検出機能の動作例

28.10.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプルリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 28.70 にデジタルフィルタ機能の動作例を示します。

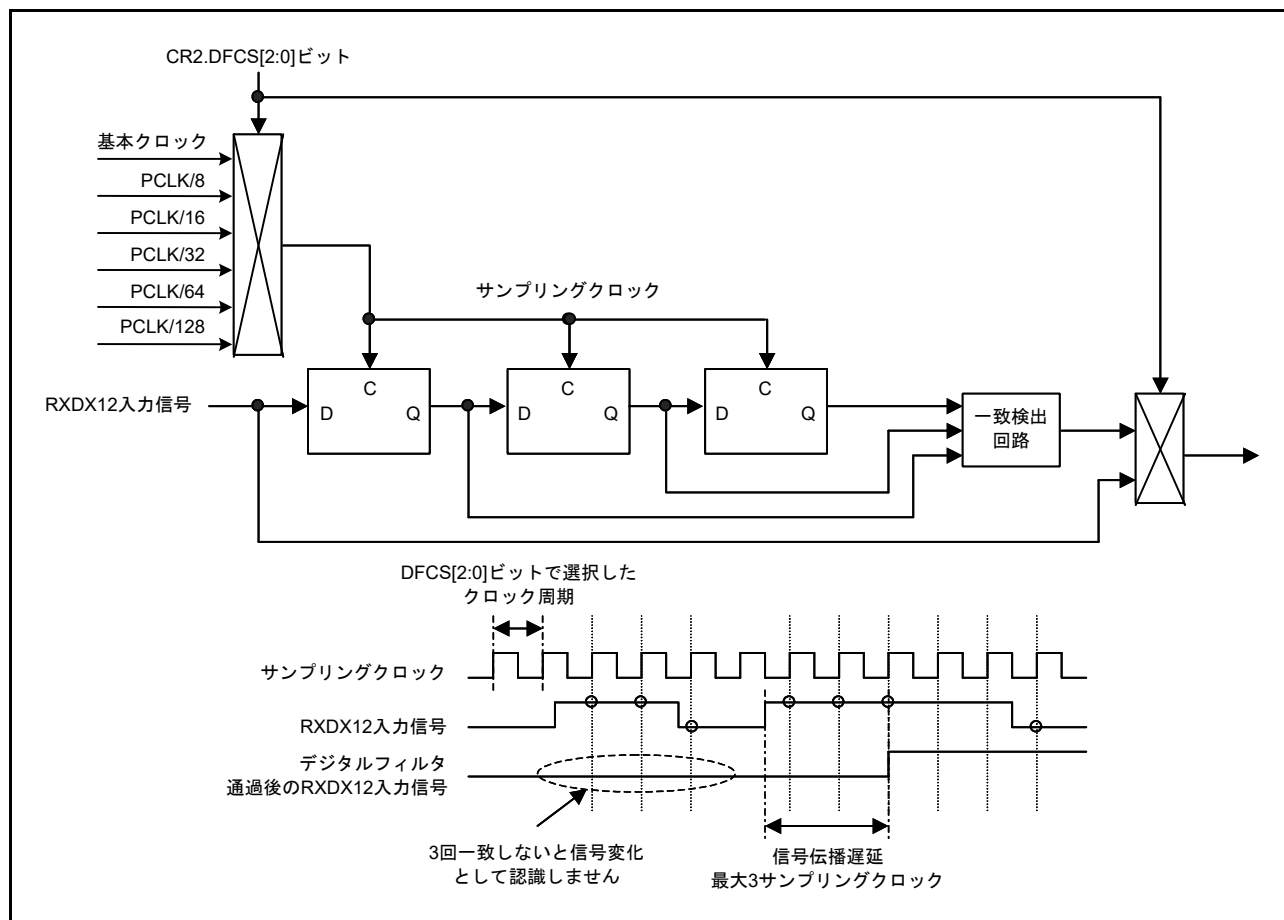


図 28.70 デジタルフィルタ機能の動作例

28.10.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 28.71 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

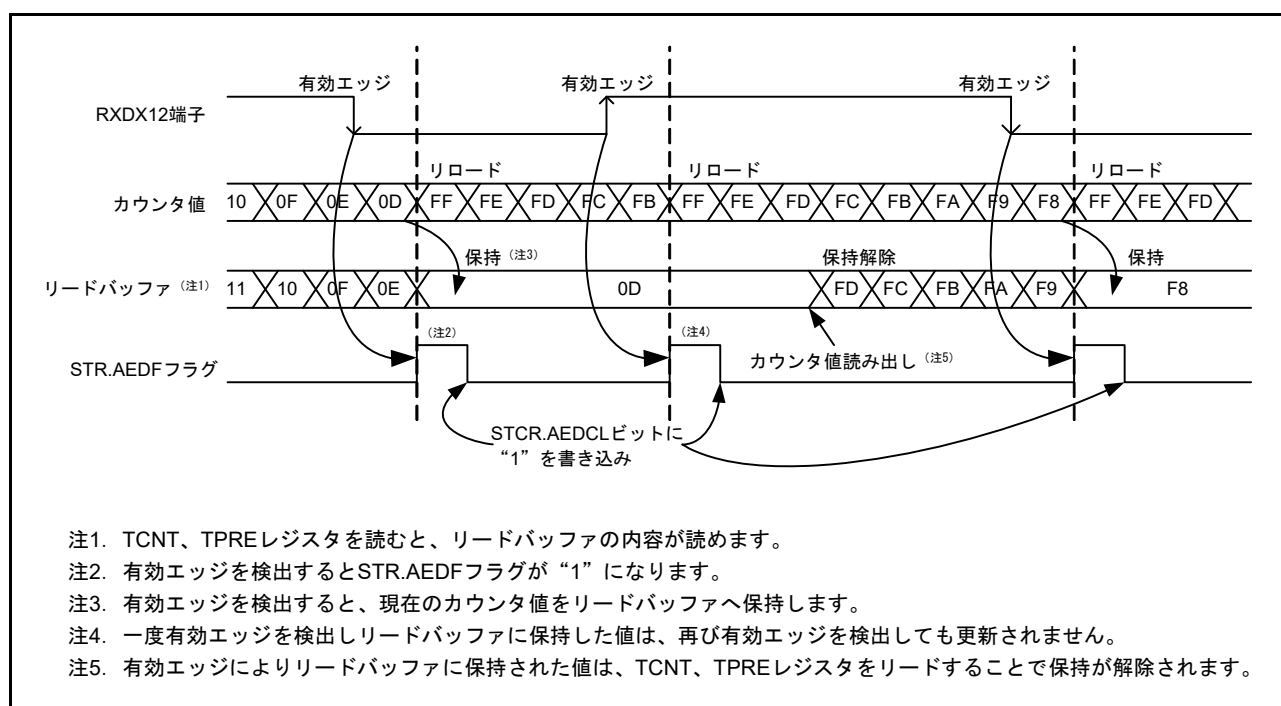


図 28.71 ビットレート測定機能動作例

28.10.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが“1”の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 28.72 に RXDX12 受信データサンプリングタイミングを示します。

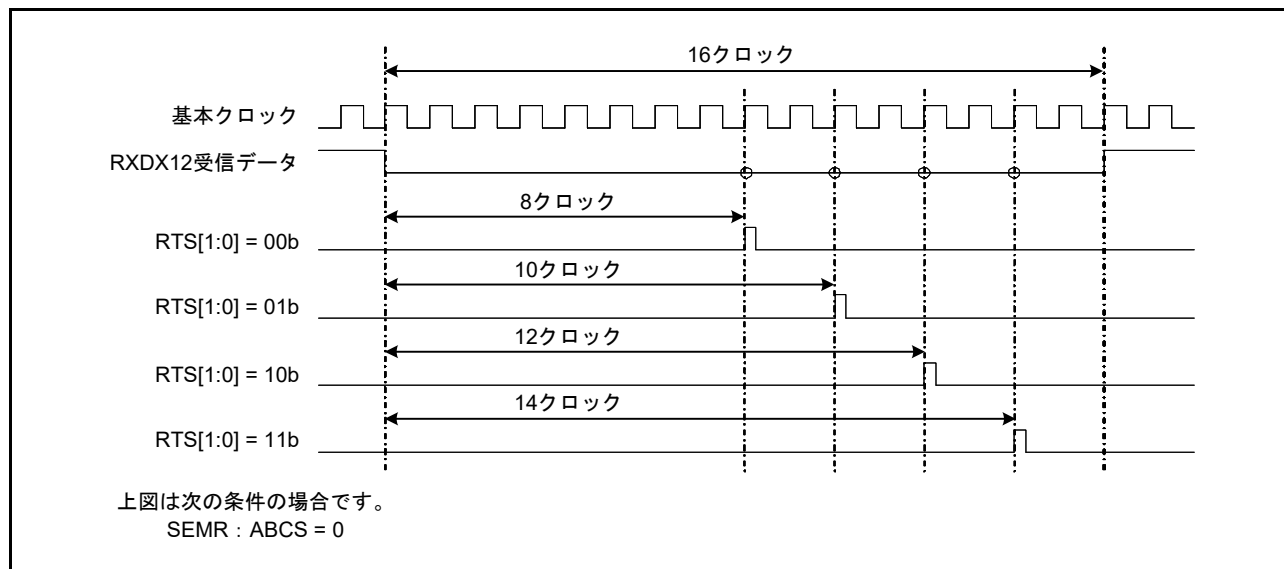


図 28.72 RXDX12 受信データサンプリングタイミング

28.10.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを “10b” に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに “0” を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 28.73 に Break Field Low width 出力モードの動作例を示します。

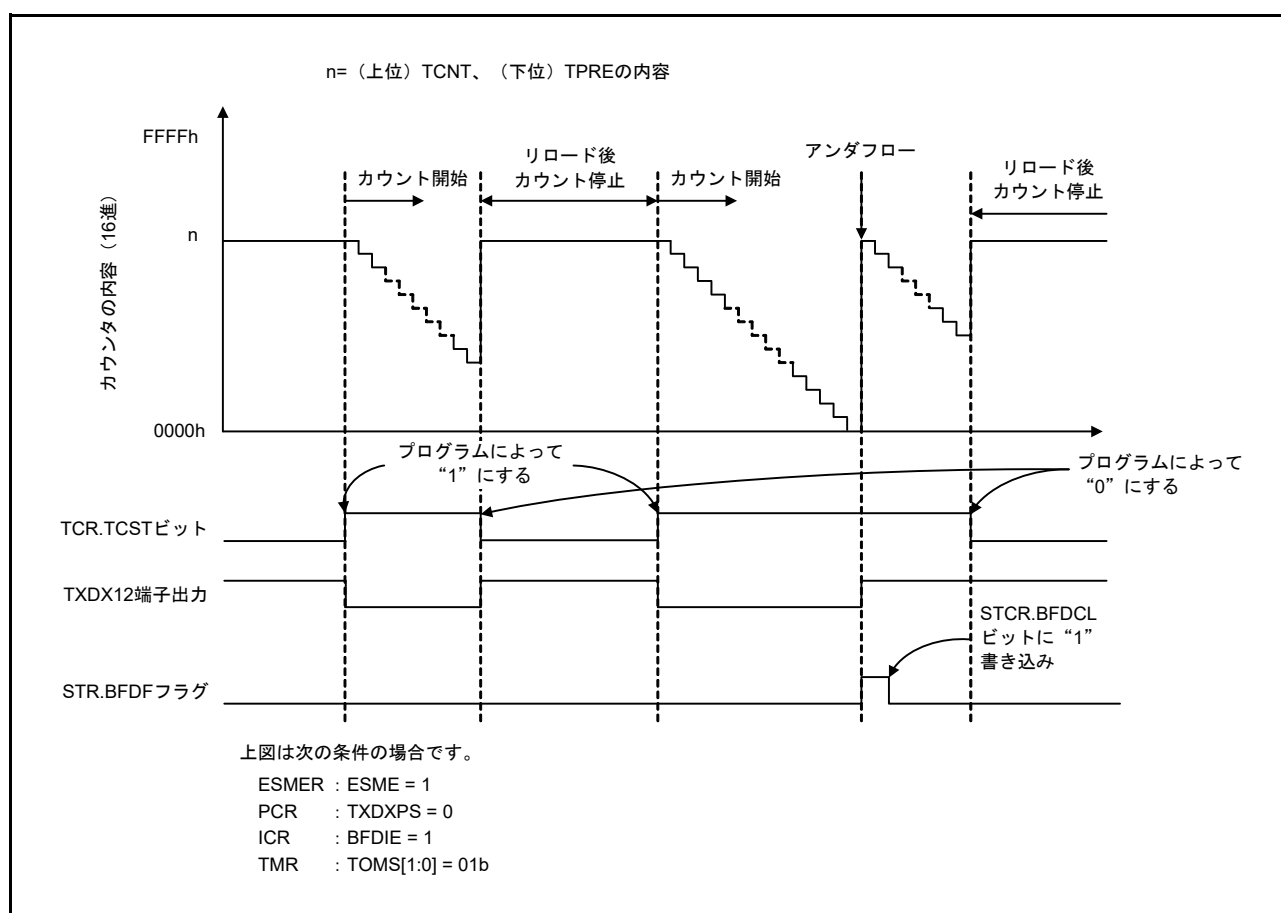


図 28.73 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRES レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 28.74 に Break Field Low width 判定モードの動作例を示します。

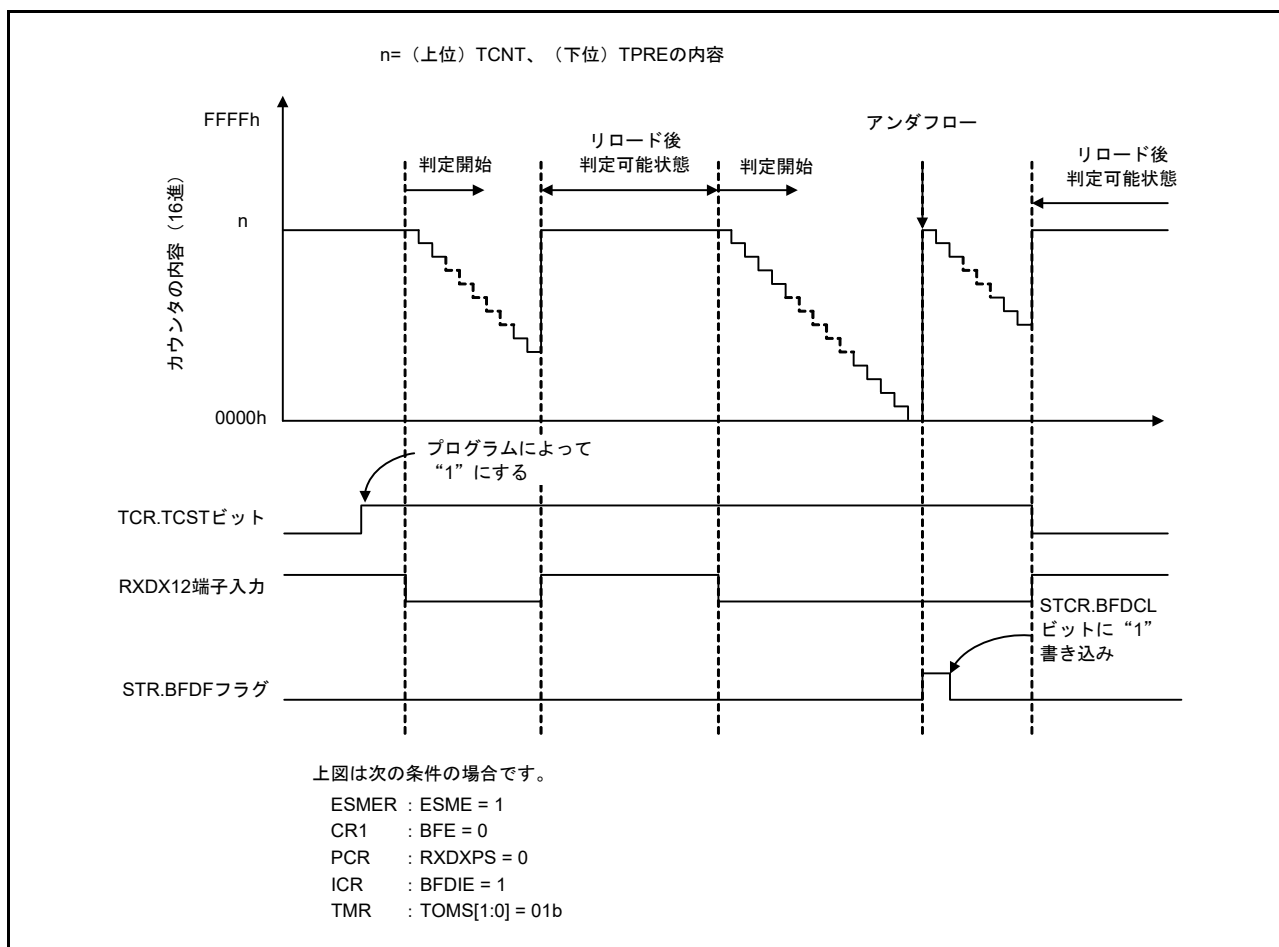


図 28.74 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRES レジスタに入力するカウントクロックソースの周期で TPRES レジスタがダウナカウントします。TPRES レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウナカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

28.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 28.75 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき 1 ビット期間の 1/16、SEMR.ABCS = 1 のとき 1 ビット期間の 1/8) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は 3 回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

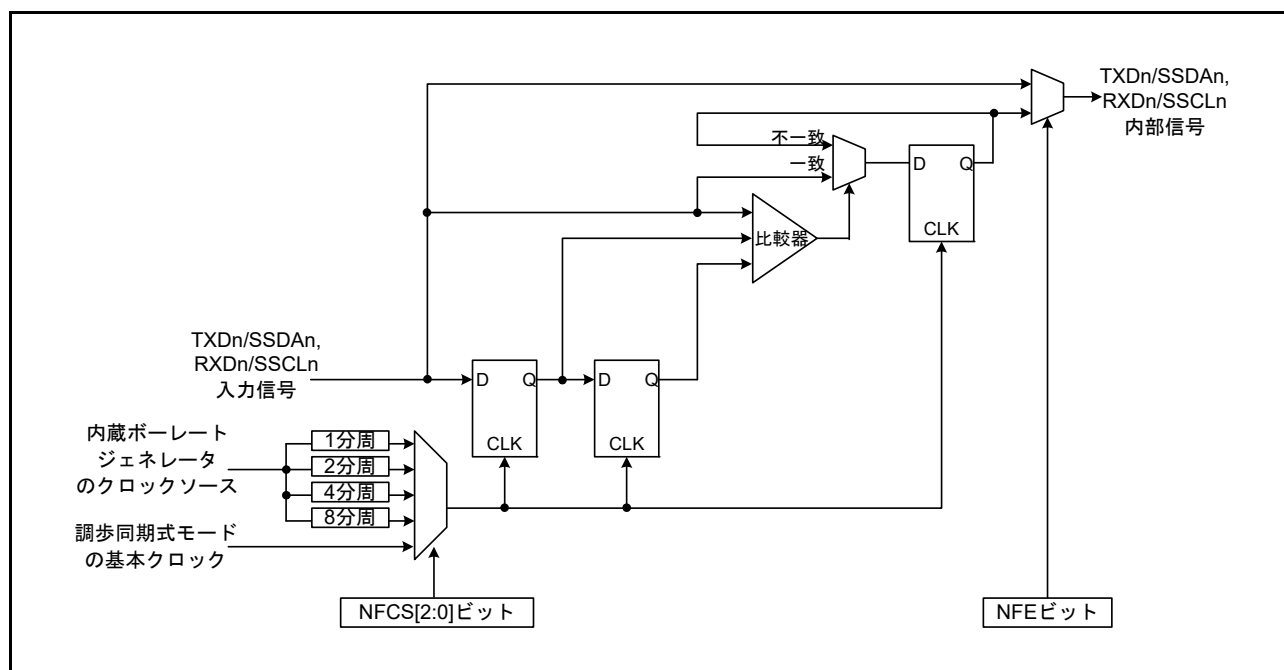


図 28.75 デジタルノイズフィルタのブロック図

28.12 割り込み要因

28.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでもクリアできます。

28.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 28.31 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ（注 1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることでも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態で SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態で SCR.TIE ビットを“1”にした場合には発生しません。（注 2）

ただし、SCR.TIE ビットが“1”の状態で SCR.TE ビットを“0”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注 1）に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ（注 1）に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注 1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ（注 1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 28.31 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ERI	受信エラー	ORER, FER, PER	不可能	不可能
RXI	受信データフル	RDRF	可能	可能
TXI	送信データエンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

28.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 28.32 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 28.32 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	不可能
RXI	受信データフル	—	可能	可能
TXI	送信データエンプティ	TEND	可能	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCa)」、 「17. DMA コントローラ (DMACA)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

28.12.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 28.33 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目（アクノリッジビット）の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目（アクノリッジビット）の SSCLn 端子立ち上がり、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 28.33 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTC の起動	DMAC の起動
	IICINTM ビット = 0	IICINTM ビット = 1			
RXI	ACK 検出	受信	—	可能	可能
TXI	NACK 検出	送信	—	可能 (注 1)	可能 (注 1)
STI	開始条件、再開条件、停止条件生成終了		IICSTIF	不可能	不可能

注 1. SIMR2.IICINTM ビット = 1 (受信割り込み、送信割り込みを選択) の場合のみ DTC、DMAC の起動が可能です。

28.12.5 拡張シリアルモード制御部の割り込み要求

SCIf の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 28.34 に各割り込み要求の内容を示します。

表 28.34 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BFDF	• タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生とき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

28.13 イベントリンク機能

SCI5 は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でも次の割り込み要因が発生した場合でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データがレシーブデータレジスタ (RDR レジスタ、または RDRL レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- トランスミットデータレジスタ (TDR レジスタ、または TDRL レジスタ) からトランスミットシフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで開始条件、再開始条件、停止条件の生成が完了したことを示します。

28.14 使用上の注意事項

28.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

28.14.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力が入力レベル Low になりますので、SSR.FER フラグが “1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも “1” (パリティエラーの発生あり) になる可能性があります。SEMR.RXDESEL ビットが “0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを “0” (フレーミングエラーの発生なし) にしても、再び FER フラグが “1” になりますので注意してください。SEMR.RXDESEL ビットが “1” のとき、SCI は、SSR.FER フラグを “1” にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを “0” にすれば、ブレーク中は SSR.FER フラグの “0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりによってスタートビットの始まりを検出し、受信動作を開始します。

28.14.3 マーク状態とブレークの送出

SCR.TE ビットが “0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを “1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを “1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを “1” にしてから PMR レジスタの対応するビットを “1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送出したいときは、対応する PODR レジスタのビットを “0” (Low 出力) にした後、PMR レジスタの対応するビットを “0” (汎用入出力ポート) にします。TE ビットを “0” にする場合、この後実施してください。TE ビットを “0” にすると現在の送信状態とは無関係に送信部は初期化されます。

28.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が “1” になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを “0” にしておいてください。また、SCR.RE ビットを “0” (シリアル受信動作を禁止) にしても受信エラーフラグは “0” になりませんので注意してください。

28.14.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

28.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 28.76 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち下がり以前に、TDR レジスタまたは TDRL レジスタに次の送信データを書き込んでください (図 28.76 参照)。
- ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 28.76 参照)。

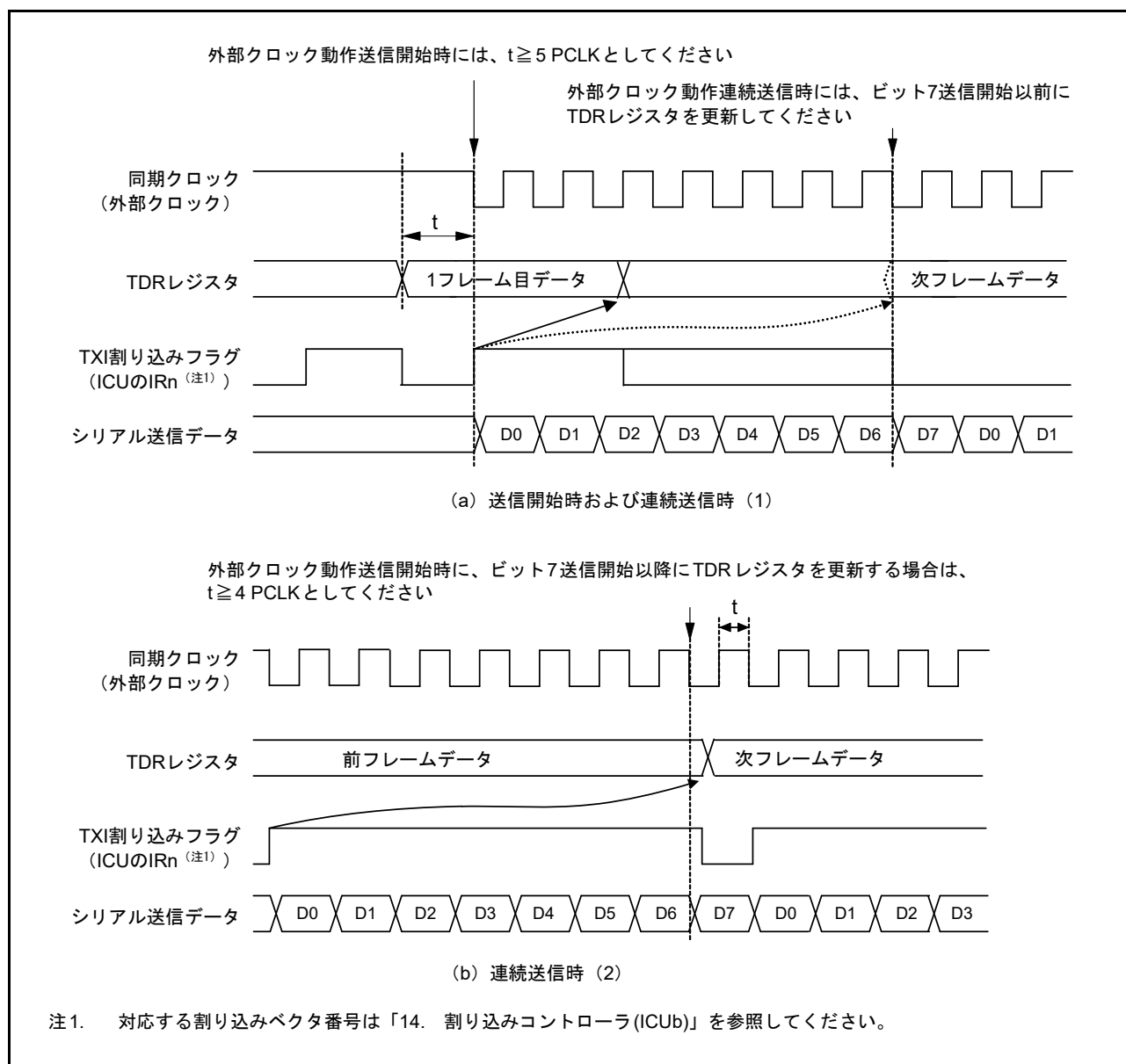


図 28.76 クロック同期式モード送信での外部クロック使用の制約事項

28.14.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

28.14.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

28.14.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 28.77 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 28.78、図 28.79 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC/DMA 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC/DMAC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC/DMAC による送信が始まります。

(2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 28.80 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

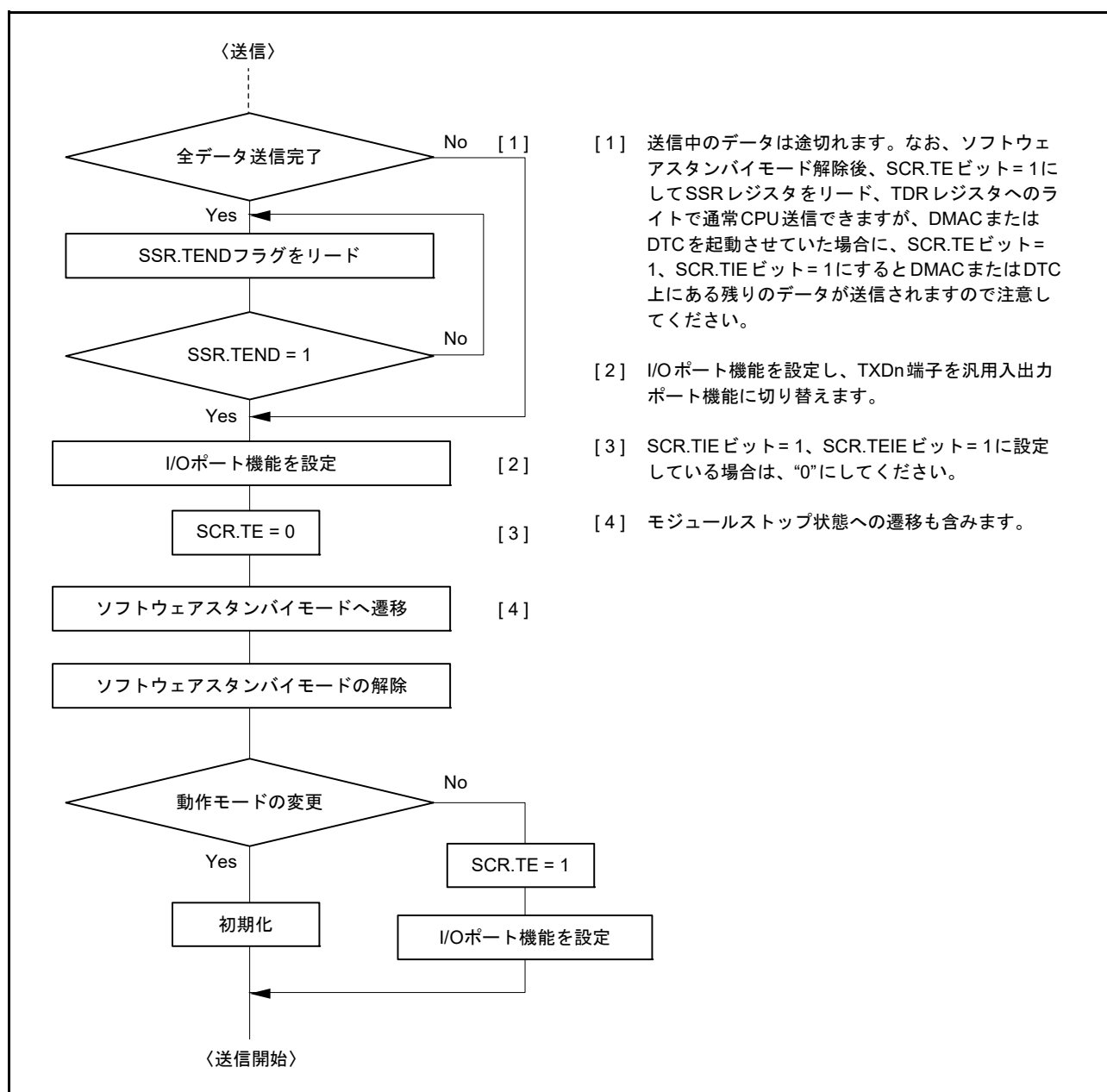


図 28.77 送信時のソフトウェアスタンバイモード遷移フローチャートの例

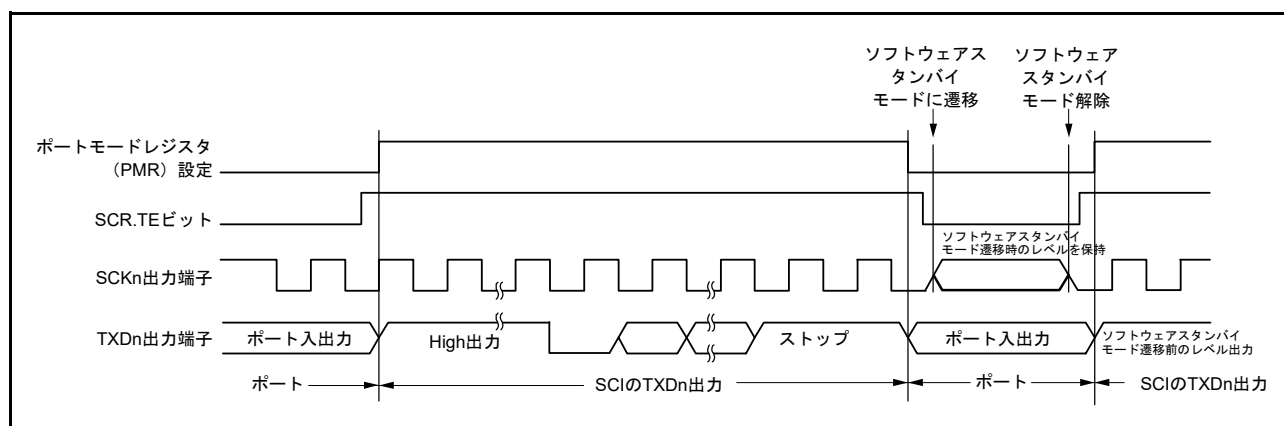


図 28.78 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

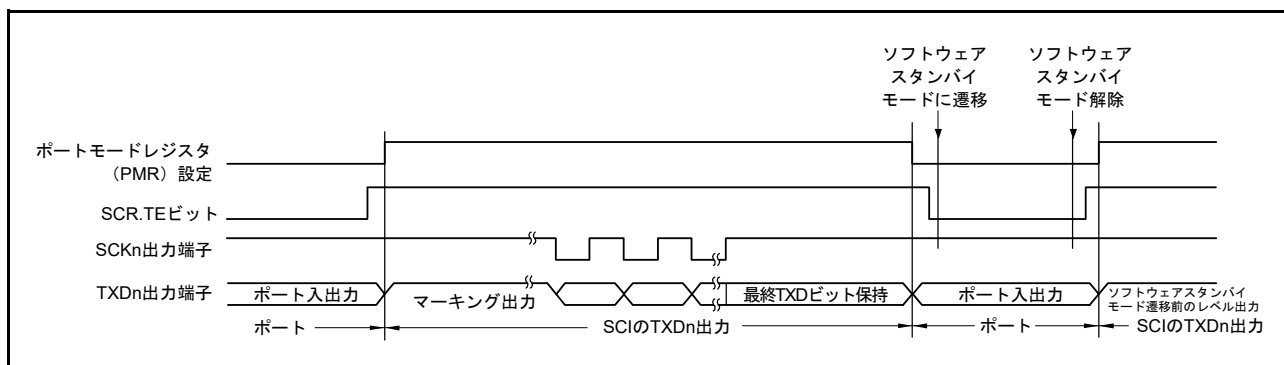


図 28.79 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

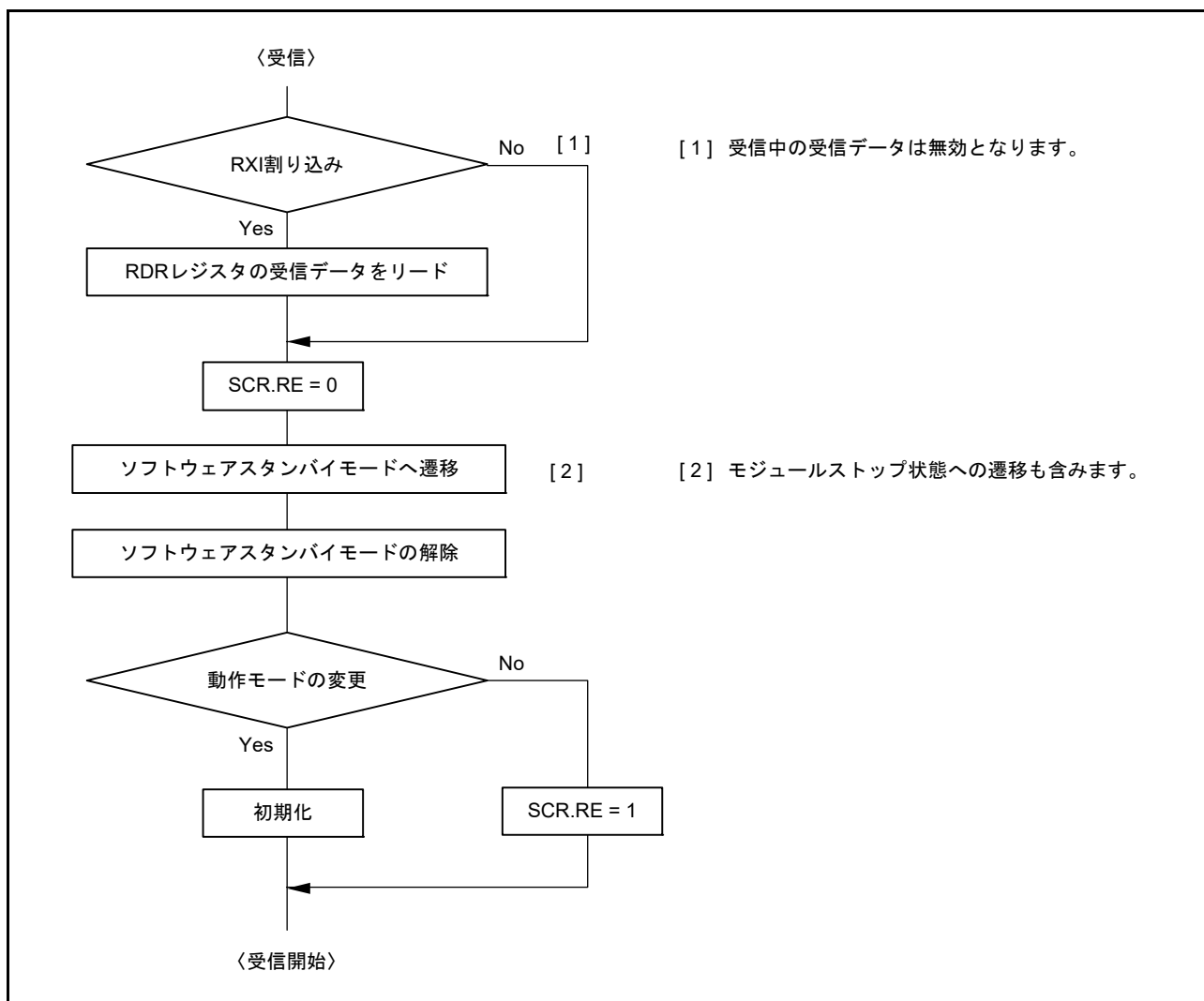


図 28.80 受信時のソフトウェアスタンバイモード遷移フローチャートの例

28.14.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

28.14.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット = 1) の場合、図 28.81 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

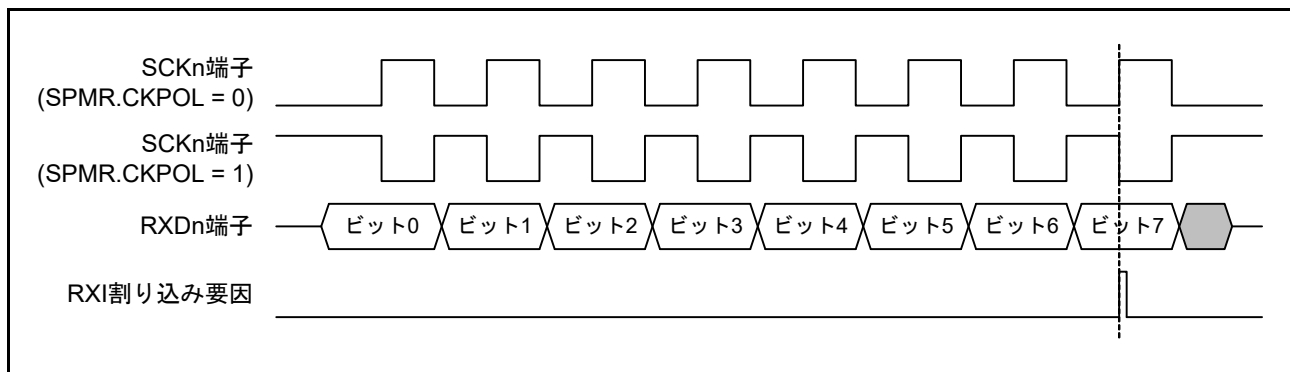


図 28.81 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

28.14.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき
(TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCR.TE ビットが“1”のとき

28.14.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、図 28.82 のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

- (1) SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、SCR.RIE ビットを“1”に切り替えてください。
- (2) SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

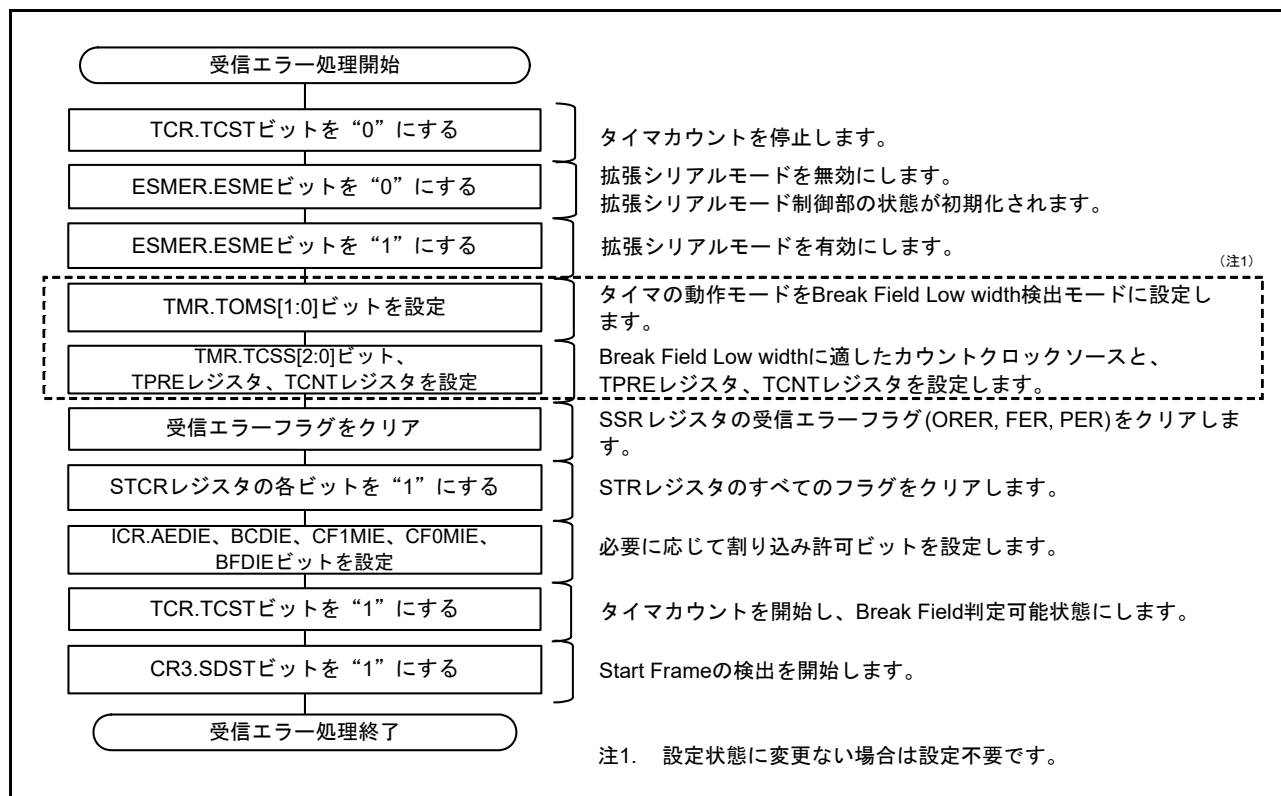


図 28.82 受信エラー処理のフローチャートの例 (Start Frame 受信中)

28.14.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが“0”(シリアル送信動作を禁止)のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを“0”にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) TE ビットを“1”にしてから、端子の機能を「TXDn」に切り替える(注 1)。また、TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート」に切り替えて、High または Low を出力させる。

注 1. TXI 割り込みが許可されているときに TE ビットを“1”にすると、割り込みが発生します。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICU.IERm.IENj ビットを“1”にしてください。

28.14.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

29. I²C バスインタフェース (RIICa)

本 MCU は、1 チャネルの I²C バスインタフェース (RIIC0) を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

29.1 概要

表 29.1 に RIIC の仕様を、図 29.1 に RIIC のブロック図を、表 29.2 に RIIC で使用する入出力端子を示します。

表 29.1 RIIC の仕様 (1/2)

項目	内容
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
シリアルクロック (SCL)	マスタ時、SCL のデューティ比を 4% ~ 96% の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ応答のソフトウェア制御が可能
ウェイト機能	受信時、SCL ラインの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間でウェイト 9 クロック目と 1 クロック目の間でウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	- マルチマスタ対応 他のマスタとの SCL 衝突時、SCL の同期動作可能 スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL の長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー/通信イベント アービトレーションロスト検出 NACK 検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 29.1 RIIC の仕様 (2/2)

項目	内容
RIICの動作モード	4種類 - マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能 (出力)	4種類 (RIIC0) - 通信エラー/通信イベント - アービトレーションロスト検出 - NACK検出 - タイムアウト検出 - スタートコンディション検出 (リスタートコンディション含む) - ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了

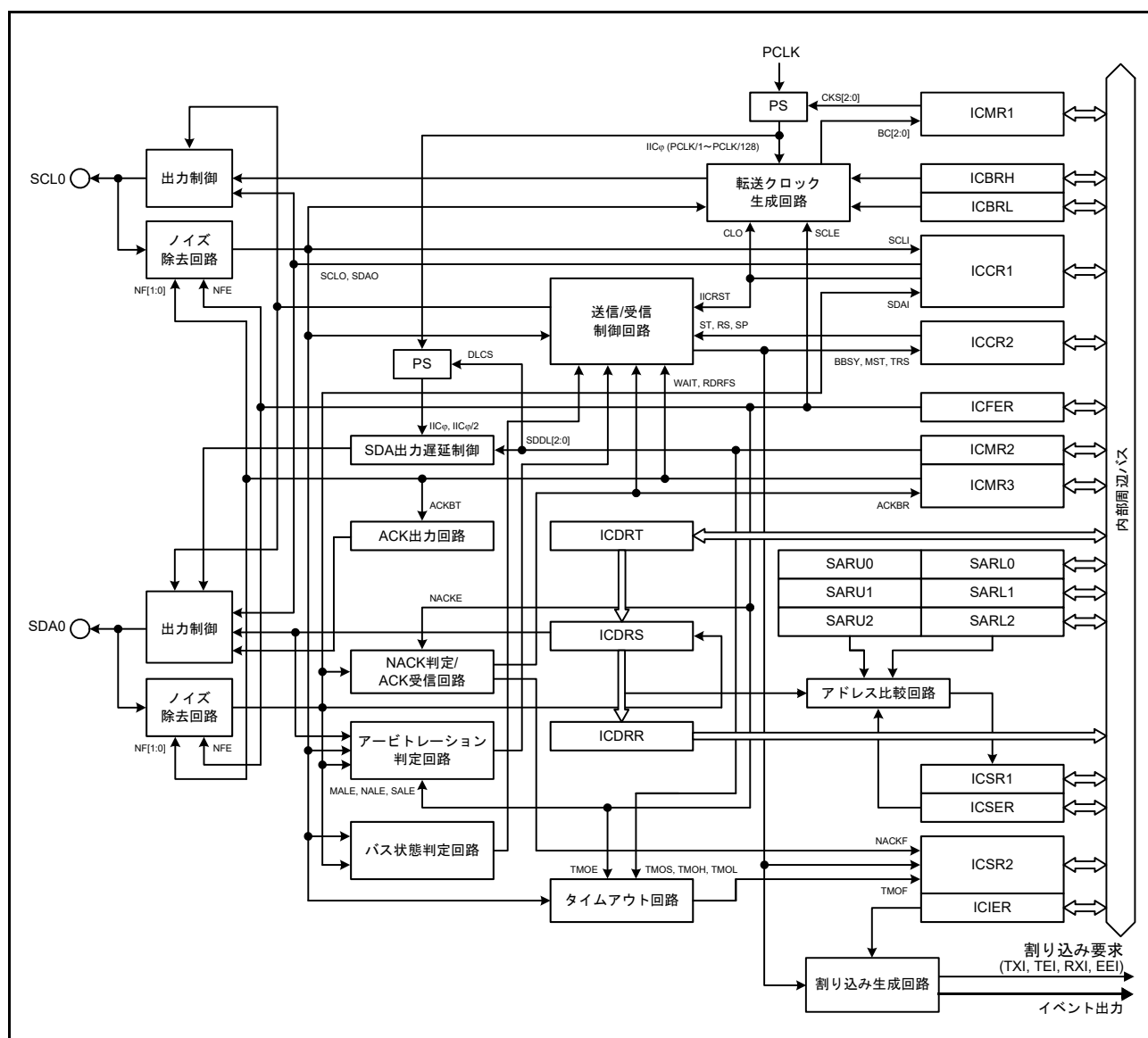


図 29.1 RIIC のブロック図

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 29.2 RIIC の入出力端子

チャネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0 シリアルクロック入出力端子
	SDA0	入出力	RIIC0 シリアルデータ入出力端子

29.2 レジスタの説明

29.2.1 I²C バスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDA ラインモニタビット	0 : SDA0 ラインは Low 1 : SDA0 ラインは High	R
b1	SCLI	SCL ラインモニタビット	0 : SCL0 ラインは Low 1 : SCL0 ラインは High	R
b2	SDAO	SDA 出力制御/モニタビット	• リード時 0 : SDA0 端子を Low にしている 1 : SDA0 端子を解放している • ライト時 0 : SDA0 端子を Low にする 1 : SDA0 端子を解放する (外部プルアップ抵抗により High 出力)	R/W
b3	SCLO	SCL 出力制御/モニタビット	• リード時 0 : SCL0 端子を Low にしている 1 : SCL0 端子を解放している • ライト時 0 : SCL0 端子を Low にする 1 : SCL0 端子を解放する (外部プルアップ抵抗により High 出力)	R/W
b4	SOWP	SCLO/SDAO ライトプロテクトビット	0 : SCLO、SDAO ビットの書き換え許可 1 : SCLO、SDAO ビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL 追加出力ビット	0 : SCL を追加で出力しない(通常状態) 1 : SCL を追加で出力する (1 クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² C バスインタフェース内部リセットビット	0 : RIIC リセット、内部リセット解除 1 : RIIC リセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0 出力ラッチを解除)	R/W
b7	ICE	I ² C バスインタフェース許可ビット	0 : 禁止(SCL0、SDA0 端子非駆動状態) 1 : 許可(SCL0、SDA0 端子駆動状態) (IICRST ビットとの組み合わせで、RIIC リセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA0 信号、SCL0 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。
通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「29.11.2 SCL 追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 29.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「29.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、スレーブモード時に内部リセットを行う場合は、バスフリー中に実施してください。なお、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 29.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 29.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

29.2.2 I²C バスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0 : スタートコンディションの発行を要求しない 1 : スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0 : リスタートコンディションの発行を要求しない 1 : リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0 : ストップコンディションの発行を要求しない 1 : ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0 : 受信モード 1 : 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0 : スレーブモード 1 : マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0 : I ² C バスが解放状態 (バスフリー状態) 1 : I ² C バスが占有状態 (バスビジー状態)	R

注1. ICMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが“1”になるとスタートコンディションの発行を要求し、BBSY フラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「29.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1" になる条件]

- “1”を書いたとき

["0" になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ST ビットは、BBSY フラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

BBSY フラグが“1” (バスビジー) のとき、ST ビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「29.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1" になる条件]

- ICCR2.BBSY フラグが "1" の状態で、"1" を書いたとき

["0" になる条件]

- "0" を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが "1" になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを "1" にしないでください。

注. スレープモードでは RS ビットに "1" (リスタートコンディション発行要求) を書いた場合、リスタートコンディションは発行されずに RS ビットは "1" のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが "1" になるとストップコンディションの発行を要求し、BBSY フラグが "1" (バスビジー) でかつ MST ビットが "1" (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「29.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1" になる条件]

- ICCR2.BBSY フラグが "1" でかつ ICCR2.MST ビットが "1" の状態で、"1" を書いたとき

["0" になる条件]

- "0" を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが "1" になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが "0" (バスフリー) のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを "1" にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが "0" のとき受信モード、TRS ビットが "1" のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で "1" または "0" になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが "1" のとき書き込みはできますが、通常では書き込みの必要はありません。

["1" になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが "1" の状態で、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが "1" の状態で、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態では“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ / スレーブモードビット)

マスタモード / スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行 / 検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態では、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態では“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき“0”になります。

[“1”になる条件]

- スタートコンディションを検出したとき

[“0”になる条件]

- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

タートコンディションを検出しなかったとき

- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

29.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h

b7	b6	b5	b4	b3	b2	b1	b0
MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと “1” が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック (IICφ) ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0] ビットを書き換える場合は、BCWP ビットを “0” にすると同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクノリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に “000b” に戻ります。

29.2.4 I²C バスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h

b7	b6	b5	b4	b3	b2	b1	b0	
DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS	
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0：SCL0ラインがLow期間中のカウントアップを禁止 1：SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0：SCL0ラインがHigh期間のカウントアップを禁止 1：SCL0ラインがHigh期間のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCS ビット = 0 (IICφ) のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1サイクル 0 1 0：IICφの2サイクル 0 1 1：IICφの3サイクル 1 0 0：IICφの4サイクル 1 0 1：IICφの5サイクル 1 1 0：IICφの6サイクル 1 1 1：IICφの7サイクル • ICMR2.DLCS ビット = 1 (IICφ/2) のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1～2サイクル 0 1 0：IICφの3～4サイクル 0 1 1：IICφの5～6サイクル 1 0 0：IICφの7～8サイクル 1 0 1：IICφの9～10サイクル 1 1 0：IICφの11～12サイクル 1 1 1：IICφの13～14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0：SDA出力遅延カウンタのクロックソースに 内部基準クロック (IICφ) を選択 1：SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット=1 (IICφ/2) の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCL0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「29.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCL0 ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間 / アクノリッジ有効時間 (注 1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 – データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「29.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間 / アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

29.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRF フラグセット タイミング選択ビット	0 : 9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドしない) 1 : 8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAIT ビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「29.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLのHigh幅またはLow幅のいずれか短い方] - 1.5 × t_{IIcCyc} (内部基準クロック (IICφ)の周期)と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1”になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“1”を受信したとき

[“0”になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクリッジビット)

受信モード時にアクリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりでは SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりでは SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりでは RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりでは“1”にし、8 クロック目の立ち下がりでは SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL の 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され ICSSR.HOAE ビットが有効になります。

29.2.6 I²C バスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

b7	b6	b5	b4	b3	b2	b1	b0
—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値 0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0 : タイムアウト検出機能無効 1 : タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0 : マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行わない) 1 : マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行う)	R/W
b2	NALE	NACK 送信アービトレーションロスト検出許可ビット	0 : NACK 送信アービトレーションロスト検出禁止 1 : NACK 送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0 : スレーブアービトレーションロスト検出禁止 1 : スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK 受信転送中断許可ビット	0 : NACK 受信時、転送を中断しない(転送中断禁止) 1 : NACK 受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0 : デジタルノイズフィルタを使用しない 1 : デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL 同期回路有効ビット	0 : SCL 同期回路無効 1 : SCL 同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「29.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「29.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0”(SCL 同期回路無効)にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I²C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

29.2.7 I²C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ 0 許可ビット	0 : SARL0、SARU0 の設定値は無効 1 : SARL0、SARU0 の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ 1 許可ビット	0 : SARL1、SARU1 の設定値は無効 1 : SARL1、SARU1 の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ 2 許可ビット	0 : SARL2、SARU2 の設定値は無効 1 : SARL2、SARU2 の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイス ID アドレス検出許可ビット	0 : デバイス ID アドレス検出は無効 1 : デバイス ID アドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「29.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

29.2.8 I²C バス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0 : タイムアウト割り込み(TMOI)要求の禁止 1 : タイムアウト割り込み(TMOI)要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0 : アービトレーションロスト割り込み(ALI)要求の禁止 1 : アービトレーションロスト割り込み(ALI)要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0 : スタートコンディション検出割り込み(STI)要求の禁止 1 : スタートコンディション検出割り込み(STI)要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0 : ストップコンディション検出割り込み(SPI)要求の禁止 1 : ストップコンディション検出割り込み(SPI)要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0 : NACK受信割り込み(NAKI)要求の禁止 1 : NACK受信割り込み(NAKI)要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0 : 受信データフル割り込み(RXI)要求の禁止 1 : 受信データフル割り込み(RXI)要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0 : 送信終了割り込み(TEI)要求の禁止 1 : 送信終了割り込み(TEI)要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0 : 送信データエンプティ割り込み(TXI)要求の禁止 1 : 送信データエンプティ割り込み(TXI)要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

29.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDアドレス未検出 1 : デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

【7ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの 9 個目の SCL の立ち上がり

【10ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの 9 個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

【7ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

【10ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

- ICSE.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSE.GCAE ビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAE ビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1" になる条件]

- ICSE.DIDE ビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDE ビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICSE.DIDE ビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1" になる条件]

- ICSE.HOAE ビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.HOAE ビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

29.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0 : タイムアウト未検出 1 : タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0 : アービトレーションロストの発生なし 1 : アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0 : スタートコンディション未検出 1 : スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0 : ストップコンディション未検出 1 : ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0 : NACK未検出 1 : NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0 : ICDRR レジスタに受信データなし 1 : ICDRR レジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0 : データ送信中 1 : データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0 : ICDRT レジスタに送信データあり 1 : ICDRT レジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0 ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1”(タイムアウト検出機能有効)で、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0 ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIIC は送信中に SDA0 ラインのレベルを監視し、出力データと SDA0 ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時の NACK 送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1”になる条件]

【マスタアービトレーションロスト検出有効時 : ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき(内部 SDA 出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 29.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですタートコンディション検出時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき
			1	送信データ不一致	ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき
x	1	x	1	NACK 送信不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	x	1	1	送信データ不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション (リスタートコンディション含む) を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKF ビットが“1”(転送中断許可)の状態、送信モード時に受信デバイスからアクノリッジがなかった(NACKを受信した)とき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態、9 個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

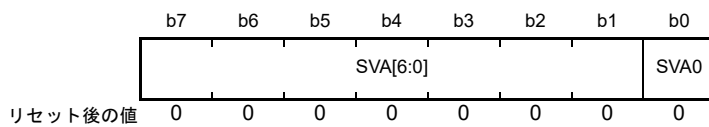
[“0”になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが“0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは“1”になりません。

29.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが“1”(SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット=0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが “0” のとき設定値は無視されます。

29.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]	FS	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

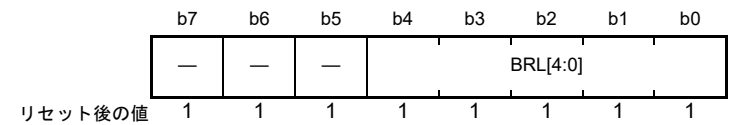
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

29.2.13 I²C バスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「29.8 SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間(注 1)以上の値を設定してください。

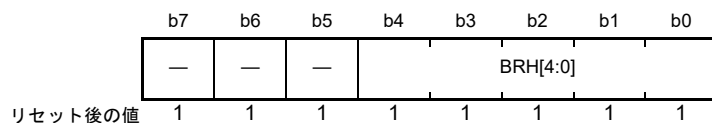
ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

注 1. データセットアップ時間 (tSU;DAT)
250 ns (~ 100 kbps : スタンダードモード (Sm))
100 ns (~ 400 kbps : ファストモード (Fm))

29.2.14 I²C バスビットレート High レジスタ (ICBRH)

アドレス R1IC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。R1IC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL のデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi^{(\text{注1})} + \text{SCL0 ライン立ち上がり時間 (tr)} + \text{SCL0 ライン立ち下がり時間 (tf)} \}$$

$$\text{デューティ比} = \{ \text{SCL0 ライン立ち上がり時間 (tr)}^{(\text{注2})} + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0 ライン立ち下がり時間 (tf)}^{(\text{注2})} + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注 1. IICφ = PCLK × 分周比

注 2. SCL0 ライン立ち上がり時間 (tr)、SCL0 ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I²C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 29.5 に示します。

表 29.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

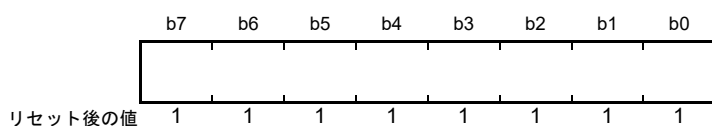
転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)					
	30			32		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)

注. SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

29.2.15 I²C バス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



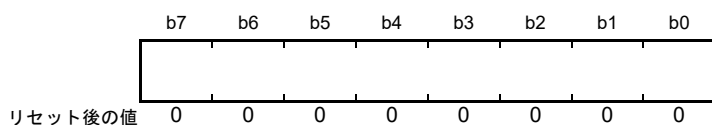
I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくことと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

29.2.16 I²C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくことと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に“1”になるタイミングの 1 つ手前の SCL0 の立ち下がりでも SCL0 ラインを Low にホールドします。

29.2.17 I²C バスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA0 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

29.3 動作説明

29.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 29.2 に I²C バスフォーマットを、図 29.3 に I²C バスタイミングを示します。

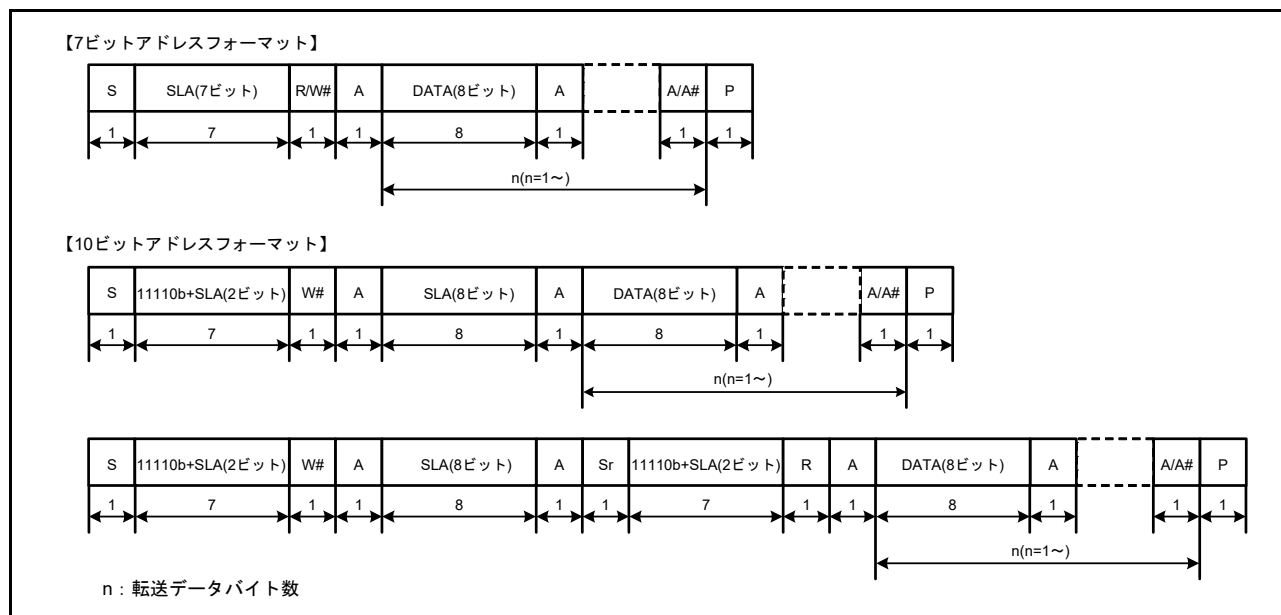


図 29.2 I²C バスフォーマット

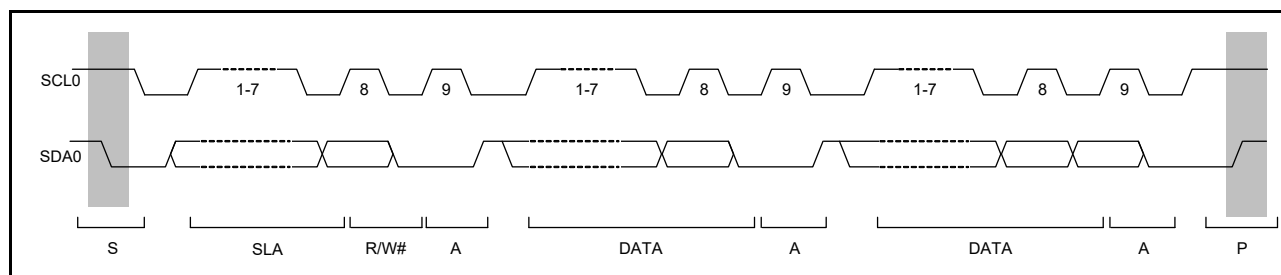


図 29.3 I²C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ですDA0ラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します)。
- A# : ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr : リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ですセットアップ時間経過後にSDA0ラインがHighからLowに変化します。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ですDA0ラインがLowからHighに変化します。

29.3.2 初期設定

データの送信 / 受信を開始する場合、図 29.4 に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0”(SCL0、SDA0 端子非駆動状態)にしたまま ICCR1.IICRST ビットを“1”(RIIC リセット)にした後、ICCR1.ICE ビットを“1”(内部リセット)にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 29.4 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0”(RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

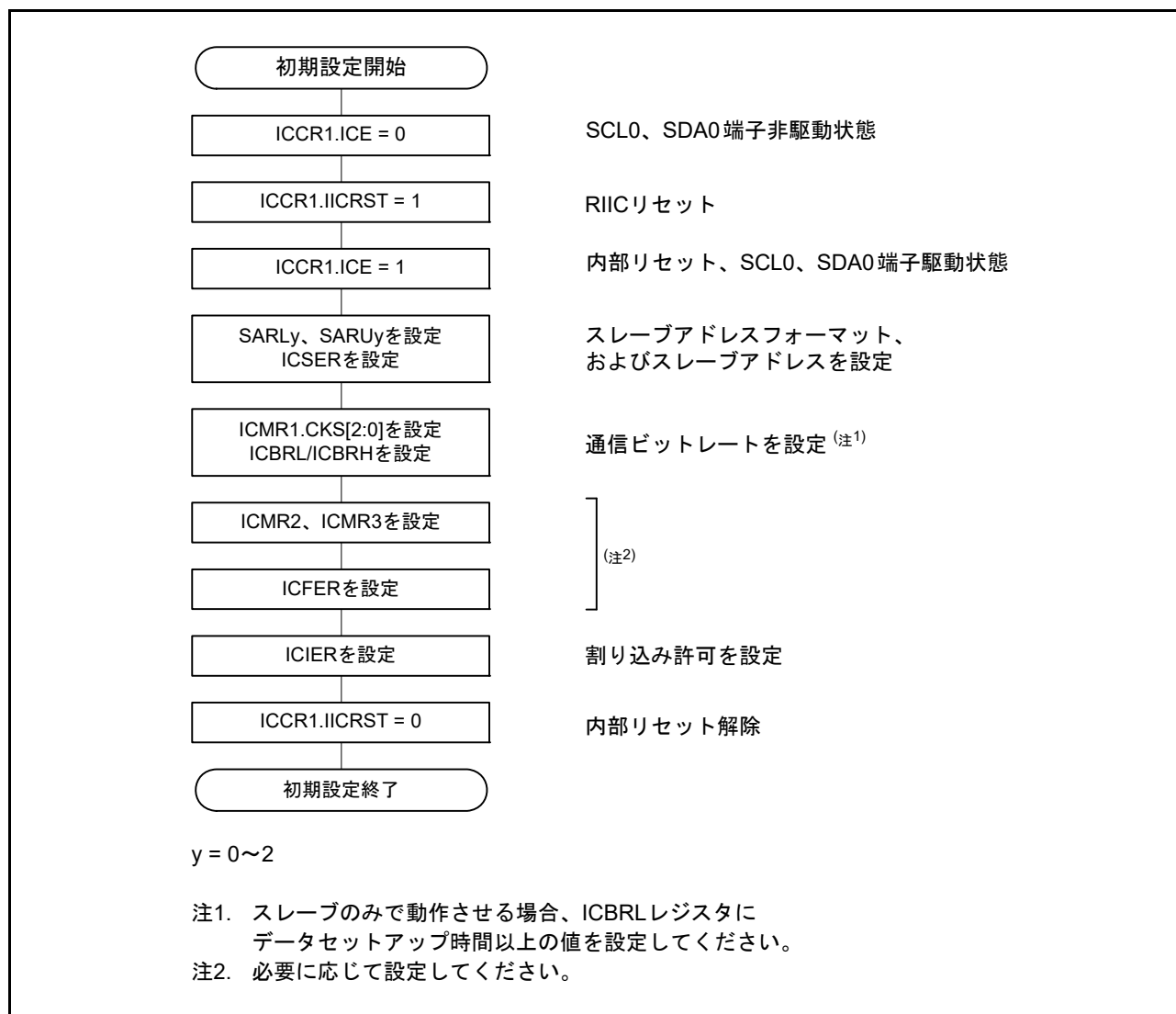


図 29.4 RIIC の初期化フローチャート例

29.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。図 29.5 にマスタ送信の使用例を、図 29.6 ～図 29.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「29.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.NACKF フラグが“1”になるか、ICSR2.TEND フラグが“1”になるまで待ってから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

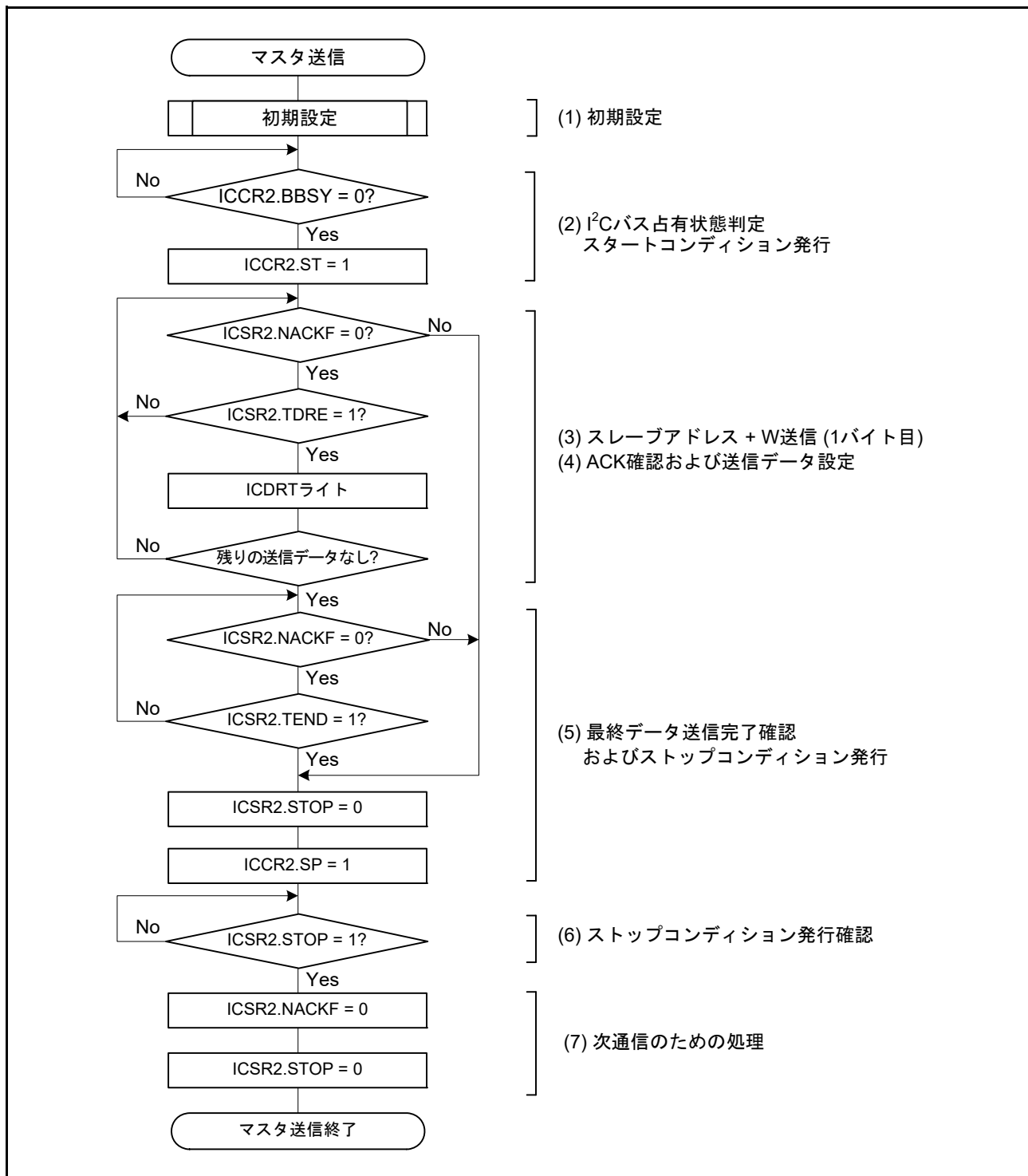


図 29.5 マスタ送信のフローチャート例

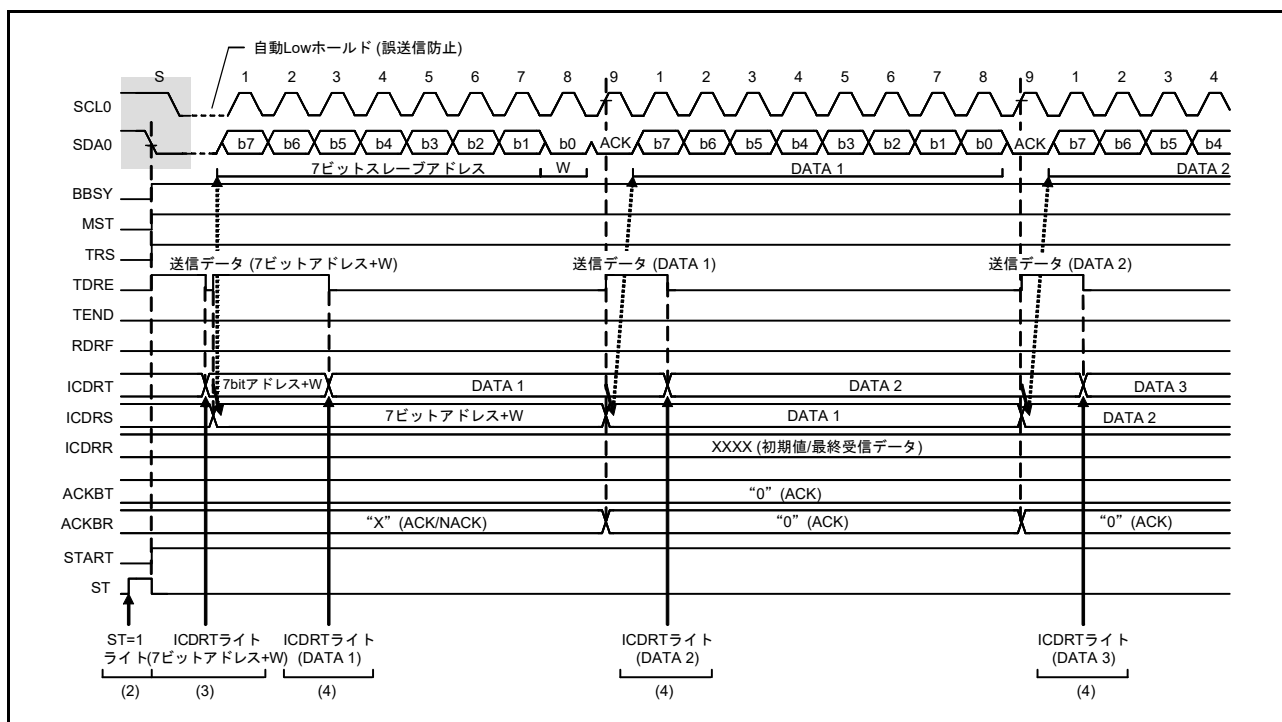


図 29.6 マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマットするとき)

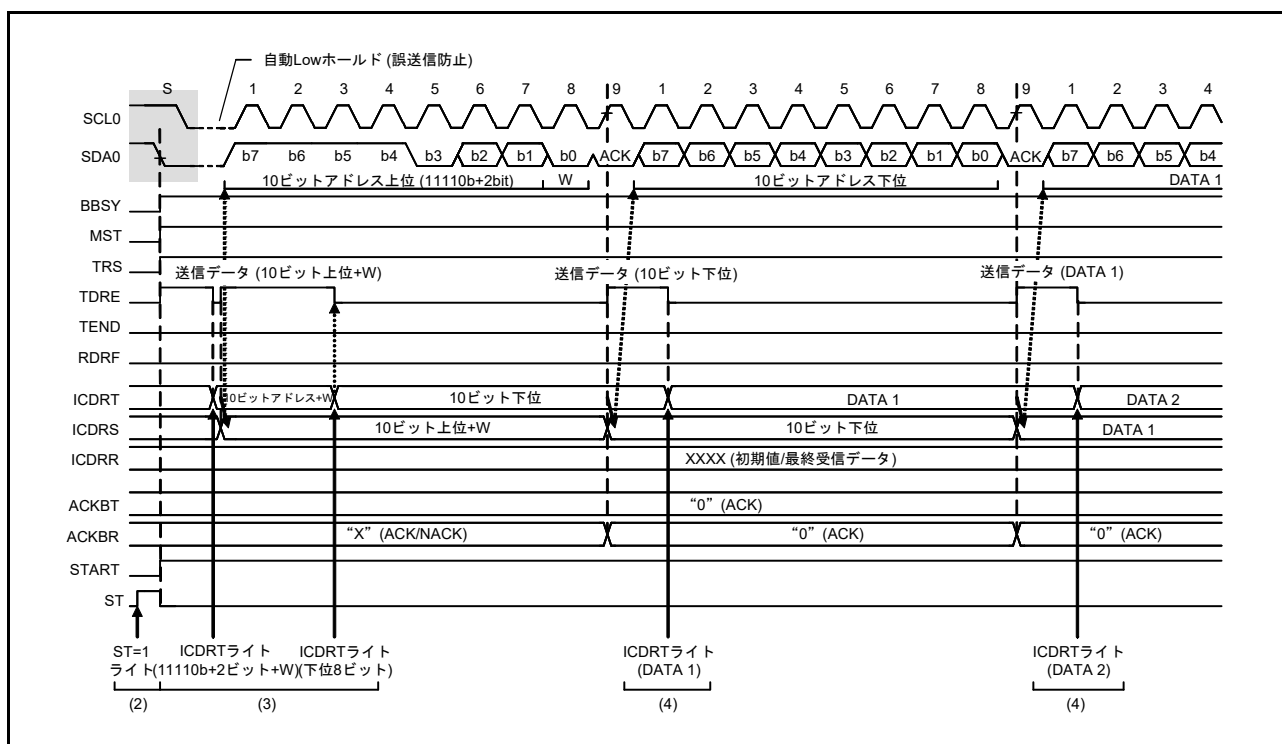


図 29.7 マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマットするとき)

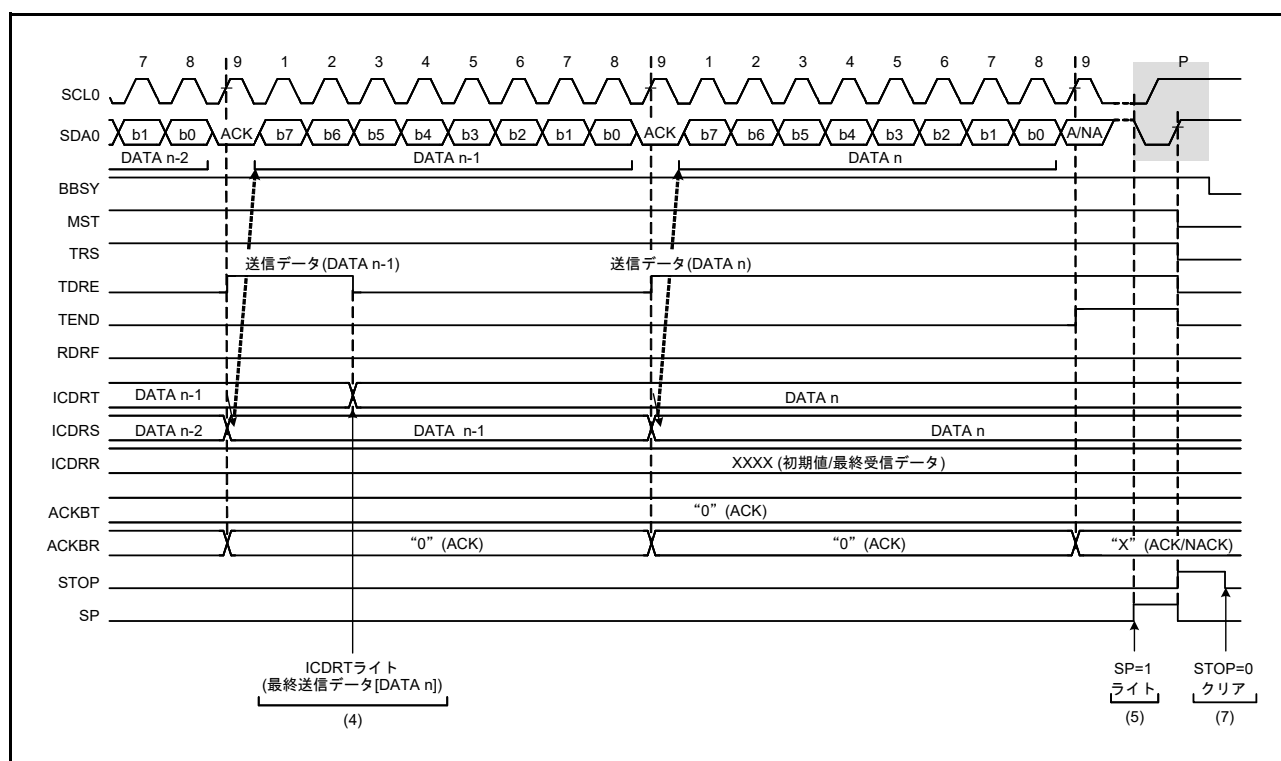


図 29.8 マスタ送信の動作タイミング (3)

29.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アックノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信するため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 29.9、図 29.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 29.11 ~ 図 29.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「29.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

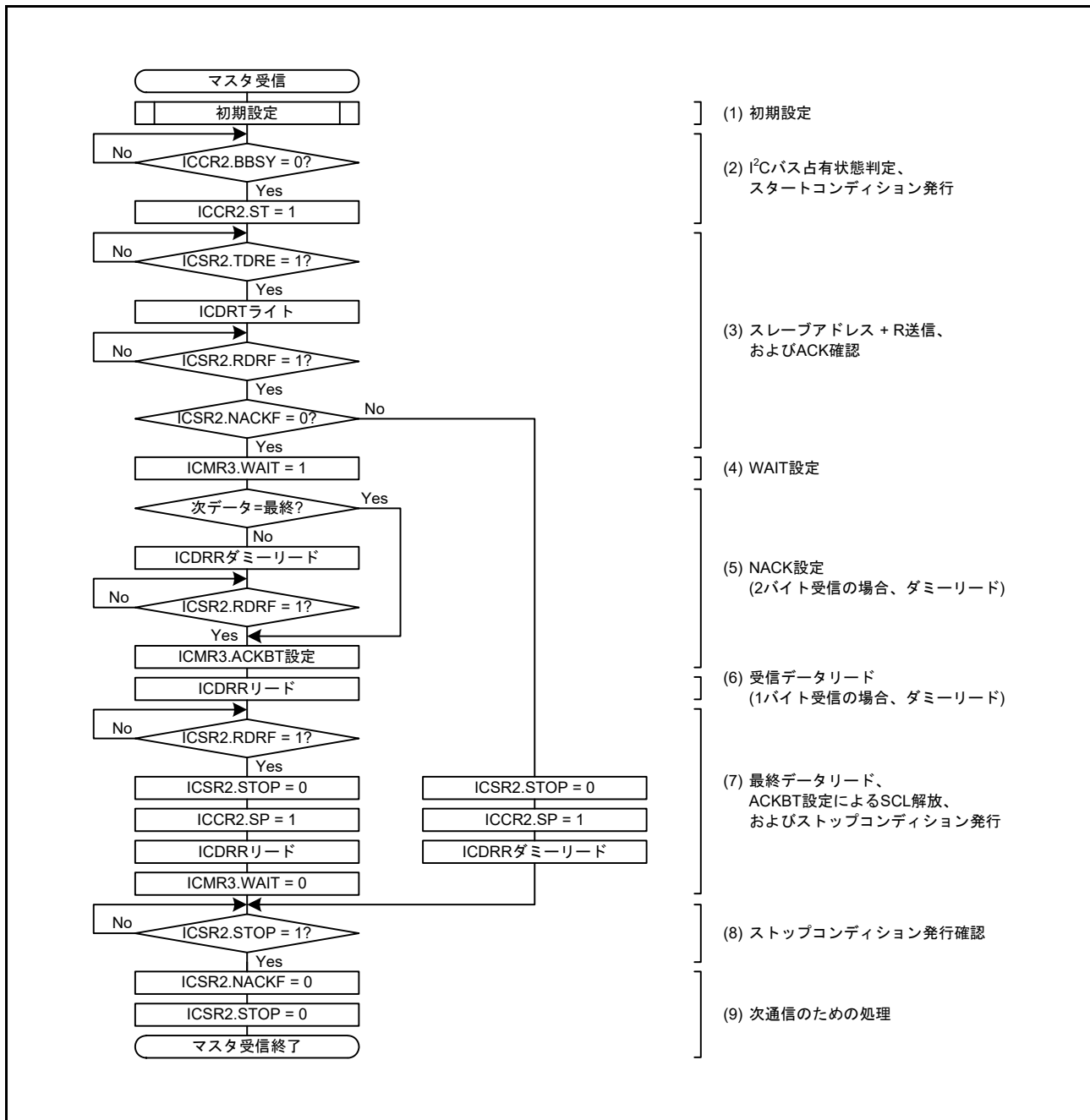
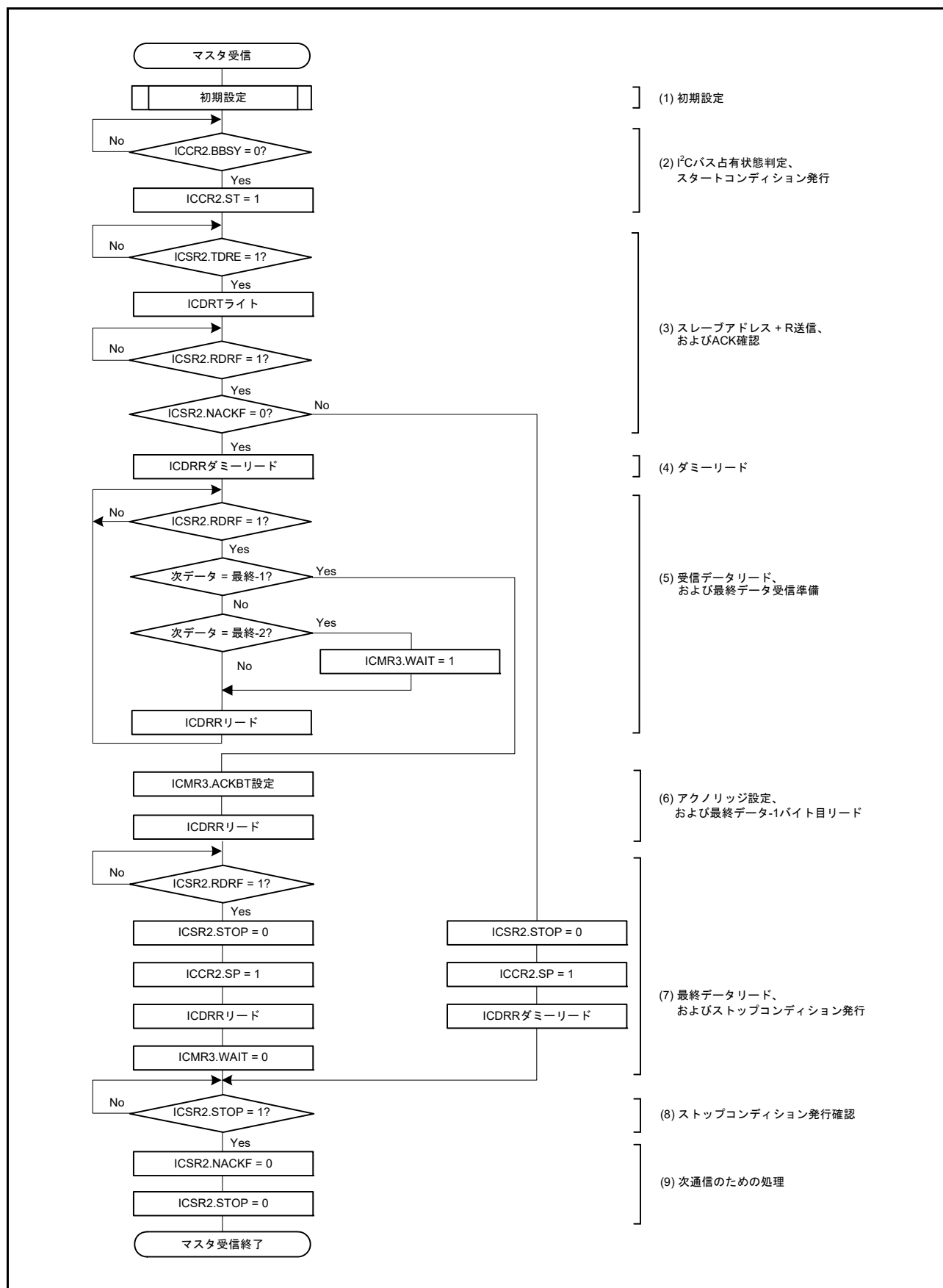
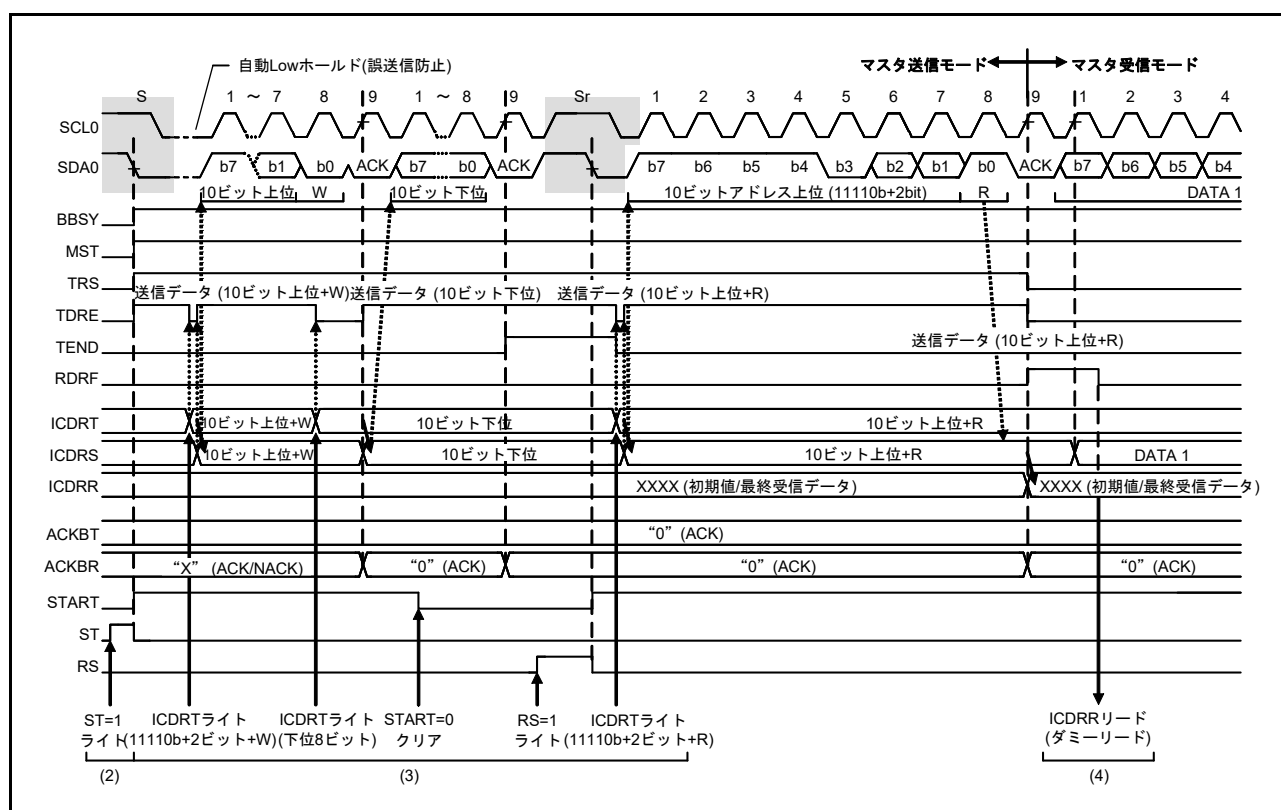
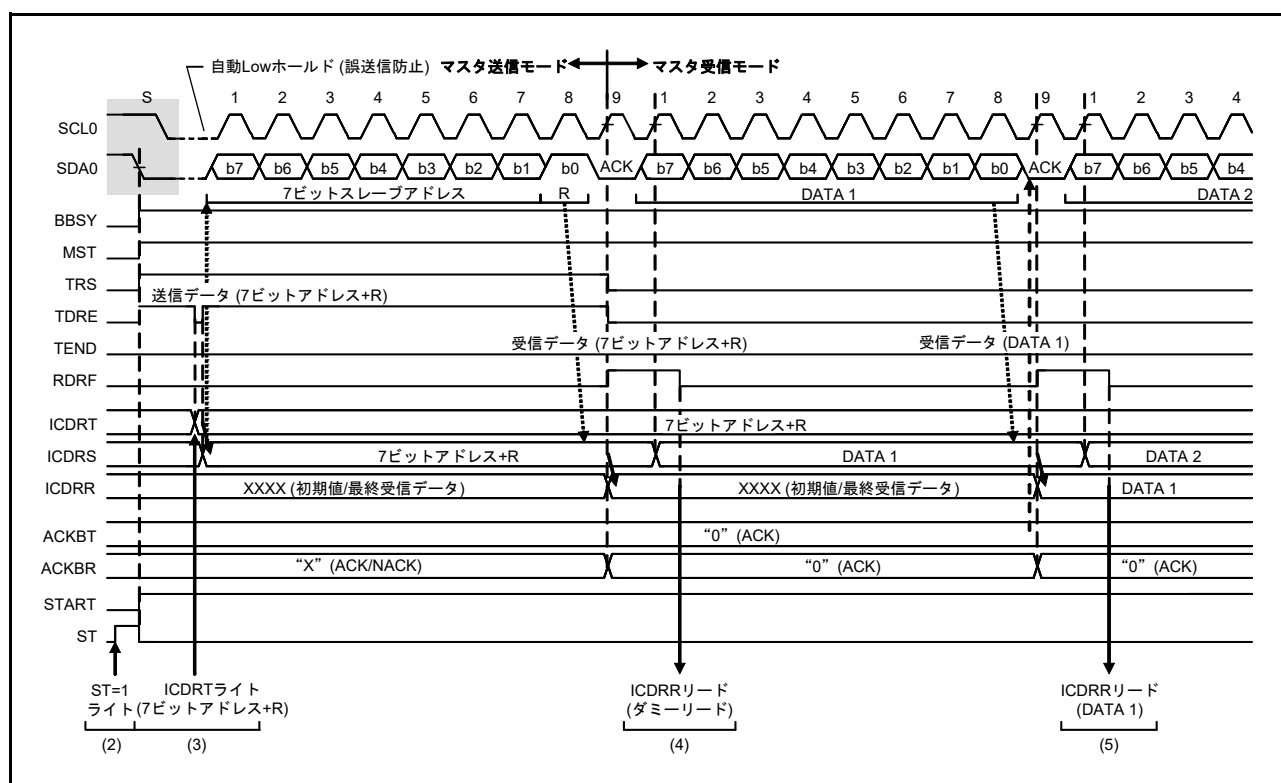


図 29.9 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)





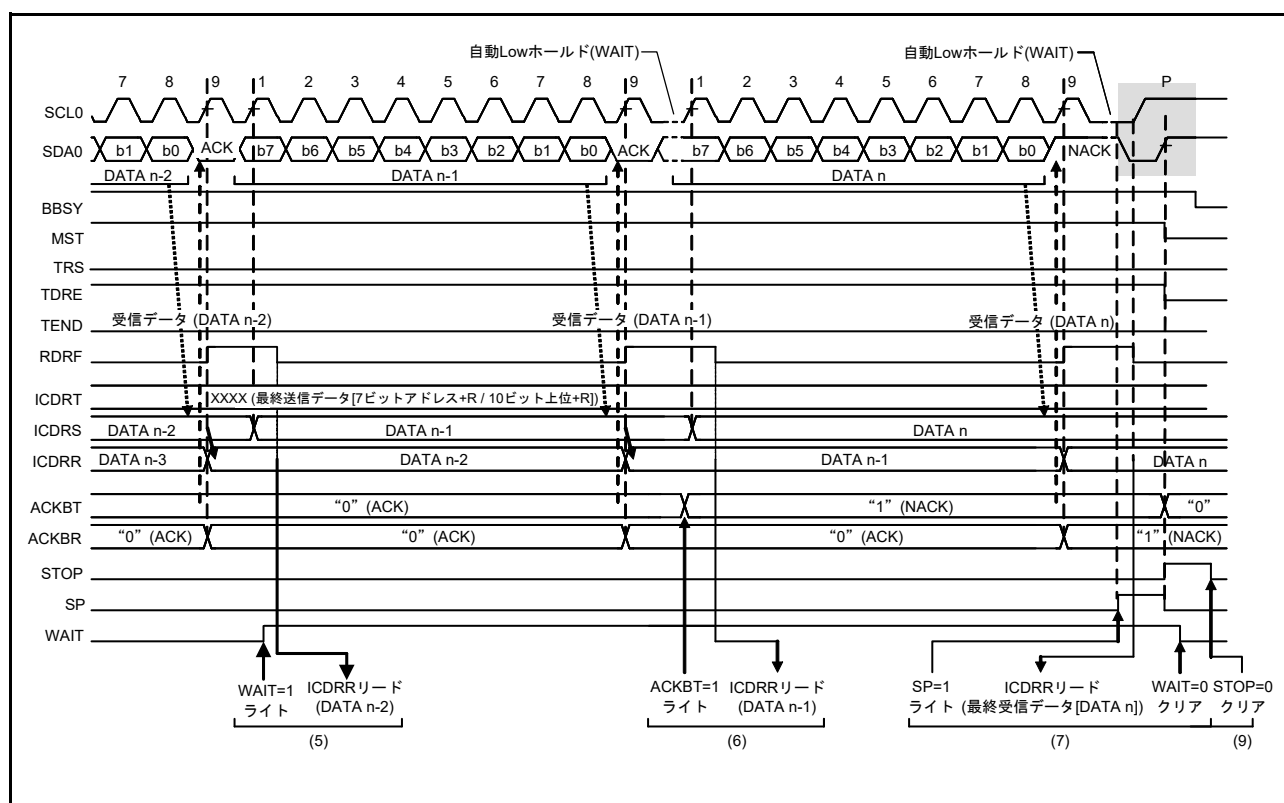


図 29.13 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

29.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 29.14 にスレーブ送信の使用例を示します。図 29.15、図 29.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「29.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

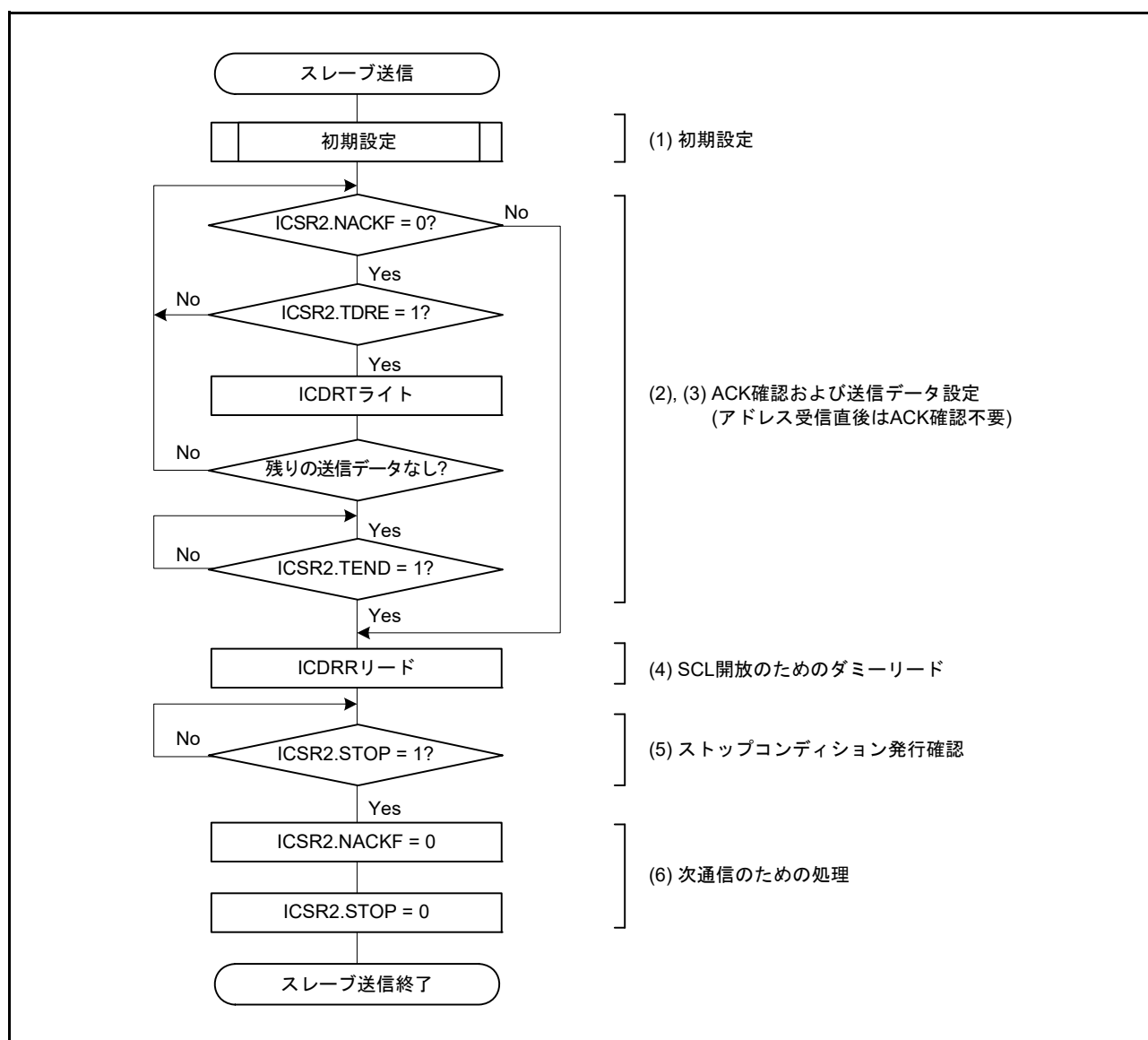


図 29.14 スレーブ送信のフローチャート例

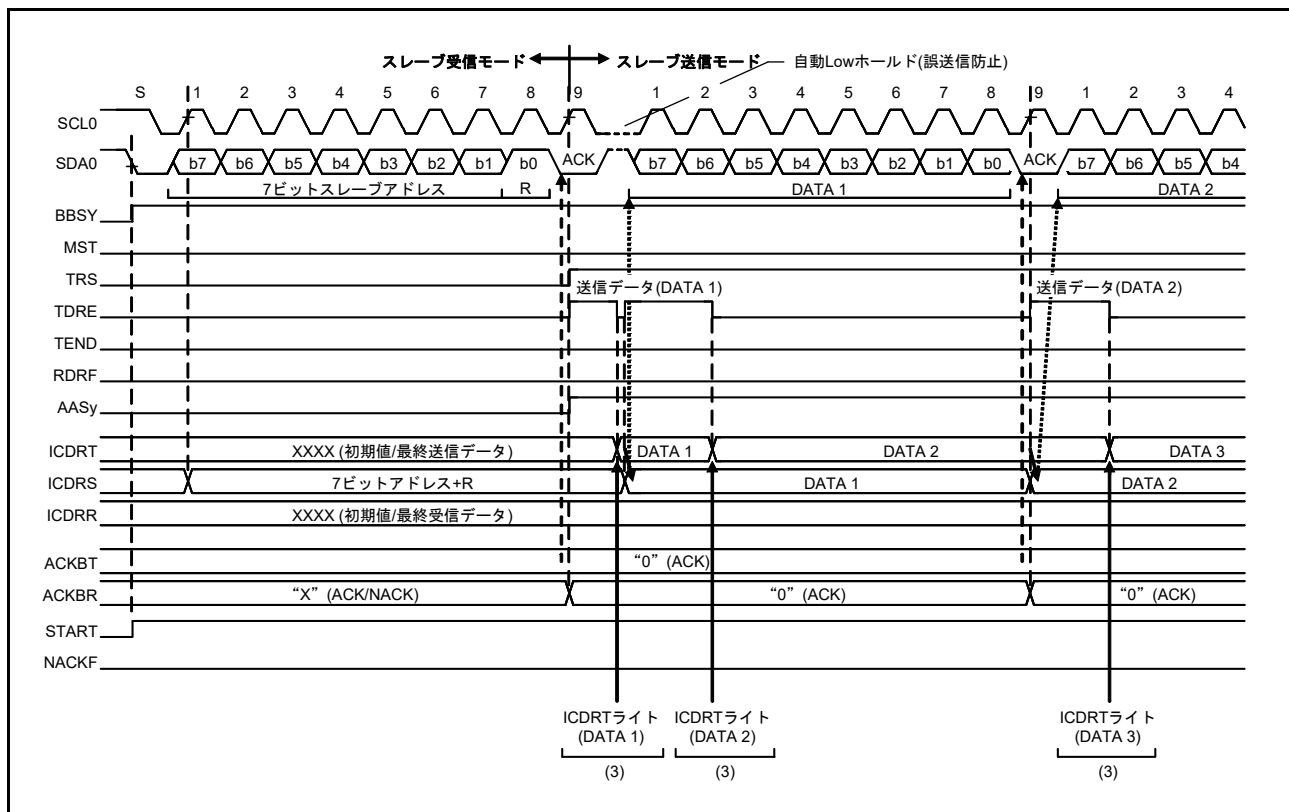


図 29.15 スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマットするとき)

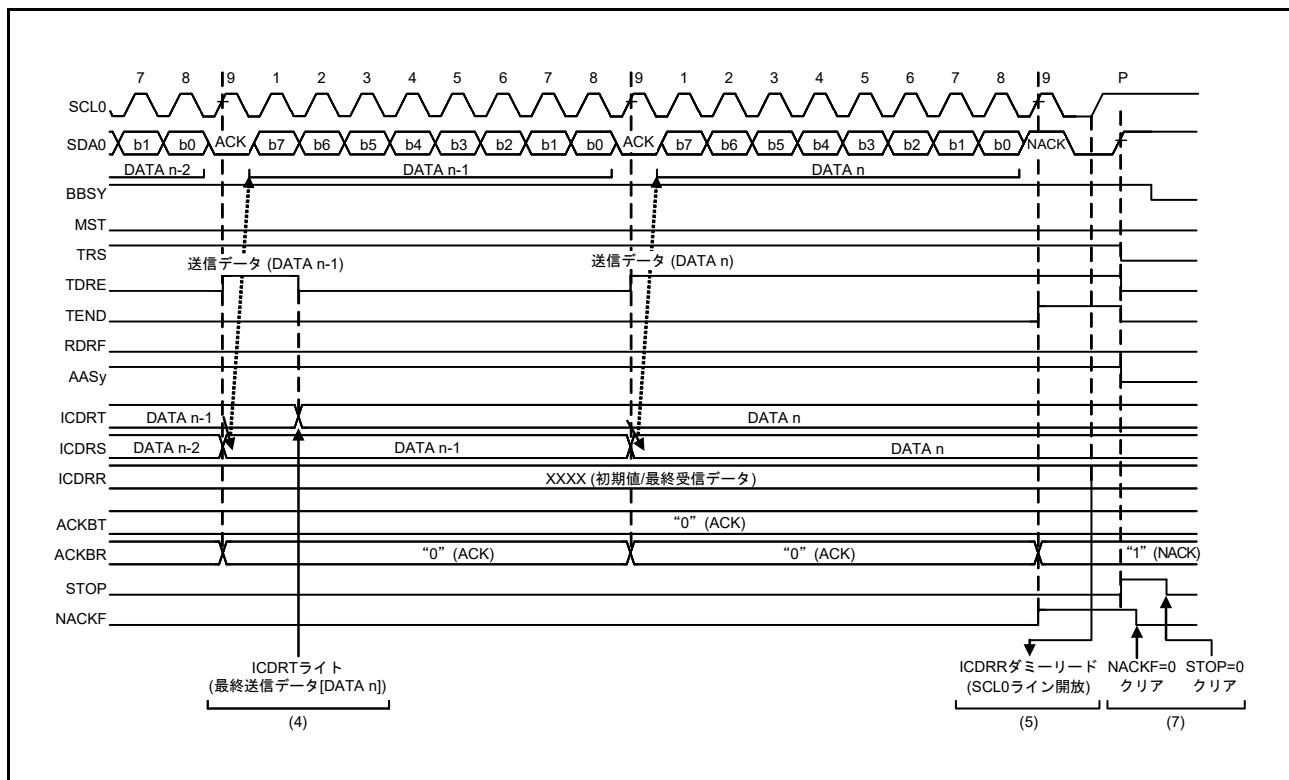


図 29.16 スレーブ送信の動作タイミング (2)

29.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアク
ノリッジを返します。

図 29.17 にスレーブ受信の使用例を図 29.18、図 29.19 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「29.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL 立ち下がりで SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

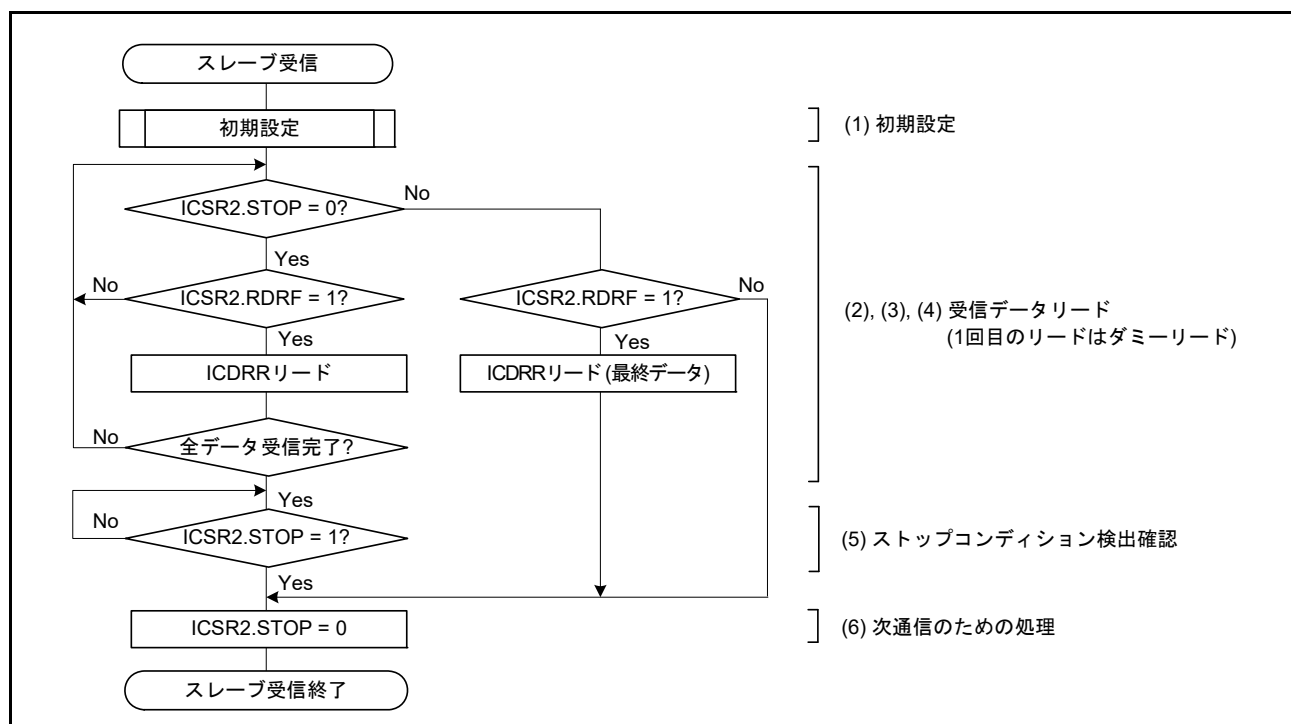


図 29.17 スレーブ受信のフローチャート例

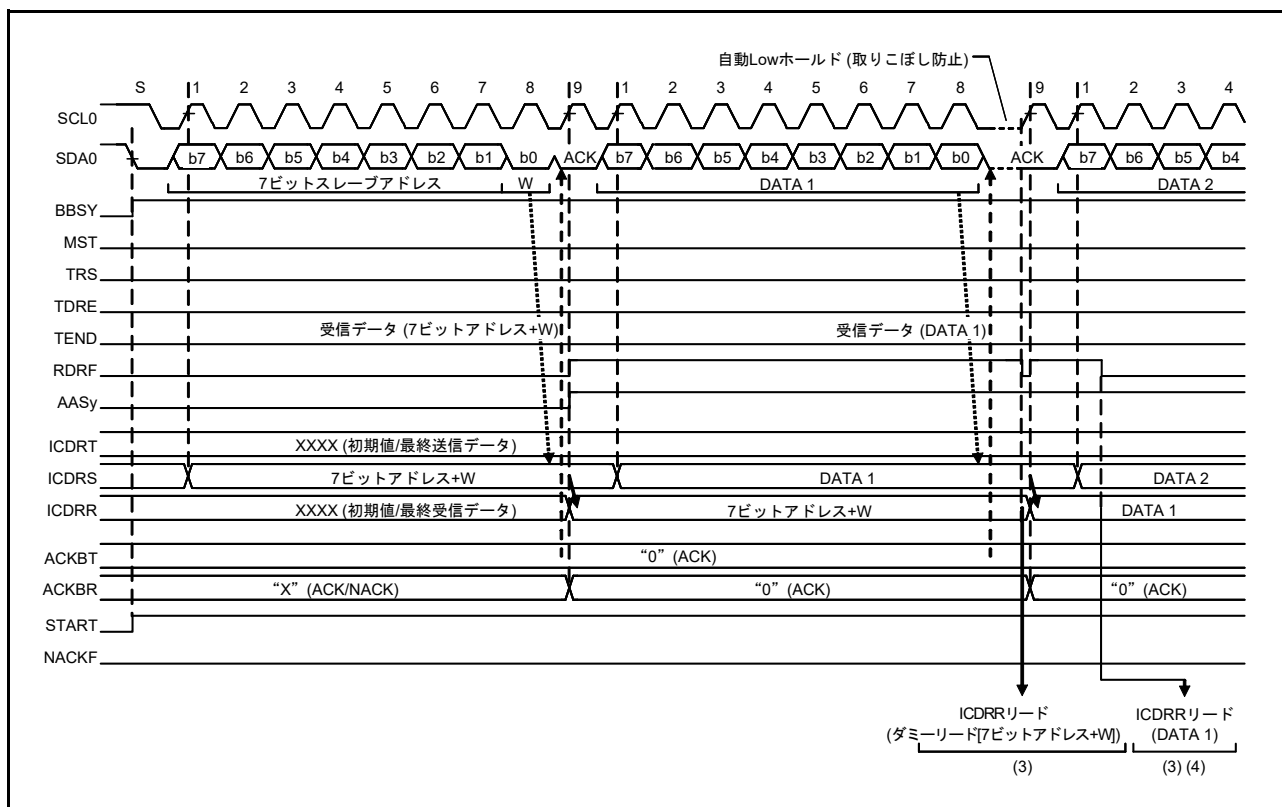


図 29.18 スレーブ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

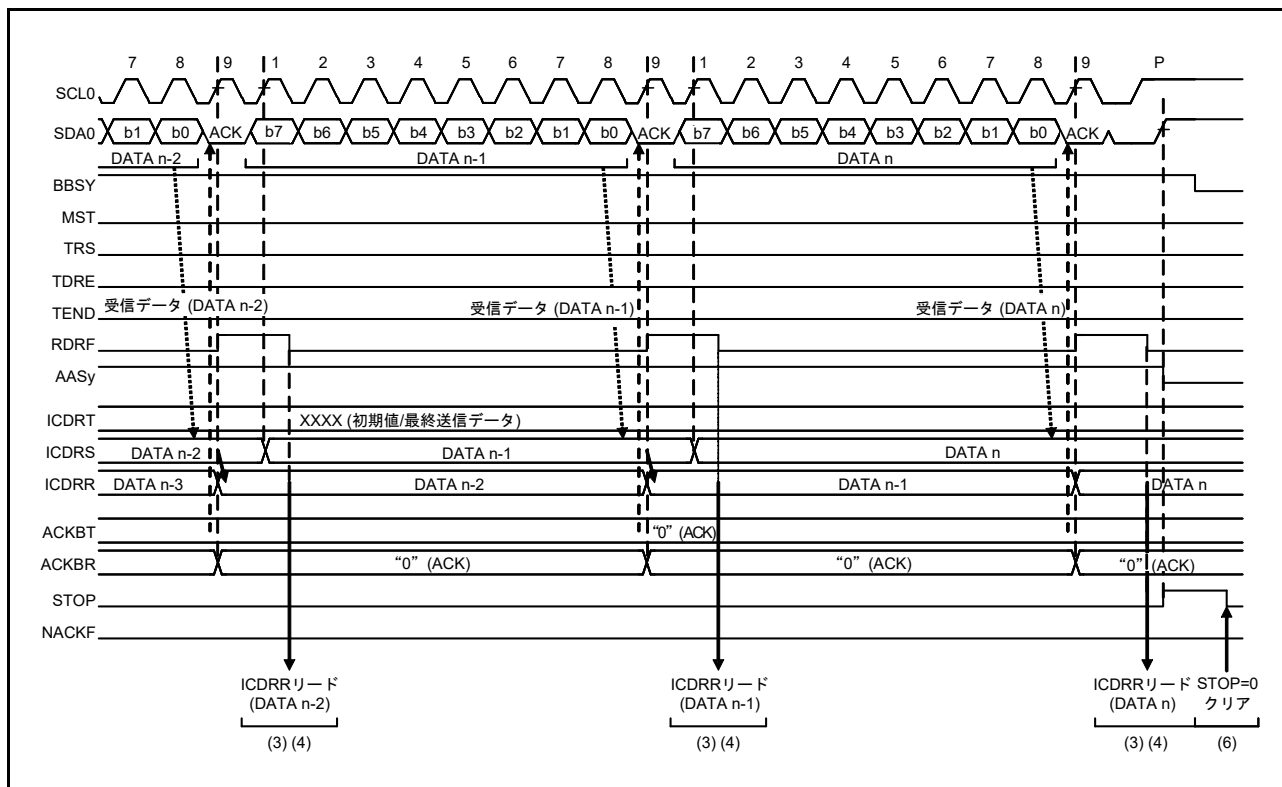


図 29.19 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

29.4 SCL 同期回路

RIIC の SCL 生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL を生成します。

I²C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL 出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

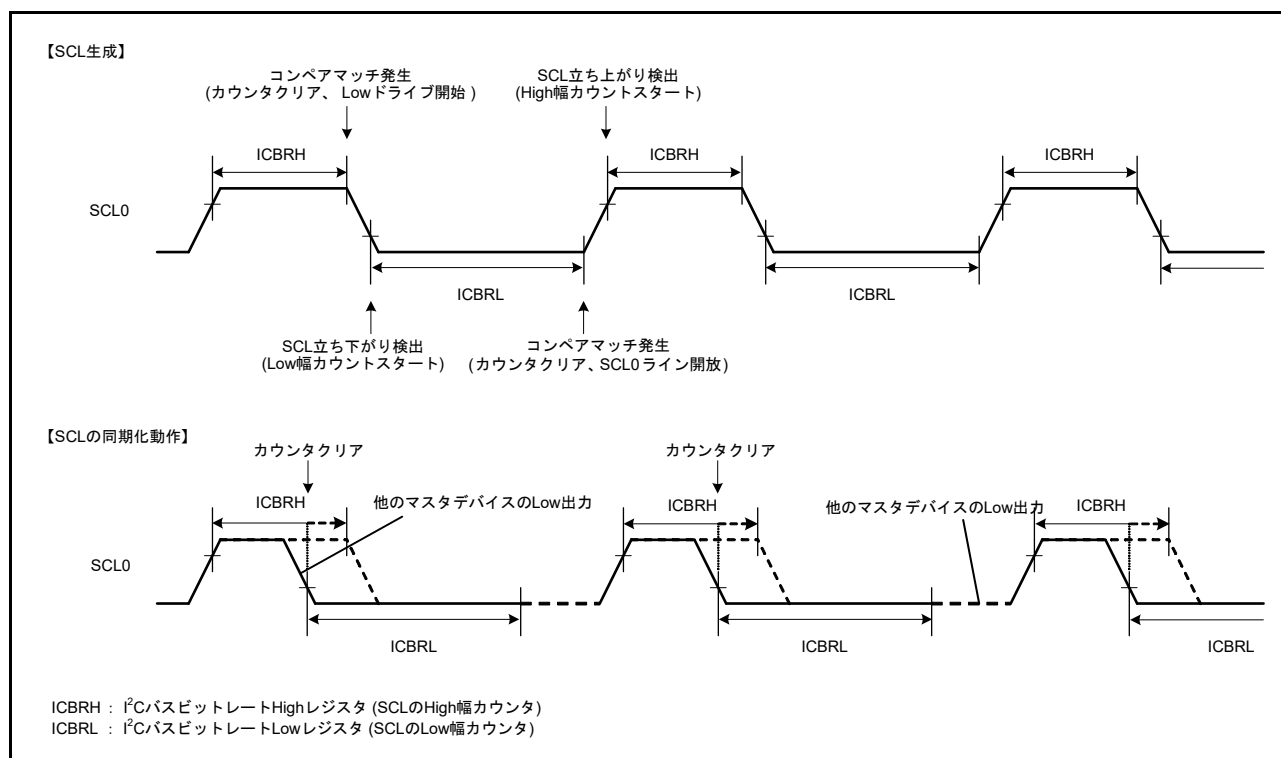


図 29.20 RIIC の SCL 生成および SCL 同期化動作

29.5 SDA 出力遅延機能

RIIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を遅延させることができます。

SDA 出力遅延機能は、SCL の立ち下がり検出から SDA 出力を遅延させ、確実に SCL の Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBus のデータホールド時間 : 300 ns (min) の仕様を満たす目的でも使用することができます。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効 (SDDL[2:0] ビットが “000b” 以外) のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック (IIC ϕ) またはその 2 分周クロック (IIC ϕ /2) をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力 (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を行います。

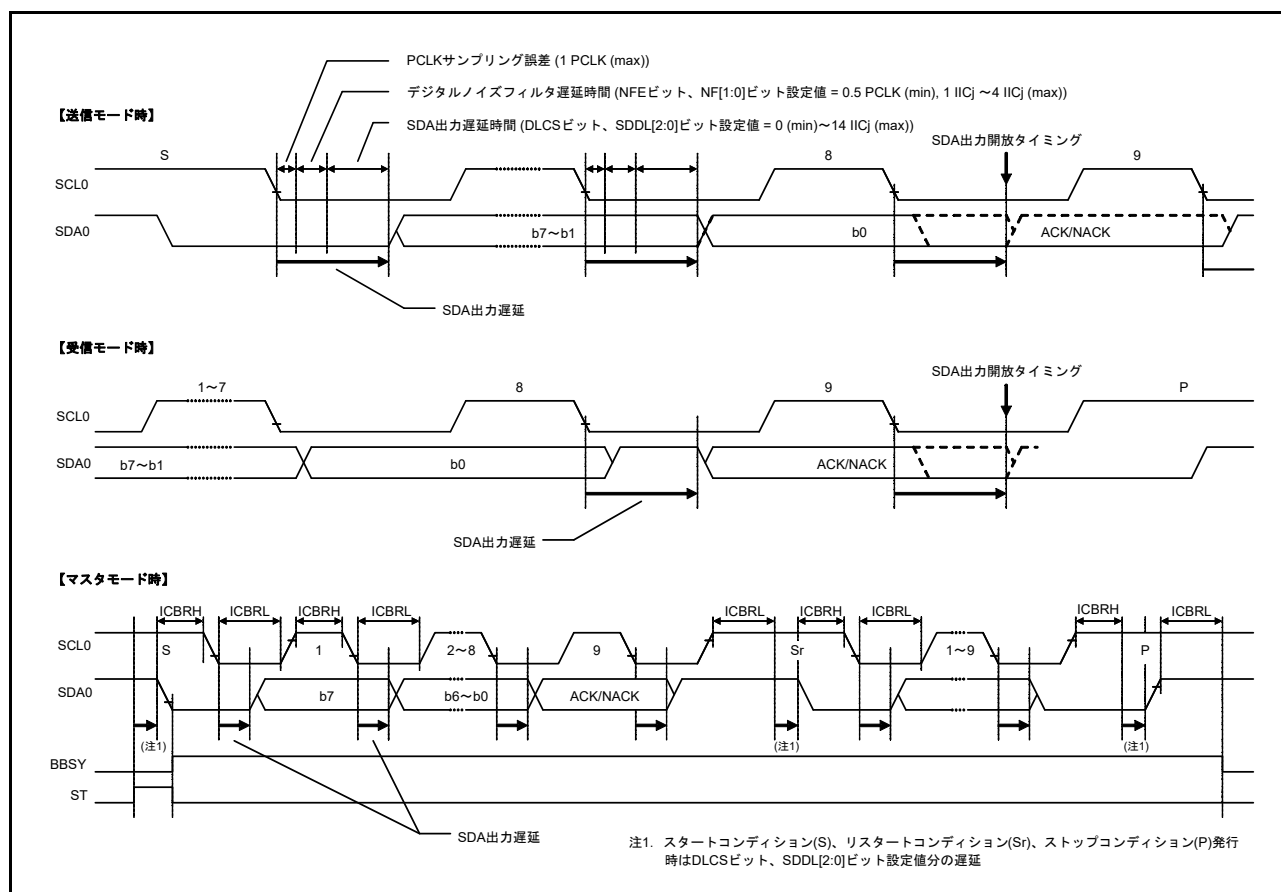


図 29.21 SDA 出力遅延タイミング

29.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。

図 29.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 IICφ ~ 4 IICφ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は IICφ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4 MHz 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合がありますので注意してください。

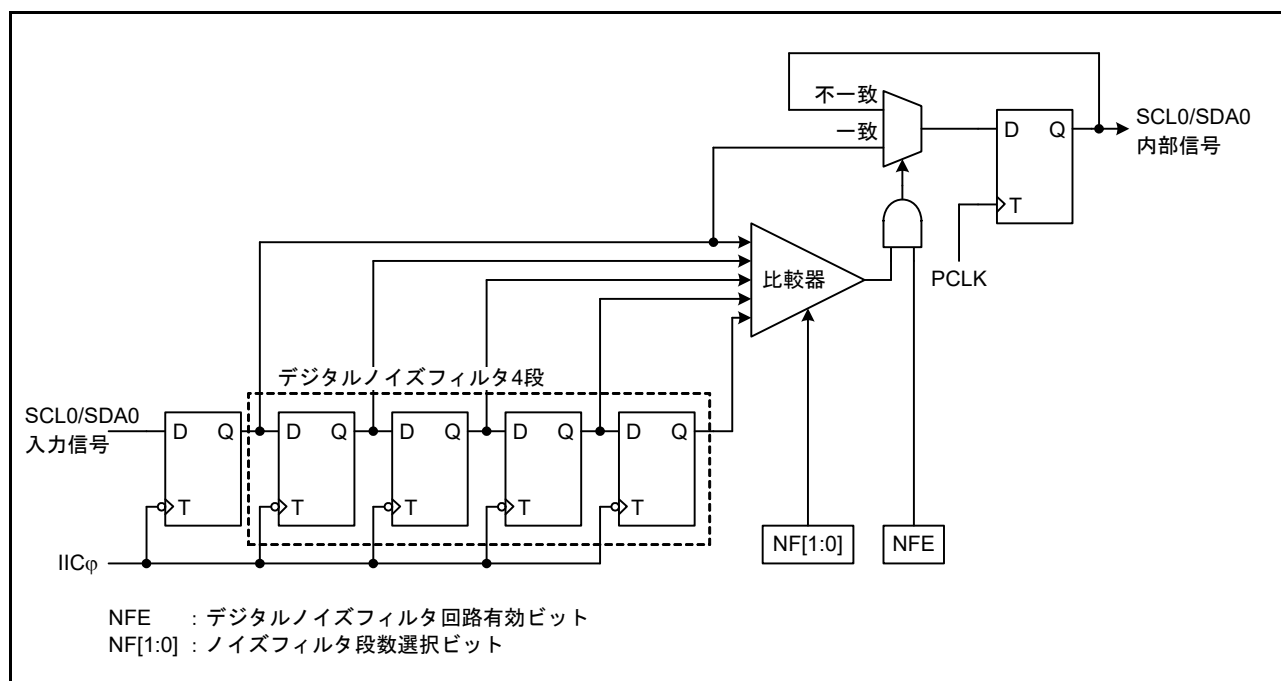


図 29.22 デジタルノイズフィルタ回路のブロック図

29.7 アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

29.7.1 スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット (y=0~2) が“1” のとき、SARUy/SARLy レジスタ (y=0~2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、9 個目の SCL の立ち上がりで該当する ICSR1.AASy フラグ (y=0~2) を“1” にし、このとき受信した R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを“1” にします。これにより受信データフル割り込み (RXI) または送信データエンpty割り込み (TXI) を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 29.23 ~ 図 29.25 に AASy フラグが“1”になるタイミングを示します。

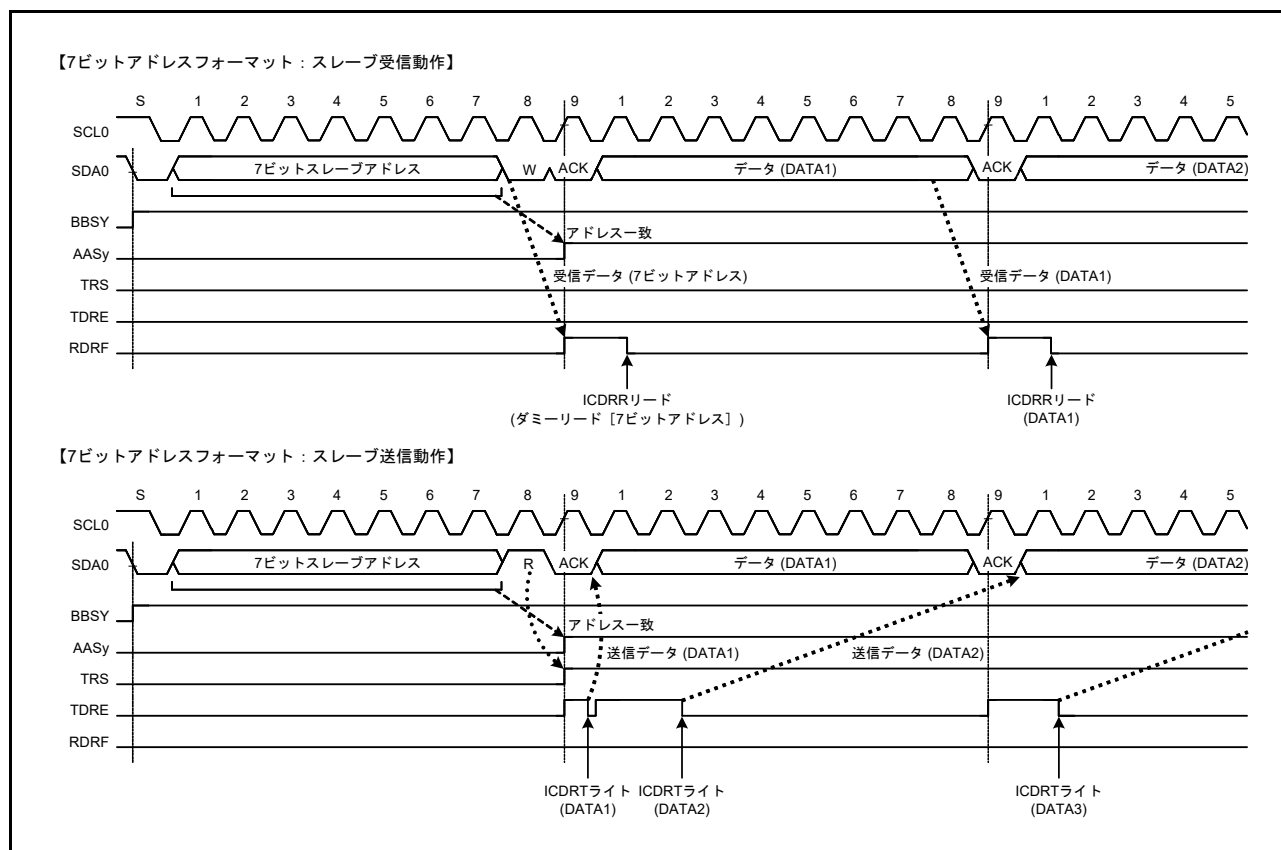


図 29.23 7 ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

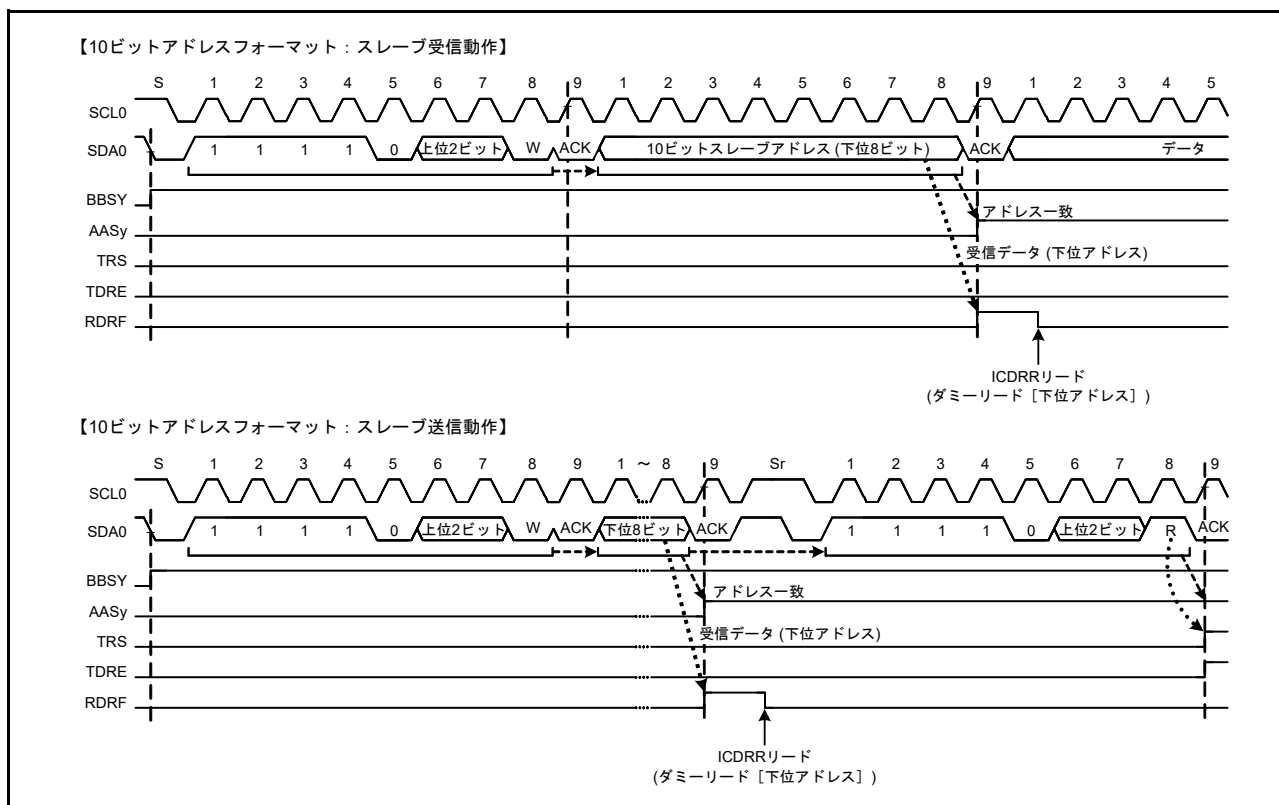


図 29.24 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

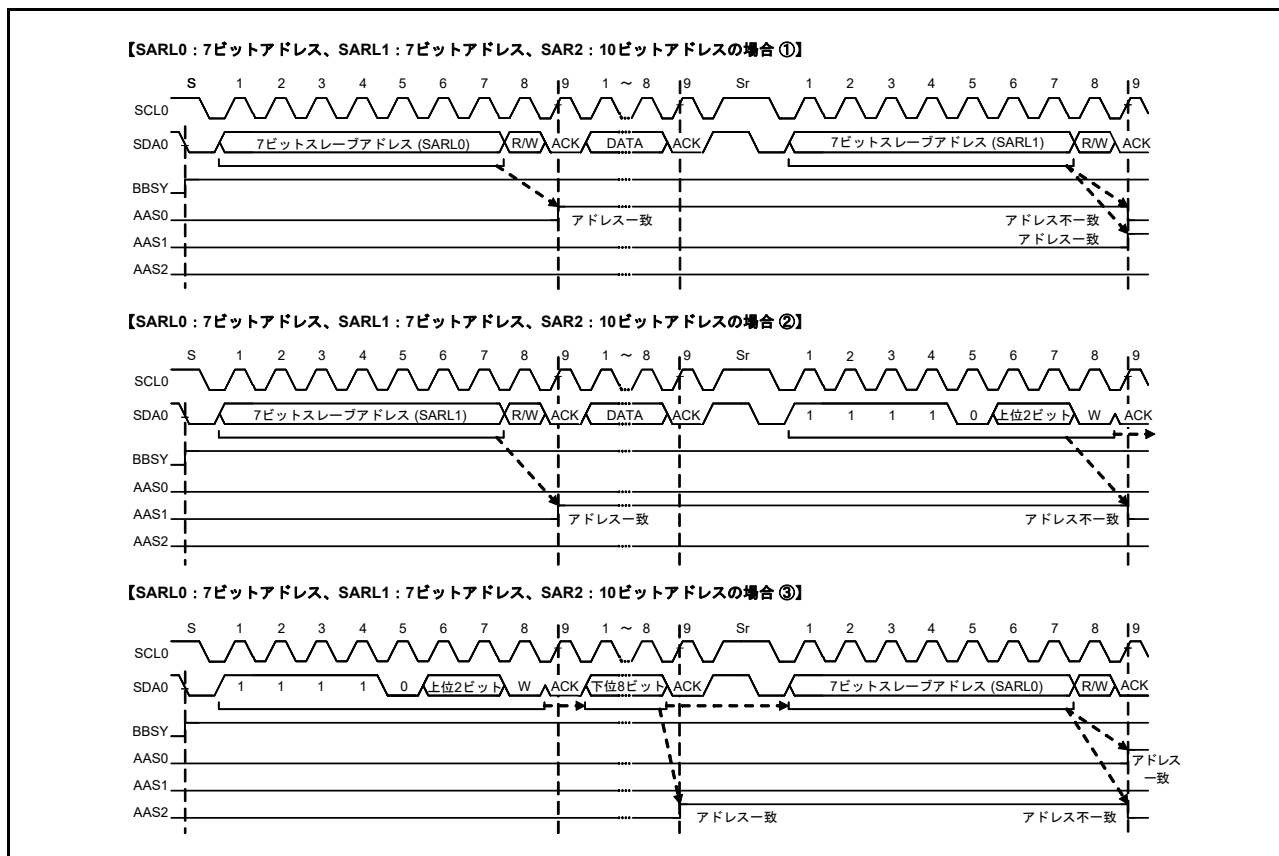


図 29.25 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

29.7.2 ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSR1.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIIC はこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

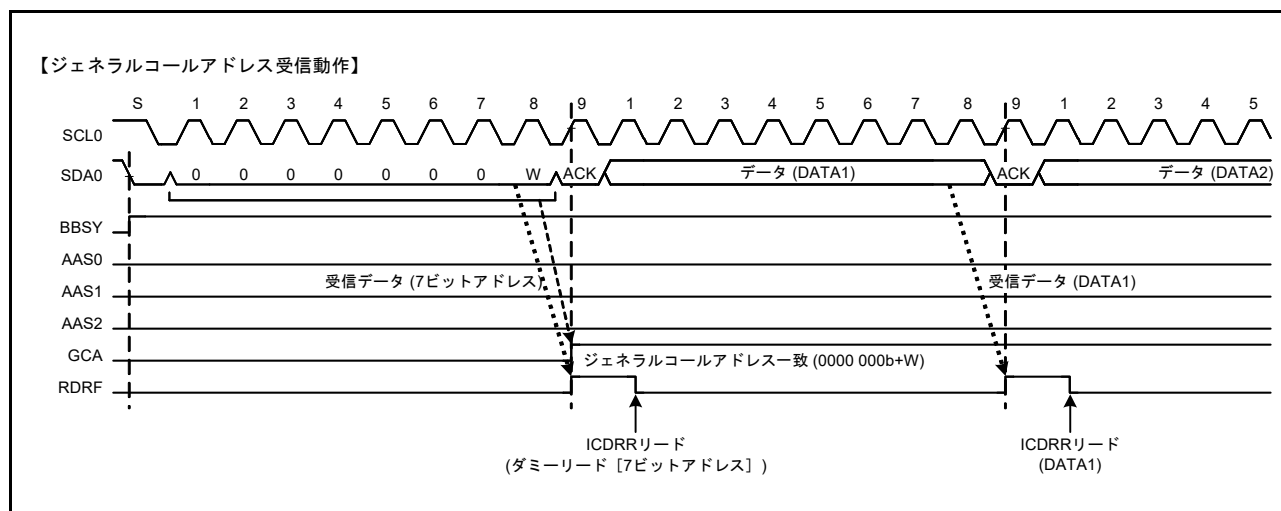


図 29.26 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

29.7.3 デバイス ID アドレス検出機能

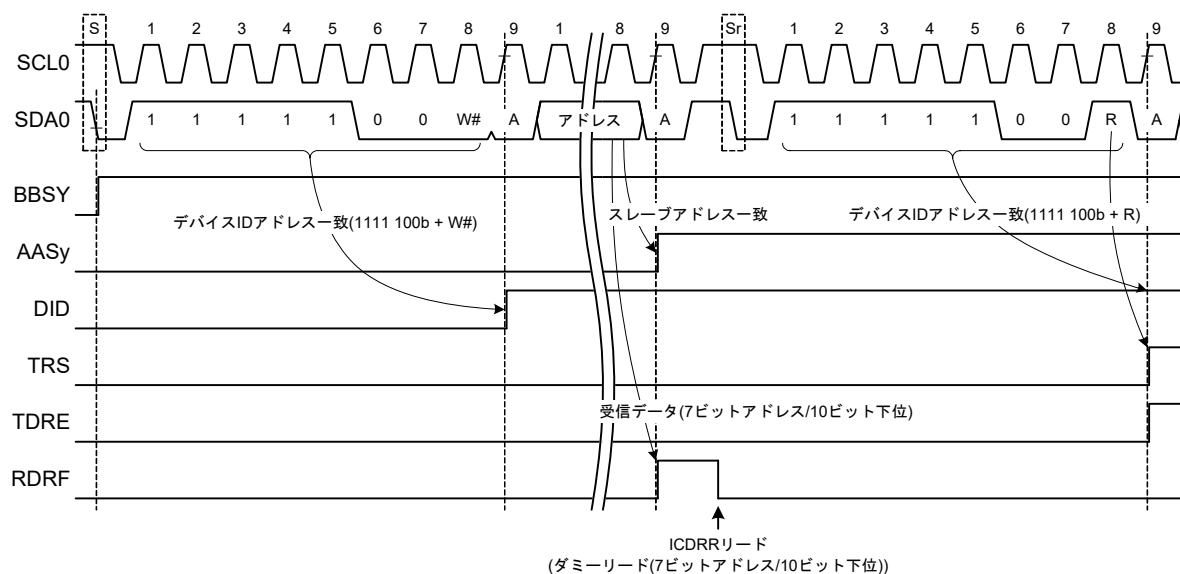
RIIC は I²C バス仕様に準拠したデバイス ID アドレスの検出機能を備えています。ICSR.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき 9 個目の SCL の立ち上がりで ICSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y=0 ~ 2) が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが“1”のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを“1”にします。

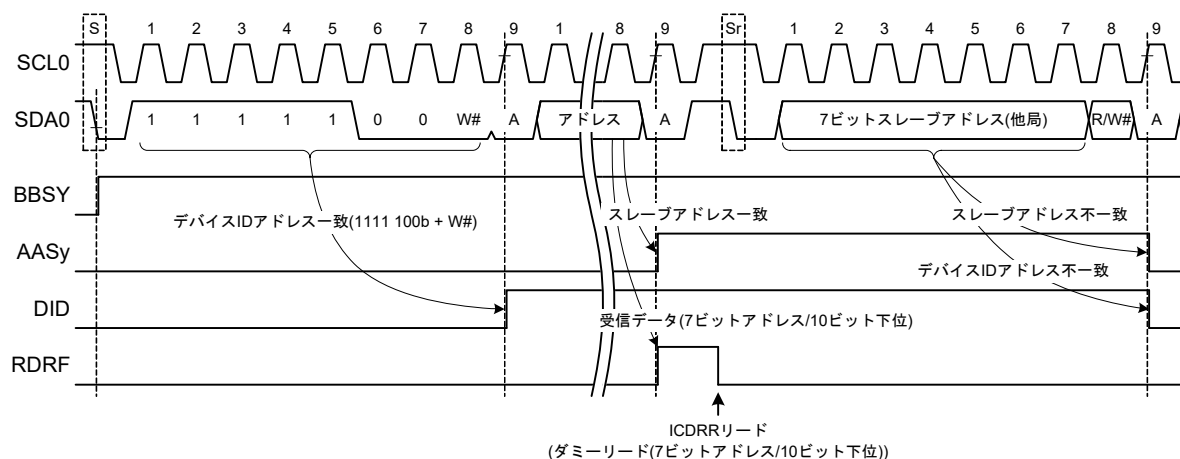
デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが“0”のとき DID フラグを“1”にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE フラグが“1”であることを確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

【デバイスID受信動作】



【リスタートコンディション後のアドレスがデバイスIDアドレスでない場合】



【デバイスIDアドレス+Rの以前にスレーブアドレスが一致していない場合】

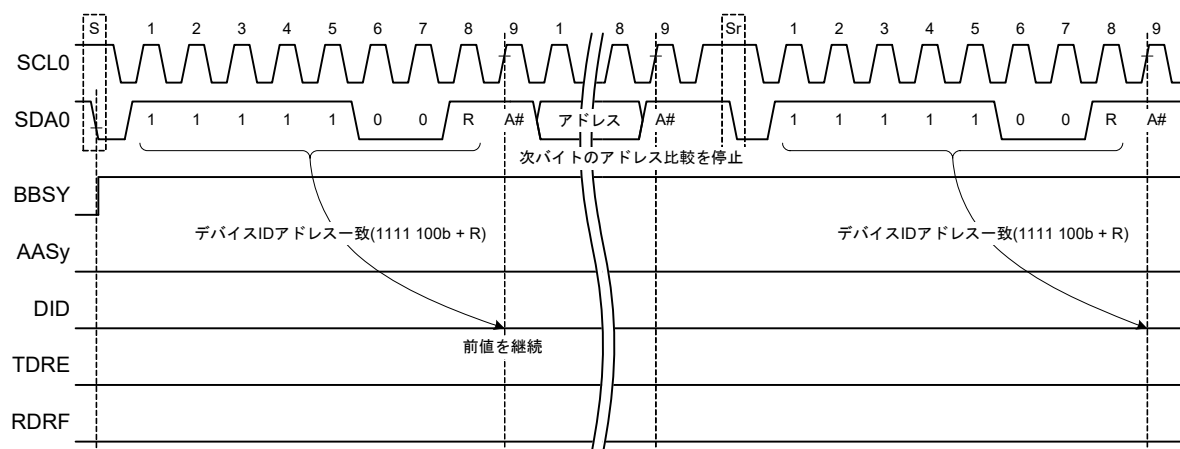


図 29.27 デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

29.7.4 ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが“1”のとき ICSEH.HOAE ビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRS ビット = 00b) にホストアドレス (0001 000b) を検出することが可能です。

RIIC はホストアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.HOA フラグを“1”にし、Wr ビット (R/W# ビットに“0”を受信) のとき ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOA フラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

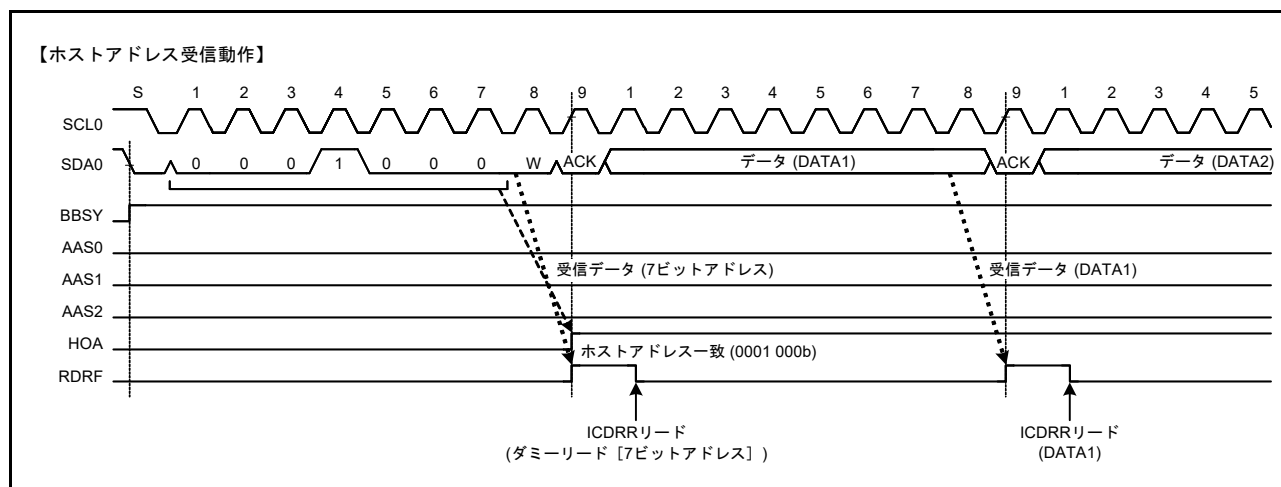


図 29.28 ホストアドレス受信時に HOA フラグが“1”になるタイミング

29.8 SCL の自動 Low ホールド機能

29.8.1 送信データ誤送信防止機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1)、シフトレジスタ (ICDRS レジスタ) が空の状態であつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL0 ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション / リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の間の Low 区間

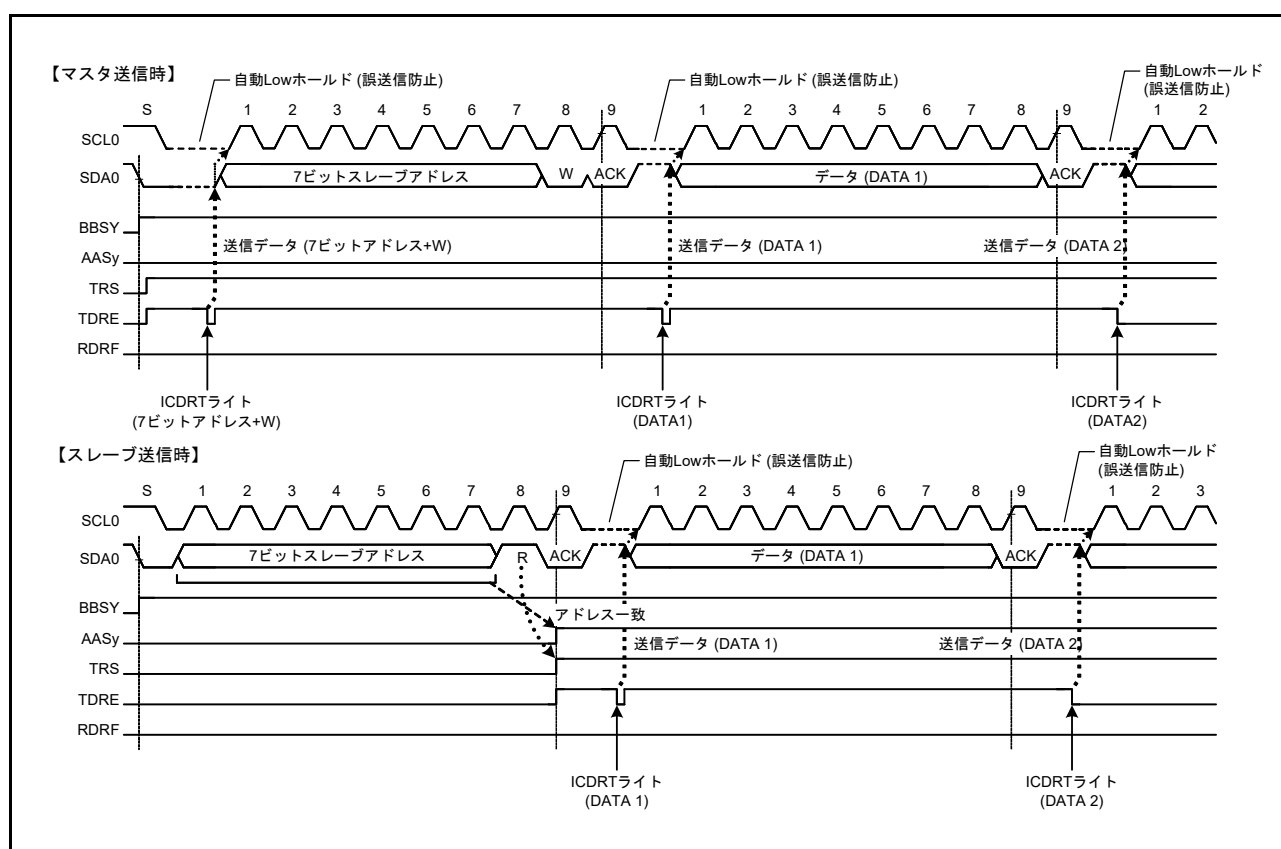


図 29.29 送信モードの自動 Low ホールド動作

29.8.2 NACK 受信転送中断機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKF ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、9 個目の SCL の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。

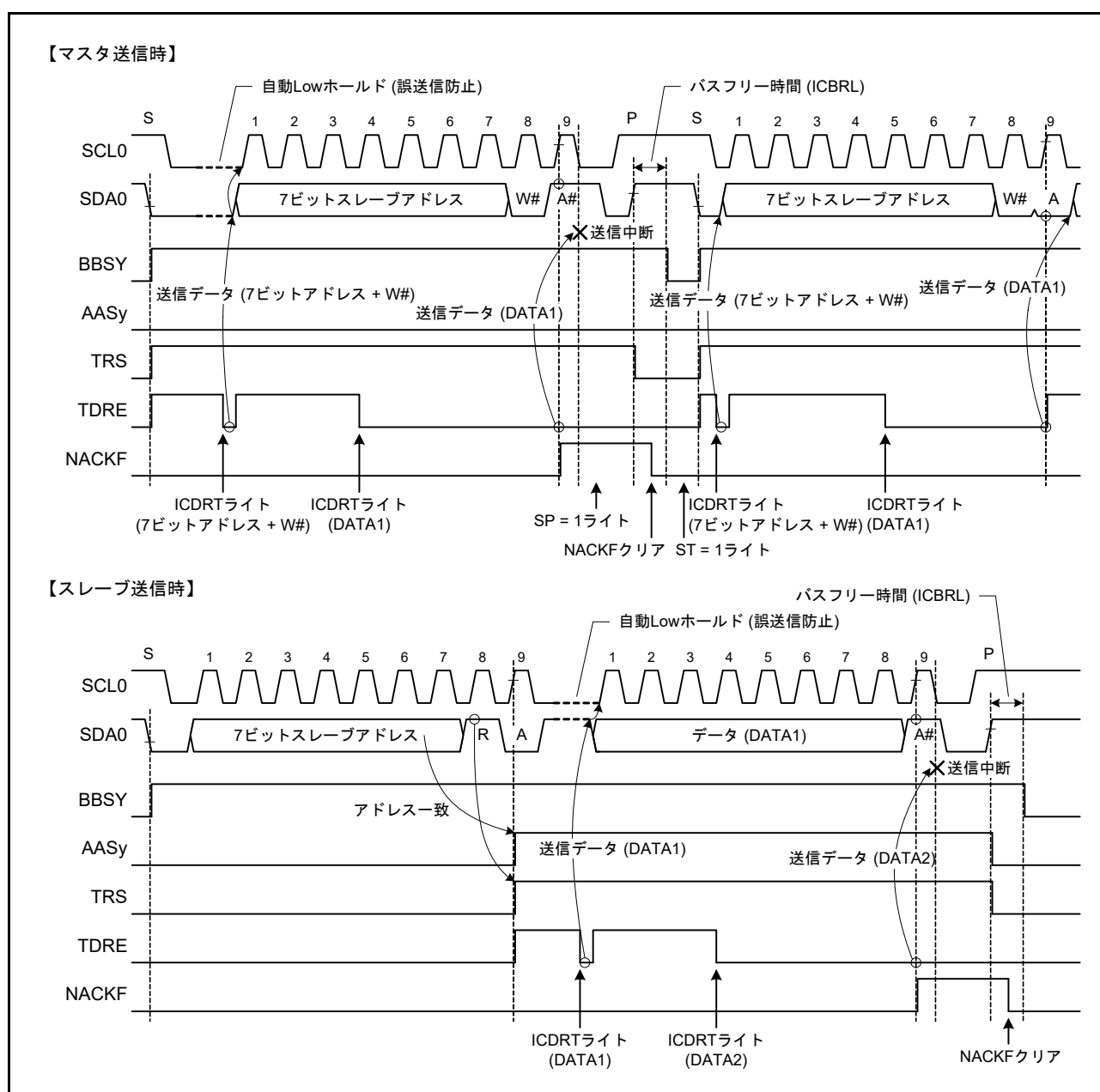


図 29.30 NACK 受信時の転送中断動作 (NACKF ビット = 1 のとき)

29.8.3 受信データ取りこぼし防止機能

RIIC は受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIIC は SCL の 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが 8 個目の SCL の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

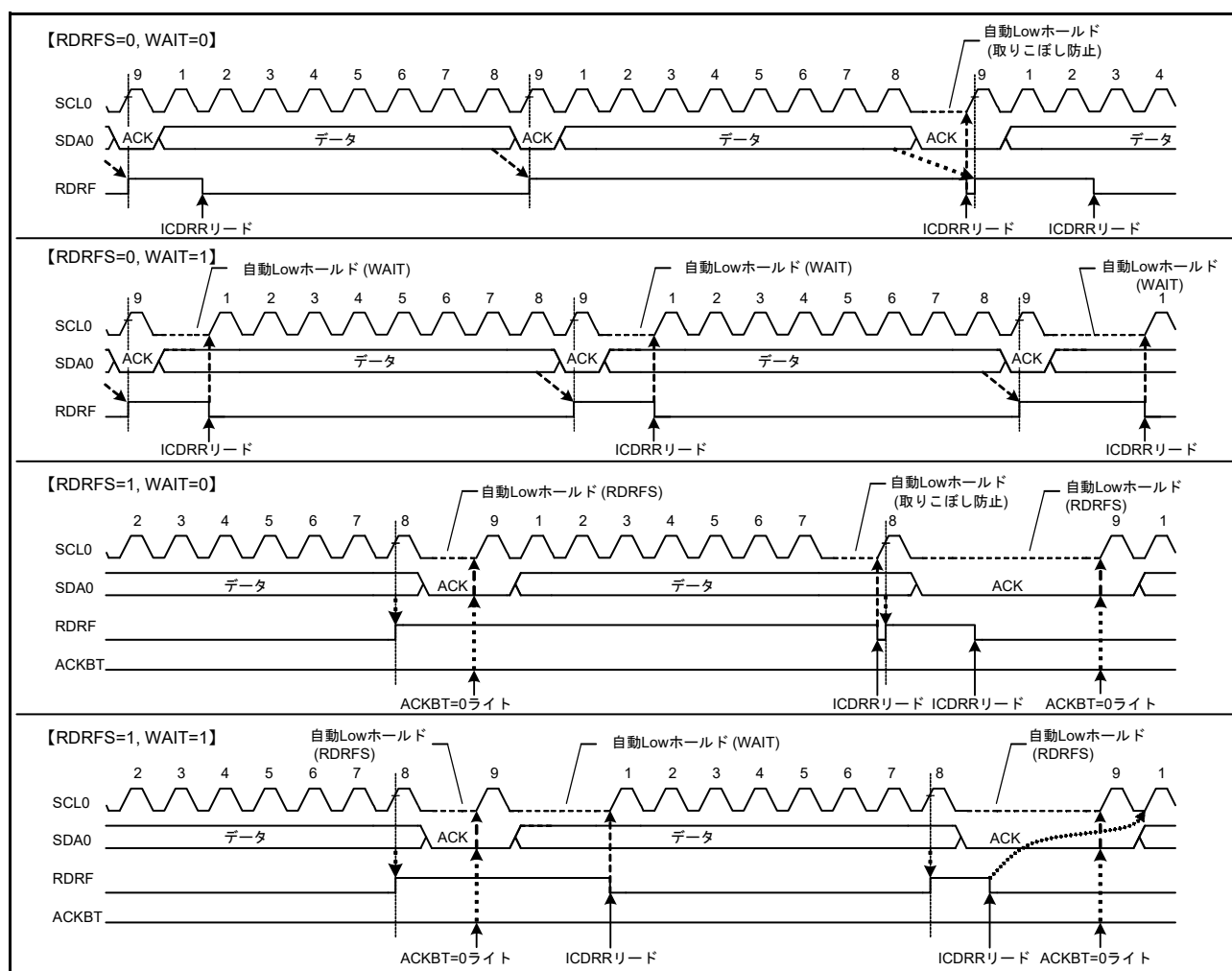


図 29.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

29.9 アービトレーションロスト検出機能

RIIC には I²C バス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

29.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIIC はスタートコンディション発行の際 SDA0 ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDA0 ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に ICCR2.BBSY フラグが“1”(バスビジー)のときに ICCR2.ST ビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ (SDA 信号) と SDA0 ラインに不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なお RIIC は、ICFER.MALE ビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICCR2.BBSY フラグが“0”の状態 ICCR2.ST ビットを“1”にしてスタートコンディションを発行したときに、SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (スタートコンディション発行エラー)
- ICCR2.BBSY フラグが“1”の状態 ICCR2.ST ビットを“1”にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST, TRS ビット=11b)、アクノリッジを除く送信データ (SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

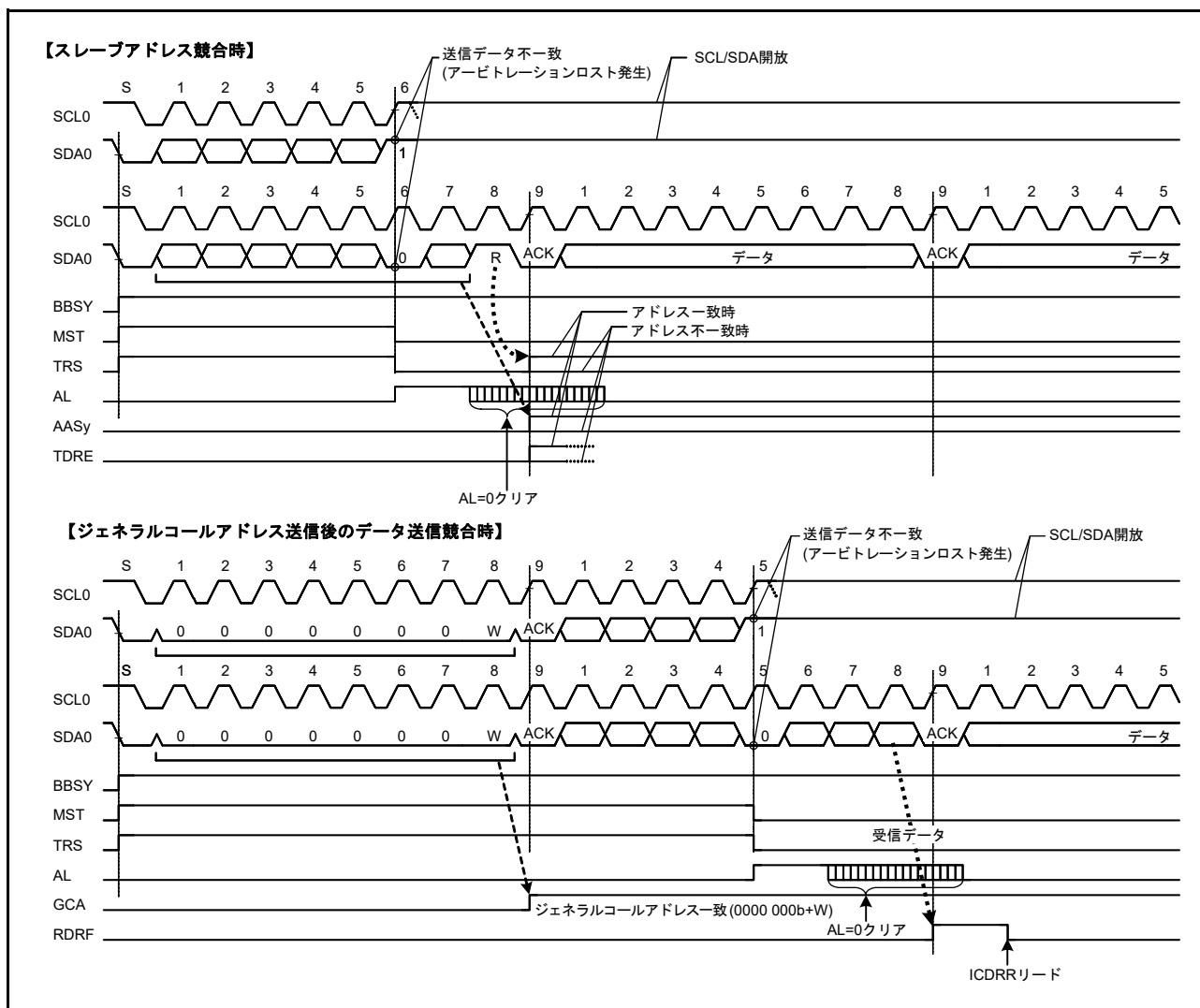


図 29.32 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

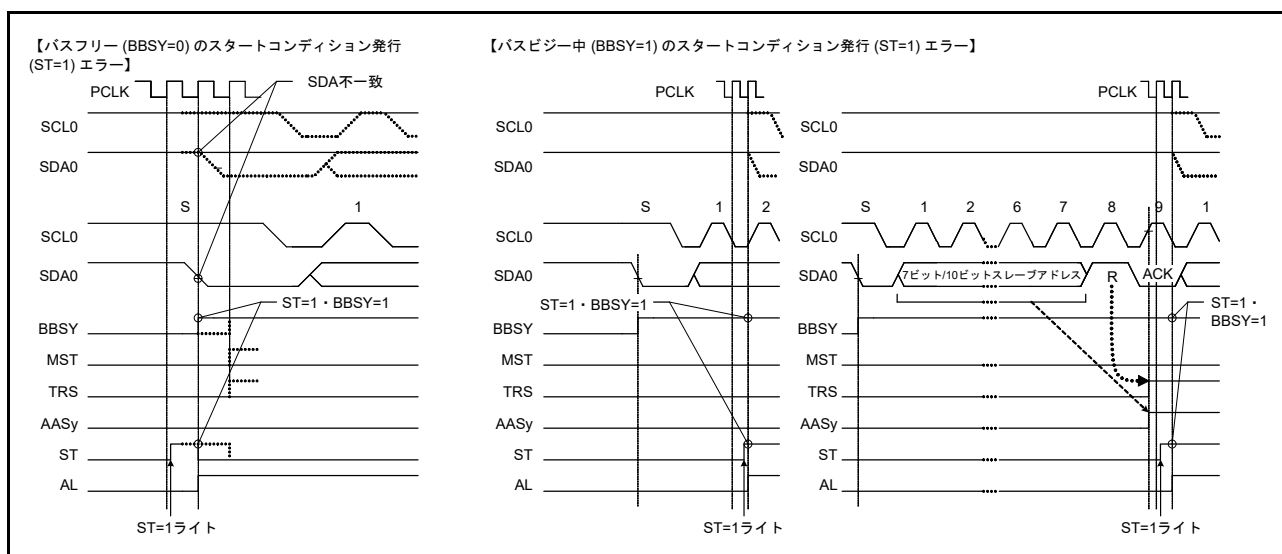


図 29.33 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

29.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIIC は受信モード時で NACK 送信時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致の場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。NACK 送信アービトレーションロストは、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 29.34 に NACK 送信アービトレーションロスト検出動作例を示します。

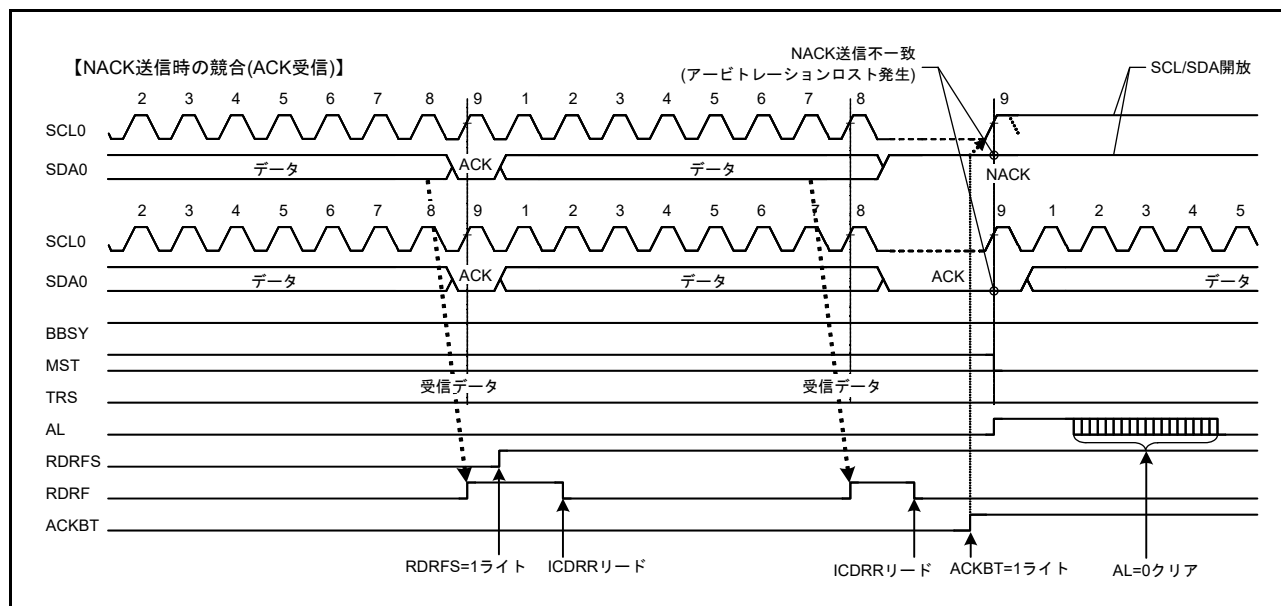


図 29.34 NACK 送信アービトレーションロスト検出動作例 (NALE ビット = 1 のとき)

2 つのマスタデバイス (マスタ A、マスタ B) と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B とともにスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B とともにどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト目の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。このような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL 出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、アービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、Assign Address の UDID (Unique Device Identifier) 不一致時の NACK 送信以降、および Assign Address 確定後の Get UDID (General) の NACK 送信以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.NALE ビットが“1”(NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロスト検出条件

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

29.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (Unique Device Identifier) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.SALE ビットが“1”(スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

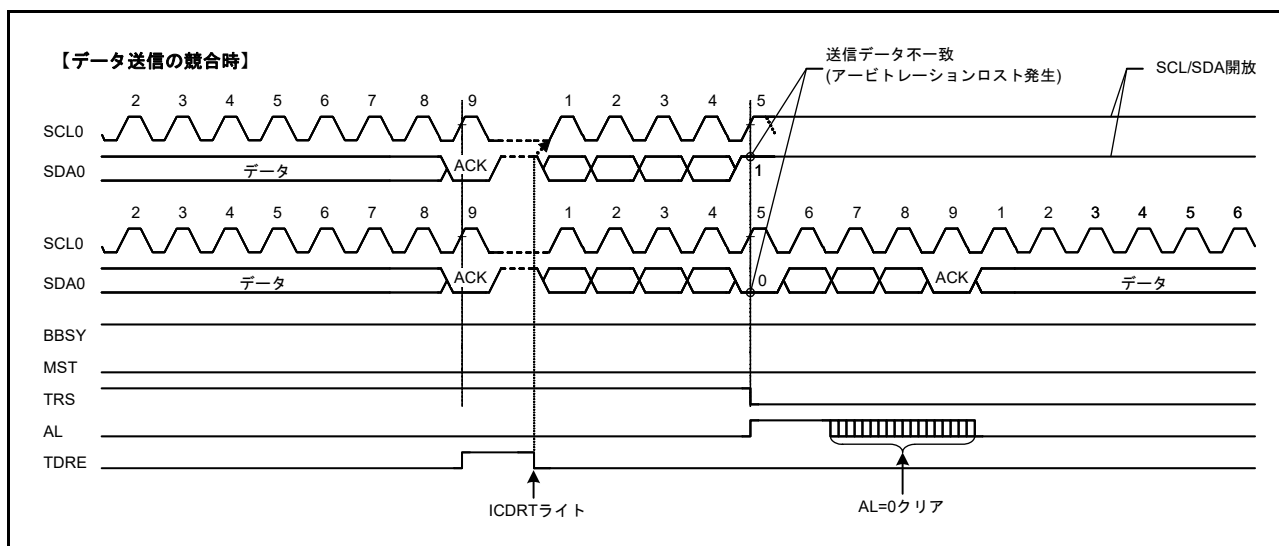


図 29.35 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

29.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

29.10.1 スタートコンディション発行動作

RIIC は、ICCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを“1”にすると、スタートコンディション発行の要求が行われ ICCR2.BBSY フラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDA0 ラインを立ち下げ (High から Low に遷移)
- (2) ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0 ラインを立ち下げ (High から Low に遷移)
- (4) SCL0 ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保

29.10.2 リスタートコンディション発行動作

RIIC は ICCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを“1”にするとリスタートコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1”(バスビジー)の状態であつ ICCR2.MST ビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDA0 ラインを開放
- (2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
- (3) SCL0 ラインを開放 (Low から High に遷移)
- (4) SCL0 ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0 ラインを立ち下げ (High から Low に遷移)
- (6) ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0 ラインを立ち下げ (High から Low に遷移)
- (8) SCL0 ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保

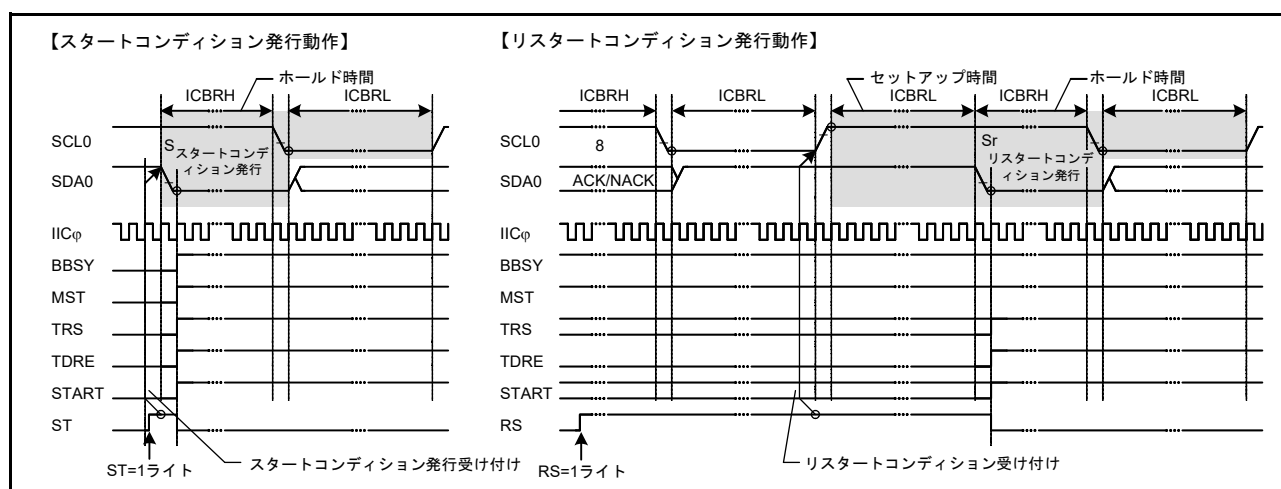


図 29.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

29.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1”(バスビジー)の状態であつ ICCR2.MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDA0 ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
- (3) SCL0 ラインを開放 (Low から High に遷移)
- (4) SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA0 ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間、バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

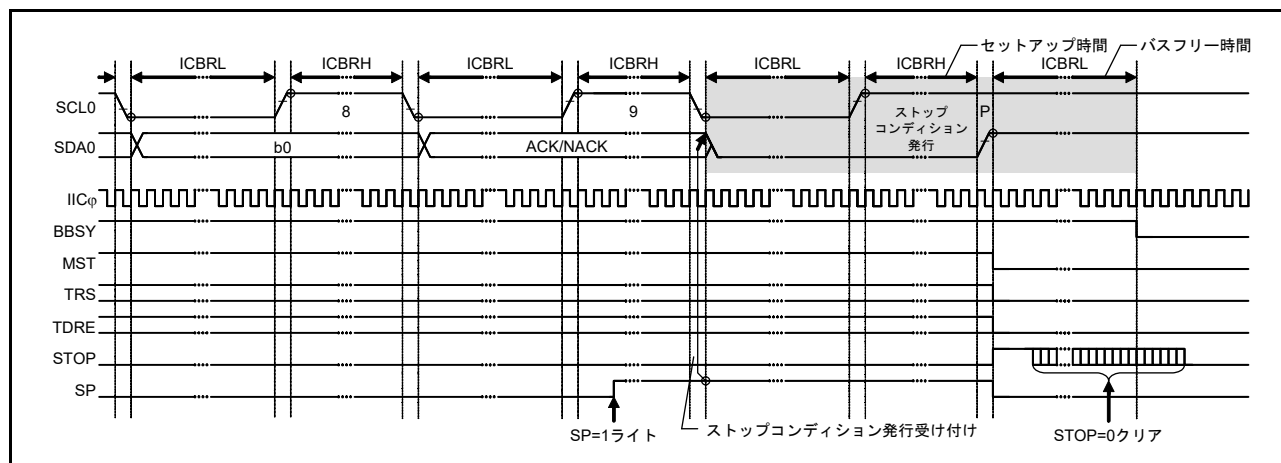


図 29.37 ストップコンディション発行動作タイミング (SP ビット)

29.11 バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0 ラインや SDA0 ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCL0 ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するための SCL 追加出力機能および RIIC リセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCL0 ライン /SDA0 ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

29.11.1 タイムアウト検出機能

RIIC には SCL0 ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は、SCL0 ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL0 ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCL0 ラインに変化 (立ち上がり / 立ち下がり) があつた場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0 ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが“1”のとき有効で、以下の期間に SCL0 ラインの Low 固定または High 固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16 ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0 ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を“0”にした場合は、内部カウント動作を行いません。

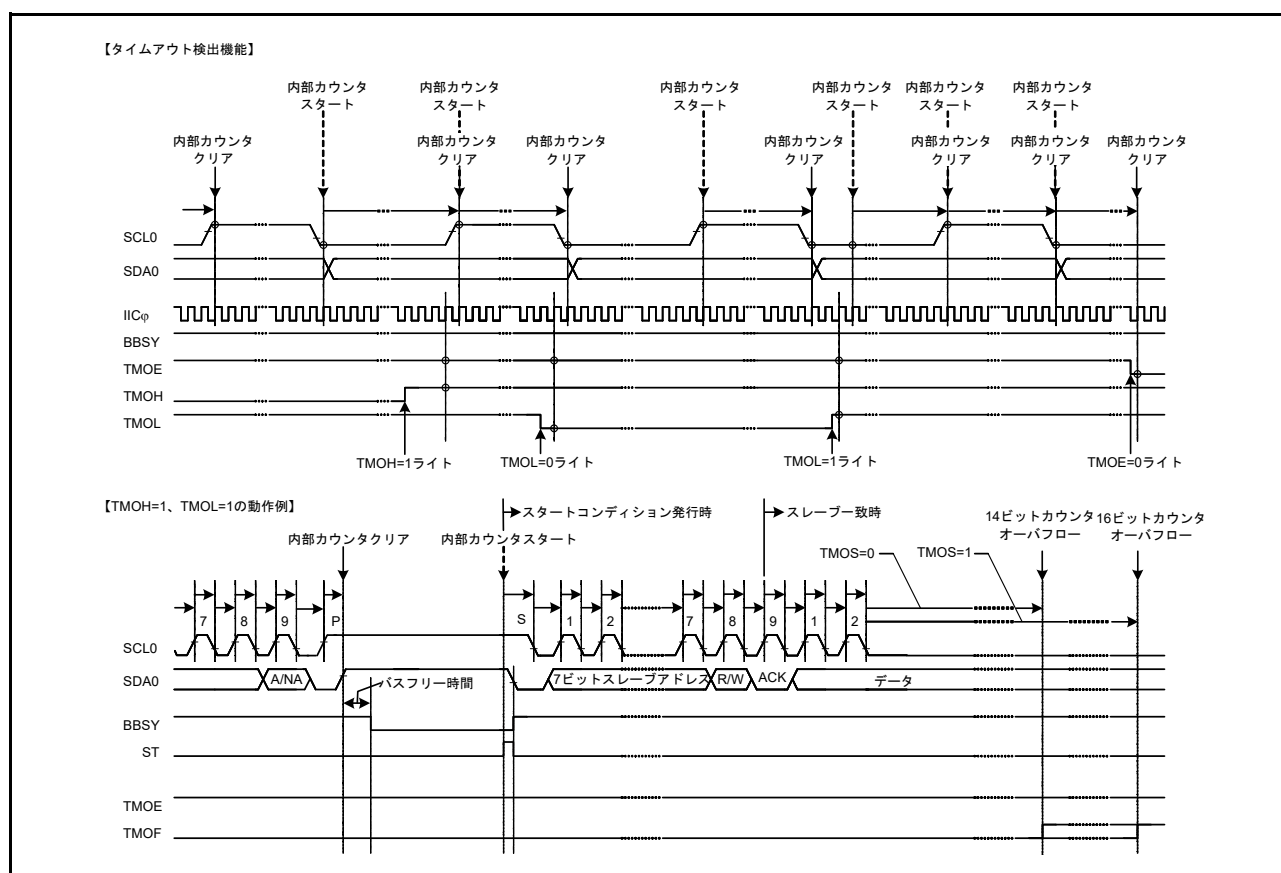


図 29.38 タイムアウト検出機能

29.11.2 SCL 追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスの SDA0 ライン Low 固定状態を開放するための SCL 追加出力機能を備えています。

SCL 追加出力機能は、SCL を 1 クロックずつ追加で出力する機能で、主にマスタモード時にスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された周波数のクロックが SCL0 端子から 1 クロック分追加で出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。このとき ICCR2.BBSY フラグが“1”であると SCL0 端子は Low になり、BBSY フラグが“0”であると SCL0 端子は High になります。CLO ビットが“0”であることを確認した後“1”を書くことにより、追加クロックを連続して出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL 追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA0 ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0” (マスタアービトラリションロスト検出禁止) にして使用してください。

ICCR1.CLO ビットの使用条件

- バスフリー状態 (ICCR2.BBSY フラグ = 0) またはマスタモード (ICCR2.MST ビット = 1、BBSY フラグ = 1 の状態) のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 29.39 に SCL 追加出力機能 (CLO ビット) を示します。

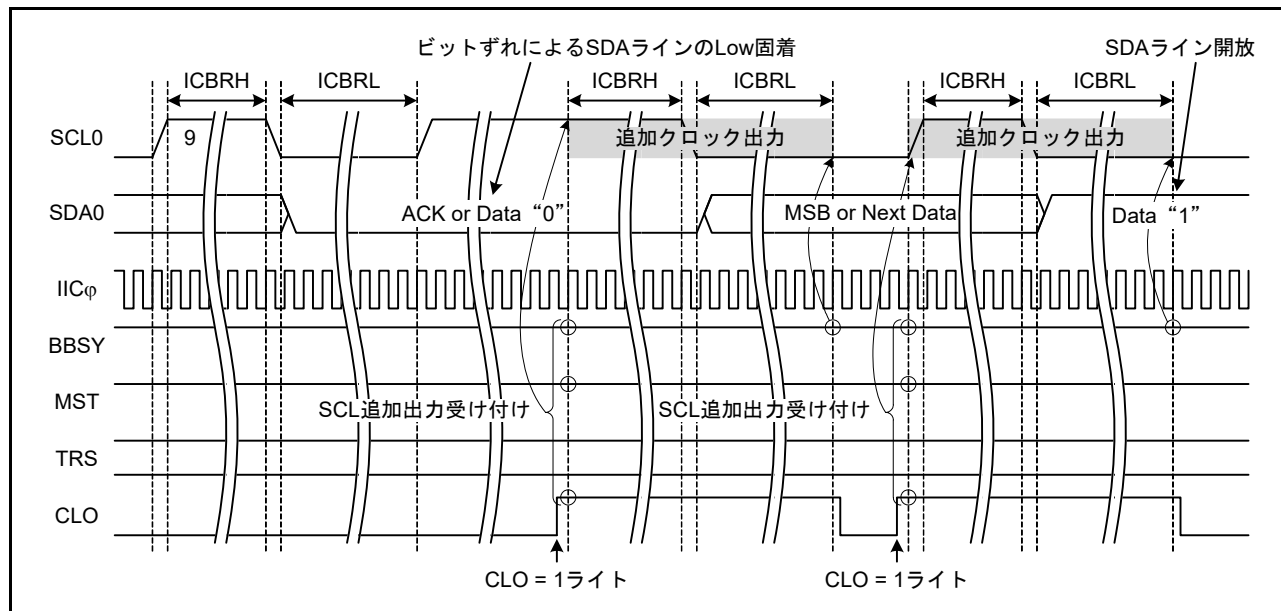


図 29.39 SCL 追加出力機能 (CLO ビット)

29.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL0 端子 / SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「29.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

29.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間 : 300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y = 0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (Unique Device Identifier) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトレーションロスト検出機能を有効にしてください。

29.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔 : $t_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $t_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト t_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 /SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔 : $t_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $t_{\text{LOW:MEXT}}$: 10 ms (max) 以内である必要があり、スタートコンディションからストップコンディションまでのすべての $t_{\text{LOW:MEXT}}$ を加算した結果が $t_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $t_{\text{LOW:MEXT}} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $t_{\text{TIMEOUT}} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

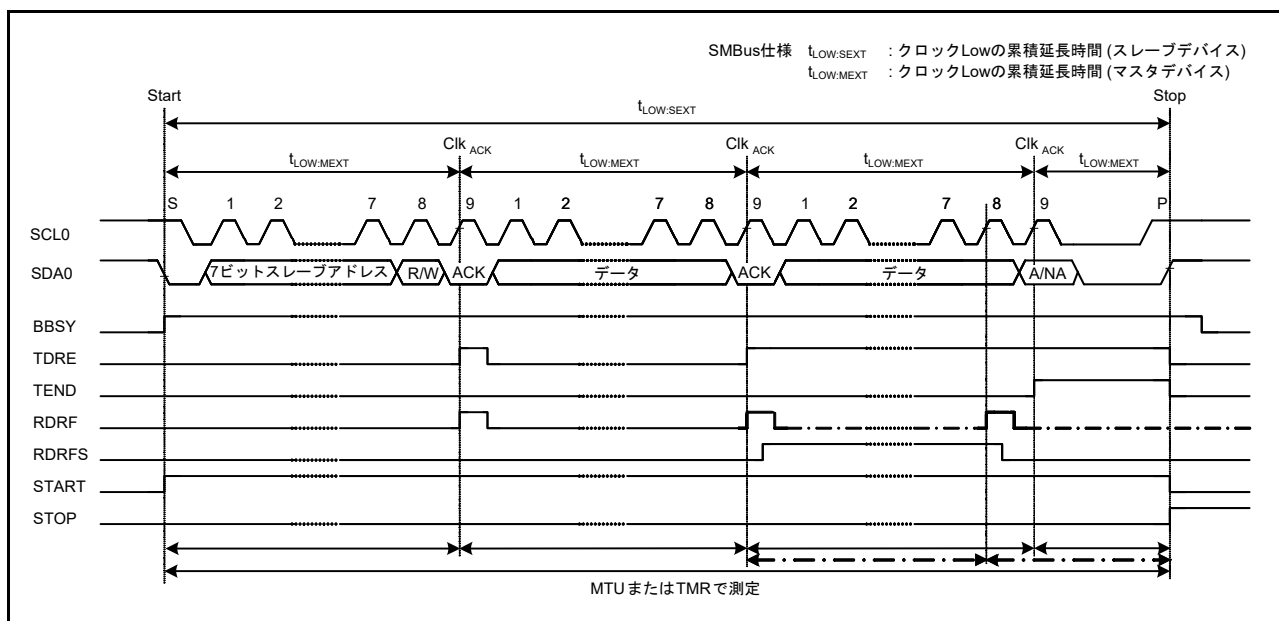


図 29.40 SMBus タイムアウト測定

29.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「32. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL0 ラインを Low にホールドしてください。

29.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

29.13 割り込み要因

RIIC の割り込み要因には、通信エラー / 通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の 4 種類があります。

表 29.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表 29.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC/DMACの起動	割り込み条件
EEI	通信エラー / 通信イベント	AL	不可能	AL = 1 かつ ALIE = 1
		NACKF		NACKF = 1 かつ NAKIE = 1
		TMOF		TMOF = 1 かつ TMOIE = 1
		START		START = 1 かつ STIE = 1
		STOP		STOP = 1 かつ SPIE = 1
RXI (注2)	受信データフル	RDRF	可能	RDRF = 1 かつ RIE = 1
TXI (注1)	送信データエンプティ	TDRE	可能	TDRE = 1 かつ TIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1 かつ TEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。
なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

29.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した ICUIRn.IR フラグが“1”のときに割り込み発生条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

29.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化

RIIC は MCU リセット、RIIC リセットおよび内部リセットによってリセットできます。表 29.7 にリセット時 / コンディション検出時のレジスタおよび機能のリセット状況を示します。

表 29.7 リセット時 / コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIIC リセット (ICE ビット=0、 IICRST ビット=1)	内部リセット (ICE ビット=1、 IICRST ビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP					リセット
	TRS				(注1)	
	MST				(注1)	
	BBSY			保持	"1"になる	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	"1"になる	リセット
	STOP				保持	"1"になる
	TEND					リセット
	TDRE				(注1)	
	その他				保持	保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1. リセットされません。条件に応じて"0"または"1"になります。

29.15 イベントリンク機能 (出力)

RIIC0 は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー / 通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

29.15.1 割り込み処理とイベントリンクの関係

RIIC の割り込みには、通信エラー / 通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の 4 種類があり、それぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に ICU に対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELC を介して他のモジュールに伝達されます。

割り込み要因については、表 29.6 を参照してください。

29.16 使用上の注意事項

29.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

29.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0”を確認
- (4) IR フラグを “0” にする

30. CAN モジュール (RSCAN)

30.1 概要

ISO 11898-1 規格に準拠した CAN (Controller Area Network) プロトコルコントローラを 1 チャンネル内蔵した CAN モジュールを搭載しています。表 30.1 に CAN モジュールの仕様、図 30.1 に CAN モジュールブロック図、表 30.2 に CAN モジュールの入出力端子を示します。

なお、本章では次の変数を使用してレジスタなどの数を表しています。

- j ($j = 0 \sim 15$) : 受信ルール登録レジスタ (GAFLIDL j , GAFLIDH j , GAFLML j , GAFLMH j , GAFLPL j , GAFLPH j) の番号
- m ($m = 0, 1$) : 受信 FIFO バッファ番号
- n ($n = 0 \sim 15$) : 受信バッファ番号
- p ($p = 0 \sim 3$) : 送信バッファ番号
- r ($r = 0 \sim 127$) : RAM テストレジスタ (RPGACCr) の番号

表 30.1 CAN モジュールの仕様 (1/2)

項目	仕様
チャンネル数	1
プロトコル	ISO 11898-1 規格準拠
通信速度	最大 1Mbps $\text{通信速度 (CAN ビットタイムクロック)} = \frac{1}{\text{CAN ビットタイム}}$ $\text{CAN ビットタイム} = \text{CANTq} \times 1 \text{ ビット分の Tq 数}$ $\text{CANTq} = \frac{\text{CFGL.BRP}[9:0] + 1}{f_{\text{CAN}}}$ Tq : Time quantum fCAN : CAN クロックソース (GCFL.DCS ビットで選択したクロック) の周波数
バッファ	合計 20 バッファ - 各チャンネル専用 : 4 バッファ (4 バッファ × 1 チャンネル) 送信バッファ : 4 バッファ / 1 チャンネル - チャンネル間共用 : 16 バッファ 受信バッファ : 0 ~ 16 バッファ 受信 FIFO バッファ : 2 本 (1 本あたり最大 16 バッファ割り当て可能) 送受信 FIFO バッファ : 1 本 / 1 チャンネル (1 本あたり最大 16 バッファ割り当て可能)
受信機能	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 - FIFO ごとの割り込み許可/禁止設定可能 - ミラー機能 (自送信メッセージの受信機能) - タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイマ値で記録)
受信フィルタ機能	- 合計 16 個の受信ルールで受信メッセージを選別可能 - チャンネルごとに 0 ~ 16 個の範囲で受信ルール数を設定可能 - アクセプタンスフィルタ処理 : 受信ルールごとに ID、マスク設定可能 - DLC フィルタ処理 : 受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	- ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 2) 転送先 : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ - ラベル付加機能 受信バッファおよび FIFO バッファへメッセージを格納時、ラベル情報も同時に格納可能

表 30.1 CANモジュールの仕様 (2/2)

項目	仕様
送信機能	- データフレームとリモートフレームを送信可能 - 送信するIDフォーマット(標準ID、拡張ID、両方)を選択可能 - 送信バッファ、送受信FIFOバッファごとに割り込み許可/禁止設定可能 - ID優先送信または送信バッファ番号優先送信を選択可能 - 送信アボート機能(フラグでアボート完了を確認可能) - ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能(送受信FIFOバッファの送信モード)
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 - ISO 11898-1規格準拠 - バスオフ開始でチャネル待機モードへ自動遷移 - バスオフ終了でチャネル待機モードへ自動遷移 - プログラムによるチャネル待機モードへの遷移 - プログラムによるエラーアクティブ状態への遷移(バスオフ強制復帰機能)
エラー状態の監視	- CANプロトコルエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー、バスドミナントロック)を監視 - エラー状態の遷移を検出(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) - エラーカウンタの読み出し - DLCエラーを監視
割り込み要因	5本 - グローバル(2本) - グローバル受信FIFO割り込み - グローバルエラー割り込み - チャネル(3本) - チャネル送信割り込み - 送信完了割り込み - 送信アボート割り込み - 送受信FIFO送信完了割り込み - 送信履歴割り込み - 送受信FIFO受信割り込み - チャネルエラー割り込み
CANクロックソース	周辺モジュールクロック(PCLK)、CANMCLK
テスト機能	ユーザ評価用テスト機能 - リッスンオンリモード - セルフテストモード0(外部ループバック) - セルフテストモード1(内部ループバック) - RAMテスト(読み書きテスト)
消費電力低減機能	モジュールストップ状態への設定が可能

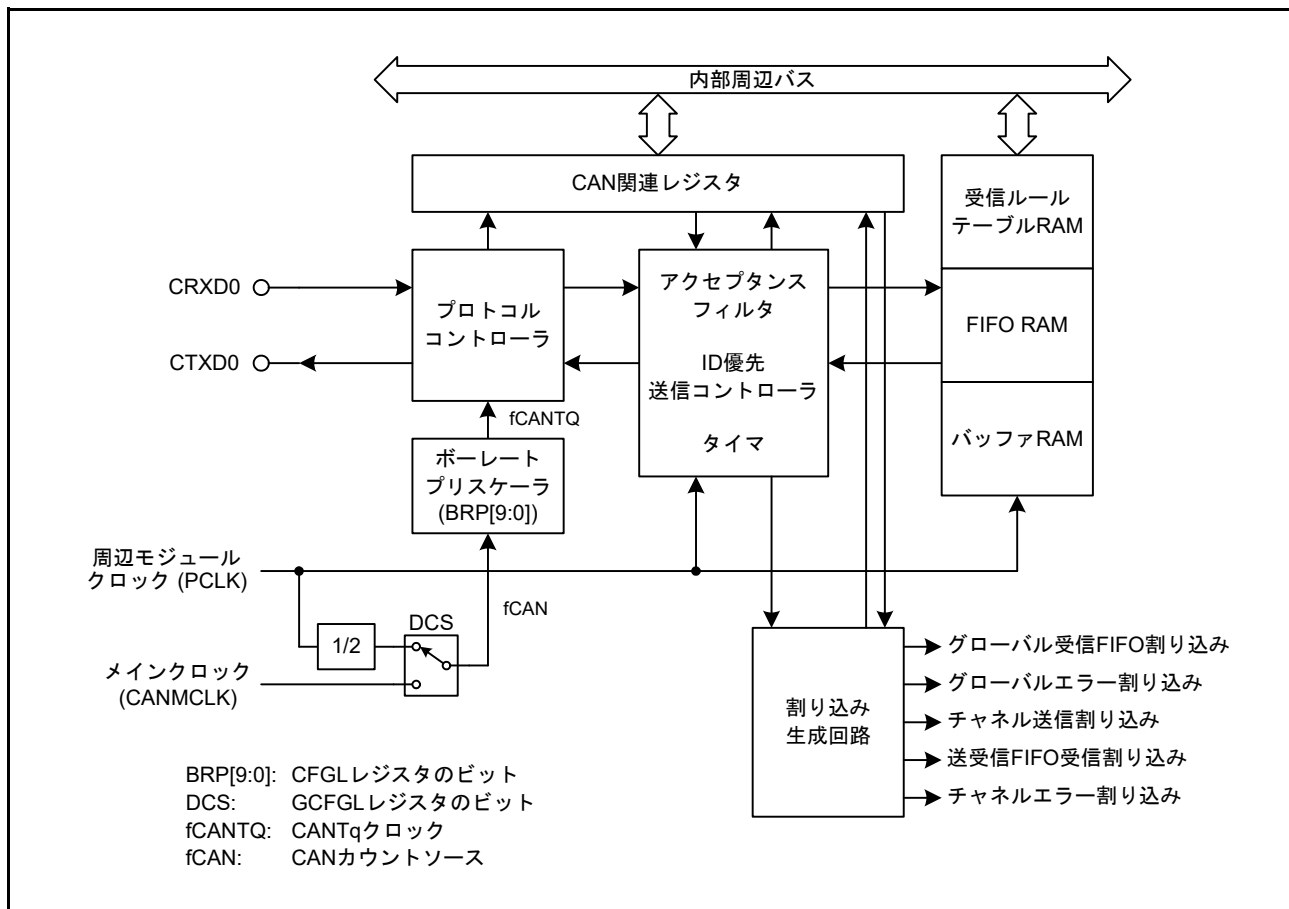


図 30.1 CAN モジュールのブロック図

- **CRXD0/CTXD0 :** CAN の入出力端子です。
- **プロトコルコントローラ :** バスアービトラーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- **受信ルールテーブル RAM :** 受信メッセージのフィルタ処理に使用するルールを格納します。それぞれの受信ルールには、受信したいメッセージの ID、フレームフォーマット、データ長コード、および、フィルタを通過したメッセージに付加するラベル、メッセージの格納場所を設定します。
- **FIFO RAM :** 16 段の FIFO バッファを構成している RAM です。受信専用の FIFO が 2 本と、送信用 / 受信用のいずれかに設定できる FIFO が 1 本あります。
- **バッファ RAM :** 送信バッファまたは受信バッファとして使用する RAM です。送信バッファは 4 本、受信バッファは 16 本あります。
- **アクセプタンスフィルタ :** 受信メッセージのフィルタ処理を行います。このフィルタ処理には、受信ルールテーブル RAM のデータを使用します。
- **タイマ :** 受信時のタイムスタンプ機能に使用するタイマが 1 本、送信 FIFO バッファ使用時に、メッセージ送信間隔を決定するタイマが 1 本あります。

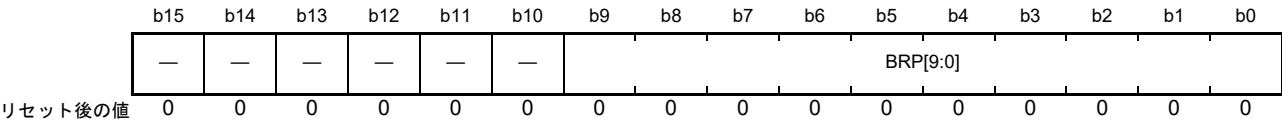
表 30.2 CANモジュールの入出力端子

端子名	入出力	機能
CRXD0	入力	RSCAN0 の受信データ入力端子です
CTXD0	出力	RSCAN0 の送信データ出力端子です

30.2 レジスタの説明

30.2.1 ビットコンフィギュレーションレジスタ L (CFGL)

アドレス RSCAN0.CFGL 000A 8300h



ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	プリスケアラ分周比設定ビット	設定値をP (0～1023)とすると、ポーレートプリスケアラはfCANをP+1で分周します	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFGL レジスタは、チャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングの設定については、「30.9 初期設定」を参照してください。

BRP[9:0] ビット (プリスケアラ分周比設定ビット)

CAN クロックソース (fCAN) を BRP[9:0] ビットで分周したクロックが CANTq クロック (fCANTQ) になり、CANTq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

30.2.2 ビットコンフィギュレーションレジスタ H (CFGH)

アドレス RSCAN0.CFGH 000A 8302h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	SJW[1:0]	—	—	TSEG2[2:0]	—	—	TSEG1[3:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	TSEG1[3:0]	タイムセグメント1制御ビット	b3 b0 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W
b6-b4	TSEG2[2:0]	タイムセグメント2制御ビット	b6 b4 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SJW[1:0]	再同期ジャンプ幅制御ビット	b9 b8 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFGH レジスタは、チャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングの設定については「30.9 初期設定」を参照してください。

TSEG1[3:0] ビット (タイムセグメント1 制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

TSEG2[2:0] ビット (タイムセグメント2 制御ビット)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1[3:0] ビットより小さい値を設定してください。

SJW[1:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。
TSEG2[3:0] ビット以下の値を設定してください。

30.2.3 制御レジスタ L (CTRL)

アドレス RSCAN0.CTRL 000A 8304h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CHMDC[1:0]	モード選択ビット	b1 b0 0 0 : チャネル通信モード 0 1 : チャネルリセットモード 1 0 : チャネル待機モード 1 1 : 設定しないでください	R/W
b2	CSLPR	チャネルストップモードビット	0 : チャネルストップモードではない 1 : チャネルストップモード	R/W
b3	RTBO	バスオフ強制復帰ビット	RTBO ビットを“1”にすると、バスオフから強制的に復帰する。読むと“0”が読めます	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BEIE	プロトコルエラー割り込み許可ビット	0 : プロトコルエラー割り込み禁止 1 : プロトコルエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバーロードフレーム送信割り込み許可ビット	0 : オーバーロードフレーム送信割り込み禁止 1 : オーバーロードフレーム送信割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット	0 : アービトレーションロスト割り込み禁止 1 : アービトレーションロスト割り込み許可	R/W

CHMDC[1:0] ビット (モード選択ビット)

チャネルのモード (チャネル通信モード、チャネルリセットモード、チャネル待機モード) を選択するビットです。詳細は、「30.3.2 チャネルモード」を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11b”には設定しないでください。CTRH.BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10b”になります。

CSLPR ビット (チャネルストップモードビット)

“1”にすると、チャネルストップモードになります。

“0” にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えないでください。

RTBO ビット (バスオフ強制復帰ビット)

バスオフ状態時 “1” (バスオフからの強制復帰) にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが “00h” になり、STSL.BOSTS フラグは “0” (バスオフ状態ではない) になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。CTRH.BOM[1:0] ビットが “00b” (ISO 11898-1 規格準拠) のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで “1” を書いてください。

BEIE ビット (プロトコルエラー割り込み許可ビット)

BEIE ビットが “1” の場合、ERFLL.BEF フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット (エラーワーニング割り込み許可ビット)

EWIE ビットが “1” の場合、ERFLL.EWF フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット (エラーパッシブ割り込み許可ビット)

EPIE ビットが “1” の場合、ERFLL.EPF フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット (バスオフ開始割り込み許可ビット)

BOEIE ビットが “1” の場合、ERFLL.BOEF フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット (バスオフ復帰割り込み許可ビット)

BORIE ビットが “1” の場合、ERFLL.BORF フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット (オーバロードフレーム送信割り込み許可ビット)

OLIE ビットが “1” の場合、ERFLL.OVLf フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット (バスロック割り込み許可ビット)

BLIE ビットが “1” の場合、ERFLL.BLF フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

ALIE ビットが “1” の場合、ERFLL.ALF フラグが “1” になると、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

30.2.4 制御レジスタ H (CTRH)

アドレス RSCAN0.CTRH 000A 8306h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TAIE	送信アボート割り込み許可ビット	0 : 送信アボート割り込み禁止 1 : 送信アボート割り込み許可	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b5	BOM[1:0]	バスオフ復帰モード選択ビット	b6 b5 0 0 : ISO 11898-1 規格準拠 0 1 : バスオフ開始でチャネル待機モードへ遷移 1 0 : バスオフ終了でチャネル待機モードへ遷移 1 1 : バスオフ中にプログラムによる要求でチャネル待機モードへ遷移	R/W
b7	ERRD	エラー表示モード選択ビット	0 : ERFLR レジスタの b14～b8 がすべてクリアされた後、最初に発生したエラー情報のエラーフラグのみ表示 1 : 発生したすべてのエラー情報のエラーフラグを表示	R/W
b8	CTME	通信テストモード許可ビット	0 : 通信テストモード禁止 1 : 通信テストモード許可	R/W
b10-b9	CTMS[1:0]	通信テストモード選択ビット	b10 b9 0 0 : 標準テストモード 0 1 : リスコンオンリモード 1 0 : セルフテストモード 0 (外部ループバックモード) 1 1 : セルフテストモード 1 (内部ループバックモード)	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TAIE ビット (送信アボート割り込み許可ビット)

TAIE ビットを“1”に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00b”の場合、バスオフ状態からエラーアクティブ状態への復帰は ISO 11898-1 規格に準拠します。すなわち、CAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CTRL.CHMDC[1:0] ビットを“10b” (チャネル待機モード) にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが“01b”の場合、CAN モジュールがバスオフ状態に達すると、CTRL.CHMDC[1:0] ビットが“10b”になり、チャネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが“00h”になります。

BOM[1:0] ビットが“10b”の場合、CAN モジュールがバスオフ状態に達すると CTRL.CHMDC[1:0] ビットが“10b”になり、バスオフ状態から復帰した (11 ビットの連続するレセシブを 128 回検出) 後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグが“00h”になります。

BOM[1:0] ビットが“11b”の場合、CAN モジュールがバスオフ状態のときに CTRL.CHMDC[1:0] ビットを“10b”にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”になります。しかし、

CTRL.CHMDC[1:0] ビットを“10b”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールがチャネル待機モードに遷移すると同時に (BOM[1:0] ビットが“01b”のとき：バスオフ開始時、または BOM[1:0] ビットが“10b”のとき：バスオフ終了時) に、CPU がチャネルリセットモードへの遷移を要求した場合は、CPU の要求が優先されます。このビットはチャネルリセットモードでのみ書き換えてください。

ERRD ビット (エラー表示モード選択ビット)

ERFLL レジスタの b14 ~ b8 の表示モードを制御します。

“0”にすると最初に発生したエラーのフラグのみが“1”になります。最初に複数のエラーが発生した場合、検出された複数のエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

CTME ビット (通信テストモード許可ビット)

“1”にすると通信テストモードは許可になります。このビットはチャネル待機モードでのみ書き換えてください。

チャネルリセットモード時は“0”になります。

CTMS[1:0] ビット (通信テストモード選択ビット)

通信テストモードを選択するビットです。このビットはチャネル待機モードでのみ書き換えてください。チャネルリセットモード時は“0”になります。

30.2.5 ステータスレジスタ L (STSL)

アドレス RSCAN0.STSL 000A 8308h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CRSTSTS	チャンネルリセットステータスフラグ	0: チャンネルリセットモードではない 1: チャンネルリセットモード	R
b1	CHLTSTS	チャンネル待機ステータスフラグ	0: チャンネル待機モードではない 1: チャンネル待機モード	R
b2	CSLPSTS	チャンネルストップステータスフラグ	0: チャンネルストップモードではない 1: チャンネルストップモード	R
b3	EPSTS	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b4	BOSTS	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b5	TRMSTS	送信ステータスフラグ	0: バスアイドルまたは受信 1: 送信中またはバスオフ状態	R
b6	RECSTS	受信ステータスフラグ	0: バスアイドルまたは送信中またはバスオフ状態 1: 受信	R
b7	COMSTS	通信ステータスフラグ	0: 通信可能な状態ではない 1: 通信可能な状態	R
b15-b8	—	予約ビット	読むと“0”が読めます	R

CRSTSTS フラグ (チャンネルリセットステータスフラグ)

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても“1”のままです。

CHLTSTS フラグ (チャンネル待機ステータスフラグ)

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CSLPSTS フラグ (チャンネルストップステータスフラグ)

チャンネルストップモードに遷移すると“1”になります。チャンネルストップモードから復帰すると“0”になります。

EPSTS フラグ (エラーパッシブステータスフラグ)

エラーパッシブ状態 ($128 \leq \text{STSH.TEC}[7:0]$ フラグ ≤ 255 または $128 \leq \text{STSH.REC}[7:0]$ フラグ) になると“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると“0”になります。

BOSTS フラグ (バスオフステータスフラグ)

バスオフ状態 ($\text{STSH.TEC}[7:0]$ フラグ > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

TRMSTS フラグ (送信ステータスフラグ)

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

RECSTS フラグ (受信ステータスフラグ)

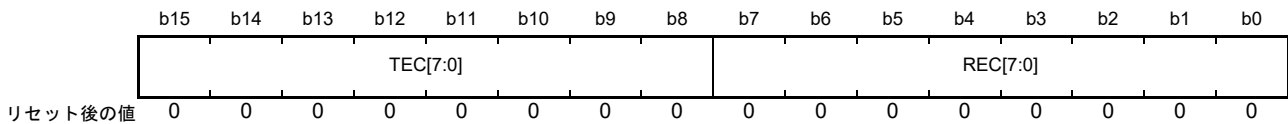
受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

COMSTS フラグ (通信ステータスフラグ)

通信準備が整ったことを示すビットです。
チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に“1”になります。チャネルリセットモードまたはチャネル待機モード時は“0”になります。

30.2.6 ステータスレジスタ H (STSH)

アドレス RSCAN0.STSH 000A 830Ah



ビット	シンボル	機能	R/W
b7-b0	REC[7:0]	受信エラーカウンタ (REC)の値が読めます	R
b15-b8	TEC[7:0]	送信エラーカウンタ (TEC)の値が読めます	R

REC[7:0] フラグ

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。
チャネルリセットモード時は“00h”になります。

TEC[7:0] フラグ

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。
チャネルリセットモード時は“00h”になります。

30.2.7 エラーフラグレジスタ L (ERFLL)

アドレス RSCAN0.ERFLL 000A 830Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLf	BORF	BOEF	EPF	EWf	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEF	バスエラーフラグ	0 : チャネルバスエラー未検出 1 : チャネルバスエラー検出	R/(W) (注1)
b1	EWf	エラーワーニングフラグ	0 : エラーワーニング未検出 1 : エラーワーニング検出	R/(W) (注1)
b2	EPF	エラーパッシブフラグ	0 : エラーパッシブ未検出 1 : エラーパッシブ検出	R/(W) (注1)
b3	BOEF	バスオフ開始フラグ	0 : バスオフ開始未検出 1 : バスオフ開始検出	R/(W) (注1)
b4	BORF	バスオフ復帰フラグ	0 : バスオフ復帰未検出 1 : バスオフ復帰検出	R/(W) (注1)
b5	OVLf	オーバロードフラグ	0 : オーバロード未検出 1 : オーバロード検出	R/(W) (注1)
b6	BLF	バスロックフラグ	0 : チャネルバスロック未検出 1 : チャネルバスロック検出	R/(W) (注1)
b7	ALF	アービトレーションロストフラグ	0 : アービトレーションロスト未検出 1 : アービトレーションロスト検出	R/(W) (注1)
b8	SERR	スタッフエラーフラグ	0 : スタッフエラー未検出 1 : スタッフエラー検出	R/(W) (注1)
b9	FERR	フォームエラーフラグ	0 : フォームエラー未検出 1 : フォームエラー検出	R/(W) (注1)
b10	AERR	ACKエラーフラグ	0 : ACKエラー未検出 1 : ACKエラー検出	R/(W) (注1)
b11	CERR	CRCエラーフラグ	0 : CRCエラー未検出 1 : CRCエラー検出	R/(W) (注1)
b12	B1ERR	レセシブビットエラーフラグ	0 : レセシブビットエラー未検出 1 : レセシブビットエラー検出	R/(W) (注1)
b13	B0ERR	ドミナントビットエラーフラグ	0 : ドミナントビットエラー未検出 1 : ドミナントビットエラー検出	R/(W) (注1)
b14	ADERR	ACKデリミタエラーフラグ	0 : ACKデリミタエラー未検出 1 : ACKデリミタエラー検出	R/(W) (注1)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

各エラーの発生条件を確認するには、ISO 11898-1 規格を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャネルリセットモード時、“0”になります。

ERFLL レジスタの b14 ~ b8 に関して、CTRH.ERRD ビットを“0”(最初に発生したエラー情報のみ表示)に設定したとき、b14 ~ b8 のすべてのフラグが“0”の状態エラーが検出された場合に、対応するフラグは“1”になります。

BEF フラグ (バスエラーフラグ)

ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

EWf フラグ (エラーワーニングフラグ)

STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグの値が 95 を超えると “1” になります。STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが最初に 95 を超えたときのみ “1” になります。したがって、STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 95 を超えたままで、プログラムで “0” を書いた場合、一度 STSH.REC[7:0] フラグと STSH.TEC[7:0] フラグの両方が 95 以下になり、再び STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 95 を超えるまでは “1” にはなりません。

EPF フラグ (エラーパッシブフラグ)

エラーパッシブ状態 (STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグ > 127) になると “1” になります。STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが最初に 127 を超えたときのみ “1” になります。したがって、STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 127 を超えたままで、プログラムで “0” を書いた場合、一度 STSH.REC[7:0] フラグと STSH.TEC[7:0] フラグの両方が 127 以下になり、再び STSH.REC[7:0] フラグまたは STSH.TEC[7:0] フラグが 127 を超えるまでは “1” にはなりません。

BOEF フラグ (バスオフ開始フラグ)

バスオフ状態 (STSH.TEC[7:0] フラグ > 255) になると “1” になります。CTRH.BOM[1:0] ビットが “01b” (バスオフ開始でチャンネル待機モードへ遷移) で、バスオフ状態になった場合も “1” になります。

BORF フラグ (バスオフ復帰フラグ)

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” にはなりません。

- CTRL.CHMDC[1:0] ビットを “01b” (チャンネルリセットモード) に設定した場合
- CTRL.RTBO ビットを “1” (バスオフからの強制復帰) に設定した場合
- CTRH.BOM[1:0] ビットを “01b” (バスオフ開始でチャンネル待機モードへ遷移) に設定した場合
- CTRH.BOM[1:0] ビットが “11b” (バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移) で、11 ビットの連続するレセシブを 128 回検出する前に、CTRL.CHMDC[1:0] ビットを “10b” (チャンネル待機モード) に設定した場合

OVLf フラグ (オーバロードフラグ)

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BLF フラグ (バスロックフラグ)

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると “1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF フラグを “1” から “0” にした後、レセシブビットを検出。
- BLF フラグを “1” から “0” にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移。

ALF フラグ (アービトレーションロストフラグ)

アービトレーションロストを検出すると “1” になります。

SERR フラグ (スタッフエラーフラグ)

スタッフエラーを検出すると“1”になります。

FERR フラグ (フォームエラーフラグ)

フォームエラーを検出すると“1”になります。

AERR フラグ (ACK エラーフラグ)

ACK エラーを検出すると“1”になります。

CERR フラグ (CRC エラーフラグ)

CRC エラーを検出すると“1”になります。

B1ERR フラグ (レセシブビットエラーフラグ)

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

B0ERR フラグ (ドミナントビットエラーフラグ)

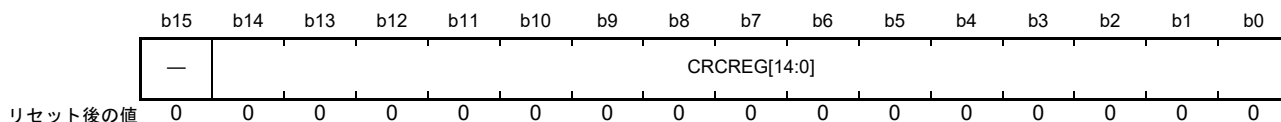
ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

ADERR フラグ (ACK デリミタエラーフラグ)

送信中の ACK デリミタでフォームエラーを検出すると“1”になります。

30.2.8 エラーフラグレジスタ H (ERFLH)

アドレス RSCAN0.ERFLH 000A 830Eh



ビット	シンボル	ビット名	機能	R/W
b14-b0	CRCREG[14:0]	CRC 演算データ	送信メッセージまたは受信メッセージを基に計算したCRC値を表示します	R
b15	—	予約ビット	読むと“0”が読めます	R

CRCREG[14:0] ビット (CRC 演算データ)

CTRH.CTME ビットが“1”(通信テストモード許可)の場合、送信または受信メッセージを基に計算したCRC値が読めます。CTRH.CTME ビットが“0”(通信テストモード禁止)の場合、“0”が読めます。

30.2.9 グローバル設定レジスタ L (GCFGL)

アドレス RSCAN.GCFGL 000A 8322h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TSSS	TSP[3:0]			—	—	—	DCS	MME	DRE	DCE	TPRI	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位選択ビット	0 : ID 優先 1 : 送信バッファ番号優先	R/W
b1	DCE	DLC チェック許可ビット	0 : DLC チェック禁止 1 : DLC チェック許可	R/W
b2	DRE	DLC 置換許可ビット	0 : DLC 置換禁止 1 : DLC 置換許可	R/W
b3	MME	ミラー機能許可ビット	0 : ミラー機能禁止 1 : ミラー機能許可	R/W
b4	DCS	CAN クロックソース選択ビット	0 : PCLK 1 : CANMCLK (メインクロックから生成)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TSP[3:0]	タイムスタンプクロック源分周ビット	b11 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 0 1 1 1 : 128分周 1 0 0 0 : 256分周 1 0 0 1 : 512分周 1 0 1 0 : 1024分周 1 0 1 1 : 2048分周 1 1 0 0 : 4096分周 1 1 0 1 : 8192分周 1 1 1 0 : 16384分周 1 1 1 1 : 32768分周	R/W
b12	TSSS	タイムスタンプクロック源選択ビット	0 : PCLK 1 : CAN ビットタイムクロック	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GCFGL レジスタはグローバルリセットモードでのみ書き換えてください。

TPRI ビット (送信優先順位選択ビット)

TPRI ビットにより、送信優先順位を設定します。

“0”の場合、ID 優先となり送信優先順位は CAN バスアービトラージョンルール (ISO 11898-1 規格) に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

DCE ビット (DLC チェック許可ビット)

“1”にすると、DLC チェック機能が使用できます。GAFLPHj.GAFLDLC[3:0] ビットを“0000b”にしてから、DCE ビットを“0”にしてください。

DRE ビット (DLC 置換許可ビット)

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00h”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

MME ビット (ミラー機能許可ビット)

“1”にすると、ミラー機能が使用できます。

DCS ビット (CAN クロックソース選択ビット)

DCS ビットを“0”にすると、CAN クロックソース (fCAN) は周辺クロック (PCLK) の 2 分周クロックが使用されます。

DCS ビットを“1”にすると、CAN クロックソース (fCAN) は、外部の EXTAL 端子から生成された CANMCLK が使用されます。

TSP[3:0] ビット (タイムスタンプクロック源分周ビット)

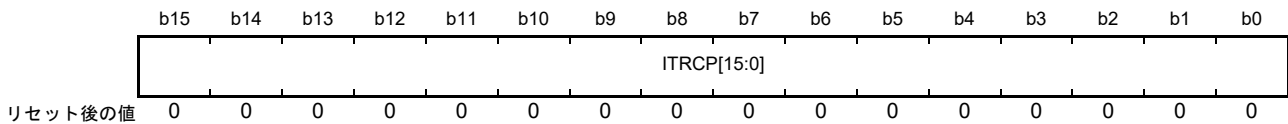
TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TSSS ビット (タイムスタンプクロック源選択ビット)

タイムスタンプカウンタのクロック源を選択します。

30.2.10 グローバル設定レジスタ H (GCFGH)

アドレス RSCAN.GCFGH 000A 8324h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ITRCP[15:0]	インターバルタイマプリスケアラ 設定ビット	設定値をMとするとPCLKをM分周します。 インターバルタイマを使用する場合、“0000h”を設定しないで ください	R/W

GCFGH レジスタはグローバルリセットモードでのみ書き換えてください。

ITRCP[15:0] ビット (インターバルタイマプリスケアラ設定ビット)

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は、「30.5.3 (1) インターバル送信機能」を参照してください。

30.2.11 グローバル制御レジスタ L (GCTRL)

アドレス RSCAN.GCTRL 000A 8326h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	GMDC[1:0]	グローバルモード選択ビット	b1 b0 0 0 : グローバル動作モード 0 1 : グローバルリセットモード 1 0 : グローバルテストモード 1 1 : 設定しないでください	R/W
b2	GSLPR	グローバルストップモードビット	0 : グローバルストップモードではない 1 : グローバルストップモード	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0 : DLCエラー割り込み禁止 1 : DLCエラー割り込み許可	R/W
b9	MEIE	FIFOメッセージロスト割り込み許可ビット	0 : FIFOメッセージロスト割り込み禁止 1 : FIFOメッセージロスト割り込み許可	R/W
b10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット	0 : 送信履歴バッファオーバーフロー割り込み禁止 1 : 送信履歴バッファオーバーフロー割り込み許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GMDC[1:0] ビット (グローバルモード選択ビット)

CAN モジュール全体のモード (グローバル動作モード、グローバルリセットモード、グローバルテストモード) を選択するビットです。詳細は、「30.3.1 グローバルモード」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

GSLPR ビット (グローバルストップモードビット)

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

DEIE ビット (DLC エラー割り込み許可ビット)

DEIE ビットが“1”の場合、GERFLL.DEF フラグが“1”になると、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット (FIFO メッセージロスト割り込み許可ビット)

MEIE ビットが“1”の場合、GERFLL.MES フラグが“1”になると、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット (送信履歴バッファオーバーフロー割り込み許可ビット)

THLEIE ビットが“1”の場合、GERFLL.THLES フラグが“1”になると、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

30.2.12 グローバル制御レジスタ H (GCTRH)

アドレス RSCAN.GCTRH 000A 8328h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSRST	タイムスタンプカウンタリセットビット	TSRSTビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSRST ビット (タイムスタンプカウンタリセットビット)

タイムスタンプカウンタをリセットするために使用します。“1”にすると GTSC レジスタが“0000h”になります。

30.2.13 グローバルステータスレジスタ (GSTS)

アドレス RSCAN.GSTS 000A 832Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	GRSTSTS	グローバルリセットステータスフラグ	0 : グローバルリセットモードではない 1 : グローバルリセットモード	R
b1	GHLTSTS	グローバルテストステータスフラグ	0 : グローバルテストモードではない 1 : グローバルテストモード	R
b2	GSLPSTS	グローバルストップステータスフラグ	0 : グローバルストップモードではない 1 : グローバルストップモード	R
b3	GRAMINIT	CAN用RAMクリアステータスフラグ	0 : CAN用RAMクリア完了 1 : CAN用RAMクリア中	R
b15-b4	—	予約ビット	読むと“0”が読めます	R

GRSTSTS フラグ (グローバルリセットステータスフラグ)

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

GHLTSTS フラグ (グローバルテストステータスフラグ)

グローバルテストモードに遷移すると“1”になります。グローバルテストモード以外のモードに遷移すると“0”になります。

GSLPSTS フラグ (グローバルストップステータスフラグ)

グローバルストップモードに遷移すると“1”になります。グローバルストップモードから復帰すると“0”になります。

GRAMINIT フラグ (CAN 用 RAM クリアステータスフラグ)

CAN 用 RAM のクリア状態を示します。
CAN モジュールイネーブル後、“1”になります。CAN 用 RAM クリアが完了すると“0”になります。

30.2.14 グローバルエラーフラグレジスタ (GERFLL)

アドレス RSCAN.GERFLL 000A 832Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEF	DLCエラーフラグ	0 : DLCエラーなし 1 : DLCエラー	R/(W) (注1)
b1	MES	FIFOメッセージロストステータスフラグ	0 : FIFOメッセージロストエラーなし 1 : FIFOメッセージロストエラー	R
b2	THLES	送信履歴バッファオーバフローステータスフラグ	0 : 送信履歴バッファオーバフローなし 1 : 送信履歴バッファオーバフロー	R
b7-b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

GERFLL レジスタのフラグは、グローバルリセットモード時、“0”になります。

DEF フラグ (DLC エラーフラグ)

DLC チェックでエラーが検出されると“1”になります。プログラムで“0”を書くことで“0”にできます。

MES フラグ (FIFO メッセージロストステータスフラグ)

RFSTSm.RFMLT フラグまたは CFSTS0.CFMLT フラグのいずれか 1 つでも“1”になると、MES フラグは“1”になります。

すべての RFSTSm.RFMLT フラグおよび CFSTS0.CFMLT フラグを“0”にすると、MES フラグは“0”になります。

THLES フラグ (送信履歴バッファオーバフローステータスフラグ)

THLSTS0.THLELT フラグが“1”になると、THLES フラグは“1”になります。
THLSTS0.THLELT フラグを“0”にすると、THLES フラグは“0”になります。

30.2.15 グローバル送信割り込みステータスレジスタ (GTINTSTS)

アドレス RSCAN.GTINTSTS 000A 8388h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSIF0	RSCAN0 送信バッファ割り込みステータスフラグ	0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり	R
b1	TAIF0	RSCAN0 送信バッファアポート割り込みステータスフラグ	0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり	R
b2	CFTIF0	RSCAN0 送受信 FIFO 割り込みステータスフラグ	0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり	R
b3	THIF0	RSCAN0 送信履歴割り込みステータスフラグ	0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり	R
b15-b4	—	予約ビット	読むと“0”が読めます	R

GTINTSTS レジスタのフラグは、グローバルリセットまたはチャネルリセットモード時に“0”になります。

TSIF0 フラグ (RSCAN0 送信バッファ割り込みステータスフラグ)

TMIEC.TMIEp ビットが“1”(割り込み許可)、かつ対応する TMSTSp.TMTRF[1:0] フラグが“10b”(送信完了、アポート要求なし)、または“11b”(送信完了、アポート要求あり)になると、TSIF0 フラグは“1”になります。

TSIF0 フラグが“1”になる条件が成立している TMSTSp.TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。また、TMIEC.TMIEp ビットを“0”にすることでも、このフラグは“0”になります。

TAIF0 フラグ (RSCAN0 送信バッファアポート割り込みステータスフラグ)

CTRH.TAIE ビットが“1”(割り込み許可)、かつ TMSTSp.TMTRF[1:0] フラグが“01b”(送信アポート完了)になると、TAIF0 フラグは“1”になります。

送信アポート完了した TMSTSp.TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。

CFTIF0 フラグ (RSCAN0 送受信 FIFO 割り込みステータスフラグ)

CFCCLO.CFTXIE ビットが“1”(割り込み許可)、かつ CFSTS0.CFTXIF フラグが“1”(割り込み要求あり)になると、CFTIF0 フラグは“1”になります。

CFSTS0.CFTXIF フラグを“0”にすると、このフラグは“0”になります。また、CFCCLO.CFTXIE ビットを“0”にすることでも、このフラグは“0”になります。

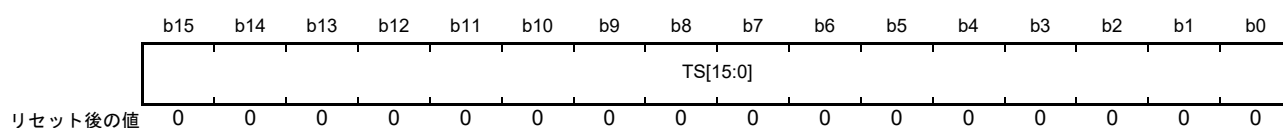
THIF0 フラグ (RSCAN0 送信履歴割り込みステータスフラグ)

THLCC0.THLIE ビットが“1”(割り込み許可)、かつ THLSTS0.THLIF フラグが“1”(割り込み要求あり)になると、THIF0 フラグは“1”になります。

THLSTS0.THLIF フラグを“0”にすると、このフラグは“0”になります。また、THLCC0.THLIE ビットを“0”にすることでも、このフラグは“0”になります。

30.2.16 タイムスタンプレジスタ (GTSC)

アドレス RSCAN.GTSC 000A 832Eh



ビット	シンボル	機能	カウンタ値	R/W
b15-b0	TS[15:0]	タイムスタンプ用カウンタの値が読めます	0000h~FFFFh	R

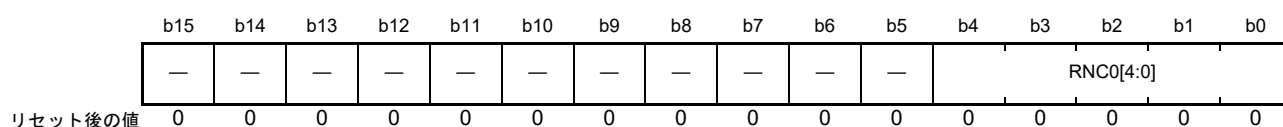
TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタはグローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- GCFGL.TSSS ビットが“0”(PCLK を選択) の場合
グローバル動作モードへ遷移したときにカウント開始。
グローバルストップモードまたはグローバルテストモードでカウント停止。
- GCFGL.TSSS ビットが“1”(CAN ビットタイムクロックを選択) の場合
対応するチャンネルがチャンネル通信モードへ遷移したときにカウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードでカウント停止。

30.2.17 受信ルール数設定レジスタ (GAFLCFG)

アドレス RSCAN.GAFLCFG 000A 8330h



ビット	シンボル	ビット名	機能	R/W
b4-b0	RNC0[4:0]	RSCAN0 受信ルール数設定ビット	チャンネル0の受信ルール数を設定してください。 設定範囲は“00h”~“10h”です	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GAFLCFG レジスタはグローバルリセットモードでのみ書き換えてください。

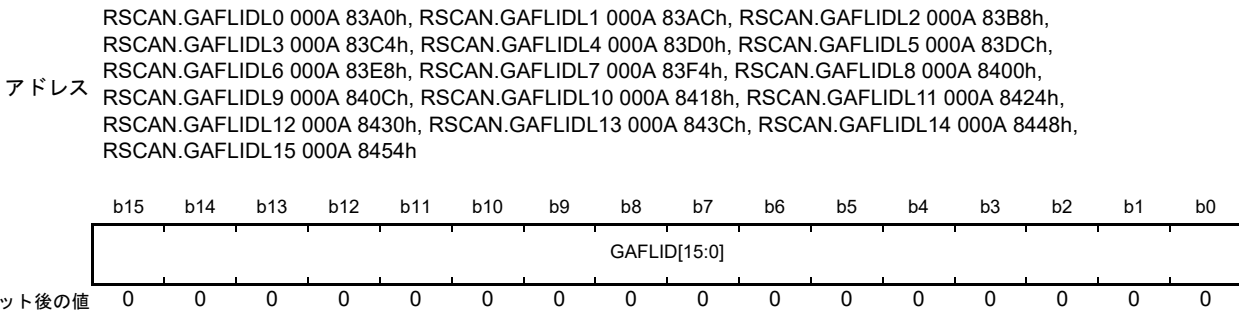
受信ルールテーブルに登録できるルール数は最大 16 です。

RNC0[4:0] ビット (RSCAN0 受信ルール数設定ビット)

チャンネル“0”の受信ルールテーブルに登録するルール数を設定します。

“00h” ~ “10h” 以外の値を設定しないでください。

30.2.18 受信ルール登録レジスタ jAL (GAFLIDLj) (j = 0 ~ 15)



ビット	シンボル	ビット名	機能	R/W
b15-b0	GAFLID[15:0]	ID設定ビットL	受信ルールのIDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b15～b11は“0”にしてください	R/W

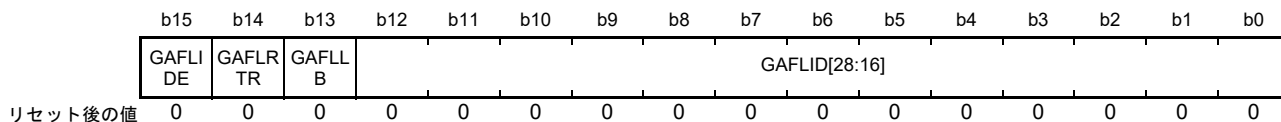
GAFLIDLj レジスタは、GRWCR.RPAGE ビットが “0” で、かつグローバルリセットモードでのみ書き換えてください。

GAFLID[15:0] ビット (ID 設定ビット L)

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

30.2.19 受信ルール登録レジスタ jAH (GAFLIDHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLIDH0 000A 83A2h, RSCAN.GAFLIDH1 000A 83AEh, RSCAN.GAFLIDH2 000A 83BAh,
RSCAN.GAFLIDH3 000A 83C6h, RSCAN.GAFLIDH4 000A 83D2h, RSCAN.GAFLIDH5 000A 83DEh,
RSCAN.GAFLIDH6 000A 83EAh, RSCAN.GAFLIDH7 000A 83F6h, RSCAN.GAFLIDH8 000A 8402h,
RSCAN.GAFLIDH9 000A 840Eh, RSCAN.GAFLIDH10 000A 841Ah, RSCAN.GAFLIDH11 000A 8426h,
RSCAN.GAFLIDH12 000A 8432h, RSCAN.GAFLIDH13 000A 843Eh, RSCAN.GAFLIDH14 000A 844Ah,
RSCAN.GAFLIDH15 000A 8456h



ビット	シンボル	ビット名	機能	R/W
b12-b0	GAFLID[28:16]	ID 設定ビット H	受信ルールの ID を設定してください。 標準 ID の場合、“0”にしてください	R/W
b13	GAFLLB	受信ルール対象メッセージ選択 ビット	0：他の CAN ノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時	R/W
b14	GAFLRTR	RTR 選択ビット	0：データフレーム 1：リモートフレーム	R/W
b15	GAFLIDE	IDE 選択ビット	0：標準 ID 1：拡張 ID	R/W

GAFLIDHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換え
てください。

GAFLID[28:16] ビット (ID 設定ビット H)

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信
メッセージの ID を比較します。

GAFLLB ビット (受信ルール対象メッセージ選択ビット)

“0”にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処
理を行います。

ミラー機能使用時に“1”にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いた
データ処理を行います。

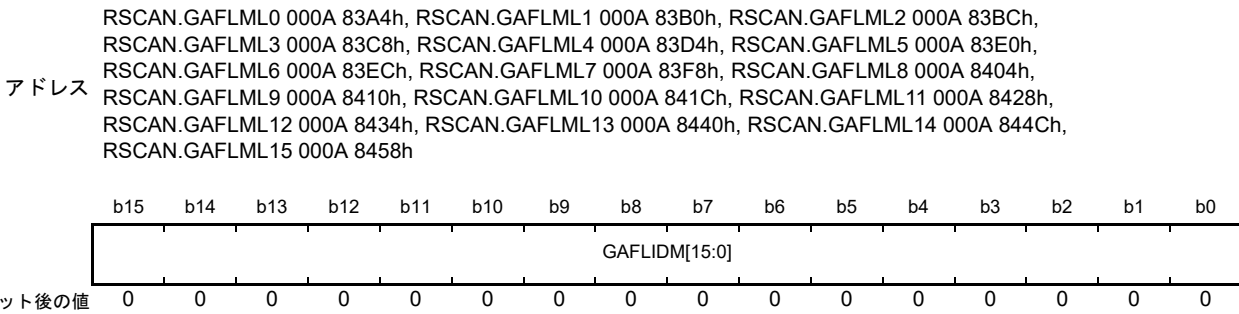
GAFLRTR ビット (RTR 選択ビット)

受信ルールのフレームフォーマット (データフレームまたはリモートフレーム) を選択します。アクセプ
タンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLIDE ビット (IDE 選択ビット)

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理で
は、このビットと受信メッセージの IDE ビットを比較します。

30.2.20 受信ルール登録レジスタ jBL (GAFLMLj) (j = 0 ~ 15)



ビット	シンボル	ビット名	機能	R/W
b15-b0	GAFLIDM[15:0]	ID マスクビット L	0 : 対応する ID ビットを比較しない 1 : 対応する ID ビットを比較する	R/W

GAFLMLj レジスタは、GRWCR.RPAGE ビットが “0” で、かつグローバルリセットモードでのみ書き換えてください。

GAFLIDM[15:0] ビット (ID マスクビット L)
受信ルールの対応する ID ビットをマスクするビットです。

30.2.21 受信ルール登録レジスタ jBH (GAFLMHj) (j = 0 ~ 15)

アドレスRSCAN.GAFLMH0 000A 83A6h, RSCAN.GAFLMH1 000A 83B2h, RSCAN.GAFLMH2 000A 83BEh, RSCAN.GAFLMH3 000A 83CAh, RSCAN.GAFLMH4 000A 83D6h, RSCAN.GAFLMH5 000A 83E2h, RSCAN.GAFLMH6 000A 83EEh, RSCAN.GAFLMH7 000A 83FAh, RSCAN.GAFLMH8 000A 8406h, RSCAN.GAFLMH9 000A 8412h, RSCAN.GAFLMH10 000A 841Eh, RSCAN.GAFLMH11 000A 842Ah, RSCAN.GAFLMH12 000A 8436h, RSCAN.GAFLMH13 000A 8442h, RSCAN.GAFLMH14 000A 844Eh, RSCAN.GAFLMH15 000A 845Ah

b15b14b13b12b11b10b9b8b7b6b5b4b3b2b1b0

GAFLIDEMGAFLRTRM—

GAFLIDM[28:16]

リセット後の値00000000000000000000000000000000

ビット	シンボル	ビット名	機能	R/W
b12-b0	GAFLIDM[28:16]	ID マスクビット H	0 : 対応する ID ビットを比較しない 1 : 対応する ID ビットを比較する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	GAFLRTRM	RTR マスクビット	0 : RTR ビットを比較しない 1 : RTR ビットを比較する	R/W
b15	GAFLIDEM	IDE マスクビット	0 : IDE ビットを比較しない 1 : IDE ビットを比較する	R/W

GAFLMHj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えてください。

GAFLIDM[28:16] ビット (ID マスクビット H)

受信ルールの対応する ID ビットをマスクするビットです。

GAFLRTRM ビット (RTR マスクビット)

受信ルールの RTR ビットをマスクするビットです。

GAFLIDEM ビット (IDE マスクビット)

“1”にすると、GAFLIDHj.GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0”にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLMHj.GAFLIDM[28:16] ビットと GAFLMLj.GAFLIDM[15:0] ビットをすべて“0”にしてください。

30.2.22 受信ルール登録レジスタ jCL (GAFLPLj) (j = 0 ~ 15)

アドレス RSCAN.GAFLPL0 000A 83A8h, RSCAN.GAFLPL1 000A 83B4h, RSCAN.GAFLPL2 000A 83C0h,
RSCAN.GAFLPL3 000A 83CCh, RSCAN.GAFLPL4 000A 83D8h, RSCAN.GAFLPL5 000A 83E4h,
RSCAN.GAFLPL6 000A 83F0h, RSCAN.GAFLPL7 000A 83FCh, RSCAN.GAFLPL8 000A 8408h,
RSCAN.GAFLPL9 000A 8414h, RSCAN.GAFLPL10 000A 8420h, RSCAN.GAFLPL11 000A 842Ch,
RSCAN.GAFLPL12 000A 8438h, RSCAN.GAFLPL13 000A 8444h, RSCAN.GAFLPL14 000A 8450h,
RSCAN.GAFLPL15 000A 845Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLR MV	GAFLRMDP[6:0]						—	—	—	GAFLF DP4	—	—	GAFLF DP1	GAFLF DP0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GAFLFDP0	受信 FIFO バッファ選択ビット 0	0 : 受信 FIFO バッファ 0 を選択しない 1 : 受信 FIFO バッファ 0 を選択する	R/W
b1	GAFLFDP1	受信 FIFO バッファ選択ビット 1	0 : 受信 FIFO バッファ 1 を選択しない 1 : 受信 FIFO バッファ 1 を選択する	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	GAFLFDP4	RSCAN0 送受信 FIFO バッファ 選択ビット 0	0 : RSCAN0 送受信 FIFO バッファ 0 を選択しない 1 : RSCAN0 送受信 FIFO バッファ 0 を選択する	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b8	GAFLRMDP[6:0]	受信バッファ番号選択ビット	受信メッセージを格納する受信バッファの番号を設定	R/W
b15	GAFLRMV	受信バッファ許可ビット	0 : 受信バッファを使用しない 1 : 受信バッファを使用する	R/W

GAFLPLj レジスタは、GRWCR.RPAGE ビットが“0”で、かつグローバルリセットモードでのみ書き換えてください。

GAFLFDP0 ビット (受信 FIFO バッファ選択ビット 0)、
GAFLFDP1 ビット (受信 FIFO バッファ選択ビット 1)、
GAFLFDP4 ビット (RSCAN0 送受信 FIFO バッファ選択ビット 0)

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 2 つの FIFO バッファが選択できます。ただし、GAFLPLj.GAFLRMV ビットを“1”(受信バッファにメッセージを格納する)にした場合は、最大 1 つの FIFO バッファが選択できます。受信 FIFO バッファと、CFCCH0.CFM[1:0] ビットを“00b”(受信モード)に設定した送受信 FIFO バッファのみ選択できます。

GAFLRMDP[6:0] ビット (受信バッファ番号選択ビット)

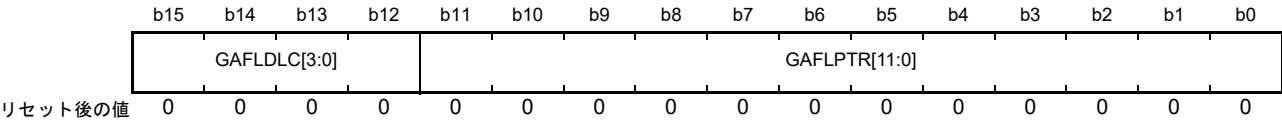
GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RMNB.NRXMB[4:0] ビットで設定した値より小さい番号を設定してください。

GAFLRMV ビット (受信バッファ許可ビット)

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

30.2.23 受信ルール登録レジスタ jCH (GAFLPHj) (j = 0 ~ 15)

アドレス RSCAN.GAFLPH0 000A 83AAh, RSCAN.GAFLPH1 000A 83B6h, RSCAN.GAFLPH2 000A 83C2h, RSCAN.GAFLPH3 000A 83CEh, RSCAN.GAFLPH4 000A 83DAh, RSCAN.GAFLPH5 000A 83E6h, RSCAN.GAFLPH6 000A 83F2h, RSCAN.GAFLPH7 000A 83FEh, RSCAN.GAFLPH8 000A 840Ah, RSCAN.GAFLPH9 000A 8416h, RSCAN.GAFLPH10 000A 8422h, RSCAN.GAFLPH11 000A 842Eh, RSCAN.GAFLPH12 000A 843Ah, RSCAN.GAFLPH13 000A 8446h, RSCAN.GAFLPH14 000A 8452h, RSCAN.GAFLPH15 000A 845Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	GAFLPTR[11:0]	受信ルールラベル設定ビット	12ビットのラベル情報を設定	R/W
b15-b12	GAFLDLC[3:0]	受信ルールDLC設定ビット	b15b12 0 0 0 0 : データ長0バイト以上 (DLCチェックしない) 0 0 0 1 : データ長1バイト以上 0 0 1 0 : データ長2バイト以上 0 0 1 1 : データ長3バイト以上 0 1 0 0 : データ長4バイト以上 0 1 0 1 : データ長5バイト以上 0 1 1 0 : データ長6バイト以上 0 1 1 1 : データ長7バイト以上 1 x x x : データ長8バイト以上	R/W

x : Don't care

GAFLPHj レジスタは、GRWCR.RPAGE ビットが “0” で、かつグローバルリセットモードでのみ書き換え
てください。

GAFLPTR[11:0] ビット (受信ルールラベル設定ビット)

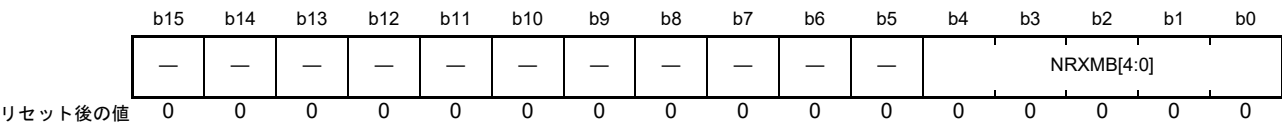
フィルタを通過したメッセージに付加する 12 ビットのラベルを設定します。ラベルはメッセージを受信
バッファや FIFO バッファに格納する際に付加されます。

GAFLDLC[3:0] ビット (受信ルール DLC 設定ビット)

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ
長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000b” を設定すると、
DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

30.2.24 受信バッファ数設定レジスタ (RMNB)

アドレス RSCAN.RMNB 000A 8332h



ビット	シンボル	ビット名	機能	R/W
b4-b0	NRXMB[4:0]	受信バッファ数設定ビット	受信バッファ数を設定する。0～16の範囲で設定してください	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

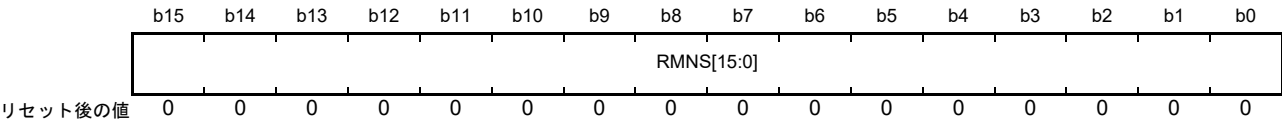
RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[4:0] ビット (受信バッファ数設定ビット)

CAN モジュール全体の受信バッファ数を設定します。最大値は 16 です。
“0”を設定すると、受信バッファは使用できません。

30.2.25 受信バッファ受信完了フラグレジスタ (RMND0)

アドレス RSCAN.RMND0 000A 8334h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMNS[15:0]	受信バッファ受信完了フラグ n	0 : 受信バッファ n に新しいメッセージなし (n = 0～15) 1 : 受信バッファ n に新しいメッセージあり	R/W

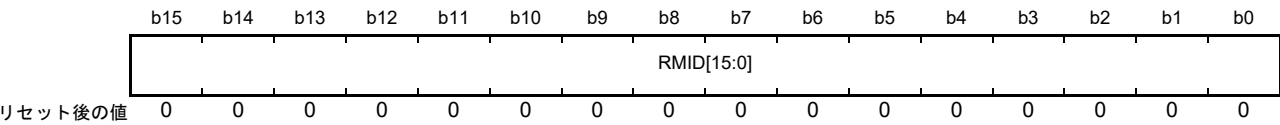
RMND0 レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNS[15:0] フラグ (受信バッファ受信完了フラグ n)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。
フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合は、“0”にしたいビットを“0”、そうでないビットを“1”にして 16 ビット単位で書いてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は PCLK の 10 クロック分です。
グローバルリセットモード時、“0”になります。

30.2.26 受信バッファレジスタ nAL (RMIDLn) (n = 0 ~ 15)

アドレス RSCAN.RMIDL0 000A 83A0h, RSCAN.RMIDL1 000A 83B0h, RSCAN.RMIDL2 000A 83C0h,
RSCAN.RMIDL3 000A 83D0h, RSCAN.RMIDL4 000A 83E0h, RSCAN.RMIDL5 000A 83F0h,
RSCAN.RMIDL6 000A 8400h, RSCAN.RMIDL7 000A 8410h, RSCAN.RMIDL8 000A 8420h,
RSCAN.RMIDL9 000A 8430h, RSCAN.RMIDL10 000A 8440h, RSCAN.RMIDL11 000A 8450h,
RSCAN.RMIDL12 000A 8460h, RSCAN.RMIDL13 000A 8470h, RSCAN.RMIDL14 000A 8480h,
RSCAN.RMIDL15 000A 8490h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMIDL[15:0]	受信バッファ ID データ L	受信メッセージの標準 ID/拡張 ID が読めます。標準 ID の場合は、b10 ~ b0 を読んでください。b15 ~ b11 は 0 が読めます	R

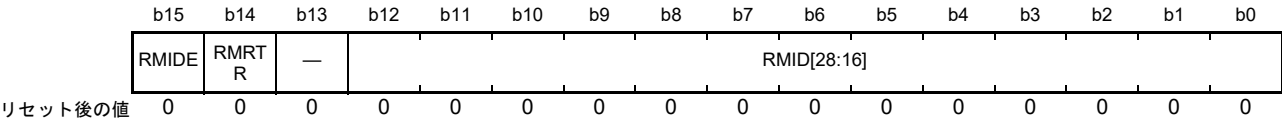
GRWCR.RPAGE ビットが “1” のときに、このレジスタからの読み出しができます。

RMIDL[15:0] ビット (受信バッファ ID データ L)

受信バッファに格納されたメッセージの ID を示します。

30.2.27 受信バッファレジスタ nAH (RMIDHn) (n = 0 ~ 15)

アドレス RSCAN.RMIDH0 000A 83A2h, RSCAN.RMIDH1 000A 83B2h, RSCAN.RMIDH2 000A 83C2h, RSCAN.RMIDH3 000A 83D2h, RSCAN.RMIDH4 000A 83E2h, RSCAN.RMIDH5 000A 83F2h, RSCAN.RMIDH6 000A 8402h, RSCAN.RMIDH7 000A 8412h, RSCAN.RMIDH8 000A 8422h, RSCAN.RMIDH9 000A 8432h, RSCAN.RMIDH10 000A 8442h, RSCAN.RMIDH11 000A 8452h, RSCAN.RMIDH12 000A 8462h, RSCAN.RMIDH13 000A 8472h, RSCAN.RMIDH14 000A 8482h, RSCAN.RMIDH15 000A 8492h



ビット	シンボル	ビット名	機能	R/W
b12-b0	RMID[28:16]	受信バッファ ID データ H	受信メッセージの標準 ID/拡張 ID が読めます。標準 ID の場合は、“0” が読めます	R
b13	—	予約ビット	読むと“0”が読めます	R
b14	RMRT R	受信バッファ RTR ビット	0：データフレーム 1：リモートフレーム	R
b15	RMIDE	受信バッファ IDE ビット	0：標準 ID 1：拡張 ID	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RMID[28:16] ビット (受信バッファ ID データ H)

受信バッファに格納されたメッセージの ID を示します。

RMRT R ビット (受信バッファ RTR ビット)

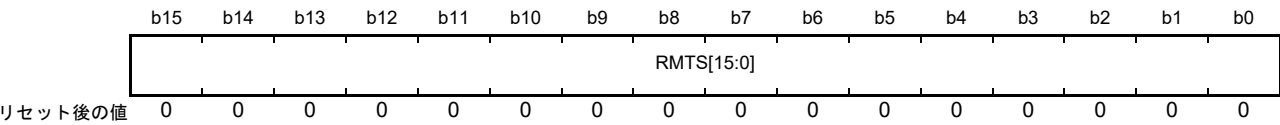
受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMIDE ビット (受信バッファ IDE ビット)

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

30.2.28 受信バッファレジスタ nBL (RMTSn) (n = 0 ~ 15)

アドレス RSCAN.RMTS0 000A 83A4h, RSCAN.RMTS1 000A 83B4h, RSCAN.RMTS2 000A 83C4h,
RSCAN.RMTS3 000A 83D4h, RSCAN.RMTS4 000A 83E4h, RSCAN.RMTS5 000A 83F4h,
RSCAN.RMTS6 000A 8404h, RSCAN.RMTS7 000A 8414h, RSCAN.RMTS8 000A 8424h,
RSCAN.RMTS9 000A 8434h, RSCAN.RMTS10 000A 8444h, RSCAN.RMTS11 000A 8454h,
RSCAN.RMTS12 000A 8464h, RSCAN.RMTS13 000A 8474h, RSCAN.RMTS14 000A 8484h,
RSCAN.RMTS15 000A 8494h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMTS[15:0]	受信バッファタイムスタンプデータ	受信メッセージのタイムスタンプ値が読めます	R

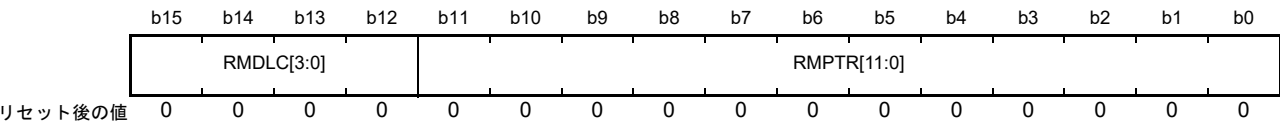
GRWCR.RPAGE ビットが“1” のときに、このレジスタからの読み出しができます。

RMTS[15:0] ビット (受信バッファタイムスタンプデータ)

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

30.2.29 受信バッファレジスタ nBH (RMPTRn) (n = 0 ~ 15)

アドレス RSCAN.RMPTR0 000A 83A6h, RSCAN.RMPTR1 000A 83B6h, RSCAN.RMPTR2 000A 83C6h, RSCAN.RMPTR3 000A 83D6h, RSCAN.RMPTR4 000A 83E6h, RSCAN.RMPTR5 000A 83F6h, RSCAN.RMPTR6 000A 8406h, RSCAN.RMPTR7 000A 8416h, RSCAN.RMPTR8 000A 8426h, RSCAN.RMPTR9 000A 8436h, RSCAN.RMPTR10 000A 8446h, RSCAN.RMPTR11 000A 8456h, RSCAN.RMPTR12 000A 8466h, RSCAN.RMPTR13 000A 8476h, RSCAN.RMPTR14 000A 8486h, RSCAN.RMPTR15 000A 8496h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RMPTR[11:0]	受信バッファラベルデータ	受信メッセージのラベル情報が読めます	R
b15-b12	RMDLC[3:0]	受信バッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R

x : Don't care

GRWCR.RPAGE ビットが“1” のときに、このレジスタからの読み出しができます。

RMPTR[11:0] ビット (受信バッファラベルデータ)

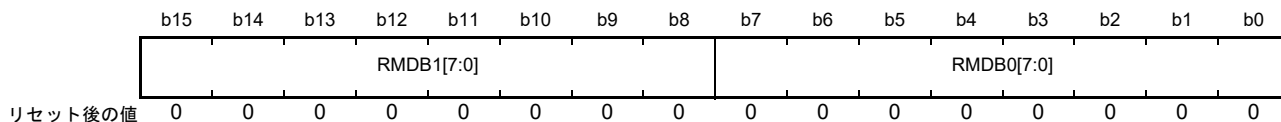
受信バッファに格納されたメッセージのラベル情報を示します。

RMDLC[3:0] ビット (受信バッファ DLC データ)

受信バッファに格納されたメッセージのデータ長を示します。

30.2.30 受信バッファレジスタ nCL (RMDF0n) (n = 0 ~ 15)

アドレス RSCAN.RMDF00 000A 83A8h, RSCAN.RMDF01 000A 83B8h, RSCAN.RMDF02 000A 83C8h,
RSCAN.RMDF03 000A 83D8h, RSCAN.RMDF04 000A 83E8h, RSCAN.RMDF05 000A 83F8h,
RSCAN.RMDF06 000A 8408h, RSCAN.RMDF07 000A 8418h, RSCAN.RMDF08 000A 8428h,
RSCAN.RMDF09 000A 8438h, RSCAN.RMDF10 000A 8448h, RSCAN.RMDF11 000A 8458h,
RSCAN.RMDF12 000A 8468h, RSCAN.RMDF13 000A 8478h, RSCAN.RMDF14 000A 8488h,
RSCAN.RMDF15 000A 8498h



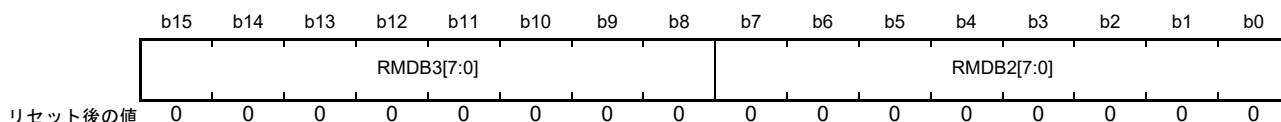
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB0[7:0]	受信バッファデータバイト0	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB1[7:0]	受信バッファデータバイト1		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

30.2.31 受信バッファレジスタ nCH (RMDF1n) (n = 0 ~ 15)

アドレス RSCAN.RMDF10 000A 83AAh, RSCAN.RMDF11 000A 83BAh, RSCAN.RMDF12 000A 83CAh,
RSCAN.RMDF13 000A 83DAh, RSCAN.RMDF14 000A 83EAh, RSCAN.RMDF15 000A 83FAh,
RSCAN.RMDF16 000A 840Ah, RSCAN.RMDF17 000A 841Ah, RSCAN.RMDF18 000A 842Ah,
RSCAN.RMDF19 000A 843Ah, RSCAN.RMDF110 000A 844Ah, RSCAN.RMDF111 000A 845Ah,
RSCAN.RMDF112 000A 846Ah, RSCAN.RMDF113 000A 847Ah, RSCAN.RMDF114 000A 848Ah,
RSCAN.RMDF115 000A 849Ah



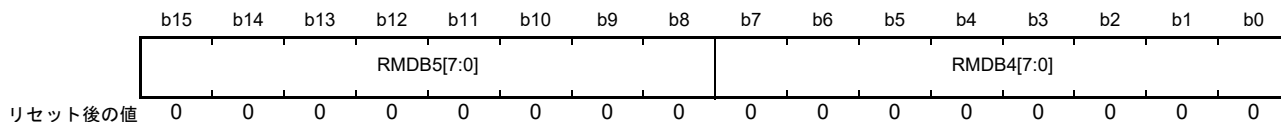
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB2[7:0]	受信バッファデータバイト2	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB3[7:0]	受信バッファデータバイト3		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

30.2.32 受信バッファレジスタ nDL (RMDF2n) (n = 0 ~ 15)

アドレス RSCAN.RMDF20 000A 83ACh, RSCAN.RMDF21 000A 83BCh, RSCAN.RMDF22 000A 83CCh,
RSCAN.RMDF23 000A 83DCh, RSCAN.RMDF24 000A 83ECh, RSCAN.RMDF25 000A 83FCh,
RSCAN.RMDF26 000A 840Ch, RSCAN.RMDF27 000A 841Ch, RSCAN.RMDF28 000A 842Ch,
RSCAN.RMDF29 000A 843Ch, RSCAN.RMDF210 000A 844Ch, RSCAN.RMDF211 000A 845Ch,
RSCAN.RMDF212 000A 846Ch, RSCAN.RMDF213 000A 847Ch, RSCAN.RMDF214 000A 848Ch,
RSCAN.RMDF215 000A 849Ch



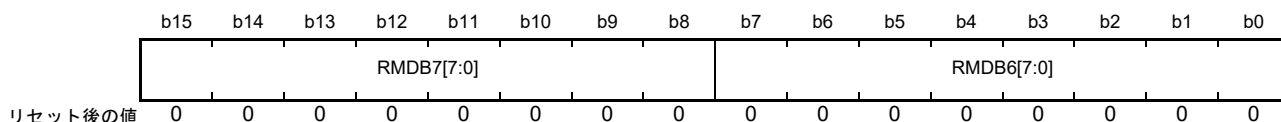
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB4[7:0]	受信バッファデータバイト4	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB5[7:0]	受信バッファデータバイト5		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

30.2.33 受信バッファレジスタ nDH (RMDF3n) (n = 0 ~ 15)

アドレス RSCAN.RMDF30 000A 83AEh, RSCAN.RMDF31 000A 83BEh, RSCAN.RMDF32 000A 83CEh,
RSCAN.RMDF33 000A 83DEh, RSCAN.RMDF34 000A 83EEh, RSCAN.RMDF35 000A 83FEh,
RSCAN.RMDF36 000A 840Eh, RSCAN.RMDF37 000A 841Eh, RSCAN.RMDF38 000A 842Eh,
RSCAN.RMDF39 000A 843Eh, RSCAN.RMDF310 000A 844Eh, RSCAN.RMDF311 000A 845Eh,
RSCAN.RMDF312 000A 846Eh, RSCAN.RMDF313 000A 847Eh, RSCAN.RMDF314 000A 848Eh,
RSCAN.RMDF315 000A 849Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB6[7:0]	受信バッファデータバイト6	受信バッファに格納されたメッセージのデータが読めます	R
b15-b8	RMDB7[7:0]	受信バッファデータバイト7		R

RMPTRn.RMDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

30.2.34 受信 FIFO 制御レジスタ m (RFCCm) (m = 0, 1)

アドレス RSCAN.RFCC0 000A 8338h, RSCAN.RFCC1 000A 833Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO バッファ許可ビット	0 : 受信 FIFO バッファを使用しない 1 : 受信 FIFO バッファを使用する	R/W
b1	RFIE	受信 FIFO 割り込み許可ビット	0 : 受信 FIFO 割り込み禁止 1 : 受信 FIFO 割り込み許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット	b10 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	RFIM	受信 FIFO 割り込み要因選択ビット	0 : RFIGCV[2:0] ビットで設定した条件に達したときに発生 1 : 1 メッセージ受信完了ごとに発生	R/W
b15-b13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット	b15 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルの時	R/W

RFE ビット (受信 FIFO バッファ許可ビット)

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RFSTSm.RFEMP フラグが“1”(バッファ空)になります。このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFIE ビット (受信 FIFO 割り込み許可ビット)

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0”(受信 FIFO バッファを使用しない)のときに、RFIE ビットを書き換えてください。

RFDC[2:0] ビット (受信 FIFO バッファ段数設定ビット)

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000b”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット (受信 FIFO 割り込み要因選択ビット)

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIGCV[2:0] ビット (受信 FIFO 割り込み要求発生タイミング選択ビット)

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0] の設定) に対する分数で指定します。RFDC[2:0] ビットを“001b” (4 メッセージ) に設定した場合は、RFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

30.2.35 受信 FIFO ステータスレジスタ m (RFSTSm) (m = 0, 1)

アドレス RSCAN.RFSTS0 000A 8340h, RSCAN.RFSTS1 000A 8342h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP	受信FIFOバッファ空ステータスフラグ	0: 受信FIFOバッファに未読メッセージあり 1: 受信FIFOバッファに未読メッセージなし(バッファ空)	R
b1	RFFLL	受信FIFOバッファフルステータスフラグ	0: 受信FIFOバッファフルではない 1: 受信FIFOバッファフル	R
b2	RFMLT	受信FIFOメッセージロストフラグ	0: 受信FIFOメッセージロストなし 1: 受信FIFOメッセージロスト	R/(W) (注1)
b3	RFIF	受信FIFO割り込み要求フラグ	0: 受信FIFO割り込み要求なし 1: 受信FIFO割り込み要求あり	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	RFMC[5:0]	受信FIFO未読メッセージ数表示カウンタ	受信FIFOバッファに格納された未読メッセージ数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

RFEMP フラグ (受信 FIFO バッファ空ステータスフラグ)

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RFCCm.RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

RFFLL フラグ (受信 FIFO バッファフルステータスフラグ)

受信 FIFO バッファに格納されたメッセージ数が、RFCCm.RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFCCm.RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RFCCm.RFE ビットが“0” (受信 FIFO バッファを使用しない) のとき、またはグローバルリセットモード時に“0”になります。

RFMLT フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFIF フラグ (受信 FIFO 割り込み要求フラグ)

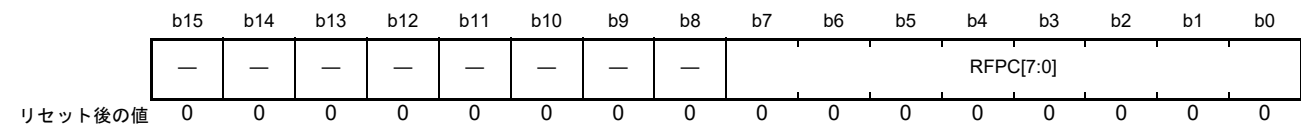
RFCCm.RFIGCV[2:0] ビット (m = 0, 1) と RFCCm.RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードでのみ書き換えてください。

RFMC[5:0] フラグ (受信 FIFO 未読メッセージ数表示カウンタ)

受信 FIFO バッファ内の未読メッセージ数を示します。RFCCm.RFE ビットを“0”にすると、“00h”になります。

30.2.36 受信 FIFO ポインタ制御レジスタ m (RFPCTRm) (m = 0, 1)

アドレス RSCAN.RFPCTR0 000A 8348h, RSCAN.RFPCTR1 000A 834Ah



ビット	シンボル	ビット名	機能	R/W
b7-b0	RFPC[7:0]	受信FIFOポインタ	“FFh”を書くと、受信FIFOバッファの次の未読メッセージにリードポインタが移動します。設定値は“FFh”です	W
b15-b8	—	予約ビット	書く場合、“0”としてください	W

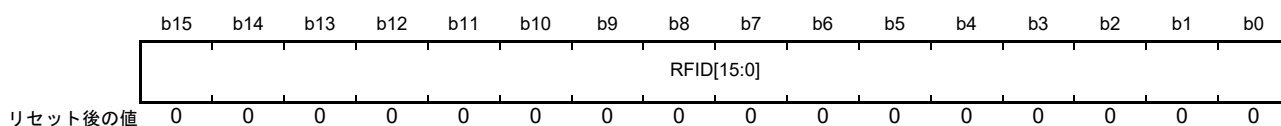
RFPC[7:0] ビット (受信 FIFO ポインタ)

RFPC[7:0] ビットに“FFh”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RFSTSm.RFMC[5:0] フラグ (受信 FIFO 未読メッセージ数表示カウンタ) の値が“1”減算されます。RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m ~ RFDF3m レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、RFCCm.RFE ビットが“1”(受信 FIFO バッファを使用する)で、RFSTSm.RFEMP フラグが“0”(未読メッセージあり)のときに行ってください。

30.2.37 受信 FIFO アクセスレジスタ mAL (RFIDLm) (m = 0, 1)

アドレス RSCAN.RFIDL0 000A 85A0h, RSCAN.RFIDL1 000A 85B0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFID[15:0]	受信FIFOバッファ ID データ L	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、b10～b0を読んでください。b15～b11は“0”が読めます	R

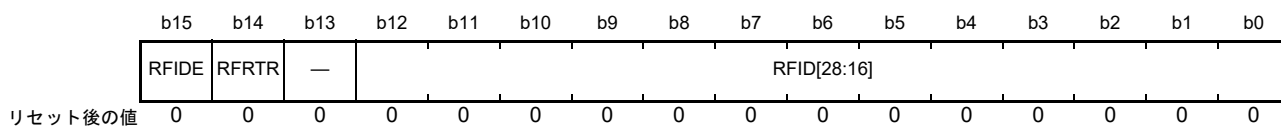
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFID[15:0] ビット (受信 FIFO バッファ ID データ L)

受信 FIFO バッファに格納されたメッセージの ID を示します。

30.2.38 受信 FIFO アクセスレジスタ mAH (RFIDHm) (m = 0, 1)

アドレス RSCAN.RFIDH0 000A 85A2h, RSCAN.RFIDH1 000A 85B2h



ビット	シンボル	ビット名	機能	R/W
b12-b0	RFID[28:16]	受信FIFOバッファ ID データ H	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、“0”が読めます	R
b13	—	予約ビット	読むと“0”が読めます	R
b14	RFRTTR	受信FIFOバッファ RTRビット	0：データフレーム 1：リモートフレーム	R
b15	RFIDE	受信FIFOバッファ IDEビット	0：標準ID 1：拡張ID	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFID[28:16] ビット (受信 FIFO バッファ ID データ H)

受信 FIFO バッファに格納されたメッセージの ID を示します。

RFRTTR ビット (受信 FIFO バッファ RTR ビット)

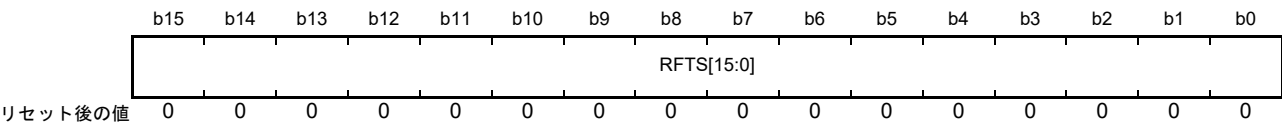
受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RFIDE ビット (受信 FIFO バッファ IDE ビット)

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

30.2.39 受信 FIFO アクセスレジスタ mBL (RFTSm) (m = 0, 1)

アドレス RSCAN.RFTS0 000A 85A4h, RSCAN.RFTS1 000A 85B4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFTS[15:0]	受信FIFOバッファタイムスタンプデータ	受信メッセージのタイムスタンプ値が読めます	R

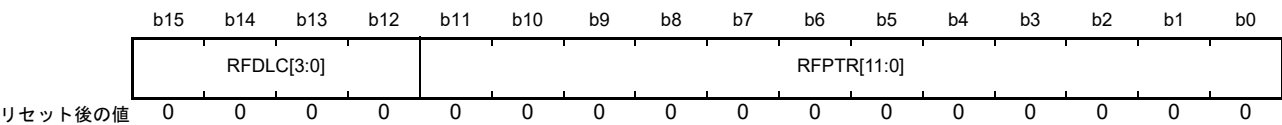
GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFTS[15:0] ビット (受信 FIFO バッファタイムスタンプデータ)

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

30.2.40 受信 FIFO アクセスレジスタ mBH (RFPTm) (m = 0, 1)

アドレス RSCAN.RFPTR0 000A 85A6h, RSCAN.RFPTR1 000A 85B6h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RFPTR[11:0]	受信FIFOバッファラベルデータ	受信メッセージのラベル情報が読めます	R
b15-b12	RFDLC[3:0]	受信FIFOバッファ DLC データ	b15b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R

x : Don't care

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

RFPTR[11:0] ビット (受信 FIFO バッファラベルデータ)

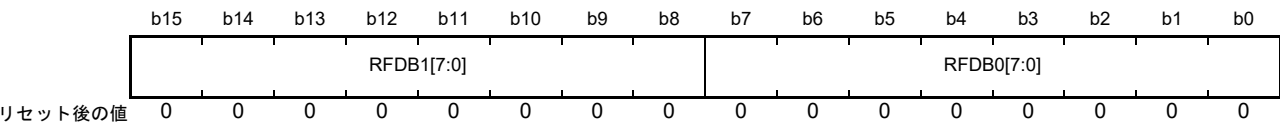
受信 FIFO バッファに格納されたメッセージのラベル情報を示します。

RFDLC[3:0] ビット (受信 FIFO バッファ DLC データ)

受信 FIFO バッファに格納されたメッセージのデータ長を示します。

30.2.41 受信 FIFO アクセスレジスタ mCL (RFDF0m) (m = 0, 1)

アドレス RSCAN.RFDF00 000A 85A8h, RSCAN.RFDF01 000A 85B8h



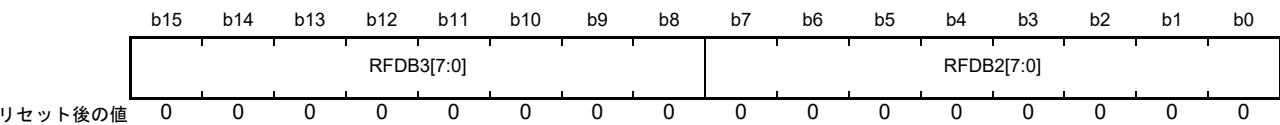
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB0[7:0]	受信FIFOバッファデータバイト0	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB1[7:0]	受信FIFOバッファデータバイト1		R

RFPTRm.RFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタからの読み出しができます。

30.2.42 受信 FIFO アクセスレジスタ mCH (RFDF1m) (m = 0, 1)

アドレス RSCAN.RFDF10 000A 85AAh, RSCAN.RFDF11 000A 85BAh



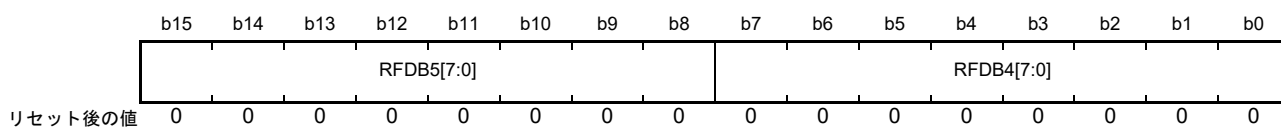
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB2[7:0]	受信FIFOバッファデータバイト2	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB3[7:0]	受信FIFOバッファデータバイト3		R

RFPTRm.RFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタからの読み出しができます。

30.2.43 受信 FIFO アクセスレジスタ mDL (RFDF2m) (m = 0, 1)

アドレス RSCAN.RFDF20 000A 85ACh, RSCAN.RFDF21 000A 85BCh



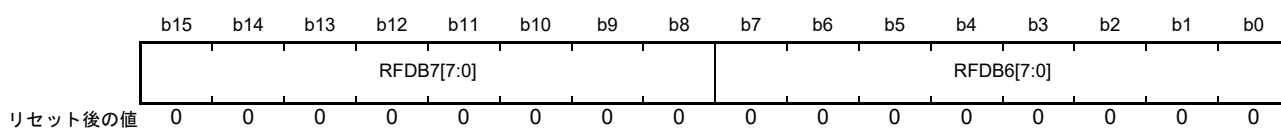
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB4[7:0]	受信FIFOバッファデータバイト4	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB5[7:0]	受信FIFOバッファデータバイト5		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

30.2.44 受信 FIFO アクセスレジスタ mDH (RFDF3m) (m = 0, 1)

アドレス RSCAN.RFDF30 000A 85AEh, RSCAN.RFDF31 000A 85BEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB6[7:0]	受信FIFOバッファデータバイト6	受信FIFOバッファに格納されたメッセージのデータが読めます	R
b15-b8	RFDB7[7:0]	受信FIFOバッファデータバイト7		R

RFPTRm.RFDLC[3:0] ビットの値が“1000b”未満の場合、データが設定されていないデータバイトは、“00h”が読めます。

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

30.2.45 送受信 FIFO 制御レジスタ 0L (CFCCL0)

アドレス RSCAN0.CFCCL0 000A 8350h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFE	送受信 FIFO バッファ許可ビット	0: 送受信 FIFO バッファを使用しない 1: 送受信 FIFO バッファを使用する	R/W
b1	CFRXIE	送受信 FIFO 受信割り込み許可ビット	0: 送受信 FIFO 受信割り込み禁止 1: 送受信 FIFO 受信割り込み許可	R/W
b2	CFTXIE	送受信 FIFO 送信割り込み許可ビット	0: 送受信 FIFO 送信割り込み禁止 1: 送受信 FIFO 送信割り込み許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット	b10 b8 0 0 0: 0メッセージ 0 0 1: 4メッセージ 0 1 0: 8メッセージ 0 1 1: 16メッセージ 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	CFIM	送受信 FIFO 割り込み要因選択ビット	0: 受信モード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1: 受信モード時 1メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード時 1メッセージ送信が完了するごとに FIFO 送信割り込み要求発生	R/W
b15-b13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット	b15 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルの時	R/W

CFE ビット (送受信 FIFO バッファ許可ビット)

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラージロストの後に、空になります。それ以外の場合、または受信モードでは“0”にすると空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モード時：チャネルリセットモード

このビットは、次に示すモードでのみ書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モード：チャンネル通信モードまたはチャンネル待機モード

CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット)

このビットが“1”の場合、CFSTS0.CFRXIF フラグが“1”になると、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFTXIE ビット (送受信 FIFO 送信割り込み許可ビット)

このビットが“1”の場合、CFSTS0.CFTXIF フラグが“1”になると、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFTXIE ビットを書き換えてください。

CFDC[2:0] ビット (送受信 FIFO バッファ段数設定ビット)

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000b”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット (送受信 FIFO 割り込み要因選択ビット)

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット (送受信 FIFO 受信割り込み要求発生タイミング選択ビット)

CFCCH0.CFM[1:0] ビットを“00b” (受信モード) に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (CFDC[2:0] ビットの設定) に対する分数で指定します。

CFDC[2:0] ビットを“001b” (4 メッセージ) に設定した場合は、CFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

30.2.46 送受信 FIFO 制御レジスタ 0H (CFCCH0)

アドレス RSCAN0.CFCCH0 000A 8352h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFITT[7:0]							—	—	CFTML[1:0]	CFITR	CFITSS	CFM[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CFM[1:0]	送受信FIFOモード選択ビット	b1 b0 0 0 : 受信モード 0 1 : 送信モード 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b2	CFITSS	インターバルタイマクロックソース選択ビット	0 : CFITR ビットで選択したクロック 1 : CAN ビットタイムクロック	R/W
b3	CFITR	送受信FIFOインターバルタイム分解能	0 : PCLK を GCFGH.ITRCP[15:0] ビットで分周したクロック 1 : PCLK を GCFGH.ITRCP[15:0] ビットの値×10 で分周したクロック	R/W
b5-b4	CFTML[1:0]	送信バッファリンク設定ビット	送受信FIFOバッファにリンクさせる送信バッファ番号を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	CFITT[7:0]	メッセージ送信間隔設定ビット	メッセージの送信間隔を設定してください。設定値は“00h”～“FFh”です	R/W

CFM[1:0] ビット (送受信 FIFO モード選択ビット)

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFITSS ビット (インターバルタイマクロックソース選択ビット)

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1” のとき、CAN ビットタイムクロックがインターバルタイマのカウントソースになります。

CFCCCL0.CFE ビットを “0” (送受信 FIFO バッファを使用しない) にしてから、CFITSS ビットを書き換えてください。

CFITR ビット (送受信 FIFO インターバルタイム分解能)

CFITSS ビットが “0” のとき、有効です。

“0” のとき、PCLK を GCFGH.ITRCP[15:0] ビットで分周したクロックを選択します。

“1” のとき、PCLK を GCFGH.ITRCP[15:0] ビットの値×10 で分周したクロックを選択します。

CFCCCL0.CFE ビットが “0” (送受信 FIFO バッファを使用しない) の状態で、CFITR ビットを書き換えてください。

CFTML[1:0] ビット (送信バッファリンク設定ビット)

CFM[1:0] ビットを “01b” (送信モード) に設定した場合、送受信 FIFO バッファにリンクする送信バッファ番号を設定します。

CFCCCL0.CFDC[2:0] ビットを “001b” 以上にすると、CFTML[1:0] ビットの設定が有効になります。

このビットはグローバルリセットモードでのみ書き換えてください。

CFITT[7:0] ビット (メッセージ送信間隔設定ビット)

CFM[1:0] ビットを “01b” (送信モード) に設定した送受信 FIFO バッファから連続してメッセージを送信

する場合、メッセージの送信間隔を設定します。
CFCCL0.CFE ビットを “0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

30.2.47 送受信 FIFO ステータスレジスタ 0 (CFSTS0)

アドレス RSCAN0.CFSTS0 000A 8358h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CFMC[5:0]					—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CFEMP	送受信 FIFO バッファ空ステータスフラグ	0 : 送受信 FIFO バッファにメッセージあり 1 : 送受信 FIFO バッファにメッセージなし (バッファ空)	R
b1	CFFLL	送受信 FIFO バッファフルステータスフラグ	0 : 送受信 FIFO バッファフルではない 1 : 送受信 FIFO バッファフル	R
b2	CFMLT	送受信 FIFO メッセージロストフラグ	0 : 送受信 FIFO メッセージロストなし 1 : 送受信 FIFO メッセージロスト	R/(W) (注1)
b3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ	0 : 送受信 FIFO 受信割り込み要求なし 1 : 送受信 FIFO 受信割り込み要求あり	R/(W) (注1)
b4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ	0 : 送受信 FIFO 送信割り込み要求なし 1 : 送受信 FIFO 送信割り込み要求あり	R/(W) (注1)
b7-b5	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b13-b8	CFMC[5:0]	送受信 FIFO メッセージ数表示カウンタ	送受信 FIFO バッファに格納されたメッセージ数を示します	R
b15-b14	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

注1. フラグをクリアするための “0” 書き込みのみ可能です。“1” を書いても値は変化しません。

CFEMP フラグ (送受信 FIFO バッファ空ステータスフラグ)

[“1” になる条件]

- CFCCH0.CFM[1:0] ビットが “00b” の場合 : 全メッセージを読み出したとき、またはグローバルリセットモード
- CFCCH0.CFM[1:0] ビットが “01b” の場合 : すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFCCL0.CFE ビットが “0” (送受信 FIFO バッファを使用しない) のとき
ただし、送受信 FIFO バッファのメッセージが送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、“1” になります。

[“0” になる条件]

- CFCCH0.CFM[1:0] ビットが “00b” の場合 : 受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFCCH0.CFM[1:0] ビットが “01b” の場合 : CFIDL0、CFIDH0、CFPTR0、CFDF00 ~ CFDF30 レジスタに書いてから、CFPCTR0 レジスタに “FFh” を書いたとき

CFFLL フラグ (送受信 FIFO バッファフルステータスフラグ)

[“1” になる条件]

- 送受信 FIFO バッファに格納されたメッセージ数が、CFCCL0.CFDC[2:0] ビットで設定した段数と一致したとき

[“0” になる条件]

- 送受信 FIFO バッファに格納されたメッセージ数が、CFCCL0.CFDC[2:0] ビットで設定した段数より小さくなったとき
- CFCCL0.CFE ビットが “0” (送受信 FIFO バッファを使用しない) のとき
ただし、送受信 FIFO バッファのメッセージが送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、“0” になります。
- CFCCH0.CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが “01b” の場合：チャンネルリセットモード

CFMLT フラグ (送受信 FIFO メッセージロストフラグ)

[“1” になる条件]

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

[“0” になる条件]

- CFMLT フラグへの “0” 書き込み
- CFCCH0.CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが “01b” の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

CFRXIF フラグ (送受信 FIFO 受信割り込み要求フラグ)

[“1” になる条件]

- CFCCH0.CFM[1:0] ビットが “00b” で、CFCCL0.CFIM ビットで選択した要因が発生したとき

[“0” になる条件]

- CFRXIF フラグへの “0” 書き込み
- CFCCH0.CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが “01b” の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

CFTXIF フラグ (送受信 FIFO 送信割り込み要求フラグ)

[“1” になる条件]

- CFCCH0.CFM[1:0] ビットが “01b” で、CFCCL0.CFIM ビットで選択した要因が発生したとき

[“0” になる条件]

- CFTXIF フラグへの “0” 書き込み
- CFCCH0.CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが “01b” の場合：チャンネルリセットモード
このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

CFMC[5:0] フラグ (送受信 FIFO メッセージ数表示カウンタ)

CFMC[5:0] フラグが示す値は、CFCCH0.CFM[1:0] ビットの設定により次のようになります。

- CFCCH0.CFM[1:0] ビットが “01b” (送信モード) の場合：バッファに格納した未送信メッセージ数
- CFCCH0.CFM[1:0] ビットが “00b” (受信モード) の場合：バッファに格納された未読の受信メッセージ数
このビットは、次に示す条件で “0” になります。
- CFCCH0.CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFCCH0.CFM[1:0] ビットが “01b” の場合：チャンネルリセットモード

30.2.48 送受信 FIFO ポインタ制御レジスタ 0 (CFPCTR0)

アドレス RSCAN0.CFPCTR0 000A 835Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CFPC[7:0]	RSCAN0 送受信 FIFO ポインタ	受信モード時 “FFh” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します 送信モード時 “FFh” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します	W
b15-b8	—	予約ビット	書く場合、“0” としてください	W

CFPC[7:0] ビット (RSCAN0 送受信 FIFO ポインタ)

[受信モード (CFCCH0.CFM[1:0] ビットが “00b”) のとき]

CFPC[7:0] ビットに “FFh” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき CFSTS0.CFMC[5:0] フラグ (送受信 FIFO メッセージ数表示カウンタ) の値が “1” 減算されます。CFIDL0、CFIDH0、CFTS0、CFPTR0、CFDF00 ～ CFDF30 レジスタを読んで送受信 FIFO バッファのメッセージを読み出したあと、CFPC[7:0] ビットに “FFh” を書いてください。

なお、“FFh” の書き込みは、CFCCL0.CFE ビットが “1” (送受信 FIFO バッファを使用する) で、CFSTS0.CFEMP フラグが “0” (メッセージあり) のときに行ってください。

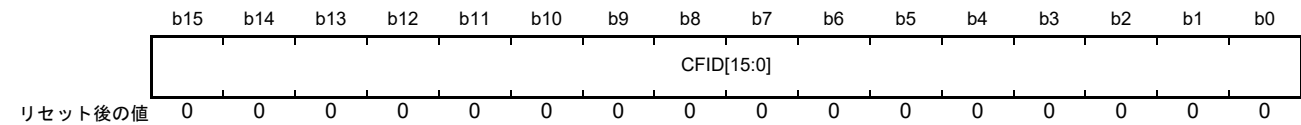
[送信モード (CFCCH0.CFM[1:0] ビットが “01b”) のとき]

CFPC[7:0] ビットに “FFh” を書くと、CFIDL0、CFIDH0、CFPTR0、CFDF00 ～ CFDF30 レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFSTS0.CFMC[5:0] フラグの値が “1” 加算されます。CFIDL0、CFIDH0、CFPTR0、CFDF00 ～ CFDF30 レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FFh” を書いてください。

なお、“FFh” の書き込みは、CFCCL0.CFE ビットが “1” で、CFSTS0.CFFLL フラグが “0” (フルではない) のときに行ってください。

30.2.49 送受信 FIFO アクセスレジスタ 0AL (CFIDL0)

アドレス RSCAN0.CFIDL0 000A 85E0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CFID[15:0]	送受信 FIFO バッファ ID データ L	CFCCH0.CFM[1:0] ビットが “01b” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、 b10 ~ b0 に ID を設定してください。b15 ~ b11 は “0” にして ください CFCCH0.CFM[1:0] ビットが “00” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b15 ~ b11 は “0” が読め ます	R/W

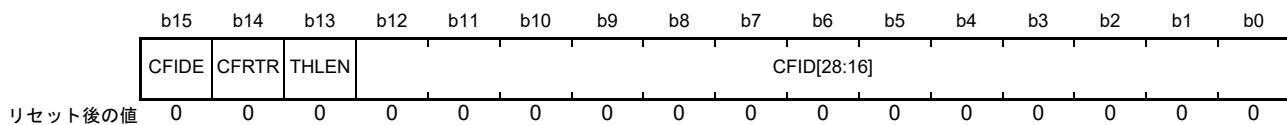
CFCCH0.CFM[1:0] ビットが “01b” (送信モード) の場合のみ、このレジスタに書けます。
CFCCH0.CFM[1:0] ビットが “00b” (受信モード) の場合のみ、このレジスタを読めます。
GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

CFID[15:0] ビット (送受信 FIFO バッファ ID データ L)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を示します。
CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

30.2.50 送受信 FIFO アクセスレジスタ 0AH (CFIDH0)

アドレス RSCAN0.CFIDH0 000A 85E2h



ビット	シンボル	ビット名	機能	R/W
b12-b0	CFID[28:16]	送受信 FIFO バッファ ID データ H	CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時標準 ID または拡張 ID を設定してください。標準 ID の場合、“0”にしてください CFCCH0.CFM[1:0] ビットが“00b” (受信モード) 時受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、“0”が読めます	R/W
b13	THLEN	送信履歴データ格納許可ビット	CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する	R/W
b14	CFRTR	送受信 FIFO バッファ RTR ビット	0: データフレーム 1: リモートフレーム	R/W
b15	CFIDE	送受信 FIFO バッファ IDE ビット	0: 標準 ID 1: 拡張 ID	R/W

CFCCH0.CFM[1:0] ビットが “01b” (送信モード) の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが “00b” (受信モード) の場合のみ、このレジスタを読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

CFID[28:16] ビット (送受信 FIFO バッファ ID データ H)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を示します。

CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFCCH0.CFM[1:0] ビットが “01b” (送信モード) のときに、有効になります。

CFRTR ビット (送受信 FIFO バッファ RTR ビット)

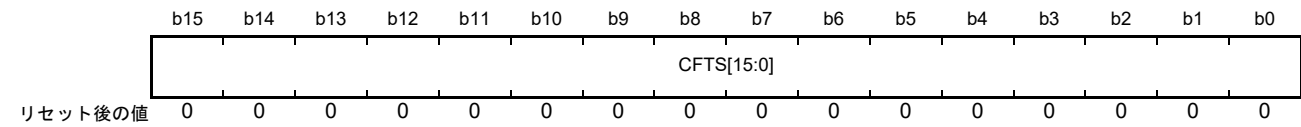
CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

CFIDE ビット (送受信 FIFO バッファ IDE ビット)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

30.2.51 送受信 FIFO アクセスレジスタ 0BL (CFTS0)

アドレス RSCAN0.CFTS0 000A 85E4h



GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

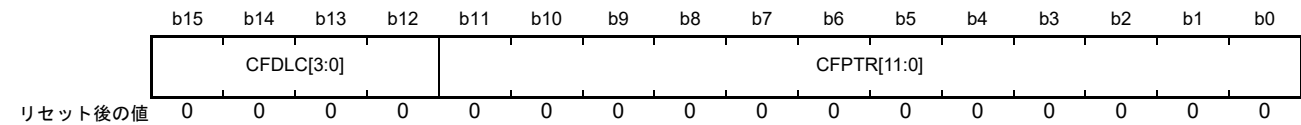
CFTS[15:0] ビット (送受信 FIFO バッファタイムスタンプデータ)

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFCCH0.CFM[1:0] ビットが“00b”のときに、有効になります。

30.2.52 送受信 FIFO アクセスレジスタ 0BH (CFPTR0)

アドレス RSCAN0.CFPTR0 000A 85E6h



ビット	シンボル	ビット名	機能	R/W
b11-b0	CFPTR[11:0]	送受信FIFOバッファラベルデータ	CFCCH0.CFM[1:0]ビットが“01b”(送信モード)時 送信履歴バッファに格納するラベル情報を設定してください。CFPTR[7:0]ビットのみ有効です CFCCH0.CFM[1:0]ビットが“00b”(受信モード)時 受信メッセージのラベル情報が読めます	R/W
b15-b12	CFDLC[3:0]	送受信FIFOバッファ DLC データ	b15 b12 0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト	R/W

x : Don't care

CFCCH0.CFM[1:0] ビットが “01b”(送信モード) の場合のみ、このレジスタに書けます。
CFCCH0.CFM[1:0] ビットが “00b”(受信モード) の場合のみ、このレジスタを読めます。
GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

CFPTR[11:0] ビット (送受信 FIFO バッファラベルデータ)

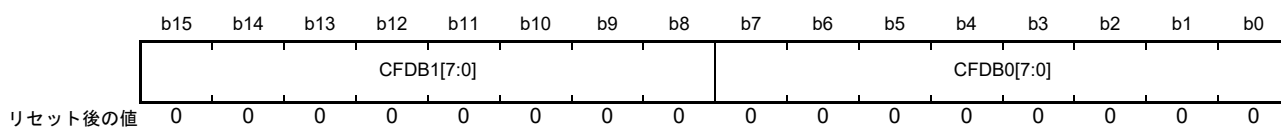
CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージに付加されたラベル情報を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFDLC[3:0] ビット (送受信 FIFO バッファ DLC データ)

CFCCH0.CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFCCH0.CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。
9 バイト以上を設定した場合、実際に送信されるデータは 8 バイトになります。

30.2.53 送受信 FIFO アクセスレジスタ 0CL (CFDF00)

アドレス RSCAN0.CFDF00 000A 85E8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB0[7:0]	送受信FIFOバッファデータバイト0	CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時	R/W
b15-b8	CFDB1[7:0]	送受信FIFOバッファデータバイト1	送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0] ビットが“00b” (受信モード) 時 送受信FIFOバッファに格納されたメッセージのデータが読めます	R/W

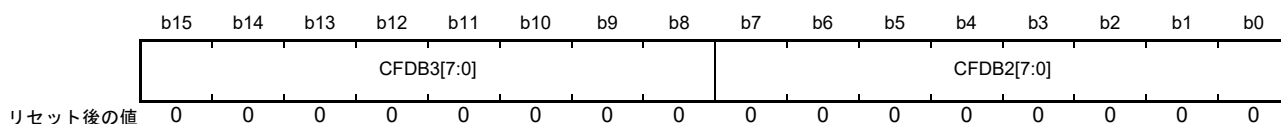
CFCCH0.CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは “00h” が読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

30.2.54 送受信 FIFO アクセスレジスタ 0CH (CFDF10)

アドレス RSCAN0.CFDF10 000A 85EAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB2[7:0]	送受信FIFOバッファデータバイト2	CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時	R/W
b15-b8	CFDB3[7:0]	送受信FIFOバッファデータバイト3	送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0] ビットが“00b” (受信モード) 時 送受信FIFOバッファに格納されたメッセージのデータが読めます	R/W

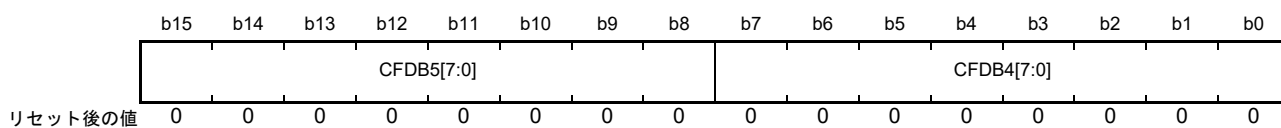
CFCCH0.CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは “00h” が読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

30.2.55 送受信 FIFO アクセスレジスタ 0DL (CFDF20)

アドレス RSCAN0.CFDF20 000A 85ECh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB4[7:0]	送受信FIFOバッファデータバイト4	CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時	R/W
b15-b8	CFDB5[7:0]	送受信FIFOバッファデータバイト5	送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0] ビットが“00b” (受信モード) 時 送受信FIFOバッファに格納されたメッセージのデータが読めます	R/W

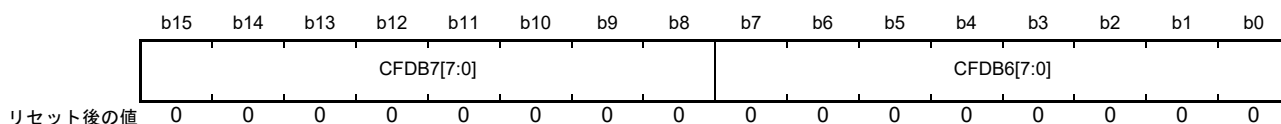
CFCCH0.CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは “00h” が読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

30.2.56 送受信 FIFO アクセスレジスタ 0DH (CFDF30)

アドレス RSCAN0.CFDF30 000A 85EEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB6[7:0]	送受信FIFOバッファデータバイト6	CFCCH0.CFM[1:0] ビットが“01b” (送信モード) 時	R/W
b15-b8	CFDB7[7:0]	送受信FIFOバッファデータバイト7	送受信FIFOバッファのデータを設定してください CFCCH0.CFM[1:0] ビットが“00b” (受信モード) 時 送受信FIFOバッファに格納されたメッセージのデータが読めます	R/W

CFCCH0.CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFCCH0.CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。CFPTR0.CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは “00h” が読めます。

GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

30.2.57 受信 FIFO メッセージロストステータスレジスタ (RFMSTS)

アドレス RSCAN.RFMSTS 000A 8360h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0MLT	受信 FIFO バッファ 0 メッセージロストステータスフラグ	0 : 受信 FIFO バッファ m メッセージロストなし (m = 0, 1) 1 : 受信 FIFO バッファ m メッセージロスト	R
b1	RF1MLT	受信 FIFO バッファ 1 メッセージロストステータスフラグ		R
b7-b2	—	予約ビット	読むと“0”が読めます	R

RFMSTS レジスタは、グローバルリセットモード時、“00h”になります。

RFmMLT フラグ (受信 FIFO バッファ m メッセージロストステータスフラグ)

RFSTS_m.RFMLT フラグが“1”(メッセージロスト)になると、RFmMLT フラグは“1”になります。

RFSTS_m.RFMLT フラグを“0”にすると、RFmMLT フラグは“0”になります。

30.2.58 送受信 FIFO メッセージロストステータスレジスタ (CFMSTS)

アドレス RSCAN0.CFMSTS 000A 8361h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CF0MLT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0MLT	RSCAN0 送受信 FIFO バッファ 0 メッセージロストステータスフラグ	0 : RSCAN0 送受信 FIFO バッファ “0” メッセージロストなし 1 : RSCAN0 送受信 FIFO バッファ “0” メッセージロスト	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

CFMSTS レジスタは、グローバルリセットモード時、“00h”になります。

CF0MLT フラグ (RSCAN0 送受信 FIFO バッファ 0 メッセージロストステータスフラグ)

CFSTS0.CFMLT フラグが“1”(メッセージロスト)になると、CF0MLT フラグは“1”になります。

CFSTS0.CFMLT フラグを“0”にすると、CF0MLT フラグは“0”になります。

30.2.59 受信 FIFO 割り込みステータスレジスタ (RFISTS)

アドレス RSCAN.RFISTS 000A 8362h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0IF	受信FIFOバッファ 0 割り込み要求ステータスフラグ	0 : 受信FIFOバッファ m 割り込み要求なし (m = 0, 1) 1 : 受信FIFOバッファ m 割り込み要求あり	R
b1	RF1IF	受信FIFOバッファ 1 割り込み要求ステータスフラグ		R
b7-b2	—	予約ビット	読むと“0”が読めます	R

RFISTS レジスタは、グローバルリセットモード時、“00h” になります。

RFmIF フラグ (受信 FIFO バッファ m 割り込み要求ステータスフラグ)

RFSTSm.RFIF フラグが“1” (割り込み要求あり) になると、RFmIF フラグは“1” になります。
RFSTSm.RFIF フラグを“0” にすると、RFmIF フラグは“0” になります。

30.2.60 送受信 FIFO 受信割り込みステータスレジスタ (CFISTS)

アドレス RSCAN.CFISTS 000A 8363h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CF0IF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0IF	RSCAN0 送受信FIFO バッファ 0 受信割り込み要求ステータスフラグ	0 : RSCAN0 送受信FIFO バッファ “0” 受信割り込み要求なし 1 : RSCAN0 送受信FIFO バッファ “0” 受信割り込み要求あり	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

CFISTS レジスタは、グローバルリセットモード時、“00h” になります。

CF0IF フラグ (RSCAN0 送受信 FIFO バッファ 0 受信割り込み要求ステータスフラグ)

CFSTS0.CFRXIF フラグが“1” (割り込み要求あり) になると、CF0IF フラグは“1” になります。
CFSTS0.CFRXIF フラグを“0” にすると、CF0IF フラグは“0” になります。

30.2.61 送信バッファ制御レジスタ p (TMCp) (p = 0 ~ 3)

アドレス RSCAN0.TMC0 000A 8364h, RSCAN0.TMC1 000A 8365h, RSCAN0.TMC2 000A 8366h,
RSCAN0.TMC3 000A 8367h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTR	送信要求ビット	0 : 送信を要求しない 1 : 送信を要求する	R/(W) (注1)
b1	TMTAR	送信アボート要求ビット	0 : 送信アボートを要求しない 1 : 送信アボートを要求する	R/(W) (注1)
b2	TMOM	ワンショット送信許可ビット	0 : ワンショット送信禁止 1 : ワンショット送信許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。“0”を書いても値は変化しません。

TMCp レジスタが次の条件を満たす場合は、“00h”にしてください。

- CFCCH0.CFTML[1:0] ビットで選択した送信バッファ番号に対応する

TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。TMCp レジスタ (p = 0 ~ 3) は、チャンネル通信モードまたはチャンネル待機モードでのみ書き換えてください。

TMTR ビット (送信要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき
TMSTSp.TMTRF[1:0] フラグが“00b”のときに、TMTR ビットを“1”に設定してください。

TMTAR ビット (送信アボート要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき
“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMOM ビット (ワンショット送信許可ビット)

“1”にするとワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、TMSTSp.TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

30.2.62 送信バッファステータスレジスタ p (TMSTSp) (p = 0 ~ 3)

アドレス RSCAN0.TMSTS0 000A 836Ch, RSCAN0.TMSTS1 000A 836Dh, RSCAN0.TMSTS2 000A 836Eh, RSCAN0.TMSTS3 000A 836Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TMTAR M	TMTR M	TMTRF[1:0]		TMTST S
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTSTS	送信バッファ送信ステータスフラグ	0 : 送信中ではない 1 : 送信中	R
b2-b1	TMTRF[1:0]	送信バッファ送信結果フラグ	b2 b1 0 0 : 送信中または送信要求なし 0 1 : 送信アボート完了 1 0 : 送信完了 (送信アボート要求なし) 1 1 : 送信完了 (送信アボート要求あり)	R/W
b3	TMTRM	送信バッファ送信要求ステータスフラグ	0 : 送信要求なし 1 : 送信要求あり	R
b4	TMTARM	送信バッファ送信アボート要求ステータスフラグ	0 : 送信アボート要求なし 1 : 送信アボート要求あり	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMSTSp レジスタのビットは、チャネルリセットモード時に“0”になります。

TMTSTS フラグ (送信バッファ送信ステータスフラグ)

送信バッファからの送信が開始すると“1”になります。送信バッファからの送信が完了、またはバスエラーやアービトラションロストにより中断されると“0”になります。

TMTRF[1:0] フラグ (送信バッファ送信結果フラグ)

送信バッファからの送信結果を示します。

00b : 送信中または送信要求なし。

01b : 送信バッファからの送信がアボートされた。

10b : TMCp.TMTAR ビットが“0” (送信アボートを要求しない) で、送信が完了した。

11b : TMCp.TMTAR ビットが“1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで“00b”を書いてください。“00b”以外の値は書かないでください。

TMTRM フラグ (送信バッファ送信要求ステータスフラグ)

TMCp.TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

TMCp.TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTARM フラグ (送信バッファ送信アボート要求ステータスフラグ)

TMCp.TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

TMCp.TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

30.2.63 送信バッファ送信要求ステータスレジスタ (TMTRSTS)

アドレス RSCAN0.TMTRSTS 000A 8374h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTRS TS3	TMTRS TS2	TMTRS TS1	TMTRS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTRSTS0	RSCAN0送信バッファ 0送信要求ステータスフラグ	0 : 送信要求なし 1 : 送信要求あり	R
b1	TMTRSTS1	RSCAN0送信バッファ 1送信要求ステータスフラグ		R
b2	TMTRSTS2	RSCAN0送信バッファ 2送信要求ステータスフラグ		R
b3	TMTRSTS3	RSCAN0送信バッファ 3送信要求ステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTRSTS_p フラグ (RSCAN0 送信バッファ p 送信要求ステータスフラグ) (p = 0 ~ 3)

TMCP.TMTR ビットの状態を示します。

TMTR ビットを“1”(送信を要求する)にすると、対応する TMTRSTS_p フラグは“1”になります。

TMTR ビットが“0”(送信を要求しない)になると、対応する TMTRSTS_p フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

30.2.64 送信バッファ送信完了ステータスレジスタ (TMTCSTS)

アドレス RSCAN0.TMTCSTS 000A 8376h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTCS TS3	TMTCS TS2	TMTCS TS1	TMTCS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTCSTS0	RSCAN0送信バッファ 0送信完了ステータスフラグ	0 : 送信未完了 1 : 送信完了	R
b1	TMTCSTS1	RSCAN0送信バッファ 1送信完了ステータスフラグ		R
b2	TMTCSTS2	RSCAN0送信バッファ 2送信完了ステータスフラグ		R
b3	TMTCSTS3	RSCAN0送信バッファ 3送信完了ステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTCSTSp フラグ (RSCAN0 送信バッファ p 送信完了ステータスフラグ) (p = 0 ~ 3)

TMSTSp.TMTRF[1:0] フラグが “10b” (送信完了、送信アボート要求なし) または “11b” (送信完了、送信アボート要求あり) になると、対応する TMTCSTSp フラグは “1” になります。

このフラグを “0” にする場合は、対応する TMSTSp.TMTRF[1:0] フラグを “00b” にしてください。また、チャンネルリセットモード時、“0” になります。

30.2.65 送信バッファ送信アボートステータスレジスタ (TMTASTS)

アドレス RSCAN0.TMTASTS 000A 8378h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMTAS TS3	TMTAS TS2	TMTAS TS1	TMTAS TS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTASTS0	RSCAN0送信バッファ 0送信アボートステータスフラグ	0 : 送信アボートなし 1 : 送信アボートあり	R
b1	TMTASTS1	RSCAN0送信バッファ 1送信アボートステータスフラグ		R
b2	TMTASTS2	RSCAN0送信バッファ 2送信アボートステータスフラグ		R
b3	TMTASTS3	RSCAN0送信バッファ 3送信アボートステータスフラグ		R
b15-b4	—	予約ビット	読むと“0”が読めます	R

TMTASTSp フラグ (RSCAN0 送信バッファ p 送信アボートステータスフラグ) (p = 0 ~ 3)

TMSTSp.TMTRF[1:0] フラグが “01b” (送信アボート完了) になると、対応する TMTASTSp フラグは “1” になります。

このフラグを “0” にする場合は、対応する TMSTSp.TMTRF[1:0] フラグを “00b” にしてください。また、チャンネルリセットモード時、“0” になります。

30.2.66 送信バッファ割り込み許可レジスタ (TMIEC)

アドレス RSCAN0.TMIEC 000A 837Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMIE3	TMIE2	TMIE1	TMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMIE0	RSCAN0 送信バッファ 0 割り込み許可ビット	0 : 送信バッファ割り込み禁止 1 : 送信バッファ割り込み許可	R/W
b1	TMIE1	RSCAN0 送信バッファ 1 割り込み許可ビット		R/W
b2	TMIE2	RSCAN0 送信バッファ 2 割り込み許可ビット		R/W
b3	TMIE3	RSCAN0 送信バッファ 3 割り込み許可ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMIEp ビット (RSCAN0 送信バッファ p 割り込み許可ビット) (p = 0 ~ 3)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。
このビットは対応する TMSTSp.TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。
送受信 FIFO バッファにリンクした送信バッファに対応するビットは“0”にしてください。

30.2.67 送信バッファレジスタ pAL (TMIDLp) (p = 0 ~ 3)

アドレス RSCAN0.TMIDL0 000A 8600h, RSCAN0.TMIDL1 000A 8610h, RSCAN0.TMIDL2 000A 8620h, RSCAN0.TMIDL3 000A 8630h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMID[15:0]	送信バッファ ID データ L	標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b15 ~ b11 は“0”にしてください	R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

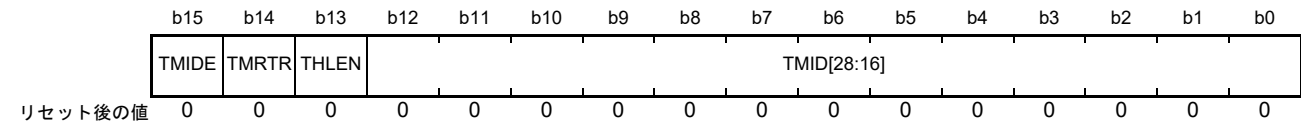
GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

TMID[15:0] ビット (送信バッファ ID データ L)

送信バッファから送信するメッセージの ID を設定します。

30.2.68 送信バッファレジスタ pAH (TMIDHp) (p = 0 ~ 3)

アドレス RSCAN0.TMIDH0 000A 8602h, RSCAN0.TMIDH1 000A 8612h, RSCAN0.TMIDH2 000A 8622h,
RSCAN0.TMIDH3 000A 8632h



ビット	シンボル	ビット名	機能	R/W
b12-b0	TMID[28:16]	送信バッファ ID データ H	標準 ID または拡張 ID を設定してください。 標準 ID の場合、“0”にしてください	R/W
b13	THLEN	送信履歴データ格納許可ビット	0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する	R/W
b14	TMRTR	送信バッファ RTR ビット	0：データフレーム 1：リモートフレーム	R/W
b15	TMIDE	送信バッファ IDE ビット	0：標準 ID 1：拡張 ID	R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。
GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

TMID[28:16] ビット (送信バッファ ID データ H)

送信バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

TMRTR ビット (送信バッファ RTR ビット)

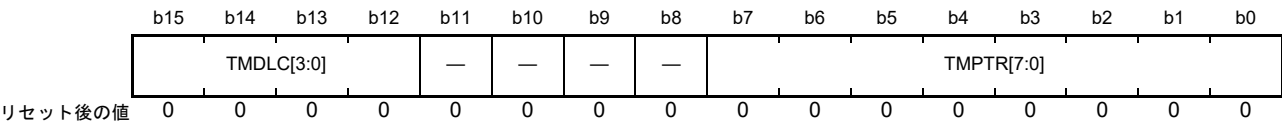
送信バッファから送信するメッセージのデータフォーマットを設定します。

TMIDE ビット (送信バッファ IDE ビット)

送信バッファから送信するメッセージの ID フォーマットを設定します。

30.2.69 送信バッファレジスタ pBH (TMPTRp) (p = 0 ~ 3)

アドレス RSCAN0.TMPTR0 000A 8606h, RSCAN0.TMPTR1 000A 8616h, RSCAN0.TMPTR2 000A 8626h,
RSCAN0.TMPTR3 000A 8636h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMPTR[7:0]	送信バッファラベルデータ	送信履歴バッファに格納するラベル情報を設定してください	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	TMDLC[3:0]	送信バッファ DLC データ	b15b12 0000 : 0バイト 0001 : 1バイト 0010 : 2バイト 0011 : 3バイト 0100 : 4バイト 0101 : 5バイト 0110 : 6バイト 0111 : 7バイト 1xxx : 8バイト	R/W

x : Don't care

このレジスタは、対応する TMSTSp.TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。
GRWCR.RPAGE ビットが “1” のときに、このレジスタの読み書きができます。

TMPTR[7:0] ビット (送信バッファラベルデータ)

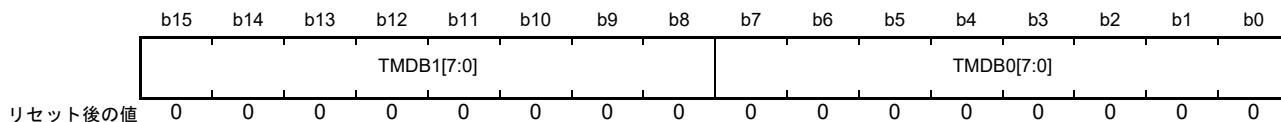
メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

TMDLC[3:0] ビット (送信バッファ DLC データ)

TMIDHp.TMRTR ビットが “0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送信されるデータは 8 バイトになります。
TMIDHp.TMRTR ビットが “1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

30.2.70 送信バッファレジスタ pCL (TMDF0p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF00 000A 8608h, RSCAN0.TMDF01 000A 8618h, RSCAN0.TMDF02 000A 8628h,
RSCAN0.TMDF03 000A 8638h



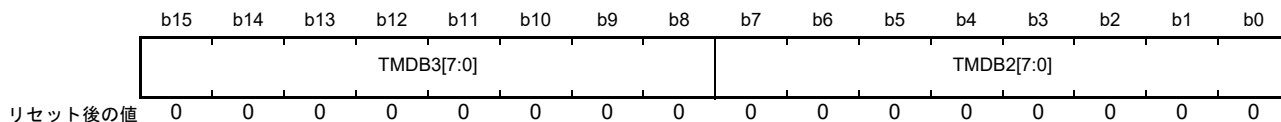
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB0[7:0]	送信バッファデータバイト0	送信バッファのデータを設定してください	R/W
b15-b8	TMDB1[7:0]	送信バッファデータバイト1		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

30.2.71 送信バッファレジスタ pCH (TMDF1p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF10 000A 860Ah, RSCAN0.TMDF11 000A 861Ah, RSCAN0.TMDF12 000A 862Ah,
RSCAN0.TMDF13 000A 863Ah



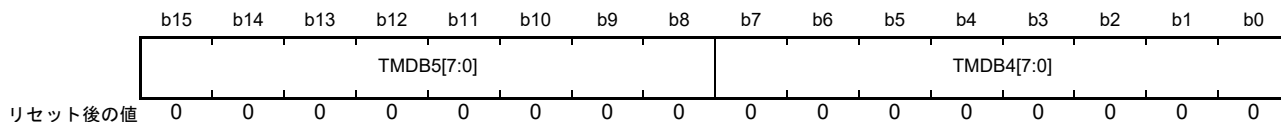
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB2[7:0]	送信バッファデータバイト2	送信バッファのデータを設定してください	R/W
b15-b8	TMDB3[7:0]	送信バッファデータバイト3		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0”(送信を要求しない)のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1”のときに、このレジスタの読み書きができます。

30.2.72 送信バッファレジスタ pDL (TMDF2p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF20 000A 860Ch, RSCAN0.TMDF21 000A 861Ch, RSCAN0.TMDF22 000A 862Ch,
RSCAN0.TMDF23 000A 863Ch



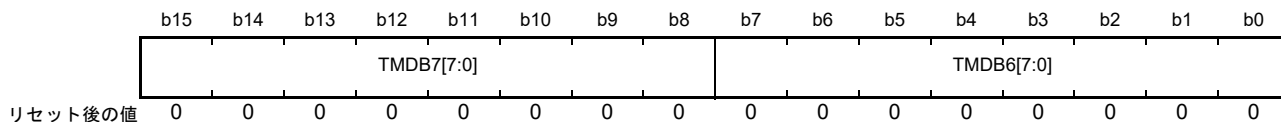
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB4[7:0]	送信バッファデータバイト4	送信バッファのデータを設定してください	R/W
b15-b8	TMDB5[7:0]	送信バッファデータバイト5		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1” のときに、このレジスタの読み書きができます。

30.2.73 送信バッファレジスタ pDH (TMDF3p) (p = 0 ~ 3)

アドレス RSCAN0.TMDF30 000A 860Eh, RSCAN0.TMDF31 000A 861Eh, RSCAN0.TMDF32 000A 862Eh,
RSCAN0.TMDF33 000A 863Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB6[7:0]	送信バッファデータバイト6	送信バッファのデータを設定してください	R/W
b15-b8	TMDB7[7:0]	送信バッファデータバイト7		R/W

このレジスタは、対応する TMSTSp.TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。

GRWCR.RPAGE ビットが“1” のときに、このレジスタの読み書きができます。

30.2.74 送信履歴バッファ制御レジスタ (THLCC0)

アドレス RSCAN0.THLC0 000A 837Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THLE	送信履歴バッファ許可ビット	0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	THLIE	送信履歴割り込み許可ビット	0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可	R/W
b9	THLIM	送信履歴割り込み要因選択ビット	0: 送信履歴バッファに6データ格納されたとき 1: 1送信履歴データの格納完了時	R/W
b10	THLDTE	送信履歴対象バッファ選択ビット	0: 送受信 FIFO からのエントリ 1: 送信バッファ、送受信 FIFO からのエントリ	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

THLE ビット (送信履歴バッファ許可ビット)

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでのみ書き換えてください。

THLIE ビット (送信履歴割り込み許可ビット)

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。

THLE ビットが“0”の状態で、THLIE ビットを書き換えてください。

THLIM ビット (送信履歴割り込み要因選択ビット)

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLDTE ビット (送信履歴対象バッファ選択ビット)

“0”にすると、送受信 FIFO バッファから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

30.2.75 送信履歴バッファステータスレジスタ (THLSTS0)

アドレス RSCAN0.THLSTS0 000A 8380h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	THLMC[3:0]			—	—	—	—	—	THLIF	THLELT	THLFL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	THLEMP	送信履歴バッファ空ステータスフラグ	0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)	R
b1	THLFLL	送信履歴バッファフルステータスフラグ	0: 送信履歴バッファフルではない 1: 送信履歴バッファフル	R
b2	THLELT	送信履歴バッファオーバフローフラグ	0: 送信履歴バッファオーバフローではない 1: 送信履歴バッファオーバフロー	R/(W) (注1)
b3	THLIF	送信履歴割り込み要求フラグ	0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	THLMC[3:0]	送信履歴バッファ未読数カウンタ	送信履歴バッファに格納された未読データ数を示します	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。“1”を書いても値は変化しません。

THLEMP フラグ (送信履歴バッファ空ステータスフラグ)

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。THLCC0.THLE ビットを“0”(送信履歴バッファを使用しない)にしたとき、またはチャネルリセットモード時、“1”になります。

THLFLL フラグ (送信履歴バッファフルステータスフラグ)

送信履歴バッファに 8 個のデータが格納されると“1”になります。格納数が 8 個より少なくなると“0”になります。

THLCC0.THLE ビットが“0”(送信履歴バッファを使用しない)のとき、またはチャネルリセットモード時、“0”になります。

THLELT フラグ (送信履歴バッファオーバフローフラグ)

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。

この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャネルリセットモード時、“0”になります。

THLIF フラグ (送信履歴割り込み要求フラグ)

THLCC0.THLM ビットで設定した割り込み要因が発生したとき“1”になります。

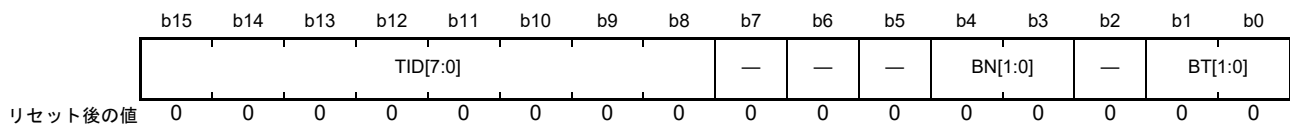
プログラムで“0”を書き込むことで“0”にしてください。チャネルリセットモード時、“0”になります。

THLMC[3:0] フラグ (送信履歴バッファ未読数カウンタ)

送信履歴バッファ内の未読データ数を示します。

30.2.76 送信履歴バッファアクセスレジスタ (THLACC0)

アドレス RSCAN0.THLACC0 000A 8680h



ビット	シンボル	ビット名	機能	R/W
b1-b0	BT[1:0]	バッファタイプデータ	b1 b0 0 1 : 送信バッファ 1 0 : 送信FIFOバッファ	R
b2	—	予約ビット	読むと“0”が読めます	R
b4-b3	BN[1:0]	バッファ番号データ	送信元の送信バッファ / 送受信FIFO番号が読めます	R
b7-b5	—	予約ビット	読むと“0”が読めます	R
b15-b8	TID[7:0]	ラベルデータ	格納されたデータのラベル情報が読めます	R

GRWCR.RPAGE ビットが“1”のときに、このレジスタからの読み出しができます。

BT[1:0] ビット (バッファタイプデータ)

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

BN[1:0] ビット (バッファ番号データ)

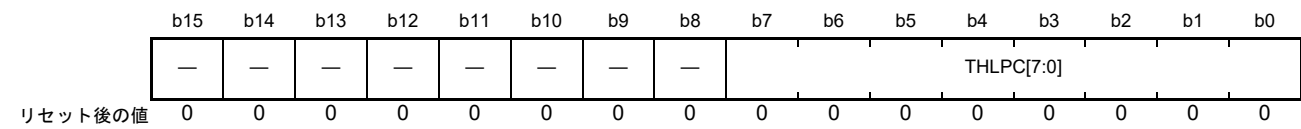
送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

TID[7:0] ビット (ラベルデータ)

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

30.2.77 送信履歴バッファポインタ制御レジスタ (THLPCTR0)

アドレス RSCAN0.THLPCTR0 000A 8384h



ビット	シンボル	ビット名	機能	R/W
b7-b0	THLPC[7:0]	送信履歴バッファポインタ	"FFh"を書くと、送信履歴バッファの次の未読データにリードポインタが移動します	W
b15-b8	—	予約ビット	書く場合、"0"としてください	W

THLPC[7:0] ビット (送信履歴バッファポインタ)

THLPC[7:0] ビットに“FFh”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。
このとき THLSTS0.THLMC[3:0] フラグ (送信履歴バッファ未読数カウンタ) の値が“1”減算されます。
THLACC0 レジスタを読んだあと、THLPC[7:0] ビットに“FFh”を書いてください。
なお、“FFh”の書き込みは、THLCC0.THLE ビットが“1”(送信履歴バッファを使用する)で、
THLSTS0.THLEMP フラグが“0”のときに行ってください。

30.2.78 グローバル RAM ウィンドウ制御レジスタ (GRWCR)

アドレス RSCAN.GRWCR 000A 838Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPAGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPAGE	RAMウィンドウ選択ビット	0 : ウィンドウ0 (受信ルール登録レジスタ、RAMテストレジスタ)選択 1 : ウィンドウ1 (受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データアクセスレジスタ)選択	R/W
b15-b1	—	予約ビット	書く場合、“0”としてください	R/W

RPAGE ビット (RAM ウィンドウ選択ビット)

RPAGE ビットで選択されたウィンドウによって、アドレス 000A 83A0h ~ 000A 8681h に割り付けられるレジスタを切り替えます。

[RPAGE ビットが“0” (ウィンドウ 0) の場合に割り付けられるレジスタ]

- 受信ルール登録レジスタ : GAFLIDLj, GAFLIDHj, GAFLMLj, GAFLMHj, GAFLPLj, GAFLPHj (j = 0 ~ 15)
- RAM テストレジスタ : RPGACCr (r = 0 ~ 127)

[RPAGE ビットが“1” (ウィンドウ 1) の場合に割り付けられるレジスタ]

- 受信バッファレジスタ : RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDF0n ~ RMDF3n (n = 0 ~ 15)
- 受信 FIFO アクセスレジスタ : RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m (m = 0, 1)
- 送受信 FIFO アクセスレジスタ : CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30
- 送信バッファレジスタ : TMIDLp, TMIDHp, TMPTRp, TMDF0p ~ TMDF3p (p = 0 ~ 3)
- 送信履歴バッファアクセスレジスタ : THLACC0

30.2.79 グローバルテスト設定レジスタ (GTSTCFG)

アドレス RSCAN.GTSTCFG 000A 838Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTMPS[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	RTMPS[2:0]	RAMテストページ設定ビット	ページ0 (“00h”)～2 (“02h”)ページの範囲で設定	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[2:0] ビット (RAM テストページ設定ビット)

RAM テスト時、RAM テスト対象となるページ番号を設定します。“00h”～“02h”以外の値を設定しないでください。

30.2.80 グローバルテスト制御レジスタ (GTSTCTRL)

アドレス RSCAN.GTSTCTRL 000A 838Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	RTME	RAMテスト許可ビット	0 : RAMテスト禁止 1 : RAMテスト許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

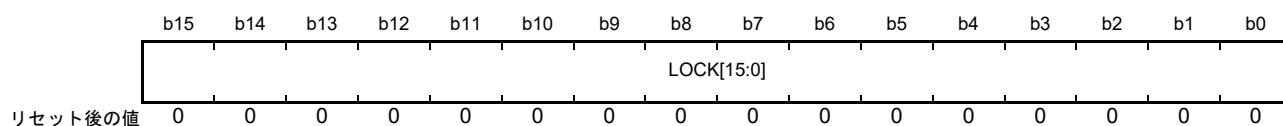
RTME ビット (RAM テスト許可ビット)

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

- (1) GCTRL.GMDC[1:0] ビットを“10b”(グローバルテストモード)にする。
- (2) GLOCKK レジスタに“7575h”と“8A8Ah”を連続して書き込み、プロテクトを解除する。
- (3) RTME ビットを“1”にする。
- (4) RTME ビットが“1”になったことを確認する。

30.2.81 グローバルテストプロテクト解除レジスタ (GLOCKK)

アドレス RSCAN.GLOCKK 000A 8394h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LOCK[15:0]	プロテクト解除データ	テスト機能を使用するために、プロテクト解除データを書いてください。読むと 0000h が読めます	W

GLOCKK レジスタはグローバルテストモードでのみ書き換えてください。

LOCK[15:0] ビット (プロテクト解除データ)

表 30.3 に示すプロテクト解除データを連続して LOCK[15:0] ビットに書くと、対象ビットへの“1”書き込みが可能になります。

表 30.3 テスト機能用プロテクト解除データ

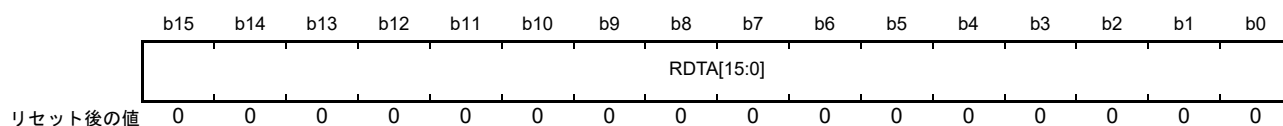
テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575h	8A8Ah	GTSTCTRL.RTME ビット

プロテクトが解除された後、RAM を除く CAN のレジスタ領域 (000A 8300h ~ 000A 839Fh) に書き込みを実行すると、再度プロテクトが有効になります。

CAN のレジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

30.2.82 RAM テストレジスタ r (RPGACCr) (r = 0 ~ 127)

アドレス RSCAN.RPGACC0 ~ RSCAN.RPGACC127 000A 8580h ~ 000A 867Eh



機能	R/W
CAN用RAMデータの読み書きができます	R/W

RPGACCr レジスタは、グローバルテストモードでかつ GTSTCTRL.RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。GTSTCTRL.RTME ビットが“1”のときに、RPGACCr レジスタの読み書きができます。GRWCR.RPAGE ビットが“0”のときに、このレジスタの読み書きができます。

30.3 CAN モード

CAN モジュールには、CAN モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャネル状態を制御するチャネルモードが 4 種類あります。

詳細は「30.3.1 グローバルモード」および「30.3.2 チャネルモード」を参照してください。

- ・ グローバルストップモード：モジュール全体のクロックを停止させ、低消費電力を実現する。
- ・ グローバルリセットモード：モジュール全体の初期設定を行う。
- ・ グローバルテストモード：テスト設定を行う。また、RAM テストを実施する。
- ・ グローバル動作モード：モジュール全体を動作可能にする。
- ・ チャネルストップモード：チャネルのクロックが停止する。
- ・ チャネルリセットモード：チャネルの初期設定を行う。
- ・ チャネル待機モード：CAN 通信を停止する。また、チャネルのテストを許可する。
- ・ チャネル通信モード：CAN 通信を行う。

30.3.1 グローバルモード

図 30.2 にグローバルモードの遷移図を示します。

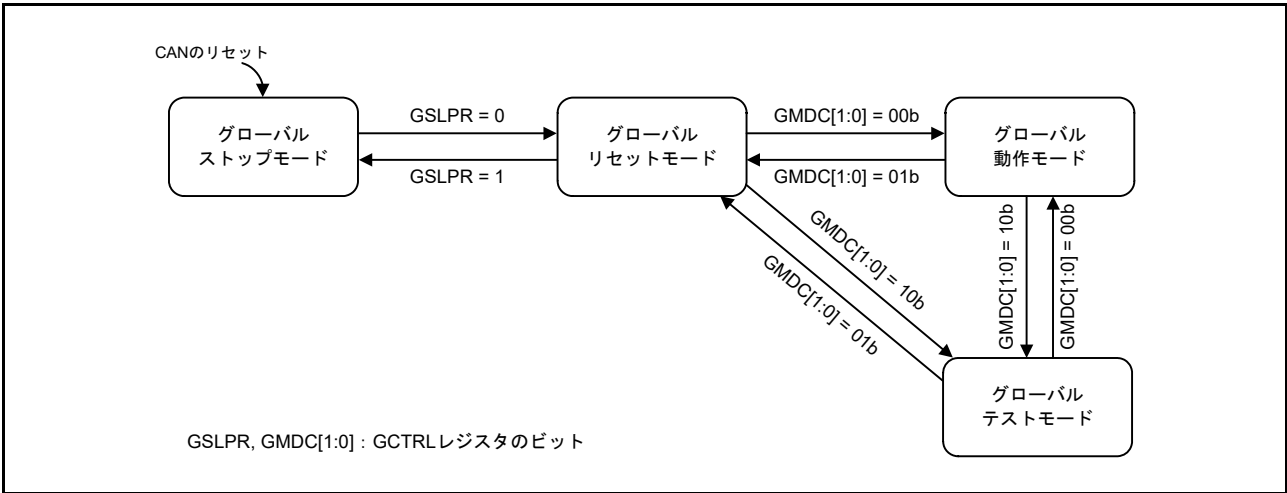


図 30.2 グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化場合があります。表 30.4 にグローバルモード設定 (GCTRL.GMDC[1:0]、GSLPR ビット) によるチャネルモードの変化を示します。

表 30.4 グローバルモード設定 (GCTRL.GMDC[1:0]、GSLPR ビット) によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード			
	GMDC[1:0] = 00b GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10b GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01b GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01b GSLPR = 1 (グローバルストップ)
チャネル通信	チャネル通信	チャネル通信	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

表 30.5 にグローバルモードの遷移時間を示します。

表 30.5 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	3PCLK クロック
グローバルリセット	グローバルストップ	3PCLK クロック
グローバルリセット	グローバルテスト	10PCLK クロック
グローバルリセット	グローバル動作	10PCLK クロック
グローバルテスト	グローバルリセット	3PCLK クロック
グローバルテスト	グローバル動作	3PCLK クロック
グローバル動作	グローバルリセット	3PCLK クロック
グローバル動作	グローバルテスト	CAN フレームの 2 つ分

(1) グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

CAN モジュールイネーブル後、グローバルストップモードになります。また、グローバルリセットモード時に GCTRL.GSLPR ビットを“1”(グローバルストップモード)にすると、各 CTRL.CSLPR ビットが“1”(チャンネルストップモード)になります。すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GCTRL.GSLPR ビットは、グローバル動作モードおよびグローバルテストモードでは書き換ええないでください。

(2) グローバルリセットモード

グローバルリセットモードで CAN モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表 30.8 と表 30.9 に初期化されるレジスタ一覧を示します。

GCTRL.GMDC[1:0] ビットを“01b”に設定すると、各 CTRL.CHMDC[1:0] ビットが“01b”(チャンネルリセットモード)になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません (CTRL.CHMDC[1:0] ビットがすでに“01b”に設定されているため)。

(3) グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

GCTRL.GMDC[1:0] ビットを“10b”に設定すると、各 CTRL.CHMDC[1:0] ビットが“10b”(チャンネル待機モード)になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

(4) グローバル動作モード

グローバル動作モードでは CAN モジュール全体が動作します。

GCTRL.GMDC[1:0] ビットを“00b”にすると、グローバル動作モードに遷移します。

30.3.2 チャネルモード

図 30.3 にチャネルモードの状態遷移図を示します。表 30.6 にチャネルモードの遷移時間を示します。

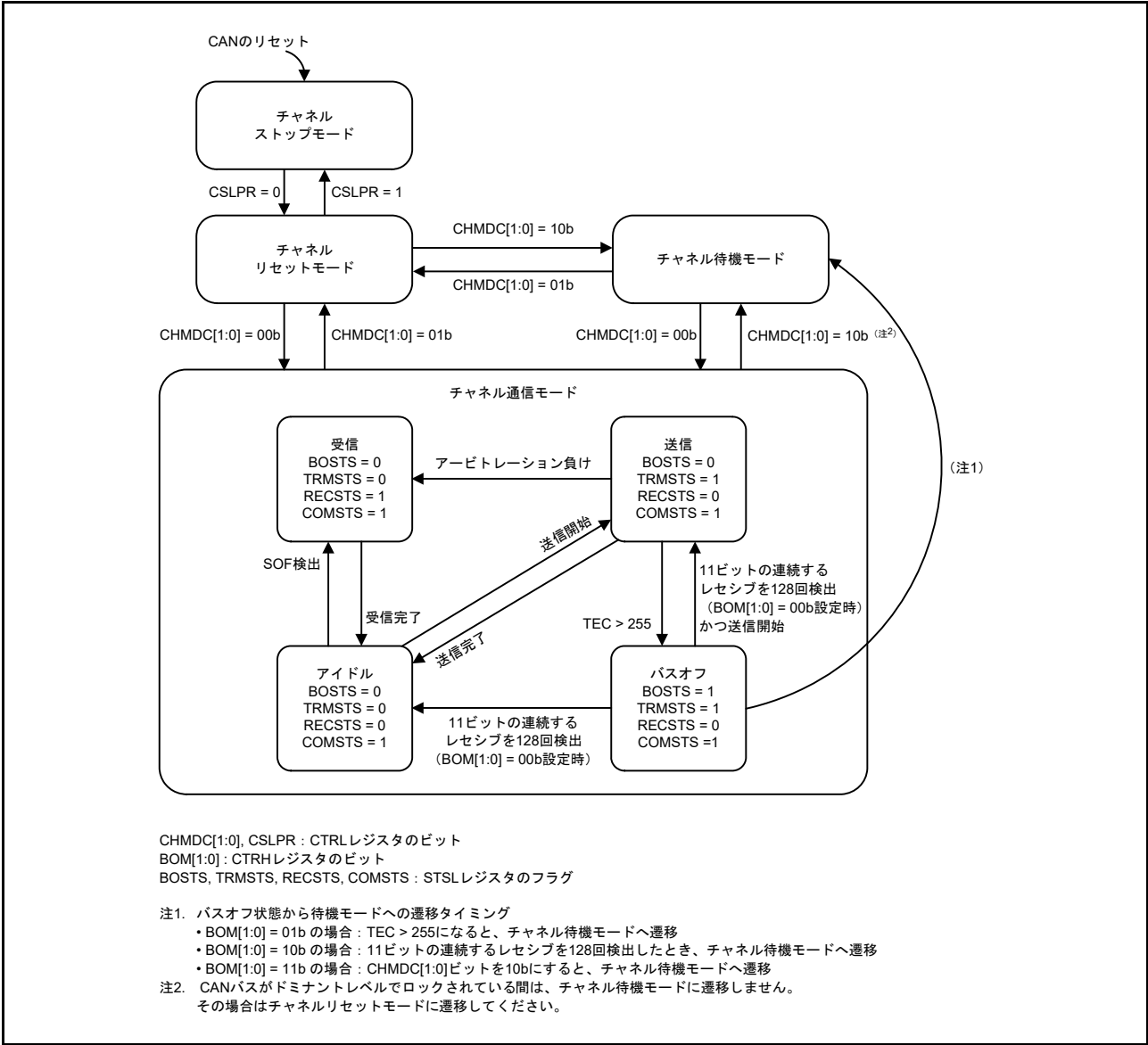


図 30.3 チャネルモードの状態遷移図

表 30.6 チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	3 PCLKクロック
チャネルリセット	チャネルストップ	3 PCLKクロック
チャネルリセット	チャネル待機	3 CAN ビットタイム
チャネルリセット	チャネル通信	2 CAN ビットタイム
チャネル待機	チャネルリセット	3 PCLKクロック
チャネル待機	チャネル通信	3 CAN ビットタイム
チャネル通信	チャネルリセット	3 PCLKクロック
チャネル通信	チャネル待機	CAN フレームの2つ分

(1) チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、CAN モジュールイネーブル後、チャネルストップモードになります。また、チャネルリセットモード時に、CTRL.CSLPR ビットを“1”(チャネルストップモード)にすると、チャネルストップモードに遷移します。CTRL.CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えしないでください。

(2) チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。表 30.8 に初期化されるレジスタ一覧を示します。

CAN 通信中に CTRL.CHMDC[1:0] ビットを“01b”(チャネルリセットモード)にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。表 30.7 に CAN 通信中に CTRL.CHMDC[1:0] ビットを“01b”(チャネルリセットモード)に設定したときの動作を示します。

(3) チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 30.7 に CAN 通信中に CTRL.CHMDC[1:0] ビットを“10b”(チャネル待機モード)に設定したときの動作を示します。

表 30.7 チャネルリセット/チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット (CHMDC[1:0] = 01b)	受信の終了を待たずにチャネルリセットモードに遷移(注1)	送信の終了を待たずにチャネルリセットモードに遷移(注1)	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機(注3) (CHMDC[1:0] = 10b)	受信の終了を待ってチャネル待機モードに遷移(注2)	送信の終了を待ってチャネル待機モードに遷移(注2)	【BOM[1:0] ビットが“00b”の場合】 バスオフ復帰後のみ、チャネル待機モード遷移(CHMDC[1:0] = 10b)が実行される 【BOM[1:0] ビットが“01b”の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが“11b”の場合】 CHMDC[1:0] ビットに“10b”が設定されるとすぐにチャネル待機モードに遷移(バスオフ復帰の終了は待たない)

注1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを“10b”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを“01b”に設定してください。

注2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると ERFL.BLF フラグが“1”になるので、CAN バスの状態を確認できます。

注3. チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードで CFGL レジスタと CFGH レジスタを設定してからチャネル待機モードへ遷移してください。

(4) チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- ・ アイドル : 受信も送信もしていない状態。
- ・ 受信 : 他のノードから送られてきたメッセージを受信している状態。
- ・ 送信 : メッセージを送信している状態。
- ・ バスオフ : CAN 通信から遮断されている状態。

CTRL.CHMDC[1:0] ビットを“00b”にすると、チャンネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、STSL.COMSTS フラグが“1”(通信可能な状態)になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信を開始できるようになります。

(5) バスオフ状態

ISO 11898-1 規格の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰方法は、CTRH.BOM[1:0] ビットで設定します。

- CTRH.BOM[1:0] ビットが“00b”のとき

ISO 11898-1 規格に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態(エラーアクティブ状態)に復帰します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化され、ERFLL.BORF フラグが“1”(バスオフ復帰検出)になります。バスオフ状態で、CTRL.CHMDC[1:0] ビットを“10b”(チャンネル待機モード)にすると、バスオフ復帰が完了(11 ビットの連続するレセシブを 128 回検出)してからチャンネル待機モードに遷移します。

- CTRH.BOM[1:0] ビットが“01b”のとき

バスオフ状態に遷移すると、CTRL.CHMDC[1:0] ビットが“10b”になり、チャンネル待機モードへ遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。ERFLL.BORF フラグは“1”になりません。

- CTRH.BOM[1:0] ビットが“10b”のとき

バスオフ状態に遷移すると、CTRL.CHMDC[1:0] ビットが“10b”になり、バスオフ復帰が完了(11 ビットの連続するレセシブを 128 回検出)してからチャンネル待機モードへ遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化され、ERFLL.BORF フラグは“1”になります。

- CTRH.BOM[1:0] ビットが“11b”のとき

バスオフ状態時に、CTRL.CHMDC[1:0] ビットを“10b”にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。ERFLL.BORF フラグは“1”になりません。

ただし、CTRL.CHMDC[1:0] ビットを“10b”にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、ERFLL.BORF フラグは“1”になります。

CAN モジュールによるチャンネル待機モードへの遷移と、プログラムによる CTRL.CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。CTRH.BOM[1:0] ビットを“01b”または“10b”に設定した場合のチャンネル待機モードへの自動的な遷移は、CTRL.CHMDC[1:0] ビットが“00b”(チャンネル通信モード)のときのみ発生します。

また、CTRL.RTBO ビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。CTRL.RTBO ビットに“1”を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、ERFLL.BORF フラグは“1”になりません。STSH.TEC[7:0] フラグと STSH.REC[7:0] フラグは“00h”に初期化されます。CTRL.RTBO ビットは、CTRH.BOM[1:0] ビットが“00b”のときに“1”を書いてください。

表 30.8 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
CTRL レジスタ	CHMDC[1:0]
CTRH レジスタ	CTMS[1:0], CTME
STSL レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS
STSH レジスタ	REC[7:0], TEC[7:0]
ERFLL レジスタ	ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
ERFLH レジスタ	CRCREG[14:0]
CFCCL0 レジスタ	送受信 FIFO バッファが送信モード時 : CFE
CFSTS0 レジスタ	送受信 FIFO バッファが送信モード時 : CFMC[5:0], CFTXIF, CFRXIF, CFMLT, CFFLL, CFEMP
TMCp レジスタ	TMOM, TMTAR, TMTR
TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
TMTRSTS レジスタ	TMTRSTSp
TMCSTS レジスタ	TMTCSTSp
TMASTS レジスタ	TMTASTSp
THLCC0 レジスタ	THLE
THLSTS0 レジスタ	THLMC[3:0], THLIF, THLELT, THLFLL, THLEMP
GTINTSTS レジスタ	THIF0, CFTIF0, TAIF0, TSIF0

表 30.9 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
GSTS レジスタ	GHLTSTS
GERFLL レジスタ	THLES, MES, DEF
GTSC レジスタ	TS[15:0]
RMND0 レジスタ	RMNSn
RFCCm レジスタ	RFE
RFSTSm レジスタ	RFMC[5:0], RFIF, RFMLT, RFFLL, RFEMP
CFCCL0 レジスタ	送受信 FIFO が受信モード時 : CFE
CFSTS0 レジスタ	送受信 FIFO バッファが受信モード時 : CFMC[5:0], CFTXIF, CFRXIF, CFMLT, CFFLL, CFEMP
RFMSTS レジスタ	RFmMLT
CFMSTS レジスタ	CF0MLT
RFISTS レジスタ	RFmIF
CFISTS レジスタ	CF0IF
GTSTCFG レジスタ	RTMPS[2:0]
GTSTCTRL レジスタ	RTME

30.4 受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信
全チャンネルで共有する受信バッファは、0 ～ 16 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ (受信モード) による受信
全チャンネルで共有する受信 FIFO バッファが 2 本と、各チャンネル専用の送受信 FIFO バッファが 1 チャンネルにつき 1 本ずつあります。FIFO バッファには RFCCm.RFDC[2:0] ビット、CFCCL0.CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

30.4.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャンネルにつき最大 16 となります。受信ルールを設定しない場合は、メッセージを受信できません。図 30.4 に受信ルール登録の説明図を示します。

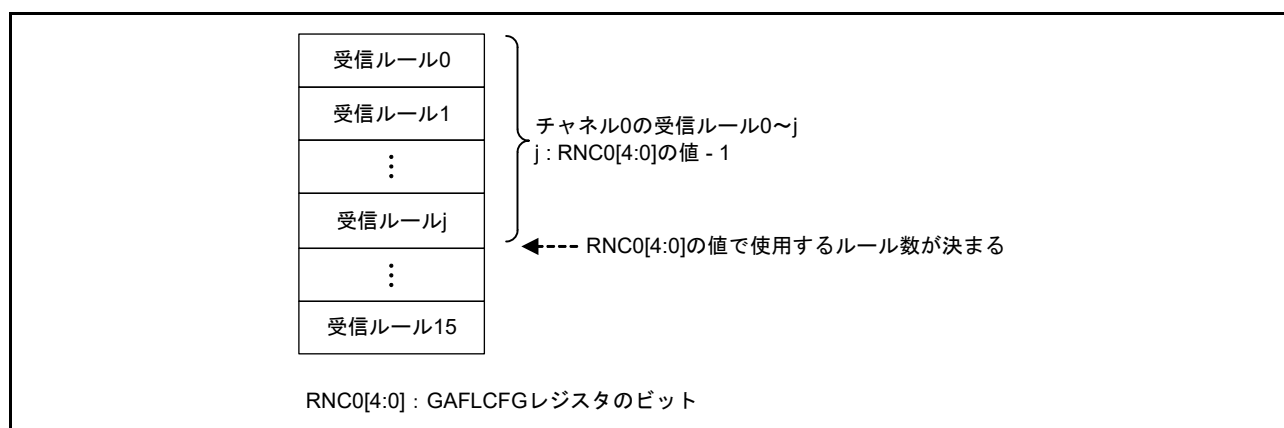


図 30.4 受信ルール登録

各受信ルールは GAFLIDLj、GAFLIDHj、GAFLMLj、GAFLMHj、GAFLPLj、GAFLPHj レジスタの 12 バイトで構成されています。GAFLIDLj レジスタと GAFLIDHj レジスタでは ID、IDE、RTR ビット、ミラー機能の設定、GAFLMLj レジスタと GAFLMHj レジスタではマスク設定、GAFLPLj レジスタと GAFLPHj レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、格納先 FIFO バッファの設定を行います。

(1) アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。GAFLMLj レジスタおよび GAFLMHj レジスタで“0”(ビットを比較しない)にしたビットに対応する受信メッセージの ID データ、IDE、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

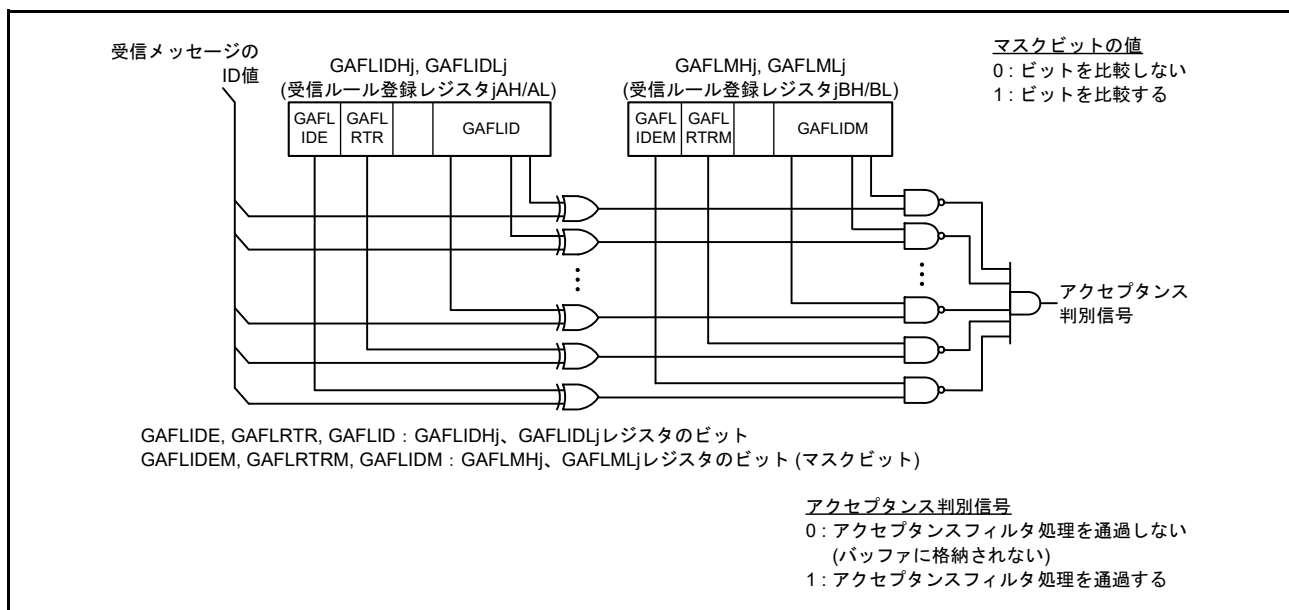


図 30.5 アクセプタンスフィルタ機能

(2) DLC フィルタ処理

GCFGL.DCE ビットを“1”(DLC チェック許可)にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

GCFGL.DRE ビットが“0”(DLC 置換禁止)で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

GCFGL.DRE ビットが“1”(DLC 置換許可)で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00h”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、GERFLL.DEF フラグが“1”(DLC エラー)となります。

(3) ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信モードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、GAFLPLj.GAFLRMV、GAFLRMDP[6:0]、GAFLFDP4、GAFLFDP1、GAFLFDP0 ビットで設定します。フィルタ処理を通過したメッセージは最大 2 つのバッファに格納することができます。

(4) ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を付加し、バッファに格納することができます。ラベル情報は、GAFLPHj.GAFLPTR[11:0] ビットに設定します。

(5) ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、GCFGL.MME ビットを“1”(ミラー機能許可)にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、GAFLIDHj.GAFLLB ビット

トを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLIDHj.GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

30.4.2 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、GCFGL.TSSS ビットで、PCLK または CAN ビットタイムクロックから選択できます。選択したクロック源を GCFGL.TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CAN ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。PCLK をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値は GCTRH.TSRST ビットを“1”にすると、“0000h”にリセットされます。

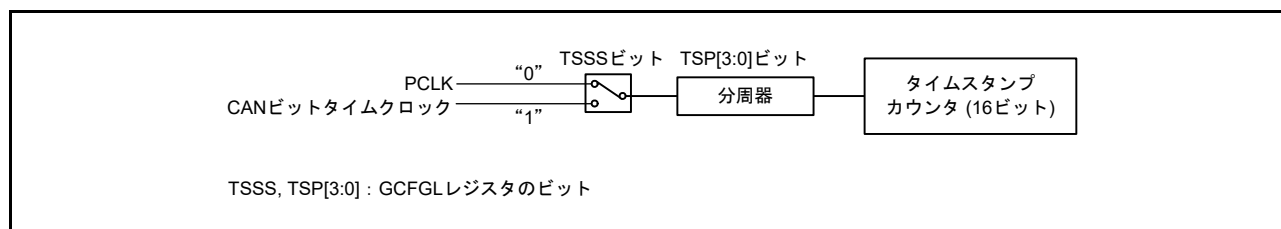


図 30.6 タイムスタンプ機能のブロック図

30.5 送信機能

送信の種類には、次の 2 つがあります。

- 送信バッファによる送信 :
1 チャンネルにつき 4 バッファあります。
- 送受信 FIFO バッファ (送信モード) による送信 :
1 チャンネルにつき 1 本ずつあります。1 本の FIFO バッファに最大 16 メッセージ格納できます。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。

図 30.7 に送受信 FIFO バッファのリンクを示します。

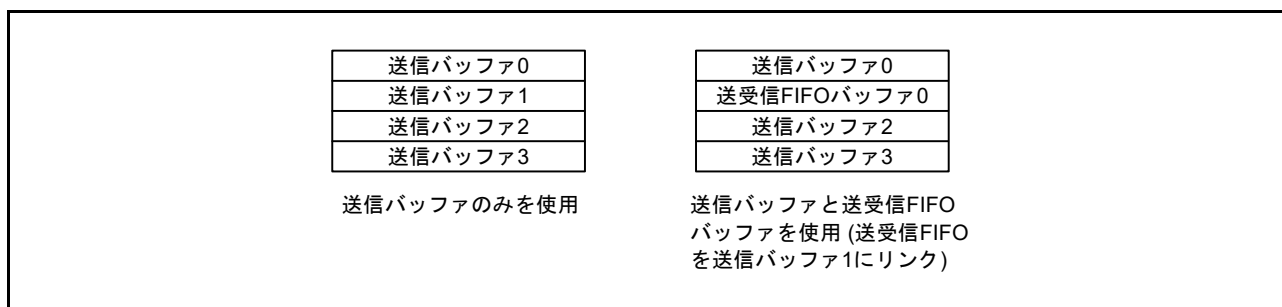


図 30.7 送受信 FIFO バッファのリンク

30.5.1 送信の優先順位判定

同一チャンネル内で複数のバッファから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の 2 つから選択することができます。

- ID 優先 (GCFGL.TPRI ビットが“0”)
- 送信バッファ番号優先 (GCFGL.TPRI ビットが“1”)

GCFGL.TPRI ビットの設定は、すべての CAN チャンネルで有効です。

GCFGL.TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は ISO 11898-1 規格に規定されている CAN バスアービトラレーション規定に準拠します。送信バッファ、送信モードに設定した送受信 FIFO バッファに格納したメッセージの ID が判定対象になります。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。GCFGL.TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さい番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

GCFGL.TPRI ビットの設定に関わらず、アービトラレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

30.5.2 送信バッファを用いた送信

送信バッファの送信要求ビット (TMCp.TMTR ビット) を “1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する TMSTSp.TMTRF[1:0] フラグで確認します。送信が成功すると、TMSTSp.TMTRF[1:0] フラグは “10b” (送信完了: 送信アボート要求なし) または “11b” (送信完了: 送信アボート要求あり) になります。

(1) 送信アボート機能

TMSTSp.TMTRM フラグが “1” (送信要求あり) である送信バッファにおいて、TMCp.TMTAR ビットを “1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、TMSTSp.TMTRF[1:0] フラグが “01b” (送信アボート完了) になり、送信要求が取り消されます (TMSTSp.TMTRM フラグが “0” になります)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMCp.TMTAR ビットを “1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

(2) ワンショット送信機能 (再送信禁止機能)

TMCp.TMOM ビットを “1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する TMSTSp.TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMSTSp.TMTRF[1:0] フラグは “10b” または “11b” になります。アービトレーションロストまたはエラーが発生した場合、TMSTSp.TMTRF[1:0] フラグは “01b” (送信アボート完了) になります。

30.5.3 FIFO バッファによる送信

1 本の送受信 FIFO バッファに、CFCCL0.CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、CFCCH0.CFTML[1:0] ビットで選択した送信バッファにリンクされます。CFCCL0.CFE ビットを “1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFCCL0.CFE ビットを “0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで CFSTS0.CFEMP フラグが “1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFCCL0.CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFCCL0.CFE ビットを “1” にする前に、CFSTS0.CFEMP フラグが “1” になったことを確認してください。

(1) インターバル送信機能

送信モードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

CFCCL0.CFE ビットを “1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 の後)。その後インターバル時間が経過する

と、次のメッセージが送信されます。インターバルタイマは、CFCCL0.CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は CFCCH0.CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFCCH0.CFITT[7:0] ビットに“00h”を設定してください。

CFCCH0.CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。

CFCCH0.CFITR、CFITSS ビットを“00b”にすると PCLK を GCFGH.ITRCP[15:0] ビットの値で分周したクロック、“10b”にすると PCLK を GCFGH.ITRCP[15:0] ビットの値×10 で分周したクロック、“x1b”にすると CAN ビットタイムクロックがカウントソースになります。

GCFGH.ITRCP[15:0] ビットの設定値を M、CFCCH0.CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFCCH0.CFITR、CFITSS ビットが“00b”の場合

$$\frac{1}{PCLK} \times M \times N$$

- CFCCH0.CFITR、CFITSS ビットが“10b”の場合

$$\frac{1}{PCLK} \times M \times 10 \times N$$

- CFCCH0.CFITR、CFITSS ビットが“x1b”の場合
(fCANBIT は CAN ビットタイムクロックの周波数)

$$\frac{1}{fCANBIT} \times N$$

図 30.8 にインターバルタイマのブロック図を示します。

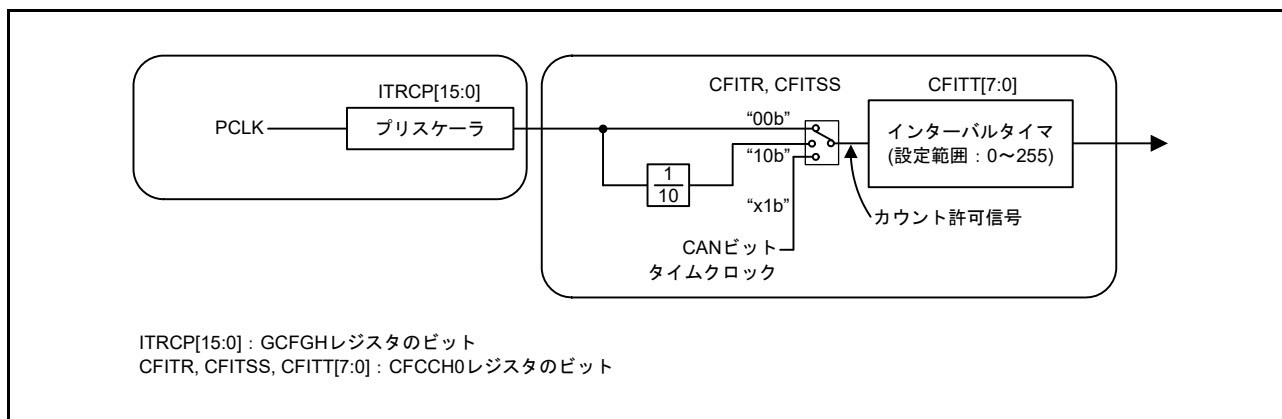


図 30.8 インターバルタイマのブロック図

図 30.9 にインターバルタイマのタイミング図を示します。

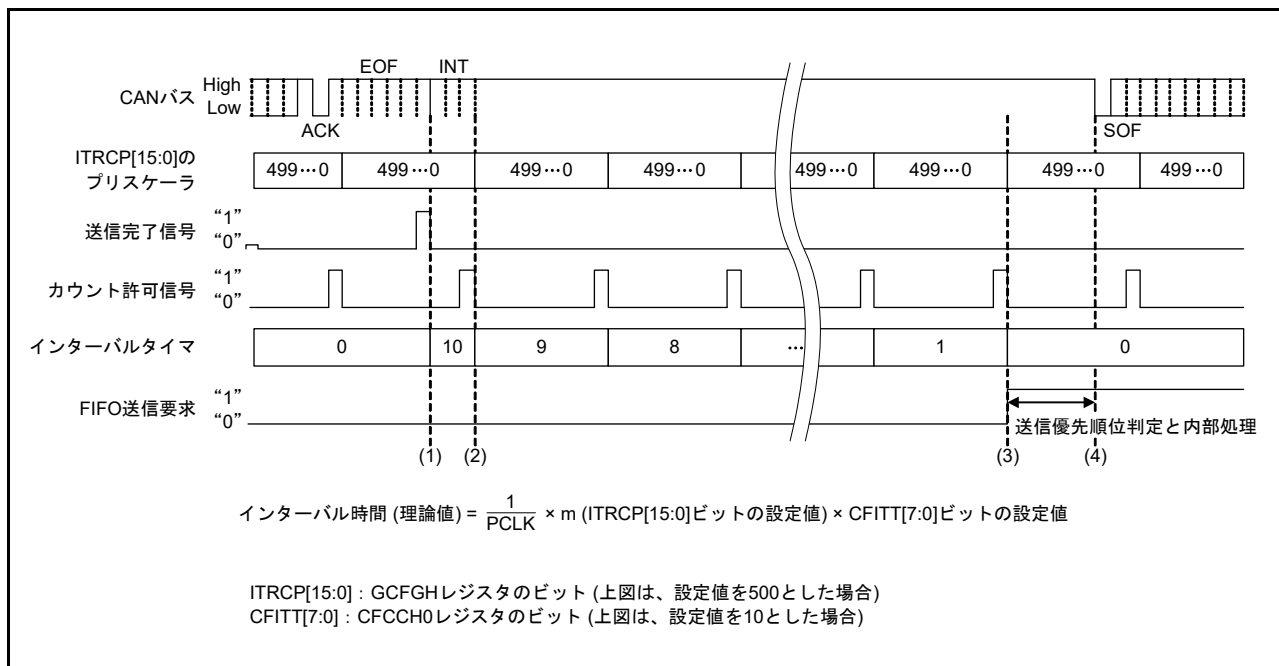


図 30.9 インターバルタイマのタイミング図

- (1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの 1 カウント分の誤差が発生します。
- (2) 次のカウント許可信号で、インターバルタイマは 1 減算されます。
- (3) インターバルタイマが “0” になると、送受信 FIFO バッファから送信要求が出されます。
- (4) 優先順位判定で送受信 FIFO バッファが決めの送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、CAN ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。

30.5.4 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。チャンネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 8 個の送信履歴データを格納できます。

THLCC0.THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。CFIDH0.THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。送信が成功してから送信履歴データが格納されるまで、最大で 38PCLK 分遅延する場合があります。

- バッファタイプ 01b: 送信バッファ
 10b: 送受信 FIFO バッファ
- バッファ番号 送信元の送信バッファ、または送受信 FIFO バッファの番号。
 これはバッファタイプに依存します。表 30.10 を参照してください。
- ラベルデータ 送信メッセージのラベル情報

表 30.10 送信履歴データのバッファ番号

バッファの番号	バッファタイプ	
	01b	10b
00b	送信バッファ 0	CFCCH0.CFTML[1:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号
01b	送信バッファ 1	
10b	送信バッファ 2	
11b	送信バッファ 3	

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、THLACC0 レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

30.6 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

通信テスト：チャンネルごとに行うテスト

- 標準テストモード
 - リッスンオンリモード
 - セルフテストモード 0 (外部ループバックモード)
 - セルフテストモード 1 (内部ループバックモード)
- グローバルテスト：モジュール全体で行うテスト
- RAM テスト (読み書きテスト)

30.6.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。

30.6.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファからも送信要求をしないでください。

図 30.10 にリッスンオンリモード選択時の接続を示します。

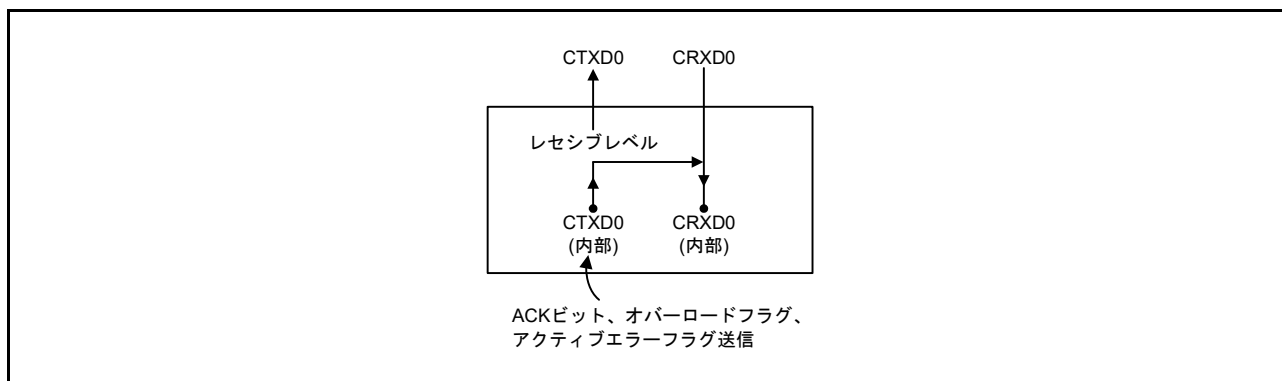


図 30.10 リッスンオンリモード選択時の接続

30.6.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、GAFLIDHj.GAFLLB ビットを“0” (他の CAN ノードが送信したメッセージを受信時) にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

(1) セルフテストモード 0 (外部ループバックモード)

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 30.11 にセルフテストモード 0 選択時の接続を示します。

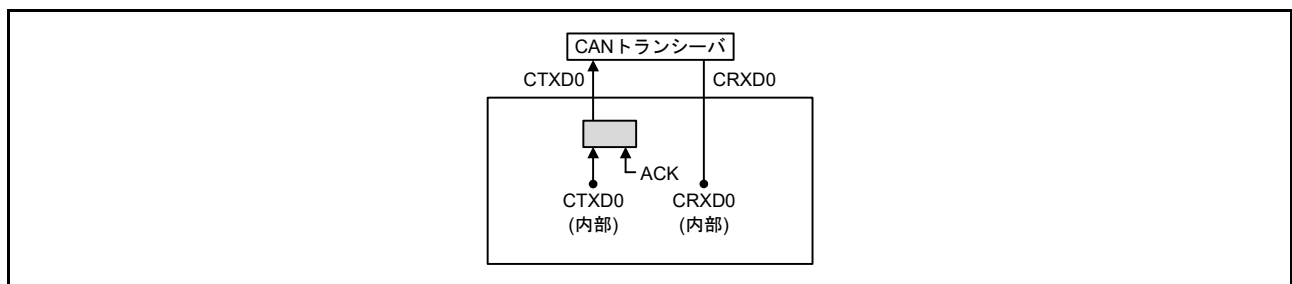


図 30.11 セルフテストモード 0 選択時の接続

(2) セルフテストモード 1 (内部ループバックモード)

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CTXD0 端子から内部 CRXD0 端子への内部フィードバックを行います。外部 CRXD0 端子の入力は、切り離されます。外部 CTXD0 端子はレセプビットのみ出力します。

図 30.12 にセルフテストモード 1 選択時の接続を示します。

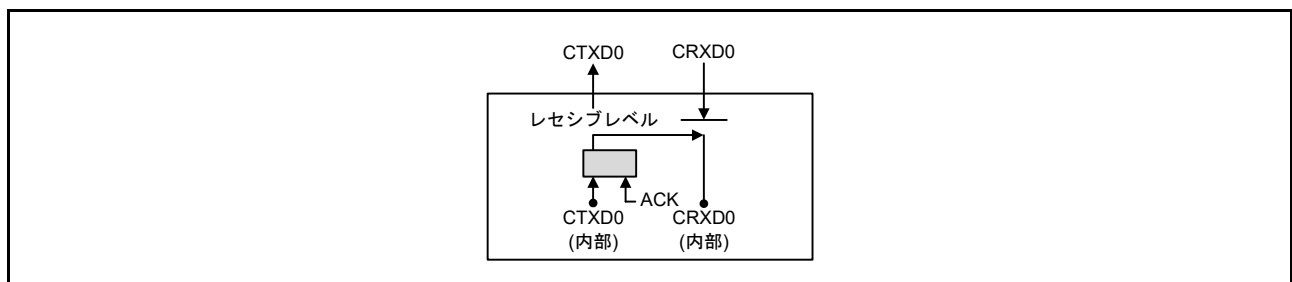


図 30.12 セルフテストモード 1 選択時の接続

30.6.4 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは GTSTCFG.RTMPS[2:0] ビットで設定し、ページ内のデータは RPGACCr レジスタから読み出し / 書き込みができます。有効な総 RAM サイズは、544 バイト (0220h) です。

30.7 割り込み

CAN モジュールには 5 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

グローバル割り込み (2 本)

- グローバル受信 FIFO 割り込み (RXFINT)
- グローバルエラー割り込み (GLERRINT)

チャンネル割り込み (チャンネルごとに 3 本ずつ)

- チャンネル送信割り込み (TXINT)
 - 送信完了割り込み
 - 送信アボート割り込み
 - 送受信 FIFO 送信完了割り込み
 - 送信履歴割り込み
- 送受信 FIFO 受信割り込み (COMFRXINT)
- チャンネルエラー割り込み (CHERRINT)

割り込み要求が発生すると、CAN モジュールの対応する割り込み要求フラグが“1”(割り込み要求あり)になります。その場合、割り込み許可ビットを“1”(割り込み許可)にしていると、CAN モジュールから割り込み要求が出力されます(割り込みの発生は、割り込み機能により制御されます)。

割り込み要求フラグを“0”(割り込み要求なし)にするか、割り込み許可ビットを“0”(割り込み禁止)にすると、割り込み要求がクリアされます。割り込み要求をクリアするまで、次の割り込みは発生しません。

割り込みの設定については「14. 割り込みコントローラ (ICUb)」を参照してください。

次ページ以降に、表 30.11 に CAN 割り込み要因一覧を示します。また、図 30.13 に CAN グローバル割り込みブロック図を、図 30.14 に CAN チャンネル割り込みブロック図を示します。

表 30.11 CAN 割り込み要因一覧

割り込み要因			対応する割り込み要求フラグ(注1)	対応する割り込み許可ビット(注1)
グローバル 割り込み	グローバル受信 FIFO	受信 FIFO0	RFSTS0.RFIF フラグ	RFCC0.RFIE ビット
		受信 FIFO1	RFSTS1.RFIF フラグ	RFCC1.RFIE ビット
	グローバルエラー		GERFLL.DEF フラグ	GCTRL.DEIE ビット
			GERFLL.MES フラグ	GCTRL.MEIE ビット
			GERFLL.THLES フラグ	GCTRL.THLEIE ビット
チャンネル 割り込み	チャンネル送信	送信完了	TMSTSp.TMTRF[1:0] フラグ	TMIEC.TMIEp ビット
		送信アボート	TMSTSp.TMTRF[1:0] フラグ	CTRH.TAIE ビット
		送受信 FIFO 送信	CFSTS0.CFTXIF フラグ	CFCC0.CFTXIE ビット
		送信履歴	THLSTS0.THLIF フラグ	THLCC0.THLIE ビット
	送受信 FIFO 受信		CFSTS0.CFRXIF フラグ	CFCC0.CFRXIE ビット
	チャンネルエラー		ERFLL.BEF フラグ	CTRL.BEIE ビット
			ERFLL.ALF フラグ	CTRL.ALIE ビット
			ERFLL.BLF フラグ	CTRL.BLIE ビット
			ERFLL.OVLF フラグ	CTRL.OLIE ビット
			ERFLL.BORF フラグ	CTRL.BORIE ビット
			ERFLL.BOEF フラグ	CTRL.BOEIE ビット
			ERFLL.EPF フラグ	CTRL.EPIE ビット
			ERFLL.EWF フラグ	CTRL.EWIE ビット
	ウェイクアップ		なし	なし

注1. 割り込み機能にある割り込み要求フラグ、割り込み許可ビットは記載していません。詳細については「14. 割り込みコントローラ (ICUb)」を参照してください。

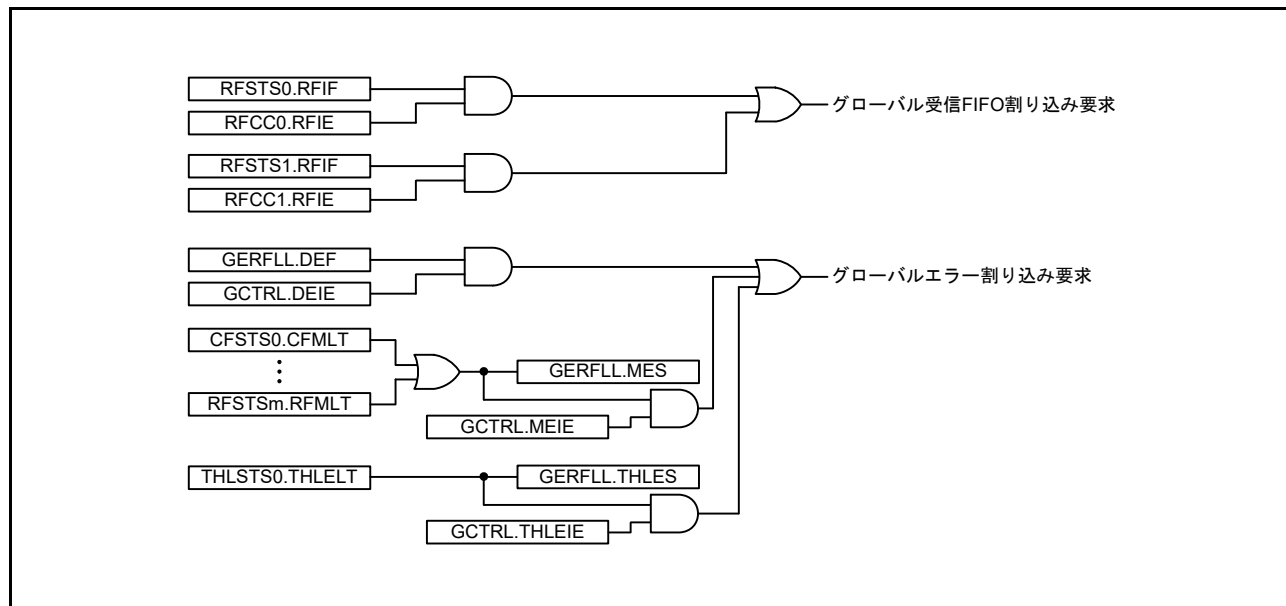


図 30.13 CAN グローバル割り込みブロック図

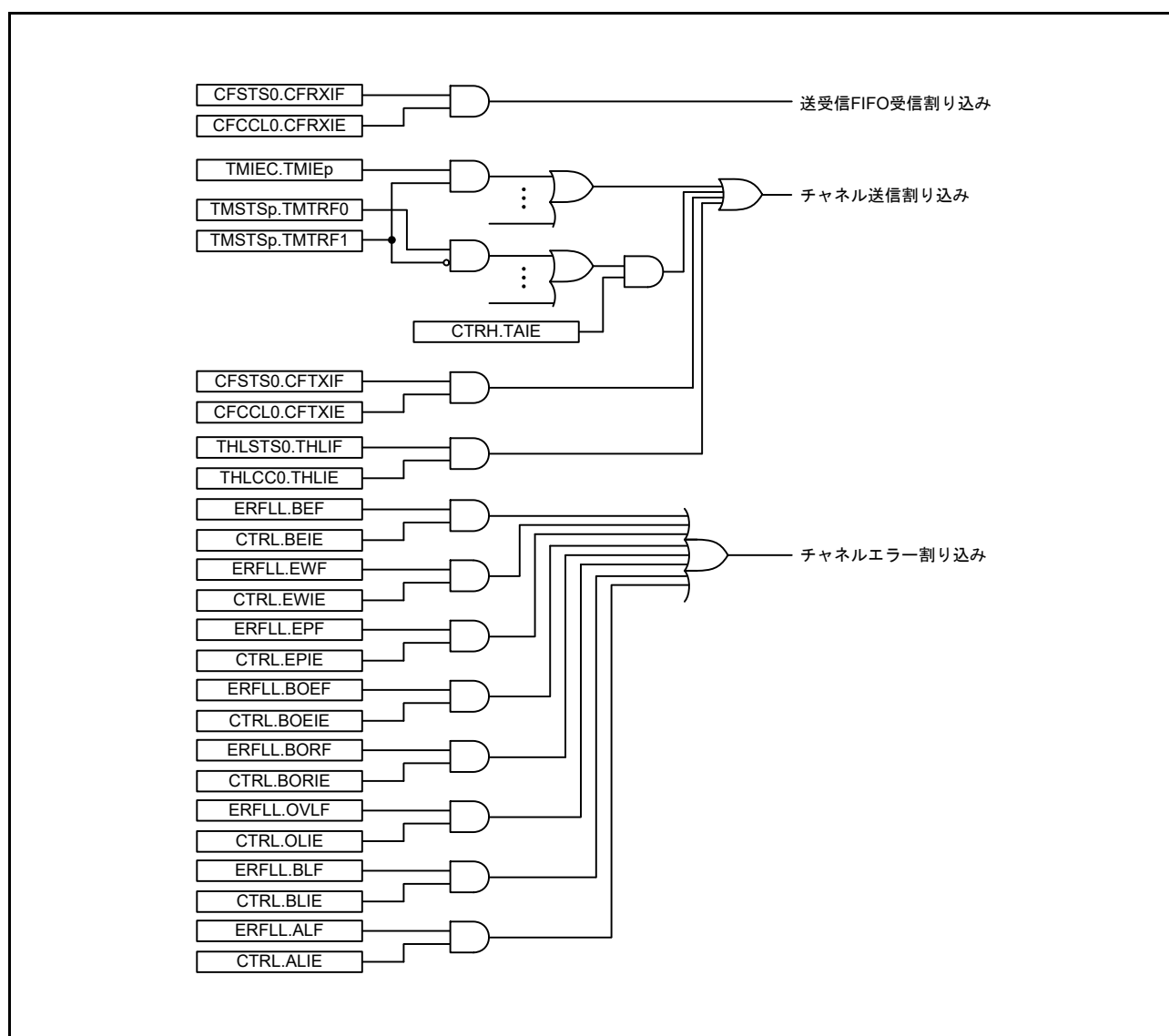


図 30.14 CAN チャネル割り込みブロック図

30.8 RAM ウィンドウ

CAN モジュールのアドレス 000A 83A0h ~ 000A 8681h はウィンドウ形式になっており、GRWCR.RPAGE ビットで、割り付けられるレジスタを切り替えることができます。

- GRWCR.RPAGE ビットが “0” (ウィンドウ 0) の場合に割り付けられるレジスタ
 受信ルール登録レジスタ : GAFLIDLj, GAFLIDHj, GAFLMLj, GAFLMHj, GAFLPLj, GAFLPHj
 RAM テストレジスタ : RPGACCr
- GRWCR.RPAGE ビットが “1” (ウィンドウ 1) の場合に割り付けられるレジスタ
 受信バッファレジスタ : RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDF0n ~ RMDF3n
 受信 FIFO アクセスレジスタ : RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m
 送受信 FIFO アクセスレジスタ : CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30
 送信バッファレジスタ : TMIDLp, TMIDHp, TMPTRp, TMDF0p ~ TMDF3p
 送信履歴バッファアクセスレジスタ : THLACC0

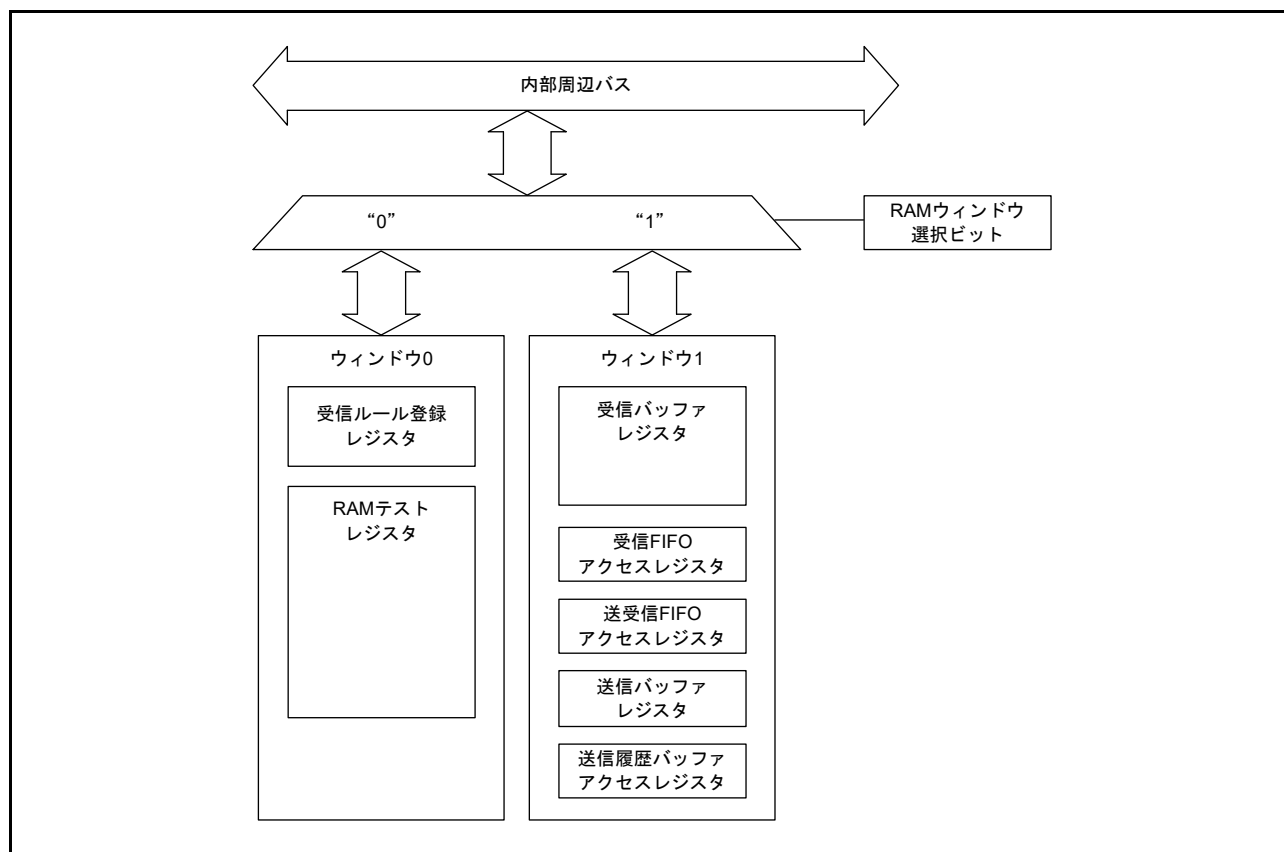


図 30.15 RAM ウィンドウ

30.9 初期設定

CAN モジュールイネーブル後に CAN モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、PCLK の 276 サイクルです。RAM の初期化中は、GSTS.GRAMINIT フラグが“1”(CAN 用 RAM クリア中)になり、初期化が終了すると“0”(CAN 用 RAM クリア完了)になります。GSTS.GRAMINIT フラグが“0”になった後に CAN の設定を行ってください。

図 30.16 に CAN モジュールイネーブル後の設定手順を示します。

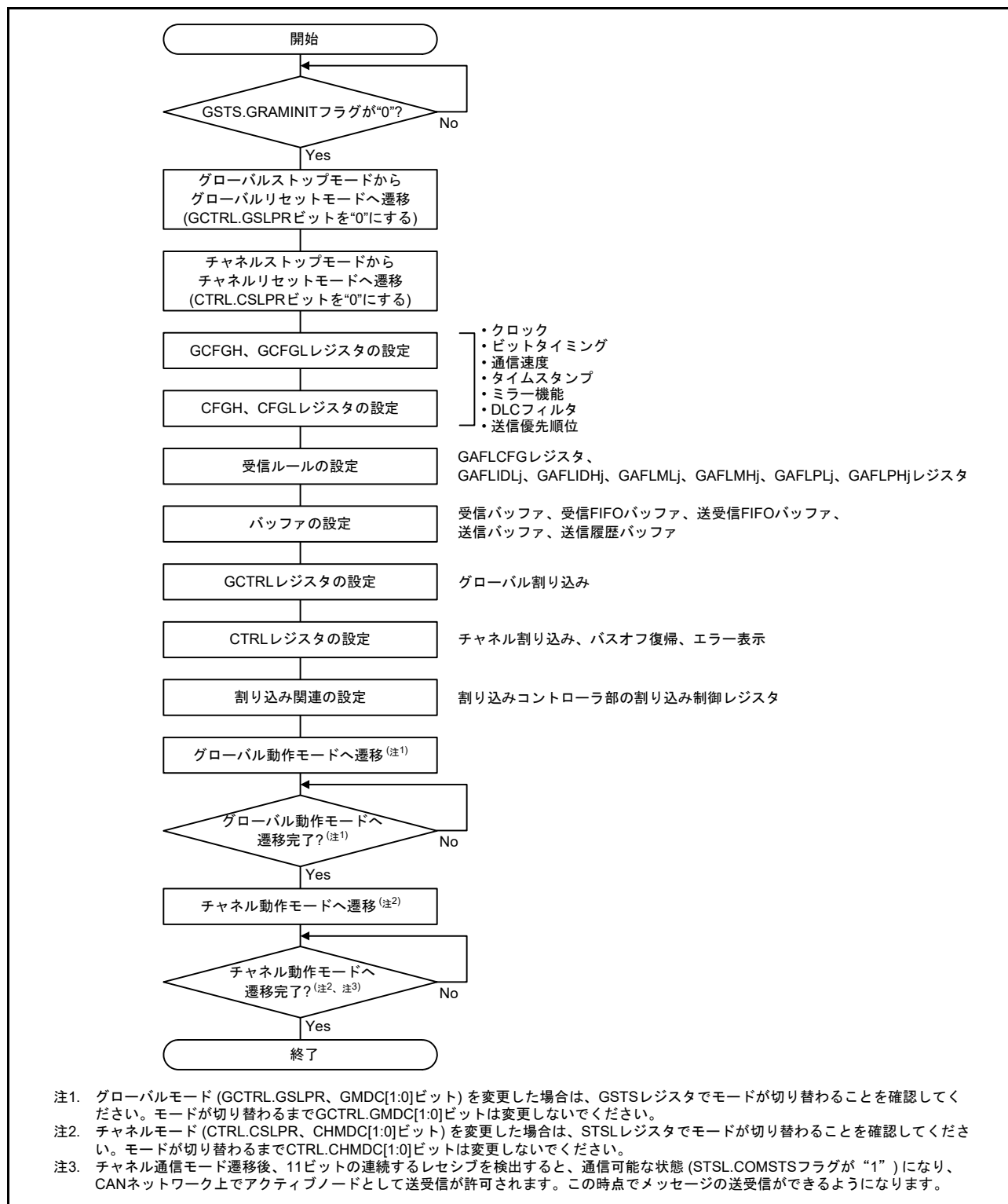


図 30.16 CAN モジュールイネーブル後の設定手順

30.9.1 クロックの設定

CAN モジュールのクロック源である CAN クロックソース (fCAN) を設定します。GCFGL.DCS ビットで、PCLK または CANMCLK を選択します。

30.9.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャンネルごとに CFGH レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、GCFGL.DCS ビットで選択したクロックを CFLD.BRP[9:0] ビットで分周したクロック (CANTq クロック) の周期になります。

図 30.17 にビットタイミング図を示します。表 30.12 にビットタイミングの設定例を示します。

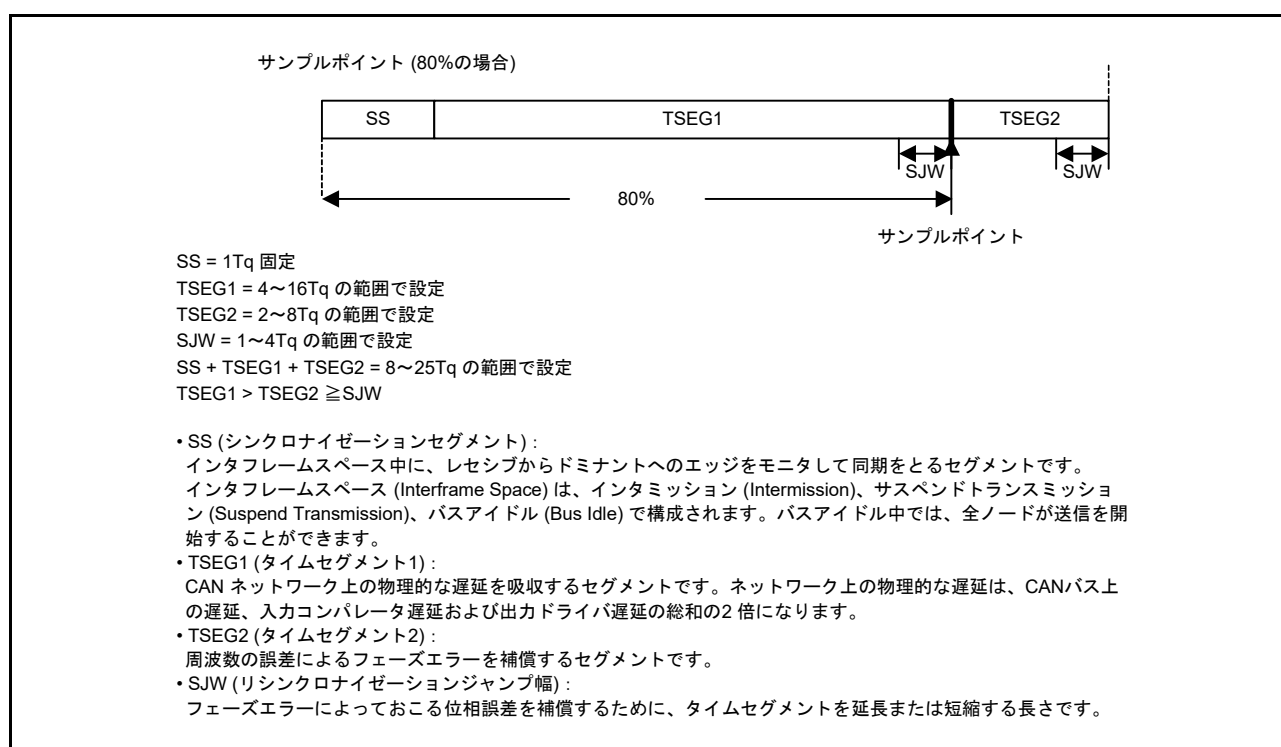


図 30.17 ビットタイミング図

表 30.12 ビットタイミングの設定例

1 ビット	設定値 (Tq)				サンプルポイント (%) (図 30.17 参照)
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	13	6	1	70.00
	1	15	4	3	80.00
24Tq	1	15	8	1	66.67
	1	16	7	1	70.83

30.9.3 通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケアラ分周値 (CFGL.BRP[9:0] ビット) および 1 ビットタイムの Tq 数を用いてチャネルごとに設定します。

図 30.18 に CAN クロック制御ブロック図を、表 30.13 に通信速度の設定例を示します。

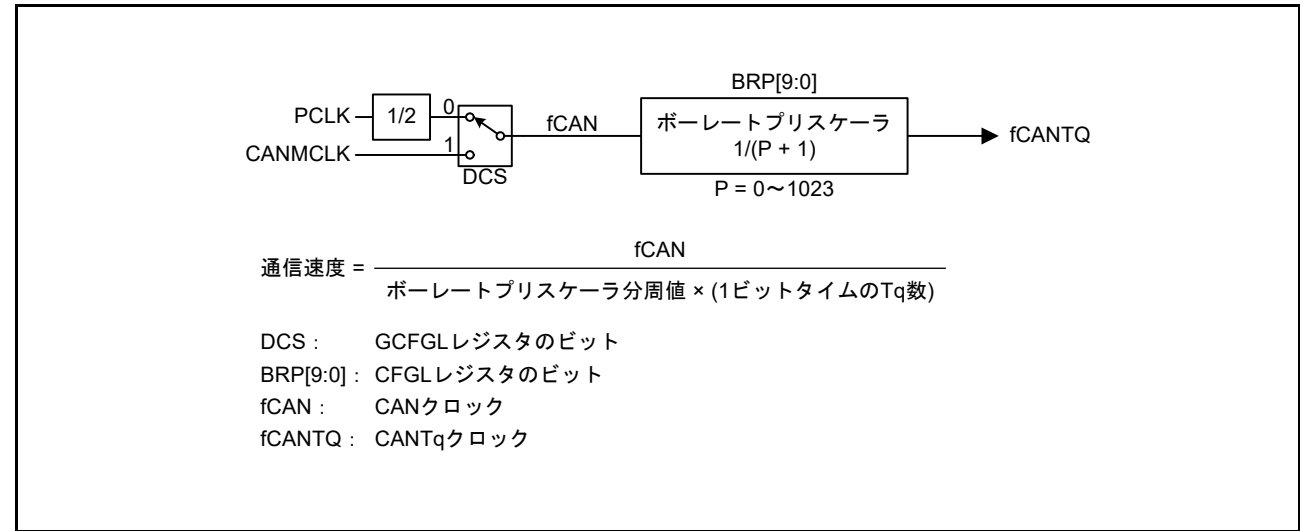


図 30.18 CAN クロック制御ブロック図

表 30.13 通信速度の設定例

通信速度	fCAN	
	16MHz	8MHz
1 Mbps	8Tq (2) 16Tq (1)	8Tq (1)
500 kbps	8Tq (4) 16Tq (2)	8Tq (2) 16Tq (1)
250 kbps	8Tq (8) 16Tq (4)	8Tq (4) 16Tq (2)
83.3 kbps	8Tq (24) 16Tq (12)	8Tq (12) 16Tq (6)
33.3 kbps	8Tq (60) 10Tq (48) 16Tq (30) 20Tq (24)	8Tq (30) 10Tq (24) 16Tq (15) 20Tq (12)

注. ()内の数字はボーレートプリスケアラ分周値

30.9.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。
16 の受信ルールを登録できます。

図 30.19 に受信ルール設定手順について示します。

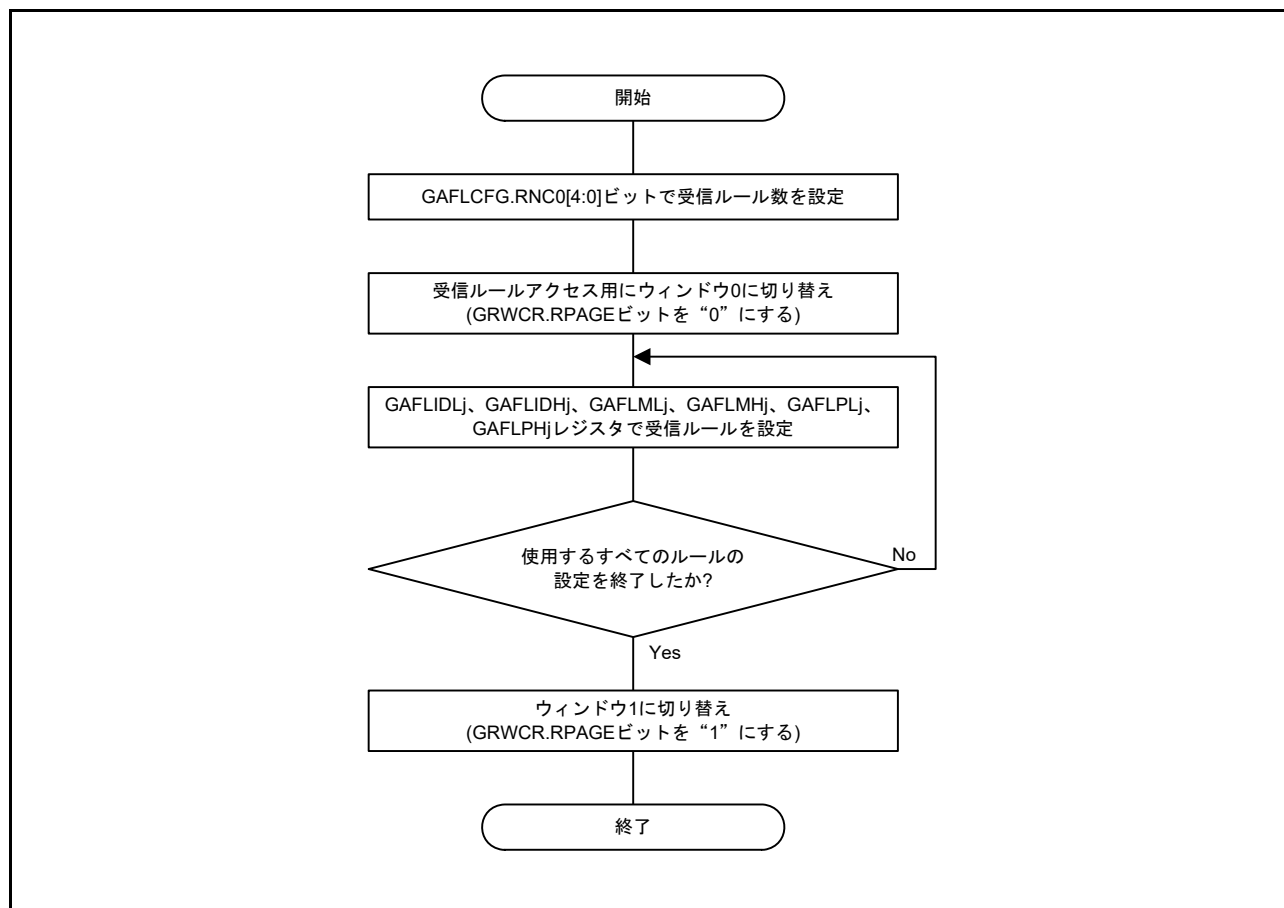


図 30.19 受信ルール設定手順

30.9.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 30.20 にバッファの構成を示します。図 30.21 に各種バッファの設定手順を示します。

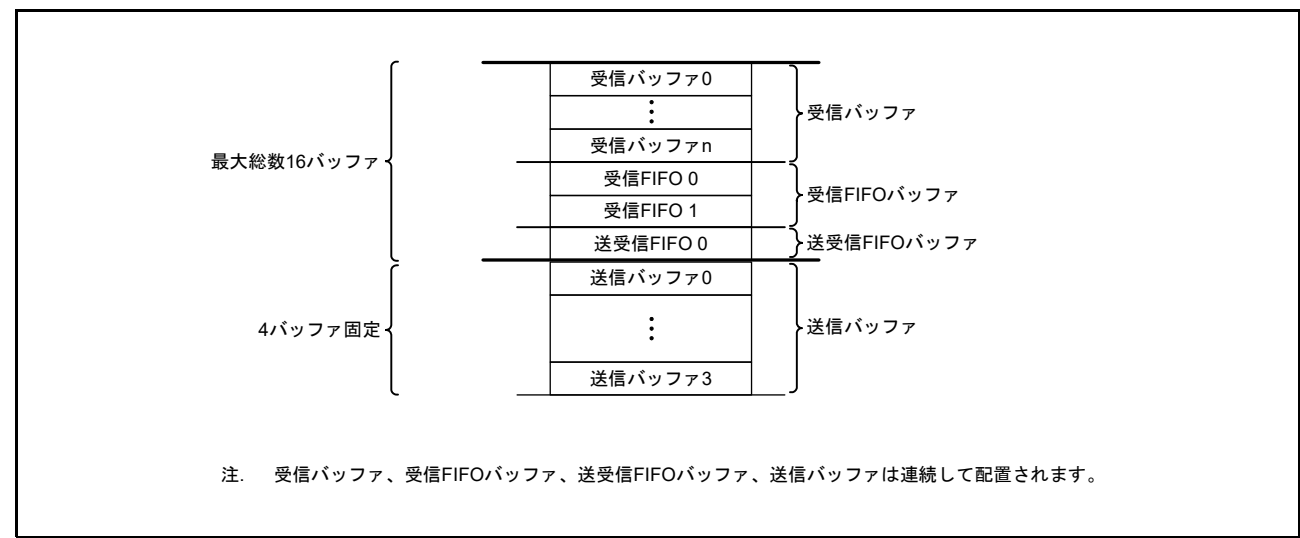


図 30.20 バッファの構成

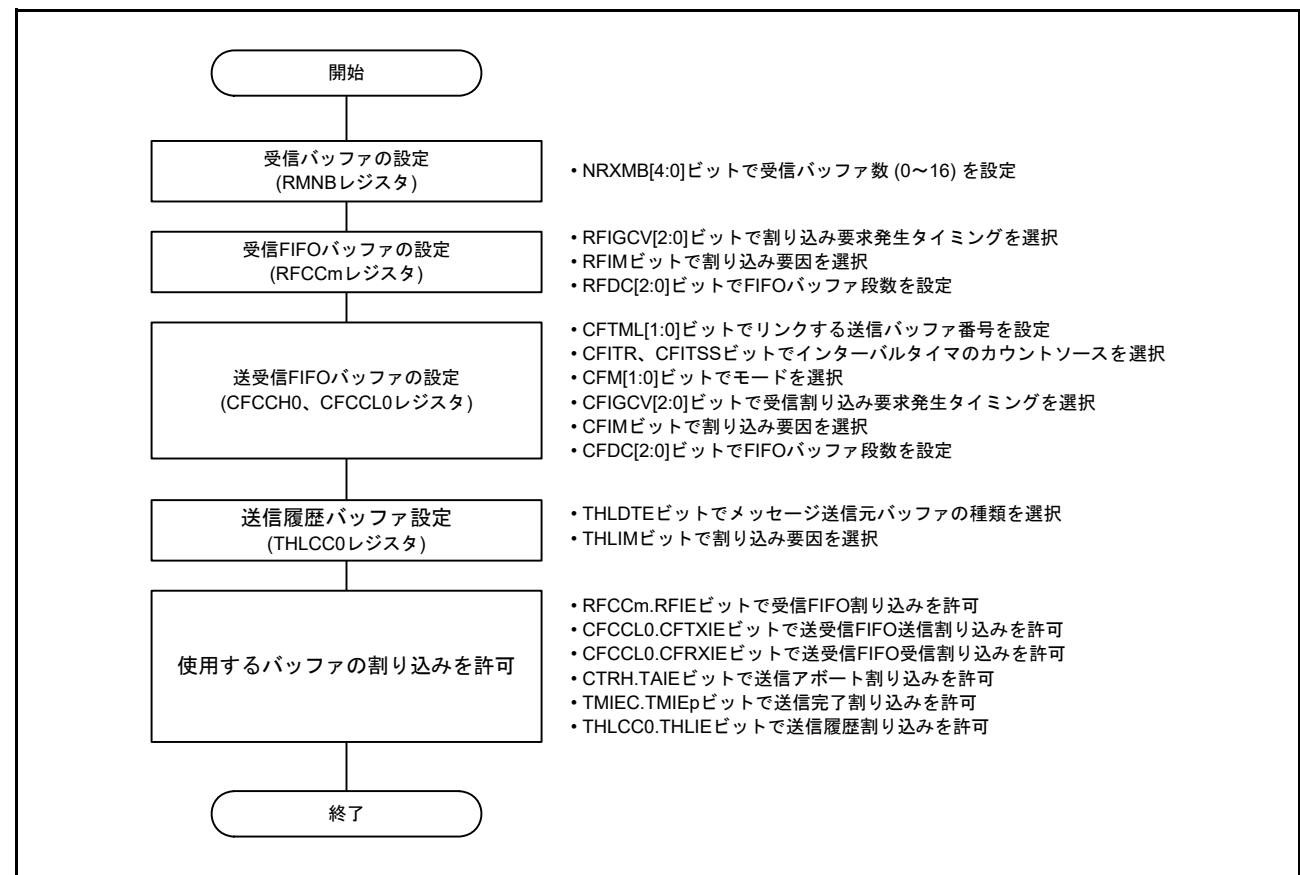


図 30.21 各種バッファの設定手順

30.10 受信手順

30.10.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RMND0.RMNSn フラグが“1”(受信バッファ n に新しいメッセージあり)になります。メッセージは RMIDLn、RMIDHn、RMTSn、RMPTRn、RMDF0n ~ RMDF3n レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。

図 30.22 に受信バッファの読み出し手順を示します。

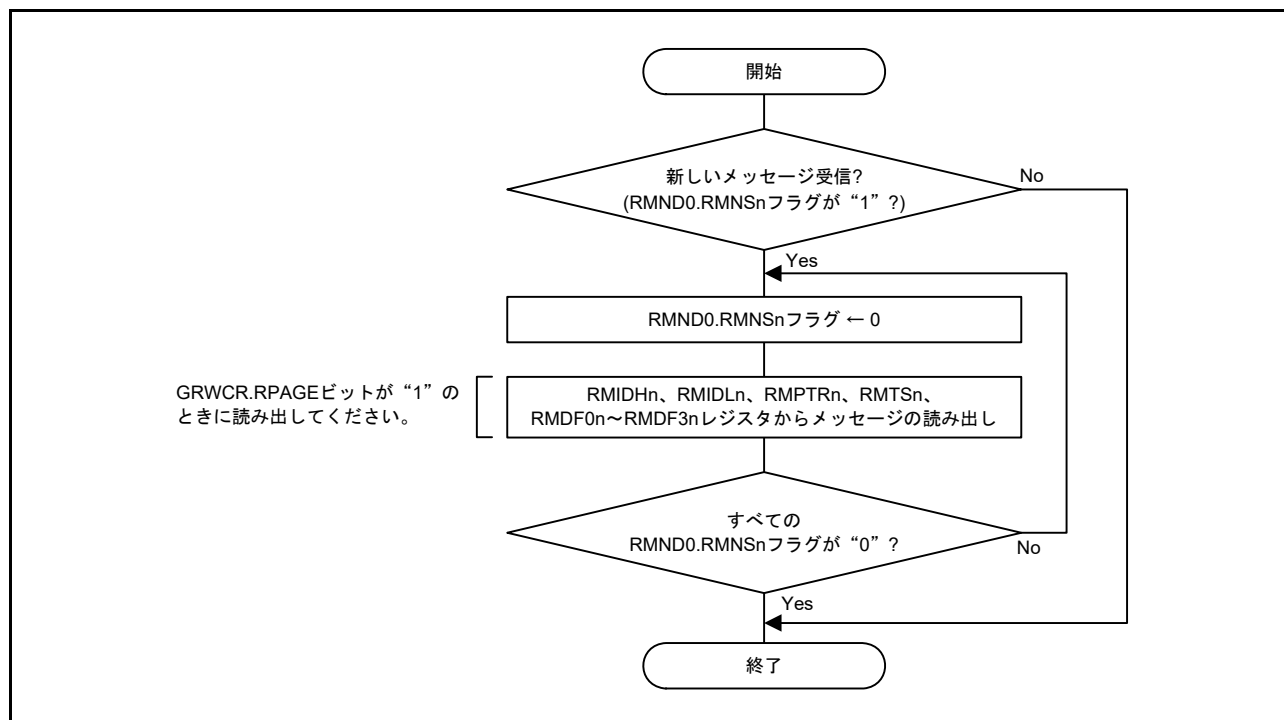


図 30.22 受信バッファの読み出し手順

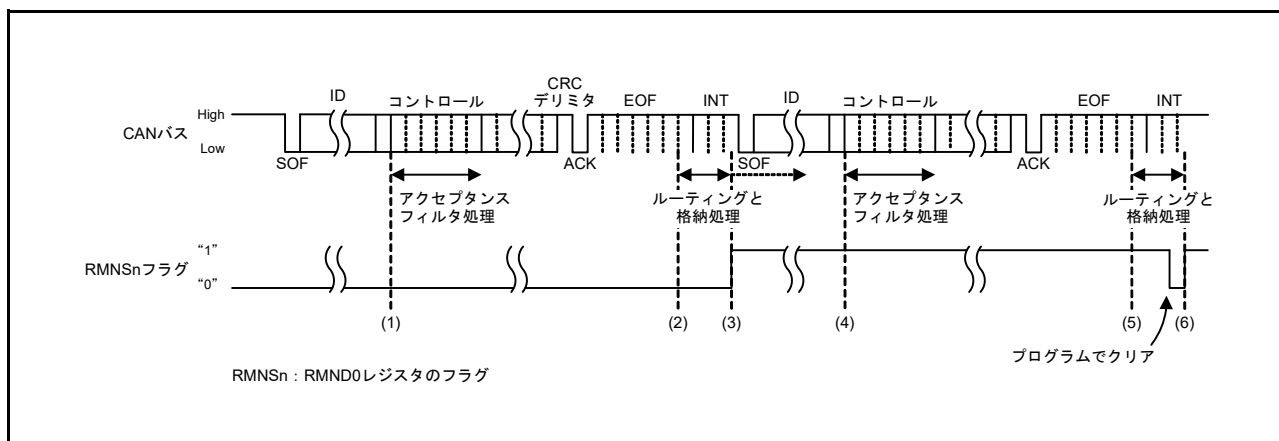


図 30.23 受信バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RMND0.RMNSn フラグが“1” (受信バッファに新しいメッセージあり) になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (6) 対応する RMND0.RMNSn フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度、“1”になります。RMND0.RMNSn フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMND0.RMNSn フラグを“0”にできません。

30.10.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RFSTSm.RFMC[5:0] フラグまたは CFSTS0.CFMC[5:0] フラグ) の値が1加算されます。このとき、RFCCm.RFIE ビット (受信 FIFO 割り込み許可ビット) や CFCCL0.CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m ~ RFDF3m レジスタから、送受信 FIFO バッファの場合は CFIDL0、CFIDH0、CFTS0、CFPTR0、CFDF00 ~ CFDF30 レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RFCCm.RFDC[2:0] ビットまたは CFCCL0.CFDC[2:0] ビットで設定した値) に一致したとき、RFSTSm.RFFLL フラグまたは CFSTS0.CFFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RFSTSm.RFEMP フラグまたは CFSTS0.CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RFSTSm.RFIF フラグまたは CFSTS0.CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFCCm.RFE ビットや CFCCL0.CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

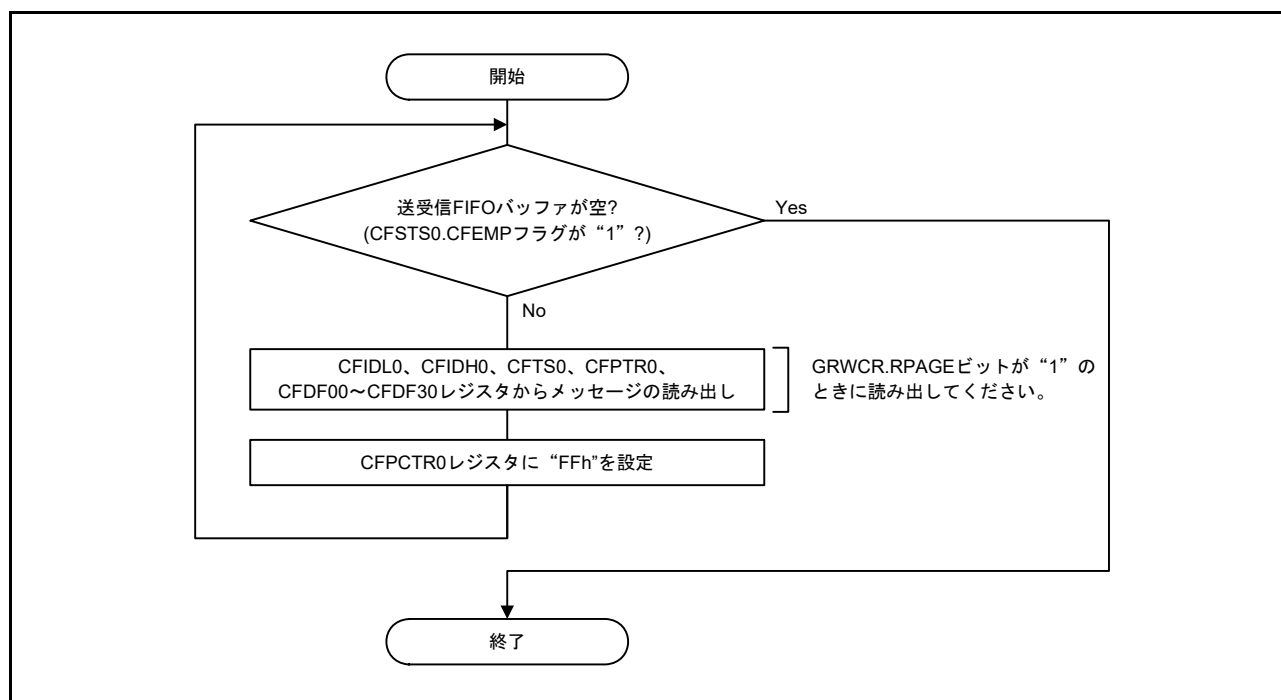


図 30.24 送受信 FIFO バッファの読み出し手順

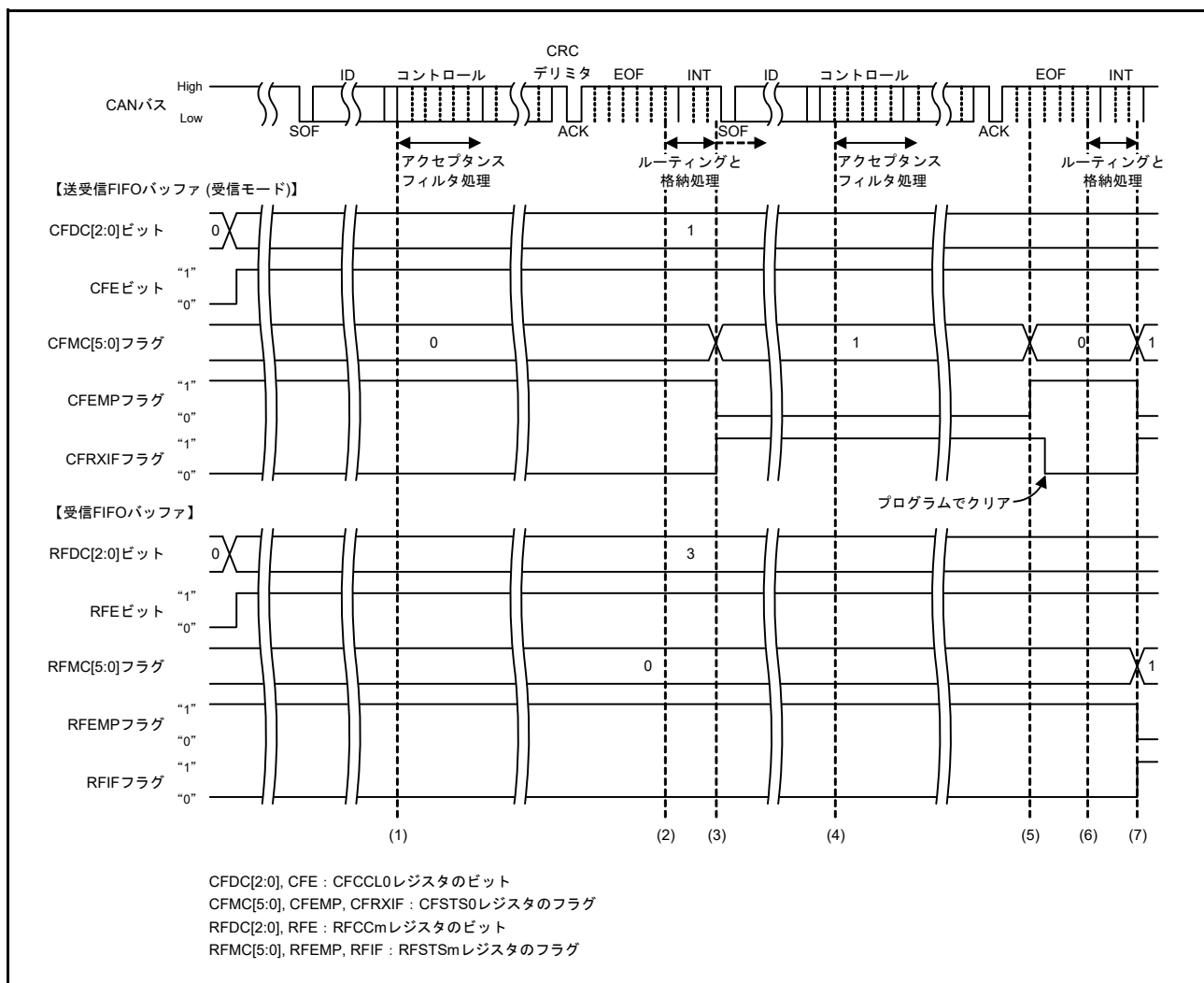


図 30.25 FIFO バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過し、かつ CFCCL0.CFE ビットが“1” (送受信 FIFO バッファを使用する) で、CFCCL0.CFDC[2:0] ビットの値が“001b”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFSTS0.CFMC[5:0] フラグが 1 加算されて“01h”になります。CFCCL0.CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、CFSTS0.CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFSTS0.CFRXIF フラグはプログラムで“0”にできます。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) CFIDL0、CFIDH0、CFSTS0、CFPTR0、CFDF00 ~ CFDF30 レジスタから受信メッセージを読み出し、CFPTR0 レジスタに“FFh”を書きます。それにより、CFSTS0.CFMC[5:0] フラグが 1 減算されて“00h”になり、CFSTS0.CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
- (6) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGL.DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。

- (7) DLC フィルタ処理を通過し、かつ CFCCL0.CFE ビットが “1” (送受信 FIFO バッファを使用する)、CFCCL0.CFDC[2:0] ビットの値が “001b” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFSTS0.CFMC[5:0] フラグが 1 加算されて “01h” になります。CFCCL0.CFIM ビットを “1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、CFSTS0.CFRXIF フラグが “1” (送受信 FIFO 受信割り込み要求あり) になります。
- また、RFCCm.RFE ビットが “1” (受信 FIFO バッファを使用する)、RFCCm.RFDC[2:0] ビットの値が “001b” 以上の場合、受信 FIFO バッファにメッセージが格納されます。RFSTS0.RFMC[5:0] フラグが 1 加算されて “01h” になります。RFCCm.RFIM ビットを “1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RFSTS0.RFIF フラグが “1” (受信 FIFO 割り込み要求あり) になります。

30.11 送信手順

30.11.1 送信バッファからの送信手順

図 30.26 に送信バッファからの送信手順を示します。

図 30.27 に 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 30.28 に 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

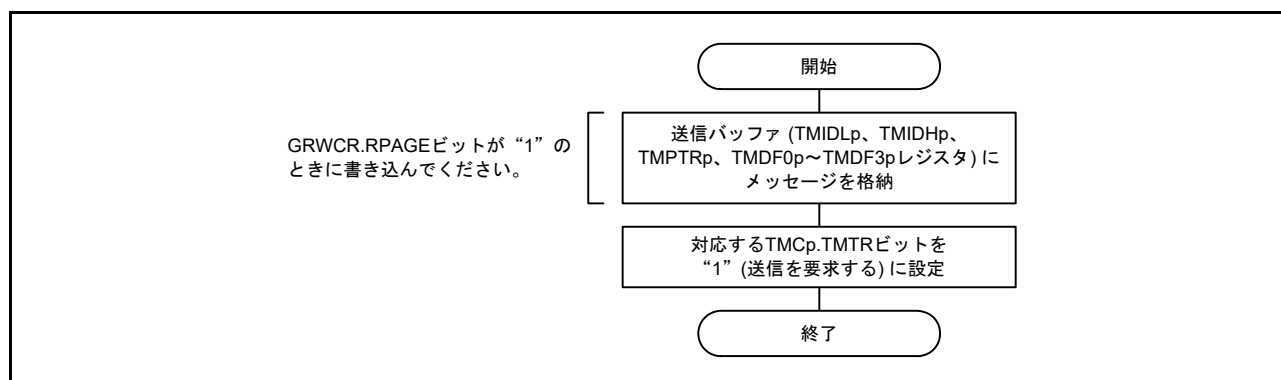


図 30.26 送信バッファからの送信手順

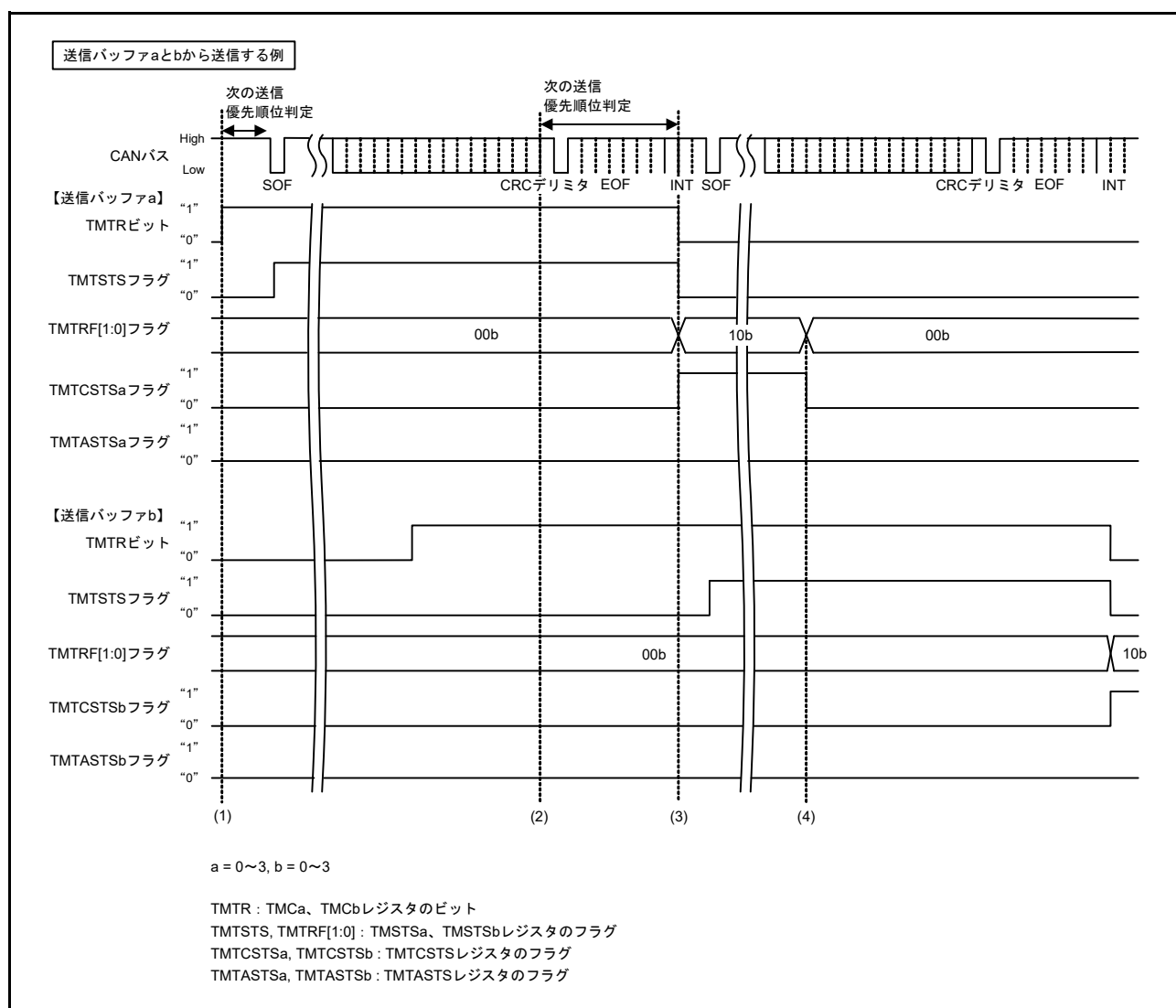


図 30.27 送信バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき TMCa.TMTR ビット (a = 0 ~ 3) を "1" にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する TMTSTSa.TMTSTS フラグが "1" (送信中) になり、CAN チャネルは送信を開始します。
- (2) CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。
- (3) 送信が成功すると、TMTSTSa.TMTRF[1:0] フラグは "10b" (送信完了 (送信アポート要求なし))、TMTSTSa.TMTSTS フラグと TMCa.TMTR ビットは "0"、TMTASTSa.TMTASTSa フラグは "1" になります。TMTASTSa.TMTASTSa ビットが "1" (割り込み許可) のとき、送信割り込み要求が発生します。割り込み要求をクリアするには、TMTSTSa.TMTRF[1:0] フラグを "00b" (送信中または送信要求なし) にしてください。
- (4) 次の送信を開始する前に、TMTSTSa.TMTRF[1:0] フラグを "00b" にしてください。次のメッセージを送信バッファに書いてから、TMCa.TMTR ビットを "1" (送信を要求する) にしてください。TMTSTSa.TMTRF[1:0] フラグが "00b" のときのみ、TMCa.TMTR ビットを "1" に設定できます。送信を開始後にアービトレーションロストが発生した場合、TMTSTSa.TMTSTS フラグは "0" になります。送信の優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

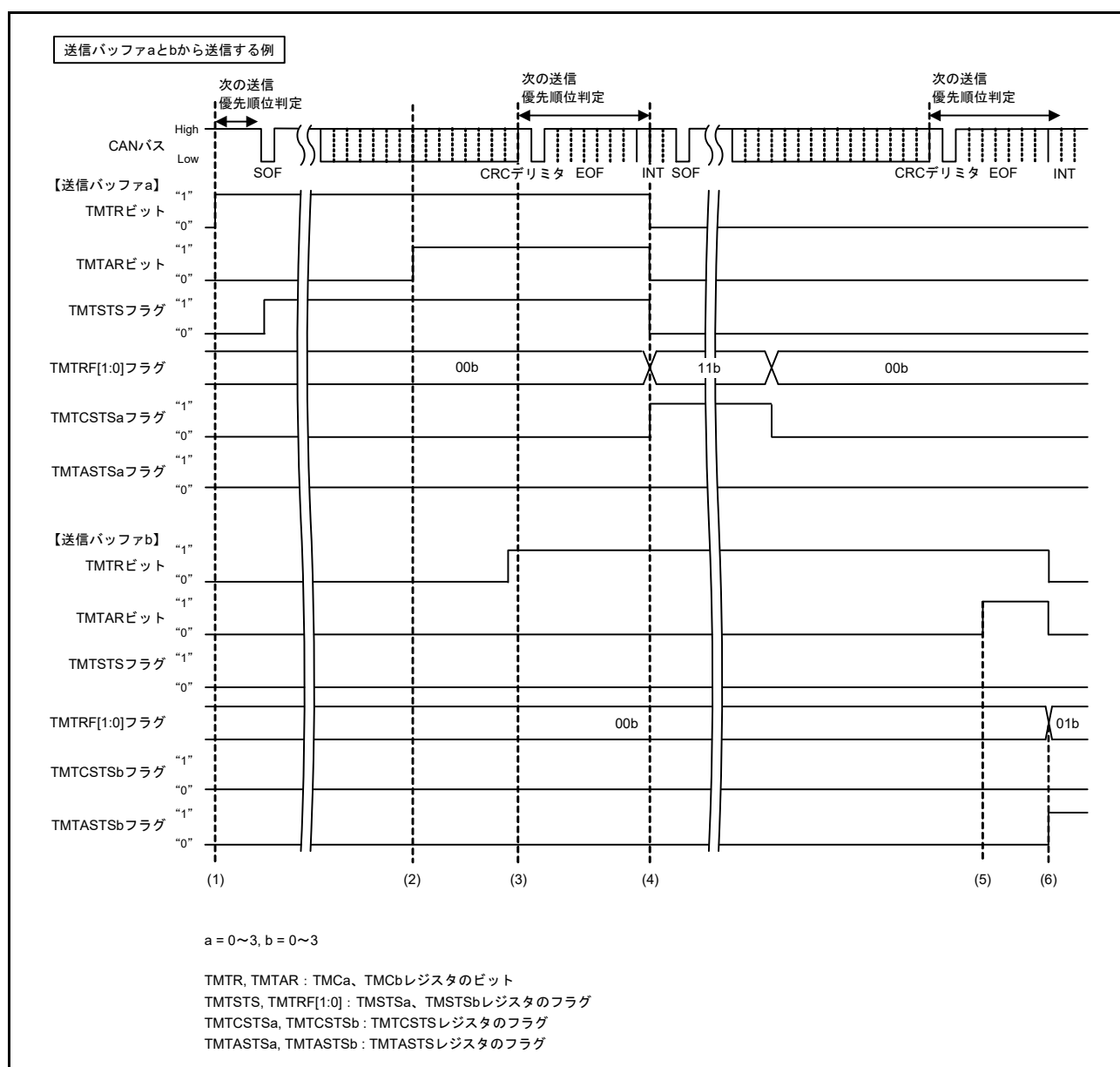


図 30.28 送信バッファの送信タイミング図(送信アボート完了時)

- (1) CAN バスがアイドル状態のとき TMCa.TMTR ビット (a = 0 ~ 3) を “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する TMSTSa.TMTSTS フラグが “1” (送信中) になり、CAN チャンネルは送信を開始します。
- (2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMCa.TMTAR ビットを “1” (アボート要求する) にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。
- (3) CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。
- (4) 送信が成功すると、TMSTSa.TMTRF[1:0] フラグは “11b” (送信完了 (送信アボート要求あり))、TMSTSa.TMTSTS フラグと TMCa.TMTR ビットは “0”、TMTCSTS.TMTCSTSa フラグは “1” になります。TMIEC.TMIEa ビットが “1” (割り込み許可) のとき、送信割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0] フラグを “00b” (送信中または送信要求なし) にしてください。

- (5) CAN バス上に他の CAN ノードが送信している場合 (TMSTSa.TMTSTS フラグは“0”), 対応するチャンネルが優先順位判定中に TMCa.TMTAR ビットを“1”にすると、TMCa.TMTR ビットを“0”にできません。
- (6) 内部処理時間経過後、送信は中止され、TMSTSa.TMTRF[1:0] フラグが“01b”、TMTASTS.TMTASTSa フラグは“1”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMSTSa.TMTRF[1:0] フラグは“01b”になります。このとき、TMCa.TMTR ビットと TMTAR ビットは“0”になります。
- CTRH.TAIE ビットが“1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMSTSa.TMTRF[1:0] フラグを“00b”にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、TMSTSa.TMTSTS フラグは“0”になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

30.11.2 送受信 FIFO バッファからの送信手順

図 30.29 に送受信 FIFO バッファからの送信手順を示します。

図 30.30 に送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 30.31 に送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

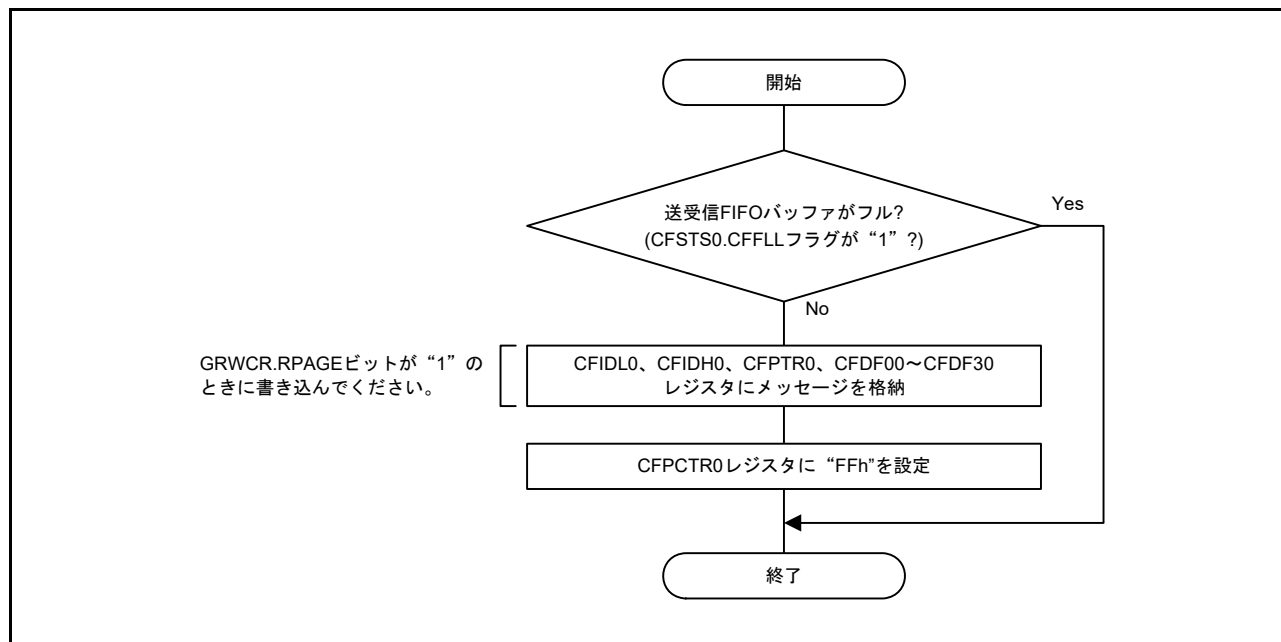


図 30.29 送受信 FIFO バッファからの送信手順

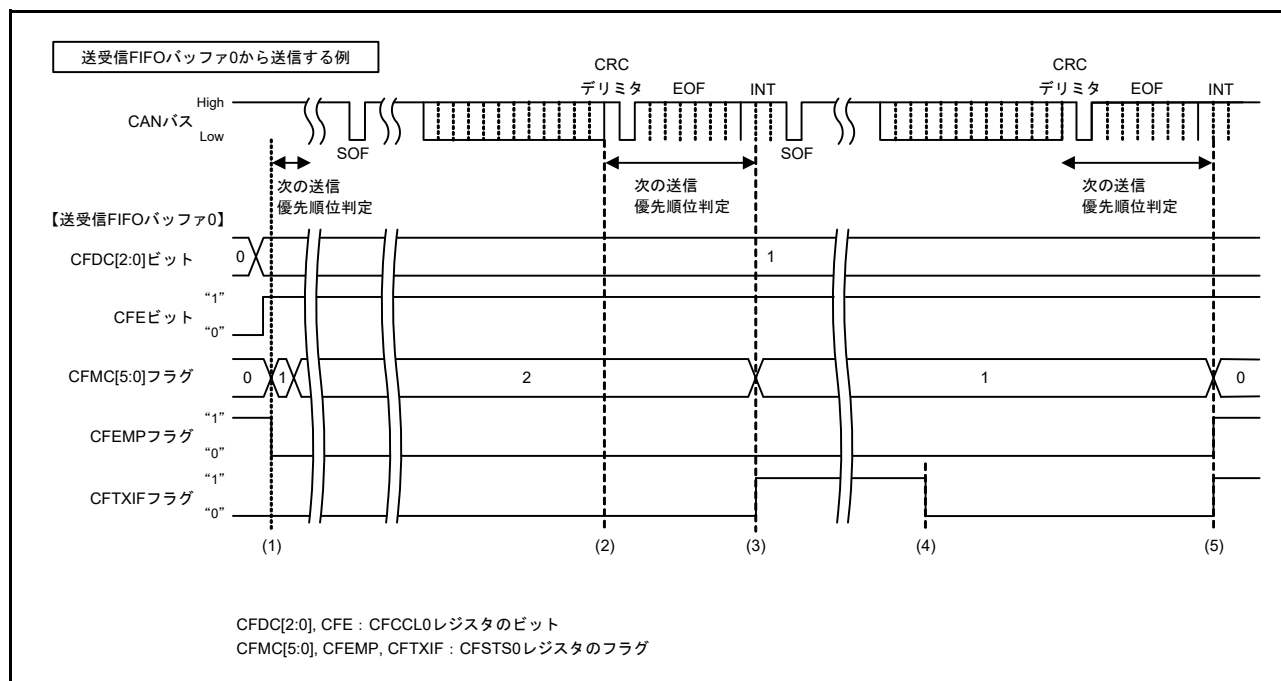


図 30.30 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき、CFCCL0.CFE ビットが“1”(送受信 FIFO バッファ 0 を使用する)、CFCCL0.CFDC[2:0] ビットが“001b”(4 メッセージ) 以上、CFSTS0.CFMC[5:0] フラグの値が“01h”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。
- (2) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。
- (3) 送信が成功すると、CFSTS0.CFMC[5:0] フラグが 1 減算されます。CFCCL0.CFIM ビットを“1”(1 メッセージ送信ごとに割り込み要求発生)にした場合、CFSTS0.CFTXIF フラグが“1”(送受信 FIFO 送信割り込み要求あり)になります。
- (4) CFSTS0.CFTXIF フラグはプログラムでクリアできます。
- (5) 送受信 FIFO バッファ 0 からの送信が完了し、CFSTS0.CFMC[5:0] フラグが 1 減算されます。CFSTS0.CFMC[5:0] フラグが“00h”になるため、CFSTS0.CFEMP フラグが“1”(送受信 FIFO バッファ空)になります。CFSTS0.CFEMP フラグが“1”になるまで送信は続けられます。CFSTS0.CFLL フラグが“1”(送受信 FIFO バッファフル)になるまで、送信メッセージを FIFO バッファに格納することができます。

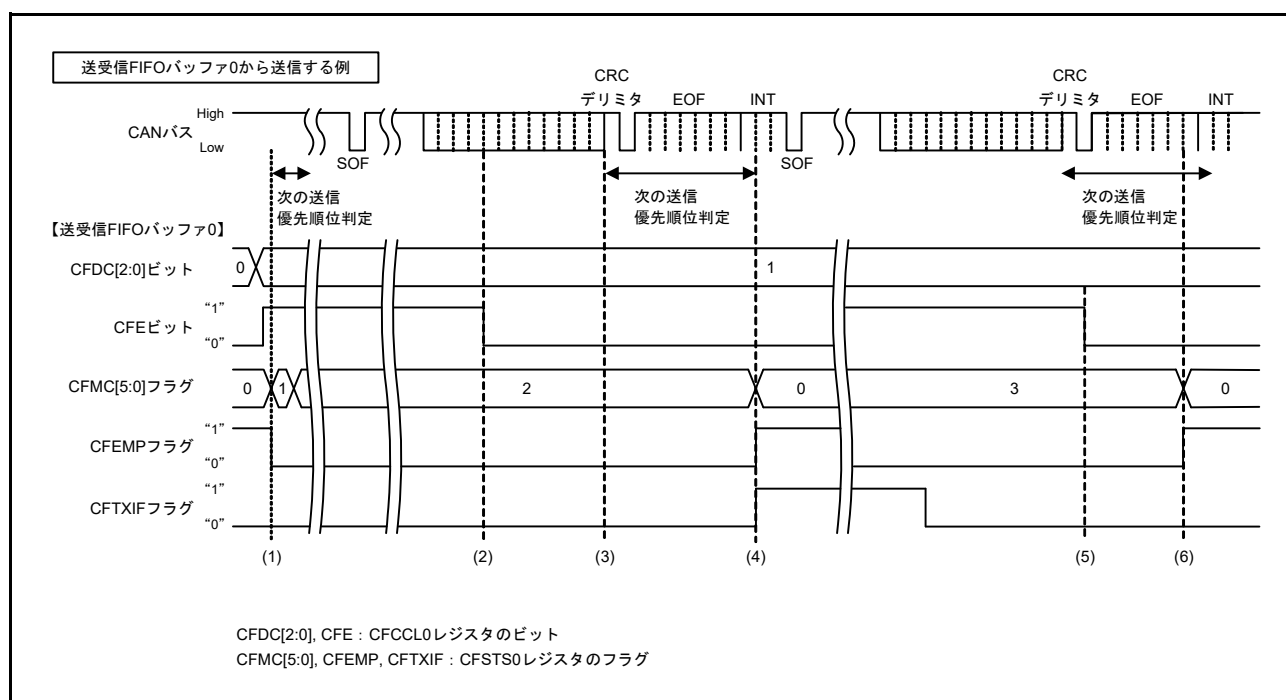


図 30.31 送受信 FIFO バッファの送信タイミング図 (送信アボート完了時)

- (1) CAN バスがアイドル状態のとき、CFCCL0.CFE ビットが“1” (送受信 FIFO バッファ 0 を使用する)、CFCCL0.CFDC[2:0] ビットが“001b” (4 メッセージ) 以上、CFSTS0.CFMC[5:0] フラグの値が“01h” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFCCL0.CFE ビットを“0” (送受信 FIFO バッファ 0 を使用しない) にしても送信はアボートされません。
- (3) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ 0 は次の送信用バッファとして選択されていません。
- (4) 送信が成功すると、CFSTS0.CFMC[5:0] フラグの値が“00h” になります。CFCCL0.CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、CFSTS0.CFTXIF フラグが“1” (送受信 FIFO バッファ送信割り込み要求あり) になります。CFSTS0.CFTXIF フラグはプログラムでクリアできます。
- (5) CAN バス上の他の CAN ノードが送信中の場合 (送受信 FIFO バッファ 0 からは送信されていない)、送信の優先順位判定中に CFCCL0.CFE ビットを“0” (送受信 FIFO バッファ 0 を使用しない) にしても、送受信 FIFO バッファ 0 は直ちに禁止にはできません (CFSTS0.CFEMP フラグは直ちに“1” (送受信 FIFO バッファ空) にはなりません)。
- (6) 内部処理時間経過後、送受信 FIFO バッファは禁止され、CFSTS0.CFMC[5:0] フラグは“00h” になり、CFSTS0.CFEMP フラグは“1” になります。送受信 FIFO バッファ 0 が送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファ 0 は禁止されます (CFSTS0.CFMC[5:0] フラグは“00h” になり、CFSTS0.CFEMP フラグは“1” になります)。

30.11.3 送信履歴バッファの読み出し手順

送信履歴データは、THLACC0 レジスタで読めます。1 データを読んだ後、対応する THLPCTR0 レジスタへ“FFh”を書くと、次のデータへアクセスできます。図 30.32 に送信履歴バッファの読み出し手順を示します。

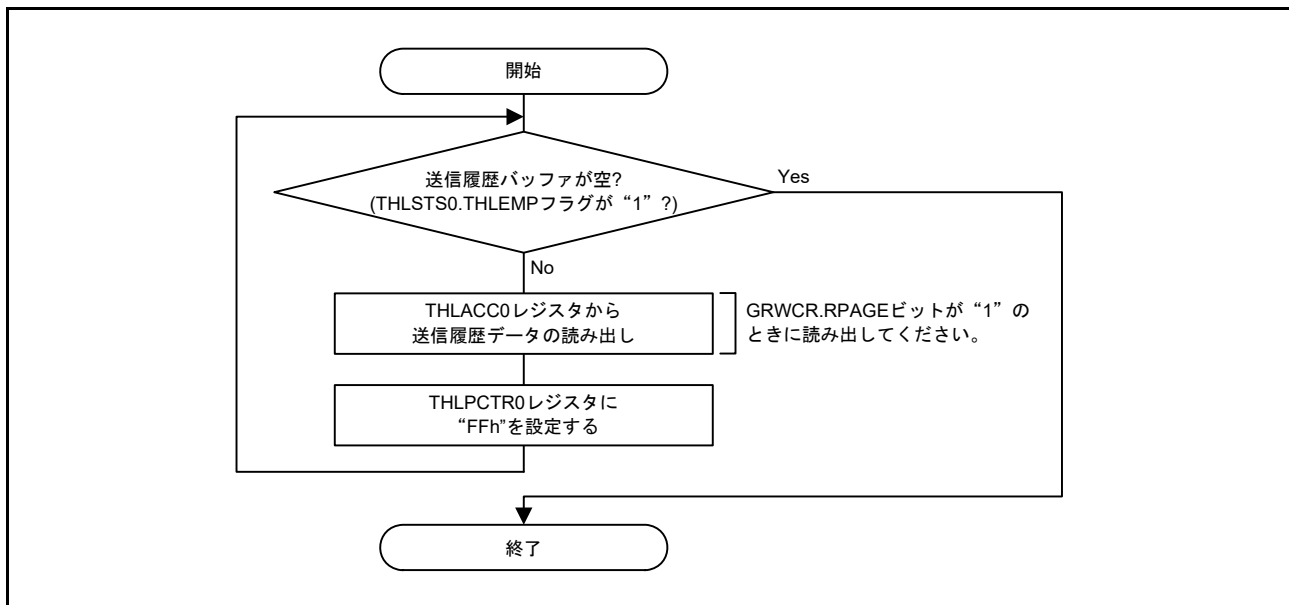


図 30.32 送信履歴バッファの読み出し手順

30.12 テスト設定

30.12.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 30.33 にセルフテストモードの設定手順を示します。

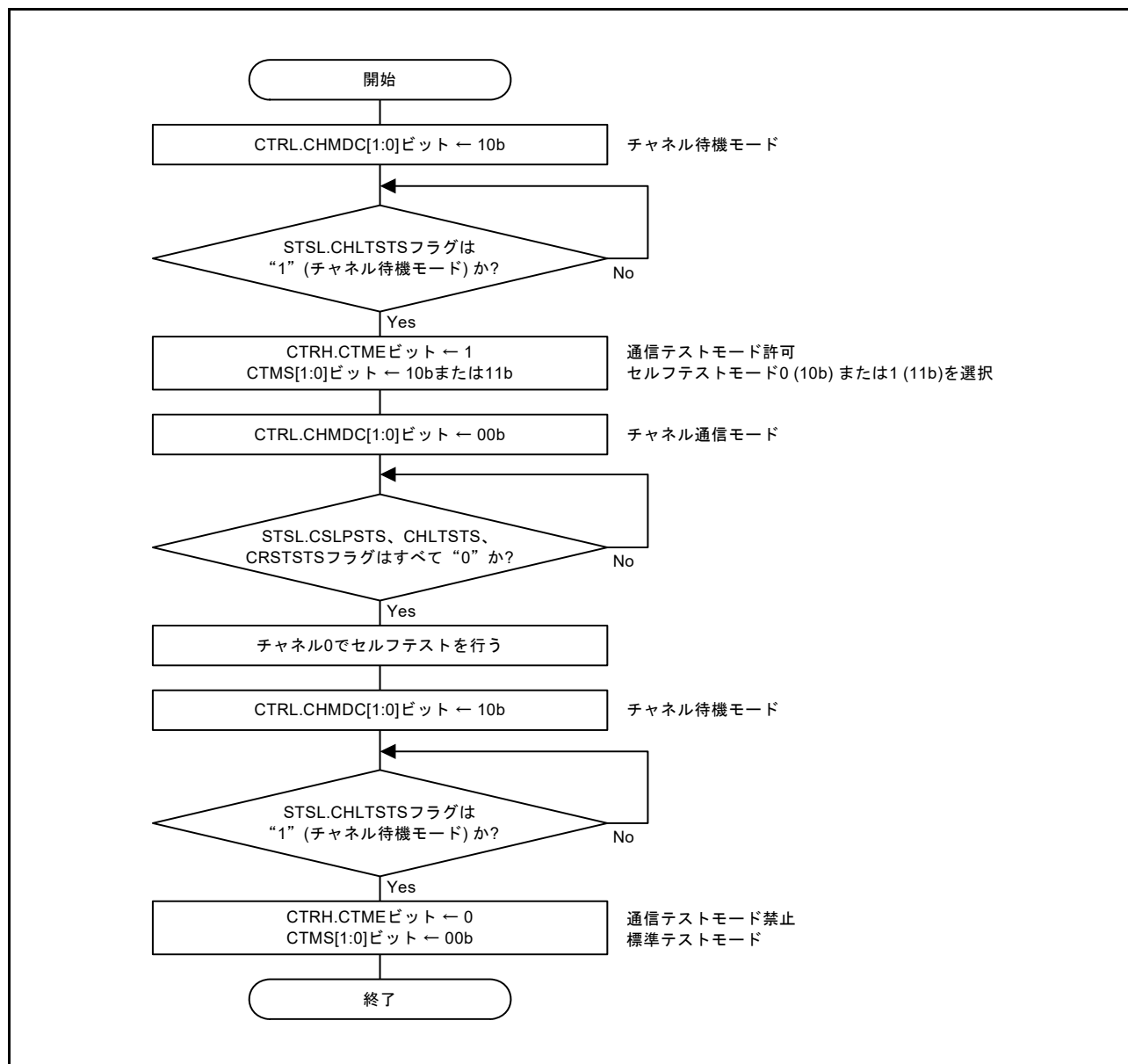


図 30.33 セルフテストモードの設定手順

30.12.2 プロテクト解除手順

表 30.14 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して GLOCKK.LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 30.14 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575h	8A8Ah	GTSTCTRL.RTME ビット

間違った値を GLOCKK.LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。

図 30.34 にプロテクト解除手順を示します。

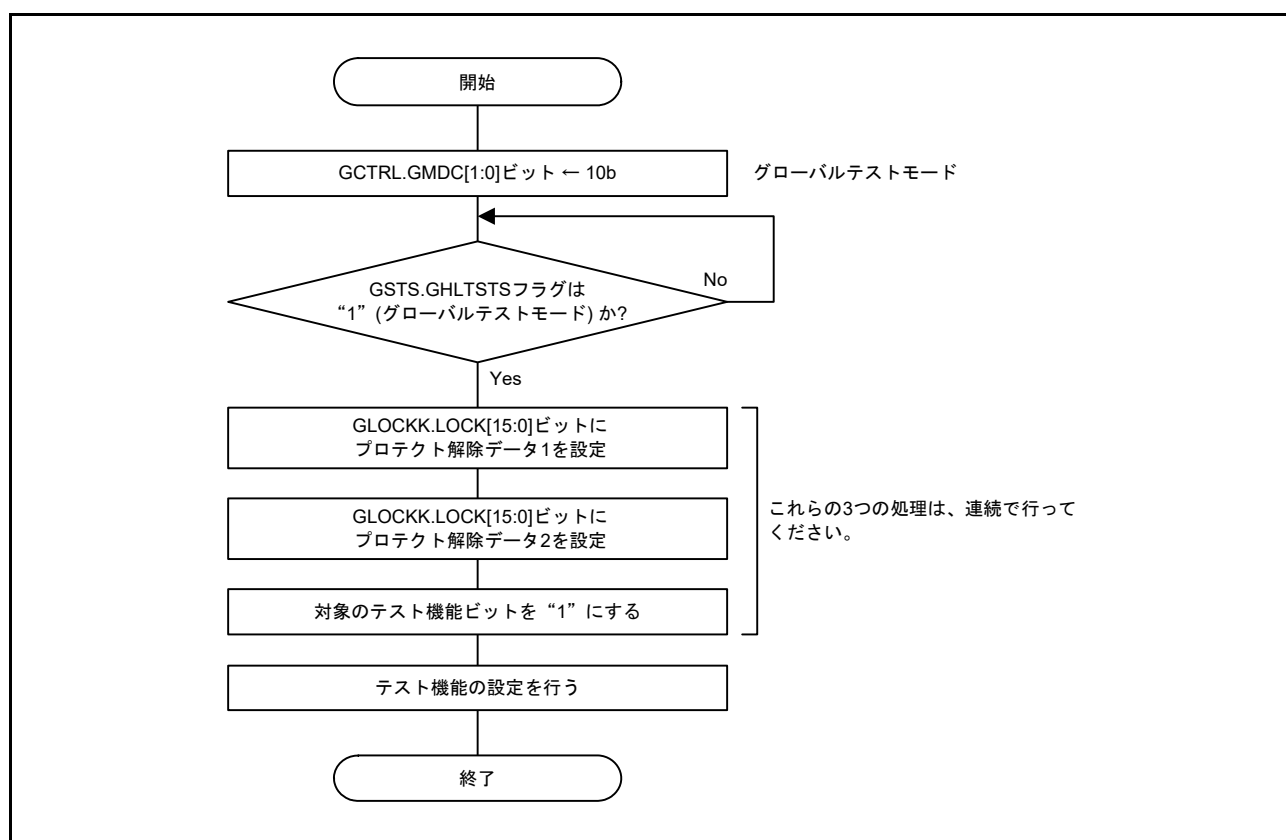


図 30.34 プロテクト解除手順

30.12.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに “0000h” を書いてください。

図 30.35 に RAM テストの設定手順を示します。

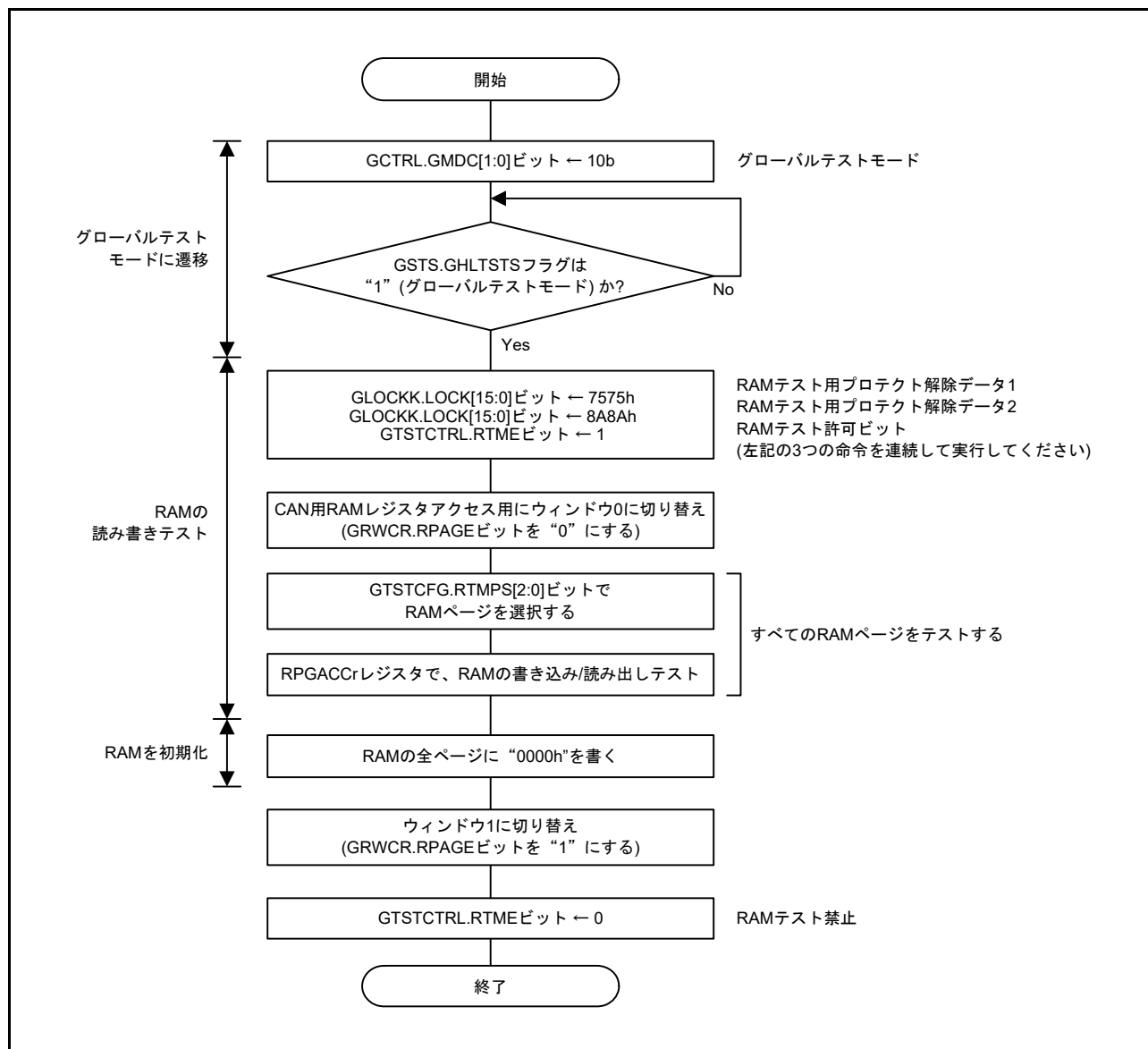


図 30.35 RAM テストの設定手順

30.13 CAN モジュールの注意事項

- グローバルモードを変更する場合は、GSTS.GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、STSL.CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクした場合、対応する送信バッファの制御レジスタ (TMCp レジスタ) は “00h” にしてください。また、対応する送信バッファのステータスレジスタ (TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (TMTRSTS、TMTCASTS、TMTASTS レジスタ) は、送受信 FIFO にリンクした送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (TMIEC レジスタ) の許可ビットは “0” (割り込み禁止) にしてください。
- タイムスタンプカウンタのクロック源に CAN ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファがフルでないことを確認してください。
- CAN モジュールの割り込み要求フラグは、割り込みが受け付けられても自動的に “0” になりませんので、プログラムで “0” にしてください。これらのフラグが “1” の場合、それ以降に成立した割り込み要因により割り込みは発生しません。
- 複数の割り込み要因が 1 つの割り込みにまとめられている CAN 関連割り込みを発生させるためには、以下の条件を満たす必要があります。
割り込み要因に対応する CAN モジュールの割り込み要求フラグがすべて “0” (ただし、表 30.11 にある対応する割り込み許可ビットが “1” の割り込み要求フラグのみが対象)。
- 未使用の受信バッファレジスタ (RMIDLn, RMIDHn, RMTSn, RMPTRn, RMDf0n ~ RMDf3n (n = 0 ~ 15)), 受信 FIFO アクセスレジスタ (RFIDLm, RFIDHm, RFTSm, RFPTRm, RFDF0m ~ RFDF3m (m = 0, 1)) と送受信 FIFO アクセスレジスタ (CFIDL0, CFIDH0, CFTS0, CFPTR0, CFDF00 ~ CFDF30) の値は、一度、グローバルリセットモードを抜けてグローバル動作モードやグローバルテストモードに遷移すると不定になります。

31. シリアルペリフェラルインタフェース (RSPIb)

本章に記載している PCLK とは PCLKB を指します。

31.1 概要

本 MCU は、1 チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重または単方向 (送信のみ) の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 31.1 に RSPI の仕様を、図 31.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ～ 7 と規定しています。

表 31.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	1 チャンネル
RSPI 転送機能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 通信モード：全二重または単方向 (送信のみ) を選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	• MSB ファースト / LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信 / 受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ～ 4096 分周) • スレーブ時は、PCLK の最小 6 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 6 分周) - High 幅：PCLK の 3 サイクル、Low 幅：PCLK の 3 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 (注 1) • パリティエラー検出 • アンダランエラー検出
SSL 制御機能	• 1 チャンネルあたり 4 本の SSL 端子 (SSLA0 ～ SSLA3) • シングルマスタ設定時には、SSLA0 ～ SSLA3 端子を出力 • マルチマスタ設定時：SSLA0 端子は入力、SSLA1 ～ SSLA3 端子は出力または未使用 • スレーブ設定時：SSLA0 端子は入力、SSLA1 ～ SSLA3 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲：1 ～ 8 RSPCK 設定単位：1 RSPCK • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲：1 ～ 8 RSPCK 設定単位：1 RSPCK • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1 ～ 8 RSPCK 設定単位：1 RSPCK • SSL 極性変更機能
マスタ転送時の制御方式	• 最大 8 コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性 / 位相、転送データ長、LSB / MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	• 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み エラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) アイドル割り込み

表31.1 RSPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	- 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) - 受信バッファフルイベント - 送信バッファエンプティイベント - エラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー) - アイドルイベント - 送信完了イベント
その他の機能	- RSPI初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

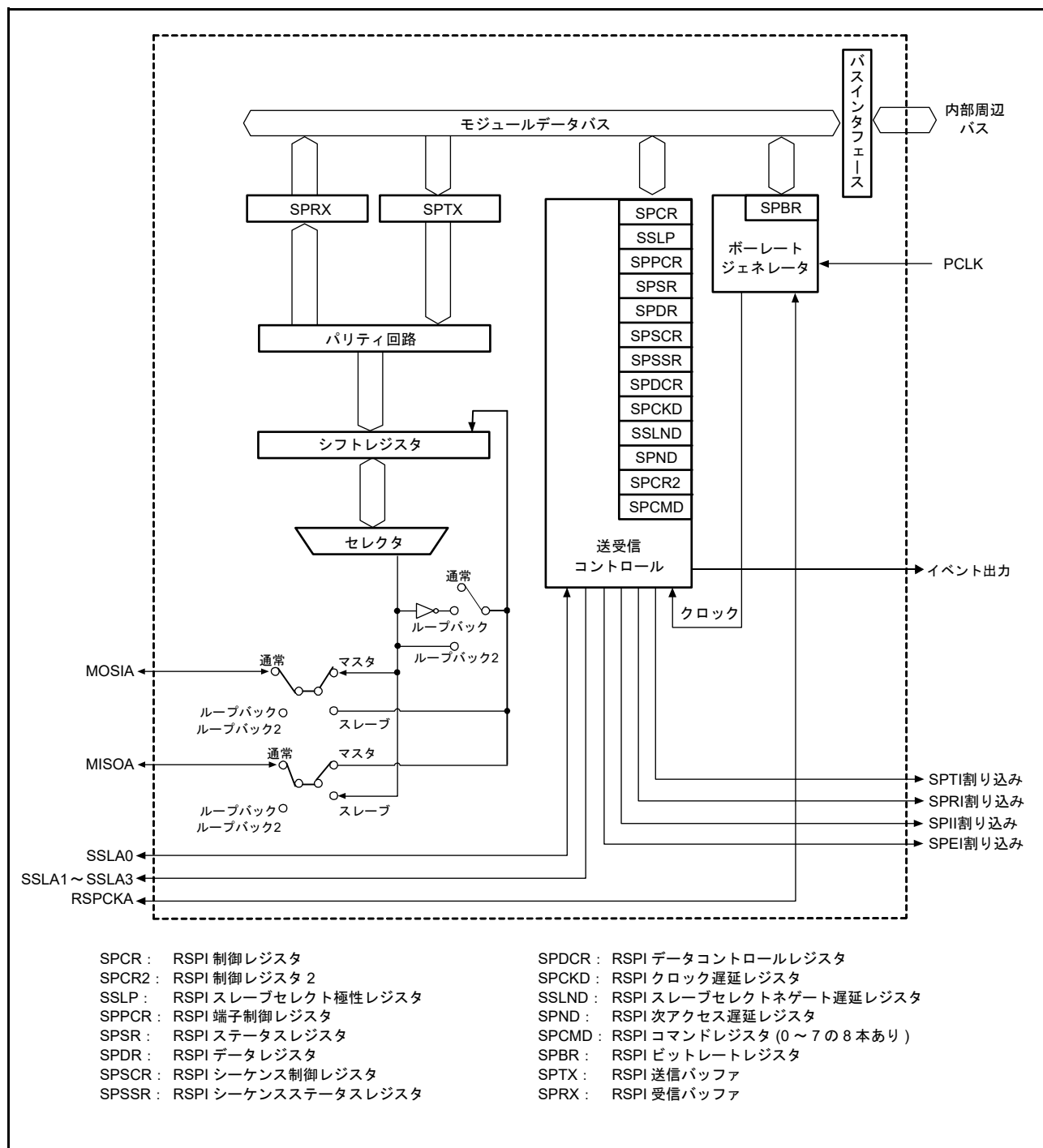


図 31.1 RSPI のブロック図

表 31.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ / スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「31.3.2 RSPI 端子の制御」を参照してください。

表31.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

31.2 レジスタの説明

31.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPI モード選択ビット(注1)	0 : SPI 動作(4 線式) 1 : クロック同期式動作(3 線式)	R/W
b1	TXMD	通信動作モード選択ビット(注1)	0 : 全二重通信(受信回路動作) 1 : 送信のみの単方向通信(受信回路停止)	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット(注1)	0 : モードフォルトエラー検出を禁止 1 : モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPI マスタ/スレーブモード選択ビット(注1)	0 : スレーブモード 1 : マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0 : エラー割り込み要求の生成を禁止 1 : エラー割り込み要求の生成を許可	R/W
b5	SPTIE	送信バッファエンブティ割り込み許可ビット	0 : 送信バッファエンブティ割り込み要求の生成を禁止 1 : 送信バッファエンブティ割り込み要求の生成を許可	R/W
b6	SPE	RSPI 機能許可ビット	0 : RSPI 機能は無効 1 : RSPI 機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0 : 受信バッファフル割り込み要求の生成を禁止 1 : 受信バッファフル割り込み要求の生成を許可	R/W

注1. SPE ビットが“1”の場合、MSTR ビット、MODFEN ビット、TXMD ビット、SPMS ビットの値を変更しないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作(4 線式)/クロック同期式動作(3 線式)を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ~ SSLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の3端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットを“0”にしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重通信、または送信のみの単方向通信を選択するためのビットです。

TXMD ビットを“1”にして通信を行う場合、送信動作のみを行い、受信動作を行いません(「31.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可 / 禁止するためのビットです (「31.3.9 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLA0 ~ SSLA3 端子の入出力方向を決定します (「31.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ / スレーブモード選択ビット)

RSPI のマスタ / スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0 ~ SSLA3 端子の方向を決定します。

SPEIE ビット (エラー割り込み許可ビット)

RSPI がモードフォルトエラーまたはアンダランエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合のエラー割り込み要求の生成を許可 / 禁止します。詳細については、「31.3.9 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の生成を許可 / 禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを“1”にすることで発生します。

RSPI 機能は無効 (SPE ビットが“0”) に遷移しても、SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効 / 無効を選択します。

SPSR.MODF フラグが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「31.3.9 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「31.3.10 RSPI の初期化」を参照してください。また、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出し、受信バッファフル割り込み要求の生成を許可 / 禁止します。

31.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SSLPレジスタを書き換えないでください。

31.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPI ループバックビット	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	RSPI ループバック 2 ビット	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSI アイドル固定値ビット	0 : MOSI アイドル時の MOSIA 端子の出力値は Low 1 : MOSI アイドル時の MOSIA 端子の出力値は High	R/W
b5	MOIFE	MOSI アイドル値固定許可ビット	0 : MOSI 出力値は前回転送の最終データ 1 : MOSI 出力値は MOIFV ビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPE ビットが“1”の場合、SPPCR レジスタを書き換えしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

31.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	R/(W) (注1)
b1	IDLNF	アイドルフラグ	0 : RSPIがアイドル状態 1 : RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0 : モードフォルトエラーなし、アンダランエラーなし 1 : モードフォルトエラーまたはアンダランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダランエラーフラグ	MODF フラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 b4 b2 0 0 : モードフォルトエラーなし、アンダランエラーなし 0 1 : モードフォルトエラー発生 1 1 : アンダランエラー発生	R/(W) (注1、 注2)
b5	SPTEF	送信バッファエンプティフラグ	0 : 送信バッファに有効なデータあり 1 : 送信バッファに有効なデータなし	R (注3)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0 : 受信バッファに有効なデータなし 1 : 受信バッファに有効なデータあり	R (注3)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. UDRF フラグを“0”にするときは、同時に MODF フラグも“0”にしてください。

注3. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「31.3.9.1 オーバランエラー」を参照ください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、かつ受信バッファがフルの状態で次の受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の条件がいずれも満たされないとき

【スレーブモード】

- SPCR.SPE ビットが “1” (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき
- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. SPSSR.SPCP[2:0] ビットが “000b”
 3. 最終ビットの送出が完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【スレーブモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーとアンダランエラーの発生を示します。モードフォルトエラーとアンダランエラーのどちらが発生したかは、UDRF フラグによって判別できます。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1” (マスタモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、SSLA_i 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLA_i 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが “1” (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

なお、SSLA_i 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを読んだ後、MODF フラグに “0” を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態を受信が終了し、パリティエラーが検出されたとき

[“0”になる条件]

- PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書いたとき

UDRF フラグ (アンダランエラーフラグ)

アンダランエラーが発生したことを示すフラグです。このフラグが“1”になると、MODF フラグも“1”になります。MODF フラグが“1”のときにこのフラグが“0”であれば、発生したエラーはモードフォルトエラーです。

[“1”になる条件]

- SPCR.MSTR ビットが“0” (スレーブモード)、SPCR.SPE ビットが“1” (RSPI機能は有効)で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

[“0”になる条件]

- UDRF フラグが“1”の状態の SPSR レジスタを読んだ後、UDRF フラグに“0”を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.SPE ビットが“0” (RSPI 初期化) のとき
- SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データが送信バッファからシフトレジスタに転送されたとき

[“0”になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0” (全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

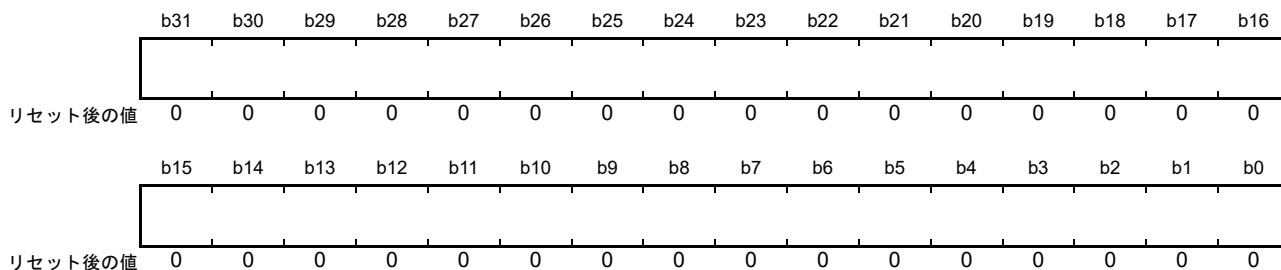
[“0”になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

31.2.5 RSPI データレジスタ (SPDR)

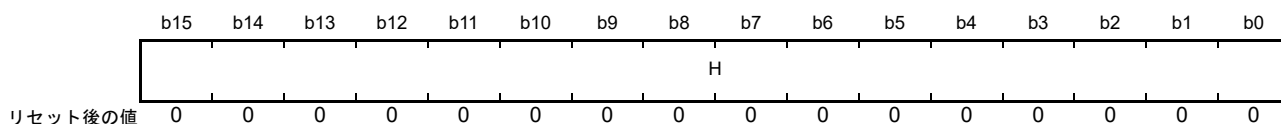
- ロングワードアクセス時

アドレス RSPI0.SPDR 0008 8384h



- ワードアクセス時

アドレス RSPI0.SPDR.H 0008 8384h



SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 31.2 に示します。

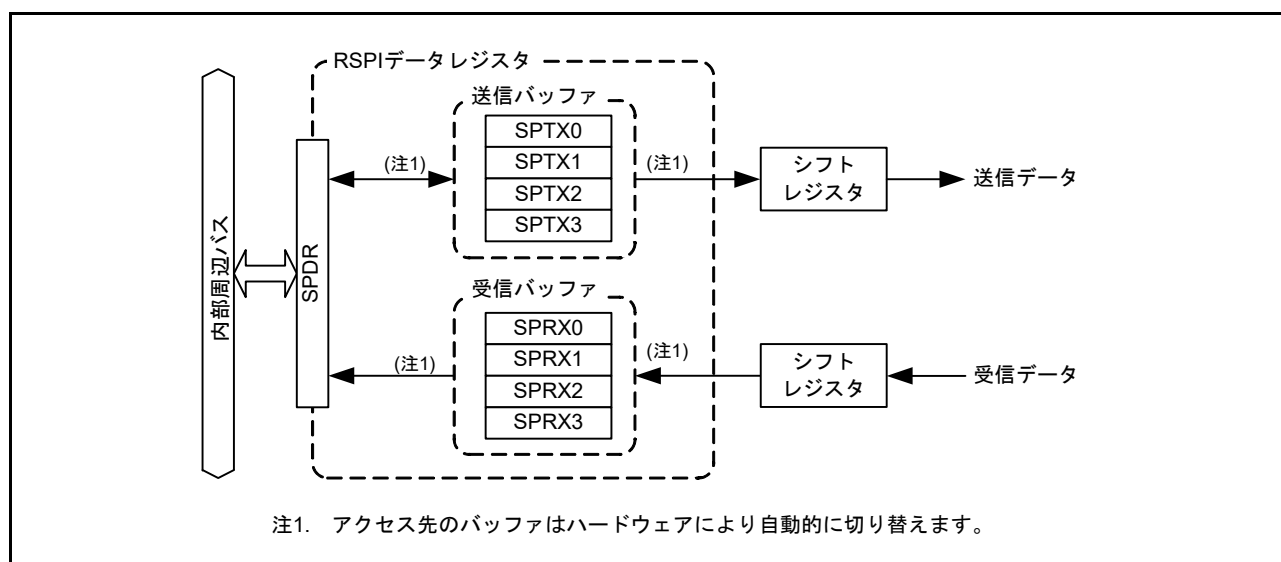


図 31.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTXn (n = 0 ~ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn (n = 0 ~ 3) の非参照ビットには、SPTXn (n = 0 ~ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 31.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

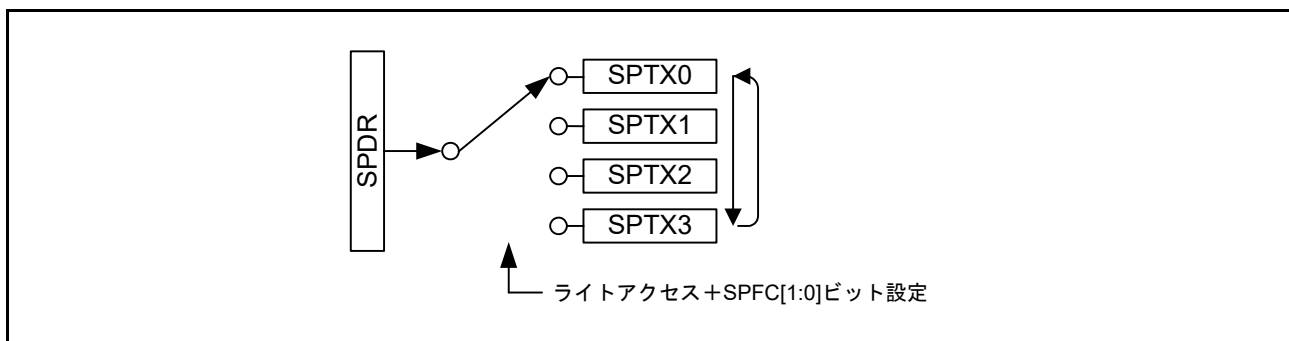


図 31.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序

SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .

SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .

SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .

SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定

したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 31.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

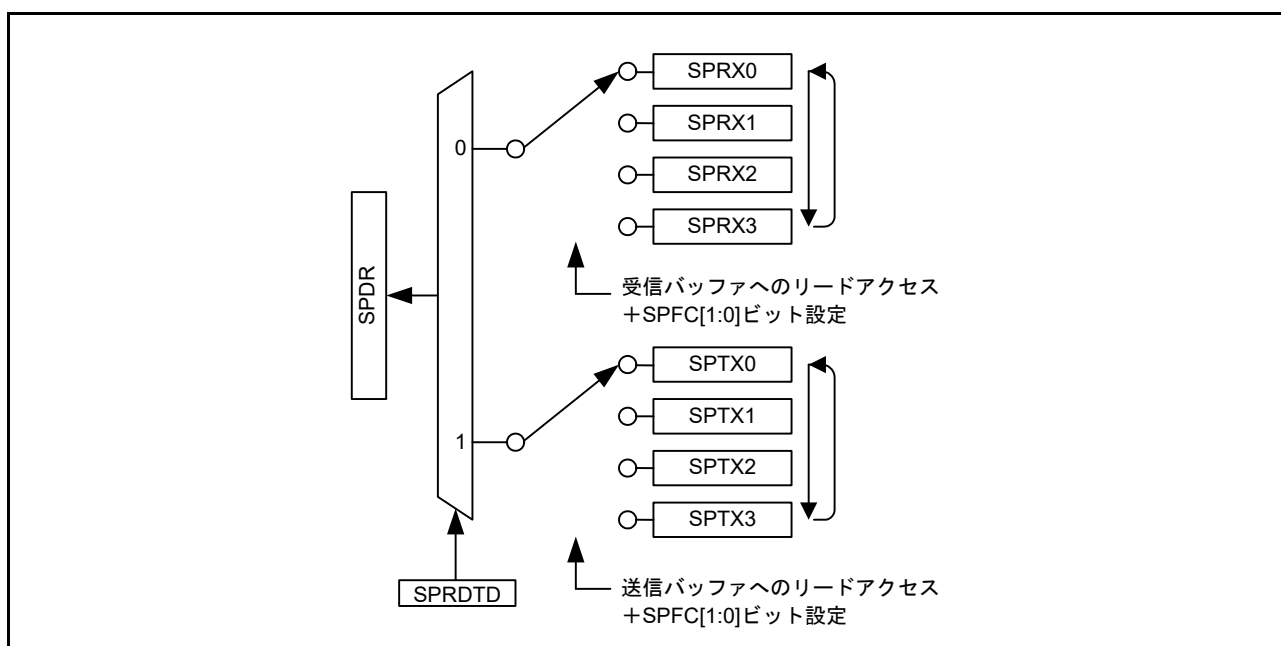


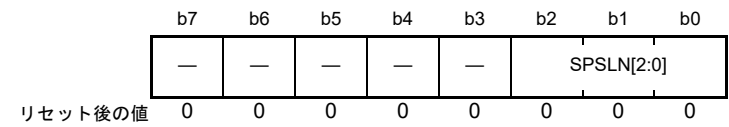
図 31.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が“0”の状態では“1”を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファの読み出し値は、すべて“0”となります。

31.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0～7レジスタ(番号) 0 0 0 : 1 0→0→... 0 0 1 : 2 0→1→0→... 0 1 0 : 3 0→1→2→0→... 0 1 1 : 4 0→1→2→3→0→... 1 0 0 : 5 0→1→2→3→4→0→... 1 0 1 : 6 0→1→2→3→4→5→0→... 1 1 0 : 7 0→1→2→3→4→5→6→0→... 1 1 1 : 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。 なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

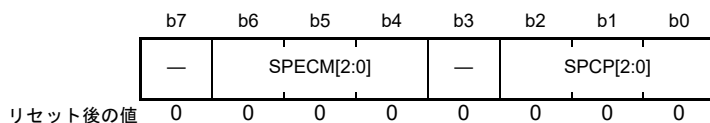
SPSCR レジスタは、RSPI がマスタモードで動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定します。マスタモードの RSPI は SPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照する SPCMD0～7 レジスタと参照順を変更します。
スレーブモードでは、SPCMD0 レジスタが参照されます。

31.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPI コマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPI エラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタモードで動作する場合のシーケンス制御の状態を示します。
 SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
 なお、RSPI のシーケンス制御については、「31.3.11.1 マスタモード動作」を参照してください。

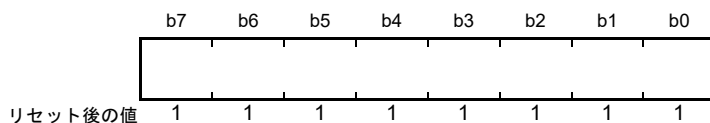
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「31.3.9 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「31.3.11.1 マスタモード動作」を参照してください。

31.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”の場合、SPBR レジスタを書き換えしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、 N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 31.3 に示します。

相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 31.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの 設定値 (n)	BRDV[1:0] ビット の設定値 (N)	分周比	ビットレート PCLK = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

31.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1 回の転送起動) フレーム数を設定します。SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、受信バッファフル割り込みが発生したり、送信バッファエンpty割り込みが発生したり、送信が開始されたりするフレーム数も変更されます。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンpty割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり受信バッファフル割り込みが発生します。

表 31.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。

表 31.4 SPSLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「31.2.5 RSPI データレジスタ (SPDR)」を参照してください。

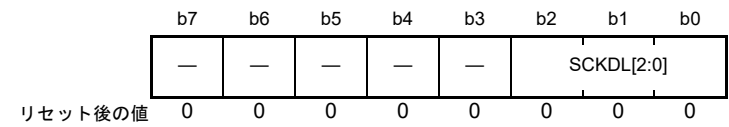
SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ～ 16 ビットに設定してください。20、24、32 ビットは選択しないでください。

31.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2b0 000: 1 RSPCK 001: 2 RSPCK 010: 3 RSPCK 011: 4 RSPCK 100: 5 RSPCK 101: 6 RSPCK 110: 7 RSPCK 111: 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

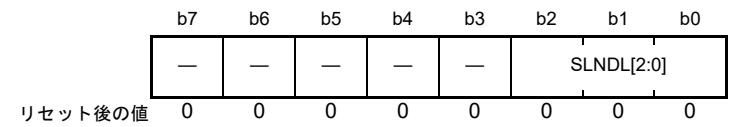
SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPCKD レジスタを書き換えしないでください。

SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

- SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。
- RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

31.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

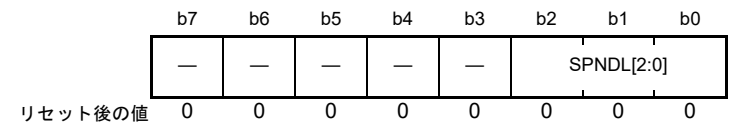
SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSLAi 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の場合、SSLND レジスタを書き換えしないでください。

SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

SPCMDm.SLNDEN ビットが “1” の場合の SSL ネゲート遅延値を設定します。
RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを “000b” にしてください。

31.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2b0 000: 1 RSPCK + 2 PCLK 001: 2 RSPCK + 2 PCLK 010: 3 RSPCK + 2 PCLK 011: 4 RSPCK + 2 PCLK 100: 5 RSPCK + 2 PCLK 101: 6 RSPCK + 2 PCLK 110: 7 RSPCK + 2 PCLK 111: 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態で、シリアル転送終了後の SSLAi 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPND レジスタを書き換えしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。
RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

31.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKAS E	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット(注1)	0 : 送信データにパリティビットを付加しない 受信データのパリティチェックを行わない 1 : 送信データにパリティビットを付加する 受信データのパリティチェックを行う	R/W
b1	SPOE	パリティモードビット(注1)	0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W
b2	SPIIE	アイドル割り込み許可ビット	0 : アイドル割り込み要求の生成を禁止 1 : アイドル割り込み要求の生成を許可	R/W
b3	PTE	パリティ自己診断ビット	0 : パリティ回路自己診断機能は無効 1 : パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK 自動停止機能許可ビット (注1)	0 : RSPCK 自動停止機能が無効 1 : RSPCK 自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPCR.SPE ビットが“1”の場合、SPPE、SPOE、SCKASE ビットの設定値を変更しないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”の時のみ有効です。

SPIIE ビット (アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、アイドル割り込み要求の生成を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「31.3.9.1 オーバランエラー」を参照ください。

31.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,
RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,
RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SKDEN	SLDEN	SPDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA	
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0 : アイドル時のRSPCKがLow 1 : アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0 : ベースのビットレートを選択 0 1 : ベースのビットレートの2分周を選択 1 0 : ベースのビットレートの4分周を選択 1 1 : ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0 : SSL0 0 0 1 : SSL1 0 1 0 : SSL2 0 1 1 : SSL3 1 x x : 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0 : 転送終了時に全SSL信号をネゲート 1 : 転送終了後から次アクセス開始までSSL信号レベルを保持(パースト転送)	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100 ~ 0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0 : MSB ファースト 1 : LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0 : 次アクセス遅延は1 RSPCK + 2 PCLK 1 : 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0 : SSLネゲート遅延は1 RSPCK 1 : SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0 : RSPCK遅延は1 RSPCK 1 : RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが “0”、SPCR.SPE ビットが “1” の場合、SPCMDm レジスタを書き換えしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード / スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード / スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「31.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを “000b” にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを “000b” にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを “1” とすることによってバースト転送が可能となります。詳細は「31.3.11.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを “0” にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードの RSPI の転送データ長を設定します。SPDCR.SPLW ビットが“0”のときは、“0100b”(8 ビット)～“1111b”(16 ビット)の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードの RSPI がシリアル転送を終了して SSLAi 信号を非アクティブにしてから、次アクセスの SSLAi 信号アサートが可能にするまでの期間(次アクセス遅延)を設定します。SPNDEN ビットが“0”のとき、RSPI は次アクセス遅延を $1 \text{ RSPCK} + 2 \text{ PCLK}$ にします。SPNDEN ビットが“1”のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSLAi 信号を非アクティブにするまでの期間(SSL ネゲート遅延)を設定します。SLNDEN ビットが“0”のとき、RSPI は SSL ネゲート遅延を 1 RSPCK にします。SLNDEN ビットが“1”のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSLAi 信号をアクティブにしてから RSPCK を発振するまでの期間(RSPCK 遅延)を設定します。SCKDEN ビットが“0”のとき、RSPI は RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが“1”のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

31.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

31.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 31.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 31.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	SPI 動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKA 信号	入力	出力	出力 /Hi-Z(注 1)	入力	出力
MOSIA 信号	入力	出力	出力 /Hi-Z(注 1)	入力	出力
MISOA 信号	出力 /Hi-Z(注 2)	入力	入力	出力	入力
SSLA0 信号	入力	出力	入力	Hi-Z(注 3)	Hi-Z(注 3)
SSLA1 ~ SSLA3 信号	Hi-Z(注 3)	出力	出力 /Hi-Z(注 1)	Hi-Z(注 3)	Hi-Z(注 3)
SSL 極性変更機能	あり	あり	あり	—	—
転送レート	~ PCLK/6	~ PCLK/2	~ PCLK/2	~ PCLK/6	~ PCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	RSPCK 発振	送信バッファエンブティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ検出	あり				
受信バッファフル検出	あり (注 4)				
オーバランエラー検出	あり (注 4)	あり (注 4、注 6)	あり (注 4、注 6)	あり (注 4)	あり (注 4、注 6)
アンダランエラー検出	あり	なし	なし	あり	なし
パリティエラー検出	あり (注 4、注 5)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注 1. SSLA0 が他のマスタによってアサートされると、端子が Hi-Z になります。

注 2. SSLA0 がネゲートされているまたは SPCR.SPE ビットが "0" の場合、端子が Hi-Z になります。

注 3. 本モードでは使用しません。

注 4. SPCR.TXMD ビットが "1" のときは、受信バッファフル、オーバランエラー、パリティエラーの検出を行いません。

注 5. SPCR2.SPPE ビットが "0" のときは、パリティエラーの検出を行いません。

注6. SPCR2.SCKASE ビットが“1”のときは、オーバーランエラーの検出を行いません。

31.3.2 RSPI 端子の制御

シングルマスタモード(SPI 動作)、マルチマスタモード(SPI 動作)のRSPIは、SPPCR.MOIFE、MOIFV ビットの設定に従って、SSL ネゲート期間(バースト転送におけるSSL 保持期間を含む)のMOSI 信号値を表 31.6 のように決定します。

表 31.6 SSL ネゲート期間のMOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間のMOSI 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

31.3.3 RSPI システム構成例

31.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 31.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力 Low に固定して、SPI スレーブを選択できる状態にします。(注 1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

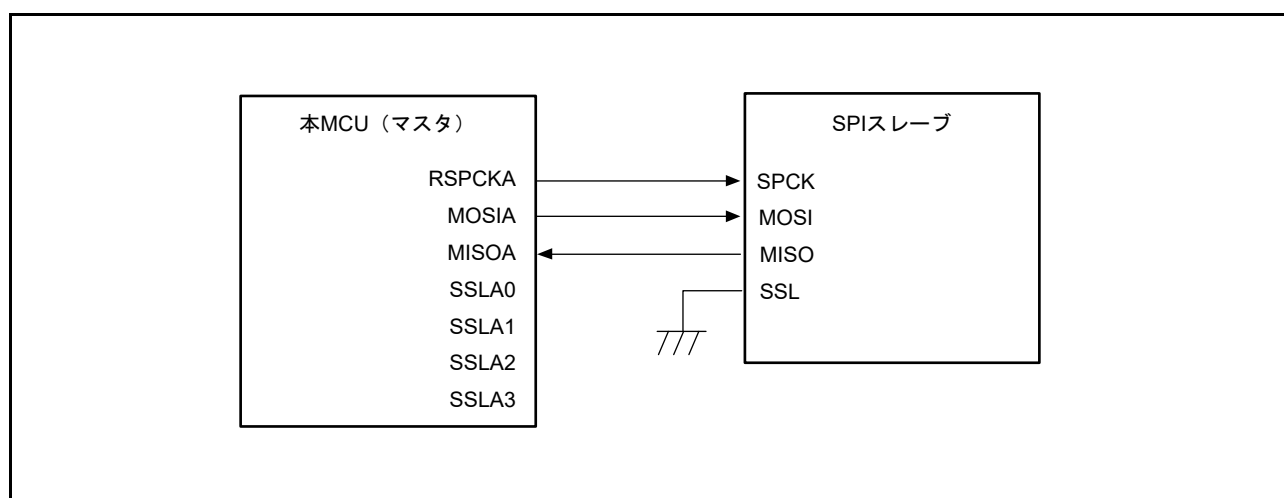


図 31.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

31.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 31.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 31.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

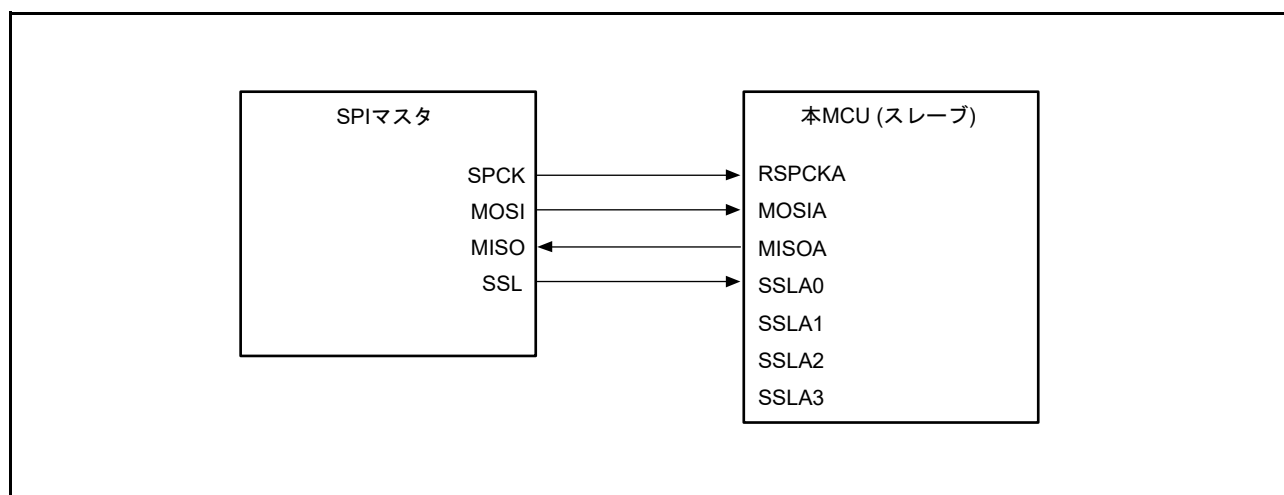


図 31.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

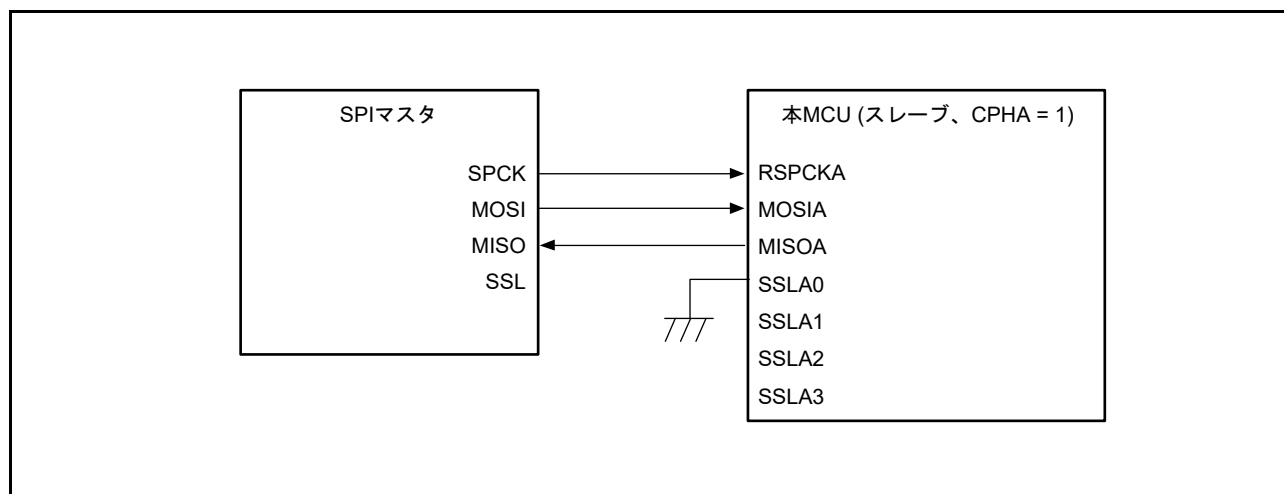


図 31.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

31.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 31.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 31.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

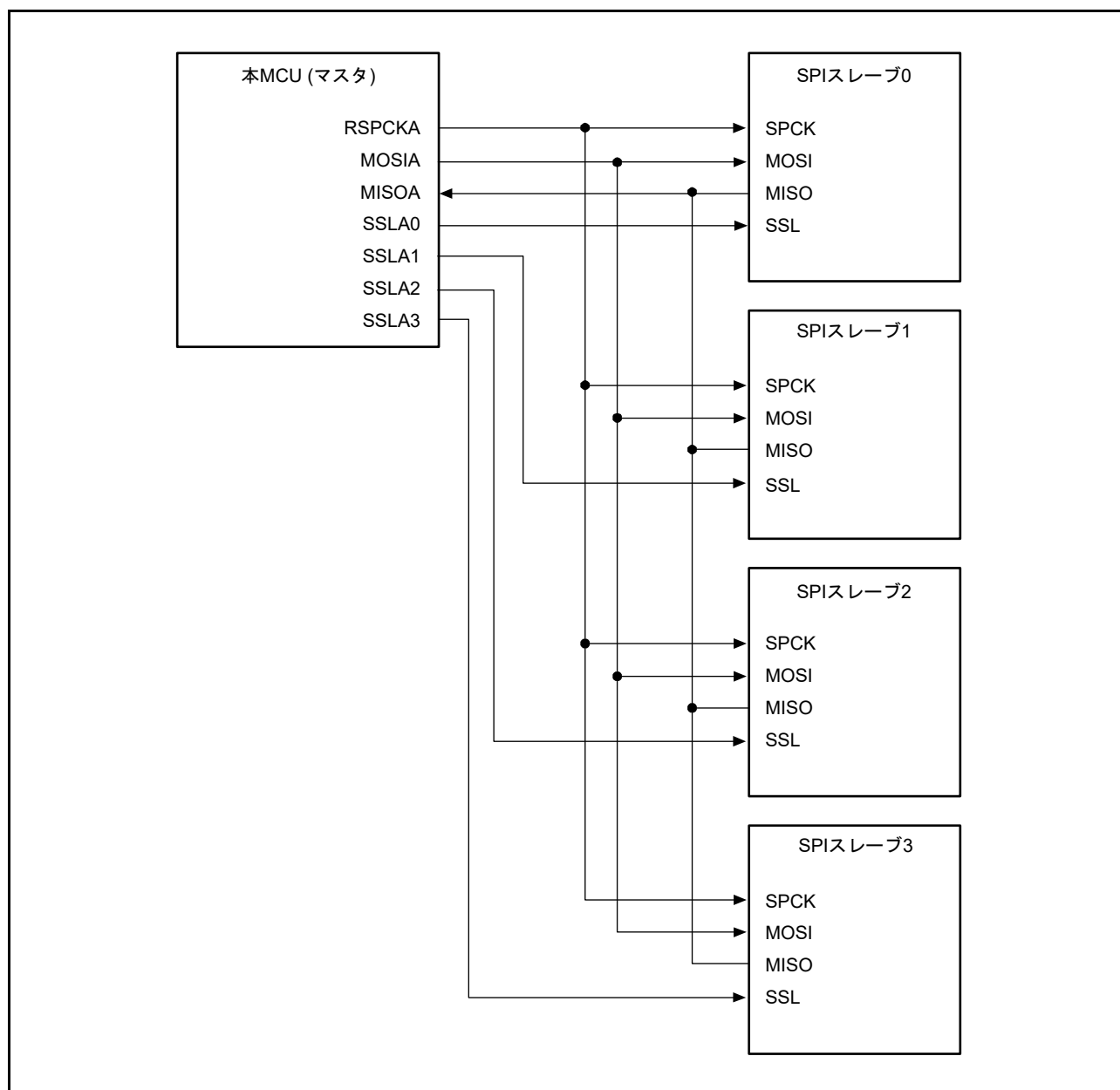


図 31.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

31.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 31.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 31.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

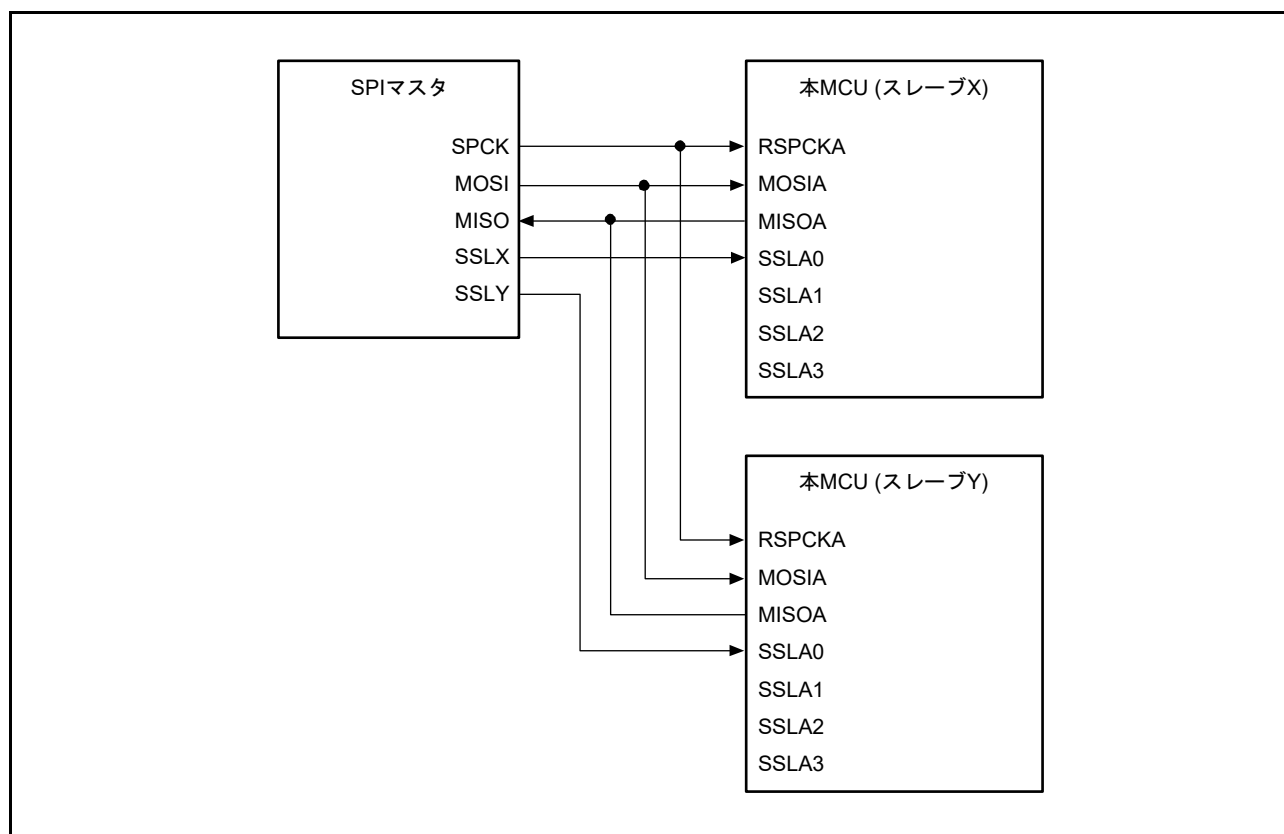


図 31.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

31.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 31.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 31.10 の例では、2 つの本 MCU (マスタ X、マスタ Y) と 2 つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

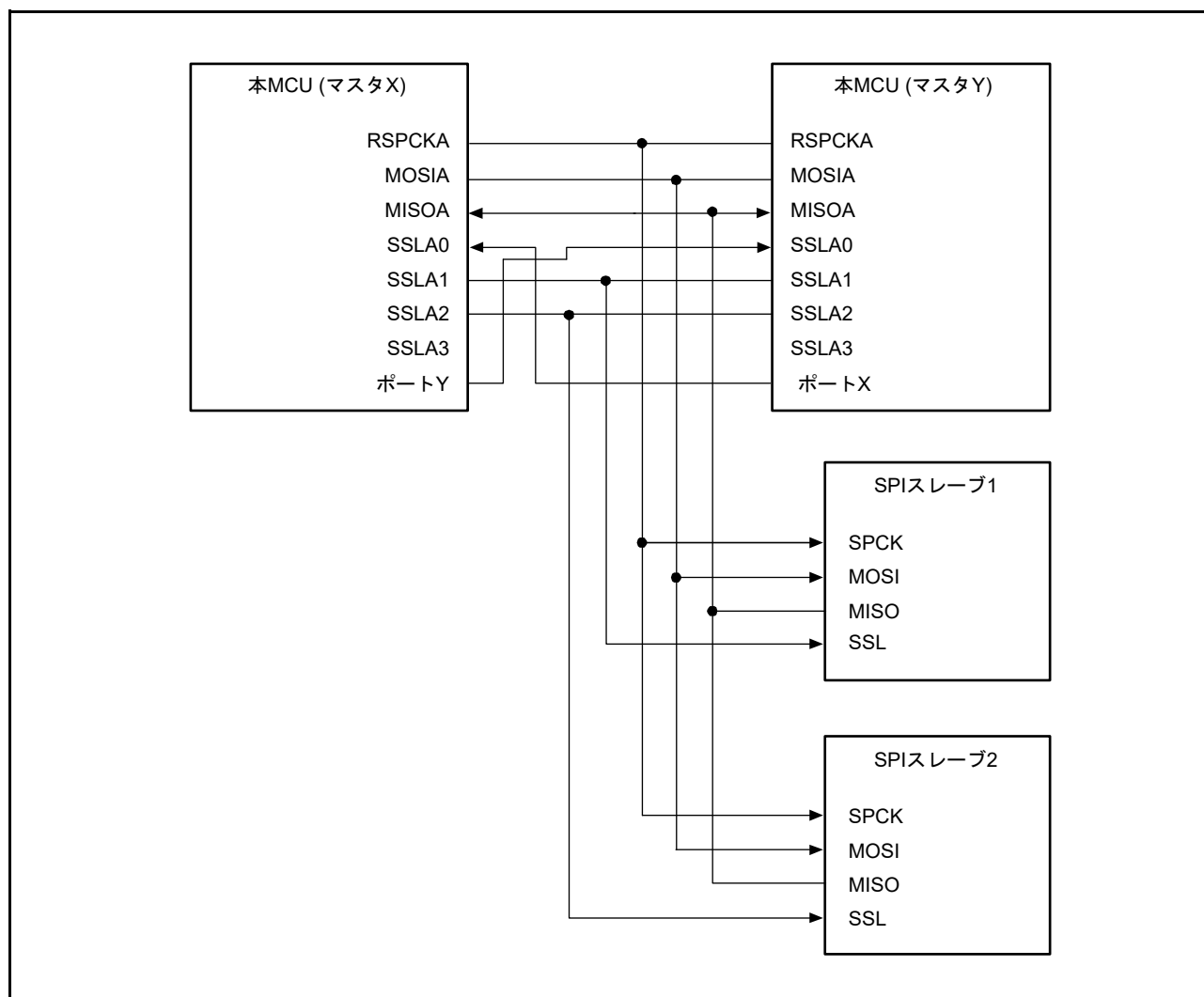


図 31.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

31.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 31.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

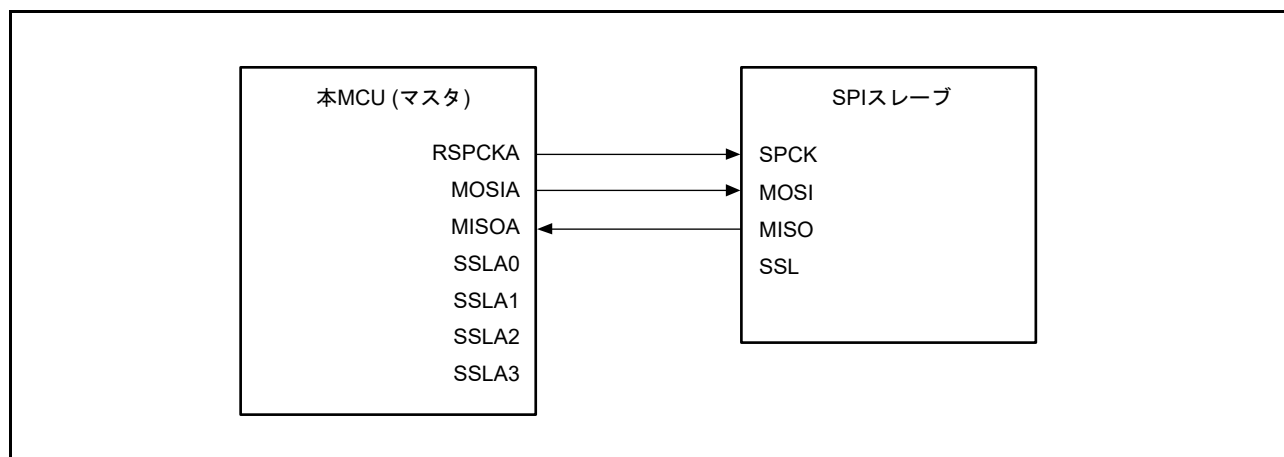


図 31.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

31.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 31.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

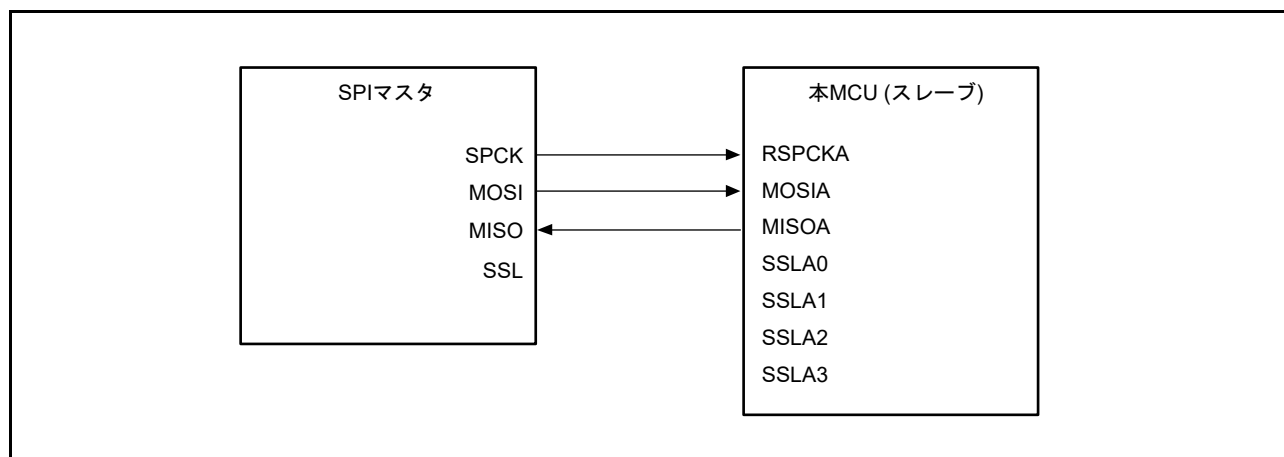


図 31.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

31.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

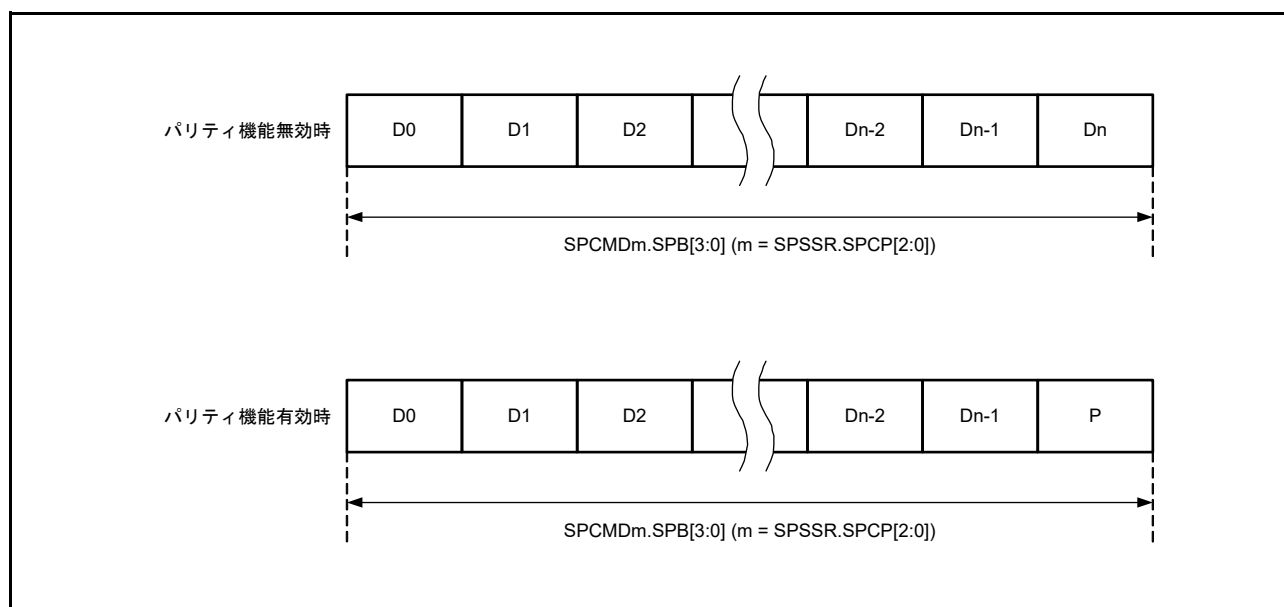


図 31.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

31.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 31.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

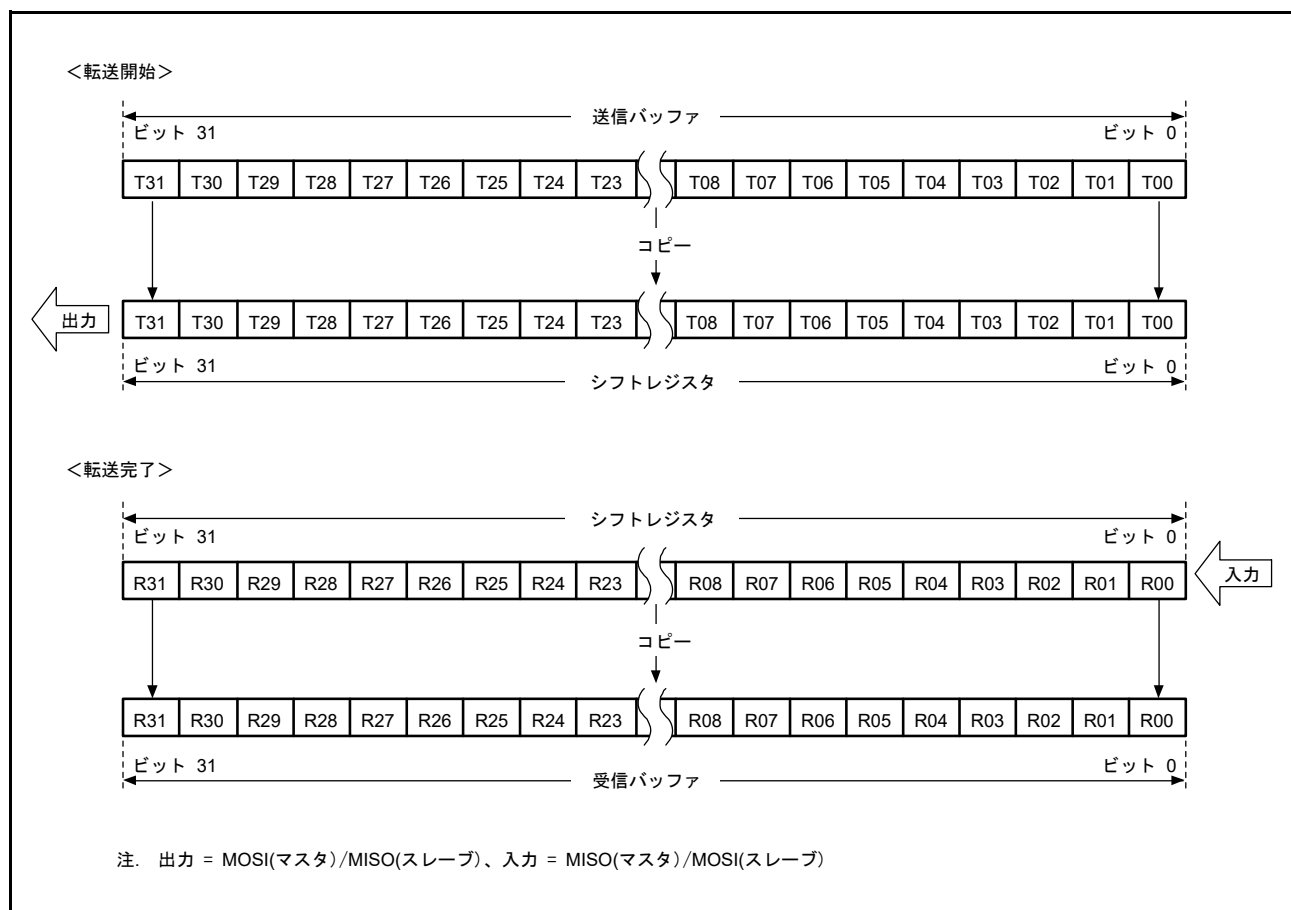


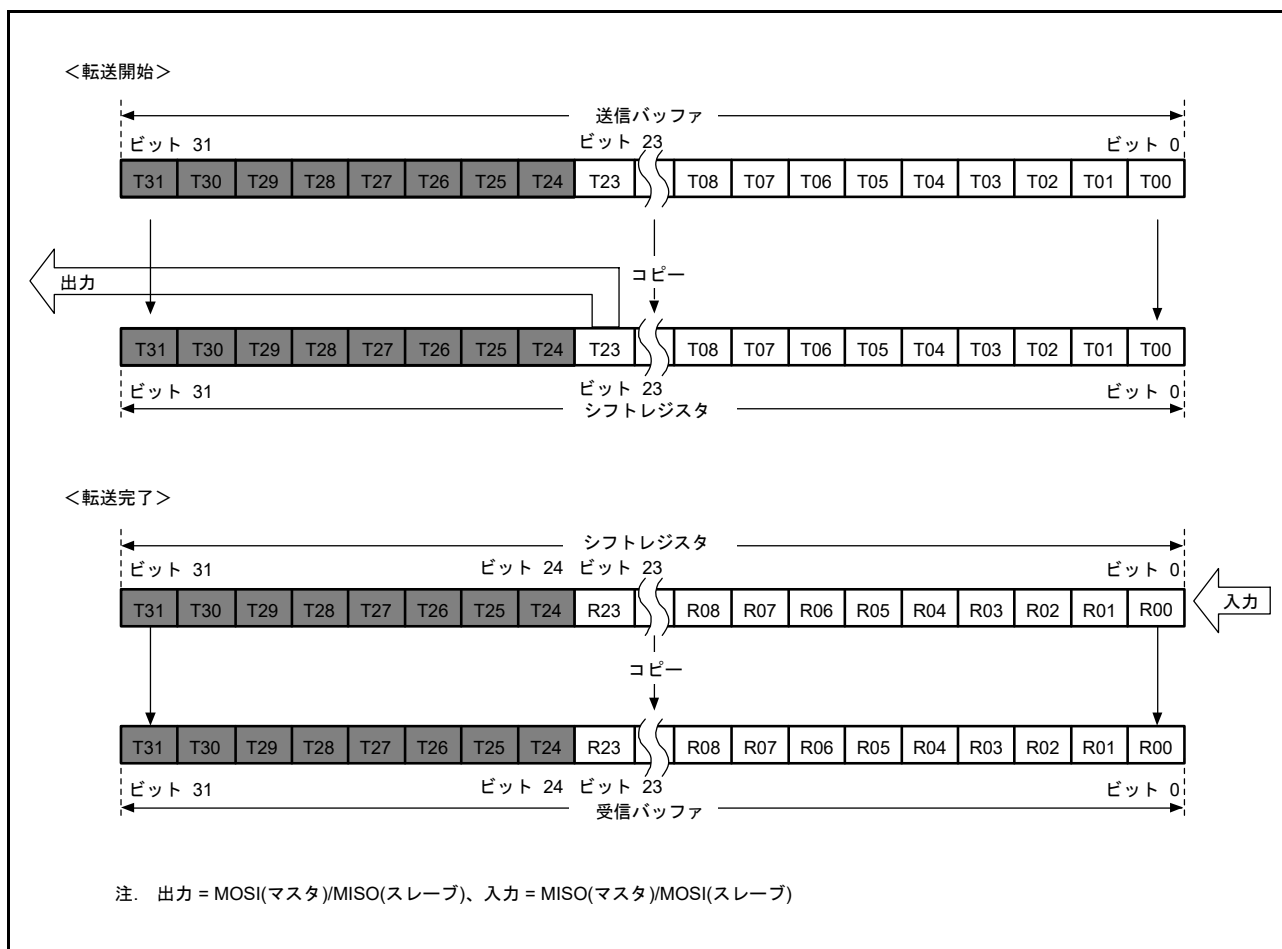
図 31.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 31.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → ・ ・ ・ T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。



(3) LSB ファースト転送 (32 ビットデータ)

図 31.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

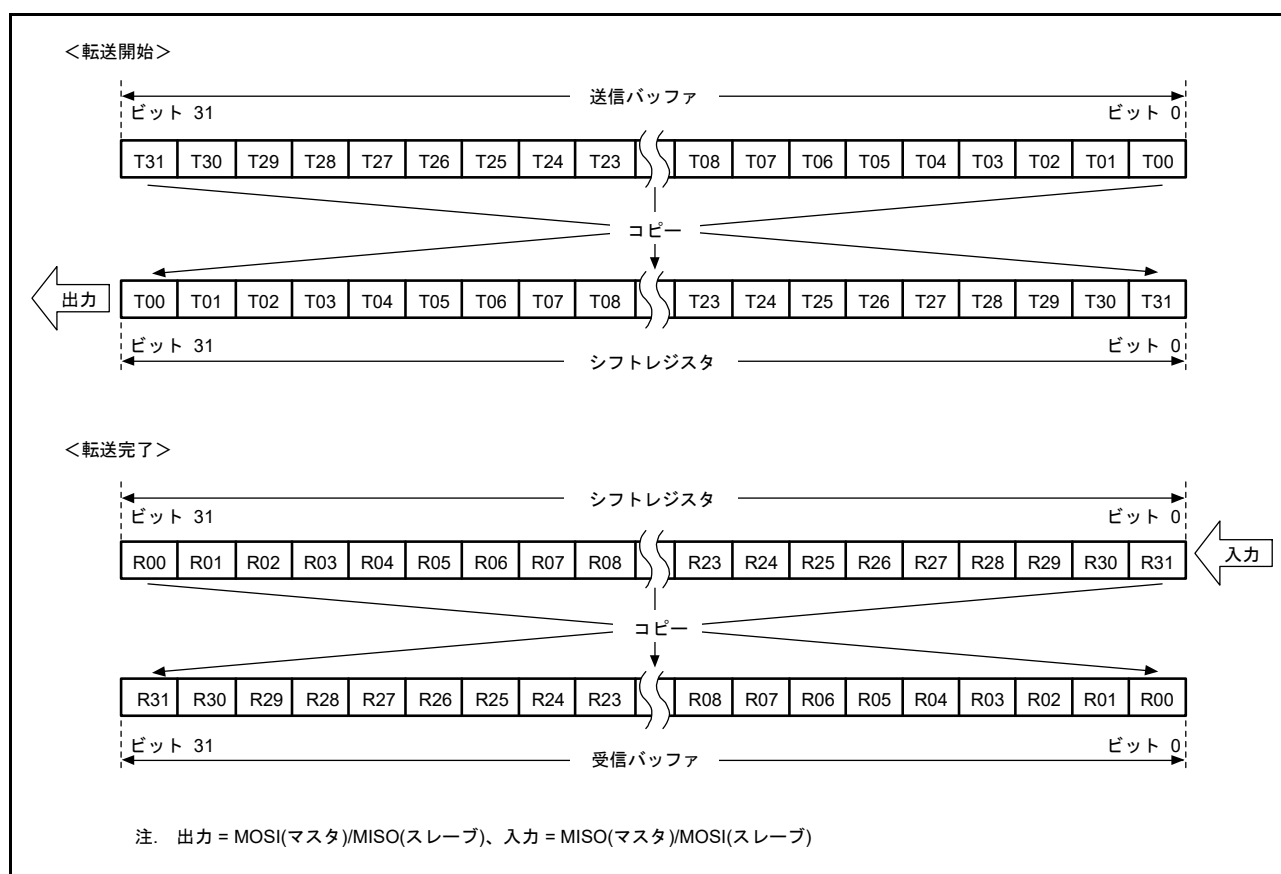


図 31.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 31.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

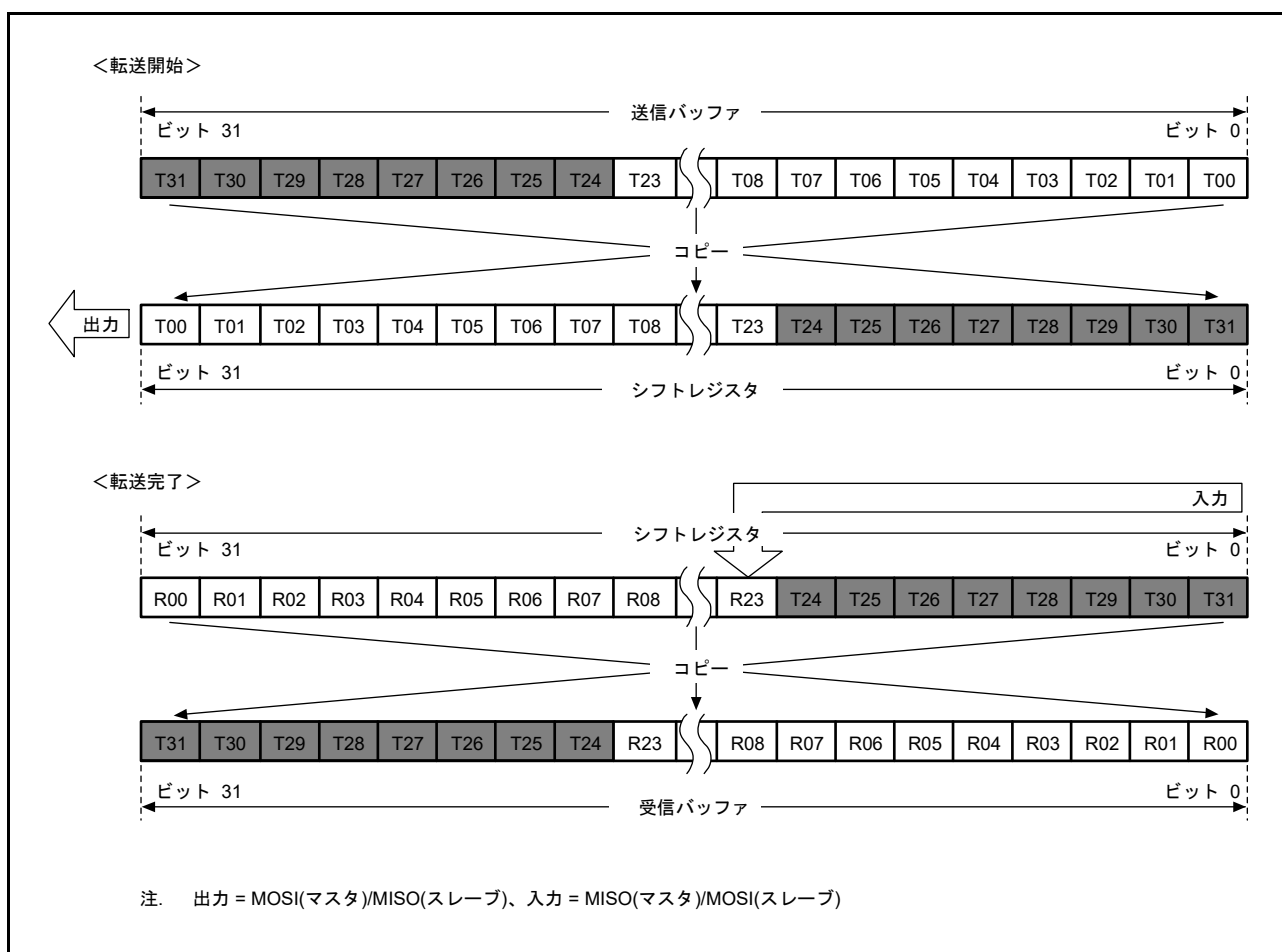


図 31.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

31.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 31.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

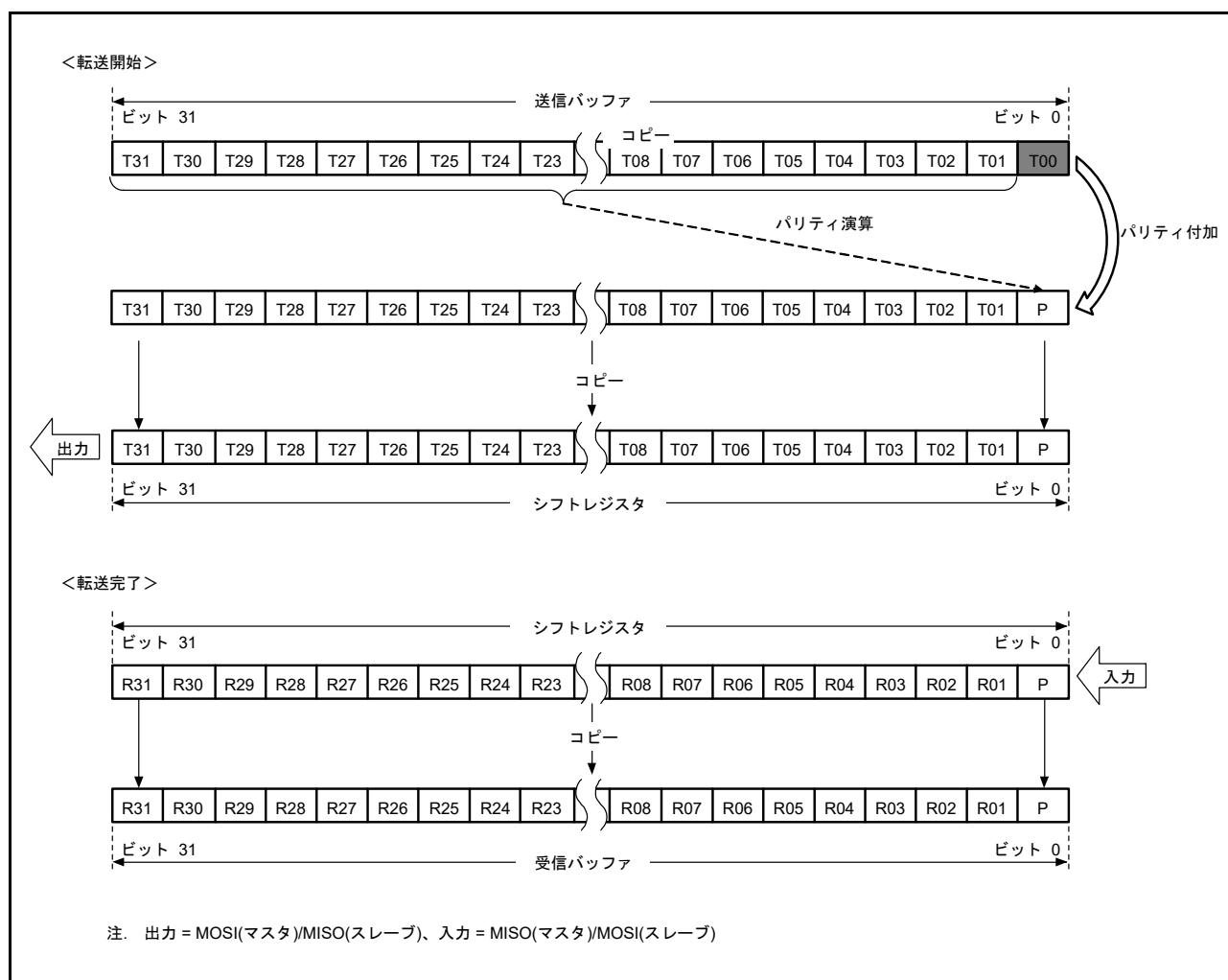


図 31.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 31.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → ・ ・ ・ T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

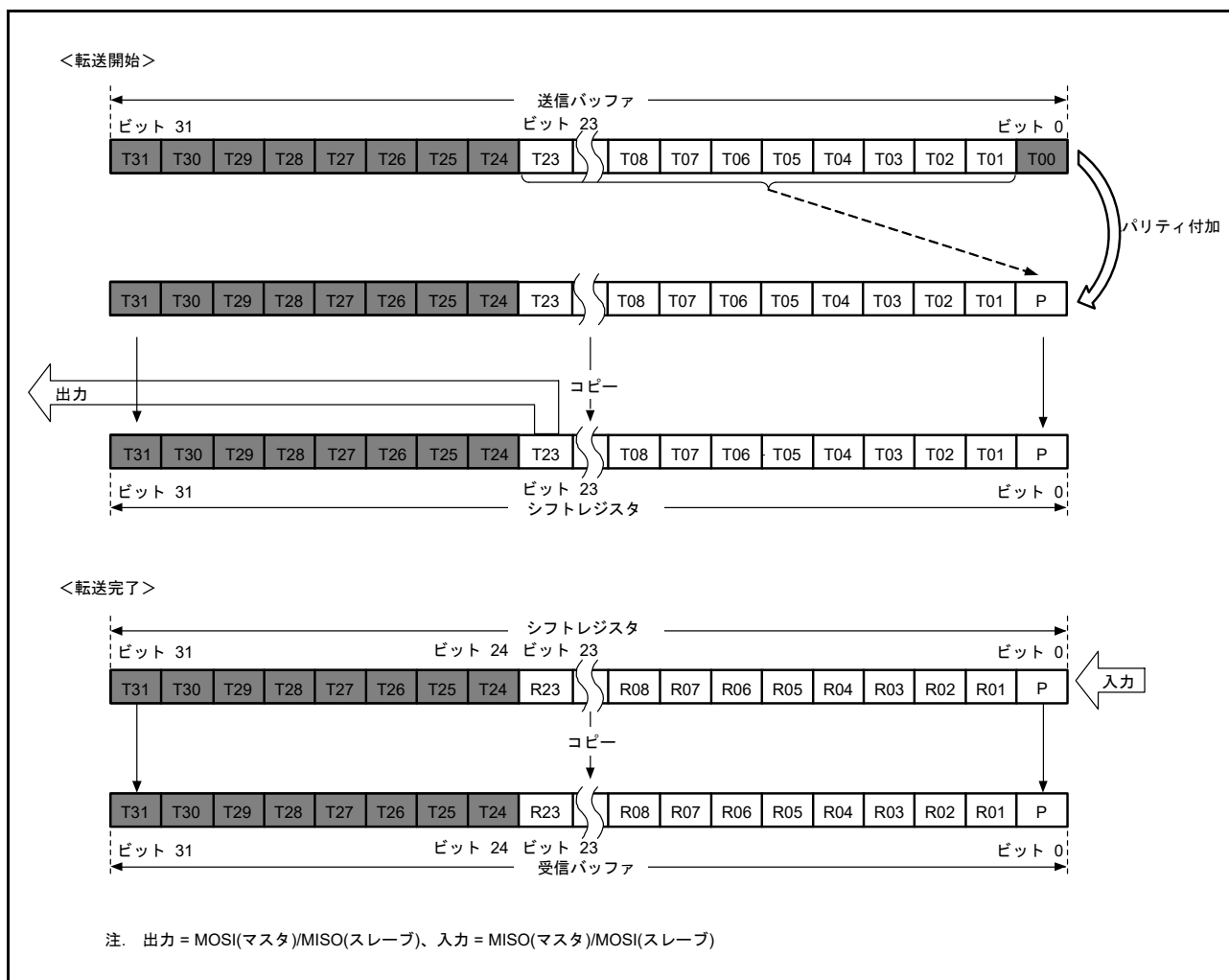


図 31.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 31.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → …… T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ～ P まで受信データがたまと、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。

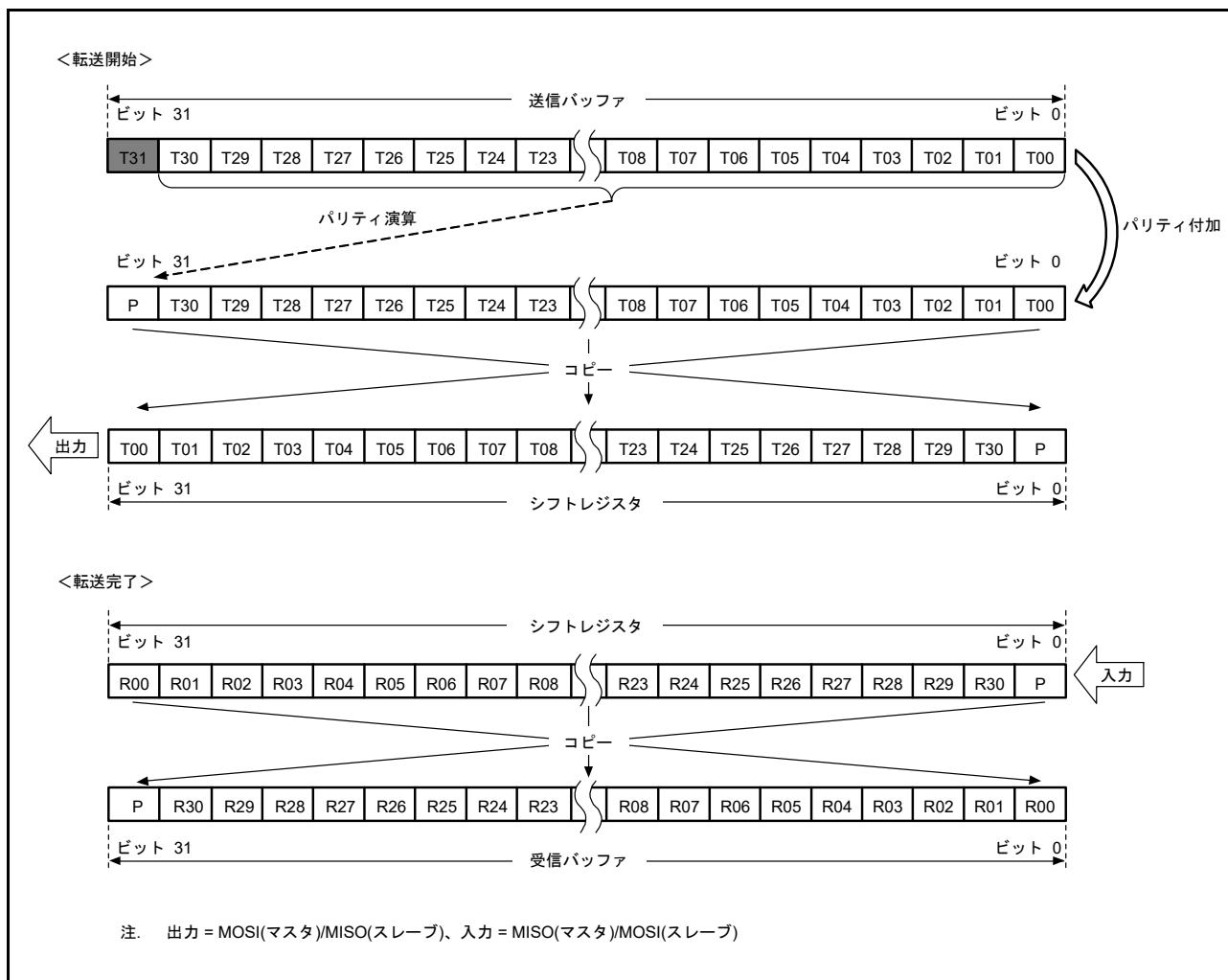


図 31.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 31.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

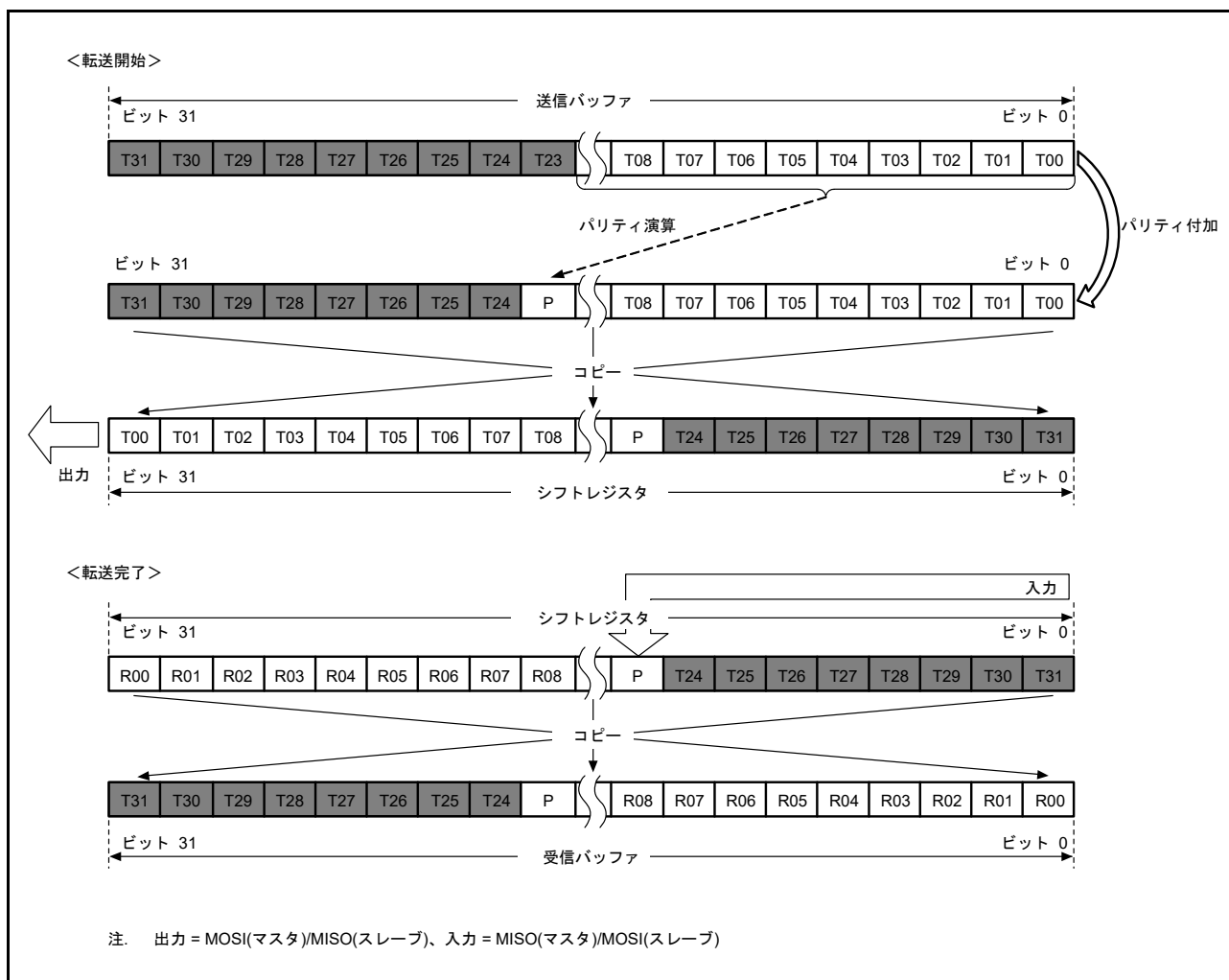


図 31.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

31.3.5 転送フォーマット

31.3.5.1 CPHA ビット = 0 の場合

図 31.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 31.22 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「31.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「31.3.11.1 マスタモード動作」を参照してください。

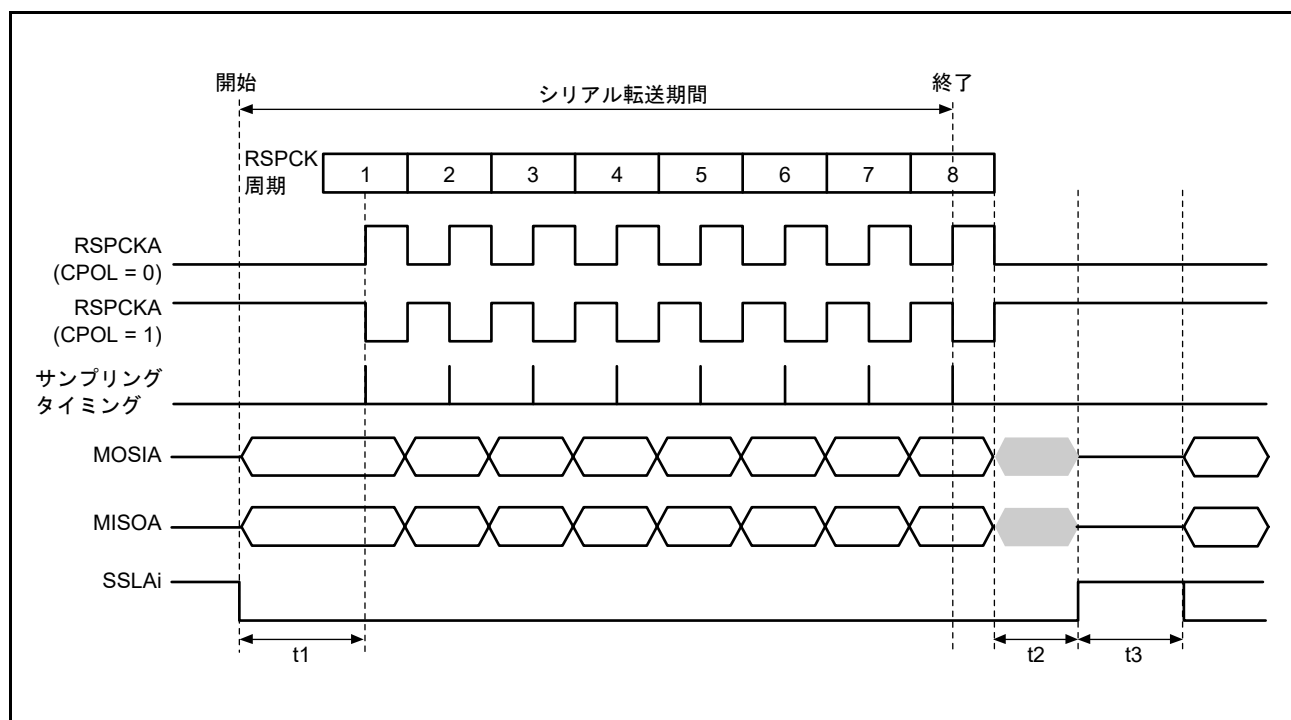


図 31.22 RSPI 転送フォーマット (CPHA ビット = 0)

31.3.5.2 CPHA ビット = 1 の場合

図 31.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 31.23 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード(マスタ/スレーブ)に依存します。詳細は「31.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「31.3.11.1 マスタモード動作」を参照してください。

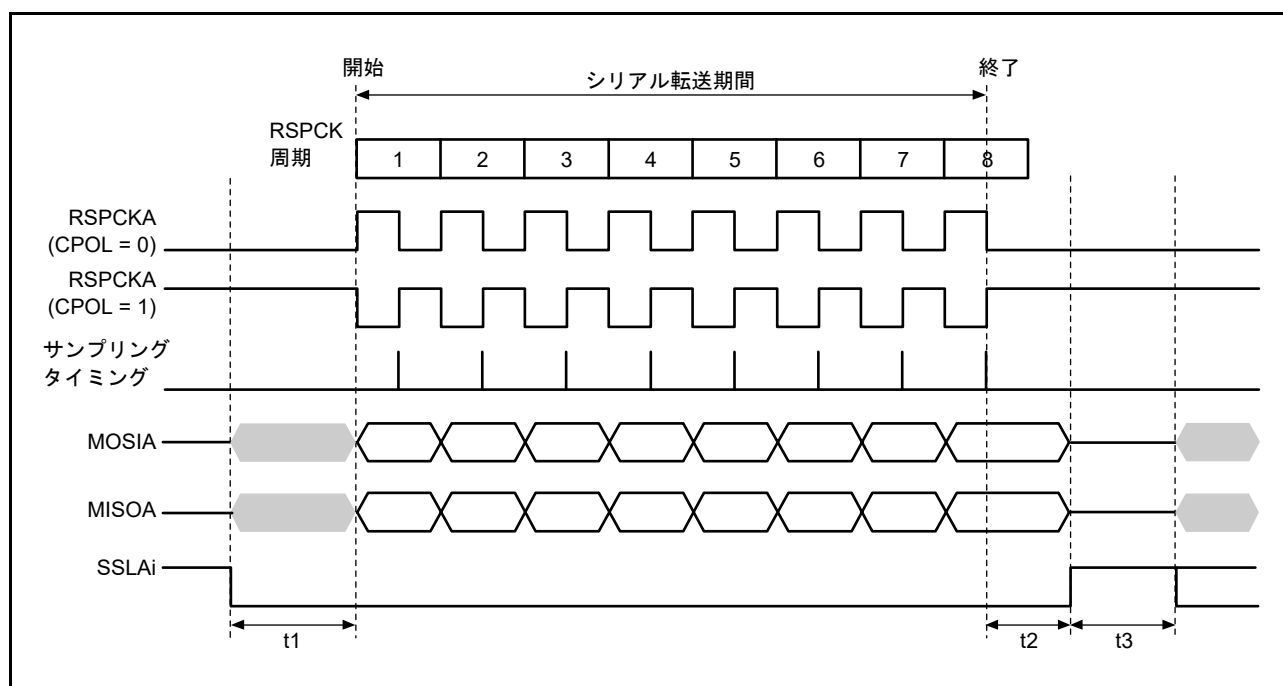


図 31.23 RSPI 転送フォーマット (CPHA ビット = 1)

31.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重通信または送信のみの単方向通信を選択します。

図 31.24、図 31.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

31.3.6.1 全二重通信 (SPCR.TXMD = 0)

図 31.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 31.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

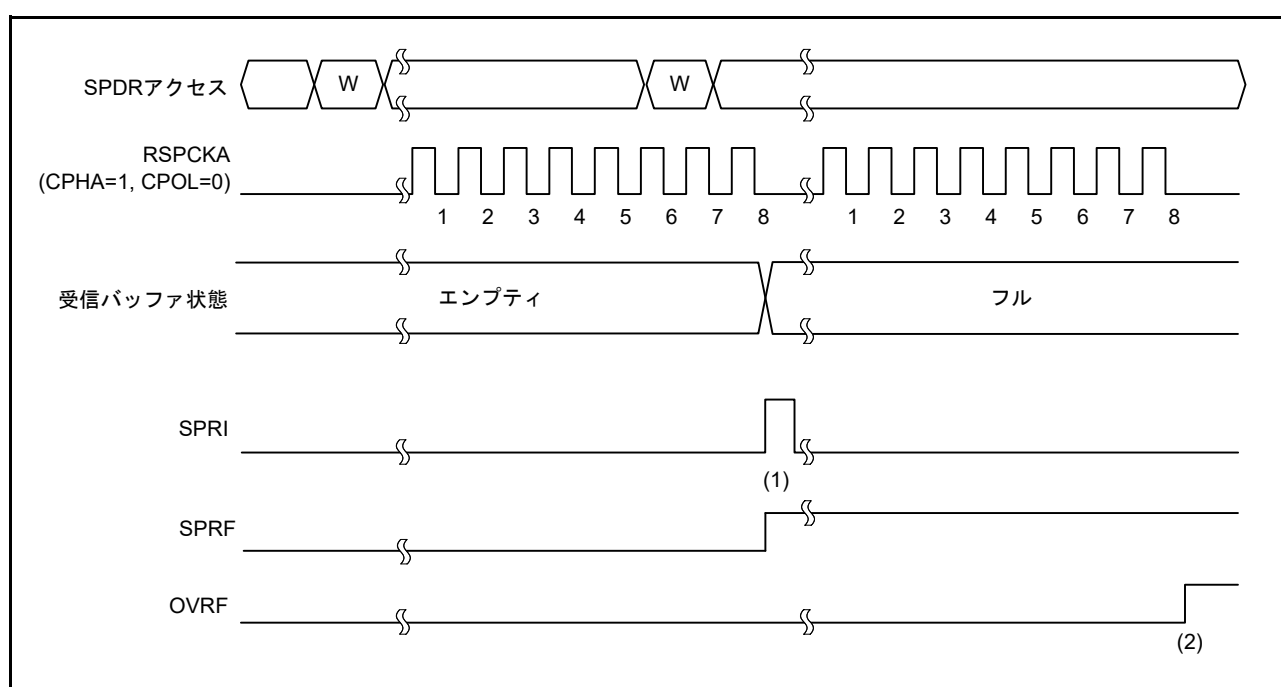


図 31.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

31.3.6.2 送信のみの単方向通信 (SPCR.TXMD = 1)

図 31.25 に、SPCR.TXMD ビットを“1”にした場合の動作例を示します。図 31.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

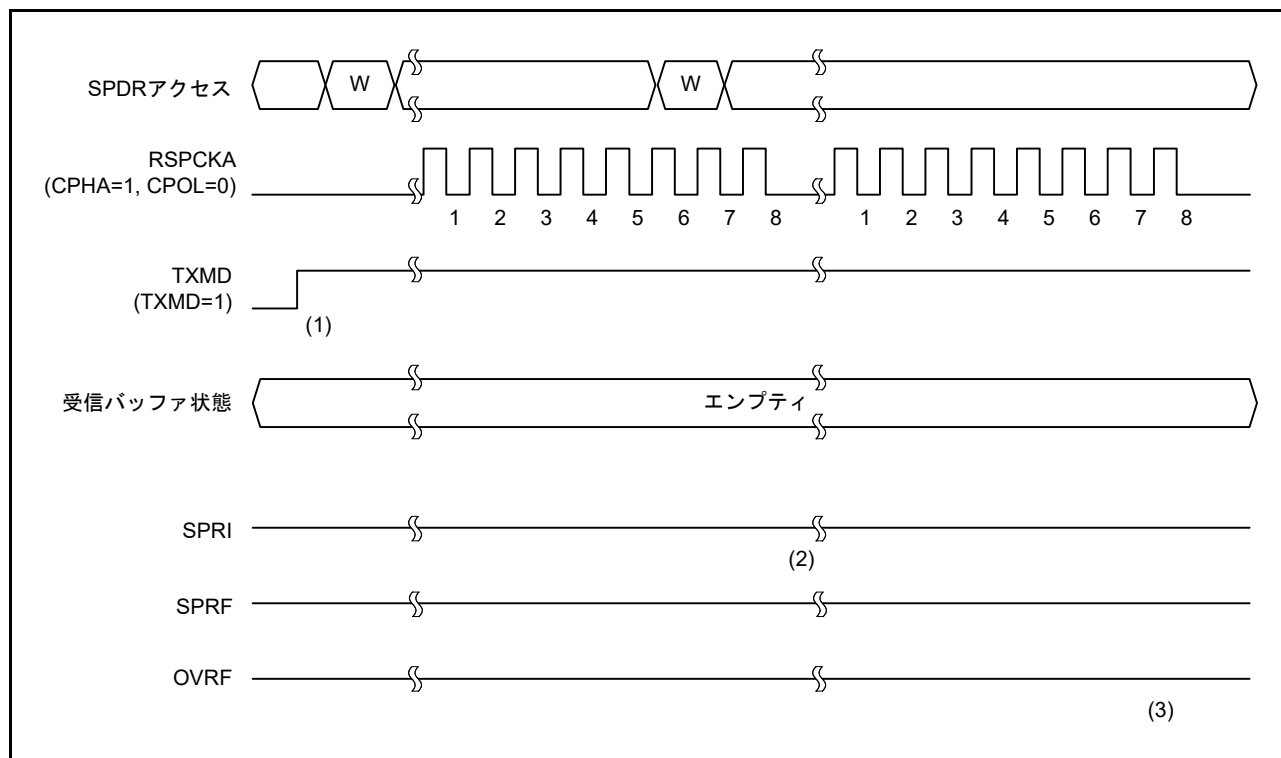


図 31.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみの単方向通信 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみの単方向通信 (SPCR.TXMD = 1) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみの単方向通信時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

31.3.7 送信バッファエンプティ / 受信バッファフル割り込み

図 31.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 31.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 31.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

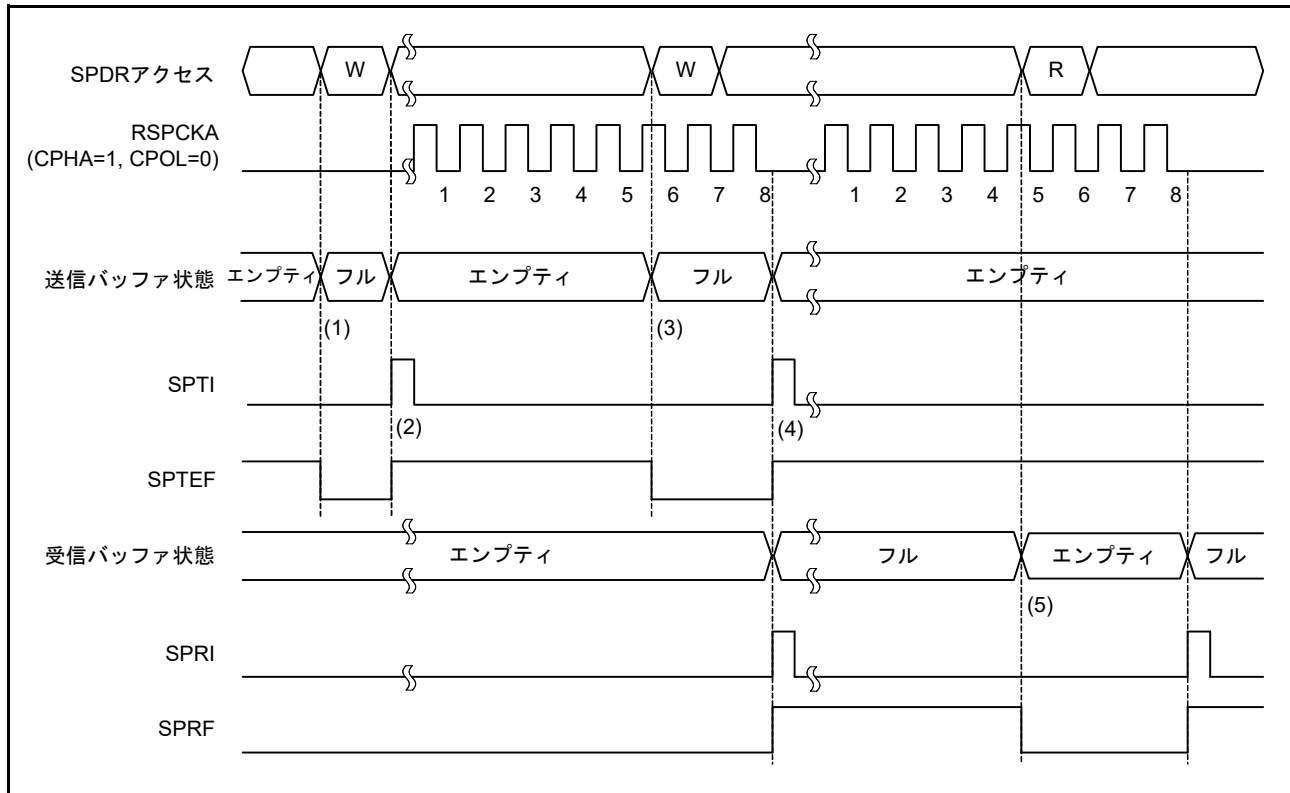


図 31.26 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を生成し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「31.3.11 SPI 動作」、「31.3.12 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を生成し、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが“0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

SPCR.SPE ビットを“0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に“0”にしてください。SPCR.SPE ビットが“0”のときに SPCR.SPTIE ビットが“1”であると、送信バッファエンプティ割り込み要求が発生します。

受信バッファフル (SPRF フラグが“1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「31.3.9 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、SPTEF フラグ / SPRF フラグによって確認することもできます。

31.3.8 アイドル割り込み

SPCR2.SPIIE ビットが“1”のときに SPSR.IDLNF フラグが“0”になると、アイドル割り込み要求 (SPII) が発生します。

マスタモード時は送信開始前も IDLNF フラグが“0”なので、このときにアイドル割り込みが発生しないように、送信バッファにデータを書いて IDLNF フラグが“1”になった後に SPIIE ビットを“1”にしてください。送信完了後 SSLA0 信号がネゲートされ、次アクセス遅延 (t3) 時間が経過するまで次のデータを供給しなければ、IDLNF フラグが“0”になります。

31.3.9 エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、アンダランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 31.7 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 31.7 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI 動作	エラー検出
1	送信バッファフルの状態です PDR レジスタを書き込み	- 送信バッファ内容を保持 - 書き込みデータ欠落	なし
2	受信バッファエンプティの状態です PDR レジスタを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出力	なし
3	スレープモード時、送信データがシフトレジスタに転送されていない状態でシリアル転送開始	シリアル転送を中断 送受信データ欠落 MISO 端子のドライブ停止 RSPI 機能を無効に設定	アンダランエラー検出
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重通信時に、パリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのセット	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時に SSLA0 入力信号がアサート	- RSPCKA、MOSIA、SSLA1～3 出力信号のドライブ停止 - RSPI 機能は無効	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中に SSLA0 入力信号がアサート	- シリアル転送を中断 - 送受信データ欠落 - RSPCKA、MOSIA、SSLA1～3 出力信号のドライブ停止 - RSPI 機能は無効	モードフォルトエラー検出
8	スレープモードでシリアル転送中に SSLA0 入力信号がネゲート	- シリアル転送中断 - 送受信データ欠落 - MISOA 出力信号のドライブ停止 - RSPI 機能は無効	モードフォルトエラー検出

表 31.7 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、または SPSR.SPTEF フラグが“1”のときに SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、受信バッファフル割り込み要求発生時、または SPSR.SPRF フラグが“1”のときに SPDR レジスタの読み出しを実行するようにしてください。

3 に示したアンダランエラーについては「31.3.9.4 アンダランエラー」で、4 に示したオーバランエラーについては「31.3.9.1 オーバランエラー」で、5 に示したパリティエラーについては「31.3.9.2 パリティエラー」で説明します。また、6～8 に示したモードフォルトエラーについては「31.3.9.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「31.3.7 送信バッファエンプティ / 受信バッファフル割り込み」を参照してください。

31.3.9.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 31.27 に、SPRF フラグと OVRF フラグの動作を示します。図 31.27 に記載した“SPSR アクセス”と“SPDR アクセス”は、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 31.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

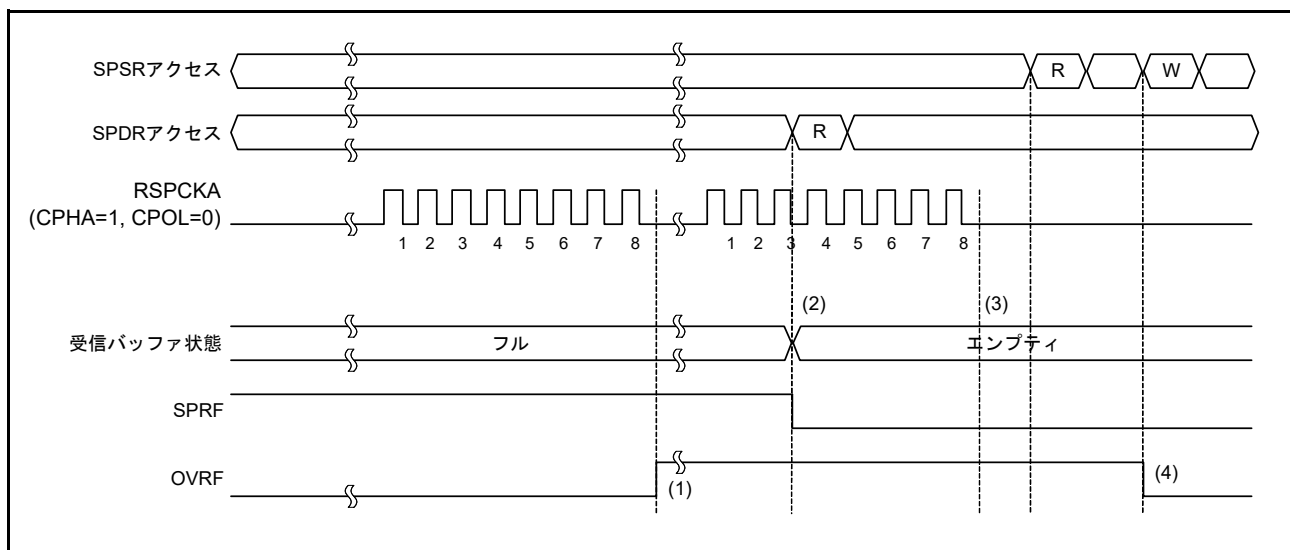


図 31.27 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態でも SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいはエラー割り込みと SPSR レジスタの読み出しに

よって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPI をマスターモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスターモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 31.28、図 31.29 にマスターモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

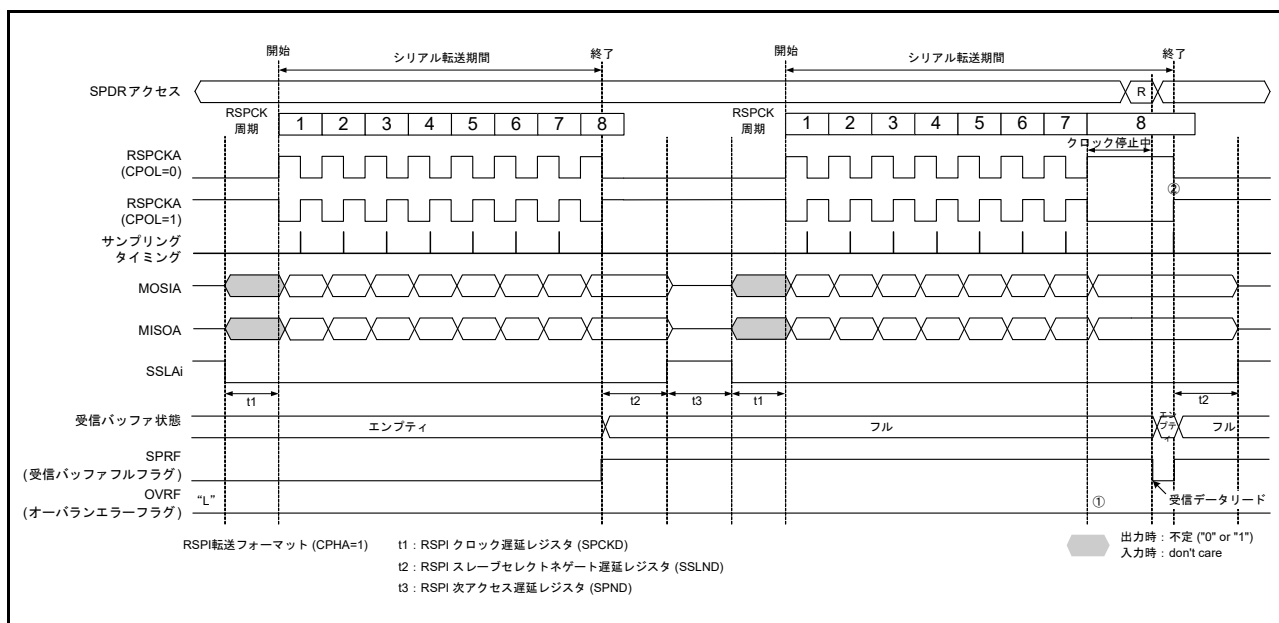


図 31.28 マスターモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

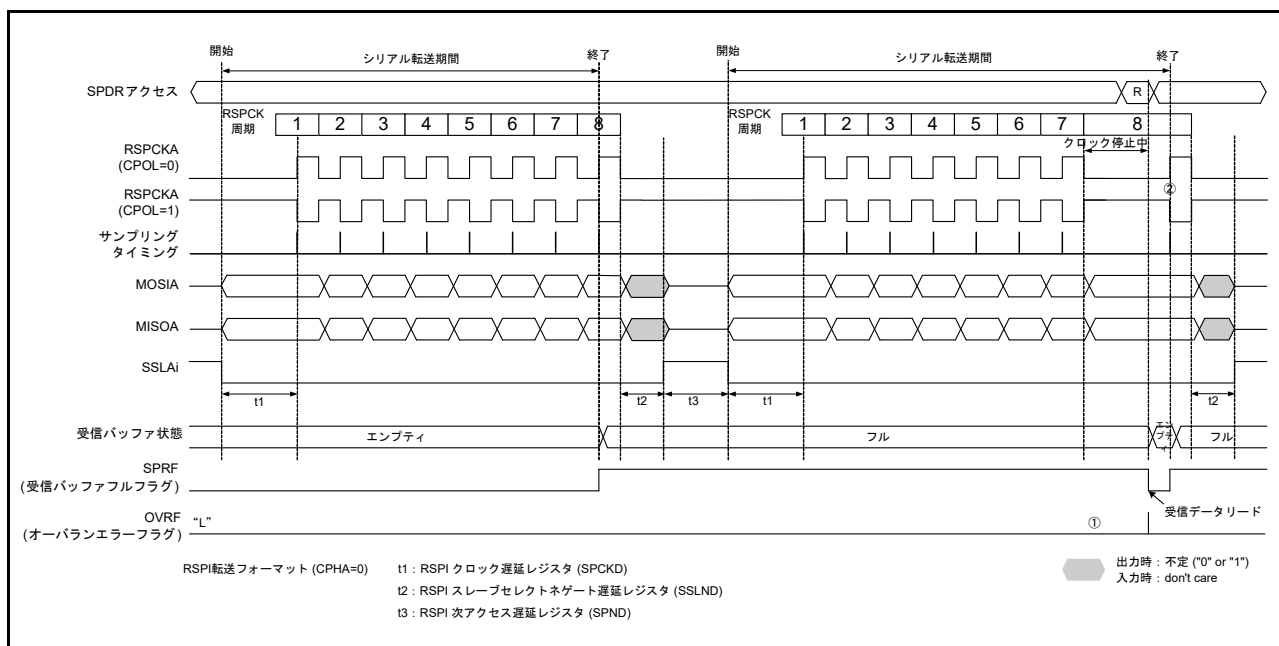


図 31.29 マスターモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが “0” になった後)、RSPCK クロックが再開します。

31.3.9.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 31.30 に、OVRF フラグと PERF フラグの動作を示します。図 31.30 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 31.30 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重通信を行っています。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

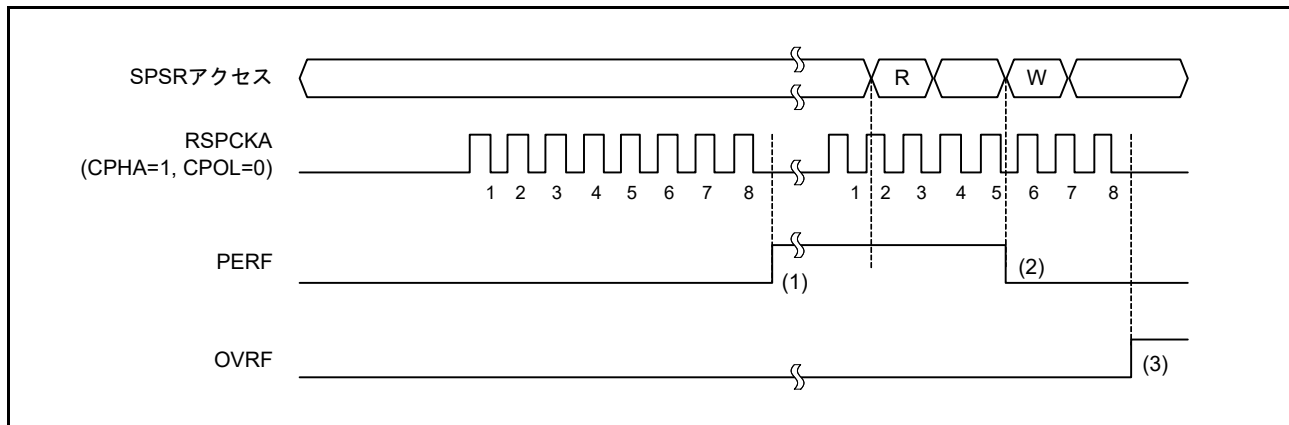


図 31.30 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態では SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

31.3.9.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSLA0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して SPSR.MODF フラグを“1”にします。モードフォルトエラーを検出すると、RSPI は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSLA0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが“0”の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間(有効データのドライブ開始から最終有効データの取り込みまで)に SSLA0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットのクリアを実施します(「31.3.10 RSPI の初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが“1”の状態では、RSPI は SPE ビットへの“1”の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを“0”にしてください。MODF フラグを“0”にすると、SPE ビットは“1”になります。

31.3.9.4 アンダランエラー

RSPI がスレーブモード (SPCR.MSTR ビットが“0”) で動作している場合、SPCR.SPE ビットが“1” (RSPI 機能は有効)、かつ送信データをシフトレジスタにセットしていない状態でシリアル転送が開始されると、RSPI はアンダランエラーを検出して SPSR レジスタの MODF フラグと UDRF フラグを“1”にします。

RSPI はアンダランエラーを検出すると、出力信号のドライブを停止し SPE ビットを“0”にします。SPE ビットが“0”になると RSPI 機能は無効となります(「31.3.10 RSPI の初期化」を参照)。

アンダランエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出する場合、SPSR レジスタをポーリングする必要があります。

MODF フラグが“1”のとき、RSPI は SPE ビットへの“1”書き込みを無視します。アンダランエラー検出後に RSPI 機能を有効にするには、MODF フラグを“0”にしてください。MODF フラグを“0”にすると、SPE ビットは“1”になります。

31.3.10 RSPI の初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラーやアンダランエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

31.3.10.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中の送受信を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF、UDRF、PERF、MODF、OVRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。

31.3.10.2 システムリセット

システムリセットによる初期化では、「31.3.10.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

31.3.11 SPI 動作

31.3.11.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「31.3.9 エラー検出」を参照)のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空 (SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「31.3.5 転送フォーマット」を参照してください。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「31.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

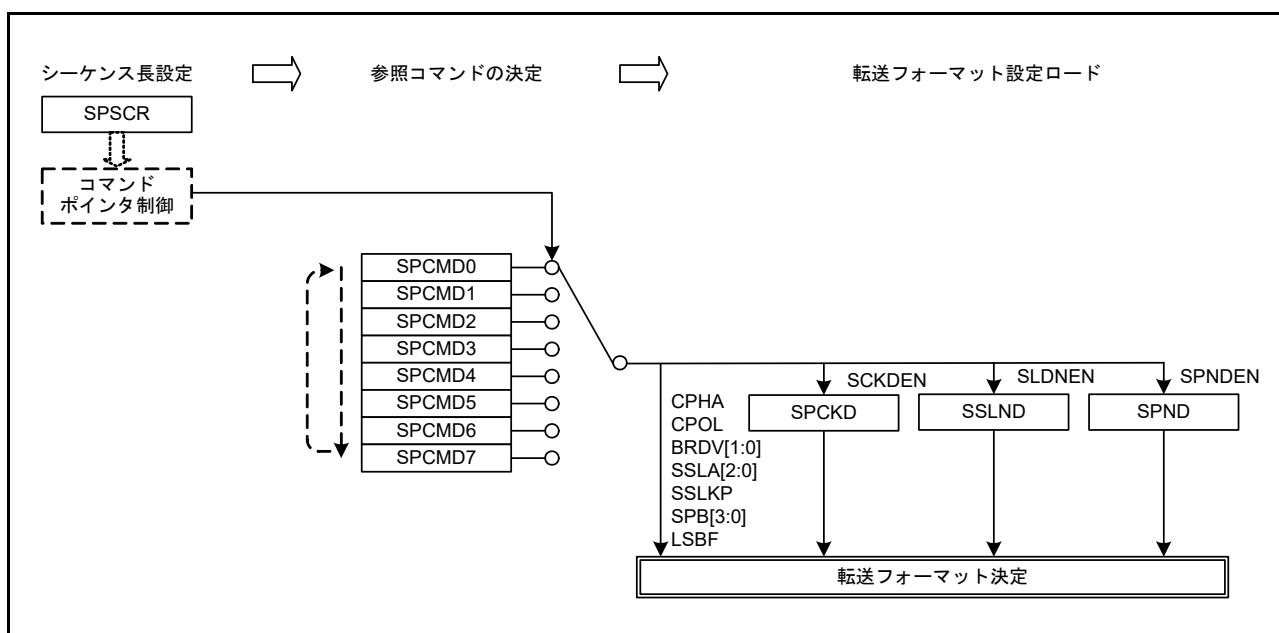


図 31.31 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

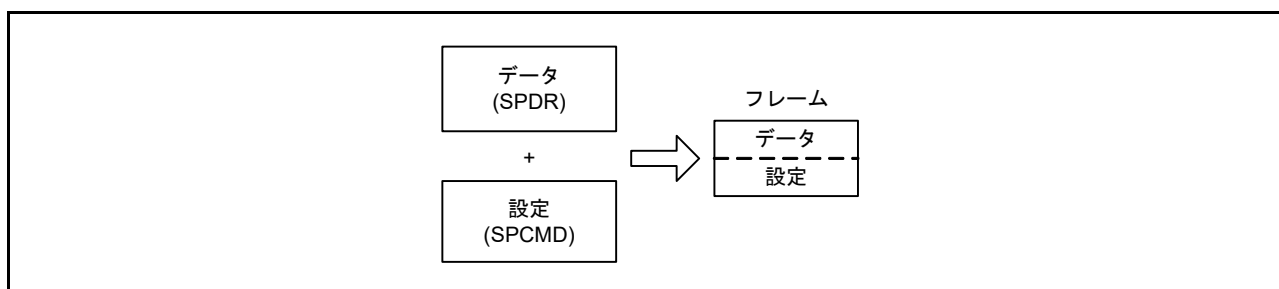


図 31.32 フレームの概念図

表 31.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 31.33 に示します。

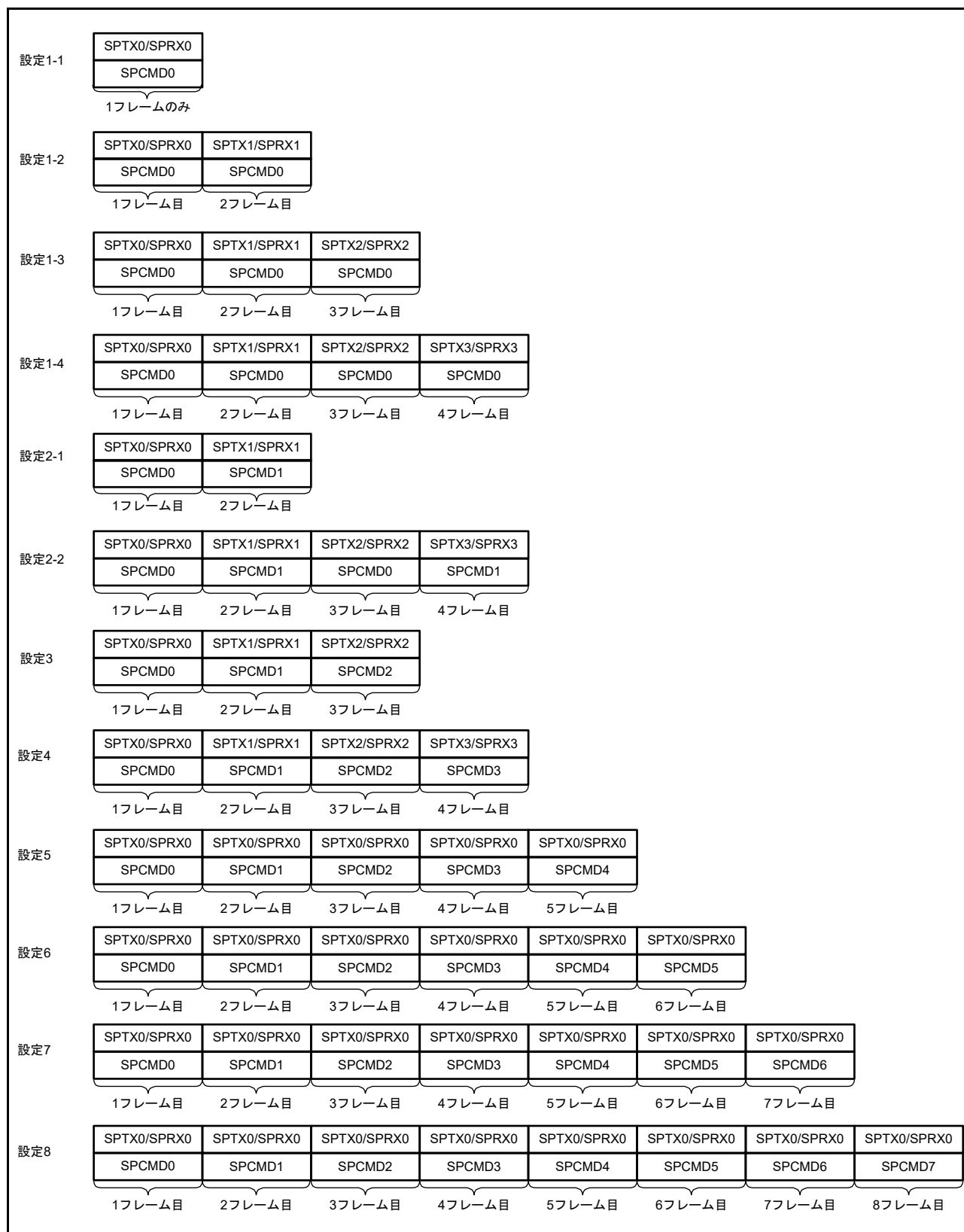


図 31.33 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが“1”の場合には、RSPI はシリアル転送中の SSLAi 信号レベルを次のシリアル転送の SSLAi 信号アサート開始まで保持します。次のシリアル転送での SSLAi 信号レベルが、現在のシリアル転送での SSLAi 信号レベルと同じであれば、RSPI は SSLAi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 31.34 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSLAi 信号動作例を示します。図 31.34 に記載した (1) ~ (8) の RSPI 動作内容について、以下に説明します。なお、SSLAi 出力信号の極性は、SSLP レジスタの設定値に依存します。

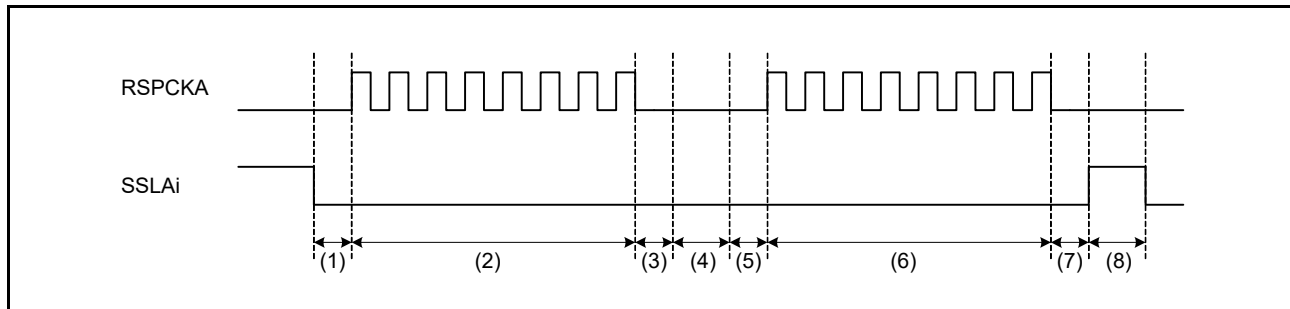


図 31.34 SSLKP ビットを利用したバースト転送動作の例 (CPHA = 1, CPOL = 0)

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SSL ネゲート遅延を挿入します。
- (8) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時 (図 31.34 の (5)) に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモード時の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 31.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「31.3.5 転送フォーマット」を参照してください。

表 31.8 SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモード時の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 31.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「31.3.5 転送フォーマット」を参照してください。

表 31.9 SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモード時の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、表 31.10 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「31.3.5 転送フォーマット」を参照してください。

表31.10 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 31.35 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

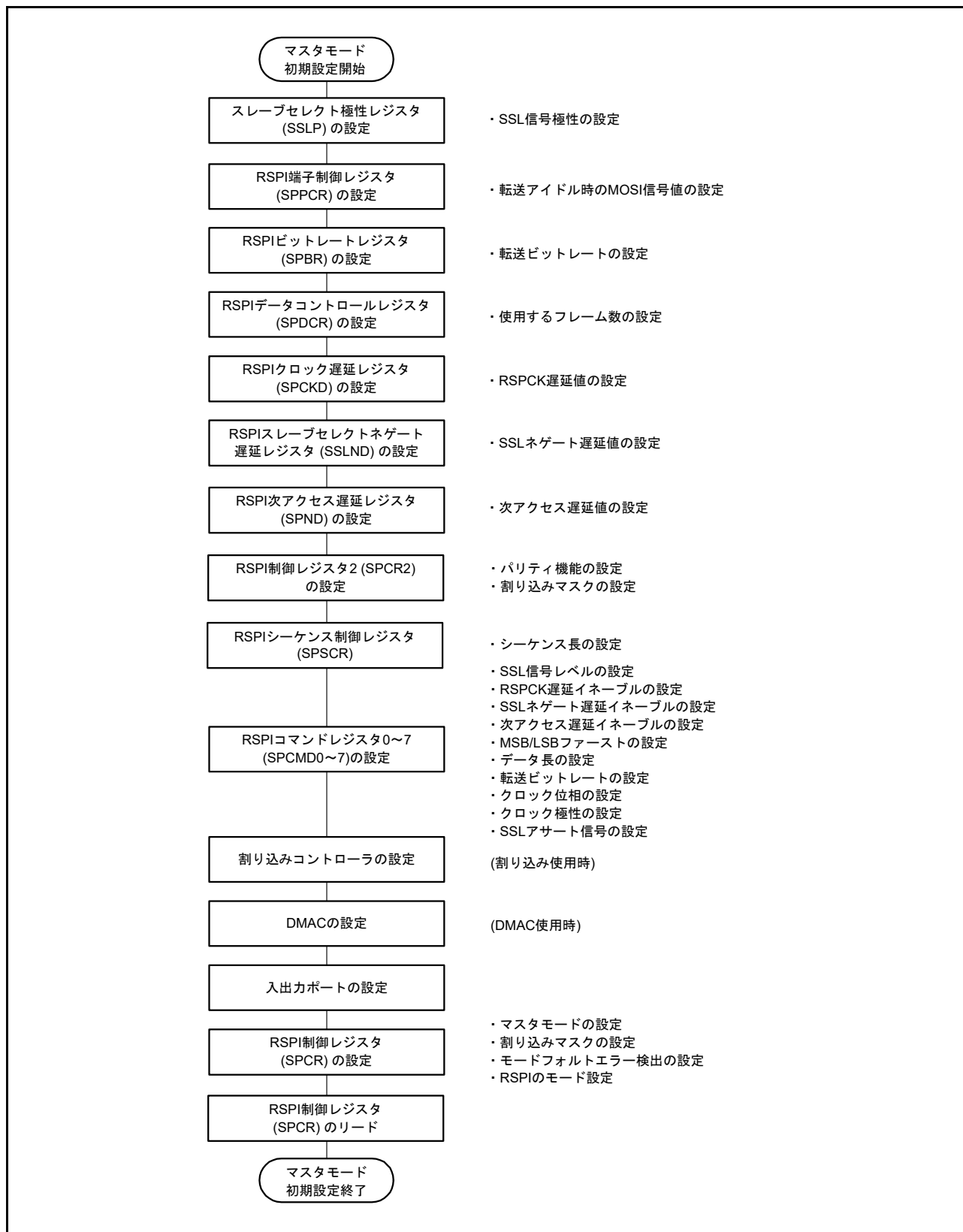


図 31.35 マスタモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.36 ～図 31.38 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データの送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いた後 IDLNF フラグが“1”になるまでは、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

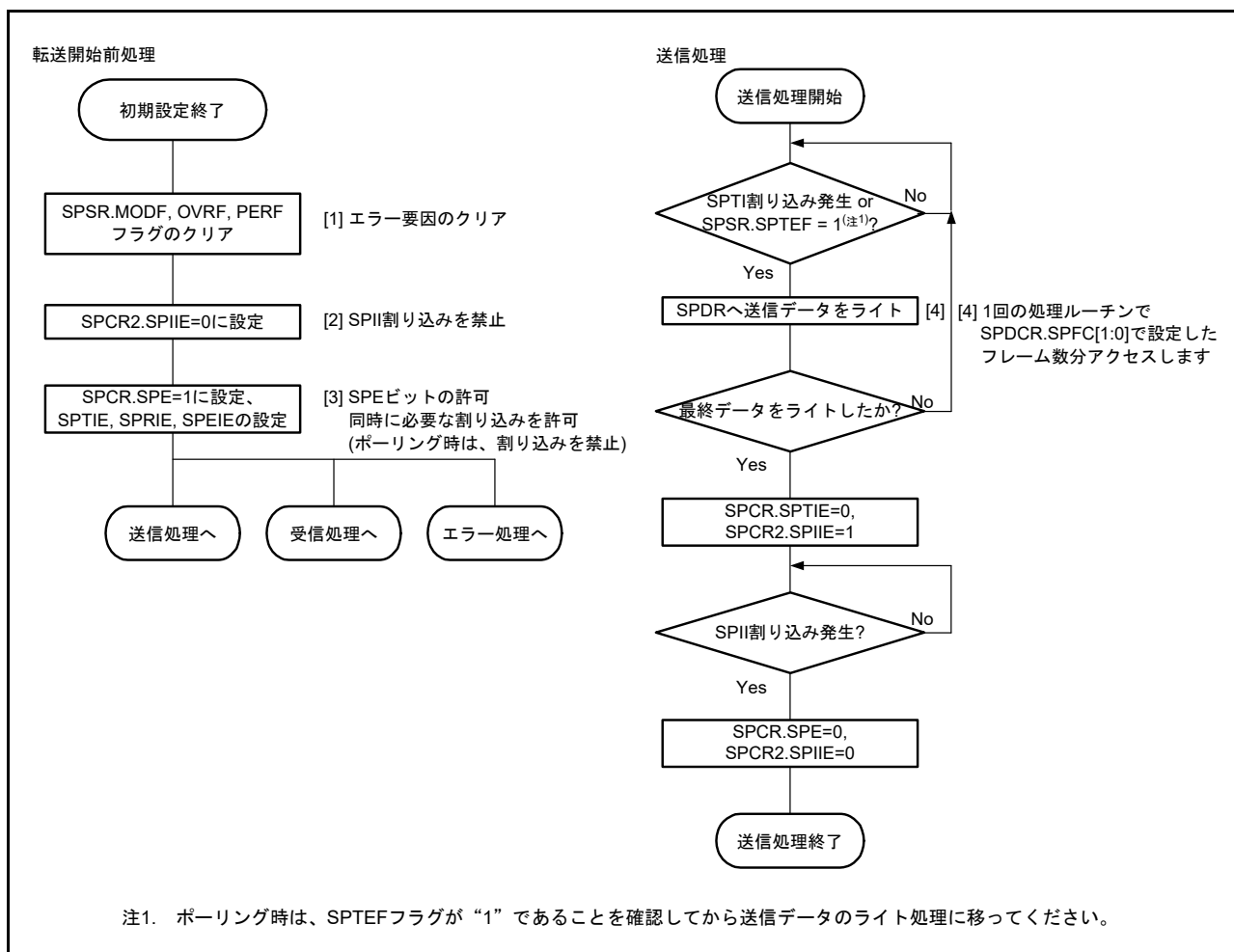


図 31.36 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの単方向通信をサポートしていないため、送信を必要とします。

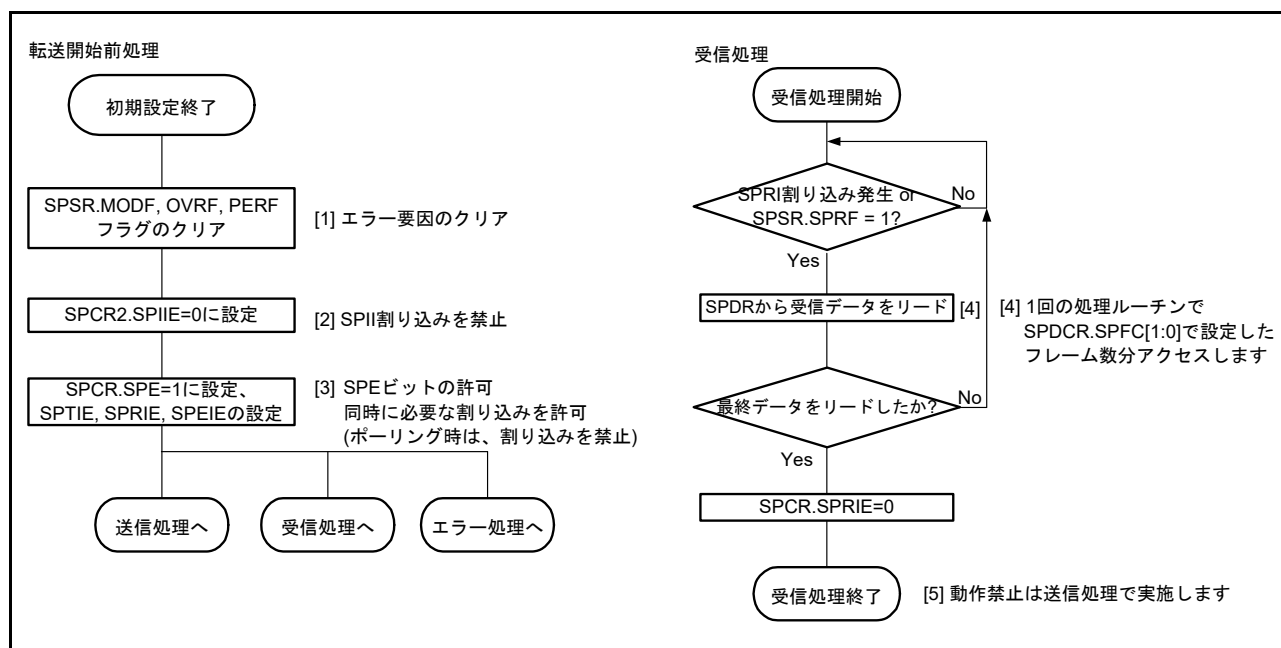


図 31.37 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性がありますので、エラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

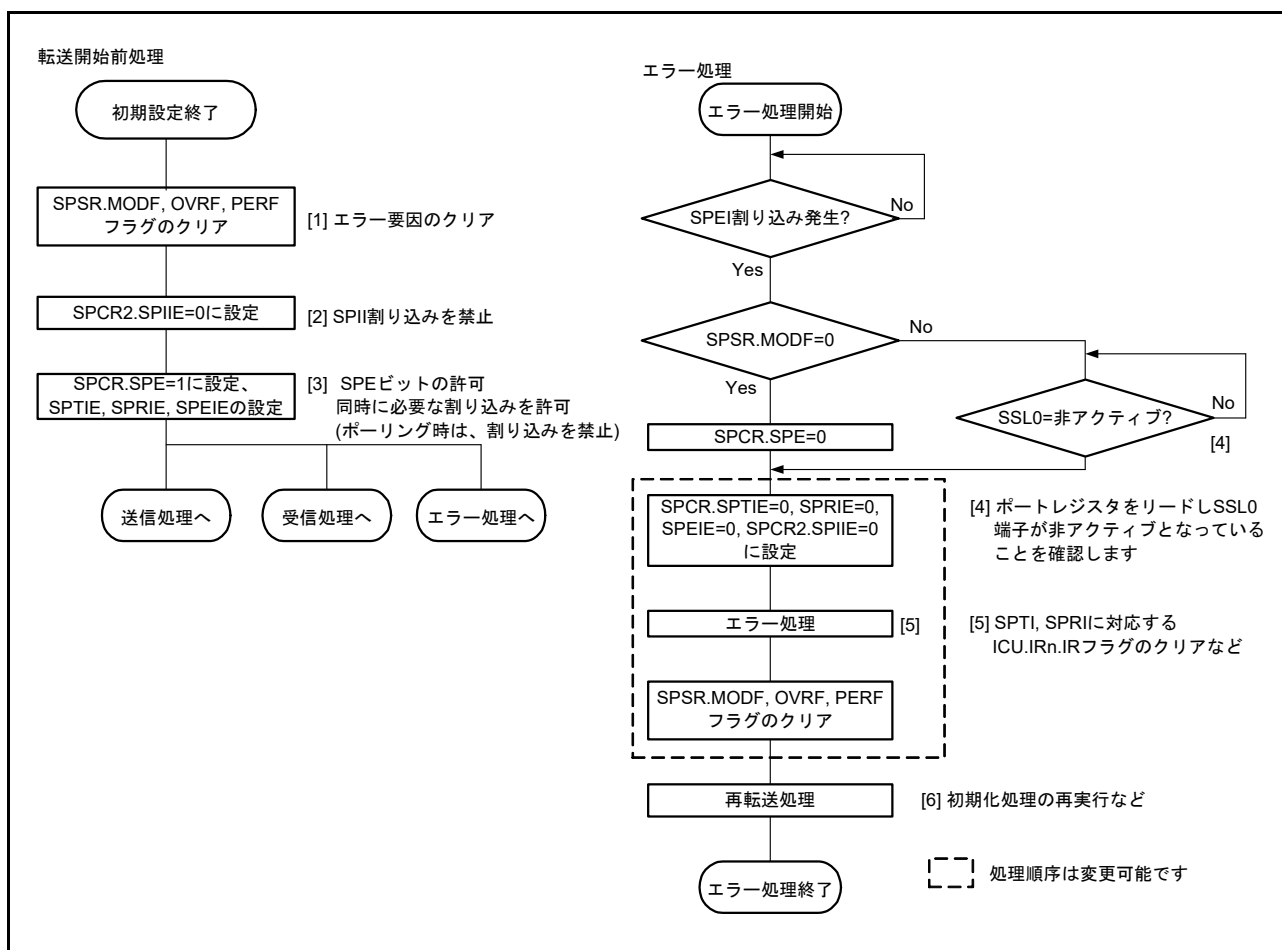


図 31.38 マスタモード時のフローチャート (エラー)

31.3.11.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPI は SSLA0 入力信号のアサートを検出すると、MISOA 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLA0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPI は SSLA0 入力信号のアサート状態で最初の RSPCKA エッジを検出すると、MISOA 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLA0 信号アサート状態における最初の RSPCKA エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定に依存せず、RSPI が MISOA 出力信号のドライブを開始するタイミングは、SSLA0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効/無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。SSLA0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合 (SPRF フラグが“0”の場合) には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLA0 入力信号のネゲートを検出するとモードフォルトエラーが発生します (「31.3.9 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。SSLA0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPI は SSLA0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 31.7 の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSLA0 入力信号がアクティブ状態に固定されるため、CPHA ビットを“0”に設定した RSPI ではシリアル転送を正しく開始できません。SSLA0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLA0 入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送 (バースト転送) を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 31.39 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

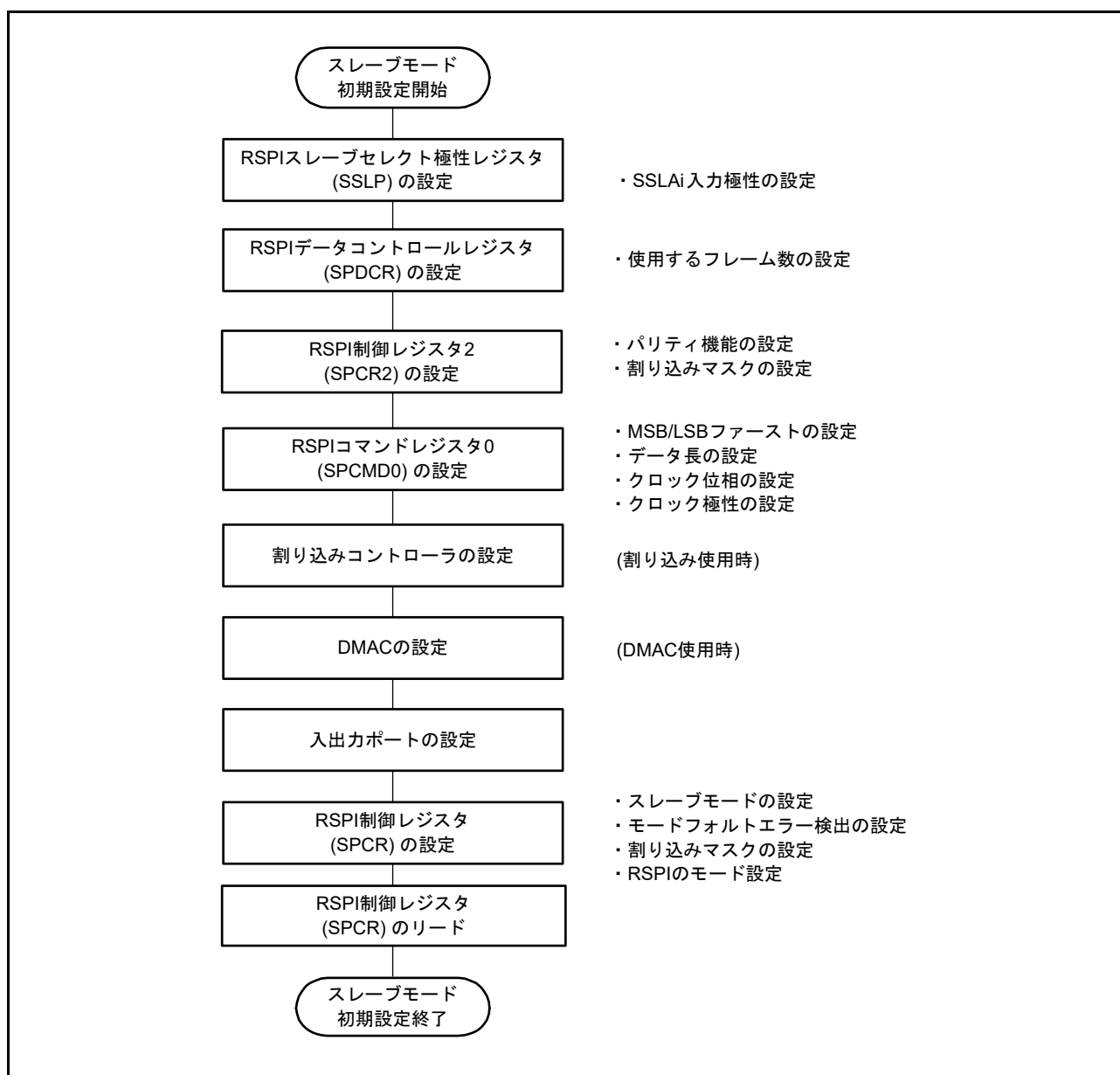


図 31.39 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.40 ～図 31.42 に示します。

(a) 送信処理フロー

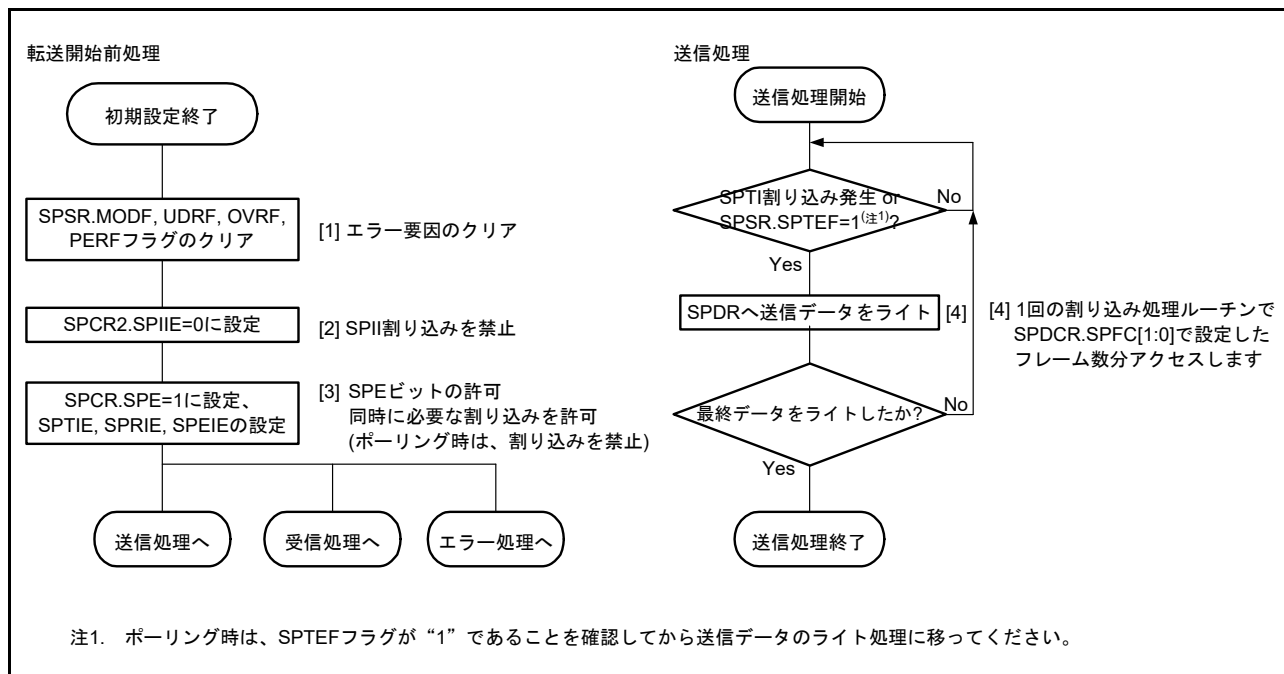


図 31.40 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの単方向通信をサポートしていないため、送信を必要とします。

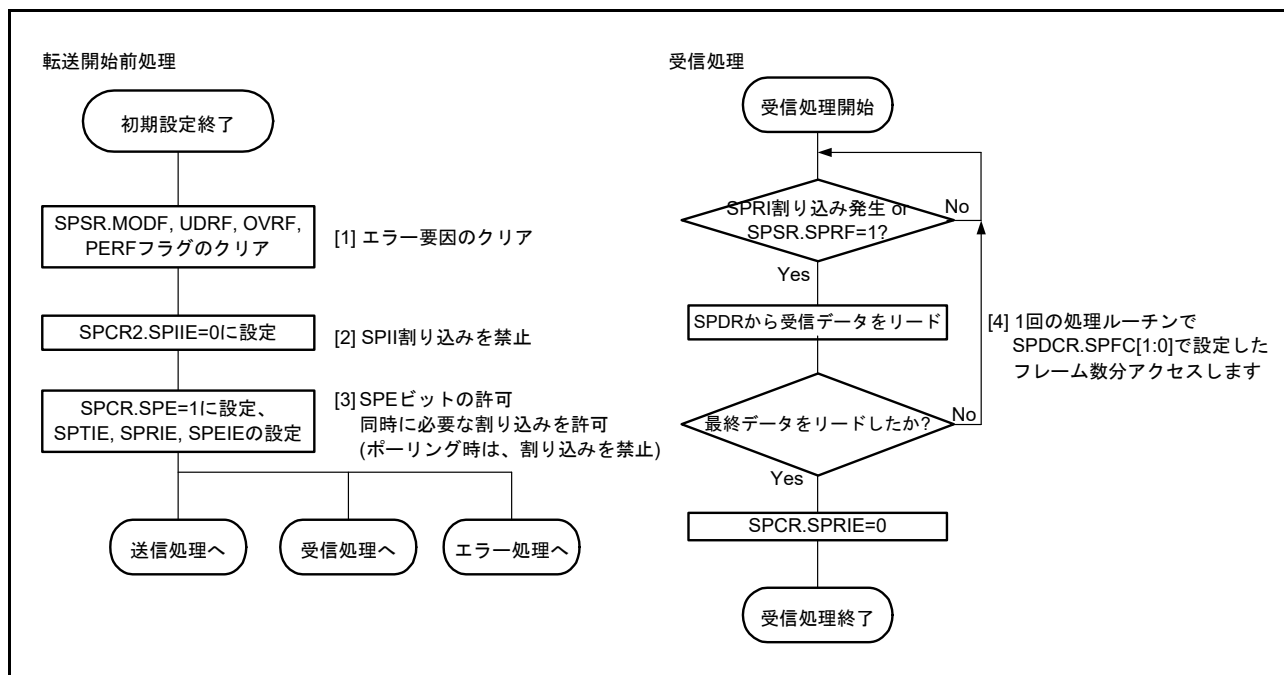


図 31.41 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブモード時は、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

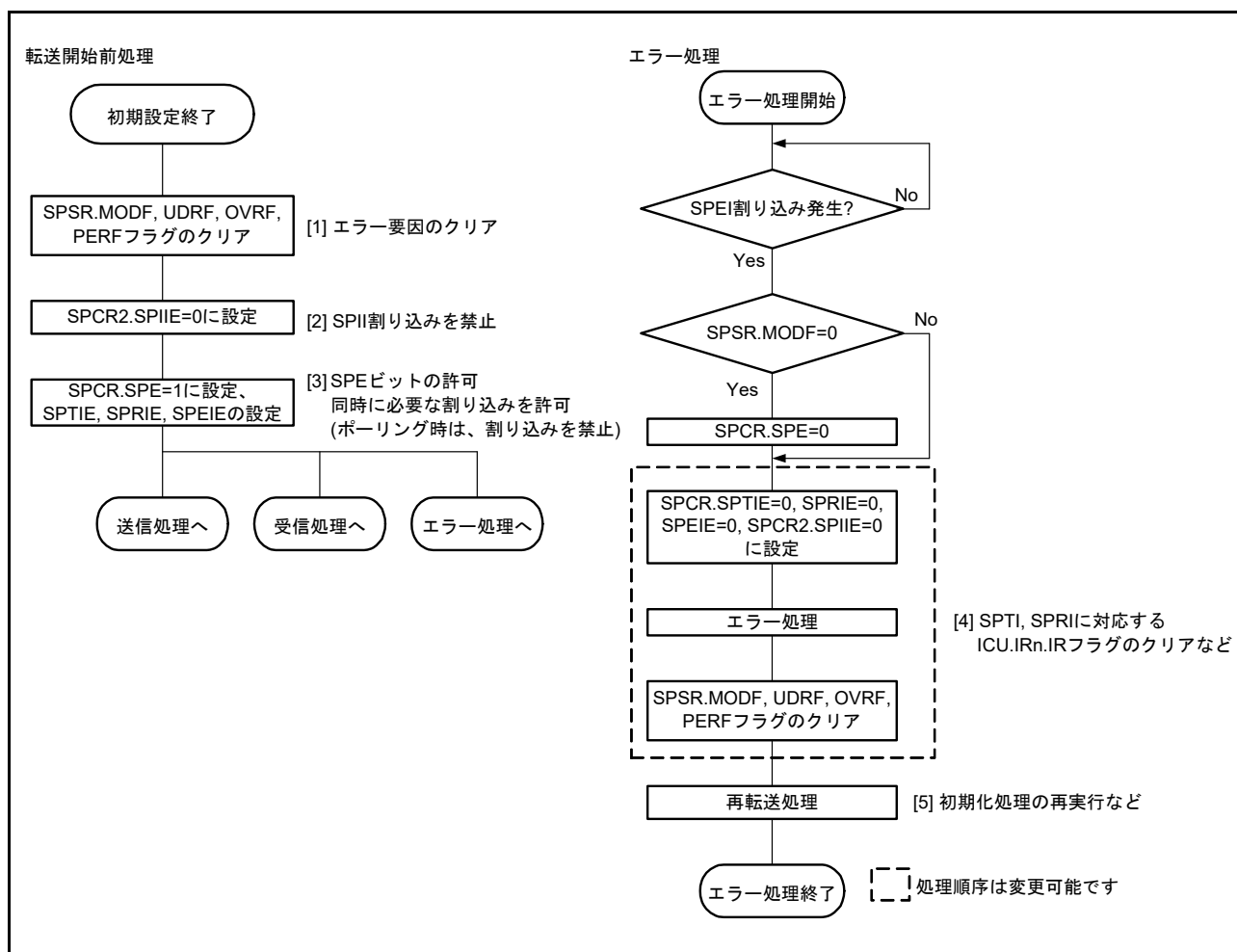


図 31.42 スレーブモード時のフローチャート (エラー処理)

31.3.12 クロック同期式動作

RSPI は、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の3本の端子を用いて通信を行い、SSLAi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタモード、スレーブモードにおいて、SPI 動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にしないでください。

31.3.12.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

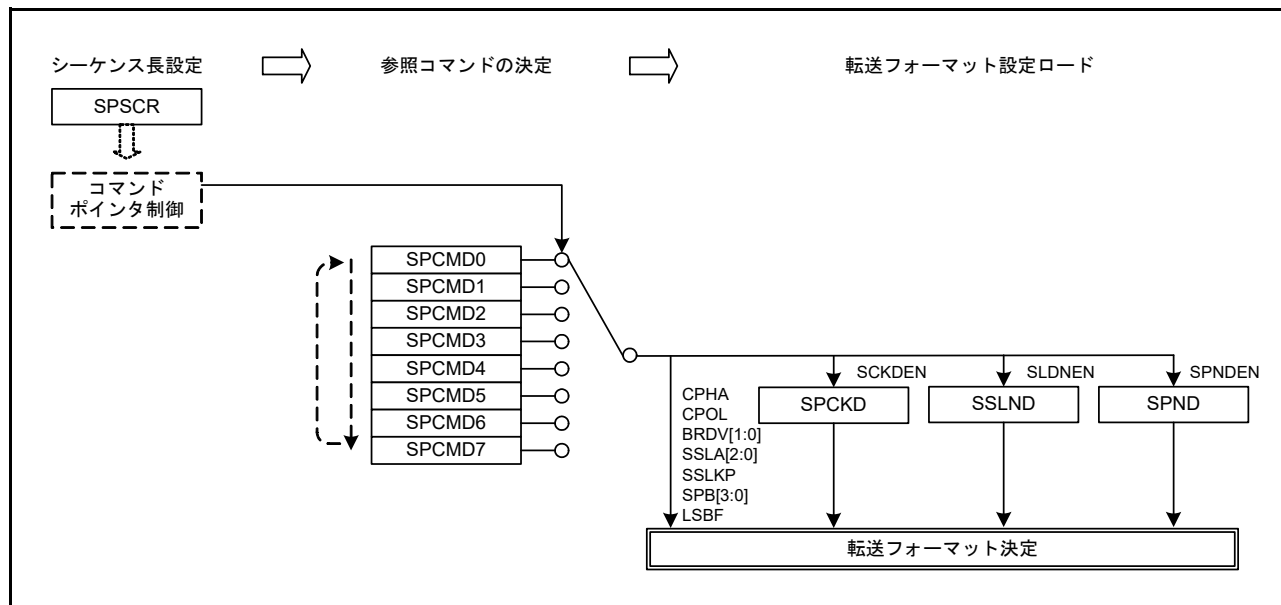


図 31.43 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

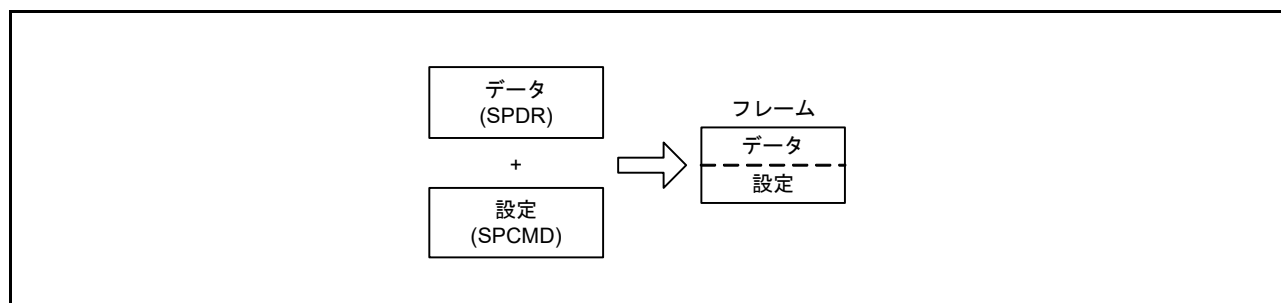


図 31.44 フレーム概念図

表 31.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 31.45 に示します。

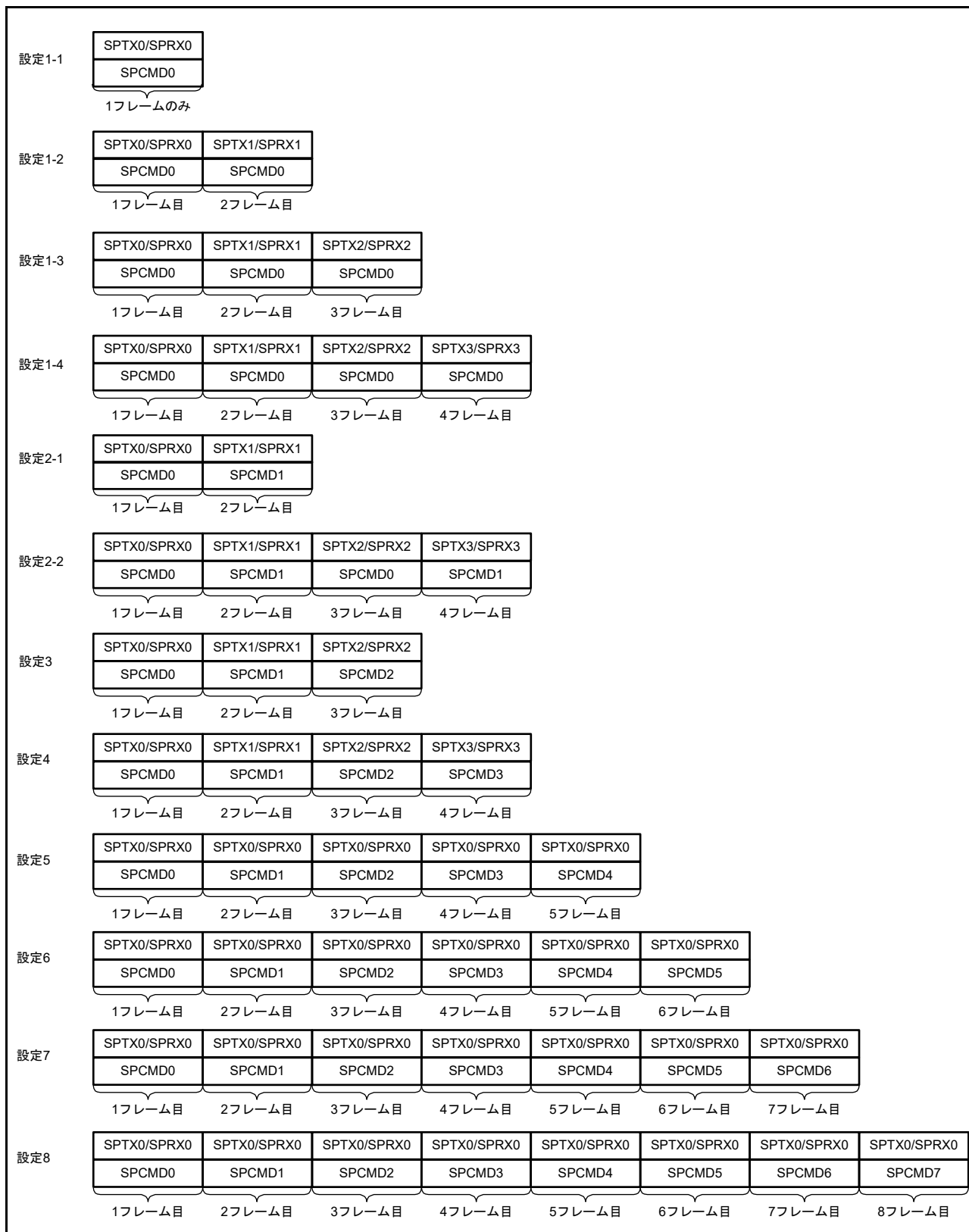


図 31.45 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 31.46 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

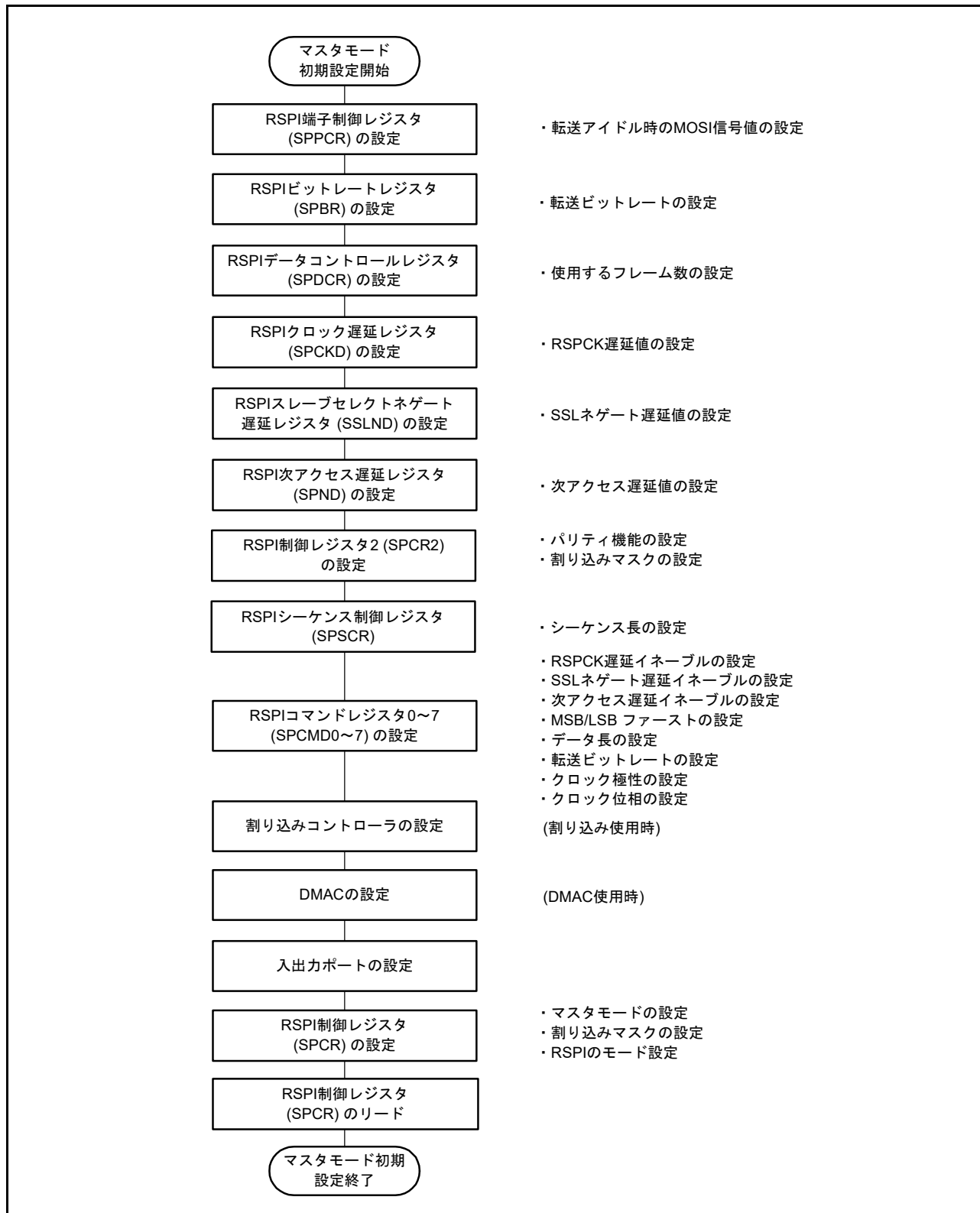


図 31.46 マスタモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI 動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「31.3.11.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

31.3.12.2 スレーブモード動作

(1) シリアル転送の開始

RSPI は、SPCR.SPMS ビットが“1”であるとき、最初の RSPCKA エッジがシリアル転送開始のトリガになります。

SPMS ビットが“1”であるときは、RSPI は MISOA 出力信号をドライブします。

なお、RSPI の転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSLA0 入力信号を使用しません。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「31.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 31.47 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

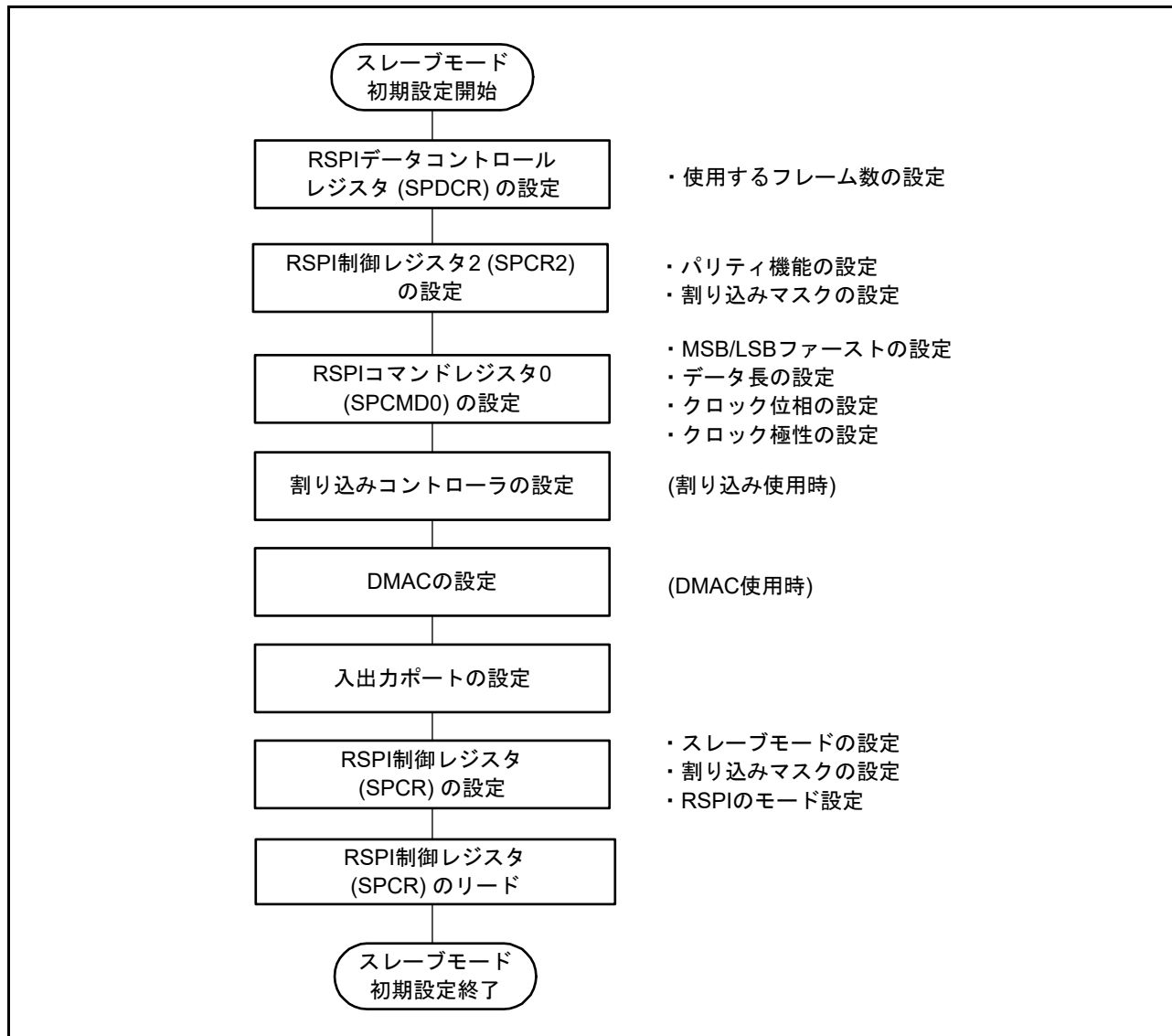


図 31.47 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「31.3.11.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

31.3.13 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 31.11 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 31.48 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 31.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

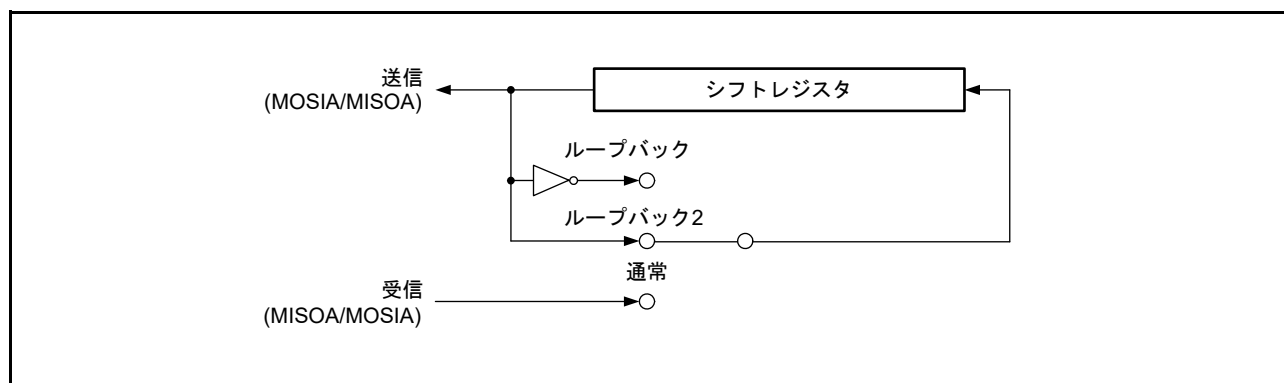


図 31.48 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

31.3.14 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 31.49 に示すのフローに従い、パリティ回路の自己診断を行います。

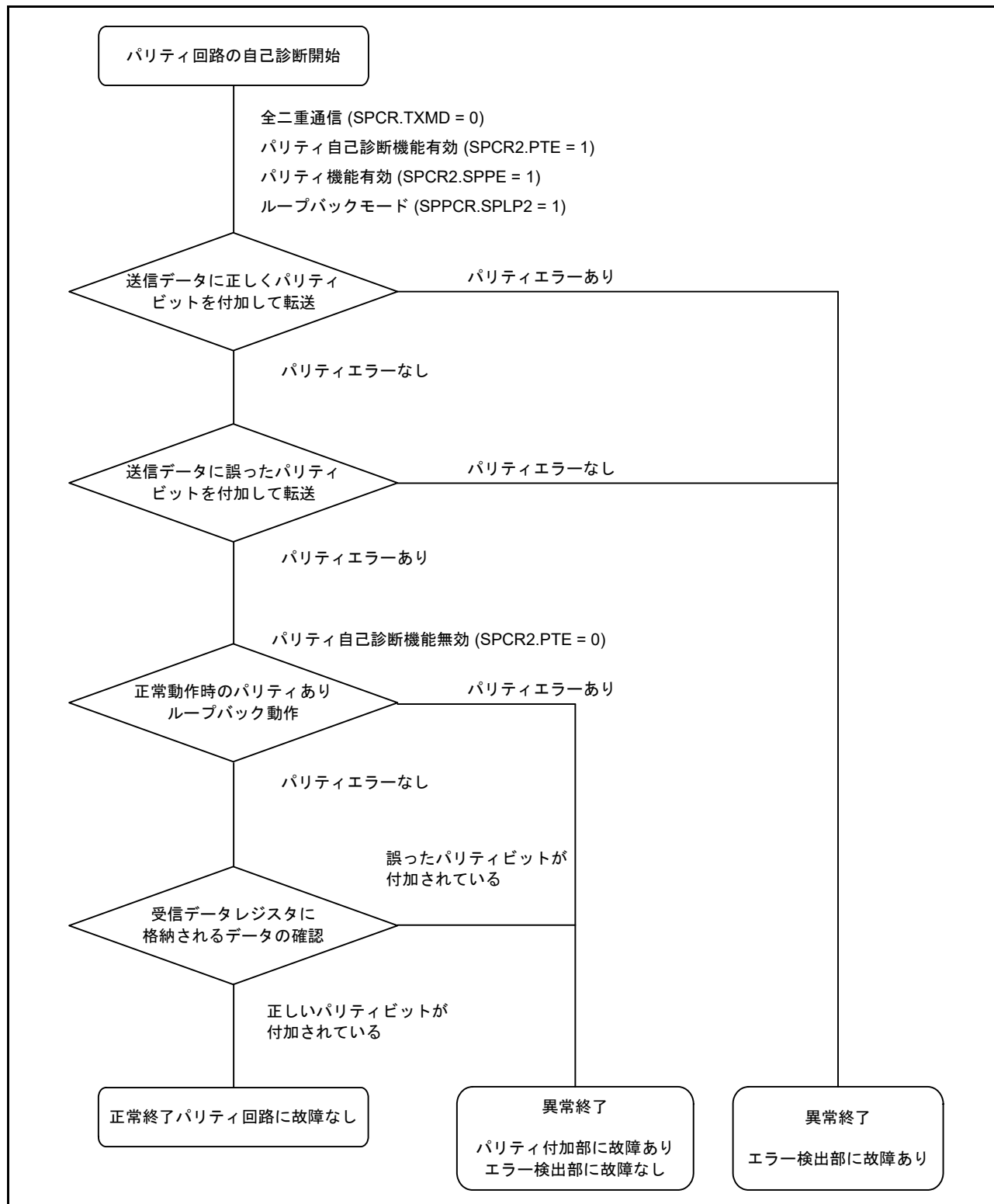


図 31.49 パリティ回路の自己判断フロー

31.3.15 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、エラー (モードフォルト、アンダラン、オーバラン、パリティエラー)、アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 31.12 に RSPI の割り込み要因を示します。表 31.12 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMAC の設定方法は「17. DMA コントローラ (DMAC)」、 「18. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にすることでクリアが可能です。

表31.12 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態を受信バッファフル (SPRF フラグが“1”) になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティ (SPTEF フラグが“1”) になったとき	可能
エラー (モードフォルト、アンダラン、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態で SPSR.MODF、UDRF、OVRF、または PERF フラグが“1”になったとき	不可能
アイドル	SPII	SPCR2.SPIIE ビットが“1”の状態で SPSR.IDLNF フラグが“0”になったとき	不可能

31.4 イベントリンク機能によるリンク動作

RSPI0 はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

31.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

31.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

31.4.3 モードフォルト/アンダラン/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 31.13 にモードフォルトイベント出力の発生条件を示します。

表 31.13 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLA0 端子	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつ SPCR.MODFEN ビットが“1”のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中に SSLA0 端子が非アクティブになった場合のみイベント出力

(2) アンダラン

アンダランイベント出力の発生条件として、SPCR.MSTR ビットが“0”、かつ SPCR.SPE ビットが“1”で、送信バッファに送信データが書き込まれていないときにシリアル転送が開始されると、UDRF フラグと MODF フラグが“1”になり、イベントが出力されます。

(3) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(4) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

31.4.4 アイドルイベント出力

(1) マスタモード時

マスタモード時は、IDLNF フラグ (アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモード時は、SPCR.SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

31.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。スレーブモード時は表 31.14 に示す条件でイベントを出力します。

表 31.14 送信完了イベント出力の発生条件(スレーブモード)

RSPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作(SPMS = 0)	エンプティ	エンプティ	SSLA0入力ネゲート
クロック同期式動作(SPMS = 1)	エンプティ	エンプティ	最終データのRSPCKA最終偶数エッジ検出

マスタモード/スレーブモードに関わらず、送信動作中に SPCR.SPE ビットに “0” を書いたとき、またはモードフォルトエラーが発生して SPCR.SPE ビットがクリアされたときはイベントを出力しません。

31.5 使用上の注意事項

31.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

31.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

31.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

31.5.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを“0”にしてください。

32. CRC 演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

32.1 概要

表 32.1 に CRC 演算器の仕様を示します。図 32.1 に CRC 演算器のブロック図を示します。

表 32.1 CRC 演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコードを生成 (n=自然数)
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSB ファーストまたはMSB ファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位で書いてください。

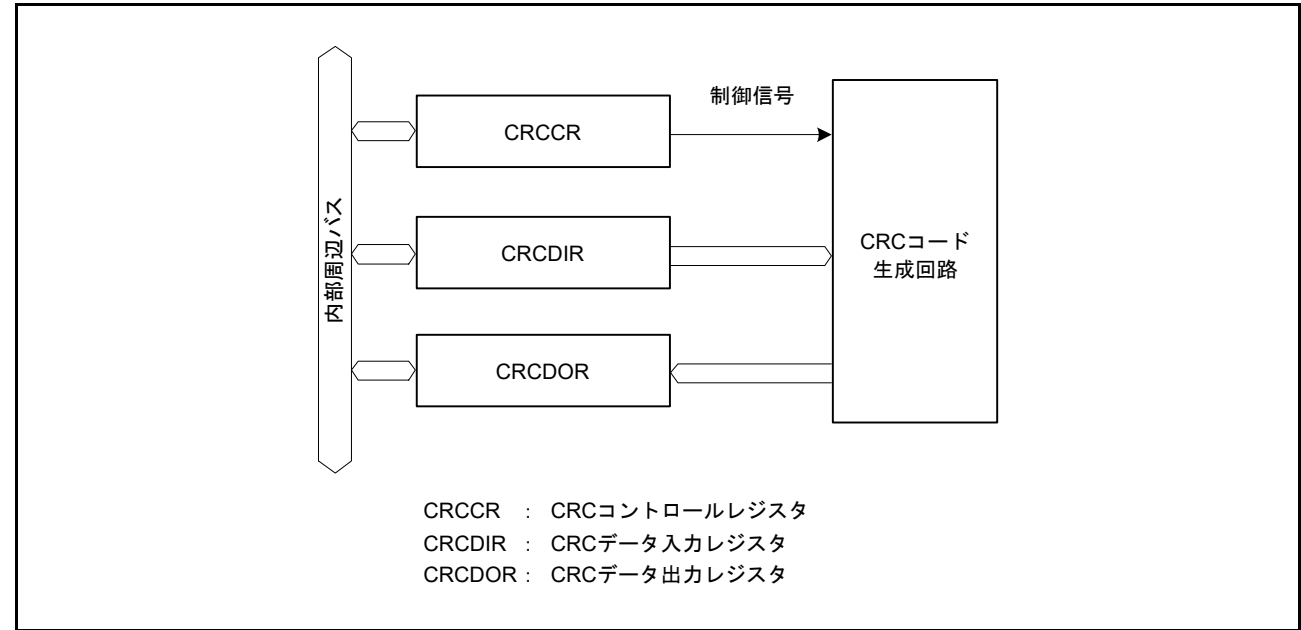
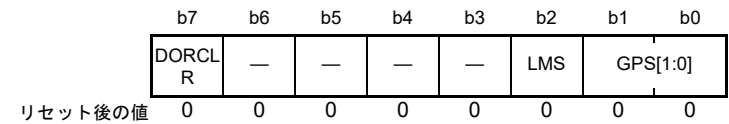


図 32.1 CRC 演算器のブロック図

32.2 レジスタの説明

32.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h



ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC 生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$)	R/W
b2	LMS	CRC 演算切り替えビット	0 : LSB ファースト通信用に CRC を生成 1 : MSB ファースト通信用に CRC を生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDOR レジスタクリアビット	1 : CRCDOR レジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した 16 ビットの CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイト (b7 ~ b0) から先に、MSB ファーストで通信を行う場合は CRC コードの上位バイト (b15 ~ b8) から先に送信してください。CRC コードの送信および受信については、「32.3 CRC 演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDOR レジスタが“0000h”になります。
読むと“0”が読めます。“1”のみ書けます。

32.2.2 CRC データ入力レジスタ (CRCDIR)

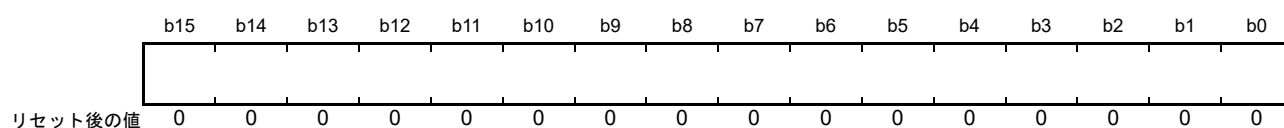
アドレス 0008 8281h



CRCDIR レジスタは、読み出し／書き込み可能なレジスタです。CRC 演算対象となるデータを書いてください。

32.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" です。初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

32.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト／MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の前に、CRC データ出力レジスタ (CRCDOR) の値をクリアします。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

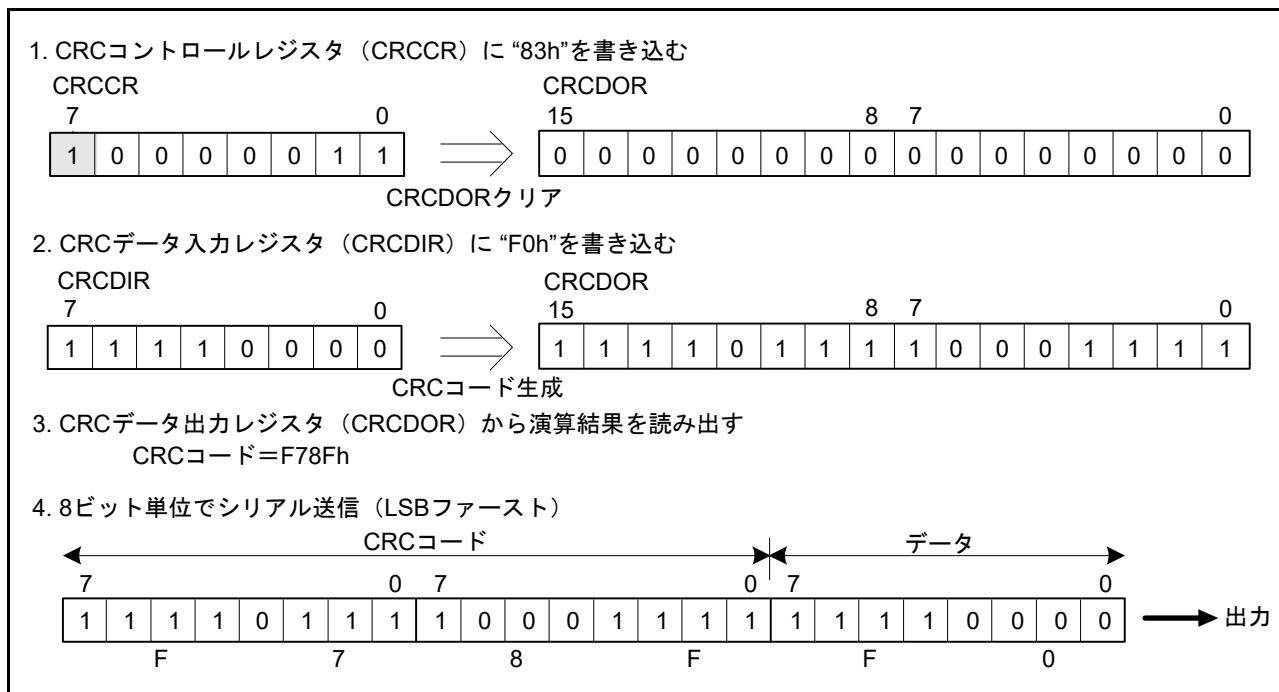


図 32.2 LSB ファーストでのデータ送信

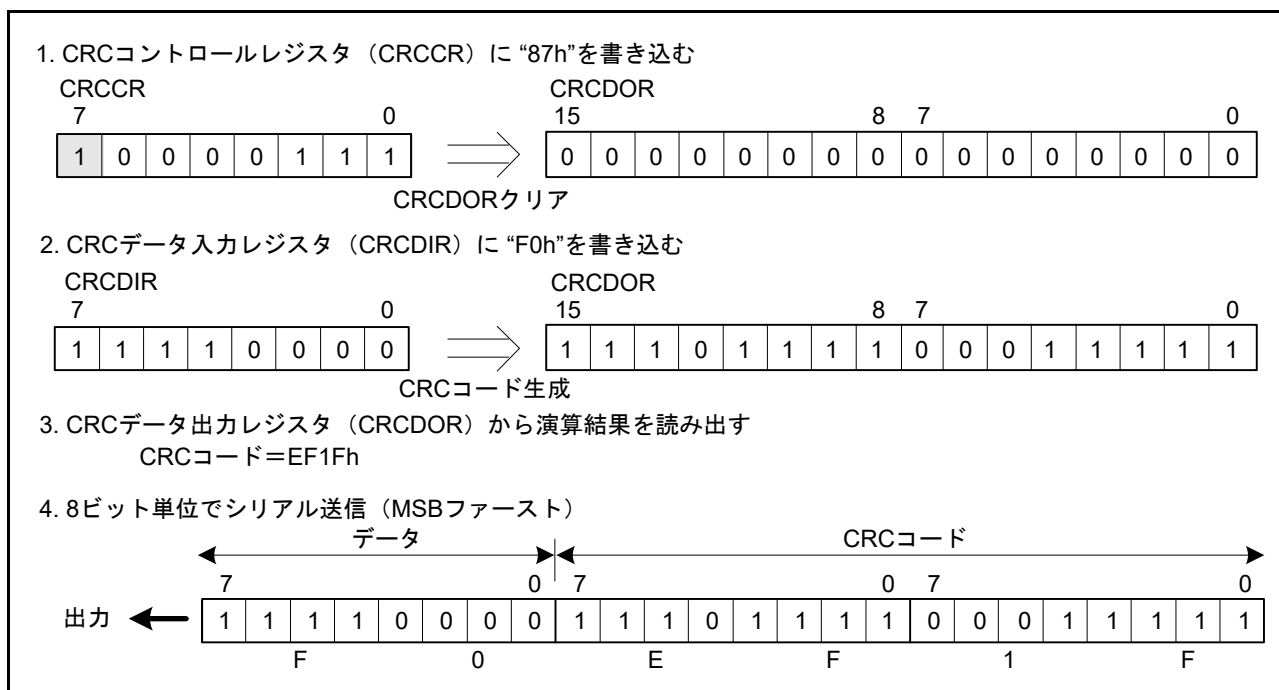


図 32.3 MSB ファーストでのデータ送信

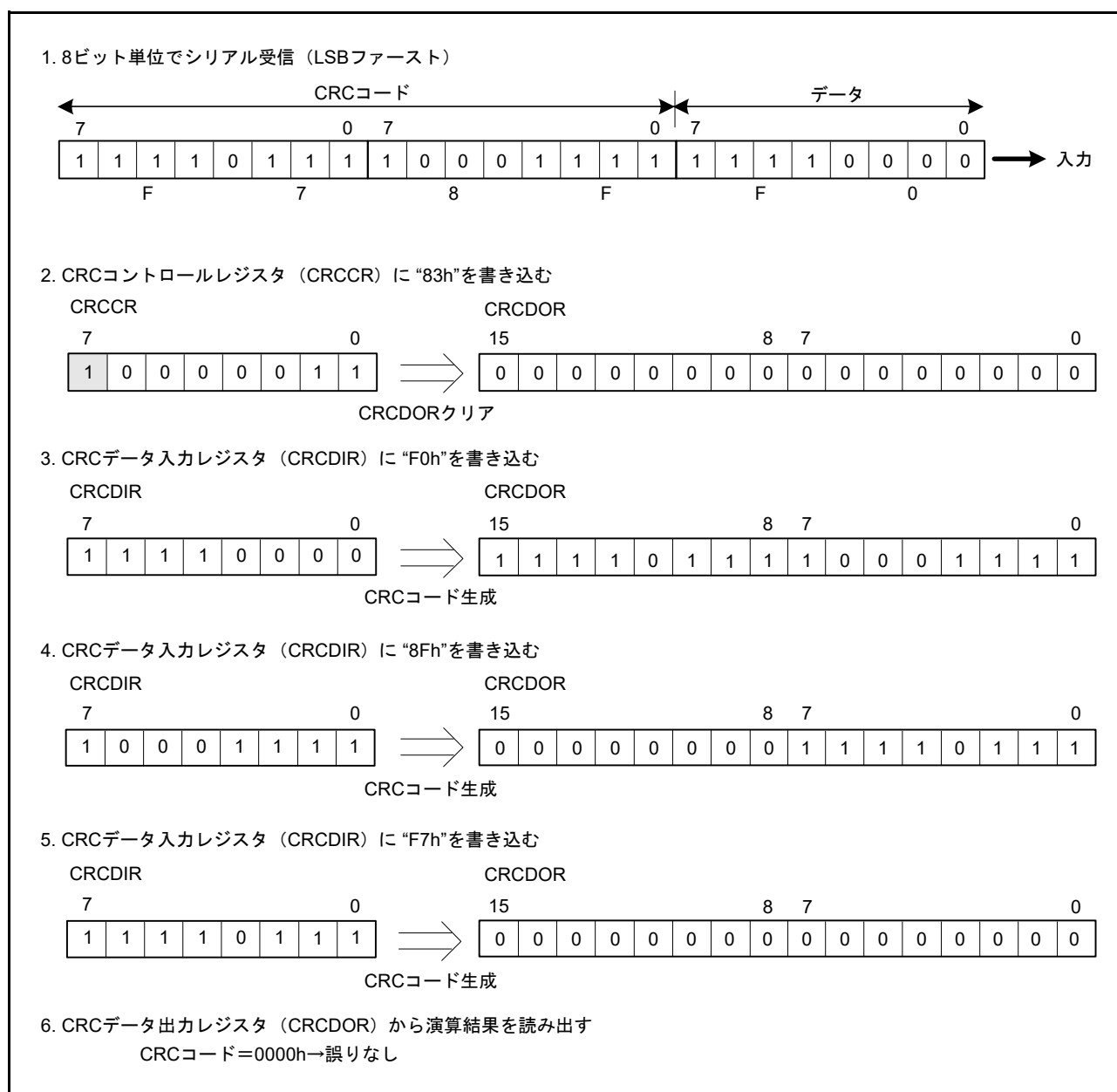


図 32.4 LSB ファーストでのデータ受信

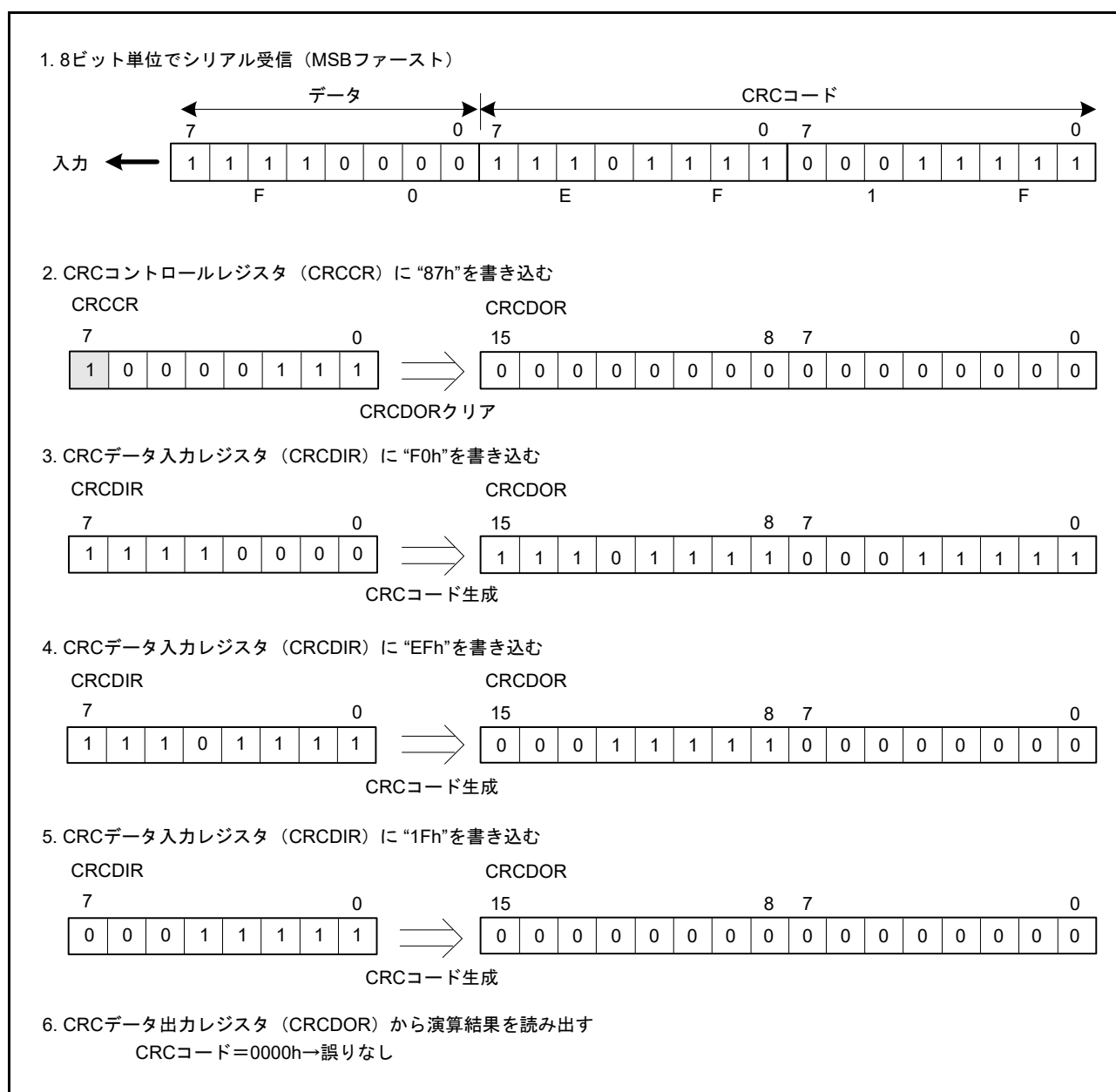


図 32.5 MSB ファーストでのデータ受信

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止／許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

32.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

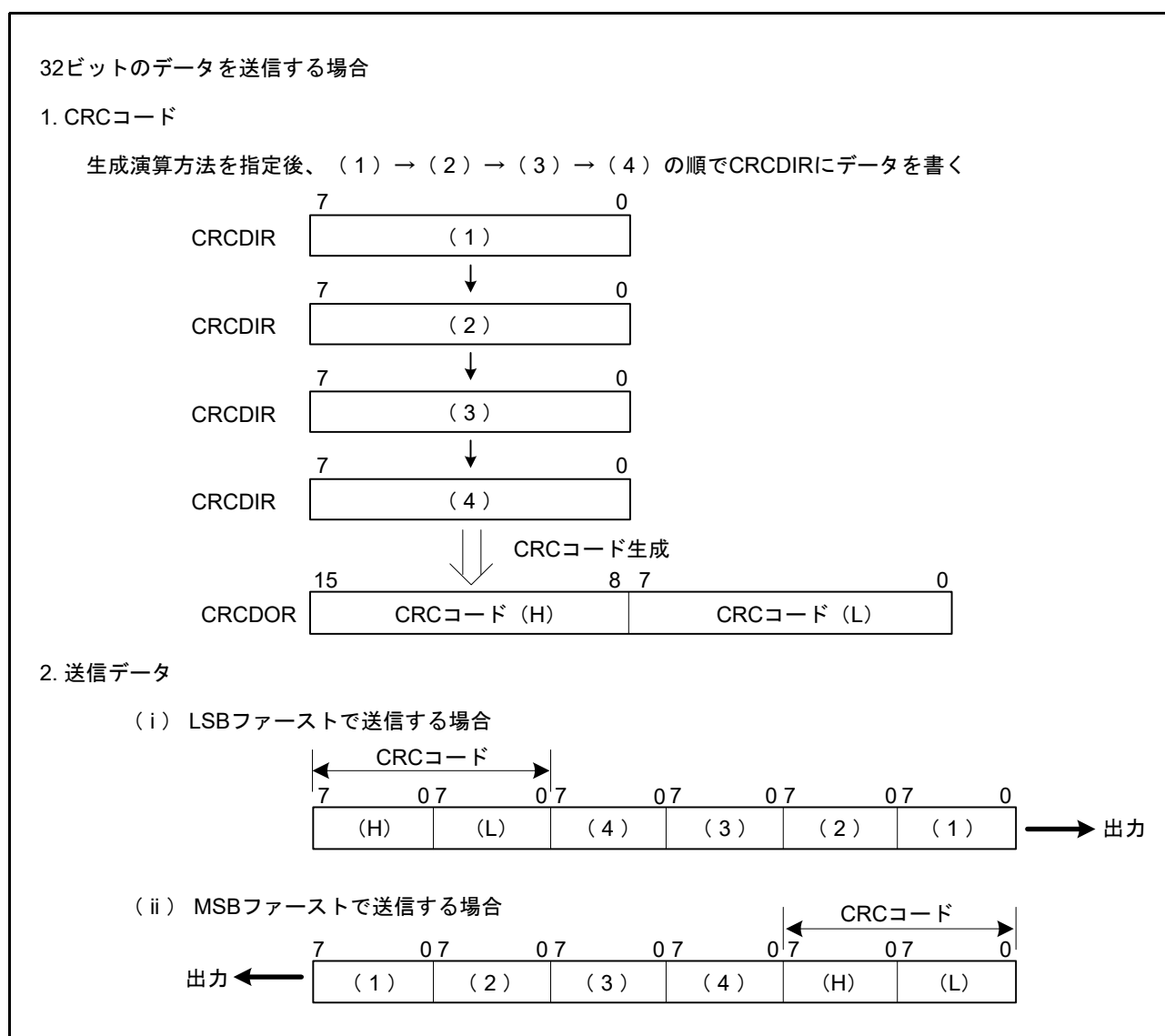


図 32.6 LSB ファーストと MSB ファーストの送信データ

33. アナログフロントエンド (AFE)

33.1 概要

本 MCU は、高精度計測が可能で低消費電力、低ノイズの 24 ビット Δ - Σ A/D コンバータ (DSAD) を 2 回路搭載しています。DSAD には、プログラマブルゲイン計装アンプ (PGA) が搭載されており、ゲインは $\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 8$ 、 $\times 16$ 、 $\times 32$ 、 $\times 64$ 、 $\times 128$ から選択できます。また、DSAD のアナログ入力には 6 チャンネルあり、それぞれのチャンネルに対して断線検出アシスト機能を有効にすることができます。

また、1.8 V から動作可能な 12 ビット逐次比較型 A/D コンバータ (S12AD) を 1 回路搭載しています。S12AD の最大動作周波数は 32 MHz で、高速な A/D 変換が行えます。

本モジュールはこの DSAD を使用して高精度な計測を行うためのアナログフロントエンド (AFE) であり、

- AFE、DSAD 動作制御回路
- アナログマルチプレクサ (AMUX)、ローサイドスイッチ (LSW)
- 高精度、低ドリフトの基準電圧源 (VREF)、バイアス電圧生成回路 (VBIAS)
- 温度センサ (TEMPS)
- 低ドリフトで電流可変の励起電流源 (IEXC)
- 断線検出アシスト機能付き電圧検出回路 (VDET)

から構成されています。

表 33.1 に DSAD、S12AD の概略仕様を、表 33.2 に AFE の仕様を示します。24 ビット Δ - Σ A/D コンバータ (DSAD)、12 ビット逐次比較型 A/D コンバータ (S12AD) の詳細は、それぞれ「34. 24 ビット Δ - Σ A/D コンバータ (DSADA)」、「35. 12 ビット A/D コンバータ (S12ADE)」を参照してください。

表 33.1 DSAD、S12AD の概略仕様

項目	内容
24 ビット Δ - Σ A/D コンバータ (DSAD)	• 2 回路 (DSAD0, DSAD1) • 4 次 Sinc フィルタ • プログラマブルゲイン計装アンプ (PGA) 内蔵 • 動作モード：シングルスキャン/連続スキャン/ワンショット • 低ノイズ：30 nV_{RMS} (typ.) (入力換算) ($f_{MOD} = 500$ kHz, DR = 7.6 SPS, Gain = 128) • オーバサンプリング比：32 ~ 65536 (16 の倍数のみ)
12 ビット逐次比較型 A/D コンバータ (S12AD)	• アナログ信号入力選択回路 (最大 6 端子) • 最大変換クロック周波数：32 MHz (変換レート 1.4 μs) • 動作モード：シングルスキャン/連続スキャン/グループスキャン • 基準電圧を選択可能 高電位側：VREFH0 または AVCC0 低電位側：VREFL0 または AVSS0

表 33.2 AFE の仕様

項目	内容
動作制御回路	以下の回路を個別に動作制御可能 24ビットΔ-Σ A/Dコンバータ (DSAD0, DSAD1) - 励起電流源 (IEXC) - バイアス電圧生成回路 (VBIAS) - 基準電圧源 (VREF) - 温度センサ (TEMPS) DSADの動作電圧の設定が可能
アナログマルチプレクサ (AMUX)	DSAD0、DSAD1の+側入力信号 (ANDSnmP)、-側入力信号 (ANDSnmN)、+側基準電圧 (VRnmP)、-側基準電圧 (VRnmN) をチャンネルごとに選択可能 ($n = 0, 1, m = 0 \sim 5$) - ANDSnmP、ANDSnmNは、AIN0～AIN11端子から選択 - VRnmPは、REF0P端子、REF1P端子(注1)、AVCC0、REFOUT(注2)のいずれかから選択 - VRnmNは、REF0N端子、REF1N端子(注1)、AVSS0のいずれかから選択 - DSAD0の入力にTEMPSを選択可能
ローサイドスイッチ回路 (LSW)	LSW端子とAVSS0を接続するスイッチ オン抵抗: 10 Ω (max.)
基準電圧源 (VREF)(注3)	生成電圧: 2.5 V 最大負荷電流: ± 10 mA REFOUT端子から出力
バイアス電圧生成回路 (VBIAS)	出力電圧: $(AVCC0 + AVSS0) / 2$ 生成した電圧をAIN0～AIN11端子のいずれかから出力可能
温度センサ (TEMPS)	工場出荷時に個々のチップごとに測定、算出した温度係数をレジスタに格納
励起電流源 (IEXC)	2チャンネルまたは4チャンネルの定電流をAIN0～AIN11端子から出力可能 2チャンネル出力モード: IEXC0、IEXC1をAIN0～AIN11端子のいずれか2端子から出力 出力電流: 50 μA, 100 μA, 250 μA, 500 μA, 750 μA, 1000 μA 4チャンネル出力モード: IEXC0～IEXC3をAIN0～AIN11端子のいずれか4端子から出力 出力電流: 50 μA, 100 μA, 250 μA, 500 μA
電圧検出回路 (VDET)	下記4種類の回路から構成
低電源電圧検出回路 (LVDET)	AVCC0の電圧低下を検出 検出レベルごとに2回路 (LVDET0, LVDET1) 搭載 検出レベルはレジスタで変更可能
DSAD入力電圧異常検出回路 (DSIDET)	DSAD0、DSAD1それぞれの+側、-側入力信号の電圧異常を検出 4回路 (DS0PDET, DS0NDET, DS1PDET, DS1NDET)
DSAD基準電圧異常検出回路 (DSRDET)	DSAD0、DSAD1それぞれの+側、-側基準電圧の電圧異常を検出 外部基準電圧源とMCU間の断線検出をアシスト 2回路 (DS0RDET, DS1RDET)
励起電流源断線検出回路 (IEXCDET)	外部センサとMCU間の断線検出をアシスト 4回路 (IEXC0DET, IEXC1DET, IEXC2DET, IEXC3DET)

注1. REF1P端子はAIN5端子と端子を共有しています。REF1N端子はAIN4端子と端子を共有しています。

注2. REFOUTは、基準電圧源 (VREF) の出力です。

注3. 基準電圧源を使用する場合、REFOUT端子は0.47 μ Fのコンデンサを介してAVSS0に接続してください。

図 33.1 にアナログフロントエンド (AFE) の全体ブロック図、図 33.2 にアナログマルチプレクサ (AMUX) のブロック図、図 33.3 に励起電流源 (IEXC) のブロック図、図 33.4 に電圧検出回路 (VDET) のブロック図を示します。

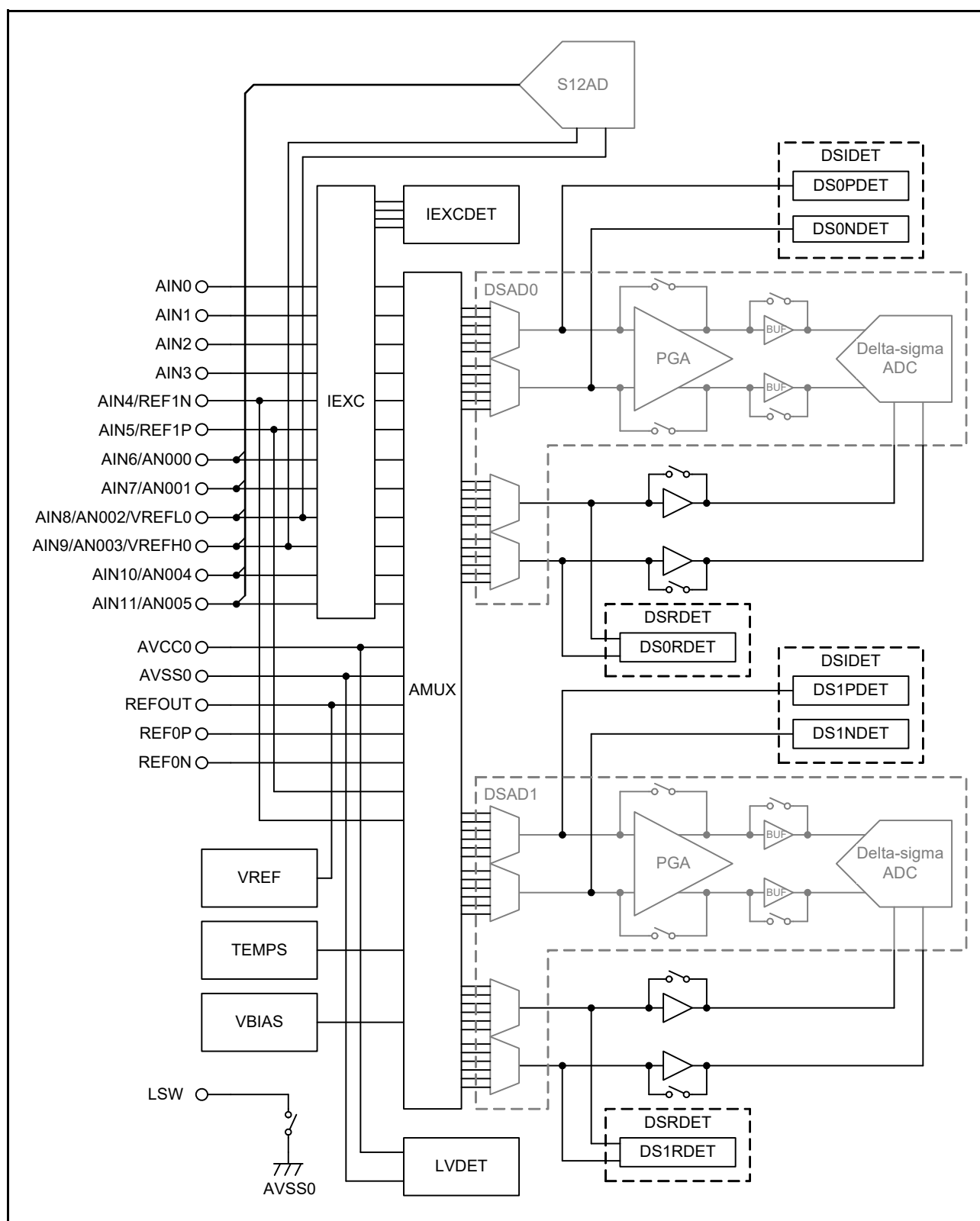


図 33.1 AFE のブロック図

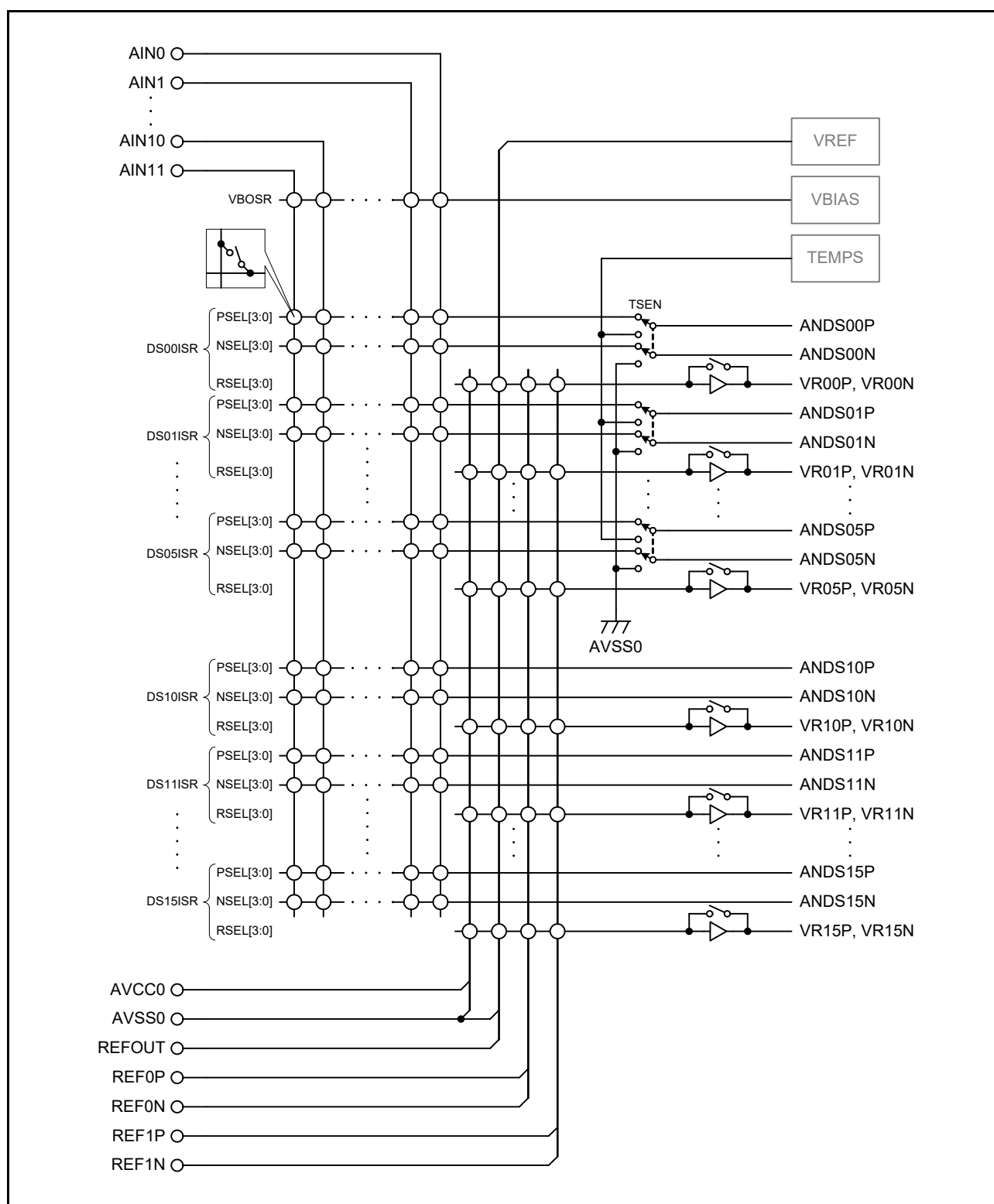


図 33.2 AMUX のブロック図

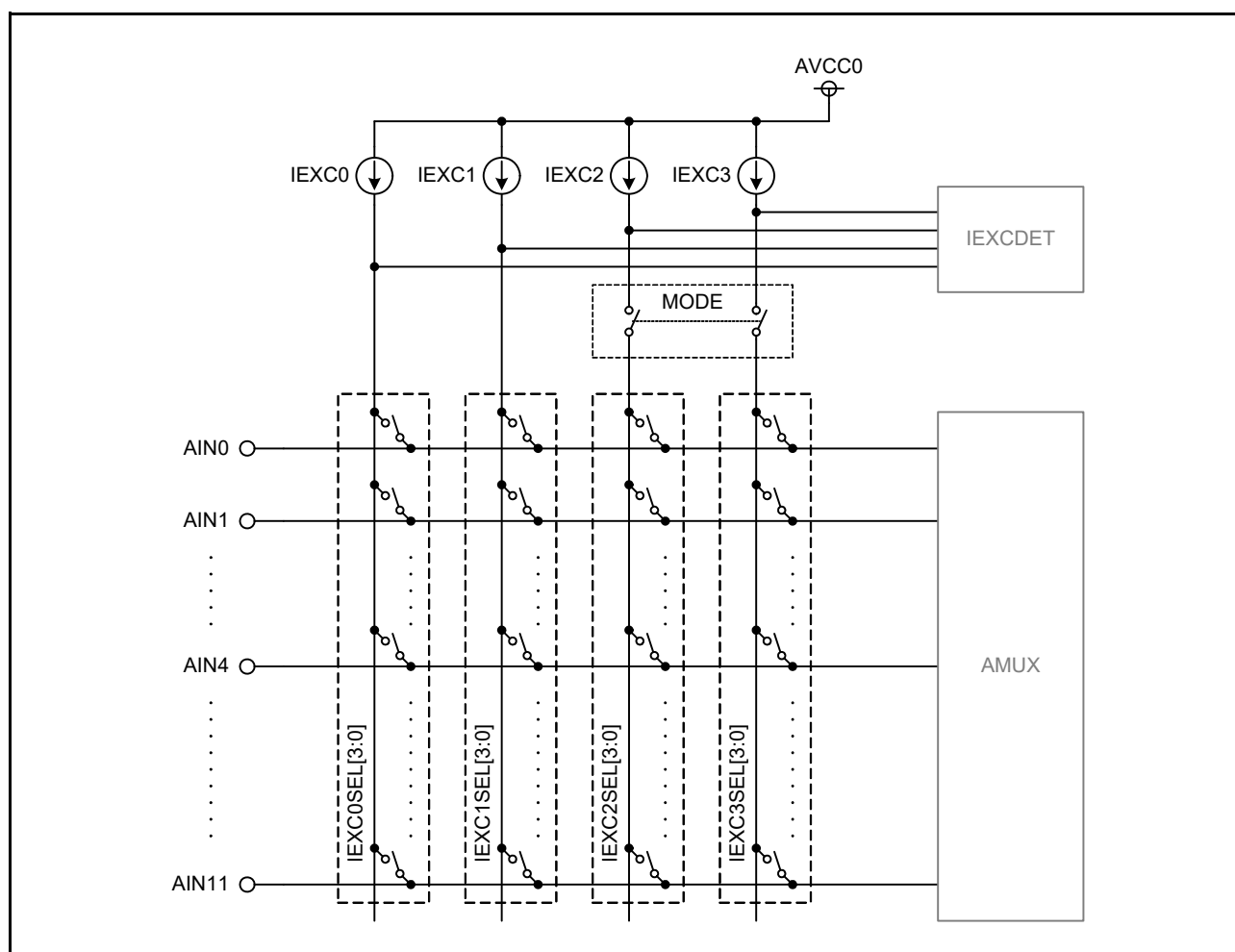


図 33.3 IEXC のブロック図

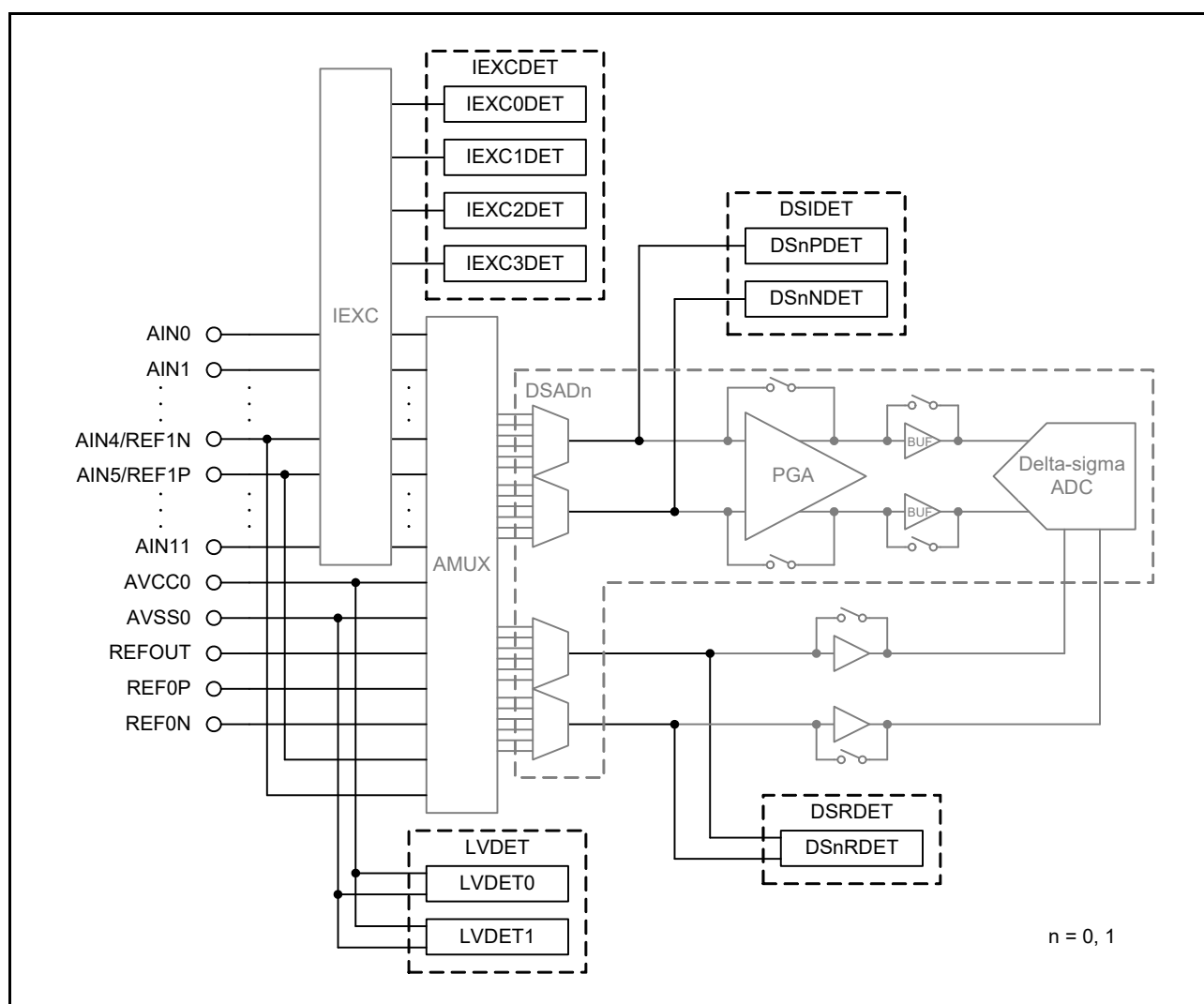


図 33.4 VDET のブロック図

表 33.3 にアナログフロントエンドで使用する端子、表 33.4 にアナログフロントエンドと 24 ビット Δ - Σ A/D コンバータ間の内部信号一覧を示します。また、本章で使用している 24 ビット Δ - Σ A/D コンバータの内部信号一覧を表 33.5 に示します。

表 33.3 AFEの入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ電源
AVSS0	入力	アナロググランド
REFOUT	出力	基準電圧源(VREF)が生成した基準電圧の出力端子
REF0P	入力	24 ビット Δ - Σ A/D コンバータの+側基準電圧入力端子
REF0N	入力	24 ビット Δ - Σ A/D コンバータの-側基準電圧入力端子
AIN0	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
AIN1	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
AIN2	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
AIN3	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
AIN4/REF1N	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子、または24 ビット Δ - Σ A/D コンバータの-側基準電圧入力端子
AIN5/REF1P	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子、または24 ビット Δ - Σ A/D コンバータの+側基準電圧入力端子
AIN6/AN000	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
AIN7/AN001	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
AIN8/AN002/VREFL0	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子、または12 ビット A/D コンバータの基準グランド端子
AIN9/AN003/VREFH0	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子、または12 ビット A/D コンバータの基準電源端子
AIN10/AN004	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
AIN11/AN005	入出力	アナログ信号入力、VBIAS 電圧出力、または励起電流出力端子
LSW	出力	ローサイドスイッチ接続端子

表 33.4 AFE-DSAD間の内部信号(n = 0, 1、m = 0~5)

信号線名	機能
VRnmP	DSADn チャネルmの+側基準電圧
VRnmN	DSADn チャネルmの-側基準電圧
ANDSnmP	DSADn チャネルmの+側入力信号
ANDSnmN	DSADn チャネルmの-側入力信号

表 33.5 DSADの内部信号(n = 0, 1、m = 0~5)

信号線名	機能
VRnP	VRnmPから選択されたDSADnの+側基準電圧
VRnN	VRnmNから選択されたDSADnの-側基準電圧
DSnP	ANDSnmPから選択されたDSADnの+側入力信号
DSnN	ANDSnmNから選択されたDSADnの-側入力信号

33.2 レジスタの説明

33.2.1 AFE 動作制御レジスタ (OPCR)

アドレス AFE.OPCR 000A 1400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSADL VM	—	—	—	—	—	—	—	—	—	DSAD1 EN	DSAD0 EN	IEXCE N	VBIAS EN	VREFE N	TEMPS EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEMPSEN	温度センサ動作許可ビット	0 : 禁止 1 : 許可	R/W
b1	VREFEN	基準電圧源動作許可ビット	0 : 禁止 1 : 許可	R/W
b2	VBIASEN	バイアス電圧生成回路動作許可ビット	0 : 禁止 1 : 許可	R/W
b3	IEXCEN	励起電流源動作許可ビット	0 : 禁止 1 : 許可	R/W
b4	DSAD0EN	DSAD0 動作許可ビット	0 : 禁止 1 : 許可	R/W
b5	DSAD1EN	DSAD1 動作許可ビット	0 : 禁止 1 : 許可	R/W
b14-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DSADLVM	DSAD 動作電圧選択ビット	0 : AVCC0 = 3.6 ~ 5.5 V 1 : AVCC0 = 2.7 ~ 5.5 V(注1)	R/W

注1. AVCC0が3.6～5.5 Vの場合、このビットを“0”にしたときよりも積分非直線性誤差(INL)の特性が悪くなります。

OPCR レジスタは、各回路の動作許可 / 禁止を制御するレジスタです。

TEMPSEN ビット (温度センサ動作許可ビット)

温度センサ (TEMPS) の動作許可 / 禁止の制御を行います。

このビットを“1”にしてから温度センサが安定するまで、400 μ s が必要です。

VREFEN ビット (基準電圧源動作許可ビット)

基準電圧源 (VREF) の動作許可 / 禁止の制御を行います。

このビットを“1”にすると、REFOUT 端子から VREF で生成された電圧 (2.5 V) が出力されます。

このビットを“1”にしてから VREF の出力が安定するまで、1 ms が必要です。

VBIASEN ビット (バイアス電圧生成回路動作許可ビット)

バイアス電圧生成回路 (VBIAS) の動作許可 / 禁止の制御を行います。

このビットを“1”にしてから VBIAS の出力が安定するまでの時間は、出力端子に接続されたフィルタの容量に依存します。VBIAS の起動時間については電気的特性を参照してください。

IEXCEN ビット (励起電流源動作許可ビット)

励起電流源 (IEXC) の動作許可 / 禁止の制御を行います。

このビットを“1”にしてから IEXC の出力が安定するまで、400 μ s が必要です。

DSAD0EN ビット (DSAD0 動作許可ビット)

24 ビット Δ - Σ A/D コンバータ 0 (DSAD0)、DSAD0 入力電圧異常検出回路 (DS0PDET, DS0NDET)、および DSAD0 基準電圧異常検出回路 (DS0RDET) の動作許可 / 禁止の制御を行います。

このビットを“1”にしてから DSAD0 が起動するまで、400 μ s が必要です。

DSAD1EN ビット (DSAD1 動作許可ビット)

24 ビット Δ - Σ A/D コンバータ 1 (DSAD1)、DSAD1 入力電圧異常検出回路 (DS1PDET, DS1NDET)、および DSAD1 基準電圧異常検出回路 (DS1RDET) の動作許可 / 禁止の制御を行います。

このビットを“1”にしてから DSAD1 が起動するまで、400 μ s が必要です。

DSADLVM ビット (DSAD 動作電圧選択ビット)

DSAD0、DSAD1 の動作電圧を選択します。

AVCC0 を 3.6 V 未満で使用する場合は“1”にしてください。

DSAD0、DSAD1 を高精度で使用する場合、AVCC0 を 3.6 V 以上にしてこのビットを“0”にしてください。

33.2.2 電圧検出回路制御レジスタ (VDETCR)

アドレス AFE.VDETCR 000A 1404h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VR1ND ISC	VR1ND ISA	VR1PD ISC	VR1PD ISA	VR0ND ISC	VR0ND ISA	VR0PD ISC	VR0PD ISA	—	—	DET1LVL[1:0]	—	—	—	—	DET0L VL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	DET0LVL	LVDET0 検出レベル設定ビット	0 : 2.00 V 1 : 1.86 V	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	DET1LVL[1:0]	LVDET1 検出レベル設定ビット	b5 b4 0 0 : 2.91 V 0 1 : 2.82 V 1 0 : 3.80 V 1 1 : 3.70 V	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	VR0PDISA	VR0P 断線検出アシストビット	0 : 断線検出アシスト無効 1 : 断線検出アシスト有効	R/W
b9	VR0PDISC	VR0P 断線検出チャージモード設定ビット	0 : ディスチャージ 1 : チャージ	R/W
b10	VR0NDISA	VR0N 断線検出アシストビット	0 : 断線検出アシスト無効 1 : 断線検出アシスト有効	R/W
b11	VR0NDISC	VR0N 断線検出チャージモード設定ビット	0 : ディスチャージ 1 : チャージ	R/W
b12	VR1PDISA	VR1P 断線検出アシストビット	0 : 断線検出アシスト無効 1 : 断線検出アシスト有効	R/W
b13	VR1PDISC	VR1P 断線検出チャージモード設定ビット	0 : ディスチャージ 1 : チャージ	R/W
b14	VR1NDISA	VR1N 断線検出アシストビット	0 : 断線検出アシスト無効 1 : 断線検出アシスト有効	R/W
b15	VR1NDISC	VR1N 断線検出チャージモード設定ビット	0 : ディスチャージ 1 : チャージ	R/W

VDETCR レジスタは、電圧検出回路の検出条件を設定するレジスタです。

DET0LVL ビット (LVDET0 検出レベル設定ビット)

AVCC0 の電圧低下を検出する低電源電圧検出回路 0 (LVDET0) の検出レベルを設定するビットです。

12 ビット A/D コンバータ (S12AD) の電源電圧低下検出に適しています。

DET1LVL[1:0] ビット (LVDET1 検出レベル設定ビット)

AVCC0 の電圧低下を検出する低電源電圧検出回路 1 (LVDET1) の検出レベルを設定するビットです。

24 ビット Δ - Σ A/D コンバータ (DSAD) とアナログフロントエンド (AFE) の電源電圧低下検出に適しています。

VR0PDISA ビット (VR0P 断線検出アシストビット)

DSAD0 の + 側基準電圧 (VR0P) の断線検出アシスト用の定電流源を接続するビットです。

VR0PDISC ビットを設定した後、または設定するのと同時に“1”にしてください。

VR0PDISC ビット (VR0P 断線検出チャージモード設定ビット)

VR0P の断線検出アシストにおける、チャージ/ディスチャージを選択するビットです。

VR0NDISA ビット (VR0N 断線検出アシストビット)

DSAD0 の – 側基準電圧 (VR0N) の断線検出アシスト用の定電流源を接続するビットです。

VR0NDISC ビットを設定した後、または設定するのと同時に“1”にしてください。

VR0NDISC ビット (VR0N 断線検出チャージモード設定ビット)

VR0N の断線検出アシストにおける、チャージ/ディスチャージを選択するビットです。

VR1PDISA ビット (VR1P 断線検出アシストビット)

DSAD1 の + 側基準電圧 (VR1P) の断線検出アシスト用の定電流源を接続するビットです。

VR1PDISC ビットを設定した後、または設定するのと同時に“1”にしてください。

VR1PDISC ビット (VR1P 断線検出チャージモード設定ビット)

VR1P の断線検出アシストにおける、チャージ/ディスチャージを選択するビットです。

VR1NDISA ビット (VR1N 断線検出アシストビット)

DSAD1 の – 側基準電圧 (VR1N) の断線検出アシスト用の定電流源を接続するビットです。

VR1NDISC ビットを設定した後、または設定するのと同時に“1”にしてください。

VR1NDISC ビット (VR1N 断線検出チャージモード設定ビット)

VR1N の断線検出アシストにおける、チャージ/ディスチャージを選択するビットです。

33.2.3 電圧検出許可レジスタ (VDETER)

アドレス AFE.VDETER 000A 1408h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	DS1RDET	DS1NDET	DS1PDET	—	DS0RDET	DS0NDET	DS0PDET	IEXC3DET	IEXC2DET	IEXC1DET	IEXC0DET	—	—	LVDET1	LVDET0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LVDET0	LVDET0動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b1	LVDET1	LVDET1動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	IEXC0DET	IEXC0DET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b5	IEXC1DET	IEXC1DET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b6	IEXC2DET	IEXC2DET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b7	IEXC3DET	IEXC3DET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b8	DS0PDET	DS0PDET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b9	DS0NDET	DS0NDET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b10	DS0RDET	DS0RDET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DS1PDET	DS1PDET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b13	DS1NDET	DS1NDET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b14	DS1RDET	DS1RDET動作許可ビット	0: 停止、または異常検出 1: 動作	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

VDETER レジスタは、電圧検出回路、断線検出アシスト回路の動作を制御し、またそのステータスを表示するレジスタです。

LVDET0 ビット (LVDET0 動作許可ビット)

AVCC0 の電圧異常を検出するためのビットです。

検出電圧は VDCTCR.DET0LVL ビットで設定します。

このビットを“1”にすると、低電源電圧検出回路 0 (LVDET0) が動作します。AVCC0 の電圧が検出電圧を下回ると、このビットが“0”になり、LVDET0 が停止します。

LVDET1 ビット (LVDET1 動作許可ビット)

AVCC0 の電圧異常を検出するためのビットです。

検出電圧は VDCTCR.DET1LVL[1:0] ビットで設定します。

このビットを“1”にすると、低電源電圧検出回路 1 (LVDET1) が動作します。AVCC0 の電圧が検出電圧を

下回ると、このビットが“0”になり、LVDET1 が停止します。

IEXCkDET ビット (IEXCkDET 動作許可ビット) (k = 0 ~ 3)

励起電流源 (IEXC) の出力端子と外部センサ間の断線検出をアシストするためのビットです。

断線検出に使用するチャージ電流は EXCCR.CUR[2:0] ビットで、端子は EXCOSR レジスタで選択します。

このビットを“1”にすると、IEXCk 出力断線検出回路 (IEXCkDET) が動作します。IEXC 出力端子の電圧が AVCC0 近傍の電圧であった場合、このビットが“0”になり、IEXCkDET が停止します。

DS0PDET ビット (DS0PDET 動作許可ビット)

DSAD0 の + 側入力電圧 (DS0P) の異常を検出するためのビットです。オートスキャンを開始してからオートスキャンが停止するまでの間、使用可能です。

このビットを“1”にすると DSAD0 + 側入力電圧異常検出回路 (DS0PDET) が動作します。DS0P の電圧が入力電圧範囲を超えると、このビットが“0”になり、DS0PDET が停止します。

DS0NDET ビット (DS0NDET 動作許可ビット)

DSAD0 の - 側入力電圧 (DS0N) の異常を検出するためのビットです。オートスキャンを開始してからオートスキャンが停止するまでの間、使用可能です。

このビットを“1”にすると DSAD0 - 側入力電圧異常検出回路 (DS0NDET) が動作します。DS0N の電圧が入力電圧範囲を超えると、このビットが“0”になり、DS0NDET が停止します。

DS0RDET ビット (DS0RDET 動作許可ビット)

DSAD0 の + 側基準電圧 (VR0P) と - 側基準電圧 (VR0N) の電位差の異常や、VR0P、VR0N の電圧異常を検出するためのビットです。オートスキャンを開始してからオートスキャンが停止するまでの間、使用可能です。

DS0mISR.RSEL[3:0] ビットを“1011b”または“1111b”にして使用してください。

VDETCR レジスタの VR0PDISA ビットと VR0NDISA ビットで、断線検出アシストの有効 / 無効を設定し、VR0PDISC ビットと VR0NDISC ビットで断線検出のチャージ / ディスチャージを設定します。

このビットを“1”にすると、DSAD0 基準電圧異常検出回路 (DS0RDET) が動作します。VR0P と VR0N の電位差が小さい場合や、チャージ / ディスチャージによって、VR0P、VR0N の電圧が AVCC0/AVSS0 近傍の電圧になった場合、このビットが“0”になり、DS0RDET が停止します。

DS1PDET ビット (DS1PDET 動作許可ビット)

DSAD1 の + 側入力電圧 (DS1P) の異常を検出するためのビットです。オートスキャンを開始してからオートスキャンが停止するまでの間、使用可能です。

このビットを“1”にすると DSAD1 + 側入力電圧異常検出回路 (DS1PDET) が動作します。DS1P の電圧が入力電圧範囲を超えると、このビットが“0”になり、DS1PDET が停止します。

DS1NDET ビット (DS1NDET 動作許可ビット)

DSAD1 の - 側入力電圧 (DS1N) の異常を検出するためのビットです。オートスキャンを開始してからオートスキャンが停止するまでの間、使用可能です。

このビットを“1”にすると DSAD1 - 側入力電圧異常検出回路 (DS1NDET) が動作します。DS1N の電圧が入力電圧範囲を超えると、このビットが“0”になり、DS1NDET が停止します。

DS1RDET ビット (DS1RDET 動作許可ビット)

DSAD1 の + 側基準電圧 (VR1P) と - 側基準電圧 (VR1N) の電位差の異常や、VR1P、VR1N の電圧異常を検出するためのビットです。オートスキャンを開始してからオートスキャンが停止するまでの間、使用可能

です。

DS1mISR.RSEL[3:0] ビットを “1011b” または “1111b” にして使用してください。

VDETCR レジスタの VR1PDISA ビットと VR1NDISA ビットで、断線検出アシストの有効 / 無効を設定し、VR1PDISC ビットと VR1NDISC ビットで断線検出のチャージ / ディスチャージを設定します。

このビットを “1” にすると、DSAD1 基準電圧異常検出回路 (DS1RDET) が動作します。VR1P と VR1N の電位差が小さい場合や、チャージ / ディスチャージによって、VR1P、VR1N の電圧が AVCC0/AVSS0 近傍の電圧になった場合、このビットが “0” になり、DS1RDET が停止します。

33.2.4 バイアス電圧出力選択レジスタ (VBOSR)

アドレス AFE.VBOSR 000A 140Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	VBIAS EN11	VBIAS EN10	VBIAS EN9	VBIAS EN8	VBIAS EN7	VBIAS EN6	VBIAS EN5	VBIAS EN4	VBIAS EN3	VBIAS EN2	VBIAS EN1	VBIAS EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VBIASEN0	AIN0 端子 VBIAS 出力制御ビット	0 : 出力しない 1 : V _{BIAS} を出力	R/W
b1	VBIASEN1	AIN1 端子 VBIAS 出力制御ビット		R/W
b2	VBIASEN2	AIN2 端子 VBIAS 出力制御ビット		R/W
b3	VBIASEN3	AIN3 端子 VBIAS 出力制御ビット		R/W
b4	VBIASEN4	AIN4 端子 VBIAS 出力制御ビット		R/W
b5	VBIASEN5	AIN5 端子 VBIAS 出力制御ビット		R/W
b6	VBIASEN6	AIN6 端子 VBIAS 出力制御ビット		R/W
b7	VBIASEN7	AIN7 端子 VBIAS 出力制御ビット		R/W
b8	VBIASEN8	AIN8 端子 VBIAS 出力制御ビット		R/W
b9	VBIASEN9	AIN9 端子 VBIAS 出力制御ビット		R/W
b10	VBIASEN10	AIN10 端子 VBIAS 出力制御ビット		R/W
b11	VBIASEN11	AIN11 端子 VBIAS 出力制御ビット		R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. OPCR.VBIASEN ビットが“1” (許可) のときは書き換えないでください。

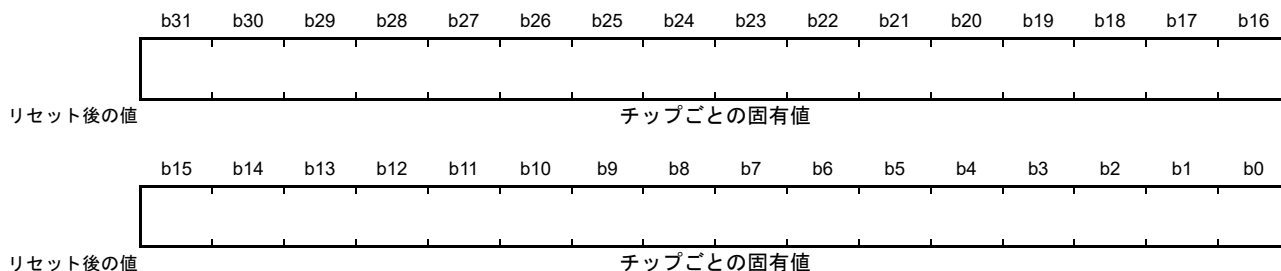
VBOSR レジスタは、生成したバイアス電圧 (V_{BIAS}) を AIN0 ~ AIN11 端子から出力するためのレジスタです。

VBIASENx ビット (AINx 端子 VBIAS 出力制御ビット) (x = 0 ~ 11)

V_{BIAS} を出力する端子を設定します。このビットを“1”にすると、AINx 端子から V_{BIAS} を出力することができます。

33.2.5 温度センサ 0 次温度係数レジスタ (TC0R)

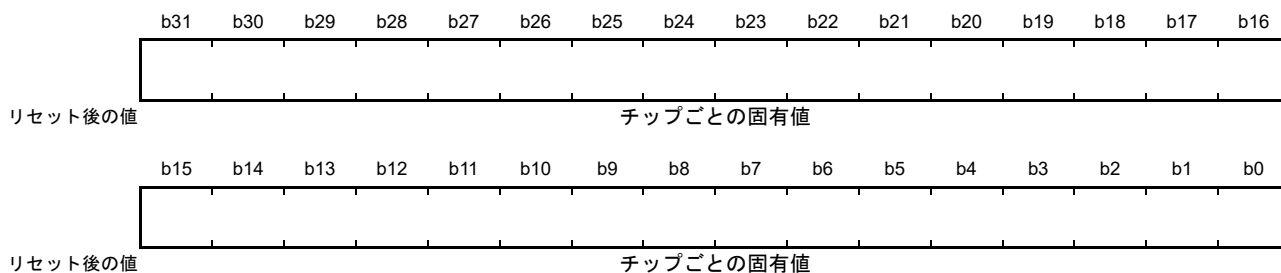
アドレス AFE.TC0R 000A 1410h



0 次の温度補正係数 c の値が単精度浮動小数点数で書き込まれているリードオンリのレジスタです。
工場出荷時に、デバイスごとの補正係数が書き込まれます。
温度補正式は、 $ax^2 + bx + c$ で表されます。

33.2.6 温度センサ 1 次温度係数レジスタ (TC1R)

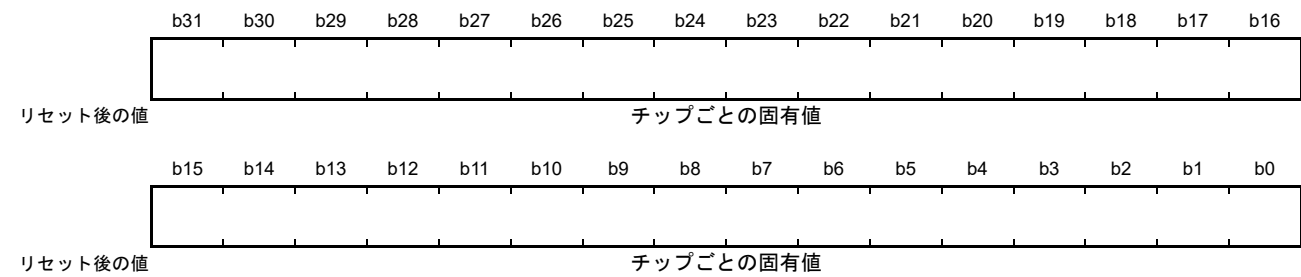
アドレス AFE.TC1R 000A 1414h



1 次の温度補正係数 b の値が単精度浮動小数点数で書き込まれているリードオンリのレジスタです。
工場出荷時に、デバイスごとの補正係数が書き込まれます。
温度補正式は、 $ax^2 + bx + c$ で表されます。

33.2.7 温度センサ 2 次温度係数レジスタ (TC2R)

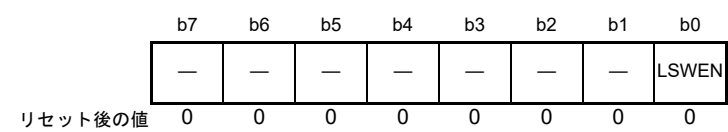
アドレス AFE.TC2R 000A 1418h



2 次の温度補正係数 a の値が単精度浮動小数点数で書き込まれているリードオンリのレジスタです。
工場出荷時に、デバイスごとの補正係数が書き込まれます。
温度補正式は、 $ax^2 + bx + c$ で表されます。

33.2.8 ローサイドスイッチ制御レジスタ (LSWC)

アドレス AFE.LSWC 000A 141Ch



ビット	シンボル	ビット名	機能	R/W
b0	LSWEN	ローサイドスイッチ制御ビット	0 : スイッチ OFF 1 : スイッチ ON	R/W
b7-b1	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W

LSWC レジスタは、ローサイドスイッチ (LSW) の ON/OFF を制御するレジスタです。

LSWEN ビット (ローサイドスイッチ制御ビット)

ローサイドスイッチを制御します。このビットを "1" にするとスイッチが ON になり、LSW 端子と AVSS0 が接続されます。

33.2.9 DSAD0 チャネル m 入力選択レジスタ (DS0mISR) (m = 0 ~ 5)

アドレス AFE.DS00ISR 000A 1420h, AFE.DS01ISR 000A 1424h, AFE.DS02ISR 000A 1428h, AFE.DS03ISR 000A 142Ch,
AFE.DS04ISR 000A 1430h, AFE.DS05ISR 000A 1434h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TSEN	—	—	—	RSEL[3:0]				NSEL[3:0]				PSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	+側入力信号選択ビット	b3 b0 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子 0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 0 0 : オフセット誤差測定用設定(注1) 1 1 1 1 : 接続なし 上記以外 : 設定しないでください	R/W
b7-b4	NSEL[3:0]	-側入力信号選択ビット	b7 b4 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子 0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 1 1 : 接続なし 上記以外 : 設定しないでください	R/W
b8	RSEL[3:0]	基準電圧選択ビット	0 : +側リファレンスバッファ無効 1 : +側リファレンスバッファ有効	R/W
b9			0 : -側リファレンスバッファ無効 1 : -側リファレンスバッファ有効	R/W
b11-b10			b11 b10 0 0 : AVCC0/AVSS0(注2) 0 1 : REFOUT/AVSS0(注2) 1 0 : REF0P/REF0N 1 1 : REF1P/REF1N	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TSEN	温度センサ接続ビット	0 : 温度センサを切断 1 : 温度センサを接続	R/W

注. OPCR.DSAD0EN ビットを“1” (DSAD0動作許可) にしてから書き換えてください。

注1. PSEL[3:0] ビットを“1100b”にすると、DSAD0の+側入力端子と-側入力端子に(AVCC0 + AVSS0) / 2の電圧が印加されます。この状態でA/D変換を行うと、オフセット誤差が測定できます。このとき、NSEL[3:0] ビットは“1111b”にしてください。

注2. AVCC0/AVSS0、REFOUT/AVSS0を選択した場合、リファレンスバッファは無効です。

24 ビット Δ - Σ A/D コンバータ 0 (DSAD0) は、6 チャネルの差動入力から 1 チャネルを選択して A/D 変換が行え、A/D 変換時に使用する基準電圧もチャネルごとに選択できます。DS0mISR レジスタは各チャネル

の+側入力信号、-側入力信号、+側基準電圧、-側基準電圧を設定するレジスタです。また、内蔵している温度センサの制御もできます。

PSEL[3:0] ビット (+側入力信号選択ビット)、NSEL[3:0] ビット (-側入力信号選択ビット)

それぞれ、DSAD0 チャンネル m の+側入力信号 (ANDS0mP)、-側入力信号 (ANDS0mN) を選択するビットです。

オートスキャンを開始すると、設定した値がアナログマルチプレクサ (AMUX) に反映されます。オートスキャンが停止すると、すべてのチャンネルの入力が切断されます。

RSEL[3:0] ビット (基準電圧選択ビット)

DSAD0 チャンネル m の基準電圧 (VR0mP, VR0mN) の選択と、選択した基準電圧をバッファ (リファレンスバッファ) 経由で供給するか、バッファを使用せずに供給するかを選択を行うビットです。

オートスキャンを開始すると、設定した値がアナログマルチプレクサ (AMUX) に反映されます。オートスキャンが停止すると、すべてのチャンネルの入力が切断されます。

表 33.6 RSEL[3:0] ビットの設定値と選択される基準電圧

RSEL[3:0]	DSAD0に入力される基準電圧			
	VR0mP	+側リファレンスバッファ	VR0mN	-側リファレンスバッファ
0000b ~ 0011b	AVCC0	無効	AVSS0	無効
0100b ~ 0111b	REFOUT	無効	AVSS0	無効
1000b	REF0P	無効	REF0N	無効
1001b		有効		無効
1010b		無効		有効
1011b		有効		有効
1100b	REF1P	無効	REF1N	無効
1101b		有効		無効
1110b		無効		有効
1111b		有効		有効

TSEN ビット (温度センサ接続ビット)

DSAD0 のチャンネルごとに、内蔵の温度センサを接続するか切断するかを選択するビットです。

このビットを“1”にした場合、そのチャンネルの PSEL[3:0] ビット、NSEL[3:0] ビット、RSEL[3:0] ビットの設定は無視され、温度センサ出力測定用の設定に切り替わります。

33.2.10 DSAD1 チャネル m 入力選択レジスタ (DS1mISR) (m = 0 ~ 5)

アドレス AFE.DS10ISR 000A 1438h, AFE.DS11ISR 000A 143Ch, AFE.DS12ISR 000A 1440h, AFE.DS13ISR 000A 1444h,
AFE.DS14ISR 000A 1448h, AFE.DS15ISR 000A 144Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	RSEL[3:0]				NSEL[3:0]				PSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PSEL[3:0]	+側入力信号選択ビット	b3 b0 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子 0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 0 0 : オフセット誤差測定用設定(注1) 1 1 1 1 : 接続なし 上記以外 : 設定しないでください	R/W
b7-b4	NSEL[3:0]	-側入力信号選択ビット	b7 b4 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子 0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 1 1 : 接続なし 上記以外 : 設定しないでください	R/W
b8	RSEL[3:0]	基準電圧選択ビット	0 : +側リファレンスバッファ無効 1 : +側リファレンスバッファ有効	R/W
b9			0 : -側リファレンスバッファ無効 1 : -側リファレンスバッファ有効	R/W
b11-b10			b11 b10 0 0 : AVCC0/AVSS0(注2) 0 1 : REFOUT/AVSS0(注2) 1 0 : REF0P/REF0N 1 1 : REF1P/REF1N	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. OPCR.DSAD1EN ビットを“1” (DSAD1動作許可) にしてから書き換えてください。

注1. PSEL[3:0] ビットを“1100b”にすると、DSAD0の+側入力端子と-側入力端子に(AVCC0 + AVSS0) / 2の電圧が印加されます。この状態でA/D変換を行うと、オフセット誤差が測定できます。このとき、NSEL[3:0] ビットは“1111b”にしてください。

注2. AVCC0/AVSS0、REFOUT/AVSS0を選択した場合、リファレンスバッファは無効です。

24 ビット Δ - Σ A/D コンバータ 1 (DSAD1) は、6 チャネルの差動入力から 1 チャネルを選択して A/D 変換が行え、A/D 変換時に使用する基準電圧もチャネルごとに選択できます。DS1mISR レジスタは 6 チャネルの+側入力信号、-側入力信号、+側基準電圧、-側基準電圧を設定するレジスタです。

PSEL[3:0] ビット (+ 側入力信号選択ビット)、NSEL[3:0] ビット (- 側入力信号選択ビット)

それぞれ、DSAD1 チャンネル m の + 側入力信号 (ANDS1mP)、- 側入力信号 (ANDS1mN) を選択するビットです。

オートスキャンを開始すると、設定した値がアナログマルチプレクサ (AMUX) に反映されます。オートスキャンが停止すると、すべてのチャンネルの入力が切断されます。

RSEL[3:0] ビット (基準電圧選択ビット)

DSAD1 チャンネル m の基準電圧 (VR1mP, VR1mN) の選択と、選択した基準電圧をバッファ (リファレンスバッファ) 経由で供給するか、バッファを使用せずに供給するかを選択を行うビットです。

オートスキャンを開始すると、設定した値がアナログマルチプレクサ (AMUX) に反映されます。オートスキャンが停止すると、すべてのチャンネルの入力が切断されます。

表 33.7 RSEL[3:0] ビットの設定値と選択される基準電圧

RSEL[3:0]	DSAD1に入力される基準電圧			
	VR1mP	+側リファレンスバッファ	VR1mN	-側リファレンスバッファ
0000b ~ 0011b	AVCC0	無効	AVSS0	無効
0100b ~ 0111b	REFOUT	無効	AVSS0	無効
1000b	REF0P	無効	REF0N	無効
1001b		有効		無効
1010b		無効		有効
1011b		有効		有効
1100b	REF1P	無効	REF1N	無効
1101b		有効		無効
1110b		無効		有効
1111b		有効		有効

33.2.11 励起電流制御レジスタ (EXCCR)

アドレス AFE.EXCCR 000A 1450h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MODE	—	CUR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CUR[2:0]	励起電流設定ビット	b2 b0 0 0 0 : 50 μ A 0 0 1 : 100 μ A 0 1 0 : 250 μ A 0 1 1 : 500 μ A 1 0 0 : 750 μ A(注1) 1 0 1 : 1000 μ A(注1) 上記以外 : 設定禁止	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MODE	動作モード選択ビット	0 : 2チャンネル出力モード 1 : 4チャンネル出力モード	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. OPCR.IEXCENビットが“1”(許可)のときは書き換えないでください。
注1. 2チャンネル出力モード時のみ有効です。4チャンネル出力モード時は設定しないでください。

CUR[2:0] ビット (励起電流設定ビット)

励起電流源の出力電流を設定するビットです。すべてのチャンネルが同じ値になります。
2チャンネル出力モード時は最大 1000 μ A、4チャンネル出力モード時は最大 500 μ A 出力することができます。

MODE ビット (動作モード選択ビット)

励起電流源の動作チャンネル数を選択するビットです。
2チャンネル (IEXC0, IEXC1) または 4チャンネル (IEXC0 ~ IEXC3) の電流出力設定ができます。

33.2.12 励起電流出力選択レジスタ (EXCOSR)

アドレス AFE.EXCOSR 000A 1454h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEXC3SEL[3:0]				IEXC2SEL[3:0]				IEXC1SEL[3:0]				IEXC0SEL[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	IEXC0SEL[3:0]	IEXC0出力端子選択ビット	励起電流源の出力をどの端子から出力するかを設定します(注1)。 b3 b0 0 0 0 0 : AIN0端子 0 0 0 1 : AIN1端子 0 0 1 0 : AIN2端子 0 0 1 1 : AIN3端子 0 1 0 0 : AIN4端子 0 1 0 1 : AIN5端子 0 1 1 0 : AIN6端子 0 1 1 1 : AIN7端子 1 0 0 0 : AIN8端子 1 0 0 1 : AIN9端子 1 0 1 0 : AIN10端子 1 0 1 1 : AIN11端子 1 1 1 1 : 出力停止 上記以外 : 設定しないでください	R/W
b7-b4	IEXC1SEL[3:0]	IEXC1出力端子選択ビット		R/W
b11-b8	IEXC2SEL[3:0]	IEXC2出力端子選択ビット(注2)		R/W
b15-b12	IEXC3SEL[3:0]	IEXC3出力端子選択ビット(注2)		R/W

注. OPCR.IEXCENビットが“1”(許可)のときは書き換えないでください。

注1. 複数の励起電流源の出力を1つの端子から出力しないでください。

注2. EXCCR.MODEビットが“1”(4チャンネル出力モード)のときのみ有効です。

IEXCkSEL[3:0] ビット (IEXCk 出力端子選択ビット) (k = 0 ~ 3)

励起電流源 (IEXCk) の出力を、AIN0 ~ AIN11 のどの端子から出力するかを選択するビットです。

33.3 動作説明

アナログフロントエンド (AFE) は、大きく分けてアナログマルチプレクサ (AMUX)、基準電圧源 (VREF)、バイアス電圧生成回路 (VBIAS)、温度センサ (TEMPS)、励起電流源 (IEXC)、電圧検出回路 (VDET) から構成されています。

本節では、これらの動作について説明します。

33.3.1 アナログマルチプレクサ (AMUX)

アナログマルチプレクサは、24 ビット Δ - Σ A/D コンバータ (DSADn) ($n = 0, 1$) に入力するアナログ信号の選択と基準電圧の選択を行います。オートスキャンを開始してからオートスキャンが停止するまでの間、DSnmISR レジスタ ($m = 0 \sim 5$) に設定した値が AMUX に反映されます。

ここでは、各種条件におけるレジスタの設定例を示します。

(1) DSADn の入力信号、基準電圧設定

DSADn の入力信号、基準電圧の設定は、以下のように行います。

- (1) DSADn の A/D 変換を停止させます。
- (2) DSnmISR.PSEL[3:0] ビットを設定し、DSADn チャンネル m の + 側入力信号 (ANDSnmP) を選択します。
- (3) DSnmISR.NSEL[3:0] ビットを設定し、DSADn チャンネル m の - 側入力信号 (ANDSnmN) を選択します。
- (4) DSnmISR.RSEL[3:0] ビットを設定し、DSADn チャンネル m の基準電圧 (VRnmP, VRnmN) を選択します。
- (5) DSADn の A/D 変換を再開させます。

なお、(2) ~ (4) の設定順序は任意です。同時に実施しても構いません。

DSnmISR レジスタは、DSAD0、DSAD1 のそれぞれに 6 個あり、DSAD のスキャンモードと、チャンネル選択により、任意のアナログ信号を A/D 変換することができます。詳細は「34. 24 ビット Δ - Σ A/D コンバータ (DSADA)」を参照してください。

(2) DSAD0 の - 側入力信号に V_{BIAS} を使用する場合

DSAD0 の - 側入力信号に V_{BIAS} を使用して、AIN0 端子の入力信号を A/D 変換する手順は、以下のとおりです。

なお、 V_{BIAS} は AIN1 端子から出力するものとします。

- (1) DSAD0 の A/D 変換を停止させます。
- (2) VBOSR.VBIASEN1 ビットを “1” (AIN1 端子から出力) にします。
- (3) DS0mISR.PSEL[3:0] ビットを “0000b” (AIN0 端子) にします。
- (4) DS0mISR.NSEL[3:0] ビットを “0001b” (AIN1 端子) にします。
- (5) DS0mISR.RSEL[3:0] ビットを任意の値に設定します。
- (6) DSAD0 の A/D 変換を再開させます。

なお、(2) ~ (5) の設定順序は任意です。また、(3) ~ (5) は同時に実施しても構いません。

(3) 温度センサを使用する場合

内蔵している温度センサの出力を DSAD0 で計測する (注 1) 手順は、以下のとおりです。

- (1) DSAD0 の A/D 変換を停止させます。
- (2) OPCR.TEMPSEN ビットを “1” にし、温度センサを起動させます。
- (3) 温度センサの出力が安定するまで待ちます。
- (4) DS0mISR.TSEN ビットを “1” にします (注 2)。
- (5) DSAD0 の A/D 変換を開始させます。

注 1. 温度センサは、DSAD0 にのみ接続できます。

注 2. TSEN ビットを “1” にした場合、PSEL[3:0] ビット、NSEL[3:0] ビット、RSEL[3:0] ビットの設定は無視され、温度センサ出力測定用の設定に切り替わります。

33.3.2 基準電圧源 (VREF)

基準電圧源 (VREF) は、2.5 V の定電圧を生成する回路です。センサ用の電源や 24 ビット Δ - Σ A/D コンバータ (DSAD) の + 側基準電圧として使用することができます。

OPCR.VREFEN ビットを “1” にすると、REFOUT 端子から 2.5 V が出力されます。負荷電流は最大 ± 10 mA です。

DSAD0 の + 側基準電圧に VREF の出力 (REFOUT) を使用する場合の接続例を図 33.5 に示します。

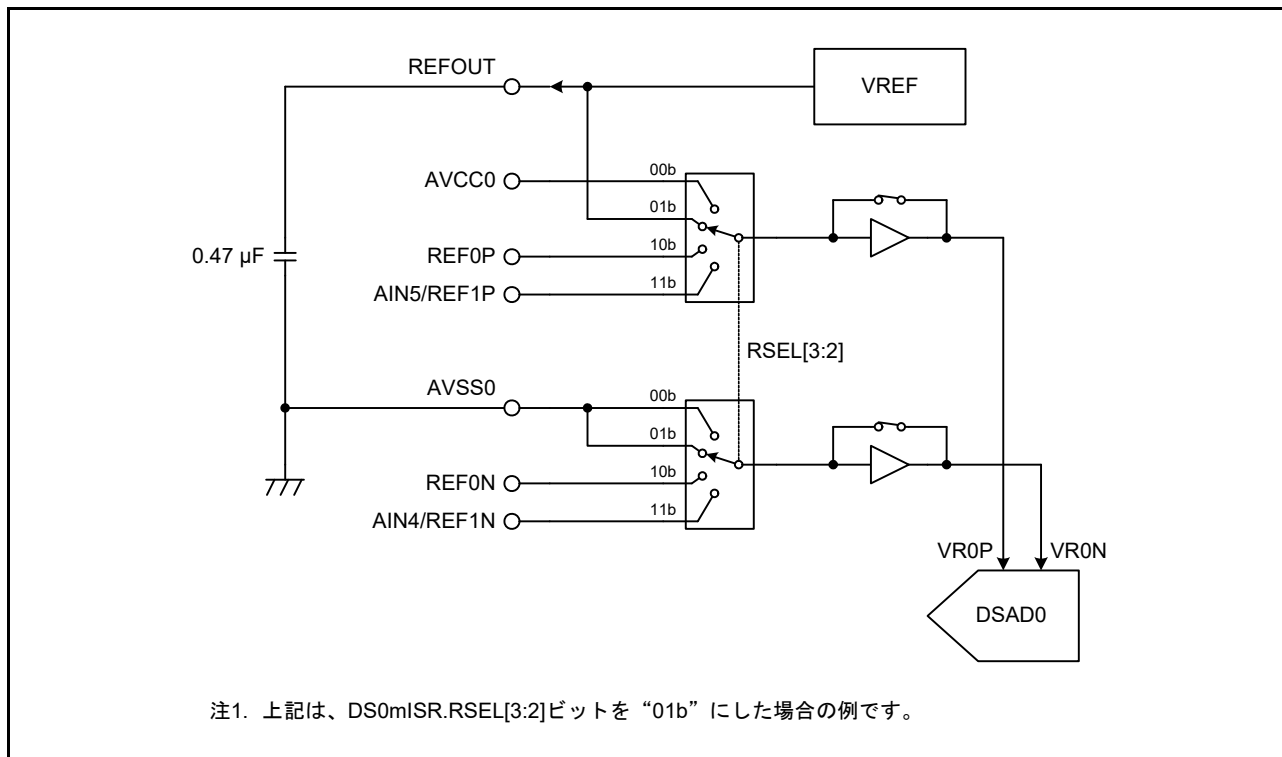


図 33.5 DSAD0 の + 側基準電圧に VREF の出力 (REFOUT) を使用する例

33.3.3 バイアス電圧生成回路 (VBIAS)

バイアス電圧生成回路 (VBIAS) は、 $(AVCC0 + AVSS0) / 2$ の電圧を生成する回路です。生成したバイアス電圧 (V_{BIAS}) は、AIN0 ~ AIN11 端子から MCU 外部に出力することができます。MCU 外部の回路で V_{BIAS} を利用する場合、高インピーダンス回路で受けてください。

図 33.6 に VBIAS の出力を AIN0 端子に接続し、DSAD0 の - 側入力に供給する例を示します。

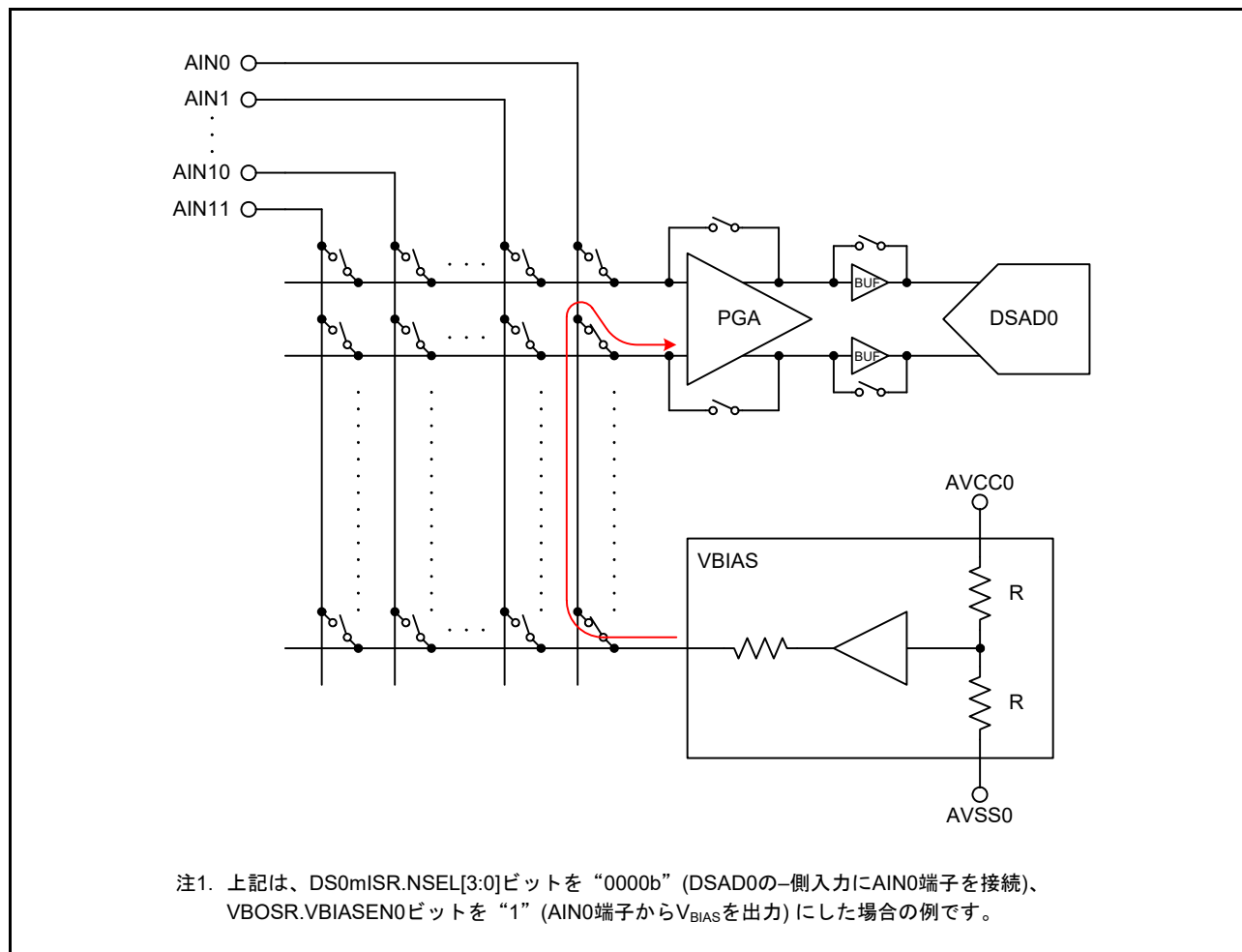


図 33.6 VBIAS と PGA の接続例

なお、VBIAS を使用する場合、出力インピーダンスの影響で A/D 変換精度が悪くなるため、PGA またはアナログ入力バッファ (BUF) を有効にしてください。

33.3.4 温度センサ (TEMPS)

温度センサが出力する電圧を、24 ビット Δ - Σ A/D コンバータ 0 (DSAD0) を用いてデジタル値に変換し、計算式に代入することで、MCU の内部温度を測定することができます。

図 33.7 に温度センサの出力を DSAD0 で測定する場合の接続を示します。

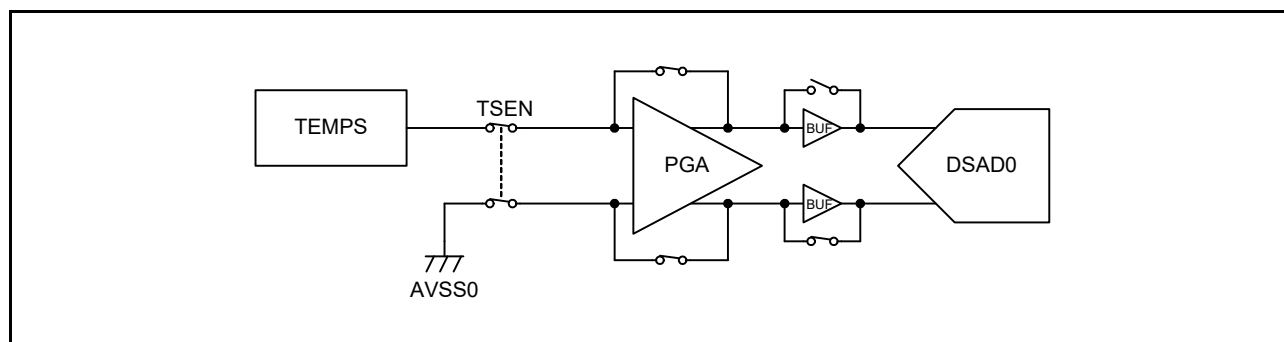


図 33.7 TEMPS の使用方法

温度センサ (TEMPS) を使用する場合、OPCR.TEMPSEN ビットを“1”にした後、DS0mISR.TSEN ビットを“1”にします。

このとき、TEMPS の出力は DSAD0 の + 側入力にアナログ入力バッファ (BUF) を介して接続され、DSAD0 の - 側入力は AVSS0 に接続されます。TSEN ビットを“1”にした場合、DS0mISR レジスタのその他のビットに設定した値は無効になります。

この後、DSAD0 で A/D 変換を実行し、得られた変換結果 (x) を以下の 2 次式に代入すると、温度に変換できます。各係数には TC0R ~ TC2R レジスタの値を使用します。

$$\text{温度} = ax^2 + bx + c \quad (^\circ\text{C})$$

a : TC2R レジスタの値

b : TC1R レジスタの値

c : TC0R レジスタの値

33.3.5 励起電流源 (IEXC)

励起電流源 (IEXCk) (k = 0 ~ 3) は、2 チャネル出力モードの場合 50 ~ 1000 μ A、4 チャネル出力モードの場合 50 ~ 500 μ A の定電流を生成する回路です。生成した電流は、AIN0 ~ AIN11 端子から出力できます。

図 33.8 に 2 チャネル出力モードで、AIN0 端子と AIN4 端子から 100 μ A を出力する例を示します。

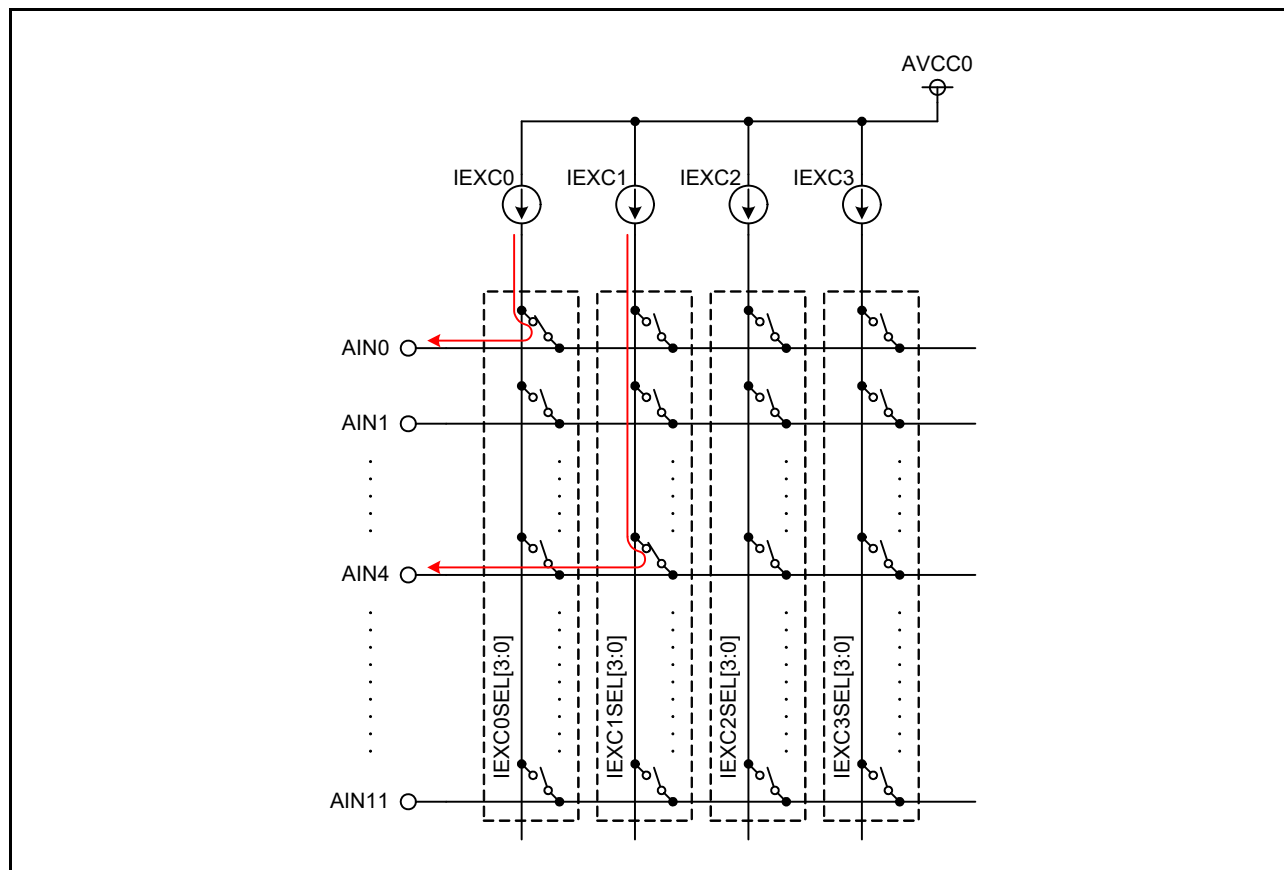


図 33.8 IEXC の設定例

- (1) OPCR.IEXCEN ビットを“0”にし、IEXC を停止させます。
- (2) EXCCR.CUR[2:0] ビットを“001b”にして 100 μ A を選択し、MODE ビットを“0”にして、2 チャネル出力モードにします。
- (3) EXCOSR.IEXC0SEL[3:0] ビットを“0000b”にして AIN0 端子を選択し、IEXC1SEL[3:0] ビットを“0100b”にして AIN4 端子を選択します。
- (4) OPCR.IEXCEN ビットを“1”にし、IEXC を起動させます。

33.3.6 電圧検出回路 (VDET)

電圧検出回路 (VDET) には、低電源電圧検出回路 (LVDET)、DSAD 入力電圧異常検出回路 (DSIDET)、DSAD 基準電圧異常検出回路 (DSRDET)、励起電流源断線検出回路 (IEXCDET) の 4 種類あります。

OPCR レジスタで必要な回路の動作を許可すると、VDET の基準電圧生成回路が起動します。

その後、VDETCR レジスタで検出条件や検出モードを設定し、VDETER レジスタの任意のビットを“1”にすると、対応する検出回路が動作します。

VDETER レジスタで検出回路を動作させた後でも、VDETCR レジスタを変更することは可能ですが、変更したときに特性が変動して誤検出することがあります。

33.3.6.1 低電源電圧検出回路 (LVDET)

低電源電圧検出回路 (LVDET) は、AVCC0 の電圧低下を検出するための回路で、12 ビット A/D コンバータ (S12AD) 用 (LVDET0) と、24 ビット Δ - Σ A/D コンバータ (DSAD) およびアナログフロントエンド (AFE) 用 (LVDET1) の 2 回路あります。

S12AD の動作電圧は、1.8 ~ 5.5 V です。LVDET0 は AVCC0 が 1.86 V または 2.00 V (typ.) を下回ったことを検出できます。VDETCR.DET0LVL ビットで検出電圧を設定した後、VDETER.LVDET0 ビットを“1”にしてください。AVCC0 の電圧が設定した電圧を下回った場合、LVDET0 ビットが“0”になり、LVDET0 の動作が停止します。なお、AVCC0 の検出には、20 μ s の不感応時間を設けています。

DSAD と AFE の動作電圧は、2.7 ~ 5.5 V です。LVDET1 は AVCC0 が 2.82/2.91/3.70/3.80 V (typ.) のいずれかを下回ったことを検出できます。VDETCR.DET1LVL[1:0] ビットで検出電圧を設定した後、VDETER.LVDET1 ビットを“1”にしてください。AVCC0 の電圧が設定した電圧を下回った場合、LVDET1 ビットが“0”になり、LVDET1 の動作が停止します。なお、AVCC0 の検出には、20 μ s の不感応時間を設けています。

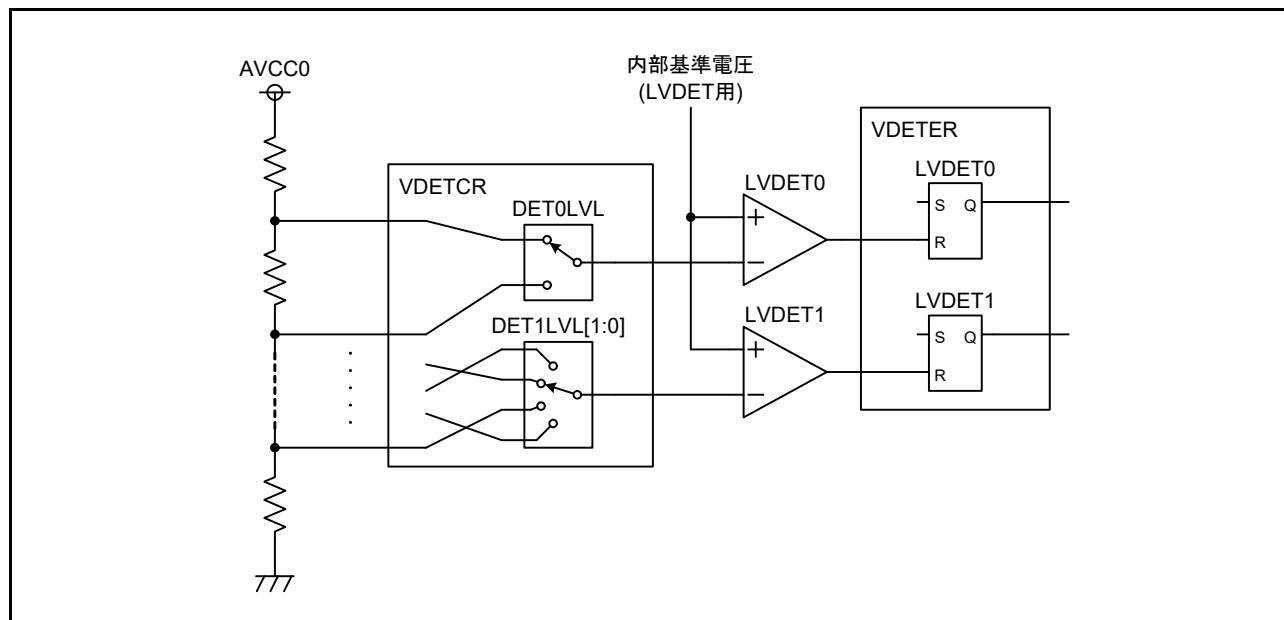


図 33.9 LVDET のブロック図

33.3.6.2 DSAD 入力電圧異常検出回路 (DSIDET)

DSAD 入力電圧異常検出回路 (DSIDET) は、24 ビット Δ - Σ A/D コンバータ (DSAD) への入力信号の電圧異常を検出する回路で、DSAD の各ユニットの入力端子 (DSnP, DSnN) ごとに 1 回路 (DSnPDET, DSnNDET) あります ($n=0, 1$)。

DSAD の入力電圧範囲は、 $AVSS0 - 0.05\text{ V} \sim AVCC0 + 0.05\text{ V}$ です。この範囲を超えた入力電圧を検出するため、検出レベルは $AVSS0 - 0.2\text{ V (typ.)}$ と $AVCC0 + 0.2\text{ V (typ.)}$ になっています。

VDETER レジスタの DSnPDET ビットまたは DSnNDET ビットを“1”にすると、対応する検出回路が動作します。異常を検出した場合、DSnPDET ビットまたは DSnNDET ビットが“0”になり、検出回路の動作が停止します。なお、異常検出には、20 μ s の不感応時間を設けています。

DSAD の設定で、PGA をバイパス、アナログ入力バッファ (BUF) を有効にした場合の入力電圧範囲は、 $AVSS0 + 0.1 \text{ V} \sim AVCC0 - 0.1 \text{ V}$ になるため、この回路では入力電圧異常を検出できません。

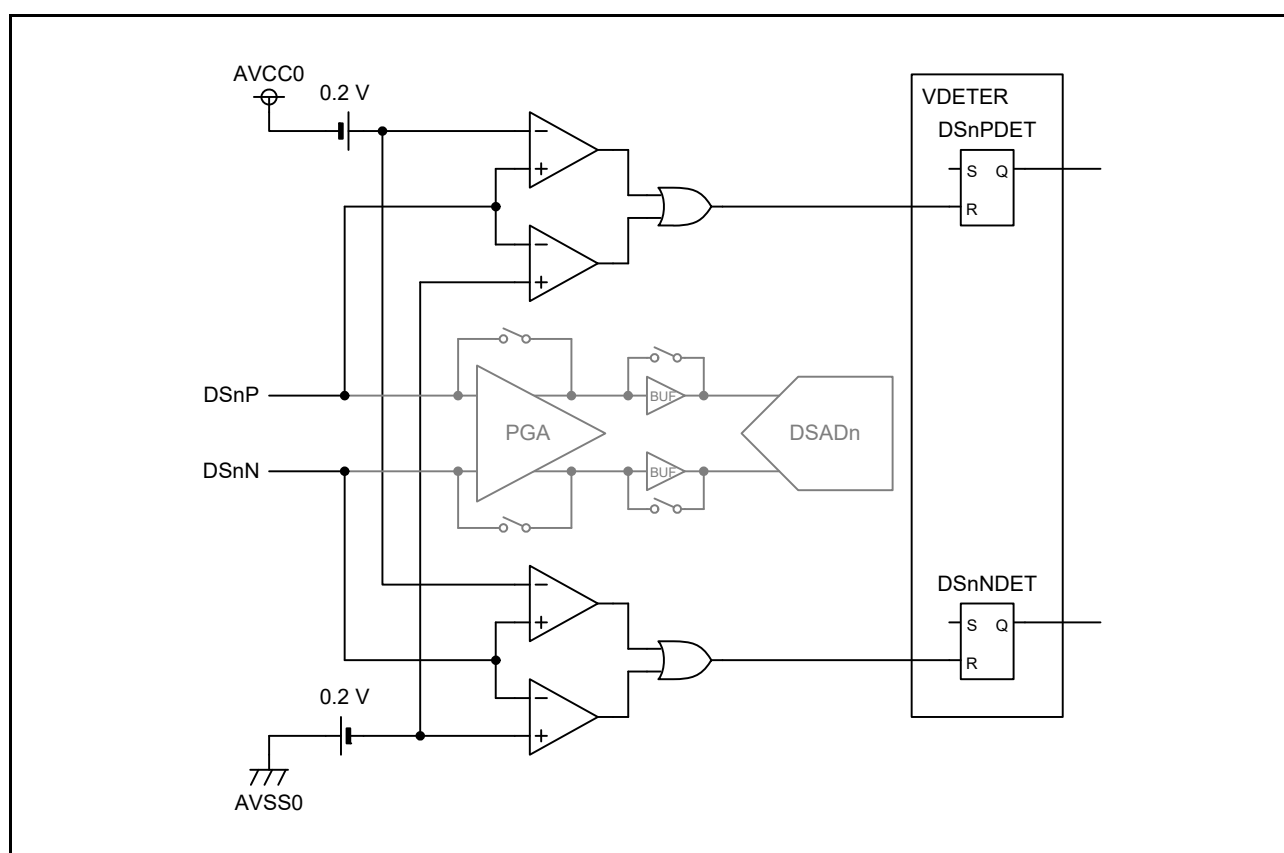


図 33.10 DSIDET のブロック図

33.3.6.3 DSAD 基準電圧異常検出回路 (DSRDET)

DSAD 基準電圧異常検出回路は、24 ビット Δ - Σ A/D コンバータ (DSAD) に供給される外部基準電圧の異常検出と、外部基準電圧源と MCU 間の断線検出アシストができます。DSAD のユニット (DSADn) ごとに 1 回路 (DSnRDET) があります ($n = 0, 1$)。

+ 側基準電圧 (VRnP) と - 側基準電圧 (VRnN) の電位差が 0.85 V (typ.) 未満の場合、および各基準電圧が $AVCC0 - 0.4$ V (typ.) を超えた場合や、 $AVSS0 + 0.4$ V (typ.) 未満になった場合に異常と判断します。

本機能を使用する場合、DSnmISR.RSEL[3:0] ビットを “1011b” または “1111b” にしてください。

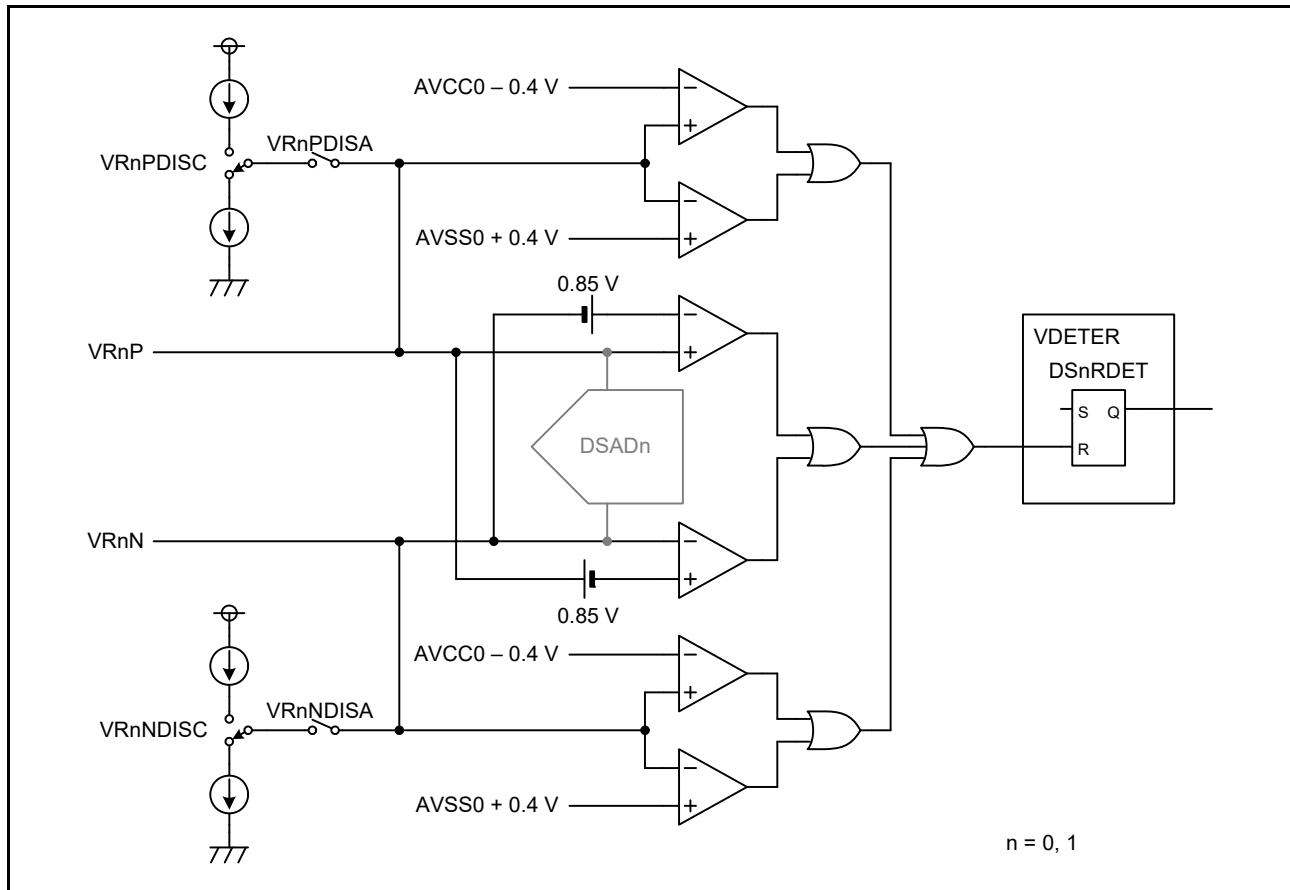


図 33.11 DSRDET のブロック図

断線検出アシストの使用 방법은以下のとおりです。

- (1) OPCR.DSADnEN ビットを “1” にして、DSnRDET 回路の動作を許可します。
- (2) DSADn.ADST.START ビットを “1” にして、VRnP、VRnN に基準電圧を供給させます。
- (3) VDETCR レジスタの VRnPDISC ビットまたは VRnNDISC ビットでディスチャージまたはチャージを選択し、VRnPDISA ビットまたは VRnNDISA ビットを “1” にします。
- (4) VDETER.DSnRDET ビットを “1” にして、基準電圧異常検出回路を起動させます。

ディスチャージによって基準電圧が $AVSS0 + 0.4$ V (typ.) 未満になると、DSnRDET ビットが “0” になり、チャージによって基準電圧が $AVCC0 - 0.4$ V (typ.) を超えると、DSnRDET ビットが “0” になります。なお、電圧検出には、20 μ s の不感応時間を設けています。

基準電圧の値によってディスチャージを使用するか、チャージを使用するかを決定してください。選択を誤ると正しく検出できないことがあります。

また、DSnmISR.RSEL[3:0] ビットでリファレンスバッファを無効にした場合、チャージ電流の不足により

断線検出アシストに時間がかかり、正しく動作しない場合があります。

33.3.6.4 励起電流源断線検出回路 (IEXCDET)

励起電流源断線検出回路 (IEXCDET) は、励起電流源 (IEXC) と MCU 外部のセンサ間の断線検出をアシストする回路で、IEXC のチャンネル (IEXCk) ごとに 1 回路 (IEXCkDET) あります ($k = 0 \sim 3$)。

VDETER.IEXCkDET ビットを“1”にすると、断線検出アシスト回路が動作します。

IEXCk の出力に選択した端子の電圧が $AVCC0 - 0.06\text{ V}$ (typ.) を超えていた場合、IEXCkDET ビットが“0”になり、断線検出アシスト回路が停止します。なお、電圧検出には、 $20\text{ }\mu\text{s}$ の不感応時間を設けています。

EXCOSR.IEXCkSEL[3:0] ビットを“1111b”(出力停止)にしている場合、断線検出アシストが正しく行われませんので、IEXCkDET ビットを“1”にしないでください。

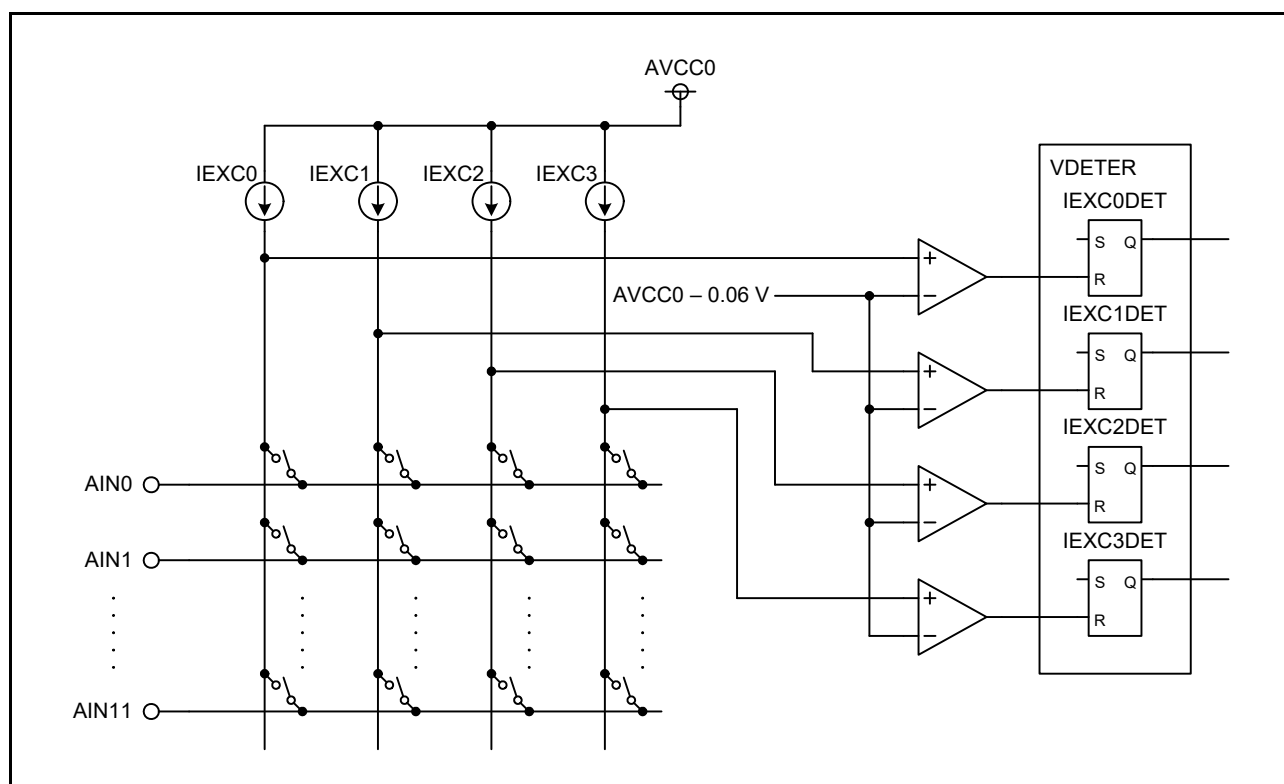


図 33.12 IEXCDET のブロック図

33.3.7 AFE の初期化

24 ビット Δ - Σ A/D コンバータ (DSAD) を使用する前に、図 33.13 の手順に従って AFE を初期化してください。

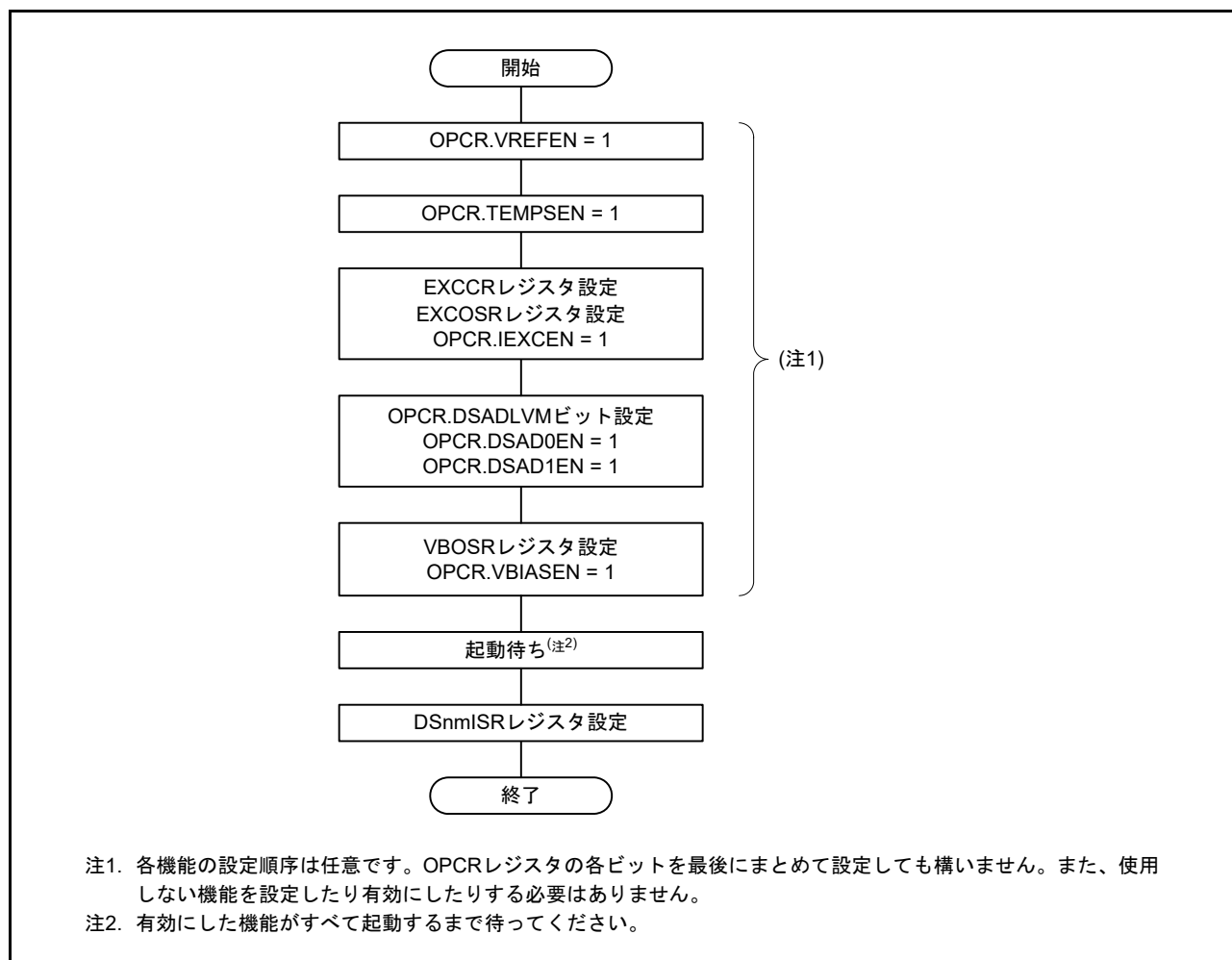


図 33.13 AFE の初期化フロー

33.3.8 VDET の起動

VDET を使用する場合、図 33.14 の手順に従って起動させてください。

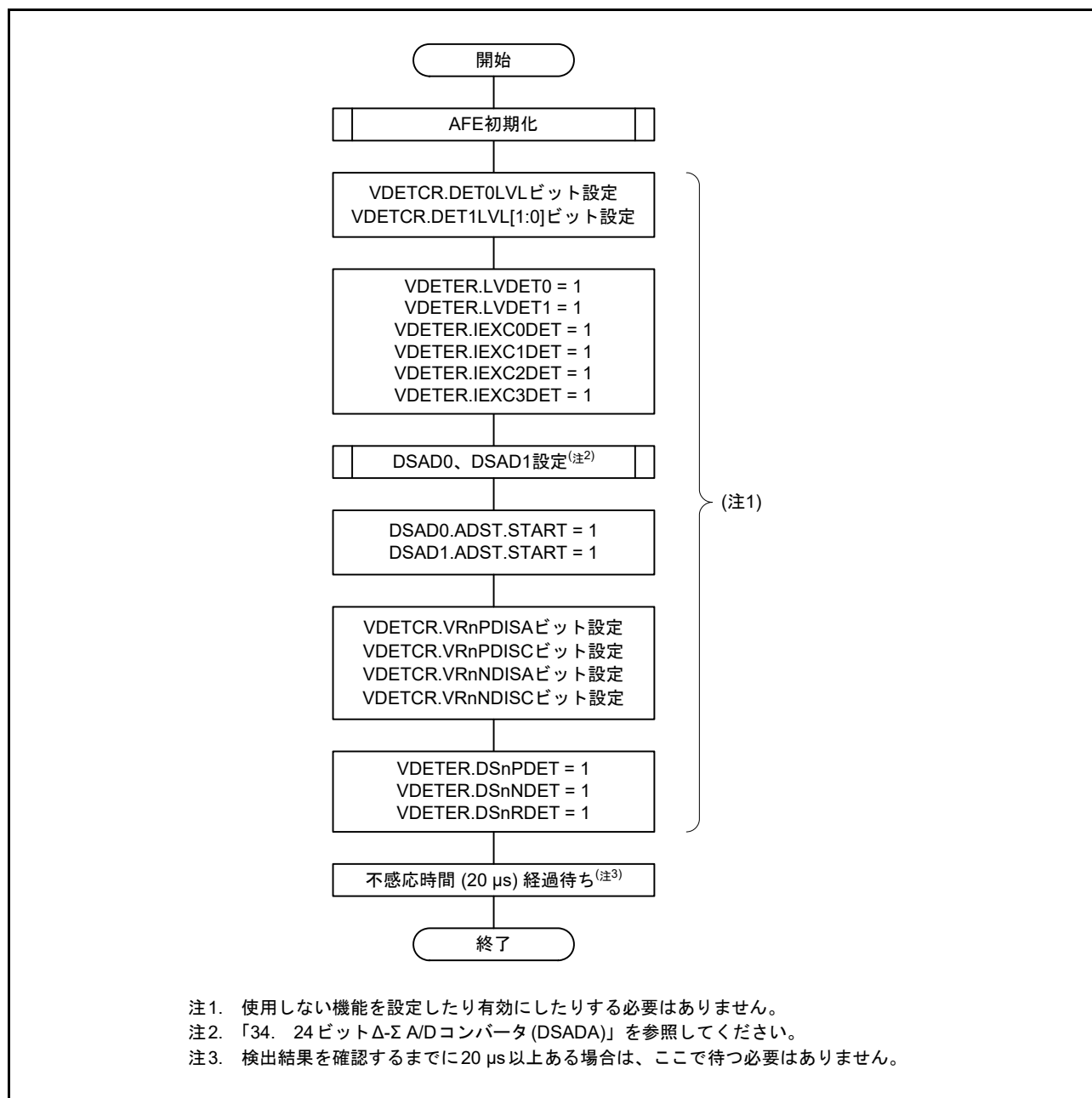


図 33.14 VDET の起動フロー

33.4 注意事項

33.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) により、AFE の動作を禁止または許可することができます。

リセット後、AFE の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

AFE の各機能を動作させたままモジュールストップ状態に遷移させた場合、アナログ回路の動作は停止せず、アナログ電源電流も減少しません。モジュールストップ中にアナログ電源電流を減らしたい場合、OPCR レジスタにより各機能の動作を禁止してください。

33.4.2 アナログ入力端子の設定に関する注意事項

同一のアナログ入力端子を、24 ビット Δ - Σ A/D コンバータ (DSAD0, DSAD1) と 12 ビット A/D コンバータ (S12AD) の変換対象に設定して、A/D 変換させることは推奨しません。A/D 変換精度に影響することがあります。

33.4.3 VBIAS 使用上の注意事項

VBOSR レジスタの設定により、 V_{BIAS} を AIN0 ~ AIN11 端子から出力することができますが、この電圧を外部で使用する場合、高インピーダンス回路で受けてください。電流が増加すると内部配線抵抗によって生じる電圧勾配が大きくなり、出力電圧精度に与える影響が無視できなくなります。

33.4.4 IEXC 使用上の注意事項

励起電流源 (IEXC) の出力に設定した端子を A/D 変換した場合、内部配線抵抗と励起電流により電圧勾配が生じ、期待する A/D 変換精度が得られないことがあります。

EXCOSR.IEXCkSEL[3:0] ビット ($k=0 \sim 3$) を設定する場合、他のチャネルと同じ端子を選択しないでください。期待する電流精度が得られないことがあります。

33.4.5 アナログ電源端子に関する注意事項

AVCC0 の推奨動作電圧は 2.7 ~ 5.5 V です。ただし、12 ビット A/D コンバータ (S12AD) のみ、1.8 ~ 5.5 V の範囲で動作可能です。AVCC0 に 1.8 ~ 2.7 V が供給されている場合、AFE、DSAD は動作しませんので、OPCR レジスタには“00h”を設定してください。

AVSS0 端子、VREFL0 端子は、VSS 端子と同電位にしてください。

図 33.15 に電源端子、基準電圧入力端子の接続例を示します。VCC-VSS 間、AVCC0-AVSS0 間、VREFH0-VREFL0 間に最短で閉ループが形成できるように 0.1 μ F のコンデンサを接続してください。また、内蔵の基準電圧源 (VREF) を使用する場合、REFOUT 端子は 0.47 μ F のコンデンサを介して AVSS0 に接続してください。

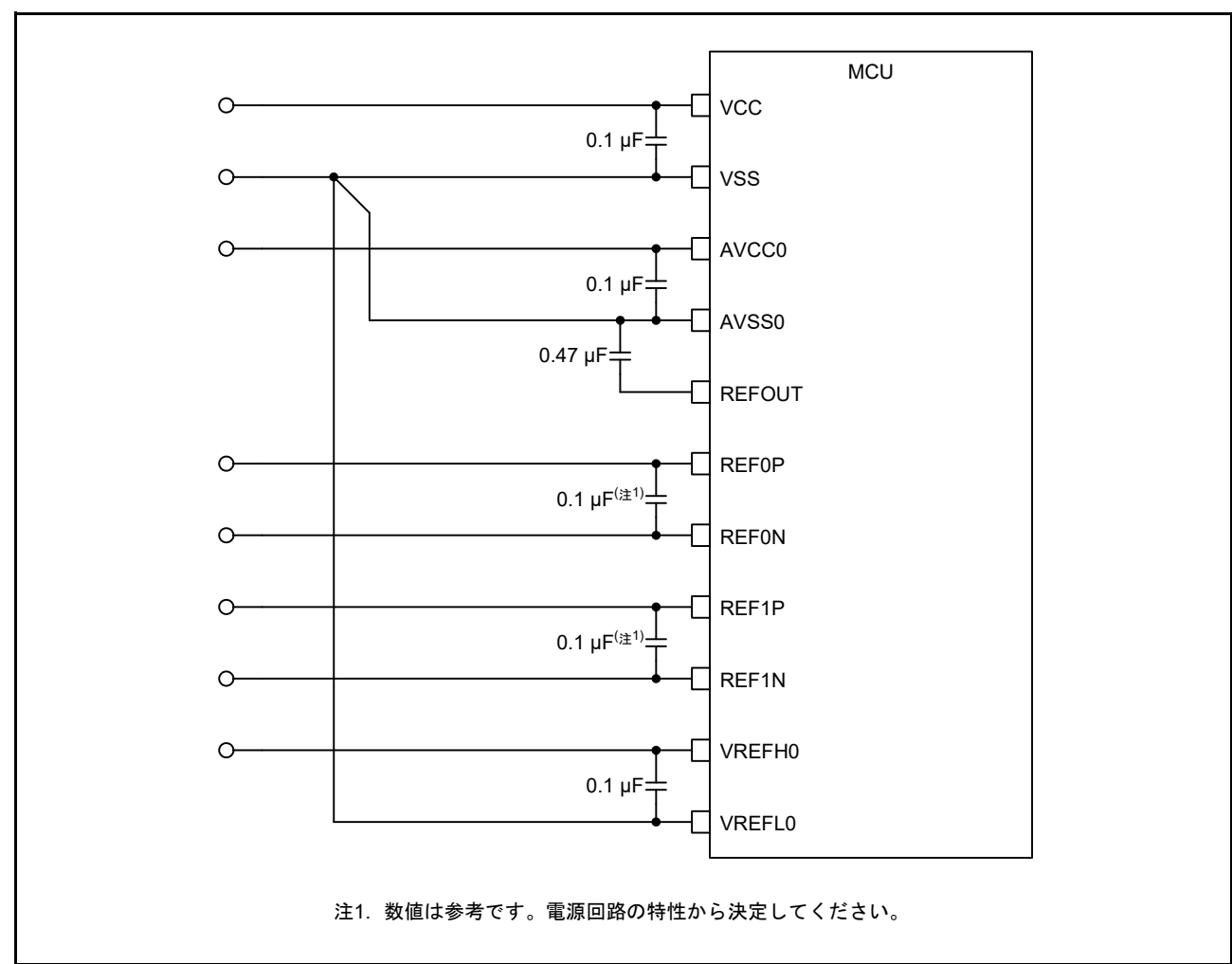


図 33.15 電源端子、基準電圧入力端子の接続例

33.4.6 未使用端子の処理

AFE を使用しない場合、使用しない端子がある場合は、表 33.8 に示す処理をしてください。

表 33.8 未使用端子の処理

端子名	処理内容
AVCC0	VCC または VSS に接続
AVSS0	VSS に接続
REFOUT	端子を開放
REF0P	AVCC0 に直結、または抵抗を介して接続
REF0N	AVSS0 に直結、または抵抗を介して接続
AIN0 ~ AIN11	AVSS0 に直結、または抵抗を介して接続
LSW	AVSS0 に直結、または抵抗を介して接続

34. 24ビット Δ - Σ A/Dコンバータ (DSADA)

34.1 概要

本 MCU は、プログラマブルゲイン計装アンプ付きの 24 ビット Δ - Σ A/D コンバータを 2 ユニット (DSAD0, DSAD1) 内蔵しています。表 34.1 に DSAD の仕様を、図 34.1 に DSAD のブロック図を示します。

表 34.1 DSAD の仕様 (1/2)

項目	内容
ユニット数	2 ユニット
入力チャネル	6 チャネル (12 入力)
A/D 変換方式	Δ - Σ 型
分解能	24 ビット
アナログ入力	アナログマルチプレクサ (AMUX) によりチャネルごとに入力方式を選択可能 - 差動入力 - 疑似差動入力 - シングルエンド入力
モジュレータクロック周波数 (fMOD)	- ノーマルモード: 500 kHz - ローパワーモード: 125 kHz
プログラマブルゲイン計装アンプ (PGA)	- PGA のゲインをチャネルごとに設定可能 ($\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 16$, $\times 32$, $\times 64$, $\times 128$) - PGA をバイパスし DSAD への直接入力が可能 - PGA をバイパスしアナログ入力バッファ (BUF) 経由での DSAD 入力が可能
データレジスタ	A/D 変換結果用データレジスタ 1 本、平均値演算結果用データレジスタ 1 本 - A/D 変換結果に対応するチャネル番号をデータレジスタで確認可能 - A/D 変換結果に対するオーバフローフラグあり - 出力コードを 2 の補数形式、ストレートバイナリ形式から選択可能
動作クロック	- ノーマルモード: 4 MHz - ローパワーモード: 1 MHz PCLKB を 1/2/3/4/5/6/7.5/8 分周して生成
変換開始条件	- ソフトウェアトリガ - ハードウェアトリガ
ユニット間同期スタート	ユニット 0 とユニット 1 の同期スタートが可能
動作モード	- 連続スキャンモード (オートスキャンを停止させるまで動作) - シングルスキャンモード (オートスキャン 1 サイクル実行後に停止) - ワンショット動作 (A/D 変換終了後停止)
変換モード	- 通常動作 - シングルサイクルセトリング
オーバサンプリング比 (OSR)	64/128/256/512/1024/2048/ ユーザ定義値から選択可能 - ユーザ定義値: 32 ~ 65536 (16 の倍数のみ) - チャネルごとに設定可能
A/D 変換回数	オートスキャンの 1 サイクルにおける A/D 変換回数をチャネルごとに設定可能 - レジスタ設定内容により、1 ~ 8032 回または 1 ~ 255 回を指定 0 回に設定した場合はワンショット動作
A/D 変換結果平均化	- 平均化処理の動作選択可能 - 平均化処理を行わない - 平均化処理を行い、A/D 変換終了割り込みを 1 回の A/D 変換ごとに発生 - 平均化処理を行い、A/D 変換終了割り込みを平均値を格納したときに発生 - 平均化するデータ数はチャネルごとに選択可能 (8/16/32/64)
割り込み要因	- A/D 変換終了割り込み (ADI0, ADI1) - スキャン終了割り込み (SCANEND0, SCANEND1)
スキャン動作	A/D 変換が許可されているチャネルのみ、チャネル 0 側から順に変換
デジタルフィルタ	4 次 Sinc フィルタ
オフセットエラー、ゲインエラー補正	レジスタに設定した値を用いて、オフセットエラー、ゲインエラーを自動補正
断線検出アシスト	入力信号の断線検出アシスト機能が使用可能 断線検出電流をチャネルごとに設定可能 (0.5 μA, 2 μA, 4 μA, 20 μA)

表 34.1 DSAD の仕様 (2/2)

項目	内容
異常検知	A/D変換結果に異常が発生した場合、A/D変換結果とともに異常を通知
イベントリンク機能	ELCからのトリガによりA/D変換開始(ハードウェアトリガ)
消費電力低減機能	モジュールストップ状態への遷移が可能

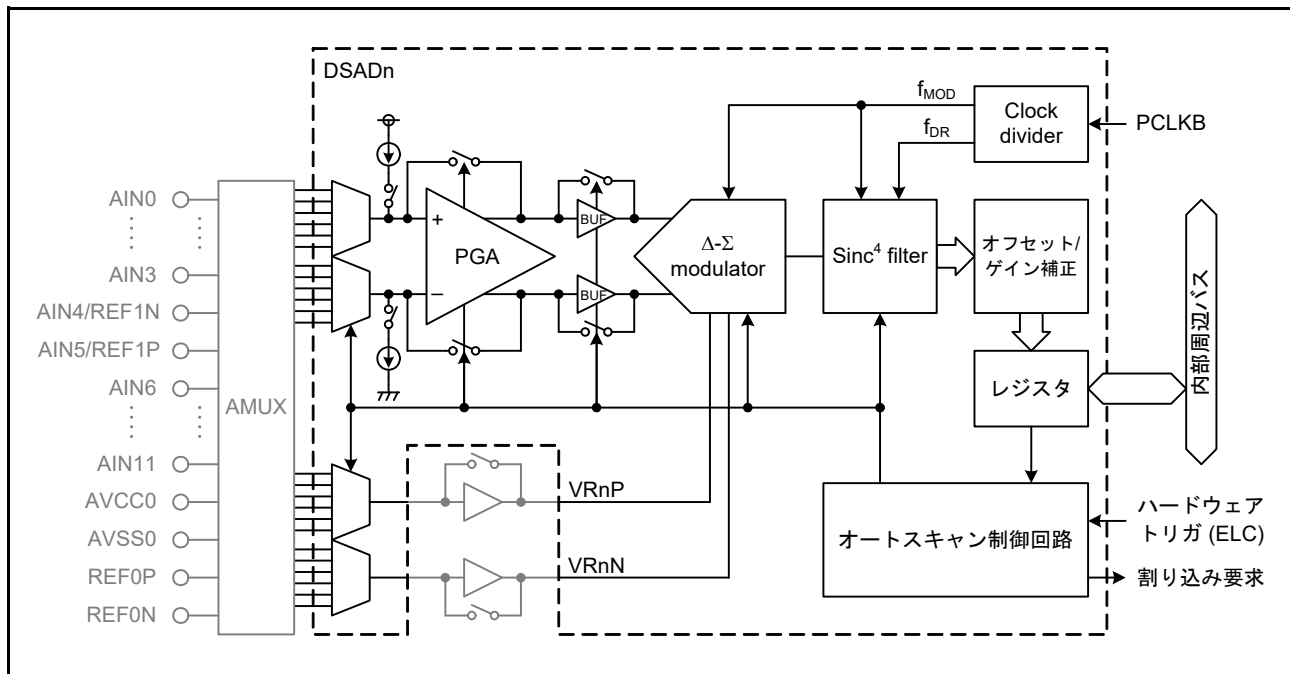


図 34.1 DSAD のブロック図

表 34.2 に DSAD の入出力端子、表 34.3 に AFE と DSAD 間の内部信号、表 34.4 に DSAD の内部信号を示します。

表 34.2 DSAD の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子

表 34.3 AFE-DSAD 間の内部信号 (n = 0, 1、m = 0 ~ 5)

信号線名	機能
VRnmP	DSADnチャネルmの+側基準電圧
VRnmN	DSADnチャネルmの-側基準電圧
ANDSnmP	DSADnチャネルmの+側入力信号
ANDSnmN	DSADnチャネルmの-側入力信号

表 34.4 DSAD の内部信号 (n = 0, 1、m = 0 ~ 5)

信号線名	機能
VRnP	VRnmPから選択されたDSADnの+側基準電圧
VRnN	VRnmNから選択されたDSADnの-側基準電圧
DSnP	ANDSnmPから選択されたDSADnの+側入力信号
DSnN	ANDSnmNから選択されたDSADnの-側入力信号

34.2 レジスタの説明

34.2.1 DSAD 動作クロック制御レジスタ (CCR)

アドレス DSAD0.CCR 000A 1000h, DSAD1.CCR 000A 1200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	LPMD	—	—	—	CLKDIV[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	CLKDIV[3:0]	動作クロック分周比設定ビット	b3 b0 0 0 0 0 : PCLKB (分周なし) 0 0 0 1 : PCLKB/2 (2分周) 0 0 1 0 : PCLKB/3 (3分周) 0 0 1 1 : PCLKB/4 (4分周) 0 1 0 0 : PCLKB/5 (5分周) 0 1 0 1 : PCLKB/6 (6分周) 0 1 1 0 : PCLKB/7.5 (7.5分周) 0 1 1 1 : PCLKB/8 (8分周) 1 1 0 0 : PCLKB (分周なし)(注1) 1 1 0 1 : PCLKB/2 (2分周)(注1) 上記以外は設定しないでください	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	LPMD	ローパワーモード設定ビット	0 : ノーマルモード 1 : ローパワーモード(動作クロックの周波数がノーマルモード時の1/4になります)	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注. SR.ACTフラグが“1”(オートスキャン実行中)のときは、書き換えしないでください。

注. このレジスタを連続して書き換えしないでください。LPMDビットとCLKDIV[3:0]ビットを別々に書き換える場合は、動作クロック1サイクル以上の間隔を空けて実施してください。

注1. これらの設定値を選択した場合、LPMDビットを“1”(ローパワーモード)にしても動作クロックの周波数は1/4になりません。PCLKBの周波数が1 MHzまたは2 MHzで、DSADをローパワーモードで動作させる場合に使用します。

CCR レジスタは動作クロック分周比の設定、ローパワーモードの許可を行うレジスタです。

CLKDIV[3:0] ビット (動作クロック分周比設定ビット)

PCLKB から 4 MHz の動作クロックを生成するときの分周比を選択します。

分周なし、2 分周、3 分周、4 分周、5 分周、6 分周、7.5 分周、8 分周が選択できます。LPMD ビットが“0”の場合に動作クロックが 4 MHz、LPMD ビットが“1”の場合に動作クロックが 1 MHz になるように、PCLKB の周波数とこのビットを設定してください。

LPMD ビット (ローパワーモード設定ビット)

DSAD の動作モードを選択します。動作モードは、ノーマルモードまたはローパワーモードが選択できます。

このビットを変更した場合、ゲイン補正值とオフセット補正值の更新が必要です。ゲイン補正值、オフセット補正值の詳細は、「34.2.11 チャンネル m ゲイン補正レジスタ (GCRm) (m = 0 ~ 5)」および「34.2.12 チャンネル m オフセット補正レジスタ (OFCRm) (m = 0 ~ 5)」を参照してください。

34.2.2 DSAD 動作モードレジスタ (MR)

アドレス DSAD0.MR 000A 1008h, DSAD1.MR 000A 1208h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CH5EN	CH4EN	CH3EN	CH2EN	CH1EN	CH0EN	—	—	—	TRGMD	—	SYNCST	—	SCMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCMD	スキャンモード選択ビット	0：連続スキャンモード 1：シングルスキャンモード	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	SYNCST	ユニット間同期スタート許可ビット	0：ユニット間同期スタートを無効にする 1：ユニット間同期スタートを有効にする	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TRGMD	トリガモード選択ビット	0：ソフトウェアトリガ(ADSTレジスタへの書き込みで変換開始) 1：ハードウェアトリガ(ELCからのハードウェアトリガにて変換開始)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	CH0EN	チャンネル0 A/D 変換許可ビット	0：A/D 変換を許可する 1：A/D 変換を許可しない	R/W
b9	CH1EN	チャンネル1 A/D 変換許可ビット	0：A/D 変換を許可する 1：A/D 変換を許可しない	R/W
b10	CH2EN	チャンネル2 A/D 変換許可ビット	0：A/D 変換を許可する 1：A/D 変換を許可しない	R/W
b11	CH3EN	チャンネル3 A/D 変換許可ビット	0：A/D 変換を許可する 1：A/D 変換を許可しない	R/W
b12	CH4EN	チャンネル4 A/D 変換許可ビット	0：A/D 変換を許可する 1：A/D 変換を許可しない	R/W
b13	CH5EN	チャンネル5 A/D 変換許可ビット	0：A/D 変換を許可する 1：A/D 変換を許可しない	R/W
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注. SR.ACTフラグが“1”(オートスキャン実行中)のときは、SYNCST、TRGMDビット以外書き換えしないでください。

MR レジスタは、各ユニット内の全チャンネルに共通の設定を行うレジスタです。

SCMD ビット (スキャンモード選択ビット)

スキャンモードを選択します。

連続スキャンモードまたはシングルスキャンモードが選択できます。TRGMD ビットが“1”(ハードウェアトリガ)の場合、このビットの設定値にかかわらず、シングルスキャンモードになります。

CRm.CNX[2:0] ビット (m = 0 ~ 5) が“000b”、CRm.CNY[4:0] ビットが“00000b”に設定されている場合、当該チャンネルの A/D 変換が終了すると、スキャンも停止します (ワンショット動作)。

SYNCST ビット (ユニット間同期スタート許可ビット)

ユニット間同期スタート機能を有効にするためのビットです。DSAD0 と DSAD1 の動作クロックの位相を揃えるためにも使用します。

DSAD0 と DSAD1 の両方でこのビットを“1”にすると、ユニット間の動作クロックの位相が揃うとともに、ユニット間のスタートトリガが共有され、A/D 変換のサンプリング開始タイミングが同期化されます。

ユニット間同期スタート機能を使用する場合、DSAD0 と DSAD1 の CCR.LPMD ビットを、同じ値にしてください。

ユニット間同期スタート機能を使用しない場合、このビットを“1”にした後、動作クロック 3 サイクル + 4 μ s 以上待ってから DSAD0 と DSAD1 両方の SYNCST ビットを“0”にしてください。

TRGMD ビット (トリガモード選択ビット)

A/D 変換を開始するためのトリガを選択します。

ソフトウェアトリガまたはハードウェアトリガが選択できます。

ハードウェアトリガを選択した場合、SCMD ビットの設定値にかかわらずシングルスキャンモードになります。

CHmEN ビット (チャネル m A/D 変換許可ビット) (m = 0 ~ 5)

対応するチャネルの A/D 変換許可を制御します。

34.2.3 チャンネル m 動作モードレジスタ (MRm) (m = 0 ~ 5)

アドレス DSAD0.MR0 000A 1020h, DSAD0.MR1 000A 1024h, DSAD0.MR2 000A 1028h,
DSAD0.MR3 000A 102Ch, DSAD0.MR4 000A 1030h, DSAD0.MR5 000A 1034h,
DSAD1.MR0 000A 1220h, DSAD1.MR1 000A 1224h, DSAD1.MR2 000A 1228h,
DSAD1.MR3 000A 122Ch, DSAD1.MR4 000A 1230h, DSAD1.MR5 000A 1234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	DISC[1:0]	—	—	—	—	—	—	—	—	—	AVDN[1:0]	—	AVMD[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DISAN	DISAP	—	—	—	—	—	OSR[2:0]	—	—	SDF	—	CVMD	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b1	CVMD	A/D変換モード選択ビット	0: 通常動作 1: シングルサイクルセトリング	R/W
b2	SDF	格納データ形式設定ビット	0: 2の補数形式 1: ストレートバイナリ形式	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6-b4	OSR[2:0]	オーバサンプリング比設定ビット	b6 b4 0 0 0: 64 0 0 1: 128 0 1 0: 256 0 1 1: 512 1 0 0: 1024 1 0 1: 2048 1 1 0: 設定しないでください 1 1 1: OSRmレジスタの設定値を使用	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	DISAP	+側入力信号断線検出アシストビット	0: 断線検出アシストを行わない 1: 断線検出アシストを行う	R/W
b13	DISAN	-側入力信号断線検出アシストビット	0: 断線検出アシストを行わない 1: 断線検出アシストを行う	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b17-b16	AVMD[1:0]	平均化処理モード設定ビット	b17 b16 0 0: 平均化処理を行わない 0 1: 平均化処理を行わない 1 0: 平均化処理を行う。A/D変換終了割り込みはA/D変換が完了するごとに出力 1 1: 平均化処理を行う。A/D変換終了割り込みは平均値を格納したときに出力	R/W
b19-b18	AVDN[1:0]	平均化データ数選択ビット	b19 b18 0 0: 8 0 1: 16 1 0: 32 1 1: 64	R/W
b27-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b29-b28	DISC[1:0]	断線検出アシスト電流選択ビット	b29 b28 0 0: 0.5 μ A 0 1: 2 μ A 1 0: 4 μ A 1 1: 20 μ A	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注. SR.ACTフラグが“1”(オートスキャン実行中)のときは、書き換えしないでください。

MRm レジスタは、チャンネルごとの動作モードを設定するレジスタです。

CVMD ビット (A/D 変換モード選択ビット)

A/D 変換モードを選択するビットです。詳細は、「34.3.8 A/D 変換モードについて」を参照してください。

SDF ビット (格納データ形式設定ビット)

DR レジスタに格納する A/D 変換結果のデータ形式を 2 の補数形式にするかストレートバイナリ形式にするかを設定します。

OSR[2:0] ビット (オーバサンプリング比設定ビット)

データレート (A/D 変換結果の更新頻度) と、モジュレータクロック周波数の比 (オーバサンプリング比) を設定します。

DISAP ビット (+ 側入力信号断線検出アシストビット)

DSAD の + 側入力に接続された端子に対して断線検出アシストを行うためのビットです。
このビットを“1”にすると、DSAD の + 側入力に対し、チャージが行われます。

DISAN ビット (- 側入力信号断線検出アシストビット)

DSAD の - 側入力に接続された端子に対して断線検出アシストを行うためのビットです。
このビットを“1”にすると、DSAD の - 側入力に対し、ディスチャージが行われます。

AVMD[1:0] ビット (平均化処理モード設定ビット)

A/D 変換結果の平均化処理モードを選択します。平均化処理を行う場合、1 回の A/D 変換ごとに割り込みを発生させるか、平均値を格納したときに割り込みを発生させるかを選択します。

AVDN[1:0] ビット (平均化データ数選択ビット)

平均化するデータの数を選択します。8、16、32、64 が選択できます。

平均化処理を行う場合、A/D 変換回数の合計は CRm レジスタで設定した A/D 変換回数の 8/16/32/64 倍になります。

DISC[1:0] ビット (断線検出アシスト電流選択ビット)

断線検出アシストを行う際の電流値を選択します。

34.2.4 チャンネル m 制御レジスタ (CRm) (m = 0 ~ 5)

アドレス DSAD0.CR0 000A 1040h, DSAD0.CR1 000A 1044h, DSAD0.CR2 000A 1048h, DSAD0.CR3 000A 104Ch,
DSAD0.CR4 000A 1050h, DSAD0.CR5 000A 1054h,
DSAD1.CR0 000A 1240h, DSAD1.CR1 000A 1244h, DSAD1.CR2 000A 1248h, DSAD1.CR3 000A 124Ch,
DSAD1.CR4 000A 1250h, DSAD1.CR5 000A 1254h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	GAIN[4:0]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CNMD	—	—	—	CNX[2:0]			CNY[4:0]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	CNY[4:0]	A/D 変換回数設定ビット Y	A/D 変換回数の計算式における y の値を設定します。 設定範囲 : y = 0 ("00000b") ~ 31 ("11111b")	R/W
b7-b5	CNX[2:0]	A/D 変換回数設定ビット X	A/D 変換回数の計算式における x の値を設定します。 設定範囲 : x = 0 ("000b") ~ 7 ("111b")	R/W
b10-b8	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R
b11	CNMD	A/D 変換回数演算モードビット	0 : 指数演算モード (A/D 変換回数は 1 ~ 8032 回) 1 : 即値モード (A/D 変換回数は 1 ~ 255 回)	R/W
b15-b12	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R
b20-b16	GAIN[4:0]	PGA ゲイン設定ビット	PGA のゲインおよび有効/無効、アナログ入力バッファ (BUF) の有効/無効を設定します。詳細は、表 34.5 を参照してください	R/W
b31-b21	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R

注. SR.ACT フラグが "1" (オートスキャン実行中) のときは、書き換えしないでください。

CRm レジスタは、PGA のゲインや A/D 変換回数を設定するレジスタです。

CNY[4:0] ビット (A/D 変換回数設定ビット Y)

オートスキャン 1 サイクルにおける A/D 変換回数 N を決定する変数 y の値を設定します。

CNX[2:0] ビットと CNY[4:0] ビットがどちらも 0 のとき、ワンショット動作になります。

CNX[2:0] ビット (A/D 変換回数設定ビット X)

オートスキャン 1 サイクルにおける A/D 変換回数 N を決定する変数 x の値を設定します。

以下に A/D 変換回数 N の計算式を示します。

- CRm.CNMD ビットが "1" (即値モード) のとき、

$$N = x \times 32 + y$$

- CRm.CNMD ビットが "0" (指数演算モード) のとき、

$$N = (y + 32) \times 2^x - 32$$

x、y の組み合わせにより、0 ~ 8032 の範囲 (N = 0 のときはワンショット動作) で 256 階調の A/D 変換回数を選択することができます。

図 34.2 に指数演算モードの階調数 (レジスタの下位 8 ビットの値) と A/D 変換回数の相関図を示します。

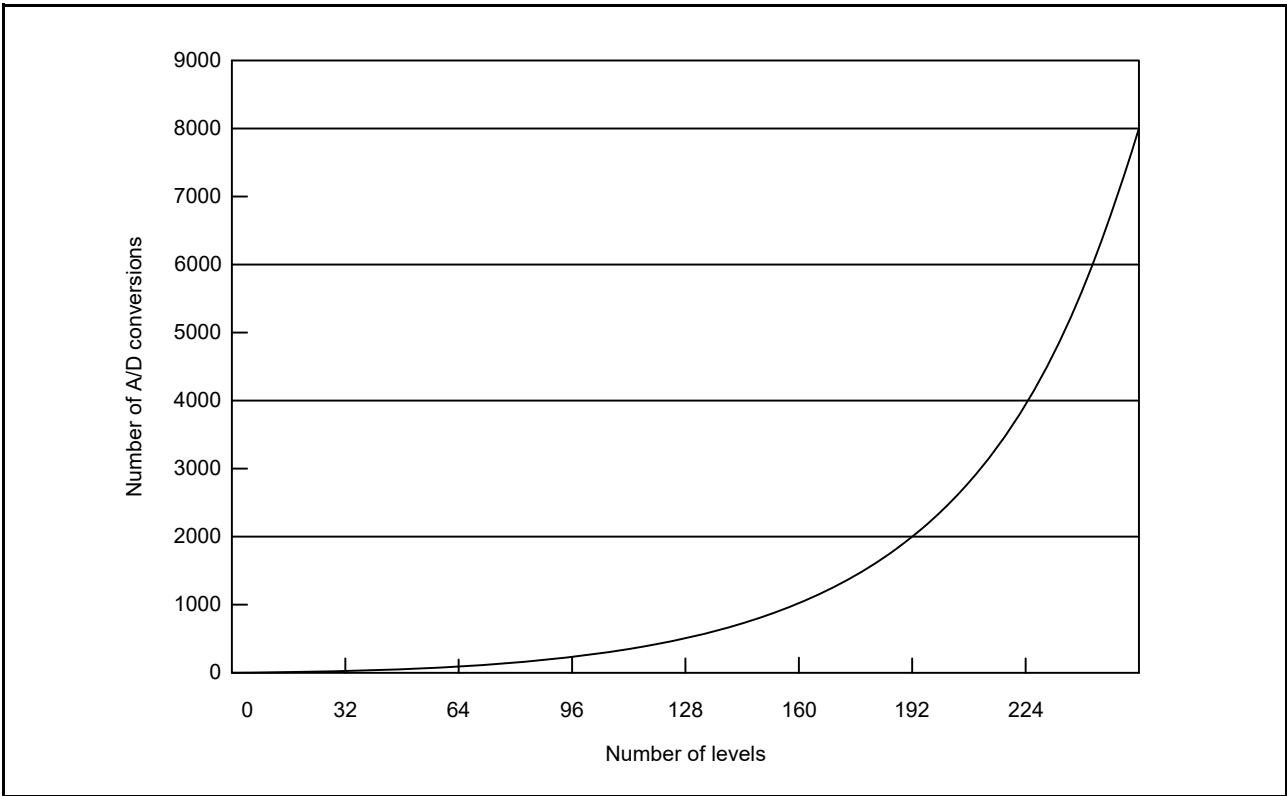


図 34.2 指数演算モードの階調数と A/D 変換回数の相関図

CNMD ビット (A/D 変換回数演算モードビット)

オートスキャン 1 サイクルにおける A/D 変換回数の演算モードを指定します。

GAIN[4:0] ビット (PGA ゲイン設定ビット)

プログラマブルゲイン計装アンプ (PGA) のゲイン、PGA の有効 / 無効、アナログ入力バッファ (BUF) の有効 / 無効を設定します。

表 34.5 GAIN[4:0] ビットの設定値とゲイン、PGA 有効 / 無効、BUF 有効 / 無効の関係

GAIN[4:0]	ゲイン	PGA	+側 BUF	−側 BUF
00000b	1	無効 (バイパス)	無効 (バイパス)	無効 (バイパス)
00001b	1		有効	
00010b	1		無効 (バイパス)	有効
00011b	1		有効	
10000b	1	有効	有効	有効
10001b	2			
10010b	4			
10011b	8			
10100b	16			
10101b	32			
10110b	64			
10111b	128			
上記以外	設定しないでください			

34.2.5 A/D 変換開始レジスタ (ADST)

アドレス DSAD0.ADST 000A 1060h, DSAD1.ADST 000A 1260h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	START
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	START	オートスキャン開始ビット	0：オートスキャン停止 1：オートスキャン開始	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ADST レジスタは、A/D 変換 (オートスキャン) を開始 / 停止させるためのレジスタです。

START ビット (オートスキャン開始ビット)

A/D 変換 (オートスキャン) の開始 / 停止を制御します。MR.TRGMD ビットが “0” (ソフトウェアトリガ) のときのみ有効です。

このビットを “1” にするとオートスキャンが開始され、“1” から “0” にするとオートスキャンが停止します。“0” にした後は、動作クロック 2 サイクル分の期間、“1” にしないでください。このビットを使用してオートスキャンを停止させる場合、「34.4.5 オートスキャン停止」に従って実施してください。

ハードウェアトリガやユニット間同期スタート機能でオートスキャンを開始させた場合、このビットは “1” になりません。オートスキャンが実行中かどうかを確認するには、SR.ACT フラグを使用してください。

なお、ADSTP.STOP ビットに “1” を書いた場合やオートスキャンが完了した場合も、このビットは “0” になります。

34.2.6 A/D 変換停止レジスタ (ADSTP)

アドレス DSAD0.ADSTP 000A 1064h, DSAD1.ADSTP 000A 1264h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STOP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STOP	オートスキャン停止ビット	“1”を書くとオートスキャンが停止します。読むと“0”が読めます	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ADSTP レジスタは、A/D 変換 (オートスキャン) を停止させるレジスタです。

STOP ビット (オートスキャン停止ビット)

このビットに“1”を書き込むと、A/D 変換 (オートスキャン) が停止します。MR.TRGMD ビットの設定によらず有効です。

ユニット間同期スタート機能を使用して開始させたオートスキャンを停止させる場合、DSAD0、DSAD1 の両方の STOP ビットに“1”を書いてください。

ADST.START ビットが“1”になっている場合、このビットに“1”を書き込むと START ビットが“0”になります。

このビットに“1”を書いた後は、動作クロック 2 サイクル分の期間、オートスキャンを開始させないでください。このビットを使用してオートスキャンを停止させる場合、「34.4.5 オートスキャン停止」に従って実施してください。

34.2.7 データレジスタ (DR)

アドレス DSAD0.DR 000A 1070h, DSAD1.DR 000A 1270h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCH[2:0]			—	—	—	ERR	OVF	DATA[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	DATA[23:0]	データビット	A/D 変換結果が格納されます	R
b24	OVF	オーバフローフラグ	0 : 正常状態 (範囲内) 1 : オーバフロー発生	R
b25	ERR	異常検出フラグ	0 : 異常なし 1 : 異常検出	R
b28-b26	—	予約ビット	読むと“0”が読めます	R
b31-b29	CCH[2:0]	変換チャネル表示ビット	b31 b29 0 0 0 : 未変換またはデータ無効 0 0 1 : チャネル0 0 1 0 : チャネル1 0 1 1 : チャネル2 1 0 0 : チャネル3 1 0 1 : チャネル4 1 1 0 : チャネル5	R

DR レジスタは、A/D 変換の結果が格納されるレジスタです。

DATA[23:0] ビット (データビット)

A/D 変換結果が格納されます。

MRm.SDF ビット (m = 0 ~ 5) が “0” (2 の補数形式) のとき、-8388608 (80 0000h) ~ +8388607 (7F FFFFh)、“1” (ストレートバイナリ形式) のとき、0 (00 0000h) ~ 16777215 (FF FFFFh) の範囲で結果を表示します。

OVF フラグ (オーバフローフラグ)

A/D 変換の結果、オーバフローが発生したかどうかを示します。オーバフローが発生した場合、変換結果は最大値または最小値になります。

ERR フラグ (異常検出フラグ)

A/D 変換回路内で信号が異常発振し、A/D 変換結果に異常が生じた場合、DATA[23:0] ビットにデータが格納されると同時にこのフラグが “1” になります。この場合、DATA[23:0] ビットの値は保証されません。

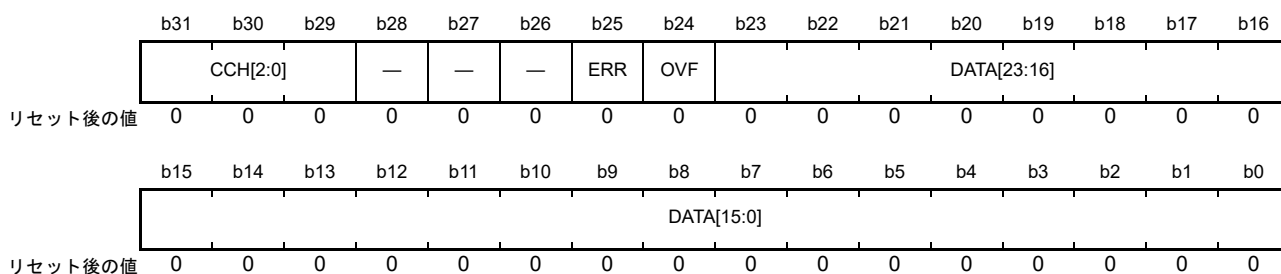
このフラグが “1” になった後、再び正常な A/D 変換結果を得るには、オートスキャンを停止、再開させる必要があります。再び A/D 変換を実行し、正常に変換できた場合、DATA[23:0] ビットにデータが格納されると同時にこのフラグが “0” になります。

CCH[2:0] ビット (変換チャネル表示ビット)

格納されているデータがどのチャネルの A/D 変換結果かを示します。

34.2.8 平均値データレジスタ (AVDR)

アドレス DSAD0.AVDR 000A 1090h, DSAD1.AVDR 000A 1290h



ビット	シンボル	ビット名	機能	R/W
b23-b0	DATA[23:0]	データビット	A/D変換結果を平均化した値が格納されます。平均化処理を行わない場合、“00 0000h”になります	R
b24	OVF	オーバーフローフラグ	0：正常状態(範囲内) 1：オーバーフロー発生	R
b25	ERR	異常検出フラグ	0：異常なし 1：異常検出	R
b28-b26	—	予約ビット	読むと“0”が読めます	R
b31-b29	CCH[2:0]	変換チャネル表示ビット	b31 b29 000：未変換またはデータ無効 001：チャネル0 010：チャネル1 011：チャネル2 100：チャネル3 101：チャネル4 110：チャネル5	R

AVDR レジスタは、A/D 変換結果を平均化したデータが格納されるレジスタです。

DATA[23:0] ビット (データビット)

A/D 変換結果を平均化した値が格納されます。格納される値は MRm.SDF ビット (m = 0 ~ 5) の設定に従います。

OVF フラグ (オーバーフローフラグ)

平均値の計算に用いた A/D 変換結果の少なくとも 1 つに、オーバーフローが発生したことを示します。オーバーフローが発生した場合、該当する変換結果は最大値または最小値になり、その結果が平均値計算に用いられます。

ERR フラグ (異常検出フラグ)

A/D 変換結果に異常があることを示すフラグです。詳細は、DR.ERR フラグを参照してください。

CCH[2:0] ビット (変換チャネル表示ビット)

格納されているデータがどのチャネルの A/D 変換結果かを示します。

34.2.9 ステータスレジスタ (SR)

アドレス DSAD0.SR 000A 10B0h, DSAD1.SR 000A 12B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ACT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACT	オートスキャンアクティブフラグ	0：オートスキャン停止中 1：オートスキャン実行中	R
b31-b1	—	予約ビット	読むと“0”が読めます	R

SR レジスタは、オートスキャンの実行状態を表示するレジスタです。

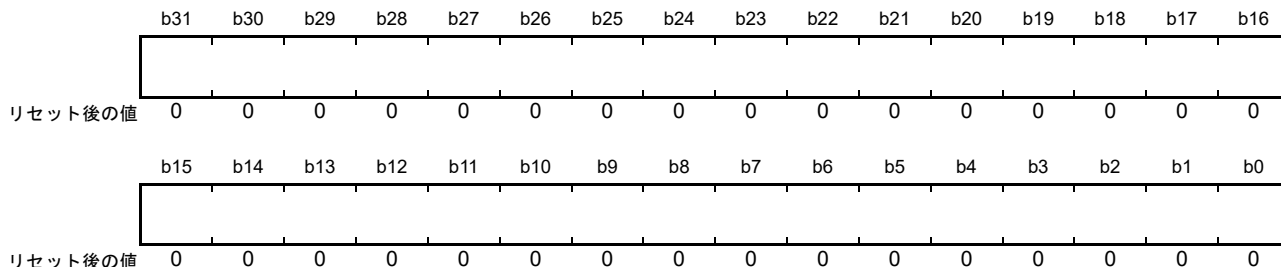
ACT フラグ (オートスキャンアクティブフラグ)

オートスキャンの実行状態を示すフラグです。A/D 変換の実行中は“1”が、A/D 変換の停止中は“0”が読めます。

ハードウェアトリガまたはソフトウェアトリガが入力されてから、このフラグが“1”になるまで最大 PCLKB 4 サイクル + 動作クロック 5 サイクルの時間がかかります。

34.2.10 チャネル m オーバサンプリング比設定レジスタ (OSRm) (m = 0 ~ 5)

アドレス DSAD0.OSR0 000A 10C0h, DSAD0.OSR1 000A 10C4h, DSAD0.OSR2 000A 10C8h,
DSAD0.OSR3 000A 10CCh, DSAD0.OSR4 000A 10D0h, DSAD0.OSR5 000A 10D4h,
DSAD1.OSR0 000A 12C0h, DSAD1.OSR1 000A 12C4h, DSAD1.OSR2 000A 12C8h,
DSAD1.OSR3 000A 12CCh, DSAD1.OSR4 000A 12D0h, DSAD1.OSR5 000A 12D4h



注. SR.ACTフラグが“1” (オートスキャン実行中)のときは、書き換えないでください。

OSRm レジスタは、チャネル m のオーバサンプリング比を設定するレジスタです。MRm.OSR[2:0] ビット (m=0 ~ 5) が “111b” のときのみ有効です。

OSR[2:0] ビットで選択できる値よりも細かくオーバサンプリング比が指定できます。

設定できる値は、0 (0000 0000h) ~ 4095 (0000 0FFFh) です。

設定値を x (x ≠ 0) とした場合、オーバサンプリング比は以下の式で求められます。

$$\text{オーバサンプリング比} = (x + 1) \times 16$$

なお、x = 0 の場合、オーバサンプリング比は 32 になります。

デジタルフィルタ出力のフルスケール調整はビットシフトによって行われています。このため、オーバサンプリング比に 2 のべき乗でない値を設定した場合、演算結果の下位ビットが切り捨てられることにより、デジタルフィルタの入力と出力の間に 1/2 倍 ~ 1 倍のゲイン (G_{DF}) が生じます。このゲインは、以下の式で求めることができます。

$$G_{DF} = \frac{1}{2^{(\text{Ceil}(4\log_2 \text{OSR}) - 4\log_2 \text{OSR})}}$$

OSRm レジスタを使用する場合、このゲインを考慮した上で使用してください。このゲインを補正する場合、ゲインエラー補正機能またはソフトウェアを用いて実施します。ゲインエラー補正機能を使用する場合、GCRm レジスタに設定する値は以下の式で求められます (注 1)。

$$GCRm = \frac{400000h}{G_{DF}}$$

注 1. デジタルフィルタで発生するゲインエラーのみを補正する場合の値です。システム全体のゲインエラーを補正する場合、OSRm レジスタに値を設定した状態で補正係数演算フローに従って補正係数を算出してください。

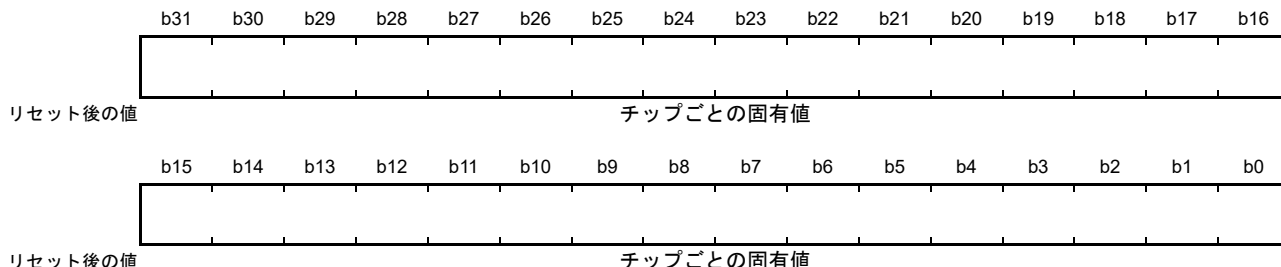
表 34.6 に OSRm レジスタの設定値と、そのとき発生するゲインおよび補正值の例を示します。

表 34.6 OSRm レジスタの設定値とデジタルフィルタで発生するゲインの例 (fMOD = 500 kHz、ノーマルモード)

OSRm レジスタ 設定値	オーバーサンプリング比 (OSR)	データ レート [SPS]	ゲイン (G _{DF})	GCRm レジスタ 設定値
1	32	15625.000	1.000000	0040 0000h
3	64	7812.500	1.000000	0040 0000h
7	128	3906.250	1.000000	0040 0000h
15	256	1953.125	1.000000	0040 0000h
31	512	976.563	1.000000	0040 0000h
63	1024	488.281	1.000000	0040 0000h
159	2560	195.313	0.610352	0068 DB8Bh
311	4992	100.160	0.551567	0074 0871h
519	8320	60.096	0.531990	0078 4D91h
520	8336	59.981	0.536094	0077 61CCh
575	9216	54.253	0.800903	004F E8E6h
578	9264	53.972	0.817720	004E 4435h
623	9984	50.080	0.551567	0074 0871h
624	10000	50.000	0.555112	0073 4ACAh
3124	50000	10.000	0.677626	005E 7284h
3127	50048	9.990	0.680232	005E 15E4h
4095	65536	7.629	1.000000	0040 0000h

34.2.11 チャンネル m ゲイン補正レジスタ (GCRm) (m = 0 ~ 5)

アドレス DSAD0.GCR0 000A 1120h, DSAD0.GCR1 000A 1124h, DSAD0.GCR2 000A 1128h,
DSAD0.GCR3 000A 112Ch, DSAD0.GCR4 000A 1130h, DSAD0.GCR5 000A 1134h,
DSAD1.GCR0 000A 1320h, DSAD1.GCR1 000A 1324h, DSAD1.GCR2 000A 1328h,
DSAD1.GCR3 000A 132Ch, DSAD1.GCR4 000A 1330h, DSAD1.GCR5 000A 1334h



注. SR.ACTフラグが“1”(オートスキャン実行中)のときは、書き換えないでください。

GCRm レジスタは、ゲインエラーを補正するための係数を格納するレジスタで、整数部 2 ビット、小数部 22 ビットの 24 ビット固定小数点数で設定します。上位 8 ビットは予約ビットです。“0”を設定してください。

本レジスタに設定した値が、毎回の A/D 変換結果に乗算されます。

設定できる値の範囲は“0000 0000h”(0.0 倍) ~ “00FF FFFFh”(3.9999 倍)です(表 34.7 参照)。

なお、“0000 0000h”を設定した場合、変換結果は“00 0000h”になります。

工場出荷時には、CCR.LPMD ビットと CRm.GAIN[4:0] ビット (m = 0 ~ 5) のすべての組み合わせに対応した補正值がフラッシュメモリ内に格納されています。リセット後の値は、ノーマルモード、ゲイン 1 倍 (PGA 無効、BUF 無効) のときの補正值です。

GAIN[4:0] ビットの値を変更すると、そのときの LPMD ビットと GAIN[4:0] ビットの値に対応した補正值が、フラッシュメモリから読み出されて GCRm レジスタに上書きされます。

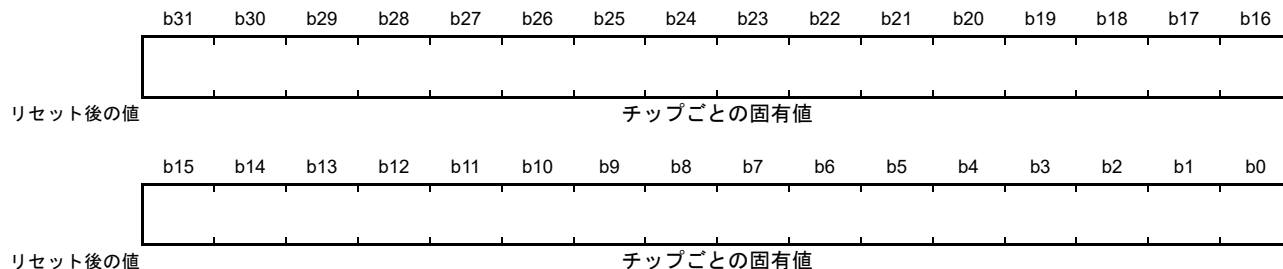
また、GCRm レジスタには任意の値を設定できます。設定した値は、GAIN[4:0] ビットの値を変更すると、デフォルトの補正值によって上書きされますので注意してください。

表 34.7 代表的な設定値と補正值

GCRm レジスタ	補正值
0000 0000h	0.000 倍
0010 0000h	0.250 倍
0020 0000h	0.500 倍
0030 0000h	0.750 倍
0038 0000h	0.875 倍
003C CCCCh	約 0.950 倍
0040 0000h	1.000 倍
0043 3333h	約 1.050 倍
0048 0000h	1.125 倍
0060 0000h	1.500 倍
0080 0000h	2.000 倍
00A0 0000h	2.500 倍
00C0 0000h	3.000 倍
00E0 0000h	3.500 倍
00FF FFFFh	約 4.000 倍 (3.9999... 倍)

34.2.12 チャンネル m オフセット補正レジスタ (OFCRm) (m = 0 ~ 5)

アドレス DSAD0.OFCR0 000A 1140h, DSAD0.OFCR1 000A 1144h, DSAD0.OFCR2 000A 1148h,
DSAD0.OFCR3 000A 114Ch, DSAD0.OFCR4 000A 1150h, DSAD0.OFCR5 000A 1154h,
DSAD1.OFCR0 000A 1340h, DSAD1.OFCR1 000A 1344h, DSAD1.OFCR2 000A 1348h,
DSAD1.OFCR3 000A 134Ch, DSAD1.OFCR4 000A 1350h, DSAD1.OFCR5 000A 1354h



注. SR.ACTフラグが“1” (オートスキャン実行中)のときは、書き換えないでください。

OFCRm レジスタは、オフセットエラーを補正するための係数を格納するレジスタで、24 ビットの符号付き整数で設定します。上位 8 ビットは予約ビットです。“00h” または “FFh” を設定してください。読んだ場合は “00h” が読めます。

本レジスタに設定した値が、毎回の A/D 変換結果から減算されます。

設定できる値の範囲は “FF80 0000h” (−8388608) ~ “007F FFFFh” (+8388607) です (表 34.8 参照)。

なお、“0000 0000h” (0) を設定した場合、変換結果は補正されません。

リセット後の値は、工場出荷時にチャンネルごとにノーマルモード、ゲイン 2 倍の条件で測定した補正值です。これ以外の条件で使用する場合は、オフセットエラーの計測を行い、適切な補正值を設定してください。

表 34.8 代表的な設定値と補正值

OFCRm レジスタ	補正值
FF80 0000h	−8388608
FFC0 0000h	−4194304
FFE0 0000h	−2097152
FFF0 0000h	−1048576
FFFF 0000h	−65536
FFFF F000h	−4096
FFFF FFFFh	−1
0000 0000h	0
0000 0001h	1
0000 1000h	4096
0001 0000h	65536
0010 0000h	1048576
0020 0000h	2097152
0040 0000h	4194304
007F FFFFh	8388607

34.3 機能詳細説明

34.3.1 機能概要

アナログ信号は、プログラマブルゲイン計装アンプ (PGA) を経由し、DSAD に入力されます。A/D 変換結果は、Sinc⁴ デジタルフィルタにてフィルタリングされた後、データレジスタに格納されます。補正レジスタを持ち、デジタルフィルタ出力からオフセットエラーとゲインエラーの補正が可能です。

A/D 変換は、動作クロックから生成されるクロックによって実行されます。オーバーサンプリング比を変更することで、チャンネルごとにデータレートを設定することも可能です。

フローは、「34.4 制御フロー」を参照してください。

34.3.2 アナログ入力チャンネル設定

図 34.3 に示すとおり、DSADn (n = 0, 1) にはそれぞれアナログ入力チャンネルが 6 チャンネルあり、DSADn チャンネル m (m = 0 ~ 5) の + 側入力信号 (ANDSn_mP) と - 側入力信号 (ANDSn_mN) は、アナログマルチプレクサ (AMUX) によって、AIN0 ~ AIN11 端子から選択します。AMUX の設定により、チャンネルごとに差動入力、疑似差動入力、シングルエンド入力を選択できます。AMUX に関する詳細は、「33. アナログフロントエンド (AFE)」を参照してください。

オートスキャンを開始すると、以下のレジスタの設定に従って、6 チャンネルの入力信号から 1 チャンネルの信号が順次選択されながら A/D 変換が実行されます。

- MR.CHmEN ビット：A/D 変換を行うチャンネル
- MRm レジスタ：各チャンネルの動作モード
- CRm レジスタ：各チャンネルの A/D 変換回数、ゲイン

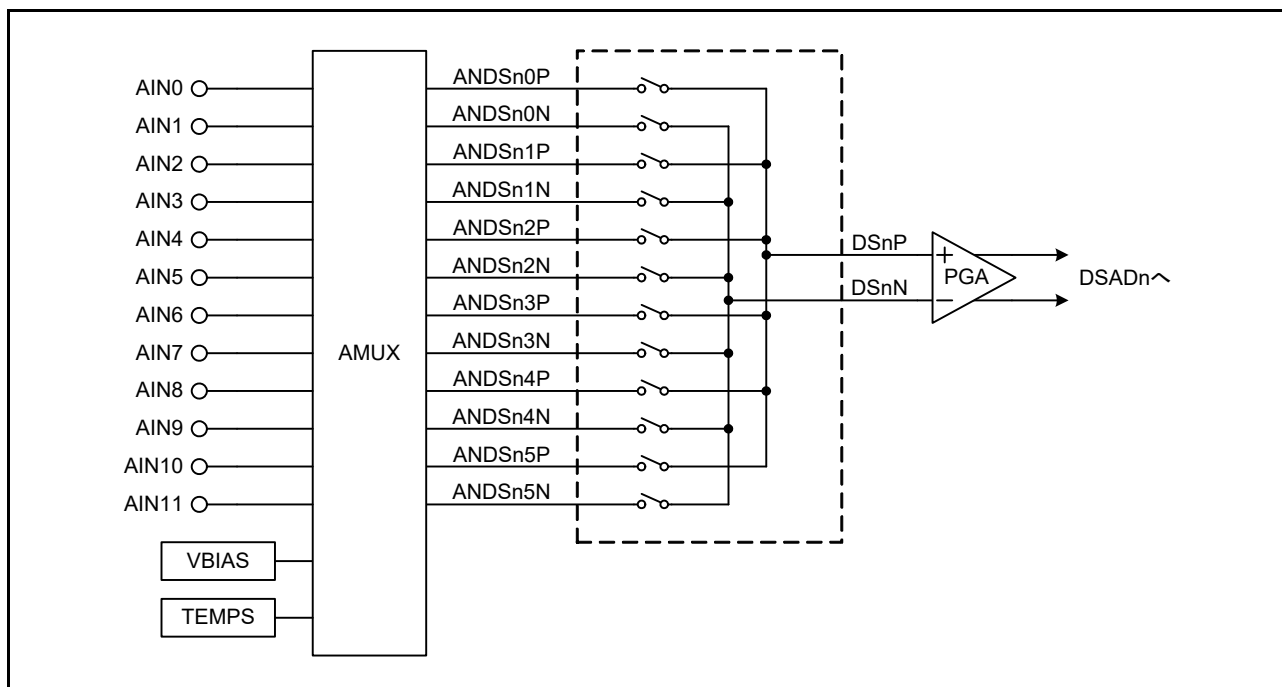


図 34.3 アナログ入力チャンネルのブロック図

34.3.3 プログラマブルゲイン計装アンプ (PGA)

図 34.4 に示すとおり、DSAD は、低オフセット電圧、低ノイズ、高入力インピーダンスを特長とするプログラマブルゲイン計装アンプ (PGA) とボルテージフォロア構成のアナログ入力バッファ (BUF) を搭載しています。

PGA に設定可能なゲインは 1 ~ 128 です。

また、PGA をバイパスさせることも可能です。このとき、BUF を経由させるか、バイパスさせるかを選択できます。

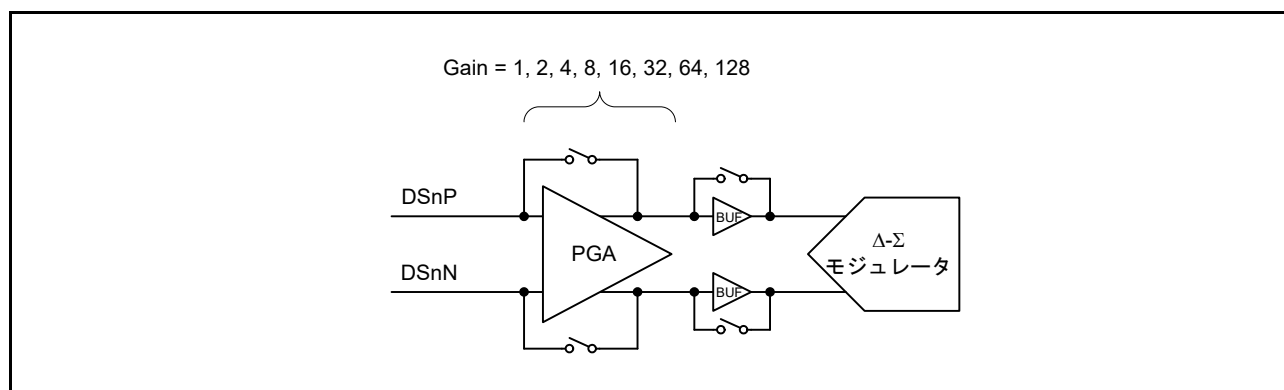


図 34.4 プログラマブルゲイン計装アンプの接続

PGA の設定には、以下のレジスタを使用します。

- CRm.GAIN[4:0] ビット (m = 0 ~ 5) : ゲイン

34.3.4 DSAD の構成

入力マルチプレクサからの信号は、プログラマブルゲイン計装アンプ (PGA)、もしくはアナログ入力バッファ (BUF) を経由し、 Δ - Σ モジュレータに入力されます。A/D 変換結果は、Sinc⁴ デジタルフィルタにてフィルタリングされた後、DR レジスタに格納されます。

A/D 変換は、PCLKB から生成される動作クロックによって実行されます。動作クロック周波数が 4 MHz (ローパワーモード時は 1 MHz) になるように CCR.CLKDIV[3:0] ビットの設定を行ってください。モジュレータクロック周波数はノーマルモード時 500 kHz、ローパワーモード時 125 kHz になります。

オーバーサンプリング比を変更することで、チャンネルごとにデータレートを設定することも可能です。

図 34.5 に DSAD のブロック図を示します。

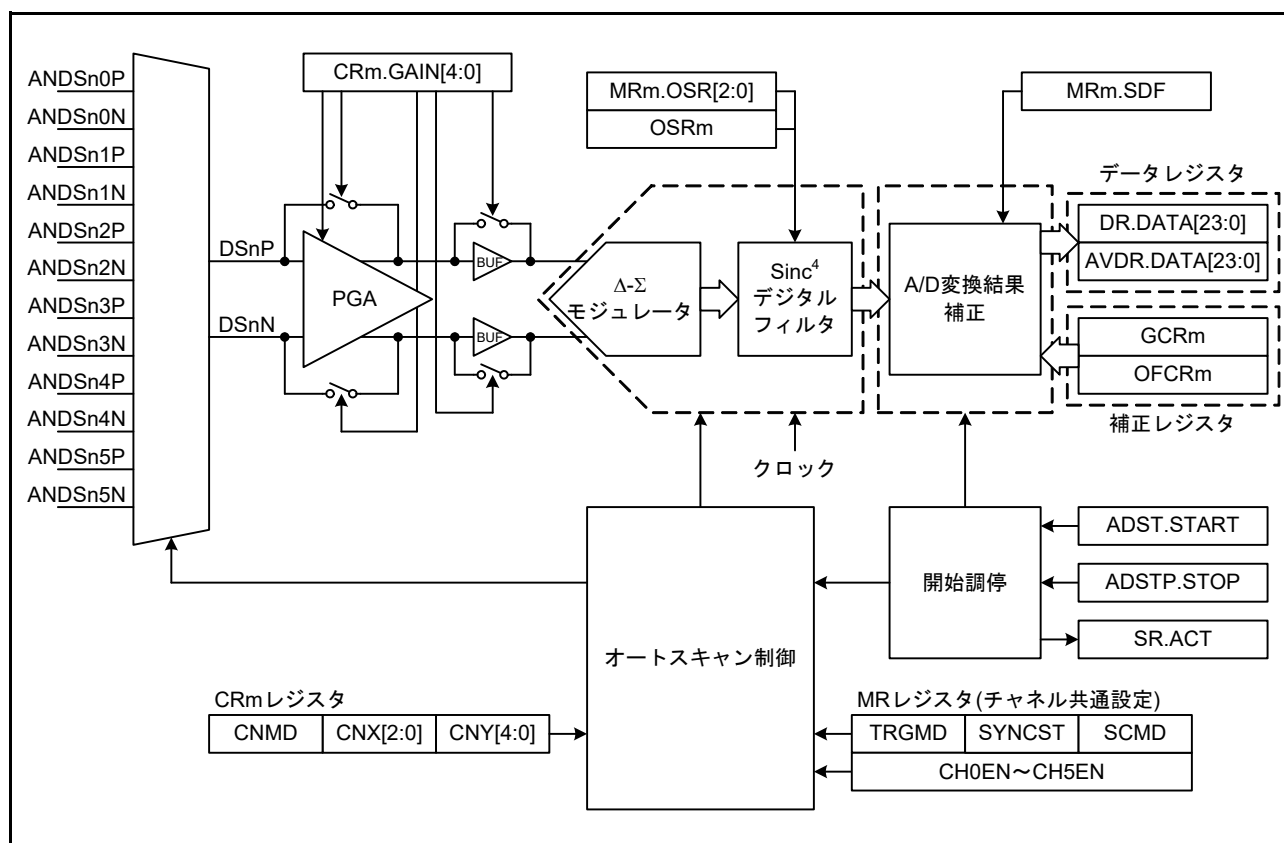


図 34.5 DSAD のブロック図 (n = 0, 1、m = 0 ~ 5)

DSAD の動作設定には、以下のレジスタを使用します。

- CCR レジスタ：動作クロック
- MR レジスタ：トリガモード、スキャンモード、使用チャンネル
- MRm レジスタ：オーバーサンプリング比、データ形式
- ADST レジスタ：変換開始
- ADSTP レジスタ：変換停止
- CRm レジスタ：変換回数、ゲイン
- DR レジスタ：変換結果読み出し
- AVDR レジスタ：平均値データ読み出し
- GCRm レジスタ：ゲイン補正
- OFCRm レジスタ：オフセット補正

34.3.5 DSAD への入力電圧と A/D 変換結果

DSAD への入力電圧と A/D 変換結果について説明します。A/D コンバータの基準電圧を $\pm V_{REF}$ ($V_{REF} = V_{RnP} - V_{RnN}$)、入力電圧範囲をフルスケールとした場合の、A/D 変換結果を以下に示します。

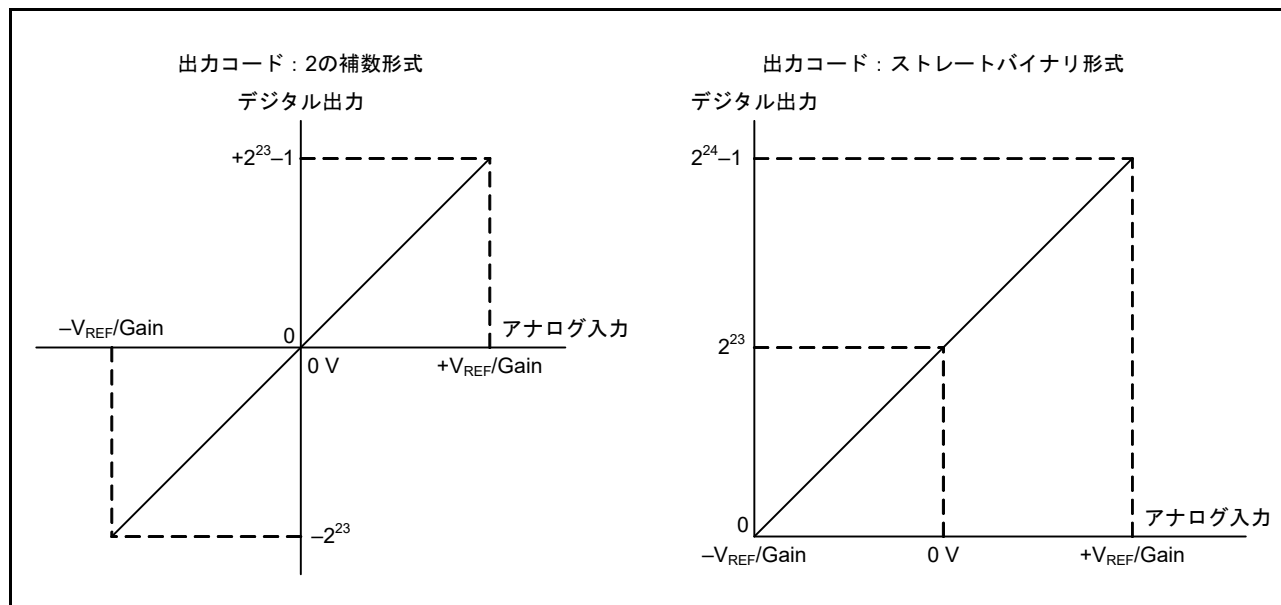


図 34.6 DSAD への入力電圧と A/D 変換結果

表 34.9 DSAD への入力電圧と A/D 変換結果

DSAD への入力電圧	A/D 変換結果	
	2の補数形式	ストレートバイナリ形式
$+V_{REF} / \text{Gain V}$	$2^{23} - 1$	$2^{24} - 1$
0 V	0	2^{23}
$-V_{REF} / \text{Gain V}$	-2^{23}	0

表 34.9 に示した結果は、以下の式を用いて算出することができます。

(1) 2の補数形式の場合

$$\text{DSAD への入力電圧} = \frac{V_{REF} \times 2}{\text{Gain}} \times \frac{\text{DR.DATA}[23:0]}{2^{24}}$$

(2) ストレートバイナリ形式の場合

$$\text{DSAD への入力電圧} = \frac{V_{REF} \times 2}{\text{Gain}} \times \frac{\text{DR.DATA}[23:0]}{2^{24}} - \frac{V_{REF}}{\text{Gain}}$$

34.3.6 DSAD の制御

ADST.START ビットに“1”を書き込みオートスキャンを開始すると、チャンネル 0 側から順に設定したモードに従って、A/D 変換が実行されます。MR.CH0EN ~ CH5EN ビットの設定により、特定のチャンネルの A/D 変換をスキップできます。

表 34.10 に各制御レジスタ設定とオートスキャン動作モードの関係を示します。

CRm レジスタ (m = 0 ~ 5) の CNX[2:0] ビット、CNY[4:0] ビットは変換実行チャンネルにおいて、次のチャンネルに移動する前の A/D 変換の回数を示します。CNX[2:0] ビットが“000b”、CNY[4:0] ビットが“0 0000b”のとき、A/D 変換を 1 回終了すると動作が停止するワンショット動作であることを示します。その他の A/D 変換の設定項目 (PGA のゲイン、オーバーサンプリング比) も、チャンネルごとに設定可能です。また、平均化処理を行う場合は A/D 変換回数の合計は CNX[2:0] ビット、CNY[4:0] ビットで決まる A/D 変換回数 × MRm.AVDN[1:0] ビットの設定回数となります。

A/D 変換結果は、DR レジスタに格納されます。

A/D 変換を 1 回終了するたびに、割り込み要求 (ADIn) が発生します。MRm レジスタ (m = 0 ~ 5) の設定で、A/D 変換結果の平均化処理を有効にした場合、割り込み要求 (ADIn) の発生タイミングを 1 回の A/D 変換ごとか平均値を格納したときかを選択できます。オートスキャンをチャンネル 0 からチャンネル 5 まで 1 巡するたびに、割り込み要求 (SCANENDn) が発生します。

図 34.7 にオートスキャンのシーケンスを示します。

表 34.10 各制御レジスタ設定とオートスキャン動作モードの関係

MR.TRGMMD ビット	MR.SCMD ビット	CRm.CNX[2:0] ビット	CRm.CNY[4:0] ビット	トリガ	動作モード
0	0	≠ 000b	≠ 00000b	ソフトウェア	連続スキャン
0	0	≠ 000b	= 00000b	ソフトウェア	連続スキャン
0	0	= 000b	≠ 00000b	ソフトウェア	連続スキャン
0	0	= 000b	= 00000b	ソフトウェア	連続スキャン (ワンショットでスキャン停止)(注1)
0	1	≠ 000b	≠ 00000b	ソフトウェア	シングルスキャン
0	1	≠ 000b	= 00000b	ソフトウェア	シングルスキャン
0	1	= 000b	≠ 00000b	ソフトウェア	シングルスキャン
0	1	= 000b	= 00000b	ソフトウェア	シングルスキャン (ワンショットでスキャン停止)(注1)
1	0	≠ 000b	≠ 00000b	ハードウェア	シングルスキャン(注2)
1	0	≠ 000b	= 00000b	ハードウェア	シングルスキャン(注2)
1	0	= 000b	≠ 00000b	ハードウェア	シングルスキャン(注2)
1	0	= 000b	= 00000b	ハードウェア	シングルスキャン (ワンショットでスキャン停止)(注1)
1	1	≠ 000b	≠ 00000b	ハードウェア	シングルスキャン
1	1	≠ 000b	= 00000b	ハードウェア	シングルスキャン
1	1	= 000b	≠ 00000b	ハードウェア	シングルスキャン
1	1	= 000b	= 00000b	ハードウェア	シングルスキャン (ワンショットでスキャン停止)(注1)

注1. CRm レジスタ (m = 0 ~ 5) の CNX[2:0] ビットが“000b”、CNY[4:0] ビットが“0 0000b”に設定されている場合、ワンショットが優先されます。

注2. ハードウェアトリガを選択した場合、動作はシングルスキャンモードとなります。

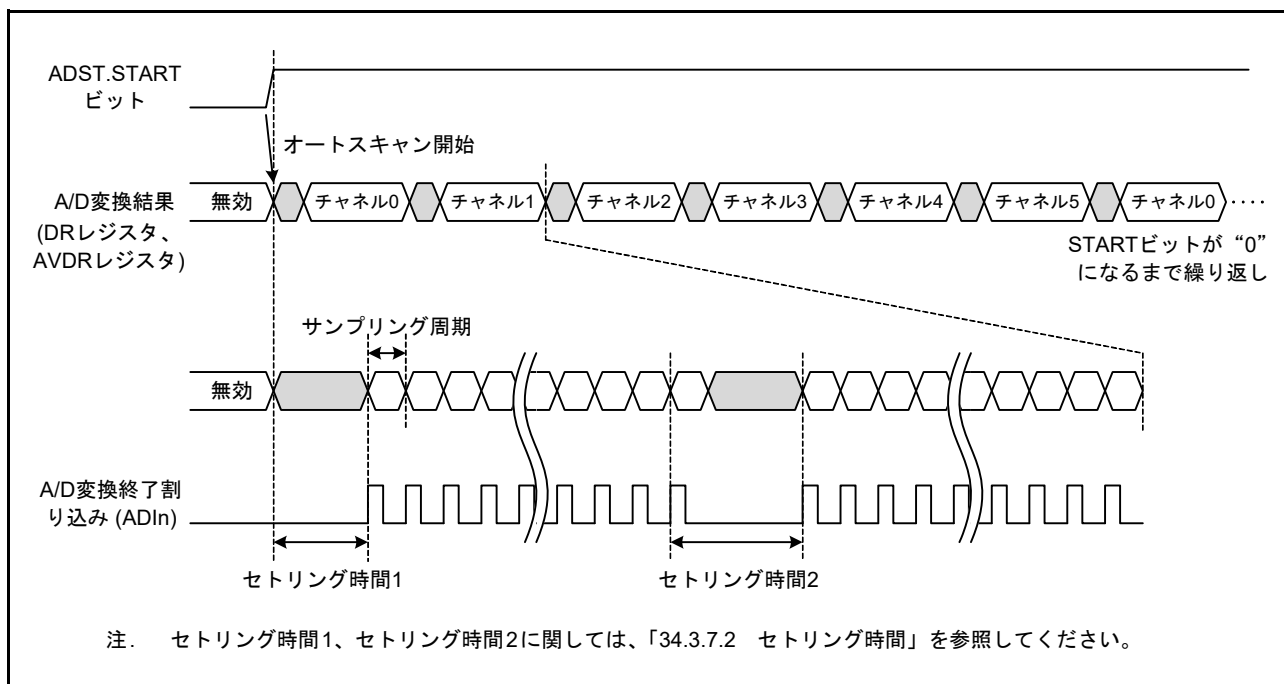


図 34.7 オートスキャンシーケンス

(1) 変換チャンネルのスキップ

MR.CH5EN ~ CH0EN ビット = 10 1010b (チャンネル 0, 2, 4 を A/D 変換 (チャンネル 1, 3, 5 をスキップ)),
 CRm レジスタ (m = 0, 2, 4) の CNX[2:0] ビット ≠ 000b、CNY[4:0] ビット ≠ 00000b、
 MR.SCMD ビット = 0 (連続スキャン) の場合の動作例を図 34.8 に示します。

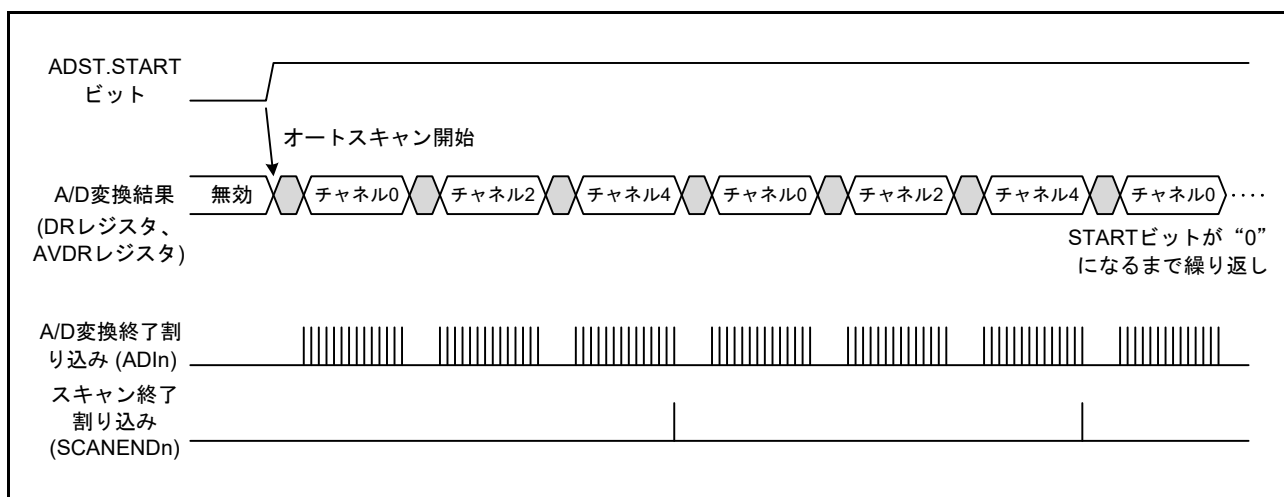


図 34.8 変換チャンネルのスキップ

(2) ワンショット動作

MR.CH5EN ~ CH0EN ビット = 11 1000b (チャンネル 0, 1, 2 を A/D 変換)、
 CRm レジスタ (m = 0, 1) の CNX[2:0] ビット $\neq$ 000b、CNY[4:0] ビット $\neq$ 00000b、
 CR2 レジスタの CNX[2:0] ビット = 000b、CNY[4:0] ビット = 00000b (ワンショット)、
 MR.SCMD ビット = 0 (連続スキャン) の場合の動作例を図 34.9 に示します。

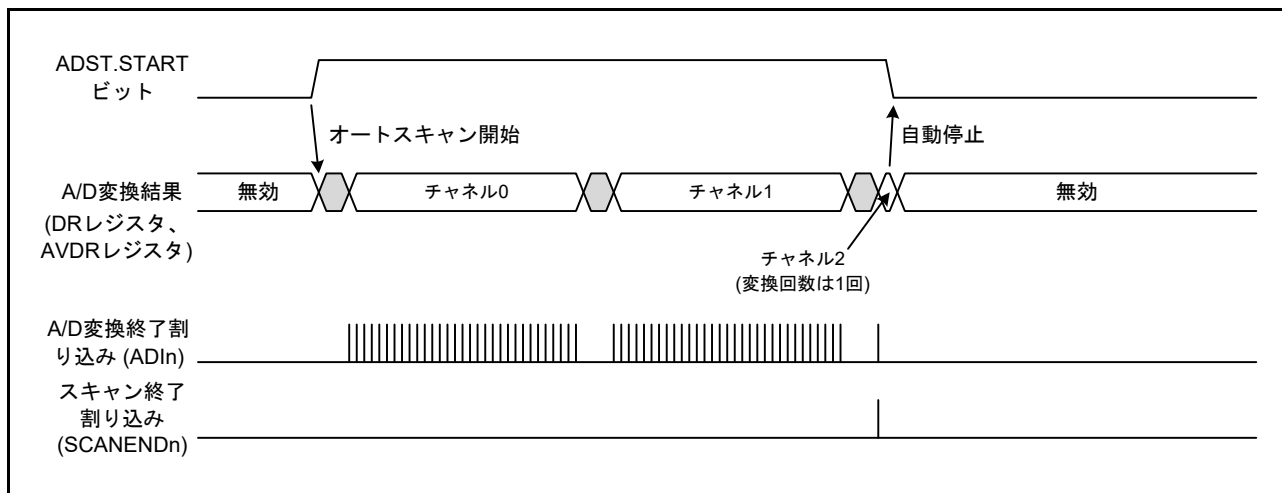


図 34.9 ワンショット動作

(3) 単一チャンネルの連続変換

MR.CH5EN ~ CH0EN ビット = 11 1101b (チャンネル 1 を A/D 変換)、
 CR1 レジスタの CNX[2:0] ビット $\neq$ 000b、CNY[4:0] ビット $\neq$ 00000b、
 MR.SCMD ビット = 0 (連続スキャン) の場合の動作例を図 34.10 に示します。

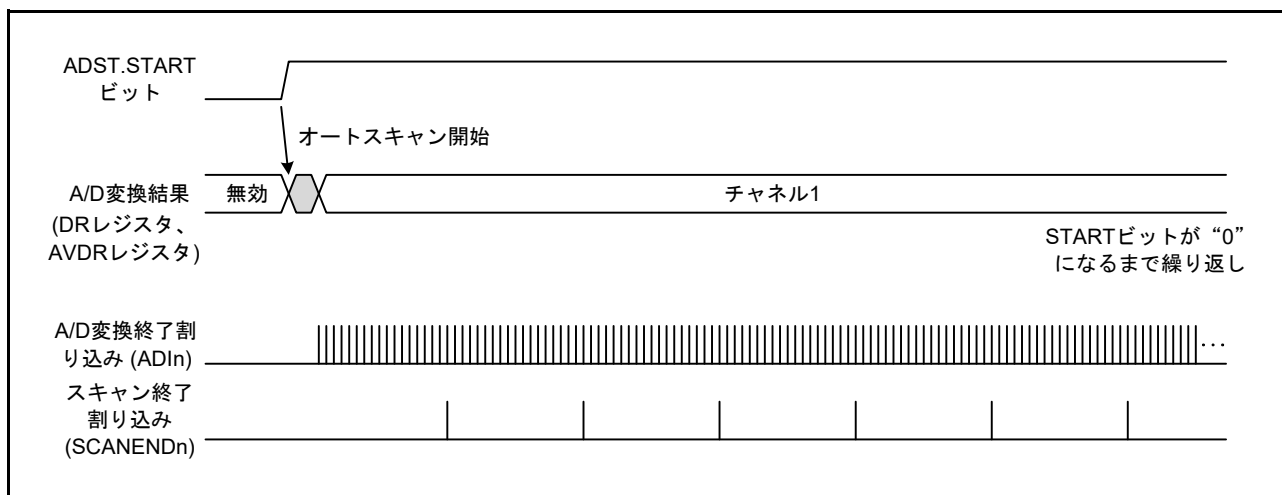


図 34.10 単一チャンネルの連続変換

注． 連続変換の場合でも、CRm レジスタで設定した A/D 変換回数ごとに、スキャン終了割り込み (SCANENDn) が発生します。

(4) シングルスキャン動作

MR.CH5EN ~ CH0EN ビット = 10 0000b (チャンネル0 ~ 4 を A/D 変換)、
 CRm レジスタ (m = 0 ~ 4) の CNX[2:0] ビット $\neq$ 000b、CNY[4:0] ビット $\neq$ 00000b、
 MR.SCMD ビット = 1 (シングルスキャン) の場合の動作例を図 34.11 に示します。

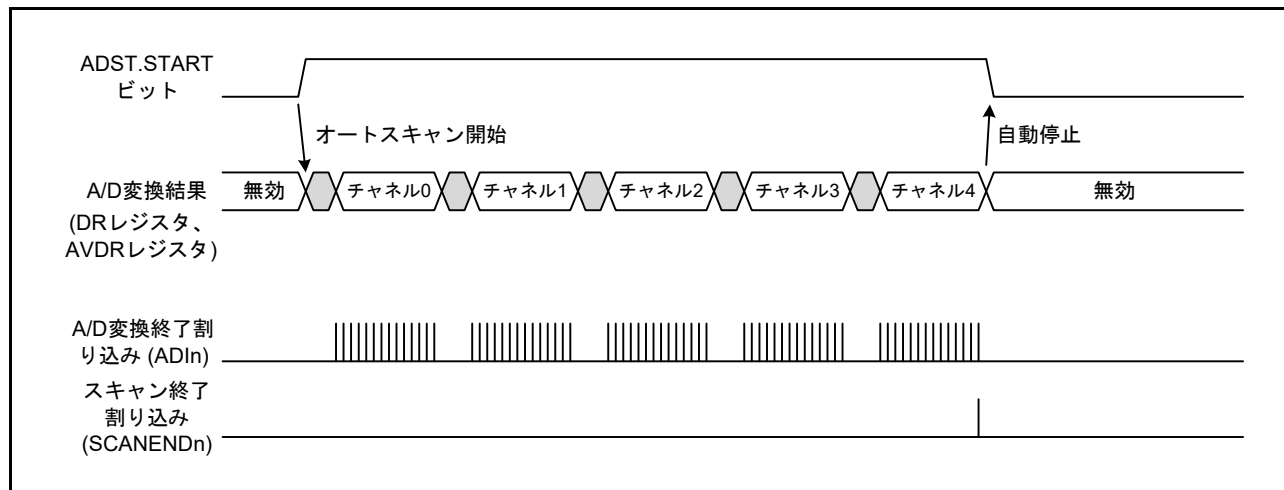


図 34.11 シングルスキャン動作

34.3.7 デジタルフィルタ

34.3.7.1 デジタルフィルタの動作

A/D 変換結果のダウンサンプリングは、4 次の Sinc フィルタによって行われます。デジタルフィルタの伝達関数は、以下の式で表されます。伝達関数の式に含まれる OSR は、MRm.OSR[2:0] ビットと OSRm レジスタ (m = 0 ~ 5) によって設定されるオーバーサンプリング比で、Sinc フィルタのデシメーション比に相当します。

$$H(Z) = \left(\frac{1}{OSR} \times \frac{1 - Z^{-OSR}}{1 - Z^{-1}} \right)^4$$

34.3.7.2 セトリング時間

最初の A/D 変換結果が出力されるまでの時間 (セトリング時間) には、セトリング時間 1、セトリング時間 2 の 2 種類あります。表 34.11 にそれぞれの時間を示します。

- セトリング時間 1 : A/D 変換のトリガが入力されてから最初の A/D 変換終了割り込みが出力されるまでの時間 (図 34.7 のセトリング時間 1 参照)
- セトリング時間 2 : チャンネルが切り替わる前の最後の A/D 変換終了割り込みの出力から、チャンネルが切り替わった後の最初の A/D 変換終了割り込みが出力されるまでの時間 (図 34.7 のセトリング時間 2 参照)

表 34.11 動作モードごとのセトリング時間

		ノーマルモード	ローパワーモード
セトリング時間 1	min	4T + 256 μs + 2 × t _{cPCLKB} + 10 × t _{cOPCK}	4T + 1024 μs + 2 × t _{cPCLKB} + 10 × t _{cOPCK}
	max	4T + 256 μs + 3 × t _{cPCLKB} + 13 × t _{cOPCK}	4T + 1024 μs + 3 × t _{cPCLKB} + 11 × t _{cOPCK}
セトリング時間 2	min	4T + 256 μs - 1 × t _{cPCLKB}	4T + 1024 μs - 1 × t _{cPCLKB}
	max	4T + 256 μs + 1 × t _{cPCLKB}	4T + 1024 μs + 1 × t _{cPCLKB}

T : サンプル時間 (= 1/f_{DR})

t_{cPCLKB} : PCLKB の周期

t_{cOPCK} : 動作クロックの周期

注 . セトリング時間は、ハードウェアで自動的に生成されます。

34.3.7.3 デジタルフィルタの特性

表 34.12 に Sinc⁴ フィルタの主な特性を、図 34.12 に Sinc⁴ フィルタの周波数応答を示します。

表 34.12 データレートおよびセトリング時間と 50 Hz/60 Hz 除去特性の例

データレート (SPS)	オーバーサンプリング比	変換時間 (ms)	セトリング時間 (ms)	帯域幅 (-3dB) (Hz)	減衰量 50 Hz (± 1 Hz) (dB)	減衰量 60 Hz (± 1 Hz) (dB)
10	50048	100	400.6	2.26	110	110
50	9984	20	80.1	11.3	110	—
54	9216	18.5	74.0	12.3	70	70
60	8320	16.7	66.8	13.6	—	110

注. 動作クロック = 4 MHz、モジュレータクロック = 500 kHz、高速オンチップオシレータ使用

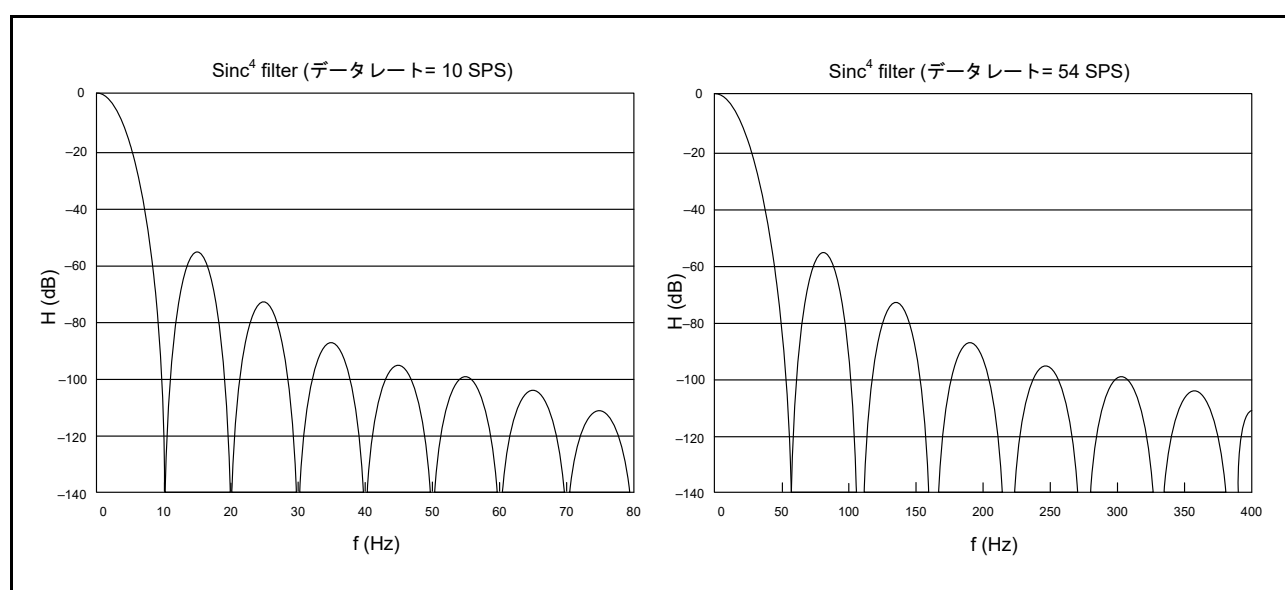


図 34.12 Sinc⁴ フィルタ周波数応答

34.3.8 A/D 変換モードについて

DSAD には、2 種類の変換モードがあります。変換モードは MRm.CVMD ビット (m = 0 ~ 5) により、チャンネルごとに設定できます。動作の概要を表 34.13 に示します。

表 34.13 動作モード一覧

動作モード	動作概要
通常動作モード	最初の 1 回のみ初期化および安定待ちを実施し、2 回目以降は A/D 変換のみを実施する
シングルサイクルセトリングモード	1 回の変換ごとに初期化および安定待ちを実施する

各動作モードのシーケンスを図 34.13 に示します。

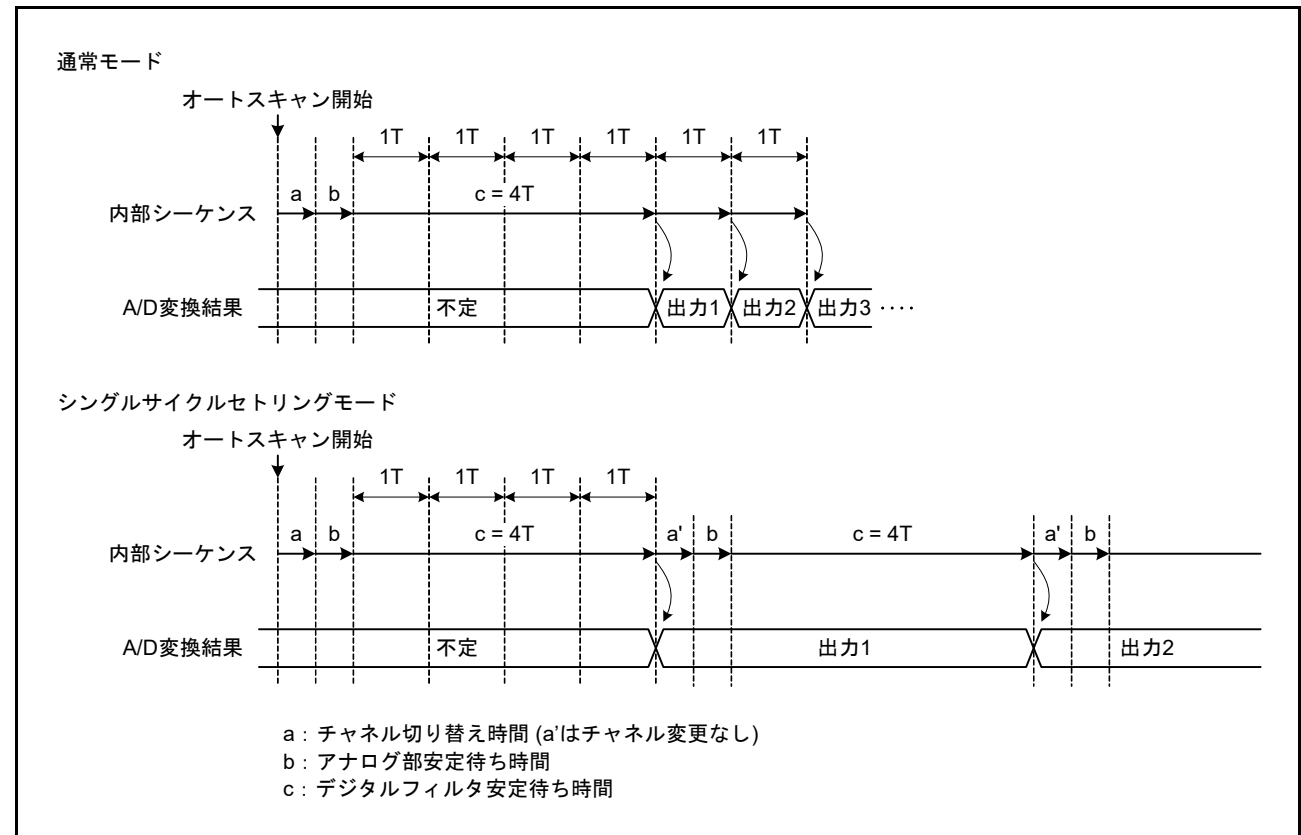


図 34.13 A/D 変換動作モードシーケンス

34.3.9 オフセットエラー / ゲインエラー補正機能

お客様の使用条件下でオフセットエラー補正值とゲインエラー補正值を算出することで、より精度の高いA/D変換を実現することができます。

実際の使用条件と同じにした状態で、DSnP、DSnNラインに供給した測定基準電圧をA/D変換し、期待値と変換結果との誤差から最適な補正值を算出し、OFCRmレジスタ ($m = 0 \sim 5$)、GCRmレジスタに設定してください。

補正演算は、オフセットエラー補正、ゲインエラー補正の順に行われます。

34.3.9.1 オフセットエラー / ゲインエラー補正值の算出

オフセットエラー / ゲインエラー補正值は、基準電圧をA/D変換したときの変換結果と期待値とを比較することで求めます。

補正值はチャンネルごとに、オフセットエラー補正值、ゲインエラー補正值の順に算出してください。

オフセットエラー補正值を求める場合、OFCRmレジスタを“0000 0000h”、GCRmレジスタを“0040 0000h”(ゲイン: 1倍)にしてからA/D変換を実施してください。また、ゲインエラー補正值を求める場合、あらかじめオフセットエラー補正值を求め、OFCRmレジスタにオフセット補正值を設定した状態でA/D変換を実施してください。

補正值の算出手順の詳細は、「34.4.6 オフセットエラー / ゲインエラー補正值の算出」を参照してください。

34.3.10 断線検出アシスト機能

断線検出アシスト機能は、外部デバイスと MCU の端子との間の断線を検出する際に使用する機能です。断線検出アシスト機能を有効にすると、PGA の入力に電流源が接続されます。電流値は、MRm.DISC[1:0] ビット ($m=0 \sim 5$) により設定します。

電流源の接続は、差動入力の + 側は MRm.DISAP ビット、- 側は DISAN ビットにより、それぞれ個別に制御が可能です。断線時、又は入力の電流供給能力が DISC[1:0] ビットにより選択した電流値 ($0.5 \mu\text{A}$, $2 \mu\text{A}$, $4 \mu\text{A}$, $20 \mu\text{A}$) に満たない場合は、A/D 変換を繰り返すことで、変換結果がフルスケール近傍に収束します (ストレートバイナリ形式を選択した場合、負のフルスケールは“00 0000h”です)。

図 34.14 にチャージとディスチャージによる断線検出例を示します。設定の詳細は、「34.4.7 断線検出」を参照してください。

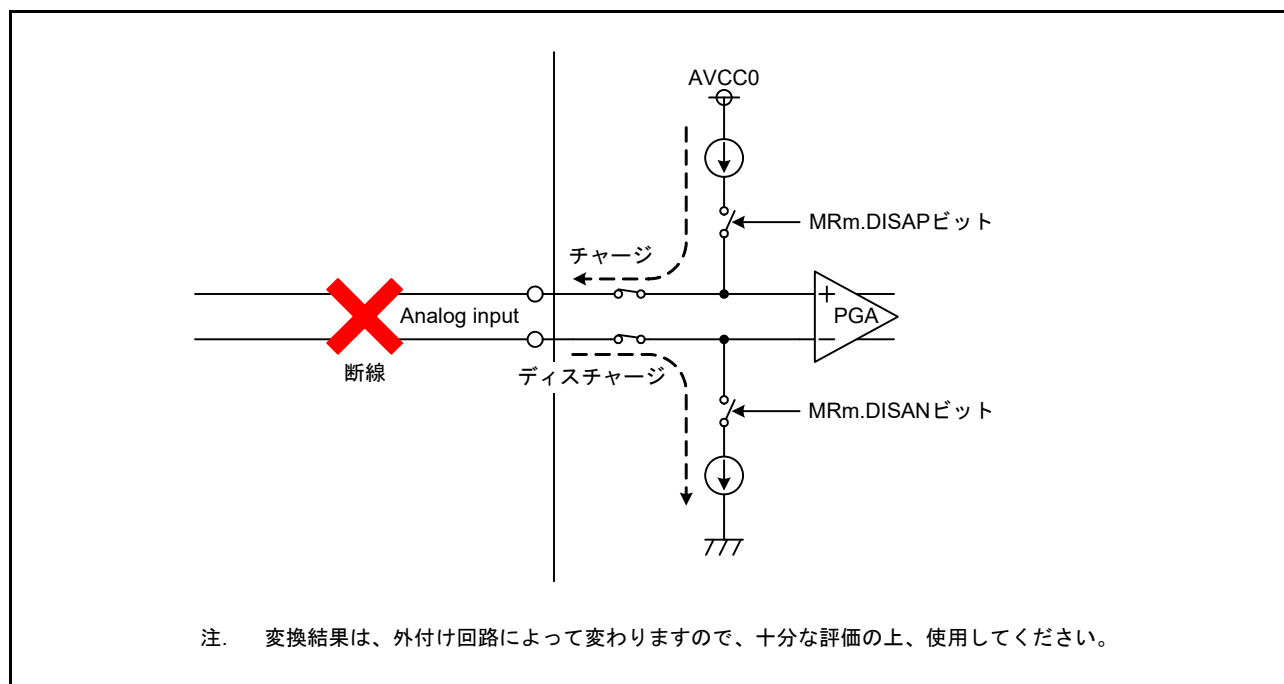


図 34.14 断線検出の例

34.3.11 ユニット間同期スタート機能

DSAD0 と DSAD1 でオートスキャンの開始タイミングを同期させることができます。相関関係のある入力信号に対して同時刻の A/D 変換データを取得したい場合などに使用します。

本機能は、DSAD の A/D 変換開始トリガを、DSAD0 と DSAD1 で共有することでサンプリング開始タイミングを同期化します。開始トリガは、ソフトウェアトリガ、ハードウェアトリガともに使用可能です。

本機能を使用する場合、DSAD0.MR.SYNCST ビットと DSAD1.MR.SYNCST ビットを“1”にします。同期スタートした後の A/D 変換動作に関しては、ユニットごとのレジスタ設定に従います。

ユニット間同期スタート機能を使用した場合に A/D 変換を停止させるときは、それぞれのユニットで A/D 変換停止処理を行ってください。

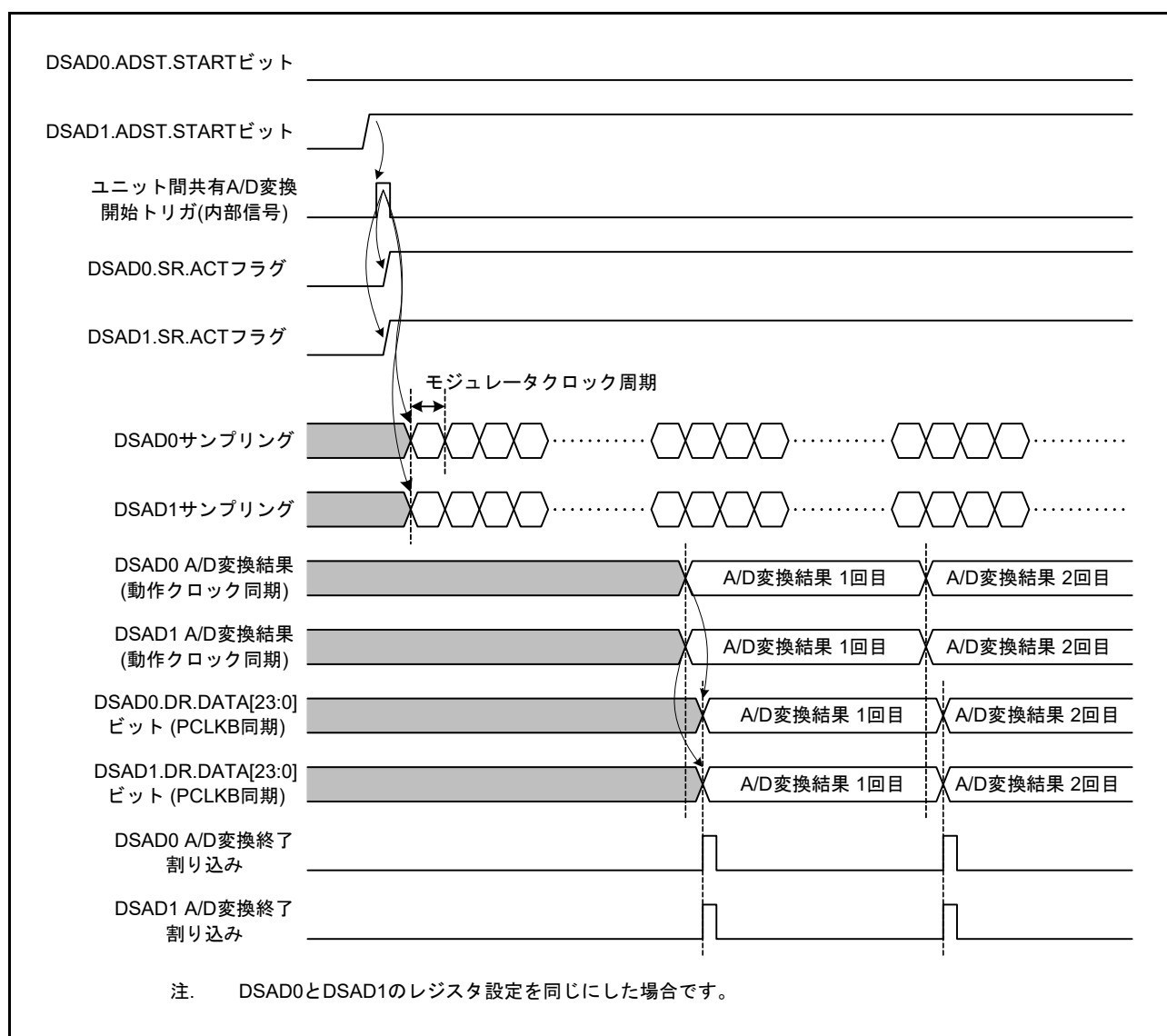


図 34.15 ユニット間同期スタート機能

34.4 制御フロー

DSAD の全体フローを図 34.16 に示します。それぞれの詳細は、34.4.1 ～ 34.4.4 を参照してください。

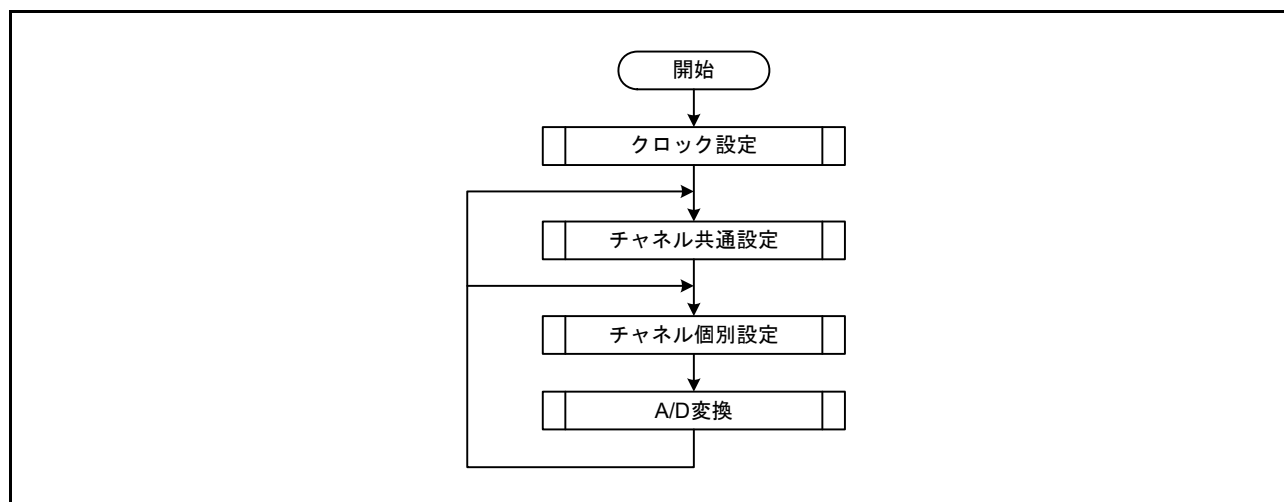


図 34.16 全体フロー

34.4.1 クロック設定

DSAD の動作クロック、動作モードの設定を CCR レジスタにより行います。

ユニット間同期スタート機能を使用する場合は、DSAD0 と DSAD1 の CCR レジスタに同じ値を設定してください。

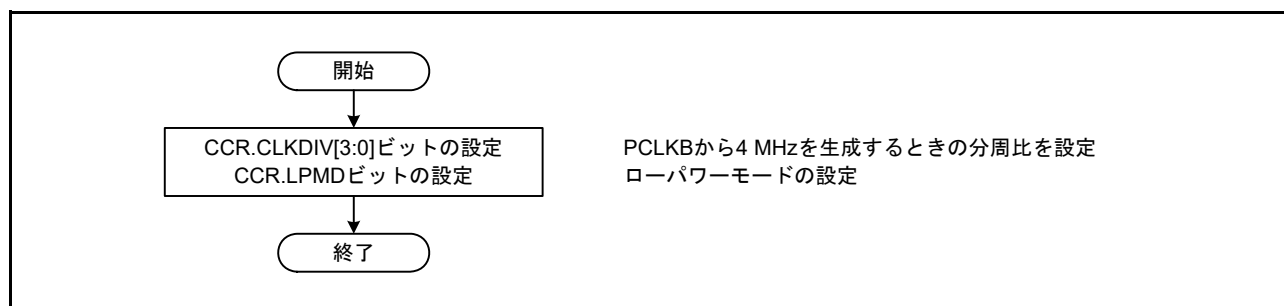


図 34.17 クロック設定フロー

34.4.2 チャネル共通設定

DSAD の全チャネルに共通する設定を MR レジスタにより行います。

ハードウェアトリガの誤入力により、意図せず A/D 変換が開始されないように、ソフトウェアトリガを選択してください。

ユニット間同期スタート機能を使用する場合は、DSAD0 と DSAD1 の両方の MR.SYNCST ビットを“1”にしてください。

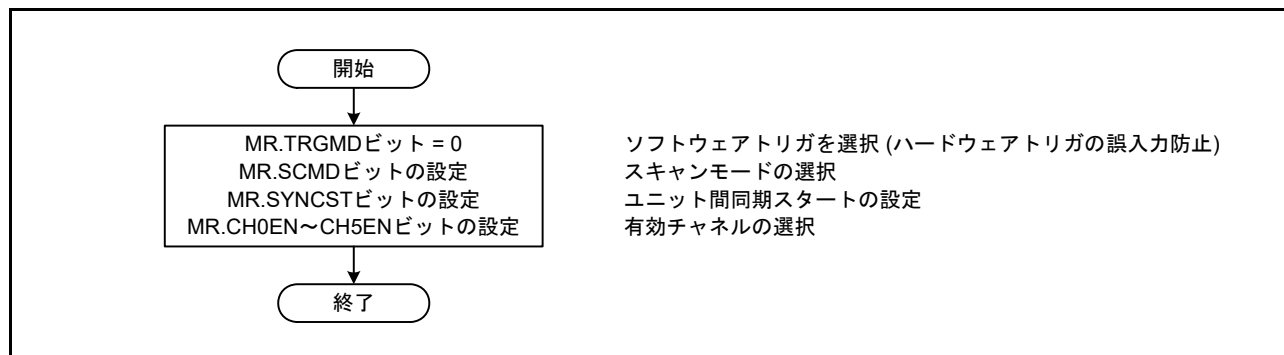


図 34.18 チャネル共通設定フロー

34.4.3 チャネル個別設定

チャネルごとの動作設定を MRm レジスタ (m = 0 ~ 5)、CRm レジスタ、OSRm レジスタ、GCRm レジスタ、OFCRm レジスタにより行います。

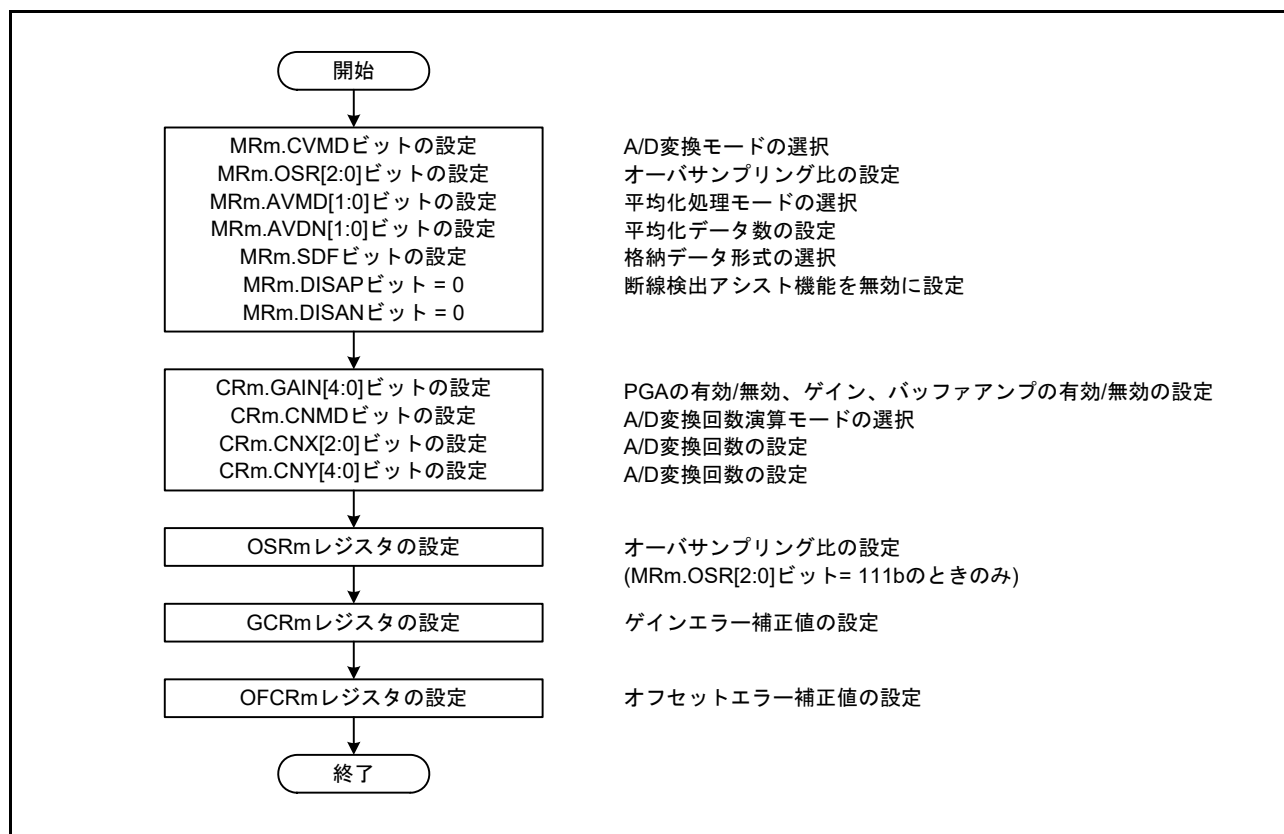


図 34.19 チャネル個別設定フロー (m = 0 ~ 5)

34.4.4 A/D 変換

オートスキャンの開始に使用するトリガを選択してください。その後、トリガを入力するとオートスキャンが実行されます。

ユニット間同期スタート機能でハードウェアトリガを使用する場合は、DSAD0 と DSAD1 のいずれか一方の MR.TRGMMD ビットを“1”にしてください。また、ソフトウェアトリガを使用する場合も、いずれか一方の ADST.START ビットを“1”にしてください。

オートスキャン実行中は、A/D 変換終了割り込み (ADI0, ADI1) が発生するごとに DR レジスタまたは AVDR レジスタを読み出して、A/D 変換結果を確認してください。ERR フラグが“1”になっていた場合は変換結果を破棄し、オートスキャンを停止させてください。

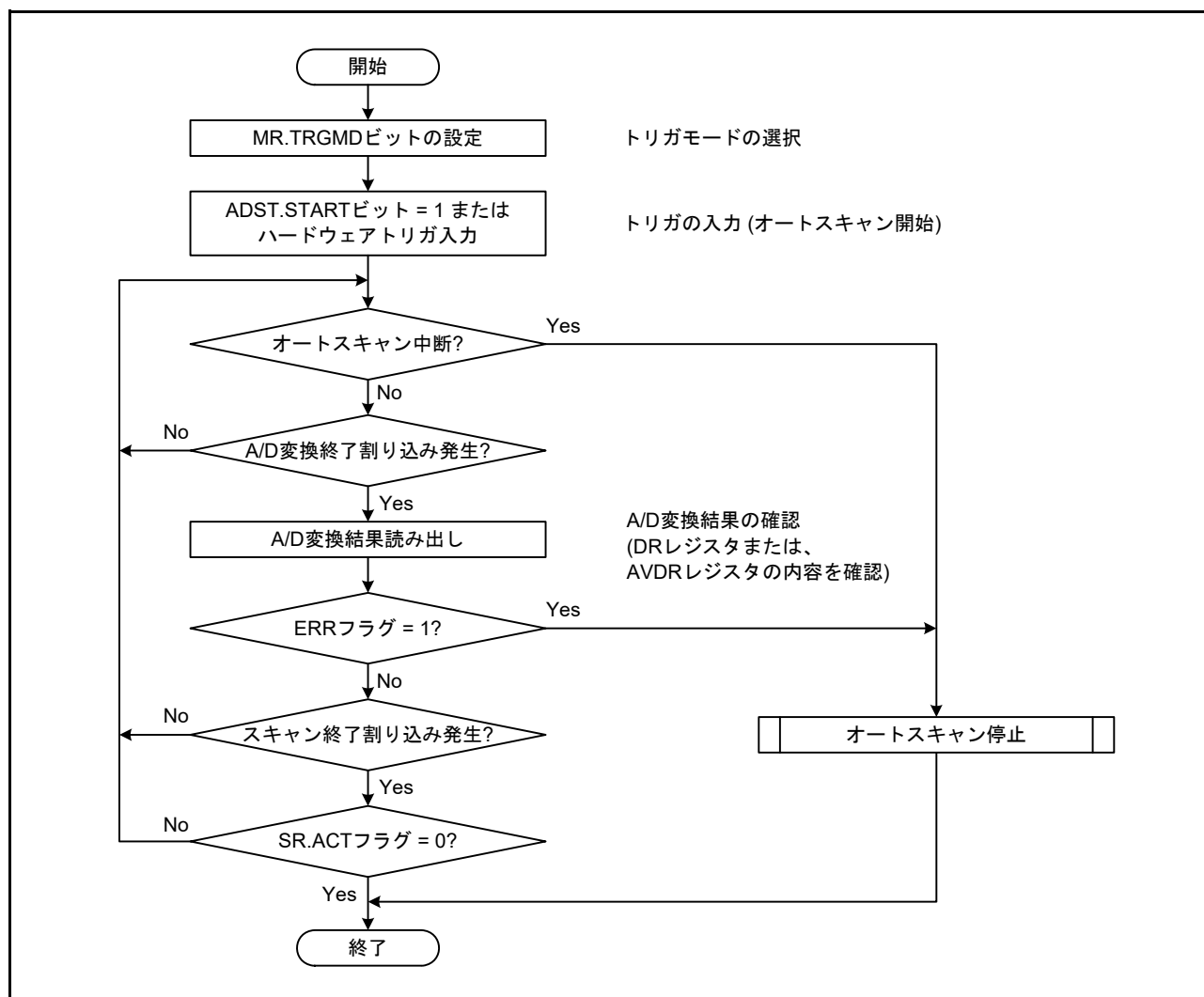


図 34.20 A/D 変換フロー

34.4.5 オートスキャン停止

オートスキャンを停止させる場合、新たな開始トリガが入力されないように、ソフトウェアトリガを選択し、ユニット間同期スタート機能を無効にしてください。その後、ADSTP.STOP ビットまたは ADST.START ビットでオートスキャンを停止させてください。

ユニット間同期スタート機能を使用して、DSAD0、DSAD1 の両方を動作させた場合は、それぞれのユニットごとに停止処理を行ってください。

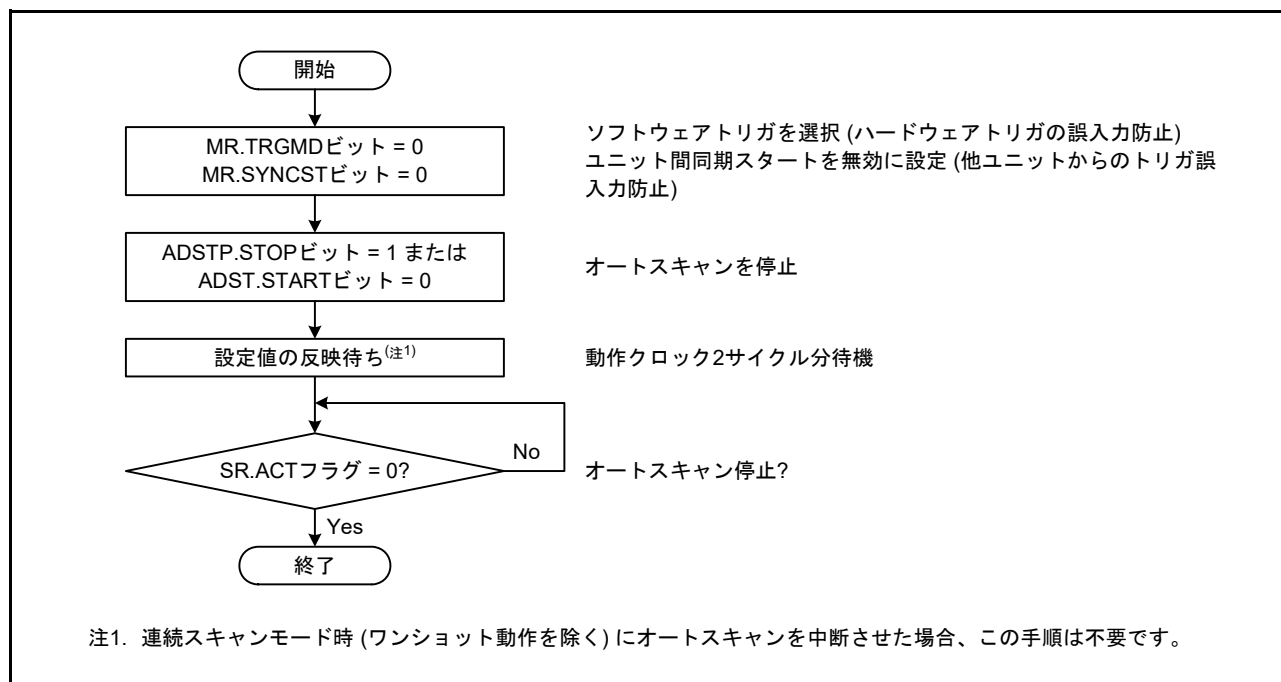


図 34.21 オートスキャン停止フロー

34.4.6 オフセットエラー / ゲインエラー補正值の算出

オフセットエラー補正值、ゲインエラー補正值を算出する手順を図 34.22 に示します。

まず、チャンネル個別設定において、それぞれの補正が働かない状態にしてください。その後、オフセットエラーを測定し、オフセットエラーを補正した状態でゲインエラーを測定してください。

補正值の算出とレジスタへの設定は、必要なチャンネルすべてで実施してください。

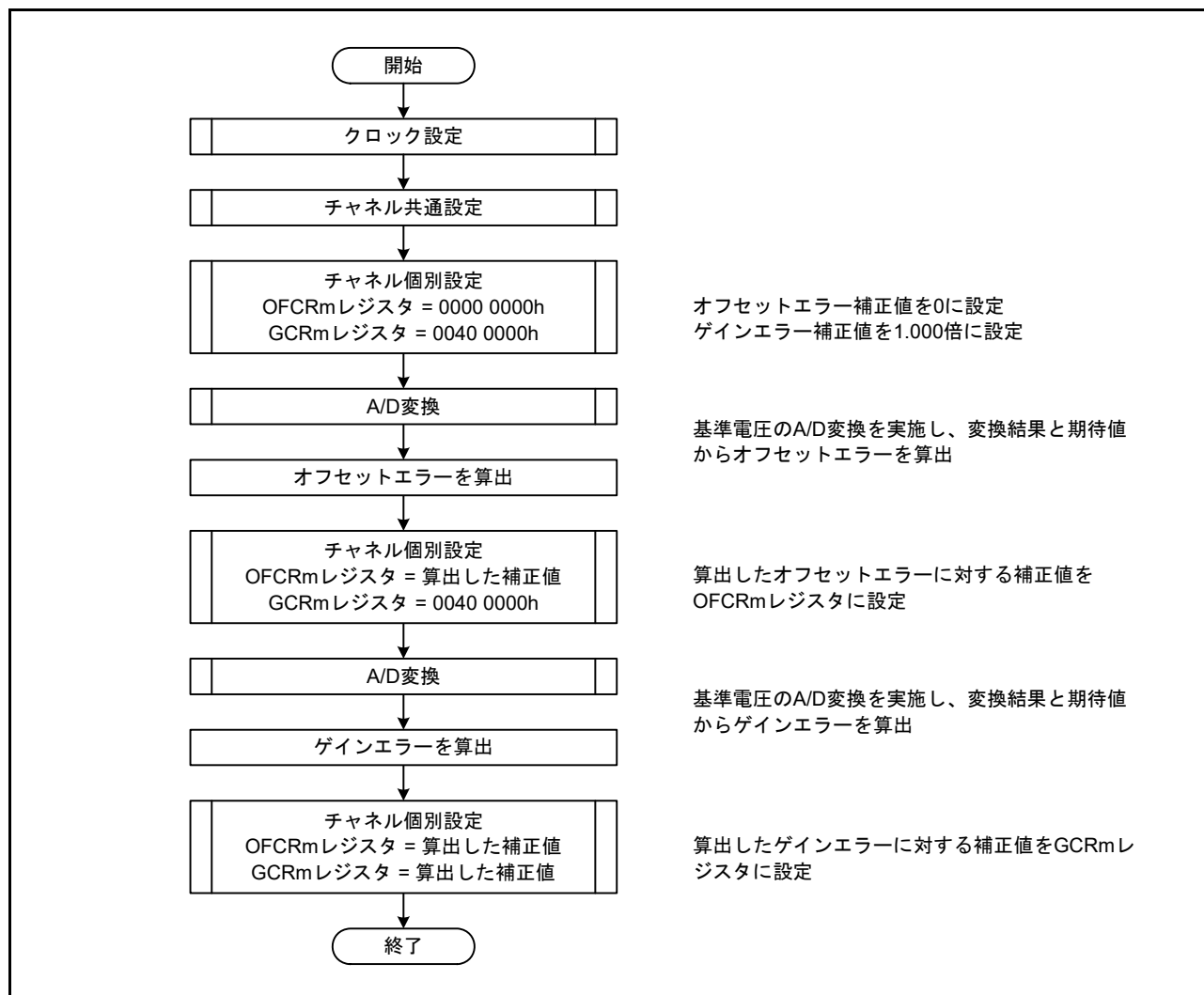


図 34.22 オフセットエラー / ゲインエラー補正值算出フロー (m = 0 ~ 5)

34.4.7 断線検出

断線検出を行う場合、図 34.23 の手順に従って実施してください。

チャンネル個別設定と A/D 変換の間で、MRm.DISAP ビット、DISAN ビットのいずれかまたは両方を“1”にしてください。その後 A/D 変換を行い、その結果から断線しているかどうかを判定します。

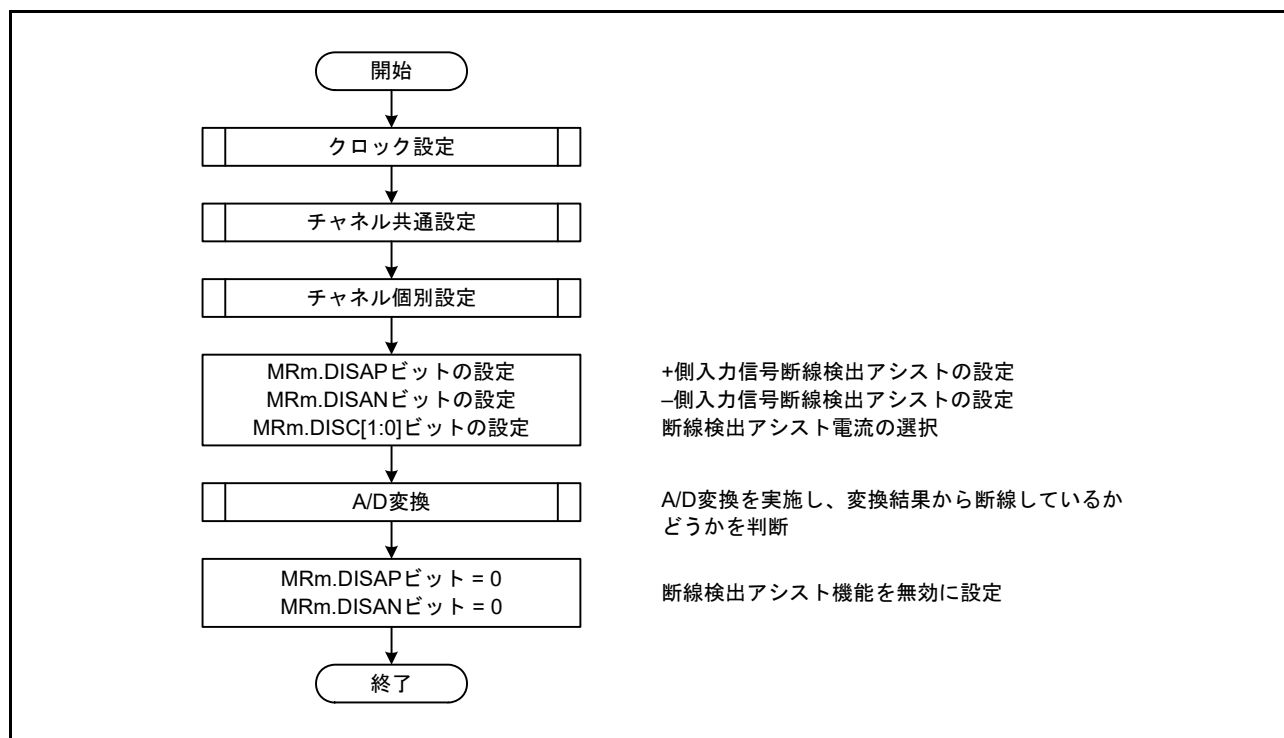


図 34.23 断線検出フロー (m = 0 ~ 5)

34.5 使用上の注意事項

34.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) により、DSADn (n = 0, 1) の動作を禁止または許可することができます。

リセット後、DSADn の動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

OPCR.DSADnEN ビットを“1”にしたままモジュールストップ状態に遷移させた場合、アナログ回路の動作は停止せず、アナログ電源電流も減少しません。モジュールストップ中にアナログ電源電流を減らしたい場合、DSADnEN ビットを“0”にして DSADn の動作を禁止してください。

34.5.2 低消費電力状態への遷移

モジュールストップ状態やソフトウェアスタンバイモードに遷移させる前に、A/D 変換を停止させてください。A/D 変換の停止方法については「34.4.5 オートスキャン停止」を参照してください。

34.5.3 動作クロック設定に関する注意事項

動作クロック周波数が 4 MHz (ローパワーモード時は 1 MHz) になるように CCR.CLKDIV[3:0] ビットの設定を行ってください。4 MHz (ローパワーモード時は 1 MHz) 以外の場合、正常な A/D 変換ができなくなります。

34.5.4 動作クロック変更時の注意事項

CCR.LPMD ビットまたは CCR.CLKDIV[3:0] ビットの設定を変更した場合、次の A/D 変換を開始するまで、PCLKB 2 サイクル + 動作クロック 3 サイクル + 2 μ s 以上のウェイト期間を確保してから、A/D 変換を開始してください。

34.5.5 SYNCST ビット変更時の注意事項

MR.SYNCST ビットの設定を変更した場合、最後のユニットの設定終了から A/D 変換を開始するまで、動作クロック 3 サイクル + 4 μ s 以上のウェイト期間を確保してから、A/D 変換を開始してください。

34.5.6 2 ユニット同時使用時の注意事項

ユニット間同期スタート機能を使用する / しないに関わらず、DASD0 と DSAD1 の両方を使用する場合は、DSAD0 と DSAD1 の動作クロックの位相を揃えるために、CCR レジスタの設定後に、両ユニットの MR.SYNCST ビットを“1”にしてください。

ユニット間同期スタート機能を使用しない場合は、その後、動作クロック 3 サイクル + 4 μ s 以上待ってから両ユニットの MR.SYNCST ビットを“0”にしてください。

35. 12 ビット A/D コンバータ (S12ADE)

35.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータを 1 ユニット内蔵しています。最大 6 チャンネルのアナログ入力を選択できます。

12 ビット A/D コンバータは、選択した最大 6 チャンネルのアナログ入力を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードは、任意に選択した最大 6 チャンネルのアナログ入力を若いチャンネル番号順に 1 回のみ変換するシングルスキャンモードと、任意に選択した最大 6 チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大 6 チャンネルのアナログ入力を任意に選択して 2 つのグループ (グループ A とグループ B) に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループ A とグループ B のスキャン開始条件 (同期トリガ) を個別に選択することで、グループ A とグループ B は異なるタイミングで A/D 変換を開始することができます。グループ A の優先制御動作を設定すると、前述の動作に加えてグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を優先的に開始します。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの二重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

高電位側基準電圧には外部端子入力 (VREFH0) かアナログ基準電圧 (AVCC0) から選択することができます。低電位側基準電圧には外部端子入力 (VREFL0) かアナログ基準電圧 (AVSS0) を選択することができます。

コンペア機能 (ウィンドウ A、ウィンドウ B) を有しています。ウィンドウ A/B それぞれに High 側、Low 側の基準値を指定し、選択したチャンネルの A/D 変換値が比較条件に一致した場合、イベント条件 (A or B、A and B、A exor B) に応じて ELC イベント (S12ADWMELC/S12ADWUMELC) を出力します。また、A/D 変換値と Low 側基準値を比較するコンパレータ動作も可能です。

A/D データ格納バッファは、A/D 変換データを順番に格納する 16 本からなるリングバッファです。

表 35.1 に 12 ビット A/D コンバータの仕様を、表 35.2 に 12 ビット A/D コンバータの機能概要を示します。図 35.1 に 12 ビット A/D コンバータのブロック図を示します。

表 35.1 12ビットA/Dコンバータの仕様

項目	内容
ユニット数	1ユニット
入力チャンネル	6チャンネル
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり 1.4 μ s (A/D変換クロック ADCLK = 32 MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB (注1)とA/D変換クロックADCLK (注1)を以下の周波数比で設定可能 PCLKB : ADCLK周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	- アナログ入力用6本、ダブルトリガモードでのA/D変換データ二重化用1本 - 自己診断用1本 - A/D変換結果を12ビットA/Dデータレジスタに保持 - A/D変換結果の12ビット精度出力に対応 - 加算モード時はA/D変換結果の加算値を変換精度ビット数 + 2ビット / 4ビット (注2)でA/Dデータレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持
動作モード	- シングルスキャンモード : 任意に選択した最大6チャンネルのアナログ入力を1回のみA/D変換 - 連続スキャンモード : 任意に選択した最大6チャンネルのアナログ入力を繰り返しA/D変換 - グループスキャンモード : 任意に選択した最大6チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBは、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード(グループA優先制御選択時) グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施 グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行(再スキャン)の設定が可能
A/D変換開始条件	- ソフトウェアトリガ - 同期トリガ マルチファンクションタイマパルスユニット(MTU)、イベントリンクコントローラ(ELC)からのトリガ - 非同期トリガ 外部トリガADTRG0#端子によるA/D変換動作の開始が可能
機能	- サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 - A/D変換値加算モードと平均モードが選択可能 - アナログ入力断線検出機能(ディスチャージ機能/ブリチャージ機能) - ダブルトリガモード(A/D変換データ二重化機能) - A/Dデータレジスタオートクリア機能 - コンペア機能(ウィンドウA、ウィンドウB) - コンペア機能使用時のリングバッファ(16本)
割り込み要因	- ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 - S12ADI0、GBADI割り込みでDMAコントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	- グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生 - グループスキャンモードでのグループBのスキャン終了時にELCイベント発生 - すべてのスキャン終了時にELCイベント発生 - ELCからのトリガによりスキャン開始可能 - シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELCイベント発生
消費電力低減機能	モジュールストップ状態への設定が可能(注3、注4)

- 注1. 周辺モジュールクロックPCLKBはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。
- 注2. 加算時の拡張ビット数は、加算回数により異なります。
2ビット拡張：1～4回変換(0～3回加算)
4ビット拡張：16回変換(15回加算)
- 注3. 詳細は、「11. 消費電力低減機能」を参照してください。
- 注4. モジュールストップ状態を解除後は、1 μ s以上待ってからA/D変換を開始してください。

表35.2 12ビットA/Dコンバータの機能概要

項目			端子名、略称等
アナログ入力チャネル			AN000～AN005
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	非同期トリガ	ADTRG0#	可能
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	TRG0AN
		MTU0.TGRBのコンペアマッチ/インプットキャプチャ	TRG0BN
		MTU0～MTU4のTGRAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー（谷）	TRGAN
		MTU0.TGREのコンペアマッチ	TRG0EN
		MTU0.TGRFのコンペアマッチ	TRG0FN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ（割り込み間引き機能）	TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能）	TRG4BN
		MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能）	TRG4ABN
	ELCからのトリガ	可能	
割り込み			S12ADI0、GBADI割り込み
モジュールストップ機能の設定（注1）			MSTPCRA.MSTPA17ビット

- 注1. 詳細は、「11. 消費電力低減機能」を参照してください。

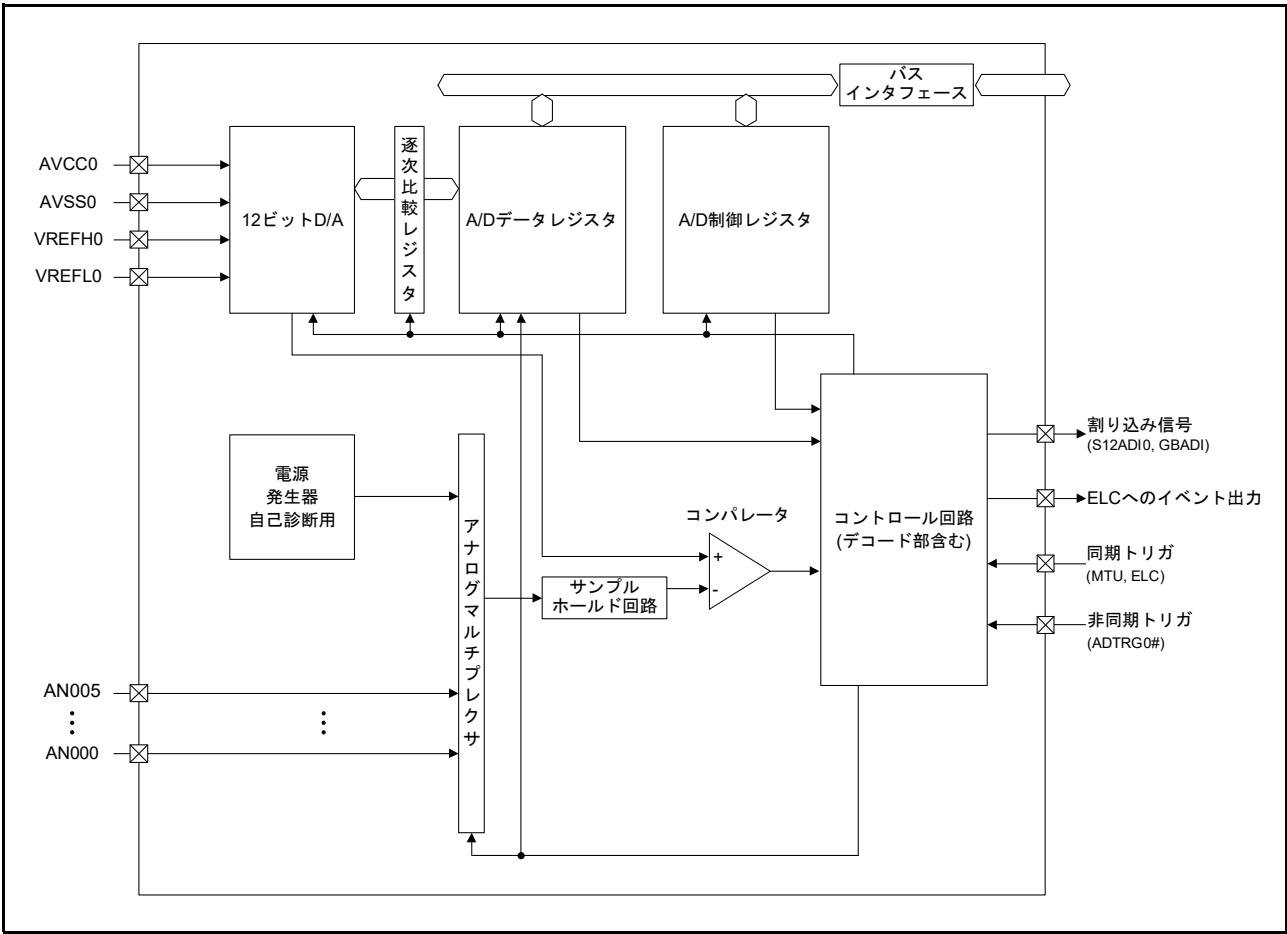


図 35.1 12ビットA/Dコンバータのブロック図

表 35.3 に 12ビットA/Dコンバータで使用する入力端子を示します。

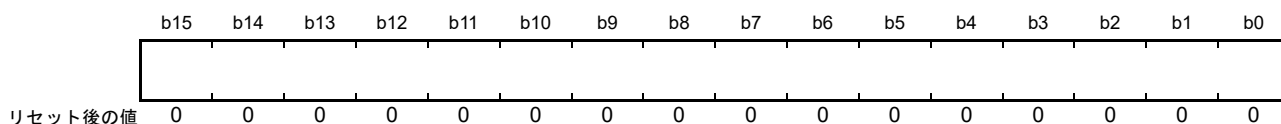
表 35.3 12ビットA/Dコンバータの入力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準電源グランド端子
AN000～AN005	入力	アナログ入力端子0～5
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

35.2 レジスタの説明

35.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 5)、 A/D データ二重化レジスタ (ADDBLDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h,
S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah,
S12AD.ADDBLDR 0008 9018h



ADDRy レジスタ (y=0 ~ 5) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。
ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、15 回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

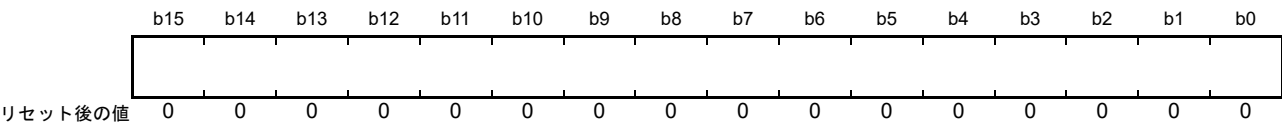
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b13-b0 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は “0” が読み出されます。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b15-b2 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は “0” が読み出されます。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合

b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

35.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh



ADRD レジスタは、12 ビット A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値に加えて、自己診断のステータスが付加されます。ADRD レジスタは下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については「35.2.8 A/D コントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。b15-b14 に自己診断ステータスを格納します。読み出し時、b13-b12 は “0” が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。b1-b0 に自己診断ステータスを格納します。読み出し時、b3-b2 は “0” が読み出されます。

表 35.4 自己診断ステータス内容

右詰めフォーマット時の b15-b14 左詰めフォーマット時の b1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0V の電圧値の自己診断を実施したことを示します
10b	基準電圧 × 1/2 の電圧値の自己診断を実施したことを示します
11b	基準電圧の電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「35.2.8 A/D コントロール拡張レジスタ (ADCER)」を参照してください。

35.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にGBADI割り込み発生を禁止 1: グループBのスキャン終了後にGBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガによるA/D変換の開始を選択 1: 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換動作選択ビット	0: 高速変換動作 1: 低電流変換動作	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADI0割り込み発生を禁止 1: スキャン終了後のS12ADI0割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子(非同期トリガ)でA/D変換を起動する方法

外部端子(ADTRG0#)にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5 PCLKBクロック以上が必要です。

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可 / 禁止、スキャンモードの選択、A/D 変換の開始 / 停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードで A/D 変換データを二重化する 1 チャンネルを選択します。

DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ二重化レジスタに格納されます。表 35.5 にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0 レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0] ビットで選択した 1 チャンネルが A/D 変換を行うチャンネルとなります。

ダブルトリガモードを使用する場合は、自己診断機能の A/D 変換は選択しないでください。また、DBLANS[4:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定しないでください)。

なお、ダブルトリガモードを設定した状態での A/D 変換値加算 / 平均モードは、DBLANS[4:0] ビットで選

択したチャンネルを ADANSA0 レジスタで選択することで実行可能です。

表35.5 DBLANS[4:0]ビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	二重化チャンネル
00000b	AN000
00001b	AN001
00010b	AN002
00011b	AN003
00100b	AN004
00101b	AN005

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込み (GBADI) の発生を許可 / 禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1 回目の同期トリガで変換された結果と 2 回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0 レジスタで指定したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが有効となります。ADSTRGR.TRSA[5:0] ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目の同期トリガで変換した結果は、A/D データレジスタ y に格納され、2 回目の同期トリガで変換した結果は、A/D データ二重化レジスタに格納されます。このとき、ADIE ビットが“1”に設定していると、1 回目の変換終了時は割り込みを発生せず、2 回目の変換終了時に割り込みを発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを“0”にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADHSC ビット (A/D 変換動作選択ビット)

A/D 変換の動作モードを設定します。

ADHSC ビットを書き換える場合は、12 ビット A/D コンバータをスタンバイ状態にする必要があります。ADHSC ビットの手書き換え手順は、「35.8.9 ADHSC ビットの手書き換え手順」を参照してください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADI0) の発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、S12ADI0 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば S12ADI0 割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0 レジスタで選択した最大 6 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA0 レジスタで選択した最大 6 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0 レジスタで選択した最大 6 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また、同様に ADSTRGR.TRSB[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0 レジスタで選択した最大 6 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。

グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、グループBのトリガを検出し、グループBのA/D変換を開始したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループBのA/D変換を再開したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRP ビットを“1”に設定し、グループBのA/D変換を開始したとき

["0"になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネルの A/D 変換が終了したとき
- グループスキャンモードでグループAのスキャンが終了したとき
- グループスキャンモードでグループBのスキャンが終了したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、

グループ B の A/D 変換実行中に、グループ A のトリガを検出し、グループ B のスキャンが中断されたとき

- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B の再起動トリガによるスキャンが終了したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B のトリガによるスキャンが終了したとき

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを“1”にしないでください。

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを“0”にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

35.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

アドレス S12AD.ADANSA0 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	0 : AN000 ~ AN005を変換対象から外す 1 : AN000 ~ AN005を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN005 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (n = 00 ~ 05) (A/D 変換チャネル選択ビット)

A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN005 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA005 ビットが AN005 に対応します。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

35.2.5 A/D チャネル選択レジスタ B0 (ADANSB0)

アドレス S12AD.ADANSB0 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ANSB0 05	ANSB0 04	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	0 : AN000 ~ AN005を変換対象から外す 1 : AN000 ~ AN005を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN005 を選択するレジスタです。ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00 ~ 05) (A/D 変換チャネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN005 の選択を行います。ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (ADANSA0 レジスタ、またはダブルトリガモードによる ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル) 以外から設定します。

ANSB000 ビットが AN000 に、ANSB005 ビットが AN005 に対応します。

ANSB0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

35.2.6 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)

アドレス S12AD.ADADS0 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ADS00 5	ADS00 4	ADS00 3	ADS00 2	ADS00 1	ADS00 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D 変換値加算 / 平均チャンネル選択 ビット	0 : AN000 ~ AN005 の A/D 変換値加算 / 平均モード非選択 1 : AN000 ~ AN005 の A/D 変換値加算 / 平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS0 レジスタは、A/D 変換を連続 2 ~ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャンネル 00 ~ 05 を選択します。

ADS0n ビット (n = 00 ~ 05) (A/D 変換値加算 / 平均チャンネル選択ビット)

ADANSA0.ANSA0n ビット、または ADCSR.DBLANS[4:0] ビットと ADANSB0.ANSB0n ビットで選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合、加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 35.2 に ADS002 ビットと ADS005 ビットを“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADC.AVEE = 0)、加算回数は 3 回に設定 (ADADC.ADC[2:0] = 011b)、AN000 ~ AN005 が選択 (ADANSA0.ANSA0n = 3Fh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換 (3 回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN005 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 5 に返します。AN005 の変換後、再度 AN000 から同じシーケンスで動作します。

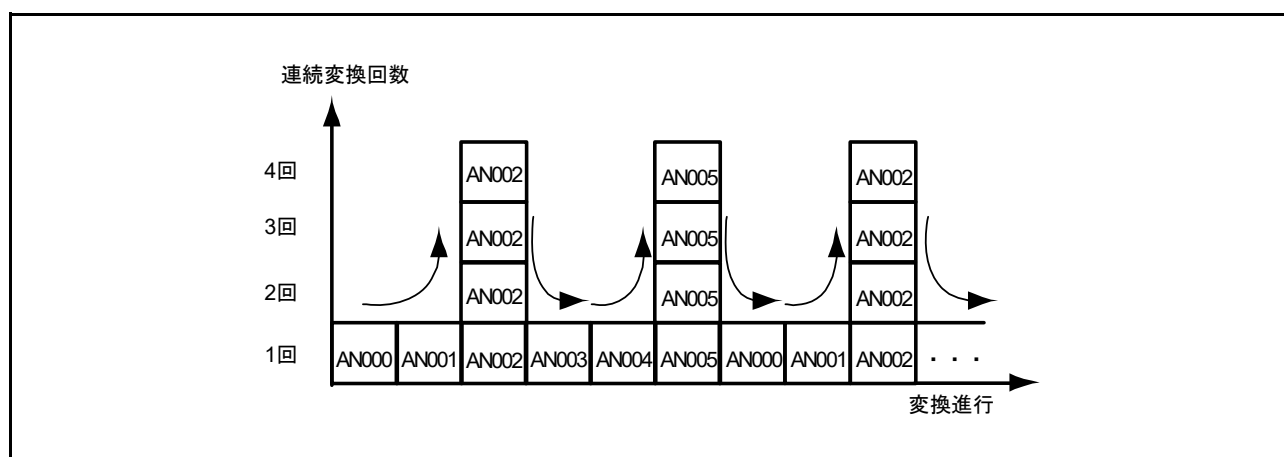


図 35.2 ADADC.ADC[2:0] = 011b、ADS002 = 1、ADS005 = 1 選択時のスキャン変換シーケンス

35.2.7 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 000 : 1回変換(加算なし。通常変換と同じ) 001 : 2回変換(1回加算を行う) 010 : 3回変換(2回加算を行う)(注1) 011 : 4回変換(3回加算を行う) 101 : 16回変換(15回加算を行う)(注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. AVEE ビットは、2回変換、4回変換の時にのみ有効です。平均モードを選択した場合(ADADC.AVEE ビット = 1)、3回変換(ADADC.ADC[2:0] = 010b)および16回変換(ADADC.ADC[2:0] = 101b)に設定しないでください。

ADADC レジスタは、A/D 変換値加算 / 平均モードが選択されたチャネルに対して加算回数の設定と、加算モード / 平均モードの選択を行います。

ADC[2:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが選択されたチャネルに対して共通の加算回数を設定します。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b)、3回変換 (ADADC.ADC[2:0] = 010b) および 16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

AVEE ビット (平均モードイネーブルビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが選択されたチャネルに対して加算モード、または平均モードの選択を行います。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b)、3回変換 (ADADC.ADC[2:0] = 010b) および 16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。1回、3回および16回変換の平均値を求めることはできません。

AVEE ビットの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

35.2.8 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断電圧固定モード時は設定禁止 0 1 : 0V の電圧を使って自己診断を行う 1 0 : 基準電圧 × 1/2 の電圧を使って自己診断を行う (注1) 1 1 : 基準電圧の電圧を使って自己診断を行う (注1)	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12 ビット A/D コンバータの自己診断を実施しない 1 : 12 ビット A/D コンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

注1. 基準電圧とはADHVREFCNTレジスタで選択した端子の電圧を意味します。

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DTC または DMACA によって ADDRy、ADDRD、ADDBLDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを“0”にすると 0V → 基準電圧 × 1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電圧×1/2、基準電圧の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDR_y、ADRD、ADDBLDR、ADCMPDR0、ADCMPDR1、ADWINLLB、ADWINULB レジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「35.2.1 A/D データレジスタ y (ADDR_y) (y = 0 ~ 5)、A/D データ二重化レジスタ (ADDBLDR)」、「35.2.2 A/D 自己診断データレジスタ (ADRD)」、「35.2.17 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)」、「35.2.18 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)」、「35.2.23 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)」、「35.2.24 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)」を参照してください。

35.2.9 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	TRSA[5:0]					—	—	TRSB[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループA優先制御時に、ADGSPCR.GBRP ビットを“1”にすることで、グループBをシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガにPCLKAで動作するモジュール(MTU)からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「35.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 35.6 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。A/D変換開始トリガにPCLKAで動作するモジュール (MTU) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「35.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表 35.7 に TRSA[5:0] ビットでのA/D起動要因選択一覧を示します。

表35.6 TRSB[5:0]ビットでのA/D起動要因選択一覧

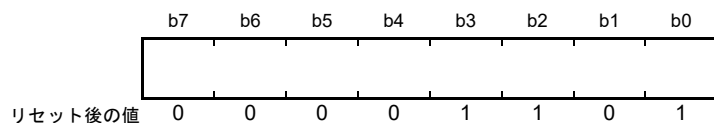
モジュール	要因	備考	TRSB [5]	TRSB [4]	TRSB [3]	TRSB [2]	TRSB [1]	TRSB [0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRG0AN	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRG0BN	MTU0.TGRBのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGAN	MTU0～MTU4のTGRAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー (谷)	0	0	0	0	1	1
	TRG0EN	MTU0.TGREのコンペアマッチ	0	0	0	1	0	0
	TRG0FN	MTU0.TGRFのコンペアマッチ	0	0	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能)	0	0	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能)	0	0	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能)	0	0	1	0	0	0
ELC	ELCTRG00N		0	0	1	0	0	1

表35.7 TRSA[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA [5]	TRSA [4]	TRSA [3]	TRSA [2]	TRSA [1]	TRSA [0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG0#	トリガ入力端子	0	0	0	0	0	0
MTU	TRG0AN	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRG0BN	MTU0.TGRBのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGAN	MTU0～MTU4のTGRAのコンペアマッチ/インプットキャプチャまたは相補PWMモード時のMTU4.TCNTのアンダフロー (谷)	0	0	0	0	1	1
	TRG0EN	MTU0.TGREのコンペアマッチ	0	0	0	1	0	0
	TRG0FN	MTU0.TGRFのコンペアマッチ	0	0	0	1	0	1
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ (割り込み間引き機能)	0	0	0	1	1	0
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能)	0	0	0	1	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNTコンペアマッチ (割り込み間引き機能)	0	0	1	0	0	0
ELC	ELCTRG00N		0	0	1	0	0	1

35.2.10 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 5)

アドレス S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h



ADSSTRn レジスタは、アナログ入力のスAMPLING時間の設定を行います。

1 ステート = 1 ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 32 MHz であれば 1 ステート = 31.25 ns になります。初期値は 13 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。ADSSTRn レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。サンプリング時間の設定下限値は、PCLKB と ADCLK の周波数比により異なります。

PCLKB : ADCLK 周波数比 = 1 : 1、2 : 1、4 : 1、8 : 1 の場合、5 ステート以上の値を設定してください。

PCLKB : ADCLK 周波数比 = 1 : 2 の場合、6 ステート以上の値を設定してください。

表 35.8 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

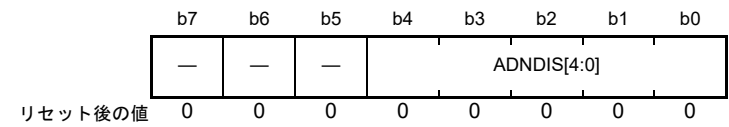
詳細は、「35.3.6 アナログ入力のスAMPLING時間とスキャン変換時間」を参照してください。

表 35.8 A/D サンプリングステートレジスタと対象チャネルの関係

レジスタ名	対象チャネル
ADSSTR0 レジスタ	AN000
ADSSTR1 レジスタ	AN001
ADSSTR2 レジスタ	AN002
ADSSTR3 レジスタ	AN003
ADSSTR4 レジスタ	AN004
ADSSTR5 レジスタ	AN005

35.2.11 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	A/D断線検出アシスト設定ビット	b4 ADNDIS[4] : ディスチャージ/プリチャージの選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : ディスチャージ/プリチャージ期間	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。

35.2.12 A/D イベントリンクコントロールレジスタ (ADELCCR)

アドレス S12AD.ADELCCR 0008 907Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ELCC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ELCC[1:0]	イベントリンクコントロールビット	b1 b0 0 0 : グループスキャンモードのグループBのスキャン終了を除くスキャン終了時にイベント発生 0 1 : グループスキャンモードのグループBのスキャン終了時にイベント発生 1 x : すべてのスキャン終了時にイベント発生	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

ADELCCR レジスタは、ELC 用スキャン終了イベント (S12ADELC) のイベント発生条件を設定します。

ELCC[1:0] ビット (イベントリンクコントロールビット)

ELC 用スキャン終了イベント (S12ADELC) 発生条件を選択するビットです。

35.2.13 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループAの優先制御でグループBのA/D変換動作中断後の再起動をしない 1: グループAの優先制御でグループBのA/D変換動作中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定ビット (注3)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループBはシングルスキャン連続動作しない 1: グループBのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。それ以外の設定をした場合、動作は保証されません。

注2. GBRSCNビットを“1”にする場合は、周辺モジュールクロックPCLKBとA/D変換クロックADCLKの周波数比を1:1にしてください。

注3. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、グループBのシングルスキャン連続動作を実行します。

ADGSPCR レジスタは、グループスキャンモードでグループAを優先的にA/D変換する優先制御を設定するレジスタです。

PGSビット (グループA優先制御設定ビット)

グループAの優先動作を制御します。グループA優先制御動作を行うときに“1”を設定してください。

PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。

PGSビットを“0”にする場合は、「35.8.2 A/D変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGSビットを“1”にする場合は、「35.3.4.3 グループA優先制御動作」の手順に従い設定を行ってください。

GBRSCNビット (グループB再起動設定ビット)

グループA優先制御時の、グループBの再スキャン動作を設定します。

GBRSCNビットを“1”にすると、グループAのトリガ入力によるスキャン動作中断後、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を行います。

GBRSCNビットを“0”にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCNビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

GBRSCNビットの設定は、PGSビットが“1”のときにも有効となります。

GBRPビット (グループB用シングルスキャン連続起動設定ビット)

グループBをシングルスキャンで連続動作させる場合に設定します。

GBRPビットを“1”にすると、グループBのシングルスキャンが起動します。スキャン終了後、自動的に

グループ B のシングルスキャンを再開します。グループ A 優先制御動作でグループ B の A/D 変換動作が中断した後は、グループ A の A/D 変換動作終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

35.2.14 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス S12AD.ADCMPCR 0008 9090h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	WCMPE	—	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウ A/B の複合条件設定ビット	b1 b0 0 0 : ウィンドウ A 比較条件一致 OR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 0 1 : ウィンドウ A 比較条件一致 EXOR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 0 : ウィンドウ A 比較条件一致 AND ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 1 : 設定禁止	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMPBE	コンペアウィンドウ B 動作許可ビット	0 : コンペアウィンドウ B 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1 : コンペアウィンドウ B 動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	CMPAE	コンペアウィンドウ A 動作許可ビット	0 : コンペアウィンドウ A 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1 : コンペアウィンドウ A 動作	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	WCMPE	ウィンドウ機能設定ビット	0 : ウィンドウ機能無効 ウィンドウ A/B は下位側の 1 値と A/D 変換結果を比較するコンパレータとして動作します。 1 : ウィンドウ機能有効 ウィンドウ A/B は上位側、下位側の 2 値と A/D 変換結果を比較するウィンドウコンパレータとして動作します。	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

CMPAB[1:0] ビット (ウィンドウ A/B の複合条件設定ビット)

CMPAB[1:0] ビットは、シングルスキャン時、ウィンドウ A/B が共に有効である場合 (CMPAE = 1 かつ CMPBE = 1) に有効です。ELC 用コンペア機能マッチ/アンマッチイベント出力条件と ADWINMON.MONCOMB フラグのモニタ条件を選択します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可ビット)

コンペアウィンドウ B の停止 / 動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/D チャンネル選択レジスタ A0/B0 (ADANSA0, ADANSB0)
- ウィンドウ B チャンネル選択レジスタの CMPCHB[5:0] (ADCMPBNSR.CMPCHB[5:0])

CMPAE ビット (コンペアウィンドウ A 動作許可ビット)

コンペアウィンドウ A の停止 / 動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/D チャンネル選択レジスタ A0/B0 (ADANSA0, ADANSB0)
- ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)

WCMPE ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効 / 無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

35.2.15 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)

アドレス S12AD.ADCMPANSR0 0008 9094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CMPC HA005	CMPC HA004	CMPC HA003	CMPC HA002	CMPC HA001	CMPC HA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウA チャンネル選択ビット	0 : AN000～AN005をコンペアウィンドウA対象から外す 1 : AN000～AN005をコンペアウィンドウA対象とする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャンネルのアナログ入力 AN000～AN005 を選択するレジスタです。

CMPCHA0n ビット (n = 00 ～ 05) (コンペアウィンドウ A チャンネル選択ビット)

ADANSA0.ANSA0n ビットと ADANSB0.ANSB0n ビットで選択した A/D 変換チャンネルと同一番号の CMPCHA0n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

35.2.16 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

アドレス S12AD.ADCMPLR0 0008 9098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウ A コンペア条件選択ビット	ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002		ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADCMPDR0 レジスタ値または ADCMPDR1 レジスタ値 < A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLR0 レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLR0 レジスタの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLCHA0n ビット (n = 00 ~ 05) (コンペアウィンドウ A コンペア条件選択ビット)

ウィンドウ A 比較条件の対象としたチャネル (AN000 ~ AN005) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN000 に、CMPLCHA005 ビットが AN005 に対応します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPDR0.CMPSTCHA0n フラグが“1”にセットされます。コンペア条件を図 35.3 に示します。

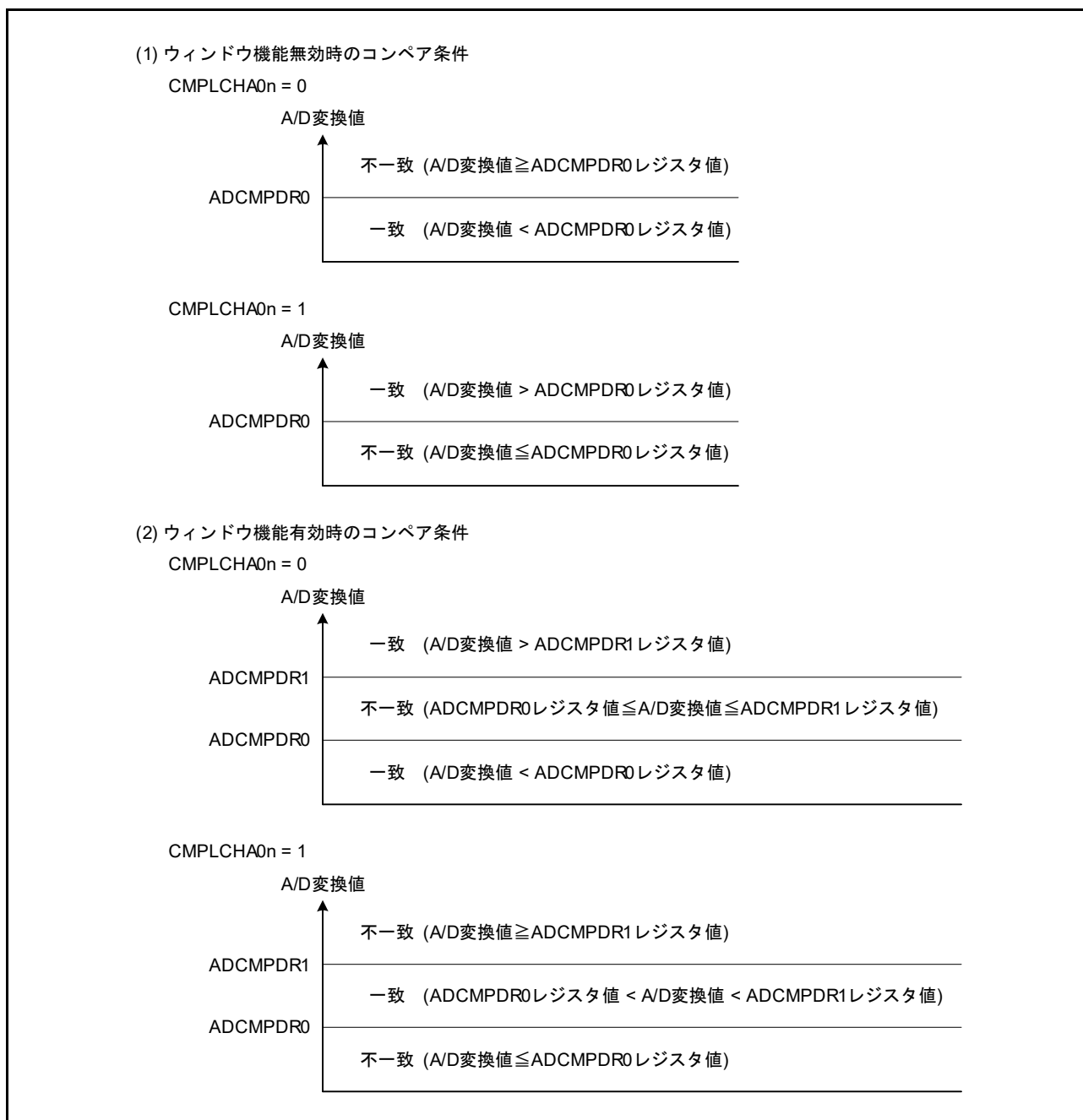
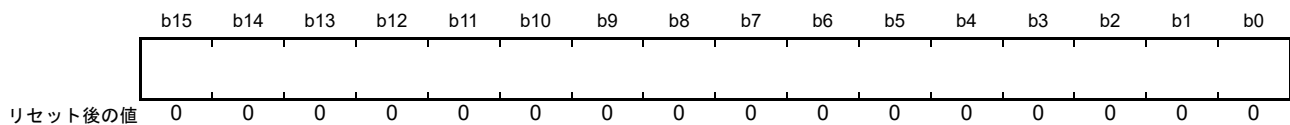


図 35.3 コンペア機能ウィンドウ A コンペア条件説明

35.2.17 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)

アドレス S12AD.ADCMPDR0 0008 909Ch



ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 レジスタは、ウィンドウ A の下位側レベルを設定します。

ADCMPDR0 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル $\geq$ 下限側レベル (ADCMPDR1 設定値 $\geq$ ADCMPDR0 設定値) となるように設定してください。

ADCMPDR0 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 は “0” を書いてください。

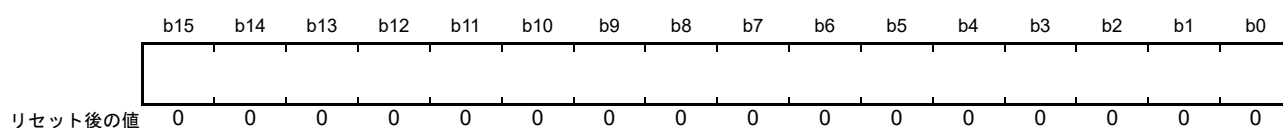
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR0 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR0 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

35.2.18 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)

アドレス S12AD.ADCMPDR1 0008 909Eh



ADCMPDR1 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR1 は、ウィンドウ A の上位側レベルを設定します。

ADCMPDR1 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル $\geq$ 下限側レベル (ADCMPDR1 設定値 $\geq$ ADCMPDR0 設定値) となるように設定してください。

ADCMPDR1 レジスタはウィンドウ機能無効時には使用しません。

ADCMPDR1 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合

b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 は “0” を書いてください。

- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR1 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR1 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

35.2.19 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSTR0)

アドレス S12AD.ADCMPSTR0 0008 90A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウ A フラグ	ウィンドウ A 動作状態 (ADCMPSTR.CMPAE = 1) のとき、ウィンドウ A 比較条件の対象としたチャネル (AN000～AN005) の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b1	CMPSTCHA001			R/W
b2	CMPSTCHA002			R/W
b3	CMPSTCHA003			R/W
b4	CMPSTCHA004			R/W
b5	CMPSTCHA005			R/W
b15-b6	—	予約ビット	読むと “0” が読めます。書く場合、 “0” としてください	R/W

ADCMPSTR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (n = 00 ～ 05) (コンペアウィンドウ A フラグ)

ウィンドウ A 比較条件の対象としたチャネル (AN000～AN005) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPSTR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1” にセットされます。CMPSTCHA000 フラグが AN000 に、CMPSTCHA005 フラグが AN005 に対応します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

["1" になる条件]

- ADCMPSTR.CMPAE = 1 の条件で、ADCMPSTR0.CMPLCHA0n ビットに設定した条件が成立したとき

["0" になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

35.2.20 A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス S12AD.ADHVREFCNT 0008 908Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HVSEL[1:0]	高電位側基準電圧選択ビット	b1 b0 0 0 : 高電位側基準電圧にAVCC0を選択 0 1 : 高電位側基準電圧にVREFH0を選択 上記以外は設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LVSEL	低電位側基準電圧選択ビット	0 : 低電位側基準電圧にAVSS0を選択 1 : 低電位側基準電圧にVREFL0を選択	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ADSLP	スリープビット	0 : 通常動作 1 : スタンバイ状態	R/W

ADHVREFCNT レジスタは、高電位 / 低電位基準電圧の設定を行います。A/D 変換前に設定してください。

HVSEL[1:0] ビット (高電位側基準電圧選択ビット)

高電位側基準電圧の設定を行います。AVCC0、VREFH0 から選択できます。

LVSEL ビット (低電位側基準電圧選択ビット)

低電位側基準電圧の設定を行います。AVSS0、VREFL0 から選択できます。

ADSLP ビット (スリープビット)

12 ビット A/D コンバータをスタンバイ状態にします。ADCSR.ADHSC ビットを書き換える場合にのみ ADSLP ビットを“1”にしてください。ADCSR.ADHSC ビットを書き換え以外で、ADSLP ビットを“1”にすることは禁止です。

ADSLP ビットを“1”にした後は、5 μ s 以上経ってから“0”にしてください。また ADSLP ビットを“0”にした後、1 μ s 以上待ってから A/D 変換を開始してください。

ADHSC ビットを書き換え手順は、「35.8.9 ADHSC ビットを書き換え手順」を参照してください。

35.2.21 A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス S12AD.ADWINMON 0008 908Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果モニタフラグ	組み合わせの結果を示します。 本フラグはウィンドウA/B共に動作状態のときに有効です。 0：ウィンドウA/Bの複合条件不成立 1：ウィンドウA/Bの複合条件成立	R
b3-b1	—	予約ビット	読むと“0”が読めます	R
b4	MONCMPA	比較結果モニタ A フラグ	0：ウィンドウA比較条件不成立 1：ウィンドウA比較条件成立	R
b5	MONCMPB	比較結果モニタ B フラグ	0：ウィンドウB比較条件不成立 1：ウィンドウB比較条件成立	R
b7-b6	—	予約ビット	読むと“0”が読めます	R

ADWINMON レジスタは比較結果と組みあわせ結果をモニタできます。

MONCOMB フラグ (組み合わせ結果モニタフラグ)

ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のフラグです。

["1" になる条件]

- ADCMPCR.CMPAE = 1 かつ ADCMPCR.CMPBE = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致

["0" になる条件]

- ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない。
- ADCMPCR.CMPAE = 0 または ADCMPCR.CMPBE = 0 のとき

MONCMPA フラグ (比較結果モニタ A フラグ)

ADCMPLR0 レジスタで設定した条件にウィンドウ A 対象チャネルの A/D 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のフラグです。

["1" になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

["0" になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が不成立のとき
- ADCMPCR.CMPAE = 0 のとき (ADCMPCR.CMPAE = 1 → 0 で自動クリア)

MONCMPB フラグ (比較結果モニタ B フラグ)

ADCMPLR0.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの A/D 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のフラグです。

["1" になる条件]

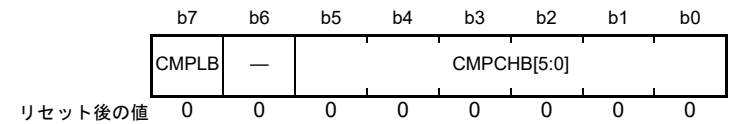
- ADCMPCR.CMPBE = 1 の条件で、ADCMPLR0.CMPLB ビットに設定した条件が成立したとき

[“0”になる条件]

- ADCMPCR.CMPBE = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が不成立のとき
- ADCMPCR.CMPBE = 0 のとき (ADCMPCR.CMPBE = 1 → 0 で自動クリア)

35.2.22 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

アドレス S12AD.ADCMPBNSR 0008 90A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択ビット	コンペアウィンドウ B の条件で比較を行うチャンネルを選択します b5 b0 0 0 0 0 0 0 : AN000 0 0 0 0 0 1 : AN001 0 0 0 0 1 0 : AN002 : 0 0 0 1 0 1 : AN005 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウ B コ ンペア条件設定ビット	ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADWINLLB レジスタ値 > A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADWINLLB レジスタ値またはADWINULB レジ スタ値 < A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 < ADWINULB レジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャンネルを AN000 ～ AN005 から選択するビットです。

ADANSA0、ADANSB0 レジスタで選択した A/D 変換チャンネルの番号 (16 進) を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャンネルの比較条件を設定します。各アナログ入力と比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが“1”にセットされます。コンペア条件を図 35.4 に示します。

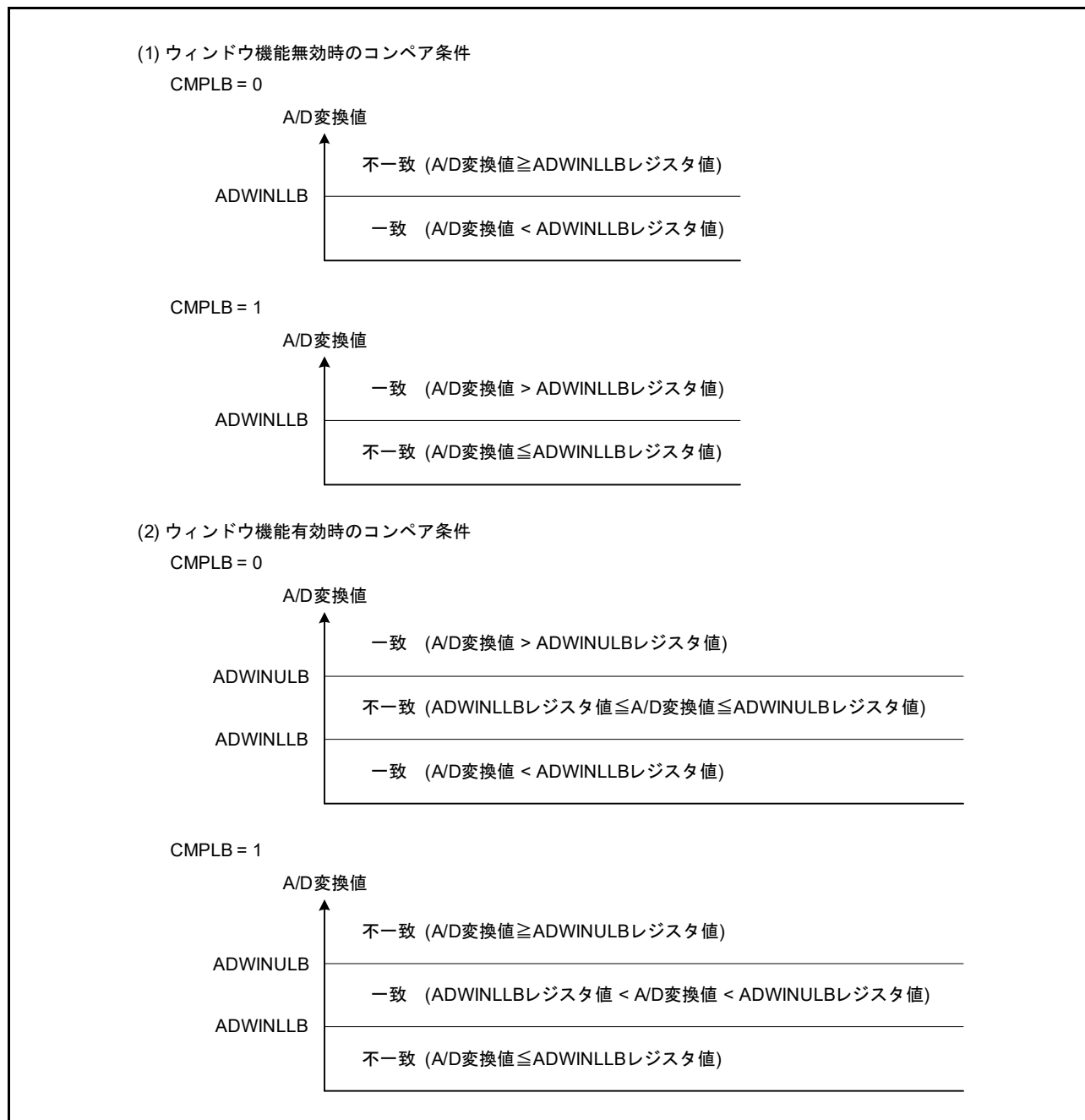
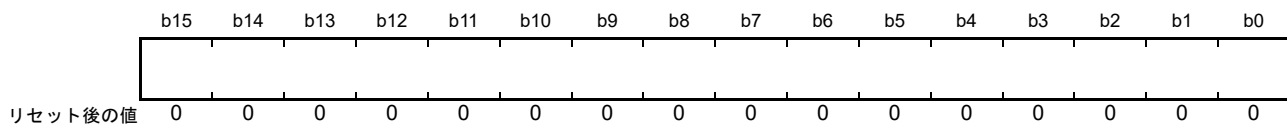


図 35.4 コンペア機能ウィンドウ B コンペア条件説明

35.2.23 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)

アドレス S12AD.ADWINLLB 0008 90A8h



ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB は、ウィンドウ B の下位側レベルを設定します。

ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル $\geq$ 下限側レベル (ADWINULB 設定値 $\geq$ ADWINLLB 設定値) となるように設定してください。

ADWINLLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 は “0” を書いてください。

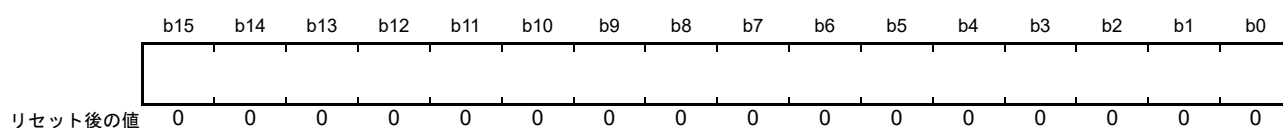
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINLLB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINLLB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

35.2.24 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)

アドレス S12AD.ADWINULB 0008 90AAh



ADWINULB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINULB は、ウィンドウ B の上位側レベルを設定します。

ADWINULB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル $\geq$ 下限側レベル (ADWINULB 設定値 $\geq$ ADWINLLB 設定値) となるように設定してください。

ADWINULB レジスタはウィンドウ機能無効時には使用しません。

ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は“0”を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は“0”を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は“0”を書いてください。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 は“0”を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 は“0”を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合

b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 は “0” を書いてください。

- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINULB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINULB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

35.2.25 A/D コンペア機能ウィンドウ B チャネルステータスレジスタ (ADCMPBSR)

アドレス S12AD.ADCMPBSR 0008 90ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウ B フラグ	0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN000 ～ AN005) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBSR.CMPCHB[5:0] ビットに設定された比較条件と一致した場合、“1”にセットされます。

CMPSTB フラグに “1” を書き込むことはできません。

["1" になる条件]

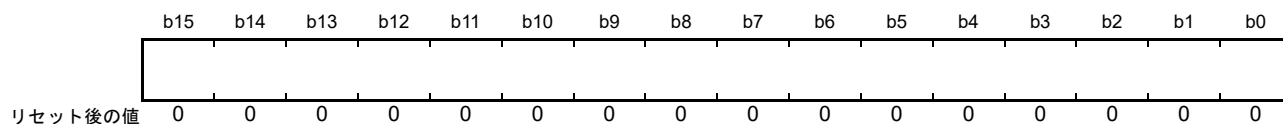
- ADCMPBSR.CMPBE = 1 の条件で、ADCMPBSR.CMPLB ビットに設定した条件が成立したとき

["0" になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

35.2.26 A/D データ格納バッファレジスタ n (ADBUF_n) (n = 0 ~ 15)

アドレス S12AD.ADBUF0 0008 90B0h, S12AD.ADBUF1 0008 90B2h, S12AD.ADBUF2 0008 90B4h,
S12AD.ADBUF3 0008 90B6h, S12AD.ADBUF4 0008 90B8h, S12AD.ADBUF5 0008 90BAh,
S12AD.ADBUF6 0008 90BCh, S12AD.ADBUF7 0008 90BEh, S12AD.ADBUF8 0008 90C0h,
S12AD.ADBUF9 0008 90C2h, S12AD.ADBUF10 0008 90C4h, S12AD.ADBUF11 0008 90C6h,
S12AD.ADBUF12 0008 90C8h, S12AD.ADBUF13 0008 90CAh, S12AD.ADBUF14 0008 90CCh,
S12AD.ADBUF15 0008 90CEh



A/D データ格納バッファレジスタ n (ADBUF_n) は、全 A/D 変換値を順に格納する 16 ビットの読み出し専用レジスタです。本レジスタはオートクリア機能対象外です。

ADBUF_n レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は“0”が読み出されます。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は“0”が読み出されます。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を格納します。A/D 変換

回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張したデータとしてADBUFnレジスタに格納します。A/D変換回数16回設定時には、変換精度のビット数に4ビット分拡張したデータとしてADBUFnレジスタに格納します。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがいADBUFnレジスタに拡張したA/D変換値を格納します。

35.2.27 A/Dデータ格納バッファイネーブルレジスタ (ADBUFEN)

アドレス S12AD.ADBUFEN 0008 90D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BUFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BUFEN	データ格納バッファイネーブルビット	0：データ格納バッファを使用しない 1：データ格納バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADBUFENレジスタは、データ格納バッファイネーブルの設定を行います。

BUFENビット (データ格納バッファイネーブルビット)

コンペア機能使用時に、データ格納バッファの使用を許可するビットです。

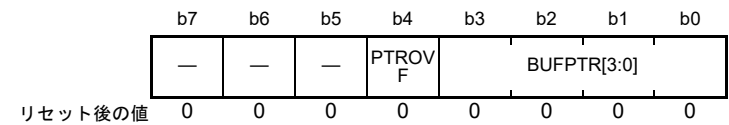
BUFEN=1のとき、自己診断以外のA/D変換結果(加算結果)をADBUFnに格納します。

ADBUFn、およびADBUFPTRは、データ格納動作を停止(BUFEN=0)させてから読み出してください。

データ二重化/連続スキャン/グループスキャン時、データ格納バッファは使用しないでください。

35.2.28 A/D データ格納バッファポインタレジスタ (ADBUFPTR)

アドレス S12AD.ADBUFPTR 0008 90D2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	BUFPTR[3:0]	データ格納バッファポインタ	次のA/D変換データが転送されるデータ格納バッファの番号を示します	R/W
b4	PTROVF	ポインタオーバーフローフラグ	0：データ格納バッファポインタがオーバーフローしていない 1：データ格納バッファポインタがオーバーフローした	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADBUFPTR レジスタは、データ格納バッファポインタのレジスタです。

BUFPTR[3:0] ビット (データ格納バッファポインタ)

次の A/D 変換データが転送されるデータ格納バッファの番号を示す読み出しビットです。

データ格納バッファ 15 にデータが転送されると、ポインタの値は “0000b” になり、PTROVF フラグが “1” にセットされます。次のデータが転送されるとデータ格納バッファ 0 のデータを上書きします。

本レジスタに “00h” を書き込むと値はクリアされます。“00h” 以外の書き込みは無効です。

PTROVF フラグ (ポインタオーバーフローフラグ)

データ格納バッファポインタがオーバーフローしたかどうかを示す読み出しビットです。ポインタの値がオーバーフローして “0000b” になると “1” がセットされます。

本レジスタに “00h” を書き込むと値はクリアされます。“00h” 以外の書き込みは無効です。

35.3 動作説明

35.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの 3 種類の動作モードがあります。また、変換モードには高速変換モードと通常変換モードがあります。シングルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを “0” (“1” の状態から “0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ 1 回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0 レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換データを二重化します。

35.3.2 シングルスキャンモード

35.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADST ビットが“1”(A/D変換開始)になると、ADANSA0レジスタで選択したAN_nのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDR_y)に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求が発生します。
- (4) ADCSR.ADST ビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

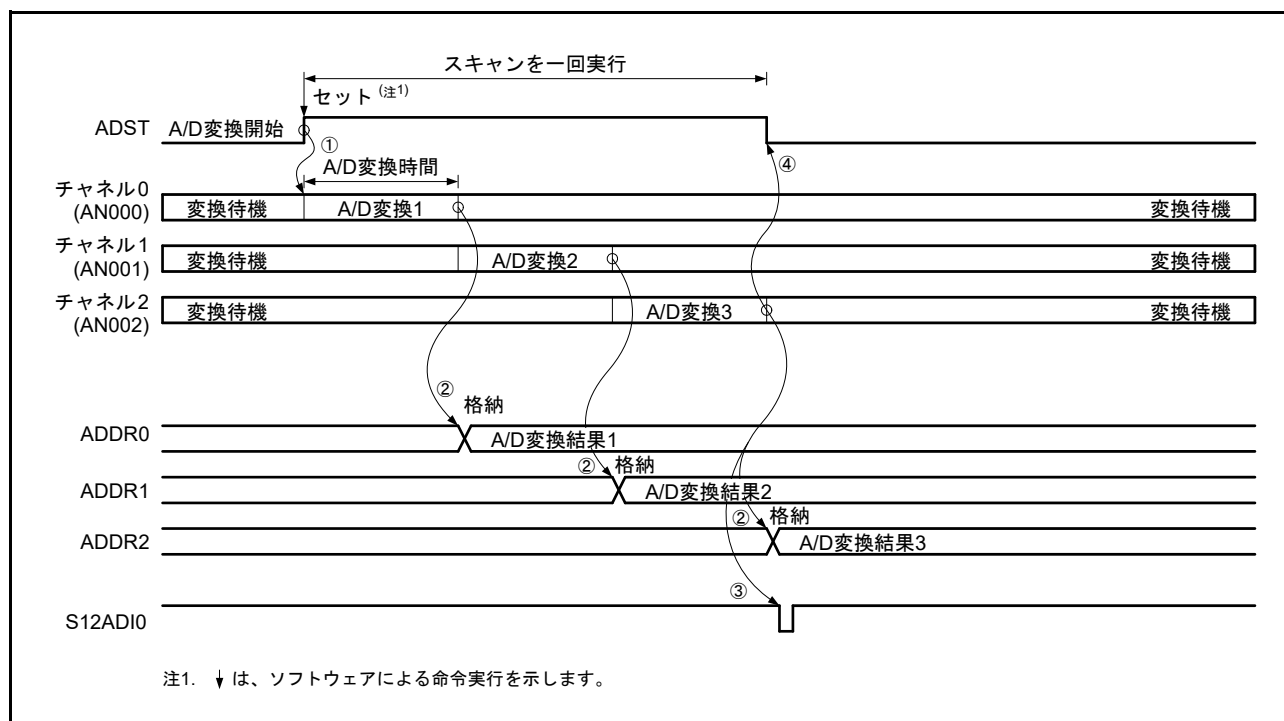


図 35.5 シングルスキャンモードの動作例 (基本動作 : AN000、AN001、AN002 選択)

35.3.2.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1”(A/D 変換開始)になると、最初に自己診断での A/D 変換を開始します。
- (2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0 レジスタで選択したチャネル AN_n の n が小さい番号順に A/D 変換を開始します。
- (3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていれば、S12ADI0 割り込み要求を発生します。
- (5) ADST ビットは A/D 変換中は“1”(A/D 変換開始)を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

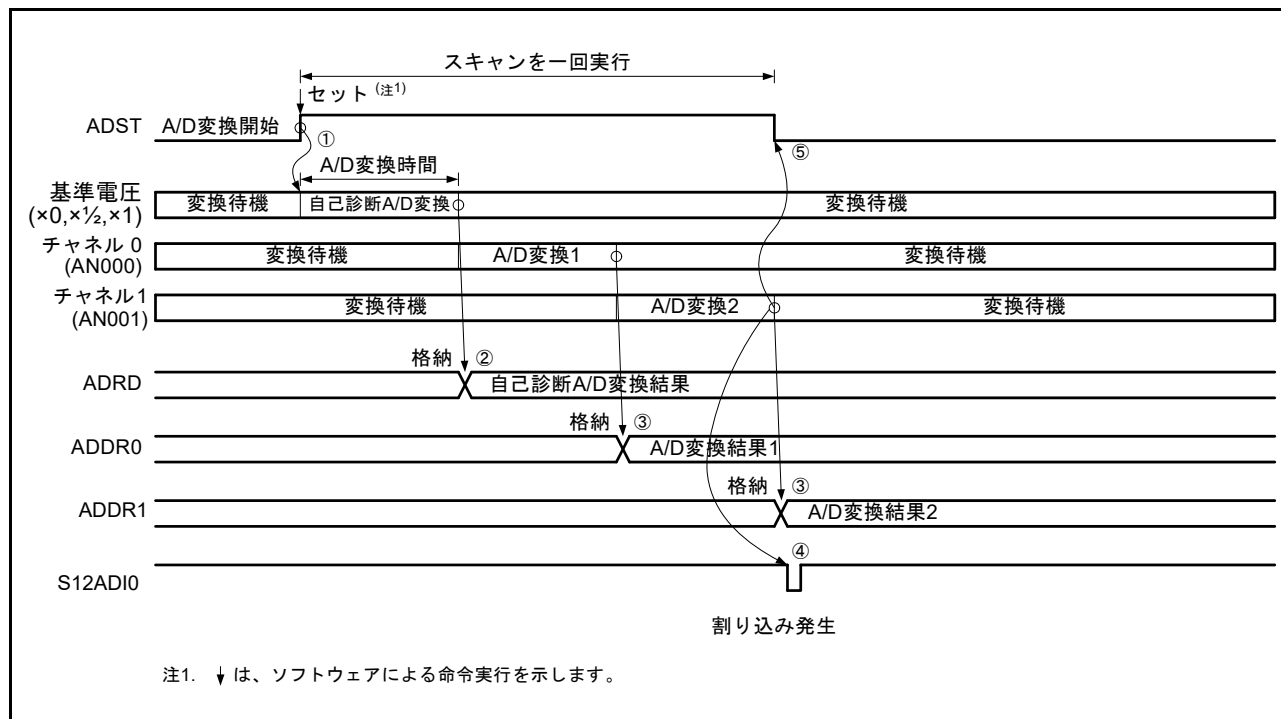


図 35.6 シングルスキャンモードの動作例 (基本動作 : AN000、AN001 選択 + 自己診断)

35.3.2.3 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

自己診断は非選択に設定してください。

A/D変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1”(A/D変換開始)にセットされると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR_y) へ格納されます。
- (3) ADST は自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI0 割り込み許可) の設定に関わらず、S12ADI0 割り込みは発生しません。
- (4) 2回目のトリガ入力によって ADCSR.ADST ビットが“1”(A/D変換開始)になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
- (5) A/D変換が終了すると、A/D変換結果はダブルトリガモード専用のA/Dデータ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可) に設定されていれば、S12ADI0 割り込み要求が発生します。
- (7) ADCSR.ADST ビットはA/D変換中は“1”(A/D変換開始)を保持し、A/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

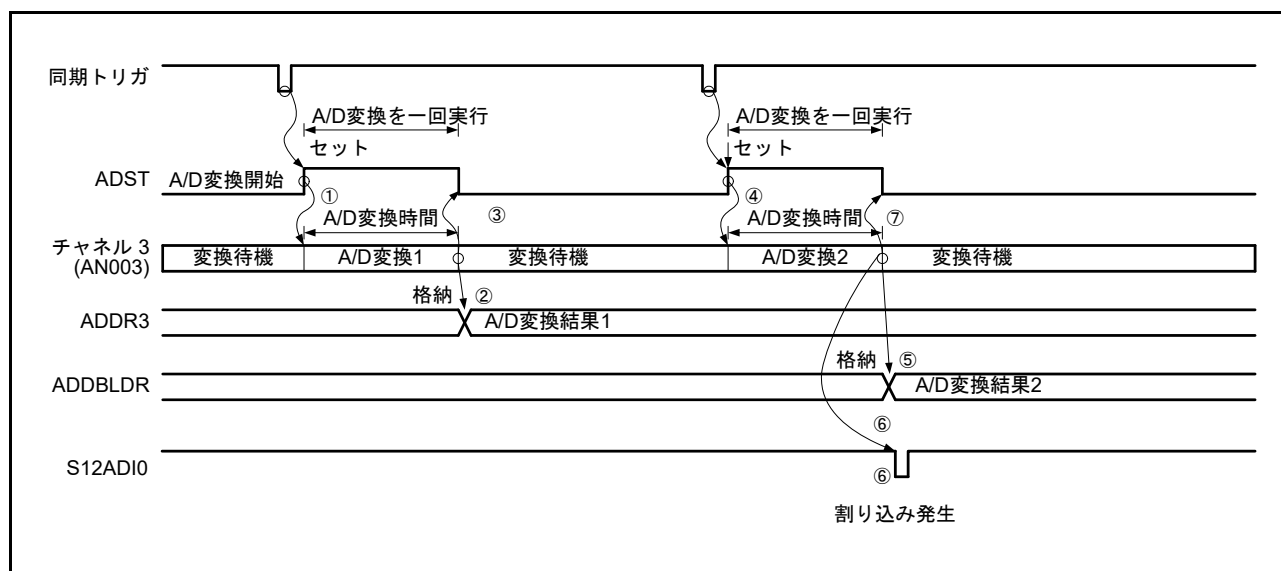


図 35.7 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

35.3.3 連続スキャンモード

35.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返し A/D 変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSA0 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求が発生します。
また 12 ビット A/D コンバータは、継続して ADANSA0 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1”(A/D 変換開始)の間は(2)～(3)を繰り返します。ADCSR.ADST ビットを“0”(A/D 変換停止)に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1”(A/D 変換開始)にセットすると再び ADANSA0 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。

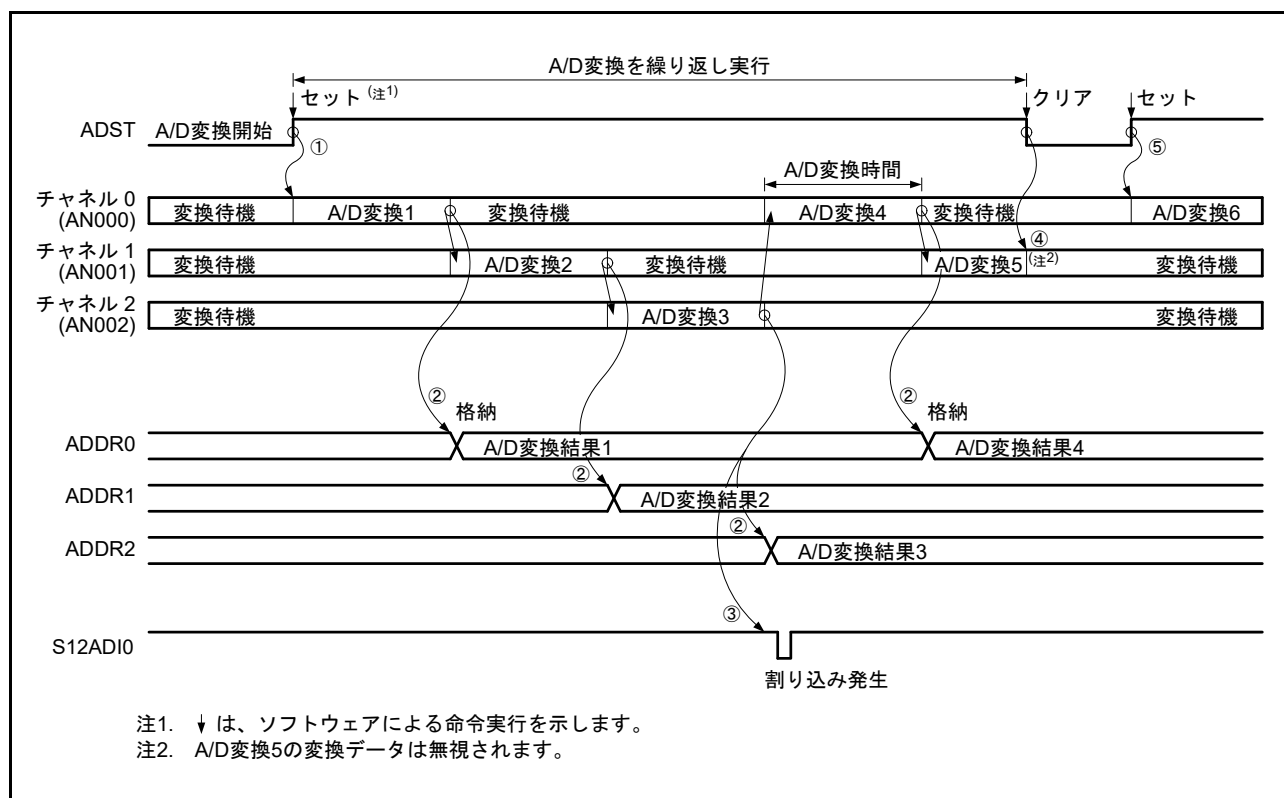


図 35.8 連続スキャンモードの動作例 (基本動作: AN000、AN001、AN002 選択)

35.3.3.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1”(A/D 変換開始)になると、最初に自己診断での A/D 変換を開始します。
- (2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0 レジスタで選択したチャネル AN_n の n が小さい番号順に A/D 変換を開始します。
- (3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていれば、S12ADI0 割り込み要求を発生します。また、12 ビット A/D コンバータは継続して自己診断での A/D 変換を開始し、終了後に ADANSA0 レジスタで選択したチャネル AN_n の n が小さい番号順に A/D 変換を開始します。
- (5) ADST ビットは自動的にクリアされず、“1”に設定されている間は (2) ~ (4) を繰り返します。ADST ビットを“0”(A/D 変換停止)に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (6) その後、ADST ビットが“1”(A/D 変換開始)に設定されると、再び自己診断での A/D 変換から開始します。

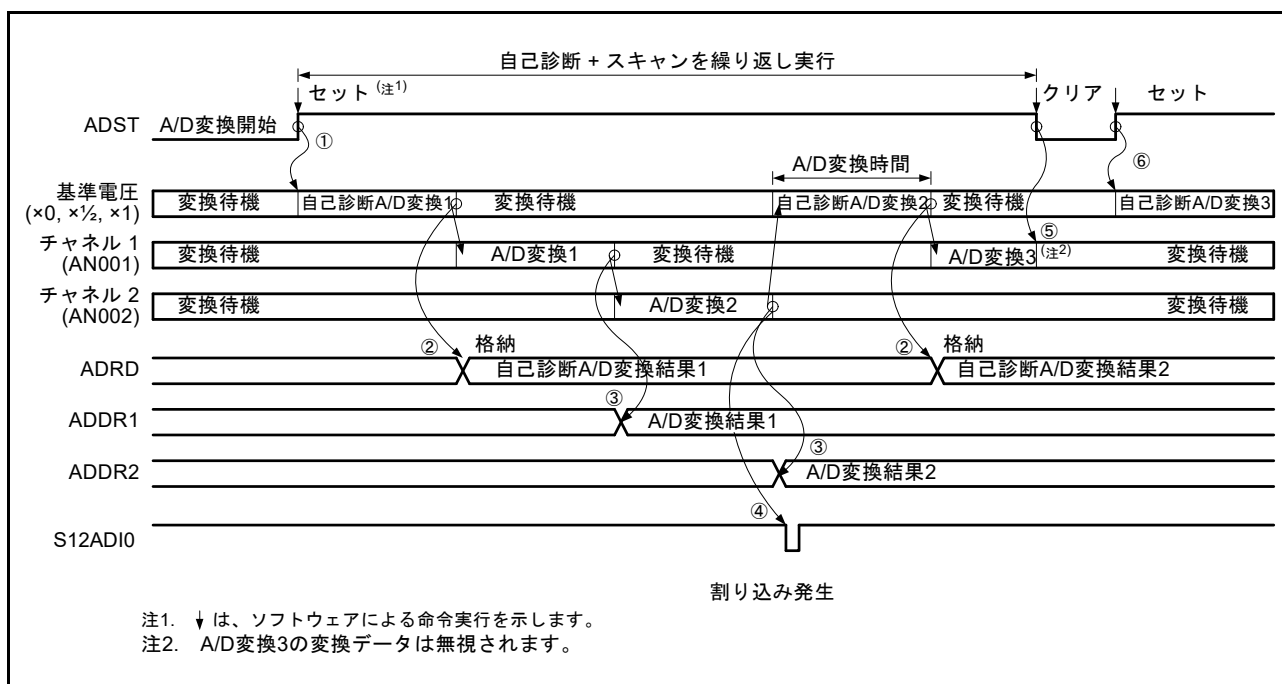


図 35.9 連続スキャンモードの動作例 (基本動作 : AN001、AN002 選択 + 自己診断)

35.3.4 グループスキャンモード

35.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0 レジスタでグループ A のチャンネルを選択し、ADANSB0 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始する設定です。

- (1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
- (2) グループ A のスキャン終了時に ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込みを発生します。
- (3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”(スキャン終了による GBADI 割り込み許可)に設定されていると、GBADI 割り込みを発生します。

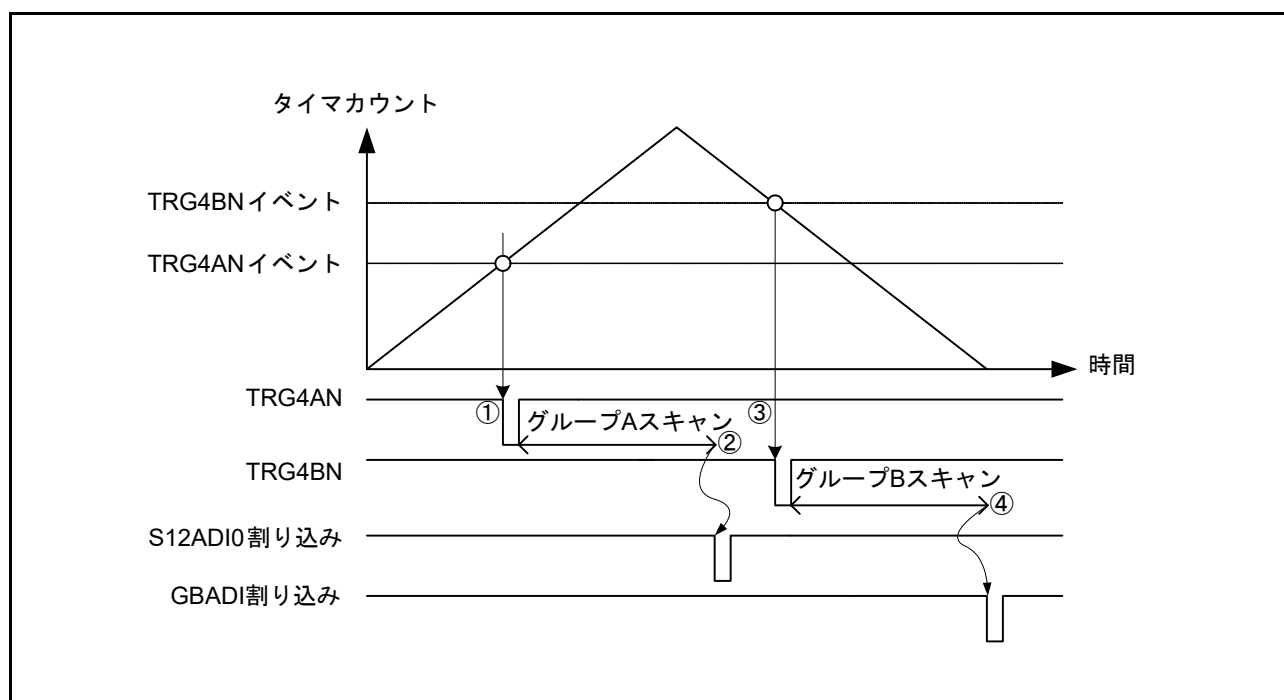


図 35.10 グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

35.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRG0AN トリガで変換開始する設定です。

- (1) MTU からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”(スキャン終了による GBADI 割り込み許可)に設定されていると、GBADI 割り込みを発生します。
- (3) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
- (5) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。

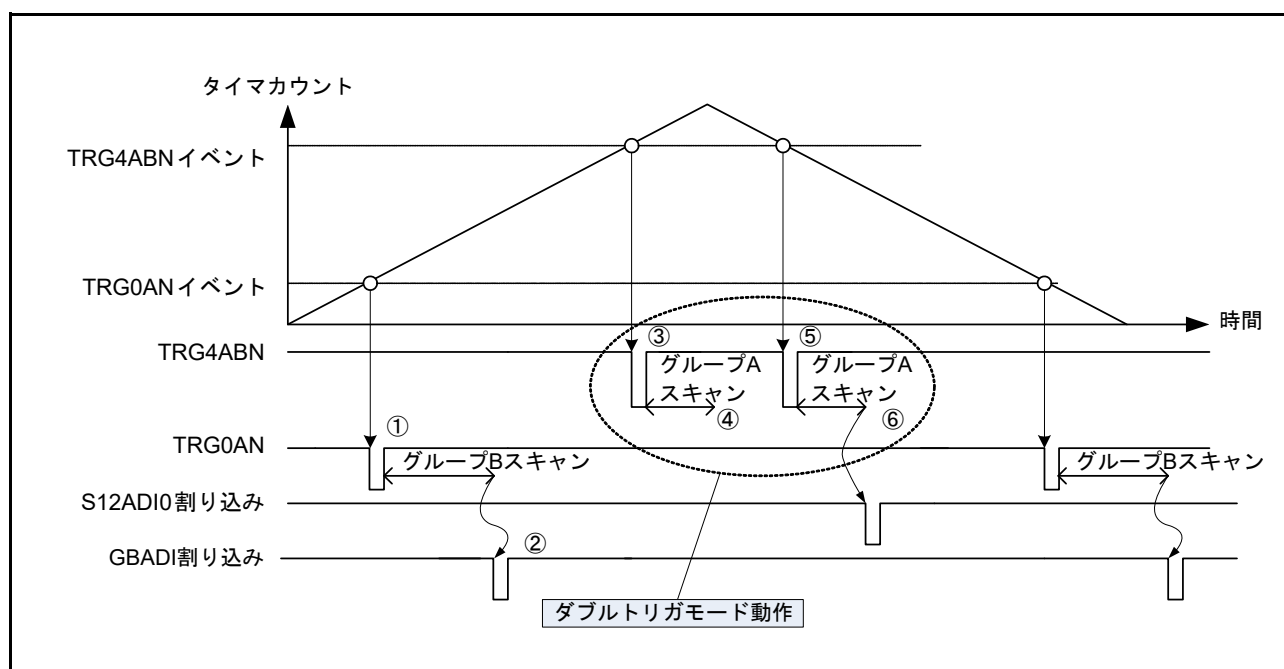


図 35.11 グループスキャンモードでダブルトリガモード選択時の動作例
(MTU からの同期トリガ発生による基本動作)

35.3.4.3 グループ A 優先制御動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを“1”にすると、グループ A 優先制御動作を行います。ADGSPCR レジスタの PGS ビットを“1”に設定する際は、図 35.12 に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中に他方のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが“0”のときは、グループ A の A/D 変換動作終了後に待機状態となります。ADGSPCR.GBRSCN ビットが“1”のときは、グループ A の A/D 変換動作終了後、自動的にグループ B の A/D 変換動作をスキャン先頭から再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を表 35.9 に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じ動作になります。またグループ B のスキャン動作は、ADGSPCR.GBRP ビットに“1”を設定すると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットに“1”を設定する場合は、ADSTRGR.TRSB[5:0] ビットは“3Fh”を設定してください。また A/D 変換対象とするチャンネルは、ADANSA0 レジスタでグループ A のチャンネルを選択し、ADANSB0 レジスタでグループ A とは異なるグループ B のチャンネルを選択してください。

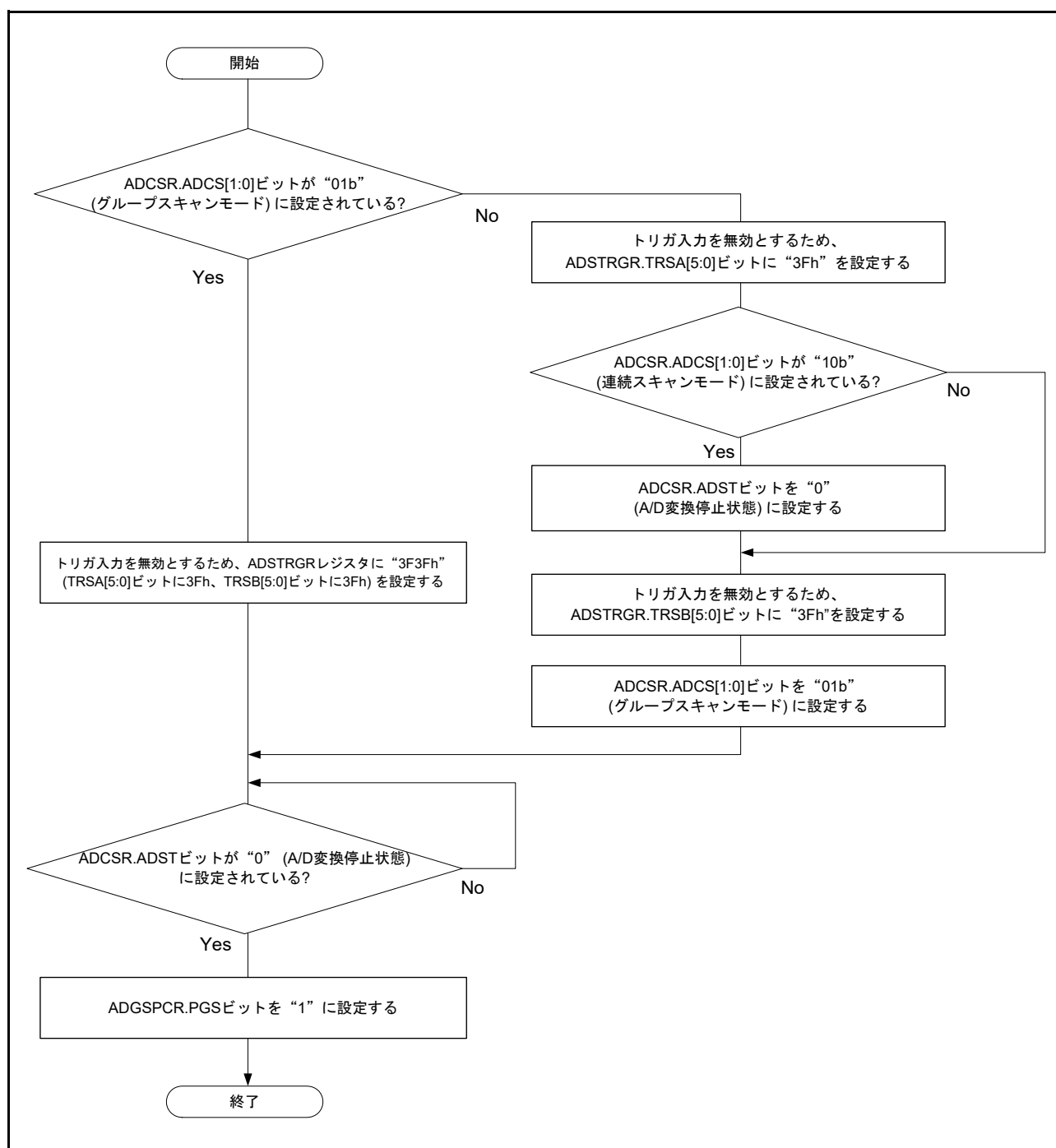


図 35.12 ADGSPCR.PGS ビット設定時のフロー

表 35.9 ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換動作中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を行います。
グループ B の A/D 変換動作中	グループ A トリガ入力	グループ B の A/D 変換中断し、グループ A の A/D 変換動作開始	- グループ B の A/D 変換中断し、グループ A の A/D 変換動作開始 - グループ A の A/D 変換終了後、グループ B の A/D 変換動作開始
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ A 優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) を示します。

- グループ B のトリガ入力によって ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSB0 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
- A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSA0 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。
- ADST ビットは自動的にクリアされた後、再度、自動的に ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSB0 レジスタで選択したチャンネル AN_n の n が小さい番号順に、グループ B の A/D 変換を再度開始します。
- 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- ADCSR.GBADIE ビットが“1”(グループ B のスキャン終了による GBADI 割り込み許可)に設定されていると、GBADI 割り込み要求を発生します。
- ADST ビットは A/D 変換中は“1”(A/D 変換開始)を保持し、A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

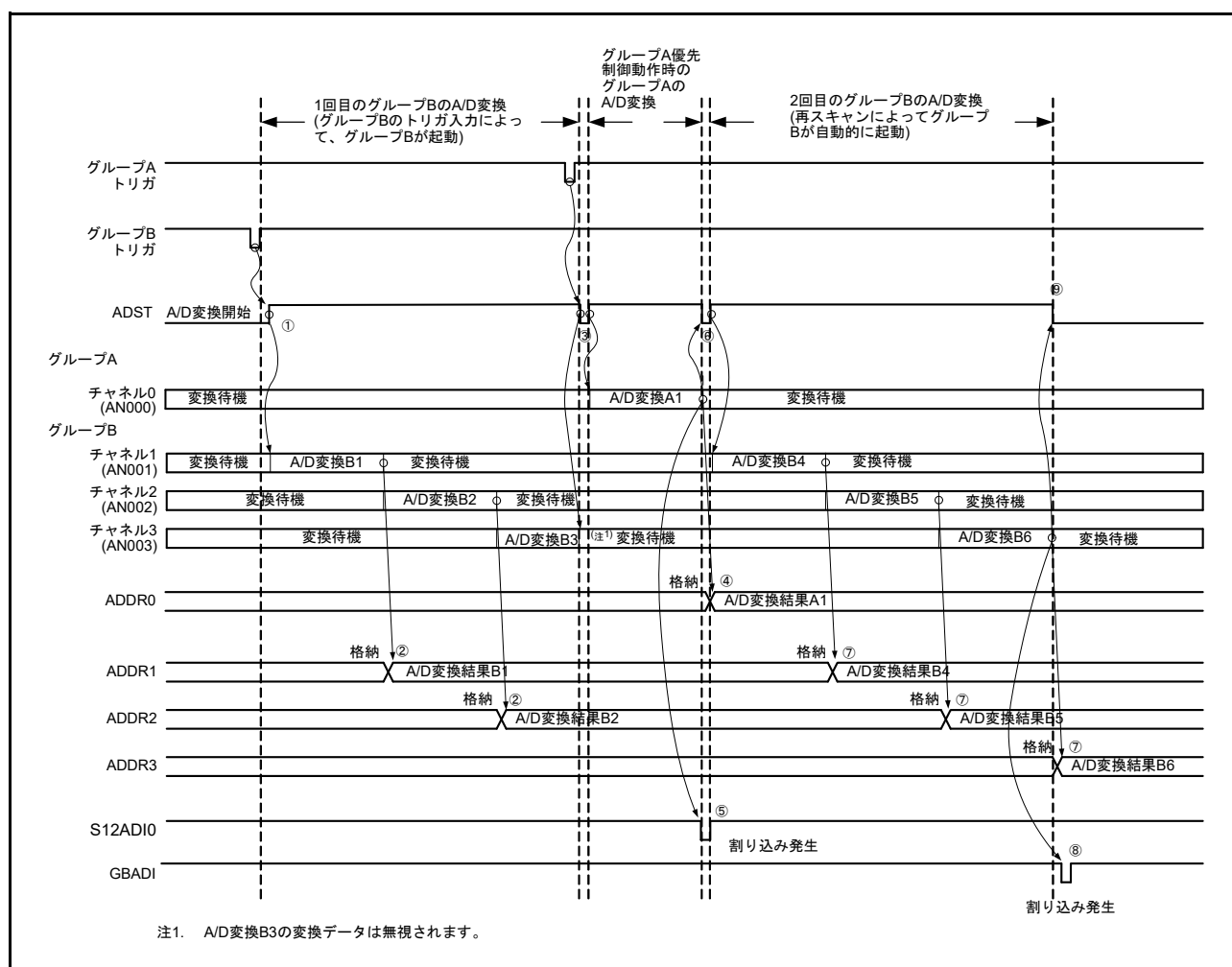


図 35.13 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ～ 3 を選択した場合の例を示します。

- (1) グループ B のトリガ入力によって、ADCSR.ADST ビットが“1”(A/D 変換開始)に設定されると、ADANSB0 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (4) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA0 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (5) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1”(再スキャン動作有効)に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その

- 後、ADANSB0 レジスタで選択した、グループ B のチャンネル AN_n の n が小さい番号順に、A/D 変換を再度開始します。
- (8) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
 - (9) 再スキャン起動によるグループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
 - (10) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA0 レジスタで選択した、グループ A のチャンネル AN_n の n が小さい番号順に、グループ A の A/D 変換を開始します。
 - (11) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
 - (12) ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
 - (13) ADGSPCR.GBRSCN ビットが“1”(再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その後、ADANSB0 レジスタで選択した、グループ B のチャンネル AN_n の n が小さい番号順に、A/D 変換を再度開始します。
 - (14) 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

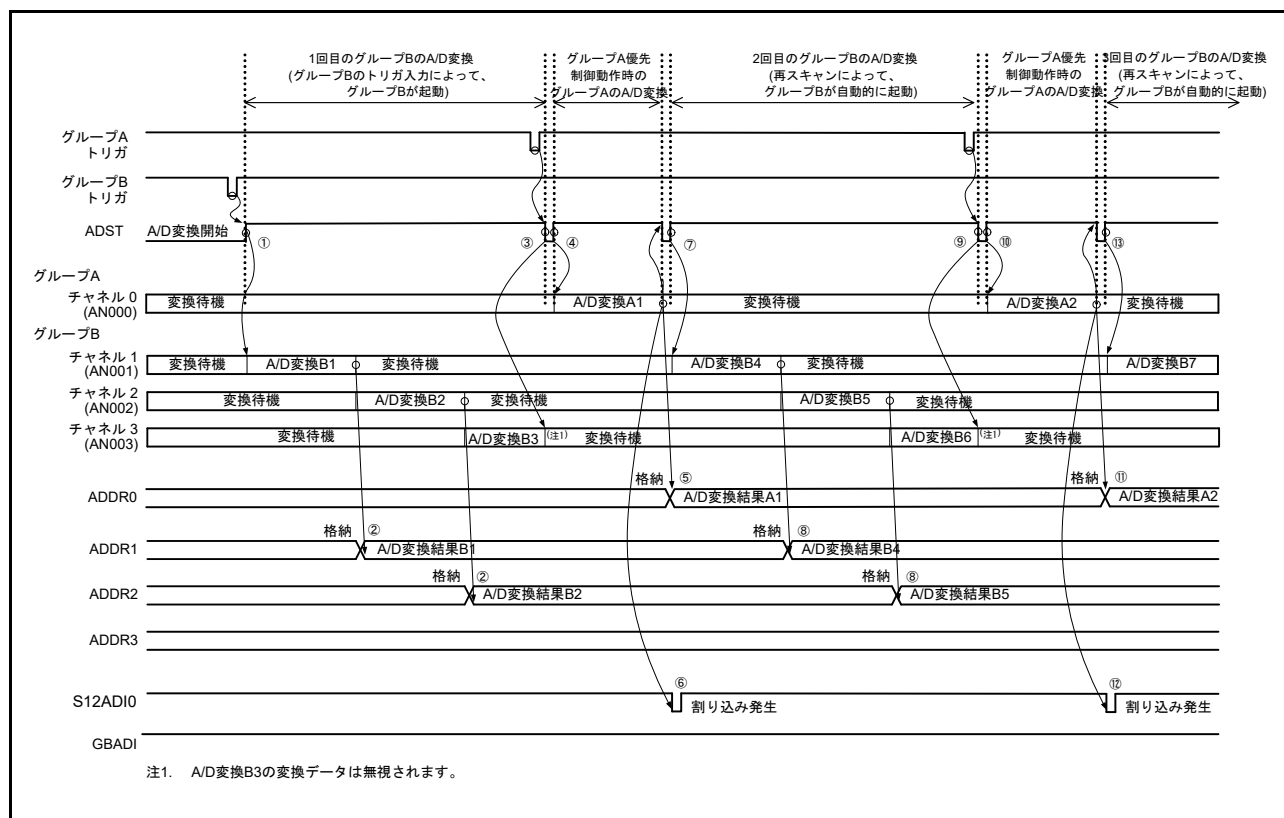


図 35.14 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSA0 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。(ただし、グループ A のトリガが連続で入力された場合、グループ B の再スキャン動作は、グループ A に打ち消され、実施されません)
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。
- (5) グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが“1”に設定されます。
その後、ADANSB0 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) 再スキャン起動による、グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”(スキャン終了による GBADI 割り込み許可)に設定されていると、GBADI 割り込み要求を発生します。
- (8) ADST ビットは A/D 変換中は“1”(A/D 変換開始)を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D 変換器は待機状態になります。

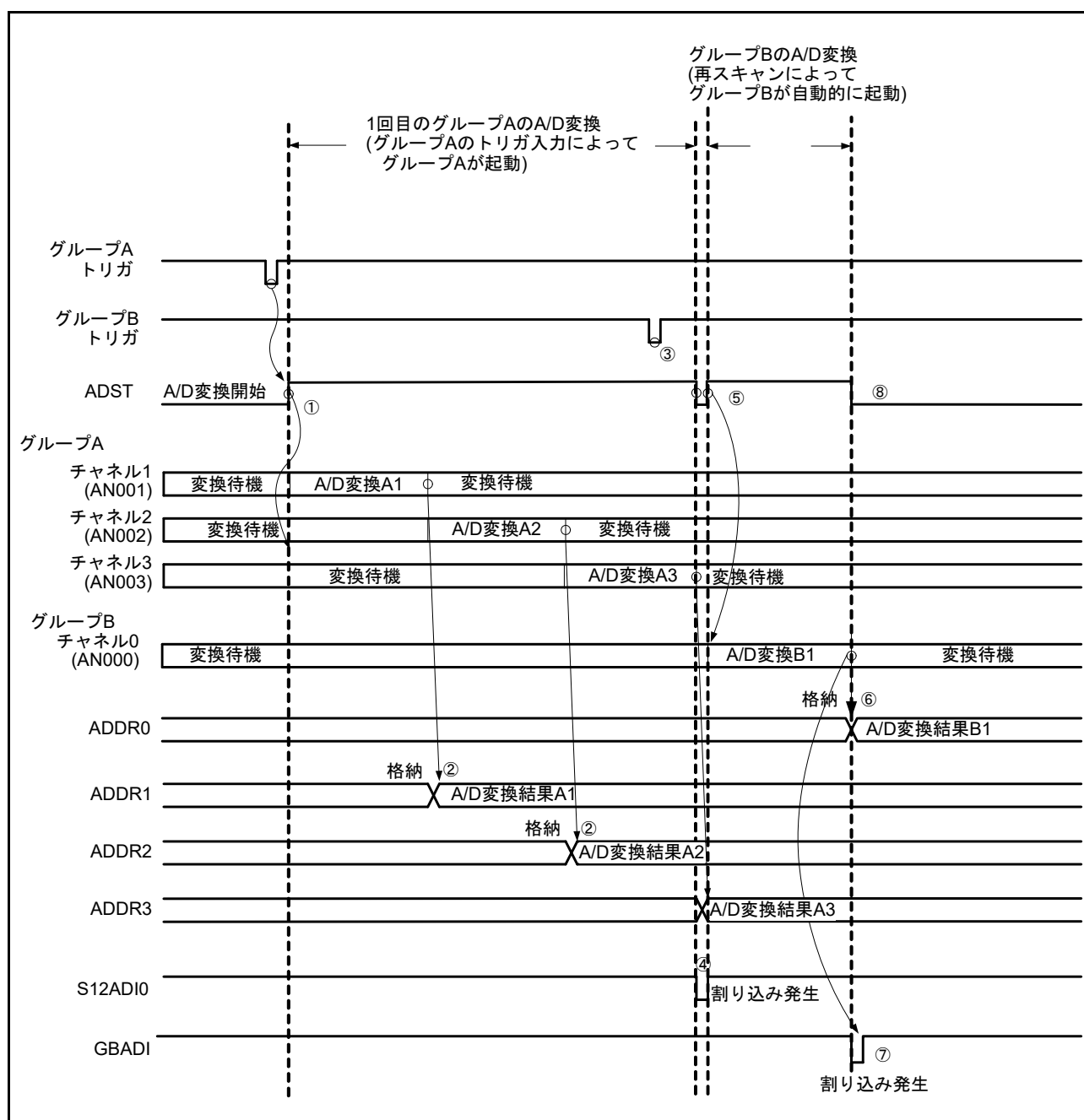


図 35.15 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0) を示します。

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1”(A/D 変換開始)になると、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。
- (6) ADST ビットは A/D 変換中は“1”(A/D 変換開始)を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

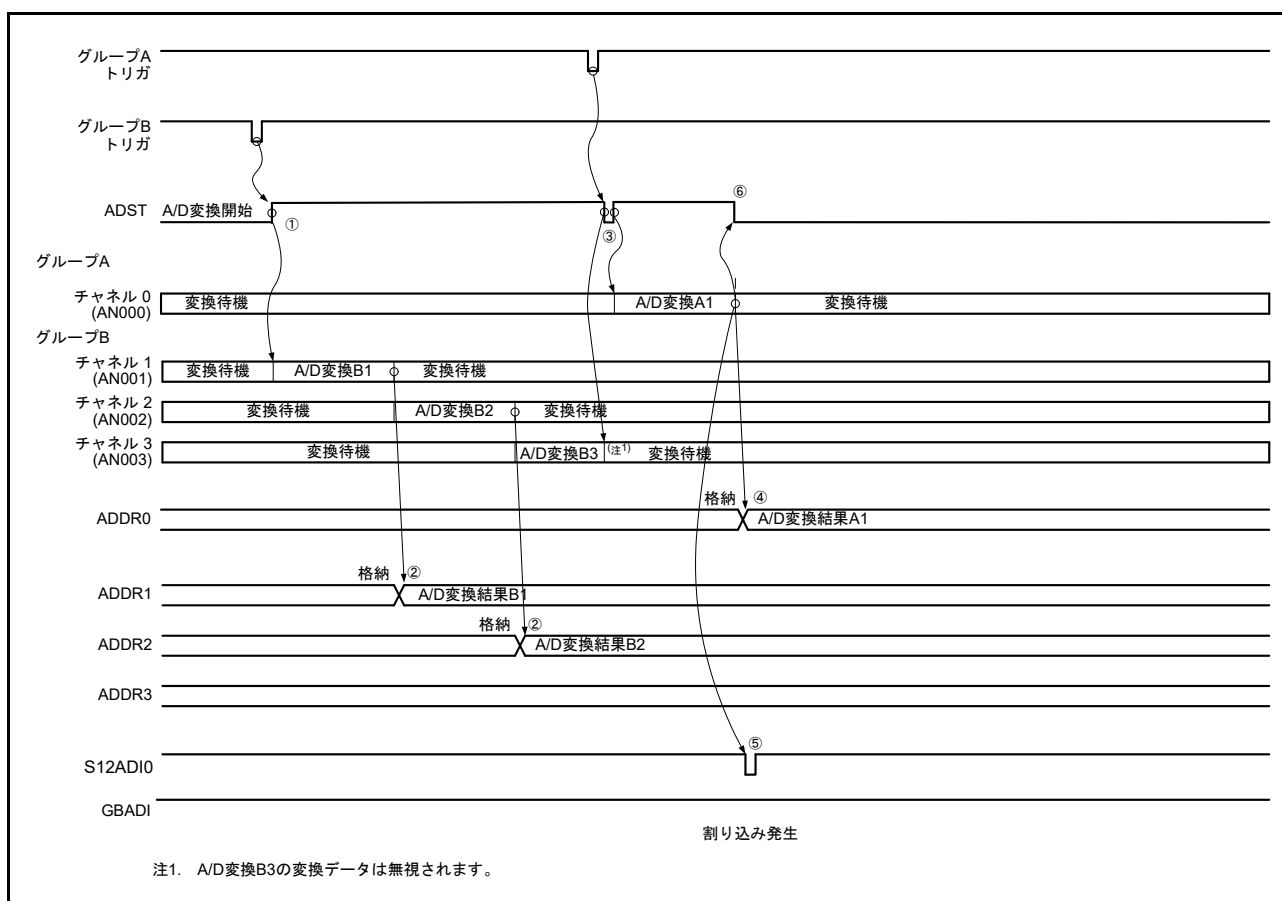


図 35.16 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1 ～ 3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1”(A/D 変換開始) に設定され、ADANSB0 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1”(A/D 変換開始) になると、ADANSA0 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (5) ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (6) ADST ビットを自動的にクリアした後、再度、ADCSR.ADST ビットが自動的に“1”(A/D 変換開始) になると、ADANSB0 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を再度開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (8) ADCSR.GBADIE ビットが“1”に設定されていると、GBADI 割り込み要求を発生します。
- (9) ADST ビットを自動的にクリアした後、再度、自動的に ADCSR.ADST ビットを“1”(A/D 変換開始) に設定して、ADANSB0 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を再度開始します。ADGSPCR.GBRP ビットが“1”に設定されている間は、(6) ～ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットを“0”にクリアしないでください。ADGSPCR.GBRP = 1 のとき、A/D 変換を強制停止させるには、「35.8.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

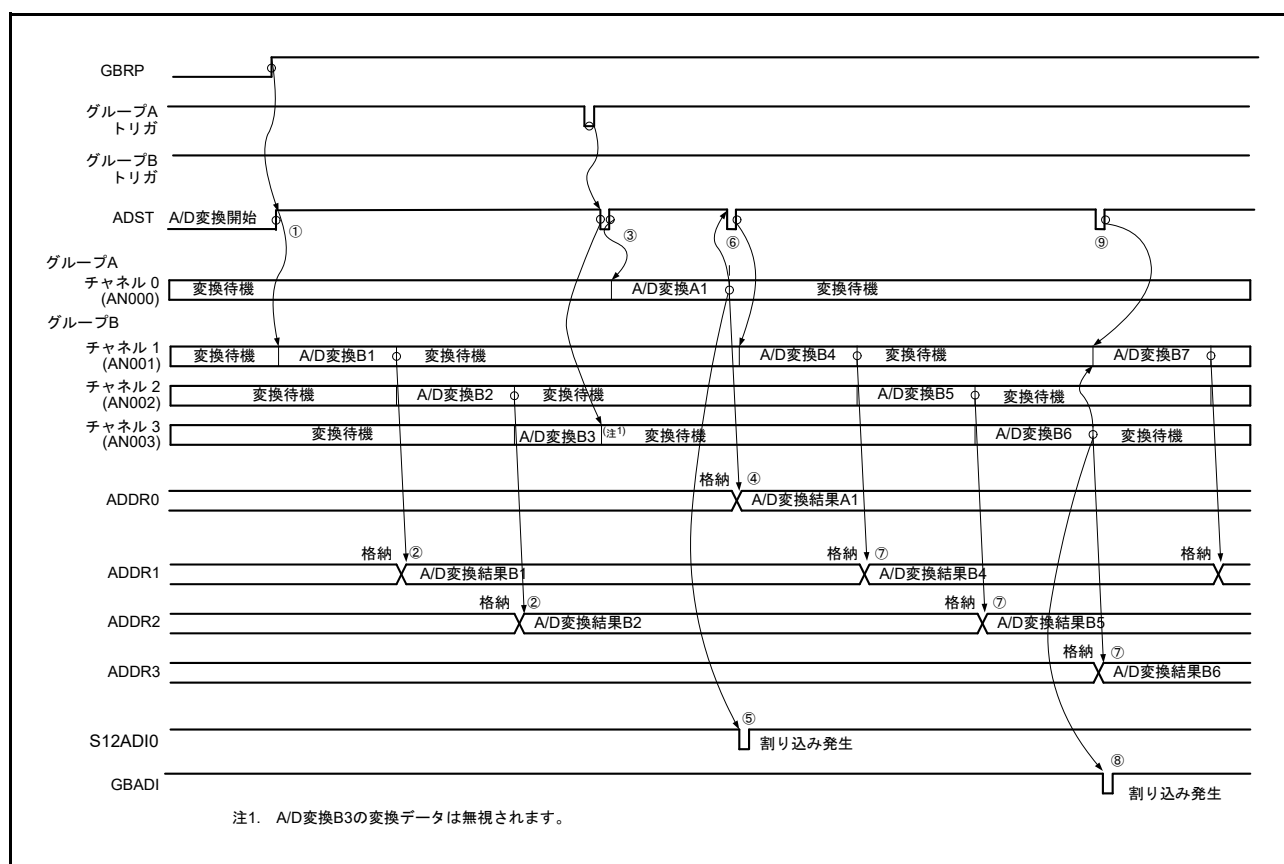


図 35.17 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 時の動作)

35.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

35.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタに設定した基準値と A/D 変換結果を比較する機能で、ウィンドウ (A/B) 毎に基準値を設定できます。コンペア機能使用時は、自己診断機能、ダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いは、ウィンドウ B が選択可能なチャンネルが 1 つであること、割り込み出力信号が異なることです。

連続スキャンモードとコンペア機能を組み合わせた場合の動作を以下に示します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。ADCMPCR.CMPAE = 1 のとき、ADCMPANSR0 レジスタでウィンドウ A 対象に設定されていれば、ADCMPDR0、ADCMPDR1 レジスタ設定値と比較されます。ADCMPCR.CMPBE = 1 のとき、ADCMPBNSR レジスタで、ウィンドウ B 対象に設定されていれば、ADWINULB/ADWINLLB レジスタ設定値と比較されます。
- (3) 比較の結果、ウィンドウ A は、ADCMPPLR0 レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ (ADCMPSR0.CMPSTCHA0n) が“1”にセットされます。同様に、ウィンドウ B は、ADCMPBNSR.CMPPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が“1”にセットされます。
- (4) 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。
- (5) ADCSR.ADST ビットを“0” (A/D 変換停止) に設定し、コンペアフラグが“1”になっているチャンネルに対する処理を実行します。
- (6) 処理終了後、すべてのコンペアフラグをクリアしてください。再度コンペアを実行する場合には、再度 A/D 変換を開始してください。

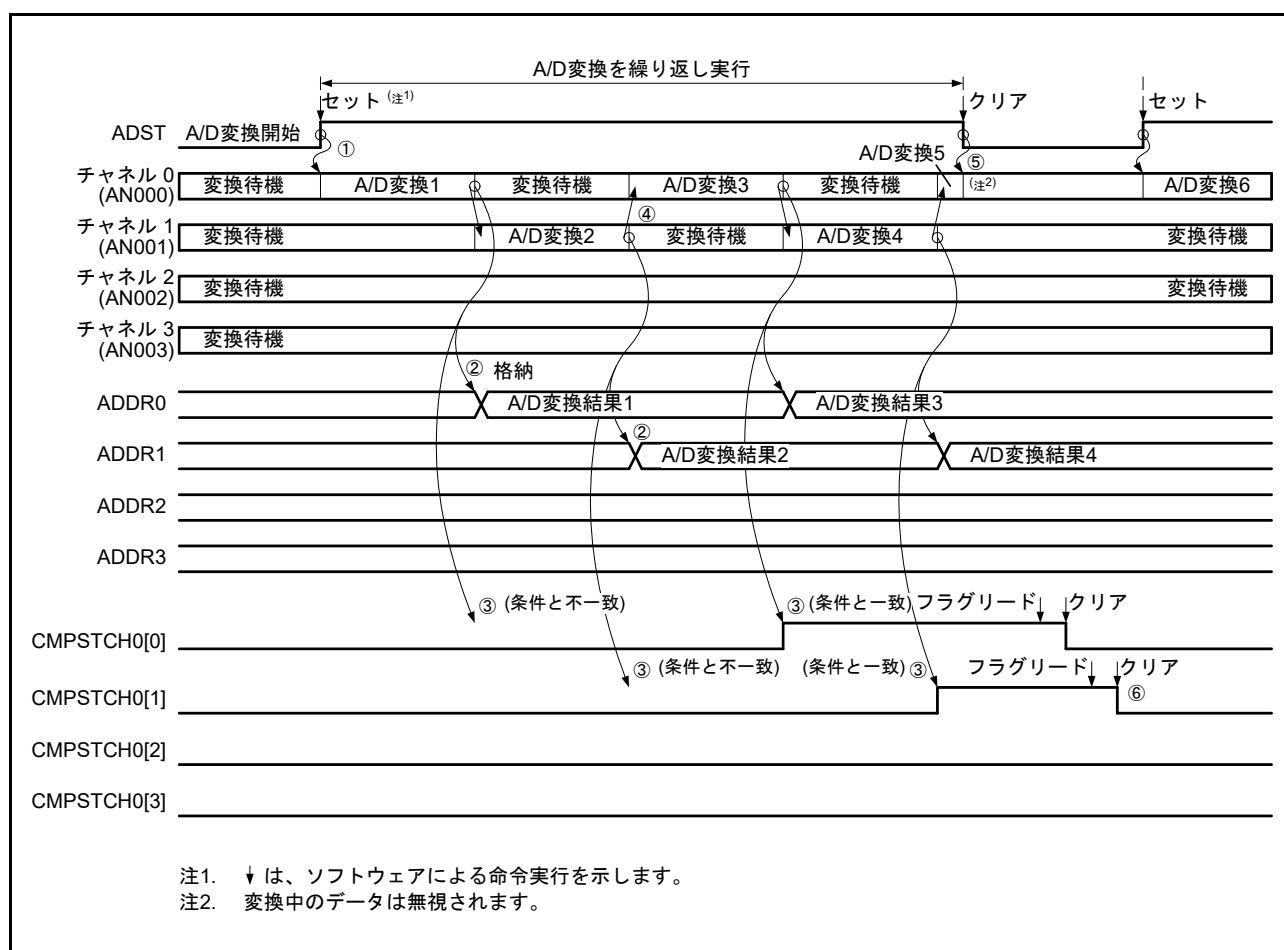


図 35.18 コンペア機能の動作例 (AN000、AN001、AN002、AN003 コンペア対象)

35.3.5.2 コンペア機能の ELC 出力

コンペア機能の ELC 出力は、ウィンドウ A/B それぞれに High 側、Low 側の基準値を指定し、選択したチャンネルの A/D 変換値を High/Low 基準値と比較して、ウィンドウ A と B の比較条件成立 / 不成立結果からイベント条件 (A or B, A and B, A exor B) に応じて ELC イベント (S12ADWMELC/S12ADWUMELC) を出力します。

ウィンドウ A で複数チャンネルを選択した場合は、いずれか一つのチャンネルの比較条件成立で、ウィンドウ A は比較条件成立となります。

本機能を使用する場合はシングルスキャンモードで A/D 変換してください。

ウィンドウ A には、AN000 ~ AN005 の中から任意のチャンネルを選択することができます。ウィンドウ B には、AN000 ~ AN005 の中から一つのチャンネルを選択することができます。

以下に本機能を用いる場合の設定手順を示します。通常のシングルスキャンモードでの A/D 変換に必要な設定手順は省きます。

- (1) ADCSR.ADCS[1:0] ビットは“00b” (シングルスキャンモード) であることを確認してください。
- (2) ADCMPANSR0 レジスタでウィンドウ A、ADCMPSNR レジスタでウィンドウ B に使用するチャンネル (AN000 ~ AN005) を選択してください。
- (3) ADCMPLR0、ADCMPSNR レジスタでウィンドウコンペアの比較条件を設定し、ADCMPCR0、ADWINULB/ADWINLLB レジスタで上限 / 下限基準値の設定を行ってください。
- (4) ADCMPCR レジスタで、ウィンドウ A/B の複合条件設定、ウィンドウ A/B 動作許可、割り込み出力許可を設定してください。1 回のシングルスキャンが終了するタイミングで ELC へのスキャン終了イベント (S12ADELC) が出力されます。また、ADCMPCR.CMPAB[1:0] の設定により、マッチ / アンマッチイベント (S12ADWMELC/S12ADWUMELC) が 1 PCLKB 遅れて出力されます。
マッチ / アンマッチイベントは排他出力で、同時にイベント両方を出力することはありません。

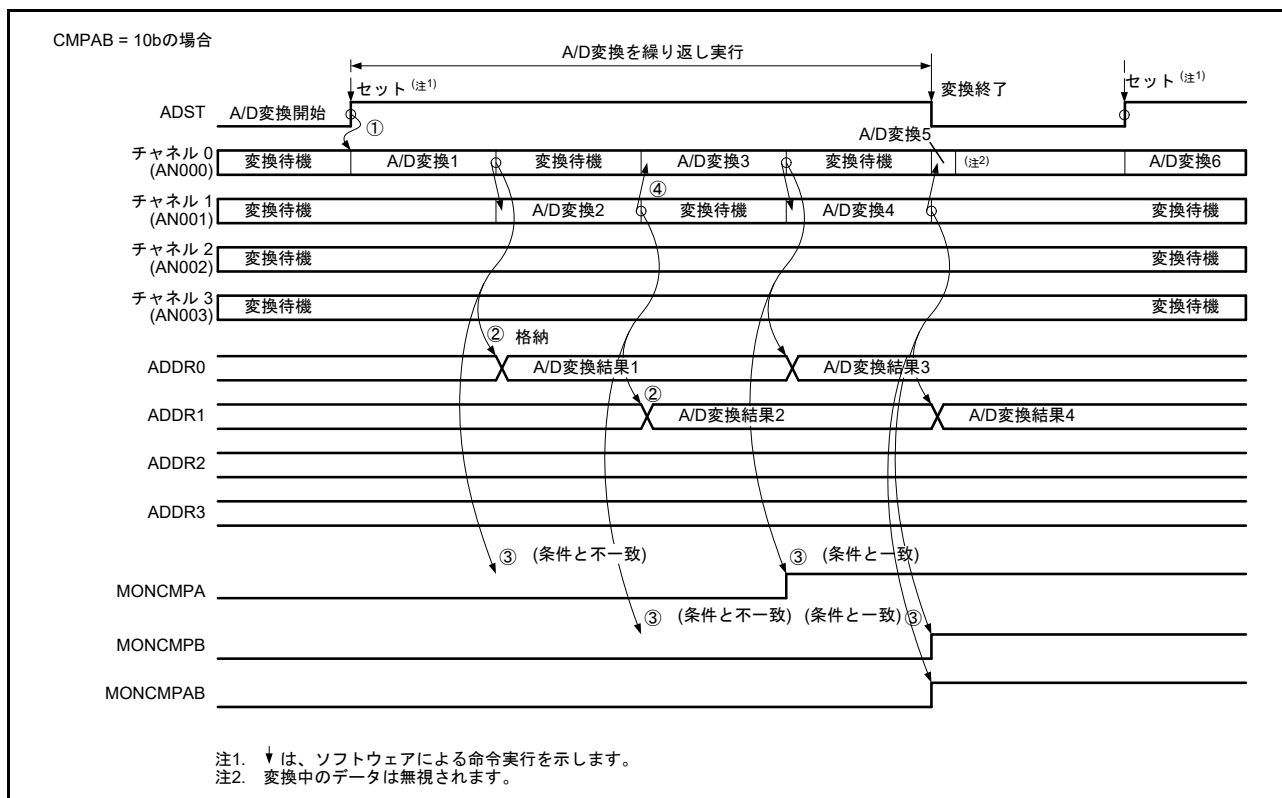


図 35.19 ウィンドウコンペア機能の動作例 (AN000、AN001、AN002、AN003 コンペア対象)

35.3.5.3 データ格納バッファの使用法

S12ADE は、A/D データ格納バッファ 16 個からなるリングバッファ機能を有しており、コンペア機能使用時に、自己診断以外の A/D 変換結果 (加算 / 平均結果含む) を順番にデータ格納バッファ (ADBUF_n (n = 0 ~ 15)) に格納します。

変換結果の格納タイミングは、A/D 変換結果がデータレジスタに書き込まれるのと同時で、直近の 16 回分の変換データが保有されます。

以下にデータ格納バッファとポインタ、オーバフローフラグの動作概要図を示す。BUFEN ビットを“1”にセットすると、A/D 変換終了毎に A/D 変換結果が転送される。ポインタの指し示す番号は次のデータが転送されてきた時にデータが書き込まれるデータ格納バッファの番号です。バッファ 15 までデータが書き込まれると、ポインタは“0000b”に戻り、オーバフローフラグが“1”になります。その後続けて転送されてきたデータは以前に書き込まれたデータを上書きしていきます。ADBUFPTR レジスタに“00h”を書き込むとポインタとオーバフローフラグは初期値に戻ります。

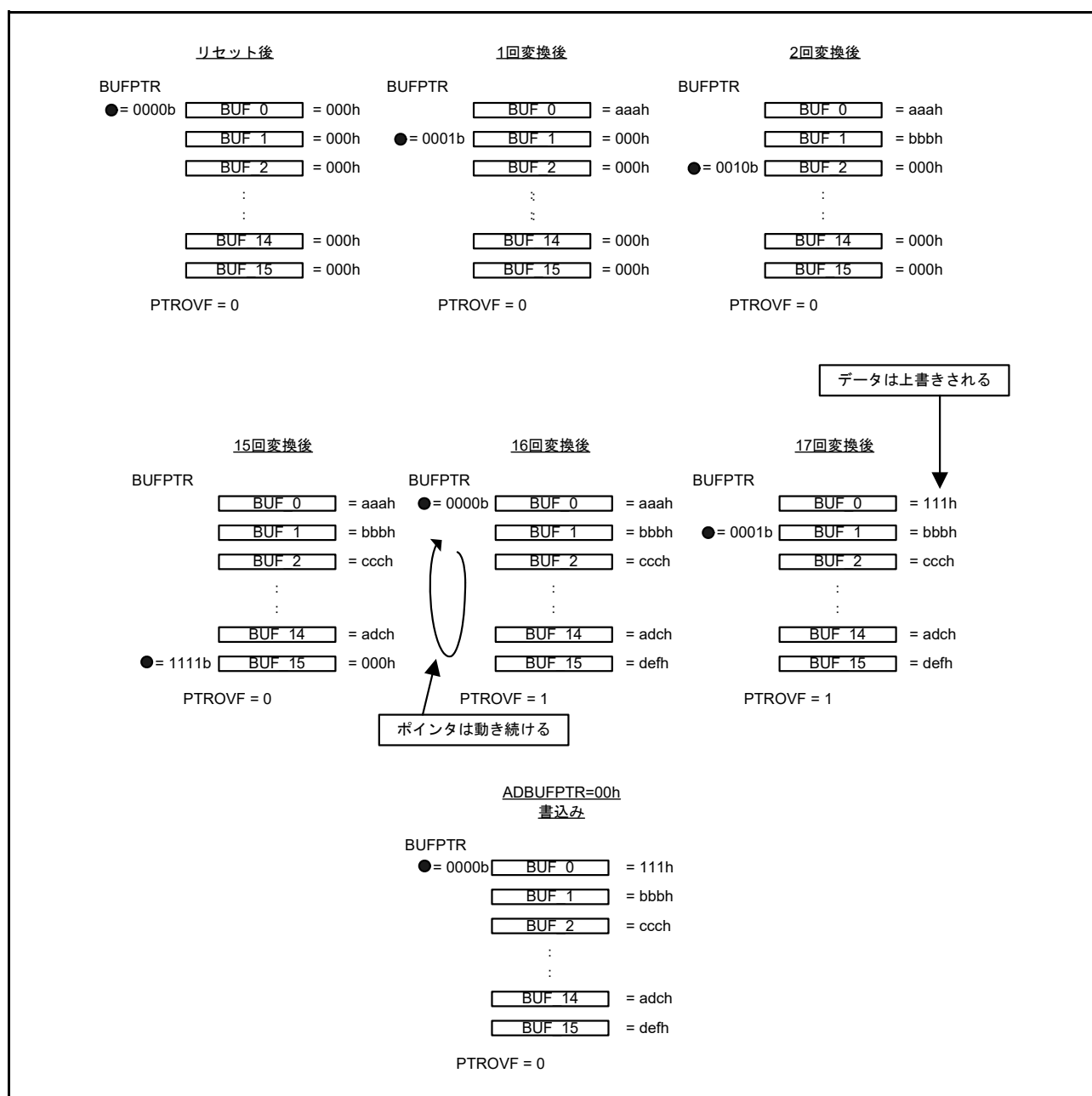


図 35.20 データ格納バッファとポインタ、オーバフローフラグの動作概要

35.3.5.4 コンペア機能制約

コンペア機能には、以下の制約条件があります。

1. 自己診断機能、ダブルトリガモードは併用禁止です
(ADRD、ADDBLDR レジスタはコンペア機能対象外です。)
2. マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
3. ウィンドウ A とウィンドウ B で同一チャンネルは設定禁止です。
4. バッファ機能を使用する場合は、シングルスキャンモードを設定してください。
(ダブルトリガモードも併用禁止です)
5. High 側基準値 $\geq$ Low 側基準値となるように設定してください。

35.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア、同期トリガまたは非同期トリガ入力による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理を行い、この後に A/D 変換処理が開始されます。

図 35.21 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 35.22 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注 1)、自己診断変換時間 (t_{DIAG}) (注 2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、高速変換動作時で 32 ステート (ADCLK)、低電流変換動作時で 41 ステート (ADCLK) となります。スキャン変換時間を表 35.10 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注 3)} + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

注 2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$ となります。

注 3. 選択チャンネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ となりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和となります。

表 35.10 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)

項目			記号	種別/条件			単位
				同期トリガ (注4)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注1、注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	t _D	3 PCLKB + 6 ADCLK	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)		2 PCLKB + 4 ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時		2 PCLKB + 6 ADCLK	4 PCLKB + 6 ADCLK	6 ADCLK	
	上記以外			2 PCLKB + 4 ADCLK	4 PCLKB + 4 ADCLK	4 ADCLK	
断線検出アシスト処理時間			t _{DIS}	ADDISCR.ADNDIS[3:0] 設定値 (初期値 00h) × ADCLK			
自己診断変換処理時間 (注1)	サンプリング時間		t _{DIAG}	t _{SPL}	ADSSTR0 設定値 (初期値 0Dh) × ADCLK (注3)		
	逐次変換時間	12ビット変換精度		t _{SAM}	32 ADCLK (高速変換動作時)		
					41 ADCLK (低電流変換動作時)		
	自己診断変換終了後。通常のA/D変換開始時			t _{DED}	2 ADCLK		
連続スキャン時の最終チャネル変換終了後、自己診断変換開始時		t _{DSD}	2 ADCLK				
A/D変換処理時間 (注1)	サンプリング時間		t _{CONV}	t _{SPL}	ADSSTRn (n = 0 ~ 5) 設定値 (初期値 0Dh) × ADCLK (注3)		
	逐次変換時間	12ビット変換精度		t _{SAM}	32 ADCLK (高速変換動作時)		
					41 ADCLK (低電流変換動作時)		
スキャン終了時間 (注1)			t _{ED}	1 PCLKB + 3 ADCLK (注5)			

注1. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図35.21、図35.22を参照してください。

注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。

注3. 電圧条件により必要なサンプリング時間(ns)が規定されています。「39.11 12ビットA/Dコンバータ特性」を参照ください。

注4. タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。

注5. ADCLKがPCLKBより高速な場合(PCLKB : ADCLK周波数比 = 1 : 2の設定)では、2 PCLKB + 2 ADCLKになります。

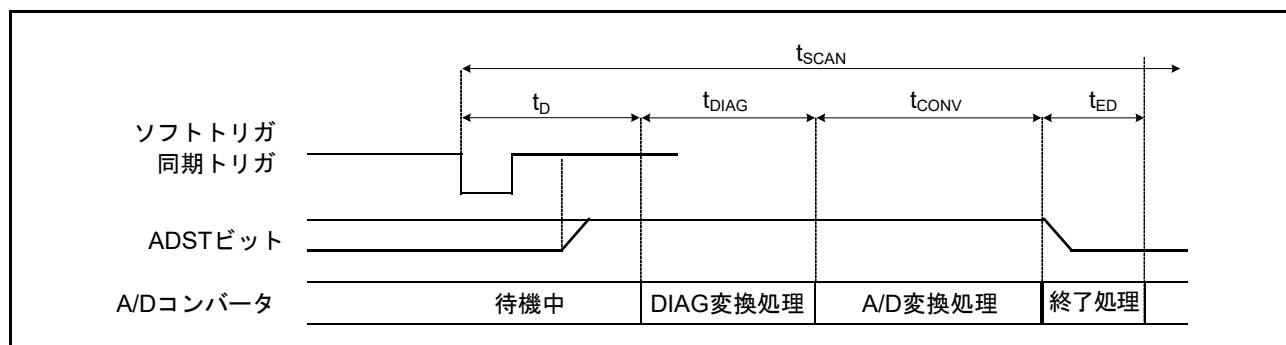


図 35.21 スキャン変換のタイミング (ソフトウェア起動、同期トリガ起動の場合)

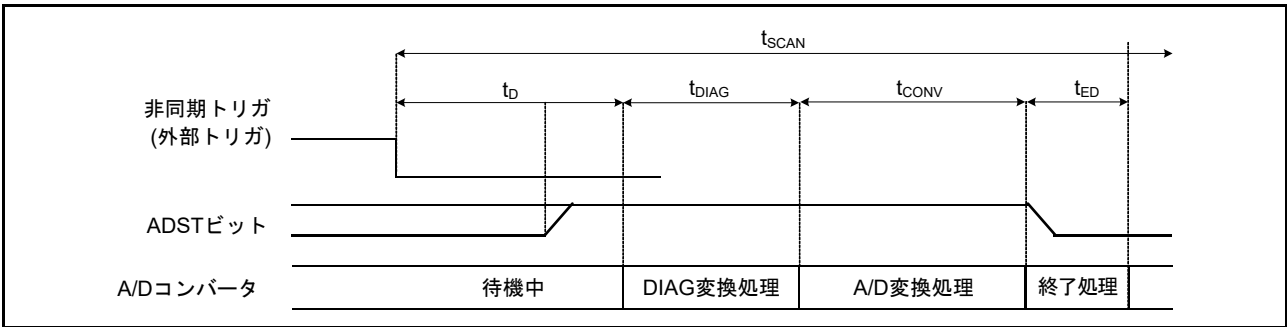


図 35.22 スキャン変換のタイミング (非同期トリガ起動の場合)

35.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC または DMAC によって A/D データレジスタ (ADDRy, ADRD, ADDBLDR) を読み出す際、自動的に ADDRy、ADRD、ADDBLDR レジスタを“0000h”にクリアできます。

リングバッファ (ADBUFn (n = 0 ~ 15)) はオートクリア対象外です。

この機能を使うことにより、ADDRy、ADRD、ADDBLDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが“0”(自動クリア禁止)の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1”(自動クリア許可)の場合には、ADDRy = 0111h を CPU、DTC または DMAC により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

35.3.8 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャネルを 2 ~ 4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャネル選択アナログ入力 A/D 変換選択時に使用できます。

35.3.9 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態 (A/D 高電位 / 低電位基準電圧コントロールレジスタで選択した基準電圧) に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 35.23 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 35.24 にプリチャージを選択した場合の断線検出例を、図 35.25 にディスチャージを選択した場合の断線検出例を示します。

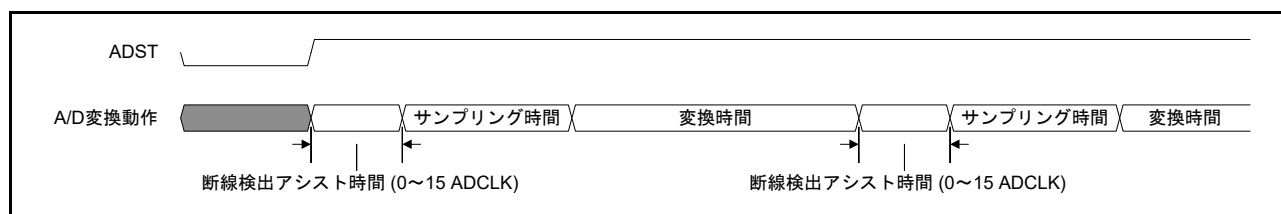


図 35.23 断線検出アシスト機能を使用した場合の A/D 変換動作図

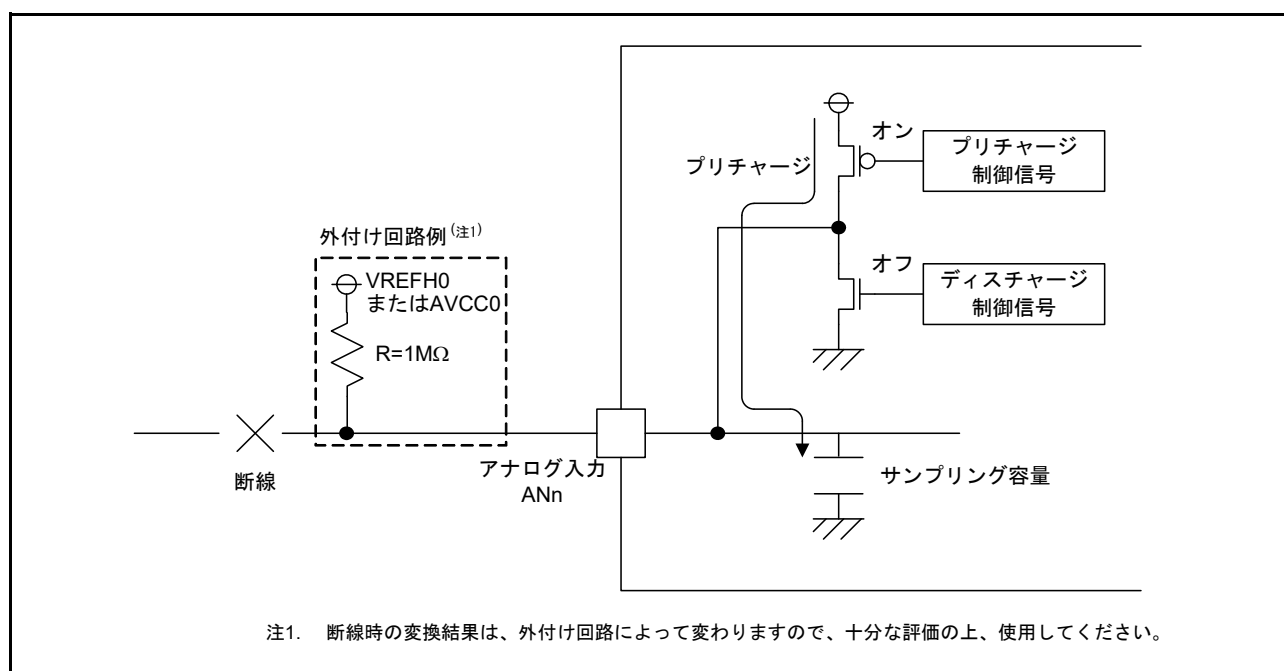


図 35.24 プリチャージを選択した場合の断線検出例

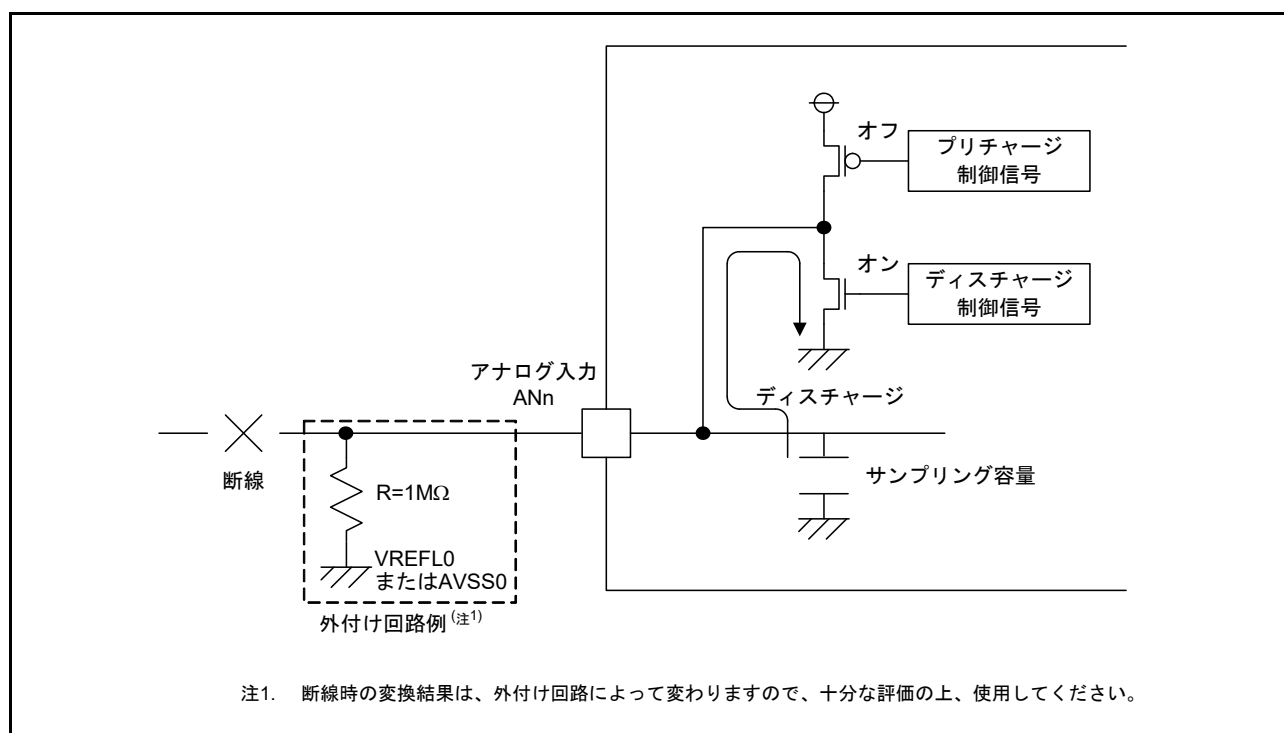


図 35.25 ディスチャージを選択した場合の断線検出例

35.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 35.26 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「35.8.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B は、非同期トリガを選択できません。

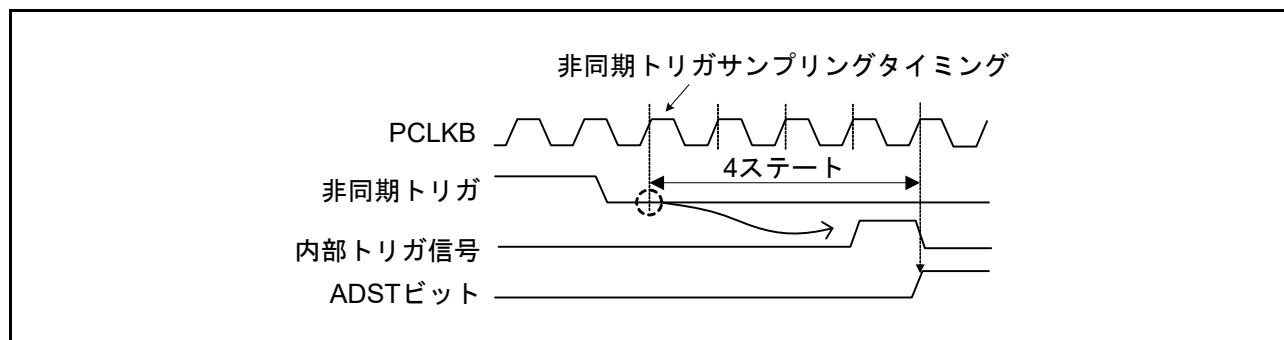


図 35.26 非同期トリガ入力タイミング

35.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

35.4 割り込み要因と DTC、DMA 転送要求

35.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI0、GBADI 割り込みを発生することができます。

ADCSR.ADIE ビットを “1” にすると S12ADI0 を許可、“0” にすると S12ADI0 を禁止できます。

ADCSR.GBADIE ビットを “1” にすると GBADI を許可、“0” にすると GBADI を禁止できます。

また、S12ADI0、GBADI 発生時に DTC または DMAC を起動できます。S12ADI0、GBADI 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「18. データトランスファコントローラ (DTCa)」を、DMAC の設定は「17. DMA コントローラ (DMACA)」を参照してください。

35.5 イベントリンク機能

35.5.1 ELC へのイベント出力動作

ELC では、S12ADI0 割り込み要求信号をイベント信号 (S12ADELC) として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。イベント信号は、イベントリンクコントロールビット (ADELCCR.ELCC[1:0] ビット) で設定した条件で発生します。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。

12ビットA/Dコンバータは、A/D変換終了イベント (S12ADELC)、ウィンドウ機能コンペアマッチイベント (S12ADWMELC)、アンマッチイベント (S12ADWUMELC) を出力します。

ELC へのスキャン終了イベント出力 (S12ADELC) は、ADCSR.ADIE の設定によらず、割り込み出力 (S12ADI0) と同じ出力タイミングでイベントを出力します。

ELC へのコンペアマッチ/アンマッチイベント (S12ADWMELC/S12ADWUMELC) は、ADCSR.ADIE の設定によらず、割り込み出力 (S12ADI0) から 1 サイクル (PCLKB) 遅れたタイミングでイベントを出力します。

ELC へのコンペアマッチ/アンマッチイベント (S12ADWMELC/S12ADWUMELC) を使用する場合は、シングルスキャンモードに設定してください。

35.5.2 ELC からのイベントによる 12ビットA/Dコンバータの動作

12ビットA/DコンバータはELCのELSRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

35.5.3 ELC からのイベントによる 12ビットA/Dコンバータの注意事項

A/D変換中にイベントが発生した場合は、イベントは無効になります。

35.6 基準電圧の選択方法

A/Dコンバータは高電位側基準電圧をVREFH0とAVCC0、低電位側基準電圧をVREFL0とAVSS0からそれぞれ選択することができます。A/D変換前に設定してください。設定の詳細は、「35.2.20 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)」を参照してください。

35.7 許容信号源インピーダンスについて

図 35.27 にアナログ入力端子と外部センサの等価回路を示します。

A/D 変換を正しく行うためには、内部コンデンサ (C_s) への充電がサンプリング時間内に終了することが必要です。信号源インピーダンス (R_0) が大きく C_s への充電に時間がかかるときは、ADSSTRn レジスタでサンプリング時間を延長してください。逆に R_0 が小さいときは、サンプリング時間を短縮することができます。電気的特性に各種動作条件下での許容信号源インピーダンスを記載していますので、参考にしてください。

シングルスキャンモードで1端子のみの変換を行う場合、外部に大容量のコンデンサ (C) を接続することにより、入力の負荷が実質的に内部入力抵抗 (R_s) だけになり、 R_0 の影響を無視できるようになります。ただし、 R_0 と C でローパスフィルタが形成されますので、変化の速いアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

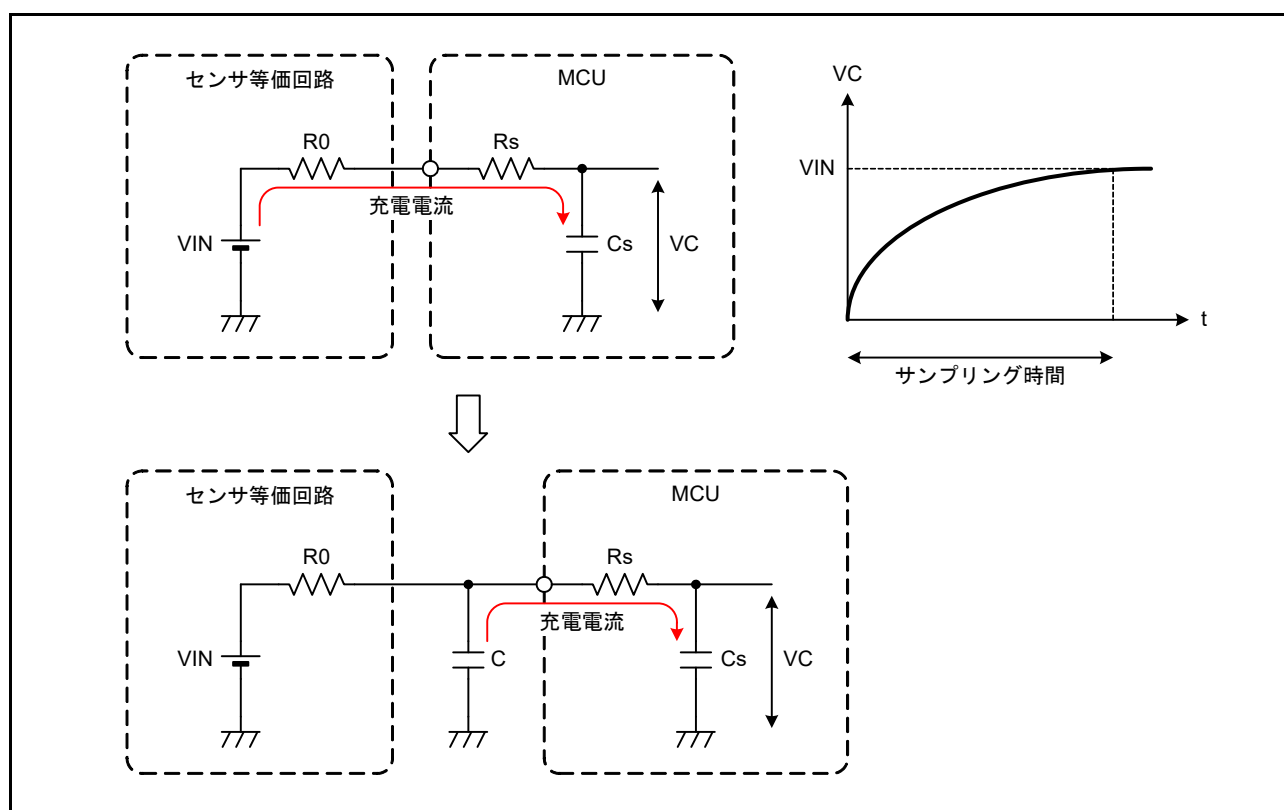


図 35.27 アナログ入力端子と外部センサの等価回路

35.8 使用上の注意事項

35.8.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、および A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出した A/D 変換値と2回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

35.8.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、図 35.28 のフローチャートの手順に従ってください。

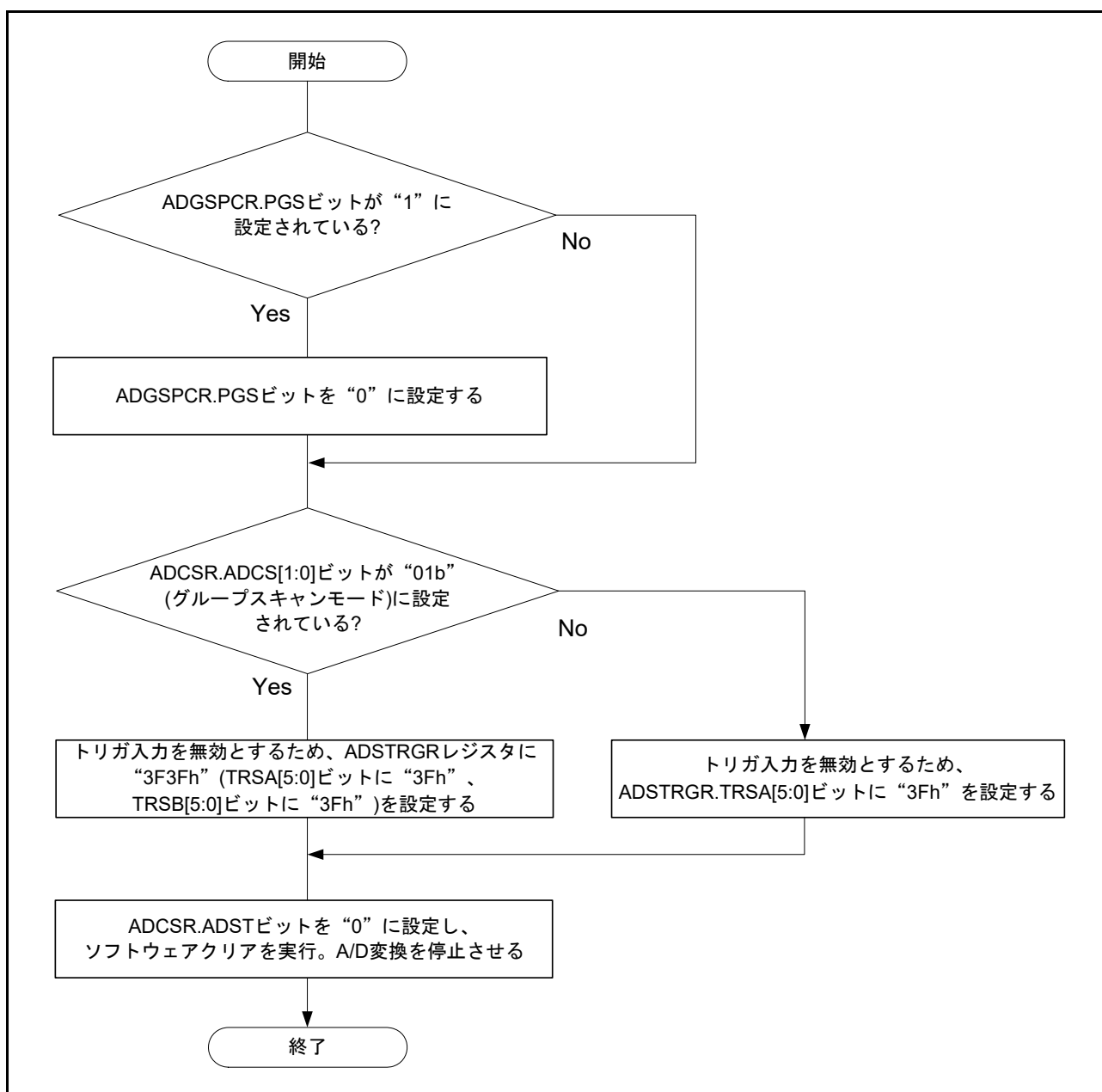


図 35.28 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

35.8.3 A/D 変換強制停止と開始時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し 12 ビット A/D コンバータのアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定して A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 3 クロック (ADCLK が PCLKB より高速な場合 (PCLKB : ADCLK 周波数比 = 1 : 2 の設定) では、最大 1 PCLKB + 2 ADCLK) の時間を必要とします。

35.8.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合等で、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていなければ、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。

35.8.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) により、12 ビット A/D コンバータの動作禁止 / 許可を設定することが可能です。初期値では、12 ビット A/D コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 μ s 待ってから A/D 変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

35.8.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12 ビット A/D コンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 35.28 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の 2 クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

35.8.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間または PLL 回路の安定時間経過後、さらに 1 μ s 以上待ってから A/D 変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

35.8.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ / プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/D コンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

35.8.9 ADHSC ビットの書き換え手順

A/D 変換動作選択ビット (ADCSR.ADHSC) を書き換える場合 (“0” から “1” または “1” から “0” にする場合) は、12 ビット A/D コンバータをスタンバイ状態にする必要があります。ADCSR.ADHSC ビットの書き換えは下記の 1～3 の手順で行ってください。また、スリープビット (ADHVREFCNT.ADSL P) を “0” にした後、1 μ s 以上待ってから A/D 変換を開始してください。

【ADCSR.ADHSC ビットの書き換え手順】

1. スリープビット (ADHVREFCNT.ADSL P) を “1” にする。
2. 0.2 μ s 以上待ってから、A/D 変換動作選択ビット (ADCSR.ADHSC) を書き換える。
3. 4.8 μ s 以上待ってから、スリープビット (ADHVREFCNT.ADSL P) を “0” にする。

注 . A/D 変換動作選択ビット (ADCSR.ADHSC) の書き換え以外で、ADHVREFCNT.ADSL P ビットを “1” にすることは禁止です。

35.8.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて MCU を使用した場合は、MCU の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は $AVSS0 \leq VAN \leq AVCC0$ の範囲としてください。また、 $VREFH0$ 端子、 $VREFL0$ 端子に印加するリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ 、 $VREFL0 = AVSS0$ にしてください。アナログ入力端子 AN_n に印加する電圧が、 $VREFH0$ を超える場合は、正しく変換できません (図 35.29 参照)。

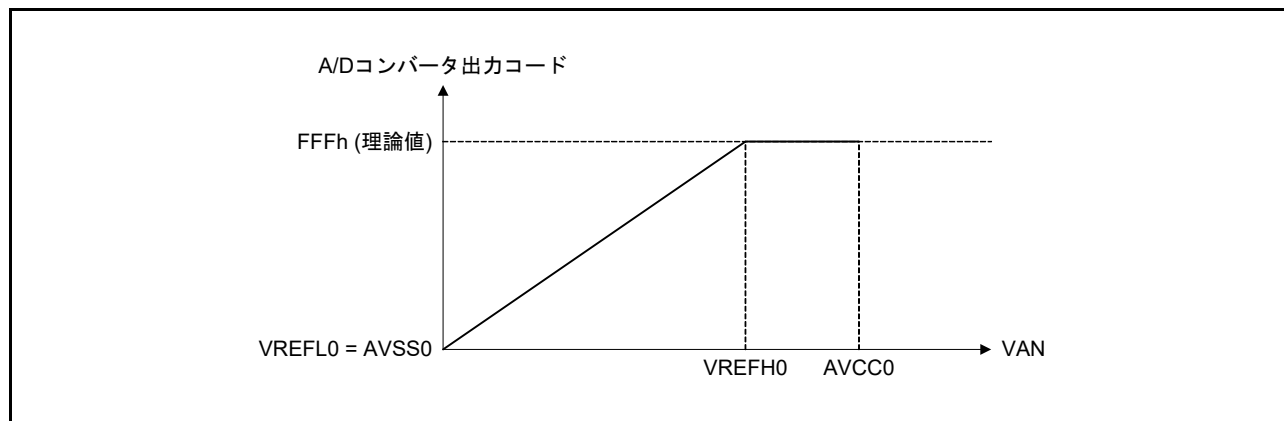


図 35.29 アナログ入力端子に印加する電圧と出力コードの関係

- 各電源端子 ($AVCC0 - AVSS0$, $VREFH0 - VREFL0$, $VCC - VSS$) の関係

$AVSS0$ と VSS との関係は $AVSS0 = VSS$ としてください。また、図 35.30 に示すように各々の電源間に最短で閉ループが形成できるように $0.1 \mu F$ のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。

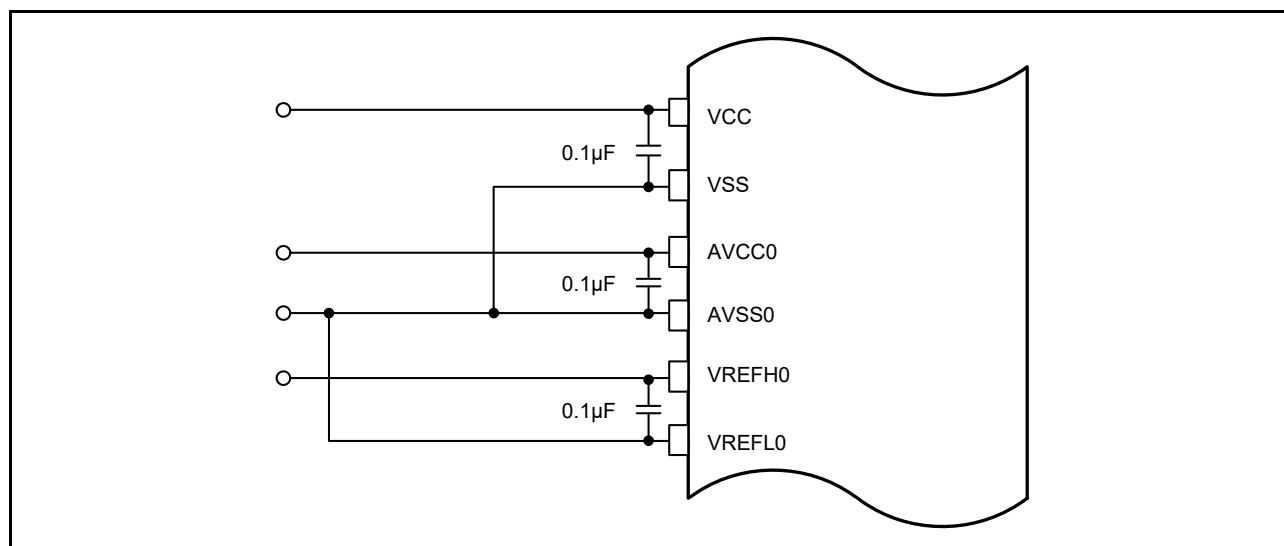


図 35.30 各電源端子の接続例

35.8.11 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN005)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

35.8.12 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN005) の破壊を防ぐために、図 35.31 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN005) を基準に保護回路を接続してください。

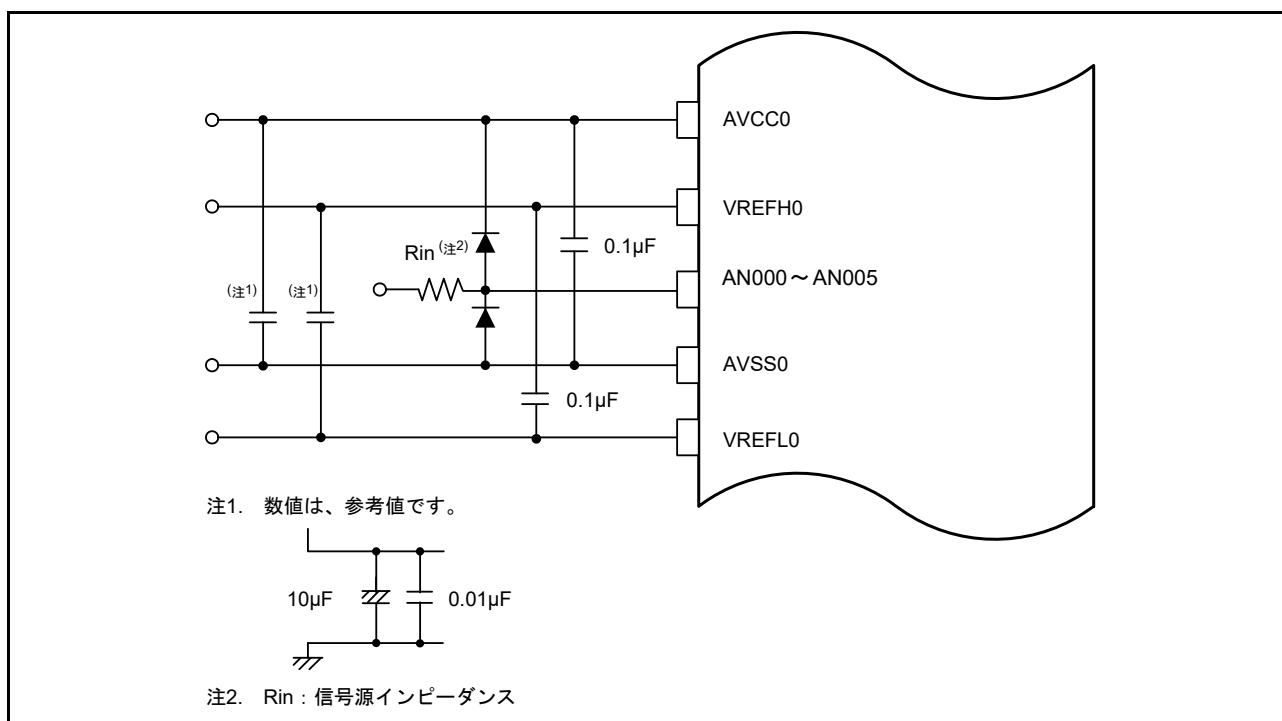


図 35.31 アナログ入力保護回路の例

35.8.13 アナログ入力端子設定の注意事項

アナログ入力端子 AN002 は、基準電源グランド端子 VREFL0 と端子を共用しています。AN002 を使用する場合は、VREFL0 を使用できません。AN002 を使用する場合は、低電位側基準電圧選択ビット (LVSEL) を“0”にしてください。

アナログ入力端子 AN003 は、基準電源端子 VREFH0 と端子を共用しています。AN003 を使用する場合は、VREFH0 を使用できません。AN003 を使用する場合は、高電位側基準電圧選択ビット (HVSEL[1:0]) を 00b にしてください。

24 ビット Δ - Σ A/D コンバータ (DSAD0, DSAD1) のアナログ入力と 12 ビット A/D コンバータのアナログ入力を、同一の端子に同時に設定して、A/D 変換動作をさせることは推奨しません。A/D 変換精度に影響することがあります。

また、同一の端子に対して、励起電流源回路 (IEXC) の出力と A/D コンバータのアナログ入力を設定すると、内部配線抵抗と励起電流により電圧勾配が生じ、所望の A/D 変換結果が得られなくなることがあります。

35.8.14 基準電圧設定の注意事項

基準電源グランド端子 VREFL0 は、アナログ入力端子 AN002 と端子を共用しています。したがって、VREFL0 を使用する場合は、AN002 を使用できません。VREFL0 を使用する場合は、AN002 を A/D 変換チャンネルに選択しないでください。

基準電源端子 VREFH0 は、アナログ入力端子 AN003 と端子を共用しています。したがって、VREFH0 を使用する場合は、AN003 を使用できません。VREFH0 を使用する場合は、AN003 を A/D 変換チャンネルに選択しないでください。

高電位側基準電圧に VREFH0 を選択する場合は、24 ビット Δ - Σ A/D コンバータ (DSAD0, DSAD1) のアナログ入力 (AIN9) や、励起電流源回路 (IEXC) の出力に設定しないでください。低電位側基準電圧に VREFL0 を選択する場合は、24 ビット Δ - Σ A/D コンバータ (DSAD0, DSAD1) のアナログ入力 (AIN8) や、励起電流源回路 (IEXC) の出力に設定しないでください。所望の A/D 変換結果が得られなくなることがあります。

36. データ演算回路 (DOC)

36.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算する機能です。

表 36.1 にデータ演算回路 (DOC) の仕様、図 36.1 に DOC のブロック図を示します。

16 ビットのデータを比較し、選択した条件に合致した場合に割り込みを発生させることができます。

表 36.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への遷移が可能
割り込み	- データ比較の結果が検出条件に合致したとき - データ加算の結果が“FFFFh”より大きくなったとき(オーバフロー) - データ減算の結果が“0000h”より小さくなったとき(アンダフロー)
イベントリンク機能(出力)	- データ比較の結果が検出条件に合致したとき - データ加算の結果が“FFFFh”より大きくなったとき(オーバフロー) - データ減算の結果が“0000h”より小さくなったとき(アンダフロー)

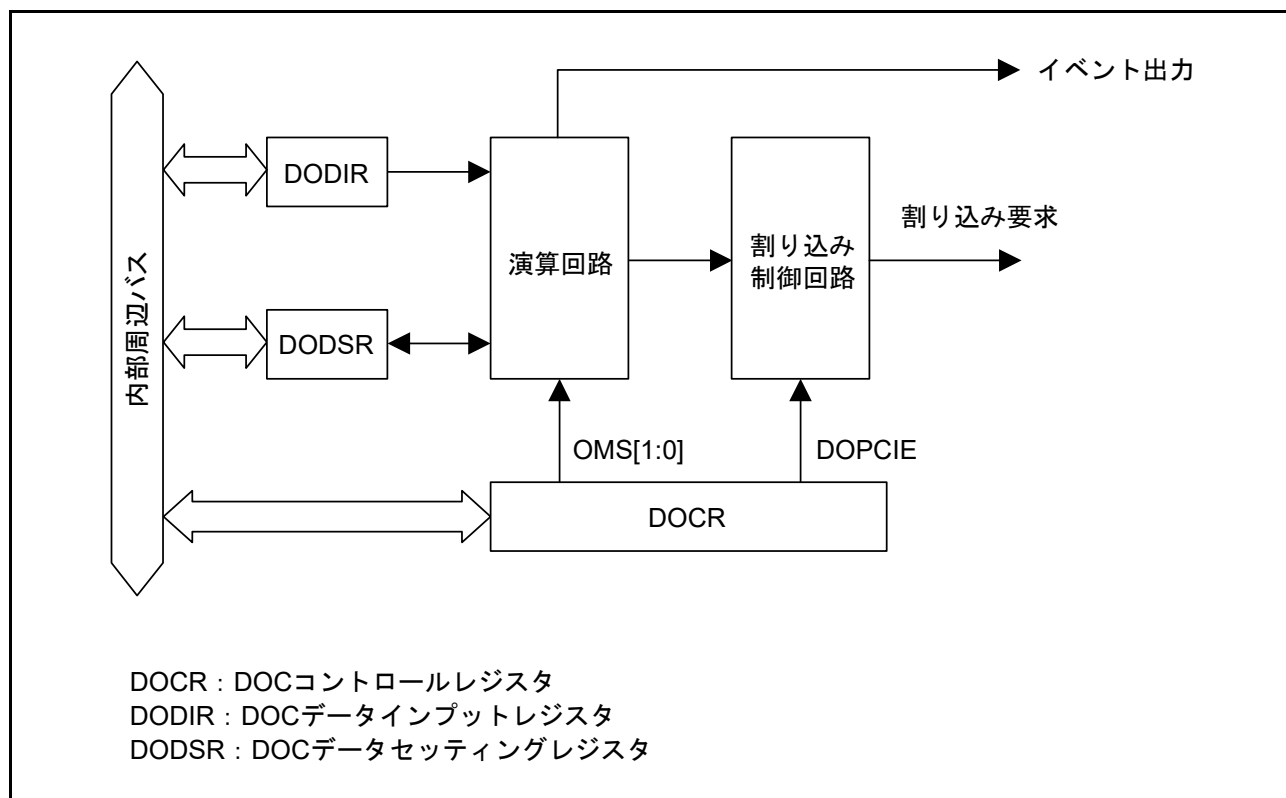


図 36.1 DOC のブロック図

36.2 レジスタの説明

36.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定禁止	R/W
b2	DCSEL	検出条件選択ビット(注1)	0 : 不一致を検出する 1 : 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	DOPCF	データ演算結果フラグ	演算結果を示します	R
b6	DOPCFCL	データ演算結果クリアビット	0 : DOPCF フラグの値を保持 1 : DOPCF フラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. データ比較モード選択時のみ有効

DOCR レジスタは、DOC の動作モードの設定や、割り込みの許可 / 禁止を設定するレジスタです。

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定により DOC の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算結果フラグ)

[“1”になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

[“0”になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

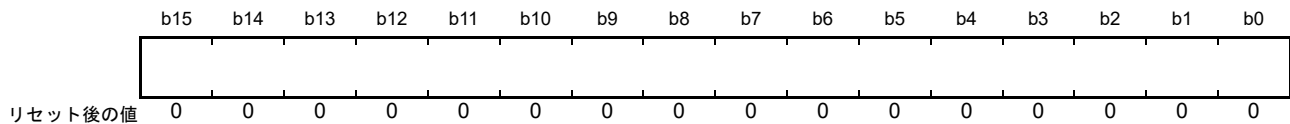
DOPCFCL ビット (データ演算結果クリアビット)

本ビットに“1”を書くと DOPCF フラグがクリアされます。

読むと“0”が読めます。

36.2.2 DOC データインプットレジスタ (DODIR)

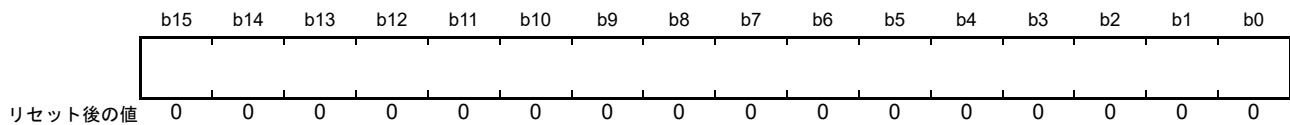
アドレス DOC.DODIR 0008 B082h



DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。

36.2.3 DOC データセッティングレジスタ (DODSR)

アドレス DOC.DODSR 0008 B084h



DODSR レジスタは、比較対象のデータを格納する、または演算結果が格納される読み書き可能なレジスタです。

データ比較モードでは、比較の基準となるデータを格納してください。

データ加算モードおよびデータ減算モードでは、演算結果が格納されます。

36.3 動作説明

36.3.1 データ比較モード

図 36.2 にデータ比較モードの動作例を示します。

DOC は、データ比較モード時、以下のように動作します。

以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに比較の基準となるデータを設定します。
- (3) DODIR レジスタに比較するデータを書き込みます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに比較するデータを書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかったとき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

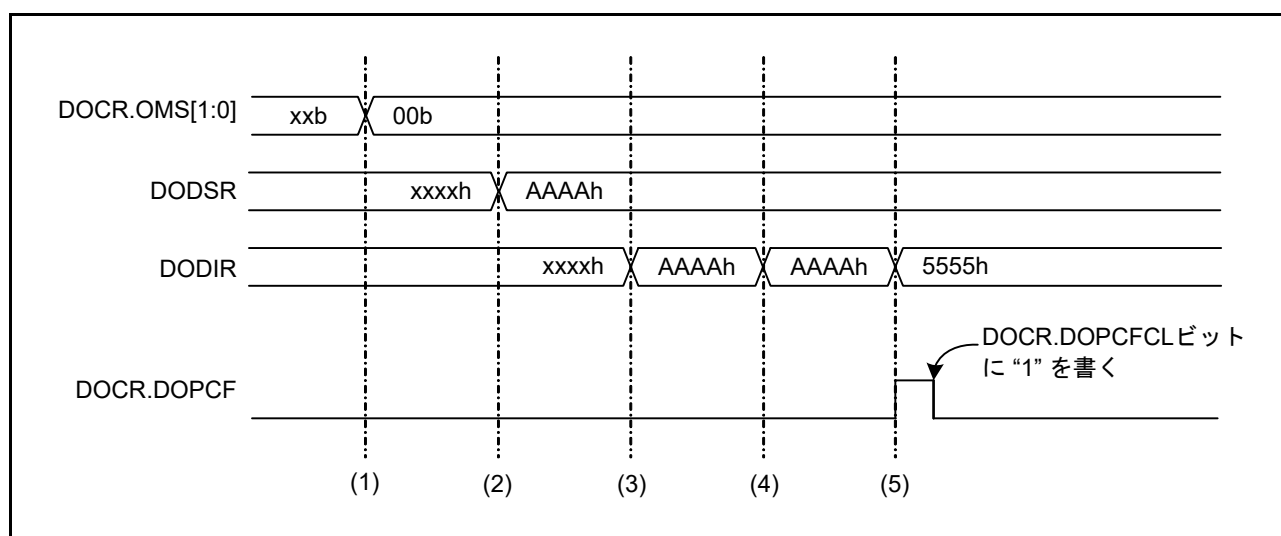


図 36.2 データ比較モードの動作例

36.3.2 データ加算モード

図 36.3 にデータ加算モードの動作例を示します。

DOC は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値を設定します。
- (3) DODIR レジスタに加算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに加算するデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなると DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCFCL ビットが“1”の場合は、データ演算回路割り込みが発生します。

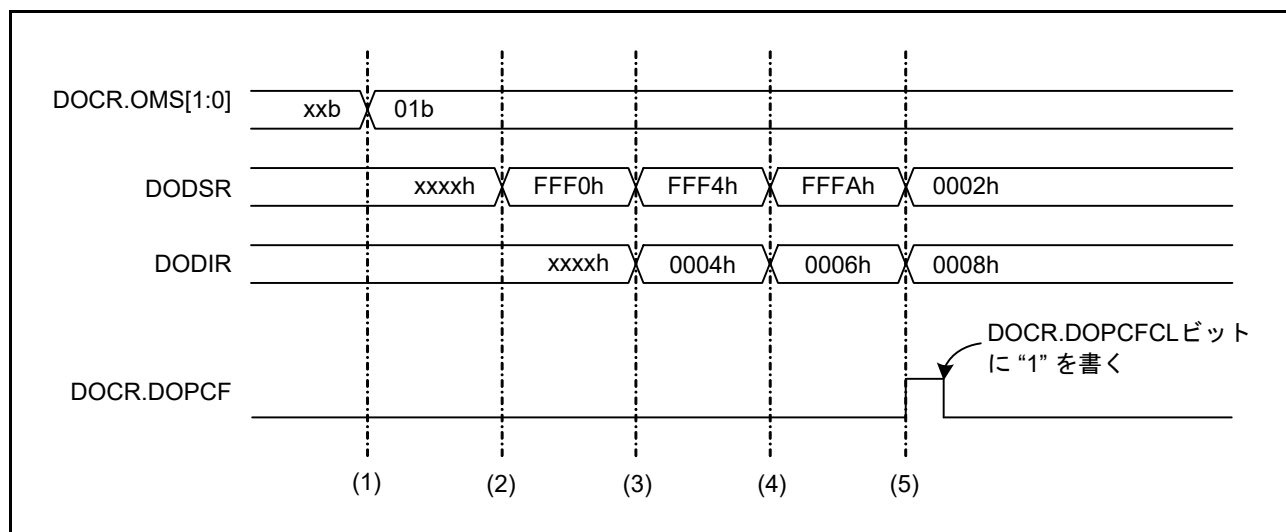


図 36.3 データ加算モードの動作例

36.3.3 データ減算モード

図 36.4 にデータ減算モードの動作例を示します。
DOC は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに “10b” を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値を設定します。
- (3) DODIR レジスタに減算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに減算するデータを書き込みます。
- (5) 演算結果が “0000h” よりも小さくなると DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

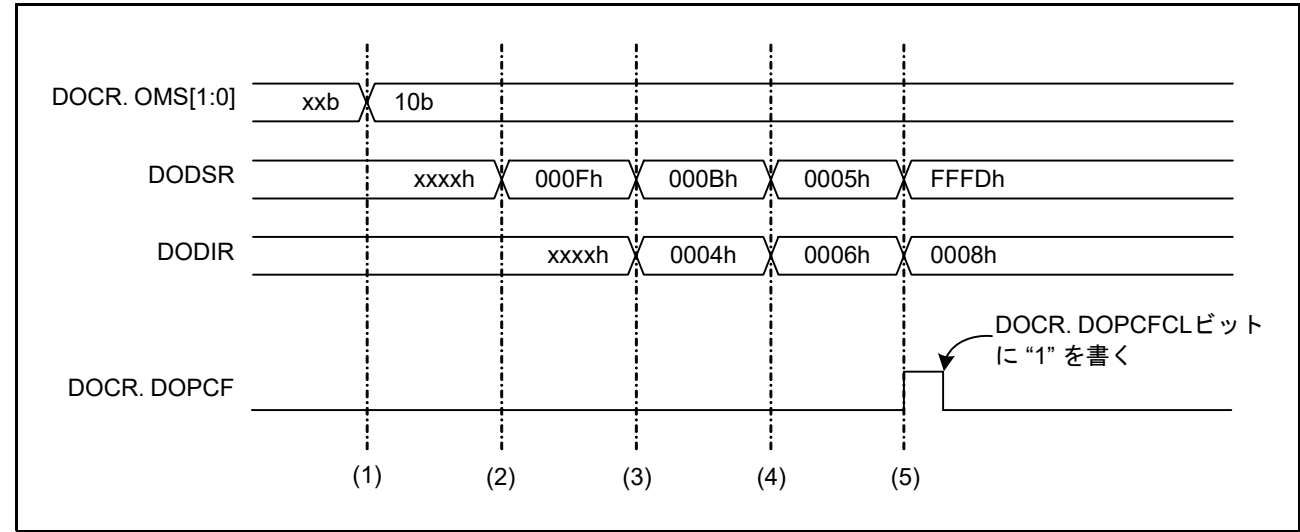


図 36.4 データ減算モードの動作例

36.4 割り込み要求

DOC が生成する割り込み要求には、データ演算回路割り込み (DOPCI) があります。割り込み要因が発生すると DOCR.DOPCF フラグが “1” になります。表 36.2 に割り込み要求の内容を示します。

表 36.2 DOCの割り込み要求

割り込み要求	データ演算結果フラグ	割り込み発生タイミング
データ演算回路割り込み (DOPCI)	DOPCF	- データ比較の結果が検出条件に合致したとき - データ加算の結果が“FFFFh”より大きくなったとき - データ減算の結果が“0000h”より小さくなったとき

36.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が検出条件に合致したとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

36.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可 / 禁止するビットがあります。割り込み要因が発生すると、割り込みが許可されている場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると、割り込み許可ビットの値にかかわらず、ELC を介して他のモジュールにイベント信号として出力します。

36.6 使用上の注意事項

36.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) の MSTPB6 ビットにより、DOC の動作を禁止または許可することができます。リセット後、DOC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

37. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

37.1 概要

表 37.1 に RAM の仕様を示します。

表 37.1 RAM の仕様

項目	内容
RAM 容量	最大 32K バイト (注2)
アクセス	- 読み出し、書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能 (注1)
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.2 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

注2. 製品によって RAM 容量が異なります。

RAM 容量	RAM アドレス
32K バイト	0000 0000h ~ 0000 7FFFh
16K バイト	0000 0000h ~ 0000 3FFFh

37.2 動作説明

37.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にセットすると RAM に供給されるクロックが停止します。

クロック供給の停止により、RAM はモジュールストップ状態になります。リセット後の初期値では、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

37.2.2 RAM の自己診断に関する注意事項

RAM にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のアドレスにデータを書く
- (2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く
- (3) (1) のアドレスからデータを読む

38. フラッシュメモリ (FLASH)

本 MCU は、128K/256K バイトのユーザ領域 (ROM) と 8K バイトのデータ領域 (E2 データフラッシュ) を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

38.1 概要

表 38.1 にフラッシュメモリの仕様を示します。

表 38.7 にブートモードで使用する入出力端子を示します。

表 38.1 フラッシュメモリの仕様

項目	内容
メモリ空間	- ユーザ領域：最大 256K バイト - データ領域：8K バイト - エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納
ソフトウェアコマンド	- 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ - エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム
イレーズ後の値	- ROM：FFh - E2 データフラッシュ：FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) - シリアルコミュニケーションインタフェースのチャネル 1 (SCI1) を調歩同期式モードで使用 - ユーザ領域とデータ領域を書き換え可能 ブートモード (FINE インタフェース) (注1) - FINE を使用 - ユーザ領域とデータ領域を書き換え可能 セルフプログラミング (シングルチップモード) - ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換えが可能
オフボードプログラミング	本 MCU に対応したフラッシュプログラマを使用して、ユーザ領域とデータ領域の書き換えが可能
ID コードプロテクト	- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバッグエミュレータ接続時、ID コードにより制御可能
スタートアッププログラム保護機能	ブロック 0～7 の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能
バックグラウンドオペレーション (BGO) 機能	E2 データフラッシュの書き換え中に、ROM 上に配置されたプログラムを実行可能

注1. 詳細については各シリアルプログラマのマニュアル、『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザズ・マニュアル』をご参照ください。

38.2 ROM の領域とブロックの構成

本 MCU の ROM は最大で 256K バイトあります。ROM は 2K バイトのブロックと呼ばれる単位に分割されており、ブロックイレースコマンドはこのブロック単位でメモリの消去を実行します。図 38.1 に ROM の領域とブロックの構成を示します。

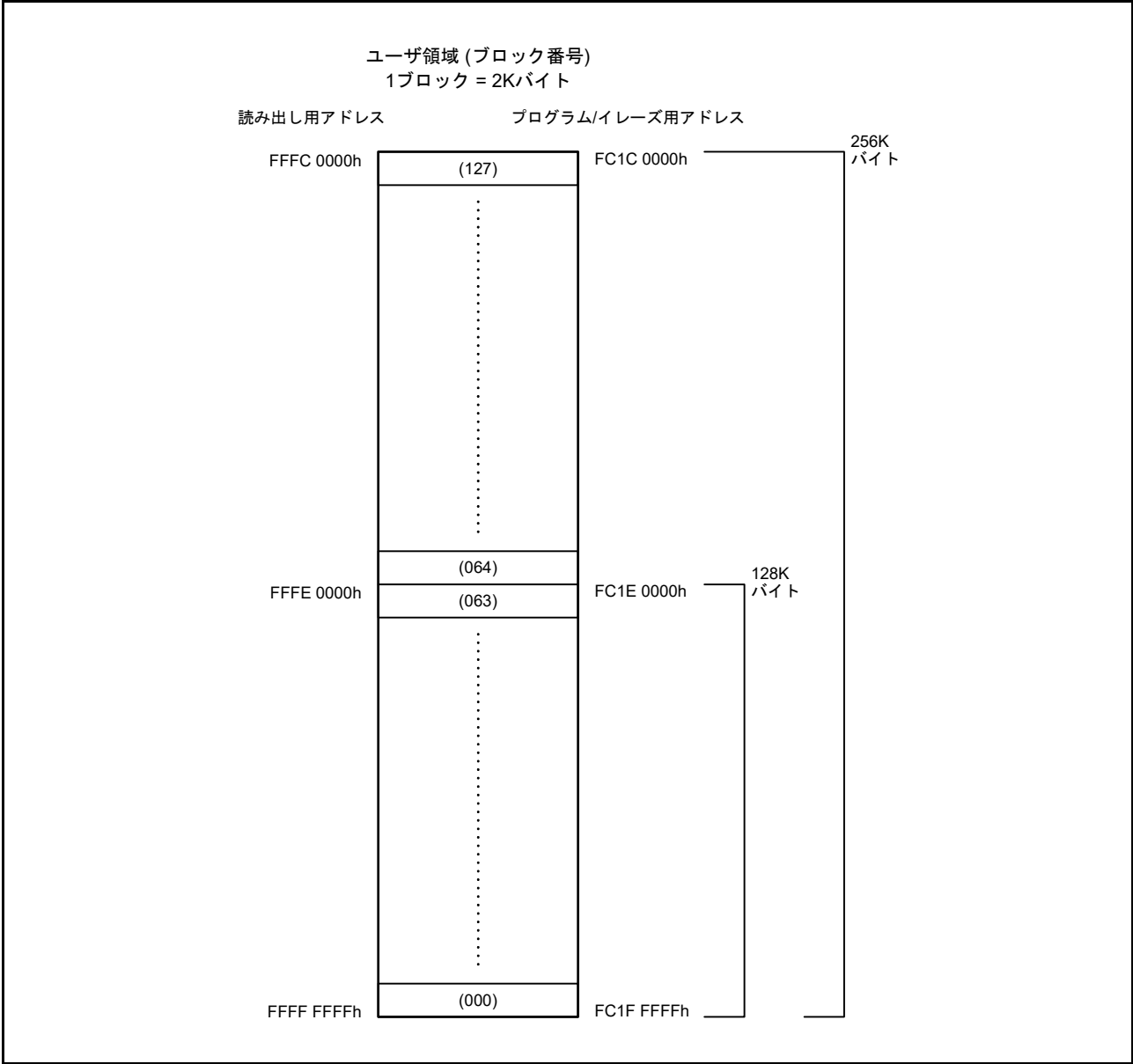


図 38.1 ROM の領域とブロックの構成

表 38.2 ROM 容量と読み出し用アドレス対応表

ROM 容量	読み出し用アドレス
256K バイト	FFFC 0000h ~ FFFF FFFFh
128K バイト	FFFE 0000h ~ FFFF FFFFh

38.3 E2 データフラッシュの領域とブロックの構成

本 MCU の E2 データフラッシュは 8K バイトで構成されています。ブロックに分割されており、イレーズはこのブロック単位で行います。図 38.2 に E2 データフラッシュの領域とブロックの構成を示します。

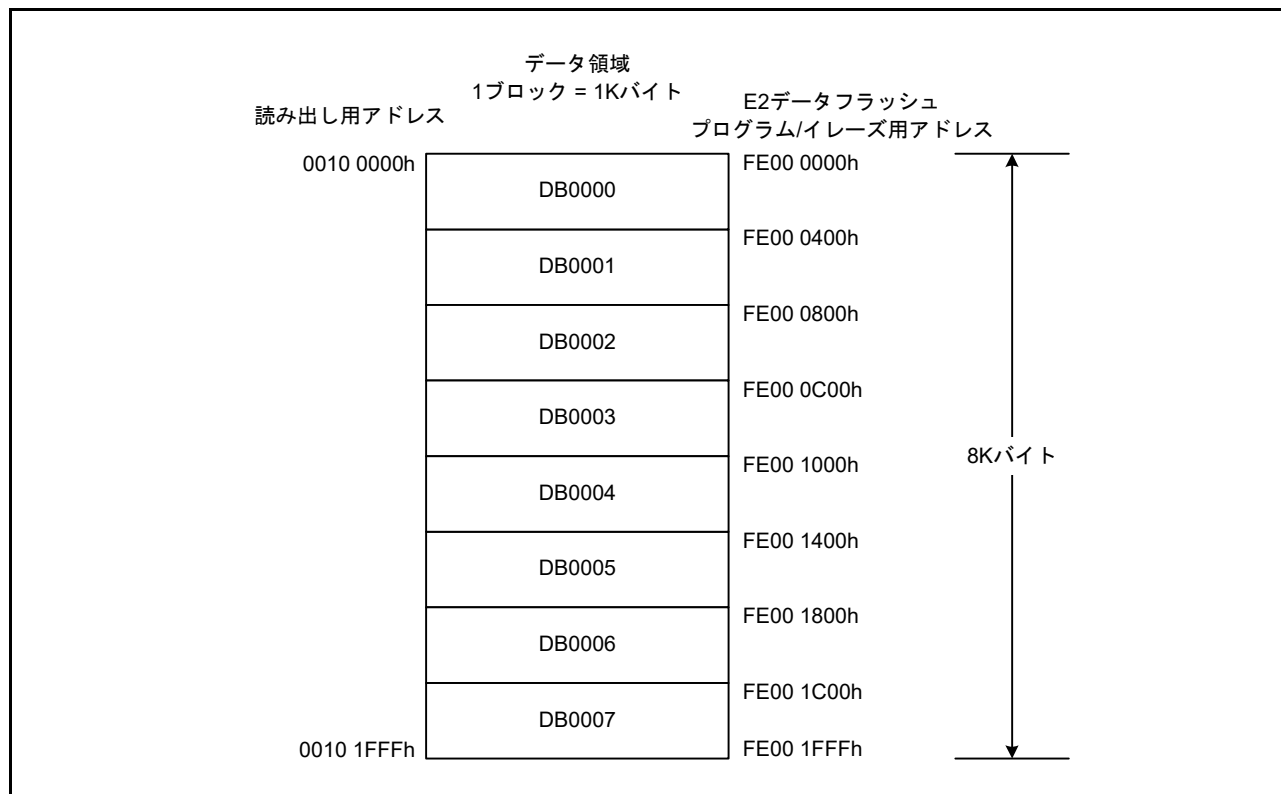


図 38.2 E2 データフラッシュの領域とブロックの構成

38.4 レジスタの説明

38.4.1 E2 データフラッシュ制御レジスタ (DFLCTL)

アドレス FLASH.DFLCTL 007F C090h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0 : E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1) 禁止 1 : E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1) 許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム

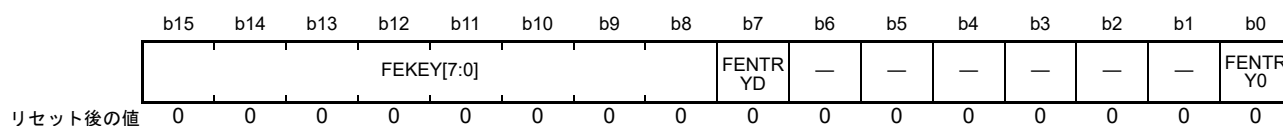
DFLCTL レジスタは、E2 データフラッシュへのアクセス (リード、プログラム、イレーズ) の許可 / 禁止および P/E モード時におけるエクストラ領域へのアクセス (スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム) を許可 / 禁止するためのレジスタです。

E2 データフラッシュのリード、プログラム、イレーズを行う場合は、DFLCTL.DFLEN ビットを“1”にして E2 データフラッシュ STOP 解除時間 (tDSTOP) 経過後に E2 データフラッシュの読み出しと E2 データフラッシュ P/E モードへの遷移を行ってください。E2 データフラッシュ STOP 解除時間 (tDSTOP) を経過するまでは E2 データフラッシュの読み出しと E2 データフラッシュ P/E モードへの遷移を行わないでください。

E2 データフラッシュ P/E モードについては、「38.7.1 シーケンサのモード」を、E2 データフラッシュ STOP 解除時間 (tDSTOP) については、「39. 電気的特性」を参照してください。

38.4.2 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/E モードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2 データフラッシュ P/E モードエントリビット	0 : E2 データフラッシュはリードモード 1 : E2 データフラッシュはP/Eモードエントリ可能	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYR レジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROM や E2 データフラッシュを書き換えるためには、FENTRYD ビットと FENTRY0 ビットのいずれかを“1”にして P/E モードに移行させる必要があります。

リードモードに戻るときは、FENTRYR レジスタを設定した後、値が書き換わっていることを確認してから、ROM や E2 データフラッシュのリードを行ってください。

P/E モード、リードモードについては、「38.7.1 シーケンサのモード」を参照してください。

FENTRY0 ビット (ROM P/E モードエントリビット0)

ROM を P/E モードに移行させるためのビットです。

["1" になる条件]

- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA01h”を書いた場合

注． ROM P/E モードに遷移する場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM ヘコピーして内蔵 RAM ヘジャンプしてください。ただし、E2 データフラッシュは、ROM 上に配置されたプログラムで書き換え可能です。

["0" になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

FENTRYD ビット (E2 データフラッシュ P/E モードエントリビット)

E2 データフラッシュを P/E モードに移行させるためのビットです。

["1" になる条件]

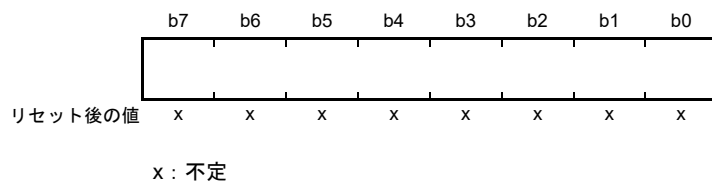
- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA80h”を書いた場合

["0" になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

38.4.3 プロテクト解除レジスタ (FPR)

アドレス FLASH.FPR 007F C180h



本レジスタは、CPU が暴走したときに備え、FPMCR レジスタが容易に書き換えられないように保護するためのライトオンリーのレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCR レジスタへの書き込みが有効になります。

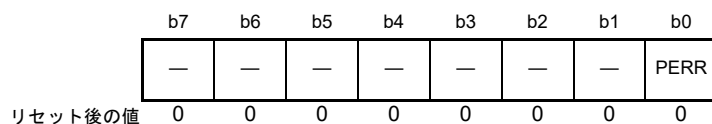
プロテクト解除手順

- (1) FPR レジスタに“A5h”を書き込む
- (2) FPMCR レジスタに設定したい値を書き込む
- (3) FPMCR レジスタに設定したい値の反転値を書き込む
- (4) FPMCR レジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERR フラグが“1”になります。

38.4.4 プロテクト解除ステータスレジスタ (FPSR)

アドレス FLASH.FPSR 007F C184h



ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0 : エラーなし 1 : エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

PERR フラグ (プロテクトエラーフラグ)

FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

["1"になる条件]

- FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

["0"になる条件]

- 「38.4.3 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

38.4.5 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス FLASH.FPMCR 007F C100h

b7	b6	b5	b4	b3	b2	b1	b0
FMS2	LVPE	—	FMS1	RPDIS	—	FMS0	—
リセット後の値	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS2 FMS1 FMS0 0 0 0: ROM/E2データフラッシュリードモード 0 1 0: E2データフラッシュ P/E モード 0 1 1: ディスチャージモード1 1 0 1: ROM P/E モード 1 1 1: ディスチャージモード2 上記以外は設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RPDIS	ROM P/E 禁止ビット	0: ROMはプログラム/イレーズ可能 1: ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0 ビットを参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVPE	低電圧 P/E モード有効ビット	0: 低電圧 P/E モード無効 1: 低電圧 P/E モード有効	R/W
b7	FMS2	フラッシュ動作モード選択ビット2	FMS0 ビットを参照してください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください (詳細は「38.4.3 プロテクト解除レジスタ (FPR)」を参照)。

ディスチャージモード 2、ROM P/E モードに遷移する場合、もしくはそのモード中は RAM 上で命令を実行する必要があります。

FMS0, FMS1, FMS2 ビット (フラッシュ動作モード選択ビット 0 ～フラッシュ動作モード選択ビット 2)

フラッシュの動作モードを設定します。

- リードモードから ROM P/E モードに遷移する場合

FMS2 ビット = 0、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「39. 電気的特性」を参照) 待ちます。

FMS2 ビット = 1、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

FMS2 ビット = 1、FMS1 ビット = 0、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 2 (tMS、「39. 電気的特性」を参照) 待ちます。

- ROM P/E モードからリードモードに遷移する場合

FMS2 ビット = 1、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「39. 電気的特性」を参照) 待ちます。

FMS2 ビット = 0、FMS1 ビット = 1、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。

FMS2 ビット = 0、FMS1 ビット = 0、FMS0 ビット = 0、RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「39. 電気的特性」を参照) 待ちます。

- リードモードから E2 データフラッシュ P/E モードに遷移する場合

FMS2 ビット = 0、FMS1 ビット = 1、FMS0 ビット = 0、RPDIS ビット = 0 に設定します。

- E2 データフラッシュ P/E モードからリードモードに移移する場合

FMS2 ビット=0、FMS1 ビット=0、FMS0 ビット=0、RPDIS ビット=1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「39. 電気的特性」を参照) 待ちます。

RPDIS ビット (ROM P/E 禁止ビット)

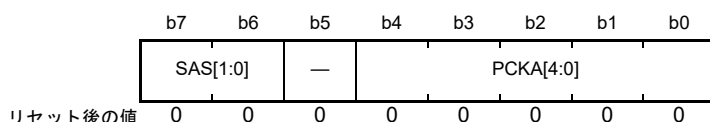
ROM のプログラム / イレーズ実行をソフトウェアによって禁止します。

LVPE ビット (低電圧 P/E モード有効ビット)

高速モード時にプログラム / イレーズを実施する場合は“0”に、中速モード時にプログラム / イレーズを実施する場合は“1”にしてください。

38.4.6 フラッシュ初期設定レジスタ (FISR)

アドレス FLASH.FISR 007F C1D8h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PCKA[4:0]	周辺クロック通知ビット	FlashIF クロック (FCLK) の周波数を設定するためのビットです	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

PCKA[4:0] ビット (周辺クロック通知ビット)

ROM/E2 データフラッシュのプログラム / イレーズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム / イレーズを行う前に PCKA[4:0] ビットに FCLK の周波数を設定してください。ROM/E2 データフラッシュのプログラム / イレーズ中は、FCLK の周波数を変更しないでください。

- FCLK が 4 MHz より高い場合

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[4:0] ビット = 11111b) に設定してください。

- FCLK が 4 MHz 以下の場合

小数部のある周波数は使用しないでください。

1 MHz、2 MHz、3 MHz または 4 MHz の周波数で使用してください。

注． FCLK と異なる周波数を PCKA[4:0] ビットに設定した場合、ROM/E2 データフラッシュのデータが破壊される可能性があります。

表 38.3 FlashIF クロック周波数設定例

FlashIF のクロック 周波数 (MHz)	PCKA[4:0] ビット 設定値	FlashIF のクロック 周波数 (MHz)	PCKA[4:0] ビット 設定値	FlashIF のクロック 周波数 (MHz)	PCKA[4:0] ビット 設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の 3 種類の方法があります。

- エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合

SAS[1:0] ビットが “00b” または “01b” の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。

- 一時的にスタートアップ領域をデフォルト領域に切り替える場合

SAS[1:0] ビットを “10b” にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。

- 一時的にスタートアップ領域を代替領域に切り替える場合

SAS[1:0] ビットを “11b” にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

38.4.7 フラッシュリセットレジスタ (FRESETR)

アドレス FLASH.FRESETR 007F C124h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRESE T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0 : フラッシュ制御回路のリセットを解除する 1 : フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR、FSARH、FSARL、FEARH、FEARL、FWB0、FWB1、FWB2、FWB3、FCR、FEXCR レジスタがリセットされます。また、FEAMH、FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

38.4.8 フラッシュ領域選択レジスタ (FASR)

アドレス FLASH.FASR 007F C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0 : ユーザ領域、データ領域 1 : エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の期間中は書き込みません。

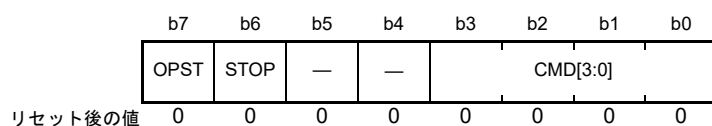
EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド (スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム) を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

38.4.9 フラッシュ制御レジスタ (FCR)

アドレス FLASH.FCR 007F C114h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 1 0 : 全ブロックイレーズ 上記以外は設定しないでください(注1)	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができます	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.FR DY フラグが“1”のとき、FCR レジスタを“00h”にする場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム / イレーズ可能時、または E2 データフラッシュ P/E モード時に書き込みができます。

FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を設定します。それぞれのコマンドの機能を以下に示します。

- プログラム

FSARH/FSARL レジスタに設定したアドレスに、FWB0/FWB1/FWB2/FWB3 レジスタに設定した値を書き込みます。

- ブランクチェック

FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

- ブロックイレーズ

フラッシュメモリ内の指定した任意の連続した領域をブロック単位で消去します。

消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

- 全ブロックイレーズ

ROM または E2 データフラッシュを一括で消去します。

全ブロックイレーズは、ブロックイレーズに比べてより短時間でメモリを消去できます。

ROM を一括消去する場合は、ROM の先頭アドレスを FSARH/FSARL レジスタに、ROM の最終アドレスを FEARH/FEARL レジスタに設定してください。表 38.4 に全ブロックイレーズ時のアドレス設定値

を示します。

表38.4 全ブロックイレーズ時のアドレス設定値

対象	容量	FSARH/FSARL	FEARH/FEARL
ROM	256Kバイト	FC1C 0000h	FC1F FFF8h
	128Kバイト	FC1E 0000h	FC1F FFF8h
E2 データフラッシュ	8Kバイト	FE00 0000h	FE00 1FFFh

STOP ビット (強制処理停止ビット)

実行中の処理 (ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを “1” にした後は、FSTATR1.FRDY フラグが “1” (処理完了) になるのを待ってから OPST ビットを “0” にしてください。

OPST ビット (処理開始ビット)

CMD[3:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても “0” には戻りません。FSTATR1.FRDY フラグが “1” (処理完了) になったのを確認してから “0” に戻してください。また、その後 FSTATR1.FRDY フラグが “0” になったのを確認してから次の処理を実施してください。

38.4.10 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス FLASH.FEXCR 007F C1DCh

b7	b6	b5	b4	b3	b2	b1	b0
OPST	—	—	—	—	CMD[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット	b2 b0 001: スタートアップ領域情報プログラム 010: アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注1)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0: 処理停止 1: 処理開始	R/W

注1. FSTATR1.EXRDYフラグが“1”のとき、FEXCRレジスタを“00h”にする場合を除きます。

FEXCR レジスタは、ROM P/E モードでかつ ROM がプログラム / イレーズ可能時に書き込みができます。

FEXCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の期間中は書き込めません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[2:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム) を設定します。

各コマンドの詳細を以下に示します。

- スタートアップ領域情報プログラム

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

スタートアップ領域をデフォルト領域に設定する場合、FWB1、FWB0 レジスタに“FFFFh”を設定してこのコマンドを実行します。

スタートアップ領域を代替領域に設定する場合、FWB1 レジスタに“FFFFh”、FWB0 レジスタに“FEFFh”を設定してこのコマンドを実行します。

なお、FWB1、FWB0 レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

- アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWB0 レジスタにアクセスウィンドウの先頭アドレス (アクセスウィンドウ開始アドレス) を、FWB1 レジスタにアクセスウィンドウの最終アドレスの次のアドレス (アクセスウィンドウ終了アドレス) を指定してこのコマンドを発行します。各レジスタにはプログラム / イレーズ用アドレスの b21 ~ b10 を設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

OPST ビット (処理開始ビット)

CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1”(処理完了)になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域へのプログラムが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

38.4.11 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス FLASH.FSARH 007F C110h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
								—	—	—	—					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 38.1、図 38.2 を参照してください。

38.4.12 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス FLASH.FSARL 007F C108h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

このレジスタはプログラムコマンド実行後、ROM を指定した場合、+8h、E2 データフラッシュを指定した場合、+1h インクリメントされます。そのため、連続してプログラムコマンドを実行する場合、このレジスタへのプログラム対象アドレスの設定は不要になります。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 38.1、図 38.2 を参照してください。

38.4.13 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス FLASH.FEARH 007F C120h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 38.1、図 38.2 を参照してください。

38.4.14 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス FLASH.FEARL 007F C118h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

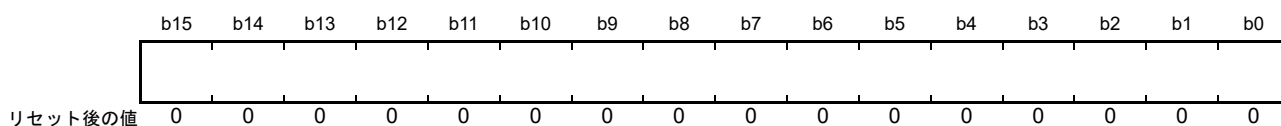
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 38.1、図 38.2 を参照してください。

38.4.15 フラッシュライトバッファレジスタ n (FWBn) (n = 0 ~ 3)

アドレス FLASH.FWB0 007F C130h, FLASH.FWB1 007F C138h, FLASH.FWB2 007F C140h, FLASH.FWB3 007F C144h



FWBn レジスタは、ROM、E2 データフラッシュ、またはエクストラ領域にプログラムするデータを設定するレジスタです。ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FWBn レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FCR レジスタによるソフトウェアコマンド実行中、または FEXCR レジスタによるソフトウェアコマンド実行中に FWBn レジスタを読み出した場合、その値は不定です。

エクストラ領域にプログラムする場合、プログラムする 4 バイトのデータは FWB0 レジスタと FWB1 レジスタに設定してください。

E2 データフラッシュにプログラムする場合、プログラムするデータは FWB0 レジスタの下位 8 ビットに設定してください。

ROM にプログラムする場合、プログラムする 8 バイトのデータは FWB0 レジスタから FWB3 レジスタに設定してください。図 38.3 に FSARH/FSARL レジスタが示すアドレスと FWBn レジスタに設定されたデータの関係を示します。

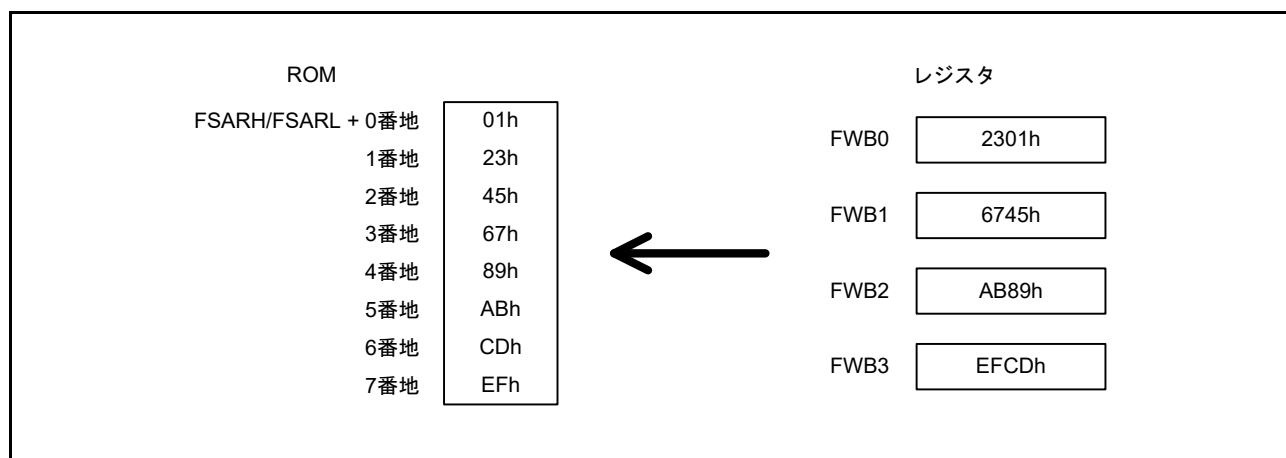


図 38.3 FWBn レジスタ設定値と ROM 上のデータ配置

38.4.16 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス FLASH.FSTATR0 007F C1F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	EILGLERR	ILGLERR	BCERR	—	PRGERR	ERERR
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0 : イレーズは正常終了 1 : イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0 : プログラムは正常終了 1 : プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0 : ブランクチェックは正常終了 1 : ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0 : 不正なソフトウェアコマンドや、不正なアクセスを検出していない 1 : 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ	0 : エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出していない 1 : エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

ERERR フラグ (イレーズエラーフラグ)

ROM/E2 データフラッシュに対するイレーズ処理の結果を示すフラグです。

["1" になる条件]

- ・ イレーズ中にエラーが発生した

["0" になる条件]

- ・ 次のソフトウェアコマンドを実行した
イレーズ中に FCR.STOP ビットを“1”(強制処理停止)にするとフラグの値は不定になります。

PRGERR フラグ (プログラムエラーフラグ)

ROM/E2 データフラッシュに対するプログラム処理の結果を示すフラグです。

["1" になる条件]

- ・ プログラム中にエラーが発生した

["0" になる条件]

- ・ 次のソフトウェアコマンドを実行した

BCERR フラグ (ブランクチェックエラーフラグ)

ROM/E2 データフラッシュに対するブランクチェック処理の結果を示すフラグです。

["1" になる条件]

- ・ ブランクチェック中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した
ブランクチェック中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム / イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが "1" のときに、プログラムコマンド、ブロックイレーズコマンドを実行した
- アクセスウィンドウを設定した状態で全ブロックイレーズを実行した
- FSARH/FSARL レジスタ、FEARH/FEARL レジスタの設定を正しく行わずに全ブロックイレーズコマンドを実行した
- ROM が P/E モードのときに FSARH/FSARL レジスタに E2 データフラッシュのアドレスを設定して、ソフトウェアコマンドを実行した
- E2 データフラッシュが P/E モードのときに FSARH/FSARL レジスタに ROM のアドレスを設定して、ソフトウェアコマンドを実行した
- ROM/E2 データフラッシュとも P/E モードに設定して、ソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- FASR.EXS ビットが "0" のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

38.4.17 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス FLASH.FSTATR1 007F C12Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	EXRDY	FRDY	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0：下記以外 1：FCR レジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0：下記以外 1：FEXCR レジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

FRDY フラグ (フラッシュレディフラグ)

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

EXRDY フラグ (エクストラ領域レディフラグ)

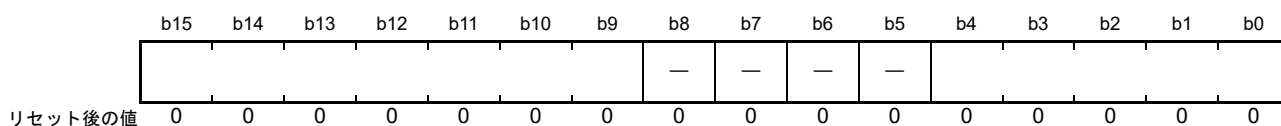
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

38.4.18 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス FLASH.FEAMH 007F C1E8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b31-b25、b20-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b31-b25、b20-b16 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

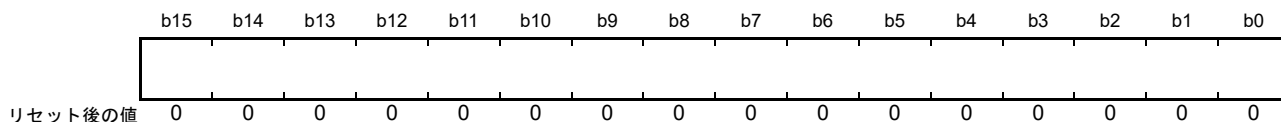
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b31-b25、b20-b16 が格納されます。

フラッシュメモリのアドレスは、図 38.1、図 38.2 を参照してください。

38.4.19 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス FLASH.FEAML 007F C1E0h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されます。

なお、ROM に対するソフトウェアコマンドを実行した場合下位 3 ビットは“000b”になります。

フラッシュメモリのアドレスは、図 38.1、図 38.2 を参照してください。

38.4.20 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス FLASH.FSCMR 007F C1C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	0	1	1	ユーザ の設定 値 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0: 代替領域から起動する設定になっています 1: デフォルト領域から起動する設定になっています	R
b10-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b14-b12	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWB0レジスタのb8に設定した値と同じ値になります。

SASMF フラグ (スタートアップ領域設定モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

38.4.21 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス FLASH.FAWSMR 007F C1C8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0												

ユーザの設定値 (注1)

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB0レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

38.4.22 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス FLASH.FAWEMR 007F C1D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—												
	0	0	0	0	ユーザの設定値 (注1)											

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB1レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

38.4.23 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス FLASHCONST.UIDR0 007F C350h, FLASHCONST.UIDR1 007F C354h, FLASHCONST.UIDR2 007F C358h, FLASHCONST.UIDR3 007F C35Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値																
	チップごとの固有値															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値																
	チップごとの固有値															

UIDRn レジスタは、MCU の個体を識別するために用意された 16 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。

38.5 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができるようになります、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図 38.4 にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック 0～7 をデフォルト領域、ブロック 8～15 を代替領域と呼びます。

注 1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

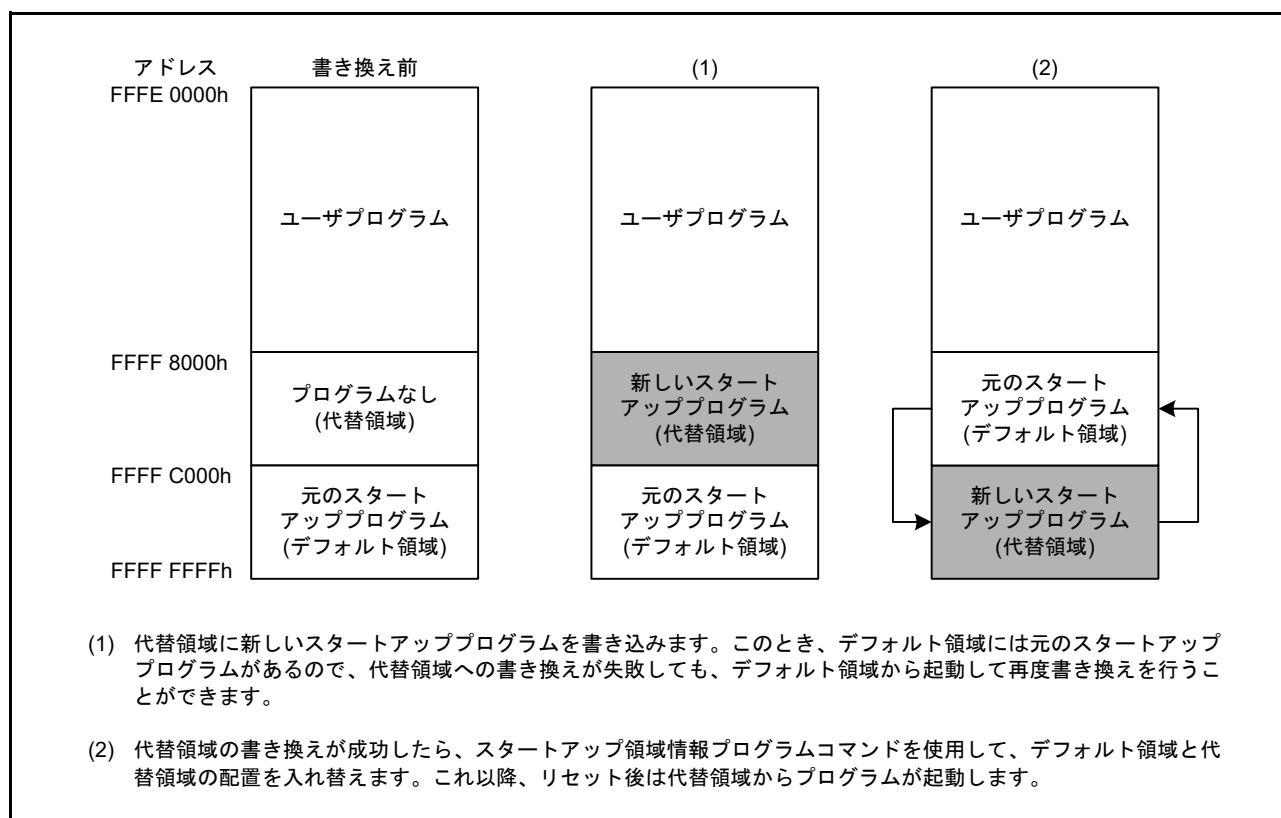


図 38.4 スタートアッププログラム保護機能の概念

38.6 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲 (アクセスウィンドウ) のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。データ領域にアクセスウィンドウを設定することはできません。アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 38.5 にエリアプロテクションの概念を示します。

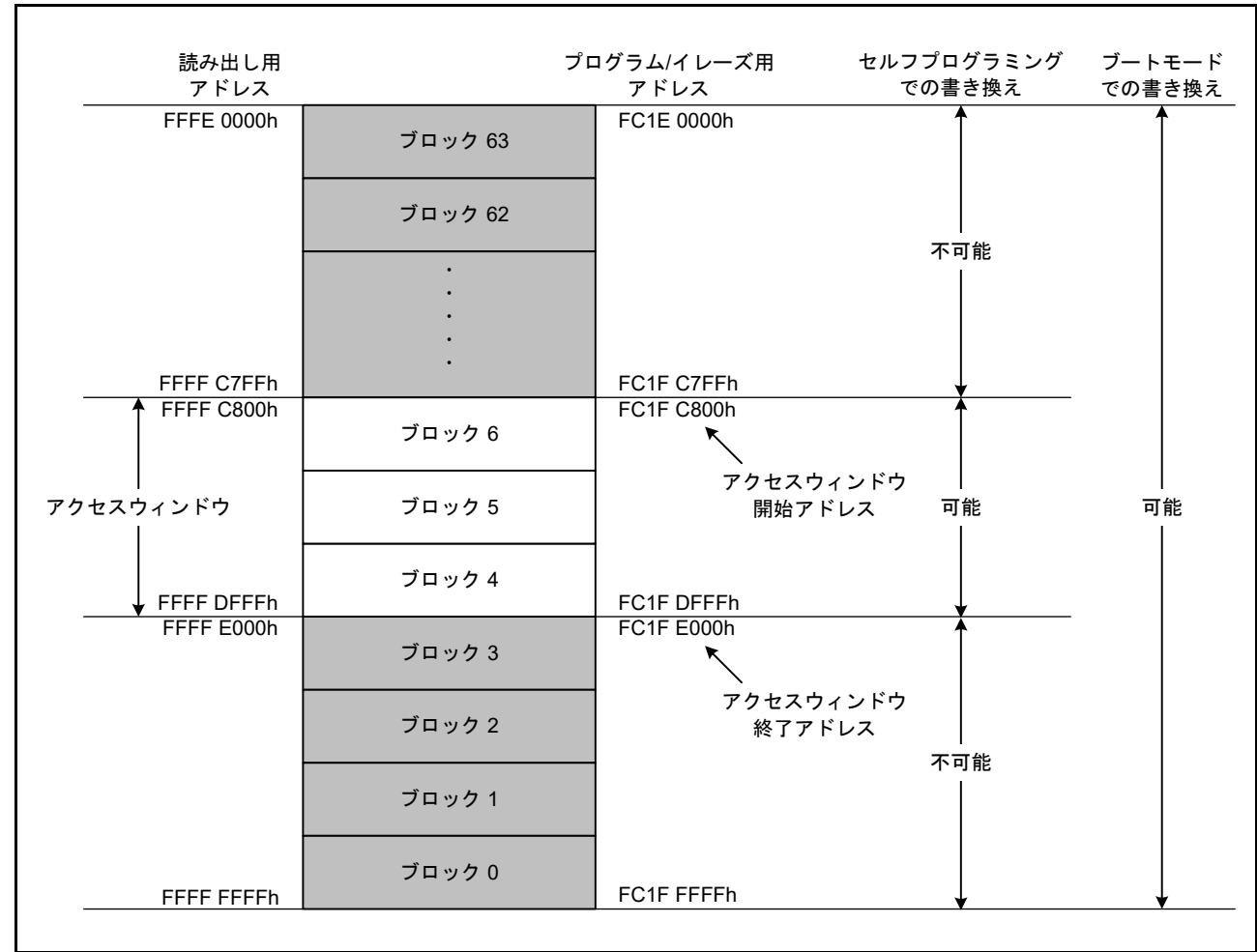


図 38.5 エリアプロテクションの概念 (ROM 容量が 128K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

38.7 プログラム/イレーズ

ROM や E2 データフラッシュへのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM や E2 データフラッシュへのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

38.7.1 シーケンサのモード

シーケンサには、4 種類のモードがあります。モードの移行は、DFLCTL レジスタ、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 38.6 にフラッシュメモリのモード遷移図を示します。

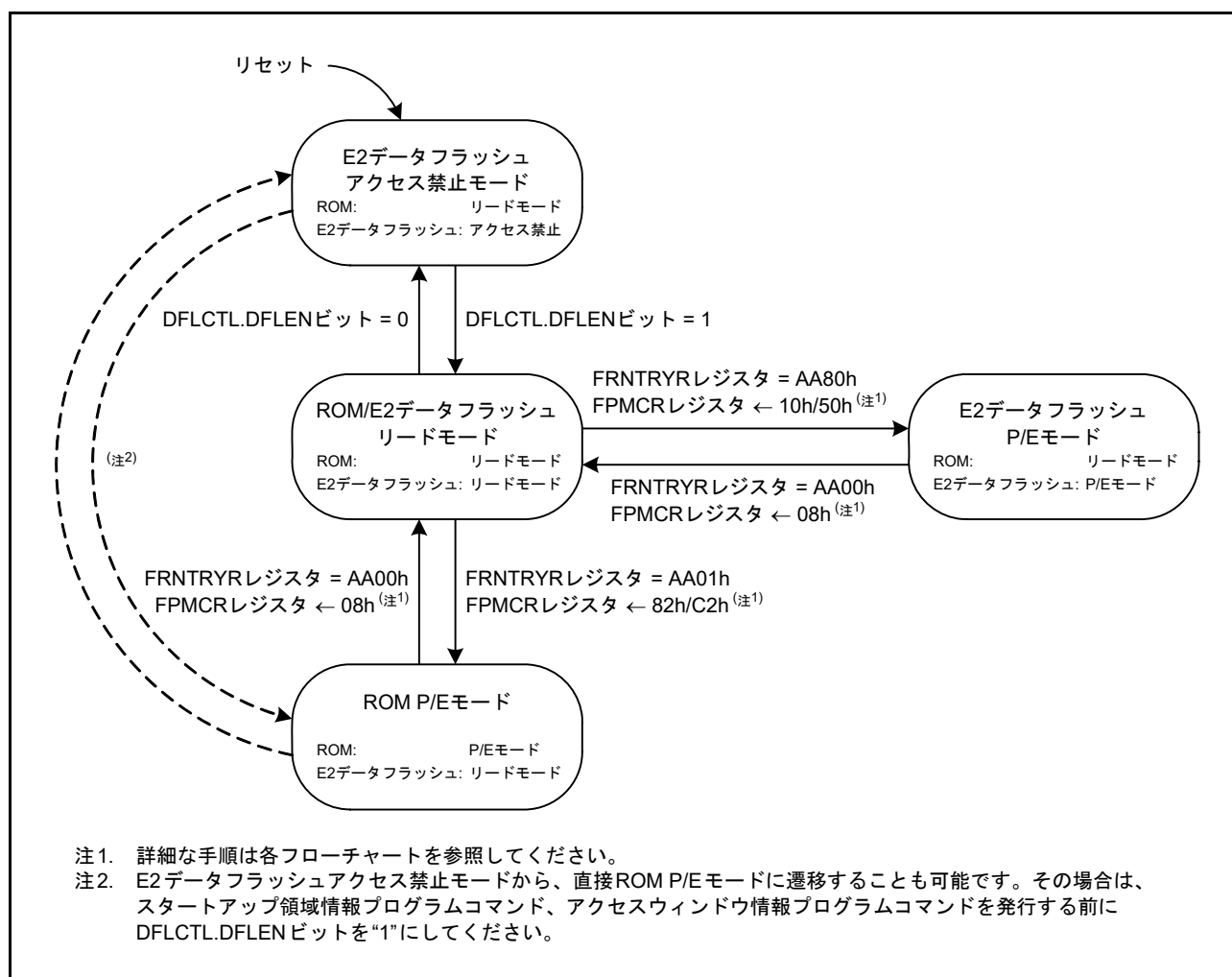


図 38.6 フラッシュメモリのモード遷移図

38.7.1.1 E2 データフラッシュアクセス禁止モード

E2 データフラッシュアクセス禁止モードは、E2 データフラッシュのアクセスが禁止されているモードです。リセット直後はこのモードに遷移します。

DFLCTL.DFLEN ビットを“1”にすると、E2 データフラッシュはリードモードに遷移します。

38.7.1.2 リードモード

リードモードは、ROM または E2 データフラッシュの高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、1 ICLK クロックの高速読み出しが可能です。

(1) ROM/E2 データフラッシュリードモード

ROM、E2 データフラッシュともにリードモードになっているモードを、ROM/E2 データフラッシュリードモードと言います。P/E モードからは、FPMCR レジスタを“08h”、FENTRYR.FENTRYD ビットを“0”、FENTRYR.FENTRY0 ビットを“0”にした場合にこのモードに遷移します。

38.7.1.3 P/E モード

P/E モードは、ROM または E2 データフラッシュのプログラム / イレーズを行うモードです。

(1) ROM P/E モード

ROM が P/E モード、E2 データフラッシュがリードモードになっているモードを、ROM P/E モードと言います。FENTRYR.FENTRYD ビットを“0”、FENTRYR.FENTRY0 ビットを“1”、FPMCR レジスタを“82h”または“C2h”にした場合にこのモードに遷移します。

(2) E2 データフラッシュ P/E モード

ROM がリードモード、E2 データフラッシュが P/E モードになっているモードを、E2 データフラッシュ P/E モードと言います。FENTRYR.FENTRYD ビットを“1”、FENTRYR.FENTRY0 ビットを“0”、FPMCR レジスタを“10h”または“50h”にした場合にこのモードに遷移します。

38.7.2 モード遷移

38.7.2.1 E2 データフラッシュアクセス禁止モードからリードモードへの遷移

E2 データフラッシュをリードするためには、E2 データフラッシュアクセス禁止モードから、ROM/E2 データフラッシュリードモードに遷移させる必要があります。

ROM/E2 データフラッシュリードモードに遷移させるためには、DFLCTL.DFLEN ビットを“1”にします。

図 38.7 に E2 データフラッシュアクセス禁止モードから ROM/E2 データフラッシュリードモードへの遷移フローを示します。

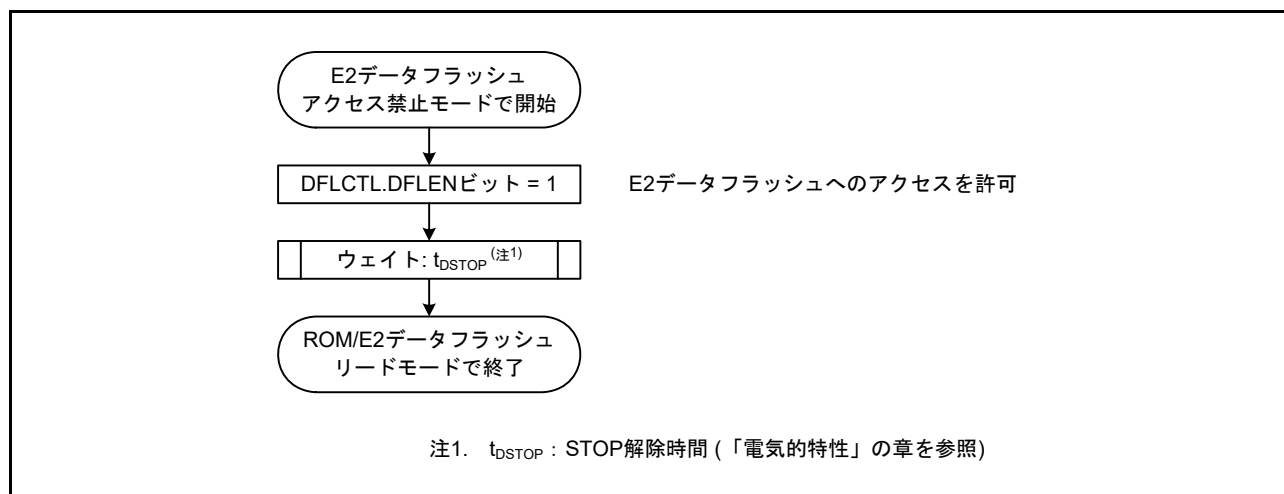


図 38.7 E2 データフラッシュアクセス禁止モードから ROM/E2 データフラッシュリードモードへの遷移フロー

38.7.2.2 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 38.8 に ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フローを、図 38.9 に ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フローを示します。

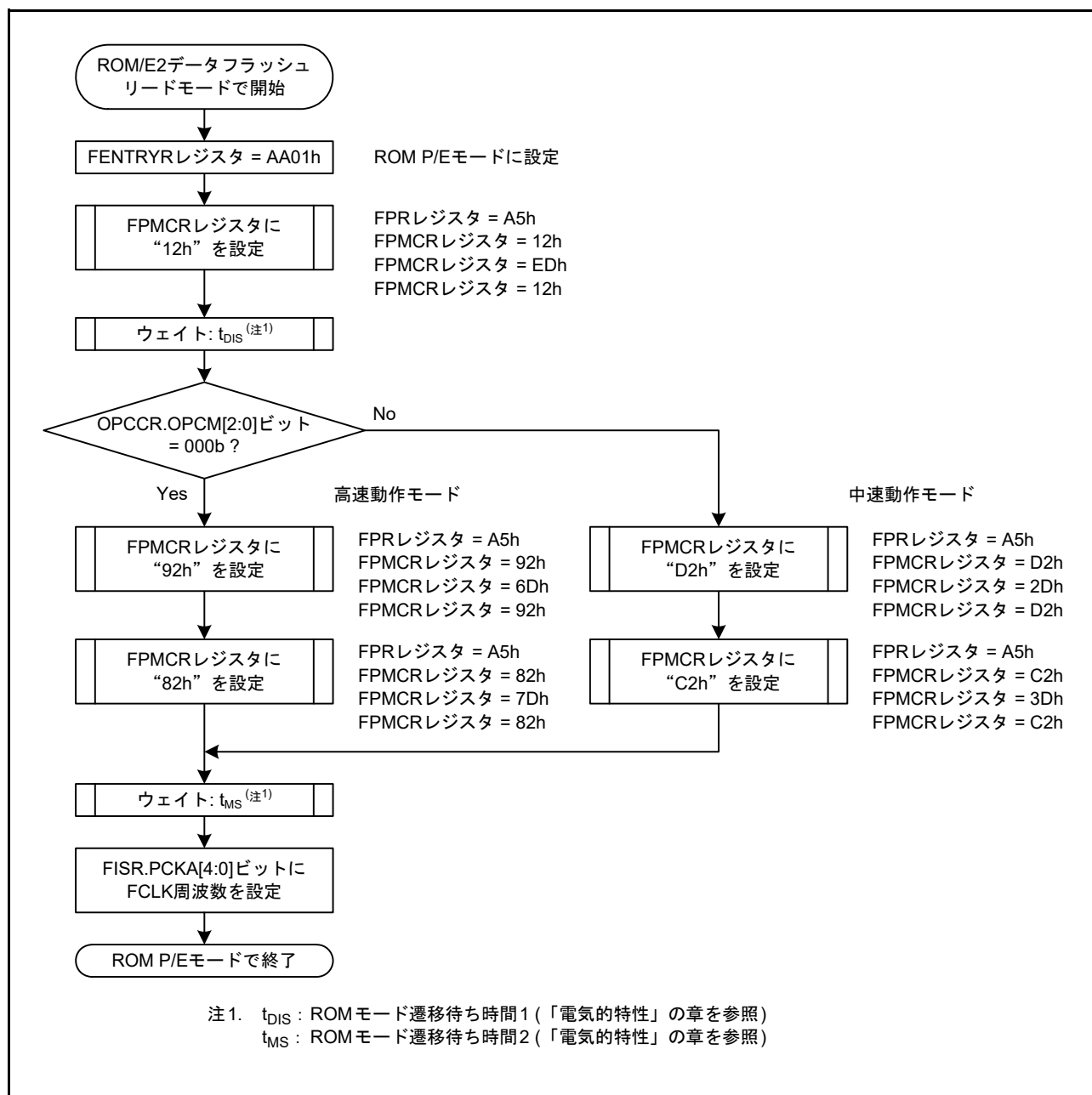


図 38.8 ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フロー

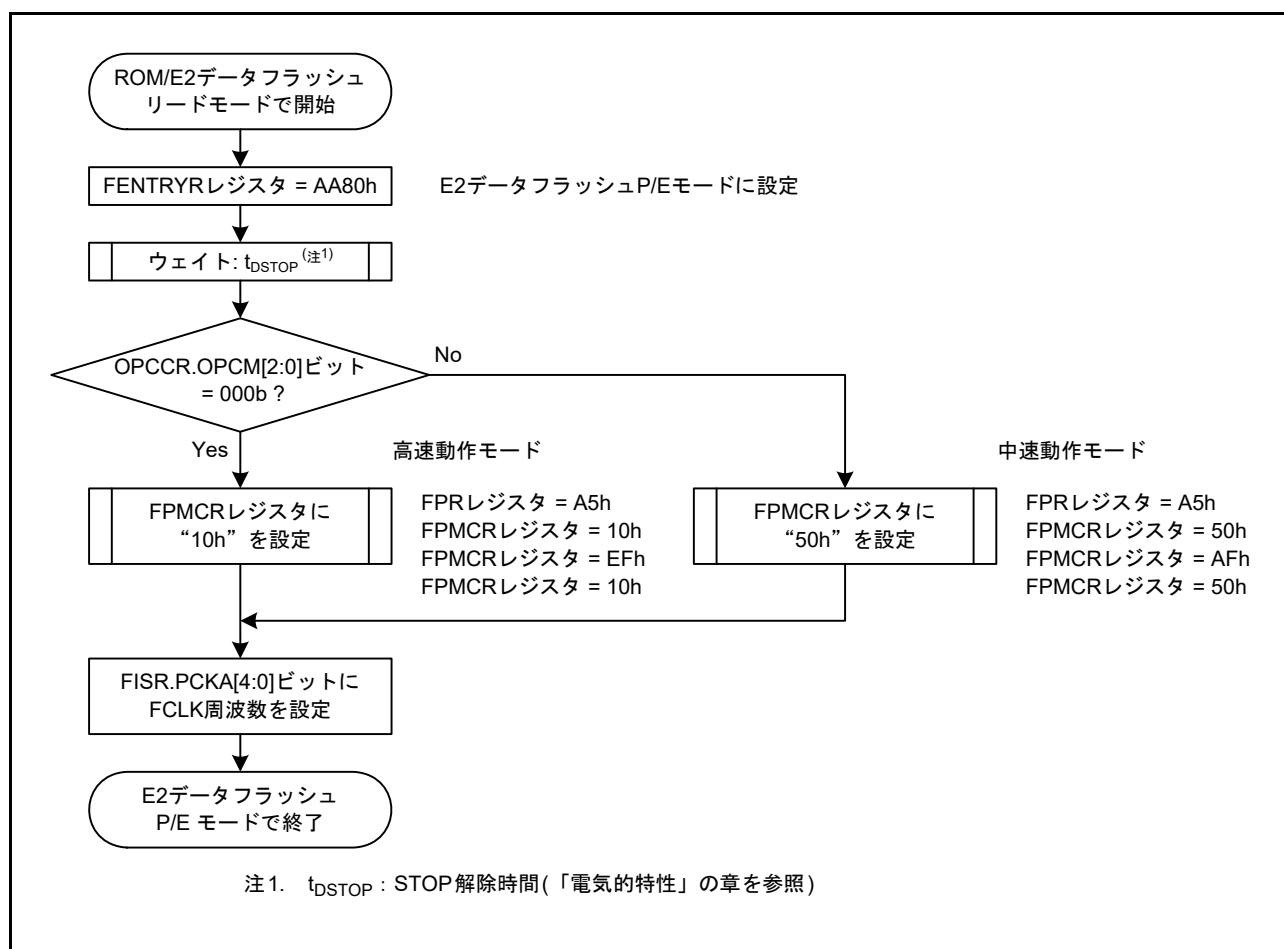


図 38.9 ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フロー

38.7.2.3 P/E モードからリードモードへの遷移

ROM の高速読み出しを行うためには、ROM/E2 データフラッシュリードモードに遷移させる必要があります。

図 38.10 に ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを、図 38.11 に E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを示します。

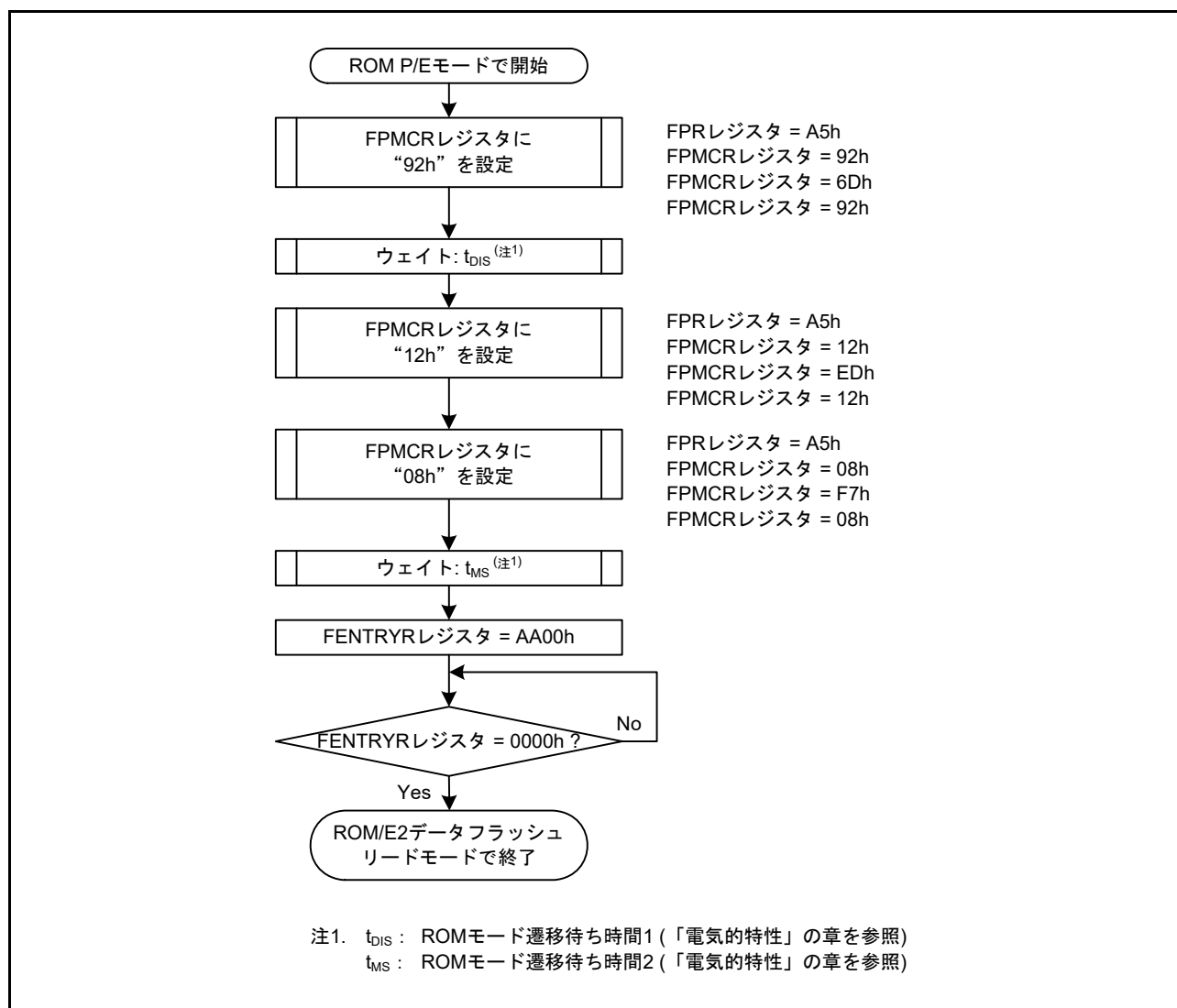


図 38.10 ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

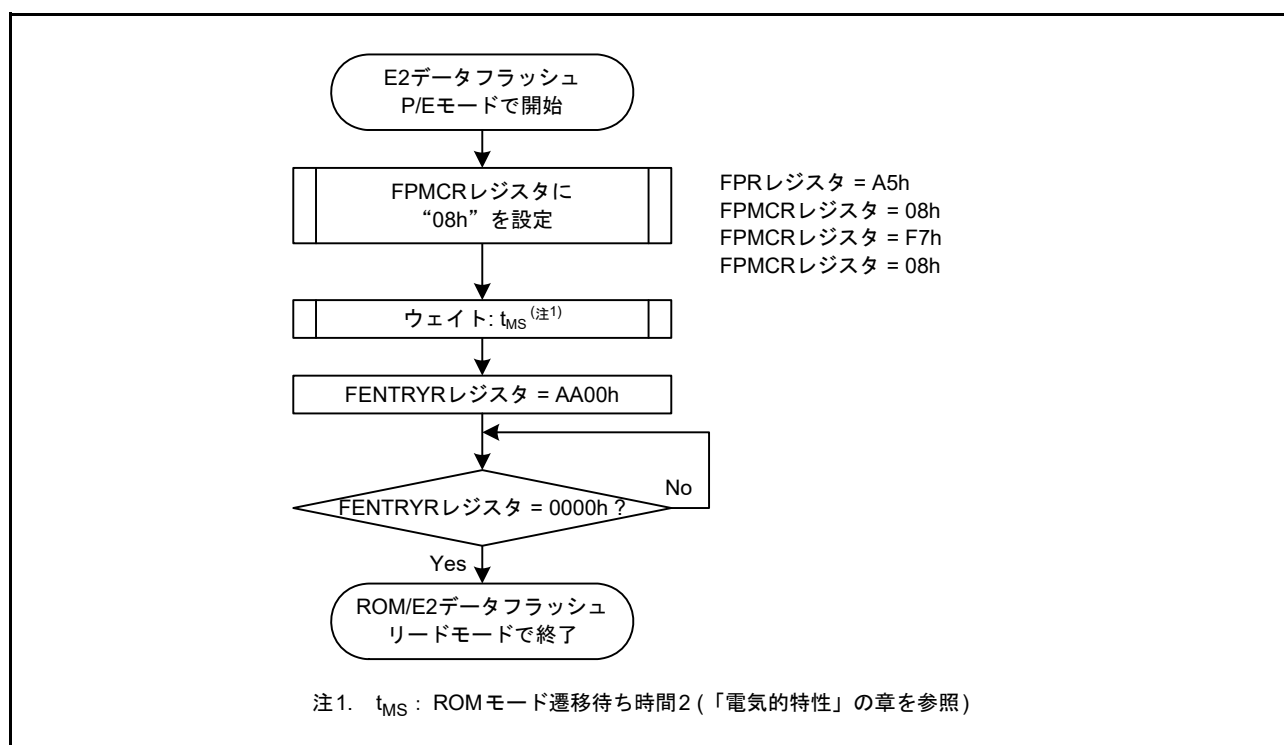


図 38.11 E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

38.7.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 38.5 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表 38.5 ソフトウェアコマンド一覧

コマンド	機能
プログラム	- ROMへの書き込み(8バイト) - E2データフラッシュへの書き込み(1バイト)
ブロックイレーズ	ROM/E2データフラッシュの消去
全ブロックイレーズ	ROM/E2データフラッシュの一括消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します

38.7.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

38.7.4.1 プログラム

図 38.12、図 38.13 にプログラムコマンドの発行フローを示します。

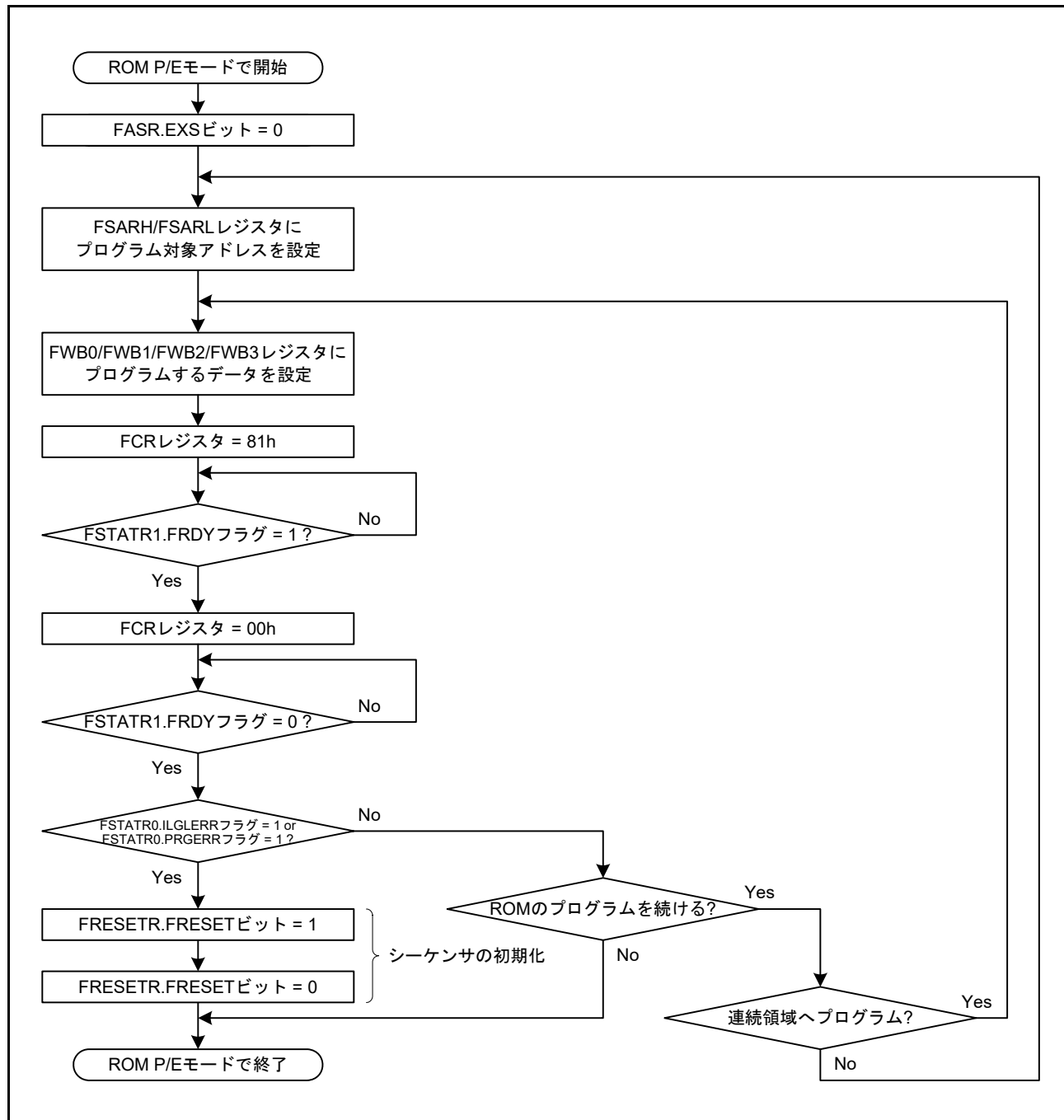


図 38.12 プログラムコマンドの発行フロー (ROM)

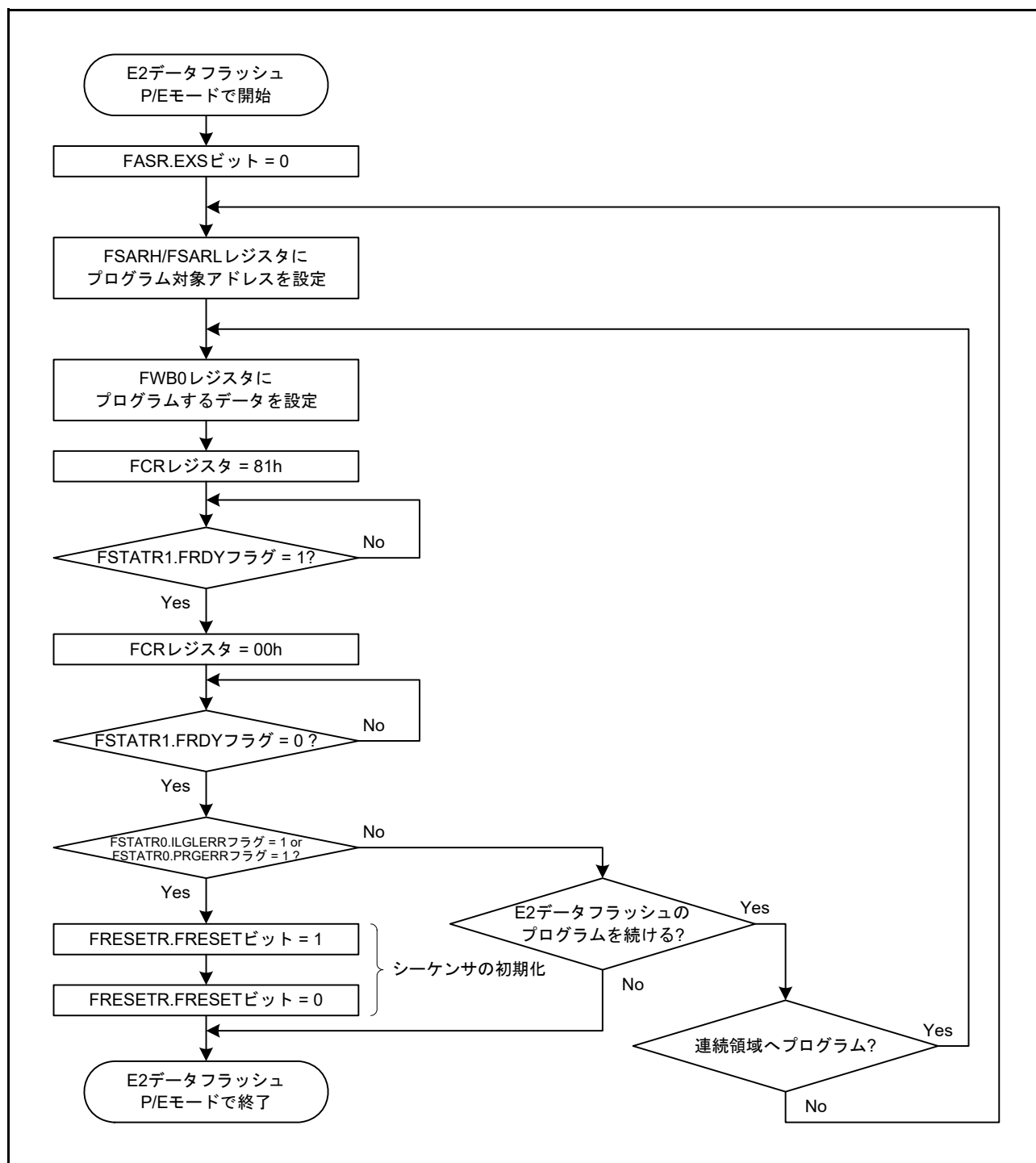


図 38.13 プログラムコマンドの発行フロー (E2 データフラッシュ)

38.7.4.2 ブロックイレーズ

図 38.14、図 38.15 にブロックイレーズコマンドの発行フローを示します。

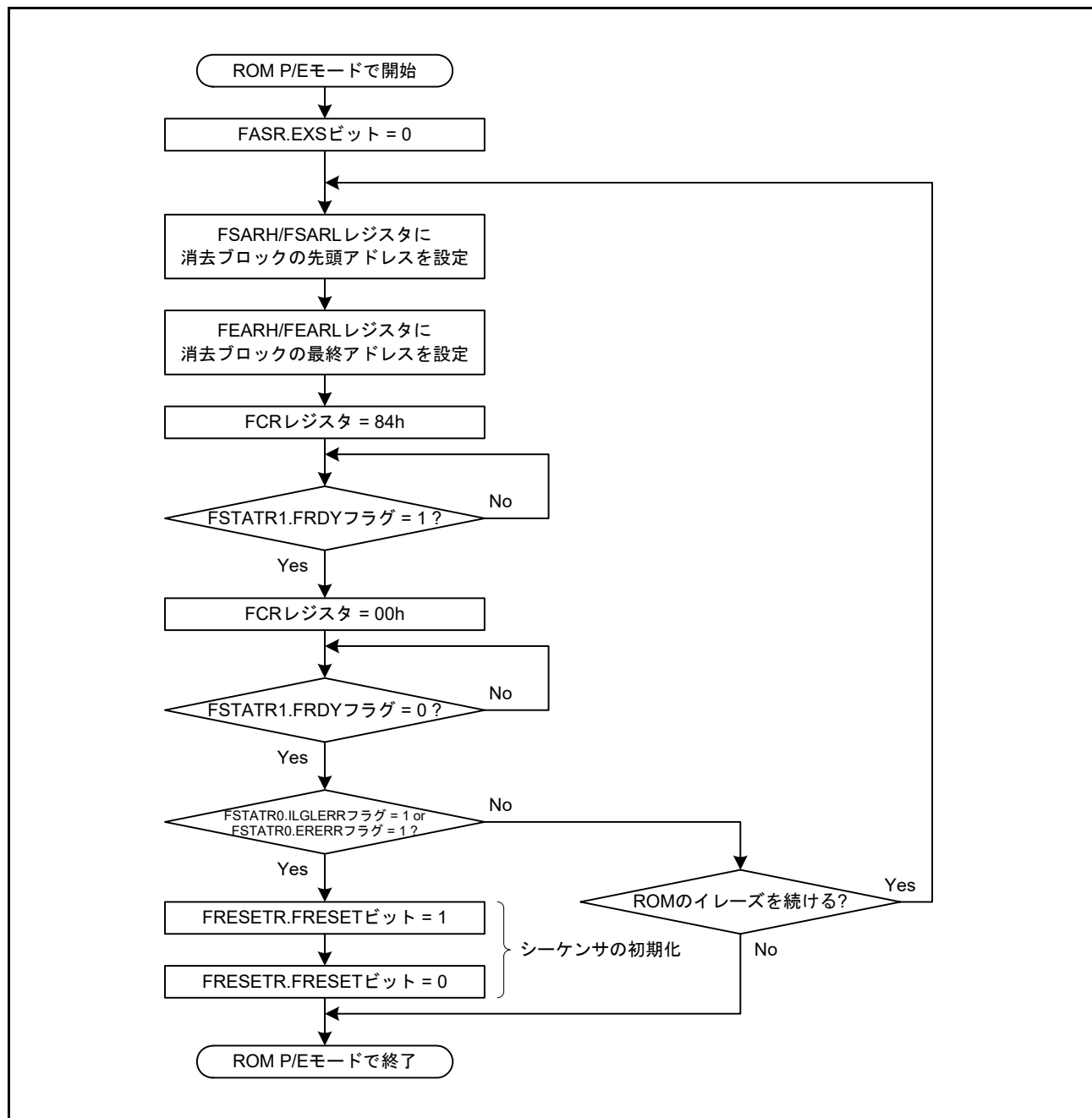


図 38.14 ブロックイレーズコマンドの発行フロー (ROM)

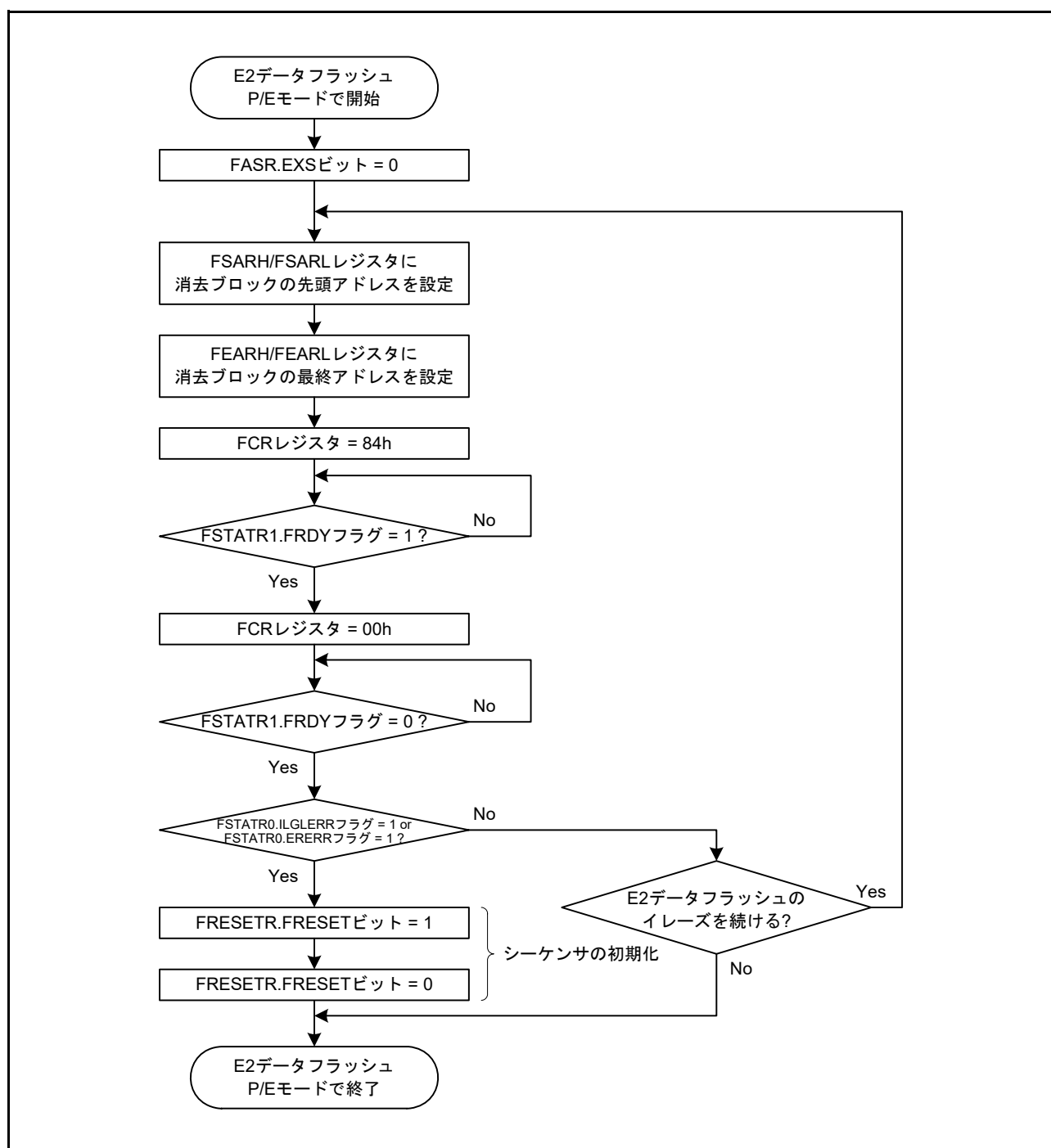


図 38.15 ブロックイレーズコマンドの発行フロー (E2 データフラッシュ)

38.7.4.3 全ブロックイレーズ

図 38.16、図 38.17 に全ブロックイレーズコマンドの発行フローを示します。

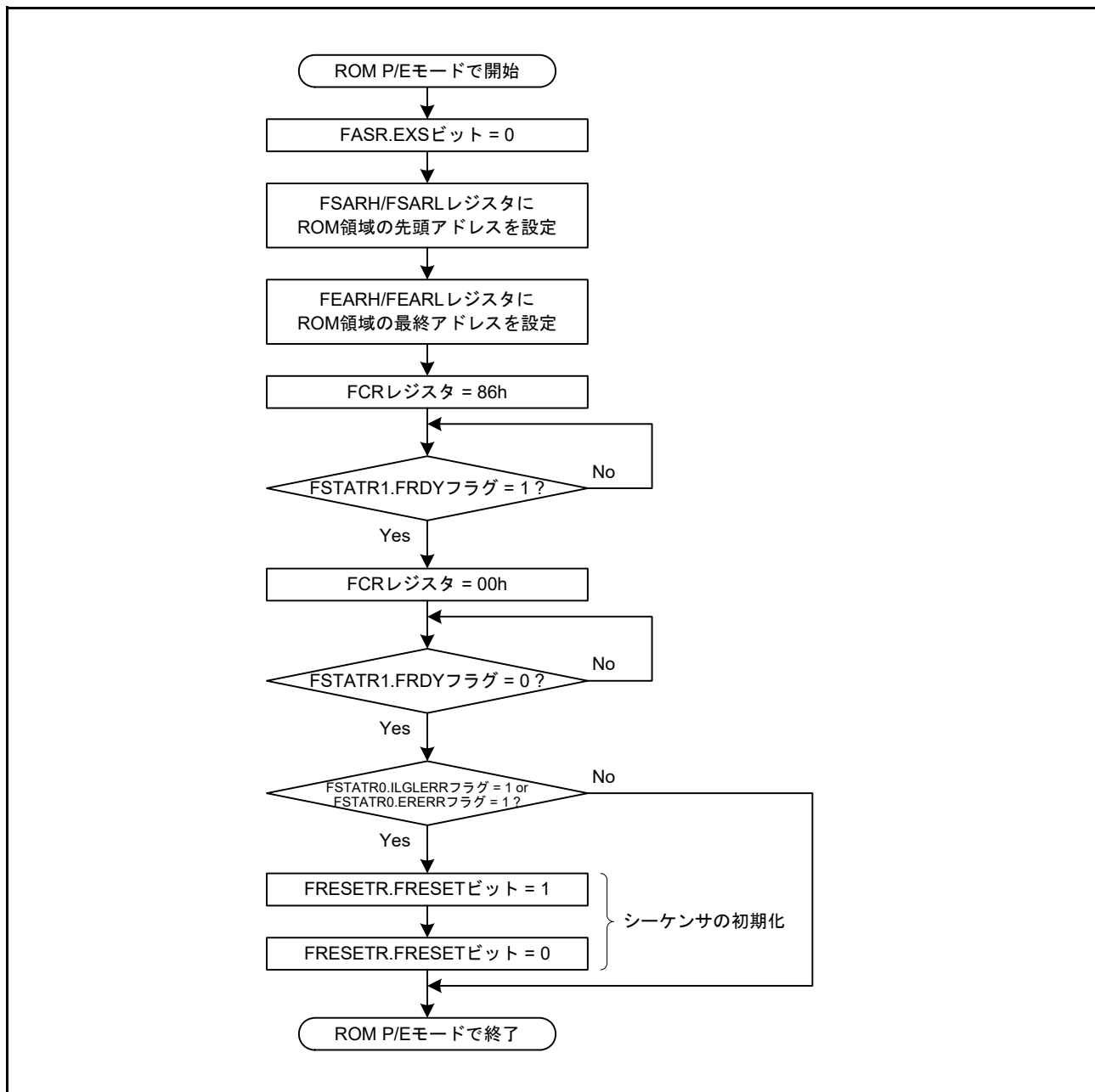


図 38.16 全ブロックイレーズコマンドの発行フロー (ROM)

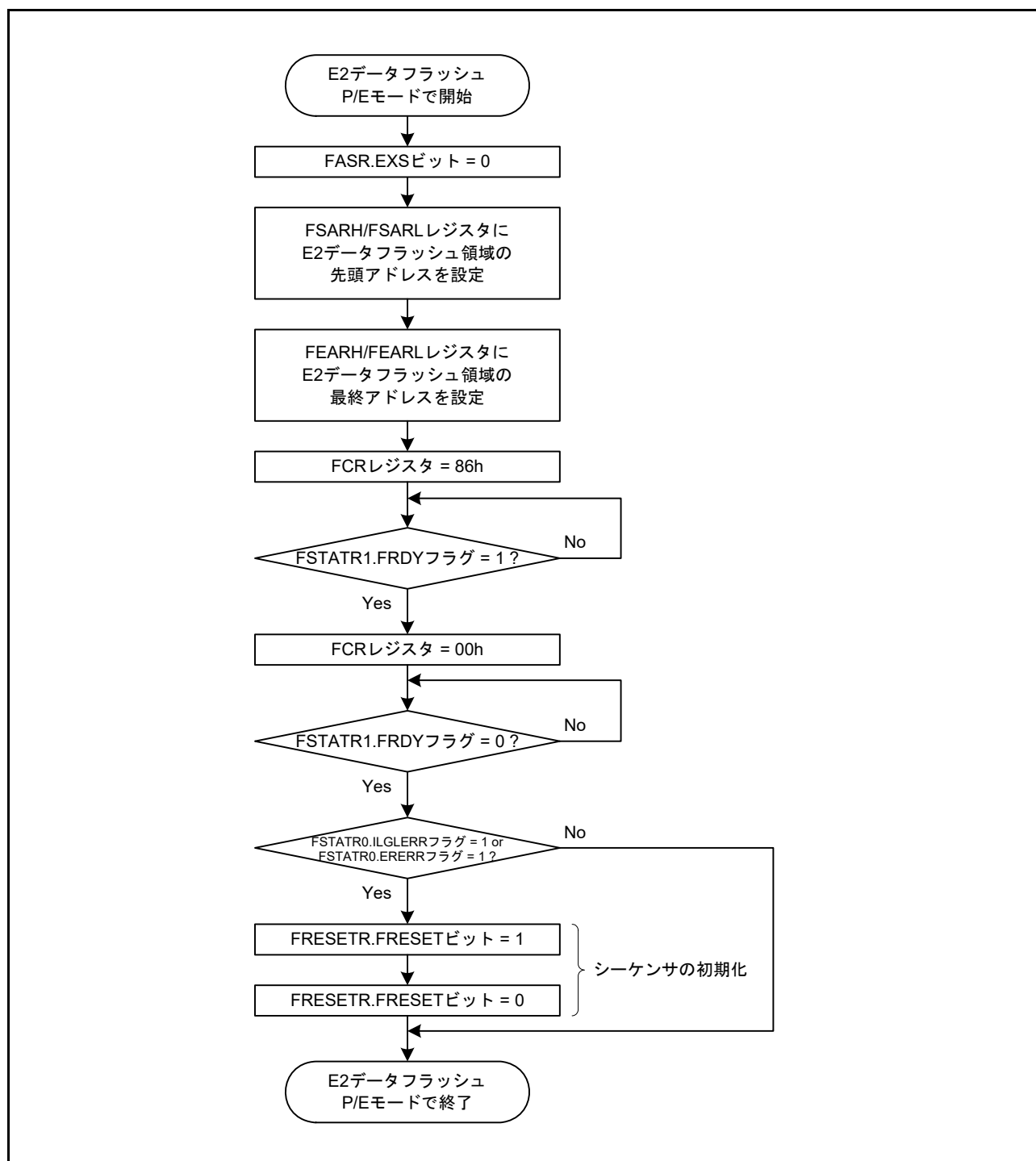


図 38.17 全ブロックイレースコマンドの発行フロー (E2 データフラッシュ)

38.7.4.4 ブランクチェック

図 38.18、図 38.19 にブランクチェックコマンドの発行フローを示します。

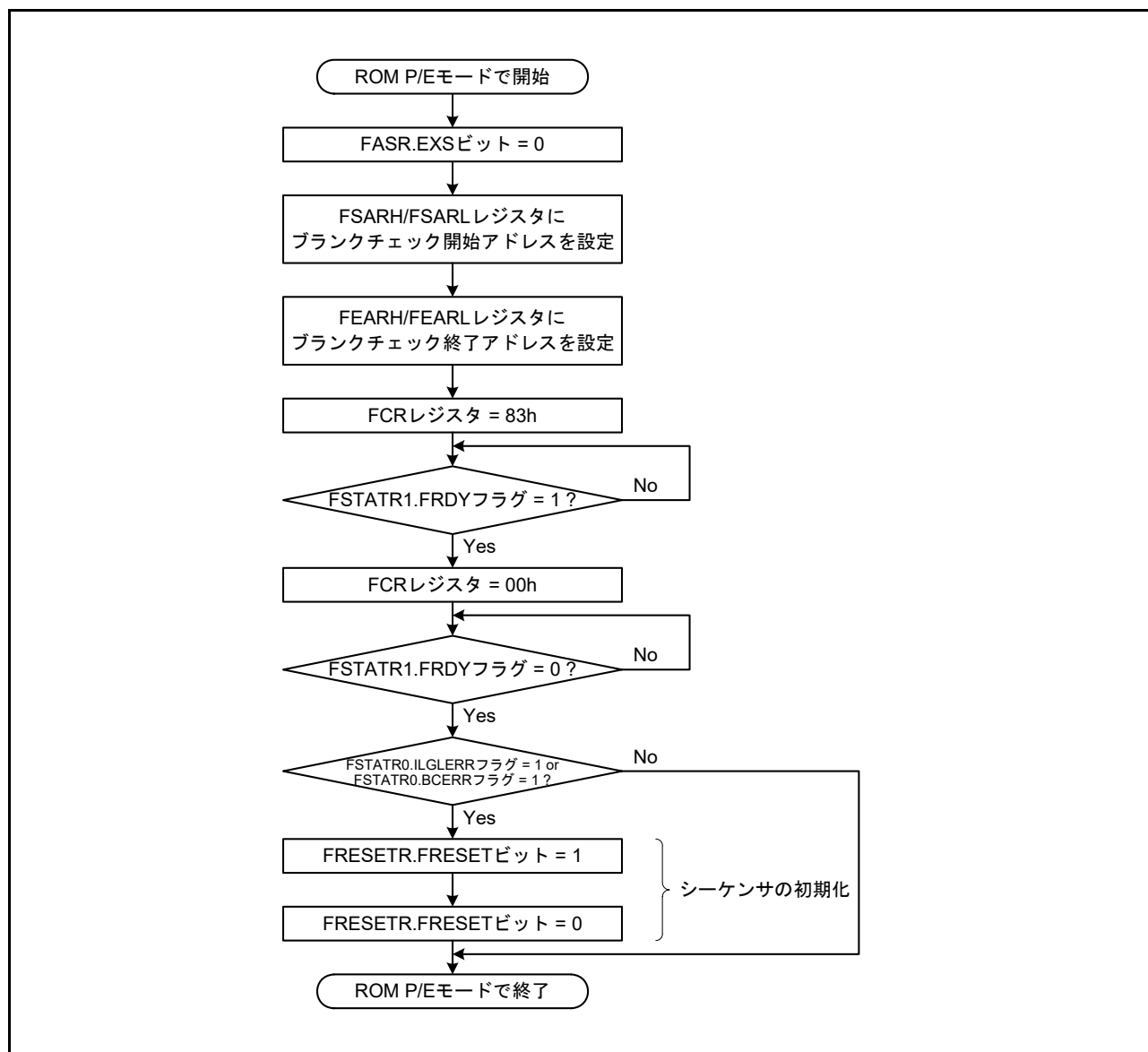


図 38.18 ブランクチェックコマンドの発行フロー (ROM)

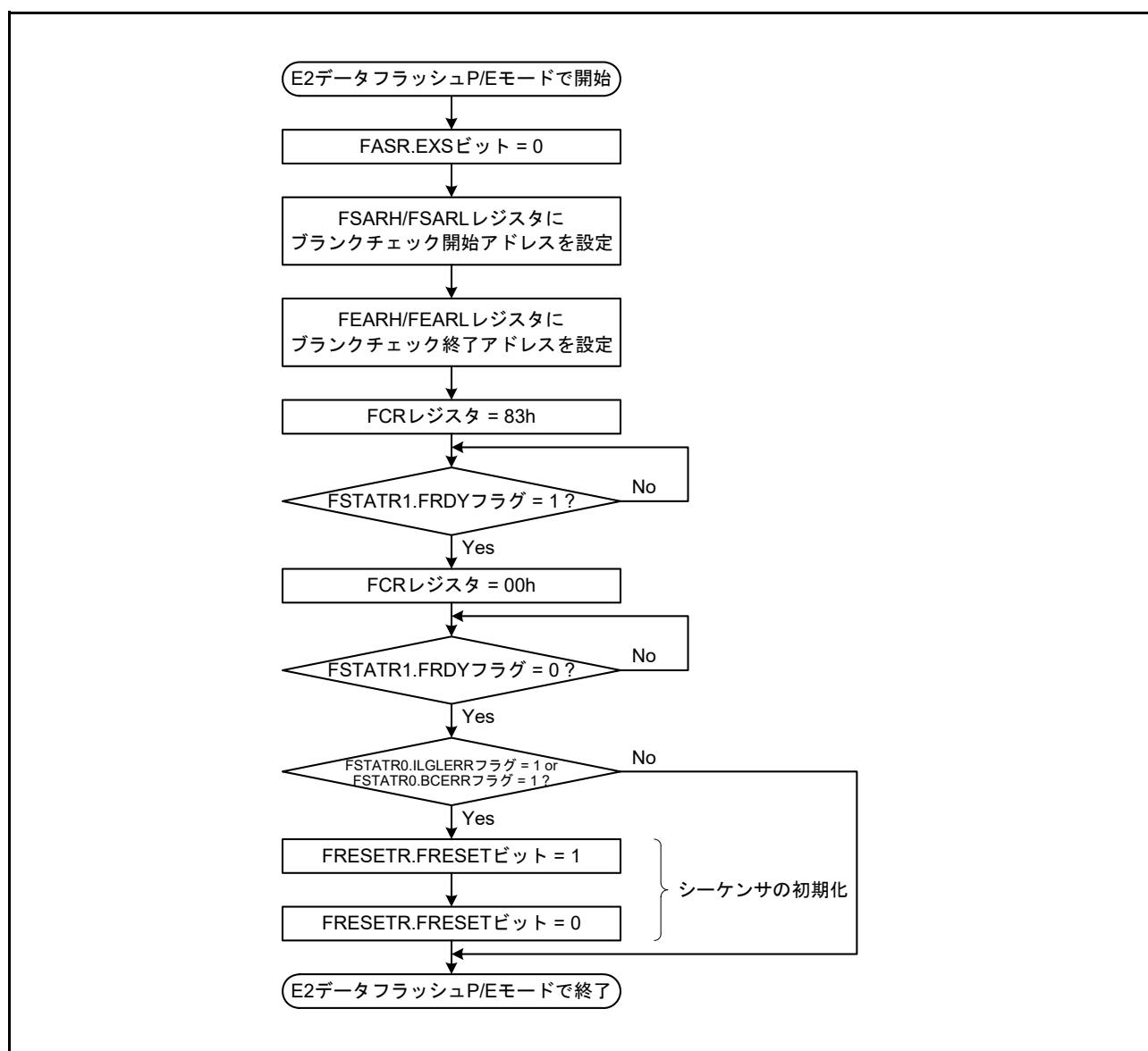


図 38.19 ブランクチェックコマンドの発行フロー (E2 データフラッシュ)

38.7.4.5 スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム

図 38.20 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

なお、E2 データフラッシュアクセス禁止モードから直接 ROM P/E モードに遷移した場合は、フローの先頭で DFLCTL.DFLEN ビットを“1”にしてください。

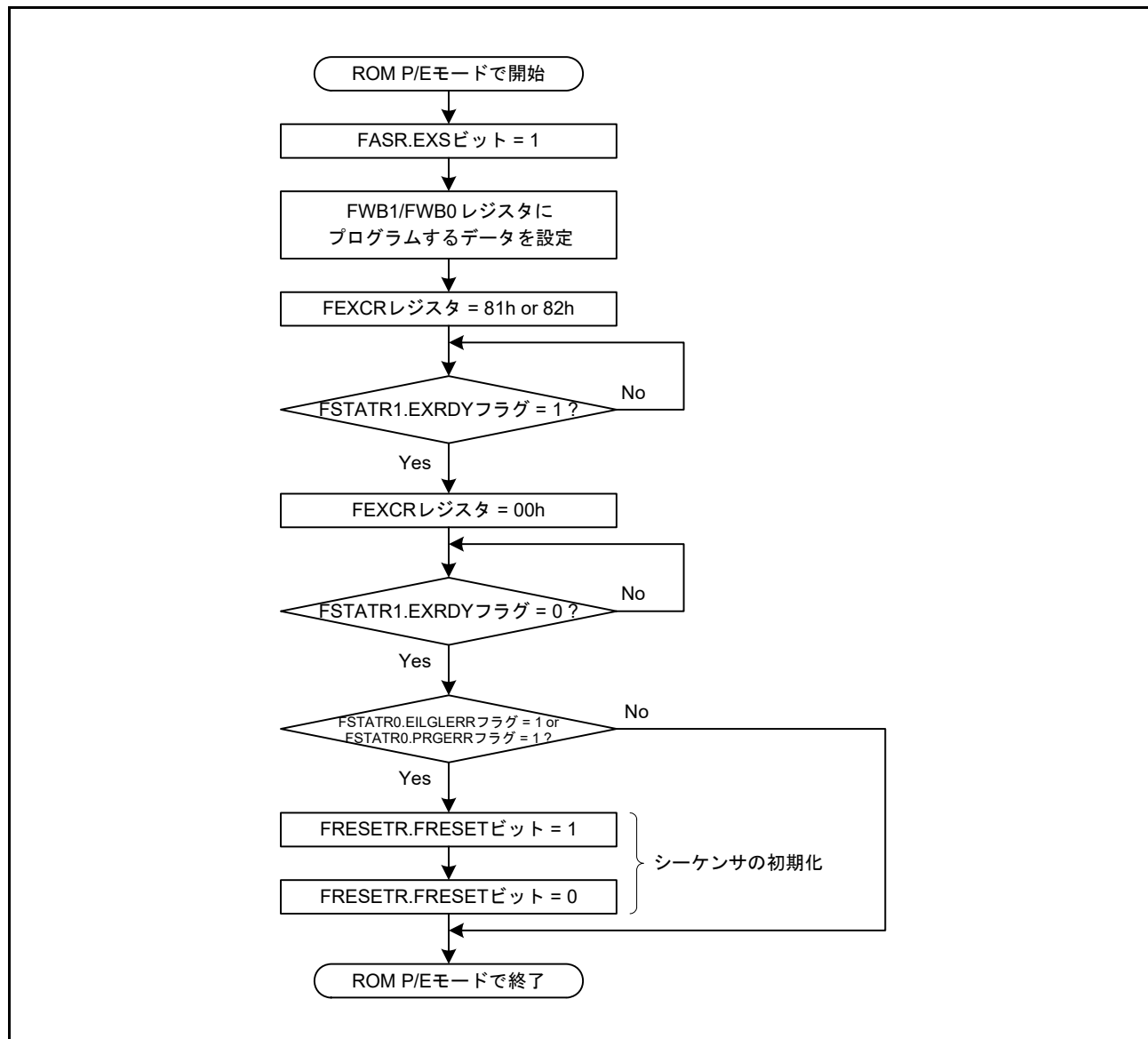


図 38.20 スタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

38.7.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、図 38.21 に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

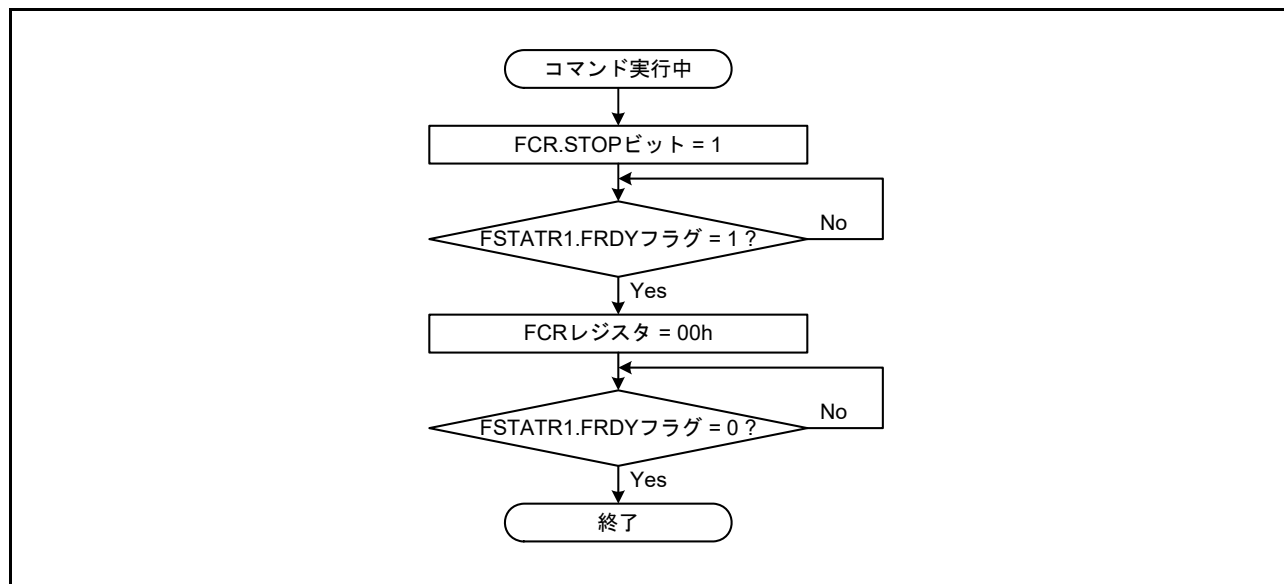


図 38.21 ソフトウェアコマンド強制停止の実行フロー

38.7.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを “0” にすると FSTATR1.FRDY フラグが “0” に、また、FEXCR.OPST ビットを “0” にすると FSTATR1.EXRDY フラグが “0” になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IENj ビットを “1” にする前に、IRn.IR フラグをクリアしてください。

38.8 ブートモード

ブートモードは、SCI インタフェース、または FINE インタフェースを使用します。

表 38.6 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 38.7 にブートモードで使用する入出力端子を示します。

表 38.6 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード	
	SCI インタフェース	FINE インタフェース
プログラム/イレーズ可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域
使用する周辺モジュール	SCI1 (調歩同期式シリアル通信)	FINE

表 38.7 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINE インタフェース)	動作モードを選択、FINE データ入出力
P30/RXD1	入力	ブートモード (SCI インタフェース)	データ受信(注1)
P26/TXD1	出力		データ送信(注1)

注 1. SCI インタフェースを使用する場合は、抵抗を介してVCCに接続(プルアップ)してください。

38.8.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イレージに SCI の調歩同期式モードを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子を Low にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマについてはメーカーにお問い合わせください。

38.8.1.1 ブートモード (SCI インタフェース) の動作条件

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCI1 を調歩同期式モードで使
用します。図 38.22 にブートモード (SCI インタフェース) 時の端子接続例を、表 38.8 にブートモード (SCI
インタフェース) 時に使用する端子の処理内容を示します。

なお、図 38.22 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものでは
ありません。

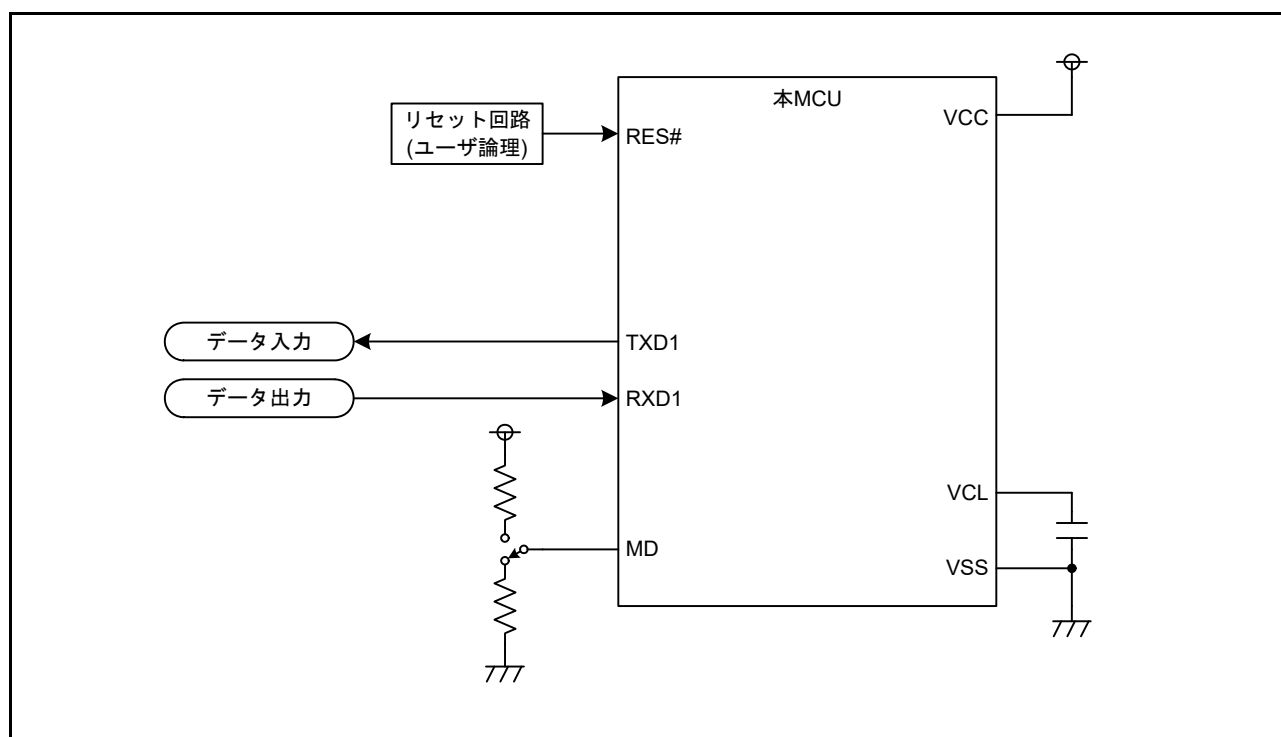


図 38.22 ブートモード (SCI インタフェース) 時の端子接続例

表 38.8 ブートモード (SCI インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子には1.8 V以上の電圧を、VSS端子には0 Vを入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
MD	動作モードコントロール	入力	Lowを入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
P30/RXD1	データ入力RXD	入力	シリアルデータの入力端子です
P26/TXD1	データ出力TXD	出力	シリアルデータの出力端子です

シリアルプログラマとの通信フォーマットは、図 38.23 に示すとおり、8 ビットデータ、1 ストップビット、パリティなし、LSB ファーストです。

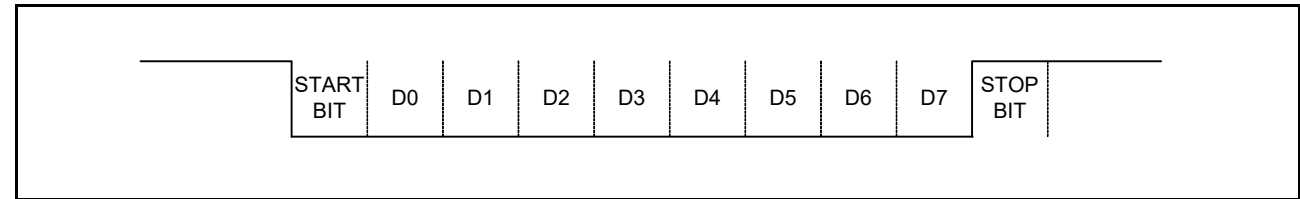


図 38.23 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。ブートモード (SCI インタフェース) で通信が可能な最大通信ビットレートを表 38.9 に示します。

表 38.9 通信可能な条件

動作電圧	最大通信ビットレート
3.0 V未満	500 kbps
3.0 V以上	2 Mbps

38.8.1.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 38.24 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「39.4.2 リセットタイミング」に示す規格を守ってください。

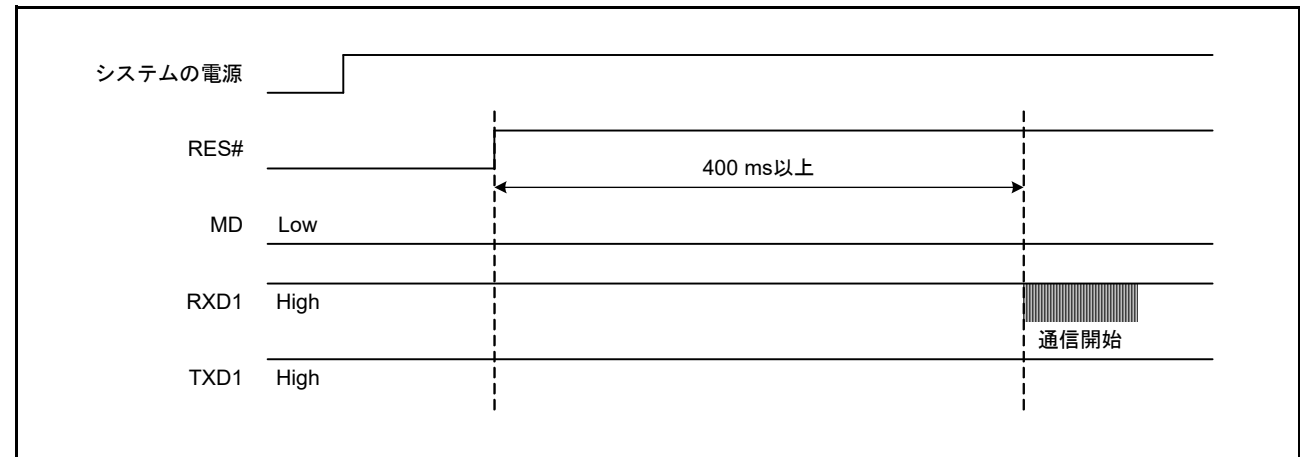


図 38.24 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

38.8.2 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域とデータ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

38.8.2.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。

図 38.25 にブートモード (FINE インタフェース) 時の端子接続例を、表 38.10 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 38.25 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

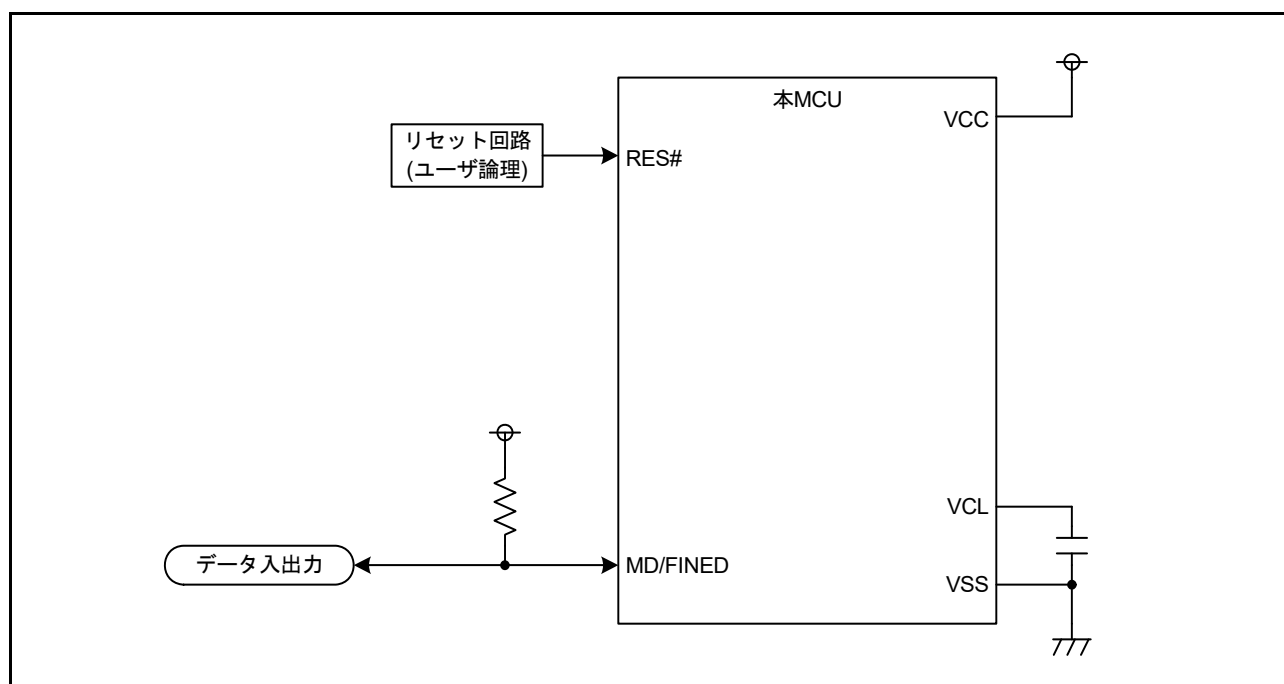


図 38.25 ブートモード (FINE インタフェース) 時の端子接続例

表 38.10 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 1.8 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD/FINED	動作モードコントロール / データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

38.9 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。

シリアルプログラマ接続時にはブートモード ID コードプロテクト、オンチップデバ깅エミュレータ接続時にはオンチップデバ깅エミュレータ ID コードプロテクトがあります。

38.9.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバ깅エミュレータを接続したときのオンチップデバ깅エミュレータ ID コードプロテクトの 2 つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード 1～ID コード 15 で構成されています。32 ビット長 4 ワードのデータで、32 ビット単位で設定してください。図 38.26 に ID コードの構成を示します。

	31	24 23	16 15	8 7	0
FFFF FFA0h	制御コード	IDコード1	IDコード2	IDコード3	
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7	
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11	
FFFF FFACH	IDコード12	IDコード13	IDコード14	IDコード15	

図 38.26 ID コードの構成

ID コードを設定するときのプログラムの記述例を以下に示します。

制御コード、ID コード 1～ID コード 15 を順に “45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh” に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFFA0
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

38.9.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、第三者がシリアルプログラマを接続したときのユーザ領域とデータ領域の読み出し、書き換えを禁止する機能です。

制御コードが“45h”または“52h”(ブートモード ID コードプロテクト有効)の場合は、シリアルプログラマから送られてくる 16 バイトのコードと、ユーザ領域上にある ID コードを比較し、その結果に従って、ユーザ領域とデータ領域の読み出し、書き換えを許可します。

制御コードが“45h”、“52h”以外(ブートモード ID コードプロテクト無効)の場合、ユーザ領域とデータ領域のすべてのブロックを消去し、ユーザ領域とデータ領域の読み出し、書き込みを許可します。

制御コードは、プロテクトの有効もしくは無効を設定します。表 38.11 にブートモード ID コードプロテクトの仕様を、図 38.27 にブートモード ID コードプロテクトの認証フローを示します。

ID コード 1 ～ ID コード 15 は、任意の値が設定できます。

ただし、無条件にシリアルプログラマの接続を禁止する場合は、ID コード 1 ～ ID コード 15 に順に“50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh, FFh”と設定してください。

表 38.11 ブートモード ID コードプロテクトの仕様

IDコード		プロテクト	IDコードの 判定結果	動作
制御コード	IDコード1～ IDコード15			
45h	任意	有効	一致	ブートモードIDコード認証ステートを完了し、プログラム/イ レーズホストコマンド待ちステートに遷移する
			不一致	ブートモードIDコード認証ステートを継続する
			不一致 (3回連続)	ユーザ領域とデータ領域のすべてのブロックを消去し、ブート モードIDコード認証ステートを継続する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8バ イトすべて FFh)	有効	—	シリアルプログラマが送信したコードの値に関係なく、フラッ シュメモリの読み出し、書き換えを許可しない
	上記以外		一致	ブートモードIDコード認証ステートを完了し、プログラム/イ レーズホストコマンド待ちステートに遷移する
			不一致	ブートモードIDコード認証ステートを継続する
上記以外	任意	無効	—	ユーザ領域とデータ領域のすべてのブロックを消去する

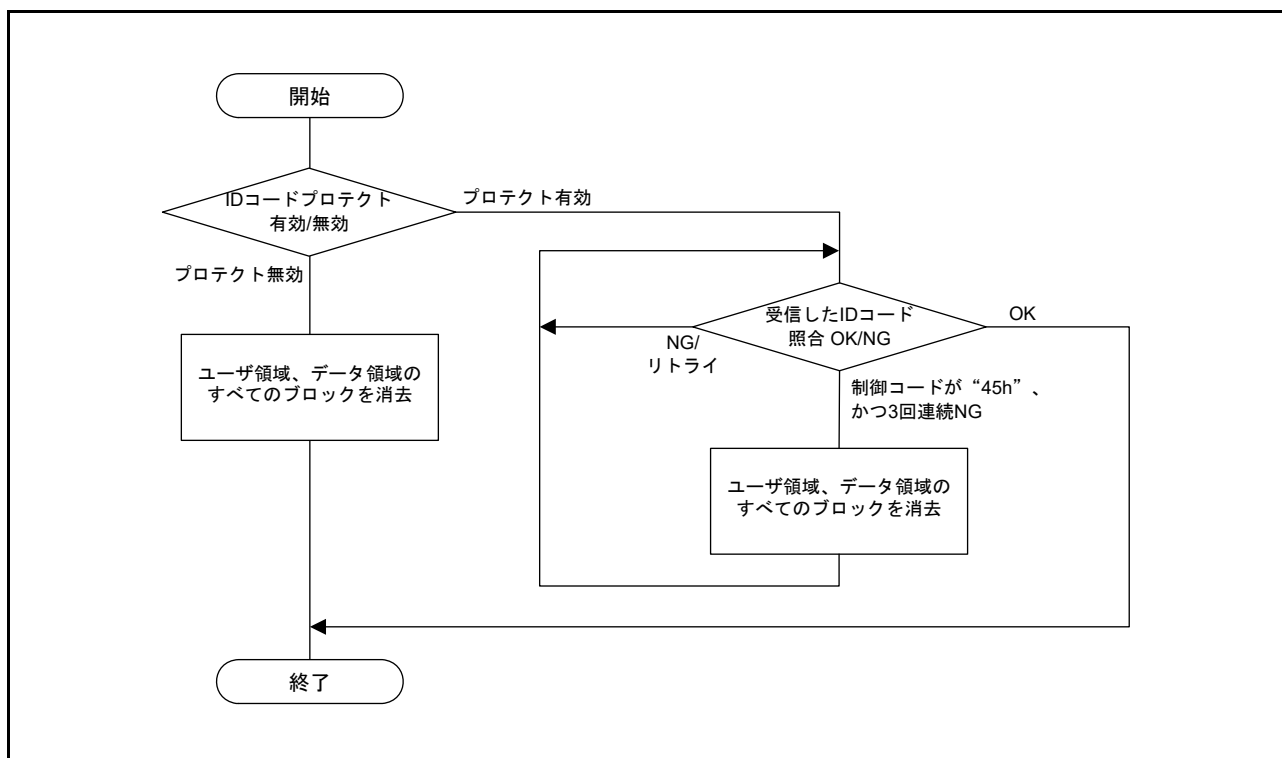


図 38.27 ブートモード ID コードプロテクトの認証フロー

38.9.1.2 オンチップデバ깅エミュレータ ID コードプロテクト

オンチップデバ깅エミュレータ ID コードプロテクトは、オンチップデバ깅エミュレータとの接続を許可 / 禁止する機能です。

オンチップデバ깅エミュレータ ID コードプロテクトが無効の場合もしくは、プロテクトが有効でオンチップデバ깅エミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバ깅エミュレータとの接続を許可します。

オンチップデバ깅エミュレータ ID コードプロテクトの仕様を、表 38.12 に示します。

表 38.12 オンチップデバ깅エミュレータ ID コードプロテクトの仕様

ID コード		プロテクト	ID コードの 判定結果	動作
制御コード	ID コード 1 ~ ID コード 15			
FFh	FFh, ..., FFh (15 バイト すべて FFh)	無効	—	オンチップデバ깅エミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の 8 バイト	有効	—	オンチップデバ깅エミュレータが送信したコードの値に 関係なく、オンチップデバ깅エミュレータの接続を許可 しない
上記以外	上記以外	有効	一致	オンチップデバ깅エミュレータとの接続を許可する
			不一致	ID コード待ちを継続する

38.10 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

38.10.1 ブートモード (SCI インタフェース) の状態遷移

図 38.28 にブートモード (SCI インタフェース) の状態遷移図を示します。

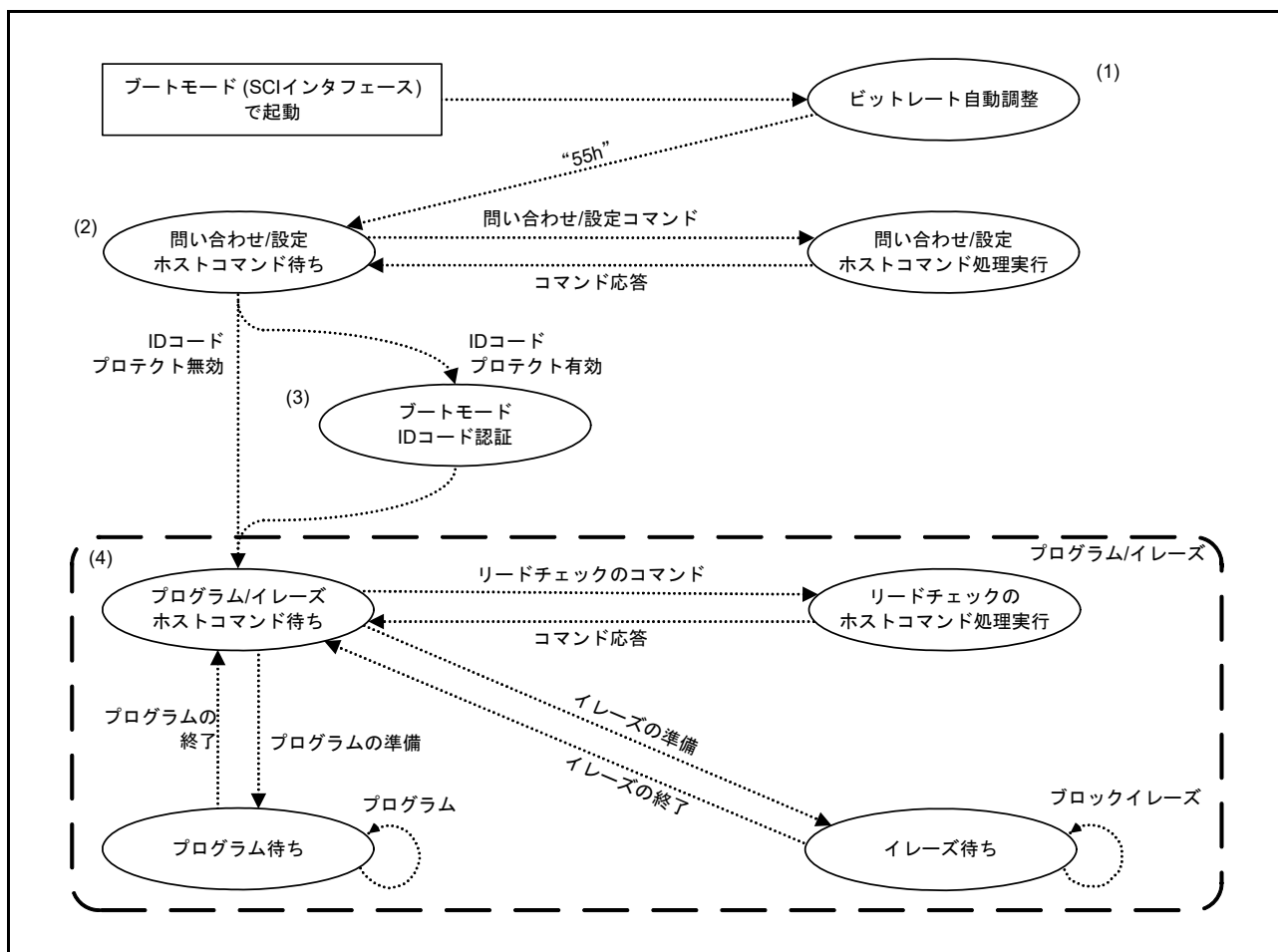


図 38.28 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、本 MCU とホスト間の通信ビットレートを 9,600 bps または 19,200 bps に自動調整します。ビットレート自動調整が終了すると、本 MCU はホストに “00h” を送信します。ホストは “00h” を受け取った後、“55h” を送信してください。“55h” を受信すると、本 MCU はホストに “E6h” を送信し、問い合わせ / 設定ホストコマンド待ちステートに遷移します。なお、ホストは、本 MCU のリセットを解除した後、400 ms 以上経過するまではデータを送信しないでください。

(2) 問い合わせ / 設定ホストコマンド待ちステート

問い合わせ / 設定ホストコマンド待ちステートでは、ブロック構成、ブロックサイズ、ユーザ領域やデータ領域の配置アドレスなど本 MCU の情報問い合わせや、データのエンディアン、ビットレートの選択ができます。本 MCU はホストからプログラム / イレーズホストコマンド待ちステート遷移コマンドを受信すると、ブートモード ID コードプロテクトの有効、無効を判定します。ブートモード ID コー

ドプロテクトが無効の場合、プログラム/イレーズホストコマンド待ちステートに遷移します。ブートモード ID コードプロテクトが有効の場合、ブートモード ID コード認証ステートに遷移します。問い合わせ/設定コマンドに関する詳細は、「38.10.5 問い合わせコマンド」、「38.10.6 設定コマンド」を参照してください。

(3) ブートモード ID コード認証ステート

ブートモード ID コード認証ステートでは、ID コード認証コマンドを受け付けます。ブートモード ID コードが不一致の場合は、ブートモード ID コード認証ステートから他のステートに遷移することはありません。

ブートモード ID コードプロテクトに関する詳細は、「38.9.1.1 ブートモード ID コードプロテクト」を、ID コード認証コマンドに関する詳細は、「38.10.7 ID コード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「38.10.8 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「38.10.9 リードチェックコマンド」を参照してください。

38.10.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本 MCU に送信する“コマンド”と本 MCU からホストに送信する“レスポンス”で構成されています。コマンドには 1 バイトコマンドと複数バイトコマンドがあり、レスポンスには 1 バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(先頭 1 バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドで指定するプログラムアドレス、ブロックイレーズコマンドで指定するブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドで指定する AW 先頭アドレス、AW 最終アドレス、アクセスウィンドウリードコマンドで受信する AW 先頭アドレス、AW 最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。

38.10.3 未定義コマンドに対するレスポンス

本 MCU は未定義のコマンドを受信した場合、コマンドエラーを意味するレスポンスを返します。コマンドエラーのレスポンスの内容は以下のとおりです。エラーレスポンスの返信データには、受信したコマンドのコマンドコードが格納されています。

エラーレスポンス

80h	コマンド コード

38.10.4 ブートモードステータス問い合わせ

ブートプログラムの、現在のステートと直前のコマンドを発行したときにどういうエラーがあったか、確認するコマンドです。

本 MCU が応答するステート、エラーの一覧を、表 38.13、表 38.14 に示します。

ブートモードステータス問い合わせコマンドは、問い合わせ / 設定ホストコマンド待ちステートとプログラム / イレーズホストコマンド待ちステートで使用することができます。

コマンド	4Fh				
レスポンス	5Fh	サイズ	ステート	エラー	SUM
サイズ (1 バイト)	: ステート、エラーのデータの総バイト数 (固定値で “02h”)				
ステート (1 バイト)	: 本 MCU の現在のステート (表 38.13 を参照)				
エラー (1 バイト)	: 直前に発行したコマンドに対するエラー状況 (表 38.14 を参照)				
SUM (1 バイト)	: レスポンスデータを合計して “00h” になる値				

表 38.13 ステートの内容

コード	ステート (注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステート	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズホストコマンド待ちステート遷移コマンド待ち
31h	ブートモードIDコード認証ステート	ユーザ領域、データ領域のイレーズ中
3Fh	プログラム/イレーズホストコマンド待ちステート	プログラム/イレーズコマンド待ち
4Fh		プログラムデータ受信待ち
5Fh		ブロックイレーズ指定待ち

注1. 各ステートについては、図 38.28 に記載しています。図の内容も併せて確認してください。

表 38.14 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロック先頭アドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり (未消去エラー)
53h	プログラムエラー
61h	IDコード不一致
63h	IDコード不一致かつイレーズエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

38.10.5.4 データ領域情報問い合わせ

このコマンドを受信すると、本 MCU はデータ領域の領域数とアドレスの情報を送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1 バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")

領域数 (1 バイト) : データ領域の領域数 (固定値で "01h")

領域先頭アドレス (4 バイト) : データ領域の先頭アドレス (固定値で "0010 0000h")

領域最終アドレス (4 バイト) : データ領域の最終アドレス (固定値で "0010 1FFFh")

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値 (固定値で "7Dh")

38.10.5.5 ブロック情報問い合わせ

このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	データ領域先頭アドレス		
	1ブロックブロックサイズ(データ領域)		
	データ領域ブロック数		
	SUM		

サイズ (2 バイト) : "DDh" からデータ領域ブロック数までのデータの総バイト数 (固定値で "00 19h")

ユーザ領域先頭アドレス (4 バイト) : ユーザ領域の先頭アドレス

1 ブロックブロックサイズ (ユーザ領域) (4 バイト) : 1 ブロックのメモリサイズ (固定値で "00 00 08 00h")

ユーザ領域ブロック数 (4 バイト) : ユーザ領域を構成するブロックの数

データ領域先頭アドレス (4 バイト) : データ領域の先頭アドレス (固定値で "00 10 00 00h")

1 ブロックブロックサイズ (データ領域) (4 バイト) : 1 ブロックのメモリサイズ (固定値で "00 00 04 00h")

データ領域ブロック数 (4 バイト) : データ領域を構成するブロックの数 (固定値で "00 00 00 08h")

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

38.10.6.2 動作周波数選択

MCU の動作周波数、フラッシュメモリプログラムの通信ビットレートを指定するコマンドです。コマンドに指定するビットレートは、動作電圧に応じた 32 MHz か 8 MHz を分周して得られるビットレートとの誤差が 4% 未満となるビットレートを設定してください。

本 MCU は指定された設定内容がサポート可能である場合、レスポンス “06h” を送信します。ビットレート誤差が 4% 以上の場合や、受信したコマンドの SUM 値が一致しなかった場合には、エラーレスポンスを送信します。

ホストはレスポンスを受信した後、旧ビットレートで 1 ビット期間以上待ってから新ビットレートで通信確認データを送信してください。

本 MCU は通信確認データを正しく受信できた場合、レスポンス “06h” を送信します。正しく受信できなかった場合には、エラーレスポンスを送信します。

コマンド	3Fh	サイズ	ビットレート	ダミーデータ
	クロック数	通倍率1	通倍率2	
	SUM			

- サイズ (1 バイト) : ビットレート、ダミーデータ、クロック数、通倍率のデータの総バイト数 (固定値で “07h”)
- ビットレート (2 バイト) : 新ビットレート
ビットレート値を 1/100 した値を設定 (例 : 19200 bps の場合、 “00C0h” を設定)
- ダミーデータ (2 バイト) : 固定値で “0000h” を設定
- クロック数 (1 バイト) : 通倍率を設定するクロックの種類 (固定値 : “02h”)
- 通倍率 1 (1 バイト) : システムクロック (ICLK) の通倍率 (固定値で “01h”)
- 通倍率 2 (1 バイト) : 周辺モジュールクロック (PCLK) の通倍率 (固定値で “01h”)
- SUM (1 バイト) : コマンドデータ (ダミーデータを含む) を合計して “00h” になる値

レスポンス	06h

エラーレスポンス	BFh	エラー

- エラー (1 バイト) : エラーコード
- “11h” : SUM エラー
- “24h” : ビットレート選択エラー

通信確認	06h

レスポンス	06h

エラーレスポンス	FFh

- ビットレート選択エラー

動作周波数選択コマンドで指定したビットレートを、本 MCU が誤差 4% 未満で生成できない場合にビットレート選択エラーが発生します。

動作周波数選択コマンドで指定した新ビットレートを B、動作電圧に応じた 32 (MHz) か 8 (MHz) を Pφ とした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{B \times 16 \times N} - 1 \right) \times 100$$

$$N = \text{INT} \left(\frac{P\phi \times 10^6}{B \times 16} \right)$$

Pφ : 動作電圧が 3.0 V 以上の場合、32 (MHz)

3.0 V 未満の場合、8 (MHz)

B : 新ビットレート (bps)

N : Pφ と新ビットレートの 16 倍との比 (ただし、 $1 \leq N \leq 256$)

38.10.6.3 プログラム / イレーズホストコマンド待ちステート遷移

問い合わせ / 設定ホストコマンド待ちステートからプログラム / イレーズホストコマンド待ちステートに遷移させるために使用するコマンドです。このコマンドを受信すると、本 MCU はブートモード ID コードプロテクトの有効 / 無効を判定します。

ブートモード ID コードプロテクトが無効の場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。すべてのブロックのイレーズが完了するとレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。正しくすべてのブロックをイレーズできなかった場合には、エラーレスポンスを送信します。

ブートモード ID コードプロテクトが有効の場合、レスポンス “16h” を送信し、ブートモード ID コード認証ステートに遷移します。

コマンド

40h

レスポンス

ACK

ACK (1 バイト) : ACK コード

“06h” : ID コードプロテクト無効

“16h” : ID コードプロテクト有効

エラーレスポンス

C0h

エラー

エラー (1 バイト) : エラーコード

“51h” : イレーズエラー

38.10.7 ID コード認証コマンド

ID コード認証コマンドは、ブートモード ID コードプロテクトが有効の場合に、ID コード認証を行うためのコマンドです。表 38.17 に ID コード認証コマンドの一覧を示します。一覧にあるコマンドは、ブートモード ID コード認証ステートでのみ使用できます。

表 38.17 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ホストから送信する16バイトのコードとIDコードとを比較する

38.10.7.1 ID コードチェック

ブートモード ID コードプロテクトを解除するために使用するコマンドです。コマンド中で指定する比較用 ID コードは、ユーザ領域にプログラム済みの制御コード、ID コード 1 ～ ID コード 15 と同じ値にしてください。

ホストから送信した比較用 ID コードと、ユーザ領域にプログラムされた ID コードが一致した場合、本 MCU はレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。一致しなかった場合や受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

制御コードに “45h” がプログラムされているときに 3 回連続で不一致となった場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。イレーズ中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。また、すべてのブロックのイレーズが正常に完了してもエラーレスポンスを送信し、ブートモード ID コード認証ステートを継続します。プログラム / イレーズホストコマンド待ちステートに遷移するには、本 MCU をリセットしてください。

コマンド	60h	サイズ
	比較用IDコード(制御コード + IDコード1～IDコード15)	
	SUM	

サイズ (1 バイト) : ID コードのバイト数 (固定値で “10h”)
ID コード (16 バイト) : 制御コード (1 バイト) + ID コード 1 ～ ID コード 15 (15 バイト)
SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	ACK
ACK (1 バイト)	: ACK コード “06h” : プログラム / イレーズホストコマンド待ちステートに遷移します

エラーレスポンス	E0h	エラー
エラー (1 バイト)	: エラーコード “11h” : SUM エラー “61h” : ID コード不一致 “63h” : ID コード不一致かつイレーズエラー	

38.10.8 プログラム / イレーズコマンド

プログラム / イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本 MCU のユーザ領域やデータ領域に対してプログラムやイレーズを行うコマンドです。表 38.18 にプログラム / イレーズホストコマンド待ち、プログラム待ち、イレーズ待ちの各状態で使用可能なプログラム / イレーズコマンドの一覧を、表 38.19 に各状態で受け付けるコマンドを示します。

各状態で表 38.19 に記載されていないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表 38.18 プログラム / イレーズコマンド一覧

コマンド	機能
ユーザ / データ領域プログラム準備	ユーザ領域、データ領域にデータをプログラムするためのプログラム待ち状態に遷移
プログラム	ユーザ領域またはデータ領域の指定領域に指定したデータをプログラム。 またはプログラム / イレーズホストコマンド待ち状態に遷移 (プログラムの終了)
データ領域プログラム	データ領域の指定領域に指定したサイズのデータをプログラム。 またはプログラム / イレーズホストコマンド待ち状態に遷移 (データ領域プログラムの終了)
イレーズ準備	イレーズ待ち状態に遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラム / イレーズホストコマンド待ち状態に遷移 (イレーズの終了)

表 38.19 ステート毎の受け付け可能なコマンド

ステート	受け付け可能なコマンド
プログラム / イレーズホストコマンド待ち状態	ユーザ / データ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ち状態	プログラムコマンド、データ領域プログラムコマンド
イレーズ待ち状態	ブロックイレーズコマンド

38.10.8.1 ユーザ / データ領域プログラム準備

プログラムコマンドとデータ領域プログラムコマンドの受け付け準備をさせるためのコマンドです。

このコマンドを受信すると、本 MCU はプログラムの準備の指示がホストから行われたと判断し、プログラムコマンドとデータ領域プログラムコマンドのみ受け付ける、プログラム待ち状態に遷移し、レスポンス “06h” を送信します。

コマンド	43h
レスポンス	06h

38.10.8.2 プログラム

ユーザ領域、データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 8 ビットを“0”にしてください。プログラムデータ長が 256 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“50h FFh FFh FFh FFh B4h”を送信してください。本 MCU はレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

プログラムアドレス (4 バイト) : プログラム先のアドレス

下位 8 ビットを“0”に設定

プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ (n バイト) : プログラムデータ (n = 256 または 0 (終了時))

n バイトに満たない領域には“FFh”を設定

プログラムを終了する場合はプログラムデータなし

SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D0h

エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (アドレスが指定の領域内にない)

“53h” : プログラムエラー (データが書き込めない)

38.10.8.3 データ領域プログラム

データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 2 ビットを“0”にしてください。プログラムデータ長が 4 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“51h FFh FFh FFh FFh 00h B3h”を送信してください。本 MCU はレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。

コマンド	51h	プログラムアドレス	プログラムデータ長
	プログラムデータ		
	SUM		

プログラムアドレス (4 バイト) : データ領域のプログラム先アドレス

指定するアドレスの下位 2 ビットは“0”に設定

データ領域プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ長 (1 バイト) : プログラムデータのサイズ

4 バイト単位のデータを設定

データ領域プログラムを終了する場合は“00h”を設定

プログラムデータ (n バイト) : データ領域へのプログラムデータ (n = プログラムデータ長、“0” (終了時))

プログラムデータ長分のデータを設定

n バイトに満たない領域には“FFh”を設定

データ領域プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D1h

エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー

“2Bh” : データ長エラー

“53h” : プログラムエラー (データが書き込めない)

38.10.8.4 イレーズ準備

ブロックイレーズコマンドの受け付け準備をさせるためのコマンドです。

このコマンドを受信すると、本 MCU はイレーズの準備の指示がホストから行われたと判断し、ブロックイレーズコマンドのみを受け付けるイレーズ待ち状態に遷移し、レスポンス “06h” を送信します。

コマンド	48h
レスポンス	06h

38.10.8.5 ブロックイレーズ

ユーザ領域、データ領域の指定のブロックを消去するためのコマンドです。

コマンド中で指定するブロック先頭アドレスは、ブロック情報問い合わせコマンドのレスポンスを元にアドレスを計算して指定してください。

本 MCU はブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンス “06h” を送信します。受信したコマンドの SUM 値が一致しなかった場合や、イレーズ中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ち状態に遷移する場合、ホストから “59h 04h FFh FFh FFh FFh A7h” を送信してください。本 MCU はプログラム/イレーズホストコマンド待ち状態に遷移し、レスポンス “06h” を送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1 バイト) : ブロック先頭アドレスのデータの総バイト数 (固定値で “04h”)

ブロック先頭アドレス (4 バイト) : イレーズするブロックの先頭アドレス
イレーズを終了する場合には “FFFF FFFFh” を設定

SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	06h

エラーレスポンス	D9h	エラー

エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “29h” : ブロック先頭アドレスエラー
 “51h” : イレーズエラー (指定ブロックがイレーズできない)

38.10.9 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本 MCU のユーザ領域やデータ領域に対してデータリードやブランクチェックを行うコマンドです。表 38.20 にプログラム / イレーズホストコマンド待ち状態で使用可能なリードチェックコマンドの一覧を示します。

表 38.20 リードチェックコマンド一覧

コマンド	機能
メモリリード	ユーザ領域、データ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域全体のチェックサムを取得
データ領域チェックサム	データ領域全体のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域のプログラム済みデータの有無をチェック
データ領域ブランクチェック	データ領域のプログラム済みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

38.10.9.1 メモリリード

ユーザ領域、データ領域にプログラムされているデータを読み出すコマンドです。

コマンド中で指定する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲内の値を設定してください。

コマンド中で指定する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

本 MCU はデータを正常にリードできた場合、指定された範囲のデータを送信します。受信したコマンドの SUM 値が一致しなかった場合や、リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

- サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数
- 領域 (1 バイト) : 読み出し対象の領域
"01h" : ユーザ領域またはデータ領域
- 読み出し先頭アドレス (4 バイト) : 読み出し対象範囲の先頭アドレス
- 読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)
- SUM (1 バイト) : コマンドデータを合計して "00h" になる値

レスポンス	52h	読み出しサイズ
	読み出しデータ	
	SUM	

読み出しサイズ (4 バイト) : 読み出したデータのサイズ (バイト単位)

読み出しデータ (n バイト) : 指定範囲から読み出したデータ (n = 読み出しサイズ)

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

エラーレスポンス	D2h	エラー

エラー (1 バイト) : エラーコード

"11h" : SUM エラー

"2Ah" : アドレスエラー

- ・ コマンドの「領域」に "01h" 以外を指定した
- ・ コマンドの読み出し先頭アドレスが読み出し対象領域の範囲外である

"2Bh" : サイズエラー

- ・ コマンドの読み出しサイズに "0000 0000h" が指定されている
- ・ コマンドの読み出しサイズが読み出し対象領域のサイズを超えている
- ・ コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが読み出し対象領域の範囲外である

38.10.9.2 ユーザ領域チェックサム

ユーザ領域全体のチェックサムを取得するコマンドです。

このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。

コマンド	4Bh

レスポンス	5Bh	サイズ
	ユーザ領域チェックサム	
	SUM	

サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で "04h")

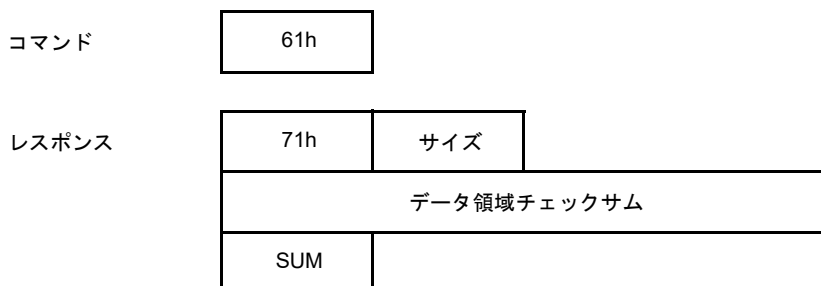
ユーザ領域チェックサム (4 バイト) : ユーザ領域のデータを 1 バイト単位で加算した結果

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

38.10.9.3 データ領域チェックサム

データ領域全体のチェックサムを取得するコマンドです。

このコマンドを受信すると、本 MCU はデータ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。



サイズ (1 バイト) : データ領域チェックサムのバイト数 (固定値で “04h”)

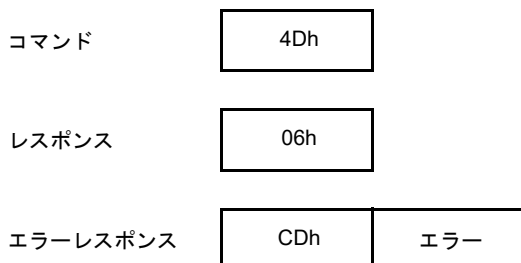
データ領域チェックサム (4 バイト) : データ領域のデータを 1 バイト単位で加算した結果

SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

38.10.9.4 ユーザ領域ブランクチェック

ユーザ領域にデータがプログラムされているかどうかを確認するコマンドです。

このコマンドを受信すると、本 MCU はユーザ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス “06h” を送信します。1 バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。



エラー (1 バイト) : エラーコード

“52h” : データあり

38.10.9.5 データ領域ブランクチェック

データ領域にデータがプログラムされているかどうかを確認するコマンドです。
このコマンドを受信すると、本 MCU はデータ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス “06h” を送信します。1 バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。

コマンド	62h
レスポンス	06h
エラーレスポンス	E2h エラー
エラー (1 バイト) : エラーコード “52h” : データあり	

38.10.9.6 アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するコマンドです。
コマンド中で指定するアクセスウィンドウ先頭アドレスには、スタートブロックの先頭アドレスを指定してください。また、アクセスウィンドウ最終アドレスには、エンドブロックの最終アドレスを指定してください。
本 MCU は指定されたアクセスウィンドウの設定が正常に終了すると、レスポンス “06h” を送信します。受信したコマンドの SUM 値が一致しなかった場合や、アクセスウィンドウの設定中にエラーが発生すると、エラーレスポンスを送信します。
アクセスウィンドウの詳細については、「38.6 エリアプロテクション」を参照してください。

コマンド	74h	05h	AW 区分	
	AW 先頭 アドレス LH	AW 先頭 アドレス HL	AW 最終 アドレス LH	AW 最終 アドレス HL
	SUM			

AW 区分 (1 バイト)	: アクセスウィンドウの設定 / 解除 アクセスウィンドウを設定する場合には “00h” を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 先頭アドレス LH (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8) スタートブロック先頭アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 先頭アドレス HL (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16) スタートブロック先頭アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 最終アドレス LH (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A15 ~ A8) エンドブロック最終アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 最終アドレス HL (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A23 ~ A16) エンドブロック最終アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
SUM (1 バイト)	: コマンドデータを合計して “00h” になる値

レスポンス

06h

エラーレスポンス

F4h

エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (指定されたアドレスが領域内にない)

“53h” : プログラムエラー (アクセスウィンドウの設定ができない)

38.10.9.7 アクセスウィンドウリード

設定されているアクセスウィンドウの範囲を確認するためのコマンドです。

本 MCU はアクセスウィンドウの範囲を正常に取得できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

コマンド

73h

01h

FFh

8Dh

レスポンス

73h

05h

AW 先頭
アドレス LHAW 先頭
アドレス HLAW 最終
アドレス LHAW 最終
アドレス HL

FFh

SUM

AW 先頭アドレス LH (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)

AW 先頭アドレス HL (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)

AW 最終アドレス LH (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)

AW 最終アドレス HL (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)

SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス

F3h

エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

38.11 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマで、ユーザ領域、データ領域のプログラム / イレーズを行う手順を説明します。

1. ビットレート自動調整
2. MCU の情報取得 (注1)
3. デバイスの指定、ビットレートの変更
4. プログラム / イレーズホストコマンド待ちステートへの遷移
5. ブートモード ID コードプロテクトの解除
6. ユーザ領域、データ領域のイレーズ (注2、注3)
7. ユーザ領域、データ領域のプログラム (注2、注3)
8. ユーザ領域のデータ確認 (注2)
9. データ領域のデータ確認 (注2)
10. ユーザ領域のアクセスウィンドウ設定 (注2)
11. MCU のリセット

注 1. 2 の処理は、取得する情報がすでにある場合、省略できます。

注 2. 6 ~ 10 の処理は、必要に応じて行ってください。また実行順を入れ替えても構いません。

注 3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、11 の処理を行ってください。

上記 2 ~ 10 の処理で使用するコマンドの詳細は、「38.10.5 問い合わせコマンド」、「38.10.6 設定コマンド」、「38.10.7 ID コード認証コマンド」、「38.10.8 プログラム / イレーズコマンド」、「38.10.9 リードチェックコマンド」を参照してください。

38.11.1 ビットレート自動調整

MCU はシリアルプログラマから 9,600 bps または 19,200 bps で送信されるデータ “00h” の Low 期間を測定してビットレートの自動調整を行います。

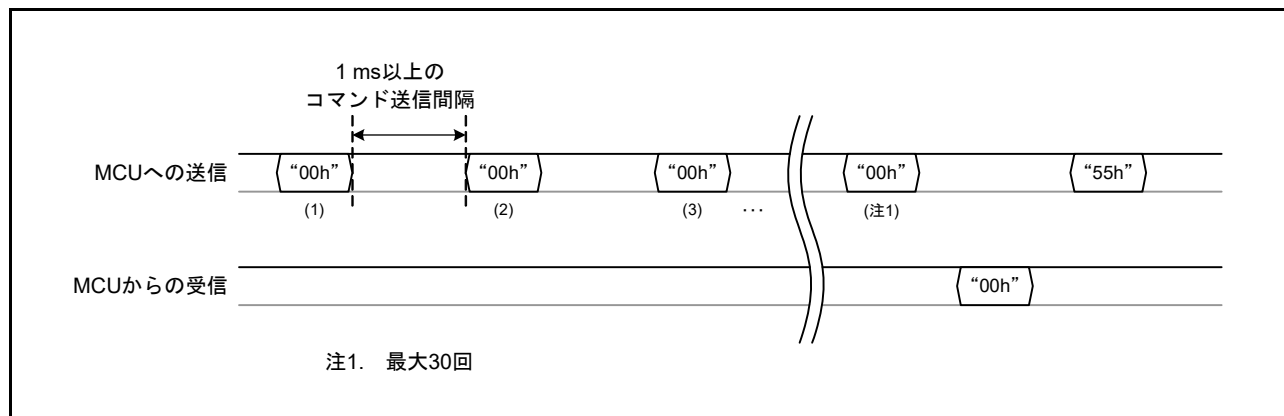


図 38.29 ビットレート自動調整時のデータフォーマット

ブートモードで起動して 400 ms 以上経過した後にシリアルプログラマから “00h” を送信してください。MCU はビットレート調整が終了すると “00h” をシリアルプログラマへ送信します。シリアルプログラマが “00h” を受信した場合には、シリアルプログラマから “55h” を送信してください。“00h” を受信できなかった場合は、1 ms 以上置いて再度 “00h” を送信してください。30 回 “00h” を送信しても “00h” を受信できなかった場合は、MCU をブートモードで再起動し、再度ビットレート自動調整をやり直してください。

MCU は “55h” を受信すると “E6h” を送信して問い合わせ / 設定コマンド待ち状態になります。“55h” を受信できなかった場合には “FFh” を送信します。シリアルプログラマは “FFh” を受信したら、MCU をブートモードで再起動し、再度ビットレート自動調整からやり直してください。

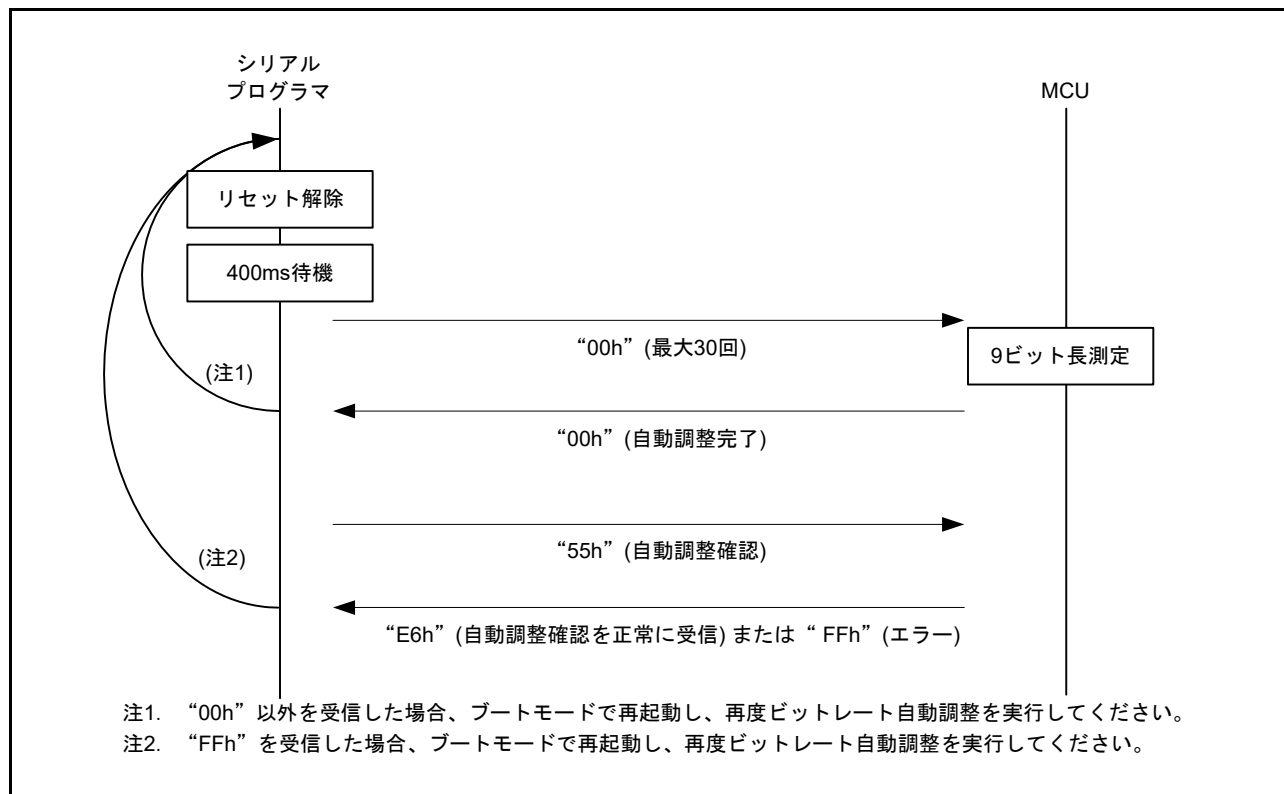


図 38.30 ビットレート自動調整の手順

38.11.2 MCU の情報取得

問い合わせコマンドを送信し、設定コマンド、プログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な情報を取得します。

- (1) MCU がどのエンディアンをサポートしているのかを確認するため、サポートデバイス問い合わせコマンド “20h” を送信します。MCU はサポートしているすべてのデバイスコードとシリーズ名を応答します。
- (2) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド “25h” を送信します。MCU はユーザ領域の先頭アドレスと最終アドレスを応答します。
- (3) ブロックの構成を確認するため、ブロック情報問い合わせコマンド “26h” を送信します。MCU はユーザ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数を応答します。
- (4) データ領域の先頭アドレスと最終アドレスを確認するため、データ領域情報問い合わせコマンド “2Bh” を送信します。MCU はデータ領域の先頭アドレスと最終アドレスを応答します。

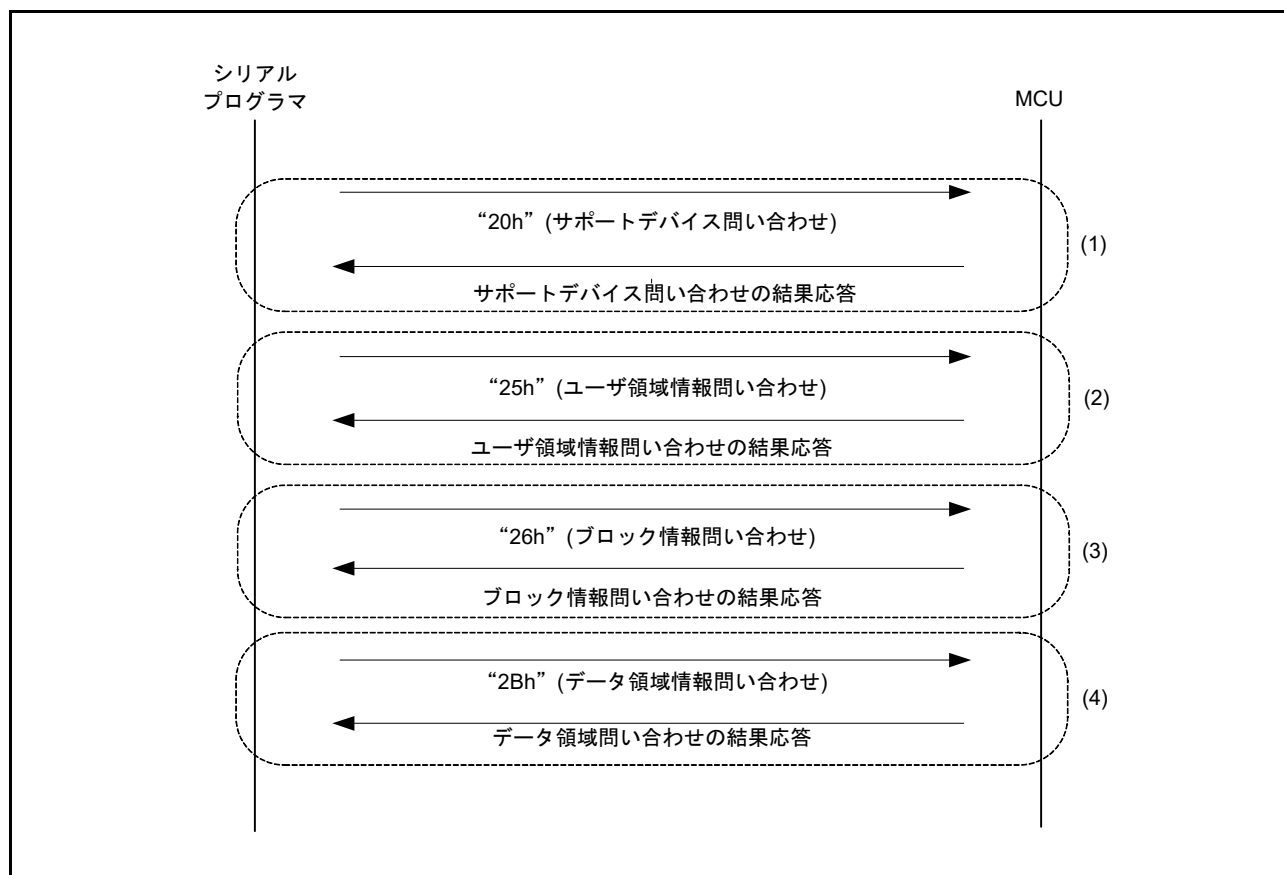


図 38.31 MCU の情報取得手順

38.11.3 デバイスの指定、ビットレートの変更

シリアルプログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) デバイス選択コマンド“10h”を送信します。開発したソフトウェアのエンディアンに合わせて、デバイスコードを指定してください。
- (2) 通信ビットレートを 9,600 bps または 19,200 bps から変更するため、動作周波数選択コマンド“3Fh”を送信します。

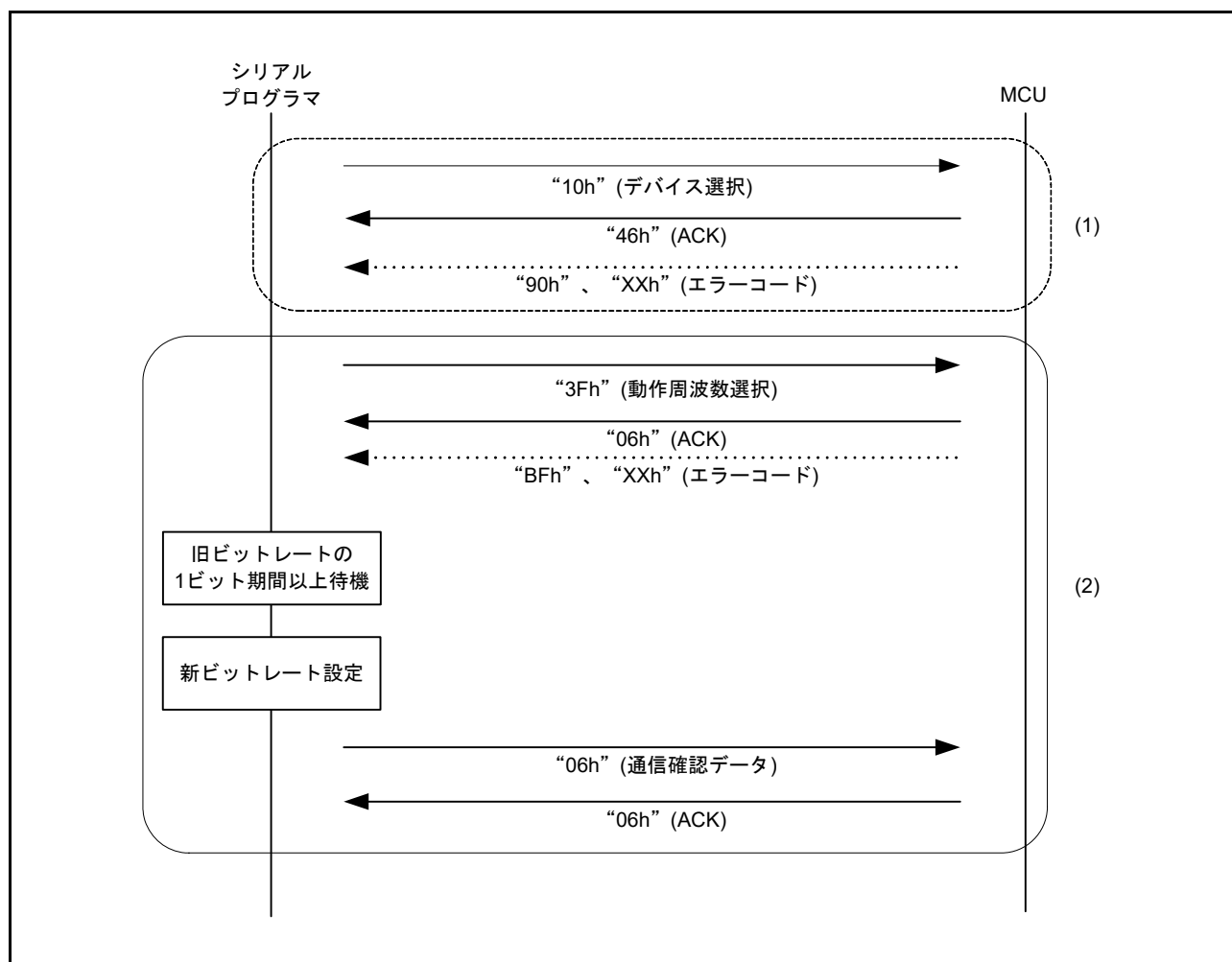


図 38.32 デバイス指定、ビットレート変更の手順

38.11.4 プログラム / イレーズホストコマンド待ち状態への遷移

プログラム / イレーズを行うため、プログラム / イレーズホストコマンド待ち状態遷移コマンドを送信します。MCU はブートモード ID コードプロテクトの有効 / 無効に応じてレスポンスを送信します。

- (1) ブートモード ID コードプロテクトが無効の場合、MCU はレスポンス “06h” を応答し、プログラム / イレーズホストコマンド待ち状態に遷移します。シリアルプログラマは「38.11.6 ユーザ領域、データ領域のイレーズ」から実行してください。
- (2) ブートモード ID コードプロテクトが有効の場合、MCU はレスポンス “16h” を応答し、ID コード認証状態に遷移します。シリアルプログラマは「38.11.5 ブートモード ID コードプロテクトの解除」から実行してください。

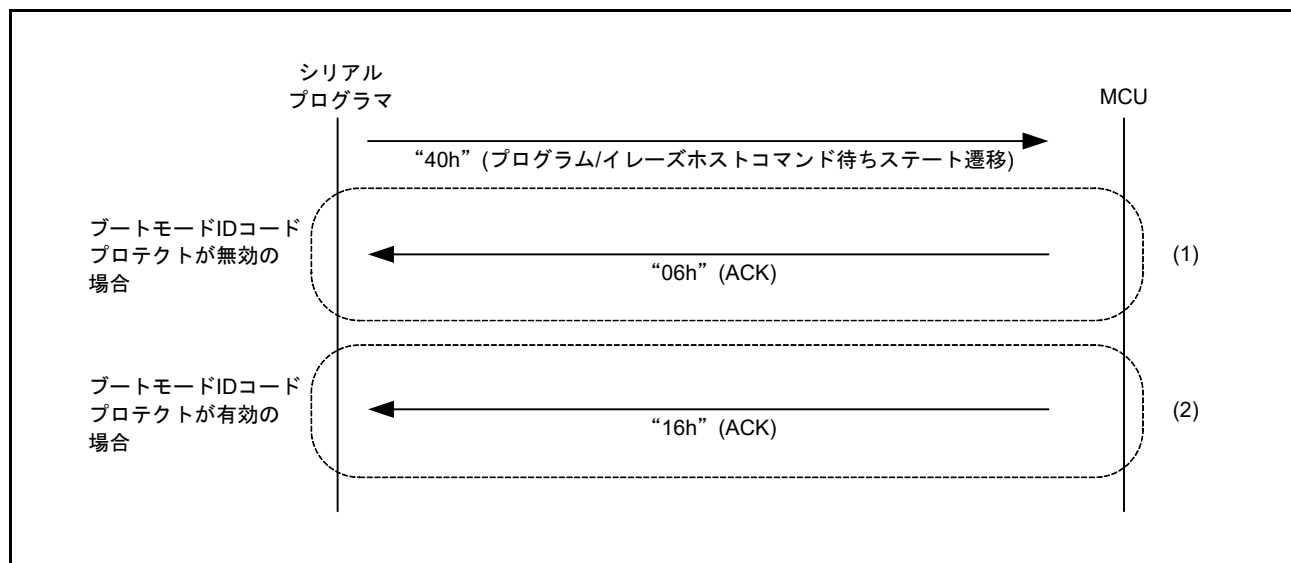


図 38.33 プログラム / イレーズホストコマンド待ち状態への遷移手順

38.11.5 ブートモード ID コードプロテクトの解除

ブートモード ID コードプロテクトを解除するため、ID コードチェックコマンドを送信します。

- (1) ID コードが一致した場合、MCU はプログラム / イレーズホストコマンド待ちステートに遷移します。
このとき、ユーザ領域、データ領域のデータは消去されません。シリアルプログラマは「38.11.6 ユーザ領域、データ領域のイレーズ」から実行してください。
- (2) ID コードが不一致の場合、MCU はブートモード ID コード認証ステートから遷移しません。シリアルプログラマは MCU をリセット後「38.11.1 ビットレート自動調整」から再実行してください。

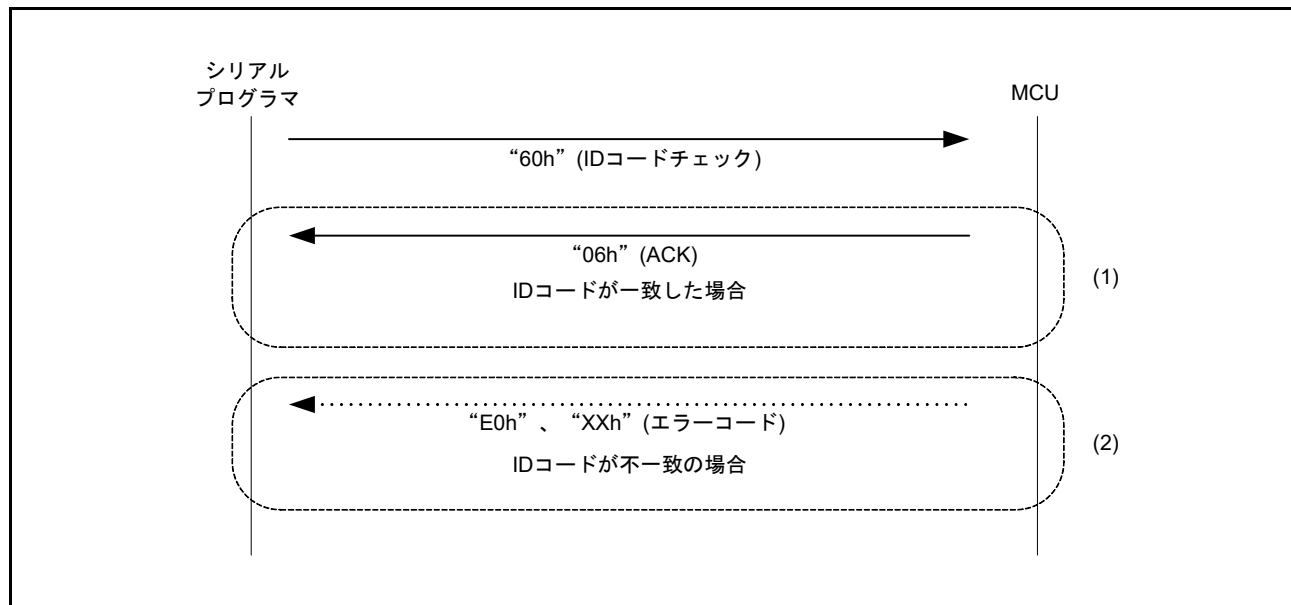


図 38.34 ブートモード ID コードプロテクトの解除手順

38.11.6 ユーザ領域、データ領域のイレース

ユーザプログラムやデータを書き込むために、ユーザ領域、データ領域を消去します。

- (1) イレース準備コマンド“48h”を送信します。
- (2) ブロックイレースコマンド“59h”を送信します。
- (3) プログラム/イレースホストコマンド待ちステートに遷移するため、イレースを終了するブロックイレースコマンド“59h 04h FFh FFh FFh FFh A7h”を送信します。

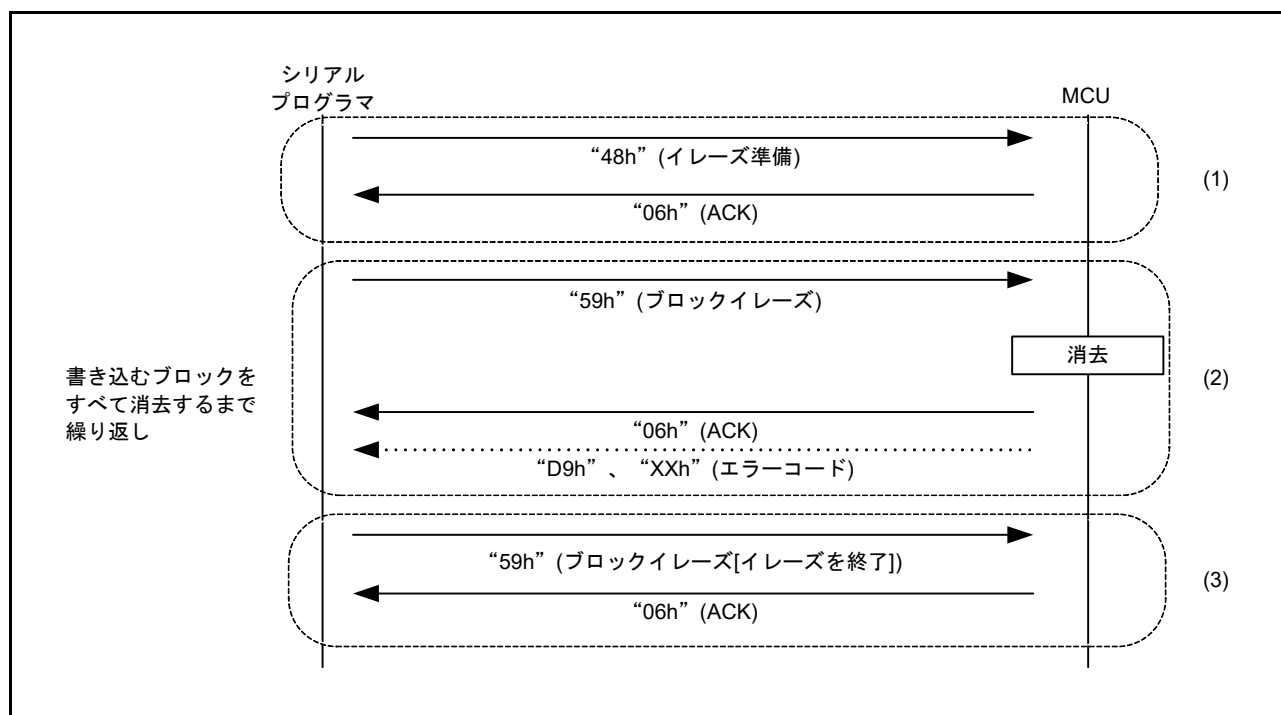


図 38.35 ユーザ領域、データ領域のイレース手順

38.11.7 ユーザ領域、データ領域のプログラム

ユーザ領域、データ領域にユーザプログラムやデータを書き込みます。

- (1) ユーザ/データ領域プログラム準備コマンド“43h”を送信します。
- (2) プログラムコマンド“50h”またはデータ領域プログラムコマンド“51h”を送信します。
- (3) プログラム/イレーズホストコマンド待ちステートに遷移するため、プログラムを終了するプログラムコマンド“50h FFh FFh FFh FFh B4h”またはデータ領域プログラムコマンド“51h FFh FFh FFh FFh 00h B3h”を送信します。

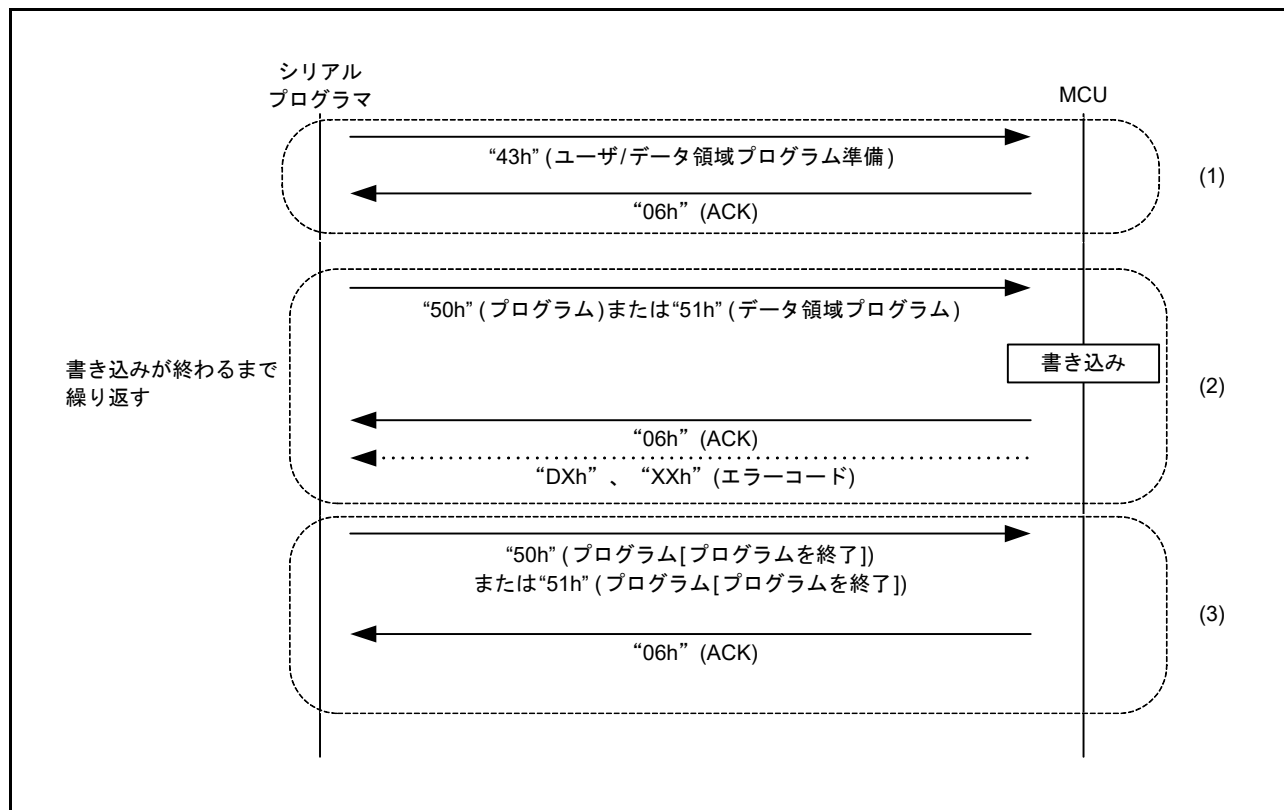


図 38.36 ユーザ領域、データ領域のプログラム手順

38.11.8 ユーザ領域のデータ確認

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド“4Bh”を送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド“4Dh”を送信します。

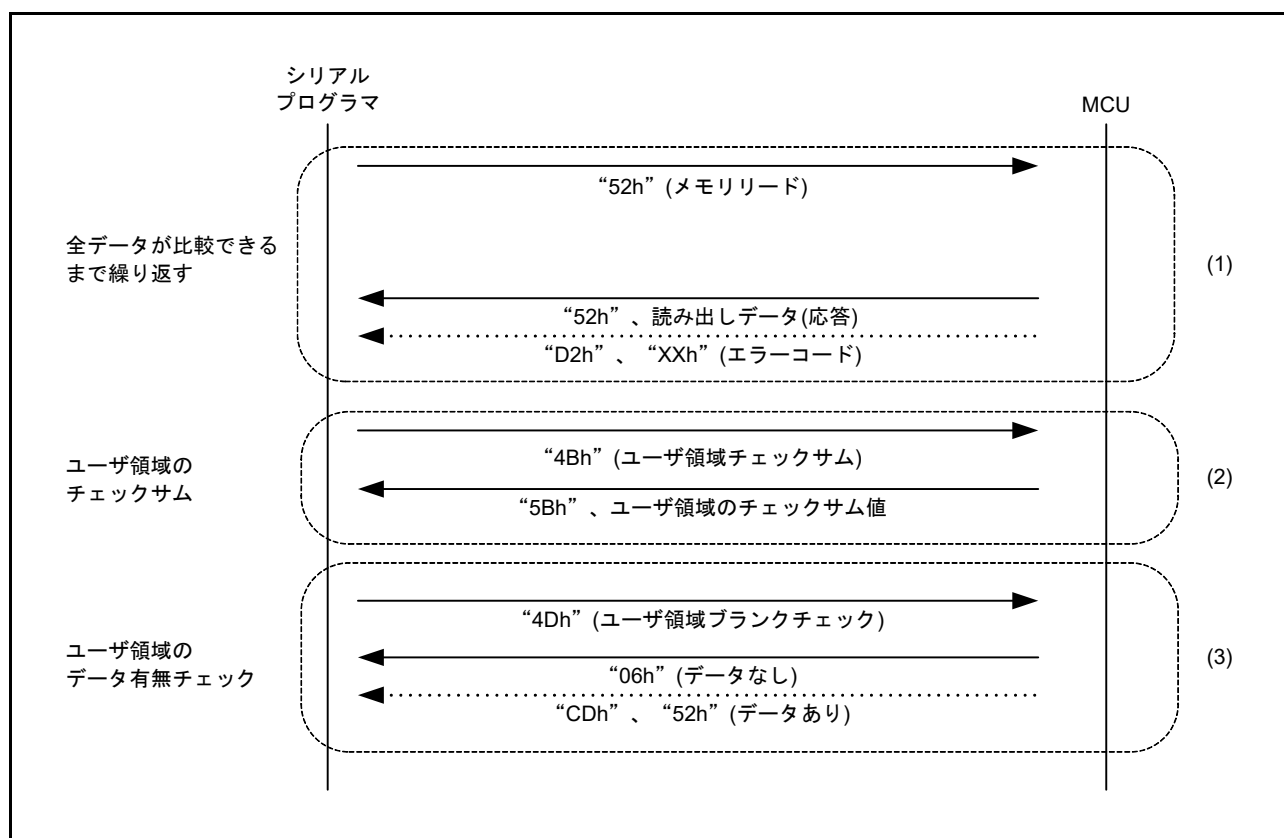


図 38.37 ユーザ領域のデータ確認手順

38.11.9 データ領域のデータ確認

データ領域に書き込まれたデータを確認するため、データ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、データ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。データ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) データ領域のチェックサム値でプログラムデータを確認するため、データ領域チェックサムコマンド“61h”を送信します。
- (3) データ領域にデータがあるかないかを確認するため、データ領域ブランクチェックコマンド“62h”を送信します。

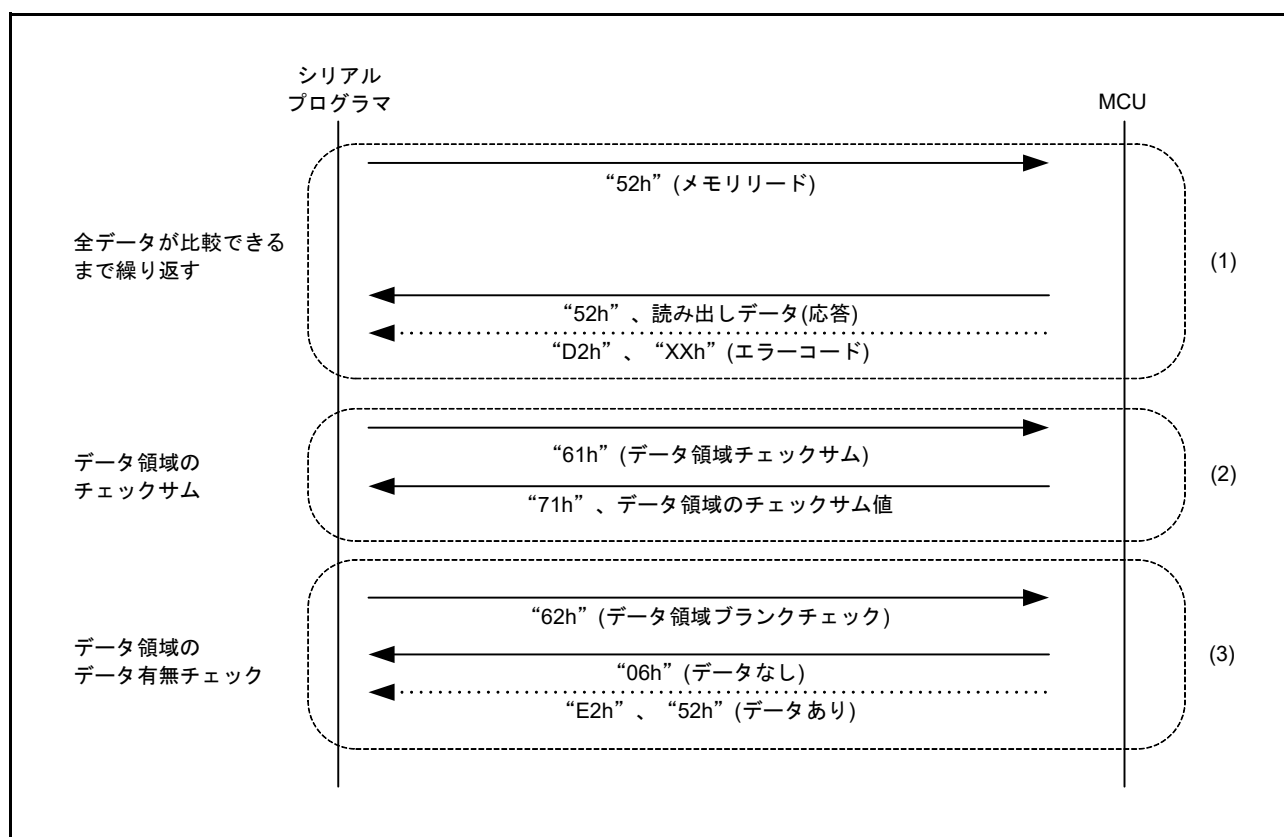


図 38.38 データ領域のデータ確認手順

38.11.10 ユーザ領域のアクセスウィンドウ設定

セルフプログラミングで、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定を行うため、アクセスウィンドウ情報プログラムコマンド“74h”を送信します。
- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド“73h”を送信します。

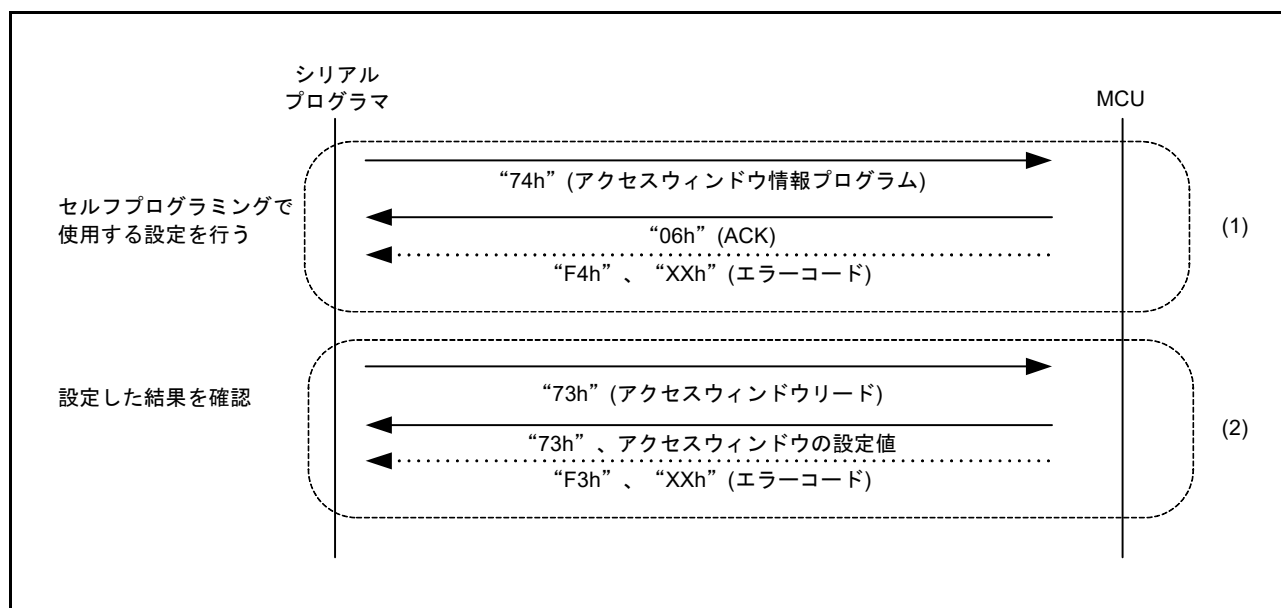


図 38.39 ユーザ領域のアクセスウィンドウ設定手順

38.12 セルフプログラミングでの書き換え

38.12.1 概要

本 MCU は、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROM と E2 データフラッシュを書き換えることができます。

E2 データフラッシュは、BGO 機能を利用して ROM 上でフラッシュ書き換えルーチンを実行して、書き換えることができます。また、あらかじめ内蔵 RAM に転送したフラッシュ書き換えルーチンを実行して、E2 データフラッシュを書き換えることもできます。

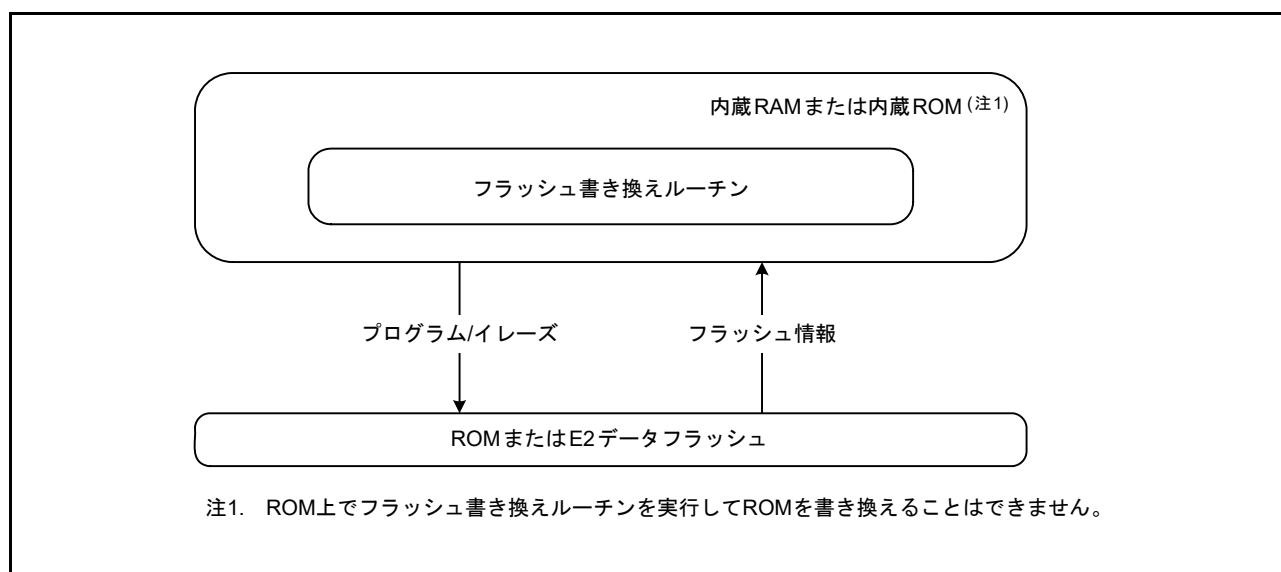


図 38.40 セルフプログラミングの概念

38.13 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止
同一アドレスに 2 回以上のプログラムを行うことはできません。プログラム済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット
プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「39. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。
プログラム/イレーズ中の IWDG リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中の割り込みベクタ、例外ベクタの配置
プログラム/イレーズ中に割り込みや例外が発生すると、ROM からのベクタフェッチが発生する場合があります。ROM からのベクタフェッチを回避するには、CPU の INTB レジスタおよび EXTB レジスタにより、割り込みベクタテーブル、例外ベクタテーブルを ROM 以外に配置してください。
- (6) プログラム/イレーズ中の異常終了
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項 (7) の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (7) プログラム/イレーズ中の禁止事項
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
 - ・本 MCU の電源を動作電圧範囲外にする。
 - ・OPCCR.OPCM[2:0] ビットの値を更新する。
 - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
 - ・FlashIF クロック (FCLK) の分周比を変更する。
 - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。
 - ・ROM のプログラム/イレーズ中に E2 データフラッシュへアクセスする。
 - ・E2 データフラッシュのプログラム/イレーズ中に DFLCTL.DFLEN ビットの値を変更する。
- (8) プログラム/イレーズ時の FCLK について
セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[4:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合に、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合は、1 MHz、2 MHz、3 MHz または 4 MHz 以外の周波数は使用できません。

38.14 使用上の注意事項 (ブートモード)

- (1) ブートモードで通信異常が発生した場合に関する注意事項
本 MCU と正常な通信ができなくなった場合、本 MCU をリセットして、再度ブートモードで起動させてください。
- (2) ブートモード (SCI インタフェース) での電源電圧に関する注意事項
500 kbps を超える通信ビットレートを使用する際は、3.0 V 以上で動作させてください。
- (3) ブートモードでのオプション設定メモリに関する注意事項
ブートモードではオプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ 1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。
- (4) スタートアップ領域の切り替えに関する注意事項
スタートアップ領域の切り替えは、セルフプログラミングで実施してください。

39. 電気的特性

39.1 絶対最大定格

表 39.1 絶対最大定格

条件 : VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	P16, P17 (5V トレラント)	V_{in}	-0.3 ~ +6.5	V
	上記以外		-0.3 ~ VCC + 0.3	
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧		V_{AN}	-0.3 ~ AVCC0 + 0.3	V
24ビット Δ - Σ A/Dコンバータ基準電圧		REF0P, REF1P	-0.3 ~ AVCC0 + 0.3	V
		REF0N, REF1N	-0.3 ~ AVCC0 + 0.3	
ジャンクション温度	Dバージョン	T_j	-40 ~ +105	°C
	Gバージョン		-40 ~ +112	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

ノイズによる誤動作を防止するため、各 VCC 端子と VSS 端子間、AVCC0 端子と AVSS0 間、VREFH0 端子と VREFL0 間には周波数特性の良いコンデンサを挿入してください。コンデンサは 0.1 μ F 程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL 端子は、4.7 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子の近くに配置してください。詳細は「39.12.1 VCL コンデンサ、バイパスコンデンサ接続方法」を参照してください。

MCU の電源が OFF のときに、5V トレラントポート以外のポートに入力信号を入れないでください。入力信号からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5V トレラントポートには -0.3 ~ +6.5V の電圧を入力しても MCU 破壊などの問題は発生しません。

39.2 推奨動作条件

表 39.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC (注1、注2)	1.8	—	5.5	V
		VSS	—	0	—	
アナログ電源電圧		AVCC0 (注1、注2)	1.8	—	5.5	V
		AVSS0	—	0	—	
		VREFH0	1.8	—	AVCC0	
		VREFL0	—	0	—	
入力電圧	5Vトレラント対応ポート： P16, P17	V_{in}	-0.3	—	5.8	V
	AIN0～IN11, REF0N, REF0P, REF1N, REF1P		-0.3	—	AVCC0 + 0.3	
	上記以外		-0.3	—	VCC + 0.3	
動作温度	Dバージョン	T_{opr}	-40	—	85	°C
	Gバージョン		-40	—	105	

注1. AVCC0とVCCは次の条件で使用してください。

VCC > 2.4Vのとき：AVCC0 $\geq$ 2.4Vの場合にAVCC0はVCCと独立して設定可能

VCC $\leq$ 2.4Vのとき：AVCC0 $\geq$ VCCの場合にAVCC0はVCCと独立して設定可能

注2. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

表 39.3 推奨動作条件(2)

項目	記号	規格値
VCL端子外付け容量	C_{VCL}	4.7 μ F $\pm$ 30% (注1)

注1. 静電容量の公称値が4.7 μ F、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が $\pm$ 30%以内の積層セラミックコンデンサを使用してください。

39.3 DC 特性

表 39.4 DC 特性(1)

条件: $2.7V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$0.7 \times VCC$	—	5.8	V	
	P16, P17 (5Vトレラント)		$0.8 \times VCC$	—	5.8		
	P14, P15, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#		$0.8 \times VCC$	—	$VCC + 0.3$		
	RIIC入力端子(SMBusを除く)	V_{IL}	-0.3	—	$0.3 \times VCC$		
	RIIC入力端子以外		-0.3	—	$0.2 \times VCC$		
シュミット トリガ入力 ヒステリシス	RIIC入力端子(SMBusを除く)	ΔV_T	$0.05 \times VCC$	—	—		
	P16, P17		$0.05 \times VCC$	—	—		
	RIIC入力端子以外		$0.1 \times VCC$	—	—		
Highレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IH}	$0.9 \times VCC$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$0.8 \times VCC$	—	$VCC + 0.3$		
	RIIC入力端子(SMBus)		2.1	—	$VCC + 0.3$		
Lowレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IL}	-0.3	—	$0.1 \times VCC$		
	EXTAL (外部クロック入力)		-0.3	—	$0.2 \times VCC$		
	RIIC入力端子(SMBus)		-0.3	—	0.8		

表 39.5 DC 特性(2)

条件: $1.8V \leq VCC < 2.7V$, $1.8V \leq AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P16, P17 (5Vトレラント)	V_{IH}	$0.8 \times VCC$	—	5.8	V	
	P14, P15, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#		$0.8 \times VCC$	—	$VCC + 0.3$		
	P14~P17, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#	V_{IL}	-0.3	—	$0.2 \times VCC$		
シュミット トリガ入力 ヒステリシス	P14~P17, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#	ΔV_T	$0.01 \times VCC$	—	—		
Highレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IH}	$0.9 \times VCC$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$0.8 \times VCC$	—	$VCC + 0.3$		
Lowレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IL}	-0.3	—	$0.1 \times VCC$		
	EXTAL (外部クロック入力)		-0.3	—	$0.2 \times VCC$		

表 39.6 DC 特性(3)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD, P35	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V, VCC$
スリーステートリーク電流 (オフ状態)	P16, P17	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V, 5.8V$
	P16, P17 以外		—	—	0.2		$V_{in} = 0V, VCC$
入力容量	P14 ~ P17, P26, P27, P30, P31, P36, P37, PB0, PB1, PC4 ~ PC7, PH0 ~ PH3, MD, RES#	C_{in}	—	—	15	pF	$V_{in} = 20mV$, $f = 1MHz$, $T_a = 25^\circ C$
	P35		—	—	30		
VCL 端子出力電圧		V_{CL}	—	2.12	—	V	

表 39.7 DC 特性(4)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (P35 以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表 39.8 DC 特性(5)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目					記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 32MHz	I _{CC}	4.1	—	mA	
				ICLK = 16MHz		2.9	—		
				ICLK = 8MHz		2.2	—		
				ICLK = 4MHz		1.9	—		
			全周辺動作 通常動作	ICLK = 32MHz (注3)		16.3	—		
				ICLK = 16MHz (注3)		9.1	—		
				ICLK = 8MHz (注3)		5.5	—		
				ICLK = 4MHz (注3)		3.7	—		
			全周辺動作 最大動作	ICLK = 32MHz (注3)		—	30.3		
		スリープモード	周辺動作なし (注2)	ICLK = 32MHz		2.4	—		
				ICLK = 16MHz		1.9	—		
				ICLK = 8MHz		1.6	—		
				ICLK = 4MHz		1.5	—		
			全周辺動作 通常動作	ICLK = 32MHz (注3)		8.9	—		
				ICLK = 16MHz (注3)		5.4	—		
				ICLK = 8MHz (注3)		3.5	—		
				ICLK = 4MHz (注3)		2.5	—		
		ディープ スリープモード	周辺動作なし (注2)	ICLK = 32MHz		1.5	—		
				ICLK = 16MHz		1.3	—		
				ICLK = 8MHz		1.2	—		
				ICLK = 4MHz		1.2	—		
			全周辺動作 通常動作	ICLK = 32MHz (注3)		7.2	—		
				ICLK = 16MHz (注3)		4.4	—		
				ICLK = 8MHz (注3)		2.8	—		
				ICLK = 4MHz (注3)		2.1	—		
		BGO動作時の増加分 (注5)							

項目					記号	typ (注4)	max	単位	測定条件				
消費電流 (注1)	中速動作モード	通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	2.1	—	mA					
				ICLK = 8MHz		1.7	—						
				ICLK = 4MHz		1.4	—						
				ICLK = 1MHz		1.1	—						
			全周辺動作 通常動作 (注7)	ICLK = 12MHz		6.8	—						
				ICLK = 8MHz		5.0	—						
				ICLK = 4MHz		3.1	—						
				ICLK = 1MHz		1.6	—						
			全周辺動作 最大動作 (注7)	ICLK = 12MHz		—	13.5						
				スリープモード		周辺動作なし (注6)	ICLK = 12MHz			1.4	—		
							ICLK = 8MHz			1.2	—		
		ICLK = 4MHz	1.1				—						
		ICLK = 1MHz	1.0				—						
		全周辺動作 通常動作 (注7)	ICLK = 12MHz			4.0	—						
			ICLK = 8MHz			3.0	—						
			ICLK = 4MHz			2.1	—						
			ICLK = 1MHz			1.3	—						
		ディープ スリープモード	周辺動作なし (注6)	ICLK = 12MHz		1.0	—						
				ICLK = 8MHz		0.9	—						
				ICLK = 4MHz		0.9	—						
				ICLK = 1MHz		0.8	—						
			全周辺動作 通常動作 (注7)	ICLK = 12MHz		3.3	—						
				ICLK = 8MHz		2.6	—						
				ICLK = 4MHz		1.8	—						
				ICLK = 1MHz		1.2	—						
		BGO動作時の増加分 (注5)								2.5	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック停止時。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。

注3. 周辺機能クロック供給時。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。

注4. VCC = 3.3V、T_a = 25°Cの値です。

注5. プログラム実行中に、ROMまたはE2データフラッシュをプログラム/イレーズした場合の増加分です。

注6. 周辺機能クロック停止時。クロックソースはICLK = 12MHzのときはPLL、その他はHOCOです。FCLK、PCLKは64分周設定です。

注7. 周辺機能クロック供給時。クロックソースはICLK = 12MHzのときはPLL、その他はHOCOです。FCLK、PCLKはICLKと同じ周波数です。

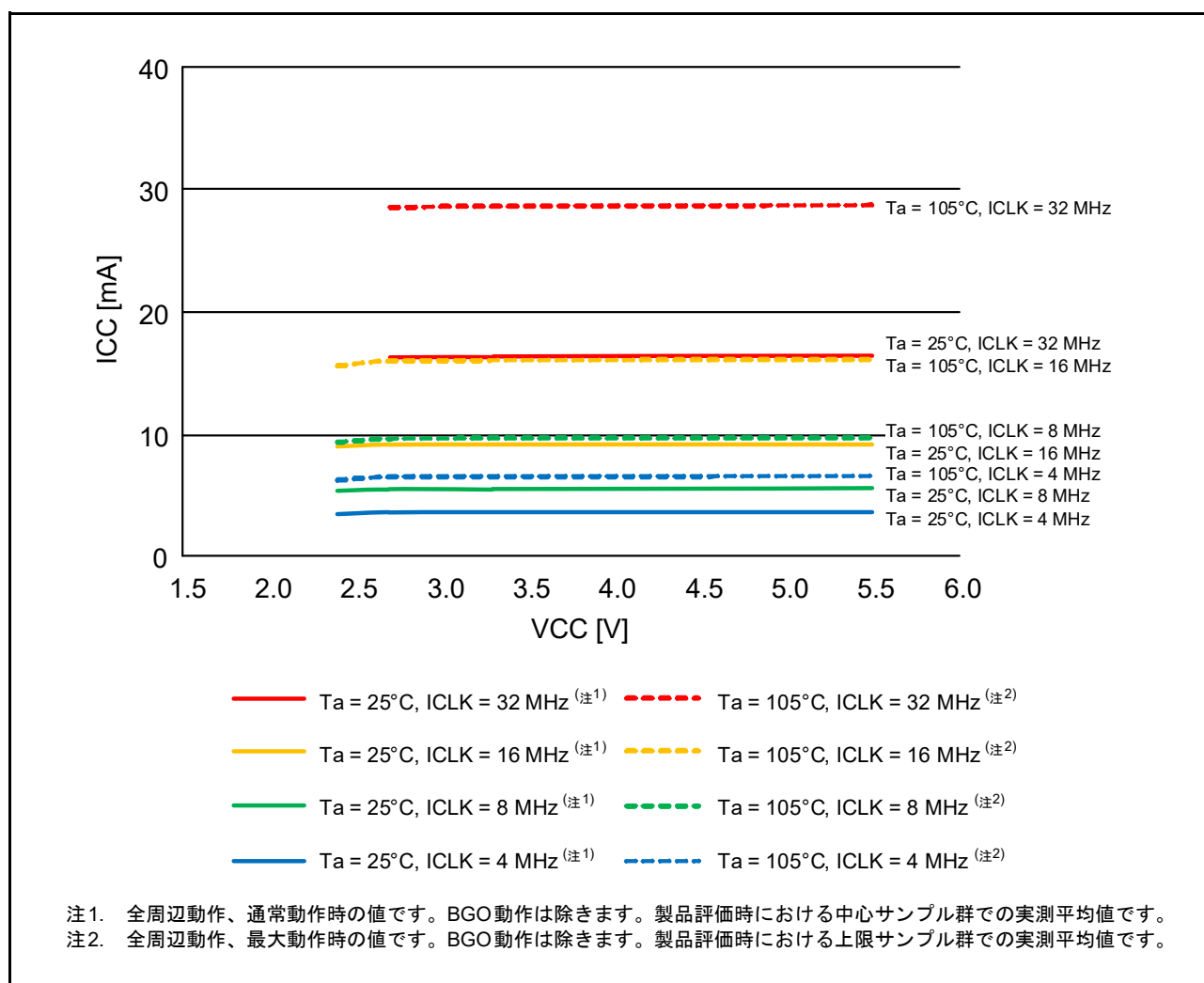


図 39.1 高速動作モードの電圧依存性 (参考データ)

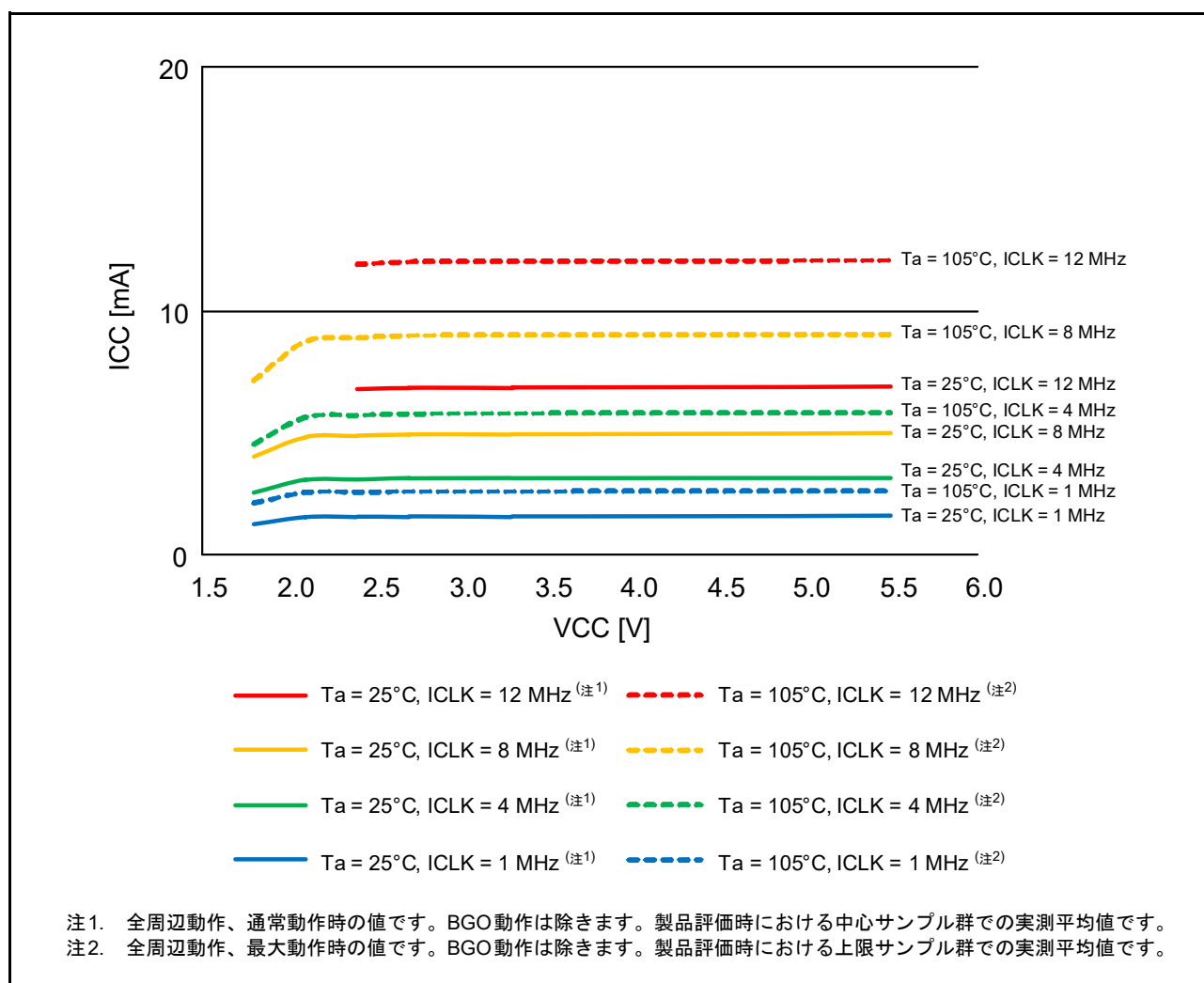


図 39.2 中速動作モードの電圧依存性 (参考データ)

表 39.9 DC 特性(6)
条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^{\circ}C$

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	T _a = 25°C	I _{CC}	0.4	2.6	μA	
		T _a = 55°C		0.8	3.0		
		T _a = 85°C		2.5	12.6		
		T _a = 105°C		6.3	31.2		
	IWDWT動作の増加分			0.4	—		
	LPT動作の増加分			0.4	—		
							クロックソースはIWDWT専用オンチップオシレータを使用

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵ブルアップ抵抗を無効にした場合の値です。
注2. IWDTとLVDは動作停止です。
注3. $VCC = 3.3V$ の場合です。

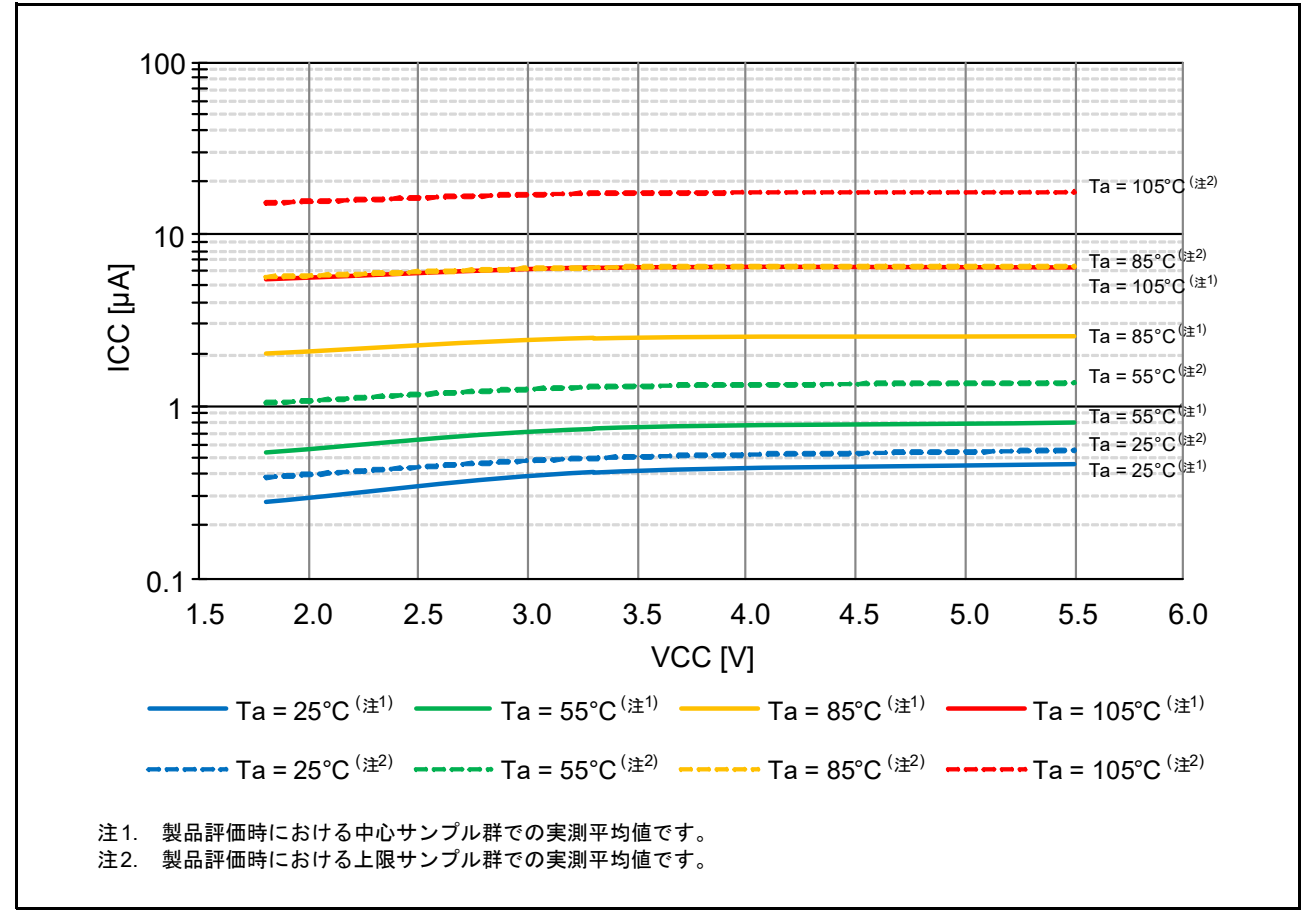


図 39.3 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

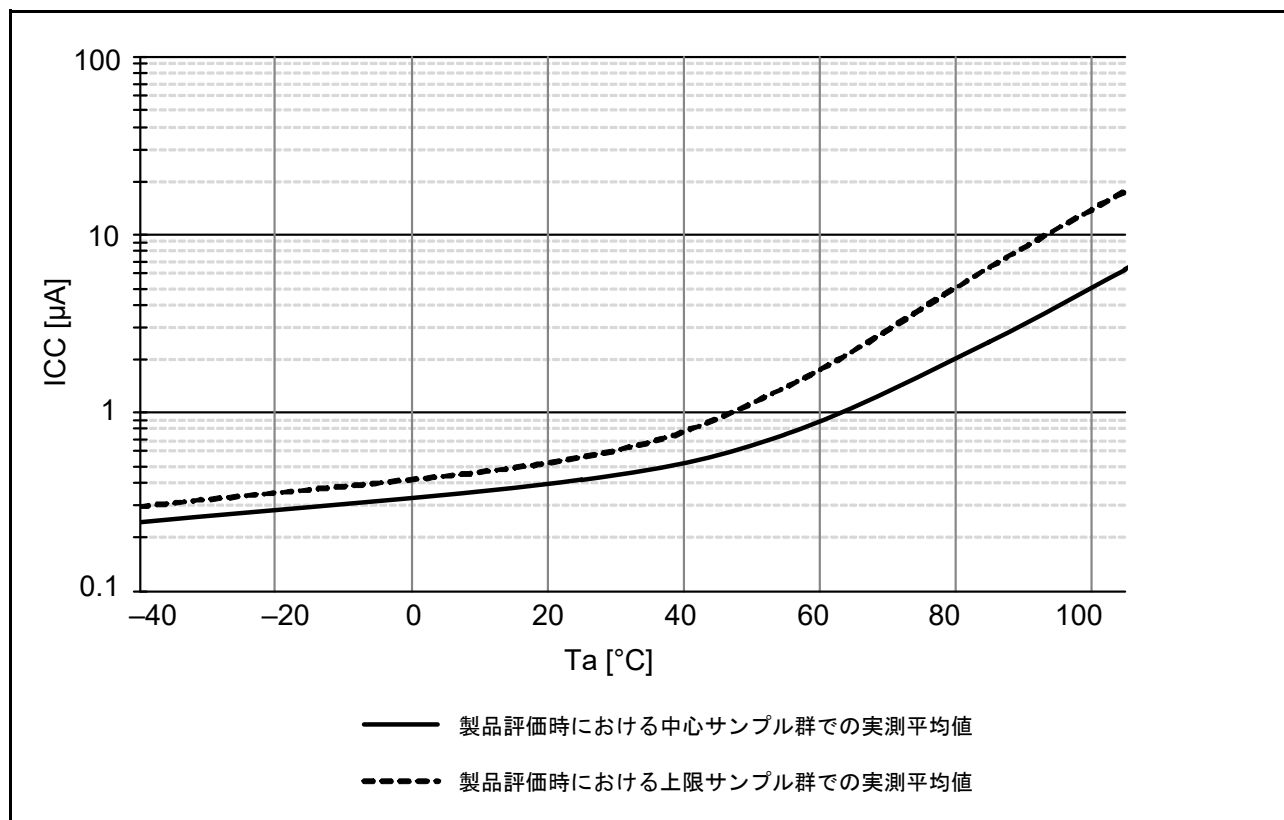


図 39.4 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 39.10 DC特性(7)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^{\circ}C$

項目	記号	min	typ (注1)	max	単位	測定条件
LVD	LVD0	—	0.10	—	μA	
	LVD1		0.10			
	LVD2		0.20			

注1. $VCC = AVCC0 = 3.3V$, $T_a = 25^{\circ}C$ のとき。

表 39.11 DC特性(8)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^{\circ}C$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	1.8	—	—	V	

表 39.12 DC特性(9)

条件: $0V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^{\circ}C$

項目	記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時 (注1)	SrVCC	0.02	—	20.00	ms/V
	起動時間短縮時 (注2)		0.02	—	2.00	
	起動時電圧監視0リセット有効時 (注3、注4)		0.02	—	—	

注1. OFS1.LVDASビット = 1、OFS1.FASTSTUPビット = 1の場合です。

注2. OFS1.LVDASビット = 1、OFS1.FASTSTUPビット = 0の場合です。

注3. OFS1.LVDASビット = 0の場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 39.13 DC 特性 (10)
条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^{\circ}C$
電源リップルは、VCC の上限と下限は超えない範囲で許容電源リップル周波数 $f_{r(VCC)}$ を満たしてください。VCC 変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 39.5 $V_{r(VCC)} \leq 0.2 \times VCC$ の場合
		—	—	1	MHz	図 39.5 $V_{r(VCC)} \leq 0.08 \times VCC$ の場合
		—	—	10	MHz	図 39.5 $V_{r(VCC)} \leq 0.06 \times VCC$ の場合
許容電源変動立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

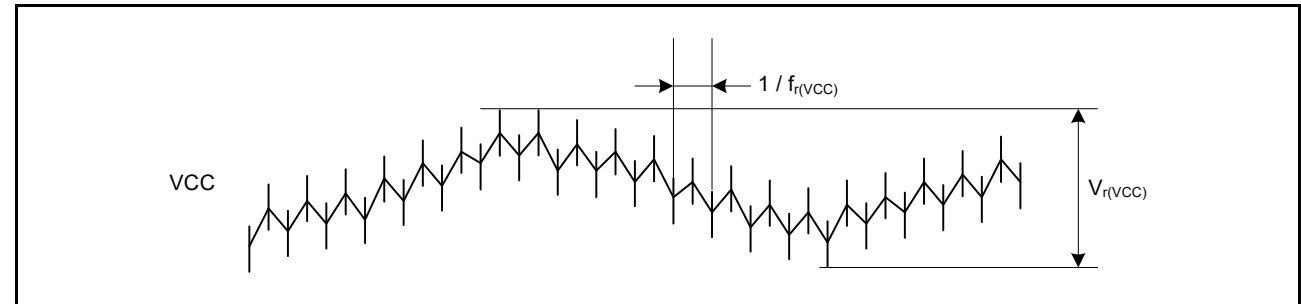


図 39.5 電源リップル波形

表 39.14 DC 特性 (11)

条件: $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
24ビットΔ-Σ A/D コンバータ動作電流 (ノーマルモード)	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 0	I_{AVCC0} (DSAD)	—	500 (注1)	660	μA	図 39.6、図 39.7 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 3.6 ~ 5.5V
	Gain = 1 ~ 16 (PGA有効) OPCR.DSADLVM ビット = 0		—	840 (注1)	1130		
	Gain = 32 ~ 128 OPCR.DSADLVM ビット = 0		—	1050 (注1)	1360		
	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 1		—	490 (注2)	850		図 39.8、図 39.9 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 2.7 ~ 5.5V
	Gain = 1 ~ 16 (PGA有効) OPCR.DSADLVM ビット = 1		—	820 (注2)	1320		
	Gain = 32 ~ 128 OPCR.DSADLVM ビット = 1		—	1040 (注2)	1560		
24ビットΔ-Σ A/D コンバータ動作電流 (ローパワーモード)	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 0		—	250 (注1)	280	μA	図 39.10、図 39.11 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 3.6 ~ 5.5V
	Gain = 1 ~ 16 (PGA有効) OPCR.DSADLVM ビット = 0		—	390 (注1)	480		
	Gain = 32 ~ 128 OPCR.DSADLVM ビット = 0		—	430 (注1)	520		
	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 1		—	240 (注2)	350		図 39.12、図 39.13 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 2.7 ~ 5.5V
	Gain = 1 ~ 16 (PGA有効) OPCR.DSADLVM ビット = 1		—	380 (注2)	550		
	Gain = 32 ~ 128 OPCR.DSADLVM ビット = 1		—	420 (注2)	590		
基準電圧源動作電流		I_{AVCC0} (VREF)	—	45	75	μA	図 39.18
温度センサ動作電流		I_{AVCC0} (TEMPS)	—	15	40	μA	図 39.19
バイアス電圧生成回路動作電流		I_{AVCC0} (VBIAS)	—	15	25	μA	図 39.20
励起電流源動作電流		I_{AVCC0} (IEXC)	—	55	70	μA	図 39.21
アナログ入力 バッファ動作電流	ノーマルモード	I_{AVCC0} (BUF)	—	85	130	μA	図 39.14 1ユニット
	ローパワーモード		—	25	40		図 39.15 1ユニット
リファレンス バッファ動作電流	ノーマルモード	I_{AVCC0} (REFBUF)	—	85	130	μA	図 39.16 1ユニット
	ローパワーモード		—	25	40		図 39.17 1ユニット
電圧検出回路動作 電流	低電源電圧検出回路	I_{AVCC0} (LVDET)	—	5	9	μA	1ユニット
	励起電流源断線検出回路	I_{AVCC0} (IEXCDET)	—	1	2		
	DSAD 入力電圧異常検出回路	I_{AVCC0} (DSIDET)	—	5	7		
	DSAD 基準電圧異常検出回路	I_{AVCC0} (DSRDET)	—	10	15		

注1. AVCC0 = 5.0V、 $T_a = 25^\circ C$ のとき。注2. AVCC0 = 3.3V、 $T_a = 25^\circ C$ のとき。

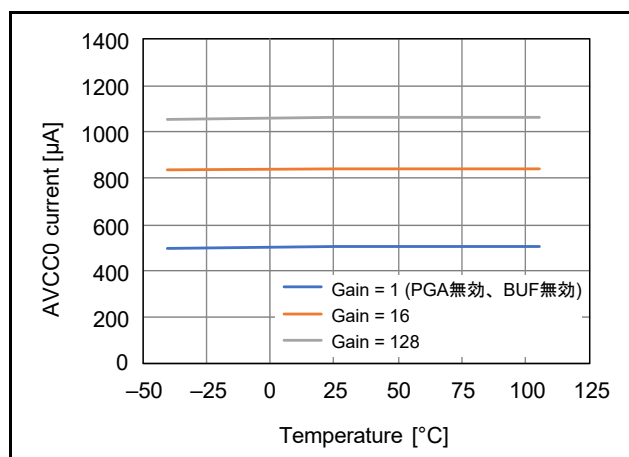


図 39.6 24 ビット Δ - Σ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ノーマルモード、OPCR.DSADLVM ビット = 0)

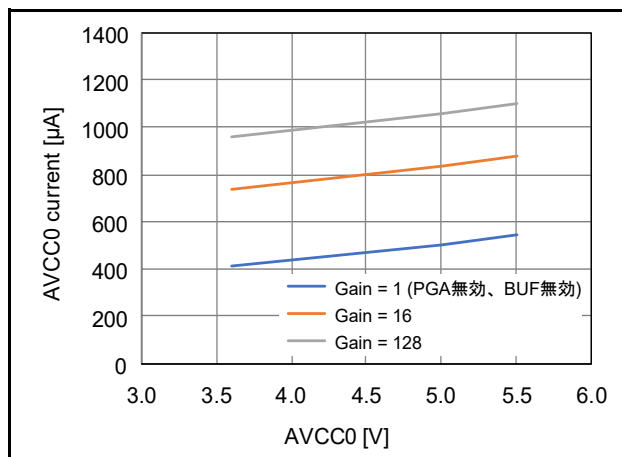


図 39.7 24 ビット Δ - Σ A/D コンバータ動作電流の電源電圧依存性 ($T_a = 25^\circ\text{C}$ 、ノーマルモード、OPCR.DSADLVM ビット = 0)

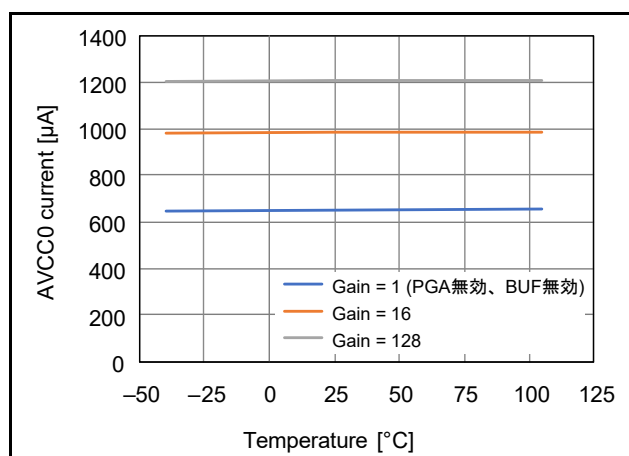


図 39.8 24 ビット Δ - Σ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ノーマルモード、OPCR.DSADLVM ビット = 1)

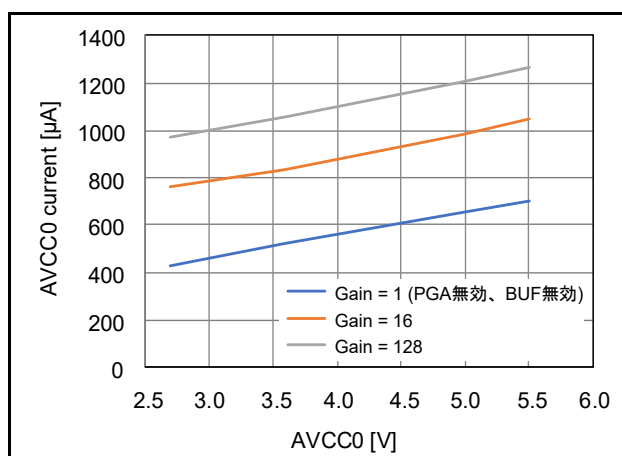


図 39.9 24 ビット Δ - Σ A/D コンバータ動作電流の電源電圧依存性 ($T_a = 25^\circ\text{C}$ 、ノーマルモード、OPCR.DSADLVM ビット = 1)

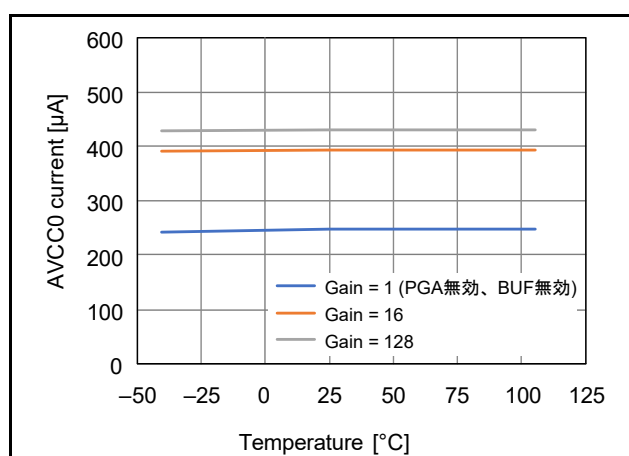


図 39.10 24 ビット Δ - Σ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ローパワーモード、OPCR.DSADLVM ビット = 0)

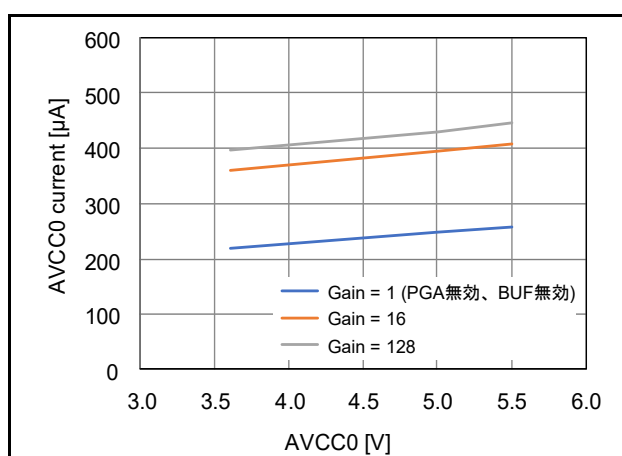


図 39.11 24 ビット Δ - Σ A/D コンバータ動作電流の電源電圧依存性 ($T_a = 25^\circ\text{C}$ 、ローパワーモード、OPCR.DSADLVM ビット = 0)

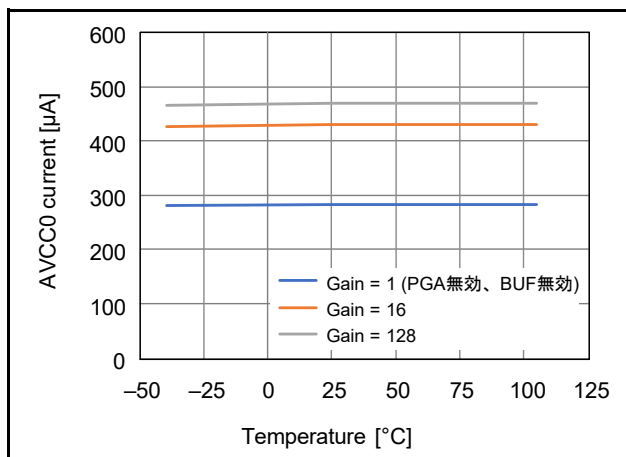


図 39.12 24 ビット $\Delta\Sigma$ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ローパワーモード、OPCR.DSADLVM ビット = 1)

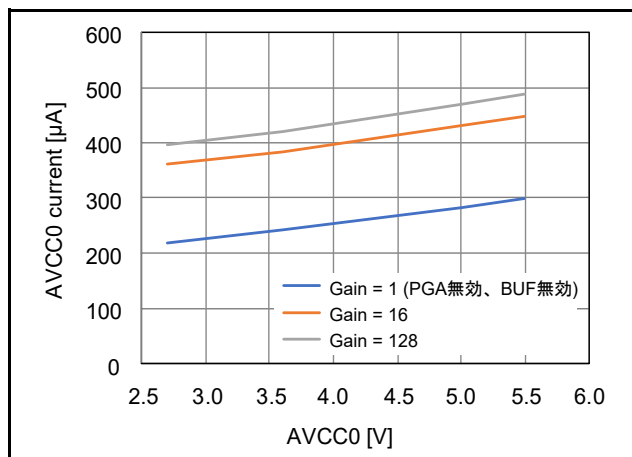


図 39.13 24 ビット $\Delta\Sigma$ A/D コンバータ動作電流の電源電圧依存性 ($T_a = 25^\circ\text{C}$ 、ローパワーモード、OPCR.DSADLVM ビット = 1)

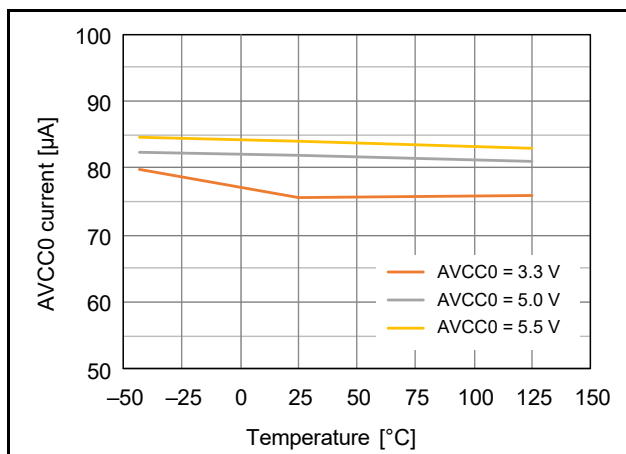


図 39.14 アナログ入力バッファ動作電流の温度依存性 (ノーマルモード)

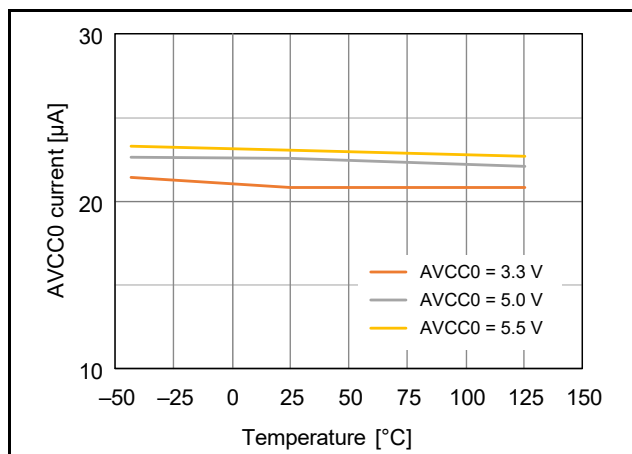


図 39.15 アナログ入力バッファ動作電流の温度依存性 (ローパワーモード)

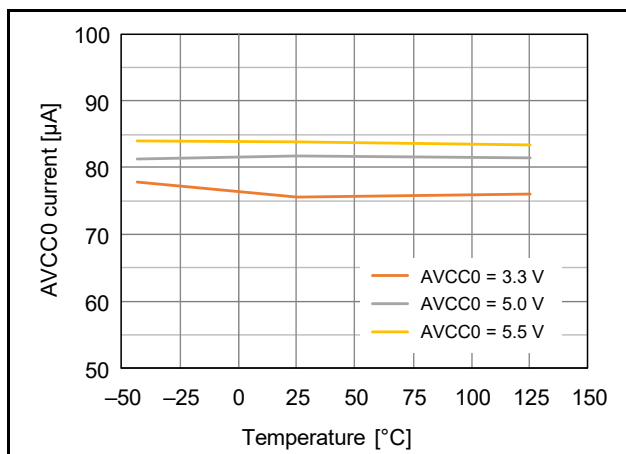


図 39.16 リファレンスバッファ動作電流の温度依存性 (ノーマルモード)

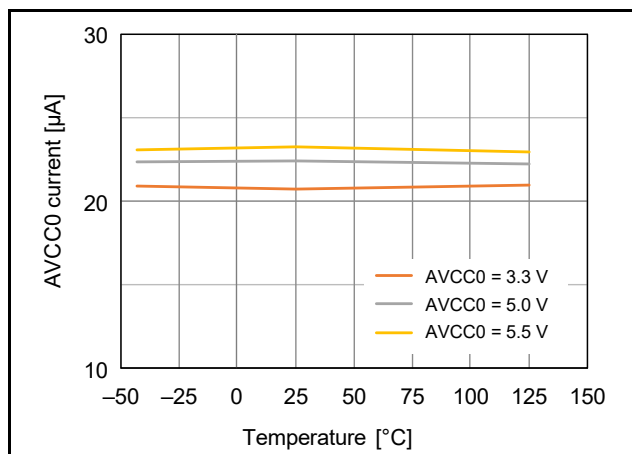


図 39.17 リファレンスバッファ動作電流の温度依存性 (ローパワーモード)

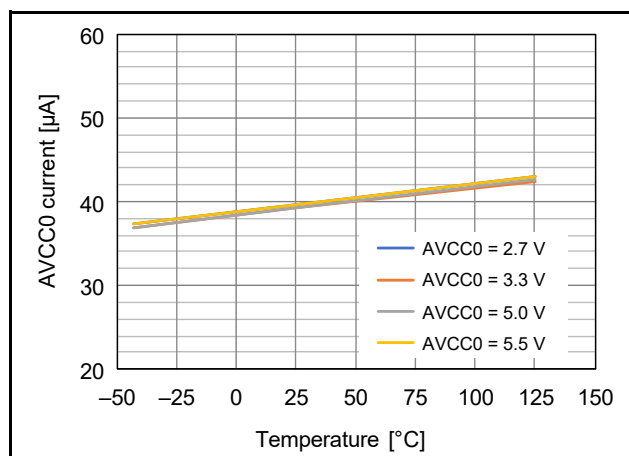


図 39.18 基準電圧源動作電流の温度依存性

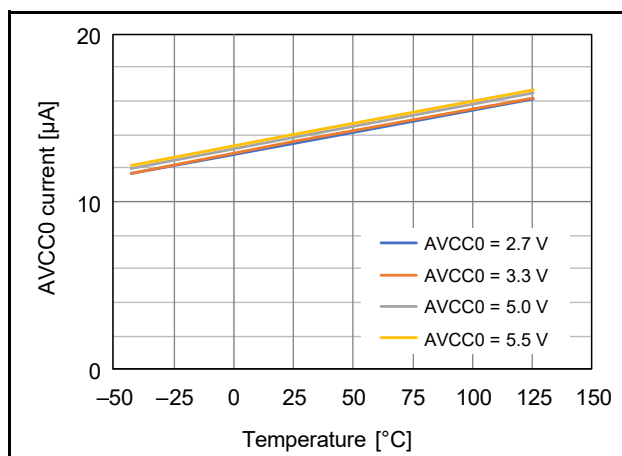


図 39.19 温度センサ動作電流の温度依存性

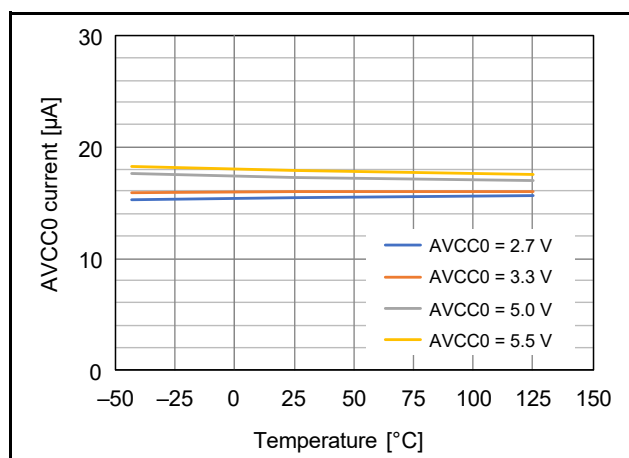


図 39.20 バイアス電圧生成回路動作電流の温度依存性

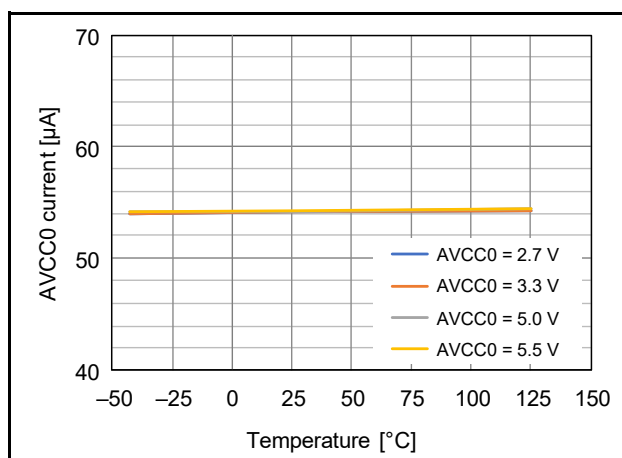


図 39.21 励起電流源動作電流の温度依存性

表 39.15 DC特性(12)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注1)	max	単位	測定条件
12ビットA/D コンバータ動作電流	A/D変換中 (高速変換時)	I_{AVCC0} (S12AD)	—	1.1	1.8	mA	
	A/D変換中 (低電流モード)		—	0.6	1.1		
リファレンス電源電 流	A/D変換中 (高速変換時)	I_{REFH0}	—	71	122	μA	
	A/D変換時待機電流 (全ユニット)		—	—	60	nA	
AVCC0パワーダウン電流		I_{STBY}	—	—	2.2	μA	

注1. $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ のとき。

表 39.16 出力許容電流値(1)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +85^\circ C$

項目			記号	max	単位
Lowレベル出力許容電流 (1端子あたりの平均値)	P36, P37		I _{OL}	4.0	mA
	それ以外のポート	通常出力時		4.0	
		高駆動出力時		8.0	
Lowレベル出力許容電流 (1端子あたりの最大値)	P36, P37			4.0	
	それ以外のポート	通常出力時		4.0	
		高駆動出力時		8.0	
Lowレベル出力許容電流	P14～P17, P26, P27, P30, P31, P36, P37の合計		ΣI _{OL}	40	
	PB0, PB1, PC4～PC7, PH0～PH3の合計			40	
	全出力端子の総和			80	
Highレベル出力許容電流 (1端子あたりの平均値)	P36, P37		I _{OH}	－4.0	
	それ以外のポート	通常出力時		－4.0	
		高駆動出力時		－8.0	
Highレベル出力許容電流 (1端子あたりの最大値)	P36, P37			－4.0	
	それ以外のポート	通常出力時		－4.0	
		高駆動出力時		－8.0	
Highレベル出力許容電流	P14～P17, P26, P27, P30, P31, P36, P37の合計		ΣI _{OH}	－40	
	PB0, PB1, PC4～PC7, PH0～PH3の合計			－40	
	全出力端子の総和			－80	

表 39.17 出力許容電流値(2)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	max	単位	
Low レベル出力許容電流 (1端子あたりの平均値)	P36, P37		I _{OL}	4.0	mA	
	それ以外のポート	通常出力時		4.0		
		高駆動出力時		8.0		
Low レベル出力許容電流 (1端子あたりの最大値)	P36, P37			4.0		
	それ以外のポート	通常出力時		4.0		
		高駆動出力時		8.0		
Low レベル出力許容電流	P14 ~ P17, P26, P27, P30, P31, P36, P37 の合計			ΣI _{OL}		30
	PB0, PB1, PC4 ~ PC7, PH0 ~ PH3 の合計					30
	全出力端子の総和					60
High レベル出力許容電流 (1端子あたりの平均値)	P36, P37		I _{OH}	-4.0		
	それ以外のポート	通常出力時		-4.0		
		高駆動出力時		-8.0		
High レベル出力許容電流 (1端子あたりの最大値)	P36, P37			-4.0		
	それ以外のポート	通常出力時		-4.0		
		高駆動出力時		-8.0		
High レベル出力許容電流	P14 ~ P17, P26, P27, P30, P31, P36, P37 の合計			ΣI _{OH}	-30	
	PB0, PB1, PC4 ~ PC7, PH0 ~ PH3 の合計				-30	
	全出力端子の総和				-60	

表 39.18 出力電圧値(1)

条件 : $1.8V \leq VCC = AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子	通常出力時	V_{OL}	—	0.3	V	$I_{OL} = 0.5mA$
		高駆動出力時		—	0.3		$I_{OL} = 1.0mA$
High レベル 出力電圧	全出力端子	通常出力時	V_{OH}	$VCC - 0.3$	—	V	$I_{OH} = -0.5mA$
		高駆動出力時		$VCC - 0.3$	—		$I_{OH} = -1.0mA$

表 39.19 出力電圧値(2)

条件 : $2.7V \leq VCC = AVCC0 < 4.0V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子 (RIIC 端子以外)	通常出力時	V_{OL}	—	0.5	V	$I_{OL} = 1.0mA$
		高駆動出力時		—	0.5		$I_{OL} = 2.0mA$
	RIIC 端子	通常出力時		—	0.4		$I_{OL} = 3.0mA$
		高駆動出力時		—	0.6		$I_{OL} = 6.0mA$
High レベル 出力電圧	全出力端子	通常出力時	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
		高駆動出力時		$VCC - 0.5$	—		$I_{OH} = -2.0mA$

表 39.20 出力電圧値 (3)

条件 : $4.0V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子 (RIIC 端子以外)	通常出力時	V_{OL}	—	0.8	V	$I_{OL} = 2.0mA$
		高駆動出力時		—	0.8		$I_{OL} = 4.0mA$
	RIIC 端子	通常出力時		—	0.4		$I_{OL} = 3.0mA$
		高駆動出力時		—	0.6		$I_{OL} = 6.0mA$
High レベル 出力電圧	全出力端子	通常出力時	V_{OH}	$VCC - 0.8$	—	V	$I_{OH} = -2.0mA$
		高駆動出力時		$VCC - 0.8$	—		$I_{OH} = -4.0mA$

表 39.21 熱抵抗値 (参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	48ピンLFQFP (PLQP0048KB-B)	θ_{ja}	50.7	$^\circ C/W$	JESD51-2および JESD51-7 準拠
	40ピンHWQFN (PWQN0040KC-A)		18.8 (注1)		
	48ピンLFQFP (PLQP0048KB-B)	Ψ_{jt}	1.07	$^\circ C/W$	JESD51-2および JESD51-7 準拠
	40ピンHWQFN (PWQN0040KC-A)		0.07 (注1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

39.3.1 標準 I/O 端子出力特性 (1)

図 39.22 ～図 39.26 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

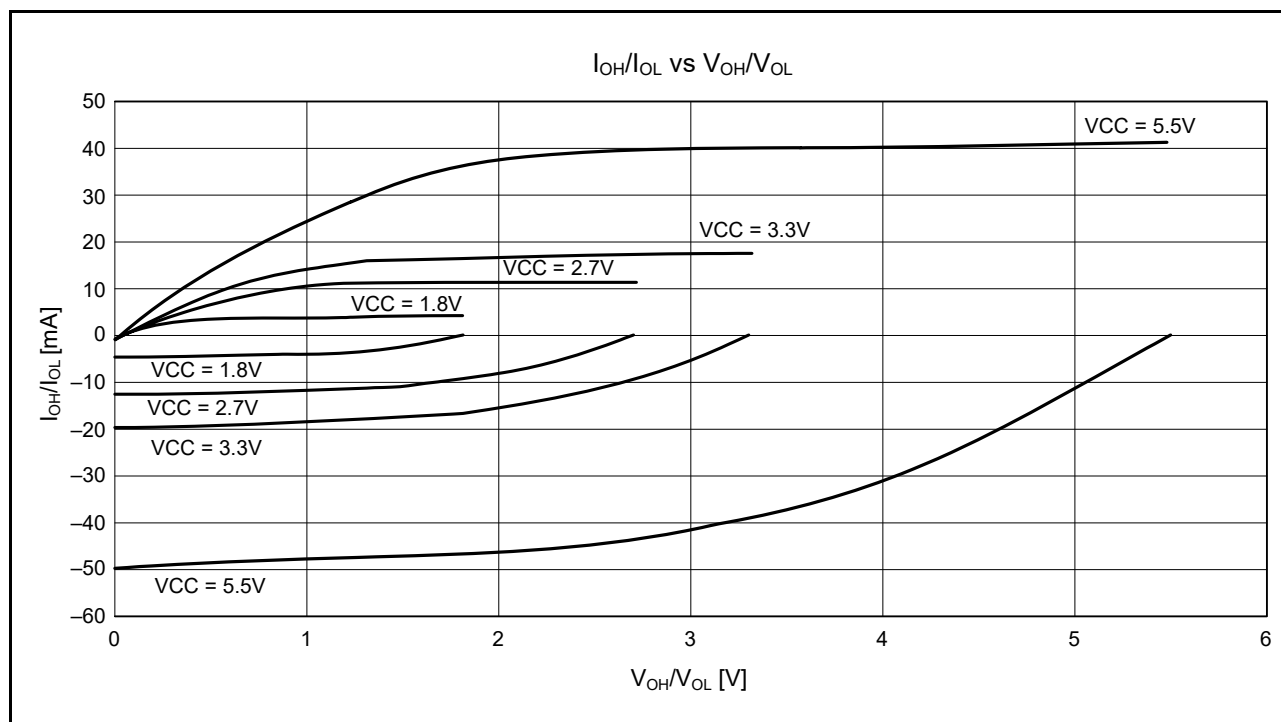


図 39.22 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

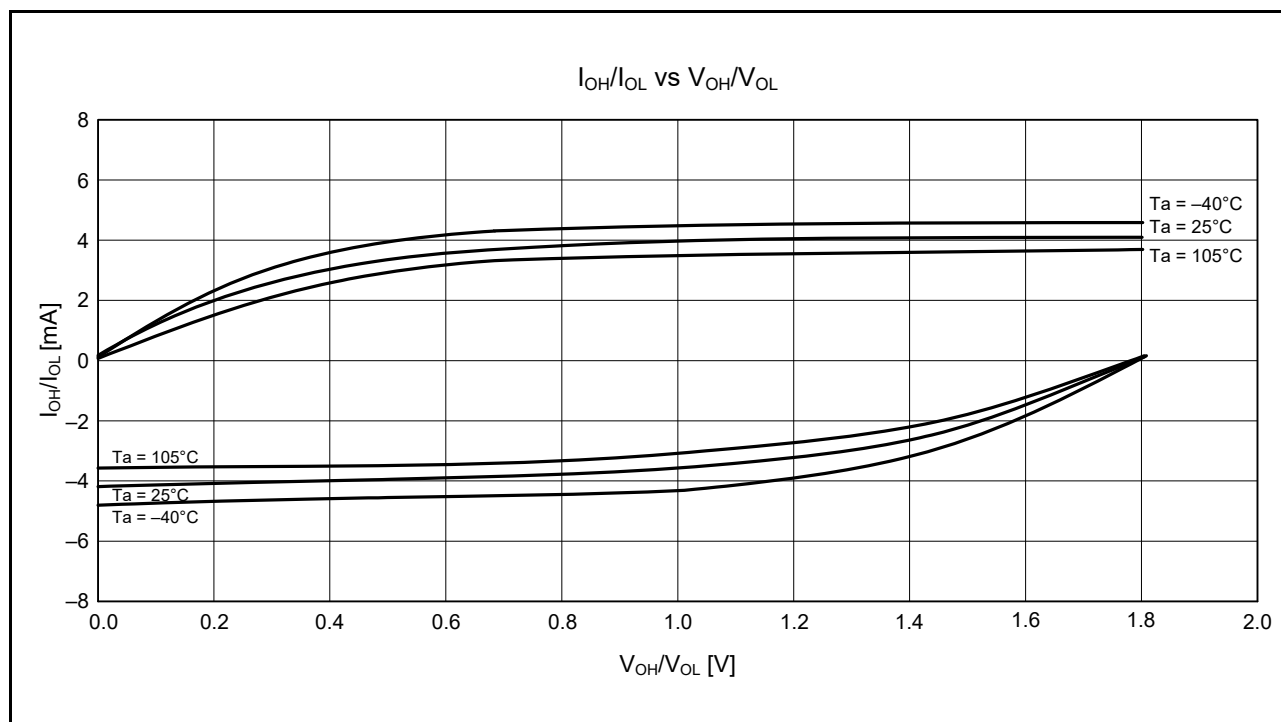


図 39.23 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

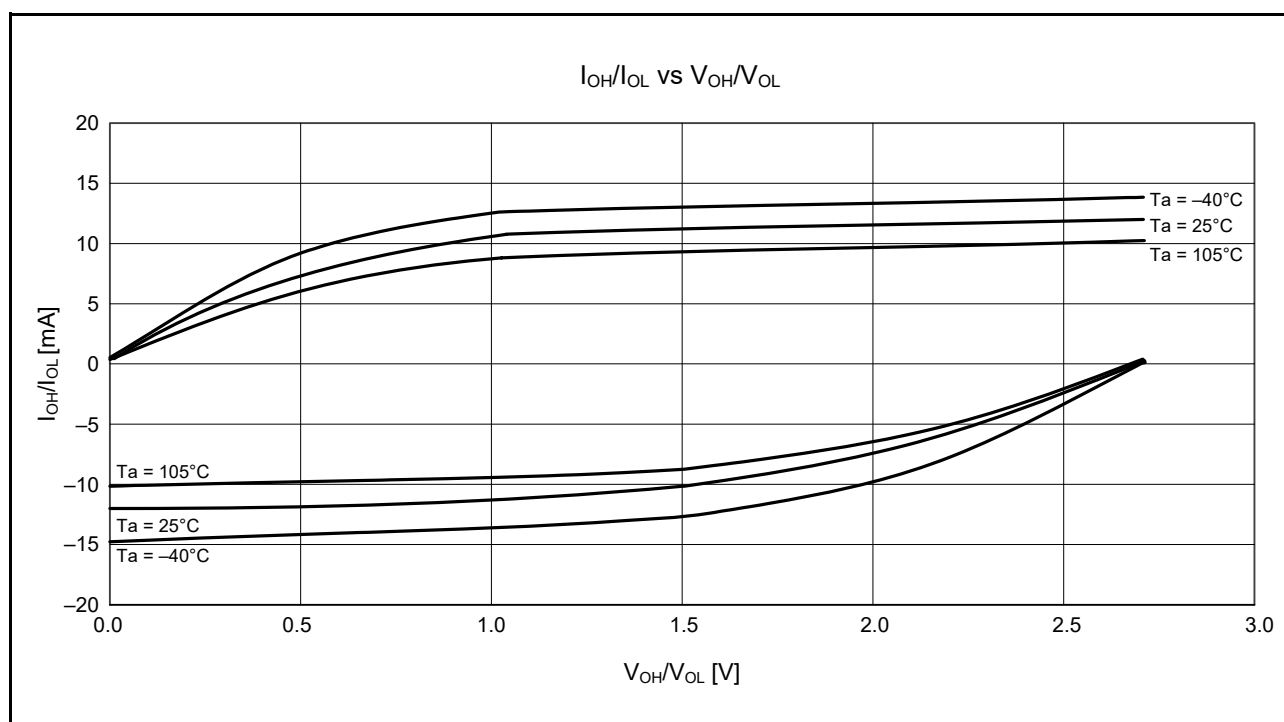


図 39.24 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

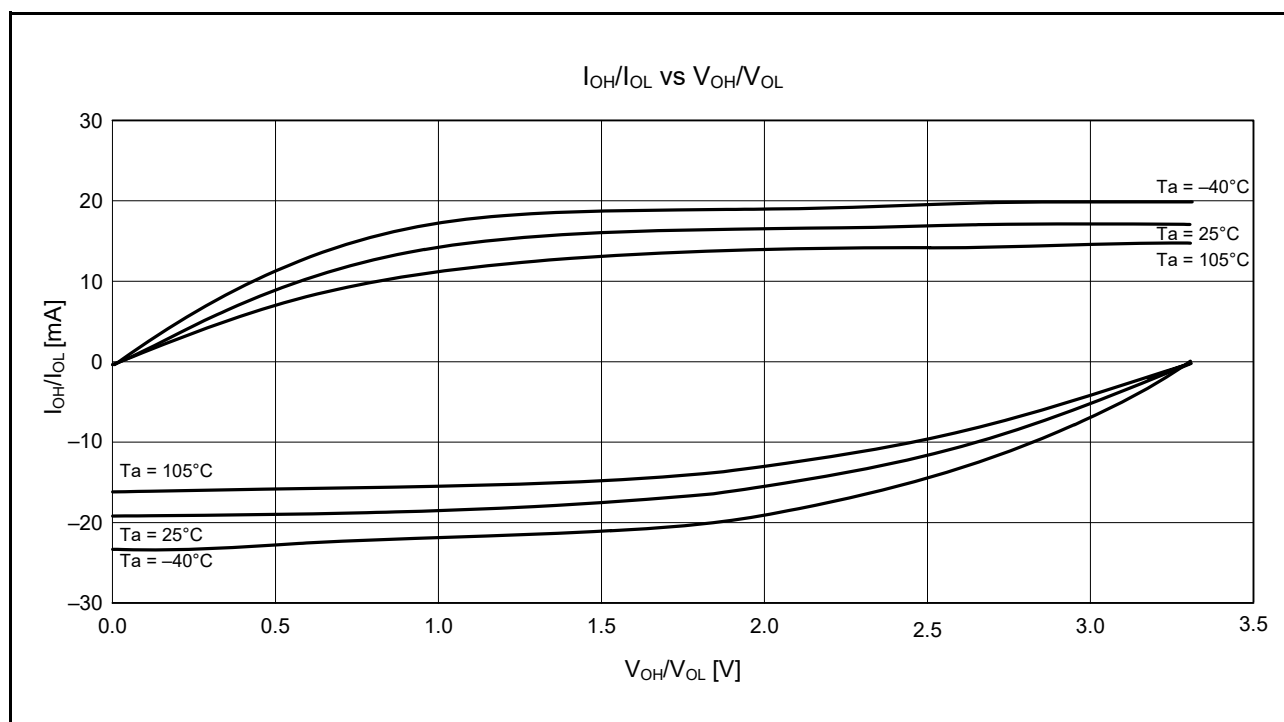


図 39.25 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

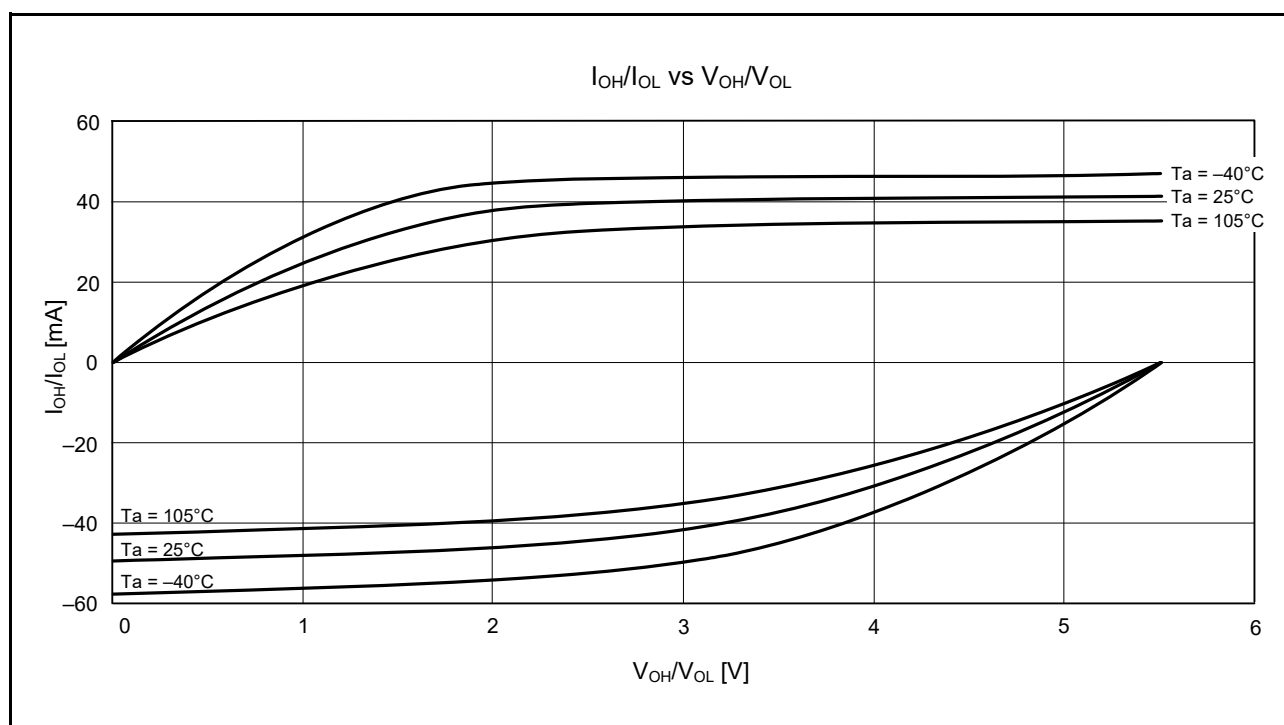


図 39.26 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

39.3.2 標準 I/O 端子出力特性 (2)

図 39.27 ～図 39.31 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

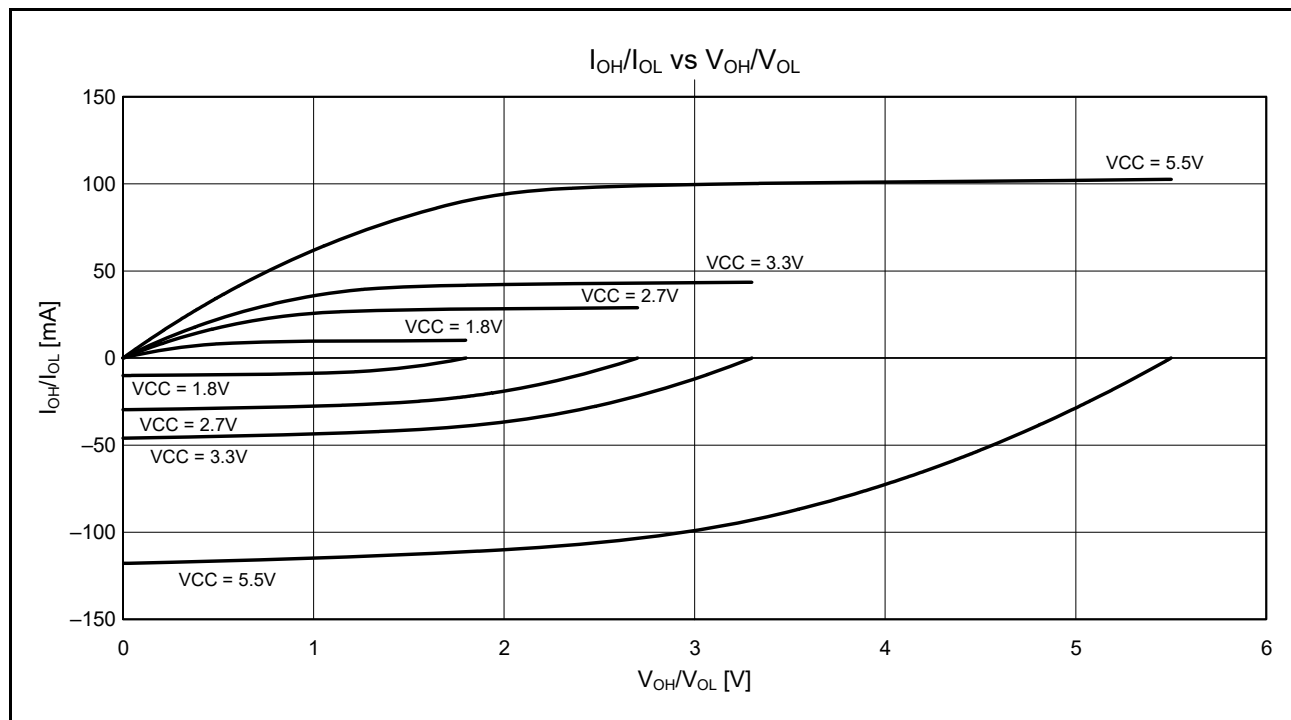


図 39.27 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

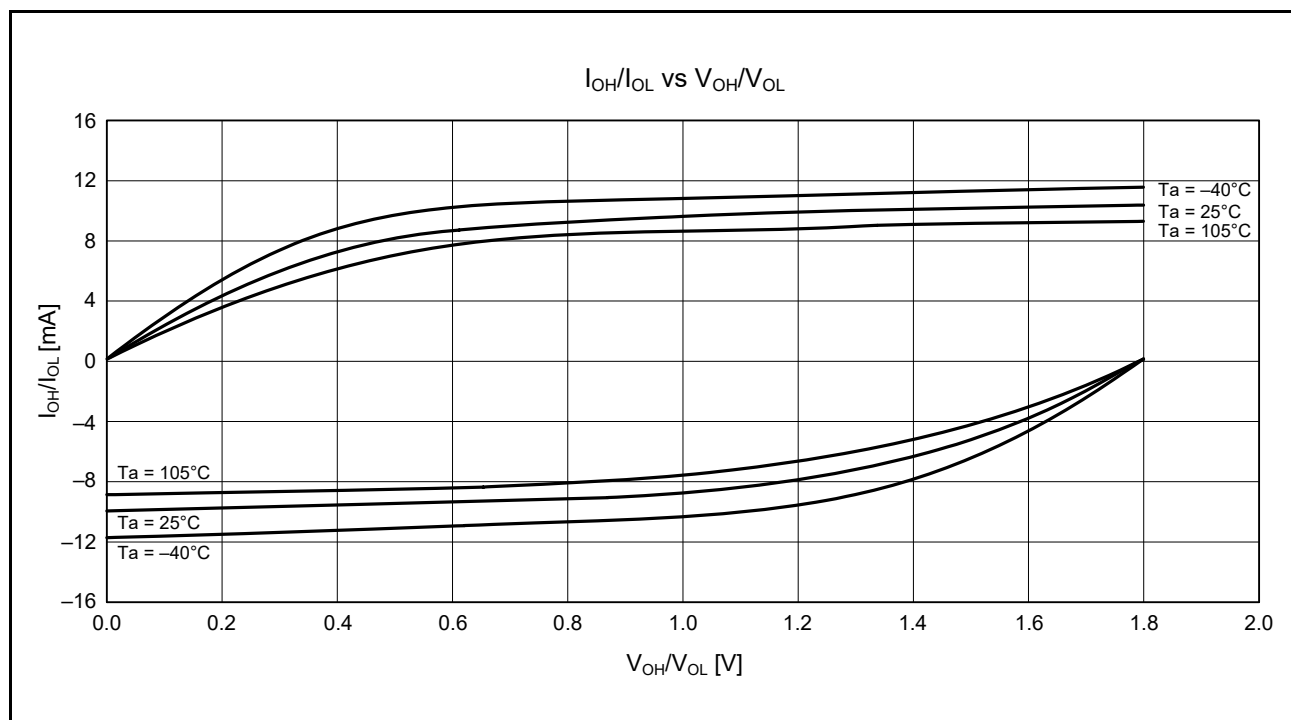


図 39.28 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8V$ (参考データ)

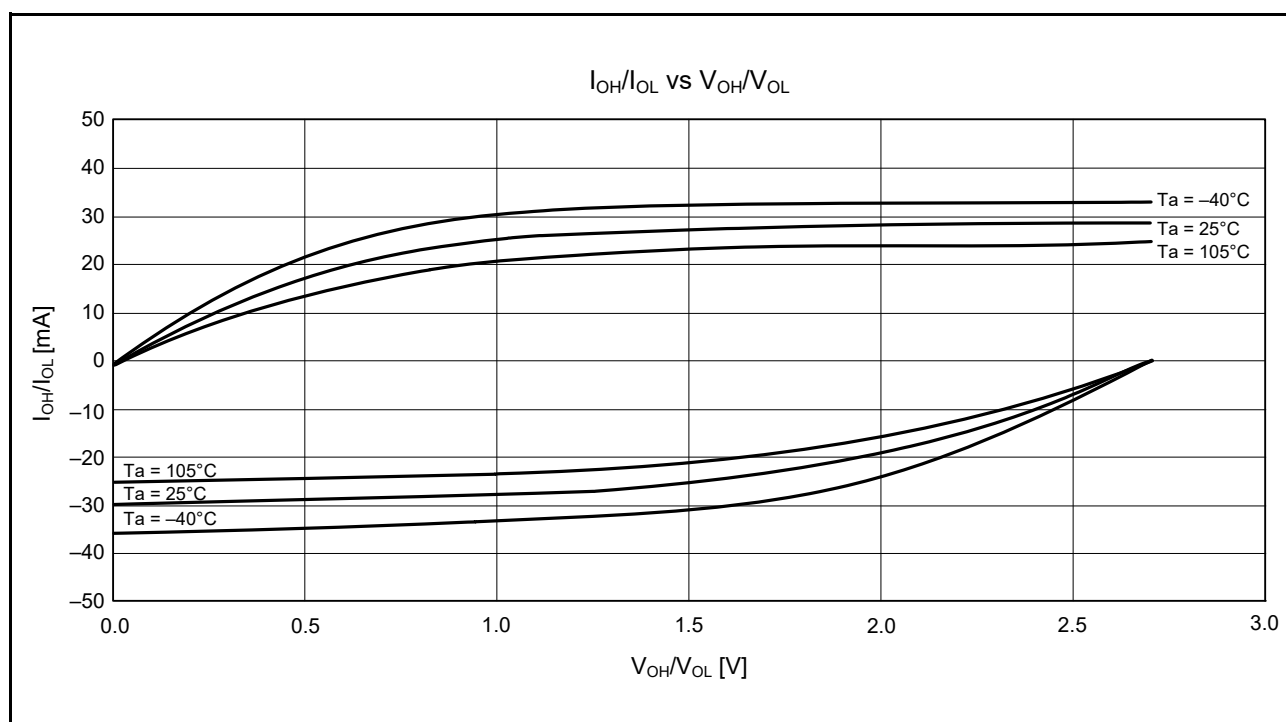


図 39.29 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

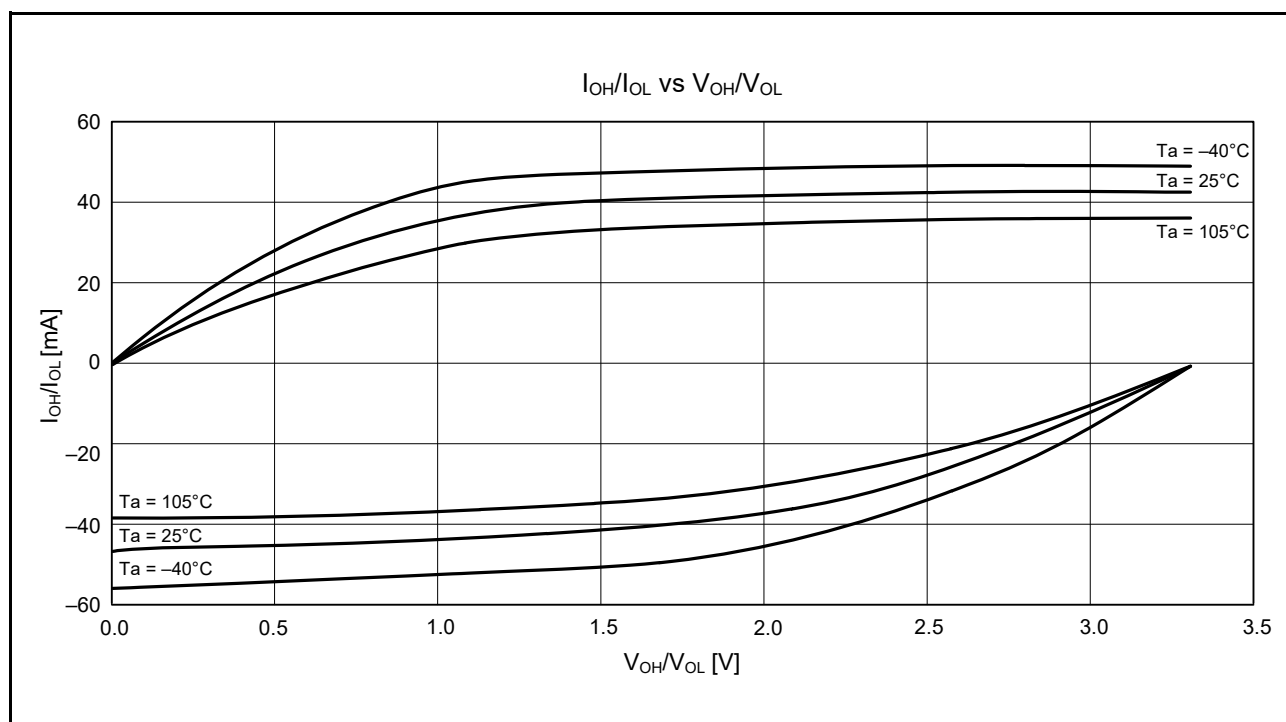


図 39.30 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

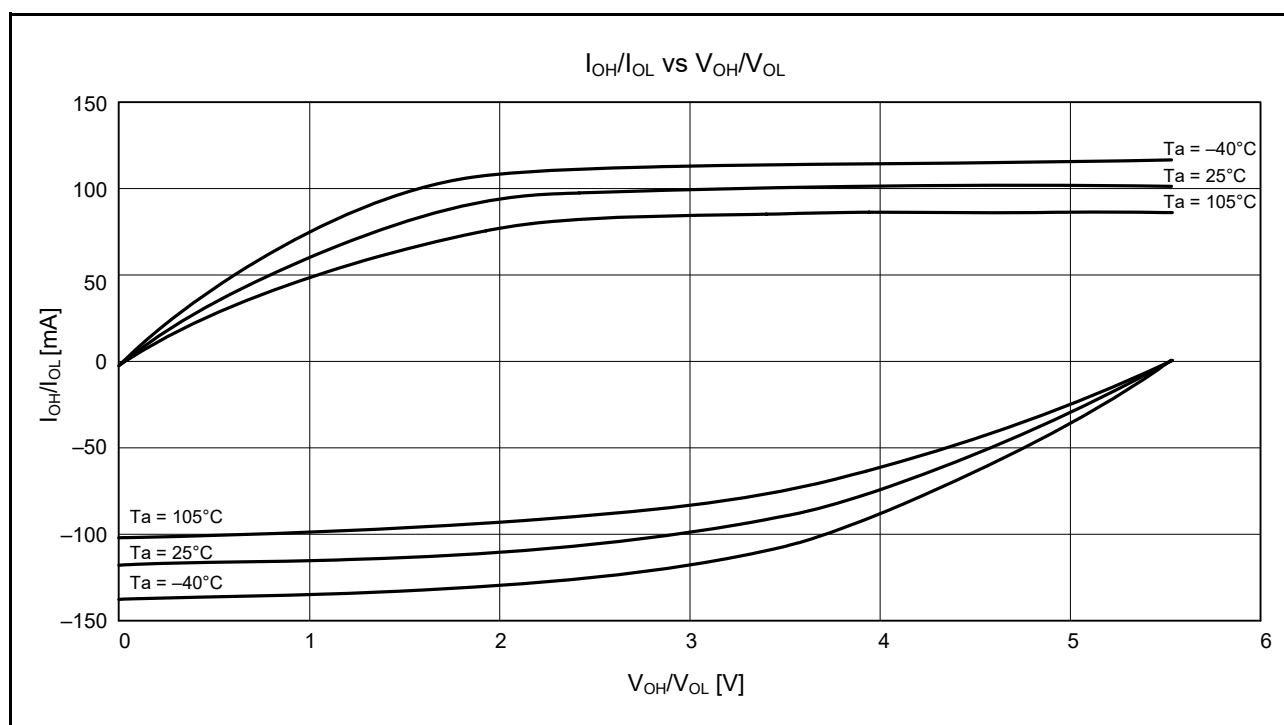


図 39.31 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

39.3.3 標準 I/O 端子出力特性 (3)

図 39.32 ～図 39.35 に RIIC 出力端子の特性を示します。

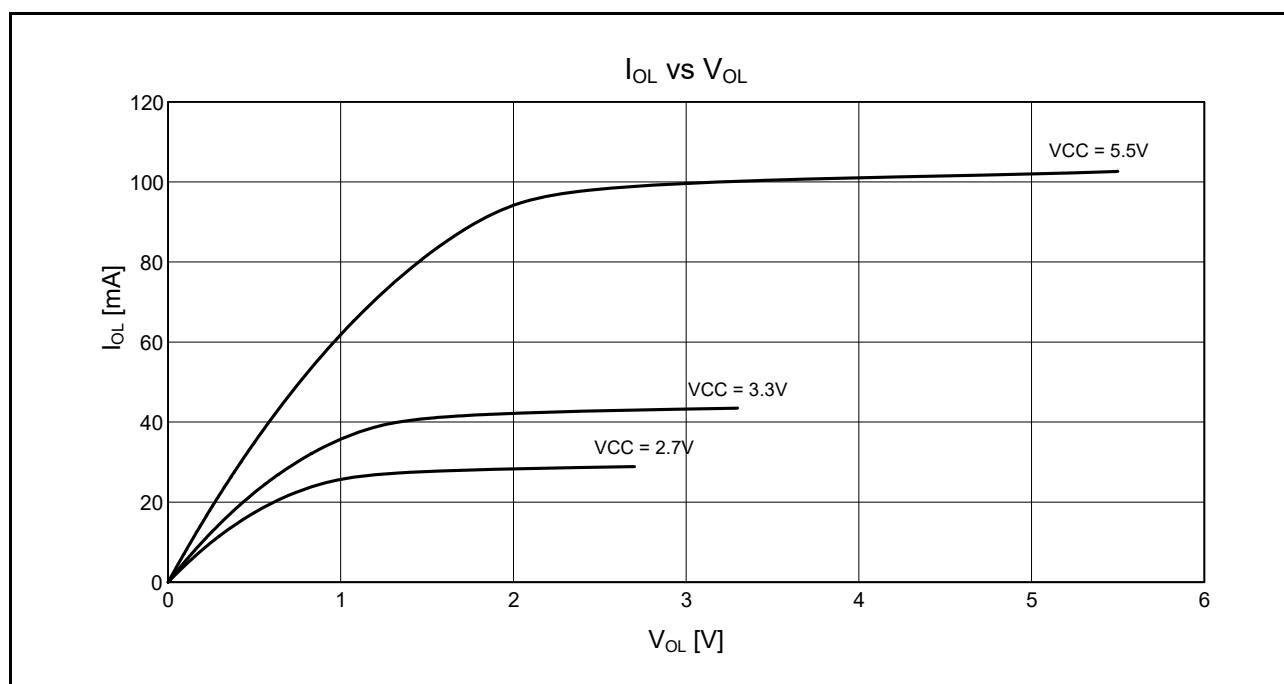


図 39.32 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

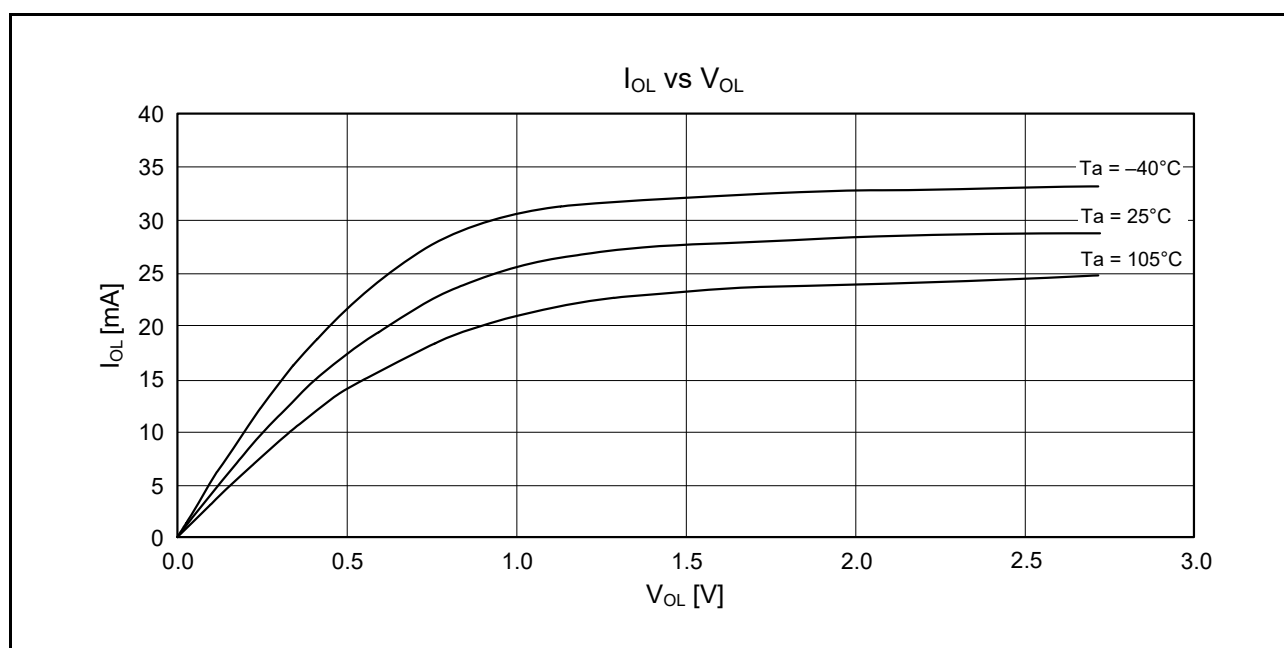
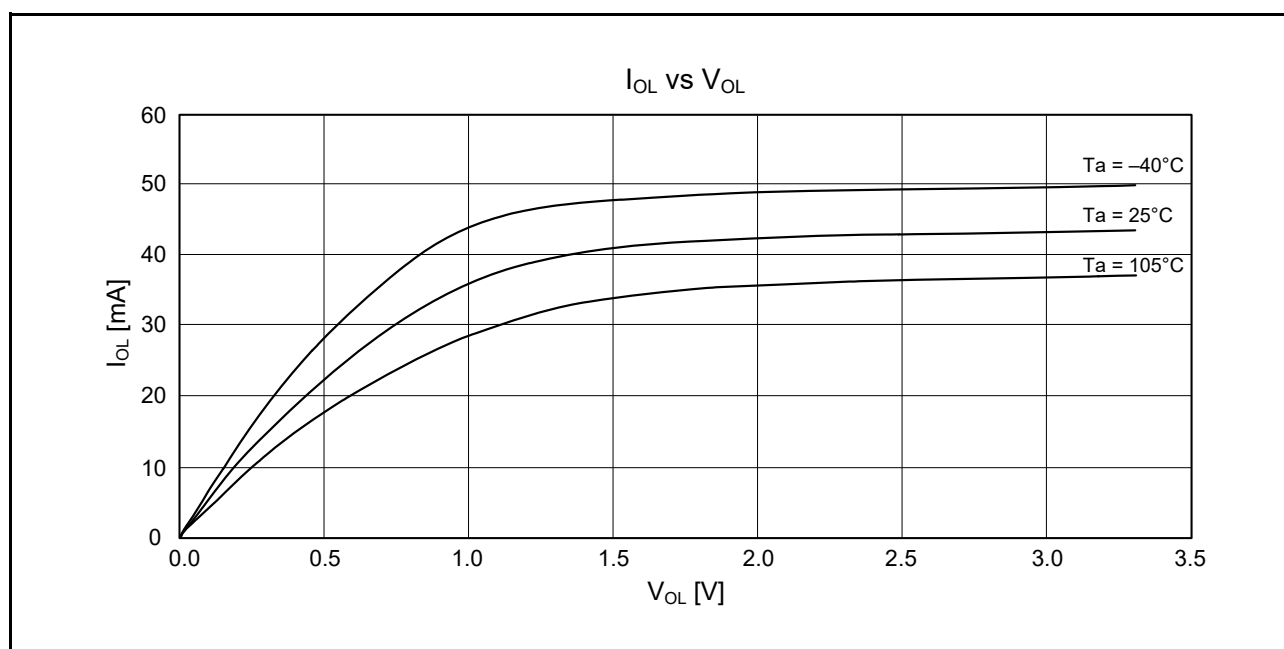
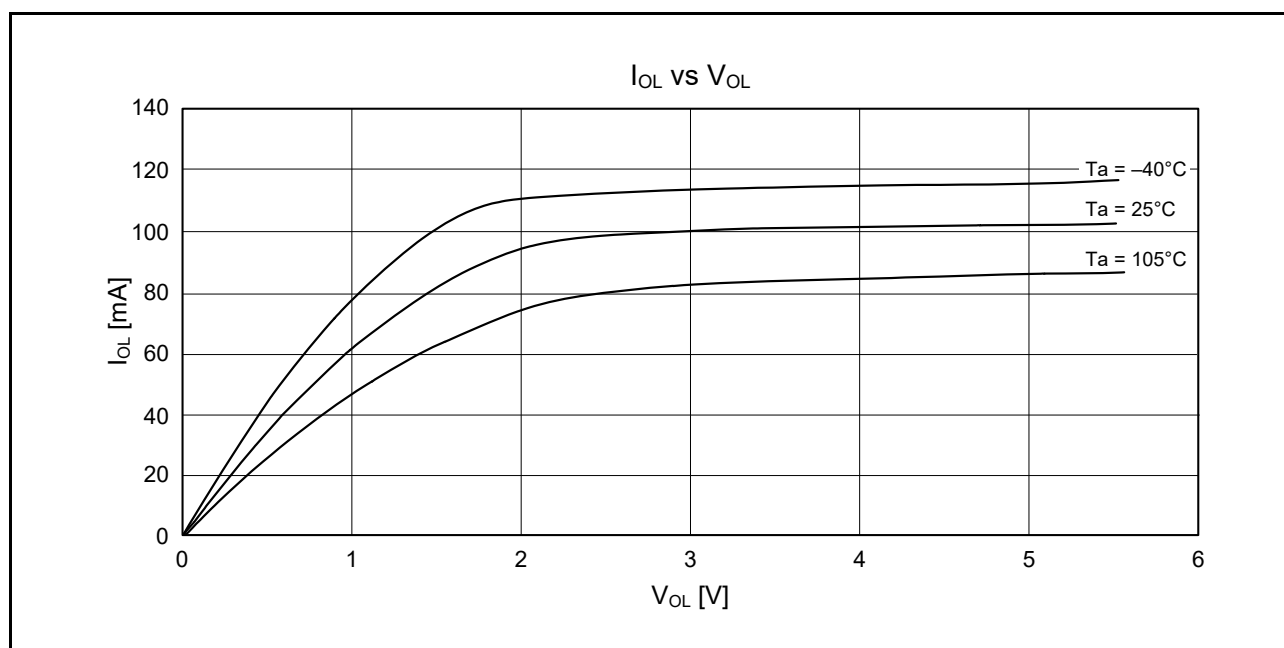


図 39.33 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

図 39.34 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)図 39.35 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

39.4 AC 特性

39.4.1 クロックタイミング

表 39.22 動作周波数 (高速動作モード)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	VCC			単位
			1.8V≦VCC< 2.4V	2.4V≦VCC< 2.7V	2.7V ≦ VCC ≦ 5.5V	
最高動作周波数 (注3)	システムクロック (ICLK)	f _{max}	8	16	32	MHz
	FlashIF クロック (FCLK) (注1、注2)		8	16	32	
	周辺モジュールクロック (PCLKA)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD)		8	16	32	

注1. フラッシュメモリのプログラム/イレーズを行う場合、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

注3. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表39.24 クロックタイミング」を参照してください。

表 39.23 動作周波数 (中速動作モード)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	VCC			単位
			1.8V ≤ VCC < 2.4V	2.4V ≤ VCC < 2.7V	2.7V ≤ VCC ≤ 5.5V	
最高動作周波数 (注3)	システムクロック (ICLK)	f _{max}	8	12	12	MHz
	FlashIF クロック (FCLK) (注1、注2)		8	12	12	
	周辺モジュールクロック (PCLKA)		8	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	
	周辺モジュールクロック (PCLKD)		8	12	12	

注1. フラッシュメモリのプログラム/イレーズを行う場合、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

注3. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表39.24 クロックタイミング」を参照してください。

表 39.24 クロックタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
EXTAL 外部クロック入力サイクル時間		t _{Xcyc}	50	—	—	ns	図 39.36	
EXTAL 外部クロック入力 High レベルパルス幅		t _{xH}	20	—	—	ns		
EXTAL 外部クロック入力 Low レベルパルス幅		t _{xL}	20	—	—	ns		
EXTAL 外部クロック立ち上がり時間		t _{xr}	—	—	5	ns		
EXTAL 外部クロック立ち下がり時間		t _{xf}	—	—	5	ns		
EXTAL 外部クロック入力待機時間 (注1)		t _{xWT}	0.5	—	—	μs	図 39.37	
メインクロック発振器発振周波数 (注2)	2.4 ≦ VCC ≦ 5.5	f _{MAIN}	1	—	20	MHz		
	1.8 ≦ VCC < 2.4		1	—	8			
メインクロック発振安定時間 (水晶振動子) (注2)		t _{MAINOSC}	—	3	—	ms		
メインクロック発振安定時間 (セラミック共振子) (注2)		t _{MAINOSC}	—	50	—	μs		
LOCO クロック発振周波数		f _{LOCO}	3.44	4.00	4.56	MHz	図 39.38	
LOCO クロック発振安定時間		t _{LOCO}	—	—	0.5	μs		
IWDT 専用クロック発振周波数		f _{ILOCO}	12.75	15.00	17.25	kHz	図 39.39	
IWDT 専用クロック発振安定時間		t _{ILOCO}	—	—	50	μs		
HOCO クロック発振周波数		f _{HOCO}	31.52	32.00	32.48	MHz		T _a = -40 ~ +85°C
			31.68	32.00	32.32			T _a = -20 ~ +85°C
			31.36	32.00	32.64			T _a = -40 ~ +105°C
HOCO クロック発振安定時間		t _{HOCO}	—	—	41.3	μs	図 39.41	
PLL 入力周波数 (注3)		f _{PLLIN}	4	—	8	MHz	図 39.42	
PLL 回路発振周波数 (注3)		f _{PLL}	24	—	32	MHz		
PLL クロック発振安定時間		t _{PLL}	—	—	74.4	μs		
PLL 自励発振周波数		f _{PLLFR}	—	8	—	MHz		

注1. メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にしてから、使用できるまでの時間です。

注2. 8MHz の発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値を MOSCWTCR レジスタに設定してください。MOSCCR.MOSTP ビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. PLL を使用する場合、VCC は 2.4 ~ 5.5V にしてください。

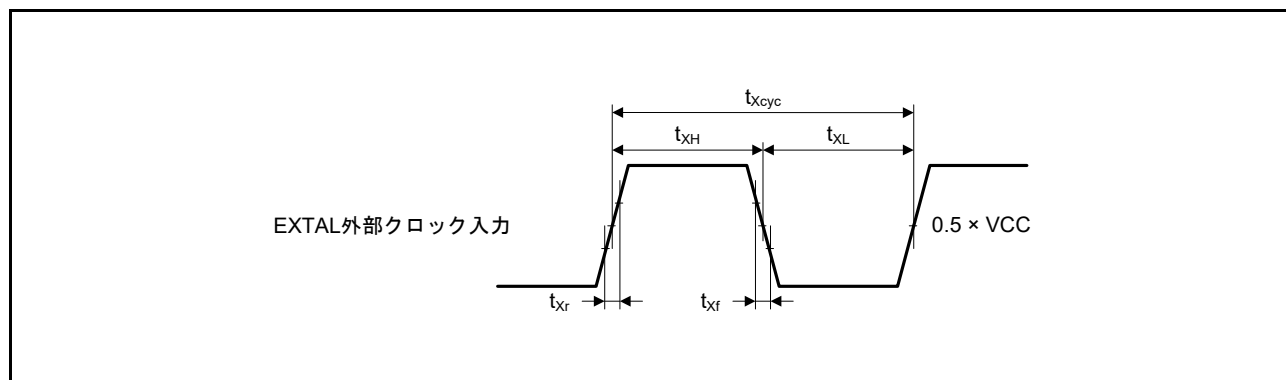


図 39.36 EXTAL 外部クロック入力タイミング

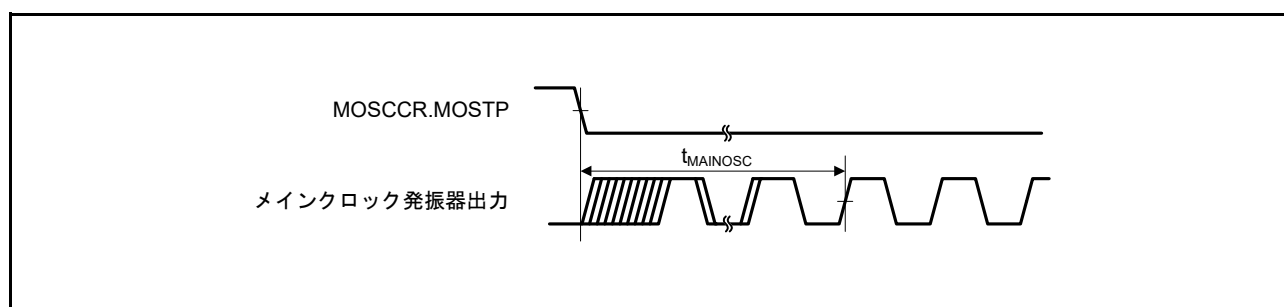


図 39.37 メインクロック発振開始タイミング

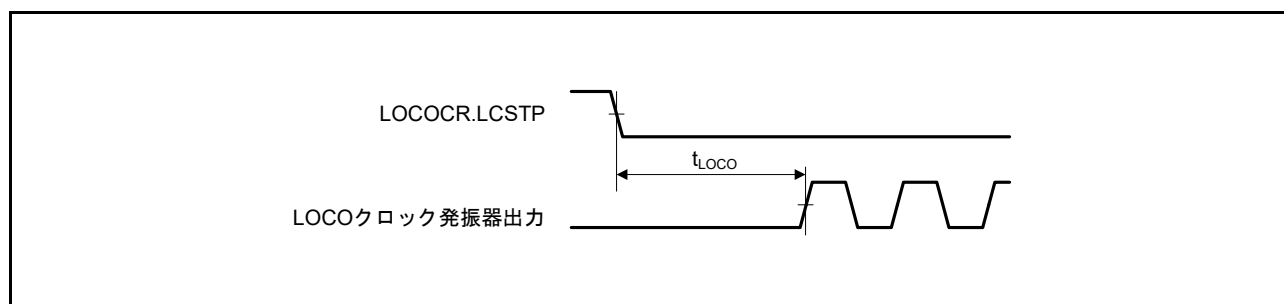


図 39.38 LOCO クロック発振開始タイミング

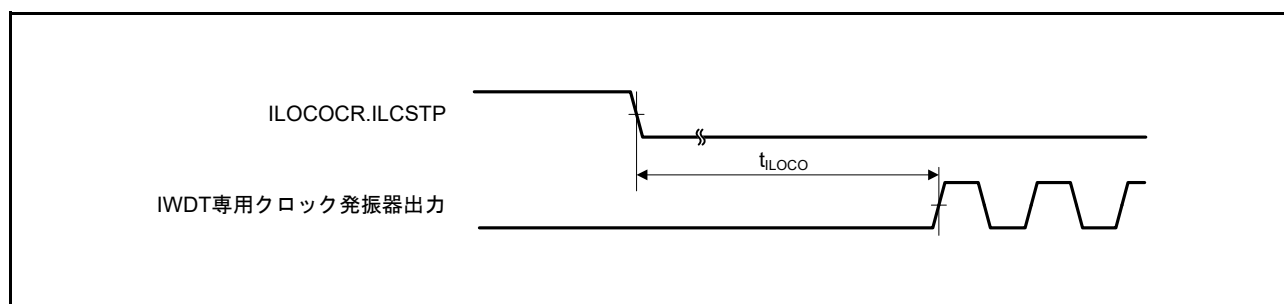


図 39.39 IWDTC 専用クロック発振開始タイミング

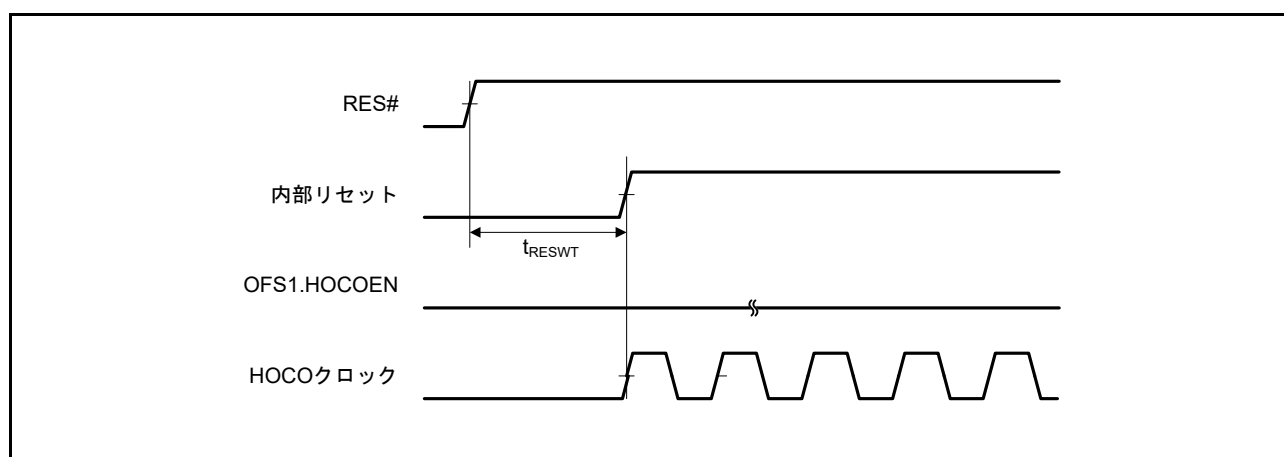


図 39.40 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)

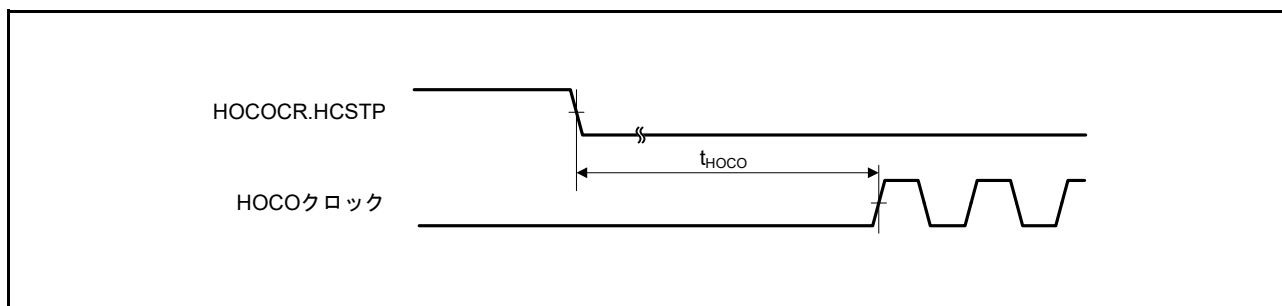


図 39.41 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

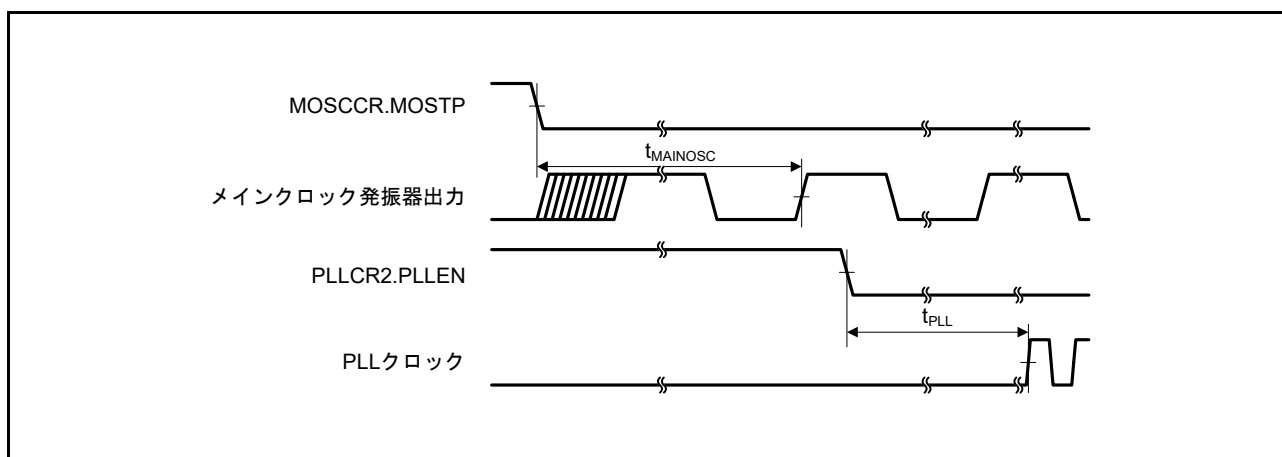


図 39.42 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

39.4.2 リセットタイミング

表 39.25 リセットタイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図 39.43
	上記以外	t_{RESW}	30	—	—	μs	図 39.44
RES#解除後待機時間 (電源投入時)	通常起動時 (注1)	t_{RESWT}	—	8.5	—	ms	図 39.43
	起動時間短縮時 (注2)	t_{RESWT}	—	650	—	μs	
RES#解除後待機時間 (ウォームスタート時)		t_{RESWT}	—	310	—	μs	図 39.44
独立ウォッチドッグタイマリセット期間		t_{RESWIW}	—	1	—	IWDT clock cycle	図 39.45
ソフトウェアリセット期間		t_{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間 (注3)		t_{RESWT2}	—	350	—	μs	
ソフトウェアリセット解除後待機時間		t_{RESWT2}	—	220	—	μs	

注1. OFS1.LVDASビット = 1、OFS1.FASTSTUPビット = 1 の場合です。

注2. OFS1.LVDASビット、OFS1.FASTSTUPビットのいずれか、または両方が“0”の場合です。

注3. IWDTCR.CKS[3:0]ビット = 0000bを設定した場合です。

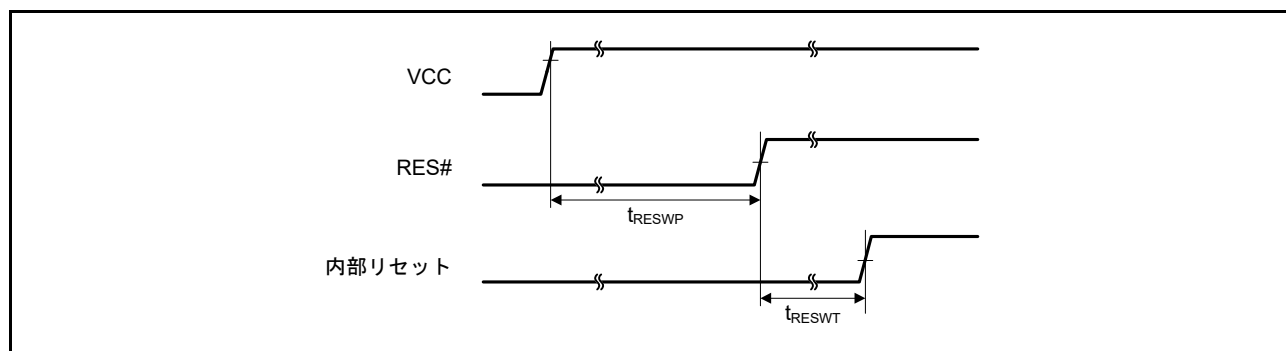


図 39.43 電源投入時リセット入力タイミング

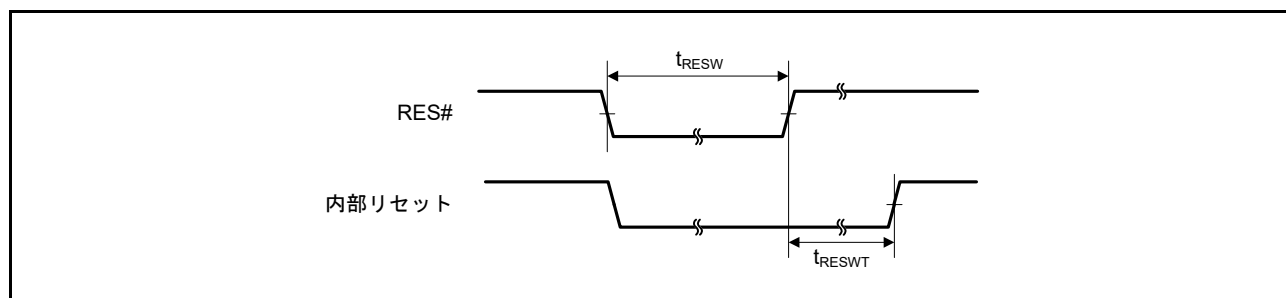


図 39.44 リセット入力タイミング (1)

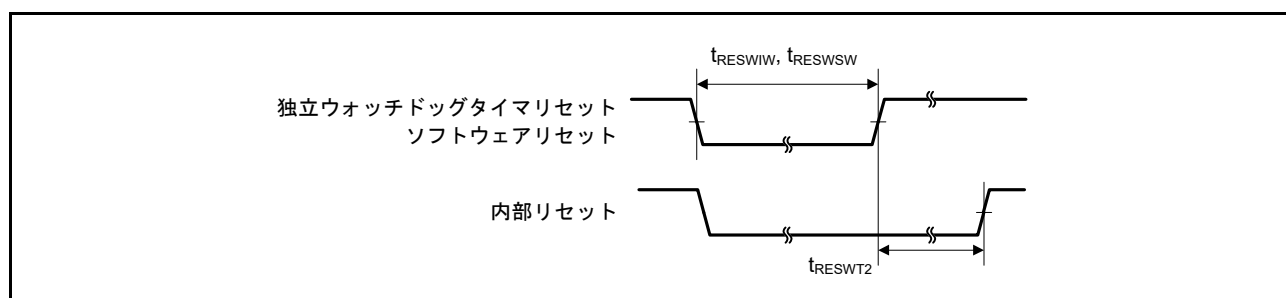


図 39.45 リセット入力タイミング (2)

39.4.3 低消費電力状態からの復帰タイミング

表 39.26 低消費電力状態からの復帰タイミング(1)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェア スタンバイ モード解除後 復帰時間 (注1)	高速モード	メインクロック 発振器に水晶振 動子を接続	メインクロック発振器 動作 (注2)	t _{SBYMC}	—	2	3	ms	図 39.46
		メインクロック 発振器に外部ク ロックを入力	メインクロック発振器 動作 (注3)	t _{SBYEX}	—	35	50	μs	
		HOCO クロック動作		t _{SBYHO}	—	40	55	μs	
		LOCO クロック動作		t _{SBYLO}	—	40	55	μs	

注1. WAIT 命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

表 39.27 低消費電力状態からの復帰タイミング(2)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェア スタンバイ モード解除後 復帰時間 (注1)	中速モード	メインクロック 発振器に水晶振 動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 39.46
			メインクロック発振器、 PLL 回路動作 (注3)	t _{SBYPC}	—	2	3	ms	
		メインクロック 発振器に外部ク ロックを入力	メインクロック発振器動作 (注4)	t _{SBYEX}	—	3	4	μs	
			メインクロック発振器、 PLL 回路動作 (注5)	t _{SBYPE}	—	65	85	μs	
		HOCO クロック動作 (注6)		t _{SBYHO}	—	40	50	μs	
		LOCO クロック動作		t _{SBYLO}	—	5	7	μs	

注1. WAIT 命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. システムクロックにPLLを選択し12MHzとなるように分周設定した場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注5. システムクロックにPLLを選択し12MHzとなるように分周設定した場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注6. システムクロックにHOCOを選択し8MHzとなるように分周設定した場合です。

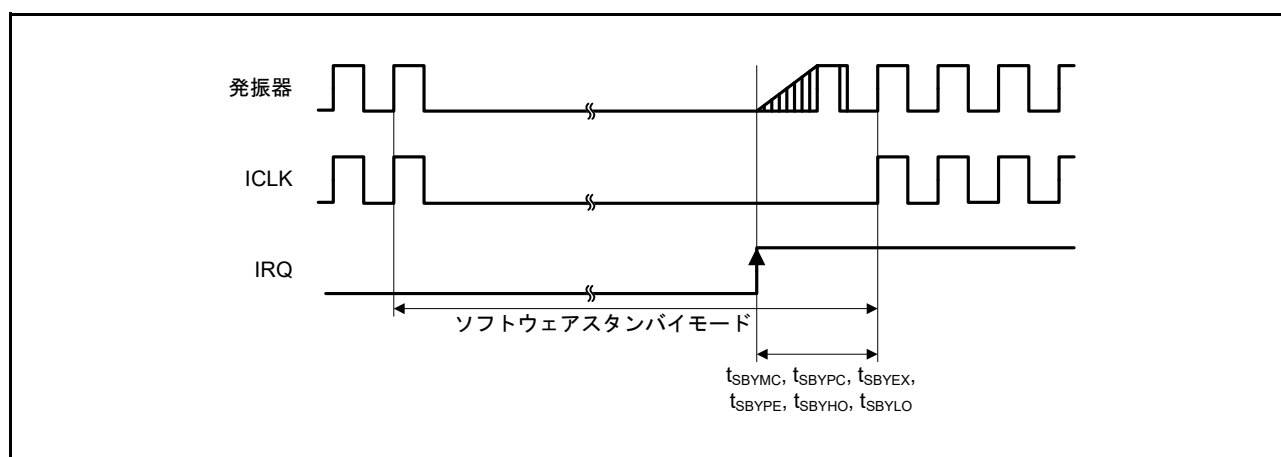


図 39.46 ソフトウェアスタンバイモード復帰タイミング

表 39.28 低消費電力状態からの復帰タイミング(3)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間(注1)	高速モード(注2)	t _{DSL P}	—	2.0	3.5	μs	図 39.47
	中速モード(注3)	t _{DSL P}	—	3.0	4.0	μs	

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32MHzの場合です。

注3. システムクロック周波数が12MHzの場合です。

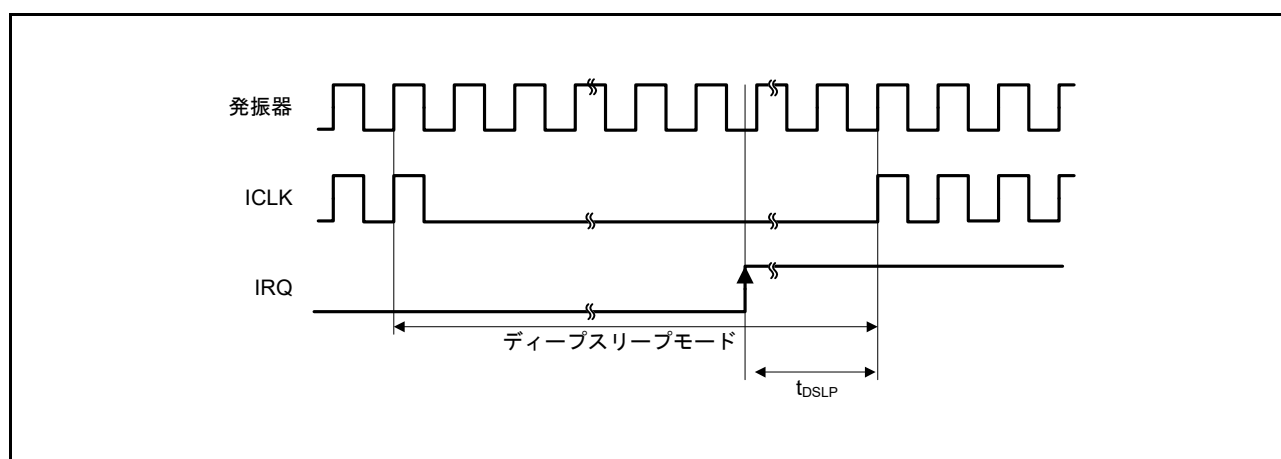


図 39.47 ディープスリープモード解除タイミング

表 39.29 動作モード遷移時間

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10.0	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs

注. PCLKA、PCLKB、PCLKD、FCLKを分周していない設定時の値です。

39.4.4 制御信号タイミング

表 39.30 制御信号タイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$2 \times t_{Pcyc} \leq 200ns$
		$2 \times t_{Pcyc}$ (注 1)	—	—			$2 \times t_{Pcyc} > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$3 \times t_{NMICK} \leq 200ns$
		$3.5 \times t_{NMICK}$ (注 2)	—	—			$3 \times t_{NMICK} > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$2 \times t_{Pcyc} \leq 200ns$
		$2 \times t_{Pcyc}$ (注 1)	—	—			$2 \times t_{Pcyc} > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$3 \times t_{IRQCK} \leq 200ns$
		$3.5 \times t_{IRQCK}$ (注 3)	—	—			$3 \times t_{IRQCK} > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

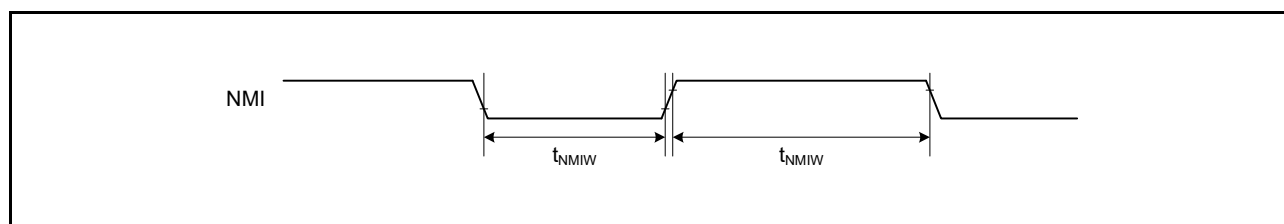
注1. t_{Pcyc} はPCLKBの周期を指します。注2. t_{NMICK} はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK} はIRQiデジタルフィルタサンプリングクロック(i = 0~7)の周期を指します。

図 39.48 NMI 割り込み入力タイミング

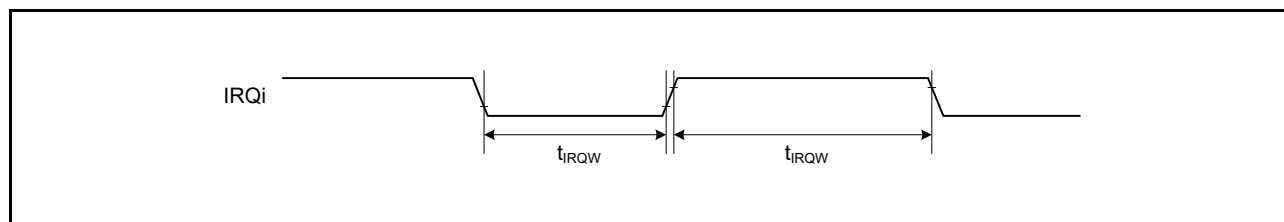


図 39.49 IRQ 割り込み入力タイミング

39.4.5 内蔵周辺モジュールタイミング

39.4.5.1 I/O ポート

表 39.31 I/O ポートタイミング

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位 (注1)	測定条件
I/O ポート	入力データパルス幅	t_{PRW}	1.5	—	—	t_{Pcyc}	図 39.50

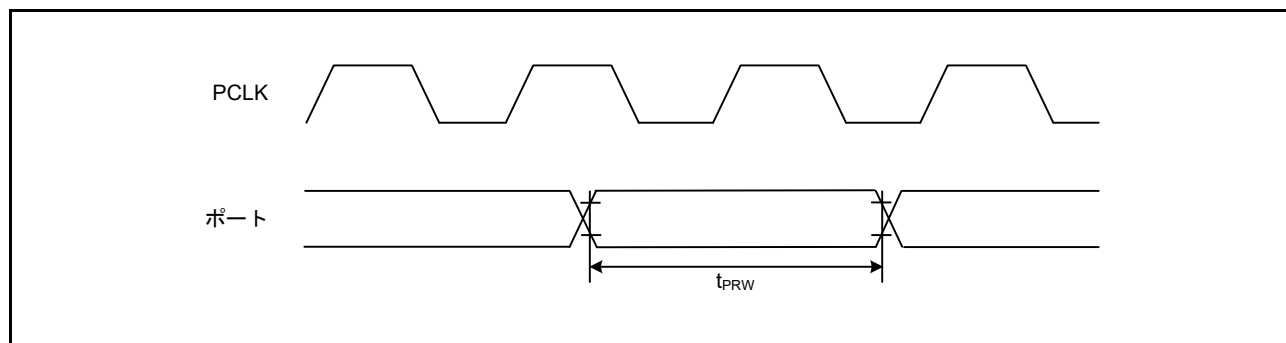
注1. t_{Pcyc} : PCLKの周期

図 39.50 I/O ポート入力タイミング

39.4.5.2 MTU

表 39.32 MTU タイミング

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位 (注1)	測定条件
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	1.5	—	—	t_{Pcyc}	図 39.51
		両エッジ指定		2.5	—	—		
	インプットチャプチャ入力 立ち上がり/立ち下がり時間		t_{TICr} , t_{TICf}	—	—	0.1	$\mu s/V$	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} , t_{TCKWL}	1.5	—	—	t_{Pcyc}	図 39.52
		両エッジ指定		2.5	—	—		
		位相計数モード		2.5	—	—		
タイマクロック 立ち上がり/立ち下がり時間		t_{TCKr} , t_{TCKf}	—	—	0.1	$\mu s/V$		

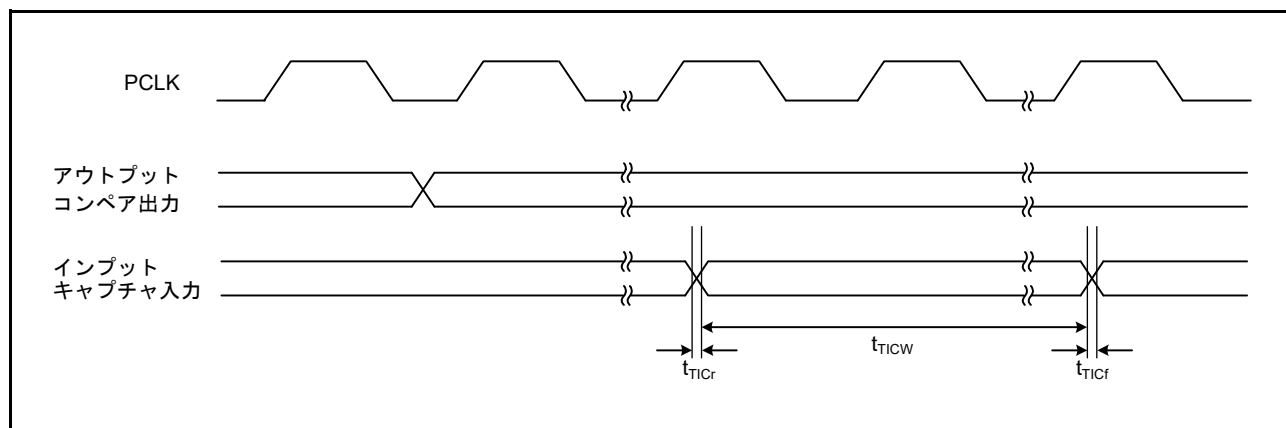
注1. t_{Pcyc} : PCLKの周期

図 39.51 MTU 入出力タイミング

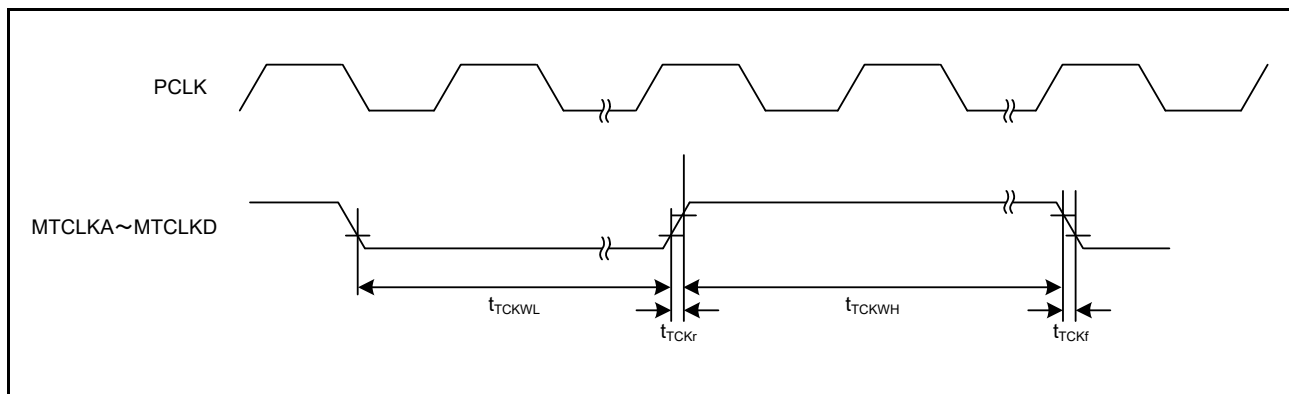


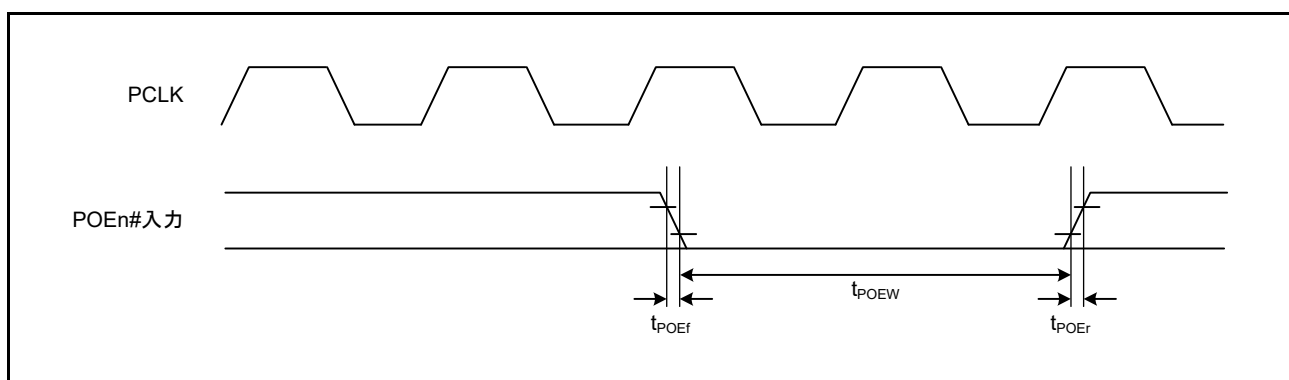
図 39.52 MTU クロック入力タイミング

39.4.5.3 POE

表 39.33 POE タイミング

条件 : $1.8\text{V} \leq \text{VCC} = \text{AVCC0} \leq 5.5\text{V}$, $\text{VSS} = \text{AVSS0} = 0\text{V}$, $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位 (注1)	測定条件
POE	POE#入力パルス幅	t_{POEW}	1.5	—	—	t_{Pcyc}	図 39.53
	POE#立ち上がり/立ち下がり時間	t_{POEr} t_{POEf}	—	—	0.1	$\mu\text{s/V}$	
	出力ディセーブル時間	POE#端子の変化	t_{POEDI}	—	5 PCLKB + 0.24	μs	図 39.54 立ち下がリエッジ検出時 (ICSRm.POE _n M[1:0] = 00b ($m = 1, 2, n = 0 \sim 3, 8$))
		出力端子の短絡	t_{POEDO}	—	3 PCLKB + 0.2	μs	図 39.55
		レジスタ設定	t_{POEDS}	—	1 PCLKB + 0.2	μs	図 39.56 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	21	μs	図 39.57

注1. t_{Pcyc} : PCLKの周期図 39.53 POE 入力タイミング ($n = 0 \sim 3, 8$)

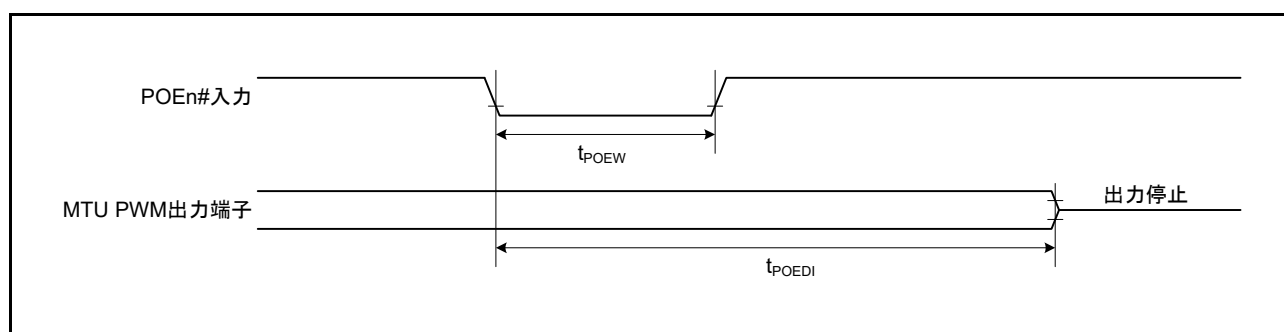


図 39.54 POE 出力ディセーブル時間 (POEn# 端子の変化)

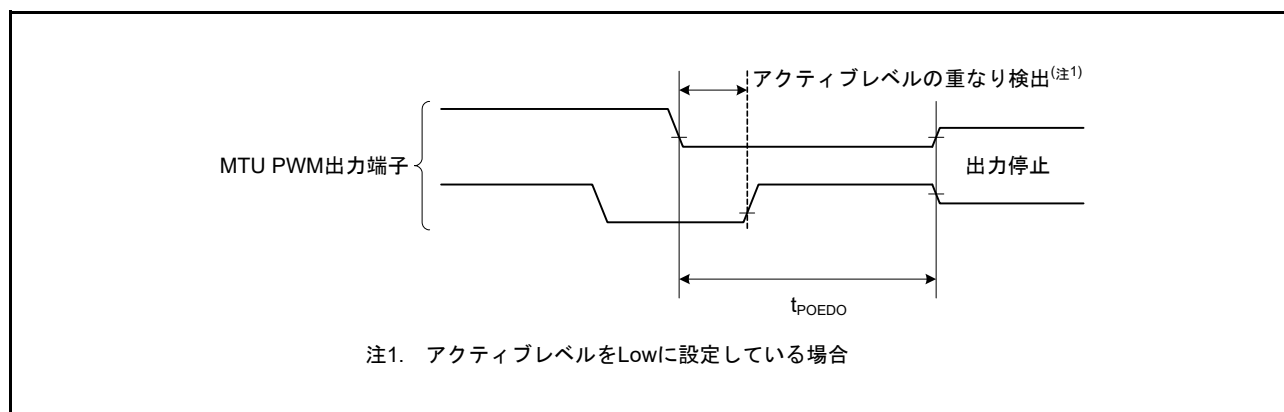


図 39.55 POE 出力ディセーブル時間 (出力端子の短絡)

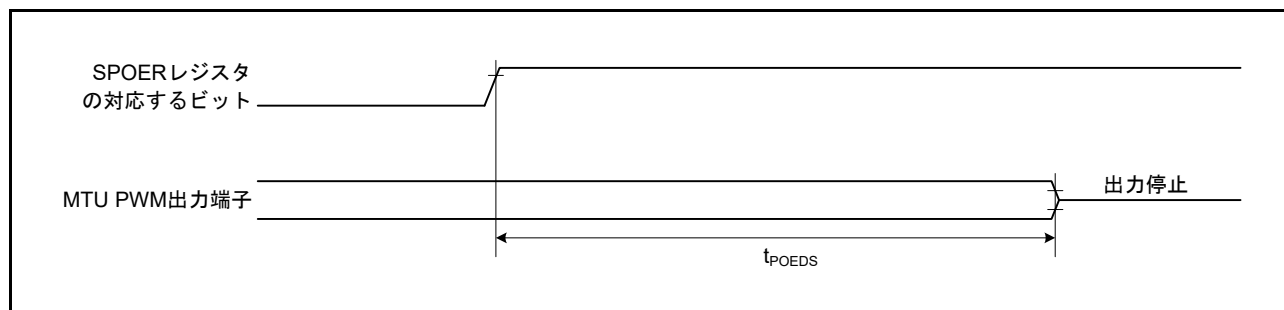


図 39.56 POE 出力ディセーブル時間 (レジスタ設定)

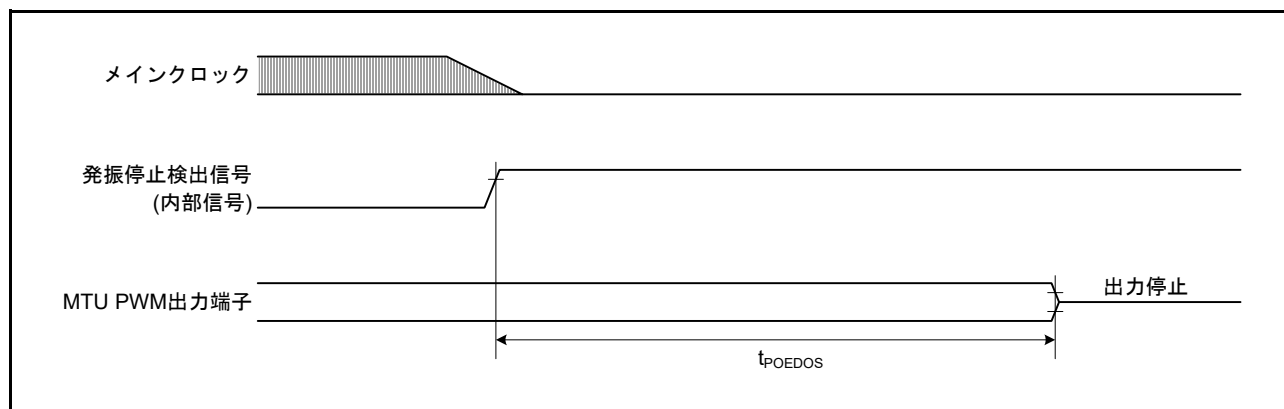


図 39.57 POE 出力ディセーブル時間 (発振停止検出)

39.4.5.4 TMR

表 39.34 TMR タイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	—	t_{Pcyc}	図 39.58
		両エッジ指定	t_{TMCWL}	2.5	—	—		
	タイマクロック立ち上がり/立ち下がり時間		t_{TMCr} , t_{TMCf}	—	—	0.1	$\mu s/V$	

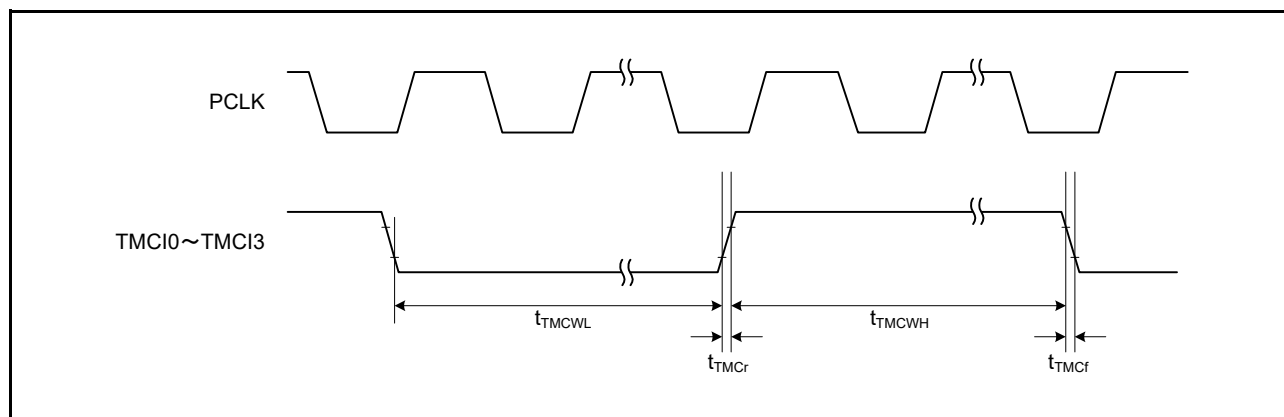
注 1. t_{Pcyc} : PCLK の周期

図 39.58 TMR クロック入力タイミング

39.4.5.5 SCI

表 39.35 SCI タイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	min	typ	max	単位 (注1)	測定条件
SCI	入カクロックサイクル時間		調歩同期	t_{Scyc}	4	—	—	t_{Pcyc}	図 39.59
			クロック同期		6	—	—		
	入カクロックパルス幅			t_{SCKW}	0.4	—	0.6	t_{Scyc}	
	入カクロック立ち上がり時間			t_{SCKr}	—	—	20	ns	
	入カクロック立ち下がり時間			t_{SCKf}	—	—	20	ns	
	出カクロックサイクル時間		調歩同期	t_{Scyc}	16	—	—	t_{Pcyc}	
			クロック同期		4	—	—		
	出カクロックパルス幅			t_{SCKW}	0.4	—	0.6	t_{Scyc}	
	出カクロック立ち上がり時間			t_{SCKr}	—	—	20	ns	
	出カクロック立ち下がり時間			t_{SCKf}	—	—	20	ns	
送信データ遅延時間 (マスタ)		クロック同期		t_{TXD}	—	—	40	ns	図 39.60
送信データ遅延時間 (スレーブ)		クロック同期	VCC ≥ 2.7V		—	—	65	ns	
			VCC < 2.7V		—	—	100	ns	
受信データセットアップ時間 (マスタ)		クロック同期	VCC ≥ 2.7V	t_{RXS}	65	—	—	ns	
			VCC < 2.7V		90	—	—	ns	
受信データセットアップ時間 (スレーブ)		クロック同期			40	—	—	ns	
受信データホールド時間		クロック同期		t_{RXH}	40	—	—	ns	

注 1. t_{Pcyc} : PCLK の周期

表 39.36 簡易 I²C タイミング条件: $2.7V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
簡易 I ² C (スタンダードモード)	SDA 立ち上がり時間	t_{Sr}	—	1000	ns	図 39.61
	SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	250	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	
簡易 I ² C (ファストモード)	SDA 立ち上がり時間	t_{Sr}	—	300	ns	図 39.61
	SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	100	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	

注. t_{Pcyc} : PCLK の周期注1. C_b はバスラインの容量総計です。

表 39.37 簡易 SPI タイミング

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力(マスタ)		t_{SPcyc}	4	65536	t_{Pcyc}	図 39.62
	SCKクロックサイクル入力(スレーブ)			6	—	t_{Pcyc}	
	SCKクロックHighレベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowレベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間		t_{SPCKr}, t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間 (マスタ)	VCC ≥ 2.7V	t_{SU}	65	—	ns	図 39.63、 図 39.64
		VCC < 2.7V		95	—		
	データ入力セットアップ時間(スレーブ)			40	—		
	データ入力ホールド時間		t_H	40	—	ns	
	SSL入力セットアップ時間		t_{LEAD}	3	—	t_{SPcyc}	
	SSL入力ホールド時間		t_{LAG}	3	—	t_{SPcyc}	
	データ出力遅延時間(マスタ)		t_{OD}	—	40	ns	
	データ出力遅延時間(スレーブ)	VCC ≥ 2.7V		—	65		
		VCC < 2.7V		—	100		
	データ出力ホールド時間 (マスタ)	VCC ≥ 2.7V	t_{OH}	−10	—	ns	
		VCC < 2.7V		−20	—		
	データ出力ホールド時間(スレーブ)			−10	—		
	データ立ち上がり/立ち下がり時間		t_{Dr}, t_{Df}	—	20	ns	
	SSL入力立ち上がり/立ち下がり時間		t_{SSLr}, t_{SSLf}	—	20	ns	
	スレーブアクセス時間		t_{SA}	—	6	t_{Pcyc}	図 39.65、 図 39.66
スレーブ出力開放時間		t_{REL}	—	6	t_{Pcyc}		

注1. t_{Pcyc} : PCLK の周期

39.4.5.6 RIIC

表 39.38 RIIC タイミング

条件 : $2.7V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 39.61
	SCL High パルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Low パルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディションホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	リスタートコンディションセットアップ 時間	t_{STAS}	1000	—	ns	
	ストップコンディションセットアップ 時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	
	SCL、SDA の容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 39.61
	SCL High パルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Low パルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディションホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	リスタートコンディションセットアップ 時間	t_{STAS}	300	—	ns	
	ストップコンディションセットアップ 時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	
	SCL、SDA の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE ビット = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] ビット = 11b の場合を示します。

注2. C_b はバスラインの容量総計です。

39.4.5.7 RSPI

表 39.39 RSPI タイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C, C = 30pF

駆動能力制御レジスタで高駆動出力を選択時

項目				記号	min	max	単位 (注1)	測定条件
RSPI	RSPCKクロック サイクル	マスタ		t_{SPcyc}	2	4096	t_{Pcyc}	図 39.62
		スレーブ			6	—		
	RSPCKクロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$	—		
	RSPCKクロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$	—		
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	$VCC \geq 2.7V$	$t_{SPCKr},$ t_{SPCKf}	—	10	ns	
			$VCC < 2.7V$		—	15		
		入力			—	0.1	$\mu s/V$	
	データ入力セット アップ時間	マスタ	$VCC \geq 2.7V$	t_{SU}	10	—	ns	図 39.63 ~ 図 39.66
			$VCC < 2.7V$		30	—		
		スレーブ			25	—		
	データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{Pcyc}	—	ns	
			RSPCKをPCLKB の2分周に設定	t_{HF}	0	—		
		スレーブ		t_H	20	—		
	SSLセットアップ 時間	マスタ		t_{LEAD}	$-30 + N$ (注2) $\times$ t_{SPcyc}	—	ns	
		スレーブ			6	—	t_{Pcyc}	
	SSLホールド時間	マスタ		t_{LAG}	$-30 + N$ (注3) $\times$ t_{SPcyc}	—	ns	
		スレーブ			6	—	t_{Pcyc}	
	データ出力遅延時間	マスタ	$VCC \geq 2.7V$	t_{OD}	—	14	ns	
			$VCC < 2.7V$		—	30		
		スレーブ	$VCC \geq 2.7V$		—	65		
			$VCC < 2.7V$		—	105		
	データ出力ホールド 時間	マスタ		t_{OH}	0	—	ns	
		スレーブ			0	—		
	連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ			$6 \times t_{Pcyc}$	—		
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	$VCC \geq 2.7V$	t_{Dr}, t_{Df}	—	10	ns		
		$VCC < 2.7V$		—	15			
	入力			—	1	μs		
SSL立ち上がり/ 立ち下がり時間	出力	$VCC \geq 2.7V$	$t_{SSLr},$ t_{SSLf}	—	10	ns		
		$VCC < 2.7V$		—	15	ns		
	入力			—	1	μs		
スレーブアクセス時間		$VCC \geq 2.7V$	t_{SA}	—	6	t_{Pcyc}	図 39.65、 図 39.66	
		$VCC < 2.7V$		—	7			
スレーブ出力開放時間		$VCC \geq 2.7V$	t_{REL}	—	5	t_{Pcyc}		
		$VCC < 2.7V$		—	6			

注1. t_{Pcyc} : PCLK の周期

注2. N : RSPI クロック遅延レジスタ (SPCKD) にて設定可能な 1 ~ 8 の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1~8の整数

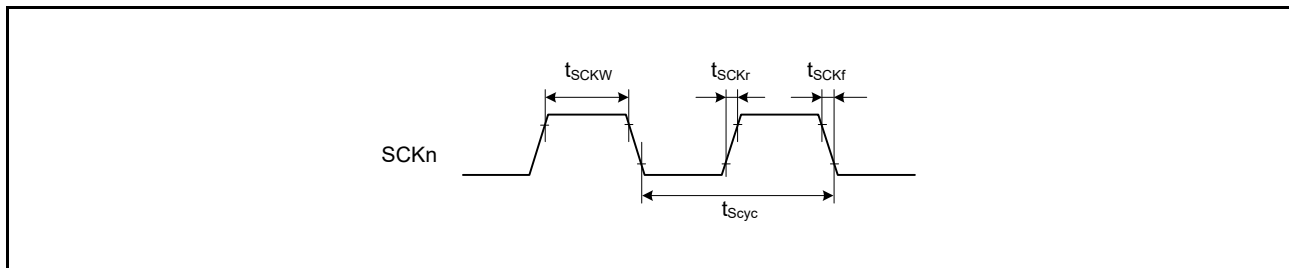


図 39.59 SCK クロック入力タイミング (n = 1, 5, 6, 12)

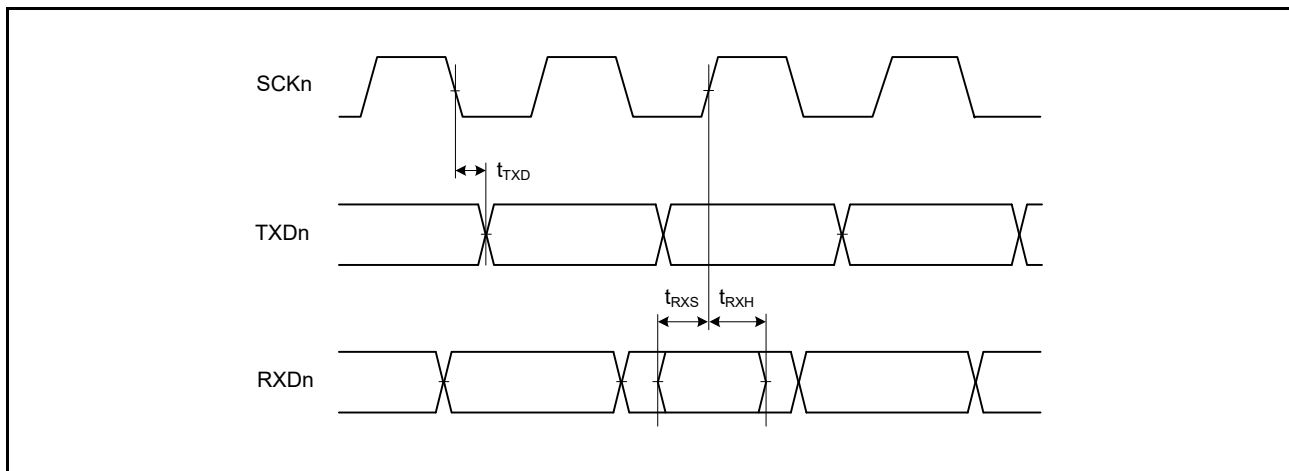


図 39.60 SCI 入出力タイミング / クロック同期式モード (n = 1, 5, 6, 12)

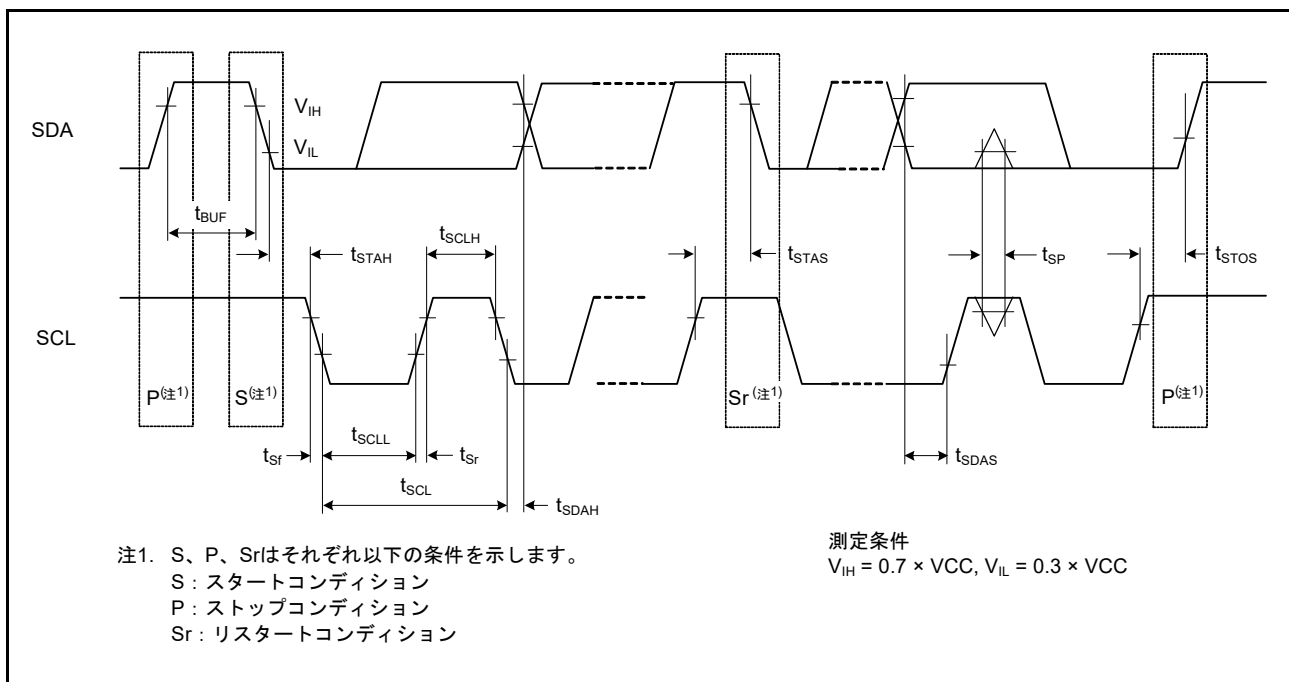


図 39.61 I²C バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

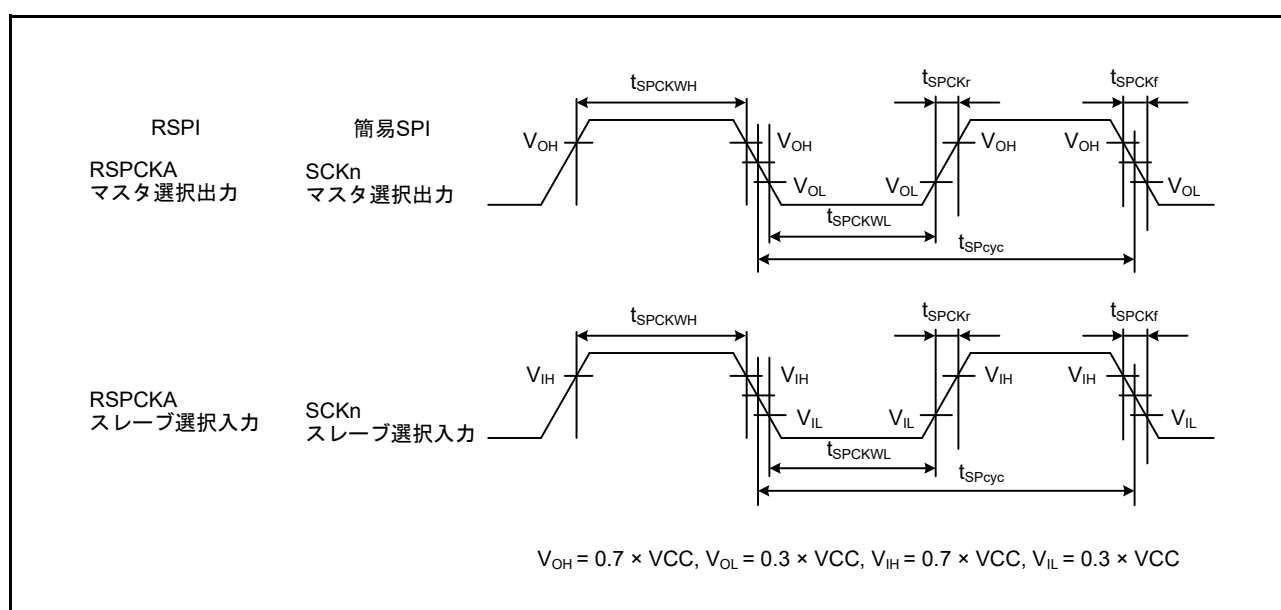


図 39.62 RSPI クロックタイミング / 簡易 SPI クロックタイミング (n = 1, 5, 6, 12)

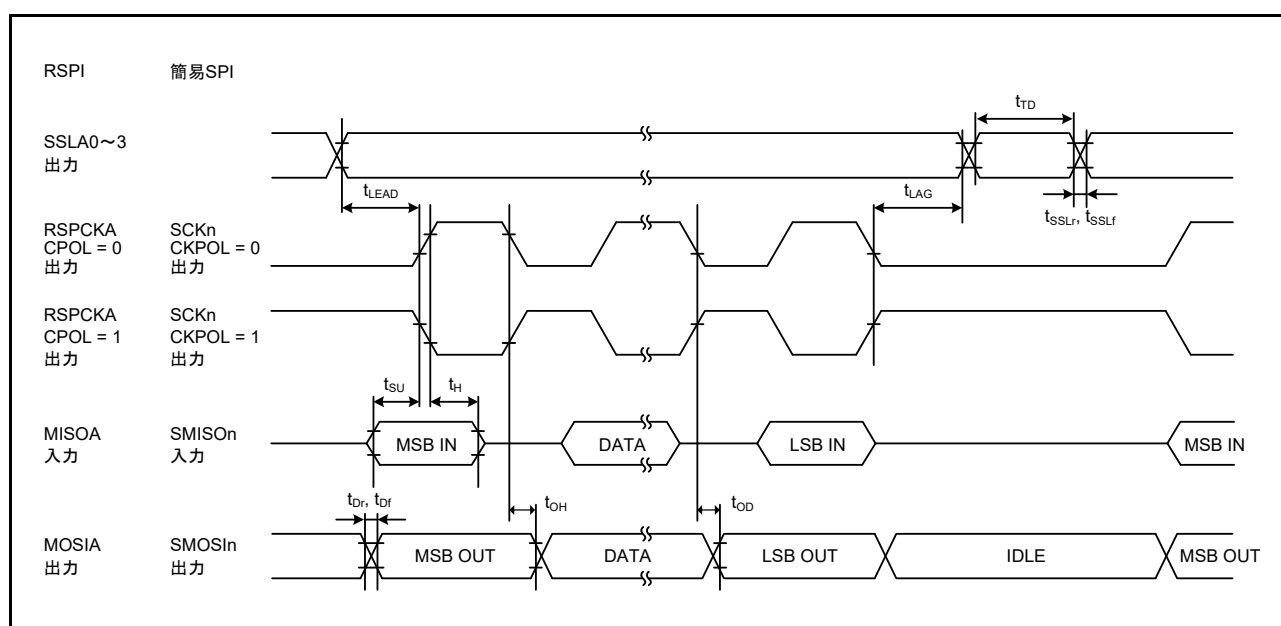


図 39.63 RSPI タイミング (マスタ、CPHA = 0)/ 簡易 SPI クロックタイミング (マスタ、CKPH = 1)
(n = 1, 5, 6, 12)

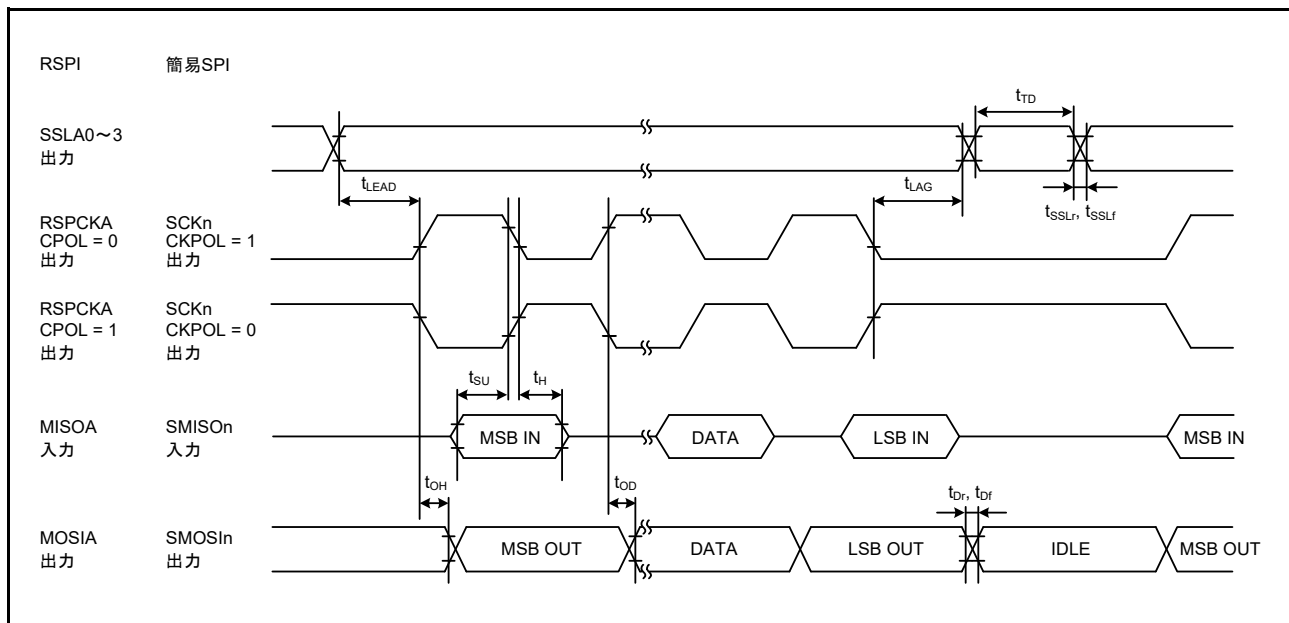


図 39.64 RSPI タイミング (マスタ、CPHA = 1)/ 簡易 SPI クロックタイミング (マスタ、CKPH = 0) (n = 1, 5, 6, 12)

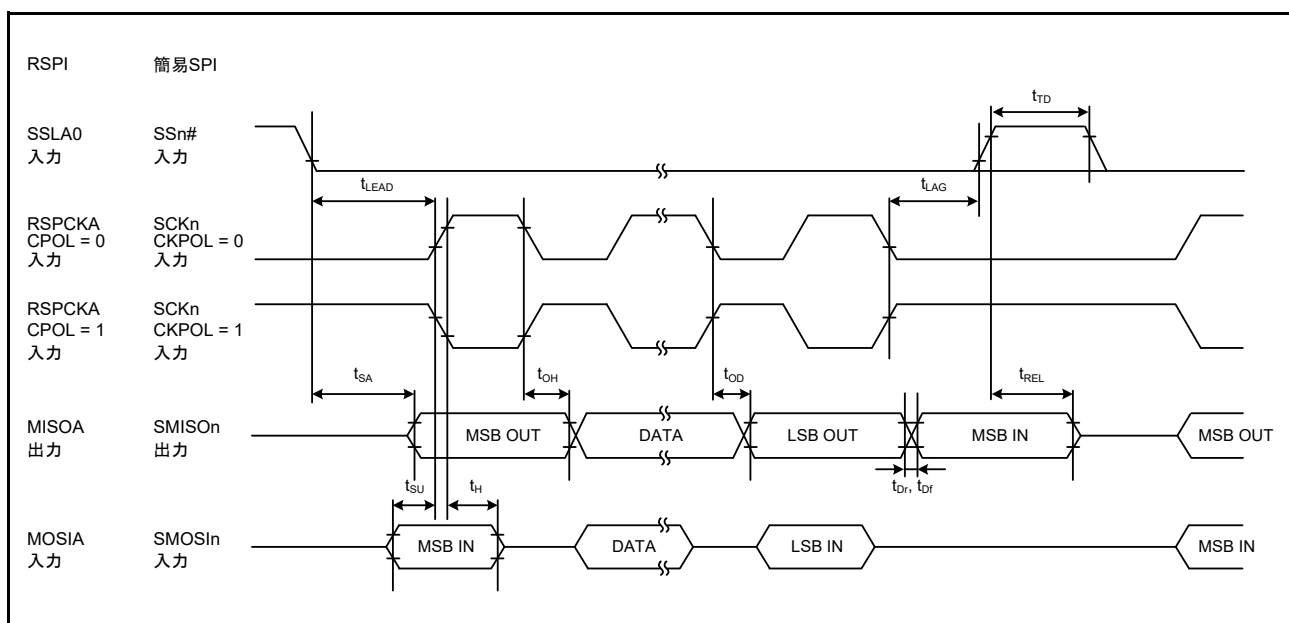


図 39.65 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI クロックタイミング (スレーブ、CKPH = 1) (n = 1, 5, 6, 12)

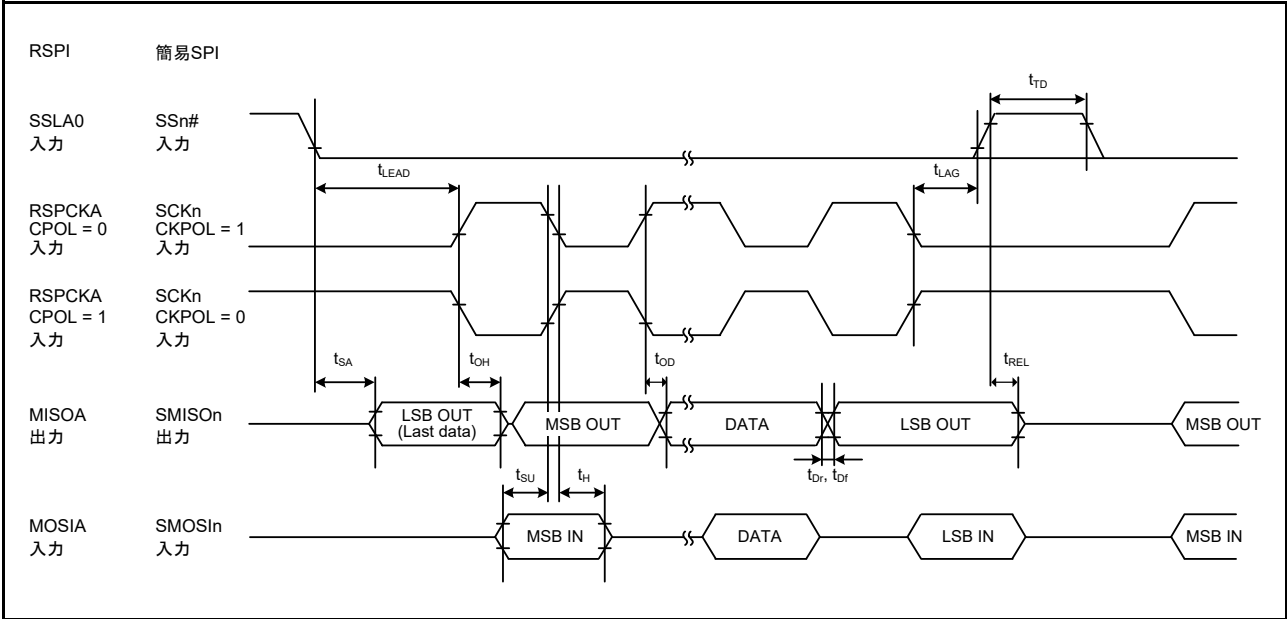


図 39.66 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI クロックタイミング (スレーブ、CKPH = 0)
(n = 1, 5, 6, 12)

39.4.5.8 A/D コンバータトリガ

表 39.40 A/D コンバータトリガタイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^{\circ}C$

項目		記号	min	typ	max	単位 (注1)	測定条件
A/D コンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	—	t_{Pcyc}	図 39.67

注 1. t_{Pcyc} : PCLK の周期

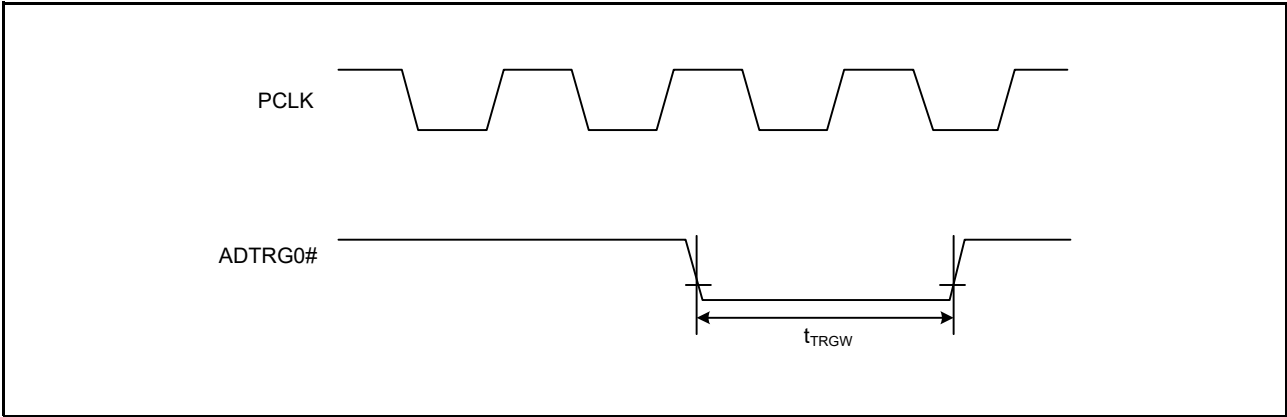


図 39.67 A/D コンバータ外部トリガ入力タイミング

39.4.5.9 CAC

表 39.41 CAC タイミング

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位 (注1)	測定条件
CAC	CACREF 入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	—	ns	
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$	—	—		
	CACREF 立ち上がり/立ち下がり時間		$t_{CACREFr}$, $t_{CACREFf}$	—	—	0.1	$\mu s/V$	

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CAC カウントクロックソースの周期

39.4.5.10 CLKOUT

表 39.42 CLKOUT タイミング

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位 (注1)	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注3)	VCC ≥ 2.7V	t _{Cyc}	62.5	—	—	ns	図 39.68
		VCC < 2.7V		125	—			
	CLKOUT 端子 High レベルパルス幅 (注2)	VCC ≥ 2.7V	t _{CH}	15	—	—	ns	
		VCC < 2.7V		30	—			
	CLKOUT 端子 Low レベルパルス幅 (注2)	VCC ≥ 2.7V	t _{CL}	15	—	—	ns	
		VCC < 2.7V		30	—			
	CLKOUT 端子出力立ち上がり時間	VCC ≥ 2.7V	t _{Cr}	—	—	12	ns	
		VCC < 2.7V			—	25		
	CLKOUT 端子出力立ち下がり時間	VCC ≥ 2.7V	t _{Cf}	—	—	12	ns	
		VCC < 2.7V			—	25		

注1. t_{Pcyc} : PCLKの周期

注2. クロック出力ソースに LOCO 選択 (CKOCR.CKOSEL[2:0] ビット = 000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注3. EXTERNAL 外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSEL[2:0] ビット = 010b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比 45 ~ 55% で上記を満たします。

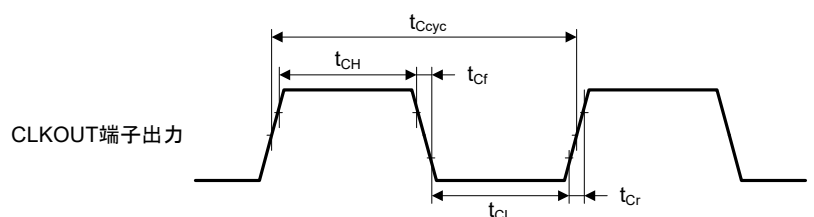
測定条件 $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $I_{OH} = -1.0mA$, $I_{OL} = 1.0mA$, $C = 30pF$

図 39.68 CLKOUT 出力タイミング

39.5 パワーオンリセット回路、電圧検出回路特性

表 39.43 パワーオンリセット回路、電圧検出回路特性(1)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V_{POR}	1.35	1.50	1.65	V	図 39.69、図 39.70
	電圧検出回路 (LVD0) (注1)	V_{det0_0}	3.67	3.84	3.97	V	図 39.71 VCC 立ち下がり時
		V_{det0_1}	2.70	2.82	3.00		
		V_{det0_2}	2.37	2.51	2.67		
		V_{det0_3}	1.80	1.90	1.99		
	電圧検出回路 (LVD1) (注2)	V_{det1_0}	4.12	4.29	4.42	V	図 39.72 VCC 立ち下がり時
		V_{det1_1}	3.98	4.14	4.28		
		V_{det1_2}	3.86	4.02	4.16		
		V_{det1_3}	3.68	3.84	3.98		
		V_{det1_4}	2.99	3.10	3.29		
		V_{det1_5}	2.89	3.00	3.19		
		V_{det1_6}	2.79	2.90	3.09		
		V_{det1_7}	2.68	2.79	2.98		
		V_{det1_8}	2.57	2.68	2.87		
		V_{det1_9}	2.47	2.58	2.67		
		V_{det1_A}	2.37	2.48	2.57		
		V_{det1_B}	2.10	2.20	2.30		
		V_{det1_C}	1.86	1.96	2.06		
		V_{det1_D}	1.80	1.86	1.96		
	電圧検出回路 (LVD2) (注3)	V_{det2_0}	4.08	4.29	4.48	V	図 39.73 VCC 立ち下がり時
		V_{det2_1}	3.95	4.14	4.35		
		V_{det2_2}	3.82	4.02	4.22		
		V_{det2_3}	3.62	3.84	4.02		

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。

注1. 記号 V_{det0_n} の n は、OFS1.VDSEL[1:0] ビットの値です。

注2. 記号 V_{det1_n} の n は、LVDLVL.R.LVD1LVL[3:0] ビットの値です。

注3. 記号 V_{det2_n} の n は、LVDLVL.R.LVD2LVL[1:0] ビットの値です。

表 39.44 パワーオンリセット回路、電圧検出回路特性(2)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット 解除後待機時間	通常起動時	t_{POR}	—	9.1	—	ms	図 39.70
	起動時間短縮時	t_{POR}	—	1.6	—		
電圧監視0リセット解除後待機時間		t_{LVD0}	—	600	—	μs	図 39.71
電圧監視1リセット解除後待機時間		t_{LVD1}	—	150	—	μs	図 39.72
電圧監視2リセット解除後待機時間		t_{LVD2}	—	150	—	μs	図 39.73
応答遅延時間		t_{det}	—	—	350	μs	図 39.69
最小VCC低下時間(注1)		t_{VOFF}	350	—	—	μs	図 39.69、VCC = 1.0V 以上
パワーオンリセット有効時間		$t_{W(POR)}$	1	—	—	ms	図 39.70、VCC = 1.0V 未満
LVD 動作安定時間(LVD 有効切り替え時)		$T_{d(E-A)}$	—	—	300	μs	図 39.72、図 39.73
ヒステリシス幅(パワーオンリセット(POR))		V_{PORH}	—	110	—	mV	
ヒステリシス幅 (電圧検出回路(LVD0, LVD1, LVD2))	V_{LVH}	—	—	70	—	mV	Vdet1_0 ~ 4 選択時
		—	—	60	—		Vdet1_5 ~ 9 選択時
		—	—	50	—		Vdet1_A ~ B 選択時
		—	—	40	—		Vdet1_C ~ D 選択時
		—	—	60	—		LVD0, LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

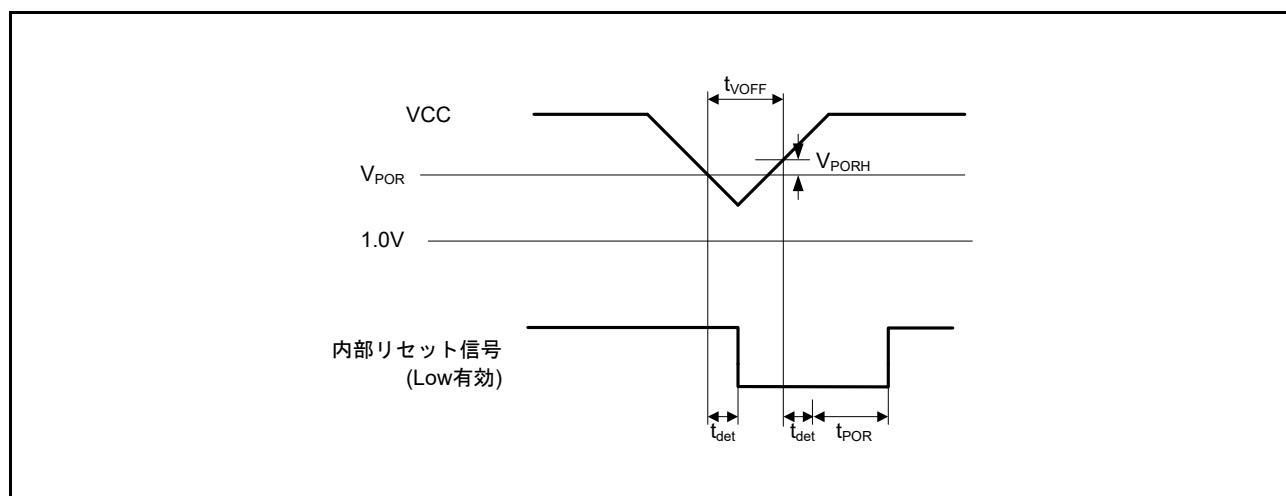


図 39.69 電圧検出リセットタイミング

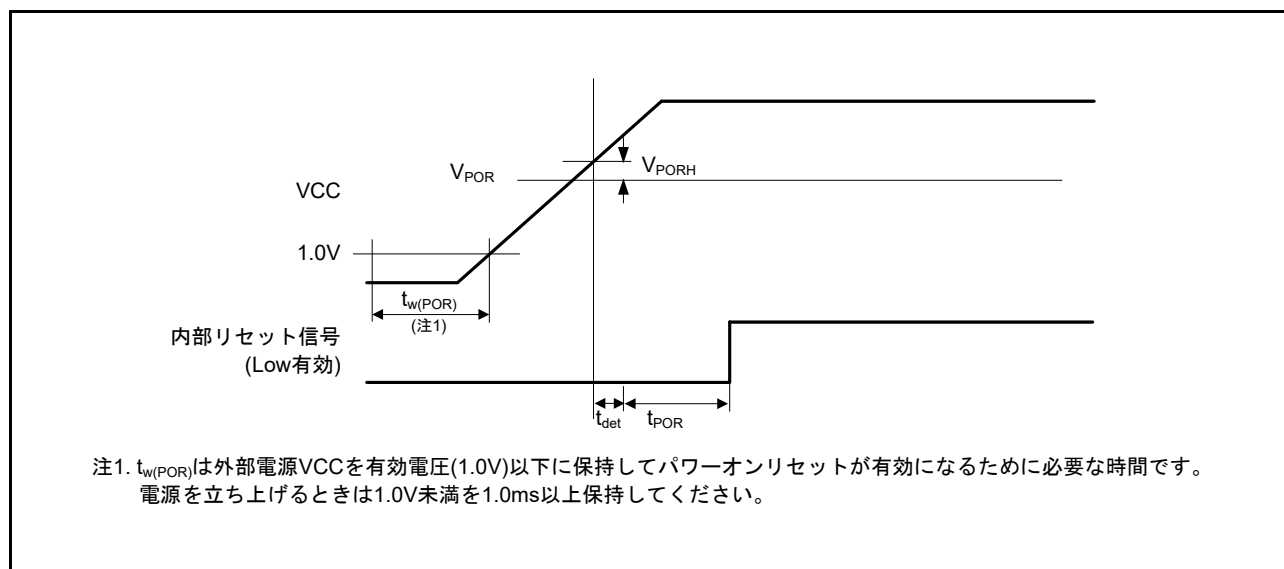


図 39.70 パワーオンリセットタイミング

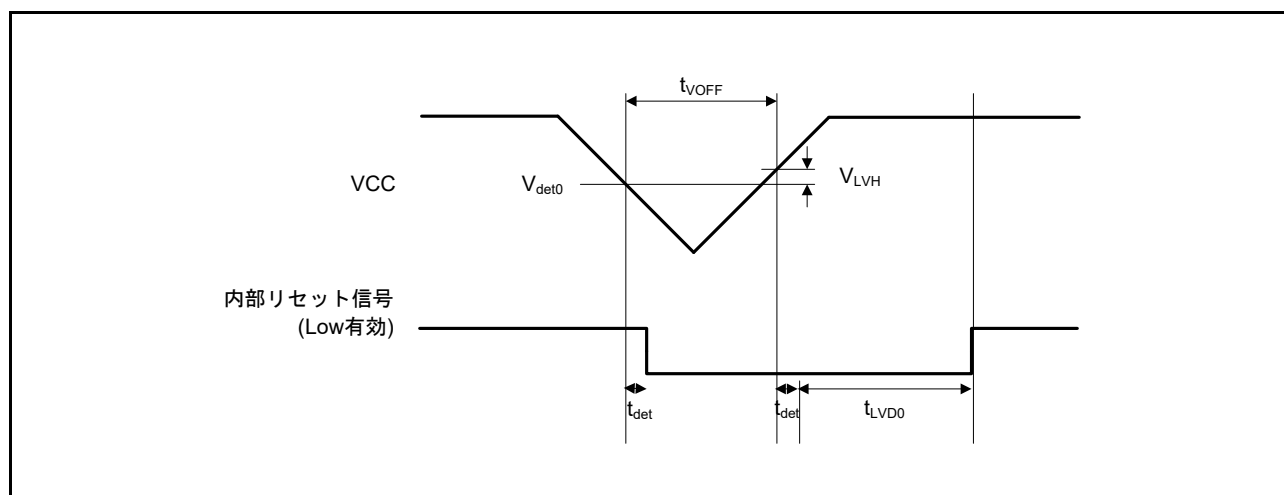
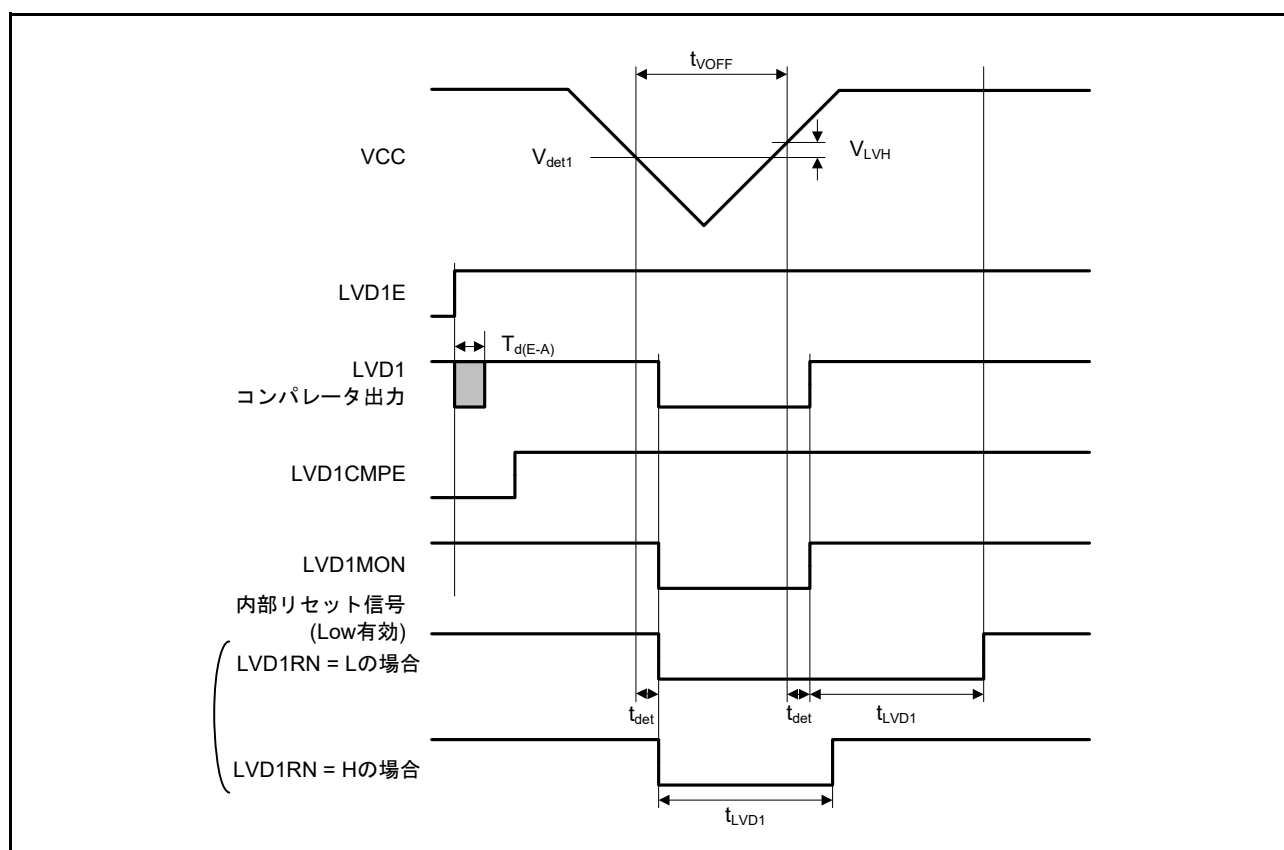
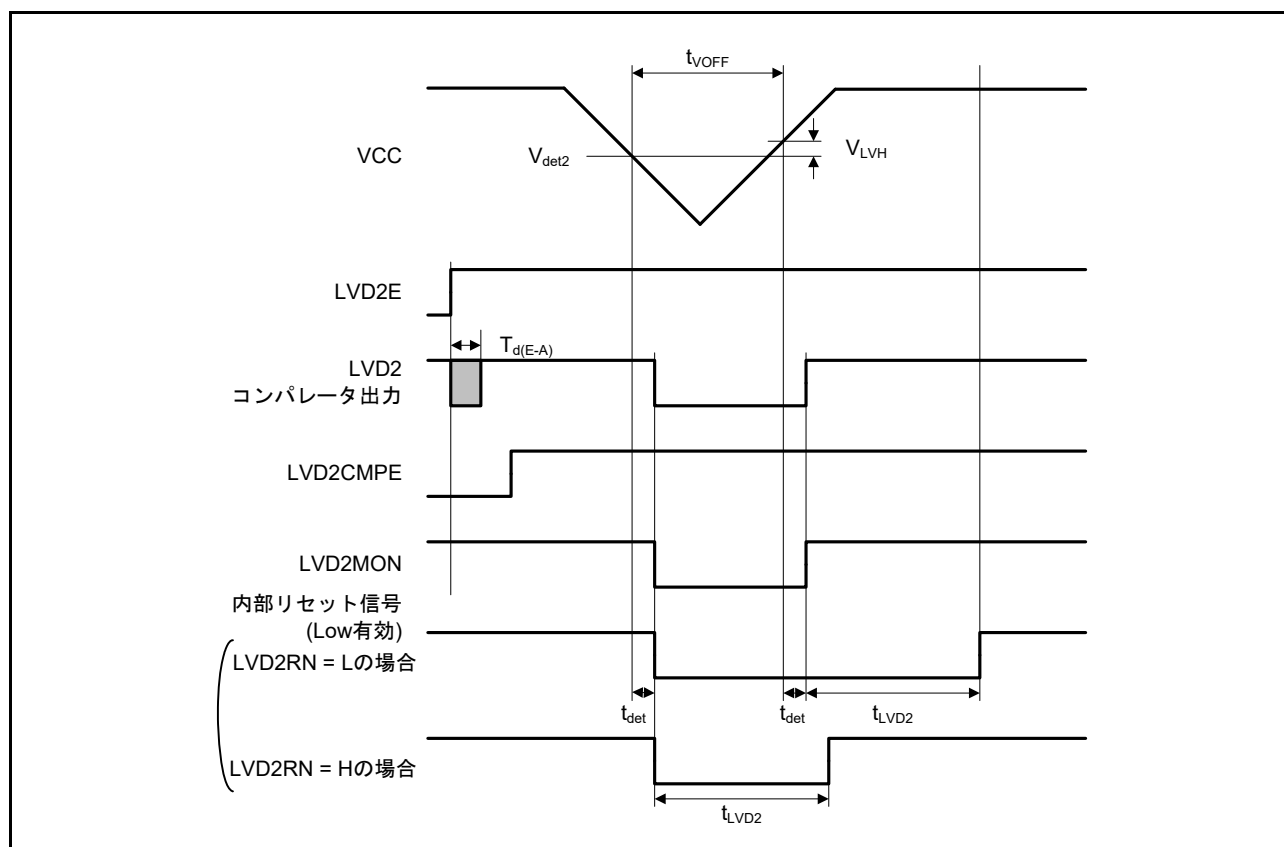


図 39.71 電圧検出回路タイミング (Vdet0)

図 39.72 電圧検出回路タイミング (V_{det1})図 39.73 電圧検出回路タイミング (V_{det2})

39.6 発振停止検出タイミング

表 39.45 発振停止検出回路特性
条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^{\circ}C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 39.74

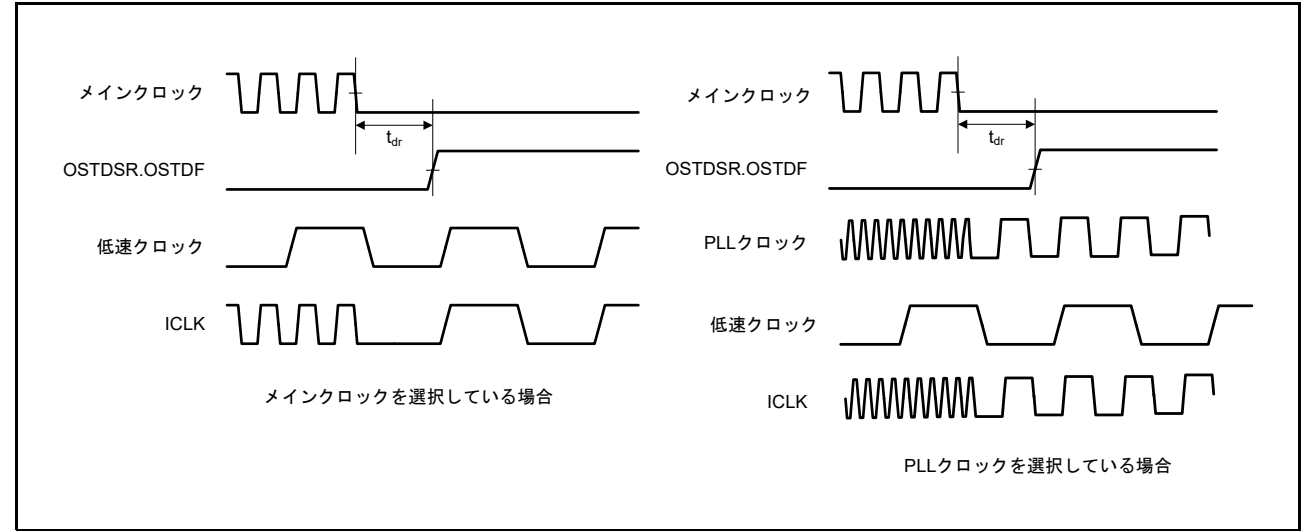


図 39.74 発振停止検出タイミング

39.7 ROM (コードフラッシュメモリ) 特性

表 39.46 ROM (コードフラッシュメモリ) 特性 (1)

項目	記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)	N _{PEC}	1000	—	—	回	
データ保持時間	イレーズ1000回後	t _{DRP}	20 (注2、注3)	—	年	T _a = 85°C

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
たとえば、1Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを256回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. フラッシュプログラム使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。
- 注3. 信頼性試験から得られた結果です。

表 39.47 ROM (コードフラッシュメモリ) 特性 (2) (高速動作モード)

条件：2.7V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1MHz			FCLK = 32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	8バイト	t _{P8}	—	112.0	967.0	—	52.3	490.5	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.7	278.1	—	5.5	214.6	ms
	256Kバイト (ブロックイレーズ コマンド使用時)	t _{E256K}	—	469.1	9813.6	—	41.2	1049.2	ms
	256Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA256K}	—	463.9	9609.0	—	36.0	839.5	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840.0	—	—	135.7	μs
イレーズ処理強制停止時間		t _{SED}	—	—	18.0	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	12.3	566.5	—	6.2	433.5	ms
アクセスウィンドウ設定時間		t _{AWS}	—	12.3	566.5	—	6.2	433.5	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	5.0	—	—	5.0	—	—	μs

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は±3.5%以下である必要があります。

表 39.48 ROM (コードフラッシュメモリ) 特性 (3) (中速動作モード)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$ プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +85^\circ C$

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	8バイト	t_{P8}	—	152.0	1367.0	—	97.9	936.0	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.8	279.7	—	5.9	220.8	ms
	256Kバイト (ブロックイレーズ コマンド使用時)	t_{E256K}	—	469.2	9816.9	—	100.5	2260.1	ms
	256Kバイト (全ブロックイレーズ コマンド使用時)	t_{EA256K}	—	464.0	9610.7	—	95.3	2053.7	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	85.0	—	—	50.9	μs
	2Kバイト	t_{BC2K}	—	—	1870.0	—	—	401.5	μs
イレーズ処理強制停止時間		t_{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	13.0	573.3	—	7.7	450.1	ms
アクセスウィンドウ設定時間		t_{AWS}	—	13.0	573.3	—	7.7	450.1	ms
ROMモード遷移待ち時間1		t_{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

39.8 E2 データフラッシュ (データフラッシュメモリ) 特性

表 39.49 E2 データフラッシュ特性 (1)

項目		記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)		N _{DPEC}	100000	1000000	—	回	
データ保持時間	イレーズ 10000 回後	t _{DDRP}	20 (注2、注3)	—	—	年	T _a = 85°C
	イレーズ 100000 回後		5 (注2、注3)	—	—	年	
	イレーズ 1000000 回後		—	1 (注2、注3)	—	年	T _a = 25°C

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、1Kバイトのブロックについて、それぞれ異なる番地に1バイトプログラムを1000回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. フラッシュプログラム使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。
- 注3. 信頼性試験から得られた結果です。

表 39.50 E2 データフラッシュ特性 (2) (高速動作モード)

条件：2.7V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V
プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1MHz			FCLK = 32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	95.0	797.0	—	40.8	375.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.5	498.5	—	6.2	229.4	ms
	8Kバイト	t _{DE8K}	—	119.8	2555.7	—	12.9	367.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	55.0	—	—	16.1	μs
	1Kバイト	t _{DBC1K}	—	—	7216.0	—	—	495.7	μs
イレーズ処理強制停止時間		t _{DSER}	—	—	16.0	—	—	10.7	μs
データフラッシュ STOP 解除時間		t _{DSTOP}	5.0	—	—	5.0	—	—	μs

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLK の下限周波数は1MHzです。FCLK を4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLK の周波数精度は±3.5%以下である必要があります。

表 39.51 E2 データフラッシュ特性 (3) (中速動作モード)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V
プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	135.0	1197.0	—	86.5	822.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.6	500.1	—	8.0	264.1	ms
	8Kバイト	t _{DE8K}	—	119.9	2557.4	—	27.7	668.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t _{DBC1K}	—	—	7246.0	—	—	1457.5	μs
イレーズ処理強制停止時間		t _{DSER}	—	—	28.0	—	—	21.3	μs
データフラッシュ STOP 解除時間		t _{DSTOP}	0.72	—	—	0.72	—	—	μs

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLK の下限周波数は1MHzです。FCLK を4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLK の周波数精度は±3.5%以下である必要があります。

39.9 24 ビット Δ - Σ A/D コンバータ特性表 39.52 24 ビット Δ - Σ A/D コンバータ特性条件: $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $V_{REF} = 2.5V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
ゲイン		Gain	1, 2, 4, 8, 16, 32, 64, 128			—	
出力データレート	ノーマルモード	f_{DR}	7.6	—	15625	SPS	
	ローパワーモード		1.9	—	3906		
分解能(ノーマリッシングコード)		—	24	—	—	ビット	
RMS ノイズ		V_N	—	表 39.53、 表 39.55	—	—	図 39.75 ~ 図 39.91
積分非直線性誤差	Gain = 1 (PGA 有効)、 ノーマル/ローパワーモード、 OPCR.DSADLVM ビット = 0	INL	—	± 7	± 15	ppmFSR	図 39.92、図 39.93 AVCC0 = 3.6 ~ 5.5V
	Gain = 2 ~ 64、 ノーマル/ローパワーモード、 OPCR.DSADLVM ビット = 0		—	± 4	± 15		
	Gain = 128、 ノーマルモード、 OPCR.DSADLVM ビット = 0		—	± 5	± 15		
	Gain = 128、 ローパワーモード、 OPCR.DSADLVM ビット = 0		—	± 7	± 20		
	Gain = 1 ~ 128 (PGA 有効)、 ノーマル/ローパワーモード、 OPCR.DSADLVM ビット = 1		—	± 7	± 30		AVCC0 = 2.7 ~ 5.5V
	Gain = 1 (PGA 無効、BUF 無効)		—	± 7	± 20		AVCC0 = 2.7 ~ 5.5V, $V_I < 2.6V$
	Gain = 1 (PGA 無効、BUF 有効)		—	± 7	—		
オフセット誤差	補正前	E_O	—	—	± 10	μV	図 39.94 AVCC0 = 5.0V、 $T_a = 25^\circ C$ 、 ノーマルモード、 Gain = 2
	補正後		—	RMS ノイズ 以下	—		
オフセット ドリフト	Gain = 1, 2 (PGA 有効)	dE_O	—	60	220	$nV/^\circ C$	図 39.94
	Gain = 4 ~ 8		—	40	140		
	Gain = 16 ~ 32		—	15	40		
	Gain = 64 ~ 128		—	10	25		
	Gain = 1 (PGA 無効、BUF 無効)		—	50	140		
ゲイン誤差	Gain = 1 ~ 64 (PGA 有効)	E_G	—	± 0.01	± 0.03	%	図 39.95 $T_a = 25^\circ C$
	Gain = 128		—	± 0.01	± 0.04		
	Gain = 1 (PGA 無効、BUF 無効)		—	± 0.015	± 0.04		
	Gain = 1 (PGA 無効、BUF 有効)		—	± 0.03	—		
	ゲイン誤差補正後		—	RMS ノイズ 以下	—		

項目		記号	min	typ	max	単位	測定条件
ゲインドリフト	Gain = 1 ~ 128 (PGA有効)、 OPCR.DSADLVMビット=0	dE _G	—	1	3	ppm/°C	図39.95
	Gain = 1 ~ 128 (PGA有効)、 OPCR.DSADLVMビット=1		—	1	5		AVCC0 = 3.0 ~ 5.5V
			—	—	10		AVCC0 < 3.0V
	Gain = 1 (PGA無効)		—	1.4	—		図39.95 V _I < 2.6V
電源電圧除去比	Gain = 1 (PGA有効)	PSRR	80	88	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 2 ~ 16		89	95	—		
	Gain = 32 ~ 128		102	115	—		
	Gain = 1 (PGA無効、BUF無効)		68	88	—		V _{ID} = 1V (DC)
	Gain = 1 (PGA無効、BUF有効)		—	78	—		
同相信号除去比	Gain = 1 ~ 8 (PGA有効)、 OPCR.DSADLVMビット=0	CMRR	95	100	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 16 ~ 32、 OPCR.DSADLVMビット=0		110	120	—		
	Gain = 64 ~ 128、 OPCR.DSADLVMビット=0		120	130	—		
	Gain = 1 ~ 8 (PGA有効)、 OPCR.DSADLVMビット=1		80	100	—		
	Gain = 16 ~ 32、 OPCR.DSADLVMビット=1		88	120	—		
	Gain = 64 ~ 128、 OPCR.DSADLVMビット=1		100	130	—		
	Gain = 1 (PGA無効、BUF無効)		60	88	—		V _{ID} = 1V (DC)
	Gain = 1 (PGA無効、BUF有効)		—	78	—		
ノーマルモード 除去比	外部クロック、50 Hz、60 Hz	NMRR	120	—	—	dB	10 SPS, 50±1 Hz, 60±1 Hz
			75	—	—		54 SPS, 50±1 Hz, 60±1 Hz
	外部クロック、50 Hz		120	—	—		50 SPS, 50±1 Hz
	外部クロック、60 Hz		120	—	—		60 SPS, 60±1 Hz
	内部クロック (HOCO)、 50 Hz、60 Hz		110	—	—		10 SPS, 50±1 Hz, 60±1 Hz
			70	—	—		54 SPS, 50±1 Hz, 60±1 Hz
	内部クロック (HOCO)、50 Hz		110	—	—		50 SPS, 50±1 Hz
	内部クロック (HOCO)、60 Hz		110	—	—		60 SPS, 60±1 Hz
バーンアウト電流		I _{BO}	0.5, 2, 4, 20			μA	
モジュレータ クロック	ノーマルモード	f _{MOD}	430	500	570	kHz	
	ローパワーモード		107.5	125.0	142.5		

表 39.53 標準ノイズ特性 (ノーマルモード)

条件: AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 500\text{kHz}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
7.6	65536	0.383 (2.39)	0.524 (2.69)	0.601 (3.89)	0.563 (3.59)	0.284 (2.02)	0.166 (1.08)	0.097 (0.60)	0.052 (0.34)	0.036 (0.28)	0.029 (0.20)
10	50048	0.426 (2.64)	0.671 (3.96)	0.680 (4.40)	0.618 (4.18)	0.322 (2.53)	0.185 (1.15)	0.108 (0.71)	0.056 (0.40)	0.041 (0.27)	0.033 (0.20)
50	9984	0.878 (5.42)	1.117 (7.59)	1.308 (9.76)	1.196 (7.59)	0.667 (5.15)	0.369 (2.51)	0.230 (1.69)	0.121 (0.92)	0.084 (0.61)	0.072 (0.52)
54	9216	0.929 (6.35)	1.225 (9.71)	1.359 (10.5)	1.254 (9.52)	0.702 (4.85)	0.392 (2.85)	0.240 (1.70)	0.127 (0.88)	0.090 (0.59)	0.076 (0.51)
60	8320	0.973 (7.31)	1.279 (8.99)	1.450 (10.7)	1.345 (9.27)	0.723 (4.50)	0.426 (3.30)	0.258 (1.48)	0.129 (1.07)	0.093 (0.59)	0.080 (0.58)
100	4992	1.228 (8.67)	1.673 (11.4)	1.873 (13.0)	1.673 (9.76)	0.904 (5.96)	0.536 (3.46)	0.327 (2.41)	0.172 (1.19)	0.128 (0.96)	0.100 (0.68)
195	2560	1.681 (12.7)	2.206 (18.6)	2.530 (16.7)	2.378 (16.7)	1.277 (8.45)	0.710 (4.65)	0.460 (3.15)	0.238 (1.55)	0.176 (1.16)	0.139 (0.90)
488	1024	2.697 (17.3)	3.311 (22.4)	3.954 (29.3)	3.881 (27.4)	2.007 (13.5)	1.175 (8.52)	0.723 (4.73)	0.355 (2.28)	0.264 (1.80)	0.231 (1.55)
977	512	3.691 (27.5)	4.740 (29.0)	5.758 (36.5)	5.442 (35.7)	2.871 (20.0)	1.656 (12.0)	1.025 (6.67)	0.522 (3.53)	0.389 (2.57)	0.321 (2.21)
1953	256	5.734 (35.3)	6.572 (42.5)	8.535 (55.3)	7.438 (48.9)	4.130 (28.2)	2.308 (15.8)	1.434 (9.34)	0.768 (4.85)	0.567 (4.05)	0.476 (2.71)
3906	128	7.446 (51.1)	9.607 (65.8)	12.32 (70.0)	11.15 (76.5)	5.778 (38.6)	3.476 (27.2)	2.237 (14.7)	1.162 (7.83)	0.831 (5.98)	0.669 (4.21)
7813	64	13.60 (102)	15.91 (110)	21.39 (143)	19.22 (120)	10.43 (67.6)	5.971 (39.0)	3.760 (26.4)	2.161 (13.9)	1.482 (11.0)	1.112 (6.96)
15625	32	120.5 (644)	117.5 (720)	112.5 (735)	67.81 (347)	36.42 (218)	17.96 (109)	9.766 (58.7)	5.812 (37.6)	3.726 (22.2)	2.498 (16.9)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMSノイズ[μV_{RMS}]、(下段): Peak-to-Peakノイズ[μV_{PP}]

表 39.54 有効分解能 (ノーマルモード)

条件: AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 500\text{kHz}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
7.6	65536	23.6 (21.0)	23.1 (20.8)	23.0 (20.3)	22.1 (19.4)	22.1 (19.2)	21.8 (19.1)	21.6 (19.0)	21.5 (18.8)	21.0 (18.1)	20.4 (17.6)
10	50048	23.5 (20.9)	22.8 (20.2)	22.8 (20.1)	22.0 (19.2)	21.9 (18.9)	21.7 (19.1)	21.5 (18.7)	21.4 (18.6)	20.9 (18.2)	20.2 (17.6)
50	9984	22.4 (19.8)	22.0 (19.3)	21.9 (19.0)	21.0 (18.3)	20.8 (17.9)	20.7 (17.9)	20.4 (17.5)	20.3 (17.4)	19.8 (17.0)	19.0 (16.2)
54	9216	22.4 (19.6)	21.9 (18.9)	21.8 (18.9)	20.9 (18.0)	20.8 (18.0)	20.6 (17.7)	20.3 (17.5)	20.2 (17.5)	19.7 (17.0)	19.0 (16.2)
60	8320	22.3 (19.4)	21.8 (19.0)	21.7 (18.8)	20.8 (18.0)	20.7 (18.1)	20.5 (17.5)	20.2 (17.7)	20.2 (17.2)	19.7 (17.0)	18.9 (16.1)
100	4992	22.0 (19.1)	21.5 (18.7)	21.4 (18.6)	20.5 (18.0)	20.4 (17.7)	20.2 (17.5)	19.9 (17.0)	19.8 (17.0)	19.2 (16.3)	18.6 (15.8)
195	2560	21.5 (18.6)	21.1 (18.0)	21.0 (18.2)	20.0 (17.2)	19.9 (17.2)	19.8 (17.0)	19.4 (16.6)	19.3 (16.6)	18.8 (16.0)	18.1 (15.4)
488	1024	20.8 (18.1)	20.5 (17.7)	20.3 (17.4)	19.3 (16.5)	19.3 (16.5)	19.0 (16.2)	18.7 (16.0)	18.8 (16.1)	18.2 (15.4)	17.4 (14.6)
977	512	20.4 (17.5)	20.0 (17.3)	19.7 (17.1)	18.8 (16.1)	18.7 (15.9)	18.5 (15.7)	18.2 (15.5)	18.2 (15.4)	17.6 (14.9)	16.9 (14.1)
1953	256	19.7 (17.1)	19.5 (16.8)	19.2 (16.5)	18.4 (15.6)	18.2 (15.4)	18.1 (15.3)	17.7 (15.0)	17.6 (15.0)	17.1 (14.2)	16.3 (13.8)
3906	128	19.4 (16.6)	18.9 (16.2)	18.6 (16.1)	17.8 (15.0)	17.7 (15.0)	17.5 (14.5)	17.1 (14.4)	17.0 (14.3)	16.5 (13.7)	15.8 (13.2)
7813	64	18.5 (15.6)	18.2 (15.4)	17.8 (15.1)	17.0 (14.3)	16.9 (14.2)	16.7 (14.0)	16.3 (13.5)	16.1 (13.5)	15.7 (12.8)	15.1 (12.5)
15625	32	15.3 (12.9)	15.3 (12.7)	15.4 (12.7)	15.2 (12.8)	15.1 (12.5)	15.1 (12.5)	15.0 (12.4)	14.7 (12.0)	14.4 (11.8)	13.9 (11.2)

有効分解能 = $\log_2$ (フルスケール電圧 / RMS ノイズ)ノイズフリー分解能 = $\log_2$ (フルスケール電圧 / Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

表 39.55 標準ノイズ特性(ローパワーモード)

条件: $AVCC0 = 5.0V$ 、 $T_a = 25^\circ C$ 、 $f_{MOD} = 125kHz$ 、 $V_{ID} = 0V$ 、 $V_{REF} = 2.5V$

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
1.9	65536	0.463 (3.29)	0.640 (4.19)	0.892 (5.38)	0.708 (4.63)	0.444 (2.62)	0.245 (1.72)	0.140 (0.90)	0.070 (0.47)	0.048 (0.34)	0.038 (0.25)
10	12512	1.053 (7.03)	1.313 (8.79)	1.596 (11.4)	1.492 (10.6)	0.797 (5.27)	0.437 (2.86)	0.286 (1.79)	0.143 (1.00)	0.109 (0.72)	0.085 (0.61)
50	2496	2.412 (15.7)	2.883 (18.4)	3.390 (21.7)	3.093 (22.5)	1.669 (11.0)	0.954 (5.96)	0.592 (3.86)	0.317 (2.35)	0.228 (1.69)	0.187 (1.22)
54	2304	2.558 (19.4)	3.098 (20.5)	3.544 (23.9)	3.139 (19.4)	1.719 (11.3)	0.962 (6.39)	0.637 (3.92)	0.333 (2.12)	0.242 (1.81)	0.199 (1.39)
60	2080	2.491 (16.3)	3.230 (20.8)	3.598 (26.4)	3.348 (25.0)	1.810 (13.6)	1.024 (7.38)	0.645 (4.50)	0.346 (2.30)	0.257 (1.88)	0.207 (1.37)
100	1248	3.237 (21.7)	3.843 (26.6)	4.794 (32.5)	4.274 (27.1)	2.319 (15.3)	1.357 (9.35)	0.872 (6.37)	0.454 (2.98)	0.338 (2.29)	0.268 (1.83)
195	640	4.663 (37.7)	5.666 (37.7)	6.826 (46.5)	5.799 (39.7)	3.245 (21.3)	1.930 (12.9)	1.164 (7.50)	0.627 (4.61)	0.474 (3.31)	0.371 (2.68)
488	256	7.451 (46.6)	9.151 (62.5)	10.30 (70.9)	9.404 (59.6)	5.216 (35.7)	2.934 (20.2)	1.869 (13.6)	1.006 (6.13)	0.729 (5.46)	0.599 (4.56)
977	128	10.37 (72.4)	13.13 (83.1)	15.63 (111)	13.71 (93.3)	7.605 (63.0)	4.383 (30.3)	2.796 (18.0)	1.510 (9.78)	1.099 (7.60)	0.908 (7.23)
1953	64	16.80 (117)	19.92 (153)	25.41 (177)	22.23 (138)	12.30 (94.9)	7.226 (50.9)	4.520 (30.6)	2.531 (16.2)	1.927 (13.6)	1.499 (11.1)
3906	32	120.9 (720)	120.4 (761)	126.6 (634)	73.29 (507)	36.82 (216)	19.83 (124)	11.22 (78.4)	6.332 (39.1)	4.427 (27.3)	3.143 (20.0)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMSノイズ[μV_{RMS}]、(下段): Peak-to-Peakノイズ[μV_{PP}]

表 39.56 有効分解能 (ローパワーモード)

条件: AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 125\text{kHz}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
1.9	65536	23.4 (20.5)	22.8 (20.1)	22.4 (19.8)	21.8 (19.0)	21.4 (18.9)	21.3 (18.5)	21.1 (18.4)	21.1 (18.4)	20.6 (17.8)	20.0 (17.3)
10	12512	22.2 (19.4)	21.8 (19.1)	21.6 (18.7)	20.7 (17.9)	20.6 (17.9)	20.5 (17.7)	20.1 (17.4)	20.1 (17.3)	19.5 (16.7)	18.8 (16.0)
50	2496	21.0 (18.3)	20.7 (18.0)	20.5 (17.8)	19.6 (16.8)	19.5 (16.8)	19.3 (16.7)	19.0 (16.3)	18.9 (16.0)	18.4 (15.5)	17.7 (15.0)
54	2304	20.9 (18.0)	20.6 (17.8)	20.4 (17.7)	19.6 (17.0)	19.5 (16.8)	19.3 (16.6)	18.9 (16.3)	18.8 (16.2)	18.3 (15.4)	17.6 (14.8)
60	2080	20.9 (18.2)	20.5 (17.8)	20.4 (17.5)	19.5 (16.6)	19.4 (16.5)	19.2 (16.4)	18.9 (16.1)	18.8 (16.1)	18.2 (15.3)	17.5 (14.8)
100	1248	20.6 (17.8)	20.3 (17.5)	20.0 (17.2)	19.2 (16.5)	19.0 (16.3)	18.8 (16.0)	18.5 (15.6)	18.4 (15.7)	17.8 (15.1)	17.2 (14.4)
195	640	20.0 (17.0)	19.7 (17.0)	19.5 (16.7)	18.7 (15.9)	18.6 (15.8)	18.3 (15.6)	18.0 (15.4)	17.9 (15.1)	17.3 (14.5)	16.7 (13.8)
488	256	19.4 (16.7)	19.0 (16.2)	18.9 (16.1)	18.0 (15.4)	17.9 (15.1)	17.7 (14.9)	17.4 (14.5)	17.3 (14.6)	16.7 (13.8)	16.0 (13.1)
977	128	18.9 (16.1)	18.5 (15.8)	18.3 (15.4)	17.5 (14.7)	17.3 (14.3)	17.1 (14.3)	16.8 (14.1)	16.7 (14.0)	16.1 (13.3)	15.4 (12.4)
1953	64	18.2 (15.4)	17.9 (14.9)	17.6 (14.8)	16.8 (14.2)	16.6 (13.7)	16.4 (13.6)	16.1 (13.3)	15.9 (13.2)	15.3 (12.5)	14.7 (11.8)
3906	32	15.3 (12.8)	15.3 (12.6)	15.3 (12.9)	15.1 (12.3)	15.1 (12.5)	14.9 (12.3)	14.8 (12.0)	14.6 (12.0)	14.1 (11.5)	13.6 (10.9)

有効分解能 = $\log_2$ (フルスケール電圧 / RMS ノイズ)ノイズフリー分解能 = $\log_2$ (フルスケール電圧 / Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

表 39.57 24ビット Δ - Σ A/Dコンバータアナログ入力特性条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
差動電圧入力範囲	Gain = 1 (PGA無効)	$-V_{REF}$	—	$+V_{REF}$	V	$V_{REF} = V_{(REFnP)} - V_{(REFnN)}$ ($n = 0, 1$), または $V_{REF} = V_{REFOUT}$
	Gain = 1 (PGA有効)	$-V_{REF}$ または $-(AVCC0 - AVSS0 - 0.5V)$ の大きい値	—	$+V_{REF}$ または $+(AVCC0 - AVSS0 - 0.5V)$ の小さい値		
	Gain ≥ 2	$-V_{REF} / \text{Gain}$	—	$+V_{REF} / \text{Gain}$		
絶対入力電圧範囲	Gain = 1 (PGA無効、BUF無効)	$AVSS0 - 0.05$	—	$AVCC0 + 0.05$	V	
	Gain = 1 (PGA無効、BUF有効)	$AVSS0 + 0.1$	—	$AVCC0 - 0.1$		
	Gain = 1 ~ 128 (PGA有効)	$AVSS0 - 0.05$	—	$AVCC0 + 0.05$		
入力バイアス電流	Gain = 1 ~ 128 (PGA有効)	—	± 5	± 25	nA	図 39.96 $T_a = 25^\circ C$
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 0	—	± 1	± 5		
	Gain = 1 (PGA無効、BUF有効)	—	± 1	± 5		
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 1	—	± 1.5	± 3.0	μA	
入力オフセット電流	Gain = 1 ~ 128 (PGA有効)	—	± 3	± 10	nA	図 39.97 $T_a = 25^\circ C$
	Gain = 1 (PGA無効、BUF有効)	—	± 0.5	± 2.0		
	Gain = 1 (PGA無効、BUF無効)	—	5	10	$\mu A/V$	
入力バイアス電流ドリフト	Gain = 1 ~ 16 (PGA有効)	—	50	180	pA/ $^\circ C$	
	Gain = 32 ~ 128	—	70	200		
	Gain = 1 (PGA無効、BUF有効)	—	50	100		
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 0	—	50	100		
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 1	—	300	500		
入力オフセット電流ドリフト	Gain = 1 ~ 128 (PGA有効)	—	50	200	pA/ $^\circ C$	
	Gain = 1 (PGA無効、BUF有効)	—	45	80		
	Gain = 1 (PGA無効、BUF無効)	—	170	350	pA/V/ $^\circ C$	

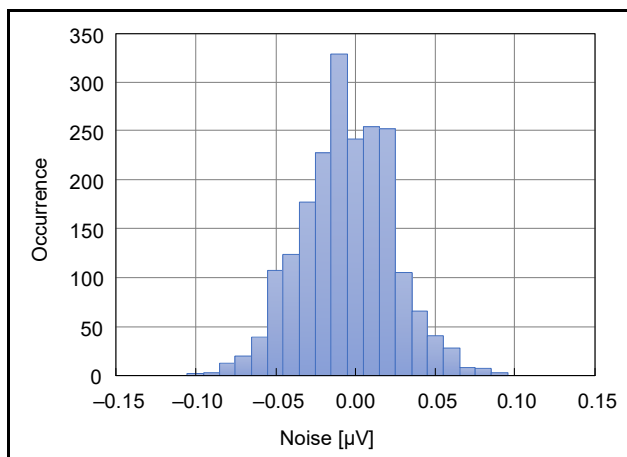


図 39.75 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 128、 $f_{\text{DR}} = 7.6 \text{ SPS}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

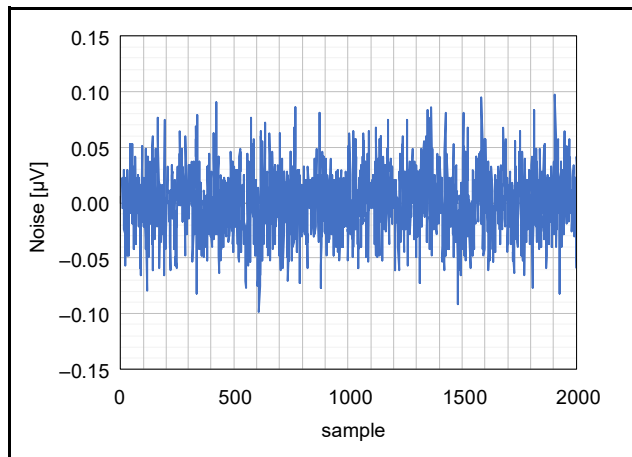


図 39.76 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 128、 $f_{\text{DR}} = 7.6 \text{ SPS}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

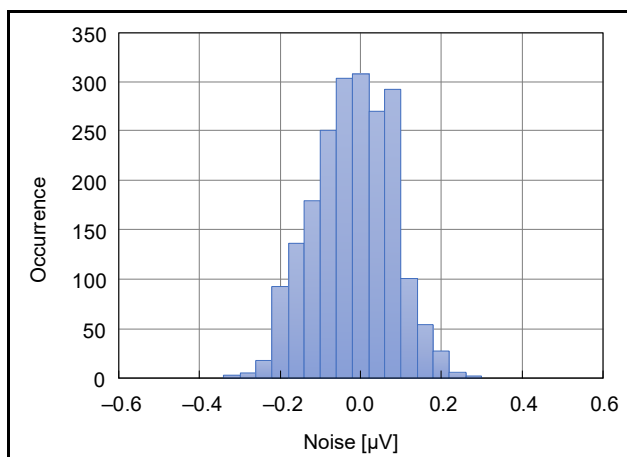


図 39.77 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 16、 $f_{\text{DR}} = 7.6 \text{ SPS}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

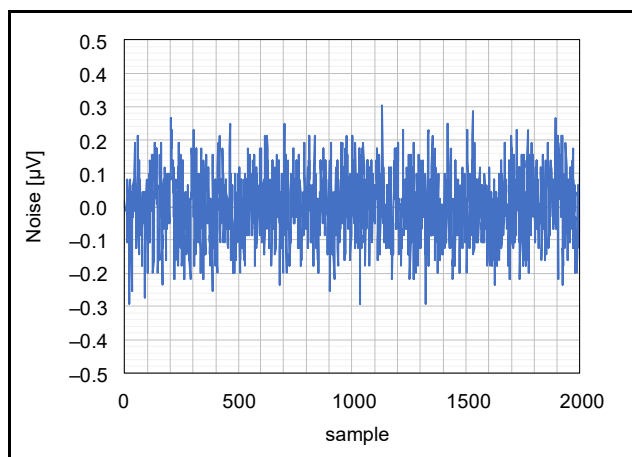


図 39.78 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 16、 $f_{\text{DR}} = 7.6 \text{ SPS}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

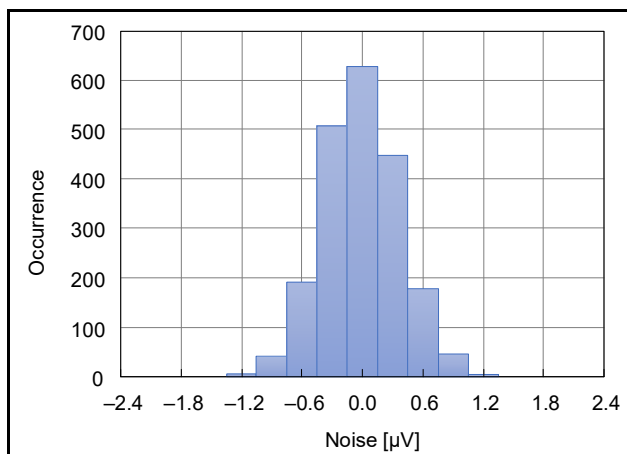


図 39.79 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 7.6 \text{ SPS}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

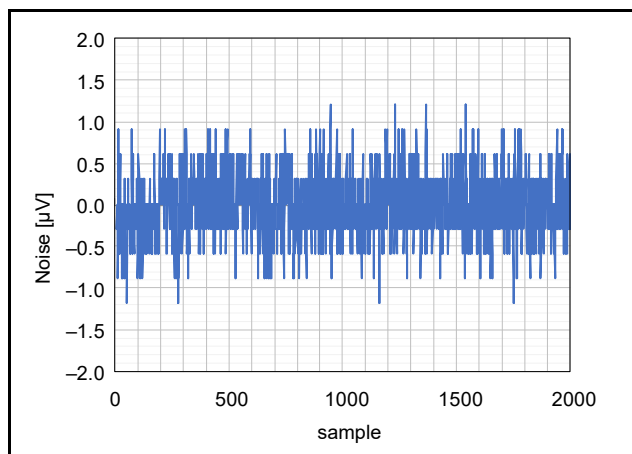


図 39.80 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 7.6 \text{ SPS}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

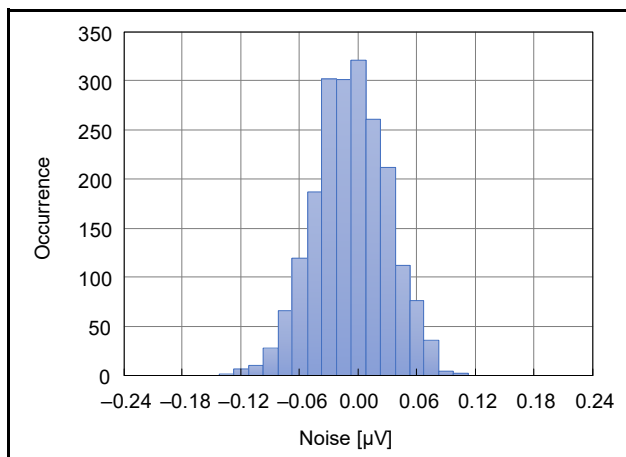


図 39.81 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 128、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

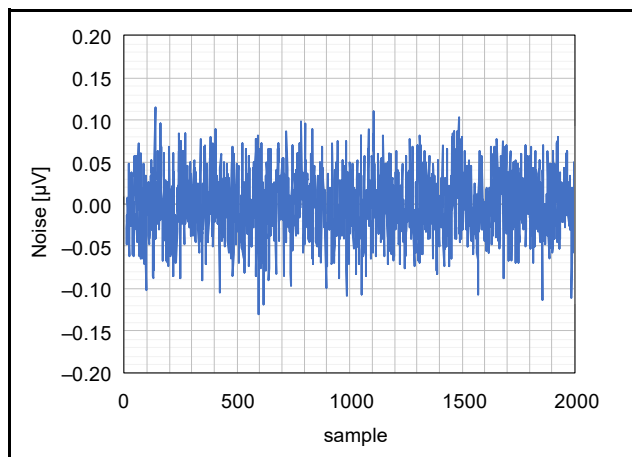


図 39.82 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 128、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

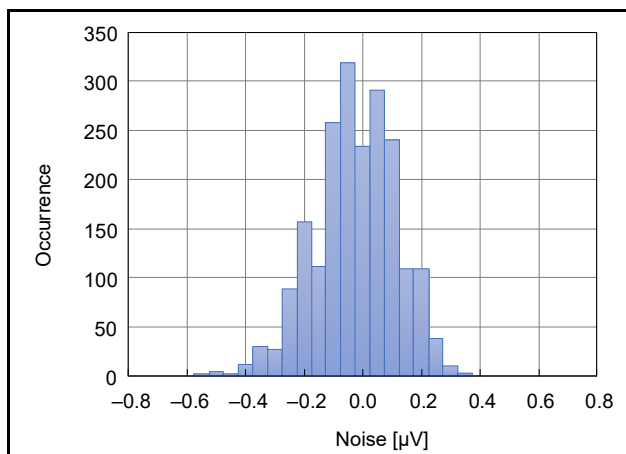


図 39.83 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 16、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

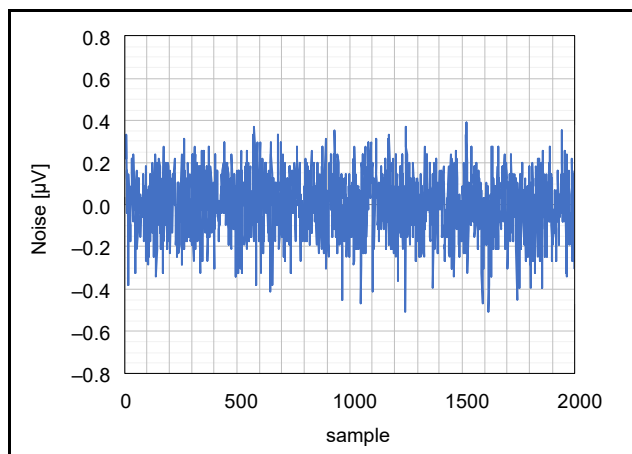


図 39.84 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 16、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

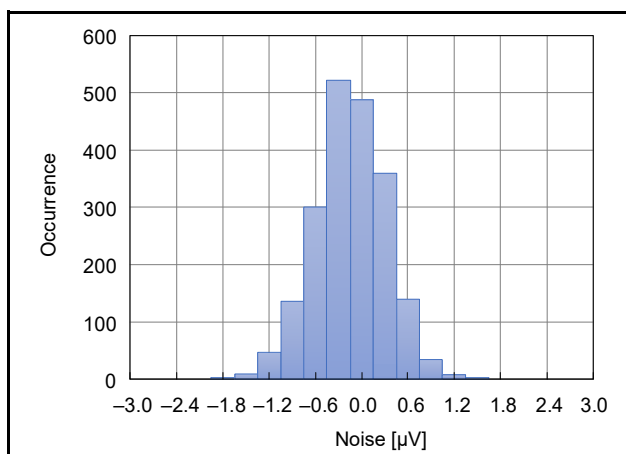


図 39.85 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

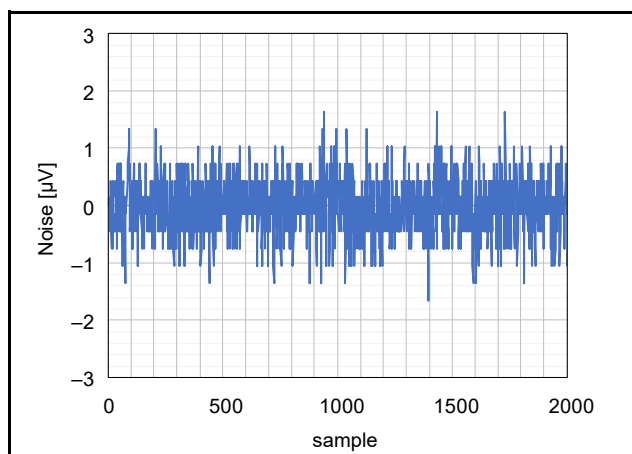


図 39.86 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

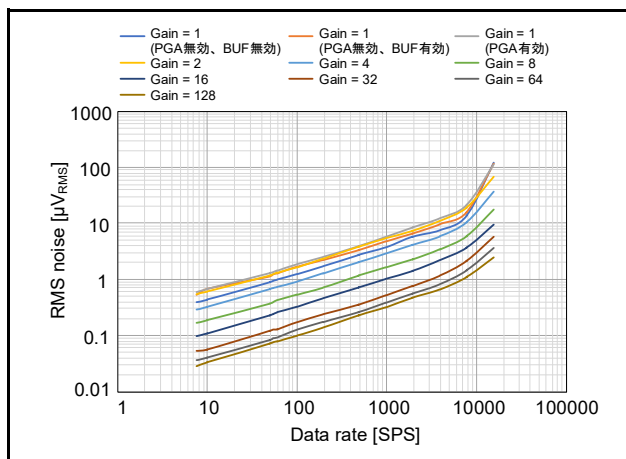


図 39.87 RMS ノイズのデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

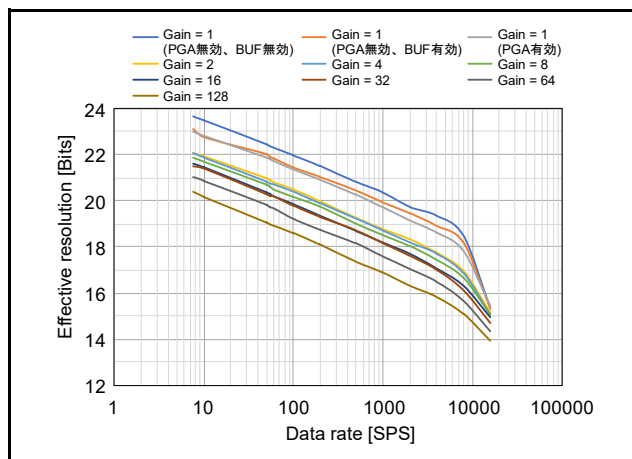


図 39.88 有効分解能のデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

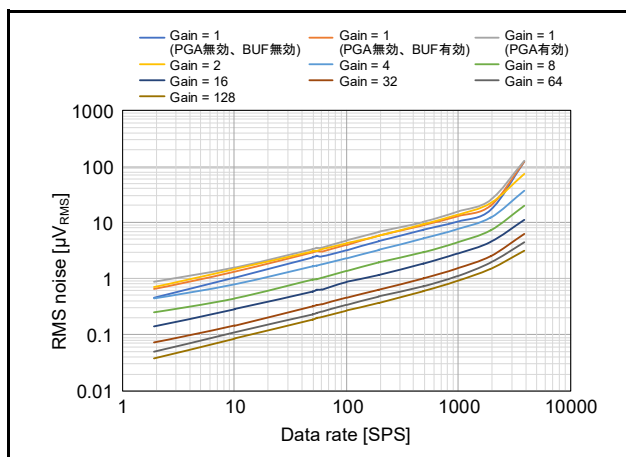


図 39.89 RMS ノイズのデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

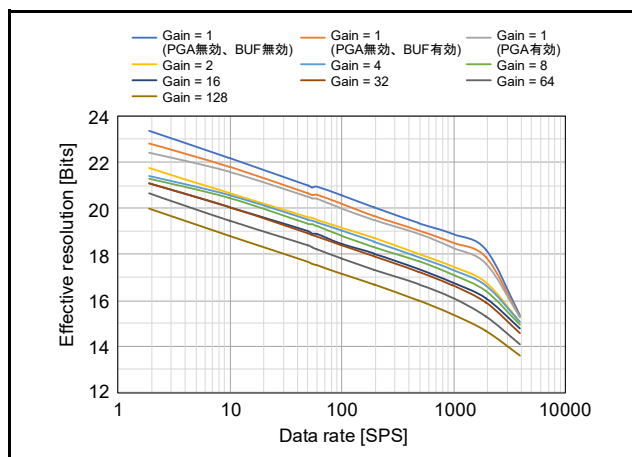


図 39.90 有効分解能のデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

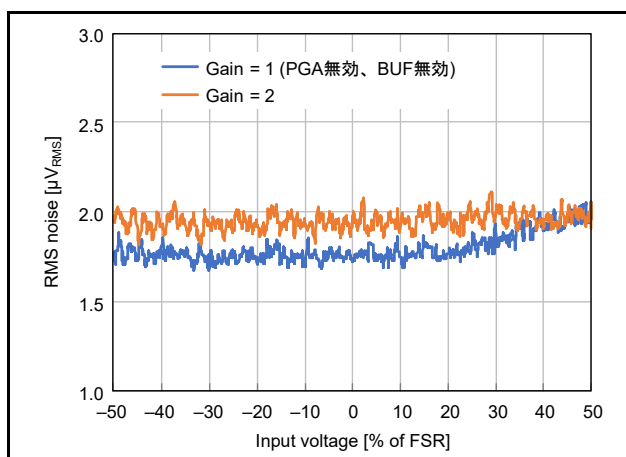


図 39.91 RMS ノイズの入力電圧依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、 $f_{DR} = 122\text{ SPS}$ 、 $V_{REF} = 2.5\text{V}$)

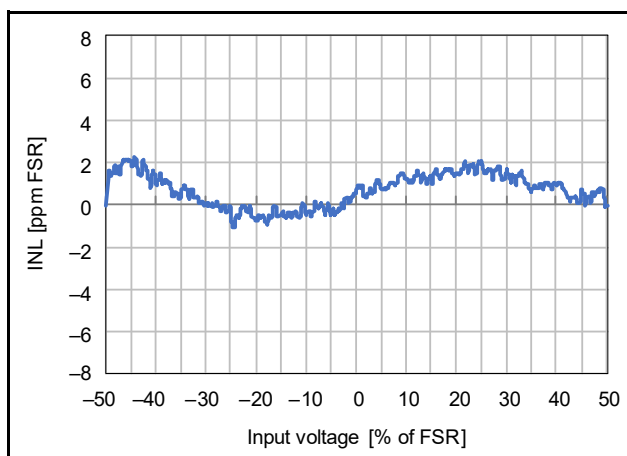


図 39.92 積分非直線性誤差の入力電圧依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 2、OPCR.DSADLVM ビット = 0、 $V_{\text{REF}} = 2.5\text{V}$)

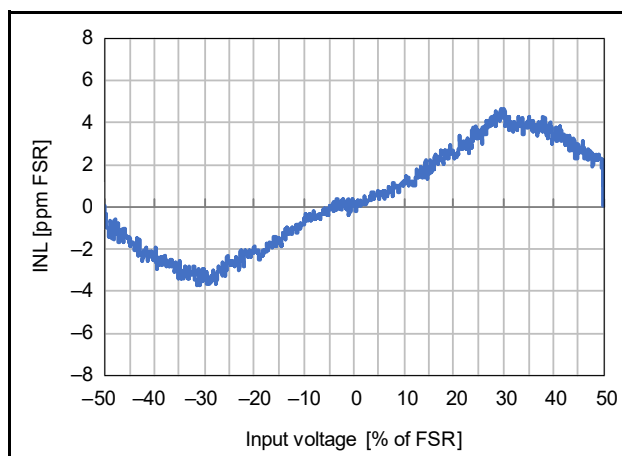


図 39.93 積分非直線性誤差の入力電圧依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 1 (PGA 無効、BUF 無効)、OPCR.DSADLVM ビット = 0、 $V_{\text{REF}} = 2.5\text{V}$)

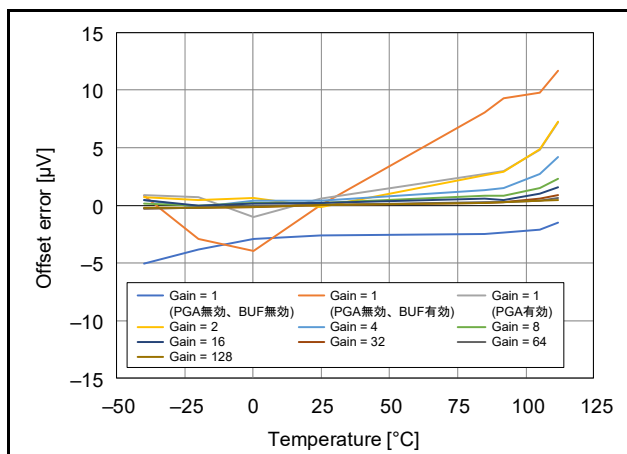


図 39.94 オフセット誤差の温度依存性 (AVCC0 = 5.0V、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

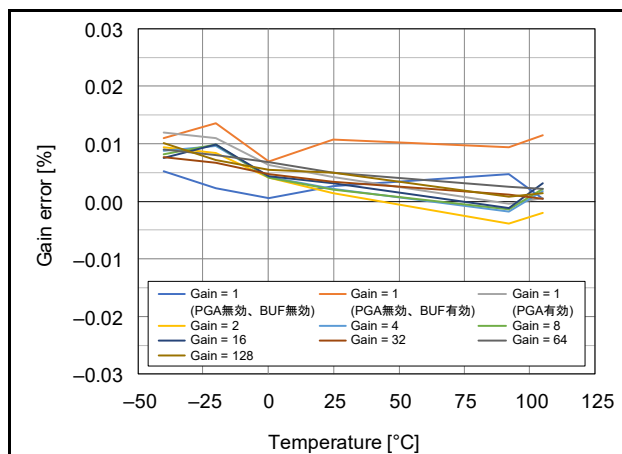


図 39.95 ゲイン誤差の温度依存性 (AVCC0 = 5.0V、OPCR.DSADLVM ビット = 0、 $V_{\text{REF}} = 2.5\text{V}$)

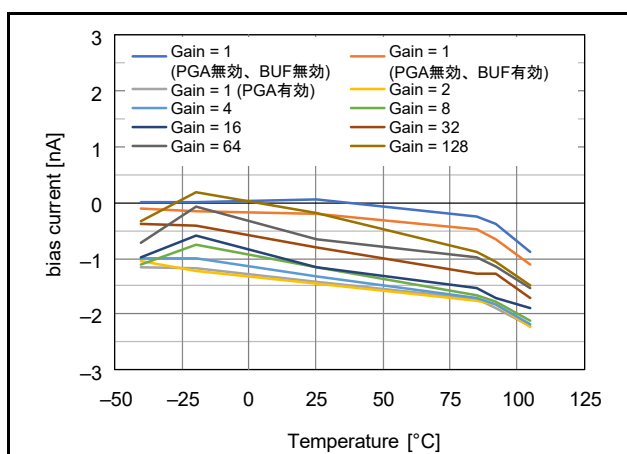


図 39.96 アナログ入力バイアス電流の温度依存性 (AVCC0 = 5.0V)

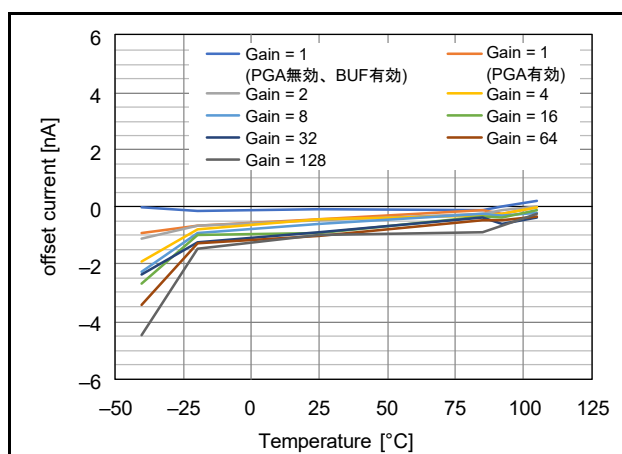


図 39.97 アナログ入力オフセット電流の温度依存性 (AVCC0 = 5.0V)

39.10 アナログフロントエンド特性

表 39.58 基準電圧源特性

条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
出力電圧	V_{REFOUT}	—	2.5	—	V	図 39.98
初期精度	—	—	± 0.04	—	%	図 39.99 $T_a = 25^\circ C$
温度ドリフト	—	—	10	—	ppm/ $^\circ C$	$T_a = -40 \sim +85^\circ C$
		—	10	—		$T_a = -40 \sim +105^\circ C$
負荷電流	I_L	—	—	± 10	mA	
ロードレギュレーション	—	—	-35	-50	$\mu V/mA$	図 39.100 $I_L = 0 \sim +10mA$
		—	250	400		$I_L = -10 \sim 0mA$
電源電圧除去比	PSRR	70	80	—	dB	DC

表 39.59 バイアス電圧生成回路特性

条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
出力電圧	V_{BIAS}	$(AVCC0 + AVSS0)/2 - 0.02$	$(AVCC0 + AVSS0)/2$	$(AVCC0 + AVSS0)/2 + 0.02$	V	
起動時間	t_{START}	—	—	20	$\mu s/nF$	

表 39.60 温度センサ特性

条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
精度	—	—	—	± 5	$^\circ C$	図 39.101
電圧感度係数	2次係数	TC_{SNS}	—	-6.2×10^{-13}	—	$^\circ C/LSB^2$
	1次係数		—	7.5×10^{-5}	—	$^\circ C/LSB$
出力コード	—	—	3D4F50h (4018000)	—	—	

表 39.61 励起電流源特性

条件: $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
出力電流	2ch モード	IEXC	50, 100, 250, 500, 750, 1000			μA	図 39.102
	4ch モード		50, 100, 250, 500				
初期精度		—	—	±1	±5	%	図 39.103 T _a = 25°C
温度ドリフト		—	—	25	60	ppm/°C	
電流マッチング		—	—	±0.2	±2.0	%	図 39.104、図 39.105 T _a = 25°C
ドリフトマッチング		—	—	5	30	ppm/°C	IEXC0 と IEXC1 のマッ チング IEXC2 と IEXC3 のマッ チング
ラインレギュレーション		—	—	0.05	0.30	%/V	
ロードレギュレーション		—	—	0.1	0.5	%/V	
出力コンプライアンス電圧		V _{COMP}	AVSS0 – 0.05	—	AVCC0 – 0.5	V	図 39.106 出力電流誤差 = –2.0%

表 39.62 外部リファレンス入力特性

条件: $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
差動入力電圧範囲		V _{REF}	1	2.5	AVCC0	V	V _{REF} = V _(REFnP) − V _(REFnN) (n = 0, 1)
絶対入力電圧範囲	リファレンス バッファ無効	V _(REF0P) , V _(REF1P)	AVSS0 − 0.05	—	AVCC0 + 0.05	V	
	リファレンス バッファ有効	V _(REF0N) , V _(REF1N)	AVSS0 + 0.1	—	AVCC0 − 0.1		
入力電流	リファレンス バッファ無効	I _b	—	7	15	μA/V	図 39.107 T _a = 25°C
	リファレンス バッファ有効		—	±1	±3	nA	図 39.108 T _a = 25°C
入力電流ドリフト	リファレンス バッファ無効	dI _b	—	0.8	1.5	nA/V/°C	T _a = −40 ~ +105°C
	リファレンス バッファ有効		—	18	60	pA/°C	T _a = −40 ~ +85°C
			—	30	150	pA/°C	T _a = −40 ~ +105°C
同相信号除去比	リファレンス バッファ無効	CMRR	70	90	—	dB	
	リファレンス バッファ有効		70	80	—		

表 39.63 ローサイドスイッチ特性

条件: $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
オン抵抗	R_{ON}	—	—	10	Ω	
オフリーク電流	I_{lkg}	—	—	0.1	μA	
許容電流	I_{LIMIT}	—	—	30	mA	

表 39.64 低電源電圧検出回路特性

条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
検出電圧 (LVDET0)	DET0LVL = 0	V_{DET0}	1.88	2.00	2.12	V	AVCC0 立ち下がり時
	DET0LVL = 1		1.74	1.86	1.98		
不応時間 (LVDET0)		t_{DET0}	—	—	20	μs	
検出電圧 (LVDET1)	DET1LVL[1:0] = 00b	V_{DET1}	2.75	2.91	3.07	V	AVCC0 立ち下がり時
	DET1LVL[1:0] = 01b		2.65	2.82	2.99		
	DET1LVL[1:0] = 10b		3.60	3.80	4.00		
	DET1LVL[1:0] = 11b		3.50	3.70	3.90		
不応時間 (LVDET1)		t_{DET1}	—	—	20	μs	

表 39.65 入力電圧異常検出回路特性

条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
アナログ入力上限検出電圧	V_{IDETH}	AVCC0 +0.05	AVCC0 +0.2	—	V	
アナログ入力下限検出電圧	V_{IDETL}	—	AVSS0 −0.2	AVSS0 −0.05	V	
不応時間	t_{IDET}	—	—	20	μs	

表 39.66 基準電圧異常検出回路特性

条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
外部基準電圧検出電位差	V_{RDET}	0.70	0.85	1.00	V	
外部基準電圧上限検出電圧	V_{RDETH}	AVCC0 −0.5	AVCC0 −0.4	—	V	
外部基準電圧下限検出電圧	V_{RDETL}	—	AVSS0 +0.4	AVSS0 +0.5	V	
不応時間	t_{RDET}	—	—	20	μs	

表 39.67 励起電流源断線検出回路特性

条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
励起電流源断線検出電圧	$V_{IEXCDET}$	AVCC0 − 0.18	AVCC0 − 0.06	—	V	
不応時間	$t_{IEXCDET}$	—	—	20	μs	

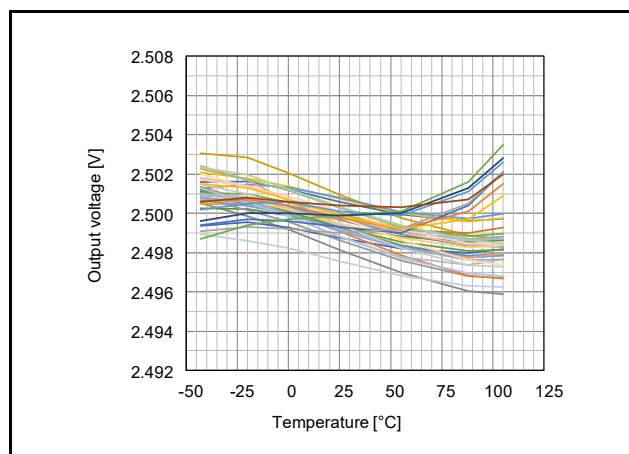


図 39.98 基準電圧源出力電圧の温度依存性
(AVCC0 = 5.0V)

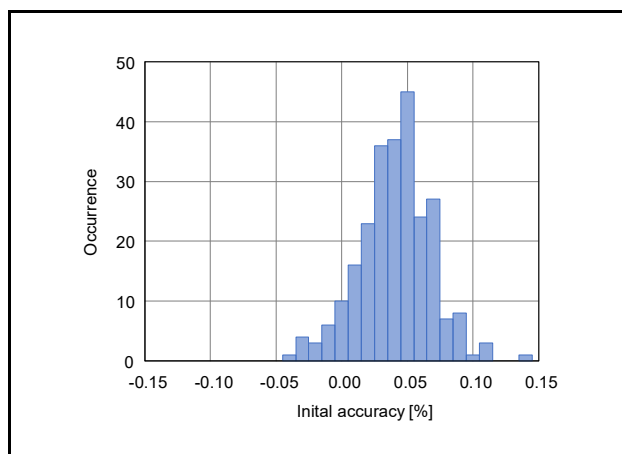


図 39.99 基準電圧源初期精度 (AVCC0 = 5.0V)

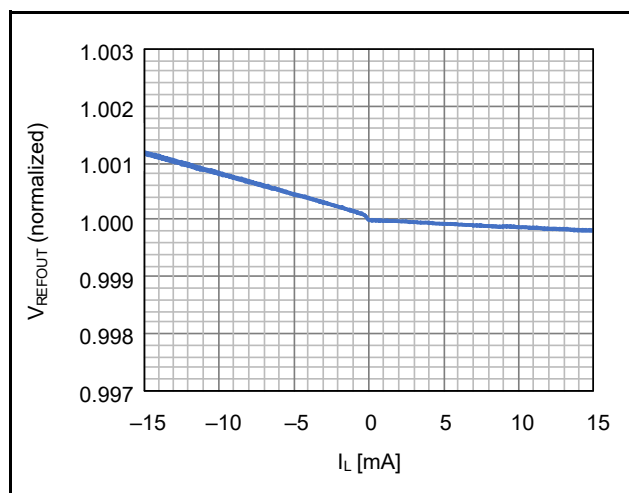


図 39.100 基準電圧源ロードレギュレーション
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$)

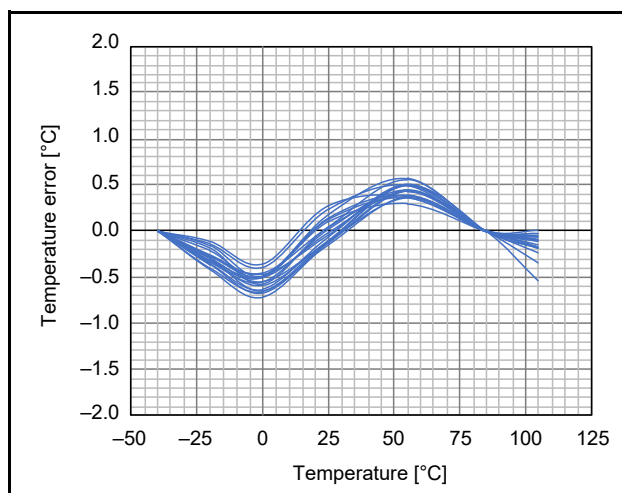


図 39.101 温度センサ精度 (AVCC0 = 5.0V)

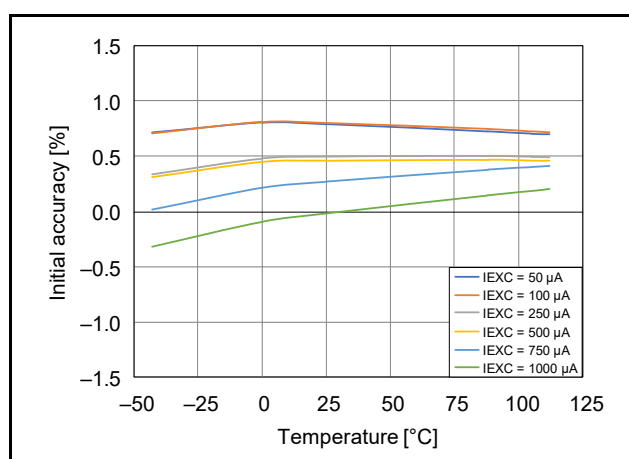


図 39.102 励起電流源出力電流の温度依存性
(AVCC0 = 5.0V)

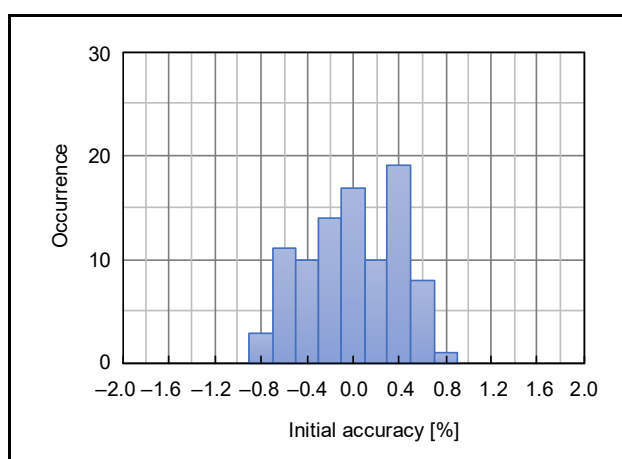


図 39.103 励起電流源出力電流初期精度
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、IEXC = 250μA、
サンプル数 93 個)

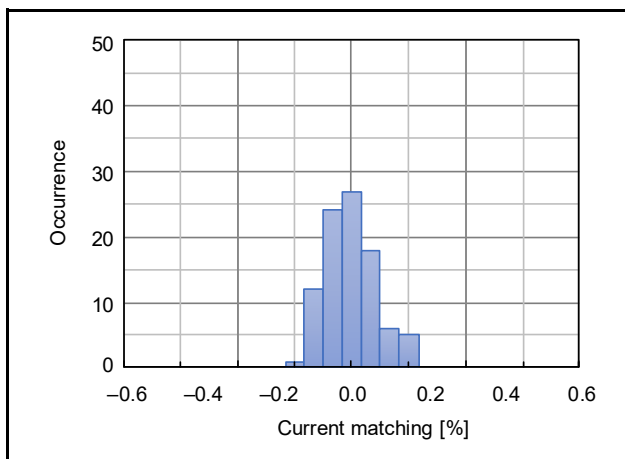


図 39.104 励起電流源出力電流マッチング
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、IEXC = 250 μA 、
サンプル数 93 個)

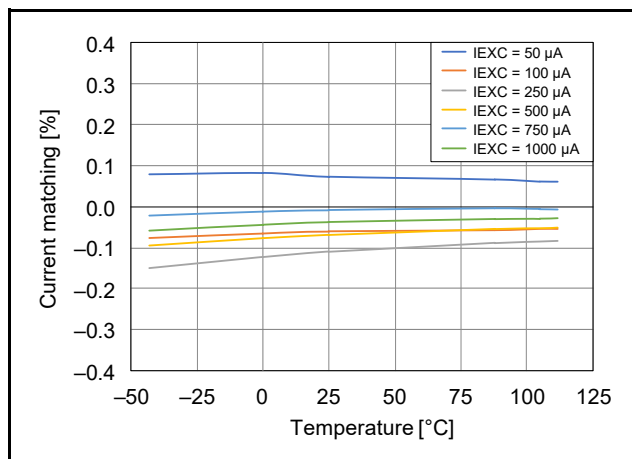


図 39.105 励起電流源出力電流マッチングの温度依存性
(AVCC0 = 5.0V)

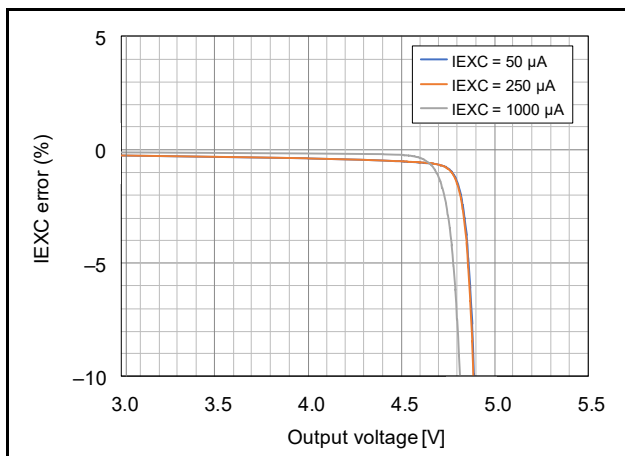


図 39.106 励起電流源出力電流精度対出力コンプライア
ンス電圧 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$)

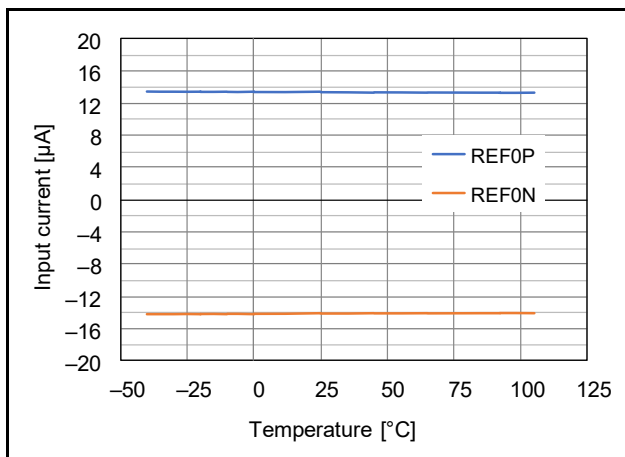


図 39.107 外部リファレンス入力電流の温度依存性
(AVCC0 = 5.0V、リファレンスバッファ無効)

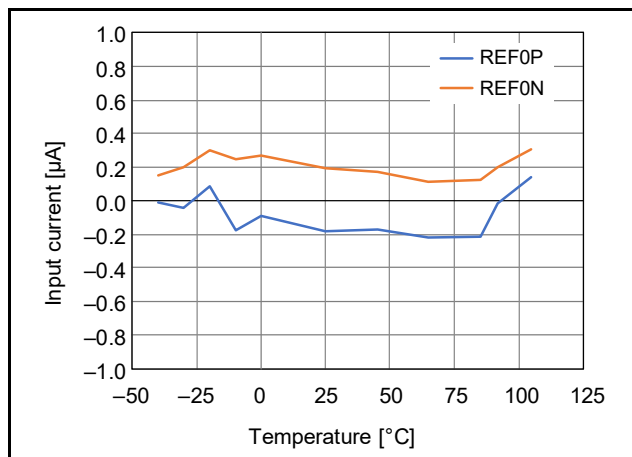


図 39.108 外部リファレンス入力電流の温度依存性
(AVCC0 = 5.0V、リファレンスバッファ有効)

39.11 12 ビット A/D コンバータ特性

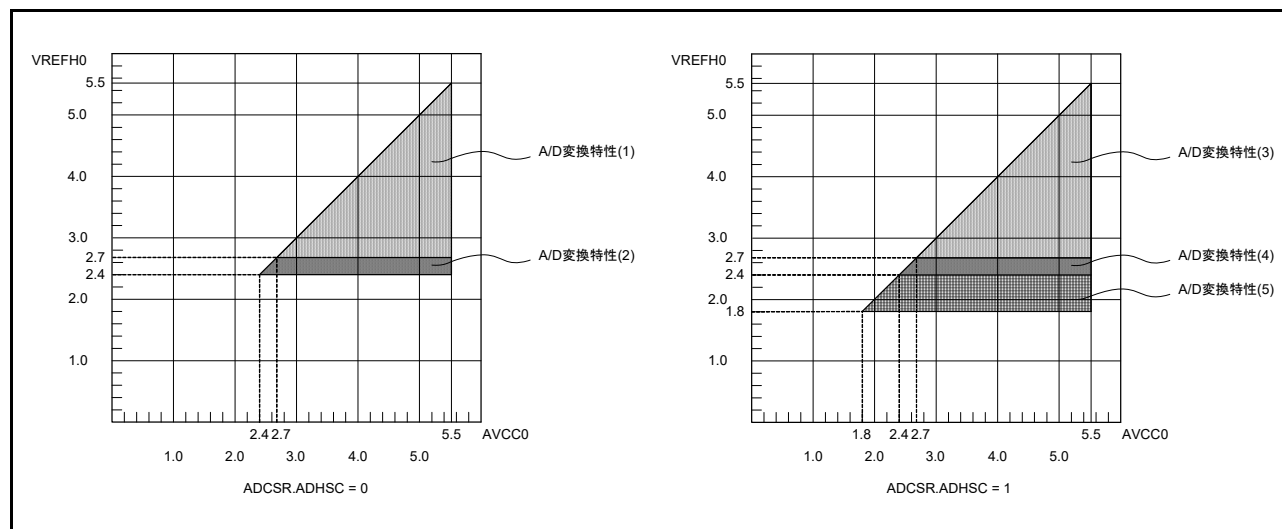


図 39.109 AVCC0-VREFH0 電圧範囲

表 39.68 12 ビット A/D コンバータ特性 (1)

条件: $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = $0.3k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 32MHz時)		1.41	—	—	μs	ADCSR.ADHSC ビット = 0 ADSSTRn = 0Dh
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	k Ω	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.50	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 39.69 12ビット A/D コンバータ 特性 (2)

条件: $2.4V \leq VCC \leq 5.5V$ 、 $2.4V \leq AVCC0 \leq 5.5V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = $1.3k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	16	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 16MHz 時)		2.82	—	—	μs	ADCSR.ADHSC ビット = 0 ADSSTRn = 0Dh
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	k Ω	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.50	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 4.5	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 39.70 12ビット A/D コンバータ 特性 (3)

条件: $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = $1.1k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	27	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 27MHz 時)		3	—	—	μs	ADCSR.ADHSC ビット = 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	k Ω	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.50	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 39.71 12ビット A/D コンバータ 特性 (4)

条件: $2.4V \leq VCC \leq 5.5V$ 、 $2.4V \leq AVCC0 \leq 5.5V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = $2.2k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	16	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 16MHz 時)		5.06	—	—	μs	ADCSR.ADHSC ビット = 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	$k\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.50	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 39.72 12ビット A/D コンバータ 特性 (5)

条件: $1.8V \leq VCC \leq 5.5V$ 、 $1.8V \leq AVCC0 \leq 5.5V$ 、 $1.8V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、
 信号源インピーダンス = $5k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	8	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 8MHz 時)		10.13	—	—	μs	ADCSR.ADHSC ビット = 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	$k\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 1.0	± 7.5	LSB	
フルスケール誤差		—	± 1.5	± 7.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 3.0	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.25	± 3.00	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 39.73 12ビット A/D コンバータチャネル分類表

分類	対象チャネル	条件	備考
アナログ入力チャネル	AN000～AN005	AVCC0 = 1.8～5.5V	

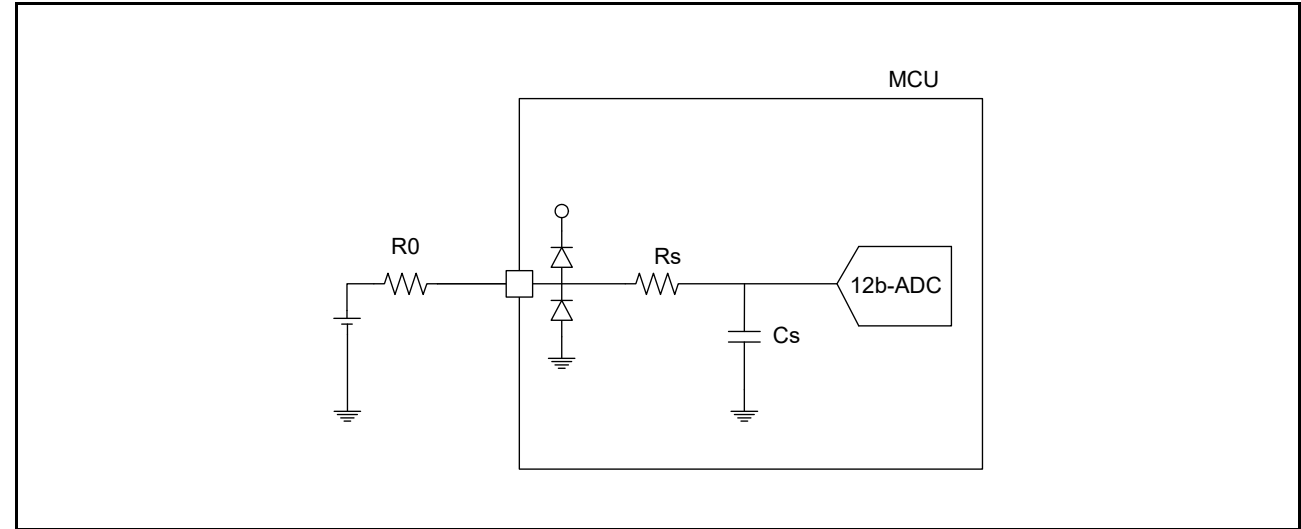


図 39.110 等価回路

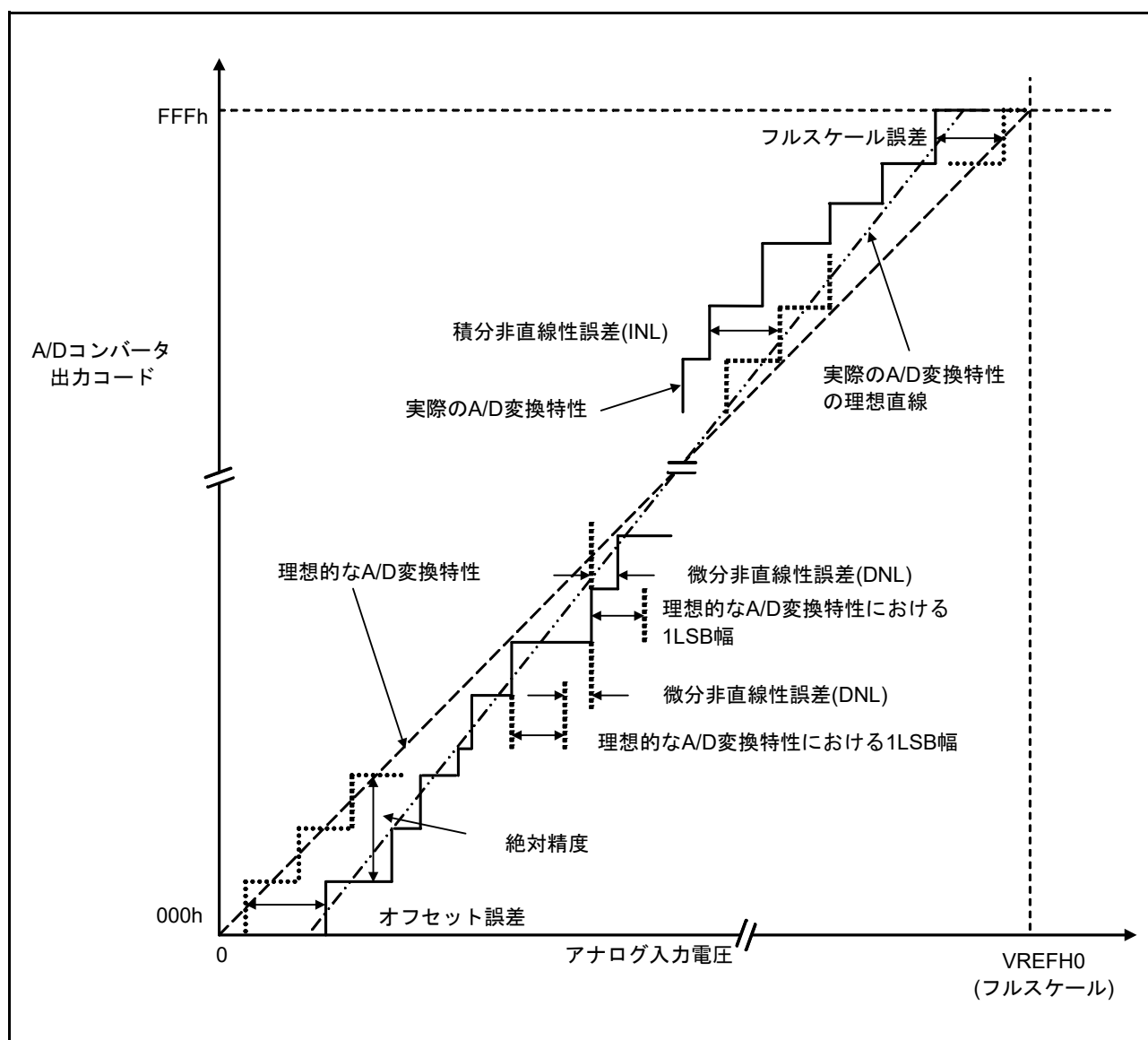


図 39.111 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば分解能 12 ビット、基準電圧 ($V_{REFH0} = 3.072V$) の場合、1LSB 幅は $0.75mV$ で、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$... を使用します。

絶対精度 $\pm 5LSB$ とは、アナログ入力電圧が $6mV$ の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

39.12 使用上の注意事項

39.12.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ $4.7\mu\text{F}$ を接続する必要があります。外付けコンデンサ接続方法を図 39.112、図 39.113 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「33. アナログフロントエンド (AFE)」、 「35. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

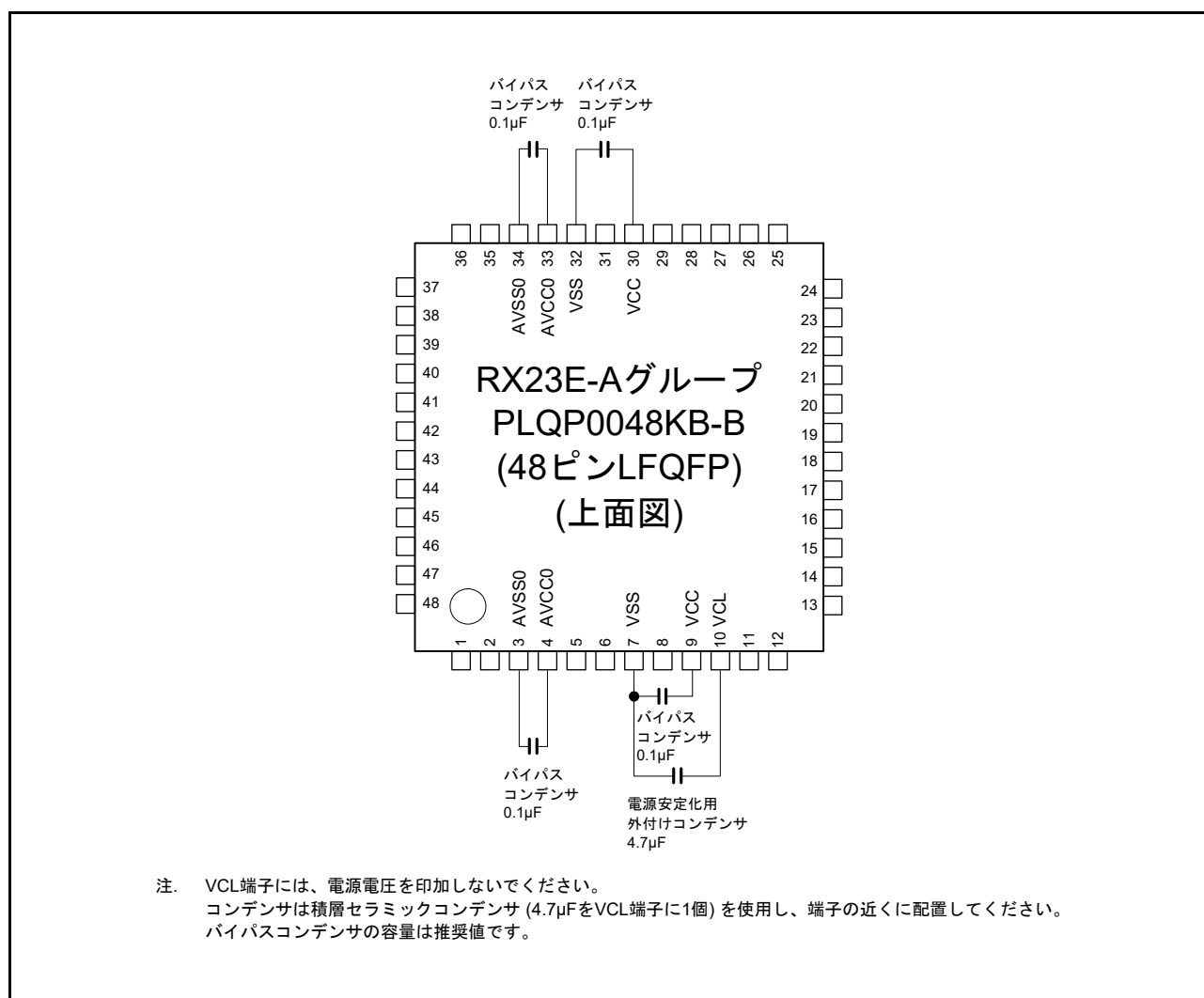


図 39.112 コンデンサ接続方法 (48 ピン)

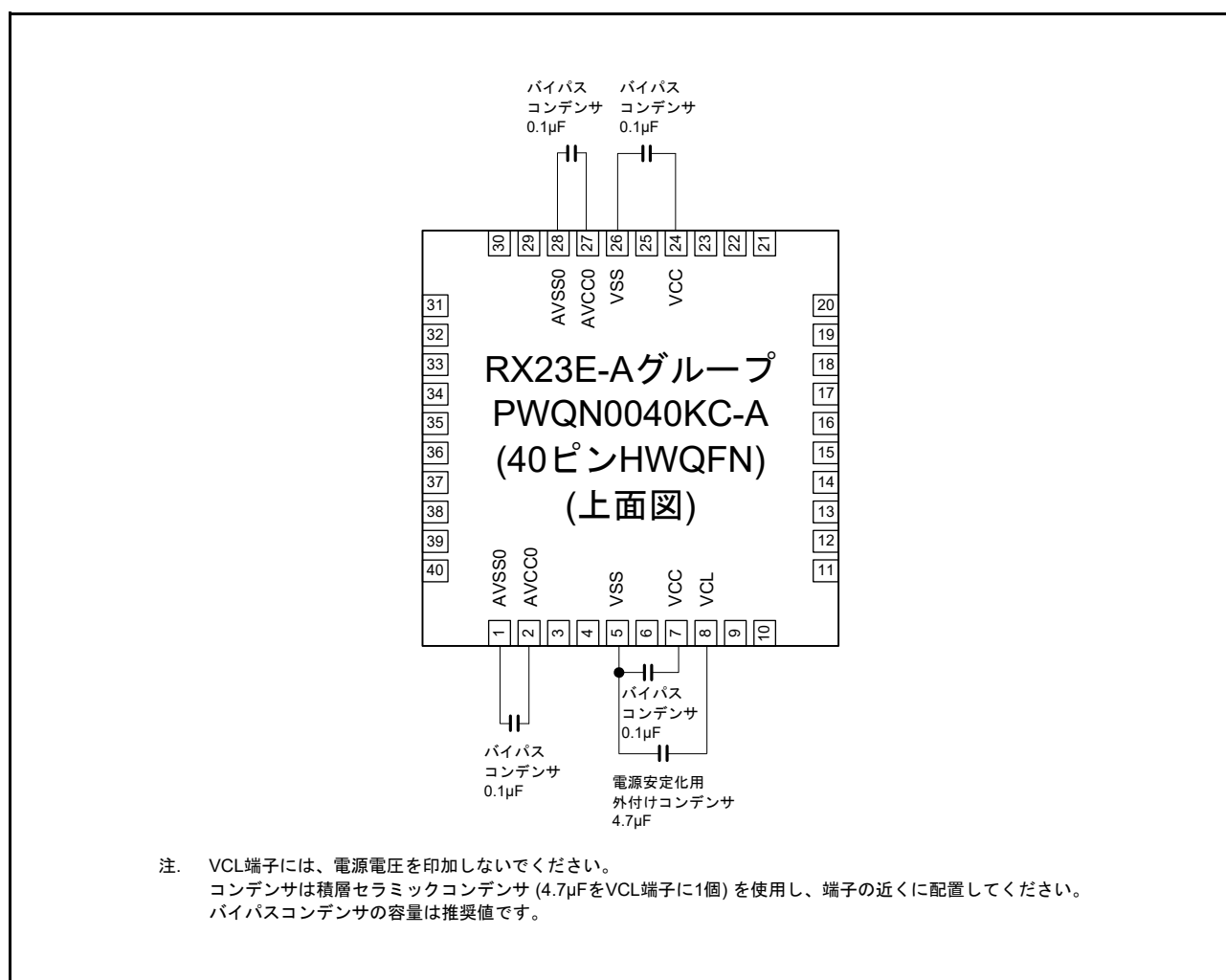


図 39.113 コンデンサ接続方法 (40 ピン)

付録 1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態

ポート名 (端子名)	リセット	ソフトウェアスタンバイモード
P14 (IRQ4)	Hi-Z	Keep-O (注1)
P15 (IRQ5)	Hi-Z	Keep-O (注1)
P16 (IRQ6)	Hi-Z	Keep-O (注1)
P17 (IRQ7)	Hi-Z	Keep-O (注1)
P26 (IRQ2)	Hi-Z	Keep-O (注1)
P27 (IRQ3)	Hi-Z	Keep-O (注1)
P30 (IRQ0)	Hi-Z	Keep-O (注1)
P31 (IRQ1)	Hi-Z	Keep-O (注1)
P35 (NMI)	Hi-Z	Hi-Z
P36	Hi-Z	Keep-O
P37	Hi-Z	Keep-O
PB0 (IRQ4)	Hi-Z	Keep-O (注1)
PB1	Hi-Z	Keep-O
PC4	Hi-Z	Keep-O
PC5	Hi-Z	Keep-O
PC6	Hi-Z	Keep-O
PC7	Hi-Z	Keep-O
PH0	Hi-Z	Keep-O
PH1 (IRQ0)	Hi-Z	Keep-O (注1)
PH2 (IRQ1)	Hi-Z	Keep-O (注1)
PH3	Hi-Z	Keep-O

Keep-O: 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Hi-Z : ハイインピーダンス

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

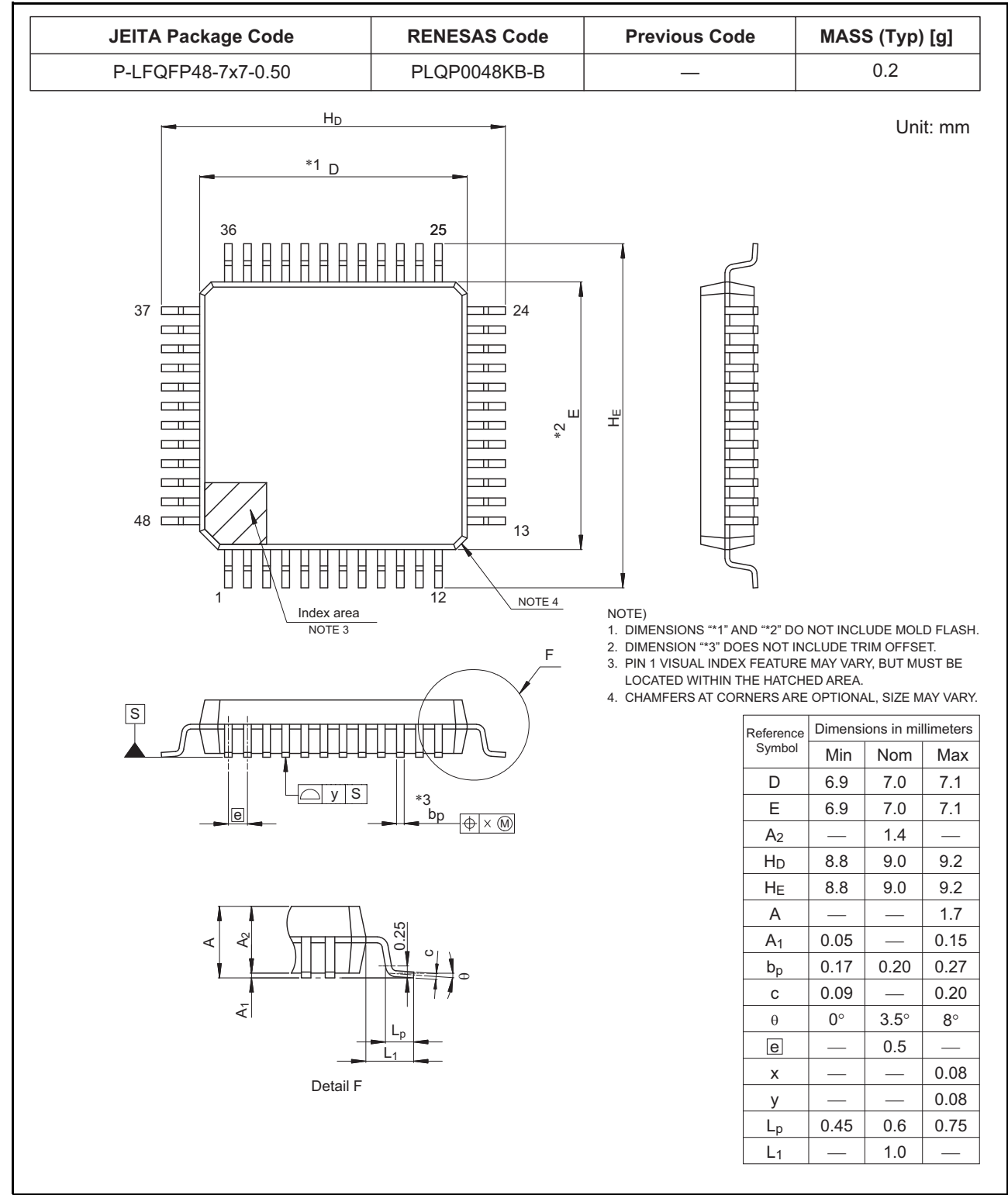


図 A. 48 ピン LFQFP (PLQP0048KB-B)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08

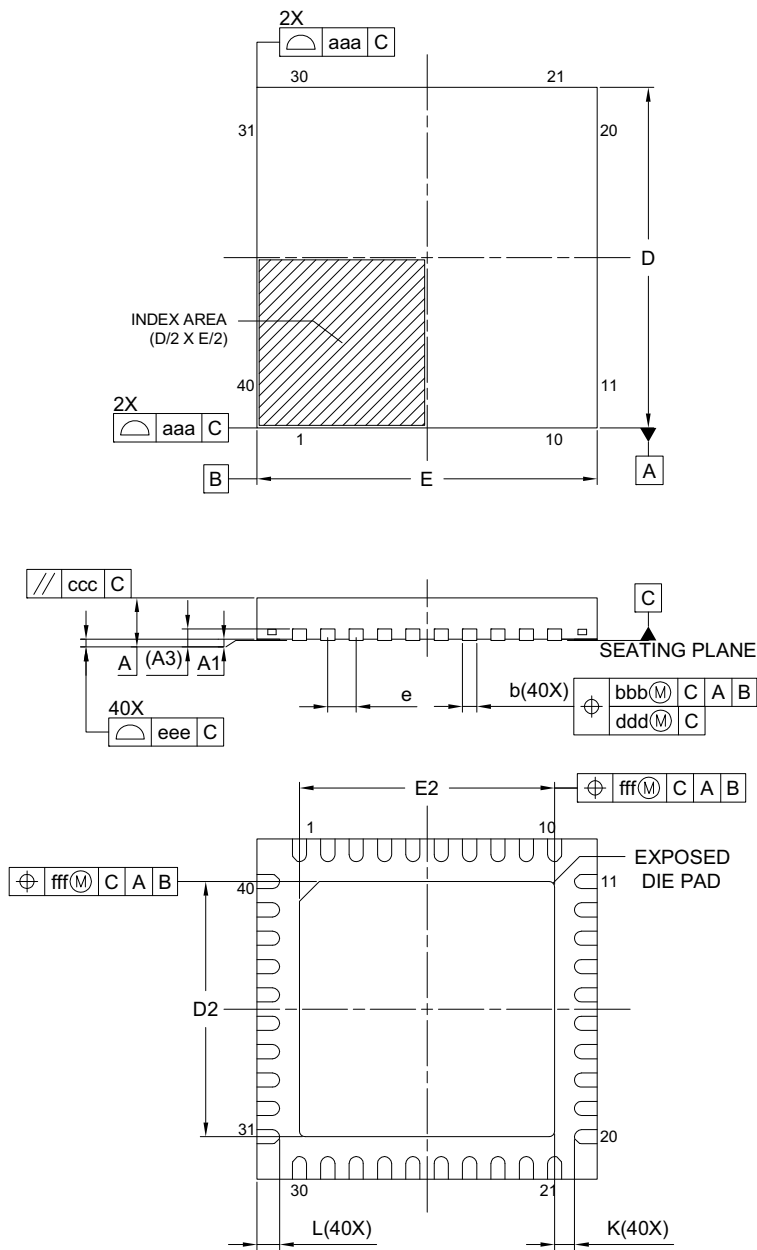


図 B. 40 ピン HWQFN (PWQN0040KD-A)

改訂記録

RX23E-A グループ ユーザーズマニュアル ハードウェア編

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.08.05	—	初版発行	
1.10	2020.10.09	1. 概要		
		48	表 1.3 製品一覧表 変更	TN-RX*-A0253A/J
			図 1.1 型名とメモリサイズ・パッケージ 変更	
		9. クロック発生回路		
		178	9.7.2 SCKCR3 レジスタ書き換え時の注意事項 追加	TN-RX*-A0224B/J
		19. イベントリンクコントローラ(ELC)		
		368	表 19.2 ELSRn レジスタと周辺モジュールの対応 注1 変更	
		369	表 19.3 ELSRn.ELS[7:0] ビットに設定する値とイベント信号名の対応 (1/2) 変更	
		372	19.2.5 イベントリンクオプション設定レジスタ C (ELOPC) 変更	
		376	19.3.2 イベントのリンク 変更	
		380	19.4 使用上の注意事項 19.4.1 ELSRn レジスタの設定について (1) ELSR8 レジスタの設定 変更	
		24. 8 ビットタイマ(TMRa)		
		608	24.1 概要 変更	
			表 24.1 TMR の仕様 変更	
		609	表 24.2 TMR の機能一覧 変更	
		613	24.2.1 タイマカウンタ(TCNT) 変更	
		614	24.2.2 タイムコンスタントレジスタ A (TCORA) 変更	
			24.2.3 タイムコンスタントレジスタ B (TCORB) 変更	
		615	24.2.4 タイマコントロールレジスタ(TCR) 変更	
		26. ローパワータイマ(LPT)		
		644	表 26.1 LPT の仕様 変更	
		645, 646	26.2.1 ローパワータイマコントロールレジスタ 1 (LPTCR1) 変更	
		647	26.2.3 ローパワータイマコントロールレジスタ 3 (LPTCR3) 変更	
		648	26.2.4 ローパワータイマ周期設定レジスタ (LPTPRD) 変更	
		649	表 26.2 ローパワータイマの周期設定例(IWDTCLK の場合) 変更	
		650	26.2.5 ローパワータイマコンペアレジスタ 0 (LPCMR0) 変更	
		28. シリアルコミュニケーションインタフェース(SCIg, SCIh)		
		691, 692	28.2.8 シリアルコントロールレジスタ(SCR) (1) 非スマートカードインタフェースモードのとき(SCMR.SMIF ビット=0) 変更	
		700	28.2.10 スマートカードモードレジスタ(SCMR) 変更	
		710	28.2.13 シリアル拡張モードレジスタ(SEMR) 変更	
		733	28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 注1 変更	
		736	28.3.6 SCI の初期化(調歩同期式モード) 変更	
			図 28.8 SCI の初期化フローチャートの例(調歩同期式モード) 変更	
		752	28.5.2 CTS、RTS 機能 変更	
		753	28.5.3 SCI の初期化(クロック同期式モード) 変更	
			図 28.24 SCI の初期化フローチャートの例(クロック同期式モード) 変更	
		766	図 28.38 SCI の初期化フローチャートの例(スマートカードインタフェースモード) 変更	
		779	図 28.51 SCI の初期化フローチャート例(簡易 I2C モード) 変更	
		781	図 28.54 簡易 I2C モードのマスタ送信動作のフローチャート例(送信割り込み、受信割り込み使用時) 変更	
		787	28.8.5 SCI の初期化(簡易 SPI モード) 変更	
		806	28.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2020.10.09	29. I ² C バスインタフェース (R11Ca)		
		819, 820	表 29.1 RIIC の仕様 変更	
		820	図 29.1 RIIC のブロック図 変更	
		821	図 29.2 入出力端子の外部回路接続例 (I ² C バス構成例) 変更	
		822 ~ 823	29.2.1 I ² C バスコントロールレジスタ 1 (ICCR1) 変更	
		824 ~ 826	29.2.2 I ² C バスコントロールレジスタ 2 (ICCR2) 変更	
		827	29.2.3 I ² C バスモードレジスタ 1 (ICMR1) 変更	
		828, 829	29.2.4 I ² C バスモードレジスタ 2 (ICMR2) 変更	
		830, 831	29.2.5 I ² C バスモードレジスタ 3 (ICMR3) 変更	
		832, 833	29.2.6 I ² C バスファンクション許可レジスタ (ICFER) 変更	TN-RX*-A0227A/J
		838, 839	29.2.9 I ² C バスステータスレジスタ 1 (ICSR1) 変更	
		840 ~ 842	29.2.10 I ² C バスステータスレジスタ 2 (ICSR2) 変更	TN-RX*-A0227A/J
		845	29.2.13 I ² C バスビットレート Low レジスタ (ICBRL) 変更	
		846	29.2.14 I ² C バスビットレート High レジスタ (ICBRH) 変更	
		847	表 29.5 転送速度に対する ICBRH、ICBRL レジスタの設定例 変更	
		848	29.2.16 I ² C バス受信データレジスタ (ICDRR) 変更	
		851	29.3.3 マスタ送信動作 変更	
		854, 855	29.3.4 マスタ受信動作 変更	
		860	29.3.5 スレーブ送信動作 変更	
		863	29.3.6 スレーブ受信動作 変更	
		865	29.4 SCL 同期回路 変更	
			図 29.21 RIIC の SCL 生成および SCL 同期化動作 変更	
		866	29.5 SDA 出力遅延機能 変更	
		868	29.7.1 スレーブアドレス一致検出機能 変更	
		870	29.7.2 ジェネラルコールアドレス検出機能 変更	
		871	29.7.3 デバイス ID アドレス検出機能 変更	TN-RX*-A0227A/J
		872	図 29.28 デバイス ID アドレス受信時の AASy、DID フラグセット / クリア タイミング 変更	
		873	29.7.4 ホストアドレス検出機能 変更	
		874	29.8.1 送信データ誤送信防止機能 変更	
		875	29.8.2 NACK 受信転送中断機能 変更	TN-RX*-A0227A/J
			図 29.31 NACK 受信時の転送中断動作 (NACK ビット = 1 のとき) 変更	
		876	29.8.3 受信データ取りこぼし防止機能 変更	
		880	29.9.2 NACK 送信アービトラションロスト検出機能 (NALE ビット) 変更	
		883	29.10.3 ストップコンディション発行動作 変更	
		884	29.11 バスハングアップ 変更	
		885	29.11.2 SCL 追加出力機能 変更	TN-RX*-A0227A/J
		886	ICCR1.CLO ビットの使用条件 変更	TN-RX*-A0227A/J
			図 29.40 SCL 追加出力機能 (CLO ビット) 変更	
		891	表 29.7 リセット時 / コンディション検出時のレジスタおよび機能のリセット状況 変更	
		31. シリアルペリフェラルインタフェース (RSPIb)		
		1007	31.1 概要 変更	
		1007, 1008	表 31.1 RSPI の仕様 変更	
		1011, 1012	31.2.1 RSPI 制御レジスタ (SPCR) 変更	
		1013	31.2.2 RSPI スレーブセレクト極性レジスタ (SSLP) 変更	
		1014	31.2.3 RSPI 端子制御レジスタ (SPPCR) 変更	
		1015 ~ 1017	31.2.4 RSPI ステータスレジスタ (SPSR) 変更	
		1021	31.2.6 RSPI シーケンス制御レジスタ (SPSCR) 変更	
		1022	31.2.7 RSPI シーケンスステータスレジスタ (SPSSR) 変更	
		1024	31.2.9 RSPI データコントロールレジスタ (SPDCR) 変更	
		1027	31.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND) 変更	
		1029	31.2.13 RSPI 制御レジスタ 2 (SPCR2) 変更	
		1030 ~ 1032	31.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7) 変更	
		1033	表 31.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要 変更	
		1034	31.3.2 RSPI 端子の制御 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2020.10.09	1052	31.3.6 通信動作モード 変更	
			31.3.6.1 全二重通信 (SPCR.TXMD = 0) 変更	
			図31.24 SPCR.TXMD = 0 の動作例 変更	
		1053	31.3.6.2 送信のみの単方向通信 (SPCR.TXMD = 1) 変更	
		1054, 1055	31.3.7 送信バッファエンプティ / 受信バッファフル割り込み 変更	
		1055	31.3.8 アイドル割り込み 追加	
		1056	表31.8 通常以外の転送の発生条件と RSPI のエラー検出機能 変更	
		1057 ~ 1059	31.3.9.1 オーバランエラー 変更	
		1060	31.3.9.2 パリティエラー 変更	
		1061	31.3.9.3 モードフォルトエラー 変更	
			31.3.9.4 アンダランエラー 変更	
		1062	31.3.10.1 SPE ビットのクリアによる初期化 変更	
		1066	31.3.11.1 マスタモード動作	
			(4) パースト転送 変更	
		1067	(5) RSPCK 遅延 (t1) 変更	
			(6) SSL ネゲート遅延 (t2) 変更	
		1068	(7) 次アクセス遅延 (t3) 変更	
		1069	図31.35 マスタモード時の初期化フロー例 (SPI 動作) 変更	
		1070	(9) ソフトウェア処理フロー	
			(a) 送信処理フロー 変更	
		1071	(b) 受信処理フロー 変更	
		1072	(c) エラー処理フロー 変更	
		1073	31.3.11.2 スLEEPモード動作	
			(6) ソフトウェア処理フロー	
		1084	(b) 受信処理フロー 変更	
			図31.49 パリティ回路の自己判断フロー 変更	
		1085	31.3.15 割り込み要因 変更	
			表31.13 RSPI の割り込み要因 変更	
		1086	31.4.3 モードフォルト / アンダラン / オーバラン / パリティエラーイベント出力 変更	
		1087	31.4.4 アイドルイベント出力 変更	
			31.4.5 送信完了イベント出力 変更	
		36. データ演算回路 (DOC)		
		1249 ~ 1255	全面見直し	
		38. フラッシュメモリ (FLASH)		
		1272	38.4.15 フラッシュライトバッファレジスタ n (FWBn) (n = 0 ~ 3) タイトル 変更	
		39. 電気的特性		
		1371 ~ 1383	39.4.5 内蔵周辺モジュールタイミング レイアウト変更	
		付録2. 外形寸法図		
		1418	図C. 40 ピンHWQFN (PWQN0040KD-A) 追加	TN-RX*-A0253A/J
1.20	2022.04.20	特長		
		42	パッケージの型名 変更	
		42	アナログ機能 変更	TN-RX*-A0255A/J
		1. 概要		
		46	表1.1 仕様概要 (4/4) 変更	
		48	表1.3 製品一覧表 変更	
		3. 動作モード		
		85	3.1 動作モードの種類と選択 変更	
		6. リセット		
		116	表6.2 リセット種別ごとの初期化対象 変更	
		8. 電圧検出回路 (LVDAb)		
		147	表8.2 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順 変更	
		10. クロック周波数精度測定回路 (CAC)		
		188, 189	10.3.1 クロック周波数測定 変更	
		14. 割り込みコントローラ (ICUb)		
		223	表14.1 割り込みコントローラの仕様 変更	
		258	14.6 低消費電力状態からの復帰 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2022.04.20	22. マルチファンクションタイマバルスユニット2 (MTU2a)		
		443	22.2.18 タイマアウトプットコントロールレジスタ1 (TOCR1) 変更	
		488	表 22.52 リセット同期PWMモード時の出力端子 変更	
		497	図 22.40 相補PWM モード動作例 変更	
		499	図 22.41 デッドタイムを生成しない場合の動作例 変更	
		500	図 22.42 PWM 周期の変更例 変更	
		501	図 22.43 相補PWM モードのデータ更新例 変更	
		28. シリアルコミュニケーションインタフェース (SCIg, SCIH)		
		735	28.3.5 CTS、RTS 機能 変更	
		29. I ² Cバスインタフェース (RIICa)		
		822, 823	29.2.1 I ² C バスコントロールレジスタ1 (ICCR1) 変更	
		851	29.3.3 マスタ送信動作 (5) 変更	
		852	図 29.5 マスタ送信のフローチャート例 変更	
		31. シリアルペリフェラルインタフェース (RSPIb)		
		1032, 1033	表 31.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要と表 31.6 RSPI端子の状態と制御ビット設定値の関係の統合	
		1068	図 31.35 マスタモード時の初期化フロー例 (SPI 動作) 変更	
		1079	図 31.46 マスタモード時の初期化フロー例 (クロック同期式動作) 変更	
		33. アナログフロントエンド (AFE)		
		1096	表 33.2 AFEの仕様 変更	TN-RX*-A0255A/J
		34. 24 ビット Δ - Σ A/D コンバータ (DSADA)		
		1134, 1135	34.2.2 DSAD 動作モードレジスタ (MR) 変更	
		1169	34.5.6 2 ユニット同時使用時の注意事項 追加	TN-RX*-A0254A/J
		35. 12 ビット A/D コンバータ (S12ADE)		
		全体	PCLKをPCLKBに変更	
		1188, 1189	35.2.9 A/D 変換開始トリガ選択レジスタ (ADSTRGR) 変更	
		1242	35.7 許容信号源インピーダンスについて 変更	
		1244	35.8.3 A/D 変換強制停止と開始時の動作タイミング 変更	
		38. フラッシュメモリ (FLASH)		
		1269, 1270	38.4.10 フラッシュエクストラ領域制御レジスタ (FEXCR) 変更	
		1277	38.4.20 フラッシュスタートアップ設定モニタレジスタ (FSCMR) 変更	
		1282	図 38.7 E2 データフラッシュアクセス禁止モードからROM/E2 データフラッシュリードモードへの遷移フロー 変更	
		1290	図 38.20 スタートアップ領域情報プログラムコマンド/ アクセスウィンドウ情報プログラムコマンドの発行フロー 変更	
		1313	38.10.6.2 動作周波数選択 • ビットレート選択エラー 変更	
		39. 電気的特性		
		1402	表 39.58 基準電圧源特性 変更	TN-RX*-A0255A/J
		1405	図 39.98 基準電圧源出力電圧の温度依存性 (AVCC0 = 5.0V) 変更	
		1405	図 39.99 基準電圧源初期精度 (AVCC0 = 5.0V) 変更	
		付録 2. 外形寸法図		
		—	図 B. 40 ピンHWQFN (PWQN0040KC-A) 削除	
1.30	2024.12.25	1. 概要		
		50	図 1.3 アナログブロック図 追加	
		3. 動作モード		
		86	3.1 動作モードの種類と選択 変更	
		86	表 3.1 モード設定端子による動作モードの選択 変更	
		87	3.2.2 システムコントロールレジスタ1 (SYSCR1) 変更	
		88	3.3.3 ブートモード (FINE インタフェース) 追加	
		89	図 3.1 モード設定端子のレベルと動作モード 変更	
		5. I/O レジスタ		
		97	表 5.1 I/O レジスタアドレス一覧 (4/22) 変更	
		115	表 5.1 I/O レジスタアドレス一覧 (22/22) 変更	
		6. リセット		
		117	表 6.2 リセット種別ごとの初期化対象 変更	
		8. 電圧検出回路 (LVDAb)		
		135	表 8.1 電圧検出回路の仕様 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.30	2024.12.25	144	8.2.7 電圧監視1 回路制御レジスタ0 (LVD1CR0) 変更	
		145	8.2.8 電圧監視2 回路制御レジスタ0 (LVD2CR0) 変更	
		10. クロック周波数精度測定回路(CAC)		
		181	10.1 概要 変更	
		14. 割り込みコントローラ(ICUb)		
		224	表 14.1 割り込みコントローラの仕様 変更	
		259	14.6.2 ソフトウェアスタンバイモードからの復帰 変更	
		19. イベントリンクコントローラ(ELC)		
		369	表 19.2 ELSRn レジスタと周辺モジュールの対応 変更	
		370, 371	表 19.3 ELSRn.ELS[7:0] ビットに設定する値とイベント信号名の対応 変更	
		—	19.4.1 ELSRn レジスタの設定について (3) ELSR24、ELSR25 レジスタの設定 削除	
		20. I/Oポート		
		384	図 20.2 入出力ポートの構成(2) 変更	
		27. 独立ウォッチドッグタイマ(IWDTa)		
		657	冒頭部 変更	
		657	27.1 概要 変更	
		657	表 27.1 IWDT の仕様 変更	
		658	図 27.1 IWDT のブロック図 変更	
		660 ~ 662	27.2.2 IWDT コントロールレジスタ (IWDTCR) 変更	
		663	27.2.3 IWDT ステータスレジスタ (IWDTSR) 変更	
		664	27.2.4 IWDT リセットコントロールレジスタ (IWDTRCR) 変更	
		665	27.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR) 変更	
		666	27.3.1.1 レジスタスタートモード 変更	
		667	図 27.3 レジスタスタートモード動作例 変更	
		668	27.3.1.2 オートスタートモード 変更	
		668	図 27.4 オートスタートモード動作例 変更	
		—	27.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ 書き込み制御 削除	
		669	27.3.2 リフレッシュ動作 変更	
		670	図 27.5 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、 IWDTCR.TOPS[1:0] = 10b) 変更	
		671	27.3.4 リセット出力 変更	
		671	27.3.5 割り込み要因 変更	
		671	表 27.4 IWDT の割り込み要因 変更	
		672	27.3.6 カウンタ値の読み出し 変更	
		672	図 27.6 IWDT カウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、 IWDTCR.TOPS[1:0] = 10b) 変更	
		28. シリアルコミュニケーションインタフェース(SCIg, SCIh)		
		704	表 28.15 各動作周波数における最高ビットレート (調歩同期式モード) 変更	
		708	表 28.22 ビットレートに対するBRRの設定例(簡易I ² Cモード) 変更	
		708	表 28.23 各ビットレート設定でのSCL High/Low幅最小値(簡易I ² Cモード) 変更	
		34. 24ビットΔΣ A/Dコンバータ(DSADA)		
		1142	34.2.7 データレジスタ(DR) 変更	
		1157	34.3.7.2 セトリング時間 変更	
		35. 12ビットA/Dコンバータ(S12ADE)		
		1189	表 35.6 TRSB[5:0] ビットでのA/D起動要因選択一覧 変更	
		1189	表 35.7 TRSA[5:0] ビットでのA/D起動要因選択一覧 変更	
		1198	図 35.3 コンペア機能ウィンドウA コンペア条件説明 変更	
		1206	図 35.4 コンペア機能ウィンドウB コンペア条件説明 変更	
		1249	35.8.14 基準電圧設定の注意事項 変更	
		39. 電気的特性		
		1340	表 39.2 推奨動作条件(1) 変更	
		1340	表 39.3 推奨動作条件(2) 変更	TN-RX*-A0269A/J
		1355	表 39.21 熱抵抗値(参考値) 変更	
		1376	表 39.37 簡易SPIタイミング 測定条件 変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.30	2024.12.25	1377	表 39.38 RIIC タイミング 変更	
		1379	図 39.61 RIIC バスインタフェース入出力タイミング/ 簡易 I ² C バスインタフェース入出力タイミング 変更	

RX23E-A グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2019年8月5日 Rev.1.00
2024年12月25日 Rev.1.30

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RX23E-A グループ