User's Manual

32

RX630群

用户手册 硬件篇

瑞萨32位单片机
RX族／RX600系列

本资料所记载的内容，均为本资料发行时的信息，瑞萨电子对于本资料所记载的产品或者规格可能会作改动，恕不另行通知。
请通过瑞萨电子的主页确认发布的最新信息。

瑞萨电子
www.renesas.com

Rev.1.00　2012.02

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.

   “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.

   “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.

   “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

产品使用时的注意事项

本文对适用于单片机所有产品的 “使用时的注意事项”进行说明。有关个别的使用时的注意事项请参照正文。此外，如果在记载上有与本手册的正文有差异之处，请以正文为准。

1. 未使用的引脚的处理
   【注意】将未使用的引脚按照正文的 “未使用引脚的处理”进行处理。
   CMOS产品的输入引脚的阻抗一般为高阻抗。如果在开路的状态下运行未使用的引脚，由于感应现象，外加LSI周围的噪声，在LSI内部产生穿透电流，有可能被误认为是输入信号而引起误动作。
   未使用的引脚，请按照正文的 “未使用引脚的处理”中的指示进行处理。

2. 通电时的处理
   【注意】通电时产品处于不定状态。
   通电时， LSI内部电路处于不确定状态，寄存器的设定和各引脚的状态不定。通过外部复位引脚对产品进行复位时，从通电到复位有效之前的期间，不能保证引脚的状态。
   同样，使用内部上电复位功能对产品进行复位时，从通电到达到复位产生的一定电压的期间，不能保证引脚的状态。

3. 禁止存取保留地址 （保留区）
   【注意】禁止存取保留地址 （保留区）
   在地址区域中，有被分配将来用作功能扩展的保留地址 （保留区）。因为无法保证存取这些地址时的运行，所以不能对保留地址 （保留区）进行存取。

4. 关于时钟
   【注意】复位时，请在时钟稳定后解除复位。
   在程序运行中切换时钟时，请在要切换成的时钟稳定之后进行。复位时，在通过使用外部振荡器（或者外部振荡电路）的时钟开始运行的系统中，必须在时钟充分稳定后解除复位。另外，在程序运行中，切换成使用外部振荡器 （或者外部振荡电路）的时钟时，在要切换成的时钟充分稳定后再进行切换。

5. 关于产品间的差异
   【注意】在变更不同型号的产品时，请对每一个产品型号进行系统评价测试。
   即使是同一个群的单片机，如果产品型号不同，由于内部ROM、版本模式等不同，在电特性范围内有时特性值、动作容限、噪声耐量、噪声辐射量等也不同。因此，在变更不认同型号的产品时，请对每一个型号的产品进行系统评价测试。

本手册的使用方法

1　目的和对象

本手册是一本帮助用户理解本单片机的硬件功能和电特性的手册。它以使用本手册来设计应用系统的用户为对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、 CPU、系统控制功能、外围功能、电特性、使用时的注意事项几大部分组成。

必须在充分确认注意事项后使用本单片机。注意事项记录在各章的正文中、各章的最后和注意事项章节中。

修订记录归纳了对旧版本记载内容的更正或追加的主要位置。并不是修订内容的全部记载。详情请确认本手册的正文。

RX630 群准备了以下的文献。请使用最新的文献。最新版本刊登在瑞萨电子的主页上。

文献的种类	记载内容	资料名	资料号
Short Sheet	硬件的概要	—	—
数据表	硬件的概要和电特性	RX630 Group Datasheet	—R01DS0060EJ
用户手册 硬件手册	硬件规格 （引脚配置、存储器映像、外围功能规格、电特性、时序）和运行的说明	RX630 群 用户手册 硬件篇	本硬件手册
用户手册 软件手册	CPU 指令集的说明	RX Family Software Manual	REJ09B0435
应用手册	应用例子参考程序等	—	—
RENESAS TECHNICAL UPDATE	产品规格、文档等的快速公告	—	—

2　寄存器的表示

在各章的“寄存器说明”中，有位的排列图和功能表，说明位的设定内容。以下说明所使用的符号和术语。

X.X.X　　••••寄存器

地址　xxxx xxxxxh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	••••	••••	••••	—	—	—	••••
复位后的值	x	0	0	0	0	0	0	0

位	符号	位名	功能	R/W（注 1）
b0	••••0	・・・・位（注 2）	0：・・・・・ 1：不能设定。（注 3）	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b4	••••4	・・・・位	0：・・・・・ 1：・・・・・・	R
b6-b5	••••[1:0]	・・・・位	0 0：・・・・・ 0 1：・・・・・ 上述以外：不能设定。（注 3）	R(/W) （注1）
b7	—	保留位	读取值为不定值，写无效。	R

注1.　R/W　：可读写。
　　R(/W)　：可读写，但是有写数据的限制。
　　限制内容请参照各寄存器的说明和注释。
　　R　：可写，写数据无效。
注2.　保留位。只能写指定值，如果写的值不是指定的值，就不保证运行。
注3.　不能设定。如果设定，就不保证运行。

3　省略语及简称的说明

省略 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步通信接口适配器
bps	bits per second	位 / 秒；每秒传送位数
CRC	Cyclic Redundancy Check	循环冗余校验
DMA	Direct Memory Access	直接存储器存取
DMAC	Direct Memory Access Controller	DMA 控制器
GSM	Global System for Mobile Communications	全球数字移动电话系统
Hi-Z	High Impedance	高阻抗
IEBus	Inter Equipment bus	-
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connection	未连接引脚
PLL	Phase Locked Loop	锁相环路
PWM	Pulse Width Modulation	脉宽调制
SFR	Special Function Registers	特殊功能寄存器
SIM	Subscriber Identity Module	ISO-7816 规定的 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器
VCO	Voltage Controlled Oscillator	电压控制振荡器

所有商标及注册商标分别归属于其所有者。
本用户手册仅为参考译文，对应的日文版和英文版具有正式效力。

目　录

1. 概要 2
1.1 规格概要 2
1.2 产品一览表 8
1.3 框图 11
1.4 引脚功能 12
1.5 引脚排列图 17

2. CPU 58
2.1 特点 58
2.2 CPU 寄存器组 59
2.2.1 通用寄存器 （R0 ～ R15） 60
2.2.2 控制寄存器 60
2.2.3 DSP 功能指令的相关寄存器 65
2.3 处理器模式 66
2.3.1 管理模式 66
2.3.2 用户模式 66
2.3.3 特权指令 66
2.3.4 处理器模式之间的转移 66
2.4 数据类型 67
2.4.1 整数 67
2.4.2 浮点数 67
2.4.3 位 68
2.4.4 字符串 68
2.5 字节序 69
2.5.1 字节序的设定 69
2.5.2 I/O 寄存器的存取 72
2.5.3 存取 I/O 寄存器时的注意事项 73
2.5.4 数据排列 73
2.5.5 指令码的分配注意事项 74
2.6 向量表 74
2.6.1 固定向量表 74
2.6.2 可变向量表 74
2.7 指令操作 75
2.7.1 RMPA 指令和字符串操作指令的数据预取 75
2.8 流水线 76
2.8.1 概要 76
2.8.2 指令和流水线处理 77
2.8.3 指令处理时间的计算方法 84
2.8.4 中断响应周期数 84

3. 运行模式 85
3.1 运行模式的种类和选择 85
3.2 寄存器说明 86
3.2.1 模式监视寄存器 （MDMONR） 86
3.2.2 模式状态寄存器 （MDSR） 86
3.2.3 系统控制寄存器 0 （SYSCR0） 87
3.2.4 系统控制寄存器 1 （SYSCR1） 88
3.3 运行模式的说明 88
3.3.1 单芯片模式 88

3.3.2 内部 ROM 有效扩展模式 88
3.3.3 内部 ROM 无效扩展模式 89
3.3.4 引导模式 （SCI 引导） 89
3.3.5 用户引导模式 89
3.3.6 USB 引导模式 89
3.4 运行模式的转移 90
3.4.1 通过模式引脚进行运行模式的转移 90
3.4.2 通过寄存器进行运行模式的转移 91

4. 地址空间 92
4.1 地址空间 92
4.2 外部地址空间 93

5. I/O 寄存器 94
5.1 I/O 寄存器地址一览表 （地址顺序） 96

6. 复位 134
6.1 概要 134
6.2 寄存器说明 136
6.2.1 复位状态寄存器 0 （RSTSR0） 136
6.2.2 复位状态寄存器 1 （RSTSR1） 138
6.2.3 复位状态寄存器 2 （RSTSR2） 139
6.2.4 软件复位寄存器 （SWRR） 140
6.3 运行说明 140
6.3.1 引脚复位 140
6.3.2 上电复位和电压监视 0 复位 140
6.3.3 电压监视 1 复位和电压监视 2 复位 141
6.3.4 深度软件待机复位 143
6.3.5 独立看门狗定时器复位 143
6.3.6 看门狗定时器复位 143
6.3.7 软件复位 143
6.3.8 冷启动 / 热启动判断功能 144
6.3.9 复位发生源的判断 145

7. 选项设定存储器 146
7.1 概要 146
7.2 寄存器说明 147
7.2.1 选项功能选择寄存器 0 （OFS0） 147
7.2.2 选项功能选择寄存器 1 （OFS1） 151
7.2.3 字节序选择寄存器 B （MDEB）、字节序选择寄存器 S （MDES） 152
7.3 UB 码 153
7.3.1 UB 码 A 153
7.3.2 UB 码 B 153
7.4 使用时的注意事项 153
7.4.1 选项设定存储器的设定例子 153

8. 电压检测电路 （LVDA） 154
8.1 概要 154
8.2 寄存器说明 157
8.2.1 电压监视 1 电路的控制寄存器 1 （LVD1CR1） 157
8.2.2 电压监视 1 电路的状态寄存器 （LVD1SR） 157
8.2.3 电压监视 2 电路的控制寄存器 1 （LVD2CR1） 158

8.2.4 电压监视 2 电路的状态寄存器 （LVD2SR） 158
8.2.5 电压监视电路的控制寄存器 （LVCMPCR） 159
8.2.6 电压检测电平选择寄存器 （LVDLVLR） 159
8.2.7 电压监视 1 电路的控制寄存器 0 （LVD1CR0） 160
8.2.8 电压监视 2 电路的控制寄存器 0 （LVD2CR0） 161
8.3 VCC 输入电压的监视 162
8.3.1 Vdet0 的监视 162
8.3.2 Vdet1 的监视 162
8.3.3 Vdet2 的监视 162
8.4 电压监视 0 复位 163
8.5 电压监视 1 中断和电压监视 1 复位 164
8.6 电压监视 2 中断和电压监视 2 复位 166

9. 时钟发生电路 168
9.1 概要 168
9.2 寄存器说明 171
9.2.1 系统时钟控制寄存器 （SCKCR） 171
9.2.2 系统时钟控制寄存器 2 （SCKCR2） 173
9.2.3 系统时钟控制寄存器 3 （SCKCR3） 174
9.2.4 PLL 控制寄存器 （PLLCR） 175
9.2.5 PLL 控制寄存器 2 （PLLCR2） 176
9.2.6 外部总线时钟控制寄存器 （BCKCR） 177
9.2.7 主时钟振荡器的控制寄存器 （MOSCCR） 178
9.2.8 副时钟振荡器的控制寄存器 （SOSCCR） 179
9.2.9 低速内部振荡器的控制寄存器 （LOCOCR） 180
9.2.10 IWDT 专用内部振荡器的控制寄存器 （ILOCOCR） 181
9.2.11 高速内部振荡器的控制寄存器 （HOCOCR） 182
9.2.12 振荡停止检测控制寄存器 （OSTDCR） 183
9.2.13 振荡停止检测状态寄存器 （OSTDSR） 184
9.2.14 主时钟振荡器的强制振荡控制寄存器 （MOFCR） 184
9.2.15 高速内部振荡器的电源控制寄存器 （HOCOPCR） 185
9.3 主时钟振荡器 186
9.3.1 连接谐振器的方法 186
9.3.2 输入外部时钟的方法 187
9.3.3 有关外部时钟输入的注意事项 187
9.4 副时钟振荡器 188
9.4.1 连接 32.768kHz 晶体谐振器的方法 188
9.4.2 不使用副时钟情况下的引脚处理 189
9.5 振荡停止检测功能 189
9.5.1 振荡停止检测和检测后的运行 189
9.5.2 振荡停止检测中断 190
9.6 PLL 电路 190
9.7 内部时钟 191
9.7.1 系统时钟 191
9.7.2 外围模块时钟 191
9.7.3 FlashIF 时钟 191
9.7.4 外部总线时钟 191
9.7.5 USB 时钟 192
9.7.6 CAN 时钟 192
9.7.7 IEBUS 时钟 192
9.7.8 RTC 专用时钟 192
9.7.9 IWDT 专用低速时钟 192

9.7.10 JTAG 时钟 192
9.8 连接谐振器时的引脚设定 192
9.9 使用外部时钟情况下的引脚设定 193
9.10 使用时的注意事项 193
9.10.1 有关时钟发生电路的注意事项 193
9.10.2 有关谐振器的注意事项 193
9.10.3 设计电路板时的注意事项 193
9.10.4 有关谐振器连接引脚的注意事项 194
9.10.5 有关副时钟的注意事项 194

10. 频率测量功能 （MCK） 195
10.1 概要 195
10.2 寄存器说明 198
10.2.1 计数时钟扩展寄存器 n （SCKn）（n=1、 2） 198
10.3 运行说明 199
10.4 使用时的注意事项 200
10.4.1 模块停止控制寄存器的设定 200

11. 低功耗功能 201
11.1 概要 201
11.2 寄存器说明 205
11.2.1 待机控制寄存器 （SBYCR） 205
11.2.2 模块停止控制寄存器 A （MSTPCRA） 206
11.2.3 模块停止控制寄存器 B （MSTPCRB） 208
11.2.4 模块停止控制寄存器 C （MSTPCRC） 210
11.2.5 运行功率控制寄存器 （OPCCR） 211
11.2.6 睡眠模式返回时钟源转换寄存器 （RSTCKCR） 213
11.2.7 主时钟振荡器的等待控制寄存器 （MOSCWTCR） 214
11.2.8 副时钟振荡器的等待控制寄存器 （SOSCWTCR） 215
11.2.9 PLL 等待控制寄存器 （PLLWTCR） 216
11.2.10 深度待机控制寄存器 （DPSBYCR） 217
11.2.11 深度待机中断允许寄存器 0 （DPSIER0） 218
11.2.12 深度待机中断允许寄存器 1 （DPSIER1） 219
11.2.13 深度待机中断允许寄存器 2 （DPSIER2） 220
11.2.14 深度待机中断允许寄存器 3 （DPSIER3） 221
11.2.15 深度待机中断标志寄存器 0 （DPSIFR0） 222
11.2.16 深度待机中断标志寄存器 1 （DPSIFR1） 223
11.2.17 深度待机中断标志寄存器 2 （DPSIFR2） 224
11.2.18 深度待机中断标志寄存器 3 （DPSIFR3） 226
11.2.19 深度待机中断边沿寄存器 0 （DPSIEGR0） 227
11.2.20 深度待机中断边沿寄存器 1 （DPSIEGR1） 228
11.2.21 深度待机中断边沿寄存器 2 （DPSIEGR2） 229
11.2.22 深度待机中断边沿寄存器 3 （DPSIEGR3） 230
11.2.23 深度待机备用寄存器 （DPSBKRy）（y=0 ～ 31） 230
11.3 通过转换时钟来降低功耗 231
11.4 模块停止功能 231
11.5 低运行功率功能 231
11.5.1 运行功率控制模式的设定方法 231
11.6 低功耗状态 232
11.6.1 睡眠模式 232
11.6.2 全模块时钟停止模式 233
11.6.3 软件待机模式 234

11.6.4 深度软件待机模式 237
11.7 使用时的注意事项 241
11.7.1 I/O 端口状态 241
11.7.2 DMAC 和 DTC 的模块停止 241
11.7.3 内部外围模块的中断 241
11.7.4 MSTPCRA、 MSTPCRB 和 MSTPCRC 寄存器的写操作 241
11.7.5 通过 DIRQnE 位 （n=0 ～ 15）控制输入缓冲器 241
11.7.6 WAIT 指令的执行时序 241
11.7.7 睡眠模式中通过 DMAC 和 DTC 进行的寄存器改写 241
11.7.8 ROM 容量大于等于 1.5M 字节或者引脚数大于等于 176 的产品的软件待机模式的转移 241
11.7.9 全模块时钟停止模式的解除 242
11.7.10 将副时钟用作系统时钟的时钟源时的注意事项 242

12. 电池备用功能 243
12.1 概要 243
12.2 运行说明 244
12.2.1 电池备用功能 244
12.3 使用时的注意事项 244

13. 寄存器写保护功能 245
13.1 寄存器说明 246
13.1.1 保护寄存器 （PRCR） 246

14. 异常处理 247
14.1 异常事件 247
14.1.1 未定义指令异常 247
14.1.2 特权指令异常 247
14.1.3 浮点异常 247
14.1.4 复位 247
14.1.5 非屏蔽中断 247
14.1.6 中断 247
14.1.7 无条件陷阱 248
14.2 异常处理步骤 248
14.3 异常事件的接受 249
14.3.1 接受时序和被保存的 PC 值 249
14.3.2 向量和 PC、 PSW 的保存位置 250
14.4 接受异常 / 从异常返回时的硬件处理 250
14.5 硬件预处理 251
14.5.1 未定义指令异常 251
14.5.2 特权指令异常 251
14.5.3 浮点异常 251
14.5.4 复位 251
14.5.5 非屏蔽中断 252
14.5.6 中断 252
14.5.7 无条件陷阱 252
14.6 从异常处理程序的返回 252
14.7 异常事件的优先级 253

15. 中断控制器 （ICUb） 254
15.1 概要 254
15.2 寄存器说明 256
15.2.1 中断请求寄存器 n （IRn）（n= 中断向量号） 256

15.2.2 中断请求允许寄存器 m （IERm）（m=02h ～ 1Fh） 257
15.2.3 中断源优先级寄存器 n （IPRn）（n=000 ～ 253） 258
15.2.4 高速中断设定寄存器 （FIR） 259
15.2.5 软件中断启动寄存器 （SWINTR） 260
15.2.6 DTC 启动允许寄存器 n （DTCERn）（n= 中断向量号） 260
15.2.7 DMAC 启动请求选择寄存器 m （DMRSRm）（m=DMAC 通道号） 261
15.2.8 IRQ 控制寄存器 i （IRQCRi）（i=0 ～ 15） 261
15.2.9 IRQ 引脚数字滤波器的允许寄存器 0 （IRQFLTE0） 262
15.2.10 IRQ 引脚数字滤波器的允许寄存器 1 （IRQFLTE1） 263
15.2.11 IRQ 引脚数字滤波器的设定寄存器 0 （IRQFLTC0） 264
15.2.12 IRQ 引脚数字滤波器的设定寄存器 1 （IRQFLTC1） 265
15.2.13 非屏蔽中断状态寄存器 （NMISR） 266
15.2.14 非屏蔽中断允许寄存器 （NMIER） 268
15.2.15 非屏蔽中断状态清除寄存器 （NMICLR） 270
15.2.16 NMI 引脚中断控制寄存器 （NMICR） 271
15.2.17 NMI 引脚数字滤波器的允许寄存器 （NMIFLTE） 271
15.2.18 NMI 引脚数字滤波器的设定寄存器 （NMIFLTC） 272
15.2.19 组 m 中断源寄存器 （GRPm）（m= 组号） 273
15.2.20 组 m 中断允许寄存器 （GENm）（m= 组号） 276
15.2.21 组 m 中断清除寄存器 （GCRm）（m= 组号） 278
15.2.22 单元选择寄存器 （SEL） 280
15.3 向量表 281
15.3.1 中断向量表 281
15.3.2 高速中断的向量表地址 288
15.3.3 非屏蔽中断的向量表地址 288
15.4 外围模块中断请求组和单元选择功能 288
15.4.1 中断请求组 288
15.4.2 单元选择功能 290
15.5 中断的运行说明 292
15.5.1 中断检测 292
15.5.2 中断请求的允许 / 禁止 298
15.5.3 中断请求目标的选择 299
15.5.4 优先级的判断 301
15.5.5 高速中断 301
15.5.6 数字滤波器 301
15.5.7 外部引脚中断 302
15.6 非屏蔽中断的运行说明 302
15.7 从低功耗状态的返回 303
15.7.1 从睡眠模式的返回 303
15.7.2 从全模块时钟停止模式的返回 303
15.7.3 从软件待机模式的返回 303
15.8 使用时的注意事项 304
15.8.1 使用非屏蔽中断时的 WAIT 指令的注意事项 304

16. 总线 305
16.1 概要 305
16.2 总线说明 307
16.2.1 CPU 总线 307
16.2.2 存储器总线 307
16.2.3 内部主总线 308
16.2.4 内部外围总线 308
16.2.5 外部总线 310

16.2.6 并行运行 312
16.2.7 总线的设定 312
16.2.8 限制事项 312
16.3 寄存器说明 313
16.3.1 CSn 控制寄存器 （CSnCR）（n=0 ～ 7） 313
16.3.2 CSn 恢复周期设定寄存器 （CSnREC）（n=0 ～ 7） 315
16.3.3 CS 恢复周期插入允许寄存器 （CSRECEN） 317
16.3.4 CSn 模式寄存器 （CSnMOD）（n=0 ～ 7） 320
16.3.5 CSn 等待控制寄存器 1 （CSnWCR1）（n=0 ～ 7） 321
16.3.6 CSn 等待控制寄存器 2 （CSnWCR2）（n=0 ～ 7） 325
16.3.7 总线错误状态清除寄存器 （BERCLR） 329
16.3.8 总线错误监视允许寄存器 （BEREN） 329
16.3.9 总线错误状态寄存器 1 （BERSR1） 330
16.3.10 总线错误状态寄存器 2 （BERSR2） 330
16.3.11 总线优先级控制寄存器 （BUSPRI） 331
16.4 字节序和数据调整 333
16.4.1 CS 区域的数据调整控制 333
16.5 CS 区域控制器的运行说明 339
16.5.1 分离总线 339
16.5.2 地址 / 数据多路复用总线 354
16.5.3 外部等待功能 357
16.5.4 恢复周期的插入 359
16.5.5 不存取时的状态 363
16.5.6 写缓冲器功能 363
16.5.7 限制事项 364
16.6 总线错误监视部 365
16.6.1 总线错误的种类 365
16.6.2 发生总线错误时的运行 366
16.6.3 总线错误的发生条件 366

17. DMA 控制器 （DMACA） 367
17.1 概要 367
17.2 寄存器说明 369
17.2.1 DMA 传送源地址寄存器 （DMSAR） 369
17.2.2 DMA 传送目标地址寄存器 （DMDAR） 369
17.2.3 DMA 传送计数寄存器 （DMCRA） 370
17.2.4 DMA 块传送计数寄存器 （DMCRB） 371
17.2.5 DMA 传送模式寄存器 （DMTMD） 372
17.2.6 DMA 中断设定寄存器 （DMINT） 373
17.2.7 DMA 地址模式寄存器 （DMAMD） 374
17.2.8 DMA 偏移寄存器 （DMOFR） 377
17.2.9 DMA 传送允许寄存器 （DMCNT） 377
17.2.10 DMA 软件启动寄存器 （DMREQ） 378
17.2.11 DMA 状态寄存器 （DMSTS） 379
17.2.12 DMA 启动源标志控制寄存器 （DMCSL） 380
17.2.13 DMA 模块启动寄存器 （DMAST） 381
17.3 运行说明 382
17.3.1 传送模式 382
17.3.2 扩展重复区域功能 385
17.3.3 带偏移的地址更新功能 386
17.3.4 启动源 390
17.3.5 运行时序 390

17.3.6 DMAC 的执行周期 391
17.3.7 DMAC 的启动 392
17.3.8 DMA 传送的开始 393
17.3.9 DMA 传送过程中的寄存器 393
17.3.10 通道的优先级 394
17.4 DMA 传送的结束 395
17.4.1 通过设定的总数据传送结束传送 395
17.4.2 通过重复大小结束中断结束传送 395
17.4.3 通过扩展重复区域上溢中断结束传送 395
17.5 中断 396
17.6 低功耗功能 398
17.7 使用时的注意事项 399
17.7.1 使用外部设备的情况 399
17.7.2 外围模块的 DMA 传送的情况 399
17.7.3 有关 DMA 运行过程中的寄存器存取 399
17.7.4 有关保留区的 DMA 传送 399
17.7.5 因设定 DMA 启动源标志控制寄存器 （DMCSL）而产生的各传送结束中断请求 399
17.7.6 中断控制器的 DMAC 启动请求寄存器 （ICU.DMRSRm）的设定 399
17.7.7 保留或者重新开始 DMA 启动的方法 399

18. 数据传送控制器 （DTCa） 400
18.1 概要 400
18.2 寄存器说明 402
18.2.1 DTC 模式寄存器 A （MRA） 402
18.2.2 DTC 模式寄存器 B （MRB） 403
18.2.3 DTC 传送源寄存器 （SAR） 404
18.2.4 DTC 传送目标寄存器 （DAR） 404
18.2.5 DTC 传送计数寄存器 A （CRA） 405
18.2.6 DTC 传送计数寄存器 B （CRB） 406
18.2.7 DTC 控制寄存器 （DTCCR） 406
18.2.8 DTC 向量基址寄存器 （DTCVBR） 407
18.2.9 DTC 地址模式寄存器 （DTCADMOD） 407
18.2.10 DTC 模块启动寄存器 （DTCST） 408
18.2.11 DTC 状态寄存器 （DTCSTS） 409
18.3 启动源 410
18.3.1 传送信息的分配和 DTC 向量表 410
18.4 运行说明 411
18.4.1 传送信息的跳读功能 413
18.4.2 传送信息的回写省略功能 414
18.4.3 正常传送模式 415
18.4.4 重复传送模式 416
18.4.5 块传送模式 417
18.4.6 链传送 418
18.4.7 运行时序 419
18.4.8 DTC 的执行周期 422
18.4.9 DTC 的总线权释放时序 422
18.5 DTC 的设定步骤 423
18.6 DTC 的使用例子 424
18.6.1 正常传送 424
18.6.2 链传送 424
18.6.3 计数器为 “0”时的链传送 426
18.7 中断源 427

18.8 低功耗功能 427
18.9 使用时的注意事项 427
18.9.1 传送信息起始地址 / 传送源地址 / 传送目标地址 427
18.9.2 传送信息的分配 427
18.9.3 中断控制器的 DTC 启动允许寄存器 （ICU.DTCERn）的设定 428

19. I/O 端口 429
19.1 概要 429
19.2 输入 / 输出端口的结构 431
19.3 寄存器说明 435
19.3.1 端口方向寄存器 （PDR） 435
19.3.2 端口输出数据寄存器 （PODR） 436
19.3.3 端口输入数据寄存器 （PIDR） 437
19.3.4 端口模式寄存器 （PMR） 438
19.3.5 漏极开路控制寄存器 0 （ODR0） 439
19.3.6 漏极开路控制寄存器 1 （ODR1） 440
19.3.7 上拉控制寄存器 （PCR） 441
19.3.8 驱动能力控制寄存器 （DSCR） 442
19.4 未使用引脚的处理 442

20. 多功能引脚控制器 （MPC） 443
20.1 概要 443
20.2 寄存器说明 455
20.2.1 写保护寄存器 （PWPR） 455
20.2.2 P0n 引脚功能控制寄存器 （P0nPFS）（n=0 ～ 3、 5、 7） 456
20.2.3 P1n 引脚功能控制寄存器 （P1nPFS）（n=0 ～ 7） 457
20.2.4 P2n 引脚功能控制寄存器 （P2nPFS）（n=0 ～ 7） 459
20.2.5 P3n 引脚功能控制寄存器 （P3nPFS）（n=0 ～ 4） 461
20.2.6 P4n 引脚功能控制寄存器 （P4nPFS）（n=0 ～ 7） 462
20.2.7 P5n 引脚功能控制寄存器 （P5nPFS）（n=0 ～ 2、 4 ～ 6） 463
20.2.8 P6n 引脚功能控制寄存器 （P6nPFS）（n=0、 1、 6、 7） 465
20.2.9 P7n 引脚功能控制寄存器 （P7nPFS）（n=0、 3 ～ 7） 466
20.2.10 P8n 引脚功能控制寄存器 （P8nPFS）（n=0 ～ 3、 6、 7） 467
20.2.11 P9n 引脚功能控制寄存器 （P9nPFS）（n=0 ～ 3） 468
20.2.12 PAn 引脚功能控制寄存器 （PAnPFS）（n=0 ～ 7） 469
20.2.13 PBn 引脚功能控制寄存器 （PBnPFS）（n=0 ～ 7） 471
20.2.14 PCn 引脚功能控制寄存器 （PCnPFS）（n=0 ～ 7） 473
20.2.15 PDn 引脚功能控制寄存器 （PDnPFS）（y=0 ～ 7） 475
20.2.16 PEn 引脚功能控制寄存器 （PEnPFS）（n=0 ～ 7） 476
20.2.17 PFn 引脚功能控制寄存器 （PFnPFS）（n=0 ～ 2、 5） 478
20.2.18 PJ3 引脚功能控制寄存器 （PJ3PFS） 479
20.2.19 PKn 引脚功能控制寄存器 （PKnPFS）（n=2 ～ 5） 480
20.2.20 CS 输出允许寄存器 （PFCSE） 480
20.2.21 CS 输出引脚选择寄存器 0 （PFCSS0） 481
20.2.22 CS 输出引脚选择寄存器 1 （PFCSS1） 482
20.2.23 地址输出允许寄存器 0 （PFAOE0） 483
20.2.24 地址输出允许寄存器 1 （PFAOE1） 483
20.2.25 外部总线控制寄存器 0 （PFBCR0） 484
20.2.26 外部总线控制寄存器 1 （PFBCR1） 484
20.2.27 USB0 控制寄存器 （PFUSB0） 485
20.3 外部总线接口的设定方法 486
20.4 使用时的注意事项 489

20.4.1 引脚输入 / 输出功能的设定步骤 489
20.4.2 设定 MPC 寄存器时的注意事项 489
20.4.3 使用模拟功能时的注意事项 490

21. 多功能定时器脉冲单元 2（MTU2a） 491
21.1 概要 491
21.2 寄存器说明 496
21.2.1 定时器的控制寄存器（TCR） 496
21.2.2 定时器的模式寄存器（TMDR） 499
21.2.3 定时器的 I/O 控制寄存器（TIOR） 501
21.2.4 定时器的比较匹配清除寄存器（TCNTCMPCLR） 512
21.2.5 定时器的中断允许寄存器（TIER） 513
21.2.6 定时器的状态寄存器（TSR） 515
21.2.7 定时器的缓冲运行传送模式寄存器（TBTM） 516
21.2.8 定时器的输入捕捉控制寄存器（TICCR） 517
21.2.9 定时器的 A/D 转换开始请求控制寄存器（TADCR） 518
21.2.10 定时器的 A/D 转换开始请求周期设定寄存器 A、B（TADCORA/B） 519
21.2.11 定时器的 A/D 转换开始请求周期设定缓冲寄存器 A、B（TADCOBRA/B） 519
21.2.12 定时器的计数器（TCNT） 520
21.2.13 定时器的通用寄存器（TGR） 520
21.2.14 定时器的启动寄存器（TSTR） 521
21.2.15 定时器的同步寄存器（TSYR） 522
21.2.16 定时器的读写允许寄存器（TRWER） 523
21.2.17 定时器的输出主控允许寄存器（TOER） 524
21.2.18 定时器的输出控制寄存器 1（TOCR1） 525
21.2.19 定时器的输出控制寄存器 2（TOCR2） 527
21.2.20 定时器的输出电平缓冲寄存器（TOLBR） 529
21.2.21 定时器的门控寄存器（TGCR） 530
21.2.22 定时器的副计数器（TCNTS） 531
21.2.23 定时器的死区时间数据寄存器（TDDR） 531
21.2.24 定时器的周期数据寄存器（TCDR） 532
21.2.25 定时器的周期缓冲寄存器（TCBR） 532
21.2.26 定时器的中断减少设定寄存器（TITCR） 532
21.2.27 定时器的中断减少次数计数器（TITCNT） 534
21.2.28 定时器的缓冲传送设定寄存器（TBTER） 535
21.2.29 定时器的死区时间允许寄存器（TDER） 536
21.2.30 定时器的波形控制寄存器（TWCR） 537
21.2.31 噪声滤波器的控制寄存器（NFCR） 538
21.2.32 和总线主控的接口 540
21.3 运行说明 541
21.3.1 概要 541
21.3.2 同步运行 546
21.3.3 缓冲运行 548
21.3.4 级联运行 552
21.3.5 PWM 模式 556
21.3.6 相位计数模式 560
21.3.7 复位同步 PWM 模式 566
21.3.8 互补 PWM 模式 569
21.3.9 A/D 转换开始请求的延迟功能 597
21.3.10 外部脉宽的测量功能 600
21.3.11 死区时间的补偿功能 601
21.3.12 在互补 PWM 的 “波峰 / 波谷”进行的 TCNT 捕捉运行 602

21.3.13 噪声滤波器功能 603
21.4 中断源 604
21.4.1 中断源和优先级 604
21.4.2 DTC/DMAC 的启动 605
21.4.3 A/D 转换器的启动 605
21.5 运行时序 607
21.5.1 输入 / 输出时序 607
21.5.2 中断信号的时序 612
21.6 使用时的注意事项 615
21.6.1 模块停止功能的设定 615
21.6.2 输入时钟的制限事项 615
21.6.3 设定周期时的注意事项 615
21.6.4 TCNT 的写和清除的竞争 616
21.6.5 TCNT 的写和递增计数的竞争 616
21.6.6 TGR 的写和比较匹配的竞争 617
21.6.7 缓冲寄存器的写和比较匹配的竞争 617
21.6.8 缓冲寄存器的写和 TCNT 清除的竞争 618
21.6.9 TGR 的读和输入捕捉的竞争 618
21.6.10 TGR 的写和输入捕捉的竞争 619
21.6.11 缓冲寄存器的写和输入捕捉的竞争 620
21.6.12 级联中的 MTU2.TCNT 的写和上溢 / 下溢的竞争 621
21.6.13 互补 PWM 模式停止时的计数器值 622
21.6.14 互补 PWM 模式中的缓冲运行的设定 622
21.6.15 复位同步 PWM 模式的缓冲运行和比较匹配标志 622
21.6.16 复位同步 PWM 模式的上溢标志 623
21.6.17 上溢 / 下溢和计数器清除的竞争 624
21.6.18 TCNT 的写和上溢 / 下溢的竞争 624
21.6.19 从正常运行或者 PWM 模式 1 转移到复位同步 PWM 模式时的注意事项 624
21.6.20 互补 PWM 模式和复位同步 PWM 模式的输出电平 625
21.6.21 模块停止状态时的中断 625
21.6.22 级联中的 MTU1.TCNT 和 MTU2.TCNT 的同时输入捕捉 625
21.6.23 未使用互补 PWM 模式的输出保护功能时的注意事项 625
21.6.24 同步清除互补 PWM 模式时的异常动作的防止 626
21.6.25 比较匹配脉冲中断的连续输出 627
21.7 MTU 输出引脚的初始化方法 628
21.7.1 运行模式 628
21.7.2 因运行过程中的异常而重新设定时的运行 628
21.7.3 因运行过程中的异常而对引脚进行初始化的步骤以及模式转移的概要 629

22. 端口输出允许 2 （POE2a） 646
22.1 概要 646
22.2 寄存器说明 649
22.2.1 输入电平控制 / 状态寄存器 1 （ICSR1） 649
22.2.2 输出电平控制 / 状态寄存器 1 （OCSR1） 651
22.2.3 输入电平控制 / 状态寄存器 2 （ICSR2） 652
22.2.4 软件端口输出允许寄存器 （SPOER） 653
22.2.5 端口输出允许控制寄存器 1 （POECR1） 654
22.2.6 端口输出允许控制寄存器 2 （POECR2） 654
22.2.7 输入电平控制 / 状态寄存器 3 （ICSR3） 655
22.3 运行说明 656
22.3.1 输入电平的检测 658
22.3.2 输出电平的比较 659

22.3.3 通过寄存器进行的高阻抗控制 659
22.3.4 通过振荡停止检测进行的高阻抗控制 659
22.3.5 高阻抗的解除 659
22.4 中断 660
22.5 使用时的注意事项 660
22.5.1 向软件待机模式或者深度软件待机模式的转移 660
22.5.2 不使用 POE 时的注意事项 660
22.5.3 有关引脚的 MTU 功能的设定 660

23. 16 位定时器脉冲单元 （TPUa） 661
23.1 概要 661
23.2 寄存器说明 668
23.2.1 定时器的控制寄存器 （TCR） 668
23.2.2 定时器的模式寄存器 （TMDR） 673
23.2.3 定时器的 I/O 控制寄存器 （TIORH、 TIORL、 TIOR） 674
23.2.4 定时器的中断允许寄存器 （TIER） 684
23.2.5 定时器的状态寄存器 （TSR） 685
23.2.6 定时器的计数器 （TCNT） 687
23.2.7 定时器的通用寄存器 A （TGRA）
定时器的通用寄存器 B （TGRB）
定时器的通用寄存器 C （TGRC）
定时器的通用寄存器 D （TGRD） 687
23.2.8 定时器的启动寄存器 （TSTR） 688
23.2.9 定时器的同步寄存器 （TSYR） 689
23.2.10 噪声滤波器的控制寄存器 （NFCR） 690
23.3 运行说明 692
23.3.1 概要 692
23.3.2 同步运行 697
23.3.3 缓冲运行 699
23.3.4 级联运行 702
23.3.5 PWM 模式 704
23.3.6 相位计数模式 709
23.3.7 噪声滤波器功能 715
23.4 中断源 716
23.5 DTC 的启动 718
23.6 DMAC 的启动 718
23.7 A/D 转换器的启动 718
23.8 PPG 触发 718
23.9 运行时序 719
23.9.1 输入 / 输出时序 719
23.9.2 中断信号的时序 723
23.10 使用时的注意事项 725
23.10.1 模块停止功能的设定 725
23.10.2 输入时钟的限制事项 725
23.10.3 设定周期时的注意事项 725
23.10.4 TPUm.TCNT 计数器的写和清除的竞争 726
23.10.5 TPUm.TCNT 计数器的写和递增计数的竞争 726
23.10.6 TPUm.TGRy 寄存器的写和比较匹配的竞争 727
23.10.7 缓冲寄存器的写和比较匹配的竞争 727
23.10.8 TPUm.TGRy 寄存器的读和输入捕捉的竞争 728
23.10.9 TPUm.TGRy 寄存器的写和输入捕捉的竞争 728
23.10.10 缓冲寄存器的写和输入捕捉的竞争 729

23.10.11 上溢 / 下溢和计数器清除的竞争 729
23.10.12 TPUm.TCNT 计数器的写和上溢 / 下溢的竞争 730
23.10.13 输入 / 输出引脚的兼用 730
23.10.14 比较匹配脉冲中断的连续输出 731
23.10.15 输入捕捉脉冲中断的连续输出 731
23.10.16 下溢脉冲中断的连续输出 732

24. 可编程脉冲发生器 （PPG） 733
24.1 概要 733
24.2 寄存器说明 736
24.2.1 PPG 触发选择寄存器 （PTRSLR） 736
24.2.2 下一个数据允许寄存器 H （NDERH）、下一个数据允许寄存器 L （NDERL） 737
24.2.3 输出数据寄存器 H （PODRH）、输出数据寄存器 L （PODRL） 739
24.2.4 下一个数据寄存器 H （NDRH）、下一个数据寄存器 L （NDRL） 742
24.2.5 PPG 输出控制寄存器 （PCR） 746
24.2.6 PPG 输出模式寄存器 （PMR） 748
24.3 运行说明 751
24.3.1 输出时序 752
24.3.2 脉冲输出正常运行的设定步骤例子 753
24.3.3 脉冲输出正常运行的例子 （5 相脉冲输出例子） 755
24.3.4 脉冲输出非重叠运行 756
24.3.5 脉冲输出非重叠运行的设定步骤例子 757
24.3.6 脉冲输出非重叠运行的例子 （4 相互补的非重叠输出例子） 759
24.3.7 脉冲的反相输出 760
24.3.8 通过输入捕捉进行的脉冲输出 761
24.4 使用时的注意事项 761
24.4.1 模块停止功能的设定 761

25. 8 位定时器 （TMR） 762
25.1 概要 762
25.2 寄存器说明 767
25.2.1 定时器的计数器 （TCNT） 767
25.2.2 时间常数寄存器 A （TCORA） 768
25.2.3 时间常数寄存器 B （TCORB） 768
25.2.4 定时器的控制寄存器 （TCR） 769
25.2.5 定时器的计数器控制寄存器 （TCCR） 770
25.2.6 定时器的控制 / 状态寄存器 （TCSR） 772
25.3 运行说明 774
25.3.1 脉冲输出 774
25.3.2 复位输入 774
25.4 运行时序 775
25.4.1 TCNT 计数器的计数时序 775
25.4.2 比较匹配时的中断标志变为 “1” 的时序 776
25.4.3 比较匹配时的定时器输出时序 776
25.4.4 通过比较匹配进行的计数器清除时序 777
25.4.5 TCNT 计数器的外部复位时序 777
25.4.6 通过上溢使中断标志变为 “1” 的时序 778
25.5 级联时的运行 778
25.5.1 16 位计数模式 778
25.5.2 比较匹配计数模式 778
25.6 中断源 779
25.6.1 中断源和 DTC 启动 779

25.6.2 A/D 转换器的启动 779
25.7 使用时的注意事项 780
25.7.1 模块停止功能的设定 780
25.7.2 设定周期时的注意事项 780
25.7.3 TCNT 计数器的写和计数器清除的竞争 780
25.7.4 TCNT 计数器的写和递增计数的竞争 780
25.7.5 TCORA 寄存器、 TCORB 寄存器的写和比较匹配的竞争 781
25.7.6 比较匹配 A 和比较匹配 B 的竞争 781
25.7.7 分频时钟的转换和 TCNT 计数器的运行 782
25.7.8 级联时的时钟源设定 783
25.7.9 比较匹配中断的连续输出 783

26. 比较匹配定时器 （CMT） 784
26.1 概要 784
26.2 寄存器说明 785
26.2.1 比较匹配定时器的启动寄存器 0 （CMSTR0） 785
26.2.2 比较匹配定时器的启动寄存器 1 （CMSTR1） 785
26.2.3 比较匹配定时器的控制寄存器 （CMCR） 786
26.2.4 比较匹配定时器的计数器 （CMCNT） 786
26.2.5 比较匹配定时器的常数寄存器 （CMCOR） 787
26.3 运行说明 787
26.3.1 周期计数 787
26.3.2 CMCNT 计数器的计数时序 787
26.4 中断 788
26.4.1 中断源 788
26.4.2 比较匹配中断的发生时序 788
26.5 使用时的注意事项 789
26.5.1 模块停止功能的设定 789
26.5.2 CMCNT 计数器的写和比较匹配的竞争 789
26.5.3 CMCNT 计数器的写和递增计数的竞争 789

27. 实时时钟 （RTCa） 790
27.1 概要 790
27.2 寄存器说明 792
27.2.1 64Hz 计数器 （R64CNT） 792
27.2.2 秒计数器 （RSECCNT） 793
27.2.3 分钟计数器 （RMINCNT） 793
27.2.4 小时计数器 （RHRCNT） 794
27.2.5 星期计数器 （RWKCNT） 795
27.2.6 日计数器 （RDAYCNT） 796
27.2.7 月计数器 （RMONCNT） 796
27.2.8 年计数器 （RYRCNT） 797
27.2.9 秒闹钟寄存器 （RSECAR） 797
27.2.10 分钟闹钟寄存器 （RMINAR） 798
27.2.11 小时闹钟寄存器 （RHRAR） 799
27.2.12 星期闹钟寄存器 （RWKAR） 800
27.2.13 日闹钟寄存器 （RDAYAR） 801
27.2.14 月闹钟寄存器 （RMONAR） 801
27.2.15 年闹钟寄存器 （RYRAR） 802
27.2.16 年闹钟允许寄存器 （RYRAREN） 802
27.2.17 RTC 控制寄存器 1 （RCR1） 803
27.2.18 RTC 控制寄存器 2 （RCR2） 804

27.2.19 RTC 控制寄存器 3 （RCR3） 806
27.2.20 RTC 控制寄存器 4 （RCR4） 806
27.2.21 频率寄存器 H/L （RFRH/L） 807
27.2.22 时间误差校正寄存器 （RADJ） 808
27.2.23 时间捕捉控制寄存器 y （RTCCRy）（y=0 ～ 2） 809
27.2.24 秒捕捉寄存器 y （RSECCPy）（y=0 ～ 2） 810
27.2.25 分钟捕捉寄存器 y （RMINCPy）（y=0 ～ 2） 811
27.2.26 小时捕捉寄存器 y （RHRCPy）（y=0 ～ 2） 811
27.2.27 日捕捉寄存器 y （RDAYCPy）（y=0 ～ 2） 812
27.2.28 月捕捉寄存器 y （RMONCPy）（y=0 ～ 2） 812
27.3 运行说明 813
27.3.1 接通电源后的寄存器初始设定概要 813
27.3.2 时钟设定步骤 814
27.3.3 时间设定步骤 815
27.3.4 30 秒调整步骤 815
27.3.5 64Hz 计数器和时间的读取步骤 816
27.3.6 闹钟功能 817
27.3.7 闹钟中断的禁止步骤 818
27.3.8 时间误差校正功能 818
27.4 中断源 821
27.5 使用时的注意事项 822
27.5.1 有关计数运行时的寄存器写操作 822
27.5.2 有关周期中断的使用 822
27.5.3 有关 1Hz 时钟的输出 823
27.5.4 有关在设定寄存器后向低功耗模式的转移 823
27.5.5 读写寄存器时的注意事项 823

28. 看门狗定时器 （WDTA） 824
28.1 概要 824
28.2 寄存器说明 826
28.2.1 WDT 刷新寄存器 （WDTRR） 826
28.2.2 WDT 控制寄存器 （WDTCR） 827
28.2.3 WDT 状态寄存器 （WDTSR） 830
28.2.4 WDT 复位控制寄存器 （WDTRCR） 831
28.2.5 选项功能选择寄存器 0 （OFS0） 831
28.3 运行说明 831
28.3.1 各计数开始条件下的运行 831
28.3.2 WDTCR 寄存器和 WDTRCR 寄存器的写控制 834
28.3.3 刷新 834
28.3.4 状态标志 835
28.3.5 复位输出 836
28.3.6 中断源 836
28.3.7 递减计数器值的读操作 836
28.3.8 选项功能选择寄存器 0 （OFS0）和 WDT 寄存器的对应 837

29. 独立看门狗定时器 （IWDTa） 838
29.1 概要 838
29.2 寄存器说明 840
29.2.1 IWDT 刷新寄存器 （IWDTRR） 840
29.2.2 IWDT 控制寄存器 （IWDTCR） 841
29.2.3 IWDT 状态寄存器 （IWDTSR） 844
29.2.4 IWDT 复位控制寄存器 （IWDTRCR） 845

29.2.5 IWDT 计数停止控制寄存器 （IWDTCSTPR） 845
29.2.6 选项功能选择寄存器 0 （OFS0） 845
29.3 运行说明 846
29.3.1 各计数开始条件下的运行 846
29.3.2 IWDTCR 寄存器、 IWDTRCR 寄存器和 IWDTCSTPR 寄存器的写控制 849
29.3.3 刷新 849
29.3.4 状态标志 851
29.3.5 复位输出 851
29.3.6 中断源 852
29.3.7 递减计数器值的读操作 852
29.3.8 选项功能选择寄存器 0 （OFS0）和 IWDT 寄存器的对应 853
29.4 使用时的注意事项 853
29.4.1 刷新 853

30. USB2.0 功能模块 （USBa） 854
30.1 概要 854
30.2 寄存器说明 856
30.2.1 系统配置控制寄存器 （SYSCFG） 856
30.2.2 系统配置状态寄存器 0 （SYSSTS0） 857
30.2.3 设备状态控制寄存器 0 （DVSTCTR0） 858
30.2.4 CFIFO 端口寄存器 （CFIFO）
D0FIFO 端口寄存器 （D0FIFO）
D1FIFO 端口寄存器 （D1FIFO） 859
30.2.5 CFIFO 端口选择寄存器 （CFIFOSEL）
D0FIFO 端口选择寄存器 （D0FIFOSEL）
D1FIFO 端口选择寄存器 （D1FIFOSEL） 861
30.2.6 CFIFO 端口控制寄存器 （CFIFOCTR）
D0FIFO 端口控制寄存器 （D0FIFOCTR）
D1FIFO 端口控制寄存器 （D1FIFOCTR） 865
30.2.7 中断允许寄存器 0 （INTENB0） 867
30.2.8 BRDY 中断允许寄存器 （BRDYENB） 868
30.2.9 NRDY 中断允许寄存器 （NRDYENB） 869
30.2.10 BEMP 中断允许寄存器 （BEMPENB） 870
30.2.11 SOF 输出配置寄存器 （SOFCFG） 871
30.2.12 中断状态寄存器 0 （INTSTS0） 872
30.2.13 BRDY 中断状态寄存器 （BRDYSTS） 875
30.2.14 NRDY 中断状态寄存器 （NRDYSTS） 876
30.2.15 BEMP 中断状态寄存器 （BEMPSTS） 877
30.2.16 帧号寄存器 （FRMNUM） 878
30.2.17 设备状态转换寄存器 （DVCHGR） 879
30.2.18 USB 地址寄存器 （USBADDR） 879
30.2.19 USB 请求类型寄存器 （USBREQ） 880
30.2.20 USB 请求值寄存器 （USBVAL） 880
30.2.21 USB 请求变址寄存器 （USBINDX） 881
30.2.22 USB 请求长度寄存器 （USBLENG） 881
30.2.23 DCP 最大信息包长度寄存器 （DCPMAXP） 882
30.2.24 DCP 控制寄存器 （DCPCTR） 883
30.2.25 管道窗口选择寄存器 （PIPESEL） 885
30.2.26 管道配置寄存器 （PIPECFG） 886
30.2.27 管道最大信息包长度寄存器 （PIPEMAXP） 888
30.2.28 管道周期控制寄存器 （PIPEPERI） 889
30.2.29 管道 n 控制寄存器 （PIPEnCTR）（n=1 ～ 9） 890

30.2.30 管道 n 事务计数允许寄存器 （PIPEnTRE）（n=1 ～ 5） 896
30.2.31 管道 n 事务计数寄存器 （PIPEnTRN）（n=1 ～ 5） 897
30.2.32 深度待机 USB 收发器的控制 / 引脚监视寄存器 （DPUSR0R） 898
30.2.33 深度待机 USB 的挂起 / 恢复中断寄存器 （DPUSR1R） 899
30.3 运行说明 900
30.3.1 系统控制 900
30.3.2 中断源 905
30.3.3 中断说明 907
30.3.4 管道控制 915
30.3.5 FIFO 缓冲存储器 919
30.3.6 控制传送 （DCP） 922
30.3.7 批量传送 （管道 1 ～ 5） 923
30.3.8 中断传送 （管道 6 ～ 9） 923
30.3.9 等时传送 （管道 1、管道 2） 923
30.3.10 SOF 内插功能 929
30.4 使用时的注意事项 929
30.4.1 模块停止功能的设定 929

31. 串行通信接口 （SCIc、 SCId） 930
31.1 概要 930
31.2 寄存器说明 940
31.2.1 接收移位寄存器 （RSR） 940
31.2.2 接收数据寄存器 （RDR） 940
31.2.3 发送数据寄存器 （TDR） 940
31.2.4 发送移位寄存器 （TSR） 940
31.2.5 串行模式寄存器 （SMR） 941
31.2.6 串行控制寄存器 （SCR） 945
31.2.7 串行状态寄存器 （SSR） 950
31.2.8 智能卡模式寄存器 （SCMR） 954
31.2.9 位速率寄存器 （BRR） 955
31.2.10 串行扩展模式寄存器 （SEMR） 963
31.2.11 噪声滤波器的设定寄存器 （SNFR） 965
31.2.12 I^2C 模式寄存器 1 （SIMR1） 966
31.2.13 I^2C 模式寄存器 2 （SIMR2） 967
31.2.14 I^2C 模式寄存器 3 （SIMR3） 968
31.2.15 I^2C 状态寄存器 （SISR） 970
31.2.16 SPI 模式寄存器 （SPMR） 971
31.2.17 扩展串行模式有效寄存器 （ESMER） 973
31.2.18 控制寄存器 0 （CR0） 973
31.2.19 控制寄存器 1 （CR1） 974
31.2.20 控制寄存器 2 （CR2） 975
31.2.21 控制寄存器 3 （CR3） 976
31.2.22 端口控制寄存器 （PCR） 976
31.2.23 中断控制寄存器 （ICR） 977
31.2.24 状态寄存器 （STR） 978
31.2.25 状态清除寄存器 （STCR） 979
31.2.26 Control Field 0 数据寄存器 （CF0DR） 979
31.2.27 Control Field 0 比较允许寄存器 （CF0CR） 980
31.2.28 Control Field 0 接收数据寄存器 （CF0RR） 980
31.2.29 主 Control Field 1 数据寄存器 （PCF1DR） 980
31.2.30 次 Control Field 1 数据寄存器 （SCF1DR） 981
31.2.31 Control Field 1 比较允许寄存器 （CF1CR） 981

31.2.32 Control Field 1 接收数据寄存器 （CF1RR） 981
31.2.33 定时器的控制寄存器 （TCR） 982
31.2.34 定时器的模式寄存器 （TMR） 982
31.2.35 定时器的预分频寄存器 （TPRE） 983
31.2.36 定时器的计数器 （TCNT） 983
31.3 异步模式的运行 984
31.3.1 串行发送 / 接收格式 985
31.3.2 异步模式的接收数据采样时序和接收容限 986
31.3.3 时钟 987
31.3.4 CTS 和 RTS 功能 987
31.3.5 SCI 的初始化 （异步模式） 988
31.3.6 串行数据的发送 （异步模式） 989
31.3.7 串行数据的接收 （异步模式） 991
31.4 多处理器通信功能 995
31.4.1 多处理器串行数据的发送 996
31.4.2 多处理器串行数据的接收 997
31.5 时钟同步模式的运行 1000
31.5.1 时钟 1000
31.5.2 CTS 和 RTS 功能 1000
31.5.3 SCI 的初始化 （时钟同步模式） 1001
31.5.4 串行数据的发送 （时钟同步模式） 1002
31.5.5 串行数据的接收 （时钟同步模式） 1003
31.5.6 串行数据的同时发送和接收 （时钟同步模式） 1006
31.6 智能卡接口模式的运行 1007
31.6.1 连接例子 1007
31.6.2 数据格式 （块传送模式除外） 1008
31.6.3 块传送模式 1009
31.6.4 接收数据的采样时序和接收容限 1009
31.6.5 SCI 的初始化 （智能卡接口模式） 1010
31.6.6 串行数据的发送 （块传送模式除外） 1011
31.6.7 串行接收 （块传送模式除外） 1014
31.6.8 时钟的输出控制 1015
31.7 简易 I^2C 模式的运行 1017
31.7.1 开始条件、重新开始条件和停止条件的生成 1018
31.7.2 时钟同步 1019
31.7.3 SSDA 输出延迟 1020
31.7.4 SCI 的初始化 （简易 I^2C 模式） 1021
31.7.5 主控发送 （简易 I^2C 模式） 1022
31.7.6 主控接收 （简易 I^2C 模式） 1024
31.8 简易 SPI 模式的运行 1026
31.8.1 主控模式、从属模式和各引脚的状态 1027
31.8.2 主控模式中的 SS 功能 1027
31.8.3 从属模式中的 SS 功能 1027
31.8.4 时钟和发送 / 接收数据的关系 1027
31.8.5 SCI 的初始化 （简易 SPI 模式） 1028
31.8.6 串行数据的发送和接收 （简易 SPI 模式） 1028
31.9 扩展串行模式控制部的运行说明 1029
31.9.1 串行通信协议 1029
31.9.2 Start Frame 发送 1030
31.9.3 Start Frame 接收 1033
31.9.4 总线冲突检测功能 1039
31.9.5 RXDX12 引脚输入的数字滤波器功能 1040

31.9.6 位速率测量功能 1041
31.9.7 RXDX12 接收数据的采样时序选择功能 1042
31.9.8 定时器 1043
31.10 噪声消除功能 1045
31.11 中断源 1046
31.11.1 TXI 中断和 RXI 中断的缓冲运行 1046
31.11.2 串行通信接口模式和简易 SPI 模式的中断 1046
31.11.3 智能卡接口模式的中断 1047
31.11.4 简易 I2C 模式的中断 1047
31.11.5 扩展串行模式控制部的中断请求 1048
31.12 使用时的注意事项 1049
31.12.1 模块停止功能的设定 1049
31.12.2 有关中止的检测和处理 1049
31.12.3 标记状态和中止的发送 1049
31.12.4 有关接收错误标志和发送 （只限于时钟同步模式） 1049
31.12.5 有关 TDR 寄存器的写操作 1049
31.12.6 时钟同步发送时的限制事项 1049
31.12.7 使用 DMAC 或者 DTC 时的限制事项 1049
31.12.8 有关开始通信的注意事项 1050
31.12.9 有关低功耗状态时的运行 1050
31.12.10 时钟同步模式的外部时钟输入 1052
31.12.11 简易 SPI 模式的限制事项 1053
31.12.12 扩展串行模式控制部的使用限制事项 1 1053
31.12.13 扩展串行模式控制部的使用限制事项 2 1054

32. I2C 总线接口 （RIIC） 1055
32.1 概要 1055
32.2 寄存器说明 1058
32.2.1 I2C 总线控制寄存器 1 （ICCR1） 1058
32.2.2 I2C 总线控制寄存器 2 （ICCR2） 1060
32.2.3 I2C 总线模式寄存器 1 （ICMR1） 1063
32.2.4 I2C 总线模式寄存器 2 （ICMR2） 1064
32.2.5 I2C 总线模式寄存器 3 （ICMR3） 1066
32.2.6 I2C 总线功能允许寄存器 （ICFER） 1068
32.2.7 I2C 总线状态允许寄存器 （ICSER） 1070
32.2.8 I2C 总线中断允许寄存器 （ICIER） 1071
32.2.9 I2C 总线状态寄存器 1 （ICSR1） 1072
32.2.10 I2C 总线状态寄存器 2 （ICSR2） 1075
32.2.11 从属地址寄存器 Ly （SARLy）（y=0 ～ 2） 1078
32.2.12 从属地址寄存器 Uy （SARUy）（y=0 ～ 2） 1079
32.2.13 I2C 总线位速率低电平寄存器 （ICBRL） 1080
32.2.14 I2C 总线位速率高电平寄存器 （ICBRH） 1080
32.2.15 I2C 总线发送数据寄存器 （ICDRT） 1082
32.2.16 I2C 总线接收数据寄存器 （ICDRR） 1082
32.2.17 I2C 总线移位寄存器 （ICDRS） 1082
32.3 运行说明 1083
32.3.1 通信数据的格式 1083
32.3.2 初始设定 1084
32.3.3 主控发送 1085
32.3.4 主控接收 1089
32.3.5 从属发送 1092
32.3.6 从属接收 1095

32.4 SCL 同步电路 1097
32.5 SDA 输出延迟功能 1098
32.6 数字噪声滤波器电路 1099
32.7 地址匹配检测功能 1100
32.7.1 从属地址匹配检测功能 1100
32.7.2 全呼地址检测功能 1102
32.7.3 设备 ID 地址检测功能 1102
32.7.4 主机地址检测功能 1104
32.8 SCL 的 Low 电平自动保持功能 1105
32.8.1 发送数据的误发送防止功能 1105
32.8.2 NACK 接收传送中止功能 1106
32.8.3 接收数据漏取防止功能 1106
32.9 仲裁失败检测功能 1108
32.9.1 主控仲裁失败检测功能 （MALE 位） 1108
32.9.2 NACK 发送仲裁失败检测功能 （NALE 位） 1110
32.9.3 从属仲裁失败检测功能 （SALE 位） 1111
32.10 开始条件、重新开始条件和停止条件的发行功能 1112
32.10.1 开始条件的发行 1112
32.10.2 重新开始条件的发行 1112
32.10.3 停止条件的发行 1113
32.11 总线意外停机 1113
32.11.1 超时检测功能 1114
32.11.2 SCL 时钟追加输出功能 1115
32.11.3 RIIC/ 内部复位 1115
32.12 SMBus 运行 1116
32.12.1 SMBus 超时测量 1116
32.12.2 数据包错误码 （PEC） 1117
32.12.3 SMBus 主机通知协议 /Notify ARP master 1117
32.13 中断源 1118
32.13.1 ICTXI 中断和 ICRXI 中断的缓冲运行 1118
32.14 复位状况 1119
32.15 使用时的注意事项 1120
32.15.1 模块停止功能的设定 1120
32.15.2 有关开始通信的注意事项 1120

33. CAN 模块 （CAN） 1121
33.1 概要 1121
33.2 寄存器说明 1123
33.2.1 控制寄存器 （CTLR） 1123
33.2.2 位配置寄存器 （BCR） 1127
33.2.3 屏蔽寄存器 k （MKRk）（k=0 ～ 7） 1129
33.2.4 FIFO 接收 ID 比较寄存器 0、 1 （FIDCR0、 FIDCR1） 1130
33.2.5 屏蔽无效寄存器 （MKIVLR） 1131
33.2.6 信箱寄存器 j （MBj）（j=0 ～ 31） 1132
33.2.7 信箱中断允许寄存器 （MIER） 1135
33.2.8 信息控制寄存器 j （MCTLj）（j=0 ～ 31） 1137
33.2.9 接收 FIFO 控制寄存器 （RFCR） 1140
33.2.10 接收 FIFO 指针控制寄存器 （RFPCR） 1142
33.2.11 发送 FIFO 控制寄存器 （TFCR） 1142
33.2.12 发送 FIFO 指针控制寄存器 （TFPCR） 1144
33.2.13 状态寄存器 （STR） 1145
33.2.14 信箱搜索模式寄存器 （MSMR） 1147

33.2.15 信箱搜索状态寄存器 （MSSR） 1148
33.2.16 通道搜索支持寄存器 （CSSR） 1149
33.2.17 验收滤波器的支持寄存器 （AFSR） 1150
33.2.18 错误中断允许寄存器 （EIER） 1151
33.2.19 错误中断源判断寄存器 （EIFR） 1153
33.2.20 接收错误计数寄存器 （RECR） 1155
33.2.21 发送错误计数寄存器 （TECR） 1155
33.2.22 错误代码保存寄存器 （ECSR） 1156
33.2.23 时戳寄存器 （TSR） 1157
33.2.24 测试控制寄存器 （TCR） 1158
33.3 运行模式 1160
33.3.1 CAN 复位模式 1161
33.3.2 CAN Halt 模式 1162
33.3.3 CAN 睡眠模式 1163
33.3.4 CAN 操作模式 （非总线断开状态） 1163
33.3.5 CAN 操作模式 （总线断开状态） 1164
33.4 CAN 通信速度的设定 1164
33.4.1 CAN 时钟的设定 1164
33.4.2 位时序的设定 1165
33.4.3 位速率 1165
33.5 信箱和屏蔽寄存器的结构 1166
33.6 验收过滤功能和屏蔽功能 1167
33.7 接收 / 发送 1169
33.7.1 接收 1170
33.7.2 发送 1172
33.8 CAN 中断 1173
33.9 使用时的注意事项 1173
33.9.1 模块停止功能的设定 1173

34. 串行外围接口 （RSPI） 1174
34.1 概要 1174
34.2 寄存器说明 1177
34.2.1 RSPI 控制寄存器 （SPCR） 1177
34.2.2 RSPI 从属选择极性寄存器 （SSLP） 1178
34.2.3 RSPI 引脚控制寄存器 （SPPCR） 1179
34.2.4 RSPI 状态寄存器 （SPSR） 1180
34.2.5 RSPI 数据寄存器 （SPDR） 1181
34.2.6 RSPI 顺序控制寄存器 （SPSCR） 1184
34.2.7 RSPI 顺序状态寄存器 （SPSSR） 1185
34.2.8 RSPI 位速率寄存器 （SPBR） 1186
34.2.9 RSPI 数据控制寄存器 （SPDCR） 1187
34.2.10 RSPI 时钟延迟寄存器 （SPCKD） 1188
34.2.11 RSPI 从属选择无效延迟寄存器 （SSLND） 1189
34.2.12 RSPI 下次存取延迟寄存器 （SPND） 1190
34.2.13 RSPI 控制寄存器 2 （SPCR2） 1191
34.2.14 RSPI 命令寄存器 0 ～ 7 （SPCMD0 ～ SPCMD7） 1192
34.3 运行说明 1195
34.3.1 RSPI 运行概要 1195
34.3.2 RSPI 引脚的控制 1196
34.3.3 RSPI 系统结构例子 1197
34.3.4 数据格式 1203
34.3.5 传送格式 1212

34.3.6 通信运行模式 1214
34.3.7 发送缓冲器空中断 / 接收缓冲器满中断 1216
34.3.8 错误检测 1217
34.3.9 RSPI 的初始化 1220
34.3.10 SPI 运行 1221
34.3.11 时钟同步运行 1232
34.3.12 主控模式的运行 1232
34.3.13 从属模式的运行 1237
34.3.14 错误处理 1240
34.3.15 环回模式 1242
34.3.16 奇偶校验位功能的自诊断 1243
34.3.17 中断源 1244
34.4 使用时的注意事项 1244
34.4.1 模块停止功能的设定 1244
34.4.2 低功耗功能的注意事项 1244
34.4.3 有关开始通信的注意事项 1244

35. IEBus™ 控制器 （IEB） 1245
35.1 概要 1245
35.1.1 IEBus 通信协议 1245
35.1.2 传输协议 1247
35.1.3 传输数据 （数据字段的内容） 1252
35.1.4 位格式 1255
35.1.5 框图 1256
35.2 寄存器说明 1258
35.2.1 IEBus 控制寄存器 （IECTR） 1258
35.2.2 IEBus 命令寄存器 （IECMR） 1259
35.2.3 IEBus 主控控制寄存器 （IEMCR） 1260
35.2.4 IEBus 本站地址寄存器 1 （IEAR1） 1261
35.2.5 IEBus 本站地址寄存器 2 （IEAR2） 1262
35.2.6 IEBus 从属地址设定寄存器 1 （IESA1） 1262
35.2.7 IEBus 从属地址设定寄存器 2 （IESA2） 1262
35.2.8 IEBus 发送信息长度寄存器 （IETBFL） 1263
35.2.9 IEBus 接收主控地址寄存器 1 （IEMA1） 1263
35.2.10 IEBus 接收主控地址寄存器 2 （IEMA2） 1264
35.2.11 IEBus 接收控制字段寄存器 （IERCTL） 1264
35.2.12 IEBus 接收信息长度寄存器 （IERBFL） 1265
35.2.13 IEBus 锁定地址寄存器 1 （IELA1） 1265
35.2.14 IEBus 锁定地址寄存器 2 （IELA2） 1265
35.2.15 IEBus 通用标志寄存器 （IEFLG） 1266
35.2.16 IEBus 发送状态寄存器 （IETSR） 1268
35.2.17 IEBus 发送中断允许寄存器 （IEIET） 1270
35.2.18 IEBus 接收状态寄存器 （IERSR） 1271
35.2.19 IEBus 接收中断允许寄存器 （IEIER） 1274
35.2.20 IEBus 时钟选择寄存器 （IECKSR） 1275
35.2.21 IEBus 发送数据缓冲寄存器 001 ～ 032 （IETB001 ～ IETB032） 1276
35.2.22 IEBus 接收数据缓冲寄存器 001 ～ 032 （IERB001 ～ IERB032） 1276
35.3 数据格式 1277
35.3.1 发送格式 1277
35.3.2 接收格式 1278
35.4 控制流程 1279
35.4.1 初始设定 1279

35.4.2 主控发送 1280
35.4.3 从属接收 1281
35.4.4 主控接收 1282
35.4.5 从属发送 1283
35.5 运行时序 1284
35.5.1 主控发送 1284
35.5.2 从属接收 1285
35.5.3 主控接收 1286
35.5.4 从属发送 1287
35.6 中断源 1288
35.7 使用时的注意事项 1289
35.7.1 最大传输字节长度内的数据通信没有结束时的注意事项 1289
35.7.2 设定的信息长度位的值大于最大字节数值时的注意事项 1290
35.7.3 模块停止功能的设定 1291

36. CRC 运算器 （CRC） 1292
36.1 概要 1292
36.2 寄存器说明 1293
36.2.1 CRC 控制寄存器 （CRCCR） 1293
36.2.2 CRC 数据输入寄存器 （CRCDIR） 1294
36.2.3 CRC 数据输出寄存器 （CRCDOR） 1294
36.3 CRC 运算器的运行说明 1295
36.4 使用时的注意事项 1298
36.4.1 模块待机功能的设定 1298
36.5 传送时的注意事项 1298

37. 12 位 A/D 转换器 （S12ADa） 1299
37.1 概要 1299
37.2 寄存器说明 1302
37.2.1 A/D 控制寄存器 （ADCSR） 1302
37.2.2 A/D 通道选择寄存器 0 （ADANS0） 1304
37.2.3 A/D 通道选择寄存器 1 （ADANS1） 1304
37.2.4 A/D 转换值加法运算模式选择寄存器 0 （ADADS0） 1305
37.2.5 A/D 转换值加法运算模式选择寄存器 1 （ADADS1） 1305
37.2.6 A/D 转换值加法运算次数选择寄存器 （ADADC） 1306
37.2.7 A/D 控制扩展寄存器 （ADCER） 1307
37.2.8 A/D 开始触发选择寄存器 （ADSTRGR） 1308
37.2.9 A/D 转换扩展输入控制寄存器 （ADEXICR） 1309
37.2.10 A/D 温度传感器的数据寄存器 （ADTSDR） 1310
37.2.11 A/D 内部基准电压的数据寄存器 （ADOCDR） 1311
37.2.12 A/D 数据寄存器 y （ADDRy）（y=0 ～ 20） 1312
37.2.13 A/D 采样状态寄存器 01 （ADSSTR01） 1313
37.2.14 A/D 采样状态寄存器 23 （ADSSTR23） 1314
37.3 运行说明 1315
37.3.1 扫描的运行说明 1315
37.3.2 单次扫描模式 1315
37.3.3 连续扫描模式 1317
37.3.4 模拟输入的扫描时间 1318
37.3.5 ADDRy 寄存器的自动清除功能的使用例子 1319
37.3.6 A/D 转换值加法运算功能 1319
37.3.7 通过异步触发开始的 A/D 转换 1319
37.3.8 通过外围模块的同步触发开始的 A/D 转换 1320

37.4 中断源和 DMA 传送请求 1325
37.4.1 扫描结束时的中断请求 1325
37.5 使用时的注意事项 1326
37.5.1 读数据寄存器的注意事项 1326
37.5.2 强制停止 A/D 转换时的注意事项 1326
37.5.3 开始 A/D 转换和强制停止的运行时序 1326
37.5.4 模块停止功能的设定 1326
37.5.5 向低功耗状态转移时的注意事项 1326
37.5.6 解除软件待机模式时的注意事项 1326
37.5.7 模拟电源引脚以外的设定范围 1327
37.5.8 电路板设计时的注意事项 1327
37.5.9 噪声对策的注意事项 1328
37.5.10 使用 12 位 A/D 转换器输入时的端口设定 1328

38. 10 位 A/D 转换器 （ADb） 1329
38.1 概要 1329
38.2 寄存器说明 1332
38.2.1 A/D 数据寄存器 y （ADDRy）（y=A ～ H） 1332
38.2.2 A/D 控制 / 状态寄存器 （ADCSR） 1333
38.2.3 A/D 控制寄存器 （ADCR） 1334
38.2.4 A/D 控制寄存器 2 （ADCR2） 1335
38.2.5 A/D 采样状态寄存器 （ADSSTR） 1336
38.2.6 A/D 自诊断寄存器 （ADDIAGR） 1336
38.3 运行说明 1337
38.3.1 单通道模式 1337
38.3.2 扫描模式 1338
38.3.3 扩展模拟输入 1340
38.3.4 输入采样和 A/D 转换时间 1342
38.3.5 通过异步触发开始的 10 位 A/D 转换 1344
38.3.6 通过外围模块的同步触发开始的 A/D 转换 1344
38.3.7 通过 MTU 的 TRG4ABN_0 和 TPU 的 TRG4ABN_1 开始的 A/D 转换 1346
38.3.8 通过 TMR 的 TMTRG0AN_0 开始的 A/D 转换 1347
38.3.9 10 位 A/D 转换器同步 D/A 转换允许信号 1347
38.4 中断源 1348
38.5 A/D 转换精度的定义 1348
38.6 使用时的注意事项 1350
38.6.1 模块停止功能的设定 1350
38.6.2 强制停止 A/D 转换时的注意事项 1350
38.6.3 强制停止 A/D 转换的重新开始时序 1350
38.6.4 向低功耗状态转移时的注意事项 1350
38.6.5 使用 10 位 A/D 转换器同步 D/A 转换时的注意事项 1350
38.6.6 有关容许信号源阻抗 1351
38.6.7 对绝对精度的影响 1351
38.6.8 模拟电源引脚以外的设定范围 1352
38.6.9 设计电路板时的注意事项 1352
38.6.10 噪声对策的注意事项 1353
38.6.11 高速转换的实现 1354

39. D/A 转换器 （DAa） 1355
39.1 概要 1355
39.2 寄存器说明 1356
39.2.1 D/A 数据寄存器 m （DADRm）（m=0、 1） 1356

39.2.2 D/A 控制寄存器 （DACR） 1357
39.2.3 DADRm 格式选择寄存器 （DADPR） 1358
39.2.4 D/A A/D 同步启动控制寄存器 （DAADSCR） 1359
39.3 运行说明 1360
39.3.1 D/A 转换和 A/D 转换的干扰对策 1361
39.4 使用时的注意事项 1362
39.4.1 模块停止功能的设定 1362
39.4.2 模块停止时的 D/A 转换器的运行 1362
39.4.3 软件待机模式时的 D/A 转换器的运行 1362
39.4.4 深度软件待机模式时的注意事项 1362
39.4.5 D/A 转换和 A/D 转换的干扰对策有效时的注意事项 1362
39.4.6 D/A 转换和 A/D 转换的干扰对策无效时的注意事项 1362

40. 温度传感器 1363
40.1 概要 1363
40.2 寄存器说明 1364
40.2.1 温度传感器的控制寄存器 （TSCR） 1364
40.3 温度传感器的使用方法 1364
40.3.1 使用前的准备 1364
40.3.2 12 位 A/D 转换器的设定 1365
40.3.3 温度传感器的使用步骤 1366
40.3.4 温度传感器输出的 A/D 转换时序 1367
40.4 使用时的注意事项 1367
40.4.1 模块停止功能的设定 1367

41. RAM 1368
41.1 概要 1368
41.2 运行说明 1368
41.2.1 数据的保持 1368
41.2.2 低功耗功能 1368

42. ROM （保存代码的闪存） 1369
42.1 概要 1369
42.2 寄存器说明 1371
42.2.1 闪存编程 / 擦除保护寄存器 （FWEPROR） 1371
42.2.2 闪存模式寄存器 （FMODR） 1372
42.2.3 闪存存取状态寄存器 （FASTAT） 1372
42.2.4 闪存存取错误中断允许寄存器 （FAEINT） 1374
42.2.5 FCU RAM 允许寄存器 （FCURAME） 1375
42.2.6 闪存状态寄存器 0 （FSTATR0） 1376
42.2.7 闪存状态寄存器 1 （FSTATR1） 1378
42.2.8 闪存就绪中断允许寄存器 （FRDYIE） 1379
42.2.9 闪存 P/E 模式入口寄存器 （FENTRYR） 1380
42.2.10 闪存保护寄存器 （FPROTR） 1383
42.2.11 闪存复位寄存器 （FRESETR） 1384
42.2.12 FCU 命令寄存器 （FCMDR） 1385
42.2.13 FCU 处理转换寄存器 （FCPSR） 1386
42.2.14 闪存 P/E 状态寄存器 （FPESTAT） 1386
42.2.15 外围时钟通知寄存器 （PCKAR） 1387
42.3 ROM 的存储区结构 1388
42.4 块结构 1389
42.5 ROM 相关的运行模式 1390

42.6 ROM 的编程 / 擦除 1391
42.6.1 FCU 的模式 1391
42.6.2 FCU 命令一览表 1393
42.6.3 FCU 的模式和命令的关系 1395
42.6.4 FCU 命令的使用方法 1396
42.7 挂起 1412
42.7.1 编程时的挂起 1412
42.7.2 编程和擦除时的挂起 （挂起优先模式） 1413
42.7.3 编程和擦除时的挂起 （编程和擦除优先模式） 1414
42.8 保护 1414
42.8.1 软件保护 1414
42.8.2 错误保护 1415
42.9 用户引导模式 1417
42.10 引导模式 1417
42.10.1 系统结构 1417
42.10.2 引导模式的状态转移 1418
42.10.3 位速率的自动调整 1419
42.10.4 ID 码保护 （引导模式） 1420
42.10.5 UB 码 A 1421
42.10.6 查询设定主机命令的等待状态 1422
42.10.7 ID 码等待状态 1432
42.10.8 编程 / 擦除主机命令等待状态 1433
42.11 USB 引导模式 1441
42.11.1 特点 1441
42.11.2 状态转移 1442
42.11.3 执行 USB 引导模式时的注意点 1443
42.12 on-chip 调试器的 ID 码保护 1443
42.13 ROM 码保护 1443
42.14 使用时的注意事项 1444

43. E2 数据闪存 （保存数据的闪存） 1446
43.1 概要 1446
43.2 寄存器说明 1449
43.2.1 闪存模式寄存器 （FMODR） 1449
43.2.2 闪存存取状态寄存器 （FASTAT） 1450
43.2.3 闪存存取错误中断允许寄存器 （FAEINT） 1452
43.2.4 E2 数据闪存读允许寄存器 0 （DFLRE0） 1453
43.2.5 E2 数据闪存读允许寄存器 1 （DFLRE1） 1454
43.2.6 E2 数据闪存编程 / 擦除允许寄存器 0 （DFLWE0） 1455
43.2.7 E2 数据闪存编程 / 擦除允许寄存器 1 （DFLWE1） 1456
43.2.8 闪存 P/E 模式入口寄存器 （FENTRYR） 1457
43.2.9 E2 数据闪存空白检查控制寄存器 （DFLBCCNT） 1458
43.2.10 E2 数据闪存空白检查状态寄存器 （DFLBCSTAT） 1458
43.3 E2 数据闪存的存储区结构 1459
43.4 块结构 1459
43.5 E2 数据闪存相关的运行模式 1460
43.6 E2 数据闪存的编程 / 擦除 1461
43.6.1 FCU 的模式 1461
43.6.2 FCU 命令一览表 1463
43.6.3 FCU 的模式和命令的关系 1464
43.6.4 FCU 命令的使用方法 1465
43.7 保护 1469

43.7.1 软件保护 1469
43.7.2 错误保护 1469
43.8 引导模式 1470
43.8.1 查询设定主机命令 1470
43.8.2 编程 / 擦除主机命令 1472
43.9 使用时的注意事项 1473

44. 边界扫描 1474
44.1 概要 1474
44.2 寄存器说明 1475
44.2.1 指令寄存器 （JTIR） 1476
44.2.2 ID 码寄存器 （JTIDR） 1476
44.2.3 旁路寄存器 （JTBPR） 1477
44.2.4 边界扫描寄存器 （JTBSR） 1477
44.3 运行说明 1487
44.3.1 TAP 控制器 1487
44.3.2 命令概要 1488
44.4 使用时的注意事项 1489

45. 电特性 1491
45.1 绝对最大额定值 1491
45.2 DC 特性 1492
45.3 AC 特性 1496
45.4 时钟时序 1497
45.4.1 复位时序 1501
45.4.2 从低功耗状态的恢复时序 1502
45.4.3 控制信号时序 1503
45.4.4 总线时序 1504
45.4.5 内部外围模块时序 1510
45.5 USB 特性 1520
45.6 A/D 转换特性 1521
45.7 D/A 转换特性 1523
45.8 温度传感器特性 1523
45.9 上电复位电路和电压检测电路的特性 1524
45.10 振荡停止检测时序 1527
45.11 电池备用功能特性 1527
45.12 ROM （保存代码的闪存）特性 1528
45.13 E2 闪存特性 1529

附录 1531
附录 1. 各运行模式中的端口状态 1531
附录 2. 封装尺寸图 1534

RX630 群

瑞萨 32 位单片机

R01UH0040CJ0100
Rev.1.00
2012.02.29

100MHz、 32 位 RX MCU、内部 FPU、 165DMIPS、最大 2M 字节闪存、 USB2.0 全速 功能 CAN、 10 位 &12 位 A/D 转换器、 RTC、最多 22 个通信功能

特点

■内置 32 位 RX CPU 内核
- 最大工作频率：100MHz
  165 DMIPS的性能 （以100MHz工作时）
- 32位单精度浮点 （以IEEE754为基准）
- 2种乘加运算器 （存储器之间、寄存器之间）
- 32位乘法器 （最快用1个时钟执行）
- 除法器 （最快用2个时钟执行）
- 高速中断
- 5段流水线的CISC哈佛体系结构
- 可变长指令格式：能大幅度地缩短代码。
- 对应存储器保护单元 （MPU）
- JTAG和FINE （2线式）两种调试接口

■低功耗功能
- 2.7V～3.6V工作时的单电源
- 在支持全部外围功能时，功耗为500μA/MHz。
- 能用专用电源工作的RTC （Min：2.3V工作）
- 4种低功耗模式

■内部主闪存 （没有等待）
- 100MHz工作、 10ns读周期 （没有等待）
- 384K～2M字节的容量
- USB、 SCI或者JTAG的用户编程

■内部数据闪存
- 最多32K字节 （能擦除100000次）
- 通过Back Ground Operation （BGO）进行编程/擦除。

■内部 SRAM （没有等待）
- 32K～128K字节的SRAM
- 用于操作数和指令
- 能在深度待机模式中进行备用。

■ DMA
- DMA：内置4个通道
- DTC

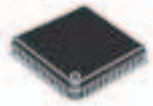
■复位和电源电压控制
- 内置上电复位 （POR）。
- 能设定低电压检测功能 （LVD）。

■时钟功能
- 支持外部晶体振荡器和内部PLL 4MHz～16MHz
- 装载内部125KHz LOCO和50MHz HOCO。
- 用于IWDT的125kHz LOCO时钟
- 副时钟振荡器 （32kHz）

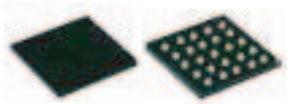
■内置实时时钟
- 校正功能 （30秒、闰年、误差）
- 时间捕捉功能（通过输入外部引脚事件来捕捉时间）

■内置独立看门狗定时器
- 125kHz LOCO时钟运行

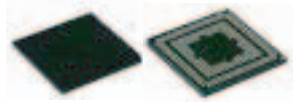
■内置符合 IEC60730 标准的功能
- 振荡停止检测、频率测量功能、 CRC、 IWDT、A/D自诊断等



PLQP0176KB-A 24×24mm、0.5mm节距
PLQP0144KA-A 20×20mm、0.5mm节距
PLQP0100KB-A 14×14mm、0.5mm节距
PLQP0080KB-A 12×12mm、0.5mm节距



PTLG0177KA-A 8×8mm、0.5mm节距
PTLG0145KA-A 7×7mm、0.5mm节距
PTLG0100KA-A 5.5×5.5mm、0.5mm节距



PLBG0176GA-A 13×13mm、0.8mm节距

■内置最多 22 个通信功能
- 内置USB2.0全速功能 （1ch）。
- 内置CAN （ISO11898-1规格）和32个信箱 （最多3ch）。
- 支持丰富功能的SCI （最大13ch）。
  可从异步模式、时钟同步模式、智能卡接口模式、简易SPI、简易I²C和扩展串行模式中选择。
- I²C总线接口：最大1Mbps的传送 （最大4ch）
- 装载了能进行高速通信的RSPI （最大3ch）。

■外部地址空间
- 8个CS区域 （8×16M字节）
- 各区域可选择多路复用总线或者分离总线。
- 各区域可选择8位、 16位或者32位总线空间。

■最多 20 个扩展定时器功能
- 16 位 MTU2：输入捕捉、输出比较、输出 PWM 波形、相位计数模式 （6ch）
- 16位TPU：输入捕捉、输出比较、相位计数模式 （12ch）
- 8位TMR （4ch）
- 16位CMT （4ch）

■内置 1MHz 工作的 A/D 转换器
- 内置1个采样&保持电路， 12位×最多21ch。
  内置1个采样&保持电路， 10位×最多8ch。
- A/D转换值的加法功能 （12位A/D转换器）
- 自诊断功能 （10位A/D转换器）

■内置 10 位 D/A 转换器：2ch

■内置能测量芯片内部温度的温度传感器。

■能保护重要的寄存器不被改写的寄存器写保护功能

■内置最多 148 个 GPIO。
- 5V容许、漏极开路、输入上拉、驱动能力切换功能

■工作环境温度
- –40°C～+85°C

1. 概要

1.1 规格概要

规格概要和各封装的功能比较一览表分别如表 1.1 和表 1.2 所示。

表 1.1 的规格概要中记载了最大规格，外围模块的通道数因封装引脚数和内部 ROM 容量而不同，详细内容请参照 “表 1.2 各封装的功能比较一览表”。

表 1.1 规格概要 (1/5)

分类	模块 / 功能	说明
CPU	中央处理器	• 最大工作频率：100MHz • 32 位 RX CPU • 指令的最短执行时间：1 条指令 1 个时钟 • 地址空间：4G 字节、线性地址 • 寄存器 通用寄存器：32 位 ×16 个 控制寄存器：32 位 ×9 个 累加器：64 位 ×1 个 • 基个指令：73 种 • 浮点运算指令：8 种 • DSP 功能指令：9 种 • 寻址方式：10 种 • 数据排列 指令：小端法 数据：可选择小端法或者大端法。 • 32 位乘法器：32 位 ×32 位 →64 位 • 除法器：32 位 ÷32 位 →32 位 • 桶式移位器：32 位
	FPU	• 单精度浮点数 （32 位） • 符合 IEEE754 规格的数据类型和浮点异常
存储器	ROM	• ROM 容量：最多 2M 字节 • 2 种板上编程模式 引导模式 （能使用 SCI 和 USB 改写用户区） 用户编程模式 • 并行编程器模式 （板外编程）
	RAM	RAM 容量：最多 128K 字节
	E2 数据闪存	数据 ROM 容量：32K 字节
MCU 运行模式		单芯片模式、内部 ROM 有效扩展模式、内部 ROM 无效扩展模式 （软件切换）
时钟	时钟发生电路	• 主时钟振荡器、副时钟振荡器、低速内部振荡器、高速内部振荡器、 PLL 频率合成器、 IWDT 专用内部振荡器 • 主时钟振荡停止检测：有 • 能分别设定系统时钟（ICLK）、外围模块时钟（PCLK）和外部总线时钟（BCLK）。 CPU 和总线主控等系统设备与 ICLK 同步：100MHz max 外围模块与 PCLK 同步：50MHz max 连接外部总线的设备与 BCLK 同步：50MHz max
复位		引脚复位、上电复位、电压监视复位、独立看门狗定时器复位、看门狗定时器复位、深度软件待机复位、软件复位
电压检测电路		如果 VCC 通过电压检测电平 （Vdet），就产生内部复位或者内部中断。

表 1.1 规格概要 (2/5)

分类	模块 / 功能	说明
低功耗	低功耗功能	• 模块停止功能 • 4 种低功耗状态 睡眠模式、全模块时钟停止模式、软件待机模式、深度软件待机模式 • 电池备用功能
中断	中断控制器（ICUb）	• 外围功能中断：180 个中断源 • 外部中断：16 个中断源 （IRQ0 ～ IRQ15 引脚） • 软件中断：1 个中断源 • 非屏蔽中断：6 个中断源 • 能设定 16 个中断优先级。
外部总线扩展		• 将外部地址空间分为 8 个区域 （CS0 ～ CS7）进行管理。 各区域：16M 字节 （CS0 ～ CS7） 各区域能输出片选 （CS0# ～ CS7#）。 各区域可选择 8 位总线空间、 16 位总线空间或者 32 位总线空间。 各区域能设定字节序 （只限于数据）。 • 总线格式：分离总线、多路复用总线 • 能控制等待。 • 写缓冲器功能
DMA	DMA 控制器（DMACA）	• 4 个通道 • 传送模式：正常传送模式、重复传送模式、块传送模式 • 启动源：软件触发、外部中断、外围功能中断
	数据传送控制器（DTCa）	• 传送模式：正常传送模式、重复传送模式、块传送模式 • 启动源：外部中断、外围功能中断
I/O 端口	可编程输入 / 输出端口	• 177 引脚 TFLGA （计划中）、 176 引脚 LFBGA （计划中）、 176 引脚 LQFP 输入 / 输出：148 个 输入：1 个 上拉电阻：148 个 漏极开路输出：148 个 5V 容许：54 个 • 145 引脚 TFLGA （计划中）、 144 引脚 LQFP 输入 / 输出：117 个 输入：1 个 上拉电阻：117 个 漏极开路输出：117 个 5V 容许：53 个 • 100 引脚 TFLGA （计划中）、 100 引脚 LQFP 输入 / 输出：78 个 输入：1 个 上拉电阻：78 个 漏极开路输出：78 个 5V 容许：44 个 • 80 引脚 LQFP 输入 / 输出：58 个 输入：1 上拉电阻：58 个 漏极开路输出：58 个 5V 容许：34 个

表 1.1 规格概要 (3/5)

分类	模块 / 功能	说明
定时器	16 位定时器脉冲单元 （TPUa）	• （16 位 ×6 个通道） ×2 个单元 • 最多能输入和输出 16 个脉冲。 • 各通道可选择 7 种或者 8 种计数时钟。 • 支持输入捕捉 / 输出比较功能。 • 最多输出 15 相 PWM 波形的 PWM 模式。 • 支持通过通道进行的缓冲运行、相位计数模式（输入 2 相编码器）和级联运行（32 位 ×2 个通道）。 • 能生成 PPG 的输出触发。 • 能生成 A/D 转换器的转换开始触发。 • 输入捕捉引脚有数字滤波器。 • 时钟频率测量功能
	多功能定时器脉冲单元 2 （MTU2a）	• （16 位 ×6 个通道） ×1 个单元 • 以 16 位定时器 6 个通道为基础，最多能输入和输出 16 个脉冲以及输入 3 个脉冲。 • 各通道可选择 8 种计数时钟（PCLK/1、PCLK/4、PCLK/16、PCLK/64、TCLKA、TCLKB、 TCLKC、 TCLKD）（通道 5 可选择 4 种）。 • 输入捕捉功能 • 21 个输出比较寄存器兼输入捕捉寄存器 • 互补 PWM 输出模式 • 复位同步 PWM 模式 • 相位计数模式 • 能生成 A/D 转换器的转换开始触发。 • 数字滤波器 • 输入捕捉引脚有数字滤波器。 • 能生成 PPG 的输出触发。 • 时钟频率测量功能
	频率测量功能（MCK）	能使用 MTU 或者 TPU 单元 0 监视主时钟、副时钟、 HOCO 时钟、 LOCO 时钟和 PLL 时钟的频率异常。
	端口输出允许 2（POE2a）	控制 MTU 波形输出引脚的高阻抗。
	可编程脉冲发生器（PPG）	• （4 位 ×4 组） ×2 个单元 • 将 MTU 或者 TPU 的输出作为触发，输出脉冲。 • 最多输出 32 个脉冲。
	8 位定时器（TMR）	• （8 位 ×2 个通道） ×2 个单元 • 可选择 7 种内部时钟（PCLK、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、 PCLK/8192）和外部时钟。 • 能进行任意占空比的脉冲输出和 PWM 输出。 • 能将 2 个通道进行级联运行，用作 16 位定时器。 • 能生成 A/D 转换器的转换开始触发。 • 能生成 SCI5、 SCI6 和 SCI12 的波特率时钟。
	比较匹配定时器（CMT）	• （16 位 ×2 个通道） ×2 个单元 • 可选择 4 种时钟 （PCLK/8、 PCLK/32、 PCLK/128、 PCLK/512）。
	实时时钟 （RTCa）	• 时钟源：主时钟、副时钟 • 时钟 / 日历功能 中断源：闹钟中断、周期中断、进位中断 • 电池备用运行 • 3 值时间捕捉功能
	看门狗定时器（WDTA）	• 14 位 ×1 个通道 可选择 6 种计数时钟（PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192）。

表 1.1 规格概要 (4/5)

分类	模块 / 功能	说明
定时器	独立看门狗定时器（IWDTa）	• 14 位 ×1 个通道 • 计数时钟：IWDT 专用内部振荡器 • 专用时钟 /1、专用时钟 /16、专用时钟 /32、专用时钟 /64、专用时钟 /128、专用时钟 /256
通信功能	USB2.0 功能模块（USBa）	• 内置符合 USB2.0 标准的 UDC （USB Device Controller）和收发器。 • 1 个端口 • 符合 USB 版本 2.0 标准。 • 传送速度：全速 （12Mbps） • 可选择自供电模式和总线供电模式。 • 内置用作通信缓冲器的 2K 字节 RAM。
	串行通信接口（SCIc、 SCId）	• 13 个通道：（SCIc：12 个通道 +SCId：1 个通道） • SCIc 串行通信方式：异步 / 时钟同步 / 智能卡接口 多处理器功能 能通过内部波特率发生器选择任意位速率。 可选择 LSB firs 或者 MSB first。 能从 TMR 输入平均传送率时钟 （SCI5、 SCI6、 SCI12）。 支持简易 I^2C。 支持简易 SPI。 • SCId （给 SCIc 附加以下功能） 支持由起始帧和信息帧构成的串行通信协议。 支持 LIN 格式。
	I^2C 总线接口（RIIC）	• 4 个通道 （其中 1 个通道为 FM+） 通信格式 I^2C 总线格式 /SMBus 格式 支持多主控。 最大传送率：1Mbps （通道 0）
	IEBus （IEB）	• 1 个通道 • 支持 IEbus 的协议控制。 半双工异步通信 多主控方式 广播通信功能 可选择 2 种不同传输速度的模式。
	CAN 模块 （CAN）	• 3 个通道 • 以 ISO11898-1 规格为标准 （标准帧 / 扩展帧）。 • 32 个信箱 / 通道
	串行外围接口（RSPI）	• 3 个通道 • RSPI 传送功能 能使用 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、 RSPCK（RSPI Clock）信号，通过 SPI 运行（4 线式）或者时钟同步运行 （3 线式）进行串行通信。 能在主控模式或者从属模式中进行串行通信。 • 数据格式 可选择 MSB first 或者 LSB first。 能将传送位长改为 8 ～ 16 位、 20 位、 24 位或者 32 位。 发送 / 接收缓冲器为 128 位。 1 次发送和接收最多传送 4 帧 （1 帧最多为 32 位）。 • 缓冲器结构 发送 / 接收缓冲器为双缓冲结构。

表 1.1 规格概要 (5/5)

分类	模块 / 功能	说明
12 位 A/D 转换器 （S12ADa）		• 1 个单元 （1 个单元 ×21 个通道） • 分辨率：12 位 • 转换时间：每个通道 1.0μs （以 PCLK=50MHz 工作时） • 运行模式 扫描模式 （单次扫描模式 / 连续扫描模式） • 有采样＆保持功能。 • 基准电压生成功能 • 3 种 A/D 转换的开始方法 软件触发、定时器 （MTU、 TPU、 TMR）的触发、外部触发 • 对温度传感器的输出进行 A/D 转换。
10 位 A/D 转换器 （ADb）		• 1 个单元 （1 个单元 ×8 个通道） • 分辨率：10 位 • 转换时间：每个通道 1.0μs （以 PCLK=50MHz 工作时） • 运行模式 扫描模式 （单次扫描模式 / 连续扫描模式） 外部放大器连接模式 • 有采样＆保持功能 • 3 种 A/D 转换的开始方法 软件触发、定时器 （MTU、 TPU、 TMR）的触发、外部触发
D/A 转换器 （DAa）		• 2 个通道 • 分辨率：10 位 • 输出电压：0V ～ VREFH
温度传感器		• 1 个通道 • 相对精度：T.B.D • 绝对精度：T.B.D • 将温度转换为电压并且通过 12 位 A/D 转换器进行数字化。
CRC 运算器 （CRC）		• 对以 8 位为单位的任意数据长度，生成 CRC 码。 • 可从 3 个多项式中选择： X^8+X^2+X+1、 $X^{16}+X^{15}+X^2+1$、 $X^{16}+X^{12}+X^5+1$ • 可选择是生成 LSB first 通信 CRC 码，还是生成 MSB first 通信的 CRC 码。
工作频率		100MHz max
电源电压		VCC=AVCC0=VREFH=2.7 ～ 3.6V、 VREFH0=2.7 ～ AVCC0、 Vbatt=2.0V ～ 3.6V
消耗电流		T.B.D mA （typ）
工作环境温度		–40 ～ +85°C （大温度范围规格品）
封装		177 引脚 TFLGA （PTLG0177KA-A）（计划中） 176 引脚 LFBGA （PLBG0176GA-A）（计划中） 176 引脚 LQFP （PLQP0176KB-A） 145 引脚 TFLGA （PTLG0145KA-A）（计划中） 144 引脚 LQFP （PLQP0144KA-A） 100 引脚 TFLGA （PTLG0100KA-A）（计划中） 100 引脚 LQFP （PLQP0100KB-A） 80 引脚 LQFP （PLQP0080KB-A）
内部调试系统		• E1 仿真器 （JTAG 接口和 FINE 接口） • E20 仿真器 （JTAG 接口）

表 1.2 各封装的功能比较一览表

功能		RX630 群			
封装		177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
外部总线	外部总线宽度	32 位	16 位		不支持
DMA	DMA 控制器	ch0 ～ 3			
	数据传送控制器	有			
定时器	16 位定时器脉冲单元	ch0 ～ 11		ch0 ～ 5	
	多功能定时器脉冲单元 2	ch0 ～ 5			
	端口输出允许 2	有			
	可编程脉冲发生器	ch0、 1			
	8 位定时器	ch0 ～ 3			
	比较匹配定时器	ch0 ～ 3			
	实时时钟	有			
	看门狗定时器	有			
	独立看门狗定时器	有			
通信功能	USB2.0 功能模块	ch0			
	串行通信接口 （SCIc）	ch0 ～ 11		ch0 ～ 3、 5、 6、 8、 9	ch1、5、6、8、9
	串行通信接口 （SCId）	ch12			
	I2C 总线接口	ch0 ～ 3		ch0、 2	
	IEBus	有			
	串行外围接口	ch0 ～ 2		ch0、 1	
	CAN 模块	小于等于 1M：ch0、 1 大于等于 1.5M：ch0 ～ 2		小于等于 512K：ch1 大于等于 768K：ch0、 1	ch1
12 位 A/D 转换器		AN000 ～ 020		AN000 ～ 013	AN000 ～ 010
10 位 A/D 转换器		AN0 ～ 7			AN0 ～ 3
D/A 转换器		ch0、 1		ch1	
温度传感器		有			
CRC 运算器		有			

1.2 产品一览表

产品一览表如表 1.3 所示，产品型号、存储容量和封装如图 1.1 所示。

表 1.3 产品一览表 (1/2)

群	产品型号	封装	ROM 容量	RAM 容量	E2 数据闪存	工作频率（max）
RX630	R5F56307CDFN	PLQP0080KB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56307DDFN	PLQP0080KB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56307CDFP	PLQP0100KB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56307DDFP	PLQP0100KB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56307CDLA	PTLG0100KA-A（注 1）	384K 字节	64K 字节	32K 字节	100MHz
	R5F56307DDLA	PTLG0100KA-A（注 1）	384K 字节	64K 字节	32K 字节	100MHz
	R5F56308CDFN	PLQP0080KB-A	512K 字节	64K 字节	32K 字节	100MHz
	R5F56308DDFN	PLQP0080KB-A	512K 字节	64K 字节	32K 字节	100MHz
	R5F56308CDFP	PLQP0100KB-A	512K 字节	64K 字节	32K 字节	100MHz
	R5F56308DDFP	PLQP0100KB-A	512K 字节	64K 字节	32K 字节	100MHz
	R5F56308CDLA	PTLG0100KA-A（注 1）	512K 字节	64K 字节	32K 字节	100MHz
	R5F56308DDLA	PTLG0100KA-A（注 1）	512K 字节	64K 字节	32K 字节	100MHz
	R5F5630ACDFP	PLQP0100KB-A	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ADDFP	PLQP0100KB-A	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ACDFB	PLQP0144KA-A	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ADDFB	PLQP0144KA-A	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ACDLK	PTLG0145KA-A（注 1）	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ADDLK	PTLG0145KA-A（注 1）	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ACDFC	PLQP0176KB-A	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ADDFC	PLQP0176KB-A	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ACDBG	PLBG0176GA-A（注 1）	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ADDBG	PLBG0176GA-A（注 1）	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ACDLC	PTLG0177KA-A（注 1）	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630ADDLC	PTLG0177KA-A（注 1）	768K 字节	96K 字节	32K 字节	100MHz
	R5F5630BCDFP	PLQP0100KB-A	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BDDFP	PLQP0100KB-A	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BCDFB	PLQP0144KA-A	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BDDFB	PLQP0144KA-A	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BCDLK	PTLG0145KA-A（注 1）	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BDDLK	PTLG0145KA-A（注 1）	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BCDFC	PLQP0176KB-A	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BDDFC	PLQP0176KB-A	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BCDBG	PLBG0176GA-A（注 1）	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BDDBG	PLBG0176GA-A（注 1）	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BCDLC	PTLG0177KA-A（注 1）	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630BDDLC	PTLG0177KA-A（注 1）	1M 字节	96K 字节	32K 字节	100MHz
	R5F5630DCDFP	PLQP0100KB-A	1.5M 字节	128K 字节	32K 字节	100MHz

表 1.3 产品一览表 (2/2)

群	产品型号	封装	ROM 容量	RAM 容量	E2 数据闪存	工作频率（max）
RX630	R5F5630DDDFP	PLQP0100KB-A	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DCDFB	PLQP0144KA-A	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DDDFB	PLQP0144KA-A	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DCDLK	PTLG0145KA-A（注 1）	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DDDLK	PTLG0145KA-A（注 1）	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DCDFC	PLQP0176KB-A	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DDDFC	PLQP0176KB-A	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DCDBG	PLBG0176GA-A（注 1）	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DDDBG	PLBG0176GA-A（注 1）	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DCDLC	PTLG0177KA-A（注 1）	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630DDDLC	PTLG0177KA-A（注 1）	1.5M 字节	128K 字节	32K 字节	100MHz
	R5F5630ECDFP	PLQP0100KB-A	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630EDDFP	PLQP0100KB-A	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630ECDFB	PLQP0144KA-A	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630EDDFB	PLQP0144KA-A	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630ECDLK	PTLG0145KA-A（注 1）	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630EDDLK	PTLG0145KA-A（注 1）	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630ECDFC	PLQP0176KB-A	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630EDDFC	PLQP0176KB-A	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630ECDBG	PLBG0176GA-A（注 1）	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630EDDBG	PLBG0176GA-A（注 1）	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630ECDLC	PTLG0177KA-A（注 1）	2M 字节	128K 字节	32K 字节	100MHz
	R5F5630EDDLC	PTLG0177KA-A（注 1）	2M 字节	128K 字节	32K 字节	100MHz

注 1. 计划中

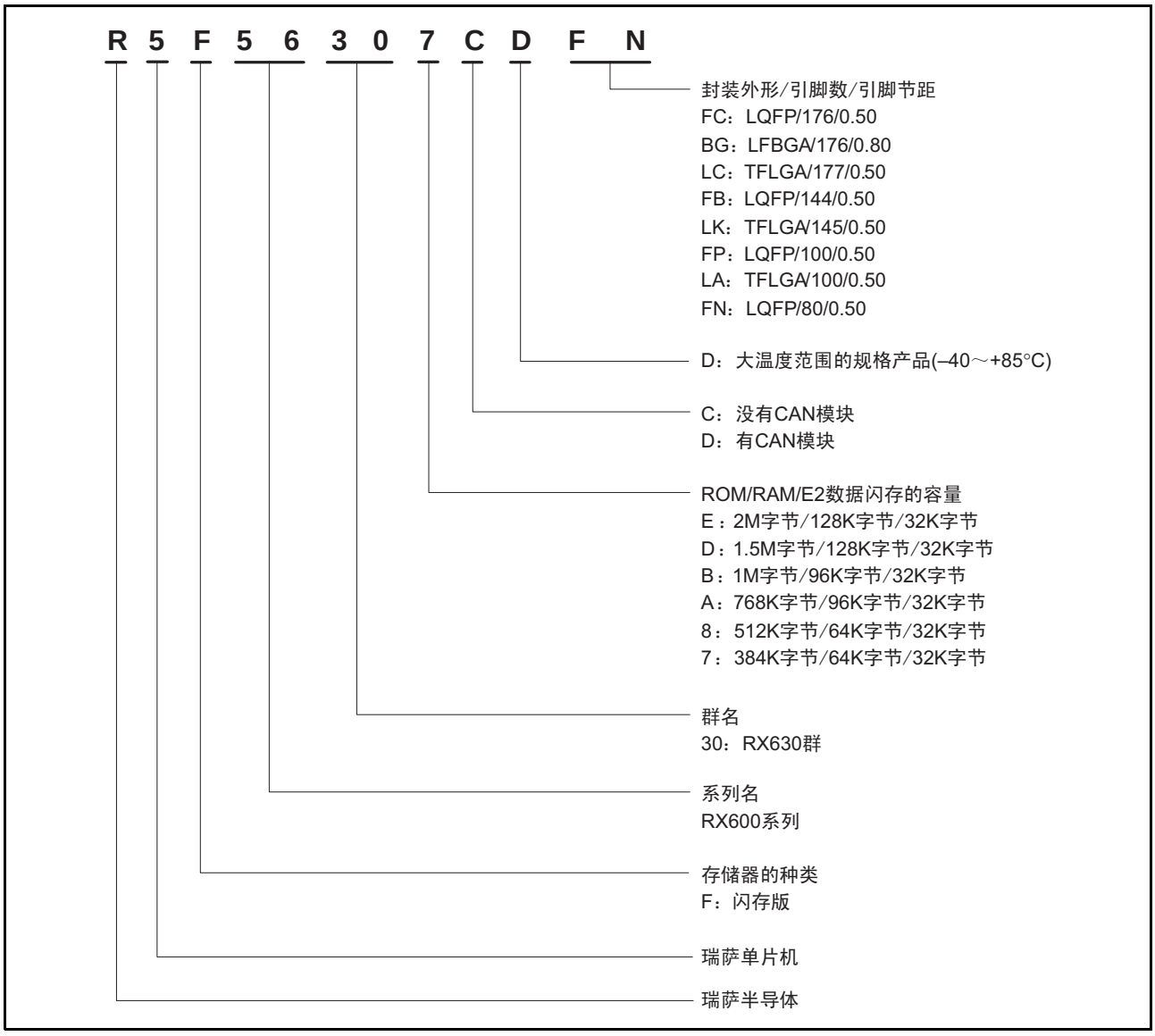
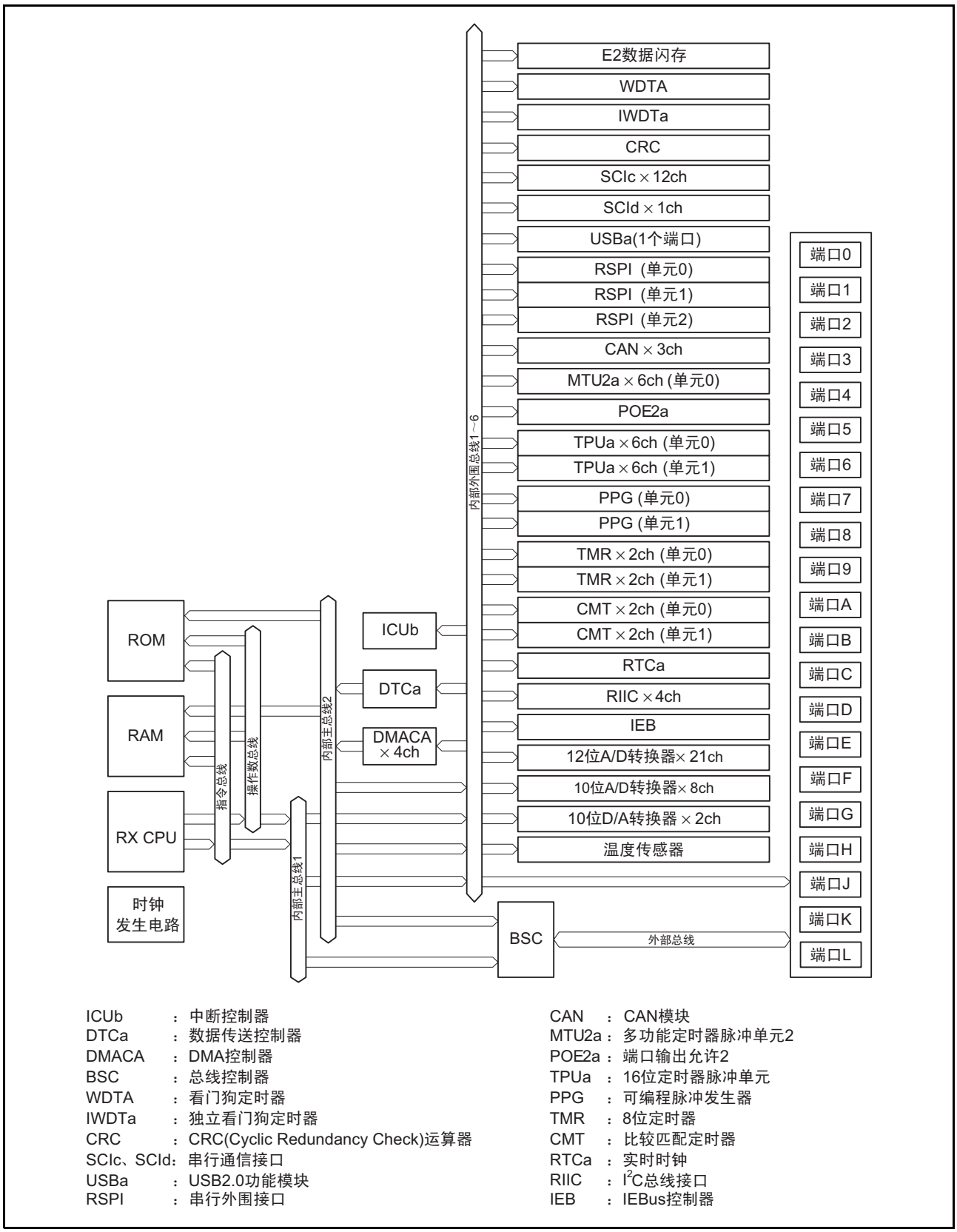


图 1.1 产品型号、存储容量和封装

1.3 框图

框图如图 1.2 所示。



ICUb ： 中断控制器
DTCa ： 数据传送控制器
DMACA ： DMA控制器
BSC ： 总线控制器
WDTA ： 看门狗定时器
IWDTa ： 独立看门狗定时器
CRC ： CRC(Cyclic Redundancy Check)运算器
SCIc、SCId： 串行通信接口
USBa ： USB2.0功能模块
RSPI ： 串行外围接口

CAN ： CAN模块
MTU2a ： 多功能定时器脉冲单元2
POE2a ： 端口输出允许2
TPUa ： 16位定时器脉冲单元
PPG ： 可编程脉冲发生器
TMR ： 8位定时器
CMT ： 比较匹配定时器
RTCa ： 实时时钟
RIIC ： I^2C总线接口
IEB ： IEBus控制器

图 1.2 框图

1.4 引脚功能

引脚功能一览表如表 1.4 所示。

表 1.4 引脚功能一览表 (1/5)

分类	引脚名	输入 / 输出	功能
电源	VCC	输入	电源引脚 必须连接系统电源。
	VCL	输入	必须通过 0.1μF 的电容器连接 VSS，并且将电容器配置在引脚附近。
	VSS	输入	接地引脚 必须连接系统电源 （0V）。
	VBATT	输入	备用电源引脚
时钟	XTAL	输出	晶体谐振器连接引脚 EXTAL 引脚也能输出外部时钟。
	EXTAL	输入	
	BCLK	输出	用于外部设备的外部总线时钟输出引脚
	XCOUT	输出	副时钟振荡器的输入 / 输出引脚 必须在 XCOUT 和 XCIN 之间连接晶体谐振器。
	XCIN	输入	
运行模式控制	MD	输入	设定运行模式。不能在运行过程中更改此引脚。
系统控制	RES#	输入	复位引脚 如果此引脚为 Low 电平，就进入复位状态。
	EMLE	输入	内部仿真器允许引脚 在使用内部仿真器时，必须置为 High 电平；在不使用内部仿真器时，必须置为 Low 电平。
	BSCANP	输入	边界扫描允许引脚 如果此引脚为 High 电平，边界扫描就有效。在不使用边界扫描时，必须置为 Low 电平。
内部仿真器	FINEC	输入	用于 FINE 接口的时钟引脚
	FINED	输入 / 输出	FINE 接口引脚
	TRST#	输入	用于内部仿真器或者边界扫描的引脚 如果将 EMLE 引脚置为 High 电平，此引脚就变为内部仿真器专用引脚。
	TMS	输入	
	TDI	输入	
	TCK	输入	
	TDO	输出	
	TRCLK	输出	输出用于与跟踪数据取得同步的时钟。
	TRSYNC#	输出	表示从 TRDATA0 ～ TRDATA3 引脚输出的数据为有效数据。
	TRDATA0 ～ TRDATA3	输出	输出跟踪信息。
地址总线	A0 ～ A23	输出	地址输出引脚
数据总线	D0 ～ D31	输入 / 输出	双向数据总线
多路复用总线	A0/D0 ～ A15/D15	输入 / 输出	地址 / 数据多路复用总线
总线控制	RD#	输出	此选通信号表示正在读外部总线接口空间。
	WR#	输出	此选通信号表示在 1 次写选通模式中正在写外部总线接口空间。
	WR0# ～ WR3#	输出	此选通信号表示在字节选通模式中正在写外部总线接口空间并且数据总线（D7 ～ D0、D15 ～ D8、D23 ～ D16、D31 ～ D24）中任意一个有效。
	BC0# ～ BC3#	输出	此选通信号表示在 1 次写选通模式中正在存取外部总线接口空间并且数据总线（D7 ～ D0、D15 ～ D8、D23 ～ D16、D31 ～ D24）中的任意一个有效。
	ALE	输出	选择地址数据多路复用总线时的地址锁存信号
	WAIT#	输入	存取外部空间时的等待请求信号
	CS0# ～ CS7#	输出	CS 区域的选择信号

表 1.4 引脚功能一览表 (2/5)

分类	引脚名	输入 / 输出	功能
中断	NMI	输入	非屏蔽中断请求引脚
	IRQ0 ～ IRQ15	输入	中断请求引脚
多功能定时器脉冲单元 2	MTIOC0A、 MTIOC0B MTIOC0C、 MTIOC0D	输入 / 输出	TGRA0 ～ TGRD0 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	MTIOC1A、 MTIOC1B	输入 / 输出	TGRA1 和 TGRB1 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	MTIOC2A、 MTIOC2B	输入 / 输出	TGRA2 和 TGRB2 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	MTIOC3A、 MTIOC3B MTIOC3C、 MTIOC3D	输入 / 输出	TGRA3 ～ TGRD3 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	MTIOC4A、 MTIOC4B MTIOC4C、 MTIOC4D	输入 / 输出	TGRA4 ～ TGRD4 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	MTIC5U、 MTIC5V MTIC5W	输入	TGRU5、 TGRV5 和 TGRW5 的输入捕捉的输入引脚 / 死区时间补偿功能的输入引脚
	MTCLKA、 MTCLKB MTCLKC、 MTCLKD	输入	输入外部时钟。
端口输出允许 2	POE0# ～ POE3# POE8#	输入	输入将 MTU 的大电流引脚置为高阻抗状态的请求信号。
16 位定时器脉冲单元	TIOCA0、 TIOCB0 TIOCC0、 TIOCD0	输入 / 输出	TGRA0 ～ TGRD0 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA1、 TIOCB1	输入 / 输出	TGRA1 和 TGRB1 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA2、 TIOCB2	输入 / 输出	TGRA2 和 TGRB2 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA3、 TIOCB3 TIOCC3、 TIOCD3	输入 / 输出	TGRA3 ～ TGRD3 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA4、 TIOCB4	输入 / 输出	TGRA4 和 TGRB4 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA5、 TIOCB5	输入 / 输出	TGRA5 和 TGRB5 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TCLKA、 TCLKB TCLKC、 TCLKD	输入	输入外部时钟。
	TIOCA6、 TIOCB6 TIOCC6、 TIOCD6	输入 / 输出	TGRA6 ～ TGRD6 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA7、 TIOCB7	输入 / 输出	TGRA7 和 TGRB7 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA8、 TIOCB8	输入 / 输出	TGRA8 和 TGRB8 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA9、 TIOCB9 TIOCC9、 TIOCD9	输入 / 输出	TGRA9 ～ TGRD9 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA10、 TIOCB10	输入 / 输出	TGRA10 和 TGRB10 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TIOCA11、 TIOCB11	输入 / 输出	TGRA11 和 TGRB11 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 输出引脚
	TCLKE、 TCLKF TCLKG、 TCLKH	输入	输入外部时钟。
可编程脉冲发生器	PO0 ～ PO31	输出	脉冲输出引脚

表 1.4 引脚功能一览表 (3/5)

分类	引脚名	输入 / 输出	功能
8 位定时器	TMO0 ～ TMO3	输出	比较匹配输出引脚
	TMCI0 ～ TMCI3	输入	输入到计数器的外部时钟的输入引脚
	TMRI0 ～ TMRI3	输入	计数器复位的输入引脚
串行通信接口（SCIc）	• 异步模式 / 时钟同步模式		
	SCK0 ～ SCK11	输入 / 输出	时钟的输入 / 输出引脚
	RXD0 ～ RXD11	输入	接收数据的输入引脚
	TXD0 ～ TXD11	输出	发送数据的输出引脚
	CTS0# ～ CTS11#	输入	用于控制发送 / 接收开始的输入引脚
	RTS0# ～ RTS11#	输出	用于控制发送 / 接收开始的输出引脚
	• 简易 I2C 模式		
	SSCL0 ～ SSCL11	输入 / 输出	I2C 时钟的输入 / 输出引脚
	SSDA0 ～ SSDA11	输入 / 输出	I2C 数据的输入 / 输出引脚
	• 简易 SPI 模式		
	SCK0 ～ SCK11	输入 / 输出	时钟的输入 / 输出引脚
	SMISO0 ～ SMISO11	输入 / 输出	从属发送数据的输入 / 输出引脚
	SMOSI0 ～ SMOSI11	输入 / 输出	主控发送数据的输入 / 输出引脚
	SS0# ～ SS11#	输入	片选输入引脚
串行通信接口（SCId）	• 异步模式 / 时钟同步模式		
	SCK12	输入 / 输出	时钟的输入 / 输出引脚
	RXD12	输入	接收数据的输入引脚
	TXD12	输出	发送数据的输出引脚
	CTS12#	输入	用于控制发送 / 接收开始的输入引脚
	RTS12#	输出	用于控制发送 / 接收开始的输出引脚
	• 简易 I2C 模式		
	SSCL12	输入 / 输出	I2C 时钟的输入 / 输出引脚
	SSDA12	输入 / 输出	I2C 数据的输入 / 输出引脚
	• 简易 SPI 模式		
	SCK12	输入 / 输出	时钟的输入 / 输出引脚
	SMISO12	输入 / 输出	从属发送数据的输入 / 输出引脚
	SMOSI12	输入 / 输出	主控发送数据的输入 / 输出引脚
	SS12#	输入	片选输入引脚
	• 扩展串行模式		
	RXDX12	输入	接收数据的输入引脚
	TXDX12	输出	发送数据的输出引脚
	SIOX12	输入 / 输出	发送 / 接收数据的输入 / 输出引脚
I2C 总线接口	SCL0[FM+]、SCL1 ～ SCL3	输入 / 输出	时钟的输入 / 输出引脚 能通过 N 沟道漏极开路直接驱动总线。
	SDA0[FM+]、SDA1 ～ SDA3	输入 / 输出	数据的输入 / 输出引脚 能通过 N 沟道漏极开路直接驱动总线。
USB2.0 功能模块	VCC_USB	输入	电源引脚
	VSS_USB	输入	接地引脚
	USB0_DP	输入 / 输出	USB 总线的 D+ 数据
	USB0_DM	输入 / 输出	USB 总线的 D– 数据
	USB0_DPUPE	输出	上拉引脚
	USB0_VBUS	输入	USB 电缆的连接 / 切断检测的输入引脚
CAN 模块	CRX0 ～ CRX2	输入	输入引脚
	CTX0 ～ CTX2	输出	输出引脚

表 1.4 引脚功能一览表 (4/5)

分类	引脚名	输入 / 输出	功能
串行外围接口	RSPCKA、 RSPCKB RSPCKC	输入 / 输出	时钟的输入 / 输出引脚
	MOSIA、 MOSIB MOSIC	输入 / 输出	主控发送数据的输入 / 输出引脚
	MISOA、 MISOB MISOC	输入 / 输出	从属发送数据的输入 / 输出引脚
	SSLA0、 SSLB0 SSLC0	输入 / 输出	从属选择的输入 / 输出引脚
	SSLA1 ～ SSLA3 SSLB1 ～ SSLB3 SSLC1 ～ SSLC3	输出	从属选择的输出引脚
IEBus 控制器	IERXD	输入	接收数据的输入引脚
	IETXD	输出	发送数据的输出引脚
实时时钟	RTCOUT	输出	1Hz 时钟的输出引脚
	RTCIC0 ～ RTCIC2	输入	时间捕捉事件的输入引脚
12 位 A/D 转换器	AN000 ～ AN020	输入	A/D 转换器的模拟输入引脚
	ADTRG0#	输入	用于开始 A/D 转换的外部触发输入引脚
10 位 A/D 转换器	AN0 ～ AN7	输入	A/D 转换器的模拟输入引脚
	ANEX0	输出	扩展模拟输出引脚
	ANEX1	输入	扩展模拟输入引脚
	ADTRG#	输入	用于开始 A/D 转换的外部触发输入引脚
D/A 转换器	DA0、 DA1	输出	D/A 转换器的模拟输出引脚
模拟电源	AVCC0	输入	12 位 A/D 转换器的模拟电源引脚 在不使用 12 位 A/D 转换器时，必须连接 VCC。
	AVSS0	输入	12 位 A/D 转换器的模拟接地引脚 在不使用 12 位 A/D 转换器时，必须连接 VSS。
	VREFH0	输入	12 位 A/D 转换器的基准电源引脚 在不使用 12 位 A/D 转换器时，必须连接 VCC。
	VREFL0	输入	12 位 A/D 转换器的基准接地引脚 在不使用 12 位 A/D 转换器时，必须连接 VSS。
	VREFH	输入	10 位 A/D 转换器和 D/A 转换器的基准电压输入引脚 也用作各模块的模拟电源。在不使用 10 位 A/D 转换器和 D/A 转换器时，必须连接 VCC。
	VREFL	输入	10 位 A/D 转换器和 D/A 转换器的基准电压输入引脚 也用作各模块的模拟接地。必须设定和 VSS 引脚相同的电位。

表 1.4 引脚功能一览表 (5/5)

分类	引脚名	输入 / 输出	功能
I/O 端口	P00 ～ P03、 P05、 P07	输入 / 输出	6 位输入 / 输出引脚
	P10 ～ P17	输入 / 输出	8 位输入 / 输出引脚
	P20 ～ P27	输入 / 输出	8 位输入 / 输出引脚
	P30 ～ P37	输入 / 输出	8 位输入 / 输出引脚 （P35 为输入引脚）
	P40 ～ P47	输入 / 输出	8 位输入 / 输出引脚
	P50 ～ P57	输入 / 输出	8 位输入 / 输出引脚
	P60 ～ P67	输入 / 输出	8 位输入 / 输出引脚
	P70 ～ P77	输入 / 输出	8 位输入 / 输出引脚
	P80 ～ P87	输入 / 输出	8 位输入 / 输出引脚
	P90 ～ P97	输入 / 输出	8 位输入 / 输出引脚
	PA0 ～ PA7	输入 / 输出	8 位输入 / 输出引脚
	PB0 ～ PB7	输入 / 输出	8 位输入 / 输出引脚
	PC0 ～ PC7	输入 / 输出	8 位输入 / 输出引脚
	PD0 ～ PD7	输入 / 输出	8 位输入 / 输出引脚
	PE0 ～ PE7	输入 / 输出	8 位输入 / 输出引脚
	PF0 ～ PF5	输入 / 输出	6 位输入 / 输出引脚
	PG0 ～ PG7	输入 / 输出	8 位输入 / 输出引脚
	PH4、 PH5	输入 / 输出	2 位输入 / 输出引脚
	PJ3、 PJ5	输入 / 输出	2 位输入 / 输出引脚
	PK0 ～ PK7	输入 / 输出	8 位输入 / 输出引脚
	PL0 ～ PL4	输入 / 输出	5 位输入 / 输出引脚

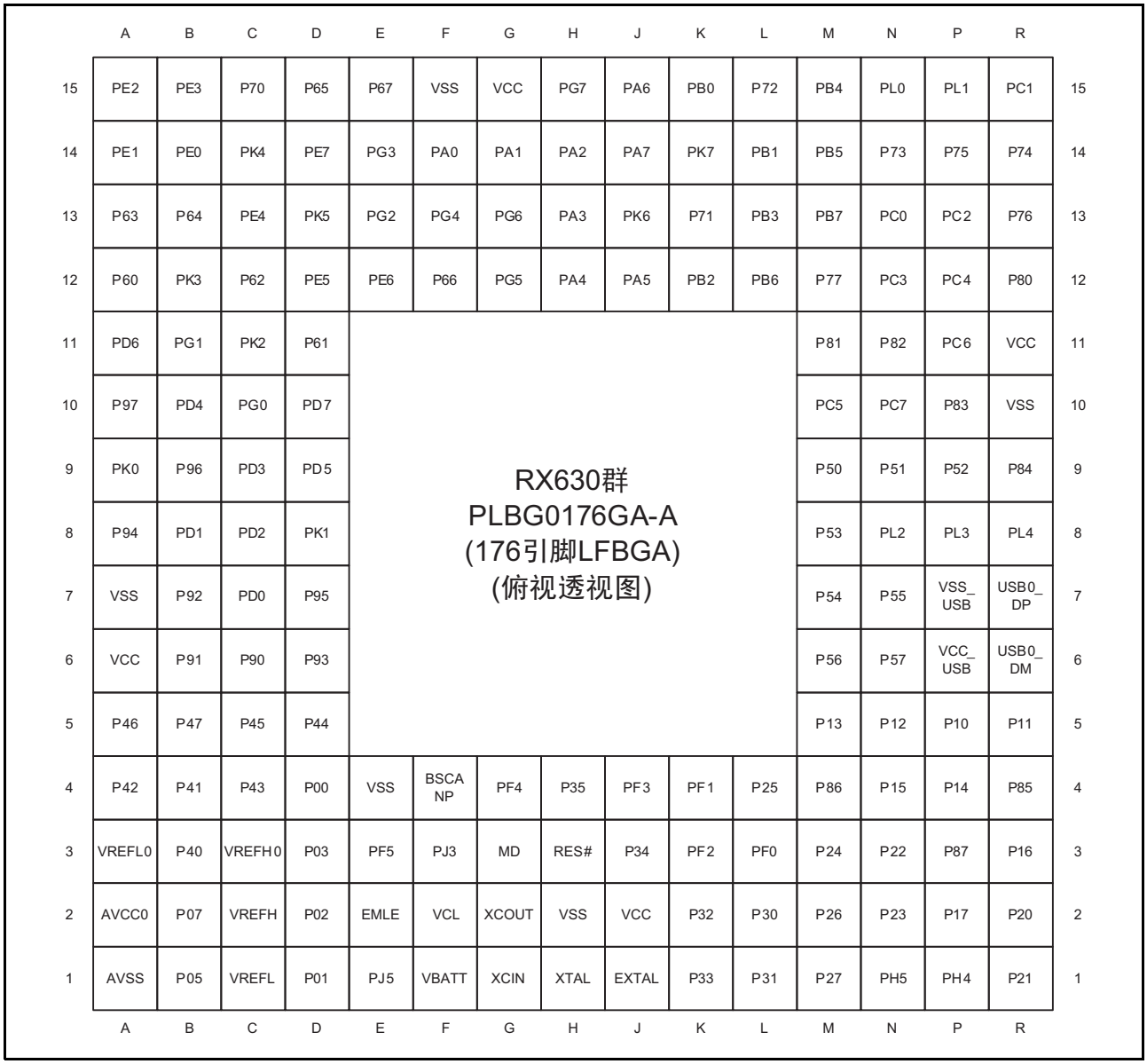
1.5 引脚排列图

引脚排列图如**图 1.3** ～**图 1.10** 所示，各功能引脚一览表如**表 1.6** ～**表 1.11** 所示。

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	PL0	PL1	PC1	15
14	PE1	PE0	PK4	PE7	PG3	PA0	PA1	PA2	PA7	PK7	PB1	PB5	P73	P75	P74	14
13	P63	P64	PE4	PK5	PG2	PG4	PG6	PA3	PK6	P71	PB3	PB7	PC0	PC2	P76	13
12	P60	PK3	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12
11	PD6	PG1	PK2	P61								P81	P82	PC6	VCC	11
10	P97	PD4	PG0	PD7								PC5	PC7	P83	VSS	10
9	PK0	P96	PD3	PD5								P50	P51	P52	P84	9
8	P94	PD1	PD2	PK1								P53	PL2	PL3	PL4	8
7	VSS	P92	PD0	P95								P54	P55	VSS_USB	USB0_DP	7
6	VCC	P91	P90	P93								P56	P57	VCC_USB	USB0_DM	6
5	P46	P47	P45	P44	NC							P13	P12	P10	P11	5
4	P42	P41	P43	P00	VSS	BSCANP	PF4	P35	PF3	PF1	P25	P86	P15	P14	P85	4
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD	RES#	P34	PF2	PF0	P24	P22	P87	P16	3
2	AVCC0	P07	VREFH	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2
1	AVSS	P05	VREFL	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	PH5	PH4	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

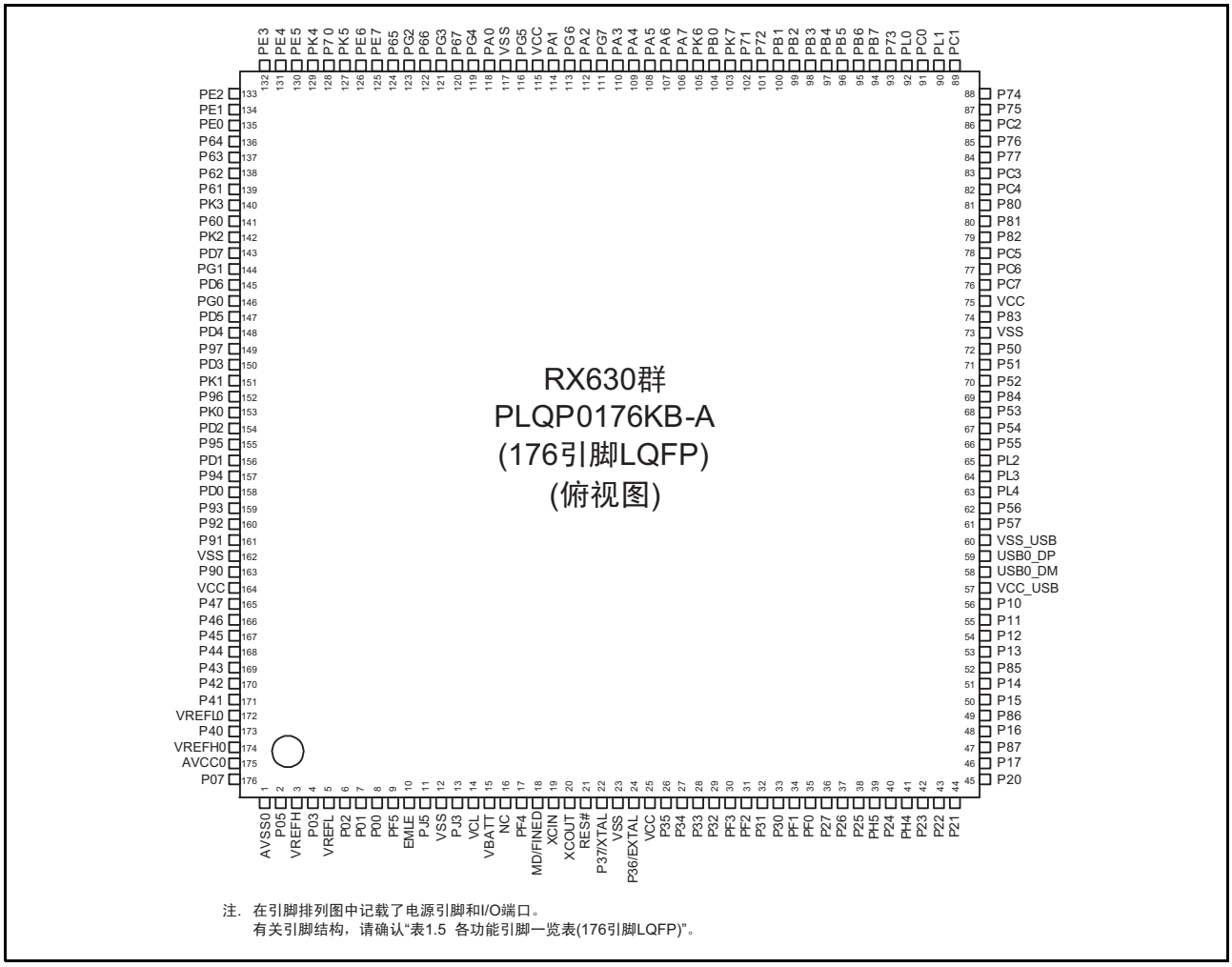
RX630群
PTLG0177KA-A
(177引脚TFLGA)
(俯视透视图)

图 1.3 引脚排列图 （177 引脚 TFLGA）



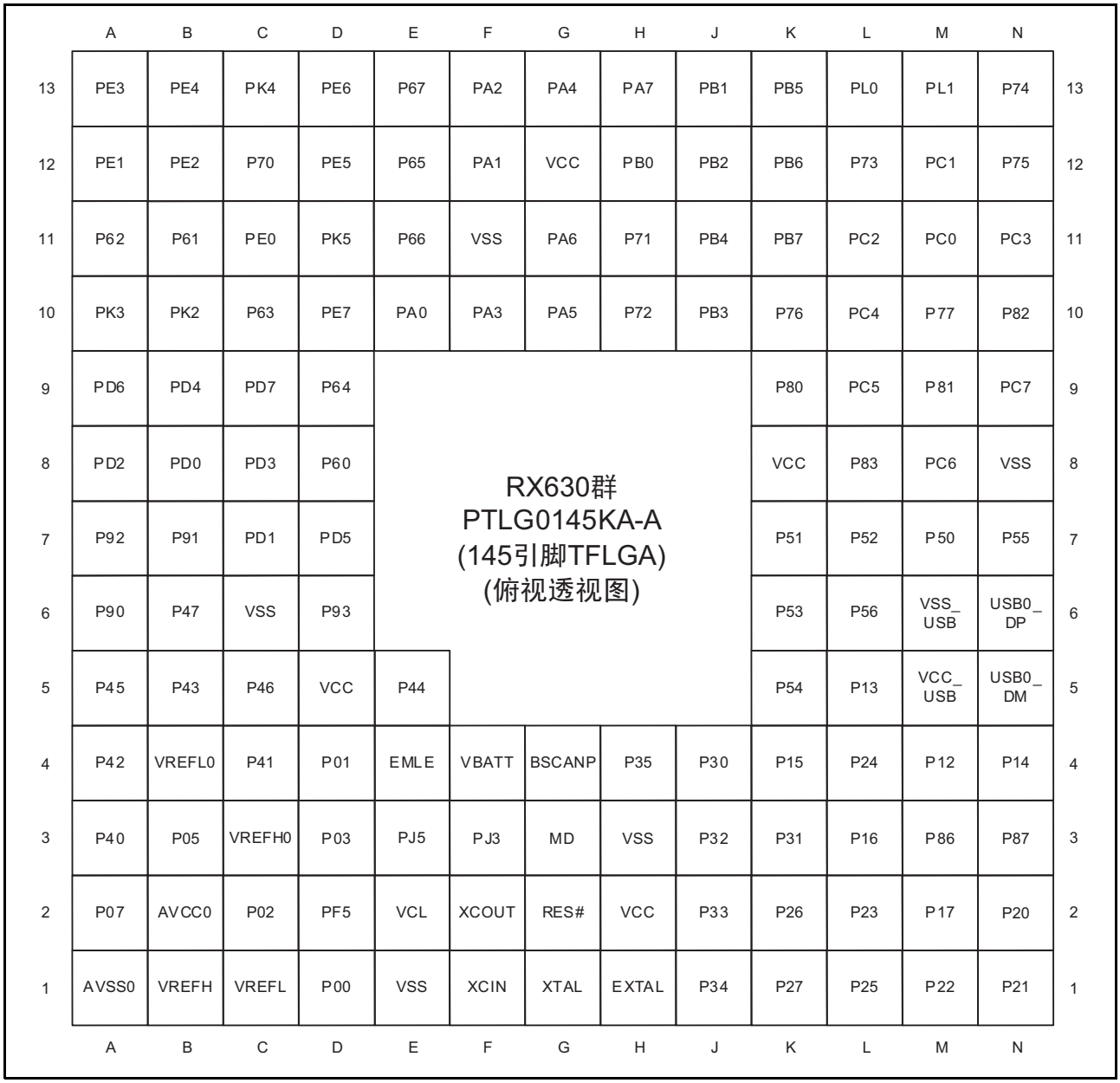
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	PL0	PL1	PC1	15
14	PE1	PE0	PK4	PE7	PG3	PA0	PA1	PA2	PA7	PK7	PB1	PB5	P73	P75	P74	14
13	P63	P64	PE4	PK5	PG2	PG4	PG6	PA3	PK6	P71	PB3	PB7	PC0	PC2	P76	13
12	P60	PK3	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12
11	PD6	PG1	PK2	P61								P81	P82	PC6	VCC	11
10	P97	PD4	PG0	PD7								PC5	PC7	P83	VSS	10
9	PK0	P96	PD3	PD5								P50	P51	P52	P84	9
8	P94	PD1	PD2	PK1								P53	PL2	PL3	PL4	8
7	VSS	P92	PD0	P95								P54	P55	VSS_USB	USB0_DP	7
6	VCC	P91	P90	P93								P56	P57	VCC_USB	USB0_DM	6
5	P46	P47	P45	P44								P13	P12	P10	P11	5
4	P42	P41	P43	P00	VSS	BSCANP	PF4	P35	PF3	PF1	P25	P86	P15	P14	P85	4
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD	RES#	P34	PF2	PF0	P24	P22	P87	P16	3
2	AVCC0	P07	VREFH	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2
1	AVSS	P05	VREFL	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	PH5	PH4	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

图 1.4 引脚排列图 （176 引脚 LFBGA）



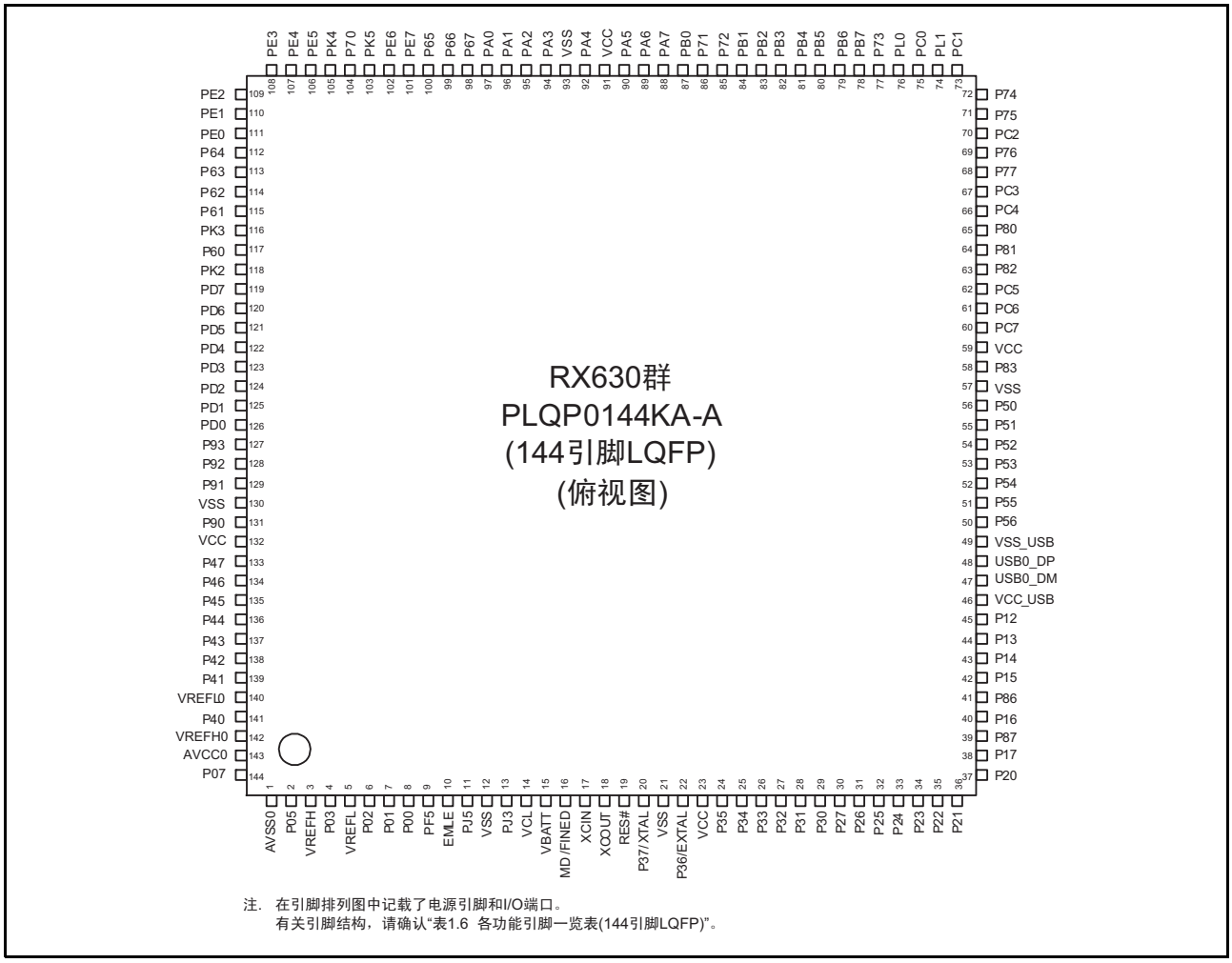
注. 在引脚排列图中记载了电源引脚和I/O端口。
有关引脚结构，请确认“表1.5 各功能引脚一览表(176引脚LQFP)”。

图 1.5 引脚排列图 （176 引脚 LQFP）



	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	PE3	PE4	PK4	PE6	P67	PA2	PA4	PA7	PB1	PB5	PL0	PL1	P74	13
12	PE1	PE2	P70	PE5	P65	PA1	VCC	PB0	PB2	PB6	P73	PC1	P75	12
11	P62	P61	PE0	PK5	P66	VSS	PA6	P71	PB4	PB7	PC2	PC0	PC3	11
10	PK3	PK2	P63	PE7	PA0	PA3	PA5	P72	PB3	P76	PC4	P77	P82	10
9	PD6	PD4	PD7	P64						P80	PC5	P81	PC7	9
8	PD2	PD0	PD3	P60						VCC	P83	PC6	VSS	8
7	P92	P91	PD1	PD5						P51	P52	P50	P55	7
6	P90	P47	VSS	P93						P53	P56	VSS_USB	USB0_DP	6
5	P45	P43	P46	VCC	P44					P54	P13	VCC_USB	USB0_DM	5
4	P42	VREFL0	P41	P01	EMLE	VBATT	BSCANP	P35	P30	P15	P24	P12	P14	4
3	P40	P05	VREFH0	P03	PJ5	PJ3	MD	VSS	P32	P31	P16	P86	P87	3
2	P07	AVCC0	P02	PF5	VCL	XCOUT	RES#	VCC	P33	P26	P23	P17	P20	2
1	AVSS0	VREFH	VREFL	P00	VSS	XCIN	XTAL	EXTAL	P34	P27	P25	P22	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

图 1.6 引脚排列图 （145 引脚 TFLGA）



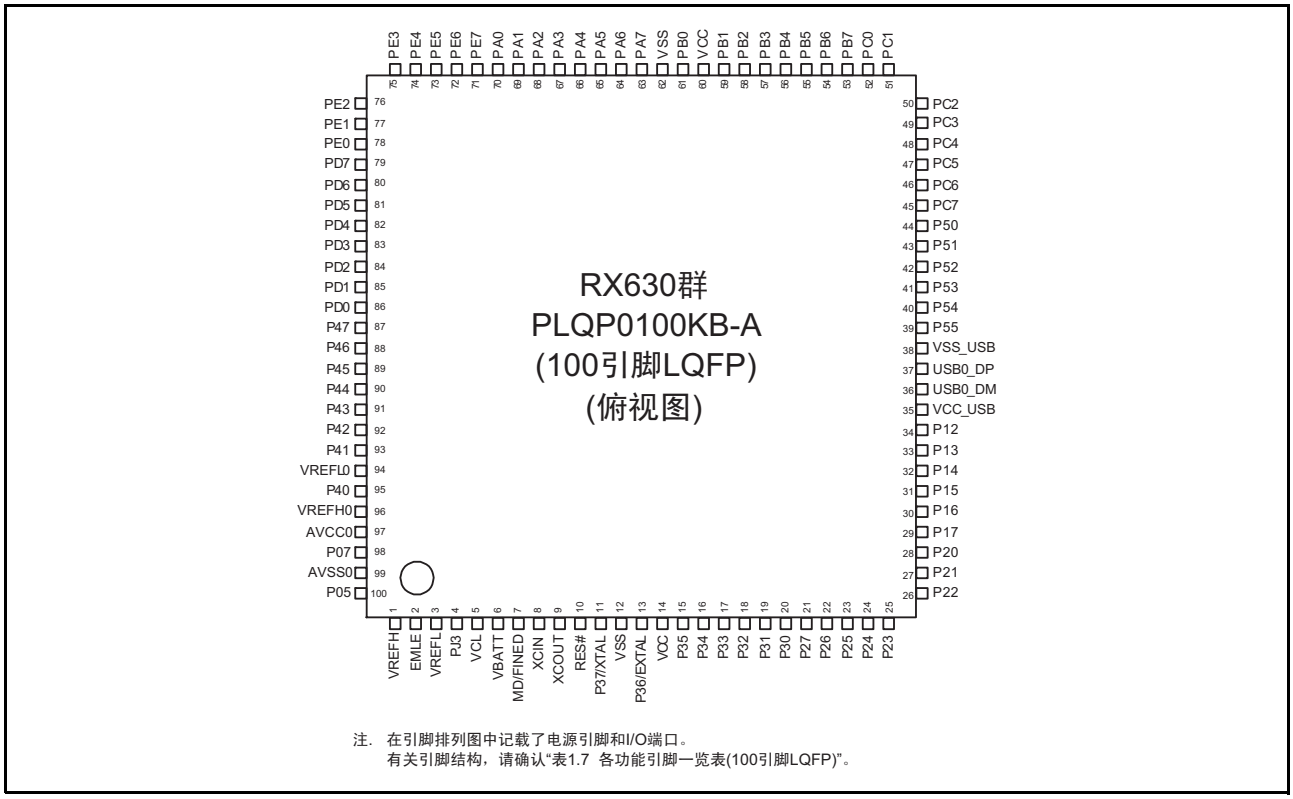
注. 在引脚排列图中记载了电源引脚和I/O端口。
有关引脚结构，请确认“表1.6 各功能引脚一览表(144引脚LQFP)”。

图 1.7 引脚排列图 （144 引脚 LQFP）

RX630群
PTLG0100KA-A(100引脚TFLGA)
(俯视透视图)

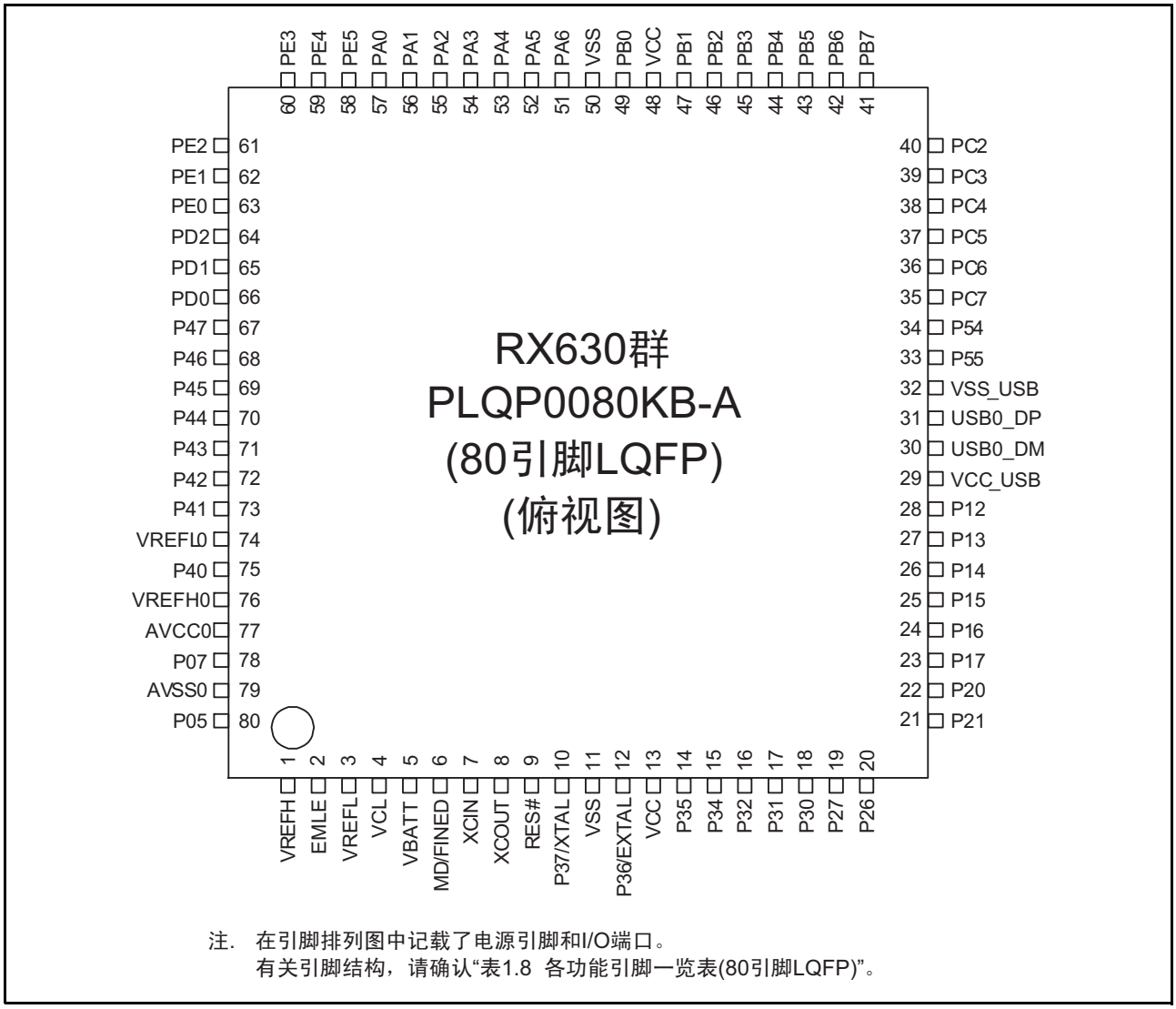
	A	B	C	D	E	F	G	H	J	K	
10	PE2	PE3	PE4	PA0	PA3	VSS	VCC	PB7	PC1	PC2	10
9	PE1	PD7	PE5	PA1	PA5	PA7	PB1	PB6	PC0	PC3	9
8	PE0	PD6	PD5	PE7	PA4	PB0	PB4	PC6	PC4	PC5	8
7	PD4	PD3	PD2	PE6	PA6	PB2	PB5	PC7	P50	P51	7
6	PD0	PD1	P47	P46	PA2	PB3	P52	P54	VCC_USB	USB0_DP	6
5	P43	P44	P42	P45	P41	P12	P53	P55	VSS_USB	USB0_DM	5
4	VREFL0	P40	VREFH0	VBATT	P34	P32	P27	P15	P13	P14	4
3	P07	AVCC0	PJ3	MD	RES#	P35	P30	P16	P17	P20	3
2	VREFH	AVSS0	VREFL	XCOUT	VSS	VCC	P31	P25	P21	P22	2
1	P05	EMLE	VCL	XCIN	XTAL	EXTAL	P33	P26	P24	P23	1
	A	B	C	D	E	F	G	H	J	K	

图 1.8 引脚排列图 （100 引脚 TFLGA）



注. 在引脚排列图中记载了电源引脚和I/O端口。
有关引脚结构，请确认“表1.7 各功能引脚一览表(100引脚LQFP)”。

图 1.9 引脚排列图 （100 引脚 LQFP）



注. 在引脚排列图中记载了电源引脚和I/O端口。
有关引脚结构，请确认“表1.8 各功能引脚一览表(80引脚LQFP)”。

图 1.10 引脚排列图 （80 引脚 LQFP）

表 1.5 各功能引脚一览表 （177 引脚 TFLGA、 176 引脚 LFBGA）(1/6)

引脚序号 177 引脚 TFLGA 176 引脚 LFBGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、AD、 DA
A1	AVSS0						
A2	AVCC0						
A3	VREFL0						
A4		P42				IRQ10-DS	AN002
A5		P46				IRQ14-DS	AN006
A6	VCC						
A7	VSS						
A8		P94	A20/D20				
A9		PK0					
A10		P97	A23/D23				
A11		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
A12		P60	CS0#		SCK9		
A13		P63	CS3#				
A14		PE1	D9[A9/D9]	MTIOC4C/TIOCD9/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/RSPCKB		ANEX1
A15		PE2	D10[A10/D10]	MTIOC4A/TIOCA9/ PO23	RXD12/SMISO12/ SSCL12/RXDX12/SSLB3/ MOSIB	IRQ7-DS	AN0
B1		P05				IRQ13	DA1
B2		P07				IRQ15	ADTRG0#
B3		P40				IRQ8-DS	AN000
B4		P41				IRQ9-DS	AN001
B5		P47				IRQ15-DS	AN007
B6		P91	A17/D17		SCK7		AN015
B7		P92	A18/D18		RXD7/SMISO7/SSCL7		AN016
B8		PD1	D1[A1/D1]	MTIOC4B/TIOCB7/ TCLKG	MOSIC/CTX0	IRQ1	AN009
B9		P96	A22/D22				
B10		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
B11		PG1	D25				
B12		PK3			RXD9/SMISO9/SSCL9		
B13		P64	CS4#				
B14		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
B15		PE3	D11[A11/D11]	MTIOC4B/TIOCB9/ PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN1
C1	VREFL						
C2	VREFH						
C3	VREFH0						
C4		P43				IRQ11-DS	AN003
C5		P45				IRQ13-DS	AN005
C6		P90	A16/D16		TXD7/SMOSI7/SSDA7		AN014

表 1.5 各功能引脚一览表 （177 引脚 TFLGA、 176 引脚 LFBGA）(2/6)

引脚序号 177 引脚 TFLGA 176 引脚 LFBGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
C7		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
C8		PD2	D2[A2/D2]	MTIOC4D/TIOCA8	MISOC/CRX0	IRQ2	AN010
C9		PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#	RSPCKC	IRQ3	AN011
C10		PG0	D24				
C11		PK2			TXD9/SMOSI9/SSDA9		
C12		P62	CS2#				
C13		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A/ TIOCA10/PO28	SSLB0		AN2
C14		PK4			RXD4/SMISO4/SSCL4		
C15		P70			SCK4		
D1		P01		TMCI0	RXD6/SMISO6/SSCL6	IRQ9	AN019
D2		P02		TMCI1	SCK6	IRQ10	AN020
D3		P03				IRQ11	DA0
D4		P00		TMRI0	TXD6/SMOSI6/SSDA6	IRQ8	AN018
D5		P44				IRQ12-DS	AN004
D6		P93	A19/D19		CTS7#/RTS7#/SS7#		AN017
D7		P95	A21/D21				
D8		PK1					
D9		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
D10		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
D11		P61	CS1#		CTS9#/RTS9#/SS9#		
D12		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/ TIOCB10	RSPCKB	IRQ5	AN3
D13		PK5			TXD4/SMOSI4/SSDA4		
D14		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
D15		P65	CS5#				
E1		PJ5					
E2	EMLE						
E3		PF5				IRQ4	
E4	VSS						
E5（注 1）	NC						
E12		PE6	D14[A14/D14]	TIOCA11	CTS4#/RTS4#/SS4#/ MOSIB	IRQ6	AN4
E13	TRDATA0	PG2	D26				
E14	TRDATA1	PG3	D27				
E15		P67	CS7#		CRX2（注 2）	IRQ15	
F1	VBATT						
F2	VCL						
F3		PJ3		MTIOC3C	CTS6#/RTS6#/CTS0#/ RTS0#/SS6#/SS0#		
F4	BSCANP						

表 1.5 各功能引脚一览表 （177 引脚 TFLGA、 176 引脚 LFBGA）(3/6)

引脚序号 177 引脚 TFLGA 176 引脚 LFBGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
F12		P66	CS6#		CTX2（注 2）		
F13	TRSYNC#	PG4	D28				
F14		PA0	A0/BC0#	MTIOC4A/TIOCA0/ PO16	SSLA1		
F15	VSS						
G1	XCIN						
G2	XCOUT						
G3	MD/FINED						
G4	TRST#	PF4					
G12	TRCLK	PG5	D29				
G13	TRDATA2	PG6	D30				
G14		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
G15	VCC						
H1	XTAL	P37					
H2	VSS						
H3	RES#						
H4		P35				NMI	
H12		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
H13		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
H14		PA2	A2	PO18	RXD5/SMISO5/SSCL5/ SSLA3		
H15	TRDATA3	PG7	D31				
J1	EXTAL	P36					
J2	VCC						
J3		P34		MTIOC0A/TMCI3/ PO12/POE2#	SCK6/SCK0	IRQ4	
J4	TMS	PF3					
J12		PA5	A5	TIOCB1/PO21	RSPCKA		
J13		PK6					
J14		PA7	A7	TIOCB2/PO23	MISOA		
J15		PA6	A6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
K1		P33		MTIOC0D/TIOCD0/ TMRI3/PO11/POE3#	RXD6/RXD0/SMISO6/ SMISO0/SSCL6/SSCL0/ CRX0	IRQ3-DS	
K2		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2	TXD6/TXD0/SMOSI6/ SMOSI0/SSDA6/SSDA0/ CTX0	IRQ2-DS	

表 1.5 各功能引脚一览表 （177 引脚 TFLGA、 176 引脚 LFBGA）(4/6)

引脚序号 177 引脚 TFLGA 176 引脚 LFBGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、AD、 DA
K3	TDI	PF2			RXD1/SMISO1/SSCL1		
K4	TCK/FINEC	PF1			SCK1		
K12		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/CTS6#/ RTS6#/SS4#/SS6#		
K13		P71	CS1#				
K14		PK7					
K15		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/SMISO4/ SMISO6/SSCL4/SSCL6/ RSPCKA	IRQ12	
L1		P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0	IRQ1-DS	
L2		P30		MTIOC4B/TMRI3/ PO8/RTCIC0/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS	
L3	TDO	PF0			TXD1/SMOSI1/SSDA1		
L4		P25	CS5#	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/SSCL3		ADTRG0#
L12		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/SMISO9/SSCL9		
L13		PB3	A11	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27POE3#	SCK4/SCK6		
L14		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD4/TXD6/SMOSI4/ SMOSI6/SSDA4/SSDA6	IRQ4-DS	
L15		P72	CS2#				
M1		P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB		
M2		P26	CS6#	MTIOC2A/TMO1/PO6	TXD1/CTS3#/RTS3#/ SMOSI1/SS3#/SSDA1/ MOSIB		
M3		P24	CS4#	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3		
M4		P86		TIOCA0			
M5		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/SSDA2/ SDA0[FM+]	IRQ3	ADTRG#
M6		P56	WR2#/BC2#	MTIOC3C/TIOCA1			
M7		P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1		
M8		P53（注 3）	BCLK				
M9		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/ SSLB1		
M10		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA		
M11		P81		MTIOC3D/PO27	RXD10/SMISO10/ SSCL10		

表 1.5 各功能引脚一览表 （177 引脚 TFLGA、 176 引脚 LFBGA）(5/6)

引脚序号 177 引脚 TFLGA 176 引脚 LFBGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、AD、 DA
M12		P77	CS7#	PO23	TXD11/SMOSI11/SSDA11		
M13		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/SMOSI9/SSDA9		
M14		PB5	A13	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9		
M15		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/SS9#		
N1		PH5					
N2		P23		MTIOC3D/MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/RTS0#/ SMOSI3/SS0#/SSDA3		
N3		P22		MTIOC3B/MTCLKC/ TIOCC3/TMO0/PO2	SCK0		
N4		P15		MTIOC0B/MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/SMISO1/ SSCL1/CRX1-DS	IRQ5	
N5		P12		MTIC5U/TMCI1	RXD2/SMISO2/SSCL2/ SCL0[FM+]	IRQ2	
N6		P57	WAIT#/ WR3#/BC3#				
N7		P55	WAIT#	MTIOC4D/TMO3	CRX1	IRQ10	
N8		PL2					
N9		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
N10		PC7	A23/CS0#	MTIOC3A/MTCLKB/ TIOCB6/TMO2/PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
N11		P82		MTIOC4A/PO28	TXD10/SMOSI10/ SSDA10		
N12		PC3	A19	MTIOC4D/TCLKB/ PO24	TXD5/SMOSI5/SSDA5/ IETXD		
N13		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1/SCL3	IRQ14	
N14		P73	CS3#	PO16			
N15		PL0					
P1		PH4					
P2		P17		MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/SMOSI3/ SSDA3/MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#
P3		P87		TIOCA2			
P4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE	IRQ4	
P5		P10		MTIC5W/TMRI3		IRQ0	
P6	VCC_USB						
P7	VSS_USB						

表 1.5 各功能引脚一览表 （177 引脚 TFLGA、 176 引脚 LFBGA）(6/6)

引脚序号 177 引脚 TFLGA 176 引脚 LFBGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、AD、 DA
P8		PL3					
P9		P52	RD#		RXD2/SMISO2/SSCL2/ SSLB3		
P10		P83		MTIOC4C	CTS10#/RTS10#/SS10#		
P11		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TIOCA6/TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA	IRQ13	
P12		PC4	A20 CS3#	MTIOC3D/MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0		
P13		PC2	A18	MTIOC4B/TCLKA/ PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		
P14		P75	CS5#	PO20	SCK11		
P15		PL1					
R1		P21		MTIOC1B/TIOCA3/ TMCI0/PO1	RXD0/SMISO0/SSCL0/ SCL1	IRQ9	
R2		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/SSDA0/ SDA1	IRQ8	
R3		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/SMOSI1/ SMISO3/SSDA1/SSCL3/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS	IRQ6	ADTRG0#
R4		P85					
R5		P11		MTIC5V/TMCI3	SCK2	IRQ1	
R6					USB0_DM		
R7					USB0_DP		
R8		PL4					
R9		P84					
R10	VSS						
R11	VCC						
R12		P80		MTIOC3B/PO26	SCK10		
R13		P76	CS6#	PO22	RXD11/SMISO11/SSCL11		
R14		P74	CS4#	PO19	CTS11#/RTS11#/SS11#		
R15		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2/SDA3	IRQ12	

注 1. 176 引脚 LFBGA 没有 E5 引脚。

注 2. 此引脚只在内部 ROM 容量为 2M 字节 /1.5M 字节时有效。

注 3. 在外部总线有效时，和 BCLK 引脚兼用的 P53 不能用作 I/O 端口。

表 1.6 各功能引脚一览表 （176 引脚 LQFP）(1/6)

引脚序号 176 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
1	AVSS0						
2		P05				IRQ13	DA1
3	VREFH						
4		P03				IRQ11	DA0
5	VREFL						
6		P02		TMCI1	SCK6	IRQ10	AN020
7		P01		TMCI0	RXD6/SMISO6/SSCL6	IRQ9	AN019
8		P00		TMRI0	TXD6/SMOSI6/SSDA6	IRQ8	AN018
9		PF5				IRQ4	
10	EMLE						
11		PJ5					
12	VSS						
13		PJ3		MTIOC3C	CTS6#/RTS6#/CTS0#/ RTS0#/SS6#/SS0#		
14	VCL						
15	VBATT						
16	NC						
17	TRST#	PF4					
18	MD/FINED						
19	XCIN						
20	XCOUT						
21	RES#						
22	XTAL	P37					
23	VSS						
24	EXTAL	P36					
25	VCC						
26		P35				NMI	
27		P34		MTIOC0A/TMCI3/ PO12/POE2#	SCK6/SCK0	IRQ4	
28		P33		MTIOC0D/TIOCD0/ TMRI3/PO11/ POE3#	RXD6/RXD0/SMISO6/ SMISO0/SSCL6/SSCL0/ CRX0	IRQ3-DS	
29		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2	TXD6/TXD0/SMOSI6/ SMOSI0/SSDA6/SSDA0/ CTX0	IRQ2-DS	
30	TMS	PF3					
31	TDI	PF2			RXD1/SMISO1/SSCL1		
32		P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0	IRQ1-DS	
33		P30		MTIOC4B/TMRI3/ PO8/RTCIC0/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS	
34	TCK/FINEC	PF1			SCK1		
35	TDO	PF0			TXD1/SMOSI1/SSDA1		

表 1.6 各功能引脚一览表 （176 引脚 LQFP）(2/6)

引脚序号 176 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
36		P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB		
37		P26	CS6#	MTIOC2A/TMO1/PO6	TXD1/CTS3#/RTS3#/ SMOSI1/SS3#/SSDA1/ MOSIB		
38		P25	CS5#	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/SSCL3		ADTRG0#
39		PH5					
40		P24	CS4#	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3		
41		PH4					
42		P23		MTIOC3D/MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/RTS0#/ SMOSI3/SS0#/SSDA3		
43		P22		MTIOC3B/MTCLKC/ TIOCC3/TMO0/PO2	SCK0		
44		P21		MTIOC1B/TIOCA3/ TMCI0/PO1	RXD0/SMISO0/SSCL0/ SCL1	IRQ9	
45		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/SSDA0/ SDA1	IRQ8	
46		P17		MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/SMOSI3/ SSDA3/MISOA/SDA2-DS/IETXD	IRQ7	ADTRG#
47		P87		TIOCA2			
48		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/SMOSI1/ SMISO3/SSDA1/SSCL3/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS	IRQ6	ADTRG0#
49		P86		TIOCA0			
50		P15		MTIOC0B/MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/SMISO1/ SSCL1/CRX1-DS	IRQ5	
51		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE	IRQ4	
52		P85					
53		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/SSDA2/ SDA0[FM+]	IRQ3	ADTRG#
54		P12		MTIC5U/TMCI1	RXD2/SMISO2/SSCL2/ SCL0[FM+]	IRQ2	
55		P11		MTIC5V/TMCI3	SCK2	IRQ1	
56		P10		MTIC5W/TMRI3		IRQ0	
57	VCC_USB						
58					USB0_DM		
59					USB0_DP		

表 1.6 各功能引脚一览表 （176 引脚 LQFP）(3/6)

引脚序号 176 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
60	VSS_USB						
61		P57	WAIT#/WR3#/ BC3#				
62		P56	WR2#/BC2#	MTIOC3C/TIOCA1			
63		PL4					
64		PL3					
65		PL2					
66		P55	WAIT#	MTIOC4D/TMO3	CRX1	IRQ10	
67		P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1		
68		P53（注 1）	BCLK				
69		P84					
70		P52	RD#		RXD2/SMISO2/SSCL2/ SSLB3		
71		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
72		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/ SSLB1		
73	VSS						
74		P83		MTIOC4C	CTS10#/RTS10#/SS10#		
75	VCC						
76		PC7	A23/CS0#	MTIOC3A/MTCLKB/ TIOCB6/TMO2/PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
77		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TIOCA6/TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA	IRQ13	
78		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA		
79		P82		MTIOC4A/PO28	TXD10/SMOSI10/ SSDA10		
80		P81		MTIOC3D/PO27	RXD10/SMISO10/ SSCL10		
81		P80		MTIOC3B/PO26	SCK10		
82		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0		
83		PC3	A19	MTIOC4D/TCLKB/ PO24	TXD5/SMOSI5/SSDA5/ IETXD		
84		P77	CS7#	PO23	TXD11/SMOSI11/SSDA11		
85		P76	CS6#	PO22	RXD11/SMISO11/SSCL11		
86		PC2	A18	MTIOC4B/TCLKA/ PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		
87		P75	CS5#	PO20	SCK11		

表 1.6 各功能引脚一览表 （176 引脚 LQFP）(4/6)

引脚序号 176 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
88		P74	CS4#	PO19	CTS11#/RTS11#/SS11#		
89		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2/SDA3	IRQ12	
90		PL1					
91		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1/SCL3	IRQ14	
92		PL0					
93		P73	CS3#	PO16			
94		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/SMOSI9/SSDA9		
95		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/SMISO9/SSCL9		
96		PB5	A13	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9		
97		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/SS9#		
98		PB3	A11	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27/POE3#	SCK4/SCK6		
99		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/CTS6#/ RTS6#/SS4#/SS6#		
100		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD4/TXD6/SMOSI4/ SMOSI6/SSDA4/SSDA6	IRQ4-DS	
101		P72	CS2#				
102		P71	CS1#				
103		PK7					
104		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/SMISO4/ SMISO6/SSCL4/SSCL6/ RSPCKA	IRQ12	
105		PK6					
106		PA7	A7	TIOCB2/PO23	MISOA		
107		PA6	A6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
108		PA5	A5	TIOCB1/PO21	RSPCKA		
109		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
110		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
111	TRDATA3	PG7	D31				
112		PA2	A2	PO18	RXD5/SMISO5/SSCL5/ SSLA3		
113	TRDATA2	PG6	D30				

表 1.6 各功能引脚一览表 （176 引脚 LQFP）(5/6)

引脚序号 176 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
114		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
115	VCC						
116	TRCLK	PG5	D29				
117	VSS						
118		PA0	A0/BC0#	MTIOC4A/TIOCA0/ PO16	SSLA1		
119	TRSYNC#	PG4	D28				
120		P67	CS7#		CRX2（注 2）	IRQ15	
121	TRDATA1	PG3	D27				
122		P66	CS6#		CTX2（注 2）		
123	TRDATA0	PG2	D26				
124		P65	CS5#				
125		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
126		PE6	D14[A14/D14]	TIOCA11	CTS4#/RTS4#/SS4#/ MOSIB	IRQ6	AN4
127		PK5			TXD4/SMOSI4/SSDA4		
128		P70			SCK4		
129		PK4			RXD4/SMISO4/SSCL4		
130		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/ TIOCB10	RSPCKB	IRQ5	AN3
131		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A/ TIOCA10/PO28	SSLB0		AN2
132		PE3	D11[A11/D11]	MTIOC4B/TIOCB9/ PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN1
133		PE2	D10[A10/D10]	MTIOC4A/TIOCA9/ PO23	RXD12/SMISO12/ SSCL12/RXDX12/SSLB3/ MOSIB	IRQ7-DS	AN0
134		PE1	D9[A9/D9]	MTIOC4C/TIOCD9/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/RSPCKB		ANEX1
135		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
136		P64	CS4#				
137		P63	CS3#				
138		P62	CS2#				
139		P61	CS1#		CTS9#/RTS9#/SS9#		
140		PK3			RXD9/SMISO9/SSCL9		
141		P60	CS0#		SCK9		
142		PK2			TXD9/SMOSI9/SSDA9		
143		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
144		PG1	D25				
145		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
146		PG0	D24				

表 1.6 各功能引脚一览表 （176 引脚 LQFP）(6/6)

引脚序号 176 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、AD、 DA
147		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
148		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
149		P97	A23/D23				
150		PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#	RSPCKC	IRQ3	AN011
151		PK1					
152		P96	A22/D22				
153		PK0					
154		PD2	D2[A2/D2]	MTIOC4D/TIOCA8	MISOC/CRX0	IRQ2	AN010
155		P95	A21/D21				
156		PD1	D1[A1/D1]	MTIOC4B/TIOCB7/ TCLKG	MOSIC/CTX0	IRQ1	AN009
157		P94	A20/D20				
158		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
159		P93	A19/D19		CTS7#/RTS7#/SS7#		AN017
160		P92	A18/D18		RXD7/SMISO7/SSCL7		AN016
161		P91	A17/D17		SCK7		AN015
162	VSS						
163		P90	A16/D16		TXD7/SMOSI7/SSDA7		AN014
164	VCC						
165		P47				IRQ15-DS	AN007
166		P46				IRQ14-DS	AN006
167		P45				IRQ13-DS	AN005
168		P44				IRQ12-DS	AN004
169		P43				IRQ11-DS	AN003
170		P42				IRQ10-DS	AN002
171		P41				IRQ9-DS	AN001
172	VREFL0						
173		P40				IRQ8-DS	AN000
174	VREFH0						
175	AVCC0						
176		P07				IRQ15	ADTRG0#

注 1. 在外部总线有效时，和 BCLK 引脚兼用的 P53 不能用作 I/O 端口。

注 2. 此引脚只在内部 ROM 容量为 2M 字节 /1.5M 字节时有效。

表 1.7 各功能引脚一览表 （145 引脚 TFLGA）(1/5)

引脚序号 145 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
A1	AVSS0						
A2		P07				IRQ15	ADTRG0#
A3		P40				IRQ8-DS	AN000
A4		P42				IRQ10-DS	AN002
A5		P45				IRQ13-DS	AN005
A6		P90	A16		TXD7/SMOSI7/SSDA7		AN014
A7		P92	A18		RXD7/SMISO7/SSCL7		AN016
A8		PD2	D2[A2/D2]	MTIOC4D/TIOCA8	MISOC/CRX0	IRQ2	AN010
A9		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
A10		PK3			RXD9/SMISO9/SSCL9		
A11		P62	CS2#				
A12		PE1	D9[A9/D9]	MTIOC4C/TIOCD9/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/RSPCKB		ANEX1
A13		PE3	D11[A11/D11]	MTIOC4B/TIOCB9/ PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN1
B1	VREFH						
B2	AVCC0						
B3		P05				IRQ13	DA1
B4	VREFL0						
B5		P43				IRQ11-DS	AN003
B6		P47				IRQ15-DS	AN007
B7		P91	A17		SCK7		AN015
B8		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
B9		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
B10		PK2			TXD9/SMOSI9/SSDA9		
B11		P61	CS1#		CTS9#/RTS9#/SS9#		
B12		PE2	D10[A10/D10]	MTIOC4A/TIOCA9/ PO23	RXD12/SMISO12/ SSCL12/RXDX12/SSLB3/ MOSIB	IRQ7-DS	AN0
B13		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A/ TIOCA10/PO28	SSLB0		AN2
C1	VREFL						
C2		P02		TMCI1	SCK6	IRQ10	AN020
C3	VREFH0						
C4		P41				IRQ9-DS	AN001
C5		P46				IRQ14-DS	AN006
C6	VSS						
C7		PD1	D1[A1/D1]	MTIOC4B/TIOCB7/ TCLKG	MOSIC/CTX0	IRQ1	AN009
C8		PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#	RSPCKC	IRQ3	AN011
C9		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
C10		P63	CS3#				

表 1.7 各功能引脚一览表 （145 引脚 TFLGA）(2/5)

引脚序号 145 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
C11		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
C12		P70			SCK4		
C13		PK4			RXD4/SMISO4/SSCL4		
D1		P00		TMRI0	TXD6/SMOSI6/SSDA6	IRQ8	AN018
D2		PF5				IRQ4	
D3		P03				IRQ11	DA0
D4		P01		TMCI0	RXD6/SMISO6/SSCL6	IRQ9	AN019
D5	VCC						
D6		P93	A19		CTS7#/RTS7#/SS7#		AN017
D7		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
D8		P60	CS0#		SCK9		
D9		P64	CS4#				
D10		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
D11		PK5			TXD4/SMOSI4/SSDA4		
D12		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/ TIOCB10	RSPCKB	IRQ5	AN3
D13		PE6	D14[A14/D14]	TIOCA11	CTS4#/RTS4#/SS4#/ MOSIB	IRQ6	AN4
E1	VSS						
E2	VCL						
E3		PJ5					
E4	EMLE						
E5		P44				IRQ12-DS	AN004
E10		PA0	A0/BC0#	MTIOC4A/TIOCA0/ PO16	SSLA1		
E11		P66	CS6#		CTX2（注 1）		
E12		P65	CS5#				
E13		P67	CS7#		CRX2（注 1）	IRQ15	
F1	XCIN						
F2	XCOUT						
F3		PJ3		MTIOC3C	CTS6#/RTS6#/CTS0#/ RTS0#/SS6#/SS0#		
F4	VBATT						
F10		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
F11	VSS						
F12		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
F13		PA2	A2	PO18	RXD5/SMISO5/SSCL5/ SSLA3		
G1	XTAL	P37					
G2	RES#						
G3	MD/FINED						

表 1.7 各功能引脚一览表 （145 引脚 TFLGA）(3/5)

引脚序号 145 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
G4	BSCANP						
G10		PA5	A5	TIOCB1/PO21	RSPCKA		
G11		PA6	A6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
G12	VCC						
G13		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
H1	EXTAL	P36					
H2	VCC						
H3	VSS						
H4		P35				NMI	
H10		P72	CS2#				
H11		P71	CS1#				
H12		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/SMISO4/ SMISO6/SSCL4/SSCL6/ RSPCKA	IRQ12	
H13		PA7	A7	TIOCB2/PO23	MISOA		
J1	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE2#	SCK6/SCK0	IRQ4	
J2		P33		MTIOC0D/TIOCD0/ TMRI3/PO11/POE3#	RXD6/RXD0/SMISO6/ SMISO0/SSCL6/SSCL0/ CRX0	IRQ3-DS	
J3		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2	TXD6/TXD0/SMOSI6/ SMOSI0/SSDA6/SSDA0/ CTX0	IRQ2-DS	
J4	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS	
J10		PB3	A11	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27/POE3#	SCK4/SCK6		
J11		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/SS9#		
J12		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/CTS6#/ RTS6#/SS4#/SS6#		
J13		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD4/TXD6/SMOSI4/ SMOSI6/SSDA4/SSDA6	IRQ4-DS	
K1	TCK/FINEC	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB		
K2	TDO	P26	CS6#	MTIOC2A/TMO1/PO6	TXD1/CTS3#/RTS3#/ SMOSI1/SS3#/SSDA1/ MOSIB		
K3	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0	IRQ1-DS	
K4		P15		MTIOC0B/MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/SMISO1/ SSCL1/CRX1-DS	IRQ5	

表 1.7 各功能引脚一览表 （145 引脚 TFLGA）(4/5)

引脚序号 145 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
K5	TRDATA2	P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1		
K6		P53 （注 2）	BCLK				
K7		P51	WR1#/ BC1#/ WAIT#		SCK2/SSLB2		
K8	VCC						
K9	TRDATA0	P80		MTIOC3B/PO26	SCK10		
K10		P76	CS6#	PO22	RXD11/SMISO11/SSCL11		
K11		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/SMOSI9/SSDA9		
K12		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/SMISO9/SSCL9		
K13		PB5	A13	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9		
L1		P25	CS5#	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/SSCL3		ADTRG0#
L2		P23		MTIOC3D/MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/RTS0#/ SMOSI3/SS0#/SSDA3		
L3		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/SMOSI1/ SMISO3/SSDA1/SSCL3/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS	IRQ6	ADTRG0#
L4		P24	CS4#	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3		
L5		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/SSDA2/ SDA0[FM+]	IRQ3	ADTRG#
L6		P56		MTIOC3C/TIOCA1			
L7		P52	RD#		RXD2/SMISO2/SSCL2/ SSLB3		
L8	TRCLK	P83		MTIOC4C	CTS10#/RTS10#/SS10#		
L9		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA		
L10		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0		
L11		PC2	A18	MTIOC4B/TCLKA/ PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		
L12		P73	CS3#	PO16			
L13		PL0					
M1		P22		MTIOC3B/MTCLKC/ TIOCC3/TMO0/PO2	SCK0		
M2		P17		MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/SMOSI3/ SSDA3/MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#

表 1.7 各功能引脚一览表 （145 引脚 TFLGA）(5/5)

引脚序号 145 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
M3		P86		TIOCA0			
M4		P12		TMCI1	RXD2/SMISO2/SSCL2/ SCL0[FM+]	IRQ2	
M5	VCC_USB						
M6	VSS_USB						
M7		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/ SSLB1		
M8		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TIOCA6/TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA	IRQ13	
M9	TRDATA1	P81		MTIOC3D/PO27	RXD10/SMISO10/ SSCL10		
M10		P77	CS7#	PO23	TXD11/SMOSI11/SSDA11		
M11		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1/SCL3	IRQ14	
M12		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2/SDA3	IRQ12	
M13		PL1					
N1		P21		MTIOC1B/TIOCA3/ TMCI0/PO1	RXD0/SMISO0/SSCL0/ SCL1	IRQ9	
N2		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/SSDA0/ SDA1	IRQ8	
N3		P87		TIOCA2			
N4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE	IRQ4	
N5					USB0_DM		
N6					USB0_DP		
N7	TRDATA3	P55	WAIT#	MTIOC4D/TMO3	CRX1	IRQ10	
N8	VSS						
N9		PC7	A23/CS0#	MTIOC3A/MTCLKB/ TIOCB6/TMO2/PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
N10	TRSYNC#	P82		MTIOC4A/PO28	TXD10/SMOSI10/ SSDA10		
N11		PC3	A19	MTIOC4D/TCLKB/ PO24	TXD5/SMOSI5/SSDA5/ IETXD		
N12		P75	CS5#	PO20	SCK11		
N13		P74	CS4#	PO19	CTS11#/RTS11#/SS11#		

注 1. 此引脚只在内部 ROM 容量为 2M 字节 /1.5M 字节时有效。

注 2. 在外部总线有效时，和 BCLK 引脚兼用的 P53 不能用作 I/O 端口。

表 1.8 各功能引脚一览表 （144 引脚 LQFP）(1/5)

引脚序号 144 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
1	AVSS0						
2		P05				IRQ13	DA1
3	VREFH						
4		P03				IRQ11	DA0
5	VREFL						
6		P02		TMCI1	SCK6	IRQ10	AN020
7		P01		TMCI0	RXD6/SMISO6/SSCL6	IRQ9	AN019
8		P00		TMRI0	TXD6/SMOSI6/SSDA6	IRQ8	AN018
9		PF5				IRQ4	
10	EMLE						
11		PJ5					
12	VSS						
13		PJ3		MTIOC3C	CTS6#/RTS6#/CTS0#/ RTS0#/SS6#/SS0#		
14	VCL						
15	VBATT						
16	MD/FINED						
17	XCIN						
18	XCOUT						
19	RES#						
20	XTAL	P37					
21	VSS						
22	EXTAL	P36					
23	VCC						
24		P35				NMI	
25	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE2#	SCK6/SCK0	IRQ4	
26		P33		MTIOC0D/TIOCD0/ TMRI3/PO11/POE3#	RXD6/RXD0/SMISO6/ SMISO0/SSCL6/SSCL0/ CRX0	IRQ3-DS	
27		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2	TXD6/TXD0/SMOSI6/ SMOSI0/SSDA6/SSDA0/ CTX0	IRQ2-DS	
28	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0	IRQ1-DS	
29	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS	
30	TCK/FINEC	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB		
31	TDO	P26	CS6#	MTIOC2A/TMO1/PO6	TXD1/CTS3#/RTS3#/ SMOSI1/SS3#/SSDA1/ MOSIB		
32		P25	CS5#	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/SSCL3		ADTRG0#

表 1.8 各功能引脚一览表 （144 引脚 LQFP）(2/5)

引脚序号 144 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
33		P24	CS4#	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3		
34		P23		MTIOC3D/MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/RTS0#/ SMOSI3/SS0#/SSDA3		
35		P22		MTIOC3B/MTCLKC/ TIOCC3/TMO0/PO2	SCK0		
36		P21		MTIOC1B/TIOCA3/ TMCI0/PO1	RXD0/SMISO0/SSCL0/ SCL1	IRQ9	
37		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/SSDA0/ SDA1	IRQ8	
38		P17		MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/SMOSI3/ SSDA3/MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#
39		P87		TIOCA2			
40		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/SMOSI1/ SMISO3/SSDA1/SSCL3/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS	IRQ6	ADTRG0#
41		P86		TIOCA0			
42		P15		MTIOC0B/MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/SMISO1/ SSCL1/CRX1-DS	IRQ5	
43		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE	IRQ4	
44		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/SSDA2/ SDA0[FM+]	IRQ3	ADTRG#
45		P12		TMCI1	RXD2/SMISO2/SSCL2/ SCL0[FM+]	IRQ2	
46	VCC_USB						
47					USB0_DM		
48					USB0_DP		
49	VSS_USB						
50		P56		MTIOC3C/TIOCA1			
51	TRDATA3	P55	WAIT#	MTIOC4D/TMO3	CRX1	IRQ10	
52	TRDATA2	P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1		
53		P53（注 1）	BCLK				
54		P52	RD#		RXD2/SMISO2/SSCL2/ SSLB3		
55		P51	WR1#/ BC1#/ WAIT#		SCK2/SSLB2		
56		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/ SSLB1		
57	VSS						
58	TRCLK	P83		MTIOC4C	CTS10#/RTS10#/SS10#		

表 1.8 各功能引脚一览表 （144 引脚 LQFP）(3/5)

引脚序号 144 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
59	VCC						
60		PC7	A23/CS0#	MTIOC3A/MTCLKB/ TIOCB6/TMO2/PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
61		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TIOCA6/TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA	IRQ13	
62		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA		
63	TRSYNC#	P82		MTIOC4A/PO28	TXD10/SMOSI10/ SSDA10		
64	TRDATA1	P81		MTIOC3D/PO27	RXD10/SMISO10/ SSCL10		
65	TRDATA0	P80		MTIOC3B/PO26	SCK10		
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0		
67		PC3	A19	MTIOC4D/TCLKB/ PO24	TXD5/SMOSI5/SSDA5/ IETXD		
68		P77	CS7#	PO23	TXD11/SMOSI11/SSDA11		
69		P76	CS6#	PO22	RXD11/SMISO11/SSCL11		
70		PC2	A18	MTIOC4B/TCLKA/ PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		
71		P75	CS5#	PO20	SCK11		
72		P74	CS4#	PO19	CTS11#/RTS11#/SS11#		
73		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2/SDA3	IRQ12	
74		PL1					
75		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1/SCL3	IRQ14	
76		PL0					
77		P73	CS3#	PO16			
78		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/SMOSI9/SSDA9		
79		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/SMISO9/SSCL9		
80		PB5	A13	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9		
81		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/SS9#		
82		PB3	A11	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27/POE3#	SCK4/SCK6		
83		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/CTS6#/ RTS6#/SS4#/SS6#		
84		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD4/TXD6/SMOSI4/ SMOSI6/SSDA4/SSDA6	IRQ4-DS	

表 1.8 各功能引脚一览表 （144 引脚 LQFP）(4/5)

引脚序号 144 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
85		P72	CS2#				
86		P71	CS1#				
87		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/SMISO4/ SMISO6/SSCL4/SSCL6/ RSPCKA	IRQ12	
88		PA7	A7	TIOCB2/PO23	MISOA		
89		PA6	A6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
90		PA5	A5	TIOCB1/PO21	RSPCKA		
91	VCC						
92		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
93	VSS						
94		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
95		PA2	A2	PO18	RXD5/SMISO5/SSCL5/ SSLA3		
96		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
97		PA0	A0/BC0#	MTIOC4A/TIOCA0/ PO16	SSLA1		
98		P67	CS7#		CRX2（注 2）	IRQ15	
99		P66	CS6#		CTX2（注 2）		
100		P65	CS5#				
101		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
102		PE6	D14[A14/D14]	TIOCA11	CTS4#/RTS4#/SS4#/ MOSIB	IRQ6	AN4
103		PK5			TXD4/SMOSI4/SSDA4		
104		P70			SCK4		
105		PK4			RXD4/SMISO4/SSCL4		
106		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/ TIOCB10	RSPCKB	IRQ5	AN3
107		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A/ TIOCA10/PO28	SSLB0		AN2
108		PE3	D11[A11/D11]	MTIOC4B/TIOCB9/ PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN1
109		PE2	D10[A10/D10]	MTIOC4A/TIOCA9/ PO23	RXD12/SMISO12/ SSCL12/RXDX12/SSLB3/ MOSIB	IRQ7-DS	AN0
110		PE1	D9[A9/D9]	MTIOC4C/TIOCD9/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/RSPCKB		ANEX1
111		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
112		P64	CS4#				

表 1.8 各功能引脚一览表 （144 引脚 LQFP）(5/5)

引脚序号 144 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
113		P63	CS3#				
114		P62	CS2#				
115		P61	CS1#		CTS9#/RTS9#/SS9#		
116		PK3			RXD9/SMISO9/SSCL9		
117		P60	CS0#		SCK9		
118		PK2			TXD9/SMOSI9/SSDA9		
119		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
120		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
121		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
122		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
123		PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#	RSPCKC	IRQ3	AN011
124		PD2	D2[A2/D2]	MTIOC4D/TIOCA8	MISOC/CRX0	IRQ2	AN010
125		PD1	D1[A1/D1]	MTIOC4B/TIOCB7/ TCLKG	MOSIC/CTX0	IRQ1	AN009
126		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
127		P93	A19		CTS7#/RTS7#/SS7#		AN017
128		P92	A18		RXD7/SMISO7/SSCL7		AN016
129		P91	A17		SCK7		AN015
130	VSS						
131		P90	A16		TXD7/SMOSI7/SSDA7		AN014
132	VCC						
133		P47				IRQ15-DS	AN007
134		P46				IRQ14-DS	AN006
135		P45				IRQ13-DS	AN005
136		P44				IRQ12-DS	AN004
137		P43				IRQ11-DS	AN003
138		P42				IRQ10-DS	AN002
139		P41				IRQ9-DS	AN001
140	VREFL0						
141		P40				IRQ8-DS	AN000
142	VREFH0						
143	AVCC0						
144		P07				IRQ15	ADTRG0#

注 1. 在外部总线有效时，和 BCLK 引脚兼用的 P53 不能用作 I/O 端口。

注 2. 此引脚只在内部 ROM 容量为 2M 字节 /1.5M 字节时有效。

表 1.9 各功能引脚一览表 （100 引脚 TFLGA）(1/4)

引脚序号 100 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
A1		P05				IRQ13	DA1
A2	VREFH						
A3		P07				IRQ15	ADTRG0#
A4	VREFL0						
A5		P43				IRQ11-DS	AN003
A6		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
A7		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
A8		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
A9		PE1	D9[A9/D9]	MTIOC4C/TIOCD9/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/RSPCKB		ANEX1
A10		PE2	D10[A10/D10]	MTIOC4A/TIOCA9/ PO23	RXD12/SMISO12/ SSCL12/RXDX12/SSLB3/ MOSIB	IRQ7-DS	AN0
B1	EMLE						
B2	AVSS0						
B3	AVCC0						
B4		P40				IRQ8-DS	AN000
B5		P44				IRQ12-DS	AN004
B6		PD1	D1[A1/D1]	MTIOC4B/TIOCB7/ TCLKG		IRQ1	AN009
B7		PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#		IRQ3	AN011
B8		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
B9		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
B10		PE3	D11[A11/D11]	MTIOC4B/TIOCB9/ PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN1
C1	VCL						
C2	VREFL						
C3		PJ3		MTIOC3C	CTS6#/RTS6#/CTS0#/ RTS0#/SS6#/SS0#		
C4	VREFH0						
C5		P42				IRQ10-DS	AN002
C6		P47				IRQ15-DS	AN007
C7		PD2	D2[A2/D2]	MTIOC4D/TIOCA8		IRQ2	AN010
C8		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
C9		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/ TIOCB10	RSPCKB	IRQ5	AN3
C10		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A/ TIOCA10/PO28	SSLB0		AN2
D1	XCIN						
D2	XCOUT						
D3	MD/FINED						
D4	VBATT						

表 1.9 各功能引脚一览表 （100 引脚 TFLGA）(2/4)

引脚序号 100 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
D5		P45				IRQ13-DS	AN005
D6		P46				IRQ14-DS	AN006
D7		PE6	D14[A14/D14]	TIOCA11	MOSIB	IRQ6	AN4
D8		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
D9		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
D10		PA0	A0/BC0#	MTIOC4A/TIOCA0/ PO16	SSLA1		
E1	XTAL	P37					
E2	VSS						
E3	RES#						
E4	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE2#	SCK6/SCK0	IRQ4	
E5		P41				IRQ9-DS	AN001
E6		PA2	A2	PO18	RXD5/SMISO5/SSCL5/ SSLA3		
E7		PA6	A6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
E8		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
E9		PA5	A5	TIOCB1/PO21	RSPCKA		
E10		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
F1	EXTAL	P36					
F2	VCC						
F3		P35				NMI	
F4		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2	TXD6/TXD0/SMOSI6/ SMOSI0/SSDA6/SSDA0/ CTX0（注 1）	IRQ2-DS	
F5		P12		TMCI1	RXD2/SMISO2/SSCL2/ SCL0[FM+]	IRQ2	
F6		PB3	A11	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27/POE3#	SCK6		
F7		PB2	A10	TIOCC3/TCLKC/ PO26	CTS6#/RTS6#/SS6#		
F8		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD6/SMISO6/SSCL6/ RSPCKA	IRQ12	
F9		PA7	A7	TIOCB2/PO23	MISOA		
F10	VSS						
G1		P33		MTIOC0D/TIOCD0/ TMRI3/PO11/POE3#	RXD6/RXD0/SMISO6/ SMISO0/SSCL6/SSCL0/ CRX0（注 1）	IRQ3-DS	

表 1.9 各功能引脚一览表 （100 引脚 TFLGA）(3/4)

引脚序号 100 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
G2	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0	IRQ1-DS	
G3	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS	
G4	TCK/FINEC	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB		
G5		P53（注 2）	BCLK				
G6		P52	RD#		RXD2/SMISO2/SSCL2/ SSLB3		
G7		PB5	A13	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9		
G8		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/SS9#		
G9		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD6/SMOSI6/SSDA6	IRQ4-DS	
G10	VCC						
H1	TDO	P26	CS6#	MTIOC2A/TMO1/PO6	TXD1/CTS3#/RTS3#/ SMOSI1/SS3#/SSDA1/ MOSIB		
H2		P25	CS5#	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/SSCL3		ADTRG0#
H3		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/SMOSI1/ SMISO3/SSDA1/SSCL3/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS	IRQ6	ADTRG0#
H4		P15		MTIOC0B/MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/SMISO1/ SSCL1/CRX1-DS	IRQ5	
H5		P55	WAIT#	MTIOC4D/TMO3	CRX1	IRQ10	
H6		P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1		
H7		PC7	A23/CS0#	MTIOC3A/MTCLKB/ TIOCB6/TMO2/PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
H8		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TIOCA6/TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA	IRQ13	
H9		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/SMISO9/SSCL9		
H10		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/SMOSI9/SSDA9		
J1		P24	CS4#	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3		
J2		P21		MTIOC1B/TIOCA3/ TMCI0/PO1	RXD0/SMISO0/SSCL0	IRQ9	
J3		P17		MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/SMOSI3/ SSDA3/MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#

表 1.9 各功能引脚一览表 （100 引脚 TFLGA）(4/4)

引脚序号 100 引脚 TFLGA	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
J4		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/SSDA2/ SDA0[FM+]	IRQ3	ADTRG#
J5	VSS_USB						
J6	VCC_USB						
J7		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/ SSLB1		
J8		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0		
J9		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1	IRQ14	
J10		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2	IRQ12	
K1		P23		MTIOC3D/MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/RTS0#/ SMOSI3/SS0#/SSDA3		
K2		P22		MTIOC3B/MTCLKC/ TIOCC3/TMO0/PO2	SCK0		
K3		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/SSDA0	IRQ8	
K4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE	IRQ4	
K5					USB0_DM		
K6					USB0_DP		
K7		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
K8		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA		
K9		PC3	A19	MTIOC4D/TCLKB/ PO24	TXD5/SMOSI5/SSDA5/ IETXD		
K10		PC2	A18	MTIOC4B/TCLKA/ PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		

注 1. 此引脚只在内部 ROM 容量大于等于 768K 字节时有效。

注 2. 在外部总线有效时，和 BCLK 引脚兼用的 P53 不能用作 I/O 端口。

表 1.10 各功能引脚一览表 （100 引脚 LQFP）(1/4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
1	VREFH						
2	EMLE						
3	VREFL						
4		PJ3		MTIOC3C	CTS6#/RTS6#/CTS0#/ RTS0#/SS6#/SS0#		
5	VCL						
6	VBATT						
7	MD/FINED						
8	XCIN						
9	XCOUT						
10	RES#						
11	XTAL	P37					
12	VSS						
13	EXTAL	P36					
14	VCC						
15		P35				NMI	
16	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE2#	SCK6/SCK0	IRQ4	
17		P33		MTIOC0D/TIOCD0/ TMRI3/PO11/POE3#	RXD6/RXD0/SMISO6/ SMISO0/SSCL6/SSCL0/ CRX0（注 1）	IRQ3-DS	
18		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2	TXD6/TXD0/SMOSI6/ SMOSI0/SSDA6/SSDA0/ CTX0（注 1）	IRQ2-DS	
19	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0	IRQ1-DS	
20	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS	
21	TCK/FINEC	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB		
22	TDO	P26	CS6#	MTIOC2A/TMO1/PO6	TXD1/CTS3#/RTS3#/ SMOSI1/SS3#/SSDA1/ MOSIB		
23		P25	CS5#	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/SSCL3		ADTRG0#
24		P24	CS4#	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3		
25		P23		MTIOC3D/MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/RTS0#/ SMOSI3/SS0#/SSDA3		
26		P22		MTIOC3B/MTCLKC/ TIOCC3/TMO0/PO2	SCK0		
27		P21		MTIOC1B/TIOCA3/ TMCI0/PO1	RXD0/SMISO0/SSCL0	IRQ9	
28		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/SSDA0	IRQ8	

表 1.10 各功能引脚一览表 （100 引脚 LQFP）(2/4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
29		P17		MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/SMOSI3/ SSDA3/MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#
30		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/SMOSI1/ SMISO3/SSDA1/SSCL3/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS	IRQ6	ADTRG0#
31		P15		MTIOC0B/MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/SMISO1/ SSCL1/CRX1-DS	IRQ5	
32		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE	IRQ4	
33		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/SSDA2/ SDA0[FM+]	IRQ3	ADTRG#
34		P12		TMCI1	RXD2/SMISO2/SSCL2/ SCL0[FM+]	IRQ2	
35	VCC_USB						
36					USB0_DM		
37					USB0_DP		
38	VSS_USB						
39		P55	WAIT#	MTIOC4D/TMO3	CRX1	IRQ10	
40		P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1		
41		P53（注 2）	BCLK				
42		P52	RD#		RXD2/SMISO2/SSCL2/ SSLB3		
43		P51	WR1#/ BC1#/ WAIT#		SCK2/SSLB2		
44		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/ SSLB1		
45		PC7	A23/CS0#	MTIOC3A/MTCLKB/ TIOCB6/TMO2/PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
46		PC6	A22/CS1#	MTIOC3C/MTCLKA/ TIOCA6/TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA	IRQ13	
47		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA		
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0		
49		PC3	A19	MTIOC4D/TCLKB/ PO24	TXD5/SMOSI5/SSDA5/ IETXD		
50		PC2	A18	MTIOC4B/TCLKA/ PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		

表 1.10 各功能引脚一览表 （100 引脚 LQFP）(3/4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
51		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2	IRQ12	
52		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1	IRQ14	
53		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/SMOSI9/SSDA9		
54		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/SMISO9/SSCL9		
55		PB5	A13	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9		
56		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/SS9#		
57		PB3	A11	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27/POE3#	SCK6		
58		PB2	A10	TIOCC3/TCLKC/ PO26	CTS6#/RTS6#/SS6#		
59		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD6/SMOSI6/SSDA6	IRQ4-DS	
60	VCC						
61		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD6/SMISO6/SSCL6/ RSPCKA	IRQ12	
62	VSS						
63		PA7	A7	TIOCB2/PO23	MISOA		
64		PA6	A6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/ PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
65		PA5	A5	TIOCB1/PO21	RSPCKA		
66		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
67		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
68		PA2	A2	PO18	RXD5/SMISO5/SSCL5/ SSLA3		
69		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
70		PA0	A0/BC0#	MTIOC4A/TIOCA0/ PO16	SSLA1		
71		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
72		PE6	D14[A14/D14]	TIOCA11	MOSIB	IRQ6	AN4
73		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/ TIOCB10	RSPCKB	IRQ5	AN3
74		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A/ TIOCA10/PO28	SSLB0		AN2
75		PE3	D11[A11/D11]	MTIOC4B/TIOCB9/ PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN1

表 1.10 各功能引脚一览表 （100 引脚 LQFP）(4/4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	总线	定时器 （MTU、TPU、TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、CAN、IEB、USB）	中断	S12AD、 AD、 DA
76		PE2	D10[A10/D10]	MTIOC4A/TIOCA9/ PO23	RXD12/SMISO12/SSCL12/ RXDX12/SSLB3/MOSIB	IRQ7-DS	AN0
77		PE1	D9[A9/D9]	MTIOC4C/TIOCD9/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/RSPCKB		ANEX1
78		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
79		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
80		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
81		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
82		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
83		PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#		IRQ3	AN011
84		PD2	D2[A2/D2]	MTIOC4D/TIOCA8		IRQ2	AN010
85		PD1	D1[A1/D1]	MTIOC4B/TIOCB7/ TCLKG		IRQ1	AN009
86		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
87		P47				IRQ15-DS	AN007
88		P46				IRQ14-DS	AN006
89		P45				IRQ13-DS	AN005
90		P44				IRQ12-DS	AN004
91		P43				IRQ11-DS	AN003
92		P42				IRQ10-DS	AN002
93		P41				IRQ9-DS	AN001
94	VREFL0						
95		P40				IRQ8-DS	AN000
96	VREFH0						
97	AVCC0						
98		P07				IRQ15	ADTRG0#
99	AVSS0						
100		P05				IRQ13	DA1

注 1. 只在内部 ROM 容量大于等于 768KB 时有效。

注 2. 在外部总线有效时，和 BCLK 引脚兼用的 P53 不能用作 I/O 端口。

表 1.11 各功能引脚一览表 （80 引脚 LQFP）(1/3)

引脚序号 80 引脚 LQFP	电源时钟 系统控制	I/O 端口	定时器 （MTU、 TPU、 TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、 CAN、 IEB、 USB）	中断	S12AD、 AD、 DA
1	VREFH					
2	EMLE					
3	VREFL					
4	VCL					
5	VBATT					
6	MD FINED					
7	XCIN					
8	XCOUT					
9	RES#					
10	XTAL	P37				
11	VSS					
12	EXTAL	P36				
13	VCC					
14		P35			NMI	
15	TRST#	P34	MTIOC0A/TMCI3/PO12/ POE2#	SCK6	IRQ4	
16		P32	MTIOC0C/TIOCC0/TMO3/ PO10/RTCOUT/RTCIC2	TXD6/SMOSI6/SSDA6	IRQ2-DS	
17	TMS	P31	MTIOC4D/TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/SS1#/SSLB0	IRQ1-DS	
18	TDI	P30	MTIOC4B/TMRI3/PO8/ RTCIC0/POE8#	RXD1/SMISO1/SSCL1/MISOB	IRQ0-DS	
19	TCK/FINEC	P27	MTIOC2B/TMCI3/PO7	SCK1/RSPCKB		
20	TDO	P26	MTIOC2A/TMO1/PO6	TXD1/SMOSI1/SSDA1/MOSIB		
21		P21	MTIOC1B/TIOCA3/TMCI0/ PO1		IRQ9	
22		P20	MTIOC1A/TIOCB3/TMRI0/ PO0		IRQ8	
23		P17	MTIOC3A/MTIOC3B/TIOCB0/ TCLKD/TMO1/PO15/POE8#	SCK1/MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#
24		P16	MTIOC3C/MTIOC3D/TIOCB1/ TCLKC/TMO2/PO14/RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS	IRQ6	ADTRG0#
25		P15	MTIOC0B/MTCLKB/TIOCB2/ TCLKB/TMCI2/PO13	RXD1/SMISO1/SSCL1/ CRX1-DS	IRQ5	
26		P14	MTIOC3A/MTCLKA/TIOCB5/ TCLKA/TMRI2/PO15	CTS1#/RTS1#/SS1#/CTX1/ USB0_DPUPE	IRQ4	
27		P13	MTIOC0B/TIOCA5/TMO3/ PO13	SDA0[FM+]	IRQ3	ADTRG#
28		P12	TMCI1	SCL0[FM+]	IRQ2	
29	VCC_USB					
30				USB0_DM		
31				USB0_DP		
32	VSS_USB					
33		P55	MTIOC4D/TMO3	CRX1	IRQ10	

表 1.11 各功能引脚一览表 （80 引脚 LQFP）(2/3)

引脚序号 80 引脚 LQFP	电源时钟 系统控制	I/O 端口	定时器 （MTU、 TPU、 TMR、 PPG、 RTC、 POE）	通信 （SCIc、 SCId、 RSPI、 RIIC、 CAN、 IEB、 USB）	中断	S12AD、 AD、 DA
34		P54	MTIOC4B/TMCI1	CTX1		
35		PC7	MTIOC3A/MTCLKB/TMO2/ PO31	TXD8/SMOSI8/SSDA8/MISOA	IRQ14	
36		PC6	MTIOC3C/MTCLKA/TMCI2/ PO30	RXD8/SMISO8/SSCL8/MOSIA	IRQ13	
37		PC5	MTIOC3B/MTCLKD/TMRI2/ PO29	SCK8/RSPCKA		
38		PC4	MTIOC3D/MTCLKC/TMCI1/ PO25/POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0		
39		PC3	MTIOC4D/TCLKB/PO24	TXD5/SMOSI5/SSDA5/IETXD		
40		PC2	MTIOC4B/TCLKA/PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		
41		PB7	MTIOC3B/TIOCB5/PO31	TXD9/SMOSI9/SSDA9		
42		PB6	MTIOC3D/TIOCA5/PO30	RXD9/SMISO9/SSCL9		
43		PB5	MTIOC2A/MTIOC1B/TIOCB4/ TMRI1/PO29/POE1#	SCK9		
44		PB4	TIOCA4/PO28	CTS9#/RTS9#/SS9#		
45		PB3	MTIOC0A/MTIOC4A/TIOCD3/ TCLKD/TMO0/PO27/POE3#	SCK6		
46		PB2	TIOCC3/TCLKC/PO26	CTS6#/RTS6#/SS6#		
47		PB1	MTIOC0C/MTIOC4C/TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/SSDA6	IRQ4-DS	
48	VCC					
49		PB0	MTIC5W/TIOCA3/PO24	RXD6/SMISO6/SSCL6/ RSPCKA	IRQ12	
50	VSS					
51		PA6	MTIC5V/MTCLKB/TIOCA2/ TMCI3/PO22/POE2#	CTS5#/RTS5#/SS5#/MOSIA		
52		PA5	TIOCB1/PO21	RSPCKA		
53		PA4	MTIC5U/MTCLKA/TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5-DS	
54		PA3	MTIOC0D/MTCLKD/TIOCD0/ TCLKB/PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
55		PA2	PO18	RXD5/SMISO5/SSCL5/SSLA3		
56		PA1	MTIOC0B/MTCLKC/TIOCB0/ PO17	SCK5/SSLA2	IRQ11	
57		PA0	MTIOC4A/TIOCA0/PO16	SSLA1		
58		PE5	MTIOC4C/MTIOC2B	RSPCKB	IRQ5	AN3
59		PE4	MTIOC4D/MTIOC1A/PO28	SSLB0		AN2
60		PE3	MTIOC4B/PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN1
61		PE2	MTIOC4A/PO23	RXD12/SMISO12/SSCL12/ RXDX12/SSLB3/MOSIB	IRQ7-DS	AN0
62		PE1	MTIOC4C/PO18	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SSLB2/ RSPCKB		ANEX1
63		PE0		SCK12/SSLB1		ANEX0

表 1.11 各功能引脚一览表 （80 引脚 LQFP）(3/3)

引脚序号 80 引脚 LQFP	电源时钟 系统控制	I/O 端口	定时器 （MTU、 TPU、 TMR、 PPG、 RTC、 POE）	通信 （SCIc、SCId、RSPI、RIIC、 CAN、 IEB、 USB）	中断	S12AD、 AD、 DA
64		PD2	MTIOC4D		IRQ2	AN010
65		PD1	MTIOC4B		IRQ1	AN009
66		PD0			IRQ0	AN008
67		P47			IRQ15-DS	AN007
68		P46			IRQ14-DS	AN006
69		P45			IRQ13-DS	AN005
70		P44			IRQ12-DS	AN004
71		P43			IRQ11-DS	AN003
72		P42			IRQ10-DS	AN002
73		P41			IRQ9-DS	AN001
74	VREFL0					
75		P40			IRQ8-DS	AN000
76	VREFH0					
77	AVCC0					
78		P07			IRQ15	ADTRG0#
79	AVSS0					
80		P05			IRQ13	DA1

2. CPU

RX630 群是装载了 RX CPU 的处理器。

RX CPU 采用了可变长指令格式。通过将常用指令分配为较短的指令长度，能开发出存储容量小而且效率高的程序。

RX CPU 有 73 种基本指令、8 种浮点运算指令、9 种 DSP 功能指令共 90 种指令和 10 种寻址方式，进行寄存器 - 寄存器之间、寄存器 - 存储器之间、立即数 - 寄存器、立即数 - 存储器的运算以及位操作、存储器 - 存储器之间的传送。通过 1 个时钟执行寄存器之间的运算指令和多条复合指令，实现了快速运算处理。因为内置了乘法器和除法器，所以能进行快速的乘除法运算处理。

RX CPU 通过取指令、解码、执行、存储器的存取、回写这 5 个阶段的流水线处理，进行指令的处理。如果因存储器的存取引起流水线的延长，就可能先执行后面的运算。RX CPU 采用“Out-of-Order-Completion”进行节省时钟周期数的指令执行控制。

2.1 特点

- 指令的最短执行时间：1个时钟执行1条指令
- 地址空间：4G字节、线性地址
- CPU寄存器组
  通用寄存器：32位×16个
  控制寄存器：32位×9个
  累加器：64位×1个
- 基本指令：73种 （算术/逻辑指令、传送指令、转移指令、位操作指令、字符串操作指令、系统操作指令）
  对应转移距离的相对转移指令
  可变长指令格式 （1字节～8字节）
  常用指令有短格式
- 浮点运算指令：8种
- DSP功能指令：9种
  对应16位×16位的乘法指令和乘加指令
  对应累加器的舍入指令
- 寻址方式：10种
- 5个阶段的流水线
  采用 “Out-of-Order-Completion”
- 处理器模式
  管理模式、用户模式
- 浮点运算单元
  对应单精度浮点数 （32位）
  符合IEEE754规格的数据类型以及对应浮点异常
- 数据排列
  可选择小端法或者大端法

2.2 CPU 寄存器组

RX CPU 寄存器有 16 个通用寄存器、 9 个控制寄存器和 1 个用于 DSP 功能指令的累加器。

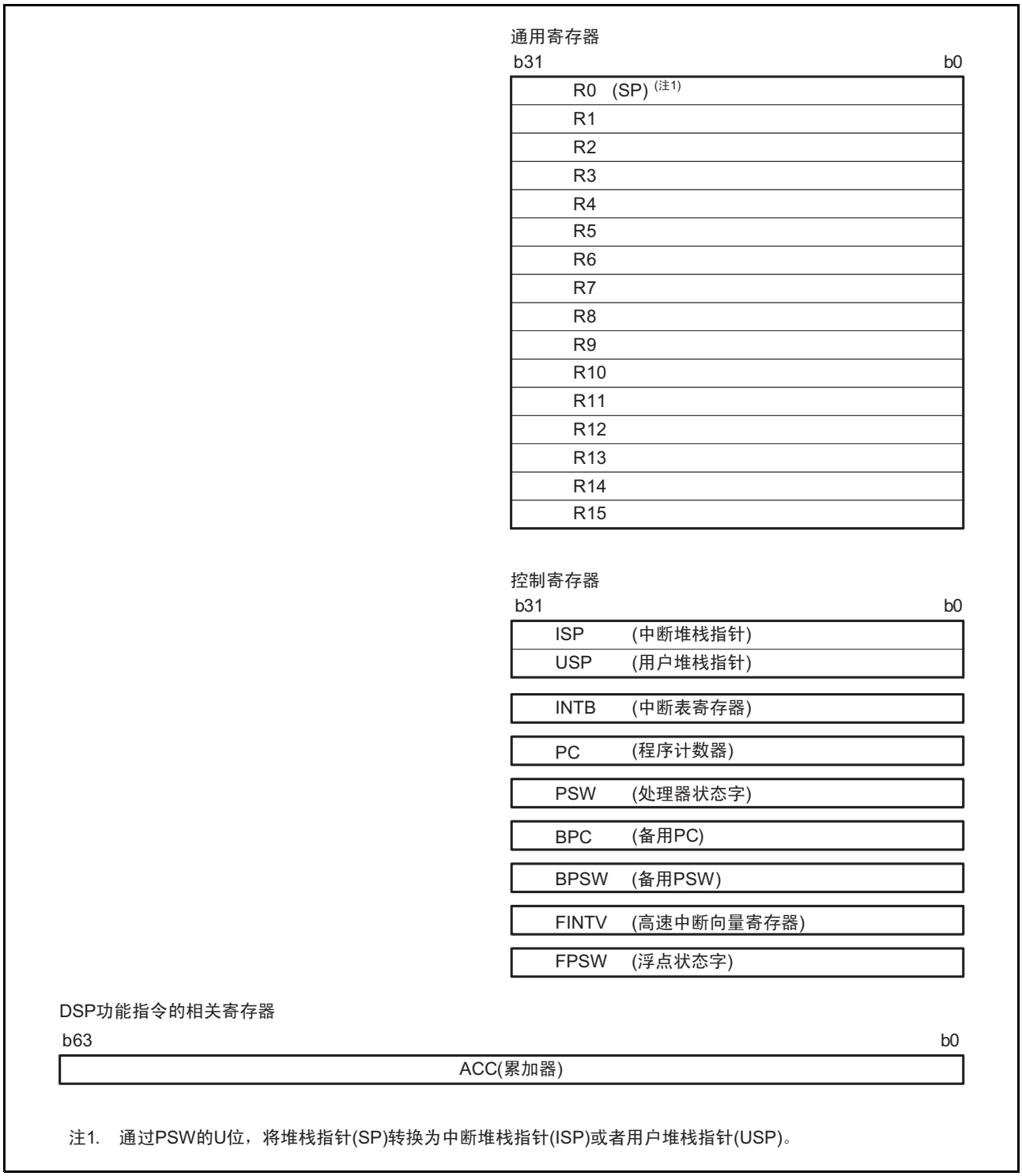


图 2.1 CPU 寄存器组

2.2.1 通用寄存器 （R0 ～ R15）

通用寄存器有 16 个 （R0 ～ R15），用作数据寄存器和地址寄存器。

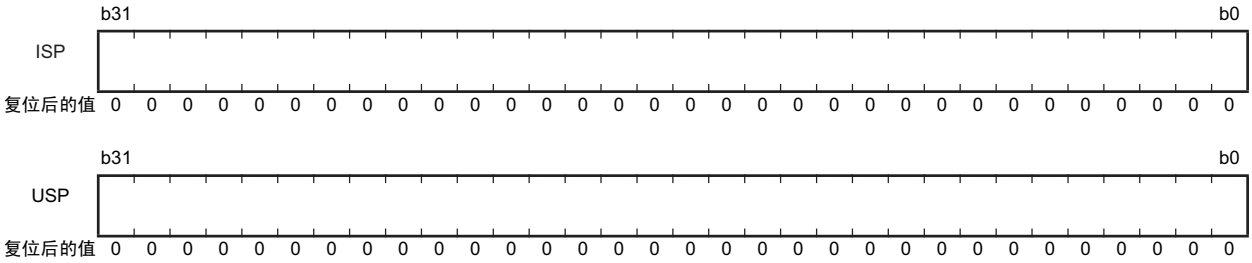
通用寄存器 R0 除了具有通用寄存器的功能以外，还有堆栈指针 （SP）的功能。通过处理器状态字 （PSW）的堆栈指针指定位 （U），将 SP 转换为中断堆栈指针 （ISP）或者用户堆栈指针 （USP）。

2.2.2 控制寄存器

控制寄存器有以下 9 个：

- 中断堆栈指针 （ISP）
- 用户堆栈指针 （USP）
- 中断表寄存器 （INTB）
- 程序计数器 （PC）
- 处理器状态字 （PSW）
- 备用PC （BPC）
- 备用PSW （BPSW）
- 高速中断向量寄存器 （FINTV）
- 浮点状态字 （FPSW）

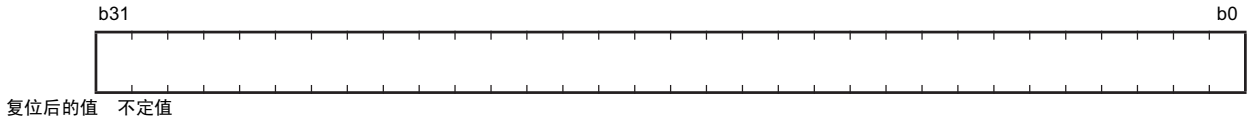
2.2.2.1 中断堆栈指针 （ISP） / 用户堆栈指针 （USP）



堆栈指针 （SP）有中断堆栈指针 （ISP）和用户堆栈指针 （USP）两种，通过处理器状态字 （PSW）的堆栈指针指定位 （U）转换要使用的堆栈指针 （ISP/USP）。

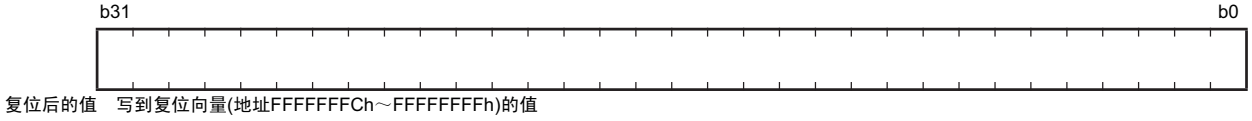
如果给 ISP 和 USP 设定 4 的倍数，带有堆栈操作的指令和中断响应顺序的周期数就会变短。

2.2.2.2 中断表寄存器 （INTB）



必须给中断表寄存器 （INTB）设定可变向量表的起始地址。

2.2.2.3 程序计数器 （PC）



程序计数器 （PC）表示正在执行的指令的地址。

2.2.2.4 处理器状态字 （PSW）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	C	进位标志	0：未发生进位 1：发生进位	R/W
b1	Z	零标志	0：运算结果不为 “0” 1：运算结果为 “0”	R/W
b2	S	符号标志	0：运算结果为正数或者 “0” 1：运算结果为负数	R/W
b3	O	上溢标志	0：未发生上溢 1：发生上溢	R/W
b15-b4	—	保留位	读写值都为 “0”。	R/W
b16	I （注 1）	中断允许位	0：禁止中断 1：允许中断	R/W
b17	U （注 1）	堆栈指针指定位	0：指定中断堆栈指针 （ISP） 1：指定用户堆栈指针 （USP）	R/W
b19-b18	—	保留位	读写值都为 “0”。	R/W
b20	PM （注1、注2、注3）	处理器模式设定位	0：设定为管理模式 1：设定为用户模式	R/W
b23-b21	—	保留位	读写值都为 “0”。	R/W
b27-b24	IPL[3:0] （注 1）	处理器中断优先级	b27 b24 0 0 0 0：0 级 （最低） 0 0 0 1：1 级 0 0 1 0：2 级 0 0 1 1：3 级 0 1 0 0：4 级 0 1 0 1：5 级 0 1 1 0：6 级 0 1 1 1：7 级 1 0 0 0：8 级 1 0 0 1：9 级 1 0 1 0：10 级 1 0 1 1：11 级 1 1 0 0：12 级 1 1 0 1：13 级 1 1 1 0：14 级 1 1 1 1：15 级 （最高）	R/W
b31-b28	—	保留位	读写值都为 “0”。	R/W

注 1. 当设定为用户模式时，忽视用 MVTC 指令和 POPC 指令对 IPL[3:0] 位、PM 位、U 位和 I 位的写操作。另外，当用 MVTIPL 指令写 IPL[3:0] 位时，发生特权指令异常。

注 2. 当设定为管理模式时，忽视用 MVTC 指令和 POPC 指令对 PM 位的写操作，但是能写除 PM 位以外的其他位。

注 3. 要从管理模式转换为用户模式时，必须在将被压栈的 PSW.PM 位置 “1” 后执行 RTE 指令、或者在将 BPSW.PM 位置 “1” 后执行 RTFI 指令。

处理器状态字 （PSW）表示指令的执行结果和 CPU 的状态。

C 标志 （进位标志）
表示运算结果发生进位、借位或者移出。

Z 标志 （零标志）
表示运算结果为 “0”。

S 标志 （符号标志）
表示运算结果为负数。

O 标志 （上溢标志）
表示运算中发生上溢。

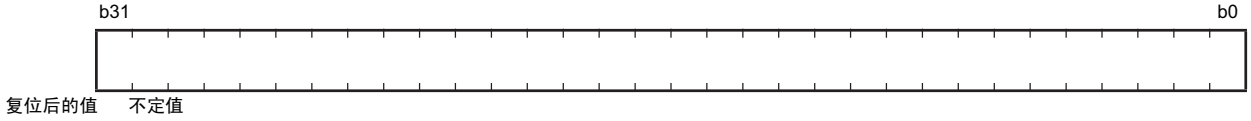
I 位 （中断允许位）
此位是允许接受中断请求的位。如果接受异常处理，此位就变为 “0”。

U 位 （堆栈指针指定位）
此位是指定要使用的堆栈指针 （ISP/USP）的位。如果接受异常处理，此位就变为 “0”。如果从管理模式转移到用户模式，此位就变为 “1”。

PM 位 （处理器模式设定位）
此位是设定处理器模式的位。如果接受异常处理，此位就变为 “0”。

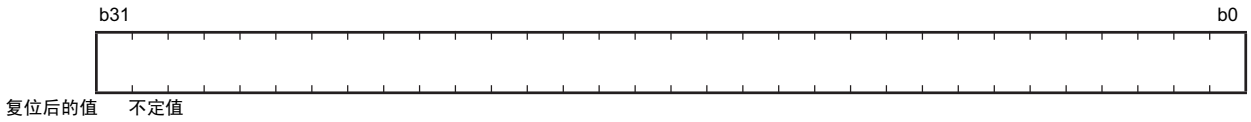
IPL[3:0] 位 （处理器中断优先级）
IPL[3:0] 位指定 0 级 （最低）～ 15 级 （最高）的 16 个处理器中断优先级。如果发生请求的中断的优先级高于处理器中断优先级，就允许该中断。在将 IPL[3:0] 位设定为 “15 级”（Fh）时，禁止全部的中断。如果发生非屏蔽中断， IPL[3:0] 位就变为 “15 级”（Fh）。如果发生中断，这些位就为接受中断的优先级。

2.2.2.5 备用 PC （BPC）



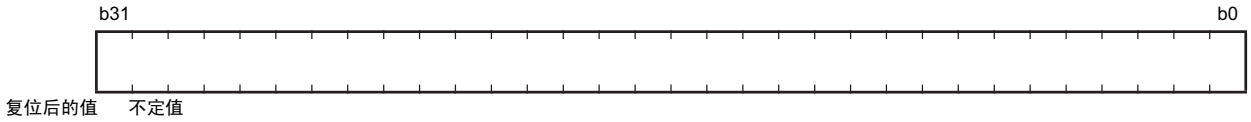
备用 PC （BPC）是为实现中断响应高速化而设计的寄存器。如果发生高速中断，就将程序计数器 （PC）的内容保存到 BPC。

2.2.2.6 备用 PSW （BPSW）



备用 PSW （BPSW）是为实现中断响应高速化而设计的寄存器。
如果发生高速中断，就将处理器状态字 （PSW）的内容保存到 BPSW。 BPSW 的位配置与 PSW 对应。

2.2.2.7 高速中断向量寄存器 （FINTV）



高速中断向量寄存器 （FINTV）是为实现中断响应高速化而设计的寄存器。必须设定发生高速中断时的转移目标地址。

2.2.2.8 浮点状态字 （FPSW）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
复位后的值	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	RM[1:0]	浮点舍入模式设定位	b1 b0 0 0：向最接近的值舍入 0 1：向 0 方向舍入 1 0：向 +∞ 方向舍入 1 1：向 –∞ 方向舍入	R/W
b2	CV	无效运算源标志	0：未发生无效运算 1：发生无效运算	R/(W) （注 1）
b3	CO	上溢源标志	0：未发生上溢 1：发生上溢	R/(W) （注 1）
b4	CZ	被零除源标志	0：未发生被零除 1：发生被零除	R/(W) （注 1）
b5	CU	下溢源标志	0：未发生下溢 1：发生下溢	R/(W) （注 1）
b6	CX	精度异常源标志	0：未发生精度异常 1：发生精度异常	R/(W) （注 1）
b7	CE	非安装处理源标志	0：未发生非安装处理 1：发生非安装处理	R/(W) （注 1）
b8	DN	非规格化数的 0 刷新位	0：将非规格化数作为非规格化数处理 1：将非规格化数作为 0 处理（注 2）	R/W
b9	—	保留位	读写值都为 “0”。	R/W
b10	EV	无效运算异常处理允许位	0：禁止无效运算引起的异常处理 1：允许无效运算引起的异常处理	R/W
b11	EO	上溢异常处理允许位	0：禁止上溢引起的异常处理 1：允许上溢引起的异常处理	R/W
b12	EZ	被零除异常处理允许位	0：禁止被零除引起的异常处理 1：允许被零除引起的异常处理	R/W

位	符号	位名	功能	R/W
b13	EU	下溢异常处理允许位	0：禁止下溢引起的异常处理 1：允许下溢引起的异常处理	R/W
b14	EX	精度异常处理允许位	0：禁止精度异常引起的异常处理 1：允许精度异常引起的异常处理	R/W
b25-b15	—	保留位	读写值都为 “0”。	R/W
b26	FV（注 3）	无效运算标志	0：未发生无效运算 1：发生无效运算（注 8）	R/W
b27	FO（注 4）	上溢标志	0：未发生上溢 1：发生上溢（注 8）	R/W
b28	FZ（注 5）	被零除标志	0：未发生被零除 1：发生被零除（注 8）	R/W
b29	FU（注 6）	下溢标志	0：未发生下溢 1：发生下溢（注 8）	R/W
b30	FX（注 7）	精度异常标志	0：未发生精度异常 1：发生精度异常（注 8）	R/W
b31	FS	浮点错误概要标志	反映 FU、 FZ、 FO、 FV 标志的逻辑或。	R

注 1. 如果写 “0”，此位就变为 “0”。如果写 “1”，就保持原来的值。

注 2. 正的非规格化数作为 +0 处理，负的非规格化数作为 –0 处理。

注 3. 当 EV 位为 “0” 时， FV 标志有效。

注 4. 当 EO 位为 “0” 时， FO 标志有效。

注 5. 当 EZ 位为 “0” 时， FZ 标志有效。

注 6. 当 EU 位为 “0” 时， FU 标志有效。

注 7. 当 EX 位为 “0” 时， FX 标志有效。

注 8. 一旦该位变为 “1”，就在通过软件置 “0” 前一直保持 “1”。

浮点状态字 （FPSW）表示浮点运算结果。

如果通过异常处理允许位 Ej 允许异常处理 （Ej=1），就能通过异常处理程序检查对应的 Cj 标志，判断异常的发生源。如果禁止异常处理（Ej=0），就能在一连串处理的最后检查 Fj 标志，确认是否发生异常。 Fj 标志是累积型标志 （j=X、 U、 Z、 O、 V）。

RM[1:0] 位 （浮点舍入模式设定位）

这些位是设定浮点舍入模式的位。

【浮点舍入模式的说明】

- 向最接近的值舍入 （默认） ： 向接近以无限有效位数进行计算时的结果的值舍入。
  如果为中间值，就向结果为偶数的方向舍入。
- 向0方向舍入 ： 向结果的绝对值变小的方向舍入 （单纯的舍去）。
- 向+∞方向舍入 ： 向结果值变大的方向舍入。
- 向–∞方向舍入 ： 向结果值变小的方向舍入。

1. “向最接近的值舍入” 是默认模式，返回最正确的值。
2. “向0方向舍入”、“向+∞方向舍入”、“向–∞方向舍入” 用于保证使用了区间运算（Interval arithmetic）的精度。

CV 标志 （无效运算源标志）、 CO 标志 （上溢源标志）
CZ 标志 （被零除源标志）、 CU 标志 （下溢源标志）
CX 标志 （精度异常源标志）、 CE 标志 （非安装处理源标志）

如果发生 IEEE754 规格规定的 5 种异常 （上溢、下溢、精度异常、被零除、无效运算）和非安装处理，对应的标志就变为 “1”。

- 在对应的标志为 “1” 的情况下执行FPU运算指令时，该标志就变为 “0”。
- 如果使用MVTC指令和POPC指令给对应的标志写 “0”，该标志就变为 “0”；如果写 “1”，就保持原来的值。

DN 位 （非规格化数的 0 刷新位）

当此位为 “0” 时，将非规格化数作为非规格化数处理；当此位为 “1” 时，将非规格化数作为 0 处理。

EV 位 （无效运算异常处理允许位）、 EO 位 （上溢异常处理允许位）
EZ 位 （被零除异常处理允许位）、 EU 位 （下溢异常处理允许位）
EX 位 （精度异常处理允许位）

在因执行浮点运算指令而发生了 IEEE754 规格规定的 5 种异常时，控制 CPU 是否转移到异常处理。

如果此位为 “0”，就禁止异常处理；如果为 “1”，就允许异常处理。

FV 标志 （无效运算标志）、 FO 标志 （上溢标志）、 FZ 标志 （被零除标志）
FU 标志 （下溢标志）、 FX 标志 （精度异常标志）

在异常处理允许位 Ej 为 “0”（禁止异常处理）时，如果发生 IEEE754 规格规定的 5 种异常，对应的标志就变为 “1”。

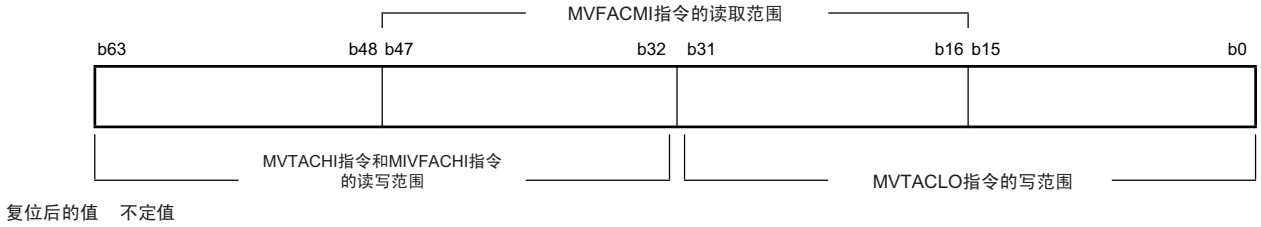
- 当Ej为 “1”（允许异常处理）时，此标志不变。
- 如果该标志变为 “1”，就在通过软件置 “0” 前一直保持 “1”（累积标志）。

FS 标志 （浮点错误概要标志）

此标志反映 FU、 FZ、 FO、 FV 标志的逻辑或。

2.2.3 DSP 功能指令的相关寄存器

2.2.3.1 累加器 （ACC）



累加器（ACC）是 64 位寄存器，用于 DSP 功能指令，也用于乘法指令（EMUL、EMULU、FMUL、MUL）和乘加运算指令 （RMPA）。在执行这些指令时， ACC 的值被更改。

使用 MVTACHI 指令和 MVTACLO 指令写 ACC。通过 MVTACHI 指令将数据写到高 32 位（b63 ～ b32），通过 MVTACLO 指令将数据写到低 32 位 （b31 ～ b0）。

使用 MVFACHI 指令和 MVFACMI 指令读 ACC。通过 MVFACHI 指令读高 32 位 （b63 ～ b32）的数据，通过 MVFACMI 指令读中间 32 位 （b47 ～ b16）的数据。

2.3 处理器模式

RX CPU 有管理模式和用户模式两种处理器模式。能通过使用处理器模式，实现对 CPU 资源的阶层保护结构。

各处理器模式对能执行的指令以及能存取的 CPU 资源规定了权限，管理模式的权限高于用户模式。

复位后，以管理模式运行。

2.3.1 管理模式

在管理模式中，能存取全部的 CPU 资源，还能执行全部的指令。但是，忽视通过 MVTC 指令和 POPC 指令写处理器状态字（PSW）的处理器模式设定位（PM）。有关写 PM 位的方法，请参照“2.2.2.4 处理器状态字（PSW）”。

2.3.2 用户模式

在用户模式中，限制部分CPU资源的写存取。被限制写存取的CPU资源如下，限制对象为全部指令的存取。

- 处理器状态字（PSW）的部分位（IPL[3:0]、PM、U、I）
- 中断堆栈指针（ISP）
- 中断表寄存器（INTB）
- 备用PSW（BPSW）
- 备用PC（BPC）
- 高速中断向量寄存器（FINTV）

2.3.3 特权指令

特权指令是只能在管理模式中执行的指令。如果在用户模式中执行特权指令，就会发生特权指令异常。特权指令有 RTFI、MVTIPL、RTE、WAIT 指令。

2.3.4 处理器模式之间的转移

通过处理器状态字（PSW）的处理器模式设定位（PM）转换处理器模式。但是，通过 MVTC 指令和 POPC 指令对 PM 位的改写无效。必须通过以下所示的方法进行转换。

(1) 用户模式向管理模式的转移

如果发生异常，PSW.PM 位就变为“0”，CPU 转移到管理模式。在管理模式中执行硬件的预处理。被保存的 PSW.PM 位保持发生异常前的处理器模式。

(2) 管理模式向用户模式的转移

通过在将压栈的 PSW.PM 位置“1”后执行 RTE 指令，或者在将保存到备用 PSW（BPSW）中的 PSW.PM 位置“1”后执行 RTFI 指令，向用户模式转移。一旦转移到用户模式，PSW 的堆栈指针指定位（U）就变为“1”。

2.4 数据类型

RX CPU 能处理整数、浮点数、位、字符串共 4 种数据。

2.4.1 整数

整数有带符号整数和不带符号整数，带符号整数的负值用 2 的补码表现。

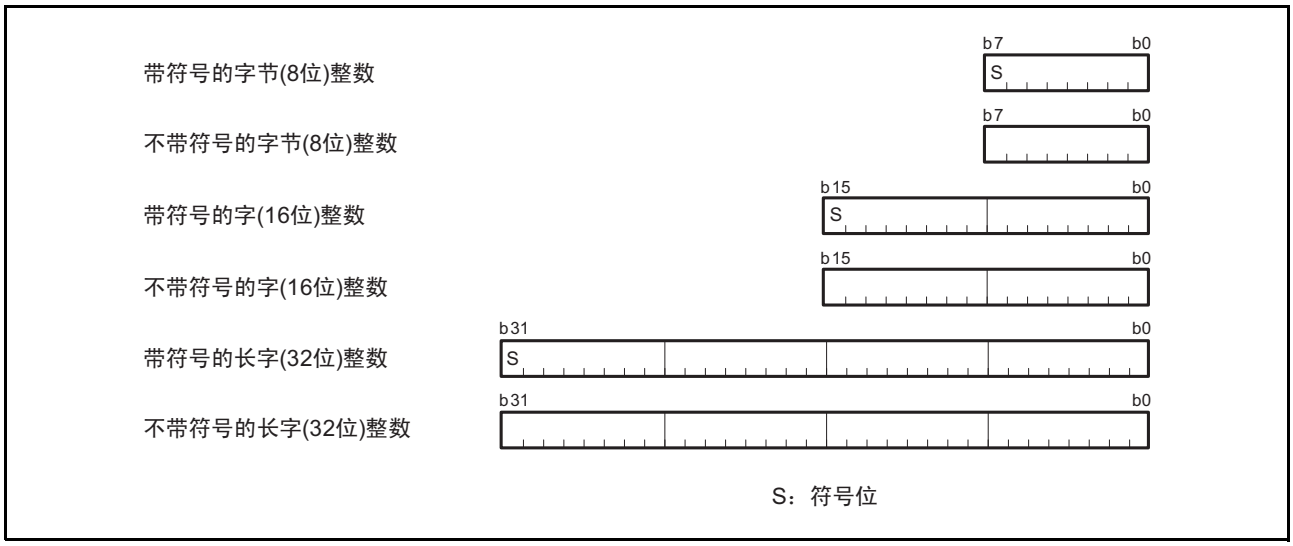


图 2.2 整数

2.4.2 浮点数

浮点数符合 IEEE754 规定的单精度浮点数。浮点数能用于浮点运算指令 FADD、 FCMP、 FDIV、 FMUL、 FSUB、 FTOI、 ITOF 和 ROUND 共 8 种指令。

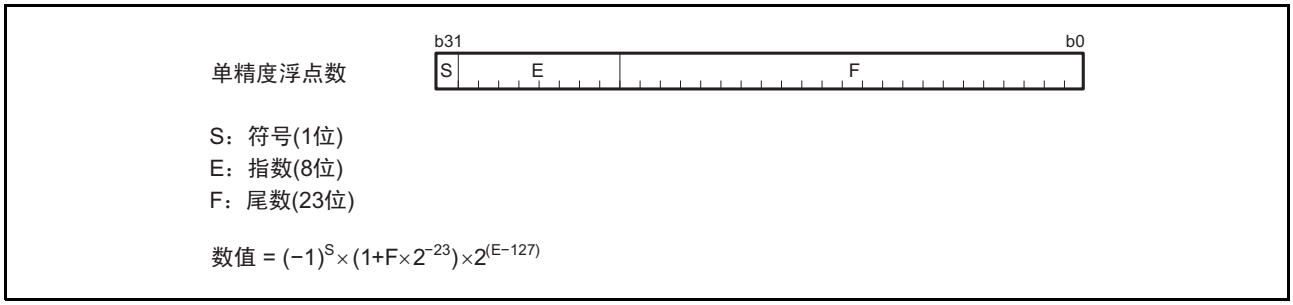


图 2.3 浮点数

浮点数支持以下数值：

- 0<E<255 （规格化数-Normal Numbers）
- E=0 并且 F=0 （零-Signed Zero）
- E=0 并且 F>0 （非规格化数-Subnormal Numbers）（注1）
- E=255 并且 F=0 （无穷大-Infinity）
- E=255 并且 F>0 （非数值-NaN：Not a Number）

注 1. 当 FPSW.DN 位为 “1” 时，作为 0 处理；当 DN 位为 “0” 时，发生非安装处理。

2.4.3 位

位用于位操作指令 BCLR、 BM*Cnd*、 BNOT、 BSET 和 BTST 共 5 种指令。

通过对象寄存器和 31 ～ 0 的位号指定寄存器的位。

通过对象地址和 7 ～ 0 的位号指定存储器的位。能用于地址指定的寻址方式有寄存器间接和寄存器相对两种。

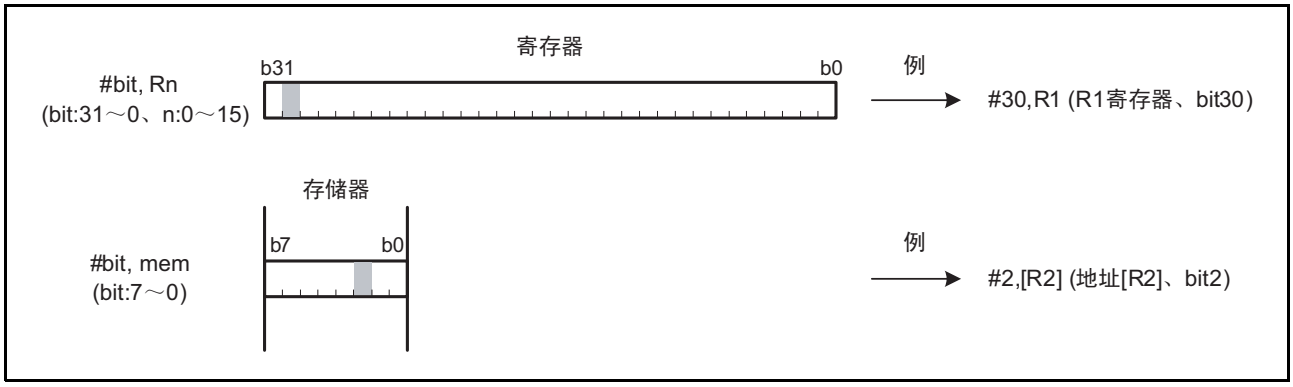


图 2.4 位

2.4.4 字符串

字符串是指只连续排列任意个数的字节 （8 位）、字 （16 位）或者长字 （32 位）数据的数据类型。字符串能用于字符串操作指令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL 和 SWHILE 共 7 种指令。

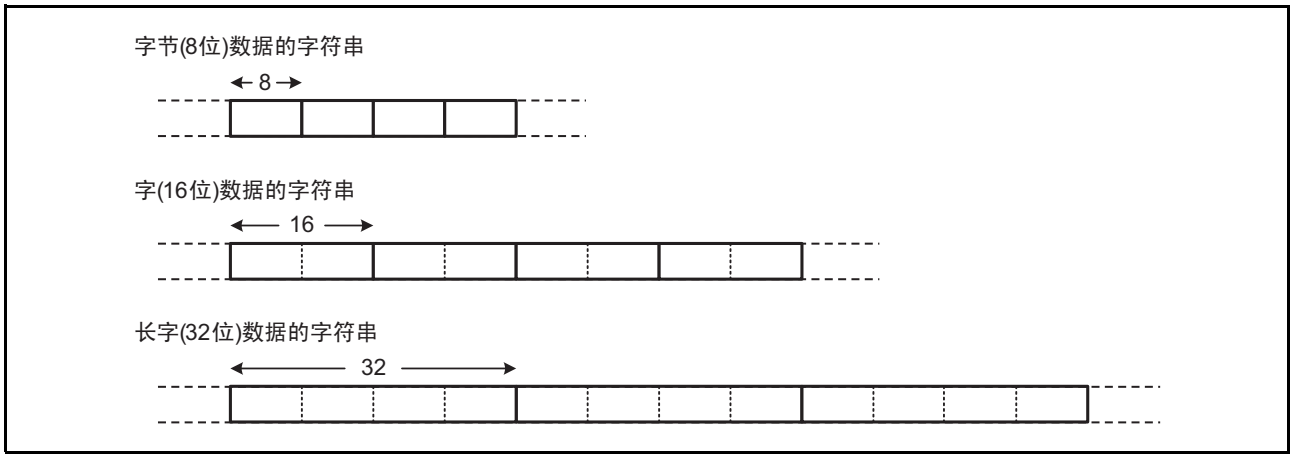


图 2.5 字符串

2.5 字节序

RX CPU 的指令固定为小端法。

数据排列能选择小端法或者大端法。

2.5.1 字节序的设定

在 RX630 群中，能使用高位字节 （MSB）为地址 0 的大端法和低位字节 （LSB）为地址 0 的小端法两种字节数据的排列方法。

有关字节序的设定，请参照 “3. 运行模式”。

使用指令选择 8 位、16 位或者 32 位的存取，并且存取因小端法或者大端法的设定而不同，各存取如表 2.1 ～表 2.12 所示。

表中的

LL 表示通用寄存器的 D7 ～ D0；

LH 表示通用寄存器的 D15 ～ D8；

HL 表示通用寄存器的 D23 ～ D16；

HH 表示通用寄存器的 D31 ～ D24。

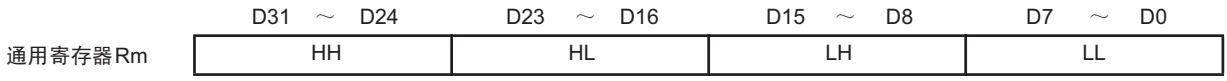


表 2.1 设定为小端法时的 32 位读操作

操作 / 地址 src	用 32 位读地址 0	用 32 位读地址 1	用 32 位读地址 2	用 32 位读地址 3	用 32 位读地址 4
地址 0	传送到 LL	—	—	—	—
地址 1	传送到 LH	传送到 LL	—	—	—
地址 2	传送到 HL	传送到 LH	传送到 LL	—	—
地址 3	传送到 HH	传送到 HL	传送到 LH	传送到 LL	—
地址 4	—	传送到 HH	传送到 HL	传送到 LH	传送到 LL
地址 5	—	—	传送到 HH	传送到 HL	传送到 LH
地址 6	—	—	—	传送到 HH	传送到 HL
地址 7	—	—	—	—	传送到 HH

表 2.2 设定为大端法时的 32 位读操作

操作 / 地址 src	用 32 位读地址 0	用 32 位读地址 1	用 32 位读地址 2	用 32 位读地址 3	用 32 位读地址 4
地址 0	传送到 HH	—	—	—	—
地址 1	传送到 HL	传送到 HH	—	—	—
地址 2	传送到 LH	传送到 HL	传送到 HH	—	—
地址 3	传送到 LL	传送到 LH	传送到 HL	传送到 HH	—
地址 4	—	传送到 LL	传送到 LH	传送到 HL	传送到 HH
地址 5	—	—	传送到 LL	传送到 LH	传送到 HL
地址 6	—	—	—	传送到 LL	传送到 LH
地址 7	—	—	—	—	传送到 LL

表 2.3 设定为小端法时的 32 位写操作

操作 / 地址 dest	用 32 位写地址 0	用 32 位写地址 1	用 32 位写地址 2	用 32 位写地址 3	用 32 位写地址 4
地址 0	传送 LL	—	—	—	—
地址 1	传送 LH	传送 LL	—	—	—
地址 2	传送 HL	传送 LH	传送 LL	—	—
地址 3	传送 HH	传送 HL	传送 LH	传送 LL	—
地址 4	—	传送 HH	传送 HL	传送 LH	传送 LL
地址 5	—	—	传送 HH	传送 HL	传送 LH
地址 6	—	—	—	传送 HH	传送 HL
地址 7	—	—	—	—	传送 HH

表 2.4 设定为大端法时的 32 位写操作

操作 / 地址 dest	用 32 位写地址 0	用 32 位写地址 1	用 32 位写地址 2	用 32 位写地址 3	用 32 位写地址 4
地址 0	传送 HH	—	—	—	—
地址 1	传送 HL	传送 HH	—	—	—
地址 2	传送 LH	传送 HL	传送 HH	—	—
地址 3	传送 LL	传送 LH	传送 HL	传送 HH	—
地址 4	—	传送 LL	传送 LH	传送 HL	传送 HH
地址 5	—	—	传送 LL	传送 LH	传送 HL
地址 6	—	—	—	传送 LL	传送 LH
地址 7	—	—	—	—	传送 LL

表 2.5 设定为小端法时的 16 位读操作

操作 / 地址 src	用 16 位读地址 0	用 16 位读地址 1	用 16 位读地址 2	用 16 位读地址 3	用 16 位读地址 4	用 16 位读地址 5	用 16 位读地址 6
地址 0	传送到 LL	—	—	—	—	—	—
地址 1	传送到 LH	传送到 LL	—	—	—	—	—
地址 2	—	传送到 LH	传送到 LL	—	—	—	—
地址 3	—	—	传送到 LH	传送到 LL	—	—	—
地址 4	—	—	—	传送到 LH	传送到 LL	—	—
地址 5	—	—	—	—	传送到 LH	传送到 LL	—
地址 6	—	—	—	—	—	传送到 LH	传送到 LL
地址 7	—	—	—	—	—	—	传送到 LH

表 2.6 设定为大端法时的 16 位读操作

操作 / 地址 src	用 16 位 读地址 0	用 16 位 读地址 1	用 16 位 读地址 2	用 16 位 读地址 3	用 16 位 读地址 4	用 16 位 读地址 5	用 16 位 读地址 6
地址 0	传送到 LH	—	—	—	—	—	—
地址 1	传送到 LL	传送到 LH	—	—	—	—	—
地址 2	—	传送到 LL	传送到 LH	—	—	—	—
地址 3	—	—	传送到 LL	传送到 LH	—	—	—
地址 4	—	—	—	传送到 LL	传送到 LH	—	—
地址 5	—	—	—	—	传送到 LL	传送到 LH	—
地址 6	—	—	—	—	—	传送到 LL	传送到 LH
地址 7	—	—	—	—	—	—	传送到 LL

表 2.7 设定为小端法时的 16 位写操作

操作 / 地址 dest	用 16 位 写地址 0	用 16 位 写地址 1	用 16 位 写地址 2	用 16 位 写地址 3	用 16 位 写地址 4	用 16 位 写地址 5	用 16 位 写地址 6
地址 0	传送 LL	—	—	—	—	—	—
地址 1	传送 LH	传送 LL	—	—	—	—	—
地址 2	—	传送 LH	传送 LL	—	—	—	—
地址 3	—	—	传送 LH	传送 LL	—	—	—
地址 4	—	—	—	传送 LH	传送 LL	—	—
地址 5	—	—	—	—	传送 LH	传送 LL	—
地址 6	—	—	—	—	—	传送 LH	传送 LL
地址 7	—	—	—	—	—	—	传送 LH

表 2.8 设定为大端法时的 16 位写操作

操作 / 地址 dest	用 16 位 写地址 0	用 16 位 写地址 1	用 16 位 写地址 2	用 16 位 写地址 3	用 16 位 写地址 4	用 16 位 写地址 5	用 16 位 写地址 6
地址 0	传送 LH	—	—	—	—	—	—
地址 1	传送 LL	传送 LH	—	—	—	—	—
地址 2	—	传送 LL	传送 LH	—	—	—	—
地址 3	—	—	传送 LL	传送 LH	—	—	—
地址 4	—	—	—	传送 LL	传送 LH	—	—
地址 5	—	—	—	—	传送 LL	传送 LH	—
地址 6	—	—	—	—	—	传送 LL	传送 LH
地址 7	—	—	—	—	—	—	传送 LL

表 2.9 设定为小端法时的 8 位读操作

操作 / 地址 src	用 8 位读地址 0	用 8 位读地址 1	用 8 位读地址 2	用 8 位读地址 3
地址 0	传送到 LL	—	—	—
地址 1	—	传送到 LL	—	—
地址 2	—	—	传送到 LL	—
地址 3	—	—	—	传送到 LL

表 2.10 设定为大端法时的 8 位读操作

操作 / 地址 src	用 8 位读地址 0	用 8 位读地址 1	用 8 位读地址 2	用 8 位读地址 3
地址 0	传送到 LL	—	—	—
地址 1	—	传送到 LL	—	—
地址 2	—	—	传送到 LL	—
地址 3	—	—	—	传送到 LL

表 2.11 设定为小端法时的 8 位写操作

操作 / 地址 dest	用 8 位写地址 0	用 8 位写地址 1	用 8 位写地址 2	用 8 位写地址 3
地址 0	传送 LL	—	—	—
地址 1	—	传送 LL	—	—
地址 2	—	—	传送 LL	—
地址 3	—	—	—	传送 LL

表 2.12 设定为大端法时的 8 位写操作

操作 / 地址 dest	用 8 位写地址 0	用 8 位写地址 1	用 8 位写地址 2	用 8 位写地址 3
地址 0	传送 LL	—	—	—
地址 1	—	传送 LL	—	—
地址 2	—	—	传送 LL	—
地址 3	—	—	—	传送 LL

2.5.2 I/O 寄存器的存取

I/O 寄存器分配在固定地址，与设定的大端法或者小端法无关。因此，I/O 寄存器的存取不受字节序变更的影响。有关 I/O 寄存器的分配，请参照各章的寄存器说明。

2.5.3 存取 I/O 寄存器时的注意事项

必须按照以下规则存取 I/O 寄存器：

- 在存取 8 位总线宽度的 I/O 寄存器时，必须使用长度说明符 （.size）为 “.B” 的指令或者长度扩展说明符 （.memex）为 “.B” 或者 “.UB” 的指令。
- 在存取 16 位总线宽度的 I/O 寄存器时，必须使用长度说明符 （.size）为 “.W” 的指令或者长度扩展说明符 （.memex）为 “.W” 或者 “.UW” 的指令。
- 在存取 32 位总线宽度的 I/O 寄存器时，必须使用长度说明符 （.size）为 “.L” 的指令或者长度扩展说明符 （.memex）为 “.L” 的指令。

2.5.4 数据排列

2.5.4.1 寄存器的数据排列

寄存器的数据长度和位号的关系如图 2.6 所示。

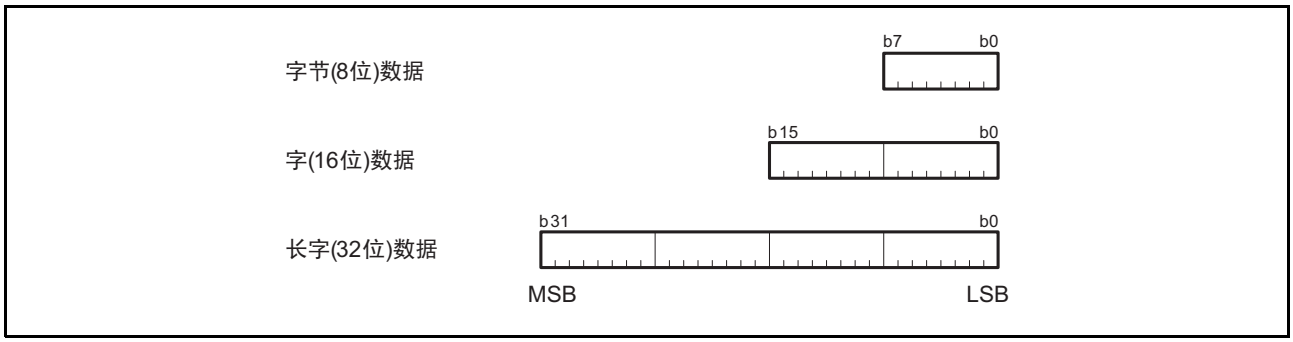


图 2.6 寄存器的数据排列

2.5.4.2 存储器的数据排列

存储器的数据长度有字节 （8 位）、字 （16 位）和长字 （32 位）共 3 种，能选择小端法或者大端法的数据排列方式。存储器的数据排列如图 2.7 所示。

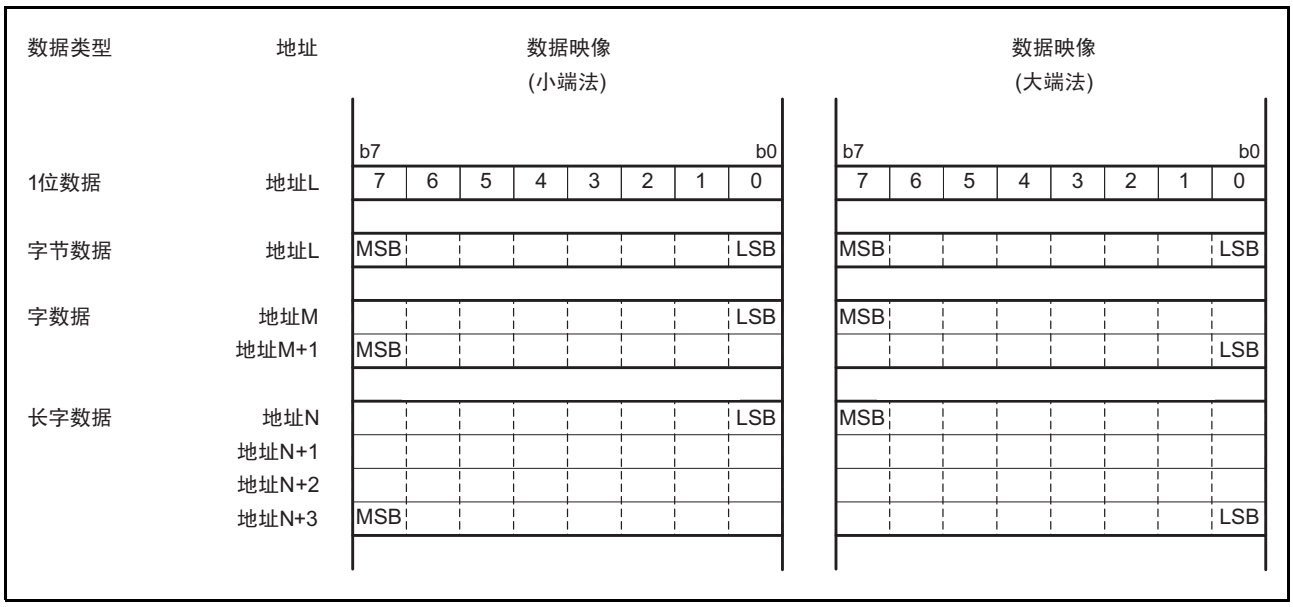


图 2.7 存储器的数据排列

2.5.5 指令码的分配注意事项

不能将指令码分配到设定了不同于芯片字节序的外部空间区域。要将指令码分配到外部空间时，必须将指令码分配到设定了和芯片字节序相同字节序的区域。

2.6 向量表

向量表有固定向量表和可变向量表。向量表的 1 个向量由 4 字节构成，各向量设有对应的异常处理程序的起始地址。

2.6.1 固定向量表

固定向量表是表的分配地址被固定的向量表。特权指令异常、未定义指令异常、浮点异常、非屏蔽中断、复位的各向量分配在地址 FFFFFF80h ～ FFFFFFFFh。固定向量表如图 2.8 所示。

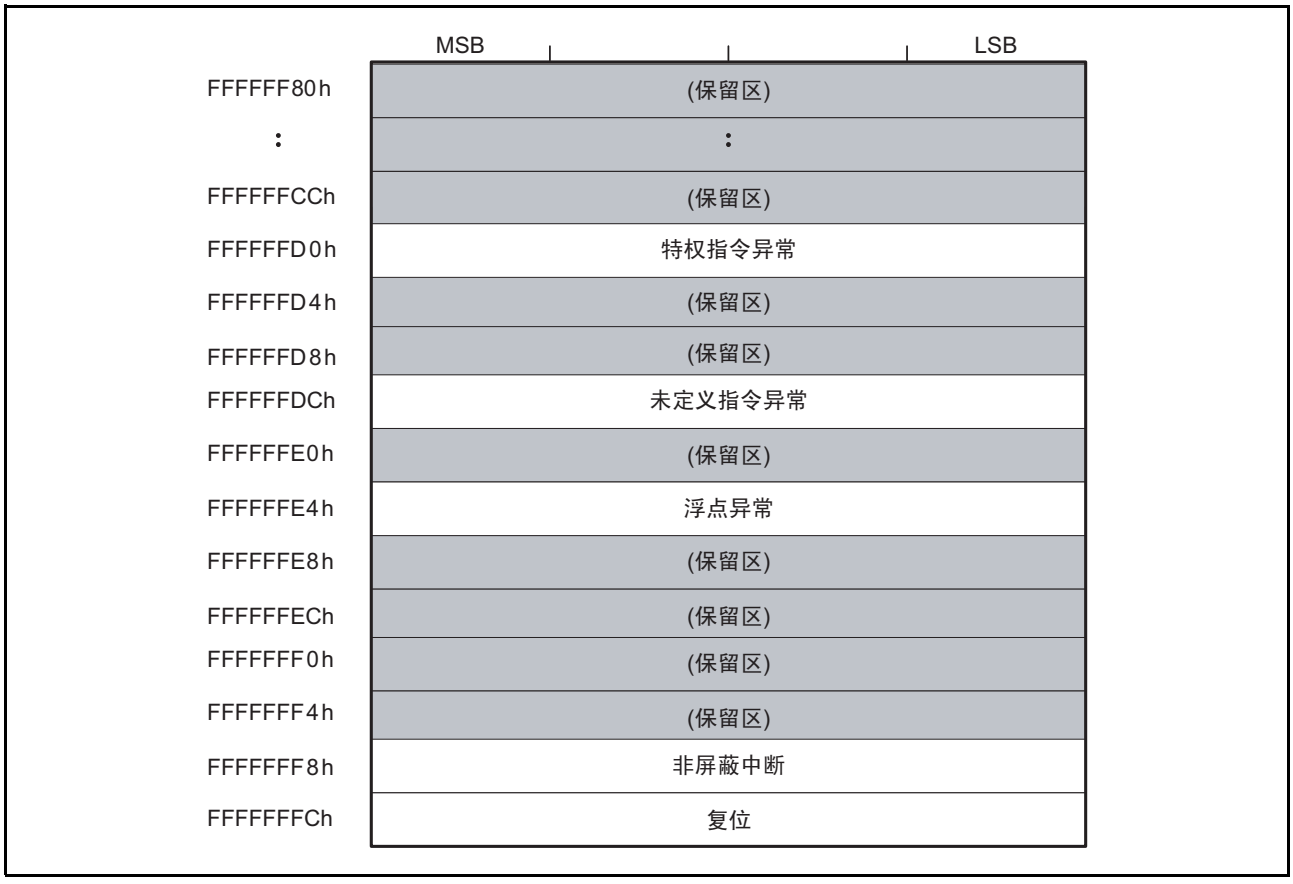


图 2.8 固定向量表

2.6.2 可变向量表

可变向量表是能改变表的分配地址的向量表。无条件陷阱和中断的各向量分配在以中断表寄存器（INTB）的内容所示的值为起始地址（IntBase）的 1024 字节的区域。可变向量表如图 2.9 所示。

可变向量表中的每个向量带有序号（0 ～ 255）。无条件陷阱发生源的 INT 指令分配在与操作数指定的序号（0 ～ 255）对应的向量，而 BRK 指令分配在序号 0 的向量。另外，中断源在分配在各产品规定的向量号（0 ～ 255）。有关中断的向量号，请参照 “15.3.1 中断向量表”。

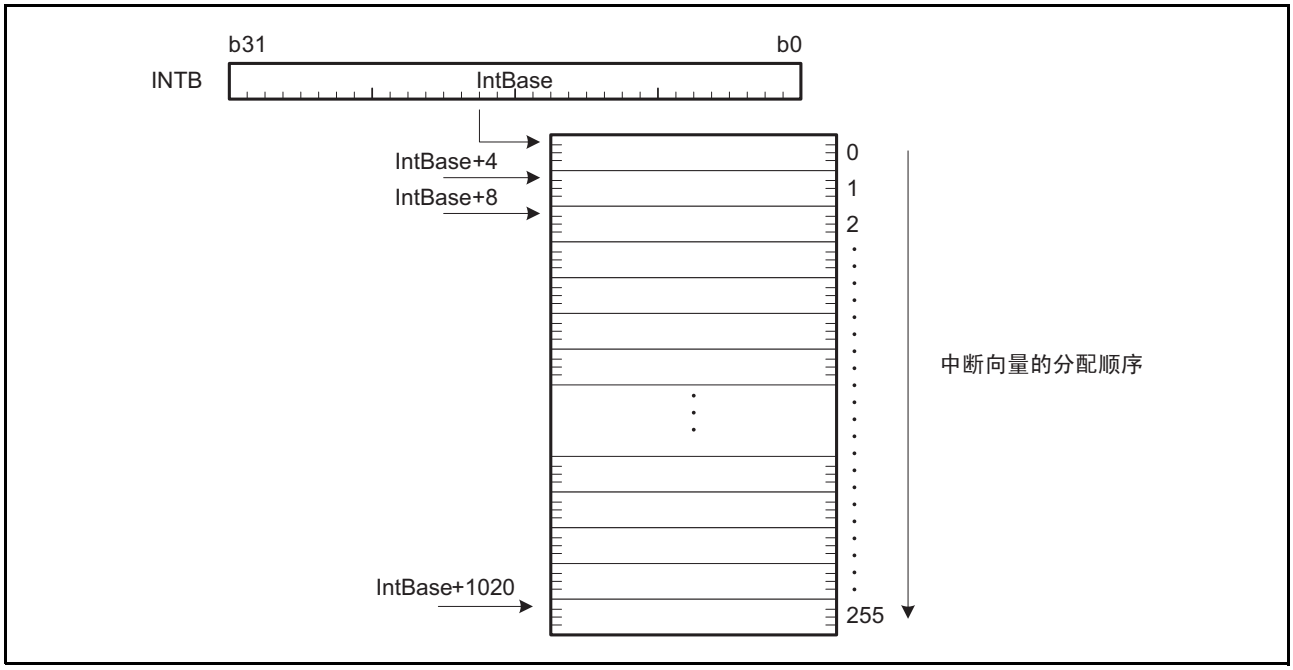


图 2.9 可变向量表

2.7 指令操作

2.7.1 RMPA 指令和字符串操作指令的数据预取

为了从存储器快速读取数据，SSTR 指令除外的字符串操作指令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE）和 RMPA 指令有可能进行数据预取。对应数据读取位置，能进行最多到该位置之后的 3 字节为止的数据预取。各指令的数据读取位置如下：

- RMPA 指令：R1 指定的被乘数地址以及 R2 指定的乘数地址
- SCMPU 指令：R1 指定的比较源地址以及 R2 指定的比较目标地址
- SUNTIL 指令和 SWHILE 指令：R1 指定的比较目标地址
- SMOVB、 SMOVF、 SMOVU 指令：R2 指定的传送源地址

2.8 流水线

2.8.1 概要

RX CPU 由 5 个阶段的流水线构成。RX CPU 的指令转换为 1 个或者多个微操作，RX CPU 对微操作进行流水线处理。流水线 IF 阶段以指令为单位进行操作， D 以后的阶段以微操作为单位进行操作。

流水线的操作和各阶段的概要如下所示：

(1) IF 阶段 （取指令阶段）

这是从存储器取指令的阶段。RX CPU 有 4 个 8 字节的指令队列，与 D（解码）阶段的解码处理结束无关，继续取指令，直到指令队列满为止。

(2) D 阶段 （解码阶段）

D 阶段进行指令的解码处理 （DEC），并且将指令转换为微操作。如果在此阶段读寄存器 （RF）并且要参照前面指令的运算结果，就进行旁路处理 （BYP）。通过旁路处理，能将运算结果写到寄存器 （RW），同时在 D 阶段参照寄存器。

(3) E 阶段 （执行阶段）

进行运算和地址计算等 （OP）。

(4) M 阶段 （存储器存取阶段）

此阶段进行操作数的存储器存取（OA1、OA2），只在存储器存取时使用此阶段。此阶段又分为 M1 和 M2 两个子阶段。 RX CPU 中 M1 阶段和 M2 阶段各有 1 个存储器存取。

- M1阶段 （存储器存取阶段1）
  此阶段进行操作数的存储器存取 （OA1）。
  存储时：一旦总线接受写请求，就结束流水线处理。
  装入时：一旦总线接受读请求，就进入 M2 阶段。如果接受请求和装入数据同时到达 （无等待的存储器存取），就进入WB阶段。
- M2阶段 （存储器存取阶段2）
  此阶段进行操作数的存储器存取 （OA2）。这是等待装入数据到达的阶段。一旦装入数据到达，就进入WB阶段。

(5) WB 阶段 （回写阶段）

将运算结果以及从存储器读取的数据写到寄存器 （RW） 。将从存储器读取的数据以及其他运算结果同时（相同周期）写到寄存器。

流水线结构及其运行如图 2.10 所示。

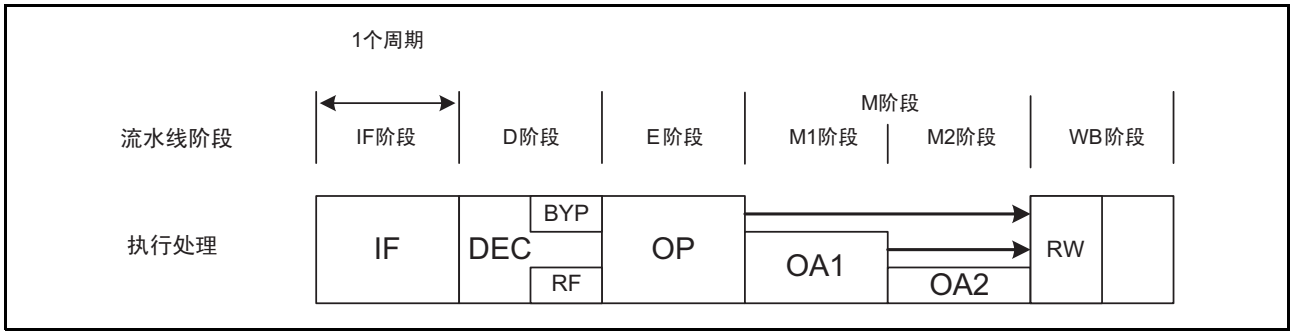


图 2.10 流水线结构及其运行

2.8.2 指令和流水线处理

表中操作数的表示法如下：

#IMM：立即数

flag：位、标志

Rs、 Rs2、 Rd、 Rd2、 Ri、 Rb：通用寄存器

CR：控制寄存器

dsp：位移量

pcdsp：位移量

2.8.2.1 转换为单个微操作的指令和流水线处理

转换为单个微操作的指令如下所示，周期数表示无等待存储器存取时的周期数。

表 2.13 转换为单个微操作的指令

指令	助记符 （当省略指令长度时，为全长度共同的操作）	参照图	周期数
算术 / 逻辑运算指令 （寄存器之间、立即数 - 寄存器） DIV、DIVU、EMUL、EMULU、RMPA 和 SATR 除外	• {ABS、NEG、NOT} "Rd"/"Rs、Rd" • {ADC、MAX、MIN、ROTL、ROTR、XOR} "#IMM、Rd"/"Rs、Rd" • ADD "#IMM、Rd"/"Rs、Rd"/"#IMM、Rs、Rd"/"Rs、Rs2、Rd" • {AND、MUL、OR、SUB} "#IMM、Rd"/"Rs、Rd"/"Rs、Rs2、Rd" • {CMP、TST} "#IMM、Rs"/"Rs、Rs2" • NOP • {ROLC、RORC、SAT} "Rd" • SBB "Rs、Rd" • {SHAR、SHLL、SHLR} "#IMM、Rd"/"Rs、Rd"/"#IMM、Rs、Rd"	图 2.11	1
算术 / 逻辑运算指令 （除法）	• DIV "#IMM、Rd"/"Rs、Rd"	图 2.11	3 ～ 20 （注 1）
	• DIVU "#IMM、Rd"/"Rs、Rd"	图 2.11	2 ～ 18 （注 1）
传送指令 （寄存器之间、立即数 - 寄存器）	• MOV "#IMM、Rd"/"Rs、Rd" • {MOVU、REVL、REVW} "Rs、Rd" • SC*Cnd* "Rd" • {STNZ、STZ} "#IMM、Rd"	图 2.11	1
传送指令 （装入）	• {MOV、MOVU} "[Rs]、Rd"/"dsp[Rs]、Rd"/"[Rs+]、Rd" /"[-Rs]、Rd"/"[Ri、Rb]、Rd" • POP "Rd"	图 2.12	吞吐量：1 等待时间：2（注 2）
传送指令 （存储）	• MOV "Rs、[Rd]"/"Rs、dsp[Rd]"/"Rs、[Rd+]" /"Rs、[-Rd]"/"Rs、[Ri、Rb]"/"#IMM、dsp[Rd]"/"#IMM、[Rd]" • PUSH "Rs" • PUSHC "CR" • SC*Cnd* "[Rd]"/"dsp[Rd]"	图 2.13	1
位操作指令 （寄存器）	• {BCLR、BNOT、BSET} "#IMM、Rd"/"Rs、Rd" • BM *Cnd* "#IMM、Rd" • BTST "#IMM、Rs"/"Rs、Rs2"	图 2.11	1
转移指令	• B*Cnd* "pcdsp" • {BRA、BSR} "pcdsp"/"Rs" • {JMP、JSR} "Rs"	图 2.22	转移成立：3 转移不成立：1
浮点运算指令 （寄存器之间、立即数 - 寄存器）	• FCMP "#IMM、Rs"/"Rs、Rs2"	图 2.11	1
系统操作指令	• CLRPSW、SETPSW "flag" • MVTC "#IMM、CR"/"Rs、CR" • MVFC "CR、Rd" • MVTIPL "#IMM"	—	1
DSP 功能指令	• {MACHI、MACLO、MULHI、MULLO} "Rs、Rs2" • {MVFACHI、MVFACMI} "Rd" • {MVTACHI、MVTACLO} "Rs" • RACW "#IMM"	图 2.11	1

注 1. 除法指令的周期数因除数和被除数的值而不同。

注 2. 有关吞吐量以及表示等待时间的周期数，请参照 “2.8.3 指令处理时间的计算方法”。

转换为基本的单个微操作的指令操作如图 2.11 ～图 2.13 所示。

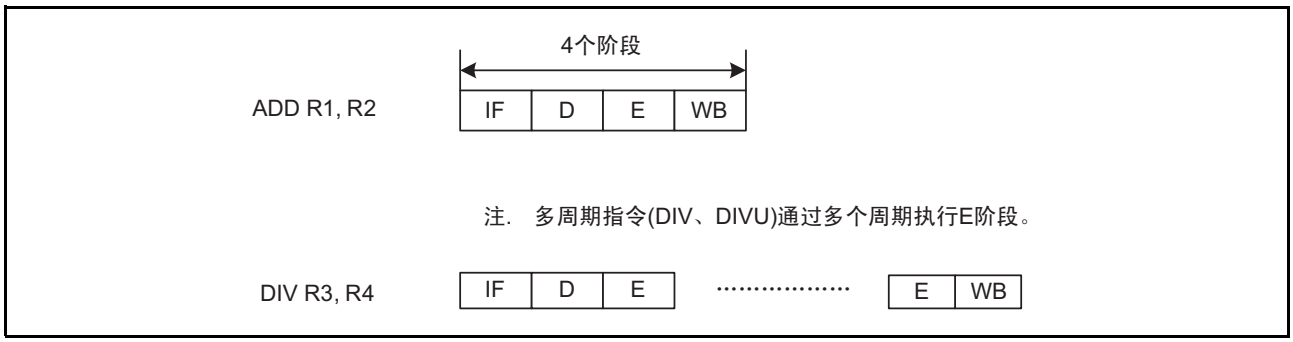


图 2.11 寄存器之间、立即数 - 寄存器的运算

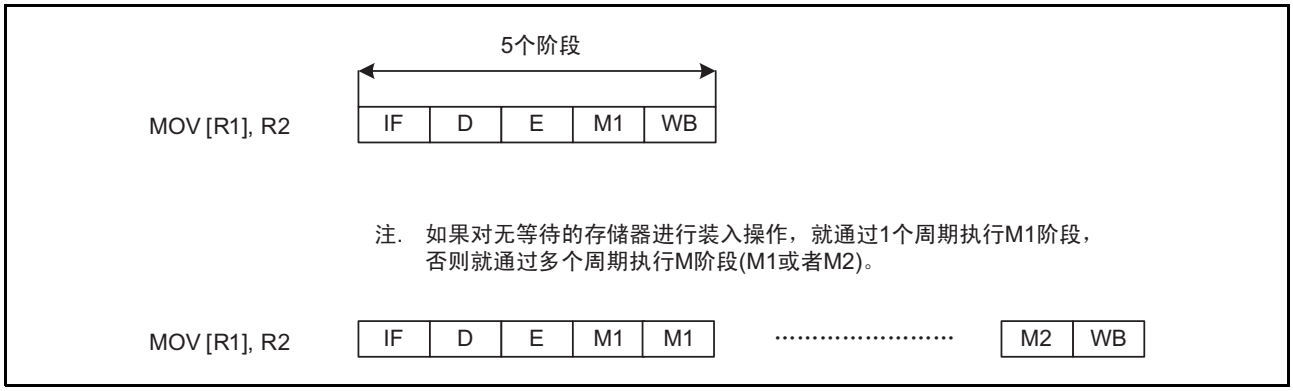


图 2.12 装入操作

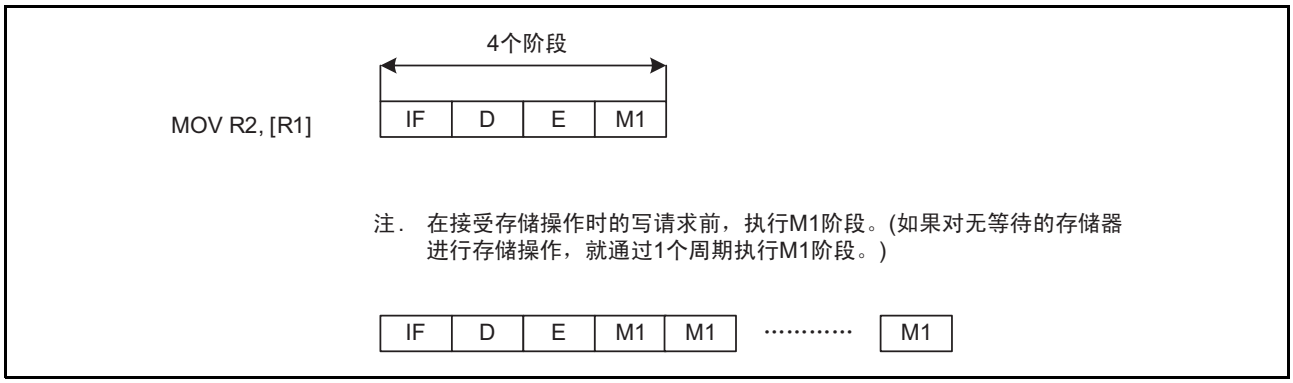


图 2.13 存储操作

2.8.2.2 转换为多个微操作的指令和流水线处理

转换为多个微操作的指令如下所示，周期数表示无等待存储器存取时的周期数。

表 2.14 转换为多个微操作的指令 (1/2)

指令	助记符 （当省略指令长度时，为全长度共同的操作）	参照图	周期数
算术 / 逻辑运算指令 （存储器源操作数）	• {ADC、ADD、AND、MAX、MIN、MUL、OR、SBB、SUB、XOR} "[Rs]、Rd"/"dsp[Rs]、Rd" • {CMP、TST} "[Rs]、Rs2"/"dsp[Rs]、Rs2"	图 2.14	3
算术 / 逻辑运算指令 （除法）	• DIV "[Rs]、 Rd / dsp[Rs]、 Rd"	—	5 ～ 22
	• DIVU "[Rs]、 Rd / dsp[Rs]、 Rd"	—	4 ～ 20
算术 / 逻辑运算指令 （乘法 32bit×32bit→64bit） （寄存器之间、寄存器 - 立即数）	• {EMUL、EMULU} "#IMM、Rd"/"Rs、Rd"	图 2.16	2
算术 / 逻辑运算指令 （乘法 32bit×32bit→64bit） （存储器源操作数）	• {EMUL、EMULU} "[Rs]、Rd"/"dsp[Rs]、Rd"	—	4
算术 / 逻辑运算指令 （乘加运算）	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) n 为处理字节数 （注 1）
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) n 为处理字数 （注 1）
	• RMPA.L	—	6+4n n 为处理长字数 （注 1）
算术 / 逻辑运算指令 （RMPA 指令的 64 位带符号的饱和处理）	• SATR	—	3
传送指令 （存储器之间的传送）	• MOV "[Rs]、[Rd]"/"dsp[Rs]、[Rd]"/"[Rs]、dsp[Rd]" /"dsp[Rs]、dsp[Rd]" • PUSH "[Rs]"/"dsp[Rs]"	图 2.15	3
位操作指令 （存储器源操作数）	• {BCLR、BNOT、BSET} "#IMM、[Rd]"/"#IMM、dsp[Rd]" /"Rs、[Rd]"/"Rs、dsp[Rd]" • BM*Cnd* "#IMM、[Rd]"/"#IMM、dsp[Rd]" • BTST "#IMM、[Rs]"/"#IMM、dsp[Rs]"/"Rs、[Rs2]"/ "Rs、dsp[Rs2]"	图 2.15	3
传送指令 （装入指令）	• POPC "CR"	—	吞吐量：3 等待时间：4 （注 2）
传送指令 （多个寄存器的保存）	• PUSHM "Rs-Rs2"	—	n n 为寄存器的个数 （注 3）
传送指令 （多个寄存器的恢复）	• POPM "Rs-Rs2"	—	吞吐量：n 等待时间：n+1 n 为寄存器的个数 （注 2、注 4）
传送指令 （寄存器之间的交换）	• XCHG "Rs、Rd"	图 2.17	2
传送指令 （存储器 - 寄存器的交换）	• XCHG "[Rs]、Rd"/"dsp[Rs]、Rd"	图 2.18	2
转移指令	• RTS	—	5
	• RTSD "#IMM"	—	5
	• RTSD "#IMM、Rd-Rd2"	—	吞吐量：n<5?5:1+n 等待时间：n<4?5:2+n n 为寄存器的个数 （注 2）

表 2.14 转换为多个微操作的指令 (2/2)

指令	助记符 （当省略指令长度时，为全长度共同的操作）	参照图	周期数
字符串操作指令 （注 5）	• SCMPU	—	2+4×floor(n/4)+4×(n%4) n 为比较字节数 （注 1）
	• SMOVB	—	n>3? 6+3×floor(n/4)+3×(n%4): 2+3n n 为传送字节数 （注 1）
	• SMOVF、SMOVU	—	2+3×floor(n/4)+3×(n%4) n 为传送字节数 （注 1）
	• SSTR.B	—	2+floor(n/4)+n%4 n 为传送字节数 （注 1）
	• SSTR.W	—	2+floor(n/2)+n%2 n 为传送字数 （注 1）
	• SSTR.L	—	2+n n 为传送长字数
	• SUNTIL.B、SWHILE.B	—	3+3×floor(n/4)+3×(n%4) n 为比较字节数 （注 1）
	• SUNTIL.W、SWHILE.W	—	3+3×floor(n/2)+3×(n%2) n 为比较字数 （注 1）
	• SUNTIL.L、SWHILE.L	—	3+3×n n 为比较长字数
浮点运算指令 （寄存器之间、立即数 - 寄存器）	• {FADD、FSUB} "#IMM、Rd"/ "Rs、Rd"	图 2.19	4
	• FMUL "#IMM、Rd"/"Rs、Rd"	—	3
	• FDIV "#IMM、Rd"/"Rs、Rd"	—	16
	• {FTOI、ROUND、ITOF} "Rs、Rd"	—	2
浮点运算指令 （存储器源操作数）	• {FADD、FSUB} "[Rs]、Rd"/"dsp[Rs]、Rd"	—	6
	• FCMP "[Rs]、Rs2"/"dsp[Rs]、Rs2"	—	3
	• FMUL "[Rs]、Rd"/"dsp[Rs]、Rd"	—	5
	• FDIV "[Rs]、Rd"/"dsp[Rs]、Rd"	—	18
	• {FTOI、ROUND、ITOF} "[Rs]、Rd"/"dsp[Rs]、Rd"	—	4
系统操作指令	• RTE	—	6
	• RTFI	—	3

?：条件运算符

注 1. floor(x)：小于等于 x 的最大整数

注 2. 有关吞吐量以及表示等待时间的周期数，请参照 “2.8.3 指令处理时间的计算方法”。

注 3. 将 PUSHM 指令转换为多个存储操作。 MOV 指令的存储操作和指定寄存器次数的重复是相同的流水线处理。

注 4. 将 POPM 指令转换为多个装入操作。 MOV 指令的装入操作和指定寄存器次数的重复是相同的流水线处理。

注 5. 如果在执行 SCMPU、 SMOVU、 SWHILE、 SUNTIL 各指令时满足结束条件，就结束指令的执行，与记载的周期无关。

转换为基本的多个微操作的指令操作如图 2.14 ～图 2.21 所示。

注 . mop：微操作； stall：流水线延迟

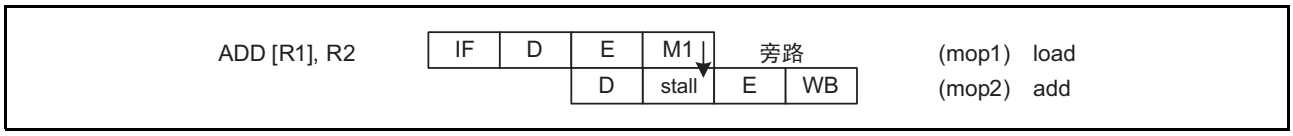


图 2.14 算术 / 逻辑运算指令 （存储器源操作数）

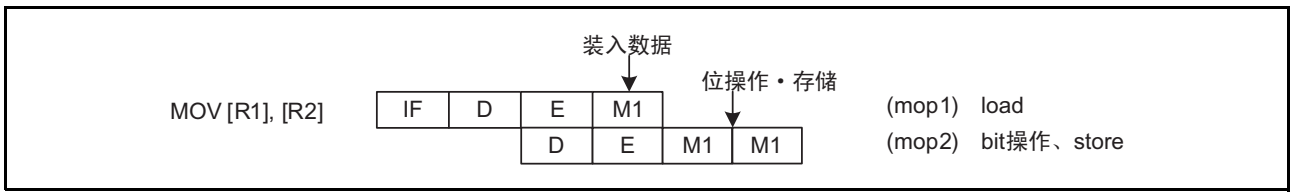


图 2.15 MOV 指令 （存储器之间的传送）和位操作指令 （存储器源操作数）

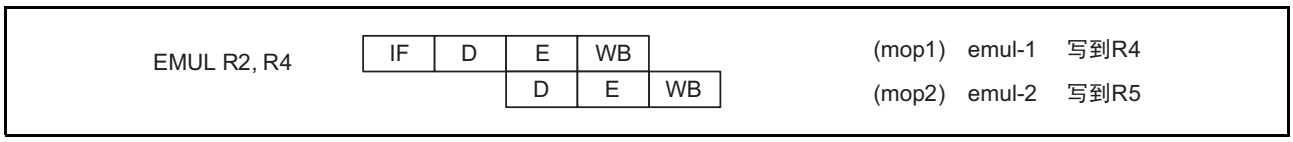


图 2.16 EMUL 指令和 EMULU 指令 （寄存器之间、寄存器 - 立即数）

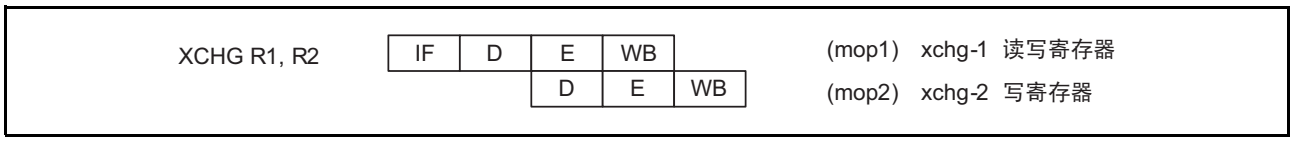


图 2.17 XCHG 指令 （寄存器）

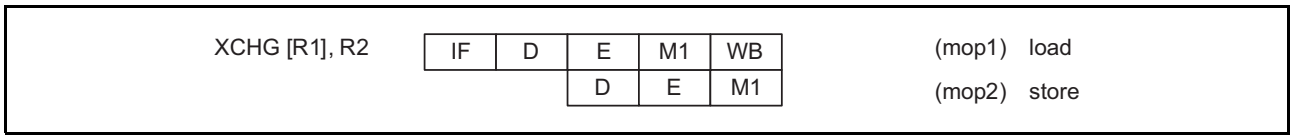


图 2.18 XCHG 指令 （存储器源操作数）

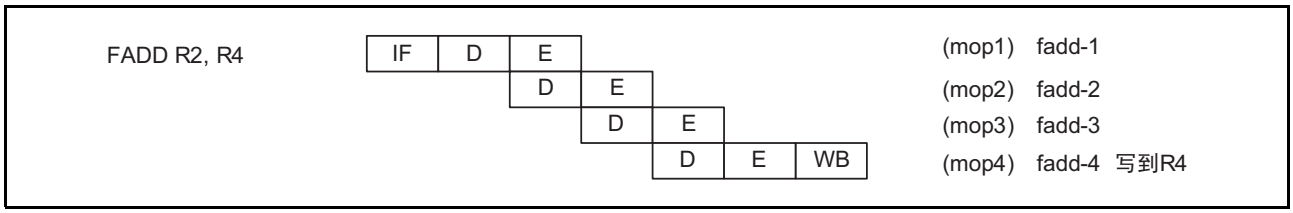


图 2.19 浮点运算指令 （寄存器之间、立即数 - 寄存器）

2.8.2.3 流水线的基本操作

在理想的流水线处理中，各阶段的执行周期数为“1”，但是流水线处理有可能因各阶段中的处理以及转移执行等而发生混乱。

CPU 在 IF 阶段以指令为单位进行流水线阶段控制，在 D 以后的阶段以微操作为单位进行流水线阶段控制。

典型的流水线处理状况如下所示。

注 . mop：微操作； stall：流水线延迟

(1) 流水线处理混乱的情况

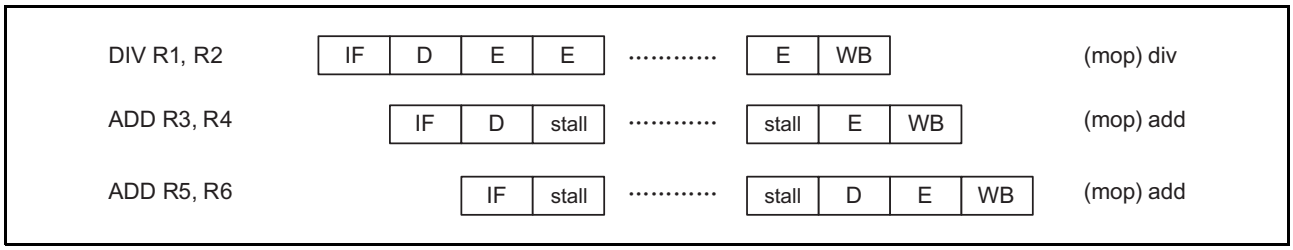


图 2.20 在执行 E 阶段过程中执行需要多个周期的指令的情况

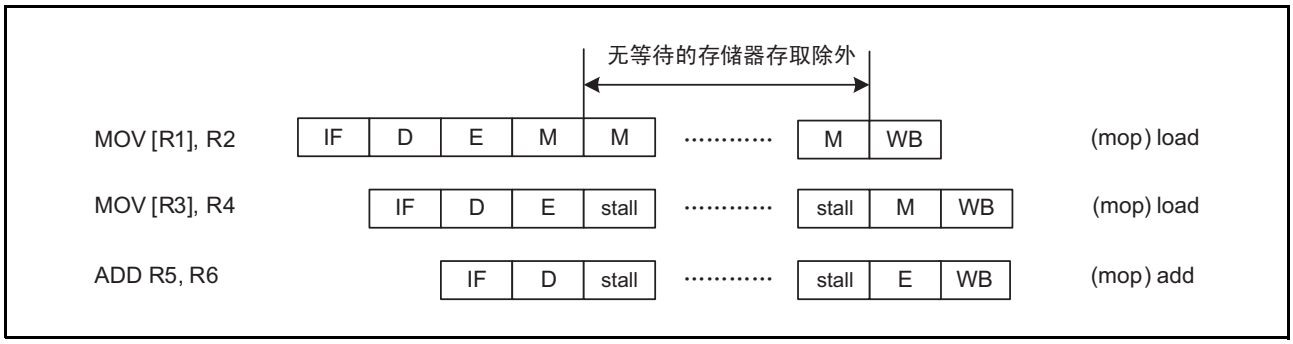


图 2.21 操作数存取没有在 1 个周期中结束的情况

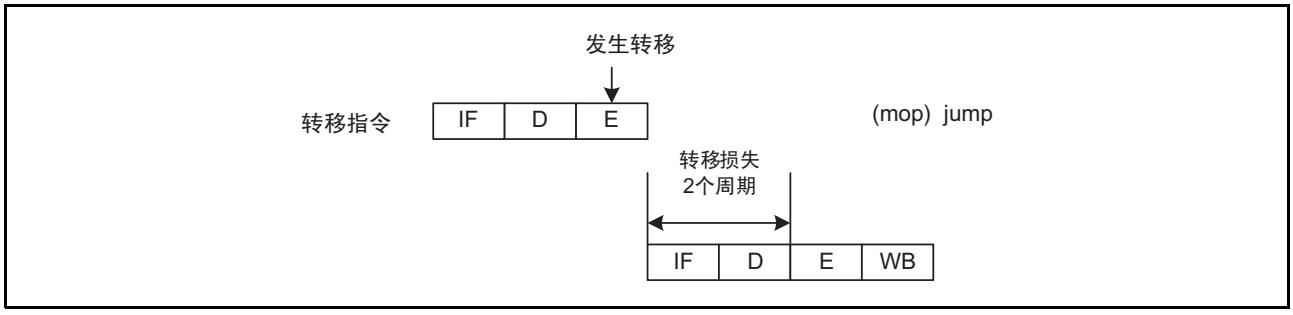


图 2.22 转移 （在无条件转移或者条件转移中条件成立的情况）

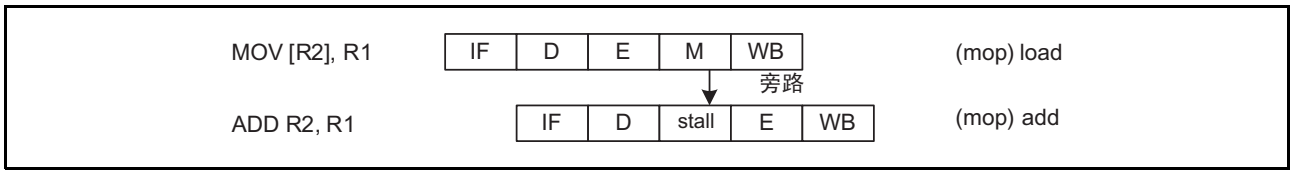


图 2.23 后续指令使用从存储器读取的操作数的情况

(2) 流水线处理不混乱的情况

(a) 旁路

即使后续指令使用前面的指令写的寄存器，在进行寄存器之间的运算时，流水线处理也不会因旁路而发生混乱。

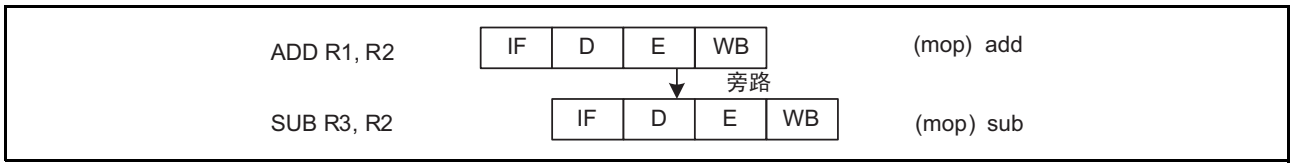


图 2.24 旁路

(b) 存储器的装入和运算的 WB 阶段重叠的情况

因为装入数据和运算结果能同时写到寄存器，所以即使存储器的装入和运算的 WB 阶段重叠，流水线处理也不会混乱。

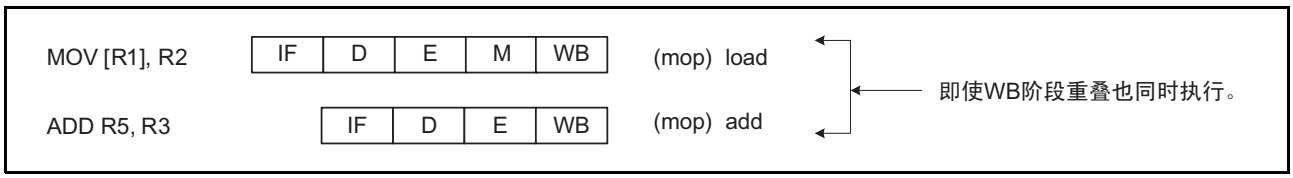


图 2.25 存储器的装入和运算的 WB 阶段重叠的情况

(c) 在结束存储器的装入前后续指令写相同寄存器的情况

在结束存储器的装入前，即使后续指令写相同的寄存器，因为取消了存储器装入的 WB 阶段，所以流水线处理不会混乱。

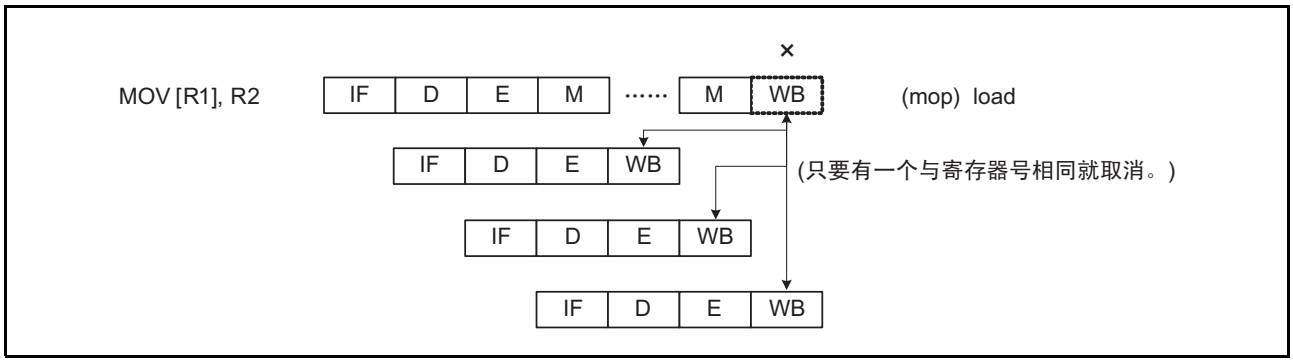


图 2.26 在结束存储器的装入前后续指令写相同寄存器的情况

(d) 后续指令不参照存储器装入的数据的情况

当后续指令不参照存储器装入的数据时，先执行后续的指令，然后结束。
（Out-of-Order Completion）

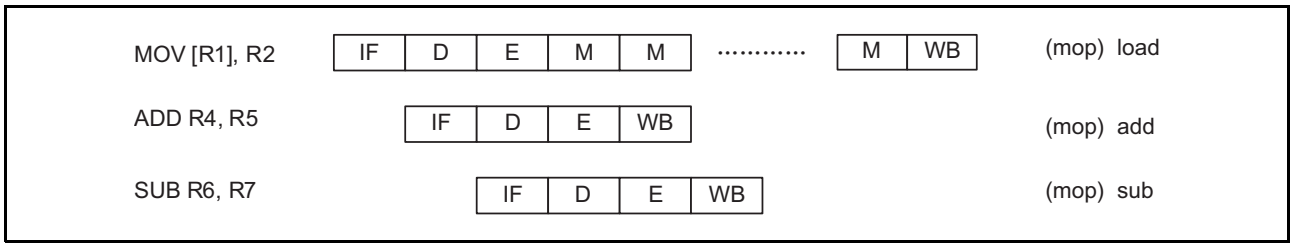


图 2.27 后续指令不参照存储器装入的数据的情况

2.8.3 指令处理时间的计算方法

CPU 的指令处理时间因流水线处理而不同，但是能使用以下的计算方法概算指令的处理时间。

- 计算周期数 （参照表2.13和表2.14）。
- 如果后续指令参照存储器装入的结果，存储器装入的指令周期数就为 “等待时间”的周期数。否则，就为 “吞吐量”的周期数。
- 如果引起取指令的延迟，就再追加周期数。
- 根据系统结构，存储器存取有时需要多个周期。

2.8.4 中断响应周期数

中断响应处理的周期数如表 2.15 所示。

表 2.15 中断响应周期数

中断请求的种类 / 处理内容	高速中断	高速中断以外的中断
ICU 判断优先级。	2 个周期	
CPU 从通知中断请求到接受中断的周期数。	N 个周期 （因正在执行的指令而不同。）	
CPU 硬件预处理 保存到 PC 或者 PSW 的 RAM。 （将高速中断保存到控制寄存器。） 读向量。 转移到异常处理程序。	4 个周期	6 个周期

表 2.15 是 CPU 的存储器存取全部以无等待处理时的中断响应时间。RX630 群装载了能无等待存取的内部 ROM 和内部 RAM。通过将程序 （包括向量）分配到内部 ROM，将堆栈区分配到内部 RAM，能将中断响应周期数缩到最短。而且，异常处理程序的起始地址必须指定 8 字节边界。

有关从通知中断请求到接受中断的周期数 N，请参照“表 2.13 转换为单个微操作的指令”和“表 2.14 转换为多个微操作的指令”。

中断接受时序取决于流水线状态。有关中断的接受时序，请参照 “14.3.1 接受时序和被保存的 PC 值”。

3. 运行模式

3.1 运行模式的种类和选择

通过 MD 引脚、系统控制寄存器 0（SYSCR0）的内部 ROM 有效位（ROME）和外部总线有效位（EXBE）设定运行模式。

在各运行模式中，能选择字节序。通过选项设定存储器的字节序选择寄存器 （MDEB、 MDES）的字节序选择位（MDE[2:0]）选择字节序。在使用用户引导模式时，需要进行选项设定存储器的 UB 码 A 和 UB 码 B 的设定。有关选项设定存储器，请参照 “7. 选项设定存储器”。

不能在 LSI 运行过程中更改 MD 引脚，也不能设定表 3.1 中没有的组合。

表 3.1 通过模式引脚选择的运行模式

模式引脚 MD	SYSCR0 寄存器的初始状态		运行模式	内部 ROM（注 1）	外部总线
	ROME	EXBE			
Low	1	0	引导模式 （SCI 引导）	有效	无效
	1	0	用户引导模式 /USB 引导模式（注 2）	有效	无效
High	1	0	单芯片模式	有效	无效

注 1. 内部 ROM 有 ROM 和 E2 数据闪存，详细内容请参照 “42. ROM（保存代码的闪存）” 和 “43. E2 数据闪存（保存数据的闪存）”。

注 2. 要在用户引导模式或者 USB 引导模式中运行时，必须将 PC7 引脚置为 High 电平。如果没有改写用户引导区，就在 USB 引导模式中运行。

表 3.2 通过寄存器选择的运行模式

SYSCR0 寄存器		运行模式	内部 ROM（注 1）	外部总线
ROME	EXBE			
0	0	单芯片模式、用户引导模式	无效	无效
1	0		有效	无效
0	1	内部 ROM 无效扩展模式	无效	有效
1	1	内部 ROM 有效扩展模式	有效	有效

注 1. 内部 ROM 有 ROM 和 E2 数据闪存，详细内容请参照 “42. ROM（保存代码的闪存）” 和 “43. E2 数据闪存（保存数据的闪存）”。

表 3.3 字节序的设定方式

运行模式	字节序的设定
用户引导模式 /UBS 引导模式	通过选项设定存储器的字节序选择寄存器 （MDEB、 MDES）进行选择。
单芯片模式	

注 . 选项设定存储器的字节序选择寄存器 （MDEB、 MDES）在 ROM 中。

表 3.4 字节序的选择

MDEB.MDE[2:0] 位或者 MDES.MDE[2:0] 位	字节序
000b	大端法
111b	小端法

3.2 寄存器说明

3.2.1 模式监视寄存器 （MDMONR）

地址 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
复位后的值	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

注1. 因模式引脚(MD)的设定而不同。当MD引脚为Low电平时为“0”；当MD引脚为High电平时为“1”。

位	符号	位名	功能	R/W
b0	MD	MD 引脚状态标志	0：MD 引脚为 Low 电平 1：MD 引脚为 High 电平	R
b7-b1	—	保留位	读取值为 “0”，写操作无效。	R
b8	—	保留位	读取值为不定值，写操作无效。	R
b15-b9	—	保留位	读取值为 “0”，写操作无效。	R

3.2.2 模式状态寄存器 （MDSR）

地址 0008 0002h

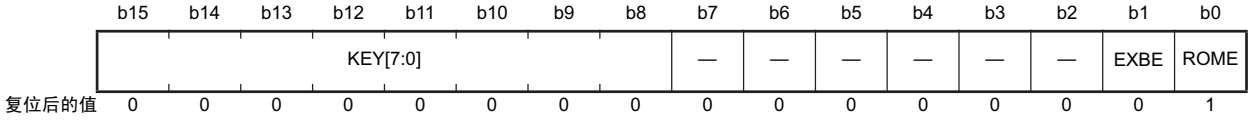
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	UBTS	BOTS	—	—	EXB	IROM
复位后的值	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0/1 (注1)	0	0	0	1

注1. 因运行模式而不同。

位	符号	位名	功能	R/W
b0	IROM	内部 ROM 的启动状态标志	0：启动时，内部 ROM 无效。 1：启动时，内部 ROM 有效。	R
b1	EXB	外部总线的启动状态标志	0：启动时，外部总线无效。 1：启动时，外部总线有效。	R
b3-b2	—	保留位	读取值为 “0”，写操作无效。	R
b4	BOTS	引导模式 （SCI 引导）的启动标志	0：不是启动引导模式 （SCI 引导） 1：启动引导模式 （SCI 引导）	R
b5	UBTS	用户引导模式 /USB 引导模式的启动标志	0：不是启动用户引导模式 /USB 引导模式 1：启动用户引导模式 /USB 引导模式	R
b15-b6	—	保留位	读取值为 “0”，写操作无效。	R

3.2.3 系统控制寄存器 0 （SYSCR0）

地址 0008 0006h



位	符号	位名	功能	R/W
b0	ROME	内部 ROM 有效位	0：内部 ROM 无效 1：内部 ROM 有效	R/W
b1	EXBE	外部总线有效位	0：外部总线无效 1：外部总线有效	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W
b15-b8	KEY[7:0]	SYSCR0 键码	控制是否允许改写 EXBE 位和 ROME 位。	R/W

ROME 位 （内部 ROM 有效位）

此位选择内部 ROM （ROM、 E2 数据闪存）的有效或者无效。

当 ROME 位为 “1”时，能写 “0”；当 ROME 位为 “0”时，不能写 “1”。

如果将内部 ROM 从有效改为无效，就不能使用 ROME 位将内部 ROM 置为有效。

不能在存取内部 ROM 的过程中给 ROME 位写 “0”。在给 ROME 位写 “0”并且将内部 ROM 设定为无效后，必须先确认 ROME 位已被改写为 “0”，然后再进行以后的处理。

EXBE 位 （外部总线有效位）

此位选择外部总线的有效或者无效。

必须在未执行外部总线周期的状态下给 EXBE 位写 “0”。不能在外部地址空间执行程序的过程中给 EXBE 位写 “0”

外部总线和内部总线有可能同时运行，在将外部总线置为无效时必须注意。要改写 EXBE 位时，必须在写寄存器后确认 EXBE 位已被改写，然后再进行总线存取。

需要同时设定 EXBE 位和 I/O 端口，详细内容请参照 “20. 多功能引脚控制器 （MPC）”。

KEY[7:0] 位 （SYSCR0 键码）

这些位选择允许或者禁止写 SYSCR0 寄存器。

在给 ROME 位和 EXBE 位写值时，也必须同时给 KEY[7:0] 位写 “5Ah”。如果给 KEY[7:0] 位写 “5Ah”以外的值，即使写 SYSCR0 寄存器， ROME 位和 EXBE 位的值也不变。

3.2.4 系统控制寄存器 1 （SYSCR1）

地址 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b0	RAME	RAM 有效位	0：内部 RAM 无效 1：内部 RAM 有效	R/W
b15-b1	—	保留位	读写值都为 “0”。	R/W

RAME 位 （RAM 有效位）

此位选择内部 RAM 的有效或者无效。

一旦解除复位， RAME 位就被初始化为 “1”。

不能在存取内部 RAM 的过程中给 RAME 位写 “0”。在将内部 RAM 从无效改为有效后紧接着存取内部 RAM 时，必须在确认 RAME 位已被改写为 “1”后进行存取。

即使将 RAME 位置 “0”，也保持内部 RAM 的值，而且 RAM 待机电压 （VRAM）也必须保持规定值。详细内容请参照 “45. 电特性”。

3.3 运行模式的说明

3.3.1 单芯片模式

在此模式中，内部 ROM 有效或者无效而外部总线无效 （SYSCR0.EXBE 位 =0）。全部 I/O 端口都能用作输入 / 输出端口。

启动时的内部 ROM 有效。当内部 ROM 有效 （SYSCR0.ROME 位 =1）时，能将内部 ROM 设定为无效（SYSCR0.ROME 位 =0）；当内部 ROM 无效 （SYSCR0.ROME 位 =0）时，不能将内部 ROM 设定为有效（SYSCR0.ROME 位 =1）。

能通过将 SYSCR0.EXBE 位置 “1”（外部总线有效）并且转移到内部 ROM 有效扩展模式或者内部 ROM 无效扩展模式，使用外部总线。

3.3.2 内部 ROM 有效扩展模式

这是内部 ROM 有效 （SYSCR0.ROME 位 =1）并且能使用外部总线的外部扩展模式 （SYSCR0.EXBE 位 =1）。能将部分 I/O 端口用作数据总线的输入 / 输出、地址总线的输出和总线控制信号的输入 / 输出，详细内容请参照 “20. 多功能引脚控制器 （MPC）”。

能通过设定总线的外部总线宽度选择位 （CSnCR.BSIZE[1:0] 位 （n=0 ～ 7））更改外部总线宽度，详细内容请参照 “16. 总线”。

能通过将 SYSCR0.EXBE 位置 “0”（外部总线无效）转移到单芯片模式 （内部 ROM 有效）。

能通过将 SYSCR0.ROME 位置 “0”（内部 ROM 无效）转移到内部 ROM 无效扩展模式。

3.3.3 内部 ROM 无效扩展模式

这是内部 ROM 无效 （SYSCR0.ROME 位 =0）并且能使用外部总线的外部扩展模式 （SYSCR0.EXBE 位 =1）。能将部分 I/O 端口用作数据总线的输入 / 输出、地址总线的输出和总线控制信号的输入 / 输出，详细内容请参照 “20. 多功能引脚控制器 （MPC）”。

能通过设定总线的外部总线宽度选择位 （CSnCR.BSIZE[1:0] 位 （n=0 ～ 7））更改外部总线宽度，详细内容请参照 “16. 总线”。

不能将内部 ROM 设定为有效 （SYSCR0.ROME 位 =1）。

能通过将 SYSCR0.EXBE 位置 “0”（外部总线无效）转移到单芯片模式 （内部 ROM 无效）。

3.3.4 引导模式 （SCI 引导）

这是 ROM 的引导模式 （SCI 引导），除了 ROM 的编程 / 擦除以外，和单芯片模式中的运行相同。详细内容请参照 “42. ROM （保存代码的闪存）”和 “43. E2 数据闪存 （保存数据的闪存）”。

3.3.5 用户引导模式

这是执行用户引导模式的引导模式，除了 ROM 的编程 / 擦除以外，和单芯片模式中的运行相同。详细内容请参照 “42. ROM （保存代码的闪存）”和 “43. E2 数据闪存 （保存数据的闪存）”。

不能在用户引导模式中转移到软件待机模式和深度软件待机模式。

3.3.6 USB 引导模式

这是 ROM 的 USB 引导模式，除了 ROM 的编程 / 擦除以外，和单芯片模式中的运行相同。详细内容请参照“42. ROM （保存代码的闪存）”和 “43. E2 数据闪存 （保存数据的闪存）”。

3.4 运行模式的转移

3.4.1 通过模式引脚进行运行模式的转移

通过设定 MD 引脚进行运行模式的转移，如图 3.1 所示，能将运行模式转移到图中箭头所指的方向。

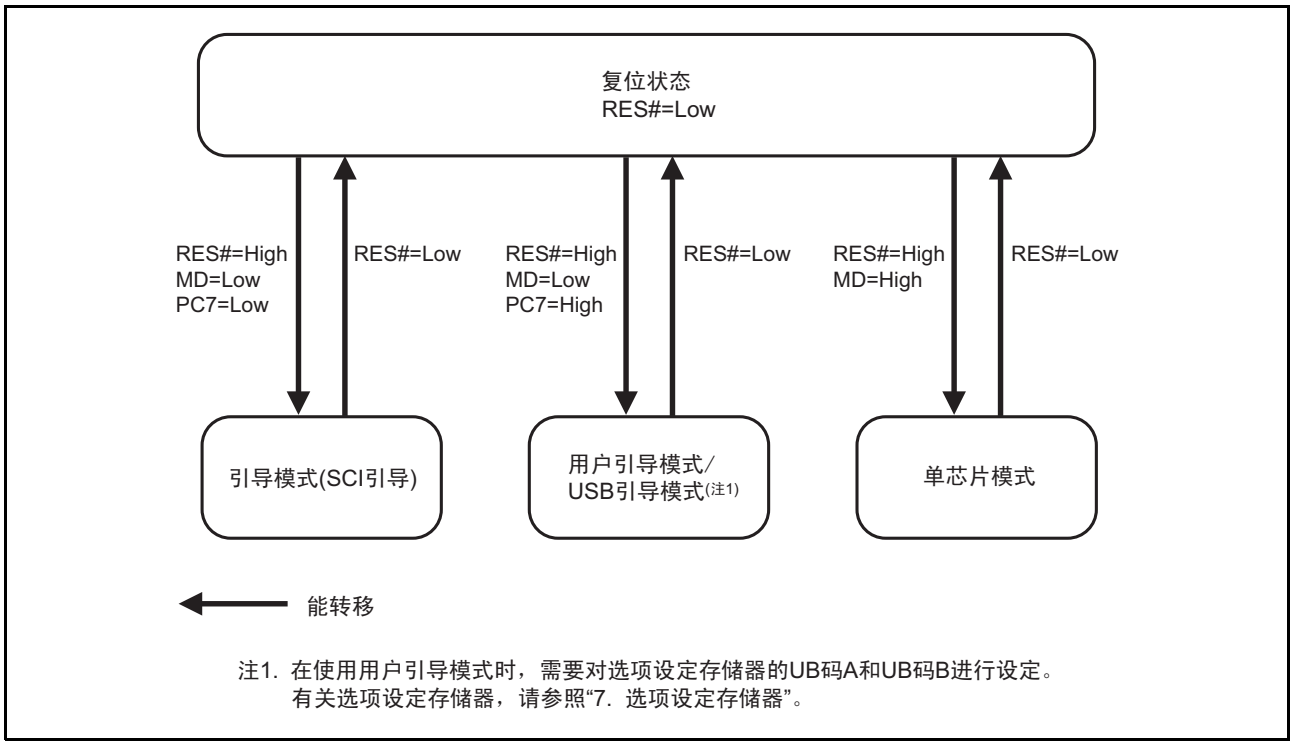


图 3.1 MD 引脚的设定和运行模式

3.4.2 通过寄存器进行运行模式的转移

通过设定 SYSCR0.ROME 位和 SYSCR0.EXBE 位进行运行模式的转移，如图 3.2 所示，能将运行模式转移到图中箭头所指的方向。

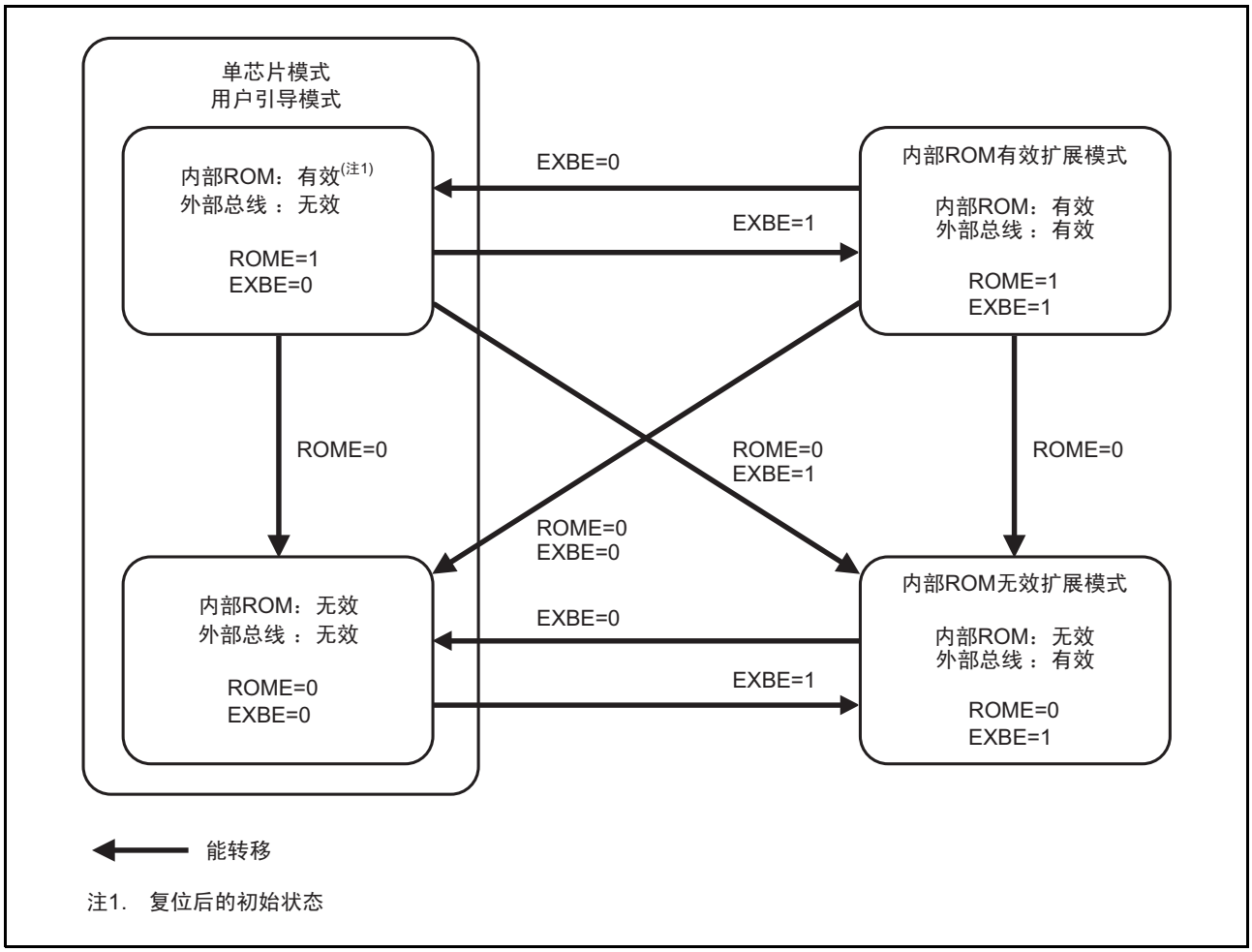


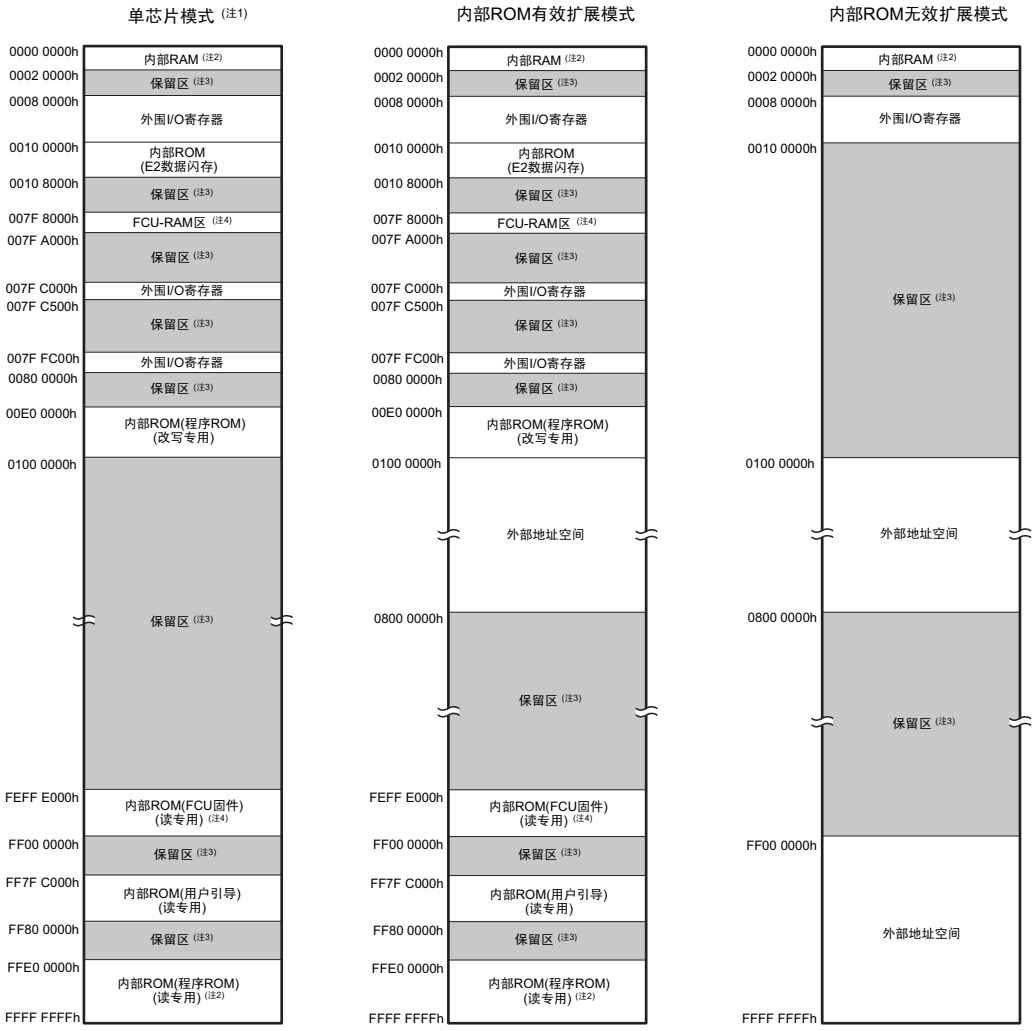
图 3.2 SYSCR0.ROME 位、 SYSCR0.EXBE 位的设定和运行模式

4. 地址空间

4.1 地址空间

地址空间有地址 0000 0000h ～地址 FFFF FFFFh 的 4G 字节，能对程序区和数据区共计最多 4G 字节的空间进行线性存取。

各运行模式的存储器映像如**图 4.1** 所示，能存取的区域因运行模式和各控制位的状态而不同。



注1. 引导模式和用户引导模式的地址空间和单芯片模式相同。
注2. ROM/RAM容量因产品而不同。

ROM(字节)		RAM(字节)	
容量	地址	容量	地址
2M	FFE0 0000h～FFFF FFFFh	128K	0000 0000h～0001 FFFFh
1.5M	FFE8 0000h～FFFF FFFFh		
1M	FFF0 0000h～FFFF FFFFh	96K	0000 0000h～0001 7FFFh
768K	FFF4 0000h～FFFF FFFFh		
512K	FFF8 0000h～FFFF FFFFh	64K	0000 0000h～0000 FFFFh
384K	FFFA 0000h～FFFF FFFFh		

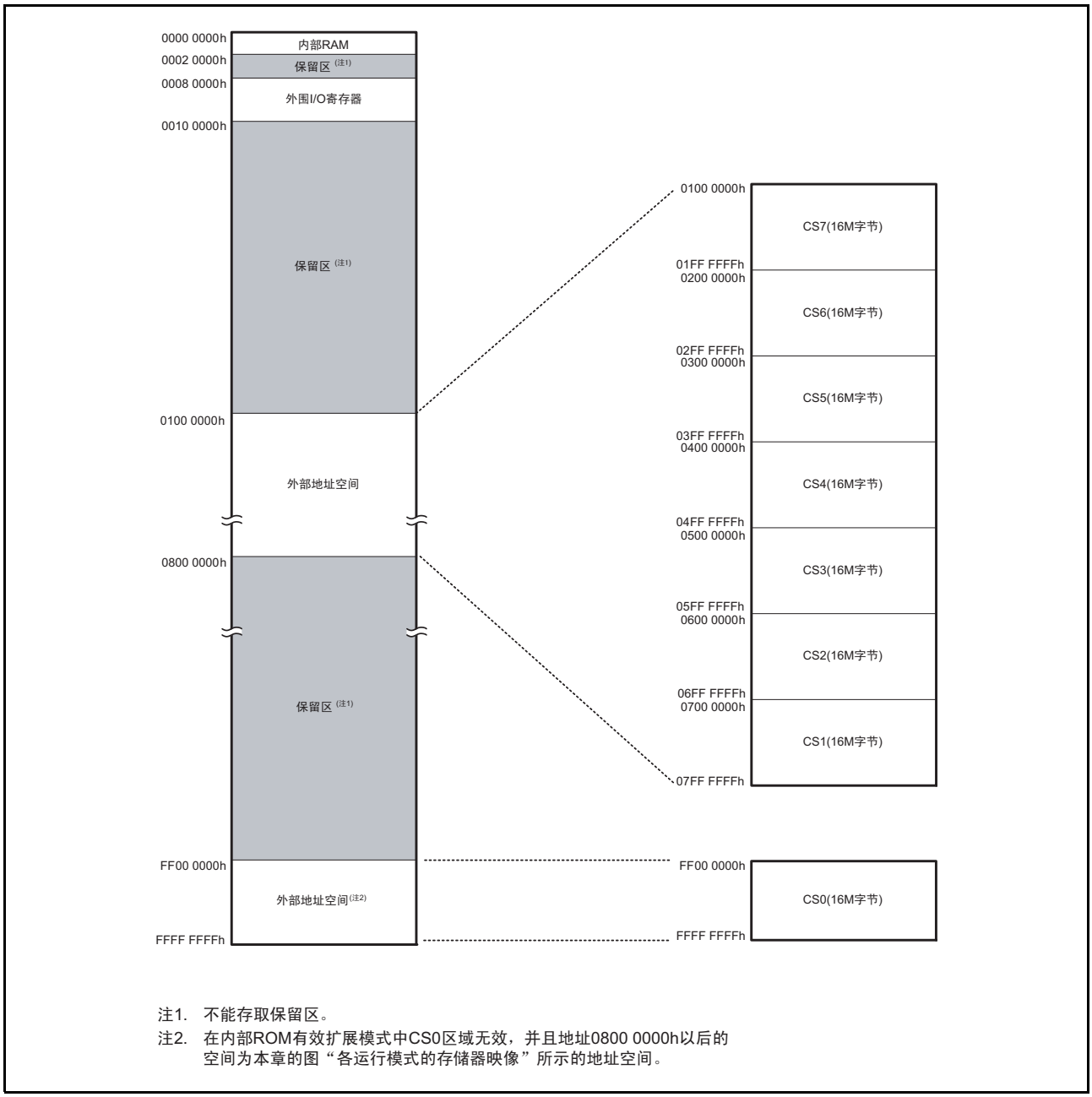
注． 有关产品型号，请参照“表1.3 产品一览表”。

注3. 不能存取保留区。
注4. 有关FCU的详细内容，请参照“42. ROM(保存代码的闪存)”和“43. E2数据闪存(保存数据的闪存)”。

图 4.1 各运行模式的存储器映像

4.2 外部地址空间

能通过 CSn# 引脚（n=0 ～ 7）输出的 CSn# 信号，将外部地址空间最多分为 8 个 CS 区域（CS0 ～ CS7）。内部 ROM 无效外部扩展模式中的 CS 区域 （CS0 ～ CS7）和地址的对应如图 4.2 所示。



注1. 不能存取保留区。
注2. 在内部ROM有效扩展模式中CS0区域无效，并且地址0800 0000h以后的空间为本章的图“各运行模式的存储器映像”所示的地址空间。

图 4.2 外部地址空间和 CS 区域 （内部 ROM 无效扩展模式的情况）

5. I/O 寄存器

I/O寄存器一览表中汇总了有关内部寄存器地址的信息，表中的记述方法以及写寄存器时的注意事项如下所示。

(1) I/O 寄存器地址一览表 （地址顺序）

- 从分配地址小的寄存器开始按顺序记载。
- 按照模块符号进行分类。
- 存取周期数表示指定的基准时钟的周期数。
- 在内部I/O寄存器的区域中，寄存器一览表中没有记载的地址区为保留区。因为无法保证存取这些寄存器时的运行及其后续运行，所以禁止存取保留区。

(2) 写 I/O 寄存器时的注意事项

在写 I/O 寄存器时， CPU 不等到写结束就执行后续指令。因此，在通过写 I/O 寄存器进行的设定变更被反映到运行前，有可能执行后续指令。

需要注意：在以下例子中，必须在 I/O 寄存器的设定变更被反映后执行后续指令。

［需要注意的运行例子］

- 要在通过清除中断请求允许位 （ICU.IERn.IENj位）来禁止中断请求的状态下执行后续指令时
- 在转移到低功耗状态的预处理后接着执行WAIT指令时

在这些情况下，必须在写 I/O 寄存器后按照以下步骤等到写结束，然后执行后续指令。

(a) 写 I/O 寄存器
(b) 将所写的 I/O 寄存器的值读到通用寄存器
(c) 使用读取值进行运算
(d) 执行后续指令

［指令例子］

- I/O寄存器为字节的情况

```
MOV.L  #SFR_ADDR, R1
MOV.B  #SFR_DATA, [R1]
CMP    [R1].UB, R1
;; 以后的处理
```

- I/O寄存器为字的情况

```
MOV.L  #SFR_ADDR, R1
MOV.W  #SFR_DATA, [R1]
CMP    [R1].W, R1
;; 以后的处理
```

- I/O寄存器为长字的情况

```
MOV.L  #SFR_ADDR, R1
MOV.L  #SFR_DATA, [R1]
CMP    [R1].L, R1
;; 以后的处理
```

另外，要在写多个寄存器并且等到写结束后执行后续指令时，必须将最后写的 I/O 寄存器作为对象进行读操作和运算，而不需要将所写的全部寄存器作为对象进行读操作和运算。

(3) I/O 寄存器的存取周期数

I/O 寄存器的存取周期数请参照 “表 5.1 I/O 寄存器地址一览表 ”。

用以下表达式表示存取 I/O 寄存器时的存取周期数。（注 1）

I/O 寄存器的存取周期数 = 内部主总线 1 的总线周期数 +
分频时钟的同步周期数 +
内部外围总线 1 ～ 6 的总线周期数

内部外围总线 1 ～ 6 的总线周期数因存取的目标寄存器而不同。

在存取内部外围总线 2 ～ 6 连接的外围功能以及外部总线控制部的寄存器 （总线错误的相关寄存器除外）时，增加分频时钟的同步周期。

分频时钟的同步周期数因 ICLK 和 PCLK （或者 FCLK、 BCLK）的频率比以及总线存取的时序而不同。

在外围功能部中，当频率关系为 ICLK ≥ PCLK（或者 FCLK）时，内部主总线 1 的总线周期数加上分频时钟的同步周期数最多为 1 个 PCLK （或者 FCLK）周期，因此在表 5.1 中记载为 1 个 PCLK （或者 FCLK）。

另外，当频率关系为 ICLK ＜ PCLK（或者 FCLK）时，从外围功能结束的下一个 ICLK 周期开始下一次的总线存取，因此以 ICLK 为单位记载。

因为在外部总线控制部中内部主总线 1 的总线周期数加上分频时钟的同步周期数最多为 1 个 BCLK 周期，所以在表 5.1 中记载为 1 个 BCLK。

注 1. 这是在和外部存储器的取指令或者不同总线主控 （DMAC、 DTC）的总线存取不发生竞争的情况下， CPU 存取寄存器时的周期数。

5.1 I/O 寄存器地址一览表 （地址顺序）

表 5.1 I/O 寄存器地址一览表 (1/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 0000h	SYSTEM	模式监视寄存器	MDMONR	16	16	3 个 ICLK		第 3 章
0008 0002h	SYSTEM	模式状态寄存器	MDSR	16	16	3 个 ICLK		
0008 0006h	SYSTEM	系统控制寄存器 0	SYSCR0	16	16	3 个 ICLK		
0008 0008h	SYSTEM	系统控制寄存器 1	SYSCR1	16	16	3 个 ICLK		
0008 000Ch	SYSTEM	待机控制寄存器	SBYCR	16	16	3 个 ICLK		第 11 章
0008 0010h	SYSTEM	模块停止控制寄存器 A	MSTPCRA	32	32	3 个 ICLK		
0008 0014h	SYSTEM	模块停止控制寄存器 B	MSTPCRB	32	32	3 个 ICLK		
0008 0018h	SYSTEM	模块停止控制寄存器 C	MSTPCRC	32	32	3 个 ICLK		
0008 0020h	SYSTEM	系统时钟控制寄存器	SCKCR	32	32	3 个 ICLK		第 9 章
0008 0024h	SYSTEM	系统时钟控制寄存器 2	SCKCR2	16	16	3 个 ICLK		
0008 0026h	SYSTEM	系统时钟控制寄存器 3	SCKCR3	16	16	3 个 ICLK		
0008 0028h	SYSTEM	PLL 控制寄存器	PLLCR	16	16	3 个 ICLK		
0008 002Ah	SYSTEM	PLL 控制寄存器 2	PLLCR2	8	8	3 个 ICLK		
0008 0030h	SYSTEM	外部总线时钟控制寄存器	BCKCR	8	8	3 个 ICLK		
0008 0032h	SYSTEM	主时钟振荡器的控制寄存器	MOSCCR	8	8	3 个 ICLK		
0008 0033h	SYSTEM	副时钟振荡器的控制寄存器	SOSCCR	8	8	3 个 ICLK		
0008 0034h	SYSTEM	低速内部振荡器的控制寄存器	LOCOCR	8	8	3 个 ICLK		
0008 0035h	SYSTEM	IWDT 专用内部振荡器的控制寄存器	ILOCOCR	8	8	3 个 ICLK		
0008 0036h	SYSTEM	高速内部振荡器的控制寄存器	HOCOCR	8	8	3 个 ICLK		
0008 0040h	SYSTEM	振荡停止检测控制寄存器	OSTDCR	8	8	3 个 ICLK		
0008 0041h	SYSTEM	振荡停止检测状态寄存器	OSTDSR	8	8	3 个 ICLK		
0008 00A0h	SYSTEM	运行功率控制寄存器	OPCCR	8	8	3 个 ICLK		
0008 00A1h	SYSTEM	睡眠模式返回时钟源转换寄存器	RSTCKCR	8	8	3 个 ICLK		第 11 章
0008 00A2h	SYSTEM	主时钟振荡器的等待控制寄存器	MOSCWTCR	8	8	3 个 ICLK		
0008 00A3h	SYSTEM	副时钟振荡器的等待控制寄存器	SOSCWTCR	8	8	3 个 ICLK		
0008 00A6h	SYSTEM	PLL 等待控制寄存器	PLLWTCR	8	8	3 个 ICLK		
0008 00C0h	SYSTEM	复位状态寄存器 2	RSTSR2	8	8	3 个 ICLK		第 6 章
0008 00C2h	SYSTEM	软件复位寄存器	SWRR	16	16	3 个 ICLK		
0008 00E0h	SYSTEM	电压监视 1 电路的控制寄存器 1	LVD1CR1	8	8	3 个 ICLK		第 8 章
0008 00E1h	SYSTEM	电压监视 1 电路的状态寄存器	LVD1SR	8	8	3 个 ICLK		
0008 00E2h	SYSTEM	电压监视 2 电路的控制寄存器 1	LVD2CR1	8	8	3 个 ICLK		
0008 00E3h	SYSTEM	电压监视 2 电路的状态寄存器	LVD2SR	8	8	3 个 ICLK		
0008 03FEh	SYSTEM	保护寄存器	PRCR	16	16	3 个 ICLK		第 13 章
0008 1300h	BSC	总线错误状态清除寄存器	BERCLR	8	8	2 个 ICLK		第 16 章
0008 1304h	BSC	总线错误监视允许寄存器	BEREN	8	8	2 个 ICLK		
0008 1308h	BSC	总线错误状态寄存器 1	BERSR1	8	8	2 个 ICLK		
0008 130Ah	BSC	总线错误状态寄存器 2	BERSR2	16	16	2 个 ICLK		
0008 1310h	BSC	总线优先级控制寄存器	BUSPRI	16	16	2 个 ICLK		
0008 2000h	DMAC0	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK		第 17 章
0008 2004h	DMAC0	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK		
0008 2008h	DMAC0	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK		
0008 200Ch	DMAC0	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK		
0008 2010h	DMAC0	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK		
0008 2013h	DMAC0	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK		
0008 2014h	DMAC0	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK		
0008 2018h	DMAC0	DMA 偏移寄存器	DMOFR	32	32	2 个 ICLK		
0008 201Ch	DMAC0	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK		
0008 201Dh	DMAC0	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK		
0008 201Eh	DMAC0	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK		
0008 201Fh	DMAC0	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK		
0008 2040h	DMAC1	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (2/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 2044h	DMAC1	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK		第 17 章
0008 2048h	DMAC1	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK		
0008 204Ch	DMAC1	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK		
0008 2050h	DMAC1	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK		
0008 2053h	DMAC1	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK		
0008 2054h	DMAC1	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK		
0008 205Ch	DMAC1	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK		
0008 205Dh	DMAC1	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK		
0008 205Eh	DMAC1	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK		
0008 205Fh	DMAC1	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK		
0008 2080h	DMAC2	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK		
0008 2084h	DMAC2	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK		
0008 2088h	DMAC2	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK		
0008 208Ch	DMAC2	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK		
0008 2090h	DMAC2	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK		
0008 2093h	DMAC2	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK		
0008 2094h	DMAC2	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK		
0008 209Ch	DMAC2	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK		
0008 209Dh	DMAC2	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK		
0008 209Eh	DMAC2	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK		
0008 209Fh	DMAC2	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK		
0008 20C0h	DMAC3	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK		
0008 20C4h	DMAC3	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK		
0008 20C8h	DMAC3	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK		
0008 20CCh	DMAC3	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK		
0008 20D0h	DMAC3	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK		
0008 20D3h	DMAC3	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK		
0008 20D4h	DMAC3	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK		
0008 20DCh	DMAC3	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK		
0008 20DDh	DMAC3	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK		
0008 20DEh	DMAC3	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK		
0008 20DFh	DMAC3	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK		
0008 2200h	DMAC	DMA 模块启动寄存器	DMAST	8	8	2 个 ICLK		
0008 2400h	DTC	DTC 控制寄存器	DTCCR	8	8	2 个 ICLK		第 18 章
0008 2404h	DTC	DTC 向量基址寄存器	DTCVBR	32	32	2 个 ICLK		
0008 2408h	DTC	DTC 地址模式寄存器	DTCADMOD	8	8	2 个 ICLK		
0008 240Ch	DTC	DTC 模块启动寄存器	DTCST	8	8	2 个 ICLK		
0008 240Eh	DTC	DTC 状态寄存器	DTCSTS	16	16	2 个 ICLK		
0008 3002h	BSC	CS0 模式寄存器	CS0MOD	16	16	1 ～ 2 个 BCLK		第 16 章
0008 3004h	BSC	CS0 等待控制寄存器 1	CS0WCR1	32	32	1 ～ 2 个 BCLK		
0008 3008h	BSC	CS0 等待控制寄存器 2	CS0WCR2	32	32	1 ～ 2 个 BCLK		
0008 3012h	BSC	CS1 模式寄存器	CS1MOD	16	16	1 ～ 2 个 BCLK		
0008 3014h	BSC	CS1 等待控制寄存器 1	CS1WCR1	32	32	1 ～ 2 个 BCLK		
0008 3018h	BSC	CS1 等待控制寄存器 2	CS1WCR2	32	32	1 ～ 2 个 BCLK		
0008 3022h	BSC	CS2 模式寄存器	CS2MOD	16	16	1 ～ 2 个 BCLK		
0008 3024h	BSC	CS2 等待控制寄存器 1	CS2WCR1	32	32	1 ～ 2 个 BCLK		
0008 3028h	BSC	CS2 等待控制寄存器 2	CS2WCR2	32	32	1 ～ 2 个 BCLK		
0008 3032h	BSC	CS3 模式寄存器	CS3MOD	16	16	1 ～ 2 个 BCLK		
0008 3034h	BSC	CS3 等待控制寄存器 1	CS3WCR1	32	32	1 ～ 2 个 BCLK		
0008 3038h	BSC	CS3 等待控制寄存器 2	CS3WCR2	32	32	1 ～ 2 个 BCLK		
0008 3042h	BSC	CS4 模式寄存器	CS4MOD	16	16	1 ～ 2 个 BCLK		
0008 3044h	BSC	CS4 等待控制寄存器 1	CS4WCR1	32	32	1 ～ 2 个 BCLK		
0008 3048h	BSC	CS4 等待控制寄存器 2	CS4WCR2	32	32	1 ～ 2 个 BCLK		

表 5.1 I/O 寄存器地址一览表 (3/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 3052h	BSC	CS5 模式寄存器	CS5MOD	16	16	1 ～ 2 个 BCLK		第 16 章
0008 3054h	BSC	CS5 等待控制寄存器 1	CS5WCR1	32	32	1 ～ 2 个 BCLK		
0008 3058h	BSC	CS5 等待控制寄存器 2	CS5WCR2	32	32	1 ～ 2 个 BCLK		
0008 3062h	BSC	CS6 模式寄存器	CS6MOD	16	16	1 ～ 2 个 BCLK		
0008 3064h	BSC	CS6 等待控制寄存器 1	CS6WCR1	32	32	1 ～ 2 个 BCLK		
0008 3068h	BSC	CS6 等待控制寄存器 2	CS6WCR2	32	32	1 ～ 2 个 BCLK		
0008 3072h	BSC	CS7 模式寄存器	CS7MOD	16	16	1 ～ 2 个 BCLK		
0008 3074h	BSC	CS7 等待控制寄存器 1	CS7WCR1	32	32	1 ～ 2 个 BCLK		
0008 3078h	BSC	CS7 等待控制寄存器 2	CS7WCR2	32	32	1 ～ 2 个 BCLK		
0008 3802h	BSC	CS0 控制寄存器	CS0CR	16	16	1 ～ 2 个 BCLK		
0008 380Ah	BSC	CS0 恢复周期设定寄存器	CS0REC	16	16	1 ～ 2 个 BCLK		
0008 3812h	BSC	CS1 控制寄存器	CS1CR	16	16	1 ～ 2 个 BCLK		
0008 381Ah	BSC	CS1 恢复周期设定寄存器	CS1REC	16	16	1 ～ 2 个 BCLK		
0008 3822h	BSC	CS2 控制寄存器	CS2CR	16	16	1 ～ 2 个 BCLK		
0008 382Ah	BSC	CS2 恢复周期设定寄存器	CS2REC	16	16	1 ～ 2 个 BCLK		
0008 3832h	BSC	CS3 控制寄存器	CS3CR	16	16	1 ～ 2 个 BCLK		
0008 383Ah	BSC	CS3 恢复周期设定寄存器	CS3REC	16	16	1 ～ 2 个 BCLK		
0008 3842h	BSC	CS4 控制寄存器	CS4CR	16	16	1 ～ 2 个 BCLK		
0008 384Ah	BSC	CS4 恢复周期设定寄存器	CS4REC	16	16	1 ～ 2 个 BCLK		
0008 3852h	BSC	CS5 控制寄存器	CS5CR	16	16	1 ～ 2 个 BCLK		
0008 385Ah	BSC	CS5 恢复周期设定寄存器	CS5REC	16	16	1 ～ 2 个 BCLK		
0008 3862h	BSC	CS6 控制寄存器	CS6CR	16	16	1 ～ 2 个 BCLK		
0008 386Ah	BSC	CS6 恢复周期设定寄存器	CS6REC	16	16	1 ～ 2 个 BCLK		
0008 3872h	BSC	CS7 控制寄存器	CS7CR	16	16	1 ～ 2 个 BCLK		
0008 387Ah	BSC	CS7 恢复周期设定寄存器	CS7REC	16	16	1 ～ 2 个 BCLK		
0008 3880h	BSC	CS 恢复周期插入允许寄存器	CSRECEN	16	16	1 ～ 2 个 BCLK		
0008 7010h	ICU	中断请求寄存器 016	IR016	8	8	2 个 ICLK		第 15 章
0008 7015h	ICU	中断请求寄存器 021	IR021	8	8	2 个 ICLK		
0008 7017h	ICU	中断请求寄存器 023	IR023	8	8	2 个 ICLK		
0008 701Bh	ICU	中断请求寄存器 027	IR027	8	8	2 个 ICLK		
0008 701Ch	ICU	中断请求寄存器 028	IR028	8	8	2 个 ICLK		
0008 701Dh	ICU	中断请求寄存器 029	IR029	8	8	2 个 ICLK		
0008 701Eh	ICU	中断请求寄存器 030	IR030	8	8	2 个 ICLK		
0008 701Fh	ICU	中断请求寄存器 031	IR031	8	8	2 个 ICLK		
0008 7021h	ICU	中断请求寄存器 033	IR033	8	8	2 个 ICLK		
0008 7022h	ICU	中断请求寄存器 034	IR034	8	8	2 个 ICLK		
0008 7023h	ICU	中断请求寄存器 035	IR035	8	8	2 个 ICLK		
0008 7027h	ICU	中断请求寄存器 039	IR039	8	8	2 个 ICLK		
0008 7028h	ICU	中断请求寄存器 040	IR040	8	8	2 个 ICLK		
0008 7029h	ICU	中断请求寄存器 041	IR041	8	8	2 个 ICLK		
0008 702Ah	ICU	中断请求寄存器 042	IR042	8	8	2 个 ICLK		
0008 702Bh	ICU	中断请求寄存器 043	IR043	8	8	2 个 ICLK		
0008 702Ch	ICU	中断请求寄存器 044	IR044	8	8	2 个 ICLK		
0008 702Dh	ICU	中断请求寄存器 045	IR045	8	8	2 个 ICLK		
0008 702Eh	ICU	中断请求寄存器 046	IR046	8	8	2 个 ICLK		
0008 702Fh	ICU	中断请求寄存器 047	IR047	8	8	2 个 ICLK		
0008 7030h	ICU	中断请求寄存器 048	IR048	8	8	2 个 ICLK		
0008 7031h	ICU	中断请求寄存器 049	IR049	8	8	2 个 ICLK		
0008 7032hz	ICU	中断请求寄存器 050	IR050	8	8	2 个 ICLK		
0008 7033h	ICU	中断请求寄存器 051	IR051	8	8	2 个 ICLK		
0008 7034h	ICU	中断请求寄存器 052	IR052	8	8	2 个 ICLK		
0008 7035h	ICU	中断请求寄存器 053	IR053	8	8	2 个 ICLK		
0008 7036h	ICU	中断请求寄存器 054	IR054	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (4/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 7037h	ICU	中断请求寄存器 055	IR055	8	8	2 个 ICLK		第 15 章
0008 7038h	ICU	中断请求寄存器 056	IR056	8	8	2 个 ICLK		
0008 7039h	ICU	中断请求寄存器 057	IR057	8	8	2 个 ICLK		
0008 703Ah	ICU	中断请求寄存器 058	IR058	8	8	2 个 ICLK		
0008 703Bh	ICU	中断请求寄存器 059	IR059	8	8	2 个 ICLK		
0008 703Eh	ICU	中断请求寄存器 062	IR062	8	8	2 个 ICLK		
0008 7040h	ICU	中断请求寄存器 064	IR064	8	8	2 个 ICLK		
0008 7041h	ICU	中断请求寄存器 065	IR065	8	8	2 个 ICLK		
0008 7042h	ICU	中断请求寄存器 066	IR066	8	8	2 个 ICLK		
0008 7043h	ICU	中断请求寄存器 067	IR067	8	8	2 个 ICLK		
0008 7044h	ICU	中断请求寄存器 068	IR068	8	8	2 个 ICLK		
0008 7045h	ICU	中断请求寄存器 069	IR069	8	8	2 个 ICLK		
0008 7046h	ICU	中断请求寄存器 070	IR070	8	8	2 个 ICLK		
0008 7047h	ICU	中断请求寄存器 071	IR071	8	8	2 个 ICLK		
0008 7048h	ICU	中断请求寄存器 072	IR072	8	8	2 个 ICLK		
0008 7049h	ICU	中断请求寄存器 073	IR073	8	8	2 个 ICLK		
0008 704Ah	ICU	中断请求寄存器 074	IR074	8	8	2 个 ICLK		
0008 704Bh	ICU	中断请求寄存器 075	IR075	8	8	2 个 ICLK		
0008 704Ch	ICU	中断请求寄存器 076	IR076	8	8	2 个 ICLK		
0008 704Dh	ICU	中断请求寄存器 077	IR077	8	8	2 个 ICLK		
0008 704Eh	ICU	中断请求寄存器 078	IR078	8	8	2 个 ICLK		
0008 704Fh	ICU	中断请求寄存器 079	IR079	8	8	2 个 ICLK		
0008 705Ah	ICU	中断请求寄存器 090	IR090	8	8	2 个 ICLK		
0008 705Ch	ICU	中断请求寄存器 092	IR092	8	8	2 个 ICLK		
0008 705Dh	ICU	中断请求寄存器 093	IR093	8	8	2 个 ICLK		
0008 7062h	ICU	中断请求寄存器 098	IR098	8	8	2 个 ICLK		
0008 7066h	ICU	中断请求寄存器 102	IR102	8	8	2 个 ICLK		
0008 706Ah	ICU	中断请求寄存器 106	IR106	8	8	2 个 ICLK		
0008 706Bh	ICU	中断请求寄存器 107	IR107	8	8	2 个 ICLK		
0008 706Ch	ICU	中断请求寄存器 108	IR108	8	8	2 个 ICLK		
0008 706Dh	ICU	中断请求寄存器 109	IR109	8	8	2 个 ICLK		
0008 706Eh	ICU	中断请求寄存器 110	IR110	8	8	2 个 ICLK		
0008 706Fh	ICU	中断请求寄存器 111	IR111	8	8	2 个 ICLK		
0008 7070h	ICU	中断请求寄存器 112	IR112	8	8	2 个 ICLK		
0008 7072h	ICU	中断请求寄存器 114	IR114	8	8	2 个 ICLK		
0008 707Ah	ICU	中断请求寄存器 122	IR122	8	8	2 个 ICLK		
0008 707Bh	ICU	中断请求寄存器 123	IR123	8	8	2 个 ICLK		
0008 707Ch	ICU	中断请求寄存器 124	IR124	8	8	2 个 ICLK		
0008 707Dh	ICU	中断请求寄存器 125	IR125	8	8	2 个 ICLK		
0008 707Eh	ICU	中断请求寄存器 126	IR126	8	8	2 个 ICLK		
0008 707Fh	ICU	中断请求寄存器 127	IR127	8	8	2 个 ICLK		
0008 7080h	ICU	中断请求寄存器 128	IR128	8	8	2 个 ICLK		
0008 7081h	ICU	中断请求寄存器 129	IR129	8	8	2 个 ICLK		
0008 7082h	ICU	中断请求寄存器 130	IR130	8	8	2 个 ICLK		
0008 7083h	ICU	中断请求寄存器 131	IR131	8	8	2 个 ICLK		
0008 7084h	ICU	中断请求寄存器 132	IR132	8	8	2 个 ICLK		
0008 7085h	ICU	中断请求寄存器 133	IR133	8	8	2 个 ICLK		
0008 7086h	ICU	中断请求寄存器 134	IR134	8	8	2 个 ICLK		
0008 7087h	ICU	中断请求寄存器 135	IR135	8	8	2 个 ICLK		
0008 7088h	ICU	中断请求寄存器 136	IR136	8	8	2 个 ICLK		
0008 7089h	ICU	中断请求寄存器 137	IR137	8	8	2 个 ICLK		
0008 708Ah	ICU	中断请求寄存器 138	IR138	8	8	2 个 ICLK		
0008 708Bh	ICU	中断请求寄存器 139	IR139	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (5/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 708Ch	ICU	中断请求寄存器 140	IR140	8	8	2 个 ICLK		第 15 章
0008 708Dh	ICU	中断请求寄存器 141	IR141	8	8	2 个 ICLK		
0008 708Eh	ICU	中断请求寄存器 142	IR142	8	8	2 个 ICLK		
0008 708Fh	ICU	中断请求寄存器 143	IR143	8	8	2 个 ICLK		
0008 7090h	ICU	中断请求寄存器 144	IR144	8	8	2 个 ICLK		
0008 7091h	ICU	中断请求寄存器 145	IR145	8	8	2 个 ICLK		
0008 7092h	ICU	中断请求寄存器 146	IR146	8	8	2 个 ICLK		
0008 7093h	ICU	中断请求寄存器 147	IR147	8	8	2 个 ICLK		
0008 7094h	ICU	中断请求寄存器 148	IR148	8	8	2 个 ICLK		
0008 7095h	ICU	中断请求寄存器 149	IR149	8	8	2 个 ICLK		
0008 7096h	ICU	中断请求寄存器 150	IR150	8	8	2 个 ICLK		
0008 7097h	ICU	中断请求寄存器 151	IR151	8	8	2 个 ICLK		
0008 7098h	ICU	中断请求寄存器 152	IR152	8	8	2 个 ICLK		
0008 7099h	ICU	中断请求寄存器 153	IR153	8	8	2 个 ICLK		
0008 709Ah	ICU	中断请求寄存器 154	IR154	8	8	2 个 ICLK		
0008 709Bh	ICU	中断请求寄存器 155	IR155	8	8	2 个 ICLK		
0008 709Ch	ICU	中断请求寄存器 156	IR156	8	8	2 个 ICLK		
0008 709Dh	ICU	中断请求寄存器 157	IR157	8	8	2 个 ICLK		
0008 709Eh	ICU	中断请求寄存器 158	IR158	8	8	2 个 ICLK		
0008 709Fh	ICU	中断请求寄存器 159	IR159	8	8	2 个 ICLK		
0008 70A0h	ICU	中断请求寄存器 160	IR160	8	8	2 个 ICLK		
0008 70A1h	ICU	中断请求寄存器 161	IR161	8	8	2 个 ICLK		
0008 70A2h	ICU	中断请求寄存器 162	IR162	8	8	2 个 ICLK		
0008 70A3h	ICU	中断请求寄存器 163	IR163	8	8	2 个 ICLK		
0008 70A4h	ICU	中断请求寄存器 164	IR164	8	8	2 个 ICLK		
0008 70A5h	ICU	中断请求寄存器 165	IR165	8	8	2 个 ICLK		
0008 70A6h	ICU	中断请求寄存器 166	IR166	8	8	2 个 ICLK		
0008 70A7h	ICU	中断请求寄存器 167	IR167	8	8	2 个 ICLK		
0008 70AAh	ICU	中断请求寄存器 170	IR170	8	8	2 个 ICLK		
0008 70ABh	ICU	中断请求寄存器 171	IR171	8	8	2 个 ICLK		
0008 70ACh	ICU	中断请求寄存器 172	IR172	8	8	2 个 ICLK		
0008 70ADh	ICU	中断请求寄存器 173	IR173	8	8	2 个 ICLK		
0008 70AEh	ICU	中断请求寄存器 174	IR174	8	8	2 个 ICLK		
0008 70AFh	ICU	中断请求寄存器 175	IR175	8	8	2 个 ICLK		
0008 70B0h	ICU	中断请求寄存器 176	IR176	8	8	2 个 ICLK		
0008 70B1h	ICU	中断请求寄存器 177	IR177	8	8	2 个 ICLK		
0008 70B2h	ICU	中断请求寄存器 178	IR178	8	8	2 个 ICLK		
0008 70B3h	ICU	中断请求寄存器 179	IR179	8	8	2 个 ICLK		
0008 70B4h	ICU	中断请求寄存器 180	IR180	8	8	2 个 ICLK		
0008 70B5h	ICU	中断请求寄存器 181	IR181	8	8	2 个 ICLK		
0008 70B6h	ICU	中断请求寄存器 182	IR182	8	8	2 个 ICLK		
0008 70B7h	ICU	中断请求寄存器 183	IR183	8	8	2 个 ICLK		
0008 70B8h	ICU	中断请求寄存器 184	IR184	8	8	2 个 ICLK		
0008 70B9h	ICU	中断请求寄存器 185	IR185	8	8	2 个 ICLK		
0008 70BAh	ICU	中断请求寄存器 186	IR186	8	8	2 个 ICLK		
0008 70BBh	ICU	中断请求寄存器 187	IR187	8	8	2 个 ICLK		
0008 70BCh	ICU	中断请求寄存器 188	IR188	8	8	2 个 ICLK		
0008 70BDh	ICU	中断请求寄存器 189	IR189	8	8	2 个 ICLK		
0008 70BEh	ICU	中断请求寄存器 190	IR190	8	8	2 个 ICLK		
0008 70BFh	ICU	中断请求寄存器 191	IR191	8	8	2 个 ICLK		
0008 70C0h	ICU	中断请求寄存器 192	IR192	8	8	2 个 ICLK		
0008 70C1h	ICU	中断请求寄存器 193	IR193	8	8	2 个 ICLK		
0008 70C2h	ICU	中断请求寄存器 194	IR194	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (6/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 70C3h	ICU	中断请求寄存器 195	IR195	8	8	2 个 ICLK		第 15 章
0008 70C4h	ICU	中断请求寄存器 196	IR196	8	8	2 个 ICLK		
0008 70C5h	ICU	中断请求寄存器 197	IR197	8	8	2 个 ICLK		
0008 70C6h	ICU	中断请求寄存器 198	IR198	8	8	2 个 ICLK		
0008 70C7h	ICU	中断请求寄存器 199	IR199	8	8	2 个 ICLK		
0008 70C8h	ICU	中断请求寄存器 200	IR200	8	8	2 个 ICLK		
0008 70C9h	ICU	中断请求寄存器 201	IR201	8	8	2 个 ICLK		
0008 70D6h	ICU	中断请求寄存器 214	IR214	8	8	2 个 ICLK		
0008 70D7h	ICU	中断请求寄存器 215	IR215	8	8	2 个 ICLK		
0008 70D8h	ICU	中断请求寄存器 216	IR216	8	8	2 个 ICLK		
0008 70D9h	ICU	中断请求寄存器 217	IR217	8	8	2 个 ICLK		
0008 70DAh	ICU	中断请求寄存器 218	IR218	8	8	2 个 ICLK		
0008 70DBh	ICU	中断请求寄存器 219	IR219	8	8	2 个 ICLK		
0008 70DCh	ICU	中断请求寄存器 220	IR220	8	8	2 个 ICLK		
0008 70DDh	ICU	中断请求寄存器 221	IR221	8	8	2 个 ICLK		
0008 70DEh	ICU	中断请求寄存器 222	IR222	8	8	2 个 ICLK		
0008 70DFh	ICU	中断请求寄存器 223	IR223	8	8	2 个 ICLK		
0008 70E0h	ICU	中断请求寄存器 224	IR224	8	8	2 个 ICLK		
0008 70E1h	ICU	中断请求寄存器 225	IR225	8	8	2 个 ICLK		
0008 70E2h	ICU	中断请求寄存器 226	IR226	8	8	2 个 ICLK		
0008 70E3h	ICU	中断请求寄存器 227	IR227	8	8	2 个 ICLK		
0008 70E4h	ICU	中断请求寄存器 228	IR228	8	8	2 个 ICLK		
0008 70E5h	ICU	中断请求寄存器 229	IR229	8	8	2 个 ICLK		
0008 70E6h	ICU	中断请求寄存器 230	IR230	8	8	2 个 ICLK		
0008 70E7h	ICU	中断请求寄存器 231	IR231	8	8	2 个 ICLK		
0008 70E8h	ICU	中断请求寄存器 232	IR232	8	8	2 个 ICLK		
0008 70E9h	ICU	中断请求寄存器 233	IR233	8	8	2 个 ICLK		
0008 70EAh	ICU	中断请求寄存器 234	IR234	8	8	2 个 ICLK		
0008 70EBh	ICU	中断请求寄存器 235	IR235	8	8	2 个 ICLK		
0008 70ECh	ICU	中断请求寄存器 236	IR236	8	8	2 个 ICLK		
0008 70EDh	ICU	中断请求寄存器 237	IR237	8	8	2 个 ICLK		
0008 70EEh	ICU	中断请求寄存器 238	IR238	8	8	2 个 ICLK		
0008 70EFh	ICU	中断请求寄存器 239	IR239	8	8	2 个 ICLK		
0008 70F0h	ICU	中断请求寄存器 240	IR240	8	8	2 个 ICLK		
0008 70F1h	ICU	中断请求寄存器 241	IR241	8	8	2 个 ICLK		
0008 70F2h	ICU	中断请求寄存器 242	IR242	8	8	2 个 ICLK		
0008 70F3h	ICU	中断请求寄存器 243	IR243	8	8	2 个 ICLK		
0008 70F4h	ICU	中断请求寄存器 244	IR244	8	8	2 个 ICLK		
0008 70F5h	ICU	中断请求寄存器 245	IR245	8	8	2 个 ICLK		
0008 70F6h	ICU	中断请求寄存器 246	IR246	8	8	2 个 ICLK		
0008 70F7h	ICU	中断请求寄存器 247	IR247	8	8	2 个 ICLK		
0008 70F8h	ICU	中断请求寄存器 248	IR248	8	8	2 个 ICLK		
0008 70F9h	ICU	中断请求寄存器 249	IR249	8	8	2 个 ICLK		
0008 70FAh	ICU	中断请求寄存器 250	IR250	8	8	2 个 ICLK		
0008 70FBh	ICU	中断请求寄存器 251	IR251	8	8	2 个 ICLK		
0008 70FCh	ICU	中断请求寄存器 252	IR252	8	8	2 个 ICLK		
0008 70FDh	ICU	中断请求寄存器 253	IR253	8	8	2 个 ICLK		
0008 711Bh	ICU	DTC 启动允许寄存器 027	DTCER027	8	8	2 个 ICLK		
0008 711Ch	ICU	DTC 启动允许寄存器 028	DTCER028	8	8	2 个 ICLK		
0008 711Dh	ICU	DTC 启动允许寄存器 029	DTCER029	8	8	2 个 ICLK		
0008 711Eh	ICU	DTC 启动允许寄存器 030	DTCER030	8	8	2 个 ICLK		
0008 711Fh	ICU	DTC 启动允许寄存器 031	DTCER031	8	8	2 个 ICLK		
0008 7121h	ICU	DTC 启动允许寄存器 033	DTCER033	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (7/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 7122h	ICU	DTC 启动允许寄存器 034	DTCER034	8	8	2 个 ICLK		第 15 章
0008 7127h	ICU	DTC 启动允许寄存器 039	DTCER039	8	8	2 个 ICLK		
0008 7128h	ICU	DTC 启动允许寄存器 040	DTCER040	8	8	2 个 ICLK		
0008 712Ah	ICU	DTC 启动允许寄存器 042	DTCER042	8	8	2 个 ICLK		
0008 712Bh	ICU	DTC 启动允许寄存器 043	DTCER043	8	8	2 个 ICLK		
0008 712Dh	ICU	DTC 启动允许寄存器 045	DTCER045	8	8	2 个 ICLK		
0008 712Eh	ICU	DTC 启动允许寄存器 046	DTCER046	8	8	2 个 ICLK		
0008 7140h	ICU	DTC 启动允许寄存器 064	DTCER064	8	8	2 个 ICLK		
0008 7141h	ICU	DTC 启动允许寄存器 065	DTCER065	8	8	2 个 ICLK		
0008 7142h	ICU	DTC 启动允许寄存器 066	DTCER066	8	8	2 个 ICLK		
0008 7143h	ICU	DTC 启动允许寄存器 067	DTCER067	8	8	2 个 ICLK		
0008 7144h	ICU	DTC 启动允许寄存器 068	DTCER068	8	8	2 个 ICLK		
0008 7145h	ICU	DTC 启动允许寄存器 069	DTCER069	8	8	2 个 ICLK		
0008 7146h	ICU	DTC 启动允许寄存器 070	DTCER070	8	8	2 个 ICLK		
0008 7147h	ICU	DTC 启动允许寄存器 071	DTCER071	8	8	2 个 ICLK		
0008 7148h	ICU	DTC 启动允许寄存器 072	DTCER072	8	8	2 个 ICLK		
0008 7149h	ICU	DTC 启动允许寄存器 073	DTCER073	8	8	2 个 ICLK		
0008 714Ah	ICU	DTC 启动允许寄存器 074	DTCER074	8	8	2 个 ICLK		
0008 714Bh	ICU	DTC 启动允许寄存器 075	DTCER075	8	8	2 个 ICLK		
0008 714Ch	ICU	DTC 启动允许寄存器 076	DTCER076	8	8	2 个 ICLK		
0008 714Dh	ICU	DTC 启动允许寄存器 077	DTCER077	8	8	2 个 ICLK		
0008 714Eh	ICU	DTC 启动允许寄存器 078	DTCER078	8	8	2 个 ICLK		
0008 714Fh	ICU	DTC 启动允许寄存器 079	DTCER079	8	8	2 个 ICLK		
0008 7162h	ICU	DTC 启动允许寄存器 098	DTCER098	8	8	2 个 ICLK		
0008 7166h	ICU	DTC 启动允许寄存器 102	DTCER102	8	8	2 个 ICLK		
0008 717Eh	ICU	DTC 启动允许寄存器 126	DTCER126	8	8	2 个 ICLK		
0008 717Fh	ICU	DTC 启动允许寄存器 127	DTCER127	8	8	2 个 ICLK		
0008 7180h	ICU	DTC 启动允许寄存器 128	DTCER128	8	8	2 个 ICLK		
0008 7181h	ICU	DTC 启动允许寄存器 129	DTCER129	8	8	2 个 ICLK		
0008 7182h	ICU	DTC 启动允许寄存器 130	DTCER130	8	8	2 个 ICLK		
0008 7183h	ICU	DTC 启动允许寄存器 131	DTCER131	8	8	2 个 ICLK		
0008 7184h	ICU	DTC 启动允许寄存器 132	DTCER132	8	8	2 个 ICLK		
0008 7185h	ICU	DTC 启动允许寄存器 133	DTCER133	8	8	2 个 ICLK		
0008 7186h	ICU	DTC 启动允许寄存器 134	DTCER134	8	8	2 个 ICLK		
0008 7187h	ICU	DTC 启动允许寄存器 135	DTCER135	8	8	2 个 ICLK		
0008 7188h	ICU	DTC 启动允许寄存器 136	DTCER136	8	8	2 个 ICLK		
0008 7189h	ICU	DTC 启动允许寄存器 137	DTCER137	8	8	2 个 ICLK		
0008 718Ah	ICU	DTC 启动允许寄存器 138	DTCER138	8	8	2 个 ICLK		
0008 718Bh	ICU	DTC 启动允许寄存器 139	DTCER139	8	8	2 个 ICLK		
0008 718Ch	ICU	DTC 启动允许寄存器 140	DTCER140	8	8	2 个 ICLK		
0008 718Dh	ICU	DTC 启动允许寄存器 141	DTCER141	8	8	2 个 ICLK		
0008 718Eh	ICU	DTC 启动允许寄存器 142	DTCER142	8	8	2 个 ICLK		
0008 718Fh	ICU	DTC 启动允许寄存器 143	DTCER143	8	8	2 个 ICLK		
0008 7190h	ICU	DTC 启动允许寄存器 144	DTCER144	8	8	2 个 ICLK		
0008 7191h	ICU	DTC 启动允许寄存器 145	DTCER145	8	8	2 个 ICLK		
0008 7194h	ICU	DTC 启动允许寄存器 148	DTCER148	8	8	2 个 ICLK		
0008 7195h	ICU	DTC 启动允许寄存器 149	DTCER149	8	8	2 个 ICLK		
0008 7196h	ICU	DTC 启动允许寄存器 150	DTCER150	8	8	2 个 ICLK		
0008 7197h	ICU	DTC 启动允许寄存器 151	DTCER151	8	8	2 个 ICLK		
0008 7198h	ICU	DTC 启动允许寄存器 152	DTCER152	8	8	2 个 ICLK		
0008 7199h	ICU	DTC 启动允许寄存器 153	DTCER153	8	8	2 个 ICLK		
0008 719Ah	ICU	DTC 启动允许寄存器 154	DTCER154	8	8	2 个 ICLK		
0008 719Bh	ICU	DTC 启动允许寄存器 155	DTCER155	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (8/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 719Ch	ICU	DTC 启动允许寄存器 156	DTCER156	8	8	2 个 ICLK		第 15 章
0008 719Dh	ICU	DTC 启动允许寄存器 157	DTCER157	8	8	2 个 ICLK		
0008 719Eh	ICU	DTC 启动允许寄存器 158	DTCER158	8	8	2 个 ICLK		
0008 719Fh	ICU	DTC 启动允许寄存器 159	DTCER159	8	8	2 个 ICLK		
0008 71A0h	ICU	DTC 启动允许寄存器 160	DTCER160	8	8	2 个 ICLK		
0008 71A1h	ICU	DTC 启动允许寄存器 161	DTCER161	8	8	2 个 ICLK		
0008 71A2h	ICU	DTC 启动允许寄存器 162	DTCER162	8	8	2 个 ICLK		
0008 71A3h	ICU	DTC 启动允许寄存器 163	DTCER163	8	8	2 个 ICLK		
0008 71A4h	ICU	DTC 启动允许寄存器 164	DTCER164	8	8	2 个 ICLK		
0008 71A5h	ICU	DTC 启动允许寄存器 165	DTCER165	8	8	2 个 ICLK		
0008 71AAh	ICU	DTC 启动允许寄存器 170	DTCER170	8	8	2 个 ICLK		
0008 71ABh	ICU	DTC 启动允许寄存器 171	DTCER171	8	8	2 个 ICLK		
0008 71ADh	ICU	DTC 启动允许寄存器 173	DTCER173	8	8	2 个 ICLK		
0008 71AEh	ICU	DTC 启动允许寄存器 174	DTCER174	8	8	2 个 ICLK		
0008 71B0h	ICU	DTC 启动允许寄存器 176	DTCER176	8	8	2 个 ICLK		
0008 71B1h	ICU	DTC 启动允许寄存器 177	DTCER177	8	8	2 个 ICLK		
0008 71B3h	ICU	DTC 启动允许寄存器 179	DTCER179	8	8	2 个 ICLK		
0008 71B4h	ICU	DTC 启动允许寄存器 180	DTCER180	8	8	2 个 ICLK		
0008 71B7h	ICU	DTC 启动允许寄存器 183	DTCER183	8	8	2 个 ICLK		
0008 71B8h	ICU	DTC 启动允许寄存器 184	DTCER184	8	8	2 个 ICLK		
0008 71BBh	ICU	DTC 启动允许寄存器 187	DTCER187	8	8	2 个 ICLK		
0008 71BCh	ICU	DTC 启动允许寄存器 188	DTCER188	8	8	2 个 ICLK		
0008 71BFh	ICU	DTC 启动允许寄存器 191	DTCER191	8	8	2 个 ICLK		
0008 71C0h	ICU	DTC 启动允许寄存器 192	DTCER192	8	8	2 个 ICLK		
0008 71C3h	ICU	DTC 启动允许寄存器 195	DTCER195	8	8	2 个 ICLK		
0008 71C4h	ICU	DTC 启动允许寄存器 196	DTCER196	8	8	2 个 ICLK		
0008 71C6h	ICU	DTC 启动允许寄存器 198	DTCER198	8	8	2 个 ICLK		
0008 71C7h	ICU	DTC 启动允许寄存器 199	DTCER199	8	8	2 个 ICLK		
0008 71C8h	ICU	DTC 启动允许寄存器 200	DTCER200	8	8	2 个 ICLK		
0008 71C9h	ICU	DTC 启动允许寄存器 201	DTCER201	8	8	2 个 ICLK		
0008 71D6h	ICU	DTC 启动允许寄存器 214	DTCER214	8	8	2 个 ICLK		
0008 71D7h	ICU	DTC 启动允许寄存器 215	DTCER215	8	8	2 个 ICLK		
0008 71D9h	ICU	DTC 启动允许寄存器 217	DTCER217	8	8	2 个 ICLK		
0008 71DAh	ICU	DTC 启动允许寄存器 218	DTCER218	8	8	2 个 ICLK		
0008 71DCh	ICU	DTC 启动允许寄存器 220	DTCER220	8	8	2 个 ICLK		
0008 71DDh	ICU	DTC 启动允许寄存器 221	DTCER221	8	8	2 个 ICLK		
0008 71DFh	ICU	DTC 启动允许寄存器 223	DTCER223	8	8	2 个 ICLK		
0008 71E0h	ICU	DTC 启动允许寄存器 224	DTCER224	8	8	2 个 ICLK		
0008 71E2h	ICU	DTC 启动允许寄存器 226	DTCER226	8	8	2 个 ICLK		
0008 71E3h	ICU	DTC 启动允许寄存器 227	DTCER227	8	8	2 个 ICLK		
0008 71E5h	ICU	DTC 启动允许寄存器 229	DTCER229	8	8	2 个 ICLK		
0008 71E6h	ICU	DTC 启动允许寄存器 230	DTCER230	8	8	2 个 ICLK		
0008 71E8h	ICU	DTC 启动允许寄存器 232	DTCER232	8	8	2 个 ICLK		
0008 71E9h	ICU	DTC 启动允许寄存器 233	DTCER233	8	8	2 个 ICLK		
0008 71EBh	ICU	DTC 启动允许寄存器 235	DTCER235	8	8	2 个 ICLK		
0008 71ECh	ICU	DTC 启动允许寄存器 236	DTCER236	8	8	2 个 ICLK		
0008 71EEh	ICU	DTC 启动允许寄存器 238	DTCER238	8	8	2 个 ICLK		
0008 71EFh	ICU	DTC 启动允许寄存器 239	DTCER239	8	8	2 个 ICLK		
0008 71F1h	ICU	DTC 启动允许寄存器 241	DTCER241	8	8	2 个 ICLK		
0008 71F2h	ICU	DTC 启动允许寄存器 242	DTCER242	8	8	2 个 ICLK		
0008 71F4h	ICU	DTC 启动允许寄存器 244	DTCER244	8	8	2 个 ICLK		
0008 71F5h	ICU	DTC 启动允许寄存器 245	DTCER245	8	8	2 个 ICLK		
0008 71F7h	ICU	DTC 启动允许寄存器 247	DTCER247	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (9/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 71F8h	ICU	DTC 启动允许寄存器 248	DTCER248	8	8	2 个 ICLK		第 15 章
0008 71FAh	ICU	DTC 启动允许寄存器 250	DTCER250	8	8	2 个 ICLK		
0008 71FBh	ICU	DTC 启动允许寄存器 251	DTCER251	8	8	2 个 ICLK		
0008 7202h	ICU	中断请求允许寄存器 02	IER02	8	8	2 个 ICLK		
0008 7203h	ICU	中断请求允许寄存器 03	IER03	8	8	2 个 ICLK		
0008 7204h	ICU	中断请求允许寄存器 04	IER04	8	8	2 个 ICLK		
0008 7205h	ICU	中断请求允许寄存器 05	IER05	8	8	2 个 ICLK		
0008 7206h	ICU	中断请求允许寄存器 06	IER06	8	8	2 个 ICLK		
0008 7207h	ICU	中断请求允许寄存器 07	IER07	8	8	2 个 ICLK		
0008 7208h	ICU	中断请求允许寄存器 08	IER08	8	8	2 个 ICLK		
0008 7209h	ICU	中断请求允许寄存器 09	IER09	8	8	2 个 ICLK		
0008 720Bh	ICU	中断请求允许寄存器 0B	IER0B	8	8	2 个 ICLK		
0008 720Ch	ICU	中断请求允许寄存器 0C	IER0C	8	8	2 个 ICLK		
0008 720Dh	ICU	中断请求允许寄存器 0D	IER0D	8	8	2 个 ICLK		
0008 720Eh	ICU	中断请求允许寄存器 0E	IER0E	8	8	2 个 ICLK		
0008 720Fh	ICU	中断请求允许寄存器 0F	IER0F	8	8	2 个 ICLK		
0008 7210h	ICU	中断请求允许寄存器 10	IER10	8	8	2 个 ICLK		
0008 7211h	ICU	中断请求允许寄存器 11	IER11	8	8	2 个 ICLK		
0008 7212h	ICU	中断请求允许寄存器 12	IER12	8	8	2 个 ICLK		
0008 7213h	ICU	中断请求允许寄存器 13	IER13	8	8	2 个 ICLK		
0008 7214h	ICU	中断请求允许寄存器 14	IER14	8	8	2 个 ICLK		
0008 7215h	ICU	中断请求允许寄存器 15	IER15	8	8	2 个 ICLK		
0008 7216h	ICU	中断请求允许寄存器 16	IER16	8	8	2 个 ICLK		
0008 7217h	ICU	中断请求允许寄存器 17	IER17	8	8	2 个 ICLK		
0008 7218h	ICU	中断请求允许寄存器 18	IER18	8	8	2 个 ICLK		
0008 7219h	ICU	中断请求允许寄存器 19	IER19	8	8	2 个 ICLK		
0008 721Ah	ICU	中断请求允许寄存器 1A	IER1A	8	8	2 个 ICLK		
0008 721Bh	ICU	中断请求允许寄存器 1B	IER1B	8	8	2 个 ICLK		
0008 721Ch	ICU	中断请求允许寄存器 1C	IER1C	8	8	2 个 ICLK		
0008 721Dh	ICU	中断请求允许寄存器 1D	IER1D	8	8	2 个 ICLK		
0008 721Eh	ICU	中断请求允许寄存器 1E	IER1E	8	8	2 个 ICLK		
0008 721Fh	ICU	中断请求允许寄存器 1F	IER1F	8	8	2 个 ICLK		
0008 72E0h	ICU	软件中断启动寄存器	SWINTR	8	8	2 个 ICLK		
0008 72F0h	ICU	高速中断设定寄存器	FIR	16	16	2 个 ICLK		
0008 7300h	ICU	中断源优先级寄存器 000	IPR000	8	8	2 个 ICLK		
0008 7301h	ICU	中断源优先级寄存器 001	IPR001	8	8	2 个 ICLK		
0008 7302h	ICU	中断源优先级寄存器 002	IPR002	8	8	2 个 ICLK		
0008 7303h	ICU	中断源优先级寄存器 003	IPR003	8	8	2 个 ICLK		
0008 7304h	ICU	中断源优先级寄存器 004	IPR004	8	8	2 个 ICLK		
0008 7305h	ICU	中断源优先级寄存器 005	IPR005	8	8	2 个 ICLK		
0008 7306h	ICU	中断源优先级寄存器 006	IPR006	8	8	2 个 ICLK		
0008 7307h	ICU	中断源优先级寄存器 007	IPR007	8	8	2 个 ICLK		
0008 7321h	ICU	中断源优先级寄存器 033	IPR033	8	8	2 个 ICLK		
0008 7322h	ICU	中断源优先级寄存器 034	IPR034	8	8	2 个 ICLK		
0008 7323h	ICU	中断源优先级寄存器 035	IPR035	8	8	2 个 ICLK		
0008 7327h	ICU	中断源优先级寄存器 039	IPR039	8	8	2 个 ICLK		
0008 732Ah	ICU	中断源优先级寄存器 042	IPR042	8	8	2 个 ICLK		
0008 732Dh	ICU	中断源优先级寄存器 045	IPR045	8	8	2 个 ICLK		
0008 7330h	ICU	中断源优先级寄存器 048	IPR048	8	8	2 个 ICLK		
0008 7334h	ICU	中断源优先级寄存器 052	IPR052	8	8	2 个 ICLK		
0008 7338h	ICU	中断源优先级寄存器 056	IPR056	8	8	2 个 ICLK		
0008 733Eh	ICU	中断源优先级寄存器 062	IPR062	8	8	2 个 ICLK		
0008 7340h	ICU	中断源优先级寄存器 064	IPR064	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (10/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 7341h	ICU	中断源优先级寄存器 065	IPR065	8	8	2 个 ICLK		第 15 章
0008 7342h	ICU	中断源优先级寄存器 066	IPR066	8	8	2 个 ICLK		
0008 7343h	ICU	中断源优先级寄存器 067	IPR067	8	8	2 个 ICLK		
0008 7344h	ICU	中断源优先级寄存器 068	IPR068	8	8	2 个 ICLK		
0008 7345h	ICU	中断源优先级寄存器 069	IPR069	8	8	2 个 ICLK		
0008 7346h	ICU	中断源优先级寄存器 070	IPR070	8	8	2 个 ICLK		
0008 7347h	ICU	中断源优先级寄存器 071	IPR071	8	8	2 个 ICLK		
0008 7348h	ICU	中断源优先级寄存器 072	IPR072	8	8	2 个 ICLK		
0008 7349h	ICU	中断源优先级寄存器 073	IPR073	8	8	2 个 ICLK		
0008 734Ah	ICU	中断源优先级寄存器 074	IPR074	8	8	2 个 ICLK		
0008 734Bh	ICU	中断源优先级寄存器 075	IPR075	8	8	2 个 ICLK		
0008 734Ch	ICU	中断源优先级寄存器 076	IPR076	8	8	2 个 ICLK		
0008 734Dh	ICU	中断源优先级寄存器 077	IPR077	8	8	2 个 ICLK		
0008 734Eh	ICU	中断源优先级寄存器 078	IPR078	8	8	2 个 ICLK		
0008 734Fh	ICU	中断源优先级寄存器 079	IPR079	8	8	2 个 ICLK		
0008 735Ah	ICU	中断源优先级寄存器 090	IPR090	8	8	2 个 ICLK		
0008 735Ch	ICU	中断源优先级寄存器 092	IPR092	8	8	2 个 ICLK		
0008 735Dh	ICU	中断源优先级寄存器 093	IPR093	8	8	2 个 ICLK		
0008 7362h	ICU	中断源优先级寄存器 098	IPR098	8	8	2 个 ICLK		
0008 7366h	ICU	中断源优先级寄存器 102	IPR102	8	8	2 个 ICLK		
0008 736Ah	ICU	中断源优先级寄存器 106	IPR106	8	8	2 个 ICLK		
0008 736Bh	ICU	中断源优先级寄存器 107	IPR107	8	8	2 个 ICLK		
0008 736Ch	ICU	中断源优先级寄存器 108	IPR108	8	8	2 个 ICLK		
0008 736Dh	ICU	中断源优先级寄存器 109	IPR109	8	8	2 个 ICLK		
0008 736Eh	ICU	中断源优先级寄存器 110	IPR110	8	8	2 个 ICLK		
0008 736Fh	ICU	中断源优先级寄存器 111	IPR111	8	8	2 个 ICLK		
0008 7370h	ICU	中断源优先级寄存器 112	IPR112	8	8	2 个 ICLK		
0008 7372h	ICU	中断源优先级寄存器 114	IPR114	8	8	2 个 ICLK		
0008 737Ah	ICU	中断源优先级寄存器 122	IPR122	8	8	2 个 ICLK		
0008 737Eh	ICU	中断源优先级寄存器 126	IPR126	8	8	2 个 ICLK		
0008 7382h	ICU	中断源优先级寄存器 130	IPR130	8	8	2 个 ICLK		
0008 7384h	ICU	中断源优先级寄存器 132	IPR132	8	8	2 个 ICLK		
0008 7386h	ICU	中断源优先级寄存器 134	IPR134	8	8	2 个 ICLK		
0008 738Ah	ICU	中断源优先级寄存器 138	IPR138	8	8	2 个 ICLK		
0008 738Ch	ICU	中断源优先级寄存器 140	IPR140	8	8	2 个 ICLK		
0008 738Eh	ICU	中断源优先级寄存器 142	IPR142	8	8	2 个 ICLK		
0008 7392h	ICU	中断源优先级寄存器 146	IPR146	8	8	2 个 ICLK		
0008 7394h	ICU	中断源优先级寄存器 148	IPR148	8	8	2 个 ICLK		
0008 7396h	ICU	中断源优先级寄存器 150	IPR150	8	8	2 个 ICLK		
0008 7398h	ICU	中断源优先级寄存器 152	IPR152	8	8	2 个 ICLK		
0008 739Ch	ICU	中断源优先级寄存器 156	IPR156	8	8	2 个 ICLK		
0008 73A0h	ICU	中断源优先级寄存器 160	IPR160	8	8	2 个 ICLK		
0008 73A1h	ICU	中断源优先级寄存器 161	IPR161	8	8	2 个 ICLK		
0008 73A4h	ICU	中断源优先级寄存器 164	IPR164	8	8	2 个 ICLK		
0008 73A6h	ICU	中断源优先级寄存器 166	IPR166	8	8	2 个 ICLK		
0008 73AAh	ICU	中断源优先级寄存器 170	IPR170	8	8	2 个 ICLK		
0008 73ADh	ICU	中断源优先级寄存器 173	IPR173	8	8	2 个 ICLK		
0008 73B0h	ICU	中断源优先级寄存器 176	IPR176	8	8	2 个 ICLK		
0008 73B3h	ICU	中断源优先级寄存器 179	IPR179	8	8	2 个 ICLK		
0008 73B6h	ICU	中断源优先级寄存器 182	IPR182	8	8	2 个 ICLK		
0008 73B7h	ICU	中断源优先级寄存器 183	IPR183	8	8	2 个 ICLK		
0008 73B8h	ICU	中断源优先级寄存器 184	IPR184	8	8	2 个 ICLK		
0008 73B9h	ICU	中断源优先级寄存器 185	IPR185	8	8	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (11/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 73BAh	ICU	中断源优先级寄存器 186	IPR186	8	8	2 个 ICLK		第 15 章
0008 73BBh	ICU	中断源优先级寄存器 187	IPR187	8	8	2 个 ICLK		
0008 73BCh	ICU	中断源优先级寄存器 188	IPR188	8	8	2 个 ICLK		
0008 73BDh	ICU	中断源优先级寄存器 189	IPR189	8	8	2 个 ICLK		
0008 73BEh	ICU	中断源优先级寄存器 190	IPR190	8	8	2 个 ICLK		
0008 73BFh	ICU	中断源优先级寄存器 191	IPR191	8	8	2 个 ICLK		
0008 73C0h	ICU	中断源优先级寄存器 192	IPR192	8	8	2 个 ICLK		
0008 73C1h	ICU	中断源优先级寄存器 193	IPR193	8	8	2 个 ICLK		
0008 73C2h	ICU	中断源优先级寄存器 194	IPR194	8	8	2 个 ICLK		
0008 73C3h	ICU	中断源优先级寄存器 195	IPR195	8	8	2 个 ICLK		
0008 73C4h	ICU	中断源优先级寄存器 196	IPR196	8	8	2 个 ICLK		
0008 73C5h	ICU	中断源优先级寄存器 197	IPR197	8	8	2 个 ICLK		
0008 73C6h	ICU	中断源优先级寄存器 198	IPR198	8	8	2 个 ICLK		
0008 73C7h	ICU	中断源优先级寄存器 199	IPR199	8	8	2 个 ICLK		
0008 73C8h	ICU	中断源优先级寄存器 200	IPR200	8	8	2 个 ICLK		
0008 73C9h	ICU	中断源优先级寄存器 201	IPR201	8	8	2 个 ICLK		
0008 73D6h	ICU	中断源优先级寄存器 214	IPR214	8	8	2 个 ICLK		
0008 73D9h	ICU	中断源优先级寄存器 217	IPR217	8	8	2 个 ICLK		
0008 73DCh	ICU	中断源优先级寄存器 220	IPR220	8	8	2 个 ICLK		
0008 73DFh	ICU	中断源优先级寄存器 223	IPR223	8	8	2 个 ICLK		
0008 73E2h	ICU	中断源优先级寄存器 226	IPR226	8	8	2 个 ICLK		
0008 73E5h	ICU	中断源优先级寄存器 229	IPR229	8	8	2 个 ICLK		
0008 73E8h	ICU	中断源优先级寄存器 232	IPR232	8	8	2 个 ICLK		
0008 73EBh	ICU	中断源优先级寄存器 235	IPR235	8	8	2 个 ICLK		
0008 73EEh	ICU	中断源优先级寄存器 238	IPR238	8	8	2 个 ICLK		
0008 73F1h	ICU	中断源优先级寄存器 241	IPR241	8	8	2 个 ICLK		
0008 73F4h	ICU	中断源优先级寄存器 244	IPR244	8	8	2 个 ICLK		
0008 73F7h	ICU	中断源优先级寄存器 247	IPR247	8	8	2 个 ICLK		
0008 73FAh	ICU	中断源优先级寄存器 250	IPR250	8	8	2 个 ICLK		
0008 73FDh	ICU	中断源优先级寄存器 253	IPR253	8	8	2 个 ICLK		
0008 7400h	ICU	DMAC 启动请求选择寄存器 0	DMRSR0	8	8	2 个 ICLK		
0008 7404h	ICU	DMAC 启动请求选择寄存器 1	DMRSR1	8	8	2 个 ICLK		
0008 7408h	ICU	DMAC 启动请求选择寄存器 2	DMRSR2	8	8	2 个 ICLK		
0008 740Ch	ICU	DMAC 启动请求选择寄存器 3	DMRSR3	8	8	2 个 ICLK		
0008 7500h	ICU	IRQ 控制寄存器 0	IRQCR0	8	8	2 个 ICLK		
0008 7501h	ICU	IRQ 控制寄存器 1	IRQCR1	8	8	2 个 ICLK		
0008 7502h	ICU	IRQ 控制寄存器 2	IRQCR2	8	8	2 个 ICLK		
0008 7503h	ICU	IRQ 控制寄存器 3	IRQCR3	8	8	2 个 ICLK		
0008 7504h	ICU	IRQ 控制寄存器 4	IRQCR4	8	8	2 个 ICLK		
0008 7505h	ICU	IRQ 控制寄存器 5	IRQCR5	8	8	2 个 ICLK		
0008 7506h	ICU	IRQ 控制寄存器 6	IRQCR6	8	8	2 个 ICLK		
0008 7507h	ICU	IRQ 控制寄存器 7	IRQCR7	8	8	2 个 ICLK		
0008 7508h	ICU	IRQ 控制寄存器 8	IRQCR8	8	8	2 个 ICLK		
0008 7509h	ICU	IRQ 控制寄存器 9	IRQCR9	8	8	2 个 ICLK		
0008 750Ah	ICU	IRQ 控制寄存器 10	IRQCR10	8	8	2 个 ICLK		
0008 750Bh	ICU	IRQ 控制寄存器 11	IRQCR11	8	8	2 个 ICLK		
0008 750Ch	ICU	IRQ 控制寄存器 12	IRQCR12	8	8	2 个 ICLK		
0008 750Dh	ICU	IRQ 控制寄存器 13	IRQCR13	8	8	2 个 ICLK		
0008 750Eh	ICU	IRQ 控制寄存器 14	IRQCR14	8	8	2 个 ICLK		
0008 750Fh	ICU	IRQ 控制寄存器 15	IRQCR15	8	8	2 个 ICLK		
0008 7510h	ICU	IRQ 引脚数字滤波器的允许寄存器 0	IRQFLTE0	8	8	2 个 ICLK		
0008 7511h	ICU	IRQ 引脚数字滤波器的允许寄存器 1	IRQFLTE1	8	8	2 个 ICLK		
0008 7514h	ICU	IRQ 引脚数字滤波器的设定寄存器 0	IRQFLTC0	16	16	2 个 ICLK		

表 5.1 I/O 寄存器地址一览表 (12/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 7516h	ICU	IRQ 引脚数字滤波器的设定寄存器 1	IRQFLTC1	16	16	2 个 ICLK		第 15 章
0008 7580h	ICU	非屏蔽中断状态寄存器	NMISR	8	8	2 个 ICLK		
0008 7581h	ICU	非屏蔽中断允许寄存器	NMIER	8	8	2 个 ICLK		
0008 7582h	ICU	非屏蔽中断状态清除寄存器	NMICLR	8	8	2 个 ICLK		
0008 7583h	ICU	NMI 引脚中断控制寄存器	NMICR	8	8	2 个 ICLK		
0008 7590h	ICU	NMI 引脚数字滤波器的允许寄存器	NMIFLTE	8	8	2 个 ICLK		
0008 7594h	ICU	NMI 引脚数字滤波器的设定寄存器	NMIFLTC	16	16	2 个 ICLK		
0008 8000h	CMT	比较匹配定时器的启动寄存器 0	CMSTR0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	第 26 章
0008 8002h	CMT0	比较匹配定时器的控制寄存器	CMCR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8004h	CMT0	比较匹配定时器的计数器	CMCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8006h	CMT0	比较匹配定时器的常数寄存器	CMCOR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8008h	CMT1	比较匹配定时器的控制寄存器	CMCR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 800Ah	CMT1	比较匹配定时器的计数器	CMCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 800Ch	CMT1	比较匹配定时器的常数寄存器	CMCOR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8010h	CMT	比较匹配定时器的启动寄存器 1	CMSTR1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8012h	CMT2	比较匹配定时器的控制寄存器	CMCR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8014h	CMT2	比较匹配定时器的计数器	CMCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8016h	CMT2	比较匹配定时器的常数寄存器	CMCOR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8018h	CMT3	比较匹配定时器的控制寄存器	CMCR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 801Ah	CMT3	比较匹配定时器的计数器	CMCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 801Ch	CMT3	比较匹配定时器的常数寄存器	CMCOR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8020h	WDT	WDT 刷新寄存器	WDTRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 28 章
0008 8022h	WDT	WDT 控制寄存器	WDTCR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8024h	WDT	WDT 状态寄存器	WDTSR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8026h	WDT	WDT 复位控制寄存器	WDTRCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8030h	IWDT	IWDT 刷新寄存器	IWDTRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 29 章
0008 8032h	IWDT	IWDT 控制寄存器	IWDTCR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8034h	IWDT	IWDT 状态寄存器	IWDTSR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8036h	IWDT	IWDT 复位控制寄存器	IWDTRCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8038h	IWDT	IWDT 计数停止控制寄存器	IWDTCSTPR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 80C0h	DA	D/A 数据寄存器 0	DADR0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	第 39 章
0008 80C2h	DA	D/A 数据寄存器 1	DADR1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 80C4h	DA	D/A 控制寄存器	DACR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 80C5h	DA	DADRm 格式选择寄存器	DADPR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 80C6h	DA	D/A A/D 同步启动控制寄存器	DAADSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8100h	TPUA	定时器的启动寄存器	TSTR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8101h	TPUA	定时器的同步寄存器	TSYR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 23 章
0008 8108h	TPU0	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8109h	TPU1	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 810Ah	TPU2	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 810Bh	TPU3	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 810Ch	TPU4	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 810Dh	TPU5	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8110h	TPU0	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8111h	TPU0	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8112h	TPU0	定时器的 I/O 控制寄存器 H	TIORH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8113h	TPU0	定时器的 I/O 的控制寄存器 L	TIORL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8114h	TPU0	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8115h	TPU0	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8116h	TPU0	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8118h	TPU0	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 811Ah	TPU0	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 811Ch	TPU0	定时器的通用寄存器 C	TGRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (13/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 811Eh	TPU0	定时器的通用寄存器 D	TGRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	第 23 章
0008 8120h	TPU1	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8121h	TPU1	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8122h	TPU1	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8124h	TPU1	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8125h	TPU1	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8126h	TPU1	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8128h	TPU1	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 812Ah	TPU1	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8130h	TPU2	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8131h	TPU2	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8132h	TPU2	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8134h	TPU2	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8135h	TPU2	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8136h	TPU2	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8138h	TPU2	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 813Ah	TPU2	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8140h	TPU3	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8141h	TPU3	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8142h	TPU3	定时器的 I/O 控制寄存器 H	TIORH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8143h	TPU3	定时器的 I/O 控制寄存器 L	TIORL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8144h	TPU3	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8145h	TPU3	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8146h	TPU3	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8148h	TPU3	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 814Ah	TPU3	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 814Ch	TPU3	定时器的通用寄存器 C	TGRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 814Eh	TPU3	定时器的通用寄存器 D	TGRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8150h	TPU4	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8151h	TPU4	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8152h	TPU4	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8154h	TPU4	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8155h	TPU4	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8156h	TPU4	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8158h	TPU4	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 815Ah	TPU4	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8160h	TPU5	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8161h	TPU5	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8162h	TPU5	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8164h	TPU5	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8165h	TPU5	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8166h	TPU5	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8168h	TPU5	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 816Ah	TPU5	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8170h	TPUB	定时器的启动寄存器	TSTR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8171h	TPUB	定时器的同步寄存器	TSYR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8178h	TPU6	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8179h	TPU7	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 817Ah	TPU8	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 817Bh	TPU9	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 817Ch	TPU10	噪声滤波器的控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 817Dh	TPU11	噪声滤波器控制寄存器	NFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8180h	TPU6	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (14/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 8181h	TPU6	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 23 章
0008 8182h	TPU6	定时器的 I/O 控制寄存器 H	TIORH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8183h	TPU6	定时器的 I/O 控制寄存器 L	TIORL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8184h	TPU6	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8185h	TPU6	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8186h	TPU6	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8188h	TPU6	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 818Ah	TPU6	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 818Ch	TPU6	定时器的通用寄存器 C	TGRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 818Eh	TPU6	定时器的通用寄存器 D	TGRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8190h	TPU7	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8191h	TPU7	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8192h	TPU7	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8194h	TPU7	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8195h	TPU7	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8196h	TPU7	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8198h	TPU7	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 819Ah	TPU7	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81A0h	TPU8	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81A1h	TPU8	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81A2h	TPU8	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81A4h	TPU8	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81A5h	TPU8	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81A6h	TPU8	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81A8h	TPU8	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81AAh	TPU8	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B0h	TPU9	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B1h	TPU9	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B2h	TPU9	定时器的 I/O 控制寄存器 H	TIORH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B3h	TPU9	定时器的 I/O 控制寄存器 L	TIORL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B4h	TPU9	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B5h	TPU9	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B6h	TPU9	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81B8h	TPU9	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81BAh	TPU9	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81BCh	TPU9	定时器的通用寄存器 C	TGRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81BEh	TPU9	定时器的通用寄存器 D	TGRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81C0h	TPU10	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81C1h	TPU10	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81C2h	TPU10	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81C4h	TPU10	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81C5h	TPU10	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81C6h	TPU10	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81C8h	TPU10	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81CAh	TPU10	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81D0h	TPU11	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81D1h	TPU11	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81D2h	TPU11	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81D4h	TPU11	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81D5h	TPU11	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81D6h	TPU11	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81D8h	TPU11	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81DAh	TPU11	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (15/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 81E6h	PPG0	PPG 输出控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 24 章
0008 81E7h	PPG0	PPG 输出模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81E8h	PPG0	下一个数据允许寄存器 H	NDERH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81E9h	PPG0	下一个数据允许寄存器 L	NDERL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81EAh	PPG0	输出数据寄存器 H	PODRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81EBh	PPG0	输出数据寄存器 L	PODRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81ECh（注 1）	PPG0	下一个数据寄存器 H	NDRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81EDh（注 2）	PPG0	下一个数据寄存器 L	NDRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81EEh（注 1）	PPG0	下一个数据寄存器 H	NDRH2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81EFh（注 2）	PPG0	下一个数据寄存器 L	NDRL2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81F0h	PPG1	PPG 触发选择寄存器	PTRSLR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81F6h	PPG1	PPG 输出控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81F7h	PPG1	PPG 输出模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81F8h	PPG1	下一个数据允许寄存器 H	NDERH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81F9h	PPG1	下一个数据允许寄存器 L	NDERL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81FAh	PPG1	输出数据寄存器 H	PODRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81FBh	PPG1	输出数据寄存器 L	PODRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81FCh（注 3）	PPG1	下一个数据寄存器 H	NDRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81FDh（注 4）	PPG1	下一个数据寄存器 L	NDRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81FEh（注 3）	PPG1	下一个数据寄存器 H	NDRH2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 81FFh（注 4）	PPG1	下一个数据寄存器 L	NDRL2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8200h	TMR0	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 25 章
0008 8201h	TMR1	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8202h	TMR0	定时器的控制 / 状态寄存器	TCSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8203h	TMR1	定时器的控制 / 状态寄存器	TCSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8204h	TMR0	时间常数寄存器 A	TCORA	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8205h	TMR1	时间常数寄存器 A	TCORA	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8206h	TMR0	时间常数寄存器 B	TCORB	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8207h	TMR1	时间常数寄存器 B	TCORB	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8208h	TMR0	定时器的计数器	TCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8209h	TMR1	定时器的计数器	TCNT	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 820Ah	TMR0	定时器的计数器控制寄存器	TCCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 820Bh	TMR1	定时器的计数器控制寄存器	TCCR	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8210h	TMR2	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8211h	TMR3	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8212h	TMR2	定时器的控制 / 状态寄存器	TCSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8213h	TMR3	定时器的控制 / 状态寄存器	TCSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8214h	TMR2	时间常数寄存器 A	TCORA	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8215h	TMR3	时间常数寄存器 A	TCORA	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8216h	TMR2	时间常数寄存器 B	TCORB	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8217h	TMR3	时间常数寄存器 B	TCORB	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8218h	TMR2	定时器的计数器	TCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8219h	TMR3	定时器的计数器	TCNT	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 821Ah	TMR2	定时器的计数器控制寄存器	TCCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 821Bh	TMR3	定时器的计数器控制寄存器	TCCR	8	8（注 5）	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (16/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 8280h	CRC	CRC 控制寄存器	CRCCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 36 章
0008 8281h	CRC	CRC 数据输入寄存器	CRCDIR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8282h	CRC	CRC 数据输出寄存器	CRCDOR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8300h	RIIC0	I²C 总线控制寄存器 1	ICCR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 32 章
0008 8301h	RIIC0	I²C 总线控制寄存器 2	ICCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8302h	RIIC0	I²C 总线模式寄存器 1	ICMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8303h	RIIC0	I²C 总线模式寄存器 2	ICMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8304h	RIIC0	I²C 总线模式寄存器 3	ICMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8305h	RIIC0	I²C 总线功能允许寄存器	ICFER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8306h	RIIC0	I²C 总线状态允许寄存器	ICSER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8307h	RIIC0	I²C 总线中断允许寄存器	ICIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8308h	RIIC0	I²C 总线状态寄存器 1	ICSR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8309h	RIIC0	I²C 总线状态寄存器 2	ICSR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 830Ah	RIIC0	从属地址寄存器 U0	ICSARU0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 830Bh	RIIC0	从属地址寄存器 L0	ICSARL0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 830Ch	RIIC0	从属地址寄存器 U1	ICSARU1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 830Dh	RIIC0	从属地址寄存器 L1	ICSARL1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 830Eh	RIIC0	从属地址寄存器 U2	ICSARU2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 830Fh	RIIC0	从属地址寄存器 L2	ICSARL2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8310h	RIIC0	I²C 总线位速率低电平寄存器	ICBRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8311h	RIIC0	I²C 总线位速率高电平寄存器	ICBRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8312h	RIIC0	I²C 总线发送数据寄存器	ICDRT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8313h	RIIC0	I²C 总线接收数据寄存器	ICDRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8320h	RIIC1	I²C 总线控制寄存器 1	ICCR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8321h	RIIC1	I²C 总线控制寄存器 2	ICCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8322h	RIIC1	I²C 总线模式寄存器 1	ICMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8323h	RIIC1	I²C 总线模式寄存器 2	ICMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8324h	RIIC1	I²C 总线模式寄存器 3	ICMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8325h	RIIC1	I²C 总线功能允许寄存器	ICFER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8326h	RIIC1	I²C 总线状态允许寄存器	ICSER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8327h	RIIC1	I²C 总线中断允许寄存器	ICIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8328h	RIIC1	I²C 总线状态寄存器 1	ICSR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8329h	RIIC1	I²C 总线状态寄存器 2	ICSR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 832Ah	RIIC1	从属地址寄存器 U0	ICSARU0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 832Bh	RIIC1	从属地址寄存器 L0	ICSARL0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 832Ch	RIIC1	从属地址寄存器 U1	ICSARU1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 832Dh	RIIC1	从属地址寄存器 L1	ICSARL1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 832Eh	RIIC1	从属地址寄存器 U2	ICSARU2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 832Fh	RIIC1	从属地址寄存器 L2	ICSARL2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8330h	RIIC1	I²C 总线位速率低电平寄存器	ICBRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8331h	RIIC1	I²C 总线位速率高电平寄存器	ICBRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8332h	RIIC1	I²C 总线发送数据寄存器	ICDRT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8333h	RIIC1	I²C 总线接收数据寄存器	ICDRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8340h	RIIC2	I²C 总线控制寄存器 1	ICCR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8341h	RIIC2	I²C 总线控制寄存器 2	ICCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8342h	RIIC2	I²C 总线模式寄存器 1	ICMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8343h	RIIC2	I²C 总线模式寄存器 2	ICMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8344h	RIIC2	I²C 总线模式寄存器 3	ICMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8345h	RIIC2	I²C 总线功能允许寄存器	ICFER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8346h	RIIC2	I²C 总线状态允许寄存器	ICSER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8347h	RIIC2	I²C 总线中断入允许寄存器	ICIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8348h	RIIC2	I²C 总线状态寄存器 1	ICSR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8349h	RIIC2	I²C 总线状态寄存器 2	ICSR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 834Ah	RIIC2	从属地址寄存器 U0	ICSARU0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (17/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 834Bh	RIIC2	从属地址寄存器 L0	ICSARL0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 32 章
0008 834Ch	RIIC2	从属地址寄存器 U1	ICSARU1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 834Dh	RIIC2	从属地址寄存器 L1	ICSARL1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 834Eh	RIIC2	从属地址寄存器 U2	ICSARU2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 834Fh	RIIC2	从属地址寄存器 L2	ICSARL2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8350h	RIIC2	I²C 总线位速率低电平寄存器	ICBRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8351h	RIIC2	I²C 总线位速率高电平寄存器	ICBRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8352h	RIIC2	I²C 总线发送数据寄存器	ICDRT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8353h	RIIC2	I²C 总线接收数据寄存器	ICDRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8360h	RIIC3	I²C 总线控制寄存器 1	ICCR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8361h	RIIC3	I²C 总线控制寄存器 2	ICCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8362h	RIIC3	I²C 总线模式寄存器 1	ICMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8363h	RIIC3	I²C 总线模式寄存器 2	ICMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8364h	RIIC3	I²C 总线模式寄存器 3	ICMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8365h	RIIC3	I²C 总线功能允许寄存器	ICFER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8366h	RIIC3	I²C 总线状态允许寄存器	ICSER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8367h	RIIC3	I²C 总线中断允许寄存器	ICIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8368h	RIIC3	I²C 总线状态寄存器 1	ICSR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8369h	RIIC3	I²C 总线状态寄存器 2	ICSR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 836Ah	RIIC3	从属地址寄存器 U0	ICSARU0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 836Bh	RIIC3	从属地址寄存器 L0	ICSARL0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 836Ch	RIIC3	从属地址寄存器 U1	ICSARU1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 836Dh	RIIC3	从属地址寄存器 L1	ICSARL1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 836Eh	RIIC3	从属地址寄存器 U2	ICSARU2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 836Fh	RIIC3	从属地址寄存器 L2	ICSARL2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8370h	RIIC3	I²C 总线位速率低电平寄存器	ICBRL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8371h	RIIC3	I²C 总线位速率高电平寄存器	ICBRH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8372h	RIIC3	I²C 总线发送数据寄存器	ICDRT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8373h	RIIC3	I²C 总线接收数据寄存器	ICDRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8380h	RSPI0	RSPI 控制寄存器	SPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 34 章
0008 8381h	RSPI0	RSPI 从属选择极性寄存器	SSLP	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8382h	RSPI0	RSPI 引脚控制寄存器	SPPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8383h	RSPI0	RSPI 状态寄存器	SPSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8384h	RSPI0	RSPI 数据寄存器	SPDR	32	16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8388h	RSPI0	RSPI 顺序控制寄存器	SPSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8389h	RSPI0	RSPI 顺序状态寄存器	SPSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 838Ah	RSPI0	RSPI 位速率寄存器	SPBR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 838Bh	RSPI0	RSPI 数据控制寄存器	SPDCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 838Ch	RSPI0	RSPI 时钟延迟寄存器	SPCKD	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 838Dh	RSPI0	RSPI 从属选择无效延迟寄存器	SSLND	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 838Eh	RSPI0	RSPI 下次存取延迟寄存器	SPND	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 838Fh	RSPI0	RSPI 控制寄存器 2	SPCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8390h	RSPI0	RSPI 命令寄存器 0	SPCMD0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8392h	RSPI0	RSPI 命令寄存器 1	SPCMD1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8394h	RSPI0	RSPI 命令寄存器 2	SPCMD2	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8396h	RSPI0	RSPI 命令寄存器 3	SPCMD3	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8398h	RSPI0	RSPI 命令寄存器 4	SPCMD4	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 839Ah	RSPI0	RSPI 命令寄存器 5	SPCMD5	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 839Ch	RSPI0	RSPI 命令寄存器 6	SPCMD6	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 839Eh	RSPI0	RSPI 命令寄存器 7	SPCMD7	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83A0h	RSPI1	RSPI 控制寄存器	SPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83A1h	RSPI1	RSPI 从属选择极性寄存器	SSLP	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83A2h	RSPI1	RSPI 引脚控制寄存器	SPPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83A3h	RSPI1	RSPI 状态寄存器	SPSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (18/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 83A4h	RSPI1	RSPI 数据寄存器	SPDR	32	16、32	2 ～ 3 个 PCLKB	2 个 ICLK	第 34 章
0008 83A8h	RSPI1	RSPI 顺序控制寄存器	SPSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83A9h	RSPI1	RSPI 顺序状态寄存器	SPSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83AAh	RSPI1	RSPI 位速率寄存器	SPBR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83ABh	RSPI1	RSPI 数据控制寄存器	SPDCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83ACh	RSPI1	RSPI 时钟延迟寄存器	SPCKD	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83ADh	RSPI1	RSPI 从属选择无效延迟寄存器	SSLND	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83AEh	RSPI1	RSPI 下次存取延迟寄存器	SPND	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83AFh	RSPI1	RSPI 控制寄存器 2	SPCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83B0h	RSPI1	RSPI 命令寄存器 0	SPCMD0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83B2h	RSPI1	RSPI 命令寄存器 1	SPCMD1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83B4h	RSPI1	RSPI 命令寄存器 2	SPCMD2	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83B6h	RSPI1	RSPI 命令寄存器 3	SPCMD3	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83B8h	RSPI1	RSPI 命令寄存器 4	SPCMD4	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83BAh	RSPI1	RSPI 命令寄存器 5	SPCMD5	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83BCh	RSPI1	RSPI 命令寄存器 6	SPCMD6	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83BEh	RSPI1	RSPI 命令寄存器 7	SPCMD7	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83C0h	RSPI2	RSPI 控制寄存器	SPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83C1h	RSPI2	RSPI 从属选择极性寄存器	SSLP	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83C2h	RSPI2	RSPI 引脚控制寄存器	SPPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83C3h	RSPI2	RSPI 状态寄存器	SPSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83C4h	RSPI2	RSPI 数据寄存器	SPDR	32	16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83C8h	RSPI2	RSPI 顺序控制寄存器	SPSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83C9h	RSPI2	RSPI 顺序状态寄存器	SPSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83CAh	RSPI2	RSPI 位速率寄存器	SPBR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83CBh	RSPI2	RSPI 数据控制寄存器	SPDCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83CCh	RSPI2	RSPI 时钟延迟寄存器	SPCKD	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83CDh	RSPI2	RSPI 从属选择无效延迟寄存器	SSLND	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83CEh	RSPI2	RSPI 下次存取延迟寄存器	SPND	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83CFh	RSPI2	RSPI 控制寄存器 2	SPCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83D0h	RSPI2	RSPI 命令寄存器 0	SPCMD0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83D2h	RSPI2	RSPI 命令寄存器 1	SPCMD1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83D4h	RSPI2	RSPI 命令寄存器 2	SPCMD2	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83D6h	RSPI2	RSPI 命令寄存器 3	SPCMD3	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83D8h	RSPI2	RSPI 命令寄存器 4	SPCMD4	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83DAh	RSPI2	RSPI 命令寄存器 5	SPCMD5	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83DCh	RSPI2	RSPI 命令寄存器 6	SPCMD6	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 83DEh	RSPI2	RSPI 命令寄存器 7	SPCMD7	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8600h	MTU3	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 21 章
0008 8601h	MTU4	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8602h	MTU3	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8603h	MTU4	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8604h	MTU3	定时器的 I/O 控制寄存器 H	TIORH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8605h	MTU3	定时器的 I/O 控制寄存器 L	TIORL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8606h	MTU4	定时器的 I/O 控制寄存器 H	TIORH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8607h	MTU4	定时器的 I/O 控制寄存器 L	TIORL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8608h	MTU3	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8609h	MTU4	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 860Ah	MTU	定时器的输出主控允许寄存器	TOER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 860Dh	MTU	定时器的门控寄存器	TGCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 860Eh	MTU	定时器的输出控制寄存器 1	TOCR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 860Fh	MTU	定时器的输出控制寄存器 2	TOCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8610h	MTU3	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (19/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 8612h	MTU4	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	第 21 章
0008 8614h	MTU	定时器的周期数据寄存器	TCDR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8616h	MTU	定时器的死区时间数据寄存器	TDDR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8618h	MTU3	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 861Ah	MTU3	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 861Ch	MTU4	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 861Eh	MTU4	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8620h	MTU	定时器的副计数器	TCNTS	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8622h	MTU	定时器的周期缓冲寄存器	TCBR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8624h	MTU3	定时器的通用寄存器 C	TGRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8626h	MTU3	定时器的通用寄存器 D	TGRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8628h	MTU4	定时器的通用寄存器 C	TGRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 862Ah	MTU4	定时器的通用寄存器 D	TGRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 862Ch	MTU3	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 862Dh	MTU4	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8630h	MTU	定时器的中断减少设定寄存器	TITCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8631h	MTU	定时器的中断减少次数计数器	TITCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8632h	MTU	定时器的缓冲传送设定寄存器	TBTER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8634h	MTU	定时器的死区时间允许寄存器	TDER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8636h	MTU	定时器的输出电平缓冲寄存器	TOLBR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8638h	MTU3	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8639h	MTU4	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8640h	MTU4	定时器的 A/D 转换开始请求控制寄存器	TADCR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8644h	MTU4	定时器的 A/D 转换开始请求周期设定寄存器 A	TADCORA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8646h	MTU4	定时器的 A/D 转换开始请求周期设定寄存器 B	TADCORB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8648h	MTU4	定时器的 A/D 转换开始请求周期设定缓冲寄存器 A	TADCOBRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 864Ah	MTU4	定时器的 A/D 转换开始请求周期设定缓冲寄存器 B	TADCOBRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8660h	MTU	定时器的波形控制寄存器	TWCR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8680h	MTU	定时器的启动寄存器	TSTR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8681h	MTU	定时器的同步寄存器	TSYR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8684h	MTU	定时器的读写允许寄存器	TRWER	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8690h	MTU0	噪声滤波器的控制寄存器	NFCR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8691h	MTU1	噪声滤波器的控制寄存器	NFCR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8692h	MTU2	噪声滤波器的控制寄存器	NFCR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8693h	MTU3	噪声滤波器的控制寄存器	NFCR3	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8694h	MTU4	噪声滤波器的控制寄存器	NFCR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8695h	MTU5	噪声滤波器的控制寄存器	NFCR	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8700h	MTU0	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8701h	MTU0	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8702h	MTU0	定时器的 I/O 控制寄存器 H	TIORH	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8703h	MTU0	定时器的 I/O 控制寄存器 L	TIORL	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8704h	MTU0	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8705h	MTU0	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8706h	MTU0	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8708h	MTU0	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 870Ah	MTU0	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 870Ch	MTU0	定时器的通用寄存器 C	TGRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 870Eh	MTU0	定时器的通用寄存器 D	TGRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8720h	MTU0	定时器的通用寄存器 E	TGRE	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8722h	MTU0	定时器的通用寄存器 F	TGRF	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (20/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 8724h	MTU0	定时器的中断允许寄存器 2	TIER2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 21 章
0008 8726h	MTU0	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8780h	MTU1	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8781h	MTU1	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8782h	MTU1	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8784h	MTU1	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8785h	MTU1	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8786h	MTU1	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8788h	MTU1	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 878Ah	MTU1	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8790h	MTU1	定时器的输入捕捉控制寄存器	TICCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8800h	MTU2	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8801h	MTU2	定时器的模式寄存器	TMDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8802h	MTU2	定时器的 I/O 控制寄存器	TIOR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8804h	MTU2	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8805h	MTU2	定时器的状态寄存器	TSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8806h	MTU2	定时器的计数器	TCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8808h	MTU2	定时器的通用寄存器 A	TGRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 880Ah	MTU2	定时器的通用寄存器 B	TGRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8880h	MTU5	定时器的计数器 U	TCNTU	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8882h	MTU5	定时器的通用寄存器 U	TGRU	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8884h	MTU5	定时器的控制寄存器 U	TCRU	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8886h	MTU5	定时器的 I/O 控制寄存器 U	TIORU	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8890h	MTU5	定时器的计数器 V	TCNTV	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8892h	MTU5	定时器的通用寄存器 V	TGRV	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8894h	MTU5	定时器的控制寄存器 V	TCRV	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8896h	MTU5	定时器的 I/O 控制寄存器 V	TIORV	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 88A0h	MTU5	定时器的计数器 W	TCNTW	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 88A2h	MTU5	定时器的通用寄存器 W	TGRW	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 88A4h	MTU5	定时器的控制寄存器 W	TCRW	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 88A6h	MTU5	定时器的 I/O 控制寄存器 W	TIORW	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 88B2h	MTU5	定时器的中断允许寄存器	TIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 88B4h	MTU5	定时器的启动寄存器	TSTR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 88B6h	MTU5	定时器的比较匹配清除寄存器	TCNTCMPCLR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8900h	POE	输入电平控制 / 状态寄存器 1	ICSR1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	第 22 章
0008 8902h	POE	输出电平控制 / 状态寄存器 1	OCSR1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 8908h	POE	输入电平控制 / 状态寄存器 2	ICSR2	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 890Ah	POE	软件端口输出允许寄存器	SPOER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 890Bh	POE	端口输出允许控制寄存器 1	POECR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 890Ch	POE	端口输出允许控制寄存器 2	POECR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 890Eh	POE	输入电平控制 / 状态寄存器 3	ICSR3	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9000h	S12AD	A/D 控制寄存器	ADCSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 37 章
0008 9004h	S12AD	A/D 通道选择寄存器 0	ADANS0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9006h	S12AD	A/D 通道选择寄存器 1	ADANS1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9008h	S12AD	A/D 转换值加法运算模式选择寄存器 0	ADADS0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 900Ah	S12AD	A/D 转换值加法运算模式选择寄存器 1	ADADS1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 900Ch	S12AD	A/D 转换值加法运算次数选择寄存器	ADADC	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 900Eh	S12AD	A/D 控制扩展寄存器	ADCER	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9010h	S12AD	A/D 开始触发选择寄存器	ADSTRGR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9012h	S12AD	A/D 转换扩展输入控制寄存器	ADEXICR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 901Ah	S12AD	A/D 温度传感器的数据寄存器	ADTSDR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 901Ch	S12AD	A/D 内部基准电压数据寄存器	ADOCDR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9020h	S12AD	A/D 数据寄存器 0	ADDR0	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9022h	S12AD	A/D 数据寄存器 1	ADDR1	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (21/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 9024h	S12AD	A/D 数据寄存器 2	ADDR2	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	第 37 章
0008 9026h	S12AD	A/D 数据寄存器 3	ADDR3	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9028h	S12AD	A/D 数据寄存器 4	ADDR4	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 902Ah	S12AD	A/D 数据寄存器 5	ADDR5	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 902Ch	S12AD	A/D 数据寄存器 6	ADDR6	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 902Eh	S12AD	A/D 数据寄存器 7	ADDR7	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9030h	S12AD	A/D 数据寄存器 8	ADDR8	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9032h	S12AD	A/D 数据寄存器 9	ADDR9	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9034h	S12AD	A/D 数据寄存器 10	ADDR10	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9036h	S12AD	A/D 数据寄存器 11	ADDR11	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9038h	S12AD	A/D 数据寄存器 12	ADDR12	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 903Ah	S12AD	A/D 数据寄存器 13	ADDR13	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 903Ch	S12AD	A/D 数据寄存器 14	ADDR14	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 903Eh	S12AD	A/D 数据寄存器 15	ADDR15	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9040h	S12AD	A/D 数据寄存器 16	ADDR16	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9042h	S12AD	A/D 数据寄存器 17	ADDR17	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9044h	S12AD	A/D 数据寄存器 18	ADDR18	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9046h	S12AD	A/D 数据寄存器 19	ADDR19	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9048h	S12AD	A/D 数据寄存器 20	ADDR20	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9060h	S12AD	A/D 采样状态寄存器 01	ADSSTR01	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9070h	S12AD	A/D 采样状态寄存器 23	ADSSTR23	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9800h	AD	A/D 数据寄存器 A	ADDRA	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	第 38 章
0008 9802h	AD	A/D 数据寄存器 B	ADDRB	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9804h	AD	A/D 数据寄存器 C	ADDRC	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9806h	AD	A/D 数据寄存器 D	ADDRD	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9808h	AD	A/D 数据寄存器 E	ADDRE	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 980Ah	AD	A/D 数据寄存器 F	ADDRF	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 980Ch	AD	A/D 数据寄存器 G	ADDRG	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 980Eh	AD	A/D 数据寄存器 H	ADDRH	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9810h	AD	A/D 控制 / 状态寄存器	ADCSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9811h	AD	A/D 控制寄存器	ADCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9812h	AD	A/D 控制寄存器 2	ADCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 9813h	AD	A/D 采样状态寄存器	ADSSTR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 981Fh	AD	A/D 自诊断寄存器	ADDIAGR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A000h	SCI0	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 31 章
0008 A001h	SCI0	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A002h	SCI0	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A003h	SCI0	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A004h	SCI0	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A005h	SCI0	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A006h	SCI0	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A007h	SCI0	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A008h	SCI0	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A009h	SCI0	I^2C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A00Ah	SCI0	I^2C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A00Bh	SCI0	I^2C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A00Ch	SCI0	I^2C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A00Dh	SCI0	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A020h	SCI1	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A021h	SCI1	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A022h	SCI1	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A023h	SCI1	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A024h	SCI1	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (22/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 A025h	SCI1	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 31 章
0008 A026h	SCI1	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A027h	SCI1	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A028h	SCI1	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A029h	SCI1	I²C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A02Ah	SCI1	I²C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A02Bh	SCI1	I²C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A02Ch	SCI1	I²C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A02Dh	SCI1	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A040h	SCI2	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A041h	SCI2	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A042h	SCI2	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A043h	SCI2	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A044h	SCI2	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A045h	SCI2	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A046h	SCI2	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A047h	SCI2	串行扩展模式寄存器	SEM	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A048h	SCI2	噪声滤波器的设定寄存器	SNFR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A049h	SCI2	I²C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A04Ah	SCI2	I²C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A04Bh	SCI2	I²C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A04Ch	SCI2	I²C 状态寄存器	SIS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A04Dh	SCI2	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A060h	SCI3	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A061h	SCI3	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A062h	SCI3	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A063h	SCI3	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A064h	SCI3	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A065h	SCI3	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A066h	SCI3	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A067h	SCI3	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A068h	SCI3	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A069h	SCI3	I²C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A06Ah	SCI3	I²C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A06Bh	SCI3	I²C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A06Ch	SCI3	I²C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A06Dh	SCI3	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A080h	SCI4	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A081h	SCI4	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A082h	SCI4	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A083h	SCI4	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A084h	SCI4	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A085h	SCI4	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A086h	SCI4	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A087h	SCI4	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A088h	SCI4	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A089h	SCI4	I²C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A08Ah	SCI4	I²C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A08Bh	SCI4	I²C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A08Ch	SCI4	I²C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A08Dh	SCI4	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A0h	SCI5	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A1h	SCI5	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (23/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 A0A2h	SCI5	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 31 章
0008 A0A3h	SCI5	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A4h	SCI5	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A5h	SCI5	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A6h	SCI5	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A7h	SCI5	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A8h	SCI5	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0A9h	SCI5	I^2C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0AAh	SCI5	I^2C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0ABh	SCI5	I^2C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0ACh	SCI5	I^2C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0ADh	SCI5	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C0h	SCI6	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C1h	SCI6	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C2h	SCI6	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C3h	SCI6	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C4h	SCI6	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C5h	SCI6	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C6h	SCI6	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C7h	SCI6	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C8h	SCI6	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0C9h	SCI6	I^2C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0CAh	SCI6	I^2C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0CBh	SCI6	I^2C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0CCh	SCI6	I^2C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0CDh	SCI6	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E0h	SCI7	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E1h	SCI7	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E2h	SCI7	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E3h	SCI7	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E4h	SCI7	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E5h	SCI7	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E6h	SCI7	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E7h	SCI7	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E8h	SCI7	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0E9h	SCI7	I^2C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0EAh	SCI7	I^2C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0EBh	SCI7	I^2C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0ECh	SCI7	I^2C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A0EDh	SCI7	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A100h	SCI8	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A101h	SCI8	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A102h	SCI8	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A103h	SCI8	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A104h	SCI8	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A105h	SCI8	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A106h	SCI8	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A107h	SCI8	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A108h	SCI8	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A109h	SCI8	I^2C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A10Ah	SCI8	I^2C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A10Bh	SCI8	I^2C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A10Ch	SCI8	I^2C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (24/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 A10Dh	SCI8	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 31 章
0008 A120h	SCI9	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A121h	SCI9	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A122h	SCI9	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A123h	SCI9	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A124h	SCI9	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A125h	SCI9	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A126h	SCI9	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A127h	SCI9	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A128h	SCI9	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A129h	SCI9	I²C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A12Ah	SCI9	I²C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A12Bh	SCI9	I²C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A12Ch	SCI9	I²C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A12Dh	SCI9	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A140h	SCI10	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A141h	SCI10	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A142h	SCI10	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A143h	SCI10	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A144h	SCI10	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A145h	SCI10	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A146h	SCI10	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A147h	SCI10	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A148h	SCI10	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A149h	SCI10	I²C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A14Ah	SCI10	I²C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A14Bh	SCI10	I²C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A14Ch	SCI10	I²C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A14Dh	SCI10	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A160h	SCI11	串行模式寄存器	SMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A161h	SCI11	位速率寄存器	BRR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A162h	SCI11	串行控制寄存器	SCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A163h	SCI11	发送数据寄存器	TDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A164h	SCI11	串行状态寄存器	SSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A165h	SCI11	接收数据寄存器	RDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A166h	SCI11	智能卡模式寄存器	SCMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A167h	SCI11	串行扩展模式寄存器	SEMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A168h	SCI11	噪声滤波器的设定寄存器	SNFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A169h	SCI11	I²C 模式寄存器 1	SIMR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A16Ah	SCI11	I²C 模式寄存器 2	SIMR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A16Bh	SCI11	I²C 模式寄存器 3	SIMR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A16Ch	SCI11	I²C 状态寄存器	SISR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A16Dh	SCI11	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 A800h	IEB	IEBus 控制寄存器	IECTR	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	第 35 章
0008 A801h	IEB	IEBus 命令寄存器	IECMR	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A802h	IEB	IEBus 主控控制寄存器	IEMCR	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A803h	IEB	IEBus 本站地址寄存器 1	IEAR1	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A804h	IEB	IEBus 本站地址寄存器 2	IEAR2	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A805h	IEB	IEBus 从属地址设定寄存器 1	IESA1	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A806h	IEB	IEBus 从属地址设定寄存器 2	IESA2	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A807h	IEB	IEBus 发送信息长度寄存器	IETBFL	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A809h	IEB	IEBus 接收主控地址寄存器 1	IEMA1	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A80Ah	IEB	IEBus 接收主控地址寄存器 2	IEMA2	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	
0008 A80Bh	IEB	IEBus 接收控制字段寄存器	IERCTL	8	8	3 ～ 4 个 PCLKB	2～3个 ICLK	

表 5.1 I/O 寄存器地址一览表 (25/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 A80Ch	IEB	IEBus 接收信息长度寄存器	IERBFL	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	第 35 章
0008 A80Eh	IEB	IEBus 锁定地址寄存器 1	IELA1	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A80Fh	IEB	IEBus 锁定地址寄存器 2	IELA2	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A810h	IEB	IEBus 通用标志寄存器	IEFLG	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A811h	IEB	IEBus 发送状态寄存器	IETSR	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A812h	IEB	IEBus 发送中断允许寄存器	IEIET	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A814h	IEB	IEBus 接收状态寄存器	IERSR	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A815h	IEB	IEBus 接收中断允许寄存器	IEIER	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A818h	IEB	IEBus 时钟选择寄存器	IECKSR	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 A900h ～ 0008 A91Fh	IEB	IEBus 发送数据缓冲寄存器 001 ～ 032	IETB001 ～ 032	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 AA00h ～ 0008 AA1Fh	IEB	IEBus 接收数据缓冲寄存器 001 ～ 032	IERB001 ～ 032	8	8	3 ～ 4 个 PCLKB	2～3个ICLK	
0008 B300h	SCI12	串行模式寄存器	SMR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 31 章
0008 B301h	SCI12	位速率寄存器	BRR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B302h	SCI12	串行控制寄存器	SCR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B303h	SCI12	发送数据寄存器	TDR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B304h	SCI12	串行状态寄存器	SSR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B305h	SCI12	接收数据寄存器	RDR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B306h	SCI12	智能卡模式寄存器	SCMR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B307h	SCI12	串行扩展模式寄存器	SEMR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B308h	SCI12	噪声滤波器的设定寄存器	SNFR12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B309h	SCI12	I^2C 模式寄存器 1	SIMR112	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B30Ah	SCI12	I^2C 模式寄存器 2	SIMR212	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B30Bh	SCI12	I^2C 模式寄存器 3	SIMR312	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B30Ch	SCI12	I^2C 状态寄存器	SIS12	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B30Dh	SCI12	SPI 模式寄存器	SPMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B320h	SCI12	扩展串行模式有效寄存器	ESMER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B321h	SCI12	控制寄存器 0	CR0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B322h	SCI12	控制寄存器 1	CR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B323h	SCI12	控制寄存器 2	CR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B324h	SCI12	控制寄存器 3	CR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B325h	SCI12	端口控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B326h	SCI12	中断控制寄存器	ICR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B327h	SCI12	状态寄存器	STR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B328h	SCI12	状态清除寄存器	STCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B329h	SCI12	Control Field 0 数据寄存器	CF0DR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B32Ah	SCI12	Control Field 0 比较允许寄存器	CF0CR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B32Bh	SCI12	Control Field 0 接收数据寄存器	CF0RR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B32Ch	SCI12	主 Control Field 1 数据寄存器	PCF1DR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B32Dh	SCI12	次 Control Field 1 数据寄存器	SCF1DR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B32Eh	SCI12	Control Field 1 比较允许寄存器	CF1CR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B32Fh	SCI12	Control Field 1 接收数据寄存器	CF1RR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B330h	SCI12	定时器的控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B331h	SCI12	定时器的模式寄存器	TMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B332h	SCI12	定时器的预分频寄存器	TPRE	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 B333h	SCI12	定时器的计数寄存器	TCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C000h	PORT0	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 19 章
0008 C001h	PORT1	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C002h	PORT2	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C003h	PORT3	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C004h	PORT4	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C005h	PORT5	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C006h	PORT6	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (26/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 C007h	PORT7	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 19 章
0008 C008h	PORT8	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C009h	PORT9	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C00Ah	PORTA	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C00Bh	PORTB	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C00Ch	PORTC	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C00Dh	PORTD	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C00Eh	PORTE	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C00Fh	PORTF	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C010h	PORTG	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C011h	PORTH	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C012h	PORTJ	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C013h	PORTK	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C014h	PORTL	端口方向寄存器	PDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C020h	PORT0	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C021h	PORT1	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C022h	PORT2	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C023h	PORT3	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C024h	PORT4	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C025h	PORT5	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C026h	PORT6	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C027h	PORT7	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C028h	PORT8	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C029h	PORT9	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C02Ah	PORTA	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C02Bh	PORTB	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C02Ch	PORTC	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C02Dh	PORTD	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C02Eh	PORTE	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C02Fh	PORTF	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C030h	PORTG	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C031h	PORTH	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C032h	PORTJ	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C033h	PORTK	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C034h	PORTL	端口输出数据寄存器	PODR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C040h	PORT0	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C041h	PORT1	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C042h	PORT2	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C043h	PORT3	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C044h	PORT4	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C045h	PORT5	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C046h	PORT6	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C047h	PORT7	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C048h	PORT8	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C049h	PORT9	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C04Ah	PORTA	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C04Bh	PORTB	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C04Ch	PORTC	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C04Dh	PORTD	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C04Eh	PORTE	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C04Fh	PORTF	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C050h	PORTG	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C051h	PORTH	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (27/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 C052h	PORTJ	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 19 章
0008 C053h	PORTK	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C054h	PORTL	端口输入数据寄存器	PIDR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C060h	PORT0	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C061h	PORT1	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C062h	PORT2	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C063h	PORT3	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C064h	PORT4	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C065h	PORT5	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C066h	PORT6	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C067h	PORT7	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C068h	PORT8	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C069h	PORT9	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C06Ah	PORTA	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C06Bh	PORTB	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C06Ch	PORTC	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C06Dh	PORTD	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C06Eh	PORTE	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C06Fh	PORTF	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C070h	PORTG	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C071h	PORTH	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C072h	PORTJ	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C073h	PORTK	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C074h	PORTL	端口模式寄存器	PMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C080h	PORT0	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C081h	PORT0	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C082h	PORT1	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C083h	PORT1	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C084h	PORT2	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C085h	PORT2	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C086h	PORT3	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C087h	PORT3	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C088h	PORT4	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C089h	PORT4	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C08Ah	PORT5	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C08Bh	PORT5	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C08Ch	PORT6	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C08Dh	PORT6	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C08Eh	PORT7	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C08Fh	PORT7	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C090h	PORT8	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C091h	PORT8	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C092h	PORT9	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C093h	PORT9	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C094h	PORTA	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C095h	PORTA	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C096h	PORTB	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C097h	PORTB	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C098h	PORTC	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C099h	PORTC	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C09Ah	PORTD	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C09Bh	PORTD	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C09Ch	PORTE	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (28/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 C09Dh	PORTE	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	第 19 章
0008 C09Eh	PORTF	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C09Fh	PORTF	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A0h	PORTG	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A1h	PORTG	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A3h	PORTH	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A4h	PORTJ	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A5h	PORTJ	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A6h	PORTK	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A7h	PORTK	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A8h	PORTL	漏极开路控制寄存器 0	ODR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0A9h	PORTL	漏极开路控制寄存器 1	ODR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C0h	PORT0	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C1h	PORT1	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C2h	PORT2	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C3h	PORT3	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C4h	PORT4	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C5h	PORT5	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C6h	PORT6	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C7h	PORT7	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C8h	PORT8	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0C9h	PORT9	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0CAh	PORTA	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0CBh	PORTB	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0CCh	PORTC	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0CDh	PORTD	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0CEh	PORTE	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0CFh	PORTF	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0D0h	PORTG	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0D1h	PORTH	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0D2h	PORTJ	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0D3h	PORTK	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0D4h	PORTL	上拉控制寄存器	PCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0E0h	PORT0	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0E2h	PORT2	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0E5h	PORT5	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0E6h	PORT6	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0E7h	PORT7	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0E9h	PORT9	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0EAh	PORTA	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0EBh	PORTB	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0ECh	PORTC	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0EDh	PORTD	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0EEh	PORTE	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C0F0h	PORTG	驱动能力控制寄存器	DSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C100h	MPC	CS 输出允许寄存器	PFCSE	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 20 章
0008 C102h	MPC	CS 输出引脚选择寄存器 0	PFCSS0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C103h	MPC	CS 输出引脚选择寄存器 1	PFCSS1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C104h	MPC	地址输出允许寄存器 0	PFAOE0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C105h	MPC	地址输出允许寄存器 1	PFAOE1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C106h	MPC	外部总线控制寄存器 0	PFBCR0	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C107h	MPC	外部总线控制寄存器 1	PFBCR1	8	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C114h	MPC	USB0 控制寄存器	PFUSB0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C11Fh	MPC	写保护寄存器	PWPR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (29/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 C140h	MPC	P00 引脚功能控制寄存器	P00PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 20 章
0008 C141h	MPC	P01 引脚功能控制寄存器	P01PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C142h	MPC	P02 引脚功能控制寄存器	P02PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C143h	MPC	P03 引脚功能控制寄存器	P03PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C145h	MPC	P05 引脚功能控制寄存器	P05PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C147h	MPC	P07 引脚功能控制寄存器	P07PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C148h	MPC	P10 引脚功能控制寄存器	P10PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C149h	MPC	P11 引脚功能控制寄存器	P11PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C14Ah	MPC	P12 引脚功能控制寄存器	P12PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C14Bh	MPC	P13 引脚功能控制寄存器	P13PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C14Ch	MPC	P14 引脚功能控制寄存器	P14PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C14Dh	MPC	P15 引脚功能控制寄存器	P15PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C14Eh	MPC	P16 引脚功能控制寄存器	P16PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C14Fh	MPC	P17 引脚功能控制寄存器	P17PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C150h	MPC	P20 引脚功能控制寄存器	P20PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C151h	MPC	P21 引脚功能控制寄存器	P21PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C152h	MPC	P22 引脚功能控制寄存器	P22PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C153h	MPC	P23 引脚功能控制寄存器	P23PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C154h	MPC	P24 引脚功能控制寄存器	P24PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C155h	MPC	P25 引脚功能控制寄存器	P25PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C156h	MPC	P26 引脚功能控制寄存器	P26PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C157h	MPC	P27 引脚功能控制寄存器	P27PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C158h	MPC	P30 引脚功能控制寄存器	P30PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C159h	MPC	P31 引脚功能控制寄存器	P31PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C15Ah	MPC	P32 引脚功能控制寄存器	P32PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C15Bh	MPC	P33 引脚功能控制寄存器	P33PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C15Ch	MPC	P34 引脚功能控制寄存器	P34PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C160h	MPC	P40 引脚功能控制寄存器	P40PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C161h	MPC	P41 引脚功能控制寄存器	P41PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C162h	MPC	P42 引脚功能控制寄存器	P42PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C163h	MPC	P43 引脚功能控制寄存器	P43PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C164h	MPC	P44 引脚功能控制寄存器	P44PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C165h	MPC	P45 引脚功能控制寄存器	P45PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C166h	MPC	P46 引脚功能控制寄存器	P46PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C167h	MPC	P47 引脚功能控制寄存器	P47PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C168h	MPC	P50 引脚功能控制寄存器	P50PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C169h	MPC	P51 引脚功能控制寄存器	P51PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C16Ah	MPC	P52 引脚功能控制寄存器	P52PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C16Ch	MPC	P54 引脚功能控制寄存器	P54PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C16Dh	MPC	P55 引脚功能控制寄存器	P55PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C16Eh	MPC	P56 引脚功能控制寄存器	P56PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C170h	MPC	P60 引脚功能控制寄存器	P60PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C171h	MPC	P61 引脚功能控制寄存器	P61PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C176h	MPC	P66 引脚功能控制寄存器	P66PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C177h	MPC	P67 引脚功能控制寄存器	P67PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C178h	MPC	P70 引脚功能控制寄存器	P70PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C17Bh	MPC	P73 引脚功能控制寄存器	P73PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C17Ch	MPC	P74 引脚功能控制寄存器	P74PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C17Dh	MPC	P75 引脚功能控制寄存器	P75PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C17Eh	MPC	P76 引脚功能控制寄存器	P76PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C17Fh	MPC	P77 引脚功能控制寄存器	P77PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C180h	MPC	P80 引脚功能控制寄存器	P80PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C181h	MPC	P81 引脚功能控制寄存器	P81PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C182h	MPC	P82 引脚功能控制寄存器	P82PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (30/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 C183h	MPC	P83 引脚功能控制寄存器	P83PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 20 章
0008 C186h	MPC	P86 引脚功能控制寄存器	P86PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C187h	MPC	P87 引脚功能控制寄存器	P87PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C188h	MPC	P90 引脚功能控制寄存器	P90PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C189h	MPC	P91 引脚功能控制寄存器	P91PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C18Ah	MPC	P92 引脚功能控制寄存器	P92PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C18Bh	MPC	P93 引脚功能控制寄存器	P93PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C190h	MPC	PA0 引脚功能控制寄存器	PA0PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C191h	MPC	PA1 引脚功能控制寄存器	PA1PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C192h	MPC	PA2 引脚功能控制寄存器	PA2PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C193h	MPC	PA3 引脚功能控制寄存器	PA3PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C194h	MPC	PA4 引脚功能控制寄存器	PA4PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C195h	MPC	PA5 引脚功能控制寄存器	PA5PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C196h	MPC	PA6 引脚功能控制寄存器	PA6PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C197h	MPC	PA7 引脚功能控制寄存器	PA7PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C198h	MPC	PB0 引脚功能控制寄存器	PB0PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C199h	MPC	PB1 引脚功能控制寄存器	PB1PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C19Ah	MPC	PB2 引脚功能控制寄存器	PB2PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C19Bh	MPC	PB3 引脚功能控制寄存器	PB3PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C19Ch	MPC	PB4 引脚功能控制寄存器	PB4PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C19Dh	MPC	PB5 引脚功能控制寄存器	PB5PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C19Eh	MPC	PB6 引脚功能控制寄存器	PB6PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C19Fh	MPC	PB7 引脚功能控制寄存器	PB7PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A0h	MPC	PC0 引脚功能控制寄存器	PC0PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A1h	MPC	PC1 引脚功能控制寄存器	PC1PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A2h	MPC	PC2 引脚功能控制寄存器	PC2PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A3h	MPC	PC3 引脚功能控制寄存器	PC3PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A4h	MPC	PC4 引脚功能控制寄存器	PC4PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A5h	MPC	PC5 引脚功能控制寄存器	PC5PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A6h	MPC	PC6 引脚功能控制寄存器	PC6PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A7h	MPC	PC7 引脚功能控制寄存器	PC7PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A8h	MPC	PD0 引脚功能控制寄存器	PD0PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1A9h	MPC	PD1 引脚功能控制寄存器	PD1PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1AAh	MPC	PD2 引脚功能控制寄存器	PD2PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1ABh	MPC	PD3 引脚功能控制寄存器	PD3PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1ACh	MPC	PD4 引脚功能控制寄存器	PD4PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1ADh	MPC	PD5 引脚功能控制寄存器	PD5PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1AEh	MPC	PD6 引脚功能控制寄存器	PD6PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1AFh	MPC	PD7 引脚功能控制寄存器	PD7PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B0h	MPC	PE0 引脚功能控制寄存器	PE0PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B1h	MPC	PE1 引脚功能控制寄存器	PE1PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B2h	MPC	PE2 引脚功能控制寄存器	PE2PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B3h	MPC	PE3 引脚功能控制寄存器	PE3PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B4h	MPC	PE4 引脚功能控制寄存器	PE4PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B5h	MPC	PE5 引脚功能控制寄存器	PE5PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B6h	MPC	PE6 引脚功能控制寄存器	PE6PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B7h	MPC	PE7 引脚功能控制寄存器	PE7PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B8h	MPC	PF0 引脚功能控制寄存器	PF0PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1B9h	MPC	PF1 引脚功能控制寄存器	PF1PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1BAh	MPC	PF2 引脚功能控制寄存器	PF2PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1BDh	MPC	PF5 引脚功能控制寄存器	PF5PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1D3h	MPC	PJ3 引脚功能控制寄存器	PJ3PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1DAh	MPC	PK2 引脚功能控制寄存器	PK2PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (31/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 C1DBh	MPC	PK3 引脚功能控制寄存器	PK3PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 20 章
0008 C1DCh	MPC	PK4 引脚功能控制寄存器	PK4PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C1DDh	MPC	PK5 引脚功能控制寄存器	PK5PFS	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C280h	SYSTEM	深度待机控制寄存器	DPSBYCR	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	第 11 章
0008 C282h	SYSTEM	深度待机中断允许寄存器 0	DPSIER0	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C283h	SYSTEM	深度待机中断允许寄存器 1	DPSIER1	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C284h	SYSTEM	深度待机中断允许寄存器 2	DPSIER2	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C285h	SYSTEM	深度待机中断允许寄存器 3	DPSIER3	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C286h	SYSTEM	深度待机中断标志寄存器 0	DPSIFR0	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C287h	SYSTEM	深度待机中断标志寄存器 1	DPSIFR1	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C288h	SYSTEM	深度待机中断标志寄存器 2	DPSIFR2	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C289h	SYSTEM	深度待机中断标志寄存器 3	DPSIFR3	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C28Ah	SYSTEM	深度待机中断边沿寄存器 0	DPSIEGR0	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C28Bh	SYSTEM	深度待机中断边沿寄存器 1	DPSIEGR1	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C28Ch	SYSTEM	深度待机中断边沿寄存器 2	DPSIEGR2	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C28Dh	SYSTEM	深度待机中断边沿寄存器 3	DPSIEGR3	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C290h	SYSTEM	复位状态寄存器 0	RSTSR0	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	第 6 章
0008 C291h	SYSTEM	复位状态寄存器 1	RSTSR1	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C293h	SYSTEM	主时钟振荡器的强制振荡控制寄存器	MOFCR	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	第 9 章
0008 C294h	SYSTEM	高速内部振荡器的电源控制寄存器	HOCOPCR	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C296h	FLASH	闪存编程 / 擦除保护寄存器	FWEPROR	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	第42、43章
0008 C297h	SYSTEM	电压监视电路的控制寄存器	LVCMPCR	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	第 8 章
0008 C298h	SYSTEM	电压检测电平选择寄存器	LVDLVLR	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C29Ah	SYSTEM	电压监视 1 电路的控制寄存器 0	LVD1CR0	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C29Bh	SYSTEM	电压监视 2 电路的控制寄存器 0	LVD2CR0	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	
0008 C2A0h～0008 C2BFh	SYSTEM	深度待机备用寄存器 0 ～ 31	DPSBKR0 ～ 31	8	8	4 ～ 5 个 PCLKB	2～3个ICLK	第 11 章
0008 C300h	ICU	组 0 中断源寄存器	GRP00	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C304h	ICU	组 1 中断源寄存器	GRP01	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C308h	ICU	组 2 中断源寄存器	GRP02	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C30Ch	ICU	组 3 中断源寄存器	GRP03	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C310h	ICU	组 4 中断源寄存器	GRP04	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C314h	ICU	组 5 中断源寄存器	GRP05	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C318h	ICU	组 6 中断源寄存器	GRP06	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C330h	ICU	组 12 中断源寄存器	GRP12	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C340h	ICU	组 0 中断允许寄存器	GEN00	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C344h	ICU	组 1 中断允许寄存器	GEN01	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C348h	ICU	组 2 中断允许寄存器	GEN02	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C34Ch	ICU	组 3 中断允许寄存器	GEN03	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C350h	ICU	组 4 中断允许寄存器	GEN04	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C354h	ICU	组 5 中断允许寄存器	GEN05	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C358h	ICU	组 6 中断允许寄存器	GEN06	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C370h	ICU	组 12 中断允许寄存器	GEN12	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C380h	ICU	组 0 中断清除寄存器	GCR00	32	32	1～2个PCLKB	2 个 ICLK	
0008 C384h	ICU	组 1 中断清除寄存器	GCR01	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C388h	ICU	组 2 中断清除寄存器	GCR02	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C38Ch	ICU	组 3 中断清除寄存器	GCR03	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C390h	ICU	组 4 中断清除寄存器	GCR04	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C394h	ICU	组 5 中断清除寄存器	GCR05	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C398h	ICU	组 6 中断清除寄存器	GCR06	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C3B0h	ICU	组 12 中断清除寄存器	GCR12	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C3C0h	ICU	单元选择寄存器	SEL	32	32	1 ～ 2 个 PCLKB	2 个 ICLK	
0008 C400h	RTC	64Hz 计数器	R64CNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 27 章
0008 C402h	RTC	秒计数器	RSECCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (32/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0008 C404h	RTC	分钟计数器	RMINCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 27 章
0008 C406h	RTC	小时计数器	RHRCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C408h	RTC	星期计数器	RWKCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C40Ah	RTC	日计数器	RDAYCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C40Ch	RTC	月计数器	RMONCNT	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C40Eh	RTC	年计数器	RYRCNT	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C410h	RTC	秒闹钟寄存器	RSECAR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C412h	RTC	分钟闹钟寄存器	RMINAR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C414h	RTC	小时闹钟寄存器	RHRAR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C416h	RTC	星期闹钟寄存器	RWKAR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C418h	RTC	日闹钟寄存器	RDAYAR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C41Ah	RTC	月闹钟寄存器	RMONAR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C41Ch	RTC	年闹钟寄存器	RYRAR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C41Eh	RTC	年闹钟允许寄存器	RYRAREN	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C422h	RTC	RTC 控制寄存器 1	RCR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C424h	RTC	RTC 控制寄存器 2	RCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C426h	RTC	RTC 控制寄存器 3	RCR3	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C428h	RTC	RTC 控制寄存器 4	RCR4	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C42Ah	RTC	频率寄存器 H	RFRH	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C42Ch	RTC	频率寄存器 L	RFRL	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C42Eh	RTC	时间误差校正寄存器	RADJ	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C440h	RTC	时间捕捉控制寄存器 0	RTCCR0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C442h	RTC	时间捕捉控制寄存器 1	RTCCR1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C444h	RTC	时间捕捉控制寄存器 2	RTCCR2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C452h	RTC	秒捕捉寄存器 0	RSECCP0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C454h	RTC	分钟捕捉寄存器 0	RMINCP0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C456h	RTC	小时捕捉寄存器 0	RHRCP0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C45Ah	RTC	日捕捉寄存器 0	RDAYCP0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C45Ch	RTC	月捕捉寄存器 0	RMONCP0	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C462h	RTC	秒捕捉寄存器 1	RSECCP1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C464h	RTC	分钟捕捉寄存器 1	RMINCP1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C466h	RTC	小时捕捉寄存器 1	RHRCP1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C46Ah	RTC	日捕捉寄存器 1	RDAYCP1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C46Ch	RTC	月捕捉寄存器 1	RMONCP1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C472h	RTC	秒捕捉寄存器 2	RSECCP2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C474h	RTC	分钟捕捉寄存器 2	RMINCP2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C476h	RTC	小时捕捉寄存器 2	RHRCP2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C47Ah	RTC	日捕捉寄存器 2	RDAYCP2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C47Ch	RTC	月捕捉寄存器 2	RMONCP2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0008 C500h	TEMPS	温度传感器的控制寄存器	TSCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 40 章
0008 C880h	SYSTEM	计数时钟扩展寄存器 1	SCK1	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	第 10 章
0008 C890h	SYSTEM	计数时钟扩展寄存器 2	SCK2	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0200h ～ 0009 03FFh	CAN0	信箱寄存器 0 ～ 31	MB0 ～ 31	128	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	第 33 章
0009 0400h ～ 0009 041Fh	CAN0	屏蔽寄存器 0 ～ 7	MKR0 ～ 7	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0420h	CAN0	FIFO 接收 ID 比较寄存器 0	FIDCR0	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0424h	CAN0	FIFO 接收 ID 比较寄存器 1	FIDCR1	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0428h	CAN0	屏蔽无效寄存器	MKIVLR	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 042Ch	CAN0	信箱中断允许寄存器	MIER	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0820h ～ 0009 083Fh	CAN0	信息控制寄存器 0 ～ 31	MCTL0 ～ 31	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0840h	CAN0	控制寄存器	CTLR	16	8、 16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0842h	CAN0	状态寄存器	STR	16	8、 16	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (33/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0009 0844h	CAN0	位配置寄存器	BCR	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	第 33 章
0009 0848h	CAN0	接收 FIFO 控制寄存器	RFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0849h	CAN0	接收 FIFO 指针控制寄存器	RFPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 084Ah	CAN0	发送 FIFO 控制寄存器	TFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 084Bh	CAN0	发送 FIFO 指针控制寄存器	TFPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 084Ch	CAN0	错误中断允许寄存器	EIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 084Dh	CAN0	错误中断源判断寄存器	EIFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 084Eh	CAN0	接收错误计数寄存器	RECR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 084Fh	CAN0	发送错误计数寄存器	TECR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0850h	CAN0	错误代码保存寄存器	ECSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0851h	CAN0	通道搜索支持寄存器	CSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0852h	CAN0	信箱搜索状态寄存器	MSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0853h	CAN0	信箱搜索模式寄存器	MSMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0854h	CAN0	时戳寄存器	TSR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0856h	CAN0	验收滤波器的支持寄存器	AFSR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 0858h	CAN0	测试控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1200h ～ 0009 13FFh	CAN1	信箱寄存器 0 ～ 31	MB0 ～ 31	128	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1400h ～ 0009 141Fh	CAN1	屏蔽寄存器 0 ～ 7	MKR0 ～ 7	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1420h	CAN1	FIFO 接收 ID 比较寄存器 0	FIDCR0	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1424h	CAN1	FIFO 接收 ID 比较寄存器 1	FIDCR1	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1428h	CAN1	屏蔽无效寄存器	MKIVLR	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 142Ch	CAN1	信箱中断允许寄存器	MIER	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1820h ～ 0009 183Fh	CAN1	信息控制寄存器 0 ～ 31	MCTL0 ～ 31	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1840h	CAN1	控制寄存器	CTLR	16	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1842h	CAN1	状态寄存器	STR	16	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1844h	CAN1	位配置寄存器	BCR	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1848h	CAN1	接收 FIFO 控制寄存器	RFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1849h	CAN1	接收 FIFO 指针控制寄存器	RFPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 184Ah	CAN1	发送 FIFO 控制寄存器	TFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 184Bh	CAN1	发送 FIFO 指针控制寄存器	TFPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 184Ch	CAN1	错误中断允许寄存器	EIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 184Dh	CAN1	错误中断源判断寄存器	EIFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 184Eh	CAN1	接收错误计数寄存器	RECR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 184Fh	CAN1	发送错误计数寄存器	TECR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1850h	CAN1	错误代码保存寄存器	ECSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1851h	CAN1	通道搜索支持寄存器	CSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1852h	CAN1	信箱搜索状态寄存器	MSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1853h	CAN1	信箱搜索模式寄存器	MSMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1854h	CAN1	时戳寄存器	TSR	16	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1856h	CAN1	验收滤波器的支持寄存器	AFSR	16	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 1858h	CAN1	测试控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2200h ～ 0009 23FFh	CAN2	信箱寄存器 0 ～ 31	MB0 ～ 31	128	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2400h ～ 0009 241Fh	CAN2	屏蔽寄存器 0 ～ 7	MKR0 ～ 7	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2420h	CAN2	FIFO 接收 ID 比较寄存器 0	FIDCR0	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2424h	CAN2	FIFO 接收 ID 比较寄存器 1	FIDCR1	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2428h	CAN2	屏蔽无效寄存器	MKIVLR	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 242Ch	CAN2	信箱中断允许寄存器	MIER	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2820h ～ 0009 283Fh	CAN2	信息控制寄存器 0 ～ 31	MCTL0 ～ 31	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	

表 5.1 I/O 寄存器地址一览表 (34/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
0009 2840h	CAN2	控制寄存器	CTLR	16	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	第 33 章
0009 2842h	CAN2	状态寄存器	STR	16	8、16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2844h	CAN2	位配置寄存器	BCR	32	8、16、32	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2848h	CAN2	接收 FIFO 控制寄存器	RFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2849h	CAN2	接收 FIFO 指针控制寄存器	RFPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 284Ah	CAN2	发送 FIFO 控制寄存器	TFCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 284Bh	CAN2	发送 FIFO 指针控制寄存器	TFPCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 284Ch	CAN2	错误中断允许寄存器	EIER	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 284Dh	CAN2	错误中断源判断寄存器	EIFR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 284Eh	CAN2	接收错误计数寄存器	RECR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 284Fh	CAN2	发送错误计数寄存器	TECR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2850h	CAN2	错误代码保存寄存器	ECSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2851h	CAN2	通道搜索支持寄存器	CSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2852h	CAN2	信箱搜索状态寄存器	MSSR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2853h	CAN2	信箱搜索模式寄存器	MSMR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2854h	CAN2	时戳寄存器	TSR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2856h	CAN2	验收滤波器的支持寄存器	AFSR	16	16	2 ～ 3 个 PCLKB	2 个 ICLK	
0009 2858h	CAN2	测试控制寄存器	TCR	8	8	2 ～ 3 个 PCLKB	2 个 ICLK	
000A 0000h	USB0	系统配置控制寄存器	SYSCFG	16	16	3 ～ 4 个 PCLKB	2～3个 ICLK	第 30 章
000A 0004h	USB0	系统配置状态寄存器 0	SYSSTS0	16	16	9 个 PCLKB 以上		
000A 0008h	USB0	设备状态控制寄存器 0	DVSTCTR0	16	16	9 个 PCLKB 以上		
000A 0014h	USB0	CFIFO 端口寄存器	CFIFO	16	8、16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 0018h	USB0	D0FIFO 端口寄存器	D0FIFO	16	8、16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 001Ch	USB0	D1FIFO 端口寄存器	D1FIFO	16	8、16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 0020h	USB0	CFIFO 端口选择寄存器	CFIFOSEL	16	16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 0022h	USB0	CFIFO 端口控制寄存器	CFIFOCTR	16	16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 0028h	USB0	D0FIFO 端口选择寄存器	D0FIFOSEL	16	16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 002Ah	USB0	D0FIFO 端口控制寄存器	D0FIFOCTR	16	16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 002Ch	USB0	D1FIFO 端口选择寄存器	D1FIFOSEL	16	16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 002Eh	USB0	D1FIFO 端口控制寄存器	D1FIFOCTR	16	16	3 ～ 4 个 PCLKB	2～3个 ICLK	
000A 0030h	USB0	中断允许寄存器 0	INTENB0	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0036h	USB0	BRDY 中断允许寄存器	BRDYENB	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0038h	USB0	NRDY 中断允许寄存器	NRDYENB	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 003Ah	USB0	BEMP 中断允许寄存器	BEMPENB	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 003Ch	USB0	SOF 输出配置寄存器	SOFCFG	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	

表 5.1 I/O 寄存器地址一览表 (35/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
000A 0040h	USB0	中断状态寄存器 0	INTSTS0	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	第 30 章
000A 0046h	USB0	BRDY 中断状态寄存器	BRDYSTS	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0048h	USB0	NRDY 中断状态寄存器	NRDYSTS	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 004Ah	USB0	BEMP 中断状态寄存器	BEMPSTS	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 004Ch	USB0	帧号寄存器	FRMNUM	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 004Eh	USB0	设备状态转换寄存器	DVCHGR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0050h	USB0	USB 地址寄存器	USBADDR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0054h	USB0	USB 请求类型寄存器	USBREQ	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0056h	USB0	USB 请求值寄存器	USBVAL	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0058h	USB0	USB 请求变址寄存器	USBINDX	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 005Ah	USB0	USB 请求长度寄存器	USBLENG	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	

表 5.1 I/O 寄存器地址一览表 (36/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
000A 005Eh	USB0	DCP 最大信息包长度寄存器	DCPMAXP	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	第 30 章
000A 0060h	USB0	DCP 控制寄存器	DCPCTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0064h	USB0	管道窗口选择寄存器	PIPESEL	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0068h	USB0	管道配置寄存器	PIPECFG	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 006Ch	USB0	管道最大信息包长度寄存器	PIPEMAXP	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 006Eh	USB0	管道周期控制寄存器	PIPEPERI	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0070h	USB0	管道 1 控制寄存器	PIPE1CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0072h	USB0	管道 2 控制寄存器	PIPE2CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0074h	USB0	管道 3 控制寄存器	PIPE3CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0076h	USB0	管道 4 控制寄存器	PIPE4CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0078h	USB0	管道 5 控制寄存器	PIPE5CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	

表 5.1 I/O 寄存器地址一览表 (37/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
000A 007Ah	USB0	管道 6 控制寄存器	PIPE6CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	第 30 章
000A 007Ch	USB0	管道 7 控制寄存器	PIPE7CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 007Eh	USB0	管道 8 控制寄存器	PIPE8CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0080h	USB0	管道 9 控制寄存器	PIPE9CTR	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0090h	USB0	管道 1 事务计数允许寄存器	PIPE1TRE	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0092h	USB0	管道 1 事务计数寄存器	PIPE1TRN	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0094h	USB0	管道 2 事务计数允许寄存器	PIPE2TRE	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0096h	USB0	管道 2 事务计数寄存器	PIPE2TRN	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0098h	USB0	管道 3 事务计数允许寄存器	PIPE3TRE	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 009Ah	USB0	管道 3 事务计数寄存器	PIPE3TRN	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 009Ch	USB0	管道 4 事务计数允许寄存器	PIPE4TRE	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	

表 5.1 I/O 寄存器地址一览表 (38/38)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数		参照章节
						ICLK ≥ PCLK 时	ICLK < PCLK 时	
000A 009Eh	USB0	管道 4 事务计数寄存器	PIPE4TRN	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	第 30 章
000A 00A0h	USB0	管道 5 事务计数允许寄存器	PIPE5TRE	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 00A2h	USB0	管道 5 事务计数寄存器	PIPE5TRN	16	16	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0400h	USB0	深度待机 USB 收发器的控制 / 引脚监视寄存器	DPUSR0R	32	32	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
000A 0404h	USB0	深度待机 USB 的挂起 / 恢复中断寄存器	DPUSR1R	32	32	9 个 PCLKB 以上	1+9/(ICLK/PCLKB 的频率比) 的整数上舍入以上（注 8）	
007F C402h	FLASH	闪存模式寄存器	FMODR	8	8	2 ～ 3 个 FCLK	2～3个 ICLK	第42、43章
007F C410h	FLASH	闪存存取状态寄存器	FASTAT	8	8	2 ～ 3 个 FCLK	2～3个 ICLK	
007F C411h	FLASH	闪存存取错误中断允许寄存器	FAEINT	8	8	2 ～ 3 个 FCLK	2～3个 ICLK	
007F C412h	FLASH	闪存就绪中断允许寄存器	FRDYIE	8	8	2 ～ 3 个 FCLK	2～3个 ICLK	
007F C440h	FLASH	E2 数据闪存读允许寄存器 0	DFLRE0	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	第 43 章
007F C442h	FLASH	E2 数据闪存读允许寄存器 1	DFLRE1	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F C450h	FLASH	E2 数据闪存编程 / 擦除允许寄存器 0	DFLWE0	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F C452h	FLASH	E2 数据闪存编程 / 擦除允许寄存器 1	DFLWE1	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F C454h	FLASH	FCU RAM 允许寄存器	FCURAME	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F FFB0h	FLASH	闪存状态寄存器 0	FSTATR0	8	8	2 ～ 3 个 FCLK	2～3个 ICLK	第42、43章
007F FFB1h	FLASH	闪存状态寄存器 1	FSTATR1	8	8	2 ～ 3 个 FCLK	2～3个 ICLK	
007F FFB2h	FLASH	闪存 P/E 模式入口寄存器	FENTRYR	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F FFB4h	FLASH	闪存保护寄存器	FPROTR	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F FFB6h	FLASH	闪存复位寄存器	FRESETR	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F FFBAh	FLASH	FCU 命令寄存器	FCMDR	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F FFC8h	FLASH	FCU 处理转换寄存器	FCPSR	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	
007F FFCAh	FLASH	E2 数据闪存空白检验控制寄存器	DFLBCCNT	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	第 43 章
007F FFCCh	FLASH	闪存 P/E 状态寄存器	FPESTAT	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	第 42 章
007F FFCEh	FLASH	E2 数据闪存空白检验状态寄存器	DFLBCSTAT	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	第 43 章
007F FFE8h	FLASH	外围时钟通知寄存器	PCKAR	16	16	2 ～ 3 个 FCLK	2～3个 ICLK	第42、43章

○：有、×：没有

注 1. 通过设定 PPG0.PCR，当脉冲输出组 2 和脉冲输出组 3 的输出触发设定值相同时， PPG0.NDRH 的地址为 000881ECh ； 当输出触发设定值不同时，对应脉冲输出组2的PPG0.NDRH的地址为000881EEh，对应输出组3的PPG0.NDRH的地址为000881ECh。

注 2. 通过设定 PPG0.PCR，当脉冲输出组 0 和脉冲输出组 1 的输出触发设定值相同时， PPG0.NDRL 的地址为 000881EDh ； 当输出触发设定值不同时，对应脉冲输出组0的PPG0.NDRL的地址为000881EFh，对应输出组1的PPG0.NDRL的地址为000881EDh。

注 3. 通过设定 PPG1.PCR，当脉冲输出组 6 和脉冲输出组 7 的输出触发设定值相同时， PPG1.NDRH 的地址为 000881FCh ； 当输出触发设定值不同时，对应脉冲输出组6的PPG1.NDRH的地址为000881FEh，对应输出组7的PPG1.NDRH的地址为000881FCh。

注 4. 通过设定 PPG1.PCR，当脉冲输出组 4 和脉冲输出组 5 的输出触发设定值相同时， PPG1.NDRL 的地址为 000881FDh ； 当输出触发设定值不同时，对应脉冲输出组4的PPG1.NDRL的地址为000881FFh，对应输出组5的PPG1.NDRL的地址为000881FDh。

注 5. 不能对奇数地址进行 16 位存取。要对寄存器进行 16 位存取时，必须存取 TMR0 寄存器或者 TMR2 寄存器的地址。 16 位存取的寄存器配置如表 25.4 所示。

注 6. ROM 容量小于等于 1M 字节的产品没有 CAN2。

注 7. ROM 容量小于等于 512K 字节的产品没有 CAN0。

注 8. 如果在 USB 运行过程中存取寄存器，就可能让存取等待。

6. 复位

6.1 概要

复位有引脚复位、上电复位、电压监视 0 复位、电压监视 1 复位、电压监视 2 复位、深度软件待机复位、独立看门狗定时器复位、看门狗定时器复位和软件复位。

复位名称和复位源如**表 6.1** 所示。

表 6.1 复位名称和复位源

复位名称	复位源
引脚复位	RES# 引脚的输入电压为 Low 电平。
上电复位	VCC 上升 （监视电压：VPOR）（注 1）。
电压监视 0 复位	VCC 下降 （监视电压：Vdet0）（注 1）。
电压监视 1 复位	VCC 下降 （监视电压：Vdet1）（注 1）。
电压监视 2 复位	VCC 下降 （监视电压：Vdet2）（注 1）。
深度软件待机复位	通过中断解除深度软件待机模式。
独立看门狗定时器复位	独立看门狗定时器发生下溢或者刷新错误。
看门狗定时器复位	看门狗定时器发生下溢或者刷新错误。
软件复位	设定寄存器。

注 1. 有关监视电压 （VPOR、 Vdet0、 Vdet1、 Vdet2），请参照 “8. 电压检测电路 （LVDA）” 和 “45. 电特性”。

通过复位对内部状态进行初始化，引脚为初始状态。
各种复位的初始化对象如表 6.2 所示。

表 6.2 各种复位的初始化对象

复位对象	复位源								
	引脚复位	上电复位	电压监视 0 复位	独立看门狗定时器复位	看门狗定时器复位	电压监视 1 复位	电压监视 2 复位	深度软件待机复位	软件复位
上电复位电路的寄存器（RSTSR0.PORF）	○	—	—	—	—	—	—	—	—
冷启动 / 热启动的判断标志（RSTSR1.CWSF）	—	○	—	—	—	—	—	—	—
电压监视功能 0 的寄存器（RSTSR0.LVD0RF）	○	○	—	—	—	—	—	—	—
独立看门狗定时器的寄存器（RSTSR2.IWDTRF、IWDTRR、 IWDTCR、IWDTSR、 IWDTRCR、IWDTCSTPR、 ILOCOCR）	○	○	○	—	—	—	—	○	—
看门狗定时器的寄存器（RSTSR2.WDTRF、WDTRR、 WDTCR、WDTSR、 WDTRCR）	○	○	○	○	—	—	—	○	—
电压监视功能 1 的寄存器（RSTSR0.LVD1RF、LVD1CR0、 LVCMPCR.LVD1E、LVDLVLR.LVD1LVL）	○	○	○	○	○	—	—	—	—
（LVD1CR1、 LVD1SR）	○	○	○	○	○	—	—	○	—
电压监视功能 2 的寄存器（RSTSR0.LVD2RF、LVD2CR0、 LVCMPCR.LVD2E、LVDLVLR.LVD2LVL）	○	○	○	○	○	○	—	—	—
（LVD2CR1、 LVD2SR）	○	○	○	○	○	○	—	○	—
低功耗功能的相关寄存器（RSTSR0.DPSRSTF）	○	○	○	○	○	○	○	—	—
软件复位的寄存器（RSTSR2.SWRF）	○	○	○	○	○	○	○	○	—
实时时钟的寄存器（注 1）	—	—	—	—	—	—	—	—	—
高速内部振荡器的相关寄存器（HOCOPCR.HOCOPCNT）	○	○	○	○	○	○	○	—	○
主时钟振荡器的相关寄存器（MOFCR.MOFXIN）	○	○	○	○	○	○	○	—	○
引脚状态	○	○	○	○	○	○	○	—	○
低功耗功能的相关寄存器（DPSBYCR、 DPSIER、DPSIFR、 DPSIEGR、DPUSR0R、 DPUSR1R）	○	○	○	○	○	○	○	—	○
上述以外的寄存器、 CPU 和内部状态	○	○	○	○	○	○	○	○	○

○：初始化。 —：不变

注 1. 全部复位对部分控制位（RCR1.CIE、 RCR2.RTCOE、 RCR2.ADJ30、 RCR2.RESET）进行初始化。有关对象控制位，请参照 “27. 实时时钟 （RTCa）”。

如果解除复位，就开始进行复位异常处理。有关复位异常处理，请参照 “14. 异常处理”。
与复位有关的输入 / 输出引脚如表 6.3 所示。

表 6.3 与复位有关的输入 / 输出引脚

引脚名	输入 / 输出	功能
RES#	输入	复位引脚

6.2 寄存器说明

6.2.1 复位状态寄存器 0 （RSTSR0）

地址 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRSTF	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PORF	上电复位检测标志	0：未检测到上电复位 1：检测到上电复位	R(/W) （注 1）
b1	LVD0RF	电压监视 0 复位检测标志	0：未检测到电压监视 0 复位 1：检测到电压监视 0 复位	R(/W) （注 1）
b2	LVD1RF	电压监视 1 复位检测标志	0：未检测到电压监视 1 复位 1：检测到电压监视 1 复位	R(/W) （注 1）
b3	LVD2RF	电压监视 2 复位检测标志	0：未检测到电压监视 2 复位 1：检测到电压监视 2 复位	R(/W) （注 1）
b6-b4	—	保留位	读写值都为 “0”。	R/W
b7	DPSRSTF	深度软件待机复位标志	0: 未发生由中断引起的深度软件待机模式的解除请求 1: 发生由中断引起的深度软件待机模式的解除请求	R(/W) （注 1）

注 1. 为了清除标志，只能写 “0”。

PORF 标志 （上电复位检测标志）

表示发生上电复位。

[为 “1” 的条件]

- 当发生上电复位时

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

LVD0RF 标志 （电压监视 0 复位检测标志）

表示检测到 VCC 电压低于等于 Vdet0 电平。

[为 “1” 的条件]

- 当检测到Vdet0电平的VCC电压时

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

LVD1RF 标志 （电压监视 1 复位检测标志）

表示检测到 VCC 电压低于等于 Vdet1 电平。

[为 “1” 的条件]

- 当检测到Vdet1电平的VCC电压时

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

LVD2RF 标志 （电压监视 2 复位检测标志）

表示检测到 VCC 电压低于等于 Vdet2 电平。

[为 “1” 的条件]

- 当检测到Vdet2电平的VCC电压时

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

DPSRSTF 标志 （深度软件待机复位标志）

表示在通过中断解除深度软件待机模式的同时发生内部复位 （深度软件待机复位）。

[为 “1” 的条件]

- 当通过内部中断解除了深度软件待机模式时
  详细内容请参照 “11. 低功耗功能”。

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

6.2.2 复位状态寄存器 1 （RSTSR1）

地址 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
复位后的值	0	0	0	0	0	0	0	0/1 (注1)

注1. 复位后的值因复位源而不同。

位	符号	位名	功能	R/W
b0	CWSF	冷启动 / 热启动的判断标志	0：冷启动 1：热启动	R(/W) （注 1）
b7-b1	—	保留位	读写值都为 “0”。	R/W

注 1. 为了将标志置位，只能写 “1”。

RSTSR1 寄存器判断是接通电源时的复位处理 （冷启动）还是运行过程中输入复位信号时的复位处理 （热启动）。

CWSF 标志 （冷启动 / 热启动的判断标志）

表示冷启动或者热启动。

通过上电复位而不通过 RES# 引脚的复位信号对 CWSF 标志进行初始化。

[为 “1” 的条件]

- 当通过程序写 “1” 时。即使写 “0”，值也不变。

[为 “0” 的条件]

- 当进行表6.2所示的复位时

6.2.3 复位状态寄存器 2 （RSTSR2）

地址 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	WDTRF	IWDTRF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IWDTRF	独立看门狗定时器复位检测标志	0：未检测到独立看门狗定时器复位 1：检测到独立看门狗定时器复位	R(/W) （注 1）
b1	WDTRF	看门狗定时器复位检测标志	0：未检测到看门狗定时器复位 1：检测到看门狗定时器复位	R(/W) （注 1）
b2	SWRF	软件复位检测标志	0：未检测到软件复位 1：检测到软件复位	R(/W) （注 1）
b7-b3	—	保留位	读写值都为 “0”。	R/W

注 1. 为了清除标志，只能写 “0”。

IWTDRF 标志 （独立看门狗定时器复位检测标志）

表示发生独立看门狗定时器复位。

[为 “1” 的条件]

- 当发生独立看门狗定时器复位时

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

WDTRF 标志 （看门狗定时器复位检测标志）

表示发生看门狗定时器复位。

[为 “1” 的条件]

- 当发生看门狗定时器复位时

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

SWRF 标志 （软件复位检测标志）

表示发生软件复位。

[为 “1” 的条件]

- 当发生软件复位时

[为 “0” 的条件]

- 当进行表6.2所示的复位时
- 在读 “1” 后写 “0” 时

6.2.4 软件复位寄存器 （SWRR）

地址 0008 00C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWRR[15:0]															
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b15-b0	SWRR[15:0]	软件复位的位	如果写 “A501h”，就对 LSI 进行复位。读取值为 “0000h”。	R/W

6.3 运行说明

6.3.1 引脚复位

这是 RES# 引脚引起的复位。

如果 RES# 引脚变为 Low 电平，就停止正在执行的全部处理，进入复位状态。

为了确保复位，必须在接通电源时根据规定的电源稳定时间，使 RES# 引脚保持 Low 电平。

在将 RES# 引脚从 Low 电平置为 High 电平后解除 RES#，在经过待机时间 （tRESWT）后解除内部复位，CPU 开始进行复位异常处理。

详细内容请参照 “45. 电特性”。

6.3.2 上电复位和电压监视 0 复位

上电复位是上电复位电路引起的内部复位。

如果在将 RES# 引脚置为 High 电平的状态下接通电源，就产生上电复位。如果 VCC 高于 VPOR，就在经过一定的时间（上电复位时间）后解除内部复位，CPU 开始进行复位异常处理。上电复位时间是使外部电源和 LSI 稳定的时间。

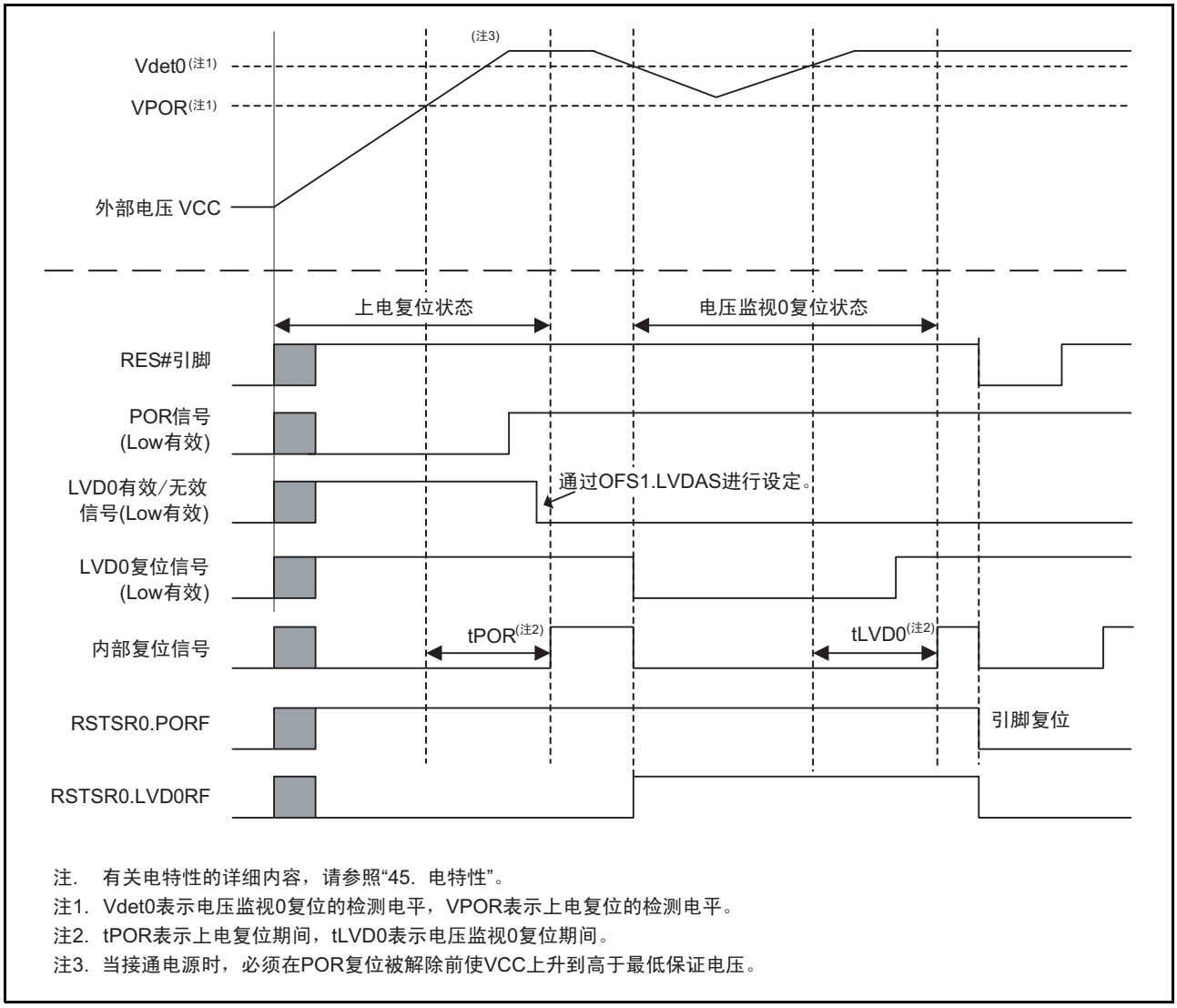
如果发生上电复位， RSTSR0.PORF 标志就变为 “1”。通过引脚复位对 PORF 标志进行初始化。

电压监视 0 复位是电压监视电路引起的内部复位。

在选项功能选择寄存器 1 （OFS1）的电压检测 0 电平选择位 （LVDAS）为 “0”（复位后，电压监视 0 复位有效）的状态下，如果 VCC 低于等于 Vdet0，RSTSR0.LVD0RF 标志就变为“1”，并且电压检测电路产生电压监视 0 复位。在使用电压监视 0 复位时，必须将 OFS1.LVDAS 位置“0”。如果 VCC 高于 Vdet0，就在经过 LVD0 复位时间 （tLVD0）后解除内部复位， CPU 开始进行复位异常处理。

上电复位和电压监视 0 复位的运行例子如图 6.1 所示。

有关电压监视 0 复位的详细内容，请参照 “8. 电压检测电路 （LVDA）”。



注. 有关电特性的详细内容，请参照“45. 电特性”。
注1. Vdet0表示电压监视0复位的检测电平，VPOR表示上电复位的检测电平。
注2. tPOR表示上电复位期间，tLVD0表示电压监视0复位期间。
注3. 当接通电源时，必须在POR复位被解除前使VCC上升到高于最低保证电压。

图 6.1 上电复位和电压监视 0 复位的运行例子

6.3.3 电压监视 1 复位和电压监视 2 复位

这是电压监视电路引起的内部复位。

在电压监视 1 电路的控制寄存器 0（LVD1CR0）的电压监视 1 中断 / 复位允许位（LVD1RIE）为“1”（电压检测电路引起的复位或者中断有效）并且电压监视 1 电路模式选择位（LVD1RI）为“1”（在检测到低电压时产生复位）的状态下，如果 VCC 低于等于 Vdet1，RSTSR0.LVD1RF 标志就变为“1”，并且电压检测电路产生电压监视 1 复位。

同样，在电压监视 2 的电路控制寄存器 0（LVD2CR0）的电压监视 2 中断 / 复位允许位（LVD2RIE）为“1”（电压检测电路引起的复位或者中断有效）并且电压监视 2 电路模式选择位（LVD2RI）为“1”（在检测到低电压时产生复位）的状态下，如果 VCC 低于等于 Vdet2，RSTSR0.LVD2RF 标志就变为“1”，并且电压检测电路产生电压监视 2 复位。

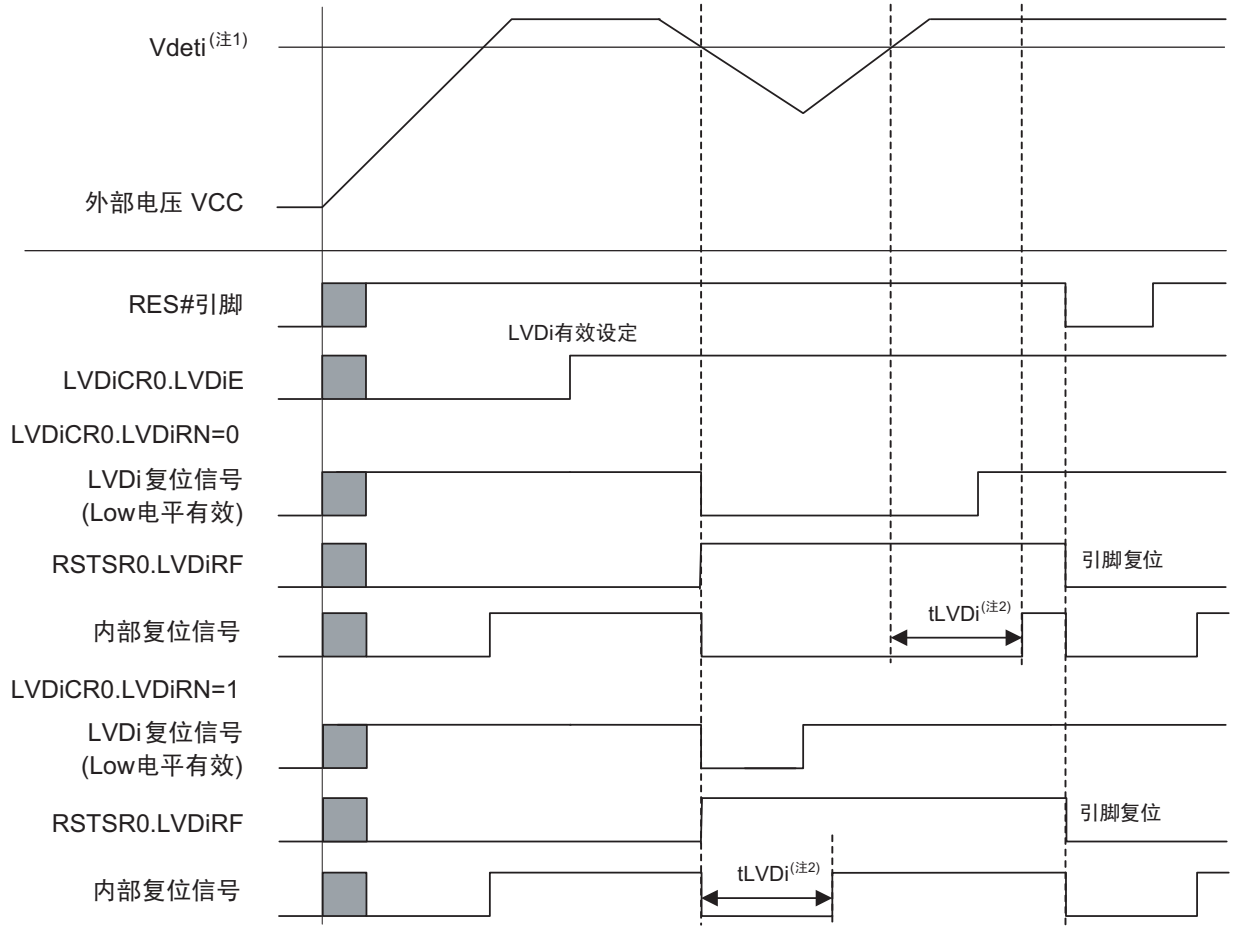
能通过 LVD1CR0 寄存器的电压监视 1 复位无效选择位（LVD1RN）选择电压监视 1 复位的解除时序。当 LVD1CR0.LVD1RN 位为“0”时，VCC 低于等于 Vdet1。此后，如果 VCC 高于 Vdet1 并且经过 LVD1 复位时间（tLVD1），就解除内部复位，CPU 开始进行复位异常处理。当 LVD1CR0.LVD1RN 位为“1”时，在 VCC 低于等于 Vdet1 并且经过 LVD1 复位时间（tLVD1）后解除内部复位，CPU 开始进行复位异常处理。

同样，能通过设定 LVD2CR0 寄存器的电压监视 2 复位无效选择位 （LVD2RN），选择电压监视 2 复位的解除时序。

能通过设定电压检测电平选择寄存器 （LVDLVLR），更改 Vdet1 和 Vdet2 的电压检测电平。

电压监视 1 复位和电压监视 2 复位的运行例子如图 6.2 所示。

有关电压监视 1 复位和电压监视 2 复位的详细内容，请参照 “8. 电压检测电路 （LVDA）”。



注. 有关电特性的详细内容，请参照“45. 电特性”。
注1. Vdeti表示电压监视1复位和电压监视2复位的检测电平。
注2. tLVDi表示电压监视1复位和电压监视2复位的期间。
(i=1、2)

图 6.2 电压监视 1 复位和电压监视 2 复位的运行例子

6.3.4 深度软件待机复位

这是在通过中断解除深度软件待机模式时产生的内部复位。

如果发生深度软件待机模式的解除源，就产生深度软件待机复位。在解除深度软件待机模式并且经过返回时间 （tDSBY）后，在解除深度软件待机复位的同时也解除深度软件待机模式。

在解除深度软件待机模式并且经过待机时间（tDSBYWT）后解除内部复位，CPU 开始进行复位异常处理。

有关深度软件待机复位的详细内容，请参照 “11. 低功耗功能”。

6.3.5 独立看门狗定时器复位

这是独立看门狗定时器引起的内部复位。

能通过设定 IWDT 复位控制寄存器 （IWDTRCR）或者选项功能选择寄存器 0 （OFS0），选择是否从独立看门狗定时器输出独立看门狗定时器复位。

如果选择输出独立看门狗定时器复位，就在独立看门狗定时器发生下溢或者不在刷新允许期间进行写操作时产生独立看门狗定时器复位。在产生独立看门狗定时器复位并且经过内部复位时间 （tRESW2）后解除内部复位， CPU 开始进行复位异常处理。

有关独立看门狗定时器复位的详细内容，请参照 “29. 独立看门狗定时器 （IWDTa）”。

6.3.6 看门狗定时器复位

这是看门狗定时器引起的内部复位。

能通过设定 WDT 复位控制寄存器 （WDTRCR）或者选项功能选择寄存器 0 （OFS0），选择是否从看门狗定时器输出看门狗定时器复位。

如果选择输出看门狗定时器复位，就在看门狗定时器发生下溢或者不在刷新允许期间进行写操作时产生看门狗定时器复位。在产生看门狗定时器复位并且经过内部复位时间 （tRESW2）后解除内部复位， CPU 开始进行复位异常处理。

有关看门狗定时器复位的详细内容，请参照 “28. 看门狗定时器 （WDTA）”。

6.3.7 软件复位

这是软件复位电路引起的内部复位。

如果给 SWRR 寄存器写 “A501h”，就产生软件复位。在产生软件复位并且经过内部复位时间（tRESW2）后解除内部复位， CPU 开始进行复位异常处理。

6.3.8 冷启动 / 热启动判断功能

能通过 RSTSR1.CWSF 标志判断是接通电源时的复位处理（冷启动）还是运行过程中输入复位信号时的复位处理（热启动）。

如果发生上电复位， RSTSR1.CWSF 标志就变为 “0”（冷启动）；如果进行其他复位，此标志就不变为 “0”。如果通过程序给 RSTSR1.CWSF 标志写 “1”，此标志就变为 “1”；如果写 “0”，值就不变。

冷启动 / 热启动判断功能的运行例子如图 6.3 所示。

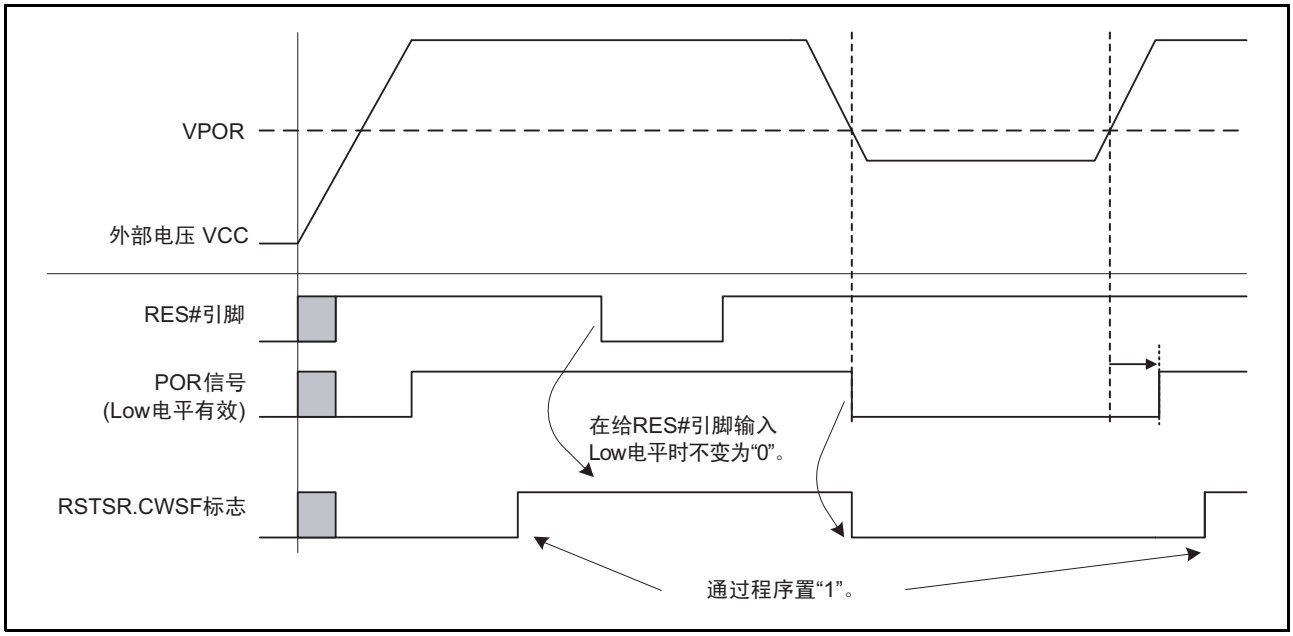


图 6.3 冷启动 / 热启动判断功能的运行例子

6.3.9 复位发生源的判断

能通过读 RSTSR0 寄存器和 RSTSR2 寄存器，确认是因发生哪种复位而执行了复位异常处理。
复位发生源的判断流程例子如图 6.4。

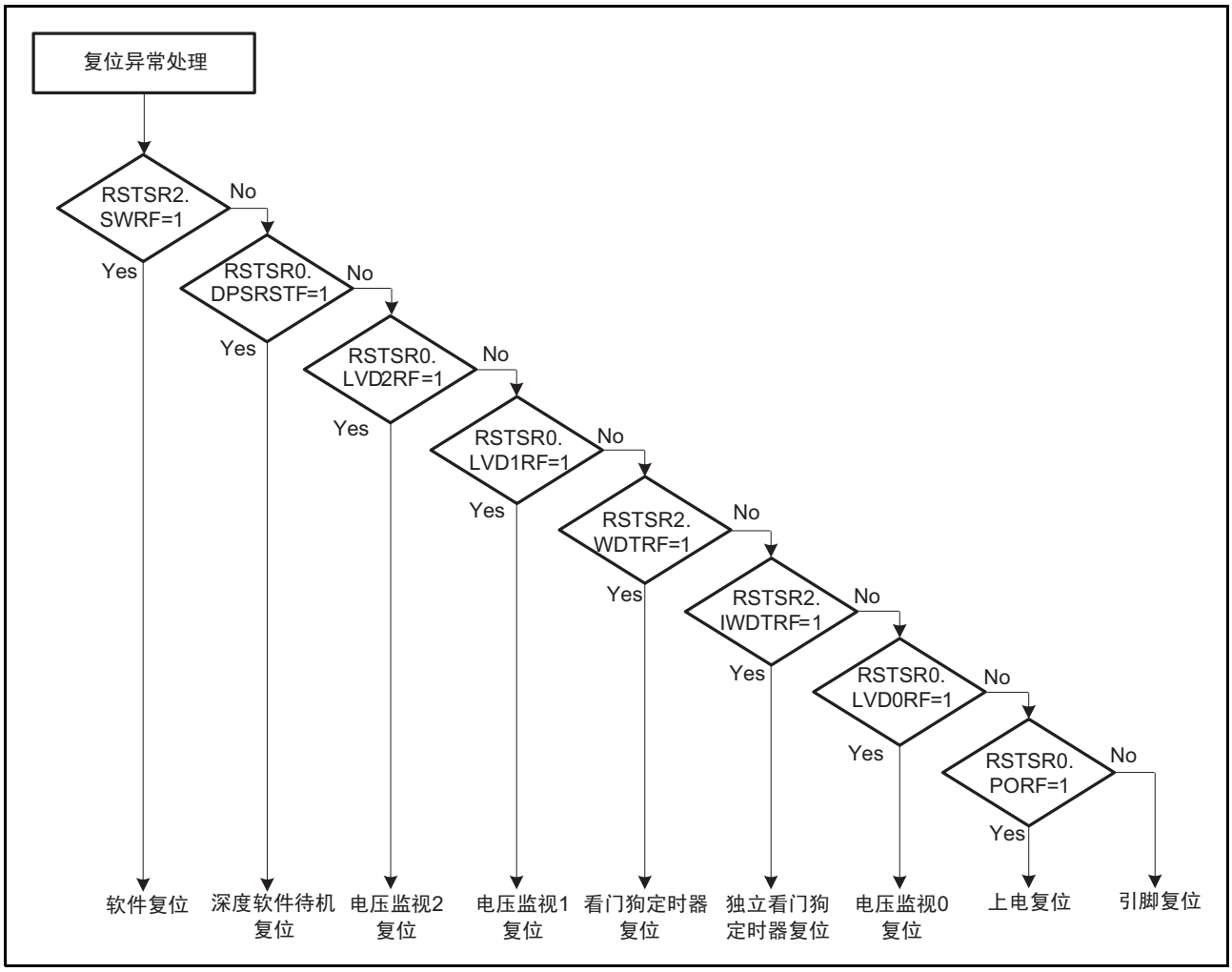


图 6.4 复位发生源的判断流程例子

7. 选项设定存储器

7.1 概要

选项设定存储器在 ROM 内，有选择复位后的单片机状态的寄存器。

选项设定存储区如图 7.1 所示。

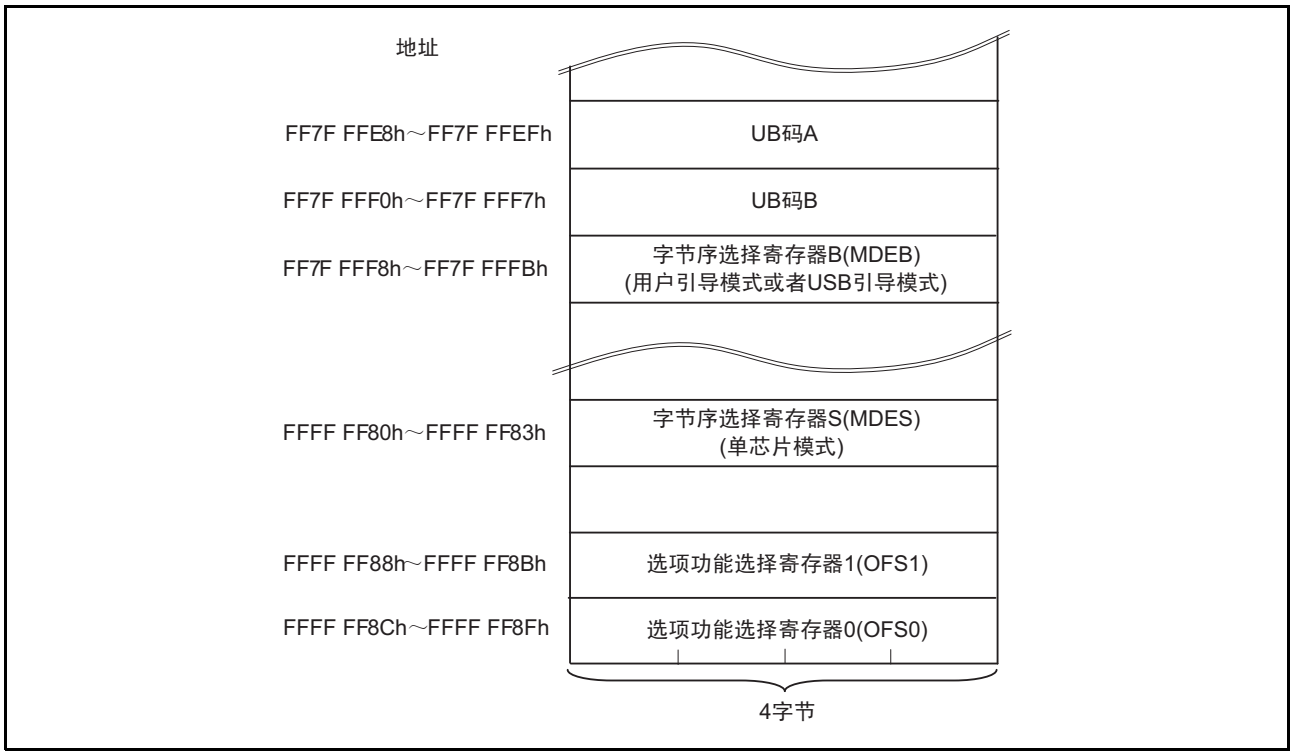


图 7.1 选项设定存储区

7.2 寄存器说明

7.2.1 选项功能选择寄存器 0 （OFS0）

地址 FFFF FF8Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
复位后的值	用户的设定值 (注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	IWDTSLCSTP	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
复位后的值	用户的设定值 (注1)															

注1. 空白产品为“FFFF FFFFh”，在用户编程后为编程后的值。

位	符号	位名	功能	R/W
b0	—	保留位	读取值为编程后的值。在编程时，必须置“1”。	R
b1	IWDTSTRT	IWDT 启动模式选择位	0：复位后， IWDT 在自动启动模式中自动启动。 1：复位后， IWDT 为停止状态。	R
b3-b2	IWDTTOPS[1:0]	IWDT 超时期间选择位	b3 b2 0 0：1024 个周期 （03FFh） 0 1：4096 个周期 （0FFFh） 1 0：8192 个周期 （1FFFh） 1 1：16384 个周期 （3FFFh）	R
b7-b4	IWDTCKS[3:0] （注 1）	IWDT 时钟分频比选择位	b7 b4 0 0 0 0：1 分频 （周期为 131ms） 0 0 1 0：16 分频 （周期为 2.10s） 0 0 1 1：32 分频 （周期为 4.19s） 0 1 0 0：64 分频 （周期为 8.39s） 1 1 1 1：128 分频 （周期为 16.8s） 0 1 0 1：256 分频 （周期为 33.6s） 上述以外：不能设定	R
b9-b8	IWDTRPES[1:0]	IWDT 窗口结束位置选择位	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% （没有窗口结束位置的设定）	R
b11-b10	IWDTRPSS[1:0]	IWDT 窗口开始位置选择位	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% （没有窗口开始位置的设定）	R
b12	IWDTRSTIRQS	IWDT 复位中断请求选择位	0：允许非屏蔽中断请求 1：允许复位	R
b13	—	保留位	读取值为编程后的值。在编程时，必须置“1”。	R
b14	IWDTSLCSTP	IWDT 睡眠模式计数停止控制位	0：计数停止无效 1：在向睡眠模式、软件待机模式、深度软件待机模式和全模块时钟停止模式转移时，计数停止有效。	R
b16-b15	—	保留位	读取值为编程后的值。在编程时，必须置“1”。	R
b17	WDTSTRT	WDT 启动模式选择位	0：复位后， WDT 在自动启动模式中自动启动。 1：复位后， WDT 为停止状态。	R

位	符号	位名	功能	R/W
b19-b18	WDTTOPS[1:0]	WDT 超时期间选择位	b19 b18 0 0：1024 个周期 （03FFh） 0 1：4096 个周期 （0FFFh） 1 0：8192 个周期 （1FFFh） 1 1：16384 个周期 （3FFFh）	R
b23-b20	WDTCKS[3:0] （注 1）	WDT 时钟分频比选择位	b23 b20 0 0 0 1：PCLK/4 0 1 0 0：PCLK/64 1 1 1 1：PCLK/128 0 1 1 0：PCLK/512 0 1 1 1：PCLK/2048 1 0 0 0：PCLK/8192 上述以外：不能设定	R
b25-b24	WDTRPES[1:0]	WDT 窗口结束位置选择位	b25 b24 0 0：75% 0 1：50% 1 0：25% 1 1：0% （没有窗口结束位置的设定）	R
b27-b26	WDTRPSS[1:0]	WDT 窗口开始位置选择位	b27 b26 0 0：25% 0 1：50% 1 0：75% 1 1：100% （没有窗口开始位置的设定）	R
b28	WDTRSTIRQS	WDT 复位中断请求选择位	0：允许非屏蔽中断请求 1：允许复位	R
b31-29	—	保留位	读取值为编程后的值。在编程时，必须置“1”。	R

注 1. 对于空白产品， IWDTCKS[3:0] 位和 WDTCKS[3:0] 为 “1111b”（禁止设定的值）。在通过将 IWDTSTRT 位或者 WDTSTRT 位置 “0”后在自动启动模式中启动时，也必须更改 IWDTCKS[3:0] 位或者 WDTCKS[3:0] 位的值。

OFS0 寄存器在 ROM 内，必须和程序一起写，但是在写后不能对 OFS0 寄存器进行追加写。

如果擦除包括 OFS0 寄存器的块， OFS0 寄存器的值就变为 “FFFF FFFFh”。

在用户引导模式或者 USB 引导模式中， OFS0 寄存器的设定无效，值为 “FFFF FFFFh”。

IWDTSTRT 位 （IWDT 启动模式选择位）

能选择复位后的 IWDT 启动模式 （停止状态或者在自动启动模式中的启动）。在自动启动模式中启动时，IWDT 的设定为 OFS0 寄存器的设定有效。

IWDTTOPS[1:0] 位 （IWDT 超时期间选择位）

以 IWDTCKS[3:0] 位设定的分频时钟为 1 个周期，递减计数器发生下溢为止的超时期间可选择 1024 个周期、 4096 个周期、 8192 个周期或者 16384 个周期。

从刷新后到发生下溢为止的时间（IWDT 的 LOCO 时钟数）取决于 IWDTCKS[3:0] 位和 IWDTTOPS[1:0] 位的组合。

详细内容请参照 “29. 独立看门狗定时器 （IWDTa）”。

IWDTCKS[3:0] 位 （IWDT 时钟分频比选择位）

对 IWDT 的 LOCO 时钟进行分频的预分频器的分频比可选择 1 分频、16 分频、32 分频、64 分频、128 分频或者 256 分频。能通过和 IWDTTOPS[1:0] 位的组合，将 IWDT 的计数期间设定在 IWDT 的 LOCO 时钟的 1024 ～ 4194304 个时钟之间。

详细内容请参照 “29. 独立看门狗定时器 （IWDTa）”。

IWDTRPES[1:0] 位 （IWDT 窗口结束位置选择位）

递减计数器的窗口结束位置可选择计数期间的 75%、50%、25% 或者 0%。窗口结束位置必须选择小于窗口开始位置的值 （窗口开始位置＞窗口结束位置）。如果将窗口结束位置设定为大于窗口开始位置的值，就只有窗口开始位置的设定有效。

IWDTRPSS[1:0] 位和 IWDTRPES[1:0] 位设定的窗口开始 / 结束位置的计数器值因 IWDTTOPS[1:0] 位的设定而不同。

详细内容请参照 “29. 独立看门狗定时器 （IWDTa）”。

IWDTRPSS[1:0] 位 （IWDT 窗口开始位置选择位）

递减计数器的窗口开始位置可选择计数期间 （开始计数时为 100%，发生下溢时为 0%）的 100%、 75%、50% 或者 25%。从窗口开始位置到窗口结束位置的期间为刷新允许期间，其他期间为刷新禁止期间。

详细内容请参照 “29. 独立看门狗定时器 （IWDTa）”。

IWDTRSTIRQS 位 （IWDT 复位中断请求选择位）

设定递减计数器发生下溢或者刷新错误时的运行。能选择独立看门狗定时器复位或者非屏蔽中断请求。

详细内容请参照 “29. 独立看门狗定时器 （IWDTa）”。

IWDTSLCSTP 位 （IWDT 睡眠模式计数停止控制位）

选择向睡眠模式、软件待机模式、深度软件待机模式和全模块时钟停止模式转移时的计数停止。

详细内容请参照 “29. 独立看门狗定时器 （IWDTa）”。

WDTSTRT 位 （WDT 启动模式选择位）

能选择复位后的 WDT 启动模式（停止状态或者在自动启动模式中的启动）。在自动启动模式中启动时，WDT 的设定为 OFS0 寄存器的设定有效。

WDTTOPS[1:0] 位 （WDT 超时期间选择位）

以 WDTCKS[3:0] 位设定的分频时钟为 1 个周期，递减计数器发生下溢为止的超时期间可选择 1024 个周期、4096 个周期、 8192 个周期或者 16384 个周期。

从刷新后到发生下溢为止的时间 （PCLK）取决于 WDTCKS[3:0] 和 WDTTOPS[1:0] 位的组合。

详细内容请参照 “28. 看门狗定时器 （WDTA）”。

WDTCKS[3:0] 位 （WDT 时钟分频比选择位）

对 PCLK 进行分频的预分频器的分频比可选择 4 分频、64 分频、128 分频、512 分频、2048 分频或者 8192 分频。能通过和 WDTTOPS[1:0] 位的组合，将 WDT 的计数期间设定在 PCLK 的 4096 ～ 134217728 个时钟之间。

详细内容请参照 “28. 看门狗定时器 （WDTA）”。

WDTRPES[1:0] 位 （WDT 窗口结束位置选择位）

递减计数器的窗口结束位置可选择计数期间的 75%、50%、25% 或者 0%。窗口结束位置必须选择小于窗口开始位置的值 （窗口开始位置＞窗口结束位置）。如果将窗口结束位置设定为大于窗口开始位置的值，就只有窗口开始位置的设定有效。

WDTRPSS[1:0] 位和 WDTRPES[1:0] 位设定的窗口开始 / 结束位置的计数器值因 WDTTOPS[1:0] 位的设定而不同。

详细内容请参照 “28. 看门狗定时器 （WDTA）”。

WDTRPSS[1:0] 位 （WDT 窗口开始位置选择位）

递减计数器的窗口开始位置可选择计数期间 （开始计数时为 100%，发生下溢时为 0%）的 100%、 75%、50% 或者 25%。从窗口开始位置到窗口结束位置的期间为刷新允许期间，其他期间为刷新禁止期间。

详细内容请参照 “28. 看门狗定时器 （WDTA）”。

WDTRSTIRQS 位 （WDT 复位中断请求选择位）

设定递减计数器发生下溢或者刷新错误时的运行。能选择看门狗定时器复位或者非屏蔽中断请求。

详细内容请参照 “28. 看门狗定时器 （WDTA）”。

7.2.2 选项功能选择寄存器 1（OFS1）

地址 FFFF FF88h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	用户的设定值 (注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	—	—	—	—	—	—	—	HOCOEN	—	—	—	—	—	LVDAS	—	—
	用户的设定值 (注1)															

注1. 空白产品为“FFFF FFFFh”，在用户编程后为编程后的值。

位	符号	位名	功能	R/W
b1-b0	—	保留位	读取值为编程后的值。在编程时，必须置 “1”。	R
b2	LVDAS	电压检测 0 电路启动位	0：复位后，电压监视 0 复位有效。 1：复位后，电压监视 0 复位无效。	R
b7-b3	—	保留位	读取值为编程后的值。在编程时，必须置 “1”。	R
b8	HOCOEN	HOCO 振荡有效位	0：复位后， HOCO 振荡有效。 1：复位后， HOCO 振荡无效。	R
b31-b9	—	保留位	读取值为编程后的值。在编程时，必须置 “1”。	R

OFS1 寄存器在 ROM 内，必须和程序一起写，但是在写后不能对 OFS1 寄存器进行追加写。
如果擦除包括 OFS1 寄存器的块， OFS1 寄存器的值就变为 “FFFF FFFFh”。
在用户引导模式或者 USB 引导模式中， OFS1 寄存器的设定无效，值为 “FFFF FFFFh”。

LVDAS 位 （电压检测 0 电路启动位）

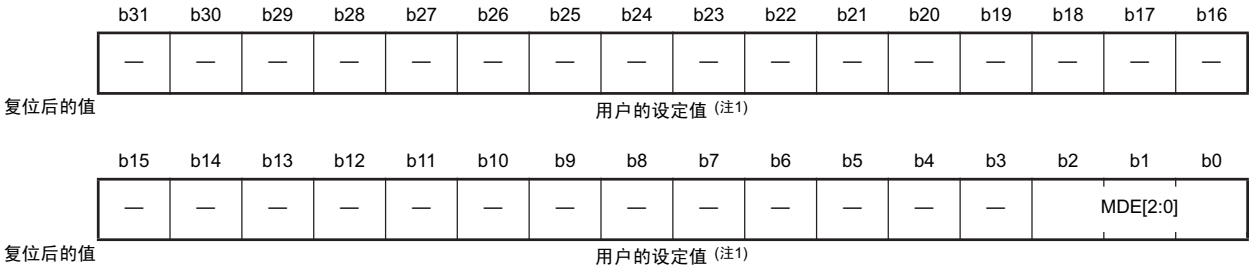
在复位后，选择将电压监视 0 复位置为有效或者无效。

HOCOEN 位 （HOCO 振荡有效位）

在复位后，选择将 HOCO 振荡允许位置为有效或者无效。
能通过将 HOCOEN 位置 “0”，使 HOCO 在 CPU 运行前开始振荡并且减少振荡稳定的等待时间。
即使将 HOCOEN 位置 “0”，也不将系统时钟源转换为 HOCO。但是，能通过 CPU 改写时钟源选择位（SCKCR3.CKSEL[2:0]）转换为 HOCO。

7.2.3 字节序选择寄存器 B （MDEB）、字节序选择寄存器 S （MDES）

地址 MDEB(用户引导模式/USB引导模式)：FF7F FFF8h
MDES(单芯片模式)：FFFF FF80h



注1. 空白产品为“FFFF FFFFh”，在用户编程后为编程后的值。

位	符号	位名	功能	R/W
b2-b0	MDE[2:0]	字节序选择位	b2 b0 0 0 0：大端法 1 1 1：小端法 上述以外：不能设定	R
b31-b3	—	保留位	读取值为编程后的值。在编程时，必须置 “1”。	R

MDEn （n=B、 S）寄存器是选择 CPU 字节序的寄存器。在用户引导模式或者 USB 引导模式中，通过地址 FF7F FFF8h 的字节序选择寄存器 B （MDEB）选择字节序；在单芯片模式中，通过地址 FFFF FF80h 的字节序选择寄存器 S （MDES）选择字节序。

MDEn 寄存器在 ROM 内，必须和程序一起写，但是在写后不能对 MDEn 寄存器进行追加写。

如果擦除包括 MDEn 寄存器的块， MDEn 寄存器的值就变为 “FFFF FFFFh”。

MDE[2:0] 位 （字节序选择位）

选择小端法或者大端法。

在用户引导模式或者 USB 引导模式中运行时，用户引导区的 FF7F FFF8h 的值决定字节序；在单芯片模式中运行时，用户区的 FFFF FF80h 的值决定字节序。

7.3 UB 码

UB 码 A 和 UB 码 B 是使用用户引导模式时需要的代码。在使用 USB 引导模式时，不能改写这些代码。如果在以下的 4 个条件成立时解除复位，就在用户引导模式中启动 MCU。

- UB码A是 “5573 6572h、 426F 6F74h”。
- UB码B是 “FFFF FF07h、 0008 C04Ch”。
- 给MD引脚输入Low电平。
- 给PC7引脚输入High电平。

7.3.1 UB 码 A

UB 码 A 是 32 位 （2 个字）数据。必须给 UB 码 A 设定 “5573 6572h、 426F 6F74h”，而不能设定其他值。

UB 码 A 的结构如图 7.2 所示，必须以 32 位为单位设定 UB 码 A。

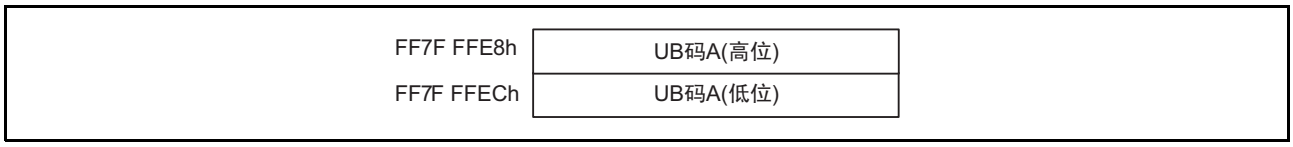


图 7.2 UB 码 A 的结构

7.3.2 UB 码 B

UB 码 B 是 32 位（2 个字）数据。必须给 UB 码 B 设定“FFFF FF07h、0008 C04Ch”，而不能设定其他值。

UB 码 B 的结构如图 7.3 所示，必须以 32 位为单位设定 UB 码 B。

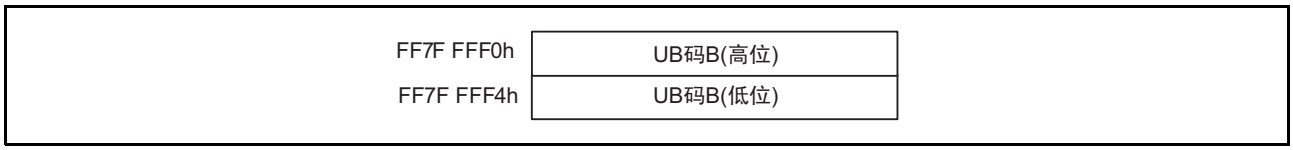


图 7.3 UB 码 B 的结构

7.4 使用时的注意事项

7.4.1 选项设定存储器的设定例子

因为选项设定存储器在 ROM 内，所以不能通过执行指令进行改写，必须在编写程序时写适当的值。设定例子如下所示：

- 给OFS0寄存器设定 “ffff fff8h”的情况

```
.org        0ffff ff8ch
.lword      0fff ffff8h
```

注 . 程序的格式因编译器而不同，必须通过编译程序的使用手册进行确认。

8. 电压检测电路 （LVDA）

电压检测电路是能通过程序监视 VCC 引脚的输入电压的电路。

8.1 概要

电压检测 0 能通过选项功能选择寄存器 1 （OFS1）选择复位后的电压监视 0 复位的有效或者无效。

电压检测 1 和电压检测 2 能通过电压检测电平选择寄存器 （LVDLVLR）设定检测电压。

能使用电压监视 0 复位、电压监视 1 复位 / 中断和电压监视 2 复位 / 中断。

电压检测电路的规格如**表 8.1** 所示，电压检测电路的框图、电压监视 1 中断 / 复位发生电路的框图和电压监视 2 中断 / 复位发生电路的框图分别如**图 8.1**、**图 8.2** 和**图 8.3** 所示。

表 8.1 电压检测电路的规格

项目		电压监视 0	电压监视 1	电压监视 2
VCC 监视	监视电压	Vdet0	Vdet1	Vdet2
	检测对象的检测电压	在下降过程中是否经过 Vdet0。 固定为高电平。	在上升或者下降过程中是否经过 Vdet1。 通过 LVDLVLR.LVD1LVL[3:0] 位进行指定。	在上升或者下降过程中是否经过 Vdet2。
				通过 LVDLVLR.LVD2LVL[3:0] 位进行指定。
	监视标志	无	LVD1SR.LVD1MON 标志： 监视是高于还是低于 Vdet1。	LVD2SR.LVD2MON 标志： 监视是高于还是低于 Vdet2。
			LVD1SR.LVD1DET 标志： 检测是否经过 Vdet1。	LVD2SR.LVD2DET 标志： 检测是否经过 Vdet2。
电压检测时的处理	复位	电压监视 0 复位	电压监视 1 复位	电压监视 2 复位
		当 Vdet0 ＞ VCC 时，复位： 从 VCC ＞ Vdet0 开始经过一定的时间后 CPU 重新开始运行。	当 Vdet1 ＞ VCC 时，复位： 可选择从 VCC ＞ Vdet1 开始经过一定的时间后 CPU 重新开始运行或者从 Vdet1 ＞ VCC 开始经过一定的时间后 CPU 重新开始运行。	当 Vdet2 ＞ VCC 时，复位： 可选择从 VCC ＞ Vdet2 开始经过一定的时间后 CPU 重新开始运行或者从 Vdet2 ＞ VCC 开始经过一定的时间后 CPU 重新开始运行。
	中断	无	电压监视 1 中断	电压监视 2 中断
			非屏蔽中断	非屏蔽中断
			在 Vdet1 ＞ VCC 和 VCC ＞ Vdet1 时，都产生中断请求、在 Vdet1 ＞ VCC 时产生中断请求、或者在 VCC ＞ Vdet1 时产生中断请求。	在 Vdet2 ＞ VCC 和 VCC ＞ Vdet2 时，都产生中断请求、在 Vdet2 ＞ VCC 时产生中断请求、或者在 VCC ＞ Vdet2 时产生中断请求。
数字滤波器	有效 / 无效的选择	无数字滤波器功能	有	有
	采样时间	—	LOCO 的 n 分频 ×2 （n：1、2、4、8）	LOCO 的 n 分频 ×2 （n：1、2、4、8）

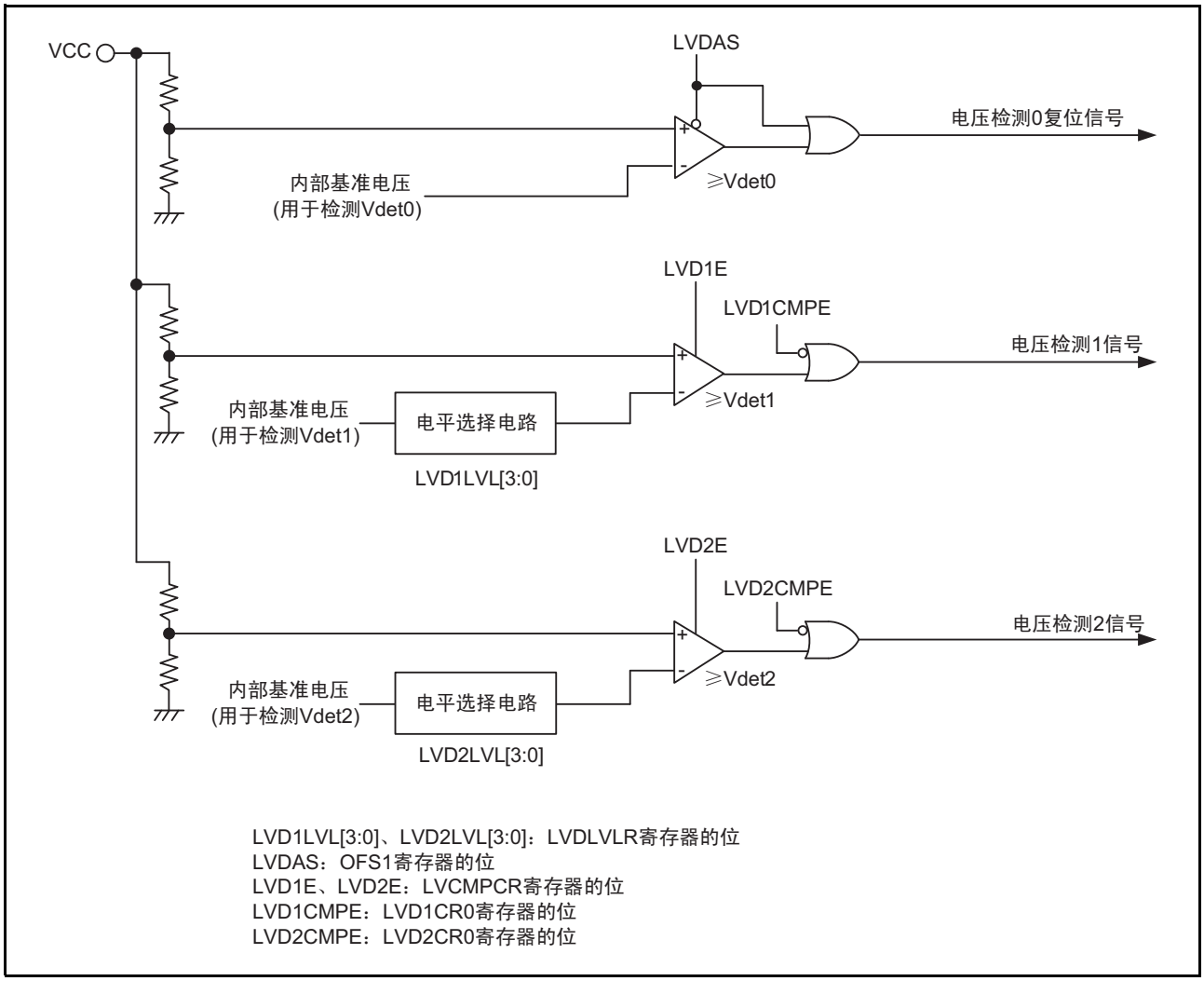


图 8.1 电压检测电路的框图

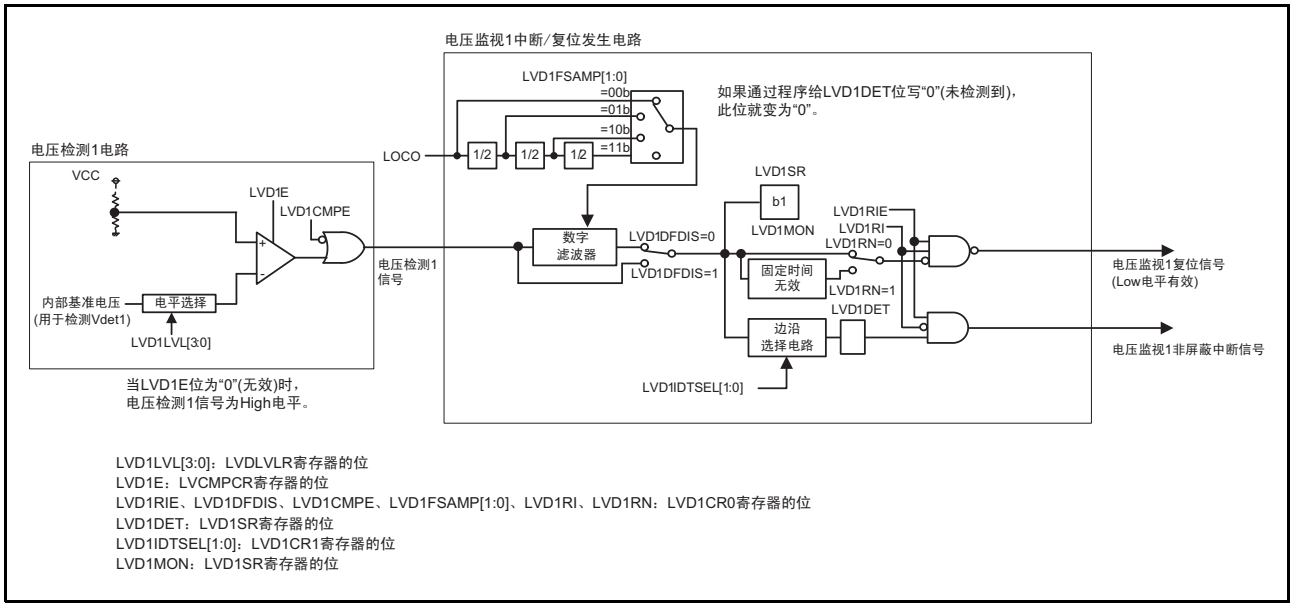


图 8.2 电压监视 1 中断 / 复位发生电路的框图

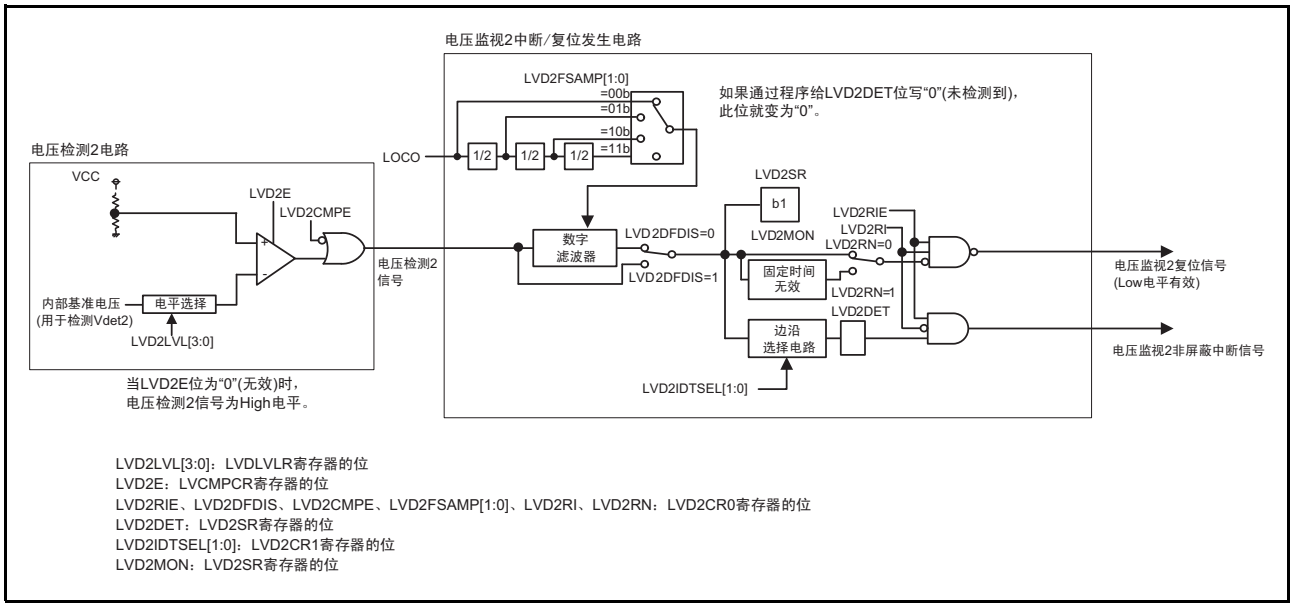


图 8.3 电压监视 2 中断 / 复位发生电路的框图

8.2 寄存器说明

8.2.1 电压监视 1 电路的控制寄存器 1 （LVD1CR1）

地址 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1IDTSEL[1:0]	
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b1-b0	LVD1IDTSEL[1:0]	电压监视 1 中断发生条件选择位	b1 b0 0 0：当检测到 VCC ≥ Vdet1 （上升）时 0 1：当检测到 VCC ＜ Vdet1 （下降）时 1 0：当检测到下降和上升时 1 1：不能设定	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

8.2.2 电压监视 1 电路的状态寄存器 （LVD1SR）

地址 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1MON	LVD1DET
复位后的值	0	0	0	0	0	0	1	0

位	符号	位名	功能	R/W
b0	LVD1DET	电压监视 1 电压变化检测标志	0：未检测到 1：检测到经过 Vdet1	R(/W) （注 1）
b1	LVD1MON	电压监视 1 信号监视标志	0：VCC ＜ Vdet1 1：VCC ≥ Vdet1 或者 LVD1MON 无效	R
b7-b2	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 “0”。从写 “0”后到被反映为 LVD1DET 位的读取值为止，需要 2 个系统时钟周期。

LVD1DET 标志 （电压监视 1 电压变化检测标志）

当 LVCMPCR.LVD1E 位为“1”（电压检测 1 电路有效）并且 LVD1CR0.LVD1CMPE 位为“1”（允许输出电压监视 1 电路的比较结果）时， LVD1DET 标志有效。

如果改写 LVD1CR0 寄存器和 LVD1CR1 寄存器，LVD1DET 标志就可能变为“1”。在改写 LVD1CR0 寄存器和 LVD1CR1 寄存器后，必须将 LVD1DET 标志置 “0”。

要将 LVD1DET 标志置“0”时，必须先将 LVD1CR0.LVD1RIE 位置“0”（禁止）。如果要再次将 LVD1CR0.LVD1RIE 位置 “1”（允许），就必须至少经过 2 个 PCLKB 周期后进行设定。能通过读由 PCLKB 定义存取周期数的 I/O 寄存器，至少确保 2 个 PCLKB 周期的等待时间。

LVD1MON 标志 （电压监视 1 信号监视标志）

当 LVCMPCR.LVD1E 位为“1”（电压检测 1 电路有效）并且 LVD1CR0.LVD1CMPE 位为“1”（允许输出电压监视 1 电路的比较结果）时， LVD1MON 标志有效。

8.2.3 电压监视 2 电路的控制寄存器 1 （LVD2CR1）

地址 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2IDTSEL[1:0]	
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b1-b0	LVD2IDTSEL[1:0]	电压监视 2 中断发生条件选择位	b1 b0 0 0：当检测到 VCC ≥ Vdet2 （上升）时 0 1：当检测到 VCC ＜ Vdet2 （下降）时 1 0：当检测到下降和上升时 1 1：不能设定	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

8.2.4 电压监视 2 电路的状态寄存器 （LVD2SR）

地址 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
复位后的值	0	0	0	0	0	0	1	0

位	符号	位名	功能	R/W
b0	LVD2DET	电压监视 2 电压变化检测标志	0：未检测到 1：检测到经过 Vdet2	R(/W) （注 1）
b1	LVD2MON	电压监视 2 信号监视标志	0：VCC ＜ Vdet2 1：VCC ≥ Vdet2 或者 LVD2MON 无效	R
b7-b2	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 “0”。从写 “0”后到被反映为 LVD2DET 位的读取值为止，需要 2 个系统时钟周期。

LVD2DET 标志 （电压监视 2 电压变化检测标志）

当 LVCMPCR.LVD2E 位为“1”（电压检测 2 电路有效）并且 LVD2CR0.LVD2CMPE 位为“1”（允许输出电压监视 2 电路的比较结果）时， LVD2DET 标志有效。

如果改写 LVD2CR0 寄存器和 LVD2CR1 寄存器，LVD2DET 标志就可能变为“1”。在改写 LVD2CR0 寄存器和 LVD2CR1 寄存器后，必须将 LVD2DET 标志置 “0”。

要将 LVD2DET 标志置“0”时，必须先将 LVD2CR0.LVD2RIE 位置“0”（禁止）。如果要再次将 LVD2CR0.LVD2RIE 位置 “1”（允许），就必须至少经过 2 个 PCLKB 周期后进行设定。能通过读由 PCLKB 定义存取周期数的 I/O 寄存器，至少确保 2 个 PCLKB 周期的等待时间。

LVD2MON 标志 （电压监视 2 信号监视标志）

当 LVCMPCR.LVD2E 位为“1”（电压检测 2 电路有效）并且 LVD2CR0.LVD2CMPE 位为“1”（允许输出电压监视 2 电路的比较结果）时， LVD2MON 标志有效。

8.2.5 电压监视电路的控制寄存器 （LVCMPCR）

地址 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为 “0”。	R/W
b5	LVD1E	电压检测 1 允许位	0：电压检测 1 电路无效 1：电压检测 1 电路有效	R/W
b6	LVD2E	电压检测 2 允许位	0：电压检测 2 电路无效 1：电压检测 2 电路有效	R/W
b7	—	保留位	读写值都为 “0”。	R/W

LVD1E 位 （电压检测 1 允许位）

在使用电压检测 1 的中断 / 复位或者 LVD1SR.LVD1MON 位时，必须将 LVD1E 位置“1”。在将 LVD1E 位从“0”置为“1”并且经过 td(E-A) 后，电压检测 1 电路运行。在深度软件待机模式中使用电压检测 1 电路时，不能将 DPSBYCR.DEEPCUT[1:0] 位置 “11b”。

LVD2E 位 （电压检测 2 允许位）

在使用电压检测 2 的中断 / 复位或者 LVD2SR.LVD2MON 位时，必须将 LVD2E 位置“1”。在将 LVD2E 位从“0”置为“1”并且经过 td(E-A) 后，电压检测 2 电路运行。在深度软件待机模式中使用电压检测 2 电路时，不能将 DPSBYCR.DEEPCUT[1:0] 位置 “11b”。

8.2.6 电压检测电平选择寄存器 （LVDLVLR）

地址 0008 C298h

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2LVL[3:0]				LVD1LVL[3:0]			
复位后的值	1	x	x	x	1	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	LVD1LVL[3:0]	电压检测 1 电平选择位 （电压下降时的标准电压）	b3 b2 b1 b0 １０１０：2.95V 在写时，不能进行上述以外的设定。	R/W
b7-b4	LVD2LVL[3:0]	电压检测 2 电平选择位 （电压下降时的标准电压）	b7 b6 b5 b4 １０１０：2.95V 在写时，不能进行上述以外的设定。	R/W

只能在 LVCMPCR.LVD1E 位和 LVCMPCR.LVD2E 位都为 “0”（电压检测 n 电路无效）（n=1、2）时更改 LVDLVLR 寄存器。

8.2.7 电压监视 1 电路的控制寄存器 0 （LVD1CR0）

地址 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP[1:0]		—	LVD1CMPE	LVD1DFDIS	LVD1RIE
复位后的值	1	0	0	0	x	0	1	0

x：不定值

位	符号	位名	功能	R/W
b0	LVD1RIE	电压监视 1 中断 / 复位允许位	0：禁止 1：允许	R/W
b1	LVD1DFDIS	电压监视 1 数字滤波器的无效模式选择位	0：数字滤波器有效 1：数字滤波器无效	R/W
b2	LVD1CMPE	电压监视 1 电路的比较结果输出允许位	0：禁止输出电压监视 1 电路的比较结果 1：允许输出电压监视 1 电路的比较结果	R/W
b3	—	保留位	读取值为不定值，只能写 “0”。	R/W
b5-b4	LVD1FSAMP[1:0]	采样时钟选择位	b5 b4 0 0：LOCO 的 1 分频 0 1：LOCO 的 2 分频 1 0：LOCO 的 4 分频 1 1：LOCO 的 8 分频	R/W
b6	LVD1RI	电压监视 1 电路模式选择位	0：在经过 Vdet1 时产生电压监视 1 中断 1：在下降过程中经过 Vdet1 时产生电压监视 1 复位	R/W
b7	LVD1RN	电压监视 1 复位无效选择位	0：从检测到 VCC ＞ Vdet1 开始经过一定的时间（tLVD1）后无效 1：从 LVD1 复位有效开始经过一定的时间（tLVD1）后无效	R/W

LVD1RIE 位 （电压监视 1 中断 / 复位允许位）

不能在闪存的编程 / 擦除过程中产生 LVD1 复位和 LVD1 非屏蔽中断。

LVD1DFDIS 位 （电压监视 1 数字滤波器的无效模式选择位）

要将 LVD1DFDIS 位置“0”（数字滤波器电路有效）时，必须将 LOCOCR.LCSTP 位置“0”（LOCO 运行）。

在软件待机模式或者深度软件待机模式中使用电压监视 1 电路时，必须将 LVD1DFDIS 位置 “1”（数字滤波器电路无效）。

LVD1FSAMP[1:0] 位 （采样时钟选择位）

只能在 LVD1DFDIS 位为 “1”（数字滤波器电路无效）时改写 LVD1FSAMP[1:0] 位。当 LVD1DFDIS 位为 “0”（数字滤波器电路有效）时，不能改写 LVD1FSAMP[1:0] 位。

LVD1RI 位 （电压监视 1 电路模式选择位）

当 LVD1RI 位为“1”（选择电压监视 1 复位）或者 LVD2CR0.LVD2RI 位为“1”（选择电压监视 2 复位）时，不能转移到深度软件待机模式，而转移到软件待机模式。要转移到深度软件待机模式时，必须将 LVD1RI 位置 “0”（选择电压监视 1 中断）并且将 LVD2CR0.LVD2RI 位置 “0”（选择电压监视 2 中断）。

LVD1RN 位 （电压监视 1 复位无效选择位）

要将 LVD1RN 位置“1”（从 LVD1 复位有效开始经过一定的时间后无效）时，必须将 LOCOCR.LCSTP 位置“0”（LOCO 运行）。要转移到软件待机模式或者深度软件待机模式时，只能将 LVD1RN 位置“0”（从检测到 VCC ＞ Vdet1 开始经过一定的时间后无效），而不能将 LVD1RN 位置“1”（从 LVD1 复位有效开始经过一定的时间后无效）。

8.2.8 电压监视 2 电路的控制寄存器 0 （LVD2CR0）

地址 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP[1:0]		—	LVD2CMPE	LVD2DFDIS	LVD2RIE
复位后的值	1	0	0	0	x	0	1	0

x：不定值

位	符号	位名	功能	R/W
b0	LVD2RIE	电压监视 2 中断 / 复位允许位	0：禁止 1：允许	R/W
b1	LVD2DFDIS	电压监视 2 数字滤波器的无效模式选择位	0：数字滤波器有效 1：数字滤波器无效	R/W
b2	LVD2CMPE	电压监视 2 电路的比较结果输出允许位	0：禁止输出电压监视 2 电路的比较结果 1：允许输出电压监视 2 电路的比较结果	R/W
b3	—	保留位	读取值为不定值，只能写 “0”。	R/W
b5-b4	LVD2FSAMP[1:0]	采样时钟选择位	b5 b4 0 0：LOCO 的 1 分频 0 1：LOCO 的 2 分频 1 0：LOCO 的 4 分频 1 1：LOCO 的 8 分频	R/W
b6	LVD2RI	电压监视 2 电路模式选择位	0：在经过 Vdet2 时产生电压监视 2 中断 1：在下降过程中经过 Vdet2 时产生电压监视 2 复位	R/W
b7	LVD2RN	电压监视 2 复位无效选择位	0：从检测到 VCC ＞ Vdet2 开始经过一定的时间（tLVD2）后无效 1：从 LVD2 复位有效开始经过一定的时间（tLVD2）后无效	R/W

LVD2RIE 位 （电压监视 2 中断 / 复位允许位）

不能在闪存的编程 / 擦除过程中产生 LVD2 复位和 LVD2 非屏蔽中断。

LVD2DFDIS 位 （电压监视 2 数字滤波器的无效模式选择位）

要将 LVD2DFDIS 位置“0”（数字滤波器电路有效）时，必须将 LOCOCR.LCSTP 位置“0”（LOCO 运行）。

在软件待机模式或者深度软件待机模式中使用电压监视 2 电路时，必须将 LVD2DFDIS 位置 “1”（数字滤波器电路无效）。

LVD2FSAMP[1:0] 位 （采样时钟选择位）

只能在 LVD2DFDIS 位为 “1”（数字滤波器电路无效）时改写 LVD2FSAMP[1:0] 位。当 LVD2DFDIS 位为 “0”（数字滤波器电路有效）时，不能改写 LVD2FSAMP[1:0] 位。

LVD2RI 位 （电压监视 2 电路模式选择位）

当 LVD2RI 位为“1”（选择电压监视 2 复位）或者 LVD1CR0.LVD1RI 位为“1”（选择电压监视 1 复位）时，不能转移到深度软件待机模式，而转移到软件待机模式。要转移到深度软件待机模式时，必须将 LVD2RI 位置“0”（选择电压监视 2 中断）并且将 LVD1CR0.LVD1RI 位置 “0”（选择电压监视 1 中断）。

LVD2RN 位 （电压监视 2 复位无效选择位）

要将 LVD2RN 位置“1”（从 LVD2 复位有效开始经过一定的时间后无效）时，必须将 LOCOCR.LCSTP 位置“0”（LOCO 运行）。要转移到软件待机模式或者深度软件待机模式时，只能将 LVD2RN 位置“0”（从检测到 VCC ＞ Vdet2 开始经过一定的时间后无效），而不能将 LVD2RN 位置“1”（从 LVD2 复位有效开始经过一定的时间后无效）。

8.3 VCC 输入电压的监视

8.3.1 Vdet0 的监视

不能监视 Vdet0。

8.3.2 Vdet1 的监视

在进行以下设定后，能通过 LVD1SR.LVD1MON 标志来监视电压监视 1 的比较结果。

(1) 设定LVDLVLR.LVD1LVL[3:0]位 （电压检测1的检测电压）。
(2) 通过LVD1CR0.LVD1FSAMP[1:0]位选择数字滤波器的采样时钟。
(3) 将LVD1CR0.LVD1CMPE位置 “1”（允许输出电压监视1电路的比较结果）。
(4) 至少等待1个LOCO周期。
(5) 将LVD1CR0.LVD1DFDIS位置 “0”（数字滤波器有效）。
(6) 至少等待2n+3个LOCO周期。
（n=1、 2、 4、 8：数字滤波器的采样时钟=LOCO的n分频）
(7) 将LVCMPCR.LVD1E位置 “1”（电压检测1电路有效）。

注 . 如果在数字滤波器无效时使用，就不需要 (2)、 (4)、 (5)、 (6)。

8.3.3 Vdet2 的监视

在进行以下设定后，能通过 LVD2SR.LVD2MON 标志来监视电压监视 2 的比较结果。

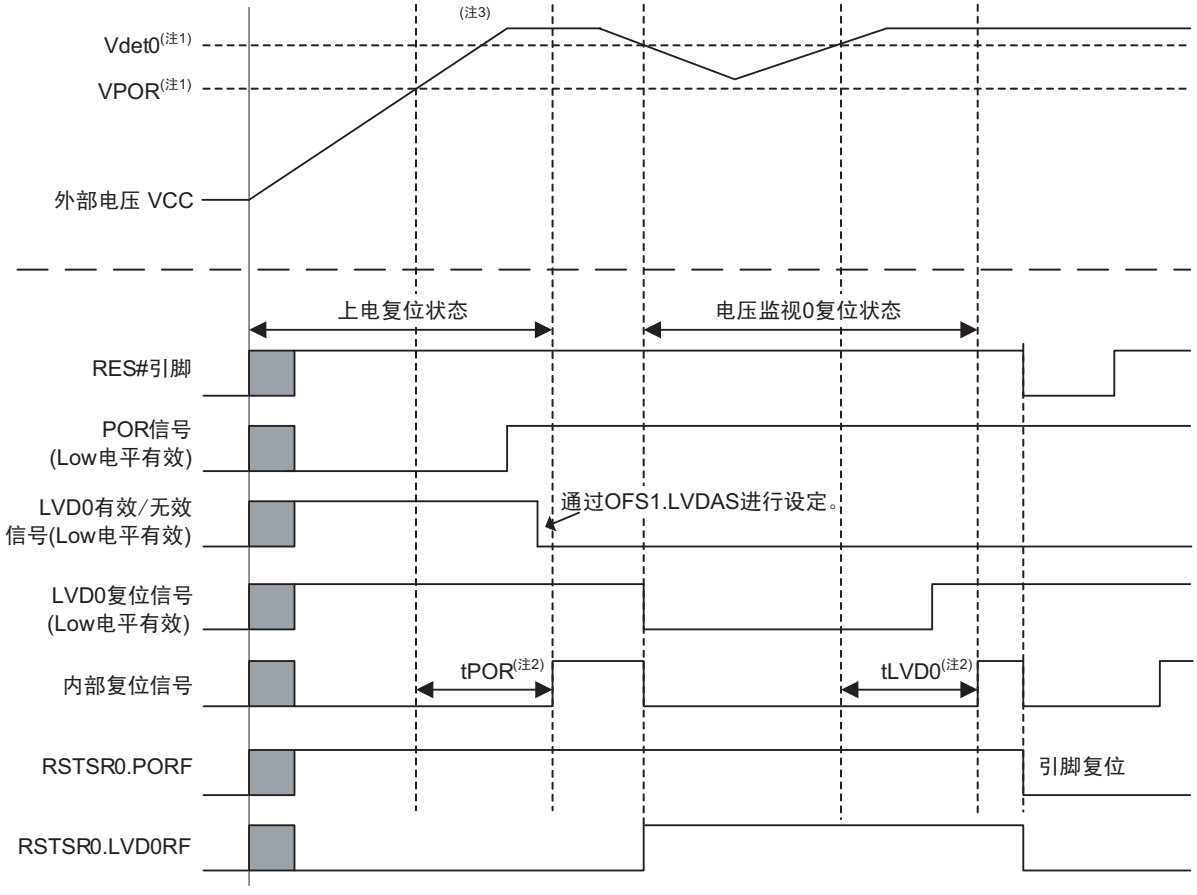
(1) 设定LVDLVLR.LVD2LVL[3:0]位 （电压检测2的检测电压）。
(2) 通过LVD2CR0.LVD2FSAMP[1:0]位选择数字滤波器的采样时钟。
(3) 将LVD2CR0.LVD2CMPE位置 “1”（允许输出电压监视2的电路比较结果）。
(4) 至少等待1个LOCO周期。
(5) 将LVD2CR0.LVD2DFDIS位置 “0”（数字滤波器有效）。
(6) 至少等待2n+3个LOCO周期。
（n=1、 2、 4、 8：数字滤波器的采样时钟=LOCO的n分频）
(7) 将LVCMPCR.LVD2E位置 “1”（电压检测2电路有效）。

注 . 如果在数字滤波器无效时使用，就不需要 (2)、 (4)、 (5)、 (6)。

8.4 电压监视 0 复位

在使用电压监视 0 复位时，必须将电压检测 0 的电路启动位 （OFS1.LVDAS）置 “0”（复位后，电压监视 0 复位有效）。

电压监视 0 复位的运行例子如图 8.4 所示。



注. 有关电特性的详细内容，请参照“45. 电特性”。
注1. Vdet0表示电压监视0复位的检测电平，VPOR表示上电复位的检测电平。
注2. tPOR表示上电复位期间，tLVD0表示电压监视0复位期间。
注3. 当接通电源时，必须在POR复位被解除前使VCC上升到高于最低保证电压。

图 8.4 电压监视 0 复位的运行例子

8.5 电压监视 1 中断和电压监视 1 复位

电压监视 1 中断和电压监视 1 复位的相关位的运行设定步骤如**表** 8.2 所示，电压监视 1 中断和电压监视 1 复位的相关位的停止设定步骤如**表** 8.3 所示，电压监视 1 中断的运行例子如**图** 8.5 所示。有关电压监视 1 复位的运行例子，请参照 “6. **复位**”的**图** 6.2。

在软件待机模式或者深度软件待机模式中使用电压监视 1 电路时，必须将 LVD1CR0.LVD1DFDIS 位置“1”（数字滤波器无效）。

表 8.2 电压监视 1 中断和电压监视 1 复位的相关位的运行设定步骤

步骤	使用数字滤波器的情况		不使用数字滤波器的情况	
	电压监视 1 中断	电压监视 1 复位	电压监视 1 中断	电压监视 1 复位
1 （注 1）	通过 LVDLVLR.LVD1LVL[3:0] 位设定检测电压。			
2 （注 2）	通过 LVD1CR0.LVD1FSAMP[1:0] 位选择数字滤波器的采样时钟。		将 LVD1CR0.LVD1DFDIS 位置“1”（数字滤波器无效）。	
3 (注1、注2)	将 LVD1CR0.LVD1RI 位置“0”（电压监视 1 中断）。	• 将 LVD1CR0.LVD1RI 位置 “1”（电压监视 1 复位）。 • 通过 LVD1CR0.LVD1RN 位选择复位无效的种类。	将 LVD1CR0.LVD1RI 位置“0”（电压监视 1 中断）。	• 将 LVD1CR0.LVD1RI 位置 “1”（电压监视 1 复位）。 • 通过 LVD1CR0.LVD1RN 位选择复位无效的种类。
4	通过 LVD1CR1.LVD1IDTSEL [1:0] 位选择中断请求时序。	—	通过 LVD1CR1.LVD1IDTSEL [1:0] 位选择中断请求时序。	—
5	将 LVD1CR0.LVD1CMPE 位置 “1”（允许输出电压监视 1 电路的比较结果）。			
6 （注 2）	至少等待 1 个 LOCO 周期。		—	
7	将 LVD1CR0.LVD1DFDIS 位置“0”（数字滤波器有效）。		—	
8	至少等待 2n+3 个 LOCO 周期 （n=1、 2、 4、 8：数字滤波器的采样时钟 =LOCO 的 n 分频）		— （没有等待时间）	
9	将 LVD1SR.LVD1DET 标志置 “0”。	—	将 LVD1SR.LVD1DET 标志置 “0”。	—
10	将 LVD1CR0.LVD1RIE 位置 “1”（允许电压监视 1 中断 / 复位）。			
11 （注 1）	将 LVCMPCR.LVD1E 位置 “1”（电压检测 1 电路有效）。			

注 1. 在以下的任意一种情况下，不需要步骤 1、步骤 3 和步骤 11：
- 在通过设定为电压监视 1 中断 （LVD1CR0.LVD1RI=0）而运行时
- 在停止后只更改 LVD1CR0.LVD1FSAMP[1:0]位、 LVD1CR0.LVD1DFDIS 位或者 LVD1CR1.LVD1IDTSEL[1:0]位的设定而重新运行时
- 在停止后不更改电压检测电路的相关设定而重新运行时

对于通过设定为电压监视 1 复位 （LVD1CR0.LVD1RI=1）而运行时的更改，必须通过步骤 1～11 进行设定。

注 2. 可以用 1 条指令同时执行步骤 2 和步骤 3。

表 8.3 电压监视 1 中断和电压监视 1 复位的相关位的停止设定步骤

步骤	电压监视 1 中断和电压监视 1 复位的相关位的停止设定
1 （注 1）	将 LVCMPCR.LVD1E 位置 “0”（电压检测 1 电路无效）。
2 （注 1）	至少等待 1 个 LOCO 周期。
3	将 LVD1CR0.LVD1RIE 位置 “0”（禁止电压监视 1 中断 / 复位）。
4	将 LVD1CR0.LVD1CMPE 位置 “0”（禁止输出电压监视 1 电路的比较结果）。
5	更改除 LVCMPCR.LVD1E 位、 LVD1CR0.LVD1CMPE 和 LVD1CR0.LVD1RIE 位以外的电压检测电路相关寄存器的设定。

注 1. 在以下的任意一种情况下，不需要步骤 1 和步骤 2：
- 在通过设定为电压监视 1 中断 （LVD1CR0.LVD1RI=0）而运行时
- 在停止后只更改 LVD1CR0.LVD1FSAMP[1:0]位、 LVD1CR0.LVD1DFDIS 位或者 LVD1CR1.LVD1IDTSEL[1:0]位的设定而重新运行时
- 在停止后不更改电压检测电路的相关设定而重新运行时

对于通过设定为电压监视 1 复位 （LVD1CR0.LVD1RI=1）而运行时的更改，必须通过步骤 1～5 进行设定。

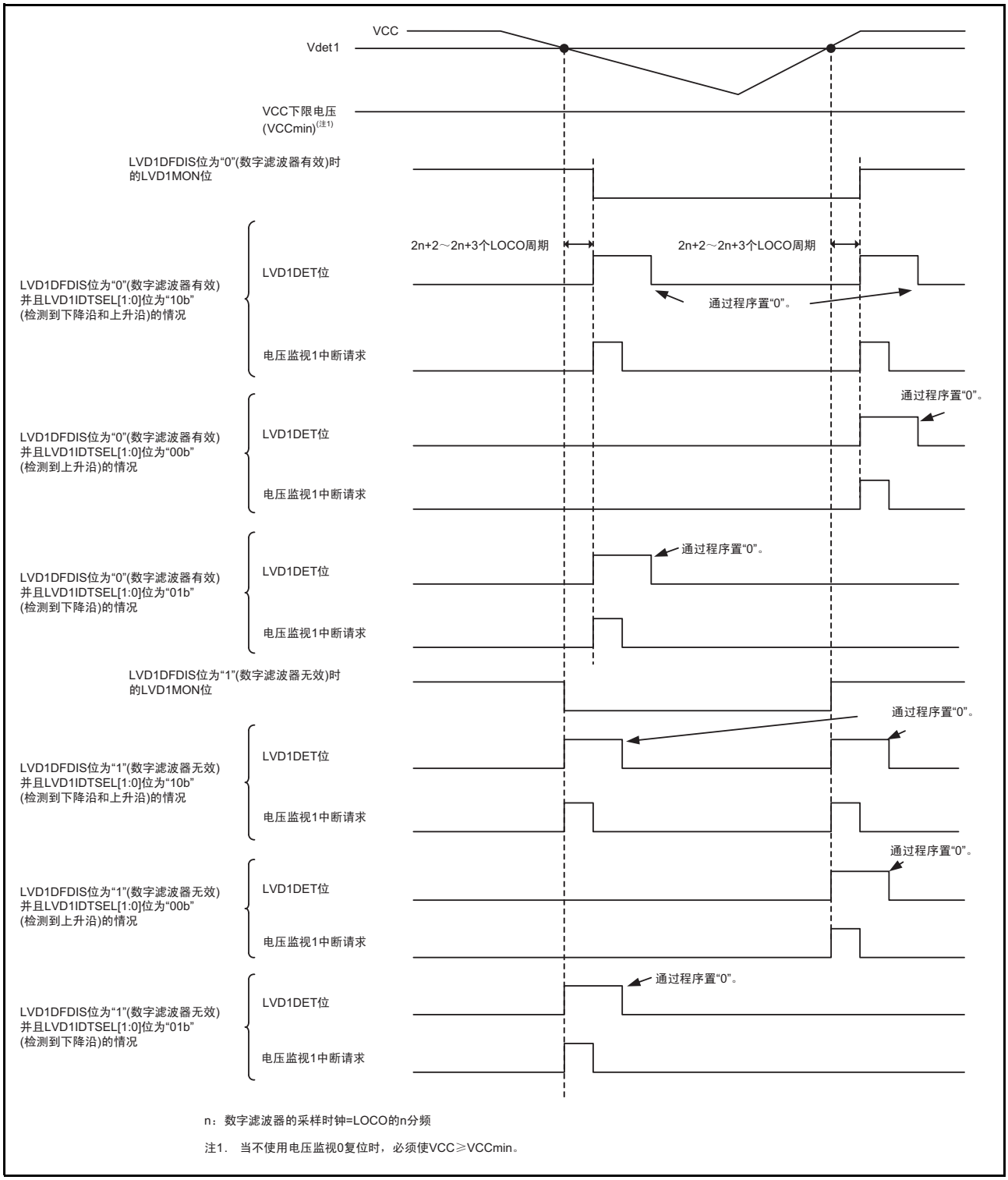


图 8.5 电压监视 1 中断的运行例子

8.6 电压监视 2 中断和电压监视 2 复位

电压监视 2 中断和电压监视 2 复位的相关位的运行设定步骤如**表** 8.4 所示，电压监视 2 中断和电压监视 2 复位的相关位的停止设定步骤如**表** 8.5 所示，电压监视 2 中断的运行例子如**图** 8.6 所示。有关电压监视 2 复位的运行例子，请参照 “6. **复位**”的**图** 6.2。

在软件待机模式或者深度软件待机模式中使用电压监视 2 电路时，必须将 LVD2CR0.LVD2DFDIS 位置“1”（数字滤波器无效）。

表 8.4 电压监视 2 中断和电压监视 2 复位的相关位的运行设定步骤

步骤	使用数字滤波器的情况		不使用数字滤波器的情况	
	电压监视 2 中断	电压监视 2 复位	电压监视 2 中断	电压监视 2 复位
1 （注 1）	通过 LVDLVLR.LVD2LVL[3:0] 位设定检测电压。			
2 （注 2）	通过 LVD2CR0.LVD2FSAMP[1:0] 位选择数字滤波器的采样时钟。		将 LVD2CR0.LVD2DFDIS 位置“1”（数字滤波器无效）。	
3 (注1、注2)	将 LVD2CR0.LVD2RI 位置“0”（电压监视 2 中断）。	• 将 LVD2CR0.LVD2RI 位置“1”（电压监视 2 复位）。 • 通过 LVD2CR0.LVD2RN 位选择复位无效的种类。	将 LVD2CR0.LVD2RI 位置“0”（电压监视 2 中断）。	• 将 LVD2CR0.LVD2RI 位置“1”（电压监视 2 复位）。 • 通过 LVD2CR0.LVD2RN 位选择复位无效的种类。
4	通过 LVD2CR1.LVD2IDTSEL [1:0] 位选择中断请求时序。	—	通过 LVD2CR1.LVD2IDTSEL [1:0] 位选择中断请求时序。	—
5	将 LVD2CR0.LVD2CMPE 位置 “1”（允许输出电压监视 2 电路的比较结果）。			
6	至少等待 1 个 LOCO 周期。		—	
7	将 LVD2CR0.LVD2DFDIS 位置“0”（数字滤波器有效）。		—	
8	至少等待 2n+3 个 LOCO 周期 （n=1、 2、 4、 8：数字滤波器的采样时钟 =LOCO 的 n 分频）		— （没有等待时间）	
9	将 LVD2SR.LVD2DET 标志置 “0”。	—	将 LVD2SR.LVD2DET 标志置 “0”。	—
10	将 LVD2CR0.LVD2RIE 位置 “1”（允许电压监视 2 中断 / 复位）。			
11 （注 1）	将 LVCMPCR.LVD2E 位置 “1”（电压检测 2 电路有效）。			

注 1. 在以下的任意一种情况下，不需要步骤 1、步骤 3 和步骤 11：
- 在通过设定为电压监视 2 中断 （LVD2CR0.LVD2RI=0）而运行时
- 在停止后只更改 LVD2CR0.LVD2FSAMP[1:0]位、 LVD2CR0.LVD2DFDIS 位或者 LVD2CR1.LVD2IDTSEL[1:0]位的设定而重新运行时
- 在停止后不更改电压检测电路的相关设定而重新运行时

对于通过设定为电压监视 2 复位 （LVD2CR0.LVD2RI=1）而运行时的更改，必须通过步骤 1～11 进行设定。

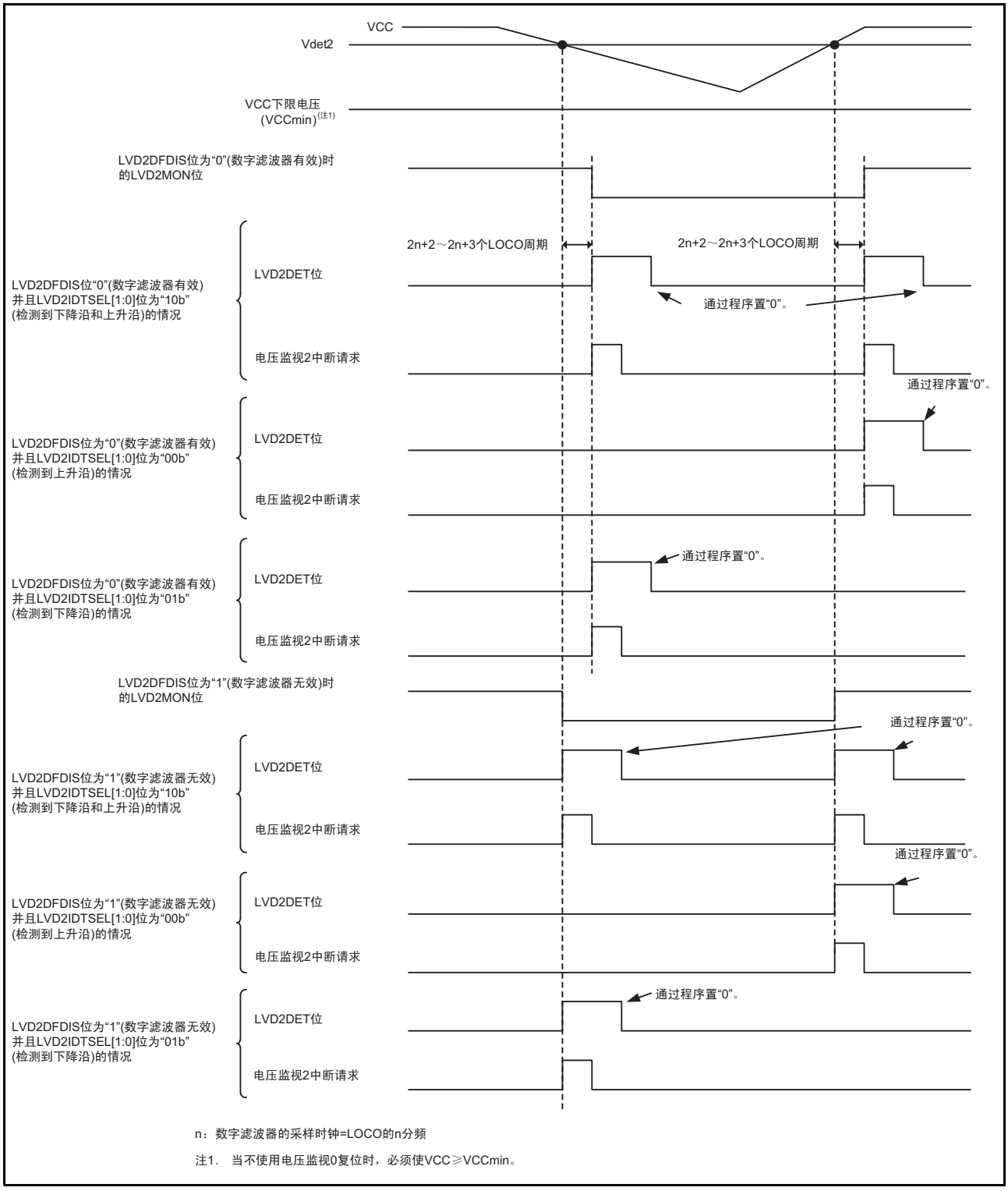
注 2. 可以用 1 条指令同时执行步骤 2 和步骤 3。

表 8.5 电压监视 2 中断和电压监视 2 复位的相关位的停止设定步骤

步骤	电压监视 2 中断和电压监视 2 复位的相关位的停止设定
1 （注 1）	将 LVCMPCR.LVD2E 位置 “0”（电压检测 2 电路无效）。
2 （注 1）	至少等待 1 个 LOCO 周期。
3	将 LVD2CR0.LVD2RIE 位置 “0”（禁止电压监视 2 中断 / 复位）。
4	将 LVD2CR0.LVD2CMPE 位置 “0”（禁止输出电压监视 2 电路的比较结果）。
5	更改除 LVCMPCR.LVD2E 位、 LVD2CR0.LVD2CMPE 位和 LVD2CR0.LVD2RIE 位以外的电压检测电路相关寄存器的设定。

注 1. 在以下的任意一种情况下，不需要步骤 1 和步骤 2：
- 在通过设定为电压监视 2 中断 （LVD2CR0.LVD2RI=0）而运行时
- 在停止后只更改 LVD2CR0.LVD2FSAMP[1:0]位、 LVD2CR0.LVD2DFDIS 位或者 LVD2CR1.LVD2IDTSEL[1:0]位的设定而重新运行时
- 在停止后不更改电压检测电路的相关设定而重新运行时

对于通过设定为电压监视 2 复位 （LVD2CR0.LVD2RI=1）而运行时的更改，必须通过步骤 1～5 进行设定。



n：数字滤波器的采样时钟=LOCO的n分频

注1. 当不使用电压监视0复位时，必须使VCC≥VCCmin。

图 8.6 电压监视 2 中断的运行例子

9. 时钟发生电路

9.1 概要

RX630 群内置时钟发生电路。

时钟发生电路的规格和框图分别如表 9.1 和图 9.1 所示。

表 9.1 时钟发生电路的规格

项目	规格
用途	• 生成给 CPU、 DMAC、 DTC、 ROM 和 RAM 提供的系统时钟 （ICLK）。 • 生成给外围模块提供的外围模块时钟 （PCLKB）。 • 生成给 FlashIF 提供的 FlashIF 时钟 （FCLK）。 • 生成给外部总线提供的外部总线时钟 （BCLK）。 • 生成给 USB 提供的 USB 时钟 （UCLK）。 • 生成给 CAN 提供的 CAN 时钟 （CANCLK）。 • 生成给 IEBUS 提供的 IEBUS 时钟 （IECLK）。 • 生成给 RTC 提供的 RTC 专用副时钟 （RTCSCLK）。 • 生成给 RTC 提供的 RTC 专用主时钟 （RTCMCLK）。 • 生成给 IWDT 提供的 IWDT 专用低速时钟 （IWDTCLK）。 • 生成给 JTAG 提供的 JTAG 时钟 （JTAGTCK）。
运行频率	• ICLK：100MHz(max) • PCLKB：50MHz(max) • FCLK：4MHz ～ 50MHz • BCLK：50MHz(max) • BCLK 引脚输出：25MHz(max) • UCLK：48MHz(max) • CANCLK：20MHz(max) • IECLK：50MHz(max) • RTCSCLK：32.768kHz • RTCMCLK：4MHz ～ 16MHz • IWDTCLK：125kHz • JTAGTCK：10MHz(max)
主时钟振荡器	• 谐振器频率：4MHz ～ 16MHz • 外部时钟的输入频率：20MHz(max) • 能连接的谐振器或者附加电路：陶瓷谐振器、晶体谐振器 • 连接引脚：EXTAL、 XTAL • 振荡停止检测功能：这是在检测到主时钟停止振荡时转换到 LOCO 并且将 MTU2 引脚置为高阻抗的功能。
副时钟振荡器	• 谐振器频率：32.768kHz • 能连接的谐振器或者附加电路：晶体谐振器 • 连接引脚：XCIN、 XCOUT
PLL 电路	• 输入时钟源：主时钟 • 输入分频比：可选择 1 分频、 2 分频或者 4 分频。 • 输入频率：4MHz ～ 16MHz • 倍增比：可选择递增 8 倍、10 倍、12 倍、16 倍、20 倍、24 倍、25 倍或者 50 倍。 • VCO 振荡频率：104MHz ～ 200MHz
高速内部振荡器 （HOCO）	• 振荡频率：50MHz • HOCO 电源控制
低速内部振荡器 （LOCO）	振荡频率：125kHz
IWDT 专用内部振荡器	振荡频率：125kHz
JTAG 外部时钟输入 （TCK）	输入时钟频率：10MHz(max)
BCLK 引脚的输出控制功能	• 可选择输出 BCLK 时钟或者 High 电平。 • 输出时钟可选择 BCLK 或者 BCLK 的 2 分频时钟。

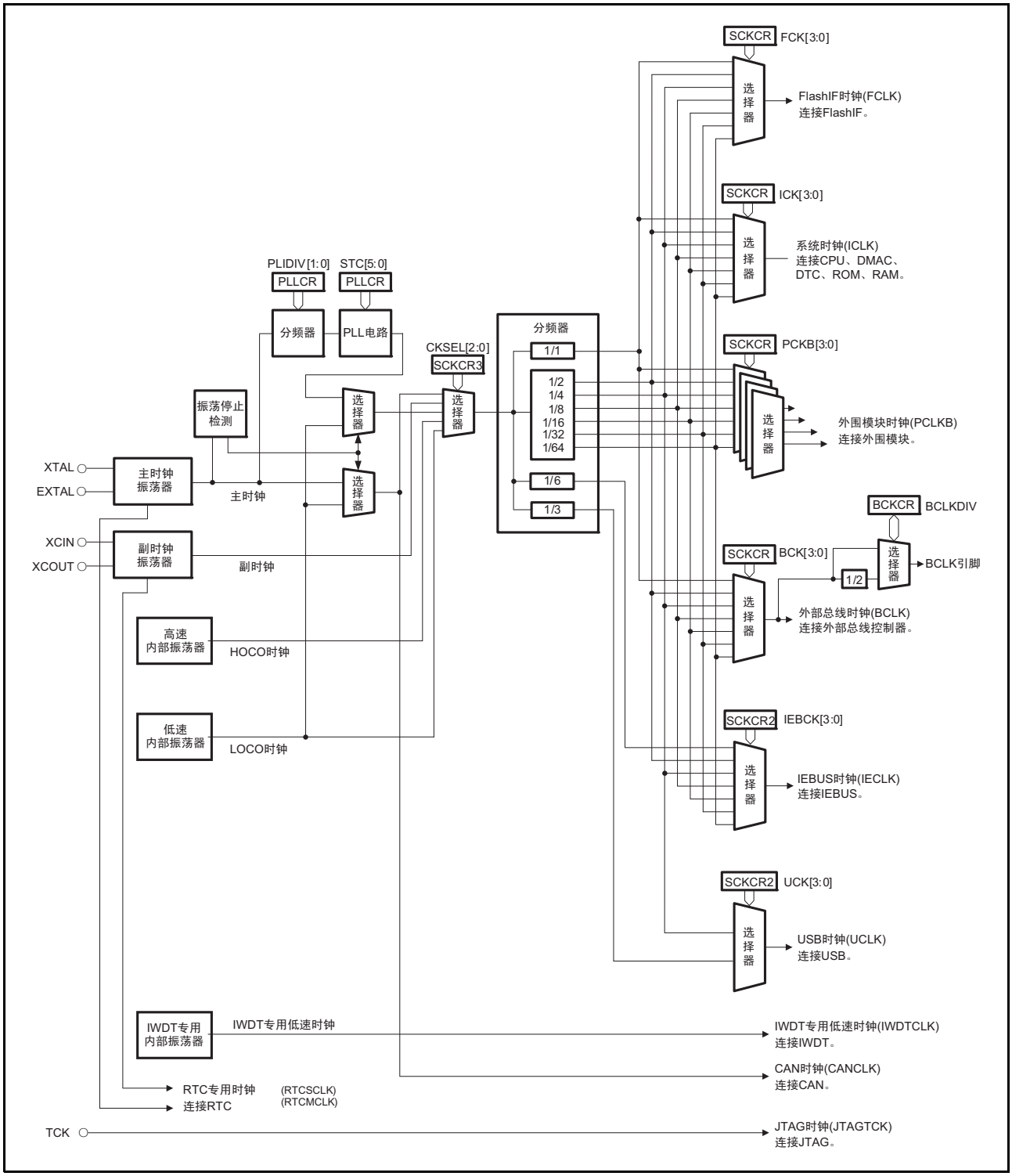


图 9.1 时钟发生电路的框图

时钟发生电路的输入 / 输出引脚如表 9.2 所示。

表 9.2 时钟发生电路的输入 / 输出引脚

引脚名	输入 / 输出	功能
XTAL	输出	连接谐振器的引脚 EXTAL 引脚也能输入外部时钟，详细内容请参照“9.3.2 输入外部时钟的方法”。
EXTAL	输入	
XCIN	输入	连接 32.768kHz 晶体谐振器。
XCOUT	输出	
TCK	输入	JTAG 的时钟输入
BCLK	输出	给外部设备提供外部总线时钟 （BCLK）。

9.2 寄存器说明

9.2.1 系统时钟控制寄存器 （SCKCR）

地址 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCK[3:0]				ICK[3:0]				PSTOP1	—	—	—	BCK[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PCKB[3:0]				—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	必须设定 “0001b”。	R/W
b7-b4	—	保留位	必须设定 “0001b”。	R/W
b11-b8	PCKB[3:0]	外围模块时钟 B （PCLKB）选择位 (注 1)	b11 b8 0 0 0 0：1 分频 0 0 0 1：2 分频 0 0 1 0：4 分频 0 0 1 1：8 分频 0 1 0 0：16 分频 0 1 0 1：32 分频 0 1 1 0：64 分频 上述以外：不能设定	R/W
b15-b12	—	保留位	必须设定 “0001b”。	R/W
b19-b16	BCK[3:0]	外部总线时钟 （BCLK）选择位 （注 1、注 2）	b19 b16 0 0 0 0：1 分频 0 0 0 1：2 分频 0 0 1 0：4 分频 0 0 1 1：8 分频 0 1 0 0：16 分频 0 1 0 1：32 分频 0 1 1 0：64 分频 上述以外：不能设定	R/W
b22-b20	—	保留位	读写值都为 “0”。	R/W
b23	PSTOP1	BCLK 引脚输出控制位 （注 3）	0：从 BCLK 引脚输出 1：停止从 BCLK 引脚输出 （固定为 High 电平）	R/W
b27-b24	ICK[3:0]	系统时钟 （ICLK）选择位 （注 1、注 2、注 4）	b27 b24 0 0 0 0：1 分频 0 0 0 1：2 分频 0 0 1 0：4 分频 0 0 1 1：8 分频 0 1 0 0：16 分频 0 1 0 1：32 分频 0 1 1 0：64 分频 上述以外：不能设定	R/W

位	符号	位名	功能	R/W
b31-b28	FCK[3:0]	FlashIF 时钟 （FCLK）选择位 （注 1、注 4）	b31 b28 0 0 0 0：1 分频 0 0 0 1：2 分频 0 0 1 0：4 分频 0 0 1 1：8 分频 0 1 0 0：16 分频 0 1 0 1：32 分频 0 1 1 0：64 分频 上述以外：不能设定	R/W

注 1. 当选择 PLL 时，禁止设定 1 分频。

注 2. ICLK 不能设定低于外部总线时钟的频率。

注 3. 当外部总线有效时，和 BCLK 引脚兼用的 P53 不能用作 I/O 端口。

注 4. 在低速运行模式 2 中并且通过 SCKCR3.CKSEL[2:0] 位选择副时钟振荡器的情况下， ICLK 和 FCLK 的分频比只能设定为 1 分频。

在以下情况下禁止改写 SCKCR 寄存器：

- 当运行功率控制寄存器的运行功率控制模式转移状态标志 （OPCCR.OPCMTSF）为 “1”（运行功率控制模式在转移过程中）时
- 当闪存P/E模式入口寄存器的ROM P/E模式入口位i（FENTRYR.FENTRYi）为 “1”（ROM P/E模式）（i=0～3）时
- 在从发行用于转移到睡眠模式的WAIT指令开始到从睡眠模式返回到正常运行模式为止的期间

9.2.2 系统时钟控制寄存器 2 （SCKCR2）

地址 0008 0024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	UCK[3:0]				IEBCK[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

位	符号	位名	功能	R/W
b3-b0	IEBCK[3:0]	IEBUS 时钟 （IECLK）选择位	b3 b0 0 0 0 1：2 分频 0 0 1 0：4 分频 0 0 1 1：8 分频 0 1 0 0：16 分频 0 1 0 1：32 分频 0 1 1 0：64 分频 1 1 0 0：6 分频 上述以外：不能设定	R/W
b7-b4	UCK[3:0]	USB 时钟 （UCLK）选择位	b7 b4 0 0 1 0：3 分频 0 0 1 1：4 分频 在使用 USB 时，不能进行上述以外的设定；在不使用 USB 时，读取值为“0001b”，只能写“0001b”。	R/W
b15-b8	—	保留位	读写值都为 “0”。	R/W

在以下情况下禁止改写 SCKCR2 寄存器：

- 当运行功率控制寄存器的运行功率控制模式转移状态标志 （OPCCR.OPCMTSF）为 “1”（运行功率控制模式在转移过程中）时
- 当闪存P/E模式入口寄存器的ROM P/E模式入口位i（FENTRYR.FENTRYi）为 “1”（ROM P/E模式）（i=0～3）时
- 在从发行用于转移到睡眠模式的WAIT指令开始到从睡眠模式返回到正常运行模式为止的期间

UCK[3:0] 位 （USB 时钟 （UCLK）选择位）

这些位选择 USB 时钟 （UCLK）的频率。

当选择 3 分频时，时钟的 Duty 为 2:1。

9.2.3 系统时钟控制寄存器 3 （SCKCR3）

地址 0008 0026h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CKSEL[2:0]			—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为 “0”。	R/W
b10-b8	CKSEL[2:0]	时钟源选择位	b10 b8 0 0 0：选择 LOCO 0 0 1：选择 HOCO 0 1 0：选择主时钟振荡器 0 1 1：选择副时钟振荡器 1 0 0：选择 PLL 电路 上述以外：不能设定	R/W
b15-b11	—	保留位	读写值都为 “0”。	R/W

在以下情况下禁止改写 SCKCR3 寄存器：

- 当运行功率控制寄存器的运行功率控制模式转移状态标志 （OPCCR.OPCMTSF）为 “1”（运行功率控制模式在转移过程中）时
- 当闪存P/E模式入口寄存器的ROM P/E模式入口位i（FENTRYR.FENTRYi）为 “1”（ROM P/E模式）（i=0～3）时
- 在从发行用于转移到睡眠模式的WAIT指令开始到从睡眠模式返回到正常运行模式为止的期间

CKSEL[2:0] 位 （时钟源选择位）

从低速内部振荡器 （LOCO）、高速内部振荡器 （HOCO）、主时钟振荡器、副时钟振荡器和 PLL 电路中选择系统时钟（ICLK）、外围模块时钟（PCLKB）、FlashIF 时钟（FCLK）、外部总线时钟（BCLK）、IEBUS 时钟 （IECLK）和 USB 时钟 （UCLK）的时钟源。

禁止转换到停止的时钟源。

9.2.4 PLL 控制寄存器 （PLLCR）

地址 0008 0028h



位	符号	位名	功能	R/W
b1-b0	PLIDIV[1:0]	PLL 输入分频比选择位	b1 b0 0 0：1 分频 0 1：2 分频 1 0：4 分频 1 1：不能设定	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W
b13-b8	STC[5:0]	频率倍增率设定位	b13 b8 0 0 0 1 1 1：×8 0 0 1 0 0 1：×10 0 0 1 0 1 1：×12 0 0 1 1 1 1：×16 0 1 0 0 1 1：×20 0 1 0 1 1 1：×24 0 1 1 0 0 0：×25 1 1 0 0 0 1：×50 上述以外：不能设定	R/W
b15-b14	—	保留位	读写值都为 “0”。	R/W

当 PLLCR2.PLLEN 位为 “0”（PLL 运行）时，禁止写 PLLCR 寄存器。

PLIDIV[1:0] 位 （PLL 输入分频比选择位）

这些位选择 PLL 时钟源的输入分频比。

必须将 PLIDIV[1:0] 位设定在 PLL 输入频率 （4 ～ 16MHz）的范围内。

STC[5:0] 位 （频率倍增率设定位）

这些位设定 PLL 的频率倍增率。

必须将 STC[5:0] 位设定在 PLL 的 VCO 振荡频率 （104 ～ 200MHz）的范围内。

9.2.5 PLL 控制寄存器 2 （PLLCR2）

地址 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b0	PLLEN	PLL 停止控制位	0：PLL 运行 1：PLL 停止	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

PLLEN 位 （PLL 停止控制位）

此位控制 PLL 的运行或者停止。

必须在通过 PLLEN 位将 PLL 设定为运行并且经过 PLL 时钟振荡稳定待机时间（tPLLWT1 或者 tPLLWT2）后，开始使用 PLL 时钟。

从设定为运行后到振荡稳定为止，PLL 需要一定的时间；从设定为停止后到振荡停止为止，PLL 也需要一定的时间。因此必须注意：有关运行的开始和停止，有以下限制：

- 要在将PLL设定为停止后再次设定为运行时，停止期间必须至少为5个PLL时钟周期的时间。
- 必须在PLL时钟振荡稳定的状态下进行PLL的停止设定。
- 与是否选择作为系统时钟无关，在将 PLL 设定为运行后转移到软件待机模式或者深度软件待机模式时，必须在振荡稳定的状态下执行WAIT指令。
- 要在将 PLL 设定为停止后转移到软件待机模式或者深度软件待机模式时，必须在将 PLL 设定为停止并且至少等待2个PLL时钟周期后执行WAIT指令。

当通过系统时钟控制寄存器 3 的时钟源选择位 （SCKCR3.CKSEL[2:0]）选择了 PLL 时，禁止给 PLLEN 位写 “1”（PLL 停止运行）。

当通过运行功率控制寄存器的运行功率控制模式选择位（OPCCR.OPCM[2:0]）选择了低速运行模式 1 或者低速运行模式 2 时，禁止给 PLLEN 位写 “0”（PLL 运行）。

9.2.6 外部总线时钟控制寄存器 （BCKCR）

地址 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKDIV
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BCLKDIV	BCLK 引脚输出选择位	0：BCLK 1：BCLK 的 2 分频	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

在以下情况下禁止改写 BCKCR 寄存器：

- 当运行功率控制寄存器的运行功率控制模式转移状态标志 （OPCCR.OPCMTSF）为 “1”（运行功率控制模式在转移过程中）时
- 当闪存 P/E 模式入口寄存器的 ROM P/E 模式入口位 i （FENTRYR.FENTRYi）为 “1”（ROM P/E 模式）（i=0～3）时
- 在从发行用于转移到睡眠模式的 WAIT 指令开始到从睡眠模式返回到正常运行模式为止的期间

BCLKDIV 位 （BCLK 引脚输出选择位）

此位选择从 BCLK 引脚输出的时钟。

能选择由 SCKCR.BCK[3:0] 位选择频率的 BCLK 或者 BCLK 的 2 分频时钟。

9.2.7 主时钟振荡器的控制寄存器 （MOSCCR）

地址 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b0	MOSTP	主时钟振荡器停止位	0：主时钟振荡器振荡 1：主时钟振荡器停止振荡	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

MOSTP 位 （主时钟振荡器停止位）

此位控制主时钟振荡器的振荡或者停止。

通过 MOSTP 位和主时钟振荡器的强制振荡控制寄存器的主时钟振荡器强制振荡位（MOFCR.MOFXIN）控制主时钟振荡器的振荡或者停止。能通过将 MOSTP 位设定为振荡器振荡或者将 MOFXIN 位设定为强制振荡，使主时钟振荡器振荡。当将 MOFXIN 位设定为强制振荡时，即使在深度软件待机模式中也继续振荡。

要改写 MOSTP 位或者 MOFCR.MOFXIN 位时，必须在写后通过读该位来确认已被改写，然后执行后续的指令 （请参照 “5. I/O 寄存器”的 “(2) 写 I/O 寄存器时的注意事项”。

在通过连接晶体谐振器来提供主时钟的情况下，必须在通过 MOSTP 位或者 MOFCR.MOFXIN 位将主时钟振荡器设定为振荡并且经过主时钟振荡稳定待机时间 （晶体）（tMAINOSCWT）后，开始使用主时钟。

在通过输入外部时钟来提供主时钟的情况下，必须在通过 MOSTP 位或者 MOFCR.MOFXIN 位将主时钟振荡器设定为振荡并且经过 EXTAL 外部时钟输入待机时间 （tEXWT）后，开始使用主时钟。

从设定为振荡后到振荡稳定为止，主时钟振荡器需要一定的时间；从设定为停止后到振荡停止为止，主时钟振荡器也需要一定的时间。因此必须注意：有关振荡的开始和停止，有以下限制：

- 要在将主时钟振荡器设定为停止后再次设定为振荡时，停止期间必须至少为5个主时钟周期的时间。
- 必须在主时钟振荡器振荡稳定的状态下进行主时钟振荡器的停止设定。
- 与是否选择作为系统时钟无关，要在将主时钟振荡器设定为振荡后转移到软件待机模式或者深度软件待机模式时，必须在主时钟振荡器振荡稳定的状态下执行WAIT指令。
- 要在将主时钟振荡器设定为停止后转移到软件待机模式或者深度软件待机模式时，必须在将主时钟设定为停止并且至少等待2个主时钟周期后执行WAIT指令。

当通过系统时钟控制寄存器3的时钟源选择位（SCKCR3.CKSEL[2:0]）选择了主时钟振荡器或者通过SCKCR3.CKSEL[2:0] 位选择了 PLL 时，禁止给 MOSTP 位写 “1”（主时钟振荡器停止振荡）。

9.2.8 副时钟振荡器的控制寄存器 （SOSCCR）

地址 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SOSTP	副时钟振荡器停止位	0：副时钟振荡器振荡 1：副时钟振荡器停止振荡	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

SOSTP 位 （副时钟振荡器停止位）

此位选择副时钟振荡器的振荡或者停止。

通过 SOSTP 位和 RTC 控制寄存器 3 的副时钟振荡器控制位 （RCR3.RTCEN）控制副时钟振荡器的振荡或者停止。如果将这两位的任意一位设定为运行，副时钟振荡器就变为振荡状态。

要改写 SOSTP 位或者 RCR3.RTCEN 位时，必须在等待写操作结束后执行后续的指令（请参照“5. I/O 寄存器”的 “(2) 写 I/O 寄存器时的注意事项”）。

必须在通过 SOSTP 位或者 RCR3.RTCEN 位将副时钟振荡器设定为振荡并且经过副时钟振荡稳定待机时间（tSUBOSCWT）后，开始使用副时钟。

从设定为振荡后到振荡稳定为止，副时钟振荡器需要一定的时间；从设定为停止后到振荡停止为止，副时钟振荡器也需要一定的时间。因此必须注意：有关振荡的开始和停止，有以下限制：

- 要在将副时钟振荡器设定为停止后再次设定为振荡时，停止期间必须至少为5个副时钟周期的时间。
- 必须在副时钟振荡器振荡稳定的状态下进行副时钟振荡器的停止设定。
- 与是否选择作为系统时钟无关，要在将副时钟振荡器设定为振荡后转移到软件待机模式或者深度软件待机模式时，必须在振荡稳定的状态下执行WAIT指令。
- 要在将副时钟振荡器设定为停止后转移到软件待机模式或者深度软件待机模式时，必须在将副时钟振荡器设定为停止并且至少等待2个副时钟周期后执行WAIT指令。

当通过系统时钟控制寄存器 3 的时钟源选择位 （SCKCR3.CKSEL[2:0]）选择了副时钟振荡器时，禁止给 SOSTP 位写 “1”（副时钟振荡器停止振荡）。

9.2.9 低速内部振荡器的控制寄存器 （LOCOCR）

地址 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	LCSTP	LOCO 停止位	0：LOCO 振荡 1：LOCO 停止振荡	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

LCSTP 位 （LOCO 停止位）

此位控制 LOCO 的振荡或者停止。

在通过 LCSTP 位将 LOCO 从停止改为振荡后使用 LOCO 时钟的情况下，必须在经过 LOCO 时钟振荡稳定待机时间 （tLOCOWT）后，开始使用 LOCO 时钟。

从设定为振荡后到振荡稳定为止，LOCO 需要一定的时间；从设定为停止后到振荡停止为止，LOCO 也需要一定的时间。因此必须注意：有关振荡的开始和停止，有以下的限制：

- 要在将LOCO设定为停止后再次设定为振荡时，停止期间必须至少为5个LOCO时钟周期的时间。
- 必须在LOCO振荡稳定的状态下进行LOCO的停止设定。
- 与是否选择作为系统时钟无关，要在将 LOCO 设定为振荡后转移到软件待机模式或者深度软件待机模式时，必须在LOCO振荡稳定的状态下执行WAIT指令。
- 要在将 LOCO 设定为停止后转移到软件待机模式或者深度软件待机模式时，必须在将 LOCO 设定为停止并且至少等待3个LOCO时钟周期后执行WAIT指令。

当通过系统时钟控制寄存器 3 的时钟源选择位 （SCKCR3.CKSEL[2:0]）选择了 LOCO 时，禁止给 LCSTP 位写 “1”（LOCO 停止振荡）。

当通过振荡停止检测控制寄存器的振荡停止检测功能允许位（OSTDCR.OSTDE）将振荡停止检测功能设定为有效时，禁止给 LCSTP 位写 “1”（LOCO 停止振荡）。

9.2.10 IWDT 专用内部振荡器的控制寄存器 （ILOCOCR）

地址 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b0	ILCSTP	IWDT 专用内部振荡器停止位	0：IWDT 专用内部振荡器振荡 1：IWDT 专用内部振荡器停止振荡	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

当选项功能选择寄存器 0 的 IWDT 启动模式选择位（OFS0.IWDTSTRT）为“0”（IWDT 振荡）时，ILOCOCR 寄存器的设定无效；当 OFS0.IWDTSTRT 位为 “1”（IWDT 停止振荡）时， ILOCOCR 寄存器的设定有效。在 ILOCOCR 寄存器有效并且 ILCSTP 位变为 “0”（IWDT 专用内部振荡器振荡）后，不能将 ILCSTP 位置 “1”（IWDT 专用内部振荡器停止振荡）。

ILCSTP 位 （IWDT 专用内部振荡器停止位）

此位控制 IWDT 专用内部振荡器的振荡或者停止。

如果通过 ILCSTP 位将 IWDT 专用内部振荡器从停止改为振荡，就在经过相当于 LOCO 振荡稳定待机时间（tLOCOWT）的一定时间后开始给 LSI 内部提供时钟。如果要使用 IWDT 专用低速时钟，就必须在经过此待机时间后开始使用。

要在将 IWDT 专用内部振荡器设定为振荡后转移到软件待机模式或者深度软件待机模式时，必须在振荡稳定的状态下执行 WAIT 指令。

9.2.11 高速内部振荡器的控制寄存器 （HOCOCR）

地址 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
复位后的值	0	0	0	0	0	0	0	0/1 (注1)

注1. 当选项功能选择寄存器1的HOCO振荡有效位(OFS1.HOCOEN)为“0”时，HCSTP位的复位后的值为“0”。
当OFS1.HOCOEN位为“1”时，HCSTP位的复位后的值为“1”。

位	符号	位名	功能	R/W
b0	HCSTP	HOCO 停止位	0：HOCO 振荡 1：HOCO 停止	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

HCSTP 位 （HOCO 停止位）

此位控制 HOCO 的振荡或者停止。

如果通过 HCSTP 位将 HOCO 从停止改为振荡，就必须在经过相当于 HOCO 时钟振荡稳定待机时间 2（tHOCOWT2）的一定时间后开始给 LSI 内部提供时钟。如果要使用 HOCO，就必须在经过此待机时间后开始使用。

从设定为振荡后到振荡稳定为止，HOCO 需要一定的时间；从设定为停止后到振荡停止为止，HOCO 也需要一定的时间。因此必须注意：有关振荡的开始和停止，有以下限制：

- 要在将HOCO设定为停止后再次设定为振荡时，停止期间必须至少为5个HOCO时钟周期的时间。
- 必须在HOCO振荡稳定的状态下进行HOCO的停止设定。
- 与是否选择作为系统时钟无关，要在将 HOCO 设定为振荡后转移到软件待机模式或者深度软件待机模式，必须在HOCO振荡稳定的状态下执行WAIT指令。
- 要在将 HOCO 设定为停止后转移到软件待机模式或者深度软件待机模式，必须在将 HOCO 设定为停止并且至少等待2个HOCO时钟周期后执行WAIT指令。

当通过系统时钟控制寄存器 3 的时钟源选择位 （SCKCR3.CKSEL[2:0]）选择了 HOCO 时，禁止给 HCSTP 位写 “1”（HOCO 停止振荡）。

当通过运行功率控制寄存器的运行功率控制模式选择位 （OPCCR.OPCM[2:0]）选择了低速运行模式 2 时，禁止给 HCSTP 位写 “0”（HOCO 振荡）。

9.2.12 振荡停止检测控制寄存器 （OSTDCR）

地址 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OSTDIE	振荡停止检测中断允许位	0：禁止振荡停止检测中断并且没有将振荡停止检测通知 POE 1：允许振荡停止检测中断并且将振荡停止检测通知 POE	R/W
b6-b1	—	保留位	读写值都为 “0”。	R/W
b7	OSTDE	振荡停止检测功能允许位	0：振荡停止检测功能无效 1：振荡停止检测功能有效	R/W

OSTDIE 位 （振荡停止检测中断允许位）

必须在将 OSTDIE 位置“0”后清除振荡停止检测状态寄存器的振荡停止检测标志（OSTDSR.OSTDF）。此后，如果要再次将 OSTDIE 位置“1”，就必须至少等待 2 个 PCLKB 周期。能通过读由 PCLKB 定义存取周期数的 I/O 寄存器，至少确保 2 个 PCLKB 周期的等待时间。

OSTDE 位 （振荡停止检测功能允许位）

此位设定振荡停止检测功能的有效或者无效。

如果将 OSTDE 位置“1”（振荡停止检测功能有效），LOCO 停止位（LOCOCR.LCSTP）就变为“0”并且 LOCO 振荡。在振荡停止检测功能有效期间，不能停止 LOCO 的振荡。即使给 LOCOCR.LCSTP 位写“1”（LOCO 停止振荡），写操作也无效。

当振荡停止检测状态寄存器的振荡停止检测标志 （OSTDSR.OSTDF）为 “1”（检测到主时钟振荡停止振荡）时，即使给 OSTDE 位写 “0”，写操作也无效。

当 OSTDE 位为“1”时，不能转移到软件待机模式和深度软件待机模式。如果要转移到软件待机模式和深度软件待机模式，就必须在将 OSTDE 位置 “0”后执行 WAIT 指令。

9.2.13 振荡停止检测状态寄存器 （OSTDSR）

地址 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OSTDF	振荡停止检测标志	0：未检测到主时钟停止振荡 1：检测到主时钟停止振荡	R(/W) （注 1）
b7-b1	—	保留位	读取值为 “0”，写操作无效	R

注 1. 只能写 “0”。

OSTDF 标志 （振荡停止检测标志）

这是表示主时钟状态的标志。当 OSTDF 标志为 “1” 时，表示检测到主时钟停止振荡。

在检测到主时钟停止振荡后，即使主时钟重新开始振荡，OSTDF 标志也不变为 “0”。通过在读 “1” 后写 “0”，使 OSTDF 标志变为 “0”。到 OSTDF 为 “0” 被反映为读取值为止，至少需要等待 3 个 ICLK 周期。如果在主时钟停止振荡的状态下将 OSTDF 标志置 “0”， OSTDF 标志就在变为 “0” 后再次变为 “1”。

当通过系统时钟控制寄存器 3 的时钟源选择位 （SCKCR3.CKSEL[2:0]）选择了主时钟振荡器 （“010b”）或者 PLL （“100b”）时，不能将 OSTDF 标志置 “0”。必须在将时钟源转换到不是主时钟振荡器和 PLL 后将 OSTDF 标志置 “0”。

[为 “1” 的条件]

- 在OSTDCR.OSTDE位为 “1”（振荡停止检测功能有效）的状态下主时钟停止振荡时

[为 “0” 的条件]

- 在SCKCR3.CKSEL[2:0]位不是 “010b” 和 “100b” 的情况下读 “1” 后写 “0” 时

9.2.14 主时钟振荡器的强制振荡控制寄存器 （MOFCR）

地址 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOFXIN
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	MOFXIN	主时钟振荡器强制振荡位	0：不通过此位进行控制 1：强制主时钟振荡器振荡	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

EXTAL/XTAL 引脚和端口兼用，在初始设定状态下用作端口。在深度软件待机模式中，也能将 EXTAL/XTAL 用作 RTC 的时钟源。

MOFXIN 位 （主时钟振荡器强制振荡位）

此位控制主时钟振荡器的强制振荡。

要改写 MOSCCR.MOSTP 位或者 MOFXIN 位时，必须在写后通过读该位来确认已被改写，然后执行后续的指令 （请参照 “5. I/O 寄存器” 的 “(2) 写 I/O 寄存器时的注意事项”）。

9.2.15 高速内部振荡器的电源控制寄存器 （HOCOPCR）

地址 0008 C294h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCOPCNT
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	HOCOPCNT	高速内部振荡器电源控制位	0：HOCO 的电源 ON 1：HOCO 的电源 OFF	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

HOCOPCNT 位 （高速内部振荡器电源控制位）

这是控制 HOCO 电源的位。

当此位为 “0”时，接通 HOCO 的电源，能使高速内部振荡器振荡。

当此位为 “1”时，切断 HOCO 的电源，能降低功耗。

要将 HOCOPCNT 位置“1”时，必须将高速内部振荡器的控制寄存器的 HOCO 停止位（HOCOCR.HCSTP）置 “1”（HOCO 停止振荡）。

在将 HOCOPCNT 位从 “1”改为 “0”后到将 HOCOCR.HCSTP 位置 “0”为止，需要稳定等待时间。详细内容请参照 “45. 电特性”。

在以下情况下不能改写 HOCOPCNT 位的值：

- 当通过系统时钟控制寄存器3的时钟源选择位 （SCKCR3.CKSEL[2:0]）选择HOCO作为时钟源时
- 当通过运行功率控制寄存器的运行功率控制模式选择位 （OPCCR.OPCM[2:0]）设定为低速运行模式1或者低速运行模式2时

9.3 主时钟振荡器

给主时钟振荡器提供时钟的方法有连接谐振器和输入外部时钟的方法。

9.3.1 连接谐振器的方法

连接谐振器时的连接例子如图 9.2 所示。

必须根据需要插入阻尼电阻 （Rd）。电阻值因谐振器和振荡驱动能力而不同，因此必须设定为谐振器厂商的推荐值。如果谐振器厂商有外加反馈电阻（Rf）的指示，就必须根据该指示，在 EXTAL 和 XTAL 之间插入 Rf。

在连接谐振器提供时钟的情况下，连接的谐振器必须在表 9.1 的主时钟振荡器的谐振器频率的范围内。

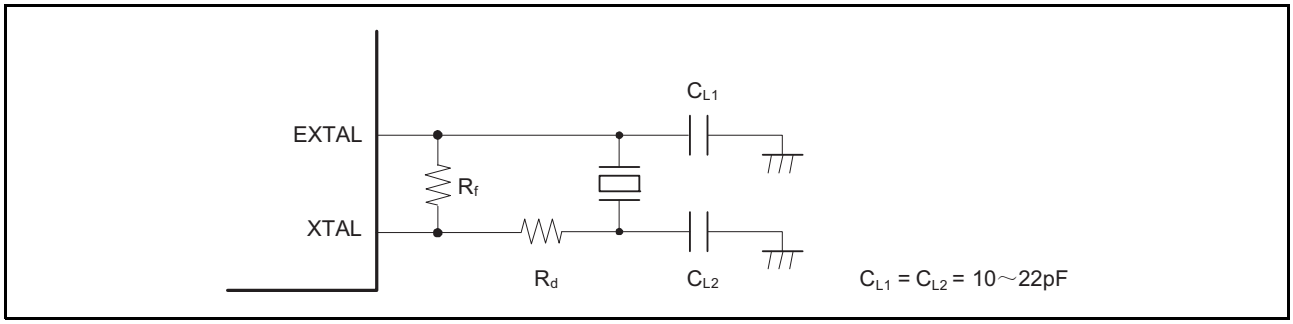


图 9.2 晶体谐振器的连接例子

表 9.3 阻尼电阻 （参考值）

频率 （MHz）	4	8	12	16
Rd （Ω）	380	200	0	0

晶体谐振器的等效电路如图 9.3 所示，必须使用表 9.4 所示特性的晶体谐振器。

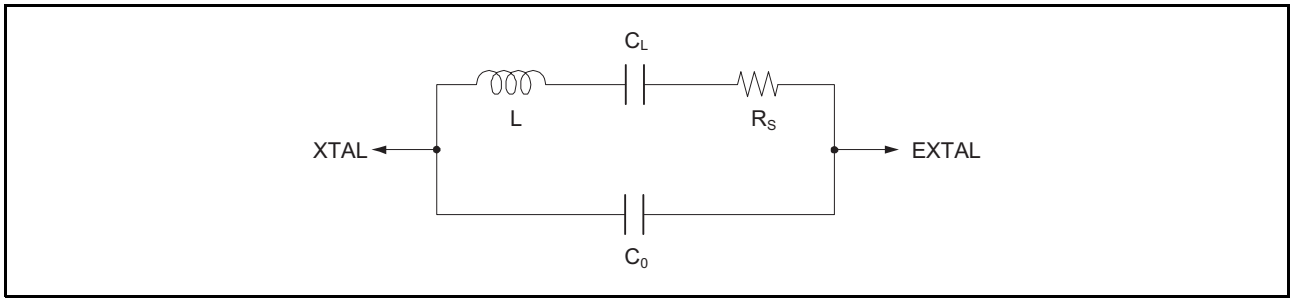


图 9.3 晶体谐振器的等效电路

表 9.4 晶体谐振器的特性 （参考值）

频率 （MHz）	4	8	12	16
$R_S$max （Ω）	160	80	60	40
C_0max （pF）	7			

9.3.2 输入外部时钟的方法

输入外部时钟的连接例子如图 9.4 所示。在将 XTAL 引脚置为开路时，寄生电容必须小于等于 5pF。

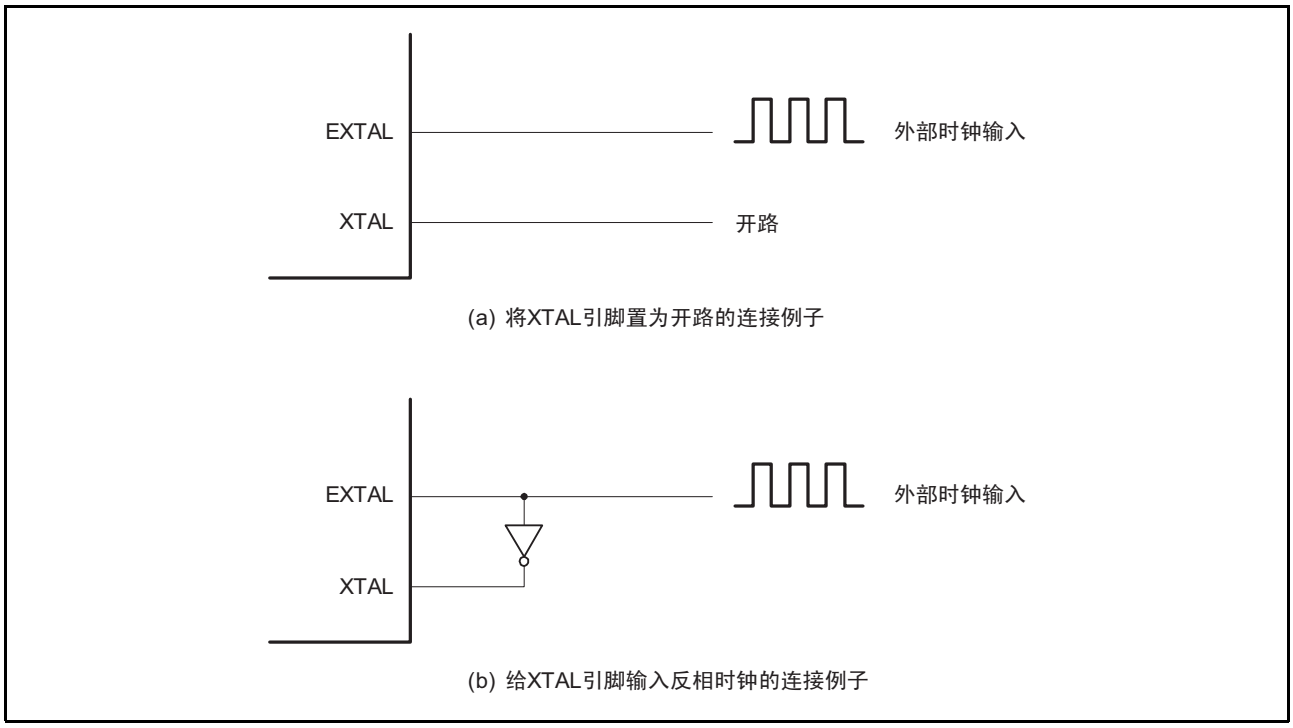


图 9.4 外部时钟的连接例子

9.3.3 有关外部时钟输入的注意事项

只能在主时钟振荡器停止振荡时更改外部时钟的输入频率。在主时钟振荡器停止位（MOSCCR.MOSTP）已被置“0”（主时钟振荡器振荡）或者主时钟振荡器强制振荡位（MOFCR.MOFXIN）已被置“1”（强制主时钟振荡器振荡）的期间，不能更改外部时钟的输入频率。

9.4 副时钟振荡器

给副时钟振荡器提供时钟的方法有连接晶体谐振器的方法。

9.4.1 连接 32.768kHz 晶体谐振器的方法

如图 9.5 所示，为了给副时钟振荡器提供时钟而连接 32.768kHz 晶体谐振器。

必须根据需要插入阻尼电阻 （Rd）。电阻值因谐振器和振荡驱动能力而不同，因此必须设定为谐振器厂商的推荐值。如果谐振器厂商有外加反馈电阻 （Rf）的指示，就必须根据该指示，在 XCIN 和 XCOUT 之间插入 Rf。在连接谐振器提供时钟的情况下，连接的谐振器必须在表 9.1 的副时钟振荡器的谐振器频率的范围内。

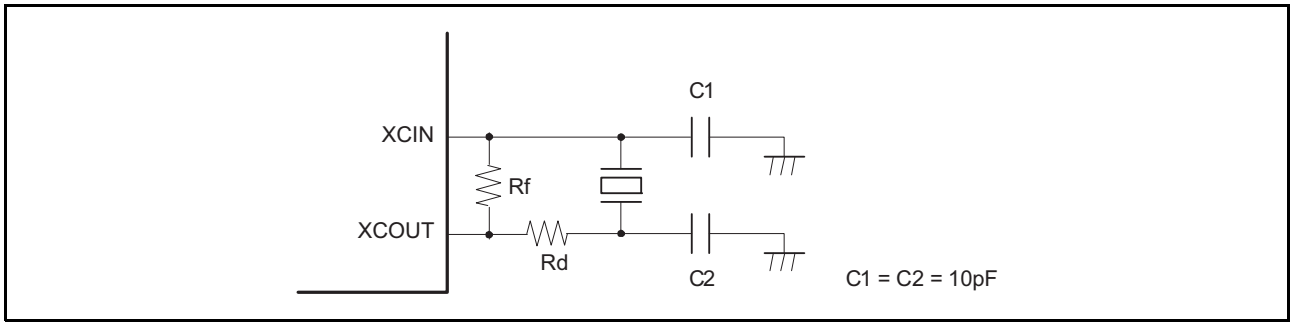


图 9.5 32.768kHz 晶体谐振器的连接例子

32.768kHz 晶体谐振器的等效电路如图 9.6 所示，必须使用表 9.5 所示特性的晶体谐振器。

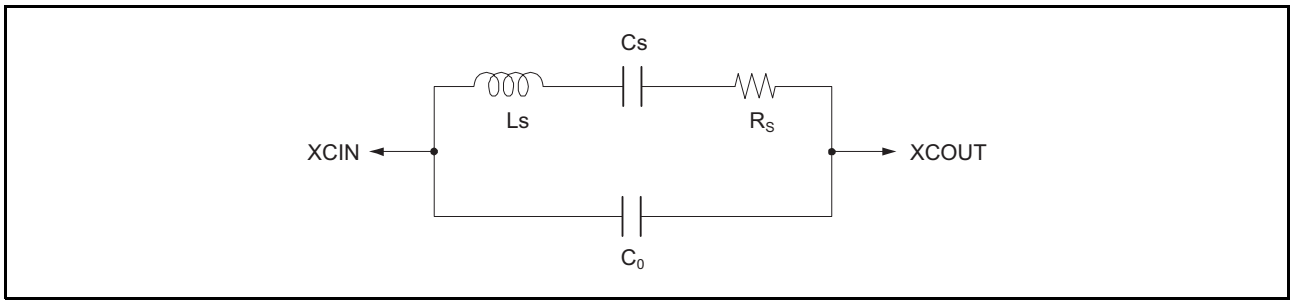


图 9.6 晶体谐振器的等效电路

表 9.5 晶体谐振器的特性 （参考值）

频率 （kHz）	32.768
$R_S$max （kΩ）	35
C_0max （pF）	2.0

9.4.2 不使用副时钟情况下的引脚处理

如图 9.7 所示，在不使用副时钟的情况下，必须将 XCIN 引脚连接 VSS 并且将 XCOUT 引脚置为开路。

在不连接谐振器的情况下，必须将副时钟振荡器停止位 （SOSCCR.SOSTP）置 “1”（停止振荡）并且将 RTC 控制寄存器 3 的副时钟振荡器控制位 （RCR3.RTCEN）置 “0”（禁止从副时钟振荡器输入时钟）。

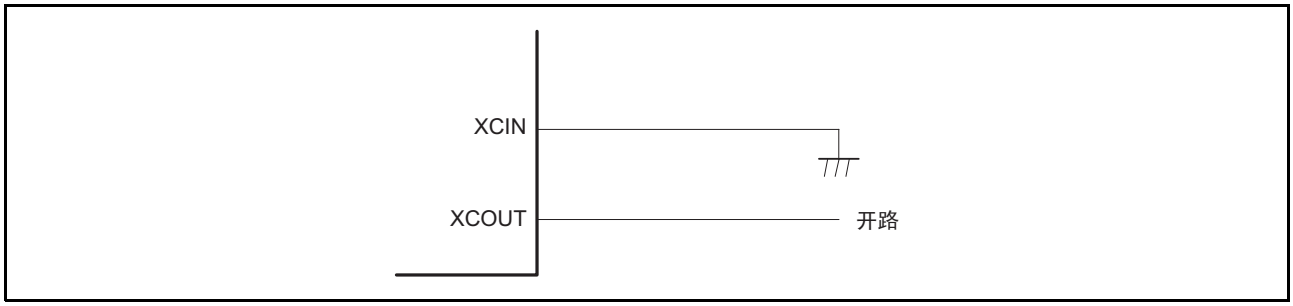


图 9.7 不使用副时钟情况下的引脚处理

9.5 振荡停止检测功能

9.5.1 振荡停止检测和检测后的运行

振荡停止检测功能检测主时钟振荡器的停止，并且作为系统时钟的时钟源，代替主时钟和 PLL 时钟提供低速内部振荡器输出的 LOCO 时钟。

能在检测到振荡停止时产生振荡停止检测中断请求，也能在检测到振荡停止时将 MTU 的输出强制置为高阻抗。详细内容请参照 “21. 多功能定时器脉冲单元 2 （MTU2a）” 和 “22. 端口输出允许 2 （POE2a）”。

如果输入时钟因主时钟振荡器发生异常等而在一定期间内变为 “0” 或者 “1”（参照 “表 45.27 振荡停止检测电路特性”）， RX630 群就检测到主时钟的停止振荡。

一旦检测到振荡停止，时钟源选择位（SCKCR3.CKSEL[2:0]）选择的主时钟和 PLL 时钟就通过各自前段的选择器转换到 LOCO 时钟。因此，如果在选择主时钟或者 PLL 时钟作为系统时钟的时钟源的状态下检测到振荡停止， CKSEL[2:0] 位的设定值就不变而将系统时钟的时钟源转换到 LOCO 时钟。

振荡停止检测标志 （OSTDSR.OSTDF）控制主时钟和 LOCO 时钟的转换以及 PLL 时钟和 LOCO 时钟的转换。如果将 OSTDF 标志置 “1”，就转换到 LOCO 时钟；如果将 OSTDF 标志置 “0”，就恢复主时钟或者 PLL 时钟。但是，在通过 CKSEL[2:0] 位选择了主时钟或者 PLL 时钟的情况下，不能将 OSTDF 标志置 “0”。如果想在检测到振荡停止后将时钟源恢复为主时钟或者 PLL 时钟，就必须在将 CKSEL[2:0] 位的设定更改为不是主时钟和 PLL 时钟后将 OSTDF 标志置 “0”。此后，必须确认 OSTDF 标志不是 “1”，并且在经过规定的振荡稳定时间后将 CKSEL[2:0] 位的设定更改为主时钟或者 PLL 时钟。

在解除复位后，主时钟振荡器停止振荡，振荡停止检测功能无效。要将振荡停止检测功能置为有效时，必须使主时钟振荡器振荡，并且在经过规定的振荡稳定时间后写振荡停止检测功能允许位 （OSTDCR.OSTDE）。

因为振荡停止检测功能是防止由外部原因导致主时钟停止的功能，所以要通过软件使主时钟振荡器停止振荡或者转移到软件待机模式和深度软件待机模式时，必须预先将振荡停止检测功能置为无效。

通过振荡停止检测而转换到LOCO时钟的时钟是作为系统时钟源的主时钟、PLL时钟和CAN时钟（CANCLK），不转换到作为 RTC 专用主时钟 （RTCMCLK）提供的主时钟。

LOCO时钟运行时的系统时钟（ICLK）的频率取决于LOCO振荡频率和系统时钟选择位（SCKCR.ICK[3:0]）的分频比的设定。

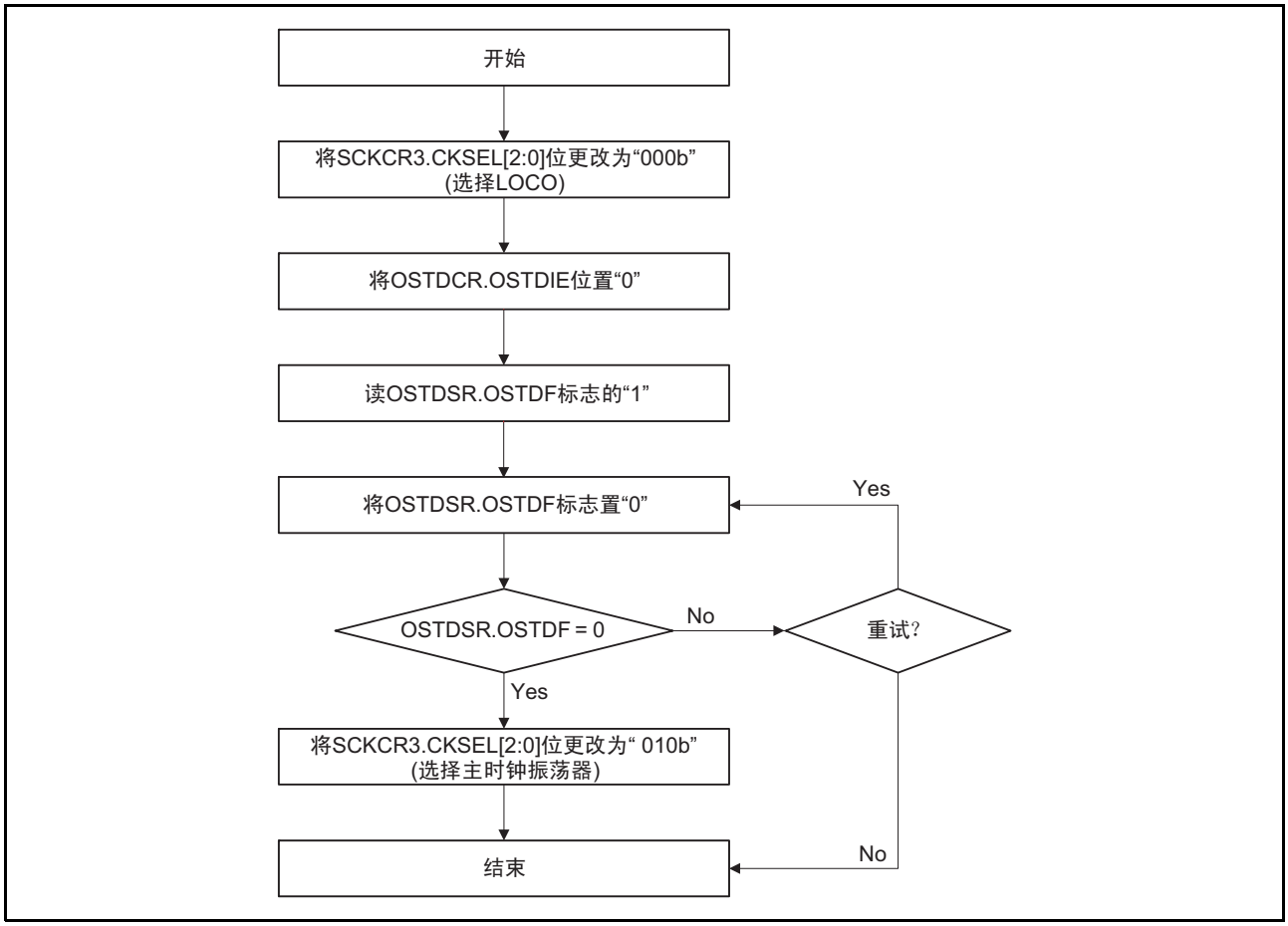


图 9.8 从振荡停止检测恢复的流程图例子

9.5.2 振荡停止检测中断

当振荡停止检测中断允许位（OSTDCR.OSTDIE）为“1”（允许振荡停止检测中断）时，如果振荡停止检测标志（OSTDSR.OSTDF）变为“1”，就产生振荡停止检测中断（OSTDI）请求。此时，将主时钟振荡器停止振荡通知到端口输出允许 2（POE）。在 POE 接受振荡停止的通知后将输入电平控制 / 状态寄存器 3 的 OSTST 高阻抗标志（ICSR3.OSTSTF）置“1”。必须注意：在检测到振荡停止后的 10 个 PCLK 周期期间，不能写 ICSR3.OSTSTF 标志。必须在将振荡停止检测中断允许位（OSTDCR.OSTDIE）置“0”后清除 OSTDSR.OSTDF 标志。此后，要再次将 OSTDCR.OSTDIE 位置“1”时，必须在至少等待 2 个 PCLKB 周期后进行设定。能通过读由 PCLKB 定义存取周期数的 I/O 寄存器，至少确保 2 个 PCLKB 周期的等待时间。

振荡停止检测中断是非屏蔽中断。因为在解除复位后的初始状态下为“禁止非屏蔽中断”，所以在使用振荡停止检测中断时，必须通过软件将非屏蔽中断置为有效。详细内容请参照“15. 中断控制器（ICUb）”。

9.6 PLL 电路

PLL 电路具有递增振荡器频率的功能。

9.7 内部时钟

作为内部时钟的时钟源，有主时钟、副时钟、HOCO 时钟、LOCO 时钟、PLL 时钟、IWDT 专用低速时钟、JTAG 外部时钟，由这些时钟生成如下所示的 11 种内部时钟。

1. CPU、 DMAC、 DTC、 ROM和RAM的运行时钟：系统时钟 （ICLK）
2. 外围模块的运行时钟：外围模块时钟 （PCLKB）
3. FlashIF的运行时钟：FlashIF时钟 （FCLK）
4. 外部总线控制器、外部引脚输出时钟：外部总线时钟 （BCLK）
5. USB模块的运行时钟：USB时钟 （UCLK）
6. CAN模块的运行时钟：CAN时钟 （CANCLK）
7. IEBUS模块的运行时钟：IEBUS时钟 （IECLK）
8. RTC模块的运行时钟：RTC专用主时钟 （RTCMCLK）
9. RTC模块的运行时钟：RTC专用副时钟 （RTCSCLK）
10. IWDT模块的运行时钟：IWDT专用低速时钟 （IWDTCLK）
11. JTAG模块的运行时钟：JTAG时钟 （JTAGTCK）

通过选择分频比的 SCKCR.FCK[3:0] 位、 SCKCR.ICK[3:0] 位、 SCKCR.BCK[3:0] 位、 SCKCR.PCKB[3:0] 位、 SCKCR2.UCK[3:0] 位和 SCKCR2.IEBCK[3:0] 位、选择时钟源的 SCKCR3.CKSEL[2:0] 位以及选择 PLL 电路频率的 PLLCR.STC[5:0] 位和 PLLCR.PLIDIV[1:0] 位的组合，设定内部时钟的频率。在改写各位后，以更改后的频率运行。

9.7.1 系统时钟

系统时钟 （ICLK）是 CPU、 DMAC、 DTC、 ROM 和 RAM 的运行时钟。

通过 SCKCR.ICK[3:0] 位、SCKCR3.CKSEL[2:0] 位、PLLCR.STC[5:0] 位和 PLLCR.PLIDIV[1:0] 位设定 ICLK 的频率。

9.7.2 外围模块时钟

外围模块时钟 （PCLKB）是外围模块的运行时钟。

通过 SCKCR.PCKB[3:0] 位、 SCKCR3.CKSEL[2:0] 位、 PLLCR.STC[5:0] 位和 PLLCR.PLIDIV[1:0] 位设定 PCLKB 的频率。

9.7.3 FlashIF 时钟

FlashIF 时钟 （FCLK）是 FlashIF 的运行时钟。

通过SCKCR.FCK[3:0]位、SCKCR3.CKSEL[2:0]位、PLLCR.STC[5:0]位和PLLCR.PLIDIV[1:0]位设定FCLK的频率。

9.7.4 外部总线时钟

外部总线时钟 （BCLK）是外部总线控制器的运行时钟。能将外部总线时钟从 BCLK 引脚输出到外部，用于外部总线。当外部总线有效时，不能将和 BCLK 引脚兼用的 P53 用作 I/O 端口。

如果将 SCKCR.PSTOP1 位置“0”并且将系统控制寄存器 0 的外部总线允许位（SYSCR0.EXBE）置“1”，就能从 BCLK 引脚输出 BCLK。必须在 SCKCR.PSTOP1 位为 “1” 的状态下将 SYSCR0.EXBE 位更改为 “1”。

如果将 BCKCR.BCLKDIV 位置 “1”，就能从 BCLK 引脚输出 BCLK 的 2 分频时钟。

能通过 SCKCR.BCK[3:0] 位、 SCKCR3.CKSEL[2:0] 位、 PLLCR.STC[5:0] 位和 PLLCR.PLIDIV[1:0] 位设定 BCLK 的频率。

9.7.5 USB 时钟

USB 时钟 （UCLK）是 USB 模块的运行时钟。

通过 SCKCR2.UCK[3:0] 位、 SCKCR3.CKSEL[2:0] 位、 PLLCR.STC[5:0] 位和 PLLCR.PLIDIV[1:0] 位设定 UCLK 的频率。

需要给 USB 模块提供 48MHz 时钟。在使用 USB 模块时， UCLK 必须为 48MHz。

9.7.6 CAN 时钟

CAN 时钟 （CANCLK）是 CAN 模块的运行时钟。

CANCLK 是主时钟振荡器生成的时钟。

9.7.7 IEBUS 时钟

IEBUS 时钟 （IECLK）是 IEBUS 模块的运行时钟。

通过 SCKCR2.IEBCK[3:0] 位、SCKCR3.CKSEL[2:0] 位、PLLCR.STC[5:0] 位和 PLLCR.PLIDIV[1:0] 位设定 IECLK 的频率。

9.7.8 RTC 专用时钟

RTC 专用时钟 （RTCSCLK、 RTCMCLK）是 RTC 模块的运行时钟。

RTCSCLK 是副时钟振荡器生成的时钟， RTCMCLK 是主时钟振荡器生成的时钟。

9.7.9 IWDT 专用低速时钟

IWDT 专用低速时钟 （IWDTCLK）是 IWDT 模块的运行时钟。

IWDTCLK 是 IWDT 专用内部振荡器通过内部振荡而生成的时钟。

9.7.10 JTAG 时钟

JTAG 时钟 （JTAGTCK）是 JTAG 的运行时钟。

JTAGTCK 是 JTAG 外部时钟 （TCK）生成的时钟。

9.8 连接谐振器时的引脚设定

(1) 主时钟

必须将 P36 和 P37 设定为输入引脚并且将主时钟振荡器停止位 （MOSCCR.MOSTP 位）置 “0”（振荡）。

(2) 副时钟

必须将副时钟振荡器停止位 （SOSCCR.SOSTP 位）置 “0”（振荡）。

9.9 使用外部时钟情况下的引脚设定

(1) 主时钟

必须将 P36 和 P37 设定为输入引脚并且将主时钟振荡器停止位 （MOSCCR.MOSTP 位）置 “0”（振荡）。

9.10 使用时的注意事项

9.10.1 有关时钟发生电路的注意事项

1. 通过SCKCR寄存器选择提供给各模块的系统时钟 （ICLK）、外围模块时钟 （PCLKB）、 FlashIF时钟（FCLK）和外部总线时钟 （BCLK）的频率。各频率的设定注意事项如下所示：
   各频率必须设定在电特性的AC时序的时钟周期时间tcyc的运行保证范围内。
   必须将频率设定在表9.1的频率范围内。
   外围模块基本上以PCLKB为基准运行。因此必须注意：在更改频率的前后定时器和SCI等的运行速度会发生变化。
2. 系统时钟 （ICLK）和外部总线时钟 （BCLK）需要满足以下的频率关系：
   ICLK ≥ BCLK
3. 不能在存取外部总线的过程中更改时钟频率。如果在更改时钟频率后开始存取外部总线，就必须在确认频率更改结束后开始存取外部总线。
4. 为了在更改时钟频率后确切地执行下一个处理，必须在频率更改的写操作后读同一个寄存器，然后执行下一个处理。

9.10.2 有关谐振器的注意事项

因为谐振器的各种特性与用户的电路板设计密接相关，所以请用户参照本章介绍的谐振器的连接例子，在给予充分的评估后使用。谐振器的电路常数因谐振器和安装电路的寄生电容而不同，因此必须和谐振器厂商仔细商谈后决定。外加在振荡引脚的电压不能超过最大额定值。

9.10.3 设计电路板时的注意事项

在使用谐振器时，必须尽量将谐振器和电容器排列在谐振器连接引脚的附近。如图 9.9 所示，在振荡电路附近不能通过信号线，否则就可能因电感而不能正常振荡。

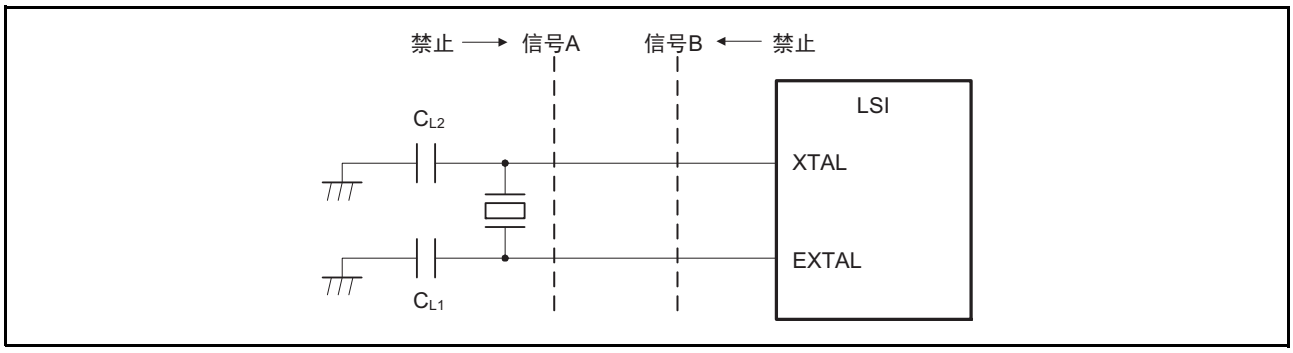


图 9.9 有关振荡电路部的电路板设计注意事项 （主时钟振荡器的情况，副时钟振荡器的情况也一样）

9.10.4 有关谐振器连接引脚的注意事项

在不使用主时钟的情况下，能将 EXTAL 引脚和 XTAL 引脚用作通用端口 P36、 P37。要用作通用端口时，必须将主时钟设定为停止 （将 MOSCCR.MOSTP 位置 “1”并且将 MOFCR.MOFXIN 位置 “0”）的情况下使用。但是，在使用主时钟的系统中，不能将 EXTAL 引脚 （P36）和 XTAL 引脚 （P37）用作输出端口。端口设定的相关寄存器的设定值请参照 “表 20.36 寄存器的设定”。

因为在使用以下功能时需要主时钟，所以设计的电路板必须能将 2 个引脚用作主时钟。

- 引导模式或者USB引导模式中的闪存改写（注1）

注 1. 有关各模式中的谐振器条件，请参照 “42.14 使用时的注意事项 (9)”。

9.10.5 有关副时钟的注意事项

副时钟既有可能用作系统时钟或者实时时钟的计数源，也有可能同时用作系统时钟和实时时钟的计数源。因此，包括不使用副时钟的情况在内，在设定时有以下的注意事项和限制事项：

- 通过副时钟振荡器的控制寄存器的副时钟振荡器停止位 （SOSCCR.SOSTP）和RTC控制寄存器3的副时钟振荡器控制位 （RCR3.RTCEN），控制副时钟的运行或者停止。如果将这两位的任意一位设定为运行，副时钟就为运行状态。
- 如果将副时钟用作系统时钟，就必须通过SOSCCR.SOSTP位进行设定；如果将副时钟用作实时时钟的计数源，就必须通过RCR3.RTCEN位进行设定。
- 与RCR3.RTCEN位的状态无关，如果将SOSCCR.SOSTP位更改为“0”（运行），就必须在等待振荡稳定时间后使用。
- 如果在改写 SOSCCR.SOSTP 位后改写 RCR3.RTCEN 位或者在改写 RCR3.RTCEN 位后改写SOSCCR.SOSTP位，就必须确认先改写的位已被改写，然后改写后面的位。

10. 频率测量功能 （MCK）

这是使用内部 MTU （系统 1）或者 TPU 单元 0 （系统 2）及其各自的计数时钟扩展电路来监视主时钟、副时钟、 LOCO （用于系统）、 PLL 和 HOCO 频率异常的功能。

10.1 概要

频率测量功能的规格如**表** 10.1 所示，框图 （系统 1）和框图 （系统 2）分别如**图** 10.1 和**图** 10.2 所示，软件结构如**图** 10.3 所示。

表 10.1 频率测量功能的规格

项目			内容
监视对象时钟			主时钟、副时钟、 LOCO （用于系统）、 PLL、 HOCO（注 1）
功能结构			• MTU 的通道 0 （MTU0）、通道 1 （MTU1）、计数时钟扩展电路 1 （系统 1） • TPU 单元 0 的通道 0（TPU0）、通道 1（TPU1）、计数时钟扩展电路 2（系统 2）
设定	计数时钟扩展寄存器 n （n=1、 2）		从主时钟、副时钟、 LOCO 中选择监视对象时钟（注 2）。
	MTU0/ TPU0	定时器模式	正常运行 （比较匹配）
		计数时钟	MTCLKD/TCLKD 外部引脚输入（计数时钟扩展寄存器 n 选择的时钟）（n=1、 2）
		比较匹配	比较匹配 A，禁止输出。
		计数器清除	通过比较匹配 A 进行清除。
		中断	不使用。
	MTU1/ TPU1	定时器模式	正常运行 （输入捕捉）
		计数时钟	PCLK
		输入捕捉	通过通道 0 的比较匹配 A 进行输入捕捉 A。
		计数器清除	通过输入捕捉 A 进行清除。
		中断	输入捕捉 A （TGI1A）
MTCLKD/TCLKD 外部引脚输入信号（计数时钟扩展电路 n 的输出信号）的最小脉宽 （n=1、 2）			• 在指定单边沿时， tTCKWH 最小周期为 1.5×(1/PCLK)tPcyc。 • 在指定双边沿时， tTCKWL 最小周期为 2.5×(1/PCLK)tPcyc。 （tTCKWH、 tTCKWL：定时器时钟脉宽、 tPcyc：PCLK 的周期）
低功耗功能			能设定为模块停止状态。
其他			系统 1 和系统 2 能各自单独运行。

注 1. 当 PLL 和 HOCO 为系统时钟 （PCLK 的时钟源）时，能将它们作为监视对象时钟。

注 2. 当 PLL 为监视对象时，计数时钟扩展寄存器 n （n=1、 2）选择的时钟不能是主时钟。

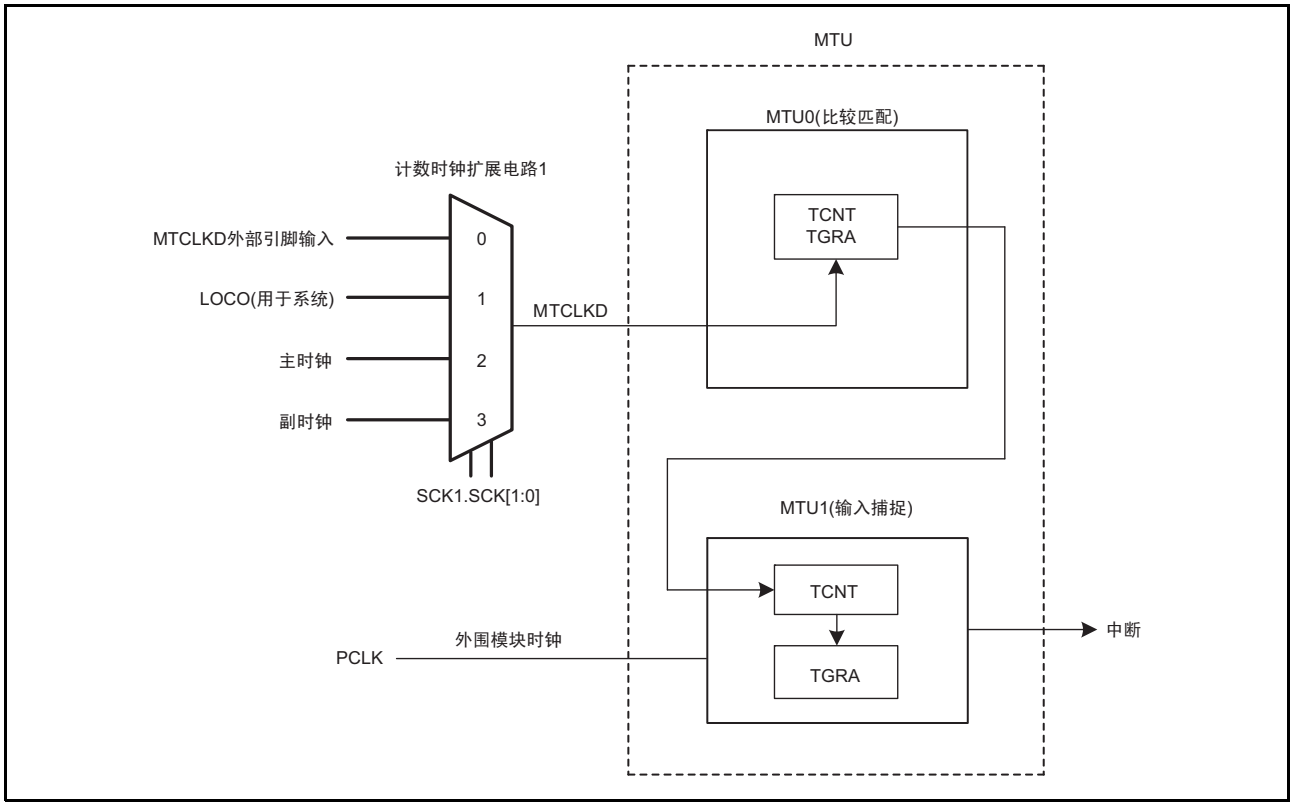


图 10.1 使用 MTU 的频率测量功能的框图 （系统 1）

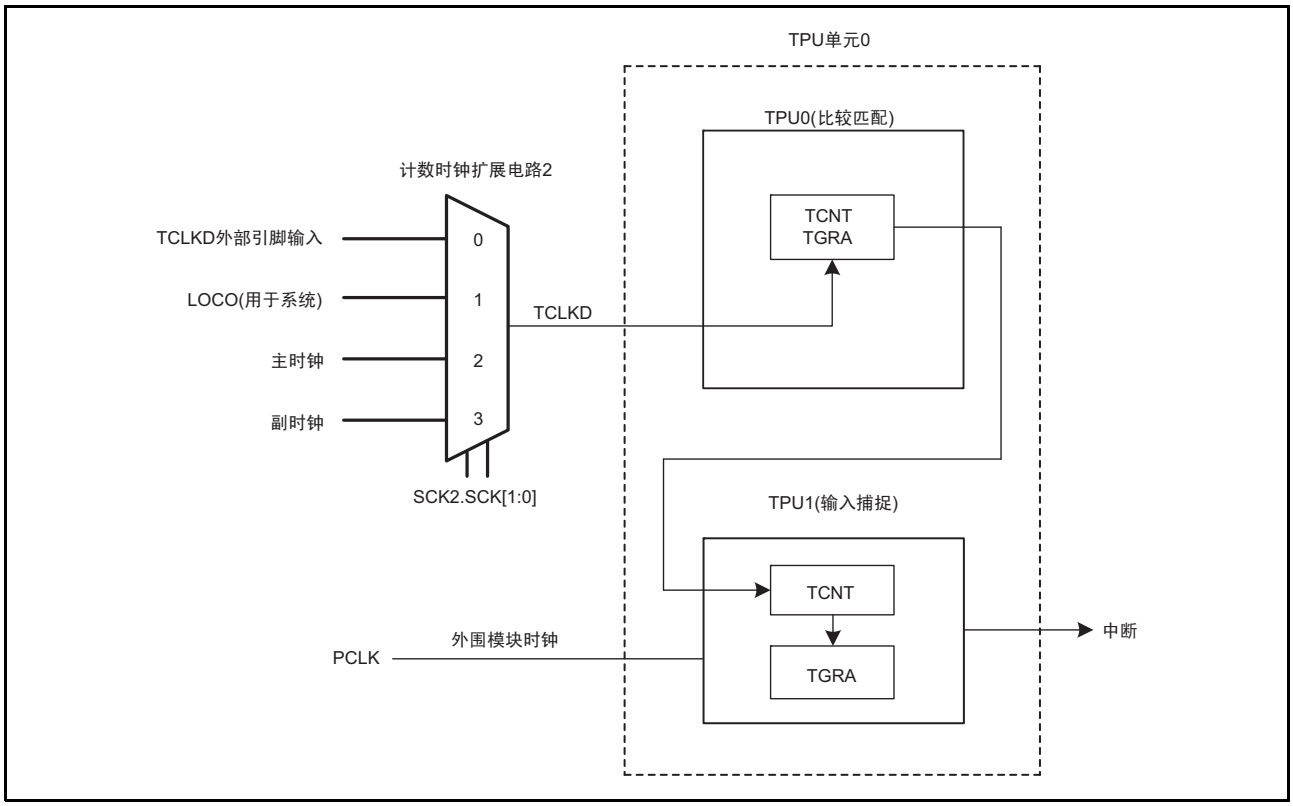


图 10.2 使用 TPU 单元 0 的频率测量功能的框图 （系统 2）

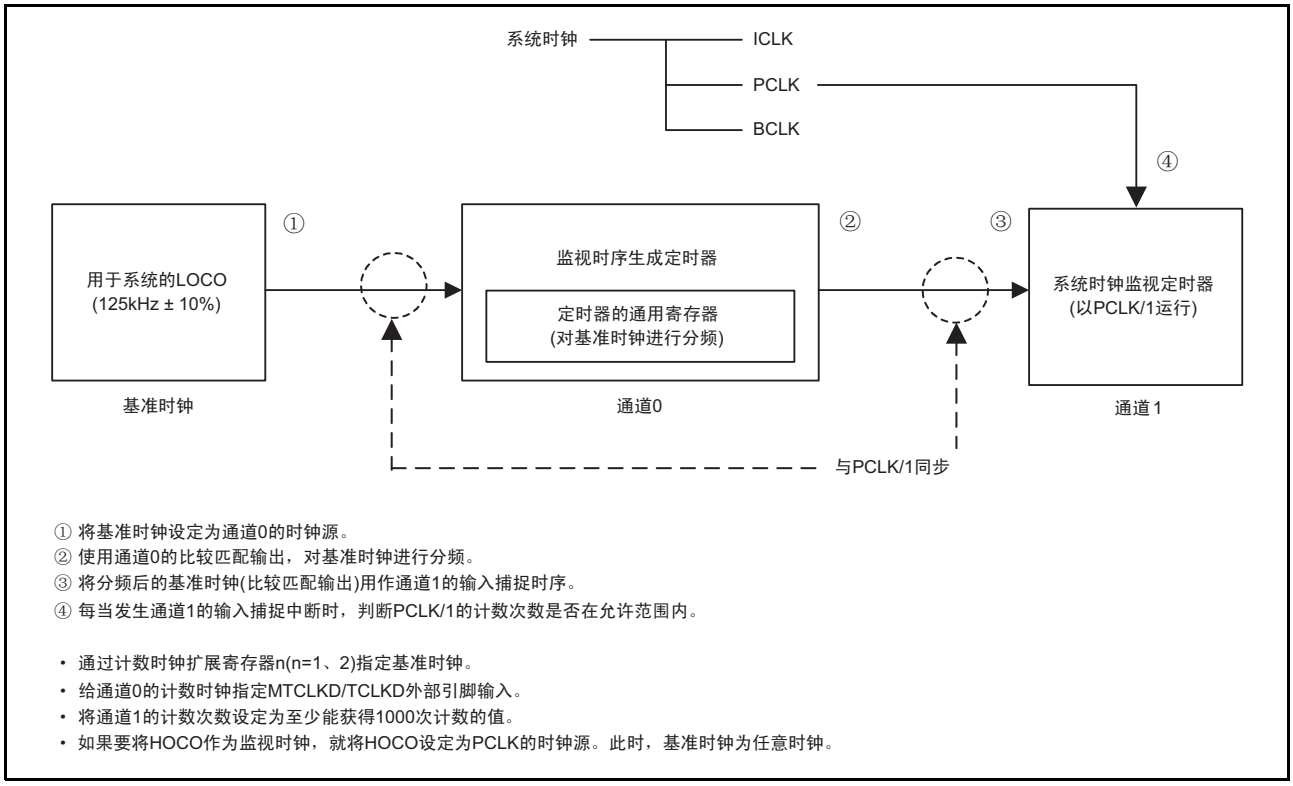

系统时钟
ICLK
PCLK
BCLK
④
用于系统的LOCO
(125kHz ± 10%)
①
监视时序生成定时器
定时器的通用寄存器
(对基准时钟进行分频)
②
③
系统时钟监视定时器
(以PCLK/1运行)
基准时钟
通道0
通道1
与PCLK/1同步
① 将基准时钟设定为通道0的时钟源。
② 使用通道0的比较匹配输出，对基准时钟进行分频。
③ 将分频后的基准时钟(比较匹配输出)用作通道1的输入捕捉时序。
④ 每当发生通道1的输入捕捉中断时，判断PCLK/1的计数次数是否在允许范围内。
• 通过计数时钟扩展寄存器n(n=1、2)指定基准时钟。
• 给通道0的计数时钟指定MTCLKD/TCLKD外部引脚输入。
• 将通道1的计数次数设定为至少能获得1000次计数的值。
• 如果要将HOCO作为监视时钟，就将HOCO设定为PCLK的时钟源。此时，基准时钟为任意时钟。

图 10.3 软件构成

10.2 寄存器说明

10.2.1 计数时钟扩展寄存器 n （SCKn）（n=1、 2）

地址 SCK1 0008 C880h、SCK2 0008 C890h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SCK[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	SCK[1:0]	基准时钟选择位	b1 b0 0 0：MTCLKD/TCLKD 外部引脚输入 （注 1） 0 1：LOCO 1 0：主时钟 1 1：副时钟	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

注 1. SCK1 寄存器为 MTCLKD 外部引脚输入， SCK2 寄存器为 TCLKD 外部引脚输入。

SCK1 寄存器选择 MTU 的通道 0 （MTU0）的计数器的计数时钟。

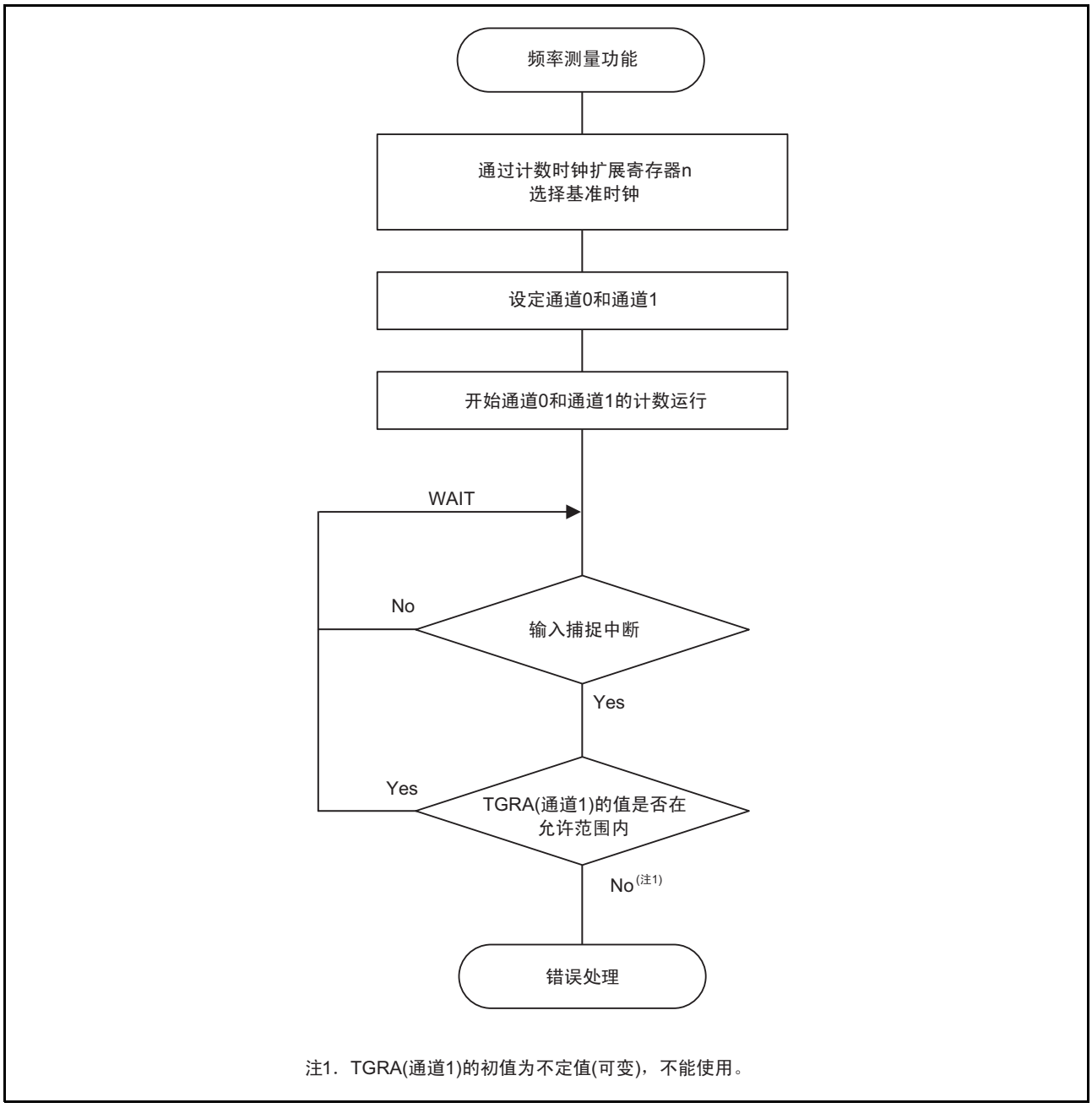
SCK2 寄存器选择 TPU 单元 0 的通道 0 （TPU0）的计数器的计数时钟。

必须根据 SCKn 寄存器的设定，给通道 0 的计数器的计数时钟选择 MTCLKD/TCLKD 外部引脚输入。通过选择 MTCLKD/TCLKD 外部引脚输入， SCKn 寄存器选择的时钟为通道 0 的计数时钟。

对于通道 0 以外的通道，如果给该通道的计数器的计数时钟选择 MTCLKD/TCLKD 外部引脚输入，该通道的计数时钟也为 SCKn 寄存器选择的信号。

10.3 运行说明

频率测量功能的运行设定流程如图 10.4 所示， MTU/TPU 的运行例子如图 10.5 所示。



注1. TGRA(通道1)的初值为不定值(可变)，不能使用。

图 10.4 频率测量功能的运行流程

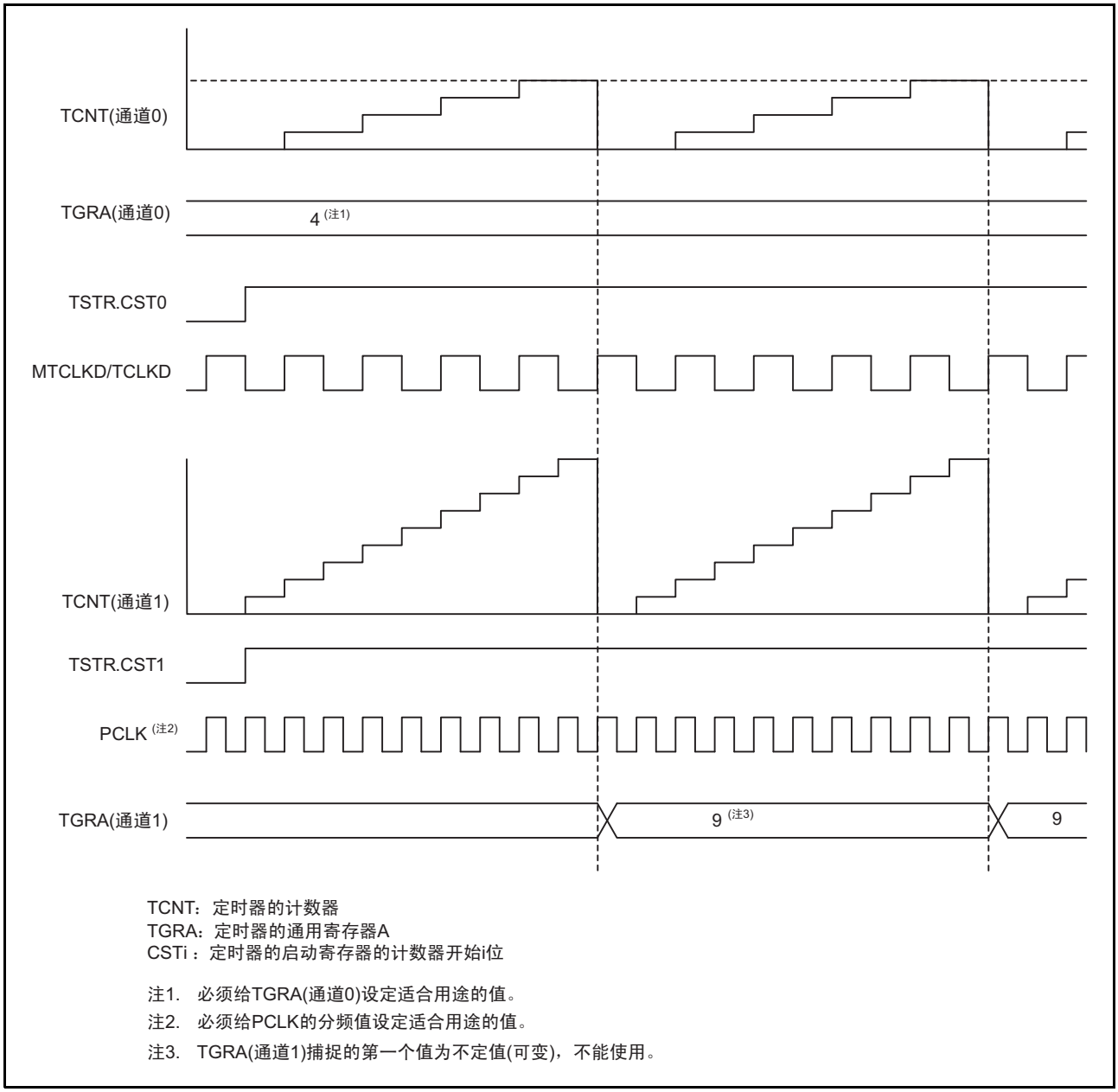


图 10.5 MTU/TPU 的运行例子

10.4 使用时的注意事项

10.4.1 模块停止控制寄存器的设定

能通过模块停止控制寄存器进行模块停止状态的转移或者解除。实现频率测量功能的各模块的初始状态为模块停止状态。能通过解除模块停止状态，使频率测量功能运行。解除方法如下所示。

能通过将模块停止控制寄存器A的多功能定时器脉冲单元2（单元0）的模块停止设定位（MSTPCRA.MSTPA9）置 “0”（解除模块停止状态），存取 MTU 单元 0 和计数时钟扩展电路 1 的寄存器。

能通过将模块停止控制寄存器 A 的 16 位定时器脉冲单元 0（单元 0）的模块停止设定位（MSTPCRA.MSTPA13）置 “0”（解除模块停止状态），存取 TPU 单元 0 和计数时钟扩展电路 2 的寄存器。

能通过将模块停止控制寄存器 C 的频率测量功能模块停止设定位 （MSTPCRC.MSTPC19）置 “0”（解除模块停止状态），将基准时钟输入到计数时钟扩展电路 1 和计数时钟扩展电路 2。

有关模块停止控制寄存器的详细内容，请参照 “11. 低功耗功能”。

11. 低功耗功能

11.1 概要

作为低功耗功能，RX630 群有通过转换时钟来降低功耗的功能、BCLK 输出控制功能、模块停止功能、正常运行时的低功耗功能以及向低功耗状态转移的功能。

低功耗功能的规格如**表 11.1** 所示，向低功耗状态转移的条件、CPU 和外围模块等的状态以及各模式的解除方法如**表 11.2** 所示。

复位后，在正常的程序运行中，除 DMAC、 DTC 和内部 RAM 以外的模块处于停止状态。

表 11.1 低功耗功能的规格

项目	内容
通过转换时钟来降低功耗的功能	能给系统时钟 （ICLK）、外围模块时钟 （PCLKB）、外部总线时钟 （BCLK）和闪存接口时钟 （FCLK）分别设定分频比（注 1）。
BCLK 输出控制功能	可选择 BCLK 输出或者 High 电平输出（注 1）。
模块停止功能	能停止各外围模块的功能。
向低功耗状态转移的功能	• 能进入使 CPU、外围模块和振荡器停止运行的低功耗状态。
低功耗状态	• 睡眠模式 • 全模块时钟停止模式 • 软件待机模式 • 深度软件待机模式
低运行功率功能	• 根据工作频率和工作电压范围选择运行功率控制模式，能降低正常运行时以及睡眠模式和全模块时钟停止模式中的功耗。 • 运行功率控制状态：3 种 高速运行模式 低速运行模式 1 低速运行模式 2

注 1. 详细内容请参照 “9. 时钟发生电路”。

表 11.2 各模式的转移方法、解除方法和运行状态

转移方法、解除方法和运行状态	睡眠模式	全模块时钟停止模式	软件待机模式	深度软件待机模式
转移方法	控制寄存器 + 指令	控制寄存器 + 指令	控制寄存器 + 指令	控制寄存器 + 指令
复位以外的解除方法	中断	中断（注 1）	中断（注 2）	中断（注 3）
解除后的状态（注 4）	程序的执行状态（中断处理）	程序的执行状态（中断处理）	程序的执行状态（中断处理）	程序的执行状态（复位处理）
主时钟振荡器	能运行	能运行	能运行（注 5）	能运行（注 5）
副时钟振荡器	能运行	能运行	能运行（注 6）	能运行（注 6）
高速内部振荡器	能运行	能运行	停止	停止
低速内部振荡器	能运行	能运行	停止	停止
IWDT 专用内部振荡器	能运行（注 7）	能运行（注 7）	能运行（注 7）	停止（不定值）（注 7）
PLL	能运行	能运行	停止	停止
CPU	停止（保持）	停止（保持）	停止（保持）	停止（不定值）
内部 RAM1（0001 0000h ～ 0001 FFFFh）	能运行（保持）	停止（保持）	停止（保持）	停止（不定值）
内部 RAM0（0000 0000h ～ 0000 FFFFh）	能运行（保持）	停止（保持）	停止（保持）	停止（保持 / 不定值）（注 8）
闪存	运行	停止（保持）	停止（保持）	停止（保持）
USB2.0 功能模块（USB）	能运行	停止（注 9）	停止	停止（保持 / 不定值）（注 10）
看门狗定时器（WDT）	停止（保持）	停止（保持）	停止（保持）	停止（不定值）
独立看门狗定时器（IWDT）	能运行（注 7）	能运行（注 7）	能运行（注 7）	停止（不定值）（注 7）
实时时钟（RTC）	能运行	能运行	能运行	能运行
8 位定时器（单元 0 和单元 1）（TMR）	能运行	能运行（注 11）	停止（保持）	停止（不定值）
电压检测电路（LVD）	能运行	能运行	能运行	能运行（注 12、注 13）
上电复位电路	运行	运行	运行	运行（注 13）
外围模块	能运行	停止（保持）	停止（保持）	停止（不定值）
I/O 端口	运行	保持（注 14）	保持（注 15）	保持（注 15）

“能运行”表示能通过设定控制寄存器来控制运行或者停止。

“停止（保持）”表示保持内部寄存器的值并且内部状态为运行中止状态。

“停止（不定值）”表示内部寄存器的值为不定值并且内部状态为断电状态。

注 1. 这是外部引脚中断（NMI、IRQ0 ～ IRQ15）和外围功能中断（8 位定时器、RTC 闹钟、RTC 周期、IWDT、USB 挂起 / 恢复、电压监视 1、电压监视 2、振荡停止检测）。

注 2. 这是外部引脚中断（NMI、IRQ0 ～ IRQ15）和外围功能中断（RTC 闹钟、RTC 周期、IWDT、USB 挂起 / 恢复、电压监视 1、电压监视 2）。

注 3. 这是作为外部引脚中断发生源的部分引脚（NMI、IRQ0-DS ～ IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS）和外围功能中断（RTC 闹钟、RTC 周期、USB 挂起 / 恢复、电压监视 1、电压监视 2）。但是，这些中断源只在深度待机中断允许寄存器 i（DPSIERi）（i=0 ～ 3）的对应位为 “1” 时有效。

注 4. 通过 RES# 引脚、上电复位、电压监视复位、独立看门狗定时器复位进行的解除除外。当通过 RES# 引脚、上电复位、电压监视复位、独立看门狗定时器复位进行解除时，转移到复位状态。

注 5. 能通过设定主时钟振荡器的强制振荡控制寄存器的主时钟振荡器强制振荡位（MOFCR.MOFXIN），选择运行或者停止。

注 6. 能通过设定 RTC 控制寄存器 3 的副时钟振荡器控制位（RCR3.RTCEN），选择运行或者停止。

注 7. 在IWDT自动启动模式中，能通过设定选项功能选择寄存器0的IWDT睡眠模式计数停止控制位（OFS0.IWDTSLCSTP），选择运行或者停止。当 OFS0.IWDTSLCSTP 位为“0”（在转移到低功耗模式时继续进行计数）时，不转移到深度软件待机模式而转移到软件待机模式。如果不在 IWDT 自动启动模式中，就能通过设定 IWDT 计数停止控制寄存器的睡眠模式计数停止控制位（IWDTCSTPR.SLCSTP），选择运行或者停止。当 IWDTCSTPR.SLCSTP 位为“0”（在转移到低功耗模式时继续进行计数）时，不转移到深度软件待机模式而转移到软件待机模式。

注 8. 能通过设定深度待机控制寄存器的深度切断位（DPSBYCR.DEEPCUT[1:0]），选择保持或者不定值。

注 9. 能检测恢复。

注 10. 能通过深度待机控制寄存器的深度切断位（DPSBYCR.DEEPCUT[1:0]）控制 USB 恢复检测功能的有效或者无效。如果将 USB 恢复检测功能置为有效，即使在深度软件待机模式中，也只有 USB 恢复检测部的寄存器保持原来的值。

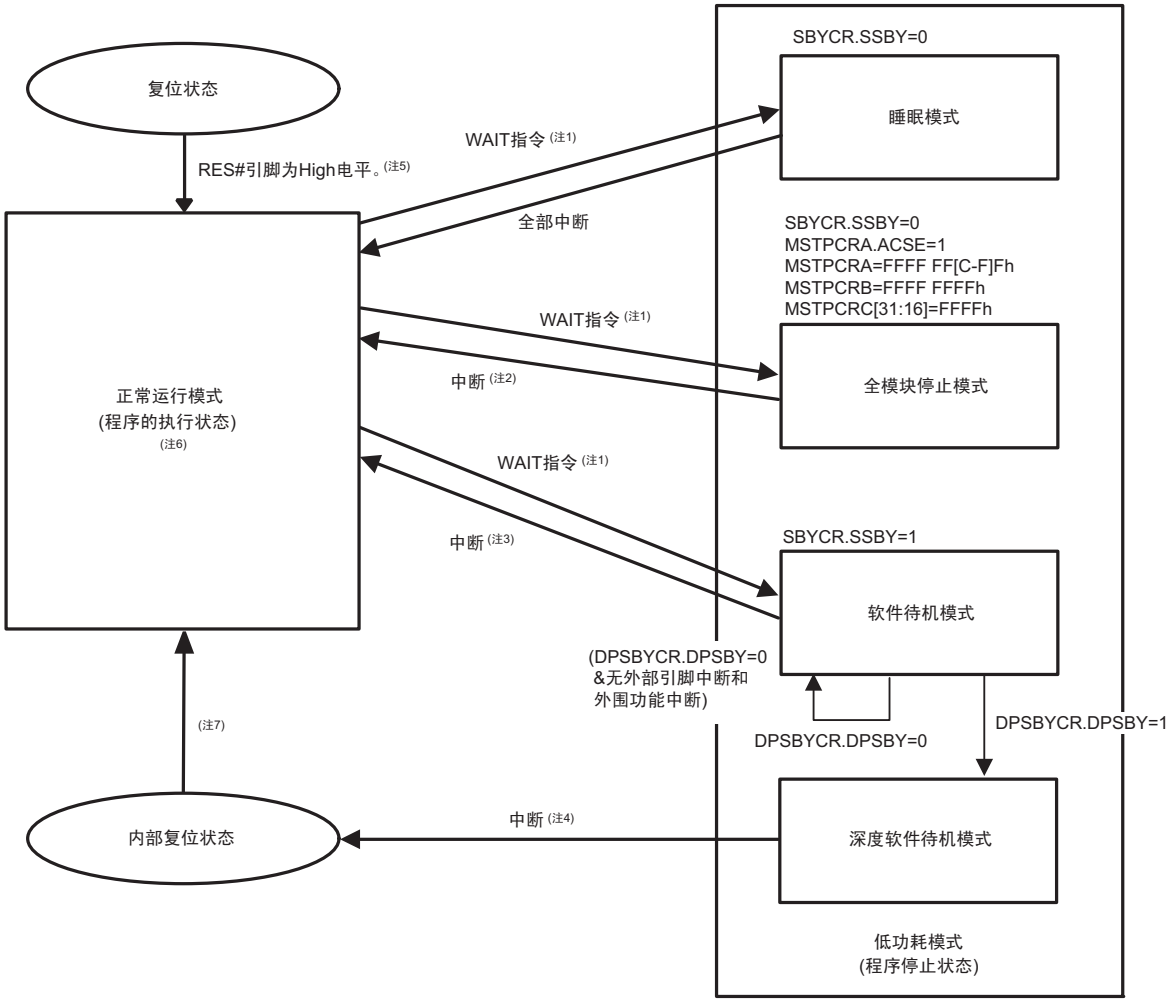
注 11. 能通过设定模块停止控制寄存器 A 的 8 位定时器 1、0（单元 0）的模块停止设定位（MSTPCRA.MSTPA5）以及 8 位定时器 3、2（单元 1）的模块停止设定位（MSTPCRA.MSTPA4），选择运行或者停止。

注 12. 当电压监视 1 电路控制寄存器 0 的电压监视 1 电路模式选择位（LVD1CR0.LVD1RI）为“1”或者电压监视 2 电路控制寄存器 0 的电压监视 2 电路模式选择位（LVD2CR0.LVD2RI）为“1”时，不转移到深度软件待机模式而转移到软件待机模式。

注 13. 如果通过将深度待机控制寄存器的深度切断位（DPSBYCR.DEEPCUT[1:0]）置“11b”而转移到深度软件待机模式，电压检测电路就停止运行并且上电复位电路的低功耗功能有效。

注 14. 如果将 P53 用作 BCLK，就继续进行 BCLK 输出。当 8 位定时器和 RTC 运行时，相关引脚继续运行。

注 15. 能通过设定待机控制寄存器的输出端口允许位（SBYCR.OPE），选择地址总线、总线控制信号（CS0# ～ CS7#、RD#、 WR0# ～ WR3#、 WR#、 BC0# ～ BC3#、 ALE）为保持状态或者高阻抗状态。



注1. 在执行WAIT指令后，如果在向程序停止状态转移过程中接受解除源的中断，就不转移到程序停止状态而执行中断异常处理。

注2. 这是外部引脚中断(NMI、IRQ0～IRQ15)、外围功能中断(8位定时器、RTC闹钟、RTC周期、IWDT、USB挂起/恢复、电压监视1、电压监视2、振荡停止检测)。但是，8位定时器在模块停止控制寄存器A的8位定时器1、0(单元0)的模块停止设定位(MSTPCRA.MSTPA5)或者8位定时器3、2(单元1)的模块停止设定位(MSTPCRA.MSTPA4)为“0”时有效。

注3. 这是外部引脚中断(NMI、IRQ0～IRQ15)和外围功能中断(RTC闹钟、RTC周期、IWDT、USB挂起/恢复、电压监视1、电压监视2)。

注4. 这是作为外部引脚中断发生源的部分引脚(NMI、IRQ0-DS～IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS)和外围功能中断(RTC闹钟、RTC周期、USB挂起/恢复、电压监视1、电压监视2)。但是，这些中断源只在深度待机中断允许寄存器i(DPSIERi)(i=0～3)的对应位为“1”时有效。

注5. 通过正常运行模式的LOCO时钟源从复位状态进行转移。

注6. 通过中断从睡眠模式、全模块时钟停止模式和软件待机模式转移到正常运行模式。此时，对于睡眠模式，能选择返回后的时钟源。详细内容请参照“11.2.6 睡眠模式返回时钟源转换寄存器(RSTCKCR)”。对于软件待机模式，返回时和返回前为相同的时钟源。

注7. 如果发生注4所示的中断源，就产生一定时间的内部复位(深度软件待机复位)。在解除内部复位的同时解除深度软件待机模式。如果解除深度软件待机模式，就转移到正常运行模式，并且将LOCO时钟作为时钟源开始进行复位异常处理。

在所有状态中，如果发生引脚复位、上电复位、电压监视0复位、电压监视1复位、电压监视2复位、看门狗定时器复位、独立看门狗定时器复位和软件复位，就转移到复位状态。电压监视1复位和电压监视2复位不能用于解除深度软件待机模式。

图 11.1 模式转移

11.2 寄存器说明

11.2.1 待机控制寄存器 （SBYCR）

地址 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b13-b0	—	保留位	读写值都为 “0”。	R/W
b14	OPE	输出端口允许位	0：在软件待机模式和深度软件待机模式中，地址总线和总线控制信号为高阻抗。 1：在软件待机模式和深度软件待机模式中，地址总线和总线控制信号保持输出状态。	R/W
b15	SSBY	软件待机位	0：在执行 WAIT 指令后，转移到睡眠模式或者全模块时钟停止模式。 1：在执行 WAIT 指令后，转移到软件待机模式。	R/W

OPE 位 （输出端口允许位）

在软件待机模式和深度软件待机模式中，此位选择是将地址总线和总线控制信号 （CS0# ～ CS7#、 RD#、 WR0# ～ WR3#、 WR#、 BC0# ～ BC3#、 ALE）保持为输出状态还是置为高阻抗。

SSBY 位 （软件待机位）

此位设定 WAIT 指令执行后的转移目标。

如果在 SSBY 位为 “1” 的状态下执行 WAIT 指令，就转移到软件待机模式。

如果在通过中断解除软件待机模式后转移到正常模式，SSBY 位就保持“1”。要将 SSBY 位置“0”时，必须写 “0”。

当振荡停止检测控制寄存器的振荡停止检测功能允许位（OSTDCR.OSTDE）为“1”时，SSBY 位的设定值无效。当 SSBY 位为 “1” 时，也在执行 WAIT 指令后转移到睡眠模式或者全模块时钟停止模式。

11.2.2 模块停止控制寄存器 A （MSTPCRA）

地址 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA29	MSTPA28	MSTPA27	—	—	MSTPA24	MSTPA23	—	—	—	MSTPA19	—	MSTPA17	—
复位后的值	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA15	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	—	—	—	MSTPA5	MSTPA4	—	—	—	—
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “1”。	R/W
b4	MSTPA4	8 位定时器 3、 2 （单元 1）的模块停止设定位	对象模块：TMR3 和 TMR2 0：解除模块停止状态 1：转移到模块停止状态	R/W
b5	MSTPA5	8 位定时器 1、 0 （单元 0）的模块停止设定位	对象模块：TMR1 和 TMR0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b8-b6	—	保留位	读写值都为 “1”。	R/W
b9	MSTPA9	多功能定时器脉冲单元 2 的模块停止设定位	对象模块：MTU （MTU0 ～ MTU5） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b10	MSTPA10	可编程脉冲发生器 （单元 1）的模块停止设定位	对象模块：PPG1 0：解除模块停止状态 1：转移到模块停止状态	R/W
b11	MSTPA11	可编程脉冲发生器 （单元 0）的模块停止设定位	对象模块：PPG0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b12	MSTPA12	16 位定时器脉冲单元 1 （单元 1）的模块停止设定位	对象模块：TPU 单元 1 （TPU6 ～ TPU11） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b13	MSTPA13	16 位定时器脉冲单元 0 （单元 0）的模块停止设定位	对象模块：TPU 单元 0 （TPU0 ～ TPU5） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b14	MSTPA14	比较匹配定时器 （单元 1）的模块停止设定位	对象模块：CMT 单元 1 （CMT2、 CMT3） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b15	MSTPA15	比较匹配定时器 （单元 0）的模块停止设定位	对象模块：CMT 单元 0 （CMT0、 CMT1） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b16	—	保留位	读写值都为 “1”。	R/W
b17	MSTPA17	12 位 A/D 转换器的模块停止设定位	对象模块：S12AD 0：解除模块停止状态 1：转移到模块停止状态	R/W
b18	—	保留位	读写值都为 “1”。	R/W

位	符号	位名	功能	R/W
b19	MSTPA19	D/A 转换器的模块停止设定位	对象模块：DA 0：解除模块停止状态 1：转移到模块停止状态	R/W
b22-b20	—	保留位	读写值都为 “1”。	R/W
b23	MSTPA23	10 位 A/D 转换器 （单元 0）的模块停止设定位	对象模块：AD0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b24	MSTPA24	模块停止 A24 设定位	读操作和写操作都有效。如果要转移到全模块停止模式，就必须预先给此位写 “1”。	R/W
b26-b25	—	保留位	读写值都为 “1”。	R/W
b27	MSTPA27	模块停止 A27 设定位	读操作和写操作都有效。如果要转移到全模块停止模式，就必须预先给此位写 “1”。	R/W
b28	MSTPA28	DMA 控制器 / 数据传送控制器的模块停止设定位	对象模块：DMAC/DTC 0：解除模块停止状态 1：转移到模块停止状态	R/W
b29	MSTPA29	模块停止 A29 设定位	读操作和写操作都有效。如果要转移到全模块停止模式，就必须预先给此位写 “1”。	R/W
b30	—	保留位	读写值都为 “1”。	R/W
b31	ACSE	全模块时钟停止模式允许位	0：禁止全模块时钟停止模式 1：允许全模块时钟停止模式	R/W

ACSE 位 （全模块时钟停止模式允许位）

通过 ACSE 位设定允许或者禁止转移到全模块时钟停止模式。在将 ACSE 位置“1”并且 SBYCR.SSBY 位、MSTPCRA、MSTPCRB、MSTPCRC 寄存器满足规定条件的状态下，如果 CPU 执行 WAIT 指令，就转移到全模块时钟停止模式。详细内容请参照 “11.6.2 全模块时钟停止模式”。

能通过设定 MSTPA5 位和 MSTPA4 位，选择 8 位定时器的运行或者停止。

当 SBYCR.SSBY 位和 MSTPCRA.ACSE 位都为 “0”时，在执行 WAIT 指令后转移到睡眠模式。

11.2.3 模块停止控制寄存器 B （MSTPCRB）

地址 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	MSTPB24	MSTPB23	—	MSTPB21	MSTPB20	MSTPB19	—	MSTPB17	MSTPB16
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MSTPB8	—	—	—	MSTPB4	—	MSTPB2	MSTPB1	MSTPB0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

位	符号	位名	功能	R/W
b0	MSTPB0	CAN 模块 0 的模块停止设定位 （注 1）	对象模块：CAN0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b1	MSTPB1	CAN 模块 1 的模块停止设定位 （注 1）	对象模块：CAN1 0：解除模块停止状态 1：转移到模块停止状态	R/W
b2	MSTPB2	CAN 模块 2 的模块停止设定位 （注 1）	对象模块：CAN2 0：解除模块停止状态 1：转移到模块停止状态	R/W
b3	—	保留位	读写值都为 “1”。	R/W
b4	MSTPB4	串行通信接口 SCId 的模块停止设定位	对象模块：SCId （SCI12） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b7-b5	—	保留位	读写值都为 “1”。	R/W
b8	MSTPB8	温度传感器的模块停止设定位	对象模块：温度传感器 0：解除模块停止状态 1：转移到模块停止状态	R/W
b15-b9	—	保留位	读写值都为 “1”。	R/W
b16	MSTPB16	串行外围接口 1 的模块停止设定位	对象模块：RSPI1 0：解除模块停止状态 1：转移到模块停止状态	R/W
b17	MSTPB17	串行外围接口 0 的模块停止设定位	对象模块：RSPI0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b18	—	保留位	读写值都为 “1”。	R/W
b19	MSTPB19	通用串行总线接口 （端口 0）的模块停止设定位（注 2）	对象模块：USB0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b20	MSTPB20	I^2C 总线接口 1 的模块停止设定位	对象模块：RIIC1 0：解除模块停止状态 1：转移到模块停止状态	R/W
b21	MSTPB21	I^2C 总线接口 0 的模块停止设定位	对象模块：RIIC0 0：解除模块停止状态 1：转移到模块停止状态	R/W

位	符号	位名	功能	R/W
b22	—	保留位	读写值都为 “1”。	R/W
b23	MSTPB23	CRC 运算器的模块停止设定位	对象模块：CRC 0：解除模块停止状态 1：转移到模块停止状态	R/W
b24	MSTPB24	串行通信接口 7 的模块停止设定位	对象模块：SCI7 0：解除模块停止状态 1：转移到模块停止状态	R/W
b25	MSTPB25	串行通信接口 6 的模块停止设定位	对象模块：SCI6 0：解除模块停止状态 1：转移到模块停止状态	R/W
b26	MSTPB26	串行通信接口 5 的模块停止设定位	对象模块：SCI5 0：解除模块停止状态 1：转移到模块停止状态	R/W
b27	MSTPB27	串行通信接口 4 的模块停止设定位	对象模块：SCI4 0：解除模块停止状态 1：转移到模块停止状态	R/W
b28	MSTPB28	串行通信接口 3 的模块停止设定位	对象模块：SCI3 0：解除模块停止状态 1：转移到模块停止状态	R/W
b29	MSTPB29	串行通信接口 2 的模块停止设定位	对象模块：SCI2 0：解除模块停止状态 1：转移到模块停止状态	R/W
b30	MSTPB30	串行通信接口 1 的模块停止设定位	对象模块：SCI1 0：解除模块停止状态 1：转移到模块停止状态	R/W
b31	MSTPB31	串行通信接口 0 的模块停止设定位	对象模块：SCI0 0：解除模块停止状态 1：转移到模块停止状态	R/W

注 1. 必须在由 MSTPBi 位控制的时钟振荡稳定时改写 MSTPBi 位。要在改写 MSTPBi 位后转移到软件待机模式时，必须在改写后并且经过 2 个 CAN 时钟 （CANCLK）周期后执行 WAIT 指令 （i=0 ～ 2）。

注 2. 要在改写 MSTPB19 位后转移到软件待机模式时，必须在改写后并且经过 2 个 USB 时钟（UCLK）周期后执行 WAIT 指令。

11.2.4 模块停止控制寄存器 C （MSTPCRC）

地址 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPC27	MSTPC26	MSTPC25	MSTPC24	—	MSTPC22	—	—	MSTPC19	MSTPC18	MSTPC17	MSTPC16
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC1	MSTPC0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	MSTPC0	RAM0 模块停止设定位（注 1）	对象模块：RAM0 （0000 0000h ～ 0000 FFFF） 0：RAM0 运行 1：RAM0 停止	R/W
b1	MSTPC1	RAM1 模块停止设定位（注 1）	对象模块：RAM1 （0001 0000h ～ 0001 FFFFh） 0：RAM1 运行 1：RAM1 停止	R/W
b15-b2	—	保留位	读写值都为 “0”。	R/W
b16	MSTPC16	I2C 总线接口 3 的模块停止设定位	对象模块：RIIC3 0：解除模块停止状态 1：转移到模块停止状态	R/W
b17	MSTPC17	I2C 总线接口 2 的模块停止设定位	对象模块：RIIC2 0：解除模块停止状态 1：转移到模块停止状态	R/W
b18	MSTPC18	IEBUS 模块停止设定位（注 2）	对象模块：IEBUS 0：解除模块停止状态 1：转移到模块停止状态	R/W
b19	MSTPC19	频率测量功能的模块停止设定位	对象模块：MCK 0：解除模块停止状态 1：转移到模块停止状态	R/W
b21-b20	—	保留位	读写值都为 “1”。	R/W
b22	MSTPC22	串行外围接口 2 的模块停止设定位	对象模块：RSPI2 0：解除模块停止状态 1：转移到模块停止状态	R/W
b23	—	保留位	读写值都为 “1”。	R/W
b24	MSTPC24	串行通信接口11的模块停止设定位	对象模块：SCI11 0：解除模块停止状态 1：转移到模块停止状态	R/W
b25	MSTPC25	串行通信接口 10 的模块停止设定位	对象模块：SCI10 0：解除模块停止状态 1：转移到模块停止状态	R/W
b26	MSTPC26	串行通信接口 9 的模块停止设定位	对象模块：SCI9 0：解除模块停止状态 1：转移到模块停止状态	R/W
b27	MSTPC27	串行通信接口 8 的模块停止设定位	对象模块：SCI8 0：解除模块停止状态 1：转移到模块停止状态	R/W
b31-b28	—	保留位	读写值都为 “1”。	R/W

注 1. 不能在存取内部 RAM 的过程中将对应的 MSTPC1 位和 MSTPC0 位置 “1”，而且不能在 MSTPC1 位和 MSTPC0 位为 “1”的状态下存取对应的 RAM。

注 2. 要在改写 MSTPC18 位后转移到软件待机模式时，必须在改写后并且经过 2 个 IEBUS 时钟 （IECLK）周期后执行 WAIT 指令。

11.2.5 运行功率控制寄存器 （OPCCR）

地址 0008 00A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OPCMTSF	—	OPCM[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	OPCM[2:0]	运行功率控制模式选择位	b2 b1 b0 ０００：高速运行模式 １１０：低速运行模式 1 １１１：低速运行模式 2 上述以外：不能设定	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b4	OPCMTSF	运行功率控制模式转移状态标志	• 读时 0：转移结束 1：转移过程中 • 写时 只能写 “0”。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

OPCCR 寄存器用于降低正常运行模式、睡眠模式和全模块时钟停止模式中的功耗。
能通过设定 OPCCR 寄存器，根据使用的工作频率和工作电压来降低功耗。
在以下情况下禁止改写 OPCCR 寄存器。

- 当运行功率控制模式转移状态标志 （OPCMTSF）为 “1”（运行功率控制模式在转移过程中）时
- 当闪存 P/E 模式入口寄存器的 ROM P/E 模式入口位 i （FENTRYR.FENTRY）为 “1”（ROM P/E 模式）（i=0～3）时
- 在从发行用于转移到睡眠模式的 WAIT 指令开始到从睡眠模式返回到正常运行模式为止的期间

不能在闪存的编程 / 擦除 （P/E）过程中写 OPCCR 寄存器，写操作无效。
有关向运行功率控制模式转移的步骤，请参照 “11.5 低运行功率功能”。
在解除软件待机模式后，变为高速模式。

OPCM[2:0] 位 （运行功率控制模式选择位）

这些位选择正常运行模式、睡眠模式和全模块时钟停止模式中的运行功率控制模式。
运行功率控制模式和工作频率范围、工作电压范围、功耗的关系如表 11.3 所示。

表 11.3 运行功率控制模式和运行范围、功耗的关系

运行功率控制模式	OPCM[2:0]位	工作频率范围					工作电压范围		功耗
		读 FLASH 时				FLASH P/E 时	读 FLASH 时	FLASH P/E 时	
		ICLK	FCLK	PCLKB	BCLK	FCLK			
高速运行模式	000b	100MHz max	50MHz max	50MHz max	100MHz max	4MHz ～ 50MHz	2.7V ～ 3.6V	2.7V ～ 3.6V	大
低速运行模式 1	110b	1MHz max	1MHz max	1MHz max	1MHz max	不能进行 P/E	2.7V ～ 3.6V	不能进行 P/E	
低速运行模式 2	111b	32kHz ～ 125kHz	32kHz ～ 125kHz	125kHz max	125kHz max	不能进行 P/E	2.7V ～ 3.6V	不能进行 P/E	小

以下说明各运行功率控制模式：

• 高速运行模式

这是能进行高速运行的模式。

在读闪存（FLASH）时，ICLK 和 BCLK 的最大工作频率是 100MHz，FCLK 和 PCLKB 的最大工作频率是 50MHz。在对 FLASH 进行编程 / 擦除（P/E）时，FCLK 能以 4MHz ～ 50MHz 运行。在读 FLASH 或者对 FLASH 进行编程 / 擦除 （P/E）时，工作电压范围都是 2.7V ～ 3.6V。

在解除复位后，通过此模式进行启动。

• 低速运行模式 1

这是降低功耗的低速运行模式。

在读FLASH时，ICLK、FCLK、PCLKB和BCLK的最大工作频率都是1MHz，工作电压范围是2.7V～3.6V。

不能在低速运行模式1中对FLASH进行编程/擦除（P/E），而且禁止给PLLCR2.PLLEN位写“0”（PLL运行）。

在相同的条件 （工作频率、工作电压）下进行相同的运行时，此模式比高速运行模式还能降低功耗。

• 低速运行模式 2

此模式是比低速运行模式 1 还能降低功耗的低速运行模式。

在读 FLASH 时，ICLK、FCLK、PCLKB 和 BCLK 的最大工作频率都是 125kHz，ICLK 和 FCLK 的最小工作频率是 32kHz，工作电压范围是 2.7V ～ 3.6V。

在选择低速运行模式 2 时，有以下限制事项：

- 禁止对闪存进行P/E。
- 禁止读数据闪存。
- 禁止使用PLL和HOCO。
- 禁止使用主时钟振荡器的振荡停止检测功能。

在相同的条件 （工作频率、工作电压）下进行相同的运行时，此模式比低速运行模式 1 还能降低功耗。

当系统时钟控制寄存器 3 的时钟源位 （SCKCR3.CKSEL[2:0]）为 “011b”（选择副时钟振荡器）并且系统时钟控制寄存器的系统时钟选择位 （SCKCR.ICK[3:0]）或者 FlashIF 时钟选择位 （SCKCR.FCK[3:0]）不是 “0000b”（无分频）时，不能给 OPCM[2:0] 位写 “111b”。

当 PLL 控制寄存器 2 的 PLL 停止控制位 （PLLCR2.PLLEN）为 “0”（PLL 运行）时，不能给 OPCM[2:0] 位写 “110b”（低速运行模式 1）和 “111b”（低速运行模式 2）。

OPCMTSF 标志 （运行功率控制模式转移状态标志）

此标志表示转换运行功率控制模式时的转换控制状态。

如果更改运行功率控制模式，OPCMTSF 标志就变为 “1”；如果已转移到更改后的运行功率控制模式，此标志就变为 “0”。必须在确认 OPCMTSF 标志是 “0”（已转移到运行功率控制模式）后进行后面的处理。

11.2.6 睡眠模式返回时钟源转换寄存器 （RSTCKCR）

地址 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCKEN	—	—	—	—	RSTCKSEL[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	RSTCKSEL [2:0]	睡眠模式返回时钟源选择位	b2 b1 b0 0 0 1：选择 HOCO 0 1 0：选择主时钟振荡器 当 RSTCKEN 位为“1”时，不能进行上述以外的设定。	R/W
b6-b3	—	保留位	读写值都为 “0”。	R/W
b7	RSTCKEN	睡眠模式返回时钟源转换允许位	0：在解除睡眠模式时，时钟源的转换无效。 1：在解除睡眠模式时，时钟源的转换有效。	R/W

RSTCKCR 寄存器是控制解除睡眠模式时的时钟源转换的寄存器。

在通过设定 RSTCKCR 寄存器从睡眠模式返回时，自动将返回的时钟源对应的主时钟振荡器的控制寄存器的主时钟停止位 （MOSCCR.MOSTP）和高速内部振荡器的控制寄存器的 HOCO 停止位 （HOCOCR.HCSTP）改写为运行状态，并且自动将 RSTCKSEL[2:0] 位的值重新加载到系统时钟控制寄存器 3 的时钟源选择位（SCKCR3.CKSEL[2:0]）。

在通过设定RSTCKCR寄存器并且通过HOCO从睡眠模式返回时，HOCO电源不会自动接通。要通过HOCO返回时，必须在 HOCO 电源接通的状态下转移到睡眠模式。

如果在解除睡眠模式时的时钟源转换有效 （RSTCKCR.RSTCKEN 位为 “1”）并且将运行功率控制模式选择位 （OPCCR.OPCM[2:0]）设定为低速运行模式 1 （“110b”）或者低速运行模式 2 （“111b”）的状态下从睡眠模式返回，就自动将 OPCCR.OPCM[2:0] 位转换为高速模式 （“000b”）。

RSTCKSEL[2:0] 位 （睡眠模式返回时钟源选择位）

这些位选择解除睡眠模式时的时钟源。

只能在 RSTCKEN 位为 “1” 时通过 RSTCKSEL[2:0] 位选择时钟源。

RSTCKEN 位 （睡眠模式返回时钟源转换允许位）

此位控制解除睡眠模式时的时钟源转换的有效或者无效。

只有在选择 LOCO 和副时钟作为转移到睡眠模式时的时钟的情况下，才能在解除睡眠模式时转换时钟源。要在选择 HOCO、主时钟或者 PLL 作为时钟源的状态下转移到睡眠模式时，不能将 RSTCKEN 位置 “1”。

11.2.7 主时钟振荡器的等待控制寄存器 （MOSCWTCR）

地址 0008 00A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MSTS[4:0]				
复位后的值	0	0	0	0	1	1	1	0

位	符号	位名	功能	R/W
b4-b0	MSTS[4:0]	主时钟振荡器的等待时间设定位	b4 b0 0 0 0 0 0：待机时间 =2 个周期 0 0 0 0 1：待机时间 =4 个周期 0 0 0 1 0：待机时间 =8 个周期 0 0 0 1 1：待机时间 =16 个周期 0 0 1 0 0：待机时间 =32 个周期 0 0 1 0 1：待机时间 =64 个周期 0 0 1 1 0：待机时间 =512 个周期 0 0 1 1 1：待机时间 =1024 个周期 0 1 0 0 0：待机时间 =2048 个周期 0 1 0 0 1：待机时间 =4096 个周期 0 1 0 1 0：待机时间 =16384 个周期 0 1 0 1 1：待机时间 =32768 个周期 0 1 1 0 0：待机时间 =65536 个周期 0 1 1 0 1：待机时间 =131072 个周期 0 1 1 1 0：待机时间 =262144 个周期 0 1 1 1 1：待机时间 =524288 个周期 上述以外：不能设定	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

MOSCWTCR 寄存器是选择主时钟振荡器的振荡稳定等待时间的寄存器。

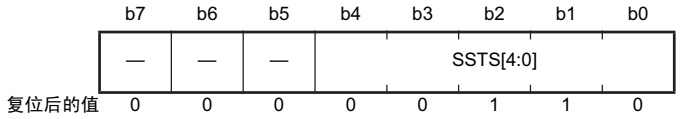
在对主时钟进行 MOSCWTCR 寄存器所设周期数的计数后，开始给 LSI 内部提供主时钟。

必须将 MSTS[4:0] 位至少设定为主时钟振荡稳定时间 （tMAINOSC）的待机时间。例如，当使用的谐振器的振荡频率为 10MHz（周期为 100ns）时，如果将 MSTS[4:0] 位置“01101b”，待机时间就为 100ns×131072 个周期≈ 13.12ms。在将主时钟用于外部输入时，不需要待机时间。

只能在 MOSCCR.MOSTP 位为 “1”时改写 MOSCWTCR 寄存器，否则就不能进行改写。

11.2.8 副时钟振荡器的等待控制寄存器 （SOSCWTCR）

地址 0008 00A3h



位	符号	位名	功能	R/W
b4-b0	SSTS[4:0]	副时钟振荡器的等待时间设定位	b4 b0 0 0 0 0 0：待机时间 =2 个周期 0 0 0 0 1：待机时间 =4 个周期 0 0 0 1 0：待机时间 =8 个周期 0 0 0 1 1：待机时间 =16 个周期 0 0 1 0 0：待机时间 =32 个周期 0 0 1 0 1：待机时间 =64 个周期 0 0 1 1 0：待机时间 =512 个周期 0 0 1 1 1：待机时间 =1024 个周期 0 1 0 0 0：待机时间 =2048 个周期 0 1 0 0 1：待机时间 =4096 个周期 0 1 0 1 0：待机时间 =16384 个周期 0 1 0 1 1：待机时间 =32768 个周期 0 1 1 0 0：待机时间 =65536 个周期 0 1 1 0 1：待机时间 =131072 个周期 0 1 1 1 0：待机时间 =262144 个周期 0 1 1 1 1：待机时间 =524288 个周期 上述以外：不能设定	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

SOSCWTCR 寄存器是选择副时钟振荡器的振荡稳定等待时间的寄存器。

必须将 SSTS[4:0] 位至少设定为副时钟振荡稳定时间 （tSUBOSC）的待机时间。例如，当使用的谐振器的振荡频率为 32.768kHz（周期为 30.5μs）时，如果将 SSTS[4:0] 位置“01100b”，待机时间就为 30.5μs×65536 个周期≈ 2s。

只能在 SOSCCR.SOSTP 位为“1”（副时钟振荡器停止）时改写 SOSCWTCR 寄存器，否则就不能进行改写。

11.2.9 PLL 等待控制寄存器 （PLLWTCR）

地址 0008 00A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PSTS[4:0]				
复位后的值	0	0	0	0	1	1	1	1

位	符号	位名	功能	R/W
b4-b0	PSTS[4:0]	PLL 等待时间设定位	b4 b0 0 0 0 0 0：待机时间 =16 个周期 0 0 0 0 1：待机时间 =32 个周期 0 0 0 1 0：待机时间 =64 个周期 0 0 0 1 1：待机时间 =512 个周期 0 0 1 0 0：待机时间 =1024 个周期 0 0 1 0 1：待机时间 =2048 个周期 0 0 1 1 0：待机时间 =4096 个周期 0 0 1 1 1：待机时间 =16384 个周期 0 1 0 0 0：待机时间 =32768 个周期 0 1 0 0 1：待机时间 =65536 个周期 0 1 0 1 0：待机时间 =131072 个周期 0 1 0 1 1：待机时间 =262144 个周期 0 1 1 0 0：待机时间 =524288 个周期 0 1 1 0 1：待机时间 =1048576 个周期 0 1 1 1 0：待机时间 =2097152 个周期 0 1 1 1 1：待机时间 =4194304 个周期 上述以外：不能设定	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

PLLWTCR 寄存器是选择 PLL 振荡稳定等待时间的寄存器。

在对 PLL 时钟进行 PLLWTCR 寄存器所设周期数的计数后，开始给 LSI 内部提供 PLL 时钟。

在将晶体谐振器用作谐振器并且不等待主时钟振荡稳定就将 PLL 设定为运行的情况下，必须将 PSTS[4:0] 位至少设定为 PLL 振荡稳定时间 （不等主时钟振荡稳定就将 PLL 设定为 ON 的情况）（tPLL2）的待机时间。例如，当PLL振荡频率为200MHz（周期为5ns）时，如果将PSTS[4:0]位置“01110b”，待机时间就为5ns×2097152个周期≈ 10.48ms。

在将晶体谐振器用作谐振器并且在等待主时钟振荡稳定后将 PLL 设定为运行以及将主时钟用于外部输入的情况下，因为不需要等待基准时钟的振荡稳定时间，所以必须将 PSTS[4:0] 位至少设定为 PLL 振荡稳定时间（在主时钟振荡稳定后将 PLL 设定为 ON 的情况）（tPLL1）的待机时间。

只能在 PLLCR2.PLLEN 位为 “1”（PLL 停止）时改写 PLLWTCR 寄存器，否则就不能进行改写。

11.2.10 深度待机控制寄存器 （DPSBYCR）

地址 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	—	—	—	—	DEEPCUT[1:0]	
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b1-b0	DEEPCUT [1:0]	深度切断位	b1 b0 0 0：在深度软件待机模式中，给内部 RAM （RAM0（注 1））和 USB 恢复检测部供电。 0 1：在深度软件待机模式中，不给内部 RAM （RAM0（注 1））和 USB 恢复检测部供电。 1 0：不能设定 1 1：在深度软件待机模式中，不给内部 RAM （RAM0（注 1））和 USB 恢复检测部供电。停止 LVD 并且将上电复位电路的低功耗功能置为有效。	R/W
b5-b2	—	保留位	读写值都为 “0”。	R/W
b6	IOKEEP	I/O 端口保持位	0：在解除深度软件待机模式的同时，解除 I/O 端口的保持状态。 1：在解除深度软件待机模式后仍然保持 IO 端口的状态。此后，如果给 IOKEEP 位写 “0”，就解除 I/O 端口的保持状态。	R/W
b7	DPSBY	深度软件待机位	SSBY b7 0 0：在执行 WAIT 指令后转移到睡眠模式或者全模块时钟停止模式 0 1：在执行 WAIT 指令后转移到睡眠模式或者全模块时钟停止模式 1 0：在执行 WAIT 指令后转移到软件待机模式 1 1：在执行 WAIT 指令后转移到深度软件待机模式	R/W

注 1. 有关内部 RAM 的地址空间，请参照表 11.2。

深度软件待机模式解除源的内部复位信号不对 DPSBYCR 寄存器进行初始化，详细内容请参照“**表 6.2 各种复位的初始化对象**”。

DEEPCUT[1:0] 位 （深度切断位）

在深度软件待机模式中，这些位不仅控制给内部 RAM 和 USB 恢复检测部提供的内部电源，还控制深度软件待机模式中的 LVD 和上电复位电路的状态。

能通过 DEEPCUT[1:0] 位控制 RAM0 和 USB 恢复检测部的内部电源。

如果将 USB 挂起 / 恢复中断用作深度软件待机模式的解除源，就必须将 DEEPCUT[1:0] 位置 “00b”。

在深度软件待机模式中使用 LVD 时，必须将 DEEPCUT[1:0] 位置“00b”或者“01b”。当为了实现低功耗而停止 LVD 并且将上电复位电路的低功耗功能置为有效时，必须将 DEEPCUT[1:0] 位置 “11b”。

RAM1 的内部电源与 DEEPCUT[1:0] 位的设定无关，在深度软件待机模式中停止工作。

IOKEEP 位 （I/O 端口保持位）

在深度软件待机模式中，I/O 端口保持和软件待机模式中相同的状态。通过 IOKEEP 位选择在解除深度软件待机模式后是继续保持还是解除在深度软件待机模式中保持的 I/O 端口状态。

DPSBY 位 （深度软件待机位）

此位控制向深度软件待机模式的转移。

如果在 SBYCR.SSBY 位为“1”并且 DPSBY 位为“1”的状态下执行 WAIT 指令，就经过软件待机模式转移到深度软件待机模式。

如果通过作为外部引脚中断发生源的部分引脚 （NMI、 IRQ0-DS ～ IRQ15-DS、 SCL2-DS、 SDA2-DS、 CRX1-DS）或者外围功能中断 （RTC 闹钟、 RTC 周期、 USB 挂起 / 恢复、电压监视 1、电压监视 2）解除深度软件待机模式， DPSBY 位就保持 “1”。要将此位置 “0”时，必须写 “0”。

在 IWDT 为自动启动模式并且 OFS0.IWDTSLCSTP 位为 “0”（继续进行计数）时或者在 IWDT 为寄存器启动模式并且 IWDTCSTPR.SLCSTP 位为 “0”时， DPSBY 位的设定值无效。此时，即使 SBYCR.SSBY 位为 “1”并且 DPSBY 位为 “1”，也在执行 WAIT 指令后转移到软件待机模式。

如果在电压监视 1 电路模式中选择电压监视 1 复位 （LVD1CR0.LVD1RI=1）或者在电压监视 2 电路模式中选择电压监视 2 复位 （LVD2CR0.LVD2RI=1）， DPSBY 位的设定值就无效。此时，即使 SBYCR.SSBY 位为 “1”并且 DPSBY 位为 “1”，也在执行 WAIT 指令后转移到软件待机模式。

11.2.11 深度待机中断允许寄存器 0 （DPSIER0）

地址 0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ0E	IRQ0-DS 引脚允许位	0：禁止通过 IRQ0-DS 引脚解除深度软件待机模式 1：允许通过 IRQ0-DS 引脚解除深度软件待机模式	R/W
b1	DIRQ1E	IRQ1-DS 引脚允许位	0：禁止通过 IRQ1-DS 引脚解除深度软件待机模式 1：允许通过 IRQ1-DS 引脚解除深度软件待机模式	R/W
b2	DIRQ2E	IRQ2-DS 引脚允许位	0：禁止通过 IRQ2-DS 引脚解除深度软件待机模式 1：允许通过 IRQ2-DS 引脚解除深度软件待机模式	R/W
b3	DIRQ3E	IRQ3-DS 引脚允许位	0：禁止通过 IRQ3-DS 引脚解除深度软件待机模式 1：允许通过 IRQ3-DS 引脚解除深度软件待机模式	R/W
b4	DIRQ4E	IRQ4-DS 引脚允许位	0：禁止通过 IRQ4-DS 引脚解除深度软件待机模式 1：允许通过 IRQ4-DS 引脚解除深度软件待机模式	R/W
b5	DIRQ5E	IRQ5-DS 引脚允许位	0：禁止通过 IRQ5-DS 引脚解除深度软件待机模式 1：允许通过 IRQ5-DS 引脚解除深度软件待机模式	R/W
b6	DIRQ6E	IRQ6-DS 引脚允许位	0：禁止通过 IRQ6-DS 引脚解除深度软件待机模式 1：允许通过 IRQ6-DS 引脚解除深度软件待机模式	R/W
b7	DIRQ7E	IRQ7-DS 引脚允许位	0：禁止通过 IRQ7-DS 引脚解除深度软件待机模式 1：允许通过 IRQ7-DS 引脚解除深度软件待机模式	R/W

深度软件待机模式解除源的内部复位信号不对 DPSIER0 寄存器进行初始化，详细内容请参照 “**表 6.2 各种复位的初始化对象**”。

如果更改 DPSIER0 寄存器的设定，就可能根据引脚状态在内部产生边沿，使 DPSIFR0 寄存器变为“1”。必须在向深度软件待机模式转移前将 DPSIFR0 寄存器置 “0”。

即使 DPSIER0 寄存器为 “0”，也可能在向深度软件待机模式转移时，根据引脚状态在内部产生上升沿，使 DPSIFR0 寄存器变为“1”。因为在 DPSIEGR0 寄存器为“0”时不检测上升沿，所以 DPSIFR0 寄存器不变为“1”。

11.2.12 深度待机中断允许寄存器 1 （DPSIER1）

地址 0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ8E	IRQ8-DS 引脚允许位	0：禁止通过 IRQ8-DS 引脚解除深度软件待机模式 1：允许通过 IRQ8-DS 引脚解除深度软件待机模式	R/W
b1	DIRQ9E	IRQ9-DS 引脚允许位	0：禁止通过 IRQ9-DS 引脚解除深度软件待机模式 1：允许通过 IRQ9-DS 引脚解除深度软件待机模式	R/W
b2	DIRQ10E	IRQ10-DS 引脚允许位	0：禁止通过 IRQ10-DS 引脚解除深度软件待机模式 1：允许通过 IRQ10-DS 引脚解除深度软件待机模式	R/W
b3	DIRQ11E	IRQ11-DS 引脚允许位	0：禁止通过 IRQ11-DS 引脚解除深度软件待机模式 1：允许通过 IRQ11-DS 引脚解除深度软件待机模式	R/W
b4	DIRQ12E	IRQ12-DS 引脚允许位	0：禁止通过 IRQ12-DS 引脚解除深度软件待机模式 1：允许通过 IRQ12-DS 引脚解除深度软件待机模式	R/W
b5	DIRQ13E	IRQ13-DS 引脚允许位	0：禁止通过 IRQ13-DS 引脚解除深度软件待机模式 1：允许通过 IRQ13-DS 引脚解除深度软件待机模式	R/W
b6	DIRQ14E	IRQ14-DS 引脚允许位	0：禁止通过 IRQ14-DS 引脚解除深度软件待机模式 1：允许通过 IRQ14-DS 引脚解除深度软件待机模式	R/W
b7	DIRQ15E	IRQ15-DS 引脚允许位	0：禁止通过 IRQ15-DS 引脚解除深度软件待机模式 1：允许通过 IRQ15-DS 引脚解除深度软件待机模式	R/W

深度软件待机模式解除源的内部复位信号不对 DPSIER1 寄存器进行初始化，详细内容请参照 “**表 6.2 各种复位的初始化对象**”。

如果更改 DPSIER1 寄存器的设定，就可能根据引脚状态在内部产生边沿，使 DPSIFR1 寄存器变为“1”。必须在向深度软件待机模式转移前将 DPSIFR1 寄存器置 “0”。

即使 DPSIER1 寄存器为“0”，也可能在向深度软件待机模式转移时，根据引脚状态在内部产生上升沿，使 DPSIFR1 寄存器变为“1”。因为在 DPSIEGR1 寄存器为“0”时不检测上升沿，所以 DPSIFR1 寄存器不变为“1”。

11.2.13 深度待机中断允许寄存器 2（DPSIER2）

地址 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	DUSBIE	DRIICCIE	DRIICDIE	DNMIE	DRTCAIE	DRTCIIE	DLVD2IE	DLVD1IE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DLVD1IE	LVD1 深度待机解除信号允许位	0：禁止通过电压监视 1 信号解除深度软件待机模式 1：允许通过电压监视 1 信号解除深度软件待机模式	R/W
b1	DLVD2IE	LVD2 深度待机解除信号允许位	0：禁止通过电压监视 2 信号解除深度软件待机模式 1：允许通过电压监视 2 信号解除深度软件待机模式	R/W
b2	DRTCIIE	RTC 周期中断深度待机解除信号允许位	0：禁止通过 RTC 周期中断信号解除深度软件待机模式 1：允许通过 RTC 周期中断信号解除深度软件待机模式	R/W
b3	DRTCAIE	RTC 闹钟中断深度待机解除信号允许位	0：禁止通过 RTC 闹钟中断信号解除深度软件待机模式 1：允许通过 RTC 闹钟中断信号解除深度软件待机模式	R/W
b4	DNMIE	NMI 引脚允许位	0：禁止通过 NMI 引脚解除深度软件待机模式 1：允许通过 NMI 引脚解除深度软件待机模式	R/W （注 1）
b5	DRIICDIE	SDA2-DS 深度待机解除信号允许位	0：禁止通过 SDA2-DS 信号解除深度软件待机模式 1：允许通过 SDA2-DS 信号解除深度软件待机模式	R/W
b6	DRIICCIE	SCL2-DS 深度待机解除信号允许位	0：禁止通过 SCL2-DS 信号解除深度软件待机模式 1：允许通过 SCL2-DS 信号解除深度软件待机模式	R/W
b7	DUSBIE	USB 挂起 / 恢复深度待机解除信号允许位	0：禁止通过 USB 挂起 / 恢复解除深度软件待机模式 1：允许通过 USB 挂起 / 恢复解除深度软件待机模式	R/W

注 1. 只能写 1 次“1”，以后的写操作无效。

深度软件待机模式解除源的内部复位信号不对 DPSIER2 寄存器进行初始化，详细内容请参照“**表 6.2 各种复位的初始化对象**”。

如果更改 DPSIER2 寄存器的设定，就可能根据引脚状态在内部产生边沿，使 DPSIFR2 寄存器变为“1”。必须在向深度软件待机模式转移前将 DPSIFR2 寄存器置“0”。

即使 DPSIER2 寄存器为“0”，也可能在向深度软件待机模式转移时，根据引脚状态在内部产生上升沿，使 DPSIFR2 寄存器变为“1”。因为在 DPSIEGR2 寄存器为“0”时不检测上升沿，所以 DPSIFR2 寄存器不变为“1”。

11.2.14 深度待机中断允许寄存器 3（DPSIER3）

地址 0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DCANIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DCANIE	CRX1-DS 深度待机解除信号允许位	0：禁止通过 CRX1-DS 引脚解除深度软件待机模式 1：允许通过 CRX1-DS 引脚解除深度软件待机模式	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

深度软件待机模式解除源的内部复位信号不对 DPSIER3 寄存器进行初始化，详细内容请参照 “**表 6.2 各种复位的初始化对象**”。

如果更改 DPSIER3 寄存器的设定，就可能根据引脚状态在内部产生边沿，使 DPSIFR3 寄存器变为“1”。必须在向深度软件待机模式转移前将 DPSIFR3 寄存器置 “0”。

即使 DPSIER3 寄存器为“0”，也可能在向深度软件待机模式转移时，根据引脚状态在内部产生上升沿，使 DPSIFR3寄存器变为“1”。因为在DPSIEGR3寄存器为“0”时不检测上升沿，所以DPSIFR3寄存器不变为“1”。

11.2.15 深度待机中断标志寄存器 0 （DPSIFR0）

地址 0008 C286h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ0F	IRQ0-DS 引脚深度待机解除标志	0：未发生由 IRQ0-DS 引脚引起的解除请求 1：发生由 IRQ0-DS 引脚引起的解除请求	R(/W) （注 1）
b1	DIRQ1F	IRQ1-DS 引脚深度待机解除标志	0：未发生由 IRQ1-DS 引脚引起的解除请求 1：发生由 IRQ1-DS 引脚引起的解除请求	R(/W) （注 1）
b2	DIRQ2F	IRQ2-DS 引脚深度待机解除标志	0：未发生由 IRQ2-DS 引脚引起的解除请求 1：发生由 IRQ2-DS 引脚引起的解除请求	R(/W) （注 1）
b3	DIRQ3F	IRQ3-DS 引脚深度待机解除标志	0：未发生由 IRQ3-DS 引脚引起的解除请求 1：发生由 IRQ3-DS 引脚引起的解除请求	R(/W) （注 1）
b4	DIRQ4F	IRQ4-DS 引脚深度待机解除标志	0：未发生由 IRQ4-DS 引脚引起的解除请求 1：发生由 IRQ4-DS 引脚引起的解除请求	R(/W) （注 1）
b5	DIRQ5F	IRQ5-DS 引脚深度待机解除标志	0：未发生由 IRQ5-DS 引脚引起的解除请求 1：发生由 IRQ5-DS 引脚引起的解除请求	R(/W) （注 1）
b6	DIRQ6F	IRQ6-DS 引脚深度待机解除标志	0：未发生由 IRQ6-DS 引脚引起的解除请求 1：发生由 IRQ6-DS 引脚引起的解除请求	R(/W) （注 1）
b7	DIRQ7F	IRQ7-DS 引脚深度待机解除标志	0：未发生由 IRQ7-DS 引脚引起的解除请求 1：发生由 IRQ7-DS 引脚引起的解除请求	R(/W) （注 1）

注 1. 只能写 “0”。

如果发生 DPSIEGR0 寄存器设定的解除请求， DPSIFR0 寄存器就变为 “1”。

即使在非深度软件待机模式的状态下发生解除请求，DPSIFR0 寄存器也可能变为“1”。也有可能会因更改 DPSIER0 寄存器的设定而使 DPSIFR0 寄存器变为“1”。因此必须在将 DPSIFR0 寄存器置“00h”后转移到深度软件待机模式。

要在更改 DPSIER0 寄存器的设定后将 DPSIFR0 寄存器置 “00h”时，必须在至少经过 6 个 PCLKB 周期并且读 DPSIFR0 寄存器后，给 DPSIFR0 寄存器写“0”。例如，能通过读 DPSIER0 寄存器，至少确保 6 个 PCLKB 周期。

深度软件待机模式解除源的内部复位信号不对 DPSIFR0 寄存器进行初始化，详细内容请参照 “**表 6.2 各种复位的初始化对象**”。

DIRQnF （IRQn 深度待机解除标志）（n=0 ～ 7）

此标志表示发生由 IRQn-DS 引脚引起的解除请求。

[为 “1” 的条件]

- 当发生由 DPSIEGR0 寄存器所选 IRQn-DS 引脚引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

11.2.16 深度待机中断标志寄存器 1 （DPSIFR1）

地址 0008 C287h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15F	DIRQ14F	DIRQ13F	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ8F	IRQ8-DS 引脚深度待机解除标志	0：未发生由 IRQ8-DS 引脚引起的解除请求 1：发生由 IRQ8-DS 引脚引起的解除请求	R(/W) （注 1）
b1	DIRQ9F	IRQ9-DS 引脚深度待机解除标志	0：未发生由 IRQ9-DS 引脚引起的解除请求 1：发生由 IRQ9-DS 引脚引起的解除请求	R(/W) （注 1）
b2	DIRQ10F	IRQ10-DS 引脚深度待机解除标志	0：未发生由 IRQ10-DS 引脚引起的解除请求 1：发生 IRQ10-DS 引脚引起的解除请求	R(/W) （注 1）
b3	DIRQ11F	IRQ11-DS 引脚深度待机解除标志	0：未发生由 IRQ11-DS 引脚引起的解除请求 1：发生由 IRQ11-DS 引脚引起的解除请求	R(/W) （注 1）
b4	DIRQ12F	IRQ12-DS 引脚深度待机解除标志	0：未发生由 IRQ12-DS 引脚引起的解除请求 1：发生由 IRQ12-DS 引脚引起的解除请求	R(/W) （注 1）
b5	DIRQ13F	IRQ13-DS 引脚深度待机解除标志	0：未发生由 IRQ13-DS 引脚引起的解除请求 1：发生 IRQ13-DS 引脚引起的解除请求	R(/W) （注 1）
b6	DIRQ14F	IRQ14-DS 引脚深度待机解除标志	0：未发生由 IRQ14-DS 引脚引起的解除请求 1：发生由 IRQ14-DS 引脚引起的解除请求	R(/W) （注 1）
b7	DIRQ15F	IRQ15-DS 引脚深度待机解除标志	0：未发生由 IRQ15-DS 引脚引起的解除请求 1：发生由 IRQ15-DS 引脚引起的解除请求	R(/W) （注 1）

注 1. 只能写 “0”。

如果发生 DPSIEGR1 寄存器设定的解除请求， DPSIFR1 寄存器就变为 “1”。

即使在非深度软件待机模式的状态下发生解除请求，DPSIFR1 寄存器也可能变为“1”。也有可能会因更改 DPSIER1 寄存器的设定而使 DPSIFR1 寄存器变为“1”。因此必须在将 DPSIFR1 寄存器置“00h“后转移到深度软件待机模式。

要在更改 DPSIER1 寄存器的设定后将 DPSIFR1 寄存器置 “00h” 时，必须在至少经过 6 个 PCLKB 周期并且读 DPSIFR1 寄存器后，给 DPSIFR1 寄存器写“0”。例如，能通过读 DPSIER1 寄存器，至少确保 6 个 PCLKB 周期。

深度软件待机模式解除源的内部复位信号不对 DPSIFR1 寄存器进行初始化，详细内容请参照 “**表 6.2 各种复位的初始化对象**”。

DIRQnF （IRQn 深度待机解除标志）（n=8 ～ 15）

此标志表示发生由 IRQn-DS 引脚引起的解除请求。

[为 “1” 的条件]

- 当发生由 DPSIEGR1 寄存器所选 IRQn-DS 引脚引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

11.2.17 深度待机中断标志寄存器 2 （DPSIFR2）

地址 0008 C288h

	b7	b6	b5	b4	b3	b2	b1	b0
	DUSBIF	DRIICCIF	DRIICDIF	DNMIF	DRTCAIF	DRTCIIF	DLVD2IF	DLVD1IF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DLVD1IF	LVD1 深度待机解除标志	0：未发生由电压监视 1 信号引起的解除请求 1：发生由电压监视 1 信号引起的解除请求	R(/W) （注 1）
b1	DLVD2IF	LVD2 深度待机解除标志	0：未发生由电压监视 2 信号引起的解除请求 1：发生由电压监视 2 信号引起的解除请求	R(/W) （注 1）
b2	DRTCIIF	RTC 周期中断深度待机解除标志	0：未发生由 RTC 周期中断信号引起的解除请求 1：发生由 RTC 周期中断信号引起的解除请求	R(/W) （注 1）
b3	DRTCAIF	RTC 闹钟中断深度待机解除标志	0：未发生由 RTC 闹钟中断信号引起的解除请求 1：发生由 RTC 闹钟中断信号引起的解除请求	R(/W) （注 1）
b4	DNMIF	NMI 深度待机解除标志	0：未发生由 NMI 引脚引起的解除请求 1：发生由 NMI 引脚引起的解除请求	R(/W) （注 1）
b5	DRIICDIF	SDA2-DS 深度待机解除标志	0：未发生由 SDA2-DS 信号引起的解除请求 1：发生由 SDA2-DS 信号引起的解除请求	R(/W) （注 1）
b6	DRIICCIF	SCL2-DS 深度待机解除标志	0：未发生由 SCL2-DS 信号引起的解除请求 1：发生由 SCL2-DS 信号引起的解除请求	R(/W) （注 1）
b7	DUSBIF	USB 挂起 / 恢复深度待机解除标志	0：未发生由 USB 挂起 / 恢复引起的解除请求 1：发生由 USB 挂起 / 恢复引起的解除请求	R(/W) （注 1）

注 1. 只能写 “0”。

如果发生 DPSIEGR2 寄存器设定的解除请求， DPSIFR2 寄存器就变为 “1”。

即使在非深度软件待机模式的状态下发生解除请求， DPSIFR2 寄存器也可能变为 “1”。也有可能因更改 DPSIER2 寄存器的设定而使 DPSIFR2 寄存器变为 “1”。因此必须在将 DPSIFR2 寄存器置 “00h” 后转移到深度软件待机模式。

要在更改 DPSIER2 寄存器的设定后将 DPSIFR2 寄存器置 “00h” 时，必须在至少经过 6 个 PCLKB 周期并且读 DPSIFR2 寄存器后，给 DPSIFR2 寄存器写 “0”。例如，能通过读 DPSIER2 寄存器，至少确保 6 个 PCLKB 周期。

深度软件待机模式解除源的内部复位信号不对 DPSIFR2 寄存器进行初始化，详细内容请参照 “**表 6.2 各种复位的初始化对象**”。

DLVDmIF （LVDm 深度待机解除标志）（m=1、 2）

此标志表示发生由电压监视 m 信号引起的解除请求。

[为 “1” 的条件]

- 当发生由DPSIEGR2寄存器所选电压监视m信号引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

DRTCIIF （RTC 周期中断深度待机解除标志）

此标志表示发生由 RTC 周期中断信号引起的解除请求。

[为 “1” 的条件]

- 当发生由RTC周期中断信号引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

DRTCAIF （RTC 闹钟中断深度待机解除标志）

此标志表示发生由 RTC 闹钟中断信号引起的解除请求。

[为 “1” 的条件]

- 当发生由RTC闹钟中断信号引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

DNMIF （NMI 深度待机解除标志）

此标志表示发生由 NMI 引脚引起的解除请求。

[为 “1” 的条件]

- 当发生由DPSIEGR2寄存器所设NMI引脚引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

DRIICDIF （SDA2-DS 深度待机解除标志）

此标志表示发生由 SDA2-DS 中断信号引起的解除请求。

[为 “1” 的条件]

- 当发生由DPSIEGR2寄存器所选SDA2-DS引脚引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

DRIICCIF （SCL2-DS 深度待机解除标志）

此标志表示发生由 SCL2-DS 中断信号引起的解除请求。

[为 “1” 的条件]

- 当发生由DPSIEGR2寄存器所选SCL2-DS引脚引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

DUSBIF （USB 挂起 / 恢复深度待机解除标志）

此标志表示发生由 USB 挂起 / 恢复引起的解除请求。

[为 “1” 的条件]

- 当发生由USB挂起/恢复引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

11.2.18 深度待机中断标志寄存器 3（DPSIFR3）

地址 0008 C289h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DCANIF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DCANIF	CRX1-DS 深度待机解除标志	0：未发生由 CRX1-DS 引脚引起的解除请求 1：发生由 CRX1-DS 引脚引起的解除请求	R(/W) （注 1）
b7-b1	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 “0”。

如果发生 DPSIEGR3 寄存器设定的解除请求， DPSIFR3 寄存器就变为 “1”。

即使在非深度软件待机模式的状态下发生解除请求， DPSIFR3 寄存器也可能变为 “1”。也有可能因更改 DPSIER3 寄存器的设定而使 DPSIFR3 寄存器变为 “1”。因此必须在将 DPSIFR3 寄存器置 “00h”后转移到深度软件待机模式。

要在更改 DPSIER3 寄存器的设定后将 DPSIFR3 寄存器置 “00h”时，必须在至少经过 6 个 PCLKB 周期并且读 DPSIFR3 寄存器后，给 DPSIFR3 寄存器写“0”。例如，能通过读 DPSIER3 寄存器，至少确保 6 个 PCLKB 周期。

深度软件待机模式解除源的内部复位信号不对 DPSIFR3 寄存器进行初始化，详细内容请参照 “**表 6.2 各种复位的初始化对象**”。

DCANIF （CAN 深度待机解除标志）

此标志表示发生由 CAN 引起的解除请求。

[为 “1” 条件]

- 当发生由DPSIEGR3寄存器所选CRX1-DS引脚引起的解除请求时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

11.2.19 深度待机中断边沿寄存器 0（DPSIEGR0）

地址 0008 C28Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ0EG	IRQ0-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b1	DIRQ1EG	IRQ1-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b2	DIRQ2EG	IRQ2-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b3	DIRQ3EG	IRQ3-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b4	DIRQ4EG	IRQ4-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b5	DIRQ5EG	IRQ5-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b6	DIRQ6EG	IRQ6-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b7	DIRQ7EG	IRQ7-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W

深度软件待机模式解除源的内部复位信号不对 DPSIEGR0 寄存器进行初始化，详细内容请参照“表 6.2 各种复位的初始化对象”。

11.2.20 深度待机中断边沿寄存器 1（DPSIEGR1）

地址 0008 C28Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ8EG	IRQ8-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b1	DIRQ9EG	IRQ9-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b2	DIRQ10EG	IRQ10-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b3	DIRQ11EG	IRQ11-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b4	DIRQ12EG	IRQ12-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b5	DIRQ13EG	IRQ13-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b6	DIRQ14EG	IRQ14-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b7	DIRQ15EG	IRQ15-DS 引脚边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W

深度软件待机模式解除源的内部复位信号不对 DPSIEGR1 寄存器进行初始化，详细内容请参照“表 6.2 各种复位的初始化对象”。

11.2.21 深度待机中断边沿寄存器 2（DPSIEGR2）

地址 0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICCEG	DRIICDEG	DNMIEG	—	—	DLVD2EG	DLVD1EG
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DLVD1EG	LVD1 边沿选择位	0：在检测到 VCC ＜ Vdet1（下降）时产生解除请求 1：在检测到 VCC ≥ Vdet1（上升）时产生解除请求	R/W
b1	DLVD2EG	LVD2 边沿选择位	0：在检测到 VCC ＜ Vdet2（下降）时产生解除请求 1：在检测到 VCC ≥ Vdet2（上升）时产生解除请求	R/W
b3-b2	—	保留位	读写值都为 “0”。	R/W
b4	DNMIEG	NMI 边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b5	DRIICDEG	SDA2-DS 边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b6	DRIICCEG	SCL2-DS 边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b7	—	保留位	读写值都为 “0”。	R/W

深度软件待机模式解除源的内部复位信号不对 DPSIEGR2 寄存器进行初始化，详细内容请参照“**表 6.2 各种复位的初始化对象**”。

11.2.22 深度待机中断边沿寄存器 3（DPSIEGR3）

地址 0008 C28Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DCANIEG
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DCANIEG	CRX1-DS 边沿选择位	0：在下降沿产生解除请求 1：在上升沿产生解除请求	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

深度软件待机模式解除源的内部复位信号不对 DPSIEGR3 寄存器进行初始化，详细内容请参照“**表 6.2 各种复位的初始化对象**”。

11.2.23 深度待机备用寄存器 （DPSBKRy）（y=0 ～ 31）

地址 0008 C2A0h～0008 C2BFh

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	x	x	x	x	x	x	x	x

x：不定值

DPSBKRy 寄存器是用于在深度软件待机模式中保存数据的 32 字节可读写寄存器。
即使在不保持内部 RAM 数据的深度软件待机模式中，也保持此寄存器的值。
不对 DPSBKRy 寄存器进行初始化。在刚接通电源后，寄存器的值为不定值。

11.3 通过转换时钟来降低功耗

如果设定 SCKCR.FCK[3:0] 位、 SCKCR.ICK[3:0] 位、 SCKCR.BCK[3:0] 位和 SCKCR.PCKB[3:0] 位，就改变时钟频率。 CPU、 DMAC、 DTC、 ROM 和 RAM 以 ICK[3:0] 位设定的运行时钟运行。

外围模块以 PCKB[3:0] 位设定的运行时钟运行。

闪存接口以 FCK[3:0] 位设定的运行时钟运行。

外部总线时钟以 BCK[3:0] 位设定的运行时钟运行。详细内容请参照 “9. 时钟发生电路”。

11.4 模块停止功能

能以内部外围模块为单位设定模块停止功能。

如果将 MSTPCRA ～ MSTPCRC 寄存器对应的 MSTPmi 位（m=A ～ C、i=31 ～ 0）置“1”，模块就停止运行并且转移到模块停止状态。此时，CPU 继续单独运行。通过将对应的 MSTPmi 位置“0”，解除模块停止状态并且在总线周期结束时模块重新开始运行。在模块停止状态下，保持模块的内部状态。

在解除复位后，除 DMAC、 DTC 和内部 RAM 以外的全部模块都处于模块停止状态。

不能读写被设定为模块停止状态的模块的寄存器。但是必须注意：如果在设定模块停止后立即进行写操作，也许能写。

11.5 低运行功率功能

根据工作频率和工作电压选择运行功率控制模式，能降低正常运行模式、睡眠模式和全模块时钟停止模式中的功耗。

11.5.1 运行功率控制模式的设定方法

运行功率控制模式的转移步骤例子如下所示。

(1) 从大功耗模式转移到小功耗模式的情况

例：从高速运行模式转移到低速运行模式 1

（在转移前的运行功率控制模式中进行高速运行。）

↓

从 HOCO 时钟转换到 LOCO 时钟 （时钟源、分频比）

↓

写 OPCCR 寄存器

↓

（在转移后的运行功率控制模式中进行低速运行。）

(2) 从小功耗模式转移到大功耗模式的情况

例：从低速运行模式 2 转移到高速运行模式

（在转移前的运行功率控制模式中进行低速运行。）

↓

写 OPCCR 寄存器

↓

从 LOCO 时钟转换到 HOCO 时钟 （时钟源、分频比）

↓

（在转移后的运行功率控制模式中进行高速运行。）

11.6 低功耗状态

11.6.1 睡眠模式

11.6.1.1 向睡眠模式的转移

如果在 SBYCR.SSBY 位为“0”的状态下执行 WAIT 指令，就进入睡眠模式。CPU 在睡眠模式中停止运行，但是保持 CPU 内部寄存器的值。 CPU 以外的外围功能不停止运行。

如果在使用 WDT 时转移到睡眠模式， WDT 就停止计数。

在自动启动模式中使用 IWDT 的情况下，如果在 OFS0.IWDTSLCSTP 位为“1”时转移到睡眠模式，IWDT 就停止计数。同样，在寄存器启动模式中使用 IWDT 的情况下，如果在 IWDTCSTPR.SLCSTP 位为“1”时转移到睡眠模式， IWDT 就停止计数。

在自动启动模式中使用 IWDT 的情况下，即使在 OFS0.IWDTSLCSTP 位为“0”（在转移到低功耗模式时，IWDT 继续进行计数）时转移到睡眠模式， IWDT 也继续进行计数。同样，在寄存器启动模式中使用 IWDT 的情况下，即使在 IWDTCSTPR.SLCSTP 位为 “0”时转移到睡眠模式， IWDT 也继续进行计数。

要使用睡眠模式时，必须在进行以下设定后执行 WAIT 指令：

1. 将CPU的PSW.I位（注1）置 “0”。
2. 将用于从睡眠模式返回的中断请求目标设定为CPU。
3. 将用于从睡眠模式返回的中断优先级（注2）设定为高于CPU的PSW.IPL[3:0]位（注1）的优先级。
4. 将用于从睡眠模式返回的中断的IERm.IENj位（注2）置 “1”。
5. 读最后写的I/O寄存器并且确认写入值已被反映。
6. 执行WAIT指令 （通过执行WAIT指令， CPU的PSW.I位（注1）自动变为 “1”）。

注 1. 详细内容请参照 “2. CPU”。

注 2. 详细内容请参照 “15. 中断控制器 （ICUb）”。

11.6.1.2 睡眠模式的解除

通过全部中断、 RES# 引脚复位、上电复位、电压监视复位或者 IWDT 下溢复位来解除睡眠模式。

- 通过中断进行的解除
  如果发生中断，就解除睡眠模式并且开始中断异常处理。如果可屏蔽中断被CPU屏蔽（中断优先级（注1）小于等于CPU的PSW.IPL[3:0]位（注2）的优先级），就不解除睡眠模式。
- 通过RES#引脚进行的解除
  如果将RES#引脚置为Low电平，就进入复位状态。如果在经过规定的复位输入期间后将RES#引脚置为High电平， CPU就开始复位异常处理。
- 通过上电复位进行的解除
  通过上电复位来解除睡眠模式。
- 通过电压监视复位进行的解除
  通过电压检测电路的电压监视复位来解除睡眠模式。
- 通过独立看门狗定时器复位进行的解除
  通过IWDT下溢的内部复位来解除睡眠模式。但是在睡眠模式中，因为在IWDT停止计数的条件（OFS0.IWDTSTRT=0并且OFS0.IWDTSLCSTP=1，或者OFS0.IWDTSTRT=1并且IWDTCSTPR.SLCSTP=1）下IWDT停止运行，所以不能通过独立看门狗定时器复位进行解除。

注 1. 详细内容请参照 “15. 中断控制器 （ICUb）”。

注 2. 详细内容请参照 “2. CPU”。

11.6.1.3 睡眠模式返回时钟源的转换功能

在转换睡眠模式返回时钟源的情况下，需要通过睡眠模式返回时钟源转换寄存器 （RSTCKCR）设定返回后的时钟以及设定各时钟的等待控制寄存器。如果发生返回中断，就在等待作为返回时钟而设定的振荡器振荡稳定后，自动转换时钟源并且从睡眠模式返回。此时，自动改写时钟源转换的相关寄存器。

详细内容请参照 “11.2.6 睡眠模式返回时钟源转换寄存器 （RSTCKCR）”。有关振荡稳定等待时间的设定，请参照 “11.2.7 主时钟振荡器的等待控制寄存器 （MOSCWTCR）”、“11.2.8 副时钟振荡器的等待控制寄存器 （SOSCWTCR）”和 “11.2.9 PLL 等待控制寄存器 （PLLWTCR）”。

11.6.2 全模块时钟停止模式

11.6.2.1 向全模块时钟停止模式的转移

在将 MSTPCRA.ACSE 位置 “1” 并且将由 MSTPCRA、MSTPCRB、MSTPCRC 寄存器控制的模块置为模块停止状态（MSTPCRA=FFFF FF[C-F]Fh（注 1）、MSTPCRB=FFFF FFFFh、MSTPCRC[31:16]=FFFFh）的情况下，如果在将 SBYCR.SSBY 位置 “0” 的状态下执行 WAIT 指令，总线控制器、I/O 端口以及除 8 位定时器（注 2）、IWDT、RTC、上电复位电路、电压检测电路以外的全部模块就在总线周期结束时停止运行，转移到全模块时钟停止模式（注 3）。

如果在使用 WDT 时转移到全模块时钟停止模式， WDT 就停止计数。

在自动启动模式中使用 IWDT 的情况下，如果在 OFS0.IWDTSLCSTP 位为 “1” 时转移到全模块时钟停止模式， IWDT 就停止计数。同样，在寄存器启动模式中使用 IWDT 的情况下，如果在 IWDTCSTPR.SLCSTP 位为 “1” 时转移到全模块时钟停止模式， IWDT 就停止计数。

在自动启动模式中使用 IWDT 的情况下，即使在 OFS0.IWDTSLCSTP 位为 “0”（在转移到低功耗模式时，IWDT 继续进行计数）时转移到全模块时钟停止模式， IWDT 也继续进行计数。同样，在寄存器启动模式中使用 IWDT 的情况下，即使在 IWDTCSTPR.SLCSTP 位为 “0” 时转移到全模块时钟停止模式，IWDT 也继续进行计数。

要使用全模块时钟停止模式时，必须在进行以下设定后执行 WAIT 指令：

1. 将 CPU 的 PSW.I 位（注 4）置 “0”。
2. 将用于从全模块时钟停止模式返回的中断请求目标设定为 CPU。
3. 将用于从全模块时钟停止模式返回的中断优先级（注 5）设定为高于 CPU 的 PSW.IPL[3:0] 位（注 4）的优先级。
4. 将用于从全模块时钟停止模式返回的中断的 IERm.IENj 位（注 4）置 “1”。
5. 执行 WAIT 指令 （通过执行 WAIT 指令， CPU 的 PSW.I 位（注 4）自动变为 “1”）。

注 1. 尽管 MSTPCRA.MSTPA15 位和 MSTPCRA.MSTPA14 位在运行状态下也转移到全模块时钟停止模式，但是必须在停止状态下进行转移。

注 2. 能通过 MSTPCRA.MSTPA5 位和 MSTPCRA.MSTPA4 位选择运行或者停止。

注 3. 有可能因 DTC 和 DMAC 的运行状态而无法转移到全模块时钟停止模式。
因此必须在将 MSTPCRA.MSTPA28 位置 “1” 前，将 DMAC 的 DMAST.DMST 位和 DTC 的 DTCST.DTCST 位置 “0”，并且在未启动 DTC 和 DMAC 的状态下进行转移。

注 4. 详细内容请参照 “2. CPU”。

注 5. 详细内容请参照 “15. 中断控制器 （ICUb）”。

11.6.2.2 全模块时钟停止模式的解除

通过外部引脚中断（NMI、IRQ0 ～ IRQ15）、外围功能中断（8 位定时器（注 1）、RTC 闹钟、RTC 周期、IWDT（注 2）、USB 挂起 / 恢复、电压监视 1、电压监视 2、振荡停止检测）、RES# 引脚复位、上电复位、电压监视复位或者独立看门狗定时器复位来解除全模块时钟停止模式，在经过异常处理后转移到正常的程序执行状态。如果可屏蔽中断被 CPU 屏蔽 （中断优先级（注 3）小于等于 CPU 的 PSW.IPL[3:0] 位（注 4）的优先级）或者被设定为 DTC 和 DMAC 的启动源，就不解除全模块时钟停止模式。

注 1. 能通过 MSTPCRA.MSTPA5 位和 MSTPCRA.MSTPA4 位选择运行或者停止。

注 2. 在全模块时钟停止模式中，因为在独立看门狗定时器停止计数的条件（OFS0.IWDTSTRT=0 并且 OFS0.IWDTSLCSTP =1，或者 OFS0.IWDTSTRT=1 并且 IWDTCSTPR.SLCSTP=1）下独立看门狗定时器停止运行，所以不能通过独立看门狗定时器复位进行解除。

注 3. 详细内容请参照 “15. 中断控制器 （ICUb）”。

注 4. 详细内容请参照 “2. CPU”。

11.6.3 软件待机模式

11.6.3.1 向软件待机模式的转移

如果在将 SBYCR.SSBY 位置 “1” 并且将 DPSBYCR.DPSBY 位置 “0” 的状态下执行 WAIT 指令，就转移到软件待机模式（注 2）。在此模式中， CPU、内部外围功能和振荡器的全部功能停止运行，但是保持 CPU 内部寄存器的值、内部 RAM 的数据、内部外围功能状态和 I/O 端口状态。能通过 SBYCR.OPE 位选择是将地址总线和总线控制信号设定为高阻抗状态还是保持输出状态。因为在软件待机模式中振荡器停止振荡，所以功耗明显降低。

必须在执行 WAIT 指令前将 DMAC 的 DMAST.DMST 位和 DTC 的 DTCST.DTCST 位置 “0”。

如果在使用 WDT 时转移到软件待机模式，因为振荡器停止振荡，所以 WDT 就停止计数。

在自动启动模式中使用 IWDT 的情况下，如果在 OFS0.IWDTSLCSTP 位为 “1” 时转移到软件待机模式，IWDT 就停止计数。同样，在寄存器启动模式中使用 IWDT 的情况下，如果在 IWDTCSTPR.SLCSTP 位为 “1” 时转移到软件待机模式， IWDT 就停止计数。

在自动启动模式中使用 IWDT 的情况下，即使在 OFS0.IWDTSLCSTP 位为 “0”（在转移到低功耗模式时，IWDT 继续进行计数）时转移到软件待机模式，IWDT 也继续进行计数。同样，在寄存器启动模式中使用 IWDT 的情况下，即使在 IWDTCSTPR.SLCSTP 位为 “0” 时转移到软件待机模式， IWDT 也继续进行计数。

当振荡停止检测功能有效 （OSTDCR.OSTDE=1）时，不能转移到软件待机模式。如果要转移到软件待机模式，就必须在将振荡停止检测功能设定为无效 （OSTDCR.OSTDE=0）后执行 WAIT 指令。

要使用软件待机模式时，必须在进行以下设定后执行 WAIT 指令：

1. 将 CPU 的 PSW.I 位（注 2）置 “0”。
2. 将用于从软件待机模式返回的中断请求目标设定为 CPU。
3. 将用于从软件待机模式返回的中断优先级（注 3）设定为高于 CPU 的 PSW.IPL[3:0] 位（注 2）的优先级。
4. 将用于从软件待机模式返回的中断的 IERm.IENj 位（注 3）置 “1”。
5. 读最后写的 I/O 寄存器并且确认写入值已被反映。
6. 执行 WAIT 指令 （通过执行 WAIT 指令， CPU 的 PSW.I 位（注 2）自动变为 “1”）。

注 1. 在 ROM 容量大于等于 1.5M 字节或者引脚数大于等于 176 的产品中，即使在选择主时钟振荡器或者 PLL 电路作为系统时钟的时钟源的情况下执行 WAIT 指令，也不能转移到软件待机模式。要转移到软件待机模式时，必须先将时钟源转换为低速内部振荡器 （LOCO）、高速内部振荡器 （HOCO）或者副时钟振荡器，然后执行 WAIT 指令。

注 2. 详细内容请参照 “2. CPU”。

注 3. 详细内容请参照 “15. 中断控制器 （ICUb）”。

11.6.3.2 软件待机模式的解除

通过外部引脚中断（NMI、IRQ0 ～ IRQ15）、外围功能中断（RTC 闹钟、RTC 周期、IWDT、USB 挂起 / 恢复、电压监视 1、电压监视 2）、 RES# 引脚复位、上电复位、电压监视复位或者独立看门狗定时器复位来解除软件待机模式。如果发生软件待机模式解除源，转移到软件待机模式前运行的各振荡器就重新开始运行。在等待这些全部振荡器振荡稳定后，从软件待机模式返回。

- 通过中断进行的解除
  如果发生NMI、IRQ0～IRQ15、RTC闹钟、RTC周期、IWDT、USB挂起/恢复、电压监视1和电压监视2的中断请求，转移到软件待机模式前运行的各振荡器就重新开始运行。在各振荡器经过MOSCWTCR.MSTS[4:0]位、 SOSCWTCR.SSTS[4:0]位和PLLWTCR.PSTS[4:0]位设定的时间后，给整个LSI提供稳定的时钟，解除软件待机模式并且开始中断异常处理。
- 通过RES#引脚进行的解除
  如果将RES#引脚置为Low电平，时钟就开始振荡，并且在时钟开始振荡的同时给LSI提供时钟。此时，必须将RES#引脚的Low电平保持到时钟振荡稳定为止。如果将RES#引脚置为High电平，CPU就开始复位异常处理。
- 通过上电复位进行的解除
  如果因电源电压的降低而产生上电复位，就解除软件待机模式。
- 通过电压监视复位进行的解除
  如果因电源电压的降低而产生电压监视复位，就解除软件待机模式。
- 通过独立看门狗定时器复位进行的解除
  通过IWDT下溢的内部复位来解除软件待机模式。
  但是在软件待机模式中，因为在独立看门狗定时器停止计数的条件 （OFS0.IWDTSTRT=0 并且 OFS0.IWDTSLCSTP=1，或者 OFS0.IWDTSTRT=1 并且 IWDTCSTPR.SLCSTP=1）下独立看门狗定时器停止运行，所以不能通过独立看门狗定时器复位进行解除。

11.6.3.3 软件待机模式的应用例子

在 IRQn 引脚的下降沿转移到软件待机模式并且在 IRQn 引脚的上升沿解除软件待机模式的例子如图 11.2 所示。

此例中，在 ICU 的 IRQCRi.IRQMD[1:0] 位为 “01b”（下降沿）的状态下接受 IRQn 中断后，将 IRQCRi.IRQMD[1:0] 位置 “10b”（上升沿）并且将 SBYCR.SSBY 位置 “1”，然后执行 WAIT 指令，转移到软件待机模式。此后，在 IRQn 引脚的上升沿解除软件待机模式。

要从软件待机模式返回时，还需要设定中断控制器（ICU）。详细内容请参照 “15. 中断控制器（ICUb）”。

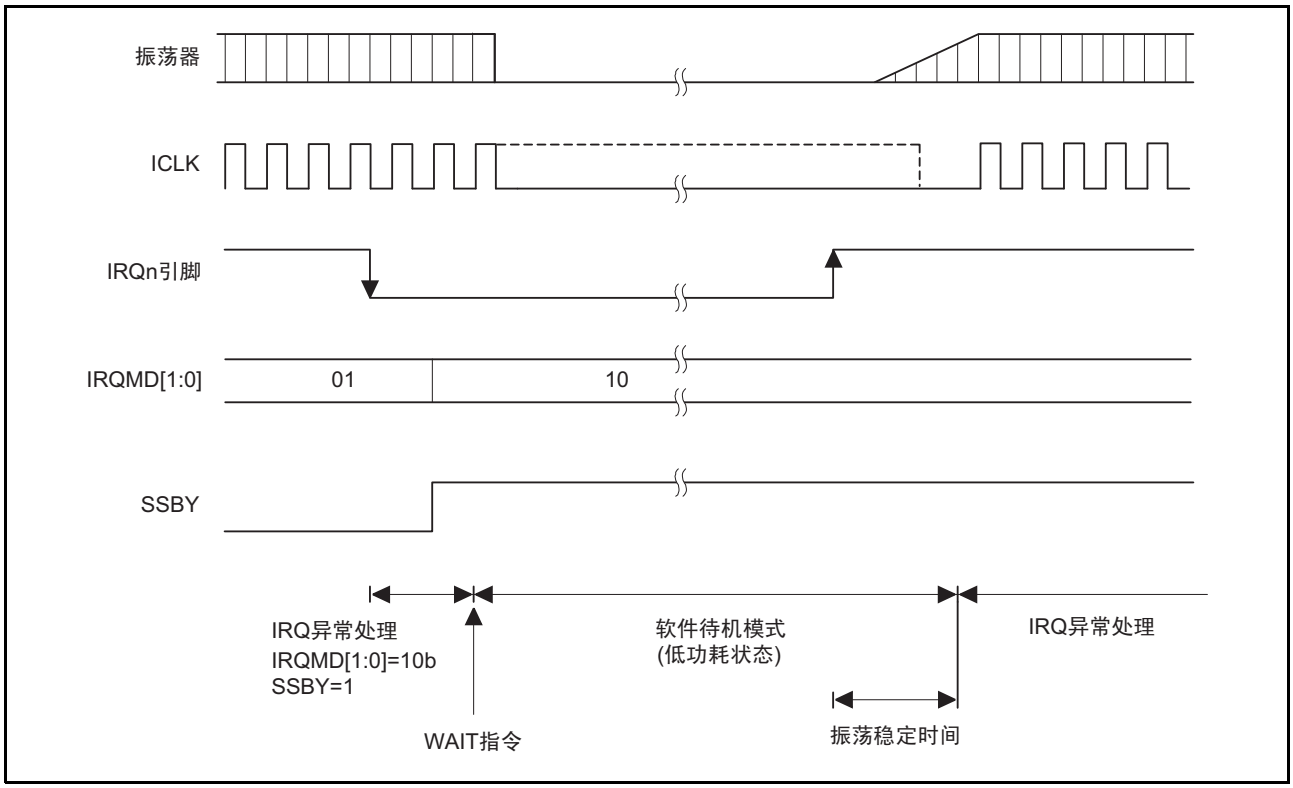


图 11.2 软件待机模式的应用例子

11.6.4 深度软件待机模式

11.6.4.1 向深度软件待机模式的转移

如果在 SBYCR.SSBY 位为 “1” 的状态下执行 WAIT 指令，就转移到软件待机模式（注 1）。此时，如果 DPSBYCR.DPSBY 位为 “1”，就转移到深度软件待机模式。

因为在深度软件待机模式中 CPU、内部外围功能 （RTC 闹钟、 RTC 周期、 SCL2-DS、 SDA2-DS、 CRX1-DS、 USB 挂起 / 恢复检测部除外）、内部 RAM1（注 2）和振荡器的全部功能停止运行并且停止给它们提供内部电源，所以功耗明显降低。此时， CPU、内部外围功能 （RTC 闹钟、 RTC 周期、 SCL2-DS、 SDA2-DS、 CRX1-DS、 USB 挂起 / 恢复检测部除外）的寄存器内容都为不定值。内部 RAM1（注 2）的数据与 DPSBYCR.DEEPCUT[1:0] 位的设定无关，全部为不定值。

能通过将 DEEPCUT[1:0] 位置 “00b”，保持内部 RAM0（注 2）的数据。在将 DEEPCUT[1:0] 位置 “01b” 的情况下，因为也停止给内部 RAM0（注 2）和 USB 恢复检测部提供内部电源，所以能降低功耗。此时，内部 RAM0（注 2）的数据为不定值。在将 DEEPCUT[1:0] 位置 “11b” 的情况下，因为除了停止给内部 RAM0（注 2）和 USB 恢复检测部提供内部电源以外，还停止 LVD 并且将上电复位电路的低功耗功能置为有效，所以能进一步降低功耗。此时，上电复位电路的电压检测特性发生变化，详细内容请参照 “45. 电特性”。

如果在使用 WDT 时转移到深度软件待机模式，振荡器就停止振荡，停止给 WDT 供电并且停止计数。

在自动启动模式中使用 IWDT 的情况下，如果在 OFS0.IWDTSLCSTP 位为 “1” 时转移到深度软件待机模式，就停止给 IWDT 专用 LOCO 和 IWDT 供电并且停止计数。同样，在寄存器启动模式中使用 IWDT 的情况下，如果在 IWDTCSTPR.SLCSTP 位为 “1” 时转移到深度软件待机模式，就停止给 IWDT 专用 LOCO 和 IWDT 供电并且停止计数。

在自动启动模式中使用 IWDT 的情况下，当 OFS0.IWDTSLCSTP 位为 “0”（在转移到低功耗模式时，IWDT 继续进行计数）时不转移到深度软件待机模式而转移到软件待机模式，并且继续进行计数。同样，在寄存器启动模式中使用 IWDT 的情况下，当 IWDTCSTPR.SLCSTP 位为 “0” 时不转移到深度软件待机模式而转移到软件待机模式，并且继续进行计数。

如果在电压检测电路中选择电压监视 1 复位功能 （LVD1CR0.LVD1RI=1）或者电压监视 2 复位功能（LVD2CR0.LVD2RI=1），就不能转移到深度软件待机模式而转移到软件待机模式。

端口保持软件待机模式中的状态。

注 1. 在执行 WAIT 指令前，需要满足转移到软件待机模式时的 DTC、DMAC、IWDT 的相关条件。详细内容请参照 “11.6.3 软件待机模式”。

注 2. 内部 RAM 的地址空间分为 RAM0 区和 RAM1 区，地址空间请参照表 11.2。

11.6.4.2 深度软件待机模式的解除

通过作为外部引脚中断发生源的部分引脚（NMI、IRQ0-DS ～ IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS）、外围功能中断（RTC 闹钟、RTC 周期、USB 挂起 / 恢复、电压监视 1、电压监视 2）、RES# 引脚复位、上电复位或者电压监视 0 复位来解除深度软件待机模式。

1. 通过外部中断引脚和内部中断信号进行的解除
   通过DPSIERn （n=3～0）寄存器和DPSIFRn （n=3～0）寄存器控制深度软件待机模式的解除。如果发生能解除深度软件待机模式的中断请求，DPSIFRn寄存器的对应标志就变为“1”。此时，在DPSIERn寄存器允许解除源的情况下解除深度软件待机模式。能通过DPSIEGRn （n=0～3）选择上升沿或者下降沿。可选择边沿的中断为NMI、IRQ0-DS～IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS、电压监视1和电压监视2。如果发生深度软件待机模式的解除请求，就提供内部电源，LOCO时钟开始振荡，并且对整个LSI全体进行内部复位（深度软件待机复位）。此后，给整个LSI提供稳定的LOCO时钟并且解除深度软件待机复位。如果在解除深度软件待机复位的同时解除深度软件待机模式，就开始复位异常处理。
   如果通过外部中断引脚和内部中断信号解除深度软件待机模式，RSTSR0.DPSRSTF标志就变为“1”。
2. 通过RES#引脚进行的解除
   如果将RES#引脚置为Low电平，就解除深度软件待机模式。此时，必须根据“45. 电特性”，将RES#引脚保持为Low电平。如果将RES#引脚置High电平， CPU就开始复位异常处理。
3. 通过上电复位进行的解除
   如果因电源电压的降低而发生上电复位，就解除深度软件待机模式。
4. 通过电压监视0复位进行的解除
   如果因电源电压的降低而发生电压监视0复位，就解除深度软件待机模式。

11.6.4.3 解除深度软件待机模式时的引脚状态

在深度软件待机模式中，I/O 端口保持软件待机模式中的状态。通过深度软件待机模式的内部复位对 LSI 内部进行初始化，如果解除深度软件待机模式，就开始复位异常处理。此时的端口状态如下所示。

能通过 DPSBYCR.IOKEEP 位选择是将 I/O 端口设定为初始状态还是保持软件待机模式中的 I/O 端口状态。

- DPSBYCR.IOKEEP位为 “0”的情况
  通过解除深度软件待机模式的内部复位，使I/O端口变为初始状态。
- DPSBYCR.IOKEEP位为 “1”的情况
  通过解除深度软件待机模式的内部复位对LSI内部进行初始化， I/O端口与LSI的内部状态无关，保持软件待机模式中的状态。此时，即使设定I/O端口或者外围模块，也保持软件待机模式中的I/O端口状态。此后，通过将IOKEEP位置 “0”，解除I/O端口的状态保持，并且根据内部状态运行。

解除深度软件待机模式的内部复位不对 DPSBYCR.IOKEEP 位进行初始化。

11.6.4.4 深度软件待机模式的应用例子

在 IRQn-DS 引脚的下降沿转移到深度软件待机模式并且在 IRQn-DS 引脚的上升沿解除深度软件待机模式的运行例子如图 11.3 所示。

此例中，在 ICU 的 IRQCRi.IRQMD[1:0] 位为“01b”（下降沿）的状态下接受 IRQn 中断后，将 DPSIEGRy.DIRQnEG 位（y=0、1、n=0 ～ 15）置“1”（上升沿）并且将 SBYCR.SSBY 位和 DPSBYCR.DPSBY 位置“1”，然后执行 WAIT 指令，转移到深度软件待机模式。

此后，在 IRQn-DS 引脚的上升沿解除深度软件待机模式。

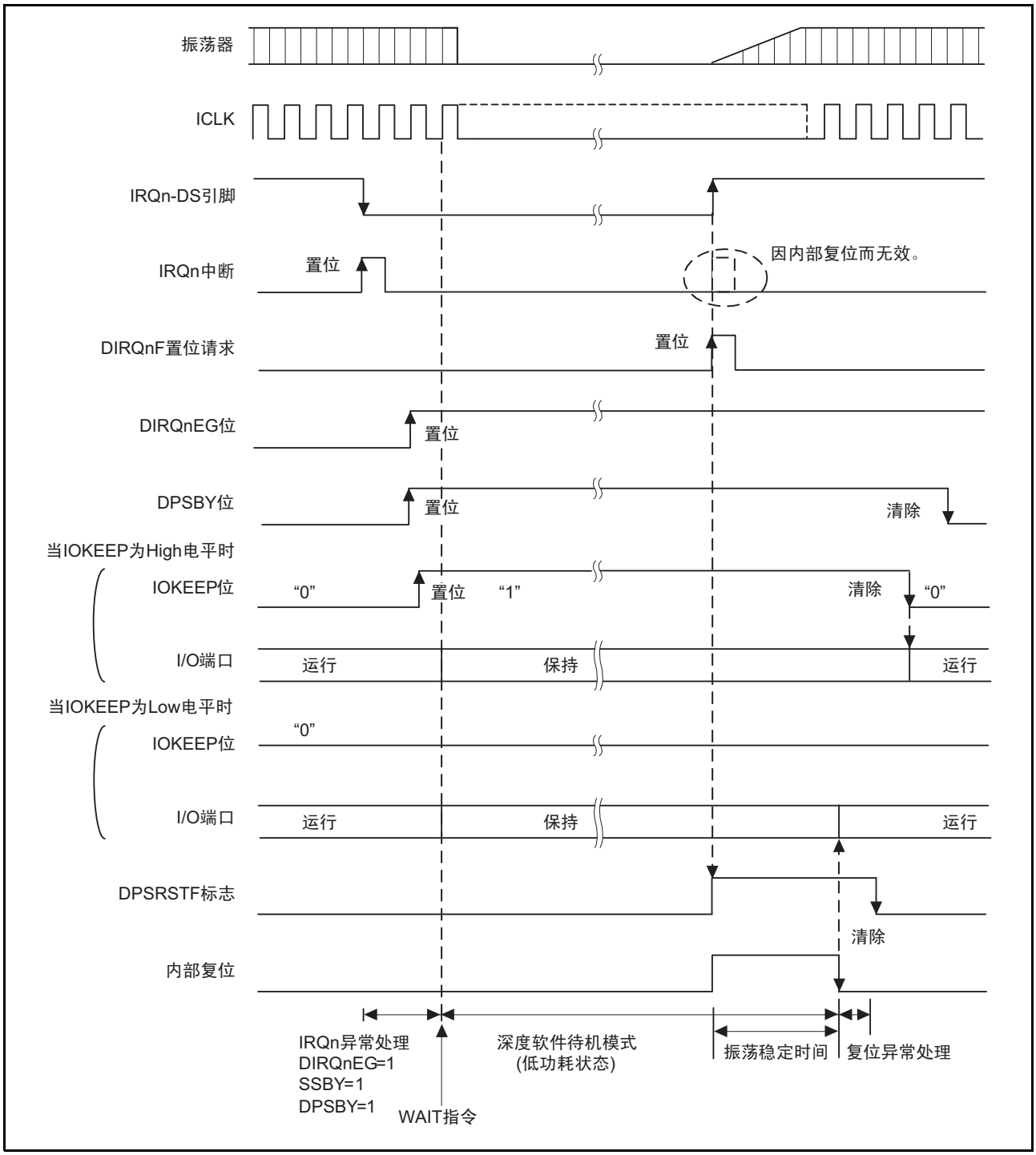


图 11.3 深度软件待机模式的应用例子

11.6.4.5 深度软件待机模式的流程图

使用深度软件待机模式时的流程图例子如图 11.4 所示。

此例中，在进行复位异常处理后，根据复位功能的 RSTSR0.DPSRSTF 标志判断是通过 RES# 引脚进行的复位还是通过解除深度软件待机模式进行的复位。

当通过 RES# 引脚进行复位时，在进行各种设定后转移到深度软件待机模式。

当通过解除深度软件待机模式进行复位时，在设定 I/O 端口后将 DPSBYCR.IOKEEP 位置 “0”。

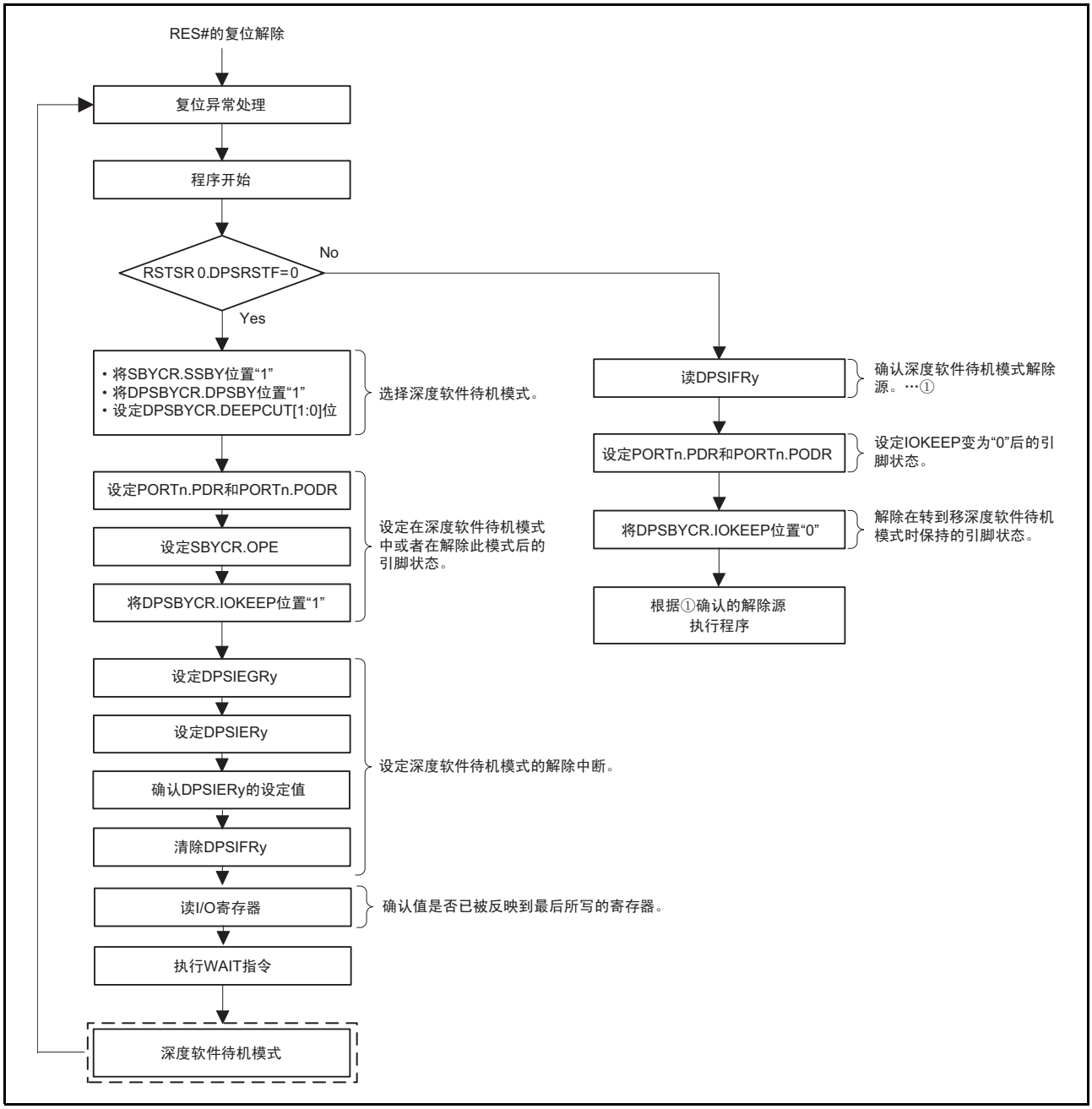


图 11.4 深度软件待机模式的流程图例子

11.7 使用时的注意事项

11.7.1 I/O 端口状态

在软件待机模式和深度软件待机模式中保持 I/O 端口状态。如果输入 High 电平，就无法降低输出电流的消耗电流。

11.7.2 DMAC 和 DTC 的模块停止

必须在将 MSTPCRA.MSTPA28 位置“1”前将 DMAC 的 DMAST.DMST 位和 DTC 的 DTCST.DTCST 位置“0”，并且将 DTC 和 DMAC 设定为未启动的状态。

详细内容请参照 “17. DMA 控制器 （DMACA）”和 “18. 数据传送控制器 （DTCa）”。

11.7.3 内部外围模块的中断

此中断不能在模块停止状态下运行。如果在发生中断请求的状态下停止模块，就不能清除 CPU 的中断源或者 DMAC、 DTC 的启动源。必须事先禁止中断，然后设定为模块停止状态。

11.7.4 MSTPCRA、 MSTPCRB 和 MSTPCRC 寄存器的写操作

只能通过 CPU 写 MSTPCRA、 MSTPCRB 和 MSTPCRC 寄存器。

11.7.5 通过 DIRQnE 位 （n=0 ～ 15）控制输入缓冲器

能通过将 DPSIERy.DIRQnE （y=0、 1、 n=0 ～ 15）位置“1”，将 IRQ0-DS ～ IRQ15-DS 引脚的输入缓冲器置为有效。因此必须注意：这些引脚的输入被传送到 DPSIFRy.DIRQnF （y=0、 1、 n=0 ～ 15）位而不被传送到中断控制器、外围模块和 I/O 端口。

11.7.6 WAIT 指令的执行时序

如果不等到先执行的寄存器的写操作结束而执行 WAIT 指令，就可能在通过写寄存器进行的设定更改被反映前执行 WAIT 指令，导致意想不到的运行。因此必须在确认已写完最后的寄存器后执行 WAIT 指令。

11.7.7 睡眠模式中通过 DMAC 和 DTC 进行的寄存器改写

在睡眠模式中， WDT 停止运行。不能在睡眠模式中通过 DMAC 和 DTC 改写 WDT 的相关寄存器。

在睡眠模式中，通过设定 OFS0.IWDTSLCSTP 位和 IWDTCSTPR.SLCSTP 位来停止 IWDT 的运行。此时，不能在睡眠模式中通过 DMAC 和 DTC 改写 IWDT 的相关寄存器。

RSTCKCR 寄存器是睡眠模式返回转换时钟源功能的相关寄存器。如果在睡眠模式中进行改写，就可能导致意想不到的运行，因此不能在睡眠模式中改写 RSTCKCR 寄存器。

11.7.8 ROM 容量大于等于 1.5M 字节或者引脚数大于等于 176 的产品的软件待机模式的转移

在 ROM 容量大于等于 1.5M 字节或者引脚数大于等于 176 的产品中，即使在选择主时钟振荡器或者 PLL 电路作为系统时钟的时钟源的情况下执行 WAIT 指令，也不能转移到软件待机模式。要转移到软件待机模式时，必须先将时钟源转换为低速内部振荡器 （LOCO） 、高速内部振荡器 （HOCO）或者副时钟振荡器，然后执行 WAIT 指令。

11.7.9 全模块时钟停止模式的解除

如果 ICLK 慢于 PCLKB，就不能使用 TMR 中断来解除全模块时钟停止模式。要使用 TMR 中断来解除全模块时钟停止模式时，必须事先将 ICLK 更改为大于等于 PCLKB 的频率，然后转移到全模块时钟停止模式。

11.7.10 将副时钟用作系统时钟的时钟源时的注意事项

在将副时钟用作系统时钟的时钟源的情况下，必须在转移到软件待机模式时使 RTC（RCR3.RTCEN=1）或者低速内部振荡器（LOCOCR.LCSTP=0）运行。

12. 电池备用功能

12.1 概要

当 VCC 引脚的电压降低时，能由专用的电池备用电源引脚（VBATT 引脚）给实时时钟（RTC）和副时钟振荡器供电。一旦检测到 VCC 引脚的电压降低，连接就切换到 VBATT 引脚。

电池备用功能的结构图如图 12.1 所示。

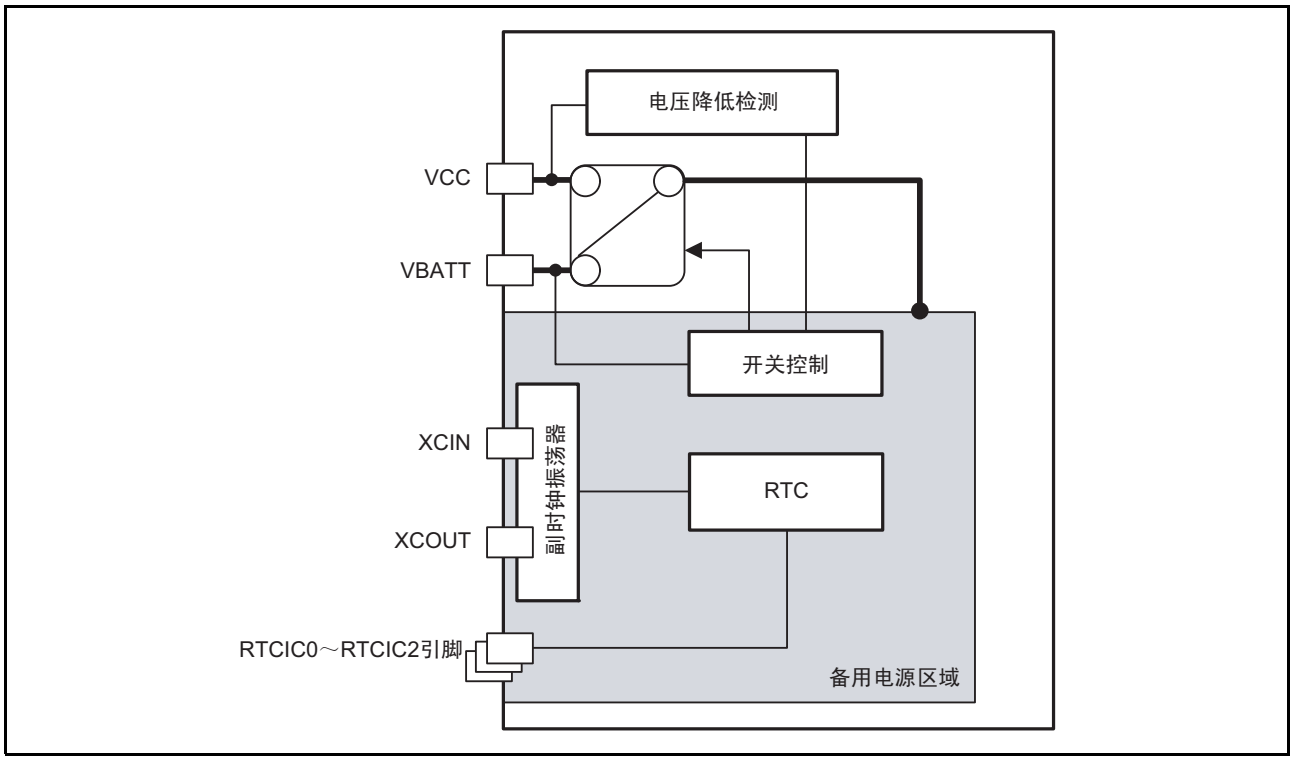


图 12.1 电池备用功能的结构图

12.2 运行说明

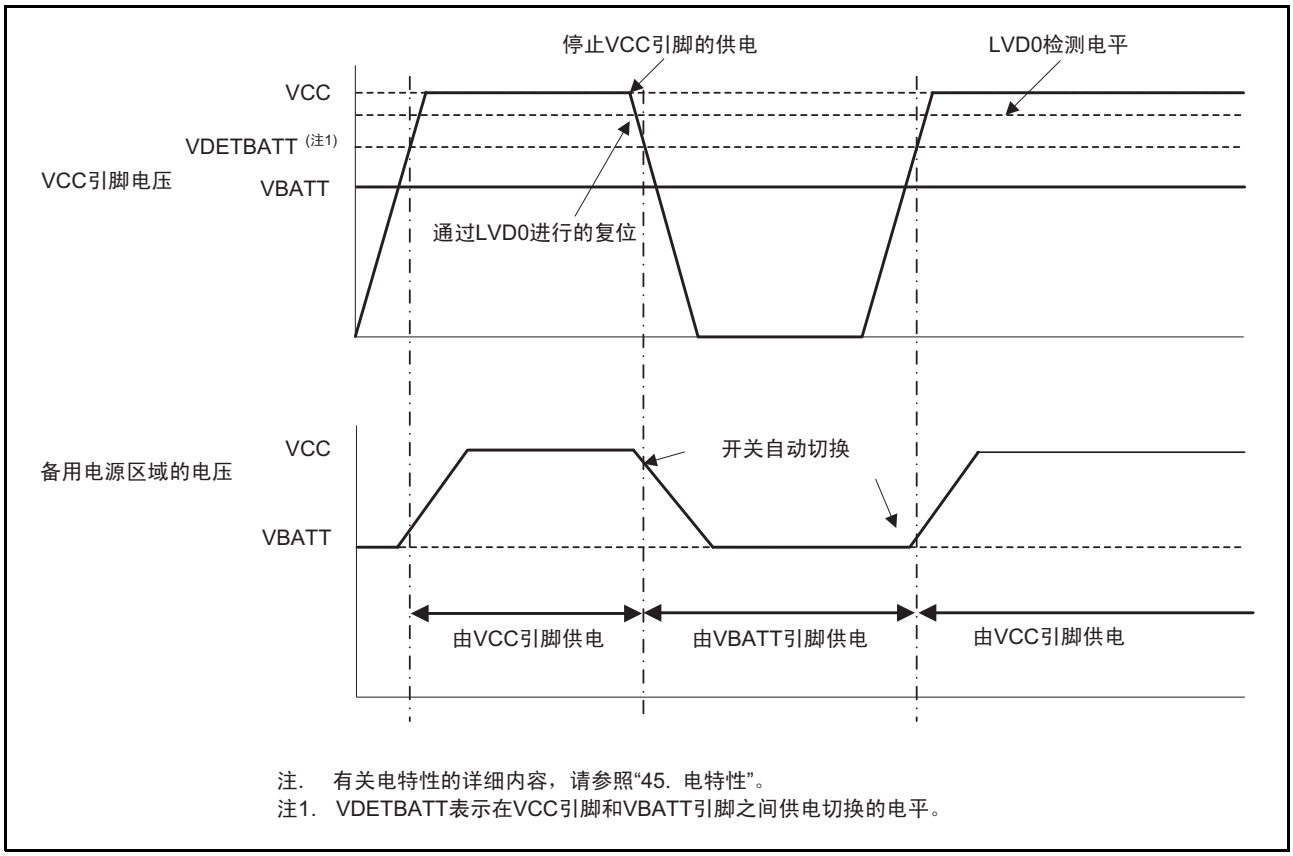
12.2.1 电池备用功能

当 VCC 引脚的电压降低时，能由 VBATT 引脚给 RTC 和副时钟振荡器供电。一旦检测到 VCC 引脚提供的电压降低，就切换到由 VBATT 引脚供电。如果在由 VBATT 引脚供电的 RTC 运行过程中 VCC 电压超过 VDETBATT，就恢复由 VCC 引脚供电。此时，不影响 RTC 的运行。如果 VBATT 引脚的电压低于运行保证范围，就不保证 RTC 的运行。另外，必须在将电压监视 0 复位置为有效后使用电池备用功能。

由 VBATT 引脚给以下模块供电：

- RTC
- 副时钟振荡器 （包括XCIN引脚和XCOUT引脚）

电池备用功能的切换运行如图 12.2 所示。



注. 有关电特性的详细内容，请参照“45. 电特性”。
注1. VDETBATT表示在VCC引脚和VBATT引脚之间供电切换的电平。

图 12.2 电池备用功能的切换运行

12.3 使用时的注意事项

1. 当不使用VBATT引脚时，必须将VBATT引脚连接VCC引脚。
2. 如果VBATT低于运行保证范围，就不保证副时钟和RTC的运行。如果要在VBATT低于运行保证电压后再次接通电源，就必须对RTC进行初始设定。
3. 必须在提供VCC时写RTC寄存器。
4. 当 VCC 高于 VDETBATT 时， VCC 引脚和 VBATT 引脚分离。当 VCC 低于 VDETBATT 并且开关连接VBATT引脚时，如果VBATT低于VCC–0.6V，电流就可能通过VCC引脚和VBATT引脚之间的寄生二极管流入VBATT引脚。
5. 在由VBATT引脚供电的RTC运行过程中，备用电源区域内的I/O端口（P30、P31、P32）只能用作RTC的时间捕捉事件输入引脚。

13. 寄存器写保护功能

寄存器写保护功能是在程序失控时保护重要的寄存器不被改写的功能。通过保护寄存器 （PRCR）设定要保护的寄存器。

PRCR 寄存器和被保护的寄存器的对应如**表 13.1** 所示。

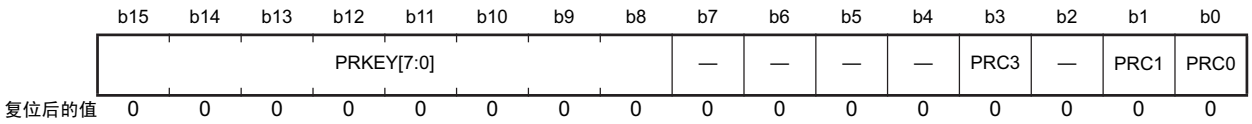
表 13.1 PRCR 寄存器和被保护的寄存器的对应

PRCR 寄存器	被保护的寄存器
PRC0 位	• 时钟发生电路的相关寄存器 SCKCR、SCKCR2、SCKCR3、PLLCR、PLLCR2、BCKCR、MOSCCR、SOSCCR、LOCOCR、ILOCOCR、 HOCOCR、 OSTDCR、 OSTDSR
PRC1 位	• 运行模式的相关寄存器 SYSCR0、 SYSCR1 • 低功耗功能的相关寄存器 SBYCR、 MSTPCRA、 MSTPCRB、 MSTPCRC、 OPCCR、 RSTCKCR、 MOSCWTCR、SOSCWTCR、 PLLWTCR、 DPSBYCR、 DPSIER0 ～ 3、 DPSIFR0 ～ 3、 DPSIEGR0 ～ 3 • 时钟发生电路的相关寄存器 MOFCR、 HOCOPCR • 软件复位寄存器 SWRR
PRC3 位	• LVD 的相关寄存器 LVCMPCR、 LVDLVLR、 LVD1CR0、 LVD1CR1、 LVD1SR、 LVD2CR0、 LVD2CR1、 LVD2SR • 电池备用功能 VBATTMNSELR

13.1 寄存器说明

13.1.1 保护寄存器 （PRCR）

地址 0008 03FEh



位	符号	位名	功能	R/W
b0	PRC0	保护位 0	允许写时钟发生电路的相关寄存器。 0：禁止写 1：允许写	R/W
b1	PRC1	保护位 1	允许写运行模式、低功耗功能和软件复位的相关寄存器。 0：禁止写 1：允许写	R/W
b2	—	保留位	读写值都为 “0”。	R/W
b3	PRC3	保护位 3	允许写 LVD 的相关寄存器。 0：禁止写 1：允许写	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W
b15-b8	PRKEY[7:0]	PRC 键码位	控制是否能改写 PRC3 位、 PRC1 位和 PRC0 位。	R/W

PRCi 位 （保护位 i）（i=0、 1、 3）

此位选择允许或者禁止写被保护的寄存器。

当 PRCi 位为 “1”时，能写被保护的寄存器；当 PRCi 位为 “0”时，不能写被保护的寄存器。

PRKEY[7:0] （PRC 键码位）

这些位选择允许或者禁止写 PRCR 寄存器。

要给 PRCi 位写值时，必须将 PRKEY[7:0] 位置“A5h”。如果 PRKEY[7:0] 位不是“A5h”，即使写 PRCR 寄存器， PRCi 位的值也不变。

14. 异常处理

14.1 异常事件

在 CPU 正常执行程序的过程中，有可能因某个事件的发生而中止正在执行的程序并且需要执行其他程序。此类事件统称为异常事件。

RX CPU 对应 7 种异常，异常事件的种类如图 14.1 所示。

如果发生异常，处理器模式就转移到管理模式。

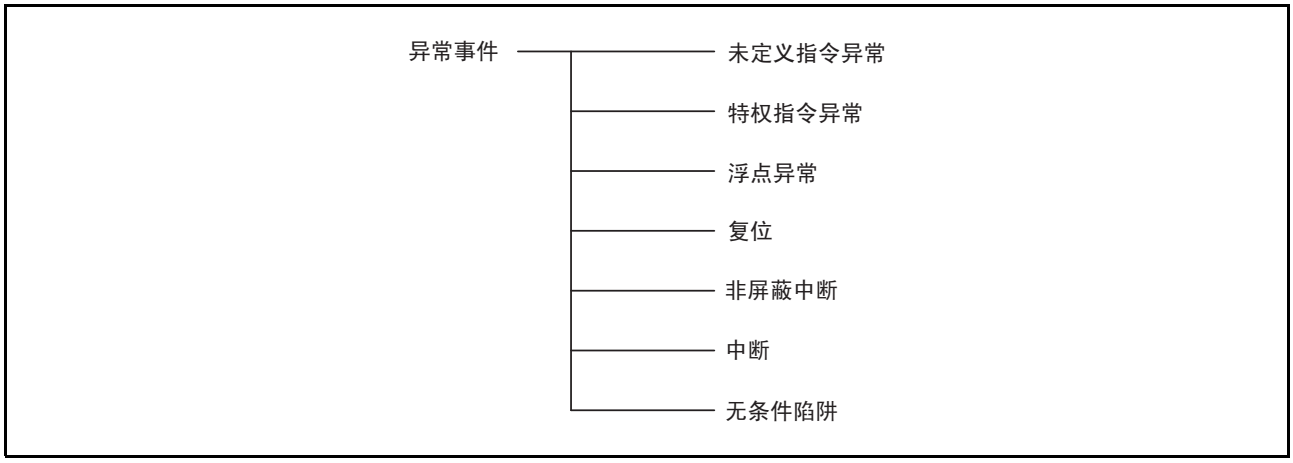


图 14.1 异常事件的种类

14.1.1 未定义指令异常

在检测到执行未定义指令 （未安装的指令）时发生未定义指令异常。

14.1.2 特权指令异常

在用户模式中检测到已执行特权指令时发生特权指令异常。只能在管理模式中执行特权指令。

14.1.3 浮点异常

在检测到 IEEE754 规格规定的 5 种异常事件 （上溢、下溢、精度异常、被零除、无效运算）以及非安装处理时发生浮点异常。当 FPSW 的 EX 位、 EU 位、 EZ 位、 EO 位和 EV 位为 “0”时，禁止浮点异常处理。

14.1.4 复位

在给 CPU 输入复位信号时发生复位。因为复位的优先级最高，所以随时被接受。

14.1.5 非屏蔽中断

在给 CPU 输入非屏蔽中断信号时发生非屏蔽中断。只在认为是对系统造成致命的故障时使用此中断。使用条件是必须在异常处理程序的处理后不返回到发生异常时正在执行的程序。

14.1.6 中断

在给 CPU 输入中断信号时发生中断。能将中断中的 1 个中断源分配为高速中断，高速中断的硬件预处理和硬件后处理比一般中断快，并且高速中断的优先级为 15 （最高）。

当 PSW 的 I 位为 “0”时，禁止接受中断。

14.1.7 无条件陷阱

如果执行 INT 指令和 BRK 指令，就产生无条件陷阱。

14.2 异常处理步骤

异常处理包括硬件自动处理的部分以及通过用户记述的程序（异常处理程序）进行处理的部分。除复位以外，接受异常时的处理步骤如图 14.2 所示。

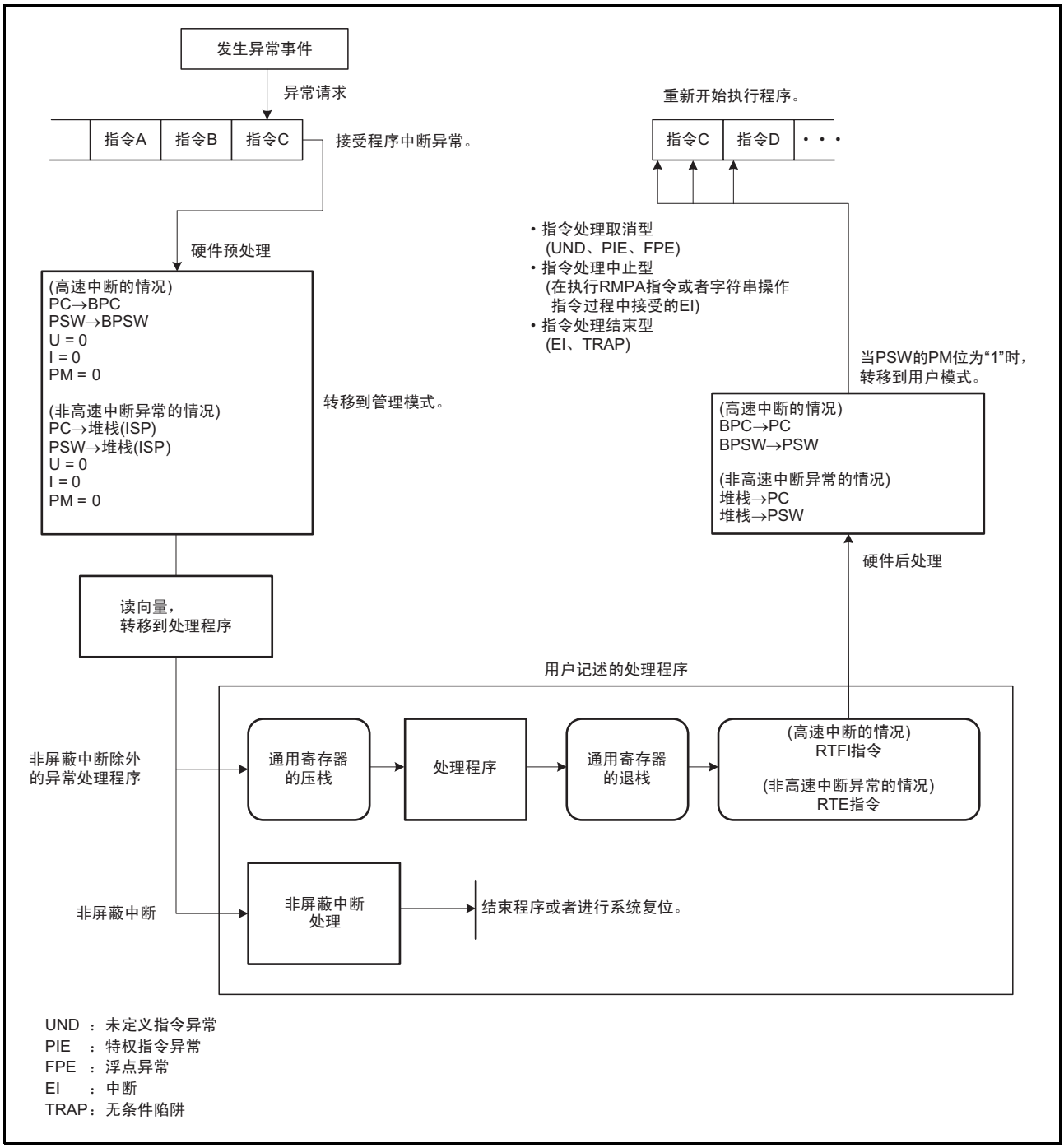


图 14.2 异常处理步骤的概要

一旦接受异常， RX CPU 就在硬件处理后，存取向量并且取得转移目标地址。按各异常给向量分配了向量地址，写异常处理程序的转移目标地址。

有关 RX CPU 的硬件预处理，在高速中断的情况下，将程序计数器（PC）的内容保存到备用 PC（BPC），处理器状态字 （PSW）的内容保存到备用 PSW （BPSW）；在非高速中断异常的情况下，将 PC 和 PSW 保存到堆栈区。

对于异常处理程序中使用的通用寄存器以及 PC 和 PSW 以外的控制寄存器，必须在异常处理程序的起始位置，通过用户程序将这些寄存器压栈。

在异常处理程序处理结束后，通过在恢复被压栈的寄存器后执行 RTE 指令，从异常处理返回到原来的程序。只在高速中断的情况下执行 RTFI 指令。但是，在非屏蔽中断的情况下，不返回到原来的程序而必须结束程序或者进行系统复位。

有关 RX CPU 的硬件后处理，在高速中断的情况下，将 BPC 的值恢复到 PC， BPSW 的值恢复到 PSW。在非高速中断异常的情况下，从堆栈区恢复 PC 和 PSW 的值。

14.3 异常事件的接受

如果发生异常事件，就在中止目前执行的程序后转移到异常处理程序。

14.3.1 接受时序和被保存的 PC 值

各异常事件的接受时序以及被保存的程序计数器 （PC）的值如表 14.1 所示。

表 14.1 接受时序和被保存的 PC 值

异常事件		处理型	接受时序	被保存到 BPC/ 堆栈的 PC 值
未定义指令异常		指令处理取消型	正在执行指令	发生异常的指令的 PC 值
特权指令异常		指令处理取消型	正在执行指令	发生异常的指令的 PC 值
浮点异常		指令处理取消型	正在执行指令	发生异常的指令的 PC 值
复位		指令处理放弃型	各机器周期	无
非屏蔽中断	正在执行 RMPA、 SCMPU、 SMOVB、 SMOVF、 SMOVU、 SSTR、 SUNTIL、 SWHILE 各指令	指令处理中止型	正在执行指令	正在执行的指令的 PC 值
	上述以外的状态	指令处理结束型	在指令和指令之间	下一条指令的 PC 值
中断	正在执行 RMPA、 SCMPU、 SMOVB、 SMOVF、 SMOVU、 SSTR、 SUNTIL、 SWHILE 各指令	指令处理中止型	正在执行指令	正在执行的指令的 PC 值
	上述以外的状态	指令处理结束型	在指令和指令之间	下一条指令的 PC 值
无条件陷阱		指令处理结束型	在指令和指令之间	下一条指令的 PC 值

14.3.2 向量和 PC、 PSW 的保存位置

各异常事件的向量、程序计数器 （PC）和处理器状态字 （PSW）的保存位置如表 14.2 所示。

表 14.2 向量和 PC、 PSW 的保存位置

异常事件		向量	PC 和 PSW 的保存位置
未定义指令异常		固定向量表	堆栈
特权指令异常		固定向量表	堆栈
浮点异常		固定向量表	堆栈
复位		固定向量表	无
非屏蔽中断		固定向量表	堆栈
中断	高速中断	FINTV	BPC、 BPSW
	非高速中断	可变向量表 （INTB）	堆栈
无条件陷阱		可变向量表 （INTB）	堆栈

14.4 接受异常 / 从异常返回时的硬件处理

以下说明接受异常以及从异常返回时的硬件处理 （复位除外）。

(1) 接受异常时的硬件预处理

(a) PSW 的保存

（高速中断的情况）
PSW→BPSW
（非高速中断异常的情况）
PSW→ 堆栈区

注 . 在硬件预处理中不保存 FPSW。如果在异常处理程序内使用浮点运算指令，用户就必须在异常处理程序内将 FPSW 压栈。

(b) PSW 的 PM 位、 U 位和 I 位的更新

I ：置 “0”
U ：置 “0”
PM ：置 “0”

(c) PC 的保存

（高速中断的情况）
PC→BPC
（非高速中断异常的情况）
PC→ 堆栈区

(d) 给 PC 设定异常处理程序的转移目标地址

通过取得对应各异常的向量，转移到异常处理程序的处理。

(2) 执行 RTE 指令和 RTFI 指令时的硬件后处理

(a) PSW 的恢复

（高速中断的情况）
BPSW→PSW
（非高速中断异常的情况）
堆栈区 →PSW

(b) PC 的恢复

（高速中断的情况）
BPC→PC
（非高速中断异常的情况）
堆栈区 →PC

14.5 硬件预处理

以下说明从接受异常请求到执行异常处理程序的硬件预处理。

14.5.1 未定义指令异常

1. 将处理器状态字 （PSW）的内容保存到堆栈区 （ISP）。
2. 将PSW的处理器模式设定位 （PM）、堆栈指针指定位 （U）和中断允许位 （I）置 “0”。
3. 将程序计数器 （PC）的内容保存到堆栈区 （ISP）。
4. 从地址FFFFFFDCh取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

14.5.2 特权指令异常

1. 将处理器状态字 （PSW）的内容保存到堆栈区 （ISP）。
2. 将PSW的处理器模式设定位 （PM）、堆栈指针指定位 （U）和中断允许位 （I）置 “0”。
3. 将程序计数器 （PC）的内容保存到堆栈区 （ISP）。
4. 从地址FFFFFFD0h取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

14.5.3 浮点异常

1. 将处理器状态字 （PSW）的内容保存到堆栈区 （ISP）。
2. 将PSW的处理器模式设定位 （PM）、堆栈指针指定位 （U）和中断允许位 （I）置 “0”。
3. 将程序计数器 （PC）的内容保存到堆栈区 （ISP）。
4. 从地址FFFFFFE4h取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

14.5.4 复位

1. 对控制进行初始化。
2. 从地址FFFFFFFCh取向量。
3. 将取到的向量设定到程序计数器 （PC）。

14.5.5 非屏蔽中断

1. 将处理器状态字 （PSW）的内容保存到堆栈区 （ISP）。
2. 将PSW的处理器模式设定位 （PM）、堆栈指针指定位 （U）和中断允许位 （I）置 “0”。
3. 当正在执行RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE各指令时，将正在执行的指令的程序计数器 （PC）内容保存到堆栈区 （ISP）；而在其他状态下，将下一条指令的PC内容保存到堆栈区 （ISP）。
4. 将PSW的处理器中断优先级 （IPL[3:0]）置 “Fh”。
5. 从地址FFFFFFF8h取向量。
6. 将取到的向量设定到PC后转移到异常处理程序。

14.5.6 中断

1. 将处理器状态字（PSW）的内容保存到堆栈区（ISP）。在高速中断的情况下，保存到备用PSW（BPSW）。
2. 将PSW的处理器模式设定位 （PM）、堆栈指针指定位 （U）和中断允许位 （I）置 “0”。
3. 当正在执行RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE各指令时，将正在执行的指令的程序计数器 （PC）内容保存到堆栈区 （ISP）；而在其他状态下，将下一条指令的PC内容保存到堆栈区 （ISP）。在高速中断的情况下，保存到备用PC （BPC）。
4. 给PSW的处理器中断优先级 （IPL[3:0]）设定已接受中断的中断优先级。
5. 从可变向量表取已接受中断源的向量。在高速中断的情况下，从高速中断向量寄存器 （FINTV）取向量。
6. 将取到的向量设定到PC后转移到异常处理程序。

14.5.7 无条件陷阱

1. 将处理器状态字 （PSW）的内容保存到堆栈区 （ISP）。
2. 将PSW的处理器模式设定位 （PM）、堆栈指针指定位 （U）和中断允许位 （I）置 “0”。
3. 将下一条指令的程序计数器 （PC）内容保存到堆栈区 （ISP）。
4. 在使用INT指令时，从可变向量表取对应INT指令号的向量。
   在使用BRK指令时，从可变向量表的起始地址取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

14.6 从异常处理程序的返回

如果在异常处理程序的最后执行**表 14.3** 所示的指令，就恢复异常处理顺序前保存到堆栈区或者控制寄存器（BPC、 BPSW）的程序计数器 （PC）和处理器状态字 （PSW）的内容。

表 14.3 异常处理程序的返回指令

异常事件		返回指令
未定义指令异常		RTE
特权指令异常		RTE
浮点异常		RTE
复位		不能返回
非屏蔽中断		不能返回
中断	高速中断	RTFI
	非高速中断	RTE
无条件陷阱		RTE

14.7 异常事件的优先级

异常事件的优先级如**表 14.4** 所示。如果同时发生多个异常，就先接受优先级高的事件。

表 14.4 中断优先级

优先级		异常事件
高 ↑ 低	1	复位
	2	非屏蔽中断
	3	中断
	4	未定义指令异常 特权指令异常
	5	无条件陷阱
	6	浮点异常

15. 中断控制器 （ICUb）

15.1 概要

中断控制器接受外围模块中断和外部引脚中断，向 CPU 请求中断以及启动 DTC 和 DMAC。
中断控制器的规格和框图分别如表 15.1 和图 15.1 所示。

表 15.1 中断控制器的规格

项目		内容
中断	外围功能中断	• 外围模块的中断 • 中断检测：边沿检测 / 电平检测 连接外围模块的各中断源的检测方法是固定的。 • 组中断功能：将多个中断分配给 1 个中断向量。 边沿检测中断组数：7 组 （组 0 ～ 6） 电平检测中断组数：1 组 （组 12） • 单元选择功能：选择 2 个中断请求中的一个。 单元数：6 个
	外部引脚中断	• IRQ0 ～ IRQ15 引脚的中断 • 中断源数：16 个 • 中断检测：各中断源能设定 Low 电平、下降沿、上升沿或者双边沿。 • 数字滤波器功能：有
	软件中断	• 通过写寄存器来产生中断。 • 中断源数：1 个
	中断优先级	通过寄存器设定优先级。
	高速中断功能	能实现 CPU 中断处理的高速化。只能给 1 个中断源设定此功能。
	DTC 和 DMAC 的控制	能通过中断源启动 DTC 和 DMAC （注 1）。
非屏蔽中断	NMI 引脚中断	• NMI 引脚的中断 • 中断检测：下降沿、上升沿 • 数字滤波器功能：有
	振荡停止检测中断	检测到振荡停止时的中断
	WDT 下溢 / 刷新错误	在间隔定时器模式中计数器发生下溢时的中断
	IWDT 下溢 / 刷新错误	递减计数器发生下溢的中断
	电压监视 1 中断	电压检测电路 1 （LVD1）的电压监视中断
	电压监视 2 中断	电压检测电路 2 （LVD2）的电压监视中断
从低功耗状态的返回		• 睡眠模式：通过非屏蔽中断或者全部中断源返回。 • 全模块时钟停止模式：通过非屏蔽中断、 IRQ0 ～ IRQ15 中断、 TMR 中断、 USB 恢复中断、 RTC 闹钟中断或者周期中断返回。 • 软件待机模式：通过非屏蔽中断、 IRQ0 ～ IRQ15 中断、 USB 恢复中断、 RTC 闹钟中断或者周期中断返回。

注 1. 有关 DTC 和 DMAC 的启动源，请参照 “表 15.3 中断向量表”。

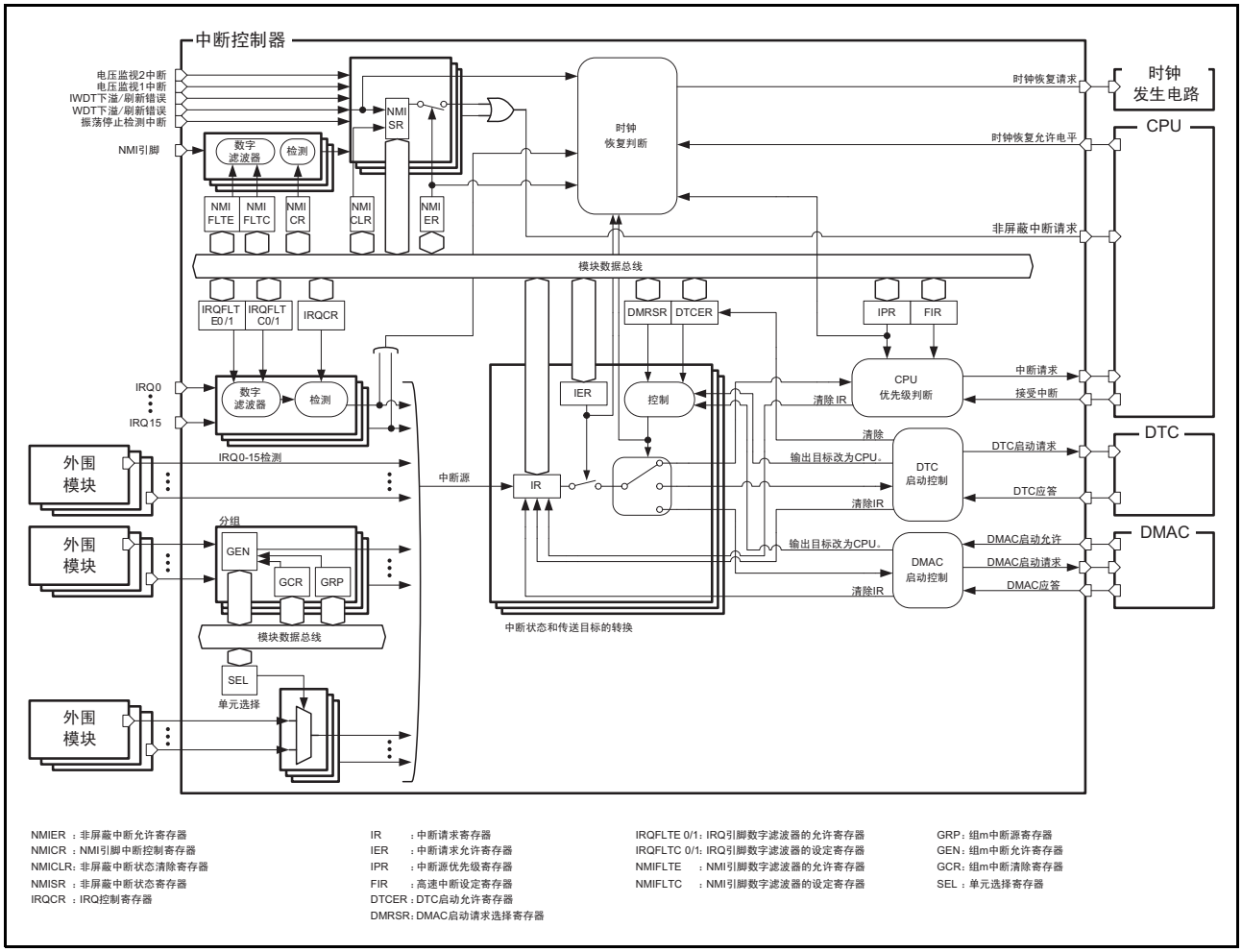


图 15.1 中断控制器的框图

中断控制器使用的输入 / 输出引脚如**表 15.2** 所示。

表 15.2 中断控制器的输入 / 输出引脚

引脚名	输入 / 输出	功能
NMI	输入	非屏蔽中断请求引脚
IRQ0 ～ IRQ15	输入	外部中断请求引脚

15.2 寄存器说明

15.2.1 中断请求寄存器 n （IRn）（n= 中断向量号）

地址 0008 7010h～ 0008 70FDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IR	中断状态标志	0：没有中断请求 1：有中断请求	R/(W) （注 1）
b7-b1	—	保留位	读写值都为 “0”。	R/W

注 1. 在边沿检测源的情况下，只能写 “0” 而不能写 “1”。
在电平检测源的情况下，不能写此位。

各中断源都有 IRn 寄存器， n 对应中断向量号。
中断源和中断向量号的对应请参照 “表 15.3 中断向量表”。

IR 标志 （中断状态标志）

这是中断请求的状态标志。如果发生中断请求，此标志就变为 “1”。为了检测中断请求，需要通过外围模块的中断允许位允许中断请求的输出。

中断请求的检测方法有边沿检测和电平检测。对于外围模块中断，给各中断源规定了边沿检测或者电平检测。对于 IRQi 引脚中断，能通过设定 IRQCRi.IRQMD[1:0] 位 （i=0 ～ 15），选择边沿检测或者电平检测。有关各中断源的检测方法，请参照 “表 15.3 中断向量表”。

通过组 m 中断源寄存器（GRPm）（m= 组号）检测被分组的中断请求。GRPm 寄存器检测到的中断请求作为电平中断请求，通过该组对应的 IR 标志进行检测。有关中断分组功能的详细内容，请参照 “15.4 外围模块中断请求组和单元选择功能”。

被分组的中断请求请参照 “表 15.4 组 m 的中断请求”。

(1) 边沿检测的情况

[为 “1” 的条件]

- 如果发生外围模块中断请求或者 IRQi 引脚中断请求，此标志就变为 “1”。有关各外围模块中断请求的发生，请参照各外围模块的章节。

[为 “0” 的条件]

- 如果中断请求目标接受中断请求，此标志就变为 “0”。
- 如果给 IR 标志写 “0”，此标志就变为 “0”。但是，在将中断请求目标设定为 DTC 或者 DMAC 时，禁止给 IR 标志写 “0”。

(2) 电平检测的情况

[为 “1” 的条件]

- 在发生外围模块中断请求或者 IRQi 引脚中断请求的期间，此标志为 “1”。有关各外围模块中断请求的发生，请参照各外围模块的章节。
- 在被分组的中断请求的情况下，当组 m 中断允许寄存器的中断请求允许位 j （GENm.ENj）（m= 组号、j= 位号）为 “1” 并且组 m 中断源寄存器的中断状态标志 （GRPm.ISj）为 “1” 时，此标志为 “1”。

[为 “0” 的条件]

- 如果清除中断请求的输出源，此标志就变为 “0”（即使中断请求目标接受中断请求，此标志也不变为 “0”）。有关各外围模块中断请求的清除，请参照各外围模块的章节。
- 在被分组的中断请求的情况下，如果GENm.ENj位为 “0” 或者GRPm.ISj标志为 “0”，此标志就变为 “0”。

在通过电平检测使用 IRQi 引脚的情况下，要取消中断时，必须将 IRQi 引脚置为 High 电平。
在电平检测的情况下，禁止给 IR 标志写 “0” 和 “1”。

15.2.2 中断请求允许寄存器 m （IERm）（m=02h ～ 1Fh）

地址 0008 7202h～0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IEN0	中断请求允许位 0	0：禁止中断请求 1：允许中断请求	R/W
b1	IEN1	中断请求允许位 1		R/W
b2	IEN2	中断请求允许位 2		R/W
b3	IEN3	中断请求允许位 3		R/W
b4	IEN4	中断请求允许位 4		R/W
b5	IEN5	中断请求允许位 5		R/W
b6	IEN6	中断请求允许位 6		R/W
b7	IEN7	中断请求允许位 7		R/W

注 . 被保留的向量号的对应位的读写值都为 “0”。

IENj 位 （中断请求允许位 j）（j ＝ 7 ～ 0）

当 IENj 位为 “1” 时，将中断请求输出到中断请求目标。

当 IENj 位为 “0” 时，不将中断请求输出到中断请求目标。

IRn.IR 标志不受 IENj 位的影响。即使 IENj 位为 “0”，在 “15.2.1 中断请求寄存器 n （IRn）（n= 中断向量号）” 所示的条件下， IR 标志也发生变化。

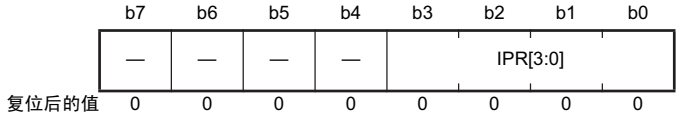
各中断源 （向量号）都有 IERm.IENj 位。

中断源和 IERm.IENj 位的对应请参照 “表 15.3 中断向量表”。

有关选择中断请求目标时的 IERm.IENj 位的设定步骤，请参照 “15.5.3 中断请求目标的选择”。

15.2.3 中断源优先级寄存器 n （IPRn）（n=000 ～ 253）

地址 0008 7300h～0008 73FDh



位	符号	位名	功能	R/W
b3-b0	IPR[3:0]	中断优先级设定位	b3 b0 0 0 0 0：0 级 （禁止中断）（注 1） 0 0 0 1：1 级 0 0 1 0：2 级 0 0 1 1：3 级 0 1 0 0：4 级 0 1 0 1：5 级 0 1 1 0：6 级 0 1 1 1：7 级 1 0 0 0：8 级 1 0 0 1：9 级 1 0 1 0：10 级 1 0 1 1：11 级 1 1 0 0：12 级 1 1 0 1：13 级 1 1 1 0：14 级 1 1 1 1：15 级 （最高）	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

注 1. 在设定为高速中断的情况下，即使为 0 级，也能发行中断。

中断源和 IPRn 寄存器的对应请参照 **“表 15.3 中断向量表”**。

IPR[3:0] 位 （中断优先级设定位）

这些位选择对应的中断源优先级。

IPR[3:0] 位选择的优先级只在判断向 CPU 请求的中断优先级时被参照，不影响 DTC 和 DMAC 的启动请求。

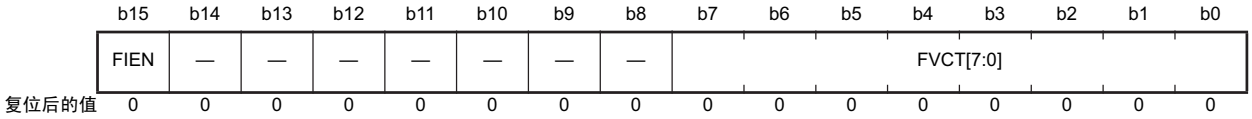
CPU 只接受优先级高于 PSW.IPL[3:0] 位所示优先级的中断请求，进行中断处理。

如果同时发生多个中断请求，就通过 IPR[3:0] 位的设定值进行优先级的比较。如果同时发生相同优先级的中断请求，就优先接受向量号小的中断源。

必须在禁止中断请求 （IERm.IENj 位 =0）的状态下写这些位。

15.2.4 高速中断设定寄存器 （FIR）

地址 0008 72F0h



位	符号	位名	功能	R/W
b7-b0	FVCT[7:0]	高速中断向量设定位	指定要设定为高速中断的向量号。	R/W
b14-b8	—	保留位	读写值都为 “0”。	R/W
b15	FIEN	高速中断允许位	0：禁止高速中断 1：允许高速中断	R/W

通过设定 FIR 寄存器来实现的高速化功能只对向 CPU 请求的中断有效，不影响 DTC 和 DMAC 的启动请求。必须在禁止中断请求 （IERm.IENj 位 =0）的状态下写此寄存器。

FVCT[7:0] 位 （高速中断向量设定位）

这些位指定要使用高速中断功能的中断向量号。

FIEN 位 （高速中断允许位）

此位是允许高速中断的位。

如果将 FIEN 位置 “1”， FVCT[7:0] 位所设向量号的中断就变为高速中断。

当 FIEN 位为 “1”时，如果中断请求目标为 CPU 并且发生 FVCT[7:0] 位所指向量号的中断请求，就作为高速中断向 CPU 输出中断请求，与 IPRn 寄存器的设定无关。有关将高速中断用于从软件待机模式的返回，请参照 “15.7.3 从软件待机模式的返回”。

对于通过 IERm.IENj 位 （m=02h ～ 1Fh、 j=7 ～ 0）禁止中断请求的中断源，不将中断请求输出到 CPU。能设定的向量号请参照 “表 15.3 中断向量表”。

FVCT[7:0] 位不能指定被保留的向量号。

高速中断的详细内容请参照 “14. 异常处理”和 “15.5.5 高速中断”。

15.2.5 软件中断启动寄存器 （SWINTR）

地址 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SWINT	软件中断启动位	读取值为“0”。通过写“1”，发行软件中断请求。写 “0”无效。	R/(W)（注 1）
b7-b1	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 “1”。

SWINT 位 （软件中断启动位）

如果给 SWINT 位写 “1”，中断请求寄存器 027 （IR027）就变为 “1”。

如果在将 DTC 启动允许寄存器 027 （DTCER027）置 “0”后给 SWINT 位写 “1”，就向 CPU 请求中断。

如果在将 DTC 启动允许寄存器 027 （DTCER027）置 “1”后给 SWINT 位写 “1”，就发行 DTC 启动请求。

15.2.6 DTC 启动允许寄存器 n （DTCERn）（n= 中断向量号）

地址 0008 711Bh～0008 71FBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DTCE	DTC 启动允许位	0：禁止启动 DTC 1：允许启动 DTC	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

对于和 DMAC 启动请求选择的中断源相同的中断源，禁止设定为允许启动 DTC。有关与中断源的对应，请参照 “表 15.3 中断向量表”。

DTCE 位 （DTC 启动允许位）

如果将 DTCE 位置 “1”，就选择对应的中断源作为 DTC 启动源。

[为 “1”的条件]

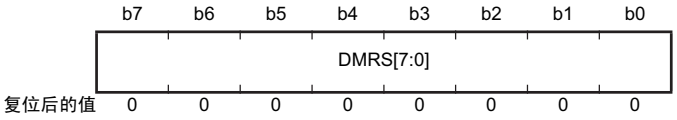
- 当给DTCE位写 “1”时

[为 “0”的条件]

- 当指定次数的数据传送结束时 （在链传送的情况下，当最后链传送的指定次数的数据传送结束时）
- 当给DTCE位写 “0”时

15.2.7 DMAC 启动请求选择寄存器 m （DMRSRm）（m=DMAC 通道号）

地址 DMRSR0 0008 7400h、 DMRSR1 0008 7404h
DMRSR2 0008 7408h、 DMRSR3 0008 740Ch



位	符号	位名	功能	R/W
b7-b0	DMRS[7:0]	DMAC 启动源选择位	设定 DMAC 的启动请求向量号。	R/W

禁止给多个 DMRSRm 寄存器设定相同的中断源。对于和 DMRSRm 寄存器设定的中断源相同的中断源，禁止设定为允许启动 DTC。如果违反这些禁止事项，就不保证运行。

DMRS[7:0] 位 （DMAC 启动源选择位）

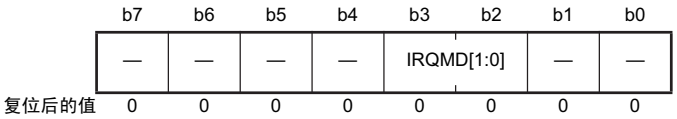
用 8 位指定要启动 DMAC 的中断源的向量号。不能设定未分配为 DMAC 的启动源的向量号。

中断源的向量号请参照 “表 15.3 中断向量表”。

必须在 DMA 传送允许寄存器的 DMA 传送允许位（DMACm.DMCNT.DTE）为“0”的状态下写 DMRSRm 寄存器。

15.2.8 IRQ 控制寄存器 i （IRQCRi）（i=0 ～ 15）

地址 0008 7500h～0008 750Fh



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为 “0”。	R/W
b3-b2	IRQMD[1:0]	IRQ 检测设定位	b3 b2 0 0：Low 电平 0 1：下降沿 1 0：上升沿 1 1：双边沿	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

必须在对应的中断请求允许位为禁止中断请求（IERm.IENj 位为“0”）的状态下更改此寄存器的设定。在更改寄存器后，必须清除 IR 标志，然后将中断请求允许位设定为允许。要更改为 Low 电平时，不需要清除 IR 标志。

IRQMD[1:0] 位 （IRQ 检测设定位）

这些位设定外部引脚中断源 （IRQ0 ～ IRQ15）的检测方法。

外部引脚中断的检测设定步骤请参照 “15.5.7 外部引脚中断”。

15.2.9 IRQ 引脚数字滤波器的允许寄存器 0 （IRQFLTE0）

地址 0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN7	FLTEN6	FLTEN5	FLTEN4	FLTEN3	FLTEN2	FLTEN1	FLTEN0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FLTEN0	IRQ0 数字滤波器允许位	0：数字滤波器无效 1：数字滤波器有效	R/W
b1	FLTEN1	IRQ1 数字滤波器允许位		R/W
b2	FLTEN2	IRQ2 数字滤波器允许位		R/W
b3	FLTEN3	IRQ3 数字滤波器允许位		R/W
b4	FLTEN4	IRQ4 数字滤波器允许位		R/W
b5	FLTEN5	IRQ5 数字滤波器允许位		R/W
b6	FLTEN6	IRQ6 数字滤波器允许位		R/W
b7	FLTEN7	IRQ7 数字滤波器允许位		R/W

FLTENi 位 （IRQi 数字滤波器允许位）（i ＝ 0 ～ 7）

此位允许使用外部引脚中断源 （IRQ0 ～ IRQ7）的数字滤波器。

当 FLTENi 位为 “1” 时，数字滤波器有效；当 FLTENi 位为 “0” 时，数字滤波器功能无效。

在 IRQFLTC0.FCLKSELi[1:0] 位设定的每个采样时钟对 IRQi 引脚电平进行采样，当电平 3 次相同时，更改数字滤波器的输出电平。

数字滤波器的详细内容请参照 “15.5.6 数字滤波器”。

15.2.10 IRQ 引脚数字滤波器的允许寄存器 1 （IRQFLTE1）

地址 0008 7511h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN15	FLTEN14	FLTEN13	FLTEN12	FLTEN11	FLTEN10	FLTEN9	FLTEN8
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FLTEN8	IRQ8 数字滤波器允许位	0：数字滤波器无效 1：数字滤波器有效	R/W
b1	FLTEN9	IRQ9 数字滤波器允许位		R/W
b2	FLTEN10	IRQ10 数字滤波器允许位		R/W
b3	FLTEN11	IRQ11 数字滤波器允许位		R/W
b4	FLTEN12	IRQ12 数字滤波器允许位		R/W
b5	FLTEN13	IRQ13 数字滤波器允许位		R/W
b6	FLTEN14	IRQ14 数字滤波器允许位		R/W
b7	FLTEN15	IRQ15 数字滤波器允许位		R/W

FLTENi 位 （IRQi 数字滤波器允许位）（i ＝ 8 ～ 15）

此位允许使用外部引脚中断源 （IRQ8 ～ IRQ15）的数字滤波器。

当 FLTENi 位为 “1” 时，数字滤波器有效；当 FLTENi 位为 “0” 时，数字滤波器功能无效。

在 IRQFLTC1.FCLKSELi[1:0] 位设定的每个采样时钟对 IRQi 引脚电平进行采样，当电平 3 次相同时，更改数字滤波器的输出电平。

数字滤波器的详细内容请参照 “15.5.6 数字滤波器”。

15.2.11 IRQ 引脚数字滤波器的设定寄存器 0 （IRQFLTC0）

地址 0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 数字滤波器的采样时钟设定位	0 0：PCLK 0 1：PCLK/8 1 0：PCLK/32 1 1：PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 数字滤波器的采样时钟设定位		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 数字滤波器的采样时钟设定位		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 数字滤波器的采样时钟设定位		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 数字滤波器的采样时钟设定位		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 数字滤波器的采样时钟设定位		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 数字滤波器的采样时钟设定位		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 数字滤波器的采样时钟设定位		R/W

FCLKSELi[1:0] 位 （IRQi 数字滤波器的采样时钟设定位）（i ＝ 0 ～ 7）

这些位选择外部引脚中断请求引脚 （IRQ0 ～ IRQ7）的数字滤波器的采样时钟。

从 PCLK（每个时钟）、PCLK/8（每 8 个时钟采样 1 次）、PCLK/32（每 32 个时钟采样 1 次）或者 PCLK/64 （每 64 个时钟采样 1 次）中选择采样时钟。

数字滤波器的详细内容请参照 “15.5.6 数字滤波器”。

15.2.12 IRQ 引脚数字滤波器的设定寄存器 1 （IRQFLTC1）

地址 0008 7516h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL15[1:0]		FCLKSEL14[1:0]		FCLKSEL13[1:0]		FCLKSEL12[1:0]		FCLKSEL11[1:0]		FCLKSEL10[1:0]		FCLKSEL9[1:0]		FCLKSEL8[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	FCLKSEL8[1:0]	IRQ8 数字滤波器的采样时钟设定位	0 0：PCLK 0 1：PCLK/8 1 0：PCLK/32 1 1：PCLK/64	R/W
b3-b2	FCLKSEL9[1:0]	IRQ9 数字滤波器的采样时钟设定位		R/W
b5-b4	FCLKSEL10[1:0]	IRQ10 数字滤波器的采样时钟设定位		R/W
b7-b6	FCLKSEL11[1:0]	IRQ11 数字滤波器的采样时钟设定位		R/W
b9-b8	FCLKSEL12[1:0]	IRQ12 数字滤波器的采样时钟设定位		R/W
b11-b10	FCLKSEL13[1:0]	IRQ13 数字滤波器的采样时钟设定位		R/W
b13-b12	FCLKSEL14[1:0]	IRQ14 数字滤波器的采样时钟设定位		R/W
b15-b14	FCLKSEL15[1:0]	IRQ15 数字滤波器的采样时钟设定位		R/W

FCLKSELi[1:0] 位 （IRQi 数字滤波器的采样时钟设定位）（i = 8 ～ 15）

这些位选择外部引脚中断请求引脚 （IRQ8 ～ IRQ15）的数字滤波器的采样时钟。

从 PCLK（每个时钟）、PCLK/8（每 8 个时钟采样 1 次）、PCLK/32（每 32 个时钟采样 1 次）或者 PCLK/64 （每 64 个时钟采样 1 次）中选择采样时钟。

数字滤波器的详细内容请参照 “15.5.6 数字滤波器”。

15.2.13 非屏蔽中断状态寄存器 （NMISR）

地址 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2ST	LVD1ST	IWDTST	WDTST	OSTST	NMIST
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	NMIST	NMI 状态标志	0：没有 NMI 引脚中断请求 1：有 NMI 引脚中断请求	R
b1	OSTST	振荡停止检测中断状态标志	0：没有振荡停止检测中断请求 1：有振荡停止检测中断请求	R
b2	WDTST	WDT 下溢 / 刷新错误状态标志	0：没有 WDT 下溢 / 刷新错误中断请求 1：有 WDT 下溢 / 刷新错误中断请求	R
b3	IWDTST	IWDT 下溢 / 刷新错误状态标志	0：没有 IWDT 下溢 / 刷新错误中断请求 1：有 IWDT 下溢 / 刷新错误中断请求	R
b4	LVD1ST	电压监视 1 中断状态标志	0：没有电压监视 1 中断请求 1：有电压监视 1 中断请求	R
b5	LVD2ST	电压监视 2 中断状态标志	0：没有电压监视 2 中断请求 1：有电压监视 2 中断请求	R
b7-b6	—	保留位	读取值为 “0”，写操作无效。	R

NMISR 寄存器是监视非屏蔽中断源状态的寄存器。忽视对 NMISR 寄存器的写操作。

非屏蔽中断允许寄存器 （NMIER）的设定不影响这些状态标志。

必须在非屏蔽中断处理程序结束前读 NMISR 寄存器并且确认其他非屏蔽中断的发生状况。必须在确认 NMISR 寄存器的全部位都是 “0”后结束处理程序。

NMIST 标志 （NMI 状态标志）

此标志表示 NMI 引脚中断请求。

只能读 NMIST 标志，通过 NMICLR.NMICLR 位清除此标志。

[为 “1” 的条件]

- 当将NMICR.NMIMD位设定的边沿输入到NMI引脚时

[为 “0” 的条件]

- 当给NMICLR.NMICLR位写 “1” 时

OSTST 标志 （振荡停止检测中断状态标志）

此标志表示振荡停止检测中断请求。

只能读 OSTST 标志，通过 NMICLR.OSTCLR 位清除此标志。

[为 “1” 的条件]

- 当发生振荡停止检测中断时

[为 “0” 的条件]

- 当给NMICLR.OSTCLR位写 “1” 时

WDTST 标志 （WDT 下溢 / 刷新错误状态标志）

此标志表示 WDT 下溢 / 刷新错误中断请求。

只能读 WDTST 标志，通过 NMICLR.WDTCLR 位清除此标志。

[为 “1” 的条件]

- 当发生WDT下溢/刷新错误中断时

[为 “0” 的条件]

- 当给NMICLR.WDTCLR位写 “1” 时

IWDTST 标志 （IWDT 下溢 / 刷新错误状态标志）

此标志表示 IWDT 下溢 / 刷新错误中断请求。

只能读 IWDTST 标志，通过 NMICLR.IWDTCLR 位清除此标志。

[为 “1” 的条件]

- 在发生源为允许发生中断的情况下产生IWDT下溢/刷新错误中断时

[为 “0” 的条件]

- 当给NMICLR.IWDTCLR位写 “1” 时

LVD1ST 标志 （电压监视 1 中断状态标志）

此标志表示电压监视 1 中断请求。

只能读 LVD1ST 标志，通过 NMICLR.LVD1CLR 位清除此标志。

[为 “1” 的条件]

- 在发生源为允许发生中断的情况下产生电压监视1中断时

[为 “0” 的条件]

- 当给NMICLR.LVD1CLR位写 “1” 时

LVD2ST 标志 （电压监视 2 中断状态标志）

此标志表示电压监视 2 中断请求。

只能读 LVD2ST 标志，通过 NMICLR.LVD2CLR 位清除此标志。

[为 “1” 的条件]

- 在发生源为允许发生中断的情况下产生电压监视2中断时

[为 “0” 的条件]

- 当给NMICLR.LVD2CLR位写 “1” 时

15.2.14 非屏蔽中断允许寄存器 （NMIER）

地址 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2EN	LVD1EN	IWDTEN	WDTEN	OSTEN	NMIEN
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	NMIEN	NMI 引脚中断允许位	0：禁止 NMI 引脚中断 1：允许 NMI 引脚中断	R/(W) （注 1）
b1	OSTEN	振荡停止检测中断允许位	0：禁止振荡停止检测中断 1：允许振荡停止检测中断	R/(W) （注 1）
b2	WDTEN	WDT 下溢 / 刷新错误允许位	0：禁止 WDT 下溢 / 刷新错误中断 1：允许 WDT 下溢 / 刷新错误中断	R/(W) （注 1）
b3	IWDTEN	IWDT 下溢 / 刷新错误允许位	0：禁止 IWDT 下溢 / 刷新错误中断 1：允许 IWDT 下溢 / 刷新错误中断	R/(W) （注 1）
b4	LVD1EN	电压监视 1 中断允许位	0：禁止电压监视 1 中断 1：允许电压监视 1 中断	R/(W) （注 1）
b5	LVD2EN	电压监视 2 中断允许位	0：禁止电压监视 2 中断 1：允许电压监视 2 中断	R/(W) （注 1）
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 1 次 “1”，以后的写操作无效。

NMIEN 位 （NMI 引脚中断允许位）

此位是允许使用 NMI 引脚中断的位。
只能写 1 次 “1”，以后的写操作无效。
不能写 “0”。

OSTEN 位 （振荡停止检测中断允许位）

此位是允许使用振荡停止检测中断的位。
只能写 1 次 “1”，以后的写操作无效。
不能写 “0”。

WDTEN 位 （WDT 下溢 / 刷新错误允许位）

此位是允许使用 WDT 下溢 / 刷新错误中断的位。
只能写 1 次 “1”，以后的写操作无效。
不能写 “0”。

IWDTEN 位 （IWDT 下溢 / 刷新错误允许位）

此位是允许使用 IWDT 下溢 / 刷新错误中断的位。
只能写 1 次 “1”，以后的写操作无效。
不能写 “0”。

LVD1EN 位 （电压监视 1 中断允许位）

此位是允许使用电压监视 1 中断的位。
只能写 1 次 “1”，以后的写操作无效。
不能写 “0”。

LVD2EN 位 （电压监视 2 中断允许位）

此位是允许使用电压监视 2 中断的位。
只能写 1 次 “1”，以后的写操作无效。
不能写 “0”。

15.2.15 非屏蔽中断状态清除寄存器 （NMICLR）

地址 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2CLR	LVD1CLR	IWDTCLR	WDTCLR	OSTCLR	NMICLR
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	NMICLR	NMI 清除位	读取值为“0”。通过写“1”，清除 NMISR.NMIST 标志。写 “0” 无效。	R/(W)（注 1）
b1	OSTCLR	OST 清除位	读取值为“0”。通过写“1”，清除 NMISR.OSTST 标志。写 “0” 无效。	R/(W)（注 1）
b2	WDTCLR	WDT 清除位	读取值为“0”。通过写“1”，清除 NMISR.WDTST 标志。写 “0” 无效。	R/(W)（注 1）
b3	IWDTCLR	IWDT 清除位	读取值为“0”。通过写“1”，清除 NMISR.IWDTST 标志。写 “0” 无效。	R/(W)（注 1）
b4	LVD1CLR	LVD1 清除位	读取值为“0”。通过写“1”，清除 NMISR.LVD1ST 标志。写 “0” 无效。	R/(W)（注 1）
b5	LVD2CLR	LVD2 清除位	读取值为“0”。通过写“1”，清除 NMISR.LVD2ST 标志。写 “0” 无效。	R/(W)（注 1）
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 “1”。

NMICLR 位 （NMI 清除位）

如果写 “1”， NMISR.NMIST 标志就变为 “0”。不保持 “1” 的状态，读取值为 “0”。

OSTCLR 位 （OST 清除位）

如果写 “1”， NMISR.OSTST 标志就变为 “0”。不保持 “1” 的状态，读取值为 “0”。

WDTCLR 位 （WDT 清除位）

如果写 “1”， NMISR.WDTST 标志就变为 “0”。不保持 “1” 的状态，读取值为 “0”。

IWDTCLR 位 （IWDT 清除位）

如果写 “1”， NMISR.IWDTST 标志就变为 “0”。不保持 “1” 的状态，读取值为 “0”。

LVD1CLR 位 （LVD1 清除位）

如果写 “1”， NMISR.LVD1ST 标志就变为 “0”。不保持 “1” 的状态，读取值为 “0”。

LVD2CLR 位 （LVD2 清除位）

如果写 “1”， NMISR.LVD2ST 标志就变为 “0”。不保持 “1” 的状态，读取值为 “0”。

15.2.16 NMI 引脚中断控制寄存器 （NMICR）

地址 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为 “0”。	R/W
b3	NMIMD	NMI 检测设定位	0：下降沿 1：上升沿	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

必须在允许使用 NMI 引脚中断 （将 NMIER.NMIEN 位置 “1”）前更改 NMICR 寄存器的设定。

15.2.17 NMI 引脚数字滤波器的允许寄存器 （NMIFLTE）

地址 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	NFLTEN	NMI 数字滤波器允许位	0：数字滤波器无效 1：数字滤波器有效	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

NFLTEN 位 （NMI 数字滤波器允许位）

此位允许使用 NMI 引脚中断的数字滤波器。

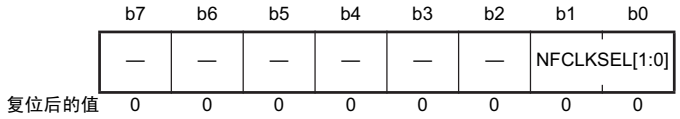
当 NFLTEN 位为 “1” 时，数字滤波器有效；当 NFLTEN 位为 “0” 时，数字滤波器功能无效。

在 NMIFLTC.NFCLKSEL[1:0] 位设定的每个采样时钟对 NMI 引脚电平进行采样，当电平 3 次相同时，更改数字滤波器的输出电平。

数字滤波器的详细内容请参照 “15.5.6 数字滤波器”。

15.2.18 NMI 引脚数字滤波器的设定寄存器 （NMIFLTC）

地址 0008 7594h



位	符号	位名	功能	R/W
b1-b0	NFCLKSEL[1:0]	NMI 数字滤波器的采样时钟设定位	b1 b0 0 0：PCLK 0 1：PCLK/8 1 0：PCLK/32 1 1：PCLK/64	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

NFCLKSEL[1:0] 位 （NMI 数字滤波器的采样时钟设定位）

这些位选择 NMI 引脚中断的数字滤波器的采样时钟。

从 PCLK（每个时钟）、PCLK/8（每 8 个时钟采样 1 次）、PCLK/32（每 32 个时钟采样 1 次）或者 PCLK/64 （每 64 个时钟采样 1 次）中选择采样时钟。

数字滤波器的详细内容请参照 “15.5.6 数字滤波器”。

15.2.19 组 m 中断源寄存器 （GRPm）（m= 组号）

- GRP00、 GRP01、 GRP02寄存器

地址 GRP00 0008 C300h、GRP01 0008 C304h、GRP02 0008 C308h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	IS2	IS1	IS0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IS0	中断状态标志 0	0：没有中断请求 1：有中断请求	R
b1	IS1	中断状态标志 1		R
b2	IS2	中断状态标志 2		R
b31-b3	—	保留位	读取值为 “0”，写操作无效。	R

- GRP03、 GRP04、 GRP05、 GRP06寄存器

地址 GRP03 0008 C30Ch、GRP04 0008 C310h、GRP05 0008 C314h、GRP06 0008 C318h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IS4	IS3	IS2	IS1	IS0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IS0	中断状态标志 0	0：没有中断请求 1：有中断请求	R
b1	IS1	中断状态标志 1		R
b2	IS2	中断状态标志 2		R
b3	IS3	中断状态标志 3		R
b4	IS4	中断状态标志 4		R
b31-b5	—	保留位	读取值为 “0”，写操作无效。	R

- GRP12 寄存器

地址 GRP12 0008 C330h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IS0	中断状态标志 0	0：没有中断请求 1：有中断请求	R
b1	IS1	中断状态标志 1		R
b2	IS2	中断状态标志 2		R
b3	IS3	中断状态标志 3		R
b4	IS4	中断状态标志 4		R
b5	IS5	中断状态标志 5		R
b6	IS6	中断状态标志 6		R
b7	IS7	中断状态标志 7		R
b8	IS8	中断状态标志 8		R
b9	IS9	中断状态标志 9		R
b10	IS10	中断状态标志 10		R
b11	IS11	中断状态标志 11		R
b12	IS12	中断状态标志 12		R
b13	IS13	中断状态标志 13		R
b14	IS14	中断状态标志 14		R
b15	IS15	中断状态标志 15		R
b31-b16	—	保留位	读取值为 “0”，写操作无效。	R

各组都有 GRPm 寄存器， m 表示组号 （m=00 ～ 06、 12）。

分组的详细内容请参照“15.4.1 中断请求组”。有关分配到各组的中断请求与 GRPm 寄存器内的位号的对应，请参照“表 15.4 组 m 的中断请求”，被分组的中断源与中断向量号的对应请参照“表 15.3 中断向量表”。

ISj 标志 （中断状态标志）（j= 位号）

这是分配到组 m 第 j 位的外围模块中断请求的状态标志。如果发生中断请求并且通过组 m 中断允许寄存器的中断请求允许位 j （GENm.ENj）（m= 组号、 j= 位号）允许中断，此标志就变为 “1”。

当组内的任意一个中断源的 GENm.ENj 位和 ISj 标志都为“1”时，该组对应的中断请求寄存器 n 的中断状态标志 （IRn.IR）（n= 中断向量号）变为 “1”。

边沿检测的中断请求被分在组 0 ～组 6，电平检测的中断请求被分在组 12。

(1) 组 0 ～组 6 的情况

[为 “1” 的条件]

- 如果GENm.ENj位为 “1” 并且外围模块发生中断请求，对应中断请求的ISj位就变为 “1”。

[为 “0” 的条件]

- 如果给组m中断清除寄存器的中断源清除位j （GCRm.CLRj）写 “1”， ISj位就变为 “0”。

(2) 组 12 的情况

[为 “1” 的条件]

- 在GENm.ENj位为 “1” 并且外围模块发生中断请求的期间，对应中断请求的ISj标志为 “1”。

[为 “0” 的条件]

- 如果清除中断请求的输出源， ISj标志就变为 “0”。
- 当GENm.ENj位为 “0” 时， ISj标志为 “0”。

不能写 ISj 标志。

15.2.20 组 m 中断允许寄存器 （GENm）（m= 组号）

- GEN00、 GEN01、 GEN02寄存器

地址 GEN00 0008 C340h、GEN01 0008 C344h、GEN02 0008 C348h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EN2	EN1	EN0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EN0	中断请求允许位 0	0：禁止中断请求 1：允许中断请求	R/W
b1	EN1	中断请求允许位 1		R/W
b2	EN2	中断请求允许位 2		R/W
b31-b3	—	保留位	读写值都为 “0”。	R/W

- GEN03、 GEN04、 GEN05、 GEN06寄存器

地址 GEN03 0008 C34Ch、GEN04 0008 C350h、GEN05 0008 C354h、GEN06 0008 C358h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	EN4	EN3	EN2	EN1	EN0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EN0	中断请求允许位 0	0：禁止中断请求 1：允许中断请求	R/W
b1	EN1	中断请求允许位 1		R/W
b2	EN2	中断请求允许位 2		R/W
b3	EN3	中断请求允许位 3		R/W
b4	EN4	中断请求允许位 4		R/W
b31-b5	—	保留位	读写值都为 “0”。	R/W

- GEN12 寄存器

地址 GEN12 0008 C370h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EN0	中断请求允许位 0	0：禁止中断请求 1：允许中断请求	R/W
b1	EN1	中断请求允许位 1		R/W
b2	EN2	中断请求允许位 2		R/W
b3	EN3	中断请求允许位 3		R/W
b4	EN4	中断请求允许位 4		R/W
b5	EN5	中断请求允许位 5		R/W
b6	EN6	中断请求允许位 6		R/W
b7	EN7	中断请求允许位 7		R/W
b8	EN8	中断请求允许位 8		R/W
b9	EN9	中断请求允许位 9		R/W
b10	EN10	中断请求允许位 10		R/W
b11	EN11	中断请求允许位 11		R/W
b12	EN12	中断请求允许位 12		R/W
b13	EN13	中断请求允许位 13		R/W
b14	EN14	中断请求允许位 14		R/W
b15	EN15	中断请求允许位 15		R/W
b31-b16	—	保留位	读写值都为 “0”。	R/W

分组的详细内容请参照 “15.4.1 中断请求组”。
各组都有 GENm 寄存器， m 表示组号 （m=00 ～ 06、 12）。

ENj 位 （中断请求允许位 j）（j= 位号）

- 组 00～06 的情况
  当 ENj 位为 “1”时，能检测对应的 GRPm.ISj 标志 （m= 组号、 j= 位号）的中断请求。如果检测到中断， GRPm.ISj 标志就变为 “1”。
  当 ENj 位为 “0”时，不能检测中断请求。
  即使给 ENj 位写 “0”，对应的 GRPm.ISj 标志也不变。

- 组 12 的情况
  当 ENj 位为 “1”时，能检测对应的 GRPm.ISj 标志 （m= 组号、 j= 位号）的中断请求。如果检测到中断， GRPm12.ISj 标志就变为 “1”。
  当 ENj 位为 “0”时，不能检测中断请求。
  即使给 ENj 位写 “0”，对应的 GRPm.ISj 标志也不变为 “0”。

15.2.21 组 m 中断清除寄存器 （GCRm）（m= 组号）

- GCR00、 GCR01、 GCR02寄存器

地址 GCR00 0008 C380h、GCR01 0008 C384h、GCR02 0008 C388h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR2	CLR1	CLR0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CLR0	中断源清除位 0	读取值为 “0”。如果写 “1”，就清除同组同位的中断状态标志（GRPm.ISj）。即使写 “0” 也无效。	R(/W)（注 1）
b1	CLR1	中断源清除位 1		R(/W)（注 1）
b2	CLR2	中断源清除位 2		R(/W)（注 1）
b31-b3	—	保留位	读取值为 “0”，写操作无效。	R

注 1. 只能写 “1”。

- GCR03、 GCR04、 GCR05、 GCR06寄存器

地址 GCR03 0008 C38Ch、GCR04 0008 C390h、GCR05 0008 C394h、GCR06 0008 C398h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	CLR4	CLR3	CLR2	CLR1	CLR0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CLR0	中断源清除位 0	如果写 “1”，就清除同组同位的中断状态标志（GRPm.ISj）。即使写 “0” 也无效。	R(/W)（注 1）
b1	CLR1	中断源清除位 1		R(/W)（注 1）
b2	CLR2	中断源清除位 2		R(/W)（注 1）
b3	CLR3	中断源清除位 3		R(/W)（注 1）
b4	CLR4	中断源清除位 4		R(/W)（注 1）
b31-b5	—	保留位	读取值为 “0”，写操作无效。	R/W

注 1. 只能写 “1”。

- GCR12寄存器

地址 GCR12 0008 C3B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLR15	CLR14	CLR13	CLR12	CLR11	CLR10	CLR9	CLR8	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CLR0	中断请求允许位 0	0：禁止中断请求 1：允许中断请求	R/W （注 1）
b1	CLR1	中断请求允许位 1		R/W （注 1）
b2	CLR2	中断请求允许位 2		R/W （注 1）
b3	CLR3	中断请求允许位 3		R/W （注 1）
b4	CLR4	中断请求允许位 4		R/W （注 1）
b5	CLR5	中断请求允许位 5		R/W （注 1）
b6	CLR6	中断请求允许位 6		R/W （注 1）
b7	CLR7	中断请求允许位 7		R/W （注 1）
b8	CLR8	中断请求允许位 8		R/W （注 1）
b9	CLR9	中断请求允许位 9		R/W （注 1）
b10	CLR10	中断请求允许位 10		R/W （注 1）
b11	CLR11	中断请求允许位 11		R/W （注 1）
b12	CLR12	中断请求允许位 12		R/W （注 1）
b13	CLR13	中断请求允许位 13		R/W （注 1）
b14	CLR14	中断请求允许位 14		R/W （注 1）
b15	CLR15	中断请求允许位 15		R/W （注 1）
b31-b16	—	保留位	读写值都为 “0”。	R/W （注 1）

注 1. 只能写 “1”。

分组的详细内容请参照 “15.4.1 中断请求组”。

各组都有 GCRm 寄存器， m 表示组号 （m=00 ～ 06、 12）。

CLRj 位 （中断请求清除位）（j= 位号）

如果将 CLRj 位置 “1”，就将对应的 GRPm12.ISj 标志 （m= 组号、 j= 位号）置 “0”。

15.2.22 单元选择寄存器 （SEL）

地址 0008 C3C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CN5	CN4	CN3	CN2	CN1	CN0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CN0	单元选择位 0	0：选择 MTU0 的中断请求 1：选择 TPU6 的中断请求	R/W
b1	CN1	单元选择位 1	0：选择 MTU1 的中断请求 1：选择 TPU7 的中断请求	R/W
b2	CN2	单元选择位 2	0：选择 MTU2 的中断请求 1：选择 TPU8 的中断请求	R/W
b3	CN3	单元选择位 3	0：选择 MTU3 的中断请求 1：选择 TPU9 的中断请求	R/W
b4	CN4	单元选择位 4	0：选择 MTU4 的中断请求 1：选择 TPU10 的中断请求	R/W
b5	CN5	单元选择位 5	0：选择 MTU5 的中断请求 1：选择 TPU11 的中断请求	R/W
b6	—	保留位	读取值为 “0”，写操作无效。	R

有关单元选择功能的详细内容和 MTUn（n=0 ～ 5）、TPUn（n=6 ～ 11）的各中断源，请参照“15.4.2 单元选择功能”。

CNj 位 （单元选择位 j）（j=0 ～ 5）

当 CNj 位为 “0”时，选择 MTUn （n=0 ～ 5）。

当 CNj 位为 “1”时，选择 TPUn （n=6 ～ 11）。

必须在发生外围模块中断请求（分配在各单元）前设定 CNj 位。如果在发生中断请求后设定 CNj 位，就不保证运行。

15.3 向量表

通过中断控制器检测的异常事件有中断和非屏蔽中断。

如果 CPU 接受中断或者非屏蔽中断，就从向量表取 4 字节的向量地址。

15.3.1 中断向量表

中断向量表连续分配在从 CPU 的中断表寄存器 （INTB）设定地址开始的 1024 字节 （4 字节 ×256 个中断源）的区域。必须在允许中断前设定 INTB 寄存器，并且给 INTB 寄存器设定 4 的倍数。

中断向量表如表 15.3 所示，表 15.3 的各项目的内容如下：

项目	内容
176 引脚	用 “○” 表示各封装 （引脚数）的中断。
144 引脚	
100 引脚	
80 引脚	
中断请求发生源	表示中断请求发生源的名称。
名称	表示中断名称。
向量号	表示向量号。
向量地址的偏移	表示向量基址偏移值。
中断的检测方法	用 “边沿” 和 “电平” 表示中断的检测方法。
CPU 中断	用 “○” 表示 CPU 中断源。
DTC 启动	用 “○” 表示 DTC 启动源。
DMAC 启动	用 “○” 表示 DMAC 启动源。
sstb 返回	用 “○” 表示从软件待机模式的返回源。
sacs 返回	用 “○” 表示从全模块时钟停止模式的返回源。
IER	表示对应向量号的 IER 寄存器和位名。
IPR	表示对应中断源的 IPR 寄存器。
DTCER	表示对应 DTC 启动源的 DTCER 寄存器。

表 15.3 中断向量表 (1/6)

中断请求发生源	名称	向量号（注 1）	向量地址的偏移	中断的检测方法	CPU 中断	DTC 启动	DMAC 启动	sstb 返回	sacs 返回	IER	IPR	DTCER
—	保留	0	0000h	—	×	×	×	×	×	—	—	—
—	保留	1	0004h	—	×	×	×	×	×	—	—	—
—	保留	2	0008h	—	×	×	×	×	×	—	—	—
—	保留	3	000Ch	—	×	×	×	×	×	—	—	—
—	保留	4	0010h	—	×	×	×	×	×	—	—	—
—	保留	5	0014h	—	×	×	×	×	×	—	—	—
—	保留	6	0018h	—	×	×	×	×	×	—	—	—
—	保留	7	001Ch	—	×	×	×	×	×	—	—	—
—	保留	8	0020h	—	×	×	×	×	×	—	—	—
—	保留	9	0024h	—	×	×	×	×	×	—	—	—
—	保留	10	0028h	—	×	×	×	×	×	—	—	—
—	保留	11	002Ch	—	×	×	×	×	×	—	—	—
—	保留	12	0030h	—	×	×	×	×	×	—	—	—
—	保留	13	0034h	—	×	×	×	×	×	—	—	—
—	保留	14	0038h	—	×	×	×	×	×	—	—	—
—	保留	15	003Ch	—	×	×	×	×	×	—	—	—
BSC	BUSERR	16	0040h	电平	○	×	×	×	×	IER02.IEN0	IPR000	—
—	保留	17	0044h	—	×	×	×	×	×	—	—	—
—	保留	18	0048h	—	×	×	×	×	×	—	—	—
—	保留	19	004Ch	—	×	×	×	×	×	—	—	—
—	保留	20	0050h	—	×	×	×	×	×	—	—	—
FCU	FIFERR	21	0054h	电平	○	×	×	×	×	IER02.IEN5	IPR001	—
—	保留	22	0058h	—	×	×	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	边沿	×	×	×	×	×	IER02.IEN7	IPR002	—
—	保留	24	0060h	—	×	×	×	×	×	—	—	—
—	保留	25	0064h	—	×	×	×	×	×	—	—	—
—	保留	26	0068h	—	×	×	×	×	×	—	—	—
ICU	SWINT	27	006Ch	边沿	○	○	×	×	×	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	边沿	○	○	○	×	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	边沿	○	○	○	×	×	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	边沿	○	○	○	×	×	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	边沿	○	○	○	×	×	IER03.IEN7	IPR007	DTCER031
—	保留	32	0080h	—	×	×	×	×	×	—	—	—
USB0	D0FIFO0	33	0084h	边沿	○	○	○	×	×	IER04.IEN1	IPR033	DTCER033
	D1FIFO0	34	0088h	边沿	○	○	○	×	×	IER04.IEN2	IPR034	DTCER034
	USBI0	35	008Ch	边沿	○	×	×	×	×	IER04.IEN3	IPR035	—
—	保留	36	0090h	—	×	×	×	×	×	—	—	—
—	保留	37	0094h	—	×	×	×	×	×	—	—	—
—	保留	38	0098h	—	×	×	×	×	×	—	—	—
RSPI0	SPRI0	39	009Ch	边沿	○	○	○	×	×	IER04.IEN7	IPR039	DTCER039
	SPTI0	40	00A0h	边沿	○	○	○	×	×	IER05.IEN0		DTCER040
	SPII0	41	00A4h	电平	○	×	×	×	×	IER05.IEN1		—
RSPI1	SPRI1	42	00A8h	边沿	○	○	○	×	×	IER05.IEN2	IPR042	DTCER042
	SPTI1	43	00ACh	边沿	○	○	○	×	×	IER05.IEN3		DTCER043
	SPII1	44	00B0h	电平	○	×	×	×	×	IER05.IEN4		—
RSPI2	SPRI2	45	00B4h	边沿	○	○	○	×	×	IER05.IEN5	IPR045	DTCER045
	SPTI2	46	00B8h	边沿	○	○	○	×	×	IER05.IEN6		DTCER046
	SPII2	47	00BCh	电平	○	×	×	×	×	IER05.IEN7		—

表 15.3 中断向量表 (2/6)

中断请求发生源	名称	向量号（注 1）	向量地址的偏移	中断的检测方法	CPU 中断	DTC 启动	DMAC 启动	sstb 返回	sacs 返回	IER	IPR	DTCER
CAN0	RXF0	48	00C0h	边沿	○	×	×	×	×	IER06.IEN0	IPR048	—
	TXF0	49	00C4h	边沿	○	×	×	×	×	IER06.IEN1		—
	RXM0	50	00C8h	边沿	○	×	×	×	×	IER06.IEN2		—
	TXM0	51	00CCh	边沿	○	×	×	×	×	IER06.IEN3		—
CAN1	RXF1	52	00D0h	边沿	○	×	×	×	×	IER06.IEN4	IPR052	—
	TXF1	53	00D4h	边沿	○	×	×	×	×	IER06.IEN5		—
	RXM1	54	00D8h	边沿	○	×	×	×	×	IER06.IEN6		—
	TXM1	55	00DCh	边沿	○	×	×	×	×	IER06.IEN7		—
CAN2	RXF2	56	00E0h	边沿	○	×	×	×	×	IER07.IEN0	IPR056	—
	TXF2	57	00E4h	边沿	○	×	×	×	×	IER07.IEN1		—
	RXM2	58	00E8h	边沿	○	×	×	×	×	IER07.IEN2		—
	TXM2	59	00ECh	边沿	○	×	×	×	×	IER07.IEN3		—
—	保留	60	00F0h	—	×	×	×	×	×	—	—	—
—	保留	61	00F4h	—	×	×	×	×	×	—	—	—
RTC	COUNTUP	62	00F8h	边沿	○	×	×	×	×	IER07.IEN6	IPR062	—
—	保留	63	00FCh	—	×	×	×	×	×	—	—	—
ICU	IRQ0	64	0100h	边沿 / 电平	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	边沿 / 电平	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	边沿 / 电平	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	边沿 / 电平	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	边沿 / 电平	○	○	×	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	边沿 / 电平	○	○	×	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	边沿 / 电平	○	○	×	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	边沿 / 电平	○	○	×	○	○	IER08.IEN7	IPR071	DTCER071
	IRQ8	72	0120h	边沿 / 电平	○	○	×	○	○	IER09.IEN0	IPR072	DTCER072
	IRQ9	73	0124h	边沿 / 电平	○	○	×	○	○	IER09.IEN1	IPR073	DTCER073
	IRQ10	74	0128h	边沿 / 电平	○	○	×	○	○	IER09.IEN2	IPR074	DTCER074
	IRQ11	75	012Ch	边沿 / 电平	○	○	×	○	○	IER09.IEN3	IPR075	DTCER075
	IRQ12	76	0130h	边沿 / 电平	○	○	×	○	○	IER09.IEN4	IPR076	DTCER076
	IRQ13	77	0134h	边沿 / 电平	○	○	×	○	○	IER09.IEN5	IPR077	DTCER077
	IRQ14	78	0138h	边沿 / 电平	○	○	×	○	○	IER09.IEN6	IPR078	DTCER078
	IRQ15	79	013Ch	边沿 / 电平	○	○	×	○	○	IER09.IEN7	IPR079	DTCER079
—	保留	80	0140h	—	×	×	×	×	×	—	—	—
—	保留	81	0144h	—	×	×	×	×	×	—	—	—
—	保留	82	0148h	—	×	×	×	×	×	—	—	—
—	保留	83	014Ch	—	×	×	×	×	×	—	—	—
—	保留	84	0150h	—	×	×	×	×	×	—	—	—
—	保留	85	0154h	—	×	×	×	×	×	—	—	—
—	保留	86	0158h	—	×	×	×	×	×	—	—	—
—	保留	87	015Ch	—	×	×	×	×	×	—	—	—
—	保留	88	0160h	—	×	×	×	×	×	—	—	—
—	保留	89	0164h	—	×	×	×	×	×	—	—	—
USB	USBR0	90	0168h	电平	○	×	×	○	○	IER0B.IEN2	IPR090	—
—	保留	91	016Ch	—	×	×	×	×	×	—	—	—
RTC	ALARM	92	0170h	边沿	○	×	×	○	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	边沿	○	×	×	○	○	IER0B.IEN5	IPR093	—
—	保留	94	0178h	—	×	×	×	×	×	—	—	—
—	保留	95	017Ch	—	×	×	×	×	×	—	—	—

表 15.3 中断向量表 (3/6)

中断请求发生源	名称	向量号（注 1）	向量地址的偏移	中断的检测方法	CPU 中断	DTC 启动	DMAC 启动	sstb 返回	sacs 返回	IER	IPR	DTCER
—	保留	96	0180h	—	×	×	×	×	×	—	—	—
—	保留	97	0184h	—	×	×	×	×	×	—	—	—
AD0	ADI0	98	0188h	边沿	○	○	○	×	×	IER0C.IEN2	IPR098	DTCER098
—	保留	99	018Ch	—	×	×	×	×	×	—	—	—
—	保留	100	0190h	—	×	×	×	×	×	—	—	—
—	保留	101	0194h	—	×	×	×	×	×	—	—	—
S12AD0	S12ADI0	102	0198h	边沿	○	○	○	×	×	IER0C.IEN6	IPR102	DTCER102
—	保留	103	019Ch	—	×	×	×	×	×	—	—	—
—	保留	104	01A0h	—	×	×	×	×	×	—	—	—
—	保留	105	01A4h	—	×	×	×	×	×	—	—	—
ICU （注 4）	GROUPE0	106	01A8h	电平	○	×	×	×	×	IER0D.IEN2	IPR106	—
	GROUPE1	107	01ACh	电平	○	×	×	×	×	IER0D.IEN3	IPR107	—
	GROUPE2	108	01B0h	电平	○	×	×	×	×	IER0D.IEN4	IPR108	—
	GROUPE3	109	01B4h	电平	○	×	×	×	×	IER0D.IEN5	IPR109	—
	GROUPE4	110	01B8h	电平	○	×	×	×	×	IER0D.IEN6	IPR110	—
	GROUPE5	111	01BCh	电平	○	×	×	×	×	IER0D.IEN7	IPR111	—
	GROUPE6	112	01C0h	电平	○	×	×	×	×	IER0E.IEN0	IPR112	—
—	保留	113	01C4h	—	×	×	×	×	×	—	—	—
ICU	GROUPL0	114	01C8h	电平	○	×	×	×	×	IER0E.IEN2	IPR114	—
—	保留	115	01CCh	—	×	×	×	×	×	—	—	—
—	保留	116	01D0h	—	×	×	×	×	×	—	—	—
—	保留	117	01D4h	—	×	×	×	×	×	—	—	—
—	保留	118	01D8h	—	×	×	×	×	×	—	—	—
—	保留	119	01DCh	—	×	×	×	×	×	—	—	—
—	保留	120	01E0h	—	×	×	×	×	×	—	—	—
—	保留	121	01E4h	—	×	×	×	×	×	—	—	—
SCIX	SCIX0	122	01E8h	电平	○	×	×	×	×	IER0F.IEN2	IPR122	—
	SCIX1	123	01ECh	电平	○	×	×	×	×	IER0F.IEN3		—
	SCIX2	124	01F0h	电平	○	×	×	×	×	IER0F.IEN4		—
	SCIX3	125	01F4h	电平	○	×	×	×	×	IER0F.IEN5		—
TPU0	TGI0A	126	01F8h	边沿	○	○	○	×	×	IER0F.IEN6	IPR126	DTCER126
	TGI0B	127	01FCh	边沿	○	○	×	×	×	IER0F.IEN7		DTCER127
	TGI0C	128	0200h	边沿	○	○	×	×	×	IER10.IEN0		DTCER128
	TGI0D	129	0204h	边沿	○	○	×	×	×	IER10.IEN1		DTCER129
TPU1	TGI1A	130	0208h	边沿	○	○	○	×	×	IER10.IEN2	IPR130	DTCER130
	TGI1B	131	020Ch	边沿	○	○	×	×	×	IER10.IEN3		DTCER131
TPU2	TGI2A	132	0210h	边沿	○	○	○	×	×	IER10.IEN4	IPR132	DTCER132
	TGI2B	133	0214h	边沿	○	○	×	×	×	IER10.IEN5		DTCER133
TPU3	TGI3A	134	0218h	边沿	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
	TGI3B	135	021Ch	边沿	○	○	×	×	×	IER10.IEN7		DTCER135
	TGI3C	136	0220h	边沿	○	○	×	×	×	IER11.IEN0		DTCER136
	TGI3D	137	0224h	边沿	○	○	×	×	×	IER11.IEN1		DTCER137
TPU4	TGI4A	138	0228h	边沿	○	○	○	×	×	IER11.IEN2	IPR138	DTCER138
	TGI4B	139	022Ch	边沿	○	○	×	×	×	IER11.IEN3		DTCER139
TPU5	TGI5A	140	0230h	边沿	○	○	○	×	×	IER11.IEN4	IPR140	DTCER140
	TGI5B	141	0234h	边沿	○	○	×	×	×	IER11.IEN5		DTCER141

表 15.3 中断向量表 (4/6)

中断请求发生源	名称	向量号（注 1）	向量地址的偏移	中断的检测方法	CPU 中断	DTC 启动	DMAC 启动	sstb 返回	sacs 返回	IER	IPR	DTCER
TPU6/MTU0	TGI6A(TPU6)/ TGIA0(MTU0)	142	0238h	边沿	○	○	○	×	×	IER11.IEN6	IPR142	DTCER142
	TGI6B(TPU6)/ TGIB0(MTU0)	143	023Ch	边沿	○	○	×	×	×	IER11.IEN7		DTCER143
	TGI6C(TPU6)/ TGIC0(MTU0)	144	0240h	边沿	○	○	×	×	×	IER12.IEN0		DTCER144
	TGI6D(TPU6)/ TGID0(MTU0)	145	0244h	边沿	○	○	×	×	×	IER12.IEN1		DTCER145
	TGIE0(MTU0)	146	0248h	边沿	○	×	×	×	×	IER12.IEN2	IPR146	—
	TGIF0(MTU0)	147	024Ch	边沿	○	×	×	×	×	IER12.IEN3		—
TPU7/MTU1	TGI7A(TPU7)/ TGIA1(MTU1)	148	0250h	边沿	○	○	○	×	×	IER12.IEN4	IPR148	DTCER148
	TGI7B(TPU7)/ TGIB1(MTU1)	149	0254h	边沿	○	○	×	×	×	IER12.IEN5		DTCER149
TPU8/MTU2	TGI8A(TPU8)/ TGIA2(MTU2)	150	0258h	边沿	○	○	○	×	×	IER12.IEN6	IPR150	DTCER150
	TGI8B(TPU8)/ TGIB2(MTU2)	151	025Ch	边沿	○	○	×	×	×	IER12.IEN7		DTCER151
TPU9/MTU3	TGI9A(TPU9)/ TGIA3(MTU3)	152	0260h	边沿	○	○	○	×	×	IER13.IEN0	IPR152	DTCER152
	TGI9B(TPU9)/ TGIB3(MTU3)	153	0264h	边沿	○	○	×	×	×	IER13.IEN1		DTCER153
	TGI9C(TPU9)/ TGIC3(MTU3)	154	0268h	边沿	○	○	×	×	×	IER13.IEN2		DTCER154
	TGI9D(TPU9)/ TGID3(MTU3)	155	026Ch	边沿	○	○	×	×	×	IER13.IEN3		DTCER155
TPU10/ MTU4	TGI10A(TPU10)/ TGIA4(MTU4)	156	0270h	边沿	○	○	○	×	×	IER13.IEN4	IPR156	DTCER156
	TGI10B(TPU10)/ TGIB4(MTU4)	157	0274h	边沿	○	○	×	×	×	IER13.IEN5		DTCER157
	TGIC4(MTU4)	158	0278h	边沿	○	○	×	×	×	IER13.IEN6		DTCER158
	TGID4(MTU4)	159	027Ch	边沿	○	○	×	×	×	IER13.IEN7		DTCER159
	TCIV4(MTU4)	160	0280h	边沿	○	○	×	×	×	IER14.IEN0	IPR160	DTCER160
TPU11/ MTU5	TGIU5(MTU5)	161	0284h	边沿	○	○	×	×	×	IER14.IEN1	IPR161	DTCER161
	TGIV5(MTU5)	162	0288h	边沿	○	○	×	×	×	IER14.IEN2		DTCER162
	TGIW5(MTU5)	163	028Ch	边沿	○	○	×	×	×	IER14.IEN3		DTCER163
	TGI11A(TPU11)	164	0290h	边沿	○	○	○	×	×	IER14.IEN4	IPR164	DTCER164
	TGI11B(TPU11)	165	0294h	边沿	○	○	×	×	×	IER14.IEN5		DTCER165
POE	OEI1	166	0298h	电平	○	×	×	×	×	IER14.IEN6	IPR166	—
	OEI2	167	029Ch	电平	○	×	×	×	×	IER14.IEN7		—
—	保留	168	02A0h	—	×	×	×	×	×	—	—	—
—	保留	169	02A4h	—	×	×	×	×	×	—	—	—
TMR0	CMIA0	170	02A8h	边沿	○	○	×	×	○（注 6）	IER15.IEN2	IPR170	DTCER170
	CMIB0	171	02ACh	边沿	○	○	×	×	○（注 6）	IER15.IEN3		DTCER171
	OVI0	172	02B0h	边沿	○	×	×	×	○（注 6）	IER15.IEN4		—

表 15.3 中断向量表 (5/6)

中断请求发生源	名称	向量号（注 1）	向量地址的偏移	中断的检测方法	CPU 中断	DTC 启动	DMAC 启动	sstb 返回	sacs 返回	IER	IPR	DTCER
TMR1	CMIA1	173	02B4h	边沿	○	○	×	×	○（注 6）	IER15.IEN5	IPR173	DTCER173
	CMIB1	174	02B8h	边沿	○	○	×	×	○（注 6）	IER15.IEN6		DTCER174
	OVI1	175	02BCh	边沿	○	×	×	×	○（注 6）	IER15.IEN7		—
TMR2	CMIA2	176	02C0h	边沿	○	○	×	×	○（注 6）	IER16.IEN0	IPR176	DTCER176
	CMIB2	177	02C4h	边沿	○	○	×	×	○（注 6）	IER16.IEN1		DTCER177
	OVI2	178	02C8h	边沿	○	×	×	×	○（注 6）	IER16.IEN2		—
TMR3	CMIA3	179	02CCh	边沿	○	○	×	×	○（注 6）	IER16.IEN3	IPR179	DTCER179
	CMIB3	180	02D0h	边沿	○	○	×	×	○（注 6）	IER16.IEN4		DTCER180
	OVI3	181	02D4h	边沿	○	×	×	×	○（注 6）	IER16.IEN5		—
RIIC0	EEI0	182	02D8h	电平	○	×	×	×	×	IER16.IEN6	IPR182	—
	RXI0	183	02DCh	边沿	○	○	○	×	×	IER16.IEN7	IPR183	DTCER183
	TXI0	184	02E0h	边沿	○	○	○	×	×	IER17.IEN0	IPR184	DTCER184
	TEI0	185	02E4h	电平	○	×	×	×	×	IER17.IEN1	IPR185	—
RIIC1	EEI1	186	02E8h	电平	○	×	×	×	×	IER17.IEN2	IPR186	—
	RXI1	187	02ECh	边沿	○	○	○	×	×	IER17.IEN3	IPR187	DTCER187
	TXI1	188	02F0h	边沿	○	○	○	×	×	IER17.IEN4	IPR188	DTCER188
	TEI1	189	02F4h	电平	○	×	×	×	×	IER17.IEN5	IPR189	—
RIIC2	EEI2	190	02F8h	电平	○	×	×	×	×	IER17.IEN6	IPR190	—
	RXI2	191	02FCh	边沿	○	○	○	×	×	IER17.IEN7	IPR191	DTCER191
	TXI2	192	0300h	边沿	○	○	○	×	×	IER18.IEN0	IPR192	DTCER192
	TEI2	193	0304h	电平	○	×	×	×	×	IER18.IEN1	IPR193	—
RIIC3	EEI3	194	0308h	电平	○	×	×	×	×	IER18.IEN2	IPR194	—
	RXI3	195	030Ch	边沿	○	○	○	×	×	IER18.IEN3	IPR195	DTCER195
	TXI3	196	0310h	边沿	○	○	○	×	×	IER18.IEN4	IPR196	DTCER196
	TEI3	197	0314h	电平	○	×	×	×	×	IER18.IEN5	IPR197	—
DMAC	DMAC0I	198	0318h	边沿	○	○	×	×	×	IER18.IEN6	IPR198	DTCER198
	DMAC1I	199	031Ch	边沿	○	○	×	×	×	IER18.IEN7	IPR199	DTCER199
	DMAC2I	200	0320h	边沿	○	○	×	×	×	IER19.IEN0	IPR200	DTCER200
	DMAC3I	201	0324h	边沿	○	○	×	×	×	IER19.IEN1	IPR201	DTCER201
—	保留	202	0328h	—	×	×	×	×	×	—	—	—
	保留	203	032Ch	—	×	×	×	×	×	—	—	—
—	保留	204	0330h	—	×	×	×	×	×	—	—	—
—	保留	205	0334h	—	×	×	×	×	×	—	—	—
—	保留	206	0338h	—	×	×	×	×	×	—	—	—
—	保留	207	033Ch	—	×	×	×	×	×	—	—	—
—	保留	208	0340h	—	×	×	×	×	×	—	—	—
—	保留	209	0344h	—	×	×	×	×	×	—	—	—
—	保留	210	0348h	—	×	×	×	×	×	—	—	—
—	保留	211	034Ch	—	×	×	×	×	×	—	—	—
—	保留	212	0350h	—	×	×	×	×	×	—	—	—
—	保留	213	0354h	—	×	×	×	×	×	—	—	—

表 15.3 中断向量表 (6/6)

中断请求发生源	名称	向量号（注 1）	向量地址的偏移	中断的检测方法	CPU 中断	DTC 启动	DMAC 启动	sstb 返回	sacs 返回	IER	IPR	DTCER
SCI0	RXI0	214	0358h	边沿	○	○	○	×	×	IER1A.IEN6	IPR214	DTCER214
	TXI0	215	035Ch	边沿	○	○	○	×	×	IER1A.IEN7		DTCER215
	TEI0	216	0360h	电平	○	×	×	×	×	IER1B.IEN0		—
SCI1	RXI1	217	0364h	边沿	○	○	○	×	×	IER1B.IEN1	IPR217	DTCER217
	TXI1	218	0368h	边沿	○	○	○	×	×	IER1B.IEN2		DTCER218
	TEI1	219	036Ch	电平	○	×	×	×	×	IER1B.IEN3		—
SCI2	RXI2	220	0370h	边沿	○	○	○	×	×	IER1B.IEN4	IPR220	DTCER220
	TXI2	221	0374h	边沿	○	○	○	×	×	IER1B.IEN5		DTCER221
	TEI2	222	0378h	电平	○	×	×	×	×	IER1B.IEN6		—
SCI3	RXI3	223	037Ch	边沿	○	○	○	×	×	IER1B.IEN7	IPR223	DTCER223
	TXI3	224	0380h	边沿	○	○	○	×	×	IER1C.IEN0		DTCER224
	TEI3	225	0384h	电平	○	×	×	×	×	IER1C.IEN1		—
SCI4	RXI4	226	0388h	边沿	○	○	○	×	×	IER1C.IEN2	IPR226	DTCER226
	TXI4	227	038Ch	边沿	○	○	○	×	×	IER1C.IEN3		DTCER227
	TEI4	228	0390h	电平	○	×	×	×	×	IER1C.IEN4		—
SCI5	RXI5	229	0394h	边沿	○	○	○	×	×	IER1C.IEN5	IPR229	DTCER229
	TXI5	230	0398h	边沿	○	○	○	×	×	IER1C.IEN6		DTCER230
	TEI5	231	039Ch	电平	○	×	×	×	×	IER1C.IEN7		—
SCI6	RXI6	232	03A0h	边沿	○	○	○	×	×	IER1D.IEN0	IPR232	DTCER232
	TXI6	233	03A4h	边沿	○	○	○	×	×	IER1D.IEN1		DTCER233
	TEI6	234	03A8h	电平	○	×	×	×	×	IER1D.IEN2		—
SCI7	RXI7	235	03ACh	边沿	○	○	○	×	×	IER1D.IEN3	IPR235	DTCER235
	TXI7	236	03B0h	边沿	○	○	○	×	×	IER1D.IEN4		DTCER236
	TEI7	237	03B4h	电平	○	×	×	×	×	IER1D.IEN5		—
SCI8	RXI8	238	03B8h	边沿	○	○	○	×	×	IER1D.IEN6	IPR238	DTCER238
	TXI8	239	03BCh	边沿	○	○	○	×	×	IER1D.IEN7		DTCER239
	TEI8	240	03C0h	电平	○	×	×	×	×	IER1E.IEN0		—
SCI9	RXI9	241	03C4h	边沿	○	○	○	×	×	IER1E.IEN1	IPR241	DTCER241
	TXI9	242	03C8h	边沿	○	○	○	×	×	IER1E.IEN2		DTCER242
	TEI9	243	03CCh	电平	○	×	×	×	×	IER1E.IEN3		—
SCI10	RXI10	244	03D0h	边沿	○	○	○	×	×	IER1E.IEN4	IPR244	DTCER244
	TXI10	245	03D4h	边沿	○	○	○	×	×	IER1E.IEN5		DTCER245
	TEI10	246	03D8h	电平	○	×	×	×	×	IER1E.IEN6		—
SCI11	RXI11	247	03DCh	边沿	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247
	TXI11	248	03E0h	边沿	○	○	○	×	×	IER1F.IEN0		DTCER248
	TEI11	249	03E4h	电平	○	×	×	×	×	IER1F.IEN1		—
SCI12	RXI12	250	03E8h	边沿	○	○	○	×	×	IER1F.IEN2	IPR250	DTCER250
	TXI12	251	03ECh	边沿	○	○	○	×	×	IER1F.IEN3		DTCER251
	TEI12	252	03F0h	电平	○	×	×	×	×	IER1F.IEN4		—
IEB	IEBINT	253	03F4h	电平	○	×	×	×	×	IER1F.IEN5	IPR253	—
—	保留	254	03F8h	—	×	×	×	×	×	—	—	—
—	保留	255	03FCh	—	×	×	×	×	×	—	—	—

注 1. 向量号越小，优先级越高。

注 2. ROM 小于等于 512K 字节的产品没有 CAN0。

注 3. ROM 小于等于 1M 字节的产品没有 CAN2。

注 4. 分配给各组中断的中断请求请参照 “表 15.4 组 m 的中断请求”。

注 5. 100 引脚和 80 引脚的产品没有 TPU5 ～ TPU11。

注 6. 如果将 ICLK 设定为慢于 PCLKB，就不能将 TMR 中断用于解除全模块时钟停止模式。

15.3.2 高速中断的向量表地址

被设定为高速中断的中断向量表地址由 CPU 的高速中断向量寄存器 （FINTV）指定。

15.3.3 非屏蔽中断的向量表地址

非屏蔽中断的向量表地址为 “FFFF FFF8h”。

15.4 外围模块中断请求组和单元选择功能

15.4.1 中断请求组

最多将 32 个外围模块的中断信号进行分组，作为 1 个中断请求进行处理。

边沿检测的中断请求被分在组 0 ～ 6，电平检测的中断请求被分在组 12。

如果在 GENm.ENj 位 （m= 组号、 j= 位号）为 “1” 时检测到中断请求， GRPm.ISj 标志就变为 “1”。

当组 m 内的任意一个 GRPm.ISj 标志为 “1” 时，该组对应的 IRn.IR 标志 （n= 中断向量号）为 “1”。

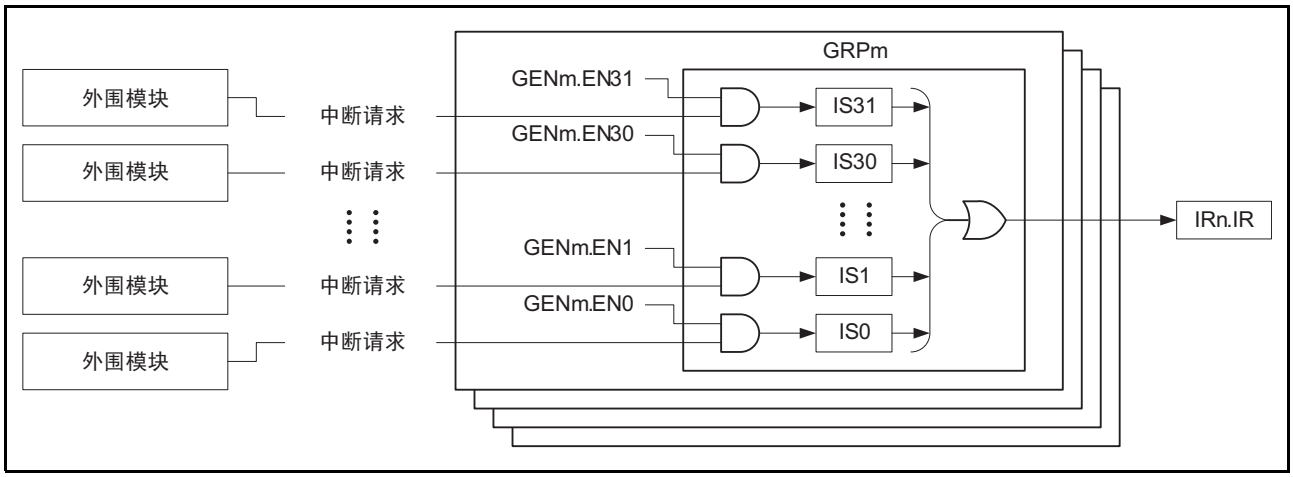


图 15.2 中断请求组的功能

(1) 边沿检测的中断请求

边沿检测的中断请求被分在组 0 ～ 6。

如果在 GENm.ENj 位 （m= 组号、 j= 位号）为 “1” 时检测到中断请求， GRPm.ISj 标志就变为 “1”。当 GENm.ENj 位为 “0” 时，不检测中断请求。

如果给 GCRm.CLRj 位写 “1”， GRPm.ISj 标志就变为 “0”。

即使在 GRPm.ISj 标志为 “1” 时将 GENm.Enj 位置 “0”， GRPm.ISj 标志也保持该状态。

运行例子请参照 “15.5.1.3 边沿检测组中断和中断状态标志”。

(2) 电平检测的中断请求

电平检测的中断请求被分在组 12。

如果在 GENm.ENj 位 （m= 组号、 j= 位号）为 “1” 时检测到中断请求， GRPm.ISj 标志就变为 “1”。如果中断请求位为 “0”， GRPm.ISj 标志也变为 “0”。

当 GENm.ENj 位为 “0” 时，不检测中断请求， GRPm.ISj 标志为 “0”。

运行例子请参照 “15.5.1.4 电平检测组中断和中断状态标志”。

(3) 各组的中断请求一览表

被分组的中断请求如 “表 15.4 组 m 的中断请求”所示。

表 15.4 组 m 的中断请求 (1/2)

组	中断请求发生源	名称	GENm.ENj 位	GRPm.ISj 标志	GCRm.CLRj 标志	向量号（IRn.IR）
组 0	CAN0	ERS0 （错误中断）	GEN00.EN0	GRP00.IS0	GCR00.CLR0	106
	CAN1	ERS1 （错误中断）	GEN00.EN1	GRP00.IS1	GCR00.CLR1	
	CAN2	ERS2 （错误中断）	GEN00.EN2	GRP00.IS2	GCR00.CLR2	
组 1	MTU0	TCIV0 （上溢）	GEN01.EN0	GRP01.IS0	GCR01.CLR0	107
	MTU1	TCIV1 （上溢）	GEN01.EN1	GRP01.IS1	GCR01.CLR1	
		TCIU1 （下溢）	GEN01.EN2	GRP01.IS2	GCR01.CLR2	
组 2	MTU2	TCIV2 （上溢）	GEN02.EN0	GRP02.IS0	GCR02.CLR0	108
		TCIU2 （下溢）	GEN02.EN1	GRP02.IS1	GCR02.CLR1	
	MTU3	TCIV3 （上溢）	GEN02.EN2	GRP02.IS2	GCR02.CLR2	
组 3	TPU0	TCI0V （上溢）	GEN03.EN0	GRP03.IS0	GCR03.CLR0	109
	TPU1	TCI1V （上溢）	GEN03.EN1	GRP03.IS1	GCR03.CLR1	
		TCI1U （下溢）	GEN03.EN2	GRP03.IS2	GCR03.CLR2	
	TPU5	TCI5V （上溢）	GEN03.EN3	IGRP03.S3	GCR03.CLR3	
		TCI5U （下溢）	GEN03.EN4	IGRP03.S4	GCR03.CLR4	
组 4	TPU2	TCI2V （上溢）	GEN04.EN0	GRP04.IS0	GCR04.CLR0	110
		TCI2U （下溢）	GEN04.EN1	GRP04.IS1	GCR04.CLR1	
	TPU3	TCI3V （上溢）	GEN04.EN2	GRP04.IS2	GCR04.CLR2	
	TPU4	TCI4V （上溢）	GEN04.EN3	GRP04.IS3	GCR04.CLR3	
		TCI4U （下溢）	GEN04.EN4	GRP04.IS4	GCR04.CLR4	
组 5	TPU6	TCI6V （上溢）	GEN05.EN0	GRP05.IS0	GCR05.CLR0	111
	TPU7	TCI7V （上溢）	GEN05.EN1	GRP05.IS1	GCR05.CLR1	
		TCI7U （下溢）	GEN05.EN2	GRP05.IS2	GCR05.CLR2	
	TPU11	TCI11V （上溢）	GEN05.EN3	GRP05.IS3	GCR05.CLR3	
		TCI11U （下溢）	GEN05.EN4	GRP05.IS4	GCR05.CLR4	
组 6	TPU8	TCI8V （上溢）	GEN06.EN0	GRP06.IS0	GCR06.CLR0	112
		TCI8U （下溢）	GEN06.EN1	GRP06.IS1	GCR06.CLR1	
	TPU9	TCI9V （上溢）	GEN06.EN2	GRP06.IS2	GCR06.CLR2	
	TPU10	TCI10V （上溢）	GEN06.EN3	GRP06.IS3	GCR06.CLR3	
		TCI10U （下溢）	GEN06.EN4	GRP06.IS4	GCR06.CLR4	

表 15.4 组 m 的中断请求 (2/2)

组	中断请求发生源	名称	GENm.ENj 位	GRPm.ISj 标志	GCRm.CLRj 标志	向量号（IRn.IR）
组 12	SCI0	ERI0 （SCI0 接收错误）	GEN12.EN0	GRP12.IS0	GCR12.CLR0	114
	SCI1	ERI1 （SCI1 接收错误）	GEN12.EN1	GRP12.IS1	GCR12.CLR1	
	SCI2	ERI2 （SCI2 接收错误）	GEN12.EN2	GRP12.IS2	GCR12.CLR2	
	SCI3	ERI3 （SCI3 接收错误）	GEN12.EN3	GRP12.IS3	GCR12.CLR3	
	SCI4	ERI4 （SCI4 接收错误）	GEN12.EN4	GRP12.IS4	GCR12.CLR4	
	SCI5	ERI5 （SCI5 接收错误）	GEN12.EN5	GRP12.IS5	GCR12.CLR5	
	SCI6	ERI6 （SCI6 接收错误）	GEN12.EN6	GRP12.IS6	GCR12.CLR6	
	SCI7	ERI7 （SCI7 接收错误）	GEN12.EN7	GRP12.IS7	GCR12.CLR7	
	SCI8	ERI8 （SCI8 接收错误）	GEN12.EN8	GRP12.IS8	GCR12.CLR8	
	SCI9	ERI9 （SCI9 接收错误）	GEN12.EN9	GRP12.IS9	GCR12.CLR9	
	SCI10	ERI10 （SCI10 接收错误）	GEN12.EN10	GRP12.IS10	GCR12.CLR10	
	SCI11	ERI11 （SCI11 接收错误）	GEN12.EN11	GRP12.IS11	GCR12.CLR11	
	SCI12	ERI12 （SCI12 接收错误）	GEN12.EN12	GRP12.IS12	GCR12.CLR12	
	RSPI0	SPEI0 （错误中断）	GEN12.EN13	GRP12.IS13	GCR12.CLR13	
	RSPI1	SPEI1 （错误中断）	GEN12.EN14	GRP12.IS14	GCR12.CLR14	
	RSPI2	SPEI2 （错误中断）	GEN12.EN15	GRP12.IS15	GCR12.CLR15	

15.4.2 单元选择功能

单元选择功能是指将 2 个外围模块的中断作为 1 个中断请求共有的功能。通过 SEL.CNj 位 （j=0 ～ 5）选择配对的 2 个单元 （MTUn、 TPUn），并且能检测所选单元的中断。

运行例子请参照 “15.5.1.5 单元选择和中断状态标志”。

各单元的中断请求的对应如 “表 15.5 单元 n 的中断源 （n=0 ～ 5）” 所示。

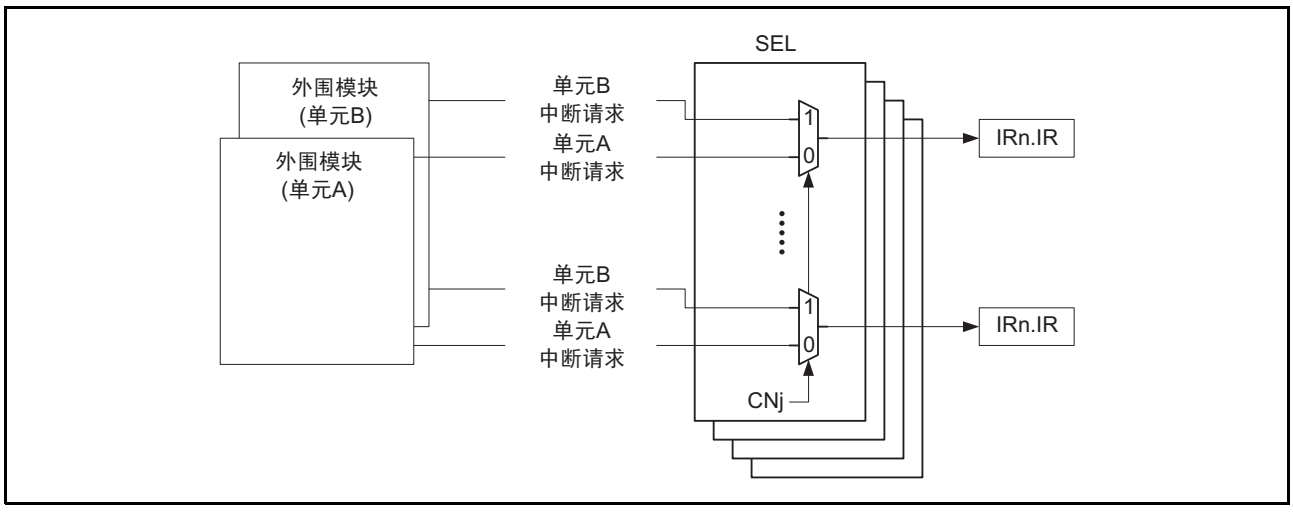


图 15.3 单元选择功能

表 15.5 单元 n 的中断源 （n=0 ～ 5）

单元号（SEL.CNj 位）	TPU		MTU		中断种类	向量号（IRn.IR）
	中断源发生源	名称	中断源发生源	名称		
单元 0（SEL.CN0 位）	TPU6	TGI6A	MTU0	TGIA0	输入捕捉 / 比较匹配	142
	TPU6	TGI6B	MTU0	TGIB0	输入捕捉 / 比较匹配	143
	TPU6	TGI6C	MTU0	TGIC0	输入捕捉 / 比较匹配	144
	TPU6	TGI6D	MTU0	TGID0	输入捕捉 / 比较匹配	145
	—	—	MTU0	TGIE0	比较匹配	146
	—	—	MTU0	TGIF0	比较匹配	147
单元 1（SEL.CN1 位）	TPU7	TGI7A	MTU1	TGIA1	输入捕捉 / 比较匹配	148
	TPU7	TGI7B	MTU1	TGIB1	输入捕捉 / 比较匹配	149
单元 2（SEL.CN2 位）	TPU8	TGI8A	MTU2	TGIA2	输入捕捉 / 比较匹配	150
	TPU8	TGI8B	MTU2	TGIA2	输入捕捉 / 比较匹配	151
单元 3（SEL.CN3 位）	TPU9	TGI9A	MTU3	TGIA3	输入捕捉 / 比较匹配	152
	TPU9	TGI9B	MTU3	TGIB3	输入捕捉 / 比较匹配	153
	TPU9	TGI9C	MTU3	TGIC3	输入捕捉 / 比较匹配	154
	TPU9	TGI9D	MTU3	TGID3	输入捕捉 / 比较匹配	155
单元 4（SEL.CN4 位）	TPU10	TGI10A	MTU4	TGIA4	输入捕捉 / 比较匹配	156
	TPU10	TGI10B	MTU4	TGIB4	输入捕捉 / 比较匹配	157
	—	—	MTU4	TGIC4	输入捕捉 / 比较匹配	158
	—	—	MTU4	TGID4	输入捕捉 / 比较匹配	159
	—	—	MTU4	TCIV4	上溢 / 下溢	160
单元 5（SEL.CN5 位）	—	—	MTU5	TGIU5	输入捕捉 / 比较匹配	161
	—	—	MTU5	TGIV5	输入捕捉 / 比较匹配	162
	—	—	MTU5	TGIW5	输入捕捉 / 比较匹配	163
	TPU11	TGI11A	—	—	输入捕捉 / 比较匹配	164
	TPU11	TGI11B	—	—	输入捕捉 / 比较匹配	165

注 . 在选择时，只有被分配到 TPUn 或者 MTUn 的中断有效；在不选择时，屏蔽这些中断。

15.5 中断的运行说明

中断控制器进行以下处理：

- 中断检测
- 中断的允许或者禁止控制
- 中断请求目标 （CPU中断、 DTC的启动、 DMAC的启动）的选择
- 中断优先级的判断

15.5.1 中断检测

中断请求的检测方法有电平检测和边沿检测两种。

对于 IRQi 引脚 （i=0 ～ 15）的外部中断请求，能通过设定 IRQCRi.IRQMD[1:0] 位，选择边沿检测或者电平检测。

对于外围模块的中断请求，给各中断源规定了边沿检测或者电平检测。

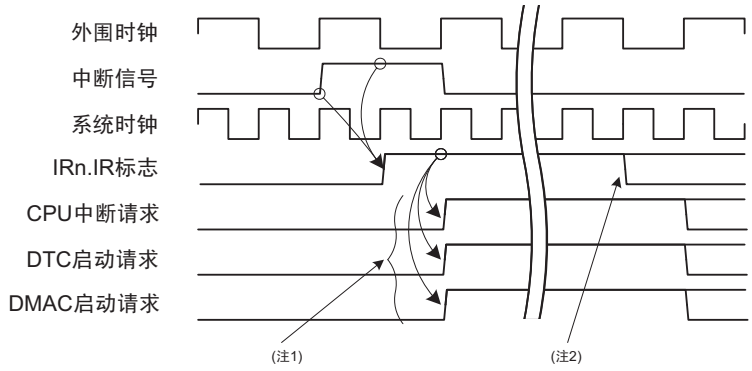
对应各中断源的检测方法请参照 **“表 15.3 中断向量表”**。

被分组的中断请求分为边沿检测组和电平检测组，被保持在 GRPm 寄存器 （m= 组号 0 ～ 6、 12）中。边沿检测组和电平检测组都将 IRn.IR 标志用作电平检测中断。中断分组功能的详细内容请参照 **“15.4 外围模块中断请求组和单元选择功能”**，被分组的中断请求请参照 **“表 15.4 组 m 的中断请求”**。

15.5.1.1 边沿检测的中断状态标志

对外围功能中断和外部引脚中断进行边沿检测时的 IRn.IR 标志变化如**图 15.4** 所示。

在发生中断请求时的中断信号的变化位置， IRn.IR 标志变为 “1”。当中断请求目标为 CPU 时，如果接受中断，IRn.IR 标志就自动变为“0”。当中断请求目标为 DMAC 或者 DTC 时，IRn.IR 标志的清除时序因 DMAC/DTC 的传送设定和传送次数而不同。详细内容请参照 **“表 15.6 启动 DMAC 或者 DTC 时的运行”**。不需要通过软件清除 IRn.IR 标志。



注1. 发行CPU中断请求、DTC启动请求或者DMAC启动请求。
设定方法请参照“15.5.3 中断请求目标的选择”。

注2. 在CPU中断请求的情况下，当CPU接受中断时，此标志变为“0”。在DTC启动或者DMAC启动的情况下，此标志变为“0”的时序请参照“表15.6 启动DMAC或者DTC时的运行”。

图 15.4 边沿检测时的 IRn.IR 标志变化

图 15.5 ～图 15.8 的中断信号是中断控制器的信号。中断向量号 64 ～ 95 的中断时序和其他中断不同。在中断向量号 64 ～ 79 的 IRQ 引脚中断的情况下，从 IRQ 引脚输入增加内部延迟 +2 个 PCLK 的延迟；在中断向量号 80 ～ 95 的中断的情况下，增加 2 个 PCLK 的延迟。

如果在每个周期产生中断信号，就不能检测后续的中断。对于连续的中断请求，必须至少空出系统时钟和外围时钟中频率慢的 2 个时钟周期。

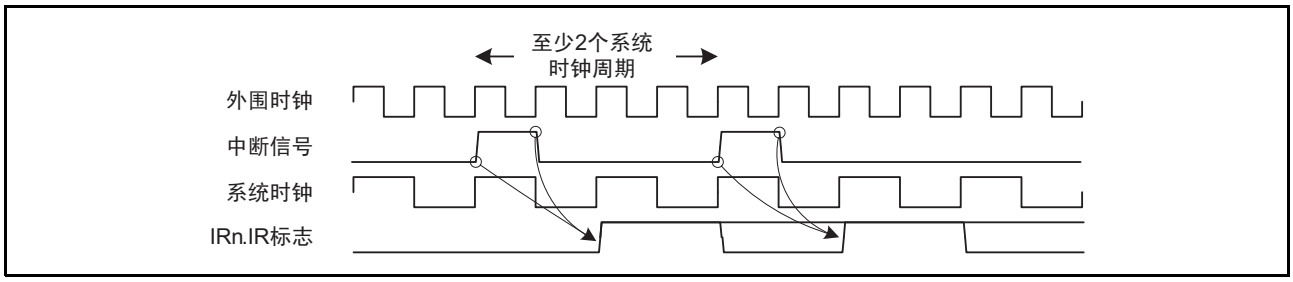


图 15.5 连续中断请求的发行间隔 （系统时钟频率＜外围时钟频率的情况）

在发生中断请求并且 IRn.IR 标志为 “1” 的状态下，忽视再次产生的中断请求（注 1）。

IRn.IR 标志再次被置位的时序如图 15.6 所示。

注 1. 但是，在 SCI、 RSPI、 RIIC 的各发送中断或者接收中断的情况下，保持在 IRn.IR 标志为 “1” 的状态下产生的中断请求，在 IRn.IR 标志变为 “0” 后，因被保持的请求而 IRn.IR 标志再次变为 “1”。详细内容请参照 “31. 串行通信接口（SCIc、SCId）”、“32. I2C 总线接口（RIIC）” 和 “34. 串行外围接口（RSPI）” 中的各中断的说明。

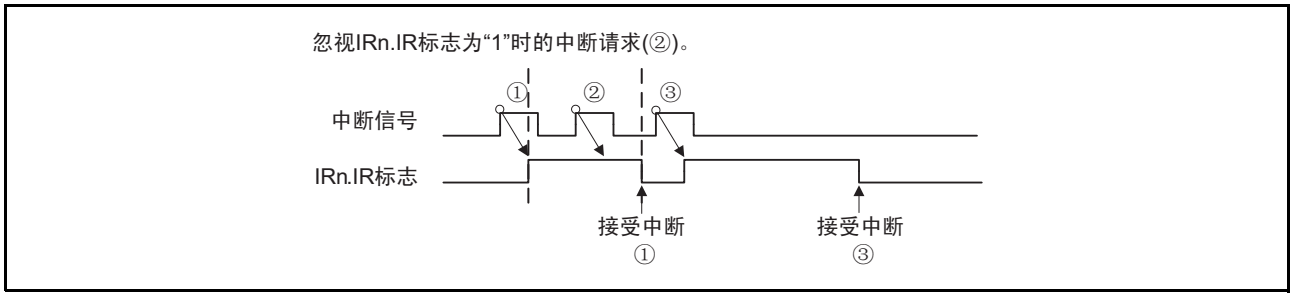


图 15.6 IRn.IR 标志再次被置位的时序

即使在 IRn.IR 标志变为 “1” 后禁止中断 （通过外围模块的中断允许位禁止中断请求的输出）， IRn.IR 标志也不受影响而保持 “1” 的状态。禁止中断时的 IRn.IR 标志变化如图 15.7 所示。

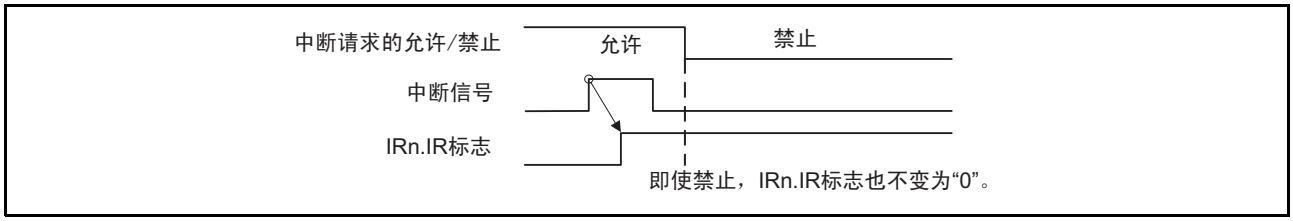


图 15.7 中断请求的禁止和 IRn.IR 标志的关系

15.5.1.2 电平检测的中断状态标志

对外围功能中断和外部引脚中断进行电平检测时的 IRn.IR 标志变化如图 15.8 所示。

在中断信号有效期间，IRn.IR 标志保持 “1”。要将 IRn.IR 标志置 “0” 时，必须将中断发生源的中断请求标志置 “0”。必须在确认中断请求发生源的中断请求标志和 IRn.IR 标志都变为 “0” 后结束中断处理程序。

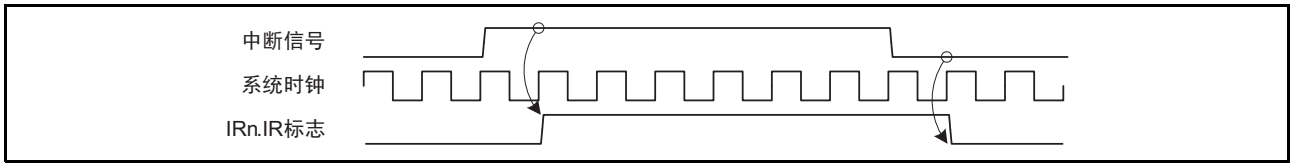


图 15.8 电平检测时的 IRn.IR 标志变化

电平检测的中断处理步骤如图 15.9 所示。

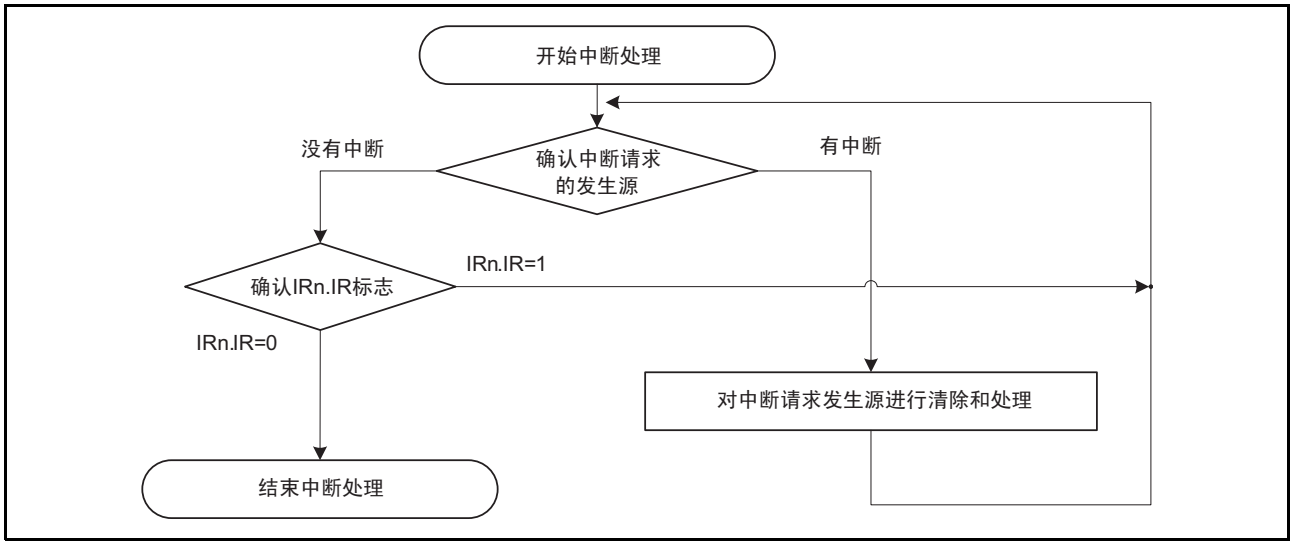


图 15.9 电平检测的中断处理步骤

15.5.1.3 边沿检测组中断和中断状态标志

边沿检测的中断请求被分在组 0 ～组 6。该组对应的 IRn.IR 标志用作电平检测中断。

边沿检测中断请求的检测运行例子如图 15.10 所示，发生多个边沿检测中断请求 （被分配到 1 组）时的运行例子如图 15.11 所示。

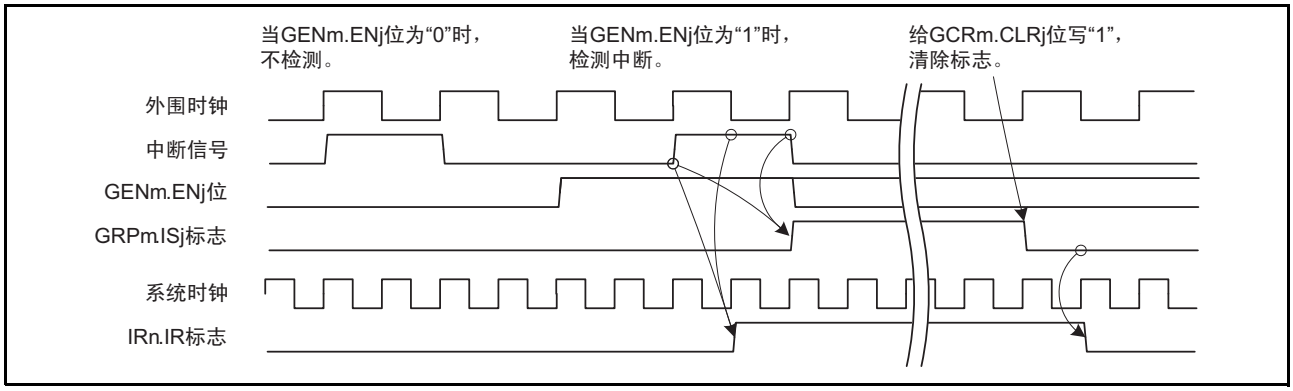


图 15.10 组中断的边沿检测中断请求的运行例子

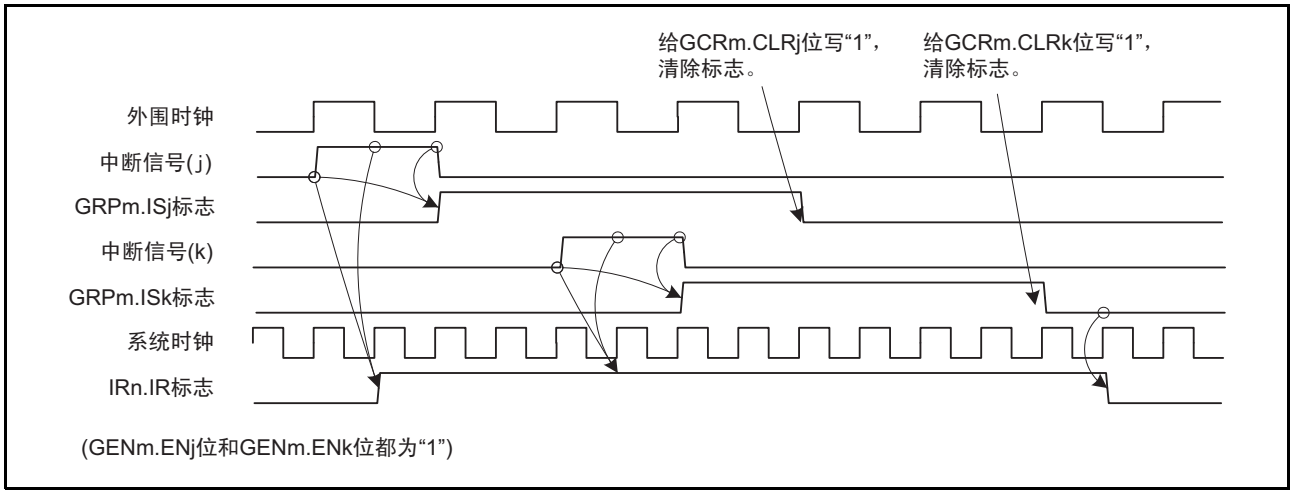


图 15.11 发生多个边沿检测中断请求 （被分配到 1 组）时的运行例子

必须按照图 15.12 所示的步骤进行边沿检测组 0 的中断处理。
必须按照图 15.13 所示的步骤进行边沿检测组 1 ～ 6 的中断处理。

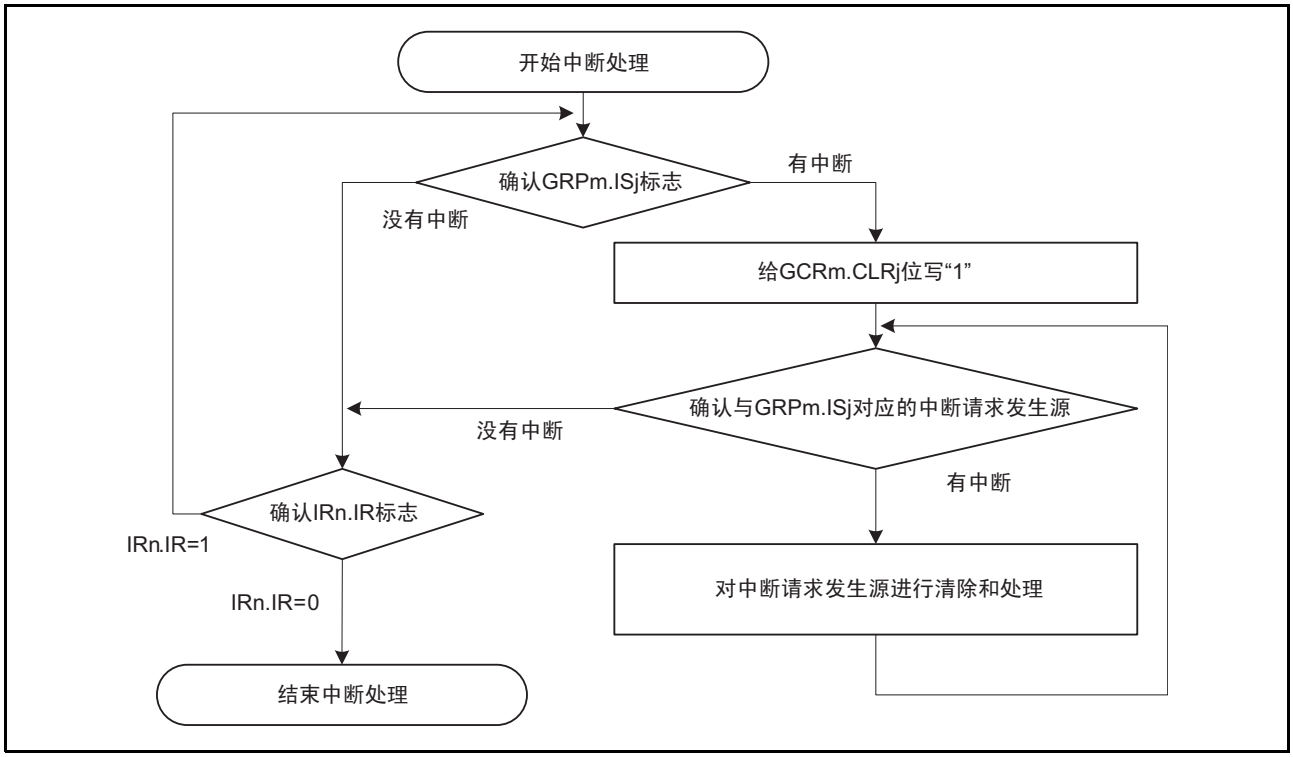


图 15.12 边沿检测组 0 的中断处理步骤

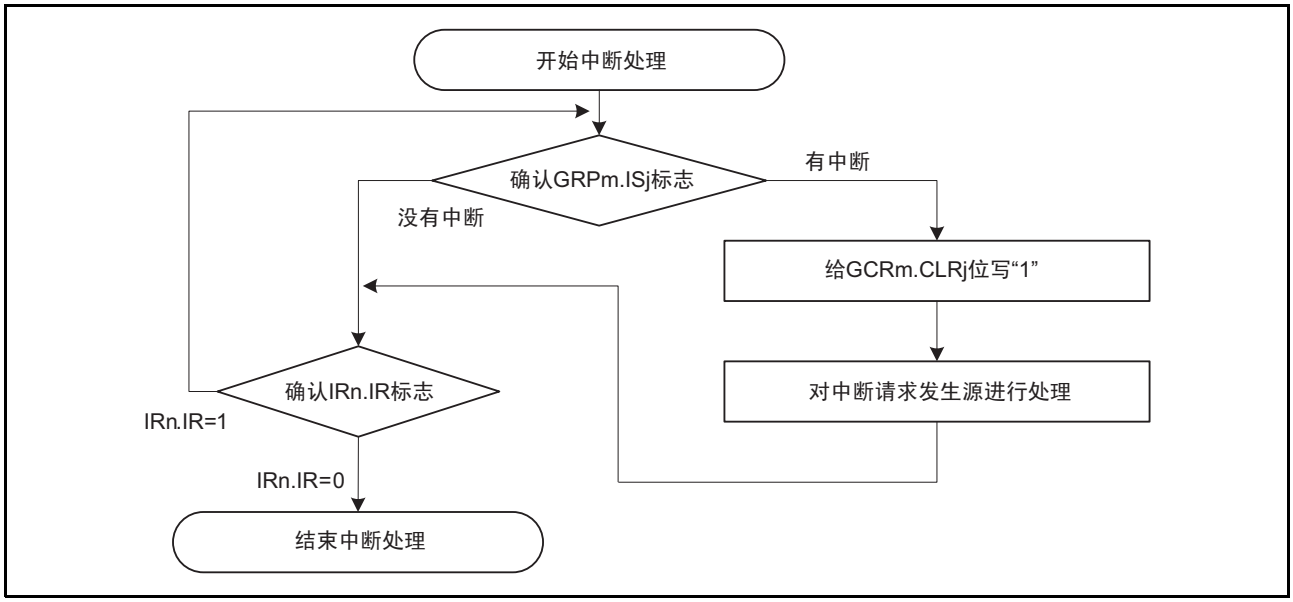


图 15.13 边沿检测组 1 ～ 6 的中断处理步骤

15.5.1.4 电平检测组中断和中断状态标志

电平检测的中断请求被分在组 12。该组对应的 IRn.IR 标志用作电平检测中断。

电平检测中断请求的检测运行例子如图 15.14 所示，发生多个电平检测中断请求 （被分配到 1 组）时的运行例子如图 15.15 所示。

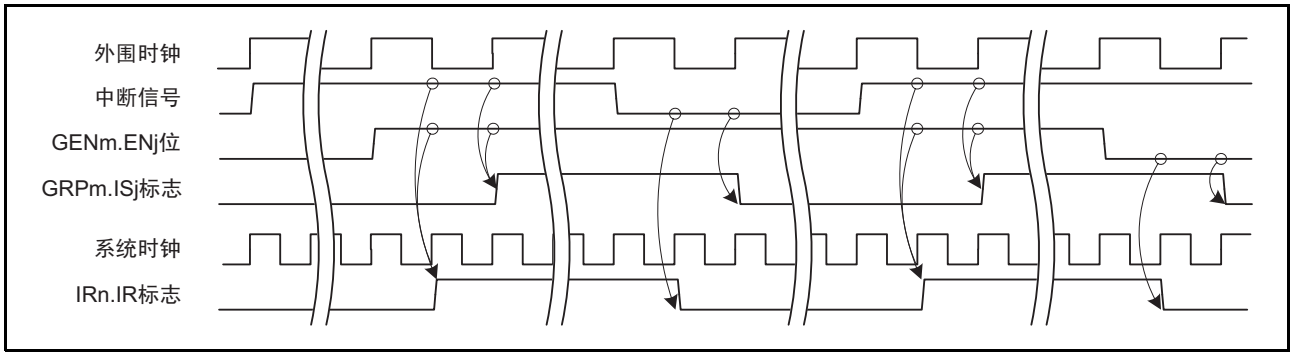


图 15.14 电平检测组中断的中断请求运行例子

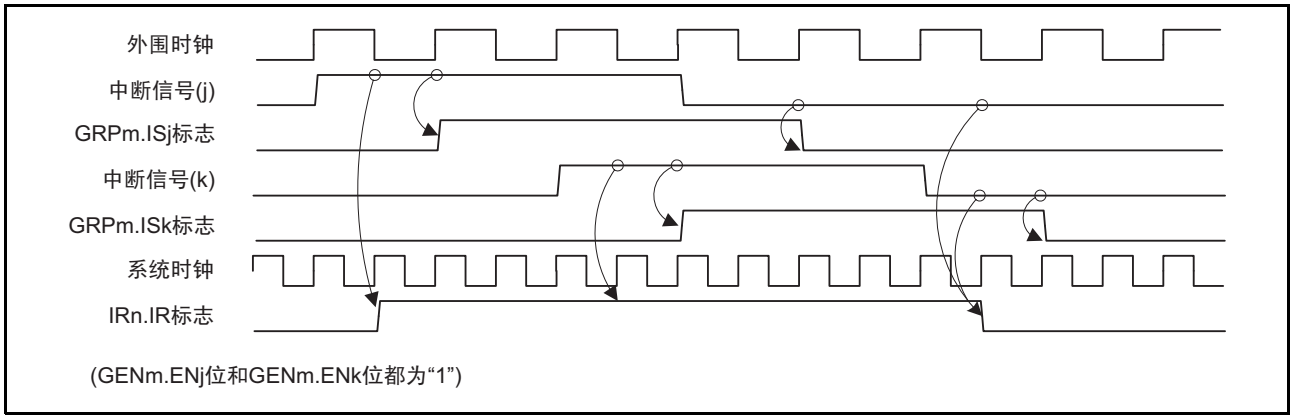


图 15.15 发生多个电平检测中断请求 （被分配到 1 组）时的运行例子

必须按照图 15.16 所示的步骤进行电平检测组的中断处理。

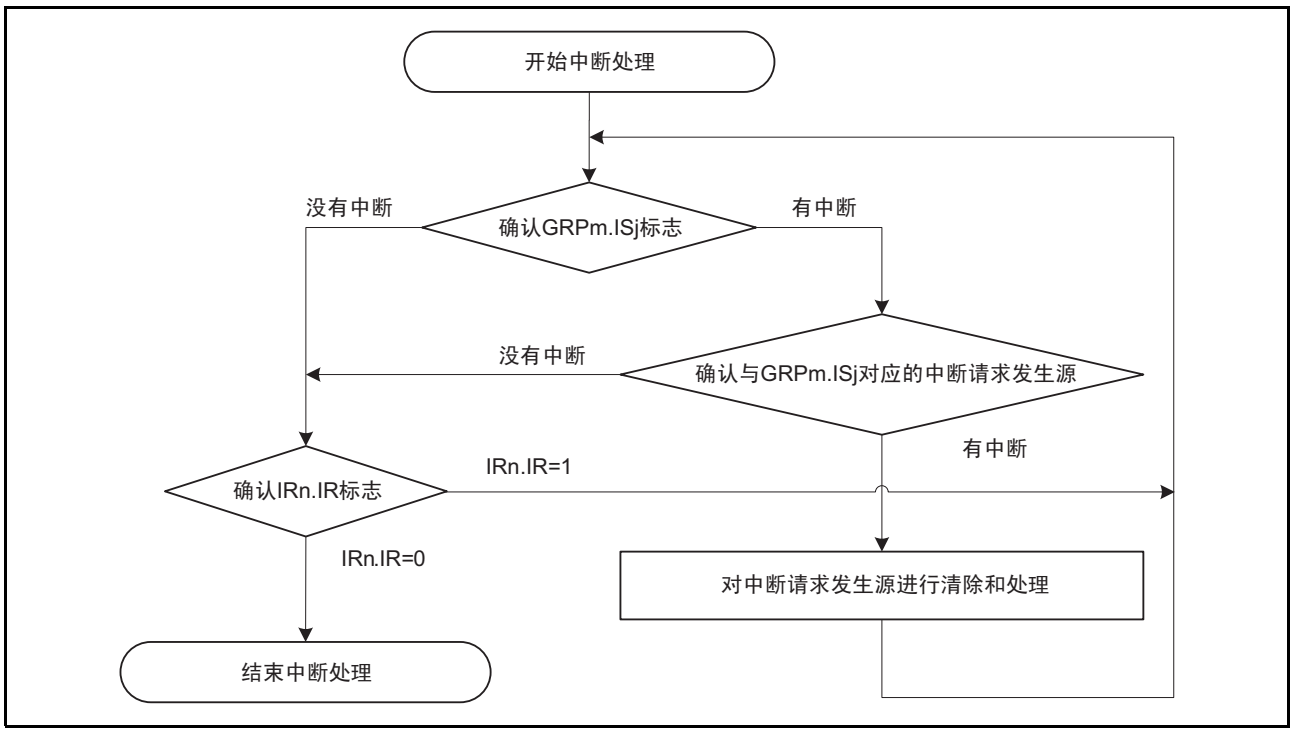


图 15.16 电平检测组的中断处理步骤

15.5.1.5 单元选择和中断状态标志

必须按照以下步骤选择单元：

- 在MTUn （n=0～5）和TPUn （n=6～11）的各中断请求输出源，将MTUn和TPUn都设定为禁止中断输出，然后通过读最后写的寄存器，确认写操作的结束。
- 确认IRn.IR标志是 “0”。
- 改写SEL.CNj位。
- 在MTUn （n=0～5）和TPUn （n=6～11）的各中断请求输出源，允许要使用的中断输出。

单元选择功能的运行例子如图 15.17 所示。

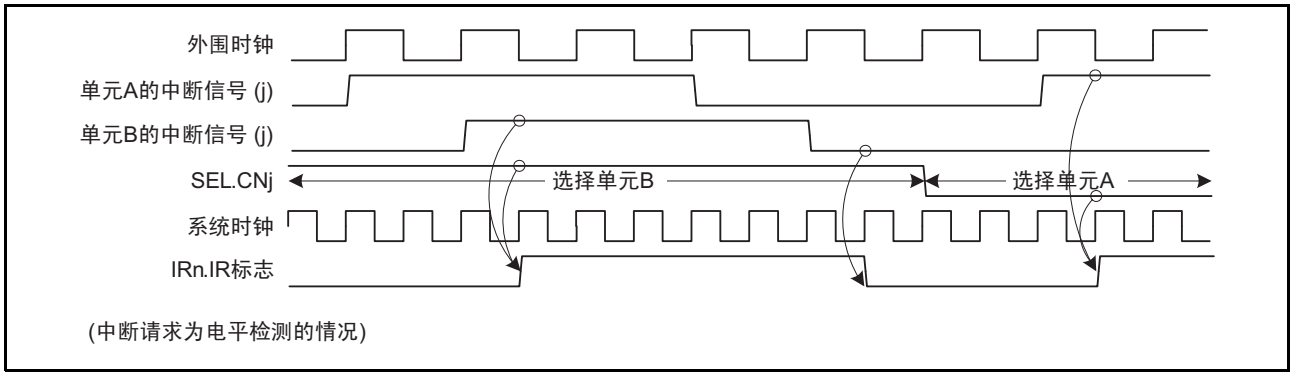


图 15.17 单元选择功能的运行例子

15.5.2 中断请求的允许 / 禁止

为了允许中断请求，需要进行以下设定：

1. 在外围功能中断的情况下，通过外围模块的中断允许位允许中断请求的输出。
2. 通过GENm.ENj位允许被分组的中断请求。
3. 通过IERm.IENj位允许中断请求。

如果在中断发生源发生被允许中断输出的中断请求，对应的 IRn.IR 标志就变为 “1”。

如果发生被分组的中断请求，就在对应的 GRPm.ISj 标志变为 “1” 的同时，该组对应的 IRn.IR 标志也变为 “1”。

通过 IERm.IENj 位允许中断请求，将 IRn.IR 标志为 “1” 的中断请求输出到中断请求目标。通过 IERm.IENj 位禁止中断请求，保留 IRn.IR 标志为 “1” 的中断请求。

IRn.IR 标志不受 IERm.IENj 位的影响。

禁止中断请求的步骤如下：

1. 将IERm.IENj位设定为禁止中断请求。
2. 在被分组的中断请求的情况下，将GENm.ENj位设定为禁止。
3. 将外围模块的中断输出允许位设定为禁止，并且通过读已写的寄存器来确认写操作的结束。
4. 根据需要，确认IRn.IR标志或者将IRn.IR标志置 “0”（注1）。
   在被分组的中断请求的情况下，确认GRPm.ISj标志或者将GRPm.ISj标志置 “0”。

注 1. 如果将 SCI、RSPI、RIIC 的各发送中断或者接收中断从允许状态改为禁止状态，就必须按照上述步骤将 IRn.IR 标志置 “0”。详细内容请参照 “31. 串行通信接口 （SCIc、SCId）”、“32. I2C 总线接口 （RIIC）” 和 “34. 串行外围接口 （RSPI）” 中的各中断的说明。

15.5.3 中断请求目标的选择

给各中断源规定了能设定的中断请求目标，能设定的请求目标如 “表 15.3 中断向量表”所示。不能选择表 15.3 中没有记载 “〇”的中断请求目标。

要通过 IRQ 引脚将 DTC/DMAC 设定为中断请求目标时，必须将 IRQCRi.IRQMD[1:0] 位设定为边沿检测。

中断请求目标的设定方法如下所示。

(1) DMAC 的启动

必须在 IERm.IENj 位为 “0”时对各中断源进行以下设定：

1. 给DMAC的各通道准备的DMAC启动请求选择寄存器（DMRSRm）指定对应的中断源向量号（注1）。
2. 将DMAC对应通道的启动源 （DMACm.DMTMD.DCTG[1:0]）设定为 “01b”（检测中断模块）。
3. 将DMAC对应通道的DMAC启动允许位 （DMACm.DMCNT.DTE）置 “1”。

必须在上述状态下将 IERm.IENj 位置 “1”。

还必须将 DMAC 运行允许位 （DMAST.DMST）置 “1”。各中断源的设定和 DMAC 运行允许位的设定不分先后顺序。

DMAC 的设定步骤请参照 “17. DMA 控制器 （DMACA）”的 “17.3.7 DMAC 的启动”。

(2) DTC 的启动

必须在 IERm.IENj 位为 “0”时对各中断源进行以下设定：

1. 将对应中断源的DTC启动允许寄存器的DTC传送允许位 （DTCERn.DTCE）置 “1”（注1）。

必须在上述状态下将 IERm.IENj 位置 “1”。

还必须将 DTC 模块启动位 （DTCST.DTCST）置 “1”。各中断源的设定和 DTC 模块启动位的设定不分先后顺序。

DTC 的设定步骤请参照 “18. 数据传送控制器 （DTCa）”的 “18.5 DTC 的设定步骤”。

注 1. 不能给 DTC 启动允许 （DTCERn.DTCE）和 DMAC 启动请求选择 （DMRSRm）设定相同的中断源，也不能给多个 DMRSRm 设定相同的中断源。

(3) CPU 中断请求

对于中断请求目标既不是 DMAC 也不是 DTC 的中断源，中断请求目标为 CPU。

必须在未设定上述的 DMAC 启动和 DTC 启动的状态下将 IERm.IENj 位置 “1”。

将 DMAC 和 DTC 设定为中断请求目标时的运行如表 15.6 所示。

表 15.6 启动 DMAC 或者 DTC 时的运行

中断请求目标	DISEL	剩余的传送次数	1 次请求的运行	IR（注 1）	传送后的中断请求目标
DMAC	1	≠0	DMA 传送 →CPU 中断	在接受 CPU 中断时清除。	DMAC
		=0	DMA 传送 →CPU 中断	在接受 CPU 中断时清除。	清除 DMACm.DMCNT.DTE 位并且转换到 CPU。
	0	≠0	DMA 传送	在开始 DMAC 传送时清除。	DMAC
		=0	DMA 传送（注 2）	在开始 DMAC 传送时清除（注 2）。	清除 DMACm.DMCNT.DTE 位并且转换到 CPU。
DTC（注 3）	1	≠0	DTC 传送 →CPU 中断	在接受 CPU 中断时清除。	DTC
		=0	DTC 传送 →CPU 中断	在接受 CPU 中断时清除。	清除 DTCER.DTCE 位并且转换到 CPU。
	0	≠0	DTC 传送	在读取 DTC 传送信息后开始 DTC 数据传送时清除。	DTC
		=0	DTC 传送 →CPU 中断（注 2）	在接受 CPU 中断时清除（注 2）。	清除 DTCER.DTCE 位并且转换到 CPU。

通过 DMACm.DMCSL.DISEL 位设定 DMAC 的 DISEL，通过 DTC.MRB.DISEL 位设定 DTC 的 DISEL。

注 1. 忽视在 IRn.IR 标志为 “1” 时再次产生的中断请求 （DTC/DMAC 的启动请求）。

注 2. DISEL 为 “0” 并且剩余的传送次数为 “0” 时的运行因 DTC 和 DMAC 而不同。

注 3. 在链传送的情况下，DTC 的传送继续到最后的链传送为止。最后的链传送时的 CPU 中断的有无、IRn.IR 标志的清除、传送后的中断请求目标等，取决于最后的链传送的 DISEL 和剩余的传送次数。有关链传送，请参照 “18. 数据传送控制器 （DTCa）” 的 “表 18.3 链传送的条件”。

要更改中断请求目标时，必须在 IERm.IENj 位为 “0” 时进行。

要在进行 “(1) DMAC 的启动” 的设定后传送未结束的状态 （未清除 DMACm.DMCNT.DTE 位的状态）下更改中断请求目标或者将 DMA 启动源更改为其他中断源时，必须按照以下步骤进行更改：

1. 将要取消的中断源以及作为新启动对象的中断源的 IERm.IENj 位置 “0”。
2. 确认 DMAC 的传送状况。如果是在传送过程中，就等待传送结束。
3. 进行 “(1) DMAC 的启动” 的设定。

要在进行 “(2) DTC 的启动” 的设定后传送未结束的状态 （未清除 DTCERn.DTCE 位的状态）下更改中断请求目标或者更改 DTC 的传送设定内容时，就必须按照以下步骤进行更改：

1. 将要取消的中断源以及作为新启动对象的中断源的 IERm.IENj 位置 “0”。
2. 确认 DTC 的传送状况。如果是在传送过程中，就等待传送结束。
3. 设定 “(2) DTC 的启动”。

15.5.4 优先级的判断

中断控制器判断各中断请求目标的优先级。各中断请求目标的优先级判断方法如下。

(1) 中断请求目标为 CPU 时的优先级判断

被设定为高速中断的中断源的优先级最高，其次优先中断优先级设定位（IPRn.IPR[3:0]）中值大的中断源。如果 IPRn.IPR[3:0] 位的值相同并且有多个优先级的中断源，就优先向量号小的中断源。

(2) 中断请求目标为 DTC 时的优先级判断

不受 IPRn.IPR[3:0] 位的影响，优先向量号小的中断源。

(3) 中断请求目标为 DMAC 时的优先级判断

不受 IPRn.IPR[3:0] 位的影响。有关 DMAC 通道的优先级，请参照 “17. DMA 控制器 （DMACA）”。

15.5.5 高速中断

高速中断是高速地进行CPU中断处理的功能，只对CPU的中断请求有效，不影响DTC和DMAC的启动请求。

在通过 FIR.FVCT[7:0] 位给要设定为高速中断的中断源设定向量号并且通过 FIR.FIEN 位设定为允许高速中断的状态下，如果发生对应的中断源，就能作为高速中断输出到 CPU。

被设定为高速中断的中断源与 IPRn.IPR[3:0] 位的设定无关，是优先级最高的中断源。

有关高速中断的详细内容，请参照 “14. 异常处理”。

15.5.6 数字滤波器

外部中断请求引脚 IRQi （i=0 ～ 15）和 NMI 引脚中断具有数字滤波器功能。

数字滤波器通过滤波器的采样时钟 （PCLK）对输入信号进行采样，消除采样周期不足 3 次的脉冲。

当使用 IRQi 引脚的数字滤波器时，必须通过 IRQFLTCn.FCLKSELi[1:0] 位 （n=0 ～ 1、 i=0 ～ 15）设定采样频率 （PCLK、 PCLK/8、 PCLK/32、 PCLK/64）并且将 IRQFLTEn.FLTENi 位置 “1”（数字滤波器有效）。

当使用 NMI 引脚中断的数字滤波器时，必须通过 NMIFLTC.NFCLKSEL[1:0] 位设定采样频率 （PCLK、PCLK/8、 PCLK/32、 PCLK/64）并且将 NMIFLTE.NFLTEN 位置 “1”（数字滤波器有效）。数字滤波器的运行例子如图 15.18 所示。

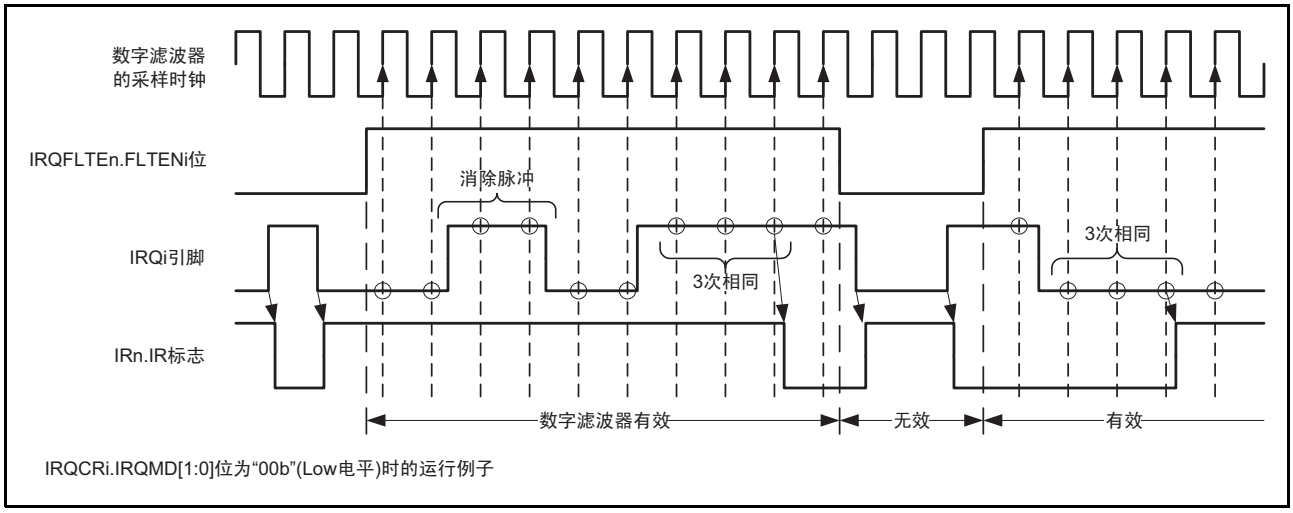


图 15.18 数字滤波器的运行例子

在向软件待机模式转移时，必须将 IRQFLTEn.FLTENi 位和 NMIFLTE.NFLTEN 位都置 “0”（数字滤波器无效）。要在从软件待机模式返回后再次使用数字滤波器时，必须将 IRQFLTEn.FLTENi 位或者 NMIFLTE.NFLTEN 位置 “1”（数字滤波器有效）。

15.5.7 外部引脚中断

使用外部引脚中断的步骤如下：

1. 将IERm.IENj位置 “0”（禁止中断请求）。
2. 将IRQFLTEn.FLTENi位 （n=0～1、 i=0～15）置 “0”（数字滤波器无效）。
3. 通过IRQFLTEn.FCLKSELi[1:0]位设定数字滤波器的采样时钟。
4. 设定I/O端口并且进行确认。
5. 通过IRQCRi.IRQMD[1:0]位设定检测方法。
6. 将IRn.IR标志置 “0”（边沿检测的情况）。
7. 将IRQFLTEn.FLTENi位置 “1”（数字滤波器有效）。
8. 当启动DMAC时，设定DMRSRm.DMRS[7:0]位；当启动DTC时，设定DTCERn.DTCE位 （在不设定任何位的情况下，为CPU中断）。
9. 将IERm.IENj位置 “1”（允许中断请求）。

15.6 非屏蔽中断的运行说明

非屏蔽中断有 NMI 引脚中断、振荡停止检测中断、 WDT 下溢 / 刷新错误中断、 IWDT 下溢 / 刷新错误中断、电压监视 1 中断和电压监视 2 中断。非屏蔽中断只限于向 CPU 请求的中断，不能启动 DTC 和 DMAC。在包括高速中断在内的全部中断中，非屏蔽中断是最优先的中断。

非屏蔽中断请求与 CPU 的 PSW.I 位（中断允许位）和 PSW.IPL[3:0] 位（处理器中断优先级）的状态无关，总是被接受。能通过非屏蔽中断状态寄存器 （NMISR）确认非屏蔽中断的有无。

必须通过非屏蔽中断处理程序确认 NMISR 寄存器的全部位都是 “0”。

初始状态为 “禁止非屏蔽中断”。在使用非屏蔽中断的系统中，必须在程序处理的起始位置按照以下步骤进行设定。

非屏蔽中断的使用步骤：

1. 设定堆栈指针 （SP）。
2. 在使用NMI引脚时，将NMIFLTE.NFLTEN位置 “0”（数字滤波器无效）。
3. 在使用NMI引脚时，通过NMIFLTC.NFCLKSEL[1:0]位设定数字滤波器的采样时钟。
4. 在使用NMI引脚时，通过NMICR.NMIMD位设定NMI引脚的检测方法。
5. 在使用NMI引脚时，在给NMICLR.NMICLR位写 “1”后将NMISR.NMIST标志置 “0”。
6. 在使用NMI引脚时，将NMIFLTE.NFLTEN位置 “1”（数字滤波器有效）。
7. 通过将非屏蔽中断允许寄存器 （NMIER）允许的中断对应位置 “1”， 允许使用非屏蔽中断。

如果给 NMIER 寄存器写 “1”，就忽视以后 NMIER 寄存器的写操作。不能禁止非屏蔽中断，只能通过复位禁止非屏蔽中断。

非屏蔽中断的处理流程请参照 “14. 异常处理”。

通过给 NMICLR.NMICLR 位写 “1”， NMI 状态标志 （NMISR.NMIST）变为 “0”。

通过给 NMICLR.OSTCLR 位写 “1”，振荡停止检测中断状态标志 （NMISR.OSTST）变为 “0”。

通过给 NMICLR.WDTCLR 位写 “1”， WDT 下溢 / 刷新错误状态标志 （NMISR.WDTST）变为 “0”。

通过给 NMICLR.IWDTCLR 位写 “1”， IWDT 下溢 / 刷新错误状态标志 （NMISR.IWDTST）变为 “0”。

通过给 NMICLR.LVD1CLR 位写 “1”，电压监视 1 中断状态标志 （NMISR.LVD1ST）变为 “0”。

通过给 NMICLR.LVD2CLR 位写 “1”，电压监视 2 中断状态标志 （NMISR.LVD2ST）变为 “0”。

15.7 从低功耗状态的返回

能用作从睡眠模式、全模块时钟停止模式、软件待机模式返回中断的中断源如“表15.3 中断向量表”所示。详细内容请参照 “11. 低功耗功能”，各低功耗模式中返回对象中断的设定方法如下所示。

15.7.1 从睡眠模式的返回

能通过非屏蔽中断和全部中断源的中断进行返回，返回条件如下：

- 中断

1. 中断请求目标为CPU。
2. 已经通过IERm.IENj位允许对应的中断请求。
3. 高于CPU.PSW.IPL[3:0]位的中断优先级。
4. 在被分组的中断请求的情况下，已经通过GENm.ENj位允许对应的中断请求。

- 非屏蔽中断

已经通过 NMIER 寄存器允许对应的中断请求。

15.7.2 从全模块时钟停止模式的返回

能通过非屏蔽中断以及能从全模块时钟停止模式返回的中断进行返回，返回条件如下：

- 中断

1. 是能从全模块时钟停止模式返回的中断源。
2. 中断请求目标为CPU。
3. 已经通过IERm.IENj位允许对应的中断请求。
4. 高于CPU.PSW.IPL[3:0]位的中断优先级。

- 非屏蔽中断

已经通过 NMIER 寄存器允许对应的中断请求。

15.7.3 从软件待机模式的返回

能通过非屏蔽中断以及能从软件待机模式返回的中断进行返回，返回条件如下：

- 中断

1. 是能从软件待机模式返回的中断源。
2. 中断请求目标为CPU。
3. 已经通过IERm.IENj位允许对应的中断请求。
4. 高于CPU.PSW.IPL[3:0]位的中断优先级。
   （对于被设定为高速中断的中断源，除了高速中断设定寄存器 （FIR），还必须将对应的中断优先级（IPRn）设定为高于CPU.PSW.IPL。）

对于不满足上述条件的 IRQ 引脚，在软件待机模式中检测不到时钟停止期间内发生的中断源。

- 非屏蔽中断

已经通过 NMIER 寄存器允许对应的中断请求。

必须按照以下步骤进行软件待机模式的转移或者解除：

1. 必须在向软件待机模式转移前将返回对象的中断源的数字滤波器置为无效（将IRQFLTEn.FLTENi位和NMIFLTE.NFLTEN位都置 “0”）。
2. 要在从软件待机模式返回后再次使用数字滤波器时，必须将数字滤波器置为有效（将IRQFLTEn.FLTENi位和NMIFLTE.NFLTEN位都置 “1”）。

15.8 使用时的注意事项

15.8.1 使用非屏蔽中断时的 WAIT 指令的注意事项

必须在确认 NMISR 寄存器的全部状态标志都为 “0” 后发行 WAIT 指令。

16. 总线

16.1 概要

总线的规格和各种总线的地址对应表分别如**表 16.1** 和**表 16.2** 所示，总线结构图如**图 16.1** 所示。

表 16.1 总线的规格

总线的种类		内容
CPU 总线	指令总线	• 连接 CPU （指令）。 • 连接内部存储器 （内部 RAM、内部 ROM）。 • 与系统时钟 （ICLK）同步运行。
	操作数总线	• 连接 CPU （操作数）。 • 连接内部存储器 （内部 RAM、内部 ROM）。 • 与系统时钟 （ICLK）同步运行。
存储器总线	存储器总线 1	• 连接内部 RAM。
	存储器总线 2	• 连接内部 ROM。
内部主总线	内部主总线 1	• 连接 CPU。 • 与系统时钟 （ICLK）同步运行。
	内部主总线 2	• 连接 DTC 和 DMAC。 • 连接内部存储器 （内部 RAM、内部 ROM）。 • 与系统时钟 （ICLK）同步运行。
内部外围总线	内部外围总线 1	• 连接外围功能 （DTC、 DMAC、中断控制器、总线错误监视部）。 • 与系统时钟 （ICLK）同步运行。
	内部外围总线 2	• 连接外围功能 （内部外围总线 1、 3、 4、 5 以外的外围功能）。 • 与外围模块时钟 （PCLKB）同步运行。
	内部外围总线 3	• 连接外围功能 （USB）。 • 与外围模块时钟 （PCLKB）同步运行。
	内部外围总线 4	保留区总线
	内部外围总线 5	保留功能总线
	内部外围总线 6	• 连接内部 ROM （P/E）和 E2 数据闪存。 • 与 FlashIF 时钟 （FCLK）同步运行。
外部总线	CS 区域	• 连接外部设备。 • 与外部总线时钟 （BCLK）同步运行。

P/E：编程 / 擦除

BCLK （外部总线时钟）：这是最大 50MHz 的时钟。 CSC （CS 区域控制器）与 BCLK 同步运行。

BCLK 引脚输出：默认的频率和 BCLK 的频率相同，能通过外部总线时钟控制寄存器的 BCLK 引脚输出选择位 （BCKCR. BCLKDIV）选择 BCLK 的 2 分频，详细内容请参照 “9. 时钟发生电路”。

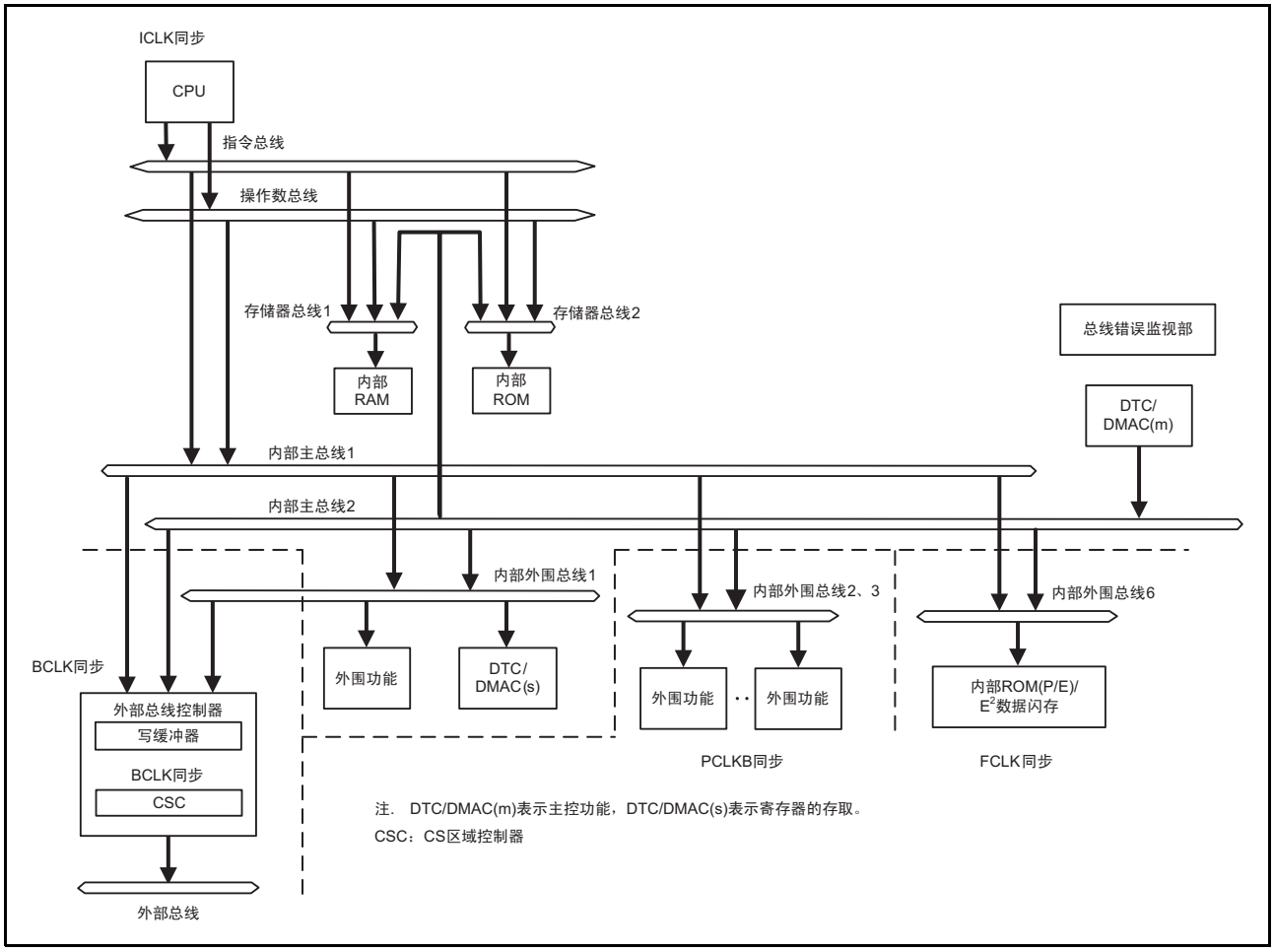

ICLK同步
CPU
指令总线
操作数总线
存储器总线1
存储器总线2
内部
RAM
内部
ROM
总线错误监视部
DTC/
DMAC(m)
内部主总线1
内部主总线2
内部外围总线1
内部外围总线2、3
内部外围总线6
BCLK同步
外围功能
DTC/
DMAC(s)
外围功能
外围功能
内部ROM(P/E)/
E2数据闪存
外部总线控制器
写缓冲器
BCLK同步
CSC
PCLKB同步
FCLK同步
注. DTC/DMAC(m)表示主控功能，DTC/DMAC(s)表示寄存器的存取。
CSC：CS区域控制器
外部总线

图 16.1 总线结构图

表 16.2 各种总线的地址对应表

地址	总线		内容	
	内部 ROM 模式		内部 ROM 模式	
	有效	无效	有效	无效
0000 0000h ～ 0001 FFFFh	存储器总线 1		内部 RAM	
0002 0000h ～ 0007 FFFFh			保留区	
0008 0000h ～ 0008 7FFFh	内部外围总线 1		外围 I/O 寄存器	
0008 8000h ～ 0009 FFFFh	内部外围总线 2			
000A 0000h ～ 000B FFFFh	内部外围总线 3			
000C 0000h ～ 000D FFFFh	保留区			
000E 0000h ～ 000F FFFFh	保留区			
0010 0000h ～ 00FF FFFFh	内部外围总线 6	保留区	E2 数据闪存、 FCU-RAM、内部 ROM（改写专用）	保留区
0100 0000h ～ 07FF FFFFh	外部总线		外部地址空间 （CS1 ～ CS7）	
0800 0000h ～ 0FFF FFFFh			保留区	
1000 0000h ～ 7FFF FFFFh	保留区		保留区	
8000 0000h ～ FEFF FFFFh	存储器总线 2	保留区	内部 ROM（只读）	保留区
FF00 0000h ～ FFFF FFFFh		外部总线		外部地址空间（CS0）

16.2 总线说明

16.2.1 CPU 总线

CPU 总线有指令总线和操作数总线，连接内部主总线 1。指令总线用于 CPU 的取指令，操作数总线用于 CPU 的操作数存取。

指令总线和操作数总线连接内部 RAM 和内部 ROM，能不通过内部主总线 1 而由 CPU 直接存取。内部 ROM 为只读区域，能由 CPU 直接存取，但是必须通过内部外围总线进行编程和擦除。

内部主总线 1 对取指令和操作数的总线权请求进行仲裁，优先级为操作数＞取指令。

如果取指令和操作数存取的请求是针对不同的总线 （存储器总线 1、存储器总线 2、内部主总线 1），就能同时进行各自的总线存取。例如，内部 ROM 和内部 RAM、内部 ROM 和外部存取等能并行运行。

16.2.2 存储器总线

存储器总线有存储器总线 1 和存储器总线 2，存储器总线 1 连接内部 RAM，存储器总线 2 连接内部 ROM。存储器总线 1 和存储器总线 2 对 CPU 总线 （取指令和操作数）和内部主总线 2 的总线权请求进行仲裁。

能分别通过总线优先级控制寄存器的存储器总线 1 （内部 RAM）的优先级控制位 （BUSPRI.BPRA[1:0]）和存储器总线 2 （内部 ROM）的优先级控制位 （BUSPRI.BPRO[1:0]）设定 2 条总线的优先级。在优先级固定的情况下，2 条总线的优先级为内部主总线 2 ＞ CPU 总线（操作数＞取指令）；在优先级交替的情况下，内部主总线 2 和 CPU 总线中已接受总线请求的一方的优先级变低。

16.2.3 内部主总线

内部主总线由 CPU 使用的总线 （内部主总线 1）以及其他总线主控 （DTC、 DMAC）使用的总线 （内部主总线 2）构成。

内部主总线 1 对取指令和操作数的总线权请求进行仲裁，优先级为操作数＞取指令。

内部主总线 2 对 DTC 和 DMAC 的总线权请求进行仲裁，优先级为 DMAC ＞ DTC，如表 16.3 所示。

对于 DTC 和 DMAC，只有接受了启动请求的一方才能请求总线权。 DTC 和 DMAC 的启动请求优先级为 DMAC0 ＞ DMAC1 ＞ DMAC2 ＞ DMAC3 ＞ DTC，与 BUSPRI 寄存器的设定无关。

如果 CPU 和其他总线主控的请求是针对不同的总线（内部存储器、内部外围总线 1 ～内部外围总线 6、外部总线），就能同时进行各自的总线存取。

如果通过 CPU 执行 XCHG 指令，就在 XCHG 指令进行的总线存取结束前不接受 CPU 以外的总线存取，与总线优先级控制寄存器 （BUSPRI）的设定无关，并且在读以及回写 DTC 的传送信息过程中也不接受 DTC 以外的总线存取。

表 16.3 总线主控优先级

优先级	总线主控
高 ↑ 低	DMAC
	DTC
	CPU

16.2.4 内部外围总线

连接内部外围总线的外围功能如表 16.4 所示。

表 16.4 连接内部外围总线的外围功能

总线的种类	外围功能
内部外围总线 1	DTC、 DMAC、中断控制器、总线错误监视部
内部外围总线 2	内部外围总线 1、 3、 4、 5 以外的外围功能
内部外围总线 3	USB
内部外围总线 4	保留功能总线
内部外围总线 5	保留功能总线
内部外围总线 6	内部 ROM(P/E)/E2 数据闪存、 FCU-RAM

内部外围总线 1 ～ 6 分别对 CPU（内部主总线 1）和其他总线主控（内部主总线 2）的总线权请求进行仲裁。

能通过总线优先级控制寄存器 （BUSPRI）设定 2 条总线的优先级，能通过内部外围总线 1 的优先级控制位 （BUSPRI.BPIB[1:0]）、内部外围总线 2、 3 的优先级控制位 （BUSPRI.BPGB[1:0]）以及内部外围总线 6 的优先级控制位 （BUSPRI.BPFB[1:0]）设定各总线的优先级。在优先级固定的情况下，优先级为内部主总线 2 ＞内部主总线 1；在优先级交替的情况下，内部主总线 1 和内部主总线 2 中已接受总线请求的一方的优先级变低。

必须注意：如果更改 BUSPRI 寄存器的设定，接受请求的顺序就可能发生变化 （参照图 16.2）。

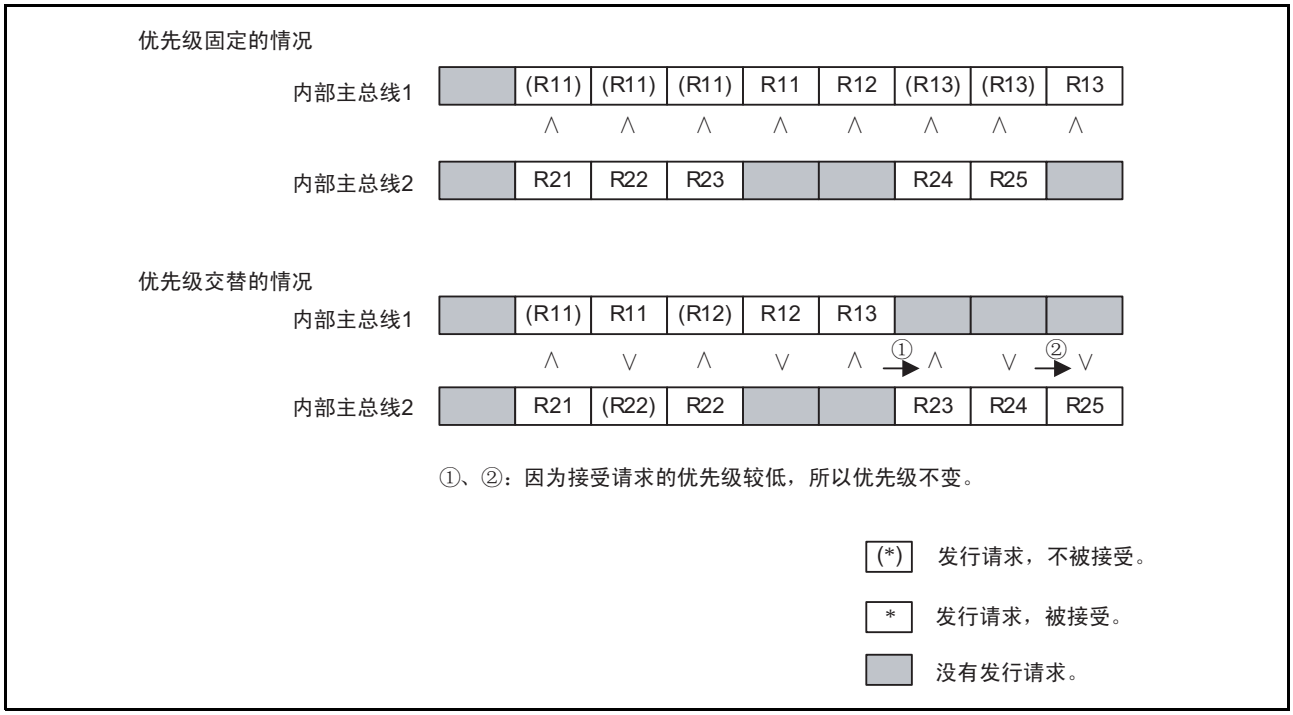


图 16.2 内部外围总线优先级

内部外围总线具有写缓冲器功能，在进行写存取时，能不等到运行结束就接受后面的存取。但是，在从相同的总线主控进行存取时，如果写存取后面的存取是针对不同的内部外围总线，后面的存取就要等到写存取结束。必须注意：如果在 CPU 对内部外围总线进行写存取后读内部存储器，因为不等到运行结束就接受后面的存取，所以存取的顺序有可能发生变化（参照图 16.3）。

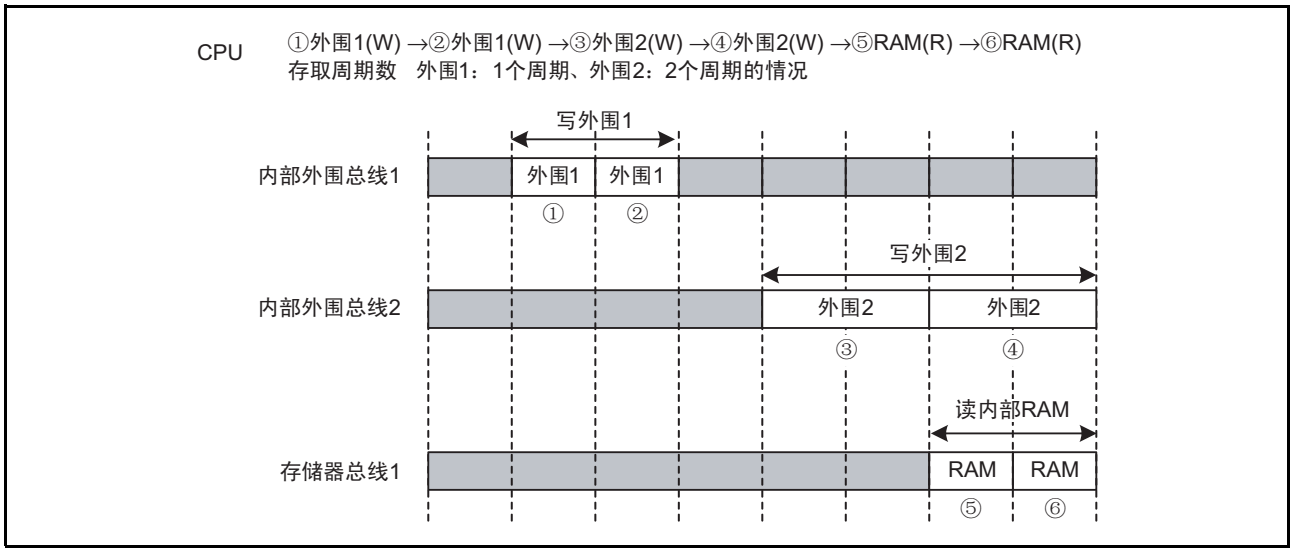


图 16.3 写缓冲器功能

16.2.5 外部总线

外部总线的规格如表 16.5 所示。

外部总线控制器对内部主总线 1 和内部主总线 2 的总线权请求进行仲裁。

能通过总线优先级控制寄存器的外部总线优先级控制位（BUSPRI.BPEB[1:0]）设定 2 条总线的优先级。在优先级固定的情况下，优先级为内部主总线 2 ＞内部主总线 1；在优先级交替的情况下，内部主总线 1 和内部主总线 2、 EXDMAC 中已接受总线请求的一方的优先级变低。

必须注意：如果更改总线优先级控制寄存器的设定，接受请求的顺序就可能发生变化 （参照图 16.4）。

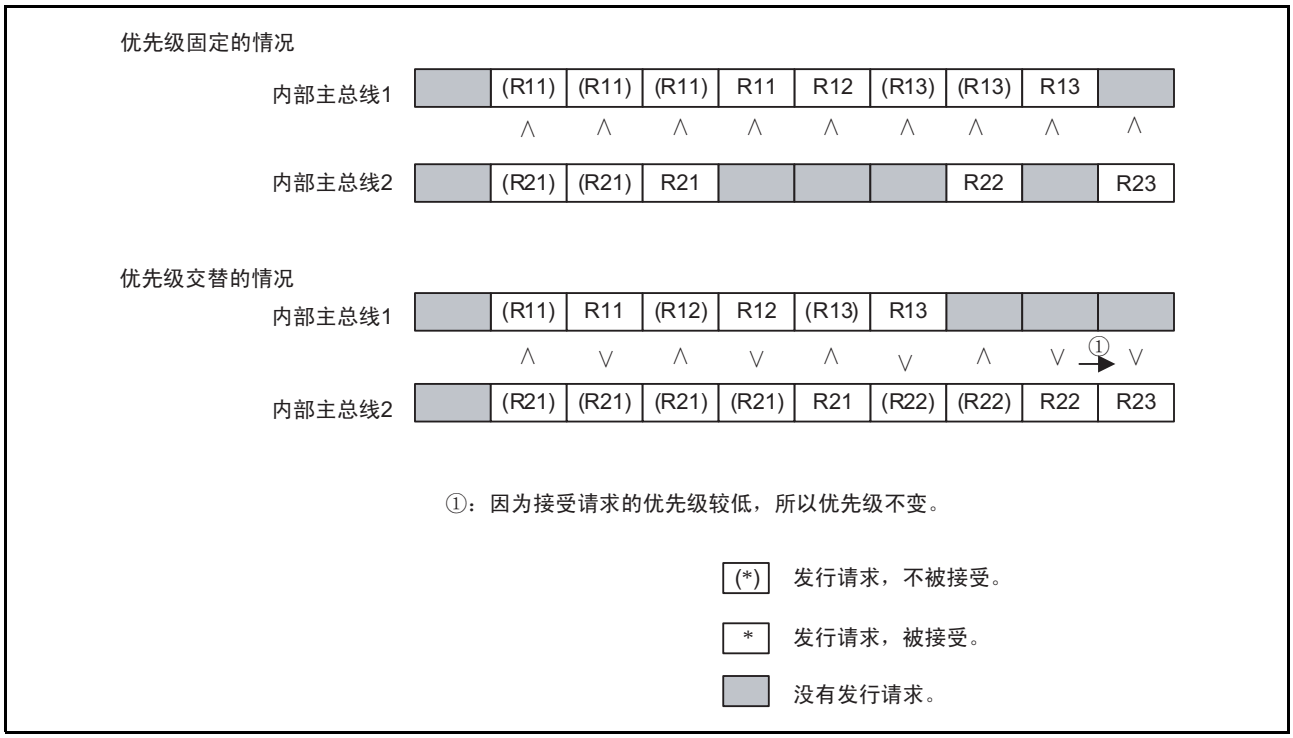


图 16.4 内部外围总线优先级

表 16.5 外部总线的规格

项目	内容
外部地址空间	• 将外部地址空间分成 8 个 CS 区域 （CS0 ～ CS7）进行管理。 • 各区域能输出片选。 • 各区域能选择总线宽度。 分离总线：可选择 8 位总线空间、 16 位总线空间或者 32 位总线空间。 地址数据多路复用总线：可选择 8 位总线空间或者 16 位总线空间。 • 各区域能设定字节序。
CS 区域控制器	• 能插入恢复周期。 最多插入 15 个读恢复周期。 最多插入 15 个写恢复周期。 • 周期等待功能：最多等待 31 个周期 （页面存取：最多等待 7 个周期）。 • 等待控制 能设定片选信号 （CS0# ～ CS7#）的有效时序或者无效时序。 能设定读信号 （RD#）和写信号 （WR0#/WR# ～ WR3#）的有效时序。 能设定数据输出的开始时序或者结束时序。 • 写存取模式：1 次写选通模式或者字节选通模式 • 各区域能设定分离总线或者地址数据多路复用总线。
写缓冲器功能	在将总线主控的写数据写到写缓冲器时，结束总线主控的写存取。
频率	• CS 区域控制器 （CSC）与 BCLK 同步运行。

外部总线的输入 / 输出引脚如表 16.6 所示。

表 16.6 外部总线的输入 / 输出引脚

引脚名	输入 / 输出	功能
A23 ～ A0（注 1）	输出	地址的输出引脚
D31 ～ D0	输入 / 输出	数据的输入 / 输出引脚 当设定 32 位总线空间时， D31 ～ D0 有效； 当设定 16 位总线空间时， D15 ～ D0 有效； 当设定 8 位总线空间时， D7 ～ D0 有效。
BC0#（注 1）	输出	此选通信号表示在 1 次写选通模式中正在存取外部地址空间 （BC0# 信号为 Low 电平的情况）并且 D7 ～ D0 有效。 如果设定 8 位总线空间，就总是输出 Low 电平，与写存取模式无关。
BC1#	输出	此选通信号表示在 1 次写选通模式中正在存取外部地址空间 （BC1# 信号为 Low 电平的情况）并且 D15 ～ D8 有效。 如果设定 8 位总线空间，就不使用此选通信号。
BC2#	输出	此选通信号表示在 1 次写选通模式中正在存取外部地址空间 （BC2# 信号为 Low 电平的情况）并且 D23 ～ D16 有效。 如果设定 8 位总线空间或者 16 位总线空间，就不使用此选通信号。
BC3#	输出	此选通信号表示在 1 次写选通模式中正在存取外部地址空间 （BC3# 信号为 Low 电平的情况）并且 D31 ～ D24 有效。 如果设定 8 位总线空间或者 16 位总线空间，就不使用此选通信号。
CS0#	输出	区域 0 （CS0）的片选信号
CS1#	输出	区域 1 （CS1）的片选信号
CS2#	输出	区域 2 （CS2）的片选信号
CS3#	输出	区域 3 （CS3）的片选信号
CS4#	输出	区域 4 （CS4）的片选信号
CS5#	输出	区域 5 （CS5）的片选信号
CS6#	输出	区域 6 （CS6）的片选信号
CS7#	输出	区域 7 （CS7）的片选信号
RD#	输出	此选通信号表示正在读外部地址空间 （CS0 ～ CS7）。
WR0#/WR#（注 2）	输出	WR0# 信号是表示在字节选通模式中正在写外部地址空间 （WR0# 信号为 Low 电平的情况）并且 D7 ～ D0 有效的选通信号。 WR# 信号是表示在 1 次写选通模式中正在写外部地址空间的选通信号。 如果设定 8 位总线空间，就在进行写存取时输出 Low 电平，与写存取模式无关。
WR1#	输出	此选通信号表示在字节选通模式中正在写外部地址空间 （WR1# 信号为 Low 电平的情况）并且 D15 ～ D8 有效。 在 1 次写选通模式中，此选通信号无效。 如果设定 8 位总线空间，就不使用此选通信号。
WR2#	输出	此选通信号表示在字节选通模式中正在写外部地址空间 （WR2# 信号为 Low 电平的情况）并且 D23 ～ D16 有效。 在 1 次写选通模式中，此选通信号无效。 如果设定 8 位总线空间或者 16 位总线空间，就不使用此选通信号。
WR3#	输出	此选通信号表示在字节选通模式中正在写外部地址空间 （WR3# 信号为 Low 电平的情况）并且 D31 ～ D24 有效。 在 1 次写选通模式中，此选通信号无效。 如果设定 8 位总线空间或者 16 位总线空间，就不使用此选通信号。
ALE	输出	选择地址数据多路复用总线时的地址锁存信号
WAIT#	输入	存取外部地址空间 （CS0 ～ CS7）时的等待请求信号 （Low 电平：等待请求）

注 1. A0 引脚和 BC0# 引脚兼用，在字节选通模式中，各区域的 A0 引脚有效；在 1 次写选通模式中，各区域的 BC0# 引脚有效。但是，在 1 次写选通模式中，禁止设定 8 位外部总线宽度。有关其他的兼用引脚，请参照“19. I/O 端口”。

注 2. WR0# 引脚和 WR# 引脚是同一个信号， WR# 引脚表示 1 次写选通模式中的 WR0#。

16.2.6 并行运行

能在各总线主控存取不同的从属模块时并行运行。例如，在 CPU 从内部 ROM 取指令以及从内部 RAM 存取操作数的过程中，DMAC 能进行外围总线和外部总线之间的传送。并行运行的例子如图 16.5 所示。此例中，CPU 能使用指令总线和操作数总线同时存取内部 ROM 和内部 RAM，而且在 CPU 存取内部 ROM 和内部 RAM 的过程中， DMAC 能使用内部主总线 2 同时存取外围总线或者外部总线。

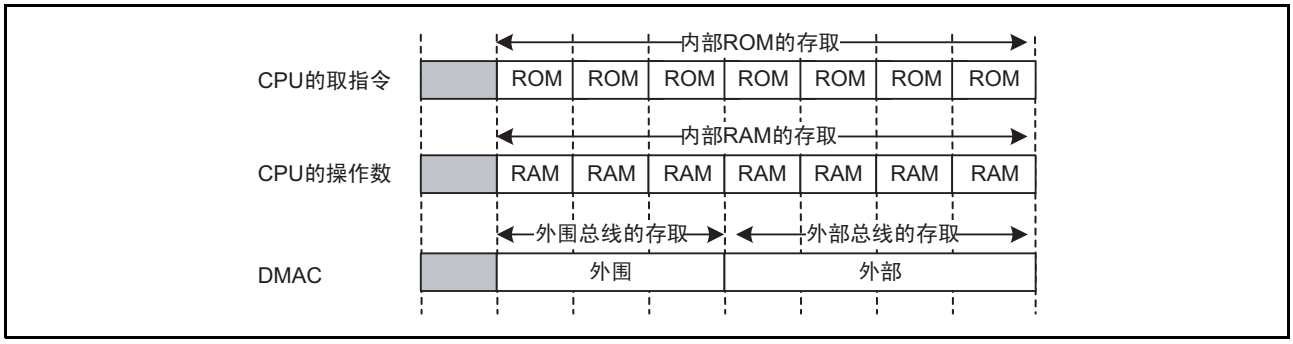


图 16.5 并行运行的例子

16.2.7 总线的设定

1. 通过 CSn 模式寄存器 （CSnMOD） 、 CSn 等待控制寄存器 1 （CSnWCR1） 、 CSn 等待控制寄存器 2 （CSnWCR2）、CSn控制寄存器（CSnCR）、CSn恢复周期设定寄存器（CSnREC）、CS恢复周期插入允许寄存器（CSRECEN）、总线错误监视允许寄存器（BEREN）和总线优先级控制寄存器（BUSPRI）设定外部总线的模式。
2. 通过CS输出允许寄存器 （PFCSE）、CS输出引脚选择寄存器0 （PFCSS0）、 CS输出引脚选择寄存器1 （PFCSS1）、地址输出允许寄存器0 （PFAOE0）、地址输出允许寄存器1 （PFAOE1）、外部总线控制寄存器0 （PFBCR0）和外部总线控制寄存器1 （PFBCR1）设定引脚。
3. 将使用的引脚设定为输入端口。
4. 将系统控制寄存器0 （SYSCR0）的外部总线允许位 （EXBE）置 “1”（外部总线有效）。

16.2.8 限制事项

(1) 禁止存取跨地址空间的多个区域

禁止在 1 次存取中存取跨地址空间的多个区域，否则不保证运行。 1 个字或者长字的存取不能隔着地址空间的各区域边界而跨 2 个区域。

(2) 有关 RMPA 指令和字符串操作指令的限制事项

(a) 外部空间各区域有字节序转换功能 （只限于数据），但是禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到设定了不同于芯片字节序的区域，否则不保证运行。要将 RMPA 指令和字符串操作指令的操作对象数据分配到外部空间时，必须分配到设定了和芯片字节序相同字节序的区域。

(b) 禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到 I/O 寄存器，否则不保证运行。

(3) 有关字节序的限制事项

不能将指令代码分配到设定了和芯片字节序不同字节序的各区域。要将指令代码分配到外部空间时，必须分配到设定了和芯片字节序相同字节序的区域。

16.3 寄存器说明

16.3.1 CSn 控制寄存器 （CSnCR）（n=0 ～ 7）

地址 CS0CR 0008 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
复位后的值	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

地址 CS1CR 0008 3812h、CS2CR 0008 3822h、CS3CR 0008 3832h、
CS4CR 0008 3842h、CS5CR 0008 3852h、CS6CR 0008 3862h、CS7CR 0008 3872h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EXENB	运行允许位	0：禁止运行 1：允许运行	R/W （注 1）
b3-b1	—	保留位	读写值都为 “0”。	R/W
b5-b4	BSIZE[1:0]	外部总线宽度选择位	b5 b4 0 0：设定为 16 位总线空间 0 1：设定为 32 位总线空间 1 0：设定为 8 位总线空间 1 1：不能设定	R/W （注 2）
b7-b6	—	保留位	读写值都为 “0”。	R/W
b8	EMODE	字节序模式指定位	0：区域 n 的字节序模式和运行模式的字节序相同 1：区域 n 的字节序模式和运行模式的字节序不同 （n=0 ～ 7）	R/W
b11-b9	—	保留位	读写值都为 “0”。	R/W
b12	MPXEN	地址 / 数据多路复用 I/O 接口选择位	0：区域 n 为分离总线接口 1：区域 n 为地址 / 数据多路复用 I/O 接口 （n=0 ～ 7）	R/W
b15-b13	—	保留位	读写值都为 “0”。	R/W

注 1. CS0CR.EXENB 位的初始值为 “1”， CSnCR.EXENB 位 （n=1 ～ 7）的初始值为 “0”。

注 2. CS0CR.BSIZE[1:0] 位的初始值为 “10b”。

复位后，只能写 1 次此寄存器。如果写 2 次或者 2 次以上，就不保证运行。

EXENB 位 （运行允许位）

此位设定允许或者禁止各区域的运行。

复位后，只允许 （“1”）区域 0 （CS0）的运行，禁止 （“0”）其他区域的运行。

如果存取被设定为禁止运行的区域，就不存取外部总线。此时，如果总线错误监视允许寄存器的非法地址存取检测允许位 （BEREN.IGAEN=1）被设定为允许检测，就会发生非法地址错误。

BSIZE[1:0] 位 （外部总线宽度选择位）

这些位设定各区域的数据总线宽度。

复位后，区域 0 （CS0）的数据总线宽度取决于运行模式的总线宽度的设定。

如果通过 MPXEN 位设定地址 / 数据多路复用 I/O 接口，就禁止设定为 32 位总线空间，否则不保证运行。

EMODE 位 （字节序模式指定位）

此位设定各区域的字节序。

不能将指令代码分配到设定了和芯片字节序不同字节序的各区域。要将指令代码分配到外部空间时，必须分配到设定了和芯片字节序相同字节序的区域。

16.3.2 CSn 恢复周期设定寄存器 （CSnREC）（n=0 ～ 7）

地址 CS0REC 0008 380Ah、CS1REC 0008 381Ah、CS2REC 0008 382Ah、CS3REC 0008 383Ah、CS4REC 0008 384Ah、CS5REC 0008 385Ah、CS6REC 0008 386Ah、CS7REC 0008 387Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	WRCV[3:0]				—	—	—	—	RRCV[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	RRCV[3:0]	读恢复周期设定位	b3 b0 0 0 0 0：不插入恢复周期 0 0 0 1：插入 1 个恢复周期 0 0 1 0：插入 2 个恢复周期 0 0 1 1：插入 3 个恢复周期 0 1 0 0：插入 4 个恢复周期 0 1 0 1：插入 5 个恢复周期 0 1 1 0：插入 6 个恢复周期 0 1 1 1：插入 7 个恢复周期 1 0 0 0：插入 8 个恢复周期 1 0 0 1：插入 9 个恢复周期 1 0 1 0：插入 10 个恢复周期 1 0 1 1：插入 11 个恢复周期 1 1 0 0：插入 12 个恢复周期 1 1 0 1：插入 13 个恢复周期 1 1 1 0：插入 14 个恢复周期 1 1 1 1：插入 15 个恢复周期	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W
b11-b8	WRCV[3:0]	写恢复周期设定位	b11 b8 0 0 0 0：不插入恢复周期 0 0 0 1：插入 1 个恢复周期 0 0 1 0：插入 2 个恢复周期 0 0 1 1：插入 3 个恢复周期 0 1 0 0：插入 4 个恢复周期 0 1 0 1：插入 5 个恢复周期 0 1 1 0：插入 6 个恢复周期 0 1 1 1：插入 7 个恢复周期 1 0 0 0：插入 8 个恢复周期 1 0 0 1：插入 9 个恢复周期 1 0 1 0：插入 10 个恢复周期 1 0 1 1：插入 11 个恢复周期 1 1 0 0：插入 12 个恢复周期 1 1 0 1：插入 13 个恢复周期 1 1 1 0：插入 14 个恢复周期 1 1 1 1：插入 15 个恢复周期	R/W
b15-b12	—	保留位	读写值都为 “0”。	R/W

CSnREC 寄存器设定外部地址空间各区域的读写存取后的恢复周期数。复位后，只能写 1 次此寄存器。如果写 2 次或者 2 次以上，就不保证运行。

在上次总线存取为分离总线的情况下，当通过 CS 恢复周期插入允许寄存器的分离总线恢复周期插入允许位（CSRECEN.RCVENj）（j=0 ～ 7）设定为允许插入恢复周期时，CSnREC 寄存器有效；在上次总线存取为地址 / 数据多路复用总线的情况下，当通过 CS 恢复周期插入允许寄存器的多路复用总线恢复周期插入允许位（CSRECEN.RCVENMj）设定为允许插入恢复周期时， CSnREC 寄存器有效。

RRCV[3:0] 位 （读恢复周期设定位）

这些位设定在对外部总线进行读存取后要插入的恢复周期数。

如果设定为允许插入恢复周期并且设定 “0000b”以外的值，就在以下情况下插入 1 ～ 15 个恢复周期。

- 在对外部总线进行读存取后有相同区域的外部总线的读存取时
- 在对外部总线进行读存取后有不同区域的外部总线的读存取时
- 在对外部总线进行读存取后有相同区域的外部总线的写存取时
- 在对外部总线进行读存取后有不同区域的外部总线的写存取时

WRCV[3:0] 位 （写恢复周期设定位）

这些位设定在对外部总线进行写存取后要插入的恢复周期数。

如果设定为允许插入恢复周期并且设定 “0000b”以外的值，就在以下情况下插入 1 ～ 15 个恢复周期。

- 在对外部总线进行写存取后有相同区域的外部总线的读存取时
- 在对外部总线进行写存取后有不同区域的外部总线的读存取时
- 在对外部总线进行写存取后有相同区域的外部总线的写存取时
- 在对外部总线进行写存取后有不同区域的外部总线的写存取时

16.3.3 CS 恢复周期插入允许寄存器 （CSRECEN）

地址 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVENM7	RCVENM6	RCVENM5	RCVENM4	RCVENM3	RCVENM2	RCVENM1	RCVENM0	RCVEN7	RCVEN6	RCVEN5	RCVEN4	RCVEN3	RCVEN2	RCVEN1	RCVEN0
复位后的值	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

位	符号	位名	功能	R/W
b0	RCVEN0	分离总线的恢复周期插入允许 0 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b1	RCVEN1	分离总线的恢复周期插入允许 1 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b2	RCVEN2	分离总线的恢复周期插入允许 2 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b3	RCVEN3	分离总线的恢复周期插入允许 3 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b4	RCVEN4	分离总线的恢复周期插入允许 4 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b5	RCVEN5	分离总线的恢复周期插入允许 5 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b6	RCVEN6	分离总线的恢复周期插入允许 6 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b7	RCVEN7	分离总线的恢复周期插入允许 7 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b8	RCVENM0	多路复用总线的恢复周期插入允许 0 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b9	RCVENM1	多路复用总线的恢复周期插入允许 1 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b10	RCVENM2	多路复用总线的恢复周期插入允许 2 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b11	RCVENM3	多路复用总线的恢复周期插入允许 3 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b12	RCVENM4	多路复用总线的恢复周期插入允许 4 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b13	RCVENM5	多路复用总线的恢复周期插入允许 5 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b14	RCVENM6	多路复用总线的恢复周期插入允许 6 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W
b15	RCVENM7	多路复用总线的恢复周期插入允许 7 位	0：禁止插入恢复周期 1：允许插入恢复周期	R/W

CSRECEN 寄存器是设定允许或者禁止在读写存取后插入恢复周期的寄存器。复位后，只能写 1 次此寄存器。如果写 2 次或者 2 次以上，就不保证运行。

RCVEN0 位 （分离总线的恢复周期插入允许 0 位）

在对外部总线进行读存取后有相同区域的外部总线的读存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入读恢复周期。

RCVEN1 位 （分离总线的恢复周期插入允许 1 位）

在对外部总线进行读存取后有不同区域的外部总线的读存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入读恢复周期。

RCVEN2 位 （分离总线的恢复周期插入允许 2 位）

在对外部总线进行读存取后有相同区域的外部总线的写存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入读恢复周期。

RCVEN3 位 （分离总线的恢复周期插入允许 3 位）

在对外部总线进行读存取后有不同区域的外部总线的写存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入读恢复周期。

RCVEN4 位 （分离总线的恢复周期插入允许 4 位）

在对外部总线进行写存取后有相同区域的外部总线的读存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入写恢复周期。

RCVEN5 位 （分离总线的恢复周期插入允许 5 位）

在对外部总线进行写存取后有不同区域的外部总线的读存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入写恢复周期。

RCVEN6 位 （分离总线的恢复周期插入允许 6 位）

在对外部总线进行写存取后有相同区域的外部总线的写存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入写恢复周期。

RCVEN7 位 （分离总线的恢复周期插入允许 7 位）

在对外部总线进行写存取后有不同区域的外部总线的写存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入写恢复周期。

RCVENM0 位 （多路复用总线的恢复周期插入允许 0 位）

在对外部总线进行读存取后有相同区域的外部总线的读存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入读恢复周期。

RCVENM1 位 （多路复用总线的恢复周期插入允许 1 位）

在对外部总线进行读存取后有不同区域的外部总线的读存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入读恢复周期。

RCVENM2 位 （多路复用总线的恢复周期插入允许 2 位）

在对外部总线进行读存取后有相同区域的外部总线的写存取的情况下，此位设定允许 （“1”）或者禁止（“0”）插入读恢复周期。

RCVENM3 位 （多路复用总线的恢复周期插入允许 3 位）

在对外部总线进行读存取后有不同区域的外部总线的写存取的情况下，此位设定允许 （ “1” ）或者禁止（“0”）插入读恢复周期。

RCVENM4 位 （多路复用总线的恢复周期插入允许 4 位）

在对外部总线进行写存取后有相同区域的外部总线的读存取的情况下，此位设定允许 （ “1” ）或者禁止（“0”）插入写恢复周期。

RCVENM5 位 （多路复用总线的恢复周期插入允许 5 位）

在对外部总线进行写存取后有不同区域的外部总线的读存取的情况下，此位设定允许 （ “1” ）或者禁止（“0”）插入写恢复周期。

RCVENM6 位 （多路复用总线的恢复周期插入允许 6 位）

在对外部总线进行写存取后有相同区域的外部总线的写存取的情况下，此位设定允许 （ “1” ）或者禁止（“0”）插入写恢复周期。

RCVENM7 位 （多路复用总线的恢复周期插入允许 7 位）

在对外部总线进行写存取后有不同区域的外部总线的写存取的情况下，此位设定允许 （ “1” ）或者禁止（“0”）插入写恢复周期。

表 16.7 恢复周期的插入

存取的种类	外部地址空间	恢复周期的插入	对应位（分离 / 多路复用）
读存取后的读存取	相同区域	插入 RRCV[3:0] 位设定的周期数。	RCVEN0/RCVENM0
	不同区域	插入 RRCV[3:0] 位设定的周期数。	RCVEN1/RCVENM1
读存取后的写存取	相同区域	插入 RRCV[3:0] 位设定的周期数。	RCVEN2/RCVENM2
	不同区域	插入 RRCV[3:0] 位设定的周期数。	RCVEN3/RCVENM3
写存取后的读存取	相同区域	插入 WRCV[3:0] 位设定的周期数。	RCVEN4/RCVENM4
	不同区域	插入 WRCV[3:0] 位设定的周期数。	RCVEN5/RCVENM5
写存取后的写存取	相同区域	插入 WRCV[3:0] 位设定的周期数。	RCVEN6/RCVENM6
	不同区域	插入 WRCV[3:0] 位设定的周期数。	RCVEN7/RCVENM7

16.3.4 CSn 模式寄存器 （CSnMOD）（n=0 ～ 7）

地址 CS0MOD 0008 3002h、CS1MOD 0008 30012h、CS2MOD 0008 30022h、CS3MOD 0008 30032h、CS4MOD 0008 30042h、CS5MOD 0008 30052h、CS6MOD 0008 30062h、CS7MOD 0008 3072h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	WRMOD	写存取模式选择位	0：字节选通模式 1：1 次写选通模式	R/W
b2-b1	—	保留位	读写值都为 “0”。	R/W
b3	EWENB	外部等待允许位	0：禁止外部等待 1：允许外部等待	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W
b8	PRENB	页面读存取允许位	0：禁止页面读存取 1：允许页面读存取	R/W
b9	PWENB	页面写存取允许位	0：禁止页面写存取 1：允许页面写存取	R/W
b14-b10	—	保留位	读写值都为 “0”。	R/W
b15	PRMOD	页面读存取模式选择位	0：正常存取兼容模式 1：外部数据的读连续有效模式	R/W

WRMOD 位 （写存取模式选择位）

此位选择写存取时的运行模式。

如果将此位置“0”，就为字节选通模式。此时，通过与各字节位置对应的 WRn# 信号（n=0 ～ 3）控制数据的写操作。

如果将此位置“1”，就为 1 次写选通模式。此时，通过与各字节位置对应的 BCn# 信号（n=0 ～ 3）和 WR# 信号控制数据的写操作。但是，在 1 次写选通模式中，禁止设定 8 位外部总线宽度。

表 16.8 写存取模式的控制信号

模式	引脚名							
写存取模式	WR3#	WR2#	WR1#	WR0#/WR#	BC3#	BC2#	BC1#	BC0#
字节选通模式	○	○	○	○ （WR0#）	×	×	×	×
1 次写选通模式	×	×	×	○ （WR#）	○	○	○	○

○：有效、×：无效

EWENB 位 （外部等待允许位）

此位设定允许或者禁止外部等待。

如果将此位置 “1”，就允许外部等待，能通过 WAIT# 信号任意控制各周期的等待数。此时，在 WAIT# 信号为 Low 电平期间，插入等待周期。

如果将此位置 “0”， WAIT# 信号就无效。

PRENB 位 （页面读存取允许位）

此位允许或者禁止页面的读存取。

注 . 在通过 CSn 控制寄存器的地址 / 数据多路复用 I/O 接口选择位 （CSnCR.MPXEN）选择地址 / 数据多路复用 I/O 接口的情况下，不允许页面的读存取。地址 / 数据多路复用 I/O 接口不支持页面存取。

PWENB 位 （页面写存取允许位）

此位设定允许或者禁止页面的写存取。

注 . 在通过 CSn 控制寄存器的地址 / 数据多路复用 I/O 接口选择位 （CSnCR.MPXEN）选择地址 / 数据多路复用 I/O 接口的情况下，不允许页面的写存取。地址 / 数据多路复用 I/O 接口不支持页面存取。

PRMOD 位 （页面读存取模式选择位）

此位选择页面读存取时的运行模式。

如果将此位置“0”，就为正常存取兼容模式。此时，每读 1 个数据，RD# 信号就变为无效并且插入 RD 有效等待。但是，在 RD 有效等待为 “0”并且不进行外部总线存取的最后传送时， RD# 信号不变为无效。

如果将此位置“1”，就为外部数据的读连续有效模式。此时，插入 RD 有效等待，但是在此期间 RD# 信号持续有效。

16.3.5 CSn 等待控制寄存器 1 （CSnWCR1）（n=0 ～ 7）

地址 CS0WCR1 0008 3004h、CS1WCR1 0008 3014h、CS2WCR1 0008 3024h、CS3WCR1 0008 3034h、CS3WCR1 0008 3044h、CS5WCR1 0008 3054h、CS6WCR1 0008 3064h、CS7WCR1 0008 3074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CSRWAIT[4:0]					—	—	—	CSWWAIT[4:0]				
复位后的值	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSPRWAIT[2:0]			—	—	—	—	—	CSPWWAIT[2:0]		
复位后的值	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

位	符号	位名	功能	R/W
b2-b0	CSPWWAIT[2:0]	页面写周期的等待选择位 （注 1）	b2 b0 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

位	符号	位名	功能	R/W
b10-b8	CSPRWAIT[2:0]	页面读周期的等待选择位（注 2）	b10 b8 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b15-b11	—	保留位	读写值都为 “0”。	R/W
b20-b16	CSWWAIT[4:0]	正常写周期的等待选择位	b20 b16 0 0 0 0 0：不插入等待 0 0 0 0 1：插入 1 个等待周期 0 0 0 1 0：插入 2 个等待周期 0 0 0 1 1：插入 3 个等待周期 0 0 1 0 0：插入 4 个等待周期 0 0 1 0 1：插入 5 个等待周期 0 0 1 1 0：插入 6 个等待周期 0 0 1 1 1：插入 7 个等待周期 0 1 0 0 0：插入 8 个等待周期 0 1 0 0 1：插入 9 个等待周期 0 1 0 1 0：插入 10 个等待周期 0 1 0 1 1：插入 11 个等待周期 0 1 1 0 0：插入 12 个等待周期 0 1 1 0 1：插入 13 个等待周期 0 1 1 1 0：插入 14 个等待周期 0 1 1 1 1：插入 15 个等待周期 1 0 0 0 0：插入 16 个等待周期 1 0 0 0 1：插入 17 个等待周期 1 0 0 1 0：插入 18 个等待周期 1 0 0 1 1：插入 19 个等待周期 1 0 1 0 0：插入 20 个等待周期 1 0 1 0 1：插入 21 个等待周期 1 0 1 1 0：插入 22 个等待周期 1 0 1 1 1：插入 23 个等待周期 1 1 0 0 0：插入 24 个等待周期 1 1 0 0 1：插入 25 个等待周期 1 1 0 1 0：插入 26 个等待周期 1 1 0 1 1：插入 27 个等待周期 1 1 1 0 0：插入 28 个等待周期 1 1 1 0 1：插入 29 个等待周期 1 1 1 1 0：插入 30 个等待周期 1 1 1 1 1：插入 31 个等待周期	R/W
b23-b21	—	保留位	读写值都为 “0”。	R/W

位	符号	位名	功能	R/W
b28-b24	CSRWAIT[4:0]	正常读周期的等待选择位	b28 b24 0 0 0 0 0：不插入等待 0 0 0 0 1：插入 1 个等待周期 0 0 0 1 0：插入 2 个等待周期 0 0 0 1 1：插入 3 个等待周期 0 0 1 0 0：插入 4 个等待周期 0 0 1 0 1：插入 5 个等待周期 0 0 1 1 0：插入 6 个等待周期 0 0 1 1 1：插入 7 个等待周期 0 1 0 0 0：插入 8 个等待周期 0 1 0 0 1：插入 9 个等待周期 0 1 0 1 0：插入 10 个等待周期 0 1 0 1 1：插入 11 个等待周期 0 1 1 0 0：插入 12 个等待周期 0 1 1 0 1：插入 13 个等待周期 0 1 1 1 0：插入 14 个等待周期 0 1 1 1 1：插入 15 个等待周期 1 0 0 0 0：插入 16 个等待周期 1 0 0 0 1：插入 17 个等待周期 1 0 0 1 0：插入 18 个等待周期 1 0 0 1 1：插入 19 个等待周期 1 0 1 0 0：插入 20 个等待周期 1 0 1 0 1：插入 21 个等待周期 1 0 1 1 0：插入 22 个等待周期 1 0 1 1 1：插入 23 个等待周期 1 1 0 0 0：插入 24 个等待周期 1 1 0 0 1：插入 25 个等待周期 1 1 0 1 0：插入 26 个等待周期 1 1 0 1 1：插入 27 个等待周期 1 1 1 0 0：插入 28 个等待周期 1 1 1 0 1：插入 29 个等待周期 1 1 1 1 0：插入 30 个等待周期 1 1 1 1 1：插入 31 个等待周期	R/W
b31-b29	—	保留位	读写值都为 “0”。	R/W

注 1. CSPWWAIT[2:0] 位的设定值只在 CSnMOD.PWENB 位为 “1” 时有效。

注 2. CSPRWAIT[2:0] 位的设定值只在 CSnMOD.PRENB 位为 “1” 时有效。

CSnWCR1 寄存器是选择外部地址空间各区域的等待周期数的寄存器。复位后，只能写 1 次此寄存器。如果写 2 次或者 2 次以上，就不保证运行。

根据总线接口，必须在“16.5.7 限制事项 (1) 使用分离总线接口时的限制事项”或者“16.5.7 限制事项 (2) 使用地址 / 数据多路复用总线时的限制事项”所示的限制范围内设定各位。

CSPWWAIT[2:0] 位 （页面写周期的等待选择位）

这些位设定在第2个页面写周期以后的存取中要插入的周期数。CSPWWAIT[2:0]位的设定在CSnMOD.PWENB位为 “1”时有效。

注 . 必须设定为 1 ≤ CSnWCR2.WDON[2:0] 位≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSPWWAIT[2:0] 位并且 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSPWWAIT[2:0] 位。

CSPRWAIT[2:0] 位 （页面读周期的等待选择位）

这些位设定在第 2 个页面读周期以后的存取中要插入的周期数。CSPRWAIT[2:0] 位的设定在 CSnMOD.PRENB 位为 “1”时有效。

注 . 必须设定为 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.RDON[2:0] 位≤ CSnWCR1.CSPRWAIT[2:0] 位。

CSWWAIT[4:0] 位 （正常写周期的等待选择位）

这些位设定在正常写周期和页面写周期的第 1 次存取中要插入的周期数。

注 . 必须设定为 1 ≤ CSnWCR2.WDON[2:0] 位≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSWWAIT[2:0] 位并且 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSWWAIT[2:0] 位。

CSRWAIT[4:0] 位 （正常读周期的等待选择位）

这些位设定在正常读周期和页面读周期的第 1 次存取中要插入的周期数。

注 . 必须设定为 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.RDON[2:0] 位≤ CSnWCR1.CSRWAIT[4:0] 位。

16.3.6 CSn 等待控制寄存器 2 （CSnWCR2）（n=0 ～ 7）

地址 CS0WCR2 0008 3008h、CS1WCR2 0008 3018h、CS2WCR2 0008 3028h、 CS2WCR2 0008 3038h、CS4WCR2 0008 3048h、CS5WCR2 0008 3058h、CS6WCR2 0008 3068h、CS7WCR2 0008 3078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

位	符号	位名	功能	R/W
b2-b0	CSROFF[2:0]	读取时的 CS 延长周期选择位	b2 b0 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b6-b4	CSWOFF[2:0]	写入时的 CS 延长周期选择位	b6 b4 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b7	—	保留位	读写值都为 “0”。	R/W
b10-b8	WDOFF[2:0]	写数据的输出延长周期选择位	b10 b8 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b11	—	保留位	读写值都为 “0”。	R/W
b13-b12	AWAIT[1:0]	地址周期等待选择位	b13 b12 0 0：不插入等待 0 1：插入 1 个等待周期 1 0：插入 2 个等待周期 1 1：插入 3 个等待周期	R/W
b15-b14	—	保留位	读写值都为 “0”。	R/W

位	符号	位名	功能	R/W
b18-b16	RDON[2:0]	RD 有效等待选择位	b18 b16 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b19	—	保留位	读写值都为 “0”。	R/W
b22-b20	WRON[2:0]	WR 有效等待选择位	b22 b20 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b23	—	保留位	读写值都为 “0”。	R/W
b26-b24	WDON[2:0]	写数据的输出等待选择位	b26 b24 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b27	—	保留位	读写值都为 “0”。	R/W
b30-b28	CSON[2:0]	CS 有效等待选择位	b30 b28 0 0 0：不插入等待 0 0 1：插入 1 个等待周期 0 1 0：插入 2 个等待周期 0 1 1：插入 3 个等待周期 1 0 0：插入 4 个等待周期 1 0 1：插入 5 个等待周期 1 1 0：插入 6 个等待周期 1 1 1：插入 7 个等待周期	R/W
b31	—	保留位	读写值都为 “0”。	R/W

CSnWCR2 寄存器是选择外部地址空间各区域的等待周期数的寄存器。复位后，只能写 1 次此寄存器。如果写 2 次或者 2 次以上，就不保证运行。

根据总线接口，必须在“16.5.7 限制事项 (1) 使用分离总线接口时的限制事项”或者“16.5.7 限制事项 (2) 使用地址 / 数据多路复用总线时的限制事项”所示的限制范围内设定各位。

CSROFF[2:0] 位 （读取时的 CS 延长周期选择位）

这些位设定从读存取时的等待周期结束（RD# 信号无效时）到 CSn# 信号（n=0 ～ 7）无效为止的周期数。

CSWOFF[2:0] 位 （写入时的 CS 延长周期选择位）

这些位设定从写存取时的等待周期结束 （WRn# 信号 （n=0 ～ 3）无效时）到 CSn# 信号 （n=0 ～ 7）无效为止的周期数。

注 . 必须设定为 WDOFF[2:0] 位≤ CSWOFF[2:0] 位。

WDOFF[2:0] 位 （写数据的输出延长周期选择位）

这些位设定从写存取时的等待周期结束（WRn# 信号（n=0 ～ 3）无效时）到写数据输出结束为止的周期数。

注 . 必须设定为 WDOFF[2:0] 位≤ CSWOFF[2:0] 位。

AWAIT[1:0] 位 （地址周期等待选择位）

将等待状态插入到地址 / 数据多路复用 I/O 接口的地址输出周期。

RDON[2:0] 位 （RD 有效等待选择位）

这些位设定在 RD# 信号有效前要插入的等待周期数。

注 . 在进行正常读存取时，必须设定为 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.RDON[2:0] 位≤ CSnWCR1.CSRWAIT[4:0] 位。
在进行页面读存取时，必须设定为CSnWCR2.CSON[2:0]位≤CSnWCR2.RDON[2:0]位≤ CSnWCR1.CSPRWAIT[4:0]位。

注 . 在地址 / 数据多路复用 I/O 接口的情况下，必须设定为 CSnWCR2.AWAIT[1:0] 位 +2 ≤ CSnWCR2.RDON[2:0] 位≤ CSnWCR1.CSRWAIT[4:0] 位。

WRON[2:0] 位 （WR 有效等待选择位）

这些位设定在 WRn# 信号 （n=0 ～ 3）有效前要插入的等待周期数。

注 . 在进行正常写存取时，必须设定为 1 ≤ CSnWCR2.WDON[2:0] 位≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSWWAIT[4:0] 位并且 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSWWAIT[4:0] 位。
在进行页面写存取时，必须设定为1≤CSnWCR2.WDON[2:0]位≤CSnWCR2.WRON[2:0]位≤ CSnWCR1.CSPWWAIT[4:0]位并且CSnWCR2.CSON[2:0]位≤CSnWCR2.WRON[2:0]位≤ CSnWCR1.CSPWWAIT[4:0]位。

注 . 在地址 / 数据多路复用 I/O 接口的情况下，必须设定为 CSnWCR2.AWAIT[1:0] 位 +2 ≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSWWAIT[4:0] 位。

WDON[2:0] 位 （写数据的输出等待选择位）

这些位设定在输出写数据前要插入的等待周期数。

注 . 在进行正常写存取时，必须设定为 1 ≤ CSnWCR2.WDON[2:0] 位≤ CSnWCR2.WRON[2:0] 位≤ CSnWCR1.CSWWAIT[4:0] 位。
在进行页面写存取时，必须设定为1≤CSnWCR2.WDON[2:0]位≤CSnWCR2.WRON[2:0]位≤ CSnWCR1.CSPWWAIT[4:0]位。

注 . 在地址 / 数据多路复用 I/O 接口的情况下，必须设定为 CSnWCR2.AWAIT[1:0] 位 +2 ≤ CSnWCR2.WDON[2:0] 位≤ CSnWCR1.CSWWAIT[4:0] 位。

CSON[2:0] 位 （CS 有效等待选择位）

这些位设定在 CSn# 信号 （n=0 ～ 7）有效前要插入的等待周期数。

注 . 在进行正常读存取时，必须设定为 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.RDON[2:0] 位≤ CSnWCR1.CSRWAIT[4:0] 位。
在进行页面读存取时，必须设定为CSnWCR2.CSON[2:0]位≤CSnWCR2.RDON[2:0]位≤ CSnWCR1.CSPRWAIT[4:0]位。
在进行正常写存取时，必须设定为CSnWCR2.CSON[2:0]位≤CSnWCR2.WRON[2:0]位≤ CSnWCR1.CSWWAIT[4:0]位。
在进行页面写存取时，必须设定为CSnWCR2.CSON[2:0]位≤CSnWCR2.WRON[2:0]位≤ CSnWCR1.CSPWWAIT[4:0]位。

注 . 在地址 / 数据多路复用 I/O 接口的情况下，必须设定为 CSnWCR2.CSON[2:0] 位≤ CSnWCR2.AWAIT[1:0] 位。

16.3.7 总线错误状态清除寄存器 （BERCLR）

地址 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	STSCLR	状态清除位	0：无效 1：清除总线错误状态寄存器	（W） （注 1）
b7-b1	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 “1”，写 “0” 无效。

STSCLR 位 （状态清除位）

如果给此位写 “1”，就清除总线错误状态寄存器 1 （BERSR1）和总线错误状态寄存器 2 （BERSR2）。写 “0” 无效，读取值为 “0”。

16.3.8 总线错误监视允许寄存器 （BEREN）

地址 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
复位后的值	0	0	0	0	0	0	0	0

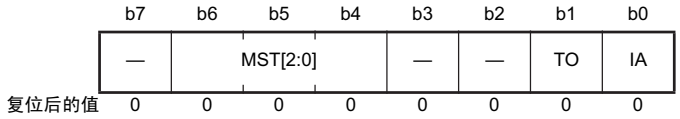
位	符号	位名	功能	R/W
b0	IGAEN	非法地址存取检测允许位	0：禁止检测非法地址的存取 1：允许检测非法地址的存取	R/W
b1	TOEN	超时检测允许位 （注 1、注 2）	0：禁止检测总线超时 1：允许检测总线超时	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

注 1. 如果在设定为禁止检测 （TOEN 位 =0）后存取总线，总线就可能冻结。

注 2. 不能在检测超时错误的过程中将 TOEN 位置 “0”（禁止检测）。

16.3.9 总线错误状态寄存器 1（BERSR1）

地址 0008 1308h



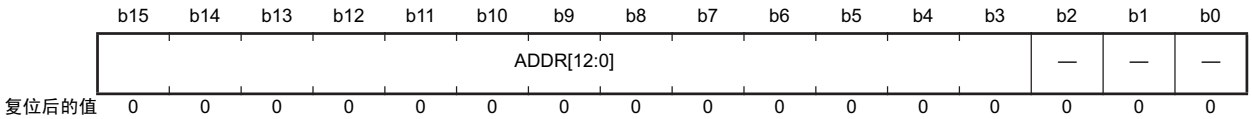
位	符号	位名	功能	R/W
b0	IA	非法地址存取位	0：未发生非法地址的存取 1：发生非法地址的存取	R
b1	TO	超时位	0：未发生超时 1：发生超时	R
b3-b2	—	保留位	读取值为 “0”，写操作无效。	R
b6-b4	MST[2:0]	总线主控代码位	b6 b4 0 0 0：CPU 0 0 1：不能设定 0 1 0：不能设定 0 1 1：DTC/DMAC 1 0 0：不能设定 1 0 1：不能设定 1 1 0：不能设定 1 1 1：不能设定	R
b7	—	保留位	读取值为 “0”，写操作无效。	R

MST[2:0] 位 （总线主控代码位）

这些位表示发生总线错误存取的总线主控。

16.3.10 总线错误状态寄存器 2（BERSR2）

地址 0008 130Ah



位	符号	位名	功能	R/W
b2-b0	—	保留位	读取值为 “0”，写操作无效。	R
b15-b3	ADDR[12:0]	总线错误发生地址位	发生总线错误存取的地址高 13 位（以 512K 字节为单位）	R

16.3.11 总线优先级控制寄存器 （BUSPRI）

地址 0008 1310h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BPEB[1:0]		BPFB[1:0]		—	—	BPGB[1:0]		BPIB[1:0]		BPRO[1:0]		BPRA[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	BPRA[1:0]	存储器总线 1 （内部 RAM）的优先级控制位	b1 b0 0 0：优先级固定 0 1：优先级交替 1 0：不能设定 1 1：不能设定	R(/W) （注 1）
b3-b2	BPRO[1:0]	存储器总线 2 （内部 ROM）的优先级控制位	b3 b2 0 0：优先级固定 0 1：优先级交替 1 0：不能设定 1 1：不能设定	R(/W) （注 1）
b5-b4	BPIB[1:0]	内部外围总线 1 的优先级控制位	b5 b4 0 0：优先级固定 0 1：优先级交替 1 0：不能设定 1 1：不能设定	R(/W) （注 1）
b7-b6	BPGB[1:0]	内部外围总线 2、3 的优先级控制位	b7 b6 0 0：优先级固定 0 1：优先级交替 1 0：不能设定 1 1：不能设定	R(/W) （注 1）
b9-b8	—	保留位	读写值都为 “0”。	R/W
b11-b10	BPFB[1:0]	内部外围总线 6 的优先级控制位	b11 b10 0 0：优先级固定 0 1：优先级交替 1 0：不能设定 1 1：不能设定	R(/W) （注 1）
b13-b12	BPEB[1:0]	外部总线的优先级控制位	b13 b12 0 0：优先级固定 0 1：优先级交替 1 0：不能设定 1 1：不能设定	R(/W) （注 1）
b15-b14	—	保留位	读写值都为 “0”。	R/W

注 1. 只能在 DTC 和 DMAC 停止的状态下写 1 次此寄存器。如果写 2 次或者 2 次以上，就不保证运行。

BPRA[1:0] 位 （存储器总线 1 （内部 RAM）的优先级控制位）

这些位设定存储器总线 1 （内部 RAM）的优先级。

在优先级固定的情况下，优先级为内部主总线 2 ＞ CPU 总线。

在优先级交替的情况下，内部主总线 2 和 CPU 总线中已接受总线请求的一方的优先级变低。

BPRO[1:0] 位 （存储器总线 2 （内部 ROM）的优先级控制位）

这些位设定存储器总线 2 （内部 ROM）的优先级。
在优先级固定的情况下，优先级为内部主总线 2 ＞ CPU 总线。
在优先级交替的情况下，内部主总线 1 和 CPU 总线中已接受总线请求的一方的优先级变低。

BPIB[1:0] 位 （内部外围总线 1 的优先级控制位）

这些位设定内部外围总线 1 的优先级。
在优先级固定的情况下，优先级为内部主总线 2 ＞内部主总线 1。
在优先级交替的情况下，内部主总线 1 和内部主总线 2 中已接受总线请求的一方的优先级变低。

BPGB[1:0] 位 （内部外围总线 2、 3 的优先级控制位）

这些位设定内部外围总线 2 和内部外围总线 3 的优先级。
在优先级固定的情况下，优先级为内部主总线 2 ＞内部主总线 1。
在优先级交替的情况下，内部主总线 1 和内部主总线 2 中已接受总线请求的一方的优先级变低。

BPFB[1:0] 位 （内部外围总线 6 的优先级控制位）

这些位设定内部外围总线 6 的优先级。
在优先级固定的情况下，优先级为内部主总线 2 ＞内部主总线 1。
在优先级交替的情况下，内部主总线 1 和内部主总线 2 中已接受总线请求的一方的优先级变低。

BPEB[1:0] 位 （外部总线的优先级控制位）

这些位设定外部总线的优先级。
在优先级固定的情况下，优先级为内部主总线 2 ＞内部主总线 1。
在优先级交替的情况下，内部主总线 1 和内部主总线 2 中已接受总线请求的一方的优先级变低。

16.4 字节序和数据调整

外部总线具有数据调整功能，根据存取区域的总线规格（8 位总线空间、16 位总线空间、32 位总线空间）、数据长度和字节序模式，控制在存取外部地址空间（CS 区域）时使用数据总线 D31 ～ D24、D23 ～ D16、D15 ～ D8 和 D7 ～ D0 中的哪条数据总线。

16.4.1 CS 区域的数据调整控制

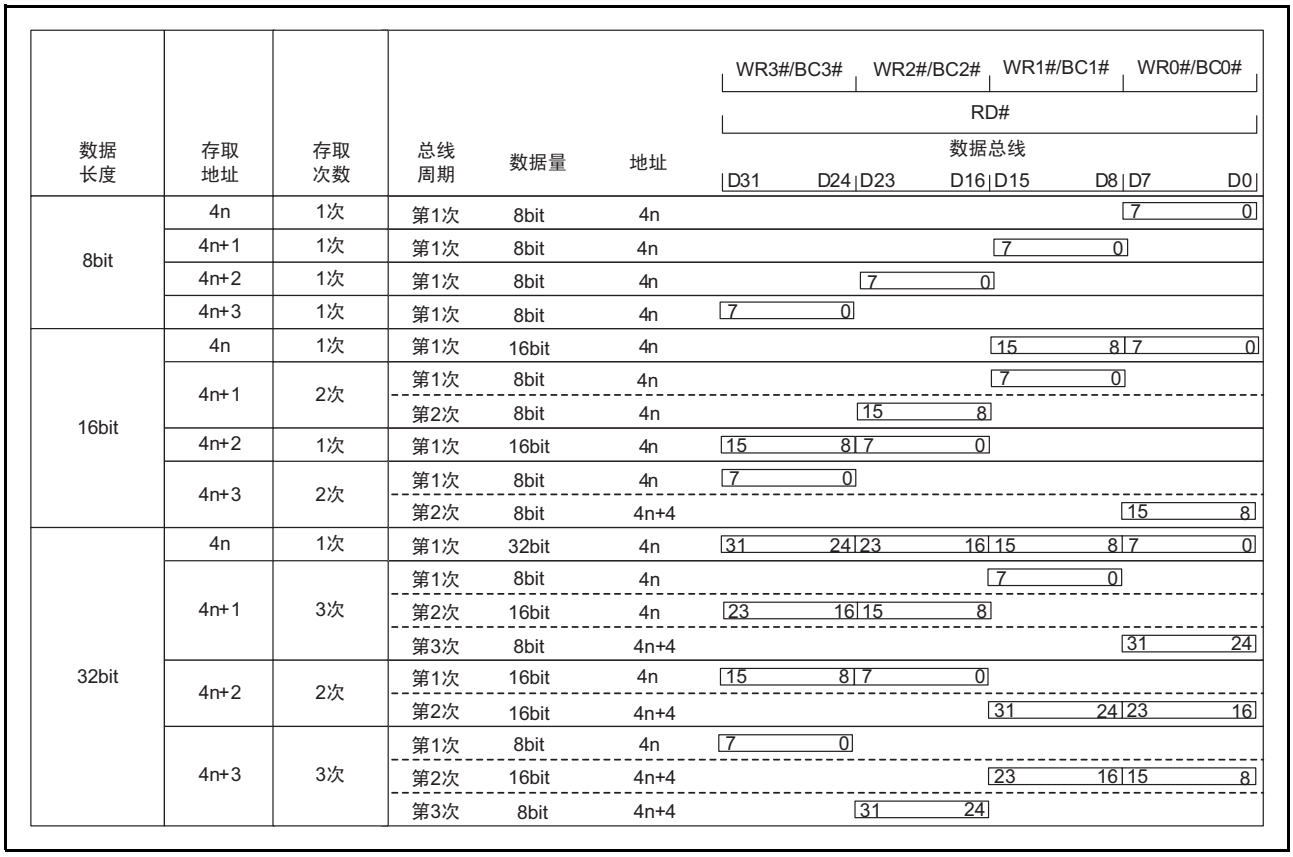
(1) 32 位总线空间

如果通过 CSnCR.BSIZE[1:0] 位选择 32 位总线空间，地址总线 （A23 ～ A2）就作为以 32 位为单位的地址输出信号并且有效，地址总线 （A1、 A0）无效 （固定为 Low 电平）。

当选择字节选通模式（CSnMOD.WRMOD 位 =0）时，WR0# ～ WR3# 引脚有效而不使用 BC0# ～ BC3# 引脚。

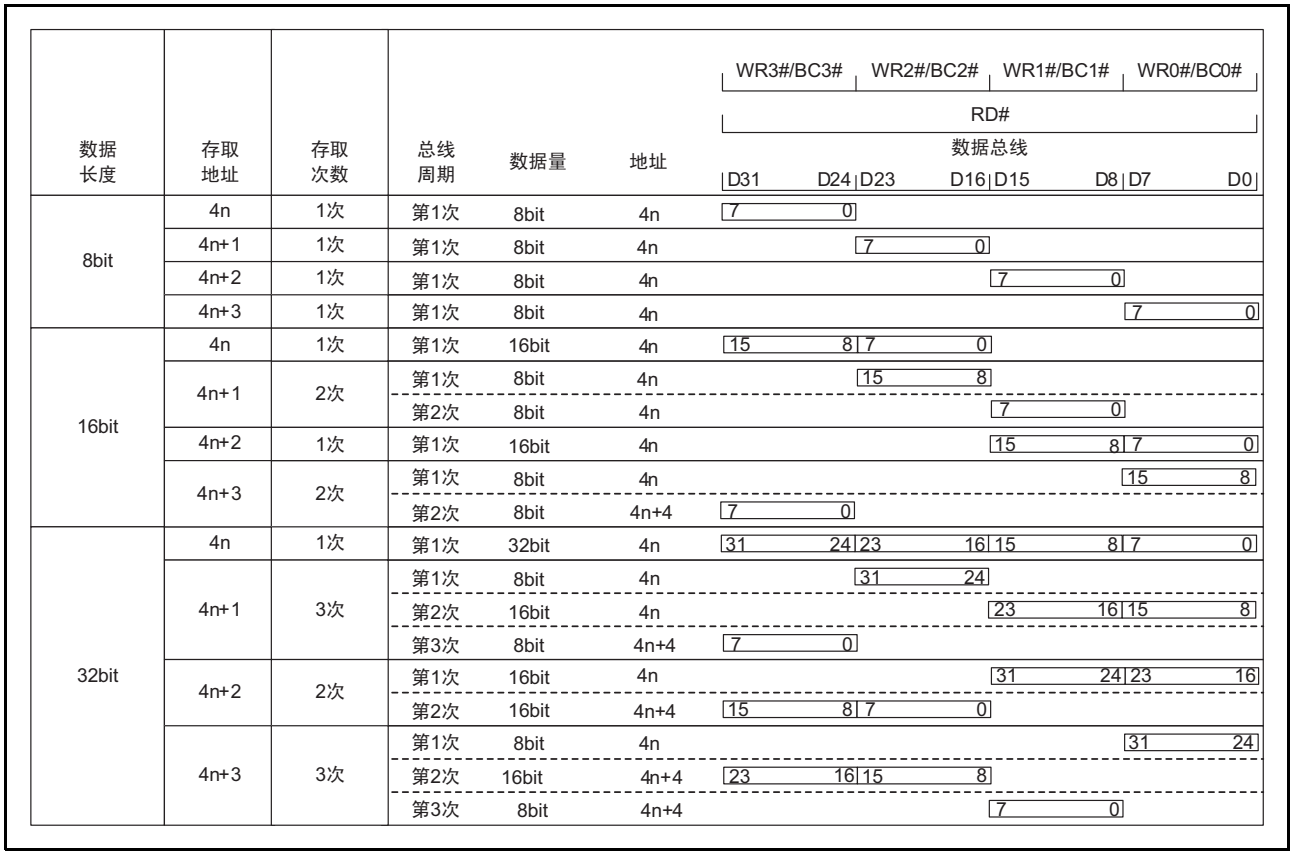
当选择 1 次写选通模式 （CSnMOD.WRMOD 位 =1）时，只有 WR0# 引脚有效，与数据长度无关，在进行写存取时， WR0# 引脚输出 Low 电平。此时， WR1# ～ WR3# 引脚无效 （固定为 High 电平）。 BC0# ～ BC3# 引脚表示有效的字节位置。

对于 32 位总线空间，芯片的外部数据和控制信号的有效位置因大端法和小端法而不同。



数据长度	存取地址	存取次数	总线周期	数据量	地址
8bit	4n	1次	第1次	8bit	4n
	4n+1	1次	第1次	8bit	4n
	4n+2	1次	第1次	8bit	4n
	4n+3	1次	第1次	8bit	4n
16bit	4n	1次	第1次	16bit	4n
	4n+1	2次	第1次	8bit	4n
			第2次	8bit	4n
	4n+2	1次	第1次	16bit	4n
	4n+3	2次	第1次	8bit	4n
			第2次	8bit	4n+4
32bit	4n	1次	第1次	32bit	4n
	4n+1	3次	第1次	8bit	4n
			第2次	16bit	4n
			第3次	8bit	4n+4
	4n+2	2次	第1次	16bit	4n
			第2次	16bit	4n+4
	4n+3	3次	第1次	8bit	4n
			第2次	16bit	4n+4
			第3次	8bit	4n+4

图 16.6 32 位总线空间的数据调整 （小端法）



数据长度	存取地址	存取次数	总线周期	数据量	地址
8bit	4n	1次	第1次	8bit	4n
	4n+1	1次	第1次	8bit	4n
	4n+2	1次	第1次	8bit	4n
	4n+3	1次	第1次	8bit	4n
16bit	4n	1次	第1次	16bit	4n
	4n+1	2次	第1次	8bit	4n
			第2次	8bit	4n
	4n+2	1次	第1次	16bit	4n
	4n+3	2次	第1次	8bit	4n
			第2次	8bit	4n+4
32bit	4n	1次	第1次	32bit	4n
	4n+1	3次	第1次	8bit	4n
			第2次	16bit	4n
			第3次	8bit	4n+4
	4n+2	2次	第1次	16bit	4n
			第2次	16bit	4n+4
	4n+3	3次	第1次	8bit	4n
			第2次	16bit	4n+4
			第3次	8bit	4n+4

图 16.7 32 位总线空间的数据调整 （大端法）

(2) 16 位总线空间

如果通过 CSnCR.BSIZE[1:0] 位选择 16 位总线空间，地址总线 （A23 ～ A1）就作为以 16 位为单位的地址输出信号并且有效，地址总线 （A0）无效 （固定为 Low 电平）。

当选择字节选通模式（CSnMOD.WRMOD 位 =0）时，WR0# 引脚和 WR1# 引脚有效，WR2# 引脚和 WR3# 引脚无效 （固定为 High 电平）并且不使用 BC0# 引脚和 BC1# ～ BC3# 引脚。

当选择 1 次写选通模式 （CSnMOD.WRMOD 位 =1）时，只有 WR0# 引脚有效，与数据长度无关，在进行写存取时， WR0# 引脚输出 Low 电平。此时， WR1# ～ WR3# 引脚无效 （固定为 High 电平）。 BC0# 引脚和 BC1# 引脚表示有效的字节位置并且不使用 BC2# 引脚和 BC3# 引脚。

对于 16 位总线空间，在存取 32 位数据时有可能发生页面存取。页面存取对象是存取操作不超过 32 位边界并且 BC0# 信号和 BC1# 信号不变的传送。发生页面存取时的情况如图 16.8 和图 16.9 中的 (p) 所示。

对于 16 位总线空间，芯片的外部数据和控制信号的有效位置因大端法和小端法而不同。

数据长度	存取地址	存取次数	总线周期	数据量	地址	WR1#/BC1# / WR0#/BC0# / RD# / 数据总线 D15 D8 D7 D0
8bit	4n	1次	第1次	8bit	4n	7 0
	4n+1	1次	第1次	8bit	4n	7 0
	4n+2	1次	第1次	8bit	4n+2	7 0
	4n+3	1次	第1次	8bit	4n+2	7 0
16bit	4n	1次	第1次	16bit	4n	15 8 7 0
	4n+1	2次	第1次	8bit	4n	7 0
			第2次	8bit	4n+2	15 8
	4n+2	1次	第1次	16bit	4n+2	15 8 7 0
	4n+3	2次	第1次	8bit	4n+2	7 0
			第2次	8bit	4n+4	15 8
32bit	4n	2次	第1次	16bit	4n	15 8 7 0
			第2次	16bit	4n+2 (p)	31 24 23 16
	4n+1	3次	第1次	8bit	4n	7 0
			第2次	16bit	4n+2	23 16 15 8
			第3次	8bit	4n+4	31 24
	4n+2	2次	第1次	16bit	4n+2	15 8 7 0
			第2次	16bit	4n+4	31 24 23 16
	4n+3	3次	第1次	8bit	4n+2	7 0
			第2次	16bit	4n+4	23 16 15 8
			第3次	8bit	4n+6	31 24

当通过CSnMOD.PRENB位和CSnMOD.PWENB位允许页面存取时，(p)表示的存取为页面存取对象。

图 16.8 16 位总线空间的数据调整 （小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址	WR1#/BC1# WR0#/BC0# RD# 数据总线 D15 D8 D7 D0
8bit	4n	1次	第1次	8bit	4n	7 0
	4n+1	1次	第1次	8bit	4n	7 0
	4n+2	1次	第1次	8bit	4n+2	7 0
	4n+3	1次	第1次	8bit	4n+2	7 0
16bit	4n	1次	第1次	16bit	4n	15 8 7 0
	4n+1	2次	第1次	8bit	4n	15 8
			第2次	8bit	4n+2	7 0
	4n+2	1次	第1次	16bit	4n+2	15 8 7 0
	4n+3	2次	第1次	8bit	4n+2	15 8
			第2次	8bit	4n+4	7 0
32bit	4n	2次	第1次	16bit	4n	31 24 23 16
			第2次	16bit	4n+2 (p)	15 8 7 0
	4n+1	3次	第1次	8bit	4n	31 24
			第2次	16bit	4n+2	23 16 15 8
			第3次	8bit	4n+4	7 0
	4n+2	2次	第1次	16bit	4n+2	31 24 23 16
			第2次	16bit	4n+4	15 8 7 0
	4n+3	3次	第1次	8bit	4n+2	31 24
			第2次	16bit	4n+4	23 16 15 8
			第3次	8bit	4n+6	7 0

当通过CSnMOD.PRENB位和CSnMOD.PWENB位允许页面存取时，(p)表示的存取为页面存取对象。

图 16.9 16 位总线空间的数据调整 （大端法）

(3) 8 位总线空间

如果通过 CSnCR.BSIZE[1:0] 位选择 8 位总线空间，地址总线 （A23 ～ A0）就作为以字节为单位的地址信号并且有效。

对于 8 位总线空间，与写存取模式的设定无关，只有 WR0# 引脚有效。在进行写存取时，将 Low 电平输出到 WR0# 引脚。不使用 WR1# ～ WR3# 引脚、 BC0# 引脚和 BC1# ～ BC3# 引脚。

对于 8 位总线空间，在存取 16 位或者 32 位数据时有可能发生页面存取。页面存取对象是存取操作不超过 32 位边界的传送。发生页面存取时的情况如图 16.10 和图 16.11 中的 (p) 所示。

对于 8 位总线空间，与字节序无关，芯片的外部数据为 D7 ～ D0，控制信号使用 WR0# 信号。

数据长度	存取地址	存取次数	总线周期	数据量	地址		WR1#/BC1# / WR0#/BC0# / RD# / 数据总线 D15 D8 | D7 D0
8bit	4n	1次	第1次	8bit	4n		7 0
	4n+1	1次	第1次	8bit	4n+1		7 0
	4n+2	1次	第1次	8bit	4n+2		7 0
	4n+3	1次	第1次	8bit	4n+3		7 0
16bit	4n	2次	第1次	8bit	4n		7 0
			第2次	8bit	4n+1	(p)	15 8
	4n+1	2次	第1次	8bit	4n+1		7 0
			第2次	8bit	4n+2	(p)	15 8
	4n+2	2次	第1次	8bit	4n+2		7 0
			第2次	8bit	4n+3	(p)	15 8
	4n+3	2次	第1次	8bit	4n+3		7 0
			第2次	8bit	4n+4		15 8
32bit	4n	4次	第1次	8bit	4n		7 0
			第2次	8bit	4n+1	(p)	15 8
			第3次	8bit	4n+2	(p)	23 16
			第4次	8bit	4n+3	(p)	31 24
	4n+1	4次	第1次	8bit	4n+1		7 0
			第2次	8bit	4n+2	(p)	15 8
			第3次	8bit	4n+3	(p)	23 16
			第4次	8bit	4n+4		31 24
	4n+2	4次	第1次	8bit	4n+2		7 0
			第2次	8bit	4n+3	(p)	15 8
			第3次	8bit	4n+4		23 16
			第4次	8bit	4n+5	(p)	31 24
	4n+3	4次	第1次	8bit	4n+3		7 0
			第2次	8bit	4n+4		15 8
			第3次	8bit	4n+5	(p)	23 16
			第4次	8bit	4n+6	(p)	31 24

当通过CSnMOD.PRENB位和CSnMOD.PWENB位允许页面存取时，(p)表示的存取为页面存取对象。

图 16.10 8 位总线空间的数据调整 （小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址		WR1#/BC1# D15 D8	WR0#/BC0# D7 D0
							RD# 数据总线	
8bit	4n	1次	第1次	8bit	4n			7 0
	4n+1	1次	第1次	8bit	4n+1			7 0
	4n+2	1次	第1次	8bit	4n+2			7 0
	4n+3	1次	第1次	8bit	4n+3			7 0
16bit	4n	2次	第1次	8bit	4n			15 8
			第2次	8bit	4n+1	(p)		7 0
	4n+1	2次	第1次	8bit	4n+1			15 8
			第2次	8bit	4n+2	(p)		7 0
	4n+2	2次	第1次	8bit	4n+2			15 8
			第2次	8bit	4n+3	(p)		7 0
	4n+3	2次	第1次	8bit	4n+3			15 8
			第2次	8bit	4n+4			7 0
32bit	4n	4次	第1次	8bit	4n			31 24
			第2次	8bit	4n+1	(p)		23 16
			第3次	8bit	4n+2	(p)		15 8
			第4次	8bit	4n+3	(p)		7 0
	4n+1	4次	第1次	8bit	4n+1			31 24
			第2次	8bit	4n+2	(p)		23 16
			第3次	8bit	4n+3	(p)		15 8
			第4次	8bit	4n+4			7 0
	4n+2	4次	第1次	8bit	4n+2			31 24
			第2次	8bit	4n+3	(p)		23 16
			第3次	8bit	4n+4			15 8
			第4次	8bit	4n+5	(p)		7 0
	4n+3	4次	第1次	8bit	4n+3			31 24
			第2次	8bit	4n+4			23 16
			第3次	8bit	4n+5	(p)		15 8
			第4次	8bit	4n+6	(p)		7 0

当通过CSnMOD.PRENB位和CSnMOD.PWENB位允许页面存取时，(p)表示的存取为页面存取对象。

图 16.11 8 位总线空间的数据调整 （大端法）

16.5 CS 区域控制器的运行说明

16.5.1 分离总线

时序图中记载的各周期的说明如下所示。

CSC （CS 区域控制器）与外部总线时钟 （BCLK）同步运行。因此，通过 BCLK 对 CSC 的寄存器所设等待数等进行计数。在以下内容中，如果没有特别说明，就将外部总线时钟 （BCLK）的频率和 BCLK 引脚的输出频率视为相同。

在 BCLK 引脚输出的上升沿开始存取外部总线。当外部总线时钟 （BCLK）的频率和 BCLK 引脚的输出频率不同以及总线主控的 1 次传送请求至少发生 2 次外部总线存取时，根据等待数的设定，有可能在 BCLK 引脚输出的下降沿开始第 2 次以后的外部总线存取 （参照**图 16.20 ～图 16.24**）。根据恢复周期数的设定，也有可能在 BCLK 引脚输出的下降沿，在前面的外部总线存取中插入恢复周期 （参照**图 16.42** 和**图 16.44**）。

① Tw1 ～ Twn （正常读周期的等待和正常写周期的等待）

这是从外部总线存取开始到选通信号有效的前 1 个周期为止的周期期间，能选择 0 ～ 31 个周期。在此期间内，根据等待数的设定，将 CSn# 信号、RD# 信号和 WRn# 信号设定为“Low”电平有效。能通过 CSn 等待控制寄存器 2（CSnWCR2）的 CS 有效等待选择位 （CSON）、 RD 有效等待选择位 （RDON）、 WR 有效等待选择位 （WRON）和写数据的输出等待选择位 （WDON）控制有效时序。各等待的周期数从外部总线存取的开始周期算起，可选择 0 ～ 7 个周期，但是可选择的周期数不超过读 / 写周期等待的周期数。

② Tend （选通信号有效周期）

Tend 表示正常读 / 写周期等待期间或者页面读 / 写周期等待期间结束后的下一个周期。当正常读 / 写周期等待或者页面读 / 写周期等待的各选择位为“0”时，总线存取的开始周期为选通信号有效周期。在选通信号有效周期的下一个周期， RD# 信号和 WRn# 信号无效。在进行读存取时， Tend 为读数据的采样周期。

在允许外部等待的情况下，在选通信号有效周期对等待信号进行采样。当等待信号为 Low 电平时，延长总线周期，一旦等待信号变为 High 电平，就在下一个周期结束总线周期。（Tend）表示开始等待信号的采样周期。

除了在页面存取中的第 1 次选通信号有效周期以及设定了写存取时的写数据输出延长周期（非“0”值）的情况 （④）以外，开始下一个周期的第 2 次以后的页面存取 （⑤）。如果 RD 有效等待或者 WR 有效等待的设定值不是“0”，RD# 信号和 WRn# 信号就在下一个周期无效。如果设定值是“0”，各信号就继续有效，而且 CSn# 信号也继续有效。

③ Tn1 ～ Tnm （CS 延长周期）

在正常存取的情况下， Tn1 ～ Tnm 表示从选通信号有效周期 （Tend）的下一个周期到 CSn# 信号无效为止的周期期间。在进行读存取时，能通过读 CSn 等待控制寄存器 2 （CSnWCR2）时的 CS 延长周期选择位（CSROFF）控制无效时序；在进行写存取时，能通过写入时的 CS 延长周期选择位（CSWOFF）控制无效时序。

周期数从选通信号有效周期的下一个周期开始算起。

在页面存取的情况下， Tn1 ～ Tnm 表示从最后的选通信号有效周期到 CSn# 信号无效为止的周期期间。

在进行写存取时，通过写数据的输出延长周期选择位 （WDOFF）延长地址和输出数据。

④ Tdw1 ～ Tdwn （写数据的输出延长周期）

在进行写存取时，如果写数据的输出延长等待的设定值不是 “0” ，就从选通信号有效周期 （Tend）的下一个周期插入写数据的输出延长周期。

在正常存取的情况下，在 CS 延长周期 （③）期间内插入周期。

在页面存取的情况下，在选通信号有效周期 （Tend）和后续的页面存取之间以及 CS 延长周期 （③）期间内插入周期。在此期间，地址和输出数据被延迟并且 WRn# 信号无效。

⑤ Tpw1 ～ Tpwn （页面读周期的等待和页面写周期的等待）

对于页面存取第 2 次以后的总线周期，使用页面读周期等待和页面写周期等待的值而不使用正常读周期等待和正常写周期等待的值。和第 1 次存取一样，WR 有效等待的设定值有效。RD 有效的设定操作因页面读存取模式 （CSnMOD.PRMOD 位）的设定而不同。

CDnMOD.PRMOD 位 =0： 和第 1 次一样，插入 RD 有效等待并且将 RD# 信号置为无效。
CDnMOD.PRMOD 位 =1： 和正常存取兼容模式一样，插入 RD 有效等待，但是 RD# 信号在该期间继续有效。

⑥ Tr1 ～ Trn （恢复周期）

能从总线周期结束时（CSn# 信号无效）开始插入恢复周期。能通过 CSn 恢复周期设定寄存器（CSnREC）的读恢复周期设定位 （RRCV）和写恢复周期设定位 （WRCV）控制恢复周期数。各恢复周期数从总线周期结束时 （CSn# 信号无效）开始算起，可选择 0 ～ 15 个周期。恢复周期的详细内容请参照 “16.5.4 恢复周期的插入”。

(1) 正常存取

如果将 CSnMOD.PRENB 位置“0”（禁止页面读存取）并且将 CSnMOD.PWENB 位置“0”（禁止页面写存取），全部总线存取就进行正常存取。

即使将 CSnMOD.PRENB 位置“1”（允许页面读存取）并且将 CSnMOD.PWENB 位置“1”（允许页面写存取），与页面存取不对应的总线存取也为正常存取。

正常存取的运行例子如图 16.12 ～图 16.14 所示。

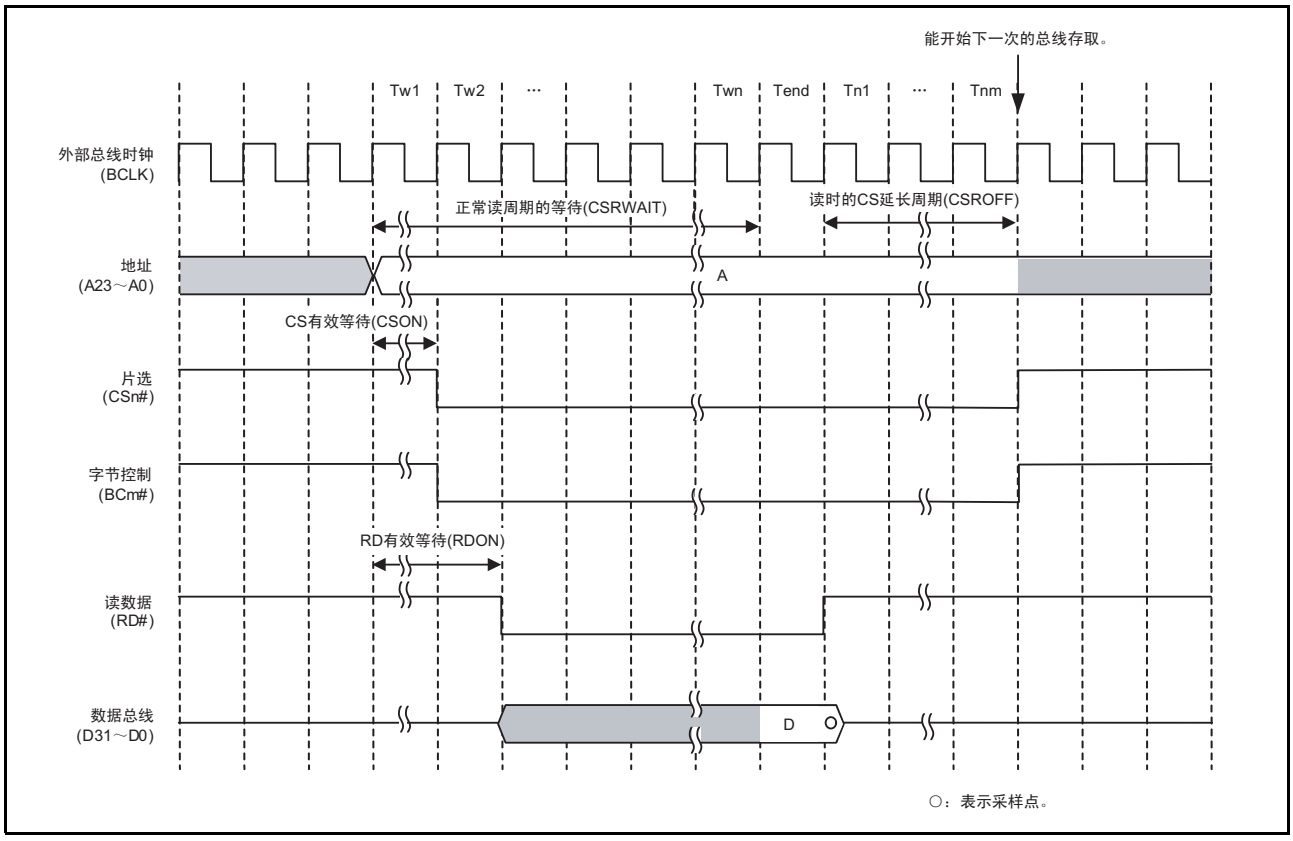


图 16.12 总线时序 （正常读）（n=0 ～ 7、 m=0 ～ 3）

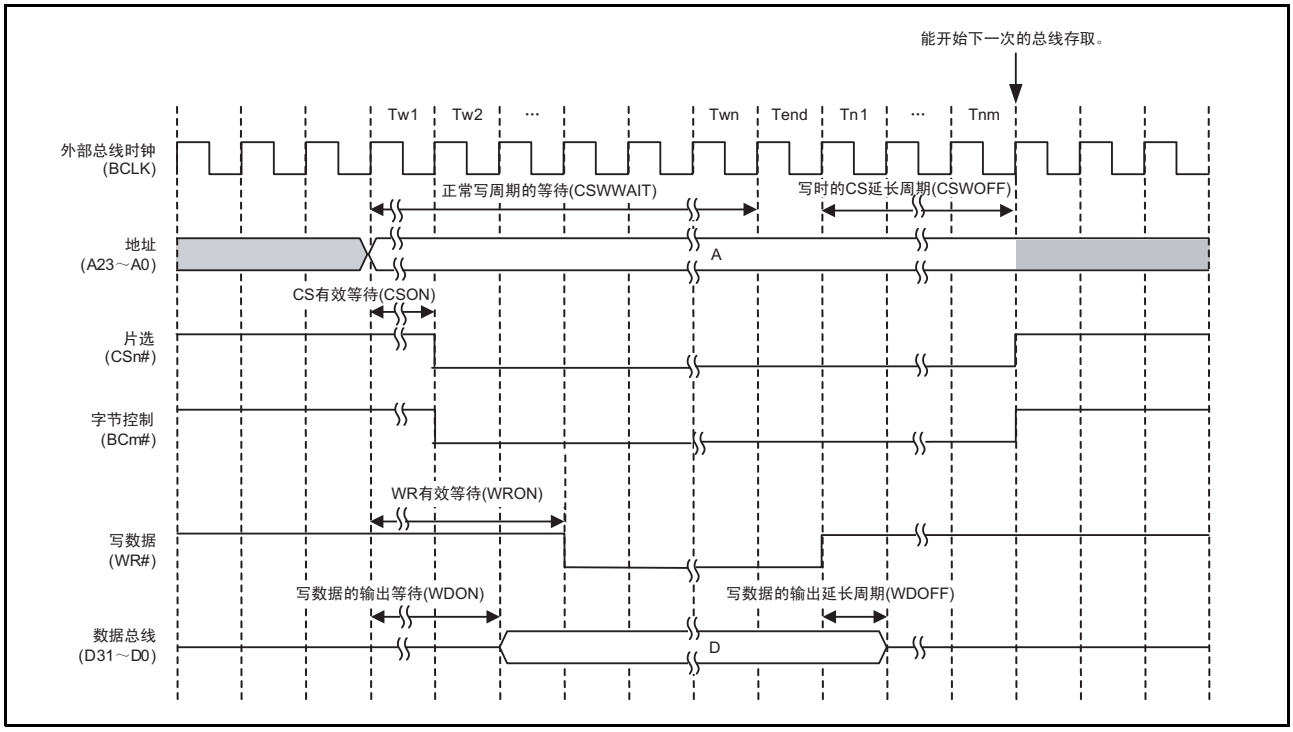


图 16.13 总线时序 （正常写， 1 次写选通模式）（n=0 ～ 7、 m=0 ～ 3）

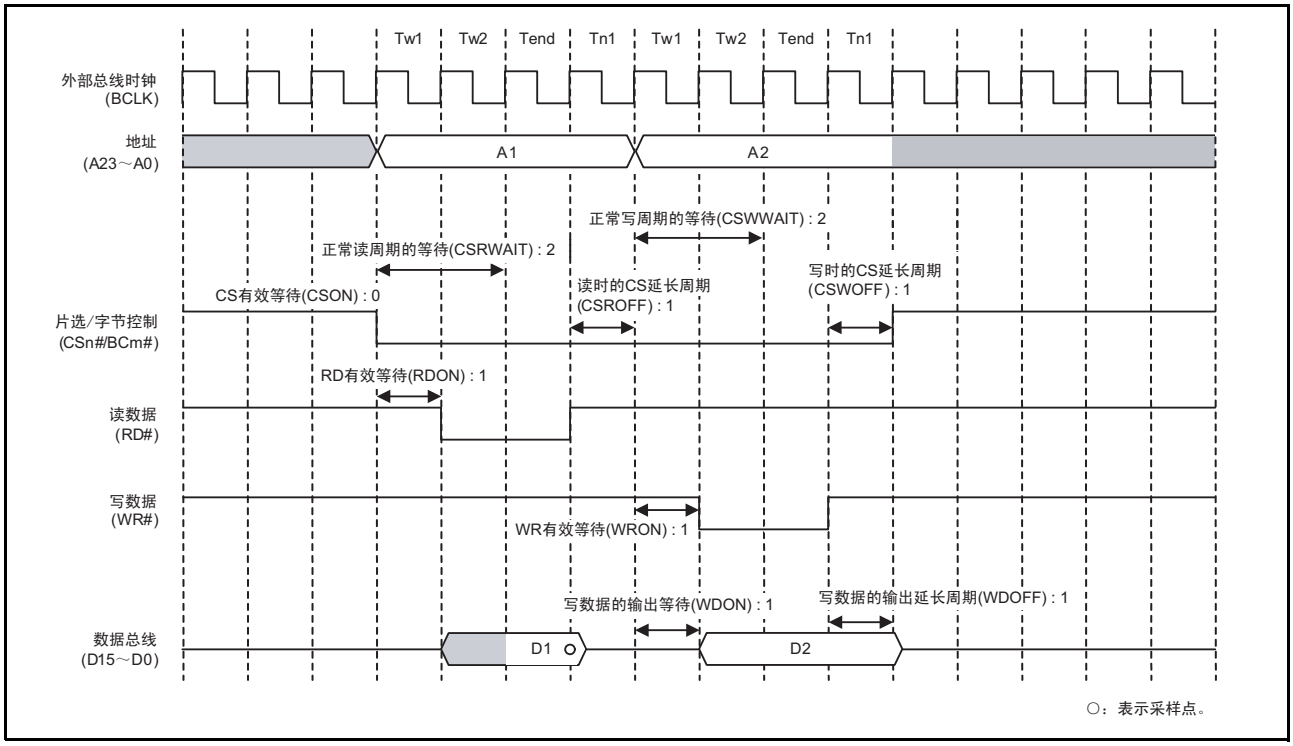


图 16.14 正常存取的运行例子 （读写）（n=0 ～ 7、 m=0 ～ 3）

在总线主控的 1 次传送请求至少需要 2 次外部总线存取时，重复正常存取的操作 （①～④）。 1 次传送请求发生 2 次总线存取时的运行例子如图 16.15 和图 16.16 所示。但是，当恢复周期插入条件成立时，在第 2 次以后的外部总线存取中也插入恢复周期 （⑥）（参照图 16.40）。

各等待控制寄存器的值是设定例子，必须根据要连接的设备规格设定寄存器的值。

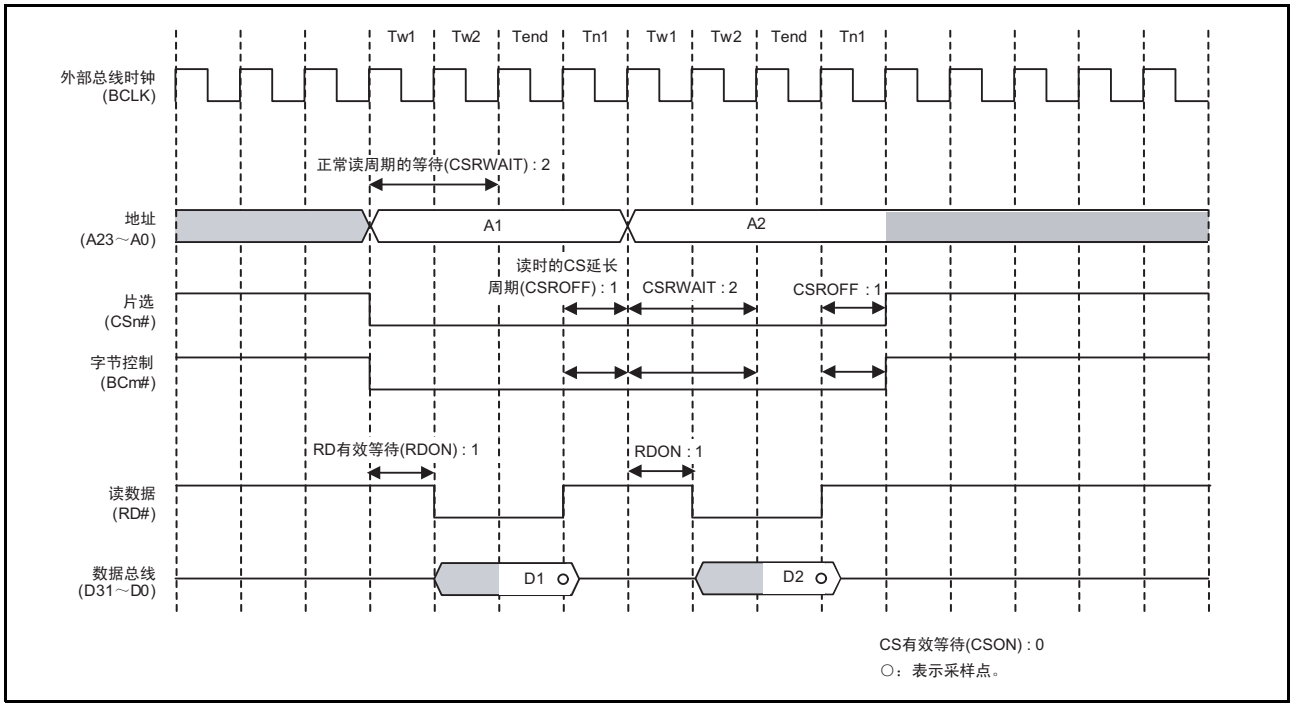


图 16.15　正常读存取的运行例子 （1 次传送请求发生 2 次总线存取的情况）（n=0 ～ 7、 m=0 ～ 3）

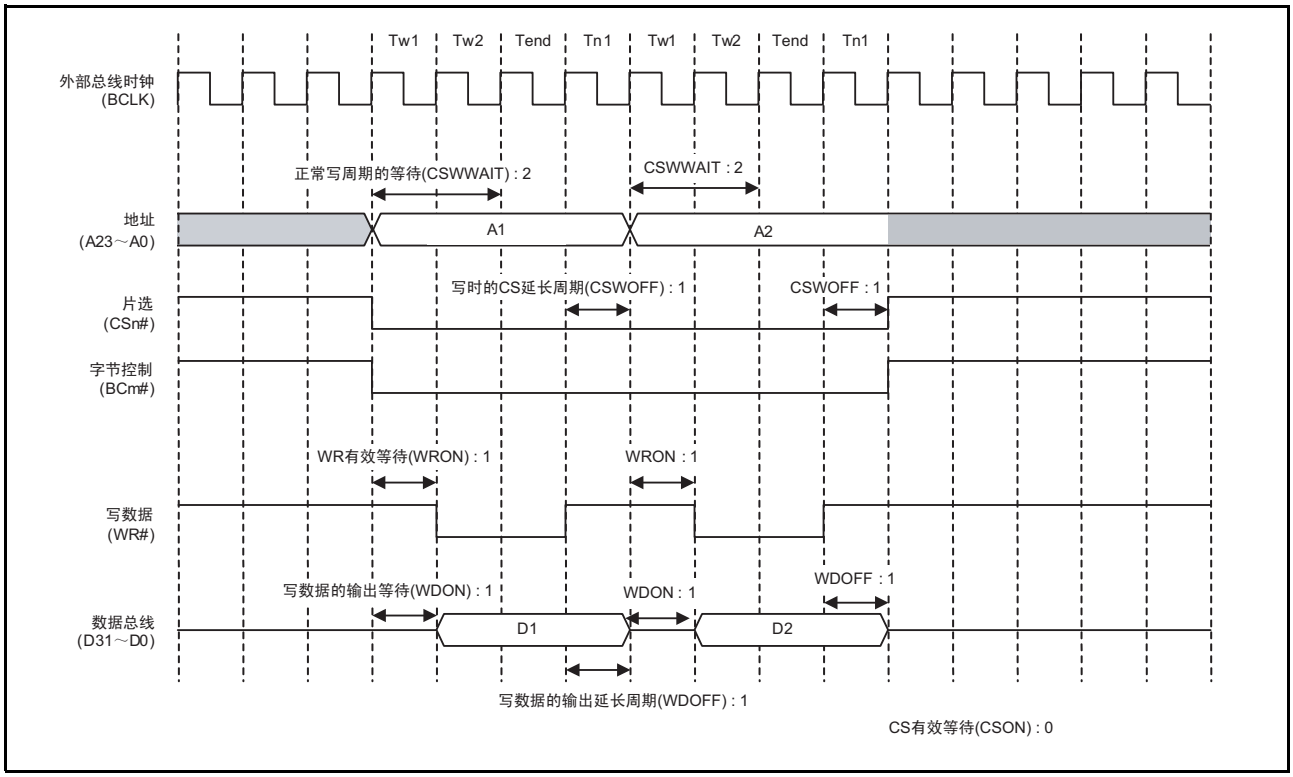


图 16.16　正常写存取的运行例子 （在 1 次写选通模式中， 1 次传送请求发生 2 次总线存取的情况）
（n=0 ～ 7、 m=0 ～ 3）

对 32 位总线空间进行 16 位存取时的正常读存取和正常写存取的运行例子如图 16.17 和图 16.18 所示。

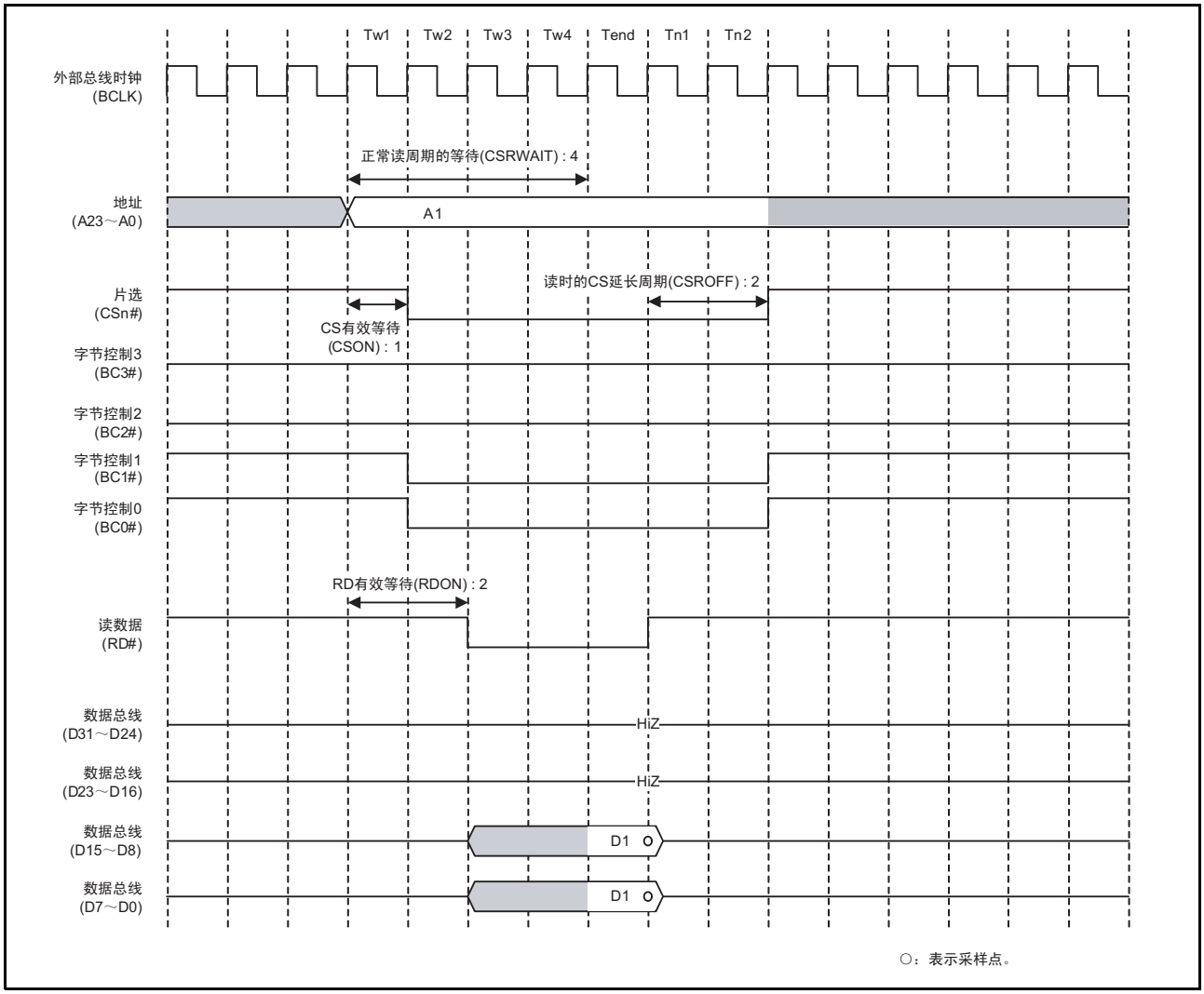


图 16.17　正常读存取的运行例子 （对 32 位总线空间进行 16 位存取的情况）（n=0 ～ 7）

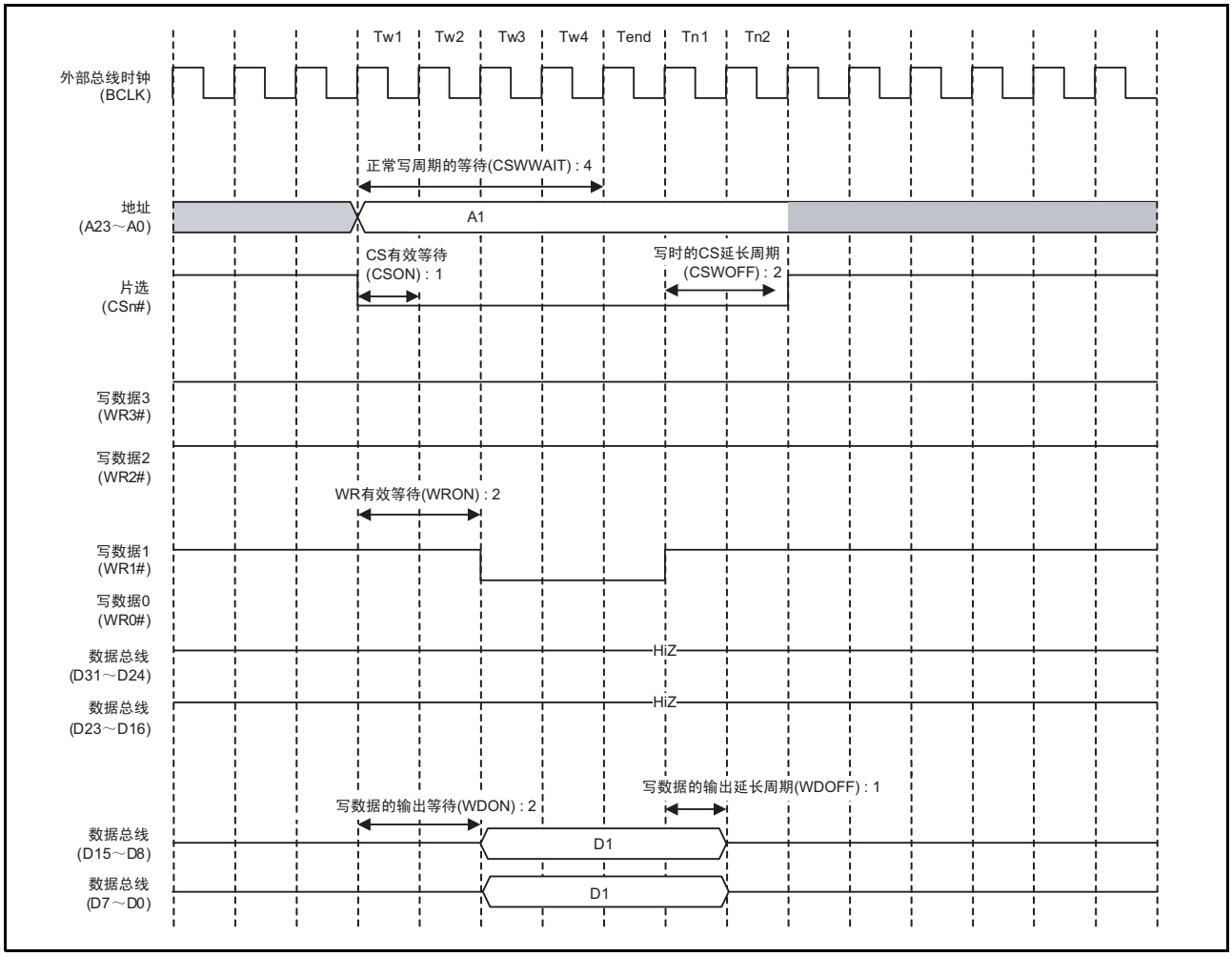


图 16.18　正常写存取的运行例子 （在字节选通模式中，对 32 位总线空间进行 16 位存取的情况）（n=0 ～ 7）

在 1 次写选通模式中进行正常存取时的运行例子如图 16.19 所示。

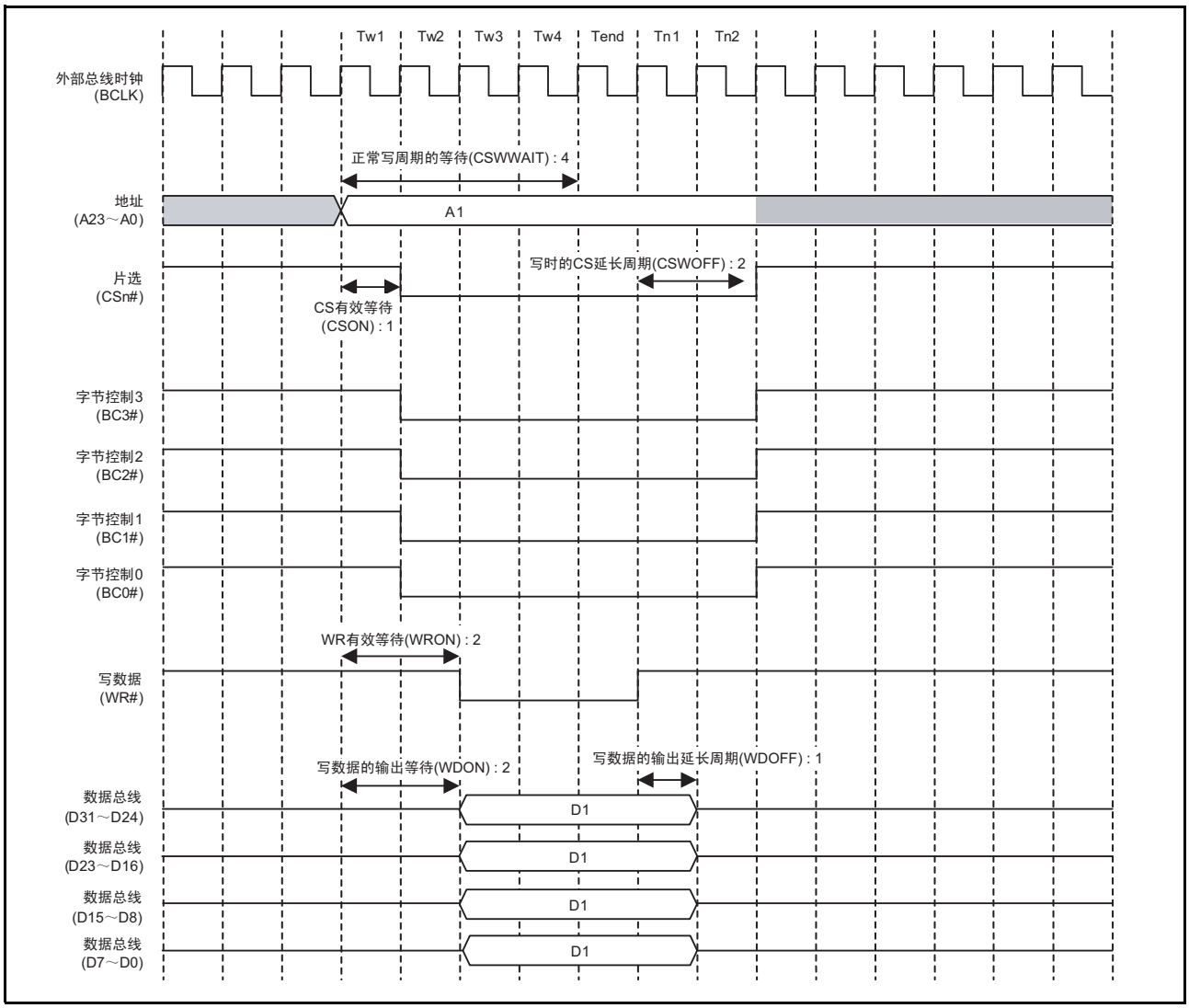


图 16.19 正常写存取的运行例子 （在 1 次写选通模式中，对 32 位总线空间进行 32 位存取的情况）（n=0 ～ 7）

通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频时的运行例子如图 16.20 ～图 16.24 所示。

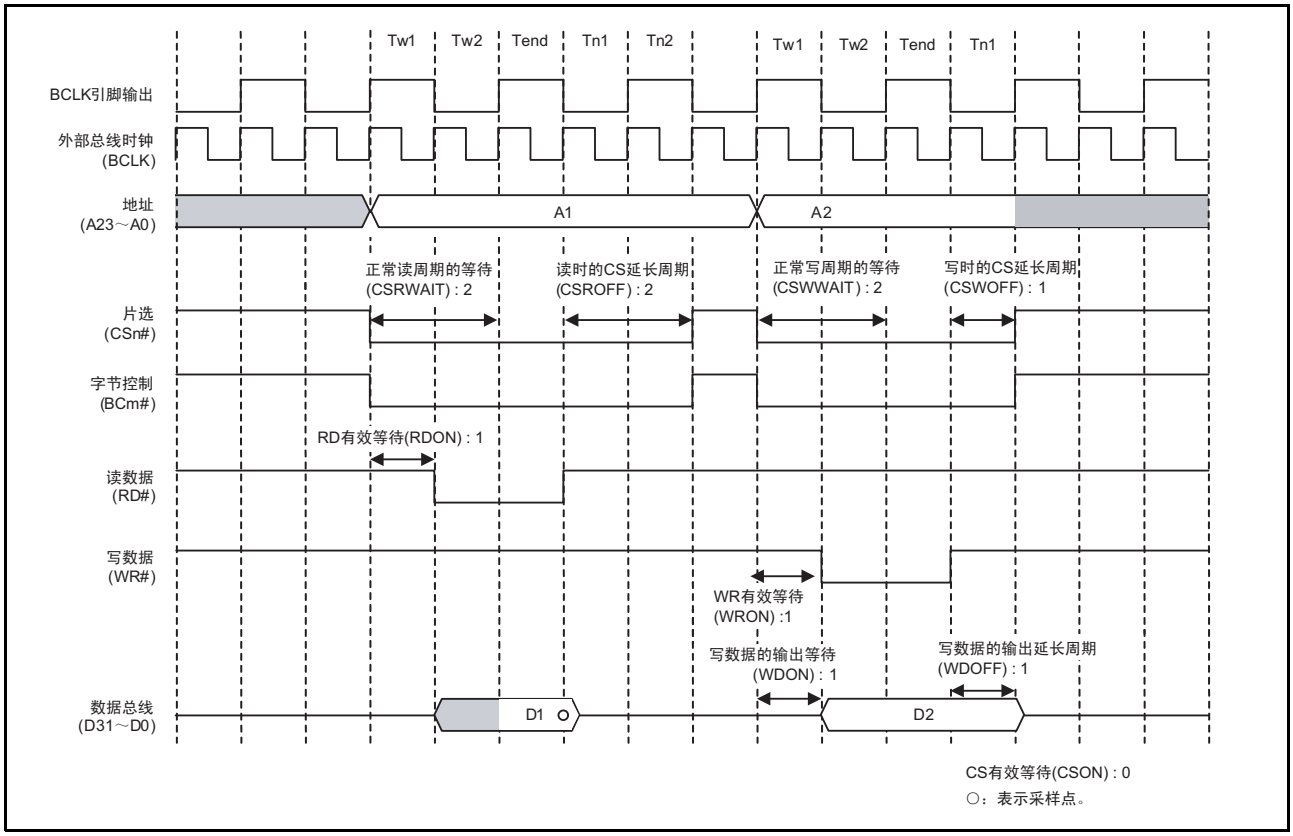


图 16.20　正常存取的运行例子 （通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频的情况）
（n=0 ～ 7、 m=0 ～ 3）

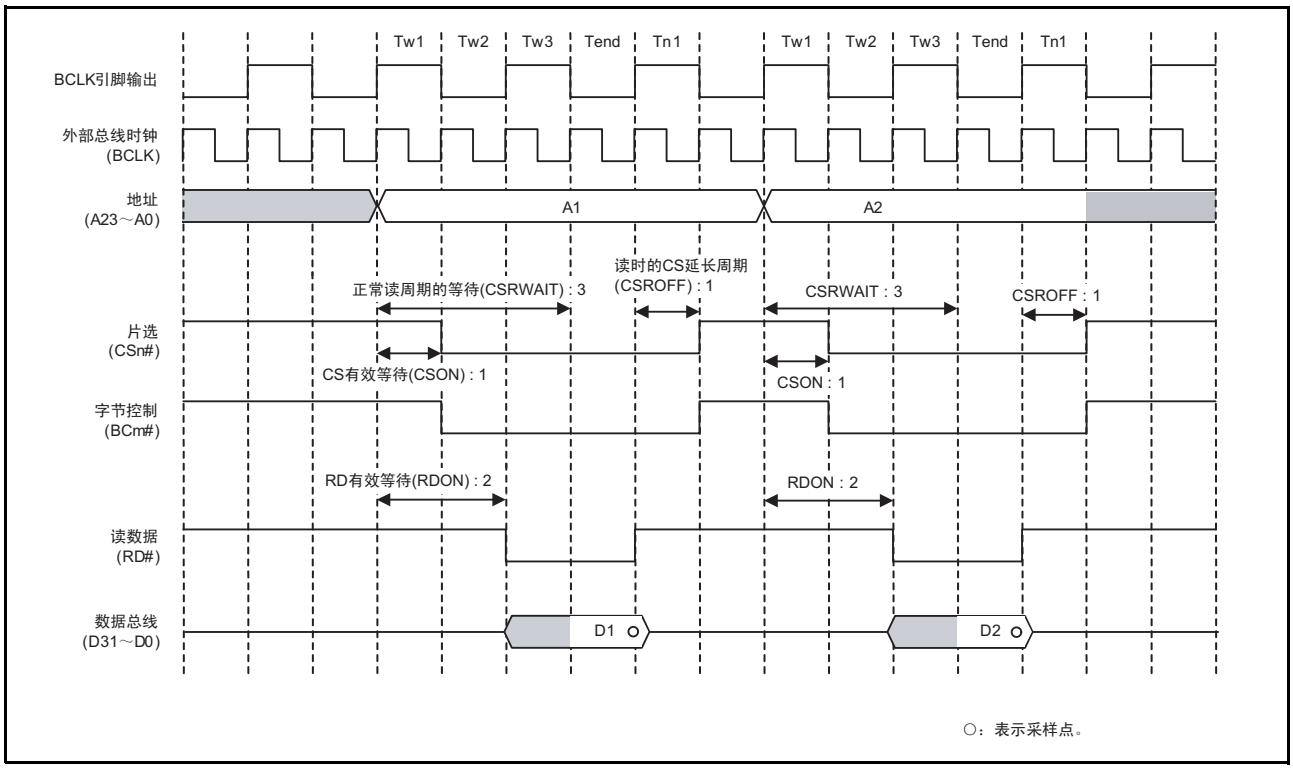


图 16.21　正常读存取的运行例子 （通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频的情况）
（n=0 ～ 7、 m=0 ～ 3）

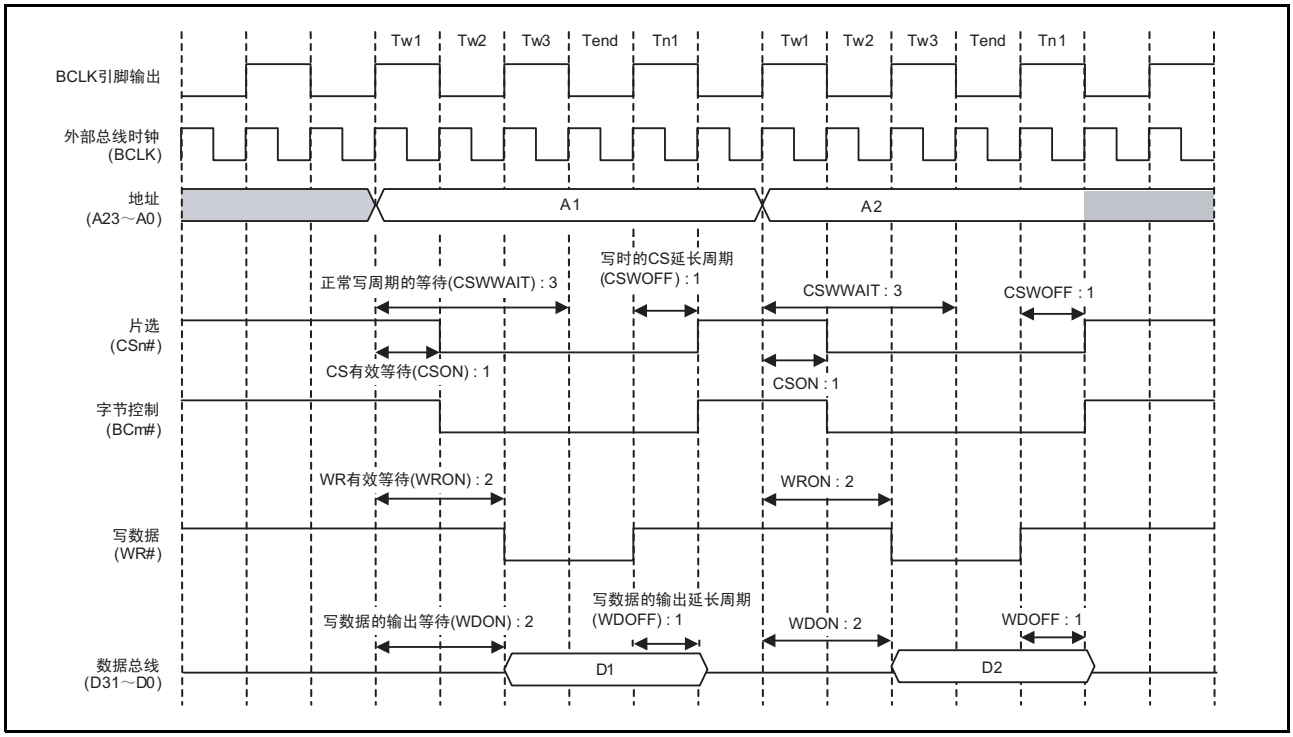


图 16.22 正常写存取的运行例子 （通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频的情况）（n=0 ～ 7、 m=0 ～ 3）

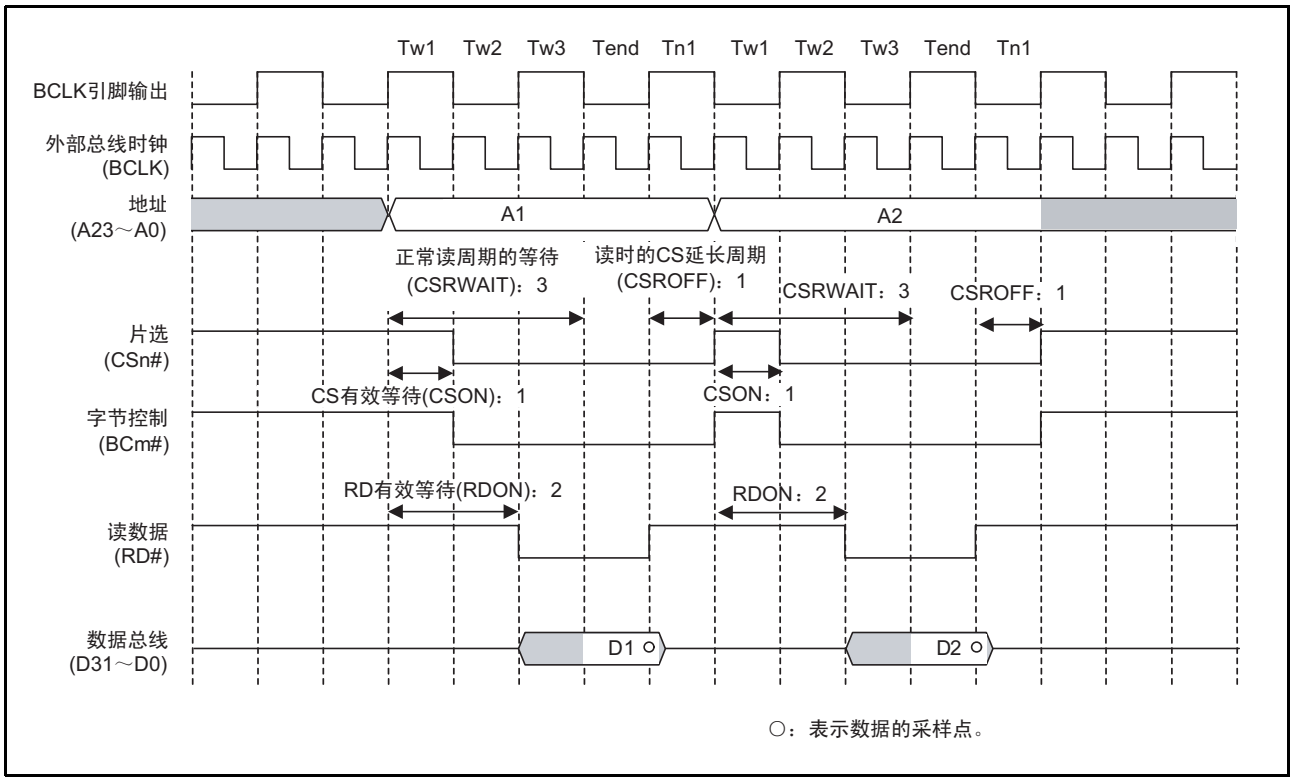


图 16.23 正常读存取的运行例子（通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频并且 1 次传送请求发生 2 次总线存取的情况）（n=0 ～ 7、 m=0 ～ 3）

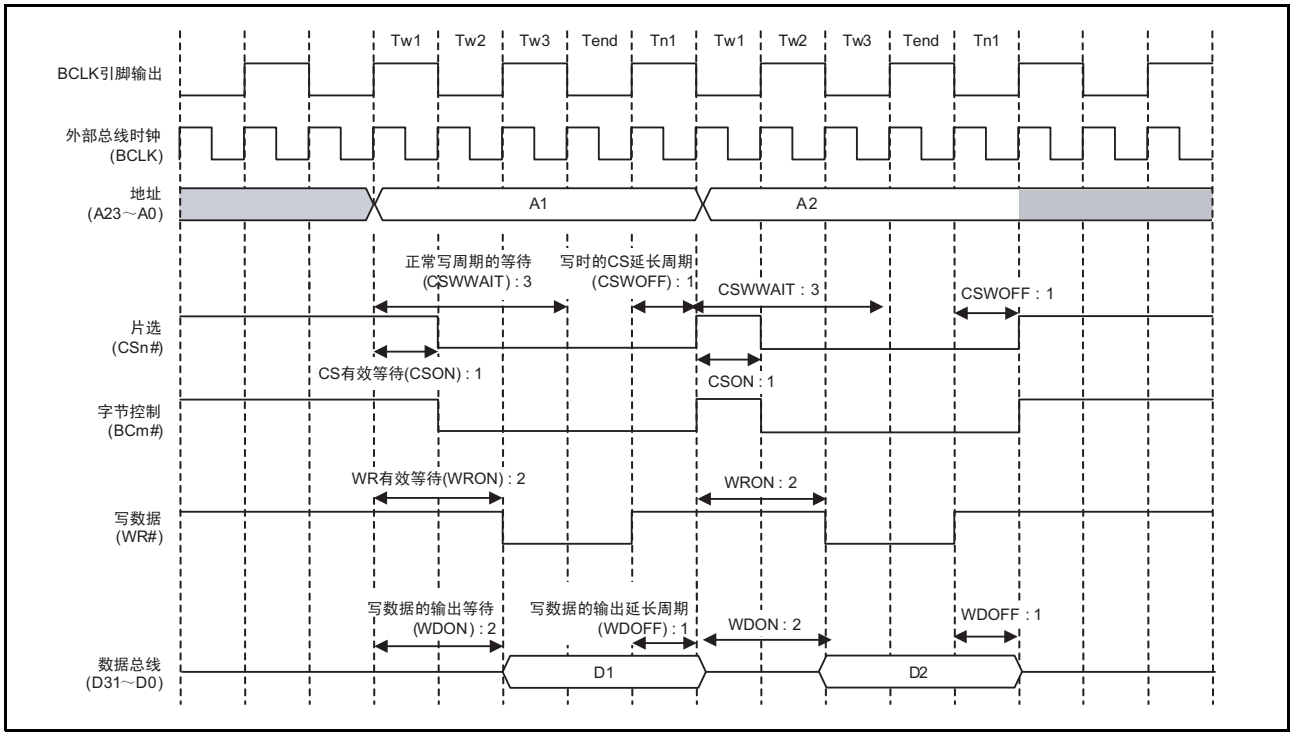


图 16.24 正常写存取的运行例子（通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频并且 1 次传送请求发生 2 次总线存取的情况）（n=0 ～ 7、 m=0 ～ 3）

(2) 页面存取

如果将 CSnMOD.PRENB 位置“1”（允许页面读存取）并且将 CSnMOD.PWENB 位置“1”（允许页面写存取），与页面存取对应的总线存取就为页面存取。在总线主控的 1 次传送请求至少需要 2 次外部总线存取时，为页面存取对象。如果被分割的存取为非定位存取并且是超过 32 位边界的存取，就不是页面存取而是正常存取的对象。有关发生页面存取的条件的详细内容，请参照图 16.8 ～图 16.11。

页面存取的运行例子如图 16.25 和图 16.26 所示。

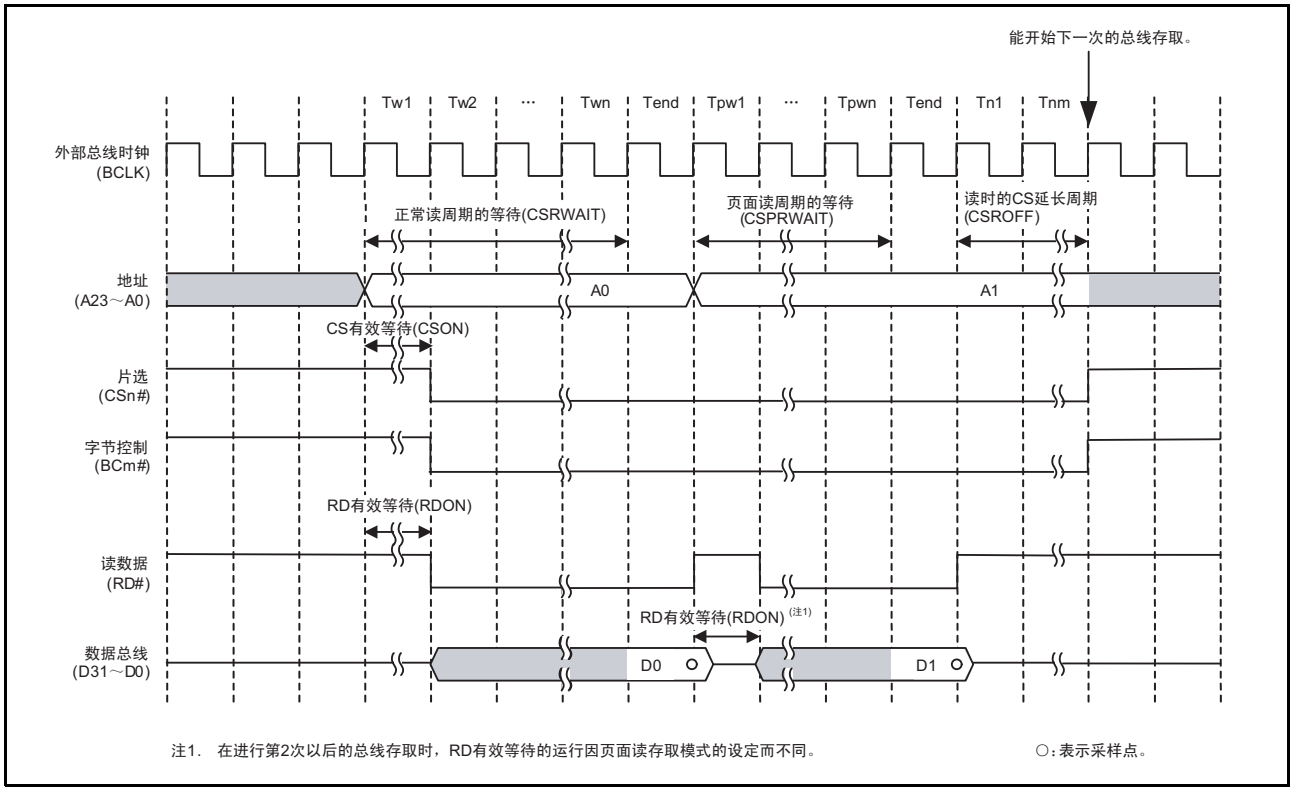


图 16.25 页面读存取时序 （n=0 ～ 7、 m=0 ～ 3）

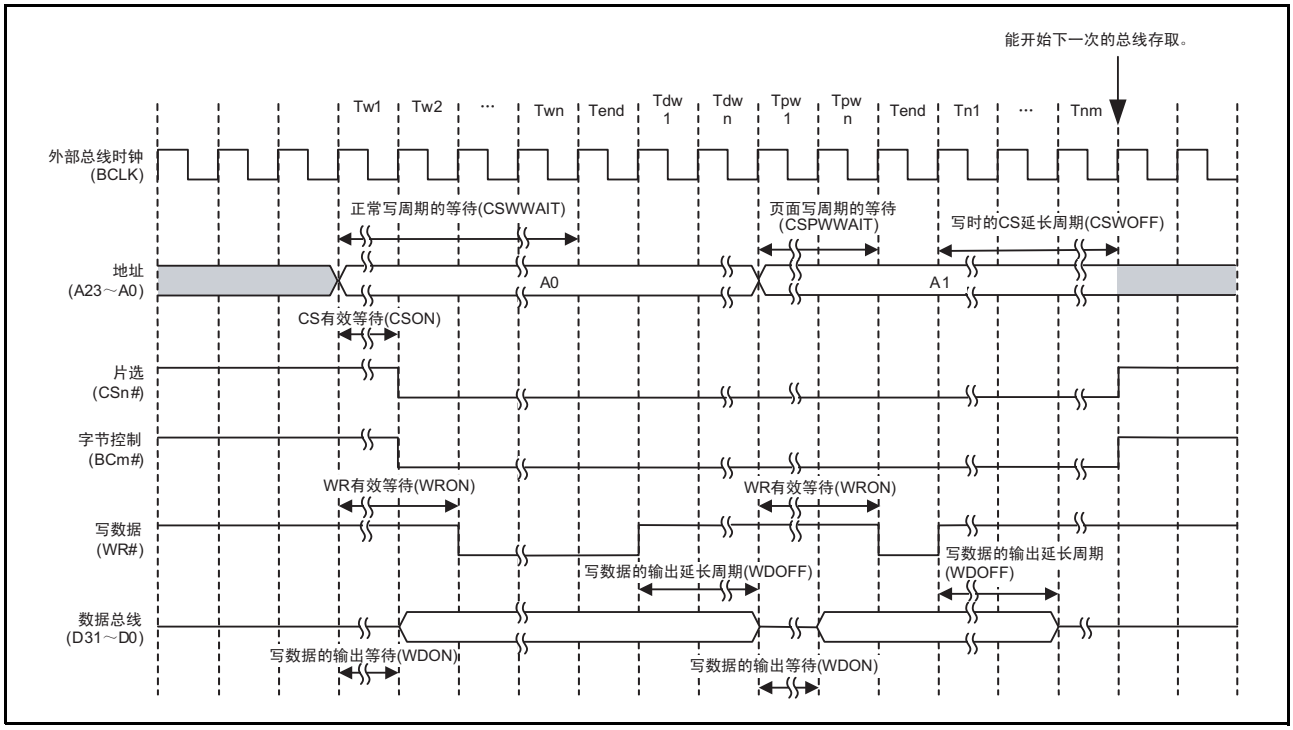


图 16.26 页面写存取时序 （n=0 ～ 7、 m=0 ～ 3）

对 16 位总线空间进行 32 位总线存取时的运行例子如图 16.27 和图 16.28 所示，各等待控制寄存器的值是设定例子，必须根据要连接的设备规格设定寄存器的值。

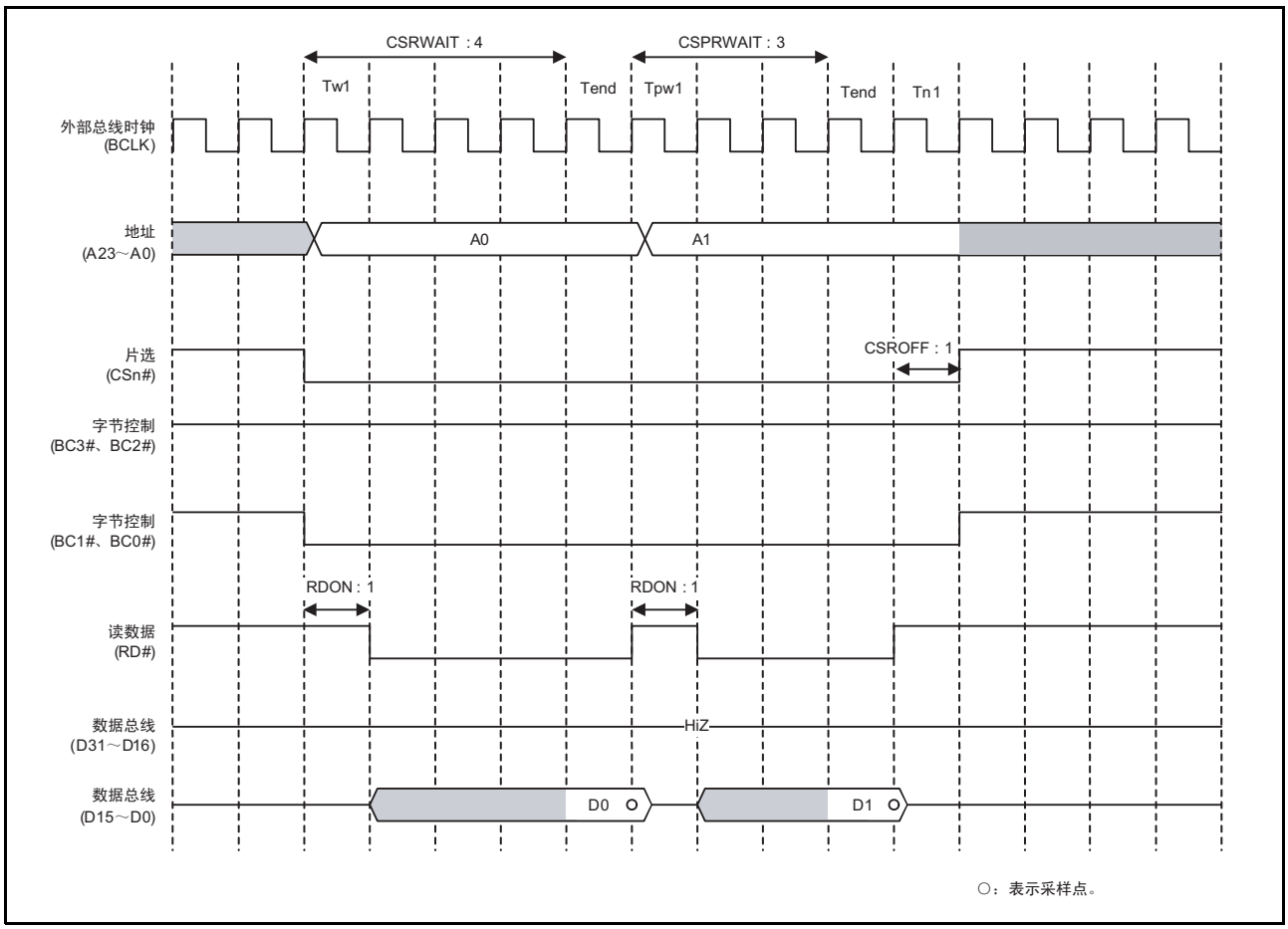


图 16.27 页面读存取的运行例子 （对 16 位总线空间进行 32 位存取的情况）（n=0 ～ 7）

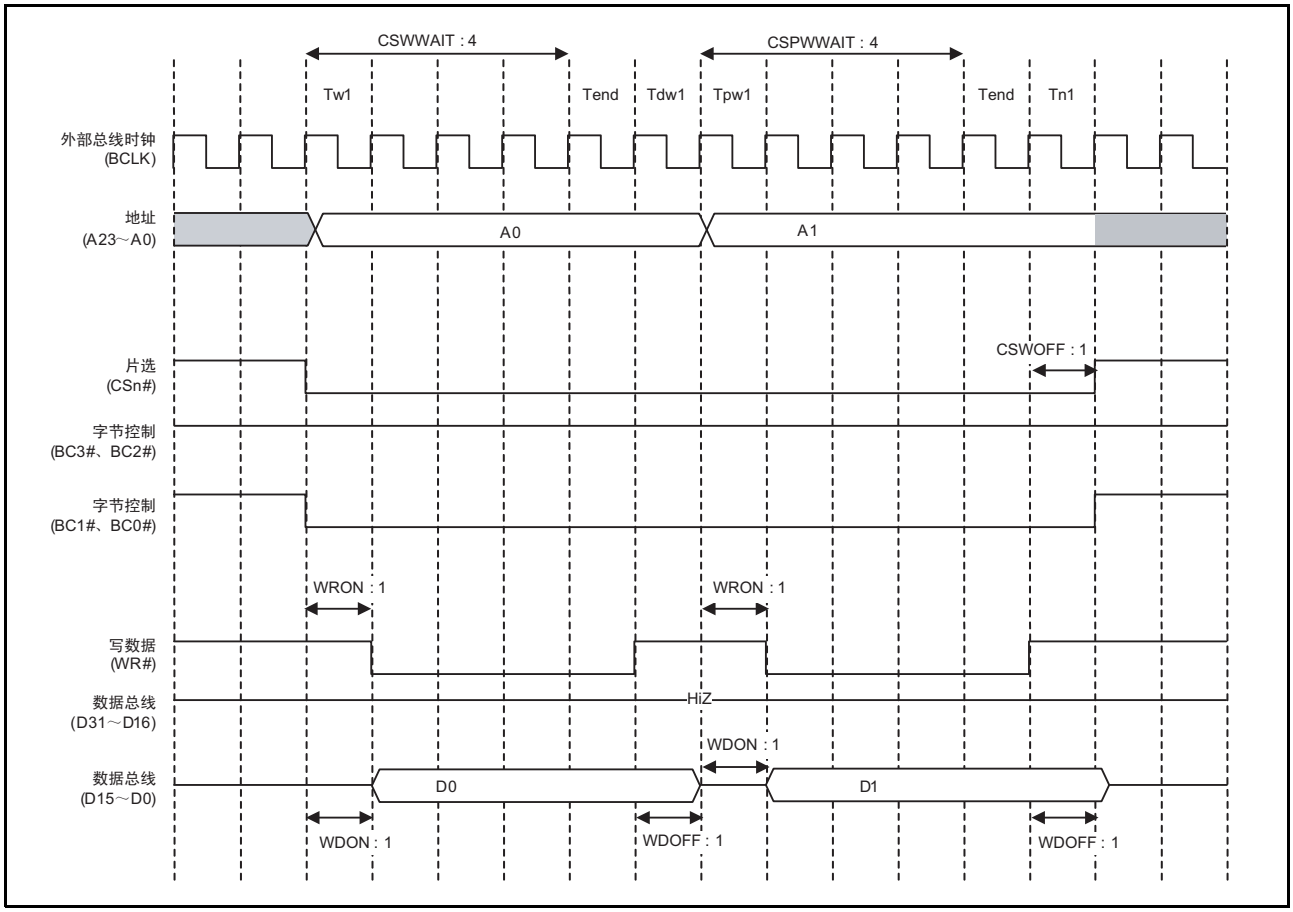


图 16.28 页面写存取的运行例子 （在 1 次写选通模式中，对 16 位总线空间进行 32 位存取的情况）（n=0 ～ 7）

通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频时的运行例子如图 16.29 和图 16.30 所示。

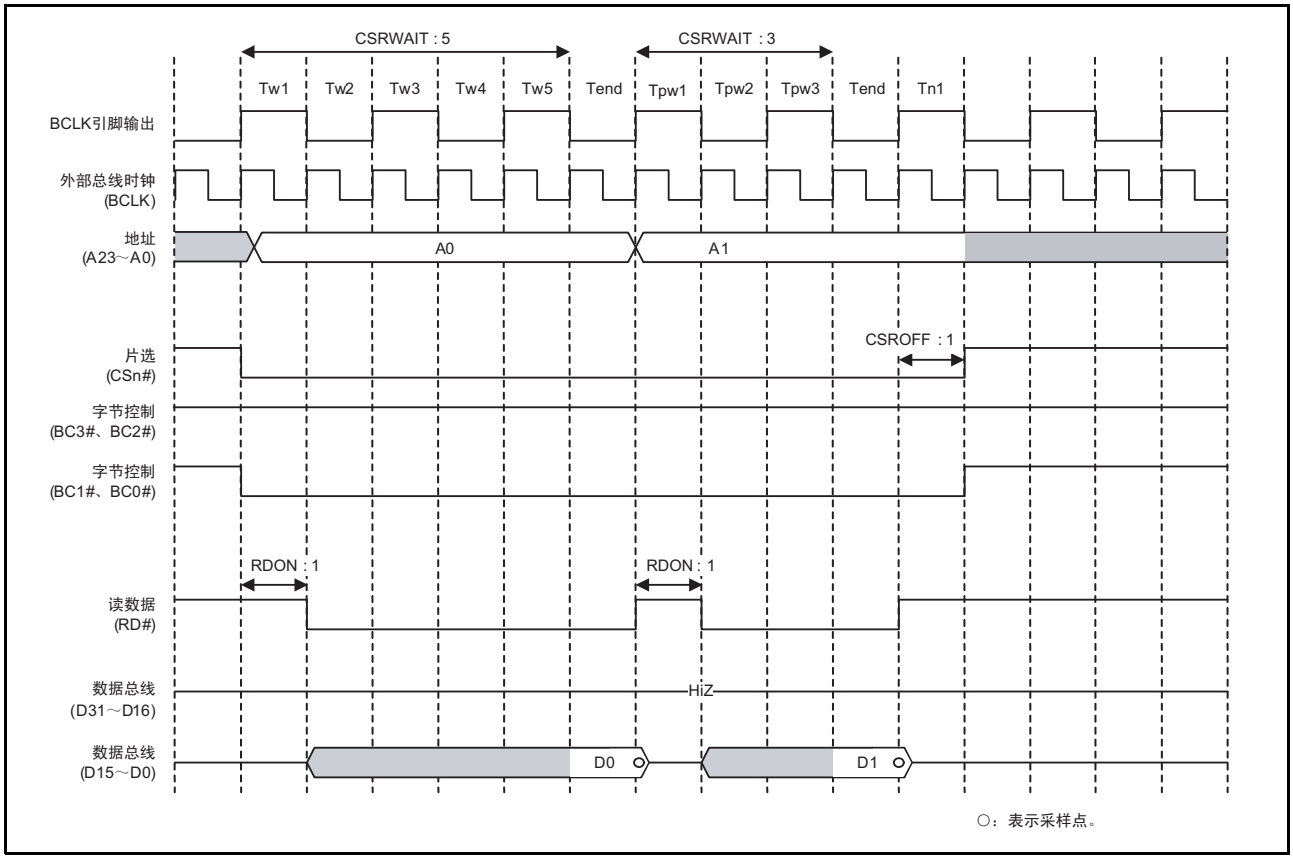


图 16.29 页面读存取的运行例子（通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频并且 1 次传送请求发生 2 次总线存取的情况）（n=0 ～ 7）

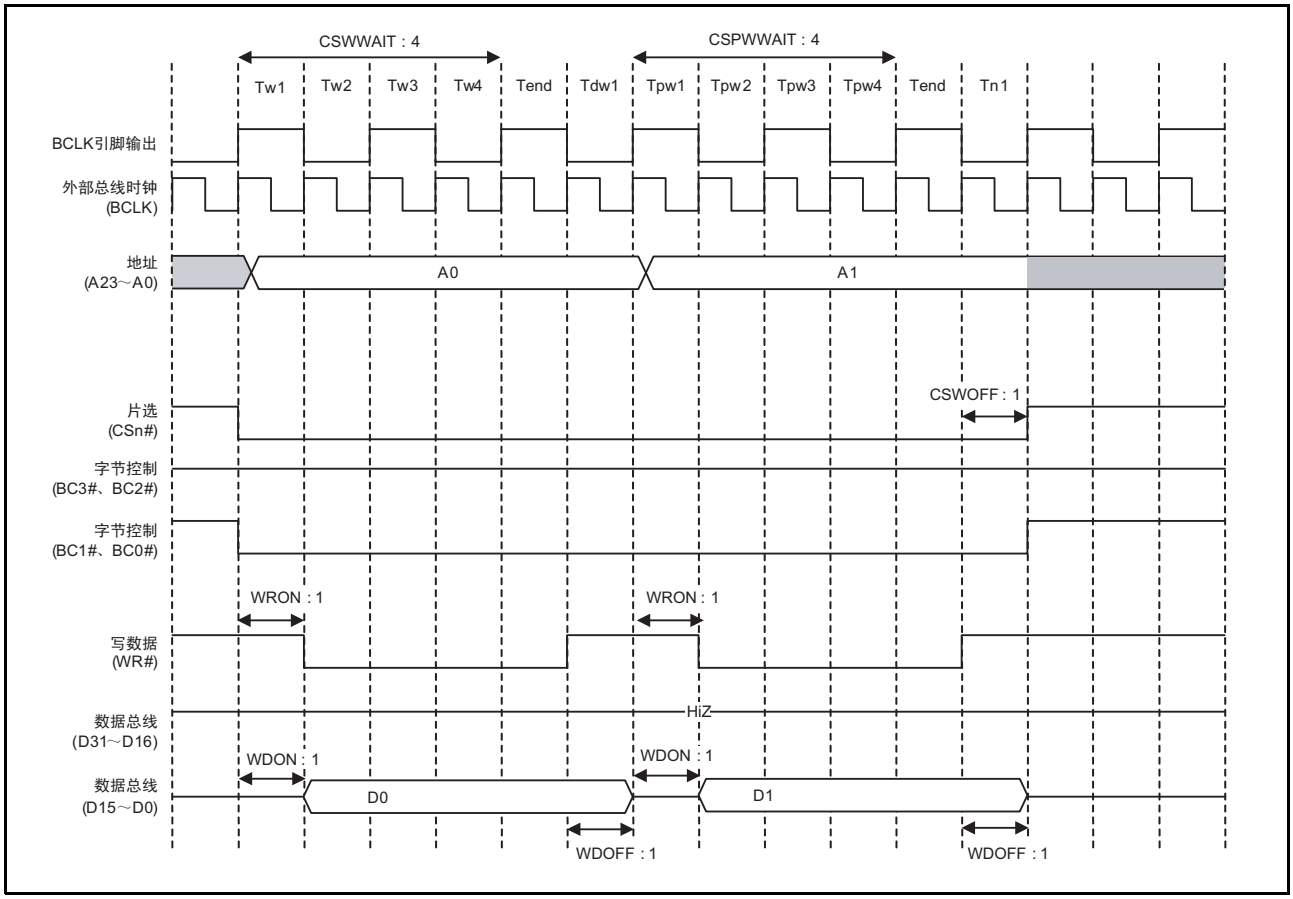


图 16.30 页面写存取的运行例子（在 1 次写选通模式中，通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频并且 1 次传送请求发生 2 次总线存取的情况）（n=0 ～ 7）

16.5.2 地址 / 数据多路复用总线

能通过将 CS1 控制寄存器的地址 / 数据多路复用 I/O 接口选择位（CS1CR.MPXEN）置“1”，在对应的区域中将地址和数据进行多路复用后输入或者输出到 D15 ～ D0 引脚。因此，能将地址 / 数据多路复用需要的外围 LSI 直接连接本 LSI。在通过 CS1CR.BSIZE[1:0] 位选择 8 位的区域中，D7 ～ D0 和 A7 ～ A0 被多路复用；在通过 CS1CR.BSIZE[1:0] 位选择 16 位的区域中， D15 ～ D0 和 A15 ～ A0 被多路复用。在地址 / 数据多路复用 I/O 空间中，通过 ALE、 RD#、 WRn# 和 BCn# 信号控制存取。和分离总线一样，可选择字节选通模式和 1 次写选通模式。但是，对于地址周期中的 BCn# 信号，输出读数据和写数据的字节控制信号。

在地址 / 数据多路复用 I/O 空间的存取中，在地址输出周期插入 CS1 等待控制寄存器 2 的地址周期等待选择位 （CS1WCR2.AWAIT[1:0]）设定的周期后，继续存取数据。

- Ta1～Tan （地址周期等待）

这是从外部总线存取开始到地址锁存 （ALE）信号无效的前 1 个周期为止的周期期间，此周期只在设定地址 / 数据多路复用 I/O 空间时有效，能选择 0 ～ 3 个周期。在 ALE 信号无效的下一个周期前输出地址 （地址周期）。 ALE 信号和 CS# 信号的有效时序相同。地址周期之后是数据周期。为了使地址周期和数据周期不重叠，必须设定 CS1WCR1 寄存器和 CS1WCR2 寄存器的值。

在地址 / 数据多路复用 I/O 空间中，页面存取无效。如果设定为允许页面读存取（CS1MOD.PRENB 位 =1）并且允许页面写存取 （CS1MOD.PWENB 位 =1），就忽视此设定而进行正常存取。

使用地址 / 数据多路复用 I/O 接口时的运行例子如图 16.31 ～图 16.33 所示。

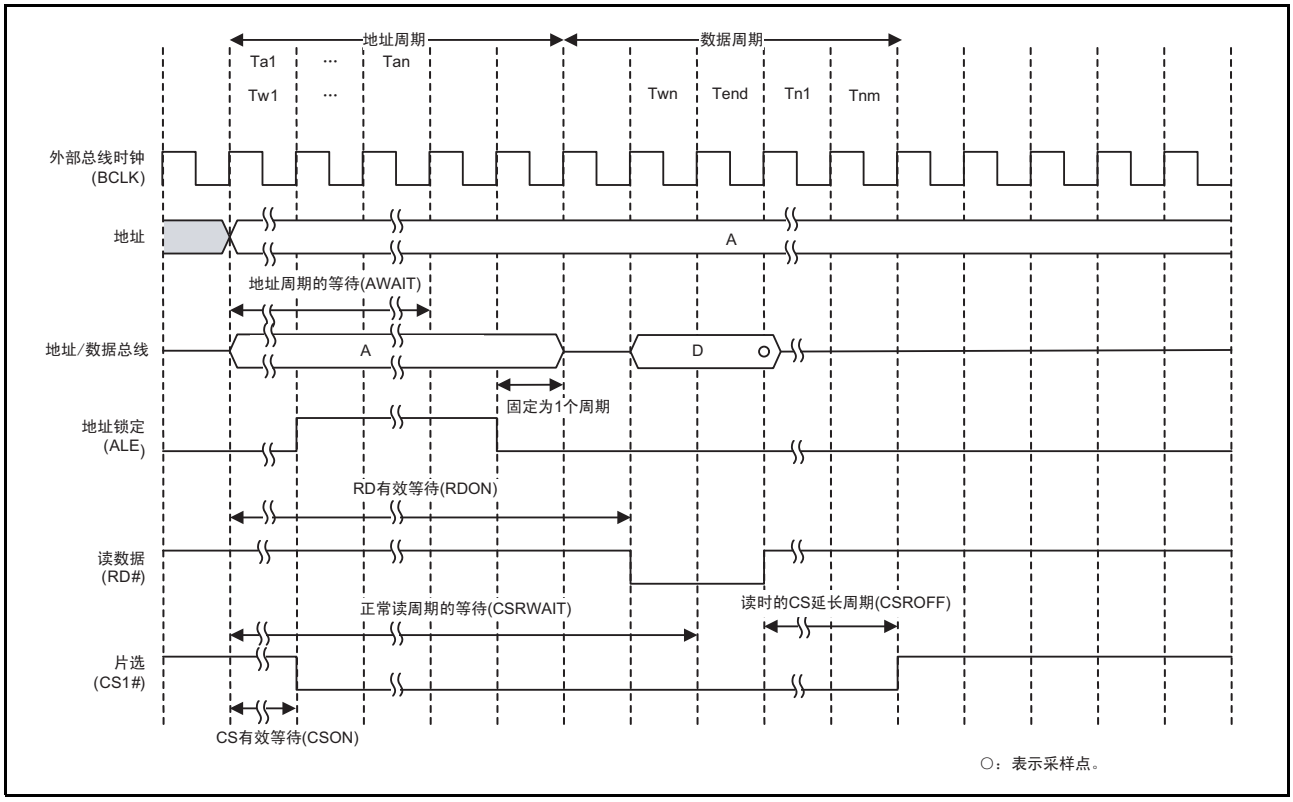


图 16.31 使用地址 / 数据多路复用 I/O 接口时的读存取的运行例子

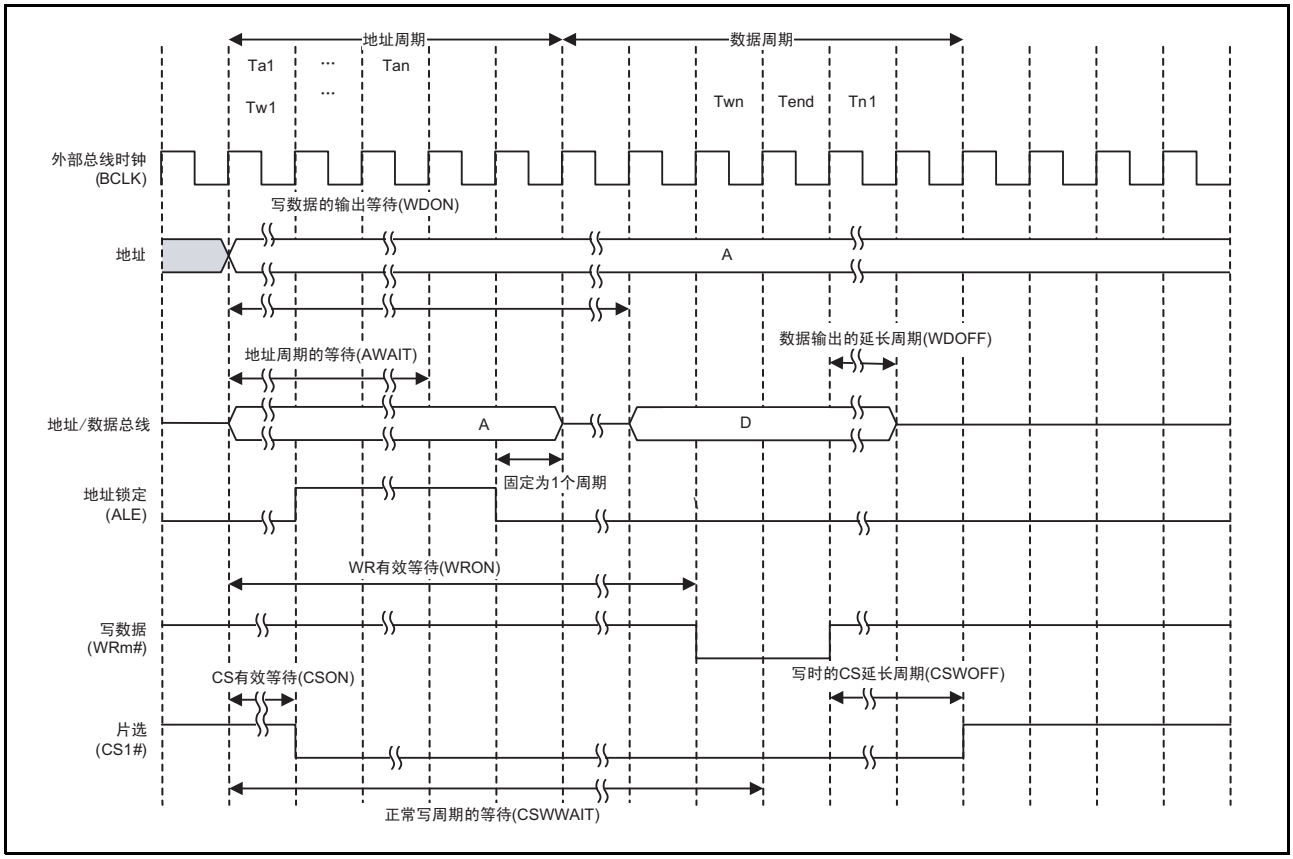


图 16.32 使用地址 / 数据多路复用 I/O 接口时的写存取的运行例子 （m=0、 1）

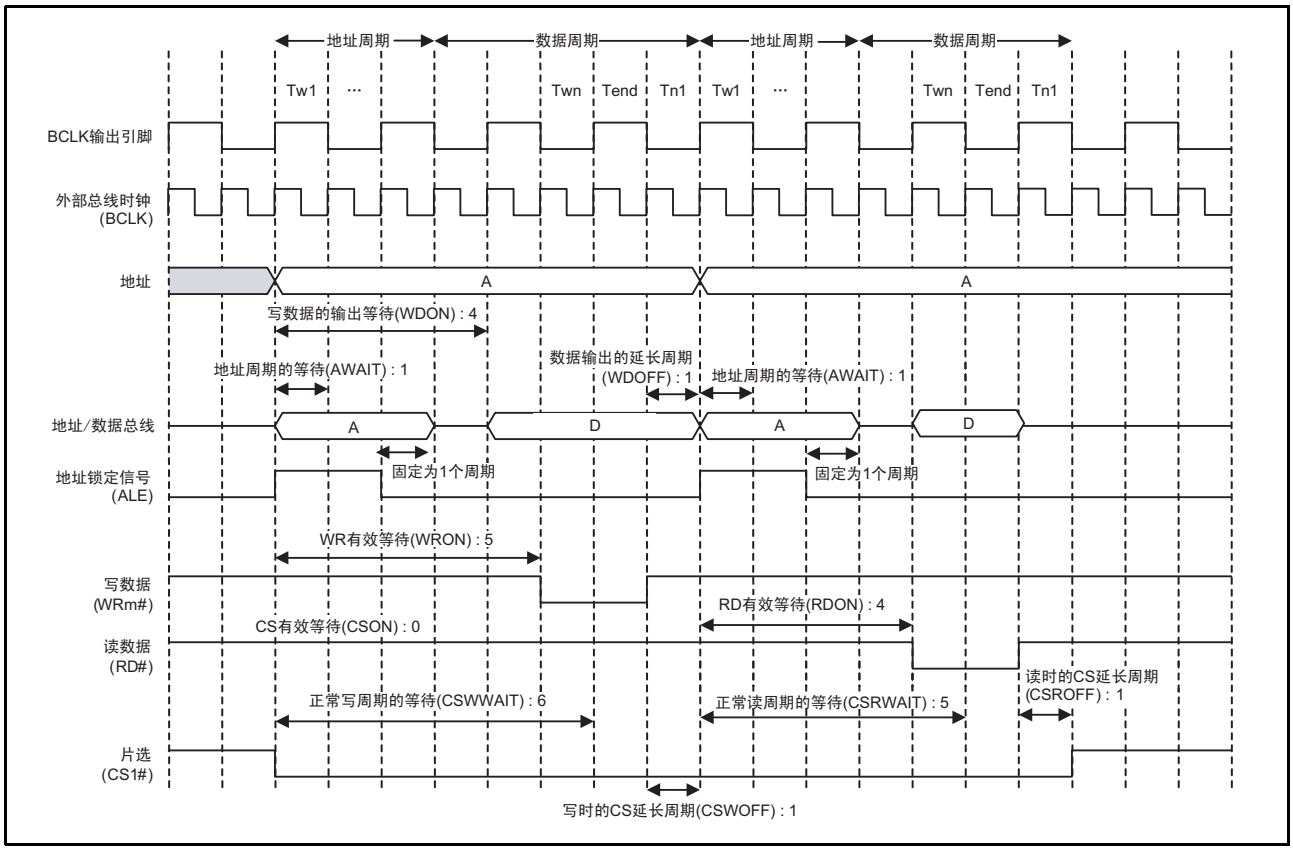


图 16.33 使用地址 / 数据多路复用 I/O 接口时的总线时序例子 （m=0、 1）

当 1 次传送请求至少发生 2 次外部总线存取时，第 2 次以后的外部总线存取和第 1 次一样，重复地址周期和数据周期。详细内容请参照图 16.34 和图 16.35。

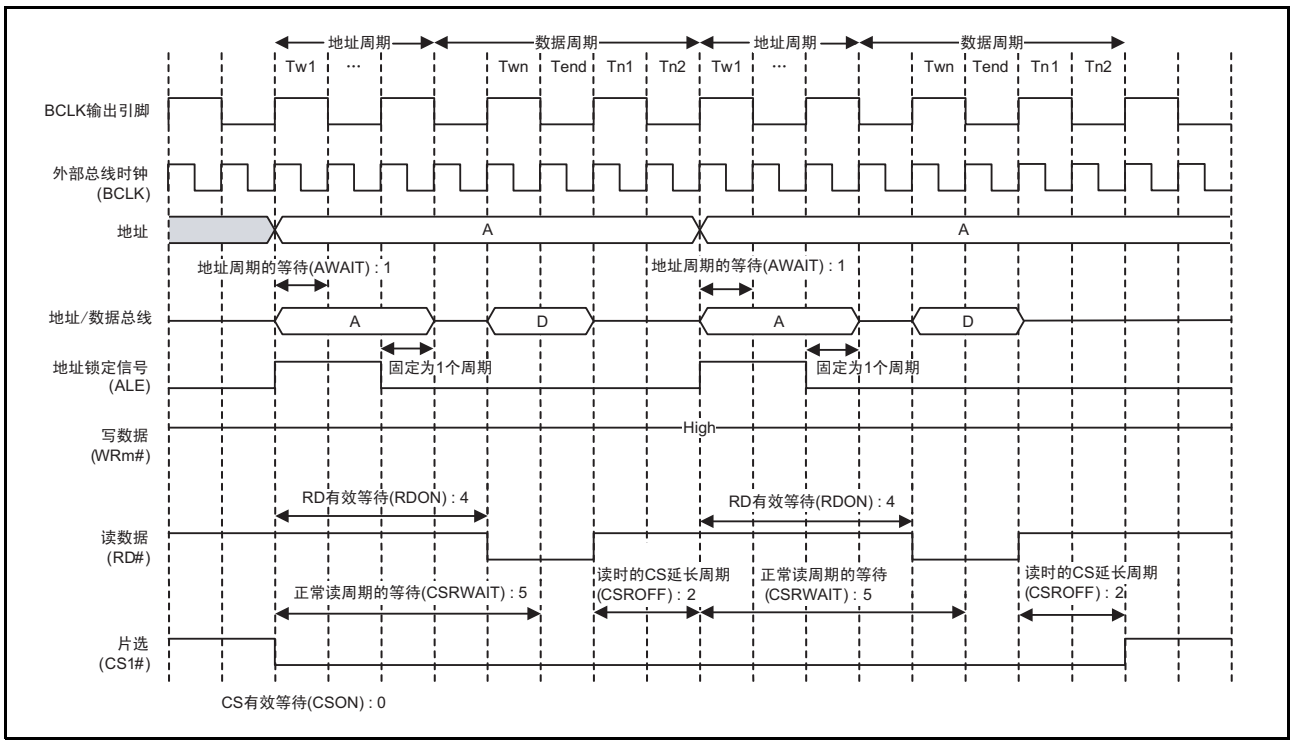


图 16.34　使用地址 / 数据多路复用 I/O 接口并且分割读存取时的运行例子 （m=0、 1）

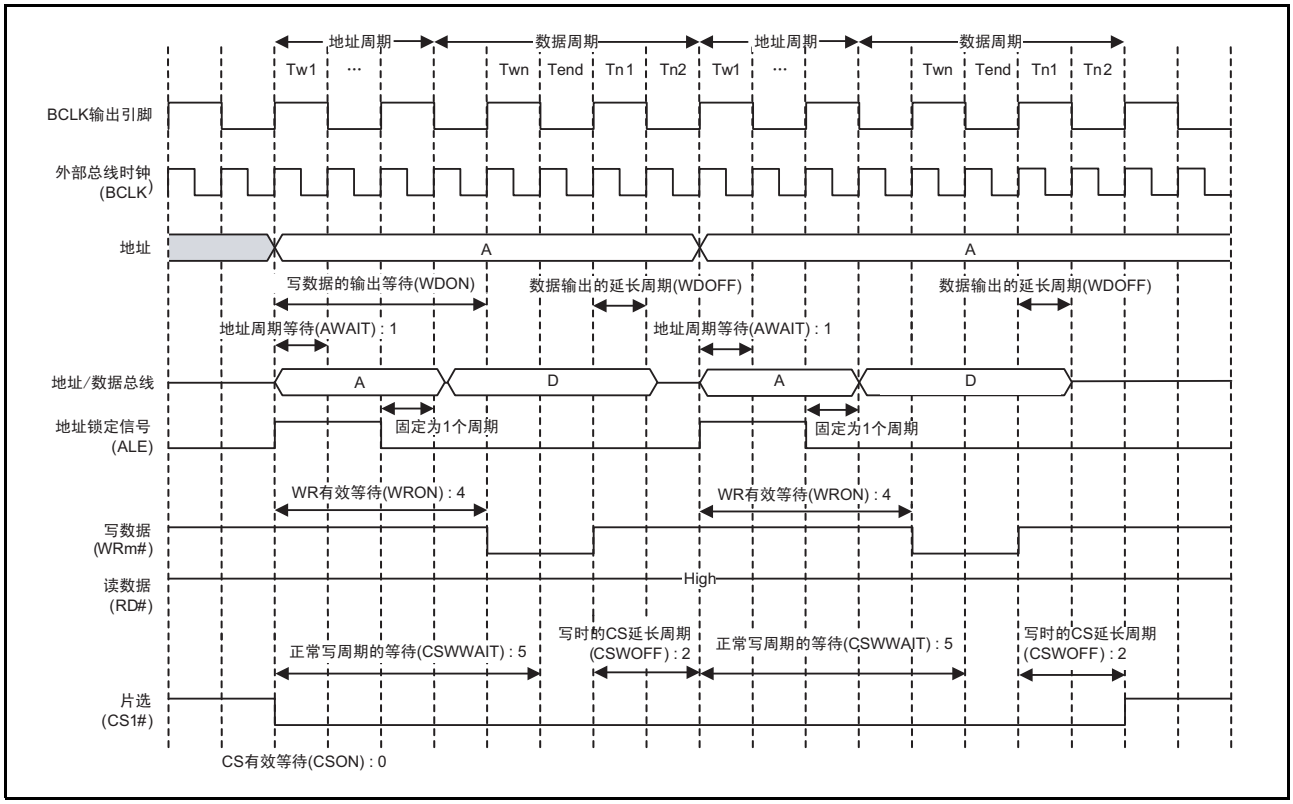


图 16.35　使用地址 / 数据多路复用 I/O 接口并且分割写存取时的运行例子 （m=0、 1）

16.5.3 外部等待功能

能通过 WAIT# 信号将等待周期延长到超过 CSn 等待控制寄存器 1 （CSnWCR1）设定的正常存取周期等待（CSRWAIT[4:0] 位、 CSWWAIT[4:0] 位）和页面存取周期等待 （CSPRWAIT[2:0] 位、 CSPWWAIT[2:0] 位）。

如果设定为允许外部等待 （CSnMOD.EWENB 位 =1），就在 WAIT# 信号为 Low 电平期间插入等待周期。如果禁止外部等待 （CSnMOD.EWENB 位 =0）， WAIT# 信号就无效。

与 WAIT# 信号无关，插入 CSnWCR1 寄存器设定的各周期等待。

(1) 正常存取

从 CSnWCR1 寄存器设定的周期等待数结束时 （Tend）开始对 WAIT# 信号进行采样。在 WAIT# 信号为 Low 电平期间延长总线周期， WAIT# 信号变为 High 电平后的下一个周期为等待周期的结束 （Tend）。

(2) 页面存取

最初的存取和正常存取相同。从等待控制寄存器设定的周期等待数结束时 （Tend）开始对 WAIT# 信号进行采样。在 WAIT# 信号为 Low 电平期间延长总线周期， WAIT# 信号变为 High 电平后的下一个周期为等待周期的结束 （Tend）。

对于第 2 次以后的存取，从页面存取的等待周期结束时 （Tend）开始对 WAIT# 信号进行采样。在 WAIT# 信号为 Low 电平期间延长页面存取的等待周期，WAIT# 信号变为 High 电平后的下一个周期为等待周期的结束（Tend）。

使用分离总线接口时的外部等待周期的运行例子如**图 16.36** 和**图 16.37** 所示。

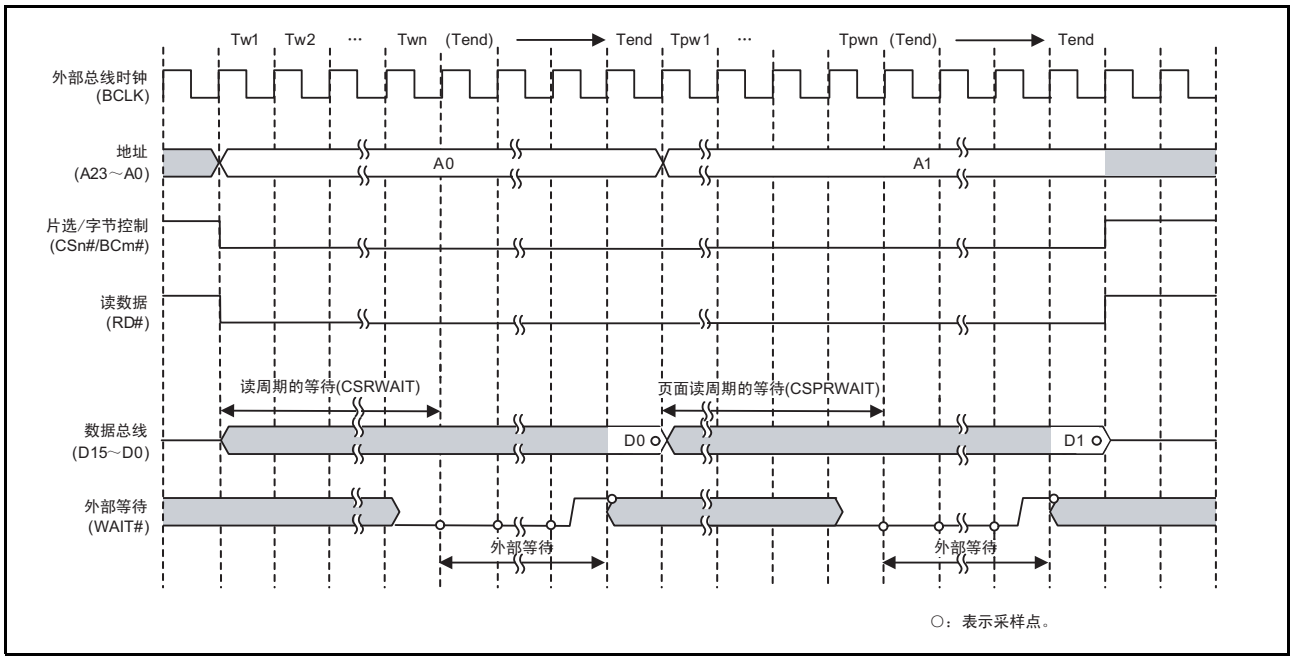


图 16.36 外部等待时序例子 （对 16 位总线空间进行页面读存取）（n=0 ～ 7、 m=0、 1）

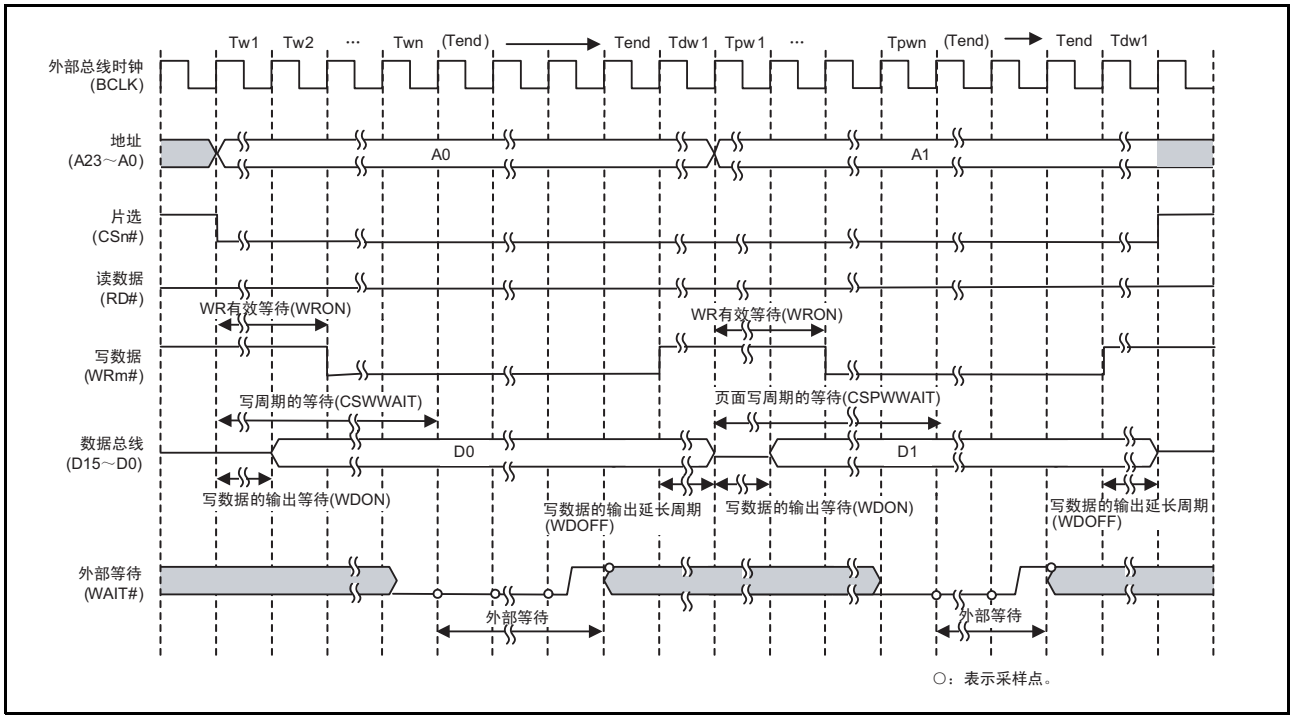


图 16.37　外部等待时序例子（在字节选通模式中，对 16 位总线空间进行页面写存取）（n=0 ～ 7、m=0、1）

(3)　地址 / 数据多路复用 I/O 接口

和分离总线接口一样，能在地址 / 数据多路复用 I/O 接口的数据周期插入编程等待，还能通过 WAIT 引脚插入引脚等待。

等待控制的设定不影响地址周期。使用地址/数据多路复用I/O接口时的外部等待周期的运行例子如图16.38所示。

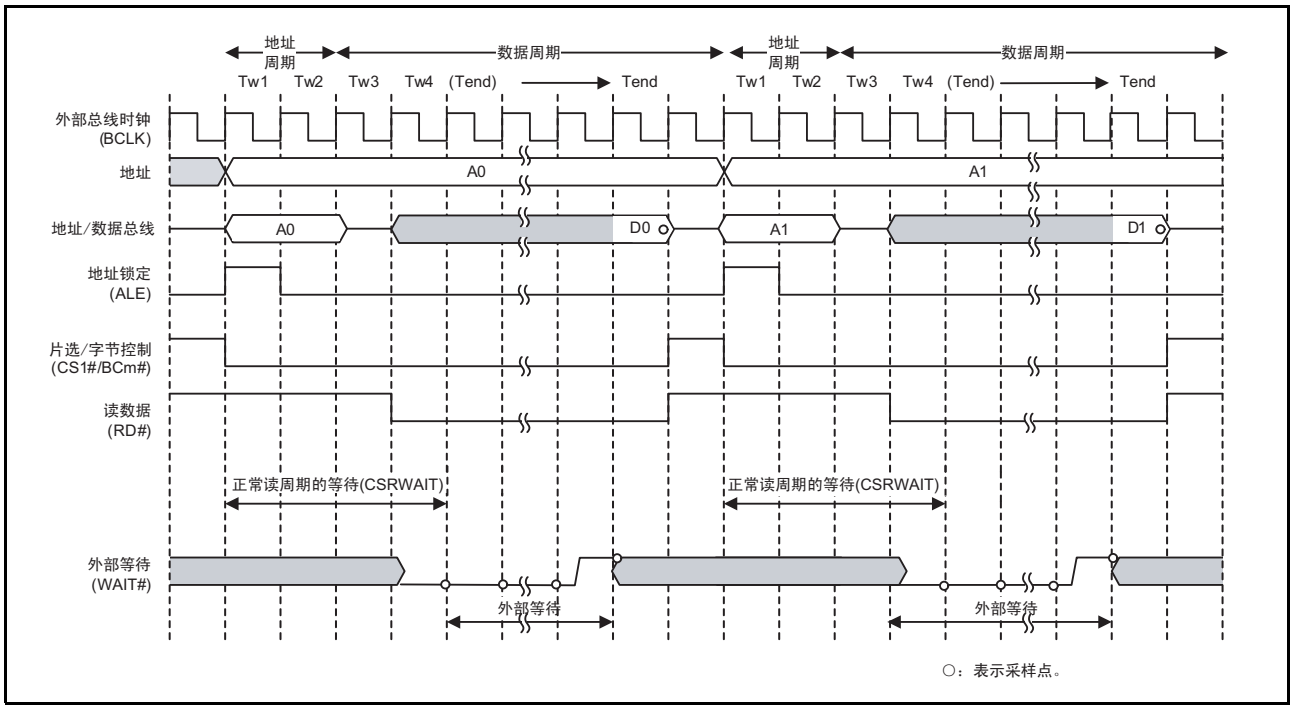


图 16.38　使用地址 / 数据多路复用 I/O 接口时的外部等待插入的运行例子 （m=0、 1）

16.5.4 恢复周期的插入

能通过将 CS 恢复周期插入允许寄存器（CSRECEN）的恢复周期插入允许位置“1”，在连续的外部总线存取期间插入恢复周期。

能在写周期后和读周期后通过 CSn 恢复周期设定寄存器 （CSnREC）设定各区域要插入的恢复周期数。在上一个总线周期为写存取的情况下，通过该区域的写恢复周期设定位 （CSnREC.WRCV[3:0]）进行设定；在上一个总线周期为读存取的情况下，通过该区域的读恢复周期设定位 （CSnREC.RRCV[3:0]）进行设定。例如，如果在 CS0 读存取后进行 CS1 读存取，在此期间插入的恢复周期就为 CS0 的 CS0REC.RRCV[3:0] 位设定的周期数。

能插入恢复周期的条件有以下 8 种。在上次总线存取为分离总线的情况下，能通过 CS 恢复周期插入允许寄存器的分离总线恢复周期插入允许位 （CSRECEN.RCVENj）（j=0 ～ 7）设定允许或者禁止插入恢复周期；在上次总线存取为地址 / 数据多路复用总线的情况下，能通过 CS 恢复周期插入允许寄存器的多路复用总线恢复周期插入允许位 （CSRECEN.RCVENMj）（j=0 ～ 7）设定允许或者禁止插入恢复周期。

- 在对外部总线进行读存取后有相同区域的外部总线的读存取时
- 在对外部总线进行读存取后有不同区域的外部总线的读存取时
- 在对外部总线进行读存取后有相同区域的外部总线的写存取时
- 在对外部总线进行读存取后有不同区域的外部总线的写存取时
- 在对外部总线进行写存取后有相同区域的外部总线的读存取时
- 在对外部总线进行写存取后有不同区域的外部总线的读存取时
- 在对外部总线进行写存取后有相同区域的外部总线的写存取时
- 在对外部总线进行写存取后有不同区域的外部总线的写存取时

上次总线周期结束时 （CSn# 信号 （n=0 ～ 7）无效）是恢复周期的起点。在从结束时开始到设定的恢复周期期间插入 CSn# 信号的 High 电平期间。

最快在恢复周期结束后，下一次的总线存取的片选 CSn# 信号有效。即使在恢复周期期间发生下一个外部地址区的存取请求，也在恢复周期结束后开始下一次外部总线存取。

在总线主控的 1 次传送请求至少需要 2 次外部总线存取并且恢复周期插入条件成立时，在总线存取中途也插入恢复周期。如果设定为允许页面读存取（CSnMOD.PRENB=1）或者允许页面写存取（CSnMOD.PWENB=1），即使恢复周期插入条件成立，也不在总线存取中途插入恢复周期而只在最后传送的总线存取中途插入恢复周期（参照图 16.41）。

在设定为允许页面存取并且正常存取的情况下，当使用分离总线接口时，不在总线存取中途插入恢复周期而只在最后传送的总线存取中途插入恢复周期；当使用地址 / 数据多路复用 I/O 接口时，与是否允许页面存取无关，在恢复周期插入条件成立时，即使在总线存取中途也插入恢复周期。

使用分离总线接口时的恢复周期的运行例子如图 16.39 ～图 16.41 所示。

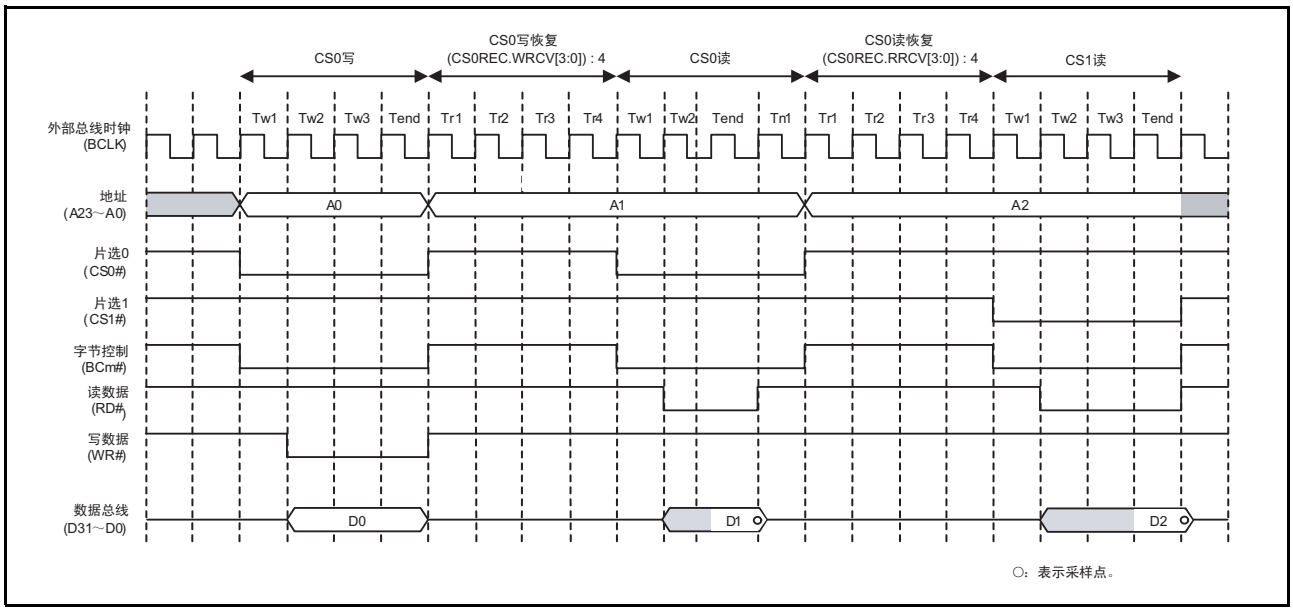


图 16.39　使用分离总线接口时的恢复周期的运行例子 （m=0 ～ 3）

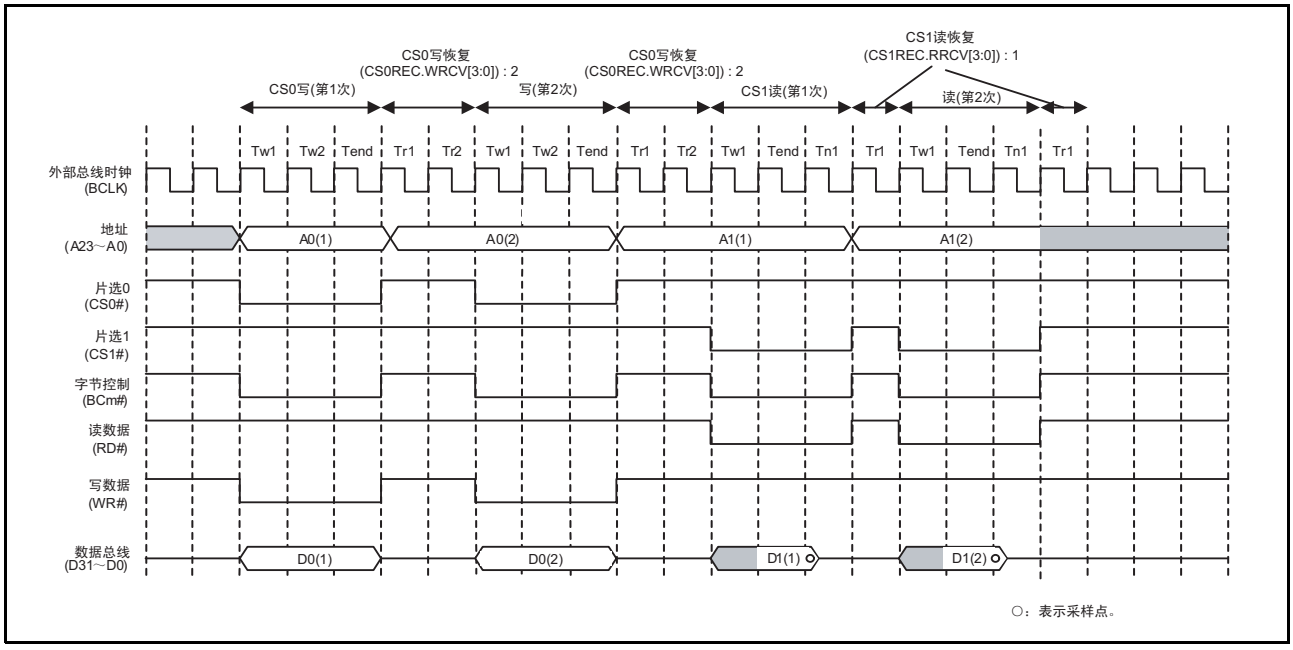


图 16.40　分割总线存取时的恢复周期的运行例子 （分离总线接口，正常存取）（m=0 ～ 3）

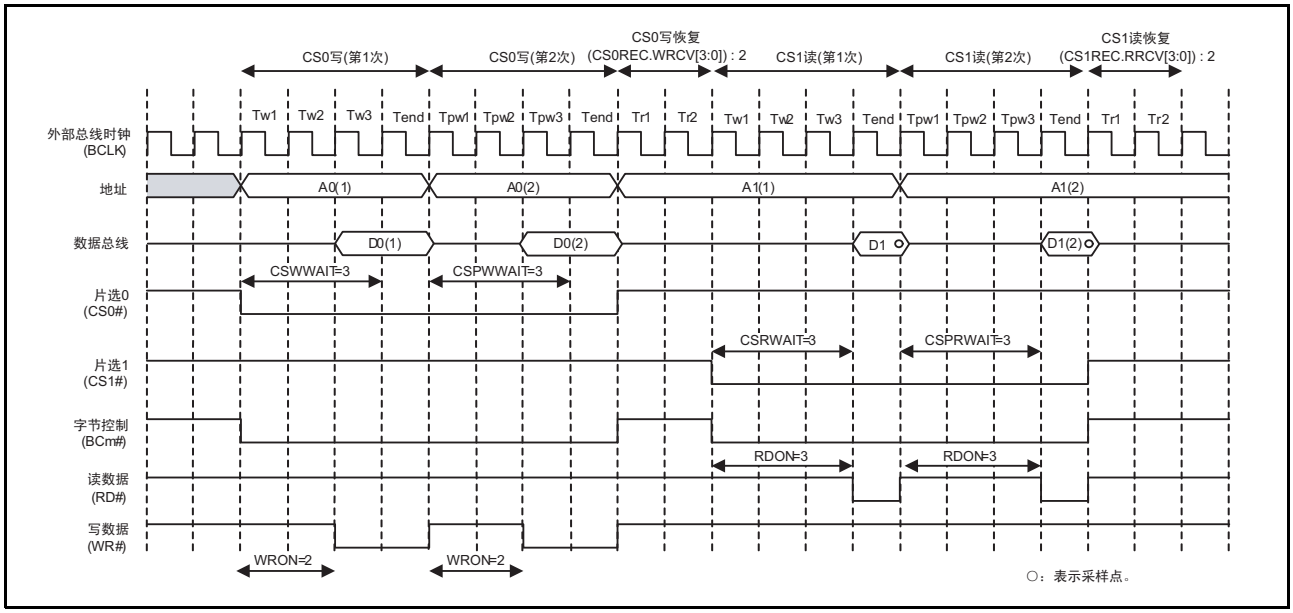


图 16.41 分割总线存取时的恢复周期的运行例子 （分离总线接口，页面存取）（m=0 ～ 3）

通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频时的运行例子如图 16.42 和图 16.43 所示。

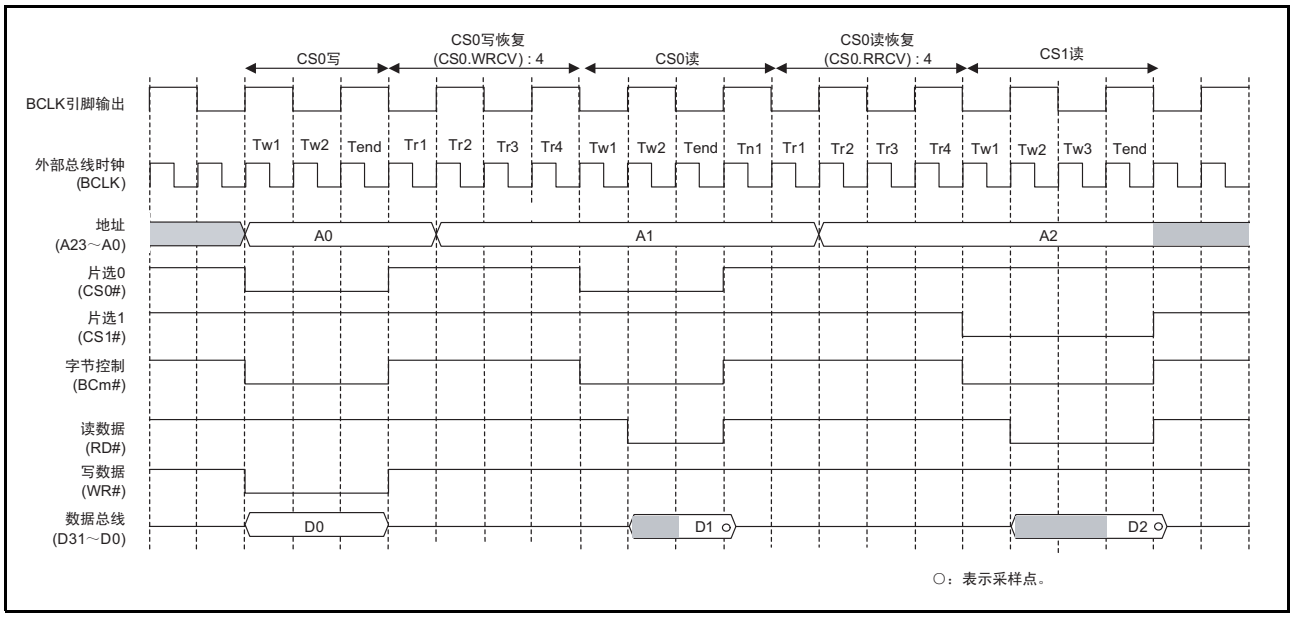


图 16.42 通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频时的恢复周期的运行例子
（分离总线接口，正常存取）（m=0 ～ 3）

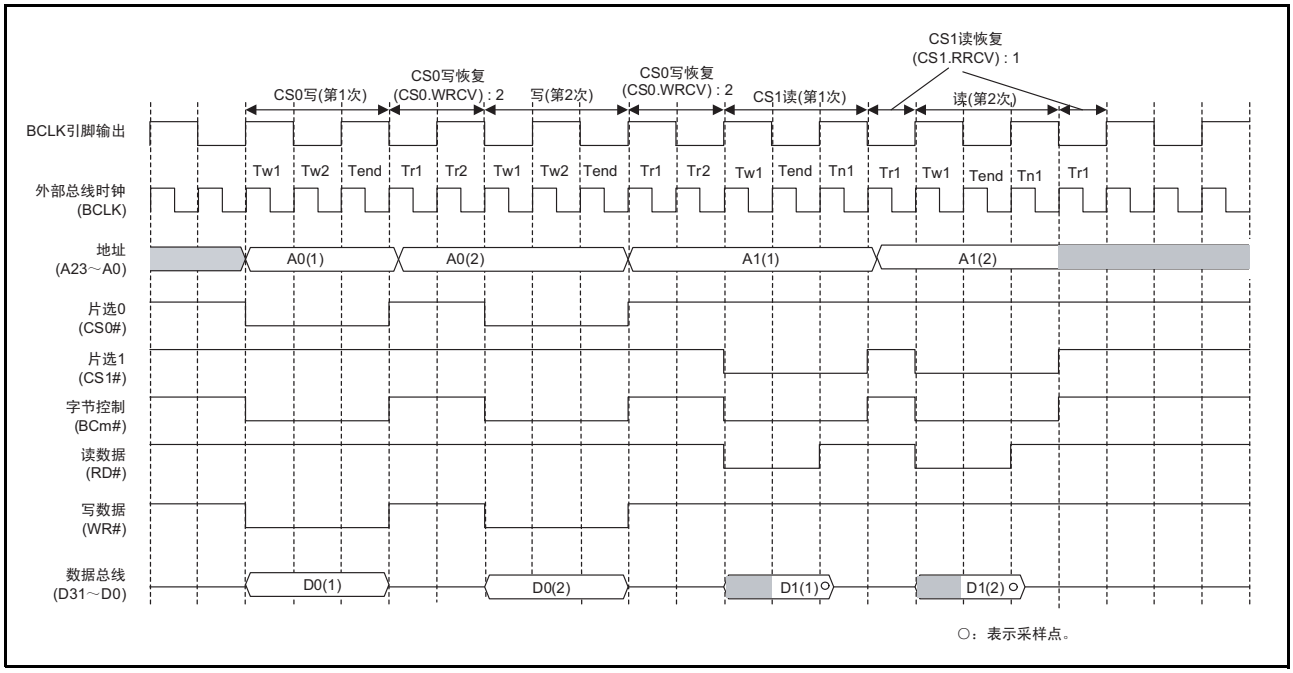


图 16.43 通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频时的恢复周期的运行例子（分割总线存取的情况）（m=0 ～ 3）

和分离总线接口一样，也插入地址 / 数据多路复用 I/O 接口的恢复周期。使用地址 / 数据多路复用 I/O 接口时的恢复周期的运行例子如图 16.44 和图 16.45 所示。

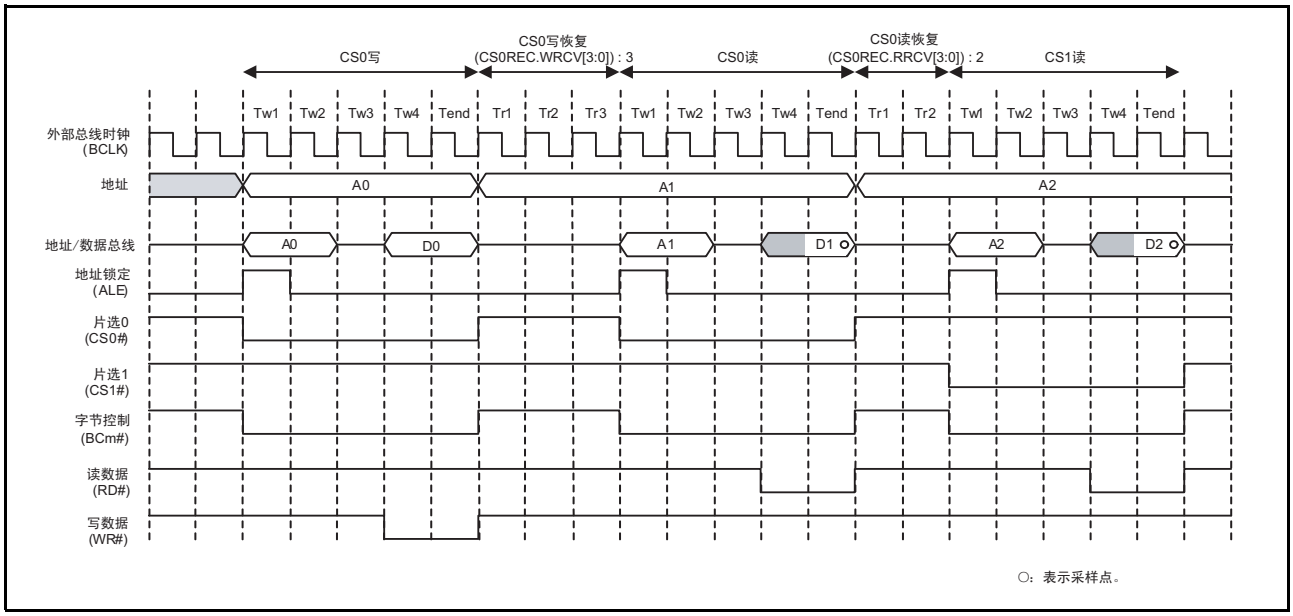


图 16.44 使用地址 / 数据多路复用 I/O 接口时的恢复周期的运行例子 （m=0、 1）

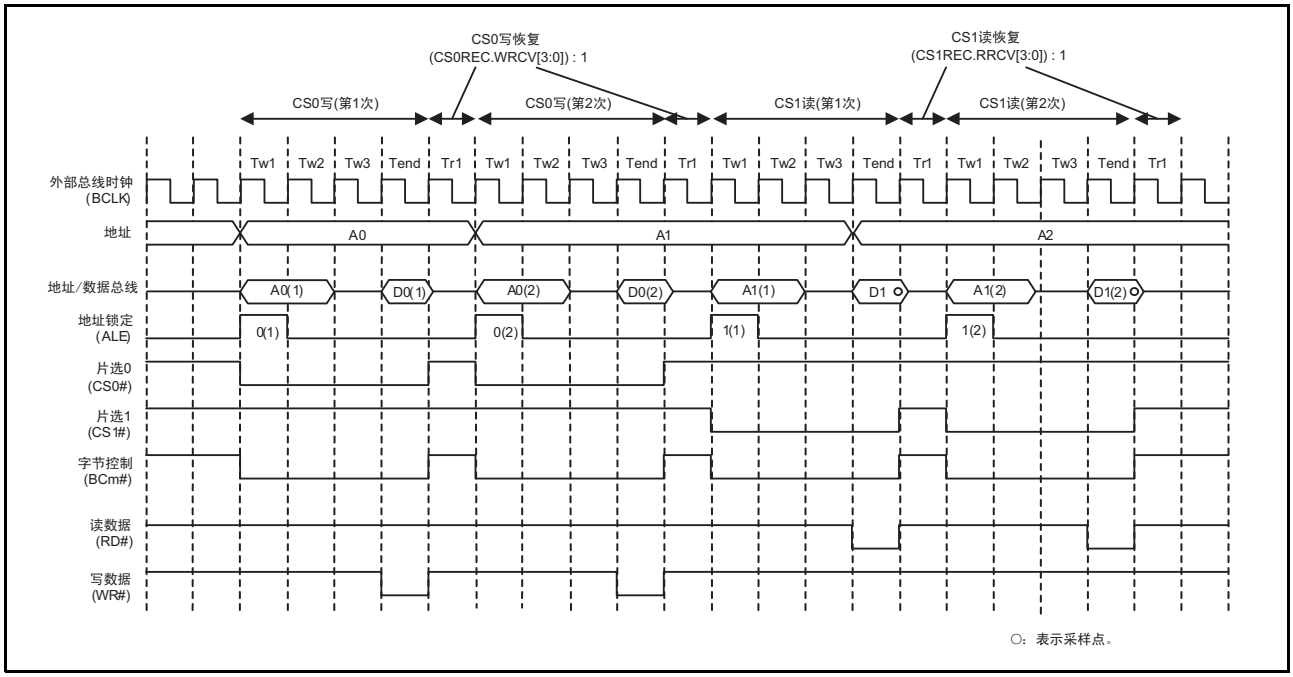


图 16.45 使用地址 / 数据多路复用 I/O 接口并且分割总线存取时的恢复周期的运行例子 （m=0、 1）

16.5.5 不存取时的状态

在尚未对外部地址空间进行处理时， CSn# 信号、 BCn# 信号、 WRn# 信号和 RD# 信号为 High 电平， ALE 信号为 Low 电平， D31 ～ D0 为高阻抗。

16.5.6 写缓冲器功能

在进行写存取时，通过将数据写到写缓冲器来释放内部主总线而不等到运行结束，因此能开始下一次的总线存取。如果下一次总线存取是存取外部地址空间或者外部总线控制器的寄存器，就要等到上一次外部总线运行结束。

使用写缓冲器功能时的运行例子如图16.46所示。如果使用此功能并且在进行外部写操作以后有内部存取，就不等到外部写操作的结束而并行执行内部存取 （内部存储器和外围模块的存取）。

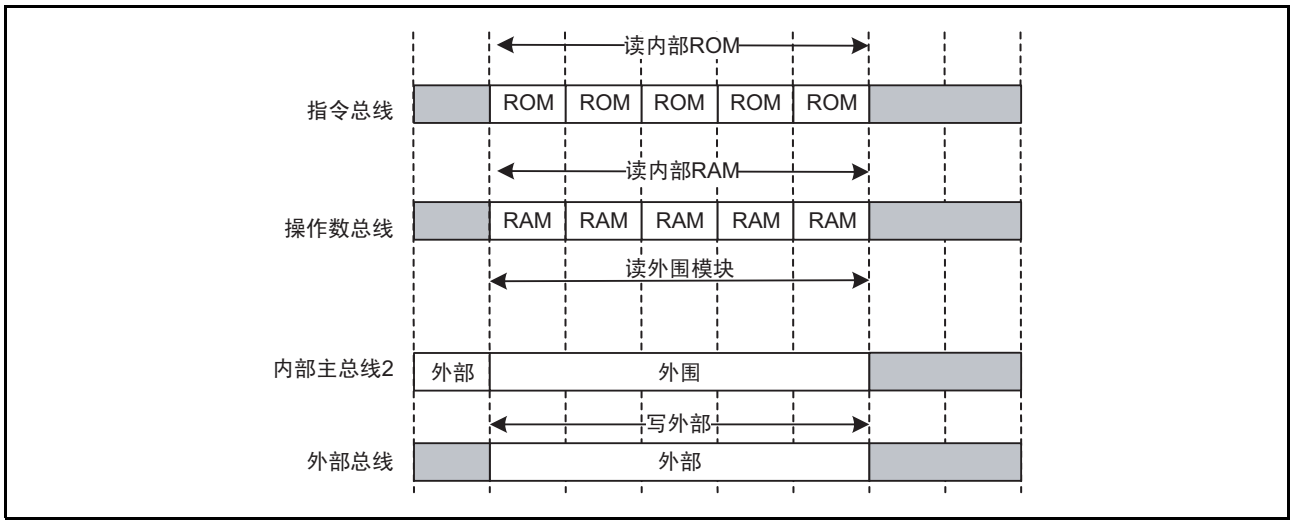


图 16.46 使用写缓冲器功能时的运行例子

16.5.7 限制事项

(1) 使用分离总线接口时的限制事项

- 正常存取时和页面存取时的CSn等待控制寄存器1（CSnWCR1）和CSn等待控制寄存器2（CSnWCR2）的各位设定值的限制事项如表 16.9 所示。即使 CSn 模式寄存器的页面读存取允许位为有效（CSnMOD.PRENB=1）或者页面写存取允许位为有效 （CSnMOD.PWENB=1），在进行页面存取的第1次存取或者不作为页面存取对象的存取时，也作为正常存取并且需要满足正常存取的限制条件。

表 16.9 正常存取 / 页面存取时的限制事项

正常存取时的限制条件		页面存取时的限制条件	
读	写	读	写
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	1 ≤ WDON[2:0] CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

- 在总线主控的1次传送请求至少需要2次外部总线存取并且恢复周期插入条件成立时，如果设定为允许页面读存取（CSnMOD.PRENB=1）或者允许页面写存取（CSnMOD.PWENB=1），就不在总线存取中途插入恢复周期而只在最后传送的总线存取中途插入恢复周期。

(2) 使用地址 / 数据多路复用总线时的限制事项

- 在地址/数据多路复用I/O空间中，页面存取无效。忽视页面存取的设定而进行正常存取。
- 如果设定地址/数据多路复用I/O接口，就通过CSn控制寄存器的外部总线宽度选择位（CSnCR.BSIZE[1:0]）禁止设定为32位总线空间，否则不保证运行。

表 16.10 正常存取时的限制事项

正常存取时的限制条件	
读	写
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON AWAIT[1:0]+2 ≤ RDON CSON[2:0] ≤ AWAIT	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON AWAIT[1:0]+2 ≤ WRON AWAIT[1:0]+2 ≤ WDON CSON[2:0] ≤ AWAIT

(3) 兼用 A0 引脚和 BC0# 引脚的产品时的限制事项

对于兼用 A0 引脚和 BC0# 引脚的产品，禁止对 8 位总线空间设定 1 次写选通模式，否则不保证运行。

(4) 通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频时的限制事项

如果通过 BCLK 引脚输出选择位设定 BCLK 的 2 分频，就在 BCLK 引脚输出的上升沿开始存取外部总线。当总线主控的 1 次传送请求至少发生 2 次外部总线存取时，根据等待数的设定，有可能在 BCLK 引脚输出的下降沿开始第 2 次以后的外部总线存取。必须根据要连接的设备规格设定寄存器的值。

(5) 禁止存取跨地址空间的各区域

禁止在 1 次存取中存取跨地址空间的多个区域，否则不保证运行。 1 个字或者长字的存取不能隔着地址空间的各区域边界而跨 2 个区域。

(6) 有关 RMPA 指令和字符串操作指令的限制事项

- 外部空间的各区域有字节序转换功能 （只限于数据），但是禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到设定了不同于芯片字节序的区域，否则不保证运行。要将 RMPA 指令和字符串操作指令的操作对象数据分配到外部空间时，必须分配到设定了和芯片字节序相同字节序的区域。
- 禁止将RMPA指令和字符串操作指令的操作对象数据分配到I/O寄存器，否则不保证运行。

(7) 有关指令代码的限制事项

不能将指令代码分配到设定了和芯片字节序不同字节序的各区域。要将指令代码分配到外部空间时，必须分配到设定了和芯片字节序相同字节序的区域。

16.6 总线错误监视部

总线错误监视部监视各区域的总线错误并且在发生总线错误时通知总线主控。

16.6.1 总线错误的种类

总线错误有非法地址存取和超时两种。

当存取非法地址时被检测为非法区域的存取；当总线存取在 768 个周期以内不结束时被检测为超时。

16.6.1.1 非法地址的存取

当总线错误监视允许寄存器的非法地址存取检测允许位被设定为有效 （BEREN.IGAEN=1）并且发生以下存取时，发生非法地址存取。

- 对外部区域存取了被设定为禁止 （CSnCR.EXENB=0）运行的区域时
- 对上述以外的区域存取了非法地址区域时

非法地址存取错误的发生区域如**表 16.11** 所示。

16.6.1.2 超时

在总线错误监视允许寄存器的超时检测允许位被设定为有效（BEREN.TOEN=1）并且总线存取在 768 个周期以内不结束时，发生超时。

- CS区域（CS0～CS7）：在开始总线存取后，总线存取在外部总线时钟（BCLK）的768个周期以内不结束时 （WAIT#信号不变为无效）

  如果发生超时，就在BCLK的256个周期内不接受总线主控的存取。在总线主控的1次请求发生多次外部总线存取的传送过程中，即使发生超时也不能中止后续的总线存取。此时，有可能连续发生超时。
- 内部外围总线 （2、 3）：在开始总线存取后，总线存取在外围模块时钟 （PCLKB）的768个周期以内不结束时

  如果发生超时，就在PCLKB的256个周期内不接受总线主控的存取。
- 内部外围总线6：在开始总线存取后，总线存取在FlashIF时钟 （FCLK）的768个周期以内不结束时

  如果发生超时，就在FCLK的256个周期内不接受总线主控的存取。

16.6.2 发生总线错误时的运行

一旦发生总线错误，就将总线错误通知 CPU。当发生总线错误时，不保证运行。

- 向CPU通知总线错误的发生
  发生中断。能通过ICU.IERn寄存器控制是否产生中断。

16.6.3 总线错误的发生条件

地址空间各区域发生的总线错误的种类如表 16.11 所示。

在没有发生总线错误的状态 （清除总线错误状态寄存器 n （BERSRn）（n=1、 2）的状态）下，如果检测到非法地址存取错误或者超时，就将当时的状态保存到 BERSRn 寄存器。一旦发生总线错误，即使以后还发生总线错误，如果没有清除 BERSRn，就不保存当时的状态。

当 2 个或者 2 个以上的总线主控同时发生总线错误时，只保存 1 个总线主控的信息。在发生总线错误后，状态保持到 BERSRn 寄存器被清除为止。

表 16.11 发生的总线错误种类

地址	内容		种类			
			非法地址存取		超时	
	内部 ROM 模式		内部 ROM 模式		内部 ROM 模式	
	有效	无效	有效	无效	有效	无效
0000 0000h ～ 0007 FFFFh	存储器总线 1		—		—	
0008 0000h ～ 0008 7FFFh	内部外围总线 1		—		—	
0008 8000h ～ 0009 FFFFh	内部外围总线 2		△		—	
000A 0000h ～ 000B FFFFh	内部外围总线 3		△		—	
000C 0000h ～ 000D FFFFh	保留区		△		—	
000E 0000h ～ 000F FFFFh	保留区		—		—	
0010 0000h ～ 00FF FFFFh	内部外围总线 6	保留区	△	○	—	—
0100 0000h ～ 07FF FFFFh	外部总线 （CS1 ～ CS7）		[IA]		[TO]	
0800 0000h ～ 0FFF FFFFh	保留区		—		—	—
1000 0000h ～ 7FFF FFFFh	保留区		○		—	—
8000 0000h ～ FEFF FFFFh	存储器总线 2	保留区	—	○	—	—
FF00 0000h ～ FF7F FFFFh		外部总线 （CS0）	—	[IA]	—	[TO]
FF80 0000h ～ FFFF FFFFh			—		—	

—：不发生总线错误。

△：总线错误不确定。

○：发生总线错误。

[IA]：当将这些区域设定为禁止 （CSnCR.EXENB=0 （n=0 ～ 7））运行时，被检测为总线错误。

[TO]：当总线存取在 768 个周期以内不结束时，被检测为总线错误。

注 . 装载的内部 RAM、数据闪存和内部 ROM 的容量因产品而不同。有关各产品的规格，请参照 “41. RAM”、“42. ROM （保存代码的闪存）”和 “43. E2 数据闪存 （保存数据的闪存）”。

17. DMA 控制器 （DMACA）

RX630 群内置 4 个通道的 DMAC （Direct Memory Access Controller）。
DMAC不通过CPU进行数据传送。如果发生传送请求，DMAC就将传送源地址的数据传送到传送目标地址。

17.1 概要

DMAC 的规格和框图分别如表 17.1 和图 17.1 所示。

表 17.1 DMAC 的规格

项目		内容
通道数		4 个通道 （DMACm （m=0 ～ 3））
传送空间		512M 字节 （00000000h ～ 0FFFFFFFh 和 F0000000h ～ FFFFFFFFh 中除保留区以外的区域）
最大传送数据量		1M 数据 （块传送模式的最大总传送量：1024 个数据 ×1024 块）
DMA 启动源		• 各通道可选择启动源。 软件触发 外围模块中断请求 / 外部中断输入引脚的触发输入 （注 1）
通道优先级		通道 0 ＞通道 1 ＞通道 2 ＞通道 3 （通道 0 最优先）
传送数据	1 个数据	位长：8 位、 16 位、 32 位
	块大小	数据量：1 ～ 1024 个数据
传送模式	正常传送模式	• 1 次 DMA 传送请求进行 1 个数据的传送。 • 能不指定总数据传送量 （自由运行模式）。
	重复传送模式	• 1 次 DMA 传送请求进行 1 个数据的传送。 • 如果传送由传送源或者传送目标设定的重复大小的数据，就返回到开始传送时的地址。 • 重复大小最多能设定 1024 次。
	块传送模式	• 1 次 DMA 传送请求进行 1 块数据的传送。 • 块大小最多能设定 1024 个数据。
选择功能	扩展重复区域功能	• 能通过固定传送地址寄存器的高位的值，重复设定特定范围的地址。 • 能分别给传送源和传送目标设定 2 字节到 128M 字节的扩展重复区域。
中断请求	传送结束中断	当传送计数器设定的数据量传送结束时，发生此中断。
	传送退出结束中断	当重复大小的数据传送结束或者扩展重复区域发生上溢时，发生此中断。
低功耗功能		能设定为模块停止状态。

注 1. DMAC 的启动源请参照 “15. 中断控制器 （ICUb）” 的 “表 15.3 中断向量表”。

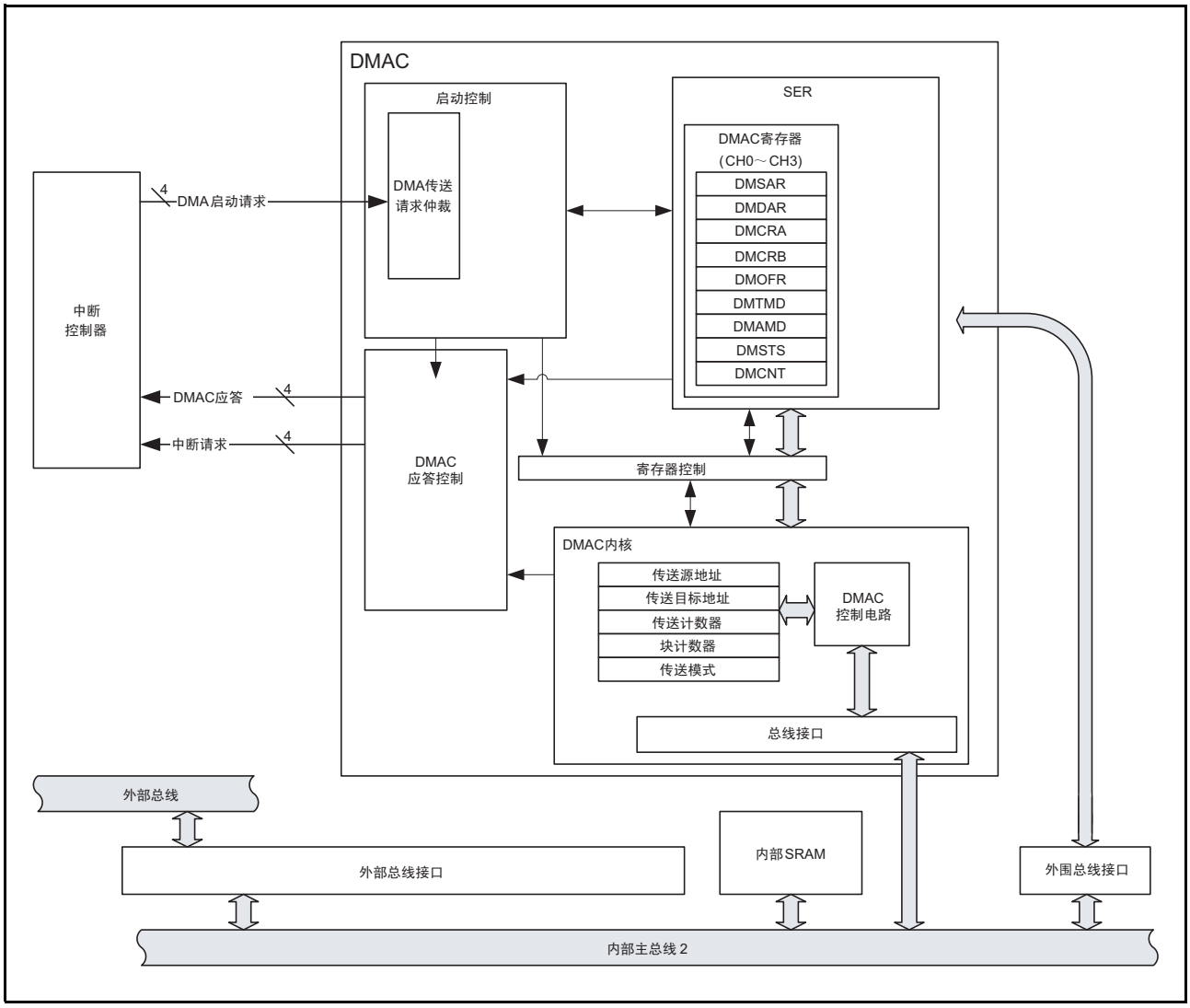
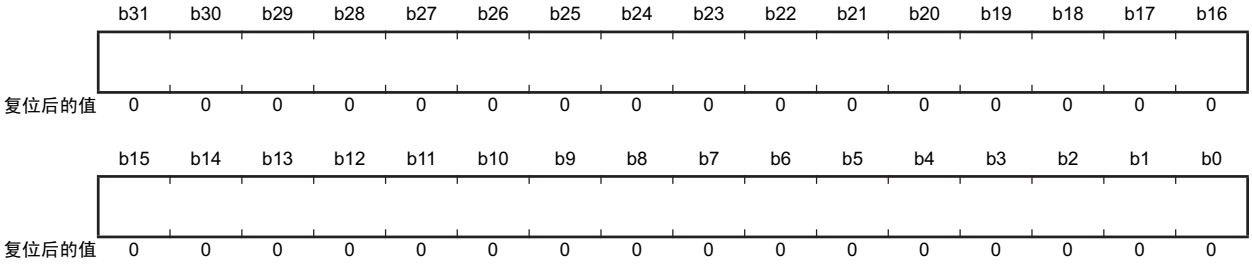


图 17.1 DMAC 的框图

17.2 寄存器说明

17.2.1 DMA 传送源地址寄存器 （DMSAR）

地址 DMAC0.DMSAR 0008 2000h、 DMAC1.DMSAR 0008 2040h
DMAC2.DMSAR 0008 2080h、 DMAC3.DMSAR 0008 20C0h



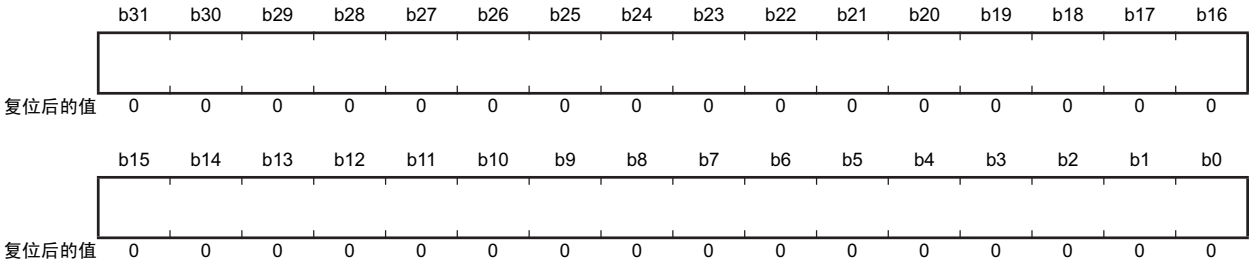
位	功能	设定范围	R/W
b31-b0	设定传送源的起始地址。	00000000h ～ 0FFFFFFFh （256M 字节） F0000000h ～ FFFFFFFFh （256M 字节）	R/W

在设定 DMSAR 寄存器时，必须在禁止启动 DMAC（DMAST.DMST 位 =0）或者禁止 DMA 传送（DMCNT.DTE 位 =0）时进行写操作。

bit31 ～ bit29 的设定值无效，将 bit28 的值扩展到 bit31 ～ bit29。如果读 DMSAR 寄存器，就会读到位扩展后的值。

17.2.2 DMA 传送目标地址寄存器 （DMDAR）

地址 DMAC0.DMDAR 0008 2004h、 DMAC1.DMDAR 0008 2044h
DMAC2.DMDAR 0008 2084h、 DMAC3.DMDAR 0008 20C4h



位	功能	设定范围	R/W
b31-b0	设定传送目标的起始地址。	00000000h ～ 0FFFFFFFh （256M 字节） F0000000h ～ FFFFFFFFh （256M 字节）	R/W

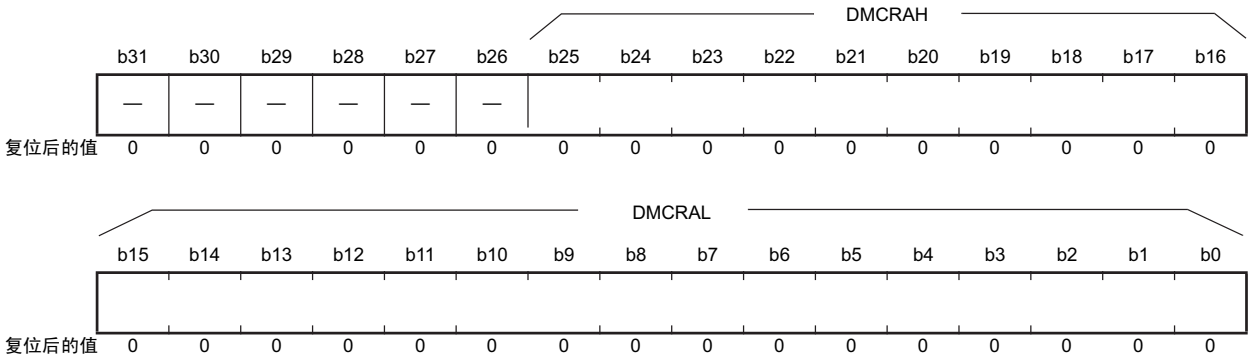
在设定 DMDAR 寄存器时，必须在禁止启动 DMAC（DMAST.DMST 位 =0）或者禁止 DMA 传送（DMCNT.DTE 位 =0）时进行写操作。

bit31 ～ bit29 的设定值无效，将 bit28 的值扩展到 bit31 ～ bit29。如果读 DMDAR 寄存器，就会读到位扩展后的值。

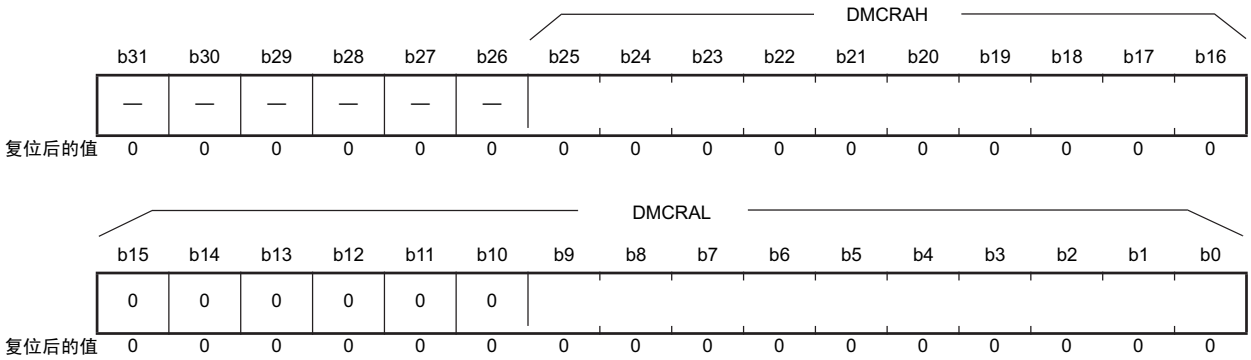
17.2.3 DMA 传送计数寄存器 （DMCRA）

地址 DMAC0.DMCRA 0008 2008h、 DMAC1.DMCRA 0008 2048h
DMAC2.DMCRA 0008 2088h、 DMAC3.DMCRA 0008 20C8h

・正常传送模式



・重复传送模式、块传送模式



符号	位名	功能	R/W
DMCRAL	传送计数的低位	设定传送次数。	R/W
DMCRAH	传送计数的高位		R/W

注 . 在重复传送模式和块传送模式中，必须给 DMCRAH 寄存器和 DMCRAL 寄存器设定相同的值。

(1) 正常传送模式 （DMACm.DMTMD.MD[1:0] 位 =00b）

DMCRAL 寄存器用作 16 位传送计数器。

当设定值是 “0001h” 时，传送次数为 1 次；当设定值是 “FFFFh” 时，传送次数为 65535 次。每进行 1 次数据传送， DMCRAL 寄存器就减 1。

当设定值是 “0000h” 时，不指定传送次数，在传送计数器停止计数后进行数据传送 （自由运行模式）。

在正常传送模式中不使用 DMCRAH 寄存器，必须给 DMCRAH 寄存器写 “0000h”。

(2) 重复传送模式 （DMACm.DMTMD.MD[1:0] 位 =01b）

DMCRAH 寄存器保持重复大小， DMCRAL 寄存器用作 10 位传送计数器。

当设定值是 “001h” 时，传送次数为 1 次；当设定值是 “3FFh” 时，传送次数为 1023 次；当设定是 “000h” 时，传送次数为 1024 次。在重复传送模式中， DMCRAH 寄存器和 DMCRAL 寄存器的设定范围都是 “000h ～ 3FFh”（1 次～ 1024 次）。

DMCRAL 寄存器的 bit15 ～ bit10 的设定值无效，必须给 DMCRAL 寄存器的 bit15 ～ bit10 写 “0”。

每进行 1 次数据传送， DMCRAL 寄存器就减 1。当 DMCRAL 寄存器变为 “000h” 时，传送 DMCRAH 寄存器的值。

(3) 块传送模式 （DMACm.DMTMD.MD[1:0] 位 =10b）

DMCRAH 寄存器保持块大小， DMCRAL 寄存器用作 10 位块大小计数器。

当设定值是 “001h” 时，块大小为 1 ；当设定值是 “3FFh” 时，块大小为 1023 ；当设定是 “000h” 时，块大小为 1024 次。在块传送模式中， DMCRAH 寄存器和 DMCRAL 寄存器的设定范围都是 “000h ～ 3FFh”。

DMCRAL 寄存器的 bit15 ～ bit10 的设定值无效，必须给 DMCRAL 寄存器的 bit15 ～ bit10 写 “0”。

每进行 1 次数据传送， DMCRAL 寄存器就减 1。当 DMCRAL 寄存器变为 “000h” 时，传送 DMCRAH 寄存器的值。

17.2.4 DMA 块传送计数寄存器 （DMCRB）

地址 DMAC0.DMCRB 0008 200Ch、 DMAC1.DMCRB 0008 204Ch
DMAC2.DMCRB 0008 208Ch、 DMAC3.DMCRB 0008 20CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	功能	设定范围	R/W
b9-b0	设定块传送次数和重复传送次数。	001h ～ 3FFh （1 ～ 1023 次） 000h （1024 次）	R/W
b15-b10	保留位	读写值都为 “0”。	R/W

DMCRB 寄存器指定块传送模式的块传送次数以及指定重复传送模式的重复传送次数。

当设定值是 “001h” 时，传送次数为 1 次；当设定值是 “3FFh” 时，传送次数为 1023 次；当设定值是 “000h” 时，传送次数为 1024 次。

在重复传送模式中传送 1 个重复大小的最后数据时， DMCRB 寄存器减 1。

在块传送模式中传送 1 块大小的最后数据时， DMCRB 寄存器减 1。

在设定为正常传送模式时，不使用 DMCRB 寄存器，设定值无效。

17.2.5 DMA 传送模式寄存器 （DMTMD）

地址 DMAC0.DMTMD 0008 2010h、 DMAC1.DMTMD 0008 2050h
DMAC2.DMTMD 0008 2090h、 DMAC3.DMTMD 0008 20D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	DCTG[1:0]	传送请求选择位	b1 b0 0 0：软件 0 1：外围模块中断和外部中断输入引脚的中断（注 1） 1 0：不能设定 1 1：不能设定	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W
b9-b8	SZ[1:0]	数据传送长度位	b9 b8 0 0：8 位传送 0 1：16 位传送 1 0：32 位传送 1 1：不能设定	R/W
b11-b10	—	保留位	读写值都为 “0”。	R/W
b13-b12	DTS[1:0]	重复区域选择位	b13 b12 0 0：传送目标为重复区域或者块区域 0 1：传送源为重复区域或者块区域 1 0：不设定重复区域和块区域 1 1：不能设定	R/W
b15-b14	MD[1:0]	传送模式设定位	b15 b14 0 0：正常传送 0 1：重复传送 1 0：块传送 1 1：不能设定	R/W

注 1. 通过 ICU.DMRSRm 寄存器设定 DMAC 的启动源，详细内容请参照 “15. 中断控制器 （ICUb）” 的 “表 15.3 中断向量表”。

DTS[1:0] 位 （重复区域选择位）

在重复传送模式或者块传送模式中，这些位能选择传送源或者传送目标为重复区域；在正常传送模式中，这些位的设定值无效。

17.2.6 DMA 中断设定寄存器 （DMINT）

地址 DMAC0.DMINT 0008 2013h、DMAC1.DMINT 0008 2053h
DMAC2.DMINT 0008 2093h、DMAC3.DMINT 0008 20D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DARIE	传送目标地址的扩展重复区域上溢中断允许位	0：禁止传送目标地址的扩展重复区域上溢中断 1：允许传送目标地址的扩展重复区域上溢中断	R/W
b1	SARIE	传送源地址的扩展重复区域上溢中断允许位	0：禁止传送源地址的扩展重复区域上溢中断 1：允许传送源地址的扩展重复区域上溢中断	R/W
b2	RPTIE	重复大小结束中断允许位	0：禁止重复大小结束中断 1：允许重复大小结束中断	R/W
b3	ESIE	传送退出结束中断允许位	0：禁止退出中断 1：允许退出中断	R/W
b4	DTIE	传送结束中断允许位	0：禁止传送结束中断 1：允许传送结束中断	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

DARIE 位 （传送目标地址的扩展重复区域上溢中断允许位）

如果在将 DARIE 位置 “1”时传送目标地址的扩展重复区域发生上溢，就将 DMCNT.DTE 位清 “0”，同时将 DMSTS.ESIF 标志置 “1”，表示发生了传送目标地址的扩展重复区域上溢中断请求。

当和块传送模式并用时，在 1 块数据传送结束后产生中断请求。如果通过中断将传送结束通道的 DMACm.DMCNT.DTE 位置 “1”，就能从传送结束状态重新开始传送。

如果没有将扩展重复区域设定为传送目标地址， DARIE 位的设定值就无效。

SARIE 位 （传送源地址的扩展重复区域上溢中断允许位）

如果在将 SARIE 位置 “1”时传送源地址的扩展重复区域发生上溢，就将 DMCNT.DTE 位清 “0”，同时将 DMSTS.ESIF 标志置 “1”，表示发生了传送源地址的扩展重复区域上溢中断请求。

当和块传送模式并用时，在 1 块数据传送结束后产生中断请求。如果通过中断将传送结束通道的 DMACm.DMCNT.DTE 位置 “1”，就能从传送结束状态重新开始传送。

如果没有将扩展重复区域设定为传送源地址， SARIE 位的设定值就无效。

RPTIE 位 （重复大小结束中断允许位）

在重复传送模式中，如果将 RPTIE 位置“1”，就在 1 个重复大小的传送结束后将 DMCNT.DTE 位清“0”，同时将 DMSTS.ESIF 标志置 “1”，表示发生了重复大小结束中断请求。即使 DMTMD.DTS[1:0] 位为 “10b”（不指定重复区域或者块区域），也能产生重复大小结束中断请求。

在块传送模式中，如果将 DMINT.RPTIE 位置 “1”，同样也在 1 块数据传送结束后将 DMCNT.DTE 位清“0”，同时将 DMSTS.ESIF 标志变为 “1”，表示发生了重复大小结束中断请求。即使 DMTMD.DTS[1:0] 位为“10b”（不指定重复区域或者块区域），也能产生重复大小结束中断请求。

ESIE 位 （传送退出结束中断允许位）

此位允许或者禁止 DMA 传送过程中发生的退出中断请求（重复大小结束中断和扩展重复区域上溢中断）。

如果将 ESIE 位置 “1”，就在 DMSTS.ESIF 标志被置 “1” 时产生传送退出结束中断。如果将 ESIE 位或者 DMSTS.ESIF 标志清 “0”，就解除传送退出结束中断。

DTIE 位 （传送结束中断允许位）

此位允许或者禁止在指定次数的数据传送结束时发生的传送结束中断请求。

如果将 DTIE 位置 “1”，就在 DMSTS.DTIF 标志被置 “1” 时产生传送结束中断。如果将 DTIE 位或者 DMSTS.DTIF 标志清 “0”，就解除传送结束中断。

17.2.7 DMA 地址模式寄存器 （DMAMD）

地址 DMAC0.DMAMD 0008 2014h、 DMAC1.DMAMD 0008 2054h
DMAC2.DMAMD 0008 2094h、 DMAC3.DMAMD 0008 20D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]		—	SARA[4:0]					DM[1:0]		—	DARA[4:0]				
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	DARA[4:0]	传送目标地址的扩展重复区域设定位	能将扩展重复区域设定为传送目标地址，设定值的详细内容请参照表 17.2。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b7-b6	DM[1:0]	传送目标地址的更新模式设定位	b7 b6 0 0：地址固定 0 1：偏移量增加 （注 1） 1 0：递增 1 1：递减	R/W
b12-b8	SARA[4:0]	传送源地址的扩展重复区域设定位	能将扩展重复区域设定为传送源地址，设定值的详细内容请参照表 17.2。	R/W
b13	—	保留位	读写值都为 “0”。	R/W
b15-b14	SM[1:0]	传送源地址的更新模式设定位	b15 b14 0 0：地址固定 0 1：偏移量增加 （注 1） 1 0：递增 1 1：递减	R/W

注 1. 只有 DMAC0 能设定偏移量增加。

DARA[4:0] 位 （传送目标地址的扩展重复区域设定位）

这些位能将扩展重复区域设定为传送目标地址。通过将指定的低位地址作为地址更新的对象并且总是给剩余的高位取固定值，实现扩展重复区域功能。能设定 2 字节～ 128M 字节的扩展重复区域，设定间隔以 2 的乘方字节为单位。

由地址的增减引起的从扩展重复区域上溢的低位地址会发生以下变化：当地址增加时，为扩展重复区域的起始地址；当地址减小时，为扩展重复区域的结束地址。

如果将重复区域或者块区域设定为传送目标，就不能设定传送目标地址的扩展重复区域。如果在进行重复传送或者块传送时将 DMACm.DMTMD.DTS[1:0] 位置 “00b”（传送目标为重复区域或者块区域），就必须给 DARA[4:0] 位写 “00000b”。

如果 DMINT.DARIE 位为 “1”，就能在扩展重复区域发生上溢时产生中断。扩展重复区域的设定和范围如表 17.2 所示。

DM[1:0] 位 （传送目标地址的更新模式设定位）

这些位设定传送目标地址的更新模式。

如果选择递增，就在 DMTMD.SZ[1:0] 位为 “00b”时加 1 ；在 DMTMD.SZ[1:0] 位为 “01b”时加 2 ；在 DMTMD.SZ[1:0] 位为 “10b”时加 4。

如果选择递减，就在 DMTMD.SZ[1:0] 位为 “00b”时减 1 ；在 DMTMD.SZ[1:0] 位为 “01b”时减 2 ；在 DMTMD.SZ[1:0] 位为 “10b”时减 4。

如果选择偏移量增加，就加上 DMAC0.DMOFR 寄存器的设定值。只有 DMAC0 能设定偏移量增加。

SARA[4:0] 位 （传送源地址的扩展重复区域设定位）

这些位能将扩展重复区域设定为传送源地址。通过将指定的低位地址作为地址更新的对象并且总是给剩余的高位取固定值，实现扩展重复区域功能。能设定 2 字节～ 128M 字节的扩展重复区域，设定间隔以 2 的乘方字节为单位。

由地址的增减引起的从扩展重复区域上溢的低位地址会发生以下变化：当地址增加时，为扩展重复区域的起始地址；当地址减小时，为扩展重复区域的结束地址。

如果将重复区域或者块区域设定为传送源，就不能设定传送源地址的扩展重复区域。如果在进行重复传送或者块传送时将 DMACm.DMTMD.DTS[1:0] 位置“01b”（传送源为重复区域或者块区域），就必须给 SARA[4:0] 位写 “00000b”。

如果 DMINT.SARIE 位为 “1”，就能在扩展重复区域发生上溢时产生中断。扩展重复区域的设定和范围如表 17.2 所示。

SM 位 （传送源地址的更新模式设定位）

此位设定传送源地址的更新模式。

如果选择递增，就在 DMTMD.SZ[1:0] 位为 “00b”时加 1 ；在 DMTMD.SZ[1:0] 位为 “01b”时加 2 ；在 DMTMD.SZ[1:0] 位为 “10b”时加 4。

如果选择递减，就在 DMTMD.SZ[1:0] 位为 “00b”时减 1 ；在 DMTMD.SZ[1:0] 位为 “01b”时减 2 ；在 DMTMD.SZ[1:0] 位为 “10b”时减 4。

如果选择偏移量增加，就将 DMAC0.DMOFR 寄存器的设定值相加。只有 DMAC0 能设定偏移量增加。

表 17.2 扩展重复区域的设定和范围

SARA[4:0]/DARA[4:0] 的值	扩展重复区域的范围
00000b	不设定扩展重复区域。
00001b	将该地址的低 1 位 （2 字节）设定为扩展重复区域。
00010b	将该地址的低 2 位 （4 字节）设定为扩展重复区域。
00011b	将该地址的低 3 位 （8 字节）设定为扩展重复区域。
00100b	将该地址的低 4 位 （16 字节）设定为扩展重复区域。
00101b	将该地址的低 5 位 （32 字节）设定为扩展重复区域。
00110b	将该地址的低 6 位 （64 字节）设定为扩展重复区域。
00111b	将该地址的低 7 位 （128 字节）设定为扩展重复区域。
01000b	将该地址的低 8 位 （256 字节）设定为扩展重复区域。
01001b	将该地址的低 9 位 （512 字节）设定为扩展重复区域。
01010b	将该地址的低 10 位 （1K 字节）设定为扩展重复区域。
01011b	将该地址的低 11 位 （2K 字节）设定为扩展重复区域。
01100b	将该地址的低 12 位 （4K 字节）设定为扩展重复区域。
01101b	将该地址的低 13 位 （8K 字节）设定为扩展重复区域。
01110b	将该地址的低 14 位 （16K 字节）设定为扩展重复区域。
01111b	将该地址的低 15 位 （32K 字节）设定为扩展重复区域。
10000b	将该地址的低 16 位 （64K 字节）设定为扩展重复区域。
10001b	将该地址的低 17 位 （128K 字节）设定为扩展重复区域。
10010b	将该地址的低 18 位 （256K 字节）设定为扩展重复区域。
10011b	将该地址的低 19 位 （512K 字节）设定为扩展重复区域。
10100b	将该地址的低 20 位 （1M 字节）设定为扩展重复区域。
10101b	将该地址的低 21 位 （2M 字节）设定为扩展重复区域。
10110b	将该地址的低 22 位 （4M 字节）设定为扩展重复区域。
10111b	将该地址的低 23 位 （8M 字节）设定为扩展重复区域。
11000b	将该地址的低 24 位 （16M 字节）设定为扩展重复区域。
11001b	将该地址的低 25 位 （32M 字节）设定为扩展重复区域。
11010b	将该地址的低 26 位 （64M 字节）设定为扩展重复区域。
11011b	将该地址的低 27 位 （128M 字节）设定为扩展重复区域。
11100b ～ 11111b	不能设定。

17.2.8 DMA 偏移寄存器 （DMOFR）

地址 DMAC0.DMOFR 0008 2018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	功能	设定范围	R/W
b31-b0	设定传送源或者传送目标的地址更新模式为偏移量增加时的偏移值。	00000000h ～ 00FFFFFFh （0 字节～ (16M–1) 字节） FF000000h ～ FFFFFFFFh （–16M 字节～ –1 字节）	R/W

在设定 DMOFR 寄存器时，必须在 DMAC 停止或者禁止 DMA 传送时而不能在数据传送过程中进行写操作。

bit31 ～ bit25 的设定值无效，将 bit24 的值扩展到 bit31 ～ bit25。如果读 DMOFR 寄存器，就会读到位扩展后的值。

17.2.9 DMA 传送允许寄存器 （DMCNT）

地址 DMAC0.DMCNT 0008 201Ch、DMAC1.DMCNT 0008 205Ch
DMAC2.DMCNT 0008 209Ch、DMAC3.DMCNT 0008 20DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DTE	DMA 传送允许位	0：禁止 DMA 传送 1：允许 DMA 传送	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

DTE 位 （DMA 传送允许位）

能在 DMAST.DMST 位为 “1”（允许启动 DMAC）并且 DTE 位为 “1”（允许 DMA 传送）时开始对应通道的 DMA 传送。

[为 “1” 的条件]

- 当写 “1” 时

[为 “0” 的条件]

- 当写 “0” 时
- 当结束所设定的总传送数据量的传送时
- 当通过重复大小结束中断停止DMA传送时
- 当通过扩展重复区域上溢中断停止DMA传送时

17.2.10 DMA 软件启动寄存器 （DMREQ）

地址 DMAC0.DMREQ 0008 201Dh、DMAC1.DMREQ 0008 205Dh
DMAC2.DMREQ 0008 209Dh、DMAC3.DMREQ 0008 20DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SWREQ	DMA 软件启动位	0：没有 DMA 传送请求 1：有 DMA 传送请求	R/W
b3-b1	—	保留位	读写值都为 “0”。	R/W
b4	CLRS	DMA 软件启动位的自动清除选择位	0：在软件启动后清除 SWREQ 位 1：在软件启动后不清除 SWREQ 位	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

SWREQ 位 （DMA 软件启动位）

如果给 SWREQ 位写 “1”，就产生 DMA 的传送请求。一旦开始该请求的传送，就在 CLRS 位为 “0” 时将 SWREQ 位清 “0”，而在 CLRS 位为 “1” 时不将 SWREQ 位清 “0”。此时，能在传送结束后再次产生 DMA 传送请求。

但是， SWREQ 位的值只在 DMTMD.DCTG[1:0] 位被置 “00b”（DMA 启动源为软件）时有效，能通过软件启动 DMA 传送。

如果 DMTMD.DCTG[1:0] 位不是 “00b”， SWREQ 位的设定值就无效。

如果在 CLRS 位为 “0” 时要进行软件启动，就必须在确认 SWREQ 位是 “0” 后给 SWREQ 位写 “1”。

[为 “1” 的条件]

- 当写 “1” 时

[为 “0” 的条件]

- 在CLRS位为 “0”（在软件启动后清除SWREQ位）的情况下接受软件请求并且开始数据传送时
- 当写 “0” 时

CLRS 位 （DMA 软件启动位的自动清除选择位）

当通过给 SWREQ 位写 “1” 开始 DMA 传送请求的传送时，此位设定是否将 SWREQ 位清 “0”。当 CLRS 位为 “0” 时，一旦开始传送，就将 SWREQ 位清 “0”；当 CLRS 位为 “1” 时，不将 SWREQ 位清 “0”。此时，能在传送结束后再次产生 DMA 传送请求。

17.2.11 DMA 状态寄存器 （DMSTS）

地址 DMAC0.DMSTS 0008 201Eh、DMAC1.DMSTS 0008 205Eh
DMAC2.DMSTS 0008 209Eh、DMAC3.DMSTS 0008 20DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ESIF	传送退出中断标志	0：未发生传送退出中断 1：发生传送退出中断	R/W （注 1）
b3-b1	—	保留位	读取值为 “0”，写操作无效。	R
b4	DTIF	传送结束中断标志	0：没有传送结束中断 1：有传送结束中断	R/W （注 1）
b6-b5	—	保留位	读取值为 “0”，写操作无效。	R
b7	ACT	DMA 有效标志	0：DMAC 停止 1：DMAC 正在运行	R

注 1. 只能写 “0”。

ESIF 标志 （传送退出中断标志）

这是表示发生了传送退出中断的标志。

[为 “1” 的条件]

- DMINT.RPTIE 位被置 “1” 并且在重复传送模式中 1 个重复大小的传送结束后
- DMINT.RPTIE 位被置 “1” 并且在块传送模式中 1 块数据传送结束后
- 在 DMINT.SARIE 位被置 “1” 而 DMAMD.SARA[4:0] 位被置的值不是 “00000b”（将传送源地址指定为扩展重复区域）的情况下传送源地址的扩展重复区域发生上溢时
- 在 DMINT.DARIE 位被置 “1” 而 DMAMD.DARA[4:0] 位被置的值不是 “00000b”（将传送目标地址指定为扩展重复区域）的情况下传送目标地址的扩展重复区域发生上溢时

[为 “0” 的条件]

- 当写 “0” 时
- 当给 DMCNT.DTE 位写 “1” 时

DTIF 标志 （传送结束中断标志）

这是表示发生了传送结束中断的标志。

[为 “1” 的条件]

- 在正常传送模式中指定次数的传送结束时 （DMCRAL 寄存器变为 “0” 并且传送结束时）
- 在重复传送模式中指定重复次数的传送结束时 （DMCRB 寄存器变为 “0” 并且传送结束时）
- 在块传送模式中指定块数的传送结束时 （DMCRB 寄存器变为 “0” 并且传送结束时）

[为 “0” 的条件]

- 当写 “0” 时
- 当给 DMCNT.DTE 位写 “1” 时

ACT 标志 （DMA 有效标志）

这是表示 DMAC 正在运行或者停止的标志。

[为 “1” 的条件]

- 当DMAC开始传送时

[为 “0” 的条件]

- 当1次传送请求的传送全部结束时

17.2.12 DMA 启动源标志控制寄存器 （DMCSL）

地址 DMAC0.DMCSL 0008 201Fh、DMAC1.DMCSL 0008 205Fh
DMAC2.DMCSL 0008 209Fh、DMAC3.DMCSL 0008 20DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISEL
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DISEL	中断选择位	0：在传送结束时，将启动源的中断标志清 “0”。 1：在传送结束时，通过启动源的中断标志向 CPU 请求中断。	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

DISEL 位 （中断选择位）

在 DMAC 传送开始时，此位选择是将启动源的中断标志清 “0” 还是通过中断标志向 CPU 请求中断。
在将 DMTMD.DCTG[1:0] 位置 “00b”（通过软件启动）时， DISEL 位的设定值无效。

17.2.13 DMA 模块启动寄存器 （DMAST）

地址 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DMST	DMAC 运行允许位	0：禁止启动 DMAC 1：允许启动 DMAC	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

DMST 位 （DMAC 运行允许位）

当 DMST 位为 “1” 时，允许启动 DMAC 的全部通道。

如果在给多个通道的 DMACm.DMCNT.DTE 位写 “1”（允许 DMA 传送）后，将 DMST 位置 “1”（允许启动 DMAC），就能将多个通道置为可同时接受传送请求的状态。

如果在 DMAC 运行过程中将 DMST 位置“0”，就在正在执行的 1 个传送请求的数据传送结束后暂停 DMA 运行。在此状态下，能通过再次将 DMST 位置 “1” 继续进行 DMA 传送。

[为 “1” 的条件]

- 当写 “1” 时

[为 “0” 的条件]

- 当写 “0” 时

17.3 运行说明

17.3.1 传送模式

(1) 正常传送模式

在正常传送模式中，1 次传送请求进行 1 个数据的传送。能通过设定 DMACm.DMCRAL 寄存器，设定最多 65535 次的数据传送次数。如果将 DMACm.DMCRAL 寄存器设定为 “0000h”，就不需要指定传送次数，并且在传送计数器停止计数后进行数据传送 （自由运行模式）。在正常传送模式中， DMACm.DMCRB 寄存器的设定无效。除自由运行模式以外，能在指定传送次数的传送结束后产生传送结束中断请求。

正常传送模式的寄存器的更新值以及正常传送模式的运行分别如表 17.3 和图 17.2 所示。

表 17.3 正常传送模式的寄存器的更新值

寄存器	功能	1 次传送请求的传送结束后的更新值
DMACm.DMSAR	传送源地址	递增 / 递减 / 固定 / 偏移量增加 （注 1）
DMACm.DMDAR	传送目标地址	递增 / 递减 / 固定 / 偏移量增加 （注 1）
DMACm.DMCRAL	传送计数	减 1/ 不更新 （自由运行模式）
DMACm.DMCRAH	—	不更新 （不用于正常传送模式）
DMACm.DMCRB	—	不更新 （不用于正常传送模式）

注 1. 只有 DMAC0 能指定偏移量增加。

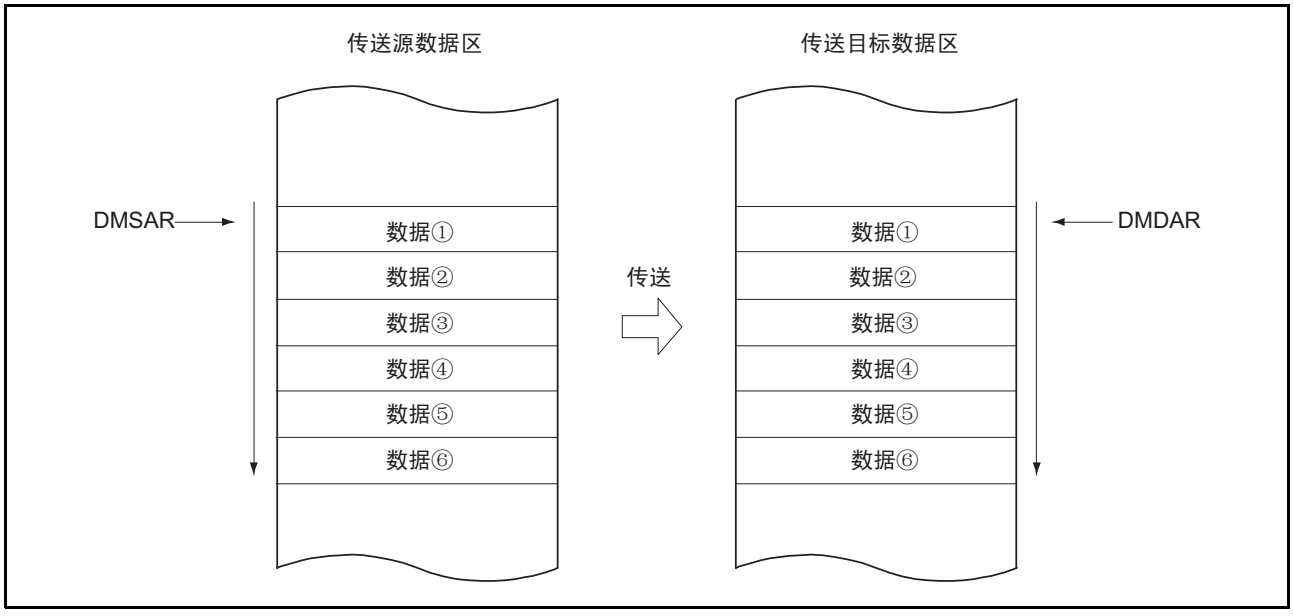


图 17.2 正常传送模式的运行

(2) 重复传送模式

在重复传送模式中， 1 次传送请求进行 1 个数据的传送。

能通过 DMACm.DMCRA 寄存器设定最多 1K 数据的重复大小。

还能通过 DMACm.DMCRB 寄存器设定最多 1K 次的指定重复次数，指定最多 1K 数据 ×1K 重复次数 =1M 数据的总数据传送量。

能将传送源或者传送目标指定为重复区域。一旦重复大小的数据传送结束，被指定为重复区域的地址寄存器（DMACm.DMSAR 或者 DMACm.DMDAR）就返回到初始地址。在重复传送模式中，能在重复大小的数据传送结束后停止DMA 传送并且产生重复大小结束中断请求。如果通过重复大小结束中断处理给 DMACm.DMCNT.DTE 位写 “1”，就能重新开始 DMA 传送。

能在指定重复次数的传送结束后产生传送结束中断请求。

重复传送模式的寄存器的更新值以及重复传送模式的运行分别如表 17.4 和图 17.3 所示。

表 17.4 重复传送模式的寄存器的更新值

寄存器	功能	1 次传送请求的传送结束后的更新值	
		DMACm.DMCRAL 寄存器不为 “1”	DMACm.DMCRAL 寄存器为 “1”（重复大小的最后数据的传送）
DMACm.DMSAR	传送源地址	递增 / 递减 / 固定 / 偏移量增加（注 1）	• DMACm.DMTMD.DTS[1:0]=00b 递增 / 递减 / 固定 / 偏移量增加（注 1） • DMACm.DMTMD.DTS[1:0]=01b DMACm.DMSAR 的初始值 • DMACm.DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加（注 1）
DMACm.DMDAR	传送目标地址	递增 / 递减 / 固定 / 偏移量增加（注 1）	• DMACm.DMTMD.DTS[1:0]=00b DMACm.DMDAR 的初始值 • DMACm.DMTMD.DTS[1:0]=01b 递增 / 递减 / 固定 / 偏移量增加（注 1） • DMACm.DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加（注 1）
DMACm.DMCRAH	重复大小	保持	保持
DMACm.DMCRAL	传送计数	减 1	DMACm.DMCRAH
DMACm.DMCRB	重复次数的计数	保持	减 1

注 1. 只有 DMAC0 能指定偏移量增加。

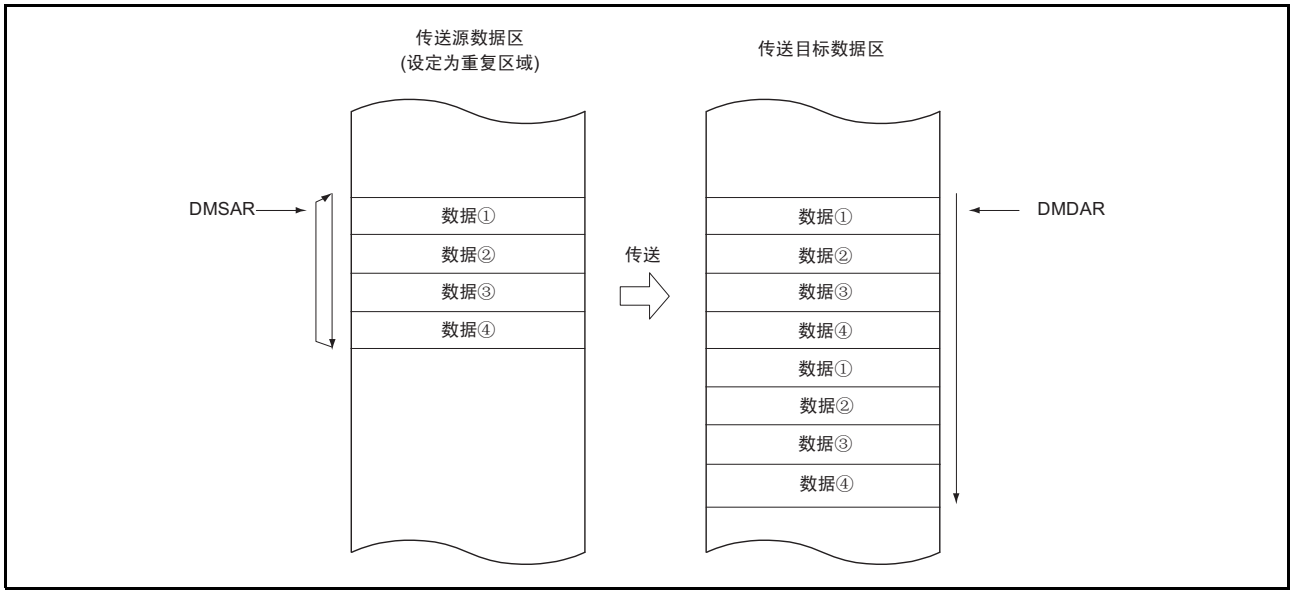


图 17.3 重复传送模式的运行

(3) 块传送模式

在块传送模式中， 1 次传送请求进行 1 块数据的传送。

能通过 DMACm.DMCRA 寄存器设定最多 1K 个数据的块大小。

还能通过 DMACm.DMCRB 寄存器设定最多 1K 次的指定块数，指定最多 1K 数据 ×1K 块 =1M 数据的总数据传送量。能将传送源或者传送目标指定为块区域。一旦 1 块数据传送结束，被指定为块区域的地址寄存器（DMACm.DMSAR 或者 DMACm.DMDAR）就返回到初始地址。在块传送模式中，能在 1 块数据传送结束后停止 DMA 传送并且产生重复大小结束中断请求。如果通过重复大小结束中断处理给 DMACm.DMCNT.DTE 位写“1”，就能重新开始 DMA 传送。

能在指定块数的传送结束后产生传送结束中断请求。

块传送模式的寄存器的更新值以及块传送模式的运行分别如表 17.5 和图 17.4 所示。

表 17.5 块传送模式的寄存器的更新值

寄存器	功能	1 次传送请求的 1 块传送结束后的更新值
DMACm.DMSAR	传送源地址	• DMACm.DMTMD.DTS[1:0]=00b 递增 / 递减 / 固定 / 偏移量增加（注 1） • DMACm.DMTMD.DTS[1:0]=01b DMACm.DMSAR 的初始值 • DMACm.DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加（注 1）
DMACm.DMDAR	传送目标地址	• DMACm.DMTMD.DTS[1:0]=00b DMACm.DMDAR 的初始值 • DMACm.DMTMD.DTS[1:0]=01b 递增 / 递减 / 固定 / 偏移量增加（注 1） • DMACm.DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加（注 1）
DMACm.DMCRAH	块大小	保持
DMACm.DMCRAL	传送计数	DMACm.DMCRAH
DMACm.DMCRB	块计数	减 1

注 1. 只有 DMAC0 能指定偏移量增加。

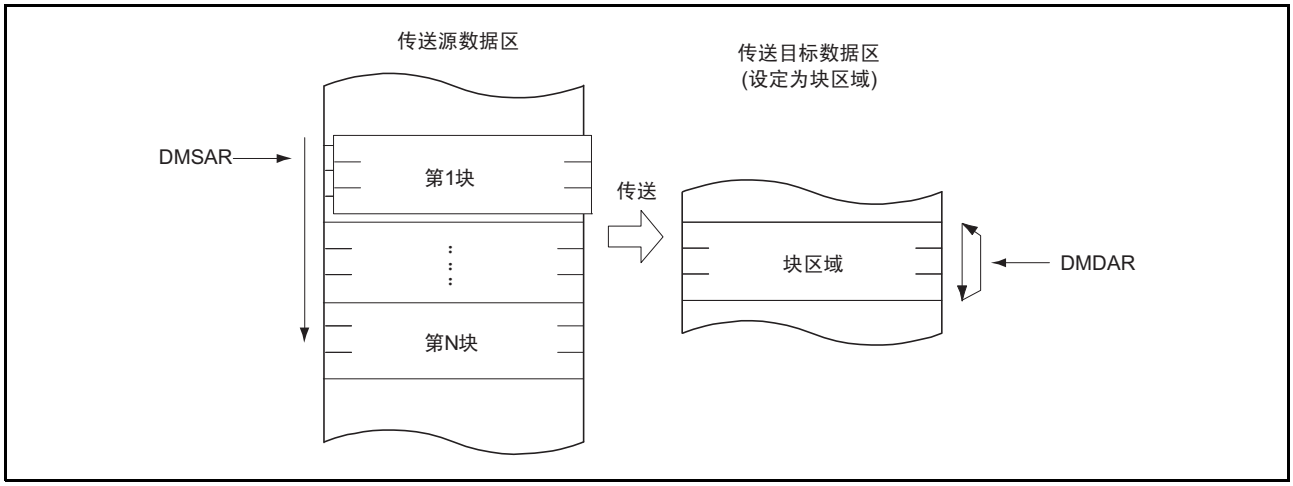


图 17.4 块传送模式的运行

17.3.2 扩展重复区域功能

DMAC 具有给传送源地址或者传送目标地址设定扩展重复区域的功能。如果设定扩展重复区域，地址寄存器就重复被指定为扩展重复区域范围的地址值。

能给 DMACm.DMSAR 寄存器（传送源地址寄存器）和 DMACm.DMDAR 寄存器（传送目标地址寄存器）独立设定扩展重复区域功能。

通过 DMACm.DMAMD.SARA[4:0] 位设定传送源地址的扩展重复区域，通过 DMACm.DMAMD.DARA[4:0] 位设定传送目标地址的扩展重复区域。能独立设定各扩展重复区域的大小，但是不能将被指定为重复区域或者块区域 （传送源或者传送目标）的区域指定为扩展重复区域。

如果地址寄存器的值为扩展重复区域的结束地址并且扩展重复区域发生上溢，就暂停 DMA 传送，并且能产生扩展重复区域上溢中断请求。如果将 DMACm.DMINT.SARIE 位置 “1”，就在传送源地址的扩展重复区域发生上溢时 DMACm.DMSTS.ESIF 标志变为 “1” 并且通过将 DMACm.DMCNT.DTE 位置 “0” 来结束 DMA 传送。此时，如果 DMACm.DMINT.ESIE 位为 “1”，就产生扩展重复区域上溢中断请求。

如果将 DMACm.DMINT.DARIE 位置 “1”，就以传送目标地址寄存器为对象。

如果通过扩展重复区域上溢中断处理将 DMACm.DMCNT.DTE 位置 “1”，就能重新开始 DMA 传送。

扩展重复区域功能的例子如**图 17.5** 所示。

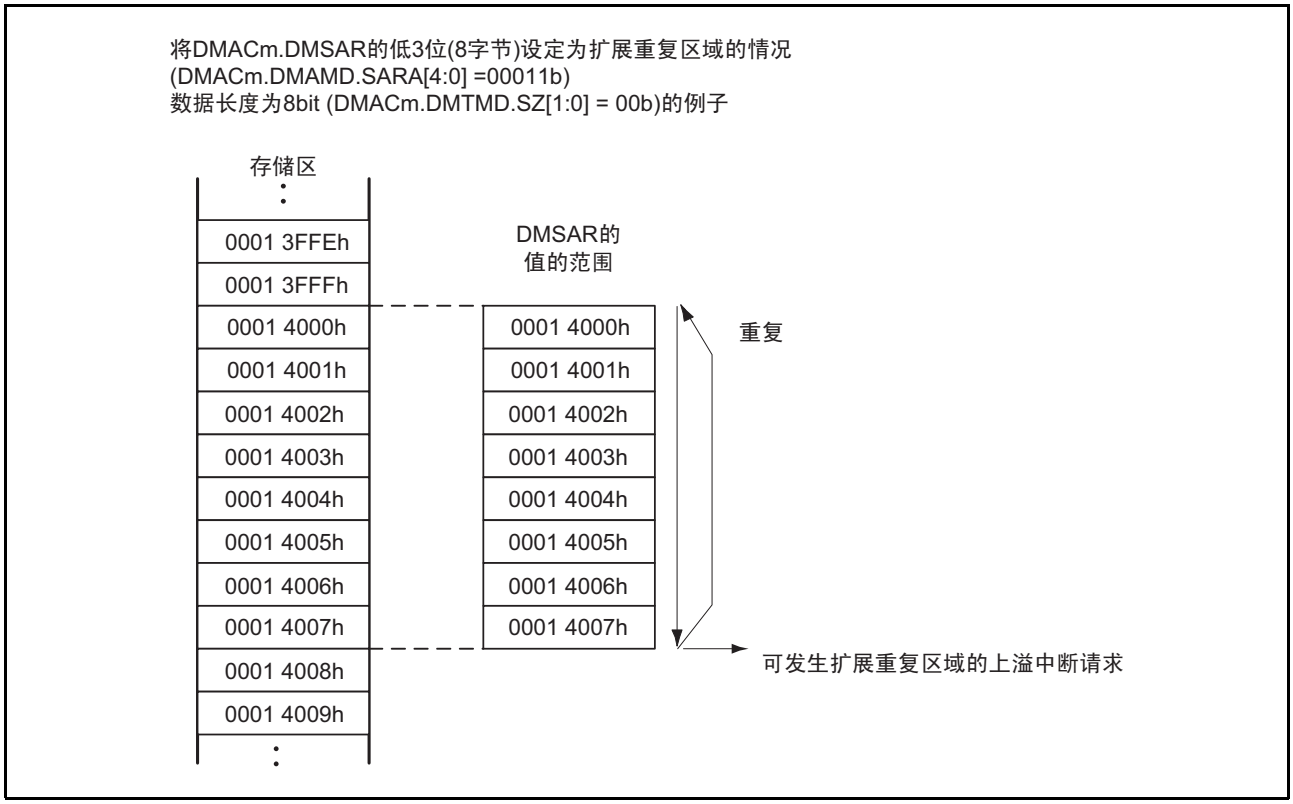


图 17.5 扩展重复区域功能的例子

在块传送模式和扩展重复区域上溢中断并用时，需要注意以下事项。

如果要在扩展重复区域发生上溢时结束传送，就需要将块大小设定为 2 的乘方，或者设定地址寄存器的值，使块大小的边界和扩展重复区域范围的边界相同。如果在传送 1 块数据的过程中扩展重复区域发生上溢，就将扩展重复区域上溢中断请求保留到 1 块数据传送结束，传送发生溢出。

块传送模式和扩展重复区域功能的并用例子如**图 17.6** 所示。

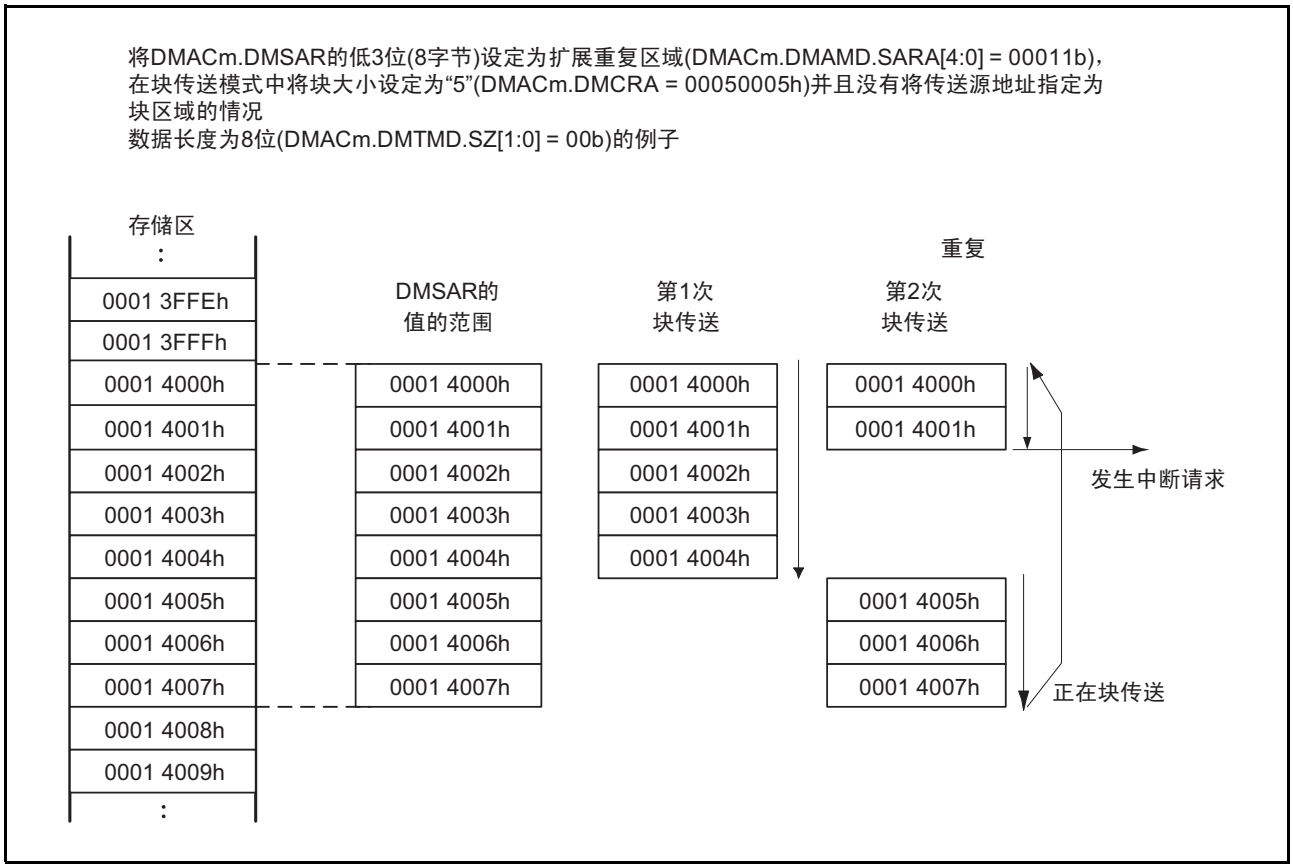


图 17.6 块传送模式和扩展重复区域功能的并用例子

17.3.3 带偏移的地址更新功能

传送源地址和传送目标地址的更新方法有固定、递增、递减和偏移量增加。偏移量增加是指在每进行 1 个数据的传送时加上 DMA 偏移寄存器 （DMAC0.DMOFR）的设定值。通过此功能，能跳过中途地址进行数据传送。

如果用 2 的补数给 DMAC0.DMOFR 设定负值，也能通过偏移实现减法运算。

只有通道 DMAC0 才能使用带偏移的地址更新功能。

各地址更新模式的地址更新方法如表 17.6 所示。

表 17.6 各地址更新模式的地址更新方法

地址更新模式	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] 地址更新模式的设定值	更新方法 （各 DMACm.DMTMD.SZ[1:0] 设定值的更新方法）		
		SZ[1:0]=00b	SZ[1:0]=01b	SZ[1:0]=10b
地址固定	00b	固定		
偏移量增加	01b	+DMACm.DMOFR（注 1）		
递增	10b	+1	+2	+4
递减	11b	–1	–2	–4

注 1. 必须用 2 的补数给偏移寄存器设定负值。用以下表达式求 2 的补数：
负偏移值的2的补数表示=～ （偏移值） +1 （～：位取反）

(1) 使用偏移量增加的基本传送

偏移的地址更新功能的运行例子如图 17.7 所示。

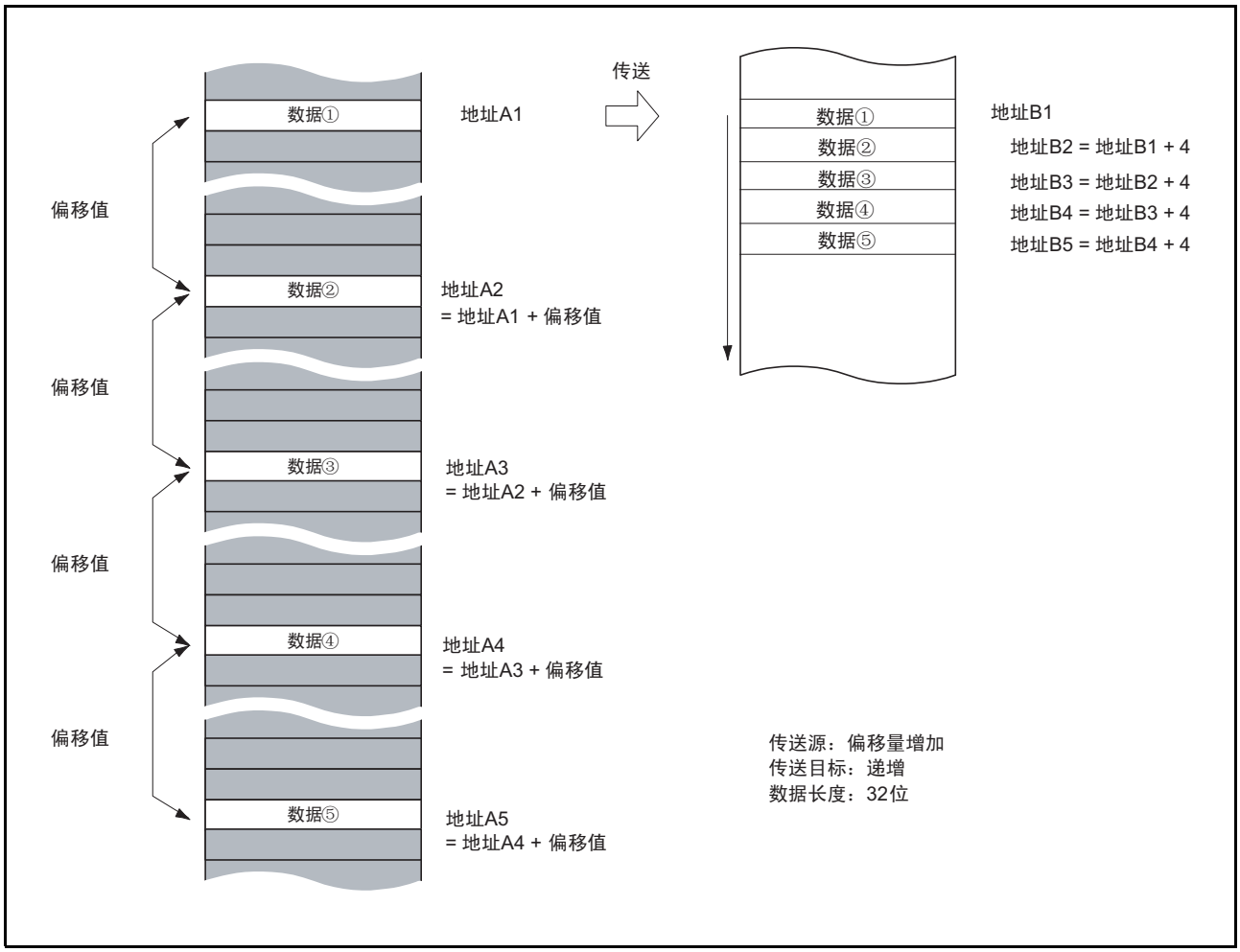


图 17.7 偏移的地址更新功能的运行例子

在图 17.7 中，将传送数据长度设定为“32 位”，传送源地址的更新模式设定为“偏移量增加”，传送目标地址的更新模式设定为 “递增”。在进行第 2 次以后的传送源地址更新时，从上次传送时的地址加上偏移值后的地址读数据，然后将一定间隔的读数据写到传送目标的连续区域。

(2) 使用偏移量增加的 XY 转换例子

通过重复传送模式和偏移量增加的组合进行 XY 转换时的运行例子如图 17.8 所示。
设定方法如下：

- DMAC0.DMAMD 寄存器：传送源地址更新模式设定：偏移量增加
- DMAC0.DMAMD 寄存器：传送目标地址更新模式设定：递增
- DMAC0.DMTMD 寄存器：传送数据大小位：32 位传送
- DMAC0.DMTMD 寄存器：传送模式设定位：重复传送
- DMAC0.DMTMD 寄存器：重复区域选择位：传送源侧为重复区域
- DMAC0.DMOFR 寄存器：偏移地址：10h
- DMAC0.DMCRA 寄存器：重复大小：4h
- DMAC0.DMINT 寄存器：设定为重复大小结束中断

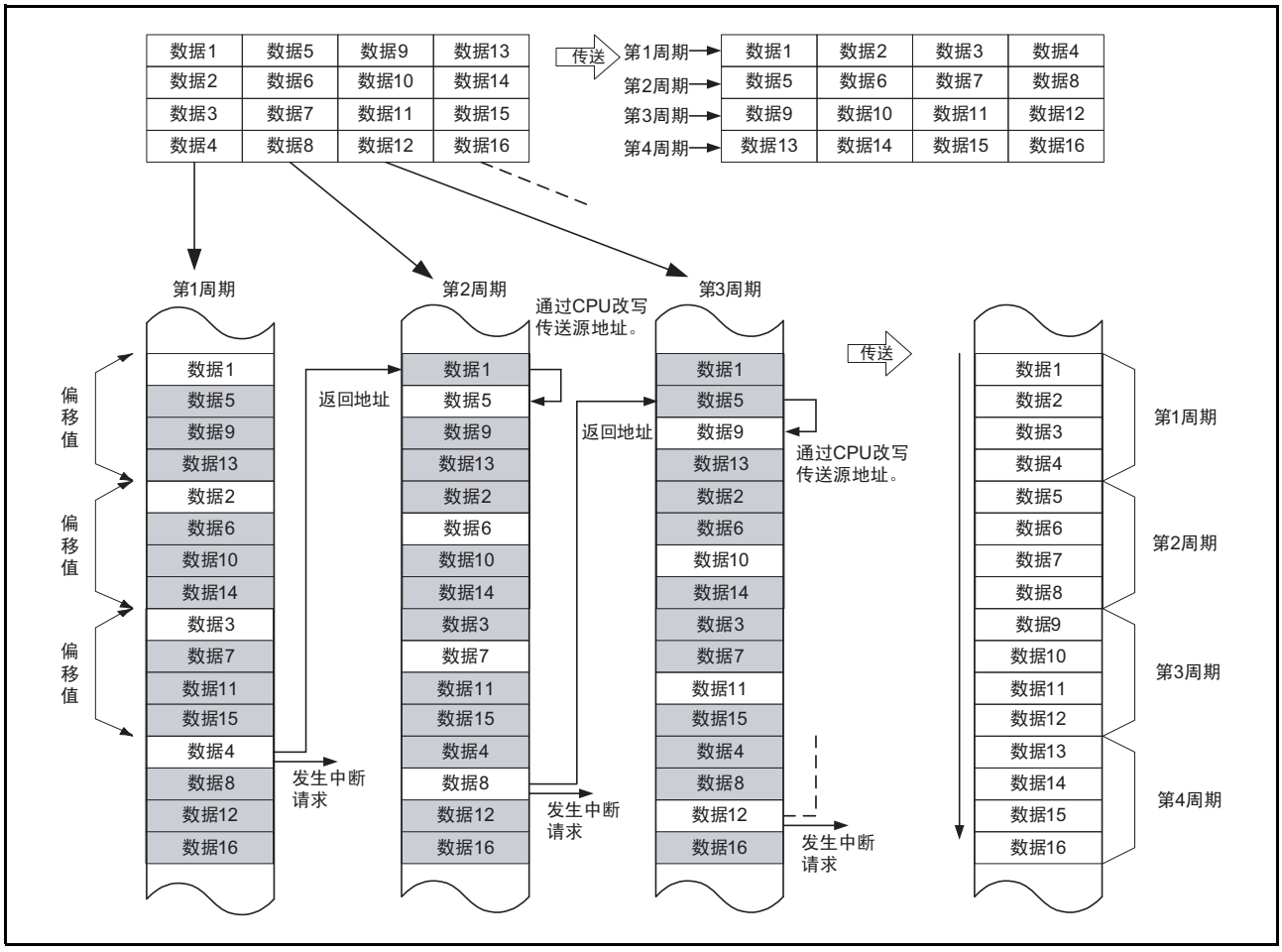


图 17.8 使用重复传送模式和偏移量增加进行 XY 转换时的运行

一旦传送开始，传送源就将地址加上偏移值进行数据传送，传送数据按照传送顺序连续排列在传送目标中。如果传送 “数据 4” 为止的数据，就结束重复大小数据的传送， DMAC 将传送源地址返回到开始传送时的地址 （传送源 “数据 1” 的地址），同时产生重复大小结束中断请求。通过此中断请求一旦中止传送。必须通过中断进行以下处理：

- DMAC0.DMSAR 寄存器：将 DMA 传送源地址改写为 “数据 5” 的地址。
  （在上述例子中，改写为 “数据 1” 的地址 +4 的值）。
- DMAC0.DMCNT 寄存器：给 DTE 位写 “1”。

从中止 DMA 传送的状态继续开始 DMA 传送。此后，如果重复同样的处理，就能在将传送源数据进行 XY 转换后传送到传送目标。

XY 转换的处理流程如图 17.9 所示。

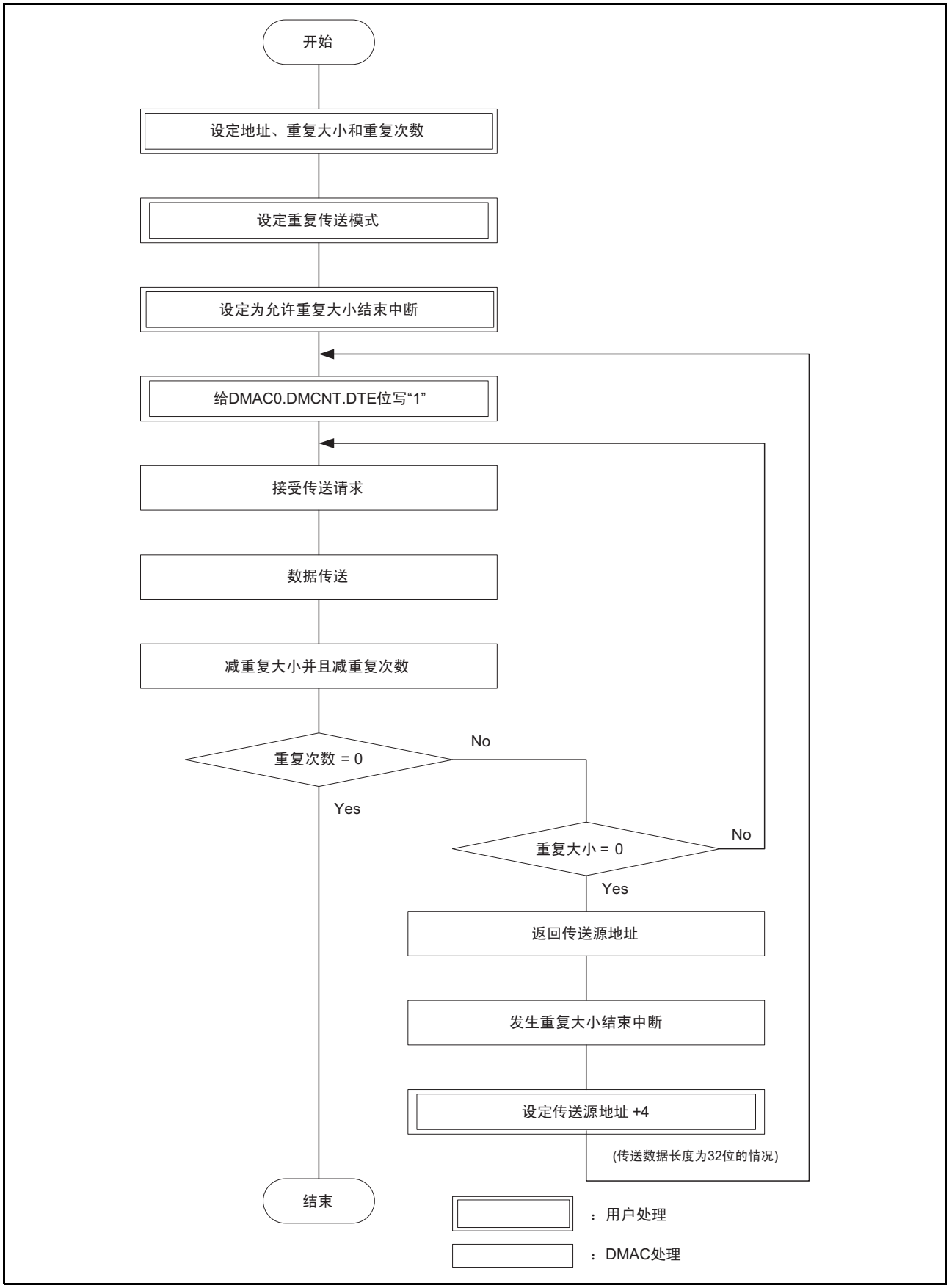


图 17.9 使用重复传送模式和偏移量增加进行 XY 转换的流程

17.3.4 启动源

DMAC 的启动源有软件、外围模块中断请求和外部中断请求，能通过 DMACm.DMTMD.DCTG[1:0] 位选择这些启动源。

(1) 通过软件进行的启动

如果将 DMACm.DMTMD.DCTG[1:0] 位置 “00b”，就能通过软件进行启动。

要通过软件启动 DMA 传送时，必须在将 DMACm.DMTMD.DCTG[1:0] 位置“00b”后给 DMACm.DMCNT.DTE 位写 “1”（允许 DMA 传送），并且将 DMAST.DMST 位置 “1”（允许启动 DMAC）。此后，如果给 DMACm.DMREQ.SWREQ 位写 “1”（有 DMA 传送请求），就开始 DMA 运行。

如果在DMACm.DMREQ.CLRS位为“0”的状态下进行软件启动，就在开始DMA传送请求的传送时DMACm.DMREQ.SWREQ 位变为 “0”；如果在 DMACm.DMREQ.CLRS 位为 “1”的状态下进行软件启动，即使开始传送， DMACm.DMREQ.SWREQ 位也不变为 “0”。在该请求的传送结束后再次发生 DMA 传送请求。

(2) 通过外围模块中断请求或者外部中断请求进行的启动

能将外围模块中断请求或者外部中断请求指定为 DMA 传送启动源。通过中断控制器（ICU）的 ICU.DMRSRm 寄存器 （m=0 ～ 3）选择启动源，各通道能独立设定。

当通过外围模块中断请求或者外部中断请求启动DMA时，必须在将DMACm.DMTMD.DCTG[1:0]位置“01b”（外围模块中断和外部中断引脚的中断）后将 DMACm.DMCNT.DTE 位置“1”（允许 DMA 传送），并且将 DMAST.DMST 位置 “1”（允许启动 DMAC）。此后，如果发生中断请求，就开始 DMA 运行。

DMAC 启动源的中断源一览表，请参照 “15. 中断控制器 （ICUb）” 的 “表 15.3 中断向量表”。

17.3.5 运行时序

DMAC 的运行时序例子如图 17.10 和图 17.11 所示。

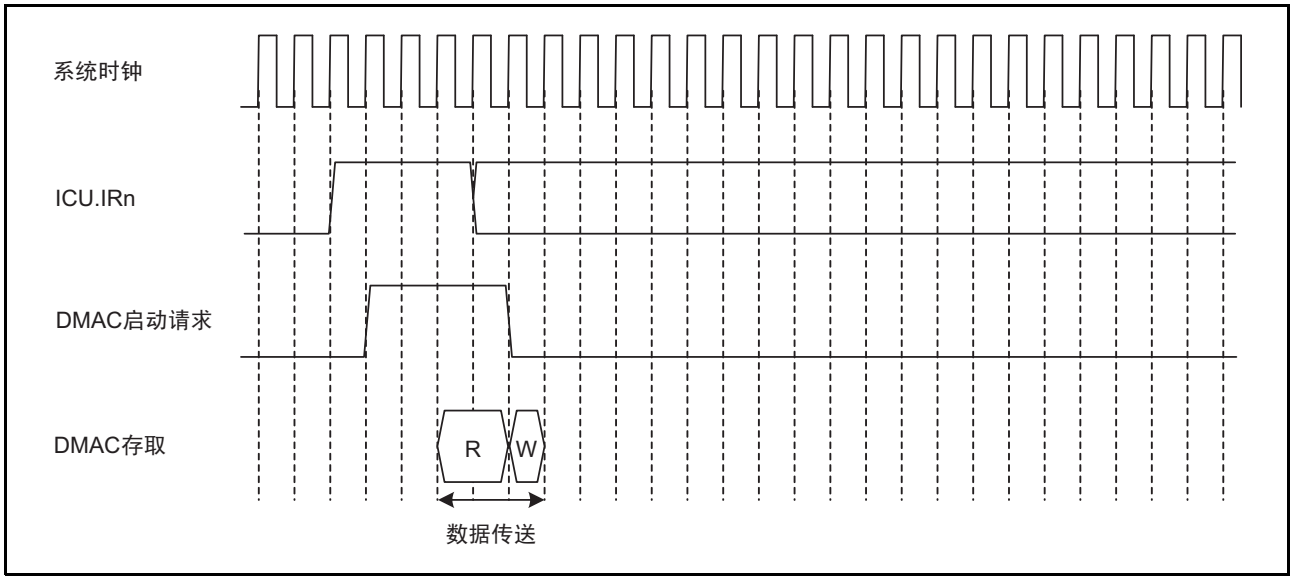


图 17.10 DMAC 的运行时序例子 （1）（在正常传送模式和重复传送模式中，通过外围模块或者外部中断输入引脚的中断启动 DMA 的情况）

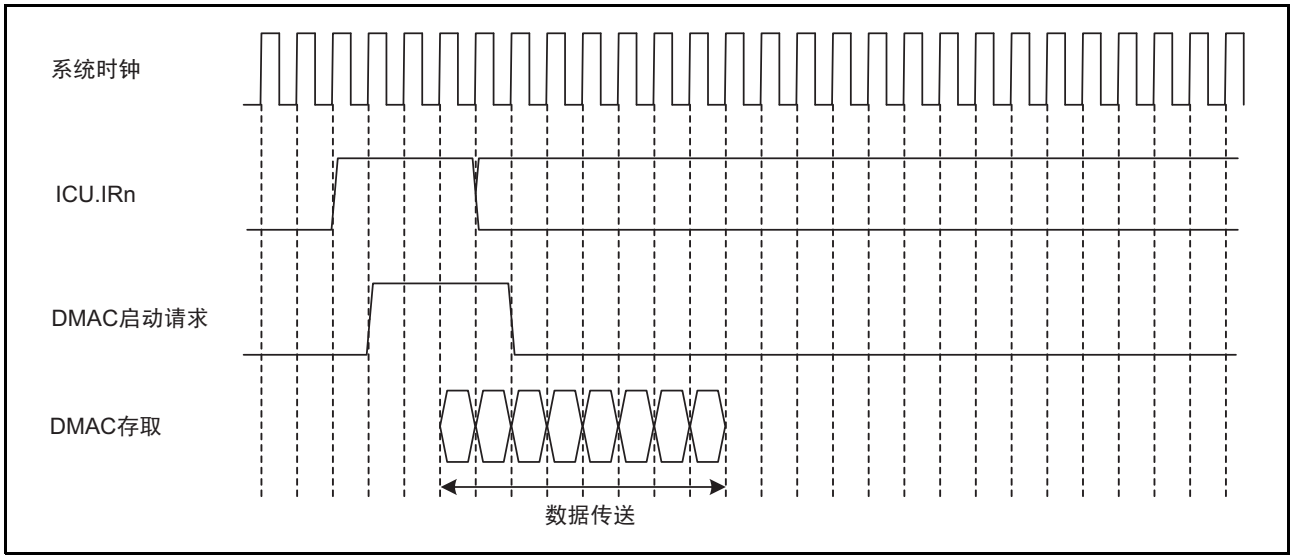


图 17.11 DMAC 的运行时序例子 （2）（在块传送模式中，块大小为 “4”，通过外围模块或者外部中断输入引脚的中断启动 DMA 的情况）

17.3.6 DMAC 的执行周期

DMAC 的 1 次数据传送的执行状态如**表 17.7** 所示。

表 17.7 DMAC 的执行周期

传送模式	数据传送 （读）	数据传送 （写）
正常	Cr+1	Cw
重复	Cr+1	Cw
块 （注 1）	P×Cr	P×Cw

注 1. 这是块大小大于等于 “2” 的情况。当块大小为 “1” 时，为正常传送的周期数。

P：块大小 （DMCRAH 寄存器的设定值）

Cr：数据的读目标存取周期

Cw：数据的写目标存取周期

Cr 和 Cw 因存取目标而不同。各存取目标的周期数请参照 “41. RAM”、“42. ROM （保存代码的闪存）”、“5. I/O 寄存器” 和 “16.2.5 外部总线”。

数据传送 （读）的 “+1” 的单位是系统时钟 （ICLK）。

运行例子请参照 “17.3.5 运行时序”

17.3.7　DMAC 的启动

寄存器的设定步骤如图 17.12 所示。

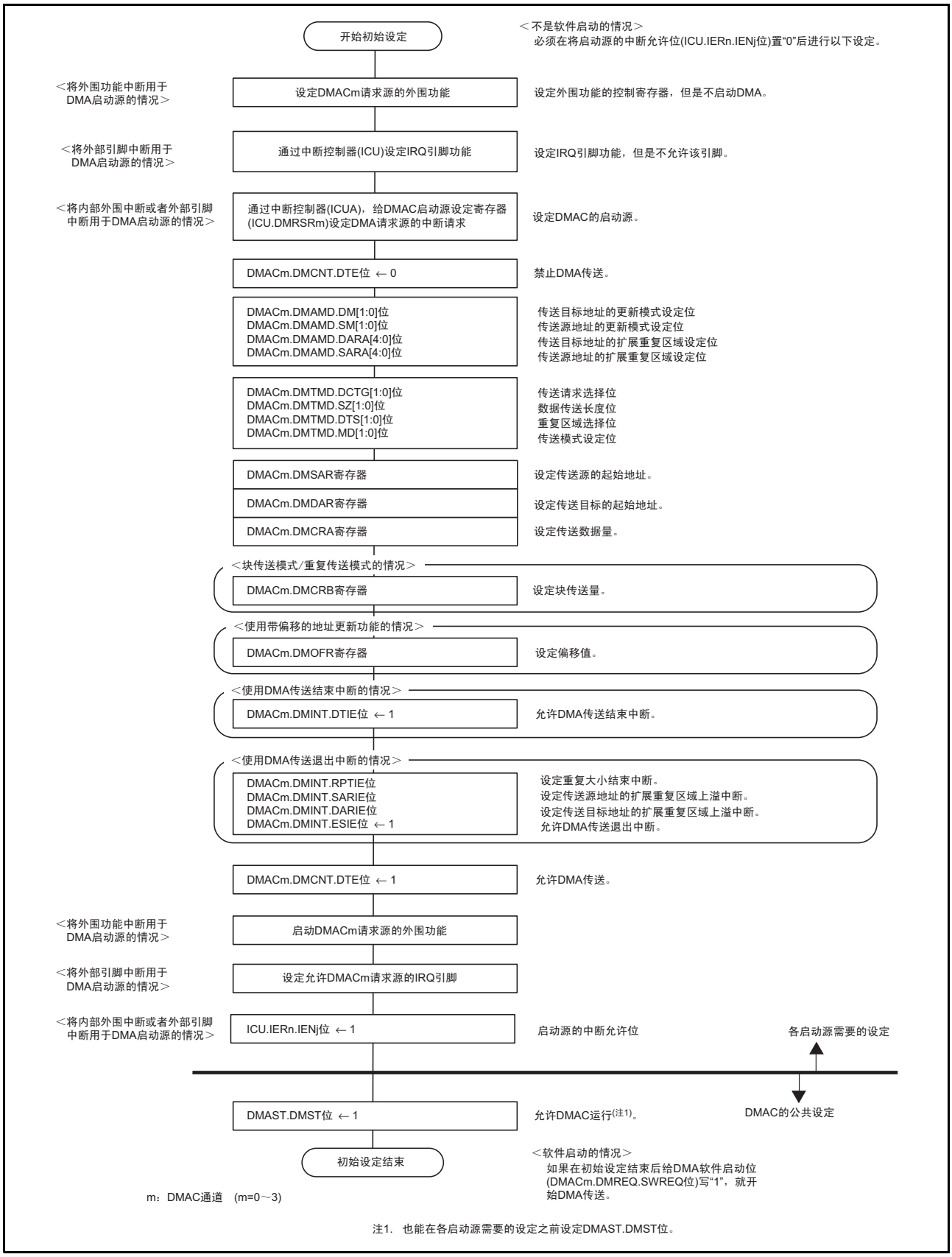


图 17.12　寄存器的设定步骤

17.3.8 DMA 传送的开始

如果在将 DMACm.DMCNT.DTE 位置 “1”（允许 DMA 传送）后将 DMAST.DMST 位置 “1”（允许启动 DMAC），就能进行通道 m （m=0 ～ 3）的 DMA 传送。

在 DTC 传送过程中，不接受其他 DMAC 通道的新启动请求。在先开始的传送结束时接受优先级最高的通道的 DMA 传送请求，开始 DMA 传送。一旦开始 DMA 传送， DMACm.DMSTS.ACT 位就变为 “1”（DMAC 正在运行）。

17.3.9 DMA 传送过程中的寄存器

通过 DMA 传送处理更新 DMAC 寄存器的值，被更新的值因各种设定和传送状态而不同，被更新的寄存器为 DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT 和 DMACm.DMSTS。

(1) DMA 传送源地址寄存器 （DMACm.DMSAR）

如果进行 1 次传送请求的数据传送，就通过下次请求将 DMSAR 寄存器更新为要存取的地址。各模式的寄存器更新请参照**表 17.3** ～**表 17.5**。

(2) DMA 传送目标地址寄存器 （DMACm.DMDAR）

如果进行 1 次传送请求的数据传送，就在下次请求时将 DMDAR 寄存器更新为要存取的地址。各模式的寄存器更新请参照**表 17.3** ～**表 17.5**。

(3) DMA 传送计数寄存器 （DMACm.DMCRA）

如果进行 1 次传送请求的数据传送，就更新计数值。各模式的更新值不同，各模式的寄存器更新请参照**表 17.3** ～**表 17.5**。

(4) DMA 块传送计数寄存器 （DMACm.DMCRB）

如果进行 1 次传送请求的数据传送，就更新计数值。各模式的更新值不同，各模式的寄存器更新请参照**表 17.3** ～**表 17.5**。

(5) DMA 传送允许位 （DMACm.DMCNT.DTE）

DMACm.DMCNT.DTE 位通过寄存器的写操作控制允许或者禁止数据传送。根据 DMA 传送状态，如果以下任意一个条件成立， DMACm.DMCNT.DTE 位就自动变为 “0”。

- 设定的总传送数据量的传送结束时
- 发生重复大小结束中断请求并且传送结束时
- 发生扩展重复区域上溢中断请求并且传送结束时

禁止写 DMACm.DMCNT.DTE 位为“1”的通道的寄存器（DMACm.DMCNT 寄存器除外），必须在将 DMACm.DMCNT.DTE 位置 “0”的状态下更改各寄存器的设定。

(6) DMA 有效标志 （DMACm.DMSTS.ACT 位）

此标志表示 DMACm 停止或者正在运行。当 DMAC 开始传送时， DMACm.DMSTS.ACT 位为 “1”； 当结束 1 次传送请求的数据传送时，此标志变为 “0”。

即使在 DMA 传送过程中通过给 DMACm.DMCNT.DTE 位写“0”来停止 DMA 传送，DMACm.DMSTS.ACT 位也将 “1”的状态保持到 DMA 传送结束为止。

(7) 传送结束中断标志 （DMACm.DMSTS.DTIF 标志）

当通过 DMA 传送结束总传送长度的传送时，将 DMACm.DMSTS.DTIF 标志置 “1”。

如果 DMACm.DMSTS.DTIF 标志为“1”并且 DMACm.DMINT.DTIE 位为“1”，就产生传送结束中断请求。

在 DMA 传送的总线周期结束后 DMACm.DMSTS.ACT 位变为“0”并且结束传送时，DMACm.DMSTS.DTIF 标志变为 “1”。

如果在中断处理过程中给 DMACm.DMCNT.DTE 位写“1”，DMACm.DMSTS.DTIF 标志就自动变为“0”。

(8) 传送退出中断标志 （DMACm.DMSTS.ESIF）

当发生重复大小结束中断请求或者扩展重复区域上溢中断请求时，将 DMACm.DMSTS.ESIF 标志置 “1”。如果 DMACm.DMSTS.ESIF 标志为 “1”并且 DMACm.DMINT.ESIE 位为 “1”，就产生传送退出中断请求。

在作为中断请求源的DMA传送总线周期结束后DMACm.DMSTS.ACT标志变为“0”并且结束传送时，DMACm.DMSTS.ESIF 标志变为 “1”。

如果在中断处理过程中给 DMACm.DMCNT.DTE 位写“1”，DMACm.DMSTS.ESIF 标志就自动变为“0”。

要将 DMAC 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“15. 中断控制器 （ICUb）”。

17.3.10 通道的优先级

当有多个 DMA 传送请求时， DMAC 判断有 DMA 传送请求的通道的优先级。通道的优先级固定为通道 0 ＞通道 1 ＞通道 2 ＞通道 3。

如果在数据传送过程中发生 DMA 传送请求，就在最后的数据传送结束后进行通道仲裁，开始优先级高的通道的传送。

17.4 DMA 传送的结束

DMA 传送的结束因传送结束条件而不同。一旦 DMA 传送结束，DMACm.DMCNT.DTE 位和 DMACm.DMSTS.ACT 标志就从 “1” 变为 “0”，表示 DMA 传送已经结束。

17.4.1 通过设定的总数据传送结束传送

(1) 正常传送模式 （DMACm.DMTMD.MD[1:0]=00b）

当 DMACm.DMCRAL 寄存器的值从“1”变为“0”时，结束对应通道的 DMA 传送并且将 DMACm.DMCNT.DTE 位清 “0”，同时将 DMACm.DMSTS.DTIF 标志置 “1”。此时，如果 DMACm.DMINT.DTIE 位为 “1”，就向 CPU 或者 DTC 请求传送结束中断。

(2) 重复传送模式 （DMACm.DMTMD.MD[1:0]=01b）

当 DMACm.DMCRB 寄存器的值从“1”变为“0”时，结束对应通道的 DMA 传送并且将 DMACm.DMCNT.DTE 位清 “0”，同时将 DMACm.DMSTS.DTIF 标志置 “1”。此时，如果 DMACm.DMINT.DTIE 位为 “1”，就向 CPU 或者 DTC 请求中断。

(3) 块传送模式 （DMACm.DMTMD.MD[1:0]=10b）

当 DMACm.DMCRB 寄存器的值从“1”变为“0”时，结束对应通道的 DMA 传送并且将 DMACm.DMCNT.DTE 位清 “0”，同时将 DMACm.DMSTS.DTIF 标志置 “1”。此时，如果 DMACm.DMINT.DTIE 位为 “1”，就向 CPU 或者 DTC 请求中断。

要将 DMAC 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“15. 中断控制器 （ICUb）”。

17.4.2 通过重复大小结束中断结束传送

在重复传送模式中，当 DMACm.DMINT.RPTIE 位为 “1” 时，在 1 个重复大小的传送结束后发生重复大小结束中断请求。通过中断请求结束 DMA 传送并且将 DMACm.DMCNT.DTE 位清“0”，同时将 DMACm.DMSTS.ESIF 标志置 “1”。此时，如果 DMACm.DMINT.ESIE 位为 “1”，就向 CPU 或者 DTC 请求中断。如果在此状态下将 DMACm.DMCNT.DTE 位置 “1”，就能重新开始传送。

即使在块传送模式中，也能产生重复大小结束中断请求。在块传送模式中，在 1 块数据传送结束后同样发生重复大小结束中断请求。

要将 DMAC 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“15. 中断控制器 （ICUb）”。

17.4.3 通过扩展重复区域上溢中断结束传送

在指定扩展重复区域并且 DMACm.DMINT.SARIE 位或者 DMACm.DMINT.DARIE 位为 “1” 时，如果地址的扩展重复区域发生上溢，就产生扩展重复区域上溢中断请求。通过中断请求结束DMA传送并且将DMACm.DMCNT.DTE 位清 “0”，同时将 DMACm.DMSTS.ESIF 标志置 “1”。此时，如果 DMACm.DMINT.ESIE 位为 “1”，就向 CPU 或者 DTC 请求中断。

即使在读周期中发生扩展重复区域上溢中断请求，也执行后续的写周期处理。

在块传送模式中，即使在 1 块数据传送过程中发生扩展重复区域上溢中断请求，也进行 1 块数据的传送。在块大小的边界，通过扩展重复区域上溢中断结束传送。

要将 DMAC 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“15. 中断控制器 （ICUb）”。

17.5 中断

DMAC 能按各通道，在 1 次请求的传送结束后将中断请求输出到 CPU 或者 DTC。如果传送目标为外部总线或者内部外围总线，就在完成写缓冲器的写操作时而不是在完成实际传送目标的写操作时发行中断请求。

中断源、标志和允许位的关系如**表 17.8** 所示，中断输出的概略逻辑图如**图 17.13** 所示。通过 DMAC 中断处理重新开始或者中止 DMA 传送的步骤如**图 17.14** 所示。

表 17.8 中断源、标志和允许位的关系

中断源		允许位	状态标志	请求输出的允许
传送结束		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
退出传送结束	重复大小结束	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	传送源地址的扩展重复区域发生上溢	DMACm.DMINT.SARIE		
	传送目标地址的扩展重复区域发生上溢	DMACm.DMINT.DARIE		

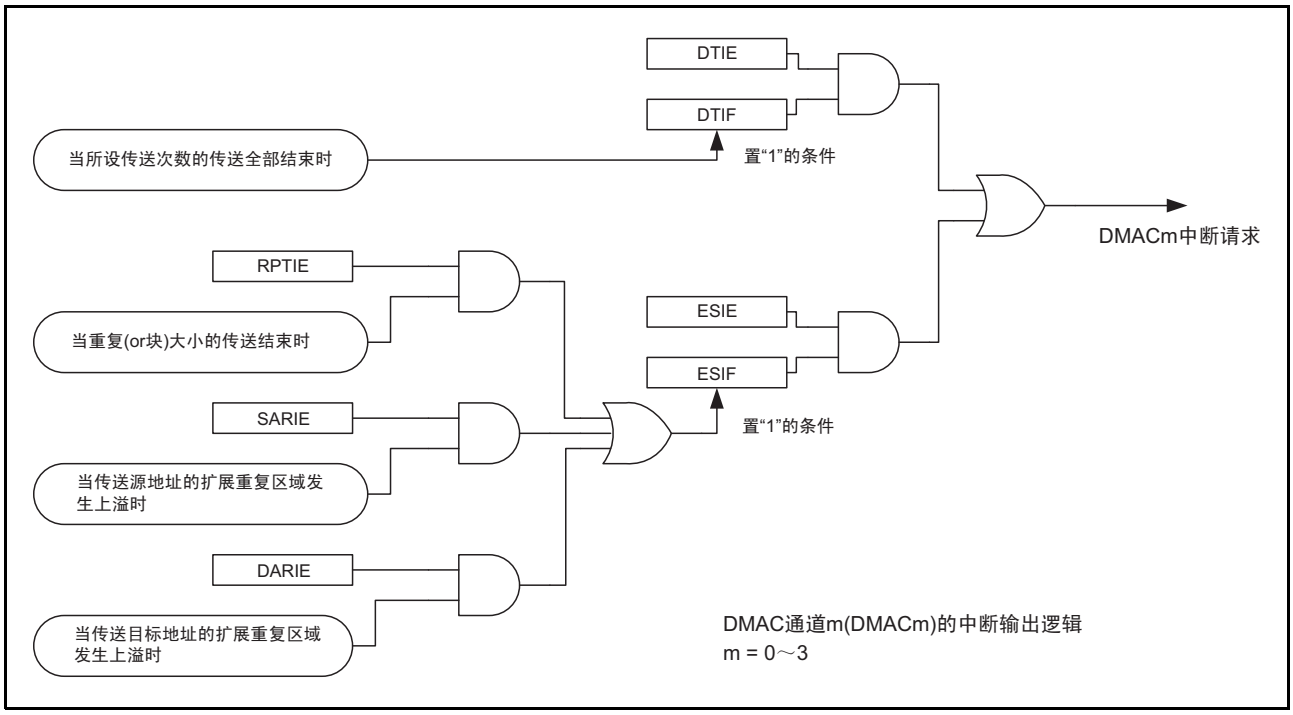


图 17.13 中断输出的概略逻辑图

在结束或者中止 DMA 传送时以及在继续传送时，通过中断处理程序解除中断后重新开始 DMA 传送的方法不同。

(1) 结束或者中止 DMA 传送的情况

在传送结束中断的情况下，必须给 DMACm.DMSTS.DTIF 标志写 “0”；在重复大小中断和扩展重复区域上溢中断的情况下，必须给 DMACm.DMSTS.ESIF 标志写 “0”。清除中断请求， DMACm 保持停止状态。此后，要进行新的 DMA 传送时，必须给所需寄存器写设定值，并且给 DMACm.DMCNT.DTE 位写 “1”（允许 DMA 传送）。

(2) 继续进行 DMA 传送的情况

必须给 DMACm.DMCNT.DTE 位写 “1”。自动将 DMACm.DMSTS.ESIF 标志清 “0”（清除中断源）并且重新开始传送。

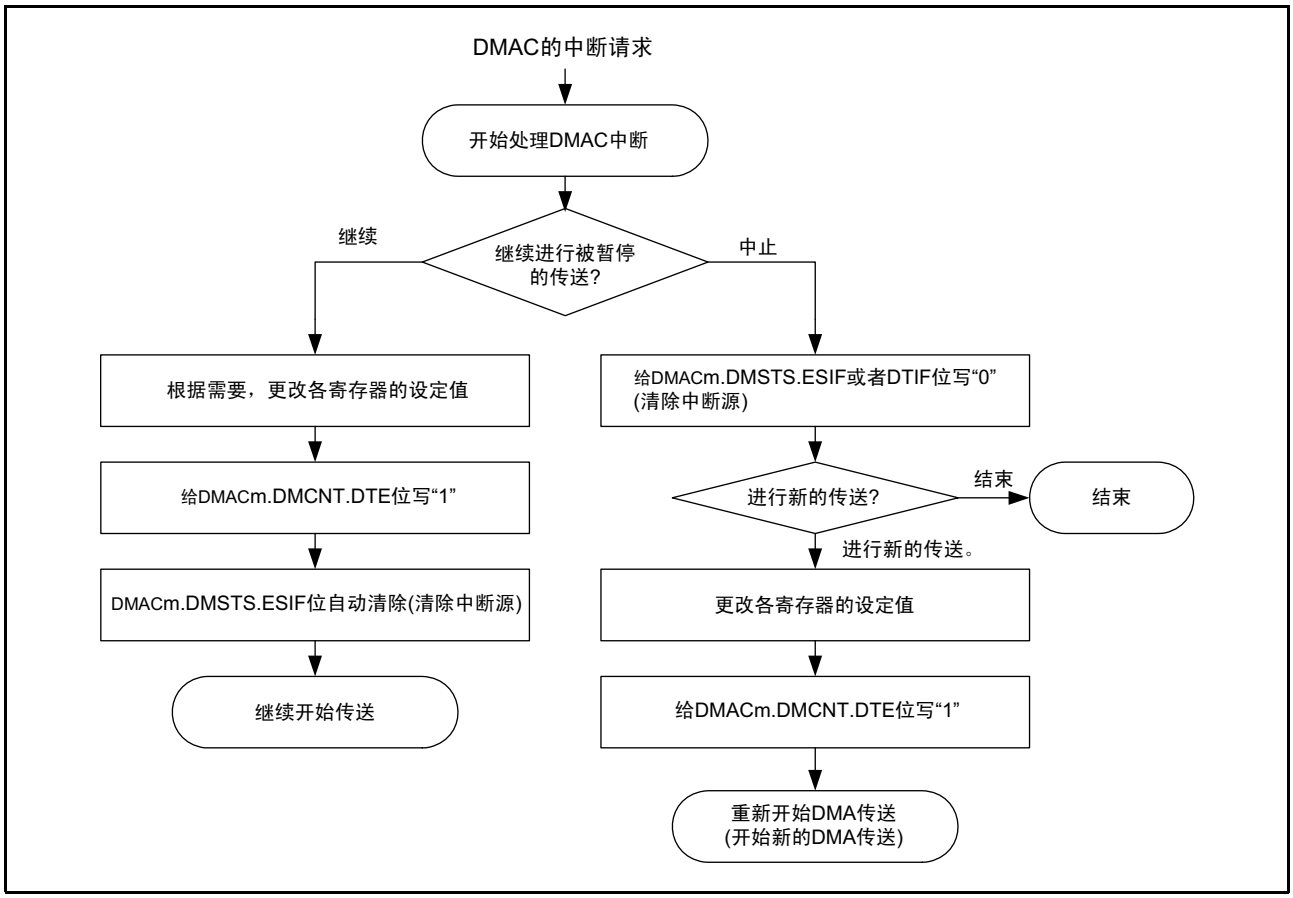


图 17.14 通过 DMAC 中断处理重新开始或者中止 DMA 传送的步骤

17.6 低功耗功能

在使用模块停止功能以及向全模块时钟停止模式、软件待机模式或者深度软件待机模式转移时，必须在给 DMAST.DMST 位写 “0”（DMAC 模块停止）后分别进行以下的处理。

(1) 模块停止功能

通过给 MSTPCRA.MSTPA28 位写 “1”（转移到模块停止状态），使 DMAC 的模块停止功能有效。如果在给 MSTPCRA.MSTPA28 位写 “1”时正在进行 DMA 传送，就在 DMA 传送结束后转移到模块停止状态。

不能在 MSTPCRA.MSTPA28 位为 “1”时存取 DMAC 的寄存器。

通过给 MSTPCRA.MSTPA28 位写 “0”（解除模块停止状态），解除 DMAC 的模块停止状态。

(2) 全模块时钟停止模式

必须按照 “11. 低功耗功能”的 “11.6.2.1 向全模块时钟停止模式的转移”的步骤进行设定。

如果在执行 WAIT 指令时正在进行 DMA 传送，就在 DMA 传送结束后转移到全模块时钟停止模式。

在从全模块时钟停止模式返回后，通过给 MSTPCRA.MSTPA28 位写 “0”，解除 DMAC 的模块停止状态。

(3) 软件待机模式和深度软件待机模式

必须按照 “11. 低功耗功能”的 “11.6.3.1 向软件待机模式的转移”或者 “11.6.4.1 向深度软件待机模式的转移”的步骤进行设定。

如果在执行 WAIT 指令时正在进行 DMA 传送，就在 DMA 传送结束后转移到软件待机模式或者深度软件待机模式。

(4) 使用低功耗功能时的注意事项

有关 WAIT 指令和寄存器的设定步骤，请参照 “11. 低功耗功能”的 “11.7.6 WAIT 指令的执行时序”。

要在从低功耗模式返回后进行 DMA 传送时，必须再次给 DMAST.DMST 位写 “1”。

当全模块时钟停止模式期间或者软件待机模式期间发生的请求不是DMAC启动请求而是CPU中断请求时，必须按照 “15. 中断控制器 （ICUb）”的 “15.5.3 中断请求目标的选择”的设定方法，在将中断请求源更改为 CPU 后执行 WAIT 指令。

17.7 使用时的注意事项

17.7.1 使用外部设备的情况

在进行外部设备的 DMA 传送过程中，在从开始写最后数据到外部总线存取结束前，DMACm.DMSTS.ACT 标志有可能变为 “0”（DMAC 停止）。

17.7.2 外围模块的 DMA 传送的情况

在进行外围模块的 DMA 传送过程中，在从开始写最后数据到外围总线存取结束前，DMACm.DMSTS.ACT 标志有可能变为 “0”（DMAC 停止）。

17.7.3 有关 DMA 运行过程中的寄存器存取

在 DMACm.DMSTS.ACT 标志为 “1”（DMAC 正在运行）或者 DMACm.DMCNT.DTE 位为 “1”（允许 DMA 传送）的状态下，不能存取相同通道的设定寄存器（DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、 DMAMD、 DMOFR、 DMCSL）。

17.7.4 有关保留区的 DMA 传送

因为禁止保留区的 DMA 传送，所以无法保证存取保留区时的传送结果。保留区的详细内容请参照 “4. 地址空间”。

17.7.5 因设定 DMA 启动源标志控制寄存器 （DMCSL）而产生的各传送结束中断请求

如果将 DMACm.DMCSL.DISEL 位置 “1”，就能在每结束 1 次 DMA 启动请求的传送时向 CPU 请求中断。此时发生的中断不同于 DMAC 输出的传送结束中断和退出结束中断，如果在 DMA 传送结束时不将作为 DMAC 启动源的中断标志清 “0”，就通过将中断请求目标更改为 CPU，向 CPU 请求中断。在接受 CPU 中断时清除中断标志。

有关中断标志和中断请求目标的变更，请参照 “15. 中断控制器 （ICUb）”， DMACm.DMCSL.DISEL 位的设定请参照 “17.2.12 DMA 启动源标志控制寄存器 （DMCSL）”。

17.7.6 中断控制器的 DMAC 启动请求寄存器 （ICU.DMRSRm）的设定

必须在 DMA 传送允许位 （DMACm.DMCNT.DTE 位）为 “0”（禁止 DMA 传送）时设定 DMAC 启动源选择寄存器（ICU.DMRSRm）。不能将和 ICU.DMRSRm 寄存器设定的向量号相同的向量号对应的 DTC 启动允许寄存器 （ICU.DTCERn）置 “1”。ICU.DTCERn 寄存器和 ICU.DMRSRm 寄存器的详细内容请参照 “15. 中断控制器 （ICUb）”。

17.7.7 保留或者重新开始 DMA 启动的方法

要保留 DMA 的启动请求时，必须给启动源的中断允许位（ICU.IERn.IENj 位）写 “0”；要重新开始 DMA 时，必须在进行 “17.3.7 DMAC 的启动” 的设定后给 ICU.IERn.IENj 位写 “1”。

18. 数据传送控制器 （DTCa）

RX630 群内置数据传送控制器 （DTC）。
能通过中断请求启动 DTC 并且进行数据传送。

18.1 概要

DTC 的规格和框图分别如表 18.1 和图 18.1 所示。

表 18.1 DTC 的规格

项目	内容
传送模式	• 正常传送模式 1 次启动进行 1 个数据的传送。 • 重复传送模式 1 次启动进行 1 个数据的传送。 如果传送重复大小的数据，就返回到开始传送的地址。 重复大小最多能设定 256 个数据。 • 块传送模式 1 次启动进行 1 块数据的传送。 块大小最多能设定 256 个数据。
传送通道	• 能进行对应中断源的通道传送 （通过 ICU 的 DTC 启动请求进行传送）。 • 能对 1 个启动源进行多个的数据传送 （链传送）。 • 能选择是在计数器为 “0” 时进行链传送还是每次都进行链传送。
传送空间	• 在短地址模式中为 16M 字节。 （0000 0000h ～ 007F FFFFh 和 FF80 0000h ～ FFFF FFFFh 中保留区除外的区域） • 在全地址模式中为 4G 字节。 （0000 0000h ～ FFFF FFFFh 中保留区除外的区域）
数据传送单位	• 1 个数据的位长：8 位、 16 位、 32 位 • 块大小的数据量：1 ～ 256 个数据
CPU 中断请求	• 能通过启动 DTC 的中断向 CPU 请求中断。 • 在 1 次数据传送结束后向 CPU 请求中断。 • 在指定数据量的数据传送结束后向 CPU 请求中断。
跳读	能指定传送信息的跳读。
回写的省略	当传送源地址被固定或者传送目标被固定时省略回写。
低功耗功能	能设定为模块停止状态。

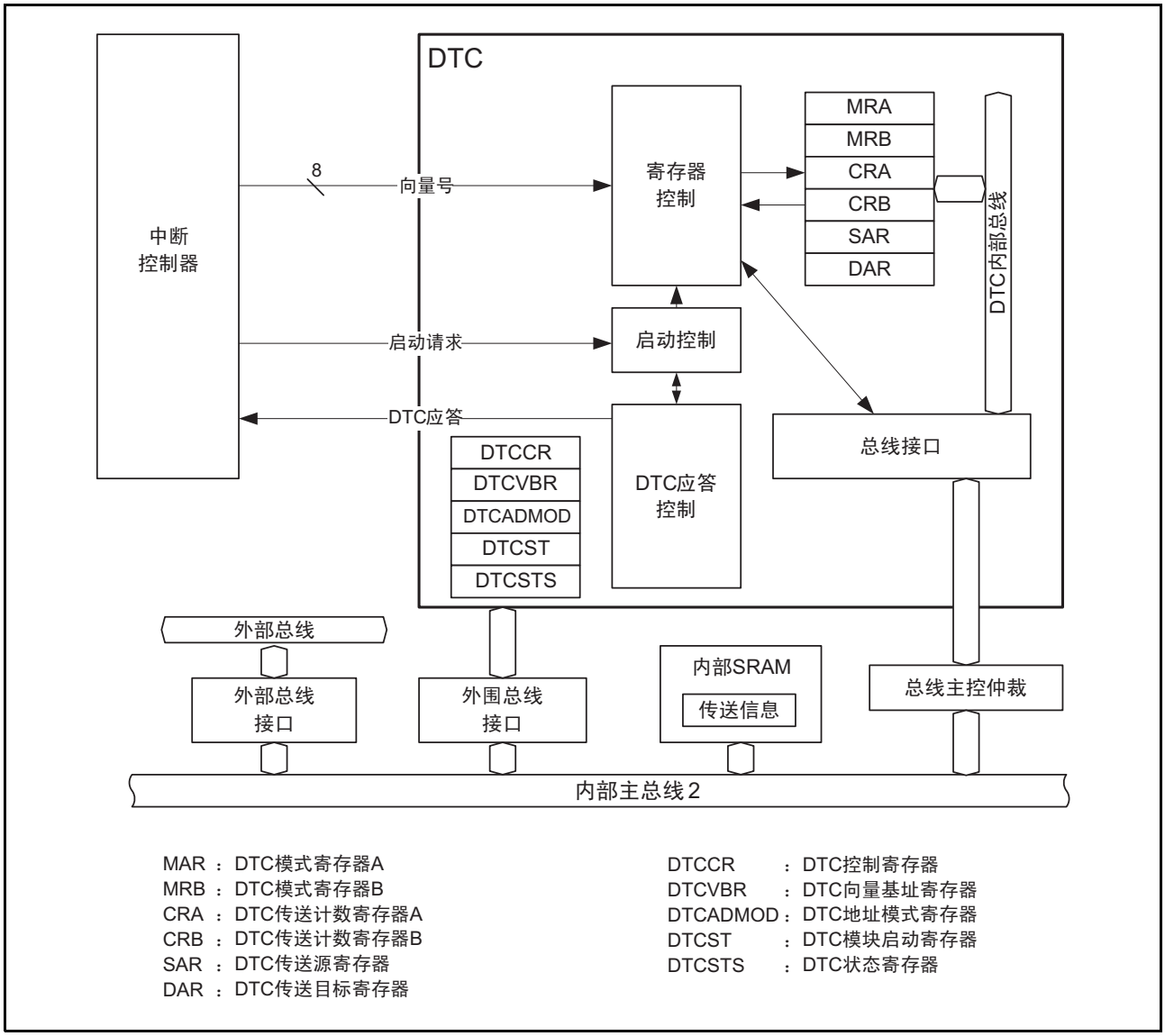

DTC
中断
控制器
8
向量号
寄存器
控制
MRA
MRB
CRA
CRB
SAR
DAR
DTC内部总线
启动请求
启动控制
DTC应答
DTCCR
DTCVBR
DTCADMOD
DTCST
DTCSTS
DTC应答
控制
总线接口
外部总线
外部总线
接口
外围总线
接口
内部SRAM
传送信息
总线主控仲裁
内部主总线2
MAR ： DTC模式寄存器A
MRB ： DTC模式寄存器B
CRA ： DTC传送计数寄存器A
CRB ： DTC传送计数寄存器B
SAR ： DTC传送源寄存器
DAR ： DTC传送目标寄存器
DTCCR ： DTC控制寄存器
DTCVBR ： DTC向量基址寄存器
DTCADMOD ： DTC地址模式寄存器
DTCST ： DTC模块启动寄存器
DTCSTS ： DTC状态寄存器

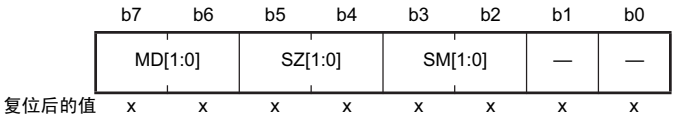
图 18.1 DTC 的框图

18.2 寄存器说明

MRA、MRB、SAR、DAR、CRA、CRB 寄存器是 DTC 的内部寄存器，不能从 CPU 直接存取，这些内部寄存器的设定值作为传送信息被分配到 RAM 区。如果发生 DTC 启动请求，就从 RAM 区读传送信息并且将读到的传送信息设定到内部寄存器。在进行数据传送后， DTC 的内部寄存器的内容作为传送信息被回写到 RAM 区。

18.2.1 DTC 模式寄存器 A （MRA）

地址 (CPU不能直接存取)



x：不定值

位	符号	位名	功能	R/W
b1-b0	—	保留位	读取值为不定值，只能写 “0”。	—
b3-b2	SM[1:0]	传送源地址的寻址方式位	b3 b2 0 0：SAR 寄存器为地址固定 （省略 SAR 寄存器的回写） 0 1：SAR 寄存器为地址固定 （省略 SAR 寄存器的回写） 1 0：传送后 SAR 寄存器递增 （当 SZ[1:0] 位为 “00b”时加 1；为 “01b”时加 2；为 “10b”时加 4） 1 1：传送后 SAR 寄存器递减 （当 SZ[1:0] 位为 “00b”时减 1；为 “01b”时减 2；为 “10b”时减 4）	—
b5-b4	SZ[1:0]	DTC 数据传送长度位	b5 b4 0 0：8 位 （字节）传送 0 1：16 位 （字）传送 1 0：32 位 （长字）传送 1 1：不能设定	—
b7-b6	MD[1:0]	DTC 传送模式选择位	b7 b6 0 0：正常传送模式 0 1：重复传送模式 1 0：块传送模式 1 1：不能设定	—

CPU 不能直接存取 MRA 寄存器。

18.2.2 DTC 模式寄存器 B （MRB）

地址 (CPU不能直接存取)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
复位后的值	x	x	x	x	x	x	x	x

x： 不定值

位	符号	位名	功能	R/W
b1-b0	—	保留位	读取值为不定值，只能写 “0”。	—
b3-b2	DM[1:0]	传送目标地址的寻址方式位	b3 b2 0 0：DAR 寄存器为地址固定 （省略 DAR 寄存器的回写） 0 1：DAR 寄存器为地址固定 （省略 DAR 寄存器的回写） 1 0：传送后 DAR 寄存器递增 （当 MAR.SZ[1:0] 位为 “00b” 时加 1 ； 为 “01b” 时加 2 ； 为 “10b” 时加 4） 1 1：传送后 DAR 寄存器递减 （当 MAR.SZ[1:0] 位为 “00b” 时减 1 ； 为 “01b” 时减 2 ； 为 “10b” 时减 4）	—
b4	DTS	DTC 传送模式选择位	0：传送目标为重复区域或者块区域 1：传送源为重复区域或者块区域	—
b5	DISEL	DTC 中断选择位	0：在指定的数据传送结束时向 CPU 请求中断 1：在每次 DTC 数据传送时都向 CPU 请求中断	—
b6	CHNS	DTC 链传送选择位	0：连续进行链传送 1：只在传送计数器从 “0” 变为 “1” 或者从 “1” 变为 CRAH 时进行链传送	—
b7	CHNE	DTC 链传送允许位	0：禁止链传送 1：允许链传送	—

CPU 不能直接存取 MRB 寄存器。

DTS 位 （DTC 传送模式选择位）

在重复传送模式或者块传送模式中，此位指定是将传送源还是将传送目标作为重复区域或者块区域。

CHNS 位 （DTC 链传送选择位）

此位选择链传送的条件。

当 CHNE 位为 “0” 时，忽视 CHNS 位的设定。有关链传送选择条件的详细内容，请参照 “**表 18.3 链传送的条件**”。

如果下一次传送是链传送，就不判断指定次数的传送结束，并且不清除中断状态标志，也不向 CPU 请求中断。

CHNE 位 （DTC 链传送允许位）

此位指定链传送。

通过 CHNS 位选择链传送的条件。

有关链传送的详细内容，请参照 “**18.4.6 链传送**”。

18.2.3 DTC 传送源寄存器 （SAR）

地址 (CPU不能直接存取)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x： 不定值

在全地址模式中 32 位有效。
在短地址模式中低 24 位有效，忽视高 8 位 （b31 ～ b24）的设定，通过 b23 指定的值进行位扩展。
CPU 不能直接存取 SAR 寄存器。

18.2.4 DTC 传送目标寄存器 （DAR）

地址 (CPU不能直接存取)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

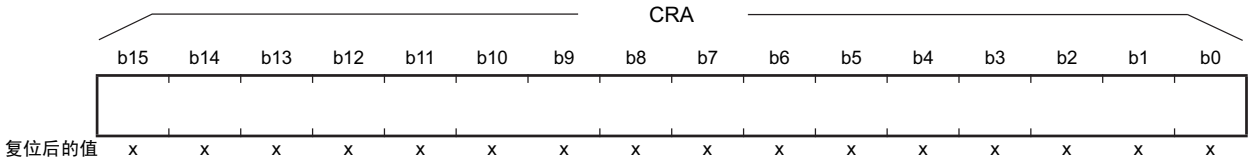
x： 不定值

在全地址模式中 32 位有效。
在短地址模式中低 24 位有效，忽视高 8 位 （b31 ～ b24）的设定，通过 b23 指定的值进行位扩展。
CPU 不能直接存取 DAR 寄存器。

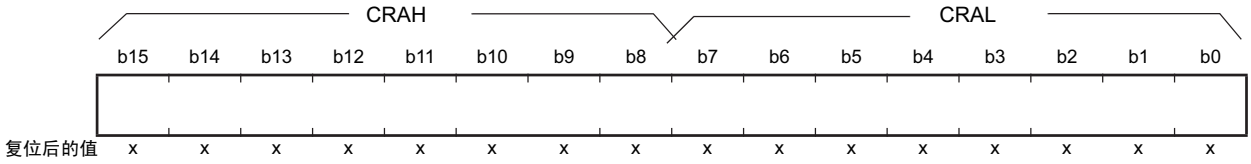
18.2.5 DTC 传送计数寄存器 A （CRA）

地址 (CPU不能直接存取)

• 正常传送模式



• 重复传送模式、块传送模式



x：不定值

注 . 功能因传送模式而不同。

符号	寄存器名	功能	R/W
CRAL	传送计数器 A 的低位寄存器	设定传送次数。	—
CRAH	传送计数器 A 的高位寄存器		—

注 . 在重复传送模式和块传送模式中，必须给 CRAH 寄存器和 CRAL 寄存器设定相同的值。

CPU 不能直接存取 CRA 寄存器。

(1) 正常传送模式 （MRA.MD[1:0] 位 =00b）

在正常传送模式中， CRA 寄存器用作 16 位传送计数器。

当设定值为 “0001h”时，传送次数为 1 次；当设定值为 “FFFFh”时，传送次数为 65535 次；当设定值为 “0000h”时，传送次数为 65536 次。

每进行 1 次数据传送， CRA 寄存器就减 1。

(2) 重复传送模式 （MRA.MD[1:0] 位 =01b）

CRAH 寄存器保持传送次数， CRAL 寄存器用作 8 位传送计数器。

当设定值为 “01h”时，传送次数为 1 次；当设定值为 “FFh”时，传送次数为 255 次；当设定值为 “00h”时，传送次数为 256 次。

每进行 1 次数据传送，CRAL 寄存器就减 1。当 CRAL 寄存器变为 “00h”时，就传送 CRAH 寄存器的值。

(3) 块传送模式 （MRA.MD[1:0] 位 =10b）

CRAH 寄存器保持块的大小， CRAL 寄存器用作 8 位块大小计数器。

当设定值为 “01h”时，传送次数为 1 次；当设定值为 “FFh”时，传送次数为 255 次；当设定值为 “00h”时，传送次数为 256 次。

每进行 1 次数据传送， CRAL 寄存器就减 1。当 CRAL 寄存器变为 “00h”时，传送 CRAH 寄存器的值。

18.2.6 DTC 传送计数寄存器 B （CRB）

地址 (CPU不能直接存取)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x： 不定值

CRB 寄存器是指定块传送模式的块传送次数的寄存器。

当设定值为 “0001h” 时，传送次数为 1 次；当设定值为 “FFFFh” 时，传送次数为 65535 次；当设定值为 “0000h” 时，传送次数为 65536 次。

当进行 1 块大小的最后数据传送时， CRB 寄存器减 1。

在设定为正常传送模式和重复传送模式时，不使用 CRB 寄存器，忽视设定值。

CPU 不能直接存取 CRB 寄存器。

18.2.7 DTC 控制寄存器 （DTCCR）

地址 0008 2400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RRS	—	—	—	—
复位后的值	0	0	0	0	1	0	0	0

位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为 “0”。	R/W
b3	—	保留位	读写值都为 “1”。	R/W
b4	RRS	DTC 传送信息的跳读允许位	0：不跳读传送信息 1：在向量号相同时跳读传送信息	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

RRS 位 （DTC 传送信息的跳读允许位）

DTC 向量号随时和上次启动的向量号进行比较。

如果向量号相同并且 RRS 位为 “1”，就不读传送信息而进行 DTC 的数据传送。如果上次的启动为链传送，就读传送信息，与 RRS 位的值无关。

在上次的传送为正常传送并且传送计数器 （CRA 寄存器）为 “0” 时，或者在上次的传送为块传送并且传送计数器 （CRB 寄存器）为 “0” 时，都读传送信息，与 RRS 位的值无关。

18.2.8 DTC 向量基址寄存器 （DTCVBR）

地址 0008 2404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
					0	0	0	0	0	0	0	0	0	0	0	0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCVBR 寄存器设定在计算 DTC 向量表地址时的基址。
必须给低 12 位 （b11 ～ b0）写 “0”，读取值为 “0”。
忽视高 4 位 （b31 ～ b28）的写操作，通过 b27 指定的值进行位扩展。

18.2.9 DTC 地址模式寄存器 （DTCADMOD）

地址 0008 2408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHORT
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SHORT	短地址模式设定位	0：全地址模式 1：短地址模式	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

DTCADMOD 寄存器是设定 DTC 能存取的区域的寄存器。

SHORT 位 （短地址模式设定位）

在全地址模式中，能存取 4G 字节空间 （00000000h ～ FFFFFFFFh）。
在短地址模式中，能存取 16M 字节空间 （00000000h ～ 007FFFFFh 和 FF800000h ～ FFFFFFFFh）。

18.2.10 DTC 模块启动寄存器 （DTCST）

地址 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DTCST	DTC 模块启动位	0：DTC 模块停止 1：DTC 模块运行	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

DTCST 位 （DTC 模块启动位）

为了使 DTC 能接受传送请求，必须将 DTCST 位置 “1”。如果将 DTCST 位置 “0”，就不能接受新的传送请求。

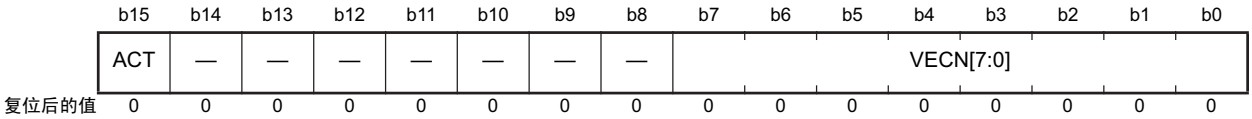
如果在运行过程中将此位改写为 “0”，已接受的传送请求就保持到处理结束为止。

在使用模块停止功能以及向全模块时钟停止模式、软件待机模式、深度软件待机模式转移时，必须将 DTCST 位置 “0”。

有关使用模块停止功能以及向全模块时钟停止模式、软件待机模式、深度软件待机模式的转移，请参照 “18.8 低功耗功能” 和 “11. 低功耗功能”。

18.2.11 DTC 状态寄存器 （DTCSTS）

地址 0008 240Eh



位	符号	位名	功能	R/W
b7-b0	VECN[7:0]	DTC 有效向量号监视位	在 DTC 传送过程中，用向量号表示该传送的启动源。 只在 DTC 传送过程中 （ACT 标志为 “1”），此值为有效值。	R
b14-b8	—	保留位	读取值为 “0”，写操作无效。	R
b15	ACT	DTC 有效标志	0：不在进行 DTC 传送 1：正在进行 DTC 传送	R

VECN[7:0] 位 （DTC 有效向量号监视位）

在 DTC 传送过程中，用向量号表示该传送的启动源。

如果在读 DTCSTS 寄存器时 ACT 标志为“1”（正在进行 DTC 传送），读到的 VECN[7:0] 就为有效值；如果在读 DTCSTS 寄存器时 ACT 标志为 “0”（不在进行 DTC 传送），读到的 VECN[7:0] 就为无效值。

DTC 启动源和向量地址的关系请参照 “15. 中断控制器 （ICUb）” 的 “表 15.3 中断向量表”。

ACT 标志 （DTC 有效标志）

表示 DTC 的传送状态。

[为 “1” 的条件]

- 当通过传送请求进行了DTC启动时

[为 “0” 的条件]

- 当对于1次传送请求DTC运行结束时

18.3 启动源

通过中断请求启动 DTC。如果将启动 DTC 的中断对应的中断控制器 （ICU）的 DTCERn.DTCE 位 （n 为中断向量号）置 “1”，该中断就为 DTC 的启动源。

DTC 启动源和向量地址的关系请参照 “15. 中断控制器 （ICUb）” 的 “表 15.3 中断向量表”。软件启动请参照 “15. 中断控制器 （ICUb）” 的 “15.2.5 软件中断启动寄存器 （SWINTR）”。

一旦接受启动请求，DTC就在该1次请求的传送结束前不接受新的启动请求，与优先级无关。如果在DMAC/DTC 传送过程中产生多个启动源，就在该传送结束时接受最高优先级的请求。如果在 DTC 模块启动位（DTCST.DTCST）为 “0” 的状态下产生多个启动请求，就在将 DTCST.DTCST 位置 “1” 时接受最高优先级的请求。

在 1 次数据传送 （在链传送时，为连续的最后传送）时， DTC 进行以下的运行：

- 在指定的总传送量的传送结束时，在数据传送后将DTCERn.DTCE位置 “0”，然后向CPU请求中断。
- 当MRB.DISEL位为 “1” 时，在数据传送后向CPU请求中断。
- 如果是上述以外的情况，就在开始数据传送时将作为启动源的中断状态标志置 “0”。

18.3.1 传送信息的分配和 DTC 向量表

DTC 按启动源从向量表读传送信息的起始地址，并且从该起始地址读传送信息。

必须分配向量表的基址（起始地址），使低 12 位变为 “0”。必须给 DTC 向量基址寄存器（DTCVBR）设定 DTC 向量表的基址。

传送信息分配在 RAM 区。对于向量表的基址，向量号 n 的传送信息 （n）的起始地址必须为地址 +4n。

能通过短地址模式（3 个长字）或者全地址模式（4 个长字）分配传送信息。通过 DTCADMOD.SHORT 位设定短地址模式 （SHORT 位 =1）或者全地址模式 （SHORT 位 =0）。

DTC 向量表和传送信息的对应如图 18.2 所示。

RAM 区内传送信息的分配如图 18.3 所示。低位地址因分配区域的字节序而不同，详细内容请参照 “18.9.2 传送信息的分配”。

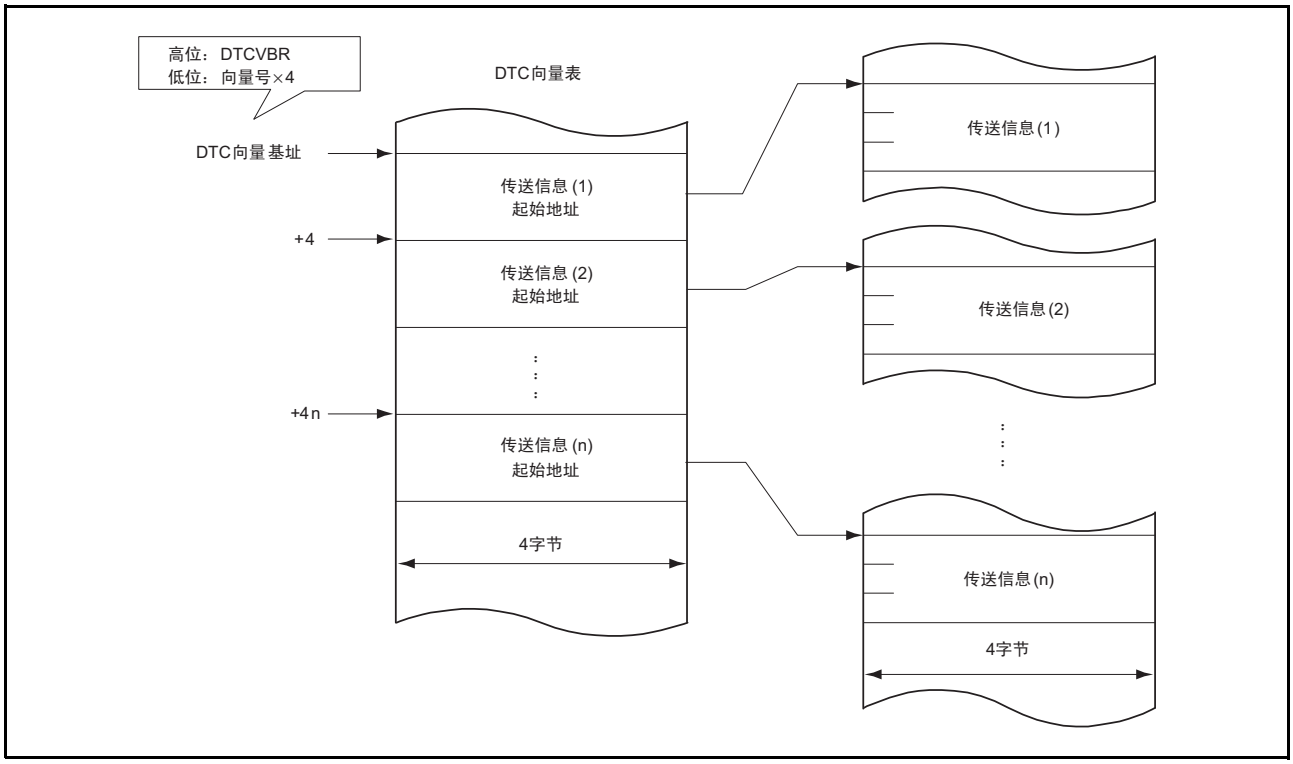


图 18.2 DTC 向量表和传送信息的对应

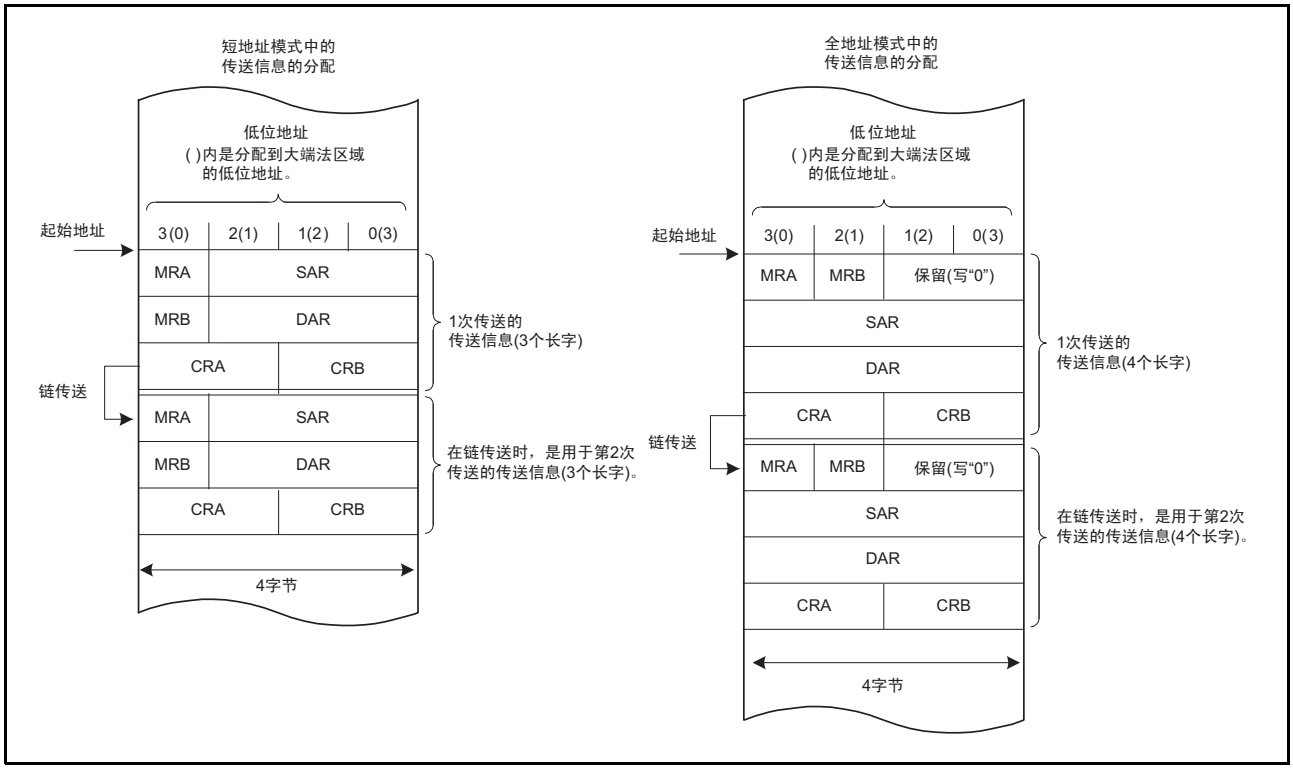


图 18.3 RAM 区内的传送信息的分配

18.4 运行说明

DTC 以传送信息为准进行数据传送。为了使 DTC 运行，需要预先将传送信息保存到 RAM 区。

一旦启动 DTC，就读与向量号对应的 DTC 向量。然后从 DTC 向量所示的传送信息的保存地址读传送信息，并且进行数据传送以及回写数据传送后的传送信息。能通过将传送信息保存到 RAM 区，进行任意个通道的数据传送。

传送模式有正常传送模式、重复传送模式和块传送模式。

DTC 通过 SAR 寄存器指定传送源地址，通过 DAR 寄存器指定传送目标地址。在传送后， SAR 寄存器和 DAR 寄存器分别递增、递减或者为地址固定。

DTC 的传送模式如表 18.2 所示。

表 18.2 DTC 的传送模式

传送模式	1 次传送请求能传送的数据长度	存储器地址的增减	能指定的传送次数
正常传送模式	1 字节 / 字 / 长字	增减 1、 2、 4 或者地址固定	1 ～ 65536 次
重复传送模式 （注 1）	1 字节 / 字 / 长字	增减 1、 2、 4 或者地址固定	1 ～ 256 次 （注 3）
块传送模式 （注 2）	CRAH 寄存器指定的块大小 （1 ～ 256 字节 / 字 / 长字）	增减 1、 2、 4 或者地址固定	1 ～ 65536 次

注 1. 将传送源或者传送目标设定为重复区域。

注 2. 将传送源或者传送目标设定为块区域。

注 3. 在指定次数的传送结束后，恢复初始状态并且继续 （重复）运行。

能通过先将 MRB.CHNE 位置 “1”，用 1 个启动源进行多次传送 （链传送）。也能通过设定 MRB.CHNS 位，在指定的数据传送结束时进行链传送的设定。

DTC 的运行流程图如**图 18.4** 所示，链传送的条件如**表 18.3** 所示。

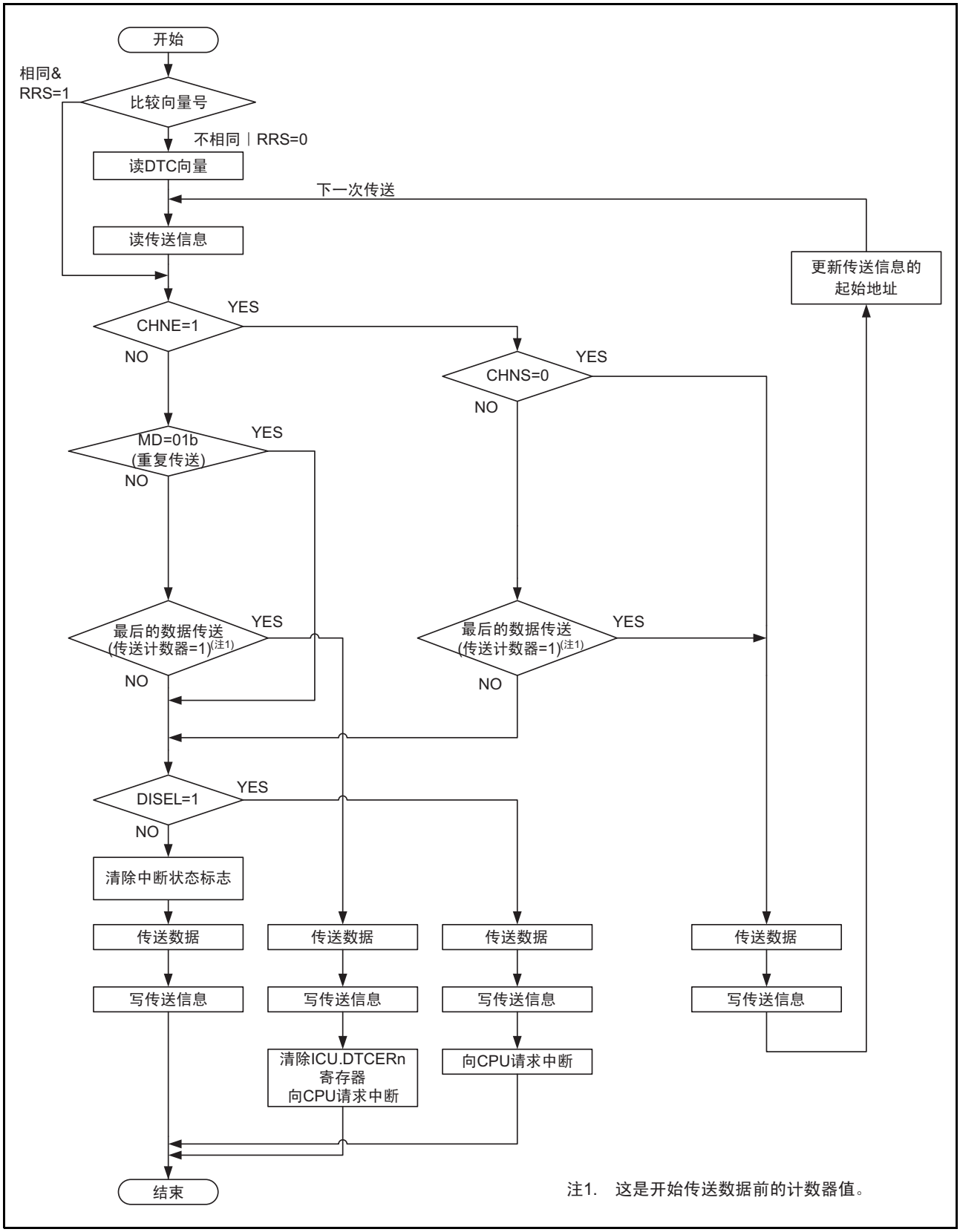


图 18.4 DTC 的运行流程图

表 18.3 链传送的条件

第 1 次传送				第 2 次传送（注 3）				DTC 传送
CHNE 位	CHNS 位	DISEL 位	传送计数器（注 1、注 2）	CHNE 位	CHNS 位	DISEL 位	传送计数器（注 1、注 2）	
0	—	0	（1→0）以外	—	—	—	—	到第 1 次传送为止结束。
0	—	0	（1→0）	—	—	—	—	到第1次传送为止结束并且向 CPU 请求中断。
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	（1→0）以外	到第 2 次传送为止结束。
				0	—	0	（1→0）	到第2次传送为止结束并且向 CPU 请求中断。
				0	—	1	—	
1	1	0	（1→*）以外	—	—	—	—	到第 1 次传送为止结束。
1	1	—	（1→*）	0	—	0	（1→0）以外	到第 2 次传送为止结束。
				0	—	0	（1→0）	到第2次传送为止结束并且向 CPU 请求中断。
				0	—	1	—	
1	1	1	（1→*）以外	—	—	—	—	到第1次传送为止结束并且向 CPU 请求中断。

注 1. 传送计数器因各传送模式而不同，各传送模式中的传送计数器如下：
正常传送模式：CRA 寄存器
重复传送模式：CRAL 寄存器
块传送模式：CRB 寄存器

注 2. 在正常传送模式或者块传送模式中，传送结束时的计数器变化为 （1→0）；在重复传送模式中，最后传送时的计数器变化为 （1→CRAH）。表中的 （1→*）表示两种情况的变化。

注 3. 在第 2 次传送或者第 2 次以后的传送时能选择链传送，但是在第 2 次传送时省略 CHNE 位为 “1” 的组合。

18.4.1 传送信息的跳读功能

能通过设定 DTCCR.RRS 位，跳读向量地址和传送信息。

在发生 DTC 启动请求时，这次启动的 DTC 向量号随时和上次启动的 DTC 向量号进行比较。如果比较结果相同并且 RRS 位为 “1”，就不读向量地址和传送信息而进行 DTC 的数据传送。如果上次启动为链传送，就读向量地址和传送信息。如果上次传送为正常传送并且传送计数器 （CRA 寄存器）变为 “0” 或者上次传送为块传送并且传送计数器 （CRB 寄存器）变为 “0”，就读传送信息，与 RRS 位的值无关。跳读传送信息的运行例子如图 18.13 所示。

要更新 DTC 向量表和传送信息时，必须先将 RRS 位置 “0” 并且在更新 DTC 向量表和传送信息后设定 RRS 位。一旦将 RRS 位置“0”，就取消被保持的向量号，在下次启动时能读被更新的 DTC 向量表和传送信息。

18.4.2 传送信息的回写省略功能

如果将 MRA.SM[1:0] 位或者 MRB.DM[1:0] 位设定为 “地址固定”，就不回写部分传送信息，此功能与短地址模式和全地址模式的设定无关。传送信息的回写省略条件以及省略回写的寄存器如表 18.4 所示。

与短地址模式和全地址模式的设定无关，回写 CRA 寄存器和 CRB 寄存器。在全地址模式中，省略 MRA 寄存器和 MRB 寄存器的回写。

表 18.4 传送信息的回写省略条件以及省略回写的寄存器

MRA.SM[1:0] 位		MRB.DM[1:0] 位		SAR 寄存器	DAR 寄存器
b3	b2	b3	b2		
0	0	0	0	省略	省略
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	省略	回写
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	回写	省略
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	回写	回写
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.3 正常传送模式

用 1 个启动源进行 1 个字节、 1 个字或者 1 个长字的传送，传送次数为 1 ～ 65536 次。

能将传送源地址和传送目标地址分别设定为递增、递减或者固定。一旦指定次数的传送结束，就能向 CPU 请求中断。

正常传送模式的寄存器功能和存储器映像分别如**表 18.5** 和**图 18.5** 所示。

表 18.5 正常传送模式的寄存器功能

寄存器	功能	回写传送信息时被回写的值
SAR	传送源地址	递增 / 递减 / 固定 （注 1）
DAR	传送目标地址	递增 / 递减 / 固定 （注 1）
CRA	传送计数器 A	CRA–1
CRB	传送计数器 B	不更新

注 1. 在地址固定的情况下，省略回写。

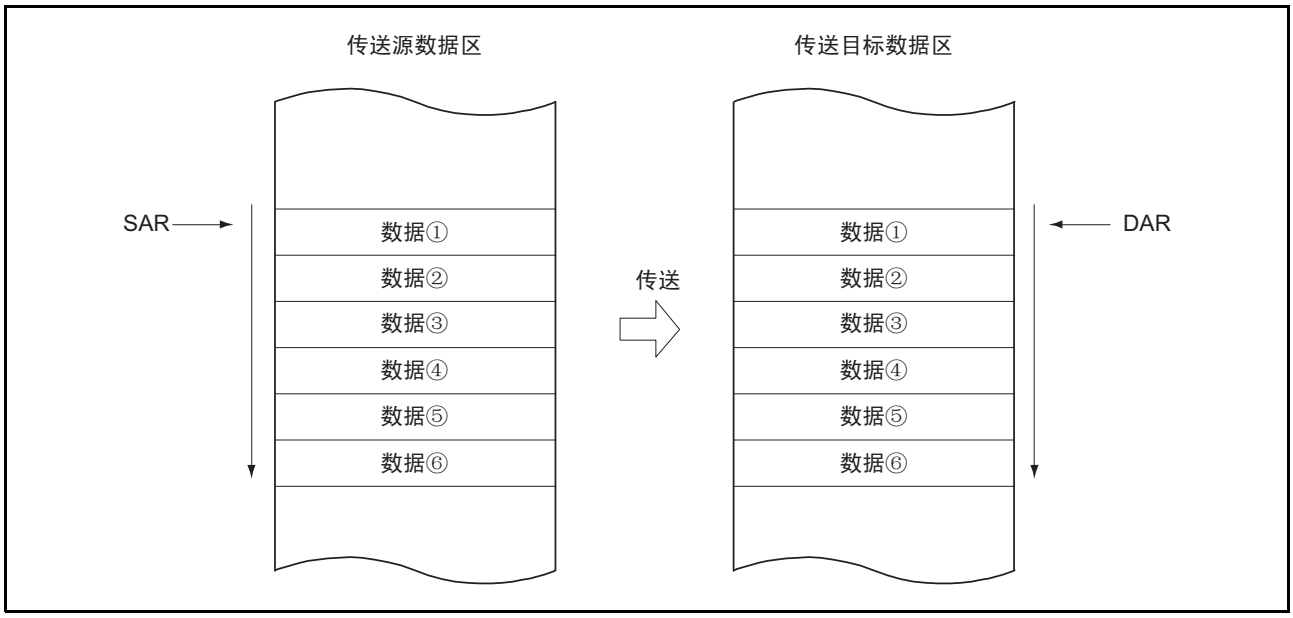


图 18.5 正常传送模式的存储器映像

18.4.4 重复传送模式

用 1 个启动源进行 1 个字节、 1 个字或者 1 个长字的传送。

通过 MRB.DTS 位将传送源或者传送目标指定为重复区域，传送次数可指定为 1 ～ 256 次。一旦指定次数的传送结束，传送计数器和被指定为重复区域的地址寄存器就恢复初始状态并且进行重复传送。其他的地址寄存器继续递增、递减或者为地址固定。

在重复传送模式中，如果传送计数器的 CRAL 寄存器的值变为“00h”，CRAL 寄存器的值就被更新为 CRAH 寄存器的设定值。因为传送计数器不变为 “00h”，所以在 MRB.DISEL 位为 “0”（在指定的数据传送结束时向 CPU 请求中断）时不向 CPU 请求中断。

重复传送模式的寄存器功能和存储器映像分别如**表 18.6** 和**图 18.6** 所示。

表 18.6 重复传送模式的寄存器功能

寄存器	功能	写传送信息时被回写的值	
		CRAL 不为 “1”	CRAL 为 “1”
SAR	传送源地址	递增 / 递减 / 固定 （注 1）	（当 MRB.DTS 位为 “0” 时） 递增 / 递减 / 固定 （注 1） （当 MRB.DTS 位为 “1” 时） SAR 寄存器的初始值
DAR	传送目标地址	递增 / 递减 / 固定 （注 1）	（当 MRB.DTS 位为 “0” 时） DAR 寄存器的初始值 （当 MRB.DTS 位为 “1” 时） 递增 / 递减 / 固定 （注 1）
CRAH	传送计数器的保持	CRAH	CRAH
CRAL	传送计数器 A	CRAL–1	CRAH
CRB	传送计数器 B	不更新	不更新

注 1. 在地址固定的情况下，省略回写。

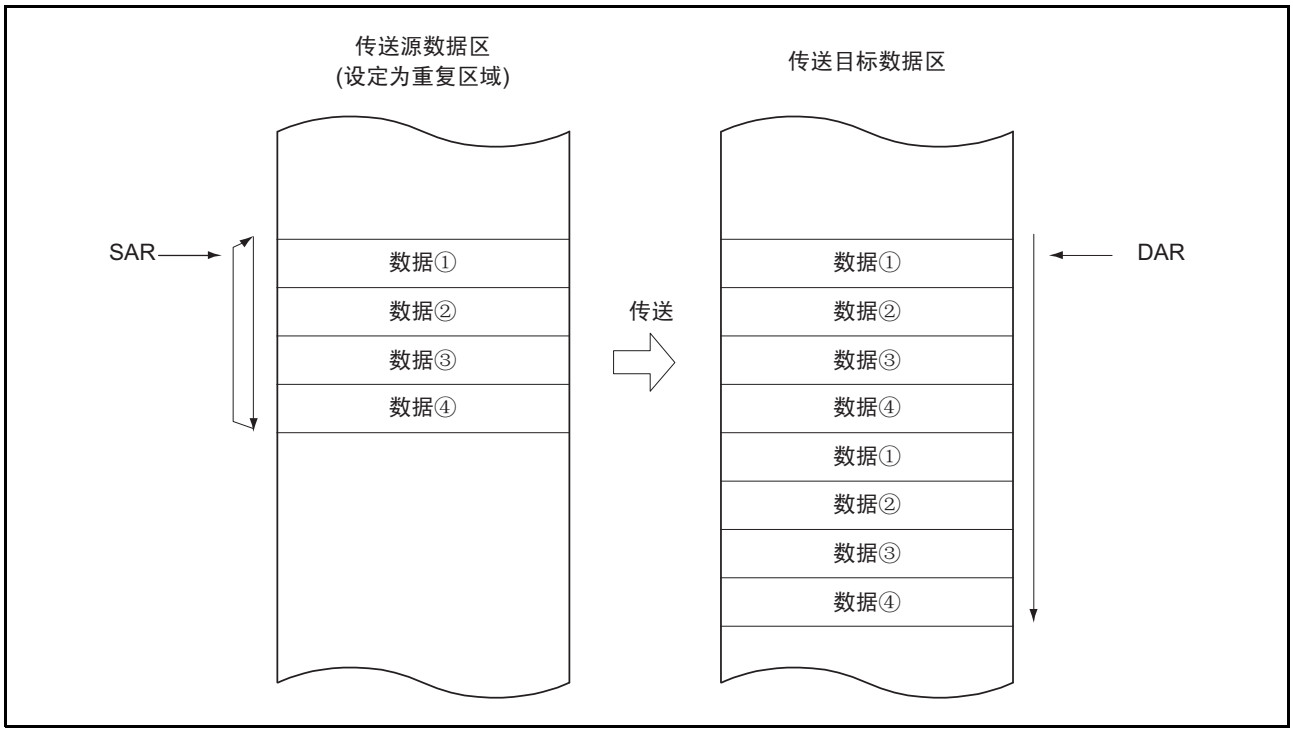


图 18.6 重复传送模式的存储器映像 （将传送源设定为重复区域的情况）

18.4.5 块传送模式

用 1 个启动源进行 1 个块的传送。

通过 MRB.DTS 位将传送源或者传送目标指定为块区域，块大小可指定为 1 ～ 256 字节 （或者 1 ～ 256 个字、 1 ～ 256 个长字）。

一旦指定的1个块的传送结束，块大小计数器的CRAL寄存器和被指定为块区域的地址寄存器（当MRB.DTS 位为 “1” 时为 SAR 寄存器，当 MRB.DTS 位为 “0” 时为 DAR 寄存器）就恢复初始状态。其他的地址寄存器继续递增、递减或者为地址固定。

传送次数 （块数）能指定为 1 ～ 65536 次。一旦指定次数的块传送结束，就能向 CPU 请求中断。

块传送模式的寄存器功能和存储器映像分别如表 18.7 和图 18.7 所示。

表 18.7 块传送模式的寄存器功能

寄存器	功能	回写传送信息时被回写的值
SAR	传送源地址	（当 MRB.DTS 位为 “0” 时） 递增 / 递减 / 固定（注 1） （当 MRB.DTS 位为 “1” 时） SAR 寄存器的初始值
DAR	传送目标地址	（当 MRB.DTS 位为 “0” 时） DAR 寄存器的初始值 （当 MRB.DTS 位为 “1” 时） 递增 / 递减 / 固定（注 1）
CRAH	块大小的保持	CRAH
CRAL	块大小计数器	CRAH
CRB	块传送次数计数器	CRB–1

注 1. 在地址固定的情况下，省略回写。

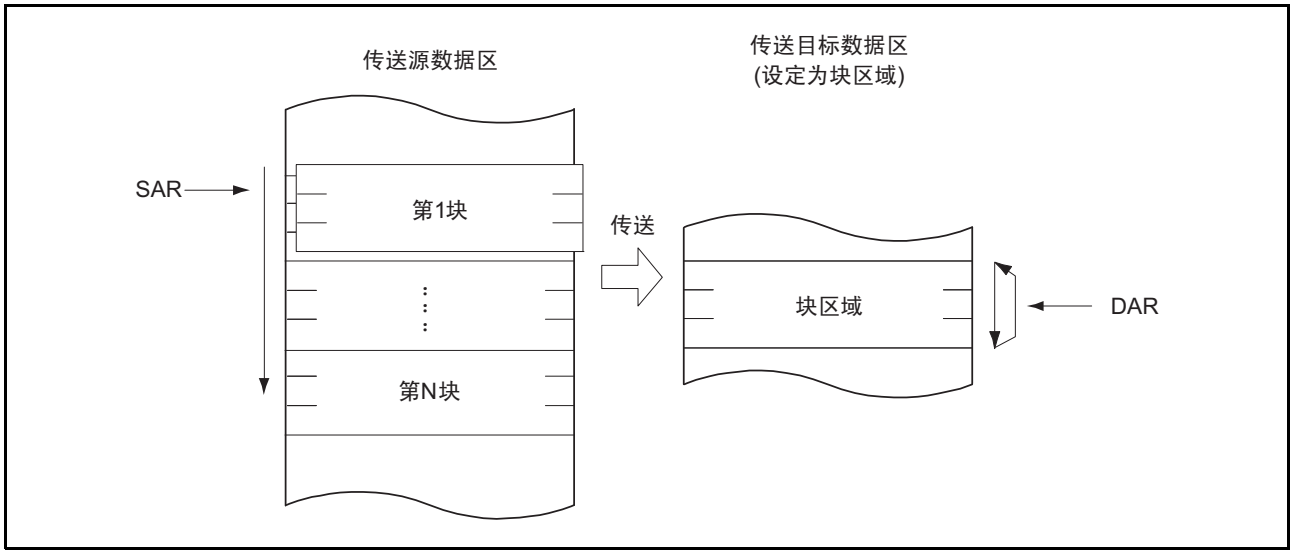


图 18.7 块传送模式的存储器映像 （将传送目标指定为块区域的情况）

18.4.6 链传送

如果将 MRB.CHNE 位置 “1”，就能进行链传送。链传送用 1 个启动源连续进行多个数据传送。

如果将 MRB.CHNE 位置 “1”并且将 MRB.CHNS 位置 “0”，就在指定的传送次数结束或者 MRB.DISEL 位为 “1”（每次进行 DTC 数据传送时向 CPU 请求中断）时不向 CPU 请求中断，并且也不影响作为启动源的中断状态标志。

能分别设定要定义数据传送的 SAR、DAR、CRA、CRB、MRA 和 MRB 寄存器。链传送的运行如**图 18.8** 所示。

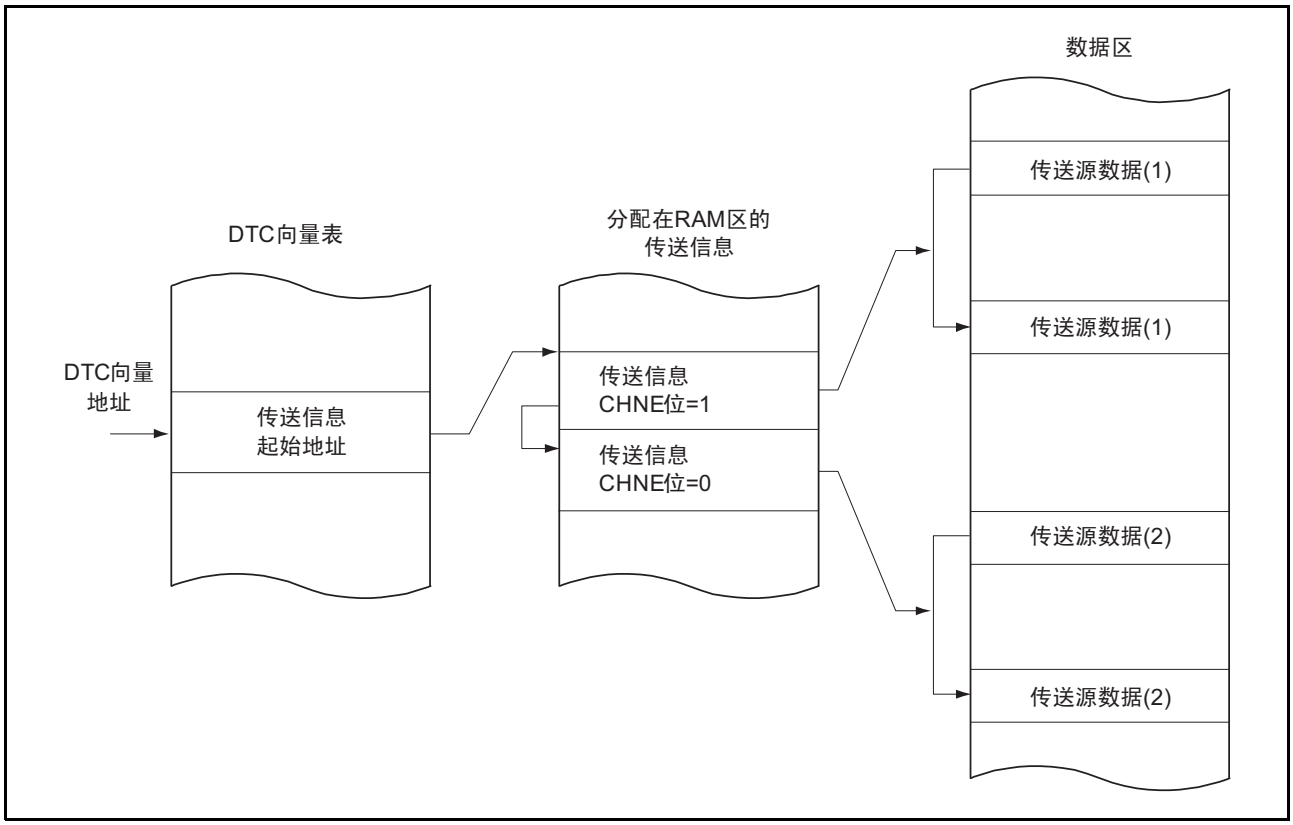


图 18.8 链传送的运行

如果将 MRB.CHNE 位和 MRB.CHNS 位置 “1”，就只在指定的数据传送结束时进行链传送。即使在重复传送模式中，也在指定的数据传送结束时进行链传送。

有关链传送条件的详细内容，请参照 **“表 18.3 链传送的条件”**。

18.4.7 运行时序

DTC 的运行时序例子如图 18.9 ～图 18.13 所示。

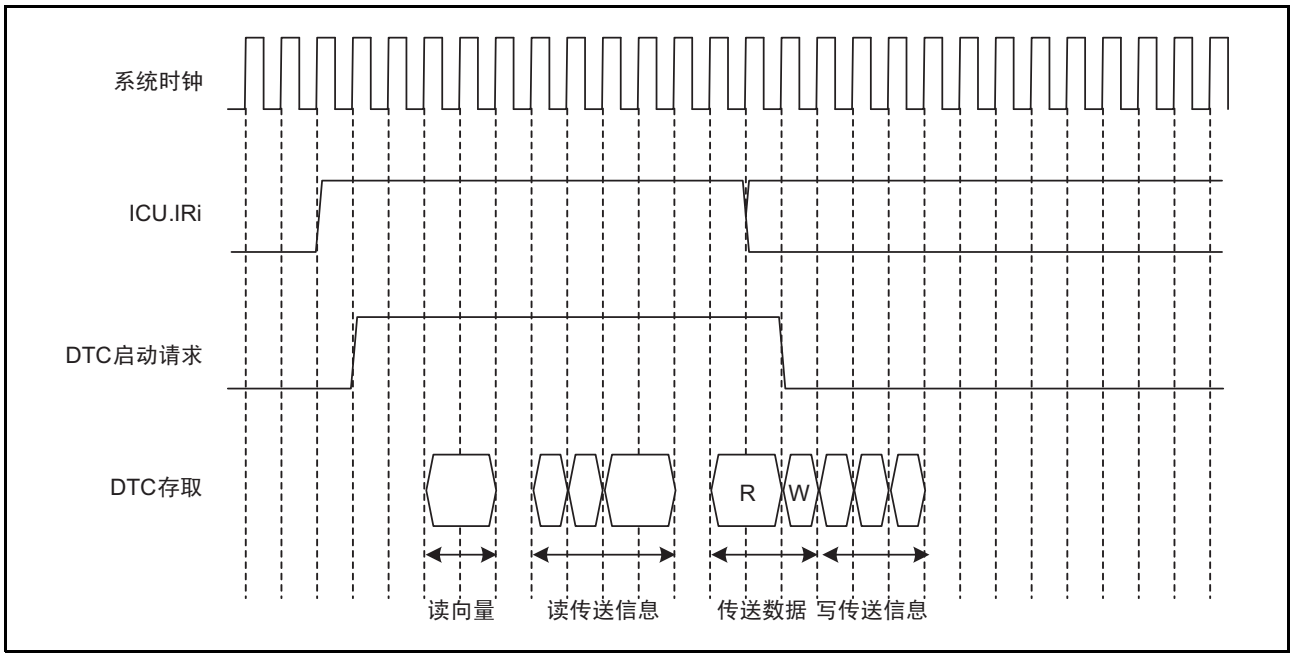


图 18.9 DTC 的运行时序例子 （1）（短地址模式、正常传送模式、重复传送模式的情况）

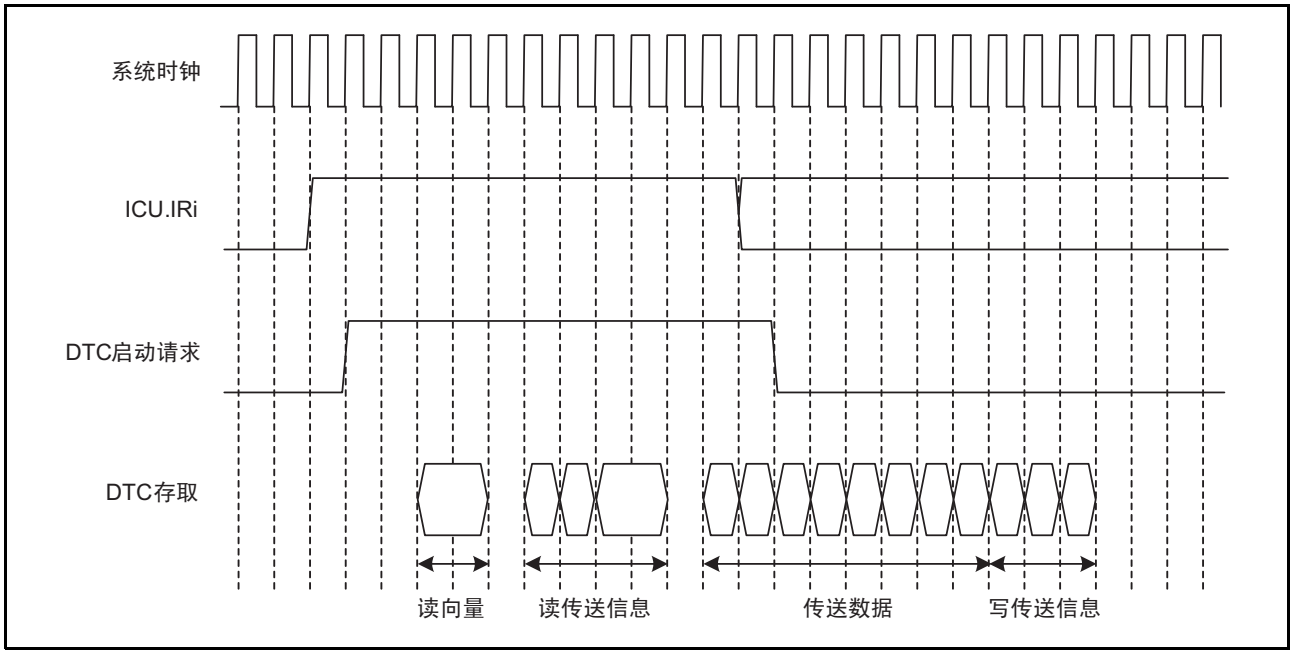


图 18.10 DTC 的运行时序例子 （2）（短地址模式、块传送模式、块大小为 “4” 的情况）

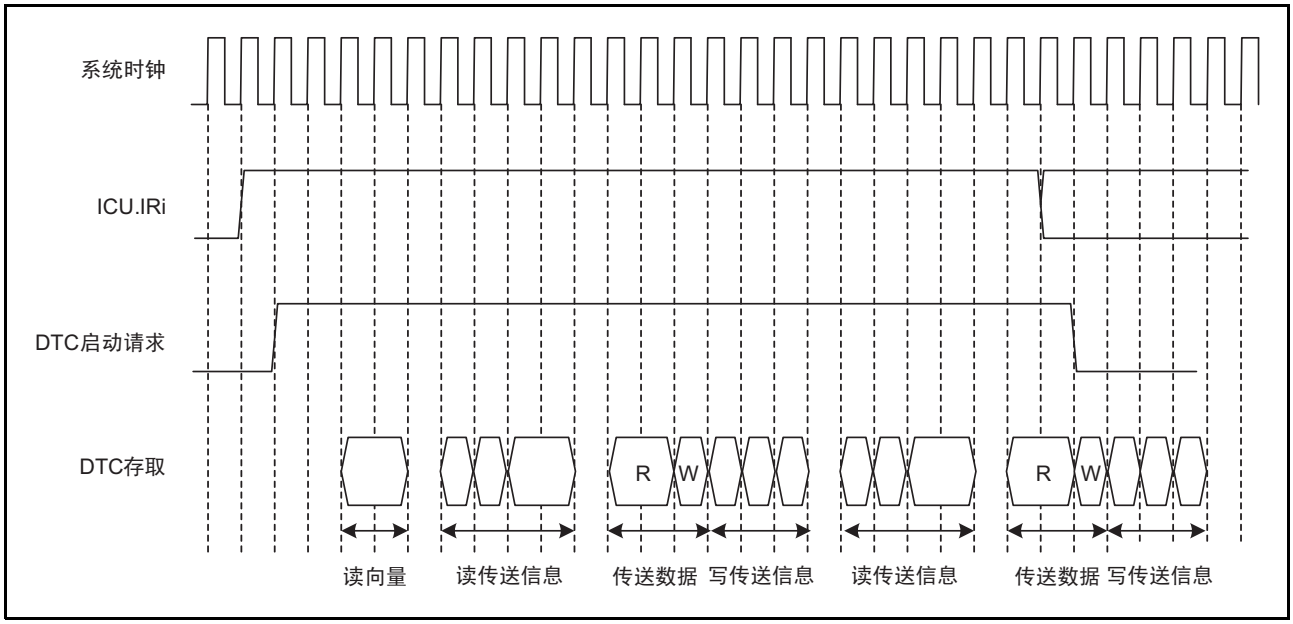


图 18.11 DTC 的运行时序例子 （3）（短地址模式、链传送的情况）

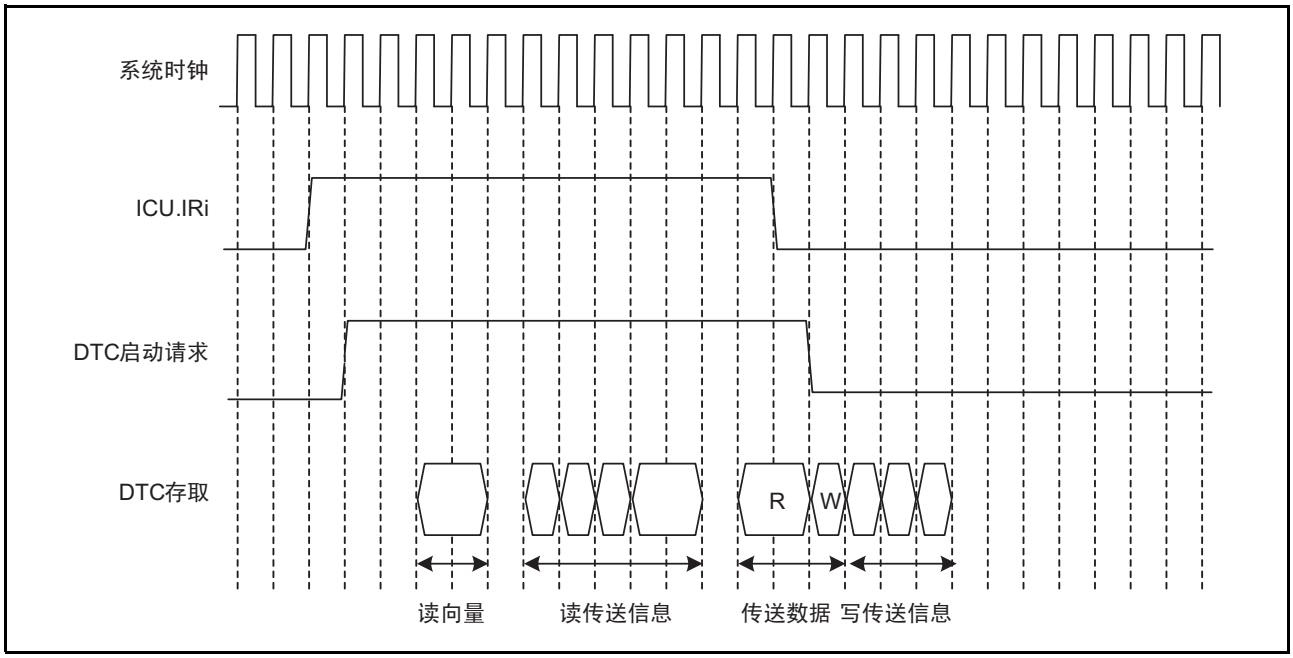


图 18.12 DTC 的运行时序例子 （4）（全地址模式、正常传送模式、重复传送模式的情况）

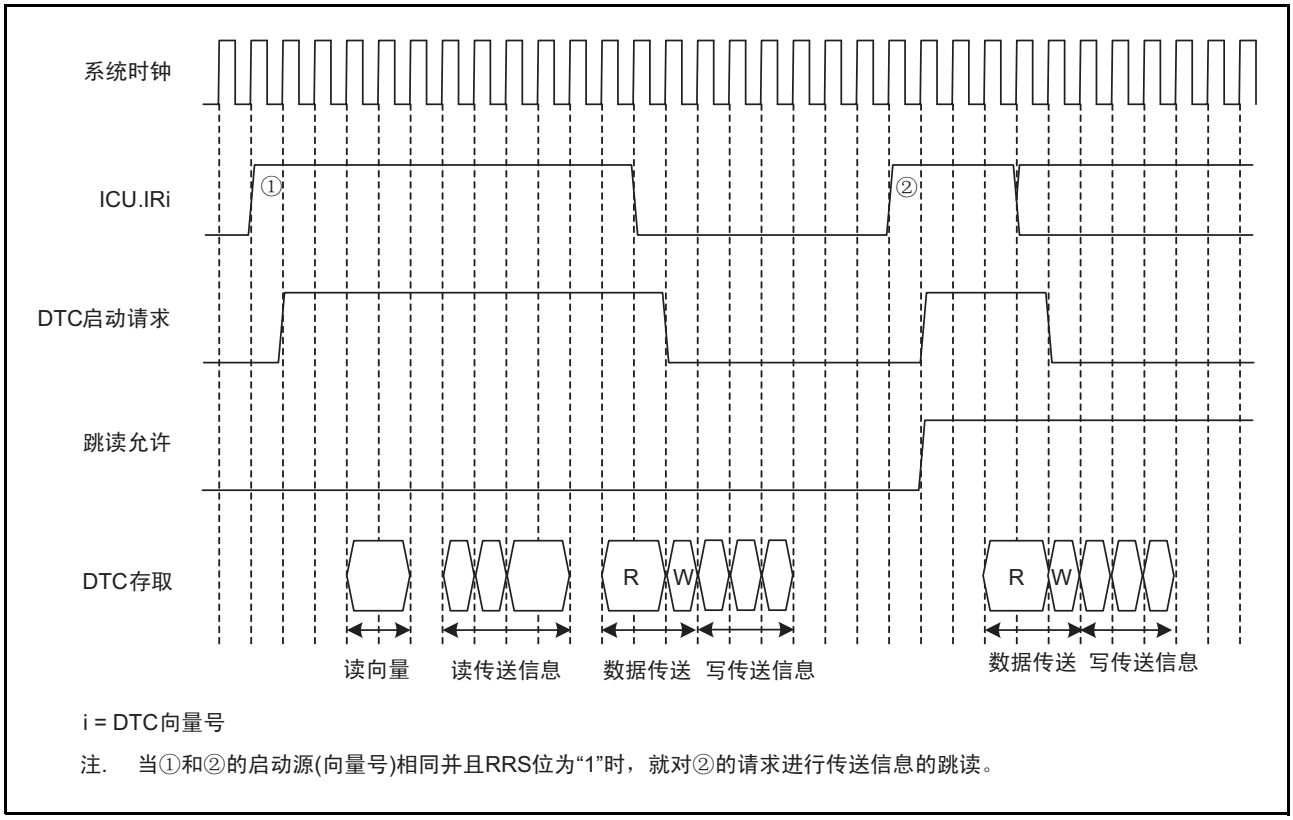


图 18.13 跳读传送信息的运行例子 （向量、传送信息、传送目标为内部 RAM，传送源为外围模块的情况）

18.4.8 DTC 的执行周期

DTC 的 1 次数据传送的执行周期如**表 18.8** 所示。

各处理状态的执行顺序请参照 “18.4.7 运行时序”。

表 18.8 DTC 的执行周期

传送模式	读向量		读传送信息			写传送信息			数据传送		内部运行	
									读	写		
正常	Cv+1	0 （注 1）	4×Ci+1 （注 2）	3×Ci+1 （注 3）	0 （注 1）	3×Ci （注 4）	2×Ci （注 5）	Ci （注 6）	Cr+1	Cw	2	0 （注 1）
重复									Cr+1	Cw		
块 （注 7）									P×Cr	P×Cw		

注 1. 这是省略传送信息的情况。

注 2. 这是全地址模式运行的情况。

注 3. 这是短地址模式运行的情况。

注 4. SAR 寄存器和 DAR 寄存器都不为地址固定的情况。

注 5. SAR 寄存器或者 DAR 寄存器为地址固定的情况。

注 6. SAR 寄存器和 DAR 寄存器为地址固定的情况。

注 7. 这是块大小大于等于 “2” 的情况。当块大小为 “1” 时，为正常传送的周期数。

P：块大小 （CRAH 寄存器和 CRAL 寄存器的设定值）

Cv：向量传送信息保存目标的存取周期

Ci：传送信息保存目标的存取周期

Cr：数据读目标的存取周期

Cw：数据写目标的存取周期

（读向量、读传送信息、读数据传送的 “+1”、内部运行的 “2” 的单位都是系统时钟 （ICLK）。）

（Cv、 Ci、 Cr 和 Cw 因存取目标而不同。各存取目标的周期数请参照 “41. RAM”、“42. ROM （保存代码的闪存）”、“5. I/O 寄存器” 和 “16.2.5 外部总线”。）

18.4.9 DTC 的总线权释放时序

在读写传送信息过程中，DTC 不释放总线权。在其他时序中，根据总线主控仲裁部决定的优先级进行总线仲裁。有关总线仲裁请参照 “16. 总线”。

18.5 DTC 的设定步骤

必须在使用 DTC 前设定 DTC 向量基址寄存器 （DTCVBR）。

启动 DTC 所需的设定步骤如图 18.14 所示。

必须将 DTC 模块启动位 （DTCST.DTCST 位）置 “1”。

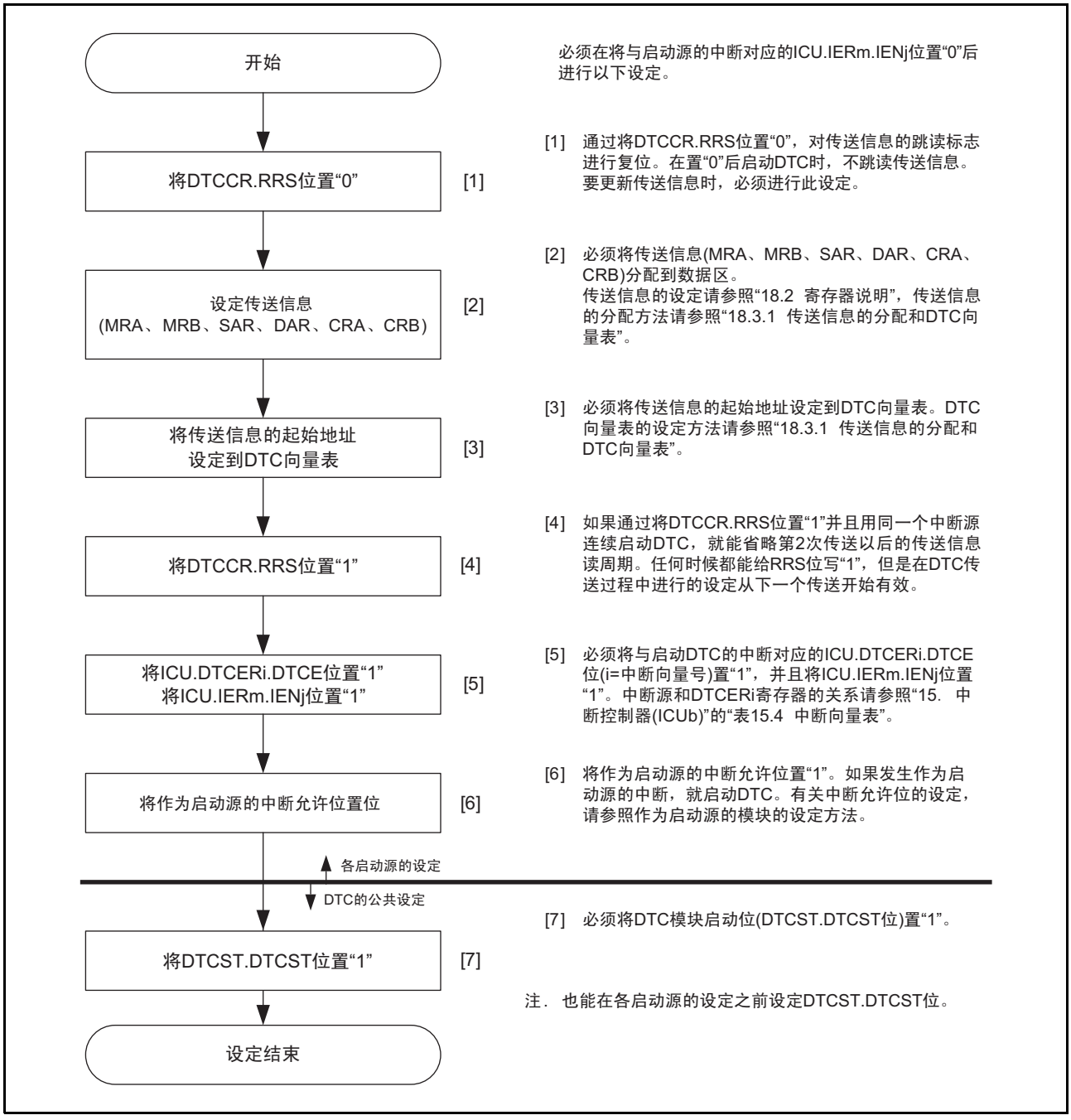


图 18.14 DTC 的设定步骤

18.6 DTC 的使用例子

18.6.1 正常传送

以 SCI 进行的 128 字节数据接收为例说明 DTC 的使用。

(1) 传送信息的设定

给 MRA 寄存器设定传送源地址固定 （MRA.SM[1:0] 位 =00b）、正常传送模式 （MRA.MD[1:0] 位 =00b）和字节大小（MRA.SZ[1:0] 位 =00b）；给 MRB 寄存器设定传送目标地址递增（MRB.DM[1:0] 位 =10b）、1 次中断进行 1 次数据传送 （MRB.CHNE 位 =0 并且 MRB.DISEL 位 =0），能给 MRB.DTS 位设定任意值；给 SAR 寄存器设定 SCIm.RDR 寄存器 （m=0 ～ 12）的地址，给 DAR 寄存器设定用于保存数据的 RAM 起始地址，并且给 CRA 寄存器设定 128 （“0080h”）。 CRB 寄存器可以是任意值。

(2) DTC 向量表的设定

将用于 RXI 中断的传送信息起始地址设定到 DTC 向量表。

(3) ICU 的设定和 DTC 模块的启动

将对应的 ICU.DTCERi.DTCE 位置 “1”，将 ICU.IERi.IENj 位和 DTCST.DTCST 位置 “1”。

(4) SCI 的设定

将 SCIm.SCR.RIE 位置“1”并且允许接收结束 （RXI）中断。如果在 SCI 接收过程中发生接收错误，就不进行以后的接收，因此必须设定为 CPU 能接受接收错误中断。

(5) DTC 传送

在每次 SCI 的 1 字节数据接收结束时发生 RXI 中断，启动 DTC。通过 DTC 将接收数据从 SCIm.RDR 寄存器传送到 RAM，并且进行 DAR 寄存器的递增和 CRA 寄存器的递减。

(6) 中断处理

如果在 128 次的数据传送结束后 CRA 寄存器变为 “0”，就向 CPU 请求 RXI 中断。必须通过中断处理程序进行结束处理。

18.6.2 链传送

以 PPG 进行的脉冲输出为例说明 DTC 的链传送。

能使用链传送进行脉冲输出数据的传送以及 PPG 输出触发周期的变更。设定为：在链传送的前半部分对 PPGm.NDRH 寄存器和 PPGm.NDRL 寄存器（m=0、1）进行重复传送，在后半部分对 MTUm.TGR 寄存器（m=0 ～ 5）进行正常传送。这是因为只能在链传送的后半部分 （MRB.CHNE 位为 “0”的传送）清除启动源以及在指定次数的传送结束时发生中断。

将 MTUm.TRGA 寄存器 （m=0 ～ 4）的比较匹配中断用作 DTC 启动源的例子如下所示。

(1) 第 1 次传送的传送信息的设定

设定对 PPGm.NDRH 寄存器和 PPGm.NDRL 寄存器的传送。给 MRA 寄存器设定传送源地址递增 （MRA.SM[1:0] 位 =10b）、重复传送模式 （MRA.MD[1:0] 位 =01b）和字长度 （MRA.SZ[1:0] 位 =01b）；给 MRB 寄存器设定传送目标地址固定 （MRB.DM[1:0] 位 =00b）、链传送 （MRB.CHNE 位 =1 并且 MRB.CHNS 位 =0），将传送源设定为重复区域 （MRB.DTS 位 =1）；给 SAR 寄存器设定数据表的起始地址，给 DAR 寄存器设定 PPGm.NDRH 寄存器的地址，并且给 CRAH 寄存器和 CRAL 寄存器设定数据表的大小。CRB 寄存器可以是任意值。

(2) 第 2 次传送的传送信息的设定

设定对 MTUm.TGRA 寄存器的传送。给 MRA 寄存器设定传送源地址递增 （MRA.SM[1:0] 位 =10b）、正常传送模式 （MRA.MD[1:0] 位 =00b）和字长度 （MRA.SZ[1:0] 位 =01b）；给 MRB 寄存器设定传送目标地址固定（MRB.DM[1:0] 位 =00b）、1 次中断进行 1 次数据传送（MRB.CHNE 位 =0 并且 MRB.DISEL 位 =0），能给 MRB.DTS 位设定任意值；给 SAR 寄存器设定数据表的起始地址，给 DAR 寄存器设定 MTUm.TGRA 寄存器的地址，并且给 CRA 寄存器设定数据表的大小。 CRB 寄存器可以是任意值。

(3) 传送信息的配置方法

在用于给 PPGm.NDRH 寄存器和 PPGm.NDRL 寄存器传送数据的信息后面连续配置给 MTU 传送数据的传送信息。

(4) DTC 向量表的设定

将用于给 PPGm.NDRH 寄存器和 PPGm.NDRL 寄存器传送数据的传送信息起始地址设定到 DTC 向量表。

(5) ICU 的设定和 DTC 模块的启动

将 TGIA 中断对应的 ICU.DTCERi.DTCE 位置 “1”，将 ICU.IERi.IENj 位和 DTCST.DTCST 位置 “1”。

(6) MTU 的设定

通过 MTUm.TIOR 寄存器将 MTUm.TGRA 寄存器设定为输出比较寄存器 （禁止输出），通过 MTUm.TIER 寄存器允许 TGImA 中断请求。

(7) PPG 的设定

给 PPGm.PODRH 寄存器和 PPGm.PODRL 寄存器设定输出的初始值，给 PPGm.NDRH 寄存器和 PPGm.NDRL 寄存器设定下一个输出值。将 PORTm.DDR 寄存器（m=1 ～ 3、7、8、A ～ D、E）以及进行 PPGm.NDRH 寄存器和 PPGm.NDRL 寄存器输出的对应位置 “1”。通过 PPGm.PCR 寄存器 （m=0、1）选择作为输出触发的 MTU 的比较匹配信号。

(8) MTU 的启动

将 MTU.TSTR.CSTj 位 （j=0 ～ 4）置 “1”，开始 MTUm.TCNT 计数器的计数。

(9) DTC 传送

在每次发生 MTUm.TGRA 寄存器的比较匹配时，将下一个输出值传送到 PPGm.NDRH 寄存器和 PPGm.NDRL 寄存器并且将下一个输出触发周期的设定值传送到 MTUm.TGRA 寄存器。

(10) 中断处理

在指定次数的传送结束后（用于 MTU 传送的 CRA 寄存器变为 “0”），向 CPU 请求 TGIAm 中断。必须通过中断处理程序进行结束处理。

18.6.3 计数器为 “0”时的链传送

只能在计数器变为 “0”时进行第 2 次数据的传送。能通过重新设定第 1 次数据的传送，至少进行 256 次的重复传送。

这是构成 128K 字节输入缓冲器的例子，假设输入缓冲器从低位地址 “0000h”开始。计数器为 “0”时的链传送如图 18.15 所示。

1. 作为第1次数据传送，设定输入数据的正常传送模式。传送源地址必须固定， CRA 寄存器为 “0000h”（65536次）， MRB.CHNE 位为 “1”（允许链传送）， MRB.CHNS 位为 “1”（只在传送计数器为 “0”时进行链传送）， MRB.DISEL 位为 “0”（在指定的数据传送结束时向 CPU 请求中断）。
2. 必须在其他区域 （ROM 等）准备第 1 次数据传送的传送目标地址的每 65536 次的起始地址高 8 位。例如，当输入缓冲器为 “200000h”～ “21FFFFh”时，准备 “21h”和 “20h”。
3. 作为第2次数据传送，设定为用于重新设定第1次数据传送的传送目标地址的重复传送模式（传送源为重复区域），传送目标为第1次传送信息区的DAR 寄存器的高8位。此时，必须将MRB.CHNE 位置 “0”（禁止链传送），并且将MRB.DISEL 位置 “0”（在指定的数据传送结束时向CPU 请求中断）。当上述输入缓冲器为 “200000h”～ “21FFFFh”时，必须将传送计数器设定为 “2”。
4. 通过中断进行65536次的第1次数据的传送。如果第1次数据传送的传送计数器变为 “0”，就启动第2次数据传送。将第 1 次数据传送的传送源地址高 8 位置 “21h”，第 1 次数据传送的传送目标地址低 16 位的传送计数器为 “0000h”。
5. 通过中断继续进行在第 1 次数据传送指定的 65536 次的第 1 次数据传送。如果第 1 次数据传送的传送计数器变为 “0”，就启动第 2 次数据传送。将第 1 次数据传送的传送源地址高 8 位置 “20h”，第 1 次的数据传送的传送目标地址低16位的传送计数器变为 “0000h”。
6. 无限重复上述的步骤4. 和步骤5.。因为第2次数据传送为重复传送模式，所以不向CPU 请求中断。

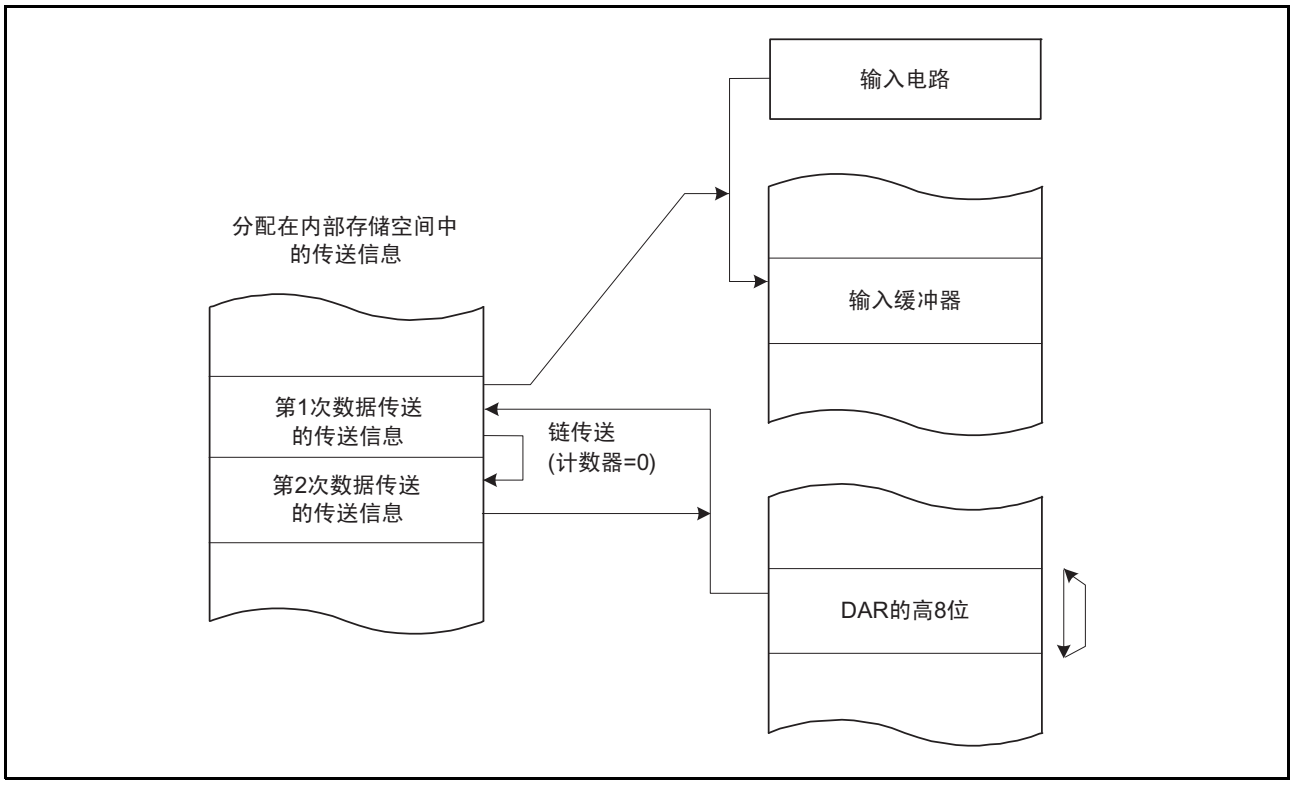


图 18.15 计数器为 “0”时的链传送

18.7 中断源

在结束 DTC 指定次数的数据传送以及结束 MRB.DISEL 位为 “1”（在每次 DTC 数据传送时向 CPU 请求中断）的数据传送时，通过启动 DTC 的中断源向 CPU 请求中断。这些向 CPU 请求的中断受 CPU 的 PSW.I 位（中断允许位）、 PSW.IPL[3:0] 位 （处理器中断优先级）和中断控制器优先级的控制。

18.8 低功耗功能

在使用模块停止功能以及向全模块时钟停止模式、软件待机模式或者深度软件待机模式转移时，必须在给 DTCST.DTCST 位写 “0”（DTC 模块停止）后分别进行以下的设定。

(1) 模块停止功能

通过给 MSTPCRA.MSTPA28 位写 “1”（转移到模块停止状态），使 DTC 的模块停止功能有效。如果在给 MSTPCRA.MSTPA28 位写 1” 时正在进行 DTC 传送，就在 DTC 传送结束后转移到模块停止状态。

不能在 MSTPCRA.MSTPA28 位为 “1” 时存取 DTC 的寄存器。

通过给 MSTPCRA.MSTPA28 位写 “0”（解除模块停止状态），解除 DTC 模块停止状态。

(2) 全模块时钟停止模式

必须按照 “11. 低功耗功能” 的 “11.6.2.1 向全模块时钟停止模式的转移” 的步骤进行设定。

如果在执行 WAIT 指令时正在进行 DTC 传送，就在 DTC 传送结束后转移到全模块时钟停止模式。

在从全模块时钟停止模式返回后，通过给 MSTPCRA.MSTPA28 位写 “0”，解除 DTC 的模块停止状态。

(3) 软件待机模式和深度软件待机模式

必须按照 “11. 低功耗功能” 的 “11.6.3.1 向软件待机模式的转移” 或者 “11.6.4.1 向深度软件待机模式的转移” 的步骤进行设定。

如果在执行 WAIT 指令时正在进行 DTC 传送，就在 DTC 传送结束后转移到软件待机模式或者深度软件待机模式。

(4) 低功耗功能的注意事项

有关 WAIT 指令和寄存器的设定步骤，请参照 “11. 低功耗功能” 的 “11.7.6 WAIT 指令的执行时序”。

要在从低功耗模式返回后进行 DTC 传送时，必须再次给 DTCST.DTCST 位写 “1”。

当全模块时钟停止模式期间或者软件待机模式期间发生的请求不是 DTC 启动请求而是 CPU 中断请求时，必须按照 “15. 中断控制器 （ICUb）” 的 “15.5.3 中断请求目标的选择” 的设定方法，在将中断请求源更改为 CPU 后执行 WAIT 指令。

18.9 使用时的注意事项

18.9.1 传送信息起始地址 / 传送源地址 / 传送目标地址

必须给向量表中指定的传送信息起始地址指定地址 4n，否则将地址的低 2 位作为 “00b” 进行存取。

18.9.2 传送信息的分配

如图 18.16 所示，在将传送信息分配到存储器时，必须根据要分配区域的字节序进行分配。

例如，当用 16 位写 CRA 和 CRB 的设定数据时，在大端法的情况下，必须将 CRA 和 CRB 的设定数据分别写到低位地址 0 和低位地址 2 ；在小端法的情况下，必须将 CRB 和 CRA 的设定数据分别写到低位地址 0 和低位地址 2。当用 32 位写 CRA 和 CRB 的设定数据时，与字节序无关，必须在将 CRA 的设定数据分配到 32 位的 MSB 侧并且将 CRB 的设定数据分配到 LSB 侧后写到低位地址 0。

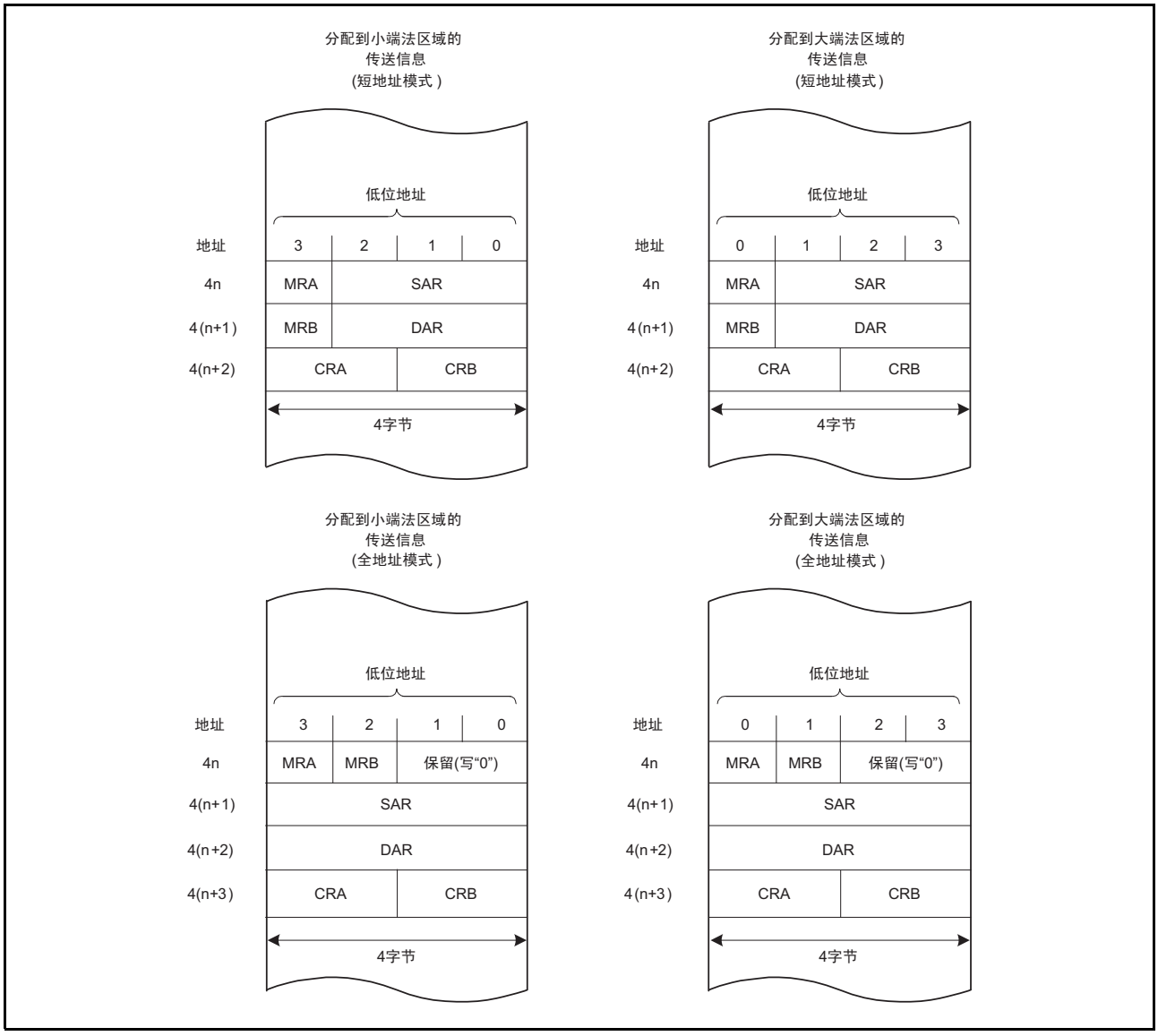


图 18.16 传送信息的分配

18.9.3 中断控制器的 DTC 启动允许寄存器 （ICU.DTCERn）的设定

必须在 DTCST.DTCST 位为“0”（DTC 模块停止）时设定 DTC 启动允许寄存器（ICU.DTCERn 寄存器）。另外，不能在将与通过 ICU.DTCERn 寄存器置 “1”（允许 DTC 传送）的中断向量号相同的中断向量号设定给 DMAC 启动请求选择寄存器 （ICU.DMRSRn （n=DMAC 通道号））后启动 DMAC。有关 ICU.DTCERn 寄存器和 ICU.DMRSRn 寄存器的详细内容，请参照 “15. 中断控制器 （ICUb）”。

19. I/O 端口

19.1 概要

RX630 群的 I/O 端口用作可编程输入 / 输出端口、外围功能的输入 / 输出、中断输入引脚或者总线控制引脚。

各端口兼用外围模块的输入 / 输出引脚和中断输入引脚。在复位后立即变为输入端口，通过设定寄存器进行功能的切换。各端口的设定取决于 I/O 端口的寄存器设定和内部外围模块的寄存器设定。

各端口有指定输入 / 输出的端口方向寄存器（PDR）、保存输出数据的端口输出数据寄存器（PODR）、反映引脚状态的端口输入数据寄存器（PIDR）、选择引脚输出形态的漏极开路控制寄存器 y（ODRy）（y=0、1）、控制输入上拉 MOS 的 ON/OFF 的上拉控制寄存器（PCR）、控制驱动能力切换的驱动能力控制寄存器（DSCR）以及指定功能引脚的端口模式寄存器（PMR）。有关 PMR 寄存器的详细内容，请参照“20. 多功能引脚控制器（MPC）”。

I/O 端口的结构因封装而不同， I/O 端口的规格和功能分别如表 19.1 和表 19.2 所示。

表 19.1 I/O 端口的规格

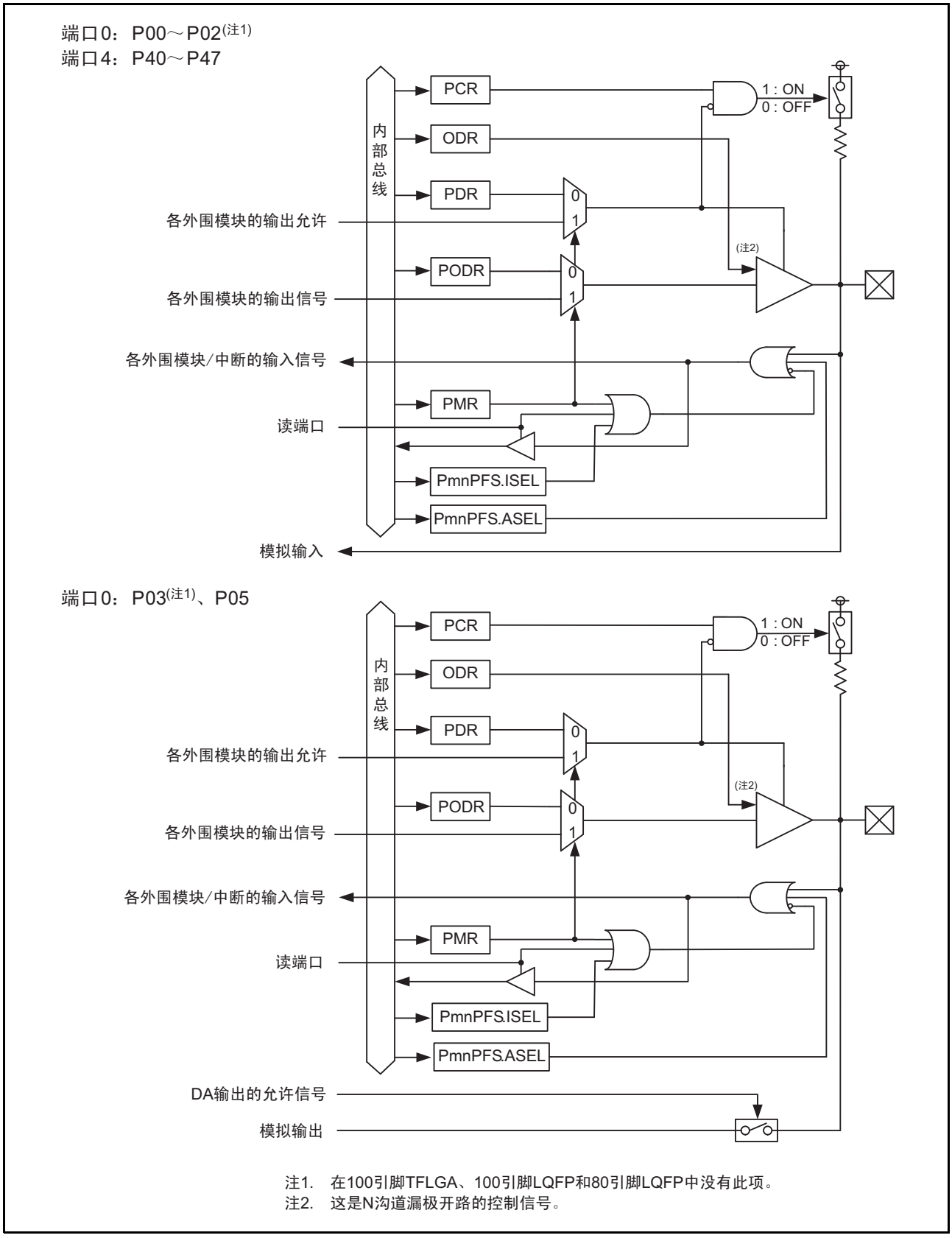
端口符号	封装		封装		封装		封装	
	177 引脚、 176 引脚	个数	145 引脚、 144 引脚	个数	100 引脚	个数	80 引脚	个数
PORT0	P00 ～ P03、P05、P07	6	P00 ～ P03、P05、P07	6	P05、 P07	2	P05、 P07	2
PORT1	P10 ～ P17	8	P12 ～ P17	6	P12 ～ P17	6	P12 ～ P17	6
PORT2	P20 ～ P27	8	P20 ～ P27	8	P20 ～ P27	8	P20、P21、P26、P27	4
PORT3	P30 ～ P37	8	P30 ～ P37	8	P30 ～ P37	8	P30 ～ P32、P34 ～ P37	7
PORT4	P40 ～ P47	8	P40 ～ P47	8	P40 ～ P47	8	P40 ～ P47	8
PORT5	P50 ～ P57	8	P50 ～ P56	7	P50 ～ P55	6	P54、 P55	2
PORT6	P60 ～ P67	8	P60 ～ P67	8	无	0	无	0
PORT7	P70 ～ P77	8	P70 ～ P77	8	无	0	无	0
PORT8	P80 ～ P87	8	P80 ～ P83、 P86、 P87	6	无	0	无	0
PORT9	P90 ～ P97	8	P90 ～ P93	4	无	0	无	0
PORTA	PA0 ～ PA7	8	PA0 ～ PA7	8	PA0 ～ PA7	8	PA0 ～ PA6	7
PORTB	PB0 ～ PB7	8	PB0 ～ PB7	8	PB0 ～ PB7	8	PB0 ～ PB7	8
PORTC	PC0 ～ PC7	8	PC0 ～ PC7	8	PC0 ～ PC7	8	PC2 ～ PC7	6
PORTD	PD0 ～ PD7	8	PD0 ～ PD7	8	PD0 ～ PD7	8	PD0 ～ PD2	3
PORTE	PE0 ～ PE7	8	PE0 ～ PE7	8	PE0 ～ PE7	8	PE0 ～ PE5	6
PORTF	PF0 ～ PF5	6	PF5	1	无	0	无	0
PORTG	PG0 ～ PG7	8	无	0	无	0	无	0
PORTH	PH4、 PH5	2	无	0	无	0	无	0
PORTJ	PJ3、 PJ5	2	PJ3、 PJ5	2	PJ3	1	无	0
PORTK	PK0 ～ PK7	8	PK2 ～ PK5	4	无	0	无	0
PORTL	PL0 ～ PL4	5	PL0、 PL1	2	无	0	无	0
端口总数		149	端口总数	118	端口总数	79	端口总数	59

表 19.2 I/O 端口的功能

端口符号	端口	输入上拉功能	漏极开路输出功能	驱动能力切换功能	5V 容许
PORT0	P00 ～ P02	○	○	○	—
	P03、 P05	○	○	固定为高驱动输出	—
	P07	○	○	固定为高驱动输出	○
PORT1	P10、 P11	○	○	固定为高驱动输出	—
	P12 ～ P17	○	○	固定为高驱动输出	○
PORT2	P20 ～ P25	○	○	固定为高驱动输出	○
	P26	○	○	固定为高驱动输出	—
	P27	○	○	○	—
PORT3	P30 ～ P34	○	○	固定为高驱动输出	○
	P35	—	—	—	—
	P36	○	○	固定为正常输出	—
	P37	○	○	固定为高驱动输出	—
PORT4	P40 ～ P47	○	○	固定为正常输出	—
PORT5	P50 ～ P52、 P56、 P57	○	○	○	○
	P53	○	○	固定为高驱动输出	—
	P54、 P55	○	○	固定为高驱动输出	○
PORT6	P60 ～ P66	○	○	○	—
	P67	○	○	○	○
PORT7	P70 ～ P73	○	○	○	—
	P74 ～ P77	○	○	○	○
PORT8	P80 ～ P82	○	○	固定为高驱动输出	○
	P83 ～ P87	○	○	固定为高驱动输出	—
PORT9	P90 ～ P97	○	○	○	—
PORTA	PA0、 PA5、 PA7	○	○	○	—
	PA1 ～ PA4、 PA6	○	○	○	○
PORTB	PB0 ～ PB7	○	○	○	○
PORTC	PC0 ～ PC7	○	○	○	○
PORTD	PD0 ～ PD7	○	○	○	—
PORTE	PE0 ～ PE7	○	○	○	—
PORTF	PF0 ～ PF5	○	○	固定为高驱动输出	—
PORTG	PG0、 PG1	○	○	○	—
	PG2 ～ PG7	○	○	固定为高驱动输出	—
PORTH	PH4、 PH5	○	○	固定为高驱动输出	—
PORTJ	PJ3、 PJ5	○	○	固定为高驱动输出	—
PORTK	PK0 ～ PK7	○	○	固定为高驱动输出	—
PORTL	PL0 ～ PK4	○	○	固定为高驱动输出	—

输入上拉功能、漏极开路输出功能、驱动能力切换功能和 5V 容许的设定也对通用输入 / 输出端口和引脚复用的其他信号有效。

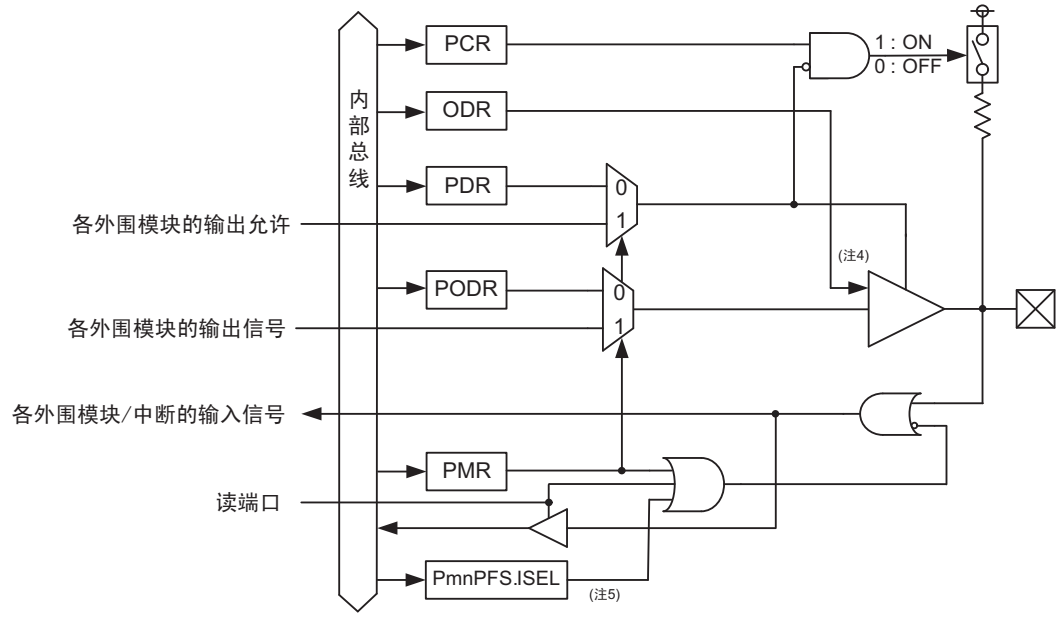
19.2 输入 / 输出端口的结构



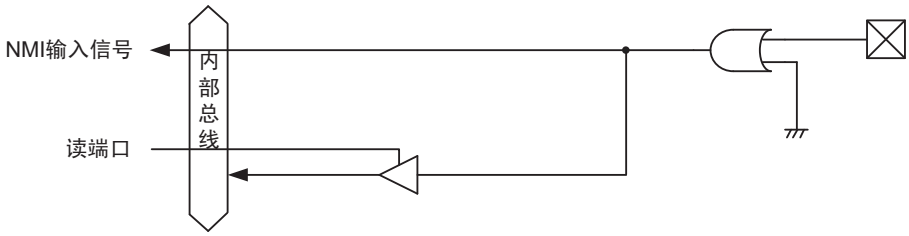
注1. 在100引脚TFLGA、100引脚LQFP和80引脚LQFP中没有此项。
注2. 这是N沟道漏极开路的控制信号。

图 19.1 输入 / 输出端口的结构 （1）

端口0：P07
端口1：P10(注1～注3)、P11(注1～注3)、P12～P17
端口2：P20、P21、P22(注3)、P23(注3)
端口3：P30～P32、P33(注3)、P34、P36、P37
端口7：P70(注2、注3)
端口8：P80～P83(注2、注3)、P84(注1～注3)、P85(注1～注3)、P86(注2、注3)、P87(注2、注3)
端口A：PA0～PA6、PA7(注3)
端口F：PF0～PF4(注1～注3)、PF5(注2、注3)
端口H：PH4(注1～注3)、PH5(注1～注3)
端口J：PJ3(注3)、PJ5(注2、注3)
端口K：PK0(注1～注3)、PK1(注1～注3)、PK2～PK5(注2、注3)、PK6(注1～注3)、PK7(注1～注3)
端口L：PL0(注2、注3)、PL1(注2、注3)、PL2～PL4(注1～注3)



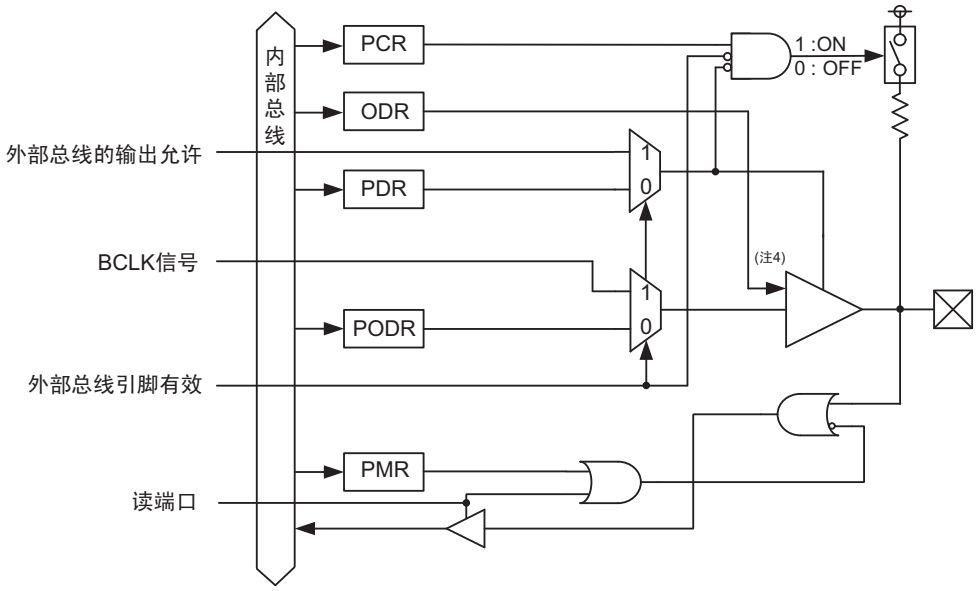
端口3：P35



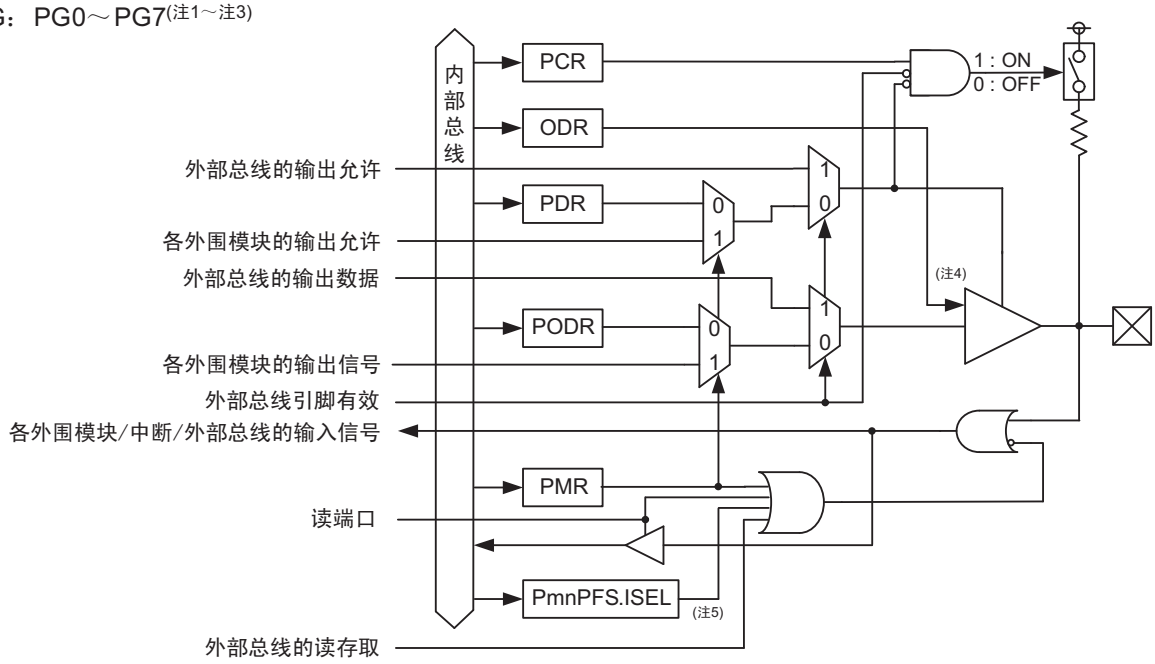
注1. 145引脚TFLGA和144引脚LQFP没有此项。
注2. 100引脚TFLGA和100引脚LQFP没有此项。
注3. 80引脚LQFP没有此项。
注4. 这是N沟道漏极开路的控制信号。
注5. 这是具有外部中断功能的引脚。

图 19.2 输入 / 输出端口的结构 （2）

端口5：P53(注3)



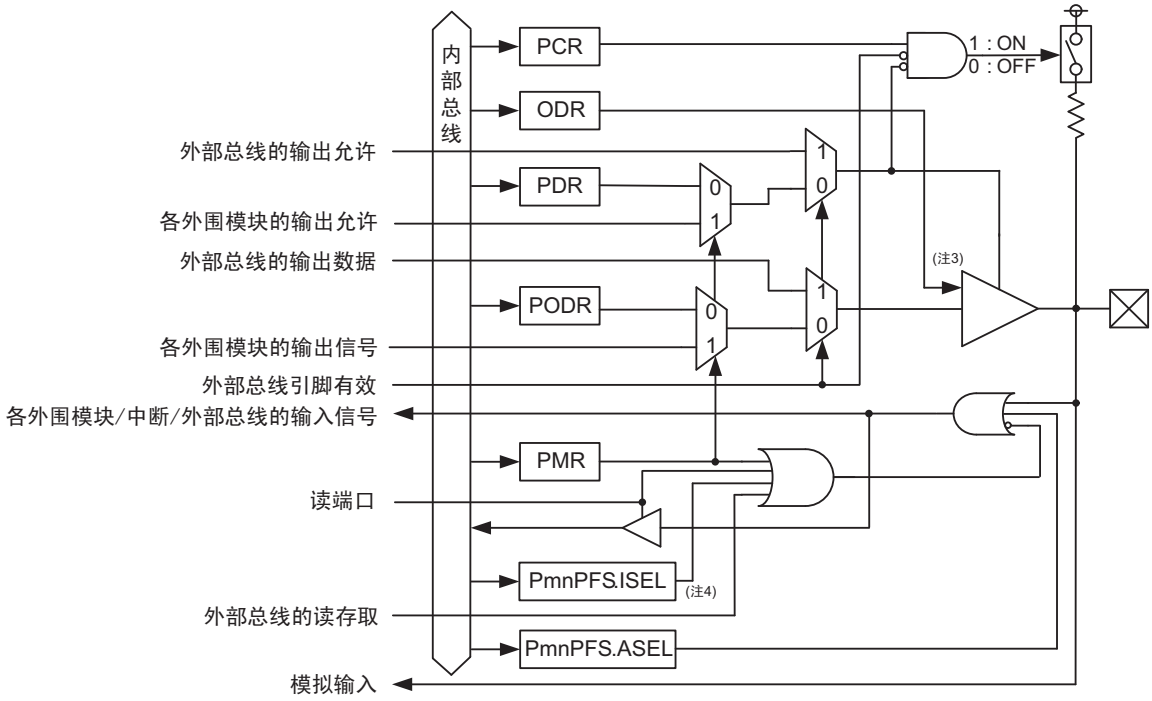
端口2：P24(注3)、P25(注3)、P26、P27
端口5：P50～P52(注3)、P54、P55、P56(注2、注3)、P57(注1～注3)
端口6：P60～P67(注2、注3)
端口7：P71～P77(注2、注3)
端口9：P94～P97(注1～注3)
端口A：PA0～PA6、PA7(注3)
端口B：PB0～PB7
端口C：PC0(注3)、PC1(注3)、PC2～PC7
端口G：PG0～PG7(注1～注3)



注1. 145引脚TFLGA和144引脚LQFP没有此项。
注2. 100引脚TFLGA和100引脚LQFP没有此项。
注3. 80引脚LQFP没有此项。
注4. 这是N沟道漏极开路的控制信号。
注5. 这是具有外部中断功能的引脚。

图 19.3 输入 / 输出端口的结构 （3）

端口9：P90～P93(注1、注2)
端口D：PD0～PD2、PD3～PD7(注2)
端口E：PE0～PE5、PF6(注2)、PE7(注2)



注1. 100引脚TFLGA和100引脚LQFP没有此项。
注2. 80引脚LQFP没有此项。
注3. 这是N沟道漏极开路的控制信号。
注4. 这是具有外部中断功能的引脚。

图 19.4 输入 / 输出端口的结构 （4）

19.3 寄存器说明

19.3.1 端口方向寄存器 （PDR）

地址 PORT0.PDR 0008 C000h、PORT1.PDR 0008 C001h、PORT2.PDR 0008 C002h、PORT3.PDR 0008 C003h、PORT4.PDR 0008 C004h、PORT5.PDR 0008 C005h、PORT6.PDR 0008 C006h、PORT7.PDR 0008 C007h、PORT8.PDR 0008 C008h、PORT9.PDR 0008 C009h、PORTA.PDR 0008 C00Ah、PORTB.PDR 0008 C00Bh、PORTC.PDR 0008 C00Ch、PORTD.PDR 0008 C00Dh、PORTE.PDR 0008 C00Eh、PORTF.PDR 0008 C00Fh、PORTG.PDR 0008 C010h、PORTH.PDR 0008 C011h、PORTJ.PDR 0008 C012h、PORTK.PDR 0008 C013h、PORTL.PDR 0008 C014h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pm0 方向控制位	0：输入 （用作输入端口） 1：输出 （用作输出端口）	R/W
b1	B1	Pm1 方向控制位		R/W
b2	B2	Pm2 方向控制位		R/W
b3	B3	Pm3 方向控制位		R/W
b4	B4	Pm4 方向控制位		R/W
b5	B5	Pm5 方向控制位		R/W
b6	B6	Pm6 方向控制位		R/W
b7	B7	Pm7 方向控制位		R/W

m=0 ～ 9、 A ～ H、 J ～ L

PDR 寄存器是在选择了通用输入 / 输出端口功能时指定端口输入 / 输出的寄存器。

PORTm.PDR 寄存器的各位分别对应端口 m 的 1 个引脚，并且以 1 位为单位进行指定。但是，对于不满 176 引脚的产品，不存在的端口 m 的引脚的位为保留位，并且必须写 “1”（输出）。

因为 P35 引脚为输入专用引脚，所以 PORT3.PDR.B5 位为保留位。

不存在的引脚的位为保留位，保留位的读写值都为 “0”。

19.3.2 端口输出数据寄存器 （PODR）

地址 PORT0.PODR 0008 C020h、PORT1.PODR 0008 C021h、PORT2.PODR 0008 C022h、PORT3.PODR 0008 C023h、PORT4.PODR 0008 C024h、PORT5.PODR 0008 C025h、PORT6.PODR 0008 C026h、PORT7.PODR 0008 C027h、PORT8.PODR 0008 C028h、PORT9.PODR 0008 C029h、PORTA.PODR 0008 C02Ah、PORTB.PODR 0008 C02Bh、PORTC.PODR 0008 C02Ch、PORTD.PODR 0008 C02Dh、PORTE.PODR 0008 C02Eh、PORTF.PODR 0008 C02Fh、PORTG.PODR 0008 C030h、PORTH.PODR 0008 C031h、PORTJ.PODR 0008 C032h、PORTK.PODR 0008 C033h、PORTL.PODR 0008 C034h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pm0 输出数据保存位	0：输出 Low 电平 1：输出 High 电平	R/W
b1	B1	Pm1 输出数据保存位		R/W
b2	B2	Pm2 输出数据保存位		R/W
b3	B3	Pm3 输出数据保存位		R/W
b4	B4	Pm4 输出数据保存位		R/W
b5	B5	Pm5 输出数据保存位		R/W
b6	B6	Pm6 输出数据保存位		R/W
b7	B7	Pm7 输出数据保存位		R/W

m=0 ～ 9、 A ～ H、 J ～ L

PODR 寄存器保存用作通用输出端口的引脚输出数据。

对于不满 176 引脚的产品，不存在的端口 m 的引脚的位为保留位，并且必须写 “0”（输出 Low 电平）。

因为 P35 引脚为输入专用引脚，所以 PORT3.PODR.B5 位为保留位。即使写值也不影响引脚。

不存在的引脚的位为保留位，保留位的读写值都为 “0”。

19.3.3 端口输入数据寄存器 （PIDR）

地址 PORT0.PIDR 0008 C040h、PORT1.PIDR 0008 C041h、PORT2.PIDR 0008 C042h、PORT3.PIDR 0008 C043h、PORT4.PIDR 0008 C044h、PORT5.PIDR 0008 C045h、PORT6.PIDR 0008 C046h、PORT7.PIDR 0008 C047h、PORT8.PIDR 0008 C048h、PORT9.PIDR 0008 C049h、PORTA.PIDR 0008 C04Ah、PORTB.PIDR 0008 C04Bh、PORTC.PIDR 0008 C04Ch、PORTD.PIDR 0008 C04Dh、PORTE.PIDR 0008 C04Eh、PORTF.PIDR 0008 C04Fh、PORTG.PIDR 0008 C050h、PORTH.PIDR 0008 C051h、PORTJ.PIDR 0008 C052h、PORTK.PIDR 0008 C053h、PORTL.PIDR 0008 C054h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b0	B0	Pm0 位	0：输入 Low 电平 1：输入 High 电平	R
b1	B1	Pm1 位		R
b2	B2	Pm2 位		R
b3	B3	Pm3 位		R
b4	B4	Pm4 位		R
b5	B5	Pm5 位		R
b6	B6	Pm6 位		R
b7	B7	Pm7 位		R

m=0 ～ 9、 A ～ H、 J ～ L

PIDR 寄存器是反映端口引脚状态的寄存器。

如果读 PORTm.PIDR 寄存器，就能读到引脚状态，与 PORTm.PDR 寄存器和 PORTm.PMR 的值无关。

P35 引脚能读 NMI 引脚的状态。

不存在的引脚的位为保留位，保留位的读取值为不定值，写操作无效。

19.3.4 端口模式寄存器 （PMR）

地址 PORT0.PMR 0008 C060h、PORT1.PMR 0008 C061h、PORT2.PMR 0008 C062h、PORT3.PMR 0008 C063h、PORT4.PMR 0008 C064h、PORT5.PMR 0008 C065h、PORT6.PMR 0008 C066h、PORT7.PMR 0008 C067h、PORT8.PMR 0008 C068h、PORT9.PMR 0008 C069h、PORTA.PMR 0008 C06Ah、PORTB.PMR 0008 C06Bh、PORTC.PMR 0008 C06Ch、PORTD.PMR 0008 C06Dh、PORTE.PMR 0008 C06Eh、PORTF.PMR 0008 C06Fh、PORTG.PMR 0008 C070h、PORTH.PMR 0008 C071h、PORTJ.PMR 0008 C072h、PORTK.PMR 0008 C073h、PORTL.PMR 0008 C074h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pm0 引脚模式控制位	0：用作通用输入 / 输出端口 1：用作外围功能	R/W
b1	B1	Pm1 引脚模式控制位		R/W
b2	B2	Pm2 引脚模式控制位		R/W
b3	B3	Pm3 引脚模式控制位		R/W
b4	B4	Pm4 引脚模式控制位		R/W
b5	B5	Pm5 引脚模式控制位		R/W
b6	B6	Pm6 引脚模式控制位		R/W
b7	B7	Pm7 引脚模式控制位		R/W

m=0 ～ 9、 A ～ H、 J ～ L

PORTm.PMR 寄存器的各位分别对应端口 m 的 1 个引脚，并且能以 1 位为单位进行指定。但是，对于不满 176 引脚的产品，不存在的端口 m 的引脚的位为保留位，并且必须写 “0”（通用输入 / 输出端口）。

不存在的引脚的位为保留位，保留位的读写值都为 “0”。

19.3.5 漏极开路控制寄存器 0（ODR0）

地址 PORT0.ODR0 0008 C080h、PORT1.ODR0 0008 C082h、PORT2.ODR0 0008 C084h、PORT3.ODR0 0008 C086h、PORT4.ODR0 0008 C088h、PORT5.ODR0 0008 C08Ah、PORT6.ODR0 0008 C08Ch、PORT7.ODR0 0008 C08Eh、PORT8.ODR0 0008 C090h、PORT9.ODR0 0008 C092h、PORTA.ODR0 0008 C094h、PORTB.ODR0 0008 C096h、PORTC.ODR0 0008 C098h、PORTD.ODR0 0008 C09Ah、PORTE.ODR0 0008 C09Ch、PORTF.ODR0 0008 C09Eh、PORTG.ODR0 0008 C0A0h、PORTJ.ODR0 0008 C0A4h、PORTK.ODR0 0008 C0A6h、PORTL.ODR0 0008 C0A8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pm0 输出形态指定位	• 端口 PE1 以外的情况 奇数位 偶数位 x 0：CMOS 输出 x 1：N 沟道漏极开路 （b1、 b3、 b5、 b7：保留位） • 端口 PE1 的情况 b3 b2 0 0：CMOS 输出 0 1：N 沟道漏极开路 1 0：P 沟道漏极开路 1 1：不能设定	R/W
b1	—	保留位		R/W
b2	B2	Pm1 输出形态指定位		R/W
b3	—	保留位		R/W
b4	B4	Pm2 输出形态指定位		R/W
b5	—	保留位		R/W
b6	B6	Pm3 输出形态指定位		R/W
b7	—	保留位		R/W

m=0 ～ 9、 A ～ G、 J ～ L

PORTE.ODR0 寄存器以外的奇数位（b1、 b3、 b5、 b7）为保留位。

对于不满 176 引脚的产品，不存在的端口 m 的引脚的位为保留位，并且必须写 “0”（CMOS 输出）。

不存在的引脚的位为保留位，保留位的读写值都为 “0”。

19.3.6 漏极开路控制寄存器 1（ODR1）

地址 PORT0.ODR1 0008 C081h、PORT1.ODR1 0008 C083h、PORT2.ODR1 0008 C085h、PORT3.ODR1 0008 C087h、PORT4.ODR1 0008 C089h、PORT5.ODR1 0008 C08Bh、PORT6.ODR1 0008 C08Dh、PORT7.ODR1 0008 C08Fh、PORT8.ODR1 0008 C091h、PORT9.ODR1 0008 C093h、PORTA.ODR1 0008 C095h、PORTB.ODR1 0008 C097h、PORTC.ODR1 0008 C099h、PORTD.ODR1 0008 C09Bh、PORTE.ODR1 0008 C09Dh、PORTF.ODR1 0008 C09Fh、PORTG.ODR1 0008 C0A1h、PORTH.ODR1 0008 C0A3h、PORTJ.ODR1 0008 C0A5h、PORTK.ODR1 0008 C0A7h、PORTL.ODR1 0008 C0A9h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pm4 输出形态指定位	0：CMOS 输出 1：N 沟道漏极开路	R/W
b1	—	保留位		R/W
b2	B2	Pm5 输出形态指定位		R/W
b3	—	保留位		R/W
b4	B4	Pm6 输出形态指定位		R/W
b5	—	保留位		R/W
b6	B6	Pm7 输出形态指定位		R/W
b7	—	保留位		R/W

m=0 ～ 9、 A ～ H、 J ～ L

ODR1 寄存器的奇数位（b1、 b3、 b5、 b7）为保留位。

对于不满 176 引脚的产品，不存在的端口 m 的引脚的位为保留位，并且必须写 “0”（CMOS 输出）。

不存在的引脚的位为保留位，保留位的读写值都为 “0”。

19.3.7 上拉控制寄存器 （PCR）

地址 PORT0.PCR 0008 C0C0h、PORT1.PCR 0008 C0C1h、PORT2.PCR 0008 C0C2h、PORT3.PCR 0008 C0C3h、PORT4.PCR 0008 C0C4h、PORT5.PCR 0008 C0C5h、PORT6.PCR 0008 C0C6h、PORT7.PCR 0008 C0C7h、PORT8.PCR 0008 C0C8h、PORT9.PCR 0008 C0C9h、PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCh、PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh、PORTF.PCR 0008 C0CFh、PORTG.PCR 0008 C0D0h、PORTH.PCR 0008 C0D1h、PORTJ.PCR 0008 C0D2h、PORTK.PCR 0008 C0D3h、PORTL.PCR 0008 C0D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pm0 输入上拉电阻控制位	0：输入上拉电阻无效 1：输入上拉电阻有效	R/W
b1	B1	Pm1 输入上拉电阻控制位		R/W
b2	B2	Pm2 输入上拉电阻控制位		R/W
b3	B3	Pm3 输入上拉电阻控制位		R/W
b4	B4	Pm4 输入上拉电阻控制位		R/W
b5	B5	Pm5 输入上拉电阻控制位		R/W
b6	B6	Pm6 输入上拉电阻控制位		R/W
b7	B7	Pm7 输入上拉电阻控制位		R/W

m=0 ～ 9、 A ～ H、 J ～ L

在引脚为输入的状态下，与 PORTm.PCR 寄存器为 “1” 的位对应的引脚的输入上拉电阻有效。
当用作外部总线引脚、通用端口输出或者外围功能输出时，与 PCR 寄存器的设定值无关，上拉电阻无效。
在复位过程中，上拉电阻也无效。
不存在的引脚的位为保留位，保留位的读写值都为 “0”。

19.3.8 驱动能力控制寄存器 （DSCR）

地址 PORT0.DSCR 0008 C0E0h、PORT2.DSCR 0008 C0E2h、PORT5.DSCR 0008 C0E5h、PORT6.DSCR 0008 C0E6h、PORT7.DSCR 0008 C0E7h、PORT9.DSCR 0008 C0E9h、PORTA.DSCR 0008 C0EAh、PORTB.DSCR 0008 C0EBh、PORTC.DSCR 0008 C0ECh、PORTD.DSCR 0008 C0EDh、PORTE.DSCR 0008 C0EEh、PORTG.DSCR 0008 C0F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pm0 驱动能力控制位	0：正常输出 1：高驱动输出	R/W
b1	B1	Pm1 驱动能力控制位		R/W
b2	B2	Pm2 驱动能力控制位		R/W
b3	B3	Pm3 驱动能力控制位		R/W
b4	B4	Pm4 驱动能力控制位		R/W
b5	B5	Pm5 驱动能力控制位		R/W
b6	B6	Pm6 驱动能力控制位		R/W
b7	B7	Pm7 驱动能力控制位		R/W

m=0、 2、 5 ～ 7、 9、 A ～ E、 G

能读写固定驱动能力的引脚的对应位，但是不能切换驱动能力。
不存在的引脚的位为保留位，保留位的读写值都为 “0”。

19.4 未使用引脚的处理

未使用引脚的处理内容如**表 19.3** 所示。

表 19.3 未使用引脚的处理内容

引脚名	处理内容
EMLE	通过电阻连接 VSS （下拉）。
MD	（用作模式引脚）
RES#	通过电阻连接 VCC （上拉）。
USB0_DP	将引脚置为开路。
USB0_DM	
P35/NMI	通过电阻连接 VCC （上拉）。
EXTAL	（用作时钟引脚）
XTAL	将引脚置为开路。
XCIN	通过电阻连接 VCC （上拉）或者 VSS （下拉）。
XCOUT	将引脚置为开路。
端口 0 ～ 9、 A ～ H、 J ～ L	每个引脚通过电阻连接 VCC （上拉）或者 VSS （下拉）。
VREFH0	连接 AVCC0。
VREFL0	连接 AVSS0。
VREFH	连接 VCC。
VREFL	连接 VSS。

20. 多功能引脚控制器 （MPC）

20.1 概要

多功能引脚控制器 （MPC）具有从多个端口中选择并且分配外围功能输入 / 输出和中断输入信号的功能，也能分配外部总线相关信号的端口。

多路复用引脚的分配引脚一览表如表 20.1 所示。表中用 “○” 和 “×” 表示不同封装的引脚的有无。禁止通过多个引脚将同一功能设定为有效。

表 20.1 多路复用引脚的分配引脚一览表 (1/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
中断		NMI （输入）	P35	○	○	○	○
中断	IRQ0	IRQ0-DS （输入）	P30	○	○	○	○
		IRQ0 （输入）	P10	○	×	×	×
			PD0	○	○	○	○
	IRQ1	IRQ1-DS （输入）	P31	○	○	○	○
		IRQ1 （输入）	P11	○	×	×	×
			PD1	○	○	○	○
	IRQ2	IRQ2-DS （输入）	P32	○	○	○	○
		IRQ2 （输入）	P12	○	○	○	○
			PD2	○	○	○	○
	IRQ3	IRQ3-DS （输入）	P33	○	○	○	×
		IRQ3 （输入）	P13	○	○	○	○
			PD3	○	○	○	×
	IRQ4	IRQ4-DS （输入）	PB1	○	○	○	○
		IRQ4 （输入）	P14	○	○	○	○
			P34	○	○	○	○
			PD4	○	○	○	×
			PF5	○	○	×	×
	IRQ5	IRQ5-DS （输入）	PA4	○	○	○	○
		IRQ5 （输入）	P15	○	○	○	○
			PD5	○	○	○	×
			PE5	○	○	○	○
	IRQ6	IRQ6-DS （输入）	PA3	○	○	○	○
		IRQ6 （输入）	P16	○	○	○	○
			PD6	○	○	○	×
			PE6	○	○	○	×
	IRQ7	IRQ7-DS （输入）	PE2	○	○	○	○
		IRQ7 （输入）	P17	○	○	○	○
			PD7	○	○	○	×
			PE7	○	○	○	×
	IRQ8	IRQ8-DS （输入）	P40	○	○	○	○
		IRQ8 （输入）	P00	○	○	×	×
			P20	○	○	○	○
	IRQ9	IRQ9-DS （输入）	P41	○	○	○	○
		IRQ9 （输入）	P01	○	○	×	×
			P21	○	○	○	○
	IRQ10	IRQ10-DS （输入）	P42	○	○	○	○
		IRQ10 （输入）	P02	○	○	×	×
			P55	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (2/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
中断	IRQ11	IRQ11-DS （输入）	P43	○	○	○	○
		IRQ11 （输入）	P03	○	○	×	×
			PA1	○	○	○	○
	IRQ12	IRQ12-DS （输入）	P44	○	○	○	○
		IRQ12 （输入）	PB0	○	○	○	○
			PC1	○	○	○	×
	IRQ13	IRQ13-DS （输入）	P45	○	○	○	○
		IRQ13 （输入）	P05	○	○	○	○
			PC6	○	○	○	○
	IRQ14	IRQ14-DS （输入）	P46	○	○	○	○
		IRQ14 （输入）	PC0	○	○	○	×
			PC7	○	○	○	○
	IRQ15	IRQ15-DS （输入）	P47	○	○	○	○
		IRQ15 （输入）	P07	○	○	○	○
			P67	○	○	×	×
多功能定时器单元 2	MTU0	MTIOC0A （输入 / 输出）	P34	○	○	○	○
			PB3	○	○	○	○
		MTIOC0B （输入 / 输出）	P13	○	○	○	○
			P15	○	○	○	○
			PA1	○	○	○	○
		MTIOC0C （输入 / 输出）	P32	○	○	○	○
			PB1	○	○	○	○
		MTIOC0D （输入 / 输出）	P33	○	○	○	×
			PA3	○	○	○	○
	MTU1	MTIOC1A （输入 / 输出）	P20	○	○	○	○
			PE4	○	○	○	○
		MTIOC1B （输入 / 输出）	P21	○	○	○	○
			PB5	○	○	○	○
	MTU2	MTIOC2A （输入 / 输出）	P26	○	○	○	○
			PB5	○	○	○	○
		MTIOC2B （输入 / 输出）	P27	○	○	○	○
			PE5	○	○	○	○
	MTU3	MTIOC3A （输入 / 输出）	P14	○	○	○	○
			P17	○	○	○	○
			PC1	○	○	○	×
			PC7	○	○	○	○
		MTIOC3B （输入 / 输出）	P17	○	○	○	○
			P22	○	○	○	×
			P80	○	○	×	×
			PB7	○	○	○	○
			PC5	○	○	○	○
		MTIOC3C （输入 / 输出）	P16	○	○	○	○
			P56	○	○	×	×
			PC0	○	○	○	×
			PC6	○	○	○	○
			PJ3	○	○	○	×

表 20.1 多路复用引脚的分配引脚一览表 (3/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
多功能定时器单元 2	MTU3	MTIOC3D （输入 / 输出）	P16	○	○	○	○
			P23	○	○	○	×
			P81	○	○	×	×
			PB6	○	○	○	○
			PC4	○	○	○	○
	MTU4	MTIOC4A （输入 / 输出）	P24	○	○	○	×
			P82	○	○	×	×
			PA0	○	○	○	○
			PB3	○	○	○	○
			PE2	○	○	○	○
		MTIOC4B （输入 / 输出）	P30	○	○	○	○
			P54	○	○	○	○
			PC2	○	○	○	○
			PD1	○	○	○	○
			PE3	○	○	○	○
		MTIOC4C （输入 / 输出）	P25	○	○	○	×
			P83	○	○	×	×
			PB1	○	○	○	○
			PE1	○	○	○	○
			PE5	○	○	○	○
		MTIOC4D （输入 / 输出）	P31	○	○	○	○
			P55	○	○	○	○
			PC3	○	○	○	○
			PD2	○	○	○	○
			PE4	○	○	○	○
	MTU5	MTIC5U （输入）	P12	○	×	×	×
			PA4	○	○	○	○
			PD7	○	○	○	×
		MTIC5V （输入）	P11	○	×	×	×
			PA6	○	○	○	○
			PD6	○	○	○	×
		MTIC5W （输入）	P10	○	×	×	×
			PB0	○	○	○	○
			PD5	○	○	○	×
	MTU	MTCLKA （输入）	P14	○	○	○	○
			P24	○	○	○	×
			PA4	○	○	○	○
			PC6	○	○	○	○
		MTCLKB （输入）	P15	○	○	○	○
			P25	○	○	○	×
			PA6	○	○	○	○
			PC7	○	○	○	○
端口输出允许 2	MTU	MTCLKC （输入）	P22	○	○	○	×
			PA1	○	○	○	○
			PC4	○	○	○	○
		MTCLKD （输入）	P23	○	○	○	×
			PA3	○	○	○	○
			PC5	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (4/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
端口输出允许 2	POE0	POE0# （输入）	PC4	○	○	○	○
			PD7	○	○	○	×
	POE1	POE1# （输入）	PB5	○	○	○	○
			PD6	○	○	○	×
	POE2	POE2# （输入）	P34	○	○	○	○
			PA6	○	○	○	○
			PD5	○	○	○	×
	POE3	POE3# （输入）	P33	○	○	○	×
			PB3	○	○	○	○
			PD4	○	○	○	×
	POE8	POE8# （输入）	P17	○	○	○	○
			P30	○	○	○	○
			PD3	○	○	○	×
			PE3	○	○	○	○
16 位定时器脉冲单元	TPU0	TIOCA0 （输入 / 输出）	P86	○	○	×	×
			PA0	○	○	○	○
		TIOCB0 （输入 / 输出）	P17	○	○	○	○
			PA1	○	○	○	○
		TIOCC0 （输入 / 输出）	P32	○	○	○	○
		TIOCD0 （输入 / 输出）	P33	○	○	○	×
			PA3	○	○	○	○
	TPU1	TIOCA1 （输入 / 输出）	P56	○	○	×	×
			PA4	○	○	○	○
		TIOCB1 （输入 / 输出）	P16	○	○	○	○
			PA5	○	○	○	○
	TPU2	TIOCA2 （输入 / 输出）	P87	○	○	×	×
			PA6	○	○	○	○
		TIOCB2 （输入 / 输出）	P15	○	○	○	○
			PA7	○	○	○	×
	TPU3	TIOCA3 （输入 / 输出）	P21	○	○	○	○
			PB0	○	○	○	○
		TIOCB3 （输入 / 输出）	P20	○	○	○	○
			PB1	○	○	○	○
		TIOCC3 （输入 / 输出）	P22	○	○	○	×
			PB2	○	○	○	○
		TIOCD3 （输入 / 输出）	P23	○	○	○	×
			PB3	○	○	○	○
	TPU4	TIOCA4 （输入 / 输出）	P25	○	○	○	×
			PB4	○	○	○	○
		TIOCB4 （输入 / 输出）	P24	○	○	○	×
			PB5	○	○	○	○
	TPU5	TIOCA5 （输入 / 输出）	P13	○	○	○	○
			PB6	○	○	○	○
		TIOCB5 （输入 / 输出）	P14	○	○	○	○
			PB7	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (5/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
16 位定时器脉冲单元	TPU（单元 0）	TCLKA （输入）	P14	○	○	○	○
			PC2	○	○	○	○
		TCLKB （输入）	P15	○	○	○	○
			PA3	○	○	○	○
			PC3	○	○	○	○
		TCLKC （输入）	P16	○	○	○	○
			PB2	○	○	○	○
			PC0	○	○	○	×
		TCLKD （输入）	P17	○	○	○	○
			PB3	○	○	○	○
			PC1	○	○	○	×
	TPU6	TIOCA6 （输入 / 输出）	PC6	○	○	×	×
		TIOCB6 （输入 / 输出）	PC7	○	○	×	×
		TIOCC6 （输入 / 输出）	PC4	○	○	×	×
		TIOCD6 （输入 / 输出）	PC5	○	○	×	×
	TPU7	TIOCA7 （输入 / 输出）	PD0	○	○	×	×
		TIOCB7 （输入 / 输出）	PD1	○	○	×	×
	TPU8	TIOCA8 （输入 / 输出）	PD2	○	○	×	×
		TIOCB8 （输入 / 输出）	PD3	○	○	×	×
	TPU9	TIOCA9 （输入 / 输出）	PE2	○	○	×	×
		TIOCB9 （输入 / 输出）	PE3	○	○	×	×
		TIOCC9 （输入 / 输出）	PE0	○	○	×	×
		TIOCD9 （输入 / 输出）	PE1	○	○	×	×
	TPU10	TIOCA10 （输入 / 输出）	PE4	○	○	×	×
		TIOCB10 （输入 / 输出）	PE5	○	○	×	×
	TPU11	TIOCA11 （输入 / 输出）	PE6	○	○	×	×
		TIOCB11 （输入 / 输出）	PE7	○	○	×	×
	TPU（单元 1）	TCLKE （输入）	PC4	○	○	×	×
		TCLKF （输入）	PC5	○	○	×	×
		TCLKG （输入）	PD1	○	○	×	×
		TCLKH （输入）	PD3	○	○	×	×
可编程脉冲发生器	PPG0	PO0 （输出）	P20	○	○	○	○
		PO1 （输出）	P21	○	○	○	○
		PO2 （输出）	P22	○	○	○	×
		PO3 （输出）	P23	○	○	○	×
		PO4 （输出）	P24	○	○	○	×
		PO5 （输出）	P25	○	○	○	×
		PO6 （输出）	P26	○	○	○	○
		PO7 （输出）	P27	○	○	○	○
		PO8 （输出）	P30	○	○	○	○
		PO9 （输出）	P31	○	○	○	○
		PO10 （输出）	P32	○	○	○	○
		PO11 （输出）	P33	○	○	○	×
		PO12 （输出）	P34	○	○	○	○
		PO13 （输出）	P13	○	○	○	○
			P15	○	○	○	○
		PO14 （输出）	P16	○	○	○	○
		PO15 （输出）	P14	○	○	○	○
			P17	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (6/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
可编程脉冲发生器	PPG1	PO16 （输出）	P73	○	○	×	×
			PA0	○	○	○	○
		PO17 （输出）	PA1	○	○	○	○
			PC0	○	○	○	×
		PO18 （输出）	PA2	○	○	○	○
			PC1	○	○	○	×
			PE1	○	○	○	○
		PO19 （输出）	P74	○	○	×	×
			PA3	○	○	○	○
		PO20 （输出）	P75	○	○	×	×
			PA4	○	○	○	○
		PO21 （输出）	PA5	○	○	○	○
			PC2	○	○	○	○
		PO22 （输出）	P76	○	○	×	×
			PA6	○	○	○	○
		PO23 （输出）	P77	○	○	×	×
			PA7	○	○	○	×
			PE2	○	○	○	○
		PO24 （输出）	PB0	○	○	○	○
			PC3	○	○	○	○
		PO25 （输出）	PB1	○	○	○	○
			PC4	○	○	○	○
		PO26 （输出）	P80	○	○	×	×
			PB2	○	○	○	○
			PE3	○	○	○	○
		PO27 （输出）	P81	○	○	×	×
			PB3	○	○	○	○
		PO28 （输出）	P82	○	○	×	×
			PB4	○	○	○	○
			PE4	○	○	○	○
		PO29 （输出）	PB5	○	○	○	○
			PC5	○	○	○	○
		PO30 （输出）	PB6	○	○	○	○
			PC6	○	○	○	○
		PO31 （输出）	PB7	○	○	○	○
			PC7	○	○	○	○
8 位定时器	TMR0	TMO0 （输出）	P22	○	○	○	×
			PB3	○	○	○	○
		TMCI0 （输入）	P01	○	○	×	×
			P21	○	○	○	○
			PB1	○	○	○	○
		TMRI0 （输入）	P00	○	○	×	×
			P20	○	○	○	○
			PA4	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (7/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
8 位定时器	TMR1	TMO1 （输出）	P17	○	○	○	○
			P26	○	○	○	○
		TMCI1 （输入）	P02	○	○	×	×
			P12	○	○	○	○
			P54	○	○	○	○
			PC4	○	○	○	○
		TMRI1 （输入）	P24	○	○	○	×
			PB5	○	○	○	○
	TMR2	TMO2 （输出）	P16	○	○	○	○
			PC7	○	○	○	○
		TMCI2 （输入）	P15	○	○	○	○
			P31	○	○	○	○
			PC6	○	○	○	○
		TMRI2 （输入）	P14	○	○	○	○
			PC5	○	○	○	○
	TMR3	TMO3 （输出）	P13	○	○	○	○
			P32	○	○	○	○
			P55	○	○	○	○
		TMCI3 （输入）	P11	○	×	×	×
			P27	○	○	○	○
			P34	○	○	○	○
			PA6	○	○	○	○
		TMRI3 （输入）	P10	○	×	×	×
			P30	○	○	○	○
			P33	○	○	○	×
串行通信接口	SCI0	RXD0 （输入） / SMISO0 （输入 / 输出） / SSCL0 （输入 / 输出）	P21	○	○	○	×
			P33	○	○	○	×
		TXD0 （输出） / SMOSI0 （输入 / 输出） / SSDA0 （输入 / 输出）	P20	○	○	○	×
			P32	○	○	○	×
		SCK0 （输入 / 输出）	P22	○	○	○	×
			P34	○	○	○	×
		CTS0# （输入） / RTS0# （输出） / SS0# （输入）	P23	○	○	○	×
			PJ3	○	○	○	×
	SCI1	RXD1 （输入） / SMISO1 （输入 / 输出） / SSCL1 （输入 / 输出）	P15	○	○	○	○
			P30	○	○	○	○
			PF2	○	×	×	×
		TXD1 （输出） / SMOSI1 （输入 / 输出） / SSDA1 （输入 / 输出）	P16	○	○	○	○
			P26	○	○	○	○
			PF0	○	×	×	×
		SCK1 （输入 / 输出）	P17	○	○	○	○
			P27	○	○	○	○
			PF1	○	×	×	×
		CTS1# （输入） / RTS1# （输出） / SS1# （输入）	P14	○	○	○	○
			P31	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (8/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
串行通信接口	SCI2	RXD2 （输入） / SMISO2 （输入 / 输出） / SSCL2 （输入 / 输出）	P12	○	○	○	×
			P52	○	○	○	×
		TXD2 （输出） / SMOSI2 （输入 / 输出） / SSDA2 （输入 / 输出）	P13	○	○	○	×
			P50	○	○	○	×
		SCK2 （输入 / 输出）	P11	○	×	×	×
			P51	○	○	○	×
		CTS2# （输入） / RTS2# （输出） / SS2# （输入）	P54	○	○	○	×
	SCI3	RXD3 （输入） / SMISO3 （输入 / 输出） / SSCL3 （输入 / 输出）	P16	○	○	○	×
			P25	○	○	○	×
		TXD3 （输出） / SMOSI3 （输入 / 输出） / SSDA3 （输入 / 输出）	P17	○	○	○	×
			P23	○	○	○	×
		SCK3 （输入 / 输出）	P15	○	○	○	×
			P24	○	○	○	×
		CTS3# （输入） / RTS3# （输出） / SS3# （输入）	P26	○	○	○	×
	SCI4	RXD4 （输入） / SMISO4 （输入 / 输出） // SSCL4 （输入 / 输出）	PB0	○	○	×	×
			PK4	○	○	×	×
		TXD4 （输出） / SMOSI4 （输入 / 输出） / SSDA4 （输入 / 输出）	PB1	○	○	×	×
			PK5	○	○	×	×
		SCK4 （输入 / 输出）	P70	○	○	×	×
			PB3	○	○	×	×
		CTS4# （输入） / RTS4# （输出） / SS4# （输入）	PB2	○	○	×	×
			PE6	○	○	×	×
	SCI5	RXD5 （输入） / SMISO5 （输入 / 输出） / SSCL5 （输入 / 输出）	PA2	○	○	○	○
			PA3	○	○	○	○
			PC2	○	○	○	○
		TXD5 （输出） / SMOSI5 （输入 / 输出） / SSDA5 （输入 / 输出）	PA4	○	○	○	○
			PC3	○	○	○	○
		SCK5 （输入 / 输出）	PA1	○	○	○	○
			PC1	○	○	○	×
			PC4	○	○	○	○
		CTS5# （输入） / RTS5# （输出） / SS5# （输入）	PA6	○	○	○	○
			PC0	○	○	○	×

表 20.1 多路复用引脚的分配引脚一览表 (9/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
串行通信接口	SCI6	RXD6 （输入） / SMISO6 （输入 / 输出） / SSCL6 （输入 / 输出）	P01	○	○	×	×
			P33	○	○	○	×
			PB0	○	○	○	○
		TXD6 （输出） / SMOSI6 （输入 / 输出） / SSDA6 （输入 / 输出）	P00	○	○	×	×
			P32	○	○	○	○
			PB1	○	○	○	○
		SCK6 （输入 / 输出）	P02	○	○	×	×
			P34	○	○	○	○
			PB3	○	○	○	○
		CTS6# （输入） / RTS6# （输出） / SS6# （输入）	PB2	○	○	○	○
			PJ3	○	○	○	×
	SCI7	RXD7 （输入） / SMISO7 （输入 / 输出） / SSCL7 （输入 / 输出）	P92	○	○	×	×
		TXD7 （输出） / SMOSI7 （输入 / 输出） / SSDA7 （输入 / 输出）	P90	○	○	×	×
		SCK7 （输入 / 输出）	P91	○	○	×	×
		CTS7# （输入） / RTS7# （输出） / SS7# （输入）	P93	○	○	×	×
	SCI8	RXD8 （输入） / SMISO8 （输入 / 输出） / SSCL8 （输入 / 输出）	PC6	○	○	○	○
		TXD8 （输出） / SMOSI8 （输入 / 输出） / SSDA8 （输入 / 输出）	PC7	○	○	○	○
		SCK8 （输入 / 输出）	PC5	○	○	○	○
		CTS8# （输入） / RTS8# （输出） / SS8# （输入）	PC4	○	○	○	○
	SCI9	RXD9 （输入） / SMISO9 （输入 / 输出） / SSCL9 （输入 / 输出）	PB6	○	○	○	○
			PK3	○	○	×	×
		TXD9 （输出） / SMOSI9 （输入 / 输出） / SSDA9 （输入 / 输出）	PB7	○	○	○	○
			PK2	○	○	×	×
		SCK9 （输入 / 输出）	P60	○	○	×	×
			PB5	○	○	○	○
		CTS9# （输入） / RTS9# （输出） / SS9# （输入）	P61	○	○	×	×
			PB4	○	○	○	○
	SCI10	RXD10 （输入） / SMISO10 （输入 / 输出） / SSCL10 （输入 / 输出）	P81	○	○	×	×

表 20.1 多路复用引脚的分配引脚一览表 (10/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
串行通信接口	SCI10	TXD10 （输出） / SMOSI10 （输入 / 输出） / SSDA10 （输入 / 输出）	P82	○	○	×	×
		SCK10 （输入 / 输出）	P80	○	○	×	×
		CTS10# （输入） / RTS10# （输出） / SS10# （输入）	P83	○	○	×	×
	SCI11	RXD11 （输入） / SMISO11 （输入 / 输出） / SSCL11 （输入 / 输出）	P76	○	○	×	×
		TXD11 （输出） / SMOSI11 （输入 / 输出） / SSDA11 （输入 / 输出）	P77	○	○	×	×
		SCK11 （输入 / 输出）	P75	○	○	×	×
		CTS11# （输入） / RTS11# （输出） / SS11# （输入）	P74	○	○	×	×
	SCI12	RXD12 （输入） / SMISO12 （输入 / 输出） / SSCL12 （输入 / 输出） / RXDX12 （输入）	PE2	○	○	○	○
		TXD12 （输出） / SMOSI12 （输入 / 输出） / SSDA12 （输入 / 输出） / TXDX12 （输出） / SIOX12 （输入 / 输出）	PE1	○	○	○	○
		SCK12 （输入 / 输出）	PE0	○	○	○	○
		CTS12# （输入） / RTS12# （输出） / SS12# （输入）	PE3	○	○	○	○
I²C 总线接口	RIIC0	SCL0[FM+] （输入 / 输出）	P12	○	○	○	○
		SDA0[FM+] （输入 / 输出）	P13	○	○	○	○
	RIIC1	SCL1 （输入 / 输出）	P21	○	○	×	×
		SDA1 （输入 / 输出）	P20	○	○	×	×
	RIIC2	SCL2-DS （输入 / 输出）	P16	○	○	○	○
		SDA2-DS （输入 / 输出）	P17	○	○	○	○
	RIIC3	SCL3 （输入 / 输出）	PC0	○	○	×	×
		SDA3 （输入 / 输出）	PC1	○	○	×	×
USB2.0 功能模块		USB0_DPUPE （输出）	P14	○	○	○	○
		USB0_VBUS （输入）	P16	○	○	○	○
CAN 模块	CAN0	CRX0 （输入）（注 1）	P33	○	○	○	×
			PD2	○	○	○	×
		CTX0 （输出）（注 1）	P32	○	○	○	×
			PD1	○	○	○	×
	CAN1	CRX1-DS （输入）	P15	○	○	○	○
		CRX1 （输入）	P55	○	○	○	○
		CTX1 （输出）	P14	○	○	○	○
			P54	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (11/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
CAN 模块	CAN2	CRX2 （输入）（注 2）	P67	○	○	×	×
		CTX2 （输出）（注 2）	P66	○	○	×	×
串行外围接口	RSPI0	RSPCKA （输入 / 输出）	PA5	○	○	○	○
			PB0	○	○	○	○
			PC5	○	○	○	○
		MOSIA （输入 / 输出）	P16	○	○	○	○
			PA6	○	○	○	○
			PC6	○	○	○	○
		MISOA （输入 / 输出）	P17	○	○	○	○
			PA7	○	○	○	×
			PC7	○	○	○	○
		SSLA0 （输入 / 输出）	PA4	○	○	○	○
			PC4	○	○	○	○
		SSLA1 （输出）	PA0	○	○	○	○
			PC0	○	○	○	×
		SSLA2 （输出）	PA1	○	○	○	○
			PC1	○	○	○	×
		SSLA3 （输出）	PA2	○	○	○	○
			PC2	○	○	○	○
	RSPI1	RSPCKB （输入 / 输出）	P27	○	○	○	○
			PE1	○	○	○	○
			PE5	○	○	○	○
		MOSIB （输入 / 输出）	P26	○	○	○	○
			PE2	○	○	○	○
			PE6	○	○	○	×
		MISOB （输入 / 输出）	P30	○	○	○	○
			PE3	○	○	○	○
			PE7	○	○	○	×
		SSLB0 （输入 / 输出）	P31	○	○	○	○
			PE4	○	○	○	○
	RSPI1	SSLB1 （输出）	P50	○	○	○	×
			PE0	○	○	○	○
		SSLB2 （输出）	P51	○	○	○	×
			PE1	○	○	○	○
		SSLB3 （输出）	P52	○	○	○	×
			PE2	○	○	○	○
	RSPI2	RSPCKC （输入 / 输出）	PD3	○	○	×	×
		MOSIC （输入 / 输出）	PD1	○	○	×	×
		MISOC （输入 / 输出）	PD2	○	○	×	×
		SSLC0 （输入 / 输出）	PD4	○	○	×	×
		SSLC1 （输出）	PD5	○	○	×	×
		SSLC2 （输出）	PD6	○	○	×	×
		SSLC3 （输出）	PD7	○	○	×	×
IEBus 控制器		IERXD （输入）	P16	○	○	○	○
			PC2	○	○	○	○
		IETXD （输出）	P17	○	○	○	○
			PC3	○	○	○	○

表 20.1 多路复用引脚的分配引脚一览表 (12/12)

模块 / 功能	通道	引脚功能	分配端口	封装			
				177 引脚 176 引脚	145 引脚 144 引脚	100 引脚	80 引脚
实时时钟		RTCOUT （输出）	P16	○	○	○	○
			P32	○	○	○	○
		RTCIC0 （输入）（注 3）	P30	○	○	○	○
		RTCIC1 （输入）（注 3）	P31	○	○	○	○
		RTCIC2 （输入）（注 3）	P32	○	○	○	○
12 位 A/D 转换器		AN000 （输入）（注 3）	P40	○	○	○	○
		AN001 （输入）（注 3）	P41	○	○	○	○
		AN002 （输入）（注 3）	P42	○	○	○	○
		AN003 （输入）（注 3）	P43	○	○	○	○
		AN004 （输入）（注 3）	P44	○	○	○	○
		AN005 （输入）（注 3）	P45	○	○	○	○
		AN006 （输入）（注 3）	P46	○	○	○	○
		AN007 （输入）（注 3）	P47	○	○	○	○
		AN008 （输入）（注 3）	PD0	○	○	○	○
		AN009 （输入）（注 3）	PD1	○	○	○	○
		AN010 （输入）（注 3）	PD2	○	○	○	○
		AN011 （输入）（注 3）	PD3	○	○	○	×
		AN012 （输入）（注 3）	PD4	○	○	○	×
		AN013 （输入）（注 3）	PD5	○	○	○	×
		AN014 （输入）（注 3）	P90	○	○	×	×
		AN015 （输入）（注 3）	P91	○	○	×	×
		AN016 （输入）（注 3）	P92	○	○	×	×
		AN017 （输入）（注 3）	P93	○	○	×	×
		AN018 （输入）（注 3）	P00	○	○	×	×
		AN019 （输入）（注 3）	P01	○	○	×	×
		AN020 （输入）（注 3）	P02	○	○	×	×
		ADTRG0# （输入）	P07	○	○	○	○
			P16	○	○	○	○
			P25	○	○	○	×
10 位 A/D 转换器		AN0 （输入）（注 3）	PE2	○	○	○	○
		AN1 （输入）（注 3）	PE3	○	○	○	○
		AN2 （输入）（注 3）	PE4	○	○	○	○
		AN3 （输入）（注 3）	PE5	○	○	○	○
		AN4 （输入）（注 3）	PE6	○	○	○	×
		AN5 （输入）（注 3）	PE7	○	○	○	×
		AN6 （输入）（注 3）	PD6	○	○	○	×
		AN7 （输入）（注 3）	PD7	○	○	○	×
		ANEX0 （输出）（注 3）	PE0	○	○	○	○
		ANEX1 （输入）（注 3）	PE1	○	○	○	○
		ADTRG# （输入）	P13	○	○	○	○
			P17	○	○	○	○
D/A 转换器		DA0 （输出）（注 3）	P03	○	○	×	×
		DA1 （输出）（注 3）	P05	○	○	○	○

注 1. ROM 容量小于等于 512K 字节的产品没有此引脚。

注 2. ROM 容量小于等于 1M 字节的产品没有此引脚。

注 3. 在使用此引脚功能时，必须将对应的引脚设定为通用输入（将 PORTm.PDR.Bn 位和 PORTm.PMR.Bn 位置“0”）。

20.2 寄存器说明

根据不同的封装，保留没有引脚的寄存器和位。要给对应的位写值时，必须写复位后的值。

20.2.1 写保护寄存器 （PWPR）

地址 0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b5-b0	—	保留位	读写值都为 “0”。	R/W
b6	PFSWE	PFS 寄存器的写允许位	0：禁止写 PFS 寄存器 1：允许写 PFS 寄存器	R/W
b7	B0WI	PFSWE 位的写禁止位	0：允许写 PFSWE 位 1：禁止写 PFSWE 位	R/W

PFSWE 位 （PFS 寄存器的写允许位）

只有在 PFSWE 位的写入值为 “1”时 PmnPFS 的写操作才有效。

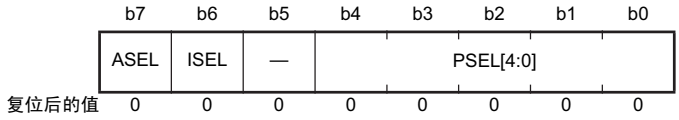
要将 PFSWE 位置 “1”时，必须在给 B0WI 位写 “0”后将 PFSWE 位置 “1”。

B0WI 位 （PFSWE 位的写禁止位）

只有在 B0WI 位的写入值为 “0”时 PFSWE 位的写操作才有效。

20.2.2 P0n 引脚功能控制寄存器 （P0nPFS）（n=0 ～ 3、 5、 7）

地址　P00PFS 0008 C140h、P01PFS 0008 C141h、P02PFS 0008 C142h、P03PFS 0008 C143h、P05PFS 0008 C145h、P07PFS 0008 C147h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.2。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	ASEL	模拟输入功能选择位	0：不用作模拟引脚 1：用作模拟引脚	R/W

Pmn 引脚功能控制寄存器 （PmnPFS）选择引脚功能。通过 PSEL[4:0] 位设定分配给引脚的外围功能。

在用作 IRQ 输入引脚时设定 ISEL 位，也能和外围功能组合使用。但是，禁止通过 2 个或者 2 个以上的引脚来允许同一序号的 IRQn （外部引脚中断）。

在将引脚用作模拟引脚时设定 ASEL 位。要通过 ASEL 位设定为模拟引脚时，必须通过端口模式寄存器（PORTm.PMR）选择通用输入 / 输出端口并且通过端口方向寄存器 （PORTm.PDR）设定为输入。此时，不能读引脚状态。 PmnPFS 寄存器受写保护寄存器 （PWPR）的保护。要改写时，必须先解除保护。

未将 IRQn 多路复用的引脚的 ISEL 位为保留位，未将模拟输入 / 输出多路复用的引脚的 ASEL 位为保留位。

表 20.2　177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚			
	P00	P01	P02	P07
00000b（初始值）	Hi-Z			
00101b	TMRI0	TMCI0	TMCI1	—
01001b	—	—	—	ADTRG0#
01010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6	—

—：不能设定。

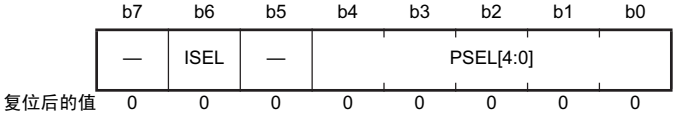
表 20.3　100 引脚 TFLGA、 100 引脚 LQFP、 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚
	P07
00000b（初始值）	Hi-Z
00101b	—
01001b	ADTRG0#
01010b	—

—：不能设定。

20.2.3 P1n 引脚功能控制寄存器 （P1nPFS）（n=0 ～ 7）

地址 P10PFS 0008 C148h、P11PFS 0008 C149h、P12PFS 0008 C14Ah、P13PFS 0008 C14Bh
P14PFS 0008 C14Ch、P15PFS 0008 C14Dh、P16PFS 0008 C14Eh、P17PFS 0008 C14Fh



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.4。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

表 20.4 177 引脚 TFLGA、 176 引脚 LFBGA、 176 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	P10	P11	P12	P13	P14	P15	P16	P17
00000b（初始值）	Hi-Z							
00001b	MTIC5W	MTIC5V	MTIC5U	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	—	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMRI3	TMCI3	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00110b	—	—	—	PO13	PO15	PO13	PO14	PO15
00111b	—	—	—	—	—	—	RTCOUT	POE8#
01001b	—	—	—	ADTRG#	—	—	ADTRG0#	ADTRG#
01010b	—	SCK2	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
01101b	—	—	—	—	—	—	MOSIA	MISOA
01111b	—	—	SCL0[FM+]	SDA0[FM+]	—	—	SCL2-DS	SDA2-DS
10000b	—	—	—	—	CTX1	CRX1-DS	IERXD	IETXD
10001b	—	—	—	—	USB0_DPUPE	—	USB0_VBUS	—

—：不能设定。

表 20.5 145 引脚 TFLGA、 144 引脚 LQFP、 100 引脚 TFLGA、 100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚					
	P12	P13	P14	P15	P16	P17
00000b（初始值）	Hi-Z					
00001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00110b	—	PO13	PO15	PO13	PO14	PO15
00111b	—	—	—	—	RTCOUT	POE8#
01001b	—	ADTRG#	—	—	ADTRG0#	ADTRG#
01010b	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
01101b	—	—	—	—	MOSIA	MISOA
01111b	SCL0[FM+]	SDA0[FM+]	—	—	SCL2-DS	SDA2-DS
10000b	—	—	CTX1	CRX1-DS	IERXD	IETXD
10001b	—	—	USB0_DPUPE	—	USB0_VBUS	—

—：不能设定。

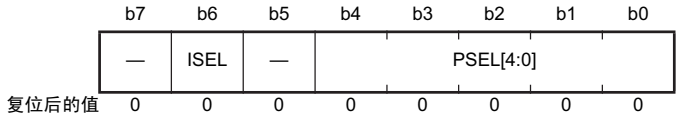
表 20.6 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚					
	P12	P13	P14	P15	P16	P17
00000b（初始值）	Hi-Z					
00001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00110b	—	PO13	PO15	PO13	PO14	PO15
00111b	—	—	—	—	RTCOUT	POE8#
01001b	—	ADTRG#	—	—	ADTRG0#	ADTRG#
01010b	—	—	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	—	—	MOSIA	MISOA
01111b	SCL0[FM+]	SDA0[FM+]	—	—	SCL2-DS	SDA2-DS
10000b	—	—	CTX1	CRX1-DS	IERXD	IETXD
10001b	—	—	USB0_DPUPE	—	USB0_VBUS	—

—：不能设定。

20.2.4 P2n 引脚功能控制寄存器 （P2nPFS）（n=0 ～ 7）

地址 P20PFS 0008 C150h、P21PFS 0008 C151h、P22PFS 0008 C152h、P23PFS 0008 C153h
P24PFS 0008 C154h、P25PFS 0008 C155h、P26PFS 0008 C156h、P27PFS 0008 C157h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.7。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

表 20.7 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b（初始值）	Hi-Z							
00001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
00011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
00101b	TMRI0	TMCI0	TMO0	—	TMRI1	—	TMO1	TMCI3
00110b	PO0	PO1	PO2	PO3	PO4	PO5	PO6	PO7
01001b	—	—	—	—	—	ADTRG0#	—	—
01010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—
01101b	—	—	—	—	—	—	MOSIB-B	RSPCKB
01111b	SDA1	SCL1	—	—	—	—	—	—

—：不能设定。

表 20.8 100 引脚 TFLGA、 100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b（初始值）	Hi-Z							
00001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
00011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
00101b	TMRI0	TMCI0	TMO0	—	TMRI1	—	TMO1	TMCI3
00110b	PO0	PO1	PO2	PO3	PO4	PO5	PO6	PO7
01001b	—	—	—	—	—	ADTRG0#	—	—
01010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—
01101b	—	—	—	—	—	—	MOSIB-B	RSPCKB
01111b	—	—	—	—	—	—	—	—

—：不能设定。

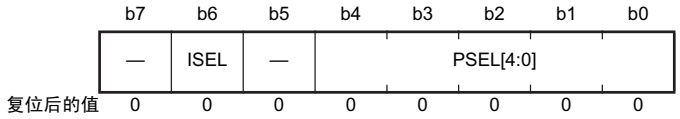
表 20.9 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚			
	P20	P21	P26	P27
00000b（初始值）	Hi-Z			
00001b	MTIOC1A	MTIOC1B	MTIOC2A	MTIOC2B
00010b	—	—	—	—
00011b	TIOCB3	TIOCA3	—	—
00101b	TMRI0	TMCI0	TMO1	TMCI3
00110b	PO0	PO1	PO6	PO7
01001b	—	—	—	—
01010b	—	—	TXD1 SMOSI1 SSDA1	SCK1
01101b	—	—	MOSIB-B	RSPCKB
01111b	—	—	—	—

—：不能设定。

20.2.5 P3n 引脚功能控制寄存器 （P3nPFS）（n=0 ～ 4）

地址 P30PFS 0008 C158h、P31PFS 0008 C159h、P32PFS 0008 C15Ah、P33PFS 0008 C15Bh、P34PFS 0008 C15Ch



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.10。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

表 20.10 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP、100 引脚 TFLGA、 100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚				
	P30	P31	P32	P33	P34
00000b（初始值）	Hi-Z				
00001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
00011b	—	—	TIOCC0	TIOCD0	—
00101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
00110b	PO8	PO9	PO10	PO11	PO12
00111b	POE8#	—	RTCOUT	POE3#	POE2#
01010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
01011b	—	CTS1# RTS1# SS1#	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0
01101b	MISOB	SSLB0	—	—	—
10000b	—	—	CTX0	CRX0	—

—：不能设定。

表 20.11 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚			
	P30	P31	P32	P34
00000b（初始值）	Hi-Z			
00001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0A
00011b	—	—	TIOCC0	—
00101b	TMRI3	TMCI2	TMO3	TMCI3
00110b	PO8	PO9	PO10	PO12
00111b	POE8#	—	RTCOUT	POE2#
01010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6	SCK6
01011b	—	CTS1# RTS1# SS1#	—	—
01101b	MISOB	SSLB0	—	—
10000b	—	—	—	—

—：不能设定。

20.2.6 P4n 引脚功能控制寄存器 （P4nPFS）（n=0 ～ 7）

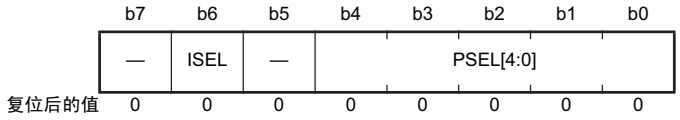
地址 P40PFS 0008 C160h、P41PFS 0008 C161h、P42PFS 0008 C162h、P43PFS 0008 C163h
P44PFS 0008 C164h、P45PFS 0008 C165h、P46PFS 0008 C166h、P47PFS 0008 C167h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b5-b0	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	ASEL	模拟输入功能选择位	0：不用作模拟引脚 1：用作模拟引脚	R/W

20.2.7 P5n 引脚功能控制寄存器 （P5nPFS）（n=0 ～ 2、 4 ～ 6）

地址 P50PFS 0008 C168h、P51PFS 0008 C169h、P52PFS 0008 C16Ah
P54PFS 0008 C16Ch、P55PFS 0008 C16Dh、P56PFS 0008 C16Eh



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.12。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

表 20.12 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚					
	P50	P51	P52	P54	P55	P56
00000b（初始值）	Hi-Z					
00001b	—	—	—	MTIOC4B	MTIOC4D	MTIOC3C
00011b	—	—	—	—	—	TIOCA1
00101b	—	—	—	TMCI1	TMO3	—
01010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	—
01011b	—	—	—	CTS2# RTS2# SS2#	—	—
01101b	SSLB1	SSLB2	SSLB3	—	—	—
10000b	—	—	—	CTX1	CRX1	—

—：不能设定。

表 20.13 100 引脚 TFLGA、 100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚				
	P50	P51	P52	P54	P55
00000b（初始值）	Hi-Z				
00001b	—	—	—	MTIOC4B	MTIOC4D
00011b	—	—	—	—	—
00101b	—	—	—	TMCI1	TMO3
01010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—
01011b	—	—	—	CTS2# RTS2# SS2#	—
01101b	SSLB1	SSLB2	SSLB3	—	—
10000b	—	—	—	CTX1	CRX1

—：不能设定。

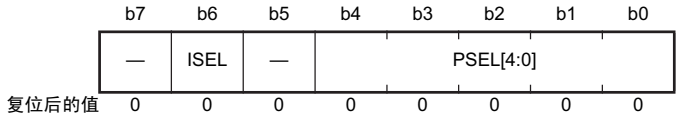
表 20.14 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚	
	P54	P55
00000b（初始值）	Hi-Z	
00001b	MTIOC4B	MTIOC4D
00011b	—	—
00101b	TMCI1	TMO3
01010b	—	—
01011b	CTS2# RTS2# SS2#	—
01101b	—	—
10000b	CTX1	CRX1

—：不能设定。

20.2.8 P6n 引脚功能控制寄存器 （P6nPFS）（n=0、 1、 6、 7）

地址 P60PFS 0008 C170h、P61PFS 0008 C171h、P66PFS 0008 C176h、P67PFS 0008 C177h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.15。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

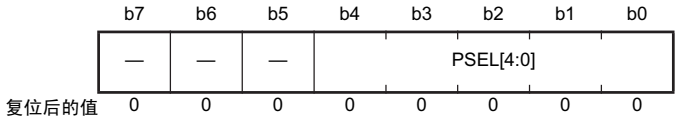
表 20.15 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚			
	P60	P61	P66	P67
00000b（初始值）	Hi-Z			
01010b	SCK9	—	—	—
01011b	—	CTS9# RTS9# SS9#	—	—
10000b	—	—	CTX2	CRX2

—：不能设定。

20.2.9 P7n 引脚功能控制寄存器 （P7nPFS）（n=0、 3 ～ 7）

地址 P70PFS 0008 C178h、P73PFS 0008 C17BhP、P74PFS 0008 C17Ch、
P75PFS 0008 C17Dh、P76PFS 0008 C17Eh、P77PFS 0008 C17Fh



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.16。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

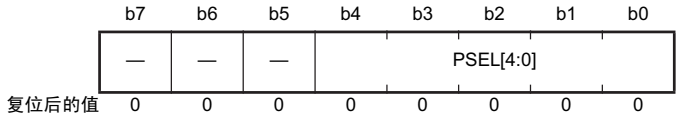
表 20.16 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚					
	P70	P73	P74	P75	P76	P77
00000b（初始值）	Hi-Z					
00110b	—	PO16	PO19	PO20	PO22	PO23
01010b	SCK4	—	—	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
01011b	—	—	CTS11# RTS11 SS11#	—	—	—

—：不能设定。

20.2.10 P8n 引脚功能控制寄存器 （P8nPFS）（n=0 ～ 3、 6、 7）

地址 P80PFS 0008 C180h、P81PFS 0008 C181h、P82PFS 0008 C182h、P83PFS 0008 C183h
P86PFS 0008 C186h、P87PFS 0008 C187h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.17。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

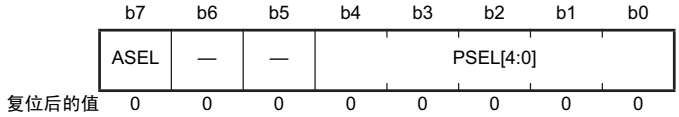
表 20.17 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚					
	P80	P81	P82	P83	P86	P87
00000b（初始值）	Hi-Z					
00001b	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	—	—
00011b	—	—	—	—	TIOCA0	TIOCA2
00110b	PO26	PO27	PO28	—	—	—
01010b	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10	—	—	—
01011b	—	—	—	CTS10# RTS10# SS10#	—	—

—：不能设定。

20.2.11 P9n 引脚功能控制寄存器 （P9nPFS）（n=0 ～ 3）

地址 P90PFS 0008 C188h、P91PFS 0008 C189h、P92PFS 0008 C18Ah、P93PFS 0008 C18Bh



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.18。	R/W
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	ASEL	模拟输入功能选择位	0：不用作模拟引脚 1：用作模拟引脚	R/W

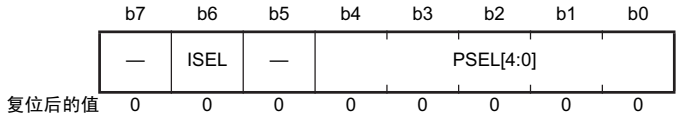
表 20.18 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚			
	P90	P91	P92	P93
00000b（初始值）	Hi-Z			
01010b	TXD7 SMOSI7 SSDA7	SCK7	RXD7 SMISO7 SSCL7	—
01011b	—	—	—	CTS7# RTS7# SS7#

—：不能设定。

20.2.12 PAn 引脚功能控制寄存器 （PAnPFS）（n=0 ～ 7）

地址 PA0PFS 0008 C190h、PA1PFS 0008 C191h、PA2PFS 0008 C192h、PA3PFS 0008 C193h
PA4PFS 0008 C194h、PA5PFS 0008 C195h、PA6PFS 0008 C196h、PA7PFS 0008 C197h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.19。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

表 20.19 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP、100 引脚 TFLGA、 100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
00000b（初始值）	Hi-Z							
00001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
00010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
00011b	TIOCA0	TIOCB0	—	TIOCD0	TIOCA1	TIOCB1	TIOCA2	TIOCB2
00100b	—	—	—	TCLKB	—	—	—	—
00101b	—	—	—	—	TMRI0	—	TMCI3	—
00110b	PO16	PO17	PO18	PO19	PO20	PO21	PO22	PO23
00111b	—	—	—	—	—	—	POE2#	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
01011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MOSOA

—：不能设定。

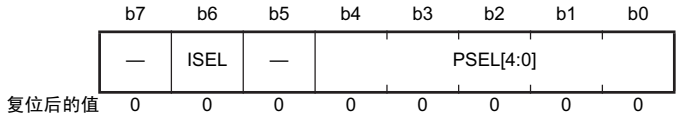
表 20.20 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚						
	PA0	PA1	PA2	PA3	PA4	PA5	PA6
00000b（初始值）	Hi-Z						
00001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V
00010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB
00011b	TIOCA0	TIOCB0	—	TIOCD0	TIOCA1	TIOCB1	TIOCA2
00100b	—	—	—	TCLKB	—	—	—
00101b	—	—	—	—	TMRI0	—	TMCI3
00110b	PO16	PO17	PO18	PO19	PO20	PO21	PO22
00111b	—	—	—	—	—	—	POE2#
01010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—
01011b	—	—	—	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA

—：不能设定。

20.2.13 PBn 引脚功能控制寄存器 （PBnPFS）（n=0 ～ 7）

地址 PB0PFS 0008 C198h、PB1PFS 0008 C199h、PB2PFS 0008 C19Ah、PB3PFS 0008 C19Bh
PB4PFS 0008 C19Ch、PB5PFS 0008 C19Dh、PB6PFS 0008 C19Eh、PB7PFS 0008 C19Fh



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.21。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

表 20.21 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b（初始值）	Hi-Z							
00001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCC3	TIOCD3	TIOCA4	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKC	TCLKD	—	—	—	—
00101b	—	TMCI0	—	TMO0	—	TMRI1	—	—
00110b	PO24	PO25	PO26	PO27	PO28	PO29	PO30	PO31
00111b	—	—	—	POE3#	—	POE1#	—	—
01010b	RXD4 SMISO4 SSCL4	TX4D SMOSI4 SSDA4	CTS4# RTS4# SS4#	SCK4	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
01101b	RSPCKA	—	—	—	—	—	—	—

—：不能设定。

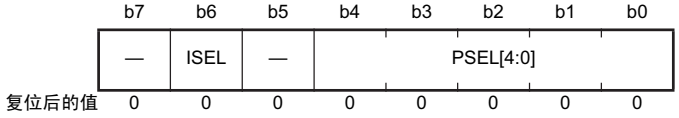
表 20.22 100 引脚 TFLGA、 100 引脚 LQFP、 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b（初始值）	Hi-Z							
00001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCC3	TIOCD3	TIOCA4	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKC	TCLKD	—	—	—	—
00101b	—	TMCI0	—	TMO0	—	TMRI1	—	—
00110b	PO24	PO25	PO26	PO27	PO28	PO29	PO30	PO31
00111b	—	—	—	POE3#	—	POE1#	—	—
01010b	—	—	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
01101b	RSPCKA	—	—	—	—	—	—	—

—：不能设定。

20.2.14 PCn 引脚功能控制寄存器 （PCnPFS）（n=0 ～ 7）

地址 PC0PFS 0008 C1A0h、PC1PFS 0008 C1A1h、PC2PFS 0008 C1A2h、PC3PFS 0008 C1A3h
PC4PFS 0008 C1A4h、PC5PFS 0008 C1A5h、PC6PFS 0008 C1A6h、PC7PFS 0008 C1A7h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.23。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

表 20.23 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b（初始值）	Hi-Z							
00001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKC	TCLKD	TCLKA	TCLKB	TIOCC6	TIOCD6	TIOCA6	TIOCB6
00100b	—	—	—	—	TCLKE	TCLKF	—	—
00101b	—	—	—	—	TMCI1	TMRI2	TMCI2	TMO2
00110b	PO17	PO18	PO21	PO24	PO25	PO29	PO30	PO31
00111b	—	—	—	—	POE0#	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
01111b	SCL3	SDA3	—	—	—	—	—	—
10000b	—	—	IERXD	IETXD	—	—	—	—

—：不能设定。

表 20.24 100 引脚 TFLGA、100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b（初始值）	Hi-Z							
00001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKC	TCLKD	TCLKA	TCLKB	—	—	—	—
00100b	—	—	—	—	—	—	—	—
00101b	—	—	—	—	TMCI1	TMRI2	TMCI2	TMO2
00110b	PO17	PO18	PO21	PO24	PO25	PO29	PO30	PO31
00111b	—	—	—	—	POE0#	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
01111b	—	—	—	—	—	—	—	—
10000b	—	—	IERXD	IETXD	—	—	—	—

—：不能设定。

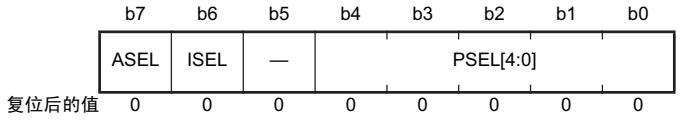
表 20.25 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚					
	PC2	PC3	PC4	PC5	PC6	PC7
00000b（初始值）	Hi-Z					
00001b	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKA	TCLKB	—	—	—	—
00100b	—	—	—	—	—	—
00101b	—	—	TMCI1	TMRI2	TMCI2	TMO2
00110b	PO21	PO24	PO25	PO29	PO30	PO31
00111b	—	—	POE0#	—	—	—
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10000b	IERXD	IETXD	—	—	—	—

—：不能设定。

20.2.15 PDn 引脚功能控制寄存器 （PDnPFS）（y=0 ～ 7）

地址 PD0PFS 0008 C1A8h、PD1PFS 0008 C1A9h、PD2PFS 0008 C1AAh、PD3PFS 0008 C1ABh
PD4PFS 0008 C1ACh、PD5PFS 0008 C1ADh、PD6PFS 0008 C1AEh、PD7PFS 0008 C1AFh



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.26。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	ASEL	模拟输入功能选择位	0：不用作模拟引脚 1：用作模拟引脚	R/W

表 20.26 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b（初始值）	Hi-Z							
00001b	—	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
00011b	TIOCA7	TIOCB7	TIOCA8	TIOCB8	—	—	—	—
00100b	—	TCLKG	—	TCLKH	—	—	—	—
00111b	—	—	—	POE8#	POE3#	POE2#	POE1#	POE0#
01101b	—	MOSIC	MISOC	RSPCKC	SSLC0	SSLC1	SSLC2	SSLC3
10000b	—	CTX0	CRX0	—	—	—	—	—

—：不能设定。

表 20.27 100 引脚 TFLGA、 100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚						
	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b（初始值）	Hi-Z						
00001b	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
00111b	—	—	POE8#	POE3#	POE2#	POE1#	POE0#
10000b	CTX0	CRX0	—	—	—	—	—

—：不能设定。

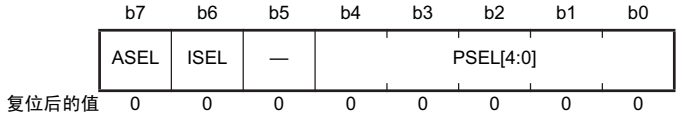
表 20.28　80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚	
	PD1	PD2
00000b（初始值）	Hi-Z	
00001b	MTIOC4B	MTIOC4D

—：不能设定。

20.2.16　PEn 引脚功能控制寄存器 （PEnPFS）（n=0 ～ 7）

地址　PE0PFS 0008 C1B0h、PE1PFS 0008 C1B1h、PE2PFS 0008 C1B2h、PE3PFS 0008 C1B3h
PE4PFS 0008 C1B4h、PE5PFS 0008 C1B5h、PE6PFS 0008 C1B6h、PE7PFS 0008 C1B7h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.29。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	ASEL	模拟输入功能选择位	0：不用作模拟引脚 1：用作模拟引脚	R/W

表 20.29　177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
00000b（初始值）	Hi-Z							
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
00010b	—	—	—	—	MTIOC1A	MTIOC2B	—	—
00011b	TIOCC9	TIOCD9	TIOCA9	TIOCB9	TIOCA10	TIOCB10	TIOCA11	TIOCB11
00110b	—	PO18	PO23	PO26	PO28	—	—	—
00111b	—	—	—	POE8#	—	—	—	—
01011b	—	—	—	—	—	—	CTS4# RTS4# SS4#	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
01101b	SSLB1	SSLB2	SSLB3	MISOB	SSLB0	RSPCKB	MOSIB	MISOB
01110b	—	RSPCKB	MOSIB	—	—	—	—	—

—：不能设定。

表 20.30 100 引脚 TFLGA、100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
00000b（初始值）	Hi-Z							
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
00010b	—	—	—	—	MTIOC1A	MTIOC2B	—	—
00110b	—	PO18	PO23	PO26	PO28	—	—	—
00111b	—	—	—	POE8#	—	—	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
01101b	SSLB1	SSLB2	SSLB3	MISOB	SSLB0	RSPCKB	MOSIB	MISOB
01110b	—	RSPCKB	MOSIB	—	—	—	—	—

—：不能设定。

表 20.31 80 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚					
	PE0	PE1	PE2	PE3	PE4	PE5
00000b（初始值）	Hi-Z					
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C
00010b	—	—	—	—	MTIOC1A	MTIOC2B
00110b	—	PO18	PO23	PO26	PO28	—
00111b	—	—	—	POE8#	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—
01101b	SSLB1	SSLB2	SSLB3	MISOB	SSLB0	RSPCKB
01110b	—	RSPCKB	MOSIB	—	—	—

—：不能设定。

20.2.17 PFn 引脚功能控制寄存器 （PFnPFS）（n=0 ～ 2、 5）

地址 PF0PFS 0008 C1B8h、PF1PFS 0008 C1B9h、PF2PFS 0008 C1BAh、PF5PFS 0008 C1BDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	—	PSEL[4:0]				
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.32。	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ISEL	中断输入功能选择位	0：不用作 IRQn 输入引脚 1：用作 IRQn 输入引脚	R/W
b7	—	保留位	读写值都为 “0”。	R/W

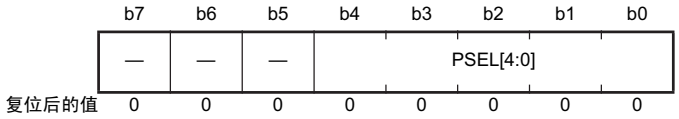
表 20.32 177 引脚 TFLGA、 176 引脚 LFBGA、 176 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚		
	PF0	PF1	PF2
00000b（初始值）	Hi-Z		
01010b	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1

—：不能设定。

20.2.18 PJ3 引脚功能控制寄存器 （PJ3PFS）

地址 PJ3PFS 0008 C1D3h



位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.33。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

表 20.33 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP、100 引脚 TFLGA、 100 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚
	PJ3
00000b（初始值）	Hi-Z
00001b	MTIOC3C
01010b	CTS6# RTS6# SS6#
01011b	CTS0# RTS0# SS0#

20.2.19 PKn 引脚功能控制寄存器 （PKnPFS）（n=2 ～ 5）

地址 PK2PFS 0008 C1E2h、PK3PFS 0008 C1E3h、PK4PFS 0008 C1E4h、PK5PFS 0008 C1E5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PSEL[4:0]				
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	PSEL[4:0]	引脚功能选择位	选择外围功能。有关各引脚功能，请参照表 20.34。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

表 20.34 177 引脚 TFLGA、176 引脚 LFBGA、176 引脚 LQFP、145 引脚 TFLGA、144 引脚 LQFP 的引脚输入 / 输出功能寄存器的设定

PSEL[4:0] 位的设定值	引脚			
	PK2	PK3	PK4	PK5
00000b（初始值）	Hi-Z			
01010b	TXD9 SMOSI9 SSDA9	RXD9 SMISO9 SSCL9	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4

20.2.20 CS 输出允许寄存器 （PFCSE）

地址 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CS0E	CS0 允许位	0：禁止输出 CSn# 1：允许输出 CSn# （n=0 ～ 7）	R/W
b1	CS1E	CS1 允许位		R/W
b2	CS2E	CS2 允许位		R/W
b3	CS3E	CS3 允许位		R/W
b4	CS4E	CS4 允许位		R/W
b5	CS5E	CS5 允许位		R/W
b6	CS6E	CS6 允许位		R/W
b7	CS7E	CS7 允许位		R/W

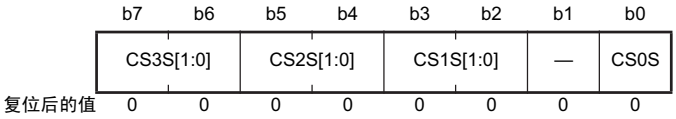
CSnE 位 （CSn 允许位）（n=0 ～ 7）

此位选择允许或者禁止输出对应的 CSn#。

当输出 CSn# 时，必须将对应的 PFCSE.CSnE 位置 “1”。

20.2.21 CS 输出引脚选择寄存器 0 （PFCSS0）

地址 0008 C102h



位	符号	位名	功能	R/W
b0	CS0S	CS0# 输出引脚选择位	0：将 P60 设定为 CS0# 输出引脚 1：将 PC7 设定为 CS0# 输出引脚	R/W
b1	—	保留位	读写值都为 “0”。	R/W
b3-b2	CS1S[1:0]	CS1# 输出引脚选择位	b3 b2 0 0：将 P61 设定为 CS1# 输出引脚 0 1：将 P71 设定为 CS1# 输出引脚 1 x：将 PC6 设定为 CS1# 输出引脚	R/W
b5-b4	CS2S[1:0]	CS2# 输出引脚选择位	b5 b4 0 0：将 P62 设定为 CS2# 输出引脚 0 1：将 P72 设定为 CS2# 输出引脚 1 x：将 PC5 设定为 CS2# 输出引脚	R/W
b7-b6	CS3S[1:0]	CS3# 输出引脚选择位	b7 b6 0 0：将 P63 设定为 CS3# 输出引脚 0 1：将 P73 设定为 CS3# 输出引脚 1 x：将 PC4 设定为 CS3# 输出引脚	R/W

x：Don't care

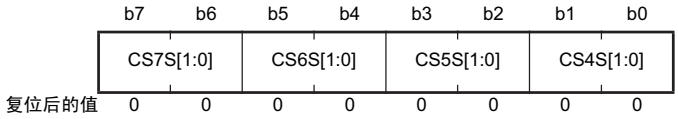
CS0S 位 （CS0# 输出引脚选择位）

CSnS[1:0] 位 （CSn# 输出引脚选择位）（n=1 ～ 3）

在允许输出 CSn# 时 （PFCSE.CSnE 位 =1），这些位选择 CSn# 的输出引脚。

20.2.22 CS 输出引脚选择寄存器 1 （PFCSS1）

地址 0008 C103h



位	符号	位名	功能	R/W
b1-b0	CS4S[1:0]	CS4# 输出引脚选择位	b1 b0 0 0：将 P64 设定为 CS4# 输出引脚 0 1：将 P74 设定为 CS4# 输出引脚 1 x：将 P24 设定为 CS4# 输出引脚	R/W
b3-b2	CS5S[1:0]	CS5# 输出引脚选择位	b3 b2 0 0：将 P65 设定为 CS5# 输出引脚 0 1：将 P75 设定为 CS5# 输出引脚 1 x：将 P25 设定为 CS5# 输出引脚	R/W
b5-b4	CS6S[1:0]	CS6# 输出引脚选择位	b5 b4 0 0：将 P66 设定为 CS6# 输出引脚 0 1：将 P76 设定为 CS6# 输出引脚 1 x：将 P26 设定为 CS6# 输出引脚	R/W
b7-b6	CS7S[1:0]	CS7# 输出引脚选择位	b7 b6 0 0：将 P67 设定为 CS7# 输出引脚 0 1：将 P77 设定为 CS7# 输出引脚 1 x：将 P27 设定为 CS7# 输出引脚	R/W

x：Don't care

CSnS[1:0] 位 （CSn# 输出引脚选择位）（n=4 ～ 7）

在允许输出 CSn# 时 （PFCSE.CSnE 位 =1），这些位选择 CSn# 的输出引脚。

20.2.23 地址输出允许寄存器 0 （PFAOE0）

地址 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	A8E	地址 A8 的输出允许位	0：禁止输出 A8 1：允许输出 A8	R/W
b1	A9E	地址 A9 的输出允许位	0：禁止输出 A9 1：允许输出 A9	R/W
b2	A10E	地址 A10 的输出允许位	0：禁止输出 A10 1：允许输出 A10	R/W
b3	A11E	地址 A11 的输出允许位	0：禁止输出 A11 1：允许输出 A11	R/W
b4	A12E	地址 A12 的输出允许位	0：禁止输出 A12 1：允许输出 A12	R/W
b5	A13E	地址 A13 的输出允许位	0：禁止输出 A13 1：允许输出 A13	R/W
b6	A14E	地址 A14 的输出允许位	0：禁止输出 A14 1：允许输出 A14	R/W
b7	A15E	地址 A15 的输出允许位	0：禁止输出 A15 1：允许输出 A15	R/W

20.2.24 地址输出允许寄存器 1 （PFAOE1）

地址 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	A16E	地址 A16 的输出允许位	0：禁止输出 A16 1：允许输出 A16	R/W
b1	A17E	地址 A17 的输出允许位	0：禁止输出 A17 1：允许输出 A17	R/W
b2	A18E	地址 A18 的输出允许位	0：禁止输出 A18 1：允许输出 A18	R/W
b3	A19E	地址 A19 的输出允许位	0：禁止输出 A19 1：允许输出 A19	R/W
b4	A20E	地址 A20 的输出允许位	0：禁止输出 A20 1：允许输出 A20	R/W
b5	A21E	地址 A21 的输出允许位	0：禁止输出 A21 1：允许输出 A21	R/W
b6	A22E	地址 A22 的输出允许位	0：禁止输出 A22 1：允许输出 A22	R/W
b7	A23E	地址 A23 的输出允许位	0：禁止输出 A23 1：允许输出 A23	R/W

20.2.25 外部总线控制寄存器 0 （PFBCR0）

地址 0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	WR32BC32E	WR1BC1E	DH32E	DHE	—	—	ADRHMS	ADRLE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ADRLE	A0 ～ A7 输出允许位	0：将 PA0 ～ PA7 设定为 I/O 端口 1：将 PA0 ～ PA7 设定为外部地址总线 A0 ～ A7	R/W
b1	ADRHMS	A16 ～ A23 输出选择位	0：将 PC0 ～ PC7 设定为外部地址总线 A16 ～ A23 1：将 P90 ～ P97 设定为外部地址总线 A16 ～ A23	R/W
b3-b2	—	保留位	读写值都为 “0”。	R/W
b4	DHE	D8 ～ D15 输出允许位	0：将 PE0 ～ PE7 设定为 I/O 端口 1：将 PE0 ～ PE7 设定为外部数据总线 D8 ～ D15	R/W
b5	DH32E	D16 ～ D31 输出允许位	0：将 PG0 ～ PG7 和 P90 ～ P97 设定为 I/O 端口 1：将 PG0 ～ PG7 和 P90 ～ P97 设定为外部数据总线 D16 ～ D31	R/W
b6	WR1BC1E	WR1#/BC1# 输出允许位	0：将 P51 设定为 I/O 端口 1：将 P51 设定为 WR1# 或者 BC1#	R/W
b7	WR32BC32E	WR3#/BC3# 输出允许位 WR2#/BC2# 输出允许位	0：将 P56 和 P57 设定为 I/O 端口 1：将 P56 设定为 WR#2 或者 BC2#， 将 P57 设定为 WR#3 或者 BC3#。	R/W

20.2.26 外部总线控制寄存器 1 （PFBCR1）

地址 0008 C107h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ALEOE	WAITS[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	WAITS[1:0]	WAIT 选择位	b1 b0 0 0：将 P57 设定为 WAIT# 输入引脚 0 1：将 P55 设定为 WAIT# 输入引脚 1 0：将 PC5 设定为 WAIT# 输入引脚 1 1：将 P51 设定为 WAIT# 输入引脚	R/W
b2	ALEOE	ALE 输出允许位	0：将 P54 设定为 I/O 端口 1：将 P54 设定为 ALE 引脚	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

WAITS[1:0] （WAIT 选择位）

在外部总线有效时，WAITS[1:0] 位指定的端口为 WAIT# 引脚。但是，在将指定的端口不用作 WAIT# 引脚时，能通过将 CSn 模式寄存器的外部等待允许位（CSnMOD.EWENB）置 “0”（禁止外部等待），将指定的端口用作通用输入端口。

如果指定的 WAIT# 引脚既不用作 WAIT 输入引脚也不用作通用输入端口，就必须将该引脚上拉或者下拉。

20.2.27 USB0 控制寄存器 （PFUSB0）

地址 0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PUPHZS	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为 “0”。	R/W
b2	PUPHZS	PUPHZ 选择位	0：USB0_DPUPE 引脚 =High 电平输出 /Low 电平输出 （外部上拉控制信号） 1：USB0_DPUPE 引脚 =High 电平输出 /Hi-Z 状态 （USB0_DP 引脚上拉输出）	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

通过设定端口模式寄存器 （PMR）和 Pmn 引脚功能控制寄存器 （PmnPFS）， PUPHZS 位的功能在分配 DPUPE 引脚的状态下有效。

PUPHZS 位 （PUPHZ 选择位）

此位选择 USB0_DPUPE 引脚的输出模式 （外部上拉控制 / 引脚上拉输出）。

如果将 PUPHZS 位置“0”，就变为用于外部上拉 IC 的控制信号输出模式，从 USB0_DPUPE 引脚输出 High 电平有效的控制信号。当上拉 USB0_DP 引脚时， USB0_DPUPE 引脚为 High 电平输出状态；当解除 USB0_DP 引脚的上拉时， USB0_DPUPE 引脚为 Low 电平输出状态。

如果将 PUPHZS 位置“1”，就变为直接上拉 USB0_DP 引脚的输出模式。当上拉 USB0_DP 引脚时，USB0_DPUPE 引脚为 High 电平输出状态；当解除 USB0_DP 引脚的上拉时， USB0_DPUPE 引脚为 Hi-Z 状态。

20.3 外部总线接口的设定方法

在使用外部总线接口时，必须在将系统控制寄存器 0 的外部总线有效位（SYSCR0.EXBE）置“1”后设定 MPC 的寄存器。

各端口的外部总线接口的设定方法如表 20.35 所示。

对应的 MPC 寄存器的详细内容请参照 “20.2 寄存器说明”。

表 20.35 外部总线接口的设定方法 (1/3)

端口	输出信号名	MPC 寄存器的设定
P24	CS4#	PFCSE.CS4E=1、 PFCSS1.CS4S[1:0]=10/11
P25	CS5#	PFCSE.CS5E=1、 PFCSS1.CS5S[1:0]=10/11
P26	CS6#	PFCSE.CS6E=1、 PFCSS1.CS6S[1:0]=10/11
P27	CS7#	PFCSE.CS7E=1、 PFCSS1.CS7S[1:0]=10/11
P50	WR0#/WR#	—
P51	WR1#/BC1#	PFBCR0.WR1BC1E=1
	WAIT#	PFBCR1.WAITS[1:0]=11
P52	RD#	—
P53	BCLK	—
P54	ALE	PFBCR1.ALEOE=1
P55	WAIT#	PFBCR1.WAITS[1:0]=01
P56	WR2#/BC2#	PFBCR0.WR32BC32E=1
P57	WR3#/BC3#	PFBCR0.WR32BC32E=1
	WAIT#	PFBCR1.WAITS[1:0]=00
P60	CS0#	PFCSE.CS0E=1、 PFCSS0.CS0S=0
P61	CS1#	PFCSE.CS1E=1、 PFCSS0.CS1S[1:0]=00
P62	CS2#	PFCSE.CS2E=1、 PFCSS0.CS2S[1:0]=00
P63	CS3#	PFCSE.CS3E=1、 PFCSS0.CS3S[1:0]=00
P64	CS4#	PFCSE.CS4E=1、 PFCSS1.CS4S[1:0]=00
P65	CS5#	PFCSE.CS5E=1、 PFCSS1.CS5S[1:0]=00
P66	CS6#	PFCSE.CS6E=1、 PFCSS1.CS6S[1:0]=00
P67	CS7#	PFCSE.CS7E=1、 PFCSS1.CS7S[1:0]=00
P70	—	—
P71	CS1#	PFCSE.CS1E=1、 PFCSS0.CS1S[1:0]=01
P72	CS2#	PFCSE.CS2E=1、 PFCSS0.CS2S[1:0]=01
P73	CS3#	PFCSE.CS3E=1、 PFCSS0.CS3S[1:0]=01
P74	CS4#	PFCSE.CS4E=1、 PFCSS1.CS4S[1:0]=01
P75	CS5#	PFCSE.CS5E=1、 PFCSS1.CS5S[1:0]=01
P76	CS6#	PFCSE.CS6E=1、 PFCSS1.CS6S[1:0]=01
P77	CS7#	PFCSE.CS7E=1、 PFCSS1.CS7S[1:0]=01
P90	D16	PFBCR0.DH32E=1
	A16	PFAOE1.A16E=1、 PFBCR0.ADRHMS=1
P91	D17	PFBCR0.DH32E=1
	A17	PFAOE1.A17E=1、 PFBCR0.ADRHMS=1

表 20.35 外部总线接口的设定方法 (2/3)

端口	输出信号名	MPC 寄存器的设定
P92	D18	PFBCR0.DH32E=1
	A18	PFAOE1.A18E=1、 PFBCR0.ADRHMS=1
P93	D19	PFBCR0.DH32E=1
	A19	PFAOE1.A19E=1、 PFBCR0.ADRHMS=1
P94	D20	PFBCR0.DH32E=1
	A20	PFAOE1.A20E=1、 PFBCR0.ADRHMS=1
P95	D21	PFBCR0.DH32E=1
	A21	PFAOE1.A21E=1、 PFBCR0.ADRHMS=1
P96	D22	PFBCR0.DH32E=1
	A22	PFAOE1.A22E=1、 PFBCR0.ADRHMS=1
P97	D23	PFBCR0.DH32E=1
	A23	PFAOE1.A23E=1、 PFBCR0.ADRHMS=1
PA0	A0/BC0#	PFBCR0.ADRLE=1
PA1	A1	PFBCR0.ADRLE=1
PA2	A2	PFBCR0.ADRLE=1
PA3	A3	PFBCR0.ADRLE=1
PA4	A4	PFBCR0.ADRLE=1
PA5	A5	PFBCR0.ADRLE=1
PA6	A6	PFBCR0.ADRLE=1
PA7	A7	PFBCR0.ADRLE=1
PB0	A8	PFAOE0.A8E=1
PB1	A9	PFAOE0.A9E=1
PB2	A10	PFAOE0.A10E=1
PB3	A11	PFAOE0.A11E=1
PB4	A12	PFAOE0.A12E=1
PB5	A13	PFAOE0.A13E=1
PB6	A14	PFAOE0.A14E=1
PB7	A15	PFAOE0.A15E=1
PC0	A16	PFAOE1.A16E=1、 PFBCR0.ADRHMS=0
PC1	A17	PFAOE1.A17E=1、 PFBCR0.ADRHMS=0
PC2	A18	PFAOE1.A18E=1、 PFBCR0.ADRHMS=0
PC3	A19	PFAOE1.A19E=1、 PFBCR0.ADRHMS=0
PC4	A20	PFAOE1.A20E=1、 PFBCR0.ADRHMS=0
	CS3#	PFCSE.CS3E=1、 PFCSS0.CS3S[1:0]=10/11
PC5	A21	PFAOE1.A21E=1、 PFBCR0.ADRHMS=0
	CS2#	PFCSE.CS2E=1、 PFCSS0.CS2S[1:0]=10/11
	WAIT#	PFBCR1.WAITS[1:0]=10
PC6	A22	PFAOE1.A22E=1、 PFBCR0.ADRHMS=0
	CS1#	PFCSE.CS1E=1、 PFCSS0.CS1S[1:0]=10/11
PC7	A23	PFAOE1.A23E=1、 PFBCR0.ADRHMS=0
	CS0#	PFCSE.CS0E=1、 PFCSS0.CS0S=1

表 20.35 外部总线接口的设定方法 (3/3)

端口	输出信号名	MPC 寄存器的设定
PD0	D0[A0/D0]	—
PD1	D1[A1/D1]	—
PD2	D2[A2/D2]	—
PD3	D3[A3/D3]	—
PD4	D4[A4/D4]	—
PD5	D5[A5/D5]	—
PD6	D6[A6/D6]	—
PD7	D7[A7/D7]	—
PE0	D8[A8/D8]	PFBCR0.DHE=1
PE1	D9[A9/D9]	PFBCR0.DHE=1
PE2	D10[A10/D10]	PFBCR0.DHE=1
PE3	D11[A11/D11]	PFBCR0.DHE=1
PE4	D12[A12/D12]	PFBCR0.DHE=1
PE5	D13[A13/D13]	PFBCR0.DHE=1
PE6	D14[A14/D14]	PFBCR0.DHE=1
PE7	D15[A15/D15]	PFBCR0.DHE=1
PG0	D24	PFBCR0.DH32E=1
PG1	D25	PFBCR0.DH32E=1
PG2	D26	PFBCR0.DH32E=1
PG3	D27	PFBCR0.DH32E=1
PG4	D28	PFBCR0.DH32E=1
PG5	D29	PFBCR0.DH32E=1
PG6	D30	PFBCR0.DH32E=1
PG7	D31	PFBCR0.DH32E=1

20.4 使用时的注意事项

20.4.1 引脚输入 / 输出功能的设定步骤

必须按照以下步骤设定引脚输入 / 输出功能。

1. 通过将对应引脚的端口方向寄存器（PDR）和端口模式寄存器（PMR）置“0”，设定为通用输入功能。
2. 通过设定写保护寄存器 （PWPR），将Pmn引脚功能控制寄存器 （PmnPFS）的写操作置为有效（m=0～9、 A～F、 J、 K、 n=0～7）。
3. 通过PmnPFS.PSEL[4:0]位设定引脚输入/输出功能。
4. 必须通过将PWPR.PFSWE位置 “0”，禁止写PmnPFS寄存器。
5. 根据需要，将PMR寄存器置 “1”，切换到所选择的引脚输入/输出功能。

20.4.2 设定 MPC 寄存器时的注意事项

1. 必须在对应引脚的PMR寄存器为“0”的状态下设定Pmn引脚功能控制寄存器 （PmnPFS）。如果在对应引脚的 PMR 寄存器为 “1”的状态下设定 PmnPFS 寄存器，就可能在输入功能的情况下输入意外的边沿，可能在输出功能的情况下输出意外的脉冲。
2. 必须设定PmnPFS寄存器能设定的功能。如果设定没有指定的功能，就不保证运行。
3. 不能设定为通过MPC给多个引脚分配相同的功能。
4. 端口0、4、9、D、E也兼用A/D转换器和D/A转换器的模拟输入引脚功能。当用作模拟输入引脚时，为了不降低精度，必须在将端口模式寄存器 （PMR）和端口方向寄存器 （PDR）的对应位都置 “0”后，将对应引脚设定为通用输入并且将PmnPFS.ASEL位置 “1”。
5. 复位后，时间捕捉控制寄存器y （RTCCRy）（y=0～2）的时间捕捉事件输入引脚允许位 （TCEN）的初始值为不定值。为了禁止不需要的输入，必须将此位置 “0”。
6. 被多路复用的引脚的端口模式寄存器 （PMR）、端口方向寄存器 （PDR）和Pmn引脚功能控制寄存器（PmnPFS）的设定和注意事项如表20.36所示。

表 20.36 寄存器的设定

项目	PMR.Bn	PDR.Bn	PmnPFS			注意事项
			ASEL	ISEL	PSEL[4:0]	
解除复位后	0	0	0	0	00000b	在解除复位后，用作通用输入端口。
通用输入端口	0	0	0	0/1	x	当与中断输入并用时，必须将PmnPFS.ISEL位置“1”。
通用输出端口	0	1	0	0/1	x	当与中断输入并用时，必须将PmnPFS.ISEL位置“1”。
外围功能	1	x	0	0/1	外围功能（参照表 20.2 ～表 20.34）	当与中断输入并用时，必须将PmnPFS.ISEL位置“1”。
中断输入	0	0	0	1	x	
NMI	x	x	x	x（注 1）	x	不需要设定寄存器。
模拟输入 / 输出	0	0	1	x（注 1）	x	为了将输出缓冲器置为 OFF，必须设定为通用输入端口。
时间捕捉事件输入引脚	0	0	x	0/1	x	为了将输出缓冲器置为 OFF，必须设定为通用输入端口。
外部总线	0	x	0	0	x	不能在将 PMR.Bn 位置 “0” 后选择外围功能。
JTAG 接口	0	x	x	0	x	必须在将 PMR.Bn 和 PmnPFS.ISEL 位都置“0”后，将输入缓冲器置为 OFF。
FINE 接口	0	x	x	0	x	必须在将 PMR.Bn 位和 PmnPFS.ISEL 位都置“0”后，将输入缓冲器置为 OFF。
EXTAL/XTAL	0	0	x	x（注 1）	x	为了将输出缓冲器置为 OFF，必须设定为通用输入端口。
XCIN/XCOUT	0	0	x	x（注 1）	x	为了将输出缓冲器置为 OFF，必须设定为通用输入端口。

x：不需要设定。

0/1：如果将 PmnPFS.ISEL 位置 “0”，就不用作 IRQ 引脚。
如果将PmnPFS.ISEL位置 “1”，就用作IRQ引脚 （IRQ被多路复用的情况）

注 . 即使将 PmnPFS.ISEL 位置 “1”，也不用作 IRQn 输入引脚。

注 1. 能在 PmnPFS.ASEL 位为 “0” 时读引脚状态。

注 2. 必须在 PMR.Bn 位为 “0” 的状态下更改 PmnPFS.PSEL[4:0] 位。

注 3. 对于分配了 RIIC 的端口，必须将 PCR.Bn 位置 “0”（在 RIIC 以外的外围功能输出中，上拉自动变为 OFF）。

注 4. 在不使用时间捕捉事件输入引脚时，必须将此输入的时间捕捉控制寄存器 y 的时间捕捉事件输入引脚允许位（RTCCRy.TCEN）置 “0”（无效）。

注 5. 输出功能的优先级如下：
调试程序 （JTAG/FINE/ 跟踪）＞外部总线＞通用端口＞外围功能

注 6. 当给外部总线引脚同时设定了以下功能时，优先级如下：
数据总线 (1) ＞地址总线 (2) ＞ CS#(3)
(1) D0 ～ D31 （数据总线）
(2) RD#、 WR0#/WR# ～ WR3#、 BC0# ～ BC3#、 BCLK、 A0 ～ A23 （地址总线）
(3) CS0# ～ CS7# （片选）

20.4.3 使用模拟功能时的注意事项

在使用模拟功能时，必须将端口模式寄存器 （PMR）和端口方向寄存器 （PDR）的对应位都置 “0” 并且将对应的引脚设定为通用输入端口，然后将 Pmn 引脚功能控制寄存器的引脚功能选择位（PmnPFS.ASEL[1:0]）置 “1”。

21. 多功能定时器脉冲单元 2 （MTU2a）

21.1 概要

RX630 群内置由 6 个通道 （MTU0 ～ MTU5）的 16 位定时器构成的多功能定时器脉冲单元 2 （MTU）。MTU 的规格和功能一览表分别如表 21.1 和表 21.2 所示， MTU 的框图如图 21.1 所示。

表 21.1 MTU 的规格

项目	内容
脉冲输入 / 输出	最多 16 个
脉冲输入	3 个
计数时钟	各通道有 8 种或者 7 种 （MTU5 有 4 种）。
能设定的运行	【MTU0 ～ 4】 • 通过比较匹配进行波形输出。 • 输入捕捉功能 （噪声滤波器设定功能） • 计数器清除运行 • 同时写多个定时器的计数器 （TCNT）。 • 通过比较匹配或者输入捕捉进行同时清除。 • 通过计数器的同步运行进行各寄存器的同步输入 / 输出。 • 通过和同步运行的组合进行最多 12 相的 PWM 输出。
	【MTU0、 3、 4】 • 能设定缓冲运行。 • 能设定使用互补 PWM 或者复位同步 PWM 的 AC 同步马达 （无刷 DC 马达）驱动模式，并且可选择 2 种 （斩波、电平）波形输出。
	【MTU1 和 MTU2】 • 能分别设定相位计数模式。 • 级联运行
	【MTU3 和 MTU4】 • 能通过联动运行输出互补 PWM 或者复位 PWM 的正负 3 相共 6 相。
	【MTU5】 • 用于补偿死区时间的计数器功能。
互补 PWM 模式	• 计数器波峰 / 波谷的中断 • A/D 转换器的转换开始触发减少功能
中断源	28 种
缓冲运行	寄存器数据的自动传送
触发生成	能生成可编程脉冲发生器 （PPG）的输出触发。
	能生成 A/D 转换器的转换开始触发。
低功耗功能	能设定为模块停止状态。

表 21.2 MTU 的功能一览表 (1/2)

项目		MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
计数时钟		PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64
通用寄存器 （TGR）		TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
通用寄存器 / 缓冲寄存器		TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
输入 / 输出引脚		MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	输入引脚 MTIC5U MTIC5V MTIC5W
计数器清除功能		TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉
比较匹配输出	Low 电平输出	○	○	○	○	○	—
	High 电平输出	○	○	○	○	○	—
	交替输出	○	○	○	○	○	—
输入捕捉功能		○	○	○	○	○	○
同步运行		○	○	○	○	○	—
PWM 模式 1		○	○	○	○	○	—
PWM 模式 2		○	○	○	—	—	—
互补 PWM 模式		—	—	—	○	○	—
复位同步 PWM		—	—	—	○	○	—
AC 同步马达驱动模式		○	—	—	○	○	—
相位计数模式		—	○	○	—	—	—
缓冲运行		○	—	—	○	○	—
用于补偿死区时间的计数器功能		—	—	—	—	—	○
DMAC 的启动		TGRA 的 比较匹配或者 输入捕捉	TGRA 的 比较匹配或者 输入捕捉	TGRA 的 比较匹配或者 输入捕捉	TGRA 的 比较匹配或者 输入捕捉	TGRA 的 比较匹配或者 输入捕捉	—
DTC 的启动		TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉	TGR 的 比较匹配或者 输入捕捉、 TCNT 的上溢 / 下溢	TGR 的 比较匹配或者 输入捕捉

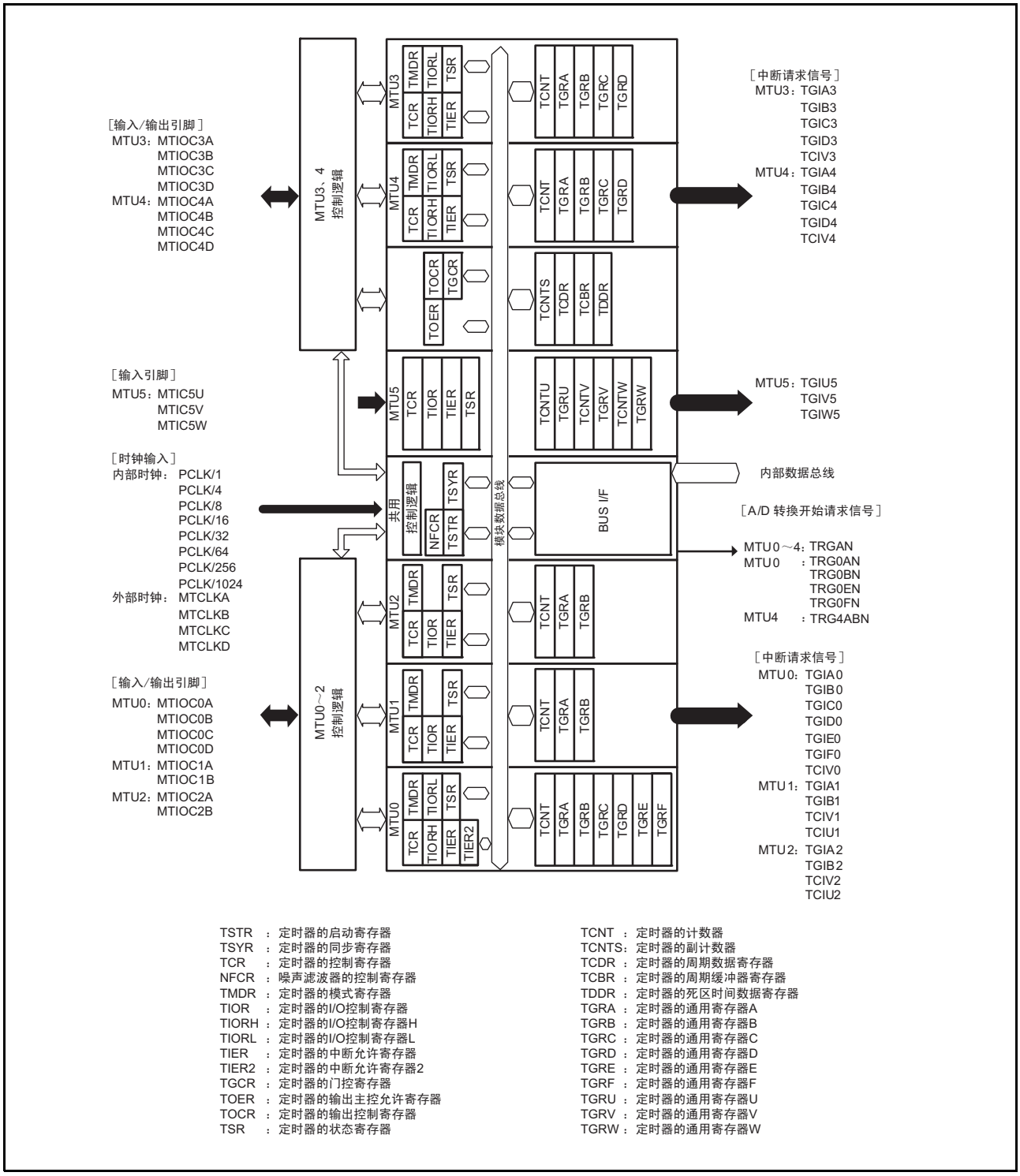
表 21.2　MTU 的功能一览表 (2/2)

项目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
A/D 转换开始触发	TGRA 的比较匹配或者输入捕捉、TGRB 的比较匹配或者输入捕捉、TGRC 的比较匹配或者输入捕捉、TGRD 的比较匹配或者输入捕捉、TGRE 的比较匹配、TGRF 的比较匹配	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉、互补 PWM 模式中的 TCNT 下溢 （波谷）	—
PPG 触发	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	—	—
中断源	7 个源 • 比较匹配 / 输入捕捉 0A • 比较匹配 / 输入捕捉 0B • 比较匹配 / 输入捕捉 0C • 比较匹配 / 输入捕捉 0D • 比较匹配 0E • 比较匹配 0F • 上溢	4 个源 • 比较匹配 / 输入捕捉 1A • 比较匹配 / 输入捕捉 1B • 上溢 • 下溢	4 个源 • 比较匹配 / 输入捕捉 2A • 比较匹配 / 输入捕捉 2B • 上溢 • 下溢	5 个源 • 比较匹配 / 输入捕捉 3A • 比较匹配 / 输入捕捉 3B • 比较匹配 / 输入捕捉 3C • 比较匹配 / 输入捕捉 3D • 上溢	5 个源 • 比较匹配 / 输入捕捉 4A • 比较匹配 / 输入捕捉 4B • 比较匹配 / 输入捕捉 4C • 比较匹配 / 输入捕捉 4D • 上溢 / 下溢	3 个源 • 比较匹配 / 输入捕捉 5U • 比较匹配 / 输入捕捉 5V • 比较匹配 / 输入捕捉 5W
A/D 转换的开始请求延迟功能	—	—	—	—	• 在 TADCORA 和 TCNT 匹配时请求开始 A/D 转换或者在 TADCORB 和 TCNT 匹配时请求开始 A/D 转换	—
中断减少功能	—	—	—	• 减少 TGRA 比较匹配中断	• 减少 TCIV 中断	—
模块停止	MSTPCRA.MSTPA9（注 1）					

○：能

—：不能

注 1.　有关模块停止的详细内容，请参照 “11. 低功耗功能”。



TSTR ：定时器的启动寄存器
TSYR ：定时器的同步寄存器
TCR ：定时器的控制寄存器
NFCR ：噪声滤波器的控制寄存器
TMDR ：定时器的模式寄存器
TIOR ：定时器的I/O控制寄存器
TIORH ：定时器的I/O控制寄存器H
TIORL ：定时器的I/O控制寄存器L
TIER ：定时器的中断允许寄存器
TIER2 ：定时器的中断允许寄存器2
TGCR ：定时器的门控寄存器
TOER ：定时器的输出主控允许寄存器
TOCR ：定时器的输出控制寄存器
TSR ：定时器的状态寄存器

TCNT ：定时器的计数器
TCNTS：定时器的副计数器
TCDR ：定时器的周期数据寄存器
TCBR ：定时器的周期缓冲器寄存器
TDDR ：定时器的死区时间数据寄存器
TGRA ：定时器的通用寄存器A
TGRB ：定时器的通用寄存器B
TGRC ：定时器的通用寄存器C
TGRD ：定时器的通用寄存器D
TGRE ：定时器的通用寄存器E
TGRF ：定时器的通用寄存器F
TGRU ：定时器的通用寄存器U
TGRV ：定时器的通用寄存器V
TGRW：定时器的通用寄存器W

图 21.1 MTU 的框图

MTU 使用的输入 / 输出引脚如表 21.3 所示。

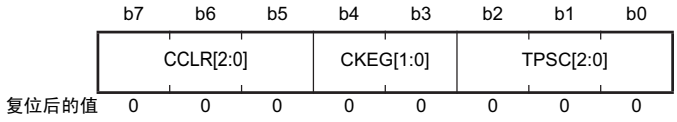
表 21.3 MTU 的输入 / 输出引脚

模块符号	引脚名	输入 / 输出	功能
MTU	MTCLKA	输入	外部时钟 A 的输入引脚 （MTU1 的相位计数模式的 A 相输入）
	MTCLKB	输入	外部时钟 B 的输入引脚 （MTU1 的相位计数模式的 B 相输入）
	MTCLKC	输入	外部时钟 C 的输入引脚 （MTU2 的相位计数模式的 A 相输入）
	MTCLKD	输入	外部时钟 D 的输入引脚 （MTU2 的相位计数模式的 B 相输入）
MTU0	MTIOC0A	输入 / 输出	TGRA0 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC0B	输入 / 输出	TGRB0 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC0C	输入 / 输出	TGRC0 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC0D	输入 / 输出	TGRD0 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
MTU1	MTIOC1A	输入 / 输出	TGRA1 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC1B	输入 / 输出	TGRB1 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
MTU2	MTIOC2A	输入 / 输出	TGRA2 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC2B	输入 / 输出	TGRB2 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
MTU3	MTIOC3A	输入 / 输出	TGRA3 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC3B	输入 / 输出	TGRB3 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC3C	输入 / 输出	TGRC3 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC3D	输入 / 输出	TGRD3 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
MTU4	MTIOC4A	输入 / 输出	TGRA4 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC4B	输入 / 输出	TGRB4 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC4C	输入 / 输出	TGRC4 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	MTIOC4D	输入 / 输出	TGRD4 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
MTU5	MTIC5U	输入	TGRU5 的输入捕捉的输入引脚 / 外部脉冲的输入引脚
	MTIC5V	输入	TGRV5 的输入捕捉的输入引脚 / 外部脉冲的输入引脚
	MTIC5W	输入	TGRW5 的输入捕捉的输入引脚 / 外部脉冲的输入引脚

21.2 寄存器说明

21.2.1 定时器的控制寄存器 （TCR）

地址 MTU0.TCR 0008 8700h、MTU1.TCR 0008 8780h、MTU2.TCR 0008 8800h
MTU3.TCR 0008 8600h、MTU4.TCR 0008 8601h、MTU5.TCRU 0008 8884h
MTU5.TCRV 0008 8894h、MTU5.TCRW 0008 88A4h



位	符号	位名	功能	R/W
b2-b0	TPSC[2:0]	定时器的预分频器选择位	请参照表 21.6 ～表 21.10。	R/W
b4-b3	CKEG[1:0]	时钟边沿选择位	b4 b3 0 0：在上升沿进行计数 0 1：在下降沿进行计数 1 x：在双边沿进行计数	R/W
b7-b5	CCLR[2:0]	计数器清除位	请参照表 21.4 和表 21.5。	R/W

x：Don't care

在 MTU 中， MTU0 ～ MTU4 各有 1 个， MTU5 有 3 个 TCRU/V/W，共计 8 个 TCR 寄存器。
TCR 寄存器是控制各通道 TCNT 的 8 位可读写寄存器。必须在 TCNT 停止计数的状态下设定 TCR 寄存器。

TPSC[2:0] 位 （定时器的预分频器选择位）

这些位选择 TCNT 计数器的时钟。各通道能独立选择时钟源，详细内容请参照表 21.6 ～表 21.10。

CKEG[1:0] 位 （时钟边沿选择位）

这些位选择输入时钟的边沿。如果在双边沿对内部时钟进行计数，输入时钟的周期就为 1/2 （例如：PCLK/4 的双边沿 =PCLK/2 的上升沿）。在 MTU1 和 MTU2 中使用相位计数模式时，忽视此设定而优先设定相位计数模式。内部时钟的边沿选择在输入时钟为 PCLK/4 或者慢于 PCLK/4 时有效。如果选择 PCLK/1 或者其他通道的上溢 / 下溢作为输入时钟，虽然能写值，但是在运行时为初始值。

CCLR[2:0] 位 （计数器清除位）

这些位选择 TCNT 计数器的清除源，详细内容请参照表 21.4 和表 21.5。

表 21.4 CCLR[2:0] （MUT0、 MUT3、 MUT4）

通道	bit7	bit6	bit5	说明
	CCLR2	CCLR1	CCLR0	
MTU0 MTU3 MTU4	0	0	0	禁止清除 TCNT。
	0	0	1	在发生 TGRA 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	0	在发生 TGRB 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	1	在清除正在进行同步清除或者同步运行的其他通道的计数器时清除 TCNT（注 1）。
	1	0	0	禁止清除 TCNT。
	1	0	1	在发生 TGRC 的比较匹配 / 输入捕捉时清除 TCNT（注 2）。
	1	1	0	在发生 TGRD 的比较匹配 / 输入捕捉时清除 TCNT（注 2）。
	1	1	1	在清除正在进行同步清除或者同步运行的其他通道的计数器时清除 TCNT（注 1）。

注 1. 通过将 TSYR.SYNC 位置 “1”，设定为同步运行。

注 2. 在将 TGRC 或者 TGRD 用作缓冲寄存器时，因为优先设定缓冲寄存器而且不发生比较匹配 / 输入捕捉，所以不清除 TCNT。

表 21.5 CCLR[2:0] （MTU1、 MTU2）

通道	bit7	bit6	bit5	说明
	保留位（注2）	CCLR1	CCLR0	
MTU1 MTU2	0	0	0	禁止清除 TCNT。
	0	0	1	在发生 TGRA 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	0	在发生 TGRB 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	1	在清除正在进行同步清除或者同步运行的其他通道的计数器时清除 TCNT（注 1）。

注 1. 通过将 TSYR.SYNC 位置 “1”，设定为同步运行。

注 2. 在 MTU1 和 MTU2 中， b7 为保留位，读写值都为 “0”。

表 21.6 TPSC[2:0] （MTU0）

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	内部时钟：通过 PCLK/1 进行计数
	0	0	1	内部时钟：通过 PCLK/4 进行计数
	0	1	0	内部时钟：通过 PCLK/16 进行计数
	0	1	1	内部时钟：通过 PCLK/64 进行计数
	1	0	0	外部时钟：通过 MTCLKA 引脚输入进行计数
	1	0	1	外部时钟：通过 MTCLKB 引脚输入进行计数
	1	1	0	外部时钟：通过 MTCLKC 引脚输入进行计数
	1	1	1	外部时钟：通过 MTCLKD 引脚输入进行计数

表 21.7 TPSC[2:0] （MTU1）

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	内部时钟：通过 PCLK/1 进行计数
	0	0	1	内部时钟：通过 PCLK/4 进行计数
	0	1	0	内部时钟：通过 PCLK/16 进行计数
	0	1	1	内部时钟：通过 PCLK/64 进行计数
	1	0	0	外部时钟：通过 MTCLKA 引脚输入进行计数
	1	0	1	外部时钟：通过 MTCLKB 引脚输入进行计数
	1	1	0	内部时钟：通过 PCLK/256 进行计数
	1	1	1	通过 MTU2.TCNT 的上溢 / 下溢进行计数。

注 . 在 MTU1 为相位计数模式时，此设定无效。

表 21.8 TPSC[2:0] （MTU2）

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	内部时钟：通过 PCLK/1 进行计数
	0	0	1	内部时钟：通过 PCLK/4 进行计数
	0	1	0	内部时钟：通过 PCLK/16 进行计数
	0	1	1	内部时钟：通过 PCLK/64 进行计数
	1	0	0	外部时钟：通过 MTCLKA 引脚输入进行计数
	1	0	1	外部时钟：通过 MTCLKB 引脚输入进行计数
	1	1	0	外部时钟：通过 MTCLKC 引脚输入进行计数
	1	1	1	内部时钟：通过 PCLK/1024 进行计数

注 . 在 MTU2 为相位计数模式时，此设定无效。

表 21.9 TPSC[2:0] （MTU3、 MTU4）

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
MTU3 MTU4	0	0	0	内部时钟：通过 PCLK/1 进行计数
	0	0	1	内部时钟：通过 PCLK/4 进行计数
	0	1	0	内部时钟：通过 PCLK/16 进行计数
	0	1	1	内部时钟：通过 PCLK/64 进行计数
	1	0	0	内部时钟：通过 PCLK/256 进行计数
	1	0	1	内部时钟：通过 PCLK/1024 进行计数
	1	1	0	外部时钟：通过 MTCLKA 引脚输入进行计数
	1	1	1	外部时钟：通过 MTCLKB 引脚输入进行计数

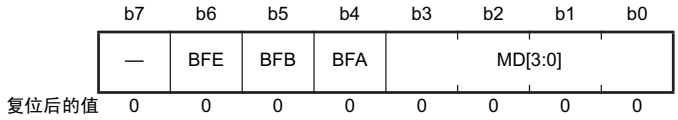
表 21.10 TPSC[1:0] （MTU5）

通道	bit1	bit0	说明
	TPSC1	TPSC0	
MTU5	0	0	内部时钟：通过 PCLK/1 进行计数
	0	1	内部时钟：通过 PCLK/4 进行计数
	1	0	内部时钟：通过 PCLK/16 进行计数
	1	1	内部时钟：通过 PCLK/64 进行计数

注 . 在 MTU5 中， b7-b2 为保留位，读写值都为 “0”。

21.2.2 定时器的模式寄存器 （TMDR）

地址 MTU0.TMDR 0008 8701h、MTU1.TMDR 0008 8781h、MTU2.TMDR 0008 8801h
MTU3.TMDR 0008 8602h、MTU4.TMDR 0008 8603h



位	符号	位名	功能	R/W
b3-b0	MD[3:0]	模式选择位	设定定时器的运行模式，请参照表 21.11。	R/W
b4	BFA	缓冲运行 A 位	0：TGRA 寄存器和 TGRC 寄存器进行正常运行 1：TGRA 寄存器和 TGRC 寄存器进行缓冲运行	R/W
b5	BFB	缓冲运行 B 位	0：TGRB 寄存器和 TGRD 寄存器进行正常运行 1：TGRB 寄存器和 TGRD 寄存器进行缓冲运行	R/W
b6	BFE	缓冲运行 E 位	0：MTU0.TGRE 寄存器和 MTU0.TGRF 寄存器进行正常运行 1：MTU0.TGRE 寄存器和 MTU0.TGRF 寄存器进行缓冲运行	R/W
b7	—	保留位	读写值都为 “0”。	R/W

TMDR 寄存器是 8 位可读写寄存器，设定各通道的运行模式。必须在 TCNT 停止计数的状态下设定 TMDR 寄存器。

表 21.11　通过 MD[3:0] 位设定的运行模式

bit3	bit2	bit1	bit0	说明
MD3	MD2	MD1	MD0	
0	0	0	0	正常运行
0	0	0	1	不能设定。
0	0	1	0	PWM 模式 1
0	0	1	1	PWM 模式 2 （注 1）
0	1	0	0	相位计数模式 1 （注 2）
0	1	0	1	相位计数模式 2 （注 2）
0	1	1	0	相位计数模式 3 （注 2）
0	1	1	1	相位计数模式 4 （注 2）
1	0	0	0	复位同步 PWM 模式 （注 3）
1	0	0	1	不能设定。
1	0	1	x	不能设定。
1	1	0	0	不能设定。
1	1	0	1	互补 PWM 模式 1 （在波峰进行传送）（注 3）
1	1	1	0	互补 PWM 模式 2 （在波谷进行传送）（注 3）
1	1	1	1	互补 PWM 模式 3 （在波峰或者波谷进行传送）（注 3）

x：Don't care

注 1.　在 MTU3 和 MTU4 中，不能设定 PWM 模式 2。

注 2.　在 MTU0、 MTU3 和 MTU4 中，不能设定相位计数模式。

注 3.　只能在 MTU3 中设定复位同步 PWM 模式或者互补 PWM 模式。
如果将MTU3设定为复位同步PWM模式或者互补PWM模式， MTU4的设定就无效并且自动服从MTU3的设定。必须给MTU4设定初始值。
在MTU0、 MTU1和MTU2中，不能设定复位同步PWM模式或者互补PWM模式。

BFA 位 （缓冲运行 A 位）

此位设定是使 TGRA 进行正常运行还是组合 TGRA 和 TGRC 进行缓冲运行。如果将 TGRC 用作缓冲寄存器，除了互补 PWM 模式以外，不产生 TGRC 的输入捕捉 / 输出比较，但是在互补 PWM 模式中产生 TGRC 的比较匹配。如果在互补 PWM 模式的 Tb 区间发生 MTU4 的比较匹配，就必须将定时器的中断允许寄存器 （MTU4.TIER）的 TGIEC 位置 “0”。

复位同步 PWM 模式和互补 PWM 模式的 MFT3 和 MFT4 的缓冲运行服从 MFT3 的设定。必须给 MFT4.TMDR 的 BFA 位写 “0”。

在没有 TGRC 的 MTU1 和 MTU2 中，此位为保留位，读写值都为 “0”。有关互补 PWM 模式的 Tb 区间，请参照图 21.40。

BFB 位 （缓冲运行 B 位）

此位设定是使 TGRB 进行正常运行还是组合 TGRB 和 TGRD 进行缓冲运行。如果将 TGRD 用作缓冲寄存器，除了互补 PWM 模式以外，不产生 TGRD 的输入捕捉 / 输出比较，但是在互补 PWM 模式中产生 TGRD 的比较匹配。如果在互补 PWM 模式的 Tb 区间发生比较匹配，就必须将定时器的中断允许寄存器 3、4（MTU3.TIER 和 MTU4.TIER）的 TGIED 位置 “0”。

复位同步 PWM 模式和互补 PWM 模式的 MTU3 和 MTU4 的缓冲运行服从 MTU3 的设定。必须将 MTU4 的 TMDR.BFB 位置 “0”。

在没有 TGRD 的 MTU1 和 MTU2 中，此位为保留位，读写值都为 “0”。有关互补 PWM 模式的 Tb 区间，请参照图 21.40。

BFE 位 （缓冲运行 E 位）

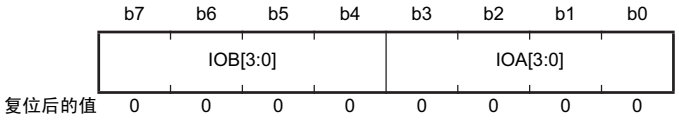
此位选择是否使 MTU0.TGRE 和 MTU0.TGRF 进行正常运行或者缓冲运行。即使将 TGRF 用作缓冲寄存器，也产生 TGRF 的比较匹配。

在 MTU1 ～ MTU4 中，此位为保留位，读写值都为 “0”。

21.2.3 定时器的 I/O 控制寄存器 （TIOR）

- MTU0.TIORH、 MTU1.TIOR、 MTU2.TIOR、 MTU3.TIORH、 MTU4.TIORH

地址 MTU0.TIORH 0008 8702h、MTU1.TIOR 0008 8782h、MTU2.TIOR 0008 8802h
MTU3.TIORH 0008 8604h、MTU4.TIORH 0008 8606h

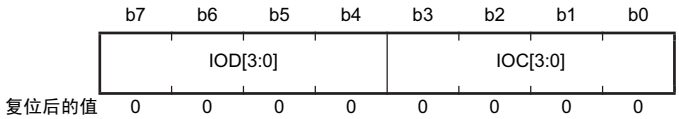


位	符号	位名	功能	R/W
b3-b0	IOA[3:0]	I/O 控制 A 位	请参照下表 （注 1）： MTU0.TIORH：表 21.20 MTU1.TIOR：表 21.22 MTU2.TIOR：表 21.23 MTU3.TIORH：表 21.24 MTU4.TIORH：表 21.26	R/W
b7-b4	IOB[3:0]	I/O 控制 B 位	请参照下表 （注 1）： MTU0.TIORH：表 21.12 MTU1.TIOR：表 21.14 MTU2.TIOR：表 21.15 MTU3.TIORH：表 21.16 MTU4.TIORH：表 21.18	R/W

注 1. 在通过比较匹配输出 Low 电平或者 /High 电平或者进行交替输出的过程中，如果将 IOn[3:0] 位 （n=A、 B）的值变为输出禁止 （“0000b”或者 “0100b”），就变为 Hi-Z。

- MTU0.TIORL、 MTU3.TIORL、 MTU4.TIORL

地址 MTU0.TIORL 0008 8703h、MTU3.TIORL 0008 8605h、MTU4.TIORL 0008 8607h

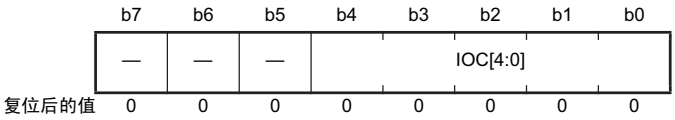


位	符号	位名	功能	R/W
b3-b0	IOC[3:0]	I/O 控制 C 位	请参照下表 （注 1）： MTU0.TIORL：表 21.21 MTU3.TIORL：表 21.25 MTU4.TIORL：表 21.27	R/W
b7-b4	IOD[3:0]	I/O 控制 D 位	请参照下表 （注 1）： MTU0.TIORL：表 21.13 MTU3.TIORL：表 21.17 MTU4.TIORL：表 21.19	R/W

注 1. 在通过比较匹配输出 Low 电平或者 High 电平或者进行交替输出的过程中，如果将 IOn[3:0] 位 （n=C、 D）的值变为输出禁止 （“0000b”或者 “0100b”），就变为 Hi-Z。

- MTU5.TIORU、 MTU5.TIORV、 MTU5.TIORW

地址 MTU5.TIORU 0008 8886h、MTU5.TIORV 0008 8896h、MTU5.TIORW 0008 88A6h



位	符号	位名	功能	R/W
b4-b0	IOC[4:0]	I/O 控制 C 位	请参照下表： MTU5.TIORU、 MTU5.TIORV、 MTU5.TIORW：表 21.28	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

在 MTU 中，MTU0、MTU3 和 MTU4 各有 2 个，MTU1 和 MTU2 各有 1 个，MTU5 有 3 个 MTU5.TIORU/V/W，共计 11 个 TIOR 寄存器。

在 TMDR 寄存器的设定为正常运行、 PWM 模式或者相位计数模式时设定 TIOR 寄存器。

在计数器停止计数（将 TSTR.CST 位置“0”）的状态下，TIOR 寄存器指定的初始输出有效。另外，在 PWM 模式 2 的情况下，指定计数器为 “0”时的输出。

如果将 TGRC 或者 TGRD 设定为缓冲运行，此设定就无效而用于缓冲寄存器的运行。

表 21.12 TIORH （MTU0）

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTU0.TGRB 的功能	MTIOC0B 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为 MTU1/ 计数时钟。 在 MTU1.TCNT 进行递增计数或者递减计数时进行输入捕捉。

x：Don't care

表 21.13 TIORL （MTU0）

bit7	bit6	bit5	bit4	说明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRD 的功能	MTIOC0D 引脚的功能
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 （注 1）	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为 MTU1/ 计数时钟。 在 MTU1.TCNT 进行递增计数或者递减计数时进行输入捕捉。

x：Don't care

注 1. 如果将MTU0.TMDR.BFB位置“1”使MTU0.TGRD用作缓冲寄存器，此设定就无效并且不发生输入捕捉/输出比较。

表 21.14 TIOR （MTU1）

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRB 的功能	MTIOC1B 引脚的功能
0	0	0	0	MTU1.TGRB 为输出比较寄存器。	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		在发生 MTU0.TGRC 的比较匹配 / 输入捕捉时进行输入捕捉。

x：Don't care

表 21.15 TIOR （MTU2）

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRB 的功能	MTIOC2B 引脚的功能
0	0	0	0	MTU2.TGRB 为输出比较寄存器。	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

表 21.16 TIORH （MTU3）

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRB 的功能	MTIOC3B 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

表 21.17 TIORL （MTU3）

bit7	bit6	bit5	bit4	说明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRD 的功能	MTIOC3D 引脚的功能
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 （注 1）	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

注 1. 如果将MTU3.TMDR.BFB位置“1”使MTU3.TGRD用作缓冲寄存器，此设定就无效并且不发生输入捕捉/输出比较。

表 21.18 TIORH （MTU4）

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRB 的功能	MTIOC4B 引脚的功能
0	0	0	0	MTU4.TGRB 为输出比较寄存器。	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

表 21.19 TIORL （MTU4）

bit7	bit6	bit5	bit4	说明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRD 的功能	MTIOC4D 引脚的功能
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 （注 1）	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

注 1. 如果将MTU4.TMDR.BFB位置“1”使MTU4.TGRD用作缓冲寄存器，此设定就无效并且不发生输入捕捉/输出比较。

表 21.20 TIORH （MTU0）

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRA 的功能	MTIOC0A 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为 MTU1/ 计数时钟。 在 MTU1.TCNT 进行递增计数或者递减计数时进行输入捕捉。

x：Don't care

表 21.21 TIORL （MTU0）

bit3	bit2	bit1	bit0	说明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRC 的功能	MTIOC0C 引脚的功能
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 （注 1）	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为 MTU1/ 计数时钟。 在 MTU1.TCNT 进行递增计数或者递减计数时进行输入捕捉。

x：Don't care

注 1. 如果将MTU0.TMDR.BFA位置“1”使MTU0.TGRC用作缓冲寄存器，此设定就无效并且不发生输入捕捉/输出比较。

表 21.22 TIOR （MTU1）

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRA 的功能	MTIOC1A 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		在发生 MTU0.TGRA 的比较匹配 / 输入捕捉时进行输入捕捉。

x：Don't care

表 21.23 TIOR （MTU2）

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRA 的功能	MTIOC2A 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

表 21.24 TIORH （MTU3）

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRA 的功能	MTIOC3A 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

表 21.25 TIORL （MTU3）

bit3	bit2	bit1	bit0	说明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRC 的引脚	MTIOC3C 引脚的功能
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 （注 1）	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

注 1. 如果将MTU3.TMDR.BFA位置“1”使MTU3.TGRC用作缓冲寄存器，此设定就无效并且不发生输入捕捉/输出比较。

表 21.26 TIORH （MTU4）

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRA 的功能	MTIOC4A 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

表 21.27 TIORL （MTU4）

bit3	bit2	bit1	bit0	说明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRC 的功能	MTIOC4C 引脚的功能
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 （注 1）	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

x：Don't care

注 1. 如果将MTU4.TMDR.BFA位置“1”使MTU4.TGRC用作缓冲寄存器，此设定就无效并且不发生输入捕捉/输出比较。

表 21.28 TIORU、 TIORV、 TIORW （MTU5）

bit4	bit3	bit2	bit1	bit0	说明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、 MTU5.TGRV、 MTU5.TGRW 的功能	MTIC5U、 MTIC5V、 MTIC5W 引脚的功能
0	0	0	0	0	比较匹配寄存器	比较匹配
0	0	0	0	1		不能设定。
0	0	0	1	x		不能设定。
0	0	1	x	x		不能设定。
0	1	x	x	x		不能设定。
1	0	0	0	0	输入捕捉寄存器	不能设定。
1	0	0	0	1		在上升沿进行输入捕捉。
1	0	0	1	0		在下降沿进行输入捕捉。
1	0	0	1	1		在双边沿进行输入捕捉。
1	0	1	x	x		不能设定。
1	1	0	0	0		不能设定。
1	1	0	0	1		用于测量外部输入信号的 Low 电平脉宽。 在互补 PWM 模式的波谷进行捕捉。
1	1	0	1	0		用于测量外部输入信号的 Low 电平脉宽。 在互补 PWM 模式的波峰进行捕捉。
1	1	0	1	1		用于测量外部输入的信号 Low 电平脉宽。 在互补 PWM 模式的波峰和波谷进行捕捉。
1	1	1	0	0		不能设定。
1	1	1	0	1		用于测量外部输入信号的 High 电平脉宽。 在互补 PWM 模式的波谷进行捕捉。
1	1	1	1	0		用于测量外部输入信号的 High 电平脉宽。 在互补 PWM 模式的波峰进行捕捉。
1	1	1	1	1		用于测量外部输入信号的 High 电平脉宽。 在互补 PWM 模式的波峰和波谷进行捕捉。

x：Don't care

21.2.4 定时器的比较匹配清除寄存器 （TCNTCMPCLR）

地址 MTU5.TCNTCMPCLR 0008 88B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CMPCLR5W	TCNT 比较清除 5W 位	0：禁止通过 MTU5.TCNTW 和 MTU5.TGRW 的比较匹配/输入捕捉将 MTU5.TCNTW 清“0000h” 1：允许通过 MTU5.TCNTW 和 MTU5.TGRW 的比较匹配/输入捕捉将 MTU5.TCNTW 清“0000h”	R/W
b1	CMPCLR5V	TCNT 比较清除 5V 位	0：禁止通过 MTU5.TCNTV 和 MTU5.TGRV 的比较匹配/输入捕捉将 MTU5.TCNTV 清“0000h” 1：允许通过 MTU5.TCNTV 和 MTU5.TGRV 的比较匹配/输入捕捉将 MTU5.TCNTV 清“0000h”	R/W
b2	CMPCLR5U	TCNT 比较清除 5U 位	0：禁止通过 MTU5.TCNTU 和 MTU5.TGRU 的比较匹配/输入捕捉将 MTU5.TCNTU 清“0000h” 1：允许通道 MTU5.TCNTU 和 MTU5.TGRU 的比较匹配/输入捕捉将 MTU5.TCNTU 清“0000h”	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

TCNTCMPCLR 寄存器是 8 位可读写寄存器，能设定 MTU5.TCNTU、 MTU5.TCNTV 和 MTU5.TCNTW 的清除请求。

21.2.5 定时器的中断允许寄存器 （TIER）

- TIER （MTU0～MTU4）

地址 MTU0.TIER 0008 8704h、MTU1.TIER 0008 8784h、MTU2.TIER 0008 8804h
MTU3.TIER 0008 8608h、MTU4.TIER 0008 8609h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TGIEA	TGR 中断允许 A 位	0：禁止中断请求 （TGIA） 1：允许中断请求 （TGIA）	R/W
b1	TGIEB	TGR 中断允许 B 位	0：禁止中断请求 （TGIB） 1：允许中断请求 （TGIB）	R/W
b2	TGIEC	TGR 中断允许 C 位	0：禁止中断请求 （TGIC） 1：允许中断请求 （TGIC）	R/W
b3	TGIED	TGR 中断允许 D 位	0：禁止中断请求 （TGID） 1：允许中断请求 （TGID）	R/W
b4	TCIEV	上溢中断允许位	0：禁止中断请求 （TCIV） 1：允许中断请求 （TCIV）	R/W
b5	TCIEU	下溢中断允许位	0：禁止中断请求 （TCIU） 1：允许中断请求 （TCIU）	R/W
b6	TTGE2	A/D 转换开始请求允许 2 位	0：禁止因 MTU4.TCNT 的下溢 （波谷）而产生的 A/D 转换请求 1：允许因 MTU4.TCNT 的下溢 （波谷）而产生的 A/D 转换请求	R/W
b7	TTGE	A/D 转换开始请求允许位	0：禁止产生 A/D 转换开始请求 1：允许产生 A/D 转换开始请求	R/W

在 MTU 中， MTU0 有 2 个， MTU1 ～ MTU5 各有 1 个，共计 7 个 TIER 寄存器。
TIER 寄存器是 8 位可读写寄存器，控制允许或者禁止各通道的中断请求。

TGIEA 位、 TGIEB 位 （TGR 中断允许 A 位、 B 位）

这些位允许或者禁止中断请求 （TGIn）（n=A、 B）。

TGIEC 位、 TGIED 位 （TGR 中断允许 C 位、 D 位）

这些位允许或者禁止在 MTU0、 MTU3 和 MTU4 中发生中断请求 （TGIn）（n=C、 D）。
在 MTU1 和 MTU2 中，这些位为保留位，读写值都为 “0”。

TCIEV 位 （上溢中断允许位）

此位允许或者禁止中断请求 （TCIV）。

TCIEU 位 （下溢中断允许位）

此位允许或者禁止在 MTU1 和 MTU2 中发生中断请求 （TCIU）。
在 MTU0、 MTU3 和 MTU4 中，此位为保留位，读写值都为 “0”。

TTGE2 位 （A/D 转换开始请求允许 2 位）

此位允许或者禁止在互补 PWM 模式中因 MTU4.TCNT 的下溢 （波谷）而产生的 A/D 转换请求。

在 MTU0 ～ MTU3 中，此位为保留位，读写值都为 “0”。

TTGE 位 （A/D 转换开始请求允许位）

此位允许或者禁止因 TGRA 寄存器的输入捕捉 / 比较匹配而产生的 A/D 转换器开始请求。

- TIER2 （MTU0）

地址 MTU0.TIER2 0008 8724h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TGIEF	TGIEE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TGIEE	TGR 中断允许 E 位	0：禁止中断请求 （TGIE） 1：允许中断请求 （TGIE）	R/W
b1	TGIEF	TGR 中断允许 F 位	0：禁止中断请求 （TGIF） 1：允许中断请求 （TGIF）	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

TGIEE 位、 TGIEF 位 （TGR 中断允许 E 位、 F 位）

此位允许或者禁止因 MTU0.TCNT 和 MTU0.TGRm 的比较匹配而产生的中断请求 （m=E、 F）。

- TIER （MTU5）

地址 MTU5.TIER 0000 88B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TGIE5W	TGR 中断允许 5W 位	0：禁止 TGI5W 中断请求 1：允许 TGI5W 中断请求	R/W
b1	TGIE5V	TGR 中断允许 5V 位	0：禁止 TGI5V 中断请求 1：允许 TGI5V 中断请求	R/W
b2	TGIE5U	TGR 中断允许 5U 位	0：禁止 TGI5U 中断请求 1：允许 TGI5U 中断请求	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

TGIE5W 位、 TGIE5V 位、 TGIE5U 位 （TGR 中断允许 5m 位）

这些位允许或者禁止中断请求 （TGIm5）（m=W、 V、 U）。

21.2.6 定时器的状态寄存器 （TSR）

- TSR （MTU0～MTU4）

地址 MTU0.TSR 0008 8705h、MTU1.TSR 0008 8785h、MTU2.TSR 0008 8805h
MTU3.TSR 0008 862Ch、MTU4.TSR 0008 862Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
复位后的值	1	1	x	x	x	x	x	x

x： 不定值

位	符号	位名	功能	R/W
b5-b0	—	保留位	读取值为不定值，只能写 “1”。	R/W
b6	—	保留位	读写值都为 “1”。	R/W
b7	TCFD	计数方向标志	0：TCNT 进行递减计数 1：TCNT 进行递增计数	R

在 MTU 中， MTU0 ～ MTU4 各有 1 个，共计 5 个 TSR 寄存器。
TSR 寄存器是 8 位可读写寄存器，表示各通道的状态。

TCFD 标志 （计数方向标志）

这是表示 MTU1 ～ MTU4 的 TCNT 计数方向的状态标志。
在 MTU0 中，此位为保留位，读写值都为 “1”。

21.2.7 定时器的缓冲运行传送模式寄存器 （TBTM）

地址 MTU0.TBTM 0008 8726h、MTU3.TBTM 0008 8638h、MTU4.TBTM 0008 8639h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TTSA	时序选择 A 位	0：在发生各通道的比较匹配 A 时从 TGRC 传送到 TGRA 1：在清除各通道的 TCNT 时从 TGRC 传送到 TGRA	R/W
b1	TTSB	时序选择 B 位	0：在发生各通道的比较匹配 B 时从 TGRD 传送到 TGRB 1：在清除各通道的 TCNT 时从 TGRD 传送到 TGRB	R/W
b2	TTSE	时序选择 E 位	0：在发生各通道 MTU0 的比较匹配 E 时从 MTU0.TGRF 传送到 MTU0.TGRE 1：在清除各通道的 MTU0.TCNT 时从 MTU0.TGRF 传送到 MTU0.TGRE	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

在 MTU 中， MTU0、 MTU3 和 MTU4 各有 1 个，共计 3 个 TBTM 寄存器。

TBTM 寄存器设定在 PWM 模式中缓冲寄存器到定时器的通用寄存器的传送时序。

TTSA 位 （时序选择 A 位）

此位设定在各通道进行缓冲运行时 TGRC 到 TGRA 的传送时序。在用于其他模式（非 PWM 模式）的通道中，不能将 TTSA 位置 “1”。

TTSB 位 （时序选择 B 位）

此位设定在各通道进行缓冲运行时 TGRD 到 TGRB 的传送时序。在用于其他模式（非 PWM 模式）的通道中，不能将 TTSB 位置 “1”。

TTSE 位 （时序选择 E 位）

此位设定在进行缓冲运行时 MTU0.TGRF 到 MTU0.TGRE 的传送时序。在 MTU3 和 MTU4 中，此位为保留位，读写值都为 “0”。在将 MTU0 用于非 PWM 模式时，不能将 TTSE 位置 “1”。

21.2.8 定时器的输入捕捉控制寄存器 （TICCR）

地址 MTU1.TICCR 0008 8790h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	I1AE	输入捕捉允许位	0：不将 MTIOC1A 引脚追加到 MTU2.TGRA 的输入捕捉条件 1：将 MTIOC1A 引脚追加到 MTU2.TGRA 的输入捕捉条件	R/W
b1	I1BE	输入捕捉允许位	0：不将 MTIOC1B 引脚追加到 MTU2.TGRB 的输入捕捉条件 1：将 MTIOC1B 引脚追加到 MTU2.TGRB 的输入捕捉条件	R/W
b2	I2AE	输入捕捉允许位	0：不将 MTIOC2A 引脚追加到 MTU1.TGRA 的输入捕捉条件 1：将 MTIOC2A 引脚追加到 MTU1.TGRA 的输入捕捉条件	R/W
b3	I2BE	输入捕捉允许位	0：不将 MTIOC2B 引脚追加到 MTU1.TGRB 的输入捕捉条件 1：将 MTIOC2B 引脚追加到 MTU1.TGRB 的输入捕捉条件	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

在 MTU 中， MTU1 有 1 个 TICCR 寄存器。
TICCR 寄存器控制 MTU1.TCNT 和 MTU2.TCNT 级联时的输入捕捉条件。

21.2.9 定时器的 A/D 转换开始请求控制寄存器 （TADCR）

地址 MTU4.TADCR 0008 8640h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
复位后的值	0	0	0	0	0	0	0	0	0	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)	0(注1)

注1. 除了互补PWM模式以外，不能置“1”。

位	符号	位名	功能	R/W
b0	ITB4VE	TCIV4 中断减少联动允许位	0：不联动 TCI4V 中断减少功能 1：联动 TCI4V 中断减少功能	R/W
b1	ITB3AE	TGIA3 中断减少联动允许位	0：不联动 TGI3A 中断减少功能 1：联动 TGI3A 中断减少功能	R/W
b2	ITA4VE	TCIV4 中断减少联动允许位	0：不联动 TCI4V 中断减少功能 1：联动 TCI4V 中断减少功能	R/W
b3	ITA3AE	TGIA3 中断减少联动允许位	0：不联动 TGI3A 中断减少功能 1：联动 TGI3A 中断减少功能	R/W
b4	DT4BE	递减计数 TRG4BN 允许位	0：禁止在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 （TRG4BN） 1：允许在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 （TRG4BN）	R/W
b5	UT4BE	递增计数 TRG4BN 允许位	0：禁止在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 （TRG4BN） 1：允许在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 （TRG4BN）	R/W
b6	DT4AE	递减计数 TRG4AN 允许位	0：禁止在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 （TRG4AN） 1：允许在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 （TRG4AN）	R/W
b7	UT4AE	递增计数 TRG4AN 允许位	0：禁止在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 （TRG4AN） 1：允许在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 （TRG4AN）	R/W
b13-b8	—	保留位	读写值都为 “0”。	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 传送时序选择位	详细内容请参照表 21.29。	R/W

注 . 禁止以 8 位为单位存取 TADCR，必须以 16 位为单位进行存取。
当禁止中断减少功能时 （将定时器的中断减少设定寄存器 （TITCR）的T3AEN位和T4VEN位置 “0”，或者将TITCR的减少次数设定位 （T3ACOR、 T4VCOR）置 “0”时），必须设定为不联动中断减少功能 （将定时器的A/D转换开始请求控制寄存器 （TADCR）的ITA3AE、 ITA4VE、 ITB3AE、 ITB4VE位置 “0”）。
在禁止中断减少功能时，如果设定为联动中断减少功能，就不进行A/D转换的开始请求。
除了互补PWM模式以外，不能将b6～b0的初始值设定为 “1”。

TADCR 寄存器是 16 位可读写寄存器，允许或者禁止 A/D 转换的开始请求以及设定 A/D 转换开始请求是否联动中断减少功能。

表 21.29　通过 BF0[1:0] 位进行传送时序的设定

bit15	bit14	说明
BF1	BF0	
0	0	不从周期设定缓冲寄存器传送到周期设定寄存器。
0	1	在 MTU4.TCNT 的波峰从周期设定缓冲寄存器传送到周期设定寄存器（注 1）。
1	0	在 MTU4.TCNT 的波谷从周期设定缓冲寄存器传送到周期设定寄存器（注 2）。
1	1	在 MTU4.TCNT 的波峰和波谷从周期设定缓冲寄存器传送到周期设定寄存器（注 2）。

注 1.　在互补 PWM 模式中，在 MTU4.TCNT 的波峰从周期设定缓冲寄存器传送到周期设定寄存器；在复位同步 PWM 模式中，当发生 MTU3.TCNT 和 MTU3.TGRA 的比较匹配时，从周期设定缓冲寄存器传送到周期设定寄存器；在 PWM 模式 1/ 正常运行模式中，当发生 MTU4.TCNT 和 MTU4.TGRA 的比较匹配时，从周期设定缓冲寄存器传送到周期设定寄存器。

注 2.　除了互补 PWM 模式以外，禁止此设定。

21.2.10　定时器的 A/D 转换开始请求周期设定寄存器 A、 B （TADCORA/B）

地址　MTU4.TADCORA 0008 8644h、MTU4.TADCORB 0008 8646h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．禁止以8位为单位存取MTU4.TADCORA/B，必须以16位为单位进行存取。

TADCORA/B 寄存器是 16 位可读写寄存器。当 TADCORA/B 和 MTU4.TCNT 相同时，产生对应的 A/D 转换开始请求。

复位后， TADCORA/B 寄存器的值为 “FFFFh”。

21.2.11　定时器的 A/D 转换开始请求周期设定缓冲寄存器 A、 B （TADCOBRA/B）

地址　MTU4.TADCOBRA 0008 8648h、MTU4.TADCOBRB 0008 864Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．禁止以8位为单位存取MTU4.TADCOBRA/B，必须以16位为单位进行存取。

TADCOBRA/B 寄存器是 16 位可读写寄存器，在波峰或者波谷从 TADCORA/B 的缓冲寄存器传送到 TADCORA/B。

复位后， TADCOBRA/B 寄存器的值为 “FFFFh”。

21.2.12 定时器的计数器 （TCNT）

地址 MTU0.TCNT 0008 8706h、MTU1.TCNT 0008 8786h、MTU2.TCNT 0008 8806h、MTU3.TCNT 0008 8610h、MTU4.TCNT 0008 8612h、MTU5.TCNTU 0008 8880h、MTU5.TCNTV 0008 8890h、MTU5.TCNTW 0008 88A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注． 禁止以8位为单位存取TCNT，必须以16位为单位进行存取。

在 MTU 中， MTU0 ～ MTU4 各有 1 个， MTU5 有 3 个 MTU5.TCNTU/V/W，共计 8 个 TCNT。

TCNT 是 16 位可读写计数器。在复位时， TCNT 被初始化为 “0000h”。

21.2.13 定时器的通用寄存器 （TGR）

地址 MTU0.TGRA 0008 8708h、MTU0.TGRB 0008 870Ah、MTU0.TGRC 0008 870Ch、MTU0.TGRD 0008 870Eh、MTU0.TGRE 0008 8720h、MTU0.TGRF 0008 8722h、MTU1.TGRA 0008 8788h、MTU1.TGRB 0008 878Ah、MTU2.TGRA 0008 8808h、MTU2.TGRB 0008 880Ah、MTU3.TGRA 0008 8618h、MTU3.TGRB 0008 861Ah、MTU3.TGRC 0008 8624h、MTU3.TGRD 0008 8626h、MTU4.TGRA 0008 861Ch、MTU4.TGRB 0008 861Eh、MTU4.TGRC 0008 8628h、MTU4.TGRD 0008 862Ah、MTU5.TGRU 0008 8882h、MTU5.TGRV 0008 8892h、MTU5.TGRW 0008 88A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注． 禁止以8位为单位存取TGR寄存器，必须以16位为单位进行存取。
TGR的初始值为“FFFFh”。

在 MTU 中，MTU0 有 6 个，MTU1 和 MTU2 各有 2 个，MTU3 和 MTU4 各有 4 个，MTU5 有 3 个，共计 21 个通用寄存器。

TGR 是 16 位可读写寄存器。TGRA、TGRB、TGRC 和 TGRD 是输出比较 / 输入捕捉兼用的寄存器。能将 MTU0、MTU3 和 MTU4 的 TGRC 和 TGRD 用作缓冲寄存器。TGR 和缓冲寄存器的组合为 TGRA-TGRC、TGRB-TGRD。

MTU0.TGRE 和 MTU0.TGRF 用作比较寄存器，当 MTU0.TCNT 和 MTU0.TGRE 相同时，能产生 A/D 转换开始请求。能将 TGRF 用作缓冲寄存器。 TGR 和缓冲寄存器的组合为 TGRE-TGRF。

MTU5.TGRU、 MTU5.TGRV 和 MTU5.TGRW 是比较匹配 / 输入捕捉 / 外部脉宽测量兼用的寄存器。

21.2.14 定时器的启动寄存器 （TSTR）

- TSTR （MTU0～MTU4）

地址 MTU.TSTR 0008 8680h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CST0	计数器开始 0 位	0：MTU0.TCNT 停止计数 1：MTU0.TCNT 计数运行	R/W
b1	CST1	计数器开始 1 位	0：MTU1.TCNT 停止计数 1：MTU1.TCNT 计数运行	R/W
b2	CST2	计数器开始 2 位	0：MTU2.TCNT 停止计数 1：MTU2.TCNT 计数运行	R/W
b5-b3	—	保留位	读写值都为 “0”。	R/W
b6	CST3	计数器开始 3 位	0：MTU3.TCNT 停止计数 1：MTU3.TCNT 计数运行	R/W
b7	CST4	计数器开始 4 位	0：MTU4.TCNT 停止计数 1：MTU4.TCNT 计数运行	R/W

TSTR 寄存器选择 MTU0 ～ MTU4 的 TCNT 的运行或者停止。

如果要给 TMDR 寄存器设定运行模式或者给 TCR 寄存器设定 TCNT 的计数时钟，就必须在停止 TCNT 计数器的运行后再进行设定。

CSTn 位 （计数开始 n 位）（n=0 ～ 4）

此位选择各通道 TCNT 的运行或者停止。

在 MTIOC 引脚为输出状态下运行时，如果给 CSTn 位写 “0”，计数器就停止计数，但是保持 MTIOC 引脚的输出比较的输出电平。如果在 CSTn 位为 “0” 的状态下写 TIOR 寄存器，就将引脚的输出电平更新为所设定的初始输出值。

- TSTR （MTU5）

地址 MTU5.TSTR 0008 88B4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CSTW5	计数器开始 W5 位	0：MTU5.TCNTW 停止计数 1：MTU5.TCNTW 计数运行	R/W
b1	CSTV5	计数器开始 V5 位	0：MTU5.TCNTV 停止计数 1：MTU5.TCNTV 计数运行	R/W
b2	CSTU5	计数器开始 U5 位	0：MTU5.TCNTU 停止计数 1：MTU5.TCNTU 运计数行	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

21.2.15 定时器的同步寄存器 （TSYR）

地址 MTU.TSYR 0008 8681h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SYNC0	定时器同步 0 位	0：MTU0.TCNT 独立运行 （TCNT 的预置 / 清除与其他通道无关） 1：MTU0.TCNT 进行同步运行能进行 TCNT 的同步预置 / 同步清除。	R/W
b1	SYNC1	定时器同步 1 位	0：MTU1.TCNT 独立运行 （TCNT 的预置 / 清除与其他通道无关） 1：MTU1.TCNT 进行同步运行能进行 TCNT 的同步预置 / 同步清除。	R/W
b2	SYNC2	定时器同步 2 位	0：MTU2.TCNT 独立运行 （TCNT 的预置 / 清除与其他通道无关） 1：MTU2.TCNT 进行同步运行能进行 TCNT 的同步预置 / 同步清除。	R/W
b5-b3	—	保留位	读写值都为 “0”。	R/W
b6	SYNC3	定时器同步 3 位	0：MTU3.TCNT 独立运行 （TCNT 的预置 / 清除与其他通道无关） 1：MTU3.TCNT 进行同步运行能进行 TCNT 的同步预置 / 同步清除。	R/W
b7	SYNC4	定时器同步 4 位	0：MTU4.TCNT 独立运行 （TCNT 的预置 / 清除与其他通道无关） 1：MTU4.TCNT 进行同步运行能进行 TCNT 的同步预置 / 同步清除。	R/W

TSYR 寄存器选择 MTU0 ～ MTU4 的 TCNT 进行独立运行或者同步运行。
对应位为 “1”的通道进行同步运行。

SYNCn 位 （定时器同步 n 位）（n=0 ～ 4）

此位选择是与其他通道同步运行还是独立运行。
如果选择同步运行，就能对多个 TCNT 进行同步预置并且通过清除其他通道的计数器进行同步清除。
要设定同步运行时，需要至少将 2 个通道的 SYNCn 位置“1”；要设定同步清除时，除了 SYNCn 位以外，还需要通过 TCR.CCLR[2:0] 位设定 TCNT 的清除源。

21.2.16 定时器的读写允许寄存器 （TRWER）

地址 MTU.TRWER 0008 8684h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b0	RWE	读写允许位	0：禁止读写寄存器 1：允许读写寄存器	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

TRWER 寄存器设定允许或者禁止存取 MTU3 和 MTU4 的误写防止对象寄存器 / 计数器。

RWE 位 （读写允许位）

此位设定允许或者禁止读写误写防止寄存器。

[为 “0” 的条件]

- 在RWE位为 “1” 的状态下读RWE位后给RWE位写 “0” 时

- 误写防止对象寄存器/对象计数器
  MTUm.TCR、 MTUm.TMDR、 MTUm.TIORH、 MTUm.TIORL、 MTUm.TIER、 MTUm.TGRA、 MTUm.TGRB、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR和MTUm.TCNT，共计22个寄存器（m=3、 4）。

21.2.17 定时器的输出主控允许寄存器 （TOER）

地址 MTU.TOER 0008 860Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
复位后的值	1	1	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OE3B	主控允许 MTIOC3B 位	0：禁止 MTU 输出 （无效电平）（注 1） 1：允许 MTU 输出	R/W
b1	OE4A	主控允许 MTIOC4A 位	0：禁止 MTU 输出 （无效电平）（注 1） 1：允许 MTU 输出	R/W
b2	OE4B	主控允许 MTIOC4B 位	0：禁止 MTU 输出 （无效电平）（注 1） 1：允许 MTU 输出	R/W
b3	OE3D	主控允许 MTIOC3D 位	0：禁止 MTU 输出 （无效电平）（注 1） 1：允许 MTU 输出	R/W
b4	OE4C	主控允许 MTIOC4C 位	0：禁止 MTU 输出 （无效电平）（注 1） 1：允许 MTU 输出	R/W
b5	OE4D	主控允许 MTIOC4D 位	0：禁止 MTU 输出 （无效电平）（注 1） 1：允许 MTU 输出	R/W
b7-b6	—	保留位	读写值都为 “1”。	R/W

注 1. 无效电平取决于定时器的输出控制寄存器 1/2 （TOCR1/2）的设定。
详细内容请参照 “21.2.18 定时器的输出控制寄存器 1 （TOCR1） ” 和 “21.2.19 定时器的输出控制寄存器 2 （TOCR2）”。除了互补PWM模式和复位同步PWM模式以外，在进行MTU输出时必须置 “1”。如果置 “0”，就根据定时器的输出控制寄存器 1/2 （TOCR1/2）的设定输出无效电平。

TOER 寄存器允许或者禁止输出引脚的 MTIOC4D、 MTIOC4C、 MTIOC3D、 MTIOC4B、 MTIOC4A、 MTIOC3B 的输出设定。

如果不设定 TOER 寄存器的各位，就无法正确地输出这些引脚。在 MTU3 和 MTU4 中，必须在设定 MTU3 和 MTU4 的 TIOR 寄存器前给 TOER 寄存器设定值。

21.2.18 定时器的输出控制寄存器 1 （TOCR1）

地址 MTU.TOCR1 0008 860Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
复位后的值	0	0	0	0	0(注1)	0	0	0

注 1. 复位后，只能写1次“1”并且不能在写“1”后写“0”。

位	符号	位名	功能	R/W
b0	OLSP	输出电平选择 P 位（注 2）	请参照表 21.30。	R/W
b1	OLSN	输出电平选择 N 位（注 2）	请参照表 21.31。	R/W
b2	TOCS	TOC 选择位	0：TOCR1 的设定有效 1：TOCR2 的设定有效	R/W
b3	TOCL	TOC 寄存器的写禁止位（注 1）	0：允许写 TOCS 位、 OLSN 位和 OLSP 位 1：禁止写 TOCS 位、 OLSN 位和 OLSP 位	R/W （注 3）
b5-b4	—	保留位	读写值都为 “0”。	R/W
b6	PSYE	PWM 同步输出允许位	0：禁止交替输出 1：允许交替输出	R/W
b7	—	保留位	读写值都为 “0”。	R/W

注 1. 能通过将 TOCR1.TOCL 位置 “1”，防止 CPU 失控时的误写。

注 2. 通过将 TOCR1.TOCS 位置 “0”，使此设定变为有效。

注 3. 复位后，只能写 1 次 “1” 并且不能在写 “1” 后写 “0”。

TOCR1 寄存器是 8 位可读写寄存器，允许或者禁止与互补 PWM 模式 / 复位同步 PWM 模式的 PWM 周期同步进行交替输出以及对 PWM 输出电平进行反相控制。

OLSP 位 （输出电平选择 P 位）

在复位同步 PWM 模式 / 互补 PWM 模式中，此位选择正相的输出电平。

OLSN 位 （输出电平选择 N 位）

在复位同步 PWM 模式 / 互补 PWM 模式中，此位选择反相的输出电平。

TOCS 位 （TOC 选择位）

此位选择互补 PWM 模式 / 复位同步 PWM 模式的输出电平是 TOCR1 的设定有效还是 TOCR2 的设定有效。

TOCL 位 （TOC 寄存器的写禁止位）

此位设定允许或者禁止写 TOCR1 寄存器的 TOCS 位、 OLSN 位和 OLSP 位。

PSYE 位 （PWM 同步输出允许位）

此位设定允许或者禁止与 PWM 周期同步进行交替输出。

表 21.30 输出电平的选择功能

bit0	功能			
OLSP	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

表 21.31 输出电平的选择功能

bit1	功能			
OLSN	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

注 . 在开始计数并且经过死区时间后，反相波形的初始输出值变为有效电平。

OLSN 为 “1”并且 OLSP 为 “1”时的互补 PWM 模式的输出例子 （1 相）如图 21.2 所示。

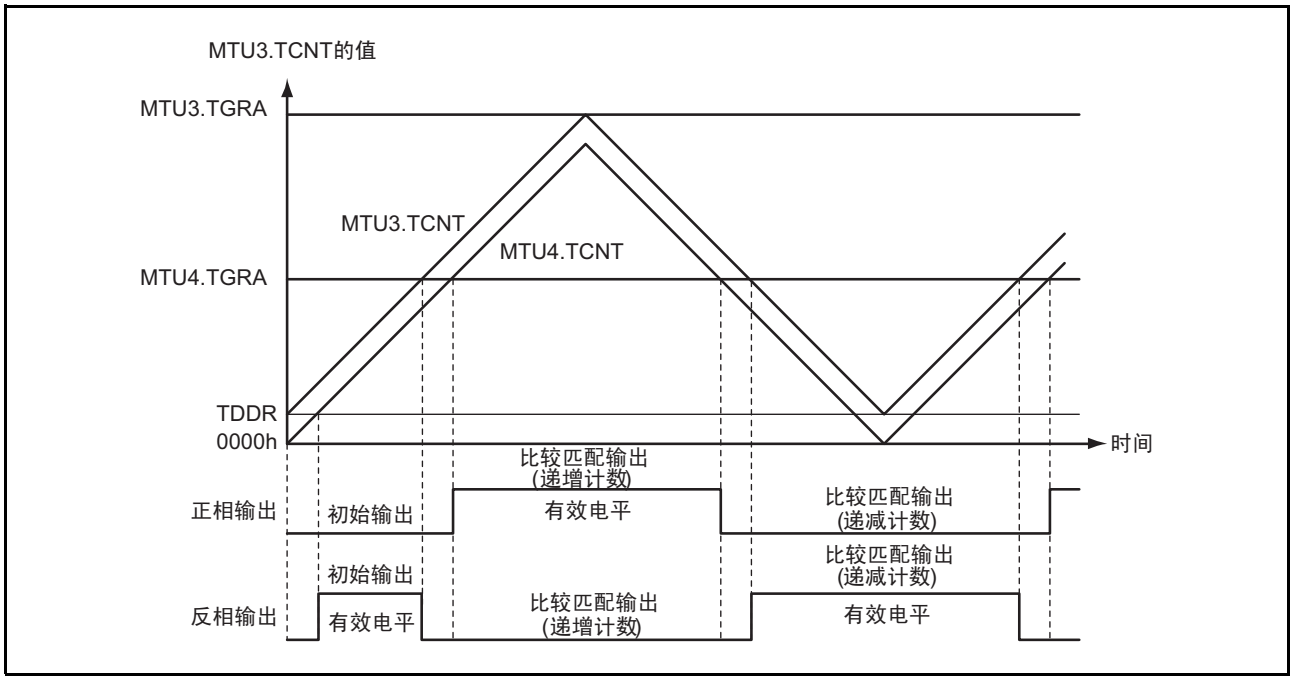


图 21.2 互补 PWM 模式的输出电平例子

21.2.19 定时器的输出控制寄存器 2 （TOCR2）

地址 MTU.TOCR2 0008 860Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OLS1P	输出电平选择 1P 位 （注 1）	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC3B 的输出电平，请参照表 21.32。	R/W
b1	OLS1N	输出电平选择 1N 位 （注 1）	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC3D 的输出电平，请参照表 21.33。	R/W
b2	OLS2P	输出电平选择 2P 位 （注 1）	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4A 的输出电平，请参照表 21.34。	R/W
b3	OLS2N	输出电平选择 2N 位 （注 1）	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4C 的输出电平，请参照表 21.35。	R/W
b4	OLS3P	输出电平选择 3P 位 （注 1）	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4B 的输出电平，请参照表 21.36。	R/W
b5	OLS3N	输出电平选择 3N 位 （注 1）	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4D 的输出电平，请参照表 21.37。	R/W
b7-b6	BF[1:0]	TOLBR 缓冲传送时序选择位	选择 TOLBR 到 TOCR2 的缓冲传送时序，详细内容请参照表 21.38。	R/W

注 1. 通过将 TOCR1.TOCS 位置 “1”，使此设定变为有效。

TOCR2 寄存器寄存器对互补 PWM 模式 / 复位同步 PWM 模式的 PWM 输出电平进行反相控制。

表 21.32 MTIOC3B 输出电平的选择功能

bit0	功能			
OLS1P	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

表 21.33 MTIOC3D 输出电平的选择功能

bit1	功能			
OLS1N	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

注 . 在开始计数并且经过死区时间后，反相波形的初始输出值变为有效电平。

表 21.34 MTIOC4A 输出电平的选择功能

bit2	功能			
OLS2P	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

表 21.35 MTIOC4C 输出电平的选择功能

bit3	功能			
OLS2N	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

注 . 在开始计数并且经过死区时间后，反相波形的初始输出值变为有效电平。

表 21.36 MTIOC4B 输出电平的选择功能

bit4	功能			
OLS3P	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

表 21.37 MTIOC4D 输出电平的选择功能

bit5	功能			
OLS3N	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

注 . 在开始计数并且经过死区时间后，反相波形的初始输出值变为有效电平。

表 21.38 TOCR2.BF[1:0] 位的设定

bit7	bit6	说明	
BF1	BF0	互补 PWM 模式	复位 PWM 模式
0	0	不从缓冲寄存器 （TOLBR）传送到 TOCR2。	不从缓冲寄存器 （TOLBR）传送到 TOCR2。
0	1	在 MTU4.TCNT 的波峰从缓冲寄存器（TOLBR）传送到 TOCR2。	在清除 MTU4.TCNT 计数器和 MTU3.TCNT 计数器时从缓冲寄存器 （TOLBR）传送到 TOCR2。
1	0	在 MTU4.TCNT 的波谷从缓冲寄存器（TOLBR）传送到 TOCR2。	不能设定。
1	1	在 MTU4.TCNT 的波峰和波谷从缓冲寄存器（TOLBR）传送到 TOCR2。	不能设定。

21.2.20　定时器的输出电平缓冲寄存器 （TOLBR）

地址 MTU.TOLBR 0008 8636h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OLS1P	输出电平选择 1P 位	必须给 TOCR2 的 OLS1P 位设定缓冲传送的值。	R/W
b1	OLS1N	输出电平选择 1N 位	必须给 TOCR2 的 OLS1N 位设定缓冲传送的值。	R/W
b2	OLS2P	输出电平选择 2P 位	必须给 TOCR2 的 OLS2P 位设定缓冲传送的值。	R/W
b3	OLS2N	输出电平选择 2N 位	必须给 TOCR2 的 OLS2N 位设定缓冲传送的值。	R/W
b4	OLS3P	输出电平选择 3P 位	必须给 TOCR2 的 OLS3P 位设定缓冲传送的值。	R/W
b5	OLS3N	输出电平选择 3N 位	必须给 TOCR2 的 OLS3N 位设定缓冲传送的值。	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

TOLBR 寄存器是 TOCR2 的缓冲寄存器，设定互补 PWM 模式 / 复位同步 PWM 模式的 PWM 输出电平。TOLBR 寄存器是 8 位可读写寄存器。

在进行缓冲运行的过程中设定 PWM 输出电平时的设定步骤例子如图 21.3 所示。

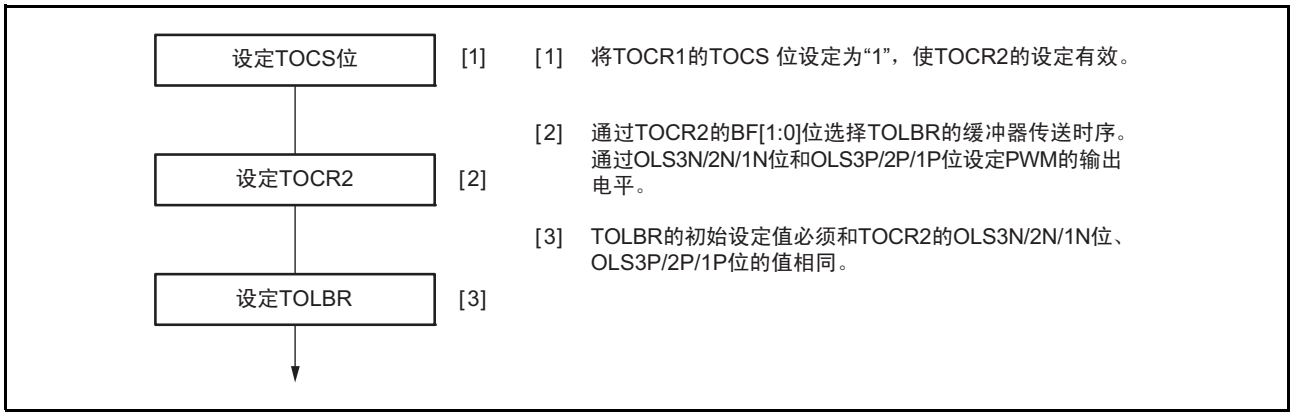


图 21.3　在进行缓冲运行的过程中设定 PWM 输出电平时的设定步骤例子

21.2.21 定时器的门控寄存器 （TGCR）

地址 MTU.TGCR 0008 860Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	UF	输出相转换位	设定正相 / 反相输出相的 ON/OFF。这些位的设定只在 TGCR.FB 位为 “1” 时有效。此时，b0 ～ b2 的设定取代外部输入，请参照表 21.39。	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部反馈信号允许位	0：通过外部输入进行输出转换 （输入源为 MTU0 的 TGRA、 TGRB、 TGRC 的输入捕捉信号） 1：通过软件进行输出转换 （TGCR 的 UF、 VF 和 WF 的设定值）	R/W
b4	P	正相输出 （P）控制位	0：电平输出 1：复位同步 PWM/ 互补 PWM 输出	R/W
b5	N	反相输出 （N）控制位	0：电平输出 1：复位同步 PWM/ 互补 PWM 输出	R/W
b6	BDC	无刷 DC 马达位	0：正常输出 1：此寄存器的功能有效	R/W
b7	—	保留位	读写值都为 “1”。	R/W

TGCR 寄存器在复位同步 PWM 模式 / 互补 PWM 模式中对控制无刷 DC 马达所需的波形输出进行控制。除了互补 PWM 模式 / 复位同步 PWM 模式以外， TGCR 寄存器的设定无效。

UF 位、 VF 位、 WF 位 （输出相转换位）

这些位的设定只在 TGCR.FB 位为 “1” 时有效。此时， bit0 ～ 2 的设定取代外部输入，请参照表 21.39。

FB 位 （外部反馈信号允许位）

此位选择是通过 MTU0.TGRA、MTU0.TGRB、MTU0.TGRC 的输入捕捉信号自动进行正反相输出的转换，还是通过给 TGCR 寄存器的 bit2 ～ 0 写 “0” 或者 “1” 进行正反相输出的转换。

P 位 （正相输出 （P）控制位）

在正相引脚（MTIOC3B 引脚、 MTIOC4A 引脚、 MTIOC4B 引脚）输出时，此位选择是进行电平输出还是进行复位同步 PWM/ 互补 PWM 输出。

N 位 （反相输出 （N）控制位）

在反相引脚（MTIOC3D 引脚、 MTIOC4C 引脚、 MTIOC4D 引脚）输出时，此位选择是进行电平输出还是进行复位同步 PWM/ 互补 PWM 输出。

BDC 位 （无刷 DC 马达位）

此位选择 TGCR 寄存器功能的有效或者无效。

表 21.39 输出电平的选择功能

bit2	bit1	bit0	功能					
WF	VF	UF	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
			U 相	V 相	W 相	U 相	V 相	W 相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

21.2.22 定时器的副计数器 （TCNTS）

地址 MTU.TCNTS 0008 8620h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注． 禁止以8位为单位存取TCNTS寄存器，必须以16位为单位进行存取。

TCNTS 寄存器是只用于互补 PWM 模式的 16 位只读计数器。复位后， TCNTS 寄存器的值为 “0000h”。

21.2.23 定时器的死区时间数据寄存器 （TDDR）

地址 MTU.TDDR 0008 8616h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注． 禁止以8位为单位存取TDDR寄存器，必须以16位为单位进行存取。

TDDR 寄存器是只用于互补 PWM 模式的 16 位寄存器，在互补 PWM 模式中设定 MTU3.TCNT 计数器和 MTU4.TCNT 计数器的偏移值。在互补 PWM 模式中清除 MTU3.TCNT 计数器和 MTU4.TCNT 计数器后重新开始计数时，将TDDR寄存器的值装入到MTU3.TCNT计数器并且开始计数。复位后，TDDR寄存器的值为“FFFFh”。

21.2.24 定时器的周期数据寄存器 （TCDR）

地址 MTU.TCDR 0008 8614h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注． 禁止以8位为单位存取TCDR寄存器，必须以16位为单位进行存取。

TCDR 寄存器是只用于互补 PWM 模式的 16 位寄存器，必须给 TCDR 寄存器设定 1/2 个 PWM 载波周期的值。在互补 PWM 模式中， TCDR 寄存器随时和 TCNTS 计数器进行比较，如果两者的值相同， TCNTS 计数器就更改计数方向 （递减计数 → 递增计数）。复位后， TCDR 寄存器的值为 “FFFFh”。

21.2.25 定时器的周期缓冲寄存器 （TCBR）

地址 MTU.TCBR 0008 8622h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注． 禁止以8位为单位存取TCBR寄存器，必须以16位为单位进行存取。

TCBR 寄存器是只用于互补 PWM 模式的 16 位寄存器，用作 TCDR 寄存器的缓冲寄存器。在 TMDR 寄存器设定的传送时将 TCBR 寄存器的值传送到 TCDR 寄存器。复位后， TCBR 寄存器的值为 “FFFFh”。

21.2.26 定时器的中断减少设定寄存器 （TITCR）

地址 MTU.TITCR 0008 8630h

	b7	b6	b5	b4	b3	b2	b1	b0
	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 中断减少次数设定位	将 TCIV4 的中断减少次数设定为 0 ～ 7 次，详细内容请参照表 21.40。	R/W
b3	T4VEN	T4VEN 位	0：禁止 TCIV4 中断的减少 1：允许 TCIV4 中断的减少	R/W
b6-b4	T3ACOR[2:0]	TGIA3 中断减少次数设定位	将 TGIA3 的中断减少次数设定为 0 ～ 7 次 （注 1），详细内容请参照表 21.41。	R/W
b7	T3AEN	T3AEN 位	0：禁止 TGIA3 中断的减少 1：允许 TGIA3 中断的减少	R/W

注 1. 如果将中断减少次数设定为 “0”，就不减少中断。
另外，必须在更改中断减少次数前，通过将 TITCR.T3AEN 位和 TITCR.T4VEN 位置 “0” ，清除减少次数计数器（TITCNT）。

T4VCOR[2:0] 位 （TCIV4 的中断减少次数设定位）

T3ACOR[2:0] 位 （TGIA3 的中断减少次数设定位）

将 TCIV3 和 TGIA4 的中断减少次数设定为 0 ～ 7 次，详细内容请参照表 21.40 和表 21.41。

表 21.40 通过 T4VCOR[2:0] 位设定的中断减少次数

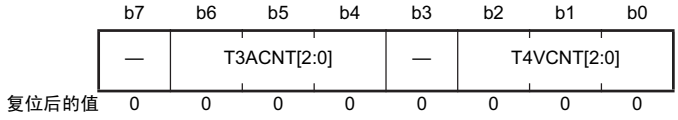
bit2	bit1	bit0	说明
T4VCOR2	T4VCOR1	T4VCOR0	
0	0	0	不减少 TCIV4 的中断。
0	0	1	将 TCIV4 的中断减少次数设定为 1 次。
0	1	0	将 TCIV4 的中断减少次数设定为 2 次。
0	1	1	将 TCIV4 的中断减少次数设定为 3 次。
1	0	0	将 TCIV4 的中断减少次数设定为 4 次。
1	0	1	将 TCIV4 的中断减少次数设定为 5 次。
1	1	0	将 TCIV4 的中断减少次数设定为 6 次。
1	1	1	将 TCIV4 的中断减少次数设定为 7 次。

表 21.41 通过 T3ACOR[2:0] 位设定的中断减少次数

bit6	bit5	bit4	说明
T3ACOR2	T3ACOR1	T3ACOR0	
0	0	0	不减少 TGIA3 的中断。
0	0	1	将 TGIA3 的中断减少次数设定为 1 次。
0	1	0	将 TGIA3 的中断减少次数设定为 2 次。
0	1	1	将 TGIA3 的中断减少次数设定为 3 次。
1	0	0	将 TGIA3 的中断减少次数设定为 4 次。
1	0	1	将 TGIA3 的中断减少次数设定为 5 次。
1	1	0	将 TGIA3 的中断减少次数设定为 6 次。
1	1	1	将 TGIA3 的中断减少次数设定为 7 次。

21.2.27 定时器的中断减少次数计数器 （TITCNT）

地址 MTU.TITCNT 0008 8631h



位	符号	位名	功能	R/W
b2-b0	T4VCNT[2:0]	TCIV4 中断计数位	如果将TITCR的T4VEN位置“1”，就在发生TCIV4中断源时递增 1。	R
b3	—	保留位	读取值为 “0”，写操作无效。	R
b6-b4	T3ACNT[2:0]	TGIA3 中断计数位	如果将TITCR的T3AEN位置“1”，就在发生TGIA3中断源时递增 1。	R
b7	—	保留位	读取值为 “0”，写操作无效。	R

注 . 要清除 TITCNT 的值时，必须将 TITCR.T3AEN 位和 TITCR.T4VEN 位置 “0”。

TITCNT 是 8 位可读计数器。在 MTU3.TCNT 和 MTU4.TCNT 停止计数后， TITCNT 仍保持原来的值。

T4VCNT[2:0] 位 （TCIV4 中断计数位）

[为 “0” 的条件]

- 当TITCR的T4VCOR[2:0]位和TITCNT的T4VCNT[2:0]位相同时
- 当TITCR的T4VEN位为 “0” 时
- 当TITCR的T4VCOR[2:0]位为 “000b” 时

T3ACNT[2:0] 位 （TGIA3 中断计数位）

[为 “0” 的条件]

- 当TITCR的T3ACOR[2:0]位和TITCNT的T3ACNT[2:0]位相同时
- 当TITCR的T3AEN位为 “0” 时
- 当TITCR的T3ACOR[2:0]位为 “000b” 时

21.2.28 定时器的缓冲传送设定寄存器 （TBTER）

地址 MTU.TBTER 0008 8632h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BTE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	BTE[1:0]	缓冲传送抑止和中断减少联动设定位	此位设定是否抑止用于互补 PWM 模式的缓冲寄存器到暂存器的传送以及是否联动中断减少功能，详细内容请参照表 21.42。	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

TBTER 寄存器是 8 位可读写寄存器，设定是否抑止用于互补 PWM 模式的缓冲寄存器到暂存器的传送以及是否联动中断减少功能。

表 21.42 TBTER.BTE[1:0] 位的设定

bit1	bit0	说明
BTE1	BTE0	
0	0	不抑止缓冲寄存器到暂存器的传送 （注 1），也不联动中断减少功能。
0	1	抑止缓冲寄存器到暂存器的传送。
1	0	缓冲寄存器到暂存器的传送联动中断减少功能 （注 2）。
1	1	不能设定。

注 1. 根据 TMDR 的 MD[3:0] 位的设定进行传送，详细内容请参照 “21.3.8 互补 PWM 模式”。

注 2. 在禁止中断减少功能时 （将定时器的中断减少设定寄存器 （TITCR）的 T3AEN 位和 T4VEN 位置 “0”，或者将 TITCR 的减少次数设定位 （T3ACOR、T4VCOR）置 “0” 时），必须设定为缓冲传送不联动中断减少功能 （将定时器缓冲传送寄存器 （TBTER）的 BTE1 位置 “0”）。
在禁止中断减少功能时，如果设定为缓冲传送联动中断减少功能，就不进行缓冲传送。

21.2.29 定时器的死区时间允许寄存器 （TDER）

地址 MTU.TDER 0008 8634h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b0	TDER	死区时间允许寄存器位	0：不生成死区时间 1：生成死区时间 （注 1）	R/(W) （注 2）
b7-b1	—	保留位	读写值都为 “0”。	R/W

注 1. 必须设定为 TDDR ⩾ 1。

注 2. 在互补 PWM 模式中，当写 “1” 时，需要事先读到 “0”；当写 “0” 时，没有限制。
在非互补PWM模式中，禁止写 “1”，只能写 “0”。

TDER 寄存器是 8 位可读写寄存器，MTU 有 1 个 TDER 寄存器，能控制互补 PWM 模式的死区时间的生成。必须在 TCNT 停止计数的状态下设定 TDER 寄存器。

TDER 位 （死区时间允许寄存器位）

此位设定是否生成死区时间。

[为 “0” 的条件]

- 在TDER为 “1” 的状态下读TDER位后给TDER位写 “0” 时

21.2.30 定时器的波形控制寄存器 （TWCR）

地址 MTU.TWCR 0008 8660h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
复位后的值	0(注1)	0	0	0	0	0	0	0

注1. 除了互补PWM模式以外，不能置“1”。

位	符号	位名	功能	R/W
b0	WRE	初始输出抑止允许位	0：输出 TOCR 寄存器设定的初始输出值 1：抑止初始输出	R/(W) （注 1）
b6-b1	—	保留位	读写值都为 “0”。	R/W
b7	CCE	比较匹配清除允许位	0：不通过 MTU3.TGRA 的比较匹配清除计数器 1：通过 MTU3.TGRA 的比较匹配清除计数器	R/(W)

注 1. 在互补 PWM 模式中，当写 “1” 时，需要事先读到 “0”；当写 “0” 时，没有限制。
在非互补PWM模式中，禁止写 “1”，只能写 “0”。

TWCR寄存器是8位可读写寄存器。TWCR寄存器控制在互补PWM模式中发生MTU3.TNCT和MTU4.TNCT的同步计数清除时的输出波形以及设定是否通过 MTU3.TGRA 的比较匹配清除计数器。

必须在 TCNT 停止计数的状态下设定 TWCR.CCE 位和 TWCR.WRE 位。

WRE 位 （初始输出抑止允许位）

此位选择在互补 PWM 模式中发生同步计数清除时的输出波形。

只有在互补 PWM 模式的波谷 Tb 区间发生同步清除时，才能通过此功能抑止初始输出。如果在其他区间发生同步清除，就输出 TOCR 寄存器设定的初始值，与 TWCR.WRE 位的设定无关。如果在 MTU3.TCNT 和 MTU4.TCNT 开始计数后的波谷 Tb 区间发生同步清除，也输出 TOCR 寄存器设定的初始值。

有关互补 PWM 模式的波谷 Tb 区间，请参照图 21.40。

[为 “1” 的条件]

- 在TWCR.WRE为 “0” 的状态下读TWCR.WRE位后给TWCR.WRE位写 “1” 时

CCE 位 （比较匹配清除允许位）

此位设定在互补 PWM 模式中是否通过 TGRA3 的比较匹配清除计数器。

[为 “1” 的条件]

- 在CCE为 “0” 的状态下读CCE位后给CCE位写 “1” 时

21.2.31 噪声滤波器的控制寄存器 （NFCR）

- NFCR （MTU0～MTU4）

地址 MTU0.NFCR 0008 8690h、MTU1.NFCR 0008 8691h、MTU2.NFCR 0008 8692h
MTU3.NFCR 0008 8693h、MTU4.NFCR 0008 8694h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	NFAEN	噪声滤波器 A 允许位	0：停止 MTIOCnA 引脚的噪声滤波器 1：允许 MTIOCnA 引脚的噪声滤波器	R/W
b1	NFBEN	噪声滤波器 B 允许位	0：停止 MTIOCnB 引脚的噪声滤波器 1：允许 MTIOCnB 引脚的噪声滤波器	R/W
b2	NFCEN	噪声滤波器 C 允许位	0：停止 MTIOCnC 引脚的噪声滤波器 1：允许 MTIOCnC 引脚的噪声滤波器	R/(W) （注 1）
b3	NFDEN	噪声滤波器 D 允许位	0：停止 MTIOCnD 引脚的噪声滤波器 1：允许 MTIOCnD 引脚的噪声滤波器	R/(W) （注 1）
b5-b4	NFCS[1:0]	噪声滤波器时钟选择位	0 0：PCLK/1 0 1：PCLK/8 1 0：PCLK/32 1 1：计数源	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1. 在 MTU1.NFCR 寄存器和 MTU2.NFCR 寄存器中，为保留位，读取值为 “0”，写入值无效。

MTUn.NFCR 寄存器 （n=0 ～ 4）是 8 位可读写寄存器，控制允许或者停止 MTIOCnm 引脚的噪声滤波器，并且设定噪声滤波器的采样时钟 （n=0 ～ 4、 m=A ～ D）。

NFAEN 位 （噪声滤波器 A 允许位）

此位设定允许或者停止 MTIOCnA 引脚的输入噪声滤波器。因为在更改 NFAEN 位时可能发生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下或者在通过 TMDR.MD[3:0] 位设定为非正常模式 （“0000b”以外的值）的状态下更改 NFAEN 位。

NFBEN 位 （噪声滤波器 B 允许位）

此位设定允许或者停止 MTIOCnB 引脚的输入噪声滤波器。因为在更改 NFBEN 位时可能发生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下或者在通过 TMDR.MD[3:0] 位设定为非正常模式 （“0000b”以外的值）的状态下更改 NFBEN 位。

NFCEN 位 （噪声滤波器 C 允许位）

此位设定允许或者停止 MTIOCnC 引脚的输入噪声滤波器。因为在更改 NFCEN 位时可能发生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下或者在通过 TMDR.MD[3:0] 位设定为非正常模式 （“0000b”以外的值）的状态下更改 NFCEN 位。

NFDEN 位 （噪声滤波器 D 允许位）

此位设定允许或者停止 MTIOCnD 引脚的输入噪声滤波器。因为在更改 NFDEN 位时可能发生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下或者在通过 TMDR.MD[3:0] 位设定为非正常模式 （“0000b”以外的值）的状态下更改 NFDEN 位。

NFCS[1:0] 位 （噪声滤波器时钟选择位）

这些位设定噪声滤波器的采样周期。必须在设定 NFCS 位后等待 2 个所设采样周期，然后设定为输入捕捉功能。如果通过将 NFCS[1:0] 位置 “11b”使计数源为外部时钟，就必须在设定 NFCS 位后等待 2 次外部时钟的输入，然后设定为输入捕捉功能。

- NFCR （MTU5）

地址 MTU5.NFCR 0008 8695h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		—	NFWEN	NFVEN	NFUEN
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	NFUEN	噪声滤波器 U 允许位	0：停止 MTIC5U 引脚的噪声滤波器 1：允许 MTIC5U 引脚的噪声滤波器	R/W
b1	NFVEN	噪声滤波器 V 允许位	0：停止 MTIC5V 引脚的噪声滤波器 1：允许 MTIC5V 引脚的噪声滤波器	R/W
b2	NFWEN	噪声滤波器 W 允许位	0：停止 MTIC5W 引脚的噪声滤波器 1：允许 MTIC5W 引脚的噪声滤波器	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b5-b4	NFCS[1:0]	噪声滤波器时钟选择位	0 0：PCLK/1 0 1：PCLK/8 1 0：PCLK/32 1 1：计数源	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

MTU5.NFCR 寄存器是 8 位可读写寄存器，控制允许或者停止 MTIC5m 引脚的噪声滤波器，并且设定噪声滤波器的采样时钟 （m=U、 V、 W）。

NFUEN 位 （噪声滤波器 U 允许位）

此位设定允许或者停止 MTIC5U 引脚的输入噪声滤波器。因为在更改 NFUEN 位时可能发生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为比较匹配功能的状态下更改 NFUEN 位。

NFVEN 位 （噪声滤波器 V 允许位）

此位设定允许或者停止 MTIC5V 引脚的输入噪声滤波器。因为在更改 NFVEN 位时可能发生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为比较匹配功能的状态下更改 NFVEN 位。

NFWEN 位 （噪声滤波器 W 允许位）

此位设定允许或者停止 MTIC5W 引脚的输入噪声滤波器。因为在更改 NFWEN 位时可能发生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为比较匹配功能的状态下更改 NFWEN 位。

NFCS[1:0] 位 （噪声滤波器时钟选择位）

这些位设定噪声滤波器的采样周期。必须在设定 NFCS[1:0] 位后等待 2 个所设采样周期，然后设定为输入捕捉功能。

21.2.32 和总线主控的接口

定时器的计数器 （TCNT）、通用寄存器 （TGR）、定时器的副计数器 （TCNTS）、定时器的周期缓冲寄存器 （TCBR）、定时器的死区时间数据寄存器 （TDDR）、定时器的周期数据寄存器 （TCDR）、定时器的 A/D 转换开始请求控制寄存器 （TADCR）、定时器的 A/D 转换开始请求周期设定寄存器 （TADCORA/B）和定时器的 A/D 转换开始请求周期设定缓冲寄存器 （TADCOBRA/B）都是 16 位寄存器。因为和总线主控之间的数据总线宽度为 16 位，所以能以 16 位为单位进行读写，而不能以 8 位为单位进行读写。必须总是以 16 位为单位进行存取。

上述以外的寄存器是 8 位寄存器，必须以 8 位为单位进行读写。

21.3 运行说明

21.3.1 概要

各通道有 TCNT 和 TGR。TCNT 进行递增计数，能进行自由运行、周期计数器运行或者外部事件计数运行。TGR 能分别用作输入捕捉寄存器或者输出比较寄存器。

(1) 计数器的运行

如果将 TSTR 的 CST0 ～ CST4 位以及 MTU5.TSTR 的 CSTU5 位、CSTV5 位和 CSTW5 位置“1”，对应通道的 TCNT 就开始计数。能用作自由运行计数器和周期计数器等。

(a) 计数运行的设定步骤例子

计数器运行的设定步骤例子如图 21.4 所示。

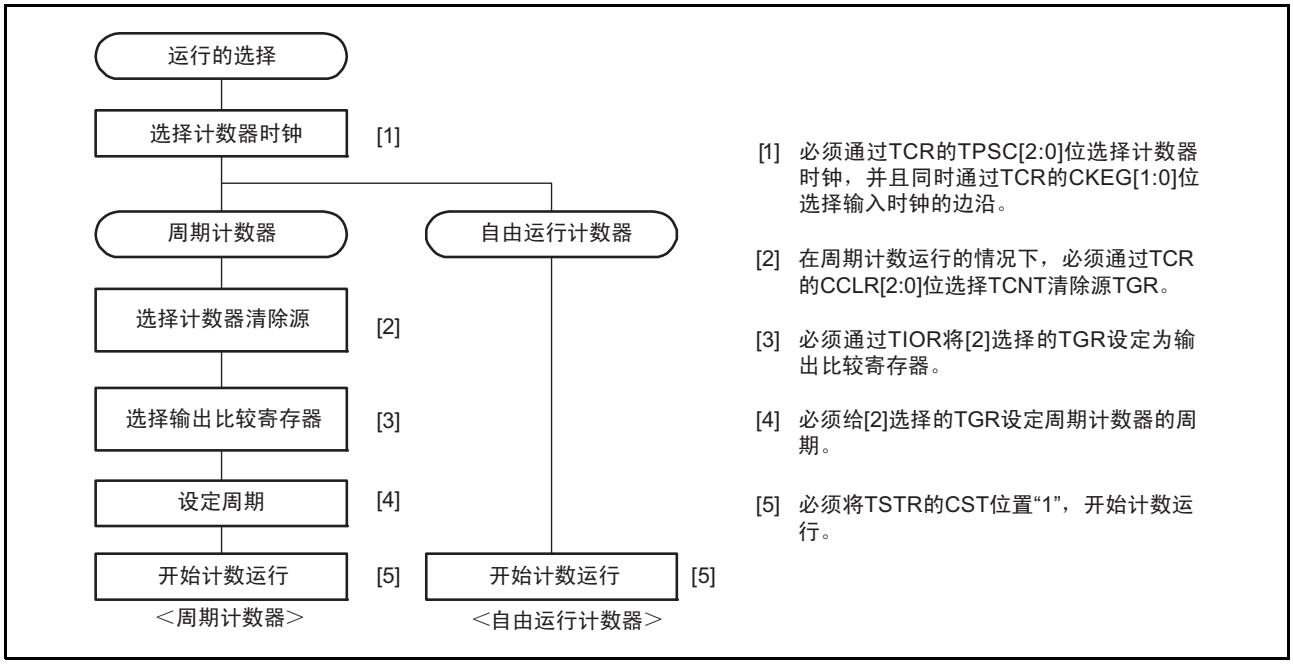


图 21.4 计数器运行的设定步骤例子

(b) 自由运行计数的运行和周期计数的运行

MTU 的 TCNT 在复位后立即被全部设定为自由运行计数器。如果将 TSTR 的对应位置“1”，就作为自由运行计数器开始递增计数。如果 TCNT 发生上溢（“FFFFh”→“0000h”）并且对应的 TIER 的 TCIEV 位为“1”， MTU 就请求中断。 TCNT 在发生上溢后从 “0000h”开始继续递增计数。

自由运行计数器的运行如图 21.5 所示。

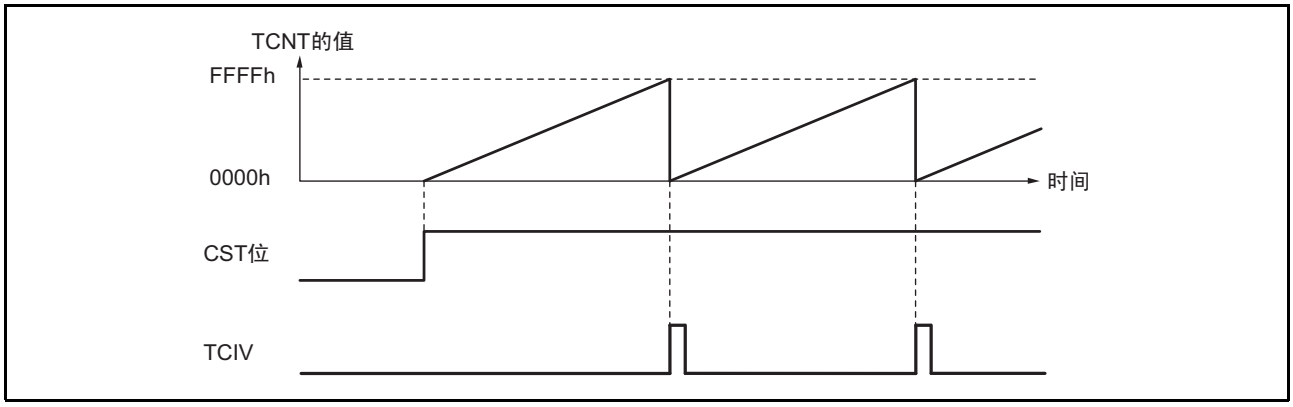


图 21.5 自由运行计数器的运行

当选择比较匹配作为 TCNT 的清除源时，对应通道的 TCNT 进行周期计数。将用于设定周期的 TGR 设定为输出比较寄存器，并且由 TCR 的 CCLR[2:0] 位选择通过比较匹配进行计数器清除。如果在设定后将 TSTR 的对应位置 “1”，就作为周期计数器开始递增计数。如果计数值和 TGR 的值相同， TCNT 就变为 “0000h”。

此时，如果对应的 TIER 的 TGIE 位为 “1”， MTU 就请求中断。 TCNT 在比较匹配后从 “0000h”开始继续递增计数。

周期计数器的运行如图 21.6 所示。

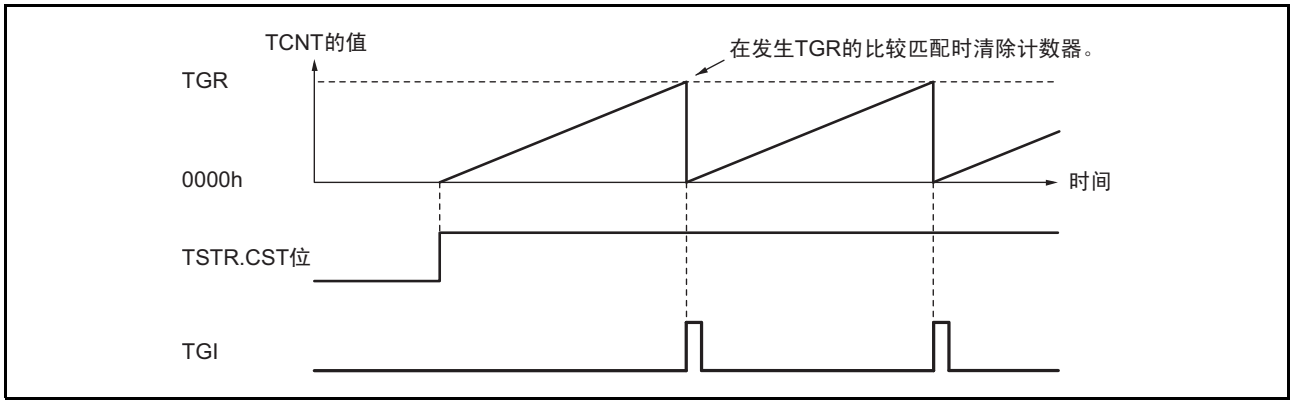


图 21.6 周期计数器的运行

(2) 通过比较匹配进行的波形输出功能

MTU 能通过比较匹配从对应的输出引脚输出 Low 电平、 High 电平或者进行交替输出。

(a) 通过比较匹配进行波形输出的设定步骤例子

通过比较匹配进行波形输出的设定步骤例子如图 21.7 所示。

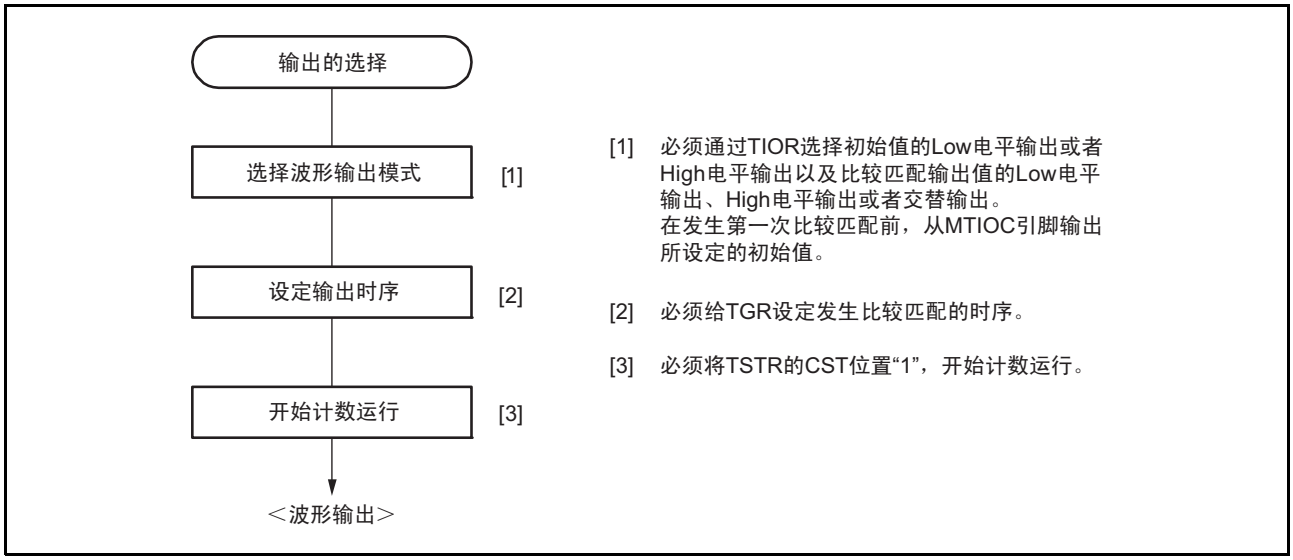


图 21.7 通过比较匹配进行波形输出的运行例子

(b) 波形输出的运行例子

输出 Low 电平 /High 电平的运行例子如图 21.8 所示。

在此例子中，假设 TCNT 进行自由运行的计数，在比较匹配 A 时输出 High 电平，在比较匹配 B 时输出 Low 电平。如果设定的电平和引脚的电平相同，引脚的电平就不变。

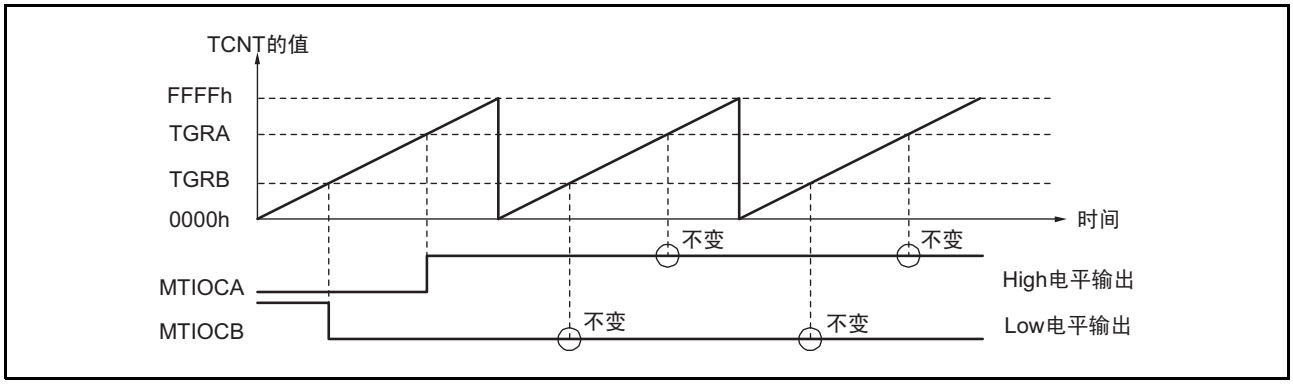


图 21.8 输出 Low 电平 /High 电平的运行例子

交替输出的运行例子如图 21.9 所示。

在此例子中，假设 TCNT 进行周期计数（通过比较匹配 B 进行计数器清除），并且比较匹配 A 和比较匹配 B 都进行交替输出。

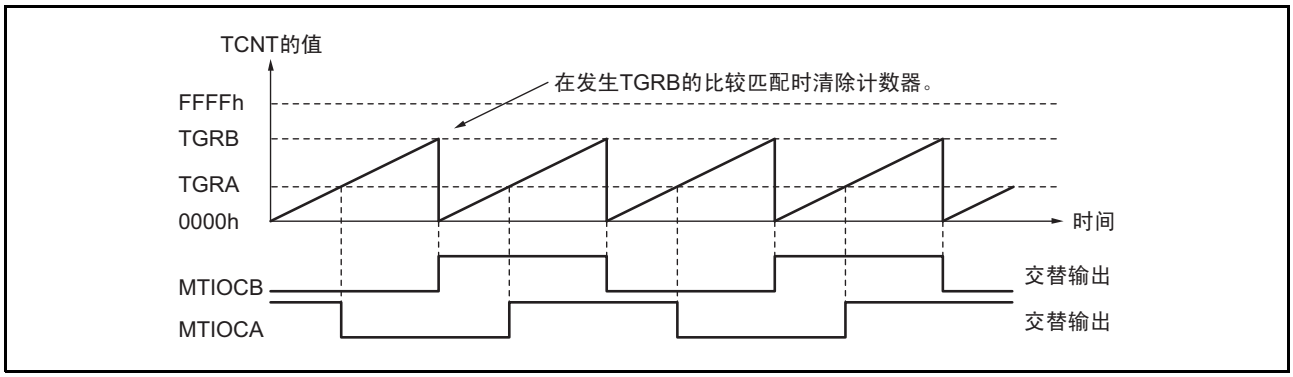


图 21.9　交替输出的运行例子

(3)　输入捕捉功能

能在检测到 MTIOC 引脚的输入边沿后将 TCNT 的值传送到 TGR。

检测边沿可选择上升沿、下降沿或者双边沿，而在 MTU0 和 MTU1 中也能将其他通道的计数器输入时钟或者比较匹配信号作为输入捕捉源。

注 .　如果在 MTU0 和 MTU1 中将其他通道的计数器输入时钟作为输入捕捉的输入引脚，就不能选择 PCLK/1 作为输入捕捉输入的计数器输入时钟。如果选择 PCLK/1，就不产生输入捕捉。

(a)　输入捕捉的设定步骤例子

输入捕捉的设定步骤例子如图 21.10 所示。

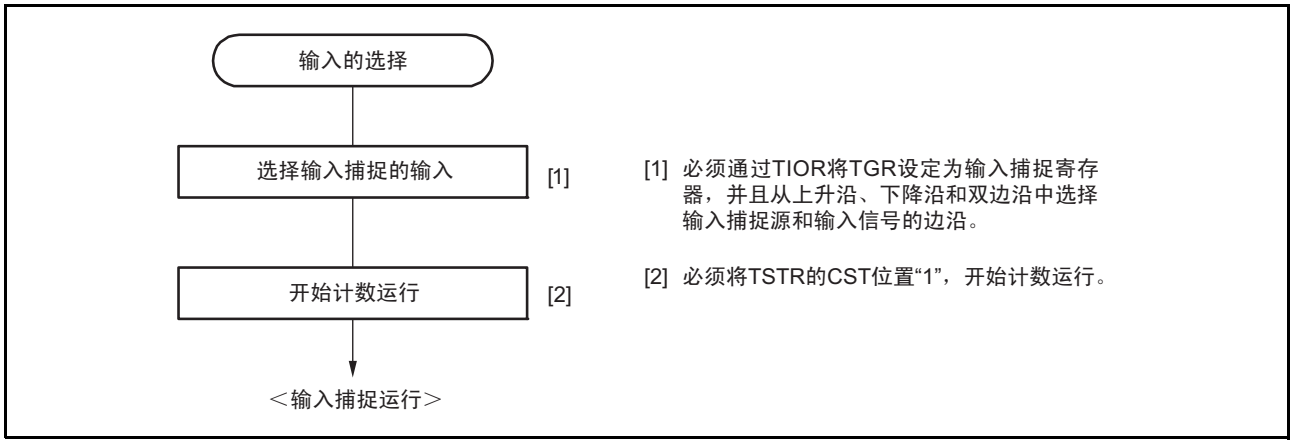


图 21.10　输入捕捉的设定例子

(b) 输入捕捉的运行例子

输入捕捉的运行例子如图 21.11 所示。

在此例子中，假设选择上升沿 / 下降沿的双边沿作为 MTIOCnA 引脚的输入捕捉的输入边沿，选择下降沿作为 MTIOCnB 引脚的输入捕捉的输入边沿，并且在发生 TGRB 的输入捕捉时清除 TCNT 计数器。

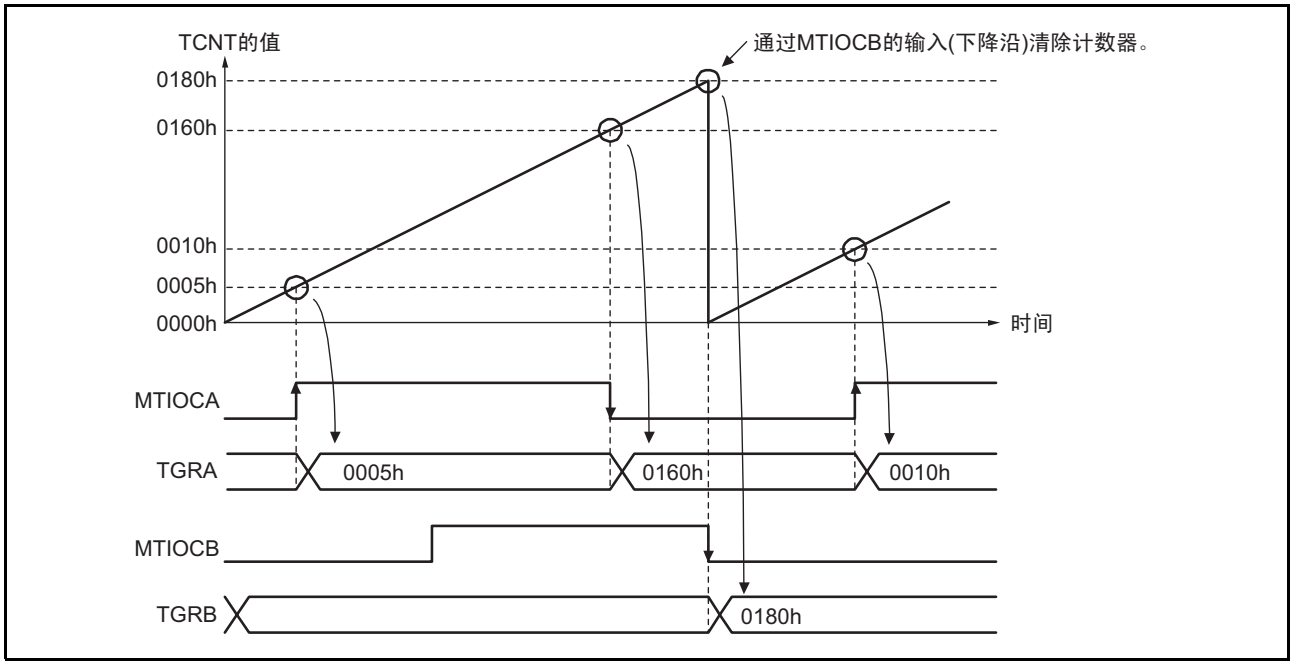


图 21.11 输入捕捉的运行例子

21.3.2 同步运行

同步运行能同时改写多个 TCNT 的值 （同步预置），还能通过设定 TCR 同时清除多个 TCNT （同步清除）。

能通过同步运行对 1 个时基增加要运行的 TGR 个数。

MTU0 ～ MTU4 都能设定为同步运行。

MTU5 不能设定为同步运行。

(1) 同步运行的设定步骤例子

同步运行的设定步骤例子如图 21.12 所示。

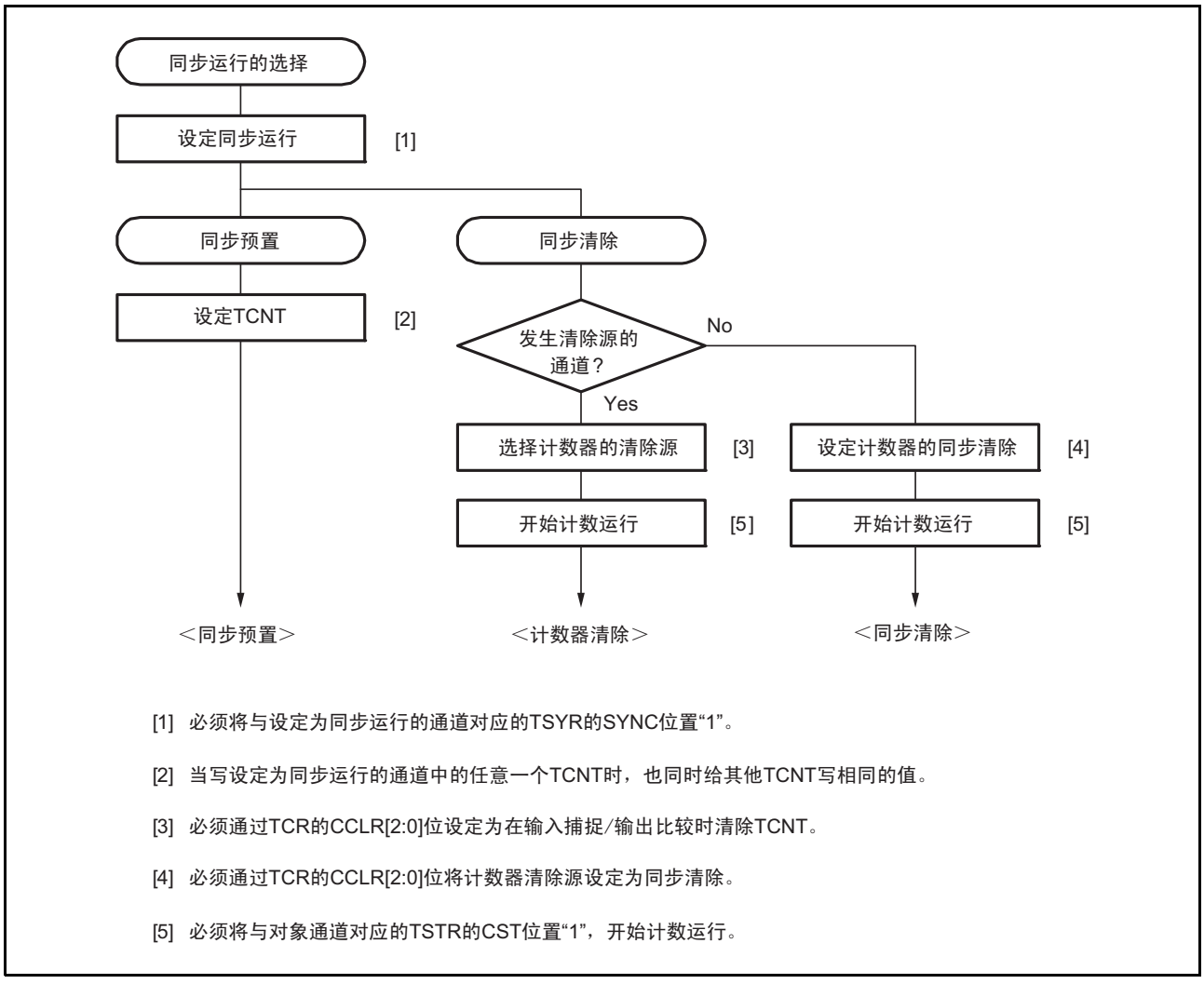


图 21.12 同步运行的设定步骤例子

(2) 同步运行的例子

同步运行的例子如图 21.13 所示。

在此例子中，假设将MTU0～2设定为同步运行和PWM模式1，将MTU0的计数器清除源设定为MTU0.TGRB的比较匹配，将 MTU1 和 MTU2 的计数器清除源设定为同步清除。

从 MTIOC0A、MTIOC1A、MTIOC2A 引脚输出 3 相 PWM 波形。此时， MTU0 ～ MTU2 的 TCNT 进行同步预置并且通过 MTU0.TGRB 的比较匹配进行同步清除， MTU0.TGRB 设定的数据为 PWM 周期。

有关 PWM 模式，请参照 “21.3.5 PWM 模式”。

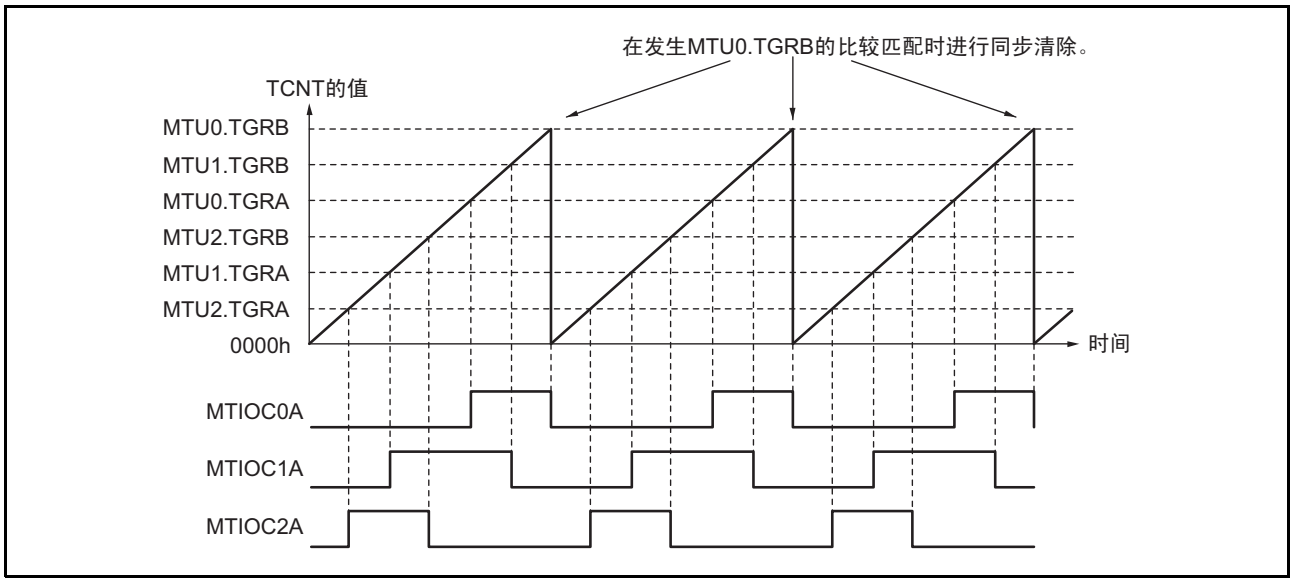


图 21.13 同步运行的例子

21.3.3 缓冲运行

缓冲运行是 MTU0、 MTU3 和 MTU4 具有的功能，能将 TGRC 和 TGRD 用作缓冲寄存器，在 MTU0 中也能将 TGRF 用作缓冲寄存器。

将 TGR 设定为输入捕捉寄存器和比较匹配寄存器时的缓冲运行内容不同。

注 . MTU0.TGRE 不能被设定为输入捕捉寄存器，而只能用作比较匹配寄存器。

缓冲运行时的寄存器组合如表 21.43 所示。

表 21.43 寄存器的组合

通道	定时器的通用寄存器	缓冲寄存器
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR 为输出比较寄存器的情况

  如果发生比较匹配，就将对应通道的缓冲寄存器的值传送到定时器的通用寄存器。

  此运行如图 21.14 所示。

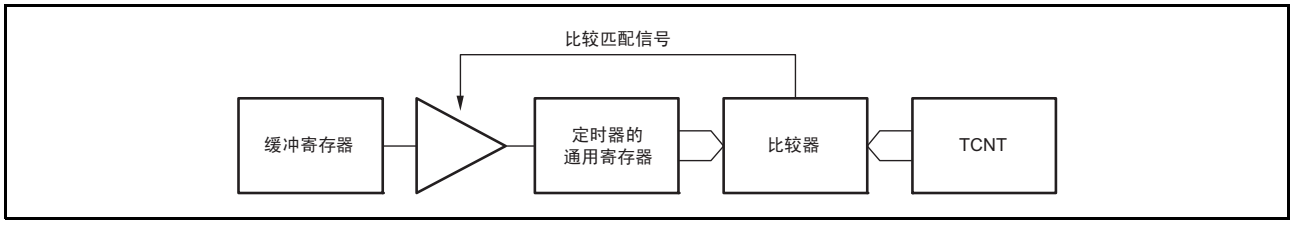


图 21.14 比较匹配的缓冲运行

- TGR 为输入捕捉寄存器的情况

  如果发生输入捕捉，就在将 TCNT 的值传送到 TGR 的同时，将以前保存的 TGR 值传送到缓冲寄存器。

  此运行如图 21.15 所示。

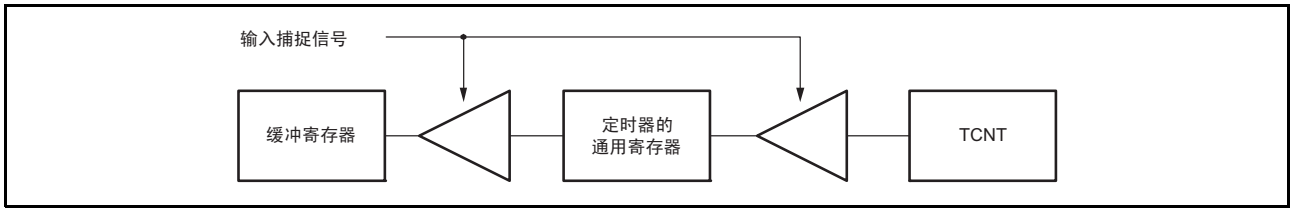


图 21.15 输入捕捉的缓冲运行

(1) 缓冲运行的设定步骤例子

缓冲运行的设定步骤例子如图 21.16 所示。

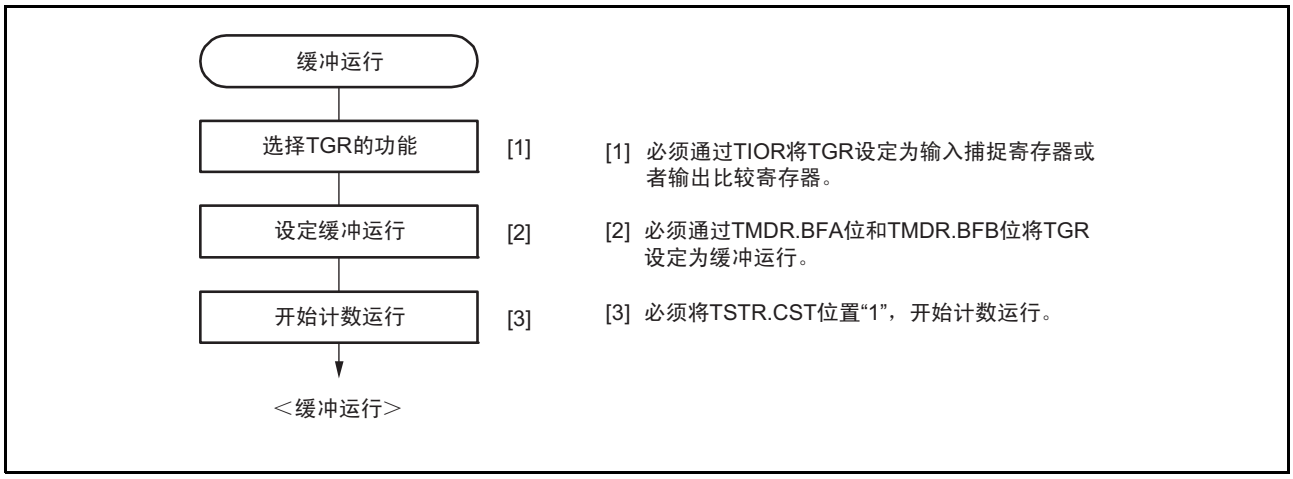


图 21.16　缓冲运行的设定步骤例子

(2) 缓冲运行的例子

(a) TGR 为输出比较寄存器的情况

将 MTU0 设定为 PWM 模式 1 并且将 TGRA 和 TGRC 设定为缓冲运行时的运行例子如图 21.17 所示。在此例子中，假设通过比较匹配 B 进行 TCNT 的清除，在比较匹配 A 时输出 High 电平，在比较匹配 B 时输出 Low 电平，将 TBTM 的 TTSA 位置 “0”。

因为设定了缓冲运行，所以当发生比较匹配 A 时，就在输出发生变化的同时将缓冲寄存器 TGRC 的值传送到定时器的通用寄存器 TGRA。每当发生比较匹配 A 时，重复此操作。

有关 PWM 模式，请参照 “21.3.5 PWM 模式”。

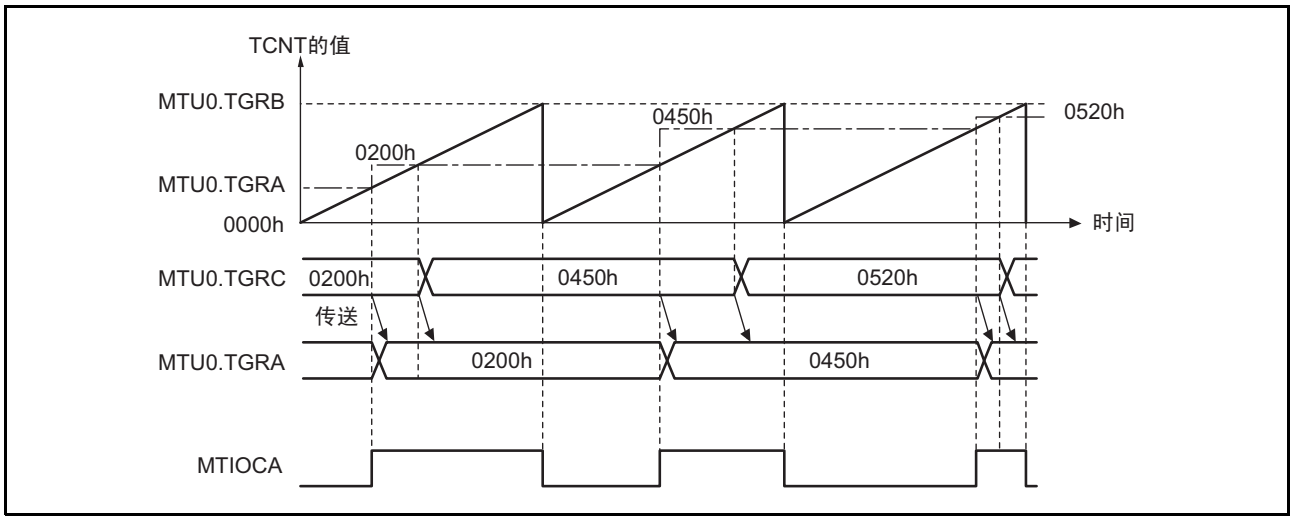


图 21.17　缓冲运行的例子 （1）

(b) TGR 为输入捕捉寄存器的情况

将 TGRA 设定为输入捕捉寄存器并且将 TGRA 和 TGRC 设定为缓冲运行时的运行例子如图 21.18 所示。

在 TGRA 的输入捕捉时清除 TCNT 计数器，选择上升沿 / 下降沿的双边沿作为 MTIOCnA 引脚的输入捕捉的输入边沿。

因为设定了缓冲运行，所以在通过输入捕捉 A 将 TCNT 的值保存到 TGRA 的同时，将以前保存在 TGRA 的值传送到 TGRC。

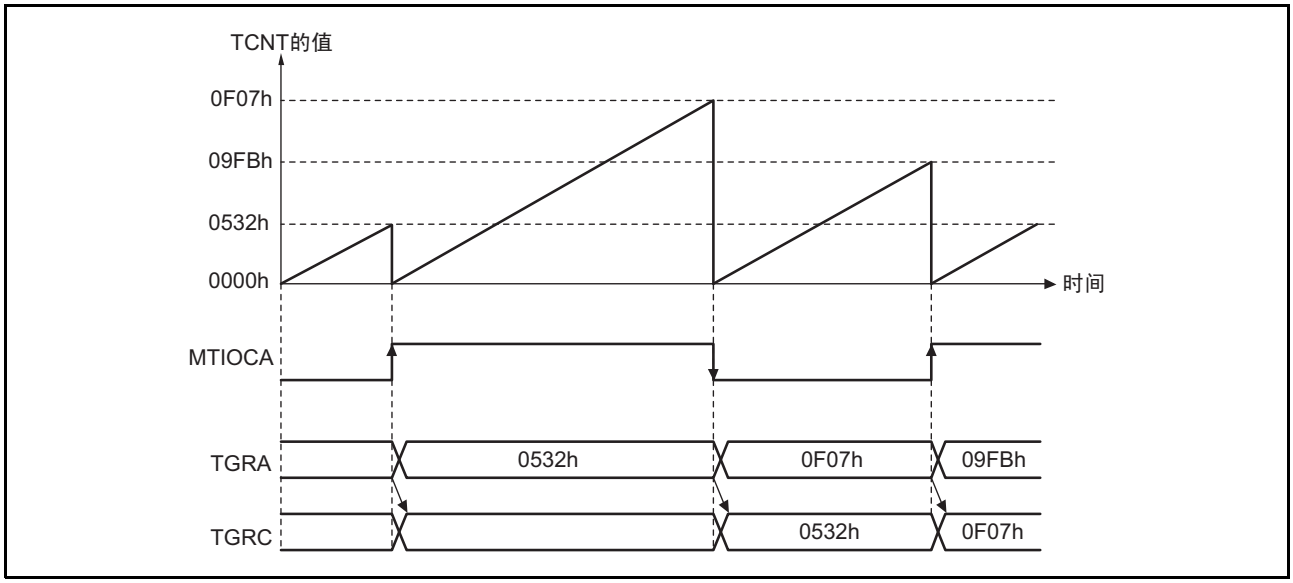


图 21.18 缓冲运行的例子 （2）

(3) 缓冲运行时的缓冲寄存器到定时器的通用寄存器的传送时序选择

能通过设定缓冲运行传送模式寄存器（MTU0.TBTM、MTU3.TBTM、MTU4.TBTM），选择 MTU0 为 PWM 模式 1 和 PWM 模式 2 时以及 MTU3 和 MTU4 为 PWM 模式 1 时的缓冲寄存器到定时器的通用寄存器的传送时序。能选择在发生比较匹配时（初始值）或者在清除 TCNT 时进行缓冲传送。在此，清除 TCNT 时是指当以下的任意一个条件成立时。

- TCNT 发生上溢时 （“FFFFh” → “0000h”）
- 在计数器运行过程中给 TCNT 写 “0000h” 时
- 通过 TCR 的 CCLR[2:0] 位设定的清除源使 TCNT 变为 “0000h” 时

注 . 必须在 TCNT 停止计数的状态下设定 TBTM 寄存器。

将 MTU0 设定为 PWM 模式 1 并且将 MTU0.TGRA 和 MTU0.TGRC 设定为缓冲运行时的运行例子如图 21.19 所示。通过比较匹配 B 进行 MTU0.TCNT 的清除，在比较匹配 A 时输出 High 电平，在比较匹配 B 时输出 Low 电平，将 MTU0.TBTM 的 TTSA 位置 “1”。

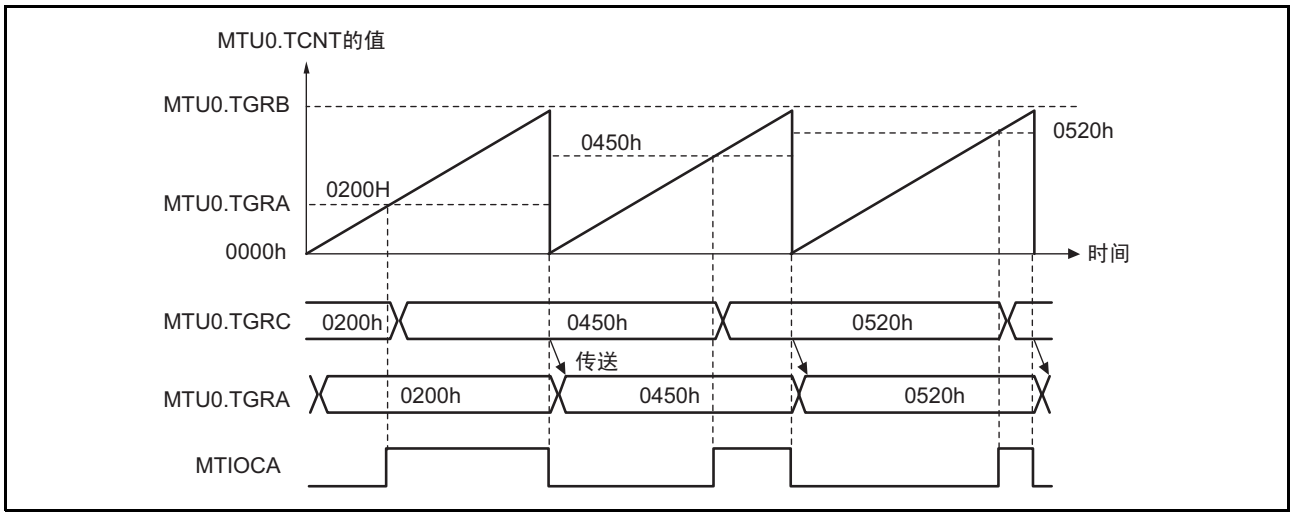


图 21.19 选择在清除 MTU0.TCNT 时进行 MTU0.TGRC 到 MTU0.TGRA 的缓冲传送的运行例子

21.3.4 级联运行

级联运行是将 2 个通道的 16 位计数器连接为 32 位计数器的功能。

通过 TCR 寄存器的 TPSC[2:0] 位将 MTU1 的计数器时钟设定为通过 （MTU2.TCNT 的）上溢 / 下溢进行计数，实现级联运行的功能。

只在低 16 位的 TCNT 为相位计数模式时发生下溢。

级联的组合如表 21.44 所示。

注 . 如果将 MTU1 和 MTU2 设定为相位计数模式，计数器时钟的设定就无效，并且在相位计数模式中独立运行。

表 21.44 级联的组合

组合	高 16 位	低 16 位
MTU1 和 MTU2	MTU1.TCNT	MTU2.TCNT

在进行级联运行时，如果 MTU1.TCNT 和 MTU2.TCNT 同时进行输入捕捉，就能通过输入捕捉控制寄存器（TICCR）进行设定，将输入引脚追加到输入捕捉条件。有关级联时的输入捕捉，请参照 “21.6.22 级联中的 MTU1.TCNT 和 MTU2.TCNT 的同时输入捕捉”。

TICCR 寄存器的设定值和输入捕捉的输入引脚的对应如表 21.45 所示。

表 21.45 TICCR 寄存器的设定值和输入捕捉的输入引脚的对应

对象输入捕捉	TICCR 寄存器的设定值	输入捕捉的输入引脚
MTU1.TCNT 到 MTU1.TGRA 的输入捕捉	I2AE 位 =0 （初始值）	MTIOC1A
	I2AE 位 =1	MTIOC1A、 MTIOC2A
MTU1.TCNT 到 MTU1.TGRB 的输入捕捉	I2BE 位 =0 （初始值）	MTIOC1B
	I2BE 位 =1	MTIOC1B、 MTIOC2B
MTU2.TCNT 到 MTU2.TGRA 的输入捕捉	I1AE 位 =0 （初始值）	MTIOC2A
	I1AE 位 =1	MTIOC2A、 MTIOC1A
MTU2.TCNT 到 MTU2.TGRB 的输入捕捉	I1BE 位 =0 （初始值）	MTIOC2B
	I1BE 位 =1	MTIOC2B、 MTIOC1B

(1) 级联运行的设定步骤例子

级联运行的设定步骤例子如图 21.20 所示。

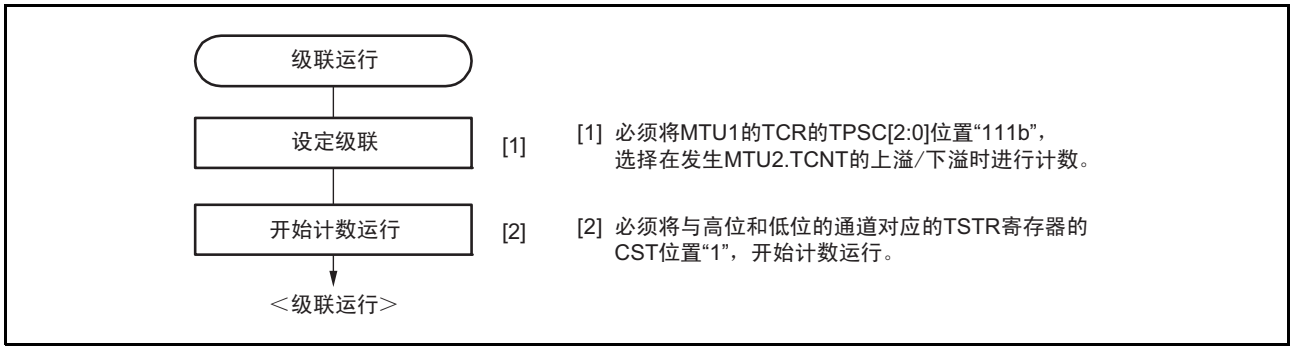


图 21.20 级联运行的设定步骤例子

(2) 级联运行的例子 （a）

MTU1.TCNT 通过 MTU2.TCNT 的上溢 / 下溢进行计数并且将 MTU2 设定为相位计数模式时的运行如图 21.21 所示。

MTU1.TCNT 通过 MTU2.TCNT 的上溢进行递增计数，通过 MTU2.TCNT 的下溢进行递减计数。

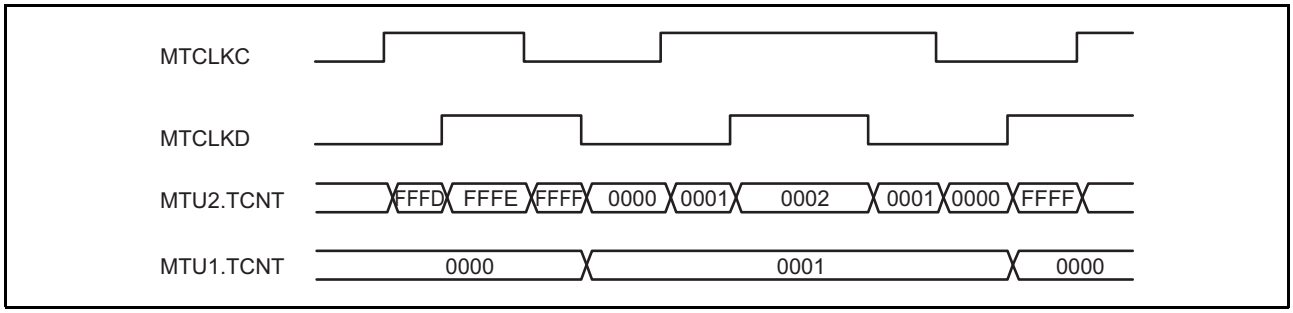


图 21.21 级联运行的例子 （a）

(3) 级联运行的例子 （b）

在将 MTU1.TCNT 和 MTU2.TCNT 进行级联，并且通过将 TICCR.I2AE 位置 “1” 使 MTIOC2A 引脚追加到 MTU1.TGRA输入捕捉条件时的运行如图21.22所示。在此例子中，将MTU1.TIOR的IOA[3:0]设定为在（MTIOC1A 的）上升沿进行输入捕捉，将 MTU2.TIOR 的 IOA[3:0] 设定为在 （MTIOC2A 的）上升沿进行输入捕捉。

此时，MTIOC1A 和 MTIOC2A 的上升沿被设定为 MTU1.TGRA 的输入捕捉条件，MTIOC2A 的上升沿被设定为 MTU2.TGRA 的输入捕捉条件。

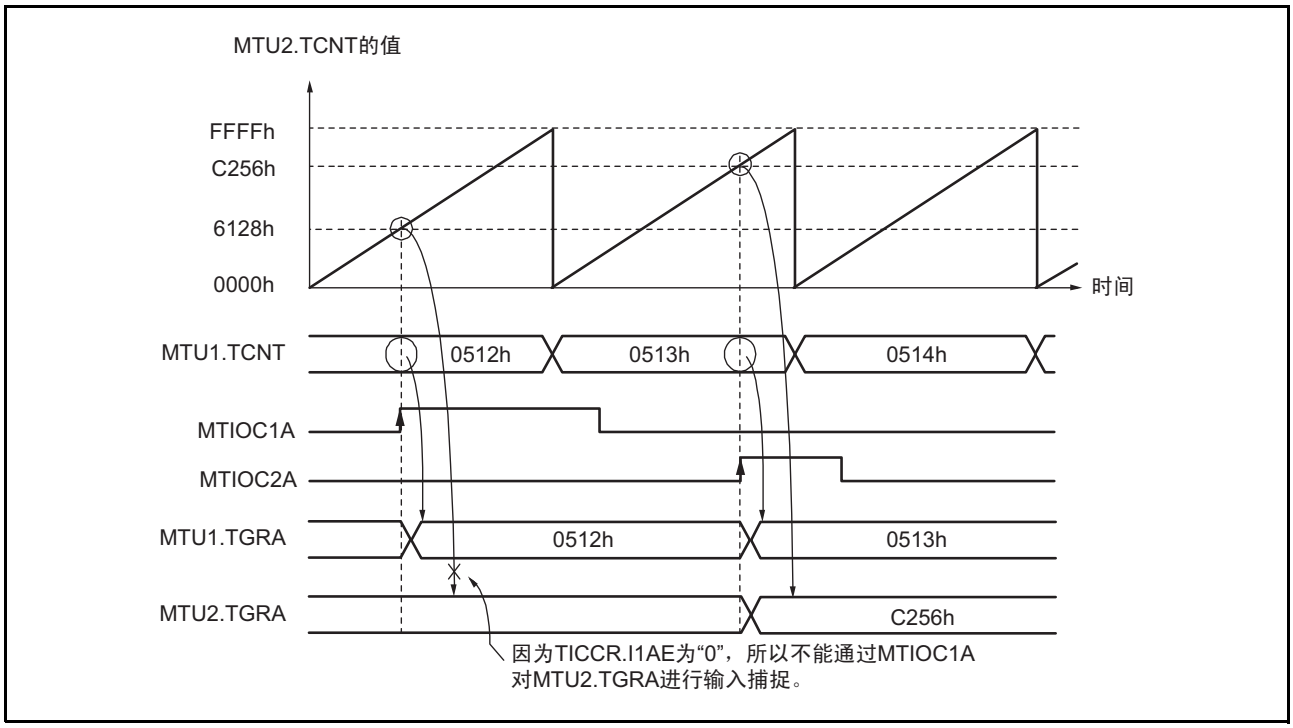


图 21.22 级联运行的例子 （b）

(4) 级联运行的例子 （c）

将 MTU1.TCNT 和 MTU2.TCNT 进行级联，并且通过将 TICCR.I2AE 位和 TICCR.I1AE 位置“1”使 MTIOC2A 引脚追加到 MTU1.TGRA 的输入捕捉条件以及使 MTIOC1A 引脚追加到 MTU2.TGRA 的输入捕捉条件时的运行如图 21.23 所示。在此例子中，将 MTU1.TIOR 和 MTU2.TIOR 的 IOA[3:0] 位都设定为在双边沿进行输入捕捉。此时， MTIOC1A 输入和 MTIOC2A 输入的 OR 为 MTU1.TGRA 和 MTU2.TGRA 的输入捕捉条件。

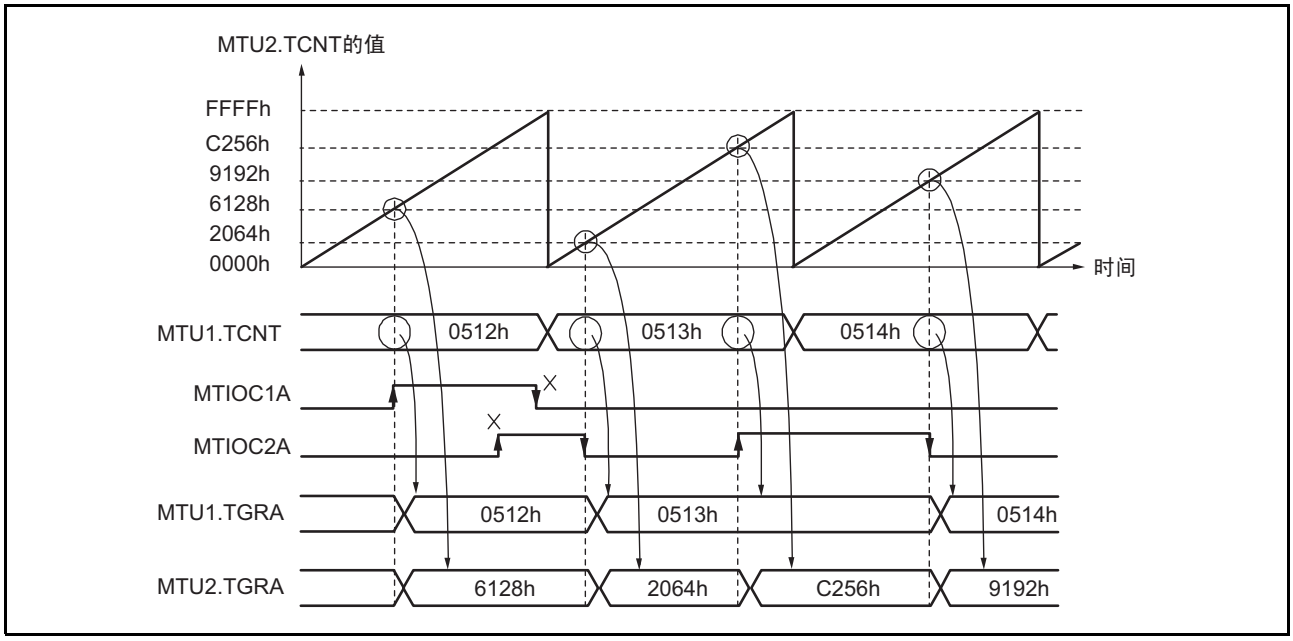


图 21.23 级联运行的例子 （c）

(5) 级联运行的例子 （d）

将 MTU1.TCNT 和 MTU2.TCNT 进行级联，并且通过将 TICCR 寄存器的 I2AE 位置 “1” 使 MTIOC2A 引脚追加到 MTU1.TGRA 的输入捕捉条件时的运行如图 21.24 所示。在此例子中，将 MTU1.TIOR 的 IOA[3:0] 位设定为在发生 MTU0.TGRA 的比较匹配 / 输入捕捉时进行输入捕捉，将 MTU2.TIOR 的 IOA[3:0] 位设定为在（MTIOC2A 的）上升沿进行输入捕捉。

此时，因为将 MTU1.TIOR 设定为在发生 MTU0.TGRA 的比较匹配 / 输入捕捉时进行输入捕捉，所以即使将 TICCR 寄存器的 I2AE 位置 “1”， MTIOC2A 的边沿也不会成为 MTU1.TGRA 的输入捕捉条件。

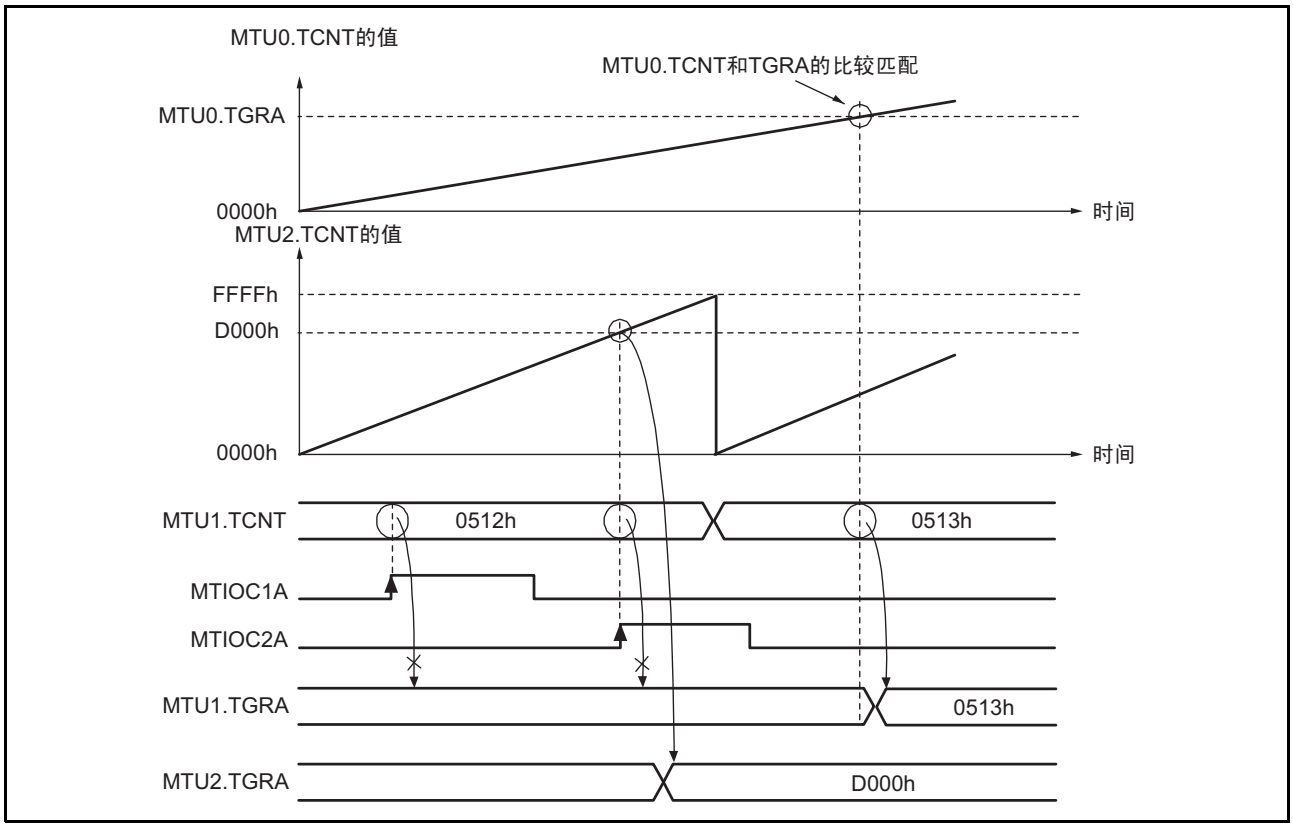


图 21.24 级联运行的例子 （d）

21.3.5 PWM 模式

PWM 模式是从输出引脚分别输出 PWM 波形的模式。各 TGR 比较匹配的输出电平可选择 Low 电平输出、High 电平输出或者交替输出。

能通过设定各 TGR，输出 0 ～ 100% 占空比的 PWM 波形。

能通过将 TGR 的比较匹配作为计数器的清除源，给该寄存器设定周期。能将全部通道分别设定为 PWM 模式，也能进行同步运行。

PWM 模式有以下 2 种模式。

(a) PWM 模式 1

TGRA 和 TGRB、TGRC 和 TGRD 配对使用，生成从 MTIOCnA 引脚和 MTIOCnC 引脚的 PWM 输出波形。通过比较匹配 A 和比较匹配 C 从 MTIOCnA 引脚和 MTIOCnC 引脚进行 TIOR 的 IOA[3:0] 位和 IOC[3:0] 位指定的输出，并且通过比较匹配 B 和比较匹配 D 从 MTIOCnA 引脚和 MTIOCnC 引脚进行 TIOR 的 IOB[3:0] 位和 IOD[3:0] 位指定的输出，初始输出值为 TGRA 和 TGRC 的设定值。当配对使用的 TGR 的设定值相同时，即使发生比较匹配，输出值也不变。

在 PWM 模式 1 中，能进行最多 8 相的 PWM 波形输出。

(b) PWM 模式 2

将 1 个 TGR 用作周期寄存器而将其他 TGR 用作占空比寄存器，生成 PWM 输出波形。通过比较匹配进行 TIOR 指定的输出，并且通过同步寄存器的比较匹配进行计数器清除，各引脚的输出值为 TIOR 设定的初始值。如果周期寄存器和占空比寄存器的设定值相同，即使发生比较匹配，输出值也不变。

在 PWM 模式 2 中，能通过和同步运行的并用，进行最多 8 相的 PWM 波形输出。

PWM 的输出引脚和寄存器的对应如**表 21.46** 所示。

表 21.46 各 PWM 输出的寄存器和输出引脚

通道	寄存器	输出引脚	
		PWM 模式 1	PWM 模式 2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B
MTU3	MTU3.TGRA	MTIOC3A	不能设定。
	MTU3.TGRB		
	MTU3.TGRC	MTIOC3C	
	MTU3.TGRD		
MTU4	MTU4.TGRA	MTIOC4A	
	MTU4.TGRB		
	MTU4.TGRC	MTIOC4C	
	MTU4.TGRD		

注 . 在 PWM 模式 2 中，不能对已设定周期的 TGR 进行 PWM 波形输出。

(1) PWM 模式的设定步骤例子

PWM 模式的设定步骤例子如图 21.25 所示。

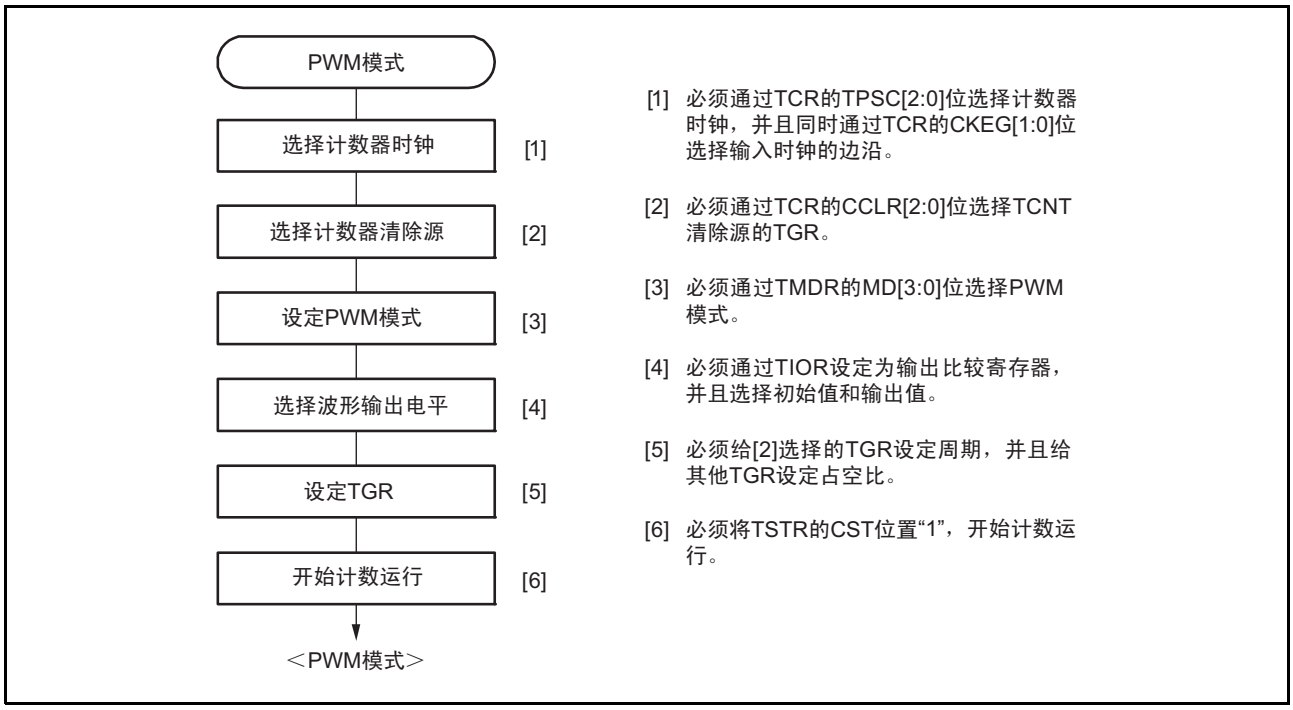


图 21.25 PWM 模式的设定步骤例子

(2) PWM 模式的运行例子

PWM 模式 1 的运行例子如图 21.26 所示。

在此图中，假设将 TGRA 的比较匹配设定为 TCNT 的清除源，将 TGRA 的初始输出值和输出值设定为“0”，将 TGRB 的输出值设定为 “1”。

此时， TGRA 的设定值为周期， TGRB 的设定值为占空比。

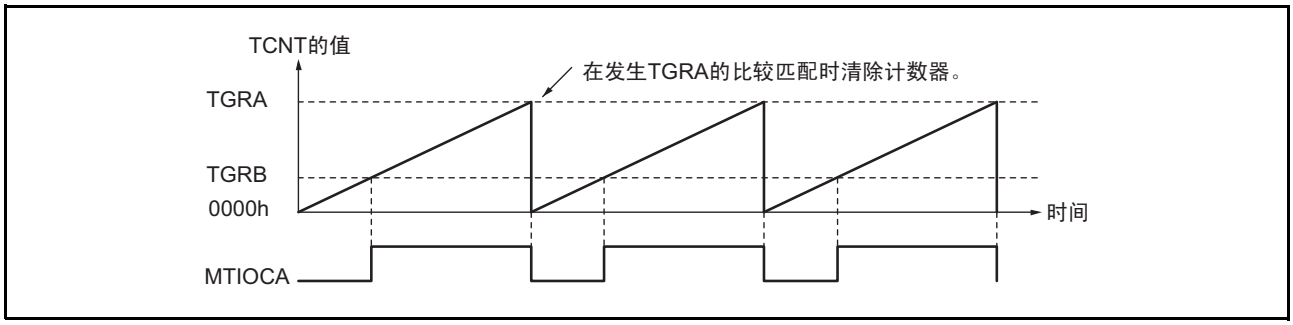


图 21.26 PWM 模式的运行例子

PWM 模式 2 的运行例子如图 21.27 所示。

在此图中，假设使 MTU0 和 MTU1 同步运行，将 MTU1.TGRB 的比较匹配设定为 TCNT 的清除源，将其他 TGR （MTU0.TGRA ～ MTU0.TGRD、 MTU1.TGRA）的初始输出值设定为 “0”，将输出值设定为 “1”，输出 5 相 PWM 波形。

此时， TGR1B 的设定值为周期，其他的 TGR 设定值为占空比。

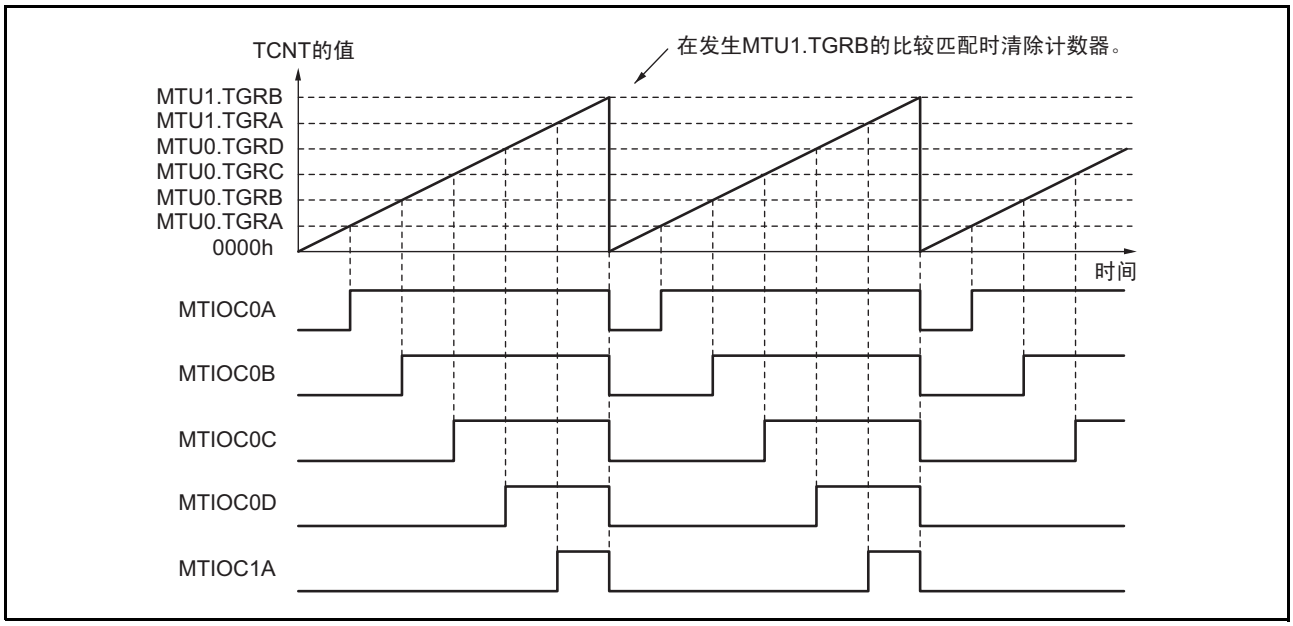


图 21.27 PWM 模式的运行例子

在 PWM 模式中，占空比为 0%和 100%的 PWM 波形输出例子如图 21.28 所示。

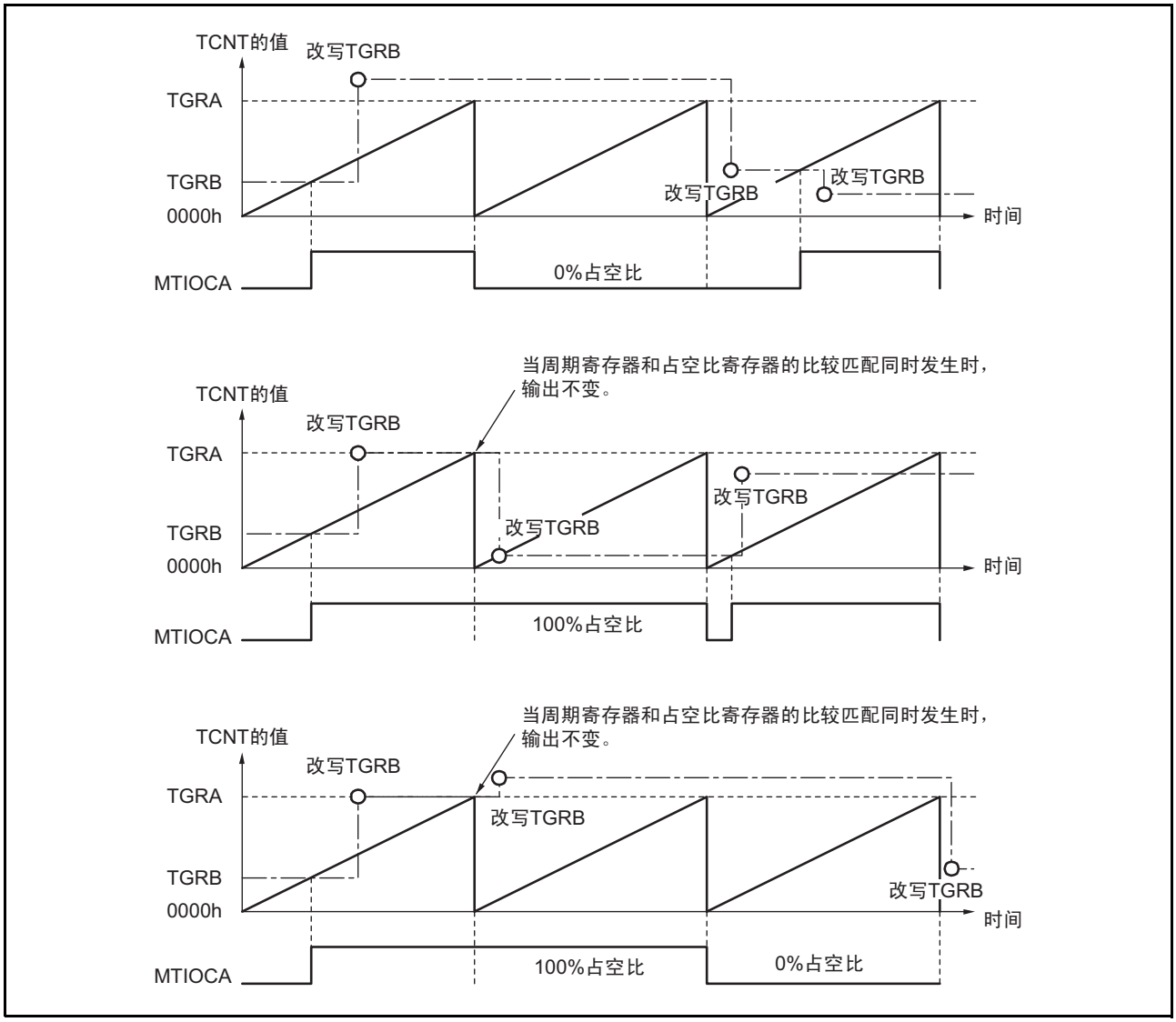


图 21.28 PWM 模式的运行例子

21.3.6 相位计数模式

相位计数模式通过设定MTU1和MTU2，检测2个外部时钟输入的相位差，并且TCNT进行递增/递减计数。

如果设定为相位计数模式，就选择外部时钟作为计数器输入时钟，并且 TCNT 作为递增 / 递减计数器运行，与 TCR 寄存器的 TPSC[2:0] 位和 CKEG[1:0] 位的设定无关。但是，因为 TCR 寄存器的 CCLR[1:0] 位、 TIOR、TIER、 TGR 寄存器的功能有效，所以能使用输入捕捉 / 比较匹配功能和中断功能。

相位计数模式能用作 2 相编码器脉冲的输入。

如果在 TCNT 进行递增计数时发生上溢并且对应的 TIER 寄存器的 TCIEV 位为 “1”，就产生 TCIV 中断。如果在 TCNT 进行递减计数时发生下溢并且对应的 TIER 寄存器的 TCIEU 位为 “1”，就产生 TCIU 中断。

TSR 寄存器的 TCFD 位是计数方向标志。能通过读 TCFD 标志，确认 TCNT 是在进行递增计数还是在进行递减计数。

外部时钟引脚和通道的对应如**表 21.47** 所示。

表 21.47 相位计数模式的时钟输入引脚

通道	外部时钟引脚	
	A 相	B 相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(1) 相位计数模式的设定步骤例子

相位计数模式的设定步骤例子如**图 21.29** 所示。

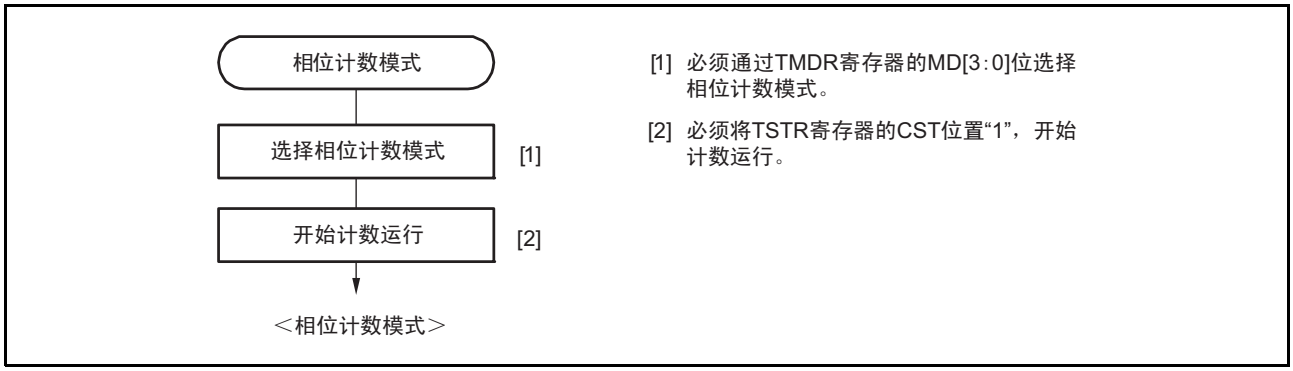


图 21.29 相位计数模式的设定步骤例子

(2) 相位计数模式的运行例子

在相位计数模式中，TCNT 通过 2 个外部时钟的相位差进行递增计数或者递减计数。计数条件有 4 种模式。

(a) 相位计数模式 1

相位计数模式 1 的运行例子如图 21.30 所示， TCNT 的递增 / 递减计数条件如表 21.48 所示。

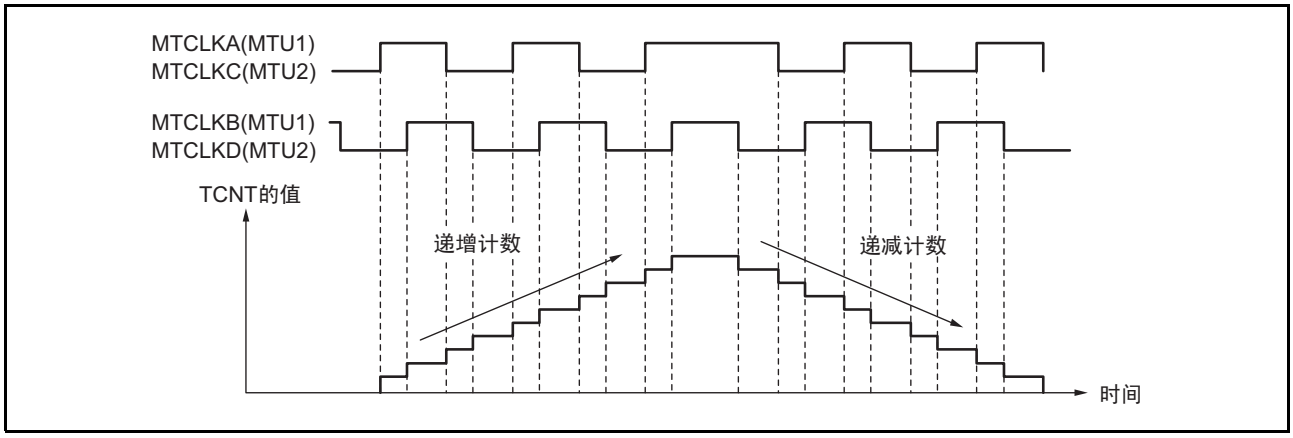


图 21.30 相位计数模式 1 的运行例子

表 21.48 相位计数模式 1 的递增 / 递减计数条件

MTCLKA （MTU1） MTCLKC （MTU2）	MTCLKB （MTU1） MTCLKD （MTU2）	运行内容
High 电平	↑	递增计数
Low 电平	↓	
↑	Low 电平	
↓	High 电平	
High 电平	↓	递减计数
Low 电平	↑	
↑	High 电平	
↓	Low 电平	

↑ ：上升沿
↓ ：下降沿

(b) 相位计数模式 2

相位计数模式 2 的运行例子如图 21.31 所示， TCNT 的递增 / 递减计数条件如表 21.49 所示。

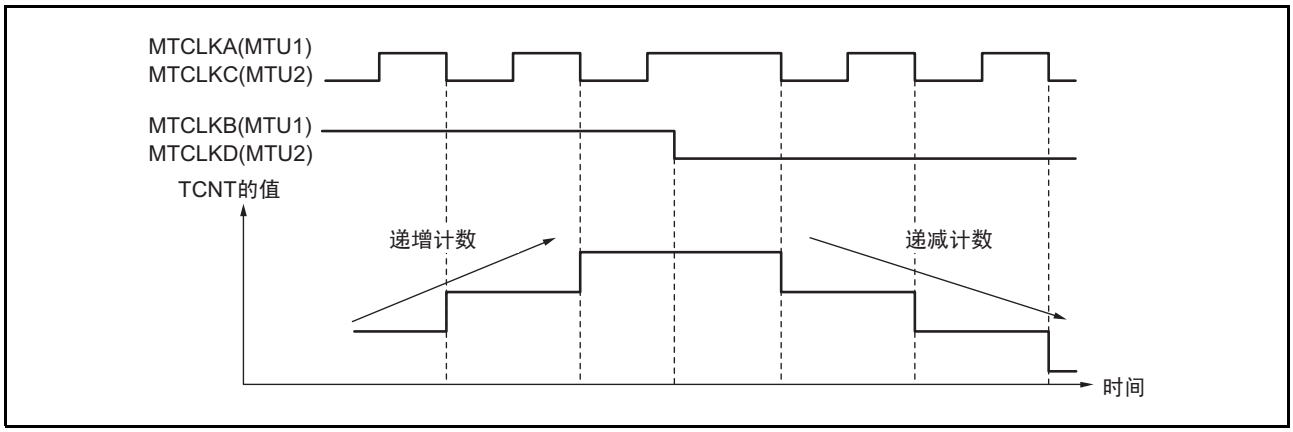


图 21.31 相位计数模式 2 的运行例子

表 21.49 相位计数模式 2 的递增 / 递减计数条件

MTCLKA （MTU1） MTCLKC （MTU2）	MTCLKB （MTU1） MTCLKD （MTU2）	运行内容
High 电平	↑	不计数 （Don't care）
Low 电平	↓	不计数 （Don't care）
↑	Low 电平	不计数 （Don't care）
↓	High 电平	递增计数
High 电平	↓	不计数 （Don't care）
Low 电平	↑	不计数 （Don't care）
↑	High 电平	不计数 （Don't care）
↓	Low 电平	递减计数

↑ ：上升沿
↓ ：下降沿

(c) 相位计数模式 3

相位计数模式 3 的运行例子如图 21.32 所示， TCNT 的递增 / 递减计数条件如表 21.50 所示。

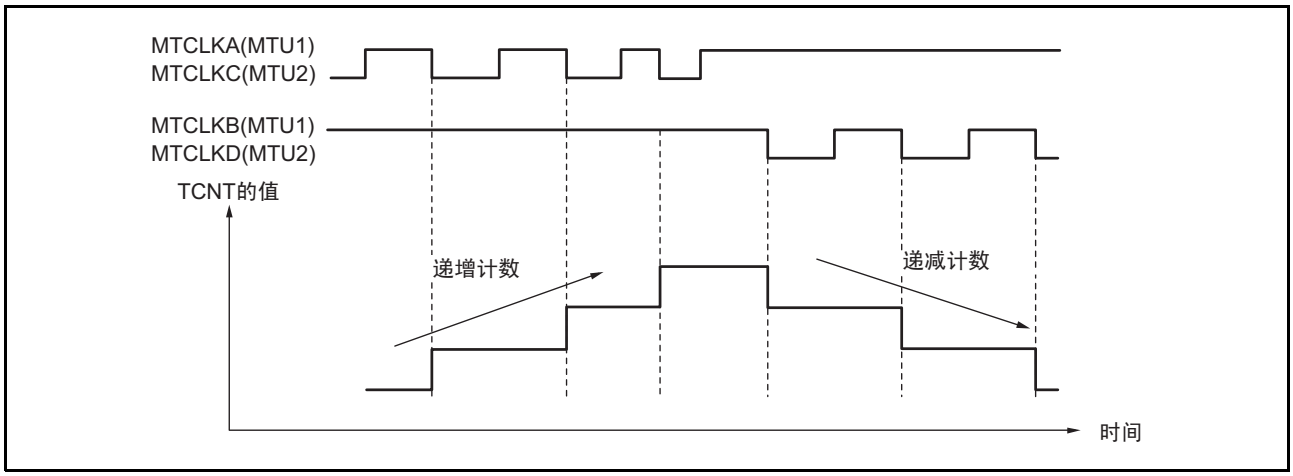


图 21.32 相位计数模式 3 的运行例子

表 21.50 相位计数模式 2 的递增 / 递减计数条件

MTCLKA （MTU1） MTCLKC （MTU2）	MTCLKB （MTU1） MTCLKD （MTU2）	运行内容
High 电平	↑	不计数 （Don't care）
Low 电平	↓	不计数 （Don't care）
↑	Low 电平	不计数 （Don't care）
↓	High 电平	递增计数
High 电平	↓	递减计数
Low 电平	↑	不计数 （Don't care）
↑	High 电平	不计数 （Don't care）
↓	Low 电平	不计数 （Don't care）

↑ ：上升沿
↓ ：下降沿

(d) 相位计数模式 4

相位计数模式 4 的运行例子如图 21.33 所示， TCNT 的递增 / 递减计数条件如表 21.51 所示。

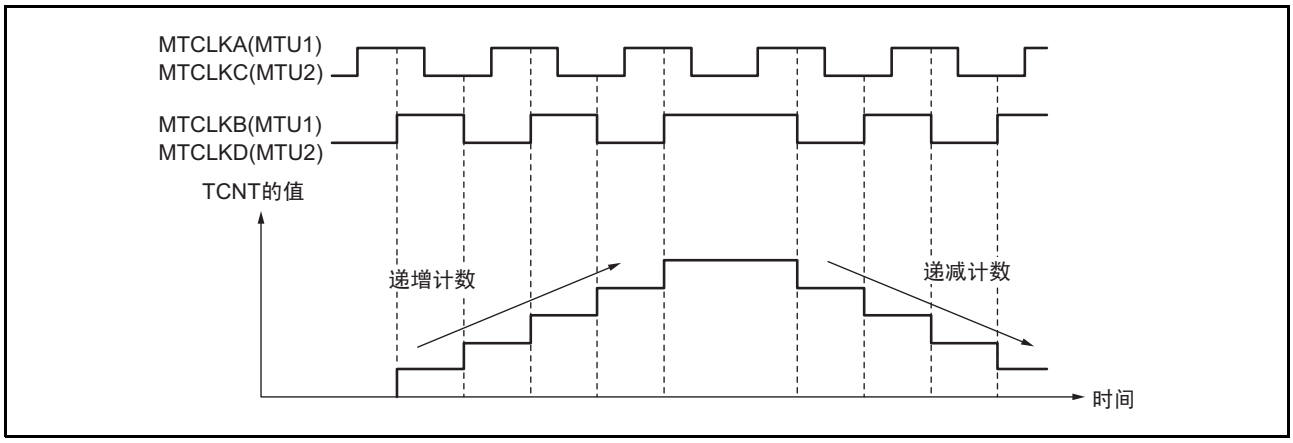


图 21.33 相位计数模式 4 的运行例子

表 21.51 相位计数模式 2 的递增 / 递减计数条件

MTCLKA （MTU1） MTCLKC （MTU2）	MTCLKB （MTU1） MTCLKD （MTU2）	运行内容
High 电平	↑	递增计数
Low 电平	↓	
↑	Low 电平	不计数 （Don't care）
↓	High 电平	
High 电平	↓	递减计数
Low 电平	↑	
↑	High 电平	不计数 （Don't care）
↓	Low 电平	

↑ ：上升沿
↓ ：下降沿

(3) 相位计数模式的应用例子

将 MTU1 设定为相位计数模式，并且在与 MTU0 组合输入伺服马达 2 相编码器脉冲后检测位置或者速度的例子如图 21.34 所示。

将 MTU1 设定为相位计数模式 1，给 MTCLKA 和 MTCLKB 输入编码器脉冲的 A 相和 B 相。

MTU0 通过 MTU0.TGRC 的比较匹配进行 TCNT 计数器清除，MTU0.TGRA 和 MTU0.TGRC 用于比较匹配功能，设定速度控制周期和位置控制周期。 MTU0.TGRB 用于输入捕捉功能，使 MTU0.TGRB 和 MTU0.TGRD 进行缓冲运行。将 MTU1 的计数器输入时钟作为 MTU0.TGRB 的输入捕捉源，检测 2 相编码器的 4 倍频脉冲的脉宽。

将 MTU1 的 MTU1.TGRA 和 MTU1.TGRB 设定为输入捕捉功能，选择 MTU0 的 MTU0.TGRA 和 MTU0.TGRC 的比较匹配作为输入捕捉源，保存各控制周期时的递增 / 递减计数器的值。

能用此方法检测正确的位置和速度。

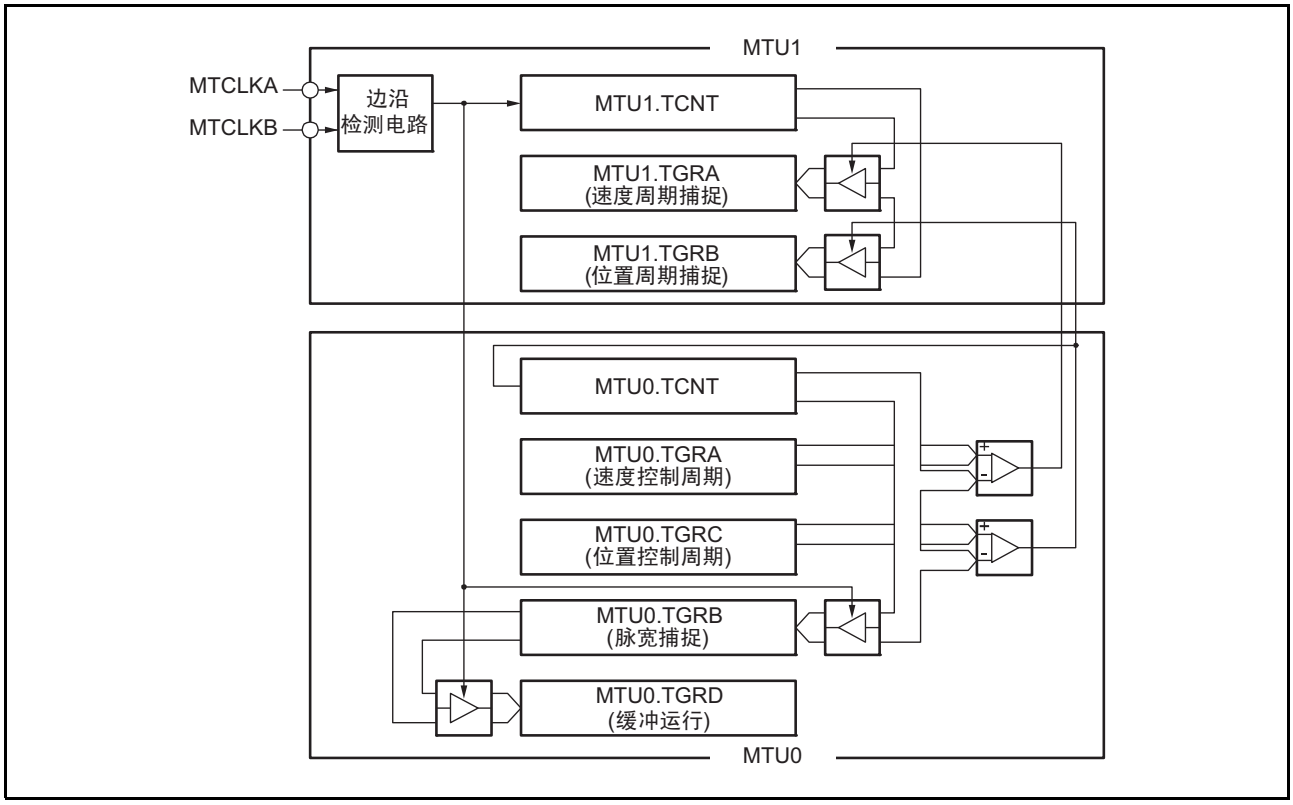


图 21.34 相位计数模式的应用例子

21.3.7 复位同步 PWM 模式

在复位同步 PWM 模式中，通过组合 MTU3 和 MTU4，将一方的波形变化点作为共同关系的 PWM 波形（正相和反相）进行 3 相输出。

如果设定为复位同步 PWM 模式，MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B 和 MTIOC4D 引脚就为 PWM 输出引脚，定时器的计数器 3 （MTU3.TCNT）用作递增计数器。

PWM 输出引脚和寄存器的设定分别如表 21.52 和表 21.53 所示。

表 21.52 复位同步 PWM 模式中的输出引脚

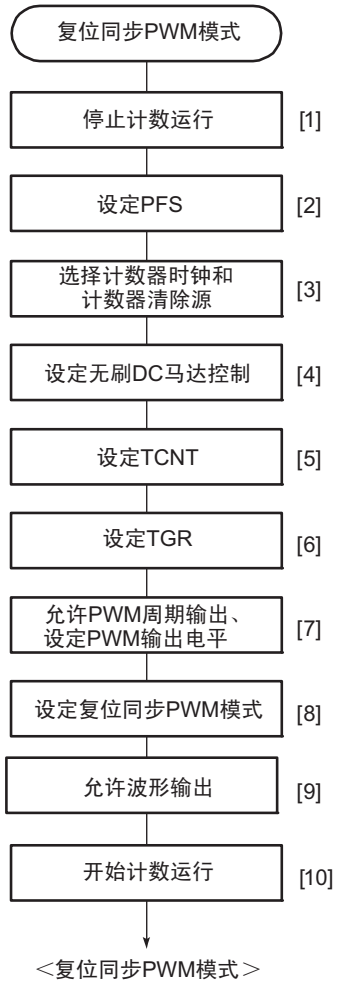
通道	输出引脚	说明
MTU3	MTIOC3B	PWM 的输出引脚 1
	MTIOC3D	PWM 的输出引脚 1'（PWM 输出 1 的反相波形）
MTU4	MTIOC4A	PWM 的输出引脚 2
	MTIOC4C	PWM 的输出引脚 2'（PWM 输出 2 的反相波形）
	MTIOC4B	PWM 的输出引脚 3
	MTIOC4D	PWM 的输出引脚 3'（PWM 输出 3 的反相波形）

表 21.53 复位同步 PWM 模式中的寄存器设定

寄存器	设定内容
MTU3.TCNT	初始设定 “0000h”。
MTU4.TCNT	初始设定 “0000h”。
MTU3.TGRA	设定 MTU3.TCNT 的计数周期。
MTU3.TGRB	设定从 MTIOC3B 引脚和 MTIOC3D 引脚输出的 PWM 波形变化点。
MTU4.TGRA	设定从 MTIOC4A 引脚和 MTIOC4C 引脚输出的 PWM 波形变化点。
MTU4.TGRB	设定从 MTIOC4B 引脚和 MTIOC4D 引脚输出的 PWM 波形变化点。

(1) 复位同步 PWM 模式的设定步骤例子

复位同步 PWM 模式的设定步骤例子如图 21.35 所示。



[1] 必须将定时器的启动寄存器(TSTR)的CST3位和CST4位置“0”，停止定时器的计数器(TCNT)的计数运行，并且在MTU3.TCNT和MTU4.TCNT停止的状态下设定复位同步PWM模式。

[2] 必须设定Pmn引脚功能控制寄存器和端口I/O寄存器。

[3] 必须通过定时器的控制寄存器(MTU3.TCR)的TPSC[2:0]位和CKEG[1:0]位设定MTU3的计数器时钟和时钟边沿。通过TCR.CCLR[2:0]位将计数器的清除源设定为TGRA的比较匹配。

[4] 在控制无刷DC马达的情况下，必须将定时器的门控寄存器(TGCR)的BDC位置位，并且设定反馈信号的输入源和输出的斩波或者门信号直接输出。

[5] 必须将MTU3.TCNT和MTU4.TCNT置为“0000h”。

[6] MTU3.TGRA是周期寄存器。必须给MTU3.TGRA设定周期，并且给MTU3.TGRB、MTU4.TGRA和MTU4.TGRB设定PWM输出波形变化时序。但是设定值必须在和MTU3.TCNT比较匹配的范围内。

X≤MTU3.TGRA (X：设定值)

[7] 必须通过定时器的输出控制寄存器(TOCR1)的PSYE位选择允许或者禁止与PWM周期同步的交替输出，并且通过OLSP位和OLSN位设定PWM输出电平。
根据TOCR2寄存器和TOLBR寄存器，在缓冲运行过程中设定PWM输出电平时，请参照图21.3。

[8] 必须将定时器的模式寄存器(MTU3.TMDR)的MD[3:0]位置“1000b”，设定复位同步PWM模式，并且根据需要设定TGRA寄存器和TGRC寄存器的缓冲运行(BFA=1)以及TGRB寄存器和TGRD寄存器的缓冲运行(BFB=1)。
必须给MTU4.TMDR设定初始值。

[9] 必须通过定时器的输出主控允许寄存器(TOER)设定允许或者禁止PWM波形输出引脚的输出。

[10] 必须将TSTR的CST3位置“1”，开始计数运行。

注. 如果X=MTU3.TGRA，即设定为周期和占空比相等，输出波形就在MTU3.TCNT=MTU3.TGRA=X时进行交替运行。

图 21.35　复位同步 PWM 模式的设定步骤例子

(2) 复位同步 PWM 模式的运行例子

复位同步 PWM 模式的运行例子如图 21.36 所示。

在复位同步 PWM 模式中，MTU3.TCNT 和 MTU4.TCNT 作为递增计数器运行。如果 MTU3.TCNT 和 MTU3.TGRA 比较匹配，就清除计数器，并且从“0000h”重新开始递增计数。每当各 MTU3.TGRB、MTU4.TGRA 和 MTU4.TGRB 发生比较匹配并且进行计数器清除时， PWM 输出引脚进行交替输出。

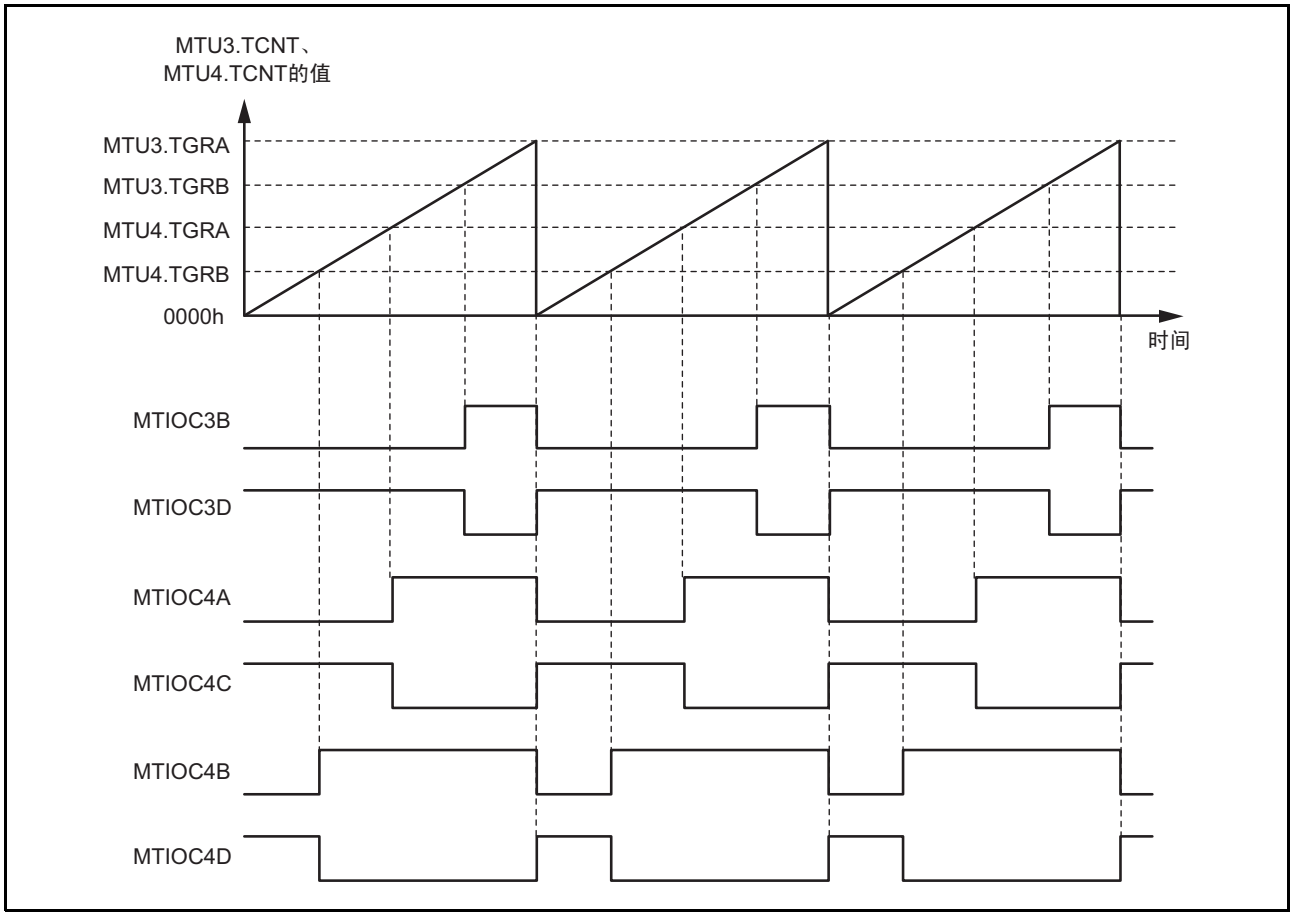


图 21.36 复位同步 PWM 模式的运行例子 （设定为 TOCR 的 OLSN=1 并且 OLSP=1 的情况）

21.3.8 互补 PWM 模式

在互补 PWM 模式中，通过组合 MTU3 和 MTU4，将正相和反相为非重叠关系的 PWM 波形进行 3 相输出，也能设定为没有重叠时间。

如果设定为互补 PWM 模式，MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C 和 MTIOC4D 引脚就为 PWM 输出引脚，也能将 MTIOC3A 引脚设定为与 PWM 周期同步的交替输出。

MTU3.TCNT 和 MTU4.TCNT 用作递增 / 递减计数器。

使用的 PWM 输出引脚和寄存器设定分别如**表 21.54** 和**表 21.55** 所示。

作为端口功能，支持通过外部信号直接关闭 PWM 输出的功能。

表 21.54 互补 PWM 模式的输出引脚

通道	输出引脚	说明
MTU3	MTIOC3A	与 PWM 周期同步的交替输出 （或者输入 / 输出端口）
	MTIOC3B	PWM 输出引脚 1
	MTIOC3C	输入 / 输出端口 （注 1）
	MTIOC3D	PWM 输出引脚 1'（与 PWM 输出 1 有非重叠关系的反相波形，也能设定为没有非重叠时间）
MTU4	MTIOC4A	PWM 输出引脚 2
	MTIOC4C	PWM 输出引脚 2'（与 PWM 输出 2 有非重叠关系的反相波形，也能设定为没有非重叠时间）
	MTIOC4B	PWM 输出引脚 3
	MTIOC4D	PWM 输出引脚 3'（与 PWM 输出 3 有非重叠关系的反相波形，也能设定为没有非重叠时间）

注 1. 不能在互补 PWM 模式中将 MTIOC3C 引脚设定为定时器的输入 / 输出引脚。

表 21.55 互补 PWM 模式的寄存器设定

通道	计数器 / 寄存器	说明	由 CPU 进行读写
MTU3	MTU3.TCNT	从死区时间寄存器的设定值开始递增计数。	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
	MTU3.TGRA	设定 MTU3.TCNT 的上限值 （1/2 个载波周期 + 死区时间）。	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
	MTU3.TGRB	PWM 输出 1 的比较寄存器	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
	MTU3.TGRC	MTU3.TGRA 的缓冲寄存器	随时能读写。
	MTU3.TGRD	PWM 输出 1/MTU3.TGRB 的缓冲寄存器	随时能读写。
MTU4	MTU4.TCNT	初始设定 “0000h” 并且开始递增计数。	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
	MTU4.TGRA	PWM 输出 2 的比较寄存器	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
	MTU4.TGRB	PWM 输出 3 的比较寄存器	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
	MTU4.TGRC	PWM 输出 2/MTU4.TGRA 的缓冲寄存器	随时能读写。
	MTU4.TGRD	PWM 输出 3/MTU4.TGRB 的缓冲寄存器	随时能读写。
定时器的死区时间数据寄存器 （TDDR）		设定 MTU4.TCNT 和 MTU3.TCNT 的偏移值（死区时间的值）。	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
定时器的周期数据寄存器（TCDR）		设定 MTU4.TCNT 的上限值（1/2 个载波周期）。	能通过设定 TRWER 寄存器（注 1）进行屏蔽。
定时器的周期缓冲寄存器（TCBR）		TCDR 寄存器的缓冲寄存器	随时能读写。
副计数器 （TCNTS）		用于生成死区时间的副计数器	只能读。
暂存器 1 （TEMP1）		PWM 输出 1/MTU3.TGRB 的暂存器	不能读写。
暂存器 2 （TEMP2）		PWM 输出 2/MTU4.TGRA 的暂存器	不能读写。
暂存器 3 （TEMP3）		PWM 输出 3/MTU4.TGRB 的暂存器	不能读写。

注 1. 能通过设定 TRWER 寄存器 （定时器的读写允许寄存器），允许或者禁止存取。

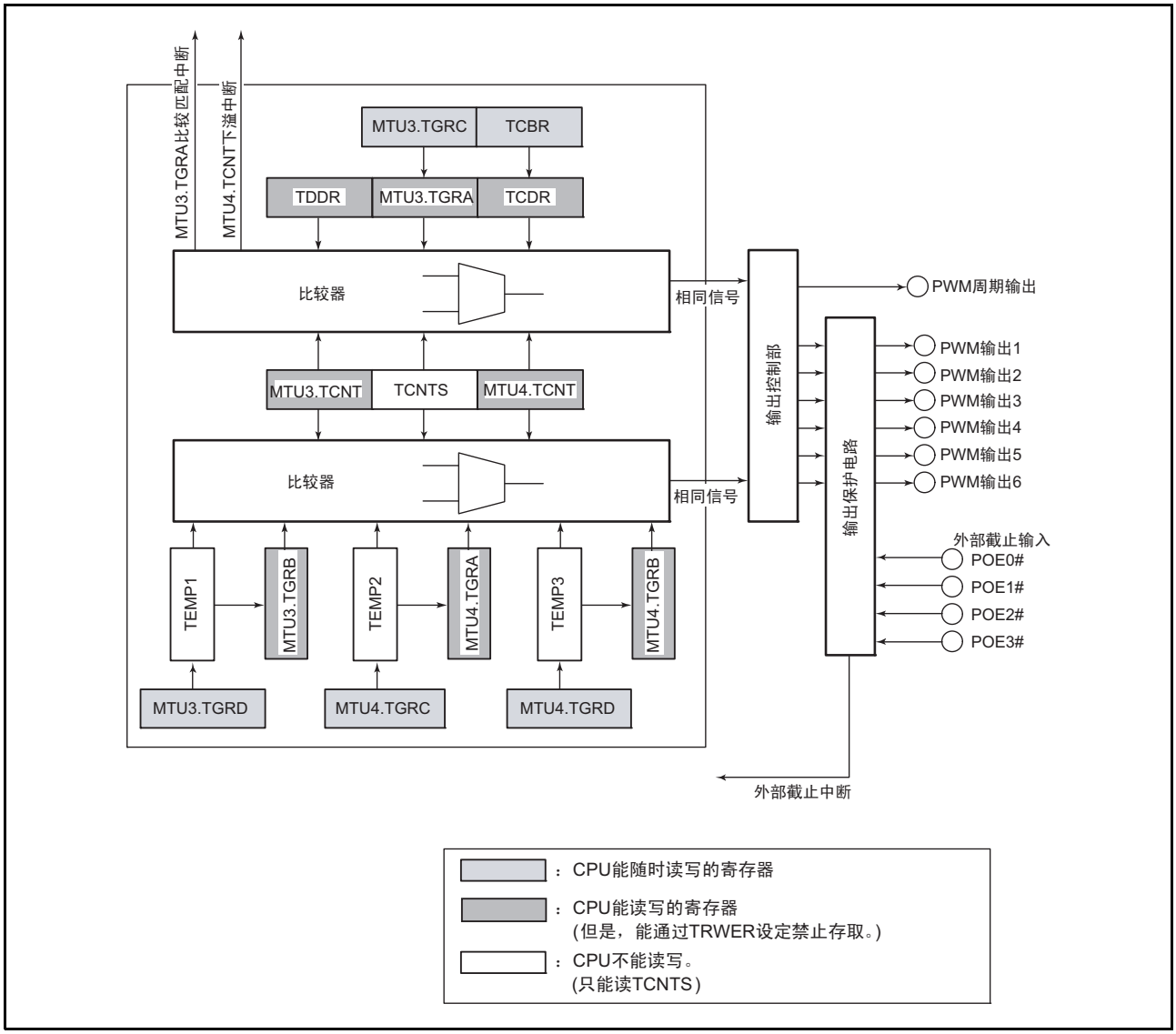


图 21.37 互补 PWM 模式中的 MTU3 和 MTU4 的框图

(1)　互补 PWM 模式的设定步骤例子

互补 PWM 模式的设定步骤例子如图 21.38 所示。



图 21.38　互补 PWM 模式的设定步骤例子

(2) 互补 PWM 模式的运行概要

在互补 PWM 模式中能进行 6 相的 PWM 输出。互补 PWM 模式的计数器运行和运行例子分别如图 21.39 和图 21.40 所示。

(a) 计数器的运行

在互补 PWM 模式中， MTU3.TCNT、 MTU4.TCNT 和 TCNTS 这 3 个计数器进行递增计数或者递减计数。

在设定为互补 PWM 模式并且 TSTR 寄存器的 CST 位为 “0” 时，将 TDDR 寄存器的设定值作为初始值，自动设定给 MTU3.TCNT。

如果将 CST 位置“1”，MTU3.TCNT 就进行递增计数，直到 MTU3.TGRA 的设定值为止。一旦 MTU3.TCNT 的值和 MTU3.TGRA 的值相同， MTU3.TCNT 就改为递减计数。此后，一旦 MTU3.TCNT 的值和 TDDR 寄存器的值相同， MTU3.TCNT 就改为递增计数，重复此运行。

将 MTU4.TCNT 的初始值置为 “0000h”。

如果将 CST 位置 “1”，就与 MTU3.TCNT 同步运行并且进行递增计数。一旦 MTU4.TCNT 的值和 TCDR 寄存器的值相同，MTU4.TCNT 就改为递减计数。此后，一旦计数到“0000h”，MTU4.TCNT 就改为递增计数，重复此运行。

TCNTS 是只读计数器，不需要设定初始值。

当 MTU3 和 MTU4 的 TCNT 进行递增计数或者递减计数时，一旦 MTU3.TCNT 的值和 TCDR 寄存器的值相同，就开始递减计数。一旦 TCNTS 的值和 TCDR 寄存器的值相同， TCNTS 就改为递增计数。一旦计数器的值和 MTU3.TGRA 的值相同， TCNTS 就变为 “0000h”。

在 MTU3.TCNT 和 MTU4.TCNT 进行递减计数时，一旦 MTU4.TCNT 的值和 TDDR 寄存器的值相同，就开始递增计数。一旦 TCNTS 的值和 TDDR 寄存器的值相同， TCNTS 就改为递减计数。一旦计数到 “0000h”，TCNTS 就被设定为 MTU3.TGRA 的值。

TCNTS 只在计数运行期间与已设定 PWM 占空比的比较寄存器和暂存器进行比较。

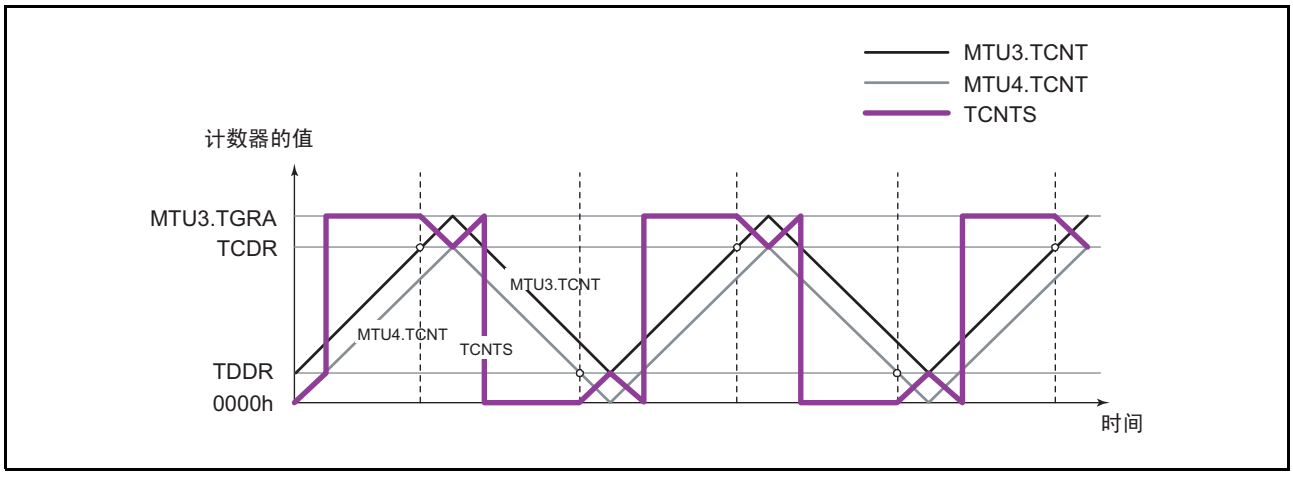


图 21.39 互补 PWM 模式的计数器运行

(b) 寄存器的运行

在互补 PWM 模式中，使用比较寄存器、缓冲寄存器和暂存器等 9 个寄存器。互补 PWM 模式的运行例子如图 21.40 所示。

为了进行 PWM 输出，MTU3.TGRB、MTU4.TGRA、MTU4.TGRB 寄存器随时和计数器进行比较。如果这些寄存器的值和计数器的值相同，就输出定时器的输出控制寄存器（TOCR）的 OLSN 位和 OLSP 位的设定值。

这些比较寄存器的缓冲寄存器为 MTU3.TGRD、 MTU4.TGRC 和 MTU4.TGRD。在缓冲寄存器和比较寄存器之间有暂存器，但是 CPU 不能存取暂存器。

要更改比较寄存器的数据时，必须给对应的缓冲寄存器写要更改的数据。随时能读写缓冲寄存器。

在 Ta 区间总是将写到缓冲寄存器的数据传送到暂存器，而在 Tb 区间不传送到暂存器。在 Tb 区间结束后，将在此区间写到缓冲寄存器的数据传送到暂存器。

如果 Tb 区间结束的 TCNTS 在进行递增计数时计数值和 MTU3.TGRA 的值相同，或者在递减计数时计数值为“0000h”，就将传送到暂存器的值传送到比较寄存器。能通过定时器的模式寄存器（TMDR）的 MD[3:0] 位选择暂存器到比较寄存器的传送时序。选择在波谷更改模式的例子如图 21.40 所示。

在不向暂存器传送数据的 Tb（图 21.40 为 Tb1）区间，暂存器具有和比较寄存器相同的功能，和计数器进行比较。在此区间， 1 相输出有 2 个比较匹配寄存器，比较寄存器保存变更前的数据，暂存器保存要变更的新数据。在此区间， MTU3.TCNT、 MTU4.TCNT 和 TCNTS 共 3 个计数器和比较寄存器、暂存器 （2 个寄存器）进行比较，控制 PWM 输出。

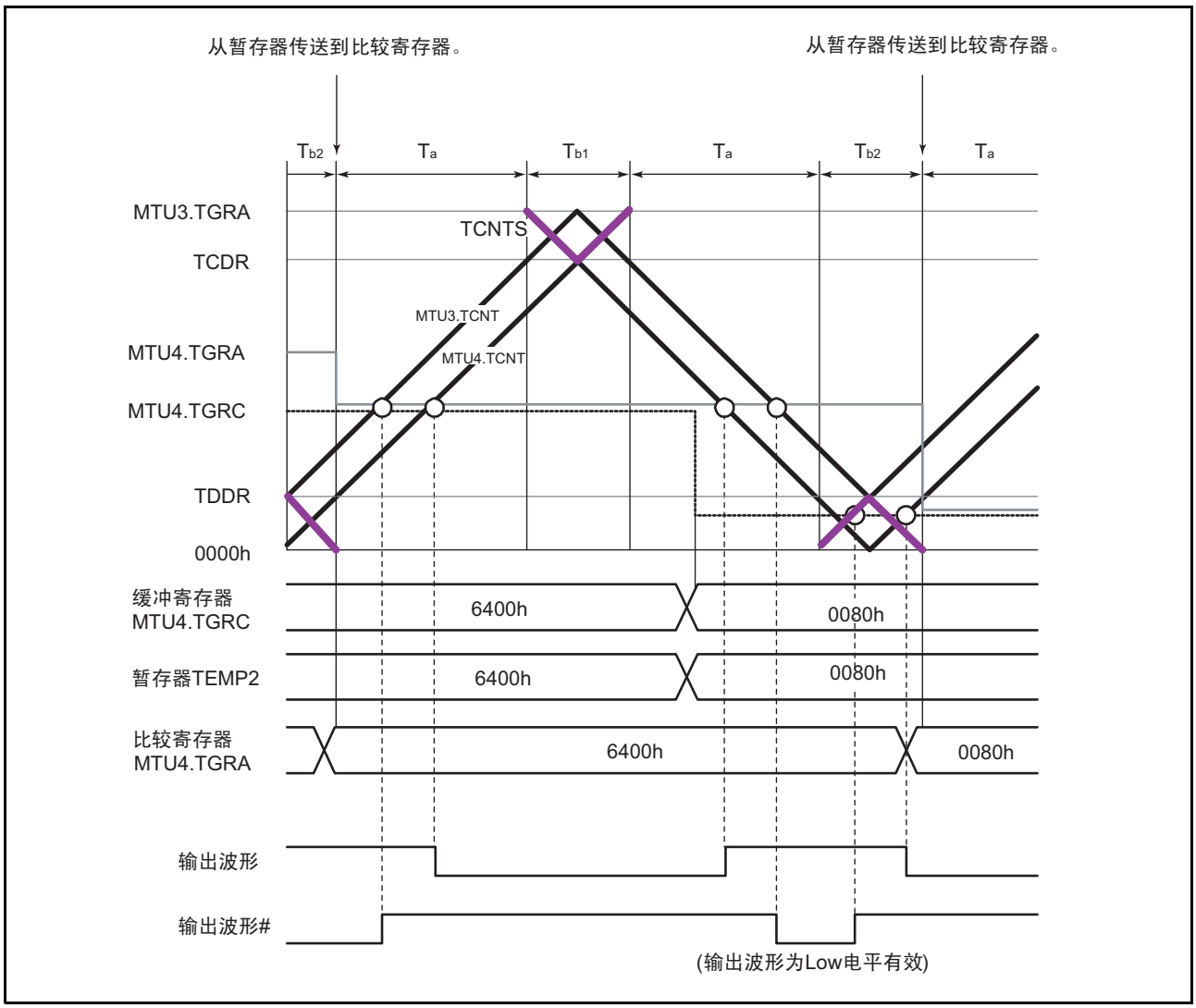


图 21.40 互补 PWM 模式的运行例子

(c) 初始设定

在互补 PWM 模式中，有 6 个需要初始设定的寄存器，还有 1 个用于设定是否生成死区时间的寄存器 （只能在不生成死区时间的情况下进行设定）。

在通过定时器的模式寄存器 （TMDR）的 MD[3:0] 位设定为互补 PWM 模式前，必须设定以下寄存器的初始值。

MTU3.TGRC 用作 MTU3.TGRA 的缓冲寄存器，设定 1/2 个 PWM 载波周期 + 死区时间 Td。定时器的周期缓冲寄存器 （TCBR）用作定时器的周期数据寄存器 （TCDR）的缓冲寄存器，设定 1/2 个 PWM 载波周期，并且给定时器的死区时间数据寄存器 （TDDR）设定死区时间 Td。

如果不生成死区时间，就将定时器的死区时间允许寄存器 （TDER）的 TDER 位置 “0”，给 MTU3.TGRC 和 MTU3.TGRA 设定 1/2 个 PWM 载波周期 +1，并且将 TDDR 寄存器置 “1”。

给 3 个缓冲寄存器 MTU3.TGRD、 MTU4.TGRC 和 MTU4.TGRD 分别设定 PWM 占空比的初始值。

在设定为互补 PWM 模式的同时，将 TDDR 寄存器除外的 5 个缓冲寄存器的设定值分别传送到对应的比较寄存器。

必须在设定互补 PWM 模式前将 MTU4.TCNT 设定为 “0000h”。

表 21.56 需要初始设定的寄存器和计数器

寄存器 / 计数器	设定值
MTU3.TGRC	1/2 个 PWM 载波周期 + 死区时间 Td （如果通过 TDER 设定为不生成死区时间，就为 1/2 个 PWM 载波周期 +1）
TDDR	死区时间 Td （如果通过 TDER 设定为不生成死区时间，就为 “1”）
TCBR	1/2 个 PWM 载波周期
MTU3.TGRD、 MTU4.TGRC、 MTU4.TGRD	各相 PWM 占空比的初始值
MTU4.TCNT	0000h

注 . MTU3.TGRC 的设定值必须为 TCBR 寄存器设定的 1/2 个 PWM 载波周期的值和 TDDR 寄存器设定的死区时间 Td 值的和。如果通过 TDER 寄存器设定为不生成死区时间，就为 1/2 个 PWM 载波周期 +1。

(d) PWM 输出电平的设定

在互补 PWM 模式中，通过定时器的输出控制寄存器 1 （TOCR1）的 OLSN 位和 OLSP 位或者定时器的输出控制寄存器 2 （TOCR2）的 OLS1P ～ OLS3P 位和 OLS1N ～ OLS3N 位，设定 PWM 脉冲的输出电平。

能按 6 相输出中的 3 相正相和 3 相反相设定输出电平。

必须在解除互补 PWM 模式的状态下设定或者更改输出电平。

(e) 死区时间的设定

在互补 PWM 模式中，输出正相和反相为非重叠关系的 PWM 脉冲，此非重叠时间称为死区时间。

将非重叠时间设定到定时器的死区时间数据寄存器 （TDDR）。 TDDR 寄存器的设定值为 MTU3.TCNT 的计数器开始值，生成 MTU3.TCNT 和 MTU4.TCNT 的非重叠关系。必须在解除互补 PWM 模式的状态下更改 TDDR 寄存器的内容。

(f) 不生成死区时间的设定

通过将定时器的死区时间允许寄存器 （TDER）的 TDER 位置 “0”，设定为不生成死区时间。只在 TDER 位为 “1”的状态下读 TDER 位后给 TDER 位写 “0”时，能将 TDER 位设定为 “0”。

给 MTU3.TGRA 和 MTU3.TGRC 设定 1/2 个 PWM 载波周期 +1，并且将定时器的死区时间数据寄存器（TDDR）置 “1”。

如果设定为不生成死区时间，就能输出无死区时间的 PWM 波形。不生成死区时间的运行例子如图 21.41 所示。

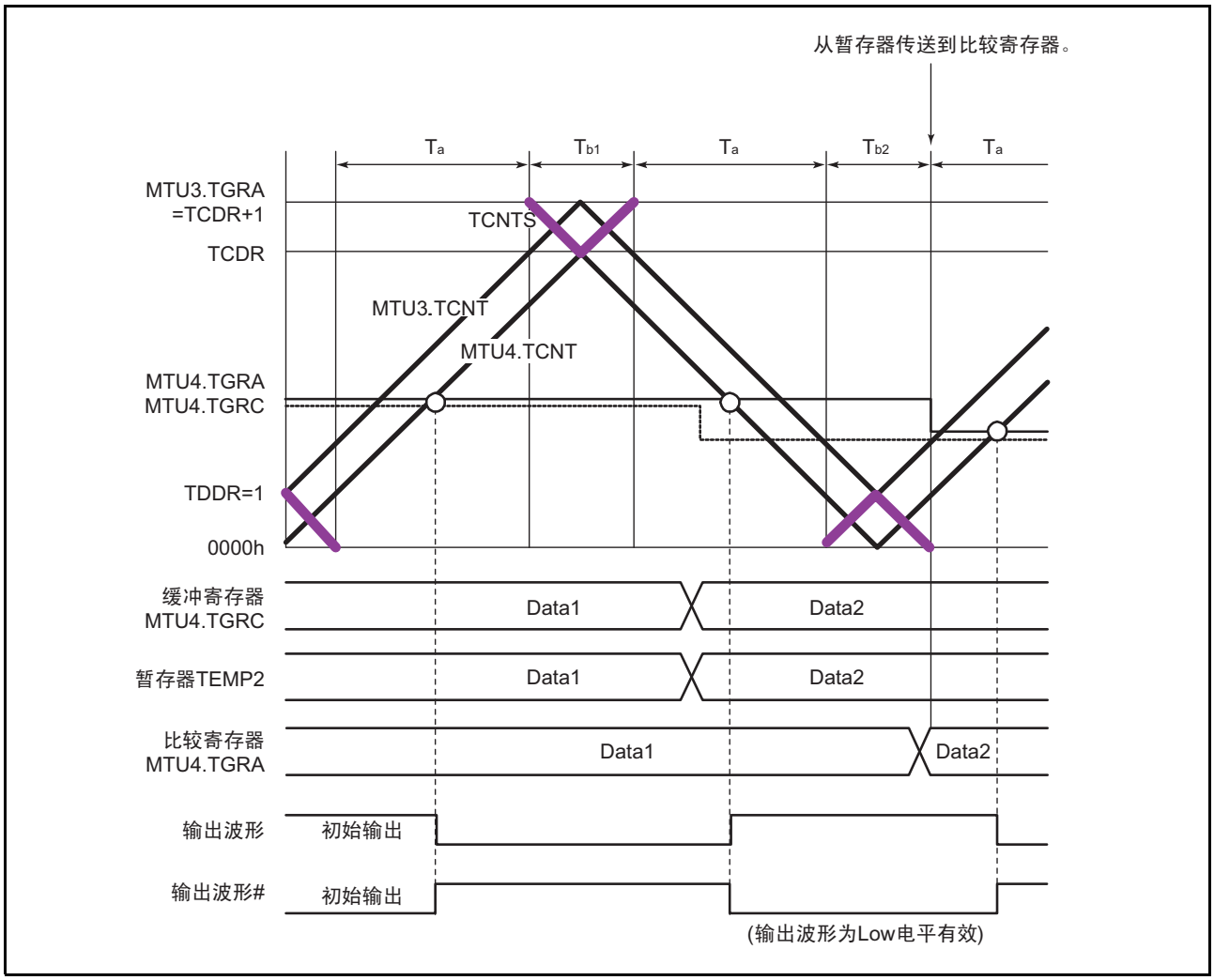


图 21.41 不生成死区时间的运行例子

(g) PWM 周期的设定

在互补 PWM 模式中，将 PWM 脉冲周期设定到 MTU3.TGRA（设定 MTU3.TCNT 的上限值）和 MTU3.TCDR（设定 MTU4.TCNT 的上限值）的 2 个寄存器。必须将这 2 个寄存器设定为如下的关系。

生成死区时间：MTU3.TGRA 的设定值 =TCDR 的设定值 +TDDR 的设定值
不生成死区时间：MTU3.TGRA 的设定值 =TCDR 的设定值 +1

必须通过给缓冲寄存器的 MTU3.TGRC 或者 MTU3.TCBR 设定值，设定 MTU3.TGRA 寄存器和 MTU3.TCDR 寄存器。在定时器的模式寄存器 （TMDR）的 MD[3:0] 位选择的传送时序，将 MTU3.TGRC 寄存器和 MTU3.TCBR 寄存器的设定值同时传送到 MTU3.TGRA 寄存器和 MTU3.TCDR 寄存器。

如果在波峰更新数据，就从下一个周期反映更改的 PWM 周期；如果在波谷更新数据，就从该周期反映被更改的 PWM 周期。在波峰更改 PWM 周期时的运行例子如图 21.42 所示。

有关各缓冲寄存器数据的更新方法，请参照下面 “(h) 寄存器数据的更新”。

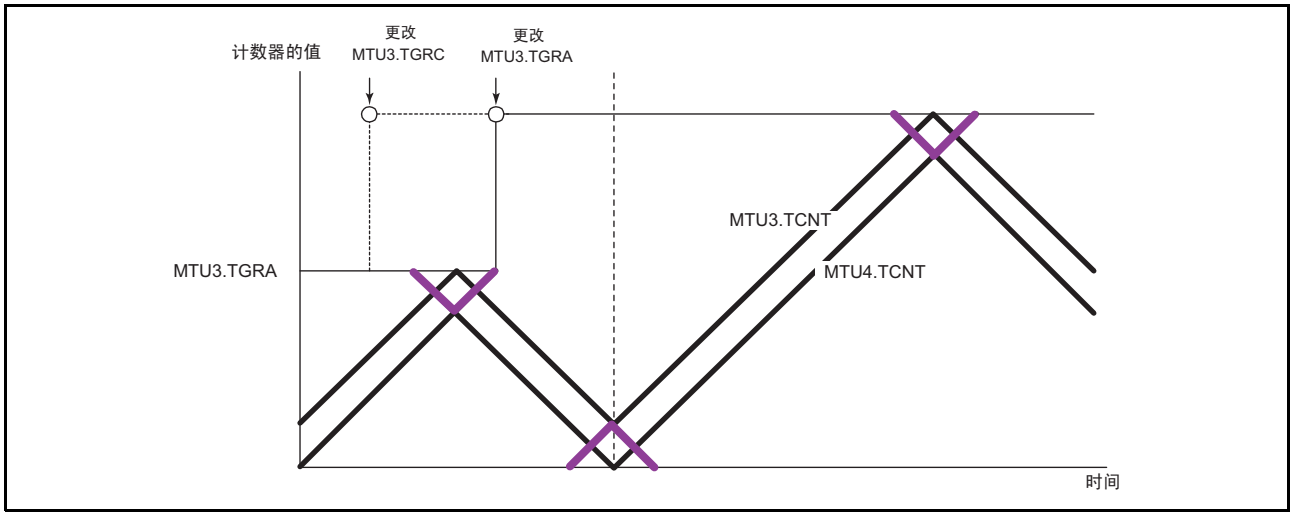


图 21.42 PWM 周期的更改例子

(h) 寄存器数据的更新

在互补 PWM 模式中更新比较寄存器的数据时，使用缓冲寄存器。更新的数据随时能写到缓冲寄存器。另外，能在有缓冲寄存器的运行过程中更改的寄存器为 5 个用于 PWM 占空比和载波周期的寄存器。

在这些寄存器和缓冲寄存器之间有各自的暂存器。如果在副计数器 TCNTS 不进行计数的期间更新寄存器的数据，也会改写暂存器的值。在 TCNTS 计数过程中，不进行缓冲寄存器到暂存器的传送，而在 TCNTS 停止计数后传送缓冲寄存器的写入值。

在定时器的模式寄存器 （TMDR）的 MD[3:0] 位设定的数据更新时序，将暂存器的值传送到比较寄存器。互补 PWM 模式的数据更新例子如图 21.43 所示，此图是在计数器的波峰和波谷更新数据的模式例子。

在改写缓冲寄存器的数据时，最后必须写 MTU4.TGRD。在写 MTU4.TGRD 后， 5 个寄存器的数据同时从缓冲寄存器传送到暂存器。

即使不全部更新 5 个寄存器或者不更新 MTU4.TGRD 的数据，也必须在写要更新的寄存器数据后写 MTU4.TGRD。此时，写到 MTU4.TGRD 的数据必须和写之前的数据相同。

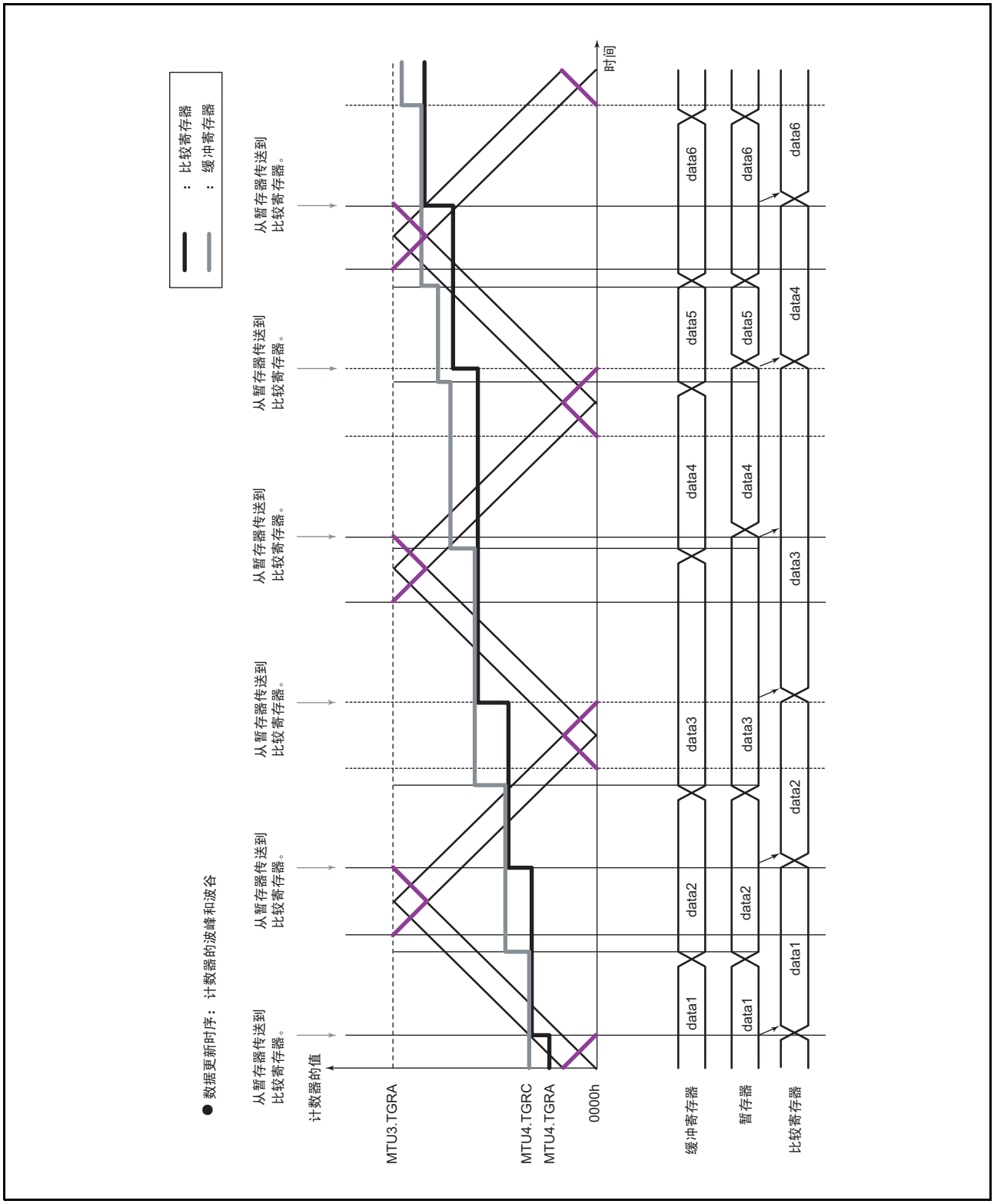


图 21.43 互补 PWM 模式的数据更新例子

(i) 互补 PWM 模式的初始输出

在互补 PWM 模式中，通过设定定时器的输出控制寄存器 1 （TOCR1）的 OLSN 位和 OLSP 位或者定时器的输出控制寄存器 2 （TOCR2）的 OLS1N ～ OLS3N 位和 OLS1P ～ OLS3P 位，决定初始输出。

此初始输出为 PWM 脉冲的无效电平，从通过定时器的模式寄存器 （TMDR）设定互补 PWM 模式开始到 MTU4.TCNT 大于死区时间寄存器（TDDR）设定的值前，输出此初始输出。互补 PWM 模式的初始输出例子如图 21.44 所示。

PWM 占空比的初始值小于 TDDR 寄存器的值时的波形例子如图 21.45 所示。

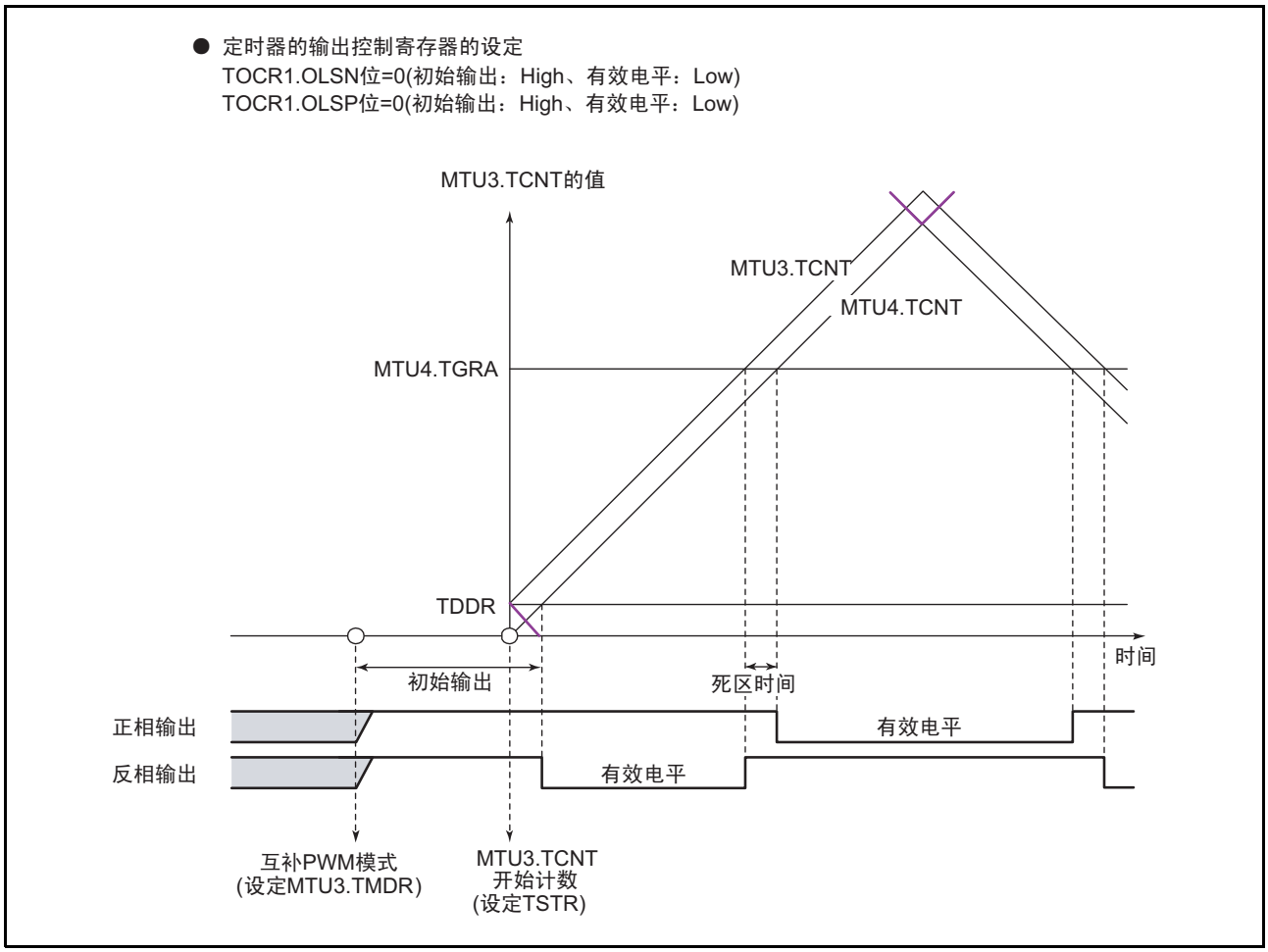


图 21.44 互补 PWM 模式的初始输出例子 （1）

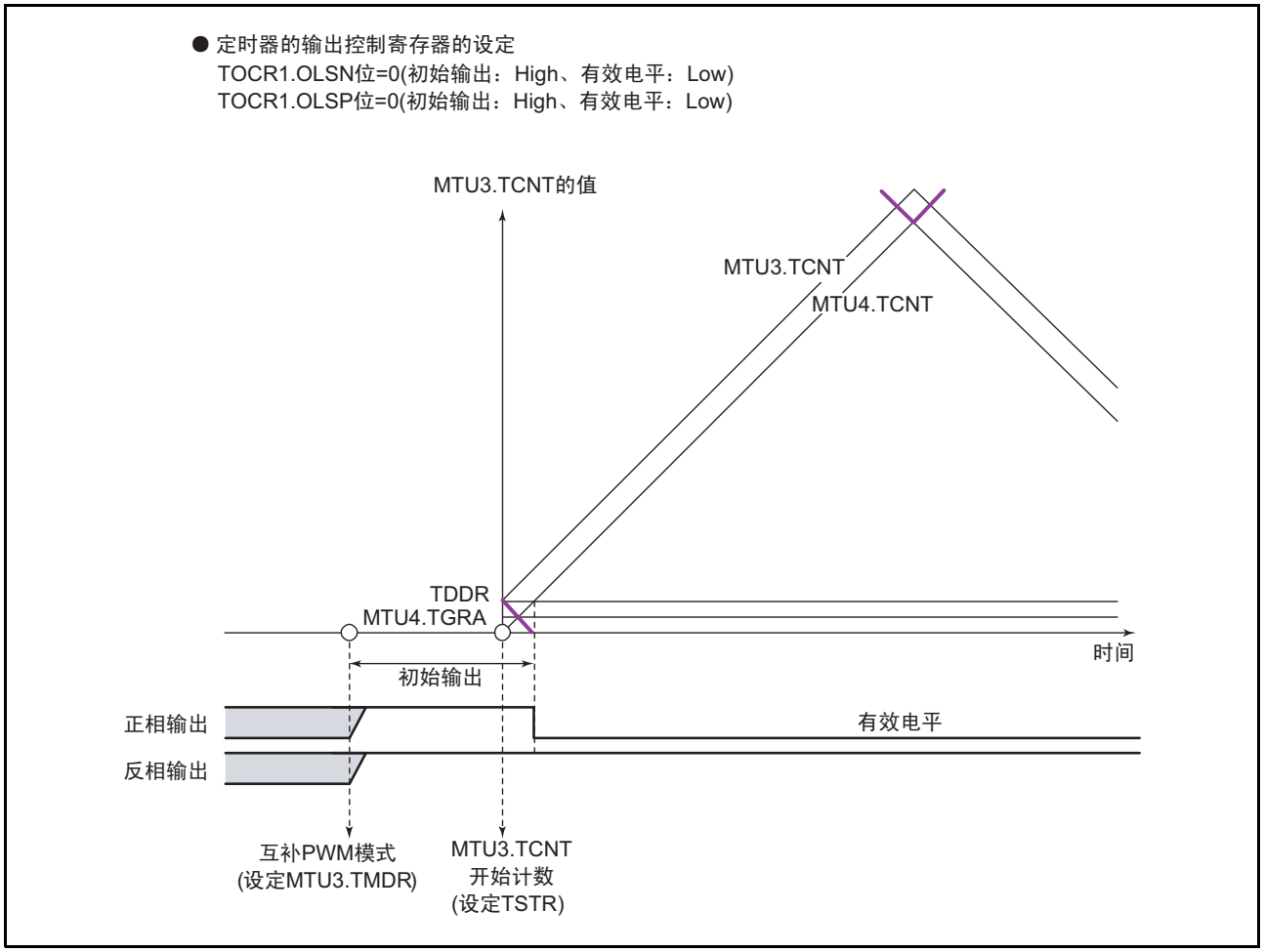


图 21.45 互补 PWM 模式的初始输出例子 （2）

(j) 互补 PWM 模式的 PWM 输出生成方法

在互补 PWM 模式中，将正相和反相有非重叠时间关系的 PWM 波形进行 3 相输出，此非重叠时间称为死区时间。

在发生计数器和数据寄存器的比较匹配时，通过输出定时器的输出控制寄存器选择的输出电平，生成 PWM 波形。在 TCNTS 进行计数的期间，因为产生 0 ～ 100% 的连续 PWM 脉冲，所以同时比较数据寄存器的值和暂存器的值。此时，ON/OFF 比较匹配的产生时序会有前后，为了确保死区时间并且使正相 / 反相的 ON 时间不重叠，必须优先使各相 OFF 的比较匹配。互补 PWM 模式的波形生成例子如图 21.46 ～图 21.48 所示。

通过和实线计数器的比较匹配，生成正相 / 反相的 OFF 时序；通过和点线计数器（比实线计数器迟死区时间）的比较匹配，生成 ON 时序。在 T1 期间，最优先使反相 OFF 的 a 的比较匹配，忽视比 a 先产生的比较匹配。在 T2 期间，最优先使正相 OFF 的 c 的比较匹配，忽视比 c 先产生的比较匹配。

如图 21.46 所示，通常按照 a→b→c→d （或者 c→d→a'→b'）的顺序产生比较匹配。

当不按 a→b→c→d 的顺序产生比较匹配时，因为反相的 OFF 时间短于 2 倍的死区时间，所以表示正相不为 ON ；当不按 c→d→a'→b' 的顺序产生比较匹配时，因为正相的 OFF 时间短于 2 倍的死区时间，所以表示反相不为 ON。

如图 21.47 所示，如果在 a 的比较匹配之后先产生 c 的比较匹配，就忽视 b 的比较匹配，而通过 d 的比较匹配使反相 OFF。这是因为比 b 的比较匹配 （正相 ON 时序）先产生正相 OFF 的 c 的比较匹配而优先使正相 OFF （因为正相从 OFF 变为 OFF，所以波形不变）。

同样地，在图 21.48 所示的例子中，比 c 的比较匹配先产生和暂存器的新数据比较匹配的 a'，但是在产生使正相 OFF 的 c 前忽视其他比较匹配，因此不使反相 ON。

如此，在互补PWM模式中，优先OFF时序的比较匹配，即使ON时序的比较匹配比OFF先产生，也被忽视。

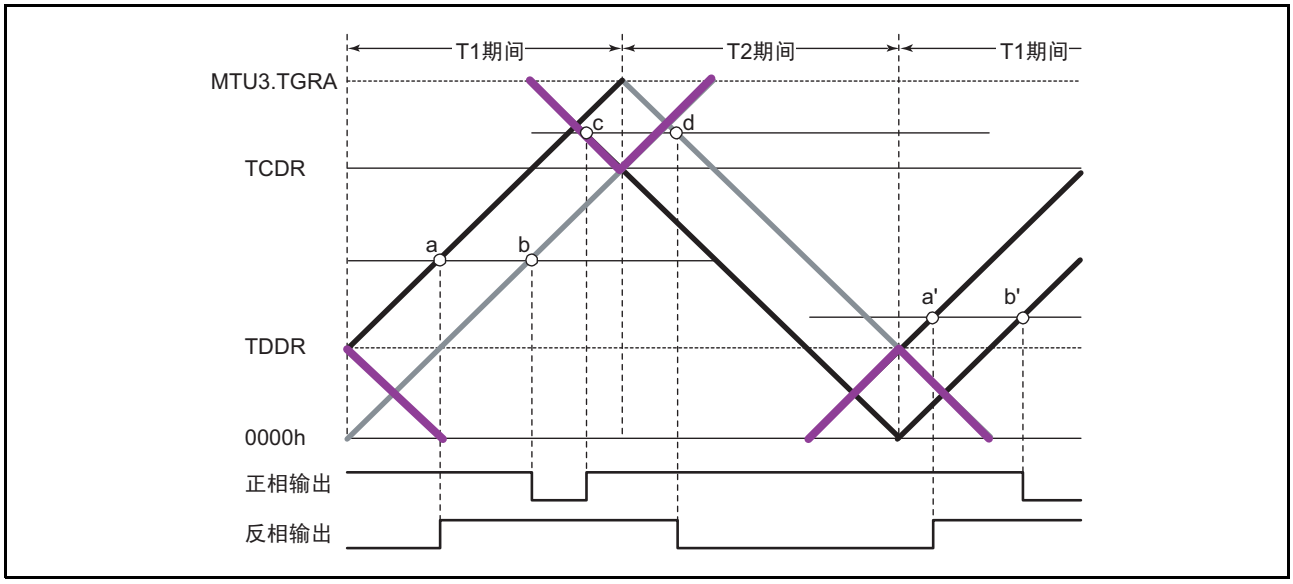


图 21.46 互补 PWM 模式的波形输出例子 （1）

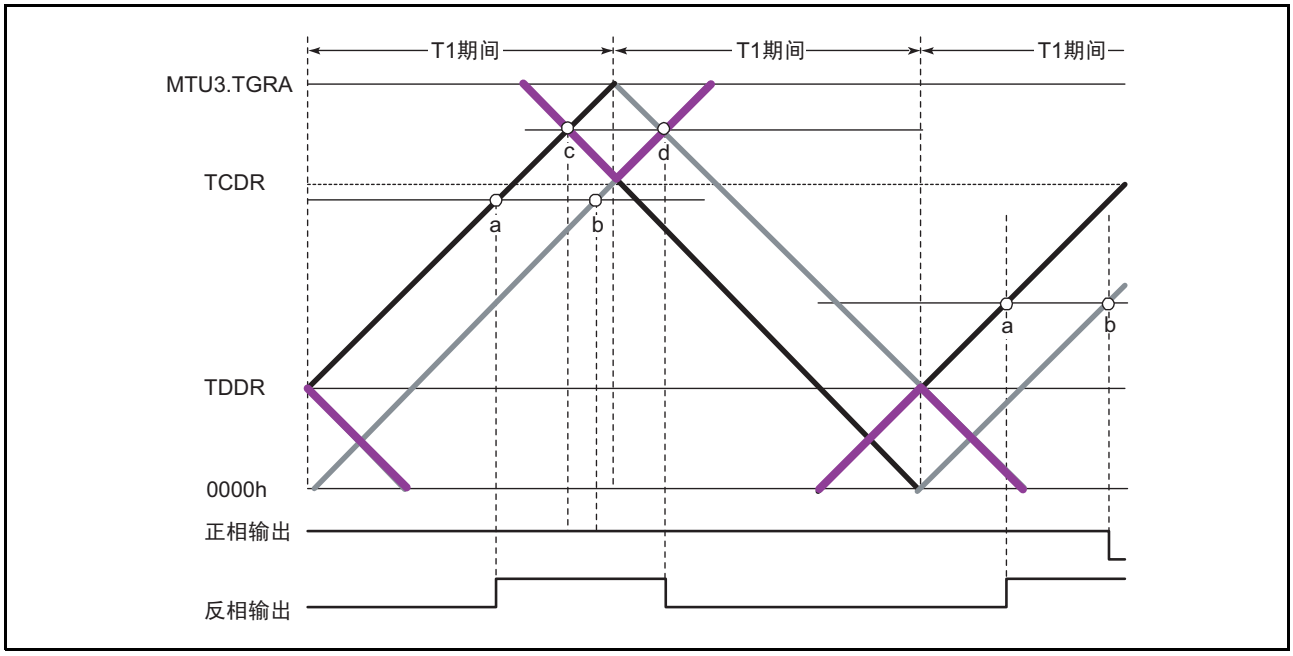


图 21.47 互补 PWM 模式的波形输出例子 （2）

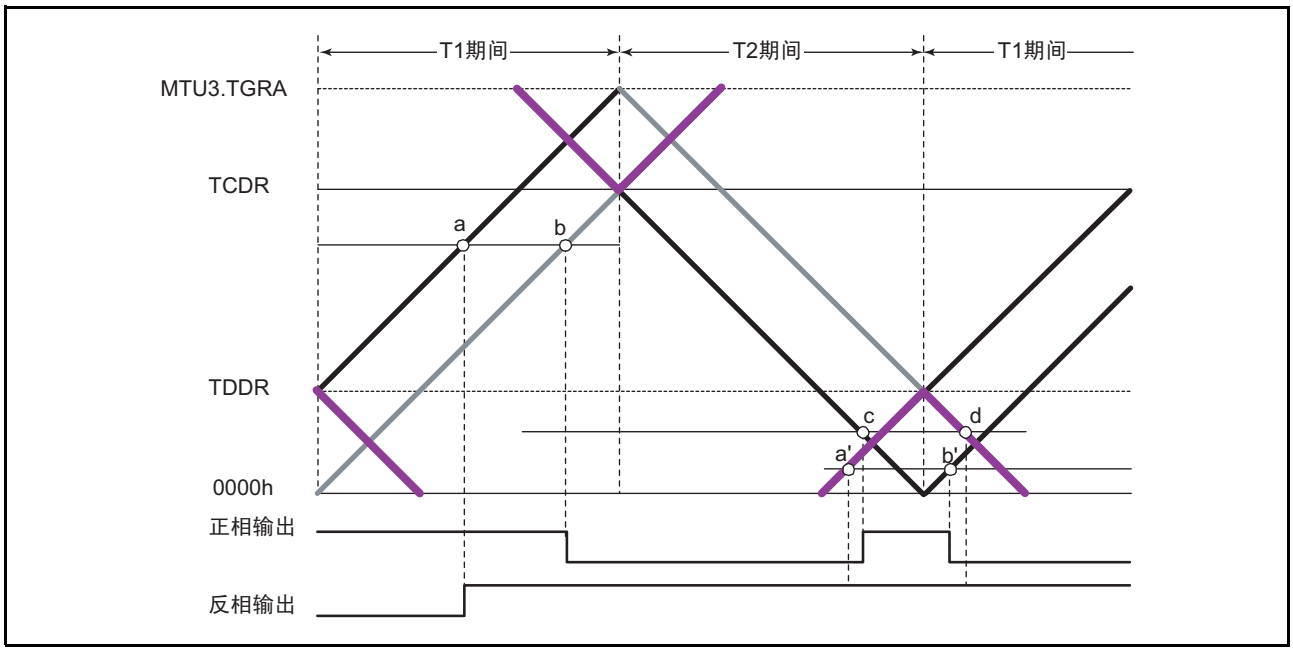


图 21.48 互补 PWM 模式的波形输出例子 （3）

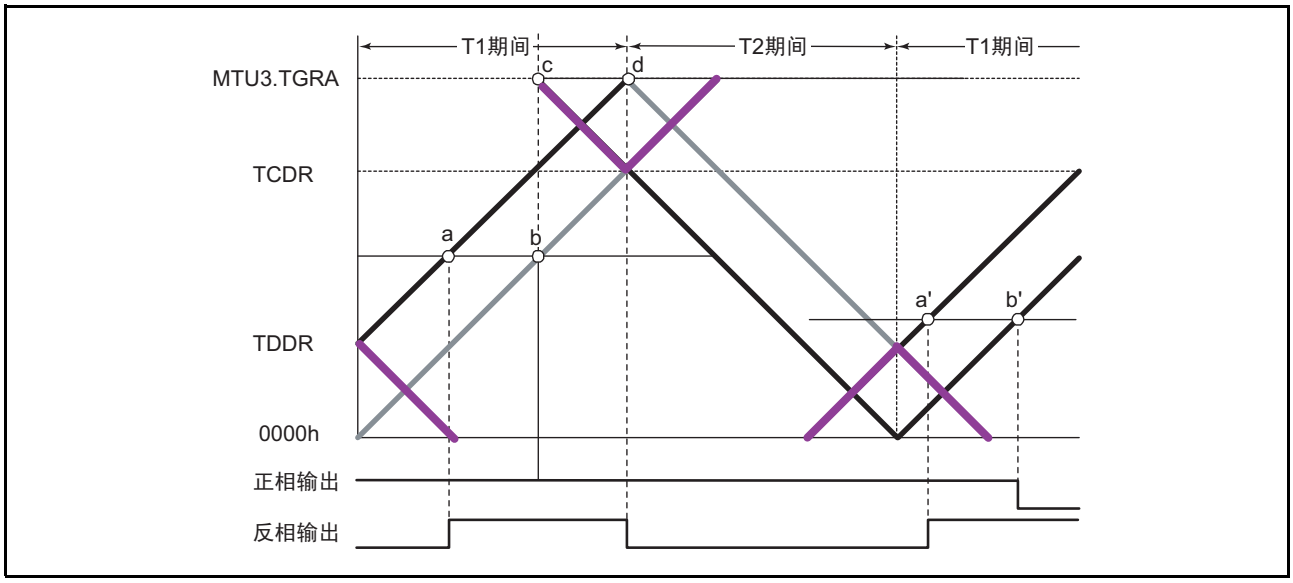


图 21.49 互补 PWM 模式的 0%、 100% 波形输出例子 （1）

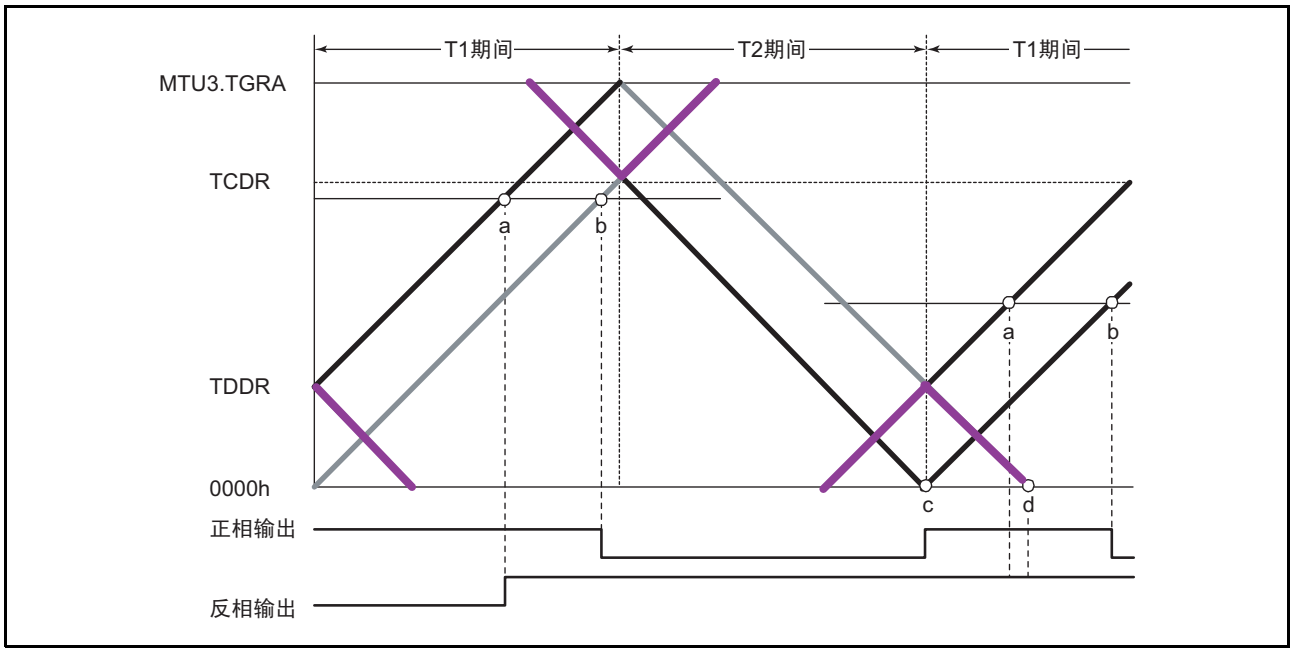


图 21.50 互补 PWM 模式的 0%、 100% 波形输出例子 （2）

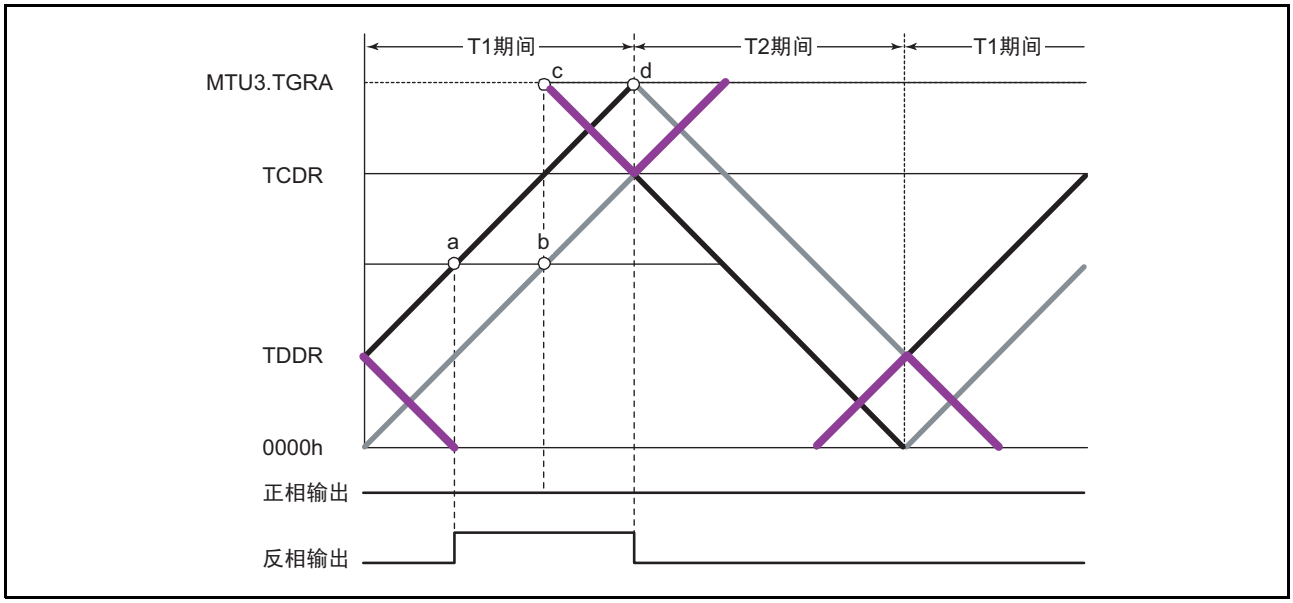


图 21.51 互补 PWM 模式的 0%、 100% 波形输出例子 （3）

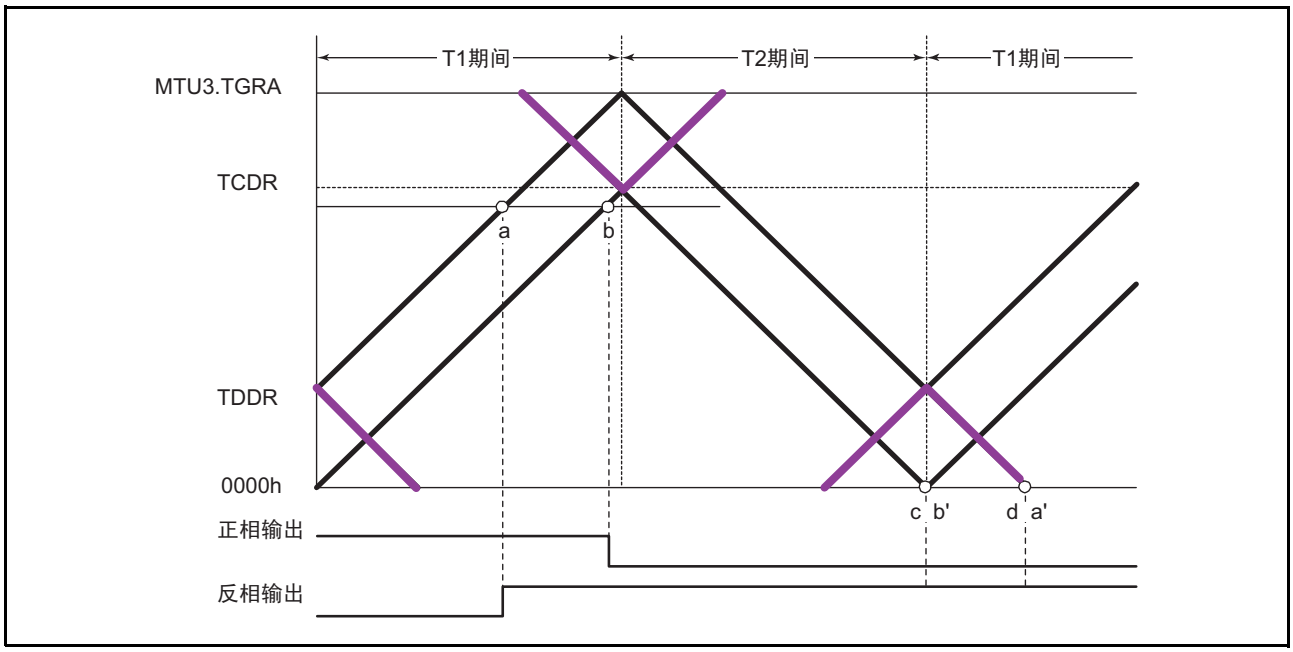


图 21.52 互补 PWM 模式的 0%、 100% 波形输出例子 （4）

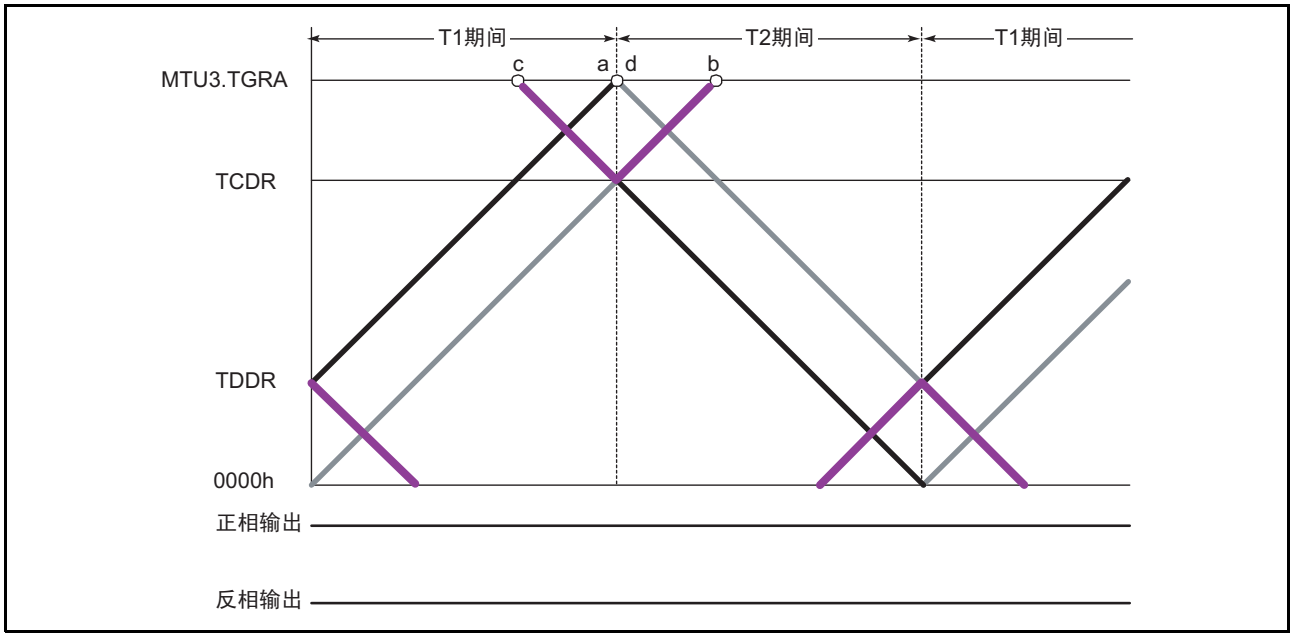


图 21.53 互补 PWM 模式的 0%、 100% 波形输出例子 （5）

(k) 互补 PWM 模式的 0%、 100% 占空比输出

在互补 PWM 模式中，能任意输出 0%、 100% 的占空比，输出例子如图 21.49 ～图 21.52 所示。

如果将数据寄存器的值设定为“0000h”，就输出 100% 的占空比。此时的波形是正相为 100%ON 状态的波形。如果将数据寄存器的值设定为和 MTU3.TGRA 相同的值，就输出 0% 的占空比。此时的波形是正相为 100% OFF 状态的波形。

此时，同时产生 ON 和 OFF 的比较匹配，如果同相的 ON 比较匹配和 OFF 比较匹配同时产生，双方的比较匹配就都被忽视而波形不变。

(l) 与 PWM 周期同步的交替输出

在互补 PWM 模式中，能通过将定时器的输出控制寄存器 （TOCR）的 PSYE 位置 “1”，进行与 PWM 载波周期同步的交替输出。交替输出的波形例子如图 21.54 所示。

通过 MTU3.TCNT 和 MTU3.TGRA 的比较匹配以及 MTU4.TCNT 和 “0000h”的比较匹配进行交替输出。

此交替输出的输出引脚为 MTIOC3A 引脚，初始输出为 High 电平输出。

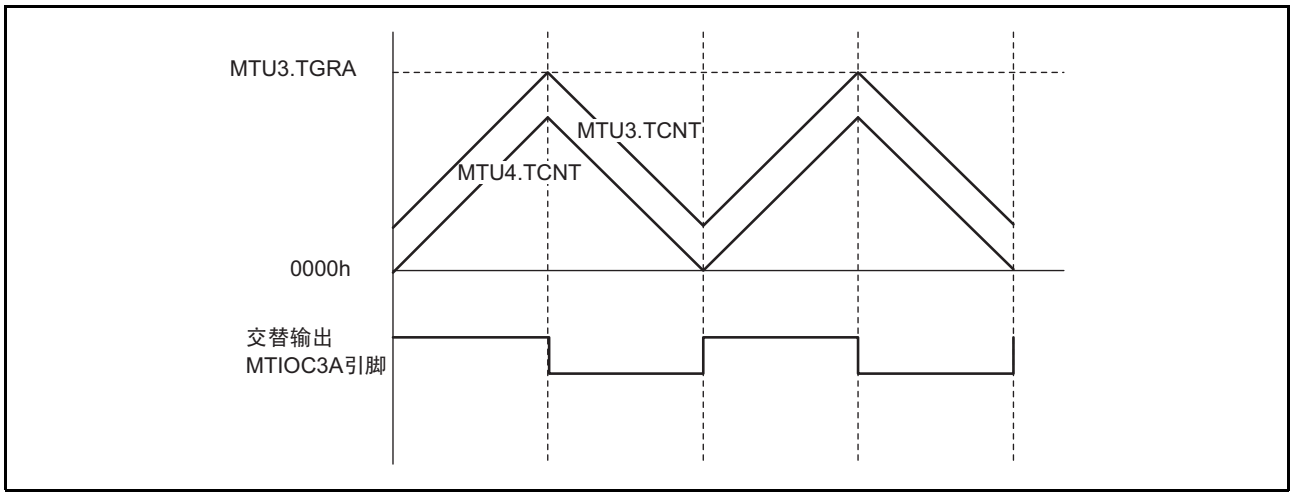


图 21.54 与 PWM 输出同步的交替输出波形例子

(m) 其他通道的计数器清除

在互补 PWM 模式中，当通过定时器的同步寄存器（TSYR）设定为与其他通道同步的模式并且通过定时器的控制寄存器 （TCR）的 CCLR[2:0] 位选择同步清除时，能由其他通道进行 MTU3.TCNT、 MTU4.TCNT 和 TCNTS 的清除。

运行例子如图 21.55 所示。

使用此功能，能通过外部信号进行计数器清除和重新开始。

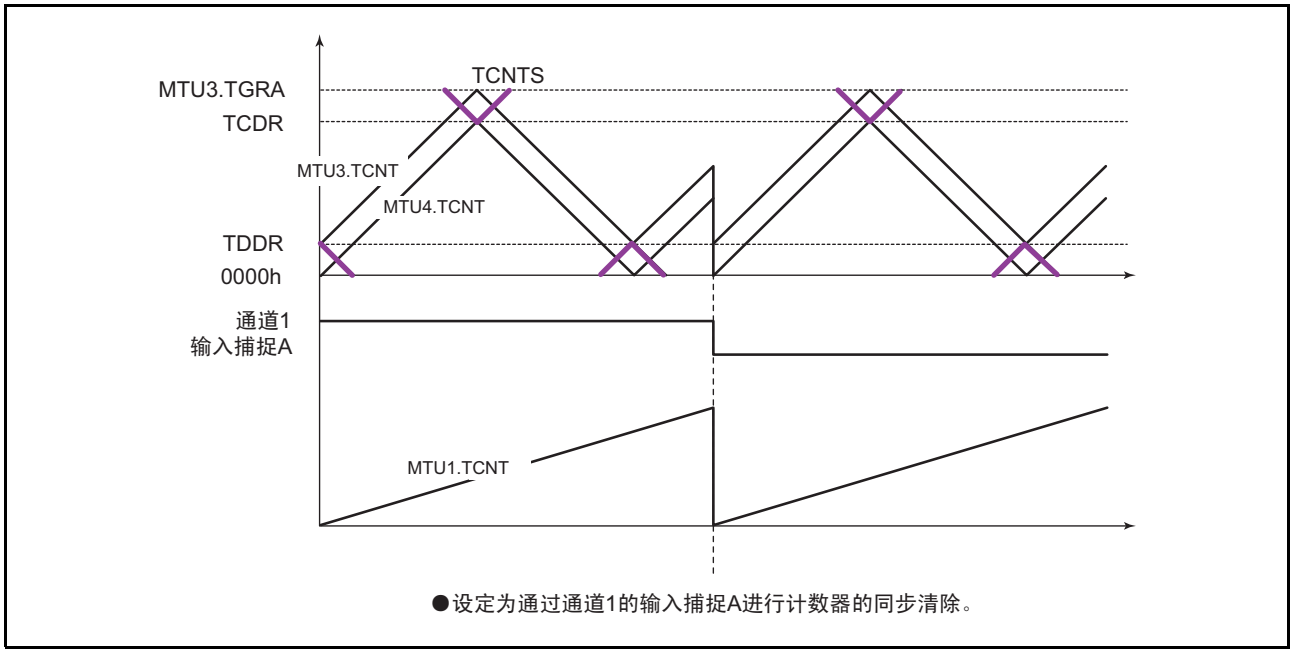


图 21.55 与其他通道同步的计数器清除

(n) 互补 PWM 模式的同步计数器清除时的输出波形控制

能通过将 TWCR 寄存器的 WRE 位置 “1”，抑止在互补 PWM 模式的波谷 Tb 区间发生同步计数器清除时的初始输出。因此，能抑止同步计数器清除时占空比的急剧变化。

只有在如**图 21.56** 的⑩、⑪ 的波谷 Tb 区间进行同步清除时，才能通过将 WRE 位置“1”来抑止初始输出。如果在其他时序中发生同步清除，就输出 TOCR 寄存器的 OLSN 位和 OLSP 位设定的初始值。即使在波谷的 Tb 区间，如果在**图 21.56** 的①所示的计数器开始计数后的初始输出期间发生同步清除，也不抑止初始输出。

MTU 的计数器清除源为 MTU0 ～ 2 的同步清除。

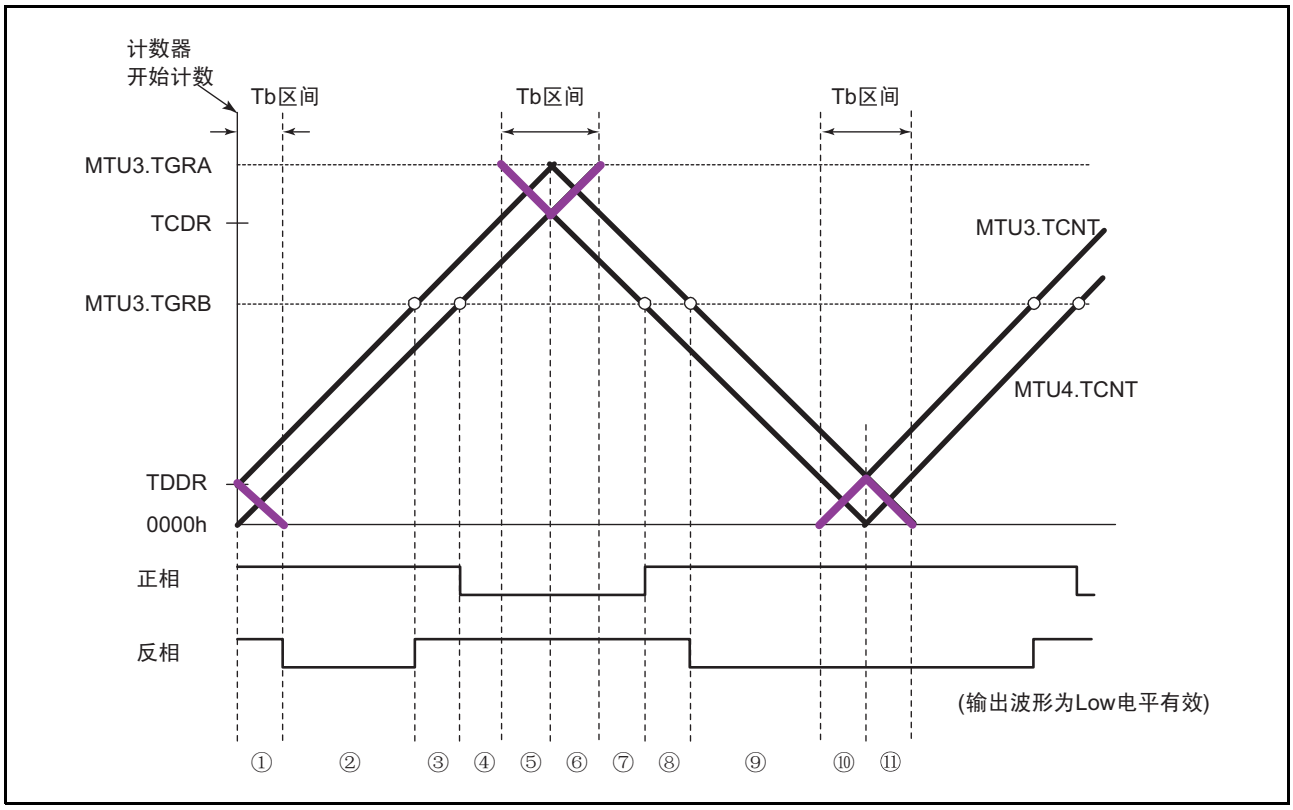


图 21.56 同步计数器的清除时序

- 互补PWM模式的同步计数器清除时输出波形控制的设定步骤例子

互补 PWM 模式的同步计数器清除时输出波形控制的设定步骤例子如图 21.57 所示。

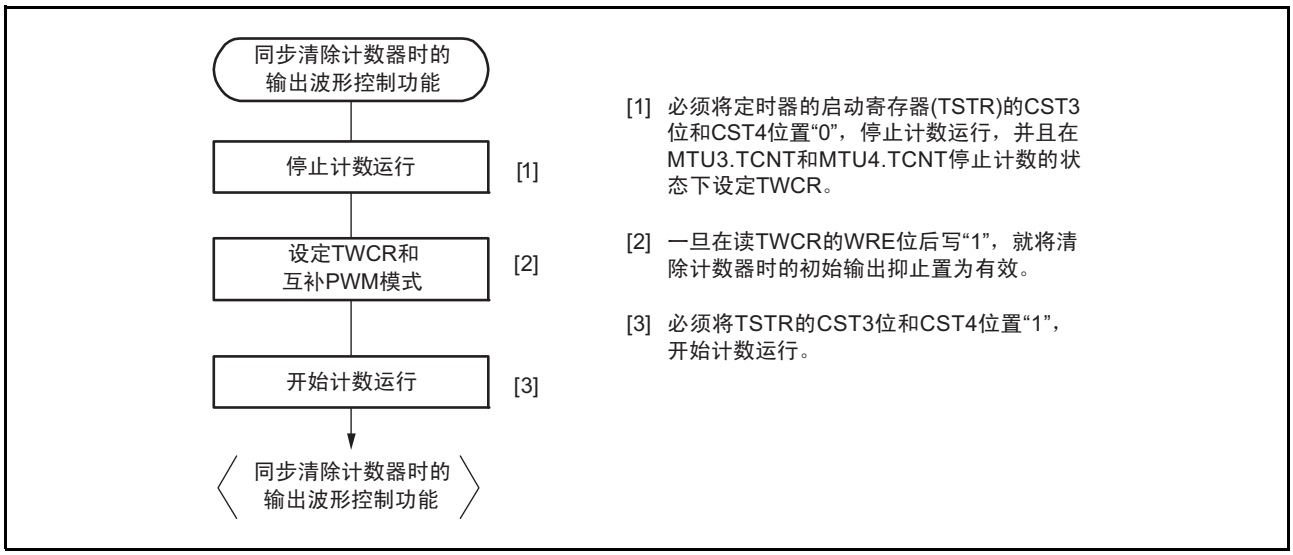


图 21.57　互补 PWM 模式的同步计数器清除时输出波形控制的设定步骤例子

- 互补PWM模式的同步计数器清除时输出波形控制的运行例子

在将 TWCR 的 WRE 位置 “1” 的状态下使 MTU 进行互补 PWM 运行并且进行同步计数器清除时的运行例子如图 21.58 ～图 21.61 所示。在此，图 21.58 ～图 21.61 的同步计数器清除时序分别是图 21.56 的③、⑥、⑧、⑪ 所示的时序。

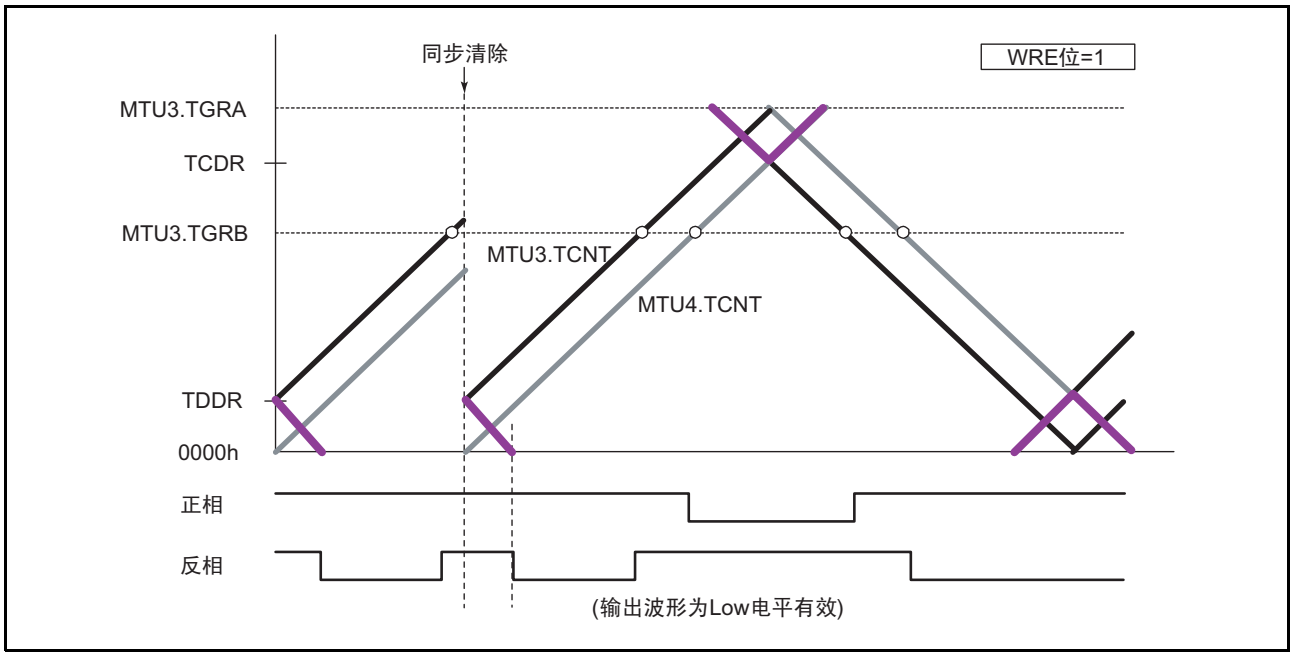


图 21.58　在递增计数过程中的死区时间发生同步清除的情况
（图 21.56 的时序③、 MTU 的 TWCR 寄存器的 WRE 位 =1）

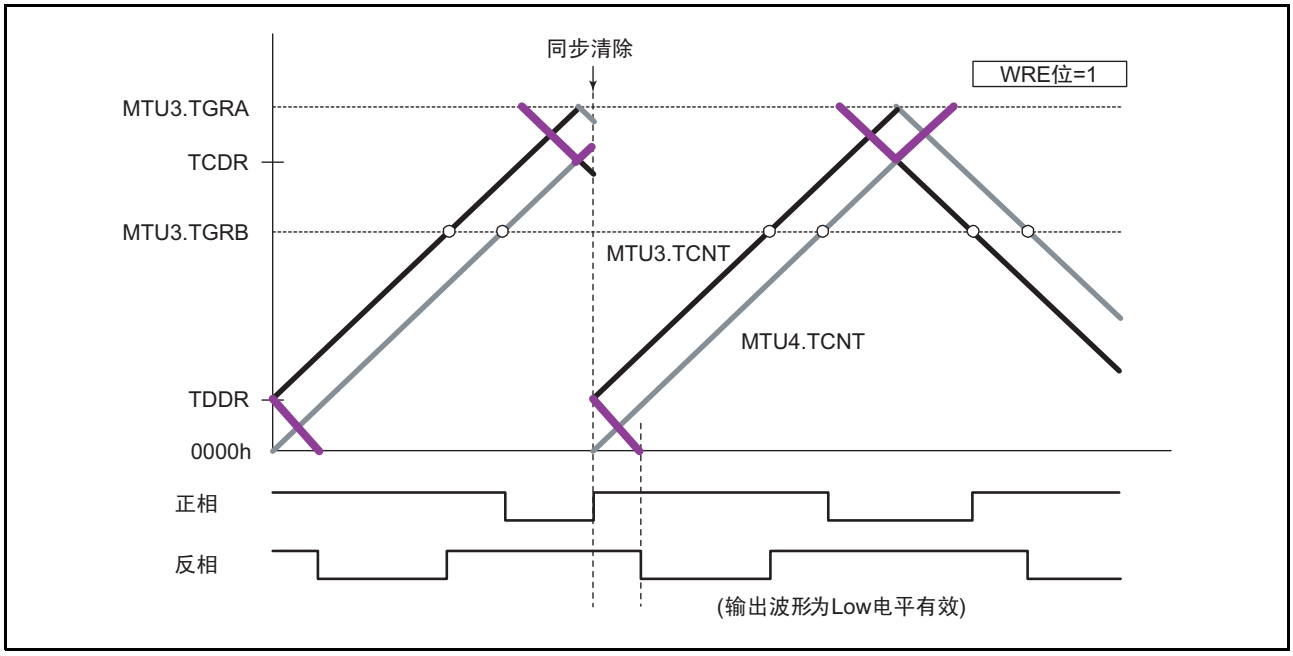


图 21.59 在波峰 Tb 区间发生同步清除的情况
（图 21.56 的时序⑥、 MTU 的 TWCR 寄存器的 WRE 位 =1）

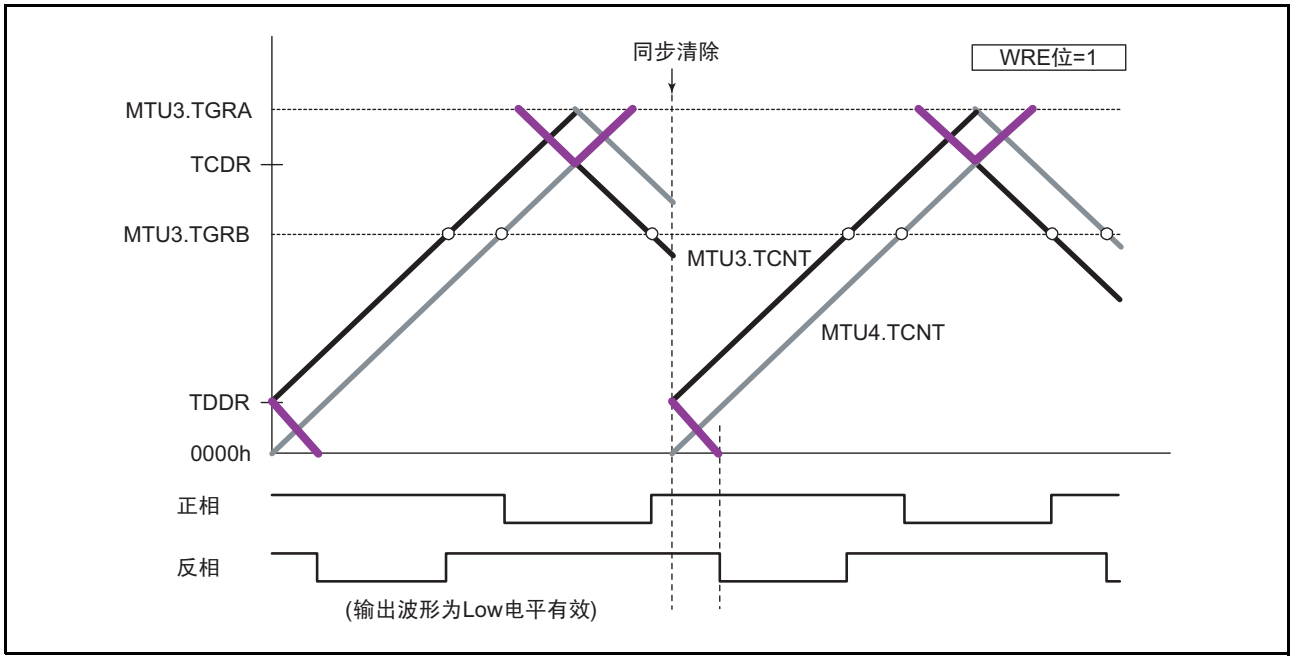


图 21.60 在递减计数过程中的死区时间发生同步清除的情况
（图 21.56 的时序⑧、 TWCR 寄存器的 WRE 位 =1）

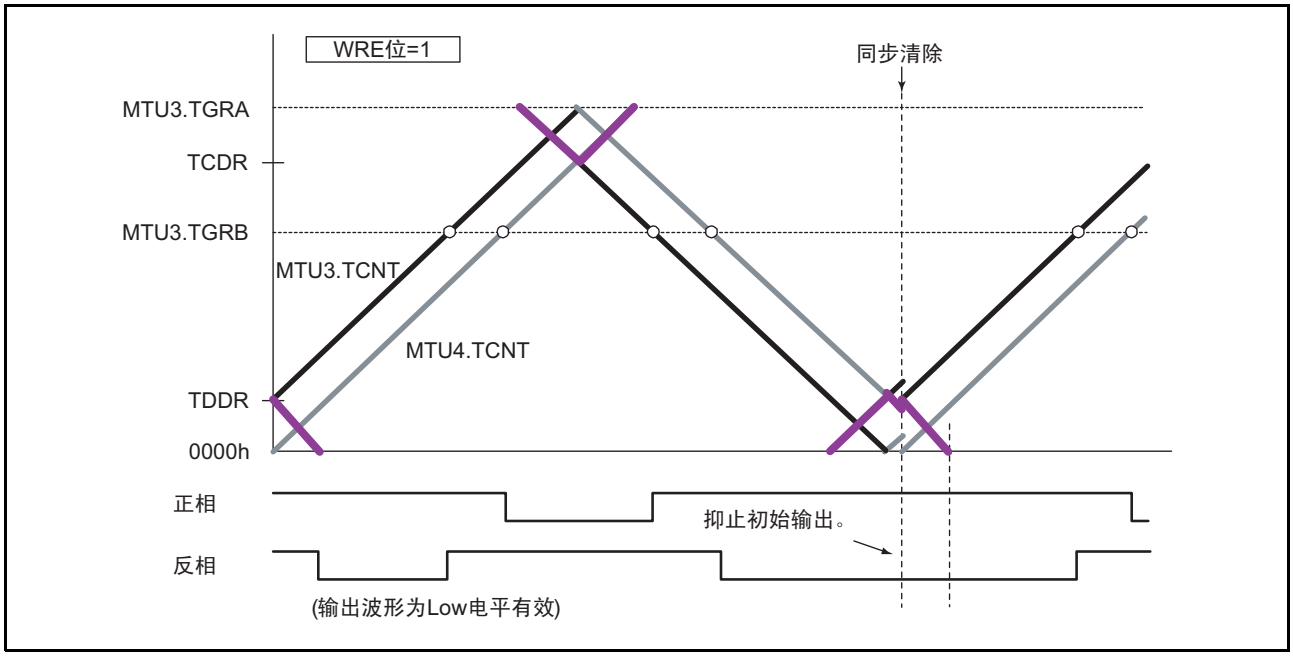


图 21.61 在波谷 Tb 区间发生同步清除的情况 （图 21.56 的时序 ⑪ 、 TWCR 寄存器的 WRE 位 =1）

(o) 通过 MTU3.TGRA 的比较匹配进行的计数器清除

在互补 PWM 模式中，能通过设定定时器的波形控制寄存器（TWCR）的 CCE 位，在发生 MTU3.TGRA 的比较匹配时清除 MTU3.TCNT、 MTU4.TCNT 和 TCNTS，运行例子如图 21.62 所示。

注 . 只能在互补 PWM 模式 1 （在波峰进行传送）中使用。
不能设定为与其他通道同步清除功能 （不能将定时器的同步寄存器 （TSYR）的SYNC0～SYNC4位置 “1”）。
不能将PWM占空比设定为 “0000h”。
不能将定时器的输出控制寄存器1 （TOCR1）的PSYE位置 “1”。

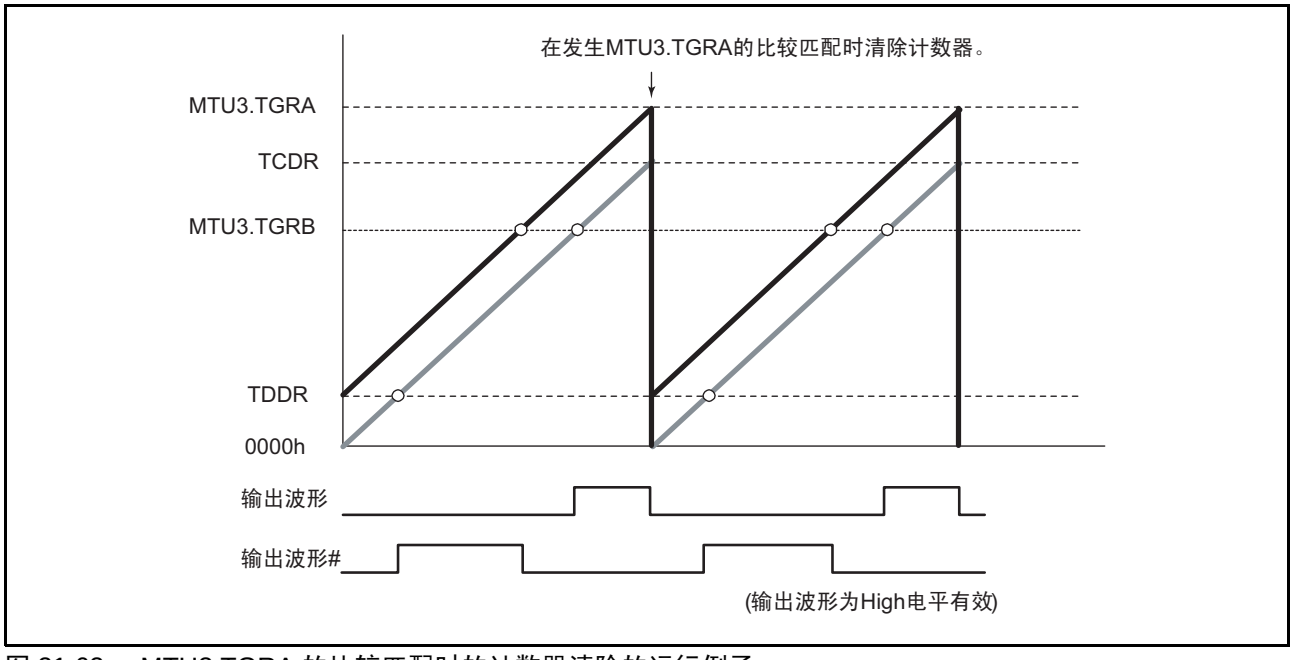


图 21.62 MTU3.TGRA 的比较匹配时的计数器清除的运行例子

(p)　AC 同步马达 （无刷 DC 马达）的驱动波形输出例子

在互补 PWM 模式中，能使用定时器的门控寄存器（TGCR），简单地控制无刷 DC 马达。使用 TGCR 无刷 DC 马达的驱动波形例子如图 21.63 ～图 21.66 所示。

在通过使用霍尔元件等检测到的外部信号进行 3 相无刷 DC 马达的输出相转换时，将 TGCR 寄存器的 FB 位置“0”。此时，将表示磁极位置的外部信号输入到 MTU0 的定时器输入引脚 MTIOC0A、MTIOC0B、MTIOC0C 引脚（必须通过 PFS 寄存器进行设定）。如果在 MTIOC0A、MTIOC0B、MTIOC0C 引脚产生边沿，输出的 ON/OFF 就自动进行转换。

在 FB 位为 “1” 的情况下，如果将 TGCR 的 UF 位、 VF 位和 WF 位置 “0” 或者 “1”，输出的 ON/OFF 就进行转换。

从互补 PWM 模式的 6 相输出引脚输出驱动波形。

对于此 6 相输出，能通过将 N 位或者 P 位置 “1”，在 ON 输出时使用互补 PWM 模式的输出，进行斩波输出。如果 N 位或者 P 位为 “0”，就为电平输出。

6 相输出的有效电平 （ON 输出时的电平）与 N 位和 P 位的设定无关，能通过定时器的输出控制寄存器（TOCR）的 OLSN 位和 OLSP 位进行设定。

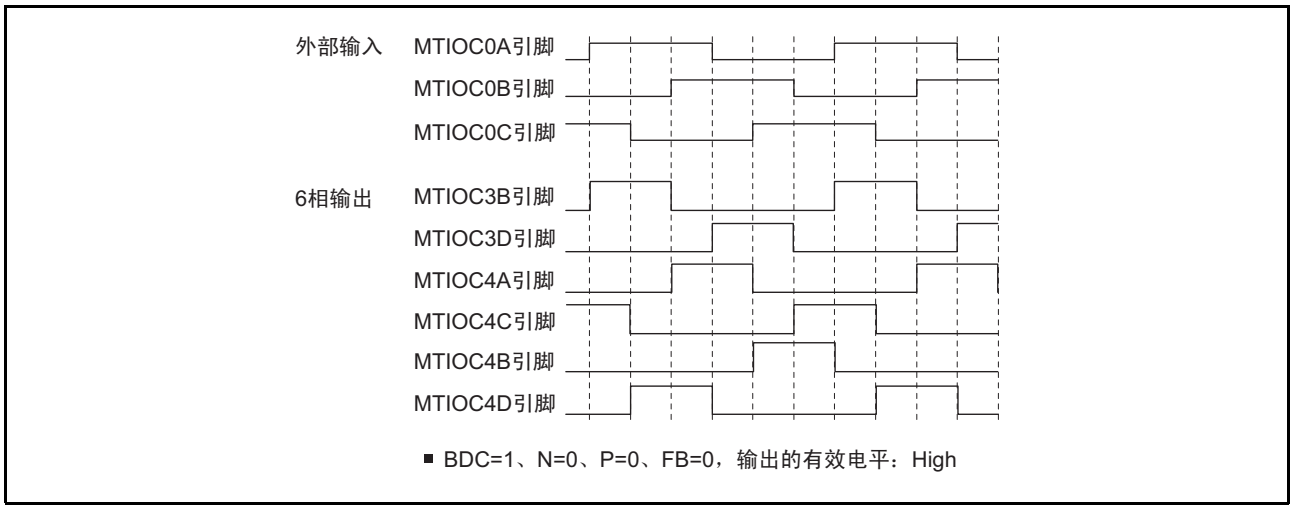


图 21.63　通过外部输入进行输出相转换的运行例子 （1）

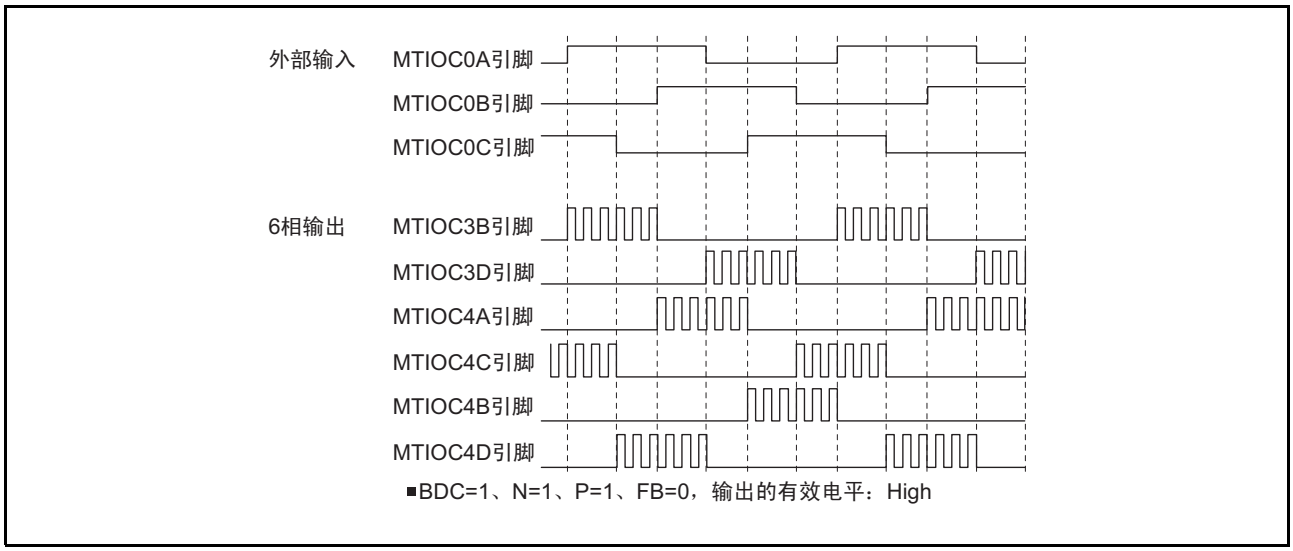


图 21.64　通过外部输入进行输出相转换的运行例子 （2）

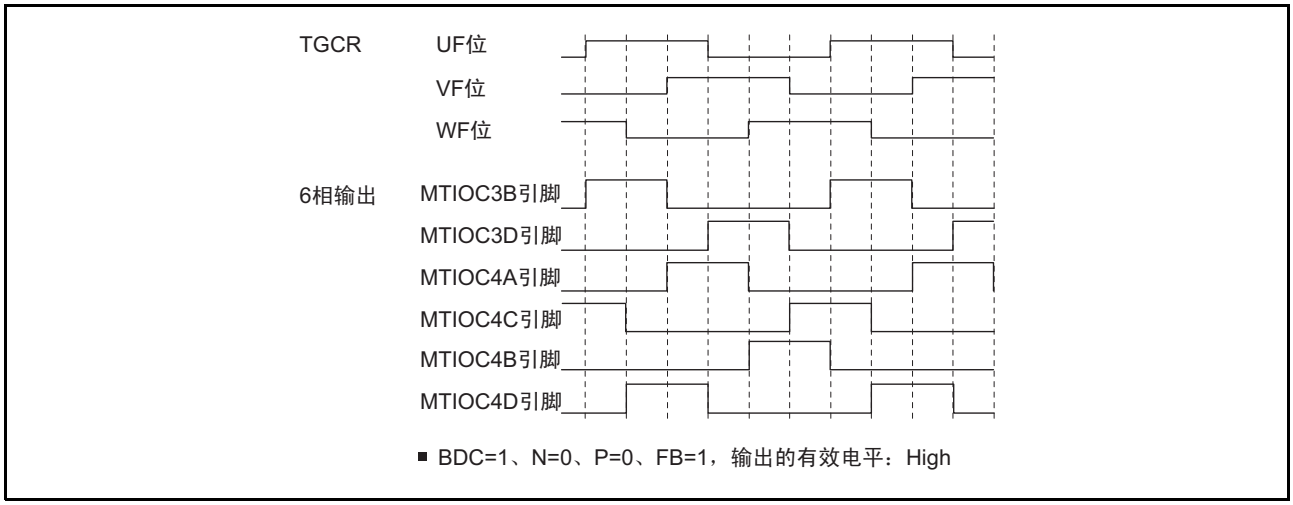


图 21.65 通过设定 UF 位、 VF 位和 WF 位进行输出相转换的运行例子 （1）

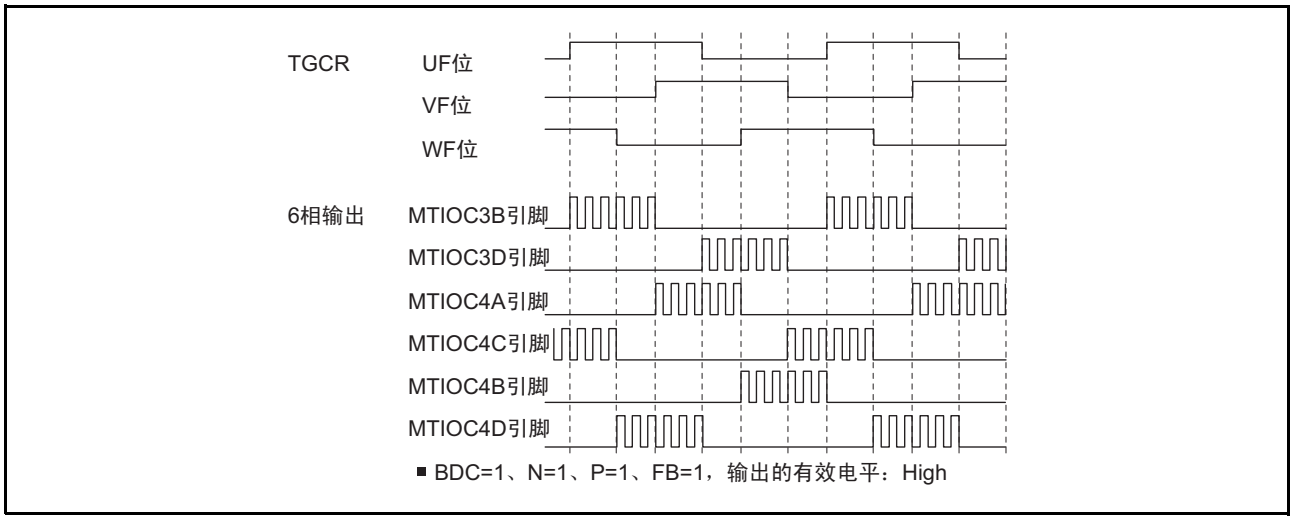


图 21.66 通过设定 UF 位、 VF 位和 WF 位进行输出相转换的运行例子 （2）

(q) A/D 转换开始请求的设定

在互补 PWM 模式中，能使用 MTU3.TGRA 的比较匹配、 MTU4.TCNT 的下溢 （波谷）、 MTU3 和 MTU4 以外通道的比较匹配，请求开始 A/D 转换。

如果使用 MTU3.TGRA 的比较匹配设定开始请求，就能在 MTU3.TCNT 的波峰开始 A/D 转换。

能通过将定时器的中断允许寄存器 （TIER）的 TTGE 位置 “1”，设定 A/D 转换的开始请求，并且能通过将 MTU4.TIER 的 TTGE2 位置 “1”，设定 MTU4.TCNT 下溢 （波谷）的 A/D 转换开始请求。

(3) 互补 PWM 模式的中断减少功能

能通过设定定时器的中断减少设定寄存器 （TITCR），使 MTU3 和 MTU4 的 TGIA3 （波峰的中断）以及 TCIV4 （波谷的中断）最多减少 7 次中断。

能通过设定定时器的缓冲传送寄存器 （TBTER），联动缓冲寄存器到暂存器 / 比较寄存器的传送来减少中断。有关和缓冲寄存器的联动，请参照 “(c) 联动中断减少功能的缓冲传送控制”。

能通过设定定时器的 A/D 转换请求控制寄存器 （TADCR），联动 A/D 转换开始请求延迟功能的 A/D 转换开始请求来减少中断。有关和 A/D 转换开始请求延迟功能的联动，请参照 “21.3.9 A/D 转换开始请求的延迟功能”。

必须通过设定 MTU3.TIER 寄存器和 MTU4.TIER 寄存器，在禁止 TGIA3 和 TCIV4 中断请求的状态下并且在不发生比较匹配以及不发生由比较匹配产生的 TGIA3 中断请求和 TGIA4 中断请求的状态下，设定定时器的中断减少设定寄存器（TITCR）。在更改减少次数前，必须将 T3AEN 位和 T4VEN 位置“0”，清除减少计数器。

(a) 中断减少功能的设定步骤例子

中断减少功能的设定步骤例子和中断减少次数的可变更期间分别如图 21.67 和图 21.68 所示。

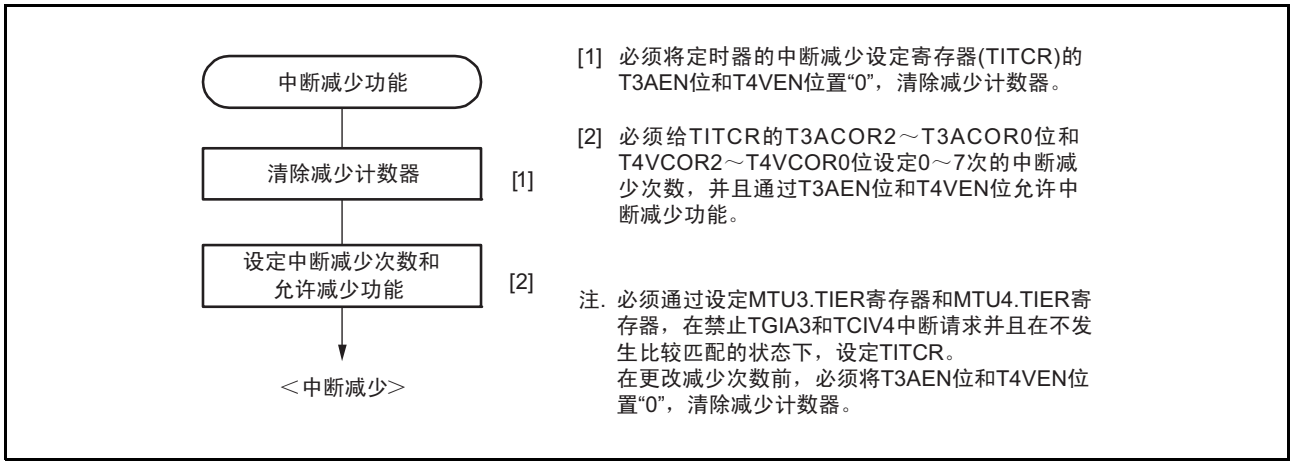


图 21.67　中断减少功能的设定步骤例子

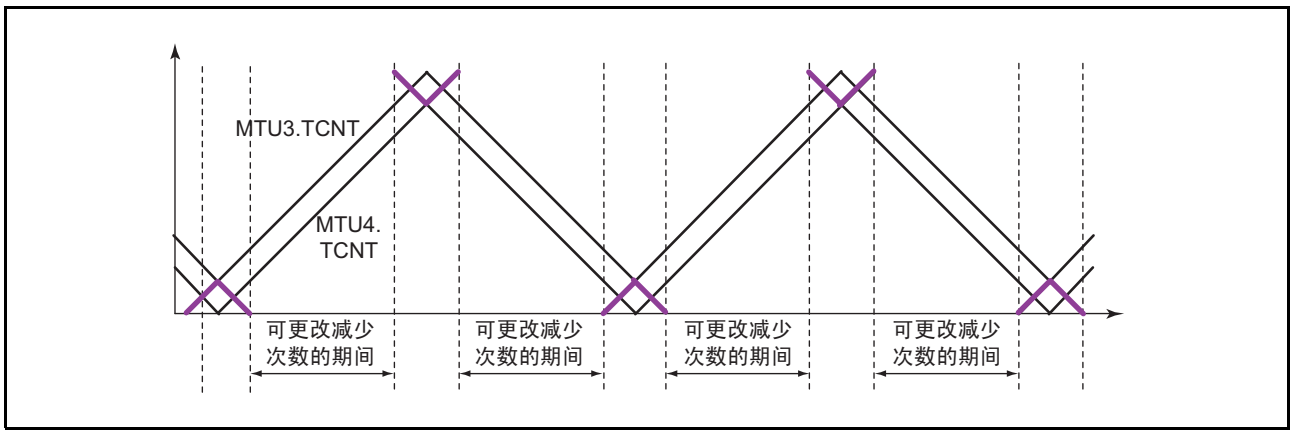


图 21.68　中断减少次数的可变更期间

(b) 中断减少功能的运行例子

通过定时器的中断减少设定寄存器 （TITCR）的 T3ACOR 位将中断减少次数设定为 3 次并且将 T3AEN 位置 “1”时的 MTU3.TGIA 中断减少的运行例子如图 21.69 所示。

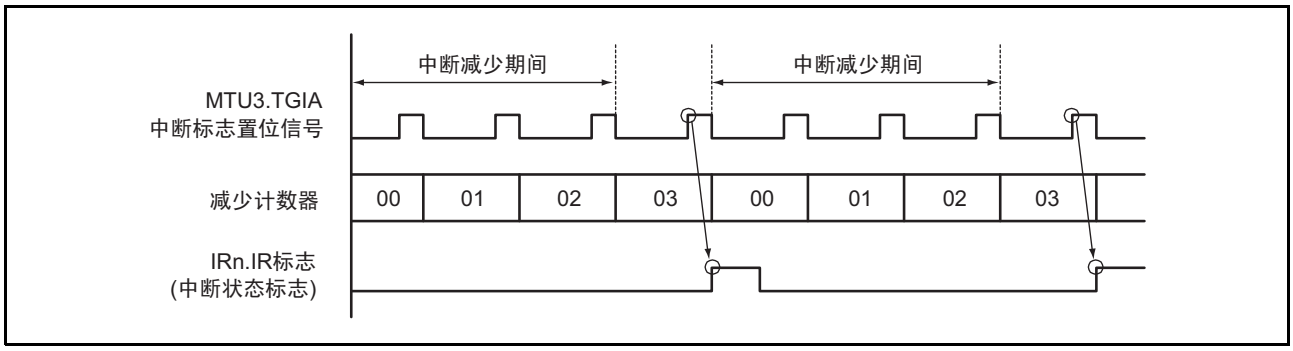


图 21.69 中断减少功能的运行例子

(c) 联动中断减少功能的缓冲传送控制

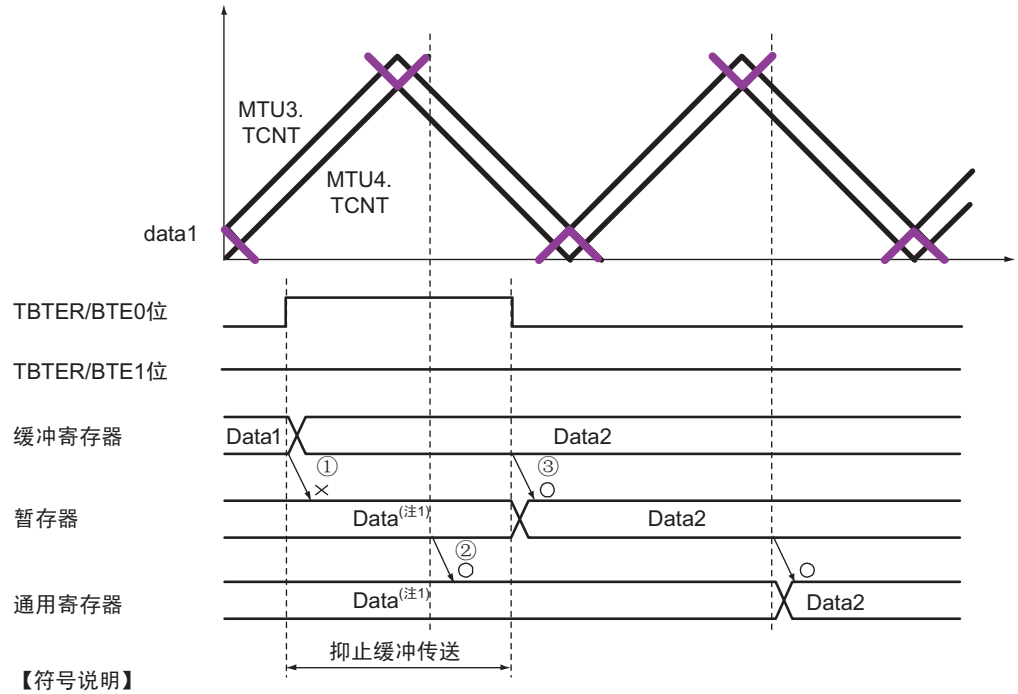
能通过设定定时器的缓冲传送设定寄存器 （TBTER）的 BTE1 位和 BTE0 位，选择在互补 PWM 模式中是否进行缓冲寄存器到暂存器的缓冲传送以及是否联动中断减少功能。

设定为抑止缓冲传送（BTE1=0 并且 BTE0=1）时的运行例子如图 21.70 所示。在此设定期间中，不进行缓冲寄存器到暂存器的传送。

设定为缓冲传送联动中断减少功能（BTE1=1 并且 BTE0=0）时的运行例子如图 21.71 所示。此时，除了缓冲传送允许期间以外，不进行缓冲寄存器到暂存器的传送。

如果将定时器的中断减少设定寄存器 （TITCR）的 T3AEN 位置 “1”，或者将 T4VEN 位置 “1”，或者将 T3AEN/T4VEN 位置 “1”，各缓冲传送允许期间就不同。TITCR 寄存器的 T3AEN 位、T4VEN 位的设定和缓冲传送允许期间的关系如图 21.72 所示。

注 . 此功能必须和中断减少功能配合使用。
在禁止中断减少 （将定时器的中断减少设定寄存器 （TITCR）的T3AEN位和T4VEN位置 “0”，或者将TITCR的减少次数设定位 （T3ACOR和T4VCOR）置 “0”）时，必须设定为缓冲传送不联动中断减少功能 （将定时器的缓冲传送设定寄存器 （TBTER）的BTE1位置 “0”）。
在禁止中断减少功能时，如果设定为缓冲传送联动中断减少功能，就不进行缓冲传送。



【符号说明】

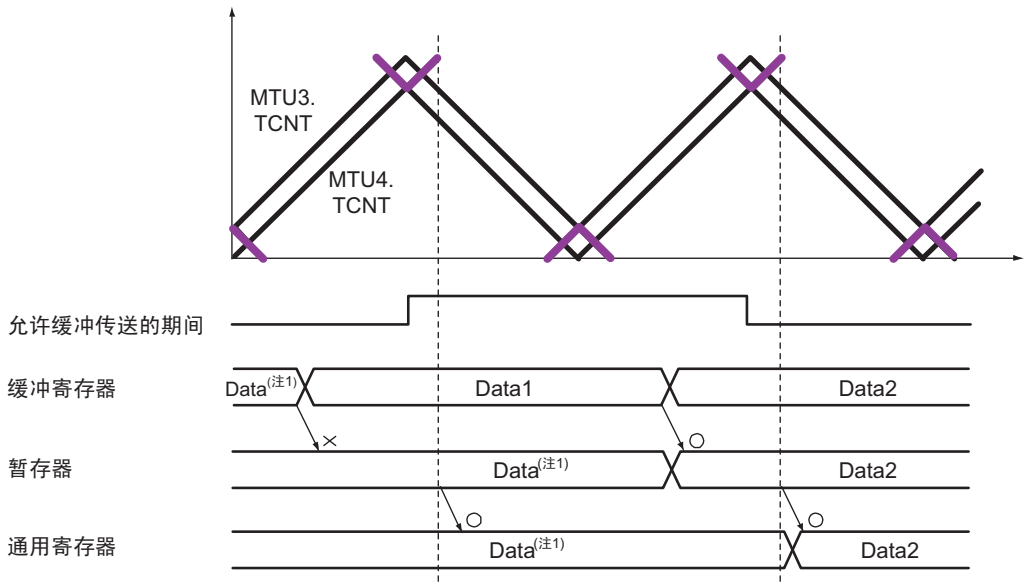
① 在抑止缓冲传送的期间(将TBTER的BTE1/0位设定为“0”或者“1”)，不将缓冲寄存器的值传送到暂存器。

② 即使在抑止缓冲传送的期间，也将暂存器的值传送到通用寄存器。

③ 在解除抑止缓冲传送后，将缓冲寄存器的值传送到暂存器。

注1. 选择在波峰进行缓冲传送时

图 21.70 设定为抑止缓冲传送 （BTE1=0 并且 BTE0=1）时的运行例子



注1. 选择在波峰进行缓冲传送。
将减少次数设定为3次。
将T3AEN设定为“1”。

图 21.71 设定为缓冲传送联动中断减少功能 （BTE1=1 并且 BTE0=0）时的运行例子

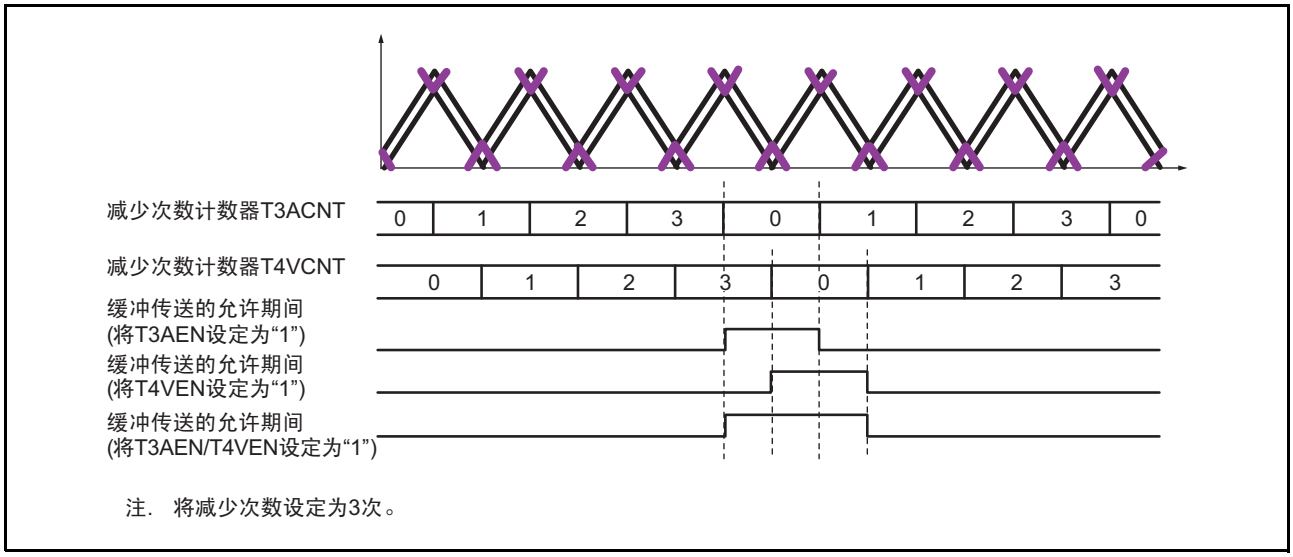


图 21.72 定时器的中断减少设定寄存器 （TITCR）的 T3AEN 位、 T4VEN 位的设定和缓冲传送允许期间的关系

(4) 互补 PWM 模式的输出保护功能

互补 PWM 模式的输出具有以下保护功能。

(a) 寄存器和计数器的误写防止功能

在互补 PWM 模式中使用的寄存器和计数器当中，除了随时能改写的缓冲寄存器以外，能通过设定定时器的读写允许寄存器 （TRWER）的 RWE 位，选择允许或者禁止 CPU 存取模式寄存器、控制寄存器、比较寄存器和计数器。对象寄存器为 MTU3 和 MTU4 的一部分寄存器，适用于以下寄存器：

MTU3.TCR 和 MTU4.TCR、MTU3.TMDR 和 MTU4.TMDR、MTU3.TIORH 和 MTU4.TIORH、MTU3.TIORL 和 MTU4.TIORL、MTU3.TIER 和 MTU4.TIER、MTU3.TCNT 和 MTU4.TCNT、MTU3.TGRA 和 MTU4.TGRA、MTU3.TGRB 和 MTU4.TGRB、 TOER、 TOCR1、 TOCR2、 TGCR、 TCDR、 TDDR 共计 22 个寄存器。

通过此功能，能设定为禁止 CPU 存取模式寄存器、控制寄存器和计数器，以防止因 CPU 失控而产生的误写。在禁止存取的状态下对象寄存器的读取值为不定值，写操作无效。

(b) 通过外部信号进行的 PWM 输出停止功能

能通过输入指定的外部信号，使 6 相 PWM 输出引脚自动变为高阻抗状态。

详细内容请参照请参照 “22. 端口输出允许 2 （POE2a）”。

(c) 振荡停止时的 PWM 输出停止功能

在检测到输入到 RX630 的时钟停止后， 6 相 PWM 输出引脚自动变为高阻抗状态。但是，一旦时钟重新开始振荡，就无法保证此引脚状态。

详细内容请参照 “9.5 振荡停止检测功能”。

21.3.9 A/D 转换开始请求的延迟功能

能通过设定 MTU4 的定时器的 A/D 转换开始请求控制寄存器 （TADCR）、定时器的 A/D 启动请求周期寄存器（MTU4.TADCORA、MTU4.TADCORB）或者定时器的 A/D 启动请求周期缓冲寄存器（MTU4.TADCOBRA、MTU4.TADCOBRB），请求开始 A/D 转换。

A/D 转换开始请求的延迟功能是将 MTU4.TCNT 和 MTU4.TADCORA、 MTU4.TADCORB 进行比较，如果 MTU4.TCNT 和 MTU4.TADCORA、MTU4.TADCORB 相同，就请求开始各自的 A/D 转换（TRG4AN、TRG4BN）。

能通过设定 TADCR 的 ITA3AE、ITA4VE、ITB3AE、ITB4VE 位，联动中断减少功能减少 A/D 转换的开始请求 （TRG4AN、 TRG4BN）。

(1) A/D 转换开始请求延迟功能的设定步骤例子

A/D 转换开始请求延迟功能的设定步骤例子如图 21.73 所示。

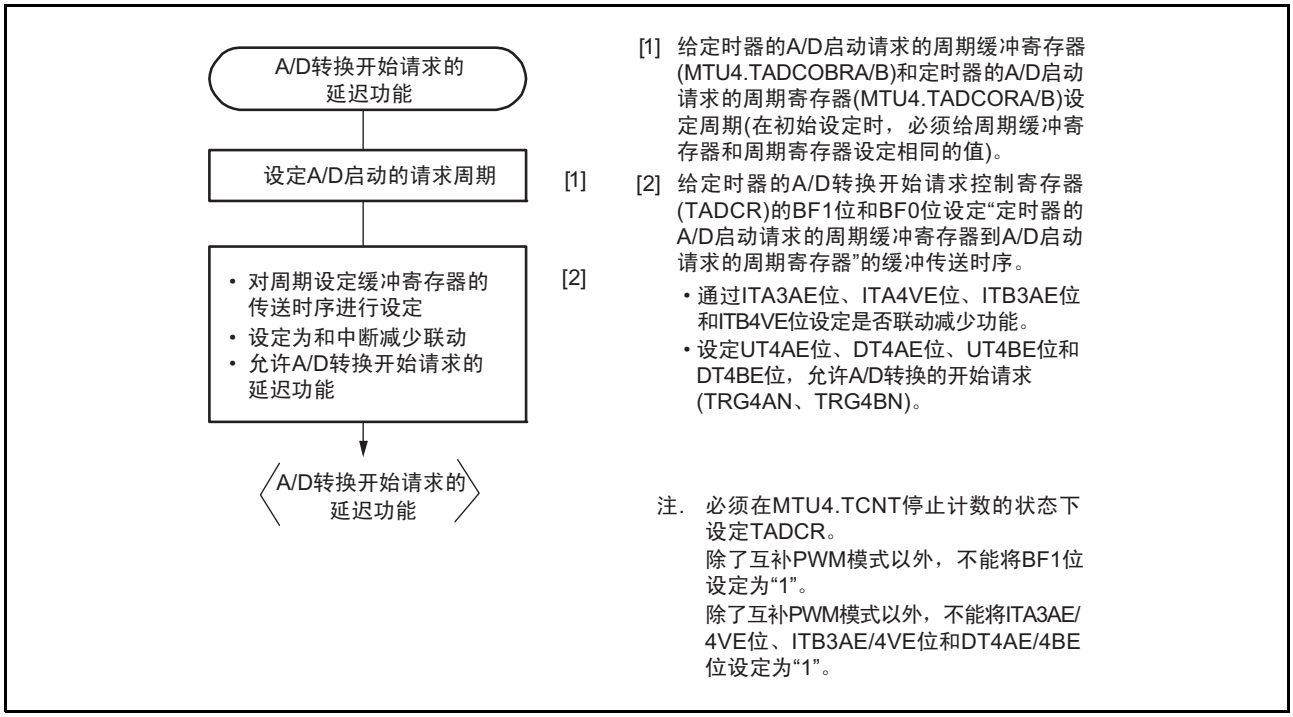


图 21.73　A/D 转换开始请求延迟功能的设定步骤例子

(2) A/D 转换开始请求延迟功能的基本运行例子

将缓冲传送时序设定为 MTU4.TCNT 的波谷并且在 MTU4.TCNT 进行递减计数时输出 A/D 转换开始请求信号 （TRG4AN）时的 A/D 转换开始请求信号 （TRG4AN）的基本运行例子如图 21.74 所示。

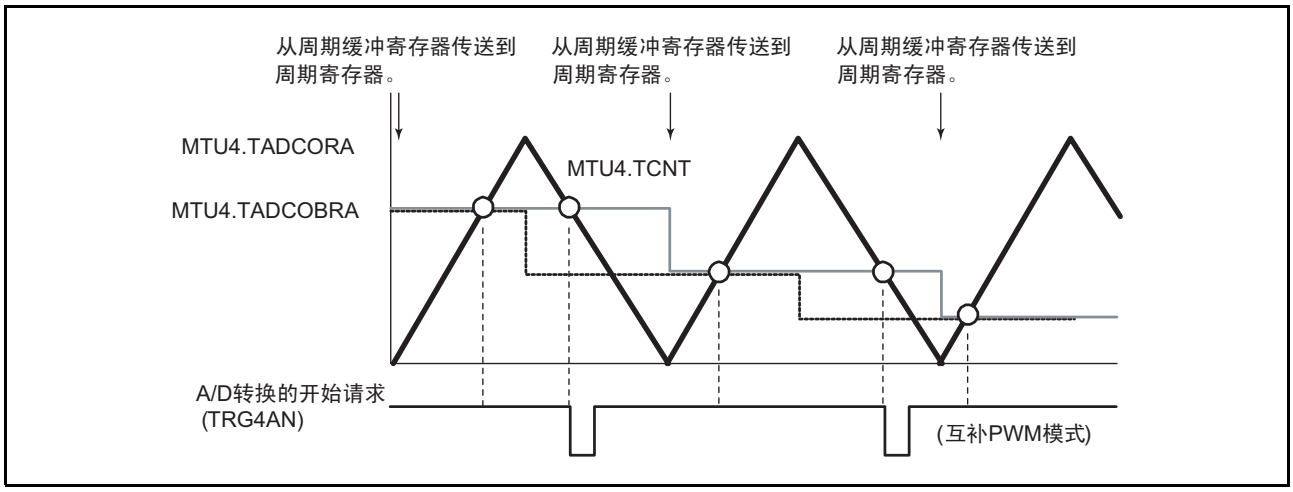


图 21.74 A/D 转换开始请求信号 （TRG4AN）的基本运行例子

(3) 缓冲传送

通过将数据写到定时器的 A/D 启动请求周期设定缓冲寄存器 （MTU4.TADCOBRA/B），更新定时器的 A/D 启动请求周期设定寄存器 （MTU4.TADCORA/B）的数据。能通过设定定时器的 A/D 转换开始请求控制寄存器 （MTU4.TADCR）的 BF1 位和 BF0 位，选择定时器 A/D 的启动请求周期设定缓冲寄存器到定时器的 A/D 启动请求周期设定寄存器的传送时序。

(4) 联动中断减少功能的 A/D 转换开始请求延迟功能

能通设定过定时器的 A/D 转换开始请求控制寄存器 （TADCR）的 ITA3AE、ITA4VE、ITB3AE、ITB4VE 位，联动中断减少功能请求开始 A/D 转换 （TRG4AN、TRG4BN）。在 MTU4.TCNT 进行递增计数和递减计数时允许 TRG4AN 输出并且联动中断减少功能时的 A/D 转换开始请求信号 （TRG4AN）的运行例子如图 21.75 所示。

在 MTU4.TCNT 进行递增计数时，允许 TRG4AN 输出并且联动中断减少功能时的 A/D 转换开始请求信号 （TRG4AN）的运行例子如图 21.76 所示。

注 . 此功能必须和中断减少功能配合使用。
在禁止中断减少 （将定时器的中断减少设定寄存器 （TITCR）的T3AEN位和T4VEN位置 “0”，或者将TITCR的减少次数设定位 （T3ACOR、T4VCOR）置 “0”）时，必须设定为不联动中断减少功能 （将定时器的A/D转换开始请求控制寄存器 （TADCR）的ITA3AE、ITA4VE、ITB3AE和ITB4VE位置 “0”）。
必须注意：A/D转换器的转换请求信号可能变为TRG4ABN （TRG4AN或者TRG4BN）。

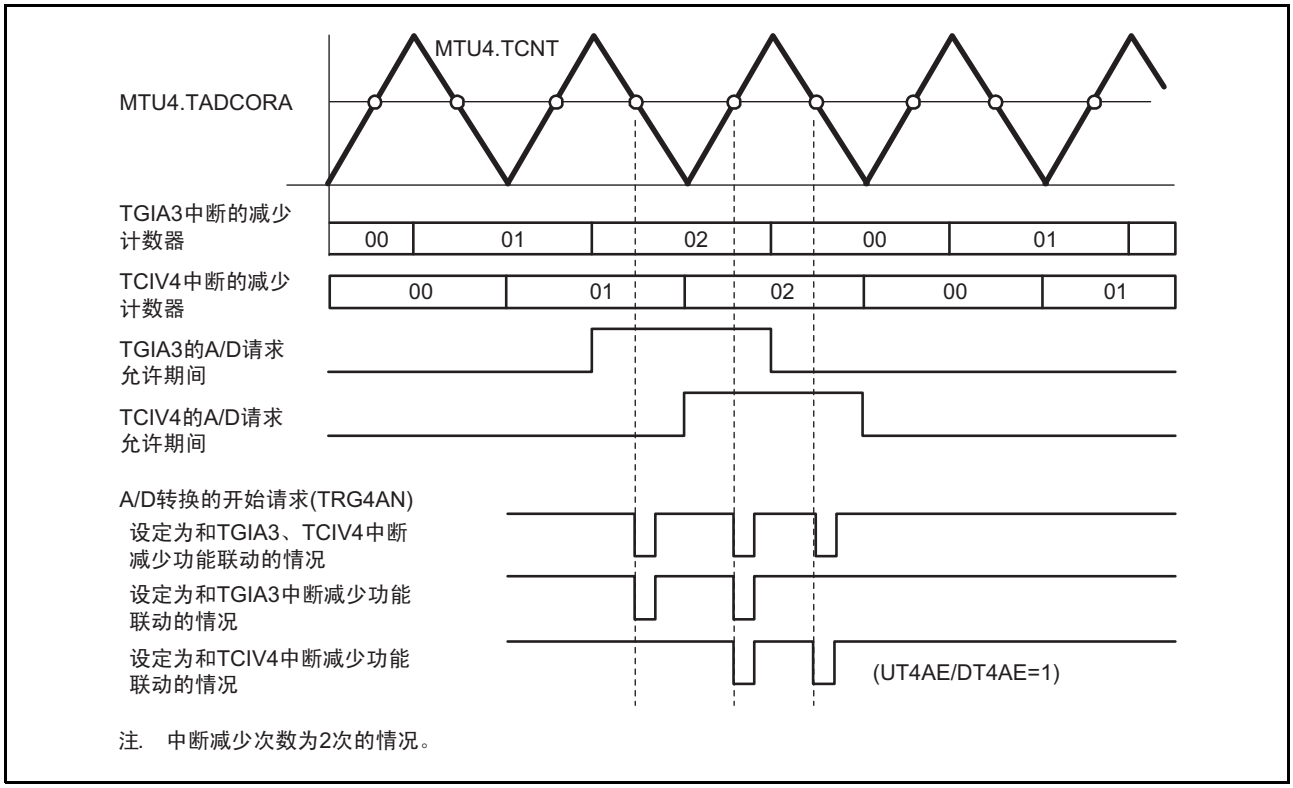


图 21.75 联动中断减少功能时的 A/D 转换开始请求信号 （TRG4AN）的运行例子
（在 TCNT 进行递增计数以及递减计数时允许 TRG4AN 输出的情况）

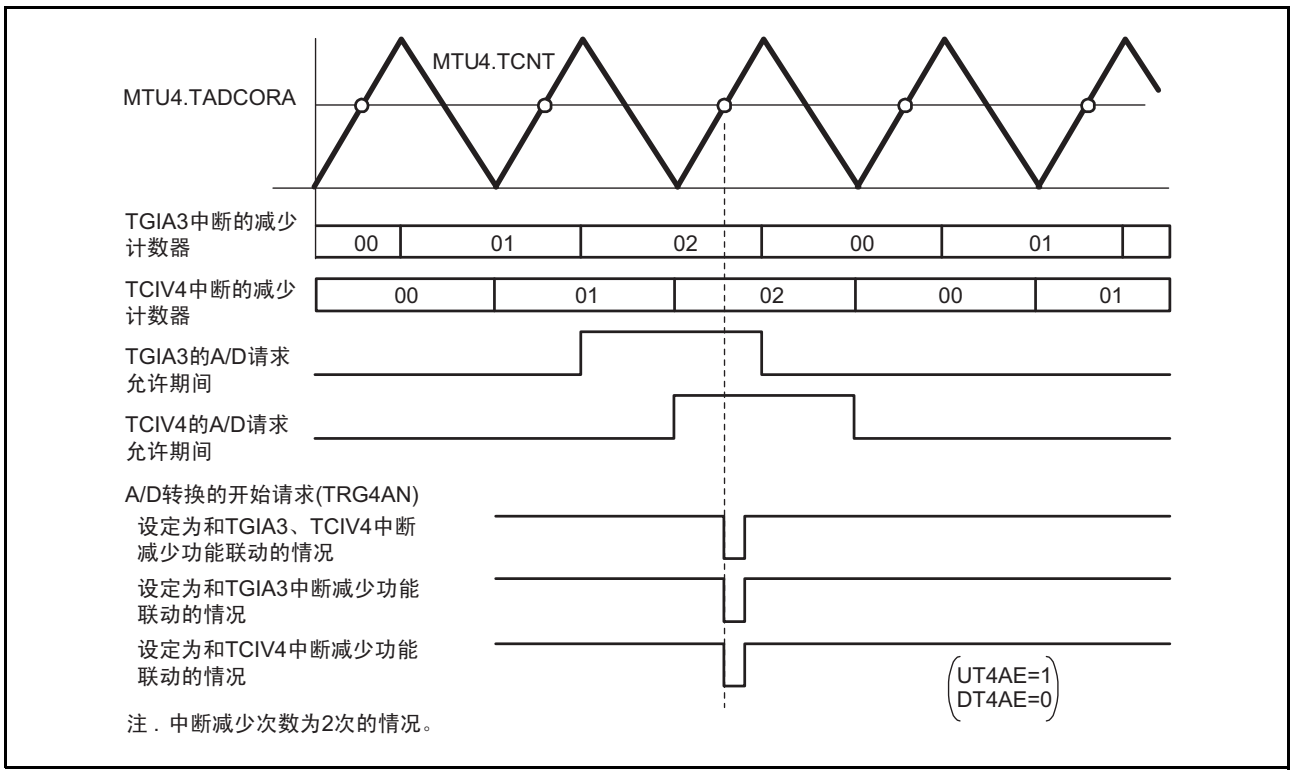


图 21.76 联动中断减少功能时的 A/D 转换开始请求信号 （TRG4AN）的运行例子
（在 TCNT 进行递增计数时允许 TRG4AN 输出的情况）

21.3.10 外部脉宽的测量功能

MTU5 最多能测量 3 个外部脉宽。

(1) 测量外部脉宽的设定步骤例子

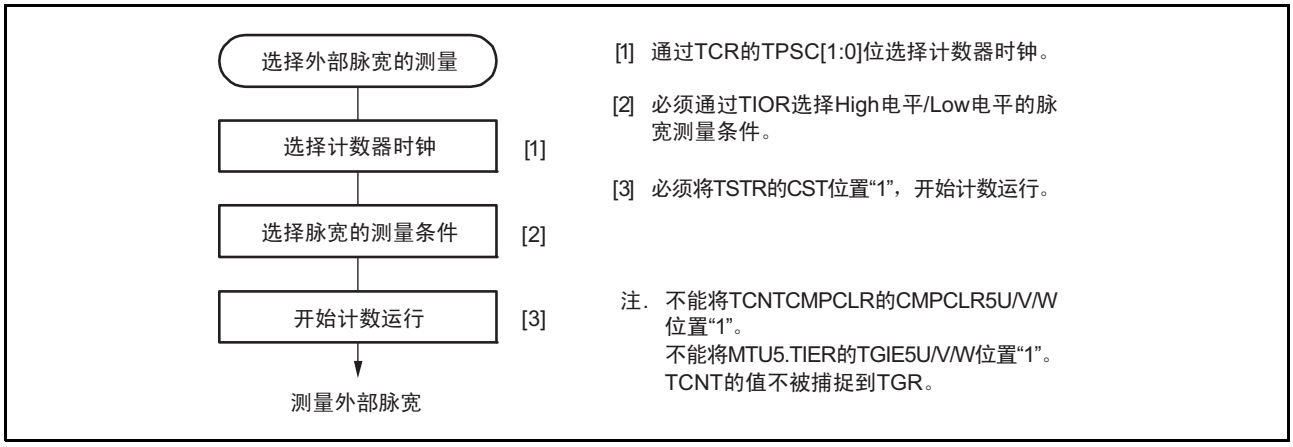


图 21.77 测量外部脉宽的设定步骤例子

(2) 测量外部脉宽的运行例子

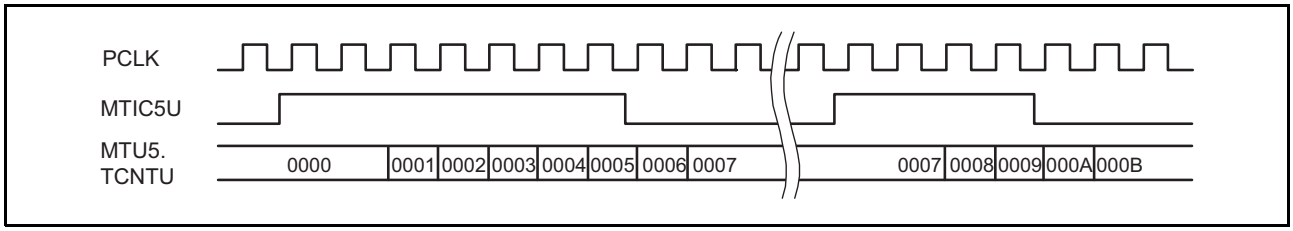


图 21.78 测量外部脉宽的运行例子 （测量 High 电平的宽度）

21.3.11　死区时间的补偿功能

能通过测量输出波形的延迟并且将此延迟反映到占空比，将外部脉宽测量功能用作互补PWM运行时的PWM输出波形的死区时间补偿功能。

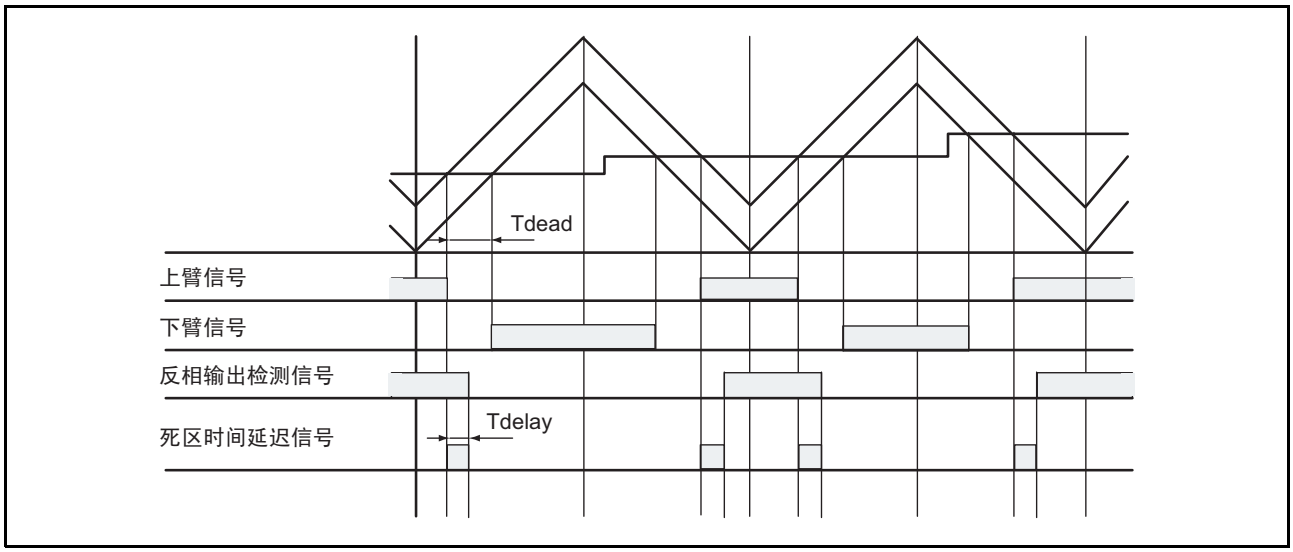


图 21.79　互补 PWM 运行时的死区时间延迟

(1)　死区时间补偿功能的设定步骤例子

使用 MTU5 的 3 个计数器的死区时间补偿功能的设定步骤例子如图 21.80 所示。

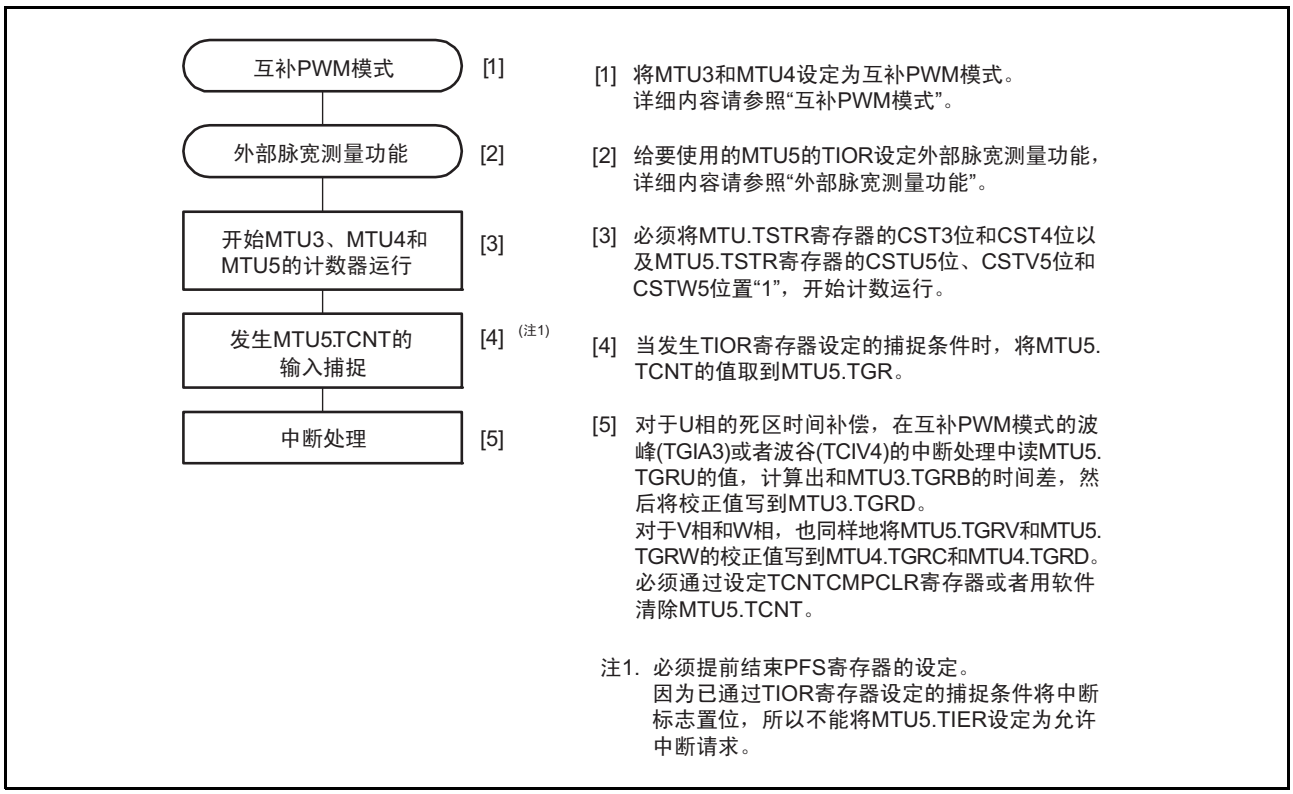


图 21.80　死区时间补偿功能的设定步骤例子

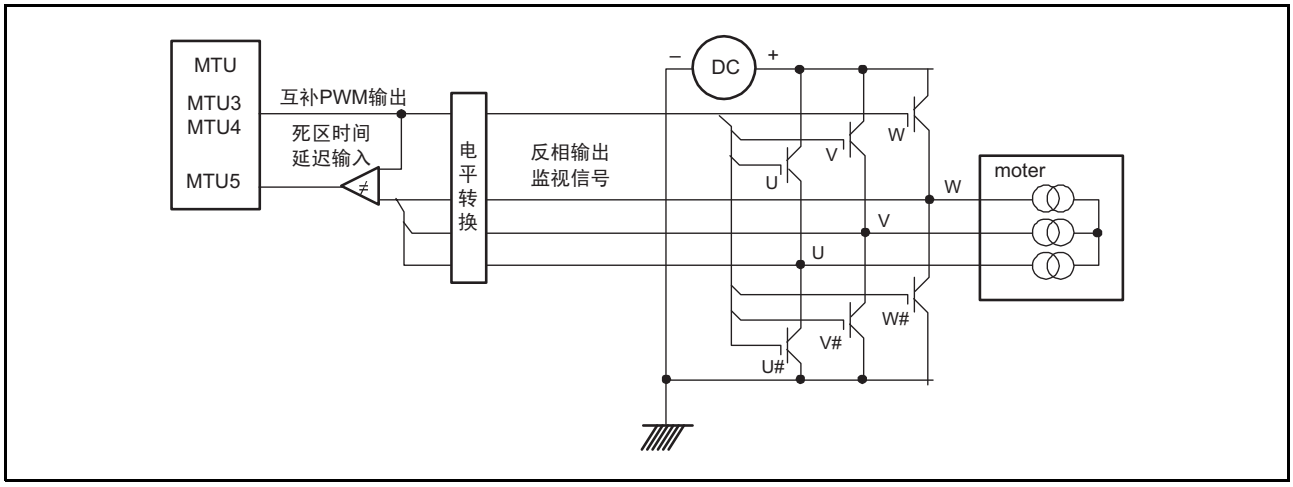


图 21.81 马达控制电路的结构例子

21.3.12 在互补 PWM 的 “波峰 / 波谷”进行的 TCNT 捕捉运行

在互补 PWM 运行时，在 “波峰、波谷、波峰和波谷”将 TCNT 的值保存到 TGR，通过 TIOR 寄存器选择捕捉到 TGR 的时序。

TCNT 用作自由运行计数器 （不被清除）并且在设定的 “波峰、波谷”对 TGR 进行捕捉的运行例子如图 21.82 所示。

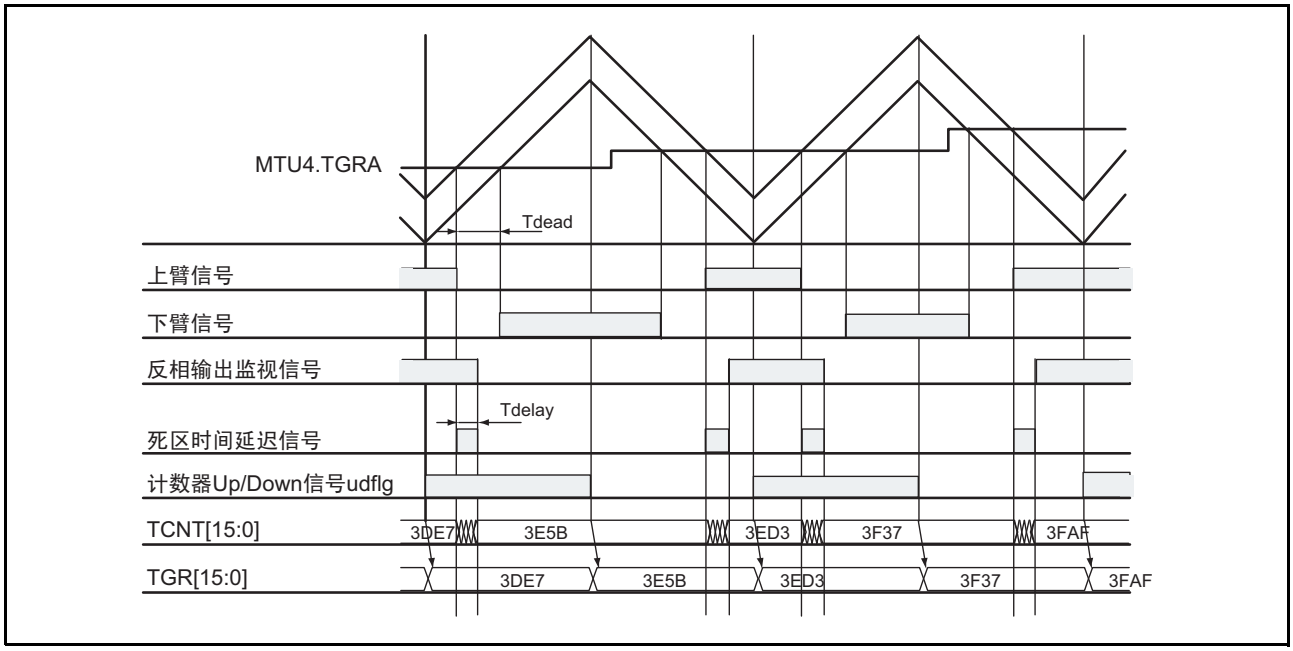


图 21.82 在互补 PWM 的 “波峰 / 波谷”进行的 TCNT 捕捉运行

21.3.13 噪声滤波器功能

MTU 的输入捕捉的输入引脚或者外部脉冲输入引脚具有噪声滤波器功能。噪声滤波器功能按设定的采样周期对引脚进行采样，如果 3 次采样的引脚电平相同，就将相同的电平传送到内部并且持续到 3 次采样的引脚电平再次相同为止。

能按引脚设定允许或者停止噪声滤波器功能，并且能按通道设定采样时钟。噪声滤波器的时序如图 21.83 所示。

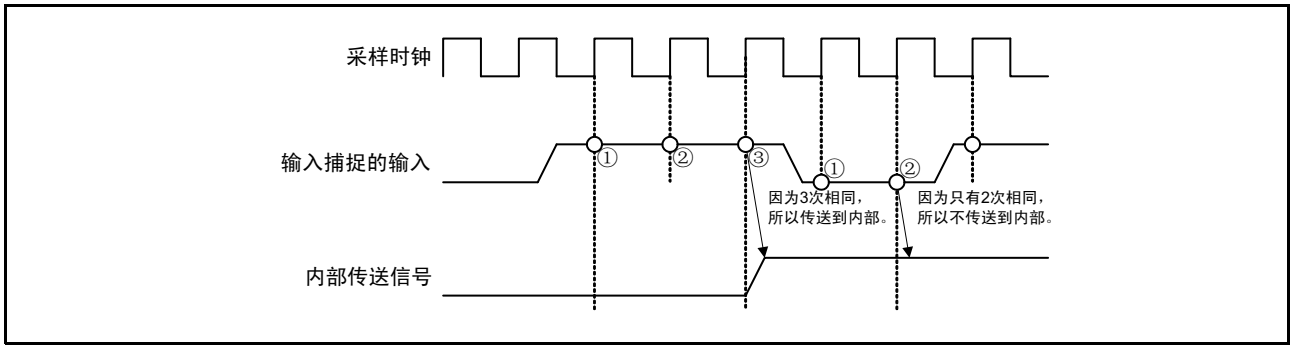


图 21.83 噪声滤波器的时序

21.4 中断源

21.4.1 中断源和优先级

MTU 的中断源有 TGR 的输入捕捉 / 比较匹配、 TCNT 的上溢和 TCNT 的下溢共 3 种。因为各中断源有各自专用的状态标志和允许 / 禁止位，所以能独立允许或者禁止中断请求信号的产生。

如果发生中断源并且 TIER 寄存器对应的允许 / 禁止位为 “1”，就请求中断。能通过中断控制器更改通道之间的优先级，但是通道内的优先级固定，详细内容请参照 “15. 中断控制器 （ICUb）”。

MTU 的中断源一览表如表 21.57 所示。

表 21.57 MTU 中断源 （1）

通道	名称	中断源	DMAC 的启动	DTC 的启动	优先级
MTU0	TGIA0	MTU0.TGRA 的输入捕捉 / 比较匹配	能	能	高
	TGIB0	MTU0.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC0	MTU0.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID0	MTU0.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV0	MTU0.TCNT 的上溢	不能	不能	
	TGIE0	MTU0.TGRE 的比较匹配	不能	不能	
	TGIF0	MTU0.TGRF 的比较匹配	不能	不能	
MTU1	TGIA1	MTU1.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB1	MTU1.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TCIV1	MTU1.TCNT 的上溢	不能	不能	
	TCIU1	MTU1.TCNT 的下溢	不能	不能	
MTU2	TGIA2	MTU2.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB2	MTU2.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TCIV2	MTU2.TCNT 的上溢	不能	不能	
	TCIU2	MTU2.TCNT 的下溢	不能	不能	
MTU3	TGIA3	MTU3.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB3	MTU3.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC3	MTU3.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID3	MTU3.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV3	MTU3.TCNT 的上溢	不能	不能	
MTU4	TGIA4	MTU4.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB4	MTU4.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC4	MTU4.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID4	MTU4.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV4	MTU4.TCNT 的上溢 / 下溢	不能	能	
MTU5	TGIU5	MTU5.TGRU 的输入捕捉 / 比较匹配	不能	能	
	TGIV5	MTU5.TGRV 的输入捕捉 / 比较匹配	不能	能	
	TGIW5	MTU5.TGRW 的输入捕捉 / 比较匹配	不能	能	低

注 . 表示复位后的初始状态。能通过中断控制器更改通道之间的优先级。

(1) 输入捕捉 / 比较匹配中断

如果在各通道的 TGR 发生输入捕捉 / 比较匹配时 TIER 寄存器的 TGIE 位为 “1”，就请求中断。在 MTU 中，MTU0 有 6 个，MTU3 和 MTU4 各有 4 个，MTU1 和 MTU2 各有 2 个，MTU5 有 3 个，共计 21 个的输入捕捉 / 比较匹配中断。

(2) 上溢中断

如果在各通道的 TCNT 发生上溢时 TIER 寄存器的 TCIEV 位为 “1”，就请求中断。在 MTU 中，各通道有 1 个，共计 5 个上溢中断。

(3) 下溢中断

如果在各通道的 TCNT 发生下溢时 TIER 寄存器的 TCIEU 位为 “1”，就请求中断。在 MTU 中，MTU1 和 MTU2 各有 1 个，共计 2 个下溢中断。

21.4.2 DTC/DMAC 的启动

(1) DTC 的启动

能通过各通道 TGR 的输入捕捉 / 比较匹配中断或者 MTU4 的上溢中断来启动 DTC，详细内容请参照 “18. 数据传送控制器 （DTCa）”。

在 MTU 中，MTU0 和 MTU3 各有 4 个，MTU1 和 MTU2 各有 2 个，MTU4 有 5 个，MTU5 有 3 个，共计 20 个输入捕捉 / 比较匹配中断和上溢中断，能将这些输入捕捉 / 比较匹配中断和上溢中断作为 DTC 的启动源。

(2) DMAC 的启动

能通过各通道 TGRA 的输入捕捉 / 比较匹配中断来启动 DMAC，详细内容请参照 “17. DMA 控制器 （DMACA）”。

在 MTU 中， MTU0 ～ MTU4 各有 1 个，共计 5 个 TGRA 寄存器的输入捕捉 / 比较匹配中断，能将这些输入捕捉 / 比较匹配中断作为 DMAC 的启动源。

当通过 MTU 启动 DMAC 时，在 DMAC 请求内部总线权时清除启动源。因此根据内部总线的状态，即使清除启动源，也会产生 DMAC 传送进入开始等待状态的期间。

21.4.3 A/D 转换器的启动

在 MTU 中，能通过以下 5 种方法启动 A/D 转换器。

各中断源和 A/D 转换开始请求的对应如表 21.58 所示。

(1) 在 TGRA 的输入捕捉 / 比较匹配时以及在互补 PWM 模式的 MTU4.TCNT 波谷进行的 A/D 启动

能通过各通道 TGRA 的输入捕捉 / 比较匹配来启动 A/D 转换器。另外，如果在将 MTU4.TIER 的 TTGE2 位置 “1” 的状态下进行互补 PWM 运行，就能在 MTU4.TCNT 为波谷（MTU4.TCNT=0000h）时启动 A/D 转换器。

在以下所示的条件下，对 A/D 转换器产生 A/D 转换开始请求 TRGAN。

- 在发生各通道的 TGRA 输入捕捉 / 比较匹配的情况下 TIER 的 TTGE 位为 “1” 时
- 在将 MTU4.TIER 的 TTGE2 位置 “1” 的状态下进行互补 PWM 运行并且 MTU4.TCNT 变为波谷时（MTU4.TCNT=0000h）

在上述条件下，如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRGAN，就开始进行 A/D 转换。

(2) 通过 MTU0.TCNT 和 MTU0.TGRE 的比较匹配进行的 A/D 转换器启动

能通过 MTU0.TCNT 和 MTU0.TGRE 的比较匹配来启动 A/D 转换器。

能通过 MTU0.TCNT 和 MTU0.TGRE 的比较匹配，产生 A/D 转换开始请求 TRG0EN。此时，如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG0EN，就开始进行 A/D 转换。

(3) 通过 MTU0.TCNT 和 MTU0.TGRF 的比较匹配进行的 A/D 转换器启动

能通过 MTU0.TCNT 和 MTU0.TGRF 的比较匹配来启动 A/D 转换器。

能通过 MTU0.TCNT 和 MTU0.TGRF 的比较匹配，产生 A/D 转换开始请求 TRG0FN。此时，如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG0FN，就开始进行 A/D 转换。

(4) 通过 MTU0.TGRA、 MTU0.TGRB、 MTU0.TGRC、 MTU0.TGRD 的输入捕捉 / 比较匹配进行的 A/D 转换器启动

能通过 MTU0.TCNT 和 MTU0.TGRA、MTU0.TGRB、MTU0.TGRC、MTU0.TGRD 的输入捕捉 / 比较匹配来启动 A/D 转换器。

能通过 MTU0.TCNT 和 MTU0.TGRA、MTU0.TGRB、MTU0.TGRC、MTU0.TGRD 的输入捕捉 / 比较匹配，产生 A/D 转换开始请求 TRG0AN、 TRG0BN、 TRG0CN、 TRG0DN。此时，如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG0AN、 TRG0BN、 TRG0CN、 TRG0DN，就开始进行 A/D 转换。

(5) 通过 A/D 转换开始请求的延迟功能进行的 A/D 转换器启动

如果给 A/D 转换开始请求控制寄存器（TADCR）的 UT4AE、DT4AE、UT4BE、DT4BE 位写“1”，就能在 TADCORA、 TADCORB 和 MTU4.TCNT 相同时产生 TRG4AN 或者 TRG4BN，启动 A/D 转换器。详细内容请参照 “21.3.9 A/D 转换开始请求的延迟功能”。

如果发生 TRG4AN 或者 TRG4BN，就产生 TRG4ABN。如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG4ABN，就开始进行 A/D 转换。

表 21.58 各中断源和 A/D 转换开始请求的对应

对象	A/D 转换器的启动源	A/D 转换开始请求
MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配	TRGAN
MTU1.TGRA 和 MTU1.TCNT		
MTU2.TGRA 和 MTU2.TCNT		
MTU3.TGRA 和 MTU3.TCNT		
MTU4.TGRA 和 MTU4.TCNT		
MTU4.TCNT	互补 PWM 模式的 MTU4.TCNT 波谷	
MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配	TRG0AN
MTU0.TGRB 和 MTU0.TCNT		TRG0BN
MTU0.TGRC 和 MTU0.TCNT		TRG0CN
MTU0.TGRD 和 MTU0.TCNT		TRG0DN
MTU0.TGRE 和 MTU0.TCNT	比较匹配	TRG0EN
MTU0.TGRF 和 MTU0.TCNT		TRG0FN
TADCORA 和 MTU4.TCNT 或者 TADCORB 和 MTU4.TCNT		TRG4ABN

21.5 运行时序

21.5.1 输入 / 输出时序

(1) TCNT 的计数时序

内部时钟运行时的 TGI 中断的计数时序如图 21.84 和图 21.85 所示，外部时钟运行 （正常模式）和外部时钟运行 （相位计数模式）时的 TCNT 计数时序分别如图 21.86 和图 21.87 所示。

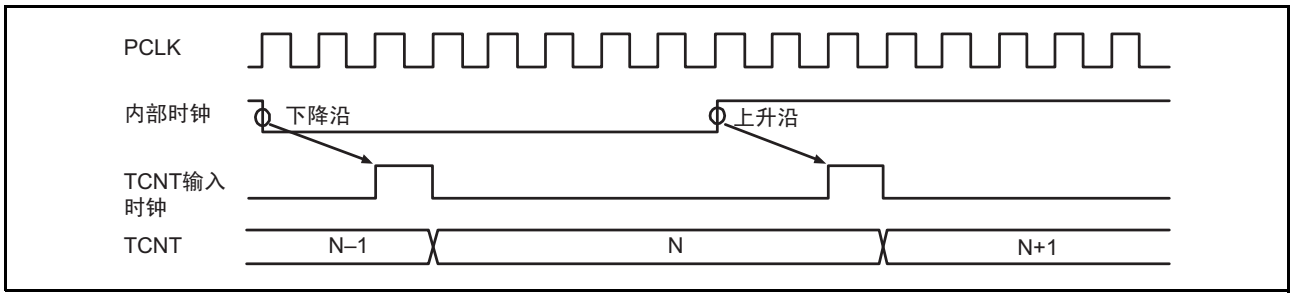


图 21.84 内部时钟运行时的计数时序 （MTU0 ～ MTU4）

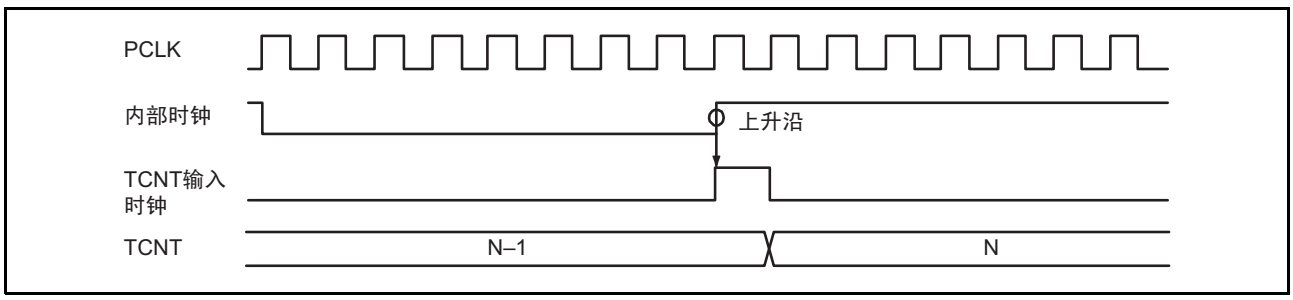


图 21.85 内部时钟运行时的计数时序 （MTU5）

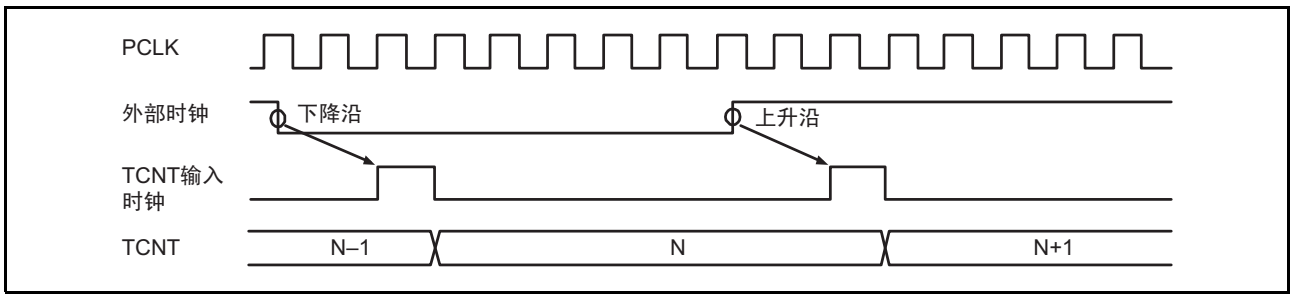


图 21.86 外部时钟运行时的计数时序 （MTU0 ～ MTU4）

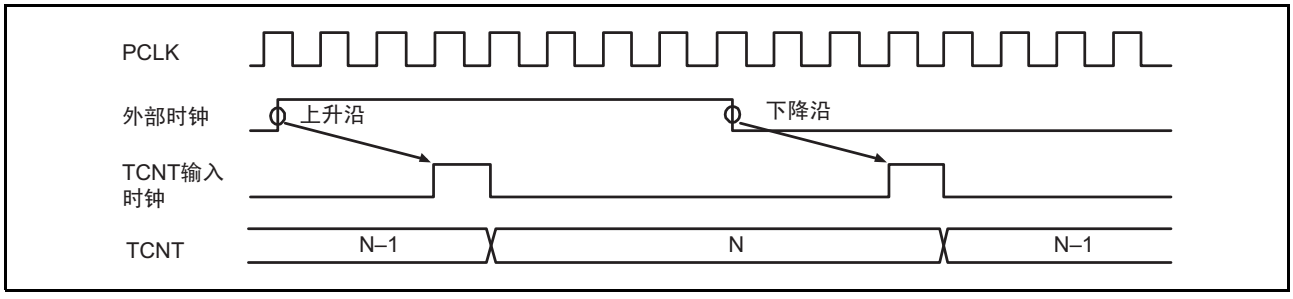


图 21.87 外部时钟运行时的计数时序 （相位计数模式）

(2) 输出比较的输出时序

在 TCNT 和 TGR 的值相同的最后状态 （在更新 TCNT 相同后的计数值时）产生比较匹配信号。当产生比较匹配信号时，将 TIOR 寄存器设定的输出值输出到输出比较的输出引脚 （MTIOC 引脚）。在 TCNT 和 TGR 的值相同后到产生 TCNT 输入时钟前，不产生比较匹配信号。

输出比较的输出时序（正常模式、PWM 模式）和输出比较的输出时序（互补 PWM 模式、复位同步 PWM 模式）分别如图 21.88 和图 21.89 所示。

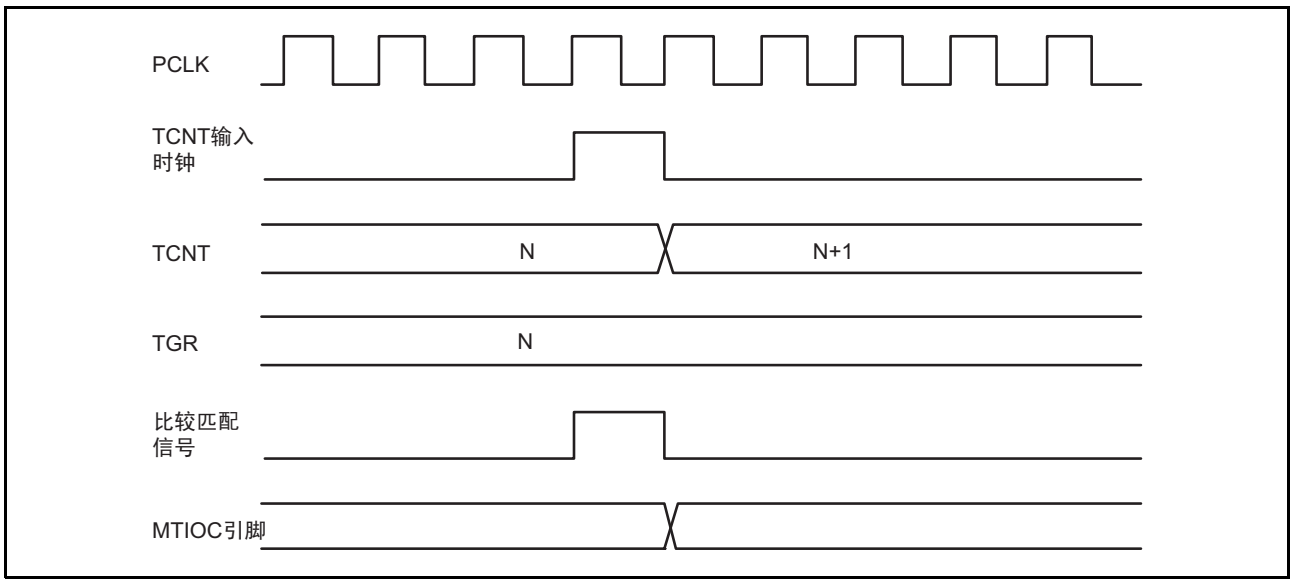


图 21.88 输出比较的输出时序 （正常模式、 PWM 模式）

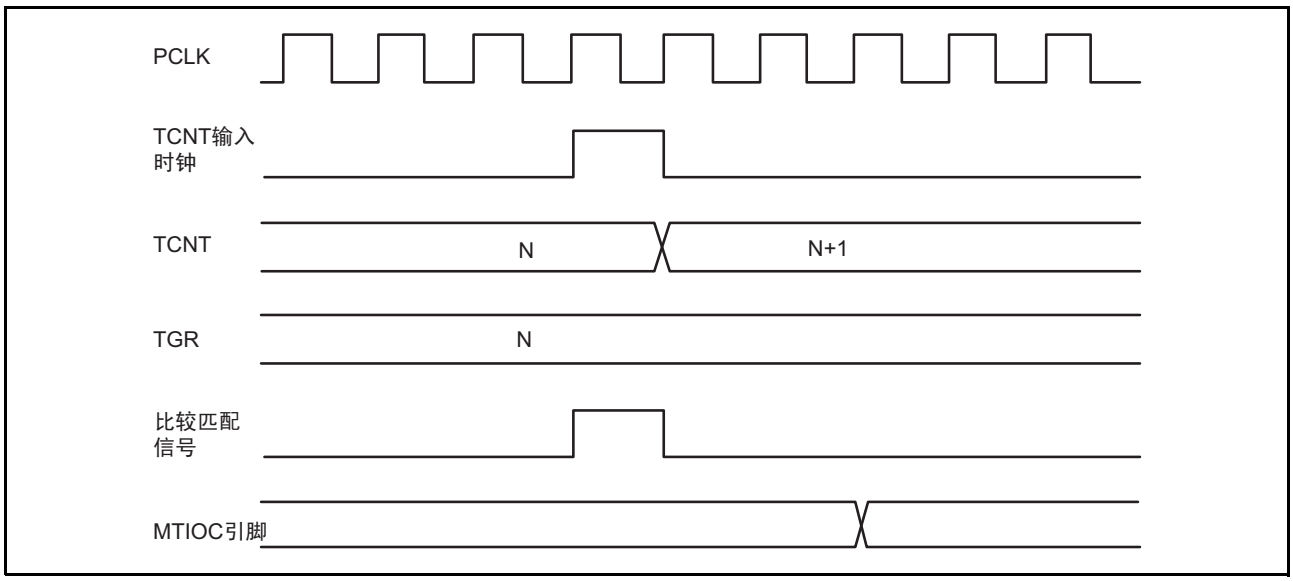


图 21.89 输出比较的输出时序 （互补 PWM 模式、复位同步 PWM 模式）

(3) 输入捕捉信号的时序

输入捕捉的时序如图 21.90 所示。

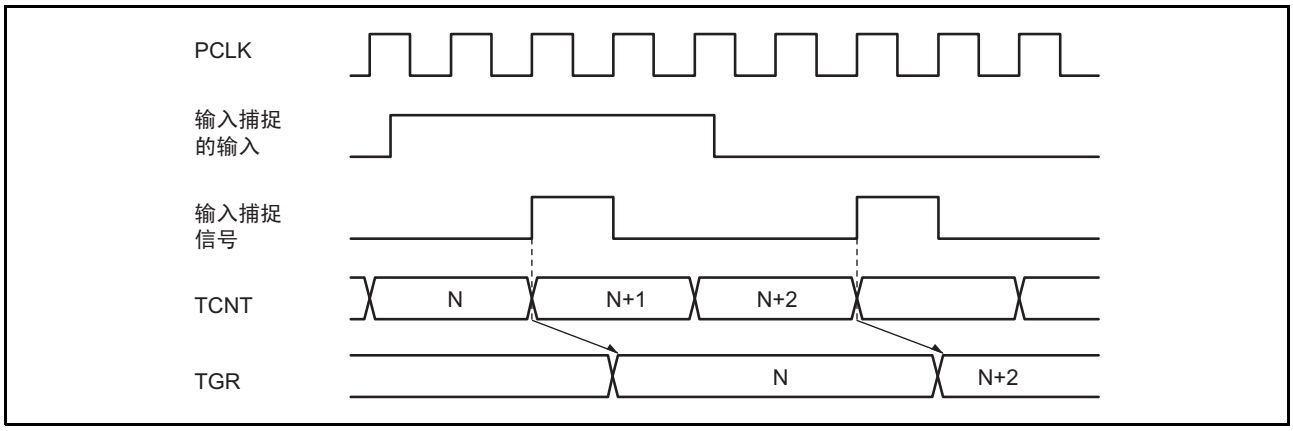


图 21.90 输入捕捉的输入信号时序

(4) 通过比较匹配 / 输入捕捉进行的计数器清除时序

指定通过比较匹配进行计数器清除时的时序如图 21.91 和图 21.92 所示，指定通过输入捕捉进行计数器清除时的时序如图 21.93 所示。

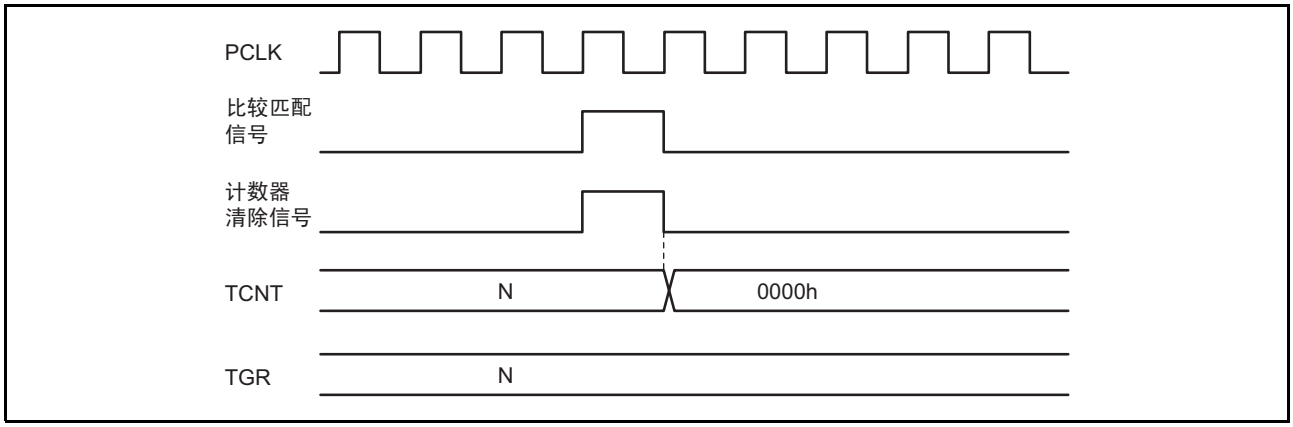


图 21.91 计数器清除的时序 （比较匹配）（MTU0 ～ MTU4）

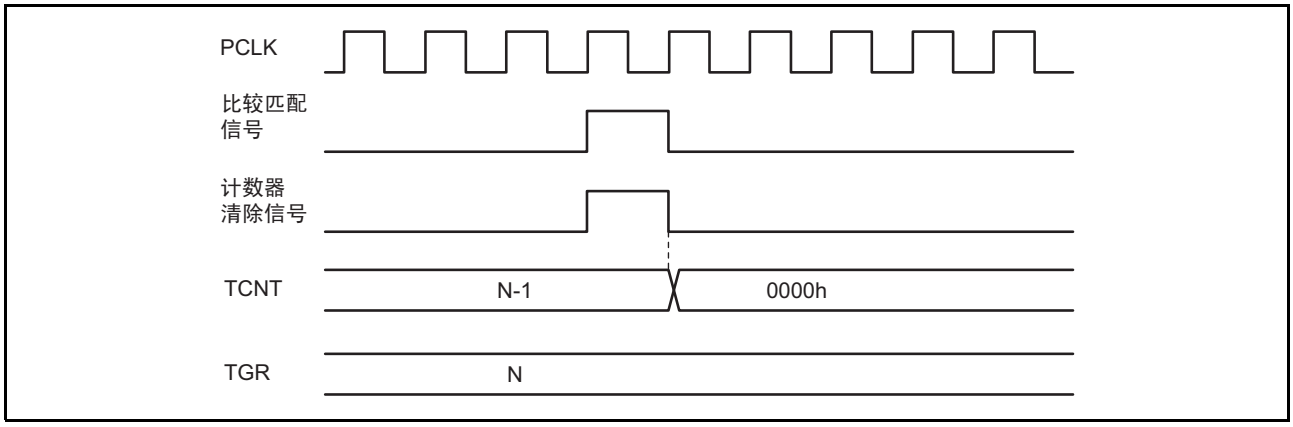


图 21.92 计数器清除的时序 （比较匹配）（MTU5）

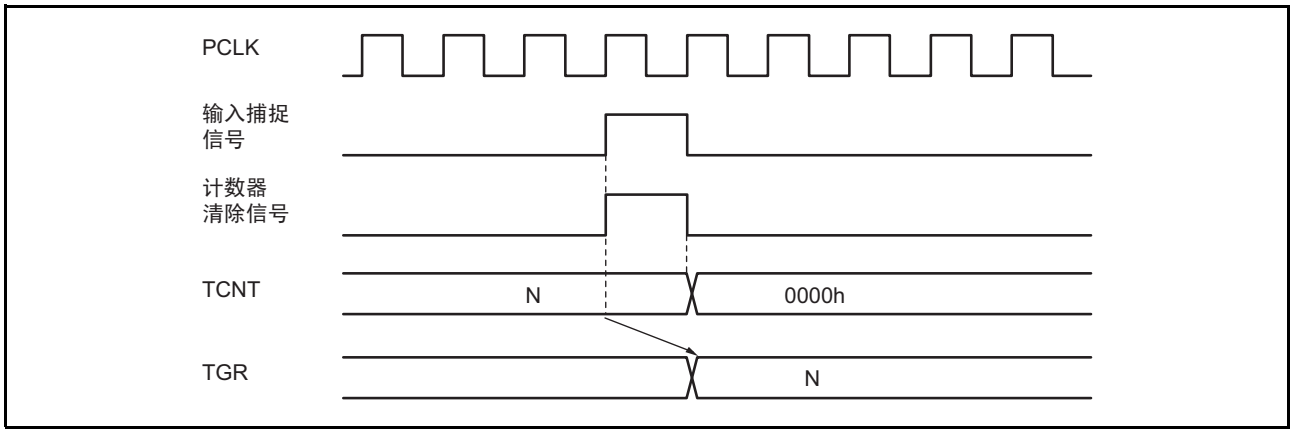


图 21.93 计数器清除的时序 （输入捕捉）（MTU0 ～ MTU5）

(5) 缓冲运行的时序

缓冲运行的时序如图 21.94 ～图 21.96 所示。

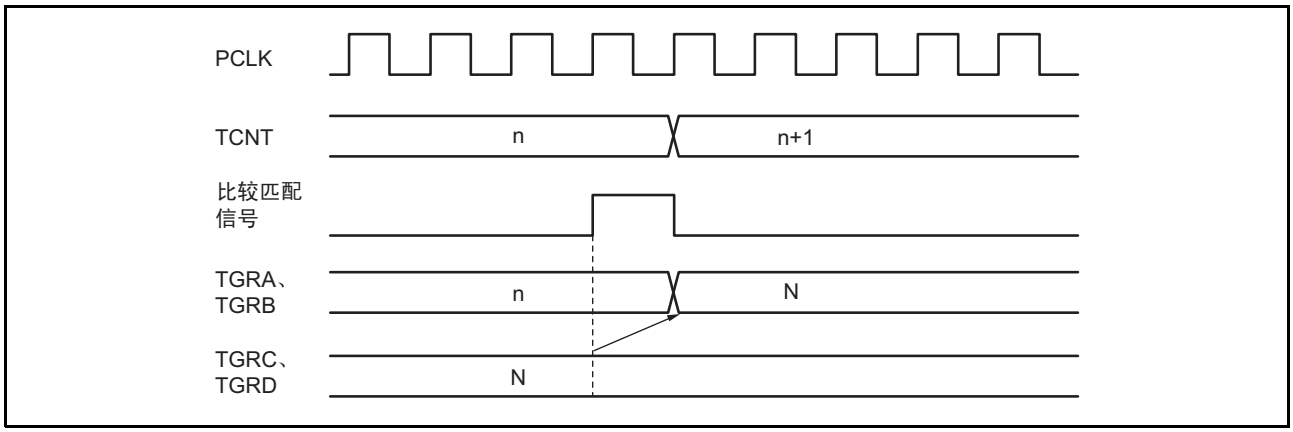


图 21.94 缓冲运行的时序 （比较匹配）

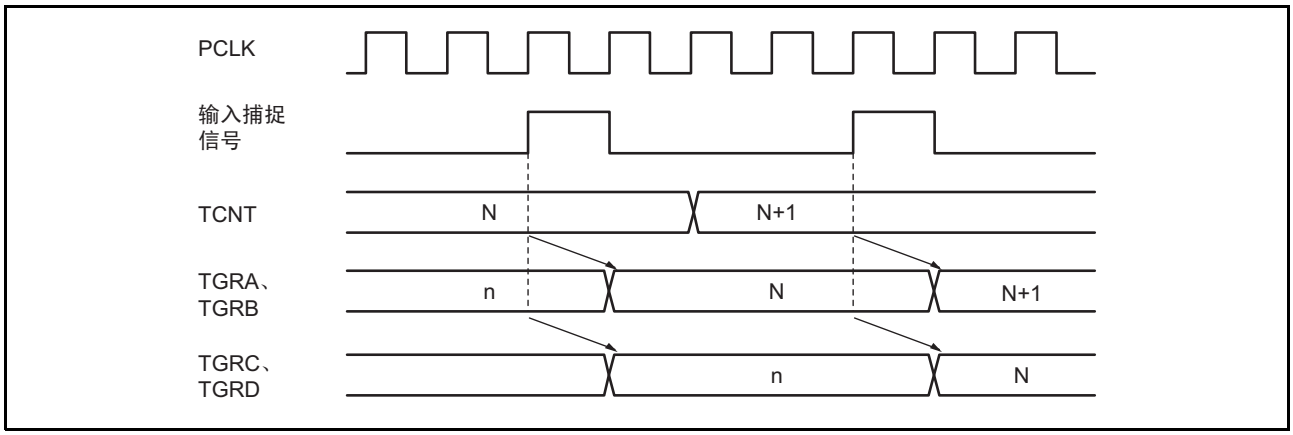


图 21.95 缓冲运行的时序 （输入捕捉）

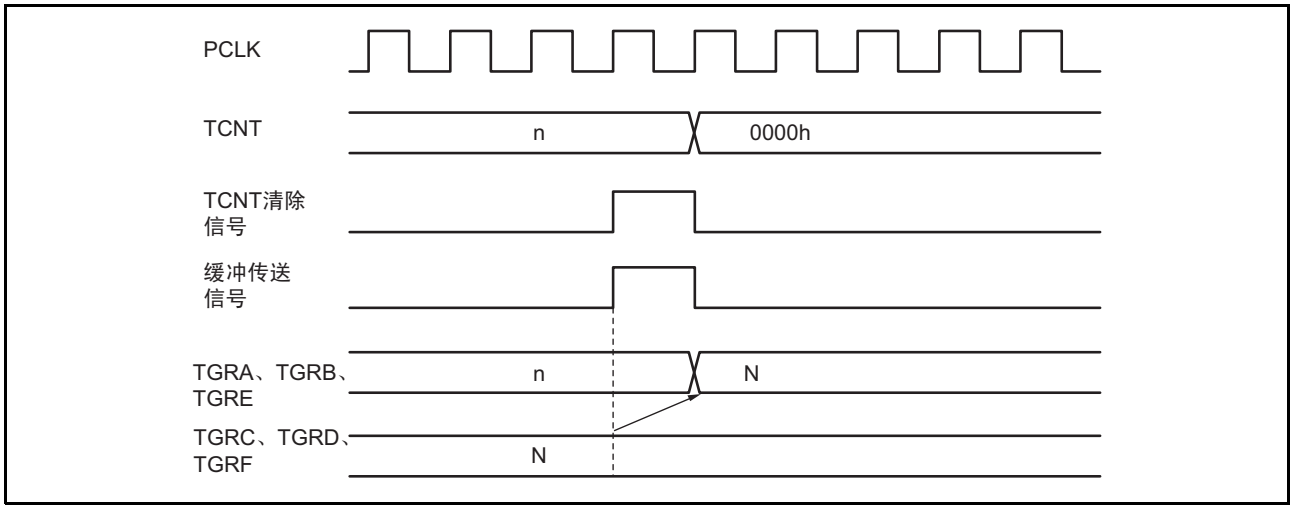


图 21.96 缓冲运行的时序 （清除 TCNT 的情况）

(6) 缓冲传送的时序 （互补 PWM 模式）

互补 PWM 模式的缓冲传送时序如图 21.97 ～图 21.99 所示。

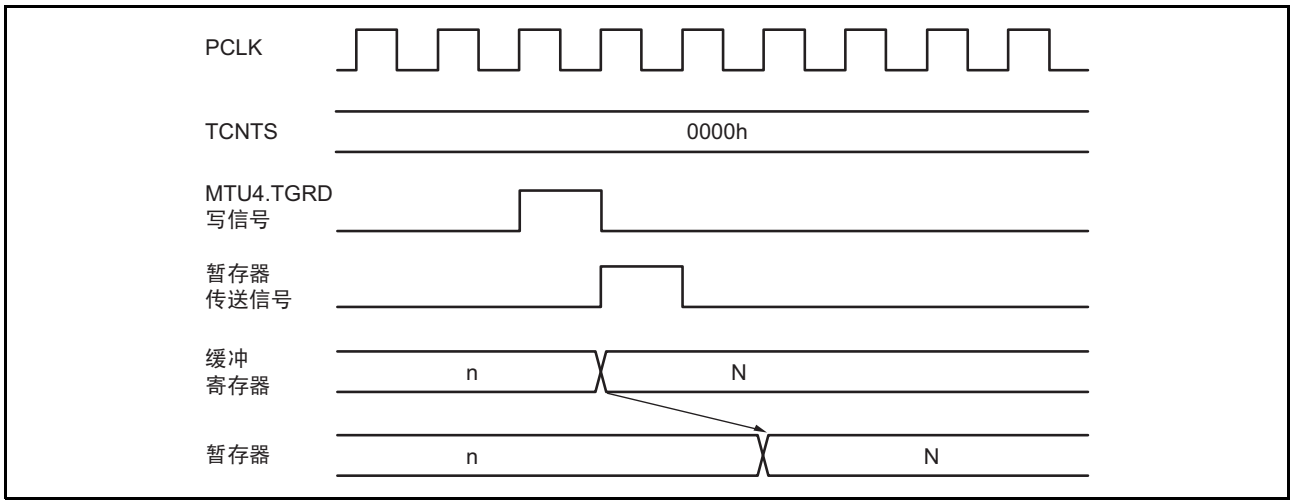


图 21.97 缓冲寄存器到暂存器的传送时序 （TCNTS 停止）

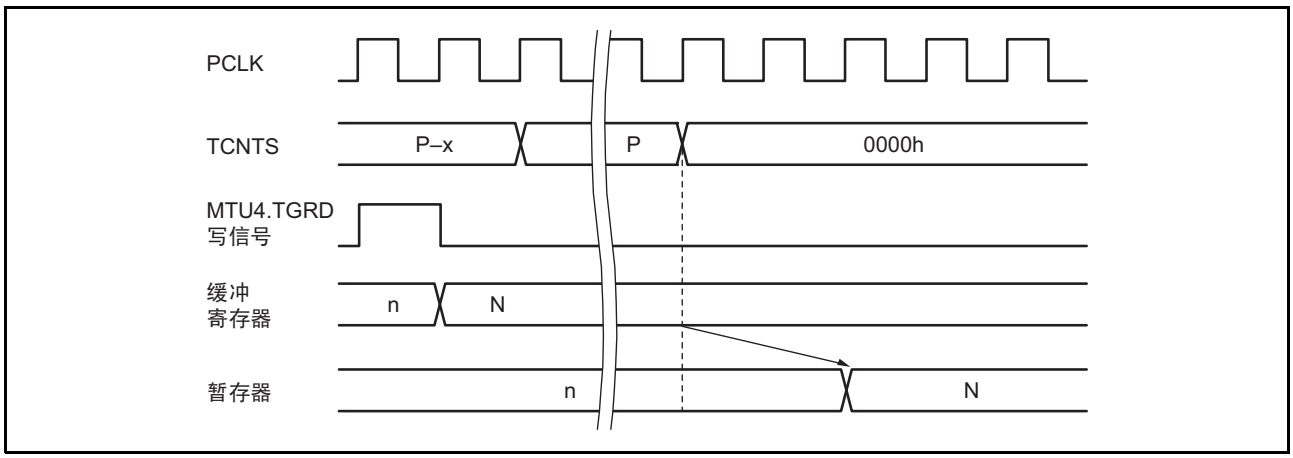


图 21.98 缓冲寄存器到暂存器的传送时序 （TCNTS 正在运行）

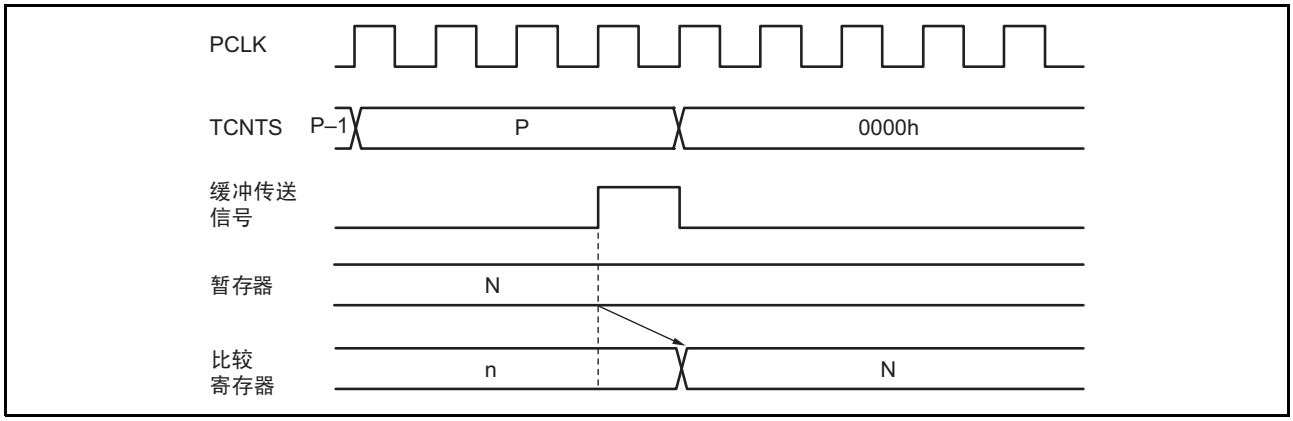


图 21.99 暂存器到比较寄存器的传送时序

21.5.2 中断信号的时序

(1) 比较匹配时的 TGI 中断的置位时序

由比较匹配产生的 TGI 中断请求信号的时序如图 21.100 和图 21.101 所示。

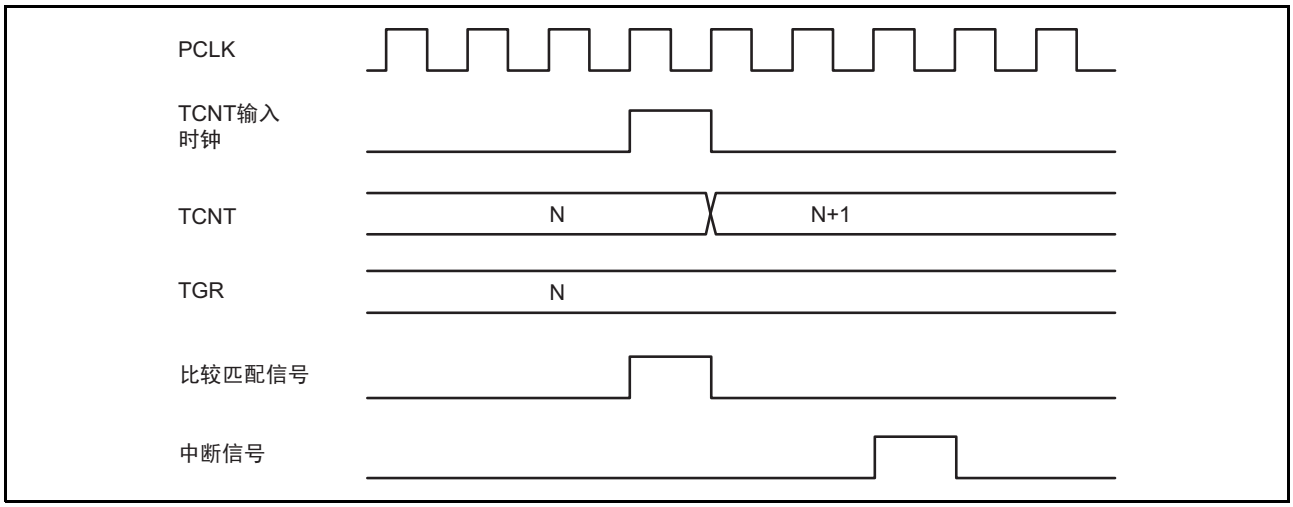


图 21.100 TGI 中断时序 （比较匹配）（MTU0 ～ MTU4）

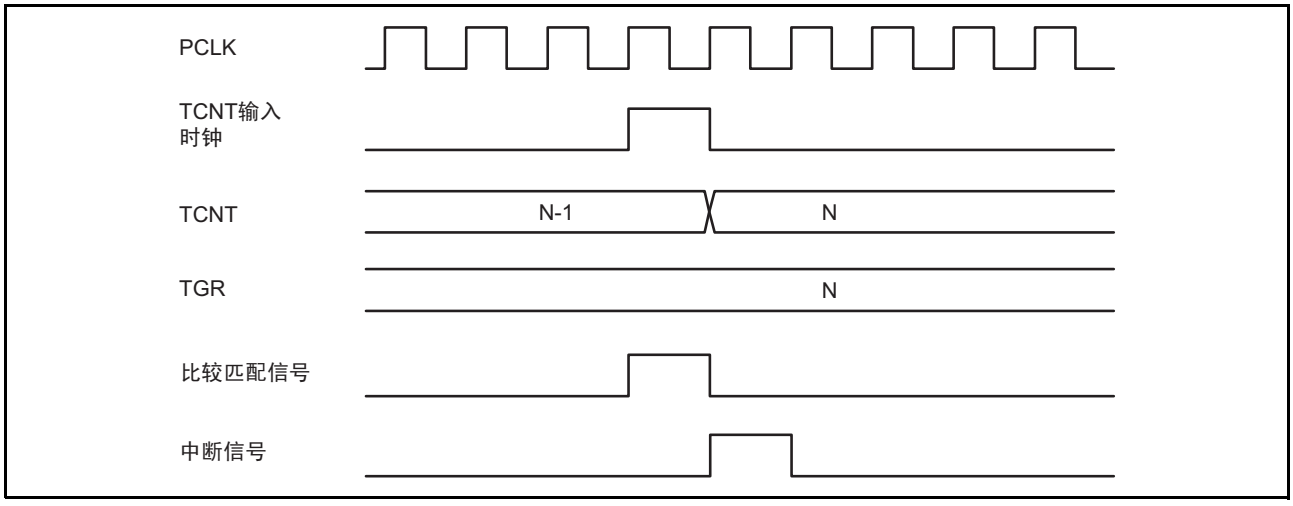


图 21.101 TGI 中断时序 （比较匹配）（MTU5）

(2) 输入捕捉时的 TGI 中断的置位时序

由输入捕捉产生的 TGI 中断请求信号的时序如图 21.102 和图 21.103 所示。

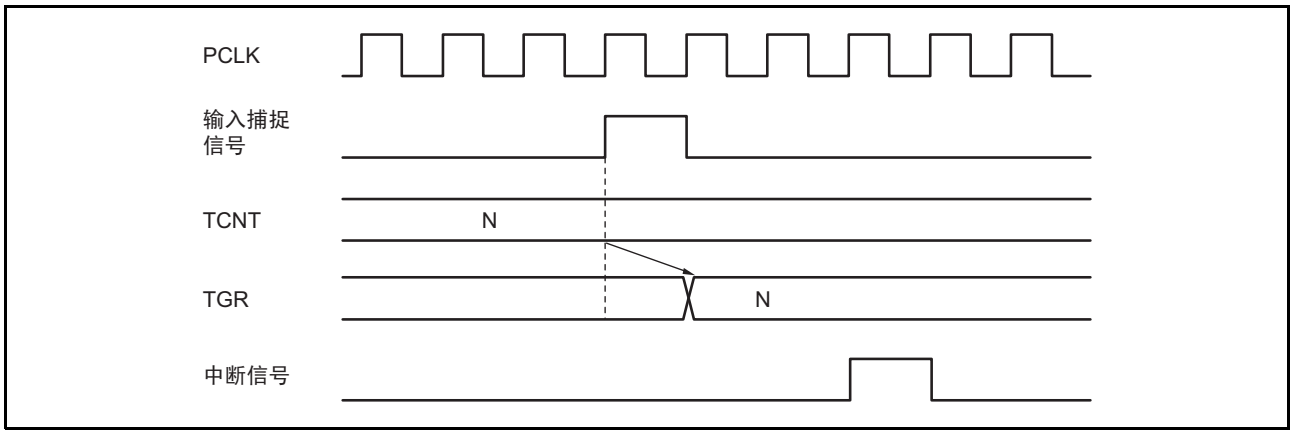


图 21.102 TGI 中断的时序 （输入捕捉）（MTU0 ～ MTU4）

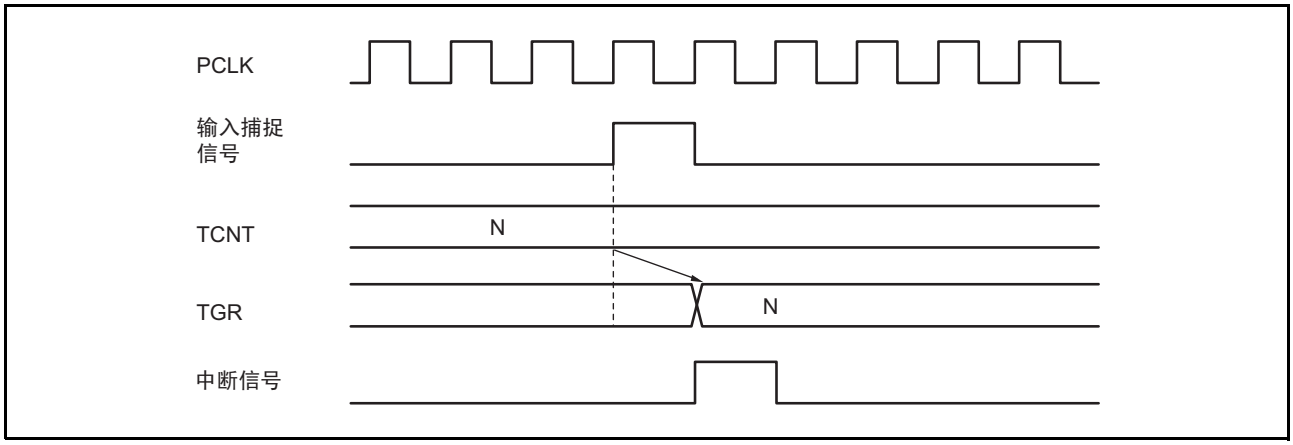


图 21.103 TGI 中断的时序 （输入捕捉）（MTU5）

(3) TCIV/TCIU 中断标志的置位时序

由上溢产生的 TCIV 中断请求信号的时序如图 21.104 所示。
由下溢产生的 TCIU 中断请求信号的时序如图 21.105 所示。

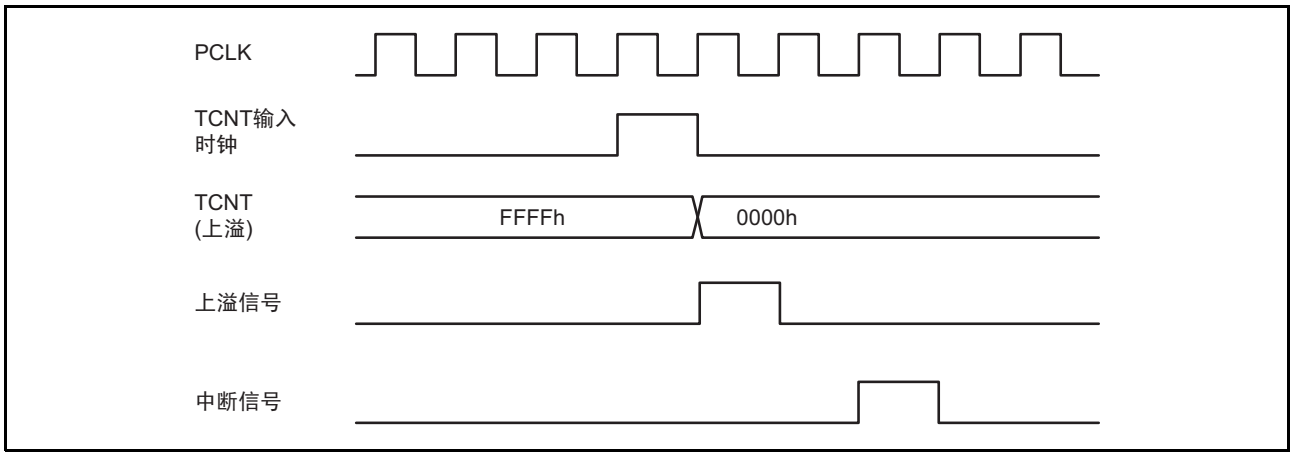


图 21.104 TCIV 中断的置位时序

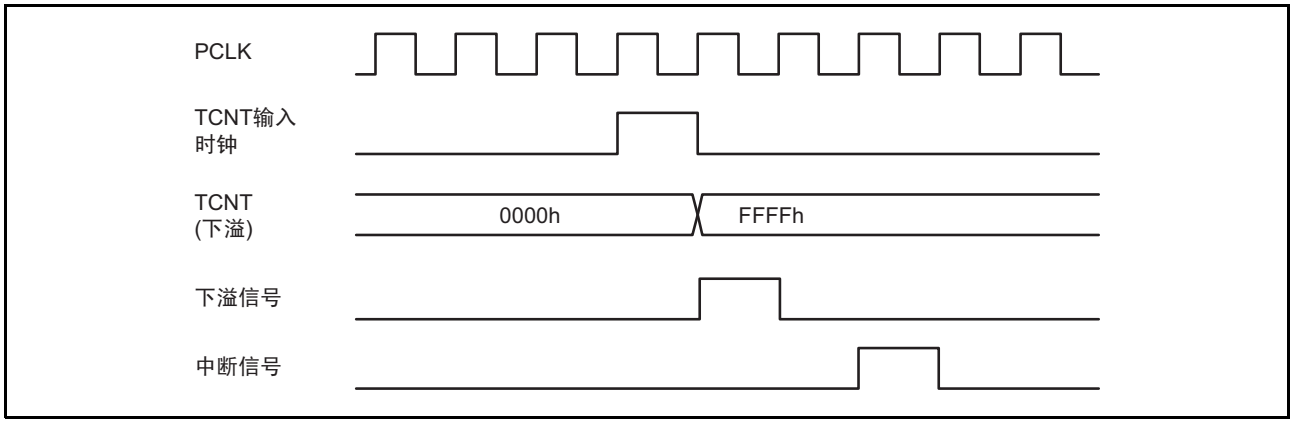


图 21.105 TCIU 中断的置位时序

21.6 使用时的注意事项

21.6.1 模块停止功能的设定

能通过模块停止控制寄存器设定允许或者禁止 MTU 的运行，初始值为停止 MTU 的运行。通过解除模块时钟停止模式，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

21.6.2 输入时钟的制限事项

必须注意：在单边沿的情况下，输入时钟的脉宽至少为 1.5 个状态；在双边沿的情况下，输入时钟的脉宽至少为 2.5 个状态。否则，就不能正常运行。

在相位计数模式中，2 个输入时钟的相位差和重叠都至少为 1.5 个状态，脉宽至少为 2.5 个状态。相位计数模式的输入时钟条件如图 21.106 所示。

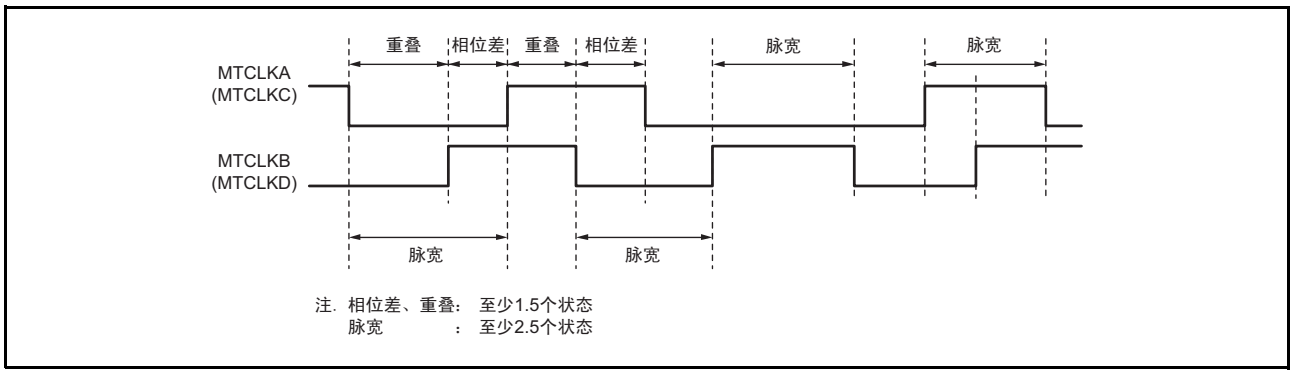


图 21.106 相位计数模式的相位差、重叠和脉宽

21.6.3 设定周期时的注意事项

如果设定为通过比较匹配清除计数器，就在 TCNT 和 TGR 的值相同的最后状态 （在更新 TCNT 相同后的计数值时）清除 TCNT 计数器。因此，实际的计数器频率用以下表达式表示：

- MTU0～4的情况

$$f = \frac{PCLK}{(N+1)}$$

- MTU5的情况

$$f = \frac{PCLK}{N}$$

f ： 计数器的频率
PCLK ： MTU 时钟的工作频率
N ： TGR 的设定值

21.6.4 TCNT 的写和清除的竞争

如果在 TCNT 的写周期中产生计数器清除信号，就不写 TCNT 而优先清除 TCNT。
此时序如图 21.107 所示。

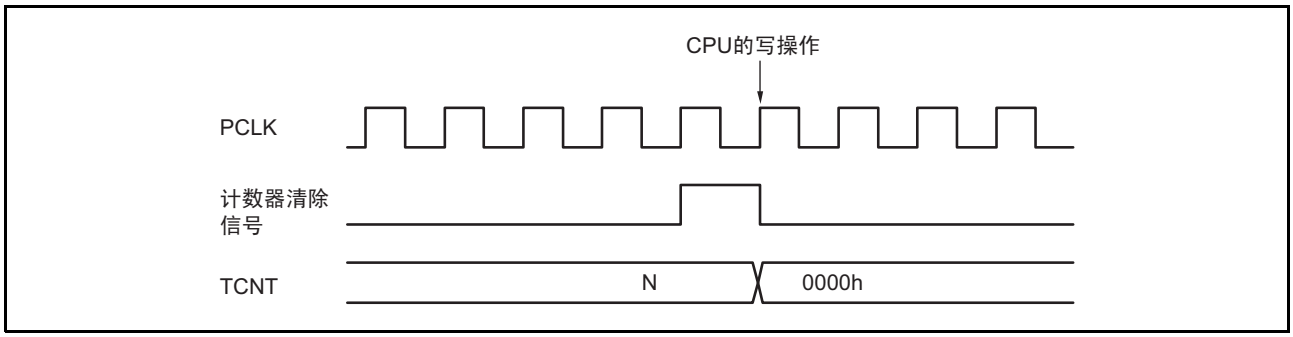


图 21.107 TCNT 的写和清除的竞争

21.6.5 TCNT 的写和递增计数的竞争

即使在 TCNT 的写周期中发生递增计数，也不进行递增计数而优先写 TCNT。
此时序如图 21.108 所示。

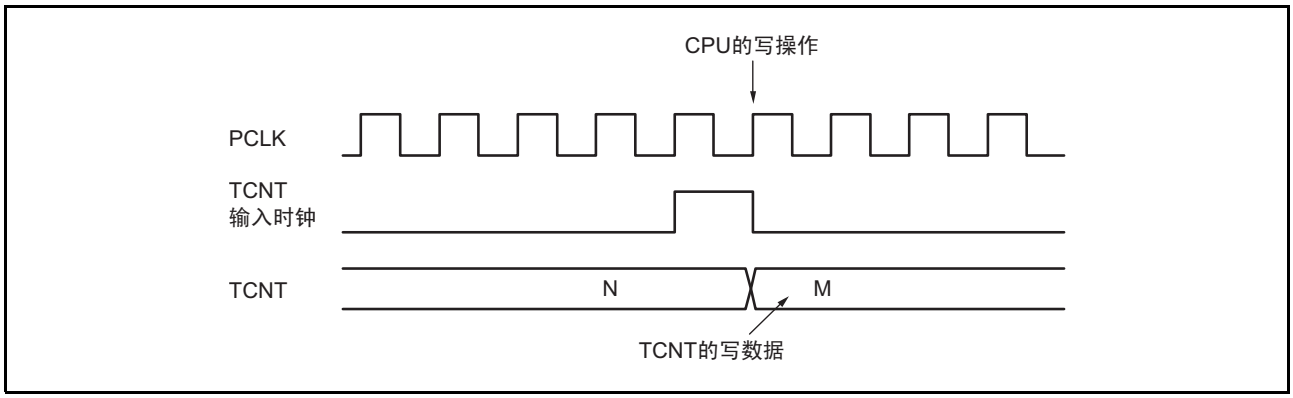


图 21.108 TCNT 的写和递增计数的竞争

21.6.6 TGR 的写和比较匹配的竞争

如果在 TGR 的写周期中发生比较匹配，就写 TGR 并且也产生比较匹配信号。
此时序如图 21.109 所示。

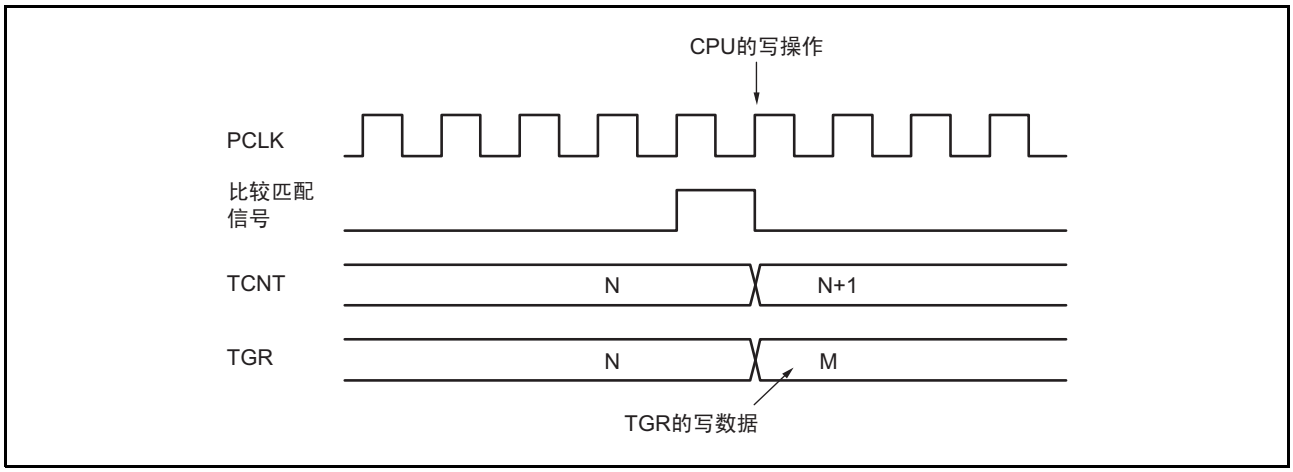


图 21.109 TGR 的写和比较匹配的竞争

21.6.7 缓冲寄存器的写和比较匹配的竞争

如果在 TGR 的写周期中发生比较匹配，通过缓冲运行传送到 TGR 的数据就为写之前的数据。
此时序如图 21.110 所示。

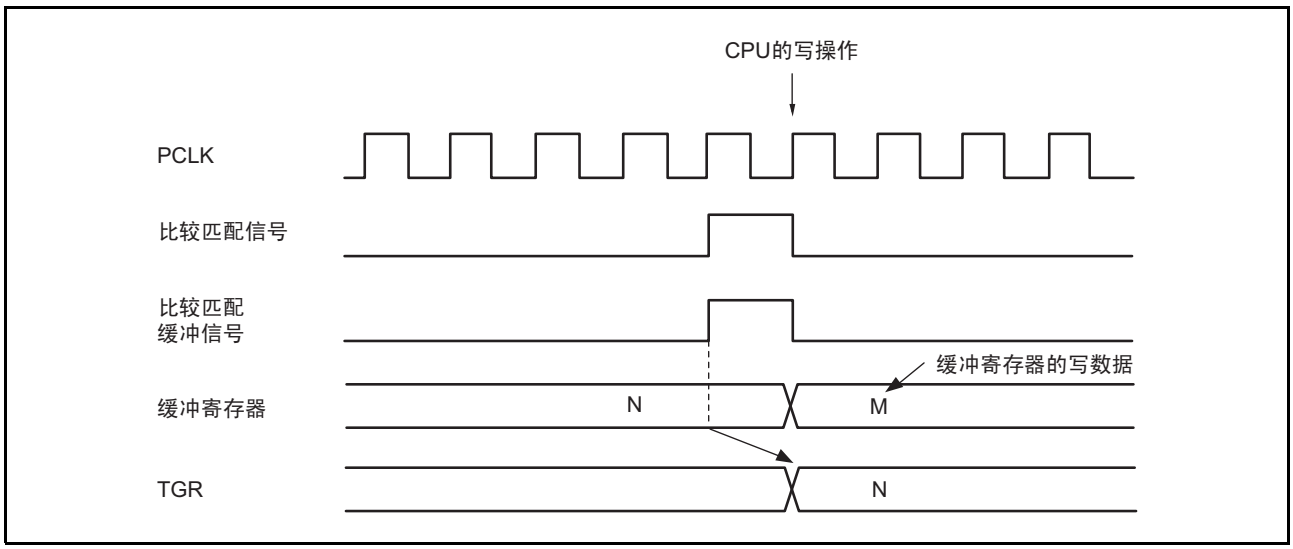


图 21.110 缓冲寄存器的写和比较匹配的竞争

21.6.8 缓冲寄存器的写和 TCNT 清除的竞争

当通过缓冲传送模式寄存器（TBTM）将缓冲传送时序设定为清除 TCNT 时，如果在 TGR 的写周期中产生 TCNT 的清除信号，通过缓冲运行传送到 TGR 的数据就为写之前的数据。

此时序如图 21.111 所示。

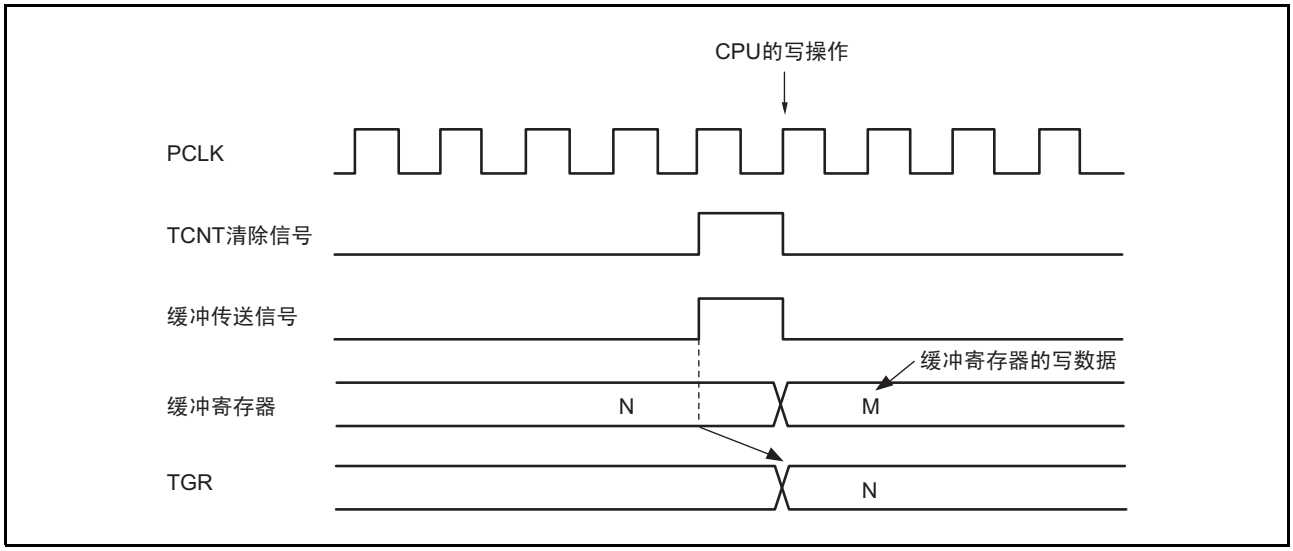


图 21.111 缓冲寄存器的写和 TCNT 清除的竞争

21.6.9 TGR 的读和输入捕捉的竞争

如果在 TGR 的读周期中产生输入捕捉信号，读出的数据就在 MTU0 ～ MTU4 时为输入捕捉传送前的数据而在 MTU5 时为输入捕捉传送后的数据。

此时序如图 21.112 和图 21.113 所示。

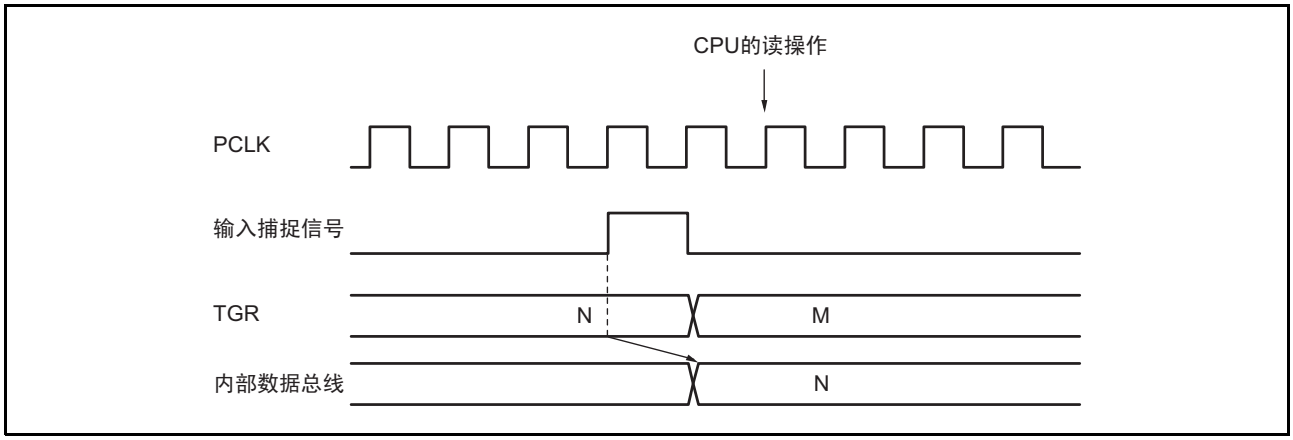


图 21.112 TGR 的读和输入捕捉的竞争 （MTU0 ～ MTU4）

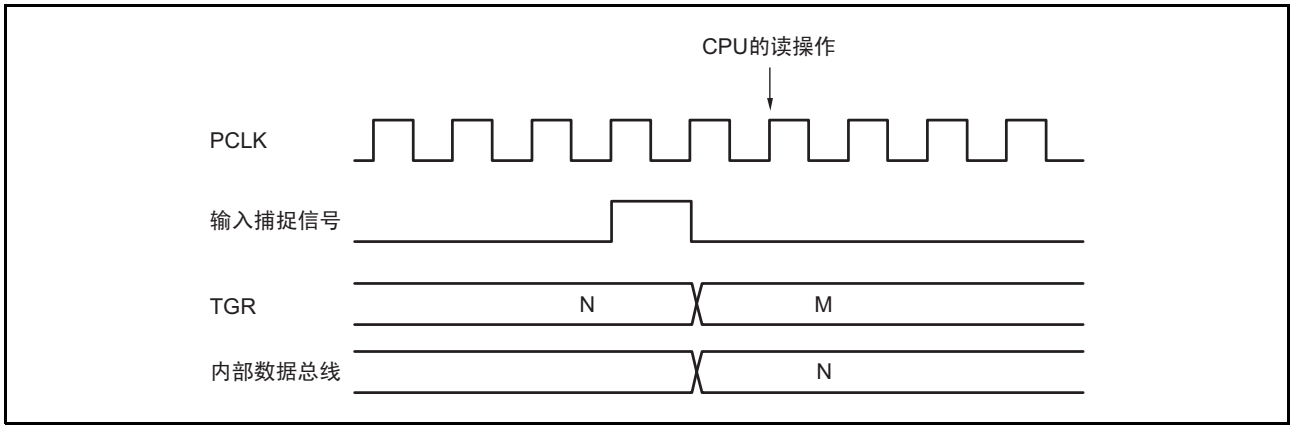


图 21.113 TGR 的读和输入捕捉的竞争 （MTU5）

21.6.10 TGR 的写和输入捕捉的竞争

如果在TGR的写周期中产生输入捕捉信号，就在MTU0～MTU4时不写TGR而优先输入捕捉，但是在MTU5时写 TGR 并且也产生输入捕捉信号。

此时序如图 21.114 和图 21.115 所示。

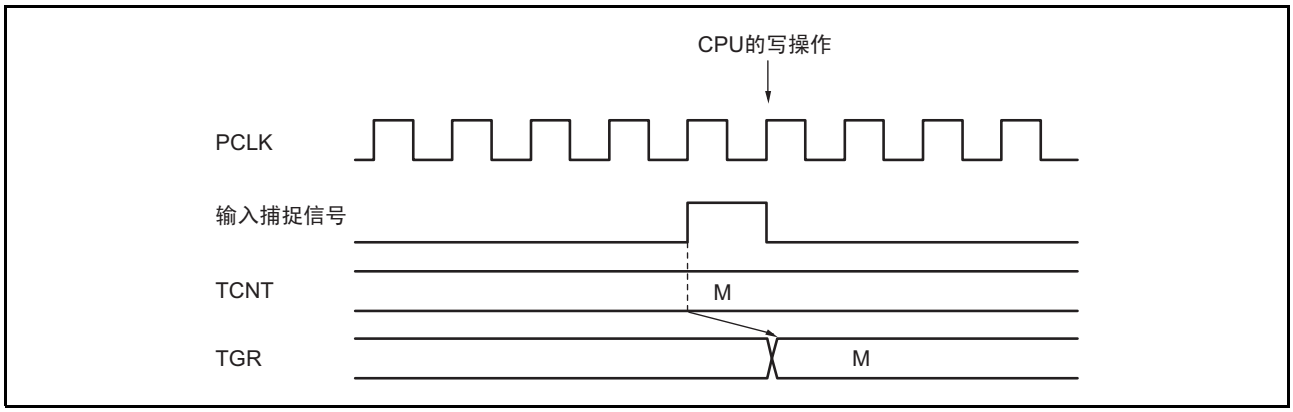


图 21.114 TGR 的写和输入捕捉的竞争 （MTU0～MTU4）

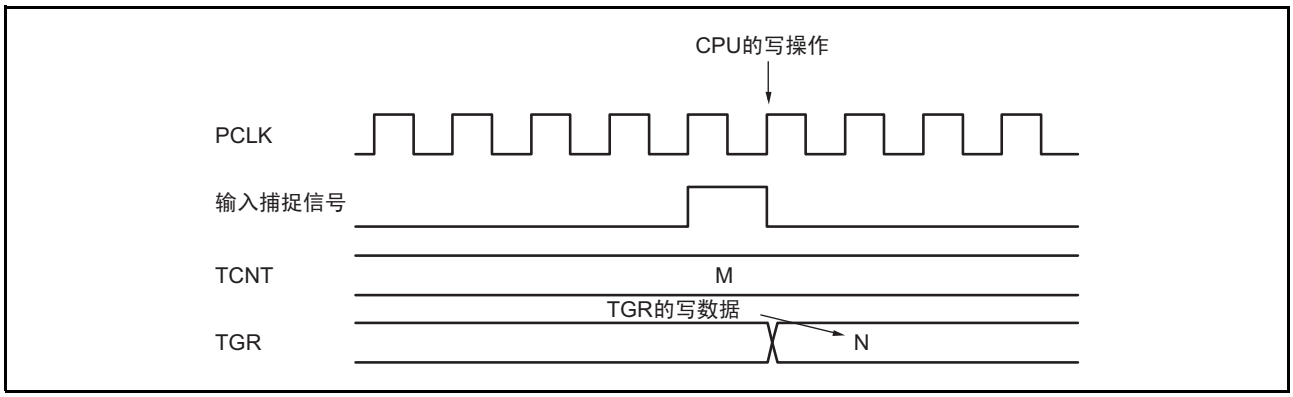


图 21.115 TGR 的写和输入捕捉的竞争 （MTU5）

21.6.11 缓冲寄存器的写和输入捕捉的竞争

如果在缓冲器写周期中产生输入捕捉信号，就不写缓冲寄存器而优先缓冲运行。
此时序如图 21.116 所示。

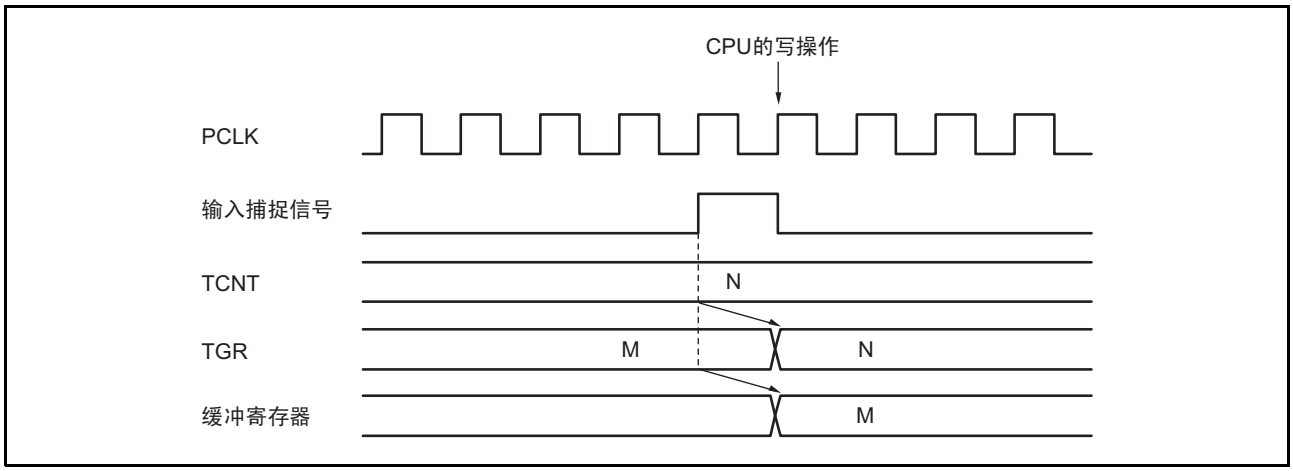


图 21.116 缓冲寄存器的写和输入捕捉的竞争

21.6.12 级联中的 MTU2.TCNT 的写和上溢 / 下溢的竞争

如果级联定时器的计数器（MTU1.TCNT 和 MTU2.TCNT）并且在 MTU1.TCNT 计数的瞬间（MTU2.TCNT 上溢 / 下溢的瞬间）和 MTU2.TCNT 的写周期发生竞争，就写 MTU2.TCNT 而禁止 MTU1.TCNT 的计数信号。此时， MTU1.TGRA 作为比较匹配寄存器运行，如果和 MTU1.TCNT 的值相同，就产生比较匹配信号。

如果选择 MTU1.TCNT 计数时钟作为 MTU0 的输入捕捉源，MTU0.TGRA ～ TGRD 就进行输入捕捉运行。如果选择 MTU0.TGRC 的比较匹配 / 输入捕捉作为 MTU1.TGRB 的输入捕捉源， MTU1.TGRB 就进行输入捕捉运行。

此时序如图 21.117 所示。

如果在级联运行时设定清除 TCNT，就必须进行 MTU1 和 MTU2 的同步设定。

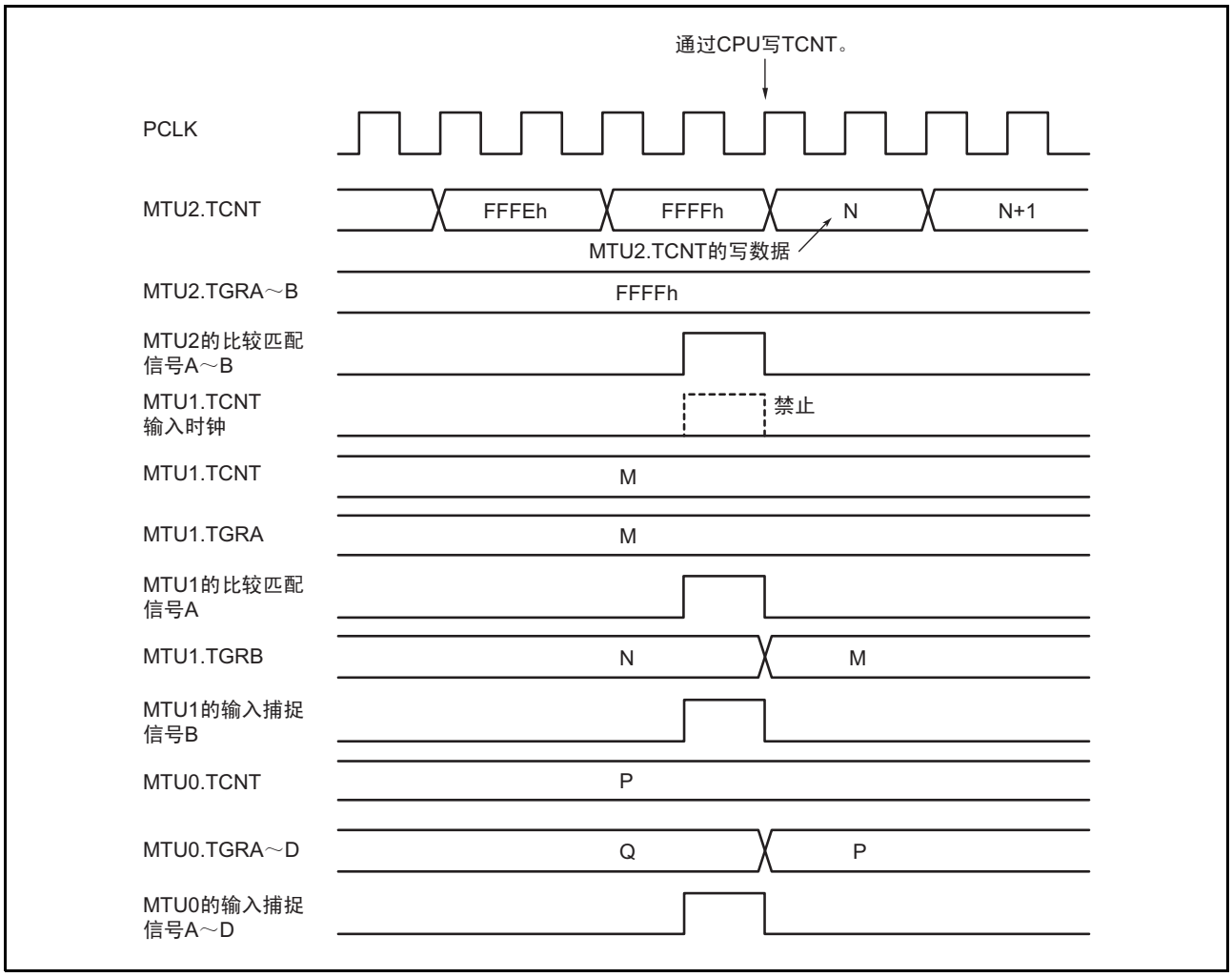


图 21.117 级联中的 MTU2.TCNT 的写和上溢 / 下溢的竞争

21.6.13 互补 PWM 模式停止时的计数器值

如果 MTU3.TCNT 和 MTU4.TCNT 在互补 PWM 运行时停止计数运行， MTU3.TCNT 就变为定时器的死区时间寄存器 （TDDR）的值， MTU4.TCNT 变为 “0000h”。

一旦重新开始互补 PWM 运行，计数器就自动从初始状态开始计数。

此说明图如图 21.118 所示。

如果要在其他运行模式中开始计数，就必须给 MTU3.TCNT 和 MTU4.TCNT 设定计数初始值。

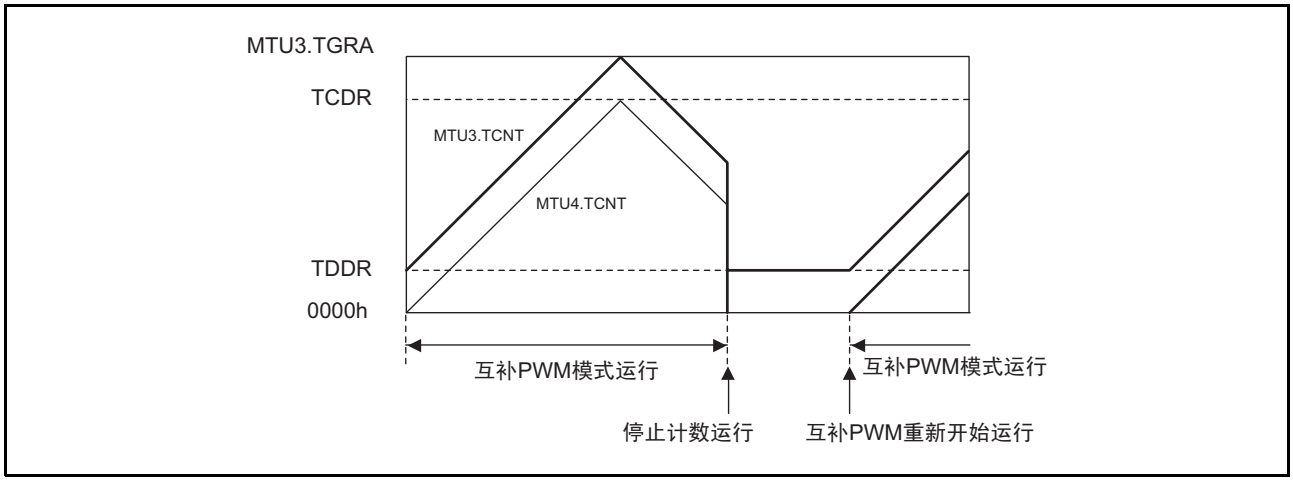


图 21.118 互补 PWM 模式停止时的计数器值 （MTU3、 MTU4 运行）

21.6.14 互补 PWM 模式中的缓冲运行的设定

在互补 PWM 模式中，必须通过缓冲运行改写 PWM 周期设定寄存器（MTU3.TGRA）、定时器的周期数据寄存器（TCDR）和占空比设定寄存器（MTU3.TGRB、MTU4.TGRA、MTU4.TGRB），并且将 MTU4.TMDR.BFA 位和 MTU4.TMDR.BFB 位置 “0”。如果将 MTU4.TMDR.BFA 位置 “1”，就无法进行 MTIOC4C 引脚的波形输出。同样，如果将 MTU4.TMDR.BFB 位置 “1”，就无法进行 MTIOC4D 引脚的波形输出。

按照 MTU3.TMDR 寄存器的 BFA 位和 BFB 位的设定，进行互补 PWM 模式的 MTU3 和 MTU4 的缓冲运行。如果将 MTU3.TMDR 寄存器的 BFA 位置 “1”，就在 MTU3.TGRC 用作 MTU3.TGRA 的缓冲寄存器的同时， MTU4. TGRC 用作 MTU4.TGRA 的缓冲寄存器，并且 TCBR 用作 TCDR 的缓冲寄存器。

21.6.15 复位同步 PWM 模式的缓冲运行和比较匹配标志

要设定为在复位同步 PWM 模式中进行缓冲运行时，必须将 MTU4.TMDR 的 BFA 位和 BFB 位置“0”。如果将 MTU4.TMDR 的 BFA 位置 “1”，就不能进行 MTIOC4C 引脚的波形输出。同样，如果将 MTU4.TMDR 的 BFB 位置 “1”，就不能进行 MTIOC4D 引脚的波形输出。

按照 MTU3.TMDR 的 BFA 位和 BFB 位的设定，进行复位同步 PWM 模式的 MTU3 和 MTU4 的缓冲运行。例如，如果将 MTU3.TMDR 的 BFA 位置 “1”，就在 MTU3.TGRC 用作 MTU3.TGRA 的缓冲寄存器的同时，MTU4.TGRC 用作 MTU4.TGRA 的缓冲寄存器。

当 MTU3.TGRC 和 MTU3.TGRD 用作缓冲寄存器时，不产生对应的 TGIC 和 TGID 的中断请求。

将 MTU3.TMDR 的 BFA 位和 BFB 位置“1”并且将 MTU4.TMDR 的 BFA 位和 BFB 位置“0”时的 MTU3. TGR、 MTU4.TGR、 MTIOC3m、 MTIOC4m 的运行例子如图 21.119 所示。

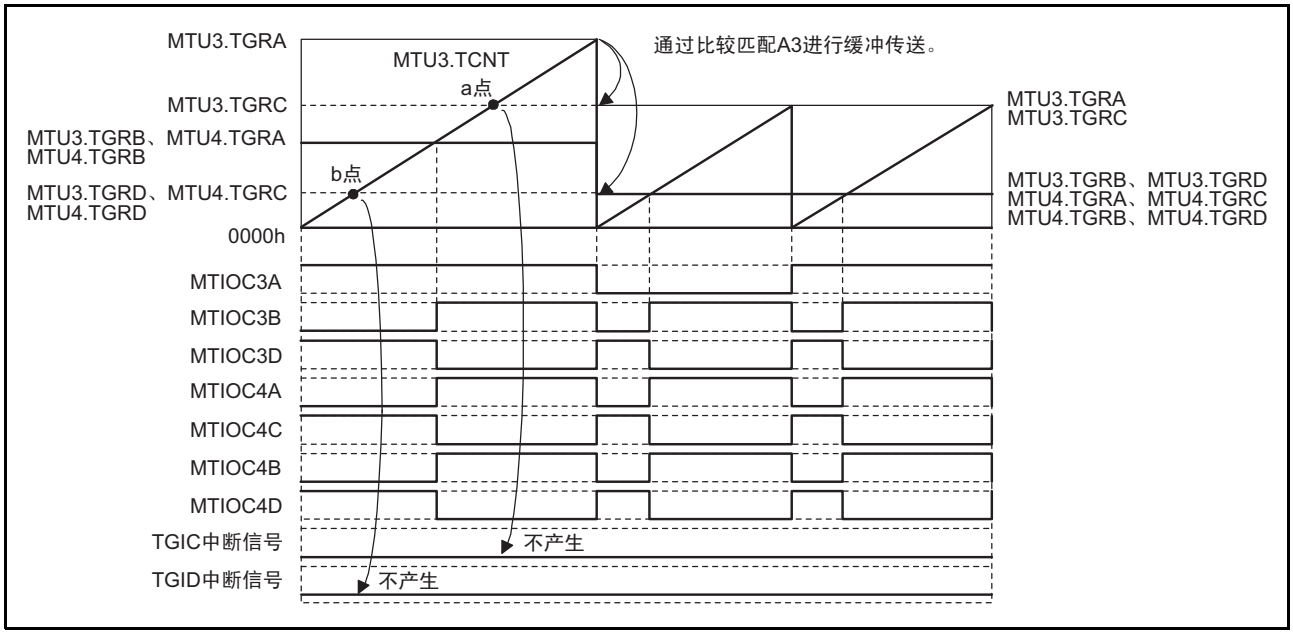


图 21.119 复位同步 PWM 模式的缓冲运行和比较匹配标志

21.6.16 复位同步 PWM 模式的上溢标志

如果设定复位同步 PWM 模式并且将 TSTR 寄存器的 CST3 位置“1”，就开始 MTU3.TCNT 和 MTU4.TCNT 的计数运行。此时， MTU4.TCNT 的计数时钟源和计数边沿服从 MTU3.TCR 的设定。

在复位同步 PWM 模式中，当周期寄存器 MTU3.TGRA 的设定值为 “FFFFh”并且指定 MTU3.TGRA 的比较匹配为计数器清除源时，如果 MTU3.TCNT 和 MTU4.TCNT 递增计数到 “FFFFh”，就产生和 MTU3.TGRA 的比较匹配，并且清除 MTU3.TCNT 和 MTU4.TCNT 的计数。此时，不产生对应的 TCIV 中断请求。

在复位同步 PWM 模式中，当周期寄存器 MTU3.TGRA 的设定值为 “FFFFh”并且指定 MTU3.TGRA 的比较匹配为计数器清除源而不进行同步设定时的运行例子如图 21.120 所示。

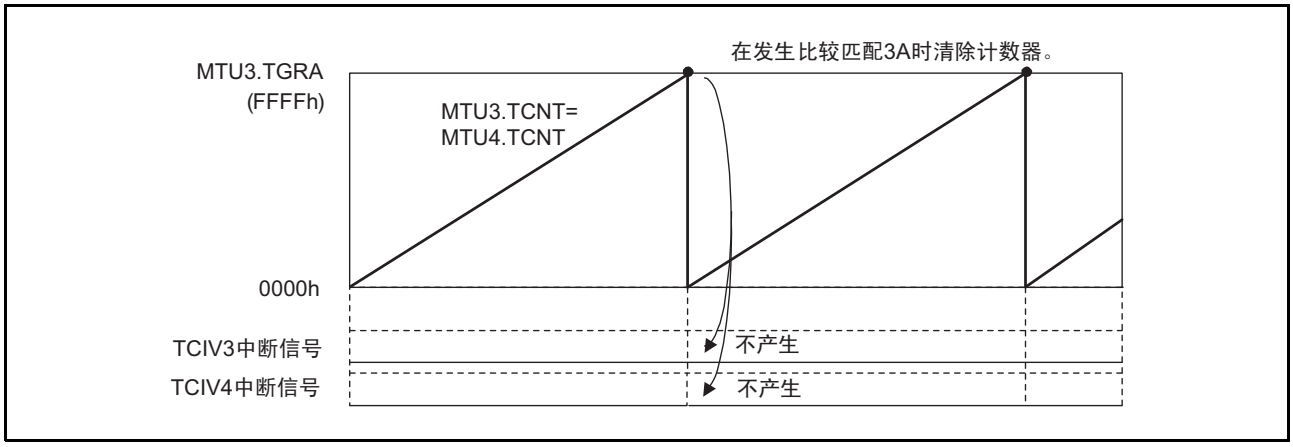


图 21.120 复位同步 PWM 模式的上溢标志

21.6.17 上溢 / 下溢和计数器清除的竞争

如果同时发生上溢 / 下溢和计数器清除，就优先清除 TCNT 而不产生对应的 TCIV 中断。

将 TGR 的比较匹配作为清除源并且给 TGR 设定 “FFFFh”时的运行时序如图 21.121 所示。

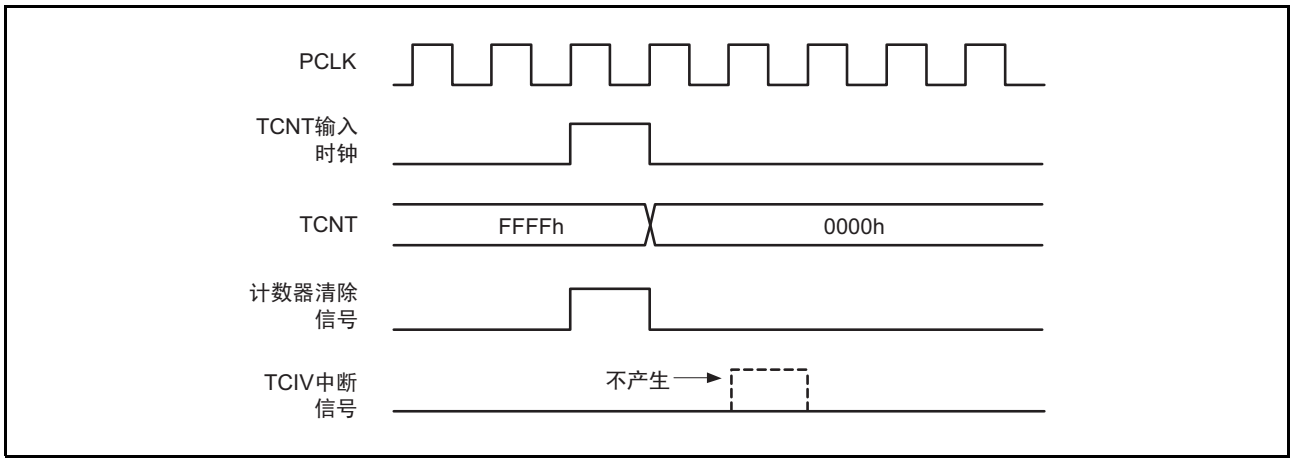


图 21.121 上溢和计数器清除的竞争

21.6.18 TCNT 的写和上溢 / 下溢的竞争

即使在 TCNT 的写周期中发生递增计数 / 递减计数和上溢 / 下溢，也优先写 TCNT 而不产生对应的中断。

TCNT 的写和上溢竞争时的运行时序如图 21.122 所示。

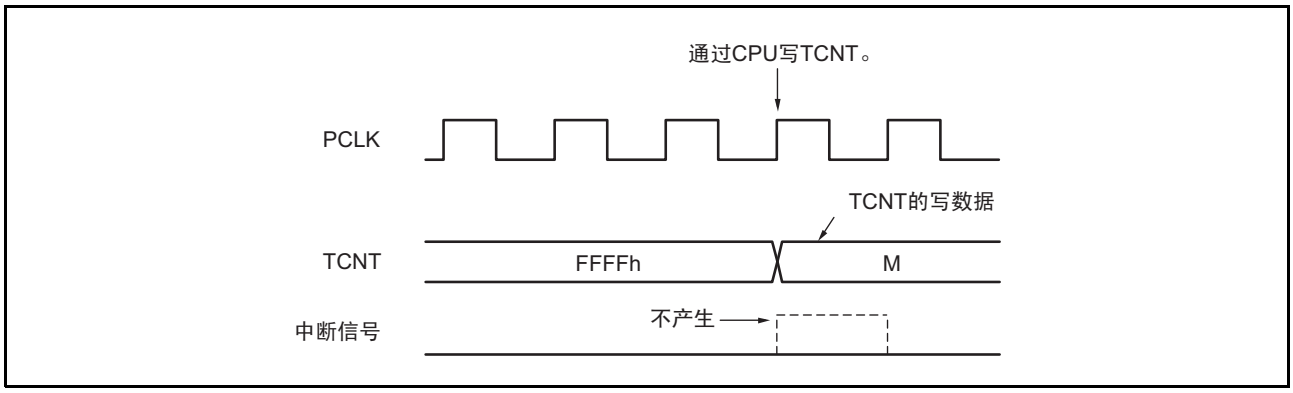


图 21.122 TCNT 的写和上溢的竞争

21.6.19 从正常运行或者 PWM 模式 1 转移到复位同步 PWM 模式时的注意事项

必须注意：要从 MTU3 和 MTU4 的正常运行或者 PWM 模式 1 转移到复位同步 PWM 模式时，如果在将输出引脚（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D）置为 High 电平的状态下停止计数器并且在转移到复位同步 PWM 模式后进行运行，就不能正确地进行引脚的初始输出。

在从正常运行转移到复位同步 PWM 模式时，必须在给 MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL 寄存器写 “11h”并且将输出引脚初始化为 Low 电平后设定寄存器的初始值 “00h”，然后进行模式转移。

在从 PWM 模式 1 转移到复位同步 PWM 模式时，必须暂且转移到正常运行，在将输出引脚初始化为 Low 电平后设定寄存器的初始值 “00h”，然后转移到复位同步 PWM 模式。

21.6.20 互补 PWM 模式和复位同步 PWM 模式的输出电平

当MTU3和MTU4为互补PWM模式或者复位同步PWM模式时，通过定时器的输出控制寄存器1（TOCR1）的 OLSP 位和 OLSN 位设定 PWM 波形的输出电平。在互补 PWM 模式或者复位同步 PWM 模式中，必须将 TIOR 寄存器置 “00h”。

21.6.21 模块停止状态时的中断

如果在请求中断的状态下变为模块停止状态，就不能清除 CPU 的中断源或者 DMAC/DTC 的启动源。

必须事先将中断置为无效，然后设定为模块停止状态。

21.6.22 级联中的 MTU1.TCNT 和 MTU2.TCNT 的同时输入捕捉

在将定时器的计数器 1 和计数器 2（MTU1.TCNT/MTU2.TCNT）级联用作 32 位计数器时，即使 MTIOC1A 和MTIOC2A或者MTIOC1B和MTIOC2B同时进行输入捕捉的输入，也会与内部时钟同步将输入到MTU1.TCNT 和MTU2.TCNT的外部输入捕捉信号取到内部，此时可能因MTIOC1A和MTIOC2A或者MTIOC1B和MTIOC2B 的取时序产生偏差而不能正确地捕捉级联计数器的值。

例如， MTU1.TCNT （高 16 位的计数器）应该捕捉由 MTU2.TCNT （低 16 位的计数器）的上溢产生的递增计数值，却会捕捉递增计数前的计数值。此时，应该将 MTU1.TCNT 为“FFF1h”以及 MTU2.TCNT 为“0000h”的值传送到 MTU1.TGRA 和 MTU2.TGRA 或者 MTU1.TGRB 和 MTU2.TGRB，却会误传送 MTU1.TCNT 为“FFF0h”以及 MTU2.TCNT 为 “0000h”的值。

在 MTU 中，能通过 1 个输入捕捉的输入，追加可同时捕捉 MTU1.TCNT 和 MTU2.TCNT 的功能。如果使用此功能，就不会产生 MTU1.TCNT 和 MTU2.TCNT 的捕捉时序偏差而能取到 32 位计数器的值。详细内容请参照 “21.2.8 定时器的输入捕捉控制寄存器 （TICCR）”。

21.6.23 未使用互补 PWM 模式的输出保护功能时的注意事项

互补 PWM 模式的输出保护功能在初始状态下有效。如果不使用此功能，就必须给 POE.POECR2 寄存器写“00h”。

21.6.24 同步清除互补 PWM 模式时的异常动作的防止

在互补 PWM 模式中，如果在同步计数器清除时输出波形控制有效 （TWCR.WRE 位 =1）的状态下满足条件 1 或者条件 2，就会出现以下现象：

- PWM输出引脚的死区时间变短 （或者消失）。
- 在非有效电平输出期间，从PWM反相输出引脚输出有效电平。

条件 1：在初始输出的抑止期间⑩，当 PWM 输出在死区时间的期间中进行同步清除时 （参照图 21.123）

条件 2：在初始输出的抑止期间⑩和 ⑪，当在满足 MTU3.TGRB ≤ TDDR、 MTU4.TGRA ≤ TDDR 或者 MTU4.TGRB ≤ TDDR 的状态下进行同步清除时 （参照图 21.124）

能通过以下方法回避这种现象：

- 在将比较寄存器 MTU3.TGRB、 MTU4.TGRA 和 MTU4.TGRB 全部设定为不小于死区时间数据寄存器（TDDR）的2倍的状态下进行同步清除。

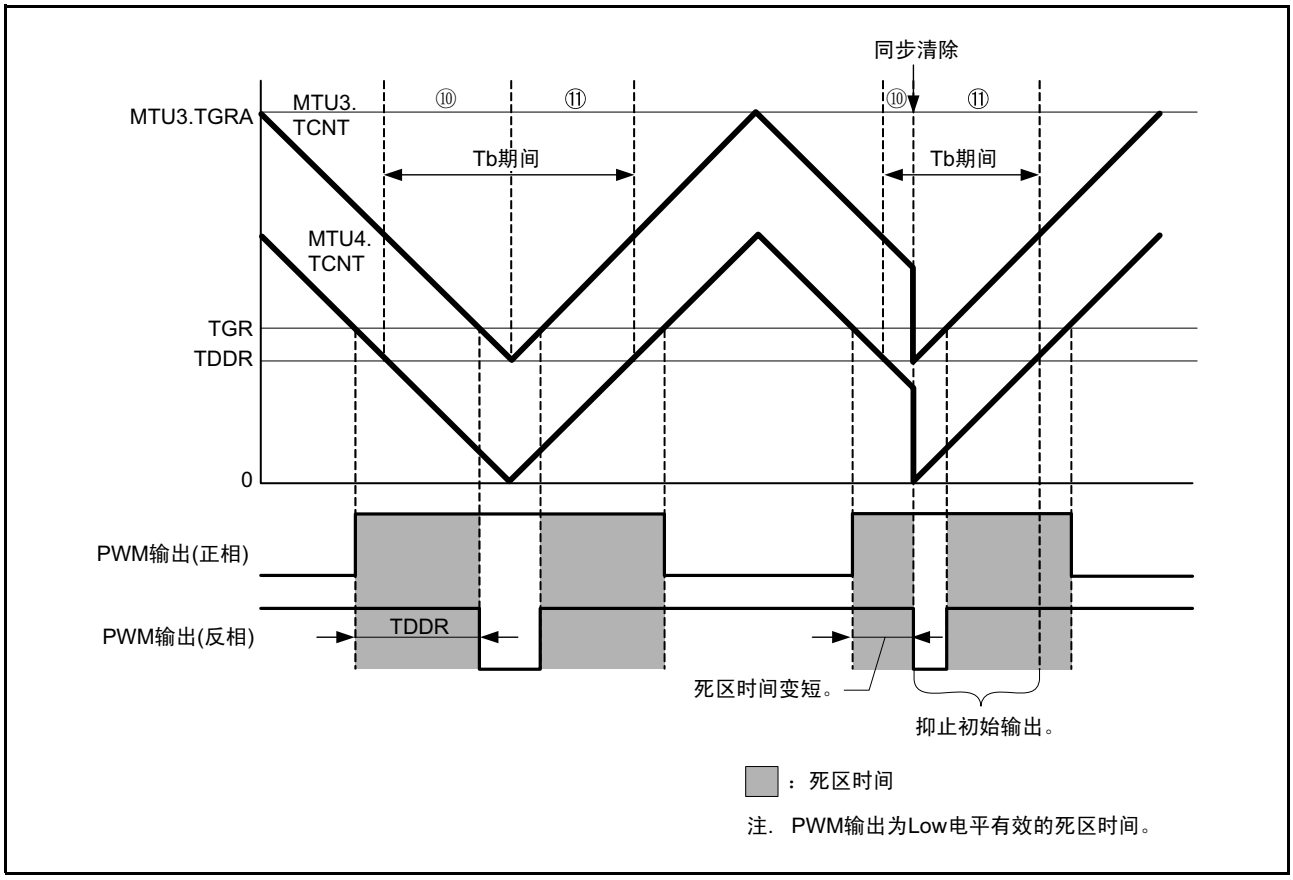


图 21.123 同步清除的例子 （条件 1 的情况）

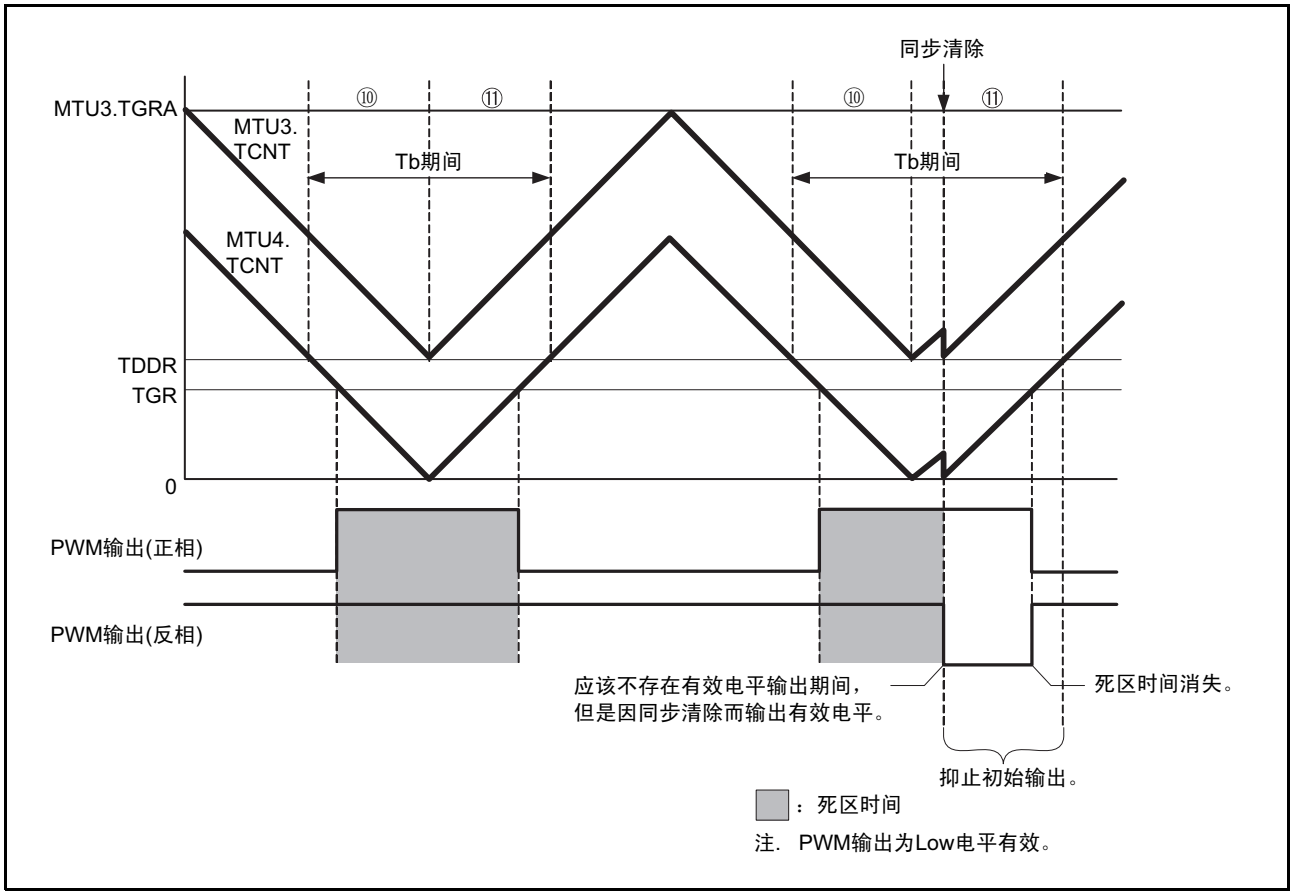


图 21.124 同步清除的例子 （条件 2 的情况）

21.6.25 比较匹配脉冲中断的连续输出

如果将 TGR 寄存器置“0”并且将计数器时钟设定为 PCLK/1 以及设定为通过比较匹配清除计数器，TCNT 计数器就保持 “0000h”而不更新，并且将脉冲的比较匹配中断连续输出为电平状态。

在使用脉冲中断的情况下，中断控制器无法检测到第 3 个以后的中断。

比较匹配脉冲中断连续输出的运行时序如图 21.125 所示。

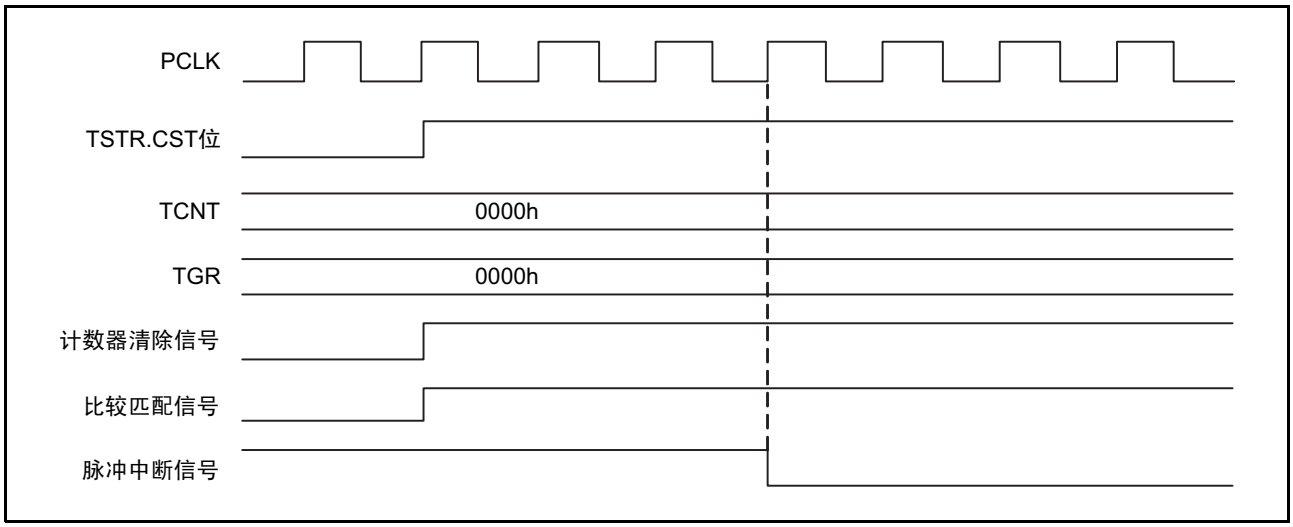


图 21.125 比较匹配脉冲中断的连续输出

21.7 MTU 输出引脚的初始化方法

21.7.1 运行模式

MTU 有以下 6 种运行模式，能在任意的模式中进行波形输出。

- 正常模式 （MTU0～MTU4）
- PWM 模式 1 （MTU0～MTU4）
- PWM 模式 2 （MTU0～MTU2）
- 相位计数模式 1～4 （MTU1、 MTU2）
- 互补 PWM 模式 （MTU3、 MTU4）
- 复位同步 PWM 模式 （MTU3、 MTU4）

在此说明各模式中的 MTU 输出引脚的初始化方法。

21.7.2 因运行过程中的异常而重新设定时的运行

如果在 MTU 运行过程中发生异常，就必须通过系统切断 MTU 的输出。要切断输出时，将引脚的输出更改为端口并且反相输出有效电平。对于马达驱动引脚，也能使用端口输出允许位 2 （POE），通过硬件来切断输出。因运行过程中的异常等而重新设定时的引脚初始化步骤以及重新设定后在其他运行模式中重新开始时的步骤如下所示。

如上所述，因为 MTU 有 6 个运行模式，所以有 36 种模式转移的组合，但是有通道和模式的组合中不存在的转移。模式转移的组合一览表如**表 21.59** 所示。

表中使用下述的符号表示：

Normal：正常模式　　PWM1：PWM 模式 1　　PWM2：PWM 模式 2
PCM：相位计数模式 1 ～ 4　　CPWM：互补 PWM 模式　　RPWM：复位同步 PWM 模式

表 21.59 模式转移的组合

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	（1）	（2）	（3）	（4）	（5）	（6）
PWM1	（7）	（8）	（9）	（10）	（11）	（12）
PWM2	（13）	（14）	（15）	（16）	none	none
PCM	（17）	（18）	（19）	（20）	none	none
CPWM	（21）	（22）	none	none	（23）（24）	（25）
RPWM	（26）	（27）	none	none	（28）	（29）

21.7.3 因运行过程中的异常而对引脚进行初始化的步骤以及模式转移的概要

- 在转移到定时器的 I/O 控制寄存器 （TIOR）选择的引脚输出电平模式 （Normal、 PWM1、 PWM2、 PCM）时，必须通过设定TIOR对引脚进行初始化。
- 因为在PWM模式1中不将波形输出到MTIOCnB （MTIOCnD）引脚，所以即使设定TIOR也不对引脚进行初始化。要进行初始化时，必须在正常模式中进行初始化后转移到PWM模式1。
- 因为在PWM模式2中不将波形输出到周期寄存器的引脚，所以即使设定TIOR也不对引脚进行初始化。要进行初始化时，必须在正常模式中进行初始化后转移到PWM模式2。
- 在正常模式或者PWM模式2中，如果TGRC和TGRD都用作缓冲寄存器，即使设定TIOR也不对缓冲寄存器的引脚进行初始化。要进行初始化时，必须在解除缓冲器模式进行初始化后重新设定缓冲器模式。
- 在PWM模式1中，如果TGRC或者TGRD用作缓冲寄存器，即使设定TIOR也不对TGRC的引脚进行初始化。要对TGRC的引脚进行初始化时，必须在解除缓冲器模式进行初始化后重新设定缓冲器模式。
- 在转移到定时器的输出控制寄存器 （TOCR）选择的引脚输出电平模式 （CPWM、 RPWM）时，必须转移到正常模式并且通过TIOR进行初始化，在将TIOR恢复为初始值后通过定时器的输出主控允许寄存器（TOER）暂时禁止MTU3和MTU4的输出，然后按照模式的设定步骤（TOCR的设定、TMDR的设定和TOER的设定）运行。

注 . 在没有特别要求的情况下，各项记述中的 n 为通道号。

根据表 21.59 的组合 No. 对引脚进行初始化的步骤如下所示，有效电平为 Low 电平。

(1) 在正常模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 21.126 所示。

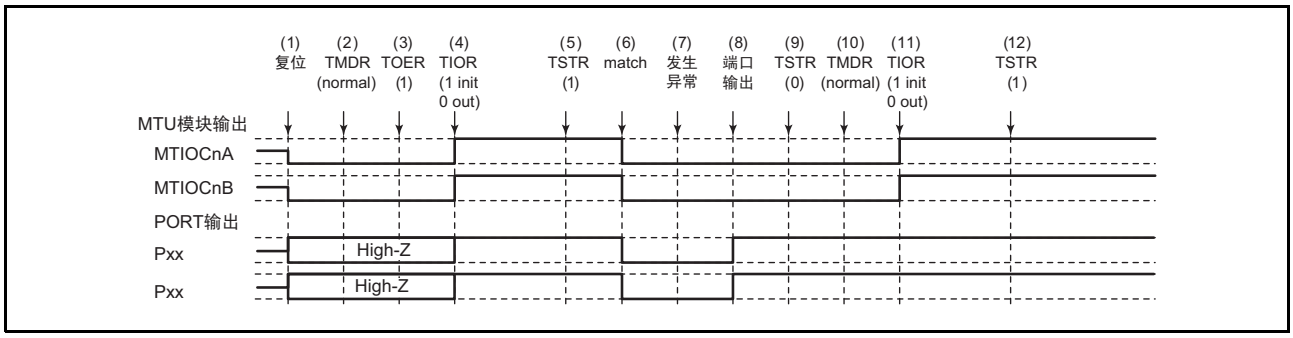


图 21.126 在正常模式中发生异常并且在正常模式中恢复的情况

(1) 复位后， MTU的输出为Low电平，端口为高阻抗。
(2) 复位后， TMDR被设定为正常模式。
(3) 在MTU3和MTU4中，必须在通过TIOR对引脚进行初始化前用TOER允许输出。
(4) 必须通过TIOR对引脚进行初始化（这是初始输出为High电平并且在比较匹配时输出Low电平的例子）。
(5) 通过TSTR开始计数运行。
(6) 在比较匹配时输出Low电平。
(7) 发生异常。
(8) 必须通过TIOR禁止引脚输出，而作为端口输出，反相输出有效电平。
(9) 通过TSTR停止计数运行。
(10) 在正常模式中重新开始的情况下不需要此步骤。
(11) 必须通过TIOR对引脚进行初始化。
(12) 通过TSTR重新开始。

(2) 在正常模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在正常模式中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 21.127 所示。

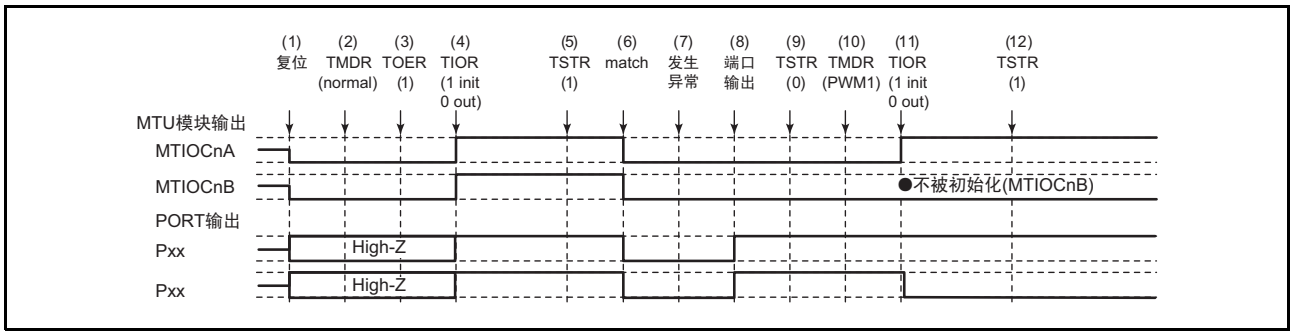


图 21.127　在正常模式中发生异常并且在 PWM 模式 1 中恢复的情况

(1) ～ (9) 和图 21.126 通用。
(10) 设定PWM模式1。
(11) 必须通过TIOR对引脚进行初始化（在PWM模式1中不对MTIOCnB进行初始化。如果要进行初始化，就必须在正常模式中进行初始化后转移到PWM模式1）。
(12) 通过TSTR重新开始。

(3) 在正常模式的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在正常模式中发生异常并且重新设定后在 PWM 模式 2 中重新开始时的说明图如图 21.128 所示。

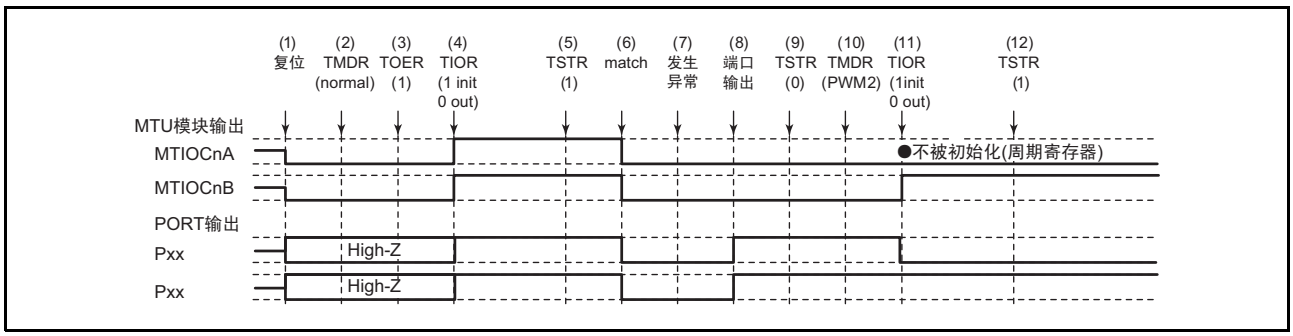


图 21.128　在正常模式中发生异常并且在 PWM 模式 2 中恢复的情况

(1) ～ (9) 和图 21.126 通用。
(10) 设定PWM模式2。
(11) 必须通过TIOR对引脚进行初始化 （在PWM模式2中不对周期寄存器的引脚进行初始化。如果要进行初始化，就必须在正常模式中进行初始化后转移到PWM模式2）。
(12) 通过TSTR重新开始。

注 .　只有 MTU0 ～ 2 能设定 PWM 模式 2，因此不需要设定 TOER。

(4) 在正常模式的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 21.129 所示。

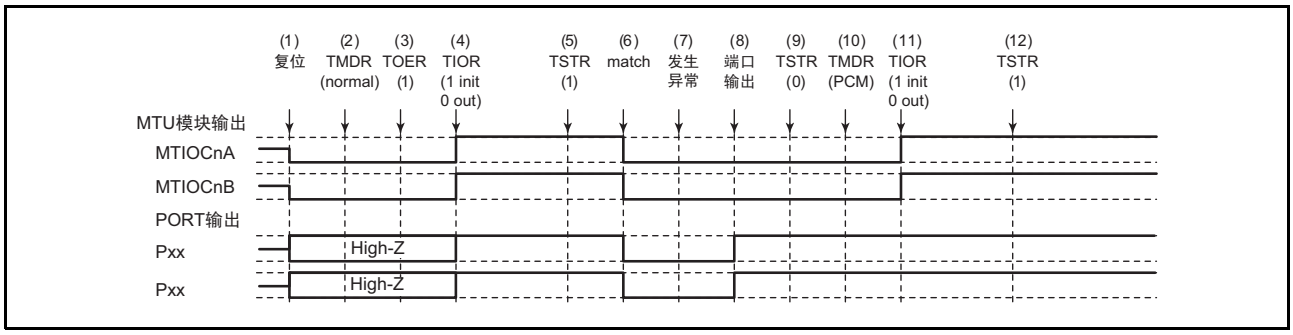


图 21.129 在正常模式中发生异常并且在相位计数模式中恢复的情况

(1) ～ (9) 和图 21.126 通用。
(10) 设定相位计数模式。
(11) 必须通过TIOR对引脚进行初始化。
(12) 通过TSTR重新开始。

注 . 只有 MTU1 和 MTU2 能设定相位计数模式，因此不需要设定 TOER。

(5) 在正常模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 21.130 所示。

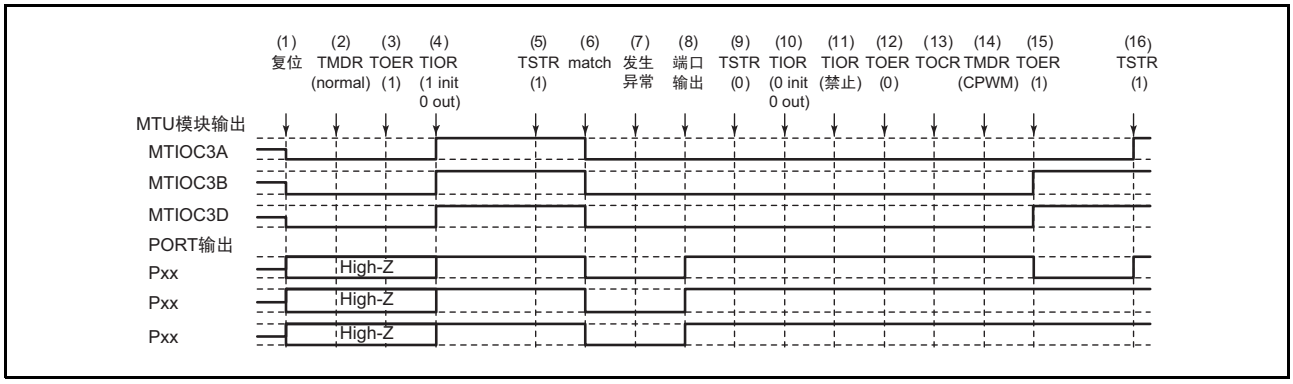


图 21.130 在正常模式中发生异常并且在互补 PWM 模式中恢复的情况

(1) ～ (9) 和图 21.126 通用。
(10) 必须通过TIOR对正常模式的波形生成部进行初始化。
(11) 必须通过TIOR禁止正常模式的波形生成部的运行。
(12) 必须通过TOER禁止MTU3和MTU4的输出。
(13) 必须通过TOCR选择互补PWM的输出电平以及允许或者禁止周期输出。
(14) 设定互补PWM。
(15) 必须通过TOER允许MTU3和MTU4的输出。
(16) 通过TSTR重新开始。

(6) 在正常模式的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在复位同步 PWM 模式中重新开始时的说明图如图 21.131 所示。

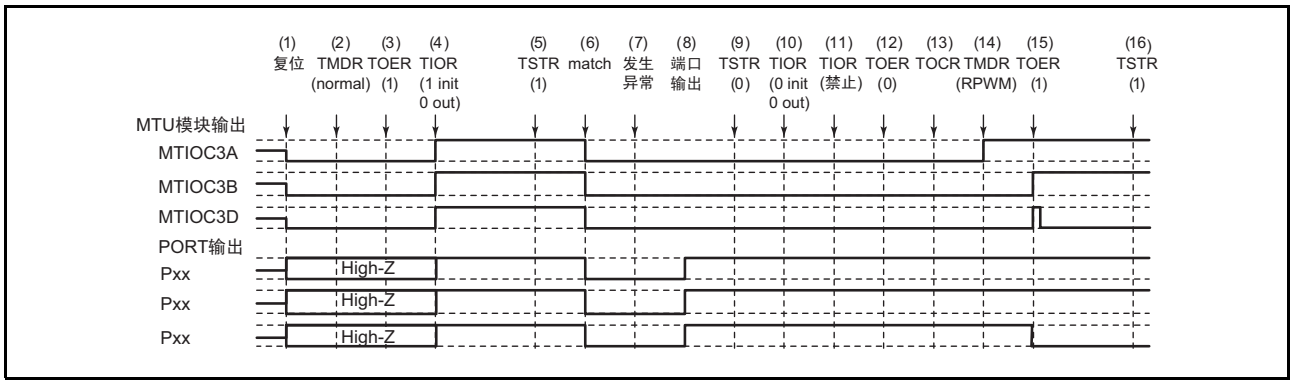


图 21.131 在正常模式中发生异常并且在复位同步 PWM 模式中恢复的情况

(1) ～ (12) 和图 21.126 通用。
(13) 必须通过 TOCR 选择复位同步 PWM 的输出电平以及允许或者禁止周期输出。
(14) 设定复位同步 PWM。
(15) 必须通过 TOER 允许 MTU3 和 MTU4 的输出。
(16) 通过 TSTR 重新开始。

(7) 在 PWM 模式 1 的运行过程中发生异常并且在正常模式中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 21.132 所示。

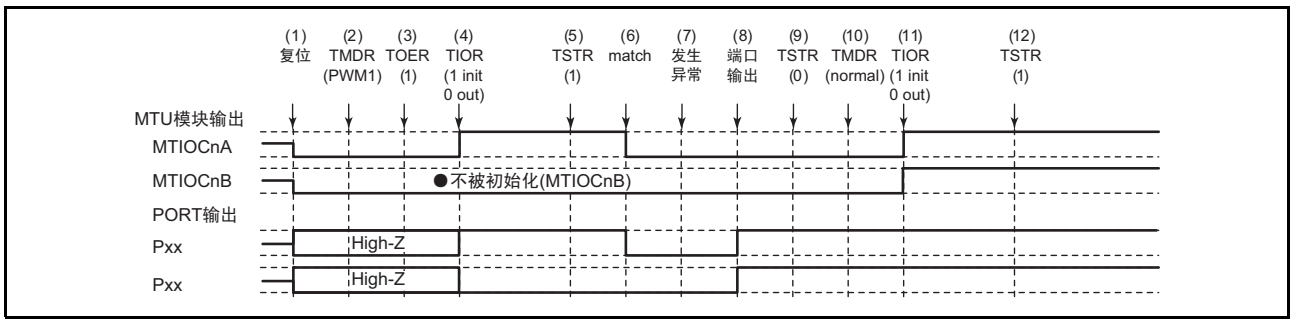


图 21.132 在 PWM 模式 1 中发生异常并且在正常模式中恢复的情况

(1) 复位后， MTU 的输出为 Low 电平，端口为高阻抗。
(2) 必须设定 PWM 模式 1。
(3) 在 MTU3 和 MTU4 中，必须在通过 TIOR 对引脚进行初始化前用 TOER 允许输出。
(4) 必须通过 TIOR 对引脚进行初始化（这是初始输出为 High 电平并且在比较匹配时输出 Low 电平的例子。在 PWM 模式 1 中不对 MTIOCnB 进行初始化）。
(5) 通过 TSTR 开始计数运行。
(6) 在比较匹配时输出 Low 电平。
(7) 发生异常。
(8) 必须通过 TIOR 禁止引脚输出，而作为端口输出，反相输出有效电平。
(9) 通过 TSTR 停止计数运行。
(10) 必须设定正常模式。
(11) 必须通过 TIOR 对引脚进行初始化。
(12) 通过 TSTR 重新开始。

(8) 在 PWM 模式 1 的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 21.133 所示。

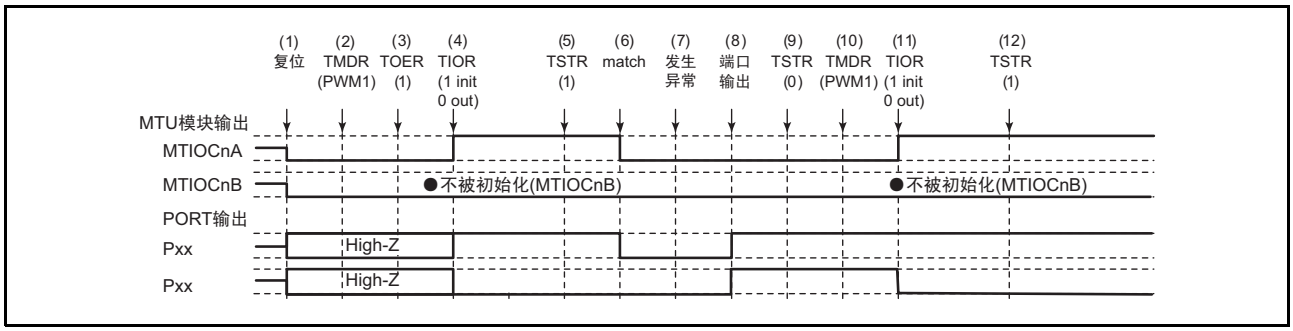


图 21.133 在 PWM 模式 1 中发生异常并且在 PWM 模式 1 中恢复的情况

(1) ～ (9) 和图 21.132 通用。
(10) 在PWM模式1中重新开始的情况下不需要此步骤。
(11) 必须通过TIOR对引脚进行初始化 （在PWM模式1中不对MTIOCnB进行初始化）。
(12) 通过TSTR重新开始。

(9) 在 PWM 模式 1 的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在 PWM 模式 2 中重新开始时的说明图如图 21.134 所示。

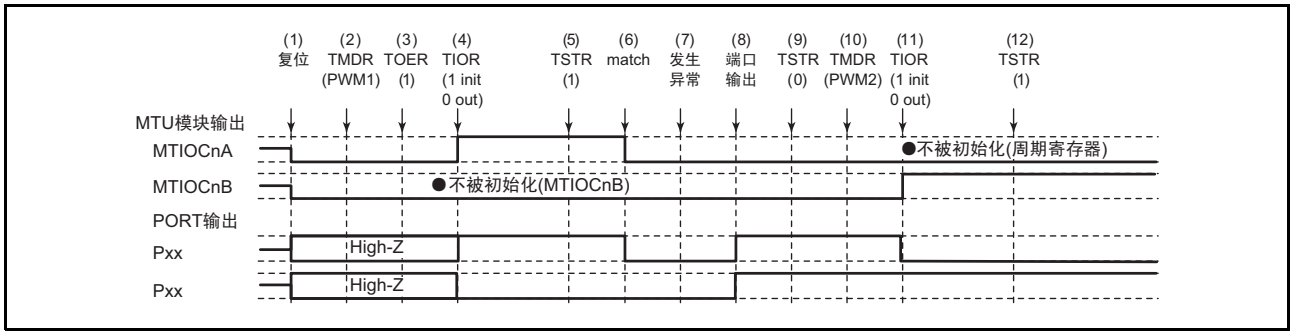


图 21.134 在 PWM 模式 1 中发生异常并且在 PWM 模式 2 中恢复的情况

(1) ～ (9) 和图 21.132 通用。
(10) 设定PWM模式2。
(11) 必须通过TIOR对引脚进行初始化 （在PWM模式2中不对周期寄存器的引脚进行初始化）。
(12) 通过TSTR重新开始。

注 . 只有 MTU0 ～ 2 能设定 PWM 模式 2，因此不需要设定 TOER。

(10) 在 PWM 模式 1 的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 21.135 所示。

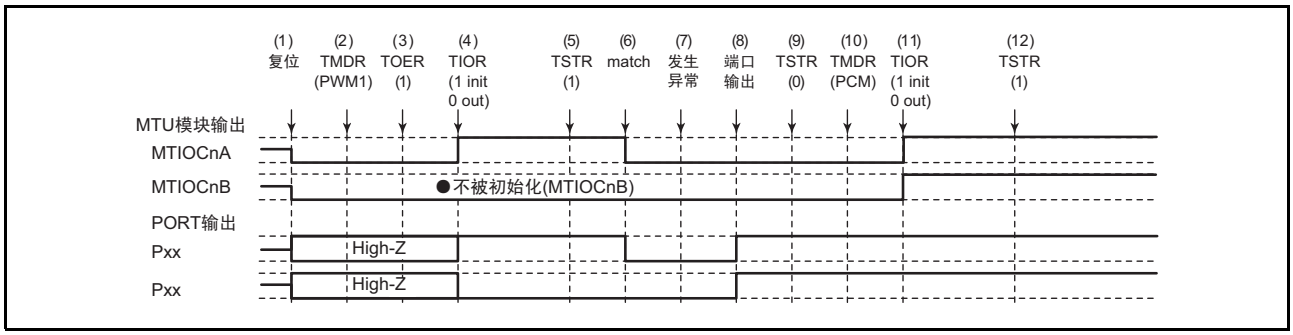


图 21.135 在 PWM 模式 1 中发生异常并且在相位计数模式中恢复的情况

(1) ～ (9) 和图 21.132 通用。
(10) 设定相位计数模式。
(11) 必须通过TIOR对引脚进行初始化。
(12) 通过TSTR重新开始。

注 . 只有 MTU1 和 MTU2 能设定相位计数模式，因此不需要设定 TOER。

(11) 在 PWM 模式 1 的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 21.136 所示。

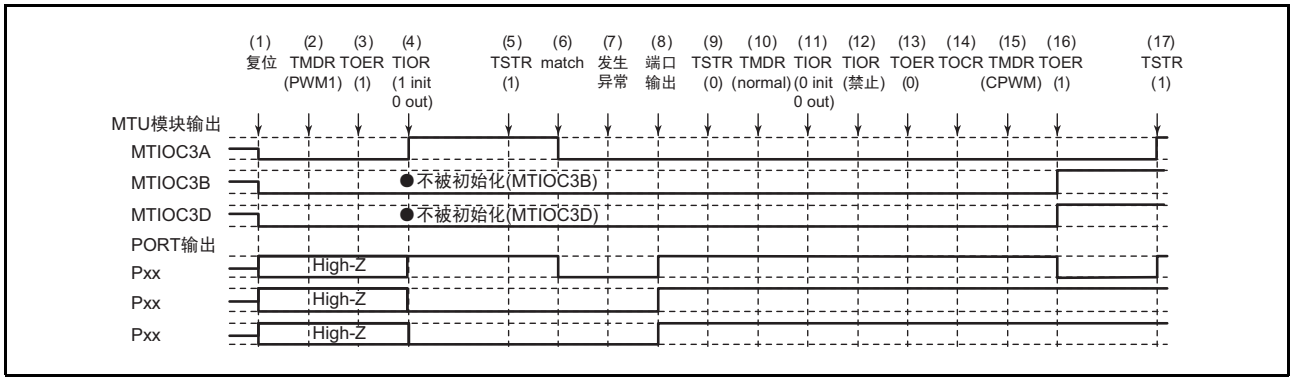


图 21.136 在 PWM 模式 1 中发生异常并且在互补 PWM 模式中恢复的情况

(1) ～ (9) 和图 21.132 通用。
(10) 为了对波形生成部进行初始化，必须设定正常模式。
(11) 必须通过TIOR对PWM模式1的波形生成部进行初始化。
(12) 必须通过TIOR禁止PWM模式1的波形生成部的运行。
(13) 必须通过TOER禁止MTU3和MTU4的输出。
(14) 必须通过TOCR选择互补PWM的输出电平以及允许或者禁止周期输出。
(15) 设定互补PWM。
(16) 必须通过TOER允许MTU3和MTU4的输出。
(17) 通过TSTR重新开始。

(12) 在 PWM 模式 1 的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在PWM模式1中发生异常并且重新设定后在复位同步PWM模式中重新开始时的说明图如图21.137所示。

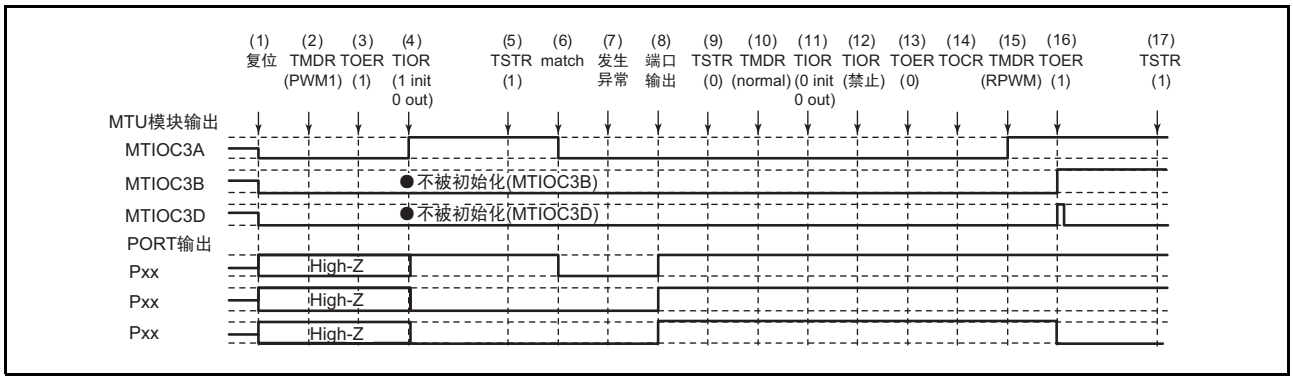


图 21.137 在 PWM 模式 1 中发生异常并且在复位同步 PWM 模式中恢复的情况

(1) ～ (13) 和图 21.136 通用。
(14) 必须通过TOCR选择复位同步PWM的输出电平以及允许或者禁止周期输出。
(15) 设定复位同步PWM。
(16) 必须通过TOER允许MTU3和MTU4的输出。
(17) 通过TSTR重新开始。

(13) 在 PWM 模式 2 的运行过程中发生异常并且在正常模式中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 21.138 所示。

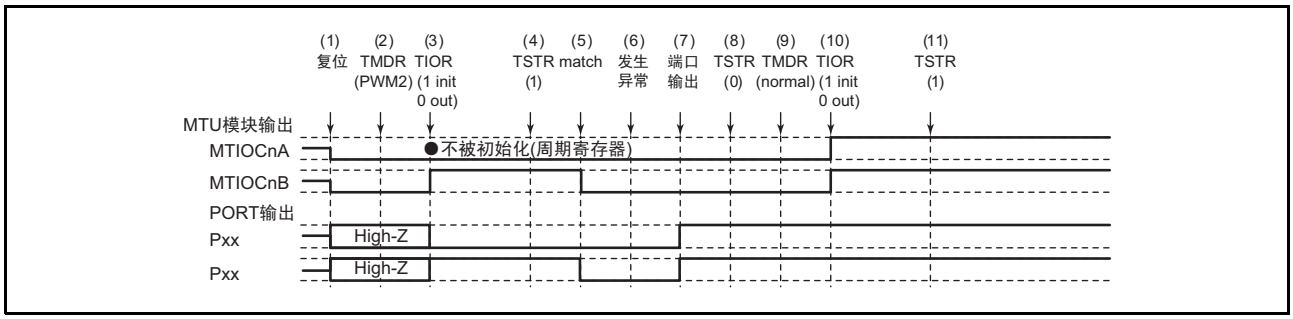


图 21.138 在 PWM 模式 2 中发生异常并且在正常模式中恢复的情况

(1) 复位后， MTU的输出为Low电平，端口为高阻抗。
(2) 必须设定PWM模式2。
(3) 必须通过TIOR对引脚进行初始化（这是初始输出为High电平并且在比较匹配输出时Low电平的例子。在PWM模式2中不对周期寄存器的引脚进行初始化，这是MTIOCnA为周期寄存器的例子）。
(4) 通过TSTR开始计数运行。
(5) 在比较匹配时输出Low电平。
(6) 发生异常。
(7) 必须通过TIOR禁止引脚输出，而作为端口输出，反相输出有效电平。
(8) 通过TSTR停止计数运行。
(9) 必须设定正常模式。
(10) 必须通过TIOR对引脚进行初始化。
(11) 通过TSTR重新开始。

(14) 在 PWM 模式 2 的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 21.139 所示。

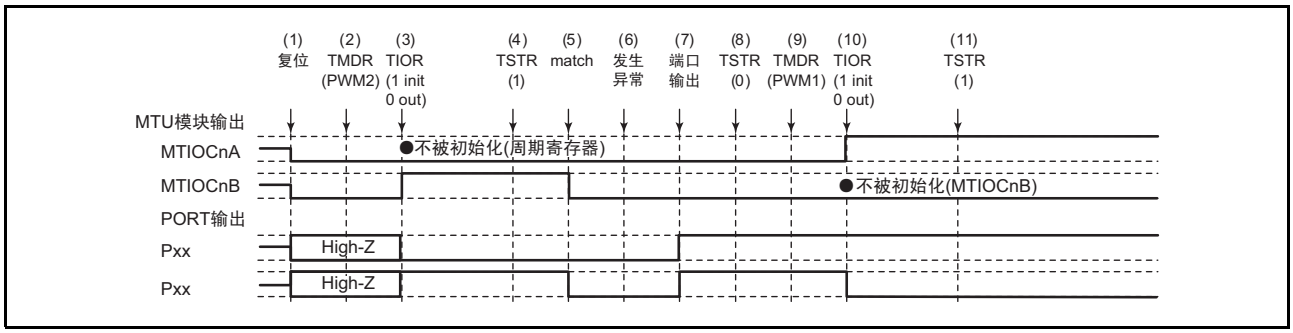


图 21.139 在 PWM 模式 2 中发生异常并且在 PWM 模式 1 中恢复的情况

(1) ～ (8) 和图 21.138 通用。
(9) 设定PWM模式1。
(10) 必须通过TIOR对引脚进行初始化 （在PWM模式1中不对MTIOCnB进行初始化）。
(11) 通过TSTR重新开始。

(15) 在 PWM 模式 2 的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在 PWM 模式 2 中重新开始时的说明图如图 21.140 所示。

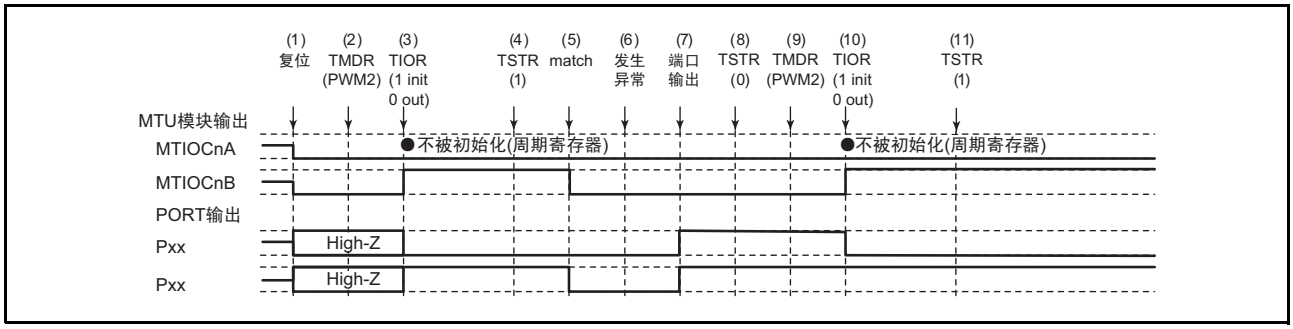


图 21.140 在 PWM 模式 2 中发生异常并且在 PWM 模式 2 中恢复的情况

(1) ～ (8) 和图 21.138 通用。
(9) 在PWM模式2中重新开始的情况下不需要此步骤。
(10) 必须通过TIOR对引脚进行初始化 （在PWM模式2中不对周期寄存器的引脚进行初始化）。
(11) 通过TSTR重新开始。

(16) 在 PWM 模式 2 的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 21.141 所示。

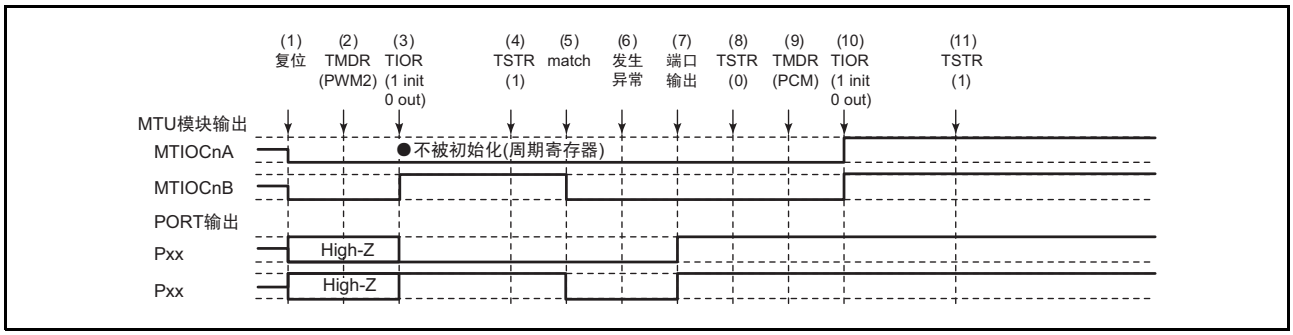


图 21.141 在 PWM 模式 2 中发生异常并且在相位计数模式中恢复的情况

(1) ～ (8) 和图 21.138 通用。
(9) 设定相位计数模式。
(10) 必须通过TIOR对引脚进行初始化。
(11) 通过TSTR重新开始。

(17) 在相位计数模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 21.142 所示。

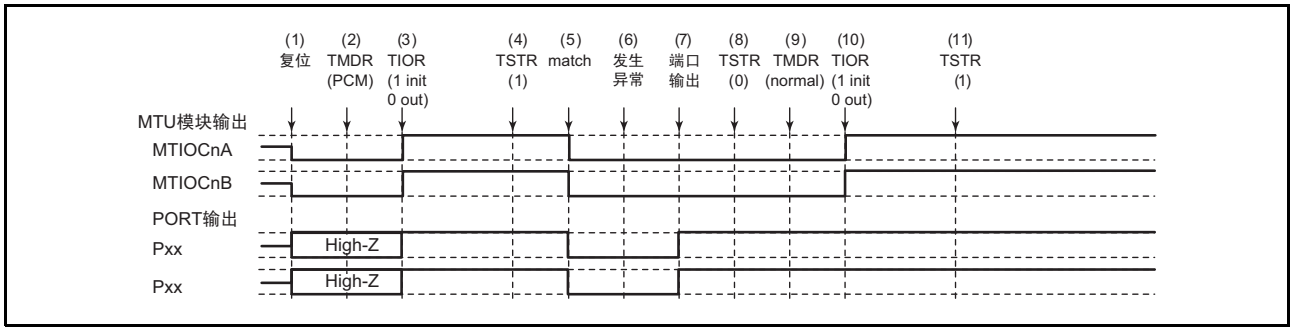


图 21.142 在相位计数模式中发生异常并且在正常模式中恢复的情况

(1) 复位后， MTU的输出为Low电平，端口为高阻抗。
(2) 必须设定相位计数模式。
(3) 必须通过TIOR对引脚进行初始化（这是初始输出为High电平并且在比较匹配时输出Low电平的例子）。
(4) 通过TSTR开始计数运行。
(5) 在比较匹配时输出Low电平。
(6) 发生异常。
(7) 必须作为端口输出，反相输出有效电平。
(8) 通过TSTR停止计数运行。
(9) 必须在正常模式中进行设定。
(10) 必须通过TIOR对引脚进行初始化。
(11) 通过TSTR重新开始。

(18) 在相位计数模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 21.143 所示。

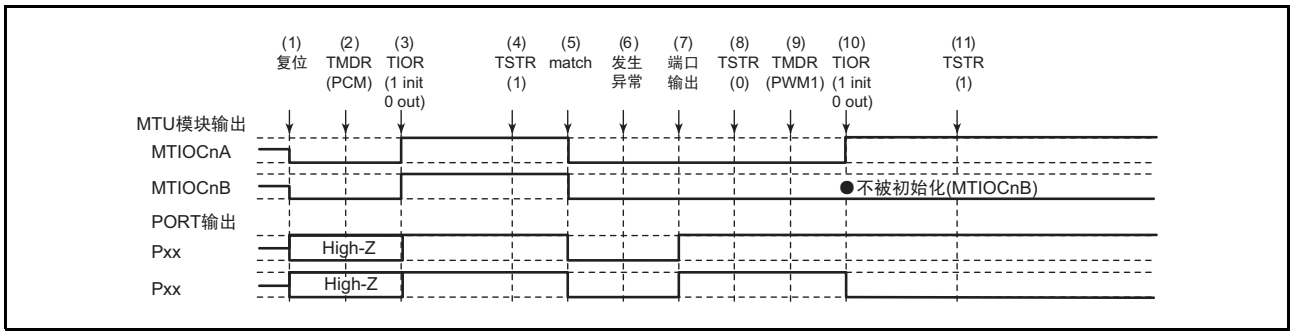


图 21.143 在相位计数模式中发生异常并且在 PWM 模式 1 中恢复的情况

(1) ～ (8) 和图 21.142 通用。
(9) 设定 PWM 模式 1。
(10) 必须通过 TIOR 对引脚进行初始化 （在 PWM 模式 1 中不对 MTIOCnB 进行初始化）。
(11) 通过 TSTR 重新开始。

(19) 在相位计数模式的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在 PWM2 模式中重新开始时的说明图如图 21.144 所示。

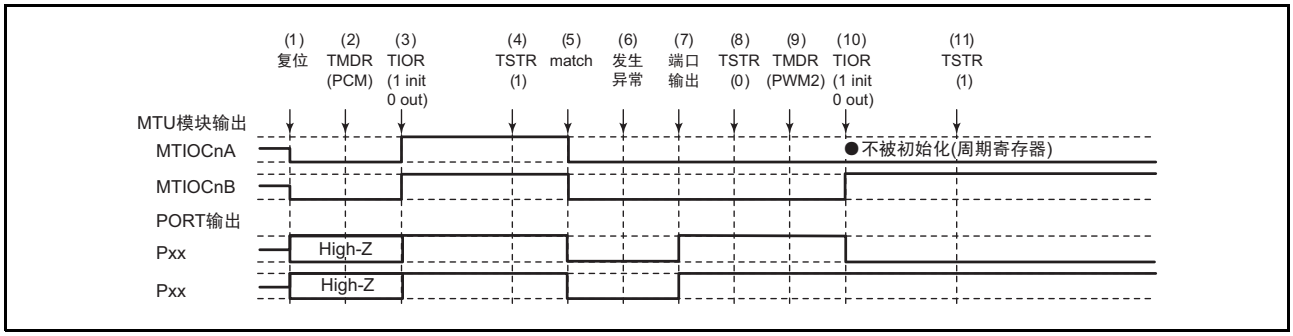


图 21.144 在相位计数模式中发生异常并且在 PWM 模式 2 中恢复的情况

(1) ～ (8) 和图 21.142 通用。
(9) 设定 PWM 模式 2。
(10) 必须通过 TIOR 对引脚进行初始化 （在 PWM 模式 2 中不对周期寄存器的引脚进行初始化）。
(11) 通过 TSTR 重新开始。

(20) 在相位计数模式的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 21.145 所示。

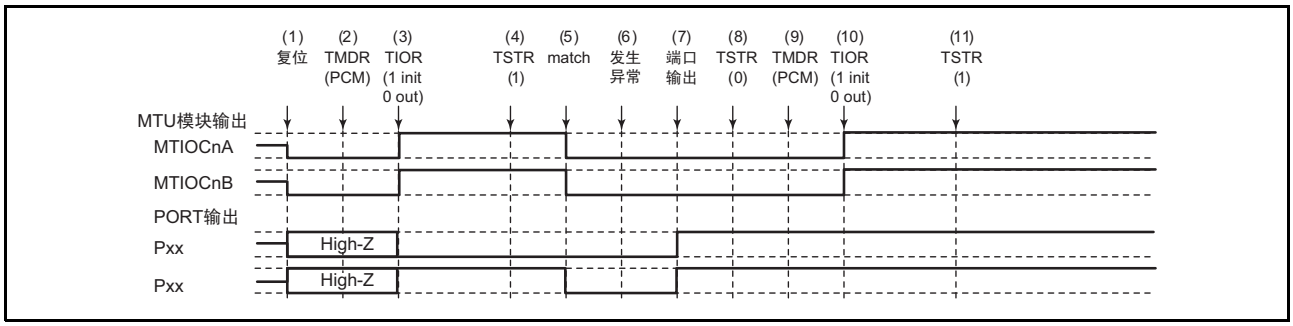


图 21.145 在相位计数模式中发生异常并且在相位计数模式中恢复的情况

(1) ～ (8) 和图 21.142 通用。
(9) 在相位计数模式重新开始的情况下不需要此步骤。
(10) 必须通过TIOR对引脚进行初始化。
(11) 通过TSTR重新开始。

(21) 在互补 PWM 模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 21.146 所示。

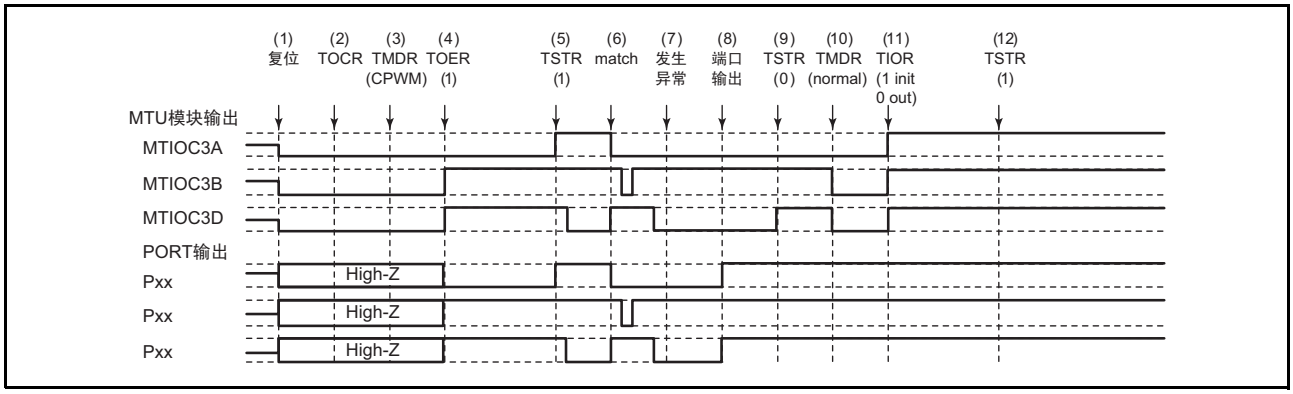


图 21.146 在互补 PWM 模式中发生异常并且在正常模式中恢复的情况

(1) 复位后， MTU的输出为Low电平，端口为高阻抗。
(2) 必须通过TOCR选择互补PWM的输出电平以及允许或者禁止周期输出。
(3) 设定互补PWM。
(4) 必须通过TOER允许MTU3和MTU4的输出。
(5) 通过TSTR开始计数运行。
(6) 在比较匹配时输出互补PWM波形。
(7) 发生异常。
(8) 必须通过TIOR禁止引脚输出，而作为端口输出，反相输出有效电平。
(9) 通过TSTR停止计数运行 （MTU输出为互补PWM输出的初始值）。
(10) 必须设定正常模式 （MTU的输出为Low电平）。
(11) 必须通过TIOR对引脚进行初始化。
(12) 通过TSTR重新开始。

(22) 在互补 PWM 模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 21.147 所示。

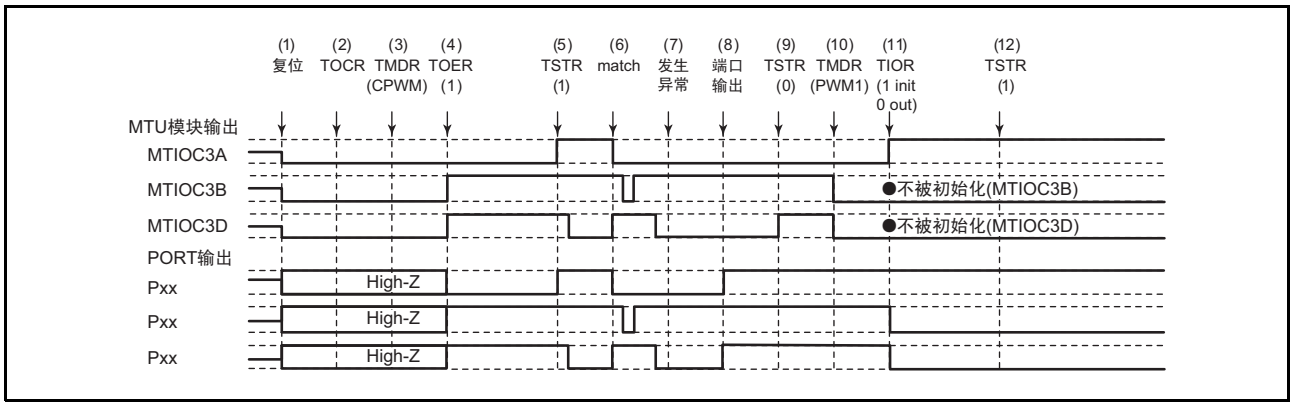


图 21.147 在互补 PWM 模式中发生异常并且在 PWM 模式 1 中恢复的情况

(1) ～ (9) 和图 21.146 通用。
(10) 必须设定PWM模式1 （MTU的输出为Low电平）。
(11) 必须通过TIOR对引脚进行初始化 （在PWM模式1中不对MTIOCnB进行初始化）。
(12) 通过TSTR重新开始。

(23) 在互补 PWM 模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 21.148 所示（从停止对周期和占空比进行计数时的值重新开始的情况）。

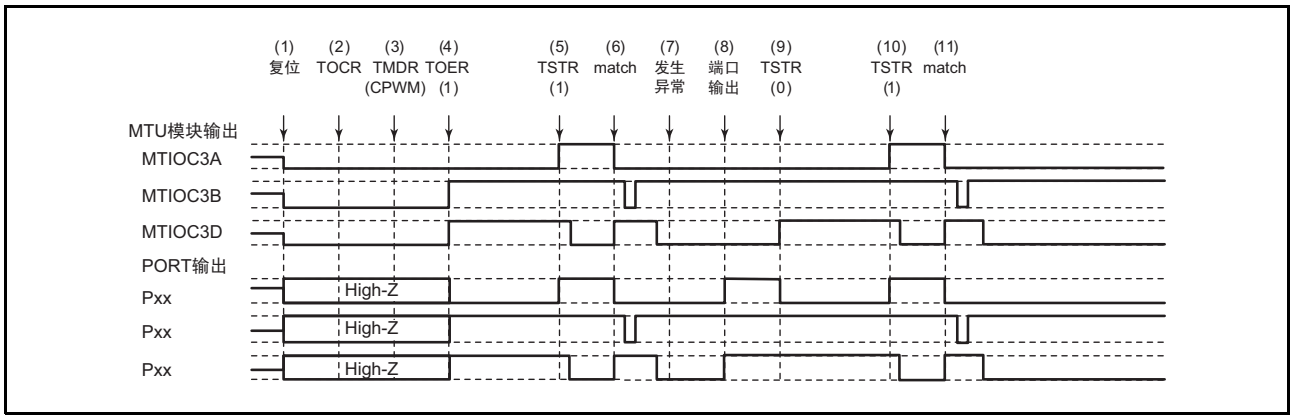


图 21.148 在互补 PWM 模式中发生异常并且在互补 PWM 模式中恢复的情况

(1) ～ (9) 和图 21.146 通用。
(10) 通过TSTR重新开始。
(11) 在比较匹配时输出互补PWM波形。

(24) 在互补 PWM 模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 21.149 所示（从重新设定的周期和占空比的值重新开始的情况）。

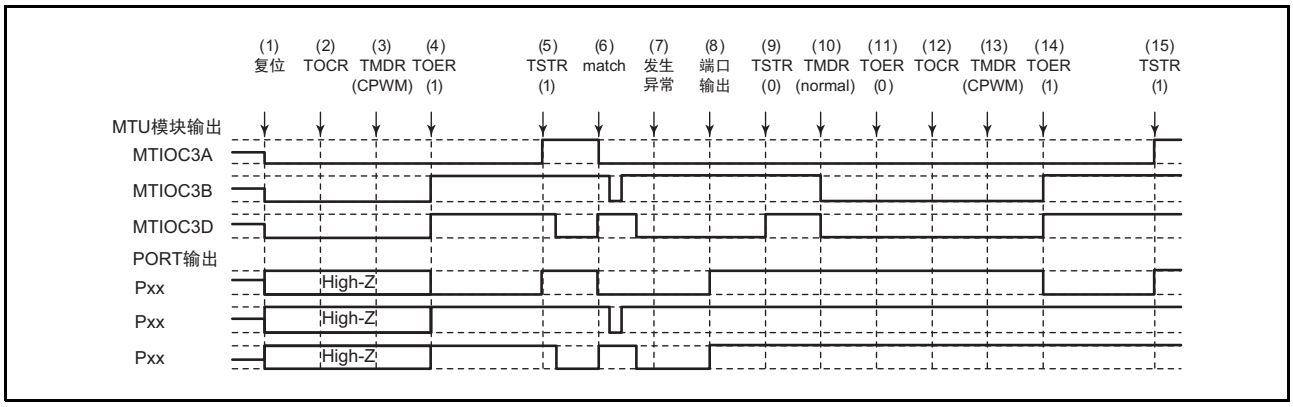


图 21.149 在互补 PWM 模式中发生异常并且在互补 PWM 模式中恢复的情况

(1) ～ (9) 和图 21.146 通用。
(10) 必须设定正常模式并且设定新的设定值 （MTU的输出为Low电平）。
(11) 必须通过TOER禁止MTU3和MTU4的输出。
(12) 必须通过TOCR选择互补PWM模式的输出电平以及允许或者禁止周期输出。
(13) 设定互补PWM。
(14) 必须通过TOER允许MTU3和MTU4的输出。
(15) 通过TSTR重新开始。

(25) 在互补 PWM 模式的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在复位同步 PWM 模式中重新开始时的说明图如图 21.150 所示。

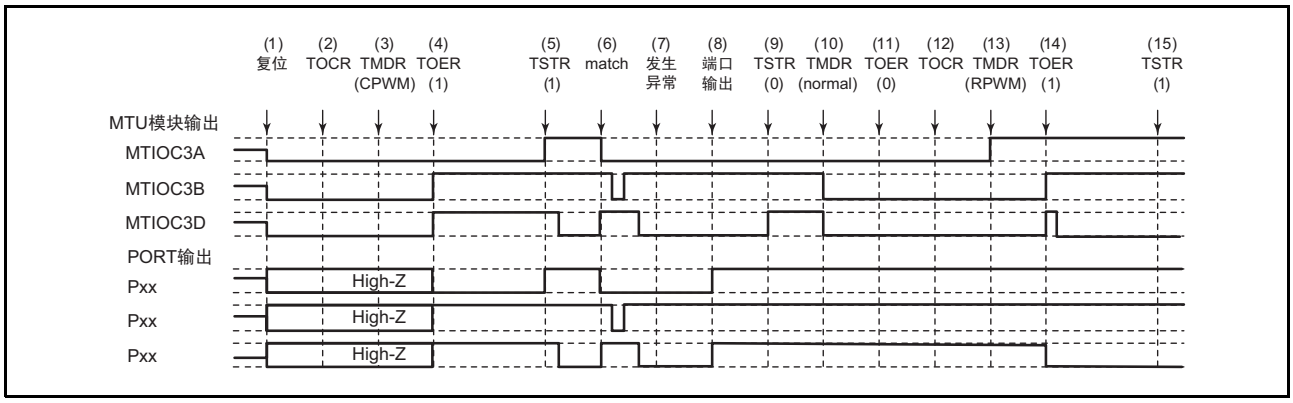


图 21.150 在互补 PWM 模式中发生异常并且在复位同步 PWM 模式中恢复的情况

(1) ～ (9) 和图 21.146 通用。
(10) 必须设定正常模式 （MTU 的输出为 Low 电平）。
(11) 必须通过 TOER 禁止 MTU3 和 MTU4 的输出。
(12) 必须通过 TOCR 选择复位同步 PWM 模式的输出电平以及允许或者禁止周期输出。
(13) 设定复位同步 PWM。
(14) 必须通过 TOER 允许 MTU3 和 MTU4 的输出。
(15) 通过 TSTR 重新开始。

(26) 在复位同步 PWM 模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在复位同步 PWM 模式中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 21.151 所示。

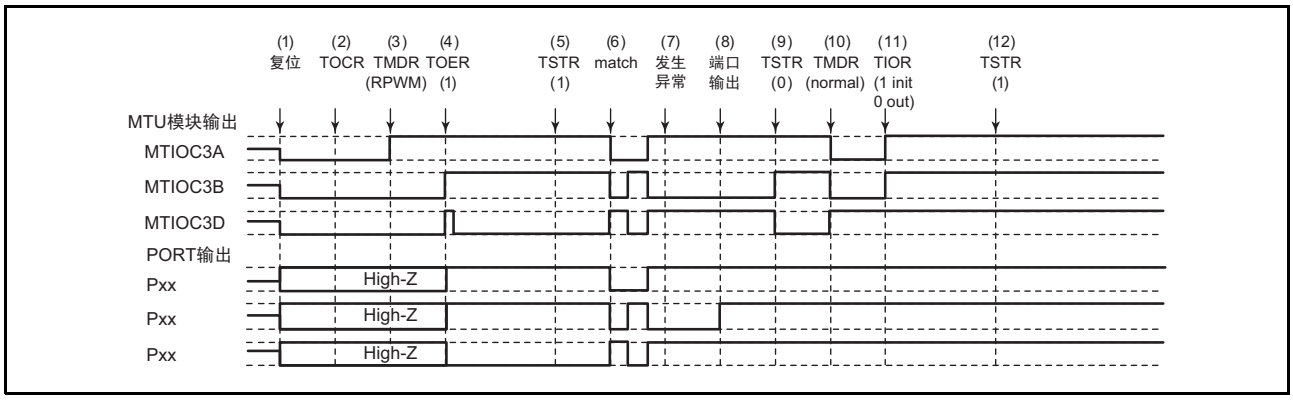


图 21.151 在复位同步 PWM 模式中发生异常并且在正常模式中恢复的情况

(1) 复位后， MTU的输出为Low电平，端口为高阻抗。
(2) 必须通过TOCR选择复位同步PWM的输出电平以及允许或者禁止周期输出。
(3) 设定复位同步PWM。
(4) 必须通过TOER允许MTU3和MTU4的输出。
(5) 通过TSTR开始计数运行。
(6) 在比较匹配时输出复位同步PWM波形。
(7) 发生异常。
(8) 必须通过TIOR禁止引脚输出，而作为端口输出，反相输出有效电平。
(9) 通过TSTR停止计数运行 （MTU的输出为复位同步PWM输出的初始值）。
(10) 必须设定正常模式 （MTU输出的正相侧为Low电平，反相侧为High电平）。
(11) 必须通过TIOR对引脚进行初始化。
(12) 通过TSTR重新开始。

(27) 在复位同步 PWM 模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在复位同步PWM模式中发生异常并且重新设定后在PWM模式1中重新开始时的说明图如图21.152所示。

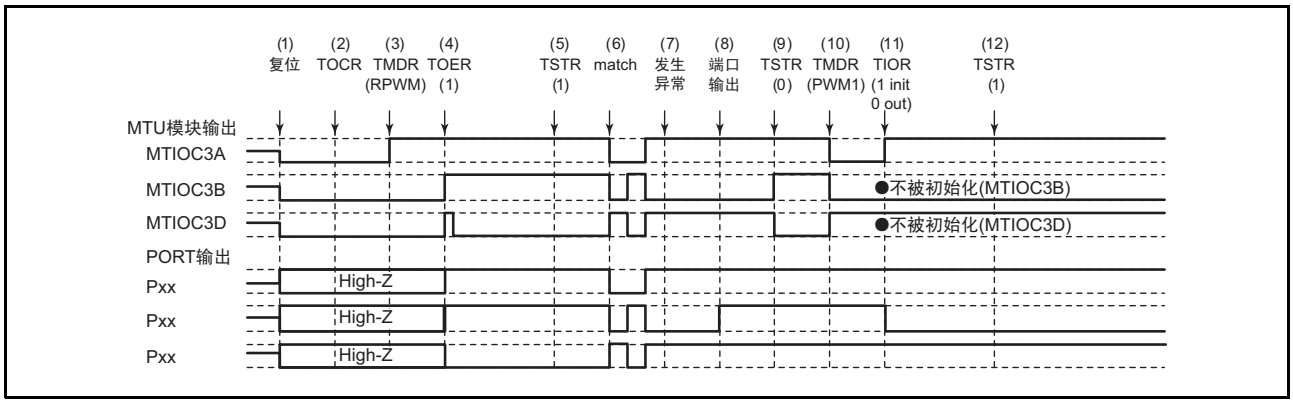


图 21.152 在复位同步 PWM 模式中发生异常并且在 PWM 模式 1 中恢复的情况

(1) ～ (9) 和图 21.151 通用。
(10) 必须设定PWM模式1 （MTU输出的正相侧为Low电平，反相侧为High电平）。
(11) 必须通过TIOR对引脚进行初始化 （在PWM模式1中不对MTIOC3B进行初始化）。
(12) 通过TSTR重新开始。

(28) 在复位同步 PWM 模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在复位同步 PWM 模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 21.153 所示。

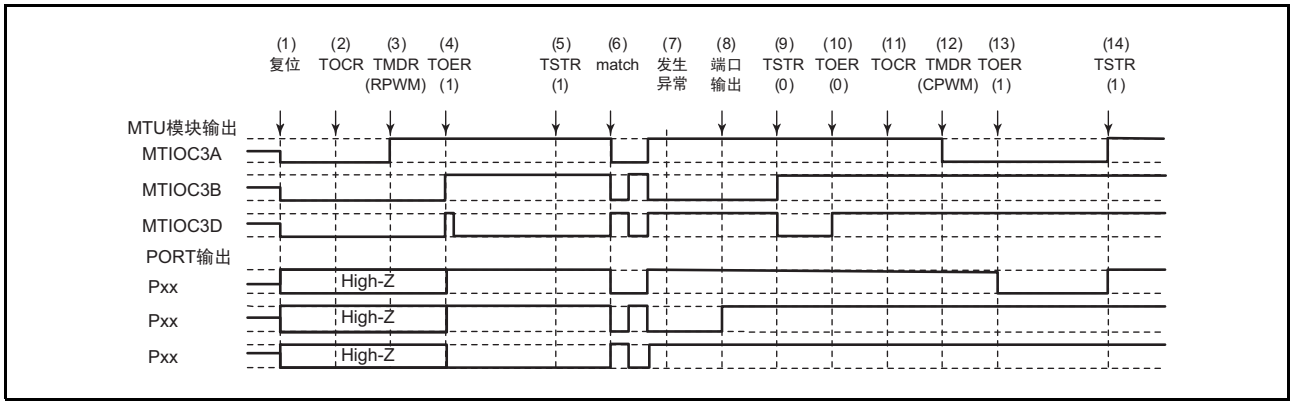


图 21.153 在复位同步 PWM 模式中发生异常并且在互补 PWM 模式中恢复的情况

(1) ～ (9) 和图 21.151 通用。
(10) 必须通过TOER禁止MTU3和MTU4的输出。
(11) 必须通过TOCR选择互补PWM的输出电平以及允许或者禁止周期输出。
(12) 设定互补PWM （MTU的周期输出引脚为Low电平）。
(13) 必须通过TOER允许MTU3和MTU4的输出。
(14) 通过TSTR重新开始。

(29) 在复位同步 PWM 模式的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在复位同步PWM模式中发生异常并且重新设定后在复位同步PWM模式中重新开始时的说明图如图21.154所示。

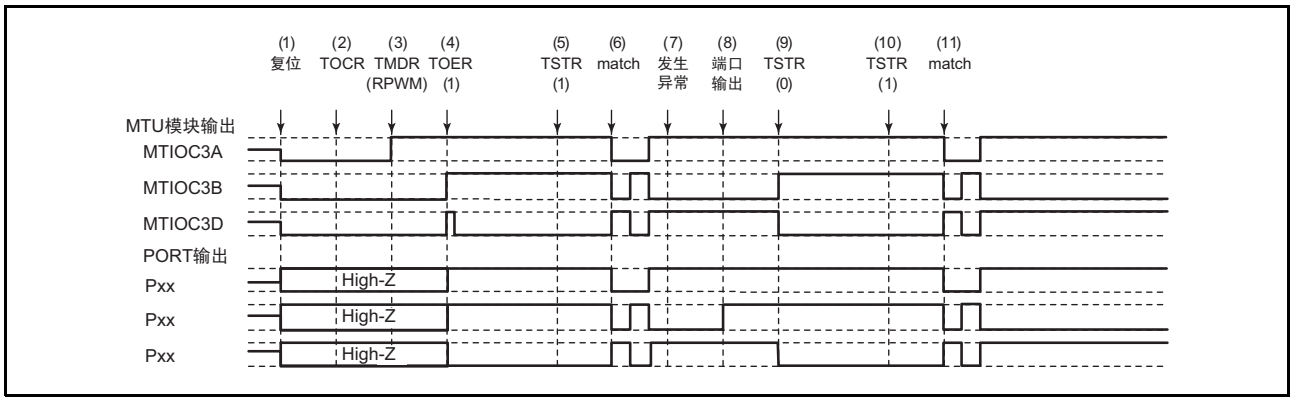


图 21.154 在复位同步 PWM 模式中发生异常并且在复位同步 PWM 模式中恢复的情况

(1) ～ (9) 和图 21.151 通用。
(10) 通过TSTR重新开始。
(11) 在比较匹配时输出复位同步PWM波形。

22. 端口输出允许 2 （POE2a）

根据 POE0# ～ POE3# 引脚和 POE8# 引脚的输入变化、MTU 互补 PWM 输出引脚（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D）的输出状态、时钟发生电路的振荡停止检测或者寄存器的设定（SPOER 寄存器），端口输出允许 2（POE）能将 MTU 互补 PWM 输出引脚和 MTU0 的输出引脚（MTIOC0A、MTIOC0B、 MTIOC0C、 MTIOC0D）置为高阻抗。

另外，能同时发行中断请求。

22.1 概要

POE 的规格和框图分别如**表 22.1** 和**图 22.1** 所示。

表 22.1 POE 的规格

项目	内容
通过输入电平检测进行的高阻抗控制	• 能给 POE0# ～ POE3# 和 POE8# 的各输入引脚设定下降沿、 PCLK 的 8 分频 ×16 次、 PCLK 的 16 分频 ×16 次、 PCLK 的 128 分频 ×16 次的 Low 电平采样。 • 能通过 POE0# ～ POE3# 引脚的下降沿或者 Low 电平采样，将 MTU 的互补 PWM 输出引脚置为高阻抗。 • 能通过 POE8# 引脚的下降沿或者 Low 电平采样，将 MTU0 的输出引脚置为高阻抗。
通过输出电平比较进行的高阻抗控制	• 如果在将 MTU 互补 PWM 输出引脚的输出电平进行比较的同时，有效电平至少持续输出了 1 个周期，就能将 MTU 的互补 PWM 输出引脚置为高阻抗。
通过振荡停止检测进行的高阻抗控制	• 如果时钟发生电路停止振荡，就能将 MTU 的互补 PWM 输出引脚和 MTU0 的输出引脚置为高阻抗。
通过软件 （寄存器）进行的高阻抗控制	• 能通过写 POE 的寄存器，将 MTU 的互补 PWM 输出引脚和 MTU0 的输出引脚置为高阻抗。
中断	• 根据 POE0# ～ POE3# 和 POE8# 的输入电平检测结果或者 MTU 的互补 PWM 输出引脚的输出电平比较结果，产生各种中断。 • 当因时钟发生电路的振荡停止而使 MTU 的互补 PWM 输出引脚和 MTU0 的输出引脚变为高阻抗时，产生中断。

如**图 22.1** 的框图所示，POE 由输入电平检测电路、输出电平比较电路、时钟发生电路的振荡停止检测信号的输入和高阻抗请求 / 中断请求生成电路构成。

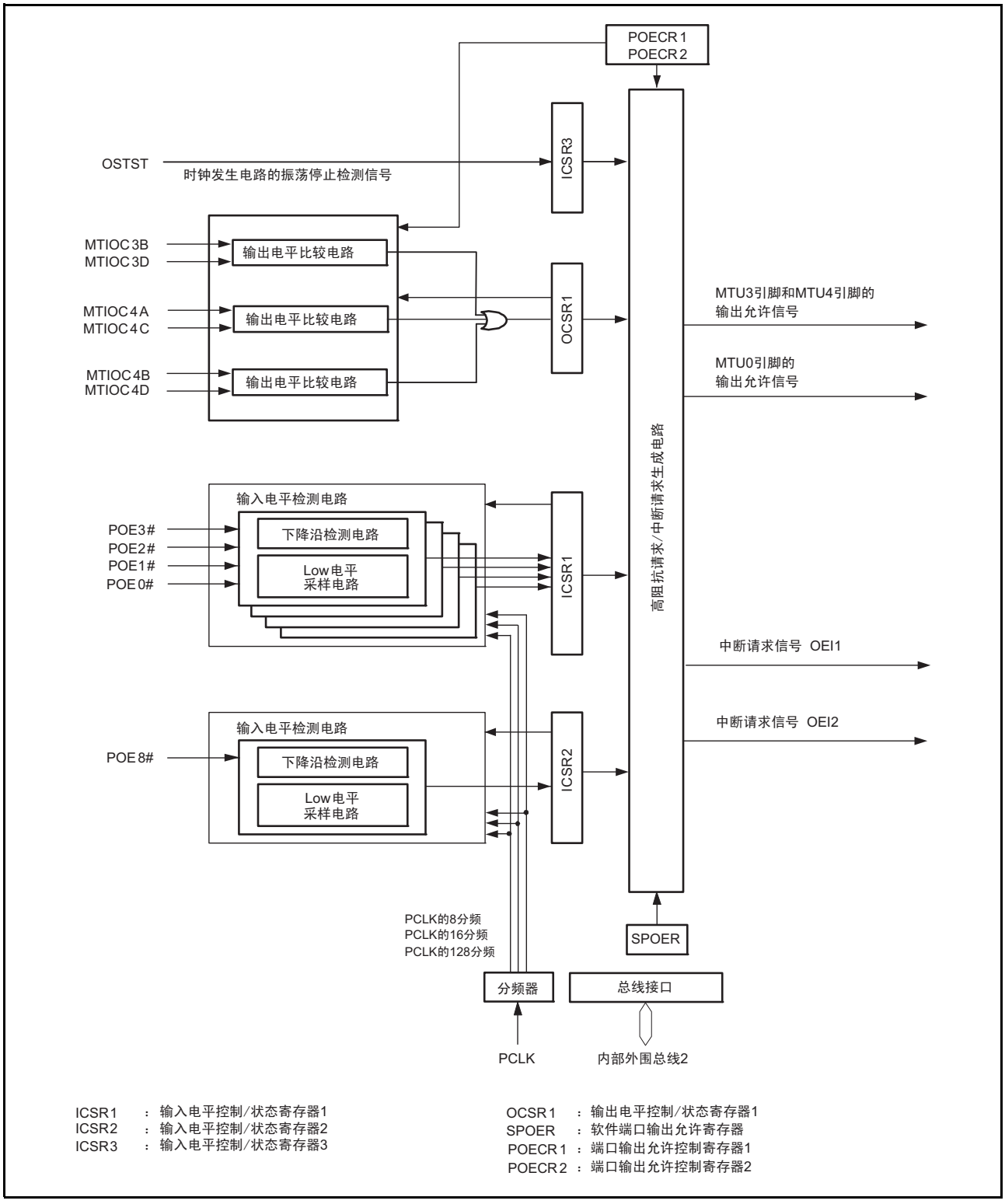

POECR1
POECR2
OSTST
时钟发生电路的振荡停止检测信号
ICSR3
MTIOC3B
MTIOC3D
输出电平比较电路
MTIOC4A
MTIOC4C
输出电平比较电路
MTIOC4B
MTIOC4D
输出电平比较电路
OCSR1
MTU3引脚和MTU4引脚的
输出允许信号
MTU0引脚的
输出允许信号
输入电平检测电路
POE3#
POE2#
POE1#
POE0#
下降沿检测电路
Low电平
采样电路
ICSR1
高阻抗请求/中断请求生成电路
中断请求信号 OEI1
输入电平检测电路
POE8#
下降沿检测电路
Low电平
采样电路
ICSR2
中断请求信号 OEI2
PCLK的8分频
PCLK的16分频
PCLK的128分频
SPOER
分频器
总线接口
PCLK
内部外围总线2
ICSR1 ：输入电平控制/状态寄存器1
ICSR2 ：输入电平控制/状态寄存器2
ICSR3 ：输入电平控制/状态寄存器3
OCSR1 ：输出电平控制/状态寄存器1
SPOER ：软件端口输出允许寄存器
POECR1 ：端口输出允许控制寄存器1
POECR2 ：端口输出允许控制寄存器2

图 22.1 POE 的框图

POE 使用的输入 / 输出引脚如表 22.2 所示。

表 22.2 POE 使用的 LSI 输入 / 输出引脚

引脚名	输入 / 输出	功能
POE0# ～ POE3#	输入	将 MTU 的互补 PWM 输出引脚置为高阻抗的请求信号
POE8#	输入	将 MTU0 的引脚置为高阻抗的请求信号
MTIOC3B	输出	MTU3 的互补 PWM 输出引脚
MTIOC3D	输出	MTU3 的互补 PWM 输出引脚
MTIOC4A	输出	MTU4 的互补 PWM 输出引脚
MTIOC4B	输出	MTU4 的互补 PWM 输出引脚
MTIOC4C	输出	MTU4 的互补 PWM 输出引脚
MTIOC4D	输出	MTU4 的互补 PWM 输出引脚
MTIOC0A	输出	MTU0 的输出引脚
MTIOC0B	输出	MTU0 的输出引脚
MTIOC0C	输出	MTU0 的输出引脚
MTIOC0D	输出	MTU0 的输出引脚

通过表 22.3 所示的引脚组合进行输出电平的比较。

表 22.3 引脚组合

引脚组合	输入 / 输出	功能
MTIOC3B 和 MTIOC3D	输出	能通过 POE 的寄存器设定对哪个组合进行输出电平比较和高阻抗控制。 当有效电平至少同时持续输出 1 个 PCLK 周期时，将 MTU 的互补 PWM 输出引脚置为高阻抗。 （在 MTU.TOCR1.TOCS 位为 “0” 的情况下， MTU.TOCR1.OLSP 位、 MTU.TOCR1.OLSN 位是 “0” 时为 Low 电平输出，是 “1” 时为 High 电平输出。 在 MTU.TOCR1.TOCS 位为 “1” 的情况下， MTU.TOCR2.OLS3N 位、 MTU.TOCR2.OLS3P 位、MTU.TOCR2.OLS2N 位、MTU.TOCR2.OLS2P 位、MTU.TOCR2.OLS1N 或者 MTU.TOCR2.OLS1P 位是 “0” 时为 Low 电平输出，是 “1” 时为 High 电平输出）。
MTIOC4A 和 MTIOC4C	输出	
MTIOC4B 和 MTIOC4D	输出	

22.2 寄存器说明

22.2.1 输入电平控制 / 状态寄存器 1 （ICSR1）

地址 0008 8900h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]		POE2M[1:0]		POE1M[1:0]		POE0M[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	POE0M[1:0]	POE0 模式选择位	b1 b0 0 0：在 POE0# 输入的下降沿接受请求 0 1：以每个 PCLK 的 8 分频时钟对 POE0# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 0：以每个 PCLK 的 16 分频时钟对 POE0# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 1：以每个 PCLK 的 128 分频时钟对 POE0# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。	R/W （注 1）
b3-b2	POE1M[1:0]	POE1 模式选择位	b3 b2 0 0：在 POE1# 输入的下降沿接受请求 0 1：以每个 PCLK 的 8 分频时钟对 POE1# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 0：以每个 PCLK 的 16 分频时钟对 POE1# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 1：以每个 PCLK 的 128 分频时钟对 POE1# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。	R/W （注 1）
b5-b4	POE2M[1:0]	POE2 模式选择位	b5 b4 0 0：在 POE2# 输入的下降沿接受请求 0 1：以每个 PCLK 的 8 分频时钟对 POE2# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 0：以每个 PCLK 的 16 分频时钟对 POE2# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 1：以每个 PCLK 的 128 分频时钟对 POE2# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。	R/W （注 1）
b7-b6	POE3M[1:0]	POE3 模式选择位	b7 b6 0 0：在 POE3# 输入的下降沿接受请求 0 1：以每个 PCLK 的 8 分频时钟对 POE3# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 0：以每个 PCLK 的 16 分频时钟对 POE3# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 1：以每个 PCLK 的 128 分频时钟对 POE3# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。	R/W （注 1）
b8	PIE1	端口中断允许 1 位	0：禁止通过输入电平的检测进行 OEI1 中断请求 1：允许通过输入电平的检测进行 OEI1 中断请求	R/W
b11-b9	—	保留位	读写值都为 “0”。	R/W
b12	POE0F	POE0 标志	0：POE0# 引脚无高阻抗请求 1：POE0# 引脚有高阻抗请求	R/(W) （注 2）
b13	POE1F	POE1 标志	0：POE1# 引脚无高阻抗请求 1：POE1# 引脚有高阻抗请求	R/(W) （注 2）
b14	POE2F	POE2 标志	0：POE2# 引脚无高阻抗请求 1：POE2# 引脚有高阻抗请求	R/(W) （注 2）
b15	POE3F	POE3 标志	0：POE3# 引脚无高阻抗请求 1：POE3# 引脚有高阻抗请求	R/(W) （注 2）

注 1. 复位后，只能写 1 次。

注 2. 要将此标志置 “0” 时，只能在读 “1” 后写 “0”。

在通过 POE0M[1:0] ～ POE3M[1:0] 位设定了 Low 电平采样的情况下要给 POE0F ～ POE3F 标志写“0”时，需要将 High 电平输入到 POE0# ～ POE3# 引脚。

详细内容请参照 “22.3.5 高阻抗的解除”。

PIE1 位 （端口中断允许 1 位）

当 POE3F ～ POE0F 标志中只要有 1 位为 “1”时，此位指定是否请求 OEI1 中断。

POE0F 标志 （POE0 标志）

这是表示给 POE0# 引脚输入了高阻抗请求的标志。

［为 “0”的条件］

- 在读 “1”后写 “0”时

［为 “1”的条件］

- 当POE0#引脚有POE0M[1:0]位设定的输入时

POE1F 标志 （POE1 标志）

这是表示给 POE1# 引脚输入了高阻抗请求的标志。

［为 “0”的条件］

- 在读 “1”后写 “0”时

［为 “1”的条件］

- 当POE1#引脚有POE1M[1:0]位设定的输入时

POE2F 标志 （POE2 标志）

这是表示给 POE2# 引脚输入了高阻抗请求的标志。

［为 “0”的条件］

- 在读 “1”后写 “0”时

［为 “1”的条件］

- 当POE2#引脚有POE2M[1:0]位设定的输入时

POE3F 标志 （POE3 标志）

这是表示给 POE3# 引脚输入了高阻抗请求的标志。

［为 “0”的条件］

- 在读 “1”后写 “0”时

［为 “1”的条件］

- 当POE3#引脚有POE3M[1:0]位设定的输入时

22.2.2 输出电平控制 / 状态寄存器 1 （OCSR1）

地址 0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为 “0”。	R/W
b8	OIE1	输出短路的中断允许 1 位	0：禁止通过输出电平的比较进行 OEI1 中断请求 1：允许通过输出电平的比较进行 OEI1 中断请求	R/W
b9	OCE1	输出短路的高阻抗允许 1 位	0：不将引脚置为高阻抗 1：将引脚置为高阻抗	R/W （注 1）
b14-b10	—	保留位	读写值都为 “0”。	R/W
b15	OSF1	输出短路标志 1	0：不同时为有效电平 1：同时为有效电平	R/(W) （注 2）

注 1. 复位后，只能写 1 次。

注 2. 要将此标志置 “0” 时，只能在读 “1” 后写 “0”。

OIE1 位 （输出短路的中断允许 1 位）

当 OSF1 标志为 “1” 时，此位指定是否请求 OEI1 中断。

OCE1 位 （输出短路的高阻抗允许 1 位）

当 OSF1 标志为 “1” 时，此位指定是否将 MTU 的互补 PWM 输出引脚置为高阻抗。

OSF1 标志 （输出短路标志 1）

此标志表示表 22.3 的引脚组合和 MTU 互补 PWM 输出引脚要比较的 3 组 2 相输出中至少有 1 组同时为有效电平。当 POECR2.PnCZEA （n=1、2、3）位为 “0” 或者没将 MTU 的输出比较功能置为有效时，即使对应的 MTU 互补 PWM 输出引脚同时变为有效电平， OSF1 标志也不变为 “1”。

［为 “0” 的条件］

- 在读 “1” 后写 “0” 时
  当写 “0” 时，需要从MTU的互补PWM输出引脚输出无效电平。
  详细内容请参照 “22.3.5 高阻抗的解除”。

［为 “1” 的条件］

- 当3组2相输出中至少有1组同时变为有效电平时

22.2.3 输入电平控制 / 状态寄存器 2（ICSR2）

地址 0008 8908h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE2	—	—	—	—	—	—	POE8M[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	POE8M[1:0]	POE8 模式选择位	b1 b0 0 0：在 POE8# 输入的下降沿接受请求 0 1：以每个 PCLK 的 8 分频时钟对 POE8# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 0：以每个 PCLK 的 16 分频时钟对 POE8# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。 1 1：以每个 PCLK 的 128 分频时钟对 POE8# 输入的 Low 电平进行 16 次采样，当全部为 Low 电平时，接受请求。	R/W （注 1）
b7-b2	—	保留位	读写值都为 “0”。	R/W
b8	PIE2	端口中断允许 2 位	0：禁止 OEI2 中断请求 1：允许 OEI2 中断请求	R/W
b9	POE8E	POE8 高阻抗允许位	0：不将 MTIOC0A、MTIOC0B、MTIOC0C 和 MTIOC0D 引脚置为高阻抗 1：将 MTIOC0A、MTIOC0B、MTIOC0C 和 MTIOC0D 引脚置为高阻抗	R/W （注 1）
b11-b10	—	保留位	读写值都为 “0”。	R/W
b12	POE8F	POE8 标志	0：POE8# 引脚无高阻抗请求 1：POE8# 引脚有高阻抗请求	R/(W) （注 2）
b15-b13	—	保留位	读写值都为 “0”。	R/W

注 1. 复位后，只能写 1 次。

注 2. 要将此标志置 “0” 时，只能在读 “1” 后写 “0”。

PIE2 位（端口中断允许 2 位）

当 POE8F 标志为 “1” 时，此位指定是否请求 OEI2 中断。

POE8E 位（POE8 高阻抗允许位）

当 POE8F 标志为 “1” 时，此位指定是否将 MTU0 的引脚置为高阻抗。

POE8F 标志（POE8 标志）

这是表示给 POE8# 引脚输入了高阻抗请求的标志。

[为 “0” 的条件]

在读 “1” 后写 “0” 时

在通过 POE8M[1:0] 位设定了 Low 电平采样的情况下要写 “0” 时，需要给 POE8# 引脚输入 High 电平。

详细内容请参照 “22.3.5 高阻抗的解除”。

[为 “1” 的条件]

- 当POE8#引脚有POE8M[1:0]位设定的输入时

22.2.4 软件端口输出允许寄存器 （SPOER）

地址 0008 890Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CH0HIZ	CH34HIZ
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CH34HIZ	MTU3、 MTU4 的输出高阻抗允许位	0：不置为高阻抗 1：置为高阻抗	R/W
b1	CH0HIZ	MTU0 的输出高阻抗允许位	0：不置为高阻抗 1：置为高阻抗	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

CH34HIZ 位 （MTU3、 MTU4 的输出高阻抗允许位）

此位对 MTU 的互补 PWM 输出引脚（MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D）进行高阻抗控制。

［为 “0” 的条件］

- 在读 “1” 后写 “0” 时

［为 “1” 的条件］

- 当写 “1” 时

CH0HIZ 位 （MTU0 的输出高阻抗允许位）

此位对 MTU0 的引脚 （MTIOC0A/MTIOC0B/MTIOC0C/MTIOC0D）进行高阻抗控制。

［为 “0” 的条件］

- 在读 “1” 后写 “0” 时

［为 “1” 的条件］

- 当写 “1” 时

22.2.5 端口输出允许控制寄存器 1 （POECR1）

地址 0008 890Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PE3ZE	PE2ZE	PE1ZE	PE0ZE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PE0ZE	MTIOC0A 的高阻抗允许位	0：不置为高阻抗 1：置为高阻抗	R/W （注 1）
b1	PE1ZE	MTIOC0B 的高阻抗允许位	0：不置为高阻抗 1：置为高阻抗	R/W （注 1）
b2	PE2ZE	MTIOC0C 的高阻抗允许位	0：不置为高阻抗 1：置为高阻抗	R/W （注 1）
b3	PE3ZE	MTIOC0D 的高阻抗允许位	0：不置为高阻抗 1：置为高阻抗	R/W （注 1）
b7-b4	—	保留位	读写值都为 “0”。	R/W

注 1. 复位后，只能写 1 次。

22.2.6 端口输出允许控制寄存器 2 （POECR2）

地址 0008 890Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	P1CZEA	P2CZEA	P3CZEA	—	—	—	—
复位后的值	0	1	1	1	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b4	P3CZEA	MTU 端口 3 的高阻抗允许位	0：不进行输出电平的比较并且不置为高阻抗 1：置为高阻抗	R/W （注 1）
b5	P2CZEA	MTU 端口 2 的高阻抗允许位	0：不进行输出电平的比较并且不置为高阻抗 1：置为高阻抗	R/W （注 1）
b6	P1CZEA	MTU 端口 1 的高阻抗允许位	0：不进行输出电平的比较并且不置为高阻抗 1：置为高阻抗	R/W （注 1）
b7	—	保留位	读写值都为 “0”。	R/W

注 1. 复位后，只能写 1 次。

在不使用此功能时，必须写 “00h”。

P3CZEA 位 （MTU 端口 3 的高阻抗允许位）

此位设定是否允许将MTU互补PWM输出引脚的MTIOC4B和MTIOC4D置为高阻抗以及是否允许MTIOC4B和 MTIOC4D 的输出电平的比较。

P2CZEA 位 （MTU 端口 2 的高阻抗允许位）

此位设定是否允许将MTU互补PWM输出引脚的MTIOC4A和MTIOC4C置为高阻抗以及是否允许MTIOC4A和 MTIOC4C 的输出电平的比较。

P1CZEA 位 （MTU 端口 1 的高阻抗允许位）

此位设定是否允许将MTU互补PWM输出引脚的MTIOC3B和MTIOC3D置为高阻抗以及是否允许MTIOC3B和 MTIOC3D 的输出电平的比较。

22.2.7 输入电平控制 / 状态寄存器 3 （ICSR3）

地址 0008 890Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTSTF	—	—	OSTSTE	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b8-b0	—	保留位	读写值都为 “0”。	R/W
b9	OSTSTE	OSTST 的高阻抗允许位	0：不将 MTIOC0A、 MTIOC0B、 MTIOC0C、 MTIOC0D、 MTIOC3B、 MTIOC3D、 MTIOC4A、 MTIOC4B、 MTIOC4C 和 MTIOC4D 引脚置为高阻抗 1：将 MTIOC0A、 MTIOC0B、 MTIOC0C、 MTIOC0D、 MTIOC3B、 MTIOC3D、 MTIOC4A、 MTIOC4B、 MTIOC4C 和 MTIOC4D 引脚置为高阻抗	R/W （注 1）
b11-b10	—	保留位	读写值都为 “0”。	R/W
b12	OSTSTF	OSTST 高阻抗标志	0：无振荡停止高阻抗请求 1：有振荡停止高阻抗请求	R/(W) （注 2）
b15-b13	—	保留位	读写值都为 “0”。	R/W

注 1. 复位后，只能写 1 次。

注 2. 要将此标志置 “0” 时，只能在读 “1” 后写 “0”。

OSTSTE 位 （OSTST 的高阻抗允许位）

此位设定是否允许在检测到振荡停止时将 MTU 的互补 PWM 输出引脚和 MTU0 的引脚置为高阻抗。

OSTSTF 标志 （OSTST 高阻抗标志）

OSTSTF 标志表示振荡停止高阻抗请求。一旦进入振荡停止状态，此标志就变为 “1”。要将 OSTSTF 标志置 “0” 时，必须在振荡停止检测信号无效的状态下给此标志写 “0”。在振荡停止检测信号有效期间，即使给 OSTSTF 标志写 “0”，此标志也不变为 “0”。有效期间是指从检测到振荡停止后到经过 10 个 PCLK 周期为止的期间。

［为 “0” 的条件］

- 在读 “1” 后写 “0” 时

［为 “1” 的条件］

- 当检测到振荡停止状态时

22.3 运行说明

高阻抗的对象引脚和条件如下所示。

1. MTU0的引脚 （MTIOC0A）

当以下的任意一个条件成立时，将引脚置为高阻抗。

- POE8#引脚的输入电平的检测
  在POECR1.PE0ZE位和ICSR2.POE8E位为 “1”的状态下ICSR2.POE8F标志变为 “1”时
- SPOER寄存器的设定
  在POECR1.PE0ZE位为 “1”的状态下将SPOER.CH0HIZ位置 “1”时
- 振荡停止的检测
  在POECR1.PE0ZE位和ICSR3.OSTSTE位为 “1”的状态下OSTSTF标志变为 “1”时

2. MTU0的引脚 （MTIOC0B）

当以下的任意一个条件成立时，将引脚置为高阻抗。

- POE8#引脚的输入电平的检测
  在POECR1.PE1ZE位和ICSR2.POE8E位为 “1”的状态下ICSR2.POE8F标志变为 “1”时
- SPOER寄存器的设定
  在POECR1.PE1ZE位为 “1”的状态下将SPOER.CH0HIZ位置 “1”时
- 振荡停止的检测
  在POECR1.PE1ZE位和ICSR3.OSTSTE位为 “1”的状态下OSTSTF标志变为 “1”时

3. MTU0的引脚 （MTIOC0C）

当以下的任意一个条件成立时，将引脚置为高阻抗。

- POE8#引脚的输入电平的检测
  在POECR1.PE2ZE位和ICSR2.POE8E位为 “1”的状态下ICSR2.POE8F标志变为 “1”时
- SPOER寄存器的设定
  在POECR1.PE2ZE位为 “1”的状态下将SPOER.CH0HIZ位置 “1”时
- 振荡停止的检测
  在POECR1.PE2ZE位和ICSR3.OSTSTE位为 “1”的状态下OSTSTF标志变为 “1”时

4. MTU0的引脚 （MTIOC0D）

当以下的任意一个条件成立时，将引脚置为高阻抗。

- POE8#引脚的输入电平的检测
  在POECR1.PE3ZE位和ICSR2.POE8E位为 “1”的状态下ICSR2.POE8F标志变为 “1”时
- SPOER寄存器的设定
  在POECR1.PE3ZE位为 “1”的状态下将SPOER.CH0HIZ位置 “1”时
- 振荡停止的检测
  在POECR1.PE3ZE位和ICSR3.OSTSTE位为 “1”的状态下OSTSTF标志变为 “1”时

5. MTU3的引脚 （MTIOC3B、 MTIOC3D）

当以下的任意一个条件成立时，将引脚置为高阻抗。

- POE0#～POE3#引脚的输入电平的检测
  在POECR2.P1CZEA位为“1”的状态下ICSR1.POE3F、ICSR1.POE2F、ICSR1.POE1F或者ICSR1.POE0F标志变为 “1”时
- MTIOC3B引脚和MTIOC3D引脚的输出电平的比较
  在POECR2.P1CZEA位和OCSR1.OCE1位为 “1”的状态下OCSR1.OSF1标志变为 “1”时

- SPOER 寄存器的设定
  在 POECR2.P1CZEA 位为 “1” 的状态下将 SPOER.CH34HIZ 位置 “1” 时
- 振荡停止的检测
  在 POECR2.P1CZEA 位和 ICSR3.OSTSTE 位为 “1” 的状态下 ICSR3.OSTSTF 标志变为 “1” 时

6. MTU4 的引脚 （MTIOC4A、 MTIOC4C）

当以下的任意一个条件成立时，将引脚置为高阻抗。

- POE0# ～ POE3# 引脚的输入电平的检测
  在 POECR2.P2CZEA 位为 “1” 的状态下 ICSR1.POE3F、ICSR1.POE2F、ICSR1.POE1F 或者 ICSR1.POE0F 标志变为 “1” 时
- MTIOC4A 引脚和 MTIOC4C 引脚的输出电平的比较
  在 POECR2.P2CZEA 位和 OCSR1.OCE1 位为 “1” 的状态下 OCSR1.OSF1 标志变为 “1” 时
- SPOER 寄存器的设定
  在 POECR2.P2CZEA 位为 “1” 的状态下将 SPOER.CH34HIZ 位置 “1” 时
- 振荡停止的检测
  在 POECR2.P2CZEA 位和 ICSR3.OSTSTE 位为 “1” 的状态下 ICSR3.OSTSTF 标志变为 “1” 时

7. MTU4 的引脚 （MTIOC4B、 MTIOC4D）

当以下的任意一个条件成立时，将引脚置为高阻抗。

- POE0# ～ POE3# 引脚的输入电平的检测
  在 POECR2.P3CZEA 位为 “1” 的状态下 ICSR1.POE3F、ICSR1.POE2F、ICSR1.POE1F 或者 ICSR1.POE0F 标志变为 “1” 时
- MTIOC4B 引脚和 MTIOC4D 引脚的输出电平的比较
  在 POECR2.P3CZEA 位和 OCSR1.OCE1 位为 “1” 的状态下 OCSR1.OSF1 标志变为 “1” 时
- SPOER 寄存器的设定
  在 POECR2.P3CZEA 位为 “1” 的状态下将 SPOER.CH34HIZ 位置 “1” 时
- 振荡停止的检测
  在 POECR2.P3CZEA 位和 ICSR3.OSTSTE 位为 “1” 的状态下 ICSR3.OSTSTF 标志变为 “1” 时

22.3.1 输入电平的检测

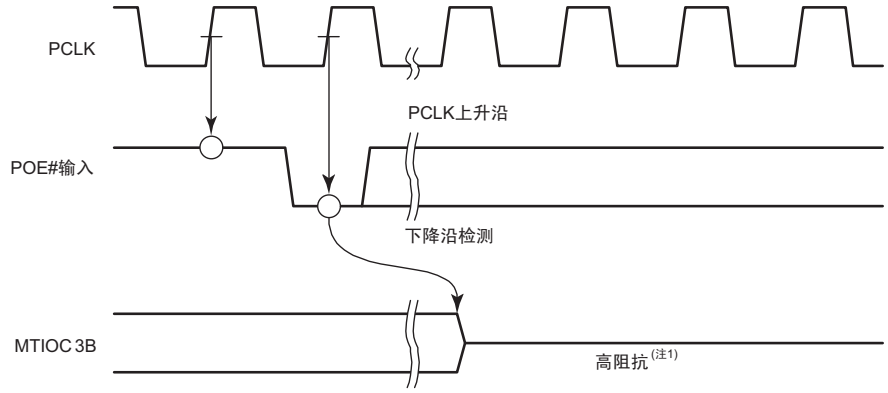
当 POE0# ～ POE3# 引脚和 POE8# 引脚产生 ICSR1 寄存器和 ICSR2 寄存器设定的输入条件时，将 MTU 的互补 PWM 输出引脚和 MTU0 的引脚置为高阻抗。

(1) 下降沿检测

当 POE0# ～ POE3# 引脚和 POE8# 引脚从 High 电平变为 Low 电平时，将 MTU 的互补 PWM 输出引脚和 MTU0 的引脚置为高阻抗。

在通过 PCLK 进行采样后检测下降沿。如果给 POE0# ～ POE3# 引脚和 POE8# 引脚输入了不满 1 个 PCLK 周期的 Low 电平，就无法保证是否能检测到下降沿。

从 POE0# ～ POE3# 和 POE8# 的引脚输入到将引脚置为高阻抗为止的时序例子如图 22.2 所示。

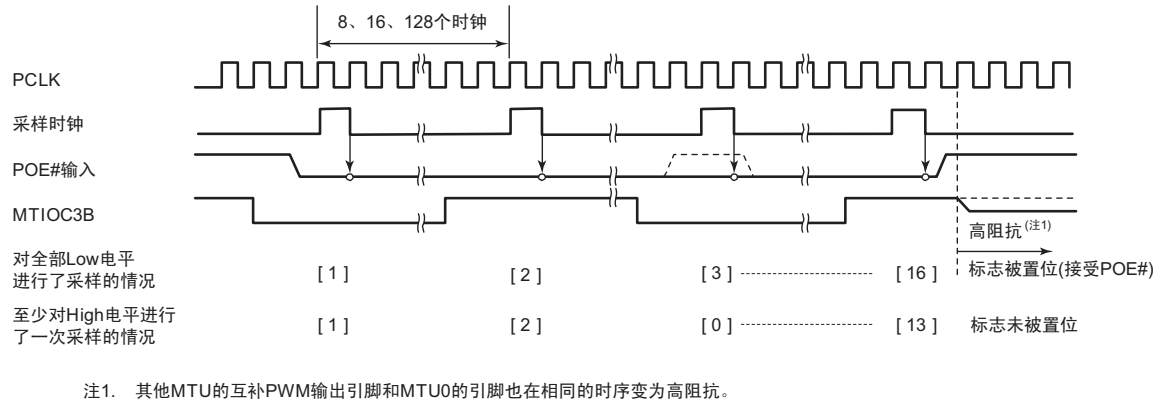


注1. 其他MTU的互补PWM输出引脚和MTU0的引脚也在相同的时序变为高阻抗。

图 22.2 下降沿检测

(2) Low 电平检测

Low 电平检测如图 22.3 所示。通过 ICSR1 寄存器和 ICSR2 寄存器设定的采样时钟连续对 Low 电平进行 16 次采样。此时，只要有 1 次检测到 High 电平，就不接受请求。在未输出采样时钟的期间， POE0# ～ POE3# 引脚和 POE8# 引脚即使发生变化也被忽视。



注1. 其他MTU的互补PWM输出引脚和MTU0的引脚也在相同的时序变为高阻抗。

图 22.3 Low 电平检测

22.3.2 输出电平的比较

以 MTIOC3B 和 MTIOC3D 的组合为例，MTU 互补 PWM 输出引脚的输出电平比较如图 22.4 所示，其他引脚的组合也一样。

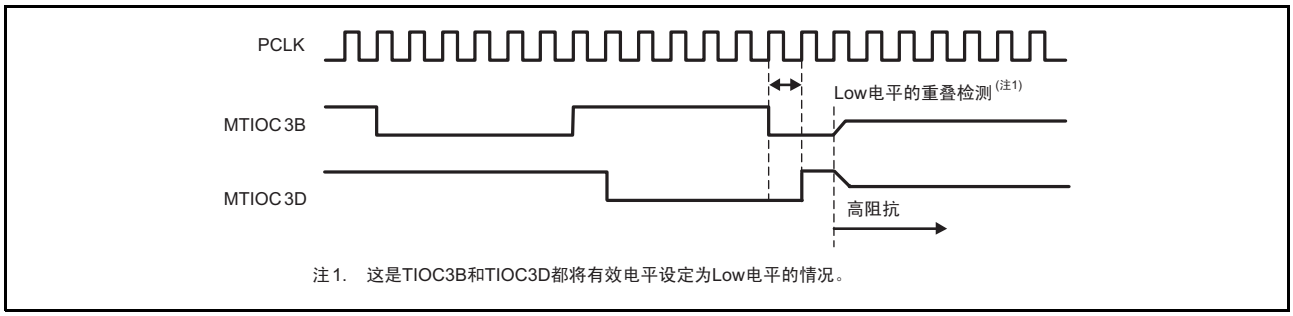


图 22.4 输出电平的比较

22.3.3 通过寄存器进行的高阻抗控制

通过写软件端口输出允许寄存器 （SPOER），对 MTU 的互补 PWM 输出引脚和 MTU0 的引脚进行高阻抗控制。

通过将 SPOER.CH34HIZ 位置“1”，将端口输出允许控制寄存器 2（POECR2）所设 MTU 的互补 PWM 输出引脚 （MTU3、 MTU4）置为高阻抗。

对于其他引脚，同样也能通过设定 SPOER 寄存器的位进行高阻抗控制。

22.3.4 通过振荡停止检测进行的高阻抗控制

如果通过时钟发生电路的振荡停止检测功能检测到振荡停止，就将输入电平控制 / 状态寄存器 3 （ICSR3）所设 MTU 的互补 PWM 输出引脚和 MTU0 的引脚置为高阻抗。

22.3.5 高阻抗的解除

因输入电平检测而变为高阻抗的 MTU 的互补 PWM 输出引脚和 MTU0 的引脚通过复位恢复到初始状态，或者通过将 ICSR1.POE3F 标志、ICSR1.POE2F 标志、ICSR1.POE1F 标志、ICSR1.POE0F 标志和 ICSR2.POE8F 标志置“0”，解除高阻抗状态。但是，当通过 ICSR1.POE3M[1:0] 位、ICSR1.POE2M[1:0] 位、ICSR1.POE1M[1:0] 位、ICSR1.POE0M[1:0] 位和 ICSR2.POE8M[1:0] 位设定为 Low 电平采样时，如果不是在 POE0# ～ POE3# 引脚和 POE8# 引脚输入 High 电平后对 High 电平进行采样以后，即使给此标志写“0”也无效，此标志不变为“0”。

因输出电平比较而变为高阻抗的MTU的互补PWM输出引脚通过复位恢复到初始状态，或者通过将OCSR1.OSF1 标志置“0”，解除高阻抗状态。但是，如果不是在从 MTU 的互补 PWM 输出引脚输出无效电平以后，即使给此标志写 “0”也无效，此标志不变为 “0”。能通过设定 MTU 的寄存器，输出无效电平。

对于因时钟发生电路的振荡停止而变为高阻抗的MTU的互补PWM输出引脚和MTU0的引脚，通过将ICSR3.OSTSTF 位或者 ICSR3.OSTSTE 位置 “0”，解除高阻抗状态。

对于因 SPOER.CH34HIZ 位或者 SPOER.CH0HIZ 位而变为高阻抗的 MTU 的互补 PWM 输出引脚或者 MTU0 的引脚，通过将引脚的对应位 （SPOER.CH34HIZ 位、 SPOER.CH0HIZ 位）置 “0”，解除高阻抗状态。

22.4 中断

如果在进行输入电平的检测、输出电平的比较或者时钟发生电路的振荡停止时满足条件，POE 就能在发出中断请求后产生中断。中断的种类和产生中断请求的条件如表 22.4 所示。在接受 OEI1 中断和 OEI2 中断后，必须确认在对应中断的异常处理程序的起始位置对应标志已被置 “1”。

表 22.4 中断请求的种类和条件

名称	中断源	对应标志	条件
OEI1	输出允许中断 1	POE0F、POE1F、POE2F、POE3F、OSF1	在 ICSR1.PIE1 位为 “1” 的状态下 ICSR1.POE0F、ICSR1.POE1F、ICSR1.POE2F 或者 ICSR1.POE3F 标志变为 “1” 时，或者在 OCSR1.OIE1 位为 “1” 的状态下 OCSR1.OSF1 标志变为 “1” 时
OEI2	输出允许中断 2	POE8F	在 ICSR2.PIE2 位为 “1” 的状态下 ICSR2.POE8F 标志变为 “1” 时

22.5 使用时的注意事项

22.5.1 向软件待机模式或者深度软件待机模式的转移

在使用 POE 时，不能向软件待机模式和深度软件待机模式转移。因为在软件待机模式和深度软件待机模式中 POE 停止运行，所以不能对引脚进行高阻抗控制。

22.5.2 不使用 POE 时的注意事项

在不使用 POE 时，必须分别给端口输出允许控制寄存器 1（POECR1）和端口输出允许控制寄存器 2（POECR2）写 “00h”。

22.5.3 有关引脚的 MTU 功能的设定

只有在通过端口模式寄存器（PMR）选择引脚作为 MTU 的对应引脚时，才能通过 POE 进行高阻抗控制。在选择引脚作为通用输入 / 输出端口时，不进行高阻抗控制。

23. 16 位定时器脉冲单元 （TPUa）

RX630 群内置由 6 个通道的 16 位定时器构成的 16 位定时器脉冲单元 （TPU），有 2 个单元 （单元 0、单元 1），共计 12 通道 （TPU0 ～ TPU11）。

23.1 概要

TPU 的规格如表 23.1 所示，TPU（单元 0）和 TPU（单元 1）的功能一览表分别如表 23.2 和表 23.3 所示。TPU （单元 0）和 TPU （单元 1）的框图分别图 23.1 和图 23.2 所示。

表 23.1 TPU 的规格

项目	内容
脉冲输入 / 输出	最多 32 个 （单元 0：16 个、单元 1：16 个）
计数时钟	各通道有 7 种或者 8 种。
能设定的运行	• 通过比较匹配进行波形输出。 • 输入捕捉功能 （能设定噪声滤波器） • 计数器清除运行 • 同时写多个定时器的计数器 （TCNT）。 • 通过比较匹配 / 输入捕捉进行同时清除。 • 通过计数器的同步运行进行各寄存器的同步输入 / 输出。 • 通过和同步运行的组合进行最多 15 相的 PWM 输出。 • 级联运行。
通道 0、 3、 6、 9	能设定缓冲运行。
通道 1、2、4、5、7、8、10、11	能设定相位计数模式。
中断源	52 种 （单元 0：26 种、单元 1：26 种）
缓冲运行	寄存器数据的自动传送
触发生成	能生成可编程脉冲生成器 （PPG）的输出触发。
	能生成 A/D 转换器的转换开始触发。
低功耗功能	各单元能设定为模块停止状态。

表 23.2 TPU （单元 0）的功能一览表 (1/2)

项目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
计数时钟	PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKA TCLKB TCLKC TCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKB TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKA	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKC TCLKD
定时器的通用寄存器 （TGRy）（y=A ～ D）	TGRA TGRB TGRC （注 1） TGRD （注 1）	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC （注 1） TGRD （注 1）	TGRA TGRB	TGRA TGRB
输入 / 输出引脚	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5

表 23.2　TPU （单元 0）的功能一览表 (2/2)

项目		TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
计数器清除功能		TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉
比较匹配输出	Low 电平输出	○	○	○	○	○	○
	High 电平输出	○	○	○	○	○	○
	交替输出	○	○	○	○	○	○
输入捕捉功能		○	○	○	○	○	○
同步运行		○	○	○	○	○	○
PWM 模式		○	○	○	○	○	○
相位计数模式		—	○	○	—	○	○
缓冲运行		○	—	—	○	—	—
DTC 的启动		TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉
DMAC 的启动		TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉
A/D 转换开始触发（TGRy）（y=A ～ D）		TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉
		TGRy 的比较匹配或者输入捕捉	—	—	—	—	—
PPG 触发		TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	—	—
中断源		5 个源 • 比较匹配 / 输入捕捉 0A • 比较匹配 / 输入捕捉 0B • 比较匹配 / 输入捕捉 0C • 比较匹配 / 输入捕捉 0D • 上溢	4 个源 • 比较匹配 / 输入捕捉 1A • 比较匹配 / 输入捕捉 1B • 上溢 • 下溢	4 个源 • 比较匹配 / 输入捕捉 2A • 比较匹配 / 输入捕捉 2B • 上溢 • 下溢	5 个源 • 比较匹配 / 输入捕捉 3A • 比较匹配 / 输入捕捉 3B • 比较匹配 / 输入捕捉 3C • 比较匹配 / 输入捕捉 3D • 上溢	4 个源 • 比较匹配 / 输入捕捉 4A • 比较匹配 / 输入捕捉 4B • 上溢 • 下溢	4 个源 • 比较匹配 / 输入捕捉 5A • 比较匹配 / 输入捕捉 5B • 上溢 • 下溢
模块停止的设定（注 2）		MSTPCRA.MSTPA13 位					

○：能

—：不能

注 1.　能将 TGRC 寄存器和 TGRD 寄存器设定为缓冲寄存器。

注 2.　详细内容请参照 “11. 低功耗功能”。

表 23.3　TPU （单元 1）的功能一览表 (1/2)

项目		TPU6	TPU7	TPU8	TPU9	TPU10	TPU11
计数时钟		PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKE TCLKF TCLKG TCLKH	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKE TCLKF	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKE TCLKF TCLKG	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKE	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKE TCLKG	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKE TCLKG TCLKH
定时器的通用寄存器（TGRy）（y=A ～ D）		TGRA TGRB TGRC （注 1） TGRD （注 1）	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC （注 1） TGRD （注 1）	TGRA TGRB	TGRA TGRB
输入 / 输出引脚		TIOCA6 TIOCB6 TIOCC6 TIOCD6	TIOCA7 TIOCB7	TIOCA8 TIOCB8	TIOCA9 TIOCB9 TIOCC9 TIOCD9	TIOCA10 TIOCB10	TIOCA11 TIOCB11
计数器清除功能		TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉
比较匹配输出	Low 电平输出	○	○	○	○	○	○
	High 电平输出	○	○	○	○	○	○
	交替输出	○	○	○	○	○	○
输入捕捉功能		○	○	○	○	○	○
同步运行		○	○	○	○	○	○
PWM 模式		○	○	○	○	○	○
相位计数模式		—	○	○	—	○	○
缓冲运行		○	—	—	○	—	—
DTC 的启动		TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉	TGRy 的比较匹配或者输入捕捉
DMAC 的启动		TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉
A/D 转换开始触发（TGRy）（y=A ～ D）		TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉	TGRA 的比较匹配或者输入捕捉
		TGRy 的比较匹配或者输入捕捉	—	—	—	—	—
PPG 触发		TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	—	—

表 23.3 TPU （单元 1）的功能一览表 (2/2)

项目	TPU6	TPU7	TPU8	TPU9	TPU10	TPU11
中断源	5 个源 • 比较匹配 / 输入捕捉 6A • 比较匹配 / 输入捕捉 6B • 比较匹配 / 输入捕捉 6C • 比较匹配 / 输入捕捉 6D • 上溢	4 个源 • 比较匹配 / 输入捕捉 7A • 比较匹配 / 输入捕捉 7B • 上溢 • 下溢	4 个源 • 比较匹配 / 输入捕捉 8A • 比较匹配 / 输入捕捉 8B • 上溢 • 下溢	5 个源 • 比较匹配 / 输入捕捉 9A • 比较匹配 / 输入捕捉 9B • 比较匹配 / 输入捕捉 9C • 比较匹配 / 输入捕捉 9D • 上溢	4 个源 • 比较匹配 / 输入捕捉 10A • 比较匹配 / 输入捕捉 10B • 上溢 • 下溢	4 个源 • 比较匹配 / 输入捕捉 11A • 比较匹配 / 输入捕捉 11B • 上溢 • 下溢
模块停止的设定 （注 2）	MSTPCRA.MSTPA12 位					

○：能

—：不能

注 1. 能将 TGRC 寄存器和 TGRD 寄存器设定为缓冲寄存器。

注 2. 详细内容请参照 “11. 低功耗功能”。

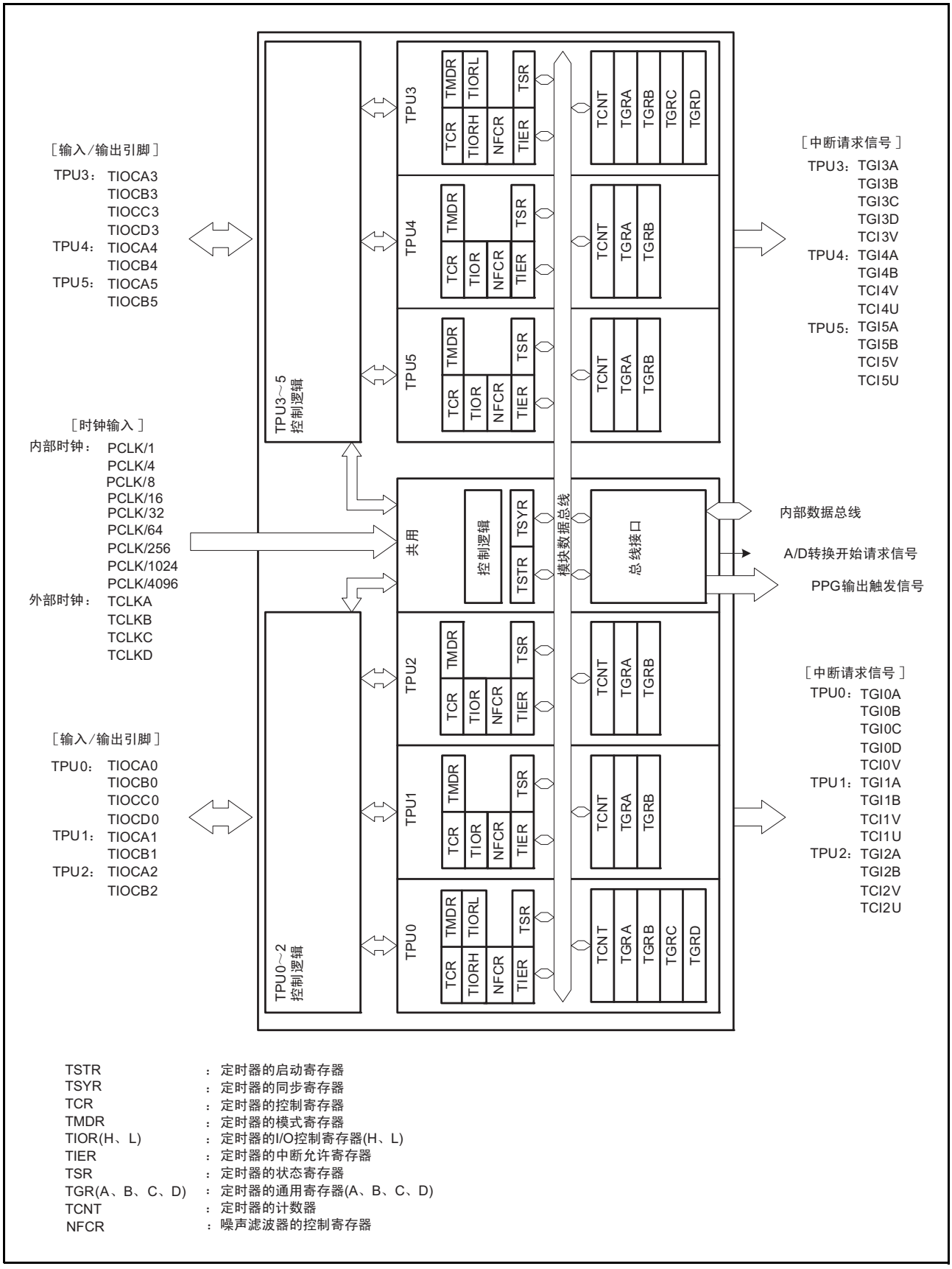


图 23.1 TPU （单元 0）的框图

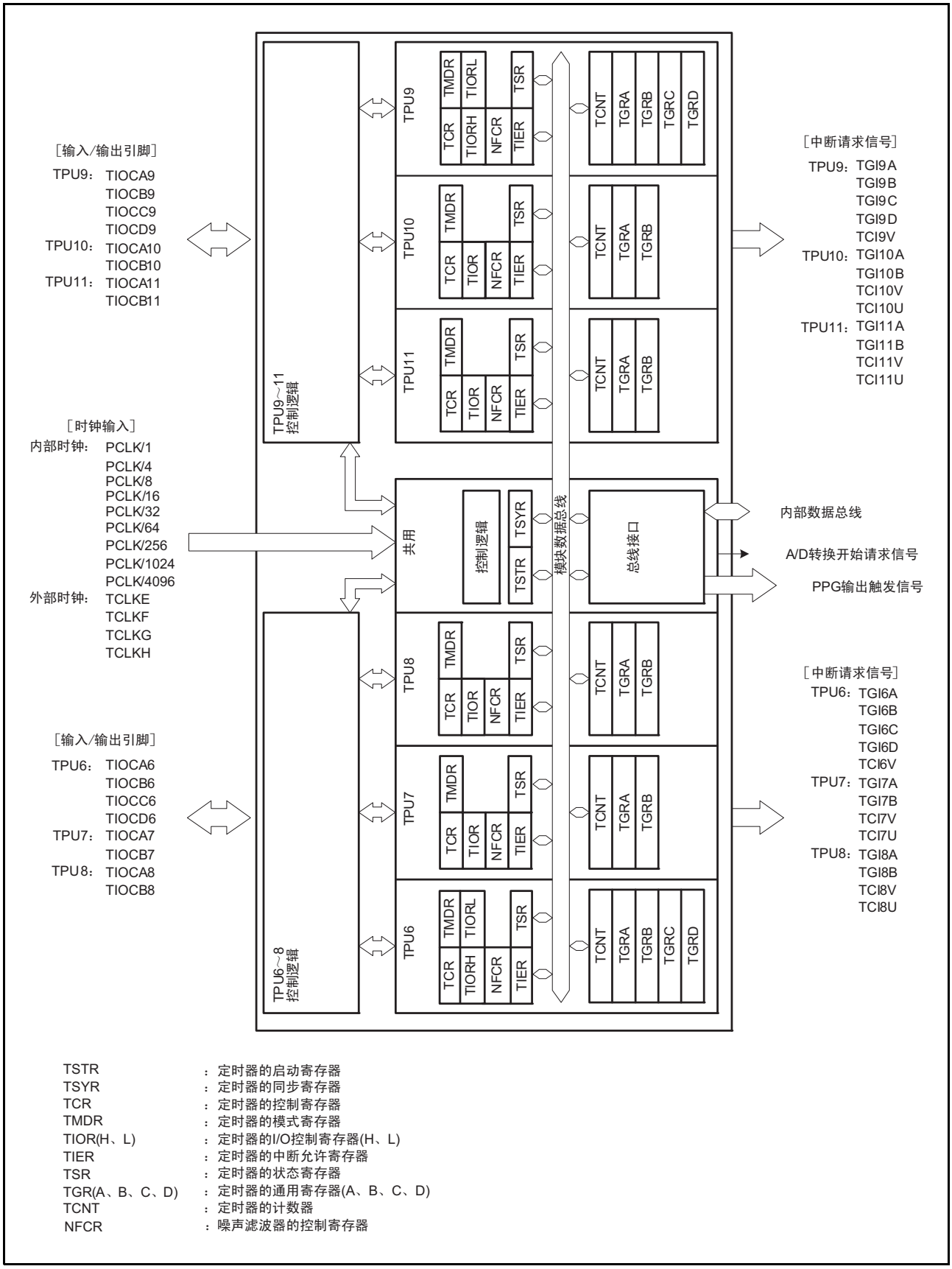


图 23.2 TPU （单元 1）的框图

TPU 使用的输入 / 输出引脚如表 23.4 所示。

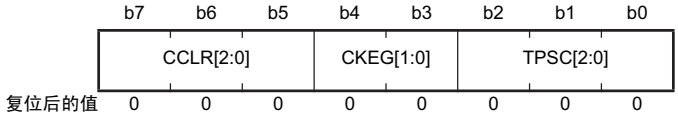
表 23.4 TPU 的输入 / 输出引脚

单元	通道	引脚名	输入 / 输出	功能
单元 0	单元 0 共用	TCLKA	输入	外部时钟 A 的输入引脚 （TPU1 和 TPU5 的相位计数模式 A 相输入）
		TCLKB	输入	外部时钟 B 的输入引脚 （TPU1 和 TPU5 的相位计数模式 B 相输入）
		TCLKC	输入	外部时钟 C 的输入引脚 （TPU2 和 TPU4 的相位计数模式 A 相输入）
		TCLKD	输入	外部时钟 D 的输入引脚 （TPU2 和 TPU4 的相位计数模式 B 相输入）
	TPU0	TIOCA0	输入 / 输出	TPU0.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB0	输入 / 输出	TPU0.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCC0	输入 / 输出	TPU0.TGRC 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCD0	输入 / 输出	TPU0.TGRD 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU1	TIOCA1	输入 / 输出	TPU1.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB1	输入 / 输出	TPU1.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU2	TIOCA2	输入 / 输出	TPU2.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB2	输入 / 输出	TPU2.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU3	TIOCA3	输入 / 输出	TPU3.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB3	输入 / 输出	TPU3.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCC3	输入 / 输出	TPU3.TGRC 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCD3	输入 / 输出	TPU3.TGRD 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU4	TIOCA4	输入 / 输出	TPU4.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB4	输入 / 输出	TPU4.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU5	TIOCA5	输入 / 输出	TPU5.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB5	输入 / 输出	TPU5.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
单元 1	单元 1 共用	TCLKE	输入	外部时钟 E 的输入引脚 （TPU7 和 TPU11 的相位计数模式 A 相输入）
		TCLKF	输入	外部时钟 F 的输入引脚 （TPU7 和 TPU11 的相位计数模式 B 相输入）
		TCLKG	输入	外部时钟 G 的输入引脚 （TPU8 和 TPU10 的相位计数模式 A 相输入）
		TCLKH	输入	外部时钟 H 的输入引脚 （TPU8 和 TPU10 的相位计数模式 B 相输入）
	TPU6	TIOCA6	输入 / 输出	TPU6.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB6	输入 / 输出	TPU6.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCC6	输入 / 输出	TPU6.TGRC 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCD6	输入 / 输出	TPU6.TGRD 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU7	TIOCA7	输入 / 输出	TPU7.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB7	输入 / 输出	TPU7.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU8	TIOCA8	输入 / 输出	TPU8.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB8	输入 / 输出	TPU8.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU9	TIOCA9	输入 / 输出	TPU9.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB9	输入 / 输出	TPU9.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCC9	输入 / 输出	TPU9.TGRC 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCD9	输入 / 输出	TPU9.TGRD 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU10	TIOCA10	输入 / 输出	TPU10.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB10	输入 / 输出	TPU10.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
	TPU11	TIOCA11	输入 / 输出	TPU11.TGRA 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚
		TIOCB11	输入 / 输出	TPU11.TGRB 的输入捕捉的输入引脚 / 输出比较的输出引脚 /PWM 的输出引脚

23.2 寄存器说明

23.2.1 定时器的控制寄存器 （TCR）

地址 TPU0.TCR 0008 8110h、TPU1.TCR 0008 8120h、TPU2.TCR 0008 8130h
TPU3.TCR 0008 8140h、TPU4.TCR 0008 8150h、TPU5.TCR 0008 8160h
TPU6.TCR 0008 8180h、TPU7.TCR 0008 8190h、TPU8.TCR 0008 81A0h
TPU9.TCR 0008 81B0h、TPU10.TCR 0008 81C0h、TPU11.TCR 0008 81D0h



位	符号	位名	功能	R/W
b2-b0	TPSC[2:0]	定时器的预分器选择位	请参照表 23.5 ～表 23.10。	R/W
b4-b3	CKEG[1:0]	输入时钟边沿选择位	请参照表 23.11。	R/W
b7-b5	CCLR[2:0] （注 1）	计数器清除源选择位	请参照表 23.12 和表 23.13。	R/W

注 1. 单元 0 的 TPU1.TCR、 TPU2.TCR、 TPU4.TCR、 TPU5.TCR 寄存器以及单元 1 的 TPU7.TCR、 TPU8.TCR、 TPU10.TCR、 TPU11.TCR 寄存器的 b7 为保留位，读写值都为 “0”。

必须在 TPUm.TCNT 计数器停止运行的状态下设定 TPUm.TCR 寄存器。

TPSC[2:0] 位 （定时器的预分器选择位）

这些位选择 TCNT 计数器的时钟，各通道能分别选择时钟。

在选择外部时钟作为时钟的情况下，必须将该引脚的端口方向寄存器 （PDR）的位置 “0”（输入端口），并且将端口模式寄存器 （PMR）的位置 “1”（用作外围功能）。详细内容请参照 “19. I/O 端口”。

CKEG[1:0] 位 （输入时钟边沿选择位）

这些位选择输入时钟的边沿。

如果在双边沿对内部时钟进行计数，输入时钟的周期就为1/2（例如：PCLK/4的双边沿=PCLK/2的上升沿）。

内部时钟的边沿选择在输入时钟为 PCLK/4 或者慢于 PCLK/4 时有效。如果选择 PCLK/1 或者其他通道的上溢 / 下溢作为输入时钟，就忽略此设定。

表 23.5 TPSC[2:0] 位 （TPU0、 TPU6）

通道	TPSC[2:0] 位			功能
	b2	b1	b0	
TPU0 （单元 0） TPU6 （单元 1）	0	0	0	内部时钟：通过 PCLK/1 进行计数。
	0	0	1	内部时钟：通过 PCLK/4 进行计数。
	0	1	0	内部时钟：通过 PCLK/16 进行计数。
	0	1	1	内部时钟：通过 PCLK/64 进行计数。
	1	0	0	外部时钟： • TPU0 （单元 0）：通过 TCLKA 引脚输入进行计数。 • TPU6 （单元 1）：通过 TCLKE 引脚输入进行计数。
	1	0	1	外部时钟： • TPU0 （单元 0）：通过 TCLKB 引脚输入进行计数。 • TPU6 （单元 1）：通过 TCLKF 引脚输入进行计数。
	1	1	0	外部时钟： • TPU0 （单元 0）：通过 TCLKC 引脚输入进行计数。 • TPU6 （单元 1）：通过 TCLKG 引脚输入进行计数。
	1	1	1	外部时钟： • TPU0 （单元 0）：通过 TCLKD 引脚输入进行计数。 • TPU6 （单元 1）：通过 TCLKH 引脚输入进行计数。

表 23.6 TPSC[2:0] 位 （TPU1、 TPU7）

通道	TPSC[2:0] 位			功能
	b2	b1	b0	
TPU1 （单元 0） TPU7 （单元 1）	0	0	0	内部时钟：通过 PCLK/1 进行计数。
	0	0	1	内部时钟：通过 PCLK/4 进行计数。
	0	1	0	内部时钟：通过 PCLK/16 进行计数。
	0	1	1	内部时钟：通过 PCLK/64 进行计数。
	1	0	0	外部时钟： • TPU1 （单元 0）：通过 TCLKA 引脚输入进行计数。 • TPU7 （单元 1）：通过 TCLKE 引脚输入进行计数。
	1	0	1	外部时钟： • TPU1 （单元 0）：通过 TCLKB 引脚输入进行计数。 • TPU7 （单元 1）：通过 TCLKF 引脚输入进行计数。
	1	1	0	内部时钟：通过 PCLK/256 进行计数。
	1	1	1	• TPU1 （单元 0） 通过 TPU2.TCNT 计数器的上溢 / 下溢进行计数。 • TPU7 （单元 1） 通过 TPU8.TCNT 计数器的上溢 / 下溢进行计数。

注 . 在 TPU1 或者 TPU7 为相位计数模式时，此设定无效。

表 23.7 TPSC[2:0] 位 （TPU2、 TPU8）

通道	TPSC[2:0] 位			功能
	b2	b1	b0	
TPU2 （单元 0） TPU8 （单元 1）	0	0	0	内部时钟：通过 PCLK/1 进行计数。
	0	0	1	内部时钟：通过 PCLK/4 进行计数。
	0	1	0	内部时钟：通过 PCLK/16 进行计数。
	0	1	1	内部时钟：通过 PCLK/64 进行计数。
	1	0	0	外部时钟： • TPU2 （单元 0）：通过 TCLKA 引脚输入进行计数。 • TPU8 （单元 1）：通过 TCLKE 引脚输入进行计数。
	1	0	1	外部时钟： • TPU2 （单元 0）：通过 TCLKB 引脚输入进行计数。 • TPU8 （单元 1）：通过 TCLKF 引脚输入进行计数。
	1	1	0	外部时钟： • TPU2 （单元 0）：通过 TCLKC 引脚输入进行计数。 • TPU8 （单元 1）：通过 TCLKG 引脚输入进行计数。
	1	1	1	内部时钟：通过 PCLK/1024 进行计数。

注 . 在 TPU2 或者 TPU8 为相位计数模式时，此设定无效。

表 23.8 TPSC[2:0] 位 （TPU3、 TPU9）

通道	TPSC[2:0] 位			功能
	b2	b1	b0	
TPU3 （单元 0） TPU9 （单元 1）	0	0	0	内部时钟：通过 PCLK/1 进行计数。
	0	0	1	内部时钟：通过 PCLK/4 进行计数。
	0	1	0	内部时钟：通过 PCLK/16 进行计数。
	0	1	1	内部时钟：通过 PCLK/64 进行计数。
	1	0	0	外部时钟： • TPU3 （单元 0）：通过 TCLKA 引脚输入进行计数。 • TPU9 （单元 1）：通过 TCLKE 引脚输入进行计数。
	1	0	1	内部时钟：通过 PCLK/1024 进行计数。
	1	1	0	内部时钟：通过 PCLK/256 进行计数。
	1	1	1	内部时钟：通过 PCLK/4096 进行计数。

表 23.9 TPSC[2:0] 位 （TPU4、 TPU10）

通道	TPSC[2:0] 位			功能
	b2	b1	b0	
TPU4 （单元 0） TPU10 （单元 1）	0	0	0	内部时钟：通过 PCLK/1 进行计数。
	0	0	1	内部时钟：通过 PCLK/4 进行计数。
	0	1	0	内部时钟：通过 PCLK/16 进行计数。
	0	1	1	内部时钟：通过 PCLK/64 进行计数。
	1	0	0	外部时钟： • TPU4 （单元 0）：通过 TCLKA 引脚输入进行计数。 • TPU10 （单元 1）：通过 TCLKE 引脚输入进行计数。
	1	0	1	外部时钟： • TPU4 （单元 0）：通过 TCLKC 引脚输入进行计数。 • TPU10 （单元 1）：通过 TCLKG 引脚输入进行计数。
	1	1	0	内部时钟：通过 PCLK/1024 进行计数。
	1	1	1	• TPU4 （单元 0） 通过 TPU5.TCNT 计数器的上溢 / 下溢进行计数。 • TPU10 （单元 1） 通过 TPU11.TCNT 计数器的上溢 / 下溢进行计数。

注 . 在 TPU4 或者 TPU10 为相位计数模式时，此设定无效。

表 23.10 TPSC[2:0] 位 （TPU5、 TPU11）

通道	TPSC[2:0] 位			功能
	b2	b1	b0	
TPU5 （单元 0） TPU11 （单元 1）	0	0	0	内部时钟：通过 PCLK/1 进行计数。
	0	0	1	内部时钟：通过 PCLK/4 进行计数。
	0	1	0	内部时钟：通过 PCLK/16 进行计数。
	0	1	1	内部时钟：通过 PCLK/64 进行计数。
	1	0	0	外部时钟： • TPU5 （单元 0）：通过 TCLKA 引脚输入进行计数。 • TPU11 （单元 1）：通过 TCLKE 引脚输入进行计数。
	1	0	1	外部时钟： • TPU5 （单元 0）：通过 TCLKC 引脚输入进行计数。 • TPU11 （单元 1）：通过 TCLKG 引脚输入进行计数。
	1	1	0	内部时钟：通过 PCLK/256 进行计数。
	1	1	1	外部时钟： • TPU5 （单元 0）：通过 TCLKD 引脚输入进行计数。 • TPU11 （单元 1）：通过 TCLKH 引脚输入进行计数。

注 . 在 TPU5 或者 TPU11 为相位计数模式时，此设定无效。

表 23.11 CKEG[1:0] 位

CKEG[1:0] 位		输入时钟	
b4	b3	内部时钟	外部时钟
0	0	在下降沿进行计数。	在上升沿进行计数。
0	1	在上升沿进行计数。	在下降沿进行计数。
1	0	在双边沿进行计数。	在双边沿进行计数。
1	1	在双边沿进行计数。	在双边沿进行计数。

表 23.12 CCLR[2:0] 位 （TPU0、 TPU3、 TPU6、 TPU9）

通道	CCLR[2:0] 位			功能
	b7	b6	b5	
（单元 0）TPU0、TPU3 （单元 1）TPU6、TPU9	0	0	0	禁止清除 TCNT 计数器。
	0	0	1	在发生 TGRA 寄存器的比较匹配 / 输入捕捉时，清除 TCNT 计数器。
	0	1	0	在发生 TGRB 寄存器的比较匹配 / 输入捕捉时，清除 TCNT 计数器。
	0	1	1	在清除正在进行同步清除 / 同步运行的其他通道的计数器时，清除 TCNT 计数器（注 2）。
	1	0	0	禁止清除 TCNT 计数器。
	1	0	1	在发生 TGRC 寄存器的比较匹配 / 输入捕捉时，清除 TCNT 计数器（注 1）。
	1	1	0	在发生 TGRD 寄存器的比较匹配 / 输入捕捉时，清除 TCNT 计数器（注 1）。
	1	1	1	在清除正在进行同步清除 / 同步运行的其他通道的计数器时，清除 TCNT 计数器（注 2）。

注 1. 在将 TGRC 寄存器或者 TGRD 寄存器用作缓冲寄存器时，因为优先设定缓冲寄存器并且不发生比较匹配 / 输入捕捉，所以不清除 TCNT 计数器。

注 2. 通过将 TPUA.TSYR.SYNCj 位 （j=0、 3）位和 TPUB.TSYR.SYNCj 位 （j=6、 9）位置 “1”，设定同步运行。

表 23.13 CCLR[2:0] 位 （TPU1、 TPU2、 TPU4、 TPU5、 TPU7、 TPU8、 TPU10、 TPU11）

通道	CCLR[2:0] 位（注 1）			功能
	b7	b6	b5	
（单元 0）TPU1、TPU2 TPU4、TPU5 （单元 1）TPU7、TPU8 TPU10、TPU11	0	0	0	禁止清除 TCNT 计数器。
	0	0	1	在发生 TGRA 寄存器的比较匹配 / 输入捕捉时，清除 TCNT 计数器。
	0	1	0	在发生 TGRB 寄存器的比较匹配 / 输入捕捉时，清除 TCNT 计数器。
	0	1	1	在清除正在进行同步清除 / 同步运行的其他通道的计数器时，清除 TCNT 计数器（注 2）。
	1	0	0	不能设定。
	1	0	1	不能设定。
	1	1	0	不能设定。
	1	1	1	不能设定。

注 1. 单元 0 的 TPU1.TCR、 TPU2.TCR、 TPU4.TCR、 TPU5.TCR 寄存器以及单元 1 的 TPU7A.TCR、 TPU8.TCR、 TPU10.TCR、 TPU11.TCR 寄存器的 b7 为保留位，读写值都为 “0”。

注 2. 通过将 TPUA.TSYR.SYNCj 位（j=1、 2、 4、 5）位和 TPUB.TSYR.SYNCj 位（j=7、 8、 10、 11）位置 “1”，设定同步运行。

23.2.2 定时器的模式寄存器 （TMDR）

地址 TPU0.TMDR 0008 8111h、TPU1.TMDR 0008 8121h、TPU2.TMDR 0008 8131h
TPU3.TMDR 0008 8141h、TPU4.TMDR 0008 8151h、TPU5.TMDR 0008 8161h
TPU6.TMDR 0008 8181h、TPU7.TMDR 0008 8191h、TPU8.TMDR 0008 81A1h
TPU9.TMDR 0008 81B1h、TPU10.TMDR 0008 81C1h、TPU11.TMDR 0008 81D1h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICSELD	ICSELB	BFB	BFA	MD[3:0]			
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	MD[3:0]	模式选择位	b3（注 1）b0 0 0 0 0：正常运行 0 0 0 1：不能设定 0 0 1 0：PWM 模式 1 0 0 1 1：PWM 模式 2 0 1 0 0：相位计数模式 1（注 2） 0 1 0 1：相位计数模式 2（注 2） 0 1 1 0：相位计数模式 3（注 2） 0 1 1 1：相位计数模式 4（注 2） 上述以外：不能设定	R/W
b4	BFA（注 3）	缓冲运行 A 位	0：TPUm.TGRA 寄存器进行正常运行 1：TPUm.TGRA 寄存器和 TPUm.TGRC 寄存器进行缓冲运行 （m=0、 3、 6、 9）	R/W
b5	BFB（注 4）	缓冲运行 B 位	0：TPUm.TGRB 寄存器进行正常运行 1：TPUm.TGRB 寄存器和 TPUm.TGRD 寄存器进行缓冲运行 （m=0、 3、 6、 9）	R/W
b6	ICSELB	TGRB 输入捕捉的输入选择位	0：输入捕捉的输入源为 TIOCBn 引脚 1：输入捕捉的输入源为 TIOCAn 引脚 （n=0 ～ 11）	R/W
b7	ICSELD（注 4）	TGRD 输入捕捉的输入选择位	0：输入捕捉的输入源为 TIOCDn 引脚 1：输入捕捉的输入源为 TIOCCn 引脚 （n=0、 3、 6、 9）	R/W

注 1. b3 为保留位，读写值都为 “0”。

注 2. 不能将 TPU0、 TPU3 （单元 0）、 TPU6 和 TPU9 （单元 1）设定为相位计数模式，必须将 b2 置 “0”。

注 3. 在没有 TGRC 寄存器的 TPU1、 TPU2、 TPU4、 TPU5 （单元 0）、 TPU7、 TPU8、 TPU10 和 TPU11 （单元 1）中， b4 为保留位，读写值都为 “0”。

注 4. 在没有 TGRD 寄存器的 TPU1、 TPU2、 TPU4、 TPU5 （单元 0）、 TPU7、 TPU8、 TPU10 和 TPU11 （单元 1）中， b5 和 b7 为保留位，读写值都为 “0”。

必须在 TPUm.TCNT 计数器停止运行的状态下设定 TPUm.TMDR 寄存器。

BFA 位 （缓冲运行 A 位）

此位选择是将TPUm.TGRA寄存器（m=0、3、6、9）进行正常运行还是将TPUm.TGRA寄存器和TPUm.TGRC寄存器 （m=0、 3、 6、 9）组合进行缓冲运行。

如果将 TGRC 寄存器用作缓冲寄存器，就不会发生 TGRC 寄存器的输入捕捉 / 输出比较。

BFB 位 （缓冲运行 B 位）

此位选择是将TPUm.TGRB寄存器（m=0、3、6、9）进行正常运行还是将TPUm.TGRB寄存器和TPUm.TGRD寄存器 （m=0、 3、 6、 9）组合进行缓冲运行。

如果将 TGRD 寄存器用作缓冲寄存器，就不会发生 TGRD 寄存器的输入捕捉 / 输出比较。

ICSELB 位 （TGRB 输入捕捉的输入选择位）

此位选择 TPUm.TGRB 寄存器 （m=0 ～ 11）的输入捕捉的输入。能使用此功能并且通过 1 个 TIOCAn 输入引脚测量输入脉冲的 High 电平宽度和周期。

ICSELD 位 （TGRD 输入捕捉的输入选择位）

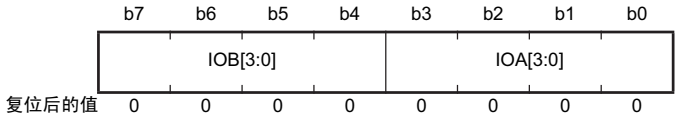
此位选择 TPUm.TGRD 寄存器 （m=0、 3、 6、 9）的输入捕捉的输入。

能使用此功能并且通过 1 个 TIOCCn 输入引脚测量输入脉冲的 High 电平宽度和周期。

23.2.3 定时器的 I/O 控制寄存器 （TIORH、 TIORL、 TIOR）

- 单元0 （TPU0.TIORH、 TPU1.TIOR、 TPU2.TIOR、 TPU3.TIORH、 TPU4.TIOR、 TPU5.TIOR）
  单元1 （TPU6.TIORH、 TPU7.TIOR、 TPU8.TIOR、 TPU9.TIORH、 TPU10.TIOR、 TPU11.TIOR）

地址 TPU0.TIORH 0008 8112h、TPU1.TIOR 0008 8122h、TPU2.TIOR 0008 8132h
TPU3.TIORH 0008 8142h、TPU4.TIOR 0008 8152h、TPU5.TIOR 0008 8162h
TPU6.TIORH 0008 8182h、TPU7.TIOR 0008 8192h、TPU8.TIOR 0008 81A2h
TPU9.TIORH 0008 81B2h、TPU10.TIOR 0008 81C2h、TPU11.TIOR 0008 81D2h

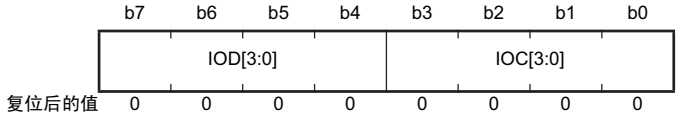


位	符号	位名	功能	R/W
b3-b0	IOA[3:0]	TGRA 寄存器的控制位	请参照表 23.14 ～表 23.19 （注 1）。	R/W
b7-b4	IOB[3:0]	TGRB 寄存器的控制位	请参照表 23.14 ～表 23.19 （注 1）。	R/W

注 1. 在通过比较匹配输出 Low 电平或者 High 电平或者进行交替输出的过程中，如果将 IOn[3:0] 位 （n=A、 B）的值改为禁止输出 （“0000b”或者 “0100b”），就变为 Hi-Z 状态。

- 单元0 （TPU0.TIORL、 TPU3.TIORL）
  单元1 （TPU6.TIORL、 TPU9.TIORL）

地址 TPU0.TIORL 0008 8113h、TPU3.TIORL 0008 8143h
TPU6.TIORL 0008 8183h、TPU9.TIORL 0008 81B3h



位	符号	位名	功能	R/W
b3-b0	IOC[3:0]	TGRC 寄存器的控制位	请参照表 23.20 和表 23.21 （注 1）。	R/W
b7-b4	IOD[3:0]	TGRD 寄存器的控制位	请参照表 23.20 和表 23.21 （注 1）。	R/W

注 1. 在通过比较匹配输出 Low 电平或者 High 电平或者进行交替输出的过程中，如果将 IOn[3:0] 位 （n=C、 D）的值改为禁止输出 （“0000b”或者 “0100b”），就变为 Hi-Z 状态。

在 TPU 中，TPU0、TPU3、TPU6 和 TPU9 各有 1 个 TIORH 寄存器，共计 4 个； TPU0、TPU3、TPU6 和 TPU9 各有 1 个 TIORL 寄存器，共计 4 个； TPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10 和 TPU11 各有 1 个 TIOR 寄存器，共计 8 个。总共 16 个定时器的 I/O 控制寄存器。

TIORH、 TIORL、 TIOR 寄存器控制 TGRA ～ TGRD 寄存器。

必须注意：TIORH、 TIORL、 TIOR 寄存器受 TMDR 寄存器设定的影响。

详细内容请参照表 23.14 ～表 23.21。

在计数器停止计数运行的状态下 （TPUA.TSTR.CSTj 位 （j=0 ～ 5）和 TPUB.TSTR.CSTj 位 （j=6 ～ 11）为 “0”），TIORH、TIORL、TIOR 寄存器指定的初始输出有效。另外，给 PWM 模式 2 的初始输出指定 TCNT 计数器为 “0”时的输出。

如果在将 TGRC 寄存器或者 TGRD 寄存器设定为缓冲运行，IOC[3:0] 位或者 IOD[3:0] 位设定的寄存器功能就无效， TGRC 寄存器或者 TGRD 寄存器用作缓冲寄存器。

在通过 TIORH、 TIORL、 TIOR 寄存器选择输入捕捉的功能时，必须将该引脚的端口方向寄存器 （PDR）的位置 “0”（输入端口），并且将端口模式寄存器 （PMR）的位置 “1”（用作外围功能）。详细内容请参照 “19. I/O 端口”。

IOA[3:0] 位 （TGRA 寄存器的控制位）

这些位选择 TPUm.TGRA 寄存器 （m=0 ～ 11）的功能。

IOB[3:0] 位 （TGRB 寄存器的控制位）

这些位选择 TPUm.TGRB 寄存器 （m=0 ～ 11）的功能。

IOC[3:0] 位 （TGRC 寄存器的控制位）

这些位选择 TPUm.TGRC 寄存器 （m=0、 3、 6、 9）的功能。

IOD[3:0] 位 （TGRD 寄存器的控制位）

这些位选择 TPUm.TGRD 寄存器 （m=0、 3、 6、 9）的功能。

表 23.14 TPU0.TIORH、 TPU6.TIORH

IOA[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRA 寄存器 （m=0、 6）的功能	TIOCAn 引脚 （n=0、 6）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时 High 输出电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCAn 引脚，在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCAn 引脚，在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCAn 引脚，在双边沿进行输入捕捉。
1	1	x	x		• TPU0 捕捉输入源为 TPU1 的计数时钟。 在 TPU1.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。 • TPU6 捕捉输入源为 TPU7 的计数时钟。 在 TPU7.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。

IOB[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRB 寄存器 （m=0、 6）的功能	TIOCBn 引脚 （n=0、 6）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCBn/TIOCAn 引脚（注 2），在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 2），在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 2），在双边沿进行输入捕捉。
1	1	x	x		• TPU0 捕捉输入源为 TPU1 的计数时钟。 在 TPU1.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。 • TPU6 捕捉输入源为 TPU7 的计数时钟。 在 TPU7.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。

x：Don' t care

注 1. 如果 TPUm.TCR.TPSC[2:0] 位为 “000b” 并且 TPUm.TCNT 计数器的计数时钟使用 PCLK/1，此设定就无效，不产生输入捕捉 （m=1、 7）。

注 2. 通过 TPUm.TMDR.ICSELB 位进行选择 （m=0、 6）。

表 23.15 TPU1.TIOR、 TPU7.TIOR

IOA[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRA 寄存器 （m=1、 7）的功能	TIOCAn 引脚 （n=1、 7）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCAn 引脚，在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCAn 引脚，在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCAn 引脚，在双边沿进行输入捕捉。
1	1	x	x		• TPU1 捕捉输入源为 TPU0.TGRA 寄存器的比较匹配 / 输入捕捉。 在发生 TPU0.TGRA 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。 • TPU7 捕捉输入源为 TPU6.TGRA 寄存器的比较匹配 / 输入捕捉。 在发生 TPU6.TGRA 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。

IOB[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRB 寄存器 （m=1、 7）的功能	TIOCBn 引脚 （n=1、 7）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCBn/TIOCAn 引脚 （注 1），在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCBn/TIOCAn 引脚 （注 1），在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCBn/TIOCAn 引脚 （注 1），在双边沿进行输入捕捉。
1	1	x	x		• TPU1 捕捉输入源为 TPU0.TGRC 寄存器比较匹配 / 输入捕捉。 在发生 TPU0.TGRC 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。 • TPU7 捕捉输入源为 TPU6.TGRC 寄存器的比较匹配 / 输入捕捉。 在发生 TPU6.TGRC 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。

x：Don' t care

注 1. 通过 TPUm.TMDR.ICSELB 位进行选择 （m=1、 7）。

表 23.16 TPU2.TIOR、 TPU8.TIOR

IOA[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRA 寄存器 （m=2、 8）的功能	TIOCAn 引脚 （n=2、 8）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	捕捉输入源为 TIOCAn 引脚，在上升沿进行输入捕捉。
1	x	0	1		捕捉输入源为 TIOCAn 引脚，在下降沿进行输入捕捉。
1	x	1	x		捕捉输入源为 TIOCAn 引脚，在双边沿进行输入捕捉。

IOB[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRB 寄存器 （m=2、 8）的功能	TIOCBn 引脚 （n=2、 8）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	捕捉输入源为 TIOCBn/TIOCAn 引脚（注 1），在上升沿进行输入捕捉。
1	x	0	1		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 1），在下降沿进行输入捕捉。
1	x	1	x		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 1），在双边沿进行输入捕捉。

x：Don' t care

注 1. 通过 TPUm.TMDR.ICSELB 位进行选择 （m=2、 8）。

表 23.17 TPU3.TIORH、 TPU9.TIORH

IOA[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRA 寄存器 （m=3、 9）的功能	TIOCAn 引脚 （n=3、 9）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCAn 引脚，在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCAn 引脚，在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCAn 引脚，在双边沿进行输入捕捉。
1	1	x	x		• TPU3 捕捉输入源为 TPU4 的计数时钟。 在 TPU4.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。 • TPU9 捕捉输入源为 TPU10 的计数时钟。 在 TPU10.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。

IOB[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRB 寄存器 （m=3、 9）的功能	TIOCBn 引脚 （n=3、 9）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCBn/TIOCAn 引脚（注 2），在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 2），在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 2），在双边沿进行输入捕捉。
1	1	x	x		• TPU3 捕捉输入源为 TPU4 的计数时钟。 在 TPU4.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。 • TPU9 捕捉输入源为 TPU10 的计数时钟。 在 TPU10.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉（注 1）。

x：Don' t care

注 1. 如果 TPUm.TCR.TPSC[2:0] 位为 “000b” 并且 TPUm.TCNT 的计数时钟使用 PCLK/1，此设定就无效，不发生输入捕捉（m=4、 10）。

注 2. 通过 TPUm.TMDR.ICSELB 位进行选择 （m=3、 9）。

表 23.18 TPU4.TIOR、 TPU10.TIOR

IOA[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRA 寄存器 （m=4、 10）的功能	TIOCAn 引脚 （n=4、 10）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCAn 引脚，在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCAn 引脚，在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCAn 引脚，在双边沿进行输入捕捉。
1	1	x	x		• TPU4 捕捉输入源为 TPU3.TGRA 寄存器的比较匹配 / 输入捕捉。 在发生 TPU3.TGRA 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。 • TPU10 捕捉输入源为 TPU9.TGRA 寄存器的比较匹配 / 输入捕捉。 在发生 TPU9.TGRA 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。

IOB[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRB 寄存器 （m=4、 10）的功能	TIOCBn 引脚 （n=4、 10）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	捕捉输入源为 TIOCBn/TIOCAn 引脚 （注 1），在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCBn/TIOCAn 引脚 （注 1），在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCBn/TIOCAn 引脚 （注 1），在双边沿进行输入捕捉。
1	1	x	x		• TPU4 捕捉输入源为 TPU3.TGRC 寄存器的比较匹配 / 输入捕捉。 在发生 TPU3.TGRC 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。 • TPU10 捕捉输入源为 TPU9.TGRC 寄存器的比较匹配 / 输入捕捉。 在发生 TPU9.TGRC 寄存器的比较匹配 / 输入捕捉时进行输入捕捉。

x：Don' t care

注 1. 通过 TPUm.TMDR.ICSELB 位进行选择 （m=4、 10）。

表 23.19 TPU5.TIOR、 TPU11.TIOR

IOA[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRA 寄存器 （m=5、 11）的功能	TIOCAn 引脚 （n=5、 11）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	捕捉输入源为 TIOCAn 引脚，在上升沿进行输入捕捉。
1	x	0	1		捕捉输入源为 TIOCAn 引脚，在下降沿进行输入捕捉。
1	x	1	x		捕捉输入源为 TIOCAn 引脚，在双边沿进行输入捕捉。

IOB[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRB 寄存器 （m=5、 11）的功能	TIOCBn 引脚 （n=5、 11）的功能和有关事项
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	捕捉输入源为 TIOCBn/TIOCAn 引脚（注 1），在上升沿进行输入捕捉。
1	x	0	1		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 1），在下降沿进行输入捕捉。
1	x	1	x		捕捉输入源为 TIOCBn/TIOCAn 引脚（注 1），在双边沿进行输入捕捉。

x：Don' t care

注 1. 通过 TPUm.TMDR.ICSELB 位进行选择 （m=5、 11）。

表 23.20 TPU0.TIORL、 TPU6.TIORL

IOC[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRC 寄存器 （m=0、 6）的功能	TIOCCn 引脚 （n=0、 6）的功能和有关事项
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 （注 1）	捕捉输入源为 TIOCCn 引脚，在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCCn 引脚，在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCCn 引脚，在双边沿进行输入捕捉。
1	1	x	x		• TPU0 捕捉输入源为 TPU1 的计数时钟。 在 TPU1.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。 • TPU6 捕捉输入源为 TPU7 的计数时钟。 在 TPU7.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。

IOD[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRD 寄存器 （m=0、 6）的功能	TIOCDn 引脚 （n=0、 6）的功能和有关事项
0	0	0	0	输出比较寄存器 （注 2）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 （注 2）	捕捉输入源为 TIOCDn/TIOCCn 引脚 （注 4），在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCDn/TIOCCn 引脚 （注 4），在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCDn/TIOCCn 引脚 （注 4），在双边沿进行输入捕捉。
1	1	x	x		• TPU0 捕捉输入源为 TPU1 的计数时钟。 在 TPU1.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。 • TPU6 捕捉输入源为 TPU7 的计数时钟。 在 TPU7.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。

x：Don' t care

注 1. 如果将 TPUm.TMDR.BFA 位置“1”（TPUm.TGRA 寄存器和 TPUm.TGRC 寄存器进行缓冲运行）后将 TPUm.TGRC 寄存器用作缓冲寄存器，此设定就无效，不发生输入捕捉 / 输出比较 （m=0、 6）。

注 2. 如果将 TPUm.TMDR.BFB 位置“1”（TPUm.TGRB 寄存器和 TPUm.TGRD 寄存器进行缓冲运行）后将 TPUm.TGRD 寄存器用作缓冲寄存器，此设定就无效，不发生输入捕捉 / 输出比较 （m=0、 6）。

注 3. 如果 TPUm.TCR.TPSC[2:0] 位为 “000b”并且 TPUm.TCNT 计数器的计数时钟使用 PCLK/1，此设定就无效，不发生输入捕捉 （m=1、 7）。

注 4. 通过设定 TPUm.TMDR.ICSELD 位进行选择 （m=0、 6）。

表 23.21 TPU3.TIORL、 TPU9.TIORL

IOC[3:0] 位				说明	
b3	b2	b1	b0	TPUm.TGRC 寄存器 （m=3、 9）的功能	TIOCCn 引脚 （n=3、 9）的功能和有关事项
0	0	0	0	输出比较寄存器 （注 1）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 （注 1）	捕捉输入源为 TIOCCn 引脚，在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCCn 引脚，在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCCn 引脚，在双边沿进行输入捕捉。
1	1	x	x		• TPU3 捕捉输入源为 TPU4 的计数时钟。 在 TPU4.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。 • TPU9 捕捉输入源为 TPU10 的计数时钟。 在 TPU10.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。

IOD[3:0] 位				说明	
b7	b6	b5	b4	TPUm.TGRD 寄存器 （m=3、 9）的功能	TIOCDn 引脚 （n=3、 9）的功能和有关事项
0	0	0	0	输出比较寄存器 （注 2）	禁止输出。
0	0	0	1		初始输出为 Low 电平，在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平，在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平，在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平，在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平，在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平，在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 （注 2）	捕捉输入源为 TIOCDn/TIOCCn 引脚 （注 4），在上升沿进行输入捕捉。
1	0	0	1		捕捉输入源为 TIOCDn/TIOCCn 引脚 （注 4），在下降沿进行输入捕捉。
1	0	1	x		捕捉输入源为 TIOCDn/TIOCCn 引脚 （注 4），在双边沿进行输入捕捉。
1	1	X	x		• TPU3 捕捉输入源为 TPU4 的计数时钟。 在 TPU4.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。 • TPU9 捕捉输入源为 TPU10 的计数时钟 在 TPU10.TCNT 计数器的递增计数 / 递减计数时进行输入捕捉 （注 3）。

x：Don' t care

注 1. 如果在将 TPUm.TMDR.BFA 位置 “1”（TPUm.TGRA 寄存器和 TPUm.TGRC 寄存器进行缓冲运行）后将 TPUm.TGRC 寄存器用作缓冲寄存器，此设定就无效，不产生输入捕捉 / 输出比较 （m=3、 9）。

注 2. 如果在将 TPUm.TMDR.BFB 位置 “1”（TPUm.TGRB 寄存器和 TPUm.TGRD 寄存器进行缓冲运行）后将 TPUm.TGRD 寄存器用作缓冲寄存器，此设定就无效，不产生输入捕捉 / 输出比较 （m=3、 9）。

注 3. 如果 TPUm.TCR.TPSC[2:0] 位为 “000b”并且 TPUm.TCNT 的计数时钟使用 PCLK/1，此设定就无效，不产生输入捕捉 （m=4、 10）。

注 4. 通过设定 TPUm.TMDR.ICSELD 位进行选择 （m=3、 9）。

23.2.4 定时器的中断允许寄存器 （TIER）

地址 TPU0.TIER 0008 8114h、TPU1.TIER 0008 8124h、TPU2.TIER 0008 8134h
TPU3.TIER 0008 8144h、TPU4.TIER 0008 8154h、TPU5.TIER 0008 8164h
TPU6.TIER 0008 8184h、TPU7.TIER 0008 8194h、TPU8.TIER 0008 81A4h
TPU9.TIER 0008 81B4h、TPU10.TIER 0008 81C4h、TPU11.TIER 0008 81D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
复位后的值	0	1	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TGIEA	TGRA 中断允许位	0：禁止中断 （TGImA） 1：允许中断 （TGImA） （m=0 ～ 11）	R/W
b1	TGIEB	TGRB 中断允许位	0：禁止中断 （TGImB） 1：允许中断 （TGImB） （m=0 ～ 11）	R/W
b2	TGIEC（注 1）	TGRC 中断允许位	0：禁止中断 （TGImC） 1：允许中断 （TGImC） （m=0、 3、 6、 9）	R/W
b3	TGIED（注 1）	TGRD 中断允许位	0：禁止中断 （TGImD） 1：允许中断 （TGImD） （m=0、 3、 6、 9）	R/W
b4	TCIEV	上溢中断允许位	0：禁止中断 （TCImV） 1：允许中断 （TCImV） （m=0 ～ 11）	R/W
b5	TCIEU（注 2）	下溢中断允许位	0：禁止中断 （TCImU） 1：允许中断 （TCImU） （m=1、 2、 4、 5、 7、 8、 10、 11）	R/W
b6	—	保留位	读写值都为 “1”。	R/W
b7	TTGE	A/D 转换开始的请求允许位	0：禁止 A/D 转换开始请求的发生 1：允许 A/D 转换开始请求的发生	R/W

注 1. 单元 0 的 TPU1.TIER、 TPU2.TIER、 TPU4.TIER、 TPU5.TIER 寄存器以及单元 1 的 TPU7.TIER、 TPU8.TIER、 TPU10.TIER、 TPU11.TIER 寄存器的 b3 和 b2 为保留位，读写值都为 “0”。

注 2. 单元 0 的 TPU0.TIER、TPU3.TIER 寄存器以及单元 1 的 TPU6.TIER、TPU9.TIER 寄存器的 b5 为保留位，读写值都为 “0”。

TTGE 位 （A/D 转换开始的请求允许位）

此位允许或者禁止由 TPUm.TGRA 寄存器（m=0 ～ 11）的输入捕捉 / 比较匹配产生的 A/D 转换开始请求。

23.2.5 定时器的状态寄存器 （TSR）

地址　TPU0.TSR 0008 8115h、TPU1.TSR 0008 8125h、TPU2.TSR 0008 8135h
TPU3.TSR 0008 8145h、TPU4.TSR 0008 8155h、TPU5.TSR 0008 8165h
TPU6.TSR 0008 8185h、TPU7.TSR 0008 8195h、TPU8.TSR 0008 81A5h
TPU9.TSR 0008 81B5h、TPU10.TSR 0008 81C5h、TPU11.TSR 0008 81D5h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
复位后的值	1	1	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TGFA	输入捕捉 / 输出比较标志 A	0：没有发生 TPUm.TGRA 的输入捕捉和比较匹配 1：发生 TPUm.TGRA 的输入捕捉或者比较匹配 （m=0 ～ 11）	R/W （注 2）
b1	TGFB	输入捕捉 / 输出比较标志 B	0：没有发生 TPUm.TGRB 的输入捕捉和比较匹配 1：发生 TPUm.TGRB 的输入捕捉或者比较匹配 （m=0 ～ 11）	R/W （注 2）
b2	TGFC（注 4）	输入捕捉 / 输出比较标志 C	0：没有发生 TPUm.TGRC 的输入捕捉和比较匹配 1：发生 TPUm.TGRC 的输入捕捉或者比较匹配 （m=0、 3、 6、 9）	R/W （注 2）
b3	TGFD（注 4）	输入捕捉 / 输出比较标志 D	0：没有发生 TPUm.TGRD 的输入捕捉和比较匹配 1：发生 TPUm.TGRD 的输入捕捉或者比较匹配 （m=0、 3、 6、 9）	R/W （注 2）
b4	TCFV	上溢标志	0：TPUm.TCNT 没有发生上溢 1：TPUm.TCNT 发生上溢 （m=0 ～ 11）	R/W （注 2）
b5	TCFU（注 3）	下溢标志	0：TPUm.TCNT 没有发生下溢 1：TPUm.TCNT 发生下溢 （m=1、 2、 4、 5、 7、 8、 10、 11）	R/W （注 2）
b6	—	保留位	读写值都为 “1”。	R/W
b7	TCFD（注 1）	计数方向标志	0：TPUm.TCNT 计数器进行递减计数 1：TPUm.TCNT 计数器进行递增计数 （m=1、 2、 4、 5、 7、 8、 10、 11）	R

注 1.　TPU0.TSR、 TPU3.TSR、 TPU6.TSR、 TPU9.TSR 寄存器的 b7 为保留位，读写值都为 “1”。

注 2.　为了清除标志，只能写 “0”。

注 3.　TPU0.TSR、 TPU3.TSR、 TPU6.TSR、 TPU9.TSR 寄存器的 b5 为保留位，读写值都为 “0”。

注 4.　TPU1.TSR、TPU2.TSR、TPU4.TSR、TPU5.TSR、TPU7.TSR、TPU8.TSR、TPU10.TSR、TPU11.TSR 寄存器的 b2 和 b3 为保留位，读写值都为 “0”。

TGFA 标志 （输入捕捉 / 输出比较标志 A）

这是表示发生 TPUm.TGRA 的输入捕捉或者比较匹配的状态标志 （m=0 ～ 11）。

[为 “1” 的条件]

- 在TPUm.TGRA用作输出比较寄存器的情况下TPUm.TCNT和TPUm.TGRA相同时
- 在TPUm.TGRA用作输入捕捉的情况下通过输入捕捉信号将TPUm.TCNT的值传送到TPUm.TGRA时

[为 “0” 的条件]

- 当通过TGImA中断启动DTC并且DTC.MRB.DISEL位为 “0” 时
- 在TGFA位为 “1” 的状态下读TGFA标志后给TGFA标志写 “0” 时

TGFB 标志 （输入捕捉 / 输出比较标志 B）

这是表示发生 TPUm.TGRB 的输入捕捉或者比较匹配的状态标志 （m=0 ～ 11）。

[为 “1” 的条件]

- 在TPUm.TGRB用作输出比较寄存器的情况下TPUm.TCNT和TPUm.TGRB相同时
- 在TPUm.TGRB用作输入捕捉的情况下通过输入捕捉信号将TPUm.TCNT的值传送到TPUm.TGRB时

[为 “0” 的条件]

- 当通过TGImB中断启动DTC并且DTC.MRB.DISEL位为 “0” 时
- 在TGFB位为 “1” 的状态下读TGFB标志后给TGFB标志写 “0” 时

TGFC 标志 （输入捕捉 / 输出比较标志 C）

这是表示发生 TPUm.TGRC 的输入捕捉或者比较匹配的状态标志 （m=0、 3、 6、 9）。

[为 “1” 的条件]

- 在TPUm.TGRC用作输出比较寄存器的情况下TPUm.TCNT和TPUm.TGRC相同时
- 在TPUm.TGRC用作输入捕捉的情况下通过输入捕捉信号将TPUm.TCNT的值传送到TPUm.TGRC时

[为 “0” 的条件]

- 当通过TGImC中断启动DTC并且DTC.MRB.DISEL位为 “0” 时
- 在TGFC位为 “1” 的状态下读TGFC标志后给TGFC标志写 “0” 时

TGFD 标志 （输入捕捉 / 输出比较标志 D）

这是表示发生 TPUm.TGRD 的输入捕捉或者比较匹配的状态标志 （m=0、 3、 6、 9）。

[为 “1” 的条件]

- 在TPUm.TGRD用作输出比较寄存器的情况下TPUm.TCNT和TPUm.TGRD相同时
- 在TPUm.TGRD用作输入捕捉的情况下通过输入捕捉信号将TPUm.TCNT的值传送到TPUm.TGRD时

[为 “0” 的条件]

- 当通过TGImD中断启动DTC并且DTC.MRB.DISEL位为 “0” 时
- 在TGFD位为 “1” 的状态下读TGFD标志后给TGFD标志写 “0” 时

TCFV 标志 （上溢标志）

这是表示 TPUm.TCNT （m=0 ～ 11）发生上溢的状态标志。

[为 “1” 的条件]

- 当TPUm.TCNT的值发生上溢时 （“FFFFh” → “0000h”）

[为 “0” 的条件]

- 在TCFV位为 “1” 的状态下读TCFV标志后给TCFV标志写 “0” 时

TCFU 标志 （下溢标志）

这是表示 TPUm.TCNT （m=1、 2、 4、 5、 7、 8、 10、 11）发生下溢的状态标志。

[为 “1” 的条件]

- 当TPUm.TCNT的值发生下溢时 （“0000h” → “FFFFh”）

[为 “0” 的条件]

- 在TCFU位为 “1” 的状态下读TCFU标志后给TCFU标志写 “0” 时

23.2.6 定时器的计数器 （TCNT）

地址 TPU0.TCNT 0008 8116h、TPU1.TCNT 0008 8126h、TPU2.TCNT 0008 8136h
TPU3.TCNT 0008 8146h、TPU4.TCNT 0008 8156h、TPU5.TCNT 0008 8166h
TPU6.TCNT 0008 8186h、TPU7.TCNT 0008 8196h、TPU8.TCNT 0008 81A6h
TPU9.TCNT 0008 81B6h、TPU10.TCNT 0008 81C6h、TPU11.TCNT 0008 81D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TPUm.TCNT 计数器是能对内部时钟或者外部事件进行计数的 16 位计数器。
能以 16 位为单位进行读写。
在复位时为 “0000h”。

23.2.7 定时器的通用寄存器 A （TGRA）
定时器的通用寄存器 B （TGRB）
定时器的通用寄存器 C （TGRC）
定时器的通用寄存器 D （TGRD）

地址 TPU0.TGRA 0008 8118h、TPU0.TGRB 0008 811Ah、TPU0.TGRC 0008 811Ch、TPU0.TGRD 0008 811Eh
TPU1.TGRA 0008 8128h、TPU1.TGRB 0008 812Ah
TPU2.TGRA 0008 8138h、TPU2.TGRB 0008 813Ah
TPU3.TGRA 0008 8148h、TPU3.TGRB 0008 814Ah、TPU3.TGRC 0008 814Ch、TPU3.TGRD 0008 814Eh
TPU4.TGRA 0008 8158h、TPU4.TGRB 0008 815Ah
TPU5.TGRA 0008 8168h、TPU5.TGRB 0008 816Ah
TPU6.TGRA 0008 8188h、TPU6.TGRB 0008 818Ah、TPU6.TGRC 0008 818Ch、TPU6.TGRD 0008 818Eh
TPU7.TGRA 0008 8198h、TPU7.TGRB 0008 819Ah
TPU8.TGRA 0008 81A8h、TPU8.TGRB 0008 81AAh
TPU9.TGRA 0008 81B8h、TPU9.TGRB 0008 81BAh、TPU9.TGRC 0008 81BCh、TPU9.TGRD 0008 81BEh
TPU10.TGRA 0008 81C8h、TPU10.TGRB 0008 81CAh
TPU11.TGRA 0008 81D8h、TPU11.TGRB 0008 81DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

在 TPU 中，TPU0、3、6、9 各有 4 个定时器的通用寄存器，TPU1、2、4、5、7、8、10、11 各有 2 个定时器的通用寄存器，共计 32 个。

TPUm.TGRA（m=0 ～ 11）、TPUm.TGRB（m=0 ～ 11）、TPUm.TGRC（m=0、3、6、9）、TPUm.TGRD（m=0、 3、 6、 9）寄存器是 16 位输出比较 / 输入捕捉兼用的寄存器。

能以 16 位为单位进行读写。

能将 TPUm.TGRC 寄存器和 TPUm.TGRD 寄存器作为缓冲寄存器运行。在缓冲运行中，寄存器的组合为 TPUm.TGRA 寄存器和 TPUm.TGRC 寄存器、 TPUm.TGRB 寄存器和 TPUm.TGRD 寄存器。

23.2.8 定时器的启动寄存器 （TSTR）

- 单元0 （TPUA.TSTR）

地址 TPUA.TSTR 0008 8100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CST0	计数器开始 0 位	0：TCNT 计数器停止计数 1：TCNT 计数器计数运行	R/W
b1	CST1	计数器开始 1 位		R/W
b2	CST2	计数器开始 2 位		R/W
b3	CST3	计数器开始 3 位		R/W
b4	CST4	计数器开始 4 位		R/W
b5	CST5	计数器开始 5 位		R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

- 单元1 （TPUB.TSTR）

地址 TPUB.TSTR 0008 8170h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST11	CST10	CST9	CST8	CST7	CST6
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CST6	计数器开始 6 位	0：TCNT 计数器停止计数 1：TCNT 计数器计数运行	R/W
b1	CST7	计数器开始 7 位		R/W
b2	CST8	计数器开始 8 位		R/W
b3	CST9	计数器开始 9 位		R/W
b4	CST10	计数器开始 10 位		R/W
b5	CST11	计数器开始 11 位		R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

TPUA.TSTR 寄存器是选择 TPU0 ～ 5 的 TCNT 计数器运行或者停止的寄存器。

TPUB.TSTR 寄存器是选择 TPU6 ～ 11 的 TCNT 计数器运行或者停止的寄存器。

如果通过 TPUm.TMDR 寄存器设定运行模式或者通过 TPUm.TCR 寄存器设定 TPUm.TCNT 计数器的计数时钟，就必须先停止 TPUm.TCNT 计数器的计数运行，再进行设定。

CSTn 位 （计数器开始位）（n=0 ～ 11）

此位选择 TCNT 计数器的运行或者停止。

在 CSTn 位为 “1”并且对应的 TIOCyn 引脚 （y=A ～ D、 n=0 ～ 11）为输出状态时，如果将 CSTn 位置 “0”，就停止计数运行并且保持该 TIOCyn 引脚的输出比较的输出电平。

如果在 CSTn 位为 “0”时写 TIORH、TIORL、TIOR 寄存器，就将引脚的输出电平更新为已设定的初始输出值。

23.2.9 定时器的同步寄存器 （TSYR）

- 单元0 （TPUA.TSYR）

地址 TPUA.TSYR 0008 8101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SYNC0	定时器的同步 0 位	0：TCNT 计数器进行独立运行 （TCNT 计数器的预置 / 清除与其他通道无关） 1：TCNT 计数器进行同步运行 （注 1） （能进行 TCNT 计数器的同步预置 / 同步清除）	R/W
b1	SYNC1	定时器的同步 1 位		R/W
b2	SYNC2	定时器的同步 2 位		R/W
b3	SYNC3	定时器的同步 3 位		R/W
b4	SYNC4	定时器的同步 4 位		R/W
b5	SYNC5	定时器的同步 5 位		R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1. 要设定同步运行时，至少需要将 2 个通道的 SYNCn 位（n=0 ～ 5）置 “1”；要设定同步清除时，除了 SYNCn 位以外，还需要通过 TCR.CCLR[2:0] 位选择 TCNT 的清除源。

- 单元1 （TPUB.TSYR）

地址 TPUB.TSYR 0008 8171h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC11	SYNC10	SYNC9	SYNC8	SYNC7	SYNC6
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SYNC6	定时器的同步 6 位	0：TCNT 计数器进行独立运行 （TCNT 计数器的预置 / 清除与其他通道无关） 1：TCNT 计数器进行同步运行 （注 1） （能进行 TCNT 计数器的同步预置 / 同步清除）	R/W
b1	SYNC7	定时器的同步 7 位		R/W
b2	SYNC8	定时器的同步 8 位		R/W
b3	SYNC9	定时器的同步 9 位		R/W
b4	SYNC10	定时器的同步 10 位		R/W
b5	SYNC11	定时器的同步 11 位		R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1. 要设定同步运行时，至少需要将 2 个通道的 SYNCn 位 （n=6 ～ 11）置 “1”；要设定同步清除时，除了 SYNCn 位以外，还需要通过 TCR.CCLR[2:0] 位选择 TCNT 的清除源。

TPUA.TSYR 寄存器选择 TPU0 ～ 5 的 TCNT 计数器的独立运行或者同步运行。
TPUB.TSYR 寄存器选择 TPU6 ～ 11 的 TCNT 计数器的独立运行或者同步运行。

SYNCn 位 （定时器的同步位）（n=0 ～ 11）

此位选择 TCNT 计数器是和其他通道的 TCNT 计数器进行同步运行还是进行独立运行。
如果选择同步运行，就能对多个TCNT计数器进行同步预置并且通过清除其他通道的计数器进行同步清除。

23.2.10 噪声滤波器的控制寄存器 （NFCR）

地址 TPU0.NFCR 0008 8108h、TPU1.NFCR 0008 8109h、TPU2.NFCR 0008 810Ah
TPU3.NFCR 0008 810Bh、TPU4.NFCR 0008 810Ch、TPU5.NFCR 0008 810Dh
TPU6.NFCR 0008 8178h、TPU7.NFCR 0008 8179h、TPU8.NFCR 0008 817Ah
TPU9.NFCR 0008 817Bh、TPU10.NFCR 0008 817Ch、TPU11.NFCR 0008 817Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	NFAEN	噪声滤波器 A 允许位	0：停止 TIOCAm 的噪声滤波器 1：允许 TIOCAm 的噪声滤波器 （m=0 ～ 11）	R/W
b1	NFBEN	噪声滤波器 B 允许位	0：停止 TIOCBm 的噪声滤波器 1：允许 TIOCBm 的噪声滤波器 （m=0 ～ 11）	R/W
b2	NFCEN （注 1）	噪声滤波器 C 允许位	0：停止 TIOCCm 的噪声滤波器 1：允许 TIOCCm 的噪声滤波器 （m=0、 3、 6、 9）	R/W
b3	NFDEN （注 1）	噪声滤波器 D 允许位	0：停止 TIOCDm 的噪声滤波器 1：允许 TIOCDm 的噪声滤波器 （m=0、 3、 6、 9）	R/W
b5-b4	NFCS[1:0]	噪声滤波器时钟选择位	0 0：PCLK/1 0 1：PCLK/8 1 0：PCLK/32 1 1：计数源	R/W
b7-b6	—	保留位	读取值为 “0”，不能写。	R

注 1. TPU1.NFCR、 TPU2.NFCR、 TPU4.NFCR、 TPU5.NFCR、 TPU7.NFCR、 TPU8.NFCR、 TPU10.NFCR、 TPU11.NFCR 寄存器的 b2 和 b3 为保留位，读取值为 “0”，不能写。

必须在停止 TPUm.TCNT 计数器运行的状态下设定 TPUm.NFCR 寄存器。

NFAEN 位 （噪声滤波器 A 允许位）

此位允许或者停止 TIOCAm 引脚的噪声滤波器 （n=0 ～ 11）。

因为在更改 NFAEN 位时可能产生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下更改 NFAEN 位。

NFBEN 位 （噪声滤波器 B 允许位）

此位允许或者停止 TIOCBm 引脚的噪声滤波器 （n=0 ～ 11）。

因为在更改 NFBEN 位时可能产生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下更改 NFBEN 位。

NFCEN 位 （噪声滤波器 C 允许位）

此位允许或者停止 TIOCCm 引脚的噪声滤波器 （n=0、 3、 6、 9）。

因为在更改 NFCEN 位时可能产生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下更改 NFCEN 位。

NFDEN 位 （噪声滤波器 D 允许位）

此位允许或者停止 TIOCDm 引脚的噪声滤波器 （n=0、 3、 6、 9）。

因为在更改 NFDEN 位时可能产生意想不到的内部边沿，所以必须在将定时器的 I/O 控制寄存器的该引脚功能设定为输出比较功能的状态下更改 NFDEN 位。

NFCS[1:0] 位 （噪声滤波器时钟选择位）

这些位选择噪声滤波器的采样时钟。

如果通过将 NFCS[1:0] 位置 “11b” 来选择计数源，采样时钟就为 TPSC[2:0] 位所设 PCLK/1 以外的内部时钟和外部时钟。要将计数器时钟和采样时钟都设定为 PCLK/1 时，必须将 NFCS[1:0] 位置 “00b”。

在选择时钟的上升沿对输入捕捉的输入信号进行采样。如果采样的电平连续 3 次相同，就将此电平作为输入捕捉信号传送到内部，否则就保持前一个电平。

必须在设定 NFCS[1:0] 位后等待 2 个所设采样周期，然后设定为输入捕捉功能。

23.3 运行说明

23.3.1 概要

各通道有 TPUm.TCNT 计数器和 TPUm.TGRy 寄存器 （y=A ～ D）。

TCNT 计数器是 16 位递增计数器，能用作自由运行计数器、周期计数器或者事件计数器。

TGRy 寄存器能分别用作输入捕捉寄存器或者输出比较寄存器。

(1) 计数器的运行

如果将 TPUA.TSTR.CSTj 位（j=0 ～ 5）或者 TPUB.TSTR.CSTj 位（j=6 ～ 11）置“1”，对应通道的 TCNT 计数器就开始计数运行。

(a) 计数运行的设定步骤例子

计数器运行的设定步骤例子如图 23.3 所示。

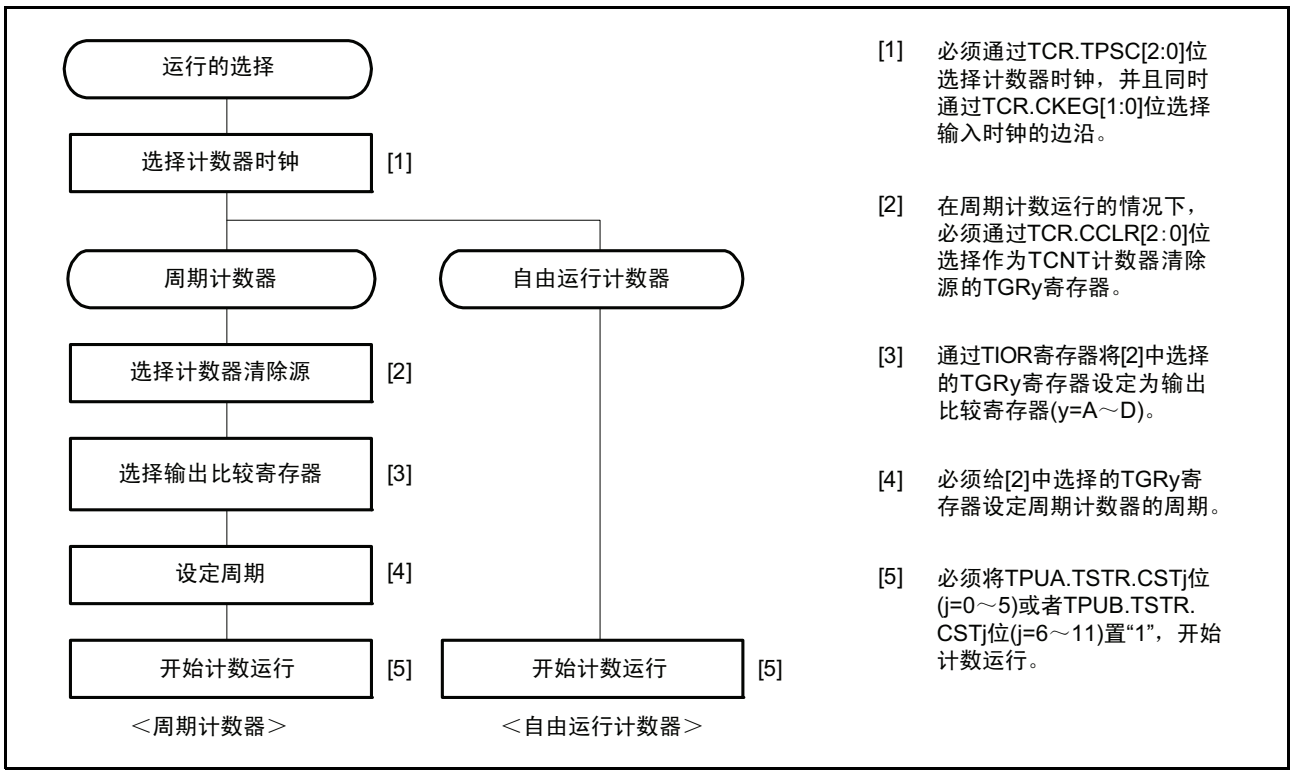


图 23.3 计数器运行的设定步骤例子

(b) 自由运行计数的运行和周期计数的运行

TPUm.TCNT 计数器在复位后立即被全部设定为自由运行计数器，如果将 TPUA.TSTR 寄存器或者 TPUB.TSTR 寄存器的对应位置 “1”，就作为自由运行计数器开始递增计数。当 TCNT 计数器发生上溢 （“FFFFh” → “0000h”）时， TPU 就请求中断。 TCNT 计数器在发生上溢后从 “0000h”开始继续递增计数。

自由运行计数器的运行如图 23.4 所示。

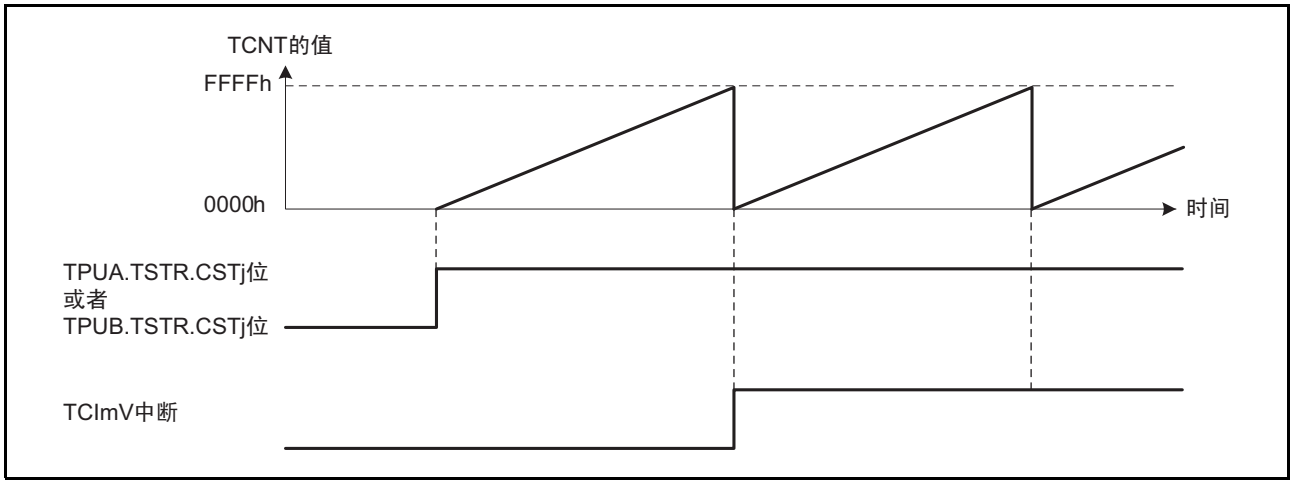


图 23.4 自由运行计数器的运行

当选择比较匹配为 TCNT 计数器的清除源时，对应通道的 TCNT 计数器就进行周期计数运行。将用于周期设定的 TPUm.TGRy 寄存器设定为输出比较寄存器，并且通过 TPUm.TCR.CCLR[2:0] 位选择在比较匹配时清除计数器。在设定后，如果将 TPUA.TSTR 寄存器或者 TPUB.TSTR 寄存器的对应位置 “1”，就作为周期计数器开始递增计数。当计数值和 TGRy 寄存器的值相同时， TCNT 计数器就变为 “0000h”。

此时， TPU 请求中断。 TCNT 计数器在比较匹配后从 “0000h”开始继续递增计数。

周期计数器的运行如图 23.5 所示。

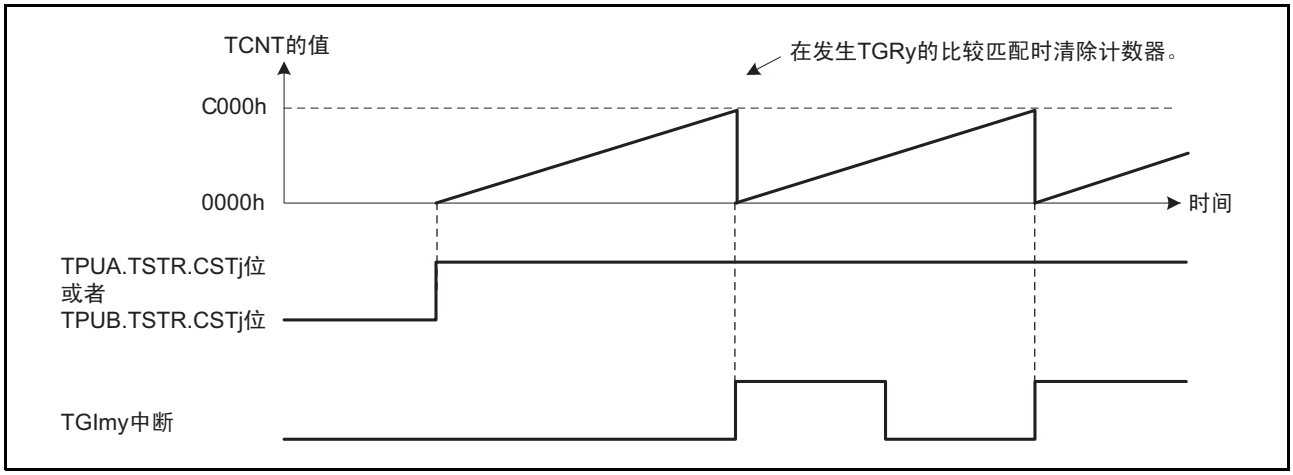


图 23.5 周期计数器的运行

(2) 通过比较匹配进行的波形输出功能

TPU 能通过比较匹配从对应的输出引脚输出 Low 电平或者 High 电平或者进行交替输出。

(a) 通过比较匹配进行波形输出运行的设定步骤例子

通过比较匹配进行波形输出运行的设定步骤例子如图 23.6 所示。

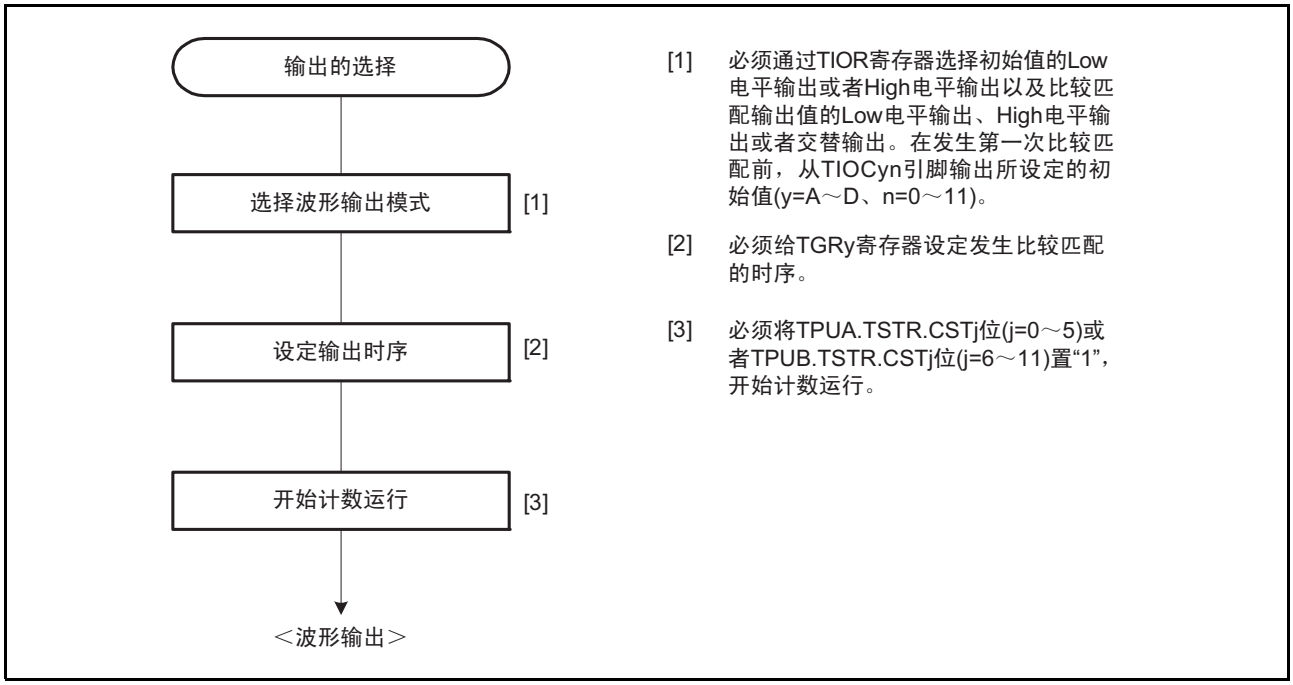


图 23.6　通过比较匹配进行波形输出的运行例子

(b) 波形输出的运行例子

输出 Low 电平 /High 电平的运行例子如图 23.7 所示。

在此例子中，设定 TPUm.TCNT 为自由运行的计数运行，在比较匹配 A 时输出 High 电平，在比较匹配 B 时输出 Low 电平。如果设定的电平和引脚的电平相同，引脚的电平就不变。

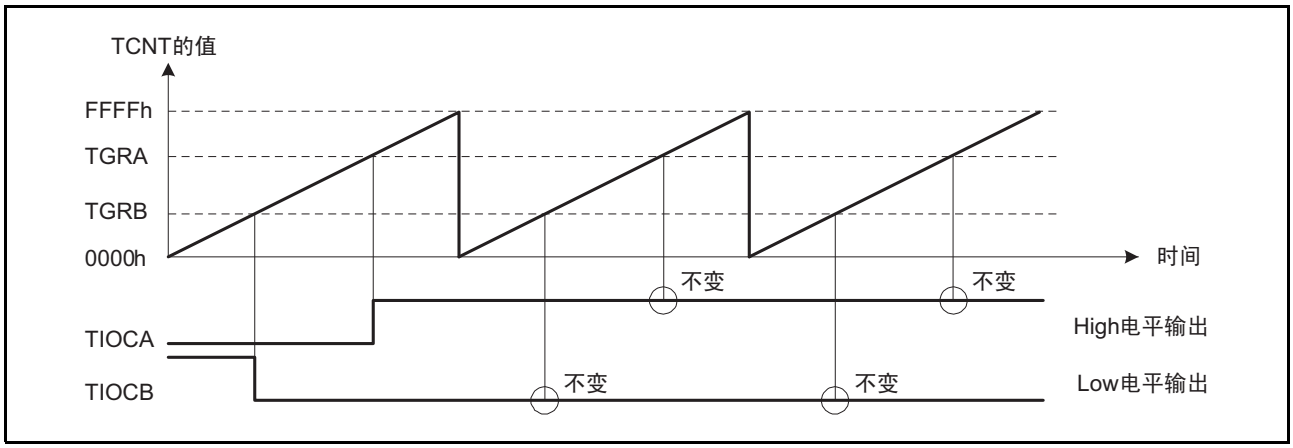


图 23.7　输出 Low 电平 /High 电平的运行例子

交替输出的运行例子如图 23.8 所示。

在此例子中，设定 TPUm.TCNT 计数器为周期计数运行 （在比较匹配 B 时清除计数器），并且将比较匹配 A 和比较匹配 B 都设定为交替输出。

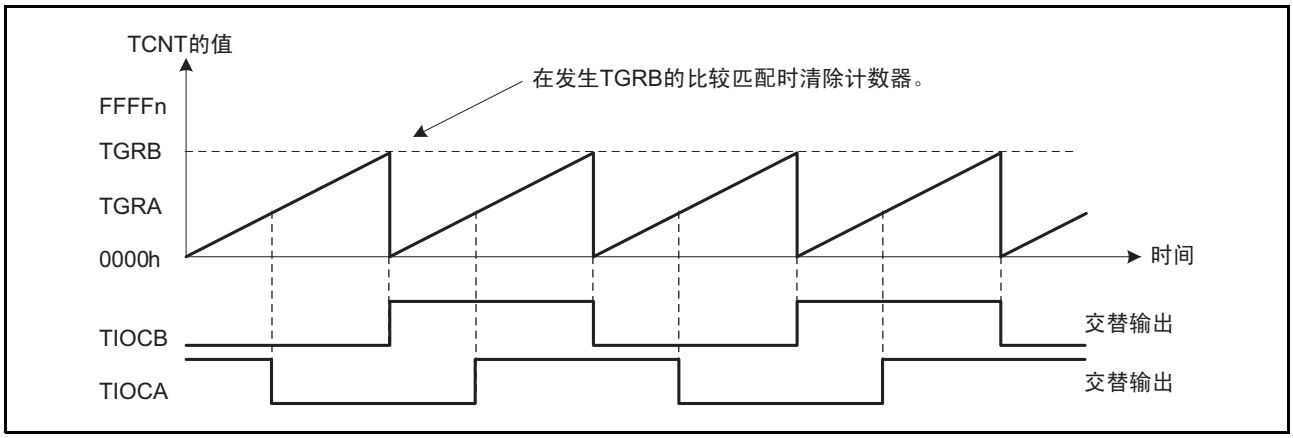


图 23.8　交替输出的运行例子

(3)　输入捕捉功能

能检测TIOCyn引脚（y=A～D、n=0～11）的输入边沿，并且将TPUm.TCNT计数器的值传送到TPUm.TGRy寄存器。

能从上升沿、下降沿和双边沿中选择检测边沿，也能将 TPU0、1、3、4（TPU6、7、9、10）的计数器输入时钟或者比较匹配信号作为输入捕捉源，并且能将噪声滤波器用于输入捕捉的输入。

注 .　计数器即使停止计数，也发生输入捕捉并且生成标志和中断信号。

注 .　如果在 TPU0 和 TPU3（TPU6 和 TPU9）中将其他通道的计数器输入时钟作为输入捕捉的输入，就不能选择 PCLK/1 作为输入捕捉的输入的计数器输入时钟，否则就不发生输入捕捉。

(a)　输入捕捉运行的设定步骤例子

输入捕捉运行的设定步骤例子如图 23.9 所示。

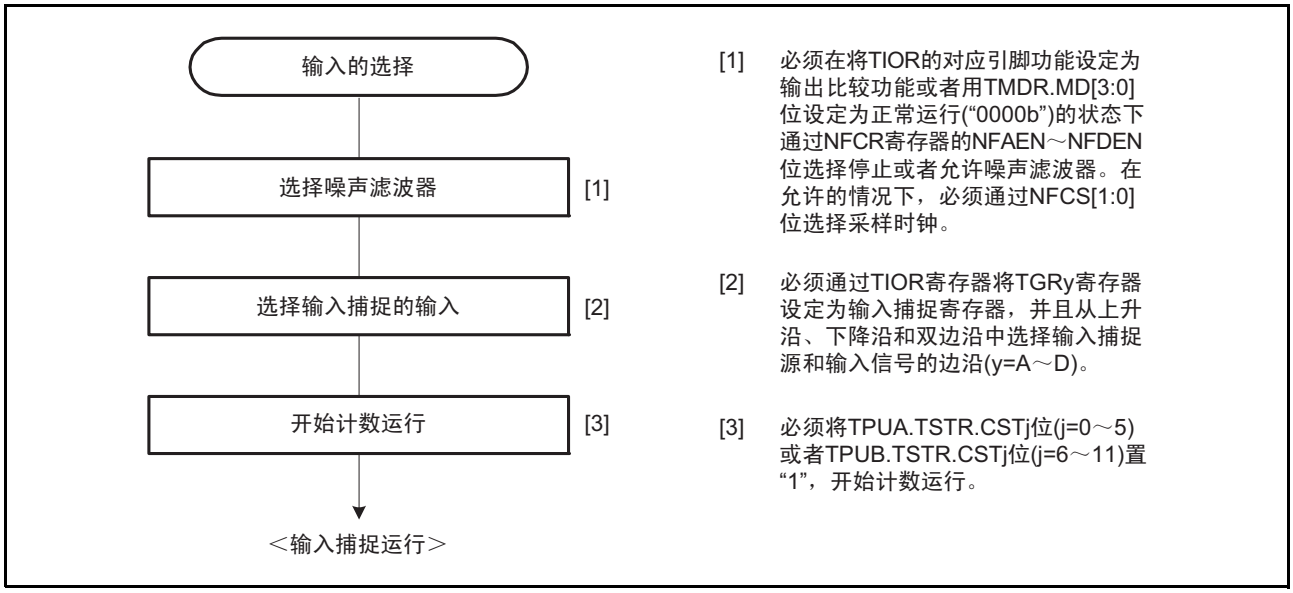


图 23.9　输入捕捉运行的设定例子

(b) 输入捕捉的运行例子

噪声滤波器停止后的输入捕捉的运行例子如图 23.10 所示。

在此例子中，TIOCAn 引脚的输入捕捉的输入边沿选择上升沿和下降沿的双边沿，TIOCBn 引脚的输入捕捉的输入边沿选择下降沿，并且在发生 TPUm.TGRB 寄存器的输入捕捉时清除 TPUm.TCNT 计数器。

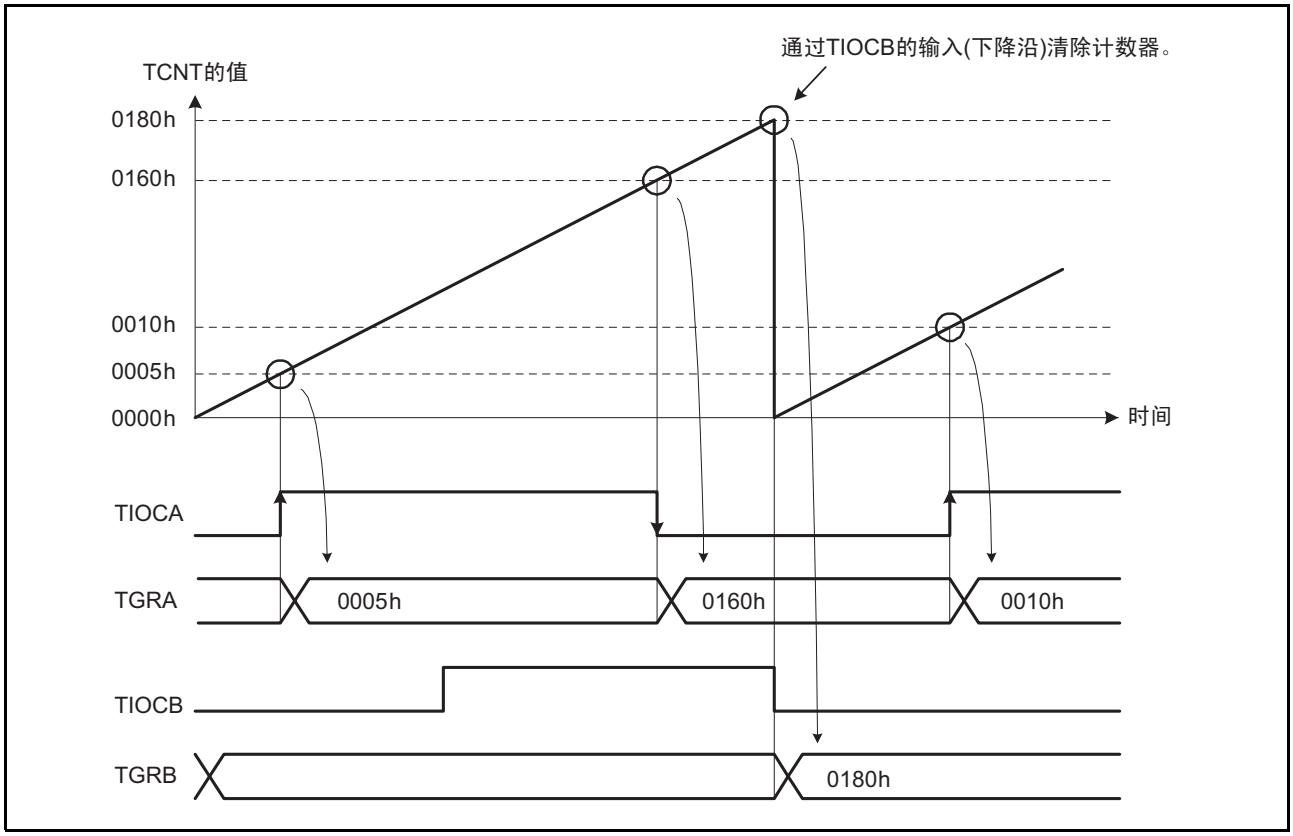


图 23.10 输入捕捉的运行例子 （噪声滤波器停止）

当允许噪声滤波器时，因对输入捕捉的输入进行噪声过滤而对延迟了“最短采样周期 ×2+PCLK”的噪声滤波器之后的信号边沿进行输入捕捉运行。

23.3.2 同步运行

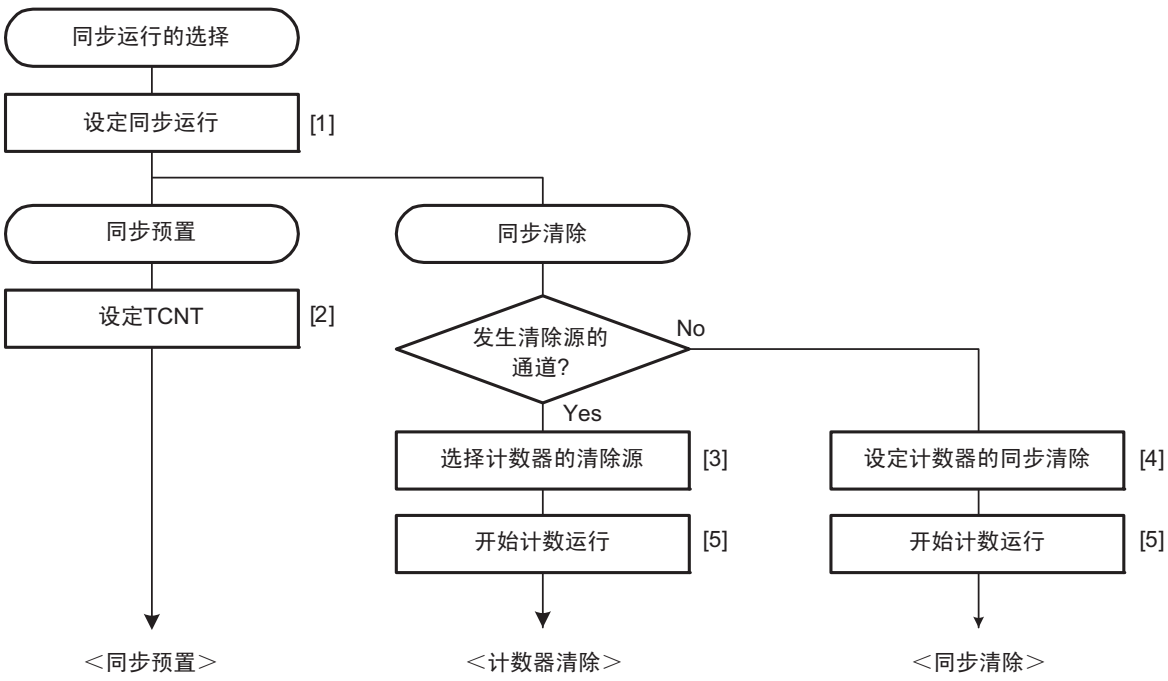
使用同步运行，能同时改写多个 TPUm.TCNT 计数器的值（同步预置），并且能通过设定 TPUm.TCR 寄存器，同时清除多个 TCNT 计数器 （同步清除）。

能通过同步运行对 1 个时基增加 TPUm.TGRy 寄存器。

TPU0 ～ TPU5 （TPU6 ～ TPU11）都能设定为同步运行。

(1) 同步运行的设定步骤例子

同步运行的设定步骤例子如图 23.11 所示。



[1] 必须将与设定为同步运行的通道对应的TPUA.TSTR.SYNC位(j=0～5)或者TPUB.TSTR.SYNCj位(j=6～11)置“1”。

[2] 当写设定为同步运行的通道中的任意一个TCNT时，也同时给其他TCNT写相同的值。

[3] 必须通过TCR.CCLR[2:0]位设定为在输入捕捉/输出比较时清除TCNT。

[4] 必须通过TCR.CCLR[2:0]位将计数器的清除源设定为同步清除。

[5] 必须将与对象通道对应的TPUA.TSTR.CSTj位(j=0～5)或者TPUB.TSTR.CSTj位(j=6～11)置“1”，开始计数运行。

图 23.11 同步运行的设定步骤例子

(2) 同步运行的例子

同步运行的运行例子如图 23.12 所示。

在此例子中，将 TPU0 ～ TPU2 设定为同步运行和 PWM 模式 1，将 TPU0 的计数器清除源设定为 TPU0.TGRB 寄存器的比较匹配，并且将 TPU1 和 TPU2 的计数器清除源设定为同步清除。

从 TIOCA0、 TIOCA1、 TIOCA2 引脚输出 3 相 PWM 波形。此时，对 TPU0 ～ TPU2 的 TPUm.TCNT 进行同步预置并且在发生 TPU0.TGRB 寄存器的比较匹配时进行同步清除， TPU0.TGRB 寄存器设定的数据为 PWM 周期。

有关 PWM 模式请参照 “23.3.5 PWM 模式”。

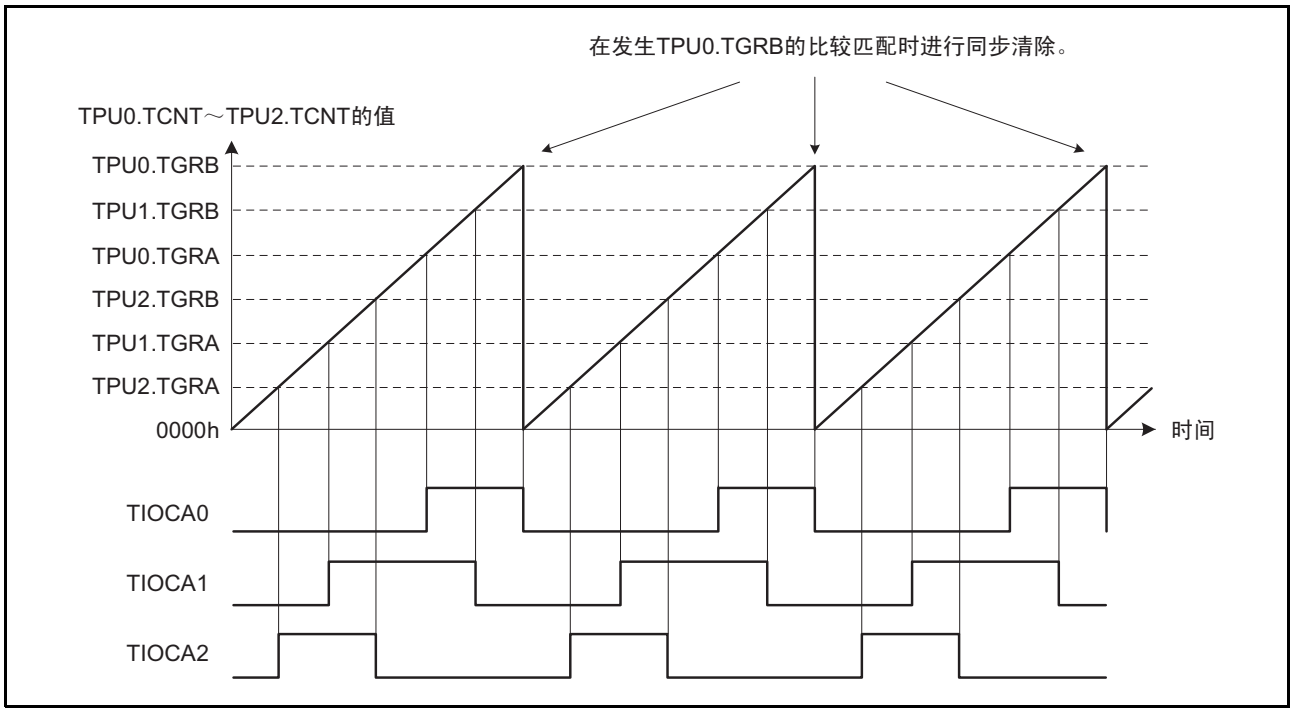


图 23.12 同步运行的例子

23.3.3 缓冲运行

缓冲运行是 TPU0 和 TPU3 （TPU6 和 TPU9）具有的功能。能将 TPUm.TGRC 寄存器和 TPUm.TGRD 寄存器用作缓冲寄存器。

对于是将 TPUm.TGRy 寄存器设定为输入捕捉寄存器还是设定为比较匹配寄存器，缓冲运行的内容不同。

缓冲运行时的寄存器组合如**表 23.22** 所示。

表 23.22 寄存器的组合

单元	通道	定时器的通用寄存器	缓冲寄存器
0	TPU0	TPU0.TGRA	TPU0.TGRC
		TPU0.TGRB	TPU0.TGRD
	TPU3	TPU3.TGRA	TPU3.TGRC
		TPU3.TGRB	TPU3.TGRD
1	TPU6	TPU6.TGRA	TPU6.TGRC
		TPU6.TGRB	TPU6.TGRD
	TPU9	TPU9.TGRA	TPU9.TGRC
		TPU9.TGRB	TPU9.TGRD

- TPUm.TGRy 寄存器为输出比较寄存器的情况
  如果发生比较匹配，就将对应通道的缓冲寄存器的值传送到定时器的通用寄存器。
  此运行如**图 23.13** 所示。

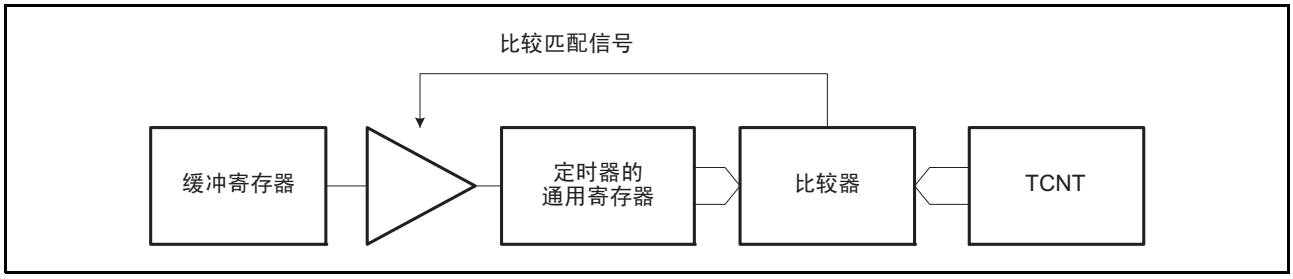


图 23.13 比较匹配的缓冲运行

- TPUm.TGRy 寄存器为输入捕捉寄存器的情况
  如果发生输入捕捉，就在将 TPUm.TCNT 计数器的值传送到 TGRy 寄存器的同时，将以前保存在 TGRy 寄存器的值传送到缓冲寄存器。
  此运行如**图 23.14** 所示。

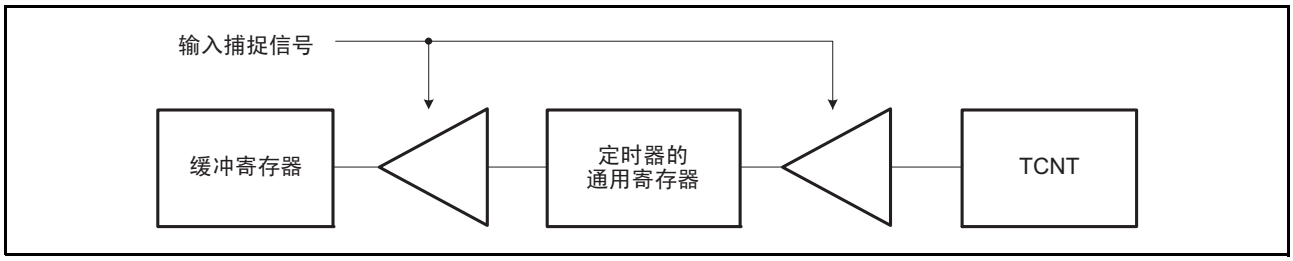


图 23.14 输入捕捉缓冲运行

(1) 缓冲运行的设定步骤例子

缓冲运行的设定步骤例子如图 23.15 所示。

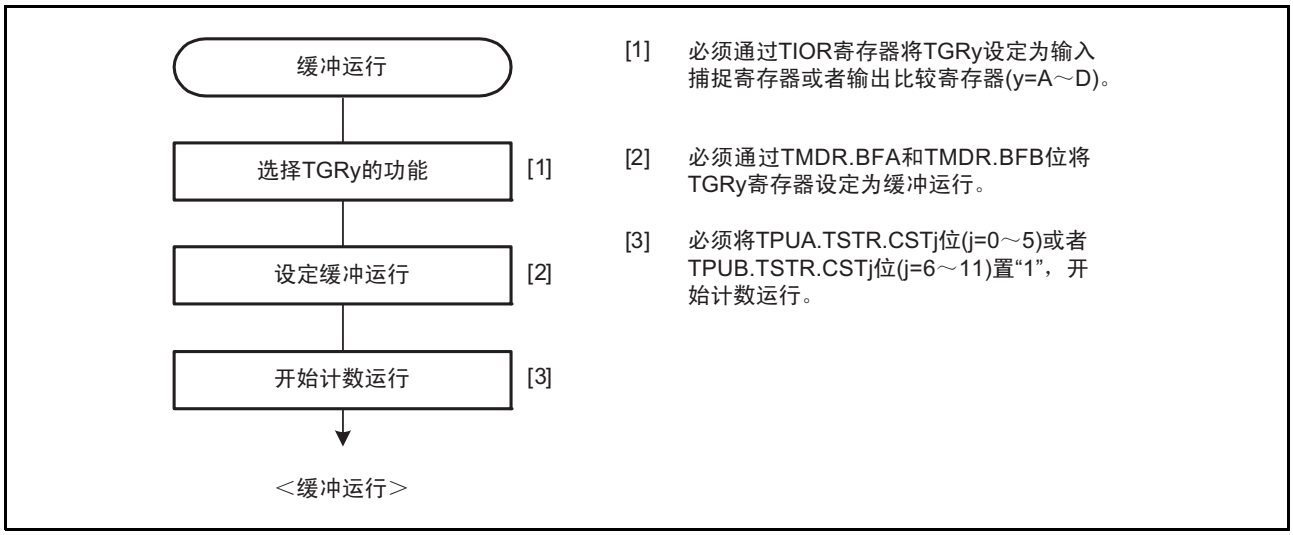


图 23.15 缓冲运行的设定步骤例子

(2) 缓冲运行的例子

(a) TPUm.TGRy 寄存器为输出比较寄存器的情况

设定 TPU0 为 PWM 模式 1 以及 TPU0.TGRA 寄存器和 TPU0.TGRC 寄存器为缓冲运行时的运行例子如图 23.16 所示。在此例子中，通过比较匹配 B 清除 TPU0.TCNT 计数器，在比较匹配 A 时输出 High 电平，在比较匹配 B 时输出 Low 电平。

因为设定了缓冲运行，所以当发生比较匹配 A 时，就在输出发生变化的同时将 TPU0.TGRC 寄存器的值传送到 TPU0.TGRA 寄存器。每当发生比较匹配 A 时，重复此操作。

有关 PWM 模式请参照 “23.3.5 PWM 模式”。

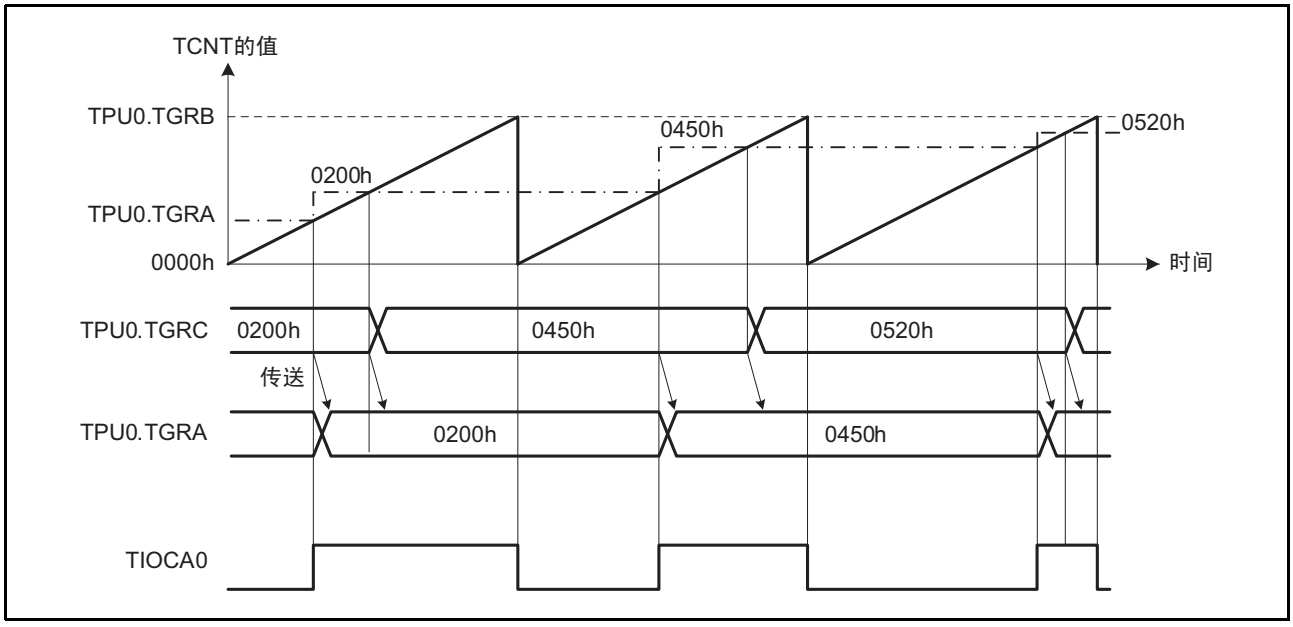


图 23.16 缓冲运行的例子 （1）

(b) TPUm.TGRy 寄存器为输入捕捉寄存器的情况

设定 TPUm.TGRA 寄存器为输入捕捉寄存器以及 TGRA 寄存器和 TPUm.TGRC 寄存器为缓冲运行时的运行例子如图 23.17 所示。

在 TGRA 寄存器的输入捕捉时清除 TPUm.TCNT 计数器， TIOCAn 引脚的输入捕捉的输入边沿选择上升沿和下降沿的双边沿。

因为设定了缓冲运行，所以当发生输入捕捉 A 时，就在将 TCNT 计数器的值保存到 TGRA 寄存器的同时，将以前保存在 TGRA 寄存器的值传送到 TGRC 寄存器。

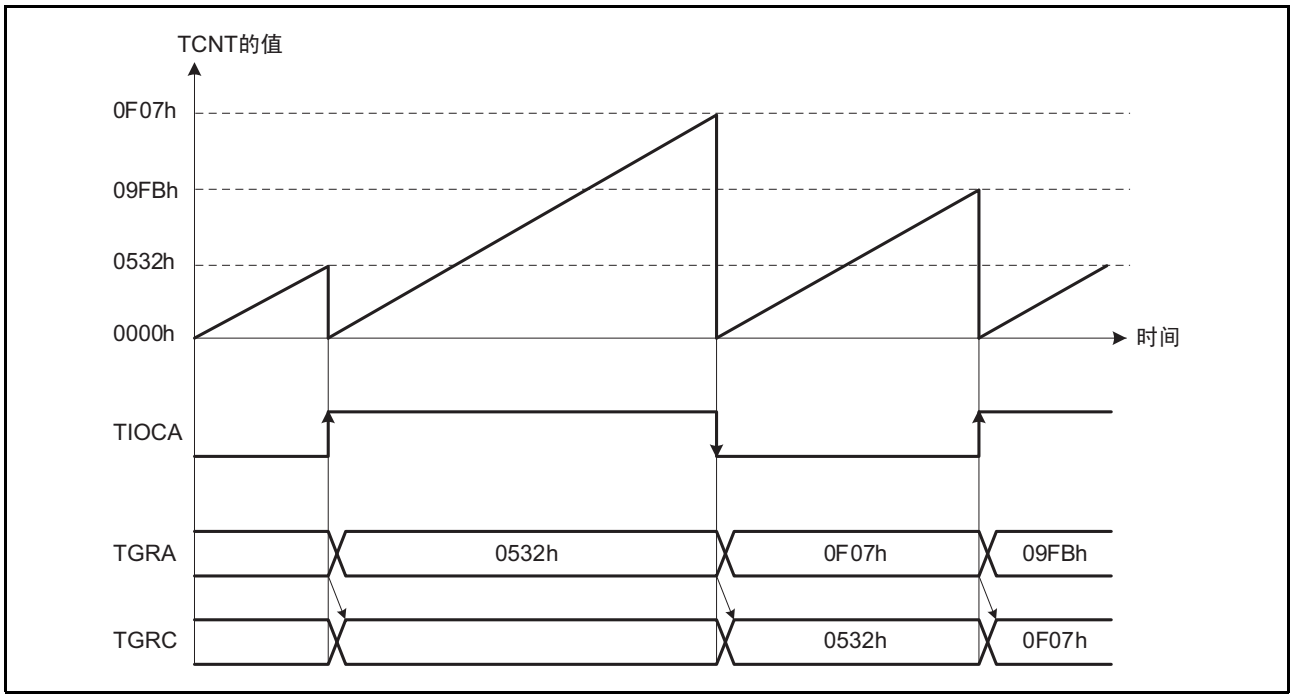


图 23.17 缓冲运行的例子 （2）

23.3.4 级联运行

级联运行是将 2 个通道的 16 位计数器连接为 32 位计数器的功能。

在单元 0 的情况下，通过 TPU1.TCR.TPSC[2:0] （TPU4.TCR.TPSC[2:0]）位将 TPU1 （TPU4）的计数器时钟设定为通过 TPU2.TCNT （TPU5.TCNT）计数器的上溢 / 下溢进行计数。

在单元 1 的情况下，通过 TPU7.TCR.TPSC[2:0] （TPU10.TCR.TPSC[2:0]）位将 TPU7 （TPU10）的计数器时钟设定为通过 TPU8.TCNT （TPU11.TCNT）计数器的上溢 / 下溢进行计数。

只在低 16 位的 TPUm.TCNT 计数器为相位计数模式时发生下溢。

级联的组合如表 23.23 所示。

注 . 如果将 TPU1 和 TPU4 （TPU7 和 TPU10）设定为相位计数模式，计数器时钟的设定就无效，并且在相位计数模式中独立运行。

表 23.23 级联的组合

单元	组合	高 16 位	低 16 位
0	TPU1 和 TPU2	TPU1.TCNT	TPU2.TCNT
	TPU4 和 TPU5	TPU4.TCNT	TPU5.TCNT
1	TPU7 和 TPU8	TPU7.TCNT	TPU8.TCNT
	TPU10 和 TPU11	TPU10.TCNT	TPU11.TCNT

(1) 级联运行的设定步骤例子

级联运行的设定步骤例子如图 23.18 所示。

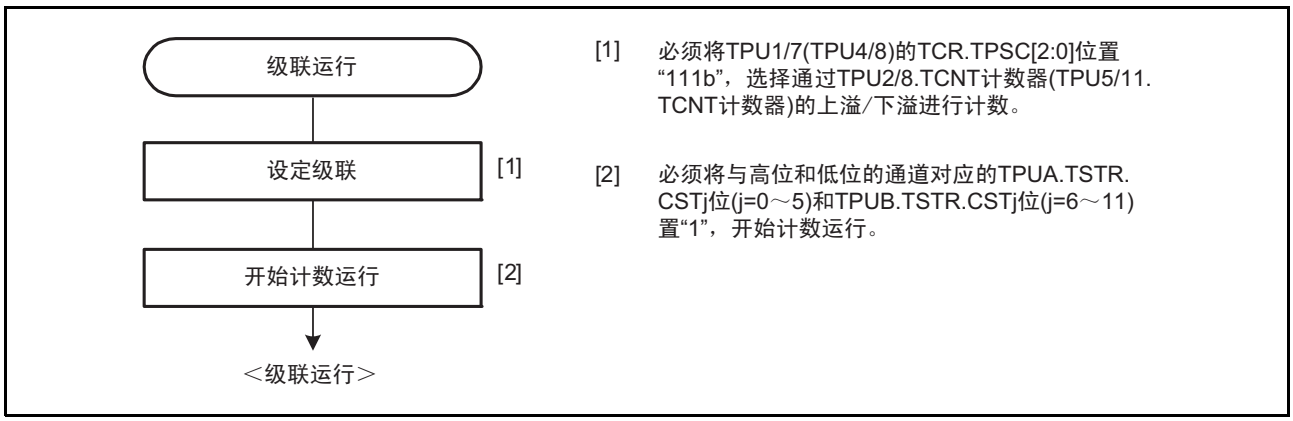


图 23.18 级联运行的设定步骤例子

(2) 级联的运行例子

级联运行例子（1）如图 23.19 所示，TPU1.TCNT 计数器通过 TPU2.TCNT 计数器的上溢 / 下溢进行计数，将 TPU1.TGRA 寄存器和 TPU2.TGRA 寄存器设定为输入捕捉寄存器，选择 TIOCA1 引脚和 TIOCA2 引脚的上升沿。

通过给 TIOCA1 引脚和 TIOCA2 引脚同时输入上升沿，将高 16 位和低 16 位的数据分别传送到 TPU1.TGRA 寄存器和 TPU2.TGRA 寄存器。

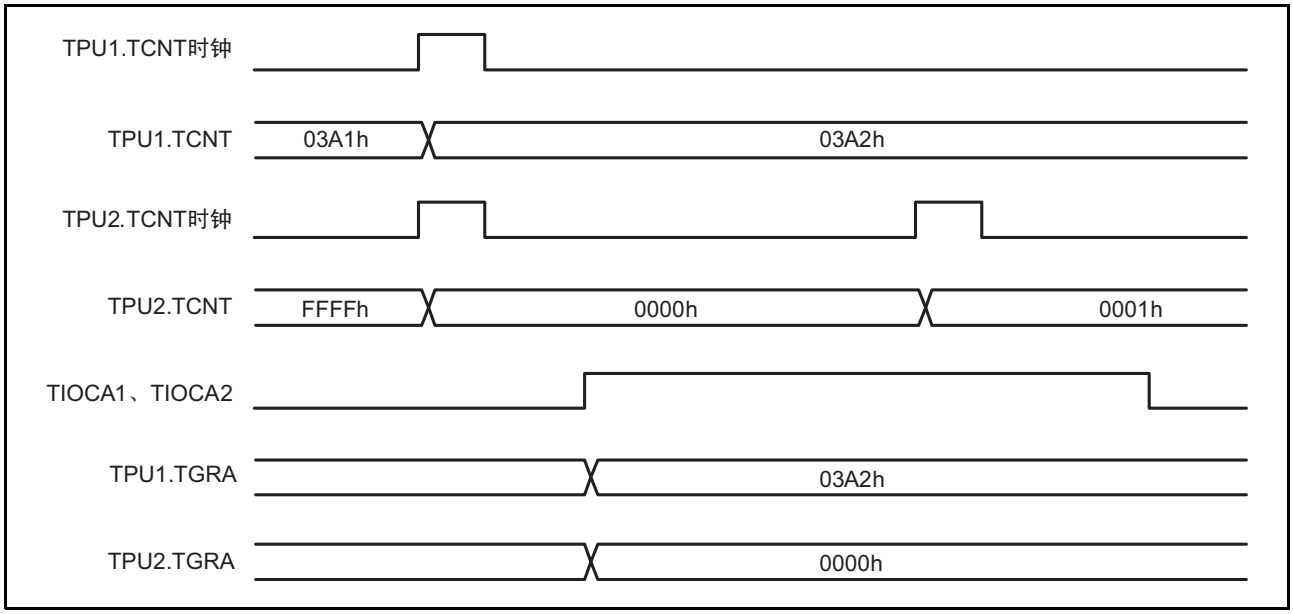


图 23.19 级联运行例子 （1）

级联运行例子（2）如图 23.20 所示，TPU1.TCNT 计数器通过 TPU2.TCNT 计数器的上溢 / 下溢进行计数，将 TPU2 设定为相位计数模式。

TPU1.TCNT 计数器通过 TPU2.TCNT 计数器的上溢进行递增计数，并且通过 TPU2.TCNT 计数器的下溢进行递减计数。

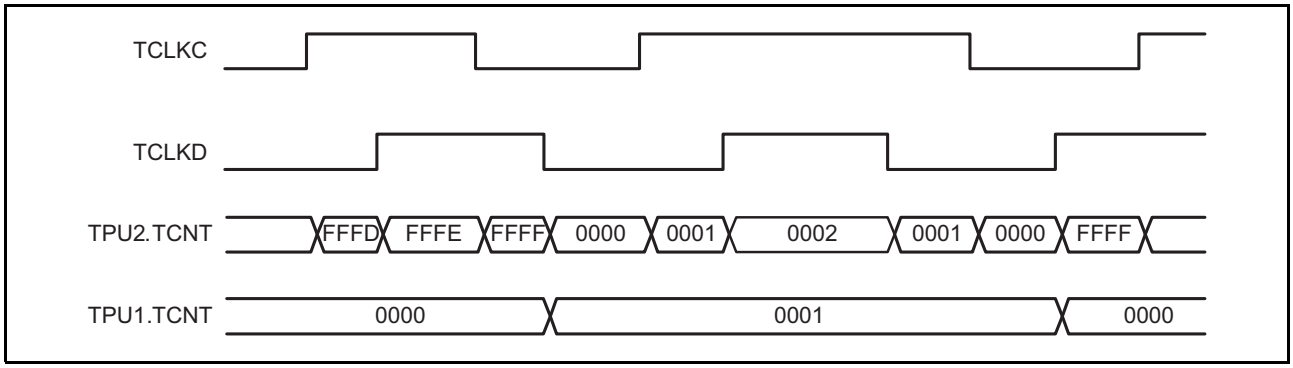


图 23.20 级联运行例子 （2）

23.3.5 PWM 模式

PWM 模式是从输出引脚分别输出各种 PWM 波形的模式。能从 Low 电平输出、 High 电平输出和交替输出中选择各 TPUm.TGRy 寄存器的比较匹配的输出电平。

能通过设定各 TGRy 寄存器，输出 0 ～ 100% 占空比的 PWM 波形。

能通过将 TGRy 寄存器的比较匹配作为计数器清除源，给该寄存器设定周期。全部通道能分别设定为 PWM 模式，也能进行同步运行。

PWM 模式有以下 2 种模式：

1. PWM模式1

   TPUm.TGRA寄存器和TPUm.TGRB寄存器、 TPUm.TGRC寄存器和TPUm.TGRD寄存器配对使用，从TIOCAn引脚和TIOCCn引脚输出PWM波形。通过比较匹配A和比较匹配C从TIOCAn引脚和TIOCCn引脚进行TPUm.TIOR(H).IOA[3:0]位和TPUm.TIORL.IOC[3:0]位指定的输出，并且通过比较匹配B和比较匹配D从TIOCAn引脚和TIOCCn引脚进行TPUm.TIOR(H).IOB[3:0]位和TPUm.TIORL.IOD[3:0]位指定的输出。初始输出值为TGRA寄存器和TGRC寄存器的设定值。在配对使用的TGRy寄存器的设定值相同的情况下，即使发生比较匹配，输出值也不变。

   在PWM模式1中，能进行最多8相的PWM输出。

2. PWM模式2

   将 1 个 TPUm.TGRy 寄存器用于周期寄存器，其他 TGRy 寄存器用于占空比寄存器，进行 PWM 波形输出。通过比较匹配进行TPUm.TIORH、 TPUm.TIORL、 TPUm.TIOR寄存器指定的输出。另外，在通过同步寄存器的比较匹配进行计数器的清除后，各引脚的输出值为TIORH、TIORL、TIOR寄存器设定的初始值。在周期寄存器和占空比寄存器的设定值相同的情况下，即使发生比较匹配，输出值也不变。

   在PWM模式2中，能通过和同步运行的并用来进行最多15相的PWM波形输出。

PWM 的输出引脚和寄存器的对应如表 23.24 所示。

表 23.24 各 PWM 输出的寄存器和输出引脚

单元	通道	寄存器	输出引脚	
			PWM 模式 1	PWM 模式 2
0	TPU0	TPU0.TGRA	TIOCA0	TIOCA0
		TPU0.TGRB		TIOCB0
		TPU0.TGRC	TIOCC0	TIOCC0
		TPU0.TGRD		TIOCD0
	TPU1	TPU1.TGRA	TIOCA1	TIOCA1
		TPU1.TGRB		TIOCB1
	TPU2	TPU2.TGRA	TIOCA2	TIOCA2
		TPU2.TGRB		TIOCB2
	TPU3	TPU3.TGRA	TIOCA3	TIOCA3
		TPU3.TGRB		TIOCB3
		TPU3.TGRC	TIOCC3	TIOCC3
		TPU3.TGRD		TIOCD3
	TPU4	TPU4.TGRA	TIOCA4	TIOCA4
		TPU4.TGRB		TIOCB4
	TPU5	TPU5.TGRA	TIOCA5	TIOCA5
		TPU5.TGRB		TIOCB5
1	TPU6	TPU6.TGRA	TIOCA6	TIOCA6
		TPU6.TGRB		TIOCB6
		TPU6.TGRC	TIOCC6	TIOCC6
		TPU6.TGRD		TIOCD6
	TPU7	TPU7.TGRA	TIOCA7	TIOCA7
		TPU7.TGRB		TIOCB7
	TPU8	TPU8.TGRA	TIOCA8	TIOCA8
		TPU8.TGRB		TIOCB8
	TPU9	TPU9.TGRA	TIOCA9	TIOCA9
		TPU9.TGRB		TIOCB9
		TPU9.TGRC	TIOCC9	TIOCC9
		TPU9.TGRD		TIOCD9
	TPU10	TPU10.TGRA	TIOCA10	TIOCA10
		TPU10.TGRB		TIOCB10
	TPU11	TPU11.TGRA	TIOCA11	TIOCA11
		TPU11.TGRB		TIOCB11

注 . 在 PWM 模式 2 中，不能对已设定周期的 TPUm.TGRy 寄存器进行 PWM 波形输出。

(1) PWM 模式的设定步骤例子

PWM 模式的设定步骤例子如图 23.21 所示。

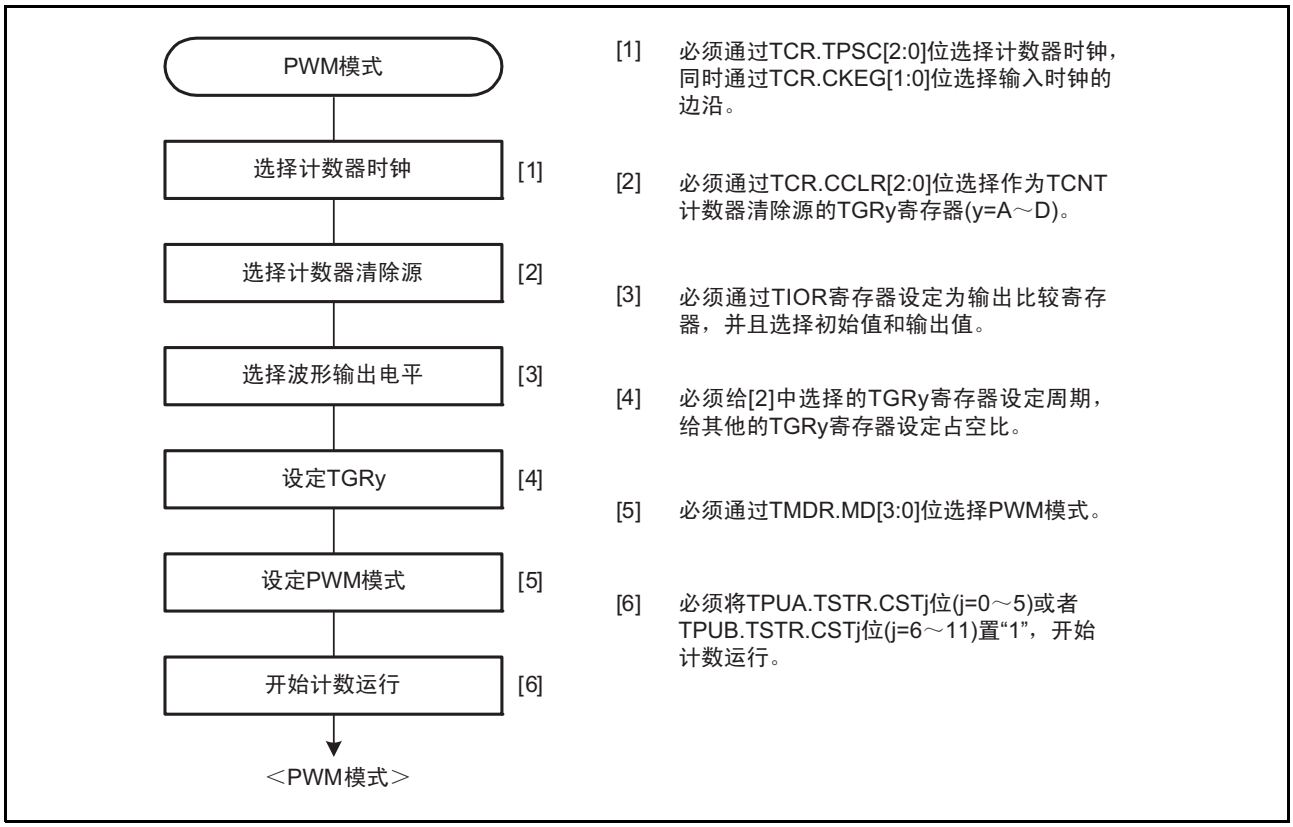


图 23.21 PWM 模式的设定步骤例子

(2) PWM 模式的运行例子

PWM 模式 1 的运行例子如图 23.22 所示。

在此图中，将 TPUm.TGRA 寄存器的比较匹配作为 TPUm.TCNT 计数器的清除源，将 TGRA 寄存器的初始输出值和输出值置 “0”，并且将 TPUm.TGRB 寄存器的输出值置 “1”。

此时，通过 TGRA 寄存器设定周期并且通过 TGRB 寄存器设定占空比。

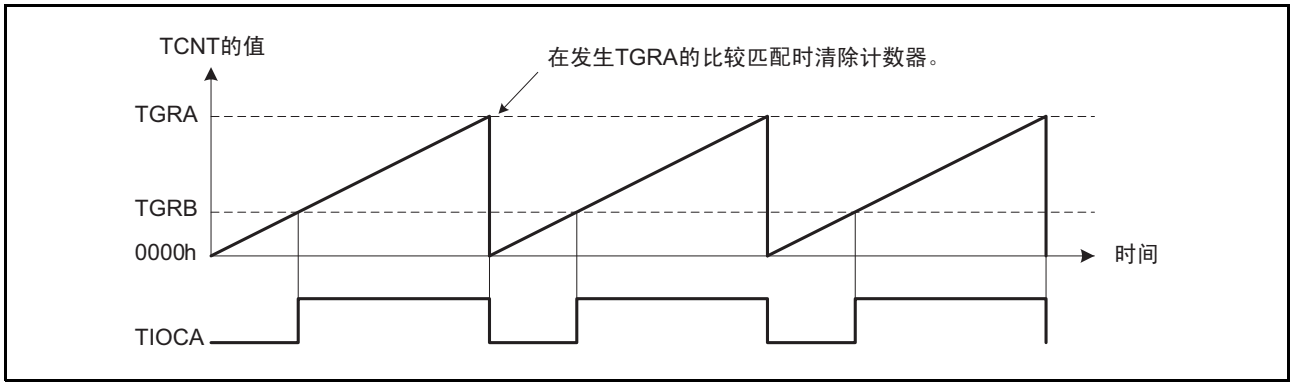


图 23.22 PWM 模式的运行例子 （1）

PWM 模式 2 的运行例子如图 23.23 所示。

在此例子中，TPU0 和 TPU1 同步运行，将 TPU1.TGRB 的比较匹配作为 TPUm.TCNT 计数器的清除源，将其他 TPUm.TGRy 寄存器（TPU0.TGRA ～ TPU0.TGRD、TPU1.TGRA）的初始输出值和输出值分别置 “0” 和置 “1”，输出 5 相的 PWM 波形。

此时， TPU1.TGRB 寄存器的设定值为周期，其他 TGRy 寄存器的设定值为占空比。

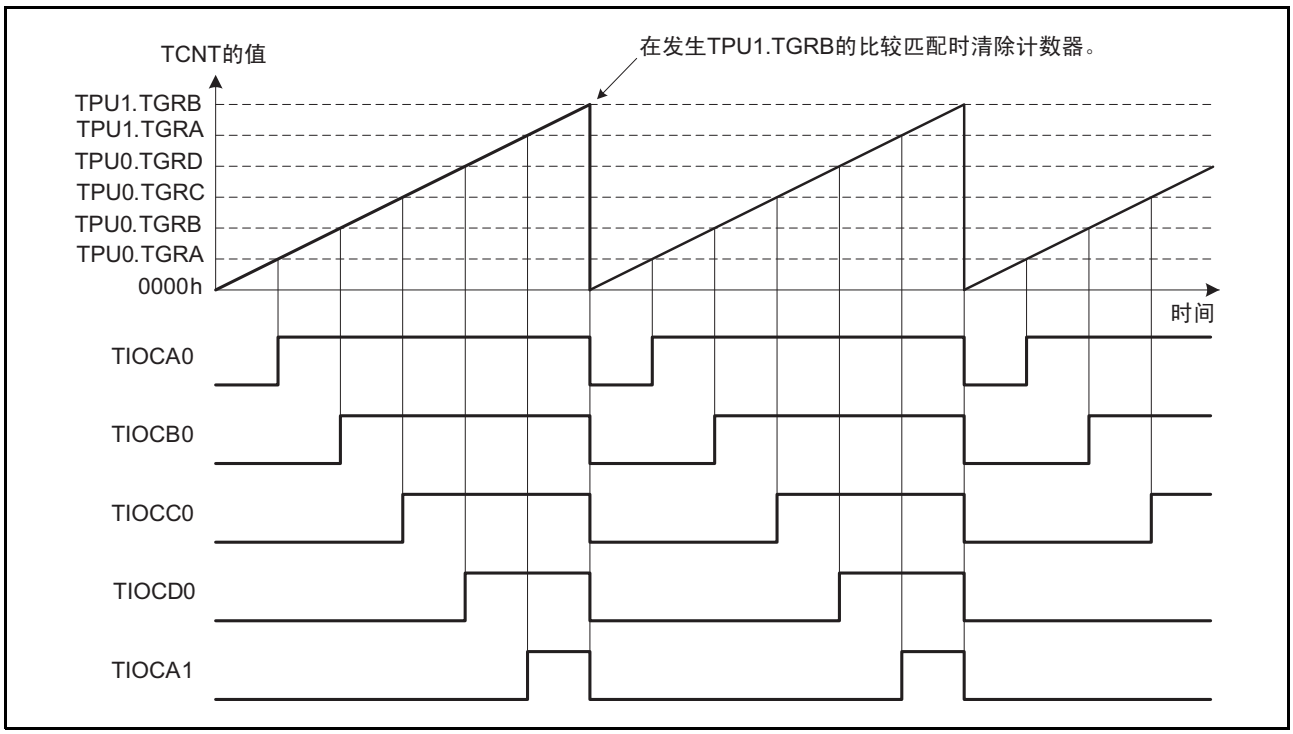


图 23.23 PWM 模式的运行例子 （2）

在 PWM 模式中，输出 0% 占空比和 100% 占空比的 PWM 波形的例子如图 23.24 所示。

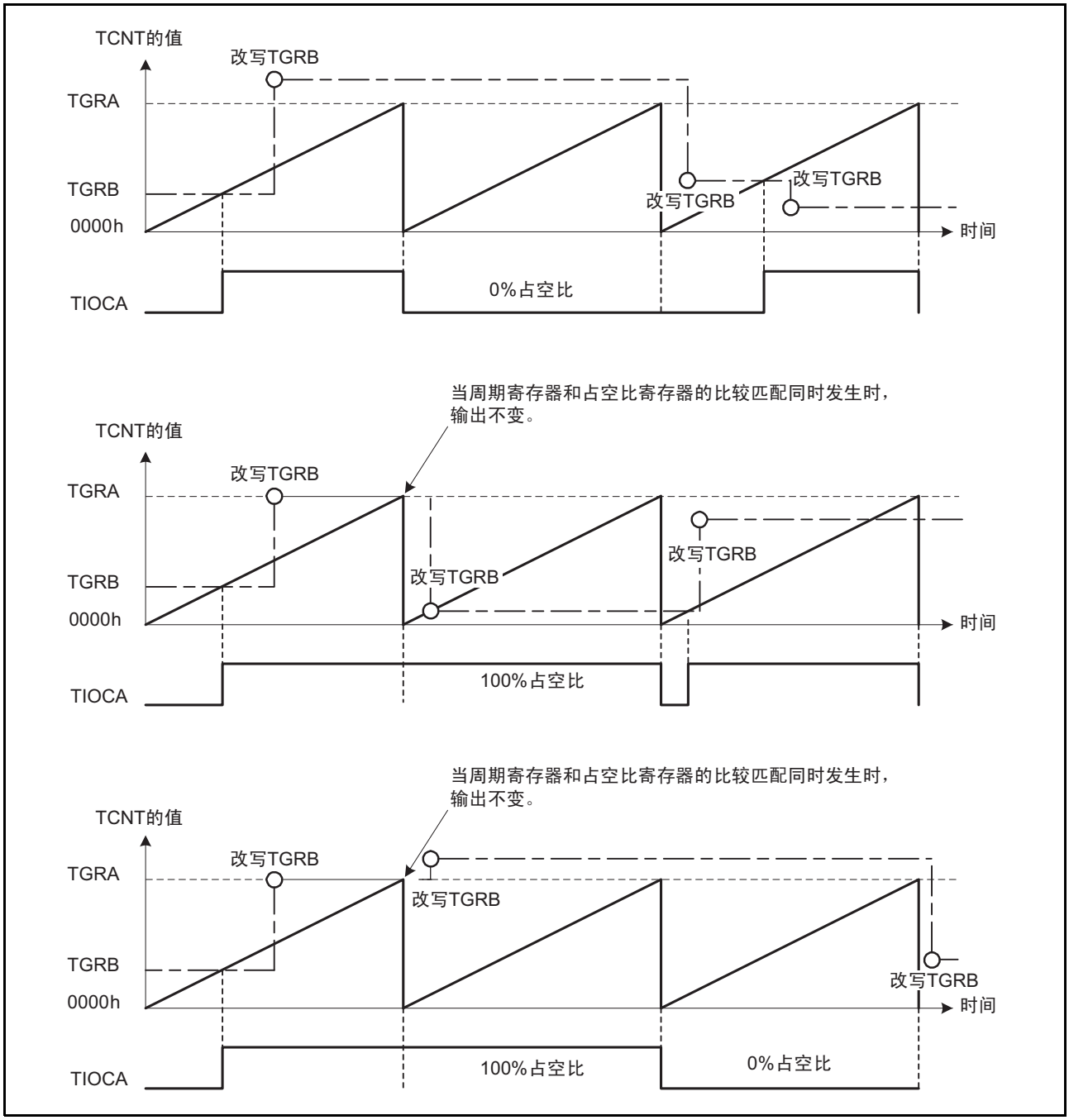


图 23.24 PWM 模式的运行例子 （3）

23.3.6 相位计数模式

在相位计数模式中，通过设定单元 0 中的通道 1、2、4、5（单元 1 中的通道 7、8、10、11），检测 2 个外部时钟输入的相位差，并且 TPUm.TCNT 计数器进行递增 / 递减计数。

如果设定为相位计数模式，就将外部时钟选择为计数器输入时钟，并且 TCNT 计数器作为递增 / 递减计数器运行，与 TPUm.TCR.TPSC[2:0] 位和 TPUm.TCR.CKEG[1:0] 位的设定无关。但是，因为 TPUm.TCR.CCLR[2:0] 位的低 2 位、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR 寄存器、TPUm.TIER 寄存器、TPUm.TGRy 寄存器的功能有效，所以能使用输入捕捉 / 比较匹配功能和中断功能。

TPU 能用作 2 相编码器脉冲的输入。

如果 TCNT 计数器在进行递增计数时发生上溢，就产生 TCIV 中断请求；如果 TCNT 计数器在进行递减计数时发生下溢，就产生 TCIU 中断请求。 TPUm.TSR.TCFD 标志是计数方向标志，能通过读 TCFD 标志，确认 TCNT 计数器是在进行递增计数还是在进行递减计数。

外部时钟引脚和通道的对应如表 23.25 所示。

表 23.25 相位计数模式的时钟输入引脚

单元	通道	外部时钟引脚	
		A 相	B 相
0	将 TPU1 或者 TPU5 设定为相位计数模式时	TCLKA	TCLKB
	将 TPU2 或者 TPU4 设定为相位计数模式时	TCLKC	TCLKD
1	将 TPU7 或者 TPU11 设定为相位计数模式时	TCLKE	TCLKF
	将 TPU8 或者 TPU10 设定为相位计数模式时	TCLKG	TCLKH

(1) 相位计数模式的设定步骤例子

相位计数模式的设定步骤例子如图 23.25 所示。

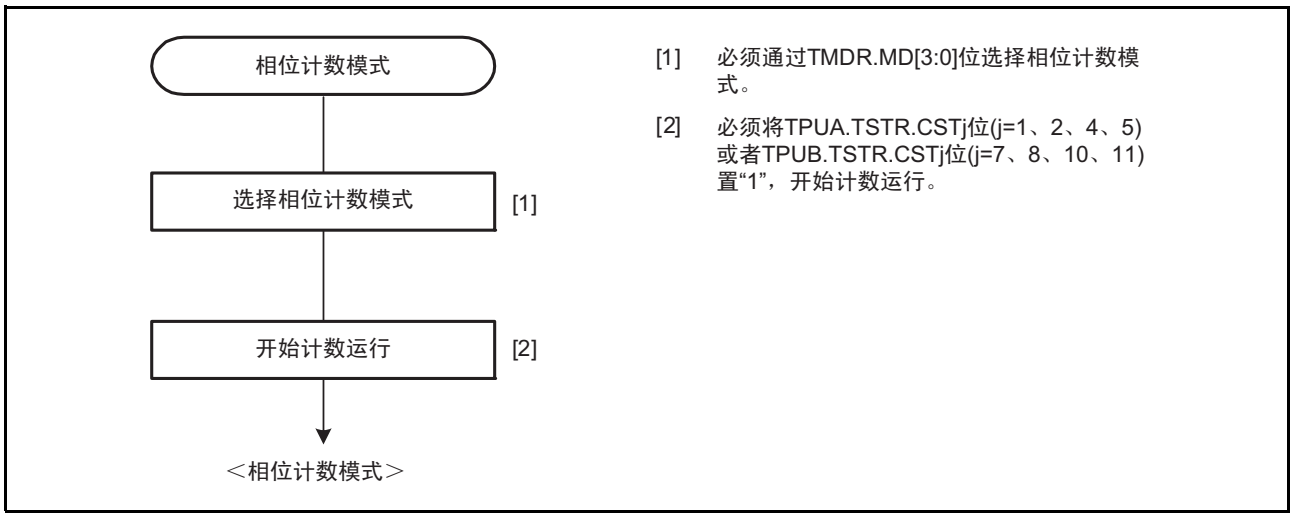


图 23.25 相位计数模式的设定步骤例子

(2) 相位计数模式的运行例子

在相位计数模式中，TPUm.TCNT 通过 2 个外部时钟的相位差进行递增计数 / 递减计数。根据计数条件，有 4 种模式。

(a) 相位计数模式 1

相位计数模式 1 的运行例子如图 23.26 所示， TPUm.TCNT 的递增计数 / 递减计数条件如表 23.26 所示。

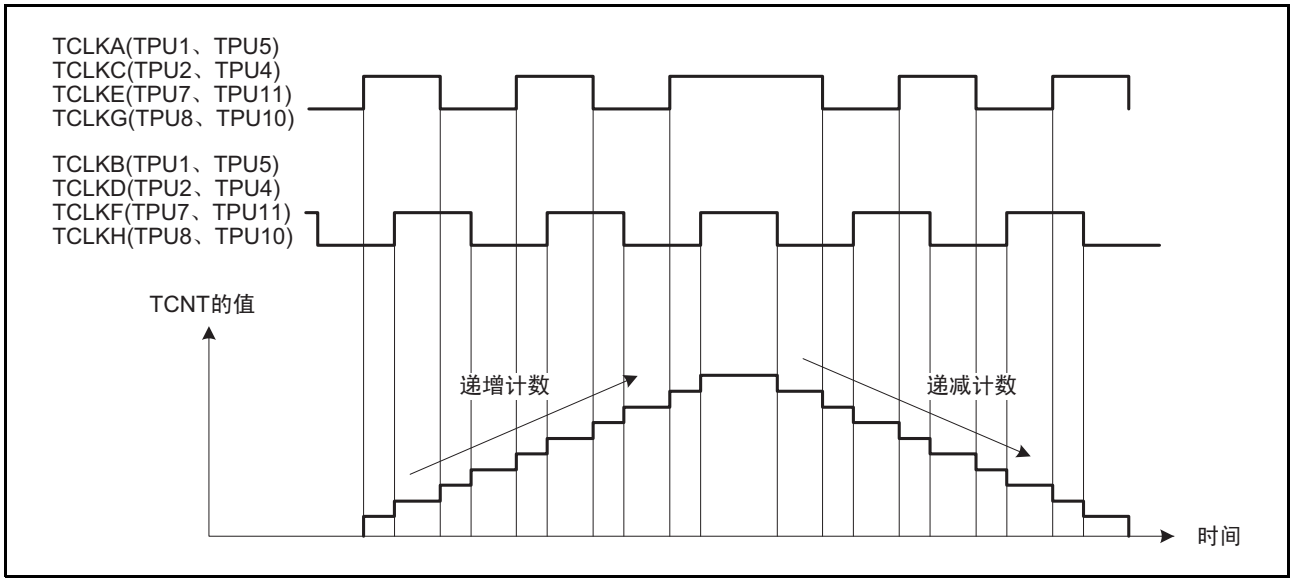


图 23.26 相位计数模式 1 的运行例子

表 23.26 相位计数模式 1 的递增计数 / 递减计数的条件

TCLKA （TPU1、 TPU5） TCLKC （TPU2、 TPU4） TCLKE （TPU7、 TPU11） TCLKG （TPU8、 TPU10）	TCLKB （TPU1、 TPU5） TCLKD （TPU2、 TPU4） TCLKF （TPU7、 TPU11） TCLKH （TPU8、 TPU10）	运行内容
High 电平	↑	递增计数
Low 电平	↓	
↑	Low 电平	
↓	High 电平	
High 电平	↓	递减计数
Low 电平	↑	
↑	High 电平	
↓	Low 电平	

↑ ：上升沿
↓ ：下降沿

(b) 相位计数模式 2

相位计数模式 2 的运行例子如图 23.27 所示，TPUm.TCNT 的递增计数 / 递减计数的条件如表 23.27 所示。

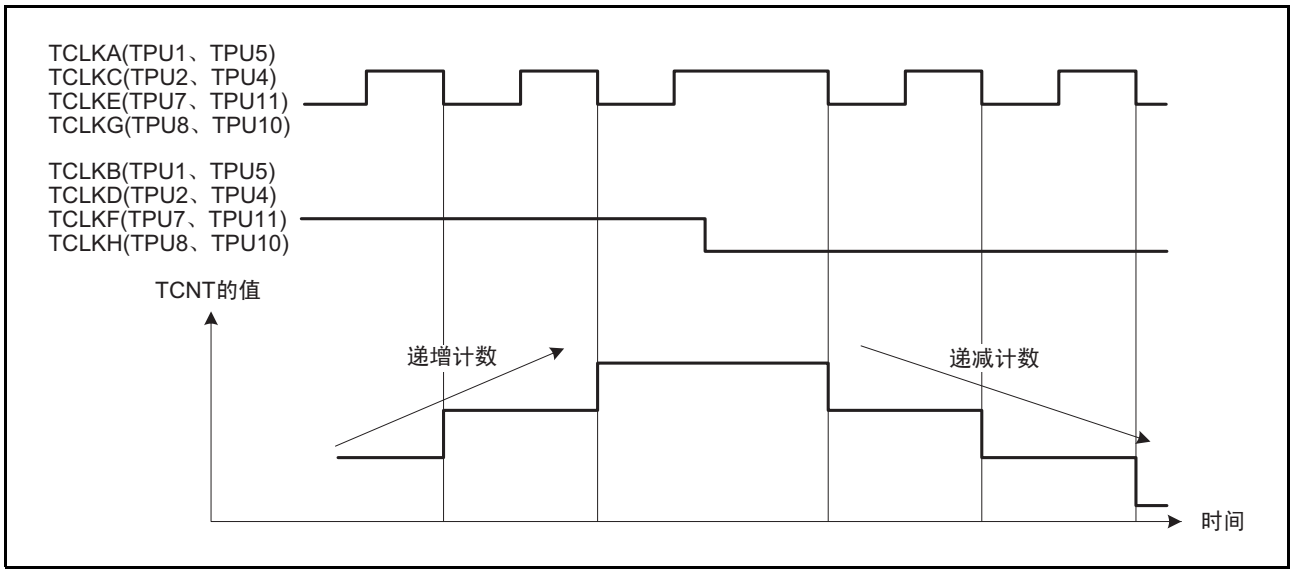


图 23.27 相位计数模式 2 的运行例子

表 23.27 相位计数模式 2 的递增计数 / 递减计数的条件

TCLKA （TPU1、 TPU5） TCLKC （TPU2、 TPU4） TCLKE （TPU7、 TPU11） TCLKG （TPU8、 TPU10）	TCLKB （TPU1、 TPU5） TCLKD （TPU2、 TPU4） TCLKF （TPU7、 TPU11） TCLKH （TPU8、 TPU10）	运行内容
High 电平	↑	Don' t care
Low 电平	↓	Don' t care
↑	Low 电平	Don' t care
↓	High 电平	递增计数
High 电平	↓	Don' t care
Low 电平	↑	Don' t care
↑	High 电平	Don' t care
↓	Low 电平	递减计数

↑ ：上升沿
↓ ：下降沿

(c) 相位计数模式 3

相位计数模式 3 的运行例子如图 23.28 所示，TPUm.TCNT 的递增计数 / 递减计数的条件如表 23.28 所示。

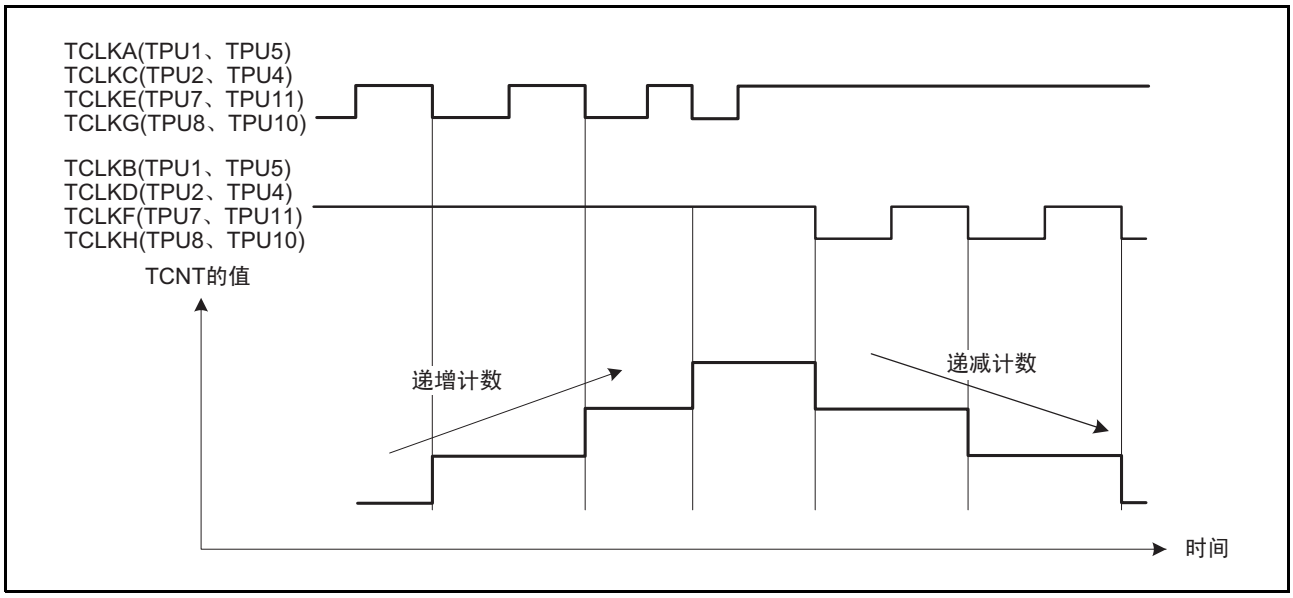


图 23.28 相位计数模式 3 的运行例子

表 23.28 相位计数模式 3 的递增计数 / 递减计数的条件

TCLKA （TPU1、 TPU5） TCLKC （TPU2、 TPU4） TCLKE （TPU7、 TPU11） TCLKG （TPU8、 TPU10）	TCLKB （TPU1、 TPU5） TCLKD （TPU2、 TPU4） TCLKF （TPU7、 TPU11） TCLKH （TPU8、 TPU10）	运行内容
High 电平	↑	Don' t care
Low 电平	↓	Don' t care
↑	Low 电平	Don' t care
↓	High 电平	递增计数
High 电平	↓	递减计数
Low 电平	↑	Don' t care
↑	High 电平	Don' t care
↓	Low 电平	Don' t care

↑ ：上升沿
↓ ：下降沿

(d) 相位计数模式 4

相位计数模式 4 的运行例子如图 23.29 所示，TPUm.TCNT 的递增计数 / 递减计数的条件如表 23.29 所示。

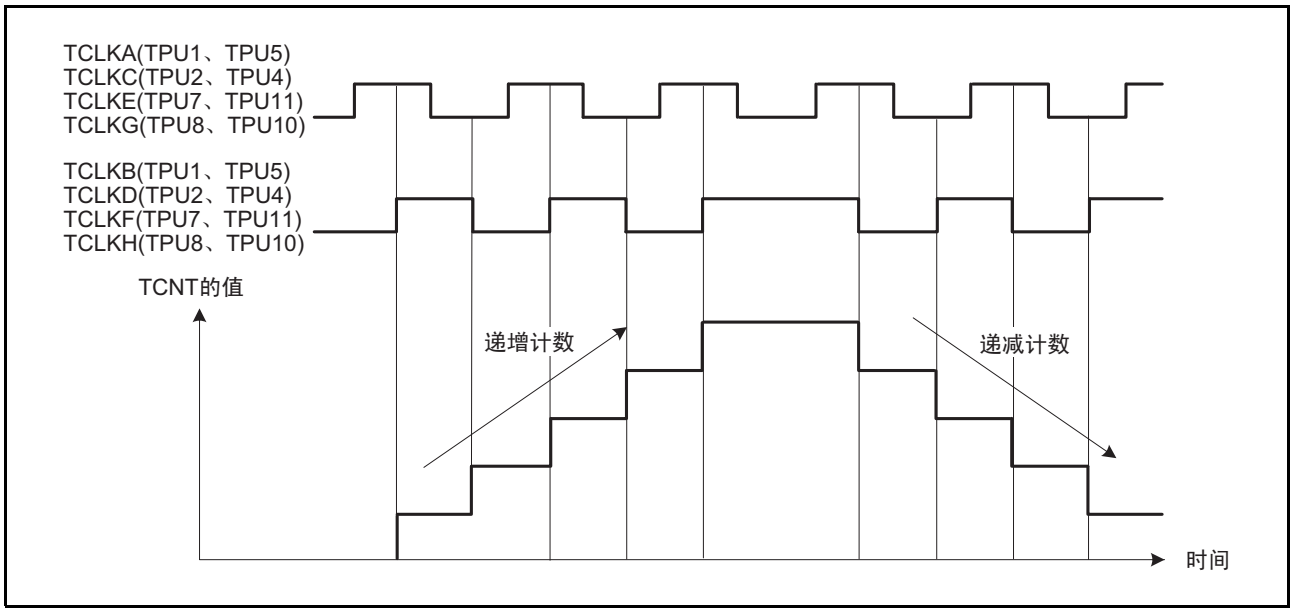


图 23.29 相位计数模式 4 的运行例子

表 23.29 相位计数模式 4 的递增计数 / 递减计数的条件

TCLKA （TPU1、 TPU5） TCLKC （TPU2、 TPU4） TCLKE （TPU7、 TPU11） TCLKG （TPU8、 TPU10）	TCLKB （TPU1、 TPU5） TCLKD （TPU2、 TPU4） TCLKF （TPU7、 TPU11） TCLKH （TPU8、 TPU10）	运行内容
High 电平	↑	递增计数
Low 电平	↓	
↑	Low 电平	Don' t care
↓	High 电平	
High 电平	↓	递减计数
Low 电平	↑	
↑	High 电平	Don' t care
↓	Low 电平	

↑ ：上升沿
↓ ：下降沿

23.3.6.1 相位计数模式的应用例子

将 TPU1 设定为相位计数模式，并且与 TPU0 配合输入伺服马达 2 相编码器脉冲后检测位置或者速度的例子如图 23.30 所示。

将 TPU1 设定为相位计数模式 1，给 TCLKA 引脚和 TCLKB 引脚输入编码器脉冲的 A 相和 B 相。

TPU0 通过 TPU0.TGRC 寄存器的比较匹配清除 TPU0.TCNT 计数器，TPU0.TGRA 寄存器和 TPU0.TGRC 寄存器用于比较匹配功能，并且设定速度控制周期和位置控制周期。 TPU0.TGRB 寄存器用于输入捕捉功能，使 TPU0.TGRB 寄存器和 TPU0.TGRD 寄存器进行缓冲运行。将 TPU0.TGRB 寄存器的输入捕捉源作为 TPU1 的计数器输入时钟，检测 2 相编码器的 4 倍频脉冲的脉宽。

将 TPU1 的 TPU1.TGRA 寄存器和 TPU1.TGRB 寄存器设定为输入捕捉功能，选择 TPU0 的 TPU0.TGRA 寄存器和 TPU0.TGRC 寄存器的比较匹配为输入捕捉源，保存各控制周期时的递增 / 递减计数器的值。

能用此方法检测正确的位置和速度。

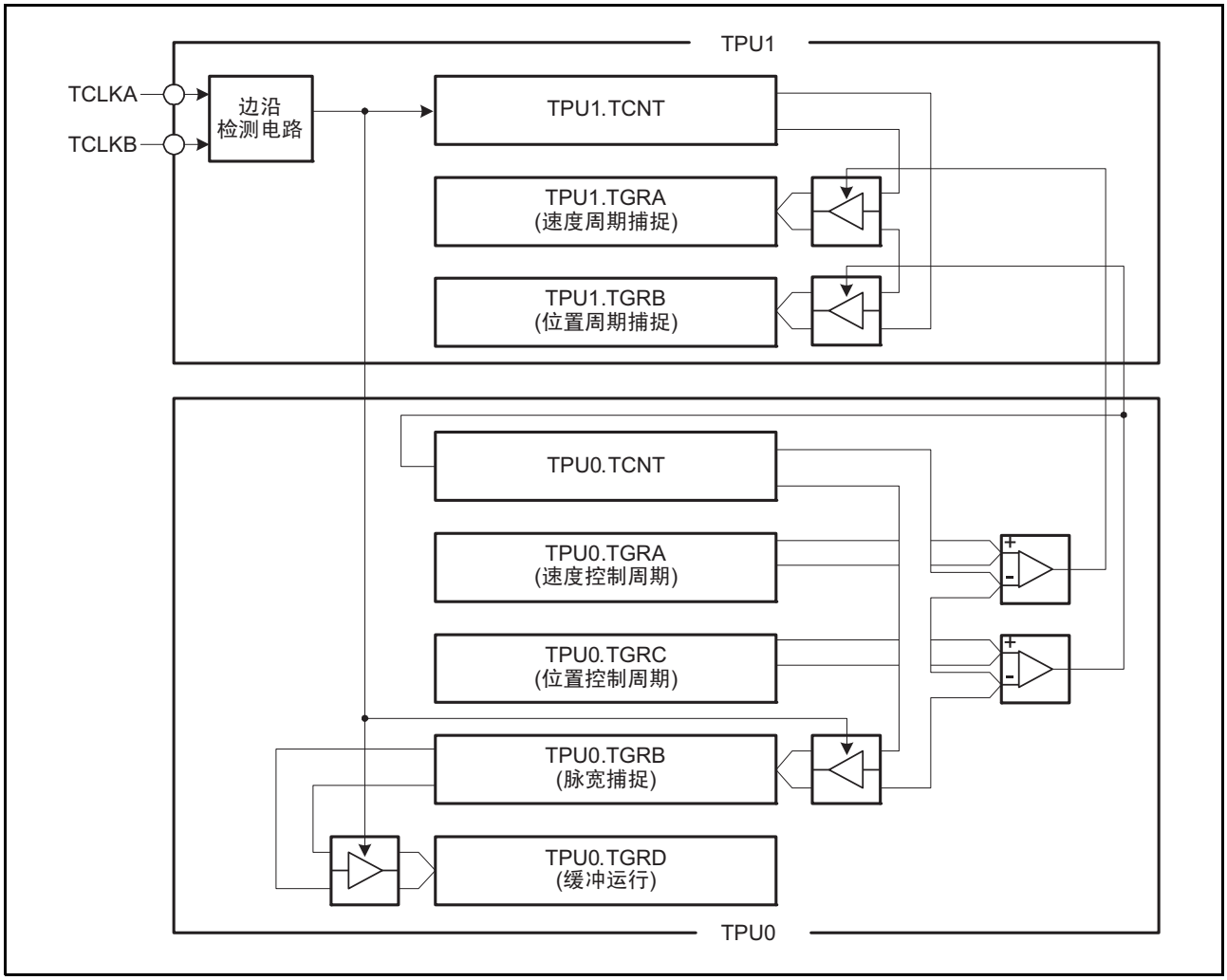


图 23.30 相位计数模式的应用例子

23.3.7 噪声滤波器功能

TPU 的输入捕捉的输入引脚具有噪声滤波器功能。噪声滤波器功能按设定的采样周期对引脚进行采样，如果 3 次采样的引脚电平相同，就将相同的电平传送到内部并且持续到 3 次采样的引脚电平再次相同为止。

能按引脚设定允许或者停止噪声滤波器功能，并且能以通道为单位设定采样时钟。

噪声滤波器的时序图如**图 23.31** 所示。

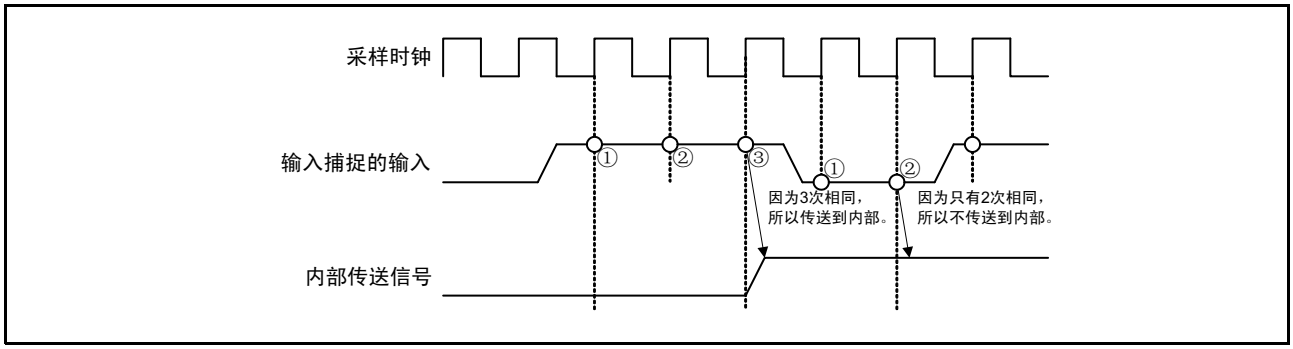


图 23.31 噪声滤波器的时序图

23.4 中断源

TPU 的中断源有 TPUm.TGRy 寄存器的输入捕捉 / 比较匹配、TPUm.TCNT 计数器的上溢和 TPUm.TCNT 计数器的下溢共 3 种。

能通过中断控制器更改通道之间的优先级，但是不能更改通道内的优先级。详细内容请参照 “15. 中断控制器 （ICUb）”。

TPU 的中断源一览表如表 23.30 所示。

表 23.30 TPU 中断一览表 (1/2)

单元	通道	名称	中断源	DTC 的启动	DMAC 的启动
0	TPU0	TGI0A	TPU0.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI0B	TPU0.TGRB 的输入捕捉 / 比较匹配	能	不能
		TGI0C	TPU0.TGRC 的输入捕捉 / 比较匹配	能	不能
		TGI0D	TPU0.TGRD 的输入捕捉 / 比较匹配	能	不能
		TCI0V	TPU0A.TCNT 的上溢	不能	不能
	TPU1	TGI1A	TPU1.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI1B	TPU1.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI1V	TPU1.TCNT 的上溢	不能	不能
		TCI1U	TPU1.TCNT 的下溢	不能	不能
	TPU2	TGI2A	TPU2.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI2B	TPU2.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI2V	TPU2.TCNT 的上溢	不能	不能
		TCI2U	TPU2.TCNT 的下溢	不能	不能
	TPU3	TGI3A	TPU3.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI3B	TPU3.TGRB 的输入捕捉 / 比较匹配	能	不能
		TGI3C	TPU3.TGRC 的输入捕捉 / 比较匹配	能	不能
		TGI3D	TPU3.TGRD 的输入捕捉 / 比较匹配	能	不能
		TCI3V	TPU3.TCNT 的上溢	不能	不能
	TPU4	TGI4A	TPU4.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI4B	TPU4.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI4V	TPU4.TCNT 的上溢	不能	不能
		TCI4U	TPU4.TCNT 的下溢	不能	不能
	TPU5	TGI5A	TPU5.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI5B	TPU5.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI5V	TPU5.TCNT 的上溢	不能	不能
		TCI5U	TPU5.TCNT 的下溢	不能	不能

表 23.30 TPU 中断一览表 (2/2)

单元	通道	名称	中断源	DTC 的启动	DMAC 的启动
1	TPU6	TGI6A	TPU6.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI6B	TPU6.TGRB 的输入捕捉 / 比较匹配	能	不能
		TGI6C	TPU6.TGRC 的输入捕捉 / 比较匹配	能	不能
		TGI6D	TPU6.TGRD 的输入捕捉 / 比较匹配	能	不能
		TCI6V	TPU6.TCNT 的上溢	不能	不能
	TPU7	TGI7A	TPU7.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI7B	TPU7.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI7V	TPU7.TCNT 的上溢	不能	不能
		TCI7U	TPU7.TCNT 的下溢	不能	不能
	TPU8	TGI8A	TPU8.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI8B	TPU8.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI8V	TPU8.TCNT 的上溢	不能	不能
		TCI8U	TPU8.TCNT 的下溢	不能	不能
	TPU9	TGI9A	TPU9.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI9B	TPU9.TGRB 的输入捕捉 / 比较匹配	能	不能
		TGI9C	TPU9.TGRC 的输入捕捉 / 比较匹配	能	不能
		TGI9D	TPU9.TGRD 的输入捕捉 / 比较匹配	能	不能
		TCI9V	TPU9.TCNT 的上溢	不能	不能
	TPU10	TGI10A	TPU10.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI10B	TPU10.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI10V	TPU10.TCNT 的上溢	不能	不能
		TCI10U	TPU10.TCNT 的下溢	不能	不能
	TPU11	TGI11A	TPU11.TGRA 的输入捕捉 / 比较匹配	能	能
		TGI11B	TPU11.TGRB 的输入捕捉 / 比较匹配	能	不能
		TCI11V	TPU11.TCNT 的上溢	不能	不能
		TCI11U	TPU11.TCNT 的下溢	不能	不能

注 . 表示复位后的初始状态。能通过中断控制器更改通道之间的优先级。

(1) 输入捕捉 / 比较匹配中断

如果在各通道的 TPUm.TGRy 寄存器发生输入捕捉 / 比较匹配时 TPUm.TIER.TGIEy 位（y=A、B、C、D）为“1”，就请求中断。在 TPU 中，TPU0、3、6、9 各有 4 个输入捕捉 / 比较匹配中断，TPU1、2、4、5、7、8、 10、 11 各有 2 个输入捕捉 / 比较匹配中断，共计 32 个。

(2) 上溢中断

如果在各通道的 TPUm.TCNT 计数器发生上溢时 TPUm.TIER.TCIEV 位为“1”，就请求中断。在 TPU 中，各通道各有 1 个上溢中断，共计 12 个。

(3) 下溢中断

如果在各通道的 TPUm.TCNT 计数器发生下溢时 TPUm.TIER.TCIEU 位为“1”，就请求中断。在 TPU 中，TPU1、 2、 4、 5、 7、 8、 10、 11 各有 1 个下溢中断，共计 8 个。

23.5 DTC 的启动

能通过各通道的 TPUm.TGRy 寄存器的输入捕捉 / 比较匹配中断来启动 DTC。详细内容请参照 “18. 数据传送控制器 （DTCa）”。

在 TPU 中，能将 TPU0、3、6、9 的各 4 个以及 TPU1、2、4、5、7、8、10、11 的各 2 个，共计 32 个输入捕捉 / 比较匹配中断作为 DTC 的启动源。

23.6 DMAC 的启动

能通过各通道的 TPUm.TGRA 寄存器的输入捕捉 / 比较匹配中断来启动 DMAC。详细内容请参照 “17. DMA 控制器 （DMACA）”。

在 TPU 中，能将各通道的各 1 个共计 12 个 TPUm.TGRA 寄存器的输入捕捉 / 比较匹配中断作为 DMAC 的启动源。

23.7 A/D 转换器的启动

TPU 能通过各通道的 TPUm.TGRA 寄存器的输入捕捉 / 比较匹配来启动 A/D 转换器，并且通过 TPU0（TPU6）的 TGRA ～ TGRD 寄存器的输入捕捉 / 比较匹配来启动 A/D 转换器。

在发生各通道的 TPUm.TGRA 寄存器的输入捕捉 / 比较匹配时，如果 TPUm.TIER.TTGE 位为 “1”， TPU 就向 A/D 转换器请求开始 A/D 转换。当发生 TPU0 （TPU6）的 TGRA ～ TGRD 寄存器的输入捕捉 / 比较匹配时， TPU 就向对应的 A/D 转换器请求开始 A/D 转换。此时，如果已在 A/D 转换器侧选择了 TPU 的转换开始触发，就开始 A/D 转换。4 个 A/D 转换开始请求信号不能通过 TIER.TTGE 位控制禁止或者允许请求信号的发生。

有关对应的 A/D 转换器单元请参照 “38. 10 位 A/D 转换器 （ADb）”。

23.8 PPG 触发

能将 TPU0 ～ TPU3 （TPU6 ～ TPU8）的 TGRA 和 TGRB 寄存器的输入捕捉 / 比较匹配作为 PPG1 波形生成的触发信号。

23.9 运行时序

23.9.1 输入 / 输出时序

(1) TPUm.TCNT 计数器的计数时序

内部时钟运行和外部时钟运行时的 TPUm.TCNT 计数器的计数时序分别如图 23.32 和图 23.33 所示。

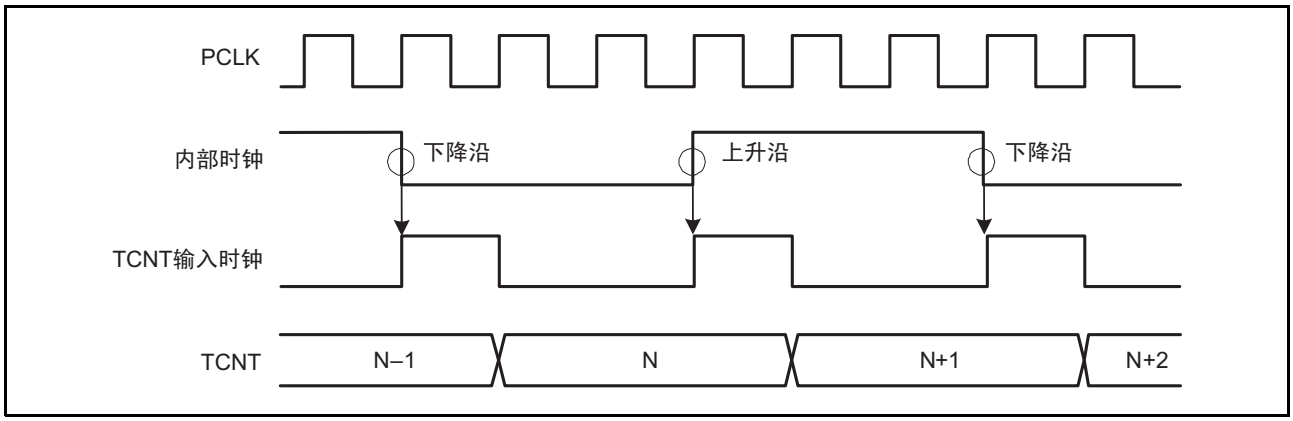


图 23.32 内部时钟运行时的计数时序

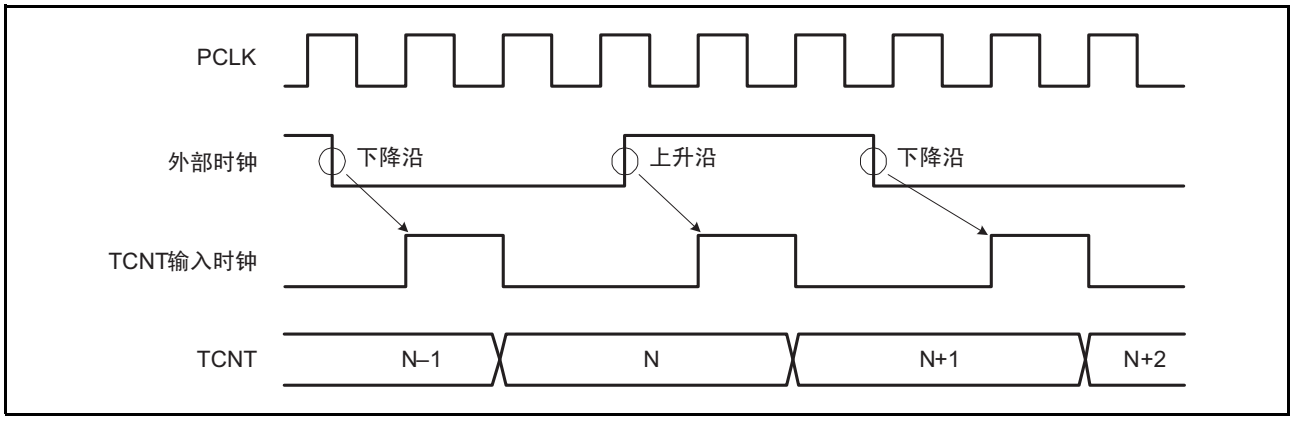


图 23.33 外部时钟运行时的计数时序

(2) 输出比较的输出时序

在 TPUm.TCNT 计数器和 TPUm.TGRy 寄存器的值相同的最后状态 （在更新 TCNT 计数器相同后的计数值时）产生比较匹配信号。在产生比较匹配信号后，TPUm.TIORH、TPUm.TIORL、TPUm.TIOR 寄存器设定的输出值从输出比较的输出引脚 （TIOCyn （y=A ～ D、 n=0 ～ 11）引脚）输出。在从 TCNT 计数器和 TGRy 寄存器的值相同后到发生 TCNT 计数器的输入时钟的期间，不产生比较匹配信号。

输出比较的输出时序如图 23.34 所示。

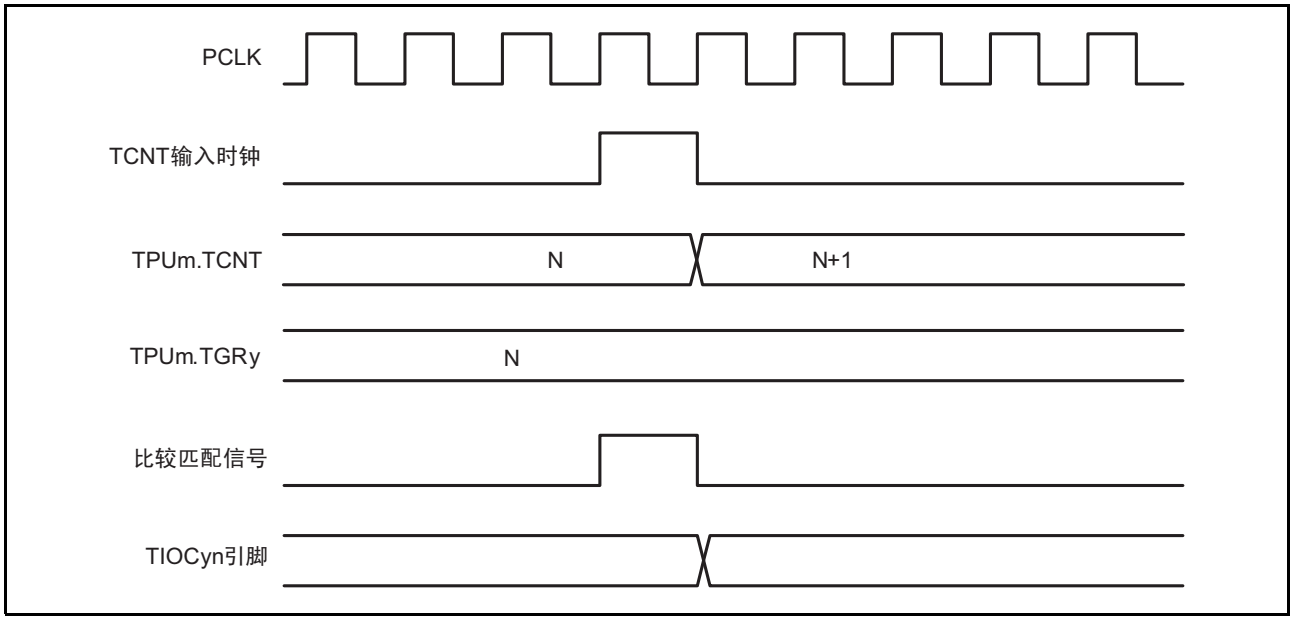


图 23.34 输出比较的输出时序

(3) 输入捕捉的信号时序

输入捕捉的信号时序如图 23.35 所示。

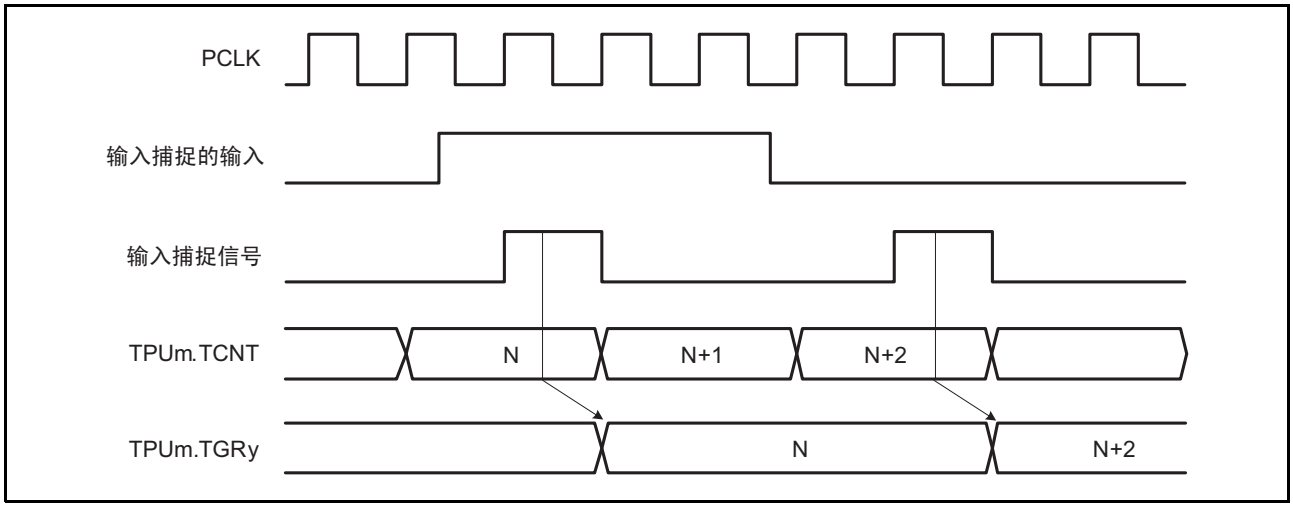


图 23.35 输入捕捉的输入信号时序

(4) 通过比较匹配 / 输入捕捉进行的计数器清除时序

指定通过比较匹配进行计数器清除时的时序如图 23.36 所示。
指定通过输入捕捉进行计数器清除时的时序如图 23.37 所示。

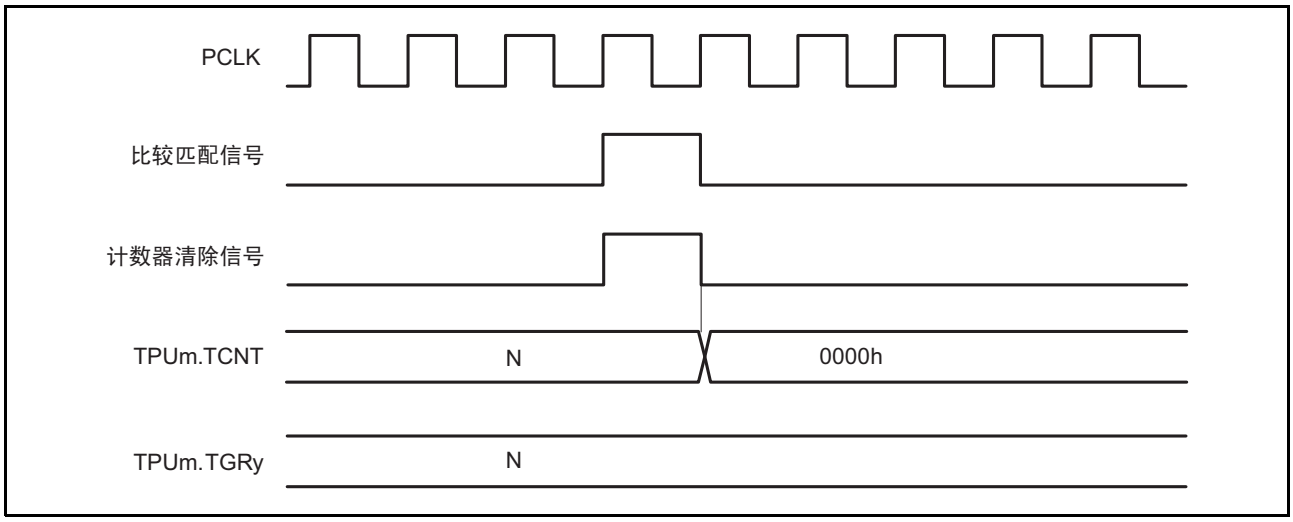


图 23.36 计数器清除的时序 （比较匹配）

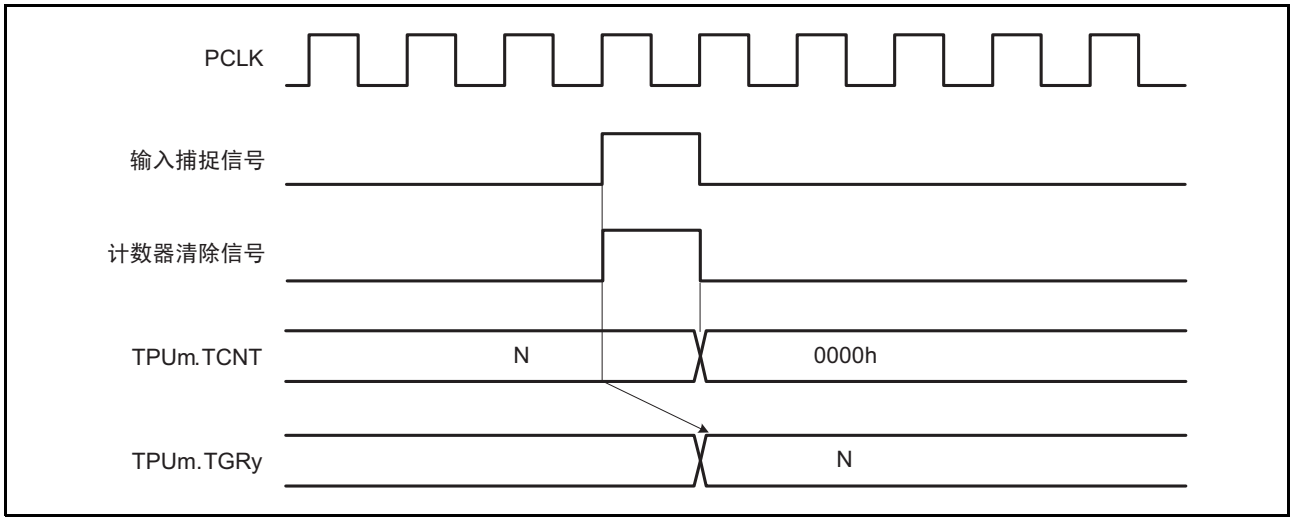


图 23.37 计数器清除的时序 （输入捕捉）

(5) 缓冲运行的时序

缓冲运行时的时序如图 23.38 和图 23.39 所示。

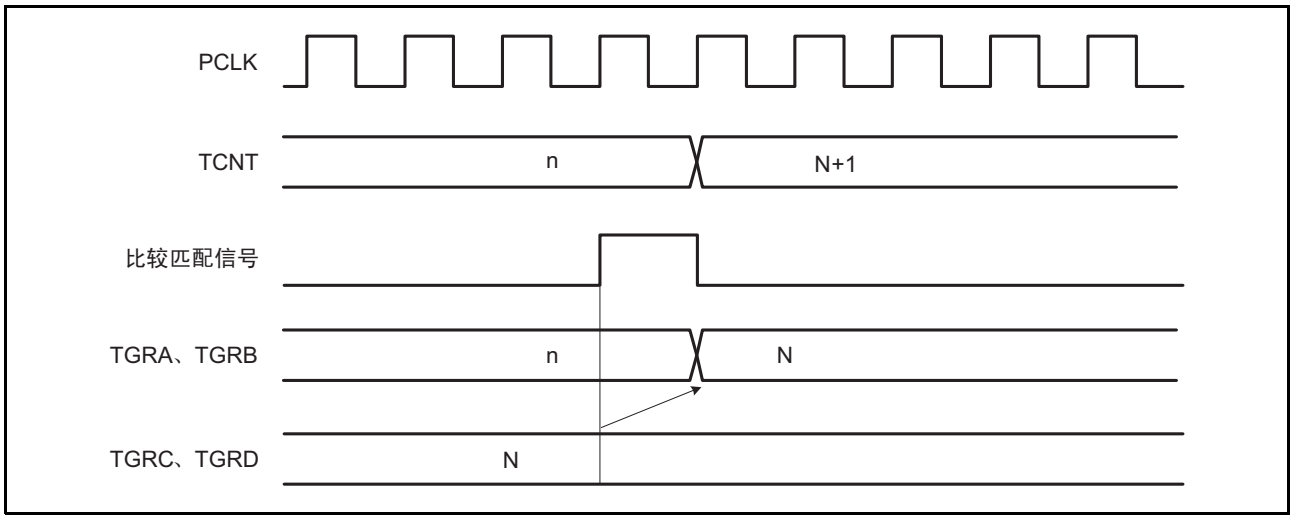


图 23.38 缓冲运行的时序 （比较匹配）

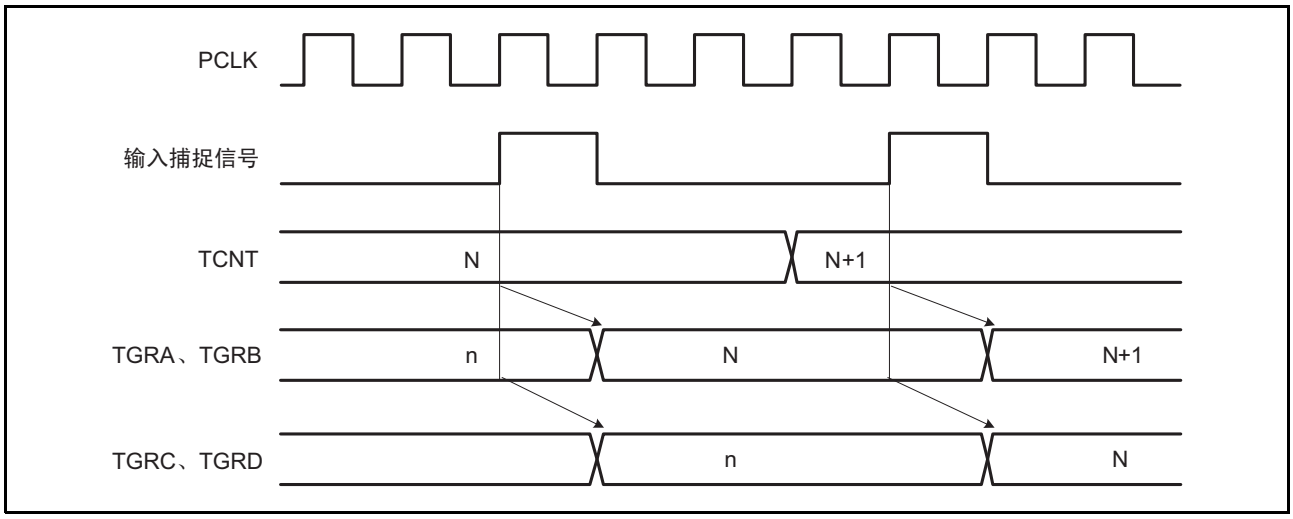


图 23.39 缓冲运行的时序 （输入捕捉）

23.9.2 中断信号的时序

(1) 比较匹配时的中断标志变为 “1” 的时序

由比较匹配产生的中断标志的时序如图 23.40 所示。

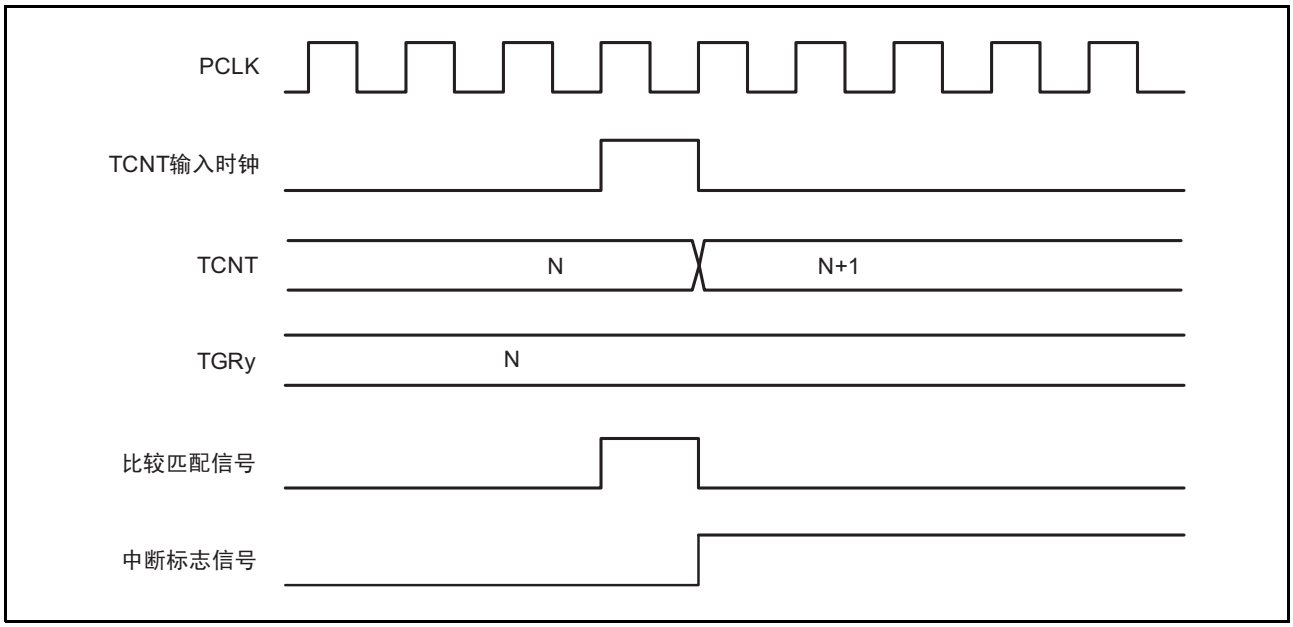


图 23.40 TGImy 中断时序 （比较匹配）

(2) 输入捕捉时的中断标志变为 “1” 的时序

由输入捕捉产生的中断标志的时序如图 23.41 所示。

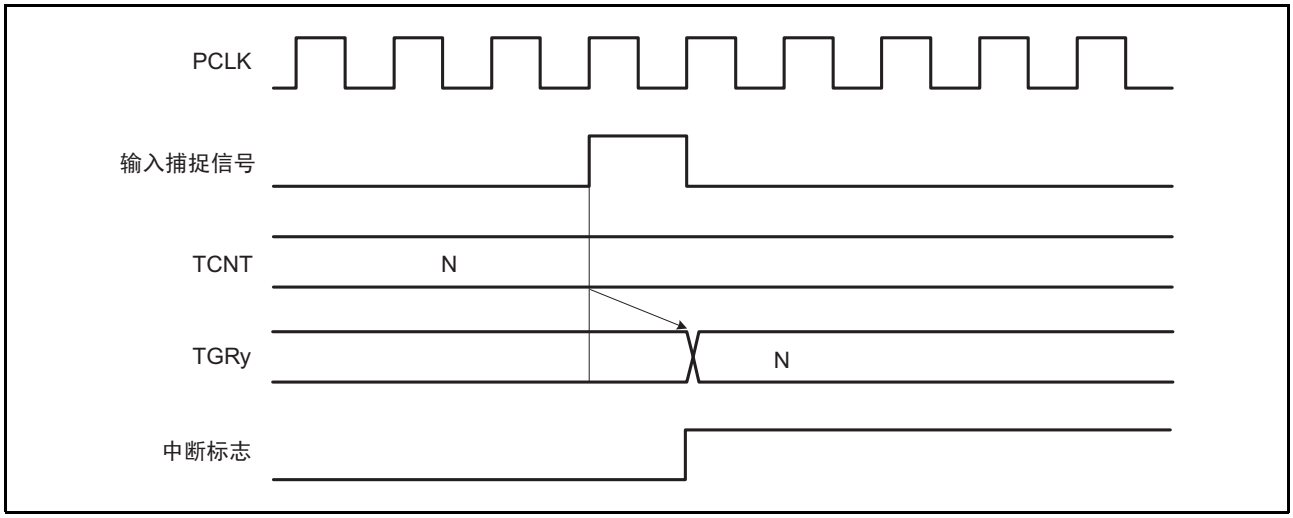


图 23.41 TGImy 中断时序 （输入捕捉）

(3) TCImV 和 TCImU 的中断标志变为 “1” 的时序

由上溢产生的 TCImV 中断请求信号的时序如图 23.42 所示。
由下溢产生的 TCImU 中断请求信号的时序如图 23.43 所示。

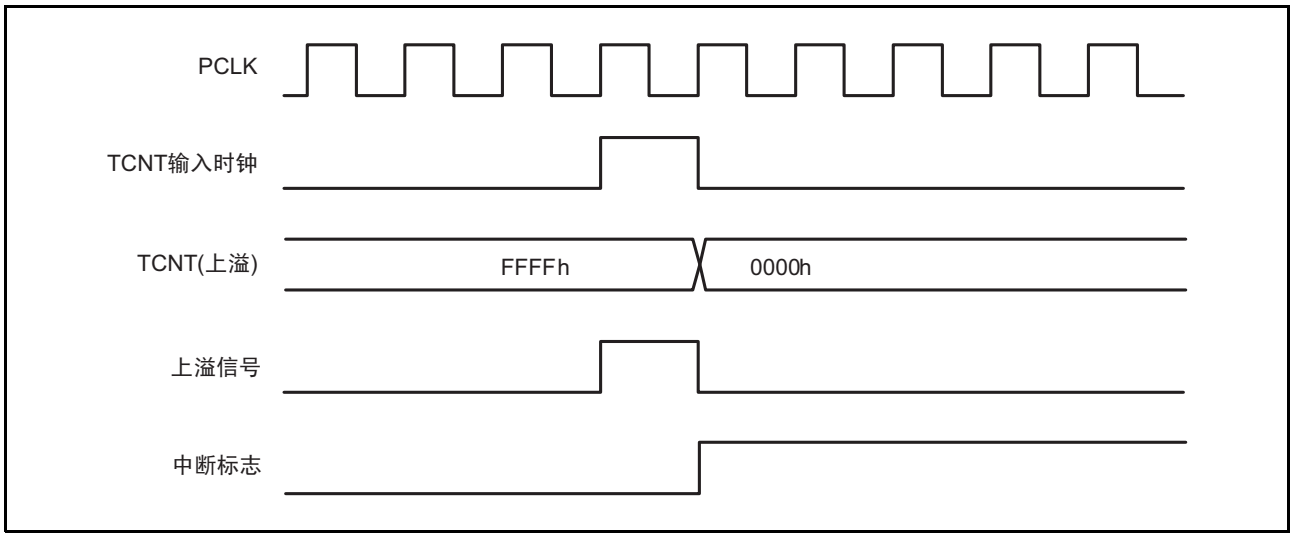


图 23.42 TCImV 中断的置位时序

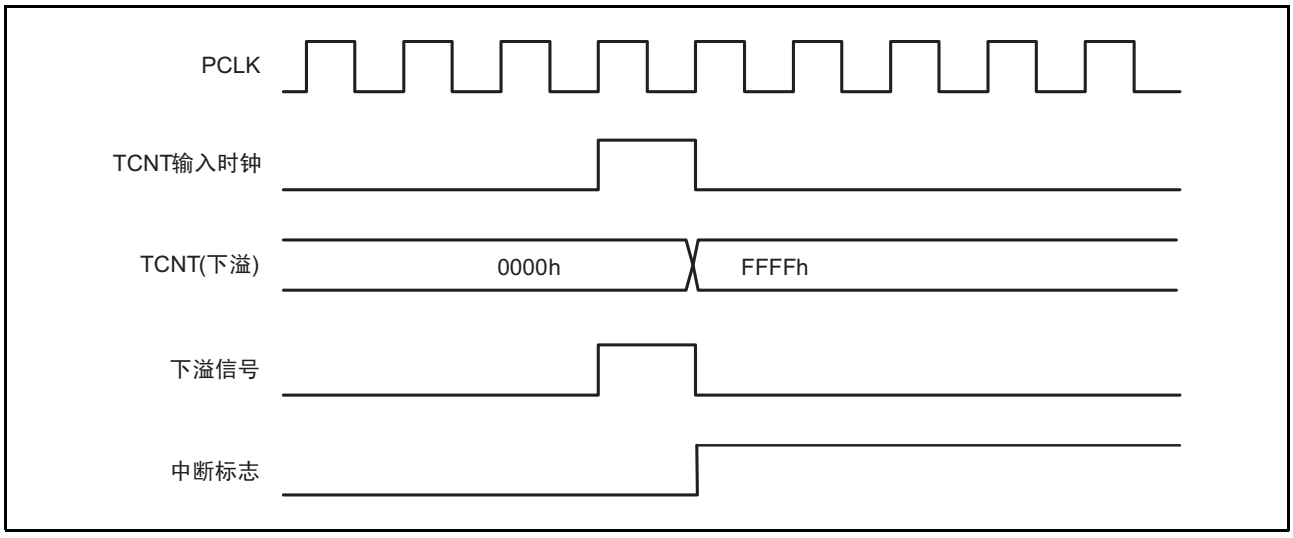


图 23.43 TCImU 中断的置位时序

23.10 使用时的注意事项

23.10.1 模块停止功能的设定

能通过模块停止控制寄存器设定允许或者禁止 TPU 的运行，初始值为停止 TPU 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

23.10.2 输入时钟的限制事项

必须注意：在单边沿的情况下，输入时钟的脉宽至少为 1.5 个状态；在双边沿的情况下，输入时钟的脉宽至少为 2.5 个状态。否则，就不能正常运行。

在相位计数模式中，2 个输入时钟的相位差和重叠都至少为 1.5 个状态，脉宽至少为 2.5 个状态。相位计数模式的输入时钟条件如图 23.44 所示。

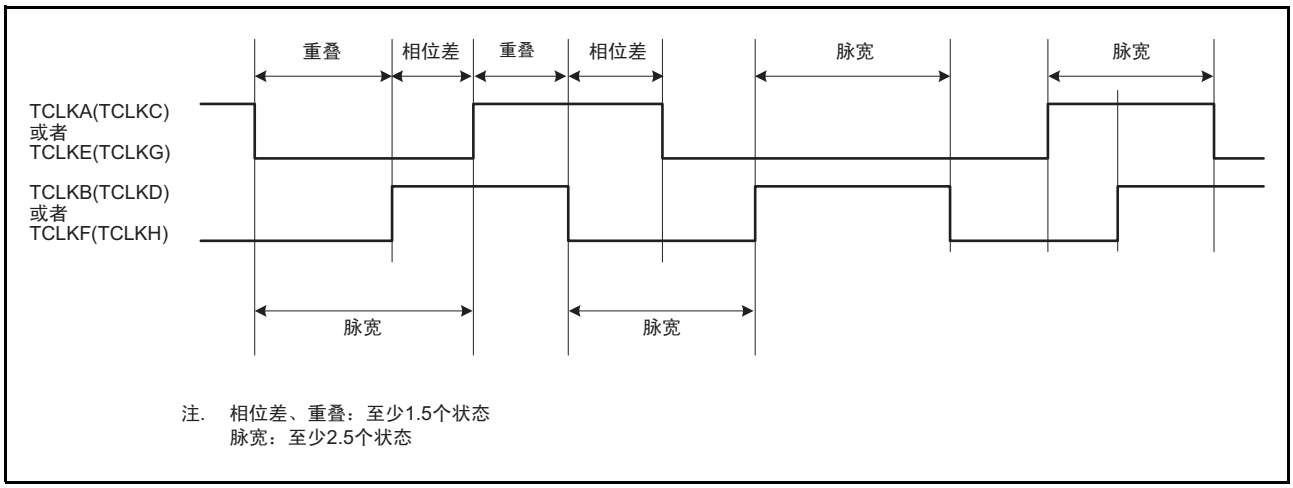


图 23.44 相位计数模式中的位相差、重叠和脉宽

23.10.3 设定周期时的注意事项

如果设定为通过比较匹配清除计数器，就在 TPUm.TCNT 计数器和 TPUm.TGRy 寄存器的值相同的最后状态（在更新 TCNT 计数器相同后的计数值时）清除 TPUm.TCNT 计数器。因此，实际的计数器的频率用以下的表达式表示：

$$f = \frac{PCLK}{(N+1)}$$

f： 计数器的频率
PCLK： 工作频率
N： TGRy 寄存器的设定值

23.10.4 TPUm.TCNT 计数器的写和清除的竞争

如果在 TCNT 计数器的写周期产生计数器清除信号，就不写 TCNT 计数器而优先清除 TCNT 计数器。此时序如图 23.45 所示。

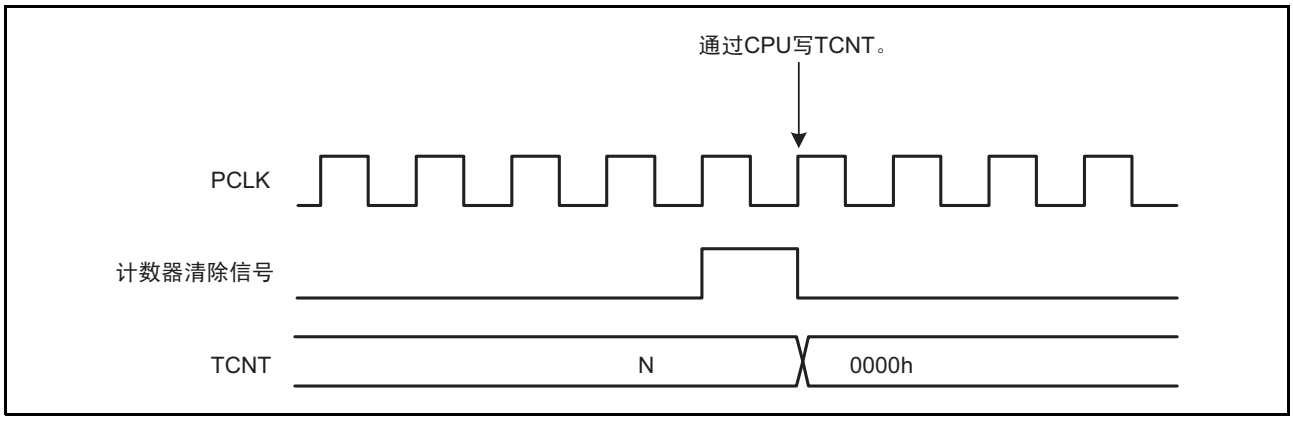


图 23.45 TPUm.TCNT 计数器的写和清除的竞争

23.10.5 TPUm.TCNT 计数器的写和递增计数的竞争

即使在 TCNT 计数器的写周期产生递增计数信号，也不进行递增计数而优先写 TCNT 计数器。此时序如图 23.46 所示。

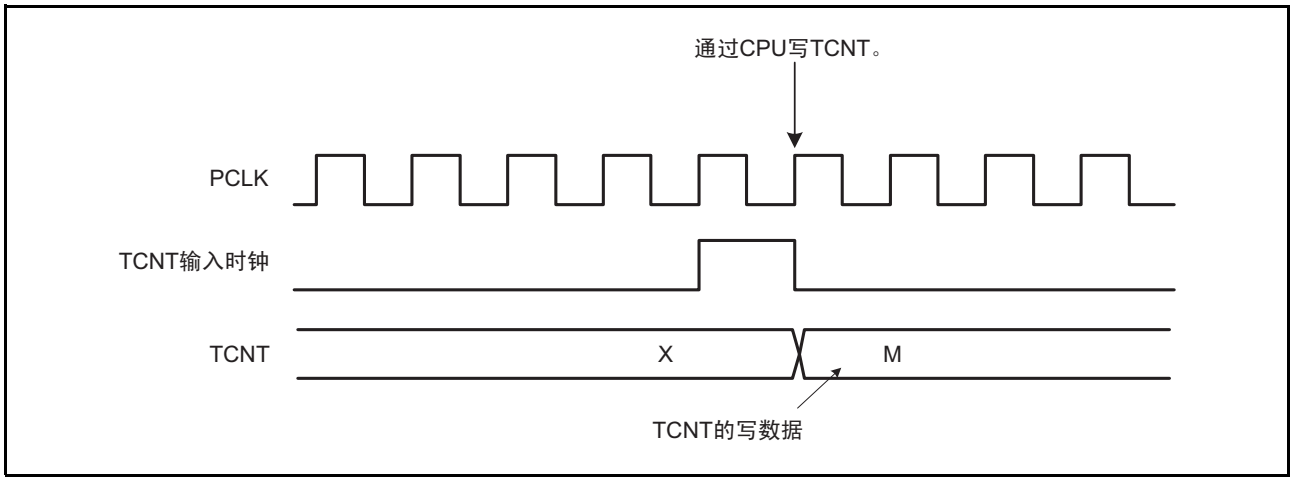


图 23.46 TPUm.TCNT 计数器的写和递增计数的竞争

23.10.6 TPUm.TGRy 寄存器的写和比较匹配的竞争

即使在 TGRy 寄存器的写周期产生比较匹配信号，也禁止比较匹配信号而优先写 TGRy 寄存器。即使写和上次相同的值，也不产生比较匹配。

此时序如图 23.47 所示。

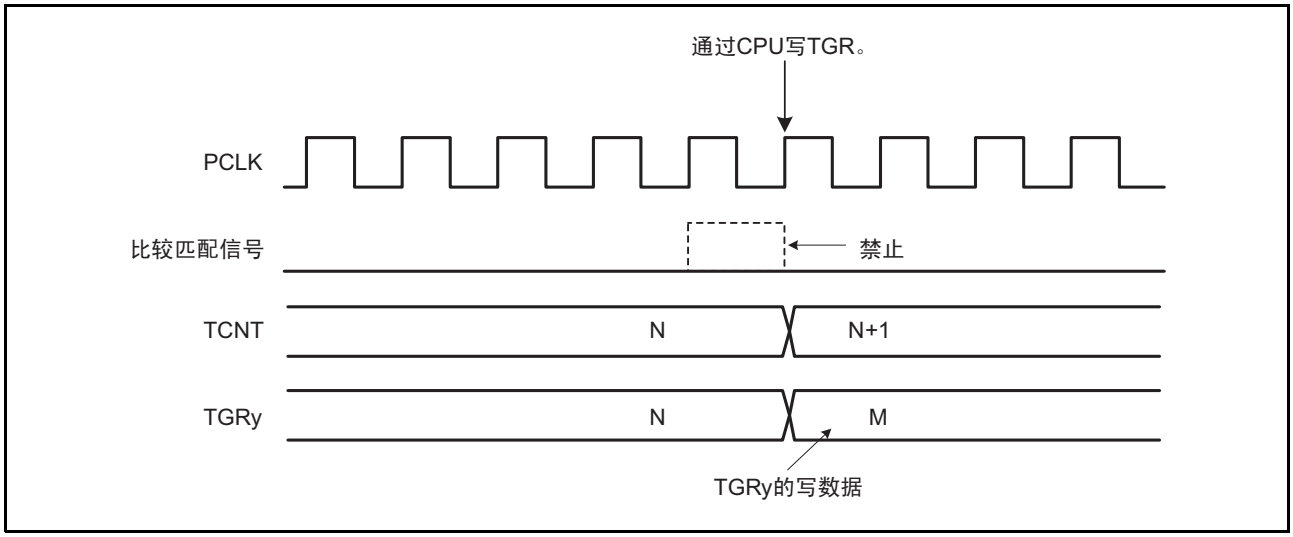


图 23.47 TPUm.TGRy 寄存器的写和比较匹配的竞争

23.10.7 缓冲寄存器的写和比较匹配的竞争

如果在 TPUm.TGRy 寄存器的写周期产生比较匹配信号，通过缓冲运行传送到 TGRy 寄存器的数据就为写之前的数据。

此时序如图 23.48 所示。

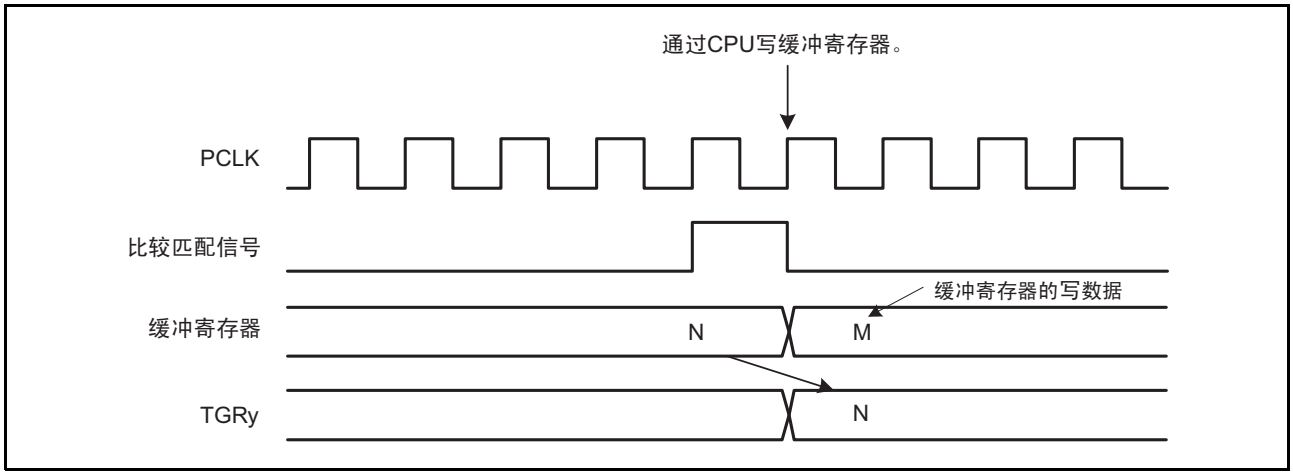


图 23.48 缓冲寄存器的写和比较匹配的竞争

23.10.8 TPUm.TGRy 寄存器的读和输入捕捉的竞争

如果在 TGRy 寄存器的读周期产生输入捕捉信号，读出的数据就为传送输入捕捉前的数据。此时序如图 23.49 所示。

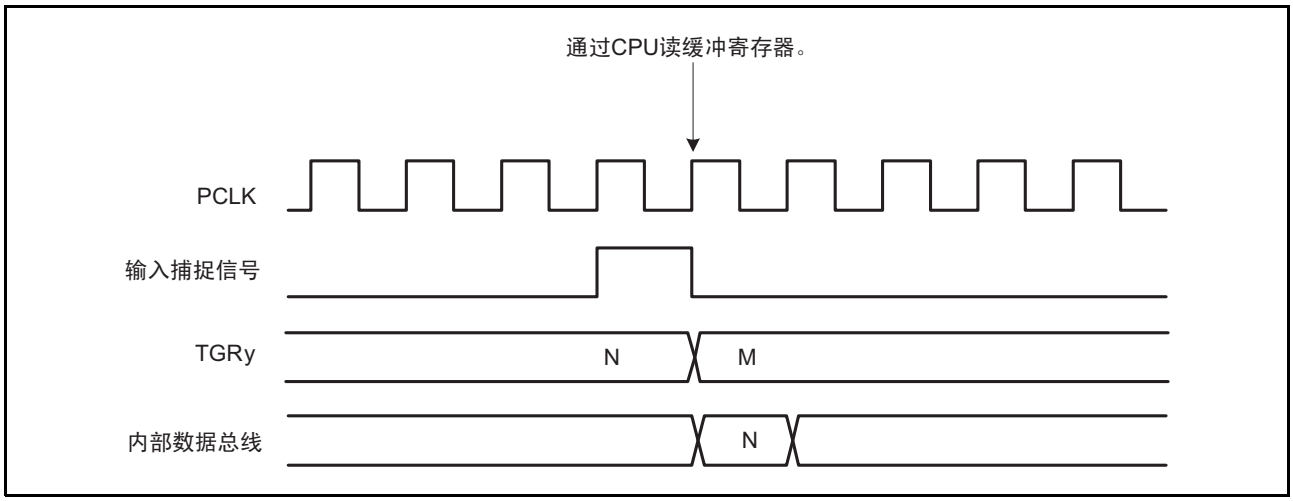


图 23.49 TPUm.TGRy 寄存器的读和输入捕捉的竞争

23.10.9 TPUm.TGRy 寄存器的写和输入捕捉的竞争

如果在 TGRy 寄存器的写周期产生输入捕捉信号，就不写 TGRy 寄存器而优先输入捕捉。此时序如图 23.50 所示。

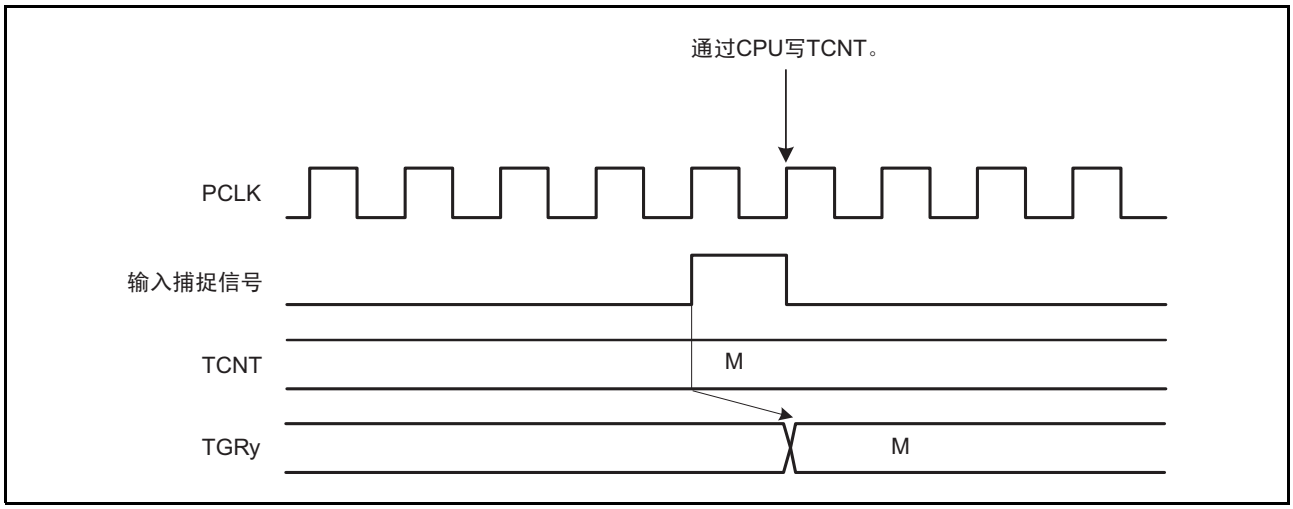


图 23.50 TPUm.TGRy 寄存器的写和输入捕捉的竞争

23.10.10 缓冲寄存器的写和输入捕捉的竞争

如果在缓冲寄存器的写周期产生输入捕捉信号，就不写缓冲寄存器而优先缓冲运行。此时序如图 23.51 所示。

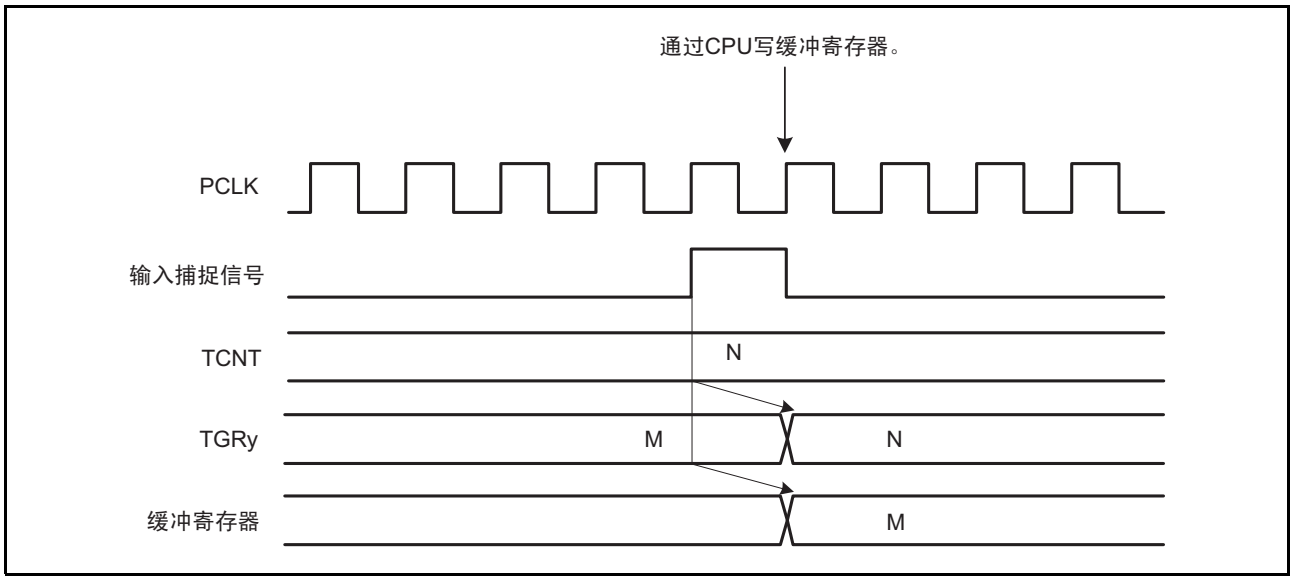


图 23.51 缓冲寄存器的写和输入捕捉的竞争

23.10.11 上溢 / 下溢和计数器清除的竞争

如果同时发生上溢 / 下溢和计数器清除，就在发生比较匹配中断的同时，清除 TPUm.TCNT 计数器，并且发生上溢中断。

将 TPUm.TGRy 寄存器的比较匹配作为清除源并且将 TGRy 寄存器置“FFFFh”时的运行时序如图 23.52 所示。

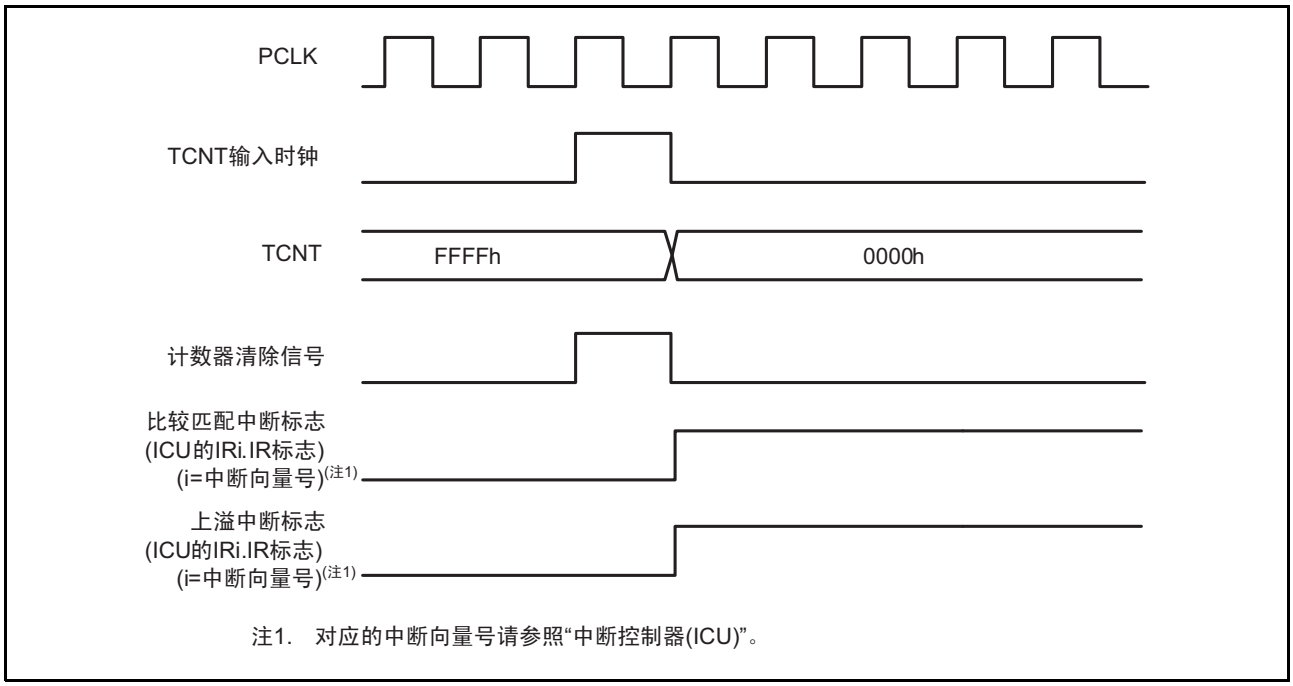


图 23.52 上溢和计数器清除的竞争

23.10.12 TPUm.TCNT 计数器的写和上溢 / 下溢的竞争

如果在 TCNT 计数器的写周期发生递增计数 / 递减计数，即使出现上溢 / 下溢，也优先写 TCNT 计数器。TCNT 计数器的写和上溢竞争时的运行时序如图 23.53 所示。

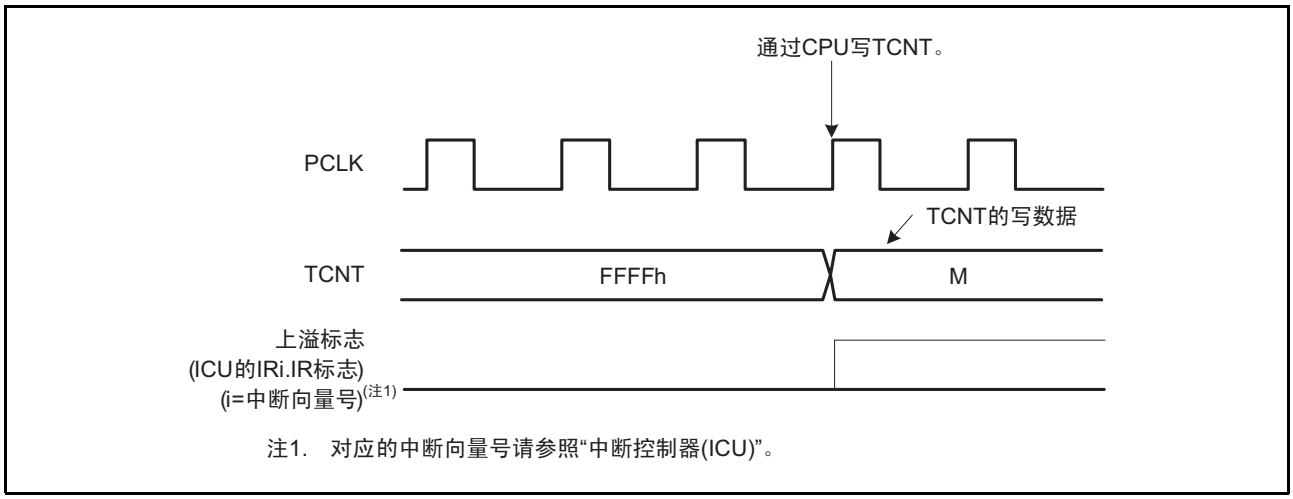


图 23.53 TPUm.TCNT 计数器的写和上溢的竞争

23.10.13 输入 / 输出引脚的兼用

在 RX630 群中，TCLKA 输入引脚和 TIOCB5 输入 / 输出引脚、TCLKB 输入引脚和 TIOCB2 输入 / 输出引脚、TCLKC 输入引脚和 TIOCB1 输入 / 输出引脚、TCLKD 输入引脚和 TIOCB0 输入 / 输出引脚、TCLKG 输入引脚和 TIOCB7 输入 / 输出引脚、TCLKH 输入引脚和 TIOCB8 输入 / 输出引脚、TCLKB 输入引脚和 TIOCD0 输入 / 输出引脚、 TCLKC 输入引脚和 TIOCC3 输入 / 输出引脚、 TCLKD 输入引脚和 TIOCD3 输入 / 输出引脚、TCLKE 输入引脚和 TIOCC6 输入 / 输出引脚、TCLKF 输入引脚和 TIOCD6 输入 / 输出引脚兼用。如果要输入外部时钟，就不能从兼用的引脚输出比较匹配。

23.10.14 比较匹配脉冲中断的连续输出

如果将 TGR 置 “0”并且将计数器时钟设定为 PCLK/1 以及设定为通过比较匹配清除计数器， TCNT 计数器就保持 “0000h”而不更新，并且将脉冲的比较匹配中断连续输出为电平状态。

在使用脉冲中断的情况下，中断控制器无法检测到第 2 个以后的中断。

比较匹配脉冲中断连续输出的运行时序如图 23.54 所示。

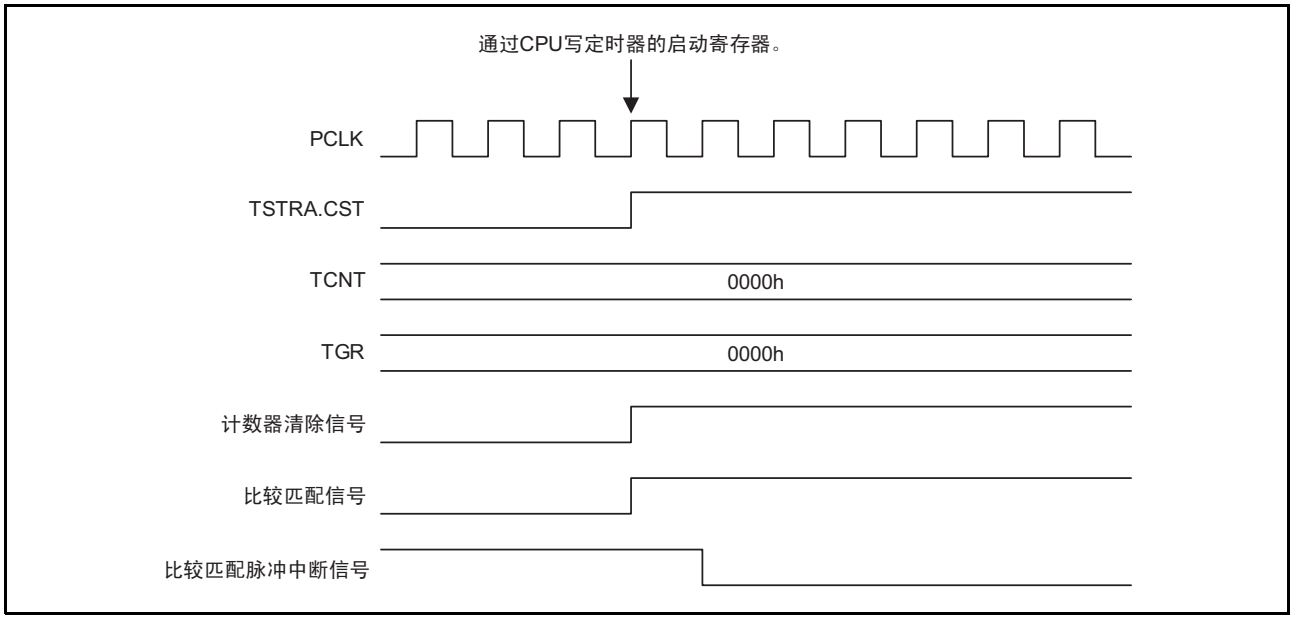


图 23.54 比较匹配脉冲中断的连续输出

23.10.15 输入捕捉脉冲中断的连续输出

当将输入捕捉指定为双边沿并且对输入捕捉的输入进行内部采样而检测到 1 个 PCLK 周期的脉宽时，在上升沿和下降沿连续发生输入捕捉，所以将脉冲的输入捕捉中断连续输出为电平状态。

在使用脉冲中断的情况下，中断控制器无法检测到第 2 个以后的中断。

输入捕捉脉冲中断连续输出的运行时序如图 23.55 所示。

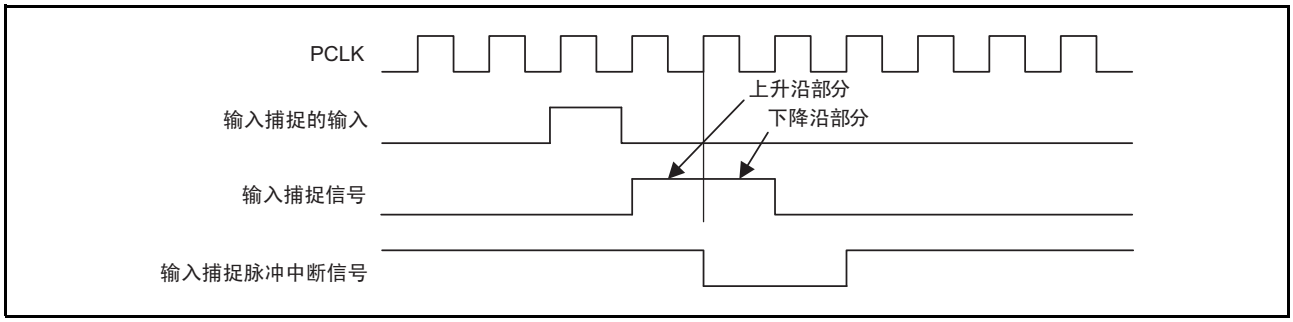


图 23.55 输入捕捉脉冲中断的连续输出

23.10.16 下溢脉冲中断的连续输出

在相位计数模式 1 中，以 TGR 为“0000h”并且将计数器清除源用作比较匹配。在 TCNT 计数器为“0000h”时，如果在 2 个 PCLK 周期内产生相位计数对象的 2 个外部时钟的同向边沿，TCNT 计数器就保持“0000h”而不更新，并且将脉冲的比较匹配中断和下溢中断连续输出为电平状态。

在使用脉冲中断的情况下，中断控制器无法检测到第 2 个的连续中断。

下溢脉冲中断连续输出的运行时序如图 23.56 所示。

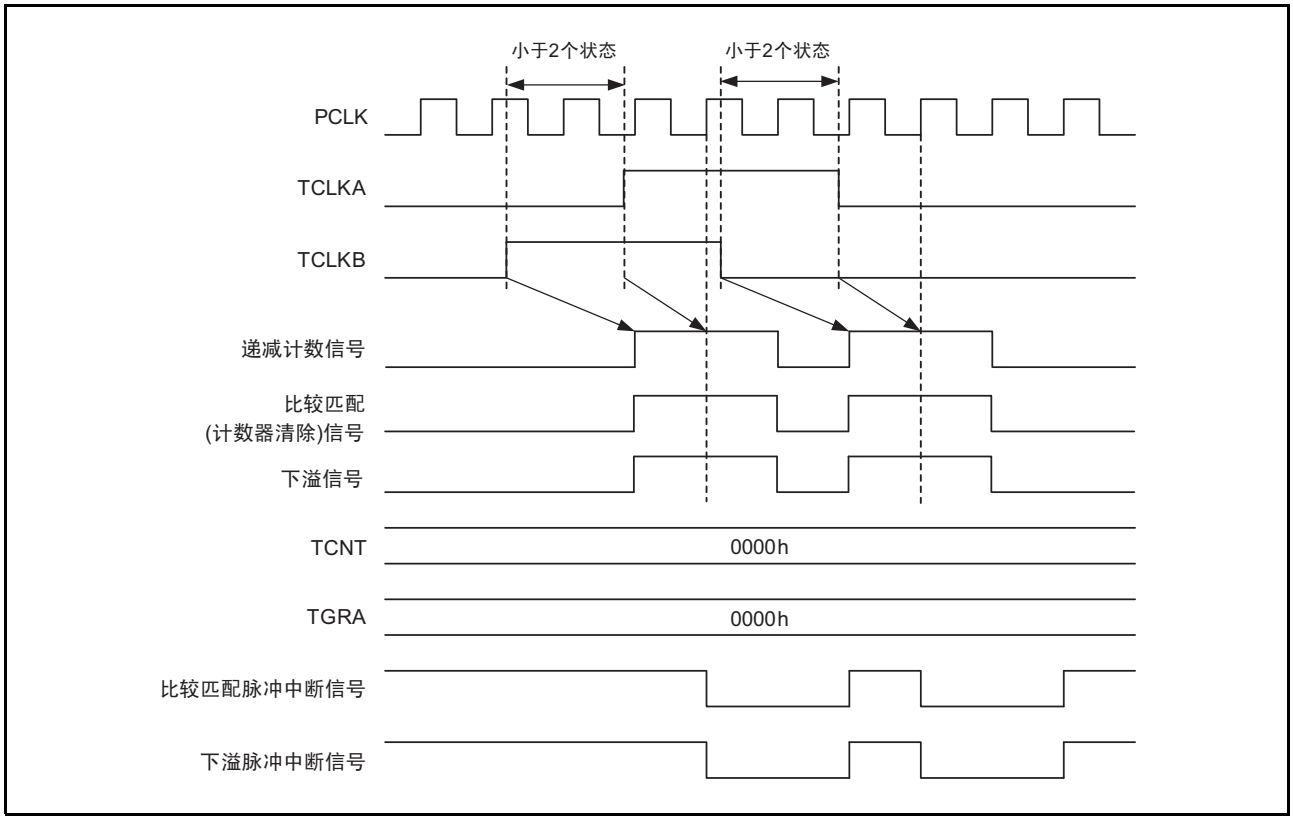


图 23.56 下溢脉冲中断的连续输出

24. 可编程脉冲发生器 （PPG）

可编程脉冲发生器 （PPG）以 16 位定时器脉冲单元 （TPU）和多功能定时器脉冲单元 2 （MTU）为时基输出脉冲。

RX630 群内置了 2 个单元的 PPG，每个单元都有 16 位的脉冲输出引脚，以 4 位为单位构成 1 个脉冲输出组。各脉冲输出组既能同时运行，也能各自独立运行。

24.1 概要

PPG 的规格和功能一览表分别如表 24.1 和表 24.2 所示。

PPG 的框图如图 24.1 和图 24.2 所示。

表 24.1 PPG 的规格

项目	内容
输出位数	最多 32 位
脉冲输出	• 能输出 4 组 ×2 个单元。 • 能选择输出触发信号。 • 能进行非重叠运行。 • 能指定反相输出。
输出数据的传送	能和 DTC、 DMAC 联动运行 （使用 TPU 和 MTU 的中断功能时）。
低功耗功能	各单元能设定为模块停止状态。

表 24.2 PPG 功能一览表

项目			PPG0	PPG1
PPG 输出触发	MTU 的通道 0 ～ 3 （MTU0 ～ MTU3）	比较匹配	○	○
		输入捕捉	○	○
	TPU （单元 0）的通道 0 ～ 3 （TPU0 ～ TPU3）	比较匹配	—	○
		输入捕捉	—	○
非重叠运行			○	○
输出数据的传送	DTC		○	○
	DMAC		○	○
反相输出的指定			○	○
模块停止的设定 （注 1）			MSTPCRA.MSTPA11 位	MSTPCRA.MSTPA10 位

○：能

—：不能

注 1. 详细内容请参照 “11. 低功耗功能”。

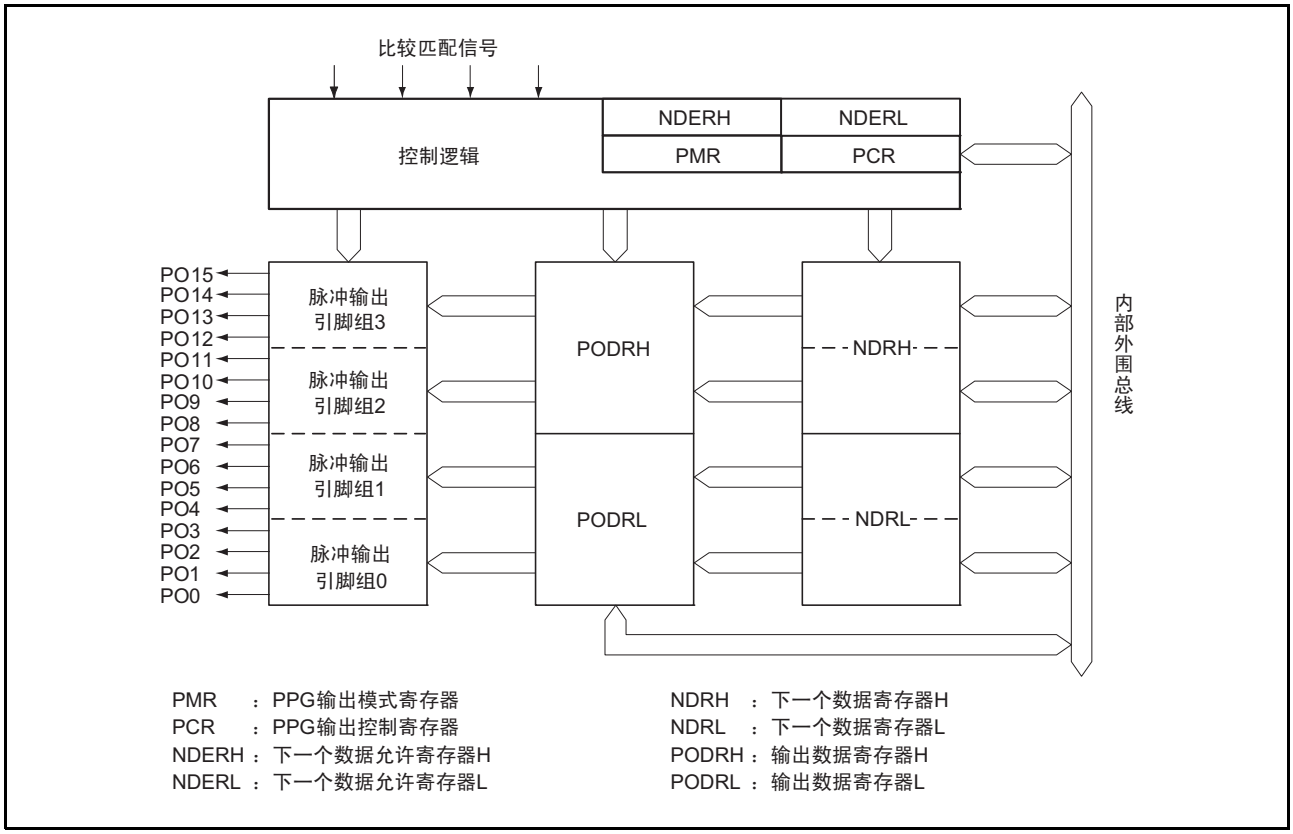


图 24.1 PPG0 的框图

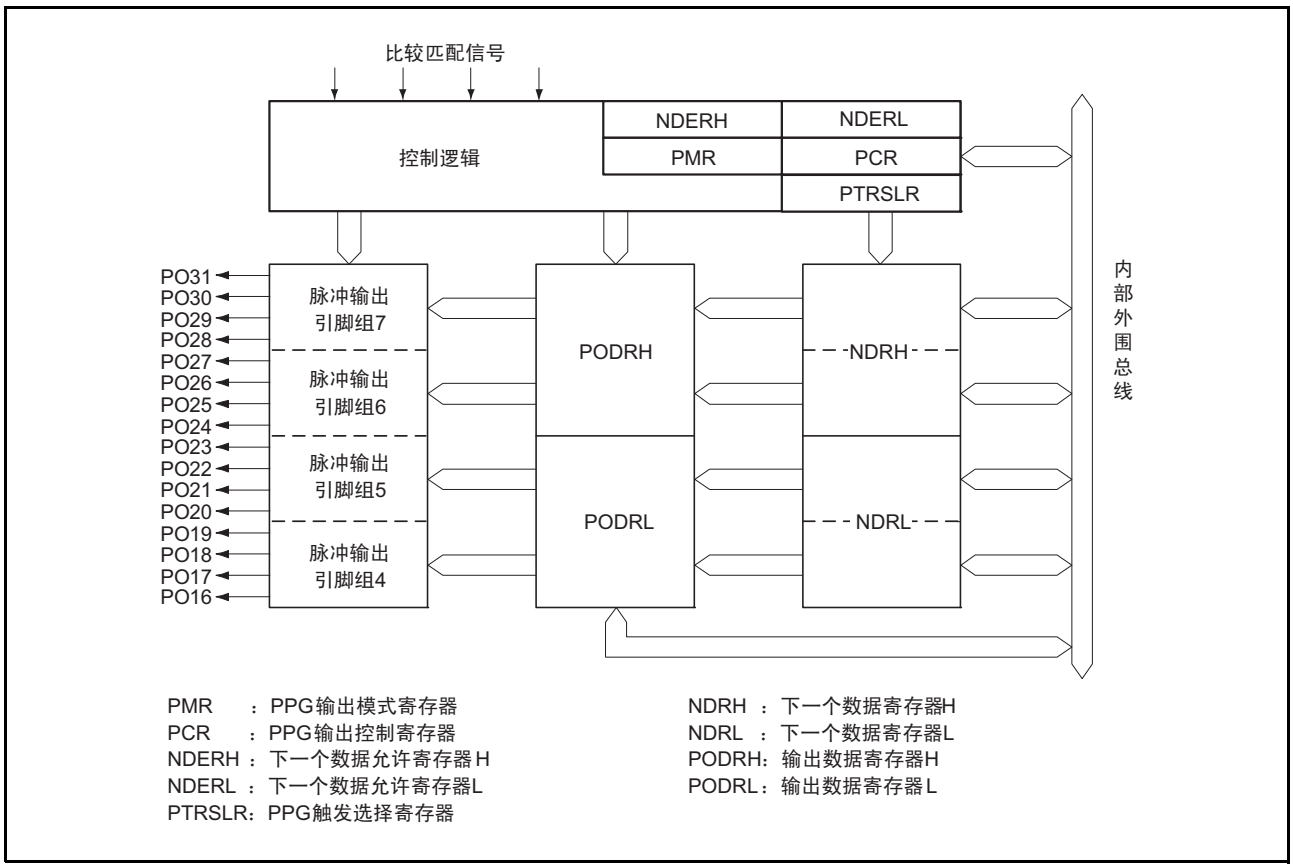


图 24.2 PPG1 的框图

PPG 的输入 / 输出引脚如表 24.3 所示。

表 24.3 PPG 的输入 / 输出引脚

单元	引脚名	输入 / 输出	功能
PPG0	PO0	输出	脉冲输出组 0 的脉冲输出
	PO1	输出	
	PO2	输出	
	PO3	输出	
	PO4	输出	脉冲输出组 1 的脉冲输出
	PO5	输出	
	PO6	输出	
	PO7	输出	
	PO8	输出	脉冲输出组 2 的脉冲输出
	PO9	输出	
	PO10	输出	
	PO11	输出	
	PO12	输出	脉冲输出组 3 的脉冲输出
	PO13	输出	
	PO14	输出	
	PO15	输出	
PPG1	PO16	输出	脉冲输出组 4 的脉冲输出
	PO17	输出	
	PO18	输出	
	PO19	输出	
	PO20	输出	脉冲输出组 5 的脉冲输出
	PO21	输出	
	PO22	输出	
	PO23	输出	
	PO24	输出	脉冲输出组 6 的脉冲输出
	PO25	输出	
	PO26	输出	
	PO27	输出	
	PO28	输出	脉冲输出组 7 的脉冲输出
	PO29	输出	
	PO30	输出	
	PO31	输出	

24.2 寄存器说明

24.2.1 PPG 触发选择寄存器 （PTRSLR）

地址 0008 81F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PTRSL
复位后的值	0	0	0	0	0	0	0	1

- PPG1.PTRSLR

位	符号	位名	功能	R/W
b0	PTRSL	PPG 触发选择位	0：PPG1 的触发为 MTU0 ～ MTU3 1：PPG1 的触发为 TPU0 ～ TPU3	R/W
b1-b7	—	保留位	读写值都为 “0”。	R/W

PTRSL 位 （PPG 触发选择位）

此位从 MTU0 ～ MTU3 或者 TPU0 ～ TPU3 中选择 PPG1 的触发输入。

如果将此位置“0”， PPG1 的触发输入就为 MTU0 ～ MTU3 ； 如果置 “1”， PPG1 的触发输入就为 TPU0 ～ TPU3。

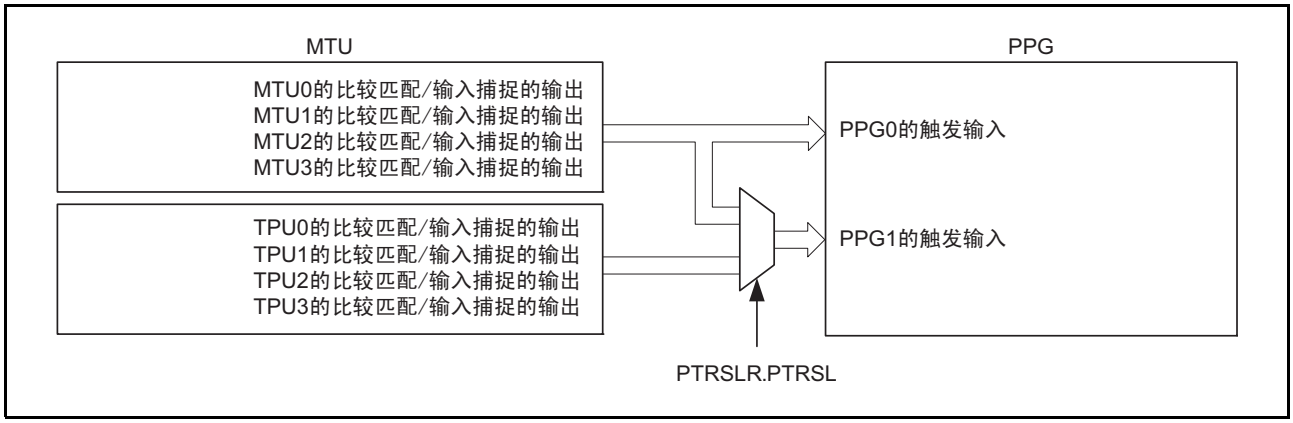


图 24.3 PPG 触发选择的框图

24.2.2 下一个数据允许寄存器 H （NDERH）、下一个数据允许寄存器 L （NDERL）

地址 0008 81E8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81E9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
复位后的值	0	0	0	0	0	0	0	0

- PPG0.NDERH

位	符号	位名	功能	R/W
b0	NDER8	下一个数据传送允许位	0：禁止数据传送 1：允许数据传送	R/W
b1	NDER9	下一个数据传送允许位		R/W
b2	NDER10	下一个数据传送允许位		R/W
b3	NDER11	下一个数据传送允许位		R/W
b4	NDER12	下一个数据传送允许位		R/W
b5	NDER13	下一个数据传送允许位		R/W
b6	NDER14	下一个数据传送允许位		R/W
b7	NDER15	下一个数据传送允许位		R/W

PPG0.NDERH 寄存器以位为单位允许或者禁止 PPG 产生的 PO8 ～ PO15 脉冲输出。

NDERi 位 （下一个数据传送允许位）（i=15 ～ 8）

如果将此位置 “1”，就在发生由 PPG0.PCR 寄存器选择的触发时，将数据从 PPG0.NDRH 寄存器的对应位传送到PPG0.PODRH寄存器。但是，为“0”的位不进行PPG0.NDRH寄存器到PPG0.PODRH寄存器的数据传送。

- PPG0.NDERL

位	符号	位名	功能	R/W
b0	NDER0	下一个数据传送允许位	0：禁止数据传送 1：允许数据传送	R/W
b1	NDER1	下一个数据传送允许位		R/W
b2	NDER2	下一个数据传送允许位		R/W
b3	NDER3	下一个数据传送允许位		R/W
b4	NDER4	下一个数据传送允许位		R/W
b5	NDER5	下一个数据传送允许位		R/W
b6	NDER6	下一个数据传送允许位		R/W
b7	NDER7	下一个数据传送允许位		R/W

PPG0.NDERL 寄存器以位为单位允许或者禁止 PPG 产生的 PO0 ～ PO7 脉冲输出。

NDERi 位 （下一个数据传送允许位）（i=7 ～ 0）

如果将此位置 “1”，就在发生由 PPG0.PCR 寄存器选择的触发时，将数据从 PPG0.NDRL 寄存器的对应位传送到PPG0.PODRL 寄存器。但是，为“0”的位不进行 PPG0.NDRL 寄存器到 PPG0.PODRL 寄存器的数据传送。

地址 0008 81F8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERH	NDER 31	NDER 30	NDER 29	NDER 28	NDER 27	NDER 26	NDER 25	NDER 24
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81F9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERL	NDER 23	NDER 22	NDER 21	NDER 20	NDER 19	NDER 18	NDER 17	NDER 16
复位后的值	0	0	0	0	0	0	0	0

- PPG1.NDERH

位	符号	位名	功能	R/W
b0	NDER24	下一个数据传送允许位	0：禁止数据传送 1：允许数据传送	R/W
b1	NDER25	下一个数据传送允许位		R/W
b2	NDER26	下一个数据传送允许位		R/W
b3	NDER27	下一个数据传送允许位		R/W
b4	NDER28	下一个数据传送允许位		R/W
b5	NDER29	下一个数据传送允许位		R/W
b6	NDER30	下一个数据传送允许位		R/W
b7	NDER31	下一个数据传送允许位		R/W

PPG1.NDERH 寄存器以位为单位允许或者禁止 PPG 产生的 PO24 ～ PO31 脉冲输出。

NDERi 位 （下一个数据传送允许位）（i=31 ～ 24）

如果将此位置 “1”，就在产生由 PPG1.PCR 寄存器选择的触发时，将数据从 PPG1.NDRH 寄存器的对应位传送到PPG1.PODRH寄存器。但是，为“0”的位不进行PPG1.NDRH寄存器到PPG1.PODRH寄存器的数据传送。

- PPG1.NDERL

位	符号	位名	功能	R/W
b0	NDER16	下一个数据传送允许位	0：禁止数据传送 1：允许数据传送	R/W
b1	NDER17	下一个数据传送允许位		R/W
b2	NDER18	下一个数据传送允许位		R/W
b3	NDER19	下一个数据传送允许位		R/W
b4	NDER20	下一个数据传送允许位		R/W
b5	NDER21	下一个数据传送允许位		R/W
b6	NDER22	下一个数据传送允许位		R/W
b7	NDER23	下一个数据传送允许位		R/W

PPG1.NDERL 寄存器以位为单位允许或者禁止 PPG 产生的 PO16 ～ PO23 脉冲输出。

NDERi 位 （下一个数据传送允许位）（i=23 ～ 16）

如果将此位置 “1”，就在产生由 PPG1.PCR 寄存器选择的触发时，将数据从 PPG1.NDRL 寄存器的对应位传送到PPG1.PODRL 寄存器。但是，为“0”的位不进行 PPG1.NDRL 寄存器到 PPG1.PODRL 寄存器的数据传送。

24.2.3 输出数据寄存器 H （PODRH）、输出数据寄存器 L （PODRL）

地址 0008 81EAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81EBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
复位后的值	0	0	0	0	0	0	0	0

- PPG0.PODRH

位	符号	位名	功能	R/W
b0	POD8	输出数据寄存器位	0：从 POi 引脚输出 Low 电平 1：从 POi 引脚输出 High 电平 （i=15 ～ 8）	R/W
b1	POD9	输出数据寄存器位		R/W
b2	POD10	输出数据寄存器位		R/W
b3	POD11	输出数据寄存器位		R/W
b4	POD12	输出数据寄存器位		R/W
b5	POD13	输出数据寄存器位		R/W
b6	POD14	输出数据寄存器位		R/W
b7	POD15	输出数据寄存器位		R/W

PPG0.PODRH 寄存器保存脉冲输出值。对于由 PPG0.NDERH 寄存器设定为脉冲输出的位，通过输出触发将 PPG0.NDRH 寄存器的值传送到此寄存器。

PODi 位 （输出数据寄存器位）（i=15 ～ 8）

只限于通过 PPG0.NDERH 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中发生输出触发，就将 PPG0.NDRH 寄存器的值传送到此寄存器。在 PPG0.NDERH.NDERi （i=15 ～ 8）的某位为 “1” 的期间， CPU 不能写此寄存器。能在 PPG0.NDERH 寄存器为 “00h” 的状态下设定脉冲的初始输出值。

- PPG0.PODRL

位	符号	位名	功能	R/W
b0	POD0	输出数据寄存器位	0：从 POi 引脚输出 Low 电平 1：从 POi 引脚输出 High 电平 （i=7 ～ 0）	R/W
b1	POD1	输出数据寄存器位		R/W
b2	POD2	输出数据寄存器位		R/W
b3	POD3	输出数据寄存器位		R/W
b4	POD4	输出数据寄存器位		R/W
b5	POD5	输出数据寄存器位		R/W
b6	POD6	输出数据寄存器位		R/W
b7	POD7	输出数据寄存器位		R/W

PPG0.PODRL 寄存器保存脉冲输出值。对于由 PPG0.NDERL 寄存器设定为脉冲输出的位，通过输出触发将 PPG0.NDRL 寄存器的值传送到此寄存器。

PODi 位 （输出数据寄存器位）（i=7 ～ 0）

只限于通过 PPG0.NDERL 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中发生输出触发，就将 PPG0.NDRL 寄存器的值传送到此寄存器。在 PPG0.NDERL.NDERi（i=7 ～ 0）的某位为 “1” 的期间， CPU 不能写此寄存器。能在 PPG0.NDERL 寄存器为 “00h” 的状态下设定脉冲的初始输出值。

地址 0008 81FAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81FBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16
复位后的值	0	0	0	0	0	0	0	0

- PPG1.PODRH

位	符号	位名	功能	R/W
b0	POD24	输出数据寄存器位	0：从 POi 引脚输出 Low 电平 1：从 POi 引脚输出 High 电平 （i=31 ～ 24）	R/W
b1	POD25	输出数据寄存器位		R/W
b2	POD26	输出数据寄存器位		R/W
b3	POD27	输出数据寄存器位		R/W
b4	POD28	输出数据寄存器位		R/W
b5	POD29	输出数据寄存器位		R/W
b6	POD30	输出数据寄存器位		R/W
b7	POD31	输出数据寄存器位		R/W

PPG1.PODRH 寄存器保存脉冲输出值。对于由 PPG1.NDERH 寄存器设定为脉冲输出的位，通过输出触发将 PPG1.NDRH 寄存器的值传送到此寄存器。

PODi 位 （输出数据寄存器位）（i=31 ～ 24）

只限于通过 PPG1.NDERH 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中发生输出触发，就将 PPG1.NDRH 寄存器的值传送到此寄存器。在 PPG1.NDERH.NDERi（i=31 ～ 24）的某位为 “1” 的期间， CPU 不能写此寄存器。能在 PPG1.NDERH 寄存器为 “00h” 的状态下设定脉冲的初始输出值。

- PPG1.PODRL

位	符号	位名	功能	R/W
b0	POD16	输出数据寄存器位	0：从 POi 引脚输出 Low 电平 1：从 POi 引脚输出 High 电平 （i=23 ～ 16）	R/W
b1	POD17	输出数据寄存器位		R/W
b2	POD18	输出数据寄存器位		R/W
b3	POD19	输出数据寄存器位		R/W
b4	POD20	输出数据寄存器位		R/W
b5	POD21	输出数据寄存器位		R/W
b6	POD22	输出数据寄存器位		R/W
b7	POD23	输出数据寄存器位		R/W

PPG1.PODRL 寄存器保存脉冲输出值。对于由 PPG1.NDERL 寄存器设定为脉冲输出的位，通过输出触发将 PPG1.NDRL 寄存器的值传送到此寄存器。

PODi 位 （输出数据寄存器位）（i=23 ～ 16）

只限于通过 PPG1.NDERL 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中发生输出触发，就将 PPG1.NDRL 寄存器的值传送到此寄存器。在 PPG1.NDERL.NDERi （i=23 ～ 16）的某位为 “1” 的期间， CPU 不能写此寄存器。能在 PPG1.NDERL 寄存器为 “00h” 的状态下设定脉冲的初始输出值。

24.2.4 下一个数据寄存器 H （NDRH）、下一个数据寄存器 L （NDRL）

地址 0008 81ECh、0008 81EEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81EDh、0008 81EFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
复位后的值	0	0	0	0	0	0	0	0

- PPG0.NDRH

PPG0.NDRH 寄存器保存脉冲输出的下一个数据。PPG0.NDRH 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发而不同。

(1) 脉冲输出组2和脉冲输出组3的输出触发相同的情况

如果将脉冲输出组 2 和脉冲输出组 3 设定为相同的输出触发，就能将此 8 位全部映像到相同的地址，并且能同时存取此 8 位。

- 0008 81ECh （脉冲输出组2和脉冲输出组3的映像）

位	符号	位名	功能	R/W
b0	NDR8	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRH 寄存器的对应位。	R/W
b1	NDR9	下一个数据寄存器位		R/W
b2	NDR10	下一个数据寄存器位		R/W
b3	NDR11	下一个数据寄存器位		R/W
b4	NDR12	下一个数据寄存器位		R/W
b5	NDR13	下一个数据寄存器位		R/W
b6	NDR14	下一个数据寄存器位		R/W
b7	NDR15	下一个数据寄存器位		R/W

注 . 没有分配 PPG0.NDRH 的地址 （0008 81EEh）的读取值为 “FFh”，不能写。

(2) 脉冲输出组2和脉冲输出组3的输出触发不同的情况

如果脉冲输出组 2 和脉冲输出组 3 选择不同的输出触发，就将高 4 位和低 4 位映像到不同的地址。

- 0008 81ECh （脉冲输出组3的映像）

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “1”。	R/W
b4	NDR12	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRH 寄存器的对应位。	R/W
b5	NDR13	下一个数据寄存器位		R/W
b6	NDR14	下一个数据寄存器位		R/W
b7	NDR15	下一个数据寄存器位		R/W

• 0008 81EEh （脉冲输出组2的映像）

位	符号	位名	功能	R/W
b0	NDR8	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRH 寄存器的对应位。	R/W
b1	NDR9	下一个数据寄存器位		R/W
b2	NDR10	下一个数据寄存器位		R/W
b3	NDR11	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为 “1”。	R/W

• PPG0.NDRL

PPG0.NDRL 寄存器保存脉冲输出的下一个数据。 PPG0.NDRL 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发而不同。

(1) 脉冲输出组0和脉冲输出组1的输出触发相同的情况

如果将脉冲输出组 0 和脉冲输出组 1 设定为相同的输出触发，就能将此 8 位全部映像到相同的地址，并且能同时存取此 8 位。

• 0008 81EDh （脉冲输出组0和脉冲输出组1的映像）

位	符号	位名	功能	R/W
b0	NDR0	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRL 寄存器的对应位。	R/W
b1	NDR1	下一个数据寄存器位		R/W
b2	NDR2	下一个数据寄存器位		R/W
b3	NDR3	下一个数据寄存器位		R/W
b4	NDR4	下一个数据寄存器位		R/W
b5	NDR5	下一个数据寄存器位		R/W
b6	NDR6	下一个数据寄存器位		R/W
b7	NDR7	下一个数据寄存器位		R/W

注 . 没有分配 PPG0.NDRL 的地址 （0008 81EFh）的读取值为 “FFh”，不能写。

(2) 脉冲输出组0和脉冲输出组1的输出触发不同的情况

如果脉冲输出组 0 和脉冲输出组 1 选择不同的输出触发，就将高 4 位和低 4 位映像到不同的地址。

• 0008 81EDh （脉冲输出组1的映像）

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “1”。	R/W
b4	NDR4	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRL 寄存器的对应位。	R/W
b5	NDR5	下一个数据寄存器位		R/W
b6	NDR6	下一个数据寄存器位		R/W
b7	NDR7	下一个数据寄存器位		R/W

• 0008 81EFh （脉冲输出组0的映像）

位	符号	位名	功能	R/W
b0	NDR0	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRL 寄存器的对应位。	R/W
b1	NDR1	下一个数据寄存器位		R/W
b2	NDR2	下一个数据寄存器位		R/W
b3	NDR3	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为 “1”。	R/W

地址 0008 81FCh、0008 81FEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRH	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81FDh、0008 81FFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRL	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16
复位后的值	0	0	0	0	0	0	0	0

- PPG1.NDRH

PPG1.NDRH 寄存器保存脉冲输出的下一个数据。PPG1.NDRH 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发而不同。

(1) 脉冲输出组6和脉冲输出组7的输出触发相同的情况

如果将脉冲输出组 6 和脉冲输出组 7 设定为相同的输出触发，就能将此 8 位全部映像到相同的地址，并且能同时存取此 8 位。

- 0008 81FCh （脉冲输出组6和脉冲输出组7的映像）

位	符号	位名	功能	R/W
b0	NDR24	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRH 寄存器的对应位。	R/W
b1	NDR25	下一个数据寄存器位		R/W
b2	NDR26	下一个数据寄存器位		R/W
b3	NDR27	下一个数据寄存器位		R/W
b4	NDR28	下一个数据寄存器位		R/W
b5	NDR29	下一个数据寄存器位		R/W
b6	NDR30	下一个数据寄存器位		R/W
b7	NDR31	下一个数据寄存器位		R/W

注 . 没有分配 PPG1.NDRH 的地址 （0008 81FEh）的读取值为 “FFh”，不能写。

(2) 脉冲输出组6和脉冲输出组7的输出触发不同的情况

如果脉冲输出组 6 和脉冲输出组 7 选择不同的输出触发，就将高 4 位和低 4 位映像到不同的地址。

- 0008 81FCh （脉冲输出组7的映像）

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “1”。	R/W
b4	NDR28	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRH 寄存器的对应位。	R/W
b5	NDR29	下一个数据寄存器位		R/W
b6	NDR30	下一个数据寄存器位		R/W
b7	NDR31	下一个数据寄存器位		R/W

• 0008 81FEh （脉冲输出组6的映像）

位	符号	位名	功能	R/W
b0	NDR24	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRH 寄存器的对应位。	R/W
b1	NDR25	下一个数据寄存器位		R/W
b2	NDR26	下一个数据寄存器位		R/W
b3	NDR27	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为 “1”。	R/W

• PPG1.NDRL

PPG1.NDRL 寄存器保存脉冲输出的下一个数据。 PPG1.NDRL 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发而不同。

(1) 脉冲输出组4和脉冲输出组5的输出触发相同的情况

如果将脉冲输出组 4 和脉冲输出组 5 设定为相同的输出触发，就能将此 8 位全部映像到相同的地址，并且能同时存取此 8 位。

• 0008 81FDh （脉冲输出组4和脉冲输出组5的映像）

位	符号	位名	功能	R/W
b0	NDR16	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRL 寄存器的对应位。	R/W
b1	NDR17	下一个数据寄存器位		R/W
b2	NDR18	下一个数据寄存器位		R/W
b3	NDR19	下一个数据寄存器位		R/W
b4	NDR20	下一个数据寄存器位		R/W
b5	NDR21	下一个数据寄存器位		R/W
b6	NDR22	下一个数据寄存器位		R/W
b7	NDR23	下一个数据寄存器位		R/W

注 . 没有分配 PPG1.NDRL 的地址 （0008 81FFh）的读取值为 “FFh”，不能写。

(2) 脉冲输出组4和脉冲输出组5的输出触发不同的情况

如果脉冲输出组 4 和脉冲输出组 5 选择不同的输出触发，就将高 4 位和低 4 位映像到不同的地址。

• 0008 81FDh （脉冲输出组5的映像）

位	符号	位名	功能	R/W
b3-b0	—	（保留位）	读写值都为 “1”。	R/W
b4	NDR20	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRL 寄存器的对应位。	R/W
b5	NDR21	下一个数据寄存器位		R/W
b6	NDR22	下一个数据寄存器位		R/W
b7	NDR23	下一个数据寄存器位		R/W

• 0008 81FFh （脉冲输出组4的映像）

位	符号	位名	功能	R/W
b0	NDR16	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRL 寄存器的对应位。	R/W
b1	NDR17	下一个数据寄存器位		R/W
b2	NDR18	下一个数据寄存器位		R/W
b3	NDR19	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为 “1”。	R/W

24.2.5 PPG 输出控制寄存器 （PCR）

地址 PPG0.PCR 0008 81E6h、PPG1.PCR 0008 81F6h



- PPG0.PCR

位	符号	位名	功能	R/W
b1-b0	G0CMS[1:0]	组 0 的比较匹配选择位	b1 b0 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配	R/W
b3-b2	G1CMS[1:0]	组 1 的比较匹配选择位	b3 b2 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配	R/W
b5-b4	G2CMS[1:0]	组 2 的比较匹配选择位	b5 b4 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配	R/W
b7-b6	G3CMS[1:0]	组 3 的比较匹配选择位	b7 b6 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配	R/W

- PPG1.PCR

位	符号	位名	功能	R/W
b1-b0	G0CMS[1:0]	组 4 的比较匹配选择位	• PPG1.PTRSLR.PTRSL 位为 “0” b1 b0 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配 • PPG1.PTRSLR.PTRSL 位为 “1” b1 b0 0 0：TPU0 的比较匹配 0 1：TPU1 的比较匹配 1 0：TPU2 的比较匹配 1 1：TPU3 的比较匹配	R/W
b3-b2	G1CMS[1:0]	组 5 的比较匹配选择位	• PPG1.PTRSLR.PTRSL 位为 “0” b3 b2 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配 • PPG1.PTRSLR.PTRSL 位为 “1” b3 b2 0 0：TPU0 的比较匹配 0 1：TPU1 的比较匹配 1 0：TPU2 的比较匹配 1 1：TPU3 的比较匹配	R/W
b5-b4	G2CMS[1:0]	组 6 的比较匹配选择位	• PPG1.PTRSLR.PTRSL 位为 “0” b5 b4 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配 • PPG1.PTRSLR.PTRSL 位为 “1” b5 b4 0 0：TPU0 的比较匹配 0 1：TPU1 的比较匹配 1 0：TPU2 的比较匹配 1 1：TPU3 的比较匹配	R/W
b7-b6	G3CMS[1:0]	组 7 的比较匹配选择位	• PPG1.PTRSLR.PTRSL 位为 “0” b7 b6 0 0：MTU0 的比较匹配 0 1：MTU1 的比较匹配 1 0：MTU2 的比较匹配 1 1：MTU3 的比较匹配 • PPG1.PTRSLR.PTRSL 位为 “1” b7 b6 0 0：TPU0 的比较匹配 0 1：TPU1 的比较匹配 1 0：TPU2 的比较匹配 1 1：TPU3 的比较匹配	R/W

PPGn.PCR 寄存器 （n=0、 1）是以组为单位选择脉冲输出触发信号的寄存器。
有关输出触发的选择，请参照 “24.2.6 PPG 输出模式寄存器 （PMR）”。

24.2.6 PPG 输出模式寄存器 （PMR）

地址 PPG0.PMR 0008 81E7h、PPG1.PMR 0008 81F7h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
复位后的值	1	1	1	1	0	0	0	0

- PPG0.PMR

位	符号	位名	功能	R/W
b0	G0NOV	组 0 的非重叠位	0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W
b1	G1NOV	组 1 的非重叠位	0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W
b2	G2NOV	组 2 的非重叠位	0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W
b3	G3NOV	组 3 的非重叠位	0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W
b4	G0INV	组 0 的输出极性变更位	0：反相输出 1：直接输出	R/W
b5	G1INV	组 1 的输出极性变更位	0：反相输出 1：直接输出	R/W
b6	G2INV	组 2 的输出极性变更位	0：反相输出 1：直接输出	R/W
b7	G3INV	组 3 的输出极性变更位	0：反相输出 1：直接输出	R/W

- PPG1.PMR

位	符号	位名	功能	R/W
b0	G0NOV	组 4 的非重叠位	• PPG1.PTRSLR.PTRSL 位为 “0” 的情况 0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3） • PPG1.PTRSLR.PTRSL 位为 “1” 的情况 0：正常运行 （在产生所选 TPUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 TPUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W
b1	G1NOV	组 5 的非重叠位	• PPG1.PTRSLR.PTRSL 位为 “0” 的情况 0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3） • PPG1.PTRSLR.PTRSL 位为 “1” 的情况 0：正常运行 （在产生所选 TPUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 TPUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W
b2	G2NOV	组 6 的非重叠位	• PPG1.PTRSLR.PTRSL 位为 “0” 的情况 0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3） • PPG1.PTRSLR.PTRSL 位为 “1” 的情况 0：正常运行 （在产生所选 TPUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 TPUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W

位	符号	位名	功能	R/W
b3	G3NOV	组 7 的非重叠位	• PPG1.PTRSLR.PTRSL 位为 “0” 的情况 0：正常运行 （在产生所选 MTUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3） • PPG1.PTRSLR.PTRSL 位为 “1” 的情况 0：正常运行 （在产生所选 TPUn 的比较匹配 A 时更新输出值） 1：非重叠运行 （在产生所选 TPUn 的比较匹配 A 和比较匹配 B 时更新输出值） （n=0 ～ 3）	R/W
b4	G0INV	组 4 的输出极性变更位	0：反相输出 1：直接输出	R/W
b5	G1INV	组 5 的输出极性变更位	0：反相输出 1：直接输出	R/W
b6	G2INV	组 6 的输出极性变更位	0：反相输出 1：直接输出	R/W
b7	G3INV	组 7 的输出极性变更位	0：反相输出 1：直接输出	R/W

PPGn.PMR 寄存器 （n=0、 1）是以组为单位设定 PPG 脉冲输出模式的寄存器。

当设定为反相输出时，如果 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的值为 “1”，就将 Low 电平输出到引脚；如果 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的值为 “0”，就将 High 电平输出到引脚。当设定为非重叠运行时， PPG 在产生作为输出触发的 MTU 或者 TPU 的比较匹配 A 和比较匹配 B 时更新输出值。

详细内容请参照 “24.3.4 脉冲输出非重叠运行”。

24.3 运行说明

PPG 概要图如图 24.4 所示。

通过将 PPGn.NDERH 寄存器和 PPGn.NDERL 寄存器（n=0、1）的对应位分别置“1”（允许数据传送），使 PPG 进入脉冲输出状态。

初始输出值取决于对应的 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的初始设定值。此后，如果产生由 PPGn.PCR 寄存器指定的比较匹配，就将对应的 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器的值分别传送到 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器，更新输出值。

通过在产生下一个比较匹配前将输出数据写到 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器，能在每次产生比较匹配时依次输出最多 16 位的数据。

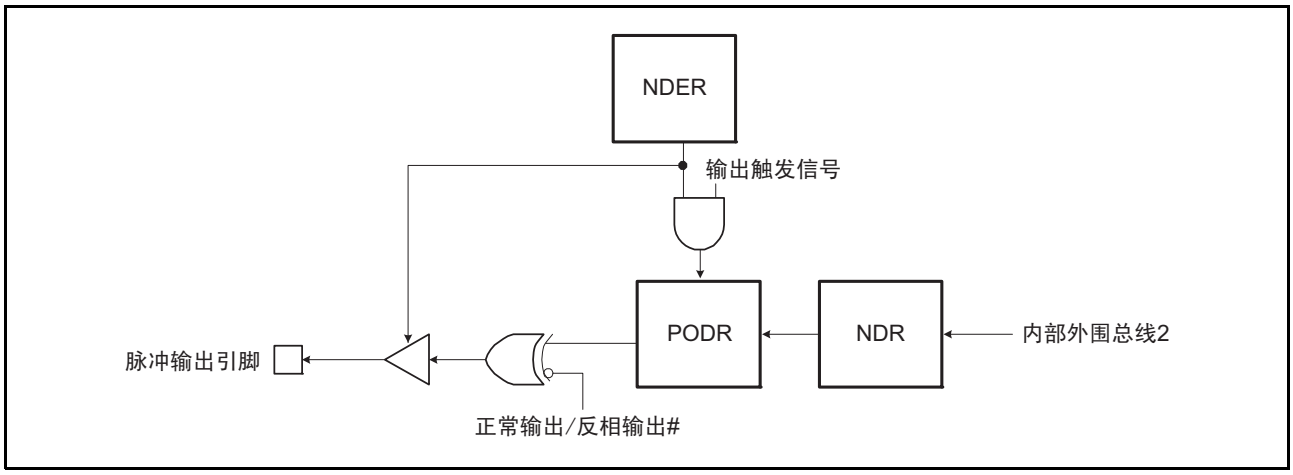


图 24.4 PPG 概要图

24.3.1 输出时序

如果在允许脉冲输出的状态下产生指定的比较匹配，就将 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器（n = 0、 1）的值分别传送到 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器并且进行输出。

此时序如图 24.5 所示，这是组 2 和组 3 通过比较匹配 A 进行正常输出的例子。

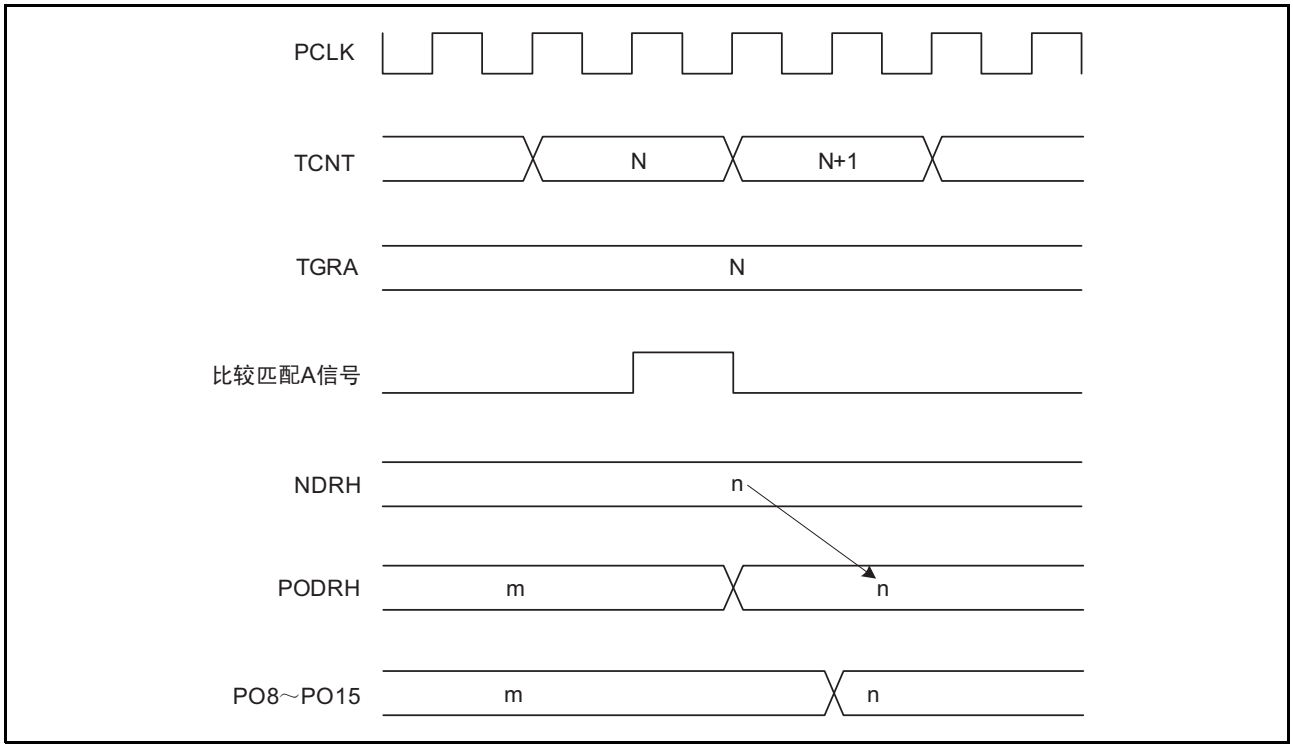


图 24.5 传送并且输出 NDR 内容的时序例子

24.3.2 脉冲输出正常运行的设定步骤例子

脉冲输出正常运行的设定步骤例子如图 24.6 和图 24.7 所示。

(1) PPG0 的设定

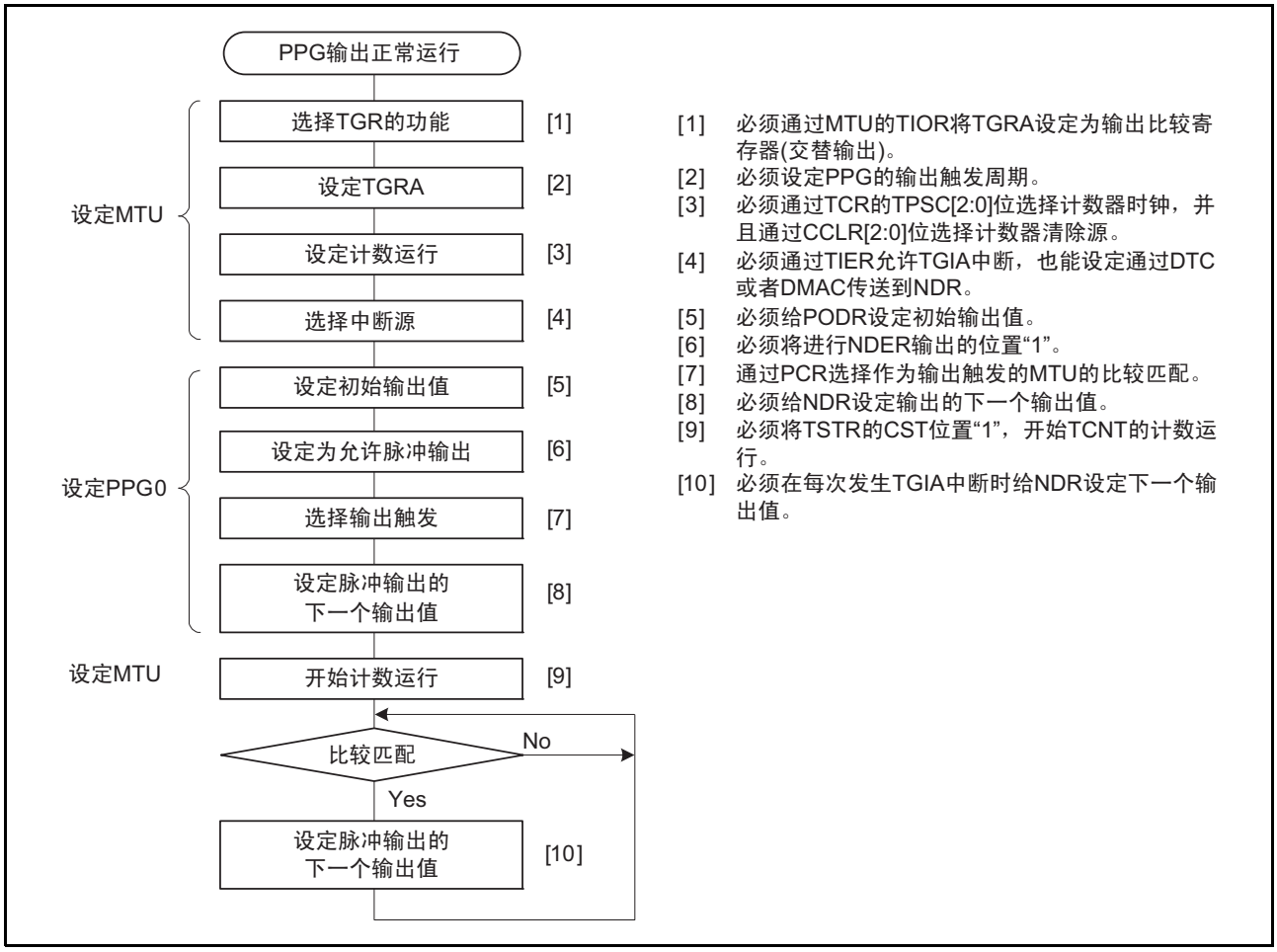


图 24.6 脉冲输出正常运行的设定步骤例子 （PPG0 的设定）

(2) PPG1 的设定

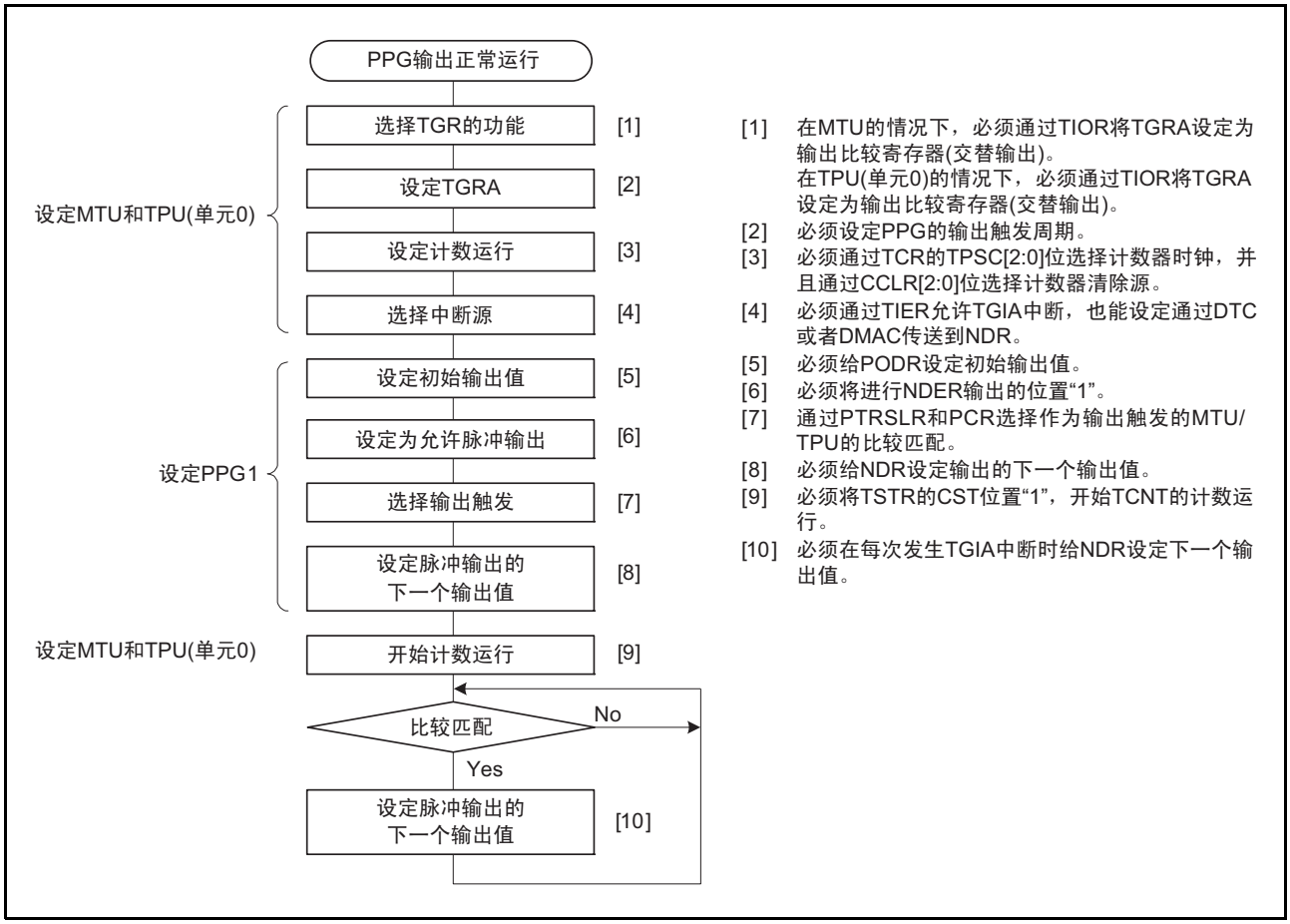


图 24.7 脉冲输出正常运行的设定步骤例子 （PPG1 的设定）

24.3.3 脉冲输出正常运行的例子 （5 相脉冲输出例子）

使用脉冲输出，以一定的周期输出 5 相脉冲的 PPG0 的例子如图 24.8 所示。

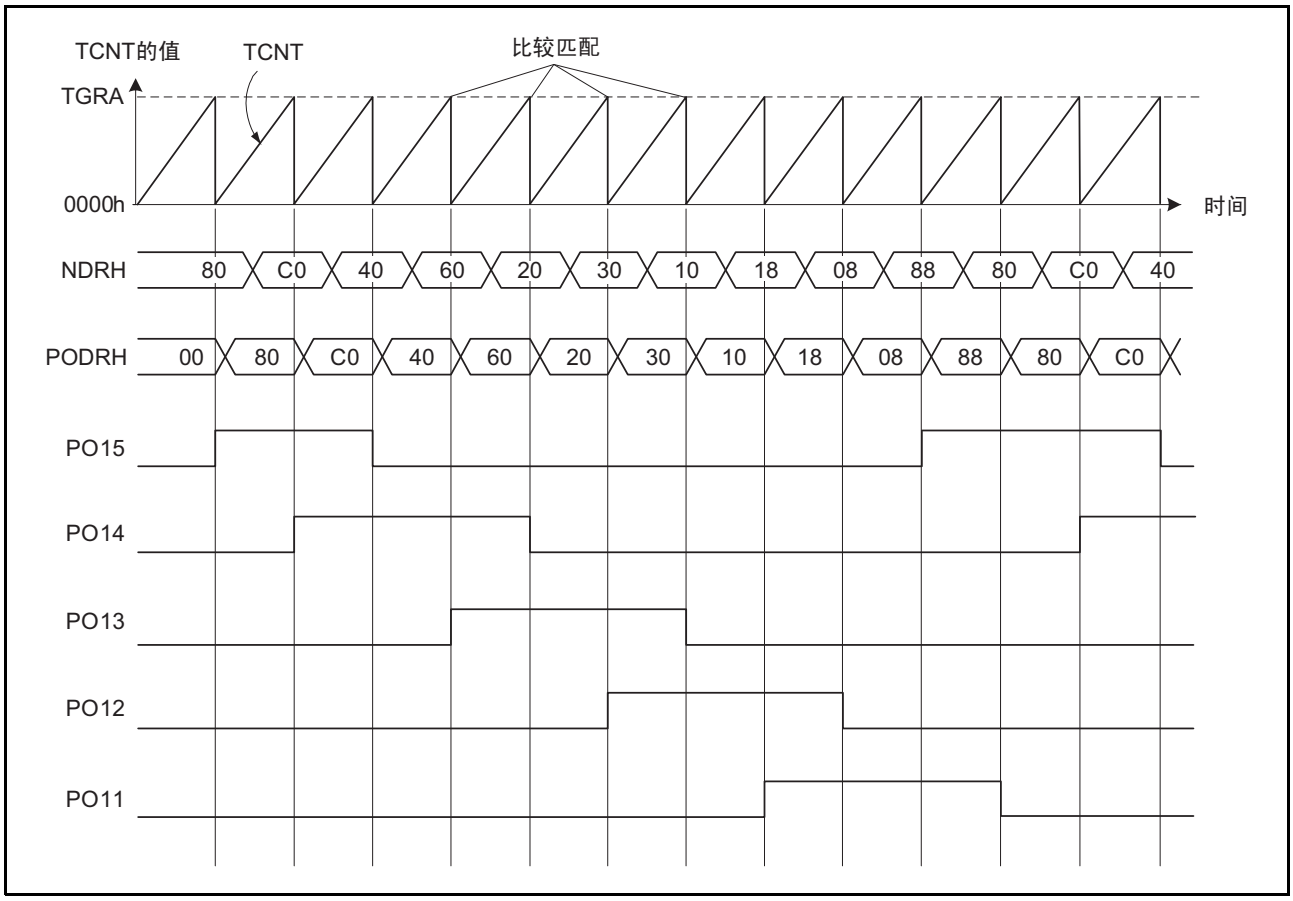


图 24.8 脉冲输出正常运行的例子 （5 相脉冲输出例子）

1. 将作为输出触发的 MTU 的 MTUn.TGRA 寄存器 （n=0～3）设定为输出比较寄存器。给 TGRA 寄存器设定周期并且选择通过比较匹配 A 进行计数器的清除。将 MTUn.TIER.TGIEA 位置 “1”，允许比较匹配/输入捕捉 A （TGIAn）中断请求。
2. 将 “F8h” 写到 PPG0.NDERH 寄存器，并且通过 PPG0.PCR.G3CMS[1:0] 位和 G2CMS[1:0] 位，将输出触发设定到上述 1. 中选择的 MTUn 的比较匹配。将输出数据 “80h” 写到 PPG0.NDRH 寄存器。
3. 一旦 MTU 的该通道开始运行并且产生比较匹配 A，就将 PPG0.NDRH 寄存器的值传送到 PPG0.PODRH 寄存器并且进行输出。通过 TGIAn 中断处理将下一个输出数据 “C0h” 写到 PPG0.NDRH 寄存器。
4. 此后，能通过 TGIAn 中断依次写 “40h”、“60h”、“20h”、“30h”、“10h”、“18h”、“08h”、“88h” ……，进行 5 相的 1-2 相脉冲输出。
   如果设定为通过 TGIAn 中断启动 DTC 或者 DMAC，就能在 CPU 没有负担的情况下进行脉冲输出。

24.3.4 脉冲输出非重叠运行

从非重叠运行时的 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器（n=0、1）到 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的传送如下：

- 在产生比较匹配A时，总是将PPGn.NDRH寄存器和PPGn.NDRL寄存器的值传送到PPGn.PODRH寄存器和PPGn.PODRL寄存器。
- 在产生比较匹配B时，只在PPGn.NDRH寄存器和PPGn.NDRL寄存器的传送位的内容为 “0”时进行传送，为 “1”时不进行传送。

脉冲输出非重叠运行如图 24.9 所示。

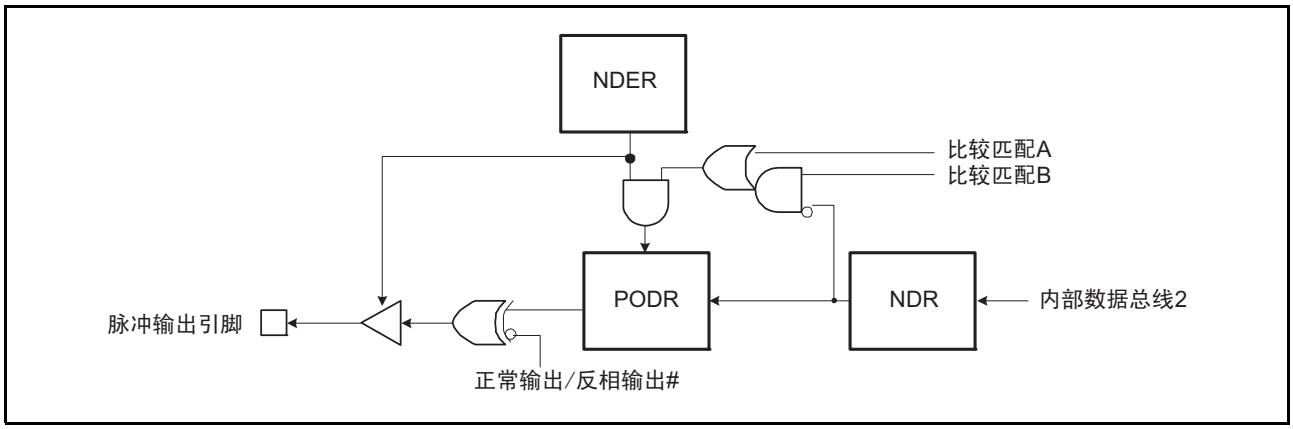


图 24.9 脉冲输出非重叠运行

因此，能通过在产生比较匹配 A 前产生比较匹配 B，在传送 “1”的数据前传送 “0”的数据。

此时，在从产生比较匹配 B 后到产生比较匹配 A 的期间（非重叠期间），不能更改 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器的值。必须通过 TGIA 中断的中断处理程序将下一个数据写到 PPGn.NDRH 寄存器和 PPGn.NDRL寄存器，也能通过TGIA中断启动DTC或者DMAC。但是，必须在产生下一个比较匹配B前进行此写操作。

此时序如图 24.10 所示。

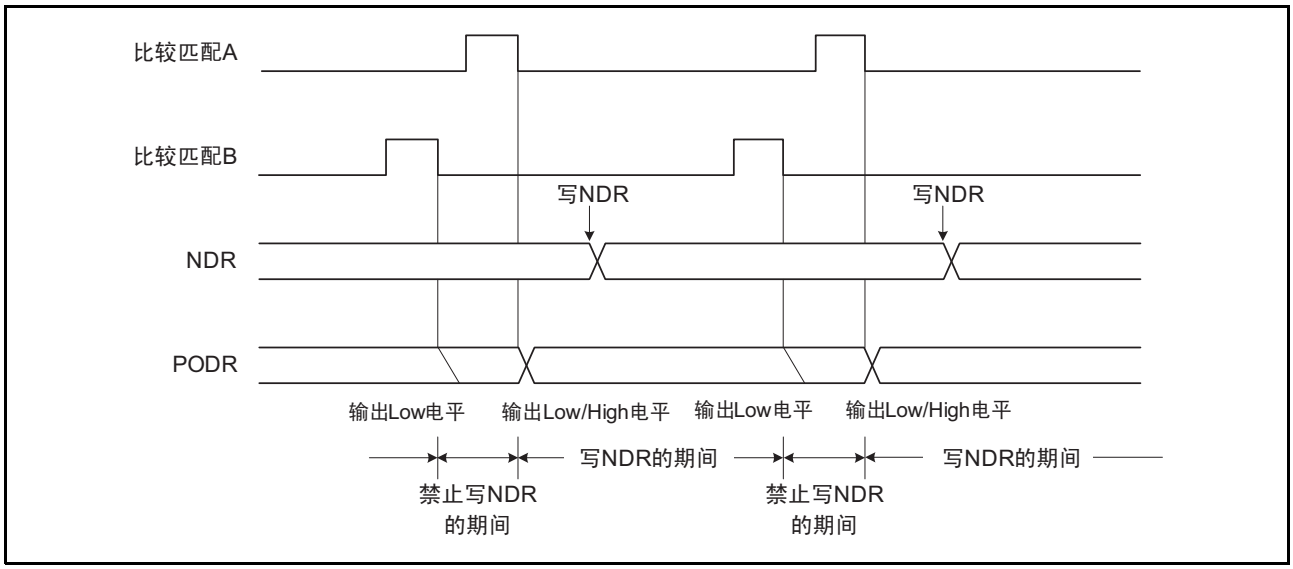


图 24.10 非重叠运行和 PPGn.NDRH、 PPGn.NDRL 寄存器的写时序

24.3.5 脉冲输出非重叠运行的设定步骤例子

脉冲输出非重叠运行的设定步骤例子如图 24.11 和图 24.12 所示。

(1) PPG0 的设定

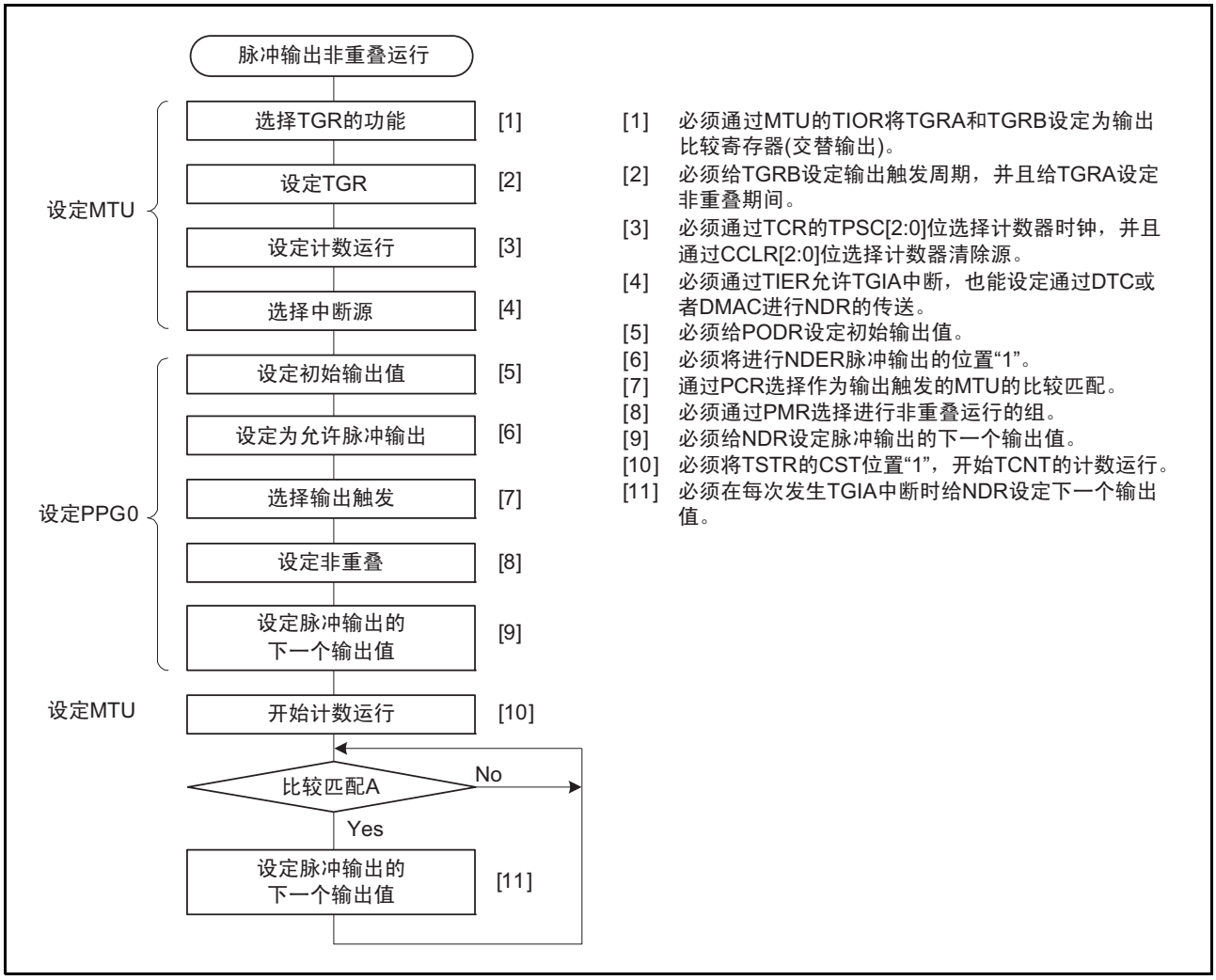


图 24.11 脉冲输出非重叠运行的设定步骤例子 （PPG0 的设定）

(2) PPG1 的设定

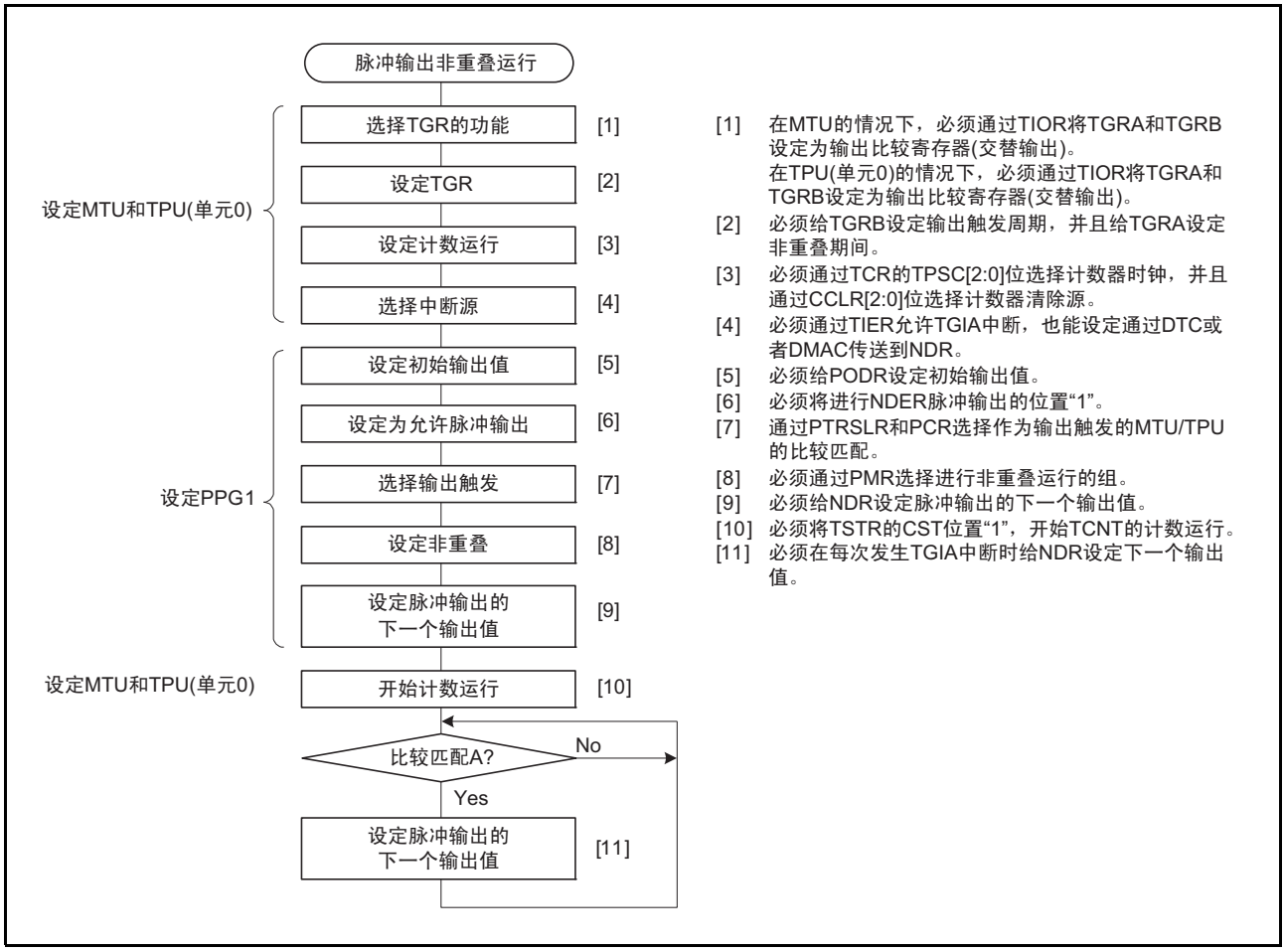


图 24.12 脉冲输出非重叠运行的设定步骤例子 （PPG1 的设定）

24.3.6 脉冲输出非重叠运行的例子 （4 相互补的非重叠输出例子）

使用脉冲输出，输出 4 相互补非重叠脉冲的 PPG0 的例子如图 24.13 所示。

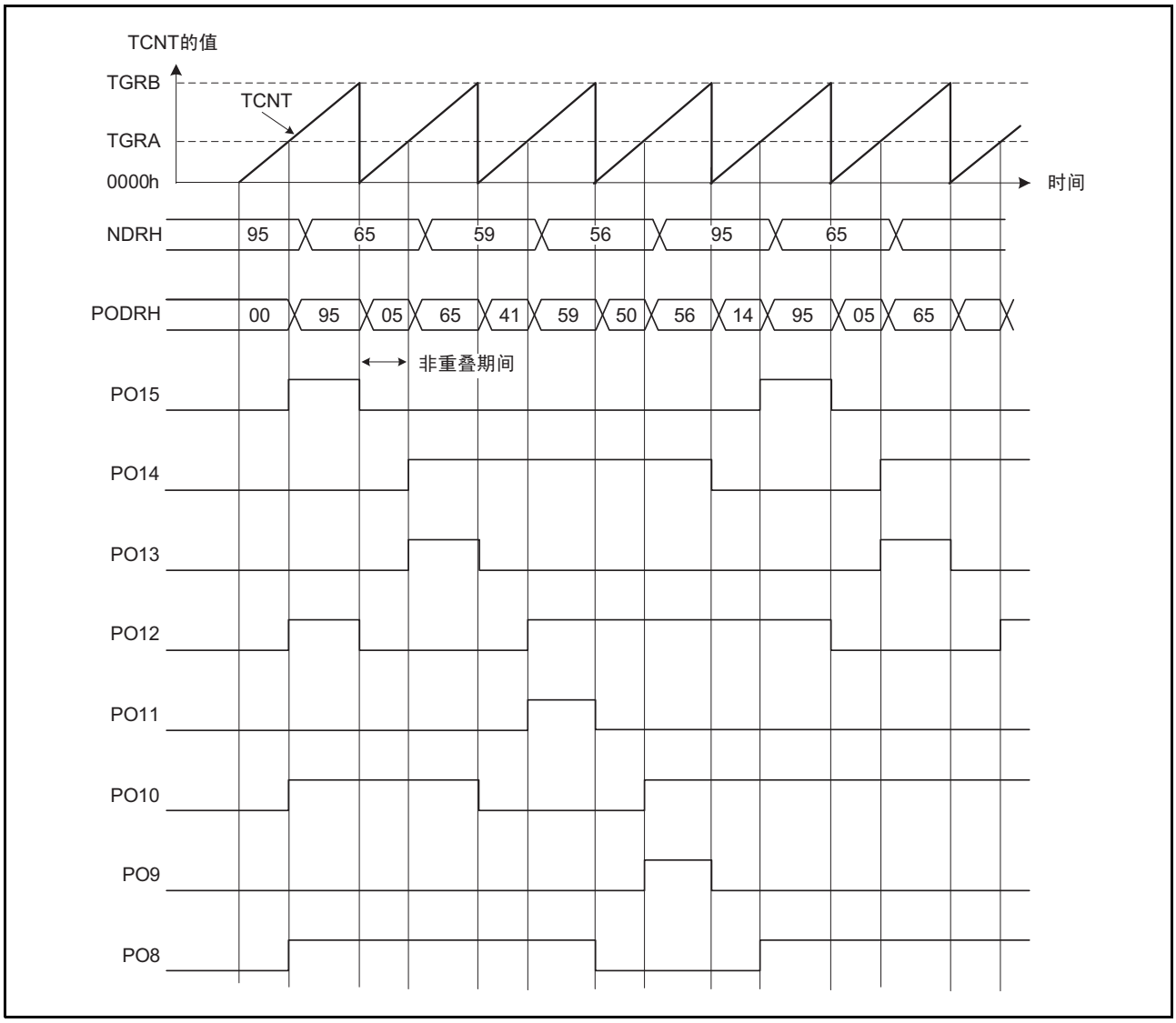


图 24.13 脉冲输出非重叠运行的例子 （4 相互补的非重叠输出）

1. 将作为输出触发的MTU的MTUn.TGRA寄存器和MTUn.TGRB寄存器（n=0～3）设定为输出比较寄存器。给TGRB寄存器设定周期，给TGRA寄存器设定非重叠期间，并且选择通过比较匹配B进行计数器的清除。将MTUn.TIER.TGIEA位置 “1”，允许比较匹配/输入捕捉A （TGIAn）中断请求。
2. 将 “FFh” 写到PPG0.NDERH，并且通过PPG0.PCR.G3CMS[1:0]位和G2CMS[1:0]位，将输出触发设定为上述1.中选择的MTUn的比较匹配。
   将PPG0.PMR.G3NOV位和PPG0.PMR.G2NOV位分别置 “1”，设定为非重叠运行。
   将输出数据 “95h” 写到PPG0.NDRH。
3. 一旦MTU的该通道开始运行，就通过TGRB寄存器的比较匹配进行High电平输出→Low电平输出的转换，并且通过TGRA寄存器的比较匹配进行Low电平输出→High电平输出的转换（Low电平输出→High电平输出的转换有可能会延迟，延迟时间为TGRA寄存器的设定值）。
   通过TGIAn中断处理将下一个输出数据 “65h” 写到PPG0.NDRH寄存器。
4. 此后，能通过TGIAn中断依次写 “59h”、“56h”、“95h” ……，进行4相互补的非重叠输出。
   如果设定为通过TGIAn中断启动DTC或者DMAC，就能在CPU没有负担的情况下进行脉冲输出。

24.3.7 脉冲的反相输出

如果将 PPG0.PMR.G3INV、 PPG0.PMR.G2INV、 PPG0.PMR.G1INV、 PPG0.PMR.G0INV 位置“0”，就能将 PPG0.PODRH 寄存器和 PPG0.PODRL 寄存器的反相值输出到引脚。

使用图 24.13 的设定并且将 G3INV 位和 G2INV 位置 “0”时的引脚输出例子如图 24.14 所示。

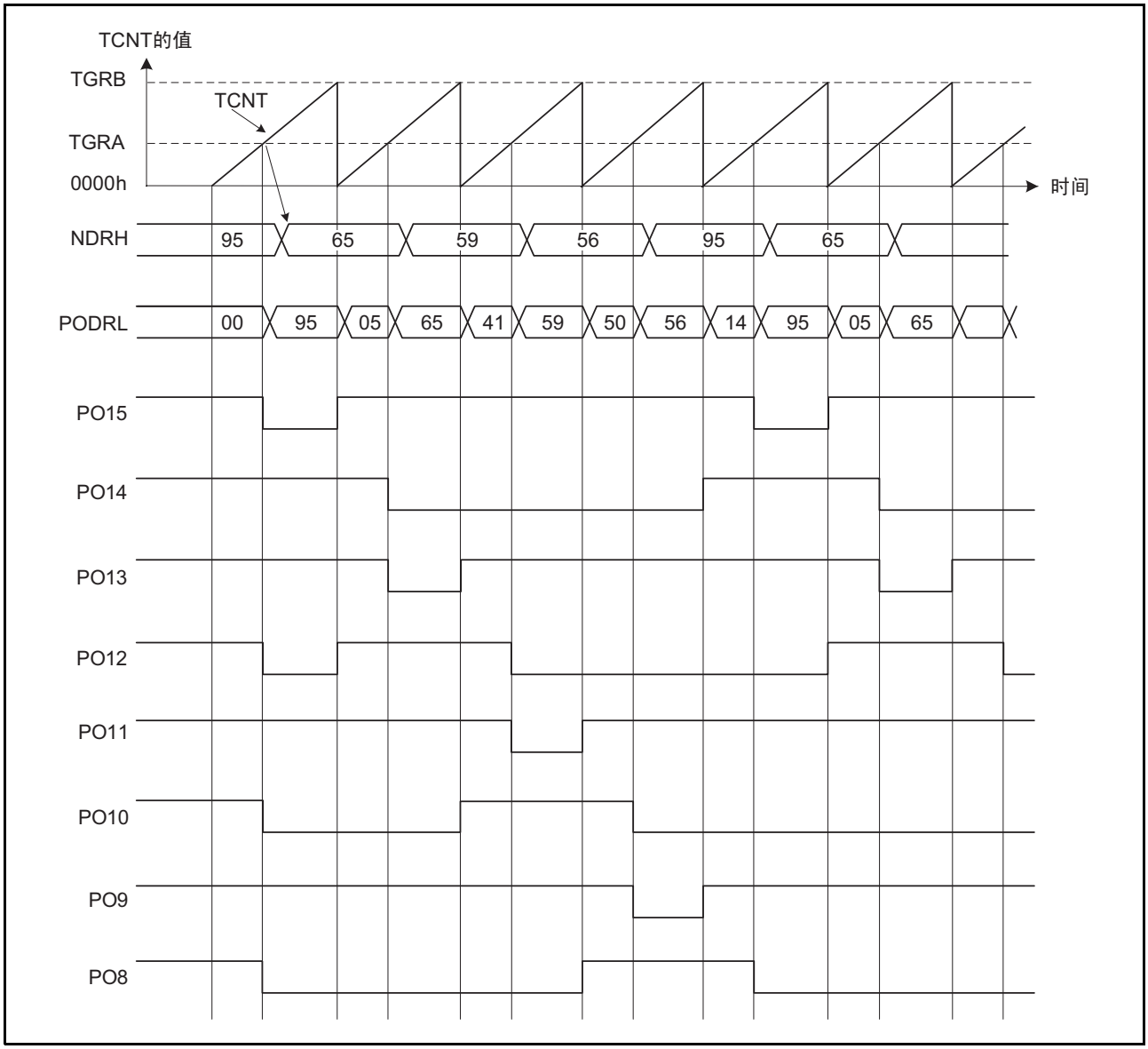


图 24.14 脉冲的反相输出例子

24.3.8 通过输入捕捉进行的脉冲输出

不仅能通过 MTU 的比较匹配，而且也能通过输入捕捉进行 PPG0 的脉冲输出。在 PPG0.PCR 寄存器选择的 MTU 的 MTUn.TGRA 寄存器 （n=0 ～ 3）用作输入捕捉寄存器时，通过输入捕捉信号进行脉冲输出。

此时序如图 24.15 所示。

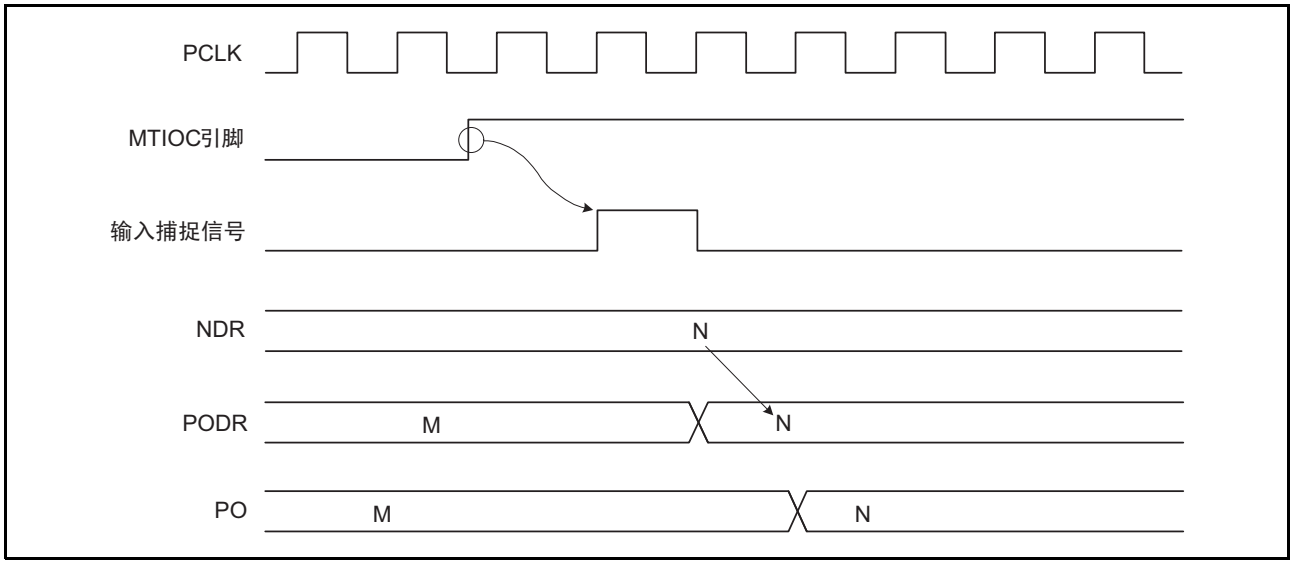


图 24.15 通过输入捕捉进行脉冲输出的例子

24.4 使用时的注意事项

24.4.1 模块停止功能的设定

能通过模块停止控制寄存器允许或者禁止 PPG 的运行，初始值为停止 PPG 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能 “。

25. 8 位定时器 （TMR）

RX630 群内置以 8 位计数器为基础的 2 个通道的 8 位定时器 （TMR），有 2 个单元 （单元 0 和单元 1），共计 4 个通道。除了能对外部事件进行计数以外，还能通过和 2 个寄存器的比较匹配信号，作为多功能定时器应用于计数器复位、中断请求、任意占空比的脉冲输出等方面。

单元 0 和单元 1 的功能相同，能生成 SCI 的波特率时钟。

25.1 概要

TMR 的规格如表 25.1 所示。

单元 0 和单元 1 的框图分别如图 25.1 和图 25.2 所示。

表 25.1 TMR 的规格

项目	规格
计数时钟	• 分频时钟：PCLK、 PCLK/2、 PCLK/8、 PCLK/32、 PCLK/64、 PCLK/1024、 PCLK/8192 • 外部时钟
通道数	（8 位 ×2 个通道） ×2 个单元
比较匹配	• 8 位模式 （比较匹配 A、比较匹配 B） • 16 位模式 （比较匹配 A、比较匹配 B）
计数器清除	可选择比较匹配 A、比较匹配 B 或者外部复位信号。
定时器输出	任意占空比的脉冲输出和 PWM 输出。
2 个通道的级联	• 16 位计数模式 将 TMR0 作为高位并且将 TMR1 作为低位 （或者将 TMR2 作为高位并且将 TMR3 作为低位）的 16 位定时器。 • 比较匹配计数模式 TMR1 对 TMR0 的比较匹配进行计数 （或者 TMR3 对 TMR2 的比较匹配进行计数）。
中断源	比较匹配 A、比较匹配 B 或者上溢。
DTC 的启动	能通过比较匹配 A 中断或者比较匹配 B 中断启动 DTC。
A/D 转换器的转换开始触发	TMR0 和 TMR2 的比较匹配 A（注 1）。
SCI 波特率时钟的生成	生成 SCI 的波特率时钟（注 2）。
低功耗功能	各单元能设定为模块停止状态。

注 1. 详细内容请参照 “37. 12 位 A/D 转换器 （S12ADa）” 和 “38. 10 位 A/D 转换器 （ADb）”。

注 2. 详细内容请参照 “31. 串行通信接口 （SCIc、 SCId）”。

表 25.2 TMR 的功能一览表

项目		单元 0			单元 1		
计数器模式		8 位		16 位	8 位		16 位
通道		TMR0	TMR1	TMR0+TMR1	TMR2	TMR3	TMR2+TMR3
计数时钟		PCLK/1 PCLK2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI0	PCLK/1 PCLK2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI2	PCLK/1 PCLK2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3	PCLK/1 PCLK2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3
计数器清除		TMR0.TCORA TMR0.TCORAB TMRI0	TMR0.TCORA TMR0.TCORAB TMRI1	TMR0.TCORA+ TMR1.TCORA TMR0.TCORB+ TMR1.TCORB TMRI0	TMR2.TCORA TMR2.TCORAB TMRI2	TMR3.TCORA TMR3.TCORAB TMRI1	TMR2.TCORA+ TMR3.TCORA TMR2.TCORB+ TMR3.TCORB TMRI0
比较匹配	比较匹配 A	○	○	○	○	○	○
	比较匹配 B	○	○	○	○	○	○
定时器输出	输出 Low 电平	○	○	○	○	○	○
	输出 High 电平	○	○	○	○	○	○
	交替输出	○	○	○	○	○	○
DTC 的启动	比较匹配 A	○	○	○	○	○	○
	比较匹配 B	○	○	○	○	○	○
	TCNT 的上溢	—	—	—	—	—	—
中断	比较匹配 A	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	比较匹配 B	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNT 的上溢	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
级联		TMR1 的上溢	TMR0 的比较匹配 A	—	TMR3 的上溢	TMR2 的比较匹配 A	—
A/D 转换器的转换开始触发 （注 1）		○	—	○	○	—	○
SCI 波特率时钟的生成 （注 2）		○		—	○		—
模块停止的设定 （注 3）		（单元 0） MSTPCRA.MSTPA5 位、（单元 1） MSTPCRA.MSTPA4 位					

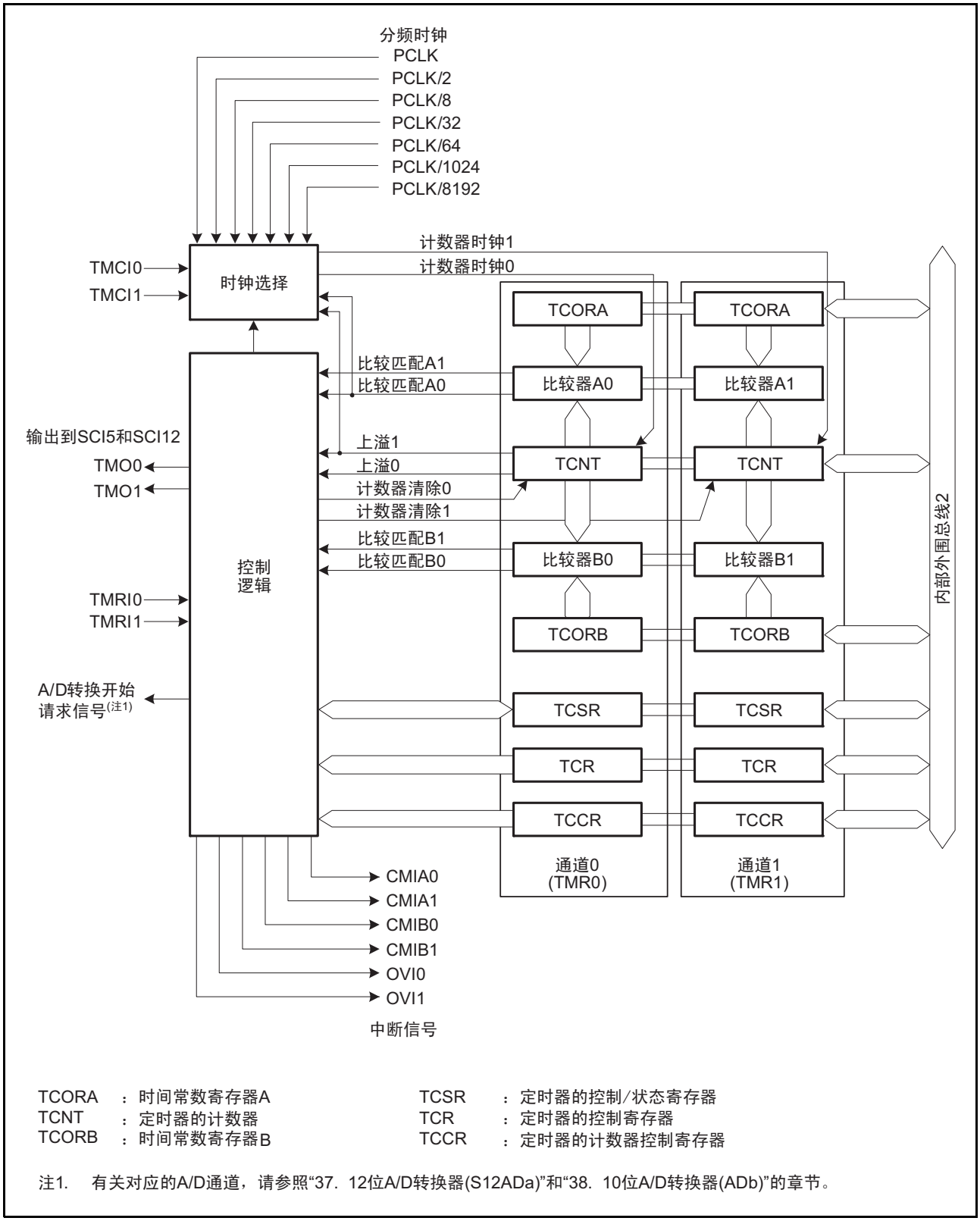
○：能

—：不能

注 1. 详细内容请参照 “37. 12 位 A/D 转换器 （S12ADa）” 和 “38. 10 位 A/D 转换器 （ADb）”。

注 2. 详细内容请参照 “31. 串行通信接口 （SCIc、 SCId）”。

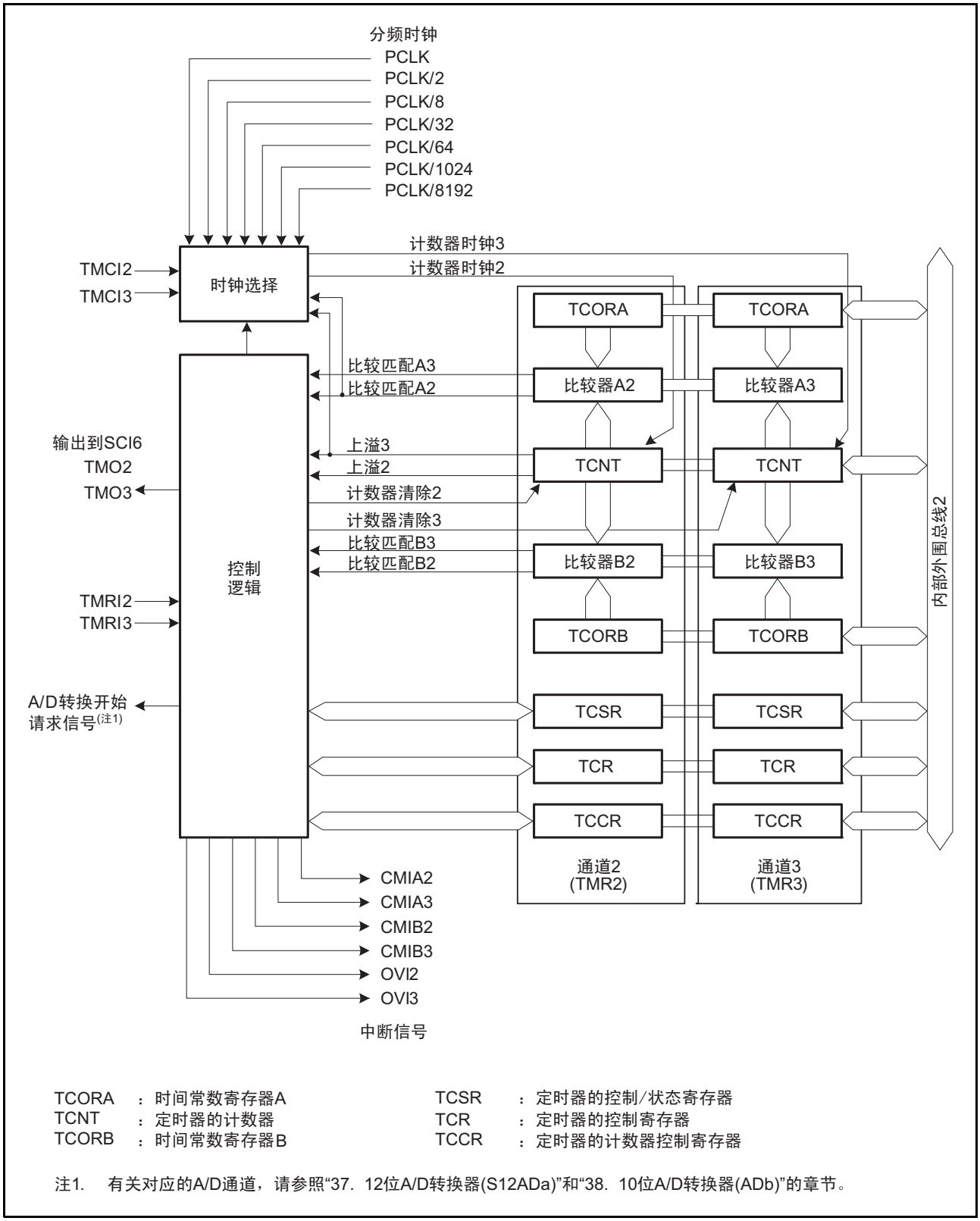
注 3. 详细内容请参照 “11. 低功耗功能”。



TCORA ：时间常数寄存器A
TCNT ：定时器的计数器
TCORB ：时间常数寄存器B
TCSR ：定时器的控制/状态寄存器
TCR ：定时器的控制寄存器
TCCR ：定时器的计数器控制寄存器

注1. 有关对应的A/D通道，请参照“37. 12位A/D转换器(S12ADa)”和“38. 10位A/D转换器(ADb)”的章节。

图 25.1 TMR （单元 0）的框图



TCORA ：时间常数寄存器A
TCNT ：定时器的计数器
TCORB ：时间常数寄存器B
TCSR ：定时器的控制/状态寄存器
TCR ：定时器的控制寄存器
TCCR ：定时器的计数器控制寄存器

注1. 有关对应的A/D通道，请参照“37. 12位A/D转换器(S12ADa)”和“38. 10位A/D转换器(ADb)”的章节。

图 25.2 TMR （单元 1）的框图

TMR 使用的输入 / 输出引脚如表 25.3 所示。

表 25.3 TMR 的输入 / 输出引脚

单元	通道	引脚名	输入 / 输出	功能
单元 0	TMR0	TMO0	输出	比较匹配的输出
		TMCI0	输入	计数器外部时钟的输入
		TMRI0	输入	计数器外部复位的输入
	TMR1	TMO1	输出	比较匹配的输出
		TMCI1	输入	计数器外部时钟的输入
		TMRI1	输入	计数器外部复位的输入
单元 1	TMR2	TMO2	输出	比较匹配的输出
		TMCI2	输入	计数器外部时钟的输入
		TMRI2	输入	计数器外部复位的输入
	TMR3	TMO3	输出	比较匹配的输出
		TMCI3	输入	计数器外部时钟的输入
		TMRI3	输入	计数器外部复位的输入

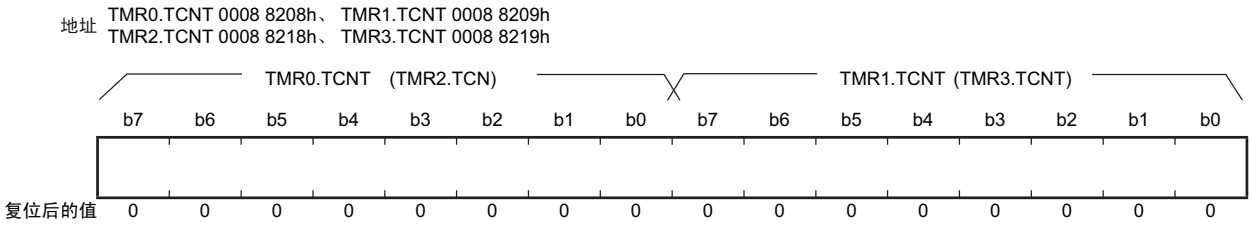
25.2 寄存器说明

16 位存取的寄存器分配如表 25.4 所示。

表 25.4 16 位存取的寄存器分配

地址	高 8 位	低 8 位
0008 8208h	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR

25.2.1 定时器的计数器 （TCNT）



TCNT 计数器是 8 位可读写的递增计数器。

也能将 TMR0.TCNT 计数器和 TMR1.TCNT 计数器 （TMR2.TCNT 计数器和 TMR3.TCNT 计数器）作为 16 位计数器进行字存取。

能通过 TCCR.CSS[1:0] 位和 TCCR.CKS[2:0] 位选择时钟。

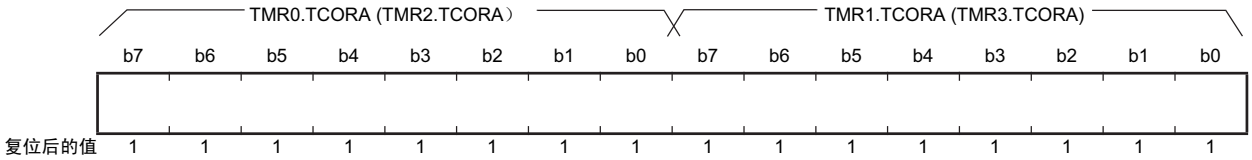
能通过外部复位输入信号、比较匹配 A 信号或者比较匹配 B 信号清除 TCNT 计数器，并且通过 TCR.CCLR[1:0] 位选择用哪个信号进行清除。

如果 TCNT 计数器发生上溢 （“FFh” → “00h”），中断标志就变为 “1”。

对应的中断向量号请参照 “15. 中断控制器 （ICUb）” 和 “表 25.6 TMR 的中断源”。

25.2.2 时间常数寄存器 A （TCORA）

地址 TMR0.TCORA：0008 8204h、TMR1.TCORA：0008 8205h
TMR2.TCORA：0008 8214h、TMR3.TCORA：0008 8215h



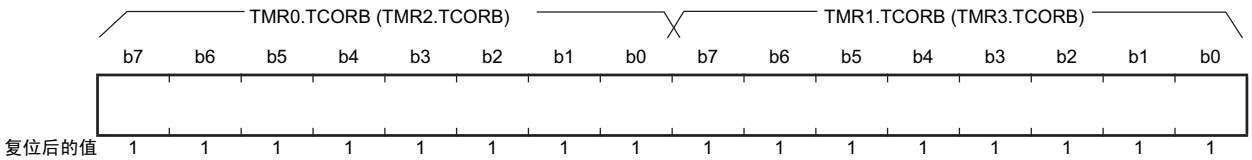
TCORA 寄存器是 8 位可读写寄存器。

也能将 TMR0.TCORA 寄存器和 TMR1.TCORA 寄存器 （TMR2.TCORA 寄存器和 TMR3.TCORA 寄存器）作为 16 位寄存器进行字存取。

TCORA 寄存器的值随时和 TCNT 计数器进行比较，如果两者的值相同，比较匹配 A 信号就变为 High 电平。但是，在写 TCORA 寄存器时不进行比较。还能通过 TCSR.OSA[1:0] 位的设定和此比较匹配 A 信号，控制 TMOn 引脚的定时器输出。

25.2.3 时间常数寄存器 B （TCORB）

地址 TMR0.TCORB 0008 8206h、TMR1.TCORB 0008 8207h
TMR2.TCORB 0008 8216h、TMR3.TCORB 0008 8217h



TCORB 寄存器是 8 位可读写寄存器。

也能将 TMR0.TCORB 寄存器和 TMR1.TCORB 寄存器（TMR2.TCORB 寄存器和 TMR3.TCORB 寄存器）作为 16 位寄存器进行字存取。

TCORB 寄存器的值随时和 TCNT 计数器进行比较。如果两者的值相同，比较匹配 B 信号就变为 High 电平。但是，在写 TCORB 寄存器时不进行比较。还能通过 TCSR.OSB[1:0] 位的设定和此比较匹配 B 信号，控制 TMOn 引脚的定时器输出。

25.2.4 定时器的控制寄存器 （TCR）

地址 TMR0.TCR 0008 8200h、TMR1.TCR 0008 8201h
TMR2.TCR 0008 8210h、TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为 “0”。	R/W
b4-b3	CCLR[1:0]	计数器清除位 （注 1）	b4 b3 0 0：禁止清除 0 1：通过比较匹配 A 进行清除 1 0：通过比较匹配 B 进行清除 1 1：通过外部复位输入进行清除 （通过 TCCR.TMRIS 位选择边沿或者电平）	R/W
b5	OVIE	定时器的上溢中断允许位	0：禁止由上溢引起的中断请求 （OVIn） 1：允许由上溢引起的中断请求 （OVIn）	R/W
b6	CMIEA	比较匹配中断允许 A 位	0：禁止由比较匹配 A 引起的中断请求 （CMIAn） 1：允许由比较匹配 A 引起的中断请求 （CMIAn）	R/W
b7	CMIEB	比较匹配中断允许 B 位	0：禁止由比较匹配 B 引起的中断请求 （CMIBn） 1：允许由比较匹配 B 引起的中断请求 （CMIBn）	R/W

注 1. 在使用计数器外部复位时，必须将对应引脚的 PORTn.PDR.Bn 位置 “0”并且将 PORTn.PMR.Bn 位置 “1”，详细内容请参照 “19. I/O 端口”。

CMIEA 位 （比较匹配中断允许 A 位）

此位选择允许或者禁止在 TCORA 寄存器和 TCNT 计数器的值相同时输出的比较匹配 A 引起的中断请求（CMIAn）。

CMIEB 位 （比较匹配中断允许 B 位）

此位选择允许或者禁止在 TCORB 寄存器和 TCNT 计数器的值相同时输出的比较匹配 B 引起的中断请求（CMIBn）。

25.2.5 定时器的计数器控制寄存器 （TCCR）

地址 TMR0.TCCR 0008 820Ah、TMR1.TCCR 0008 820Bh
TMR2.TCCR 0008 821Ah、TMR3.TCCR 0008 821Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	CKS[2:0]	时钟选择位 （注 1）	请参照表 25.5。	R/W
b4-b3	CSS[1:0]	时钟源选择位	请参照表 25.5。	R/W
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	TMRIS	定时器的复位检测条件选择位	0：在外部复位的上升沿进行清除 1：通过外部复位的 High 电平进行清除	R/W

注 1. 在使用计数器外部复位时，必须将对应引脚的 PORTn.PDR.Bn 位置 “0”并且将 PORTn.PMR.Bn 位置 “1”，详细内容请参照 “19. I/O 端口”。

CKS[2:0] 位 （时钟选择位）
CSS[1:0] 位 （时钟源选择位）

CKS[2:0] 位和 CSS[1:0] 位选择时钟，详细内容请参照表 25.5。

TMRIS 位 （定时器的复位检测条件选择位）

此位在 TCR.CCLR[1:0] 位为 “11b”（通过外部复位输入进行清除）时有效，用于选择外部复位检测条件（电平或者边沿）。

表 25.5 TCNT 计数器的输入时钟和计数条件

通道	TCCR 寄存器					功能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0（TMR2）	0	0	—	0	0	禁止时钟输入。
					1	在外部时钟的上升沿进行计数（注 1）。
				1	0	在外部时钟的下降沿进行计数（注 1）。
					1	在外部时钟的双边沿进行计数（注 1）。
	0	1	0	0	0	分频时钟：通过 PCLK 进行计数。
					1	分频时钟：通过 PCLK/2 进行计数。
				1	0	分频时钟：通过 PCLK/8 进行计数。
					1	分频时钟：通过 PCLK/32 进行计数。
			1	0	0	分频时钟：通过 PCLK/64 进行计数。
					1	分频时钟：通过 PCLK/1024 进行计数。
				1	0	分频时钟：通过 PCLK/8192 进行计数。
					1	禁止时钟输入。
	1	0	—	—	—	不能设定。
	1	1	—	—	—	通过 TMR1.TCNT （TMR3.TCNT）的上溢信号进行计数（注 2）。
TMR1（TMR3）	0	0	—	0	0	禁止时钟输入。
					1	在外部时钟的上升沿进行计数（注 1）。
				1	0	在外部时钟的下降沿进行计数（注 1）。
					1	在外部时钟的双边沿进行计数（注 1）。
	0	1	0	0	0	分频时钟：通过 PCLK 进行计数。
					1	分频时钟：通过 PCLK/2 进行计数。
				1	0	分频时钟：通过 PCLK/8 进行计数。
					1	分频时钟：通过 PCLK/32 进行计数。
			1	0	0	分频时钟：通过 PCLK/64 进行计数。
					1	分频时钟：通过 PCLK/1024 进行计数。
				1	0	分频时钟：通过 PCLK/8192 进行计数。
					1	禁止时钟输入。
	1	0	—	—	—	不能设定。
	1	1	—	—	—	通过 TMR0.TCNT （TMR2.TCNT）的比较匹配 A 进行计数（注 2）。

注 1. 在使用计数器外部复位时，必须将对应引脚的 PORTn.PDR.Bn 位置 “0” 并且将 PORTn.PMR.Bn 位置 “1”，详细内容请参照 “19. I/O 端口”。

注 2. 如果将 TMR0 （TMR2）的时钟输入用作 TMR1.TCNT （TMR3.TCNT）计数器的上溢信号并且将 TMR1 （TMR3）的时钟输入用作 TMR0.TCNT （TMR2.TCNT）计数器的比较匹配信号，就不产生递增计数时钟。不能进行此设定。

25.2.6 定时器的控制 / 状态寄存器 （TCSR）

- TMR0.TCSR 寄存器和 TMR2.TCSR 寄存器

地址 TMR0.TCSR 0008 8202h、TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
复位后的值	x	x	x	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	OSA[1:0]	输出选择位 A（注 1）	b1 b0 0 0：不变 0 1：Low 电平输出 1 0：High 电平输出 1 1：反相输出 （交替输出）	R/W
b3-b2	OSB[1:0]	输出选择位 B（注 1）	b3 b2 0 0：不变 0 1：Low 电平输出 1 0：High 电平输出 1 1：反相输出 （交替输出）	R/W
b4	ADTE	A/D 触发允许位（注 2）	0：禁止由比较匹配 A 引起的 A/D 转换开始请求 1：允许由比较匹配 A 引起的 A/D 转换开始请求	R/W
b7-b5	—	保留位	读取值为不定值，只能写 “1”。	R/W

注 1. 当 OSA[1:0] 位和 OSB[1:0] 位都为 “0” 时，将 TMOn 引脚对应的输出允许置为无效并且向 I/O 端口请求高阻抗输出。如果将OSA[1:0]位或者OSB[1:0]位置“1”，就在复位到第1次产生比较匹配的期间，定时器的输出为Low电平。

注 2. 有关对应的 A/D 通道，请参照 “37. 12 位 A/D 转换器 （S12ADa）” 和 “38. 10 位 A/D 转换器 （ADb）”。

OSA[1:0] 位 （输出选择位 A）

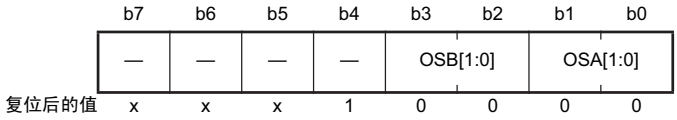
这些位选择在 TCORA 寄存器和 TCNT 计数器的比较匹配 A 时 TMOn 引脚的输出方法。

OSB[1:0] 位 （输出选择位 B）

这些位选择在 TCORB 寄存器和 TCNT 计数器的比较匹配 B 时 TMOn 引脚的输出方法。

- TMR1.TCSR 寄存器和 TMR3.TCSR 寄存器

地址 TMR1.TCSR 0008 8203h、TMR3.TCSR 0008 8213h



位	符号	位名	功能	R/W
b1-b0	OSA[1:0]	输出选择位 A（注 1）	b1 b0 0 0：不变 0 1：Low 电平输出 1 0：High 电平输出 1 1：反相输出 （交替输出）	R/W
b3-b2	OSB[1:0]	输出选择位 B（注 1）	b3 b2 0 0：不变 0 1：Low 电平输出 1 0：High 电平输出 1 1：反相输出 （交替输出）	R/W
b4	—	保留位	读写值都为 “1”。	R/W
b7-b5	—	保留位	读取值为不定值，只能写 “1”。	R/W

注 1. 当 OSA[1:0] 位和 OSB[1:0] 位都为 “0”时，将 TMOn 引脚对应的输出允许置为无效并且向 I/O 端口请求高阻抗输出。如果将OSA[1:0]位或者OSB[1:0]位置“1”，就在复位到第1次产生比较匹配的期间，定时器的输出为Low电平。

OSA[1:0] 位 （输出选择位 A）

这些位选择在 TCORA 寄存器和 TCNT 计数器的比较匹配 A 时 TMOn 引脚的输出方法。

OSB[1:0] 位 （输出选择位 B）

这些位选择在 TCORB 寄存器和 TCNT 计数器的比较匹配 B 时 TMOn 引脚的输出方法。

25.3 运行说明

25.3.1 脉冲输出

任意占空比的脉冲输出例子如图 25.3 所示。

1. 为了通过 TCORA 寄存器的比较匹配清除 TCNT 计数器，将 TCR.CCLR[1:0] 位置 “01b”（通过比较匹配 A 进行清除）。
2. 为了通过 TCORA 寄存器的比较匹配进行 High 电平输出并且通过 TCORB 寄存器的比较匹配进行 Low 电平输出，将 TCSR.OSA[1:0] 位置 “10b”（High 电平输出）并且将 TCSR.OSB[1:0] 位置 “01b”（Low 电平输出）。

通过上述设定，能不通过软件而输出周期由 TCORA 寄存器、脉宽由 TCORB 寄存器决定的波形。

在设定 TCSR.OSA[1:0] 位或者 TCSR.OSB[1:0] 位后，从复位到发生第 1 次比较匹配的期间，定时器的输出为 Low 电平。

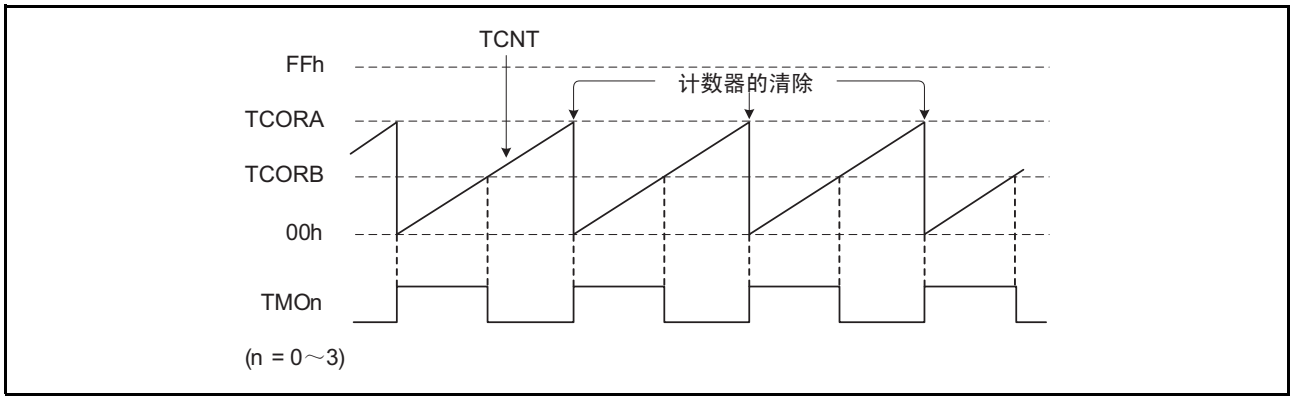


图 25.3 脉冲输出例子

25.3.2 复位输入

TMRIn 输入的任意延迟时间的脉冲输出例子如图 25.4 所示。

1. 为了通过 TMRIn 输入的 High 电平清除 TCNT 计数器，将 TCR.CCLR[1:0] 位置 “11b”（通过外部复位输入进行清除）并且将 TCCR.TMRIS 位置 “1”（通过外部复位的 High 电平进行清除）。
2. 为了通过 TCORA 寄存器的比较匹配进行 High 电平输出并且通过 TCORB 寄存器的比较匹配进行 Low 电平输出，将 TCSR.OSA[1:0] 位置 “10b”（High 电平输出）并且将 TCSR.OSB[1:0] 位置 “01b”（Low 电平输出）。

通过上述设定，能输出延迟（从 TMRIn 输入开始的延迟）由 TCORA 寄存器、脉宽由（TCORB–TCORA）决定的波形。

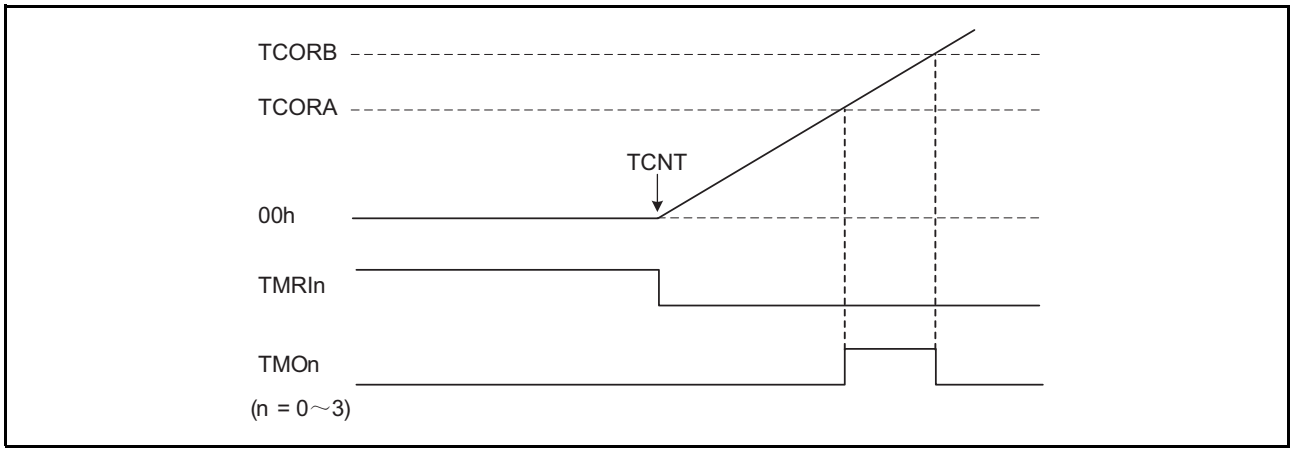


图 25.4 复位输入例子

25.4 运行时序

25.4.1 TCNT 计数器的计数时序

分频时钟和外部时钟运行时的 TCNT 计数器的计数时序分别如图 25.5 和图 25.6 所示。

必须注意：在单边沿的情况下，外部时钟的脉宽至少需要 1.5 个 PCLK ；在双边沿的情况下，外部时钟的脉宽至少需要 2.5 个 PCLK。否则，就不能正常运行。

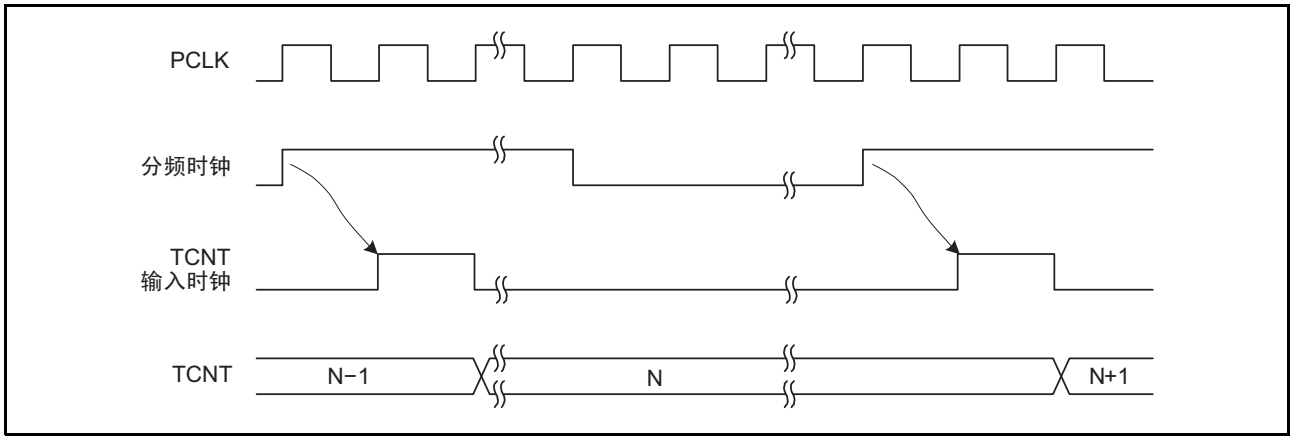


图 25.5 分频时钟运行时的计数时序

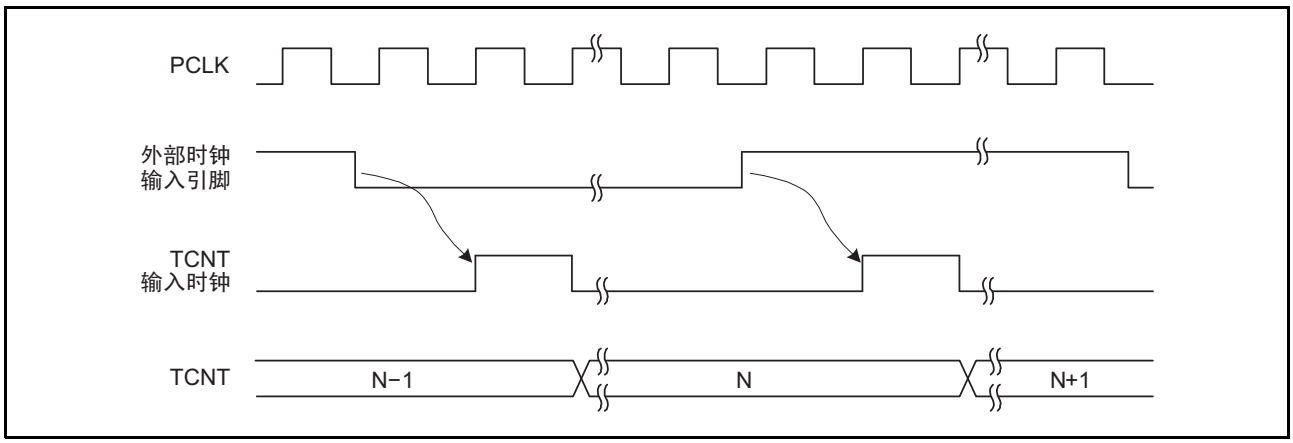


图 25.6 外部时钟运行时的计数时序 （双边沿的情况）

25.4.2 比较匹配时的中断标志变为 “1”的时序

如果 TCORA 寄存器、 TCORB 寄存器和 TCNT 计数器的值相同并且输出比较匹配信号，中断标志就变为“1”。

在 TCORA 寄存器、 TCORB 寄存器和 TCNT 计数器的值相同的最后 PCLK （在更新 TCNT 计数器相同后的计数值时）产生比较匹配信号。因此，在 TCNT 计数器和 TCORA 寄存器、TCORB 寄存器的值相同后到产生 TCNT 计数器的输入时钟前，不产生比较匹配信号。

中断标志变为 “1”的时序如图 25.7 所示。

对应的中断向量号请参照 “15. 中断控制器 （ICUb）”和 “表 25.6 TMR 的中断源”。

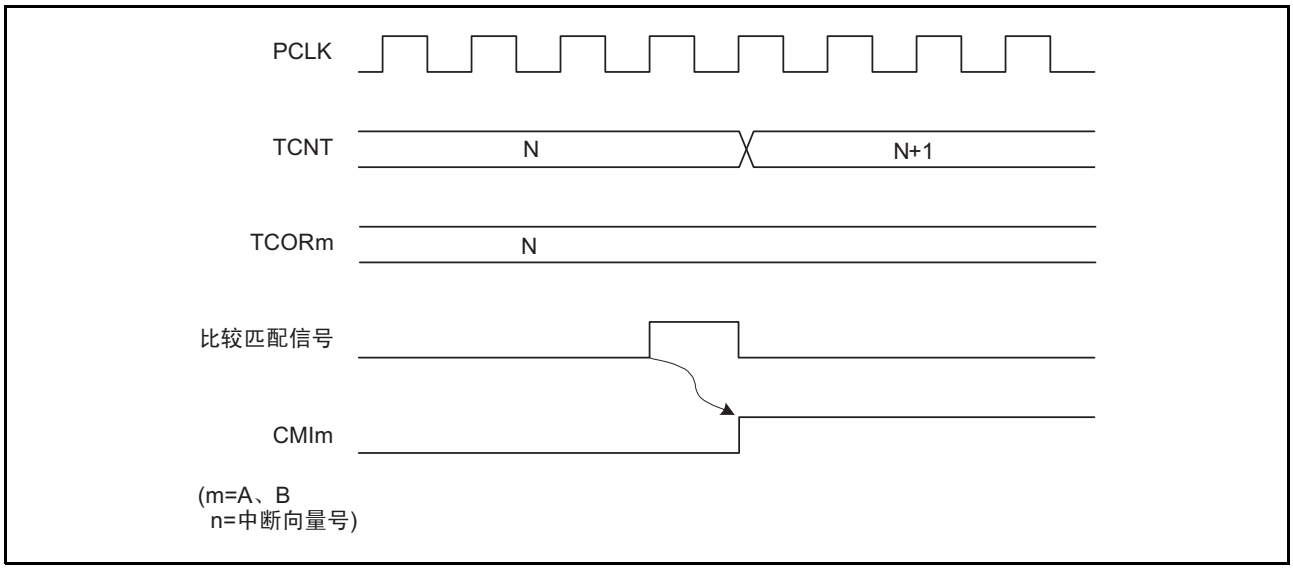


图 25.7 比较匹配时的中断标志变为 “1”的时序

25.4.3 比较匹配时的定时器输出时序

在产生比较匹配信号时，将 TCSR.OSA[1:0] 位和 TCSR.OSB[1:0] 位设定的输出值输出到定时器的输出引脚。

通过比较匹配 A 信号进行交替输出时的定时器输出时序如图 25.8 所示。

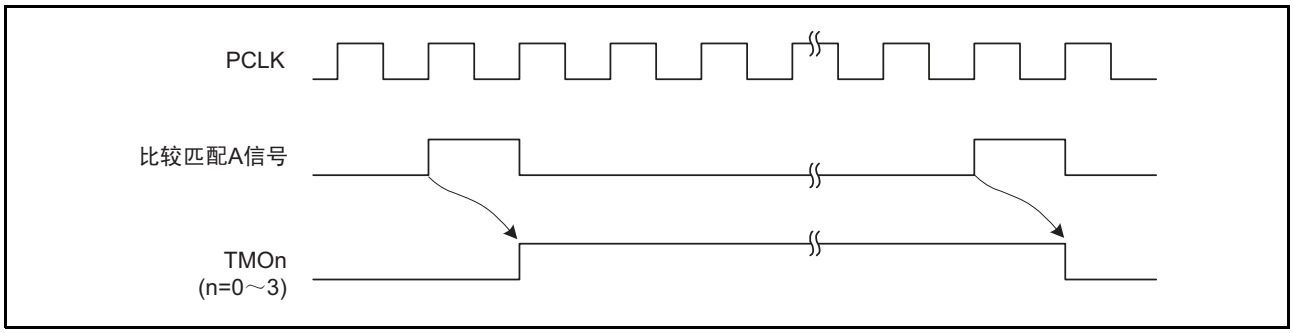


图 25.8 通过比较匹配 A 信号进行的定时器输出时序

25.4.4 通过比较匹配进行的计数器清除时序

根据 TCR.CCLR[1:0] 位的选择，通过比较匹配 A 或者比较匹配 B 进行 TCNT 计数器的清除。

通过比较匹配进行的计数器清除时序如图 25.9 所示。

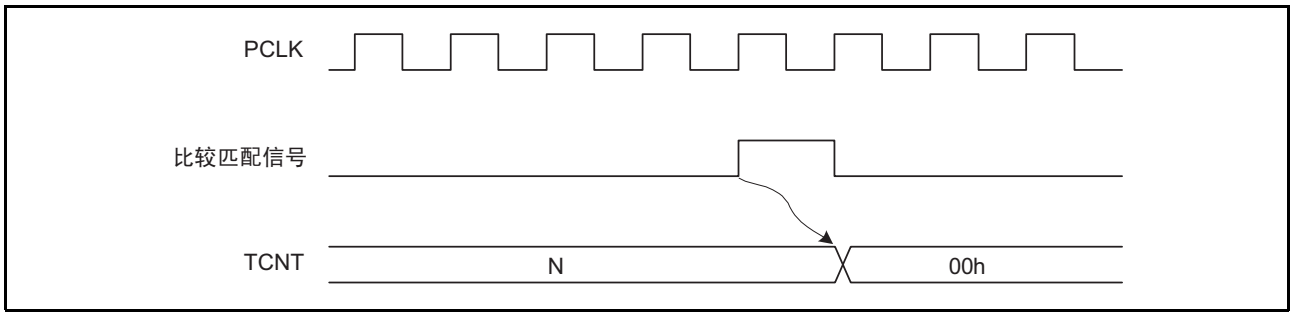


图 25.9 通过比较匹配进行的计数器清除时序

25.4.5 TCNT 计数器的外部复位时序

根据 TCRn.CCLR[1:0] 位的选择，在外部复位输入的上升沿或者通过 High 电平清除 TCNT 计数器。从输入外部复位到清除 TCNT 计数器前，至少需要 2 个 PCLK。

通过外部复位输入进行的清除时序如图 25.10 和图 25.11 所示。

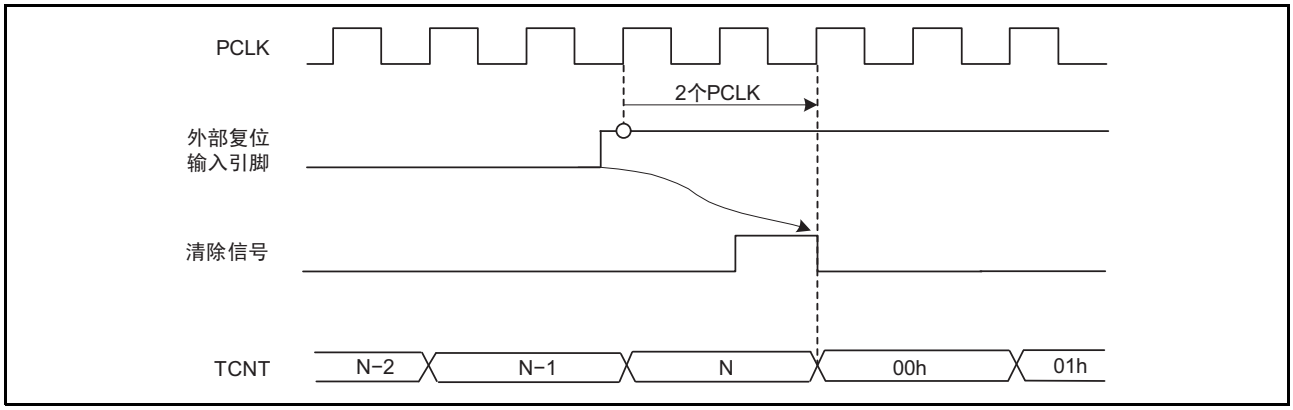


图 25.10 通过外部复位输入进行的清除时序 （上升沿）

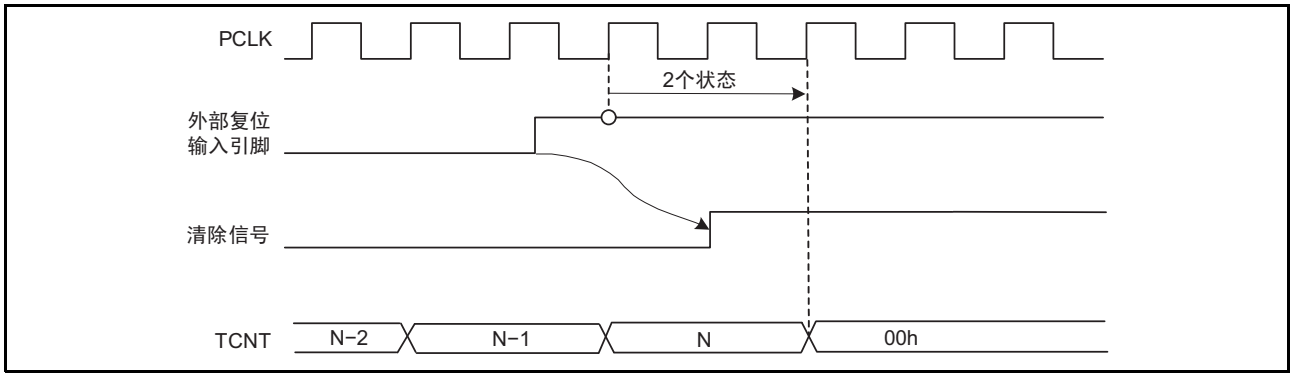


图 25.11 通过外部复位输入进行的清除时序 （High 电平）

25.4.6 通过上溢使中断标志变为 “1” 的时序

通过 TCNT 计数器发生上溢 （“FFh” → “00h”）时输出的上溢信号使中断标志变为 “1”。

中断标志的置位时序如图 25.12 所示。

对应的中断向量号请参照 “15. 中断控制器 （ICUb）” 和 “表 25.6 TMR 的中断源”。

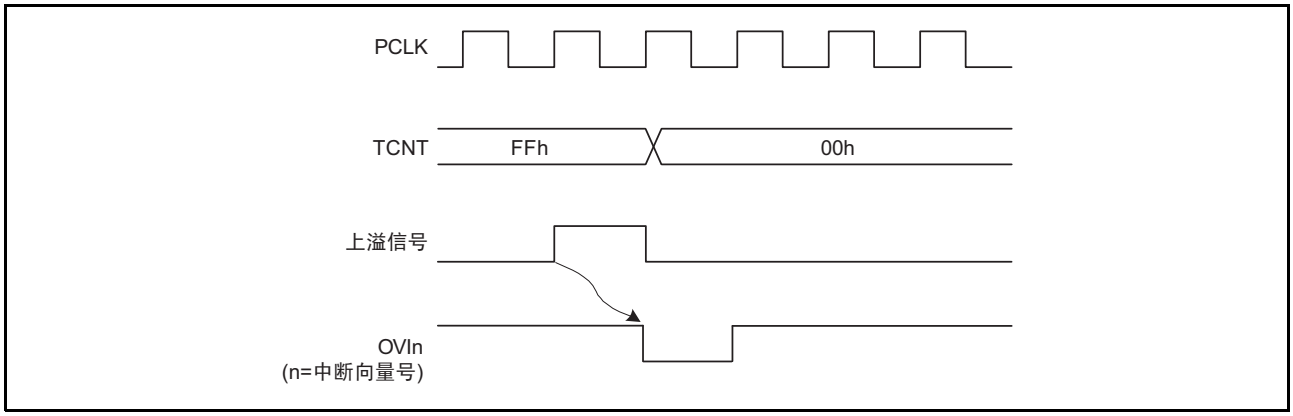


图 25.12 通过上溢信号使中断标志变为 “1” 的时序

25.5 级联时的运行

如果将 TMR0.TCCR 寄存器或者 TMR1.TCCR 寄存器的 CSS[1:0] 位置 “11b”，就将 2 个通道的 TMR 级联。此时，可设定为 16 位计数模式 （用作 1 个 16 位定时器）或者比较匹配计数模式 （通过 TMR1 对 TMR0 的比较匹配进行计数）。

【补充】 “25.5 级联时的运行” 说明单元 0，单元 1 级联时的运行和单元 0 相同。

25.5.1 16 位计数模式

当 TMR0.TCCR.CSS[1:0] 位为 “11b” 时，作为 1 个通道的 16 位定时器 （TMR0 为高 8 位并且 TMR1 为低 8 位）运行。

(1) 计数器清除的指定

- TMR0.TCR.CCLR[1:0]位的设定对16位计数器有效。如果在通过TMR0.TCR.CCLR[1:0]位设定为通过比较匹配进行计数器清除时产生16位比较匹配，就清除16位计数器 （TMR0.TCNT计数器和TMR1.TCNT计数器）。如果设定为通过TMRI0引脚进行计数器清除，也能清除16位计数器 （TMR0.TCNT计数器和TMR1.TCNT计数器）。
- TMR1.TCR.CCLR[1:0]位的设定无效。

(2) 引脚输出

- 根据16位的比较匹配条件，通过TMR0.TCSR.OSA[1:0]位和TMR0.TCSR.OSB[1:0]位控制TMO0引脚的输出。
- 根据低8位的比较匹配条件，通过TMR1.TCSR.OSA[1:0]位和TMR1.TCSR.OSB[1:0]位控制TMO1引脚的输出。

25.5.2 比较匹配计数模式

当 TMR1.TCCR.CSS[1:0] 位为 “11b” 时，TMR1.TCNT 计数器对 TMR0 比较匹配 A 的发生次数进行计数。分别控制 TMR0 和 TMR1，并且根据各通道的设定，控制中断的发生、TMOn （n=0、1）引脚的输出和计数器的清除等。

25.6 中断源

25.6.1 中断源和 DTC 启动

TMRn 的中断源有 CMIAn、 CMIBn 和 OVIn 共 3 种，各中断源和优先级如表 25.6 所示。

能通过 CMIAn 中断或者 CMIBn 中断启动 DTC，而不能通过 TMRn 的中断源启动 DMAC。

表 25.6 TMR 的中断源

名称	中断源	DTC 的启动	优先级
CMIA0	TMR0.TCORA 的比较匹配	能	高
CMIB0	TMR0.TCORB 的比较匹配	能	
OVI0	TMR0.TCNT 的上溢	不能	
CMIA1	TMR1.TCORA 的比较匹配	能	
CMIB1	TMR1.TCORB 的比较匹配	能	
OVI1	TMR1.TCNT 的上溢	不能	
CMIA2	TMR2.TCORA 的比较匹配	能	
CMIB2	TMR2.TCORB 的比较匹配	能	
OVI2	TMR2.TCNT 的上溢	不能	
CMIA3	TMR3.TCORA 的比较匹配	能	
CMIB3	TMR3.TCORB 的比较匹配	能	
OVI3	TMR3.TCNT 的上溢	不能	低

25.6.2 A/D 转换器的启动

能通过 TMR0 或者 TMR2 的比较匹配 A 启动 A/D 转换器（注 1）。

通过在 TMRn.TCSR.ADTE 位为 “1”（允许由比较匹配 A 引起的 A/D 转换开始请求）的状态下产生比较匹配 A，向 A/D 转换器请求开始 A/D 转换。此时，如果在 A/D 转换器侧选择了 8 位定时器的转换触发，就开始 A/D 转换。

注 1. 有关对应的 A/D 转换器的单元，请参照“37. 12 位 A/D 转换器（S12ADa）”和“38. 10 位 A/D 转换器（ADb）”。

表 25.7 A/D 转换器的启动

模块符号	单元	对象	A/D 启动源	A/D 转换开始请求
S12AD	0	TMR0.TCORA 和 TMR0.TCNT	比较匹配	TMTRG0AN_0
	1	TMR2.TCORA 和 TMR2.TCNT		TMTRG0AN_1
AD	0	TMR0.TCORA 和 TMR0.TCNT		TMTRG0AN_0

25.7 使用时的注意事项

25.7.1 模块停止功能的设定

能通过模块停止控制寄存器设定为禁止或者允许 TMR 的运行，初始值为停止 TMR 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

25.7.2 设定周期时的注意事项

如果设定为通过比较匹配进行计数器清除，就在 TCNT 计数器和 TCORA 寄存器、 TCORB 寄存器的值相同的最后 PCLK （在更新 TCNT 计数器相同后的计数值时）清除 TCNT 计数器。因此，计数器的频率用以下表达式表示 （f：计数器的频率， PCLK：工作频率， N：TCORA 寄存器或者 TCORB 寄存器的设定值）。

$$f=PCLK/(N+1)$$

25.7.3 TCNT 计数器的写和计数器清除的竞争

如果在通过 CPU 写 TCNT 计数器的同时产生计数器清除信号，就不写计数器而优先清除计数器。此时序如图 25.13 所示。

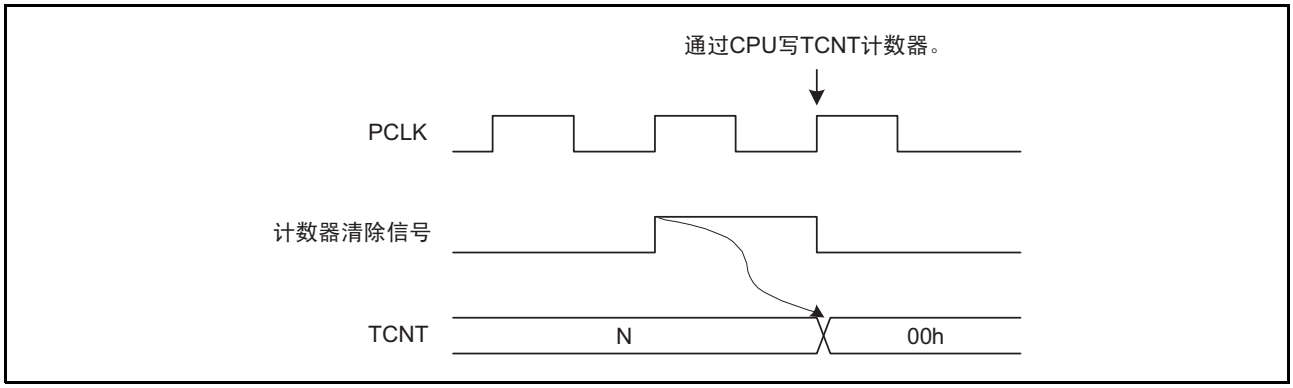


图 25.13 TCNT 计数器的写和计数器清除的竞争

25.7.4 TCNT 计数器的写和递增计数的竞争

即使在通过 CPU 写 TCNT 计数器的同时发生递增计数，也不进行递增计数而优先写 TCNT 计数器。此时序如图 25.14 所示。

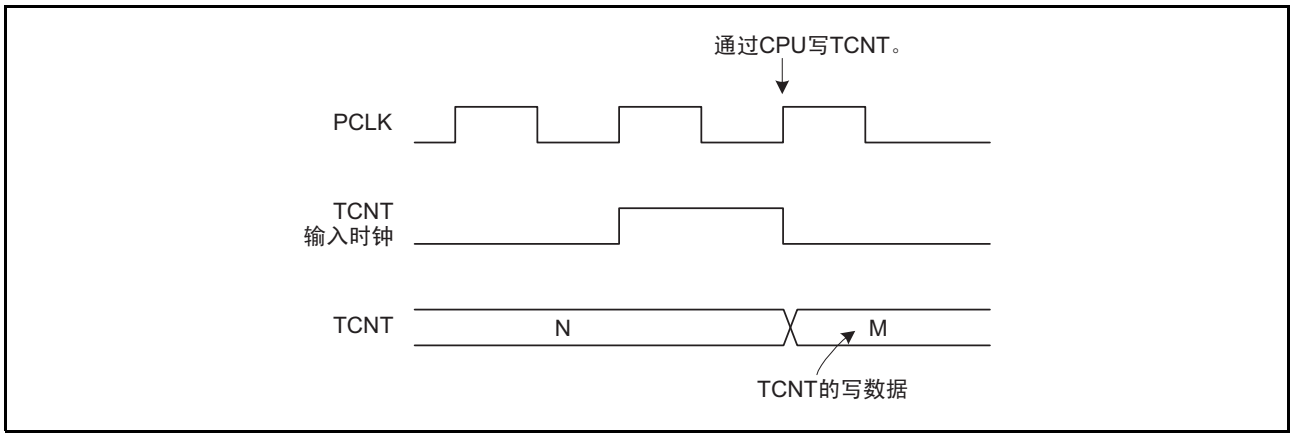


图 25.14 TCNT 计数器的写和递增计数的竞争

25.7.5 TCORA 寄存器、 TCORB 寄存器的写和比较匹配的竞争

如图 25.15 所示，即使在通过 CPU 写 TCORA 寄存器或者 TCORB 寄存器的同时发生比较匹配，也优先写 TCORA 寄存器或者 TCORB 寄存器，而比较匹配信号不变为 High 电平。

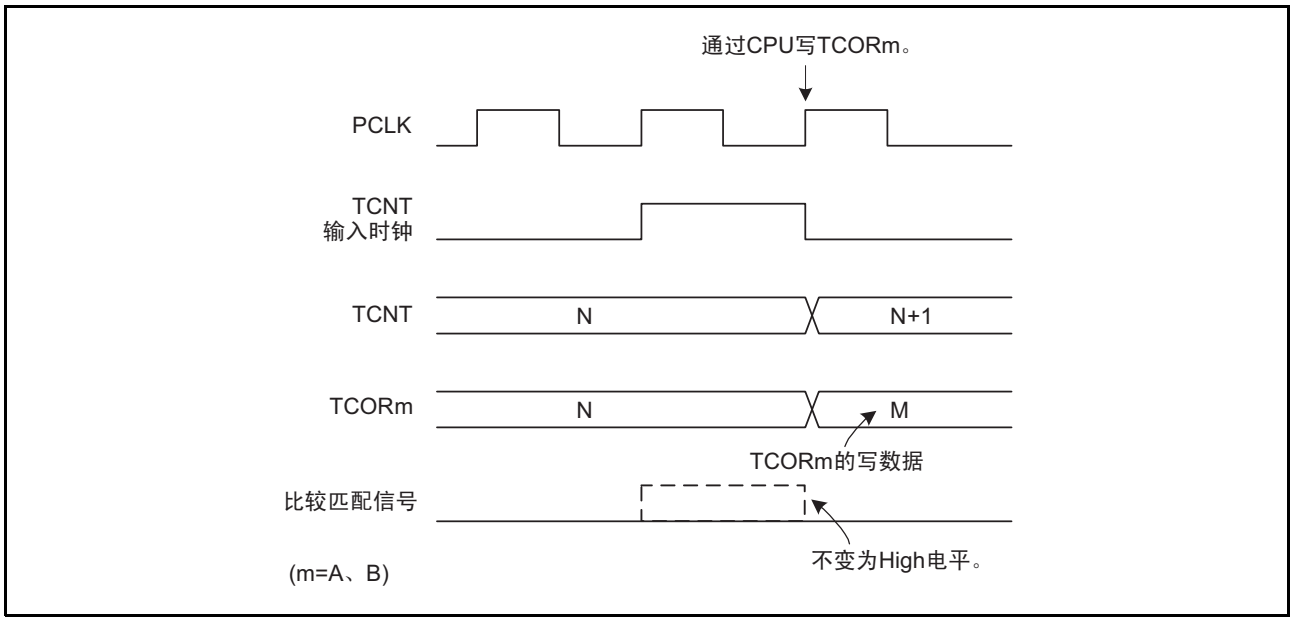


图 25.15 TCORA 寄存器、 TCORB 寄存器的写和比较匹配的竞争

25.7.6 比较匹配 A 和比较匹配 B 的竞争

如果同时产生比较匹配 A 和比较匹配 B，就从比较匹配 A 和比较匹配 B 的输出设定中，进行如表 25.8 所示的优先级高的定时器输出。

表 25.8 定时器输出的优先级

输出的设定	优先级
交替输出	高
High 电平输出	↑
Low 电平输出	
不变	低

25.7.7 分频时钟的转换和 TCNT 计数器的运行

在进行分频时钟的转换时， TCNT 计数器有可能进行了递增计数。分频时钟的转换时序 （TCCR.CKS[2:0] 位的改写）和 TCNT 计数器运行的关系如表 25.9 所示。

在分频时钟生成 TCNT 计数器的时钟的情况下，检测分频时钟的上升沿。因此，如表 25.9 的 No.2 所示，如果进行 Low 电平 →High 电平的时钟转换，就将转换时序视为边沿，产生 TCNT 计数器时钟并且 TCNT 计数器进行了递增计数。

在进行分频时钟和外部时钟的转换时， TCNT 计数器也有可能进行递增计数。

表 25.9 分频时钟的转换和 TCNT 计数器的运行 (1/2)

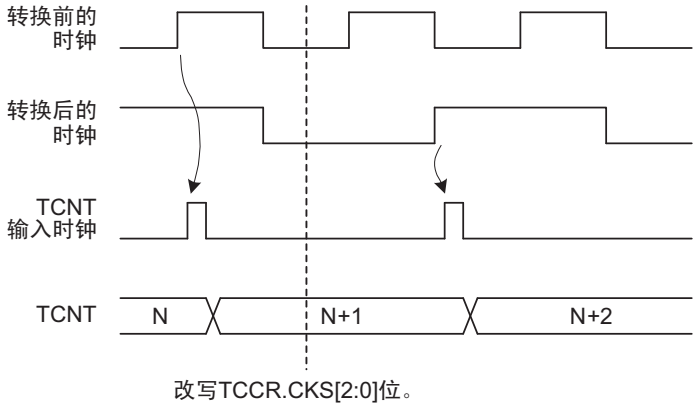
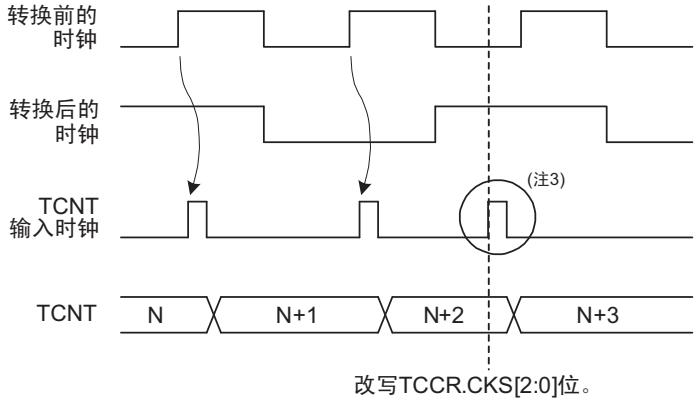
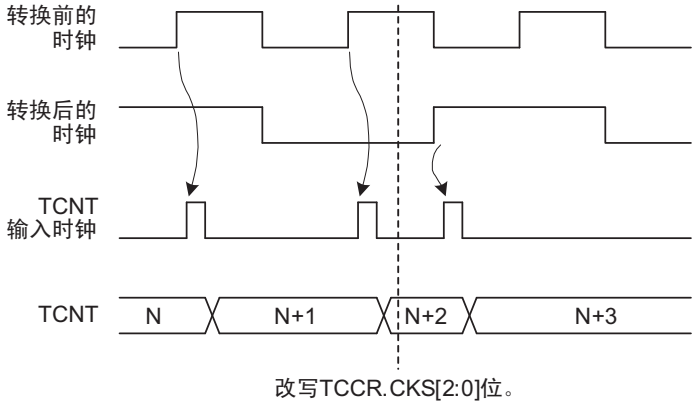
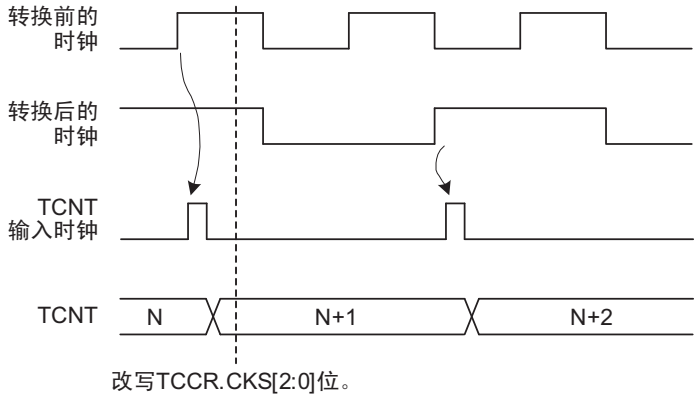
No	TCCR.CKS[2:0] 位的改写时序	TCNT 时钟的运行
1	Low 电平 →Low 电平 （注 1） 的转换	
2	Low 电平 →High 电平 （注 2） 的转换	
3	High 电平 →Low 电平 （注 4） 的转换	

表 25.9 分频时钟的转换和 TCNT 计数器的运行 (2/2)

No	TCCR.CKS[2:0] 位的改写时序	TCNT 时钟的运行
4	High 电平 →High 电平的转换	

注 1. 包括 Low 电平 → 停止和停止 →Low 电平的转换。

注 2. 包括停止 →High 电平的转换。

注 3. 因为将转换时序视为边沿，所以产生了 TCNT 输入时钟，并且 TCNT 进行了递增计数。

注 4. 包括 High 电平 → 停止的转换。

25.7.8 级联时的时钟源设定

如果同时设定 16 位计数模式和比较匹配计数模式，因为不产生 TMR0.TCNT 计数器和 TMR1.TCNT 计数器（TMR2.TCNT 计数器和 TMR3.TCNT 计数器）的输入时钟，所以计数器停止后不再运行。不能进行此设定。

25.7.9 比较匹配中断的连续输出

如果将 TCORA 寄存器或者 TCORB 寄存器置 “00h” 并且将分频时钟设定为 PCLK/1 以及设定为通过比较匹配清除计数器， TCNT 计数器就保持 “00h” 而不更新，并且将比较匹配中断连续输出为电平状态。

此时，中断控制器无法检测到第 2 个以后的中断。

比较匹配中断连续输出的运行时序如图 25.16 所示。

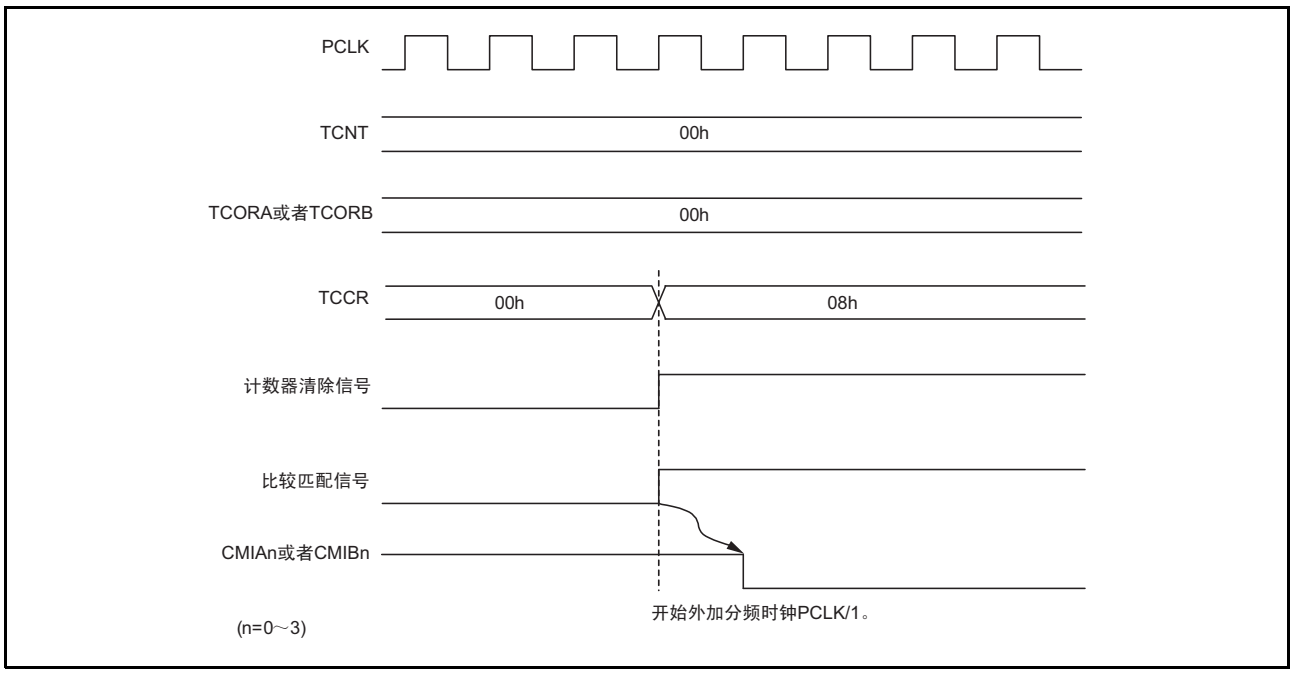


图 25.16 比较匹配中断的连续输出

26. 比较匹配定时器 （CMT）

RX630 群内置由 2 个通道的 16 位定时器构成的比较匹配定时器（CMT），有 2 个单元（单元 0、单元 1），共计 4 个通道。 CMT 有 16 位计数器，能按设定的各周期产生中断。

26.1 概要

CMT 的规格如表 26.1 所示。

CMT （单元 0）的框图如图 26.1 所示。 2 个通道的 CMT 构成 1 个单元，单元 0 和单元 1 的规格相同。

表 26.1 CMT 的规格

项目	功能
计数时钟	• 4 种分频时钟 各通道可分别从 PCLK/8、 PCLK/32、 PCLK/128、 PCLK/512 中选择。
中断	能分别向各通道请求比较匹配中断。
低功耗功能	各单元能设定为模块停止状态。

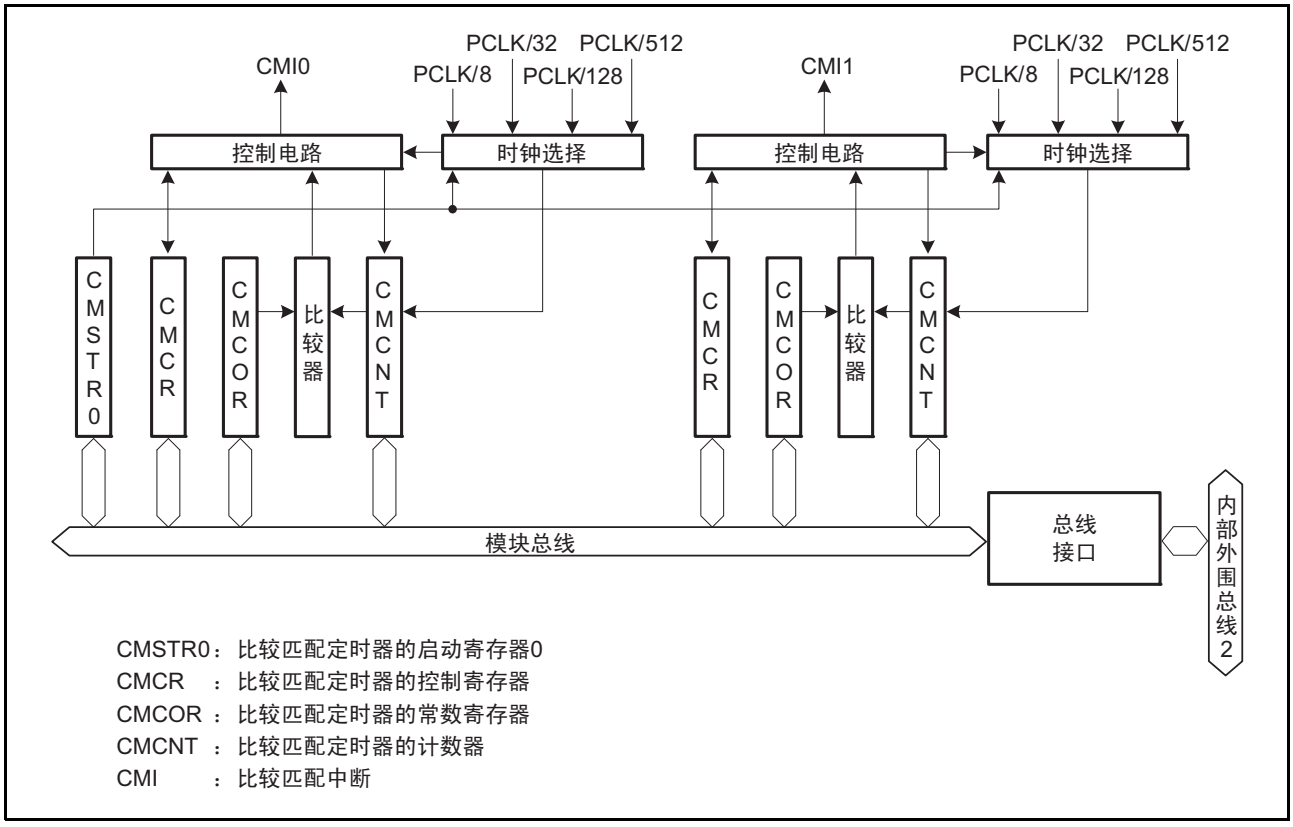


图 26.1 CMT （单元 0）的框图

26.2 寄存器说明

26.2.1 比较匹配定时器的启动寄存器 0 （CMSTR0）

地址 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	STR0	计数开始 0 位	0：CMT0.CMCNT 计数器停止计数 1：CMT0.CMCNT 计数器开始计数	R/W
b1	STR1	计数开始 1 位	0：CMT1.CMCNT 计数器停止计数 1：CMT1.CMCNT 计数器开始计数	R/W
b15-b2	—	保留位	读写值都为 “0”。	R/W

26.2.2 比较匹配定时器的启动寄存器 1 （CMSTR1）

地址 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	STR2	计数开始 2 位	0：CMT2.CMCNT 计数器停止计数 1：CMT2.CMCNT 计数器开始计数	R/W
b1	STR3	计数开始 3 位	0：CMT3.CMCNT 计数器停止计数 1：CMT3.CMCNT 计数器开始计数	R/W
b15-b2	—	保留位	读写值都为 “0”。	R/W

26.2.3 比较匹配定时器的控制寄存器 （CMCR）

地址 CMT0.CMCR 0008 8002h、 CMT1.CMCR 0008 8008h、
CMT2.CMCR 0008 8012h、 CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
复位后的值	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x： 不定值

位	符号	位名	功能	R/W
b1-b0	CKS[1:0]	时钟选择位	b1 b0 0 0：PCLK/8 0 1：PCLK/32 1 0：PCLK/128 1 1：PCLK/512	R/W
b5-b2	—	保留位	读写值都为 “0”。	R/W
b6	CMIE	比较匹配中断允许位	0：禁止比较匹配中断 （CMIn） 1：允许比较匹配中断 （CMIn）	R/W
b7	—	保留位	读取值为不定值，只能写 “1”。	R/W
b15-b8	—	保留位	读写值都为 “0”。	R/W

CKS[1:0] 位 （时钟选择位）

这些位从外围模块时钟 （PCLK）分频后得到的 4 种分频时钟中选择输入到 CMCNT 计数器的计数时钟。

如果将 CMSTRm.STRn 位（m=0、1、n=0 ～ 3）置 “1”，对应的 CMCNT 计数器就通过 CKS[1:0] 位选择的时钟开始递增计数。

CMIE 位 （比较匹配中断允许位）

在 CMCNT 和 CMCOR 的值相同时，此位选择允许或者禁止比较匹配中断 （CMIn）（n=0 ～ 3）的发生。

26.2.4 比较匹配定时器的计数器 （CMCNT）

地址 CMT0.CMCNT 0008 8004h、 CMT1.CMCNT 0008 800Ah、
CMT2.CMCNT 0008 8014h、 CMT3.CMCNT 0008 801Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMCNT 计数器是用于产生中断请求的可读写递增计数器。

如果通过 CMCR.CKS[1:0] 位选择分频时钟并且将 CMSTRm.STRn 位（m=0、1、n=0 ～ 3）置 “1”，CMCNT 计数器就通过该时钟开始递增计数。

如果 CMCNT 计数器的值和 CMCOR 寄存器的值相同，CMCNT 计数器就变为 “0000h”，并且产生比较匹配中断 （CMIn）（n=0 ～ 3）。

26.2.5 比较匹配定时器的常数寄存器 （CMCOR）

地址 CMT0.CMCOR 0008 8006h、 CMT1.CMCOR 0008 800Ch、
CMT2.CMCOR 0008 8016h、 CMT3.CMCOR 0008 801Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CMCOR 寄存器是设定和 CMCNT 计数器的比较匹配周期的可读写寄存器。

26.3 运行说明

26.3.1 周期计数

如果通过 CMCR.CKS[1:0] 位选择分频时钟并且将 CMSTRm.STRn 位（m=0、1、n=0 ～ 3）置“1”，CMCNT 计数器就通过所选时钟开始递增计数。

如果 CMCNT 计数器的值和 CMCOR 寄存器的值相同，CMCNT 计数器就变为“0000h”，并且产生比较匹配中断（CMIn）（n=0 ～ 3）。CMCNT 计数器从“0000h”重新开始递增计数，CMCNT 计数器的运行如图 26.2 所示。

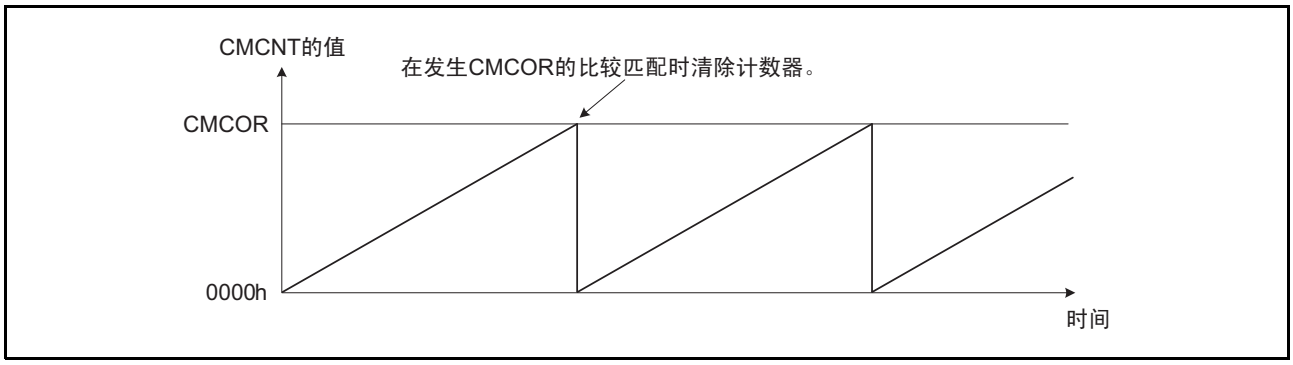


图 26.2 CMCNT 计数器的运行

26.3.2 CMCNT 计数器的计数时序

能通过 CMCR.CKS[1:0] 位从外围模块时钟 （PCLK）分频后得到的 4 种分频时钟 （PCLK/8、 PCLK/32、 PCLK/128、 PCLK/512）中选择 CMCNT 计数器输入的计数时钟，此时的 CMCNT 计数器的计数时序如图 26.3 所示。

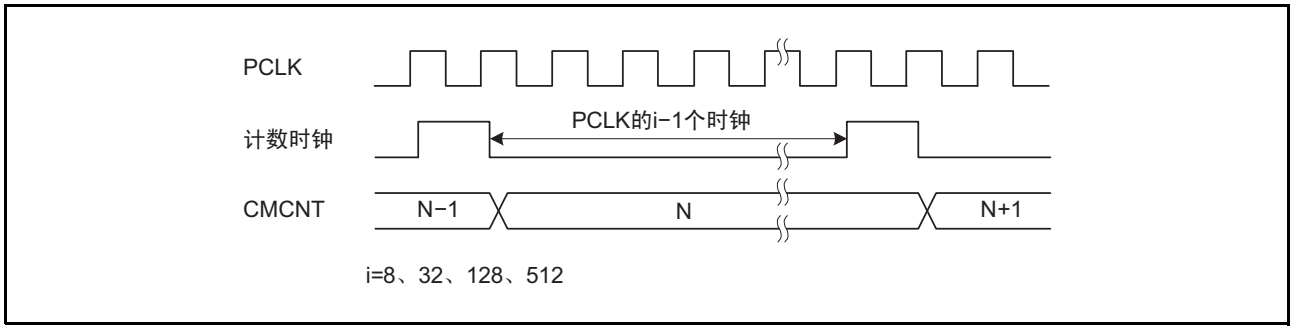


图 26.3 CMCNT 计数器的计数时序

26.4 中断

26.4.1 中断源

CMT 的各通道有比较匹配中断 （CMIn）（n=0 ～ 3），各中断分配有向量地址。如果发生比较匹配中断，就输出对应的中断请求。

在通过中断请求启动 CPU 中断时，能通过设定中断控制器更改通道之间的优先级，详细内容请参照 “15. 中断控制器 （ICUb）”。

表 26.2 CMT 的中断源

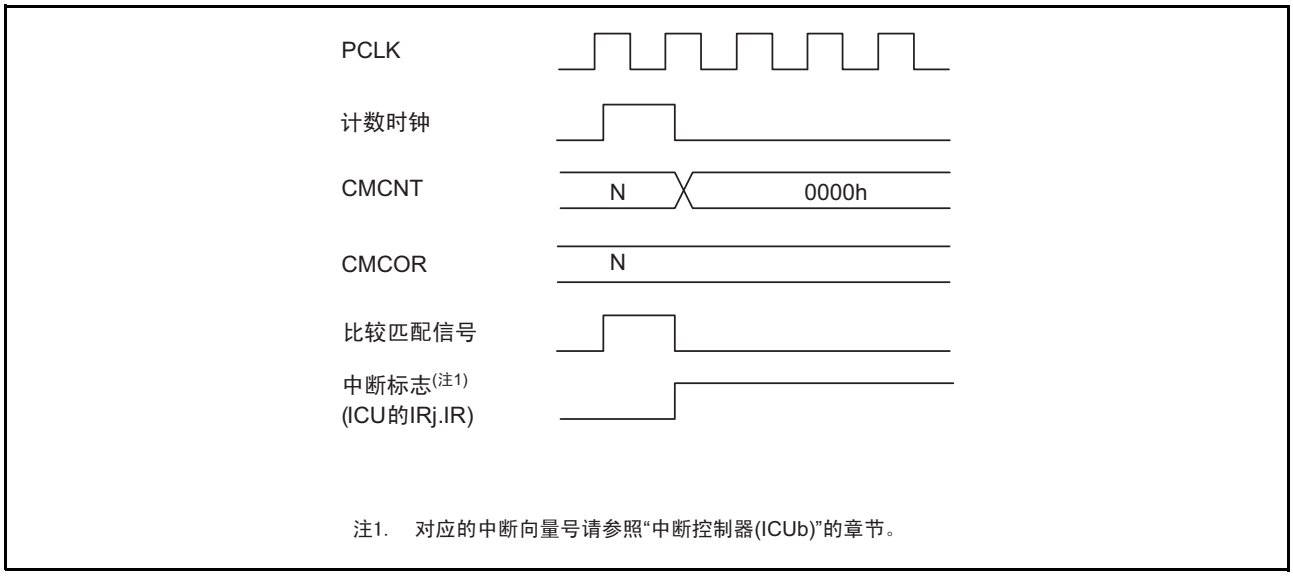
名称	中断源	DTC 的启动	DMAC 的启动
CMI0	CMT0.CMCNT 和 CMT0.CMCOR 的比较匹配	能	能
CMI1	CMT1.CMCNT 和 CMT1.CMCOR 的比较匹配	能	能
CMI2	CMT2.CMCNT 和 CMT2.CMCOR 的比较匹配	能	能
CMI3	CMT3.CMCNT 和 CMT3.CMCOR 的比较匹配	能	能

26.4.2 比较匹配中断的发生时序

在 CMCNT 计数器的值和 CMCOR 寄存器的值相同时，发生比较匹配中断 （CMIn）（n=0 ～ 3）。

在 CMCNT 计数器的值和 CMCOR 寄存器的值相同后的最后状态（在更新 CMCNT 计数器相同后的计数值时）产生比较匹配信号。因此，在从 CMCNT 计数器的值和 CMCOR 寄存器的值相同到发生 CMCNT 输入时钟的期间，不产生比较匹配信号。

中断标志变为 “1” 的时序如图 26.4 所示。



注1. 对应的中断向量号请参照“中断控制器(ICUb)”的章节。

图 26.4 比较匹配中断标志变为 “1” 的时序

26.5 使用时的注意事项

26.5.1 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 CMT 的运行，初始值为停止 CMT 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

26.5.2 CMCNT 计数器的写和比较匹配的竞争

如果在写 CMCNT 计数器的过程中产生比较匹配信号，就不写 CMCNT 计数器而优先清除 CMCNT 计数器。此时序如图 26.5 所示。

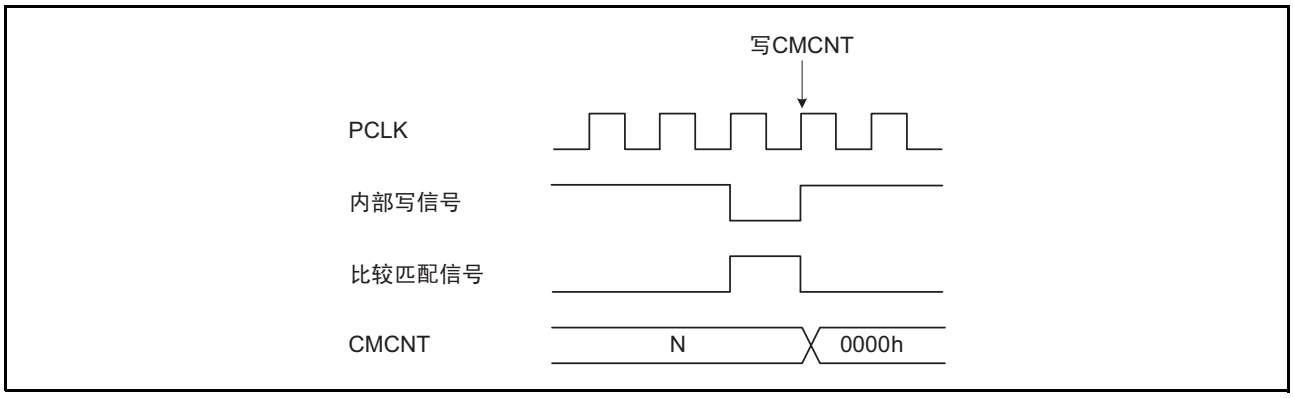


图 26.5 CMCNT 计数器的写和比较匹配的竞争

26.5.3 CMCNT 计数器的写和递增计数的竞争

即使在写 CMCNT 计数器的过程中发生递增计数， CMCNT 计数器也不进行递增计数而优先写 CMCNT 计数器。此时序如图 26.6 所示。

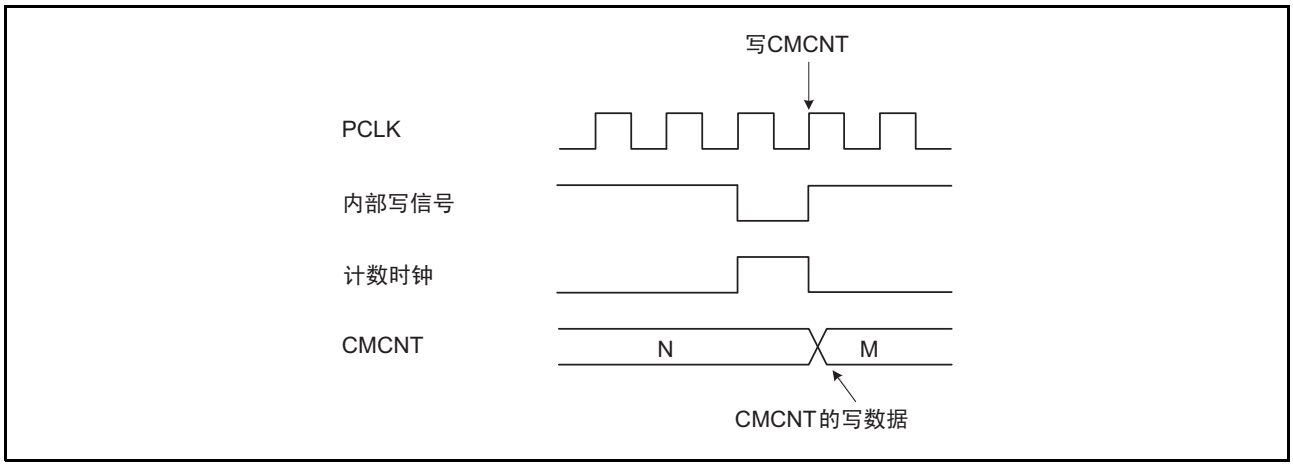


图 26.6 CMCNT 计数器的写和递增计数的竞争

27. 实时时钟 （RTCa）

27.1 概要

RTC 是能对 00 年～ 99 年的 100 年进行计数的时钟计数器。将年的千位和百位视为“20”，自动校正 2000 年～ 2099 年的闰年并且进行计数。

能从 2 种时钟 （副时钟和主时钟）中选择时钟计数器的计数源。

RTC 以通过预分频器将计数源分频后的 128Hz 时钟为基准时钟，并且以年、月、日、星期、上午 / 下午（12 小时模式时）、小时、分钟、秒和 1/128 秒为单位进行计数。

RTC 的规格和输入 / 输出引脚分别如表 27.1 和表 27.2 所示， RTC 的框图如图 27.1 所示。

表 27.1 RTC 的规格

项目	内容
计数源	副时钟 （XCIN）或者主时钟 （EXTAL）
时钟 / 日历功能	• 对年、月、日、星期、小时、分种、秒进行计数和 BCD 显示。 • 用二进制显示 1Hz、 2Hz、 4Hz、 8Hz、 16Hz、 32Hz、 64Hz 的状态。 • 12 小时 /24 小时模式转换功能 • 开始 / 停止功能 • 30 秒调整功能 （在秒数小于 30 秒的情况下，舍去秒数，为 00 秒；在秒数大于等于 30 秒的情况下，向 1 分钟进位） • 闰年自动校正功能 • 1Hz 时钟输出 • 时间误差校正功能
中断	• 闹钟中断 （ALM） 闹钟中断条件可选择与年、月、日、星期、小时、分钟或者秒进行比较。 • 周期中断 （PRD） 中断周期可选择 2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒或者 1/256 秒周期。 • 进位中断 （CUP） 表示向秒计数器进位或者在读 64Hz 计数器时向 64Hz 计数器进位。 • 能通过闹钟中断或者周期中断从软件待机或者深度软件待机返回。
时间捕捉功能	• 能通过 3 个事件输入来捕捉时间。 按每个事件的输入，捕捉月、日、小时、分钟和秒。

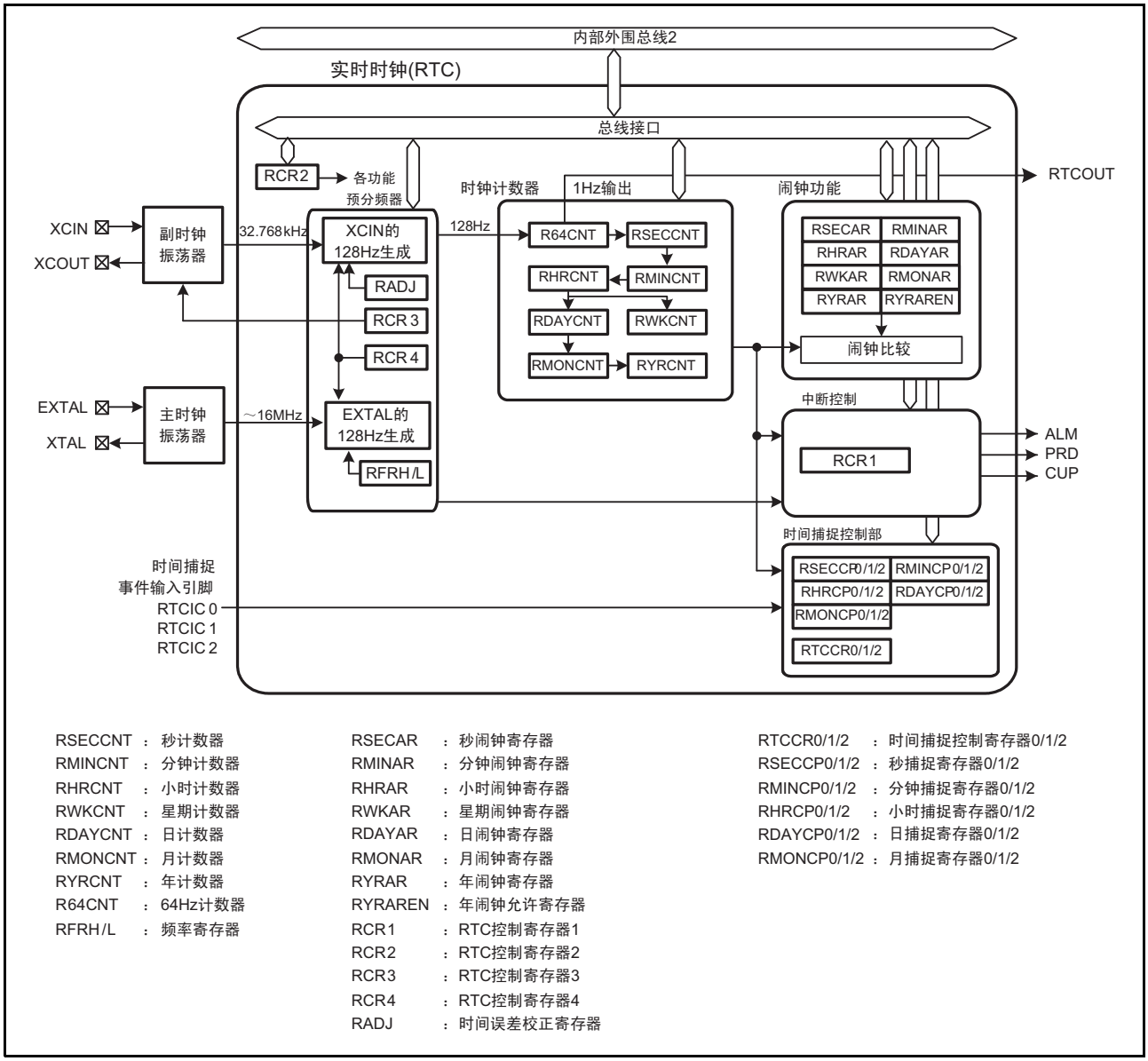


图 27.1 RTC 的框图

表 27.2 RTC 的输入 / 输出引脚

引脚名	输入 / 输出	功能
XCIN	输入	连接用于 RTC 的 32.768kHz 晶体谐振器， XCIN 引脚还能输入外部时钟。
XCOUT	输出	
EXTAL	输入	连接用于主时钟的晶体谐振器，详细内容请参照 “9. 时钟发生电路”。
XTAL	输出	
RTCOUT	输出	输出 1Hz 时钟，但是不在深度软件待机时进行输出。
RTCIC0	输入	时间捕捉的事件输入引脚
RTCIC1	输入	
RTCIC2	输入	

27.2 寄存器说明

必须遵循 “27.5.5 读写寄存器时的注意事项”读写 RTC 的寄存器。

在复位或者深度软件待机模式中，不对 RTC 寄存器的位中复位后的值为 x（不定值）的位进行初始化。在计数过程中 （RCR2.START 位 =1）转移到复位状态或者低功耗状态时，年、月、星期、日、小时、分钟、秒和 64Hz 的计数器继续运行。但是，必须注意：如果在写寄存器以及对寄存器进行更新处理的过程中发生复位，就可能破坏寄存器的值。另外，不能在设定寄存器后立即转移到软件待机模式和深度软件待机模式，详细内容请参照 “27.5.4 有关在设定寄存器后向低功耗模式的转移”。

27.2.1 64Hz 计数器 （R64CNT）

地址 0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
复位后的值	0	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b0	F64HZ	64Hz 位	表示 1Hz ～ 64Hz 的状态。	R
b1	F32HZ	32Hz 位		R
b2	F16HZ	16Hz 位		R
b3	F8HZ	8Hz 位		R
b4	F4HZ	4Hz 位		R
b5	F2HZ	2Hz 位		R
b6	F1HZ	1Hz 位		R
b7	—	保留位	读取值为 “0”，写操作无效。	R

R64CNT 计数器通过 128Hz 时钟进行递增计数，生成秒周期。

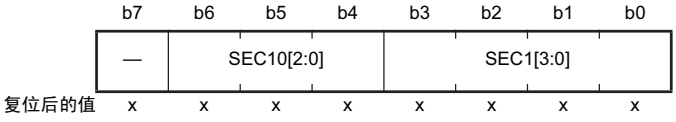
能通过读 R64CNT 计数器，确认秒以下的状态。

如果执行 RTC 软件复位或者 30 秒调整， R64CNT 就变为 “00h”。

在读 R64CNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.2 秒计数器 （RSECCNT）

地址 0008 C402h



x：不定值

位	符号	位名	功能	R/W
b3-b0	SEC1[3:0]	秒的个位计数位	秒的个位按秒进行 0 ～ 9 的计数。如果发生进位，秒的十位就加 1。	R/W
b6-b4	SEC10[2:0]	秒的十位计数位	秒的十位进行 0 ～ 5 的计数，是 60 秒计数。	R/W
b7	—	保留位	必须置 “0”，读取值为 “0”。	R/W

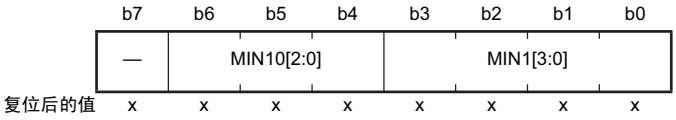
RSECCNT 计数器是对秒部分（BCD 码）进行设定和计数的计数器，通过 64Hz 计数器按秒进位进行计数。

可设定的范围是 10 进制 （BCD）的 00 ～ 59。如果设定其他的值，就不正常运行。另外，必须在通过开始位 （RCR2.START）停止计数后写此计数器。

在读 RSECCNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.3 分钟计数器 （RMINCNT）

地址 0008 C404h



x：不定值

位	符号	位名	功能	R/W
b3-b0	MIN1[3:0]	分钟的个位计数位	分钟的个位按分钟进行 0 ～ 9 的计数。如果发生进位，分钟的十位就加 1。	R/W
b6-b4	MIN10[2:0]	分钟的十位计数位	分钟的十位进行 0 ～ 5 的计数，是 60 分钟计数。	R/W
b7	—	保留位	必须置 “0”，读取值为 “0”。	R/W

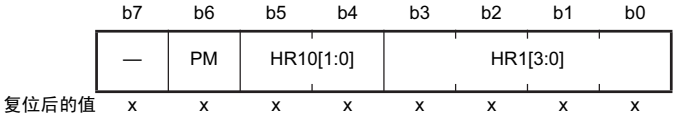
RMINCNT 计数器是对分钟部分（BCD 码）进行设定和计数的计数器，通过秒计数器按分钟进位进行计数。

可设定的范围是 10 进制 （BCD）的 00 ～ 59。如果设定其他的值，就不正常运行。另外，必须在通过开始位 （RCR2.START）停止计数后写此计数器。

在读 RMINCNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.4 小时计数器 （RHRCNT）

地址 0008 C406h



x：不定值

位	符号	位名	功能	R/W
b3-b0	HR1[3:0]	小时的个位计数位	小时的个位按小时进行 0 ～ 9 的计数。如果发生进位、小时的十位就加 1。	R/W
b5-b4	HR10[1:0]	小时的十位计数位	小时的个位每发生一次进位，小时的十位就进行0～2 的计数。	R/W
b6	PM	PM 位	设定小时计数器的 AM/PM。 0：上午 1：下午	R/W
b7	—	保留位	必须置 “0”，读取值为 “0”。	R/W

RHRCNT计数器是对小时部分（BCD码）进行设定和计数的计数器，通过分钟计数器按小时进位进行计数。

根据时间模式位 （RCR2.HR24），小时的可设定范围分别如下：

当 RCR2.HR24 位为 “0”时，为 10 进制 （BCD）的 00 ～ 11。

当 RCR2.HR24 位为 “1”时，为 10 进制 （BCD）的 00 ～ 23。

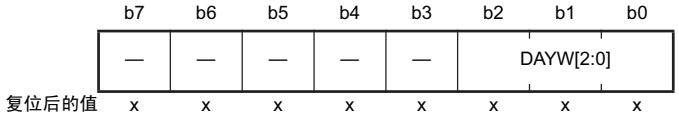
如果设定上述以外的值，就不正常运行。另外，必须在通过开始位 （RCR2.START）停止计数后写此计数器。

在读 RHRCNT 计数器时， PM 位只在 RCR2.HR24 位为 “0”时有效。当 RCR2.HR24 位为 “1”时，必须忽视 PM 位的值。

在读 RHRCNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.5 星期计数器 （RWKCNT）

地址 0008 C408h



x：不定值

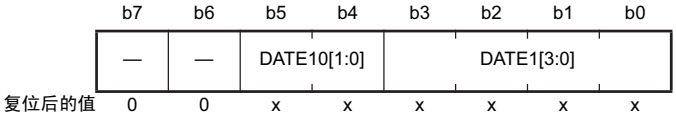
位	符号	位名	功能	R/W
b2-b0	DAYW[2:0]	星期计数位	b2 b0 0 0 0：星期日 0 0 1：星期一 0 1 0：星期二 0 1 1：星期三 1 0 0：星期四 1 0 1：星期五 1 1 0：星期六 1 1 1：不能设定	R/W
b7-b3	—	保留位	必须置 “0”，读取值为 “0”。	R/W

RWKCNT 计数器是对星期部分（BCD 码）进行设定和计数的计数器，通过小时计数器按日进位进行计数。可设定的范围是 10 进制 （BCD）的 0 ～ 6。如果设定其他的值，就不正常运行。另外，必须在通过开始位（RCR2.START）停止计数后写此计数器。

在读 RWKCNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.6 日计数器 （RDAYCNT）

地址 0008 C40Ah



x：不定值

位	符号	位名	功能	R/W
b3-b0	DATE1[3:0]	日的个位计数位	日的个位按日进行 0 ～ 9 的计数。如果发生进位，日的十位就加 1。	R/W
b5-b4	DATE10[1:0]	日的十位计数位	日的个位每发生一次进位，日的十位就进行 0 ～ 3 的计数。	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

RDAYCNT 计数器是对日部分 （BCD 码）进行设定和计数的计数器，通过小时计数器按日进位进行计数，还进行与闰年和月对应的计数。

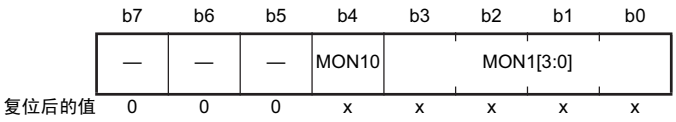
闰年是将年计数器 （RYRCNT）的 00 视为 2000 年，根据是否能被 400、 100 或者 4 整除，计算 2000 年～2099 年的闰年。

可设定的范围是 10 进制 （BCD）的 01 ～ 31。如果设定其他的值，就不正常运行 （可设定的范围因月和闰年而不同，必须在确认后进行设定）。另外，必须在通过开始位 （RCR2.START）停止计数后写此计数器。

在读 RDAYCNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.7 月计数器 （RMONCNT）

地址 0008 C40Ch



x：不定值

位	符号	位名	功能	R/W
b3-b0	MON1[3:0]	月的个位计数位	月的个位按月进行 0 ～ 9 的计数。如果发生进位，月的十位就加 1。	R/W
b4	MON10	月的十位计数位	月的个位每发生一次进位，月的十位就进行 0 ～ 1 的计数。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

RMONCNT 计数器是对月部分 （BCD 码）进行设定和计数的计数器，通过日计数器按月进位进行计数。

可设定的范围是 10 进制 （BCD）的 01 ～ 12。如果设定其他的值，就不正常运行。另外，必须在通过开始位 （RCR2.START）停止计数后写此计数器。

在读 RMONCNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.8 年计数器 （RYRCNT）

地址 0008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
复位后的值	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	YR1[3:0]	年的个位计数位	年的个位按年进行 0 ～ 9 的计数。如果发生进位，年的十位就加 1。	R/W
b7-b4	YR10[3:0]	年的十位计数位	年的个位每发生一次进位，年的十位就进行 0 ～ 9 的计数。	R/W
b15-b8	—	保留位	读写值都为 “0”。	R/W

RYRCNT 计数器是对年部分 （BCD 码）进行设定和计数的计数器，通过月计数器按年进位进行计数。

可设定的范围是 10 进制 （BCD）的 00 ～ 99。如果设定其他的值，就不正常运行。另外，必须在通过开始位 （RCR2.START）停止计数后写此计数器。

在读 RYRCNT 时，必须遵循 “27.3.5 64Hz 计数器和时间的读取步骤”。

27.2.9 秒闹钟寄存器 （RSECAR）

地址 0008 C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	SEC10[2:0]			SEC1[3:0]			
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	SEC1[3:0]	1 秒位	秒的个位设定值	R/W
b6-b4	SEC10[2:0]	10 秒位	秒的十位设定值	R/W
b7	ENB	ENB 位	如果为“1”，就和 RSECCNT 计数器的值进行比较。	R/W

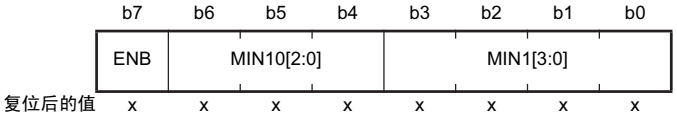
RSECAR 寄存器是与秒部分（BCD 码）的计数器（RSECCNT）对应的闹钟寄存器。如果 ENB 位为“1”，就将 RSECAR 寄存器的值和 RSECCNT 计数器的值进行比较。只对 ENB 位为 “1” 的闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）进行计数器和闹钟寄存器的比较，当各自的值全部相同时， ICU 的 IR92.IR 标志变为 “1”。

秒的可设定范围是 10 进制 （BCD）的 00 ～ 59。如果设定其他的值，就不正常运行。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RSECAR 寄存器就变为 “00h”。

27.2.10 分钟闹钟寄存器 （RMINAR）

地址 0008 C412h



x：不定值

位	符号	位名	功能	R/W
b3-b0	MIN1[3:0]	1 分钟位	分钟的个位设定值	R/W
b6-b4	MIN10[2:0]	10 分钟位	分钟的十位设定值	R/W
b7	ENB	ENB 位	如果为“1”，就和RMINCNT计数器的值进行比较。	R/W

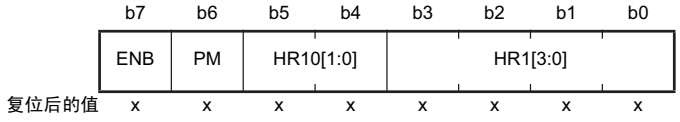
RMINAR 寄存器是与分钟部分 （BCD 码）的计数器 （RMINCNT）对应的闹钟寄存器。如果 ENB 位为“1”，就将 RMINAR 寄存器的值和 RMINCNT 计数器的值进行比较。只对 ENB 位为 “1”的闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）进行计数器和闹钟寄存器的比较，当各自的值全部相同时， ICU 的 IR92.IR 标志变为 “1”。

分钟的可设定范围是 10 进制 （BCD）的 00 ～ 59 位。如果设定其他的值，就不正常运行。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RMINAR 寄存器就变为 “00h”。

27.2.11 小时闹钟寄存器 （RHRAR）

地址 0008 C414h



x：不定值

位	符号	位名	功能	R/W
b3-b0	HR1[3:0]	1 小时位	小时的个位设定值	R/W
b5-b4	HR10[1:0]	10 小时位	小时的十位设定值	R/W
b6	PM	PM 位	设定小时闹钟的 AM/PM。 0：上午 1：下午	R/W
b7	ENB	ENB 位	如果为“1”，就和 RHRCNT 计数器的值进行比较。	R/W

RHRAR 寄存器是与小时部分（BCD 码）的计数器（RHRCNT）对应的闹钟寄存器。如果 ENB 位为“1”，就将 RHRAR 寄存器的值和 RHRCNT 计数器的值进行比较。只对 ENB 位为 “1”的闹钟寄存器 （RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）进行计数器和闹钟寄存器的比较，当各自的值全部相同时， ICU 的 IR92.IR 标志变为 “1”。

根据时间模式位 （RCR2.HR24），小时的可设定范围分别如下：

当 RCR2.HR24 位为 “0”时，为 10 进制 （BCD）的 00 ～ 11。

当 RCR2.HR24 位为 “1”时，为 10 进制 （BCD）的 00 ～ 23。

如果设定上述以外的值，就不正常运行。

当 RCR2.HR24 位为 “0”时，也必须设定 PM 位。

当 RCR2.HR24 位为 “1”时， PM 位的值无效。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RHRAR 寄存器就变为 “00h”。

27.2.12 星期闹钟寄存器 （RWKAR）

地址 0008 C416h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	DAYW[2:0]		
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b2-b0	DAYW[2:0]	星期的设定值位	b2 b0 0 0 0：星期日 0 0 1：星期一 0 1 0：星期二 0 1 1：星期三 1 0 0：星期四 1 0 1：星期五 1 1 0：星期六 1 1 1：不能设定	R/W
b6-b3	—	保留位	必须置 “0”，读取值为 “0”。	R/W
b7	ENB	ENB 位	如果为“1”，就和 RWKCNT 计数器的值进行比较。	R/W

RWKAR 寄存器是与星期部分 （BCD 码）的计数器 （RWKCNT）对应的闹钟寄存器。如果 ENB 位为 “1” ，就将 RWKAR 寄存器的值和 RWKCNT 计数器的值进行比较。只对 ENB 位为 “1” 的闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）进行计数器和闹钟寄存器的比较，当各自的值全部相同时， ICU 的 IR92.IR 标志变为 “1”。

星期的可设定范围是 10 进制 （BCD）的 0 ～ 6。如果设定其他的值，就不正常运行。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RWKAR 寄存器就变为 “00h”。

27.2.13 日闹钟寄存器 （RDAYAR）

地址 0008 C418h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	DATE10[1:0]		DATE1[3:0]			
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	DATE1[3:0]	1 日位	日的个位设定值	R/W
b5-b4	DATE10[1:0]	10 日位	日的十位设定值	R/W
b6	—	保留位	必须置 “0”，读取值为 “0”。	R/W
b7	ENB	ENB 位	如果为“1”，就和 RDAYCNT 计数器的值进行比较。	R/W

RDAYAR 寄存器是与日部分 （BCD 码）的计数器 （RDAYCNT）对应的闹钟寄存器。如果 ENB 位为 “1” ，就将 RDAYAR 寄存器的值和 RDAYCNT 计数器的值进行比较。只对 ENB 位为 “1” 的闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）进行计数器和闹钟寄存器的比较，当各自的值全部相同时， ICU 的 IR92.IR 标志变为 “1”。

日的可设定范围是 10 进制 （BCD）的 01 ～ 31。如果设定其他的值，就不正常运行。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RDAYAR 寄存器就变为 “00h”。

27.2.14 月闹钟寄存器 （RMONAR）

地址 0008 C41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	MON10	MON1[3:0]			
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	MON1[3:0]	1 月位	月的个位设定值	R/W
b4	MON10	10 月位	月的十位设定值	R/W
b6-b5	—	保留位	必须置 “0”，读取值为 “0”。	R/W
b7	ENB	ENB 位	如果为“1”，就和RMONCNT计数器的值进行比较。	R/W

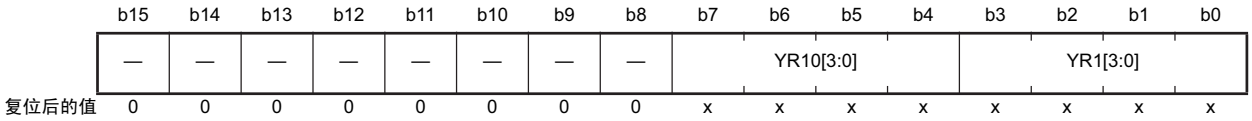
RMONAR 寄存器是与月部分 （BCD 码）的计数器 （RMONCNT）对应的闹钟寄存器。如果 ENB 位为 “1”，就将 RMONAR 寄存器的值和 RMONCNT 计数器的值进行比较。只对 ENB 位为 “1” 的闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）进行计数器和闹钟寄存器的比较，当各自的值全部相同时， ICU 的 IR92.IR 标志变为 “1”。

月的可设定范围是 10 进制 （BCD）的 01 ～ 12。如果设定其他的值，就不正常运行。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RMONAR 寄存器就变为 “00h”。

27.2.15 年闹钟寄存器 （RYRAR）

地址 0008 C41Ch



x：不定值

位	符号	位名	功能	R/W
b3-b0	YR1[3:0]	1 年位	年的个位设定值	R/W
b7-b4	YR10[3:0]	10 年位	年的十位设定值	R/W
b15-b8	—	保留位	读写值都为 “0”。	R/W

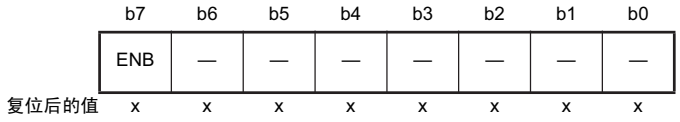
RYRAR 寄存器是与年部分 （BCD 码）的计数器 （RYRCNT）对应的闹钟寄存器。

年的可设定范围是 10 进制 （BCD）的 00 ～ 99。如果设定其他的值，就不正常运行。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RYRAR 寄存器就变为 “0000h”。

27.2.16 年闹钟允许寄存器 （RYRAREN）

地址 0008 C41Eh



x：不定值

位	符号	位名	功能	R/W
b6-b0	—	保留位	必须置 “0”，读取值为 “0”。	R/W
b7	ENB	ENB 位	如果为 “1”，就和 RYRCNT 计数器的值进行比较。	R/W

如果 RYRAREN 寄存器的 ENB 位为 “1”，就将 RYRAR 寄存器的值和 RYRCNT 计数器的值进行比较。只对 ENB 位为 “1” 的闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）进行计数器和闹钟寄存器的比较，当各自的值全部相同时， ICU 的 IR92.IR 标志变为 “1”。

如果将 RTC 软件复位的位 （RCR2.RESET）置 “1”， RYRAREN 寄存器就变为 “00h”。

27.2.17 RTC 控制寄存器 1 （RCR1）

地址 0008 C422h

	b7	b6	b5	b4	b3	b2	b1	b0
	PES[3:0]				—	PIE	CIE	AIE
复位后的值	x	x	x	x	0	x	0	x

x：不定值

位	符号	位名	功能	R/W
b0	AIE	闹钟中断允许位	0：不允许闹钟中断请求 1：允许闹钟中断请求	R/W
b1	CIE	进位中断允许位	0：不允许进位中断请求 1：允许进位中断请求	R/W
b2	PIE	周期中断允许位	0：不允许周期中断请求 1：允许周期中断请求	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b7-b4	PES[3:0]	周期中断选择位	b7 b4 0 1 1 0：将周期中断的发生周期设定为每 1/256 秒（但是，在选择为主时钟的情况下（RCR4.RCKSEL=1）， PES[3:0] 位为 “0110b” 的中断发生周期是每 1/128 秒。） 0 1 1 1：将周期中断的发生周期设定为每 1/128 秒 1 0 0 0：将周期中断的发生周期设定为每 1/64 秒 1 0 0 1：将周期中断的发生周期设定为每 1/32 秒 1 0 1 0：将周期中断的发生周期设定为每 1/16 秒 1 0 1 1：将周期中断的发生周期设定为每 1/8 秒 1 1 0 0：将周期中断的发生周期设定为每 1/4 秒 1 1 0 1：将周期中断的发生周期设定为每 1/2 秒 1 1 1 0：将周期中断的发生周期设定为每 1 秒 1 1 1 1：将周期中断的发生周期设定为每 2 秒 上述以外：不发生周期中断	R/W

与计数源同步更新 AIE 位、 PIE 位和 PES[3:0] 位。如果改写 RCR1 寄存器，就必须在确认全部位的值已被更新后执行下一个处理。

AIE 位 （闹钟中断允许位）

此位选择允许或者禁止闹钟中断请求。

如果在深度软件待机中计数器和闹钟时间相同，就从深度软件待机返回，与 AIE 位的设定无关。

CIE 位 （进位中断允许位）

此位选择允许或者禁止在向秒计数器 （RMINCNT）进位或者在读 64Hz 计数器 （R64CNT）时向 64Hz 计数器进位的情况下产生的中断请求。

PIE 位 （周期中断允许位）

此位选择允许或者禁止周期中断请求。

如果在深度软件待机时和 PES[3:0] 位所选周期相同，就从深度软件待机返回，与 PIE 位的设定无关。

PES[3:0] 位 （周期中断选择位）

这些位设定周期中断的周期。根据 PES[3:0] 位设定的周期，定期产生周期中断 （PRD）源。

27.2.18 RTC 控制寄存器 2 （RCR2）

地址 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
复位后的值	x	x	x	x	0	0	0	x

x：不定值

位	符号	位名	功能	R/W
b0	START	开始位	0：年、月、星期、日、小时、分钟、秒、 64Hz 计数器和预分频器停止运行。 1：年、月、星期、日、小时、分钟、秒、 64Hz 计数器和预分频器正常运行。	R/W
b1	RESET	RTC 软件复位的位	• 写时 0：写操作无效 1：对预分频器和 RTC 软件复位对象寄存器进行复位 • 读时 0：时钟正常运行或者 RTC 软件复位结束 1：正在进行 RTC 软件复位	R/W
b2	ADJ30	30 秒调整位	• 写时 0：写操作无效 1：进行 30 秒调整 • 读时 0：时钟正常运行或者 30 秒调整结束 1：正在进行 30 秒调整	R/W
b3	RTCOE	RTCOUT 输出控制位	0：不从引脚输出 RTCOUT 1：从引脚输出 RTCOUT	R/W
b4	AADJE	自动校正功能允许位（注 1）	0：禁止自动校正功能 1：允许自动校正功能	R/W
b5	AADJP	自动校正周期选择位（注 1）	0：每分钟从预分频器的计数值加减 RADJ.ADJ[5:0] 位的值 1：每 10 秒从预分频器的计数值加减 RADJ.ADJ[5:0] 位的值	R/W
b6	HR24	时间模式位	0：RTC 以 12 小时模式运行 1：RTC 以 24 小时模式运行	R/W
b7	—	保留位	必须置 “0”，读取值为 “0”。	R/W

注 1. 在选择主时钟的情况下， AADJE 位和 AADJP 位的设定无效。

START 位 （开始位）

此位控制预分频器和计数器 （时钟）的停止或者运行。

与计数源同步更新 START 位。如果改写 START 位，就必须在确认此值已被更新后执行下一个处理。

RESET 位 （RTC 软件复位的位）

此位对预分频器和 RTC 软件复位对象寄存器进行初始化。

如果给 RESET 位写 “1”，就与计数源同步进行初始化，一旦初始化结束， RESET 位自动变为 “0”。

如果 RESET 位已被写 “1”，就必须在确认此位已变为 “0”后执行下一个处理。

ADJ30 位 （30 秒调整位）

这是进行 30 秒调整的位。

在给 ADJ30 位写 “1”的情况下，如果 RSECCNT 计数器的值小于 30 秒，就舍去秒数据，为 00 秒；如果大于等于 30 秒，就向 1 分钟进位。

与计数源同步进行 30 秒调整。在给 ADJ30 位写 “1”的情况下，一旦 30 秒调整结束， ADJ30 位自动变为 “0”，必须在确认 ADJ30 位已变为 “0”后执行下一个处理。

如果进行 30 秒调整，也对预分频器和 R64CNT 计数器进行复位。

如果执行 RTC 软件复位， ADJ30 位就变为 “0”。

RTCOE 位 （RTCOUT 输出控制位）

此位控制 RTCOUT （1Hz 时钟）的输出。

必须在通过 START 位停止计数后改写 RTCOE 位。不能在停止计数 （给 START 位写 “0”）的同时改写 RTCOE 位的值。

要将 1Hz 时钟输出到外部引脚时，必须将 RTCOE 位和端口控制都置为有效。

AADJE 位 （自动校正功能允许位）

此位控制禁止或者允许自动校正功能。

必须在将加减位 （RADJ.PMADJ[1:0]）置 “00h”（不校正）后改写 AADJE 位。

如果执行 RTC 软件复位， AADJE 位就变为 “0”。

AADJP 位 （自动校正周期选择位）

此位选择自动校正周期。

必须在将加减位 （RADJ.PMADJ[1:0]）置 “00h”（不校正）后改写 AADJP 位。

如果执行 RTC 软件复位， AADJP 位就变为 “0”。

HR24 位 （时间模式位）

此位指定 RTC 运行模式是 12 小时模式还是 24 小时模式。

必须在通过 START 位停止计数后改写 HR24 位，而且不能和 START 位同时改写 HR24 位的值。

27.2.19 RTC 控制寄存器 3 （RCR3）

地址 0008 C426h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RTCEN
复位后的值	0	0	0	0	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b0	RTCEN	副时钟振荡器控制位	0：禁止从副时钟振荡器输入时钟 1：允许从副时钟振荡器输入时钟	R/W
b3-b1	—	保留位	必须置 “110b”，读取值为 “110b”。	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

RCR3 寄存器在 VBATT 运行过程中控制时钟发生电路的副时钟振荡器。

在正常运行过程中，通过时钟发生电路的寄存器来控制副时钟振荡器。但是，在 VBATT 运行时，因为 VCC 电压被切断而无法保持时钟发生电路的寄存器值，所以通过 RCR3 寄存器来控制副时钟振荡器。

当使用副时钟 （RCR4.RCKSEL 位 =0）时，必须在转移到 VBATT 运行前设定 RCR3 寄存器的值。

27.2.20 RTC 控制寄存器 4 （RCR4）

地址 0008 C428h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL
复位后的值	0	0	0	0	0	0	0	x

x：不定值

位	符号	位名	功能	R/W
b0	RCKSEL	计数源选择位	0：选择副时钟 1：选择主时钟	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

当将 RCKSEL 位置 “0”时，使用副时钟进行时钟计数；当将 RCKSEL 位置 “1”时，使用主时钟进行时钟计数。

RCKSEL 位 （计数源选择位）

从副时钟和主时钟中选择计数源。

在接通电源后到进行 RTC 的寄存器初始设定前，只能选择 1 次计数源。

27.2.21 频率寄存器 H/L （RFRH/L）

• RFRH 寄存器

地址 0008 C42Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC[16]
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

x：不定值

• RFRL 寄存器

地址 0008 C42Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFC[15:0]															
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定值

- RFRH 寄存器

位	符号	位名	功能	R/W
b0	RFC[16]	频率比较值	为了从主时钟生成工作时钟，给此位设定 128Hz 时钟周期的比较值。	R/W
b15-b1	—	保留位	读写值都为 “0”。	R/W

- RFRL 寄存器

位	符号	位名	功能	R/W
b15-b0	RFC[15:0]	频率比较值	为了从主时钟生成工作时钟，给这些位设定 128Hz 时钟周期的比较值。	R/W

RFRH/L 寄存器控制选择主时钟运行时的预分频器。

RTC 的时钟计数器以 128Hz 时钟为基准时钟运行。因此，在主时钟运行时，通过预分频器对主时钟进行分频来生成 128Hz 时钟。为了从主时钟频率生成 128Hz，给 RFC[16:0] 位设定频率比较值。必须根据主时钟频率更改频率比较值，计算方法请参照以下内容。

频率比较值的可设定范围是 0000 0007h ～ 0001 FFFFh。如果设定其他的值，就不正常运行。必须在通过开始位 （RCR2.START）停止计数后写此寄存器。

如果主时钟频率大于等于 16.778MHz，就不能进行设定。

外围模块时钟的工作频率必须大于等于主时钟的工作频率。

- 频率比较值的计算方法

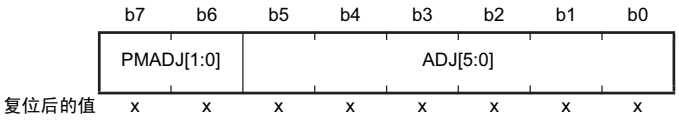
  RFC[16:0]= 主时钟频率 ÷128–1

表 27.3 通过主时钟频率进行的 RFRH/L 寄存器设定例子

主时钟频率	RFRH/L 寄存器的设定值
4MHz	0000 7A11h
8MHz	0000 F423h
10MHz	0001 312Ch
12MHz	0001 6E35h
16MHz	0001 E847h

27.2.22 时间误差校正寄存器 （RADJ）

地址 0008 C42Eh



x：不定值

位	符号	位名	功能	R/W
b5-b0	ADJ[5:0]	校正值位	设定误差校正值。	R/W
b7-b6	PMADJ[1:0]	加减位	b7 b6 0 0：不进行校正 0 1：调快时钟 1 0：调慢时钟 1 1：不能设定	R/W

根据误差校正值将时钟调快或者调慢来进行校正。

只有在选择副时钟运行时 RADJ 寄存器的设定才有效。

在选择主时钟的情况下，即使给 RADJ 寄存器设定值也不进行校正。

当自动校正功能允许位 （RCR2.AADJE）为 “0”时，在写 RADJ 寄存器时进行校正。

当 RCR2.AADJE 位为 “1”时，通过自动校正周期选择位 （RCR2.AADJP）设定的间隔进行校正。

在通过软件进行校正时，如果在设定寄存器后的 320 个计数源周期以内设定下一个校正值，上次的校正设定就可能无效。因此，要连续进行校正时，必须在设定寄存器并且等待 320 个计数源周期后再次进行设定。

与计数源同步更新 RADJ 寄存器。如果改写 RADJ 寄存器，就必须在确认全部位的值已被更新后执行下一个处理。

如果执行 RTC 软件复位， RADJ 就变为 “00h”。

ADJ[5:0] 位 （校正值位）

根据时间误差设定校正值 （副时钟的时钟周期数）。

PMADJ[1:0] 位 （加减位）

根据 ADJ[5:0] 位设定的误差校正值选择调快或者调慢时钟。

27.2.23 时间捕捉控制寄存器 y （RTCCRy）（y=0 ～ 2）

地址 RTCCR0 0008 C440h、RTCCR1 0008 C442h、RTCCR2 0008 C444h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCEN	—	TCNF[1:0]		—	TCST	TCCT[1:0]	
复位后的值	x	0	x	x	0	x	x	x

x：不定值

位	符号	位名	功能	R/W
b1-b0	TCCT[1:0]	时间捕捉控制位	b1 b0 0 0：不进行事件检测 0 1：上升沿检测 1 0：下降沿检测 1 1：双边沿检测	R/W
b2	TCST	时间捕捉状态位	表示检测到事件。 能通过写 “0” 将此位置 “0”。 0：未检测到事件 1：检测到事件 （注 1）	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b5-b4	TCNF[1:0]	时间捕捉噪声滤波器控制位	b5 b4 0 0：噪声滤波器 OFF 0 1：不能设定 1 0：噪声滤波器 ON （计数源） 1 1：噪声滤波器 ON （计数源的 32 分频）	R/W
b6	—	保留位	读写值都为 “0”。	R/W
b7	TCEN	时间捕捉事件输入引脚允许位	0：RTCICn 引脚作为时间捕捉事件输入引脚无效 1：RTCICn 引脚作为时间捕捉事件输入引脚有效 （n=0 ～ 2）	R/W

注 1. 写 “1” 无效。

RTCCR0 寄存器控制 RTCIC0 引脚，RTCCR1 寄存器控制 RTCIC1 引脚，RTCCR2 寄存器控制 RTCIC2 引脚。

与计数源同步更新 RTCCRy 寄存器。如果改写 RTCCRy 寄存器，就必须在确认除 TCST 位以外的全部位的值已被更新后执行下一个处理。

如果执行 RTC 软件复位， RTCCRy 就变为 “00h”。

TCCT[1:0] 位 （时间捕捉控制位）

这些位控制时间捕捉事件输入引脚 （RTCIC0、 RTCIC1、 RTCIC2）的边沿检测。

可选择要检测的边沿。必须在 TCEN 位为 “1” 的状态下设定 TCCT[1:0] 位。

TCST 位 （时间捕捉状态位）

此位表示检测到时间捕捉事件输入引脚 （RTCIC0、 RTCIC1、 RTCIC2）的事件。

当 TCST 位为 “0”时，表示未检测到事件。

当 TCST 位为 “1”时，表示检测到对应引脚的事件，并且对应的捕捉寄存器有效。如果多次检测到事件，就保持第一次的捕捉时间。

如果在停止计数时 （RCR2.START 位为 “0”）检测到事件，就不能保证捕捉到的值。为了放弃捕捉到的值，必须在将 TCST 位置 “0”后再使用。

能通过给 TCST 位写 “0”，将 TCST 位置 “0”。如果写 “0”以外的值，写操作就无效。

必须在将 TCCT[1:0] 位置 “00b”（不进行事件检测）的状态下将 TCST 位置 “0”。

TCST 位与计数源同步变为“0”。如果将 TCST 位置“0”，就必须在确认此值已被更新后执行下一个处理。

TCNF[1:0] 位 （时间捕捉噪声滤波器控制位）

这些位控制时间捕捉事件输入引脚 （RTCIC0、 RTCIC1、 RTCIC2）的噪声滤波器。

当噪声滤波器为 ON 时，可选择计数源的 1 分频或者 32 分频。此时，如果时间捕捉事件输入引脚的输入电平在选择的采样间隔中 3 次相同，就决定输入电平。

必须在将 TCCT[1:0] 位置 “00b”（不进行事件检测）的状态下设定 TCNF[1:0] 位。在使用噪声滤波器时，必须在设定 TCNF[1:0] 位并且等待 3 个所设采样周期后设定 TCCT[1:0] 位。必须在 TCEN 位为 “1”的状态下设定 TCNF[1:0] 位。

TCEN 位 （时间捕捉事件输入引脚允许位）

此位控制时间捕捉事件输入引脚 （RTCIC0、 RTCIC1、 RTCIC2）的有效或者无效。

在多路复用时间捕捉事件输入引脚（RTCIC0、RTCIC1、RTCIC2）时，必须将端口控制和 TCEN 位都置为有效。此时，必须先设定端口控制。要将 TCEN 位置 “0”时，也必须将 TCCT[1:0] 位置 “00h”。

27.2.24 秒捕捉寄存器 y （RSECCPy）（y=0 ～ 2）

地址 RSECCP0 0008 C452h、RSECCP1 0008 C462h、RSECCP2 0008 C472h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SEC10[1:0]			SEC1[3:0]			
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	SEC1[3:0]	秒的个位捕捉位	表示秒的个位捕捉值。	R
b6-b4	SEC10[1:0]	秒的十位捕捉位	表示秒的十位捕捉值。	R
b7	—	保留位	读写值都为 “0”。	R/W

RSECCPy 寄存器是在检测到时间捕捉事件时捕捉 RSECCNT 计数器值的只读寄存器。

当通过 RTCIC0 引脚检测到事件时，将事件检测时间保存到 RSECCP0 寄存器；当通过 RTCIC1 引脚检测到事件时，将事件检测时间保存到 RSECCP1 寄存器；当通过 RTCIC2 引脚检测到事件时，将事件检测时间保存到 RSECCP2 寄存器。

如果执行 RTC 软件复位， RSECCPy 就变为 “00h”。

必须在通过 RTCCRy.TCCT[1:0] 位停止时间捕捉事件的检测后读此寄存器。

27.2.25 分钟捕捉寄存器 y （RMINCPy）（y=0 ～ 2）

地址 RMINCP0 0008 C454h、RMINCP1 0008 C464h、RMINCP2 0008 C474h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MIN10[2:0]			MIN1[3:0]			
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	MIN1[3:0]	分钟的个位捕捉位	表示分钟的个位捕捉值。	R
b6-b4	MIN10[2:0]	分钟的十位捕捉位	表示分钟的十位捕捉值。	R
b7	—	保留位	读写值都为 “0”。	R/W

RMINCPy 寄存器是在检测到时间捕捉事件时捕捉 RMINCNT 计数器值的只读寄存器。

当通过 RTCIC0 引脚检测到事件时，将事件检测时间保存到 RMINCP0 寄存器；当通过 RTCIC1 引脚检测到事件时，将事件检测时间保存到 RMINCP1 寄存器；当通过 RTCIC2 引脚检测到事件时，将事件检测时间保存到 RMINCP2 寄存器。

如果执行 RTC 软件复位， RMINCPy 就变为 “00h”。

必须在通过 RTCCRy.TCCT[1:0] 位停止时间捕捉事件的检测后读此寄存器。

27.2.26 小时捕捉寄存器 y （RHRCPy）（y=0 ～ 2）

地址 RHRCP0 0008 C456h、RHRCP1 0008 C466h、RHRCP2 0008 C476h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PM	HR10[1:0]		HR1[3:0]			
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	HR1[3:0]	小时的个位捕捉位	表示小时的个位捕捉值。	R
b5-b4	HR10[1:0]	小时的十位捕捉位	表示小时的十位捕捉值。	R
b6	PM	PM 位	0：上午 1：下午	R
b7	—	保留位	读写值都为 “0”。	R/W

RHRCPy 寄存器是在检测到时间捕捉事件时捕捉 RHRCNT 计数器值的只读寄存器。

当通过 RTCIC0 引脚检测到事件时，将事件检测时间保存到 RHRCP0 寄存器；当通过 RTCIC1 引脚检测到事件时，将事件检测时间保存到 RHRCP1 寄存器；当通过 RTCIC2 引脚检测到事件时，将事件检测时间保存到 RHRCP2 寄存器。

PM 位只在 RCR2.HR24 位为 “0”（以 12 小时模式运行）时有效。

如果执行 RTC 软件复位， RHRCPy 就变为 “00h”。

必须在通过 RTCCRy.TCCT[1:0] 位停止时间捕捉事件的检测后读此寄存器。

27.2.27 日捕捉寄存器 y （RDAYCPy）（y=0 ～ 2）

地址 RDAYCP0 0008 C45Ah、RDAYCP1 0008 C46Ah、RDAYCP2 0008 C47Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DATE10[1:0]		DATE1[3:0]			
复位后的值	x	x	x	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	DATE1[3:0]	日的个位捕捉位	表示日的个位捕捉值。	R
b5-b4	DATE10[1:0]	日的十位捕捉位	表示日的十位捕捉值。	R
b7-b6	—	保留位	读写值都为 “0”。	R/W

RDAYCPy 寄存器是在检测到时间捕捉事件时捕捉 RDAYCNT 计数器值的只读寄存器。

当通过 RTCIC0 引脚检测到事件时，将事件检测时间保存到 RDAYCP0 寄存器；当通过 RTCIC1 引脚检测到事件时，事件检测时间保存到 RDAYCP1 寄存器；当通过 RTCIC2 引脚检测到事件时，将事件检测时间保存到 RDAYCP2 寄存器。

如果执行 RTC 软件复位， RDAYCPy 就变为 “00h”。

必须在通过 RTCCRy.TCCT[1:0] 位停止时间捕捉事件的检测后读此寄存器。

27.2.28 月捕捉寄存器 y （RMONCPy）（y=0 ～ 2）

地址 RMONCP0 0008 C45Ch、RMONCP1 0008 C46Ch、RMONCP2 0008 C47Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
复位后的值	0	0	0	x	x	x	x	x

x：不定值

位	符号	位名	功能	R/W
b3-b0	MON1[3:0]	月的个位捕捉位	表示月的个位捕捉值。	R
b4	MON10	月的十位捕捉位	表示月的十位捕捉值。	R
b7-b5	—	保留位	读取值为 “0”，写操作无效。	R

RMONCPy 寄存器是在检测到时间捕捉事件时捕捉 RMONCNT 计数器值的只读寄存器。

当通过 RTCIC0 引脚检测到事件时，将事件检测时间保存到 RMONCP0 寄存器；当通过 RTCIC1 引脚检测到事件时，将事件检测时间保存到 RMONCP1 寄存器；当通过 RTCIC2 引脚检测到事件时，将事件检测时间保存到 RMONCP2 寄存器。

如果执行 RTC 软件复位， RMONCPy 就变为 “00h”。

必须在通过 RTCCRy.TCCT[1:0] 位停止时间捕捉事件的检测后读此寄存器。

27.3 运行说明

27.3.1 接通电源后的寄存器初始设定概要

必须在接通电源后进行时钟、时间、时间误差校正、闹钟、中断和时间捕捉控制寄存器的初始设定。

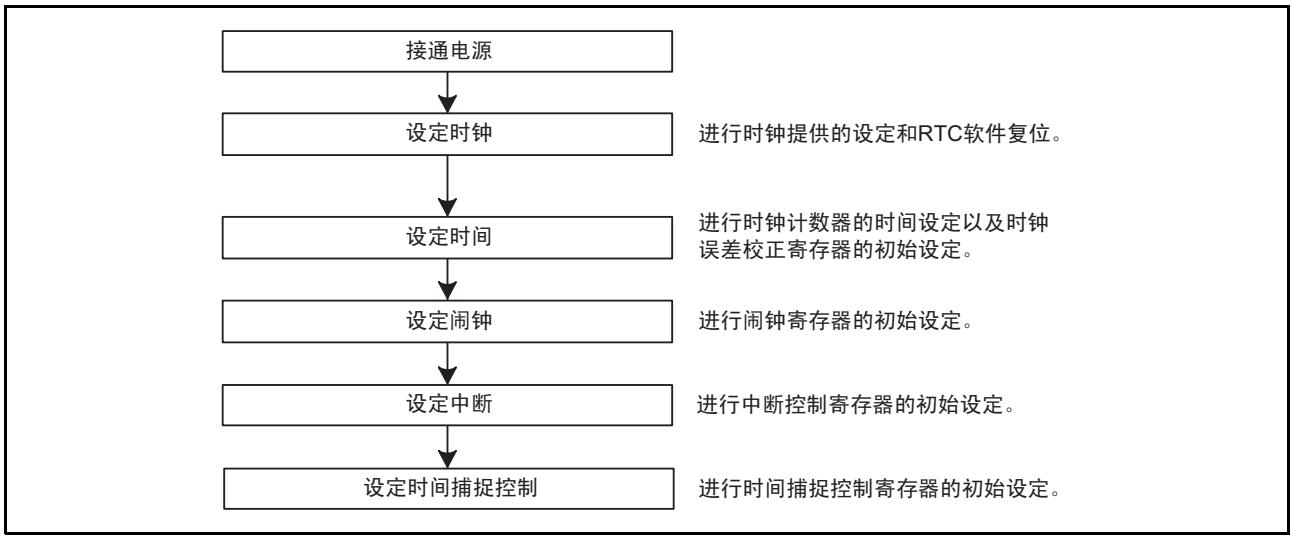


图 27.2 接通电源后的初始设定概要

27.3.2 时钟设定步骤

时钟设定步骤如图 27.3 所示。

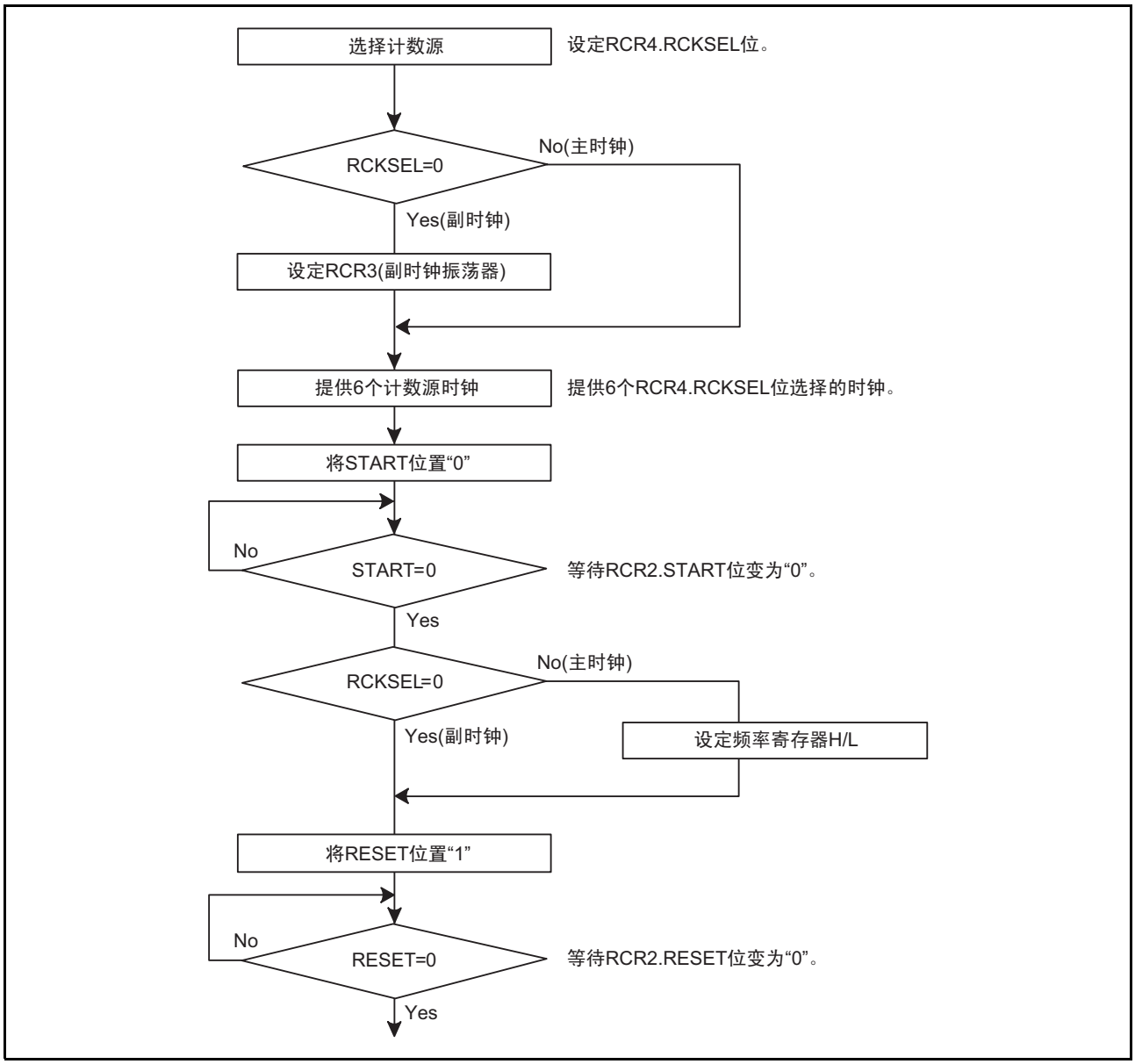


图 27.3 时钟设定步骤

27.3.3 时间设定步骤

时间设定步骤如图 27.4 所示。

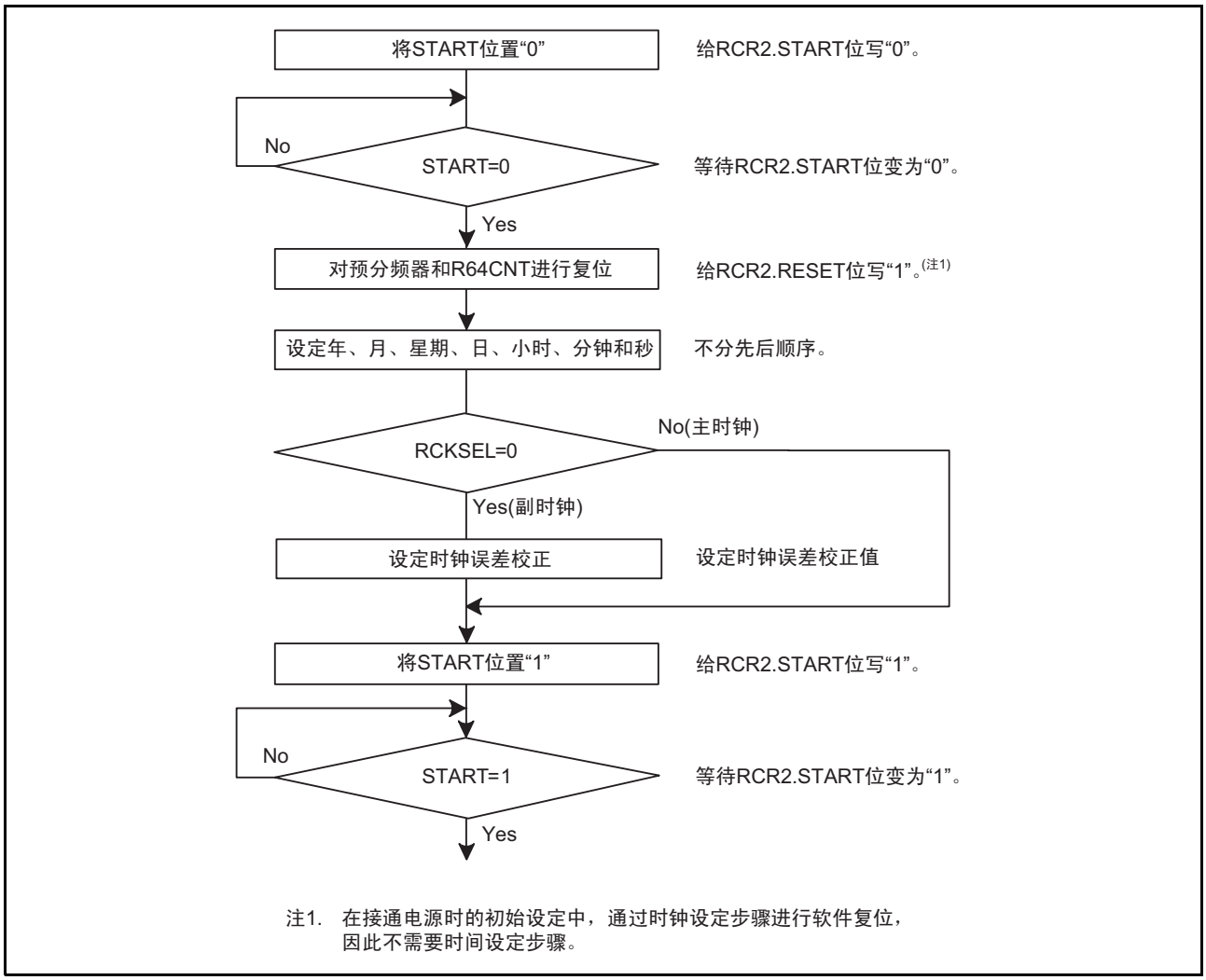


图 27.4 时间设定步骤

27.3.4 30 秒调整步骤

30 秒调整步骤如图 27.5 所示。

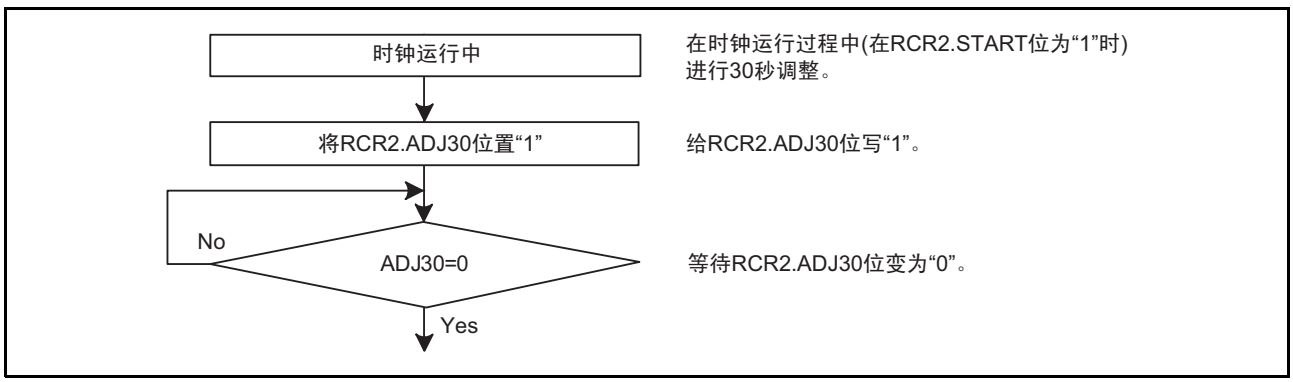


图 27.5 30 秒调整步骤

27.3.5 64Hz 计数器和时间的读取步骤

64Hz 计数器和时间的读取步骤如图 27.6 所示。

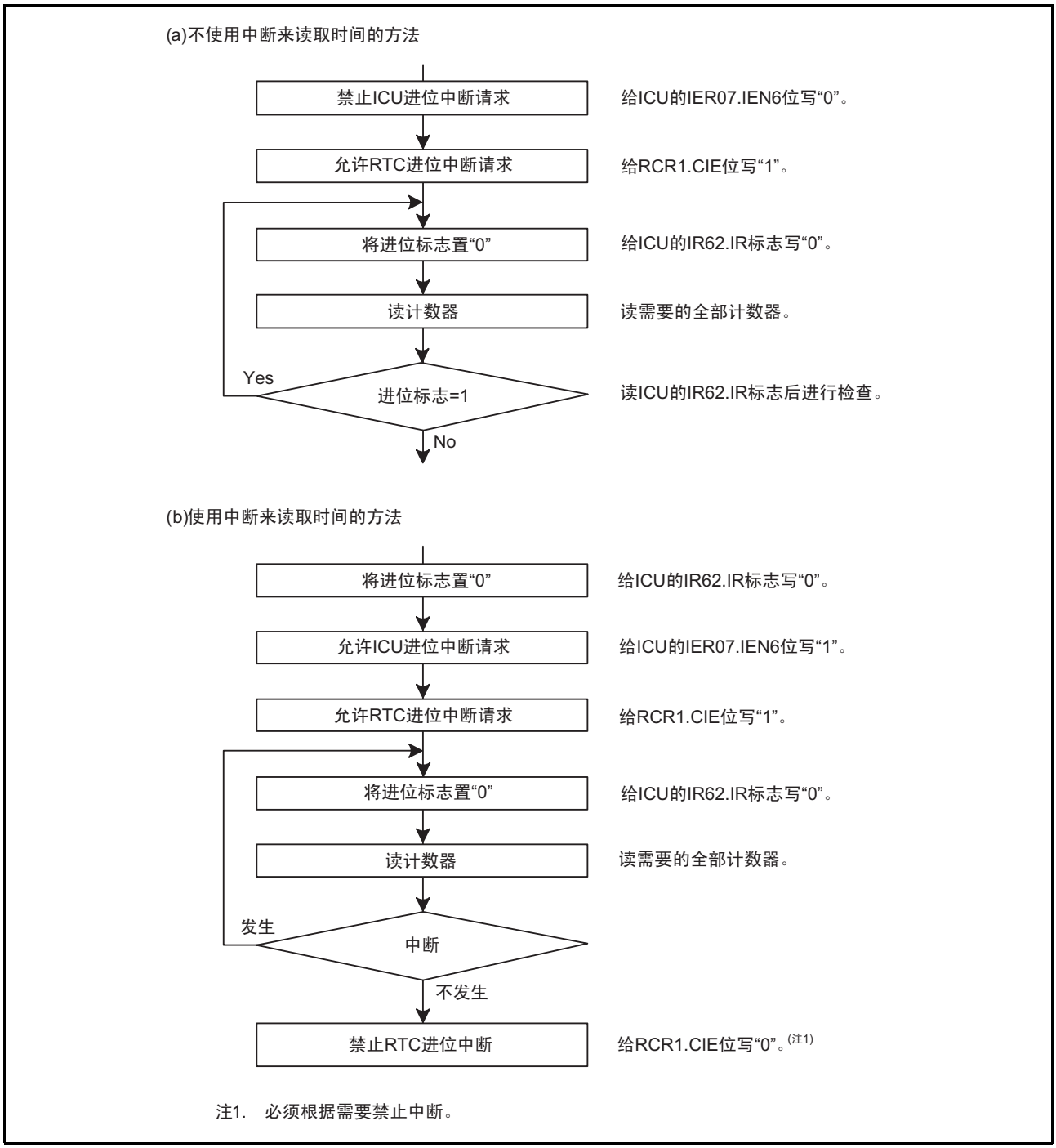


图 27.6 时间读取步骤

如果在读 64Hz 计数器和时间的过程中发生进位，就读不到正确的时间，因此有可能需要重新读。不使用中断的方法以及使用进位中断的方法分别如图 27.6 的 (a) 和图 27.6 的 (b) 所示。为了便于编程，通常利用不使用中断的方法。

27.3.6 闹钟功能

闹钟功能的使用方法如图 27.7 所示。

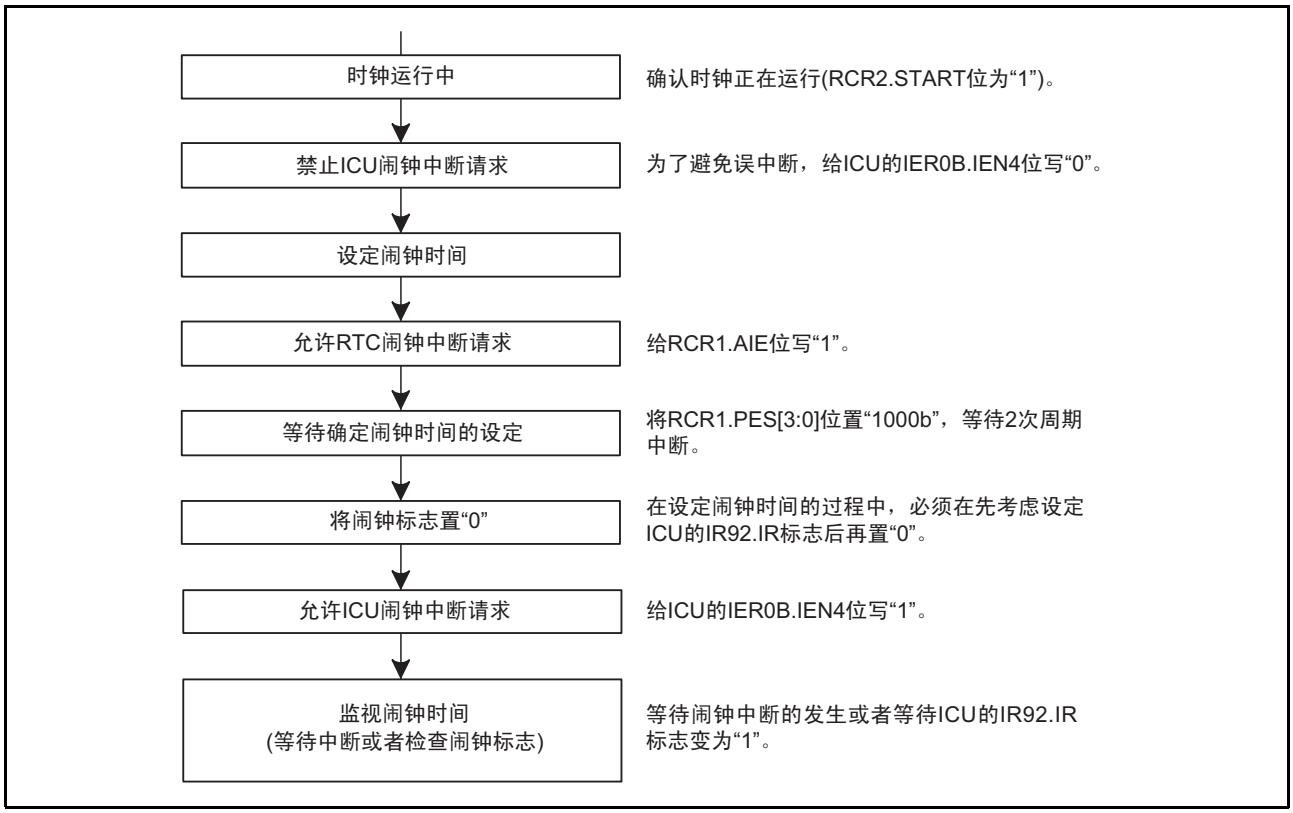


图 27.7 闹钟功能的使用方法

能通过年、月、日、星期、小时、分钟和秒中的任意一个或者组合产生闹钟。给作为闹钟对象的各闹钟寄存器的 ENB 位写 “1”，将闹钟时间设定到低位；给不作为闹钟对象的寄存器的 ENB 位写 “0”。

如果计数器和闹钟时间相同， ICU 的 IR92.IR 标志就变为 “1”。能通过读此标志来确认闹钟的检测，但是通常通过中断进行确认。能在 ICU 的 IER0B.IEN4 位已被写 “1” 时产生闹钟中断并且检测到闹钟。

如果给 ICU 的 IR92.IR 标志写 “0”，此标志就变为 “0”。

在低功耗状态下，如果计数器和闹钟时间相同，就从低功耗状态返回。

27.3.7 闹钟中断的禁止步骤

允许状态的闹钟中断请求的禁止步骤如图 27.8 所示。

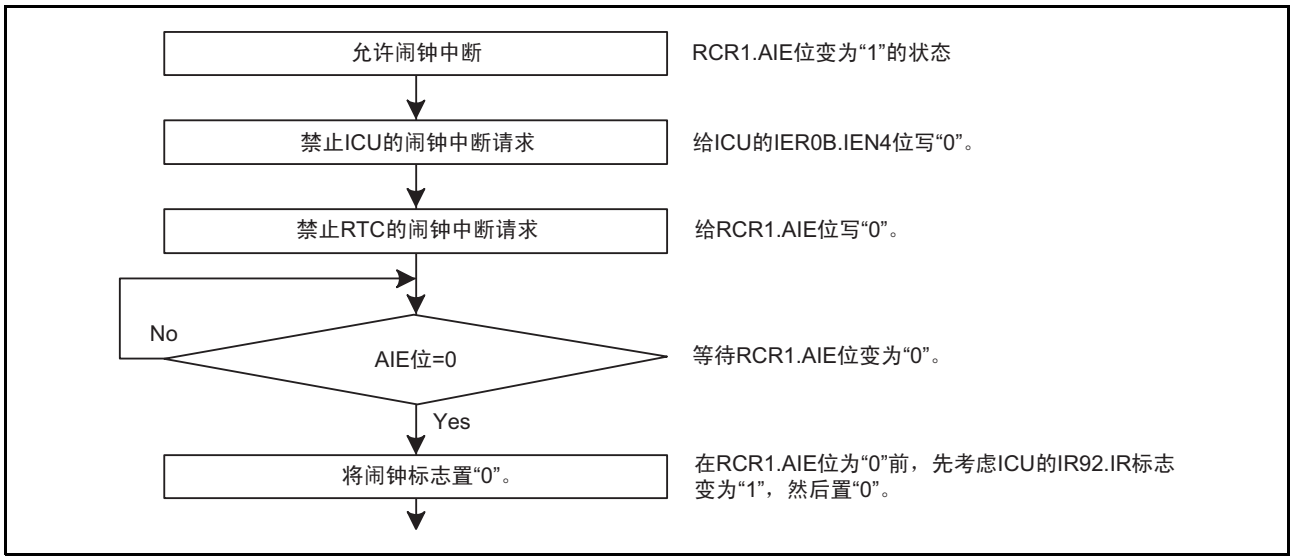


图 27.8 闹钟中断请求的禁止步骤

27.3.8 时间误差校正功能

时间误差校正功能校正因副时钟的振荡精度引起的时间误差（慢/快）。因为在选择副时钟的情况下以32768个时钟周期为 1 秒运行，所以副时钟频率高时钟就变快，副时钟频率低时钟就变慢。此功能通过调快或者调慢时钟来校正误差。

时间误差校正功能有自动校正和软件校正两种。

必须通过 RCR2.AADJE 位选择自动校正或者软件校正。

27.3.8.1 自动校正功能

当 RCR2.AADJE 位为 “1” 时，自动校正功能有效。

自动校正功能在 RCR2.AADJP 位选择的每个校正周期，根据 RADJ 寄存器的设定将时钟调快或者调慢。例子如下所示：

例 1）副时钟 =32.769kHz

校正方法：

当副时钟频率为 32.769kHz 时，以 32769 个时钟周期为 1 秒。因为 RTC 以 32768 个时钟周期为 1 秒运行，所以时钟每秒快 1 个时钟周期。如果是 1 分钟，时钟就快 60 个时钟周期，因此能通过将时钟每分钟调慢 60 个时钟周期来进行校正。

寄存器的设定内容：

- RCR2.AADJP 位 =0 （按分钟进行校正）
- RADJ.PMADJ[1:0] 位 =10b （调慢）
- RADJ.ADJ[5:0] 位 =60 （3Ch）

例 2）副时钟 =32.766kHz

校正方法：

当副时钟频率为 32.766kHz 时，以 32766 个时钟周期为 1 秒，因为 RTC 以 32768 个时钟周期为 1 秒运行，所以时钟每秒慢 2 个时钟周期。如果是 10 秒，时钟就慢 20 个时钟周期，因此能通过将时钟每 10 秒调快 20 个时钟周期来进行校正。

- 寄存器的设定内容：
- RCR2.AADJP位=1 （每10秒校正）
- RADJ.PMADJ[1:0]位=01b （调快）
- RADJ.ADJ[5:0]位=20 （14h）

27.3.8.2 通过软件进行的校正

当 RCR2.AADJE 位为 “0”时，软件校正有效。

对于软件校正，在执行写 RADJ 寄存器的指令时，根据 RADJ 寄存器的设定将时钟调快或者调慢。

例 1）副时钟 =32.769kHz

校正方法：

当副时钟频率为 32.769kHz 时，以 32769 个时钟周期为 1 秒，因为 RTC 以 32768 个时钟周期为 1 秒运行，所以时钟每秒快 1 个时钟周期。因为时钟每秒快 1 个时钟周期，所以能通过将时钟每秒调慢 1 个时钟周期来进行校正。

寄存器的设定内容：

- RADJ.PMADJ[1:0]位=10b （调慢）
- RADJ.ADJ[5:0]位=1 （01h）
  在发生每秒的中断时写RADJ寄存器。

27.3.8.3 校正模式的更改步骤

要更改校正模式时，必须在将 RADJ.PMADJ[1:0] 位置 “00b”（不校正）后更改 RCR2.AADJE 位。

从软件校正更改为自动校正的情况：

1. 将RADJ.PMADJ[1:0]位置 “00b”（不校正）。
2. 将RCR2.AADJE位置 “1”（允许自动校正功能）。
3. 通过RCR2.AADJP位选择校正周期。
4. 给RADJ.PMADJ[1:0]位设定加减算法并且通过RADJ.ADJ[5:0]位设定时间误差校正值。

从自动校正更改为软件校正的情况：

1. 将RADJ.PMADJ[1:0]位置 “00b”（不校正）。
2. 将RCR2.AADJE位置 “0”（软件校正功能有效）。
3. 如果在任意时刻给 RADJ.PMADJ[1:0] 位设定加减算法并且通过 RADJ.ADJ[5:0] 位写时间误差校正值，就进行校正。此后，在每次写RADJ寄存器时进行校正。

27.3.8.4 校正功能的停止步骤

要停止校正功能时，必须将 RADJ.PMADJ[1:0] 位置 “00b”（不校正）。

27.3.8.5 时钟捕捉功能

RTC 通过时间捕捉事件输入引脚的边沿检测来保存月、日、小时、分钟和秒的值。

能将噪声滤波器用于 RTC 的时间捕捉事件输入引脚。如果根据设定的采样周期采样到的引脚电平 3 次相同，噪声滤波器就将相同的电平传送到RTC内部，并且将RTC的内部电平维持到采样的引脚电平3次相同为止。

时间捕捉事件输入引脚能按各引脚设定噪声滤波器的 ON/OFF。

噪声滤波器 OFF 和 ON 时的运行如图 27.9 和图 27.10 所示。

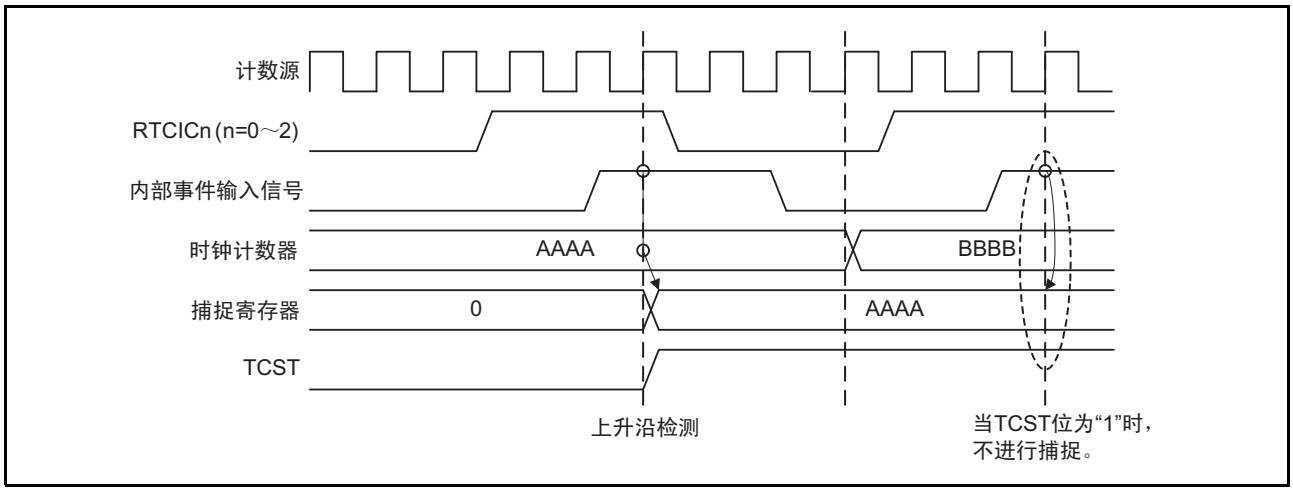


图 27.9 时间捕捉功能的运行时序 （滤波器 OFF）

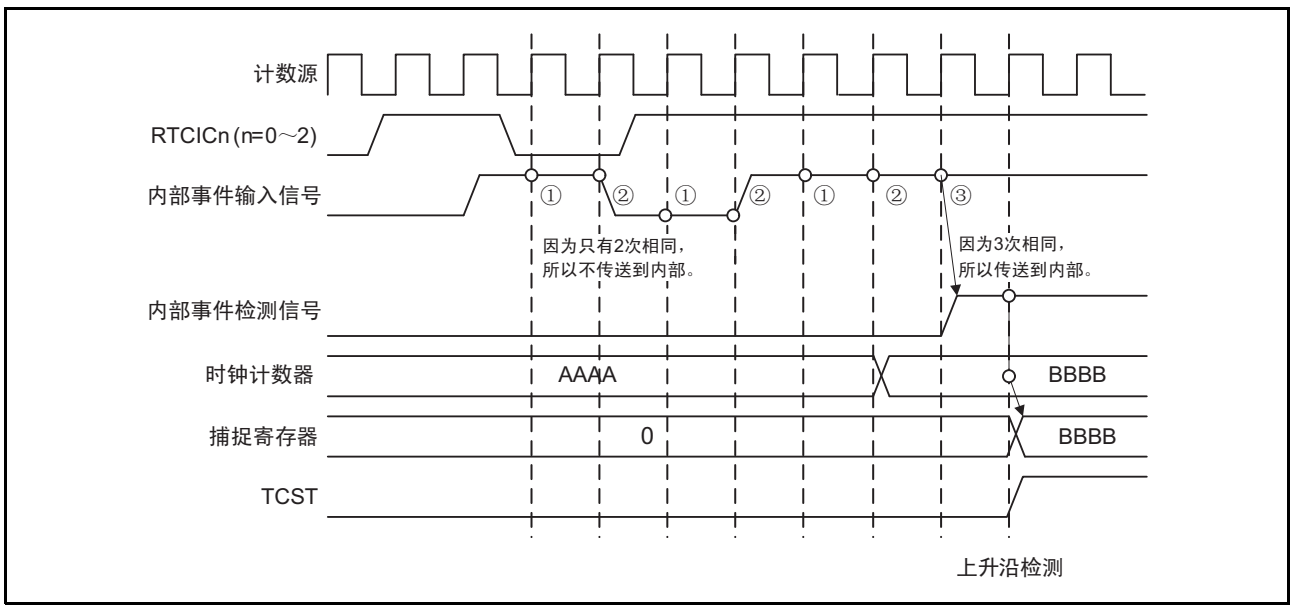


图 27.10 时间捕捉功能的运行时序 （滤波器 ON）

27.4 中断源

RTC 的中断源有以下 3 种， RTC 的中断源如**表 27.4** 所示。

表 27.4 RTC 的中断源

名称	中断源
ALM	闹钟中断
PRD	周期中断
CUP	进位中断

(1) 闹钟中断 （ALM）

根据闹钟寄存器和时钟计数器的比较结果产生中断 （详细内容请参照各闹钟寄存器的说明）。

在设定闹钟寄存器的过程中，可能因闹钟寄存器和时钟计数器的值相同而使中断标志被置位，所以必须在更改闹钟寄存器后清除 1 次该中断的 IR92.IR 标志。一旦闹钟中断的中断标志被清 “0”，就在闹钟寄存器和时钟计数器再次变为不同的状态后到再次相同或者重新设定闹钟为止，不将中断标志置位。

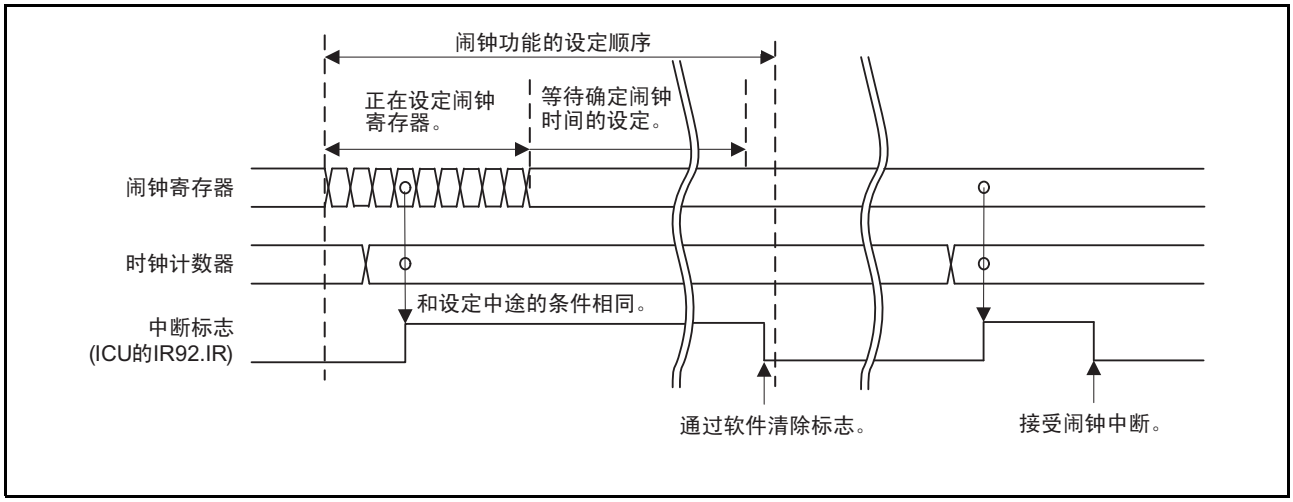


图 27.11 闹钟中断 （ALM）的时序图

(2) 周期中断 （PRD）

这是在 2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期产生的中断，可通过 RCR1.PES[3:0] 位选择周期。

(3) 进位中断 （CUP）

这是在向秒计数器进位或者在读 64Hz 计数器时向 R64CNT 计数器进位的情况下产生的有效中断。

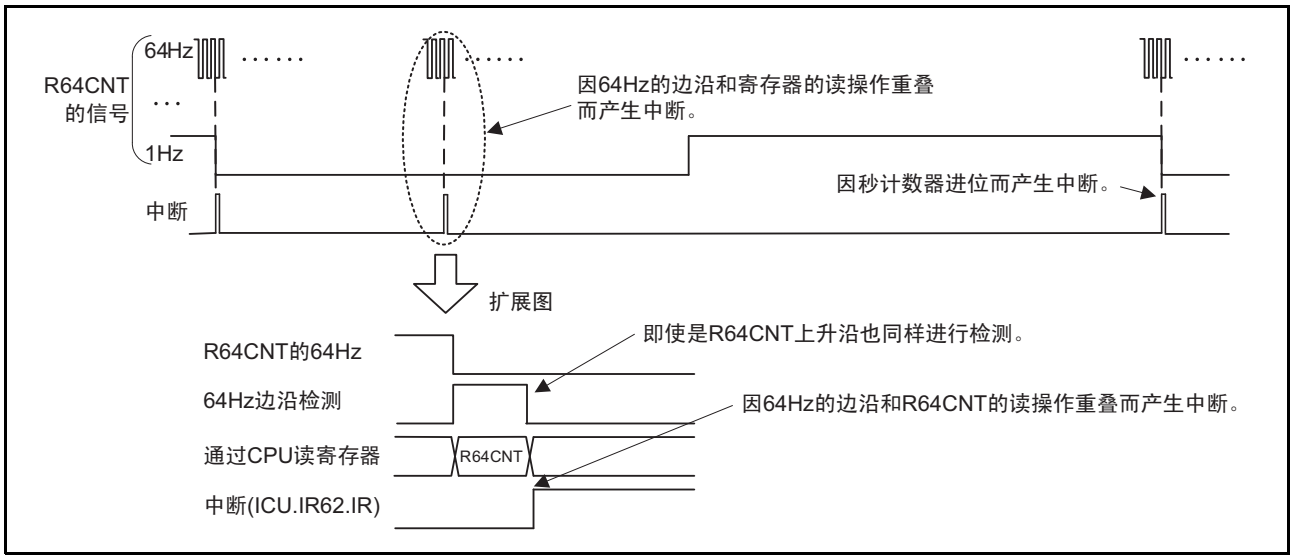


图 27.12 进位中断 （CUP）的时序图

27.5 使用时的注意事项

27.5.1 有关计数运行时的寄存器写操作

在进行计数时 （RCR2.START 位 =1）不能写以下寄存器：

RSECCNT、 RMINCNT、 RHRCNT、 RDAYCNT、 RWKCNT、 RMONCNT、 RYRCNT、 RCR2.RTCOE、 RCR2.HR24、 RFRH、 RFRL

要写上述寄存器时，必须在暂停计数后写这些寄存器。

27.5.2 有关周期中断的使用

周期中断的使用方法如图 27.13 所示。

对于周期中断，能通过设定 RCR1.PES[3:0] 位来更改中断的发生周期。因为在发生中断时使用预分频器、R64CNT 和 RSECCNT 计数器，所以不保证设定 RCR1.PES[3:0] 位后的中断发生周期。

如果通过 RCR2 寄存器进行计数的停止 / 运行、RTC 软件复位或者 30 秒调整，就会影响中断的发生周期。如果使用时间误差校正功能，校正后的中断发生周期就只加减校正值。

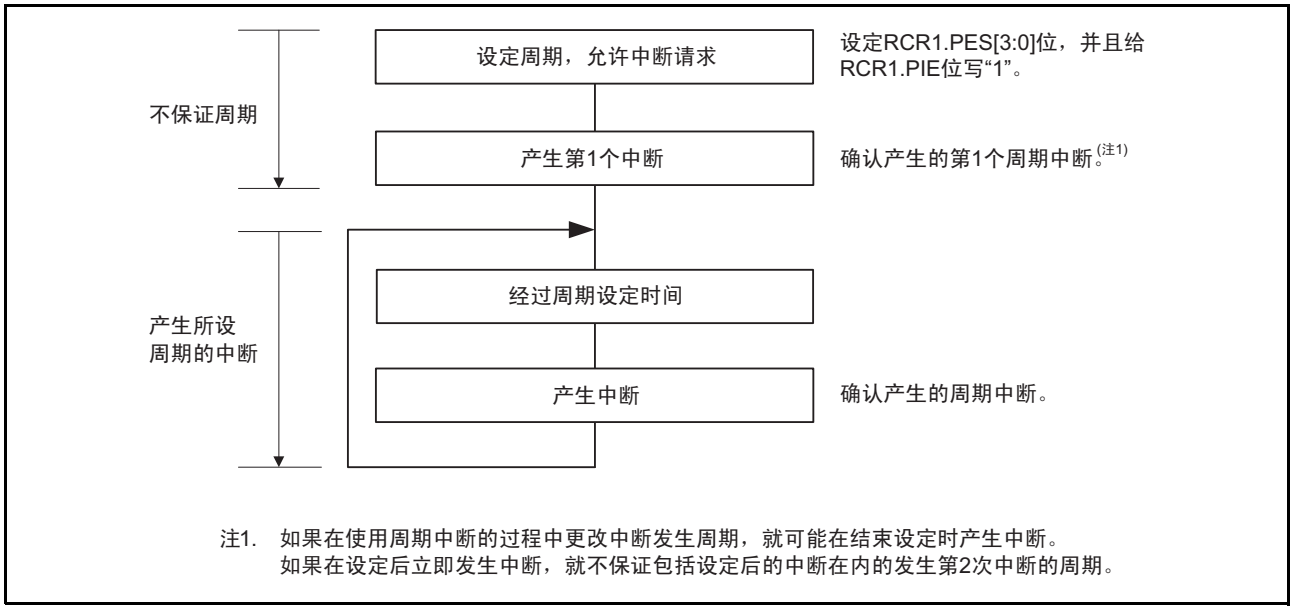


图 27.13 周期中断功能的使用方法

27.5.3 有关 1Hz 时钟的输出

如果通过 RCR2 寄存器进行计数的停止 / 运行、RTC 软件复位或者 30 秒调整，就会影响 1Hz 时钟的输出周期。如果使用时间误差校正功能，校正后的 1Hz 时钟输出周期就只加减校正值。

27.5.4 有关在设定寄存器后向低功耗模式的转移

如果在写 RTC 内的寄存器或者进行寄存器更新处理的过程中转移到低功耗状态（软件待机模式 / 深度软件待机模式 / 电池备用功能），就可能破坏寄存器的值。在设定寄存器后，必须在确认寄存器已被设定后转移到低功耗状态。

27.5.5 读写寄存器时的注意事项

- 在读秒计数器等的计数寄存器时，必须遵循 “27.3.5 64Hz计数器和时间的读取步骤”。
- 如果在写计数寄存器、闹钟寄存器、年闹钟允许寄存器、 RCR2.AADJE位、 RCR2.AADJP位、RCR2.HR24位、 RCR3寄存器、 RCR4寄存器、频率寄存器后读这些寄存器，就从空读3次后的读操作开始反映写入值。
- 对于RCR1.CIE位和RCR2.RTCOE位，能在写后立即读到写入值。
- 要在从复位或者从软件待机模式、深度软件待机模式、电池备用功能返回后读时钟计数器的值时，必须在时钟运行过程中 （RCR2.START位=1）等待1/128秒后读计数器。

28. 看门狗定时器 （WDTA）

看门狗定时器 （WDT）检测程序的失控。

WDT 内置 14 位递减计数器，如果递减的计数值发生下溢，就能通过复位输出对本 LSI 进行复位，也能选择中断请求的发生。能通过刷新递减计数器的计数值，将计数值返回初始值并且重新开始计数。另外，能设定可刷新期间。如果在可刷新期间进行刷新，就能对计数器进行初始化并且再次进行计数；如果在可刷新期间外进行刷新，就输出复位或者中断请求。因此，能通过调整刷新间隔来检测程序失控。在发生下溢或者不在可刷新期间进行刷新后，WDT 停止计数。在寄存器启动模式中，在刷新后自动重新开始计数；在自动启动模式中，在输出复位或者中断请求后自动重新开始计数。

28.1 概要

WDT 有自动启动模式和寄存器启动模式两种模式，自动启动模式是在解除复位后自动开始计数的模式，寄存器启动模式是在解除复位后通过刷新 （写寄存器）开始计数的模式。

在自动启动模式中，在解除复位前给选项功能选择寄存器 0 （OFS0）设定时钟分频比、刷新的窗口起始 / 结束位置、超时期间、下溢时的复位输出 / 非屏蔽中断请求输出以及睡眠模式的计数停止控制。

在寄存器启动模式中，在解除复位后并且在通过刷新开始计数前给寄存器设定时钟分频比、刷新的窗口起始 / 结束位置、超时期间、下溢时的复位输出 / 非屏蔽中断请求输出以及睡眠模式的计数停止控制。

通过 WDT 启动模式选择位 （OFS0.WDTSTRT）选择自动启动模式或者寄存器启动模式。

当选择自动启动模式时 （OFS0.WDTSTRT=0）， WDT 控制寄存器 （WDTCR）和 WDT 复位控制寄存器（WDTRCR）的设定无效而 OFS0 寄存器的设定有效。

当选择寄存器启动模式时（OFS0.WDTSTRT=1），OFS0 寄存器的设定无效而 WDTCR 寄存器和 WDTRCR 寄存器的设定有效。

WDT 的规格和框图分别如**表 28.1** 和**图 28.1** 所示。

表 28.1 WDT 的规格 (1/2)

项目	内容
计数源	外围时钟 （PCLK）
时钟分频比	4 分频、 64 分频、 128 分频、 512 分频、 2048 分频、 8192 分频
计数	通过 14 位递减计数器进行递减计数。
计数开始条件	• 复位后自动开始计数 （自动启动模式）。 • 通过刷新（在给WDTRR寄存器写“00h”后写“FFh”）开始计数（寄存器启动模式）。
计数停止条件	• 复位 （递减计数器和寄存器返回初始值） • 当发生下溢或者刷新错误时 重新开始计数 （自动启动模式：自动、寄存器启动模式：刷新）
窗口功能	能设定窗口起始 / 结束位置 （刷新允许 / 禁止期间）。
复位输出源	• 当递减计数器发生下溢时 • 在刷新允许期间外进行刷新 （刷新错误）时
中断请求输出源	• 在递减计数器发生下溢时产生非屏蔽中断 （WUNI）时 • 在刷新允许期间外进行刷新 （刷新错误）时
读计数值	能通过读 WDTSR 寄存器，读递减计数器的计数值。
输出信号 （内部信号）	• 复位输出 • 中断请求输出

表 28.1 WDT 的规格 (2/2)

项目	内容
自动启动模式 （由选项功能选择寄存器 0（OFS0）控制）	• 选择复位后的时钟分频比 （OFS0.WDTCKS[3:0] 位）。 • 选择看门狗定时器的超时期间 （OFS0.WDTTOPS[1:0] 位）。 • 选择看门狗定时器的窗口起始位置 （OFS0.WDTRPSS[1:0] 位）。 • 选择看门狗定时器的窗口结束位置 （OFS0.WDTRPES[1:0] 位）。 • 选择复位输出或者中断请求输出 （OFS0.WDTRSTIRQS 位）。
寄存器启动模式 （由 WDT 寄存器控制）	• 选择刷新后的时钟分频比 （WDTCR.CKS[3:0] 位）。 • 选择看门狗定时器的超时期间 （WDTCR.TOPS[1:0] 位）。 • 选择看门狗定时器的窗口起始位置 （WDTCR.RPSS[1:0] 位）。 • 选择看门狗定时器的窗口结束位置 （WDTCR.RPES[1:0] 位）。 • 选择复位输出或者中断请求输出 （WDTRCR.RSTIRQS 位）。

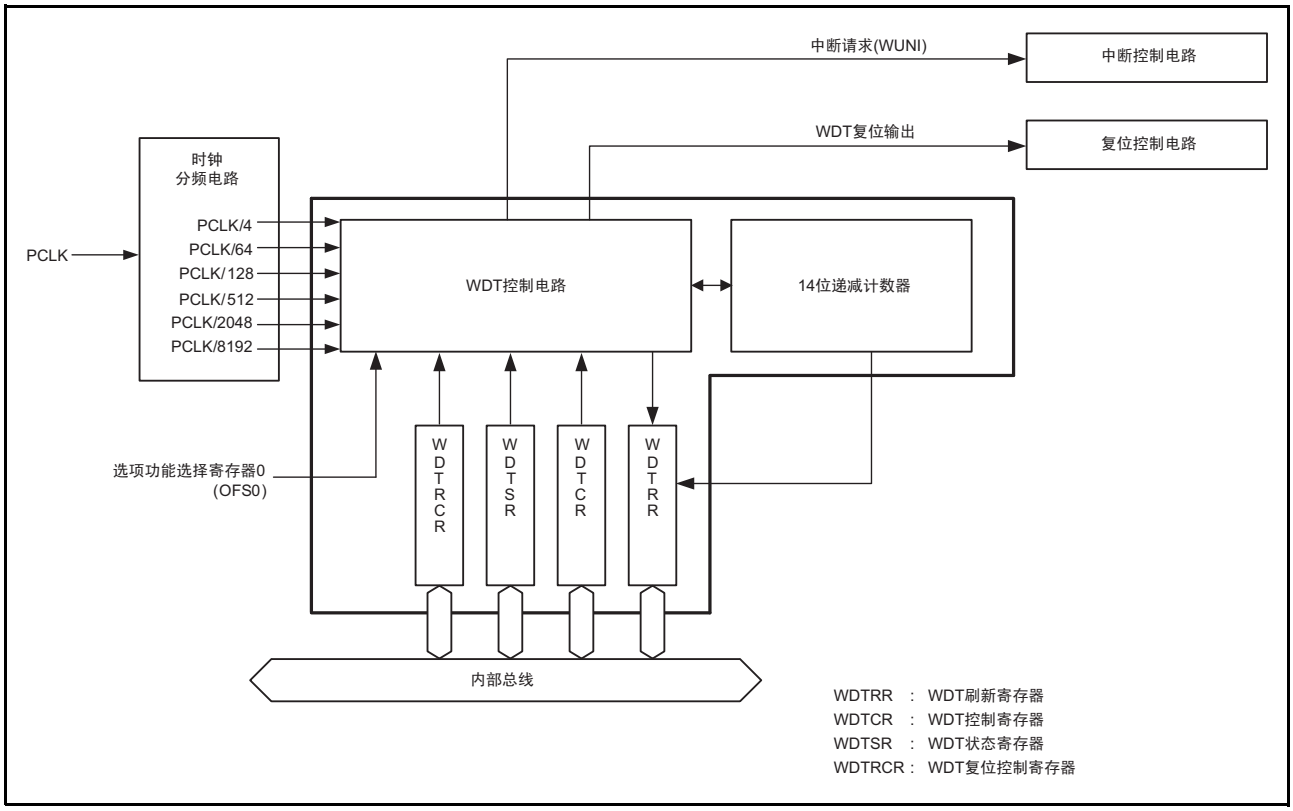
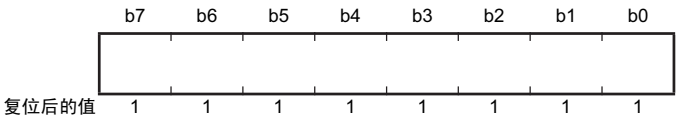


图 28.1 WDT 的框图

28.2 寄存器说明

28.2.1 WDT 刷新寄存器 （WDTRR）

地址 0008 8020h



位	功能	R/W
b7-b0	通过在写 “00h” 后写 “FFh” 进行刷新。	R/W

WDTRR 寄存器是刷新 WDT 递减计数器的寄存器。

在刷新允许期间，通过在给 WDTRR 寄存器写 “00h” 后写 “FFh”（刷新），刷新 WDT 递减计数器。

在自动启动模式中，如果递减计数器被刷新，就从选项功能选择寄存器 0 的 WDT 超时期间选择位（OFS0.WDTTOPS[1:0]）设定的值开始递减计数。在寄存器启动模式中，如果递减计数器被刷新，就从 WDT 控制寄存器的超时期间选择位 （WDTCR.TOPS[1:0]）设定的值开始递减计数，也能通过复位解除后的第 1 次刷新，从 WDTCR.TOPS[1:0] 位设定的值开始递减计数。

如果写 “00h”，读取值就为 “00h”；如果写 “00h” 以外的值，读取值就为 “FFh”。

有关刷新的详细内容，请参照 “28.3.3 刷新”。

28.2.2 WDT 控制寄存器 （WDTCR）

地址 0008 8022h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
复位后的值	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

位	符号	位名	功能	R/W
b1-b0	TOPS[1:0]	超时期间选择位	b1 b0 0 0：1024 个周期 （03FFh） 0 1：4096 个周期 （0FFFh） 1 0：8192 个周期 （1FFFh） 1 1：16384 个周期 （3FFFh）	R/W
b3-b2	—	保留位	读取值为 “0”，写操作无效。	R
b7-b4	CKS[3:0]	时钟分频比选择位	b7 b4 0 0 0 1：PCLK/4 0 1 0 0：PCLK/64 1 1 1 1：PCLK/128 0 1 1 0：PCLK/512 0 1 1 1：PCLK/2048 1 0 0 0：PCLK/8192 上述以外：不能设定	R/W
b9-b8	RPES[1:0]	窗口结束位置选择位	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% （没有设定窗口的结束位置）	R/W
b11-b10	—	保留位	读取值为 “0”，写操作无效。	R
b13-b12	RPSS[1:0]	窗口起始位置选择位	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100% （没有设定窗口的开始位置）	R/W
b15-b14	—	保留位	读取值为 “0”，写操作无效。	R

WDTCR 寄存器有写操作限制，详细内容请参照 “28.3.2 WDTCR 寄存器和 WDTRCR 寄存器的写控制。

在自动启动模式中， WDTCR 寄存器的设定无效而选项功能选择寄存器 0 （OFS0）的设定有效。 OFS0 寄存器的设定和 WDTCR 寄存器各位的设定相同。详细内容请参照 “28.3.8 选项功能选择寄存器 0 （OFS0）和 WDT 寄存器的对应”。

TOPS[1:0] 位 （超时期间选择位）

这些位以 CKS[3:0] 位设定的分频时钟为 1 个周期，从 1024 个周期、4096 个周期、8192 个周期和 16384 个周期中选择递减计数器发生下溢为止的超时期间。

从刷新后到下溢为止的时间 （PCLK 数）取决于 CKS[3:0] 位和 TOPS[1:0] 位的组合。

CKS[3:0] 位和 TOPS[1:0] 位的设定与超时期间、 PCLK 数的关系如表 28.2 所示。

表 28.2 超时期间设定表

CKS[3:0] 位				TOPS[1:0] 位		时钟分频比	超时期间（周期数）	PCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLK/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLK/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLK/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLK/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] 位 （时钟分频比选择位）

这些位从 4 分频、64 分频、128 分频、512 分频、2048 分频和 8192 分频中选择 WDT 对外围时钟（PCLK）进行分频的分频比。能通过和 TOPS[1:0] 位的组合设定，将 WDT 的计数期间设定在 PCLK 的 4096 ～ 134217728 个时钟之间。

RPES[1:0] 位 （窗口结束位置选择位）

这些位从计数期间的 75%、 50%、 25% 和 0% 中选择递减计数器的窗口结束位置。窗口结束位置选择小于窗口起始位置的值 （窗口起始位置＞窗口结束位置）。如果设定窗口结束位置大于窗口起始位置的值，就只有窗口起始位置的设定有效。

RPSS[1:0] 位和 RPES[1:0] 位设定的窗口起始 / 结束位置的计数器值根据 TOPS[1:0] 位的设定而变。

与 TOPS[1:0] 位的值对应的窗口起始 / 结束位置的计数器值如表 28.3 所示。

表 28.3 超时期间和窗口允许 / 结束位置的计数器值的对应表

TOPS[1:0] 位		超时期间		刷新允许 / 结束计数器值			
b1	b0	周期数	计数器值	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] 位 （窗口起始位置选择位）

这些位从计数期间（开始计数时为 100%、发生下溢时为 0%）的 100%、75%、50% 和 25% 中选择递减计数器的窗口起始位置。从窗口起始位置到窗口结束位置的期间为刷新允许期间，其他期间为刷新禁止期间。

RPSS[1:0] 位和 RPES[1:0] 位的设定值与刷新允许 / 禁止期间的关系如图 28.2 所示。

RPSS[1:0]位		RPES[1:0]位		窗口	
b13	b12	b9	b8	开始 (%)	结束 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

注. 当设定为“窗口结束”≥“窗口开始”时，“窗口结束”的设定为0%。

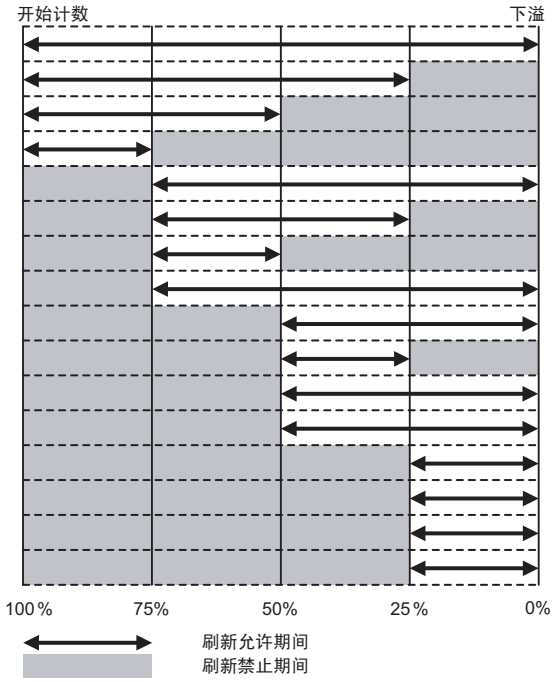
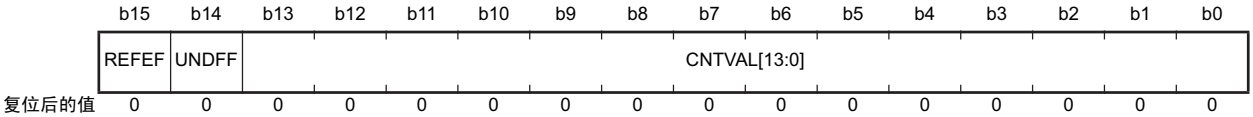


图 28.2 RPSS[1:0] 位、 RPES[1:0] 位和刷新允许期间

28.2.3 WDT 状态寄存器 （WDTSR）

地址 0008 8024h



位	符号	位名	功能	R/W
b13-b0	CNTVAL[13:0]	递减计数器值的位	递减计数器的计数值	R
b14	UNDFF	下溢标志	0：没有发生下溢 1：发生下溢	R(/W) （注 1）
b15	REFEF	刷新错误标志	0：没有发生刷新错误 1：发生刷新错误	R(/W) （注 1）

注 1. 为了将标志置 “0”，只能写 “0”。

通过 WDT 的复位源而不通过其他复位源对 WDTSR 寄存器进行初始化。

CNTVAL[13:0] 位 （递减计数器值的位）

这些位能确认递减计数器的计数值。但是，读到的计数值有可能和递减计数器的实际值相差 1 个计数时钟。

UNDFF 标志 （下溢标志）

此标志能确认递减计数器的下溢发生状态。

当读取值为 “1” 时，表示递减计数器发生下溢；当读取值为 “0” 时，表示递减计数器没有发生下溢。

要将 UNDFF 标志的值置 “0” 时，必须给此标志写 “0”。写 “1” 无效。

REFEF 标志 （刷新错误标志）

此标志能确认刷新错误 （刷新禁止期间的刷新）的发生状态。

当读取值为 “1” 时，表示发生刷新错误；当读取值为 “0” 时，表示没有发生刷新错误。

要将 REFEF 标志的值置 “0” 时，必须给此标志写 “0”。写 “1” 无效。

28.2.4 WDT 复位控制寄存器 （WDTRCR）

地址 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b6-b0	—	保留位	读取值为 “0”，写操作无效。	R
b7	RSTIRQS	复位中断请求选择位	0：允许输出非屏蔽中断请求 1：允许输出复位	R/W

WDTRCR 寄存器有写操作限制，详细内容请参照“28.3.2 WDTCR 寄存器和 WDTRCR 寄存器的写控制”。

在自动启动模式中，WDTRCR 寄存器的设定无效而选项功能选择寄存器 0（OFS0）的设定有效。OFS0 寄存器的设定和 WDTRCR 寄存器各位的设定相同。详细内容请参照 “28.3.8 选项功能选择寄存器 0 （OFS0）和 WDT 寄存器的对应”。

28.2.5 选项功能选择寄存器 0 （OFS0）

有关 OFS0 寄存器，请参照 “28.3.8 选项功能选择寄存器 0 （OFS0）和 WDT 寄存器的对应”。

28.3 运行说明

28.3.1 各计数开始条件下的运行

通过选项功能选择寄存器 0 的 WDT 启动模式选择位 （OFS0.WDTSTRT）选择 WDT 的启动模式。

当 OFS0.WDTSTRT 位为 “1”（寄存器启动模式）时， WDT 控制寄存器 （WDTCR）和 WDT 复位控制寄存器 （WDTRCR）的设定有效，通过刷新 WDT 刷新寄存器 （WDTRR）开始计数。当 OFS0.WDTSTRT 位为 “0”（自动启动模式）时， OFS0 寄存器有效，在复位后自动开始计数。

28.3.1.1 寄存器启动模式

当选项功能选择寄存器 0 的 WDT 启动模式选择位 （OFS0.WDTSTRT）为 “1”时，为寄存器启动模式，WDT 控制寄存器 （WDTCR）和 WDT 复位控制寄存器 （WDTRCR）有效。

在解除复位后，给 WDTCR 寄存器设定时钟分频比、窗口起始 / 结束位置和超时期间，并且给 WDTRCR 寄存器设定复位输出或者中断请求输出。然后，通过刷新将超时期间选择位（WDTCR.TOPS[1:0]）选择的值设定到递减计数器并且开始递减计数。

此后，如果程序正常运行并且在刷新允许期间内进行了刷新，就在每次刷新时重新设定计数器值并且继续进行递减计数。在此期间，WDT 不输出复位。但是，如果因程序失控等无法刷新递减计数器而导致递减计数器发生下溢，或者因在刷新允许期间外进行刷新而发生刷新错误， WDT 就输出复位或者非屏蔽中断请求（WUNI）。通过设定复位中断请求选择位 （WDTRCR.RSTIRQS），选择输出复位或者中断请求。

以下条件下的运行例子如图 28.3 所示。

- WDT 启动模式选择位 （OFS0.WDTSTRT）：“1”（寄存器启动模式）
- 复位中断请求选择位 （WDTRCR.RSTIRQS）：“1”（允许输出复位）
- 窗口起始位置选择位 （WDTCR.RPSS[1:0]）：“10b”（75%）
- 窗口结束位置选择位 （WDTCR.RPES[1:0]）：“10b”（25%）

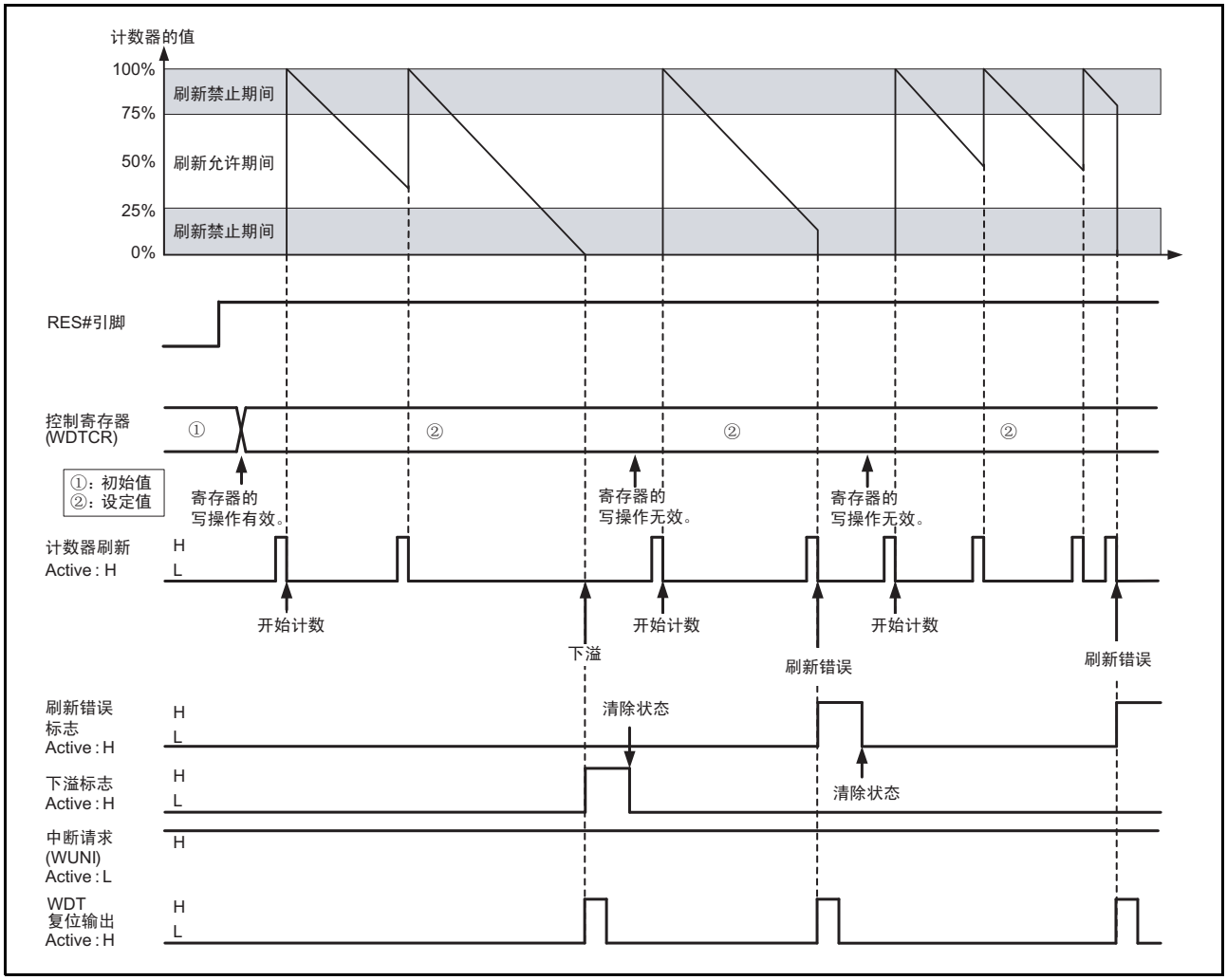


图 28.3 寄存器启动模式的运行例子

28.3.1.2 自动启动模式

当选项功能选择寄存器 0 的 WDT 启动模式选择位（OFS0.WDTSTRT）为“0”时，为自动启动模式，WDT 控制寄存器 （WDTCR）和 WDT 复位控制寄存器 （WDTRCR）无效。

在复位期间，通过选项功能选择寄存器 0 （OFS0）设定时钟分频比、窗口起始 / 结束位置、超时期间、复位输出或者中断请求输出。然后通过解除复位将 WDT 超时期间选择位 （OFS0.WDTTOPS[1:0]）设定的超时期间值设定到递减计数器并且自动开始递减计数。

此后，如果程序正常运行并且在刷新允许期间内进行了刷新，就在每次刷新时重新设定计数器值并且继续进行递减计数。在此期间，WDT 不输出复位。如果因程序失控等无法刷新递减计数器而导致递减计数器发生下溢，或者因在刷新允许期间外进行刷新而发生刷新错误，WDT 就输出复位或者非屏蔽中断请求 （WUNI）。在输出 1 个计数周期的复位或者非屏蔽中断请求后，递减计数器重新加载超时期间并且重新开始计数。通过设定 WDT 复位中断请求选择位 （OFS0.WDTRSTIRQS），选择输出复位或者中断请求。

以下条件下的运行例子如图 28.4 所示。

- WDT 启动模式选择位 （OFS0.WDTSTRT）：“0”（自动启动模式）
- 复位中断请求选择位 （OFS0.WDTRSTIRQS）：“0”（允许输出非屏蔽中断请求）
- 窗口起始位置选择位 （OFS0.WDTRPSS[1:0]）：“10b”（75%）
- 窗口结束位置选择位 （OFS0.WDTRPES[1:0]）：“10b”（25%）

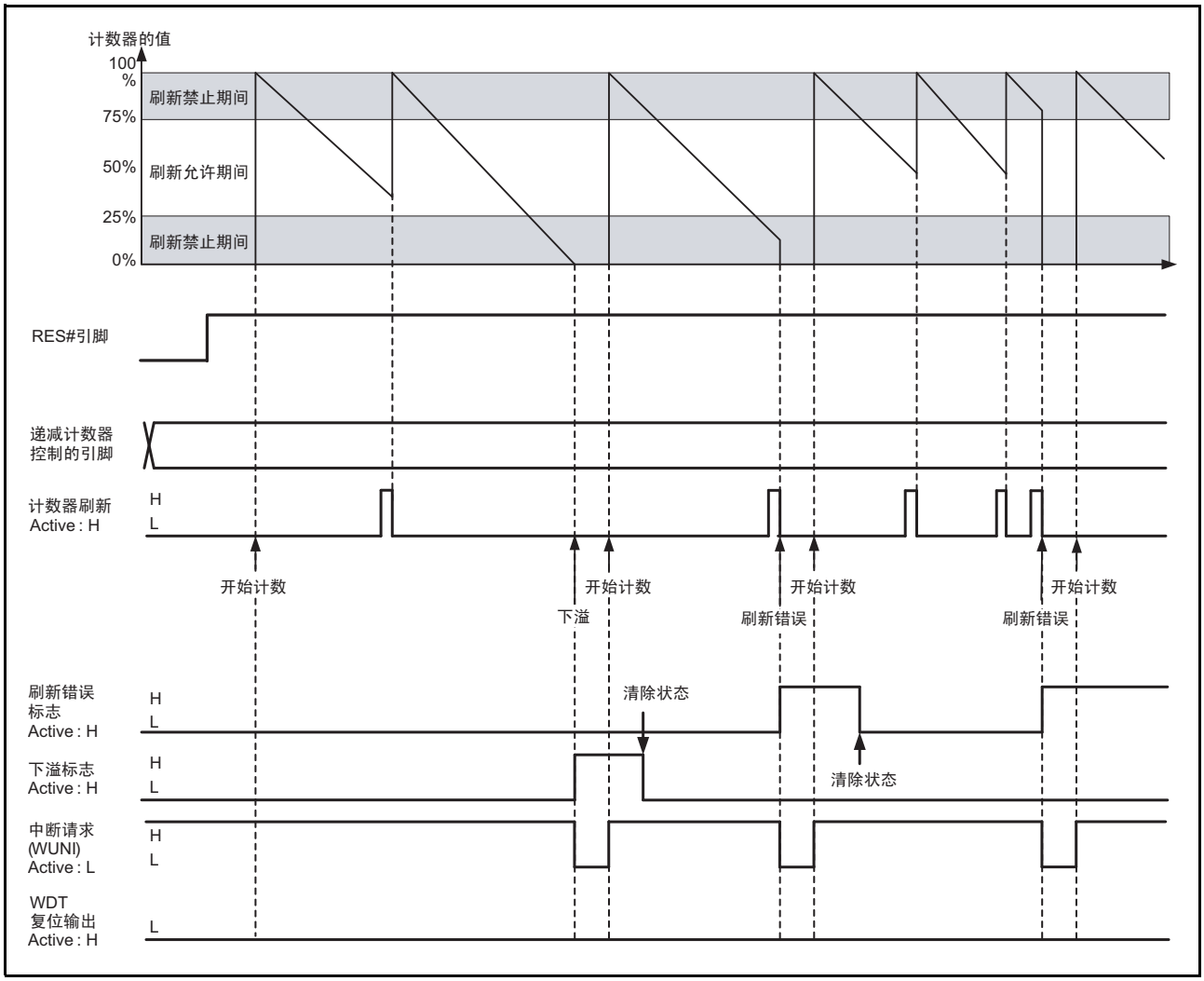


图 28.4 自动启动模式的运行例子

28.3.2 WDTCR 寄存器和 WDTRCR 寄存器的写控制

在从复位解除后到第 1 次刷新的期间，只能写 1 次 WDT 控制寄存器 （WDTCR）和 WDT 复位控制寄存器（WDTRCR）。

如果刷新 （开始计数）或者写 WDTCR 寄存器和 WDTRCR 寄存器， WDT 的内部保护信号就变为 “1”，此后保护对 WDTCR 寄存器和 WDTRCR 寄存器的写操作。

通过 WDT 的复位源而不通过其他复位源解除保护。

WDTCR 寄存器的写控制波形如**图 28.5** 所示。

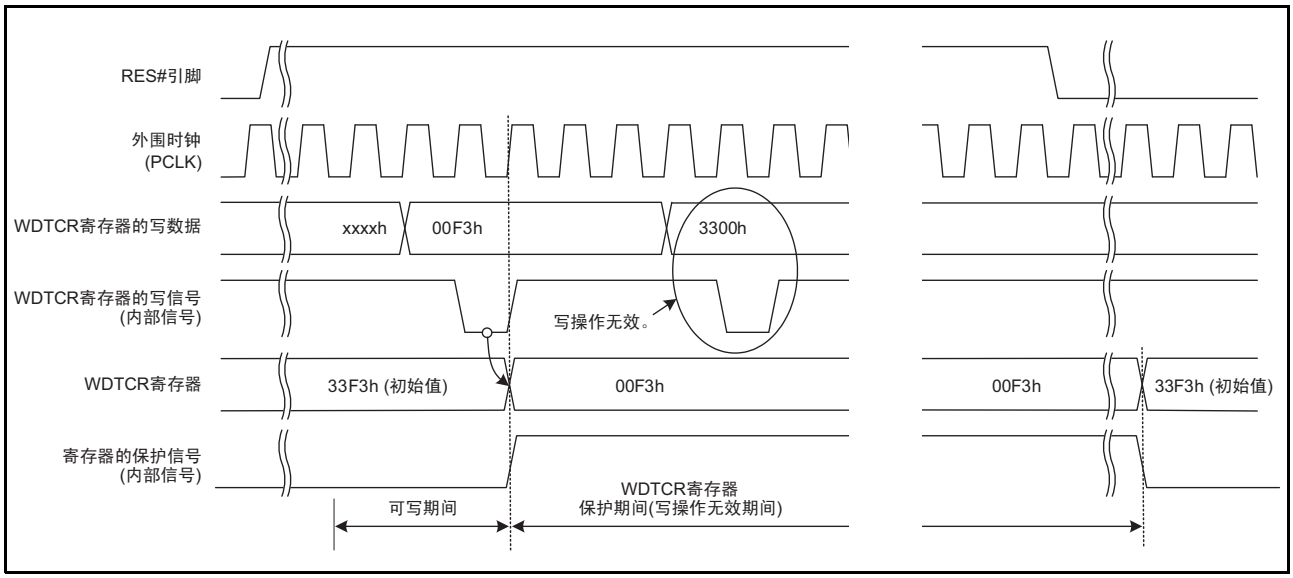


图 28.5 WDTCR 寄存器的写控制波形

28.3.3 刷新

要刷新递减计数器并且使递减计数器开始运行 （通过刷新开始计数）时，在给 WDT 的刷新寄存器（WDTRR）写 “00h” 后接着写 “FFh”。如果在写 “00h” 后写 “FFh” 以外的值，就不进行刷新。能通过再次按照 “00h” → “FFh” 的顺序写 WDTRR 寄存器，正常地进行刷新。

即使按照 “00h”（第 1 次）→ “00h”（第 2 次）的顺序进行写操作，因为之后通过写 “FFh” 也能使 “00h” → “FFh” 顺序的写操作成立，所以 “00h”（第 n–1 次）→ “00h”（第 n 次）→ “FFh” 的写操作也有效并且进行刷新。同样，即使在 “00h” 之前写的不是 “00h”，只要 “00h” → “FFh” 顺序的写操作成立，也进行刷新。另外，在给 WDTRR 寄存器写 “00h” 和 “FFh” 的期间，即使存取 WDTRR 以外的寄存器或者读 WDTRR 寄存器，也进行刷新。

【刷新有效的写操作例子】

- “00h” → “FFh”
- “00h”（第 n–1 次） → “00h”（第 n 次） → “FFh”
- “00h” → 存取其他寄存器或者读 WDTRR 寄存器 → “FFh”

【刷新无效的写操作例子】

- “23h”（不是 “00h”） → “FFh”
- “00h” → “54h”（不是 “FFh”）
- “00h” → “AAh”（不是 “00h” 和 “FFh”） → “FFh”

作为刷新运行，即使在刷新允许期间外给 WDTRR 寄存器写 “00h”，只要在刷新允许期间内给 WDTRR 寄存器写 “FFh”，写操作就成立并且进行刷新。

在给 WDTRR 寄存器写 “FFh” 后，递减计数器的刷新时序最多需要 4 个计数周期 （1 个周期的外围时钟（PCLK）数因时钟分频比选择位 （WDTCR.CKS[3:0]）的设定值而不同）。因此，在从刷新允许期间结束位置开始到 4 个计数时钟或者递减计数器发生下溢的 4 个计数时钟前为止，必须给 WDTRR 寄存器写完 “FFh”。能通过递减计数器值的位 （WDTSR.CNTVAL[13:0]）确认递减计数器的值。

【刷新运行的时序例子】

- 当窗口起始位置为 “1FFFh” 时，即使在给WDTRR寄存器写 “00h” 后写 “1FFFh”（例如 “2002h”），只要在WDTSR.CNTVAL[13:0]位的值变为 “1FFFh” 后给WDTRR寄存器写 “FFh”，也进行刷新。
- 当窗口结束位置为 “1FFFh” 时，如果在按照 “00h” → “FFh” 的顺序写 WDTRR 寄存器后立即读WDTSR.CNTVAL[13:0]位的值并且读取值大于等于 “2003h”（“1FFFh” 的4个计数时钟前），就进行刷新。
- 当刷新允许期间持续到 “0000h” 时，能在下溢前进行刷新。此时，如果在按照 “00h” → “FFh” 的顺序写 WDTRR 寄存器后立即读 WDTSR.CNTVAL[13:0] 位的值并且读取值大于等于 “0003h”（下溢的4个计数时钟前），就不产生下溢而进行刷新。

时钟分频比为 PCLK/64 时的 WDT 刷新波形如图 28.6 所示。

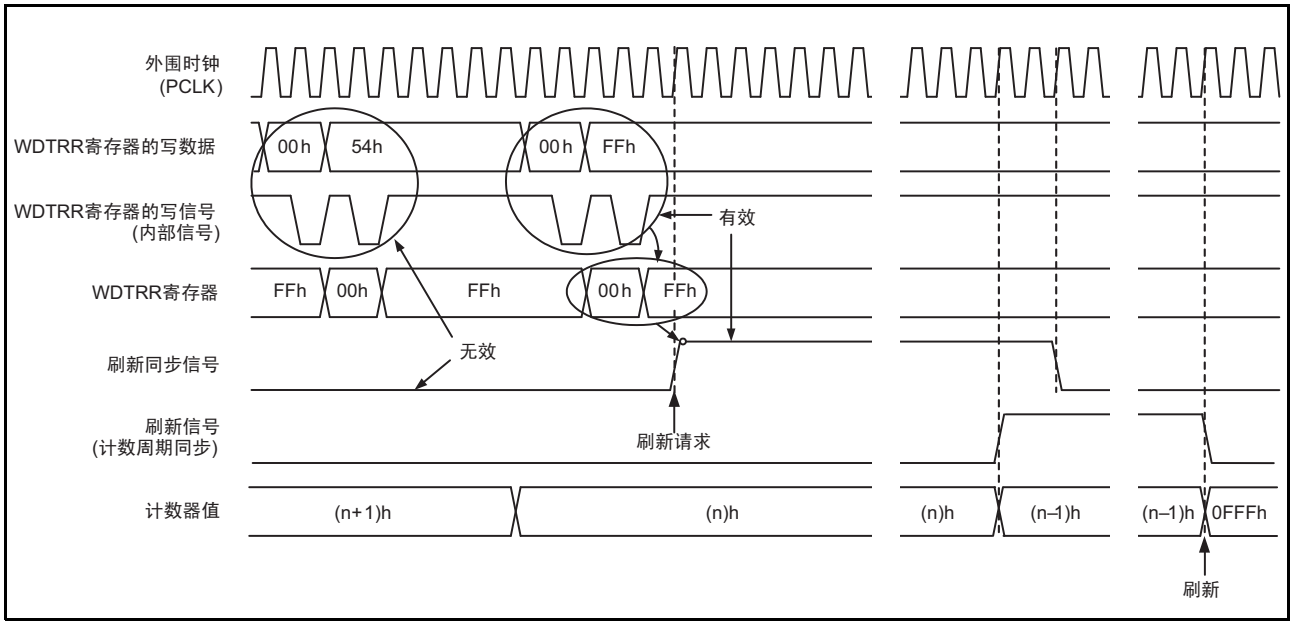


图 28.6 WDT 的刷新波形 （WDTCR.CKS[3:0]=0100b、 WDTCR.TOPS[1:0]=01b）

28.3.4 状态标志

刷新错误标志 （WDTSR.REFEF）和下溢标志 （WDTSR.UNDFF）保持 WDT 输出复位时的复位源或者发生 WDT 中断请求时的中断源。

在解除复位后或者在发生中断请求时，能通过读 WDTSR.REFEF 标志或者 WDTSR.UNDFF 标志，确认复位源或者中断源的发生状态。

要将各标志的值置 “0” 时，必须写 “0”。写 “1” 无效。

即使不将各标志置 “0”，也不影响运行。如果不置 “0”，就在下次 WDT 输出复位时清除旧的复位源并且写新的复位源，或者在下次 WDT 产生中断请求时清除旧的中断源并且写新的中断源。

另外，要读通过写 “0” 清除标志后被反映的值时，需要几个 PCLK 时钟 （至少 5 个时钟）。

28.3.5 复位输出

如果在寄存器启动模式中将复位中断选择位（WDTRCR.RSTIRQS）置“1”或者在自动启动模式中将选项功能选择寄存器 0 的 WDT 复位中断请求选择位（OFS0.WDTRSTIRQS）置“1”，就在发生递减计数器下溢或者刷新错误时输出 1 个计数周期的复位。

在寄存器启动模式中，在输出复位后递减计数器保持初始状态 （ALL “0” ）。在解除复位并且重新启动后，通过刷新重新设定计数器值并且开始递减计数。

在自动启动模式中，在输出复位后自动开始递减计数。

28.3.6 中断源

如果在寄存器启动模式中将复位中断选择位（WDTRCR.RSTIRQS）置“0”或者在自动启动模式中将选项功能选择寄存器 0 的 WDT 复位中断请求选择位（OFS0.WDTRSTIRQS）置“0”，就在发生递减计数器下溢或者刷新错误时产生非屏蔽中断 （WUNI）。

表 28.4 WDT 的中断源

名称	中断源	DTC 的启动	DMAC 的启动
WUNI	递减计数器的下溢 刷新错误	不能	不能

28.3.7 递减计数器值的读操作

WDT 将计数值保存到 WDT 状态寄存器的递减计数器 （WDTSR.CNTVAL[13:0] 位）。能通过读被保存到 WDTSR.CNTVAL[13:0] 位的值，确认计数值。

时钟分频比为 PCLK/64 时的递减计数器值的读处理如图 28.7 所示。

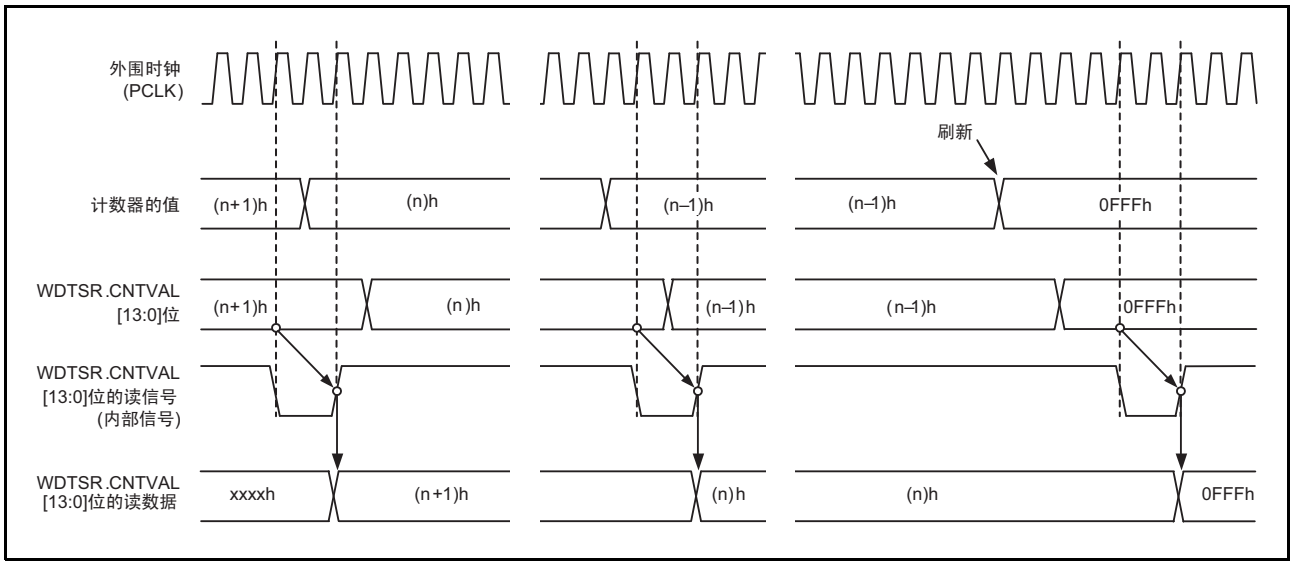


图 28.7 WDT 递减计数器值的读处理 （WDTCR.CKS[3:0]=0100b、 WDTCR.TOPS[1:0]=01b）

28.3.8 选项功能选择寄存器 0 （OFS0）和 WDT 寄存器的对应

通过选项功能选择寄存器 0（OFS0）进行的递减计数器控制、复位输出控制或者中断请求输出控制与 WDT 控制寄存器 （WDTCR）和 WDT 复位控制寄存器 （WDTRCR）的对应如**表 28.5** 所示。通过 WDT 启动模式选择位 （OFS0.WDTSTRT）选择 OFS0 寄存器和 WDTCR 寄存器、 WDTRCR 寄存器控制的有效或者无效。

必须在 WDT 运行过程中固定 OFS0 寄存器的设定。

有关 OFS0 寄存器，请参照 “7.2.1 选项功能选择寄存器 0 （OFS0）”。

表 28.5 选项功能选择寄存器 0 （OFS0）和 WDT 寄存器的对应

控制	功能	OFS0 寄存器 （在自动启动模式中有效） OFS0.WDTSTRT=0	WDT 寄存器 （在寄存器启动模式中有效） OFS0.WDTSTRT=1
递减计数器	选择超时期间。	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	选择时钟分频比。	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	选择窗口起始位置。	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	选择窗口结束位置。	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
复位输出 / 中断请求输出	选择输出复位或者中断请求。	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS

29. 独立看门狗定时器 （IWDTa）

独立看门狗定时器 （IWDT）是和检测程序失控的传统看门狗定时器独立使用的看门狗定时器。

IWDT 内置 14 位递减计数器，如果递减的计数值发生下溢，就能通过复位输出对本 LSI 进行复位，也能选择中断请求的发生。能通过刷新递减计数器的计数值，将计数值返回初始值并且重新开始计数。另外，能设定可刷新期间。如果在可刷新期间进行刷新，就能对计数器进行初始化并且再次进行计数。如果在可刷新期间外进行刷新，就输出复位或者中断请求。因此，能通过调整刷新间隔检测程序失控。在发生下溢或者在可刷新期间外进行刷新后， IWDT 停止计数。在寄存器启动模式中，在刷新后自动重新开始计数；在自动启动模式中，在输出复位或者中断请求后自动重新开始计数。

29.1 概要

IWDT 有自动启动模式和寄存器启动模式两种模式，自动开始模式是在解除复位后自动开始计数的模式，寄存器启动模式是在解除复位后通过刷新 （写寄存器）开始计数的模式。

在自动启动模式中，在解除复位前给选项功能选择寄存器 0 （OFS0）设定时钟分频比、刷新的窗口起始 / 结束位置、超时期间、下溢时的复位输出 / 非屏蔽中断请求输出以及睡眠模式的计数停止控制。

在寄存器启动模式中，在解除复位后并且在通过刷新开始计数前给寄存器设定时钟分频比、刷新的窗口起始 / 结束位置、超时期间、下溢时的复位输出 / 非屏蔽中断请求输出以及睡眠模式的计数停止控制。

通过 IWDT 启动模式选择位 （OFS0.IWDTSTRT）选择自动启动模式或者寄存器启动模式。

当选择自动启动模式时 （OFS0.IWDTSTRT=0）， IWDT 控制寄存器 （IWDTCR）、IWDT 复位控制寄存器 （IWDTRCR）和 IWDT 计数停止控制寄存器 （IWDTCSTPR）的设定无效而 OFS0 寄存器的设定有效。

当选择寄存器启动模式时 （OFS0.IWDTSTRT=1）， OFS0 寄存器的设定无效而 IWDTCR、 IWDTRCR 和 IWDTCSTPR 寄存器的设定有效。

IWDT 的规格如表 29.1 所示。

表 29.1 IWDT 的规格 (1/2)

项目	内容
计数源	IWDT 专用低速时钟 （IWDTCLK）
时钟分频比	1 分频、 16 分频、 32 分频、 64 分频、 128 分频、 256 分频
计数	通过 14 位递减计数器进行递减计数。
计数开始条件	• 复位后自动开始计数 （自动启动模式）。 • 通过刷新（在给IWDTRR寄存器写“00h”后写“FFh”）开始计数（寄存器启动模式）。
计数停止条件	• 复位 （递减计数器和寄存器返回初始值） • 当发生下溢或者刷新错误时 重新开始计数 （自动启动模式：自动、寄存器启动模式：刷新）
窗口功能	能设定窗口起始 / 结束位置 （刷新允许 / 禁止期间）。
复位输出源	• 当递减计数器发生下溢时 • 在刷新允许期间外进行刷新 （刷新错误）时
中断请求输出源	• 在递减计数器发生下溢时产生非屏蔽中断 （WUNI）时 • 在刷新允许期间外进行刷新 （刷新错误）时
读计数值	能通过读 IWDTSR 寄存器，读递减计数器的计数值。
输出信号 （内部信号）	• 复位输出 • 中断请求输出 • 睡眠模式的计数停止控制输出

表 29.1 IWDT 的规格 (2/2)

项目	内容
自动启动模式 （由选项功能选择寄存器 0（OFS0）控制）	• 选择复位后的时钟分频 （OFS0.IWDTCKS[3:0] 位）。 • 选择看门狗定时器的超时期间 （OFS0.IWDTTOPS[1:0] 位）。 • 选择看门狗定时器的窗口起始位置 （OFS0.IWDTRPSS[1:0] 位）。 • 选择看门狗定时器的窗口结束位置 （OFS0.IWDTRPES[1:0] 位）。 • 选择复位输出或者中断请求输出 （OFS0.IWDTRSTIRQS 位）。 • 选择在向睡眠模式、软件待机模式、深度软件待机模式或者全模块时钟停止模式转移时停止递减计数 （OFS0.IWDTSLCSTP 位）。
寄存器启动模式 （由 IWDT 寄存器控制）	• 选择刷新后的时钟分频比 （IWDTCR.CKS[3:0] 位）。 • 选择看门狗定时器的超时期间 （IWDTCR.TOPS[1:0] 位）。 • 选择看门狗定时器的窗口起始位置 （IWDTCR.RPSS[1:0] 位）。 • 选择看门狗定时器的窗口结束位置 （IWDTCR.RPES[1:0] 位）。 • 选择复位输出或者中断请求输出 （IWDTRCR.RSTIRQS 位）。 • 选择在向睡眠模式、软件待机模式、深度软件待机模式或者全模块时钟停止模式转移时停止递减计数 （IWDTCSTPR.SLCSTP 位）。

在使用 IWDT 时，为了使 IWDT 在外围时钟 （PCLK）停止的情况下运行，需要外围时钟 （PCLK）和 IWDT 专用低速时钟 （IWDTCLK）。总线接口部和寄存器部通过 PCLK 运行， 14 位递减计数器和控制电路通过 IWDTCLK 运行。

通过同步电路连接外围时钟运行块和 IWDT 专用低速时钟运行块之间的信号。

IWDT 的框图如图 29.1 所示。

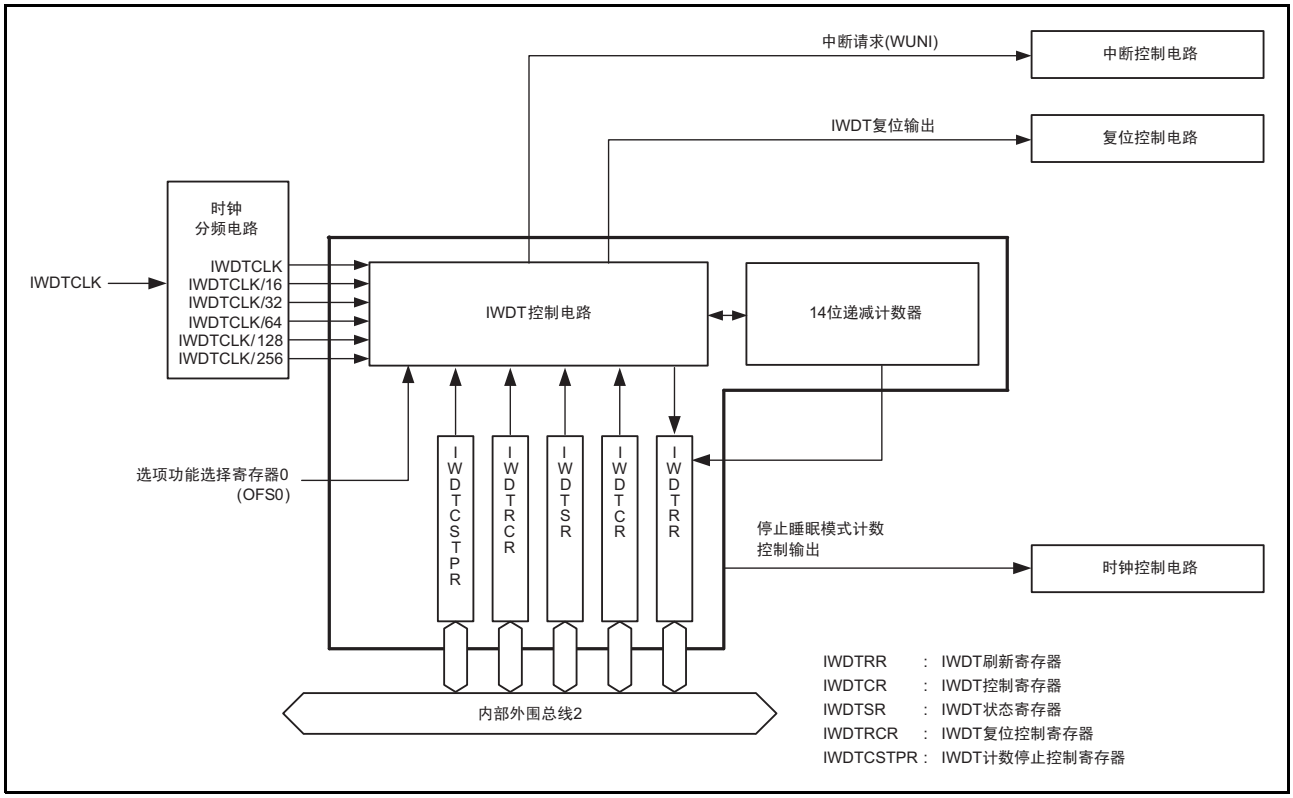
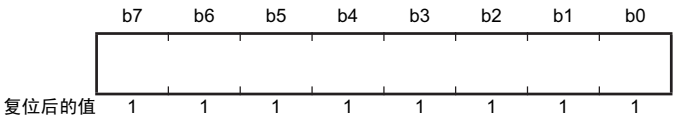


图 29.1 IWDT 的框图

29.2 寄存器说明

29.2.1 IWDT 刷新寄存器 （IWDTRR）

地址 0008 8030h



位	功能	R/W
b7-b0	通过在写 “00h” 后写 “FFh” 进行刷新。	R/W

IWDTRR 寄存器是刷新 IWDT 递减计数器的寄存器。

在刷新允许期间，通过在给 IWDTRR 寄存器写 “00h” 后写 “FFh”（刷新），刷新 IWDT 递减计数器。

在自动启动模式中，如果递减计数器被刷新，就从选项功能选择寄存器 0 的 IWDT 超时期间选择位（OFS0. IWDTTOPS[1:0]）设定的值开始递减计数。在寄存器启动模式中，如果递减计数器被刷新，就从 IWDT 控制寄存器的超时期间选择位 （IWDTCR.TOPS[1:0]）设定的值开始递减计数，也能通过解除复位后的第 1 次刷新，从 IWDTCR.TOPS[1:0] 位设定的值开始递减计数。

如果写 “00h”，读取值就为 “00h”；如果写 “00h” 以外的值，读取值就为 “FFh”。

有关刷新的详细内容，请参照 “29.3.3 刷新”。

29.2.2 IWDT 控制寄存器 （IWDTCR）

地址 0008 8032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
复位后的值	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

位	符号	位名	功能	R/W
b1-b0	TOPS[1:0]	超时期间选择位	b1 b0 0 0：1024 个周期 （03FFh） 0 1：4096 个周期 （0FFFh） 1 0：8192 个周期 （1FFFh） 1 1：16384 个周期 （3FFFh）	R/W
b3-b2	—	保留位	读取值为 “0”，写操作无效。	R
b7-b4	CKS[3:0]	时钟分频比选择位	b7 b4 0 0 0 0：IWDTCLK 0 0 1 0：IWDTCLK/16 0 0 1 1：IWDTCLK/32 0 1 0 0：IWDTCLK/64 1 1 1 1：IWDTCLK/128 0 1 0 1：IWDTCLK/256 上述以外：不能设定	R/W
b9-b8	RPES[1:0]	窗口结束位置选择位	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% （没有设定窗口的结束位置）	R/W
b11-b10	—	保留位	读取值为 “0”，写操作无效。	R
b13-b12	RPSS[1:0]	窗口起始位置选择位	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100% （没有设定窗口的开始位置）	R/W
b15-b14	—	保留位	读取值为 “0”，写操作无效。	R

IWDTCR 寄存器有写操作限制。详细内容请参照 “29.3.2 IWDTCR 寄存器、IWDTRCR 寄存器和 IWDTCSTPR 寄存器的写控制”。

在自动启动模式中，IWDTCR 寄存器的设定无效而选项功能选择寄存器 0（OFS0）的设定有效。OFS0 寄存器的设定和 IWDTCR 寄存器各位的设定相同。详细内容请参照 “29.3.8 选项功能选择寄存器 0（OFS0）和 IWDT 寄存器的对应”。

TOPS[1:0] 位 （超时期间选择位）

这些位以 CKS[3:0] 位设定的分频时钟为 1 个周期，从 1024 个周期、4096 个周期、8192 个周期和 16384 个周期中选择递减计数器发生下溢为止的超时期间。

从刷新后到下溢为止的时间 （IWDTCLK 数）取决于 CKS[3:0] 位和 TOPS[1:0] 位的组合。

CKS[3:0] 位和 TOPS[1:0] 位的设定与超时期间、 IWDTCLK 数的关系如表 29.2 所示。

表 29.2 超时期间设定表

CKS[3:0] 位				TOPS[1:0] 位		时钟分频比	超时期间（周期数）	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] 位 （时钟分频比选择位）

这些位从 1 分频、16 分频、32 分频、64 分频、128 分频和 256 分频中选择 IWDT 对 IWDTCLK 进行分频的分频比。能通过和TOPS[1:0]位的组合，将IWDT的计数期间设定在IWDTCLK的1024～4194304个时钟之间。

RPES[1:0] 位 （窗口结束位置选择位）

这些位从计数期间的 75%、50%、25% 和 0% 中选择递减计数器器的窗口结束位置。窗口结束位置选择小于窗口起始位置的值 （窗口起始位置＞窗口结束位置）。如果设定窗口结束位置大于窗口起始位置的值，就只有窗口起始位置的设定有效。

RPSS[1:0] 位和 RPES[1:0] 位设定的窗口起始 / 结束位置的计数器值根据 TOPS[1:0] 位的设定而变。

与 TOPS[1:0] 位的值对应的窗口起始 / 结束位置的计数值如表 29.3 所示。

表 29.3 超时期间和窗口允许 / 结束位置的计数值的对应表

TOPS[1:0] 位		超时期间		刷新允许 / 结束计数器值			
b1	b0	周期数	计数器值	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] 位 （窗口起始位置选择位）

这些位从计数期间（开始计数时为 100%、发生下溢时为 0%）的 100%、75%、50% 和 25% 中选择递减计数器的窗口起始位置。从窗口起始位置到窗口结束位置的期间为刷新允许期间，其他期间为刷新禁止期间。

RPSS[1:0] 位和 RPES[1:0] 位的设定值与刷新允许 / 禁止期间的关系如图 29.2 所示。

RPSS[1:0]位		RPES[1:0]位		窗口	
b13	b12	b9	b8	开始 (%)	结束 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

注. 当设定为“窗口结束”≥“窗口开始”，“窗口结束”的设定为0%。

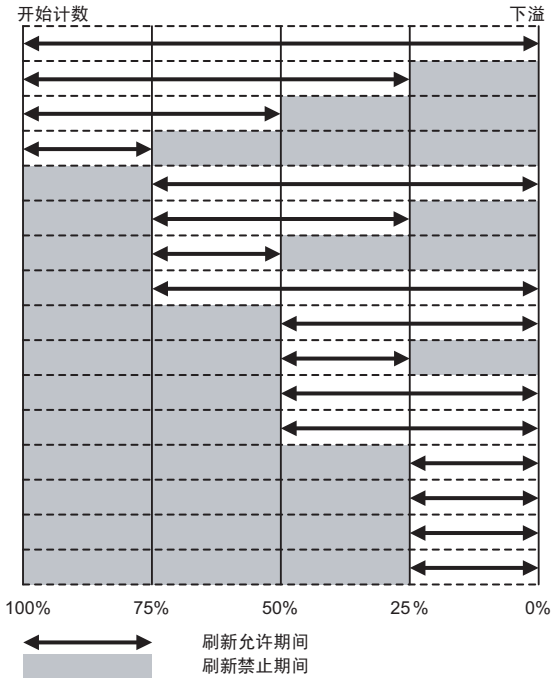
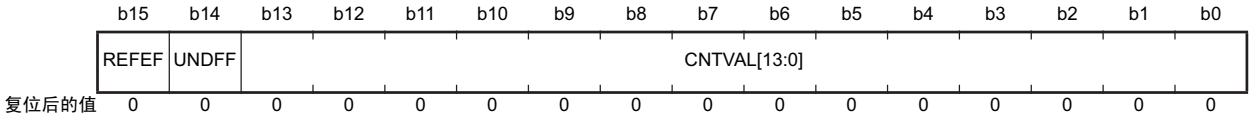


图 29.2 RPSS[1:0] 位、 RPES[1:0] 位和刷新允许期间

29.2.3 IWDT 状态寄存器 （IWDTSR）

地址 0008 8034h



位	符号	位名	功能	R/W
b13-b0	CNTVAL[13:0]	递减计数器值的位	递减计数器的计数值	R
b14	UNDFF	下溢标志	0：没有发生下溢 1：发生下溢	R(/W) （注 1）
b15	REFEF	刷新错误标志	0：没有发生刷新错误 1：发生刷新错误	R(/W) （注 1）

注 1. 为了将标志置 “0”，只能写 “0”。

通过 IWDT 的复位源而不通过其他复位源对 IWDTSR 寄存器进行初始化。

CNTVAL[13:0] 位 （递减计数器值的位）

这些位能确认递减计数器的计数值。但是，读到的计数值有可能和递减计数器的实际值相差 1 个计数时钟。

UNDFF 标志 （下溢标志）

此标志能确认递减计数器的下溢发生状态。

当读取值为 “1” 时，表示递减计数器发生下溢；当读取值为 “0” 时，表示递减计数器没有发生下溢。

要将 UNDFF 标志的值置 “0” 时，必须给此标志写 “0”。写 “1” 无效。

REFEF 标志 （刷新错误标志）

此标志能确认刷新错误 （刷新禁止期间的刷新）的发生状态。

当读取值为 “1” 时，表示发生刷新错误；当读取值为 “0” 时，表示没有发生刷新错误。

要将 REFEF 标志的值置 “0” 时，必须给此标志写 “0”。写 “1” 无效。

29.2.4 IWDT 复位控制寄存器 （IWDTRCR）

地址 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b6-b0	—	保留位	读取值为 “0”，写操作无效。	R
b7	RSTIRQS	复位中断请求选择位	0：允许输出非屏蔽中断请求 1：允许输出复位	R/W

IWDTRCR 寄存器有写操作限制，详细内容请参照 “29.3.2 IWDTCR 寄存器、 IWDTRCR 寄存器和 IWDTCSTPR 寄存器的写控制”。

在自动启动模式中，IWDTRCR 寄存器的设定无效而选项功能选择寄存器 0（OFS0）的设定有效。OFS0 寄存器的设定和 IWDTRCR 寄存器各位的设定相同。详细内容请参照 “29.3.8 选项功能选择寄存器 0 （OFS0）和 IWDT 寄存器的对应”。

29.2.5 IWDT 计数停止控制寄存器 （IWDTCSTPR）

地址 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b6-b0	—	保留位	读取值为 “0”，写操作无效。	R
b7	SLCSTP	睡眠模式的计数停止控制位	0：计数停止无效 1：在向睡眠模式、软件待机模式、深度软件待机模式和全模块时钟停止模式转移时计数停止有效	R/W

IWDTCSTPR 寄存器有写操作限制，详细内容请参照 “29.3.2 IWDTCR 寄存器、 IWDTRCR 寄存器和 IWDTCSTPR 寄存器的写控制”。

在自动启动模式中，IWDTCSTPR 寄存器的设定无效而选项功能选择寄存器 0（OFS0）的设定有效。OFS0 寄存器的设定和IWDTCSTPR寄存器各位的设定相同。详细内容请参照“29.3.8 选项功能选择寄存器0（OFS0）和 IWDT 寄存器的对应”。

SLCSTP 位 （睡眠模式的计数停止控制位）

此位选择在向睡眠模式、软件待机模式、深度软件待机模式和全模块时钟停止模式转移时停止计数。

29.2.6 选项功能选择寄存器 0 （OFS0）

有关 OFS0 寄存器，请参照 “29.3.8 选项功能选择寄存器 0 （OFS0）和 IWDT 寄存器的对应”。

29.3 运行说明

29.3.1 各计数开始条件下的运行

通过选项功能选择寄存器 0 的 IWDT 启动模式选择位 （OFS0.IWDTSTRT）选择 IWDT 的启动模式。

当 OFS0.IWDTSTRT 位为“1”（寄存器启动模式）时， IWDT 控制寄存器 （IWDTCR）、IWDT 复位控制寄存器 （IWDTRCR）和 IWDT 计数停止控制寄存器 （IWDTCSTPR）的设定有效，通过刷新 IWDT 刷新寄存器 （IWDTRR）开始计数。当 OFS0.IWDTSTRT 位为“0”（自动启动模式）时， OFS0 寄存器有效，在复位后自动开始计数。

29.3.1.1 寄存器启动模式

当选项功能选择寄存器 0 的 IWDT 启动模式选择位 （OFS0.IWDTSTRT）为“1”时，为寄存器启动模式，IWDT 控制寄存器 （IWDTCR） 、IWDT 复位控制寄存器 （IWDTRCR）和 IWDT 计数停止控制寄存器 （IWDTCSTPR）有效。

在解除复位后，给 IWDTCR 寄存器设定时钟分频比、窗口起始 / 结束位置和超时期间，给 IWDTRCR 寄存器设定复位输出或者中断请求输出，给 IWDTCSTPR 寄存器设定向低功耗模式转移时的 IWDT 递减计数器的计数停止控制。然后，通过刷新将超时期间选择位 （IWDTCR.TOPS[1:0]）选择的值设定到递减计数器并且开始递减计数。

此后，如果程序正常运行并且在刷新允许期间内进行了刷新，就在每次刷新时重新设定计数器值并且继续进行递减计数。在此期间， IWDT 不输出复位。但是，如果因程序失控等无法刷新递减计数器而导致递减计数器发生下溢，或者因在刷新允许期间外进行刷新而发生刷新错误， IWDT 就输出复位或者非屏蔽中断请求（WUNI）。通过设定复位中断请求选择位 （IWDTRCR.RSTIRQS），选择输出复位或者中断请求。

以下条件下的运行例子如图 29.3 所示。

- IWDT 启动模式选择位 （OFS0.IWDTSTRT）：“1”（寄存器启动模式）
- 复位中断请求选择位 （IWDTRCR.RSTIRQS）：“1”（允许输出复位）
- 窗口起始位置选择位 （IWDTCR.RPSS[1:0]）：“10b”（75%）
- 窗口结束位置选择位 （IWDTCR.RPES[1:0]）：“10b”（25%）

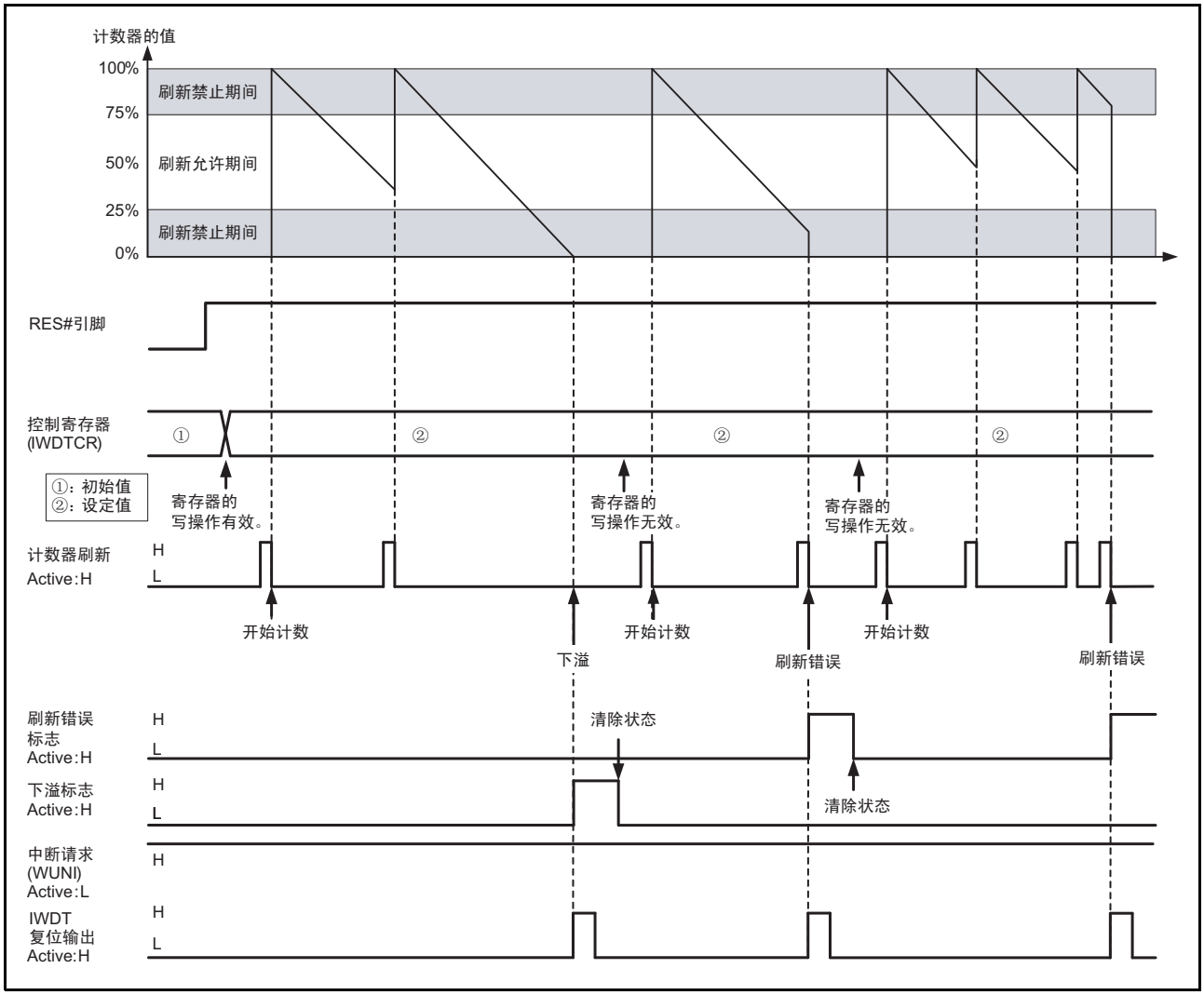


图 29.3 寄存器启动模式的运行例子

29.3.1.2 自动启动模式

当选项功能选择寄存器 0 的 IWDT 启动模式选择位 （OFS0.IWDTSTRT）为 “0”时，为自动启动模式，IWDT 控制寄存器 0（IWDTCR）、IWDT 复位控制寄存器（IWDTRCR）和 IWDT 计数停止控制寄存器（IWDTCSTPR）无效。

在复位期间，通过 OFS0 寄存器设定时钟分频比、窗口起始 / 结束位置、超时期间、复位输出或者中断请求输出以及向低功耗模式转移时的 IWDT 递减计数器的计数停止控制。然后通过解除复位将 IWDT 超时期间选择位 （OFS0.IWDTTOPS[1:0]）设定的超时期间值设定到递减计数器并且自动开始递减计数。

此后，如果程序正常运行并且在刷新允许期间内进行了刷新，就在每次刷新时重新设定计数器值并且继续进行递减计数。在此期间， IWDT 不输出复位。如果因程序失控等无法刷新递减计数器而导致递减计数器发生下溢，或者因在刷新允许期间外进行刷新而发生刷新错误，IWDT 就输出复位或者非屏蔽中断请求（WUNI）。在输出 1 个计数周期的复位或者非屏蔽中断请求后，递减计数器重新加载超时期间并且重新开始计数。通过设定 IWDT 复位中断请求选择位 （OFS0.IWDTRSTIRQS），选择输出复位或者中断请求。

以下条件下的运行例子如图 29.4 所示。

- IWDT启动模式选择位 （OFS0.IWDTSTRT）：“0”（自动启动模式）
- 复位中断请求选择位 （OFS0.IWDTRSTIRQS）：“0”（允许输出非屏蔽中断请求）
- 窗口起始位置选择位 （OFS0.IWDTRPSS[1:0]）：“10b”（75%）
- 窗口结束位置选择位 （OFS0.IWDTRPES[1:0]）：“10b”（25%）

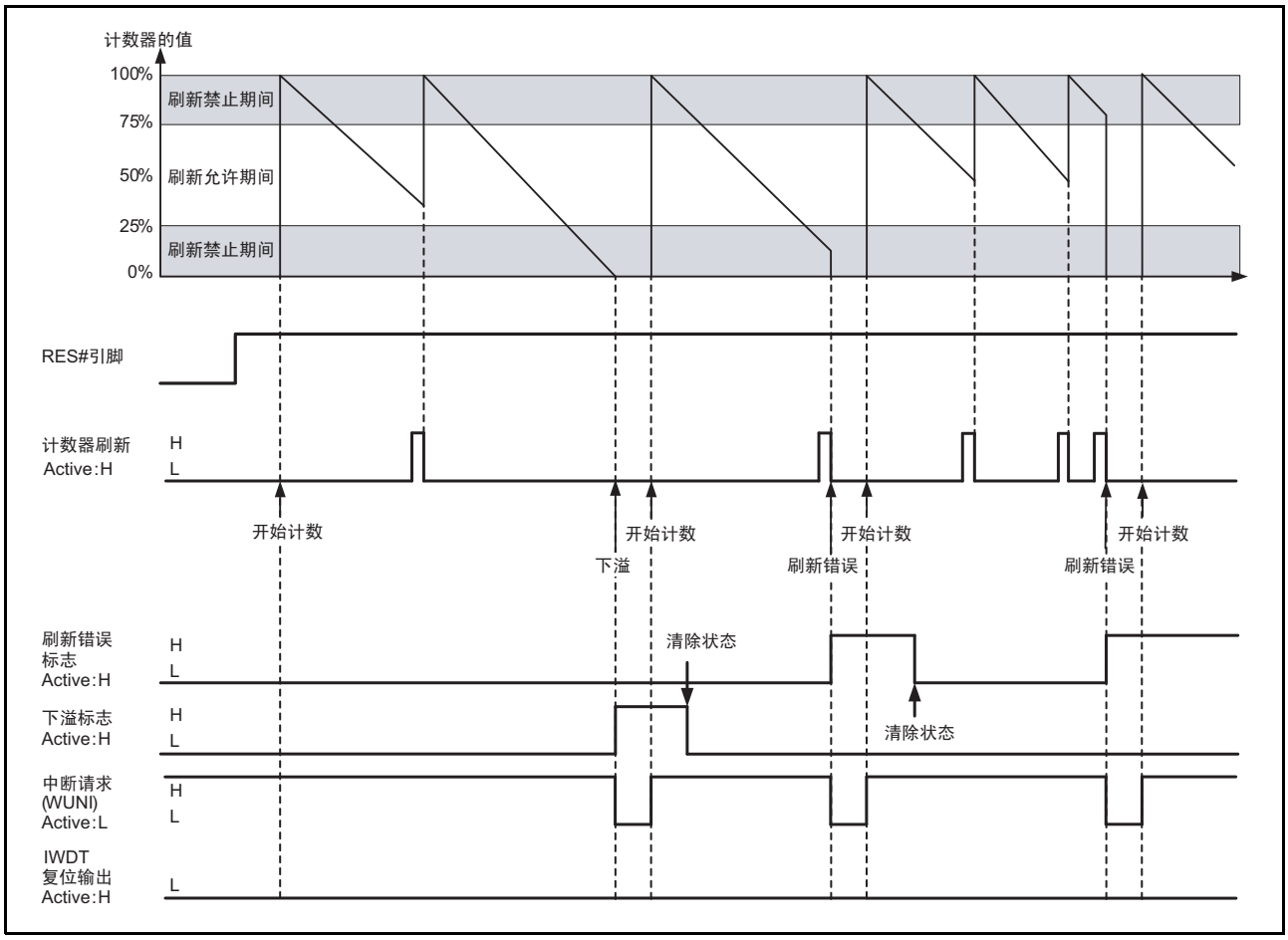


图 29.4 自动启动模式的运行例子

29.3.2 IWDTCR 寄存器、 IWDTRCR 寄存器和 IWDTCSTPR 寄存器的写控制

在从复位解除后到第 1 次刷新的期间，只能写 1 次 IWDT 控制寄存器 （IWDTCR）、 IWDT 复位控制寄存器 （IWDTRCR）和 IWDT 计数停止控制寄存器 （IWDTCSTPR）。

如果刷新 （开始计数）或者写 IWDTCR、 IWDTRCR、 IWDTCSTPR 寄存器， IWDT 的内部保护信号就变为 “1”，此后保护对 IWDTCR、 IWDTRCR 和 IWDTCSTPR 寄存器的写操作。

通过 IWDT 的复位源而不通过其他复位源解除保护。

IWDTCR 寄存器的写控制波形如图 29.5 所示。

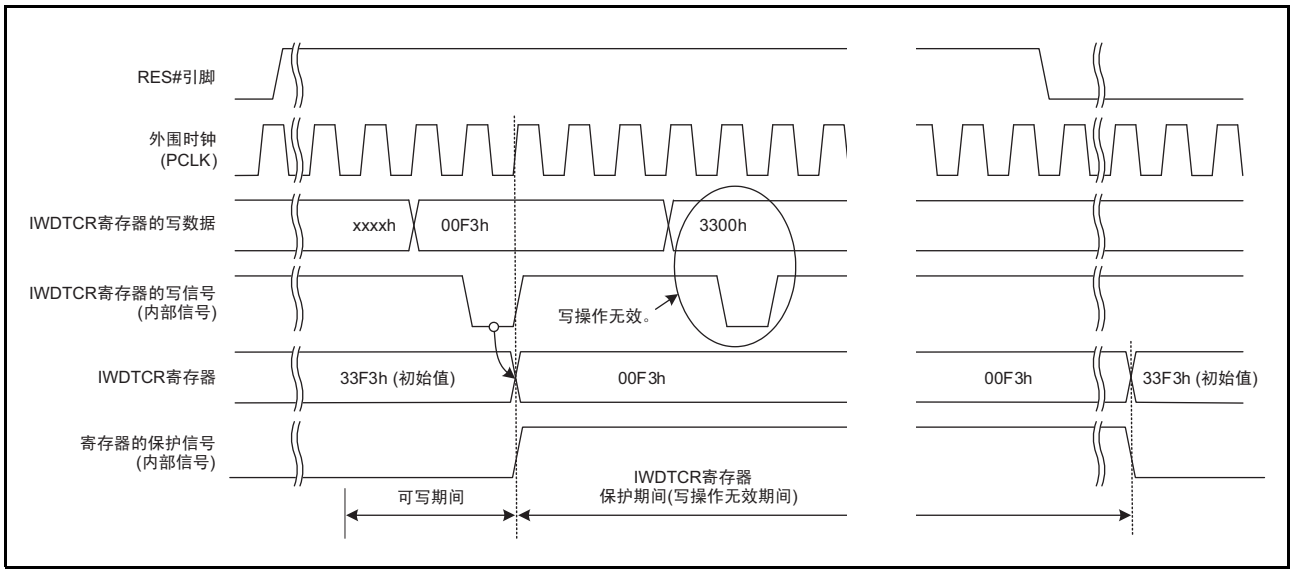


图 29.5 IWDTCR 寄存器的写控制波形

29.3.3 刷新

要刷新递减计数器并且使递减计数器开始运行 （通过刷新开始计数）时，在给 IWDT 刷新寄存器 （IWDTRR）写 “00h” 后接着写 “FFh”。如果在写 “00h” 后写 “FFh” 以外的值，就不进行刷新。能通过再次按照 “00h” → “FFh” 的顺序写 IWDTRR 寄存器，正常地进行刷新。

即使按照 “00h”（第 1 次）→ “00h”（第 2 次）的顺序进行写操作，因为之后通过写 “FFh” 能使 “00h” → “FFh” 顺序的写操作成立，所以 “00h”（第 n–1 次）→ “00h”（第 n 次）→ “FFh” 的写操作也有效并且进行刷新。同样，即使在 “00h” 之前写的不是 “00h”，只要 “00h” → “FFh” 顺序的写操作成立，也进行刷新。另外，在给 IWDTRR 寄存器写 “00h” 和 “FFh” 的期间，即使存取 IWDTRR 以外的寄存器或者读 IWDTRR 寄存器，也进行刷新。

【刷新有效的写操作例子】
“00h” → “FFh”
“00h”（第 n–1 次） → “00h”（第 n 次） → “FFh”
“00h” → 存取其他寄存器或者读 IWDTRR 寄存器 → “FFh”

【刷新无效的写操作例子】
“23h”（不是 “00h”） → “FFh”
“00h” → “54h”（不是 “FFh”）
“00h” → “AAh”（不是 “00h” 和 “FFh”） → “FFh”

作为刷新运行，即使在刷新允许期间外给 IWDTRR 寄存器写 “00h”，只要在刷新允许期间内给 IWDTRR 寄存器写 “FFh”，写操作就成立并且进行刷新。

在给 IWDTRR 寄存器写“FFh”后，递减计数器的刷新时序最多需要 4 个计数周期（1 个周期期间的 IWDT 专用低速时钟 （IWDTCLK）数因时钟分频比选择位 （IWDTCR.CKS[3:0]）的设定值而不同）。因此，在从刷新允许期间结束位置开始到 4 个计数周期或者递减计数器发生下溢的 4 个计数周期前为止，必须给 IWDTRR 寄存器写完 “FFh”。能通过递减计数器值的位 （IWDTSR.CNTVAL[13:0]）确认递减计数器的值。

【刷新运行的时序例子】

- 当窗口起始位置为“1FFFh”时，即使在给IWDTRR寄存器写“00h”后写“1FFFh”（例如“2002h”），只要在IWDTSR.CNTVAL[13:0]位的值变为 “1FFFh”后给IWDTRR寄存器写 “FFh”，也进行刷新。
- 当窗口结束位置为 “1FFFh”时，如果在按照 “00h” → “FFh”的顺序写 IWDTRR 寄存器后立即读 IWDTSR.CNTVAL[13:0] 位的值并且读取值大于等于 “2003h”（“1FFFh”的 4 个计数时钟前），就进行刷新。
- 当刷新允许期间持续到 “0000h”时，能在下溢前进行刷新，此时，如果在按照 “00h” → “FFh”的顺序写IWDTRR寄存器后立即读IWDTSR.CNTVAL[13:0]位的值并且读取值大于等于 “0003h”（下溢的4个计数时钟前），就不产生下溢而进行刷新。

PCLK＞IWDTCLK并且时钟分频比为IWDTCLK时的IWDT的刷新波形如图29.6所示，PCLK＜IWDTCLK并且时钟分频比为 IWDTCLK/16 时的 IWDT 的刷新波形如图 29.7 所示。

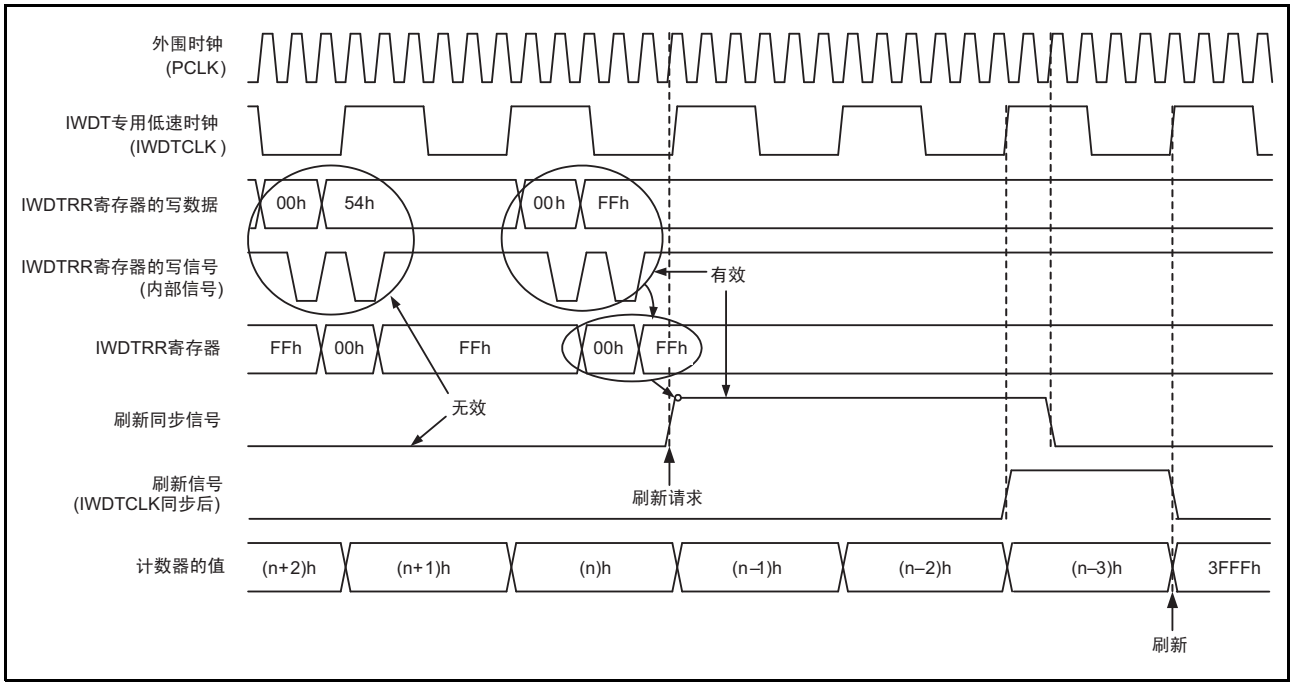


图 29.6 IWDT 的刷新波形 （IWDTCR.CKS[3:0]=0000b、 IWDTCR.TOPS[1:0]=11b）

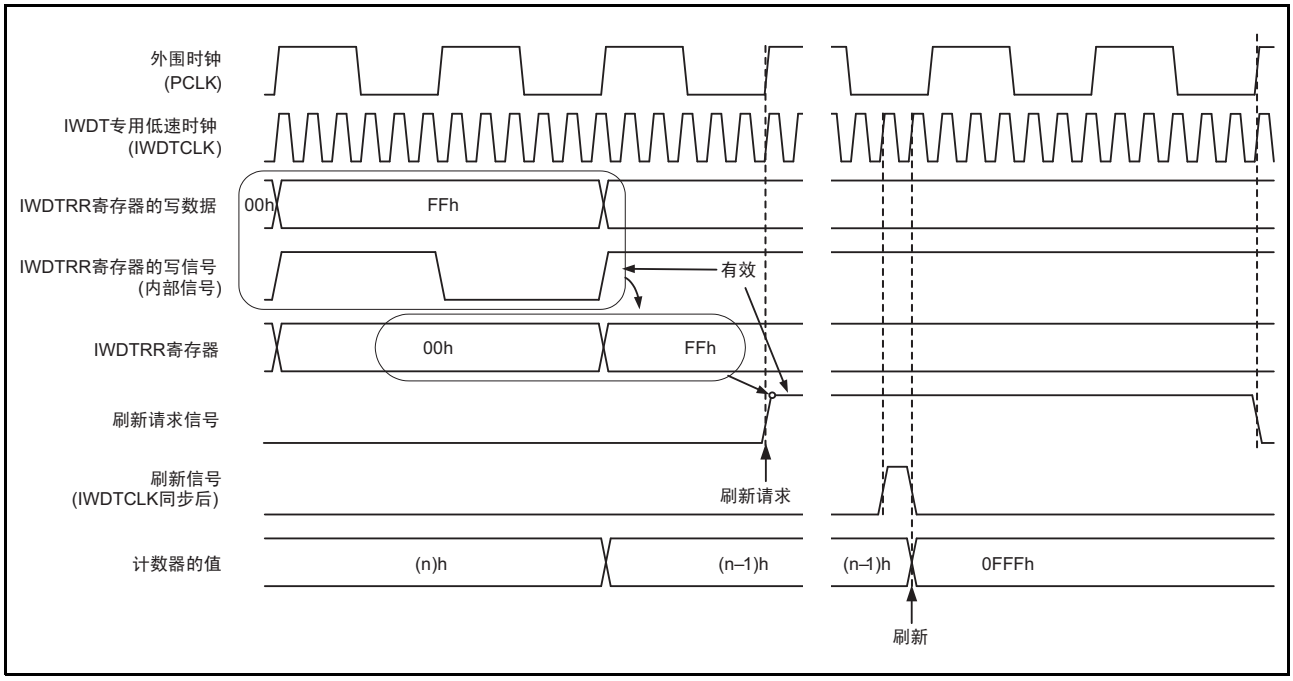


图 29.7 IWDT 的刷新波形 （IWDTCR.CKS[3:0]=0010b、 IWDTCR.TOPS[1:0]=01b）

29.3.4 状态标志

刷新错误标志 （IWDTSR.REFEF）和下溢标志 （IWDTSR.UNDFF）保持 IWDT 输出复位时的复位源或者发生中断请求时的中断源。

在解除复位后或者在发生中断请求时，能通过读 IWDTSR.REFEF 标志或者 IWDTSR.UNDFF 标志，确认复位源或者中断源的发生状态。

要将各标志的值置 “0” 时，必须写 “0”。写 “1” 无效。

即使不将各标志置 “0”，也不影响运行。如果不置 “0”，就在下次 IWDT 输出复位时清除以前的复位源并且写新的复位源，或者在下次 IWDT 发生中断请求时清除以前的中断源并且写新的中断源。

另外，要读通过写 “0” 清除标志后被反映的值时，需要几个 IWDTCLK 时钟 （至少 3 个时钟）和几个 PCLK 时钟 （至少 2 个时钟）。

29.3.5 复位输出

如果在寄存器启动模式中将复位中断选择位 （IWDTRCR.RSTIRQS）置 “1” 或者在自动启动模式中将选项功能选择寄存器 0 的 IWDT 复位中断请求选择位 （OFS0.IWDTRSTIRQS）置 “1”，就在发生递减计数器下溢或者刷新错误时输出 1 个计数周期的复位。

在寄存器启动模式中，在输出复位后递减计数器保持初始状态 （ALL “0” ）。在解除复位并且重新启动后，通过刷新重新设定计数器值并且开始递减计数。

在自动启动模式中，在输出复位后自动开始递减计数。

29.3.6 中断源

如果在寄存器启动模式中将复位中断选择位 （IWDTRCR.RSTIRQS）置 “0” 或者在自动启动模式中将选项功能选择寄存器 0 的 IWDT 复位中断请求选择位 （OFS0.IWDTRSTIRQS）置 “0”，就在发生递减计数器下溢或者刷新错误时产生非屏蔽中断 （WUNI）。

表 29.4 IWDT 的中断源

名称	中断源	DTC 的启动	DMAC 的启动
WUNI	递减计数器的下溢 刷新错误	不能	不能

29.3.7 递减计数器值的读操作

因为 IWDT 的递减计数器通过 IWDT 专用低速时钟（IWDTCLK）运行，所以不能直接读计数器值。因此，IWDT 通过外围时钟 （PCLK）与计数器值同步并且保存到 IWDT 状态寄存器的递减计数器 （IWDTSR.CNTVAL[13:0] 位）。能通过读被保存到 IWDTSR.CNTVAL[13:0] 位的值，间接确认计数器值。

因为读操作需要几个 PCLK 时钟 （最多 4 个时钟），所以读到的计数值和递减计数器的实际值有可能相差 1 个计数时钟。

PCLK ＞ IWDTCLK 并且时钟分频比为 IWDTCLK 时的 IWDT 递减计数器值的读处理如图 29.8 所示，PCLK ＜ IWDTCLK 并且时钟分频比为 IWDTCLK/16 时的 IWDT 递减计数器值的读处理如图 29.9 所示。

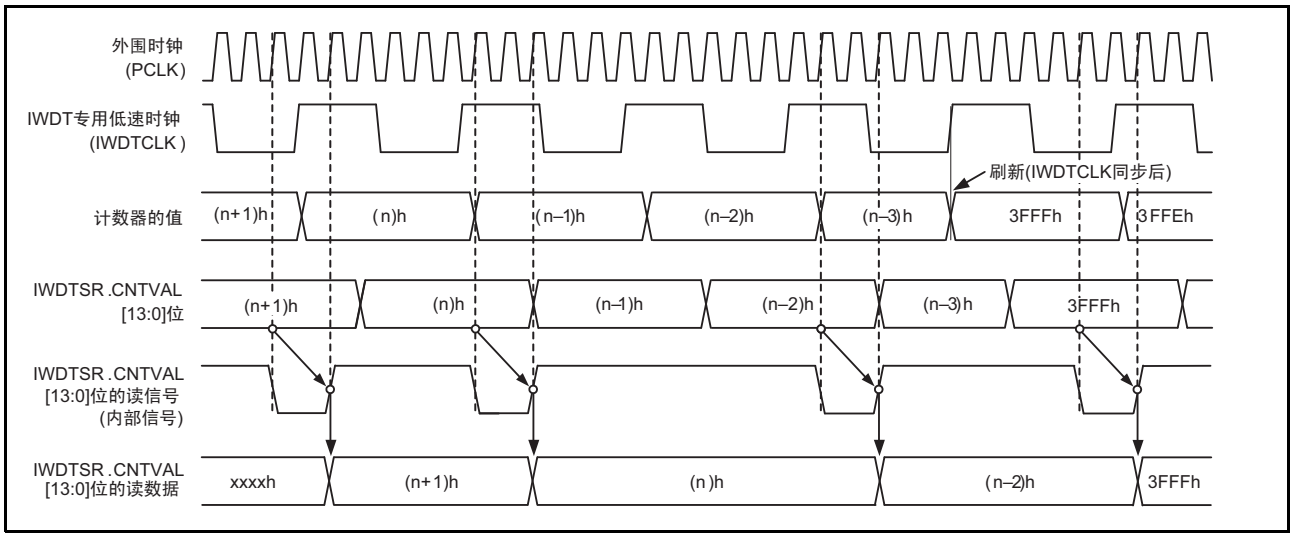


图 29.8 IWDT 递减计数器值的读处理 （IWDTCR.CKS[3:0]=0000b、 IWDTCR.TOPS[1:0]=11b）

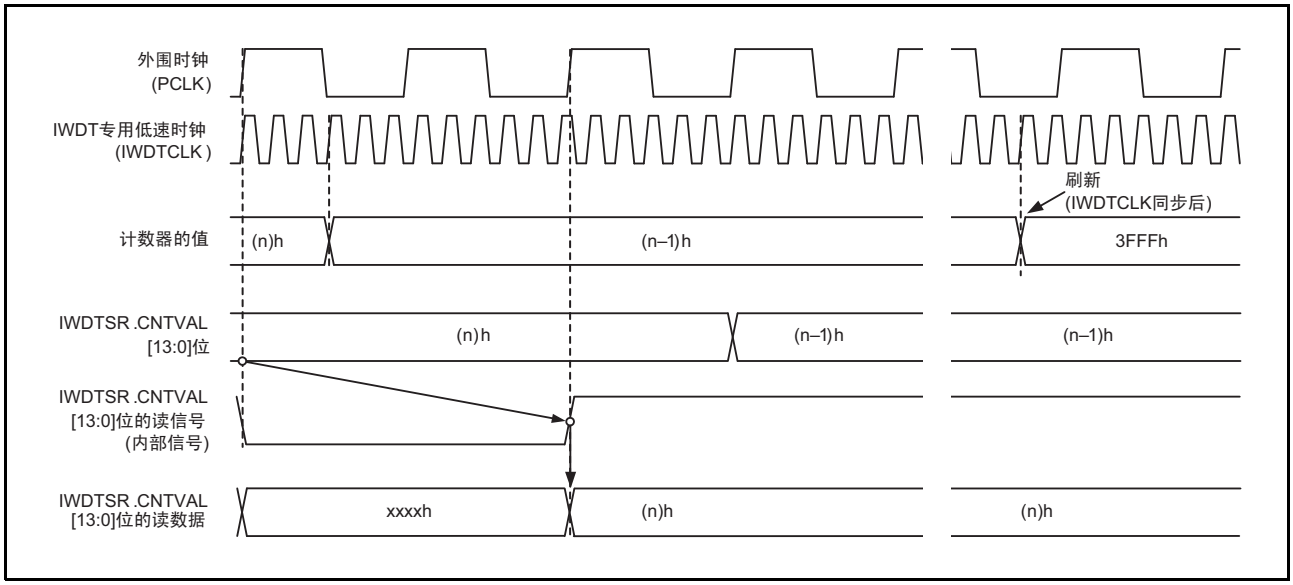


图 29.9 IWDT 递减计数器值的读处理 （IWDTCR.CKS[3:0]=0010b、 IWDTCR.TOPS[1:0]=11b）

29.3.8 选项功能选择寄存器 0 （OFS0）和 IWDT 寄存器的对应

通过选项功能选择寄存器 0 （OFS0）进行的递减计数器控制、复位输出控制、中断请求输出控制、计数停止控制和 IWDT 控制寄存器（IWDTCR）、IWDT 复位控制寄存器（IWDTRCR）、IWDT 计数停止控制寄存器（IWDTCSTPR）的对应如表 29.5 所示。通过 IWDT 启动模式选择位（OFS0.IWDTSTRT）选择 OFS0 寄存器和 IWDTCR、 IWDTRCR、 IWDTCSTPR 寄存器控制的有效或者无效。

必须在 IWDT 运行过程中固定 OFS0 寄存器的设定。

有关 OFS0 寄存器，请参照 “7.2.1 选项功能选择寄存器 0 （OFS0）”。

表 29.5 选项功能选择寄存器 0 （OFS0）和 IWDT 寄存器的对应

控制	功能	OFS0 寄存器 （在自动启动模式中有效） OFS0.IWDTSTRT=0	IWDT 寄存器 （在寄存器启动模式中有效） OFS0.IWDTSTRT=1
递减计数器	选择超时期间。	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	选择时钟分频比。	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	选择窗口起始位置。	OFS0.IWDTRPSS[1:0]	IWDTCR.RPSS[1:0]
	选择窗口结束位置。	OFS0.IWDTRPES[1:0]	IWDTCR.RPES[1:0]
复位输出 / 中断请求输出	选择输出复位或者中断请求。	OFS0.IWDTRSTIRQS	IWDTRCR.RSTIRQS
计数停止	选择在睡眠模式中停止计数。	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

29.4 使用时的注意事项

29.4.1 刷新

在设定刷新时序时，必须考虑 PCLK 和 IWDTCLK 的精度，设定在误差范围内即使周期发生变化也能刷新的值。

30. USB2.0 功能模块 （USBa）

30.1 概要

RX630 群有 1 个端口的 USB2.0 功能模块 （USB）。

USB 是具有功能控制器功能的 USB 控制器。功能控制器功能支持全速传送。USB 还内置 USB 收发器，支持 USB 规格定义的全部传送类型。

USB 内置用于数据传送的缓冲存储器，最多能使用 10 个管道。能给管道 1 ～ 9 分配和通信外围设备或者用户系统相应的任意端点号。

USB 的规格如表 30.1 所示。

表 30.1 USB 的规格

项目	内容
特点	• 内置支持 USB2.0 的 UDC （USB Device Controller）和收发器。 • 有 1 个端口。 • 可选择自供电模式和总线供电模式。 • 等时传送和中断传送的传送间隔设定功能 • 支持全速传送 （12Mbps）。 • 控制传送阶段管理功能 • 设备状态管理功能 • 对 SET_ADDRESS 请求的自动应答功能 • SOF 内插功能
通信数据的传送类型	• 控制传送 • 批量传送 • 中断传送 • 等时传送
内部总线接口	• 连接内部外围总线 2。
管道配置	• 内置用于 USB 通信的缓冲存储器。 • 最多可选择 10 个管道 （包括默认控制管道）。 • 能给管道 1 ～ 9 分配任意的端点号。 • 各管道能设定的传送条件如下： • 管道 0：是控制传送的专用管道 （默认控制管道：DCP），缓冲器大小为 8/16/32/64 字节 （单缓冲器）。 • 管道 1、2：是能选择批量传送或者等时传送的管道，批量传送时的缓冲器大小为 8/16/32/64 字节（能指定双缓冲器），等时传送时的缓冲器大小为 1 ～ 256 字节（能指定双缓冲器）。 • 管道 3 ～ 5：是批量传送的专用管道，缓冲器大小为 8/16/32/64 字节 （能指定双缓冲器）。 • 管道 6 ～ 9：是中断传送的专用管道，缓冲器大小为 1 ～ 64 字节 （单缓冲器）。
其他功能	• 事务计数产生的接收传送结束功能 • BRDY 中断事件通知时序的变更功能 （BFRE） • 读DnFIFO（n=0、1）端口指定的管道数据后的缓冲存储器自动清除功能（DCLRM） • 传送结束产生的应答 PID 的 NAK 设定功能 （SHTNAK）
低功耗功能	• 能设定为模块停止状态。

USB 的框图如图 30.1 所示。

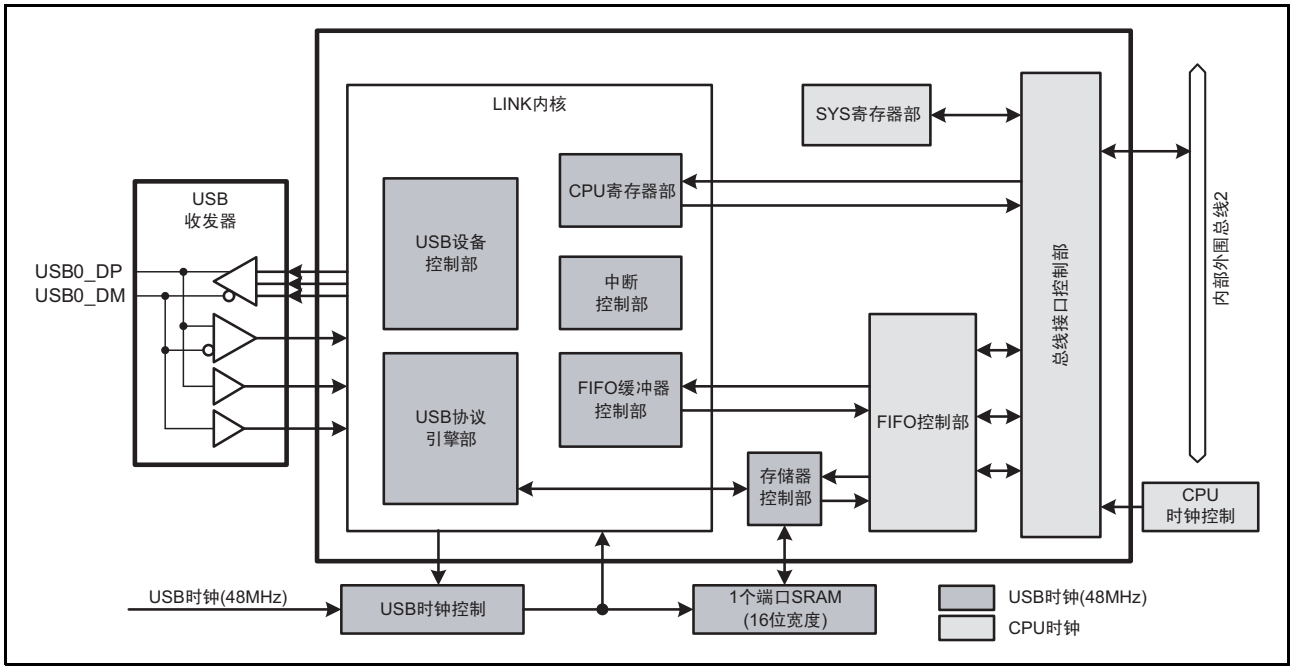


图 30.1 USB 的框图

USB 的输入 / 输出引脚如表 30.2 所示。

表 30.2 USB 的输入 / 输出引脚

引脚名	输入 / 输出	功能
USB0_DP	输入 / 输出	USB 内部收发器的 D+ 输入 / 输出引脚 必须连接 USB 总线的 D+ 引脚。
USB0_DM	输入 / 输出	USB 内部收发器的 D– 输入 / 输出引脚 必须连接 USB 总线的 D– 引脚。
USB0_VBUS	输入	USB 电缆连接监视引脚 必须连接 USB 总线的 VBUS。能检测到 VBUS 的连接或者断开。
USB0_DPUPE	输出	这是 USB 的 D+ 信号的 1.5kΩ 上拉电阻控制信号。
VCC_USB	输入	USB 的电源引脚
VSS_USB	输入	USB 的接地引脚

30.2 寄存器说明

30.2.1 系统配置控制寄存器 （SYSCFG）

地址 USB0.SYSCFG 000A 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	—	—	—	—	DPRPU	—	—	—	USBE
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	USBE	USB 模块运行允许位	0：禁止 USB 模块运行 1：允许 USB 模块运行	R/W
b3-b1	—	保留位	读写值都为 “0”。	R/W
b4	DPRPU	D+ 线路电阻控制位	0：禁止上拉 1：允许上拉	R/W
b9-b5	—	保留位	读写值都为 “0”。	R/W
b10	SCKE	USB 模块时钟允许位	0：停止给 USB 模块提供时钟 1：允许给 USB 模块提供时钟	R/W
b15-b11	—	保留位	读写值都为 “0”。	R/W

USBE 位 （USB 模块运行允许位）

此位指定禁止或者允许 USB 模块的运行。

在将 USBE 位从 “1” 改为 “0” 时，被初始化的寄存器和位如表 30.3 所示。

必须在 SYSCFG.SCKE 位为 “1” 时更改 USBE 位。

DPRPU 位 （D+ 线路电阻控制位）

此位指定禁止或者允许 D+ 线路的上拉。

如果将 DPRPU 位置 “1”， USB 模块就能将 USB0_DPUPE 引脚置为有效并且将连接状态通知 USB 主机。通过将DPRPU位从“1”改为“0”，USB模块将USB0_DPUPE引脚置为无效，因此能将断开状态通知USB主机。

SCKE 位 （USB 模块时钟允许位）

此位指定停止或者允许给 USB 模块提供 48MHz 时钟。

当 SCKE 位为 “0” 时，只能读写 SYSCFG 寄存器、DMA0PCFG 寄存器和 DMA1PCFG 寄存器，而不能读写 USB 模块内的其他寄存器。

表 30.3 通过给 SYSCFG.USBE 写 “0”被初始化的寄存器

寄存器	位
SYSSTS0	LNST[1:0]
DVSTCTR0	RHST[2:0]
INTSTS0	DVSQ[2:0]
USBADDR	USBADDR[6:0]
USBREQ	BREQUEST[7:0]、 BMREQUESTTYPE[7:0]
USBVAL	WVALUE[15:0]
USBINDX	WINDEX[15:0]
USBLENG	WLENGTH[15:0]

30.2.2 系统配置状态寄存器 0 （SYSSTS0）

地址 USB0.SYSSTS0 000A 0004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	LNST[1:0]	USB 数据线路状态监视位	b1 b0 0 0：SE0 0 1：J-State 1 0：K-State 1 1：SE1	R
b15-b2	—	保留位	读取值为 “0”，写操作无效。	R

LNST[1:0] 位 （USB 数据线路状态监视位）

这些位表示 USB 数据总线线路 （D+ 线路、 D– 线路）的状态。

必须在进行连接处理 （将 SYSCFG.DPRPU 位置 “1”）后参照 LNST[1:0] 位。

30.2.3 设备状态控制寄存器 0 （DVSTCTR0）

地址 USB0.DVSTCTR0 000A 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST[2:0]		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	RHST[2:0]	USB 总线复位状态位	b2 b0 ０００：通信速度为不定值 １００：正在进行 USB 总线复位处理 ０１０：全速连接	R
b7-b3	—	保留位	读写值都为 “0”。	R/W
b8	WKUP	唤醒输出位	0：不输出远程唤醒信号 1：输出远程唤醒信号	R/W （注 1）
b15-b9	—	保留位	读写值都为 “0”。	R/W

注 1. 只能写 “1”。

RHST[2:0] 位 （USB 总线复位状态位）

这些位表示 USB 总线复位的状态。

通过软件给 USBRST 位写 “0”，在 USB 结束 SE0 驱动时， USB 模块确定 RHST[2:0] 位的值。

如果 USB 检测到 USB 总线复位，就将 RHST[2:0] 位置 “010b”并且产生 DVST 中断。

WKUP 位 （唤醒输出位）

此位指定禁止或者允许 USB 总线上的远程唤醒 （输出恢复信号）。

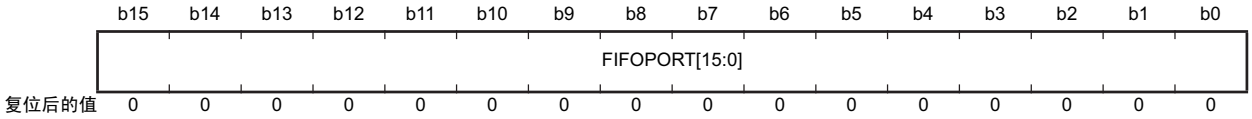
USB 模块管理远程唤醒信号的输出时间。如果将 WKUP 位置“1”，USB 模块就在输出 10ms 的 K-State 后将 WKUP 位置 “0”。

根据 USB 规格，在发送远程唤醒信号前需要保持最短 5ms 的 USB 总线空闲状态。因此，即使在检测到挂起状态后立即给 WKUP 位写 “1”， USB 模块也要在等待 2ms 后输出 K-State。

只有在设备状态为挂起状态 （INTSTS0.DVSQ[2:0] 位为 “1xx”）并且允许 USB 主机的远程唤醒时，才能给 WKUP 位写“1”。要将 WKUP 位置“1”时，即使在挂起过程中也不能停止内部时钟（必须在 SYSCFG.SCKE 位为 “1”的状态下给 WKUP 位写 “1”）。

30.2.4 CFIFO 端口寄存器 （CFIFO）
D0FIFO 端口寄存器 （D0FIFO）
D1FIFO 端口寄存器 （D1FIFO）

地址 USB0.CFIFO 000A 0014h、USB0.D0FIFO 000A 0018h、USB0.D1FIFO 000A 001Ch



位	符号	位名	功能	R/W
b15-b0	FIFOPORT[15:0]	FIFO 端口位	FIFO 端口寄存器的有效位因 MBW 位和 BIGEND 位的设定值而不同，有效位如表 30.4 和表 30.5 所示。	R/W

CFIFO、 D0FIFO 和 D1FIFO 寄存器是读写 FIFO 缓冲存储器数据的端口寄存器。

FIFO 端口有 CFIFO、 D0FIFO 和 D1FIFO 共 3 个端口。各 FIFO 端口由读写 FIFO 缓冲存储器数据的 FIFO 端口寄存器（CFIFO、D0FIFO、D1FIFO）、选择分配给 FIFO 端口的管道的选择寄存器（CFIFOSEL、D0FIFOSEL、D1FIFOSEL）、控制寄存器 （CFIFOCTR、 D0FIFOCTR、 D1FIFOCTR）构成。

各 FIFO 端口有以下特点：

- 必须经由 CFIFO 端口存取 DCP （控制传送）的 FIFO 缓冲器。
- 必须经由 D0FIFO 端口或者 D1FIFO 端口，通过 DMA 传送来存取 FIFO 缓冲器。
- 也能通过 CPU 存取 D1FIFO 端口或者 D0FIFO 端口。
- 在使用 FIFO 端口特有的功能时，不能更改 CURPIPE[3:0] 位设定的管道号 （所选管道）（使用 DMA 传送功能的情况等）。
- 构成 FIFO 端口的寄存器群不影响其他 FIFO 端口。
- 不能将相同的管道分配给多个 FIFO 端口。
- FIFO 缓冲器状态有存取权在 CPU 侧和 SIE 侧两种。
  如果 FIFO 缓冲器的存取权在 SIE 侧， CPU 就不能存取。

FIFOPORT[15:0] 位 （FIFO 端口位）

通过存取 FIFOPORT[15:0] 位，读 FIFO 缓冲器的接收数据或者将发送数据写到 FIFO 缓冲器。

只有在各控制寄存器 （CFIFOCTR、 D0FIFOCTR 或者 D1FIFOCTR）的 FRDY 位为 “1” 时，才能存取 FIFO 端口寄存器。

FIFO 端口寄存器的有效位因端口选择寄存器的 MBW 位和 BIGEND 位的设定值而不同，有效位如表 30.4 和表 30.5 所示。

表 30.4 进行 16 位存取时的字节序操作表

CFIFOSEL.BIGEND 位 D0FIFOSEL.BIGEND 位 D1FIFOSEL.BIGEND 位	bit15 ～ 8	bit7 ～ 0
0	N+1 数据	N+0 数据
1	N+0 数据	N+1 数据

表 30.5 进行 8 位存取时的字节序操作表

CFIFOSEL.BIGEND 位 D0FIFOSEL.BIGEND 位 D1FIFOSEL.BIGEND 位	bit15 ～ 8	bit7 ～ 0
0	禁止存取（注 1）	N+0 数据
1	禁止存取（注 1）	N+0 数据

注 1. 不允许读禁止区域。

30.2.5 CFIFO 端口选择寄存器 （CFIFOSEL） D0FIFO 端口选择寄存器 （D0FIFOSEL） D1FIFO 端口选择寄存器 （D1FIFOSEL）

- CFIFOSEL

地址 USB0.CFIFOSEL 000A 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	CURPIPE[3:0]	CFIFO 端口存取管道指定位	b3 b0 0 0 0 0：DCP （默认控制管道） 0 0 0 1：管道 1 0 0 1 0：管道 2 0 0 1 1：管道 3 0 1 0 0：管道 4 0 1 0 1：管道 5 0 1 1 0：管道 6 0 1 1 1：管道 7 1 0 0 0：管道 8 1 0 0 1：管道 9 上述以外：不能设定	R/W
b4	—	保留位	读写值都为 “0”。	R/W
b5	ISEL	选择 DCP 时的 CFIFO 端口存取方向位	0：选择读缓冲存储器 1：选择写缓冲存储器	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W
b8	BIGEND	CFIFO 端口字节序控制位	0：小端法 1：大端法	R/W
b9	—	保留位	读写值都为 “0”。	R/W
b10	MBW	CFIFO 端口存取位的宽度位	0：8 位 1：16 位	R/W
b13-b11	—	保留位	读写值都为 “0”。	R/W
b14	REW	缓冲器指针复位的位	0：不对缓冲器指针进行复位 1：对缓冲器指针进行复位	R/W （注 1）
b15	RCNT	读计数模式位	0：在读完 CFIFO 的全部接收数据时，将 DTLN[8:0] 位清“0”（在双缓冲器的情况下，只读完 1 个缓冲器面时）。 1：每次读 CFIFO 接收数据时， DTLN[8:0] 位进行递增计数。	R/W

注 1. 读取值为 “0”。

不能给 CFIFOSEL、D0FIFOSEL 和 D1FIFOSEL 寄存器的 CURPIPE[3:0] 位指定相同的管道。当 D0FIFOSEL 寄存器和 D1FIFOSEL 寄存器的 CURPIPE[3:0] 位的设定值为 “0000b” 时，不指定管道。

不能在允许 DMA 传送的状态下更改管道号。

CURPIPE[3:0] 位 （CFIFO 端口存取管道指定位）

必须经由 CFIFO 端口设定要读写数据的管道号。

要更改 CURPIPE[3:0] 位时，必须在写 CURPIPE[3:0] 位后读这些位，在确认写入值和读取值相同后进行下一个处理。

不能给 CFIFOSEL、 D0FIFOSEL 和 D1FIFOSEL 寄存器的 CURPIPE[3:0] 位设定相同的管道号。

如果在存取FIFO缓冲器的过程中更改CURPIPE[3:0]位的设定，就保持到此为止的存取，能在回写CURPIPE[3:0] 位后继续进行存取。

ISEL 位 （选择 DCP 时的 CFIFO 端口存取方向位）

如果在所选管道为 DCP 时更改 ISEL 位，就必须在写 ISEL 位后读此位，在确认写入值和读取值相同后进行下一个处理。

必须在设定 CURPIPE[3:0] 位的同时设定 ISEL 位。

MBW 位 （CFIFO 端口存取位的宽度位）

此位指定 CFIFO 端口存取位的宽度。

当所选管道为接收方向时，如果在设定 MBW 位后开始读数据，就不能在读完全部数据前更改 MBW 位。

当所选管道为接收方向时，必须同时设定 CURPIPE[3:0] 位和 MBW 位。

当所选管道为发送方向时，不能在写缓冲存储器的过程中从 8 位改为 16 位。

即使设定为 16 位，也能通过字节存取的控制来写奇数字节。

REW 位 （缓冲器指针复位的位）

此位指定是否对缓冲器指针进行复位。

当所选管道为接收方向时，如果在读 FIFO 缓冲器的过程中将 REW 位置“1”，就能从 FIFO 缓冲器的第一个数据开始读数据 （在双缓冲器的情况下，能从正在读取的缓冲器面的第一个数据重新开始读数据）。

不能在将 REW 位置“1”的同时更改 CURPIPE[3:0] 位的设定。必须在确认 FRDY 位是“1”后给 REW 位写 “1”。

对于发送方向的管道，如果从 FIFO 缓冲器的第一个数据开始重新写数据，就必须使用 BCLR 位。

- D0FIFOSEL、 D1FIFOSEL

地址 USB0.D0FIFOSEL 000A 0028h、USB0.D1FIFOSEL 000A 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	CURPIPE[3:0]	FIFO 端口存取管道指定位	b3 b0 0 0 0 0：DCP （默认控制管道） 0 0 0 1：管道 1 0 0 1 0：管道 2 0 0 1 1：管道 3 0 1 0 0：管道 4 0 1 0 1：管道 5 0 1 1 0：管道 6 0 1 1 1：管道 7 1 0 0 0：管道 8 1 0 0 1：管道 9 上述以外：不能设定	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W
b8	BIGEND	FIFO 端口字节序控制位	0：小端法 1：大端法	R/W
b9	—	保留位	读写值都为 “0”。	R/W
b10	MBW	FIFO 端口存取位的宽度位	0：8 位 1：16 位	R/W
b11	—	保留位	读写值都为 “0”。	R/W
b12	DREQE	DMA 传送请求允许	0：禁止 DMA 传送请求 1：允许 DMA 传送请求	R/W
b13	DCLRM	读所选管道数据后的缓冲存储器自动清除模式	0：禁止缓冲器自动清除模式 1：允许缓冲器自动清除模式	R/W
b14	REW	缓冲器指针复位的位	0：不对缓冲器指针进行复位 1：对缓冲器指针进行复位	R/W （注 1）
b15	RCNT	读计数模式位	0：在读完 DnFIFO 的全部接收数据时，将 DTLN[8:0] 位清“0”。（在双缓冲器的情况下，只读完 1 个缓冲器面时） 1：每次读 DnFIFO 接收数据时，对 DTLN[8:0] 位进行递减计数 （n=0、 1）	R/W

注 1. 读取值为 “0”。

不能给 CFIFOSEL、D0FIFOSEL 和 D1FIFOSEL 的 CURPIPE[3:0] 位指定相同的管道。当 D0FIFOSEL 寄存器和 D1FIFOSEL 寄存器的 CURPIPE[3:0] 位的设定值为 “0000b” 时，不指定管道。

不能在允许 DMA 传送的状态下更改管道号。

CURPIPE[3:0] 位 （FIFO 端口存取管道指定位）

必须经由 D0FIFO/D1FIFO 端口设定要读写数据的管道号。

要更改 CURPIPE[3:0] 位时，必须在写 CURPIPE[3:0] 位后读这些位，在确认写入值和读取值相同后进行下一个处理。

不能给 CFIFOSEL、 D0FIFOSEL 和 D1FIFOSEL 寄存器的 CURPIPE[3:0] 位设定相同的管道号。

如果在存取FIFO缓冲器的过程中更改CURPIPE[3:0]位的设定，就保持到此为止的存取，能在回写CURPIPE[3:0] 位后继续进行存取。

MBW 位 （FIFO 端口存取位的宽度位）

此位指定 D0FIFO 端口和 D1FIFO 端口存取位的宽度。

当所选管道为接收方向时，如果在设定 MBW 位后开始读数据，就不能在读完全部数据前更改 MBW 位。

当所选管道为接收方向时，必须同时设定 CURPIPE[3:0] 位和 MBW 位。

当所选管道为发送方向时，不能在写缓冲存储器的过程中从 8 位改为 16 位。

即使设定为 16 位，也能通过字节存取的控制来写奇数字节。

DREQE 位 （DMA 传送请求允许位）

此位指定禁止或者允许 DMA 传送请求的发行。

在允许发行 DMA 传送请求时，必须在设定 CURPIPE[3:0] 位后将 DREQE 位置 “1”。

要更改 CURPIPE[3:0] 位的设定时，必须在将 CURPIPE[3:0] 位置 “0”后进行更改。

DCLRM 位 （读所选管道数据后的缓冲存储器自动清除模式）

此位指定在读所选管道的数据后禁止或者允许缓冲存储器的自动清除。

当 DCLRM 位为 “1”时，如果在分配给所选管道的 FIFO 缓冲器为空的状态下接收到 Zero-Length packet 或者给 PIPECFG.BFRE 位写“1”，USB 模块就在接收短包并且读完数据时给 FIFO 缓冲器的 BCLR 位写“1”。

在将 SOFCFG.BRDYM 位置 “1”后使用 USB 模块时，必须将 DCLRM 位置 “0”。

REW 位 （缓冲器指针复位的位）

此位指定是否进行缓冲器指针的复位。

当所选管道为接收方向时，如果在读 FIFO 缓冲器的过程中将 REW 位置“1”，就能从 FIFO 缓冲器的第一个数据开始读数据 （在双缓冲器的情况下，能从正在读取的缓冲器面的第一个数据重新开始读数据）。

不能在给 REW 位写 “1”的同时更改 CURPIPE[3:0] 位的设定。必须在确认 FRDY 位为 “1”后给 REW 位写 “1”。

对于发送方向的管道，如果从 FIFO 缓冲器的第一个数据重新写数据，就必须使用 BCLR 位。

RCNT 位 （读计数模式位）

在将 PIPECFG.BFRE 位置 “1”后存取 DnFIFO 时，必须将 RCNT 位置 “0”。

30.2.6 CFIFO 端口控制寄存器 （CFIFOCTR）
D0FIFO 端口控制寄存器 （D0FIFOCTR）
D1FIFO 端口控制寄存器 （D1FIFOCTR）

地址 USB0.CFIFOCTR 000A 0022h、USB0.D0FIFOCTR 000A 002Ah、 USB0.D1FIFOCTR 000A 002Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b8-b0	DTLN[8:0]	接收数据长度表示位	表示接收数据的长度。这些位的值因端口选择寄存器的 RCNT 位的设定而不同，详细内容请参照下述 DTLN[8:0] 位的说明。	R
b12-b9	—	保留位	读写值都为 “0”。	R/W
b13	FRDY	FIFO 端口就绪位	0：不能存取 FIFO 端口 1：能存取 FIFO 端口	R
b14	BCLR	CPU 缓冲器清除位	0：无效 1：清除 CPU 侧的缓冲存储器	R/W （注 1）
b15	BVAL	缓冲存储器有效标志	0：无效 1：写操作结束	R/W （注 2）

注 1. 只能在读 “0” 后写 “1”。

注 2. 只能写 “1”。

FIFO 端口控制寄存器对应各 FIFO 端口。

DTLN[8:0] 位 （接收数据长度表示位）

这些位表示接收数据的长度。

在读 FIFO 缓冲器的过程中， DTLN[8:0] 位的值因 DnFIFOSEL.RCNT 位的设定值而不同（n=0、1），如下所示：

- 当RCNT位为 “0” 时
  在CPU（DMAC）读完1个FIFO缓冲器面的接收数据前，USB模块的DTLN[8:0]位表示接收数据的长度。
  当PIPECFG.BFRE位为 “1” 时，即使读完数据，在给BCLR位写 “1” 前， USB模块也保持接收数据的长度。
- 当RCNT位为 “1” 时
  在每次读数据时， USB模块将DTLN[8:0]位进行递减计数（MBW位为 “0” 时减1， MBW位为 “1” 时减2）。
  在读完1个FIFO缓冲器面的数据时， USB模块将DTLN[8:0]位置 “0”。但是，如果在设定双缓冲器并且读完1个FIFO缓冲器面的接收数据前接收完1个FIFO缓冲器面的数据，就在先读完1个缓冲器面的数据时将后续1个缓冲器面的接收数据的长度设定给FIFO端口控制寄存器的DTLN[8:0]位。

FRDY 位 （FIFO 端口就绪位）

此位表示 CPU （DMAC）是否能存取 FIFO 端口。

在以下情况下， USB 模块将 FRDY 位置 “1”，因为 USB 模块没有应该读的数据，所以不能从 FIFO 端口读数据。在这种情况下，必须通过将 BCLR 位置 “1”，清除 FIFO 缓冲器并且设定为能发送和接收下一个数据的状态。

- 在分配给所选管道的FIFO缓冲器为空的状态下接收到Zero-Length包。
- 在PIPECFG.BFRE位为 “1”时接收到短包并且读完数据。

BCLR 位 （CPU 缓冲器清除位）

在清除所选管道的 CPU 侧的 FIFO 缓冲器时，将此位置 “1”。

当分配给所选管道的 FIFO 缓冲器为双缓冲器时，即使是能读 2 个缓冲器面的状态， USB 模块也只清除 1 个 FIFO 缓冲器面。

当所选管道为 DCP 时，与 FIFO 缓冲器是 CPU 侧还是 SIE 侧无关，如果将 BCLR 位置“1”， USB 模块就清除 FIFO 缓冲器。要清除 SIE 侧缓冲器时，必须在将 DCP 的 PID[1:0] 位设定为 NAK 后将 BCLR 位置 “1”。

当所选管道为发送方向时，如果同时给 BVAL 位和 BCLR 位写 “1”， USB 模块就清除以前写的数据，并且将 Zero-Length 包设定为能发送的状态。

当所选管道不是 DCP 时，必须在 USB 模块将 FIFO 端口控制的 FRDY 位置 “1”时给 BCLR 位写 “1”。

BVAL 位 （缓冲存储器有效标志位）

在写完 CURPIPE[3:0] 位指定管道 （所选管道）的 CPU 侧的 FIFO 缓冲器时，将此位置 “1”。

当所选管道为发送方向时，必须在以下情况下将 BVAL 位置 “1”。 USB 模块将 CPU 侧的 FIFO 缓冲器设定为 SIE 侧并且设定为能发送的状态。

- 要发送短包时并且在写完数据时将BVAL位置 “1”。
- 要发送Zero-Length包时并且在给FIFO缓冲器写数据前将BVAL位置 “1”。

如果写 MaxPacketSize 的数据， USB 模块就将 BVAL 位置 “1”，并且在将 CPU 侧的 FIFO 缓冲器设定为 SIE 侧后设定为能发送的状态。

必须在 USB 模块将 FRDY 位置 “1”时给 BVAL 位写 “1”。

当所选管道为接收方向时，不能给 BVAL 位写 “1”。

30.2.7 中断允许寄存器 0 （INTENB0）

地址 USB0.INTENB0 000A 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为 “0”。	R/W
b8	BRDYE	缓冲器就绪中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b9	NRDYE	缓冲器未就绪应答中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b10	BEMPE	缓冲器空中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b11	CTRE	控制传送阶段转移中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b12	DVSE	设备状态转移中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b13	SOFE	帧号更新中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b14	RSME	恢复中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b15	VBSE	VBUS 中断允许位	0：禁止中断输出 1：允许中断输出	R/W

如果 USB 模块检测到通过软件将 INTENB0 寄存器置“1”的位所对应的中断，USB 模块就产生 USB 中断。

与 INTENB0 寄存器的设定值 （禁止或者允许中断通知）无关， USB 模块在满足各中断源的检测条件时将 INTSTS0 寄存器对应的状态位置 “1”。

在各中断源对应的 INTSTS0 寄存器的状态位为 “1”的状态下，如果通过软件将 INTENB0 寄存器对应的中断允许位从 “0”改为 “1”， USB 模块就产生 USB 中断。

30.2.8 BRDY 中断允许寄存器 （BRDYENB）

地址 USB0.BRDYENB 000A 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PIPE0 BRDYE	管道 0 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b1	PIPE1 BRDYE	管道 1 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b2	PIPE2 BRDYE	管道 2 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b3	PIPE3 BRDYE	管道 3 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b4	PIPE4 BRDYE	管道 4 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b5	PIPE5 BRDYE	管道 5 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b6	PIPE6 BRDYE	管道 6 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b7	PIPE7 BRDYE	管道 7 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b8	PIPE8 BRDYE	管道 8 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b9	PIPE9 BRDYE	管道 9 的 BRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b15-b10	—	保留位	读写值都为 “0”。	R/W

对于通过软件将 BRDYENB 寄存器置 “1” 的管道，如果 USB 模块检测到 BRDY 中断， USB 模块就将 BRDYSTS 寄存器的 PIPEBRDY 位的对应位置 “1” 并且将 INTSTS0 寄存器的 BRDY 位置 “1”，产生 BRDY 中断。

在 BRDYSTS 寄存器的 PIPEBRDY 位中至少有 1 位为 “1” 的状态下，如果通过软件将 BRDYENB 寄存器对应的中断允许位从 “0” 改为 “1”， USB 模块就产生 BRDY 中断。

30.2.9 NRDY 中断允许寄存器 （NRDYENB）

地址 USB0.NRDYENB 000A 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PIPE0 NRDYE	管道 0 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b1	PIPE1 NRDYE	管道 1 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b2	PIPE2 NRDYE	管道 2 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b3	PIPE3 NRDYE	管道 3 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b4	PIPE4 NRDYE	管道 4 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b5	PIPE5 NRDYE	管道 5 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b6	PIPE6 NRDYE	管道 6 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b7	PIPE7 NRDYE	管道 7 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b8	PIPE8 NRDYE	管道 8 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b9	PIPE9 NRDYE	管道 9 的 NRDY 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b15-b10	—	保留位	读写值都为 “0”。	R/W

对于通过软件将 NRDYENB 寄存器置 “1” 的管道，如果 USB 模块检测到 NRDY 中断源， USB 模块就将 NRDYSTS 寄存器的 PIPENRDY 位的对应位置 “1” 并且将 INTSTS0 寄存器的 NRDY 位置 “1”，产生 NRDY 中断。

在 NRDYSTS 寄存器的 PIPENRDY 位中至少有 1 位为 “1” 的状态下，如果通过软件将 NRDYENB 寄存器对应的中断允许位从 “0” 改为 “1”， USB 模块就产生 NRDY 中断。

30.2.10 BEMP 中断允许寄存器 （BEMPENB）

地址 USB0.BEMPENB 000A 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PIPE0 BEMPE	管道 0 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b1	PIPE1 BEMPE	管道 1 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b2	PIPE2 BEMPE	管道 2 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b3	PIPE3 BEMPE	管道 3 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b4	PIPE4 BEMPE	管道 4 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b5	PIPE5 BEMPE	管道 5 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b6	PIPE6 BEMPE	管道 6 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b7	PIPE7 BEMPE	管道 7 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b8	PIPE8 BEMPE	管道 8 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b9	PIPE9 BEMPE	管道 9 的 BENP 中断允许位	0：禁止中断输出 1：允许中断输出	R/W
b15-b10	—	保留位	读写值都为 “0”。	R/W

对于通过软件将 BEMPENB 寄存器置 “1” 的管道，如果 USB 模块检测到 BEMP 中断源， USB 模块就将 BEMPSTS 寄存器的 PIPEBEMP 位的对应位置“1”并且将 INTSTS0 寄存器的 BEMP 位置“1”，产生 BEMP 中断。

在 BEMPSTS 寄存器的 PIPEBEMP 位中至少有 1 位为 “1” 的状态下，如果通过软件将 BEMPENB 寄存器对应的中断允许位从 “0” 改为 “1”， USB 模块就产生 BEMP 中断。

30.2.11 SOF 输出配置寄存器 （SOFCFG）

地址 USB0.SOFCFG 000A 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	BRDYM	—	EDGESTS	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b4	EDGESTS （注 1）	边沿中断输出状态监视位	在对边沿中断输出信号进行边沿处理的过程中，将此位置 “1”。	R
b5	—	保留位	读写值都为 “0”。	R/W
b6	BRDYM	各管道的 BRDY 中断状态清除时序设定位	0：通过软件清除状态 1：USB 模块通过读写 FIFO 缓冲器来清除状态	R/W
b15-b7	—	保留位	读写值都为 “0”。	R/W

注 1. 在使用边沿中断输出信号的系统中，不需要此位。

EDGESTS 位 （边沿中断输出状态监视位）

在对边沿中断输出信号进行边沿处理的过程中，将此位置 “1”。

注 . 如果要停止 USB 模块的时钟，就必须确认 EDGESTS 位是 “0”。

30.2.12 中断状态寄存器 0 （INTSTS0）

地址 USB0.INTSTS0 000A 0040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
复位后的值	0	0	0	0/1 (注1)	0	0	0	0	0 (注3)	0	0	0/1 (注2)	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	CTSQ[2:0]	控制传送阶段位	b2 b0 0 0 0：空闲阶段或者设置阶段 0 0 1：控制读数据阶段 0 1 0：控制读状态阶段 0 1 1：控制写数据阶段 1 0 0：控制写状态阶段 1 0 1：控制写 （NoData）状态阶段 1 1 0：控制传送顺序错误 1 1 1：不能设定	R
b3	VALID	USB 请求位	0：未检测到 1：接收到设置包	R/W （注 4）
b6-b4	DVSQ[2:0]	设备状态位	b6 b4 0 0 0：供电状态 0 0 1：默认状态 0 1 0：地址状态 0 1 1：配置状态 1 x x：挂起状态 x：Don't care	R
b7	VBSTS	VBUS 输入状态位	0：USB0_VBUS 引脚为 Low 电平 1：USB0_VBUS 引脚为 High 电平	R
b8	BRDY	缓冲器就绪中断状态位	0：没有发生 BRDY 中断 1：发生 BRDY 中断	R
b9	NRDY	缓冲器未就绪中断状态位	0：没有发生 NRDY 中断 1：发生 NRDY 中断	R
b10	BEMP	缓冲器空中断状态位	0：没有发生 BEMP 中断 1：发生 BEMP 中断	R
b11	CTRT	控制传送阶段转移中断状态位 （注 6）	0：没有发生控制传送阶段转移中断 1：发生控制传送阶段转移中断	R/W （注 4）
b12	DVST	设备状态转移中断状态位 （注 6）	0：没有发生设备状态转移中断 1：发生设备状态转移中断	R/W （注 4）
b13	SOFR	帧号更新中断状态位	0：没有发生 SOF 中断 1：发生 SOF 中断 在更新帧号时， USB 模块将 SOFR 位置 “1”（每 1ms 检测 1 次 SOFR 中断）。 在 USB 主机的 SOF 包发生破损时，USB 模块也能通过内部内插检测到 SOFR 中断。	R/W （注 4）
b14	RESM	恢复中断状态位 （注 5、注 6）	0：没有发生恢复中断 1：发生恢复中断	R/W （注 4）
b15	VBINT	VBUS 中断状态位 （注 5）	0：没有发生 VBUS 中断 1：发生 VBUS 中断	R/W （注 4）

注 1. 在上电复位时，此位为 “0b”； 在 USB 总线复位时，此位为 “1b”。

注 2. 在上电复位时，这些位为 “000b”；在 USB 总线复位时，这些位为 “001b”。

注 3. 在 USB0_VBUS 引脚为 High 电平时，此位为 “1”；在 USB0_VBUS 引脚为 Low 电平时，此位为 “0”。

注 4. 要清除 VBINT 位、RESM 位、SOFR 位、DVST 位、CTRT 位或者 VALID 位时，只能给要清除的位写 “0” 而给其他位写 “1”。不能给为 “0” 的状态位写 “0”。

注 5. 也能在时钟停止过程中（SCKE 位为 “0”）检测 VBINT 位和 RESM 位所示的状态变化，如果允许对应的中断，就进行中断通知。必须在允许时钟后通过软件清除状态。

注 6. 必须将对应的中断允许位置 “0”（禁止）。

在 USB 总线复位时，对 INTSTS0 寄存器的 DVSQ[2:0] 位进行初始化。

BRDY 位 （缓冲器就绪中断状态位）

此位表示 BRDY 中断状态。

在 BRDYENB 寄存器的 PIPEBRDYE 位为 “1” 的管道对应的 BRDYSTS 寄存器的 PIPEBRDY 位中至少有 1 位为 “1” 的状态下（至少对通过软件允许 BRDY 中断通知的管道中的 1 个管道，USB 模块检测到 BRDY 中断状态时）， USB 模块将 BRDY 位置 “1”。

PIPEBRDY 状态的有效条件请参照 30.3.3.1 BRDY 中断”。

如果通过软件给由 PIPEBRDYE 位设定为允许的管道对应的 PIPEBRDY 位全部写 “0”， USB 模块就将 BRDY 位清 “0”。

即使通过软件给 BRDY 位写 “0”，也无法将 BRDY 位清 “0”。

NRDY 位 （缓冲器未就绪中断状态位）

在 NRDYENB 寄存器的 PIPENRDYE 位为 “1” 的管道对应的 NRDYSTS 寄存器的 PIPENRDY 位中至少有 1 位为 “1” 的状态下（至少对通过软件允许 NRDY 中断通知的管道中的 1 个管道，USB 模块检测到 NRDY 中断状态时） USB 模块将 NRDY 位置 “1”。

PIPENRDY 状态的有效条件请参照 “30.3.3.2 NRDY 中断”。

如果通过软件给由 PIPENRDYE 位允许的管道对应的 PIPENRDY 位全部写 “0”，USB 模块就将 NRDY 位清 “0”。

即使通过软件给 NRDY 位写 “0”，也无法将 NRDY 位清 “0”。

BEMP 位 （缓冲器空中断状态位）

在 BEMPENB 寄存器的 PIPEBEMPE 位为 “1” 的管道对应的 BEMPSTS 寄存器的 PIPEBEMP 位中至少有 1 位为 “1” 的状态下（至少对通过软件允许 BEMP 中断通知的管道中的 1 个管道，USB 模块检测到 BEMP 中断状态时）， USB 模块将 BEMP 位置 “1”。

PIPEBEMP 状态的有效条件请参照 “30.3.3.3 BEMP 中断”。

如果通过软件给由 PIPEBEMPE 位允许的管道对应的 PIPEBEMP 位全部写 “0”， USB 模块就将 BEMP 位清 “0”。

即使通过软件给 BEMP 位写 “0”，也无法将 BEMP 位清 “0”。

CTRT 位 （控制传送阶段转移中断状态位）

如果 USB 模块检测到控制传送的阶段转移， USB 模块就更新 CTSQ[2:0] 位的值并且将 CTRT 位置 “1”。

当发生控制传送阶段转移中断时，必须在 USB 模块检测到控制传送的下一个阶段转移前清除状态。

DVST 位 （设备状态转移中断状态位）

如果 USB 模块检测到设备状态的变化， USB 模块就更新 DVSQ[2:0] 位的值并且将 DVST 位置 “1”。

当发生设备状态转移中断时，必须在 USB 模块检测到下一个设备状态转移前清除状态。

SOFR 位 （帧号更新中断状态位）

在更新帧号时， USB 模块将 SOFR 位置 “1”（每 1ms 检测 1 次帧号更新中断）。
即使 USB 主机的 SOF 包发生破损， USB 模块也通过内部内插检测 SOFR 中断。

RESM 位 （恢复中断状态位）

如果 USB 模块为挂起状态（DVSQ[2:0]=1xx）并且检测到 USB0_DP 引脚的下降沿，就将 RESM 位置“1”。

VBINT 位 （VBUS 中断状态位）

如果 USB 模块检测到 USB0_VBUS 引脚输入值的变化 （从 High 电平变为 Low 电平或者从 Low 电平变为 High 电平），就将 VBINT 位置“1”。USB 模块将 USB0_VBUS 引脚的输入值设定到 VBSTS 位。在发生 VBINT 中断时，必须通过软件重复读 VBSTS 位，直到读取值数次相同为止，消除颤动。

30.2.13 BRDY 中断状态寄存器 （BRDYSTS）

地址 USB0.BRDYSTS 000A 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BRDY	PIPE8BRDY	PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PIPE0BRDY	管道 0 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b1	PIPE1BRDY	管道 1 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b2	PIPE2BRDY	管道 2 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b3	PIPE3BRDY	管道 3 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b4	PIPE4BRDY	管道 4 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b5	PIPE5BRDY	管道 5 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b6	PIPE6BRDY	管道 6 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b7	PIPE7BRDY	管道 7 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b8	PIPE8BRDY	管道 8 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b9	PIPE9BRDY	管道 9 的 BRDY 中断状态位（注 2）	0：没有发生中断 1：发生中断	R/W （注 1）
b15-b10	—	保留位	读写值都为 “0”。	R/W

注 1. 要在 BRDYM 位为 “0”的状态下清除 BRDYSTS 寄存器的各位所示的状态时，只能给要清除的位写 “0”而给其他位写 “1”。

注 2. 当 BRDYM 位为 “0”时，必须在存取 FIFO 前清除 BRDY 中断。

30.2.14 NRDY 中断状态寄存器 （NRDYSTS）

地址 USB0.NRDYSTS 000A 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PIPE0NRDY	管道 0 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b1	PIPE1NRDY	管道 1 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b2	PIPE2NRDY	管道 2 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b3	PIPE3NRDY	管道 3 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b4	PIPE4NRDY	管道 4 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b5	PIPE5NRDY	管道 5 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b6	PIPE6NRDY	管道 6 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b7	PIPE7NRDY	管道 7 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b8	PIPE8NRDY	管道 8 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b9	PIPE9NRDY	管道 9 的 NRDY 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b15-b10	—	保留位	读写值都为 “0”。	R/W

注 1. 要清除 NRDYSTS 寄存器的各位所示的状态时，只能给要清除的位写 “0”而给其他位写 “1”。

30.2.15 BEMP 中断状态寄存器 （BEMPSTS）

地址 USB0.BEMPSTS 000A 004Ah

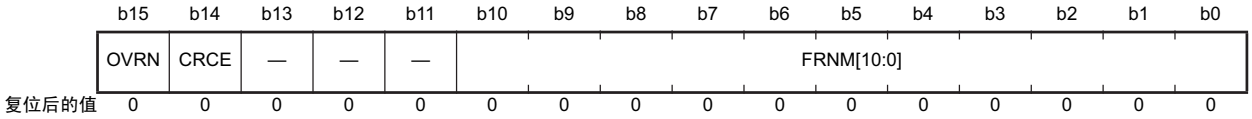
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP	PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PIPE0BEMP	管道 0 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b1	PIPE1BEMP	管道 1 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b2	PIPE2BEMP	管道 2 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b3	PIPE3BEMP	管道 3 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b4	PIPE4BEMP	管道 4 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b5	PIPE5BEMP	管道 5 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b6	PIPE6BEMP	管道 6 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b7	PIPE7BEMP	管道 7 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b8	PIPE8BEMP	管道 8 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b9	PIPE9BEMP	管道 9 的 BEMP 中断状态位	0：没有发生中断 1：发生中断	R/W （注 1）
b15-b10	—	保留位	读写值都为 “0”。	R/W

注 1. 要清除 BEMPSTS 寄存器的各位所示的状态时，只能给要清除的位写 “0”而给其他位写 “1”。

30.2.16 帧号寄存器 （FRMNUM）

地址 USB0.FRMNUM 000A 004Ch



位	符号	位名	功能	R/W
b10-b0	FRNM[10:0]	帧号位	表示帧号。	R
b13-b11	—	保留位	读写值都为 “0”。	R/W
b14	CRCE	接收数据错误位	0：没有发生错误 1：发生错误	R/W （注 1）
b15	OVRN	超限 / 欠载检测状态位	0：没有发生错误 1：发生错误	R/W （注 1）

注 1. 只能写 “0”。

FRNM[10:0] 位 （帧号位）

USB 模块在每 1ms 发行 1 次 SOF 时或者在接收 SOF 时改写 FRNM[10:0] 位，表示最新的帧号。
在读 FRNM[10:0] 位时，必须重复读，直到 2 次的读取值相同为止。

CRCE 位 （接收数据错误位）

对于正在进行等时传送的管道，此位表示 CRC 错误或者位填充错误的检测状态。
能通过软件给 CRCE 位写 “0”，将 CRCE 位置 “0”。
此时，必须给 FRMNUM 寄存器的其他位写 “1”。
在检测到 CRC 错误时， USB 模块不产生内部 NRDY 中断请求。

OVRN 位 （超限 / 欠载检测状态位）

对于正在进行等时传送的管道，此位表示是否检测到超限 / 欠载错误。
能通过软件给 OVRN 位写 “0”，将 OVRN 位置 “0”。此时，必须给 FRMNUM 寄存器的其他位写 “1”。
在以下的任意情况下， USB 模块将 OVRN 位置 “1”。

- 对传送类型为等时发送方向的管道，在还没有将发送数据完全写到FIFO缓冲器的情况下接收到IN权标时
- 对传送类型为等时接收方向的管道，在至少有1个FIFO缓冲器面不为空的状态下接收到OUT权标时

30.2.17 设备状态转换寄存器 （DVCHGR）

地址 USB0.DVCHGR 000A 004Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b14-b0	—	保留位	读写值都为 “0”。	R/W
b15	DVCHG	设备状态转换位	0：STSRECOV[3:0] 位和 USBADDR[6:0] 位的写操作无效 1：允许写 STSRECOV[3:0] 位和 USBADDR[6:0] 位	R/W

详细内容请参照 “30.3.1.2 通过 USB 挂起 / 恢复中断进行深度软件待机模式的解除”。

30.2.18 USB 地址寄存器 （USBADDR）

地址 USB0.USBADDR 000A 0050h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	STSRECOV[3:0]				—	USBADDR[6:0]						
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b6-b0	USBADDR[6:0]	USB 地址位	当正常处理 SET_ADRESS 请求时，这些位表示由主机分配的 USB 地址	R/W
b7	—	保留位	读写值都为 “0”。	R/W
b11-b8	STSRECOV[3:0]	状态恢复位	b11 b8 1 0 0 1：恢复全速状态 （RHST[2:0]=010）、DVST=001 （Default 状态） 1 0 1 0：恢复全速状态 （RHST[2:0]=010）、DVST=010 （Address 状态） 1 0 1 1：恢复全速状态 （RHST[2:0]=010）、DVST=010 （Configuared 状态） 上述以外：不能设定	R/W
b15-b12	—	保留位	读写值都为 “0”。	R/W

USBADDR[6:0] 位 （USB 地址位）

当 USB 模块检测到 USB 总线复位时，将 USBADDR[6:0] 位置 “00h”。

只有在 DVCHGR.DVCHG 位为 “1” 时才能写 USBADDR[6:0] 位，在从 USB 电源切断状态恢复时，能通过软件设定为切断前的 USB 地址。

在检测到 USB 总线复位时，对 USBADDR[6:0] 位进行初始化。

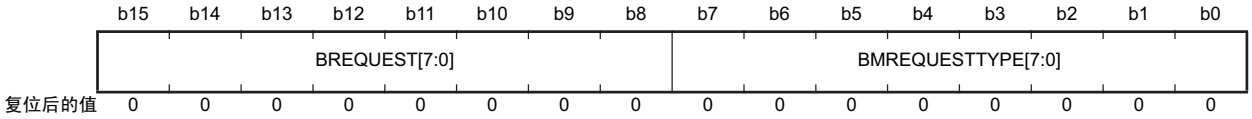
STSRECOV[3:0] 位 （状态恢复位）

在从 USB 电源切断状态恢复时，这些位用于将 USB 内部定序器状态恢复到切断前的状态，详细内容请参照 “30.3.1.2 通过 USB 挂起 / 恢复中断进行深度软件待机模式的解除”。

只有在 DVCHGR.DVCHG 位为 “1” 时才能写 STSRECOV[3:0] 位。

30.2.19 USB 请求类型寄存器 （USBREQ）

地址 USB0.USBREQ 000A 0054h



位	符号	位名	功能	R/W
b7-b0	BMREQUESTTYPE[7:0]	请求类型位	USB 请求的 bmRequestType 值	R
b15-b8	BREQUEST[7:0]	请求位	USB 请求的 bRequest 值	R

USBREQ 寄存器是用于保存控制传送设置请求的寄存器。

在 USB 总线复位时，对 USBREQ 寄存器进行初始化。

BMREQUESTTYPE[7:0] 位 （请求类型位）

这些位保存 USB 请求的 bmRequestType 值。

表示在 SETUP 事务处理中接收到的 USB 请求数据值。 BMREQUESTTYPE[7:0] 位的写操作无效。

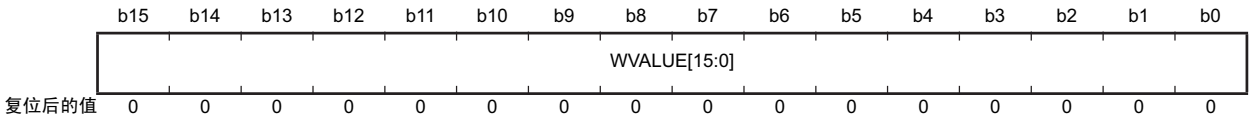
BREQUEST[7:0] 位 （请求位）

这些位保存 USB 请求的 bRequest 值。

表示在 SETUP 事务处理中接收到的 USB 请求数据值。 BREQUEST[7:0] 位的写操作无效。

30.2.20 USB 请求值寄存器 （USBVAL）

地址 USB0.USBVAL 000A 0056h



位	符号	位名	功能	R/W
b15-b0	WVALUE[15:0]	值位	USB 请求的 wValue 值	R

在 USB 总线复位时，对 USBVAL 寄存器进行初始化。

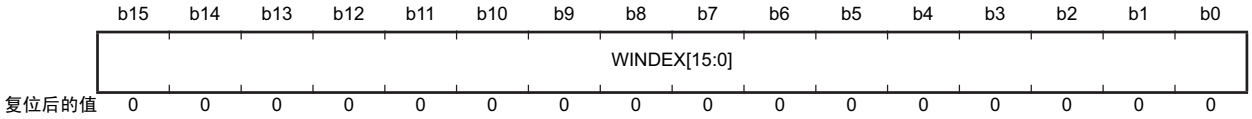
WVALUE[15:0] 位 （值位）

这些位保存 USB 请求的 wValue 值。

表示在 SETUP 事务处理中接收到的 USB 请求 wValue 值。 WVALUE[15:0] 位的写操作无效。

30.2.21 USB 请求变址寄存器 （USBINDX）

地址 USB0.USBINDX 000A 0058h



位	符号	位名	功能	R/W
b15-b0	WINDEX[15:0]	变址位	USB 请求的 wIndex 值	R

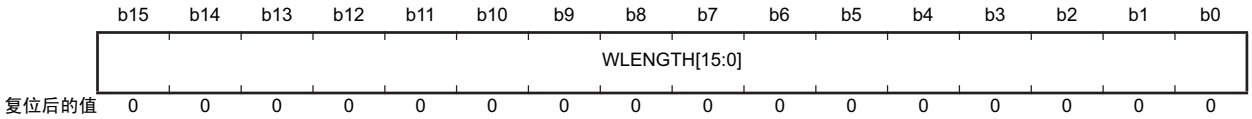
USBINDX 寄存器是用于保存控制传送设置请求的寄存器。
在 USB 总线复位时，对 USBINDX 寄存器进行初始化。

WINDEX[15:0] 位 （变址位）

这些位保存 USB 请求的 wIndex 值。
表示在 SETUP 事务处理中接收到的 USB 请求 wIndex 值。 WINDEX[15:0] 位的写操作无效。

30.2.22 USB 请求长度寄存器 （USBLENG）

地址 USB0.USBLENG 000A 005Ah



位	符号	位名	功能	R/W
b15-b0	WLENGTH[15:0]	长度位	USB 请求的 wLength 值	R

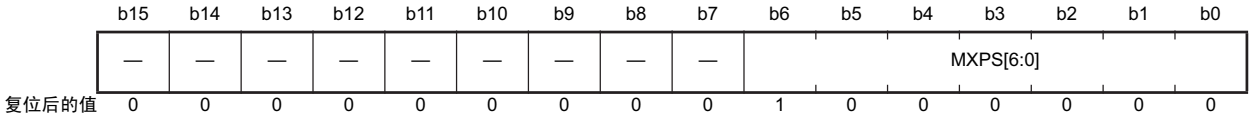
USBLENG 寄存器是用于保存控制传送设置请求的寄存器。
在总线复位时，对 USBLENG 寄存器进行初始化。

WLENGTH[15:0] 位 （长度位）

这些位保存 USB 请求的 wLength 值。
表示在 SETUP 事务处理中接收到的 USB 请求 wLength 值。 WLENGTH[15:0] 位的写操作无效。

30.2.23 DCP 最大信息包长度寄存器 （DCPMAXP）

地址 USB0.DCPMAXP 000A 005Eh



位	符号	位名	功能	R/W
b6-b0	MXPS[6:0]	最大信息包长度位	设定 DCP 的最大数据有效负载 （最大信息包长度）。	R/W
b15-b7	—	保留位	读写值都为 “0”。	R/W

MXPS[6:0] 位 （最大信息包长度位）

必须给 MXPS[6:0] 位设定 DCP 的最大数据有效负载 （最大信息包长度）。

复位后的值为 “40h”（64 字节）。

MXPS[6:0] 位的设定值必须符合 USB 规格。

不能在 MXPS[6:0] 位为 “0”的状态下写 FIFO 缓冲器或者将 PID 位设定为 BUF。

必须在 PID 为 NAK 的状态下更改 MXPS[6:0] 位的设定。要在将 DCP 的 PID[1:0] 位从 BUF 改为 NAK 后更改设定时，必须在确认 DCPCTR.PBUSY 位是“0”后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认DCPCTR.PBUSY位。在更改MXPS[6:0]位的设定后，必须在给C/DnFIFOSEL.CURPIPE[3:0]设定 DCP 后并且在 C/DnFIFOCTR.BCLR 位为 “1”的状态下清除缓冲器。

30.2.24 DCP 控制寄存器 （DCPCTR）

地址 USB0.DCPCTR 000A 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	PID[1:0]	应答 PID 位	b1 b0 0 0：NAK 应答 0 1：BUF 应答 （取决于缓冲器状态） 1 0：STALL 应答 1 1：STALL 应答	R/W
b2	CCPL	控制传送结束允许位	0：无效 1：允许控制传送结束	R/W
b4-b3	—	保留位	读写值都为 “0”。	R/W
b5	PBUSY	管道忙位	0：在事务处理中没有使用 DCP 1：在事务处理中使用 DCP	R
b6	SQMON	顺序交替位的监视位	0：DATA0 1：DATA1	R
b7	SQSET	交替位置位的位 （注 2）	0：无效 1：指定 DATA1	R/W （注 1）
b8	SQCLR	交替位清除位 （注 2）	0：无效 1：指定 DATA0	R/W （注 1）
b14-b9	—	保留位	读写值都为 “0”。	R/W
b15	BSTS	缓冲器状态位	0：不能存取缓冲器 1：能存取缓冲器	R

注 1. 读取值为 “0”，只能写 “1”。

注 2. 必须在 PID 位为 NAK 的状态下给 SQSET 位和 SQCLR 位写 “1”。要在将 DCP 的 PID[1:0] 位从 BUF 改为 NAK 后更改设定时，必须在确认 DCPCTR.PBUSY 是 “0” 后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

在 USB 总线复位时，对 DCPCTR 寄存器的 CCPL 位和 PID[1:0] 位进行初始化。

PID[1:0] 位 （应答 PID 位）

通过 PID[1:0] 位在控制传送中控制 USB 模块的应答。

在以下情况下， USB 模块更改 PID[1:0] 位的值。

- 当 USB 模块接收到 SETUP 包时， USB 模块将 PID[1:0] 位改为 NAK。此时， USB 模块将 VALID 位置 “1”，并且在通过软件将 VALID 位置 “0” 前不能通过软件更改 PID[1:0] 位。
- 在通过软件将 PID[1:0] 位设定为 BUF 的情况下，如果 USB 模块接收到超过 MaxPacketSize 的数据，USB 模块就将 PID 位设定为 STALL （“11b”）。
- 如果 USB 模块检测到控制传送顺序错误，就将 PID 位设定为 STALL （“1xb”）。
- 如果 USB 模块检测到 USB 总线复位，就将 PID 位设定为 NAK。

在进行 SET_ADDRESS 请求处理 （自动处理）时， USB 模块不参照 PID[1:0] 位的设定值。

CCPL 位 （控制传送结束允许位）

通过将 CCPL 位置 “1”，设定为允许结束控制传送的状态阶段。

当对应的 PID[1:0] 位为 BUF 时，如果通过软件将 CCPL 位置 “1”， USB 模块就结束控制传送的阶段。

即，在进行控制读的传送时，对 USB 主机的 OUT 事务发送 ACK 握手信号；在进行控制写和无数据控制的传送时，对 USB 主机的 IN 事务发送 Zero-Length 包。但是，当检测到 SET_ADDRESS 请求时，与 CCPL 位的设定值无关， USB 模块在从 SETUP 阶段到状态阶段结束的期间进行自动应答。

在接收到新的 SETUP 包时， USB 模块将 CCPL 位从 “1” 改为 “0”。

当 VALID 位为 “1” 时，不能通过软件给 CCPL 位写 “1”。

PBUSY 位 （管道忙位）

当将 PID[1:0] 位从 BUF 改为 NAK 时，此位表示在 DCP 事务处理中是否使用 DCP。

在开始相应管道的 USB 事务时，USB 模块将 PBUSY 位从“0”改为“1”；在 1 个事务结束时，将 PBUSY 位从 “1” 改为 “0”。

在通过软件将 PID 位设定为 NAK 后，能通过读 PBUSY 位来确认是否能更改管道的设定。

详细内容请参照 “30.3.4.1 管道控制寄存器的切换步骤”。

SQMON 位 （顺序交替位的监视位）

在 DCP 传送中，此位表示下一个事务的顺序交替位的值。

如果事务被正常处理，USB 模块就将 SQMON 位取反。但是，如果在进行接收方向的传送时 DATA-PID 不同，就不将 SQMON 位取反。

当正常接收到 SETUP 包时， USB 模块就将 SQMON 位置 “1”（将期待值设定为 DATA1）。

USB 模块在状态阶段的 IN/OUT 事务处理中不参照 SQMON 位。即使正常结束，也不将此位取反。

SQSET 位 （交替位置位的位）

在 DCP 传送中，能将下一个事务的顺序交替位值设定为 DATA1。

不能同时将 SQCLR 位和 SQSET 位置 “1”。

SQCLR 位 （交替位清除位）

在 DCP 传送中，能将下一个事务的顺序交替位值设定为 DATA0。将 SQCLR 位置 “0”。

不能同时将 SQCLR 位和 SQSET 位置 “1”。

BSTS 位 （缓冲器状态位）

此位表示是否能存取 DCP 的 FIFO 缓冲器的状态。

BSTS 位的含义因 ISEL 位的设定值而不同。

- 当ISEL位为 “0” 时，表示是否能读接收数据。
- 当ISEL位为 “1” 时，表示是否能写发送数据。

30.2.25 管道窗口选择寄存器 （PIPESEL）

地址 USB0.PIPESEL 000A 0064h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	PIPESEL[3:0]	管道窗口选择	b3 b0 0 0 0 0：未选择 0 0 0 1：管道 1 0 0 1 0：管道 2 0 0 1 1：管道 3 0 1 0 0：管道 4 0 1 0 1：管道 5 0 1 1 0：管道 6 0 1 1 1：管道 7 1 0 0 0：管道 8 1 0 0 1：管道 9 上述以外：不能设定	R/W
b15-b4	—	保留位	读写值都为 “0”。	R/W

必须通过 PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE 和 PIPEnTRN 寄存器设定管道 1 ～ 9。

在通过 PIPESEL 寄存器设定要使用的管道后，给 PIPECFG、PIPEMAXP 和 PIPEPERI 寄存器设定各管道的功能。能将 PIPEnCTR、 PIPnTRE 和 PIPnTRN 寄存器设定为与 PIPESEL 寄存器所选管道没有关系。

PIPESEL[3:0] 位 （管道窗口选择位）

这些位指定与读写对象的 PIPECFG 寄存器、 PIPEMAXP 寄存器和 PIPEPERI 寄存器对应的管道号。

能读写与 PIPESEL[3:0] 位指定的管道号对应的 PIPECFG、 PIPEMAXP 和 PIPEPERI 寄存器。

如果将 PIPESEL[3:0] 位置“0000b”，PIPECFG 寄存器、PIPEMAXP 寄存器、PIPEPERI 寄存器和 PIPEnCTR 寄存器各位的读取值就全部为 “0”，写操作无效。

30.2.26 管道配置寄存器 （PIPECFG）

地址 USB0.PIPECFG 000A 0068h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	EPNUM[3:0]	端点号位 （注 1）	指定所选管道的端点号。 如果将这些位置“0000”，就表示是未使用的管道。	R/W
b4	DIR	传送方向指定位 （注 2、注 3）	0：接收方向 1：发送方向	R/W
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	SHTNAK	传送结束时的管道禁止位 （注 1）	0：在传送结束时继续管道 1：在传送结束时禁止管道	R/W
b8	—	保留位	读写值都为 “0”。	R/W
b9	DBLB	双缓冲器模式位 （注 2、注 3）	0：单缓冲器 1：双缓冲器	R/W
b10	BFRE	BRDY 中断运行指定位 （注 2、注 3）	0：在发送和接收数据时发生 BRDY 中断 1：在读完数据时发生 BRDY 中断	R/W
b13-b11	—	保留位	读写值都为 “0”。	R/W
b15-b14	TYPE[1:0]	传送类型位 （注 1）	• 管道 1 和管道 2 的情况 b15 b14 0 0：不使用管道 0 1：批量传送 1 0：不能设定 1 1：等时传送 • 管道 3 ～ 5 的情况 b15 b14 0 0：不使用管道 0 1：批量传送 1 0：不能设定 1 1：不能设定 • 管道 6 ～ 9 的情况 b15 b14 0 0：不使用管道 0 1：不能设定 1 0：中断传送 1 1：不能设定	R/W

注 1. 必须在 PID 位为 NAK 的状态下更改 TYPE[1:0] 位、SHTNAK 位和 EPNUM 位的设定。要在将所选管道的 PID[1:0] 位从 BUF 改为 NAK 后更改设定时，必须在确认 PBUSY 位是“0”后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

注 2. 必须在 PID 位为 NAK 并且没有给 CURPIPE[3:0] 位设定管道的状态下更改 BFRE 位、 DBLB 位和 DIR 位的设定。要在将所选管道的 PID[1:0] 位从 BUF 改为 NAK 后更改设定时，必须在确认 DCPCTR.PBUSY 是 “0”后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

注 3. 要在进行了使用所选管道的 USB 通信后更改 BFRE 位、DBLB 位和 DIR 位的设定时，除了注 2. 的注意事项的状态以外，还必须通过软件给 PIPEnCTR.ACLRM 位连续写 “1”和 “0”，清除分配给所选管道的 FIFO 缓冲器。

EPNUM[3:0] 位 （端点号位）

这些位指定所选管道的端点号。

如果将这些位置 “0000b”，就表示不使用管道。

DIR 位和 EPNUM 位的设定组合不能和其他管道的设定重复 （能重复将 EPNUM[3:0] 位置 “0000b”）。

DIR 位 （传送方向指定位）

此位指定所选管道的传送方向。

在通过软件将 DIR 位置“0”的情况下，如果 USB 模块将所选管道设定为接收方向并且将 DIR 位置“1”，USB 模块就将所选管道用于发送方向。

SHTNAK 位 （传送结束时的管道禁止位）

当所选管道为接收方向时，此位指定是否在传送结束时将 PID 位改为 NAK。

SHTNAK 位在所选管道为管道 1 ～管道 5 并且为接收方向时有效。

对于接收方向的管道，如果通过软件将 SHTNAK 位置“1”， USB 模块就在对所选管道判断为传送结束时将所选管道对应的 PID[1:0] 位改为 NAK。 USB 模块在满足以下条件时判断为传送结束。

- 当正常接收短包数据 （包括Zero-Length包）时
- 当使用事务计数器并且正常接收事务计数器所指数量的信息包时

DBLB 位 （双缓冲器模式位）

此位指定所选管道要使用的 FIFO 缓冲器是单缓冲器还是双缓冲器。

DBLB 位在选择管道 1 ～ 5 时有效。

BFRE 位 （BRDY 中断运行指定位）

此位指定 USB 模块向 CPU 发行所选管道的相关 BRDY 中断的时序。

如果通过软件将 BFRE 位置 “1”并且将所选管道用于接收方向， USB 模块就检测到传送结束并且在读完该信息包时发行 BRDY 中断。

当通过此设定产生 BRDY 中断时，需要通过软件给 BCLR 位写 “1”。在给 BCLR 位写 “1”前，分配给所选管道的 FIFO 缓冲器为不可接收的状态。

如果通过软件给 BFRE 位写 “1”并且将所选管道用于发送方向， USB 模块就不产生 BRDY 中断。

详细内容请参照 “30.3.3.1 BRDY 中断”。

TYPE[1:0] 位 （传送类型位）

这些位设定 PIPESEL 位指定管道 （所选管道）的传送类型。

必须在将所选管道的 PID 位设定为 BUF（开始使用所选管道的 USB 通信）前将 TYPE[1:0] 位置“00b”以外的值。

30.2.27 管道最大信息包长度寄存器 （PIPEMAXP）

地址 USB0.PIPEMAXP 000A 006Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MXPS[8:0]								
复位后的值	0	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0

注1. 当没有通过PIPESEL寄存器的PIPESEL位选择管道时为“0000h”，当选择时为“0040h”。

位	符号	位名	功能	R/W
b8-b0	MXPS[8:0]	MAX 信息包长度 （注 1）	• 管道 1 和管道 2 1 字节 （001h）～ 256 字节 （100h） • 管道 3 ～ 5 8 字节 （008h）、 16 字节 （010h）、 32 字节 （020h）、 64 字节 （040h） （没有 [8:7] 位和 [2:0] 位） • 管道 6 ～ 9 1 字节 （001h）～ 64 字节 （040h） （没有 [8:7] 位）	R/W
b15-b9	—	保留位	读写值都为 “0”。	R/W

注 1. 必须在 PID 位为 NAK 并且没有给 DnFIFOSEL.CURPIPE[3:0] 位设定管道的状态下更改 MXPS[8:0] 位的设定。如果要在将所选管道的 PID[1:0] 位从 BUF 改为 NAK 后更改设定，就必须在确认 DCPCTR.PBUSY 位是 “0” 后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

MXPS[8:0] 位 （MAX 信息包长度位）

这些位指定所选管道的最大数据有效负载 （最大信息包长度）。

MXPS[8:0] 位的设定值必须符合各传送类型的 USB 规格。在 MXPS[8:0] 位为 “0” 的状态下，不能写 FIFO 缓冲器，也不能将 PID 位设定为 BUF。

30.2.28 管道周期控制寄存器 （PIPEPERI）

地址 USB0.PIPEPERI 000A 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	IITV[2:0]	间隔错误的检测间隔位	必须将所选管道的间隔错误的检测间隔指定为帧时序的 2 的 n 次方。	R/W
b11-b3	—	保留位	读写值都为 “0”。	R/W
b12	IFIS	等时 IN 缓冲器转储清除	0：不进行缓冲器的转储清除 1：进行缓冲器的转储清除	R/W
b15-b13	—	保留位	读写值都为 “0”。	R/W

IITV[2:0] 位 （间隔错误的检测间隔位）

如果要在设定 IITV[2:0] 位并且进行 USB 通信后改为其他值，就必须在将 PID 位设定为 NAK 后将 PIPEnCTR.ACLRM 位置 “1”，对间隔定时器进行初始化。

管道 3 ～ 5 没有 IITV[2:0] 位。必须将与管道 3 ～ 5 对应的 IITV[2:0] 位置 “000b”。

必须在 PID 位为 NAK 的状态下更改 IITV[2:0] 位的设定。如果要在将所选管道的 PID[1:0] 位从 BUF 改为 NAK 后更改设定，就必须在确认 PIPEnCTR.PBUSY 位是“0”后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 PIPEnCTR.PBUSY 位。

IFIS 位 （等时 IN 缓冲器转储清除位）

在 PIPESEL[3:0] 位指定的管道 （所选管道）为等时 IN 传送时，此位指定是否进行缓冲器的转储清除。

当所选管道的传送类型为等时传送并且传送方向为 IN 传送时，如果此模块在 IITV[2:0] 位设定的各间隔的帧中未接收到 USB 主机的 IN-Token，就自动清除 FIFO 缓冲器。

在设定双缓冲器时 （DBLB=1）， USB 模块只清除先前使用的 1 个缓冲器面的数据。

在应该接收 IN-Token 的帧之后立即接收到 SOF 包时，清除 FIFO 缓冲器。即使 SOF 包破损，也通过内部内插功能在应该接收 SOF 时清除缓冲器。

在所选管道的传送类型不是等时传送时，必须将 IITV[2:0] 位置 “0”。

30.2.29 管道 n 控制寄存器 （PIPEnCTR）（n=1 ～ 9）

- PIPEnCTR （n=1～5）

地址 USB0.PIPE1CTR 000A 0070h、USB0.PIPE2CTR 000A 0072h、USB0.PIPE3CTR 000A 0074h、USB0.PIPE4CTR 000A 0076h、USB0.PIPE5CTR 000A 0078h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	PID[1:0]	应答 PID 位	b1 b0 0 0：NAK 应答 0 1：BUF 应答 （取决于缓冲器状态） 1 0：STALL 应答 1 1：STALL 应答	R/W
b4-b2	—	保留位	读写值都为 “0”。	R/W
b5	PBUSY	管道忙位	0：在事务处理中没有使用该管道 1：在事务处理中使用该管道	R
b6	SQMON	交替位的确认位	0：DATA0 1：DATA1	R
b7	SQSET	交替位置位的位 （注 2）	0：无效 1：指定 DATA1	R/W （注 1）
b8	SQCLR	交替位清除位 （注 2）	0：无效 1：指定 DATA0	R/W （注 1）
b9	ACLRM	缓冲器自动清除模式 （注 3）	0：禁止 1：允许 （全部缓冲器被初始化）	R/W
b10	ATREPM	自动应答模式位 （注 2）	0：禁止自动应答 1：允许自动应答	R/W
b13-b11	—	保留位	读写值都为 “0”。	R/W
b14	INBUFM	发送缓冲器监视位	0：缓冲存储器没有能发送的数据 1：缓冲存储器有能发送的数据	R
b15	BSTS	缓冲器状态位	0：CPU 不能存取缓冲器 1：CPU 能存取缓冲器	R

注 1. 读取值为 “0”，只能写 “1”。

注 2. 必须在 PID 位为 NAK 的状态下更改 ATREPM 位的设定以及给 SQCLR 位或者 SQSET 位写 “1”。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 DCPCTR.PBUSY 位是 “0” 后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

注 3. 必须在 PID 位为 NAK 并且没有给 CURPIPE[3:0] 位设定管道的状态下更改 ACLRM 位的设定。如果要在将所选管道的 PID[1:0] 位从 BUF 改为 NAK 后更改设定，就必须在确认 DCPCTR.PBUSY 位是 “0” 后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

能将 PIPEnCTR 寄存器设定为与 PIPESEL 寄存器所选管道没有无关。

PID[1:0] 位 （应答 PID 位）

这些位指定相应管道的下一个事务的应答方法。

PID[1:0] 位的默认值为 NAK。在通过相应管道进行 USB 传送时，必须将 PID[1:0] 位改为 BUF。各 PID[1:0] 位的设定值对应的基本运行 （通信包中没有错误时的运行）如**表 30.6** 所示。

当相应管道正在进行 USB 通信时，如果通过软件将 PID[1:0] 位从 BUF 改为 NAK，就必须在写 NAK 后确认 DCPCTR.PBUSY 位是 “1”，以便确认该管道的 USB 传送已转移到 NAK 状态。

在以下情况下， USB 模块更改 PID[1:0] 位的值。

- 如果相应管道为接收方向并且通过软件将所选管道的 SHTNAK 位置 “1”， USB 模块就在确认到传送结束时将 PID 位设定为 NAK。
- 对于相应管道，如果接收到超过 MaxPacketSize 的有效负载的数据包， USB 模块就将 PID 位设定为 STALL （“11”）。
- 如果检测到 USB 总线复位， USB 模块就将 PID 位设定为 NAK。

必须按照以下步骤设定 PID[1:0] 位：

- 在从 NAK （“00”）状态转移到 STALL 状态时，必须给 PID[1:0] 位写 “10”。
- 在从 BUF （“01”）状态转移到 STALL 状态时，必须给 PID[1:0] 位写 “11”。
- 在从 STALL （“11”）状态转移到 NAK 状态时，必须在给 PID[1:0] 位写 “10” 后写 “00”。

在从 STALL 状态转移到 BUF 状态时，必须在改为 NAK 状态后将 PID[1:0] 位设定为 BUF 状态。

PBUSY 位 （管道忙位）

此位表示在当前事务处理中是否使用相应管道。

当开始相应管道的 USB 事务时，USB 模块将 PBUSY 位从 “0” 改为 “1”；当 1 个事务结束时，将 PBUSY 位从 “1” 改为 “0”。

在通过软件将 PID 位设定为 NAK 后，能通过读 PBUSY 位来确认是否能更改管道的设定。

详细内容请参照 “**30.3.4.1 管道控制寄存器的切换步骤**”。

SQMON 位 （交替位的确认位）

此位表示相应管道的下一个事务的顺序交替位的值。

当相应管道的传送类型不是等时传送时，如果事务被正常处理， USB 模块就将 SQMON 位取反。但是，如果在进行接收方向的传送时 DATA-PID 不同，就不将 SQMON 位取反。

SQSET 位 （交替位置位的位）

在要将相应管道的下一个事务的顺序交替位的值设定为 DATA1 时，将此位置 “1”。

如果通过软件将 SQSET 位置 “1”， USB 模块就将相应管道的顺序交替位的期待值设定为 DATA1。 USB 模块将 SQSET 位置 “0”。

SQCLR 位 （交替位清除位）

在要清除相应管道的下一个事务的顺序交替位的值 （将此值设定为 DATA0）时，将此位置 “1”。

如果通过软件将 SQCLR 位置 “1”， USB 模块就将相应管道的顺序交替位的期待值设定为 DATA0。 USB 模块将 SQCLR 位置 “0”。

ACLRM 位 （缓冲器自动清除模式位）

此位指定禁止或者允许相应管道的缓冲器自动清除模式。

如果要将分配给相应管道的 FIFO 缓冲器内容全部删除，就必须给 ACLRM 位连续写 “1” 和 “0”。

在给 ACLRM 位连续写 “1” 和 “0” 时， USB 模块要清除的内容以及需要清除的情况如**表 30.7** 所示。

ATREPM 位 （自动应答模式位）

此位指定禁止或者允许相应管道的自动应答。

如果将该管道的传送类型设定为批量传送，就能给 ATREPM 位写 “1”。

如果将 ATREPM 位置 “1”， USB 模块就对 USB 主机的权标进行以下应答：

(1) 相应管道为 Bulk-IN 传送 （将 TYPE 位置 “01”并且将 DIR 位置 “1”）的情况

当 ATREPM 位为 “1”并且将 PID 位设定为 BUF 时， USB 模块对 IN- 权标发送 Zero-Length 包。

在每次从 USB 主机接收 ACK 时 （1 个事务为接收 IN- 权标 → 发送 Zero Length 包 → 接收 ACK）， USB 模块更新 （交替）顺序交替位 （DATA-PID）。

不发生 BRDY 中断和 BEMP 中断。

(2) 相应管道为 Bulk-OUT 传送 （将 TYPE 位置 “01”并且将 DIR 位置 “0”）的情况

当 ATREPM 位为 “1”并且将 PID 位设定为 BUF 时， USB 模块对 OUT- 权标进行 NAK 应答并且产生 NRDY 中断。

要在将 ATREPM 位置 “1”后进行 USB 通信时，必须在 FIFO 缓冲器为空的状态下进行设定。在将 ATREPM 位置 “1”后进行 USB 通信的期间，不能写 FIFO 缓冲器。

在相应管道的传送类型为等时传送时，必须将 ATREPM 位置 “0”。

INBUFM 位 （发送缓冲器监视位）

在相应管道为发送方向时，此位表示该管道的 FIFO 缓冲器状态。

当将该管道设定为发送方向 （DIR 位为 “1”）时，如果通过软件 （或者 DMAC）至少将 1 个缓冲器面的数据全部写到 FIFO 缓冲器， USB 模块就将 INBUFM 位置 “1”。

在 USB 模块将写完的 FIFO 缓冲器面的数据全部发送结束时， USB 模块将 INBUFM 位置 “0”。如果使用双缓冲器 （DBLB 位为 “1”）， USB 模块就在发送完 2 个缓冲器面的数据而通过软件 （或者 DMAC）还未写完 1 个缓冲器面的数据时将 INBUFM 位置 “0”。

当将相应管道设定为接收方向 （DIR 位为 “0”）时， INBUFM 位和 BSTS 位的值相同。

BSTS 位 （缓冲器状态位）

此位表示相应管道的 FIFO 缓冲器状态。

如**表 30.8** 所示， BSTS 位的含义因 DIR、 BFRE 和 DCLRM 位的设定值而不同。

表 30.6 PID 位对应的 USB 模块运行一览表

PID[1:0] 位	传送类型	传送方向（DIR 位）	USB 模块的运行
“00b”（NAK）	批量或者中断	与设定值无关	对 USB 主机的权标进行 NAK 应答。 但是，有关 ATREPM 位为“1”时的运行，请参照 ATREPM 位的说明。
	等时	与设定值无关	对 USB 主机的权标不进行应答。
“01b”（BUF）	批量	接收方向（DIR=0）	对于 USB 主机的 OUT 权标，如果相应管道对应的 FIFO 缓冲器为可接收的状态，就接收数据并且进行 ACK 应答。如果不是可接收的状态，就进行 NAK 应答。
	中断	接收方向（DIR=0）	对于 USB 主机的 OUT 权标，如果相应管道对应的 FIFO 缓冲器为可接收的状态，就接收数据并且进行 ACK 应答。如果不是可接收的状态，就进行 NAK 应答。
	批量或者中断	发送方向（DIR=1）	如果对应的 FIFO 缓冲器为可发送的状态，就对 USB 主机的权标发送数据。如果不是可发送的状态，就进行 NAK 应答。
	等时	接收方向（DIR=0）	对于 USB 主机的 OUT 权标，如果相应管道对应的 FIFO 缓冲器为可接收的状态，就接收数据。如果不是可接收的状态，就放弃数据。
		发送方向（DIR=1）	如果对应的 FIFO 缓冲器为可发送的状态，就对 USB 主机的权标发送数据。如果不是可发送的状态，就发送 Zero-Length 包。
“10b”（STALL）或者“11b”（STALL）	批量或者中断	与设定值无关	对 USB 主机的权标进行 STALL 应答。
	等时	与设定值无关	对 USB 主机的权标不进行应答。

表 30.7 ACLRM 为 “1” 时 USB 模块要清除的内容

序号	通过 ACLRM 位的操作进行清除的内容	需要清除的情况
1	分配给相应管道的 FIFO 缓冲器的全部内容 （在设定为双缓冲器时，清除 2 个 FIFO 缓冲器面）	要对管道进行初始化时
2	当相应管道的传送类型为等时传送时，清除间隔计数值。	要对间隔计数值进行复位时
3	有关 BFRE 位的内部标志	要更改 BFRE 位的设定值时
4	FIFO 缓冲器的交替控制	要更改 DBLB 位的设定值时
5	有关事务计数的内部标志	在强制结束事务计数功能时

表 30.8 BSTS 位的操作

DIR 位	BFRE 位	DCLRM 位	BSTS 位的功能
0	0	0	在能从 FIFO 缓冲器读接收数据时，此位为 “1”；在读完数据时，此位为 “0”。
		1	不能设定此组合。
	1	0	在能从FIFO缓冲器读接收数据时，此位为“1”；在读完数据后通过软件给BCLR位写 “1” 时，此位为 “0”。
		1	在能从 FIFO 缓冲器读接收数据时，此位为 “1”；在读完数据时，此位为 “0”。
1	0	0	在能将发送数据写到 FIFO 缓冲器时，此位为 “1”；在写完数据时，此位为 “0”。
		1	不能设定此组合。
	1	0	不能设定此组合。
		1	不能设定此组合。

- PIPEnCTR （n=6～9）

地址 USB0.PIPE6CTR 000A 007Ah、USB0.PIPE7CTR 000A 007Ch、USB0.PIPE8CTR 000A 007Eh、USB0.PIPE9CTR 000A 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	PID[1:0]	应答 PID 位	b1 b0 0 0：NAK 应答 0 1：BUF 应答 （取决于缓冲器状态） 1 0：STALL 应答 1 1：STALL 应答	R/W
b4-b2	—	保留位	读写值都为 “0”。	R/W
b5	PBUSY	管道忙位	0：在 USB 总线上未使用相应管道 1：在 USB 总线上使用相应管道	R
b6	SQMON	交替位的确认位	0：DATA0 1：DATA1	R
b7	SQSET	交替位置位的位 （注 2）	0：无效 1：指定 DATA1	R/W （注 1）
b8	SQCLR	交替位清除位 （注 2）	0：无效 1：指定 DATA0	R/W （注 1）
b9	ACLRM	缓冲器自动清除模式位（注 2、注 3）	0：禁止缓冲器自动清除模式 1：允许缓冲器自动清除模式 （全部缓冲器的初始化）	R/W
b14-b10	—	保留位	读写值都为 “0”。	R/W
b15	BSTS	缓冲器状态位	0：不能存取缓冲器 1：能存取缓冲器	R

注 1. 读取值为 “0”，只能写 “1”。

注 2. 必须在 PID 位为 NAK 的状态下给 SQCLR 位或者 SQSET 位写 “1”。如果要在将所选管道的 PID[1:0] 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位是 “0” 后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 PBUSY 位。

注 3. 必须在 PID 位为 NAK 并且没有给 CURPIPE[3:0] 位设定管道的状态下更改 ACLRM 位的设定。如果要在将所选管道的 PID[1:0] 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位是 “0” 后进行更改。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 PBUSY 位。

PID[1:0] 位 （应答 PID 位）

这些位指定相应管道的下一个事务的应答方法。

PID[1:0] 位的默认值为 NAK。在通过相应管道进行 USB 传送时，必须将 PID[1:0] 位改为 BUF。各 PID[1:0] 位的设定值对应的基本运行 （通信包中没有错误时的运行）如**表 30.6** 所示。

当相应管道正在进行 USB 通信时，如果通过软件将 PID[1:0] 位从 BUF 改为 NAK，就必须在写 NAK 后确认 PBUSY 位是 “1”，以便确认该管道的 USB 传送已转移到 NAK 状态。

在以下情况下， USB 模块更改 PID[1:0] 位的值。

- 对于相应管道，如果接收到超过 MaxPacketSize 的有效负载的数据包， USB 模块就将 PID 位设定为 STALL （“11”）。
- 如果检测到USB总线复位， USB模块就将PID位设定为NAK。

必须按照步骤设定 PID[1:0] 位：

- 在从NAK （“00”）状态转移到STALL状态时，必须给PID[1:0]位写 “10”。
- 在从BUF （“01”）状态转移到STALL状态时，必须给PID[1:0]位写 “11”。
- 在从STALL （“11”）状态转移到NAK状态时，必须给PID[1:0]位在写 “10”后写 “00”。
- 在从STALL状态转移到BUF状态时，必须在改为NAK状态后将PID[1:0]位设定为BUF状态。

PBUSY 位 （管道忙位）

此位表示在当前 USB 总线上是否使用相应管道。

当开始该管道的 USB 事务时， USB 模块将 PBUSY 位从 “0”改为 “1”； 当 1 个事务结束时，将 PBUSY 位从 “1”改为 “0”。

在通过软件将 PID 位设定为 NAK 后，能通过读 PBUSY 位来确认是否能更改管道的设定。

SQMON 位 （交替位的确认位）

此位表示相应管道的下一个事务的顺序交替位的期待值。

如果事务被正常处理，USB 模块就将 SQMON 位取反。但是，如果在进行接收方向的传送时 DATA-PID 不同，就不将 SQMON 位取反。

SQSET 位 （交替位置位的位）

在要将相应管道的下一个事务的顺序交替位的期待值设定为 DATA1 时，将此位置 “1”。

如果通过软件将 SQSET 位置 “1”， USB 模块就将该管道的顺序交替位的期待值设定为 DATA1。 USB 模块将 SQSET 位置 “0”。

SQCLR 位 （交替位清除位）

在要清除相应管道的下一个事务的顺序交替位的期待值 （将此值设定为 DATA0）时，将此位置 “1”。

如果通过软件给 SQCLR 位写 “1”， USB 模块就将该管道的顺序交替位的期待值设定为 DATA0。 USB 模块将 SQCLR 位置 “0”。

ACLRM 位 （缓冲器自动清除模式位）

此位指定禁止或者允许相应管道的缓冲器自动清除模式。

如果要将分配给该管道的 FIFO 缓冲器内容全部删除，就必须给 ACLRM 位连续写 “1”和 “0”。

在给 ACLRM 位连续写 “1”和 “0”时， USB 模块要清除的内容以及需要清除的情况如**表 30.9** 所示。

BSTS 位 （缓冲器状态位）

此位表示相应管道的 FIFO 缓冲器状态。

如**表 30.8** 所示， BSTS 位的含义因 DIR、 BFRE 和 DCLRM 位的设定值而不同。

表 30.9 ACLRM 为 “1”时 USB 模块要清除的内容

序号	通过 ACLRM 位的操作进行清除的内容	需要清除的情况
1	分配给所选管道的 FIFO 缓冲器的全部内容	要对管道进行初始化时
2	有关 BFRE 位的内部标志	要更改 BFRE 位的设定值时
3	有关事务计数的内部标志	在强制结束事务计数功能时

30.2.30 管道 n 事务计数允许寄存器 （PIPEnTRE）（n=1 ～ 5）

地址 USB0.PIPE1TRE 000A 0090h、USB0.PIPE2TRE 000A 0094h、USB0.PIPE3TRE 000A 0098h、USB0.PIPE4TRE 000A 009Ch、USB0.PIPE5TRE 000A 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为 “0”。	R/W
b8	TRCLR	事务计数器清除位	0：无效 1：清除当前计数器	R/W
b9	TRENB	事务计数器允许位	0：事务计数器功能无效 1：事务计数器功能有效	R/W
b15-b10	—	保留位	读写值都为 “0”。	R/W

注 . 必须在 PID 位为 NAK 时更改 PIPEnTRE 寄存器的各位。
如果要在将对应管道的 PID[1:0] 位从 BUF 改为 NAK 后更改各位的设定值，就必须在确认 PBUSY 位是 “0” 后更改各位。但是，如果 USB 模块已将 PID[1:0] 位改为 NAK，就不需要通过软件确认 PBUSY 位。

TRCLR 位 （事务计数器清除位）

清除相应管道对应的事务计数器的当前计数值并且将 TRCLR 位置 “0”。

TRENB 位 （事务计数器允许位）

此位指定事务计数器的无效或者有效。

对于接收管道，如果通过软件在给 PIPEnTRN.TRNCNT[15:0] 位设定总信息包的数量后将 TRENB 位置 “1”，USB 模块就在接收完 PIPEnTRN.TRNCNT[15:0] 位所设数量的信息包后进行以下的控制。

- 当 PIPECFG.SHTNAK 位为 “1” 时，在接收完 PIPEnTRN.TRNCNT[15:0] 位所设数量的信息包时将对应管道的 PID[1:0] 位改为 NAK。
- 当 PIPECFG.BFRE 位为 “1” 时，在接收完 PIPEnTRN.TRNCNT[15:0] 位所设数量的信息包并且读完最后的数据时将 BRDY 中断置为有效。

对于发送管道，必须将 TRENB 位置 “0”。

当不使用事务计数功能时，必须将 TRENB 位置 “0”。

当使用事务计数功能时，必须在将 TRENB 位置 “1” 前设定 TRNCNT[15:0] 位。另外，必须在接收事务计数对象的第一个信息包前将 TRENB 位置 “1”。

30.2.31 管道 n 事务计数寄存器 （PIPEnTRN）（n=1 ～ 5）

地址 USB0.PIPE1TRN 000A 0092h、USB0.PIPE2TRN 000A 0096h、USB0.PIPE3TRN 000A 009Ah、USB0.PIPE4TRN 000A 009Eh、USB0.PIPE5TRN 000A 00A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRNCNT[15:0]															
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b15-b0	TRNCNT[15:0]	事务计数器位	• 写寄存器时： 设定 DMA 传送的事务次数。 • 读寄存器时： 当PIPEnTRE.TRENB位为“0”时，表示设定的事务次数。 当PIPEnTRE.TRENB位为“1”时，表示正在计数的事务次数。	R/W

在 USB 总线复位时， PIPEnTRN 寄存器保持设定值。

TRNCNT[15:0] 位 （事务计数器位）

如果接收时的状态满足以下的全部条件， USB 模块就将 TRCCNT 位的值加 1。

- TRENB位为 “1”。
- 在接收信息包时， TRNCNT[15:0]设定值≠当前计数值+1。
- 接收的信息包的有效负载和MXPS位的设定值相同。

在满足以下的任意条件时， USB 模块将 TRCCNT[15:0] 位清 “0”。

(1) 当满足以下的全部条件时

- PIPEnTRE.TRENB位为 “1”。
- 在接收信息包时， TRNCNT[15:0]设定值=当前计数值+1。
- 接收的信息包的有效负载和MXPS位的设定值相同。

(2) 当满足以下的全部条件时

- PIPEnTRE.TRENB位为 “1”。
- 接收到短包。

(3) 当满足以下的全部条件时

- PIPEnTRE.TRENB位为 “1”。
- 通过软件将TRCLR位置 “1”。

对于发送管道，必须将 TRCCNT 位置 “0”。

当不使用事务计数功能时，必须将 TRCCNT 位置 “0”。

必须在 PIPEnTRE.TRENB 位为 “0”时更改 TRCCNT 位。

要更改 TRCCNT 位的值时，必须在将 PIPEnTRE.TRENB 位置 “1”前将 PIPEnTRE.TRCLR 位置 “1”。

30.2.32 深度待机 USB 收发器的控制 / 引脚监视寄存器 （DPUSR0R）

地址 000A 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBSTS0	—	—	—	—	—	DM0	DP0
复位后的值	x	0	x	x	0	0	x	x	x	0	x	x	0	0	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	FIXPHY0	—	—	—	SRPC0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SRPC0	USB0 单端接收器控制	0：DP/DM 的输入为禁止状态 1：DP/DM 的输入为允许状态	R/W
b3-b1	—	保留位	读写值都为 “0”。	R/W
b4	FIXPHY0	USB0 收发器输出固定	0：正常运行时和从深度软件待机返回时 1：转移到深度软件待机时	R/W
b15-b5	—	保留位	读写值都为 “0”。	R/W
b16	DP0	USB0 的 DP 输入	表示 USB0 的 DP 输入信号。	R
b17	DM0	USB0 的 DM 输入	表示 USB0 的 DM 输入信号。	R
b19-b18	—	保留位	读写值都为 “0”。	R/W
b21-b20	—	保留位	读取值为不定值，写操作无效。	R
b22	—	保留位	读写值都为 “0”。	R/W
b23	DVBSTS0	USB0 的 VBUS 输入	表示 USB0 的 VBUS 输入。	R
b25-b24	—	保留位	读取值为不定值，写操作无效。	R
b27-b26	—	保留位	读写值都为 “0”。	R/W
b29-b28	—	保留位	读取值为不定值，写操作无效。	R
b30	—	保留位	读写值都为 “0”。	R/W
b31	—	保留位	读取值为不定值，写操作无效。	R

SRPC0 位 （USB0 单端接收器控制位）

此位控制 USB0 的收发器的 DP/DM 输入。

在 FIXPHY0 位为 “1” 时有效。

FIXPHY0 位 （USB0 收发器输出固定位）

此位将 USB0 的收发器的输出固定为不允许。

30.2.33 深度待机 USB 的挂起 / 恢复中断寄存器 （DPUSR1R）

地址 000A 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBINT0	—	—	—	—	—	—	DPINT0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	DVBSE0	—	—	—	—	—	—	DPINTE0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DPINTE0	USB0 的 DP 中断允许 / 清除位	0：禁止从深度软件待机返回 1：允许从深度软件待机返回	R/W
b6-b1	—	保留位	读写值都为 “0”。	R/W
b7	DVBSE0	USB0 的 VBUS 中断允许 / 清除位	0：禁止从深度软件待机返回 1：允许从深度软件待机返回	R/W
b15-b8	—	保留位	读写值都为 “0”。	R/W
b16	DPINT0	通过 USB0 的 DP 中断源的返回表示位	0：没有从深度软件待机返回 1：从深度软件待机返回	R
b22-b17	—	保留位	读写值都为 “0”。	R/W
b23	DVBINT0	通过 USB0 的 VBUS 中断源的返回表示位	0：没有从深度软件待机返回 1：从深度软件待机返回	R
b31-b24	—	保留位	读写值都为 “0”。	R/W

DPINTE0 位 （USB0 的 DP 中断允许 / 清除位）

此位允许或者禁止通过 USB0 的 DP 输入从深度软件待机返回。

通过在 DPINT0 位为 “1”时给 DPINTE0 位写 “0”， DPINT0 位变为 “0”。

DVBSE0 位 （USB0 的 VBUS 中断允许 / 清除位）

此位允许或者禁止通过 USB0 的 VBUS 输入从深度软件待机返回。

通过在 DVBINT0 位为 “1”时给 DVBSE0 写 “0”， DVBINT0 位变为 “0”。

DPINT0 位 （通过 USB0 的 DP 中断源的返回表示位）

此位表示通过 USB0 的 DP 输入中断源从深度软件待机返回。只有在 DPINTE0 位为 “1”时，才能通过 USB0 的 DP 输入中断源从深度软件待机返回。

通过在 DPINT0 位为 “1”时给 DPINTE0 位写 “0”， DPINT0 位变为 “0”。

DVBINT0 位 （通过 USB0 的 VBUS 中断源的返回表示位）

此位表示通过 USB0 的 VBUS 输入中断源从深度软件待机返回。只有在 DVBSE0 位为 “1”时，才能通过 USB0 的 VBUS 输入中断源从深度软件待机返回。

通过在 DVBINT0 位为 “1”时给 DVBSE0 位写 “0”， DVBINT0 位变为 “0”。

30.3 运行说明

30.3.1 系统控制

本节说明 USB 模块的初始设定所需的寄存器设定以及功耗控制所需的寄存器。

30.3.1.1 运行开始

在开始给 USB 模块提供时钟 （SYSCFG.SCKE 位为 “1”）的状态下，通过将 SYSCFG.USBE 位置 “1”，允许运行并且开始 USB 模块的运行。

自供电时的 USB 连接器的外部连接例子 （USB0）如图 30.2 所示。

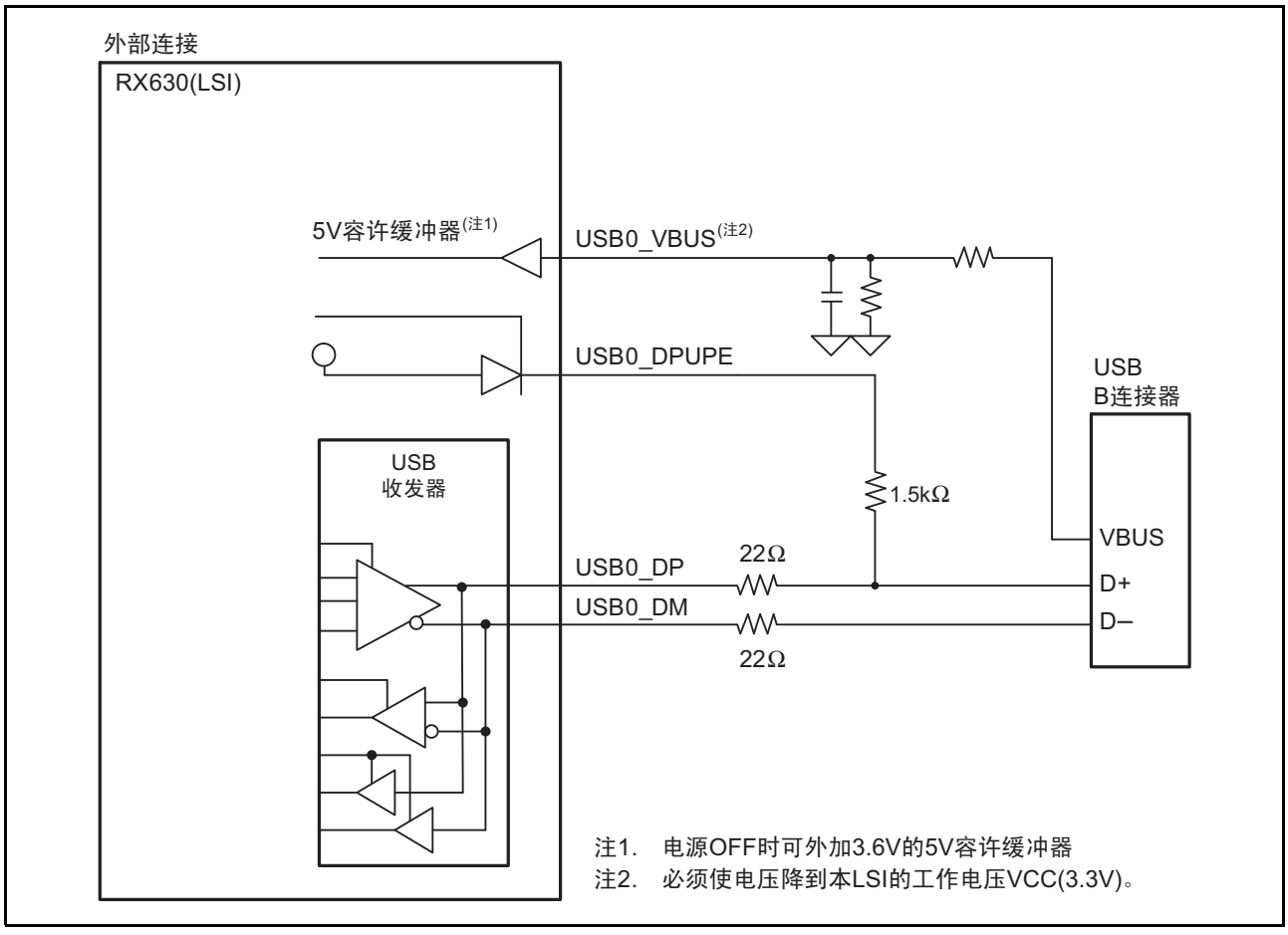


图 30.2 自供电时的 USB 连接器的外部连接例子 （USB0）

总线供电时的 USB 连接器的外部连接例子 （USB0）如图 30.3 所示。

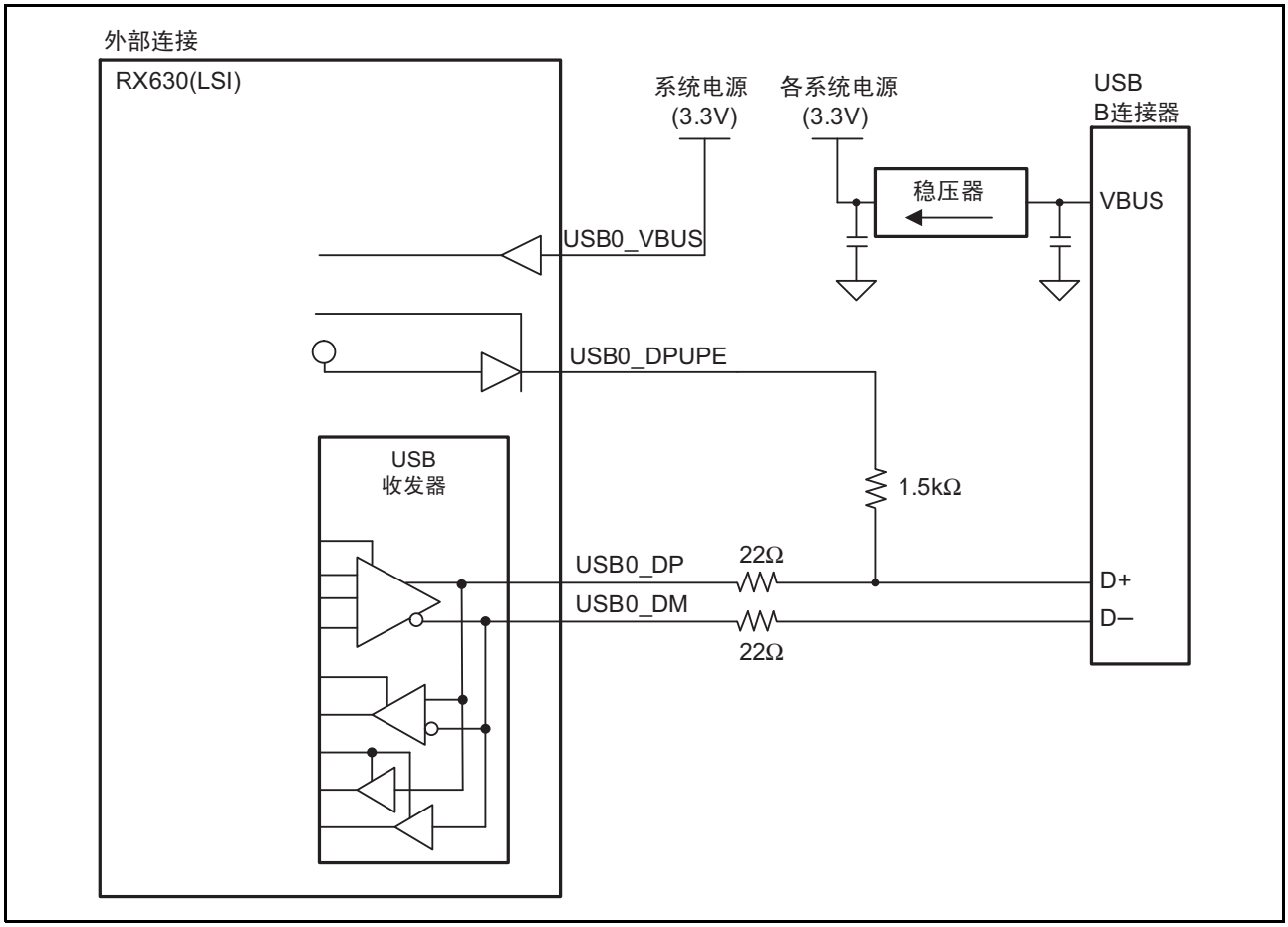


图 30.3 总线供电时的 USB 连接器的外部连接例子 （USB0）

本章节记载的各外部电路例子为概略电路，不保证所有系统中的运行。

30.3.1.2 通过 USB 挂起 / 恢复中断进行深度软件待机模式的解除

能通过 USB 的挂起 / 恢复中断来解除深度软件待机模式。

通过 USB 恢复检测部检测 USB 的挂起 / 恢复中断。USB 恢复检测部控制并且监视 USB0 的输入 / 输出引脚以及检测挂起 / 恢复中断。

USB 恢复检测部和 USB0 的输入 / 输出引脚的连接概略图如图 30.4 所示。

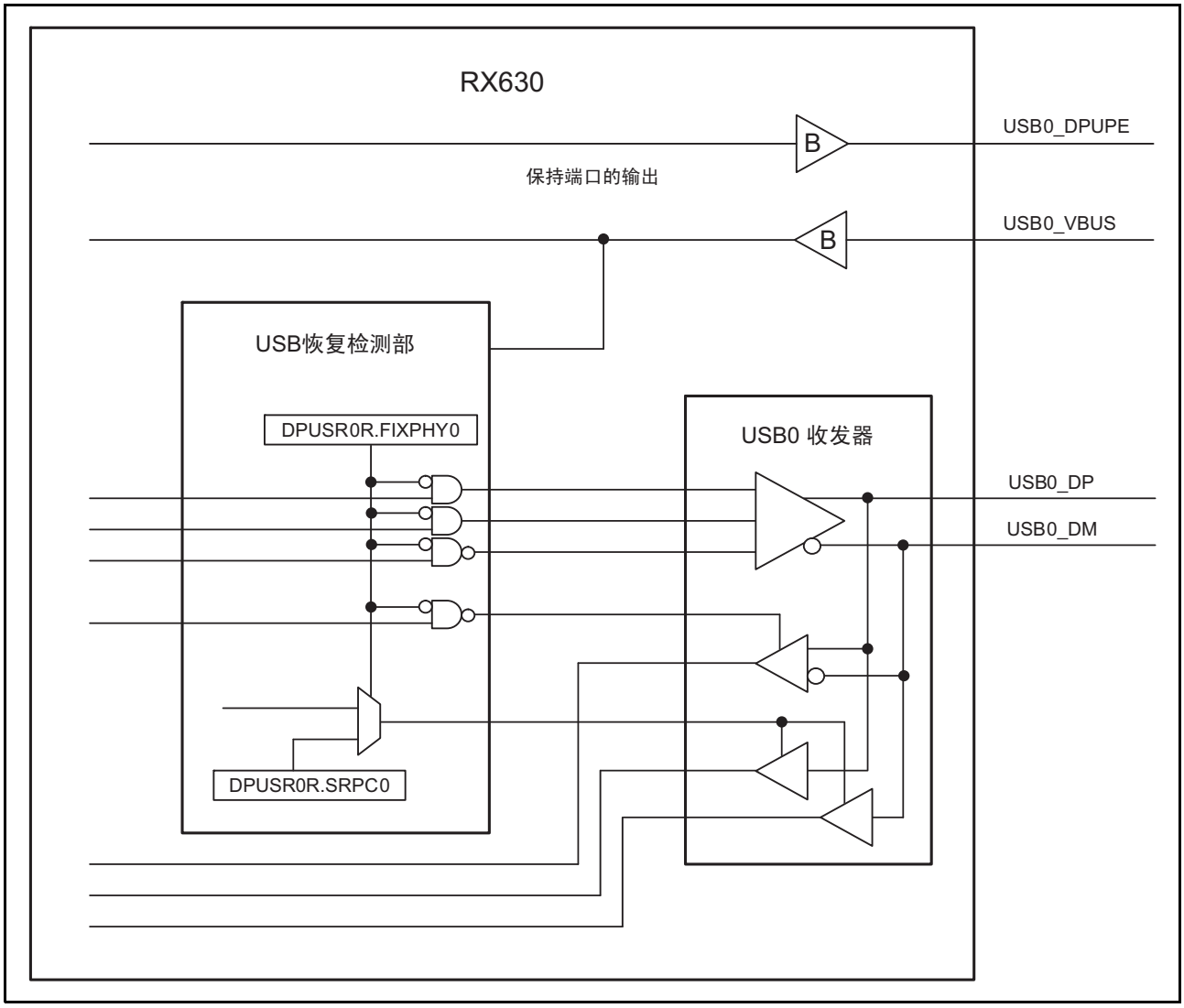


图 30.4 USB 恢复检测部和 USB0 的输入 / 输出引脚的连接概略图

USB 的挂起 / 恢复中断源和输入 / 输出引脚的对应如表 30.10 所示。

表 30.10 USB 的挂起 / 恢复中断源和输入 / 输出引脚的对应

中断源	引脚名
恢复	USB0_DP
连接 / 断开	USB0_VBUS

在通过 USB 的挂起 / 恢复中断来解除深度软件待机模式时，需要设定 DPSBYCR.IOKEEP 位并且保持 I/O 端口的输出。

向深度软件待机转移时的 USB 设定流程如图 30.5 所示，解除深度软件待机时的 USB 设定流程如图 30.6 所示。

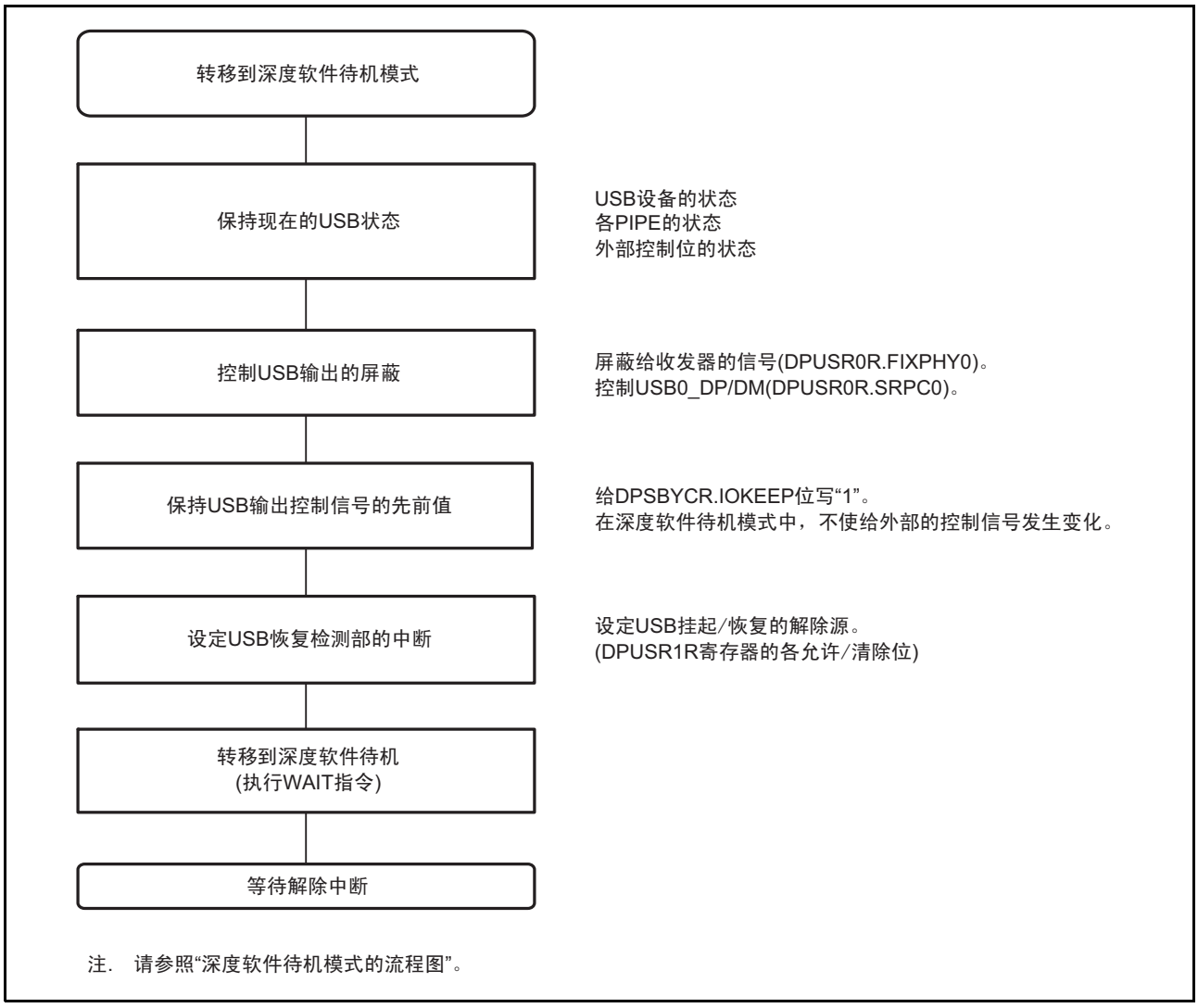


图 30.5 向深度软件待机转移时的 USB 设定流程

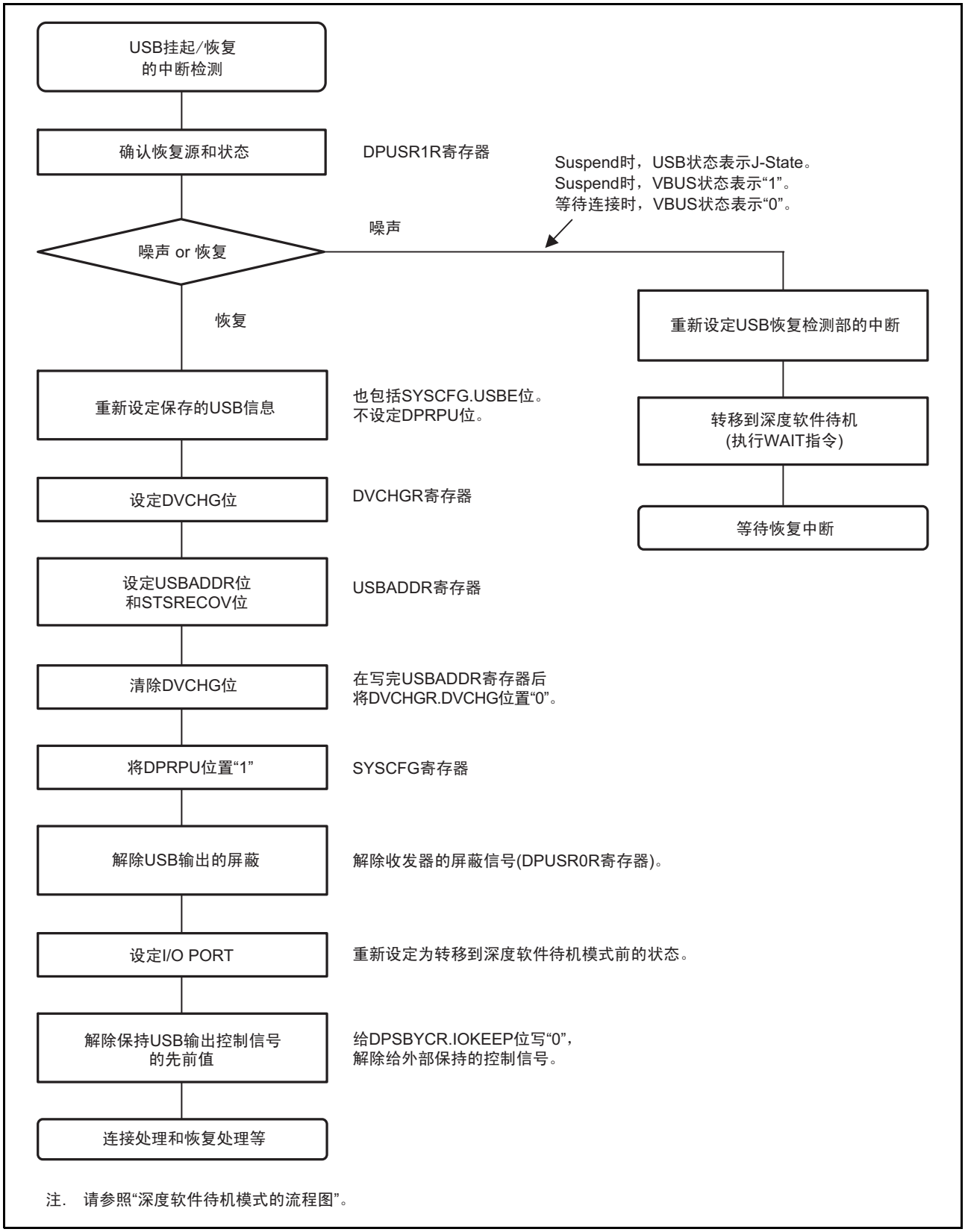


图 30.6 解除深度软件待机时的 USB 设定流程

30.3.2 中断源

USB 模块的中断源一览表如表 30.11 所示。

在这些中断产生条件成立并且通过对应的中断允许寄存器设定为允许中断输出时， USB 向中断控制器（ICU）发行 USB 中断请求并且产生 USB 中断。

表 30.11 中断源一览表

设定的位	名称	中断源	状态标志
VBINT	VBUS 中断	• 当检测到 USB0_VBUS 输入引脚的状态变化时 （L 电平 →H 电平或者 H 电平 →L 电平）	INTSTS0.VBSTS
RESM	恢复中断	• 在挂起状态下检测到 USB 总线的状态变化时 （J-State→K-State 或者 J-State→SE0）	—
SOFR	帧号更新中断	• 当接收到帧号不同的 SOF 包时	—
DVST	设备状态转移中断	• 当检测到设备状态的转移时 （以下） USB 总线复位的检测 挂起状态的检测 SET_ADDRESS 请求的接收 SET_CONFIGURATION 请求的接收	INTSTS0.DVSQ[2:0]
CTRT	控制传送阶段转移中断	• 当检测到控制传送的阶段转移时 （以下） 设置阶段结束 控制写传送的状态阶段转移 控制读传送的状态阶段转移 控制传送结束 控制传送顺序错误的发生	INTSTS0.CTSQ[2:0]
BEMP	缓冲器空中断	• 在发送缓冲存储器的全部数据后缓冲器变空时 • 当接收到超过最大信息包长度的信息包时	BEMPSTS.PIPEnBEMP
NRDY	缓冲器未就绪中断	• 在将 DCPCTR.PID[1:0] 位设定为 BUF 的状态下对 IN 权标 /OUT 权标进行 NAK 应答时 • 在等时传送的数据接收过程中发生 CRC 错误和位填充错误时 • 在等时传送的数据接收过程中发生超限 / 欠载时	NRDYSTS.PIPEnNRDY
BRDY	缓冲器就绪中断	• 当缓冲器就绪 （可读或者可写的状态）时	BRDYSTS.PIPEnBRDY

注 1. 没有标明寄存器名的位的寄存器全部为 INTSTS0 寄存器。

USB0 的中断相关图如图 30.7 所示。

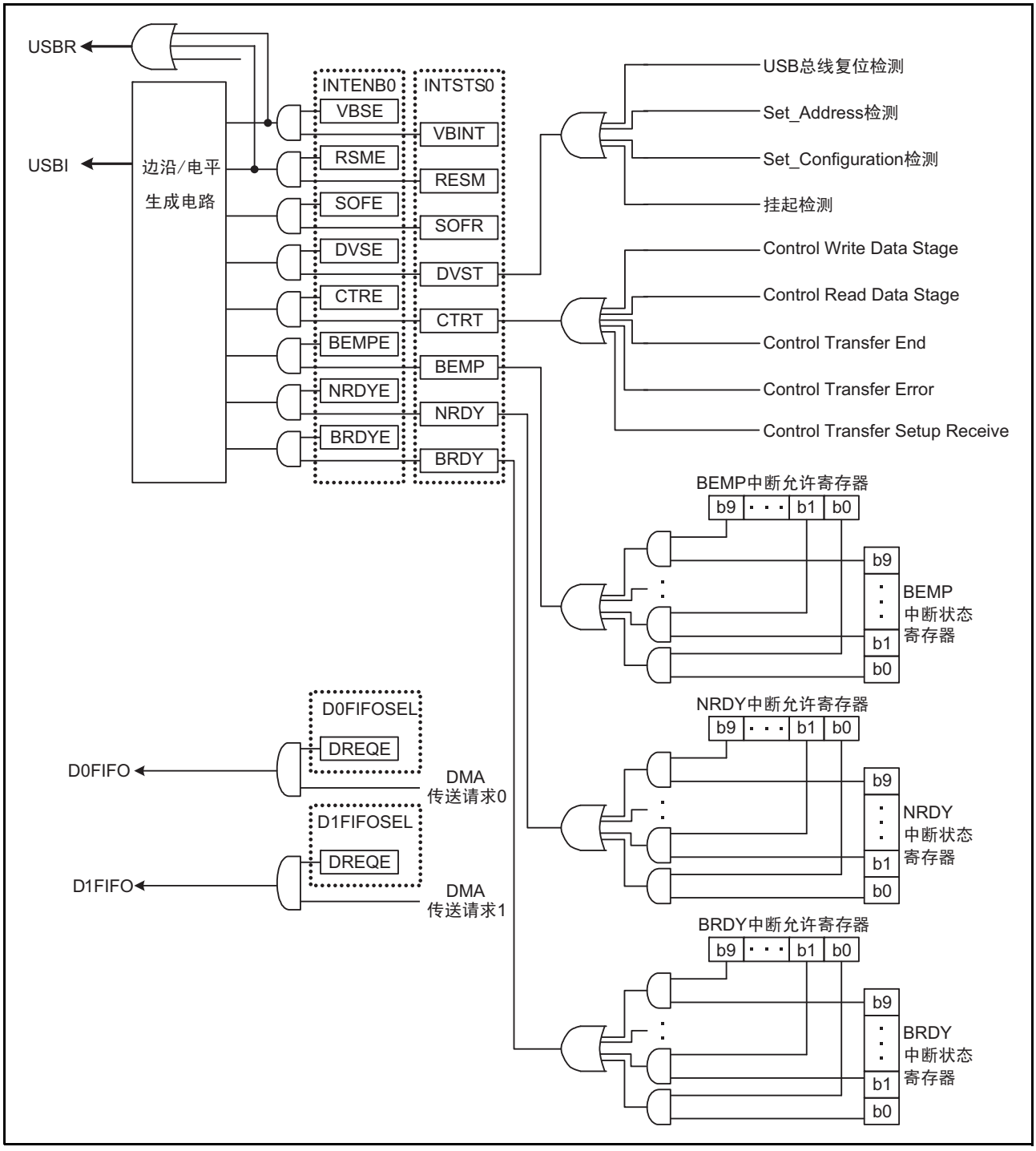


图 30.7 中断的相关图

USB0 的中断一览表如表 30.12 所示。

表 30.12 USB0 的中断一览表

中断名称	中断标志	DTC 的启动	DMAC 的启动	优先级
D0FIFO	DMA 传送请求 0	能	能	高
D1FIFO	DMA 传送请求 1	能	能	↑
USBI	VBUS 中断、恢复中断、帧号更新中断、设备状态转移中断、控制传送阶段转移中断、缓冲器空中断、缓冲器未就绪中断、缓冲器就绪中断、总线变化中断、全速运行时的断开检测	不能	不能	低
USBR	VBUS 中断、恢复中断、总线变化中断	不能	不能	—

30.3.3 中断说明

30.3.3.1 BRDY 中断

当各管道满足下述条件时，USB 模块将 BRDYSTS 寄存器的对应位置“1”。此时，如果通过软件将相应管道对应的 BRDYENB 寄存器的 PIPEBRDYE 位置“1”并且将 INTENB0 寄存器的 BRDYE 位置“1”， USB 模块就产生 BRDY 中断。

BRDY 中断的产生条件和清除方法因 SOFCFG.BRDYM 位和各管道的 PIPECFG.BFRE 位的设定而不同。

(1) SOFCFG.BRDYM 位为 “0”并且 PIPECFG.BFRE 位为 “0”的情况

在此设定的情况下， BRDY 中断是表示能存取 FIFO 端口的中断。

在满足下述条件时，USB 模块产生内部 BRDY 中断请求触发并且将产生请求触发的管道所对应的 BRDYSTS.PIPEBRDY 位置 “1”。

- 【发送方向管道的情况】
- 当通过软件将DIR位从 “0”改为 “1”时
- USB模块在CPU不能写分配给相应管道的FIFO缓冲器的状态下（PIPEnCTR.BSTS位的读取值为“0”时）发送完该管道的信息包时
- 在将FIFO缓冲器设定为双缓冲器的情况下写完一个FIFO缓冲器而另一个FIFO缓冲器变空时
- 即使在写FIFO缓冲器的过程中另一个缓冲器发送结束，也不在写完当前正在写的缓冲器面的数据前产生请求触发。
- 对于传送类型为等时传送的管道，当通过硬件进行缓冲器转储清除时
- 当通过给PIPEnCTR.ACLRM位写 “1”使FIFO缓冲器从不可写状态变为可写状态时

对于 DCP （即，控制传送时的数据发送），不产生请求触发。

【接收方向管道的情况】

- 在CPU不能读分配给相应管道的FIFO缓冲器的状态下（PIPEnCTR.BSTS位的读取值为“0”时），正常接收到信息包并且FIFO缓冲器变为可读状态时
  对于数据PID不同的事务，不产生请求触发。
- 在FIFO缓冲器为双缓冲器的情况下读完一个FIFO缓冲器而另一个FIFO缓冲器也变为可读状态时
  即使在读过程中另一个FIFO缓冲器接收结束，也不在读完当前正在读的缓冲器面的数据前产生请求触发。

在控制传送状态阶段的通信过程中不产生 BRDY 中断。

能通过软件将相应管道对应的 BRDYSTS 寄存器的 PIPEBRDY 位置 “0”，清除该管道的 PIPEBRDY 中断状态。此时，必须给其他管道的对应位写 “1”。

必须在存取 FIFO 缓冲器前清除此中断状态。

(2) SOFCFG.BRDYM 位为 “0”并且 PIPECFG.BFRE 位为 “1”的情况

在此设定的情况下，USB 模块在对接收管道读完一次传送的全部数据时判断为发生了 BRDY 中断，并且将 BRDYSTS 寄存器的相应管道的对应位置 “1”。

在以下任意一种情况下， USB 模块判断为接收到一次传送的最后数据。

- 当接收到包括Zero-Length包的短包时
- 当使用事务计数器 （PIPEnTRN.TRNCNT[15:0]位）并且接收到TRNCNT[15:0]位所设数量的信息包时

如果在满足上述判断条件后读完此数据， USB 模块就判断为读完一次传送的全部数据。

如果在 FIFO 缓冲器为空的状态下接收到 Zero-Length 包，此模块就在将 Zero-Length 包的数据交给 CPU 侧时判断为读完一次传送的全部数据。此时，为了开始下一次传送，必须通过软件给对应的 FIFOCTR 寄存器的 BCLR 位写 “1”。

在此设定的情况下， USB 模块不对发送管道检测 BRDY 中断。

能通过软件给相应管道对应的 PIPEBRDY 位写 “0”，清除该管道的 PIPEBRDY 中断状态。此时，必须给其他管道的对应位写 “1”。

在使用此模式时，不能在一次传送处理结束前更改 PIPECFG.BFRE 位的设定值。

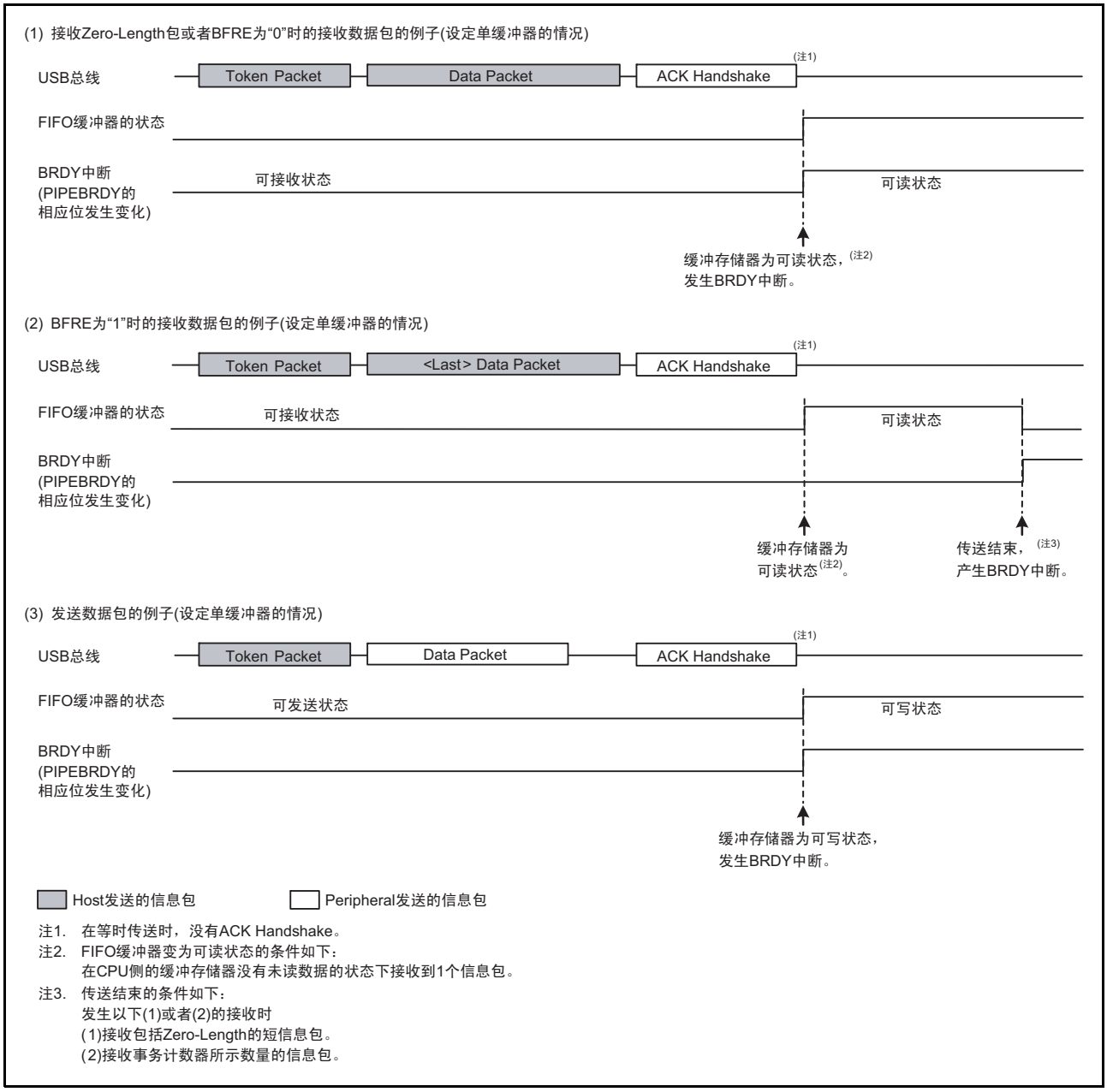
如果要在中途更改PIPECFG.BFRE位，就必须通过PIPEnCTR.ACLRM位清除全部对应管道的FIFO缓冲器。

(3) BRDYM 位为 “1”并且 BFRE 位为 “0”时的情况

在此设定的情况下，BRDYSTS.PIPEBRDY 位的值和各管道的 PIPEnCTR.BSTS 位连动。即，USB 模块根据 BRDY 中断状态，将 FIFO 缓冲器状态位置 “1”或者 “0”。

- **发送方向管道的情况**
  BRDY中断状态在能给FIFO端口写数据的状态下为 “1”，在不能写的状态下为 “0”。
  但是，即使DCP的发送管道为可写状态，也不产生BRDY中断。
- **接收方向管道的情况**
  BRDY中断状态在能从FIFO端口读数据的状态下为 “1”，在读完全部数据时 （不可读状态）为 “0”。
  如果在FIFO 缓冲器为空的状态下接收到Zero-Length 包，就在通过软件给CFIFOCTR.BCLR 位、D0FIFOCTR.BCLR位、 D1FIFOCTR.BCLR位写 “1”前相应位为 “1”，继续产生BRDY中断。
  在设定为接收方向的管道时，不能通过软件将BRDYSTS.PIPEBRDY位清 “0”。
  当SOFCFG.BRDYM位为 “1”时，必须将PIPECFG.BFRE位全部 （全部管道）置 “0”。

BRDY 中断发生时序图如图 30.8 所示。



注1. 在等时传送时，没有ACK Handshake。
注2. FIFO缓冲器变为可读状态的条件如下：
在CPU侧的缓冲存储器没有未读数据的状态下接收到1个信息包。
注3. 传送结束的条件如下：
发生以下(1)或者(2)的接收时
(1)接收包括Zero-Length的短信息包。
(2)接收事务计数器所示数量的信息包。

图 30.8 BRDY 中断发生时序图

USB 模块清除 INTSTS0 寄存器的 BRDY 位的条件因 SOFCFG.BRDYM 位的设定值而不同， BRDY 位的清除条件表如表 30.13 所示。

表 30.13 BRDY 位的清除条件表

BRDYM	BRDY 位的清除条件
0	如果通过软件清除 BRDYSTS 寄存器的全部位， USB 模块就清除 INTSTS0 寄存器的 BRDY 位。
1	当全部管道的 BSTS 位变为 “0” 时， USB 模块清除 INTSTS0 寄存器的 BRDY 位。

30.3.3.2 NRDY 中断

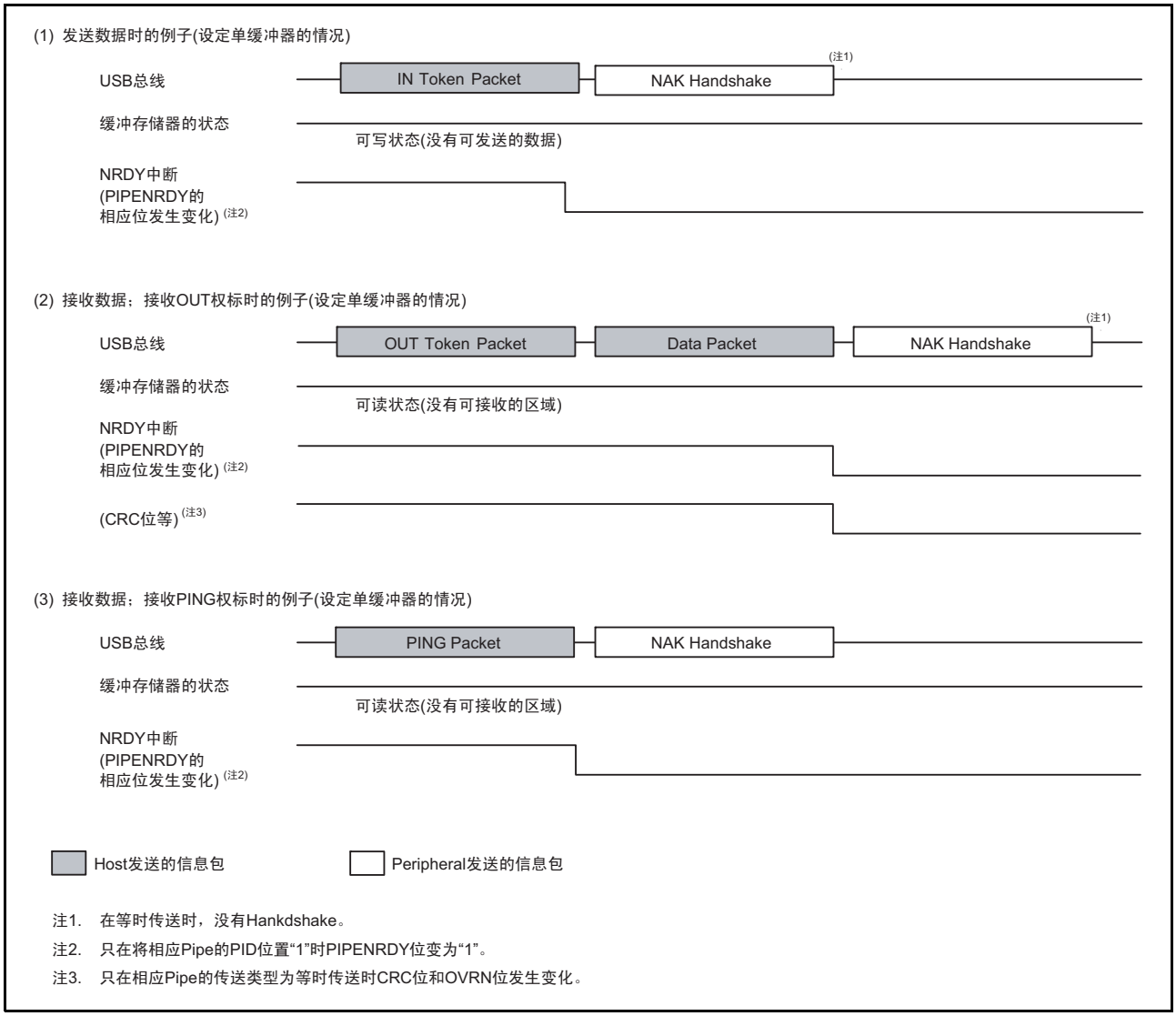
对于通过软件将 PID 设定为 BUF 的管道，如果 USB 模块发生内部 NRDY 中断请求， USB 模块就将 NRDYSTS.PIPENRDY 位的对应位置“1”。此时，如果已通过软件将 NRDYENB 寄存器的对应位置“1”，USB 模块就将 INTSTS0 寄存器的 NRDY 位置 “1” 并且产生 USB 中断。

对于某个管道， USB 模块产生内部 NRDY 中断请求的条件如下所示。

在执行控制传送状态阶段时，不产生中断请求。

- **发送方向管道的情况**
- 在FIFO缓冲器没有发送数据的状态下接收到IN权标时
  在接收IN权标时， USB模块产生NRDY中断请求并且将NRDYSTS.PIPENRDY位置 “1”。
  在发生中断的管道传送类型为等时传送时， USB模块发送Zero-Length包并且将FRMNUM.OVRN位置 “1”。
- **接收方向管道的情况**
- 在FIFO缓冲器没有空间的状态下接收到OUT权标时
  当发生中断管道传送类型为等时传送时， USB模块在接收OUT权标时产生NRDY中断请求，并且将NRDYSTS.PIPENRDY位置 “1”，将FRMNUM.OVRN位置 “1”。
  当发生中断的管道传送类型不是等时传送时， USB模块在接收到OUT权标之后的数据后发送NAK Handshake时产生NRDY中断请求，并且将NRDYSTS.PIPENRDY位置 “1”。
  但是，在重新发送时 （DATA-PID不同时）不产生NRDY中断请求，而且在DATA包中有错误时也不产生NRDY中断请求。
- 对于传送类型为等时传送的管道，在间隔帧内无法正常接收时
  在接收SOF时， USB模块产生NRDY中断请求并且将NRDYSTS.PIPENRDY位置 “1”。

NRDY 中断发生时序图如图 30.9 所示。



注1. 在等时传送时，没有Hankdshake。

注2. 只在将相应Pipe的PID位置“1”时PIPENRDY位变为“1”。

注3. 只在相应Pipe的传送类型为等时传送时CRC位和OVRN位发生变化。

图 30.9 NRDY 中断发生时序图

30.3.3.3 BEMP 中断

对于通过软件将 PID 位设定为 BUF 的管道，如果 USB 模块检测到 BEMP 中断， USB 模块就将 BEMPSTS 寄存器的 PIPEBEMP 位的对应位置 “1”。此时，如果已通过软件将 BEMPENB 寄存器的对应位置 “1”， USB 模块就将 INTSTS0 寄存器的 BEMP 位置 “1”并且产生 USB 中断。

在以下情况下， USB 模块产生内部 BEMP 中断请求。

- **发送方向管道的情况**
- 在发送结束时 （包括发送Zero-Length包时）对应管道的FIFO缓冲器为空时
  当设定为单缓冲器时，对于DCP以外的管道，在产生BRDY中断的同时产生内部BEMP中断请求。
  但是，在以下情况下不产生内部BEMP中断请求：
- 在设定为双缓冲器时并且在发送完一个缓冲器面的数据时已经通过软件（DMAC）开始写CPU侧FIFO缓冲器的情况
- 通过给PIPEnCTR.ACLRM位、 CFIFOCTR.BCLR位、 D0FIFOCTR.BCLR位或者D1FIFOCTR.BCLR位写 “1”，清除 （空）缓冲器。
- 在进行控制传送Status阶段的IN传送 （发送Zero-Length包）时

- **接收方向管道的情况**
  当正常接收到大于MaxPacketSize设定值的数据时
  此时， USB模块产生BEMP中断请求，将BEMPSTS.PIPEnBEMP位的对应位置 “1”，并且放弃接收数据以及将对应管道的PID[1:0]位改为STALL （“11b”）。
  此时， USB模块不进行STALL应答。
  但是，在以下情况下不产生内部BEMP中断请求：
- 当从接收数据中检测到CRC错误或者位填充错误等时
- 当执行SETUP事务时
  能通过给BEMPSTS.PIPEnBEMP位写 “0”，清除状态。
  即使给BEMPSTS.PIPEnBEMP位写 “1”，也不影响运行。

BEMP 中断发生时序图如图 30.10 所示。

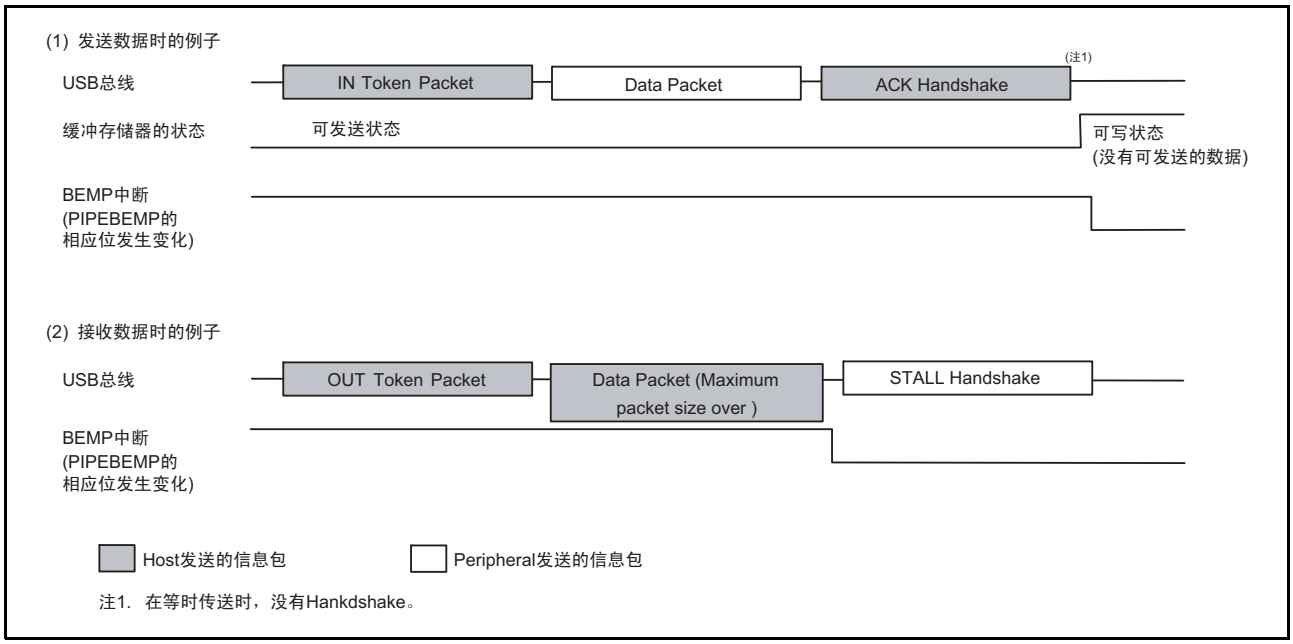


图 30.10 BEMP 中断发生时序图

30.3.3.4 设备状态转移中断

USB 模块的设备状态转移图如图 30.11 所示。USB 模块管理设备状态并且产生设备状态转移中断，但是通过恢复中断来检测从挂起的恢复（恢复信号检测）。能通过 INTENB0 寄存器独立设定允许或者禁止设备状态转移中断，还能通过 INTSTS0.DVSQ[2:0] 位确认转移后的设备状态。

当转移到默认状态时，在检测到 USB 总线复位后产生设备状态转移中断。

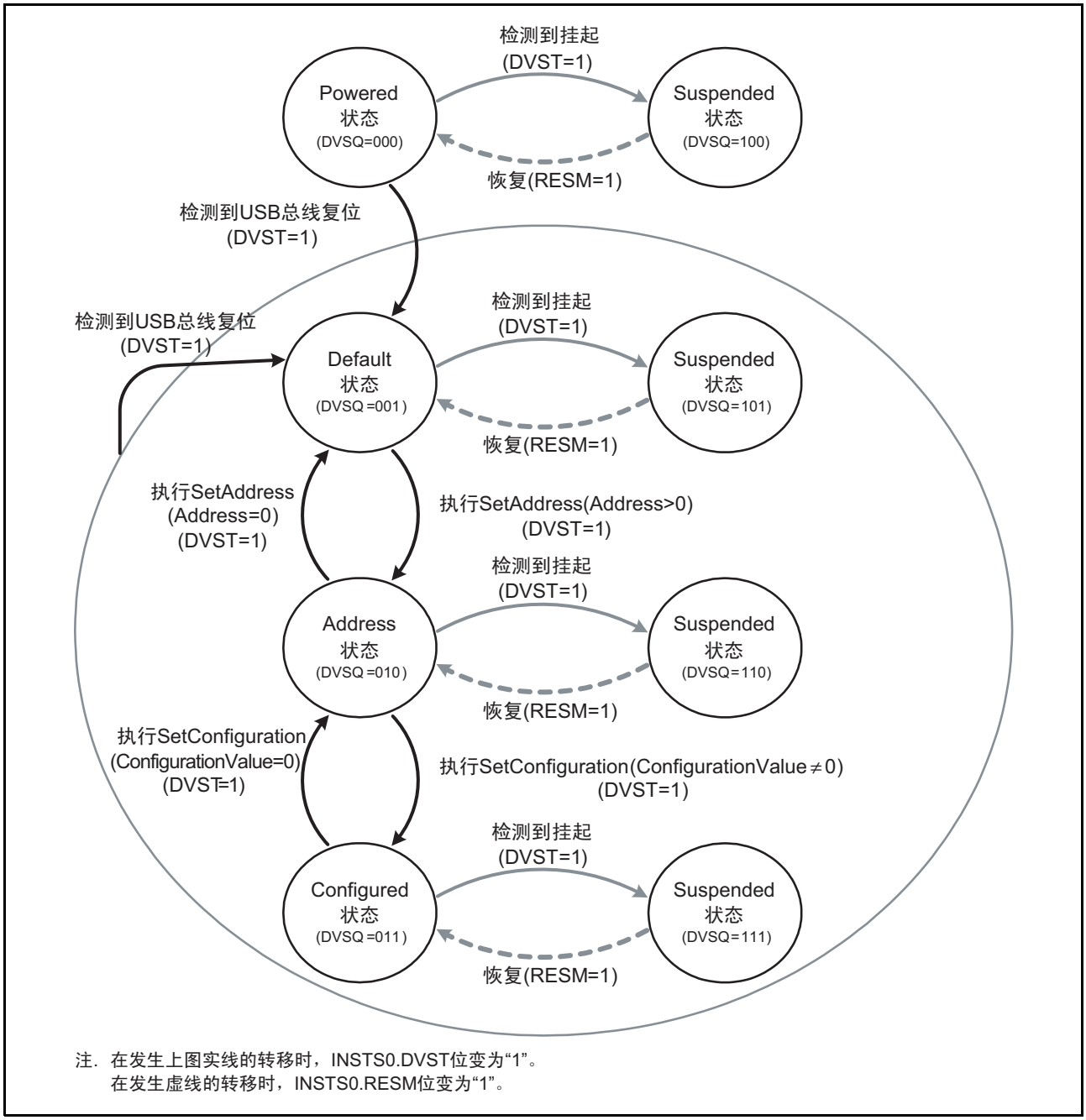


图 30.11 设备状态转移图

30.3.3.5 控制传送阶段转移中断

USB 模块的控制传送阶段转移图如图 30.12 所示。USB 模块管理控制传送顺序并且产生控制传送阶段转移中断。能通过 INTENB0 寄存器独立设定允许或者禁止控制传送阶段转移中断，还能通过 INTSTS0.CTSQ[2:0] 位确认转移后的传送阶段。

控制传送的顺序错误如下所示。如果发生错误， DCPCTR 寄存器的 PID[1:0] 位就变为 “1xb”（STALL 应答）。

控制读传送的情况

- 对于数据阶段的IN权标，在一次也没有进行数据传送的状态下接收到OUT权标。
- 在状态阶段接收到IN权标。
- 在状态阶段接收到DATAPID为DATA0的数据包。

控制写传送的情况

- 对于数据阶段的OUT权标，在一次也没有进行ACK应答的状态下接收到IN权标。
- 在数据阶段接收到DATAPID为DATA0的第一个数据包。
- 在状态阶段接收到OUT权标。

无数据控制传送的情况

- 在状态阶段接收到OUT权标。

在控制写传送数据阶段，如果接收数据量超过 USB 请求的 wLength 值，就不能识别是控制传送顺序错误。在控制读传送状态阶段，如果接收到的信息包不是 Zero-Length 包，就进行 ACK 应答并且正常结束。

当因顺序错误而发生 CTRT 中断时 （INTSTS0.CTRT 位为 “1”），在系统给 CTRT 写 “0”（清除中断状态）前 DCPCTR.CTSQ[2:0] 保持 “110”的值。因此，在 CTSQ[2:0] 保持 “110”的状态下，即使接收到新的 USB 请求，也不产生设置阶段结束的 CTRT 中断 （USB 模块保持设置阶段结束，在通过软件清除中断状态后产生设置阶段结束中断）。

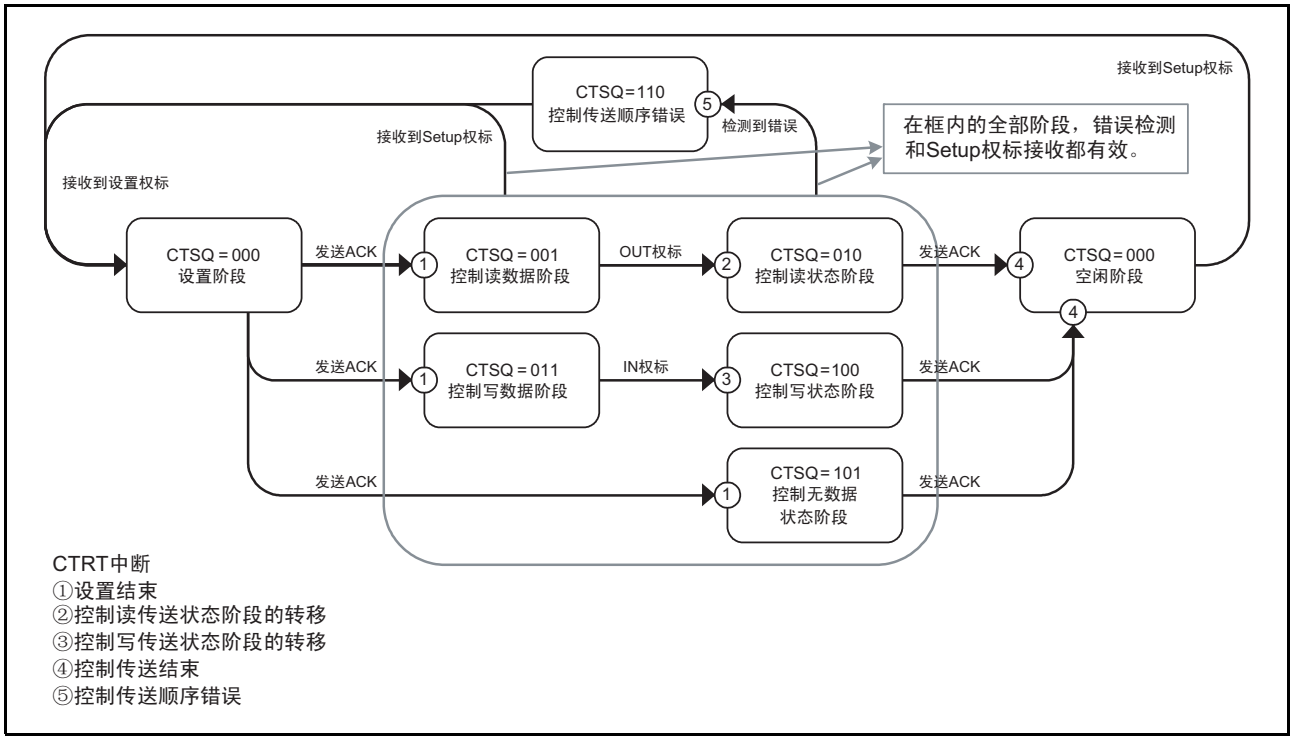


图 30.12 控制传送阶段转移图

30.3.3.6 帧号更新中断

如果 USB 模块在全速运行中检测到新的 SOF 包，就更新帧号并且产生 SOFR 中断。

30.3.3.7 VBUS 中断

在 USB0_VBUS 引脚发生变化时，产生 VBUS 中断。能通过 INTSTS0 寄存器的 VBSTS 位确认 USB0_VBUS 引脚的电平。

30.3.3.8 恢复中断

如果在设备状态为挂起的状态下 USB 总线状态发生变化 （J-State→K-State 或者 J-State→SE0），就产生恢复中断。通过恢复中断来检测从挂起状态的返回。

30.3.4 管道控制

USB 模块的管道设定项目一览表如**表 30.14** 所示。USB 数据传送需要通过称为端点的逻辑管道进行数据通信。 USB 模块有 10 个用于数据传送的管道，必须按照系统规格设定各管道。

表 30.14 管道设定项目一览表

寄存器名	位名	设定内容	备注
PIPECFG	TYPE[1:0]	指定传送类型。	管道 1 ～ 9：能设定
	BFRE	选择 BRDY 中断模式。	管道 1 ～ 5：能设定
	DBLB	选择双缓冲器。	管道 1 ～ 5：能设定
	DIR	选择传送方向。	能设定 IN 或者 OUT。
	EPNUM[3:0]	端点号	管道 1 ～ 9：能设定 在使用管道时，设定 “0000b” 以外的值。
	SHTNAK	选择传送结束时的禁止管道。	管道 1、 2：能设定 （只有在选择批量传送时才能设定） 管道 3 ～ 5：能设定
DCPMAXP PIPEMAXP	MXPS	最大信息包长度	符合 USB 规格的设定。
PIPEPERI	IFIS	缓冲器转储清除	管道 1、 2：能设定 （只有在选择等时传送时才能设定） 管道 3 ～ 9：不能设定
	IITV[2:0]	间隔计数器	管道 1、 2：能设定 （只有在选择等时传送时才能设定） 管道 3 ～ 9：不能设定
DCPCTR PIPEnCTR	BSTS	缓冲器状态	DCP 通过 ISEL 位转换接收 / 发送缓冲器的状态。
	INBUFM	监视 IN 缓冲器。	只限于管道 1 ～ 5。
	ATREPM	自动应答模式	管道 1 ～ 5：能设定
	ACLRM	缓冲器的自动清除	管道 1 ～ 9：能设定
	SQCLR	顺序的清除	清除数据交替位。
	SQSET	顺序的置位	将数据交替位置位。
	SQMON	顺序的确认	确认数据交替位
	PBUSY	管道忙的确认	
	PID[1:0]	应答 PID	请参照 “30.3.4.6 应答 PID”。
PIPEnTRE	TRENB	允许事务计数。	管道 1 ～ 5：能设定
	TRCLR	清除当前事务计数器。	管道 1 ～ 5：能设定
PIPEnTRN	TRNCNT[15:0]	事务计数器	管道 1 ～ 5：能设定

30.3.4.1 管道控制寄存器的切换步骤

只能在不允许 USB 通信 （PID=NAK）时改写管道控制寄存器的以下位。

在允许 USB 通信 （PID=BUF）的状态下禁止设定的寄存器：

- DCPMAXP 寄存器的各位
- DCPCTR.SQCLR 位和 DCPCTR.SQSET 位
- PIPECFG 寄存器、 PIPEMAXP 寄存器和 PIPEPERI 寄存器的各位
- PIPExCTR.ATREPM 位、 PIPExCTR.ACLRM 位、 PIPExCTR.SQCLR 位和 PIPExCTR.SQSET 位
- PIPExTRE 寄存器和 PIPExTRN 寄存器的各位

在允许 USB 通信 （PID=BUF）的状态下更改上述位时，必须按照以下步骤进行：

1. 产生管道控制寄存器的位变更请求。
2. 将相应管道的 PID[1:0] 改为 NAK。
3. 等待该管道的 PIPEnCTR.PBUSY 位变为 “0”。
4. 开始更改管道控制寄存器的位。

只有在还没有给 CFIFOSEL、D0FIFOSEL 或者 D1FIFOSEL 寄存器的 CURPIPE[3:0] 位设定管道信息时，才能改写以管道控制寄存器的以下位。

在设定 FIFO-PORT 的 CURPIPE[3:0] 位的过程中禁止设定的寄存器：

- DCPMAXP 寄存器的各位
- PIPECFG 寄存器、 PIPEMAXP 寄存器和 PIPEPERI 寄存器的各位

在更改管道信息时，必须将端口选择寄存器的 CURPIPE[3:0] 位指定为变更管道以外的管道。有关 DCP，必须在修改管道信息后，通过 BCLR 清除缓冲器。

30.3.4.2 传送类型

通过 PIPEPCFG 寄存器的 TYPE 位设定各管道的传送类型。能给各管道设定的传送类型如下：

- DCP：不需要设定 （固定为控制传送）。
- 管道 1、 2：必须设定为批量传送或者等时传送。
- 管道 3～5：必须设定为批量传送。
- 管道 6～9：必须设定为中断传送。

30.3.4.3 端点号

通过 PIPEPCFG 寄存器的 EPNUM 位设定各管道的端点号。 DCP 固定为端点 0。其他管道能设定端点 1～端点 15。

- DCP：不需要设定 （固定为端点 0）。
- 管道 1～9：必须设定 1～15。
  但是， PIPECFG.DIR 位和 EPNUM 位的组合不能重复。

30.3.4.4 最大信息包长度的设定

通过 DCPMAXP 寄存器和 PIPEMAXP 寄存器的 MXPS 位设定各管道的最大信息包长度。能给 DCP 和管道 1 ～ 5 设定 USB 规格定义的所有最大信息包长度。管道 6 ～ 9 最大为 64 字节，是最大信息包长度的上限。必须在开始传送前 （PID=BUF）设定最大信息包长度。

- DCP：必须设定8、 16、 32或者64。
- 管道1～5：在批量传送时，必须设定8、 16、 32或者64。
- 管道1、 2：在等时传送时，必须设定1～256的值。
- 管道6～9：必须设定1～64的值。

30.3.4.5 事务计数器 （管道 1 ～ 5 为读方向）

如果以数据包接收方向结束指定次数的事务处理，USB 模块就能认为是传送结束。事务计数器有指定事务次数的 PIPEnTRN 寄存器和在内部进行事务计数的当前计数器。如果通过 PIPECFG.SHTNAK 位为“1”的组合使当前计数器和指定次数相同，就将相应 PIPE 的 PID[1:0] 作为 NAK 状态，将下次传送置为不允许状态。能通过 PIPEnTRE.TRCLR 位对事务计数器功能的当前计数器进行初始化，对事务从头开始计数。PIPEnTRN 寄存器的读取信息因 PIPEnTRE.TRENB 位的设定而不同。

- 当PIPEnTRE.TRENB位为 “0”时，能读取所设事务的计数值。
- 当PIPEnTRE.TRENB位为 “1”时，能读取在内部进行计数的当前计数器的值。

PIPEnTRE.TRCLR 位的操作条件如下：

- 在事务计数过程中并且PID位为BUF时，不能清除当前计数器。
- 在缓冲器中有剩余数据的状态下，不能清除当前计数器。

30.3.4.6 应答 PID

通过 DCPCTR 寄存器和 PIPEnCTR 寄存器的 PID[1:0] 位设定各管道的应答 PID。

在各设定中， USB 模块的运行如下：

- **设定应答PID**

  应答PID指定对主机事务的应答。
- 设定NAK ：对发生的事务进行NAK应答。
- 设定BUF ：根据缓冲存储器的状况对事务进行应答。
- 设定STALL ：对发生的事务进行STALL应答。

注 . 与 PID 的设定无关，对设置事务进行 ACK 应答，并且将 USB 请求保存到寄存器。

根据事务结果， USB 模块有可能写 PID[1:0] 位。在发生以下情况时， USB 模块写 PID[1:0] 位。

- **通过硬件设定应答PID的情况**
- 设定NAK：在以下情况下， PID位为NAK并且对事务进行NAK应答。

  当正常接收SETUP权标时 （只限于DCP）

  在批量传送时将PIPECFG寄存器的SHTNAK位置 “1”并且结束事务计数器的计数或者接收到短包时
- 设定BUF：USB模块不写BUF。
- 设定STALL：在以下情况下， PID位为STALL并且对事务进行STALL应答。

  在接收数据包时检测到超过最大信息包长度的错误时

  当检测到控制传送顺序错误时 （只限于DCP）

30.3.4.7 数据 PID 顺序位

在控制传送的数据阶段、批量传送和中断传送中，如果进行正常的数据传送，就通过 USB 模块自动将数据 PID 顺序位取反。能通过 DCPCTR 寄存器和 PIPEnCTR 寄存器的 SQMON 位确认下一次发送的数据 PID 顺序位。在发送数据的情况下，在接收 ACK 握手信号时更改顺序位；在接收数据的情况下，在发送 ACK 握手信号时更改顺序位。也能通过 DCPCTR 寄存器和 PIPEnCTR 寄存器的 SQCLR 位、SQSET 位更改数据 PID 顺序位。

USB 模块在控制传送的阶段转移时自动设定顺序位。在设置阶段结束时由 DATA0 应答，在状态阶段由 DATA1 应答。因此，不需要通过软件进行设定。

必须注意：在发送或者接收 ClearFeature 请求时，需要通过软件设定数据 PID 顺序位。

30.3.4.8 应答 PID 为 NAK 时的功能

USB 模块能通过将 PIPECFG 寄存器的 SHTNAK 位置 “1”，在接收传送的最后 （通过接收的短包或者事务计数器自动识别模块）数据包时禁止管道运行 （应答 PID=NAK）。

通过使用此功能，在将缓冲存储器用作双缓冲器时，能以传送单位接收数据包。在禁止管道运行的情况下，需要通过软件重新设定为允许管道 （应答 PID=BUF）。

应答 PID 为 NAK 时的功能只能用于批量传送。

30.3.4.9 自动应答模式

对于批量传送的管道 （管道 1 ～ 5），如果将 PIPEnCTR 寄存器的 ATREPM 位置 “1”，就变为自动应答模式。在 OUT 传送时 （DIR 位为 “0”）变为 OUT-NAK 模式；在 IN 传送时 （DIR 位为 “1”）变为 Null 自动应答模式。

30.3.4.10 OUT-NAK 模式

对于批量传送 OUT 传送的管道，如果将 PIPEnCTR.ATREPM 位置“1”，就对 OUT 权标进行 NAK 应答并且输出 NRDY 中断。为了从正常模式设定为 OUT-NAK 模式，必须在管道运行禁止状态 （应答 PID=NAK）下设定为 OUT-NAK 模式，然后允许管道运行 （应答 PID=BUF）。在允许管道运行后， OUT-NAK 模式有效。但是，如果在设定为禁止接收管道运行前接收到OUT权标，就正常接收此权标的数据，并且对主机进行ACK应答。

为了从 OUT-NAK 模式转移到正常模式，必须在管道运行禁止状态 （应答 PID=NAK）下解除 OUT-NAK 模式，然后允许管道运行 （应答 PID=BUF）。在正常模式中，能接收 OUT 数据。

30.3.4.11 Null 自动应答模式

对于批量 IN 传送的管道，如果将 PIPEnCTR.ATREPM 位置 “1”，就继续发送 Zero-Length 包。

为了从正常模式设定为 Null 自动应答模式，必须在管道运行禁止状态（应答 PID=NAK）下设定为 Null 自动应答模式，然后允许管道运行（应答 PID=BUF）。在允许管道运行后， Null 自动应答模式有效。但是，在设定为 Null 自动应答模式时，需要缓冲器为空的状态，因此必须确认 PIPEnCTR.INBUFM 位是“0”。当 PIPEnCTR.INBUFM 位为 “1” 时，因为缓冲器中有数据，所以必须通过 PIPEnCTR.ACLRM 位将缓冲器清空。在 Null 自动应答模式的设定过程中，不能给 FIFO 端口写数据。

为了从 Null 自动应答模式转移到正常模式，必须使管道运行禁止状态 （应答 PID=NAK）保持 1 个 Zero-Length 包的发送等待时间 （约 10µs），然后解除 Null 自动应答模式。在正常模式中，能写 FIFO 端口，通过允许管道运行 （应答 PID=BUF）能给主机发送信息包。

30.3.5 FIFO 缓冲存储器

30.3.5.1 FIFO 缓冲存储器

USB 模块内置用于数据传送的 FIFO 缓冲存储器。通过 USB 模块管理各 PIPE 的使用区域。FIFO 缓冲存储器的状况有两种：系统拥有存取权 （CPU 侧）和 USB 模块 （SIE 侧）拥有存取权。

- 缓冲器状态
  USB 模块的缓冲器状态表如表 30.15 和表 30.16 所示。能通过 DCPCTR.BSTS 位和 PIPEnCTR.INBUFM 位确认缓冲存储器状态，并且能通过 PIPEnCFG 寄存器的 DIR 位或者 CFIFOSEL 寄存器的 ISEL 位 （选择 DCP 时）指定缓冲存储器的存取方向。
  PIPEnCTR.INBUFM 位只在管道 1～5 为发送方向时有效。
  当将发送侧的传送管道设定为双缓冲器时， DCPCTR.BSTS 位用于判断 CPU 侧的缓冲器状态，PIPEnCTR.INBUFM 位用于判断 SIE 侧的缓冲器状态。在因 CPU （DMAC）给 FIFO 端口写数据的速度慢而不能通过 BEMP 中断判断缓冲器为空时，能通过 PIPEnCTR.INBUFM 位确认发送结束。

表 30.15 通过 BSTS 位表示的缓冲器状态

ISEL 或者 DIR	BSTS	缓冲存储器的状态
0 （接收方向）	0	没有接收数据或者正在接收。 不能从 FIFO 端口读数据。
0 （接收方向）	1	有接收数据或者接收到 Zero-Length 包。 能从 FIFO 端口读数据。 但是，因为在接收 Zero-Length 包时不能读数据，所以需要清除缓冲器。
1 （发送方向）	0	发送尚未结束。 不能给 FIFO 端口写数据。
1 （发送方向）	1	发送结束。 CPU 能写数据。

表 30.16 通过 INBUFM 位表示的缓冲器状态

DIR	INBUFM	缓冲存储器的状态
0 （接收方向）	无效	无效
1 （发送方向）	0	发送完能发送的数据。 没有能发送的数据。
1 （发送方向）	1	已给 FIFO 端口写能发送的数据。 有能发送的数据。

30.3.5.2 FIFO 缓冲器的清除

通过 USB 模块清除的 FIFO 缓冲存储器一览表如**表 30.17** 所示。能通过端口控制寄存器的 BCLR、DCLRM 和 ACLRM 位清除缓冲存储器。

表 30.17 各缓冲器清除一览表

FIFO 缓冲器 清除的种类	清除 CPU 侧缓冲存储器。	这是在读指定管道的数据后 自动清除缓冲存储器的模式。	这是放弃全部接收包的缓冲器 自动清除模式。
对应的寄存器	CFIFOCTR 寄存器 DnFIFOCTR 寄存器	DnFIFOSEL 寄存器	PIPEnCTR 寄存器
对应的位	BCLR 位	DCLRM 位	ACLRM 位
清除条件	通过写 “1” 来清除。	1：模式有效 0：模式无效	1：模式有效 0：模式无效

(1) 缓冲器自动清除模式功能

通过将 PIPEnCTR 寄存器的 ACLRM 位置 “1”， USB 模块放弃所接收的全部数据包。但是，当正常接收到数据包时，对主机控制器进行ACK应答。只有在缓冲存储器为读方向时，才能设定缓冲器自动清除模式功能。

与存取方向无关，能通过在将 PIPEnCTR.ACLRM 位置 “1” 后接着置 “0”，清除所选管道的缓冲存储器。

作为硬件的内部顺序执行时间，给 PIPEnCTR.ACLRM 位写 “1” 和 “0” 的时间间隔至少需要 100ns。

(2) 缓冲存储器的规格 （设定单缓冲器 / 双缓冲器）

管道 1 ～ 5 能通过 PIPEnCFG 寄存器的 DBLB 位选择单缓冲器或者双缓冲器。

30.3.5.3 FIFO 端口功能

USB 模块的 FIFO 端口功能设定表如**表 30.18** 所示。在进行数据的写存取时，如果写最大信息包长度的数据，就自动进入可发送的状态。为了使不足最大信息包长度的数据变为可发送的状态，需要通过 C/DnFIFOCTR 寄存器 （n=0、 1）的 BVAL 位设定写结束。在发送 Zero-Length 包时，不仅需要通过相同寄存器的 BCLR 位来清除缓冲器，还需要通过 BVAL 位设定写结束。

在读时，如果读取全部数据，就自动进入可接收新包的状态。但是，在接收 Zero-Length 包时 （DTLN[8:0] 位为 “0”），因为无法读取数据，所以需要通过相同寄存器的 BCLR 位来清除缓冲器。通过 C/DnFIFOCTR 寄存器的 DTLN[8:0] 位确认接收数据的长度。

表 30.18 FIFO 端口功能的设定

寄存器名	位名	功能
CFIFOSEL、 DnFIFOSEL （n=0、 1）	RCNT	选择 DTLN 读模式。
	REW	对缓冲存储器进行复位 （重新读写）
	DCLRM	在读指定管道的接收数据后自动清除 （DnFIFO 专用）。
	DREQE	允许 DMA 传送 （DnFIFO 专用）。
	MBW	FIFO 端口的存取宽度
	BIGEND	选择 FIFO 端口的字节序。
	ISEL	FIFO 端口的存取方向 （DCP 专用）
	CURPIPE[3:0]	选择当前管道。
CFIFOCTR、 DnFIFOCTR （n=0、 1）	BVAL	结束缓冲存储器的写操作。
	BCLR	清除 CPU 侧的缓冲存储器。
	DTLN[8:0]	确认接收数据的长度

(1) FIFO 端口的选择

各 FIFO 端口能选择的管道表如**表 30.19** 所示。通过 C/DnFIFOSEL 寄存器的 CURPIPE[3:0] 位选择要存取的管道。在选择管道后，必须在确认能正确读到所写的 CURPIPE[3:0] 位值 （如果读到上一次的管道号，就表示 USB 控制器正处于管道变更处理中）后确认 FRDY 位是 “1” 并且存取 FIFO 端口。

必须通过 MBW 位选择要存取的总线宽度。缓冲存储器的存取方向取决于 PIPEnCFG 寄存器的 DIR 位。但是只有 DCP 取决于 ISEL 位。

表 30.19 各管道的 FIFO 端口存取表

管道	存取方法	能使用的端口
DCP	CPU 存取	CFIFO 端口寄存器
管道 1 ～ 9	CPU 存取	CFIFO 端口寄存器 D0FIFO/D1FIFO 端口寄存器
	DMA 存取	D0FIFO/D1FIFO 端口寄存器

(2) REW 位

使用 C/DnFIFOSEL 寄存器的 REW 位，能暂停当前存取中的管道存取而对其他管道进行存取，然后再继续当前管道的处理。

如果通过在设定 C/DnFIFOSEL 寄存器的 CURPIPE[3:0] 位的同时将 REW 位置 “1” 来选择管道，就对缓冲存储器的读写指针进行复位，因此能从第一个字节开始读写。如果通过将 REW 位置 “0” 来选择管道，就不对缓冲存储器的读写指针进行复位，能接着上一次选择继续读写数据。

为了存取 FIFO 端口，需要在选择管道后确认 FRDY 位是 “1”。

30.3.5.4 DMA 传送 （D0FIFO/D1FIFO 端口）

(1) DMA 传送概要

对于管道 1 ～ 9，能通过 DMAC 存取 FIFO 端口。当设定为 DMA 传送的管道缓冲器为可存取状态时，输出 DMA 传送请求。

必须通过 DnFIFOSEL 寄存器的 MBW 位选择 FIFO 端口的传送单位，通过 CURPIPE[3:0] 位选择 DMA 传送的管道。不能在 DMA 传送过程中更改所选的管道。

(2) DnFIFO 自动清除模式 （D0FIFO/D1FIFO 端口为读方向）

通过将 DnFIFOSEL 寄存器的 DCLRM 位置 “1”，USB 在读完缓冲存储器的数据时自动清除所选管道的缓冲存储器。

各设定状态下的接收信息包和由软件进行的缓冲存储器清除处理的关系如**表 30.20** 所示。缓冲器清除条件因 PIPECFG.BFRE 位的设定值而不同，即使在需要清除的状态下，只要使用 DnFIFOSEL.DCLRM 位，就不需要通过软件进行缓冲器的清除，而且不通过软件就能进行 DMA 传送。

只有在缓冲存储器为读方向时，才能设定 DnFIFO 自动清除模式。

表 30.20 接收信息包和由软件进行缓冲存储器清除处理的关系

接收信息包时的缓冲器状态	寄存器的设定			
	DnFIFOSEL.DCLRM=0		DnFIFOSEL.DCLRM=1	
	BFRE=0	BFRE=1	BFRE=0	BFRE=1
缓冲器满	不需要清除	不需要清除	不需要清除	不需要清除
接收到 Zero-Length 包	需要清除	需要清除	不需要清除	不需要清除
接收到正常的短包	不需要清除	需要清除	不需要清除	不需要清除
事务计数结束	不需要清除	需要清除	不需要清除	不需要清除

30.3.6 控制传送 （DCP）

控制传送的数据阶段的数据传送使用默认控制管道 （DCP）。DCP 的缓冲存储器是控制读和控制写共用的固定区，为 64 字节的单缓冲器。只能通过 CFIFO 端口存取缓冲存储器。

30.3.6.1 控制传送

(1) 设置阶段

USB 模块对正常的设置包进行 ACK 应答。设置阶段的 USB 模块的运行如下所示。

如果接收到新的设置包， USB 模块就设定以下位。

- 将INTSTS0寄存器的VALID位置 “1”。
- 将DCPCTR寄存器的PID[1:0]位设定为NAK。
- 将DCPCTR寄存器的CCPL位置 “0”。

如果在设置包之后接收到数据包，USB 模块就将 USB 请求的参数保存到 USBREQ 寄存器、USBVAL 寄存器、 USBINDX 寄存器和 USBLENG 寄存器。

必须在将 VALID 位置 “0”后对控制传送进行应答处理。在 INTSTS0.VALID 位为 “1”的状态下，不能将 PID 位设定为 BUF，也不能结束数据阶段。

通过 INTSTS0.VALID 位的功能，USB 模块能在控制传送过程中接收到新的 USB 请求时，中止正在处理的请求处理并且对最新的请求进行应答。

USB 模块自动判别接收 USB 请求的方向位 （bmRequestType 的 bit8）和请求数据的长度 （wLength），并且自动识别控制读传送、控制写传送和无数据控制传送，进行阶段转移的管理。对于错误的顺序，产生控制传送阶段转移中断的顺序错误并且通知软件。有关 USB 模块的阶段管理，请参照图 30.12。

(2) 数据阶段

必须通过 DCP 进行接收 USB 请求所对应的数据传送。在存取 DCP 缓冲存储器前，必须通过 CFIFOSEL 寄存器的 ISEL 位指定存取方向。

如果传送数据大于 DCP 缓冲存储器的大小，就必须在控制写传送时使用 BRDY 中断进行数据传送，而在控制读传送时使用 BEMP 中断进行数据传送。

(3) 状态阶段

在 DCPCTR 寄存器的 PID[1:0] 位为 BUF 的状态下，通过将 CCPL 位置 “1”来结束控制传送。

在进行上述设定后，根据设置阶段确定的数据传送方向， USB 模块自动执行状态阶段。具体运行如下：

- 控制读传送的情况
  USB模块发送Zero-Length包并且接收USB主机的ACK应答。
- 控制写传送和无数据控制传送的情况
  USB模块接收USB主机的Zero-Length包并且发送ACK应答。

(4) 控制传送自动应答功能

USB 模块对正常的 SET_ADDRESS 请求进行自动应答。在 SET_ADDRESS 请求中发生以下错误时，需要通过软件进行应答。

- 控制读传送以外的传送：bmRequestType≠00h
- 请求错误：wIndex≠00h
- 无数据控制传送以外的传送：wLength≠00h
- 请求错误：wValue＞7Fh
- 设备状态错误的控制传送：DVSQ[2:0]=011b （Configured）

需要通过对应的软件对 SET_ADDRESS 以外的全部请求进行应答。

30.3.7 批量传送 （管道 1 ～ 5）

批量传送能选择缓冲存储器的使用方法 （设定单缓冲器 / 双缓冲器）。

USB 模块具有以下批量传送专用的功能：

- BRDY 中断选择功能（BFRE 位：参照“30.3.3.1(2) SOFCFG.BRDYM 位为“0”并且 PIPECFG.BFRE 位为 “1” 的情况”）
- 事务计数功能
  （PIPEnTRE.TRENB 位、 TRCLR 位、 TRNCNT[15:0] 位：参照 “30.3.4.5 事务计数器 （管道 1 ～ 5 为读方向）”）
- 应答 PID 为 NAK 的功能 （SHTNAK 位：参照 “30.3.4.8 应答 PID 为 NAK 时的功能”）
- 自动应答模式 （ATREPM 位：参照：“30.3.4.9 自动应答模式”）

30.3.8 中断传送 （管道 6 ～ 9）

USB 模块根据主机控制器管理的周期进行中断传送。

30.3.9 等时传送 （管道 1、管道 2）

USB 模块具有以下等时传送的功能：

- 等时传送的错误信息通知
- 间隔计数器 （由 PIPEPERI.IITV[2:0] 位指定）
- 等时 IN 传送数据的设置控制 （IDLY 功能）
- 等时 IN 传送缓冲器的转储清除功能 （由 PIPEPERI.IFIS 位指定）

30.3.9.1 等时传送的错误检测

USB 模块具有检测下述错误信息的功能，以便能通过软件管理发生的等时传送的错误。USB 模块检测错误的优先级以及由错误检测引起的中断如表 30.21 和表 30.22 所示。

(a) PID 错误

- 接收包的 PID 不正确。

(b) CRC 错误和位填充错误

- 接收包的 CRC 有错误或者位填充不正确。

(c) 超出最大信息包长

- 接收包的数据长度超过最大信息包长度的设定值。

(d) 超限 / 欠载错误

- 在IN方向 （发送）的传送中接收IN权标时，缓冲存储器没有数据。
  在OUT方向 （接收）的传送中接收到OUT权标，但是缓冲存储器没有空间。

(e) 间隔错误

将以下情况视为间隔错误：

- 在等时IN传送时，在间隔帧中不能接收IN权标。
- 在等时OUT传送时，在非间隔帧中接收到OUT权标。

表 30.21 接收权标时的错误检测

检测的优先级	错误	产生的中断和状态
1	PID 错误	不产生中断 （作为破损包被忽视）。
2	CRC 错误、位填充错误	不产生中断 （作为破损包被忽视）。
3	超限 / 欠载错误	产生 NRDY 中断并且将 FRMNUM.OVRN 位置 “1”。对 IN 权标发送 Zero-Length 包。对于 OUT 权标，不接收数据包。
4	间隔错误	产生 NRDY 中断。

表 30.22 接收数据包时的错误检测

检测的优先级	错误	产生的中断和状态
1	PID 错误	不产生中断 （作为破损包被忽视）。
2	CRC 错误、位填充错误	产生 NRDY 中断并且将 FRMNUM.CRCE 位置 “1”。
3	最大信息包长度超出错误	产生 BEMP 中断并且将 PID[1:0] 位设定为 STALL。

30.3.9.2 DATA-PID

对接收的 PID 进行以下处理：

IN 方向

- DATA0：作为数据包的PID进行发送。
- DATA1：不发送。
- DATA2：不发送。
- mDATA：不发送。

OUT 方向

- DATA0：作为数据包的PID，正常接收。
- DATA1：作为数据包的PID，正常接收。
- DATA2：忽视此信息包。
- mDATA：忽视此信息包。

30.3.9.3 间隔计数器

能通过 PIPEPERI 寄存器的 IITV[2:0] 位设定等时传送的间隔。通过间隔计数器实现表 30.23 所示的功能。

表 30.23 间隔计数器的功能

传送方向	功能	检测条件
IN	发送缓冲器转储清除功能	在等时 IN 传送时，在间隔帧中不能正常接收 IN 权标。
OUT	权标未接收的通知	在等时 OUT 传送时，在间隔帧中不能正常接收 OUT 权标。

通过接收SOF或者内插SOF进行间隔计数，因此即使SOF破损也能保证等时性。能设定的帧间隔为2^{IITV}帧。

(1) 计数器的初始化

在下述条件下， USB 模块对间隔计数器进行初始化。

- 上电复位
  对PIPEPERI.IITV[2:0]位进行初始化。
- 通过ACLRM对缓冲存储器进行的初始化
  不对 PIPEPERI.IITV[2:0] 位而对计数值进行初始化。通过将 PIPEnCTR.ACLRM 位置“0”，从PIPEPERI.IITV[2:0]的设定值开始计数。

在对间隔计数器进行初始化后正常传送信息包，如果满足下述 1. 和 2. 的条件，就开始进行间隔计数。

1. 在PID位为BUF的状态下，在对IN权标发送数据后接收到SOF。
2. 在PID位为BUF的状态下，在接收OUT权标的数据后接收到SOF。

在下述条件下，不对间隔计数器进行初始化。

1. 当将PID[1:0]位设定为NAK或者STALL时。
   间隔定时器不停止计数，尝试在下一个间隔执行事务。
2. 当USB总线复位或者USB挂起时
   不对PIPEPERI.IITV[2:0]位进行初始化。如果接收到SOF，就从接收前的值开始计数。

(2) 间隔计数和传送控制

所选管道为等时 -OUT 传送管道的情况

在 PIPEPERI.IITV[2:0] 位设定的各间隔帧中没有接收到 DATA 包时， USB 模块产生 NRDY 中断。

在因 DATA 包发生 CRC 错误等或者因 FIFO 缓冲器满而使 USB 模块不能接收数据时， USB 模块也产生 NRDY 中断。

NRDY 中断的产生时序是接收到 SOF 包时。即使 SOF 包破损，也通过内部内插功能在应该接收 SOF 时产生中断。

但是，当 PIPEPERI.IITV[2:0] 位不是“0”时，在开始间隔计数后的各间隔接收 SOF 包时产生 NRDY 中断。

如果在启动间隔定时器后通过软件将 PID[1:0] 位设定为 NAK，USB 模块即使接收到 SOF 包也不产生 NRDY 中断。

间隔的计数开始条件因 PIPEPERI.IITV[2:0] 位的设定值而不同。

- 当PIPEPERI.IITV[2:0]位为“0”时，从将所选管道的PID[1:0]位改为BUF后的下一个帧开始间隔计数。

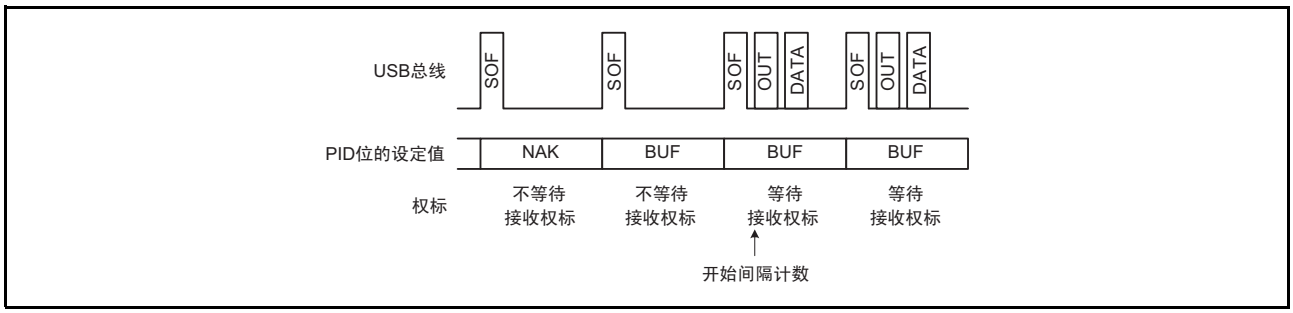


图 30.13 PIPEPERI.IITV[2:0] 位为 “0”时的帧和是否等待接收权标的关系

- 当PIPEPERI.IITV[2:0]位不是“0”时，从将所选管道的PID[1:0]位改为BUF后正常接收到第一个DATA包时开始间隔计数。

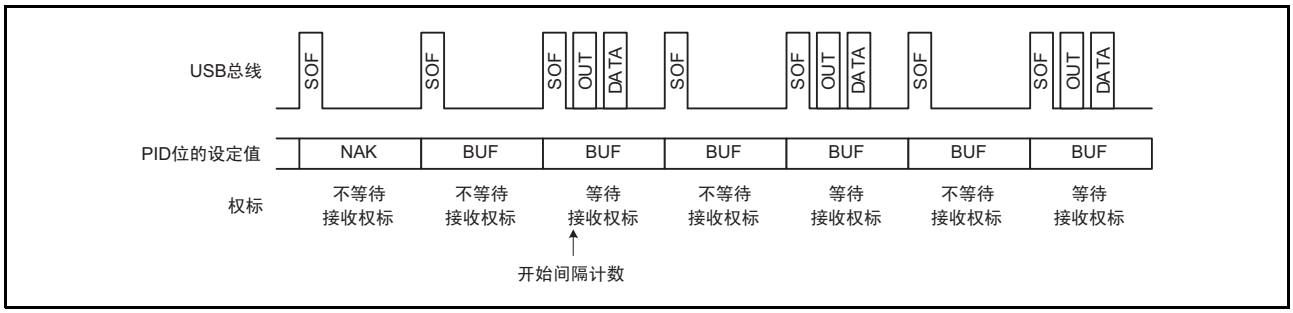


图 30.14 PIPEPERI.IITV[2:0] 位不是 “0”时的帧和是否等待接收权标的关系

所选管道为等时 -IN 传送管道的情况

和 PIPEPERI.IFIS 位为 “1”组合使用。当 PIPEPERI.IFIS 位为 “0”时，与 PIPEPERI.IITV[2:0] 位的设定值无关，在对接收的权标进行应答后发送数据包。

在 PIPEPERI.IFIS 位为 “1”并且 FIFO 缓冲器有能发送数据的状态下，如果在 PIPEPERI.IITV[2:0] 位设定的各间隔帧中没有接收到 IN- 权标， USB 模块就清除 FIFO 缓冲器。

即使在因 IN- 权标发生 CRC 错误等的总线错误而使 USB 模块无法正常接收时，也清除 FIFO 缓冲器。

FIFO 缓冲器的清除时序是接收 SOF 包接收时。即使 SOF 包破损，也通过内部内插功能在应该接收 SOF 时清除 FIFO 缓冲器。

间隔的计数开始条件因 PIPEPERI.IITV[2:0] 位的设定值而不同 （和 OUT 时相同）。

间隔计数条件为以下任意一种情况：

- 当对USB模块进行硬件复位时 （此时，也将PIPEPERI.IITV[2:0]位的设定值清 “0”）。
- 当通过软件将PIPEnCTR.ACLRM置 “1”时
- 当USB模块检测到USB总线复位时

(3) 等时传送发送数据设置

在 USB 模块的等时数据发送过程中给缓冲存储器写数据后，能在检测到 SOF 包的下一帧发送数据包。此功能称为等时传送的发送数据设置功能。能通过此功能特定开始发送的帧。

在缓冲存储器用作双缓冲器时，即使写完 2 个缓冲器面，可传送状态的缓冲存储器也只为先写完的 1 个面。因此，即使在同一帧接收到多个 IN 权标，被发送的缓冲存储器也只为 1 个包的数据。

在接收到 IN 权标时，如果缓冲存储器为可发送状态，就传送数据并且进行正常的应答。但是，如果缓冲存储器为不可发送状态，就发送 Zero-Length 包并且发生欠载错误。

USB 模块通过将 PIPEPERI.IITV[2:0] 位置“0”（每帧）时的等时传送发送数据设置功能进行的发送例子如图 30.15 所示。

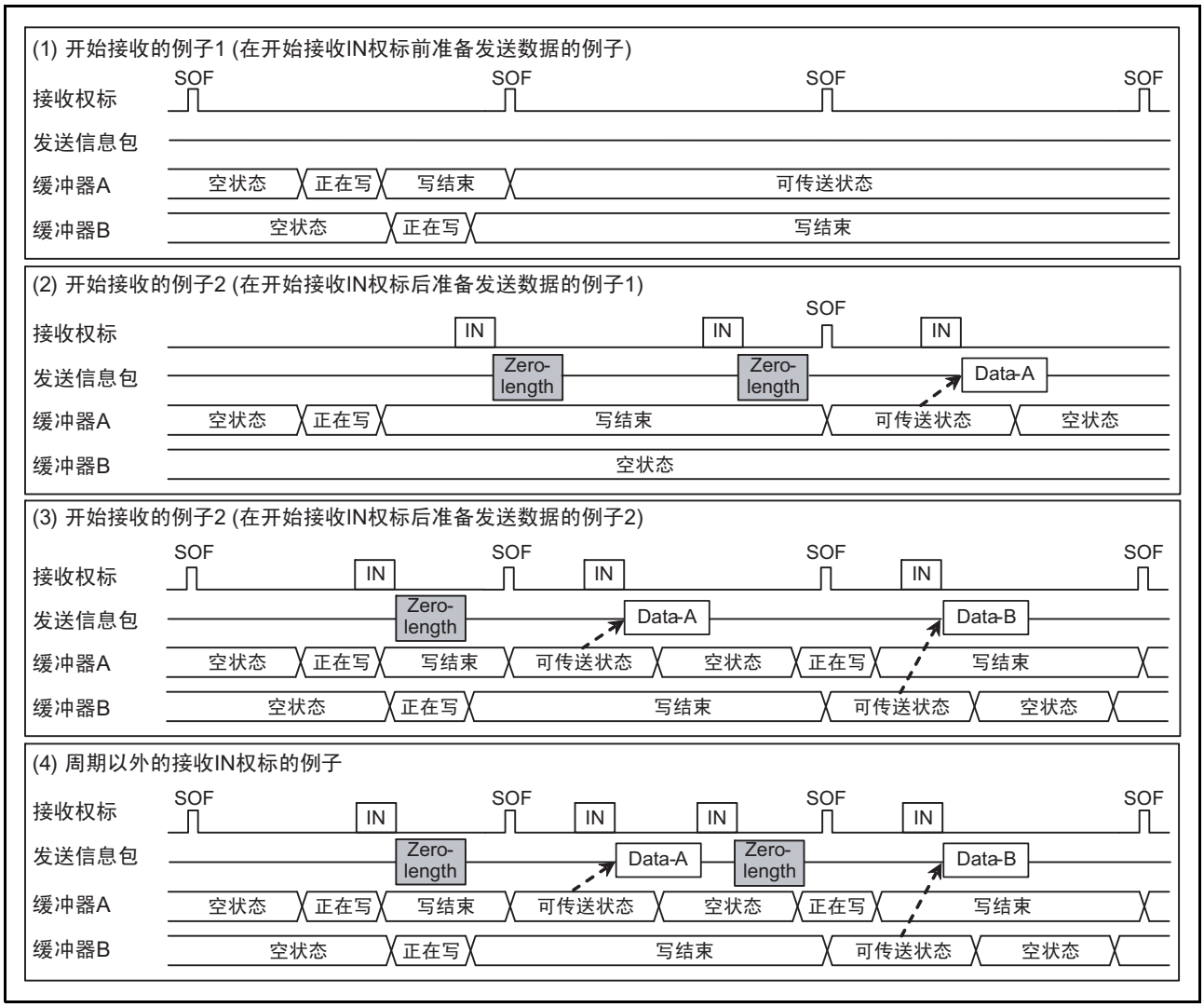


图 30.15 数据设置功能的运行例子

(4) 等时传送发送缓冲器的转储清除

如果 USB 模块在等时数据发送过程中的间隔帧没有接收到 IN 权标而接收下一帧的 SOF 包，就作为 IN 权标破损进行处理，并且清除处于可发送状态的缓冲器，使该缓冲器变为可写状态。

此时，如果使用双缓冲器并且写完 2 个缓冲器面，放弃的缓冲存储器就被看作同一间隔帧发送的数据，并且将接收 SOF 包时未放弃的缓冲存储器设定为可传送状态。

缓冲器转储清除功能的运行开始时序因 PIPEPERI.IITV[2:0] 位的设定值而不同。

- PIPEPERI.IITV[2:0]位为 “0”的情况
  从管道有效的下一帧开始进行缓冲器转储清除。
- PIPEPERI.IITV[2:0]位不是 “0”的情况
  在第一个正常事务后进行缓冲器的转储清除。

USB 模块的缓冲器转储清除功能的运行例子如图 30.16 所示。但是，对于设定的间隔以外的权标（间隔帧前的权标），根据数据设置状态，发送写数据或者发送作为欠载错误的 Zero-Length 包。

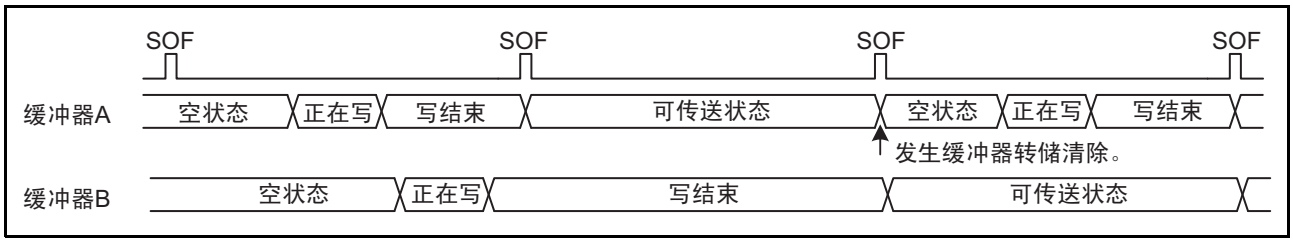


图 30.16 缓冲器转储清除功能的运行例子

USB 模块的间隔错误发生例子如图 30.17 所示。间隔错误有以下 5 种。在图中的①时序发生间隔错误并且进行缓冲器转储清除功能的运行。

如果在 IN 传送时发生间隔错误，缓冲器转储清除功能就运行；如果在 OUT 传送时发生间隔错误，就产生 NRDY 中断。

必须通过 FRMNUM.OVRN 位判断接收包错误等 NRDY 中断和超限错误的区别。

图中阴影部分的权标是根据缓冲存储器的状态进行的应答。

【IN 方向】

- 如果缓冲器为可传送状态，就传送数据并且进行正常的应答。
- 如果缓冲器为不可传送状态，就发送 Zero-Length 包并且发生欠载错误。

【OUT 方向】

- 如果缓冲器为可接收状态，就接收数据并且进行正常的应答。
- 如果缓冲器为不可接收状态，就放弃数据并且发生超限错误。

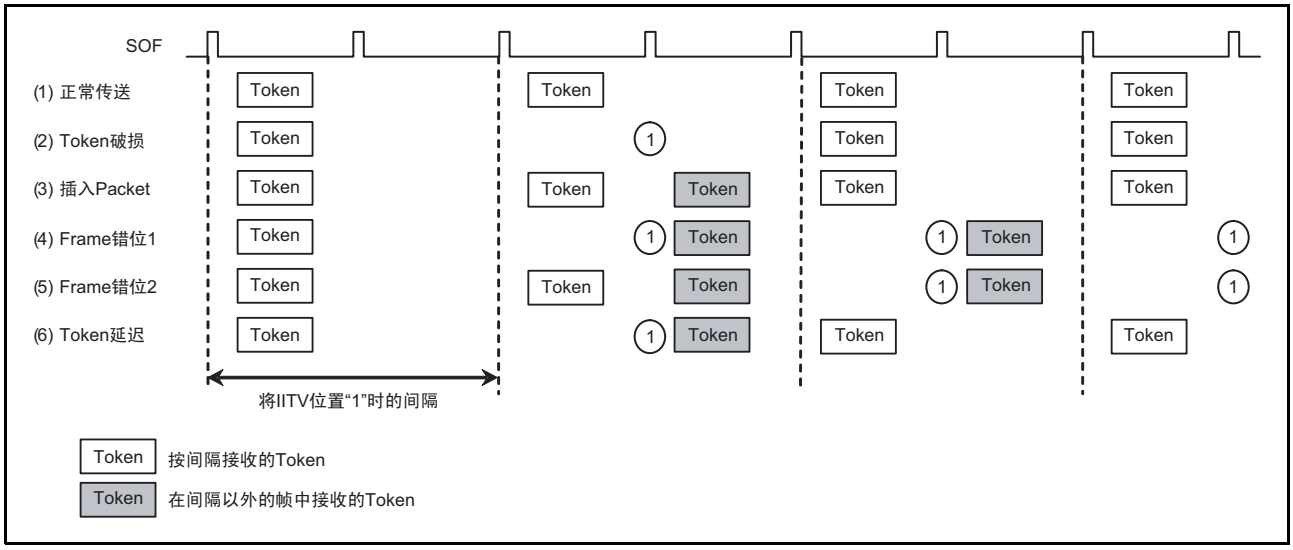


图 30.17 PIPEPERI.IITV[2:0] 位为 “1” 时的间隔错误发生例子

30.3.10 SOF 内插功能

如果因SOF包的破损或者丢失而在1ms间隔内无法接收到SOF包，USB模块就内插SOF。在SYSCFG.USBE位和 SYSCFG.SCKE 位都为“1”并且接收 SOF 包时，开始内插 SOF。在下述条件下，对内插功能进行初始化。

- 上电复位
- USB总线复位
- 检测到挂起

SOF 内插按以下规格进行：

- 在接收SOF包前不进行内插。
- 在接收到第一个SOF包后，通过内部时钟48MHz对1ms进行计数并且进行内插。
- 在接收到第2次以后的SOF包后，使用前一次接收间隔进行内插。
- 在挂起时或者接收USB总线复位时不进行内插。

USB 模块根据接收的 SOF 包进行下述功能的运行。但是，如果 SOF 包丢失，就进行 SOF 内插，因此能继续正常运行。

- 帧号的更新
- SOFR的中断时序
- 等时传送的间隔计数

如果在全速运行时 SOF 包丢失，就不更新 FRMNUM 寄存器的 FRNM[10:0] 位。

30.4 使用时的注意事项

30.4.1 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 USB 的运行。初始值为停止 USB 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

31. 串行通信接口 （SCIc、 SCId）

RX630 群具有 13 个独立通道的串行通信接口（SCI：Serial Communication Interface）。SCI 由 SCIc 模块（SCI0 ～ SCI11）和 SCId 模块 （SCI12）构成。

SCIc （SCI0 ～ SCI11）能进行异步串行通信和时钟同步串行通信。在异步模式中，能和 Universal Asynchronous Receiver/Transmitter（UART）或者 Asynchronous Communication Interface Adapter（ACIA）等标准异步通信 LSI 进行串行通信。另外，作为异步模式的扩展功能，支持对应 ISO/IEC 7816-3（Identification Card）规格的智能卡（IC 卡）接口，并且支持简易 I²C 总线接口的单主控模式的运行和简易 SPI 接口。

SCId （SCI12）除了 SCIc 的功能以外，还支持由 Start Frame 和 Information Frame 构成的扩展串行通信协议。

31.1 概要

SCIc 的规格、 SCId 的规格和 SCI 各通道功能一览表分别如表 31.1、表 31.2 和表 31.5 所示。

SCI0 ～ SCI11 （SCI5 和 SCI6 除外）的框图和 SCI12 （SCId）的框图分别如图 31.1 和图 31.3 所示， SCI5 和 SCI6 的框图如图 31.2 所示。

表 31.1 SCIc 的规格 (1/2)

项目		内容
串行通信方式		• 异步 • 时钟同步 • 智能卡接口 • 简易 I²C 总线 • 简易 SPI 接口
传送速度		能通过内部波特率发生器设定任意的位速率。
全双工通信		发送部：能通过双缓冲结构进行连续的发送。 接收部：能通过双缓冲结构进行连续的接收。
输入 / 输出引脚		参照表 31.4 ～表 31.6。
数据传送		可选择 LSB first 或者 MSB first。
中断源		发送结束、发送数据空、接收数据满、接收错误、开始条件 / 重新开始条件 / 停止条件生成结束 （用于简易 I²C 模式）
低功耗功能		各通道能设定为模块停止状态。
异步模式	数据长度	7 位或者 8 位
	发送停止位	1 位或者 2 位
	奇偶校验功能	偶校验、奇校验或者无奇偶校验
	接收错误检测功能	奇偶校验错误、溢出错误、帧错误
	硬件流程控制	能控制使用 CTSn 引脚和 RTSn 引脚的发送 / 接收。
	中止的检测	在发生帧错误时，能通过直接读 RXDn 引脚的电平来检测中止。
	时钟源	可选择内部时钟或者外部时钟。 能输入 TMR 的传送率时钟 （SCI5、 SCI6）。
	多处理器通信功能	多个处理器之间的串行通信功能
	噪声消除	在 RXDn 引脚的输入线路中内置数字噪声消除器。
时钟同步模式	数据长度	8 位
	接收错误的检测	溢出错误
	硬件流程控制	能控制使用 CTSn 引脚和 RTSn 引脚的发送 / 接收。

表 31.1 SCIc 的规格 (2/2)

项目		内容
智能卡接口模式	错误处理	如果在接收时检测到奇偶校验错误，就自动发送错误信号。
		如果在发送时接收到错误信号，就自动重新发送数据。
	数据类型	支持正向协议或者反向协议。
简易 I2C 模式	通信格式	I2C 总线格式
	运行模式	主控 （只限于单主控模式的运行）
	传送速度	最大 384kbps
	噪声消除	在 SSCLn 引脚和 SSDAn 引脚的输入线路中内置数字噪声消除器。 能调整噪声消除的宽度。
简易 SPI 模式	数据长度	8 位
	错误的检测	溢出错误
	SS 输入引脚功能 （注 1）	当 SSn# 引脚为 High 电平时，能将输出引脚置为高阻抗。
	时钟设定	可选择 4 种时钟相位和时钟极性的设定。

注 1. 对于 ROM 容量大于等于 1.5M 字节的产品或者大于等于 176 引脚的产品，不能使用简易 SPI 模式的 SS 输入引脚功能。

表 31.2 SCId 的规格 (1/2)

项目		内容
串行通信方式		• 异步 • 时钟同步 • 智能卡接口 • 简易 I2C 总线 • 简易 SPI 接口
传送速度		能通过内部波特率发生器设定任意的位速率。
全双工通信		发送部：能通过双缓冲结构进行连续的发送。 接收部：能通过双缓冲结构进行连续的接收。
输入 / 输出引脚		参照表 31.4 ～表 31.7。
数据传送		可选择 LSB first 或者 MSB first。
中断源		发送结束、发送数据空、接收数据满、接收错误、开始条件 / 重新开始条件 / 停止条件生成结束 （用于简易 I2C 模式）
低功耗功能		能设定为模块停止状态。
异步模式	数据长度	7 位或者 8 位
	发送停止位	1 位或者 2 位
	奇偶校验功能	偶校验、奇校验或者无奇偶校验
	接收错误检测功能	奇偶校验错误、溢出错误、帧错误
	硬件流程控制	能控制使用 CTSn 引脚和 RTSn 引脚的发送 / 接收。
	中止的检测	在发生帧错误时，能通过直接读 RXDn 引脚的电平来检测中止。
	时钟源	可选择内部时钟或者外部时钟。 能输入 TMR 的传送率时钟。
	多处理器通信功能	多个处理器之间的串行通信功能
	噪声消除	在 RXDn 引脚的输入线路中内置数字噪声消除器。
时钟同步模式	数据长度	8 位
	接收错误的检测	溢出错误
	硬件流程控制	能控制使用 CTSn 引脚和 RTSn 引脚的发送 / 接收。

表 31.2 SCId 的规格 (2/2)

项目		内容
智能卡接口模式	错误处理	如果在接收时检测到奇偶校验错误，就自动发送错误信号。
		如果在发送时接收到错误信号，就自动重新发送数据。
	数据类型	支持正向协议或者反向协议。
简易 I2C 模式	通信格式	I2C 总线格式
	运行模式	主控 （只限于单主控模式的运行）
	传送速度	最大 384kbps
	噪声消除	在 SSCLn 引脚和 SSDAn 引脚的输入线路中内置数字噪声消除器。 能调整噪声消除的宽度。
简易 SPI 模式	数据长度	8 位
	错误的检测	溢出错误
	SS 输入引脚功能	当 SSn# 引脚为 High 电平时，能将输出引脚置为高阻抗。
	时钟设定	可选择 4 种时钟相位和时钟极性的设定。
扩展串行模式	Start Frame 发送	• 能输出 Break Field Low width，有输出结束中断功能。 • 有总线冲突检测功能和检测中断功能。
	Start Frame 接收	• 能检测 Break Field Low width，有检测结束中断功能。 • 有 Control Field 0 和 Control Field 1 的数据比较 / 相同中断功能。 • 能在 Control Field 1 中设定主 / 次 2 种比较数据。 • 能在 Control Field 1 中设定优先级中断位。 • 也支持没有 Break Field 的 Start Frame。 • 也支持没有 Control Field 0 的 Start Frame。 • 有位数率测量功能
	输入 / 输出控制功能	• 可选择 TXDX12/RXDX12 信号的极性。 • 能给 RXDX12 信号设定数字滤波器功能。 • 能进行兼用 RXDX12 引脚和 TXDX12 引脚的半双工通信。 • 可选择 RXDX12 引脚接收数据的采样时序。 • 当扩展串行模式控制部为OFF时，能将RXDX12接收信号直接输出到SCIc。
	定时器功能	• 能用作重加载定时器功能。

表 31.3 SCI 通道功能一览表

项目	SCI0 ～ SCI4、 SCI7 ～ SCI11	SCI5 和 SCI6	SCI12
异步模式	○	○	○
时钟同步模式	○	○	○
智能卡接口模式	○	○	○
简易 I2C 模式	○	○	○
简易 SPI 模式	○	○	○
扩展串行模式	—	—	○
TMR 时钟输入	—	○	○

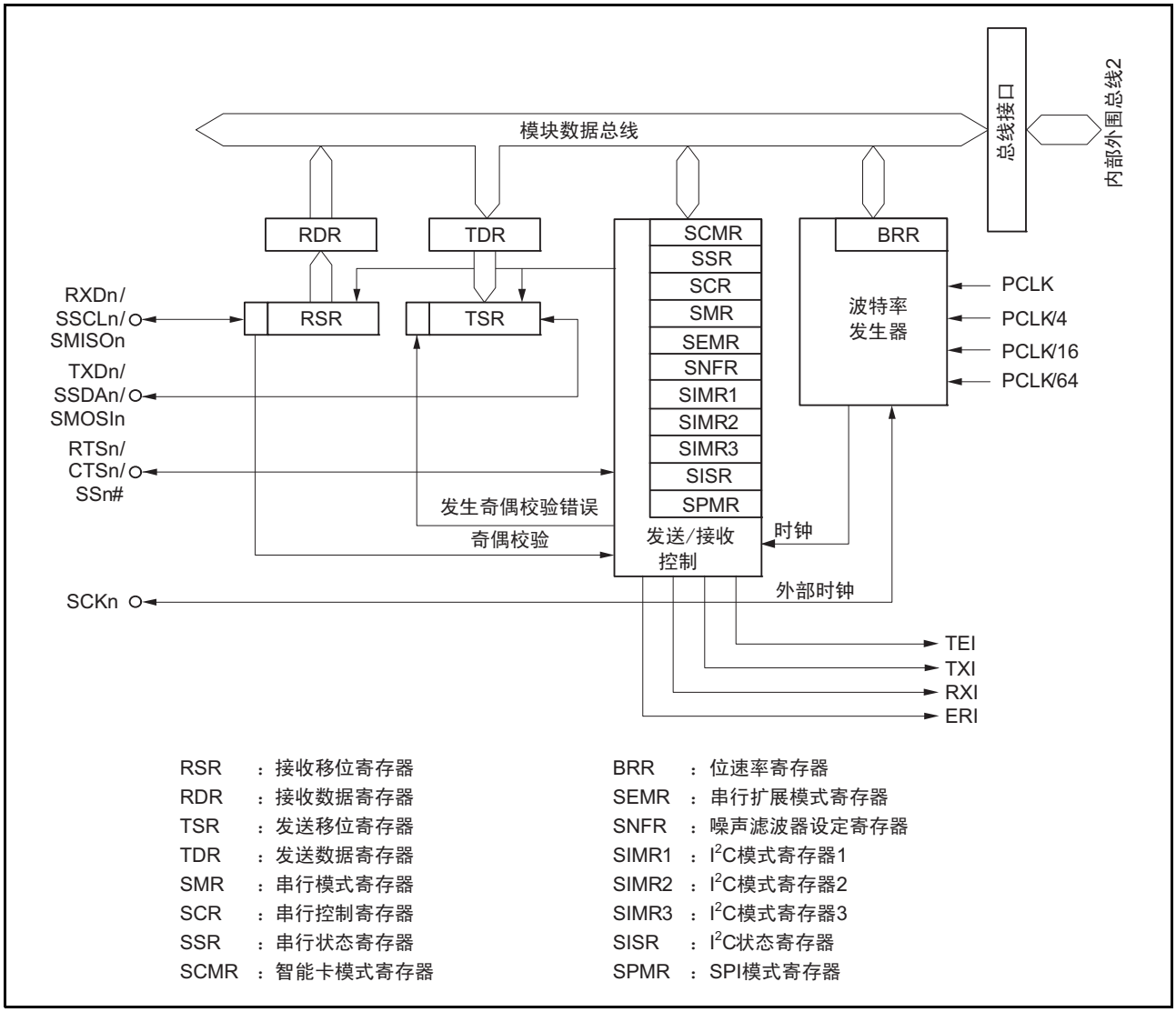
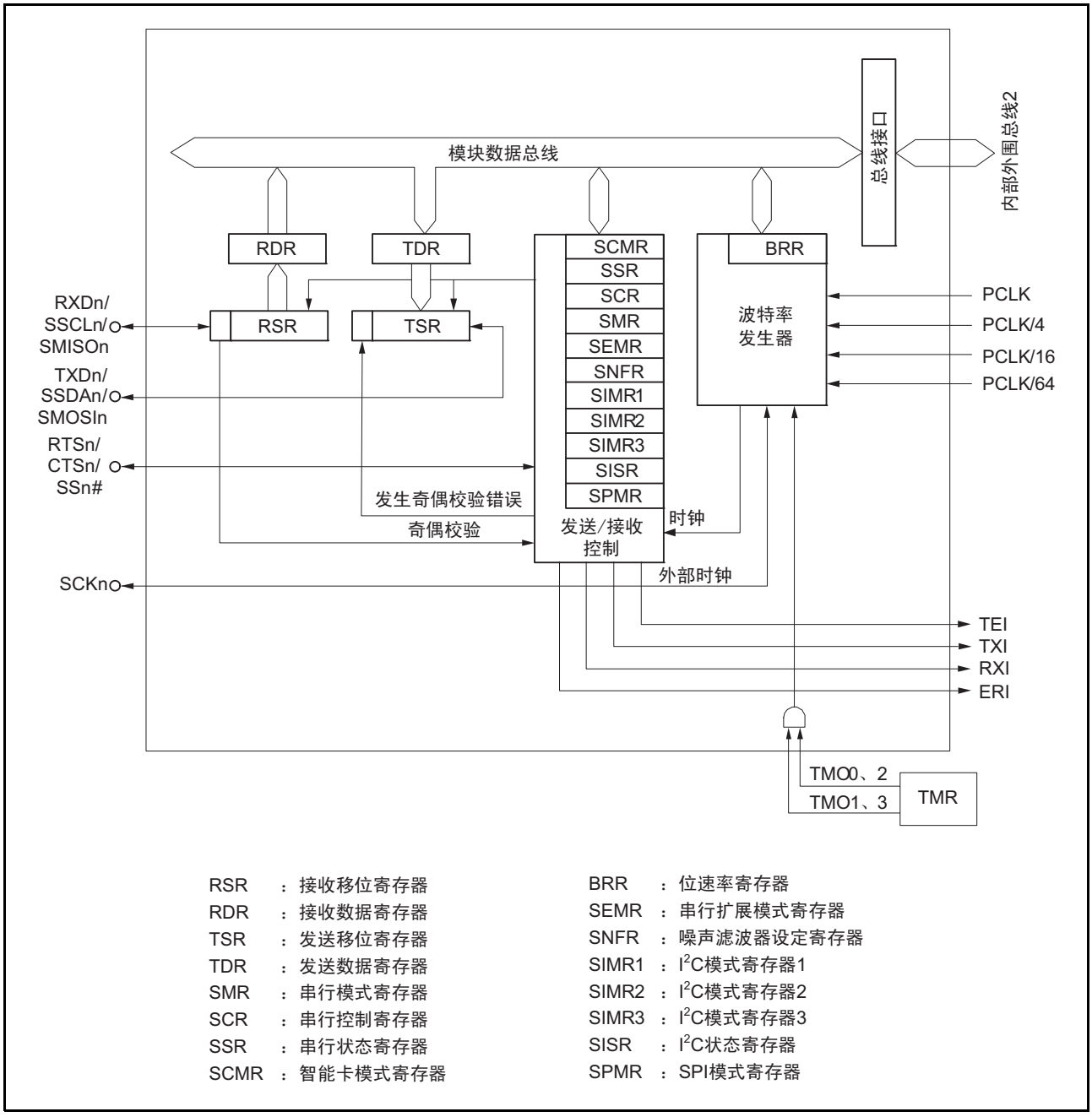


图 31.1 SCI0 ～ SCI4 和 SCI7 ～ SCI11 的框图



RSR ： 接收移位寄存器
RDR ： 接收数据寄存器
TSR ： 发送移位寄存器
TDR ： 发送数据寄存器
SMR ： 串行模式寄存器
SCR ： 串行控制寄存器
SSR ： 串行状态寄存器
SCMR ： 智能卡模式寄存器

BRR ： 位速率寄存器
SEMR ： 串行扩展模式寄存器
SNFR ： 噪声滤波器设定寄存器
SIMR1 ： I^2C模式寄存器1
SIMR2 ： I^2C模式寄存器2
SIMR3 ： I^2C模式寄存器3
SISR ： I^2C状态寄存器
SPMR ： SPI模式寄存器

图 31.2 SCI5 和 SCI6 的框图

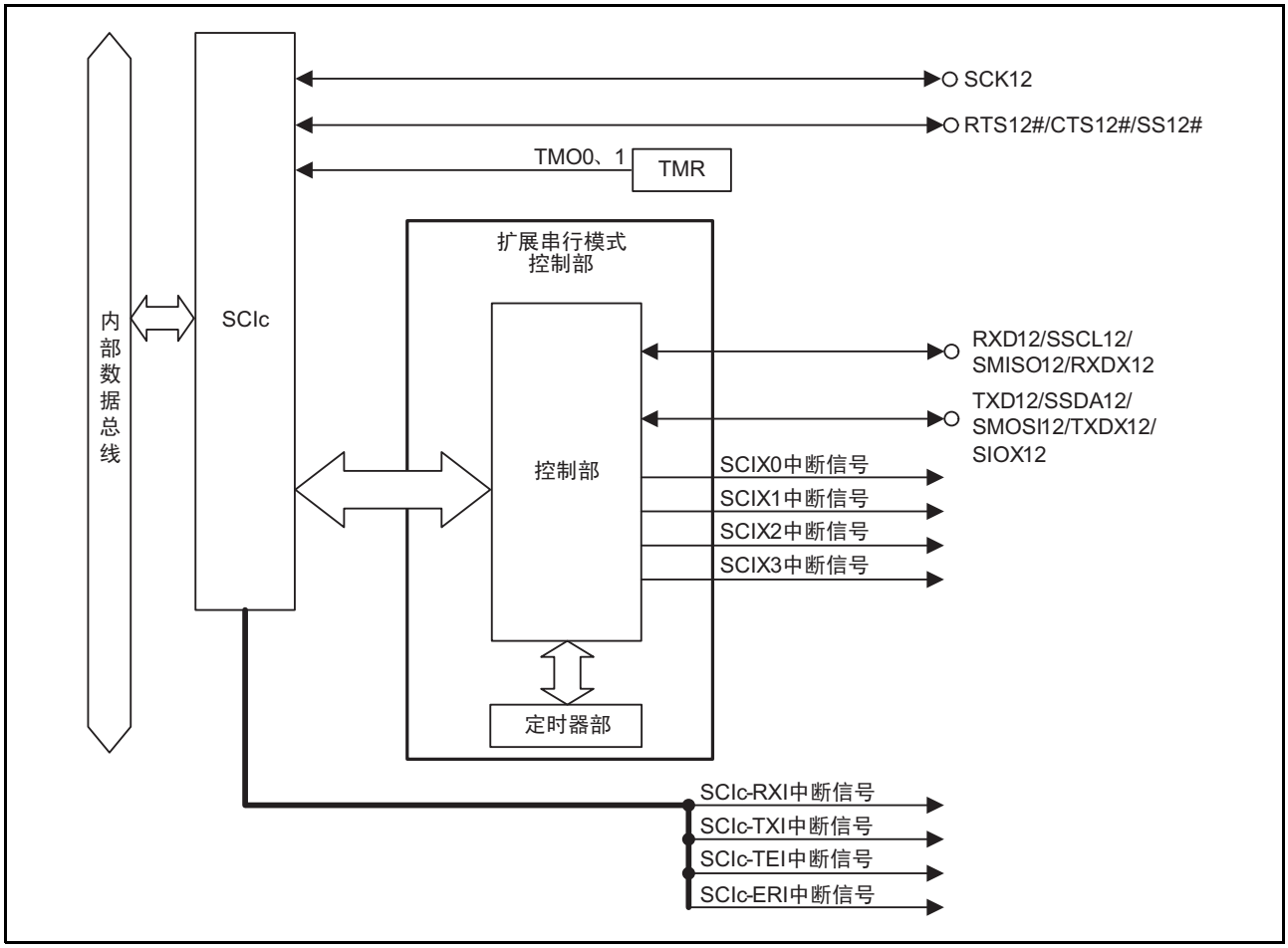


图 31.3 SCI12 （SCId）的框图

各模式中的 SCI 使用的输入 / 输出引脚如表 31.4 ～表 31.7 所示。

表 31.4 SCI 的输入 / 输出引脚 （异步 / 时钟同步模式）(1/2)

通道	引脚名	输入 / 输出	功能
SCI0	SCK0	输入 / 输出	SCI0 的时钟输入 / 输出引脚
	RXD0	输入	SCI0 的接收数据输入引脚
	TXD0	输出	SCI0 的发送数据输出引脚
	CTS0#/RTS0#	输入 / 输出	SCI0 发送 / 接收开始控制的输入 / 输出引脚
SCI1	SCK1	输入 / 输出	SCI1 的时钟输入 / 输出引脚
	RXD1	输入	SCI1 的接收数据输入引脚
	TXD1	输出	SCI1 的发送数据输出引脚
	CTS1#/RTS1#	输入 / 输出	SCI1 发送 / 接收开始控制的输入 / 输出引脚
SCI2	SCK2	输入 / 输出	SCI2 的时钟输入 / 输出引脚
	RXD2	输入	SCI2 的接收数据输入引脚
	TXD2	输出	SCI2 的发送数据输出引脚
	CTS2#/RTS2#	输入 / 输出	SCI2 发送 / 接收开始控制的输入 / 输出引脚
SCI3	SCK3	输入 / 输出	SCI3 的时钟输入 / 输出引脚
	RXD3	输入	SCI3 的接收数据输入引脚
	TXD3	输出	SCI3 的发送数据输出引脚
	CTS3#/RTS3#	输入 / 输出	SCI3 发送 / 接收开始控制的输入 / 输出引脚
SCI4	SCK4	输入 / 输出	SCI4 的时钟输入 / 输出引脚
	RXD4	输入	SCI4 的接收数据输入引脚
	TXD4	输出	SCI4 的发送数据输出引脚
	CTS4#/RTS4#	输入 / 输出	SCI4 发送 / 接收开始控制的输入 / 输出引脚
SCI5	SCK5	输入 / 输出	SCI5 的时钟输入 / 输出引脚
	RXD5	输入	SCI5 的接收数据输入引脚
	TXD5	输出	SCI5 的发送数据输出引脚
	CTS5#/RTS5#	输入 / 输出	SCI5 发送 / 接收开始控制的输入 / 输出引脚
SCI6	SCK6	输入 / 输出	SCI6 的时钟输入 / 输出引脚
	RXD6	输入	SCI6 的接收数据输入引脚
	TXD6	输出	SCI6 的发送数据输出引脚
	CTS6#/RTS6#	输入 / 输出	SCI6 发送 / 接收开始控制的输入 / 输出引脚
SCI7	SCK7	输入 / 输出	SCI7 的时钟输入 / 输出引脚
	RXD7	输入	SCI7 的接收数据输入引脚
	TXD7	输出	SCI7 的发送数据输出引脚
	CTS7#/RTS7#	输入 / 输出	SCI7 发送 / 接收开始控制的输入 / 输出引脚
SCI8	SCK8	输入 / 输出	SCI8 的时钟输入 / 输出引脚
	RXD8	输入	SCI8 的接收数据输入引脚
	TXD8	输出	SCI8 的发送数据输出引脚
	CTS8#/RTS8#	输入 / 输出	SCI8 发送 / 接收开始控制的输入 / 输出引脚

表 31.4 SCI 的输入 / 输出引脚 （异步 / 时钟同步模式）(2/2)

通道	引脚名	输入 / 输出	功能
SCI9	SCK9	输入 / 输出	SCI9 的时钟输入 / 输出引脚
	RXD9	输入	SCI9 的接收数据输入引脚
	TXD9	输出	SCI9 的发送数据输出引脚
	CTS9#/RTS9#	输入 / 输出	SCI9 发送 / 接收开始控制的输入 / 输出引脚
SCI10	SCK10	输入 / 输出	SCI10 的时钟输入 / 输出引脚
	RXD10	输入	SCI10 的接收数据输入引脚
	TXD10	输出	SCI10 的发送数据输出引脚
	CTS10#/RTS10#	输入 / 输出	SCI10 发送 / 接收开始控制的输入 / 输出引脚
SCI11	SCK11	输入 / 输出	SCI11 的时钟输入 / 输出引脚
	RXD11	输入	SCI11 的接收数据输入引脚
	TXD11	输出	SCI11 的发送数据输出引脚
	CTS11#/RTS11#	输入 / 输出	SCI11 发送 / 接收开始控制的输入 / 输出引脚
SCI12	SCK12	输入 / 输出	SCI12 的时钟输入 / 输出引脚
	RXD12	输入	SCI12 的接收数据输入引脚
	TXD12	输出	SCI12 的发送数据输出引脚
	CTS12#/RTS12#	输入 / 输出	SCI12 发送 / 接收开始控制的输入 / 输出引脚

表 31.5 SCI 的输入 / 输出引脚 （简易 I^2C 模式）(1/2)

通道	引脚名	输入 / 输出	功能
SCI0	SSCL0	输入 / 输出	SCI0 的 I^2C 时钟输入 / 输出引脚
	SSDA0	输入 / 输出	SCI0 的 I^2C 数据输入 / 输出引脚
SCI1	SSCL1	输入 / 输出	SCI1 的 I^2C 时钟输入 / 输出引脚
	SSDA1	输入 / 输出	SCI1 的 I^2C 数据输入 / 输出引脚
SCI2	SSCL2	输入 / 输出	SCI2 的 I^2C 时钟输入 / 输出引脚
	SSDA2	输入 / 输出	SCI2 的 I^2C 数据输入 / 输出引脚
SCI3	SSCL3	输入 / 输出	SCI3 的 I^2C 时钟输入 / 输出引脚
	SSDA3	输入 / 输出	SCI3 的 I^2C 数据输入 / 输出引脚
SCI4	SSCL4	输入 / 输出	SCI4 的 I^2C 时钟输入 / 输出引脚
	SSDA4	输入 / 输出	SCI4 的 I^2C 数据输入 / 输出引脚
SCI5	SSCL5	输入 / 输出	SCI5 的 I^2C 时钟输入 / 输出引脚
	SSDA5	输入 / 输出	SCI5 的 I^2C 数据输入 / 输出引脚
SCI6	SSCL6	输入 / 输出	SCI6 的 I^2C 时钟输入 / 输出引脚
	SSDA6	输入 / 输出	SCI6 的 I^2C 数据输入 / 输出引脚
SCI7	SSCL7	输入 / 输出	SCI7 的 I^2C 时钟输入 / 输出引脚
	SSDA7	输入 / 输出	SCI7 的 I^2C 数据输入 / 输出引脚
SCI8	SSCL8	输入 / 输出	SCI8 的 I^2C 时钟输入 / 输出引脚
	SSDA8	输入 / 输出	SCI8 的 I^2C 数据输入 / 输出引脚
SCI9	SSCL9	输入 / 输出	SCI9 的 I^2C 时钟输入 / 输出引脚
	SSDA9	输入 / 输出	SCI9 的 I^2C 数据输入 / 输出引脚
SCI10	SSCL10	输入 / 输出	SCI10 的 I^2C 时钟输入 / 输出引脚
	SSDA10	输入 / 输出	SCI10 的 I^2C 数据输入 / 输出引脚

表 31.5 SCI 的输入 / 输出引脚 （简易 I2C 模式）(2/2)

通道	引脚名	输入 / 输出	功能
SCI11	SSCL11	输入 / 输出	SCI11 的 I2C 时钟输入 / 输出引脚
	SSDA11	输入 / 输出	SCI11 的 I2C 数据输入 / 输出引脚
SCI12	SSCL12	输入 / 输出	SCI12 的 I2C 时钟输入 / 输出引脚
	SSDA12	输入 / 输出	SCI12 的 I2C 数据输入 / 输出引脚

表 31.6 SCI 的输入 / 输出引脚 （简易 SPI 模式）(1/2)

通道	引脚名	输入 / 输出	功能
SCI0	SCK0	输入 / 输出	SCI0 的时钟输入 / 输出引脚
	SMISO0	输入 / 输出	SCI0 的从属发送数据输入 / 输出引脚
	SMOSI0	输入 / 输出	SCI0 的主控发送数据输入 / 输出引脚
	SS0#	输入	SCI0 的片选输入引脚
SCI1	SCK1	输入 / 输出	SCI1 的时钟输入 / 输出引脚
	SMISO1	输入 / 输出	SCI1 的从属发送数据输入 / 输出引脚
	SMOSI1	输入 / 输出	SCI1 的主控发送数据输入 / 输出引脚
	SS1#	输入	SCI1 的片选输入引脚
SCI2	SCK2	输入 / 输出	SCI2 的时钟输入 / 输出引脚
	SMISO2	输入 / 输出	SCI2 的从属发送数据输入 / 输出引脚
	SMOSI2	输入 / 输出	SCI2 的主控发送数据输入 / 输出引脚
	SS2#	输入	SCI2 的片选输入引脚
SCI3	SCK3	输入 / 输出	SCI3 的时钟输入 / 输出引脚
	SMISO3	输入 / 输出	SCI3 的从属发送数据输入 / 输出引脚
	SMOSI3	输入 / 输出	SCI3 的主控发送数据输入 / 输出引脚
	SS3#	输入	SCI3 的片选输入引脚
SCI4	SCK4	输入 / 输出	SCI4 的时钟输入 / 输出引脚
	SMISO4	输入 / 输出	SCI4 的从属发送数据输入 / 输出引脚
	SMOSI4	输入 / 输出	SCI4 的主控发送数据输入 / 输出引脚
	SS4#	输入	SCI4 的片选输入引脚
SCI5	SCK5	输入 / 输出	SCI5 的时钟输入 / 输出引脚
	SMISO5	输入 / 输出	SCI5 的从属发送数据输入 / 输出引脚
	SMOSI5	输入 / 输出	SCI5 的主控发送数据输入 / 输出引脚
	SS5#	输入	SCI5 的片选输入引脚
SCI6	SCK6	输入 / 输出	SCI6 的时钟输入 / 输出引脚
	SMISO6	输入 / 输出	SCI6 的从属发送数据输入 / 输出引脚
	SMOSI6	输入 / 输出	SCI6 的主控发送数据输入 / 输出引脚
	SS6#	输入	SCI6 的片选输入引脚
SCI7	SCK7	输入 / 输出	SCI7 的时钟输入 / 输出引脚
	SMISO7	输入 / 输出	SCI7 的从属发送数据输入 / 输出引脚
	SMOSI7	输入 / 输出	SCI7 的主控发送数据输入 / 输出引脚
	SS7#	输入	SCI7 的片选输入引脚

表 31.6 SCI 的输入 / 输出引脚 （简易 SPI 模式）(2/2)

通道	引脚名	输入 / 输出	功能
SCI8	SCK8	输入 / 输出	SCI8 的时钟输入 / 输出引脚
	SMISO8	输入 / 输出	SCI8 的从属发送数据输入 / 输出引脚
	SMOSI8	输入 / 输出	SCI8 的主控发送数据输入 / 输出引脚
	SS8#	输入	SCI8 的片选输入引脚
SCI9	SCK9	输入 / 输出	SCI9 的时钟输入 / 输出引脚
	SMISO9	输入 / 输出	SCI9 的从属发送数据输入 / 输出引脚
	SMOSI9	输入 / 输出	SCI9 的主控发送数据输入 / 输出引脚
	SS9#	输入	SCI9 的片选输入引脚
SCI10	SCK10	输入 / 输出	SCI10 的时钟输入 / 输出引脚
	SMISO10	输入 / 输出	SCI10 的从属发送数据输入 / 输出引脚
	SMOSI10	输入 / 输出	SCI10 的主控发送数据输入 / 输出引脚
	SS10#	输入	SCI10 的片选输入引脚
SCI11	SCK11	输入 / 输出	SCI11 的时钟输入 / 输出引脚
	SMISO11	输入 / 输出	SCI11 的从属发送数据输入 / 输出引脚
	SMOSI11	输入 / 输出	SCI11 的主控发送数据输入 / 输出引脚
	SS11#	输入	SCI11 的片选输入引脚
SCI12	SCK12	输入 / 输出	SCI12 的时钟输入 / 输出引脚
	SMISO12	输入 / 输出	SCI12 的从属发送数据输入 / 输出引脚
	SMOSI12	输入 / 输出	SCI12 的主控发送数据输入 / 输出引脚
	SS12#	输入	SCI12 的片选输入引脚

表 31.7 SCI 的输入 / 输出引脚 （扩展串行模式）

通道	引脚名	输入 / 输出	功能
SCI12	RXDX12	输入	SCI12 的接收数据输入引脚
	TXDX12	输出	SCI12 的发送数据输出引脚
	SIOX12	输入 / 输出	SCI12 发送 / 接收数据的输入 / 输出引脚

31.2 寄存器说明

31.2.1 接收移位寄存器 （RSR）

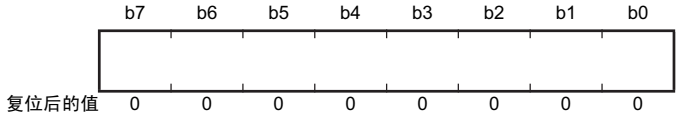
RSR 寄存器是将 RXDn 引脚输入的串行数据转换为并行数据的接收移位寄存器。

如果接收 1 帧的数据，数据就自动传送到 RDR 寄存器。

CPU 不能直接存取 RSR 寄存器。

31.2.2 接收数据寄存器 （RDR）

地址 SCI0.RDR 0008 A005h、SCI1.RDR 0008 A025h、SCI2.RDR 0008 A045h、SCI3.RDR 0008 A065h、SCI4.RDR 0008 A085h、SCI5.RDR 0008 A0A5h、SCI6.RDR 0008 A0C5h、SCI7.RDR 0008 A0E5h、SCI8.RDR 0008 A105h、SCI9.RDR 0008 A125h、SCI10.RDR 0008 A145h、SCI11.RDR 0008 A165h SCI12.RDR 0008 B305h



RDR 寄存器是保存接收数据的 8 位寄存器。

如果接收 1 帧的数据，就将接收数据从 RSR 寄存器传送到此寄存器并且 RSR 寄存器变为能接收下一个数据的状态。

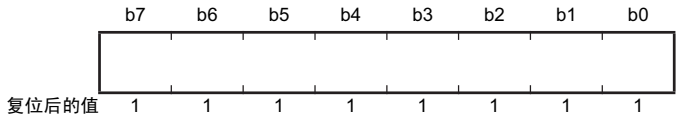
因为 RSR 寄存器和 RDR 寄存器是双缓冲结构，所以能连续接收。

在产生接收数据满中断 （RXI）请求时，只能读 1 次 RDR 寄存器。必须注意：如果不从 RDR 读接收数据而接收下一帧的数据，就会产生溢出错误。

CPU 不能写 RDR 寄存器。

31.2.3 发送数据寄存器 （TDR）

地址 SCI0.TDR 0008 A003h、SCI1.TDR 0008 A023h、SCI2.TDR 0008 A043h、SCI3.TDR 0008 A063h、SCI4.TDR 0008 A083h、SCI5.TDR 0008 A0A3h、SCI6.TDR 0008 A0C3h、SCI7.TDR 0008 A0E3h、SCI8.TDR 0008 A103h、SCI9.TDR 0008 A123h、SCI10.TDR 0008 A143h、SCI11.TDR 0008 A163h、SCI12.TDR 0008 B303h



TDR 寄存器是保存发送数据的 8 位寄存器。

如果检测到 TSR 寄存器为空，就将写在 TDR 寄存器的发送数据传送到 TSR 寄存器，开始发送。

因为 TDR 寄存器和 TSR 寄存器为双缓冲结构，所以能连续发送。如果在发送了 1 帧的数据时将下一个发送数据写到 TDR 寄存器，就将此数据传送到 TSR 寄存器，继续发送。

CPU 能随时读写 TDR 寄存器。在产生发送数据空中断（TXI）请求时，只能给 TDR 寄存器写 1 次发送数据。

31.2.4 发送移位寄存器 （TSR）

TSR 寄存器是发送串行数据的移位寄存器。

写在 TDR 寄存器的发送数据自动传送到 TSR 寄存器，通过将数据发送到 TXDn 引脚进行串行数据的发送。

CPU 不能直接存取 TSR 寄存器。

31.2.5 串行模式寄存器 （SMR）

注 . 在串行通信接口模式和智能卡接口模式中， SMR 寄存器的部分位的功能不同。

(1) 串行通信接口模式 （SCMR.SMIF 位 =0）

地址 SCI0.SMR 0008 A000h、SCI1.SMR 0008 A020h、SCI2.SMR 0008 A040h、SCI3.SMR 0008 A060h、SCI4.SMR 0008 A080h、SCI5.SMR 0008 A0A0h、SCI6.SMR 0008 A0C0h、SCI7.SMR 0008 A0E0h、SCI8.SMR 0008 A100h、SCI9.SMR 0008 A120h、SCI10.SMR 0008 A140h、SCI11.SMR 0008 A160h、SCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	CKS[1:0]	时钟选择位	b1 b0 0 0：PCLK 时钟 （n=0）（注 1） 0 1：PCLK/4 时钟 （n=1）（注 1） 1 0：PCLK/16 时钟 （n=2）（注 1） 1 1：PCLK/64 时钟 （n=3）（注 1）	R/W （注 4）
b2	MP	多处理器模式位	（只在异步模式中有效） 0：禁止多处理器通信功能 1： 允许多处理器通信功能	R/W （注 4）
b3	STOP	停止位长度位	（只在异步模式中有效） 0：1 个停止位 1：2 个停止位	R/W （注 4）
b4	PM	奇偶校验模式位	（只在异步模式中并且 PE 位为 “1” 时有效） 0：偶校验 1：奇校验	R/W （注 4）
b5	PE	奇偶校验允许位	（只在异步模式中有效） • 发送时 0：无奇偶校验位 1：附加奇偶校验位 • 接收时 0：不进行奇偶校验 1：进行奇偶校验	R/W （注 4）
b6	CHR	字符长度位	（只在异步模式中有效） 0：数据长度为 8 位（注 2） 1：数据长度为 7 位（注 3）	R/W （注 4）
b7	CM	通信模式位	0：异步通信模式 1：时钟同步通信模式	R/W （注 4）

注 1. n 为设定值的 10 进制数，表示 “31.2.9 位速率寄存器 （BRR）” 中的 n 的值。

注 2. 在时钟同步模式中，设定无效，数据长度固定为 8 位。

注 3. 固定为 LSB first，在发送时不发送 TDR 寄存器的 MSB （b7）。

注 4. 只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写这些位。

CKS[1:0] 位 （时钟选择位）

这些位选择内部波特率发生器的时钟源。有关 CKS[1:0] 位的设定值和波特率的关系，请参照 “31.2.9 位速率寄存器 （BRR）”。

MP 位 （多处理器模式位）

此位选择禁止或者允许多处理器通信功能。在多处理器模式中， PE 位和 PM 位的设定无效。

STOP 位 （停止位长度位）

此位选择发送数据的停止位长。

在接收时，与此位的设定无关，只检查停止位的第 1 位，当第 2 位为 “0” 时，将第 2 位视为下一个发送帧的起始位。

PM 位 （奇偶校验模式位）

此位选择发送和接收时的奇偶校验 （偶校验或者奇校验）。

在多处理器模式中， PM 位的设定无效。

PE 位 （奇偶校验允许位）

当 PE 位为 “1” 时，在发送时附加奇偶校验位，在接收时进行奇偶校验。

与 PE 位的设定无关，不在多处理器格式中附加奇偶校验位，也不进行奇偶校验。

CHR 位 （字符长度位）

此位选择发送 / 接收数据的数据长度。

在时钟同步模式中，数据长度固定为 8 位。

(2) 智能卡接口模式 （SCMR.SMIF 位 =1）

地址 SCI0.SMR 0008 A000h、SCI1.SMR 0008 A020h、SCI2.SMR 0008 A040h、SCI3.SMR 0008 A060h、SCI4.SMR 0008 A080h、SCI5.SMR 0008 A0A0h、SCI6.SMR 0008 A0C0h、SCI7.SMR 0008 A0E0h、SCI8.SMR 0008 A100h、SCI9.SMR 0008 A120h、SCI10.SMR 0008 A140h、SCI11.SMR 0008 A160h、SCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	CKS[1:0]	时钟选择位	b1 b0 0 0：PCLK 时钟 （n=0）（注 1） 0 1：PCLK/4 时钟 （n=1）（注 1） 1 0：PCLK/16 时钟 （n=2）（注 1） 1 1：PCLK/64 时钟 （n=3）（注 1）	R/W （注 3）
b3-b2	BCP[1:0]	基本时钟脉冲位	通过和 SCMR.BCP2 位组合进行选择。 SCMR.BCP2 位和 SMR.BCP[1:0] 位的设定值 BCP2 b3 b2 0 0 0：93 个时钟 （S=93）（注 2） 0 0 1：128 个时钟 （S=128）（注 2） 0 1 0：186 个时钟 （S=186）（注 2） 0 1 1：512 个时钟 （S=512）（注 2） 1 0 0：32 个时钟 （S=32）（注 2）（初始值） 1 0 1：64 个时钟 （S=64）（注 2） 1 1 0：372 个时钟 （S=372）（注 2） 1 1 1：256 个时钟 （S=256）（注 2）	R/W （注 3）
b4	PM	奇偶校验模式位	（只在异步模式中并且 PE 位为 “1” 时有效） 0：偶校验 1：奇校验	R/W （注 3）
b5	PE	奇偶校验允许位	当 PE 位为“1”时，在发送时附加奇偶校验位，在接收时进行奇偶校验。在智能卡接口模式中，必须将 PE 位置 “1”。	R/W （注 3）
b6	BLK	块传送模式位	0：在正常模式中运行 1：在块传送模式中运行	R/W （注 3）
b7	GM	GSM 模式位	0：在正常模式中运行 1：在 GSM 模式中运行	R/W （注 3）

注 1. n 为设定值的 10 进制数，表示 “31.2.9 位速率寄存器 （BRR）” 中的 n 的值。

注 2. S 表示 “31.2.9 位速率寄存器 （BRR）” 中的 S 的值。

注 3. 只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写这些位。

CKS[1:0] 位 （时钟选择位）

这些位选择内部波特率发生器的时钟源。

有关 CKS[1:0] 位的设定值和波特率的关系，请参照 “31.2.9 位速率寄存器 （BRR）”。

BCP[1:0] 位 （基本时钟脉冲位）

这些位选择智能卡接口模式中 1 位传送时间的基本时钟数。

通过和 SCMR.BCP2 位组合进行选择。

详细内容请参照 “31.6.4 接收数据的采样时序和接收容限”。

PM 位 （奇偶校验模式位）

此位选择发送和接收时的奇偶校验 （偶校验或者奇校验）。

有关此位在智能卡接口模式中的使用方法，请参照 “31.6.2 数据格式 （块传送模式除外）”。

PE 位 （奇偶校验允许位）

必须将 PE 位置 “1”。

在发送时附加奇偶校验位，在接收时进行奇偶校验。

BLK （块传送模式位）

如果将 BLK 位置 “1”，就以块传送模式运行。

有关块传送模式，请参照 “31.6.3 块传送模式”。

GM 位 （GSM 模式位）

如果将 GM 位置 “1”，就以 GSM 模式运行。

在 GSM 模式中， SSR.TEND 标志的置位时序为开始发送后的 11.0etu （etu：Elementary Time Unit， 1 位传送时间），并且追加时钟输出控制功能，详细内容请参照 “31.6.6 串行数据的发送 （块传送模式除外） ”和 “31.6.8 时钟的输出控制”。

31.2.6 串行控制寄存器 （SCR）

注 . 在串行通信接口模式和智能卡接口模式中， SCR 寄存器的部分位的功能不同。

(1) 串行通信接口模式 （SCMR.SMIF 位 =0）

地址 SCI0.SCR 0008 A002h、SCI1.SCR 0008 A022h、SCI2.SCR 0008 A042h、SCI3.SCR 0008 A062h、SCI4.SCR 0008 A082h、SCI5.SCR 0008 A0A2h、SCI6.SCR 0008 A0C2h、SCI7.SCR 0008 A0E2h、SCI8.SCR 0008 A102h、SCI9.SCR 0008 A122h、SCI10.SCR 0008 A142h、SCI11.SCR 0008 A162h、SCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	CKE[1:0]	时钟允许位	• SCI0 ～ SCI4 和 SCI7 ～ SCI11 的情况 （异步模式） b1 b0 0 0：内部波特率发生器 根据 I/O 端口的设定，SCKn 引脚能用作输入 / 输出端口。 0 1：内部波特率发生器 从 SCKn 引脚输出频率为位速率的时钟。 1 x：外部时钟 必须从 SCKn 引脚输入频率为 16 倍位速率的时钟。在 SEMR.ABCS 位为 “1” 时，必须输入 8 倍频率的时钟。 （时钟同步模式） b1 b0 0 x：内部时钟 SCKn 引脚为时钟的输出引脚。 1 x：外部时钟 SCKn 引脚为时钟的输入引脚。	R/W （注 1）
b1-b0	CKE[1:0]	时钟允许位	• SCI5、 SCI6 和 SCI12 的情况 （异步模式） b1 b0 0 0：内部波特率发生器 根据 I/O 端口的设定，SCKn 引脚能用作输入 / 输出端口。 0 1：内部波特率发生器 从 SCKn 引脚输出频率为位速率的时钟。 1 x：外部时钟或者 TMR 时钟 • 在使用外部时钟的情况下，必须从 SCKn 引脚输入频率为 16 倍位速率的时钟。在 SEMR.ABCS 位为 “1” 时，必须输入 8 倍频率的时钟。 • 能使用 TMR 时钟。 （时钟同步模式） b1 b0 0 x：内部时钟 SCKn 引脚为时钟的输出引脚。 1 x：外部时钟 SCKn 引脚为时钟的输入引脚。	R/W （注 1）

位	符号	位名	功能	R/W
b2	TEIE	发送结束中断允许位	0：禁止 TEI 中断请求 1：允许 TEI 中断请求	R/W
b3	MPIE	多处理器中断允许位	（在异步模式中 SMR.MP 位为 “1” 时有效） 0：通常的接收运行 1：跳读多处理器位为 “0” 的接收数据，禁止 SSR.ORER 和 SSR.FER 各状态标志的置位（“1”）。如果接收到多处理器位是 “1” 的数据，就自动清除（“0”） MPIE 位，返回到通常的接收运行。	R/W
b4	RE	接收允许位	0：禁止串行接收 1：允许串行接收	R/W （注 2）
b5	TE	发送允许位	0：禁止串行发送 1：允许串行发送	R/W （注 2）
b6	RIE	接收中断允许位	0：禁止 RXI 中断请求和 ERI 中断请求 1：允许 RXI 中断请求和 ERI 中断请求	R/W
b7	TIE	发送中断允许位	0：禁止 TXI 中断请求 1：允许 TXI 中断请求	R/W

x：Don't care

注 1. 只能在 TE 位和 RE 位都为 “0” 时写这些位。

注 2. 如果 SMR.CM 位为 “1”，就只能在 TE 位和 RE 位都为 “0” 时写 “1”。一旦将 TE 位或者 RE 位置 “1”，就只能给 TE 位和 RE 位写 “0”。如果 SMR.CM 位为 “0”，就能在任意时候写此位。

CKE[1:0] 位 （时钟允许位）

这些位选择时钟源和 SCKn 引脚的功能。

通过和 SEMR.ACS0 位的组合设定内部 TMR 时钟。

TEIE 位 （发送结束中断允许位）

此位允许或者禁止 TEI 中断请求。

能通过将 TEIE 位置 “0” 来禁止 TEI 中断请求。

在简易 I^2C 模式（SIMR1.IICM=1）中，将开始 / 重新开始 / 停止条件生成结束中断（STI 中断）分配给 TEI 中断。此时，也能通过 TEIE 位允许或者禁止 STI 中断请求。

MPIE 位 （多处理器中断允许位）

如果将 MPIE 位置 “1”，就跳读多处理器位为 “0” 的接收数据，并且 SSR.ORER 和 SSR.FER 的各状态标志不变为 “1”。如果接收多处理器位为 “1” 的数据， MPIE 位就自动清除并且返回到通常的接收运行。详细内容请参照 “31.4 多处理器通信功能”。

在接收包括 SSR.MPB 位为 “0” 的接收数据时，不将接收数据从 RSR 寄存器传送到 RDR 寄存器，也不检测接收错误并且不将 ORER 和 FER 的各标志置位 （“1”）。

如果接收包括 MPB 位为 “1” 的接收数据，就将 MPB 位置 “1”，MPIE 位自动变为 “0”，并且允许 RXI 中断请求和 ERI 中断请求 （SCR 的 RIE 位为 “1” 的情况）以及允许 ORER 和 FER 各标志的置位 （“1”）。

在不使用多处理器通信功能时，不能给 MPIE 位写 “0”。

RE 位 （接收允许位）

此位允许或者禁止串行接收。

在将 RE 位置 “1” 后，如果在异步模式中检测到起始位，或者在时钟同步模式中检测到同步时钟输入，就开始串行接收。必须在将 RE 位置 “1” 前设定 SMR 寄存器，决定接收格式。即使通过将 RE 位置 “0” 来停止接收，SSR.ORER 标志、 SSR.FER 标志和 SSR.PER 标志也不受影响而保持原来的状态。

TE 位 （发送允许位）

此位允许或者禁止串行发送。

如果将 TE 位置“1”，就通过给 TDR 寄存器写发送数据，开始串行发送。必须在将 TE 位置“1”前设定 SMR 寄存器，决定发送格式。

RIE 位 （接收中断允许位）

此位允许或者禁止 RXI 和 ERI 的中断请求。

能通过将 RIE 位置 “0”来禁止 RXI 中断请求。

通过在从 SSR.ORER 标志、SSR.FER 标志和 SSR.PER 标志读“1”后将这些标志位置“0”，或者将 RIE 位置“0”，解除 ERI 中断请求。

TIE 位 （发送中断允许位）

此位允许或者禁止通知 TXI 中断请求。

能通过将 TIE 位置 “0”来禁止 TXI 中断请求。

(2) 智能卡接口模式 （SCMR.SMIF 位 =1）

地址 SCI0.SCR 0008 A002h、SCI1.SCR 0008 A022h、SCI2.SCR 0008 A042h、SCI3.SCR 0008 A062h、SCI4.SCR 0008 A082h、SCI5.SCR 0008 A0A2h、SCI6.SCR 0008 A0C2h、SCI7.SCR 0008 A0E2h、SCI8.SCR 0008 A102h、SCI9.SCR 0008 A122h、SCI10.SCR 0008 A142h、SCI11.SCR 0008 A162h、SCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	CKE[1:0]	时钟允许位	• SMR.GM 位为 “0” 的情况 b1 b0 0 0：禁止输出 （根据 I/O 端口的设定，SCKn 引脚能用作输入 / 输出端口） 0 1：时钟输出 1 x：不能设定 • SMR.GM 位为 “1” 的情况 b1 b0 0 0：固定为 Low 电平输出 x 1：时钟输出 1 0：固定为 High 电平输出	R/W （注 1）
b2	TEIE	发送结束中断允许位	在智能卡接口模式中，必须置 “0”。	R/W
b3	MPIE	多处理器中断允许位	在智能卡接口模式中，必须置 “0”。	R/W
b4	RE	接收允许位	0：禁止串行接收 1：允许串行接收	R/W （注 2）
b5	TE	发送允许位	0：禁止串行发送 1：允许串行发送	R/W （注 2）
b6	RIE	接收中断允许位	0：禁止 RXI 中断请求和 ERI 中断请求 1：允许 RXI 中断请求和 ERI 中断请求	R/W
b7	TIE	发送中断允许位	0：禁止 TXI 中断请求 1：允许 TXI 中断请求	R/W

x：Don't care

注 1. 只能在 TE 位和 RE 位都为 “0” 时写这些位。

注 2. 如果 SMR.CM 位为“1”，就只能在 TE 位和 RE 位都为“0”时写“1”。一旦将 TE 位或者 RE 位置“1”，就只能给 TE 位和 RE 位写 “0”。如果 SMR.CM 位为 “0”，就能在任意时候写此位。

有关各中断源，请参照 “31.11 中断源”。

CKE[1:0] 位 （时钟允许位）

这些位控制 SCKn 引脚的时钟输出。

能在 GSM 模式中动态更改时钟的输出，详细内容请参照 “31.6.8 时钟的输出控制”。

TEIE 位 （发送结束中断允许位）

在智能卡接口模式中，必须将此位置 “0”。

MPIE 位 （多处理器中断允许位）

在智能卡接口模式中，必须将此位置 “0”。

RE 位 （接收允许位）

此位允许或者禁止串行接收。

在将 RE 位置“1”后，如果检测到起始位，就开始串行接收。必须在将 RE 位置“1”前设定 SMR 寄存器，决定接收格式。

即使通过将 RE 位置“0”来停止接收，SSR.ORER 标志、SSR.FER 标志和 SSR.PER 标志也不受影响而保持原来的状态。

TE 位 （发送允许位）

此位允许或者禁止串行发送。

如果将 TE 位置 “1”，就通过给 TDR 寄存器写发送数据，开始串行发送。必须在将 TE 位置 “1”前设定 SMR 寄存器，决定发送格式。

RIE 位 （接收中断允许位）

此位允许或者禁止 RXI 和 ERI 的中断请求。

能通过将 RIE 位置 “0”来禁止 RXI 中断请求。

通过在从 SSR.ORER 标志、SSR.FER 标志和 SSR.PER 标志读“1”后将这些标志位置“0”，或者将 RIE 位置 “0”，解除 ERI 中断请求。

TIE 位 （发送中断允许位）

此位允许或者禁止通知 TXI 中断请求。

能通过将 TIE 位置 “0”来禁止 TXI 中断请求。

31.2.7 串行状态寄存器 （SSR）

注 . 在串行通信接口模式和智能卡接口模式中， SSR 寄存器的部分位的功能不同。

(1) 串行通信接口模式 （SCMR.SMIF 位 =0）

地址 SCI0.SSR 0008 A004h、SCI1.SSR 0008 A024h、SCI2.SSR 0008 A044h、SCI3.SSR 0008 A064h、SCI4.SSR 0008 A084h、SCI5.SSR 0008 A0A4h、SCI6.SSR 0008 A0C4h、SCI7.SSR 0008 A0E4h、SCI8.SSR 0008 A104h、SCI9.SSR 0008 A124h、SCI10.SSR 0008 A144h、SCI11.SSR 0008 A164h、SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ORER	FER	PER	TEND	MPB	MPBT
复位后的值	x	x	0	0	0	1	0	0

x： 不定值

位	符号	位名	功能	R/W
b0	MPBT	多处理器位的传送位	设定给发送帧附加的多处理器位的值。	R/W
b1	MPB	多处理器位	是接收帧中的多处理器位的值。	R
b2	TEND	发送结束标志	0：正在发送字符 1：字符发送结束	R
b3	PER	奇偶校验错误标志	0：未发生奇偶校验错误 1：发生奇偶校验错误	R(/W) （注 1）
b4	FER	帧错误标志	0：未发生帧错误 1：发生帧错误	R(/W) （注 1）
b5	ORER	溢出错误标志	0：未发生溢出错误 1：发生溢出错误	R(/W) （注 1）
b7-b6	—	保留位	读取值为不定值，只能写 “1”。	R/W

注 1. 为了清除标志，只能写 “0”。

MPB 位 （多处理器位）

此位保存接收帧中的多处理器位的值。此位在 SCR.RE 位为 “0” 时不变。

TEND 标志 （发送结束标志）

此标志表示发送已经结束。

[为 “1” 的条件]

- 当SCR.TE位为 “0”（禁止串行发送）时
  在将SCR.TE位从 “0” 置为 “1” 时， TEND标志不受影响而保持 “1” 的状态。
- 在发送字符的最后一位时未更新TDR寄存器时

[为 “0” 的条件]

- 在SCR.TE位为 “1” 的状态下给TDR寄存器写发送数据时
  在通过给TDR寄存器写发送数据来清除TEND标志时，必须读TEND标志，确认TEND标志是 “0”。

PER 标志 （奇偶校验错误标志）

此标志表示在异步模式中接收数据时发生了奇偶校验错误并且异常结束。

[为 “1” 的条件]

- 在接收时检测到奇偶校验错误时
  将发生奇偶校验错误时的接收数据传送到RDR寄存器，但是不产生RXI中断请求。在PER标志被置“1”的状态下，以后的接收数据不传送到RDR寄存器。

[为 “0” 的条件]

- 在读到 “1” 的状态后写 “0”（必须在写 “0” 后确认PER标志已被清除）时
  即使将SCR.RE位清 “0”（禁止串行接收）， PER标志也不受影响而保持原来的状态。

FER 标志 （帧错误标志）

此标志表示在异步模式中接收数据时发生了帧错误并且异常结束。

[为 “1” 的条件]

- 当停止位为 “0” 时
  在2个停止位模式中，只判断第1个停止位是否为“1”而不检查第2个停止位。将发生帧错误的接收数据传送到RDR寄存器，但是不产生RXI中断请求。在FER标志被置“1”的状态下，以后的接收数据不传送到RDR寄存器。

[为 “0” 的条件]

- 在读到 “1” 的状态后写 “0”（必须在写 “0” 后确认FER标志已被清除）时
  即使将SCR.RE位置 “0”， FER标志也不受影响而保持原来的状态。

ORER 标志 （溢出错误标志）

此标志表示在接收数据时发生了溢出错误并且异常结束。

[为 “1” 的条件]

- 当不读RDR寄存器的接收数据而接收到下一个数据时
  RDR寄存器保持发生溢出错误前的接收数据而放弃后面的接收数据。在ORER标志被置“1”的状态下，不能继续进行以后的串行接收。在时钟同步模式中，也不能继续进行串行发送。

[为 “0” 的条件]

- 在读到 “1” 的状态后写 “0”（必须在写 “0” 后确认ORER标志已被清除）时
  即使将SCR.RE位置 “0”， ORER标志也不受影响而保持原来的状态。

(2) 智能卡接口模式 （SCMR.SMIF 位 =1）

地址　SCI0.SSR 0008 A004h、SCI1.SSR 0008 A024h、SCI2.SSR 0008 A044h、SCI3.SSR 0008 A064h、SCI4.SSR 0008 A084h、SCI5.SSR 0008 A0A4h、SCI6.SSR 0008 A0C4h、SCI7.SSR 0008 A0E4h、SCI8.SSR 0008 A104h、SCI9.SSR 0008 A124h、SCI10.SSR 0008 A144h、SCI11.SSR 0008 A164h、SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ORER	ERS	PER	TEND	MPB	MPBT
复位后的值	x	x	0	0	0	1	0	0

x： 不定值

位	符号	位名	功能	R/W
b0	MPBT	多处理器位的传送位	在智能卡接口模式中，必须置 “0”。	R/W
b1	MPB	多处理器位	在智能卡接口模式中不使用，必须置 “0”。	R
b2	TEND	发送结束标志	0：正在发送字符 1：字符发送结束	R
b3	PER	奇偶校验错误标志	0：未发生奇偶校验错误 1：发生奇偶校验错误	R(/W) （注 1）
b4	ERS	错误信号状态标志	0：无错误信号的 Low 电平响应 1：有错误信号的 Low 电平响应	R(/W) （注 1）
b5	ORER	溢出错误标志	0：未发生溢出错误 1：发生溢出错误	R(/W) （注 1）
b7-b6	—	保留位	读取值为不定值，只能写 “1”。	R/W

注 1.　为了清除标志，只能写 “0”。

MPBT 位 （多处理器位的传送位）

在智能卡接口模式中，必须将此位置 “0”。

MPB 位 （多处理器位）

在智能卡接口模式中，不使用此位，必须将此位置 “0”。

TEND 标志 （发送结束标志）

在没有接收侧的错误信号响应并且能将下一个发送数据传送到 TDR 寄存器的情况下，将此标志置 “1”。

[为 “1” 的条件]

- 当SCR.TE位为 “0”（禁止串行发送）时
  在将SCR.TE位从 “0” 置为 “1” 时， TEND标志不受影响而保持 “1” 的状态。
- 在发送1字节数据后的一定时间之后ERS标志变为 “0” 并且未更新TDR寄存器时
  根据寄存器的设定，置位的时序如下：
  当SMR.GM位和SMR.BLK位都为 “0” 时，在开始发送后的12.5etu。
  当SMR.GM位为 “0” 并且SMR.BLK位为 “1” 时，在开始发送后的11.5etu。
  当SMR.GM位为 “1” 并且SMR.BLK位为 “0” 时，在开始发送后的11.0etu。
  当SMR.GM位和SMR.BLK位都为 “1” 时，在开始发送后的11.0etu。

[为 “0” 的条件]

- 在SCR.TE位为 “1” 的状态下给TDR寄存器写发送数据时

PER 标志 （奇偶校验错误标志）

此标志表示在异步模式中接收数据时发生了奇偶校验错误并且异常结束。

[为 “1” 的条件]

- 在接收时检测到奇偶校验错误时
  将发生奇偶校验错误时的接收数据传送到RDR寄存器，但是不产生RXI中断请求。在PER标志被置“1”的状态下，以后的接收数据不传送到RDR寄存器。

[为 “0” 的条件]

- 在读到 “1” 的状态后写 “0”（必须在写 “0” 后确认PER标志已被清除）时
  即使将SCR.RE位清 “0”（禁止串行接收）， PER标志也不受影响而保持原来的状态。

ERS 标志 （错误信号状态标志）

[为 “1” 的条件]

- 当对错误信号的Low电平进行采样时

[为 “0” 的条件]

- 在读到 “1” 的状态后写 “0” 时

ORER 标志 （溢出错误标志）

此标志表示在接收数据时发生了溢出错误并且异常结束。

[为 “1” 的条件]

- 当不读RDR寄存器的接收数据而接收到下一个数据时
  RDR寄存器保持发生溢出错误前的接收数据而放弃后面的接收数据。在ORER标志被置“1”的状态下，不能继续进行以后的串行接收。

[为 “0” 的条件]

- 在读到 “1” 的状态后写 “0”（必须在写 “0” 后确认ORER标志已被清除）时
  即使将SCR.RE位置 “0”， ORER标志也不受影响而保持原来的状态。

31.2.8 智能卡模式寄存器 （SCMR）

地址　SCI0.SCMR 0008 A006h、SCI1.SCMR 0008 A026h、SCI2.SCMR 0008 A046h、SCI3.SCMR 0008 A066h、SCI4.SCMR 0008 A086h、SCI5.SCMR 0008 A0A6h、SCI6.SCMR 0008 A0C6h、SCI7.SCMR 0008 A0E6h、SCI8.SCMR 0008 A106h、SCI9.SCMR 0008 A126h、SCI10.SCMR 0008 A146h、SCI11.SCMR 0008 A166h、SCI12.SCMR 0008 B306h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	—	SDIR	SINV	—	SMIF
复位后的值	1	1	1	1	0	0	1	0

位	符号	位名	功能	R/W
b0	SMIF	智能卡接口模式选择位	0：串行通信接口模式 1：智能卡接口模式	R/W （注 1）
b1	—	保留位	读写值都为 “1”。	R/W
b2	SINV	发送 / 接收数据反相位	0：将 TDR 寄存器的内容直接发送，并且将接收数据直接保存到 RDR 寄存器。 1：将 TDR 寄存器的内容取反后发送，并且将接收数据取反后保存到 RDR 寄存器。	R/W （注 1）
b3	SDIR	发送 / 接收数据传送方向位 （注 2）	0：以 LSB first 进行发送和接收 1：以 MSB first 进行发送和接收	R/W （注 1）
b6-b4	—	保留位	读写值都为 “1”。	R/W
b7	BCP2	基本时钟脉冲位 2	通过和 SMR.BCP[1:0] 位组合进行选择。 SCMR.BCP2 位和 SMR.BCP[1:0] 位的设定值 BCP2 BCP1 BCP0 0 0 0：93 个时钟 （S=93）（注 3） 0 0 1：128 个时钟 （S=128）（注 3） 0 1 0：186 个时钟 （S=186）（注 3） 0 1 1：512 个时钟 （S=512）（注 3） 1 0 0：32 个时钟 （S=32）（注 3）（初始值） 1 0 1：64 个时钟 （S=64）（注 3） 1 1 0：372 个时钟 （S=372）（注 3） 1 1 1：256 个时钟 （S=256）（注 3）	R/W （注 1）

注 1.　只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写此位。

注 2.　在选择简易 I^2C 模式时，此位无效。

注 3.　S 表示 “31.2.9 位速率寄存器 （BRR）” 中的 S 的值。

SMIF 位 （智能卡接口模式选择位）

在以智能卡接口模式运行时，将此位置 “1”。

在以异步模式或者时钟同步模式运行时，将此位置 “0”。

SINV 位 （发送 / 接收数据反相位）

将发送 / 接收数据的逻辑电平取反。SINV 位不影响奇偶校验位的逻辑电平。如果要将奇偶校验位取反，就必须将 SMR.PM 位取反。

SDIR 位 （发送 / 接收数据传送方向位）

此位选择串行 / 并行转换的方向，能用于以下模式。

- 异步模式
- 时钟同步模式
- 智能卡接口模式
- 多处理器模式
- 简易SPI模式

要在简易I²C模式中运行时，将此位置 “1”。

BCP2 位 （基本时钟脉冲位 2）

在智能卡接口模式中，通过和 SMR.BCP[1:0] 位组合，选择 1 位传送时间的基本时钟数。

31.2.9　位速率寄存器 （BRR）

地址　SCI0.BRR 0008 A001h、SCI1.BRR 0008 A021h、SCI2.BRR 0008 A041h、SCI3.BRR 0008 A061h、SCI4.BRR 0008 A081h、SCI5.BRR 0008 A0A1h、SCI6.BRR 0008 A0C1h、SCI7.BRR 0008 A0E1h、SCI8.BRR 0008 A101h、SCI9.BRR 0008 A121h、SCI10.BRR 0008 A141h、SCI11.BRR 0008 A161h、SCI12.BRR 0008 B301h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1

BRR 寄存器是调整位速率的 8 位寄存器。

因为 SCI 各通道的波特率发生器独立运行，所以能设定不同的位速率。在一般的异步模式、多处理器通信、时钟同步模式、智能卡接口模式、简易 SPI 模式和简易 I²C 模式中，BRR 寄存器的设定值 N 和位速率 B 的关系如表 31.8 所示。

BRR 寄存器的初始值为 “FFh”。

CPU 能随时读 BRR 寄存器，但是只能在 SCR.TE 位和 SCR.RE 位都为 “0”时写此寄存器。

表 31.8　BRR 寄存器的设定值 N 和位速率 B 的关系

模式	SEMR.ABCS位	BRR寄存器的设定值	误差
异步、多处理器通信	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$误差(\%) = \{\frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	$误差(\%) = \{\frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
时钟同步、简易SPI		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
智能卡接口		$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$误差(\%) = \{\frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\} \times 100$
简易I²C(注1)		$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B　：位速率 （bps）

N　：波特率发生器的 BRR 设定值 （0 ≤ N ≤ 255）

PCLK ：工作频率 （MHz）

n 和 S ：取决于下表中 SMR 的设定值。

注 1.　必须调整位数率，使简易 I²C 模式中的 SCL 输出的 High/Low 电平宽度满足 I²C 规格。

表 31.9 SCL High/Low 电平宽度的计算式

模式	SCL	计算式 （秒 (s)）
I²C	High 宽度 （min 值）	$(N+1)\times4\times2^{2n-1}\times7\times\frac{1}{PCLK\times10^{6}}$
	Low 宽度 （min 值）	$(N+1)\times4\times2^{2n-1}\times8\times\frac{1}{PCLK\times10^{6}}$

表 31.10 时钟源的设定

SMR 寄存器的设定值 CKS[1:0] 位	时钟源	n
0 0	PCLK 时钟	0
0 1	PCLK/4 时钟	1
1 0	PCLK/16 时钟	2
1 1	PCLK/64 时钟	3

表 31.11 智能卡接口模式中的基本时钟设定

SCMR 寄存器的设定值 BCP2 位	SMR 寄存器的设定值 BCP[1:0] 位	基本时钟	S
0	0 0	93 个时钟	93
0	0 1	128 个时钟	128
0	1 0	186 个时钟	186
0	1 1	512 个时钟	512
1	0 0	32 个时钟	32
1	0 1	64 个时钟	64
1	1 0	372 个时钟	372
1	1 1	256 个时钟	256

一般的异步模式中的 BRR 寄存器值 N 的设定例子如**表 31.12** 和**表 31.14** 所示，在各工作频率下能设定的最大位速率如**表 31.14** 所示；时钟同步模式和简易 SPI 模式中的 BRR 寄存器值 N 的设定例子如**表 31.16** 所示，智能卡接口模式中的 BRR 寄存器值 N 的设定例子如**表 31.16** 所示，简易 I²C 模式中的 BRR 寄存器值 N 的设定例子如**表 31.16** 所示。在智能卡接口模式中，能选择 1 位传送时间的基本时钟数 S。详细内容请参照 “**31.6.4 接收数据的采样时序和接收容限**”。输入外部时钟时的最大位速率如**表 31.15** 和**表 31.17** 所示。

在异步模式中，如果将串行扩展模式寄存器 （SEMR）的异步基本时钟选择位 （ABCS）置 “1”，位速率就变为**表 31.12** 所示的位速率的 2 倍。

表 31.12 对应位速率的 BRR 设定例子 （异步模式）（1）

位速率（bps）	工作频率 PCLK （MHz）											
	8			9.8304			10			12		
	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）
110	2	141	0.03	2	174	–0.26	2	177	–0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	–1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	–2.34
31250	0	7	0.00	0	9	–1.70	0	9	0.00	0	11	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	–2.34

位速率（bps）	工作频率 PCLK （MHz）								
	12.288			14			16		
	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）
110	2	217	0.08	2	248	–0.17	3	70	0.03
150	2	159	0.00	2	181	0.16	2	207	0.16
300	2	79	0.00	2	90	0.16	2	103	0.16
600	1	159	0.00	1	181	0.16	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	103	0.16
9600	0	39	0.00	0	45	–0.93	0	51	0.16
19200	0	19	0.00	0	22	–0.93	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	15	0.00
38400	0	9	0.00	—	—	—	0	12	0.16

注 . 这是 SEMR.ABCS 位为 “0” 时的例子。
如果将ABCS位置 “1”，位速率就变为原来的2倍。

表 31.13 对应位速率的 BRR 设定例子 （异步模式）（2）

位速率（bps）	工作频率 PCLK （MHz）											
	17.2032			18			19.6608			20		
	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）
110	3	75	0.48	3	79	–0.12	3	86	0.31	3	88	–0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	–0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	–1.36
31250	0	16	1.20	0	17	0.00	0	19	–1.70	0	19	0.00
38400	0	13	0.00	0	14	–2.34	0	15	0.00	0	15	1.73

位速率（bps）	工作频率 PCLK （MHz）											
	25			30			33			50		
	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）
110	3	110	–0.02	3	132	0.13	3	145	0.33	3	221	–0.02
150	3	80	0.47	3	97	–0.35	3	106	0.39	3	162	–0.15
300	2	162	–0.15	2	194	0.16	2	214	–0.07	3	80	0.47
600	2	80	0.47	2	97	–0.35	2	106	0.39	2	162	–0.15
1200	1	162	–0.15	1	194	0.16	1	214	–0.07	2	80	0.47
2400	1	80	0.47	1	97	–0.35	1	106	0.39	1	162	–0.15
4800	0	162	–0.15	0	194	0.16	0	214	–0.07	1	80	0.47
9600	0	80	0.47	0	97	–0.35	0	106	0.39	1	40	–0.77
19200	0	40	–0.76	0	48	–0.35	0	53	–0.54	0	80	0.47
31250	0	24	0.00	0	29	0	0	32	0	0	49	0.00
38400	0	19	1.73	0	23	1.73	0	26	–0.54	0	40	–0.77

注 . 这是 SEMR.ABCS 位为 “0” 时的例子。
如果将ABCS位置 “1”，位速率就变为原来的2倍。

表 31.14 各工作频率下的最大位速率 （异步模式）

PCLK （MHz）	最大位速率（bps）	n	N	PCLK （MHz）	最大位速率（bps）	n	N
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0
12	375000	0	0	25	781250	0	0
12.288	384000	0	0	30	937500	0	0
14	437500	0	0	33	1031250	0	0
16	500000	0	0	50	1562500	0	0
17.2032	537600	0	0				

注 . 如果将 SEMR.ABCS 位置 “1”，位速率就变为原来的 2 倍。

表 31.15 输入外部时钟时的最大位速率 （异步模式）（1）

PCLK （MHz）	外部输入时钟（MHz）	最大位速率（bps）	PCLK （MHz）	外部输入时钟（MHz）	最大位速率（bps）
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500
12	3.0000	187500	25	6.2500	390625
12.288	3.0720	192000	30	7.5000	468750
14	3.5000	218750	33	8.2500	515625
16	4.0000	250000	50	12.500	781250
17.2032	4.3008	268800			

注 . 这是 SEMR.ABCS 位为 “0”时的例子。

表 31.15 输入外部时钟时的最大位速率 （异步模式）（2）

PCLK （MHz）	外部输入时钟（MHz）	最大位速率（bps）	PCLK （MHz）	外部输入时钟（MHz）	最大位速率（bps）
8	2.0000	250000	18	4.5000	562500
9.8304	2.4576	307200	19.6608	4.9152	614400
10	2.5000	312500	20	5.0000	625000
12	3.0000	375000	25	6.2500	781250
12.288	3.0720	384000	30	7.5000	937500
14	3.5000	437500	33	8.2500	1031250
16	4.0000	500000	50	12.500	1562500
17.2032	4.3008	537600			

注 . 这是 SEMR.ABCS 位为 “1”时的例子。

表 31.16 对应位速率的 BRR 设定例子 （时钟同步模式、简易 SPI 模式）

位速率（bps）	工作频率 PCLK （MHz）															
	8		10		16		20		25		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	194
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	3	77
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	155
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	2	77
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	124
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	61
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	124
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	49
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	24
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	—	—
2M	0	0 (注1)	—	—	0	1	—	—	—	—	—	—	—	—	—	—
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	4
4M					0	0 (注1)	—	—	—	—	—	—	—	—	—	—
5M							0	0 (注1)	—	—	—	—	—	—	—	—
6.25M									0	0 (注1)	—	—	—	—	0	1
7.5M											0	0 (注1)	—	—	—	—
8.25M													0	0 (注1)	—	—

空栏：不能设定。

— ：能设定，但是会出现误差。

注 1. 不能进行连续的发送和接收。

表 31.17 输入外部时钟时的最大位速率 （时钟同步模式、简易 SPI 总线模式）

PCLK （MHz）	外部输入时钟（MHz）	最大位速率（bps）	PCLK （MHz）	外部输入时钟（MHz）	最大位速率（bps）
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	50	8.3333	8333333.3
18	3.0000	3000000.0			

表 31.18 对应位速率的 BRR 设定例子 （在智能卡接口模式中，n 为 “0” 并且 S 为 “372” 的情况）

位数率 （bps）	PCLK （MHz）	n	N	误差 （%）
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01
	33.00	0	4	7.59
	50.00	0	27	0.00

表 31.19 各工作频率下的最大位速率 （在智能卡接口模式中并且 S 为 “372” 的情况）

PCLK （MHz）	最大位速率 （bps）	n	N	PCLK （MHz）	最大位速率 （bps）	n	N
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
16.00	21505	0	0	33.00	44355	0	0
18.00	24194	0	0	50.00	67205	0	0

表 31.20 对应位速率的 BRR 设定例子 （简易 I^2C 模式）

位速率 （bps）	工作频率 PCLK （MHz）											
	8			10			16			20		
	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）
10k	0	24	0.0	0	31	–2.3	1	12	–3.8	1	15	–2.3
25k	0	9	0.0	0	12	–3.8	1	4	0.0	1	6	–10.7
50k	0	4	0.0	0	6	–10.7	1	2	–16.7	1	3	–21.9
100k	0	2	–16.7	0	3	–21.9	0	4	0.0	0	6	–10.7
250k	0	0	0.0	0	1	–37.5	0	1	0.0	0	2	–16.7
350k										0	1	–10.7

位速率 （bps）	工作频率 PCLK （MHz）											
	25			30			33			50		
	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）	n	N	误差 （%）
10k	1	19	–2.3	1	23	–2.3	1	25	–0.8	2	9	–2.3
25k	1	7	–2.3	1	9	–6.3	1	10	–6.3	2	3	–2.3
50k	1	3	–2.3	1	4	–6.3	1	5	–14.1	2	1	–2.3
100k	1	1	–2.3	1	2	–21.9	1	2	–14.1	1	3	–2.3
250k	0	3	–21.9	0	3	–6.3	0	4	–17.5	0	6	–10.7
350k	0	2	–25.6	0	2	–10.7	0	2	–1.8	0	4	–10.7

表 31.21 各位速率设定的 SCL High/Low 电平宽度最小值 （简易 I2C 模式）

SCL High/Low 电平宽度 min 值 （μs）	工作频率 PCLK （MHz）											
	8			10			16			20		
	n	N	High/Low 电平宽度	n	N	High/Low 电平宽度	n	N	High/Low 电平宽度	n	N	High/Low 电平宽度
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

SCL High/Low 电平宽度 min 值 （μs）	工作频率 PCLK （MHz）											
	25			30			33			50		
	n	N	High/Low 电平宽度	n	N	High/Low 电平宽度	n	N	High/Low 电平宽度	n	N	High/Low 电平宽度
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	2	9	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	2	3	17.92/20.48
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	2	1	8.96/10.24
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	1	3	4.48/5.12
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	6	1.96/2.24
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	4	1.40/1.60

31.2.10 串行扩展模式寄存器 （SEMR）

地址 SCI0.SEMR 0008 A007h、SCI1.SEMR 0008 A027h、SCI2.SEMR 0008 A047h、SCI3.SEMR 0008 A067h、SCI4.SEMR 0008 A087h、SCI5.SEMR 0008 A0A7h、SCI6.SEMR 0008 A0C7h、SCI7.SEMR 0008 A0E7h、SCI8.SEMR 0008 A107h、SCI9.SEMR 0008 A127h、SCI10.SEMR 0008 A147h、SCI11.SEMR 0008 A167h、SCI12.SEMR 0008 B307h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFEN	ABCS	—	—	—	ACS0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ACS0	异步时钟源选择位	（只在异步模式中有效） 0：外部时钟的输入 1：TMR 时钟的输入 （只对 SCI5、 SCI6 和 SCI12 有效） SCI 通道和比较匹配输出的对应如下所示： SCI / TMR / 比较匹配输出 SCI5 / 单元 0 / TMO0、 TMO1 SCI6 / 单元 1 / TMO2、 TMO3 SCI12 / 单元 0 / TMO0、 TMO1	R/W （注 1）
b3-b1	—	保留位	读写值都为 “0”。	R/W
b4	ABCS	异步基本时钟选择位	（只在异步模式中有效） 0：16 个基本时钟周期的时间为 1 位时间的传送率 1：8 个基本时钟周期的时间为 1 位时间的传送率	R/W （注 1）
b5	NFEN	数字噪声滤波器功能允许位	（异步模式） 0：RXDn 输入信号的噪声消除功能无效 1：RXDn 输入信号的噪声消除功能有效 （简易 I²C 模式） 0：SSCLn 和 SSDAn 输入信号的噪声消除功能无效 1：SSCLn 和 SSDAn 输入信号的噪声消除功能有效 在上述以外的模式中，必须将 NFEN 位置 “0”。	R/W （注 1）
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1. 只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写此位。

SEMR 寄存器选择异步模式中的 1 位时间的时钟。

对于 SCI5、SCI6 和 SCI12，能将 TMR 单元 0 和单元 1 的 TMOn（n=0 ～ 3）输出设定为串行传送的基本时钟。

选择 TMRn （n=0 ～ 3）的 TMOn 输出时的设定例子如图 31.4 所示。

ACS0 位 （异步时钟源选择位）

此位选择异步模式中的时钟源。

ACS0 位在异步模式 （SMR.CM 位 =0）中并且输入外部时钟 （SCR.CKE[1:0] 位 =10b、 11b）时有效。能选择外部时钟的输入或者内部 TMR 时钟的输入。

在异步模式以外的模式中，必须将此位置 “0”。

在 SCI5、 SCI6 和 SCI12 以外的通道时，此位为保留位，只能写 “0”。

NFEN 位 （数字噪声滤波器功能允许位）

此位选择数字噪声滤波器功能的有效或者无效。

如果置为有效，就在异步模式中消除 RXDn 输入信号的噪声，而在简易 I²C 模式中消除 SSDAn 和 SSCLn 输入信号的噪声。

在上述以外的模式中，必须将 NFEN 位置“0”，使数字噪声滤波器功能无效。如果将数字噪声滤波器功能置为无效，输入信号就直接作为内部信号而被传递。

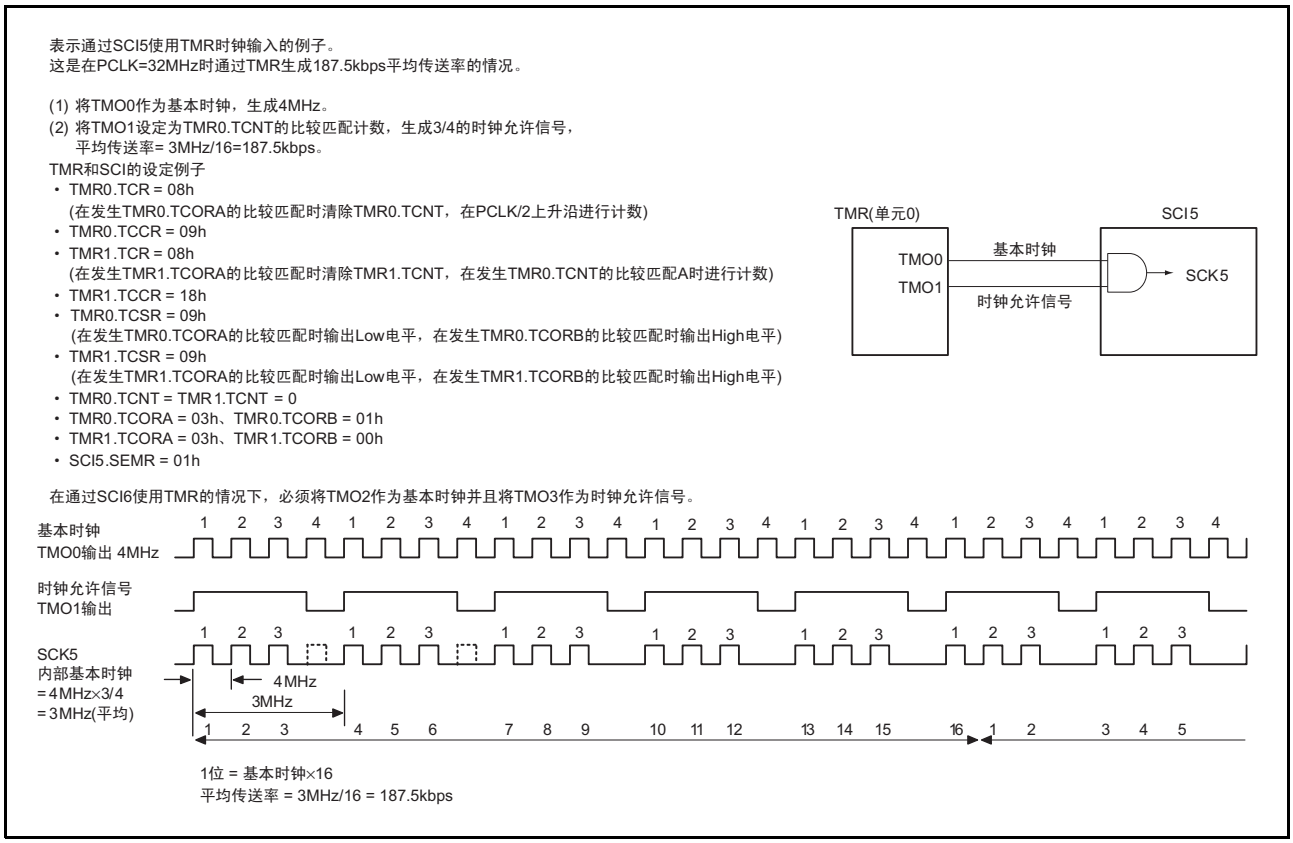


图 31.4 输入 TMR 时钟时的平均传送率的设定例子

31.2.11　噪声滤波器的设定寄存器 （SNFR）

地址　SCI0.SNFR 0008 A008h、SCI1.SNFR 0008 A028h、SCI2.SNFR 0008 A048h、SCI3.SNFR 0008 A068h、SCI4.SNFR 0008 A088h、SCI5.SNFR 0008 A0A8h、SCI6.SNFR 0008 A0C8h、SCI7.SNFR 0008 A0E8h、SCI8.SNFR 0008 A108h、SCI9.SNFR 0008 A128h、SCI10.SNFR 0008 A148h、SCI11.SNFR 0008 A168h、SCI12.SNFR 0008 B308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	NFCS[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	NFCS[2:0]	噪声滤波器的时钟选择位	在异步模式中，以基本时钟为基准。 b2　b0 ０００：将 1 分频时钟用于噪声滤波器 在简易 I2C 模式中，以 SMR.CKS[1:0] 位所选内部波特率发生器的时钟源为基准。 b2　b0 ００１：将 1 分频时钟用于噪声滤波器 ０１０：将 2 分频时钟用于噪声滤波器 ０１１：将 4 分频时钟用于噪声滤波器 １００：将 8 分频时钟用于噪声滤波器 上述以外：不能设定	R/W （注 1）
b7-b3	—	保留位	读写值都为 “0”。	R/W

注 1.　只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写这些位。

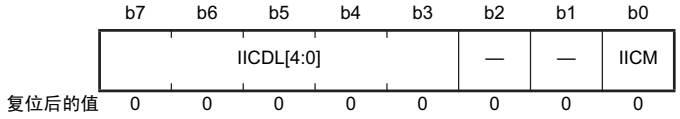
NFCS[2:0] 位 （噪声滤波器的时钟选择位）

这些位选择数字噪声滤波器的采样时钟。

在异步模式中使用噪声滤波器的情况下，必须置 “000b”；在简易 I2C 模式中使用噪声滤波器的情况下，必须置 “001b” ～ “100b” 中的任意一个值。

31.2.12　I²C 模式寄存器 1 （SIMR1）

地址　SCI0.SIMR1 0008 A009h、SCI1.SIMR1 0008 A029h、SCI2.SIMR1 0008 A049h、SCI3.SIMR1 0008 A069h、SCI4.SIMR1 0008 A089h、SCI5.SIMR1 0008 A0A9h、SCI6.SIMR1 0008 A0C9h、SCI7.SIMR1 0008 A0E9h、SCI8.SIMR1 0008 A109h、SCI9.SIMR1 0008 A129h、SCI10.SIMR1 0008 A149h、SCI11.SIMR1 0008 A169h、SCI12.SIMR1 0008 B309h



位	符号	位名	功能	R/W
b0	IICM	简易 I²C 模式选择位	SMIF IICM 0　0：串行接口模式 （异步模式、时钟同步模式或者简易 SPI 模式） 0　1：简易 I²C 模式 1　0：智能卡接口模式 1　1：不能设定	R/W （注 1）
b2-b1	—	保留位	读写值都为 “0”。	R/W
b7-b3	IICDL[4:0]	SSDA 输出延迟选择位	（以内部波特率发生器的时钟源为基准） b7　b3 0 0 0 0 0：没有输出延迟 0 0 0 0 1：0 ～ 1 个周期 0 0 0 1 0：1 ～ 2 个周期 0 0 0 1 1：2 ～ 3 个周期 0 0 1 0 0：3 ～ 4 个周期 0 0 1 0 1：4 ～ 5 个周期 ：　： 1 1 1 1 0：29 ～ 30 个周期 1 1 1 1 1：30 ～ 31 个周期	R/W （注 1）

注 1.　只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写这些位。

SIMR1 寄存器是用于选择简易 I²C 模式和 SSDA 输出延迟段数的寄存器。

IICM 位 （简易 I²C 模式选择位）

此位通过和 SCMR.SMIF 位的组合来选择运行模式。

IICDL[4:0] 位 （SSDA 输出延迟选择位）

这些位选择相对于 SSCLn 引脚输出的下降沿的 SSDAn 引脚输出的延迟。能将内部波特率发生器的时钟源作为 1 个周期，选择无延迟～ 31 个周期。内部波特率发生器的时钟源是指通过设定 SMR.CKS[1:0] 位将 PCLK 进行分频的时钟。在简易 I²C 模式中必须将这些位置 “00001b” ～ “11111b” 中的任意一个值，在其他模式中必须置 “00000b”。

31.2.13　I²C 模式寄存器 2 （SIMR2）

地址　SCI0.SIMR2 0008 A00Ah、SCI1.SIMR2 0008 A02Ah、SCI2.SIMR2 0008 A04Ah、SCI3.SIMR2 0008 A06Ah、SCI4.SIMR2 0008 A08Ah、SCI5.SIMR2 0008 A0AAh、SCI6.SIMR2 0008 A0CAh、SCI7.SIMR2 0008 A0EAh、SCI8.SIMR2 0008 A10Ah、SCI9.SIMR2 0008 A12Ah、SCI10.SIMR2 0008 A14Ah、SCI11.SIMR2 0008 A16Ah、SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACKT	—	—	—	IICCSC	IICINTM
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IICINTM	I²C 中断模式选择位	0：使用 ACK/NACK 中断 1：使用接收中断和发送中断	R/W （注 1）
b1	IICCSC	时钟同步位	0：不进行时钟同步 1：进行时钟同步	R/W （注 1）
b4-b2	—	保留位	读写值都为 “0”。	R/W
b5	IICACKT	ACK 发送数据位	0：发送 ACK 1：发送 NACK 或者接收 ACK/NACK	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1.　只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写这些位。

SIMR2 寄存器是用于选择简易 I²C 模式的发送 / 接收控制的寄存器。

IICINTM 位 （I²C 中断模式选择位）

此位选择简易 I²C 模式中的中断请求源。

IICCSC 位 （时钟同步位）

在为了使其他设备插入等待而将 SSCLn 引脚置为 Low 电平的情况下，如果要与内部生成的 SSCLn 时钟取得同步，就将 IICCSC 位置 “1”。

如果将 IICCSC 位置 “0”，就不进行 SSCLn 时钟的同步。与 SSCLn 引脚的输入无关，根据 BRR 寄存器设定的位速率生成 SSCLn 时钟。

除了调试以外，必须将 IICCSC 位置 “1”。

IICACKT 位 （ACK 发送数据位）

此位保存发送数据的 ACK 位。必须在接收 ACK/NACK 位时将此位置 “1”。

31.2.14 I²C 模式寄存器 3 （SIMR3）

地址　SCI0.SIMR3 0008 A00Bh、SCI1.SIMR3 0008 A02Bh、SCI2.SIMR3 0008 A04Bh、SCI3.SIMR3 0008 A06Bh、SCI4.SIMR3 0008 A08Bh、SCI5.SIMR3 0008 A0ABh、SCI6.SIMR3 0008 A0CBh、SCI7.SIMR3 0008 A0EBh、SCI8.SIMR3 0008 A10Bh、SCI9.SIMR3 0008 A12Bh、SCI10.SIMR3 0008 A14Bh、SCI11.SIMR3 0008 A16Bh、SCI12.SIMR3 0008 B30Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTP REQ	IICRST AREQ	IICSTA REQ
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IICSTAREQ	开始条件生成位	0：不生成开始条件 1：生成开始条件（注 1、注 3、注 4）	R/W
b1	IICRSTAREQ	重新开始条件生成位	0：不生成重新开始条件 1：生成重新开始条件（注 2、注 3、注 4）	R/W
b2	IICSTPREQ	停止条件生成位	0：不生成停止条件 1：生成停止条件（注 2、注 3、注 4）	R/W
b3	IICSTIF	开始 / 重新开始 / 停止条件的生成结束标志	0：没有各条件生成请求的状态或者正在生成的状态 1：各条件生成结束的状态	R/W
b5-b4	IICSDAS[1:0]	SSDA 输出选择位	b5 b4 0 0：串行数据输出 0 1：生成开始条件、重新开始条件和停止条件 1 0：SSDAn 引脚输出 Low 电平 1 1：SSDAn 引脚为高阻抗状态	R/W
b7-b6	IICSCLS[1:0]	SSCL 输出选择位	b7 b6 0 0：串行时钟输出 0 1：生成开始条件、重新开始条件和停止条件 1 0：SSCLn 引脚输出 Low 电平 1 1：SSCLn 引脚为高阻抗状态	R/W

注 1.　必须确认总线状态并且在总线空闲的状态下生成开始条件。

注 2.　必须确认总线状态并且在总线忙的状态下生成重新开始条件或者停止条件。

注 3.　不能将 IICSTAREQ 位、 IICRSTAREQ 位或者 IICSTPREQ 位中的 2 位或者全部置 “1”。

注 4.　必须在将 IICSTIF 标志置 “0” 后生成各条件。

SIMR3 寄存器用于对简易 I²C 模式的开始条件和停止条件的生成以及对 SSDAn 引脚和 SSCLn 引脚输出值的固定进行控制。

IICSTAREQ 位 （开始条件生成位）

在生成开始条件时，必须在将 IICSTAREQ 位置 “1” 的同时将 IICSDAS[1:0] 位和 IICSCLS[1:0] 位分别置 “01b”。

[为 “1” 的条件]

- 当写 “1” 时

[为 “0” 的条件]

- 当开始条件生成结束时

IICRSTAREQ 位 （重新开始条件生成位）

在生成重新开始条件时，必须在将 IICRSTAREQ 位置“1”的同时将 IICSDAS[1:0] 位和 IICSCLS[1:0] 位分别置 “01b”。

[为 “1” 的条件]

- 当写 “1” 时

[为 “0” 的条件]

- 当重新开始条件生成结束时

IICSTPREQ 位 （停止条件生成位）

在生成停止条件时，必须在将 IICSTPREQ 位置 “1” 的同时将 IICSDAS[1:0] 位和 IICSCLS[1:0] 位分别置 “01b”。

[为 “1” 的条件]

- 当写 “1” 时

[为 “0” 的条件]

- 当停止条件生成结束时

IICSTIF 标志 （开始 / 重新开始 / 停止条件的生成结束标志）

此标志表示在生成各条件后生成结束的状态。必须在将 IICSTIF 标志置 “0” 后，通过 IICSTAREQ 位、IICRSTAREQ 位和 IICSTPREQ 位生成各条件。

在通过 SCR.TEIE 位允许中断请求的状态下，在 IICSTIF 标志为 “1” 时输出开始 / 重新开始 / 停止条件的生成结束中断 （STI）请求。

[为 “1” 的条件]

- 当开始、重新开始和停止的各条件生成结束时 （如果和为 “0” 的条件发生冲突，就优先为 “0” 的条件。）

[为 “0” 的条件]

- 当写 “0” 时 （必须确认 IICSTIF 标志已变为 “0”）
- 当 SIMR1.IICM 位为 “0” 时 （简易 I^2C 模式除外）
- 当 SCR.TE 位为 “0” 时

IICSDAS 位 （SSDA 输出选择位）

此位控制 SSDAn 引脚的输出。

在正常运行时，必须给 IICSDAS 位和 IICSCLS 位设定相同的值。

IICSCLS 位 （SSCL 输出选择位）

此位控制 SSCLn 引脚的输出。

在正常运行时，必须给 IICSCLS 位和 IICSDAS 位设定相同的值。

31.2.15 I²C 状态寄存器 （SISR）

地址 SCI0.SISR 0008 A00Ch、SCI1.SISR 0008 A02Ch、SCI2.SISR 0008 A04Ch、SCI3.SISR 0008 A06Ch、SCI4.SISR 0008 A08Ch、SCI5.SISR 0008 A0ACh、SCI6.SISR 0008 A0CCh、SCI7.SISR 0008 A0ECh、SCI8.SISR 0008 A10Ch、SCI9.SISR 0008 A12Ch、SCI10.SISR 0008 A14Ch、SCI11.SISR 0008 A16Ch、SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
复位后的值	0	0	x	x	0	x	0	0

x： 不定值

位	符号	位名	功能	R/W
b0	IICACKR	ACK 接收数据标志	0：接收 ACK 1：接收 NACK	R/W （注 1）
b1	—	保留位	读写值都为 “0”。	R/W
b2	—	保留位	读取值为不定值。	R
b3	—	保留位	读写值都为 “0”。	R/W
b5-b4	—	保留位	读取值为不定值。	R
b7-b6	—	保留位	读写值都为 “0”。	R/W

注 1. 为了清除标志，只能写 “0”。

SISR 寄存器监视简易 I²C 模式的相关状态。

IICACKR 标志 （ACK 接收数据标志）

此标志能读已接收的 ACK/NACK 位。

在接收 ACK/NACK 的位的 SSCLn 时钟上升时更新 IICACK 标志。

31.2.16 SPI 模式寄存器 （SPMR）

地址 SCI0.SPMR 0008 A00Dh、SCI1.SPMR 0008 A02Dh、SCI2.SPMR 0008 A04Dh、SCI3.SPMR 0008 A06Dh、SCI4.SPMR 0008 A08Dh、SCI5.SPMR 0008 A0ADh、SCI6.SPMR 0008 A0CDh、SCI7.SPMR 0008 A0EDh、SCI8.SPMR 0008 A10Dh、SCI9.SPMR 0008 A12Dh、SCI10.SPMR 0008 A14Dh、SCI11.SPMR 0008 A16Dh、SCI12.SPMR 0008 B30Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SSE	SS 引脚功能允许位	0：禁止 SS 引脚功能 1：允许 SS 引脚功能	R/W （注 1）
b1	CTSE	CTS 允许位	0：禁止 CTS 功能 （RTS 输出功能有效） 1：允许 CTS 功能	R/W （注 1）
b2	MSS	主控从属选择位	0：TXDn 引脚：发送、 RXDn 引脚：接收 （主控模式） 1：TXDn 引脚：接收、 RXDn 引脚：发送 （从属模式）	R/W （注 1）
b3	—	保留位	读写值都为 “0”。	R/W
b4	MFF	模式故障标志	0：没有模式故障错误 1：有模式故障错误	R/W （注 2）
b5	—	保留位	读写值都为 “0”。	R/W
b6	CKPOL	时钟极性选择位	0：没有时钟极性反相 1：有时钟极性反相	R/W （注 1）
b7	CKPH	时钟相位选择位	0：没有时钟延迟 1：有时钟延迟	R/W （注 1）

注 1. 只能在 SCR.TE 位和 SCR.RE 位都为 “0”（禁止串行发送和串行接收）时写这些位。

注 2. 为了清除标志，只能写 “0”。

SPMR 寄存器是用于选择异步模式和时钟同步模式扩展设定的寄存器。

SSE 位 （SS 引脚功能允许位）

在使用 SSn# 引脚进行发送和接收控制时 （简易 SPI 模式），将此位置 “1”，而在其他通信模式中，必须将此位置 “0”。即使在简易 SPI 模式中，如果用于主控模式 （SCR.CKE[1:0] 位 =00b 并且 MSS 位 =0）的单主控，就不需要使用主控侧的 SSn# 引脚进行发送和接收控制，并且将 SSE 位置 “0”。不能将 SSE 位和 CTSE 位都置为有效 （如果设定，两位就都变为无效）。

CTSE 位 （CTS 允许位）

在将 SSn# 引脚用作 CTS 控制信号输入引脚进行发送和接收控制时，将此位置 “1”。在将此位置 “0” 的状态下输出 RTS 信号。在智能卡接口模式、简易 SPI 模式和简易 I²C 模式中，必须将此位置 “0”。不能将 CTSE 位和 SSE 位都置为有效 （即使设定也无效）。

MSS 位 （主控从属选择位）

此位在简易 SPI 模式中选择主控模式和从属模式。如果将 MSS 位置 “1”， TXDn 引脚和 RXDn 引脚的功能就相反，从 TXDn 引脚输入接收数据并且从 RXDn 引脚输出发送数据。

在简易 SPI 模式以外的模式中，必须将此位置 “0”。

MFF 标志 （模式故障标志）

此标志表示发生了模式故障错误。

在多主控模式中，必须通过读 MFF 标志来判断模式故障错误。

[为 “1” 的条件]

- 在设定为简易SPI模式的主控模式（SSE位=1并且MSS位=0）的情况下SSn#引脚的输入变为Low电平时。

[为 “0” 的条件]

- 在读 “1” 的状态后写 “0” 时

CKPOL 位 （时钟极性选择位）

此位选择 SCKn 引脚的时钟输出极性，详细内容请参照图 31.52。

在简易 SPI 模式和时钟同步模式以外的模式中，必须将此位置 “0”。

CKPH 位 （时钟相位选择位）

此位选择 SCKn 引脚的时钟输出的相位设定，详细内容请参照图 31.52。

在简易 SPI 模式和时钟同步模式以外的模式中，必须将此位置 “0”。

31.2.17 扩展串行模式有效寄存器 （ESMER）

地址 SCI12.ESMER 0008 B320h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ESME
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ESME	扩展串行模式有效位	0：扩展串行模式无效 1：扩展串行模式有效	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

ESME 位 （扩展串行模式有效位）

当 ESME 位为 “1” 时，扩展串行模式控制部有效。

当将 ESME 位置 “0” 时，为以下状态：

- 扩展串行模式控制部为被初始化的状态。

表 31.22 ESME 位的设定和定时器运行模式的运行保证

ESME 位	定时器模式	Break Field Low width 判定模式	Break Field Low width 输出模式
0	○ （注 1）	×	×
1	○	○	○

○：需要运行保证。×：不需要运行保证。

注 1. 只在选择 PCLK 时运行。

31.2.18 控制寄存器 0 （CR0）

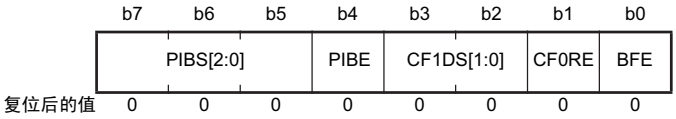
地址 SCI12.CR0 0008 B321h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	BRME	RXDSF	SFSF	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	—	保留位	读写值都为 “0”。	R/W
b1	SFSF	Start Frame 状态标志	0：Start Frame 检测功能无效状态 1：Start Frame 检测功能有效状态	R
b2	RXDSF	RXDX12 输入状态标志	0：RXDX12 输入允许状态 1：RXDX12 输入禁止状态	R
b3	BRME	位速率测量允许位	0：位速率测量无效 1：位速率测量有效	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

31.2.19 控制寄存器 1 （CR1）

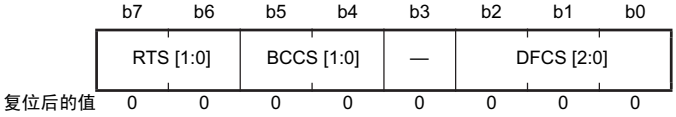
地址 SCI12.CR1 0008 B322h



位	符号	位名	功能	R/W
b0	BFE	Break Field 允许位	0：Break Field 的检测无效 1：Break Field 的检测有效	R/W
b1	CF0RE	Control Field 0 接收允许位	0：Control Field 0 的接收无效 1：Control Field 0 的接收有效	R/W
b3-b2	CF1DS[1:0]	Control Field 1 数据寄存器选择位	b3 b2 0 0：选择 PCF1DR 作为比较数据 0 1：选择 SCF1DR 作为比较数据 1 0：选择 PCF1DR 和 SCF1DR 作为比较数据 1 1：不能设定	R/W
b4	PIBE	优先级中断位的允许位	0：优先级中断位无效 1：优先级中断位有效	R/W
b7-b5	PIBS[2:0]	优先级中断位的选择位	b7 b5 0 0 0：Control Field 1 第 0 位 0 0 1：Control Field 1 第 1 位 0 1 0：Control Field 1 第 2 位 0 1 1：Control Field 1 第 3 位 1 0 0：Control Field 1 第 4 位 1 0 1：Control Field 1 第 5 位 1 1 0：Control Field 1 第 6 位 1 1 1：Control Field 1 第 7 位	R/W

31.2.20 控制寄存器 2 （CR2）

地址 SCI12.CR2 0008 B323h



位	符号	位名	功能	R/W
b2-b0	DFCS[2:0]	RXDX12 信号数字滤波器的时钟选择位	b2 b0 0 0 0：滤波器无效 0 0 1：滤波器有效 （SCI 基本时钟） 0 1 0：滤波器有效 （SCI 基本时钟 /8） 0 1 1：滤波器有效 （SCI 基本时钟 /16） 1 0 0：滤波器有效 （SCI 基本时钟 /32） 1 0 1：滤波器有效 （SCI 基本时钟 /64） 1 1 0：滤波器有效 （SCI 基本时钟 /128） 1 1 1：不能设定	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b5-b4	BCCS[1:0]	总线冲突检测时钟选择位	b5 b4 0 0：SCI 基本时钟 0 1：SCI 基本时钟的 2 分频 1 0：SCI 基本时钟的 4 分频 1 1：不能设定	R/W
b7-b6	RTS[1:0]	RXDX12 接收采样时序选择位	• SCI12.SEMR.ABCS 位为 “0”的情况 b7 b6 0 0：SCI 基本时钟的第 8 个上升沿 0 1：SCI 基本时钟的第 10 个上升沿 1 0：SCI 基本时钟的第 12 个上升沿 1 1：SCI 基本时钟的第 14 个上升沿 • SCI12.SEMR.ABCS 位为 “1”的情况 b7 b6 0 0：SCI 基本时钟的第 4 个上升沿 0 1：SCI 基本时钟的第 5 个上升沿 1 0：SCI 基本时钟的第 6 个上升沿 1 1：SCI 基本时钟的第 7 个上升沿	R/W

注 . 当 SCI12.SEMR.ABCS 为“0”时，SCI 基本时钟为 1 个数据期间的 1/16 个周期；当 SCI12.SEMR.ABCS 为“1”时，SCI 基本时钟为 1 个数据期间的 1/8 个周期。在使用 SCI 基本时钟的情况下，必须将 SCI12.SCR.TE 位置“1”。

31.2.21 控制寄存器 3 （CR3）

地址 SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SDST	Start Frame 检测开始位	0：不进行 Start Frame 的检测 1：进行 Start Frame 的检测	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

SDST 位 （Start Frame 检测开始位）

如果将 SDST 位置 “1”，就开始检测 Start Frame。读取值为 “0”。

31.2.22 端口控制寄存器 （PCR）

地址 SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXPS	TXDXPS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TXDXPS	TXDX12 信号极性选择位	0：不将 TXDX12 信号极性进行反相输出 1：将 TXDX12 信号极性进行反相输出	R/W
b1	RXDXPS	RXDX12 信号极性选择位	0：不将 RXDX12 极性进行反相输入 1：将 RXDX12 极性进行反相输入	R/W
b3-b2	—	保留位	读写值都为 “0”。	R/W
b4	SHARPS	TXDX12/RXDX12 引脚兼用选择位	0：TXDX12 引脚和 RXDX12 引脚独立 1：TXDX12 引脚和 RXDX12 引脚兼用	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

SHARPS 位 （TXDX12/RXDX12 引脚兼用选择位）

当 SHARPS 位为 “1”时，能进行 TXDX12 引脚和 RXDX12 引脚兼用的半双工通信。

31.2.23 中断控制寄存器 （ICR）

地址 SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BFDIE	Break Field Low width 检测中断允许位	0：禁止 Break Field Low width 检测中断 1：允许 Break Field Low width 检测中断	R/W
b1	CF0MIE	Control Field 0 相同中断允许位	0：禁止 Control Field 0 相同中断 1：允许 Control Field 0 相同中断	R/W
b2	CF1MIE	Control Field 1 相同中断允许位	0：禁止 Control Field 1 相同中断 1：允许 Control Field 1 相同中断	R/W
b3	PIBDIE	优先级中断位的检测中断允许位	0：禁止优先级中断位检测中断 1：允许优先级中断位检测中断	R/W
b4	BCDIE	总线冲突检测中断允许位	0：禁止总线冲突检测中断 1：允许总线冲突检测中断	R/W
b5	AEDIE	有效边沿检测中断允许位	0：禁止有效边沿检测中断 1：允许有效边沿检测中断	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

31.2.24 状态寄存器 （STR）

地址 SCI12.STR 0008 B327h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BFDF	Break Field Low width 检测标志	[为 “1” 的条件] • 当检测到 Break Field Low width 时 • 当 Break Field Low width 输出结束时 • 当定时器发生下溢时 [为 “0” 的条件] • 当给 STCR.BFDCL 位写 “1” 时	R
b1	CF0MF	Control Field 0 相同标志	[为 “1” 的条件] • 当 Control Field 0 的接收数据和设定的数据相同时 [为 “0” 的条件] • 当给 STCR.CF0MCL 位写 “1” 时	R
b2	CF1MF	Control Field 1 相同标志	[为 “1” 的条件] • 当 Control Field 1 的接收数据和设定的数据相同时 [为 “0” 的条件] • 当给 STCR.CF1MCL 位写 “1” 时	R
b3	PIBDF	优先级中断位检测标志	[为 “1” 的条件] • 当检测到优先级中断位时 [为 “0” 的条件] • 当给 STCR.PIBDCL 位写 “1” 时	R
b4	BCDF	总线冲突检测标志	[为 “1” 的条件] • 当检测到总线冲突时 [为 “0” 的条件] • 当给 STCR.BCDCL 位写 “1” 时	R
b5	AEDF	有效边沿检测标志	[为 “1” 的条件] • 当检测到有效边沿时 [为 “0” 的条件] • 当给 STCR.AEDCL 位写 “1” 时	R
b7-b6	—	保留位	读取值为 “0”，写操作无效。	R

31.2.25 状态清除寄存器 （STCR）

地址 SCI12.STCR 0008 B328h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDCL	BCDCL	PIBDCL	CF1MCL	CF0MCL	BFDCL
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BFDCL	BFDF 清除位	如果将 BFDCL 位置“1”，就清除 STR.BFDF 标志。读取值为 “0”。	R/W
b1	CF0MCL	CF0MF 清除位	如果将 CF0MCL 位置“1”，就清除 STR.CF0MF 标志。读取值为 “0”。	R/W
b2	CF1MCL	CF1MF 清除位	如果将CF1MCL位置“1”，就清除STR.CF1MF标志。读取值为 “0”。	R/W
b3	PIBDCL	PIBDF 清除位	如果将 PIBDCL 位置 “1”， 就清除 STR.PIBDF 标志。读取值为 “0”。	R/W
b4	BCDCL	BCDF 清除位	如果将BCDCL位置“1”，就清除STR.BCDF标志。读取值为 “0”。	R/W
b5	AEDCL	AEDF 清除位	如果将AEDCL位置“1”，就清除STR.AEDF标志。读取值为 “0”。	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

31.2.26 Control Field 0 数据寄存器 （CF0DR）

地址 SCI12.CF0DR 0008 B329h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0

CF0DR 寄存器是保存 Control Field 0 比较数据的 8 位可读写寄存器。

31.2.27 Control Field 0 比较允许寄存器 （CF0CR）

地址 SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CF0CE0	Control Field 0 bit0 的比较允许位	0：Control Field 0 bit0 的比较无效 1：Control Field 0 bit0 的比较有效	R/W
b1	CF0CE1	Control Field 0 bit1 的比较允许位	0：Control Field 0 bit1 的比较无效 1：Control Field 0 bit1 的比较有效	R/W
b2	CF0CE2	Control Field 0 bit2 的比较允许位	0：Control Field 0 bit2 的比较无效 1：Control Field 0 bit2 的比较有效	R/W
b3	CF0CE3	Control Field 0 bit3 的比较允许位	0：Control Field 0 bit3 的比较无效 1：Control Field 0 bit3 的比较有效	R/W
b4	CF0CE4	Control Field 0 bit4 的比较允许位	0：Control Field 0 bit4 的比较无效 1：Control Field 0 bit4 的比较有效	R/W
b5	CF0CE5	Control Field 0 bit5 的比较允许位	0：Control Field 0 bit5 的比较无效 1：Control Field 0 bit5 的比较有效	R/W
b6	CF0CE6	Control Field 0bit 6 的比较允许位	0：Control Field 0 bit6 的比较无效 1：Control Field 0 bit6 的比较有效	R/W
b7	CF0CE7	Control Field 0 bit7 的比较允许位	0：Control Field 0 bit7 的比较无效 1：Control Field 0 bit7 的比较有效	R/W

31.2.28 Control Field 0 接收数据寄存器 （CF0RR）

地址 SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0

CF0RR 寄存器是保存 Control Field 0 接收数据的 8 位可读寄存器。 CPU 和 DTC 不能写 CF0RR 寄存器。

31.2.29 主 Control Field 1 数据寄存器 （PCF1DR）

地址 SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0

PCF1DR 寄存器是保存 Control Field 1 主比较数据的 8 位可读写寄存器。

31.2.30 次 Control Field 1 数据寄存器 （SCF1DR）

地址 SCI12.SCF1DR 0008 B32Dh

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0

SCF1DR 寄存器是保存 Control Field 1 次比较数据的 8 位可读写寄存器。

31.2.31 Control Field 1 比较允许寄存器 （CF1CR）

地址 SCI12.CF1CR 0008 B32Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	CF1CE7	CF1CE6	CF1CE5	CF1CE4	CF1CE3	CF1CE2	CF1CE1	CF1CE0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CF1CE0	Control Field 1 bit0 的比较允许位	0：Control Field 1 bit0 的比较无效 1：Control Field 1 bit0 的比较有效	R/W
b1	CF1CE1	Control Field 1 bit1 的比较允许位	0：Control Field 1 bit1 的比较无效 1：Control Field 1 bit1 的比较有效	R/W
b2	CF1CE2	Control Field 1 bit2 的比较允许位	0：Control Field 1 bit2 的比较无效 1：Control Field 1 bit2 的比较有效	R/W
b3	CF1CE3	Control Field 1 bit3 的比较允许位	0：Control Field 1 bit3 的比较无效 1：Control Field 1 bit3 的比较有效	R/W
b4	CF1CE4	Control Field 1 bit4 的比较允许位	0：Control Field 1 bit4 的比较无效 1：Control Field 1 bit4 的比较有效	R/W
b5	CF1CE5	Control Field 1 bit5 的比较允许位	0：Control Field 1 bit5 的比较无效 1：Control Field 1 bit5 的比较有效	R/W
b6	CF1CE6	Control Field 1 bit6 的比较允许位	0：Control Field 1 bit6 的比较无效 1：Control Field 1 bit6 的比较有效	R/W
b7	CF1CE7	Control Field 1 bit7 的比较允许位	0：Control Field 1 bit7 的比较无效 1：Control Field 1 bit7 的比较有效	R/W

31.2.32 Control Field 1 接收数据寄存器 （CF1RR）

地址 SCI12.CF1RR 0008 B32Fh

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0

CF1RR 寄存器是保存 Control Field 1 接收数据的 8 位可读寄存器。 CPU 和 DTC 不能写 CF1RR 寄存器。

31.2.33 定时器的控制寄存器 （TCR）

地址 SCI12.TCR 0008 B330h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCST
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TCST	定时器的计数开始位	0：定时器停止计数 1：定时器开始计数	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

31.2.34 定时器的模式寄存器 （TMR）

地址 SCI12.TMR 0008 B331h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TCSS[2:0]			TWRC	—	TOMS[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	TOMS[1:0]	定时器运行模式选择位 （注 1）	b1 b0 0 0：定时器模式 0 1：Break Field Low width 判定模式 1 0：Break Field Low width 输出模式 1 1：不能设定	R/W
b2	—	保留位	读写值都为 “0”。	R/W
b3	TWRC	计数器的写控制位	0：写重加载寄存器和计数器 1：只写重加载寄存器	R/W
b6-b4	TCSS[2:0]	定时器的计数时钟源选择位 （注 1）	b6 b4 0 0 0：PCLK 0 0 1：PCLK/2 0 1 0：PCLK/4 0 1 1：PCLK/8 1 0 0：PCLK/16 1 0 1：PCLK/32 1 1 0：PCLK/64 1 1 1：PCLK/128	R/W
b7	—	保留位	读写值都为 “0”。	R/W

注 1. 必须在定时器停止计数时 （TCST=0）改写 TOMS[1:0] 位和 TCSS[2:0] 位。

TWRC 位 （计数器的写控制位）

在写 TCNT 寄存器和 TPRE 寄存器时，此位选择是只写重加载寄存器还是写重加载寄存器和计数器。

31.2.35 定时器的预分频寄存器 （TPRE）

地址 SCI12.TPRE 0008 B332h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1

TPRE寄存器由8位重加载寄存器、读缓冲器和计数器构成，初始值都为“FFh”。计数器通过TMR.TCSS[2:0]位选择的计数时钟源进行递减计数。如果发生下溢，就将重加载寄存器的值装入到计数器，而且下溢为 TCNT 计数器的计数时钟源。重加载寄存器和读缓冲器被分配在同一地址，在写此寄存器时，将值写到重加载寄存器；在读此寄存器时，读取值为传送到读缓冲器的计数值。在将重加载寄存器的值装入到计数器时，需要 1 个系统运行时钟。

31.2.36 定时器的计数器 （TCNT）

地址 SCI12.TCNT 0008 B333h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1

TCNT 计数器由 8 位重加载寄存器、读缓冲器和计数器构成，初始值都为 “FFh”。对 TPRE 寄存器的下溢进行递减计数，如果 TCNT 计数器发生下溢，就将重加载寄存器的值装入到计数器。重加载寄存器和读缓冲器被分配在同一地址，在写此计数器时，将值写到重加载寄存器；在读此计数器时，读取值为传送到读缓冲器的计数值。在将重加载寄存器的值装入到计数器时，需要 1 个系统运行时钟。

31.3 异步模式的运行

异步串行通信的一般数据格式如图 31.5 所示。

按照起始位 （Low 电平）、发送 / 接收数据、奇偶校验位、停止位 （High 电平）的顺序构成 1 帧。

在异步串行通信模式中，通信线路通常保持标记状态 （High 电平）。

SCI 监视通信线路，如果检测到 Low 电平，就视为起始位并且开始串行通信。

SCI 内部的发送部和接收部各自独立，因此能进行全双工通信。因为发送部和接收部都为双缓冲结构，所以能在发送和接收时读写数据，也能进行连续的发送和接收。

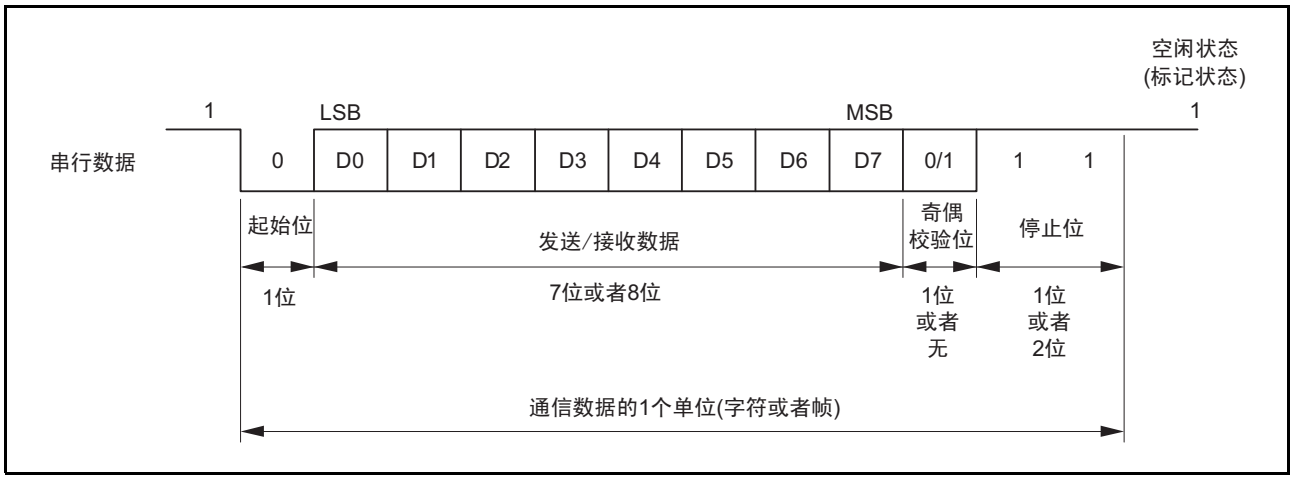


图 31.5 异步串行通信的数据格式 （8 位数据 / 有奇偶校验 /2 个停止位的例子）

31.3.1 串行发送 / 接收格式

异步模式中能设定的串行发送 / 接收格式如表 31.23 所示。

串行发送 / 接收格式有 12 种，能通过设定 SMR 寄存器进行选择。有关多处理器通信功能的详细内容，请参照 “31.4 多处理器通信功能”。

表 31.23 串行发送 / 接收格式 （异步模式）

SMR的设定				串行发送/接收格式和帧长
CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	0	S 8位数据 STOP
0	0	0	1	S 8位数据 STOP STOP
0	1	0	0	S 8位数据 P STOP
0	1	0	1	S 8位数据 P STOP STOP
1	0	0	0	S 7位数据 STOP
1	0	0	1	S 7位数据 STOP STOP
1	1	0	0	S 7位数据 P STOP
1	1	0	1	S 7位数据 P STOP STOP
0	—	1	0	S 8位数据 MPB STOP
0	—	1	1	S 8位数据 MPB STOP STOP
1	—	1	0	S 7位数据 MPB STOP
1	—	1	1	S 7位数据 MPB STOP STOP

S ： 起始位
STOP ： 停止位
P ： 奇偶校验位
MPB ： 多处理器位

31.3.2　异步模式的接收数据采样时序和接收容限

在异步模式中， SCI 通过频率为 16 倍位速率 （注 1） 的基本时钟运行。

在接收时，通过基本时钟对起始位的下降沿进行采样，并且与内部取得同步。如图 31.6 所示，通过在基本时钟的第 8 个周期 （注 1） 的上升沿对接收数据进行采样，在各位的中央取数据。因此，能用表达式 （1） 表示异步模式的接收容限。

$$M=\left|(0.5-\frac{1}{2N})-(L-0.5)F-\frac{|D-0.5|}{N}(1+F)\right|\times 100\ \ [\%]\qquad \cdots \text{ 表达式(1)}$$

M： 接收容限
N： 对应时钟的位速率比
(当SEMR.ABCS位为“0”时，N=16；当ABCS位为“1”时，N=8)
D： 时钟的占空比(D=0.5～1.0)
L ： 帧长(L=9～12)
F ： 时钟频率的偏差绝对值

假设表达式 （1） 中的 F （时钟频率的偏差绝对值） 为 “0”， D （时钟的占空比） 为 “0.5”，则

$M=\{0.5-1/(2\times 16)\}\times 100\ [\%]=46.875\%$

但是，此值毕竟是计算值，在进行系统设计时，必须留出 20 ～ 30% 的容限。

注 1.　这是 SEMR.ABCS 位为 “0” 时的例子。当 ABCS 位为 “1” 时，基本时钟的频率为位速率的 8 倍，在基本时钟的第 4 个上升沿对接收数据进行采样。

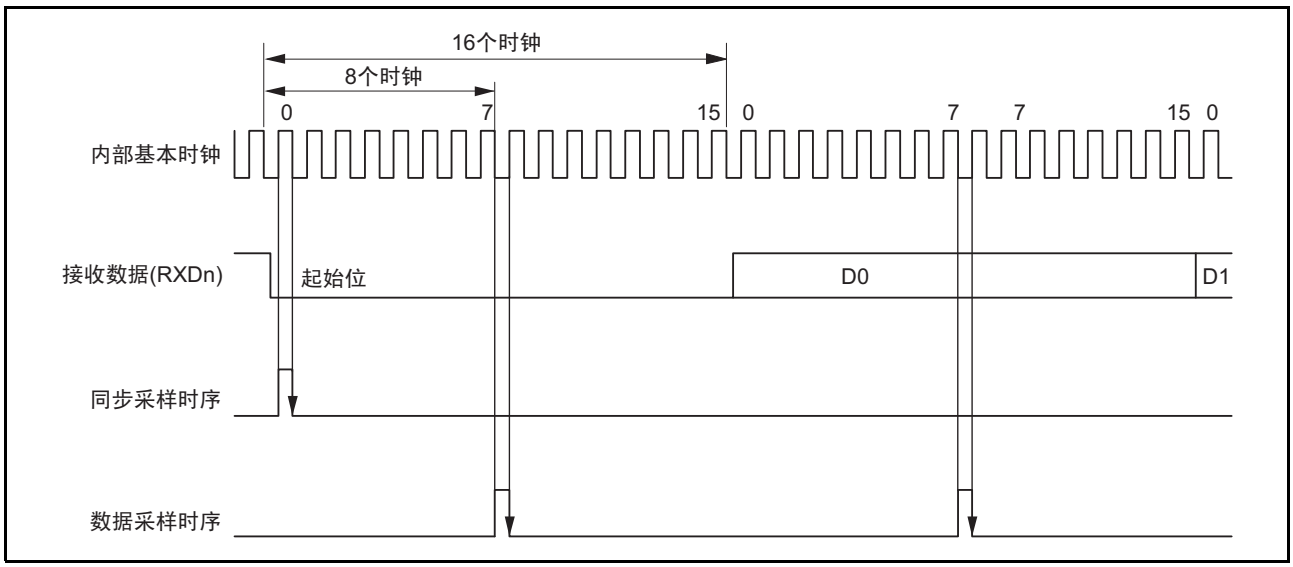


图 31.6　异步模式的接收数据采样时序

31.3.3 时钟

能通过设定 SMR.CM 位和 SCR.CKE[1:0] 位，选择内部波特率发生器生成的内部时钟或者 SCKn 引脚输入的外部时钟作为 SCI 的发送 / 接收时钟。

在使用外部时钟的情况下，必须将频率为 16 倍位速率（SEMR.ABCS 位 =0）或者频率为 8 倍位速率（SEMR.ABCS 位 =1）的时钟输入到 SCKn 引脚。如果选择外部时钟，就能通过设定 SCIn.SEMR.ACS0 位 （n=5、 6、 12），选择 TMR0、 TMR1 的基本时钟。

在通过内部时钟运行时，能从 SCKn 引脚输出时钟。此时，输出时钟的频率和位速率相等，发送时的相位如图 31.7 所示，时钟在发送数据的中央上升。

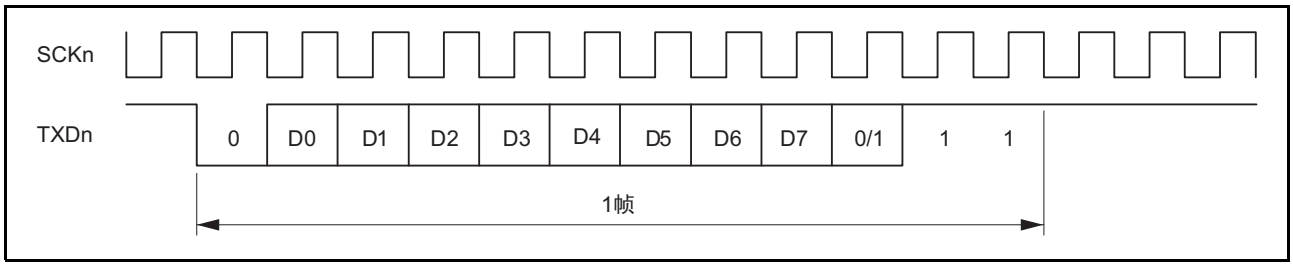


图 31.7 输出时钟和发送数据的相位关系
（异步模式：SMR.CHR=0、 SMR.PE=1、 SMR.MP=0、 SMR.STOP=1）

31.3.4 CTS 和 RTS 功能

CTS 功能是使用 CTSn# 引脚的输入进行发送控制的功能。

如果将 SPMR.CTSE 位置“1”，CTS 功能就有效。在 CTS 功能有效时并且只在 CTSn# 引脚的输入为 Low 电平时，开始发送。

如果在发送过程中将 CTSn# 引脚置为 Low 电平，正在发送的帧就不受影响而继续发送。

RTS 功能是使用 RTSn# 引脚的输出进行接收请求的功能。如果处于可接收状态，就输出 Low 电平。输出 Low 电平或者 High 电平的条件如下：

[为 Low 电平的条件]

当满足以下全部条件时

- SCR.RE 位为 “1”
- 不处于接收状态。
- 在读取前没有接收数据。
- SSR.ORER、 SSR.FER、 SSR.PER 标志全部为 “0”。

[为 High 电平的条件]

当不满足 Low 电平的条件时

31.3.5 SCI 的初始化 （异步模式）

必须在发送和接收数据前给 SCR 寄存器写初始值 “00h”，并且根据图 31.8 的流程图例子对 SCI 进行初始化。必须在对 SCR 寄存器进行初始化后更改运行模式或者通信格式。

在异步模式中使用外部时钟的情况下，必须提供时钟 （包括初始化期间）。

必须注意: 即使将 SCR.RE 位置 “0”，也不对 SSR.ORER 标志、SSR.FER 标志、SSR.PER 标志和 RDR 寄存器进行初始化。

必须注意: 如果将SCR.TE位从 “1” 置为 “0” 或者从 “0” 置为 “1”，就在SCR.TIE位为 “1” 时产生TXI中断请求。

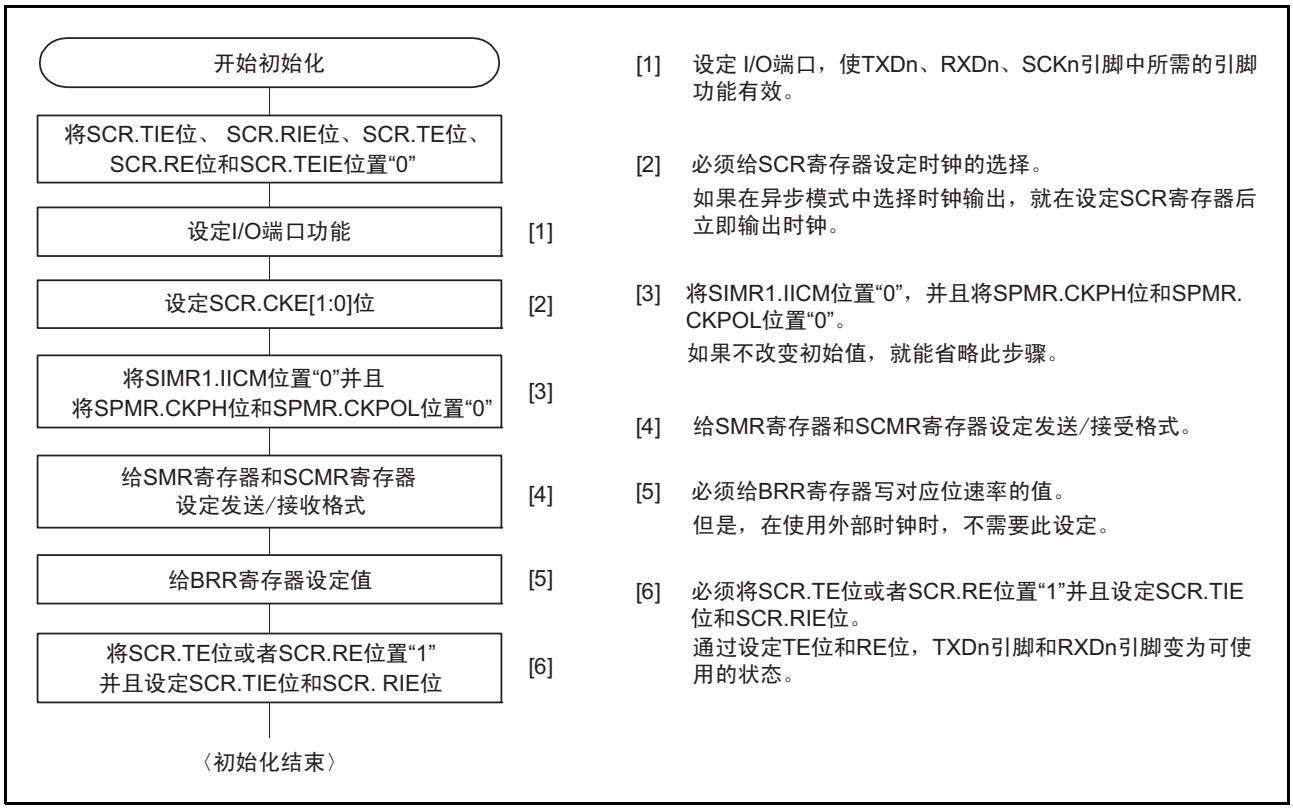


图 31.8 SCI 的初始化流程图例子 （异步模式）

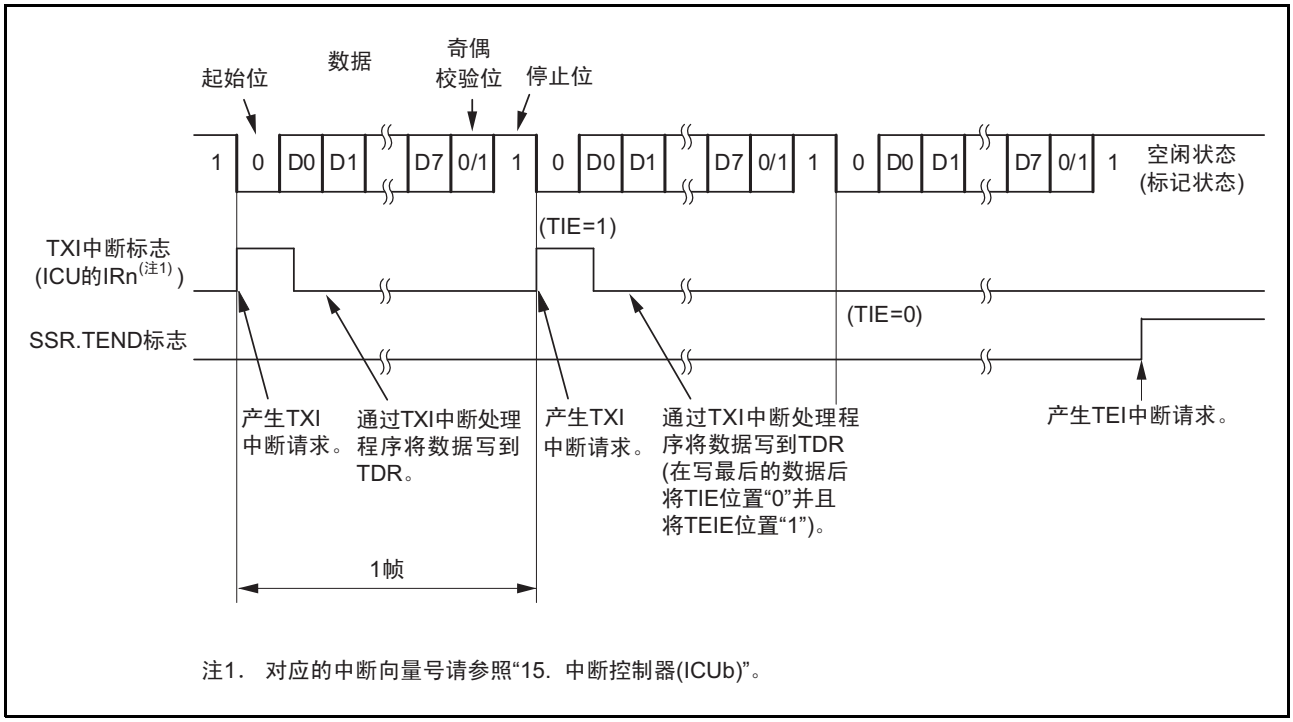
31.3.6 串行数据的发送 （异步模式）

异步模式的串行发送例子如图 31.9 所示。

在发送串行数据时， SCI 的运行如下：

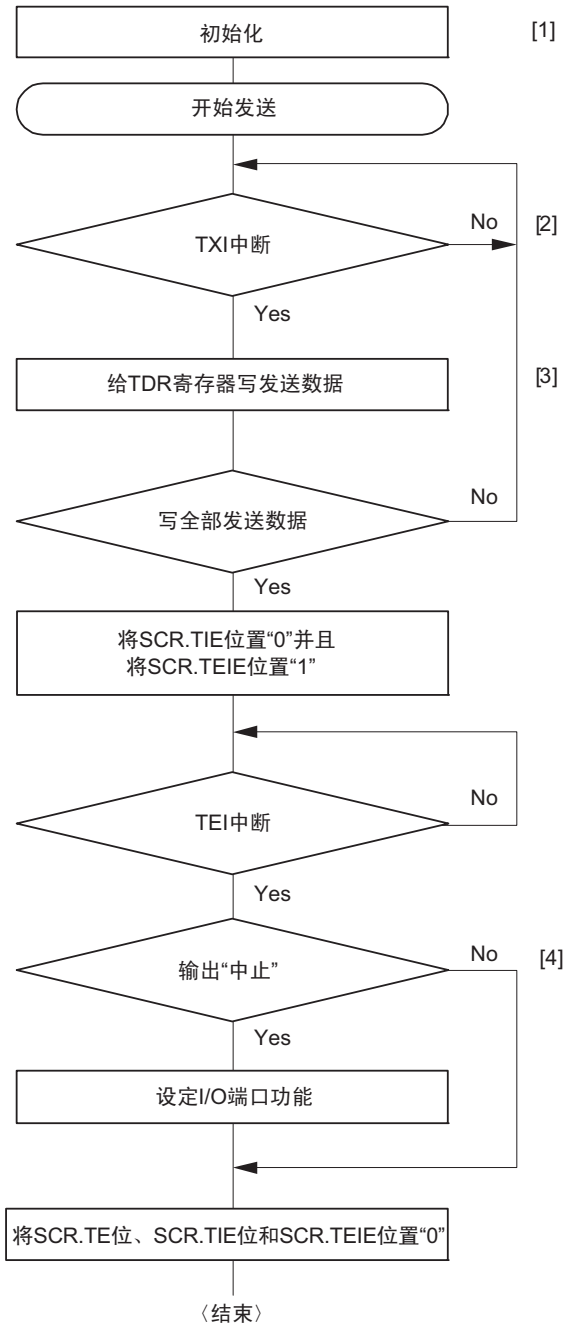
1. 如果通过TXI中断处理程序给TDR寄存器写数据， SCI就将数据从TDR寄存器传送到TSR寄存器。在开始发送时，通过在将SCR.TIE位置“1”后将SCR.TE位置“1”，或者用1条指令同时将这2个位置“1”，产生TXI中断请求。
2. 在SPMR.CTSE位为“0”（禁止CTS功能）或者CTSn#引脚的输入为Low电平的状态下，将数据从TDR寄存器传送到TSR寄存器，开始发送。此时，如果SCR.TIE位为“1”，就产生TXI中断请求。能通过TXI中断处理程序，在上次传送的数据发送结束前给TDR寄存器写下一个发送数据，进行连续的发送。当使用TEI中断请求时，在TXI中断请求处理程序中给TDR寄存器写最后的发送数据，然后将SCR.TIE位置 “0”（禁止TXI中断请求）并且将SCR.TEIE位置 “1”（允许TEI中断请求）。
3. 从 TXDn 引脚依次发送起始位、发送数据、奇偶校验位或者多处理器位 （根据格式，有时没有此位）和停止位。
4. 在发送停止位时检查TDR寄存器的更新 （写）。
5. 如果TDR寄存器已被更新，就在SPMR.CTSE位为“0”（禁止CTS功能）或者CTSn#引脚的输入为Low电平的状态下，将下一个发送数据从TDR寄存器传送到TSR寄存器，并且在发送停止位后开始下一帧的发送。
6. 如果TDR寄存器未被更新，就将SSR.TEND标志置“1”并且发送停止位后，通过输出High电平进入标记状态。此时，如果SCR.TEIE位为 “1”，就将SSR.TEND标志置 “1”并且产生TEI中断请求。

串行发送的流程图例子如图 31.10 所示。



注1. 对应的中断向量号请参照“15. 中断控制器(ICUb)”。

图 31.9 异步模式的串行发送 （正在发送～发送结束的情况）例子
（8 位数据 / 有奇偶校验 /1 个停止位的例子）



[1] SCI的初始化：
TXDn引脚自动变为发送数据的输出引脚。在将SCR.TE位置“1”后输出1帧的High电平，然后变为可发送状态。

[2] 通过TXI中断请求将发送数据写到TDR寄存器：
如果将发送数据从TDR寄存器传送到TSR寄存器，就产生发送数据空中断请求(TXI)。必须通过TXI中断处理程序给TDR寄存器写1次发送数据。

[3] 继续串行发送的步骤：
在继续串行发送时，必须通过TXI中断请求给TDR寄存器写1次发送数据。也能通过TXI中断请求启动DMAC或者DTC，将数据写到TDR寄存器。
当使用TEI中断请求时，在将最后的发送数据写到TDR寄存器后将SCR.TIE位置“0”并且将SCR.TEIE位置“1”。

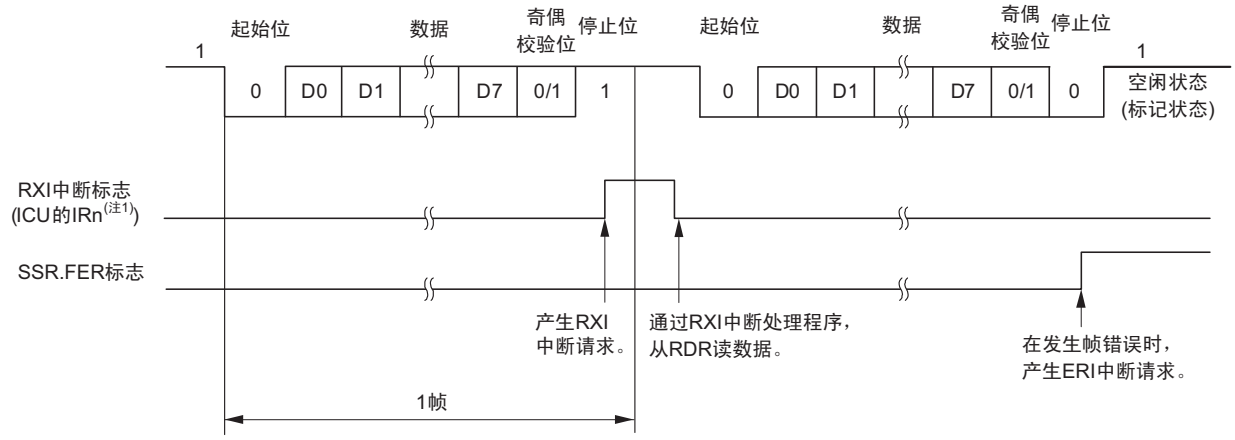
[4] 串行发送结束时的“中止”输出：
在串行发送过程中要输出“中止”时，设定与TXDn引脚对应的I/O端口功能(Low电平输出)，然后将SCR.TE位置“0”。

图 31.10 异步模式的串行发送的流程图例子

31.3.7 串行数据的接收 （异步模式）

异步模式的串行接收例子如图 31.11 和图 31.12 所示。
在接收串行数据时， SCI 的运行如下：

1. 如果将SCR.RE位置 “1”，就将RTSn#引脚的输出置为Low电平。
2. 监视通信线路，如果检测到起始位，就与内部取得同步将接收数据取到RSR寄存器，并且检查奇偶校验位和停止位。
3. 如果发生溢出错误，就将SSR.ORER标志置位。此时，如果SCR.RIE位为“1”，就产生ERI中断请求。接收数据不传送到RDR寄存器。
4. 如果检测到奇偶校验错误，就将SSR.PER标志置位，并且将接收数据传送到RDR寄存器。此时，如果RIE位为 “1”，就产生ERI中断请求。
5. 如果检测到帧错误 （停止位为 “0”时），就将SSR.FER标志置位，并且将接收数据传送到RDR寄存器。此时，如果RIE位为 “1”，就产生ERI中断请求。
6. 当正常接收时，将接收数据传送到RDR寄存器。此时，如果RIE位为“1”，就产生RXI中断请求。能通过此RXI中断处理程序，在下一个数据接收结束前读已被传送到RDR寄存器的接收数据，进行连续的接收。如果读被传送到RDR寄存器的接收数据，就将RTSn#引脚的输出置为Low电平。



注1. 对应的中断向量号请参照“15. 中断控制器(ICUb)”。

图 31.11 异步模式的串行接收例子 （1）（不使用 RTS 功能的情况）
（8 位数据 / 有奇偶校验 /1 个停止位的例子）

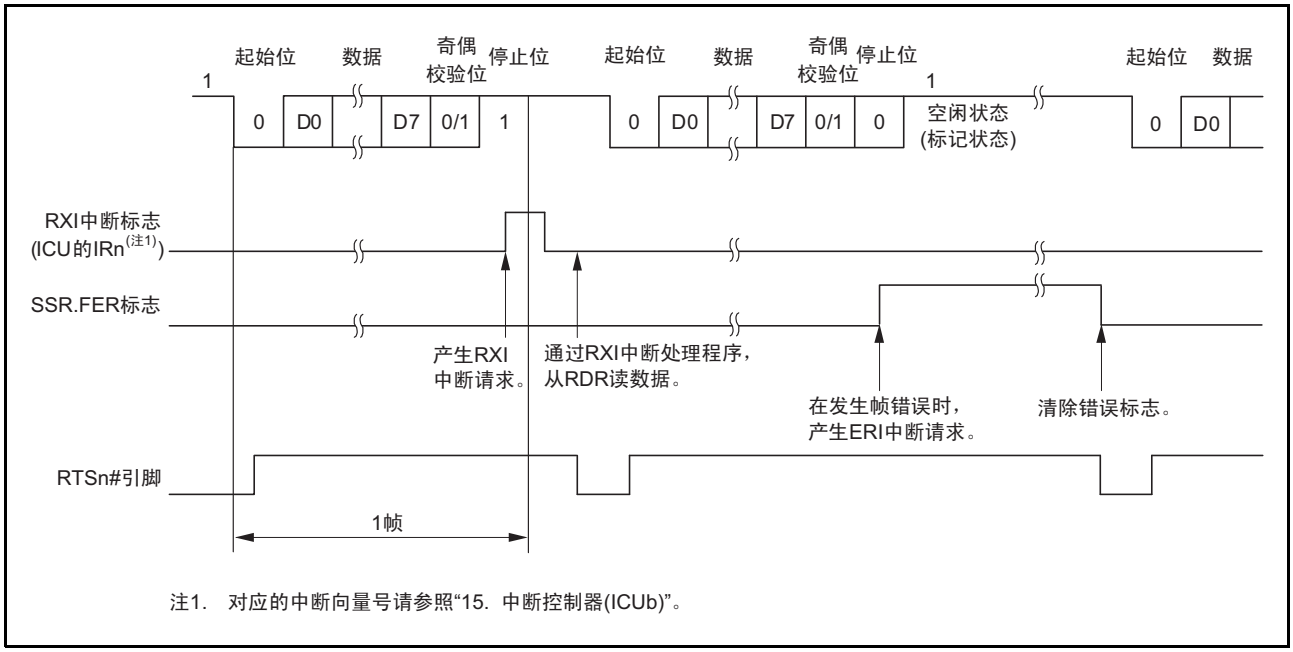


图 31.12 异步模式的串行接收例子 （2）（使用 RTS 功能的情况）
（8 位数据 / 有奇偶校验 /1 个停止位的例子）

检测到接收错误时的 SSR 寄存器各状态标志的状态和接收数据的处理如表 31.24 所示。

一旦检测到接收错误，就产生 ERI 中断请求而不产生 RXI 中断请求。在接收错误标志被置位的状态下不能进行以后的接收。因此，必须在继续接收前将 ORER 标志、FER 标志和 PER 标志置“0”。另外，在进行溢出错误处理时，必须读 RDR 寄存器。

串行接收的流程图例子如图 31.13 和图 31.14 所示。

表 31.24 SSR 寄存器状态标志的状态和接收数据的处理

SSR 寄存器的状态标志			接收数据	接收错误的状态
ORER	FER	PER		
1	0	0	消失	溢出错误
0	1	0	传送到 RDR。	帧错误
0	0	1	传送到 RDR。	奇偶校验错误
1	1	0	消失	溢出错误 + 帧错误
1	0	1	消失	溢出错误 + 奇偶校验错误
0	1	1	传送到 RDR。	帧错误 + 奇偶校验错误
1	1	1	消失	溢出错误 + 帧错误 + 奇偶校验错误

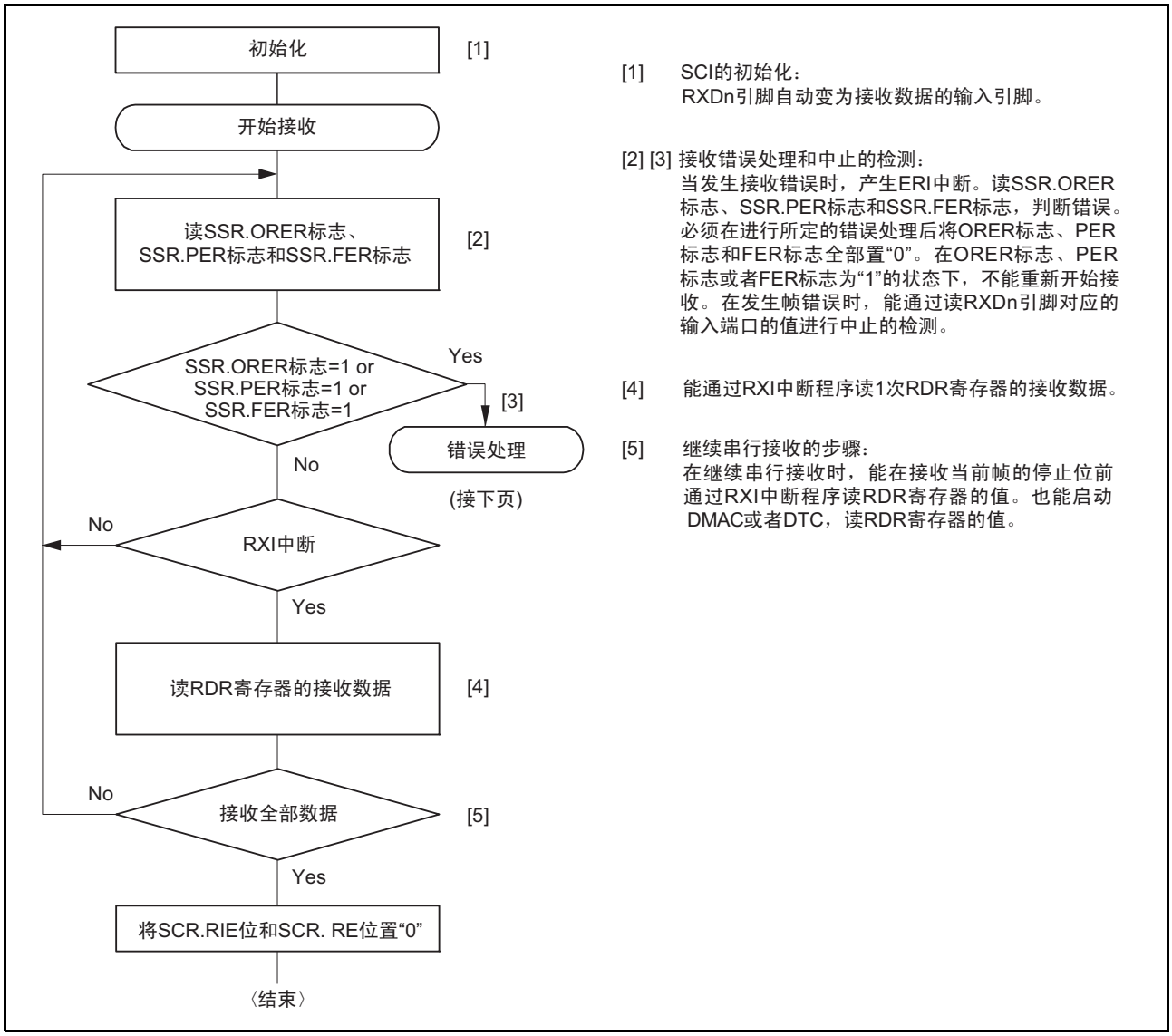
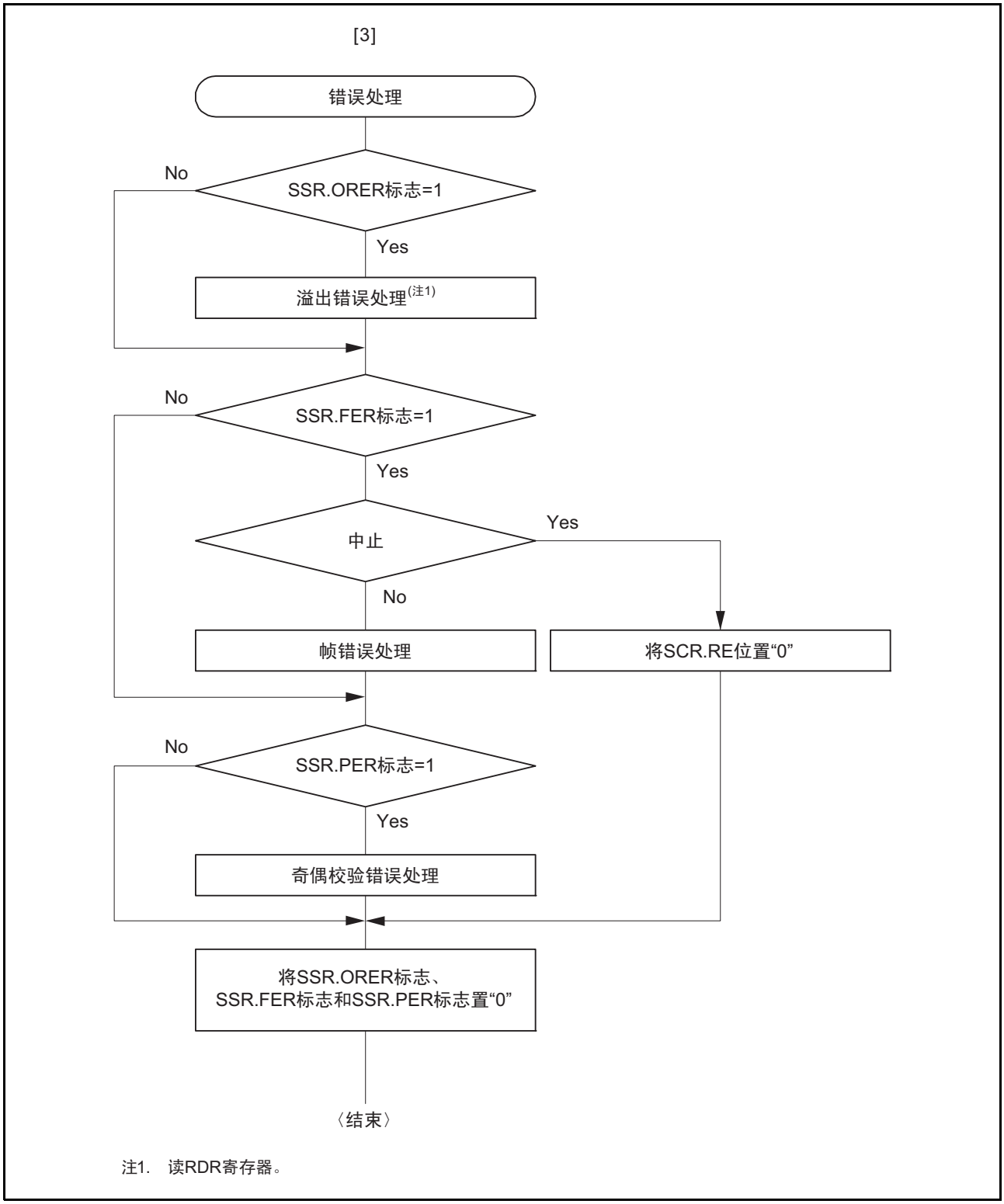


图 31.13 异步模式的串行接收的流程图例子 （1）



注1. 读RDR寄存器。

图 31.14 异步模式的串行接收的流程图例子 （2）

31.4 多处理器通信功能

如果使用多处理器通信功能，就能通过附加多处理器位的异步串行通信，在多个处理器之间共享通信线路进行数据的发送和接收。在多处理器通信中，给接收站分配各自特有的 ID 码。串行通信周期由指定接收站的 ID 发送周期和指定接收站的数据发送周期构成，用多处理器位区分 ID 发送周期和数据发送周期。当多处理器位是 “1” 时，为 ID 发送周期；当多处理器位是 “0” 时，为数据发送周期。使用多处理器格式的处理器之间的通信例子如图 31.15 所示。发送站首先发送多处理器位为 “1” 的接收站 ID 码，接着发送多处理器位为 “0” 的发送数据。如果接收站接收到多处理器位为 “1” 的通信数据，就将接收数据和本站的 ID 比较，如果相同，就继续接收被发送的通信数据；如果不相同，就在再次接收到下一个多处理器位为 “1” 的通信数据之前跳读通信数据。

SCI 为了支持此功能，设有 SCR.MPIE 位。如果将 MPIE 置 “1”，就在接收到多处理器位为 “1” 的数据之前，禁止将接收数据从 RSR 寄存器传送到 RDR 寄存器，禁止检测接收错误并且禁止将 SRR.ORER 和 SRR.FER 各状态标志置位。如果接收到多处理器位为 “1” 的字符，就在 SSR.MPBT 位被置 “1” 的同时自动清除 SCR.MPIE，然后返回到通常的接收运行状态。此时，如果 SCR.RIE 位为 “1”，就产生 RXI 中断。

在指定多处理器格式时，奇偶校验位的指定无效。除此以外与通常的异步模式相同，多处理器通信时的时钟也和通常的异步模式相同。

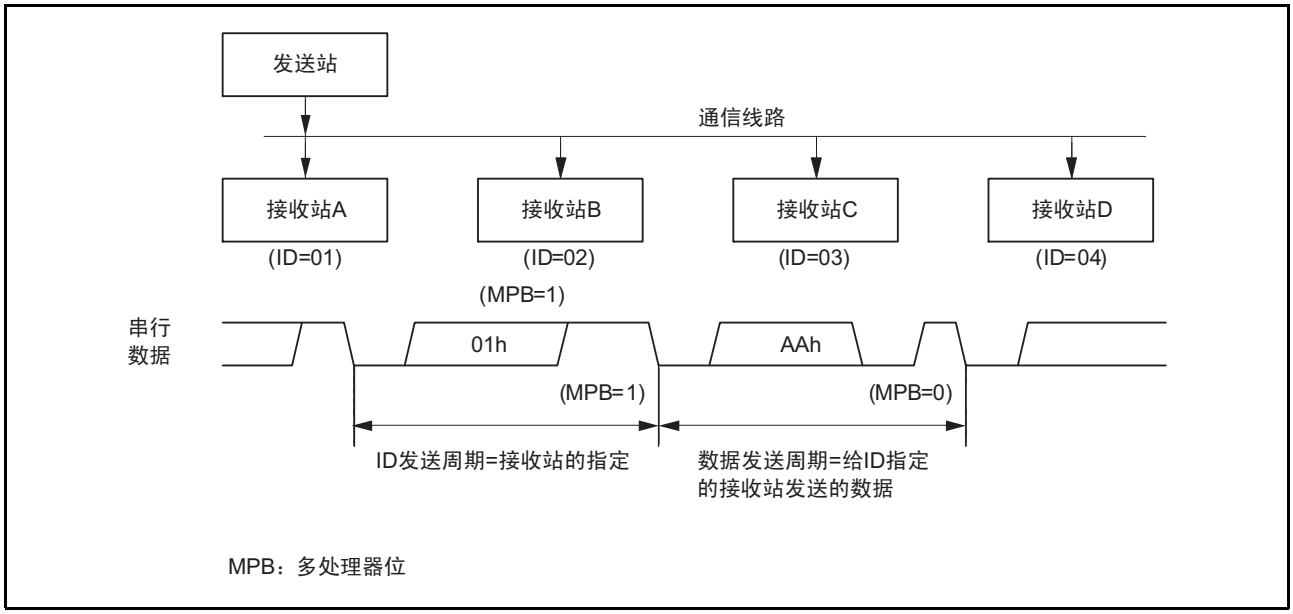


图 31.15 使用多处理器格式的通信的例子 （将数据 “AAh” 发送到接收站 A 的例子）

31.4.1 多处理器串行数据的发送

多处理器数据处理的流程图例子如图 31.16 所示。必须在 ID 发送周期中将 SSR.MPBT 位置 “1” 后发送 ID 码，在数据发送周期中将 SSR.MPBT 位置 “0” 后发送数据。其他运行和异步模式的运行相同。

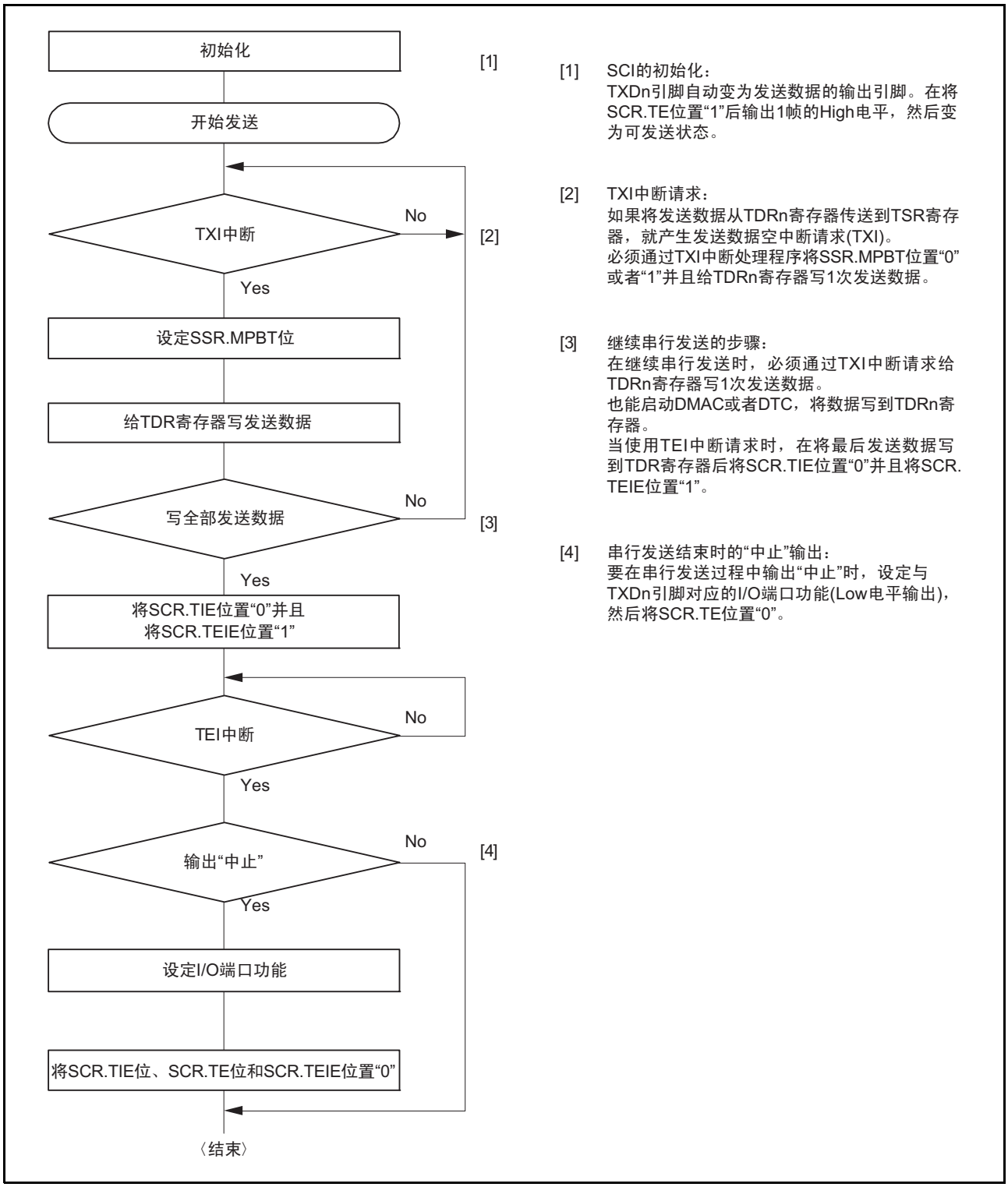


图 31.16 多处理器串行发送的流程图例子

31.4.2 多处理器串行数据的接收

多处理器数据接收的流程图例子如图 31.18 和图 31.19 所示。如果将 SCR.MPIE 位置“1”，就在接收到多处理器位为“1”的通信数据之前跳读通信数据。如果接收到多处理器位为“1”的通信数据，就将接收数据传送到 RDR 寄存器，此时产生 RXI 中断请求。其他运行和异步模式的运行相同。

接收时的运行例子如图 31.17 所示。

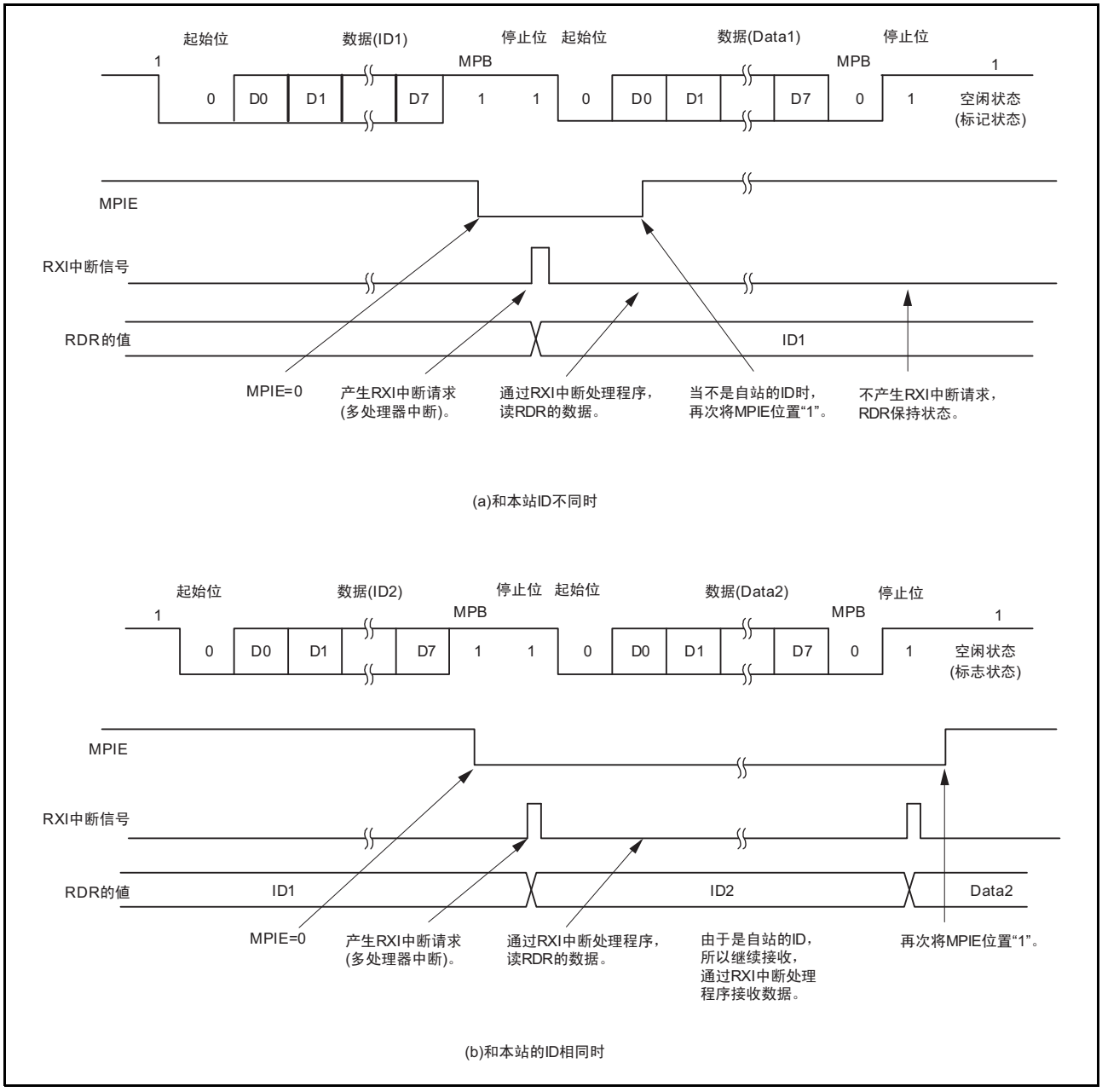
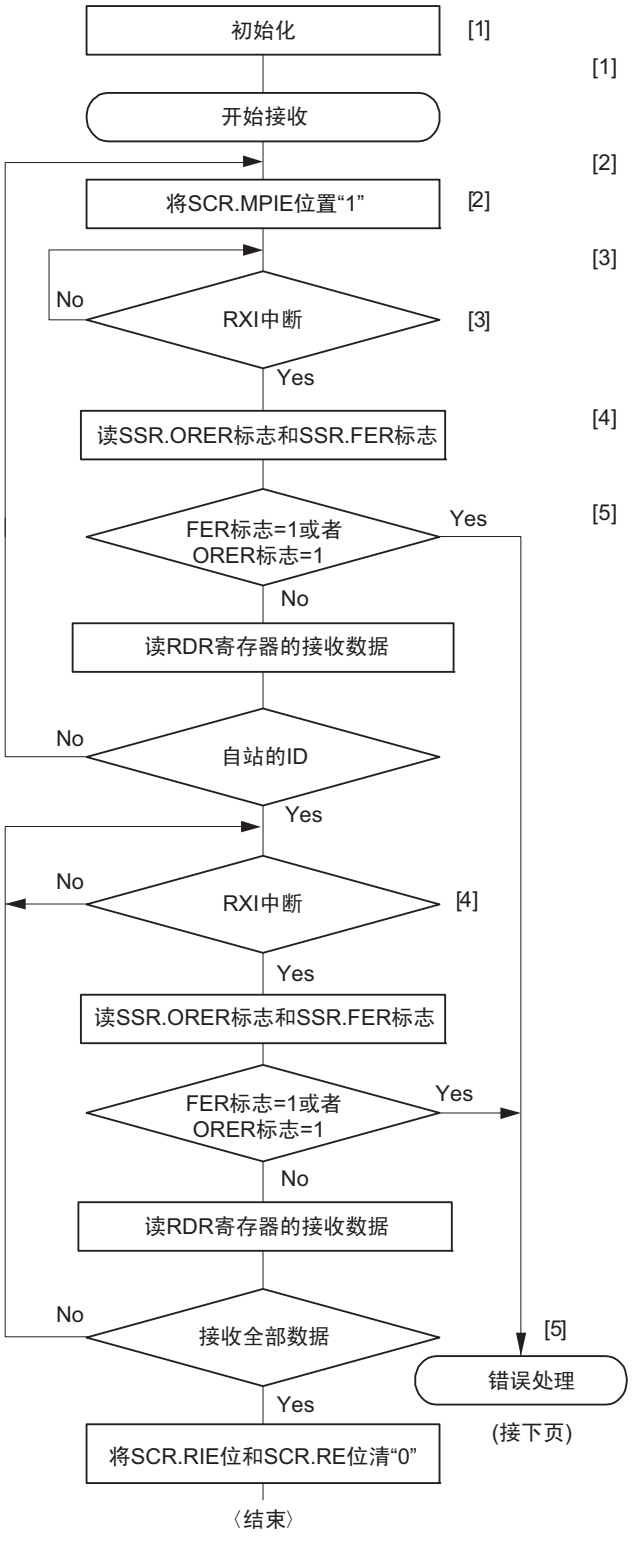


图 31.17 SCI 接收时的运行例子 （8 位数据 / 有多处理器位 / 1 个停止位的例子）



[1] SCI的初始化：
RXDn引脚自动变为接收数据的输入引脚。

[2] ID接收周期：
将SCR.MPIE位置“1”，等待ID的接收。

[3] SCI状态的确认和ID接收的比较：
通过第1次的RXI中断，读RDR寄存器的数据并且和自站的ID进行比较。当不是本站的ID时，再次将SCR.MPIE位置“1”，然后等待RXI中断。

[4] 通过RXI中断进行的数据接收：
通过RXI中断程序，读1次RDR寄存器的数据。

[5] 接收错误处理和中止的检测：
当发生接收错误时，读SSR.ORER标志和SSR.FER标志，判断错误。必须在进行所定的错误处理后将ORER标志和FER标志全部清“0”。在ORER标志或者FER标志为“1”的状态下，不能重新开始接收。在发生帧错误时，能通过读RXDn引脚的值进行中止的检测。

图 31.18 多处理器串行接收的流程图例子 （1）

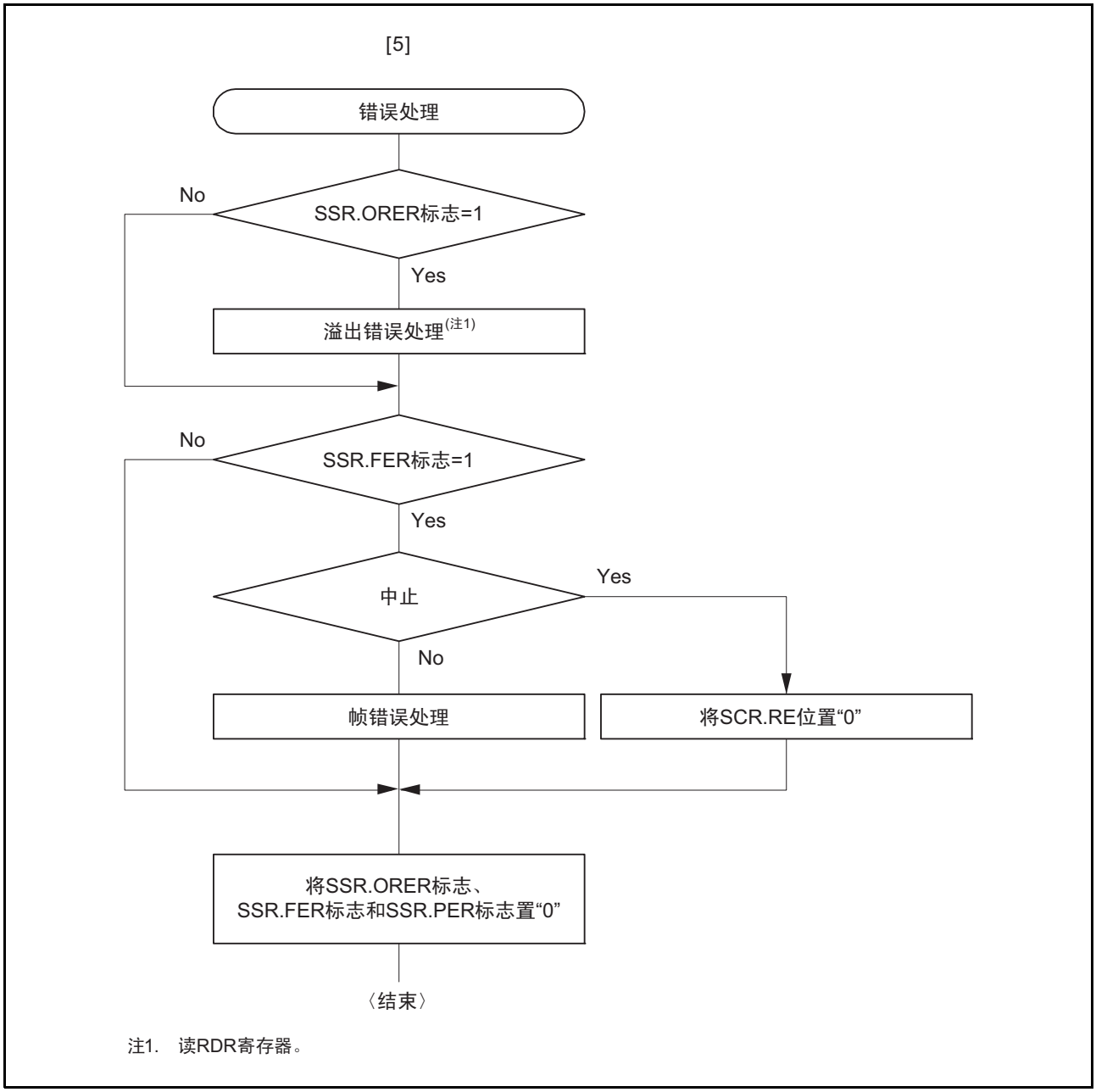


图 31.19 多处理器串行接收的流程图例子 （2）

31.5 时钟同步模式的运行

时钟同步串行通信的数据格式如图 31.20 所示。

在时钟同步模式中，与时钟脉冲同步发送和接收数据。通信数据的 1 个字符由 8 位数据构成，在时钟同步模式中，不能附加奇偶校验位。

SCI 在发送数据时，从同步时钟的下降沿开始到下一个下降沿前输出数据。在接收数据时，与时钟的上升沿同步接收数据。输出 8 位数据后的通信线路保持最后 1 位的输出状态。

SCI 内部的发送部和接收部各自独立，因此能通过共享时钟进行全双工通信。因为发送部和接收部都为双缓冲结构，所以能在发送时写下一个发送数据，通过在接收时读前一个接收数据，进行连续的接收和发送。

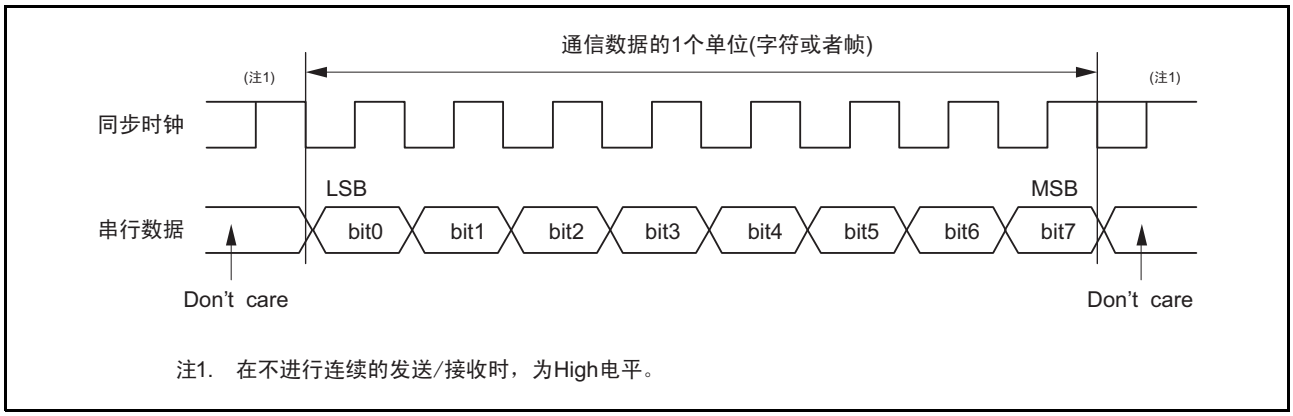


图 31.20 时钟同步串行通信的数据格式 （LSB first）

31.5.1 时钟

能通过设定SCR.CKE[1:0]位，选择内部波特率发生器生成的内部时钟或者SCKn引脚输入的外部同步时钟。

在通过内部时钟运行时，从 SCKn 引脚输出同步时钟。同步时钟在进行 1 个字符的发送和接收时输出 8 个脉冲，而在不进行发送和接收时固定为 High 电平。但是，当只进行接收时，在 CTS 功能有效并且 CTSn# 引脚的输入为 High 电平或者发生溢出错误或者将 SCR.RE 位置“0”前输出同步时钟。在 CTS 功能有效的情况下，如果在结束帧的接收时 CTSn# 引脚的输入为 High 电平，就停止输出同步时钟。

31.5.2 CTS 和 RTS 功能

CTS 功能是在选择内部时钟的情况下使用 CTSn# 引脚的输入进行发送和接收开始控制的功能。如果将 SPMR.CTSE 位置 “1”， CTS 功能就有效。

在 CTS 功能有效时并且只在 CTSn# 引脚的输入为 Low 电平时，开始发送和接收。

RTS 功能是在选择外部同步时钟的情况下使用 RTSn# 引脚的输出进行发送和接收开始请求的功能。如果处于能进行串行通信的状态，就输出 Low 电平。输出 Low 电平或者 High 电平的条件如下：

[为 Low 电平的条件]

当满足以下全部条件时

- SCR.RE 位或者 SCR.TE 位为 “1”。
- 不处于发送和接收状态。
- 在读取前没有接收数据 （SCR.RE 位为 “1” 的情况）。
- 写完发送数据 （SCR.TE 位为 “1” 的情况）。
- SSR.ORER 标志为 “0”。

[为 High 电平的条件]

当不满足 Low 电平的条件时

31.5.3 SCI 的初始化 （时钟同步模式）

必须在发送和接收数据前给 SCR 寄存器写初始值 “00h”，并且根据图 31.21 的流程图例子进行初始化。必须在对 SCR 寄存器进行初始化后更改运行模式或者通信格式。

必须注意: 即使将 SCR.RE 位置“0”，也不对 SSR.ORER 标志、SSR.FER 标志、SSR.PER 标志或者 RDR 寄存器进行初始化。

必须注意: 如果将SCR.TE位从“1”置为“0”或者从“0”置为“1”，就在SCR.TIE位为“1”时产生TXI中断。

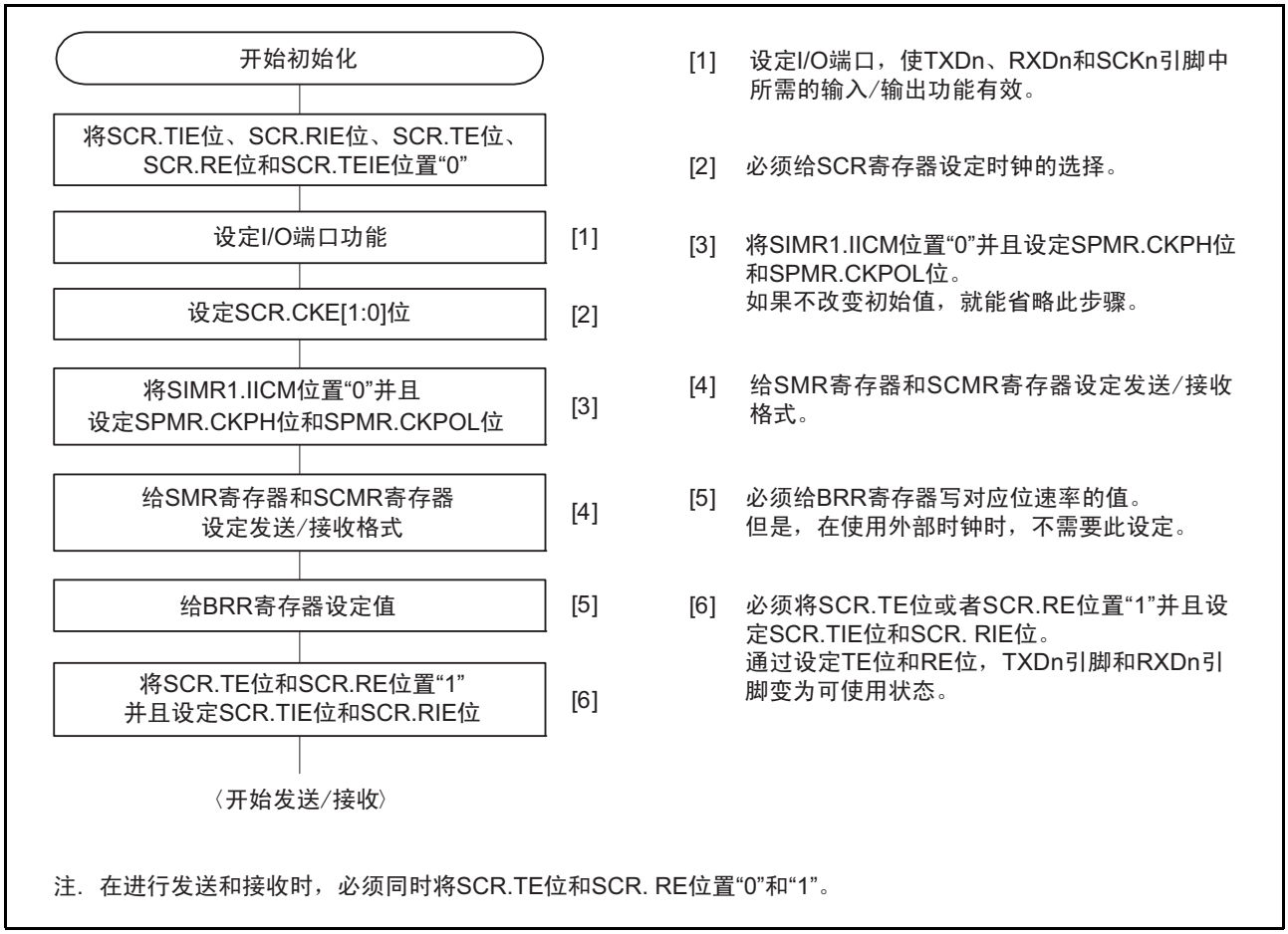


图 31.21 SCI 的初始化流程图例子 （时钟同步模式）

31.5.4 串行数据的发送 （时钟同步模式）

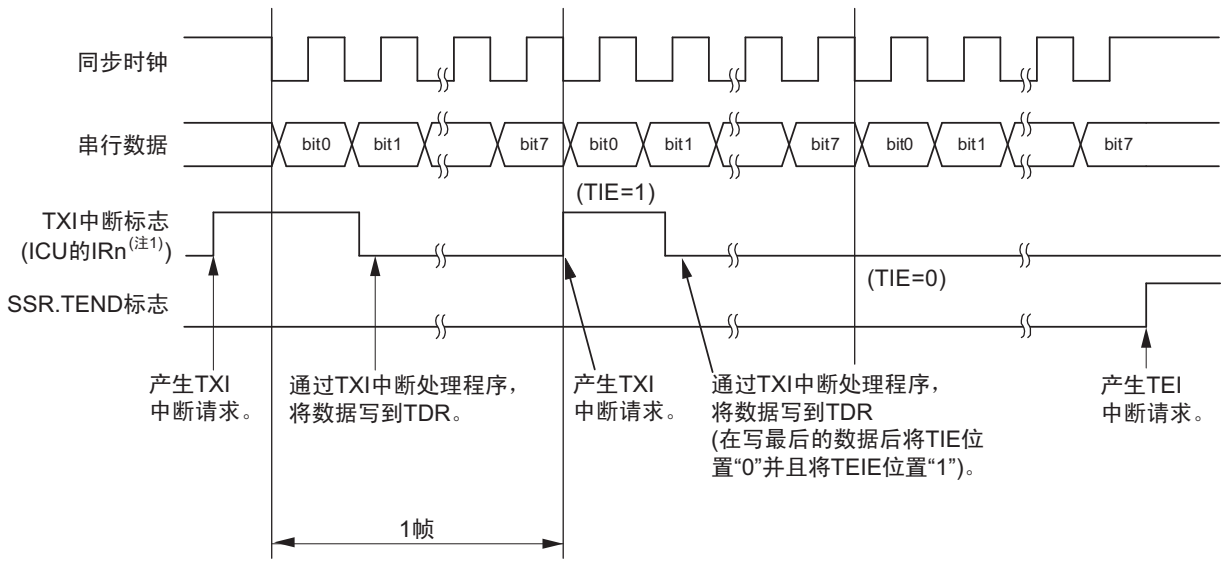
时钟同步模式的串行发送例子如图 31.22 所示。

在发送串行数据时， SCI 的运行如下：

1. 如果通过TXI中断处理程序给TDR寄存器写数据， SCI就将数据从TDR寄存器传送到TSR寄存器。在开始发送时，通过在将SCR.TIE位置“1”后将SCR.TE位置“1”，或者用1条指令同时将这2个位置“1”，产生TXI中断请求。
2. 通过将数据从TDR寄存器传送到TSR寄存器，开始发送。此时，如果SCR.TIE位为“1”，就产生TXI中断请求。能通过此TXI中断处理程序，在上次传送的数据发送结束前给TDR寄存器写下一个发送数据，进行连续的发送。当使用 TEI 中断请求时，在 TXI 中断请求处理程序中给 TDR 寄存器写最后的发送数据，然后将SCR.TIE位置“0”（禁止TXI中断请求）并且将SCR.TEIE位置“1”（允许TEI中断请求）。
3. 如果设定为时钟输出模式，就与输出时钟同步从TXDn引脚输出8位数据。如果设定为外部时钟，就与输入时钟同步从TXDn引脚输出8位数据。当SPMR.CTSE位为“1”（允许CTS功能）时，在等到CTS输入信号变为Low电平后开始输出时钟。
4. 在发送最后1位数据时检查TDR寄存器的更新 （写）。
5. 如果TDR寄存器已被更新，就将数据从TDR寄存器传送到TSR寄存器，开始下一帧的发送。
6. 如果TDR寄存器未被更新，就将SSR.TEND标志置 “1”，并且保持最后1位的输出状态。此时，如果SCR.TEIE位为 “1”，就产生TEI中断请求。 SCKn引脚被固定为High电平。

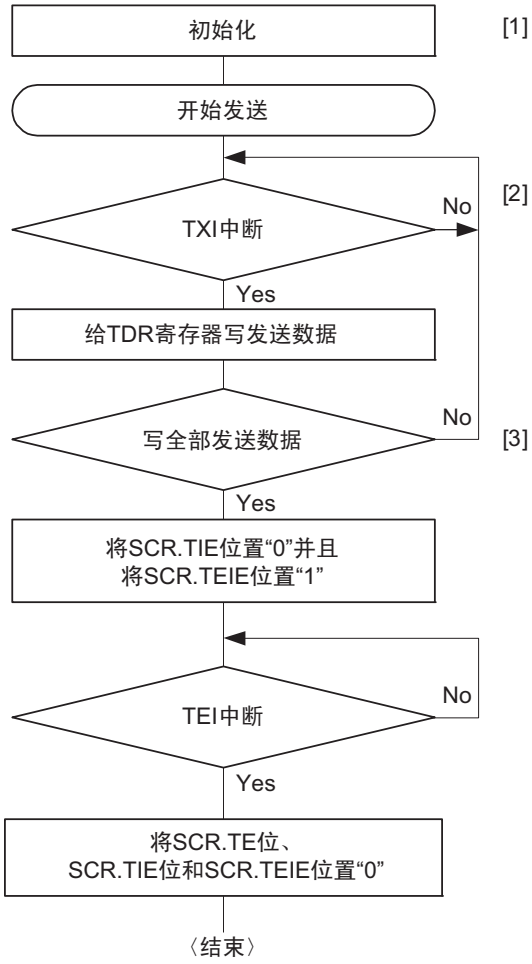
串行发送的流程图例子如图 31.23 所示。

不能在接收错误标志（SSR.ORER、SSR.FER、SSR.PER）被置“1”的状态下开始发送，必须在开始发送前将接收错误标志置 “0”。必须注意：即使将 SCR.RE 位置 “0”，也不清除接收错误标志。



注1. 对应的中断向量号请参照“15. 中断控制器(ICUb)”。

图 31.22 时钟同步模式的串行发送 （正在发送～发送结束）例子



[1] SCI的初始化：
TXDn引脚自动变为发送数据的输出引脚。

[2] 通过TXI中断请求将发送数据写到TDR寄存器：
如果将发送数据从TDR寄存器传送到TSR寄存器，就产生发送数据空中断请求(TXI)。必须通过TXI中断处理程序给TDR寄存器写1次发送数据。

[3] 继续串行发送的步骤：
在继续串行发送时，必须通过发送数据空中断请求(TXI)将数据写到TDR寄存器。也能通过TXI中断请求启动DMAC或者DTC，将数据写到TDR寄存器。
当使用TEI中断请求时，在将最后的发送数据写到TDR寄存器后将SCR.TIE位置“0”并且将SCR.TEIE位置“1”。

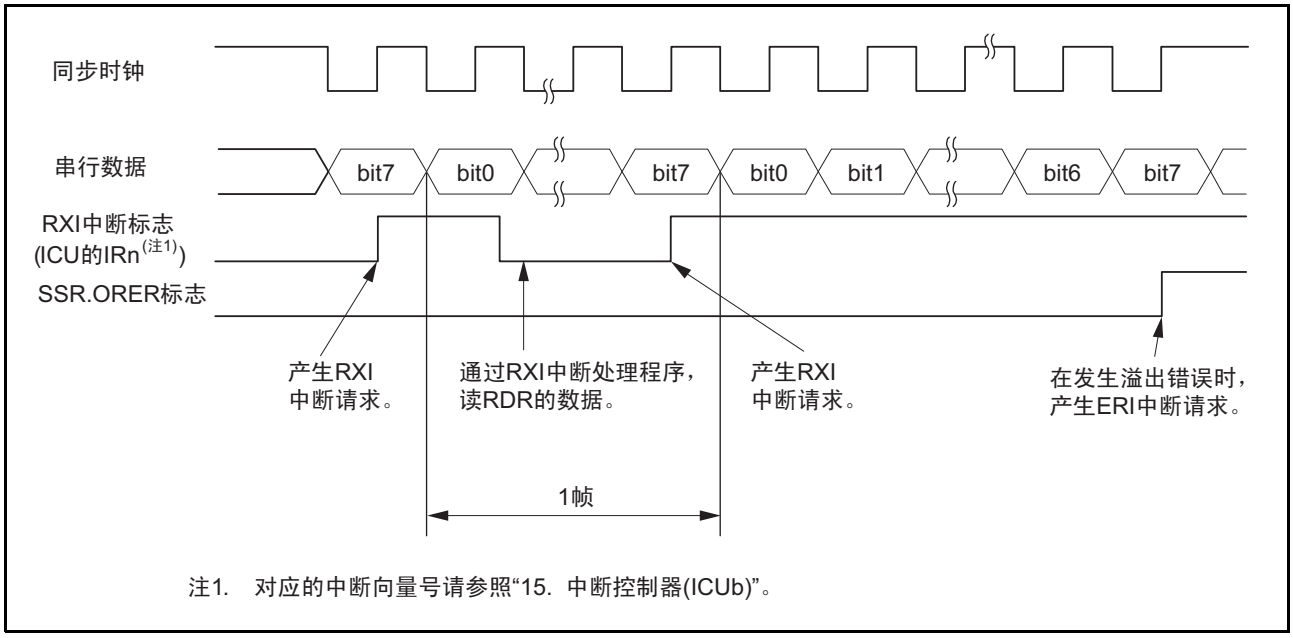
注. 当选择外部时钟(SCR.CKE[1:0]位=10b、11b)时，在最后位的SCK引脚上升沿SSR.TEND标志变为“1”。
此时，如果立即将SCR.TE位置“0”，接收设备侧的接收数据的保持时间就可能不够。

图 31.23 时钟同步模式的串行发送的流程图例子

31.5.5 串行数据的接收 （时钟同步模式）

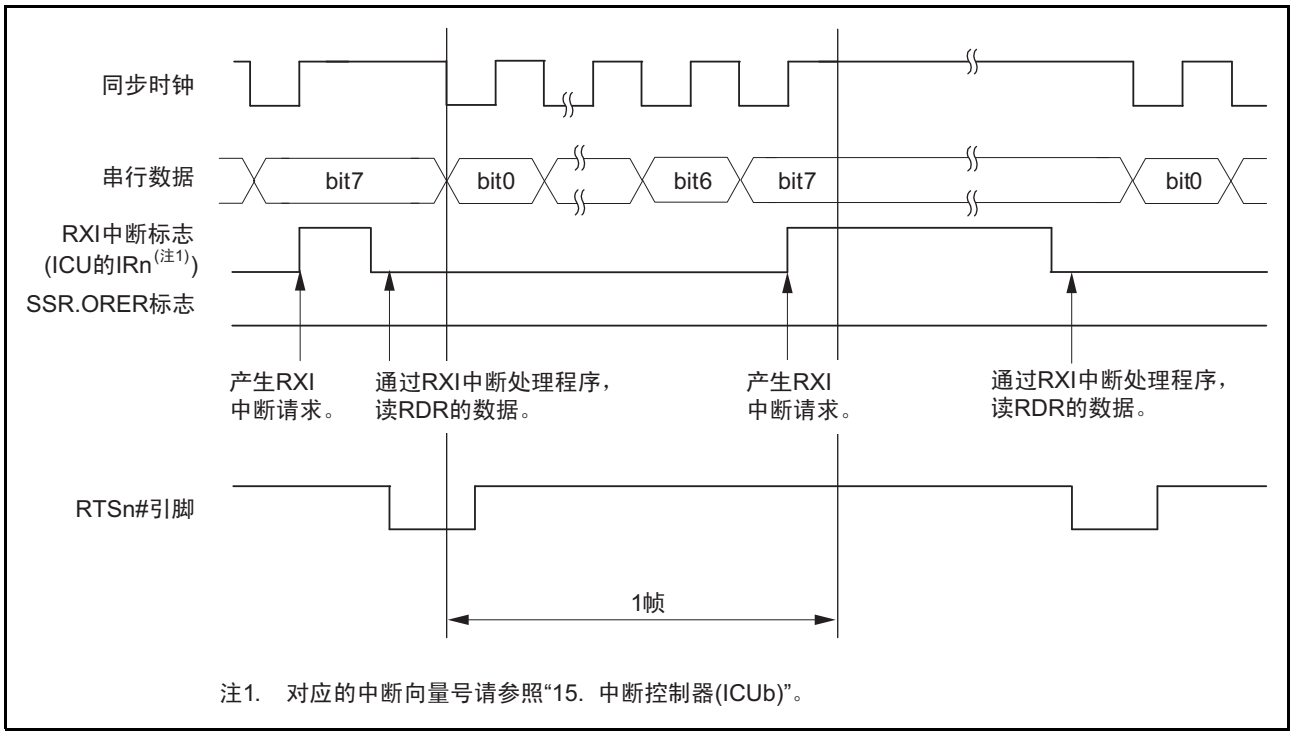
时钟同步模式的串行接收例子如图 31.24 和图 31.25 所示。
在接收串行数据时， SCI 的运行如下：

1. 如果将SCR.RE位置 “1”，就将RTS信号输出置为Low电平 （使用RTS功能的情况）。
2. SCI与同步时钟的输入同步或者与输出同步对内部进行初始化后开始接收，并且将接收数据取到RSR寄存器。
3. 当发生溢出错误时，将SSR.ORER标志置位。此时，如果SCR.RIE位为“1”，就产生ERI中断请求。接收数据不传送到RDR寄存器。
4. 当正常接收时，将接收数据传送到RDR寄存器。此时，如果RIE位为“1”，就产生RXI中断请求。能通过此RXI中断处理程序，在下一个数据接收结束前读已被传送到RDR寄存器的接收数据，进行连续的接收。如果读被传送到RDR寄存器的接收数据，就将RTS信号输出置为Low电平（使用RTS功能的情况）。



注1. 对应的中断向量号请参照“15. 中断控制器(ICUb)”。

图 31.24 时钟同步模式的串行接收例子 （1）（不使用 RTS 功能的情况）

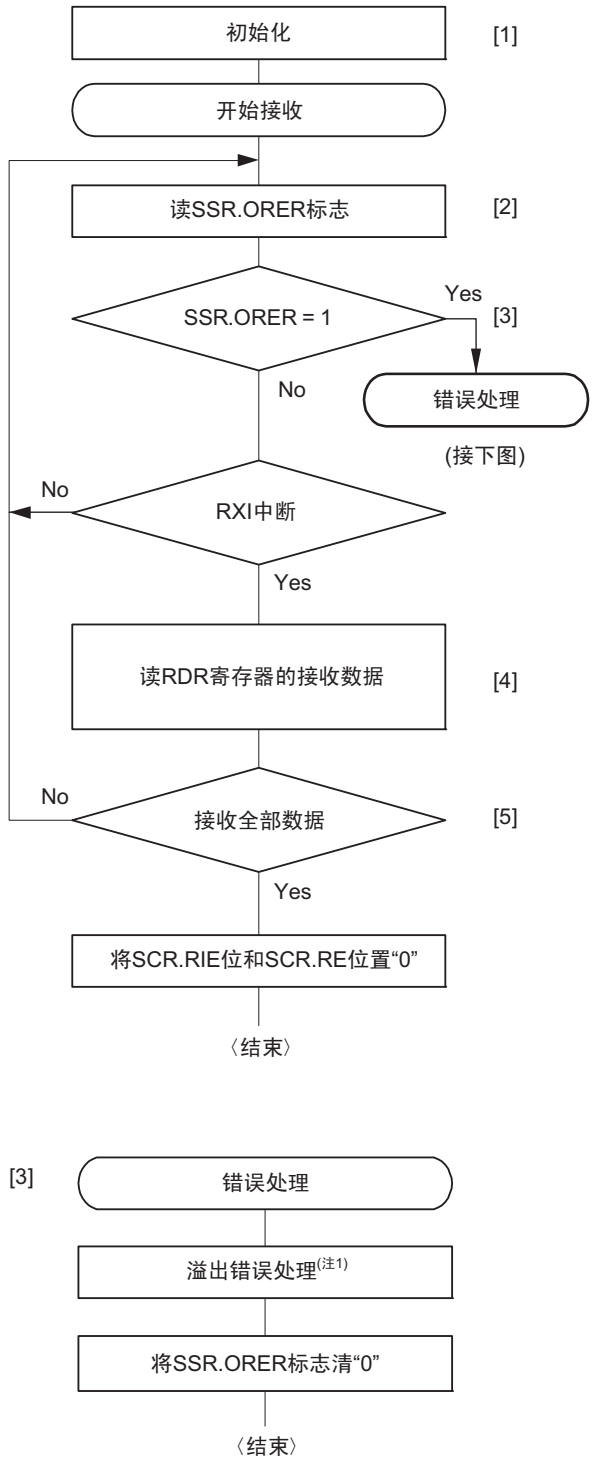


注1. 对应的中断向量号请参照“15. 中断控制器(ICUb)”。

图 31.25 时钟同步模式的串行接收例子 （2）（使用 RTS 功能的情况）

在接收错误标志被置位的状态下，不能进行以后的发送和接收。因此，必须在继续接收前将 SSR.ORER 标志、 SSR.FER 标志和 SSR.PER 标志置 “0”。另外，必须在进行溢出错误处理时读 RDR 寄存器。

串行接收的流程图例子如图 31.26 所示。



[1] SCI的初始化：
必须将用作RXDn引脚的端口设定为输入。

[2] [3] 接收错误处理：
当发生接收错误时，必须读SSR.ORER标志，在进行所定的错误处理后将ORER标志清“0”。在将ORER标志置“1”的状态下，不能重新开始接收。

[4] 必须通过RXI中断请求(RXI)读1次RDR寄存器的接收数据。

[5] 继续串行接收的步骤：
在继续串行接收时，必须在接收当前帧的MSB(bit7)前读完RDR寄存器。也能通过接收数据满中断(RXI)请求启动DMAC或者DTC，读RDR的值。

注1. 读RDR寄存器。

图 31.26 时钟同步模式的串行接收的流程图例子

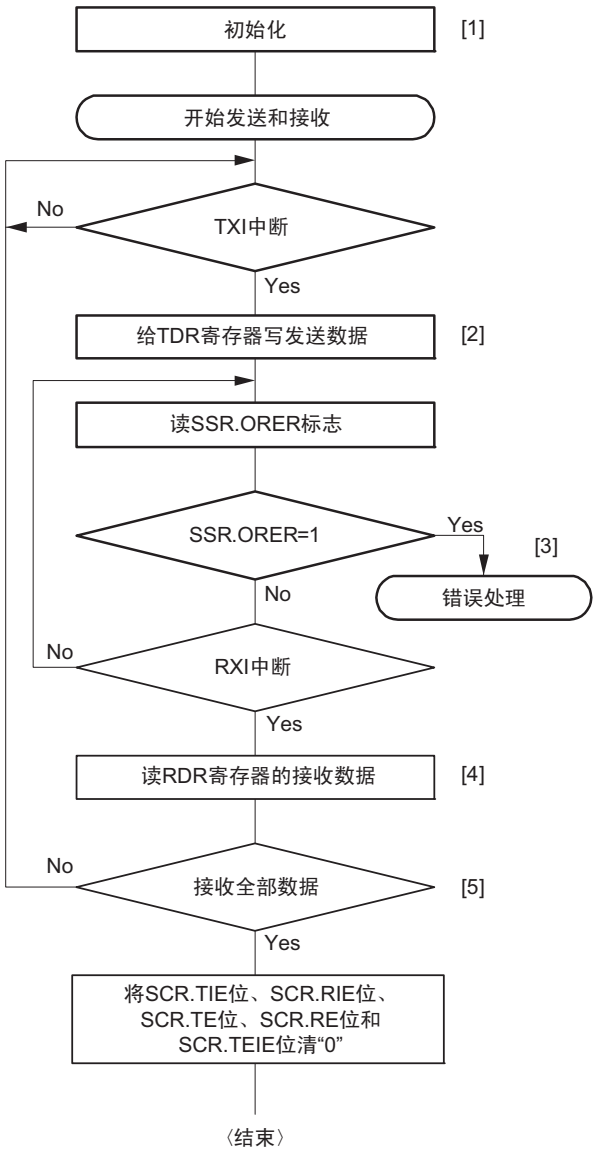
31.5.6　串行数据的同时发送和接收 （时钟同步模式）

时钟同步模式的同时串行发送和接收的流程图例子如图 31.27 所示。

在对 SCI 进行初始化后，必须按照以下步骤进行同时串行发送和接收。

要从发送转换为同时发送和接收时，必须通过为 “1” 的 SSR.TEND 标志，确认 SCI 处于发送结束状态。然后，必须在对 SCR 寄存器进行初始化后，用 1 条指令将 SCR.TIE 位、SCR.RIE 位、SCR.TE 位和 SCR.RE 位同时置 “1”。

要从接收转换为同时发送和接收时，必须在确认 SCI 处于接收结束状态后，先将 SCR.RIE 位和 SCR.RE 位置 “0”，然后确认错误标志 （SSR.ORER、 SSR.FER、 SSR.PER）已被置 “0”，最后用 1 条指令将 SCR.TIE 位、 SCR.RIE 位、 SCR.TE 位和 SCR.RE 位同时置 “1”。



[1]　SCI的初始化：
将TXDn引脚设定为发送数据的输出引脚，RXDn引脚设定为接收数据的输入引脚，进入可同时发送和接收的状态。

[2]　发送数据的写操作：
必须通过TXI中断给TDR寄存器写1次发送数据。

[3]　接收错误处理：
当发生接收错误时，必须读SSR.ORER标志，然后在进行所定的错误处理后将ORER标志置“0”。在将ORER标志“1”的状态下，不能重新开始接收。

[4]　接收数据的读操作：
必须通过RXI中断读1次RDR寄存器的接收数据。

[5]　继续串行发送和接收的步骤：
在继续串行发送和接收时，必须在接收当前帧的MSB(bit7)前通过RXI中断读完RDR寄存器，并且在发送当前帧的MSB (bit7)前通过TXI中断将数据写到TDR寄存器。
也能通过发送数据空中断(TXI)请求启动DMAC或者DTC，将数据写到TDR寄存器；也能通过接收数据满中断(RXI)请求启动DMAC或者DTC，读RDR寄存器的值。

注.　要从发送或者接收转换为同时发送和接收时，必须在将SCR.TIE位、SCR.RIE位、SCR.TE位、SCR.RE位和SCR.TEIE位清“0”后，同时将SCR.TIE位、SCR.RIE位、SCR.TE位和 SCR.RE位置“1”。

图 31.27　时钟同步模式的同时串行发送和接收的流程图例子

31.6 智能卡接口模式的运行

作为 SCI 的扩展功能，支持符合 ISO/IEC 7816-3 （Identification Card）规格的智能卡 （IC 卡）接口。

通过寄存器转换为智能卡接口模式。

31.6.1 连接例子

智能卡 （IC 卡）的连接例子如图 31.28 所示。

IC 卡是指通过 1 条数据传送线进行发送和接收，因此必须连接 TXDn 引脚和 RXDn 引脚并且通过电阻将数据传送线上拉到电源 VCC 侧。

如果在不连接 IC 卡的状态下将 SCR.TE 位和 SCR.RE 位都置“1”，就能将发送和接收闭合连接进行自诊断。

如果给 IC 卡提供由 SCI 生成的时钟，就必须将 SCKn 引脚的输出信号输入到 IC 卡的 CLK 引脚。

能将 RX630 群的输出端口用于复位信号的输出。

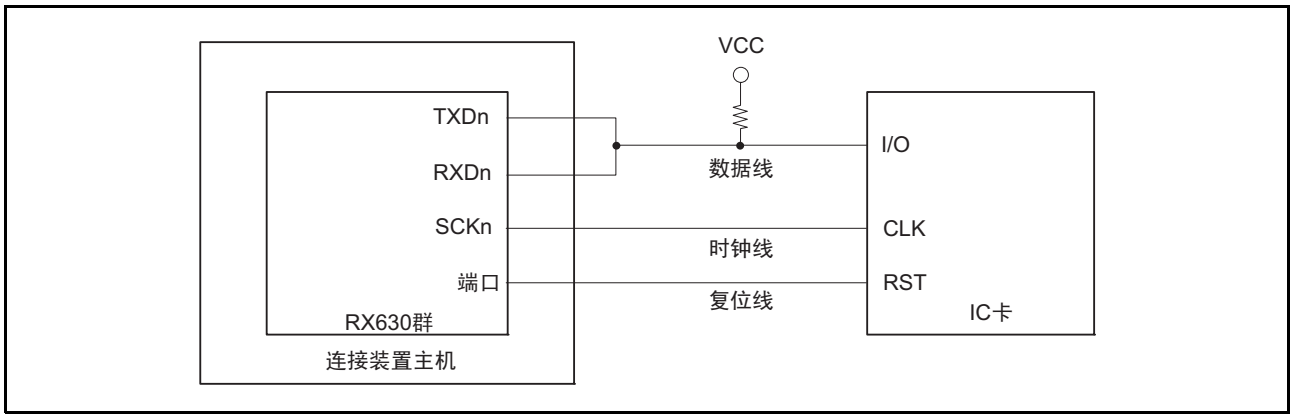


图 31.28 智能卡 （IC 卡）的连接例子

31.6.2 数据格式 （块传送模式除外）

智能卡接口模式的发送 / 接收格式如图 31.29 所示。

- 在异步模式中， 1帧由8位数据和奇偶校验位构成。
- 在发送时，从奇偶校验位结束到下一帧的开始至少需要2etu（Elementary Time Unit：1位传送时间）的保护时间。
- 如果在接收时检测到奇偶校验错误，就在经过10.5etu后，从起始位输出1etu期间的错误信号 （Low电平）。
- 如果在发送时对错误信号进行采样，就在至少经过2etu后，自动重新发送相同的数据。

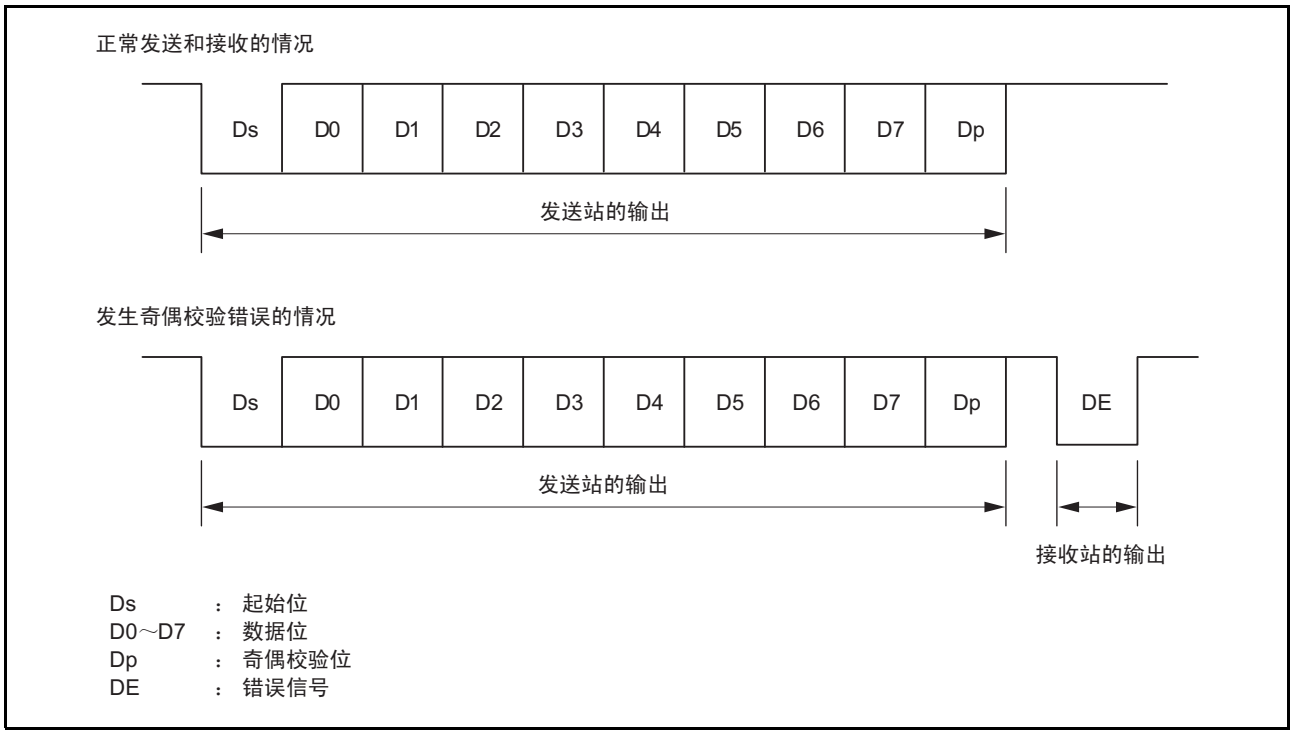


图 31.29 智能卡接口模式的数据格式

正向协议型和反向协议型这 2 种 IC 卡的发送和接收如下：

(1) 正向协议型

正向协议型如图 31.30 所示的开始字符例子，使逻辑 1 电平对应状态 Z，使逻辑 0 电平对应状态 A，以 LSB first 进行发送和接收。图 31.30 中的开始字符数据为 “3Bh”。

对于正向协议型，必须将 SCMR.SDIR 位和 SCMR.SINV 位都置“0”。为了根据智能卡的规格进行偶校验，必须将 SMR.PM 位置 “0”。

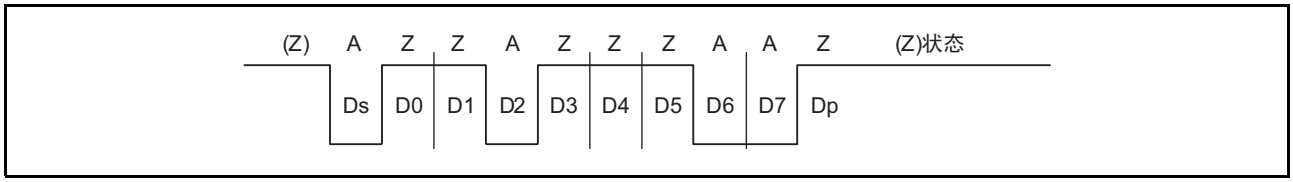


图 31.30 正向协议 （SCMR.SDIR 位 =0、 SCMR.SINV 位 =0、 SMR.PM 位 =0）

(2) 反向协议型

反向协议型使逻辑 1 电平对应状态 A，使逻辑 0 电平对应状态 Z，以 MSB first 进行发送和接收。图 31.31 中的开始字符数据为 “3Fh”。

对于反向协议型，必须将 SCMR.SDIR 位和 SCMR.SINV 位都置“1”。在根据智能卡的规格进行偶校验时，奇偶校验位为逻辑 0，对应状态 Z。在 RX630 群中， SINV 位只将数据位 D7 ～ D0 取反。因此，在发送和接收时，必须将 SMR.PM 位置 “1”，将奇偶校验位取反。

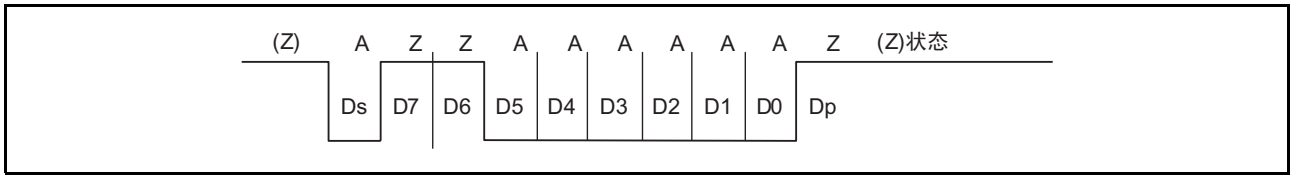


图 31.31 反向协议 （SCMR.SDIR 位 =1、 SCMR.SINV 位 =1、 SMR.PM 位 =1）

31.6.3 块传送模式

块传送模式和一般的智能卡接口模式比较，有以下不同点：

- 在接收时进行奇偶校验，即使检测到错误，也不输出错误信号。因为 SSR.PER 标志被置位，所以必须在接收下一帧的奇偶校验位前清除此位。
- 在发送时，从奇偶校验位结束到下一帧的开始至少需要 1etu 的保护时间。
- 因为不重新进行发送，所以在开始发送后的 11.5etu 后，将 SSR.TEND 标志置位。
- 和一般的智能卡接口模式一样， SSR.ERS 标志表示错误信号的状态。因为不发送和接收错误信号，所以 SSR.ERS 标志总是为 “0”。

31.6.4 接收数据的采样时序和接收容限

能用于智能卡接口模式的发送 / 接收时钟只有内部波特率发生器生成的内部时钟。

在智能卡接口模式中，根据 SCMR.BCP2 位和 SMR.BCP[1:0] 位的设定，SCI 通过频率为 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍或者 512 倍（在一般的异步模式中固定为 16 倍）位速率的基本时钟运行。

在接收时，通过基本时钟对起始位的下降沿进行采样，并且与内部取得同步。如图 31.32 所示，通过在基本时钟的 16 个、32 个、186 个、128 个、46 个、64 个、93 个、256 个周期的上升沿分别对接收数据进行采样，在各位的中央取数据。能用以下表达式表示此时的接收容限：

$$M=\left|(0.5-\frac{1}{2N})-(L-0.5)F-\frac{|D-0.5|}{N}(1+F)\right|\times 100 \quad [\%]$$

M： 接收容限(%)
N： 对应时钟的位速率比(N=32、64、372、256)
D： 时钟的占空比(D=0～1.0)
L ： 帧长(L=10)
F ： 时钟频率的偏差绝对值

假设在上述的表达式中， F=0， D=0.5， N=372，则接收容限如下所示：

M={0.5–1/(2×372)}×100[%] = 49.866%

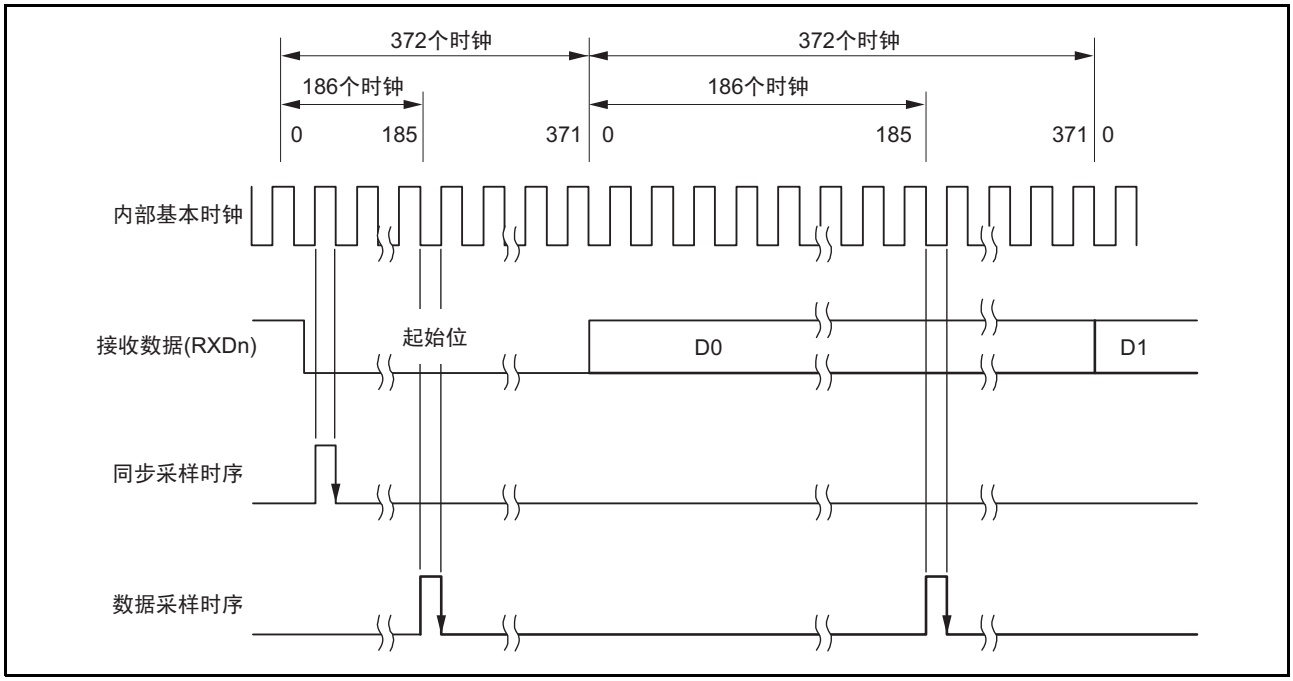


图 31.32 智能卡接口模式的接收数据的采样时序 （使用 372 倍时钟的情况）

31.6.5 SCI 的初始化 （智能卡接口模式）

在发送和接收数据前，必须按照以下步骤对 SCI 进行初始化。在从发送模式转换为接收模式或者从接收模式转换为发送模式时，都需要进行初始化。

1. 给SCR寄存器写初始值 “00h”。
2. 必须设定I/O端口，使TXDn引脚、 RXDn引脚和SCKn引脚中所需的输入/输出功能有效。
3. 必须将SSR寄存器的错误标志 （ORER、 ERS、 PER）置 “0”。
4. 必须将SIMR1.IICM位置 “0”并且将SPMR.CKPH位和SPMR.CKPOL位置 “0”。
   （如果不改变初始值，就能省略此步骤）
5. 必须设定SMR.GM位、SMR.BLK位、SMR.PM位、SMR.BCP[1:0]位、SMR.CKS[1:0]位和SCMR.BCP2位。此时，必须将SMR.PE位置 “1”。
6. 必须设定SCMR.SDIR位、 SCMR.SINV位和SCMR.SMIF位。 TXDn引脚和RXDn引脚为高阻抗状态。
7. 给BRR寄存器设定与位速率对应的值。
8. 必须设定SCR.CKE[1:0]位。此时，必须将SCR.TIE位、SCR.RIE位、SCR.TE位、SCR.RE位和SCR.TEIE位置 “0”。
   如果将CKE[0]位置 “1”，就从SCKn引脚输出时钟。
9. 必须设定SCR.TIE位、 SCR.RIE位、 SCR.TE位和SCR.RE位。除了进行自诊断以外，必须将TE位和RE位同时置位。

要从接收模式转换为发送模式时，必须在确认接收已结束后从初始化开始进行，并且将 TE 位置 “1”以及将 RE 位置 “0”。能通过 RXI 中断请求、 SSR.ORER 标志或者 SSR.PER 标志确认接收的结束。

要从发送模式转换为接收模式时，必须在确认发送已结束后从初始化开始进行，并且将 TE 位置 “0”以及将 RE 位置 “1”。能通过 SSR.TEND 标志确认发送的结束。

31.6.6 串行数据的发送 （块传送模式除外）

智能卡接口模式的串行发送包括错误信号的采样和重新发送处理，因此和一般的串行通信接口模式的运行不同 （块传送模式除外）。发送时的重新传送如图 31.33 所示。

1. 如果在结束1帧的发送后对接收侧的错误信号进行采样，就将SSR.ERS标志置“1”。此时，如果SCR.RIE位为 “1”，就产生ERI中断请求。必须在对下一个奇偶校验位进行采样前清除ERS标志。
2. 在接收到错误信号的帧中，不将 SSR.TEND 标志置位。再次将数据从 TDR 寄存器传送到 TSR 寄存器，自动进行重新发送。
3. 如果接收侧没有返回错误信号，就不将ERS标志置位。
4. 在判断出包括重新传送的1帧的发送已结束后，将SSR.TEND标志置位。此时，如果SCR.TIE位为“1”，就产生TXI中断请求。通过给TDR寄存器写发送数据，开始下一个数据的发送。

串行发送的流程图例子如图 31.35 所示。能通过 TXI 中断源启动 DTC 或者 DMAC，自动进行上述的一系列处理。

在发送时，如果将 SCR.TIE 位置“1”，就在 SSR.TEND 标志被置“1”时产生 TXI 中断请求。如果预先将 TXI 中断请求设定为 DTC 或者 DMAC 的启动源，就在通过 TXI 中断请求启动 DTC 或者 DMAC 后，进行发送数据的传送。在通过 DTC 或者 DMAC 进行数据传送时，将 TEND 标志自动置 “0”。

如果发生错误，SCI 就自动重新发送相同的数据。在此期间，TEND 标志保持“0”的状态并且不启动 DTC 或者 DMAC。因此，自动发送 SCI 以及 DTC 或者 DMAC 指定的字节数，包括发生错误时的重新发送。但是，在发生错误时不自动清除 ERS 标志，因此必须预先将 RIE 位置“1”，使在发生错误时产生 ERI 中断请求，并且清除 ERS 标志。

在使用 DTC 或者 DMAC 进行发送和接收时，必须先设定 DTC 或者 DMAC，在设定为允许状态后进行 SCI 的设定。

有关 DTC 或者 DMAC 的设定方法，请参照 “17. DMA 控制器 （DMACA）” 和 “18. 数据传送控制器 （DTCa）”。

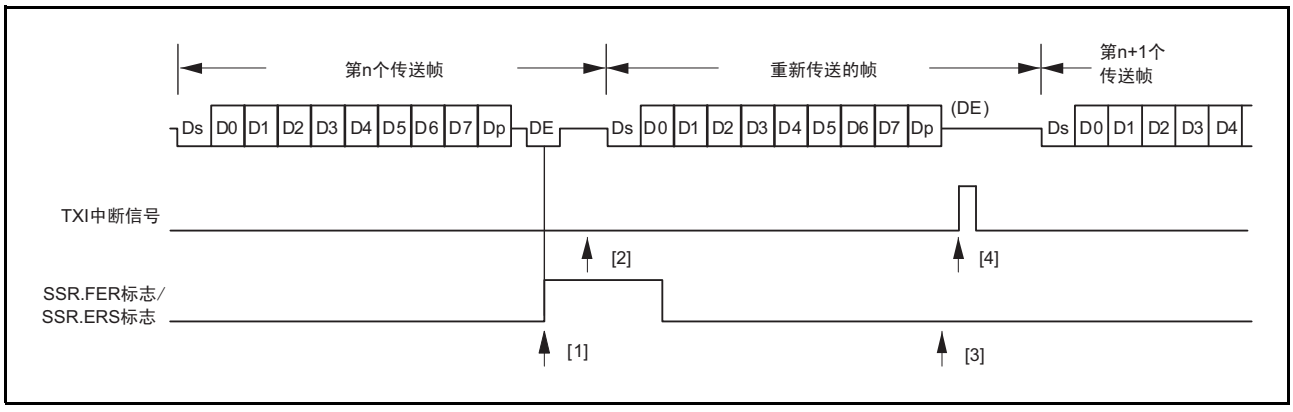


图 31.33 SCI 发送模式的重新传送 （发送时的重新传送）

SSR.TEND 标志的置位时序取决于 SMR.GM 位的设定， TEND 标志的产生时序如图 31.34 所示。

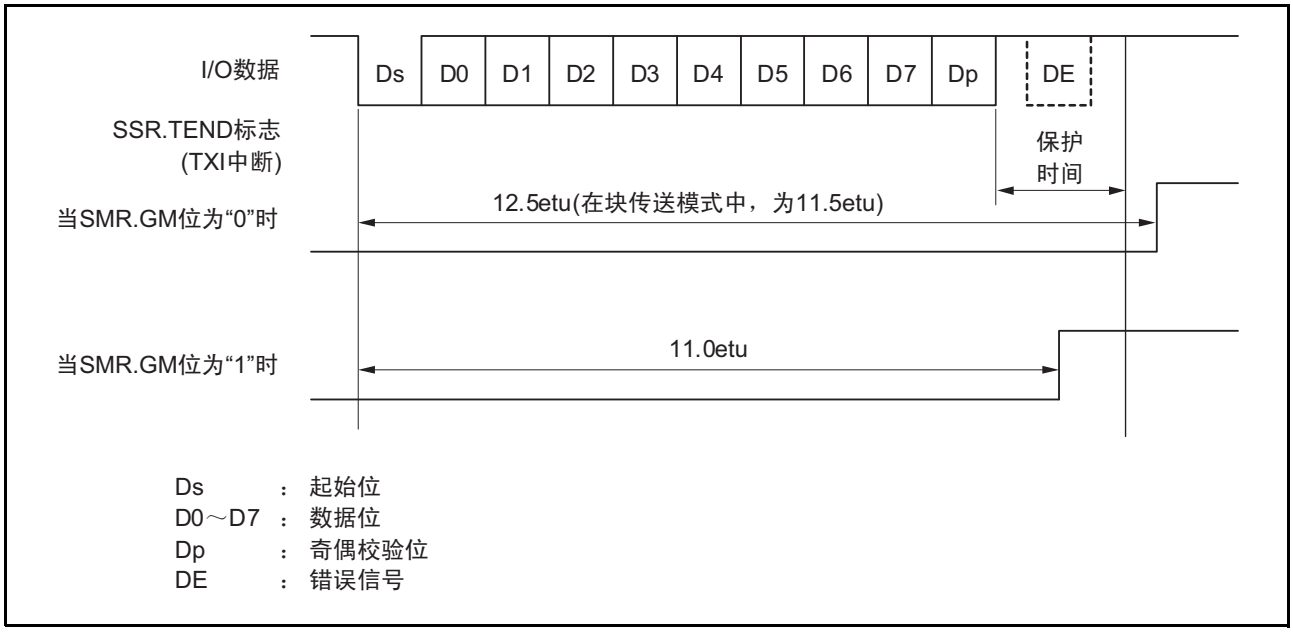


图 31.34 发送时的 SSR.TEND 标志的产生时序

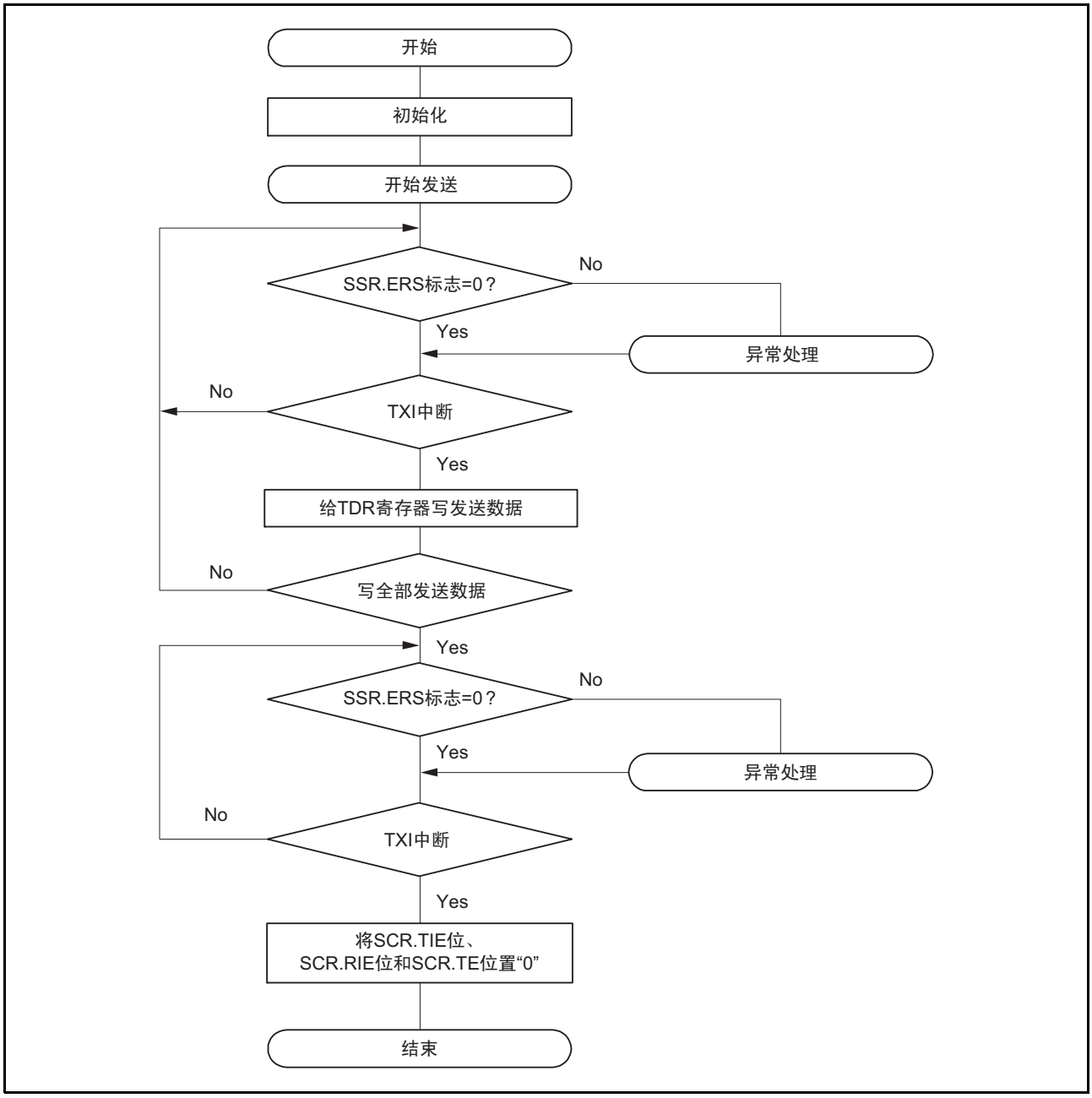


图 31.35 智能卡接口发送的流程图例子

31.6.7 串行接收 （块传送模式除外）

智能卡接口模式的串行接收和串行通信接口模式的处理步骤相同。接收模式的重新传送如图 31.36 所示。

1. 如果在接收数据时检测到奇偶校验错误，就将SSR.PER标志置“1”。此时，如果SCR.RIE位为“1”，就产生ERI中断请求。必须在下一个奇偶校验位的采样时序前清除PER标志。
2. 对于检测到奇偶校验错误的帧，不发生RXI中断。
3. 如果检测不到奇偶校验错误，就不将SSR.PER标志置位。
4. 如果在判断出接收正常结束后RIE位为 “1”，就产生RXI中断请求。

串行接收的流程图例子如图 31.37 所示。能通过 RXI 中断请求启动 DTC 或者 DMAC，自动进行上述的一系列处理。

如果在接收时预先将 RIE 位置“1”，就产生 RXI 中断请求。如果预先将 RXI 中断设定为 DTC 或者 DMAC 的启动源，就在通过 RXI 中断请求启动 DTC 或者 DMAC 后，进行接收数据的传送。

如果在接收时发生错误并且 SSR.ORER 标志或者 SSR.PER 标志被置“1”，就产生接收错误中断（ERI）请求，因此必须清除错误标志。因为在发生错误时不启动 DTC 或者 DMAC 而省略接收数据，所以只传送由 DTC 或者 DMAC 设定的字节数的接收数据。

即使在接收时发生奇偶校验错误并且 PER 标志被置“1”，也将接收数据传送到 RDR 寄存器，因此能读此数据。

注 . 有关块传送模式，请参照 “31.3 异步模式的运行”。

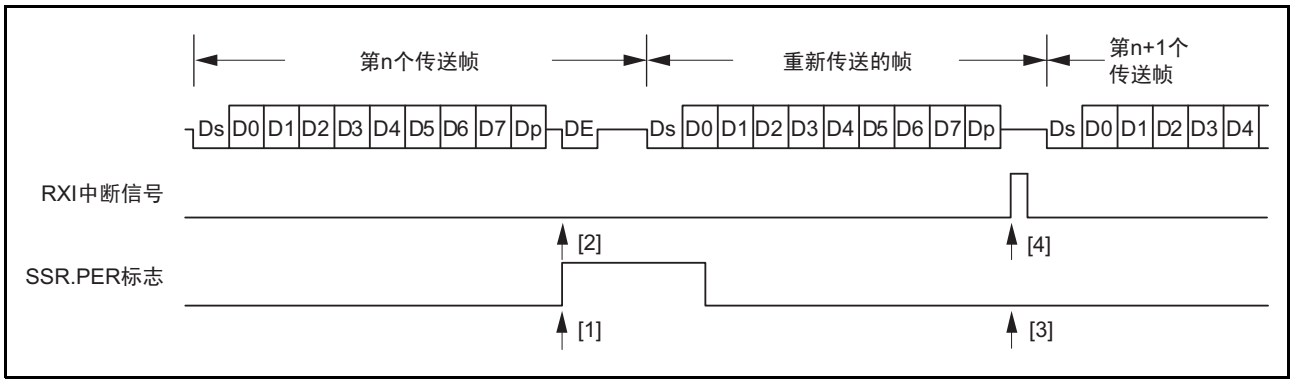


图 31.36 SCI 接收模式的重新传送 （接收时的重新传送）

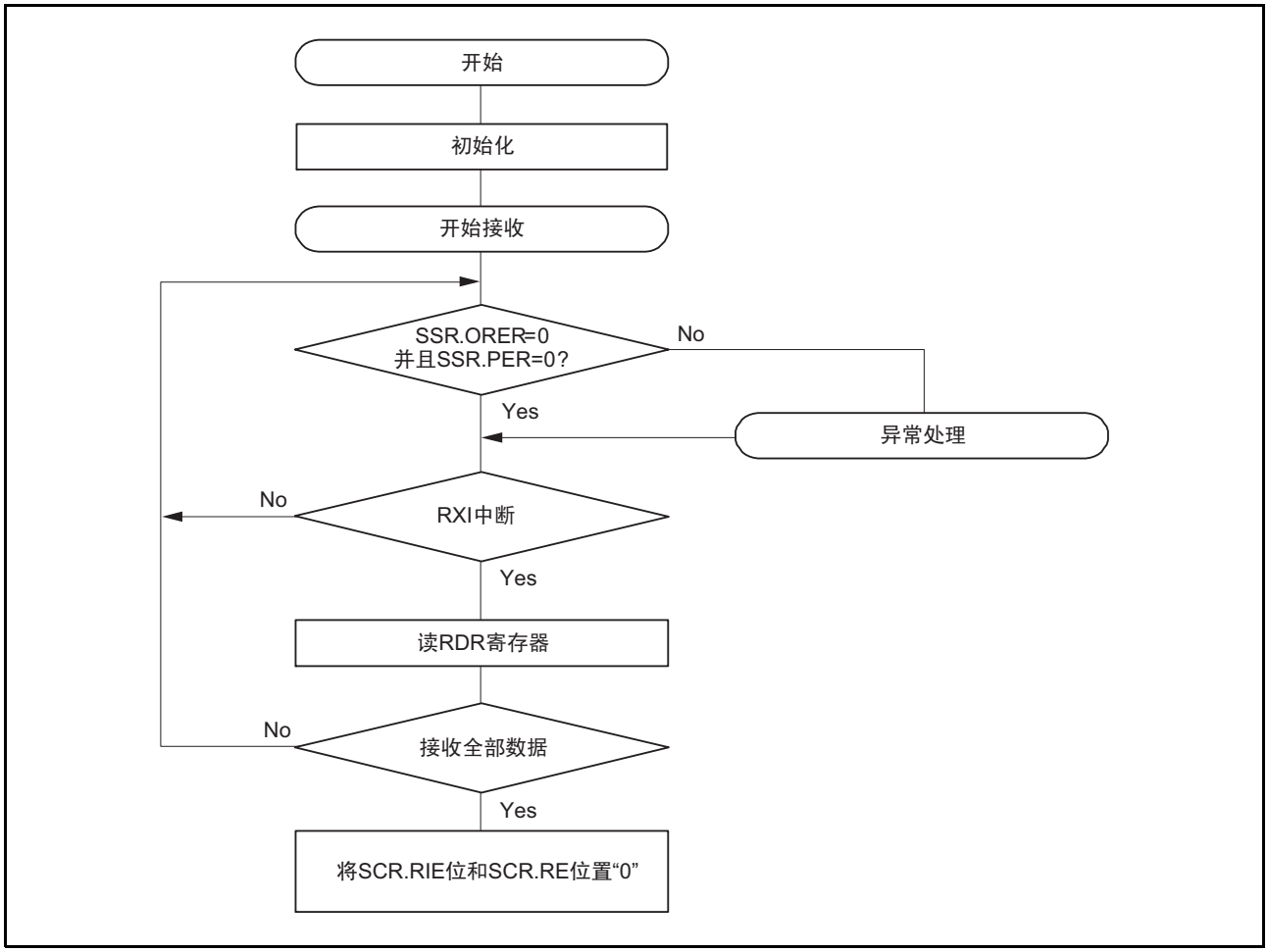


图 31.37 智能卡接口接收的流程图例子

31.6.8 时钟的输出控制

当 SMR.GM 位为“1”时，能通过 SCR.CKE[1:0] 位固定时钟输出。此时，能将时钟脉冲的最小宽度设定为指定的宽度。

时钟输出固定时序如图31.38所示，这是在GM位为“1”并且CKE1位为“0”的状态下控制CKE0位的例子。

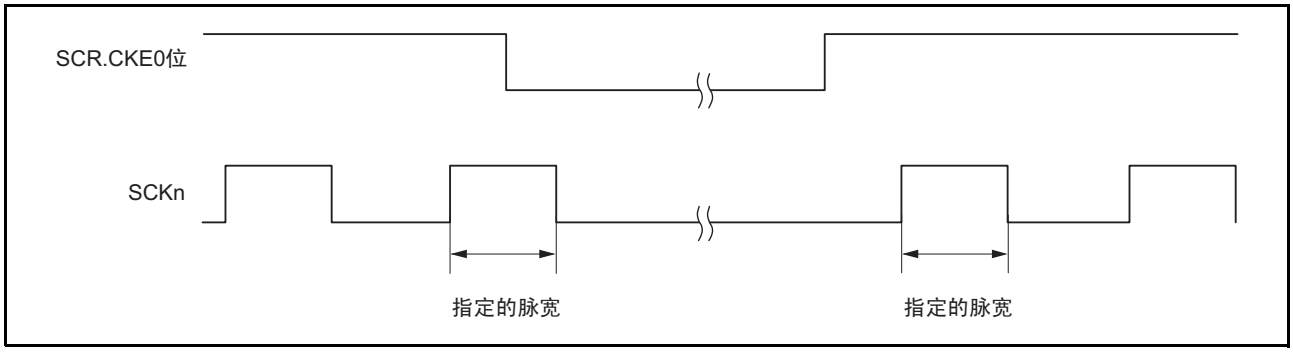


图 31.38 时钟输出固定时序

在接通电源、向软件待机模式转移或者从软件待机模式返回时，为了确保时钟的占空比，必须按照以下步骤进行处理：

(1) 电源接通时

为了从接通电源开始确保时钟的占空比，必须按照以下步骤进行转换处理：

1. 初始状态为端口输入的高阻抗状态。要固定电位时，必须使用上拉电阻或者下拉电阻。
2. 必须设定SCR.CKE[1]位和I/O端口功能，将SCKn引脚固定为指定的输出。
3. 必须设定SMR寄存器和SCMR寄存器，转换为智能卡接口模式的运行。
4. 必须将SCR.CKE[0]位置 “1”，开始时钟的输出。

(2) 转换模式时

(a) 从智能卡接口模式转移到软件待机模式的情况

1. 必须设定I/O端口，使SCKn引脚变为软件待机模式中所需的输出固定状态的值。
2. 必须给SCR.TE位和SCR.RE位写 “0”，停止发送和接收。
   同时，必须给SCR.CKE[1]位设定软件待机时的输出固定状态的值。
3. 必须给SCR.CKE[0]位写 “0”，停止时钟。
4. 必须等待1个串行时钟周期。在此期间，保持占空比并且以指定的电平固定时钟的输出。
5. 必须转移到软件待机状态。

(b) 从软件待机模式返回到智能卡接口模式的情况

6. 必须解除软件待机状态。
7. 必须将SCR.CKE[0]位置 “1”，输出时钟。开始以正常的占空比生成信号。

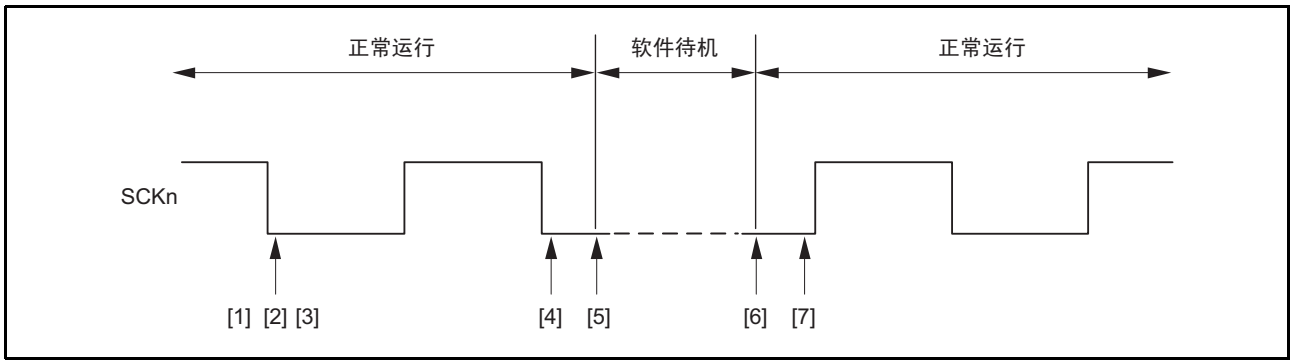


图 31.39 时钟的停止和重新启动的步骤

31.7 简易 I2C 模式的运行

简易 I2C 总线格式由 8 位数据和 1 个应答位构成。接在开始条件和重新开始条件之后的帧为从属地址帧，用于主控设备指定通信对象的从属设备。指定的从属设备有效到指定新的从属设备或者满足停止条件为止。从 MSB 开始依次发送各帧中的 8 位数据。

I2C 总线格式和总线时序分别如图 31.40 和图 31.41 所示。

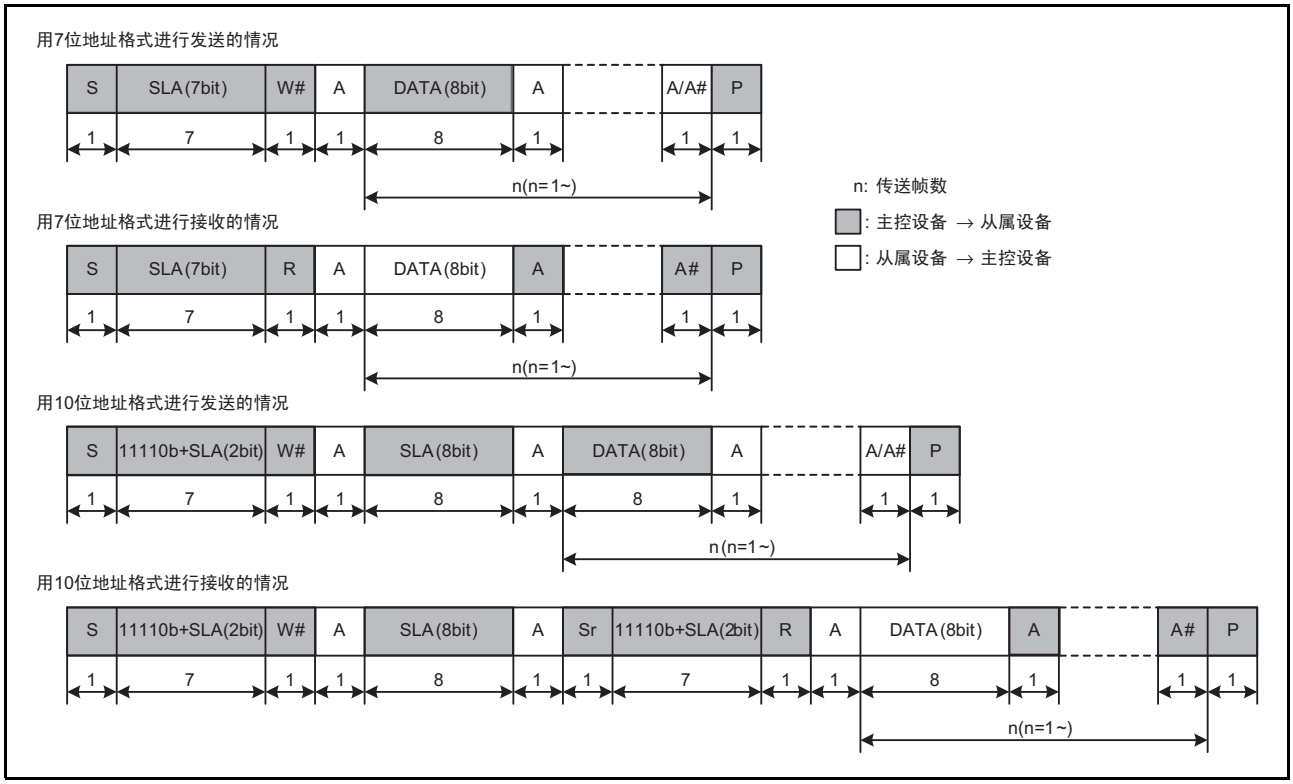


图 31.40 I2C 总线格式

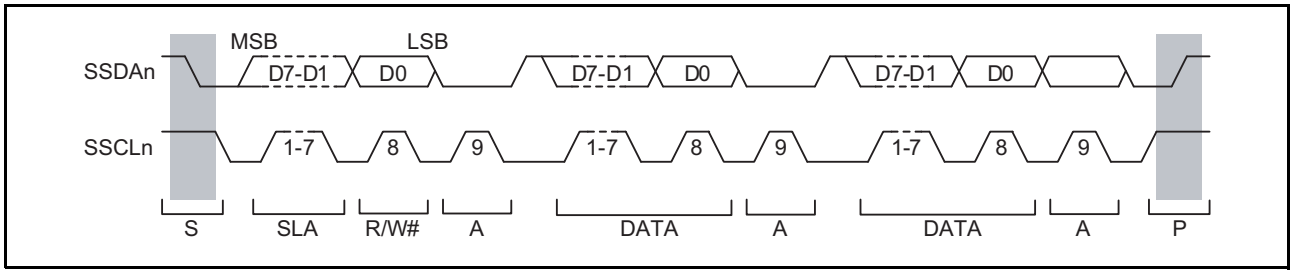


图 31.41 I2C 总线时序 （SLA 为 7 位的情况）

S ：表示开始条件。主控设备在 SSCLn 线为 High 电平的状态下将 SSDAn 线从 High 电平变为 Low 电平。

SLA ：表示从属地址。主控设备选择从属设备。

R/W# ：表示发送和接收的方向。当 R/W# 为 “1” 时，将数据从从属设备发送到主控设备；当 R/W# 为 “0” 时，将数据从主控设备发送到从属设备。

A/A# ：表示应答 （在主控发送模式中，从属设备返回应答；在主控接收模式中，主控设备返回应答）。 ACK 返回 Low 电平， NACK 返回 High 电平。

Sr ：表示重新开始条件。主控设备在 SSCLn 线为 High 电平的状态下经过准备时间后将 SSDAn 线从 High 电平变为 Low 电平。

DATA ：表示发送和接收数据。

P ：表示停止条件。主控设备在 SSCLn 线为 High 电平的状态下将 SSDAn 线从 Low 电平变为 High 电平。

31.7.1 开始条件、重新开始条件和停止条件的生成

通过给 SIMR3.IICSTAREQ 位写 “1”生成开始条件。开始条件的生成如下所示：

- 降低SSDAn线的电平 （从High电平变为Low电平）， SSCLn线保持释放状态。
- 确保BRR寄存器所设位速率的一半时间以及开始条件的保持时间。
- 降低SSCLn线的电平 （从High电平变为Low电平），将SIMR3.IICSTAREQ位清 “0”并且输出开始条件的生成中断请求。

通过给 SIMR3.IICRSTAREQ 位写 “1”生成重新开始条件。重新开始条件的生成如下所示：

- 释放SSDAn线， SSCLn线保持Low电平。
- 确保BRR寄存器所设位速率的一半时间以及SSCLn线的Low电平时间。
- 释放SSCLn线 （从Low电平变为High电平）。
- 在检测到SSCLn线的High电平后，确保BRR寄存器所设位速率的一半时间以及重新开始条件的准备时间。
- 降低SSDAn线的电平 （从High电平变为Low电平）。
- 确保BRR寄存器所设位速率的一半时间以及重新开始条件的保持时间。
- 降低SSCLn线的电平 （从High电平转移到Low电平），将SIMR3.IICRSTAREQ位清 “0”并且输出重新开始条件的生成中断请求。

通过给 SIMR3.IICSTPREQ 位写 “1”生成停止条件。停止条件的生成如下所示：

- 降低SSDAn线的电平 （从High电平变为Low电平）， SSCLn线保持Low电平。
- 确保BRR寄存器所设位速率的一半时间以及SSCLn线的Low电平时间。
- 释放SSCLn线 （从Low电平变为High电平）。
- 在检测到SSCLn线的High电平后，确保BRR寄存器所设位速率的一半时间以及停止条件的准备时间。
- 释放SSDAn线的电平 （从Low电平变为High电平），将SIMR3.IICSTPREQ位清 “0”并且输出停止条件的生成中断请求。

开始条件、重新开始条件和停止条件生成的运行时序如图 31.42 所示。

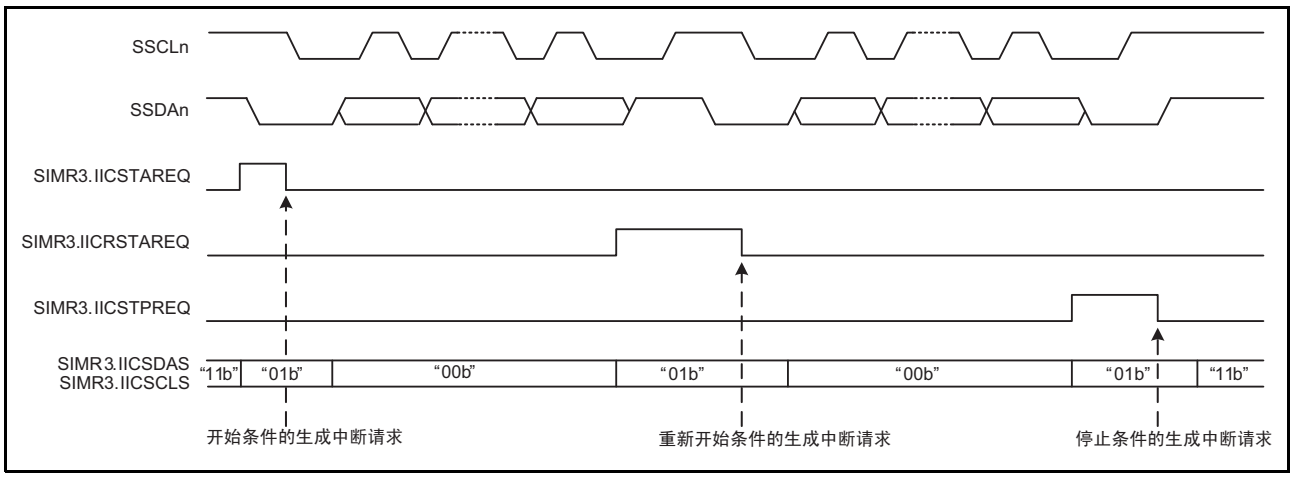


图 31.42 开始条件、重新开始条件和停止条件生成的运行时序

31.7.2 时钟同步

有时为了使通信对象的从属设备插入等待而将 SSCLn 线置为 Low 电平。如果将 SIMR2.IICCSC 位置“1”，就在内部 SSCLn 时钟和 SSCLn 引脚的输入电平不同时对同步的取得进行控制。

当 SIMR2.IICCSC 位为 “1” 时，如果内部 SSCLn 时钟从 Low 电平变为 High 电平，就在 SSCLn 引脚的输入为 Low 电平期间停止 High 电平期间的计数，一旦 SSCLn 引脚的输入变为 High 电平，就开始 High 电平期间的计数。此时，从 SSCLn 引脚变为 High 电平到开始 High 电平期间的计数为止，需要 SSCLn 引脚输入延迟、SSCLn 引脚输入的噪声滤波器延迟（2 ～ 3 个的噪声滤波器的采样时钟周期）和内部处理延迟（1 ～ 2 个 PCLK 周期）的时间。在此期间，即使其他设备不将 SSCLn 线置为 Low 电平，也会延长内部 SSCLn 时钟的 High 电平时间。

当 SIMR2.IICCSC 位为 “1” 时，与 SSCLn 引脚输入和内部 SSCLn 时钟的逻辑与同步进行数据的发送和接收；当 SIMR2.IICCSC 位为 “0” 时，与内部 SSCLn 时钟同步进行数据的接收和发送。

在从发行开始条件、重新开始条件和停止条件的生成请求后到内部 SSCLn 时钟从 Low 电平变为 High 电平为止的期间，如果从属设备插入等待，生成结束就延长此期间的时间。

如果在内部 SSCLn 时钟变为 High 电平后从属设备插入等待，即使在此等待期间也不停止，而发行生成结束的中断请求，但是不保证条件的生成。

时钟同步的运行例子如图 31.43 所示。

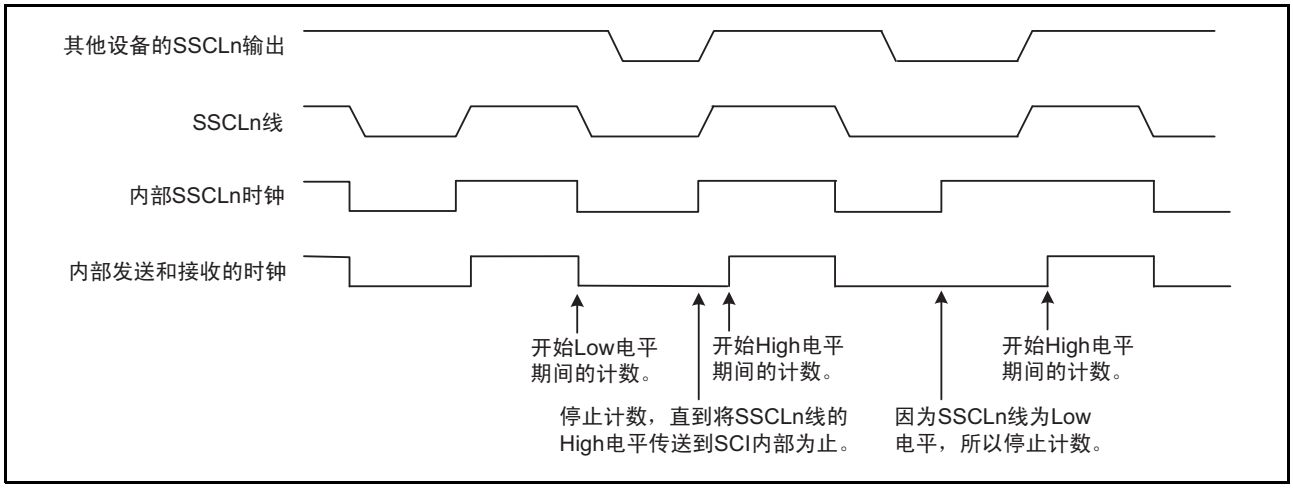


图 31.43 时钟同步的运行例子

31.7.3 SSDA 输出延迟

对于 SSCLn 引脚输出的下降沿，能通过 SIMR1.IICDL[4:0] 位延迟 SSDAn 引脚的输出。延迟时间能以内部波特率发生器的时钟源为基准 （以 PCLK 为基准通过 SMR.CKS[1:0] 选择的分频时钟），选择 0 ～ 31 个周期的延迟时间。延迟 SSDAn 引脚输出的对象为开始条件信号、重新开始条件信号、停止条件信号、 8 位发送数据和应答。

如果 SSDA 输出延迟时间比 SSCLn 引脚输出的下降时间短，SSDAn 引脚的输出就可能在 SSCLn 引脚输出的下降过程中开始变化，使从属设备发生误动作。因此必须将 SSDA 输出延迟设定为大于 SSCLn 引脚输出的下降时间的最大值 （在 I^2C 的标准模式和快速模式中为 300ns）。

SSDA 输出延迟的时序如图 31.44 所示。

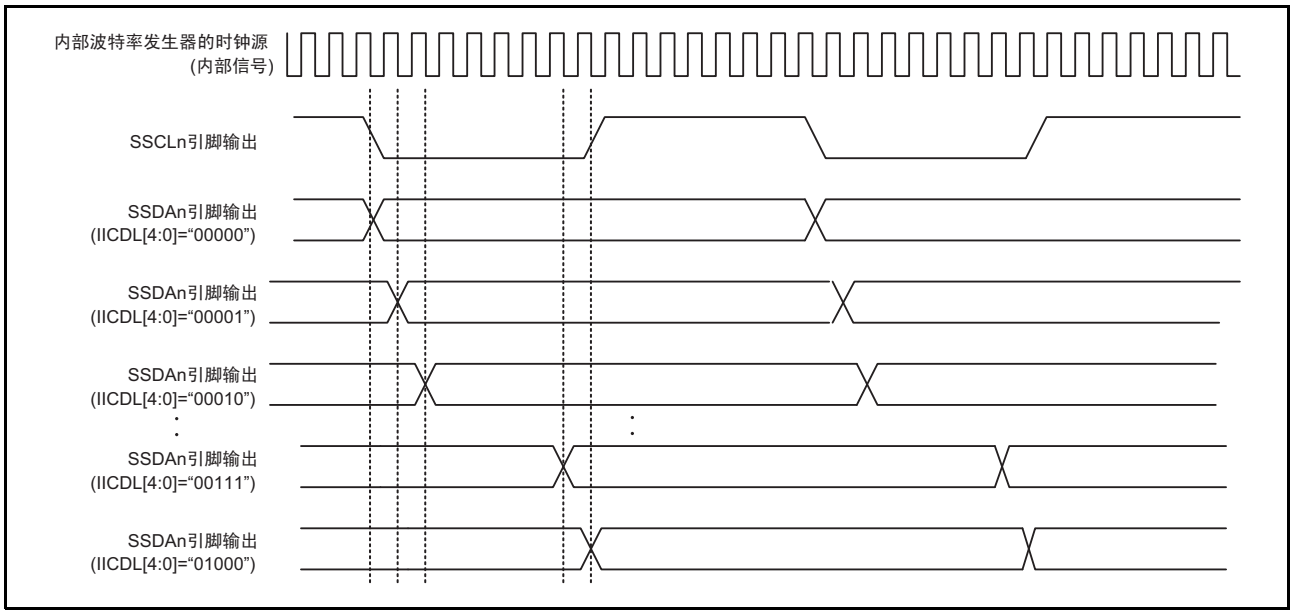


图 31.44 SSDA 输出延迟的时序

31.7.4 SCI 的初始化 （简易 I2C 模式）

必须在发送和接收数据前给 SCR 寄存器写初始值 “00h”，并且按照图 31.45 的流程图例子进行初始化。

必须在将 SCR 寄存器置为初始值后更改运行模式和通信格式。另外，在简易 I2C 模式中，必须在端口侧设定通信端口的漏极开路。

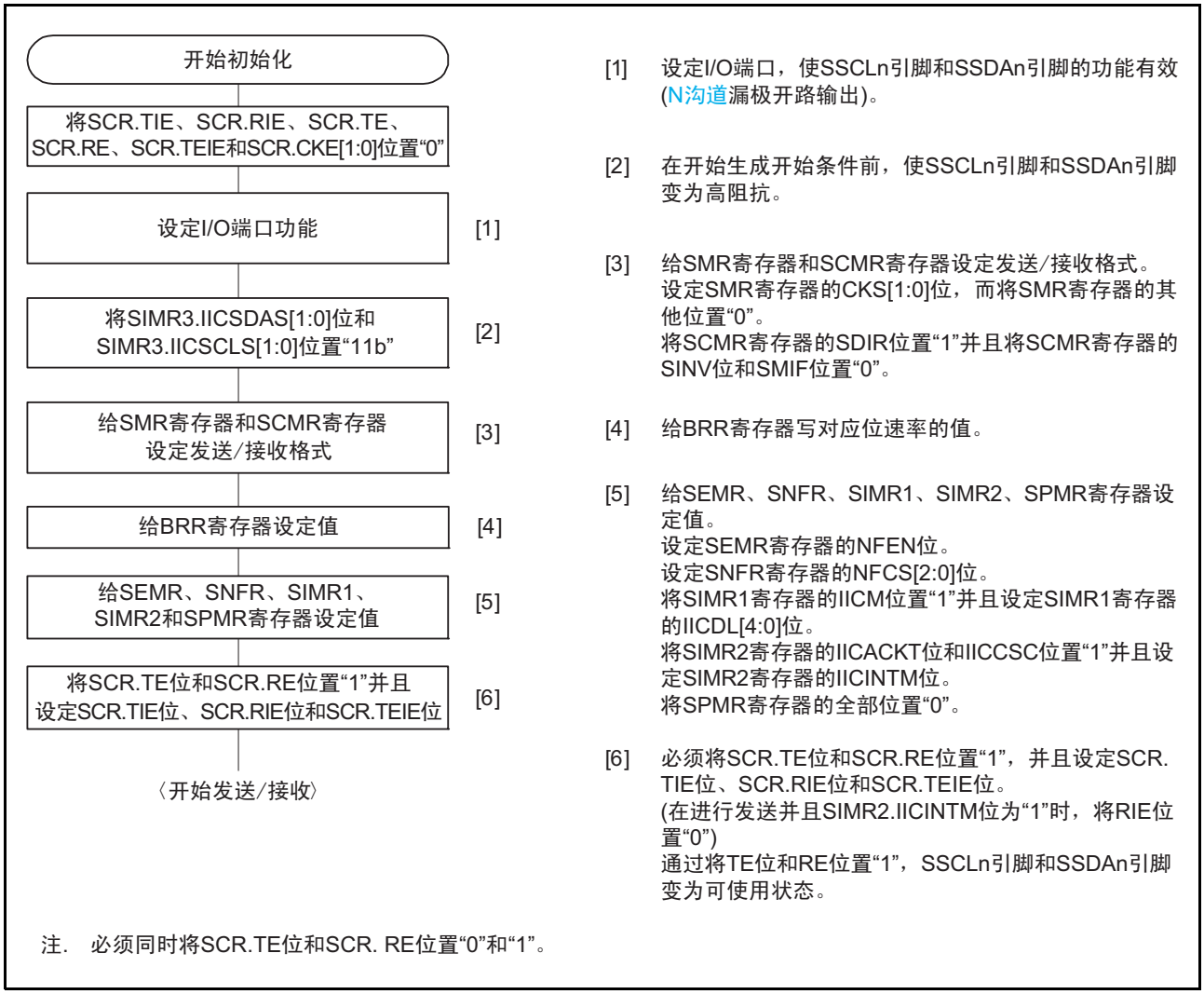


图 31.45 SCI 的初始化流程图例子 （简易 I2C 模式）

31.7.5 主控发送 （简易 I2C 模式）

简易 I2C 模式的主控发送运行例子如图 31.46 和图 31.47 所示，数据发送的流程图例子如图 31.48 所示。这些例子都假设将 SIMR2.IICINTM 位置 “1”（使用接收中断和发送中断）并且将 SCR.RIE 位置 “0”（禁止接收中断请求）。有关 STI 中断，请参照表 31.29。

在 10 位从属地址模式中，重复 2 次图 31.48 中的步骤 [3] ～ [4]。

简易 I2C 模式中的发送结束中断（TXI）发生在 1 帧的通信结束时，和时钟同步发送时的 TXI 中断请求发生时序不同。

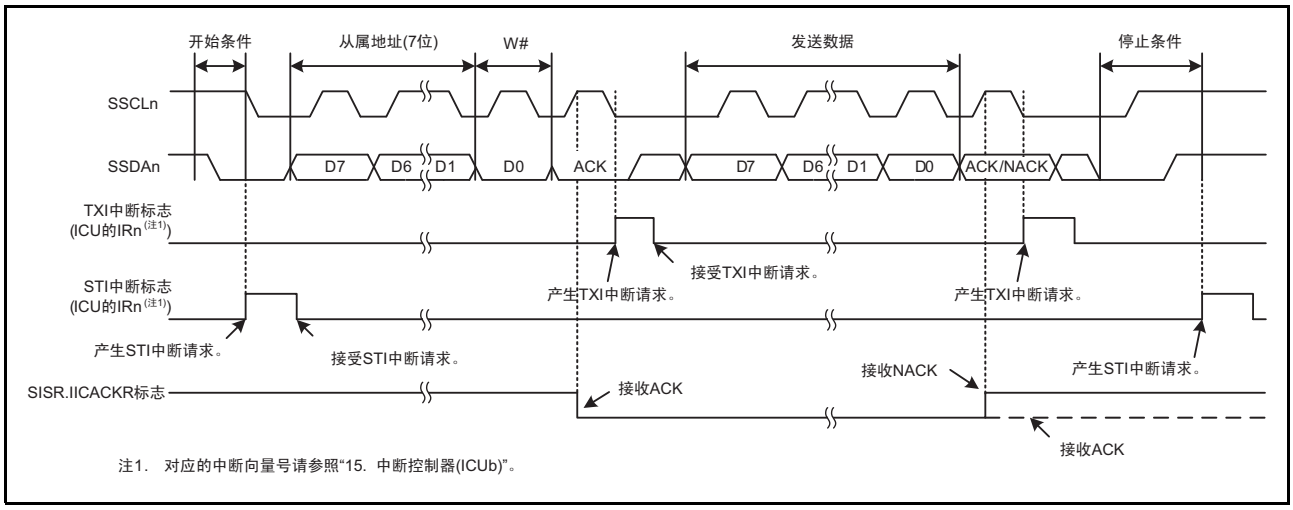


图 31.46 简易 I2C 总线模式的主控发送运行例子 1 （使用 7 位从属地址、发送中断和接收中断的情况）

如果在主控发送时将 SIMR2.IICINTM 位置 “0”（使用 ACK 中断和 NACK 中断），就以 ACK 中断为触发，启动 DTC 或者 DMAC 并且发送所需字节数的数据。如果接收到 NACK，就以 NACK 中断为触发，中止发送并且进行重新发送等错误处理。

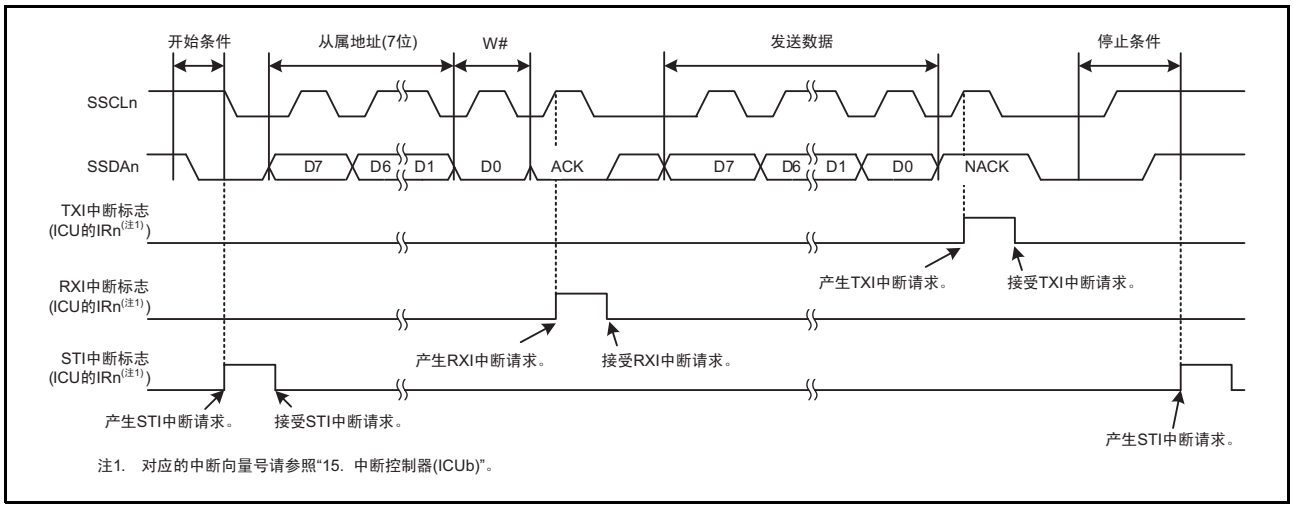


图 31.47 简易 I2C 总线模式的主控发送运行例子 2 （使用 7 位从属地址、 ACK 中断和 NACK 中断的情况）

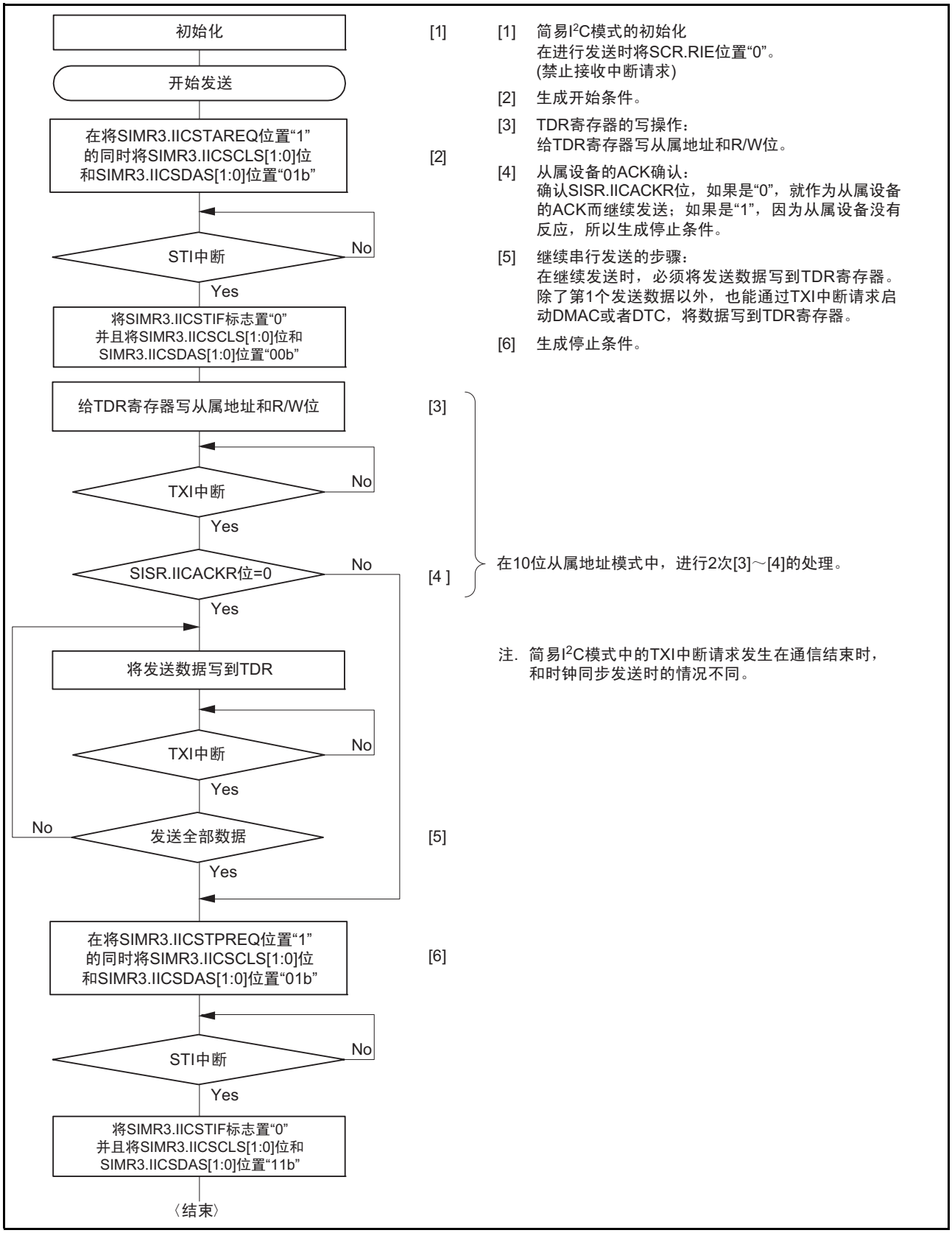


图 31.48 简易 I2C 模式的主控发送运行流程图例子 （使用发送中断和接收中断的情况）

31.7.6 主控接收 （简易 I2C 模式）

简易 I2C 模式的主控接收运行例子和主控接收的流程图例子分别如图 31.49 和图 31.50 所示。这些例子都假设将 SIMR2.IICINTM 位置 “1”（使用接收中断和发送中断）。

简易 I2C 模式的发送结束中断（TXI）发生在 1 帧的通信结束时，和时钟同步发送时的 TXI 中断请求发生时序不同。

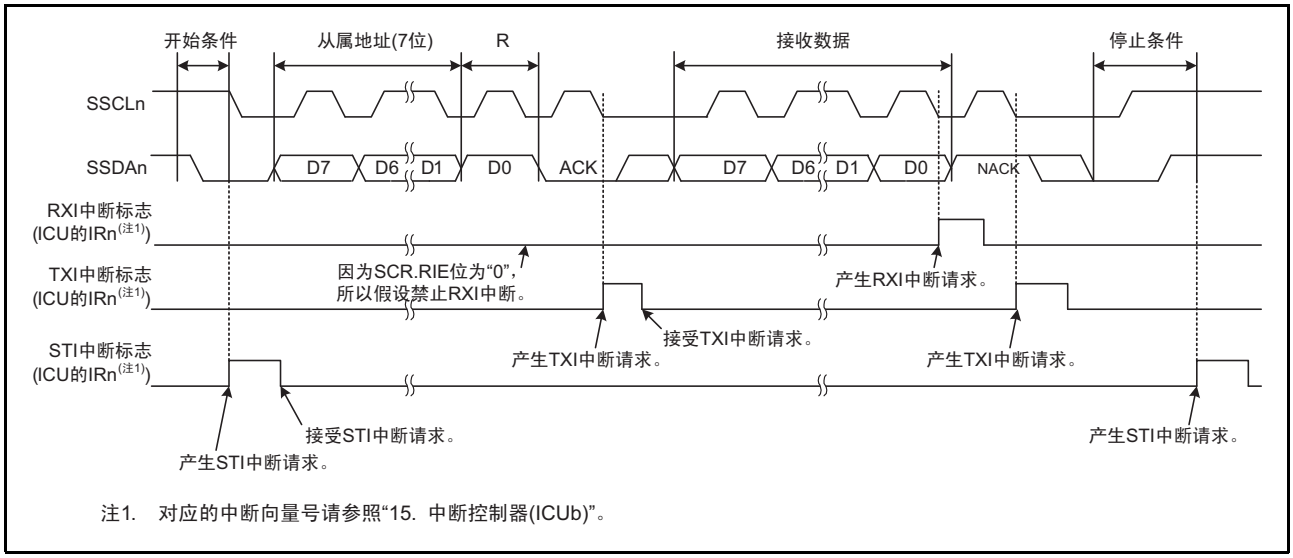


图 31.49 简易 I2C 总线模式的主控接收运行例子 （使用 7 位从属地址、发送中断和接收中断的情况）

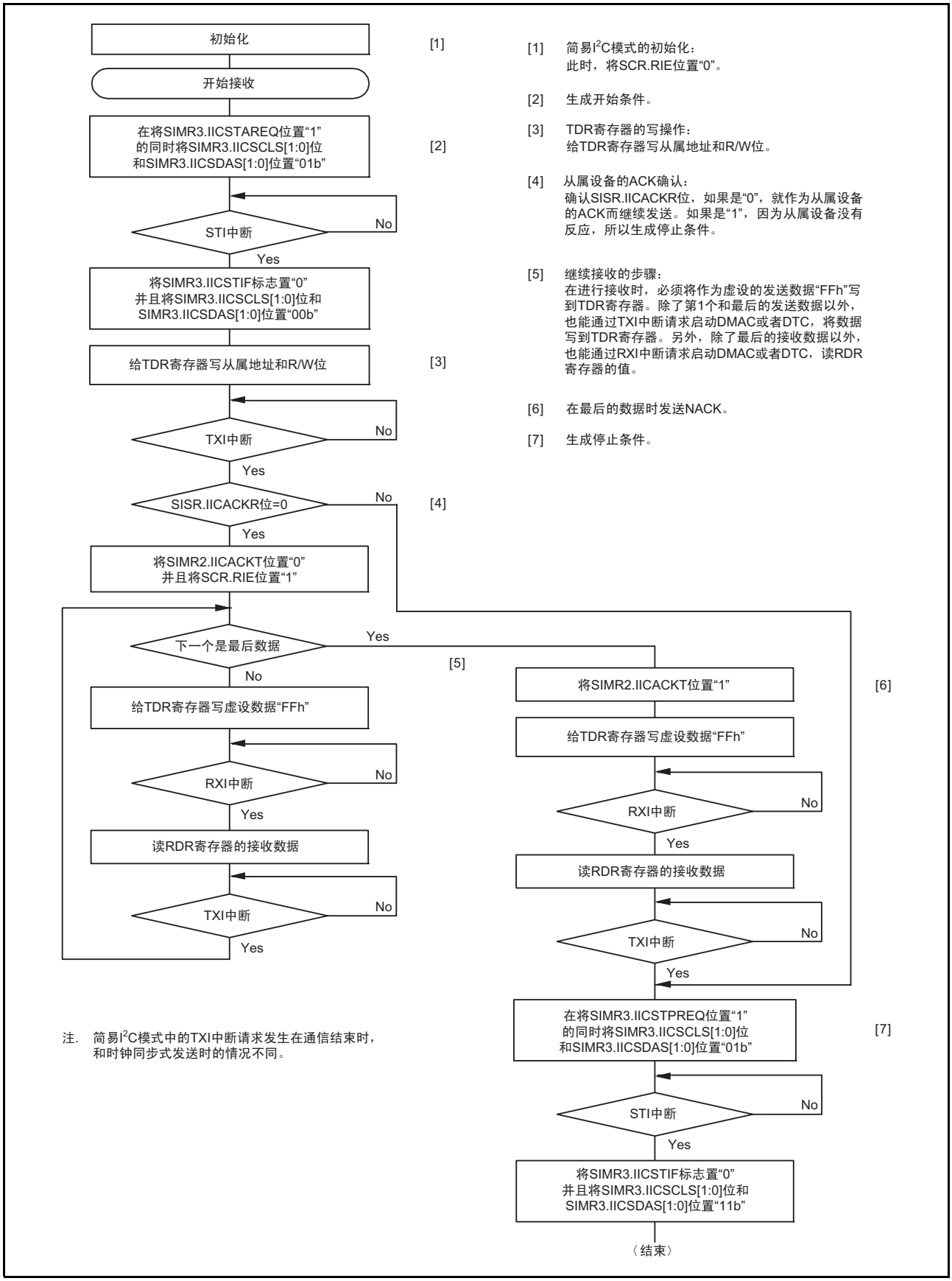


图 31.50　简易 I2C 模式的主控接收运行流程图例子 （使用发送中断和接收中断的情况）

31.8 简易 SPI 模式的运行

作为 SCI 的扩展功能，支持 1 个或者多个主控设备能对多个从属设备进行通信的简易 SPI 模式。

通过设定时钟同步模式（SCMR.SMIF 位 =0、SIMR1.IICM 位 =0、SMR.CM 位 =1）并且将 SPMR.SSE 位置 “1”，进入简易 SPI 模式。在简易 SPI 模式用途中用于主控模式的单主控时，不需要主控侧的 SS 引脚功能，将 SPMR.SSE 位置 “0”。

简易 SPI 模式的连接例子如图 31.51 所示。必须通过通用端口控制主控设备的 SS 信号的输出。

简易 SPI 模式和时钟同步模式一样，与时钟脉冲同步进行数据的发送和接收。通信数据的 1 个字符由 8 位数据构成，不能附加奇偶校验位。能通过将 SCMR.SINV 位置 “1”，将发送 / 接收数据取反。

SCI 内部的发送部和接收部独立，因此能通过共享时钟进行全双工通信。因为发送部和接收部都为双缓冲结构，所以能通过在发送过程中写下一个发送数据并且在接收过程中读前一个接收数据，进行连续的发送和接收。

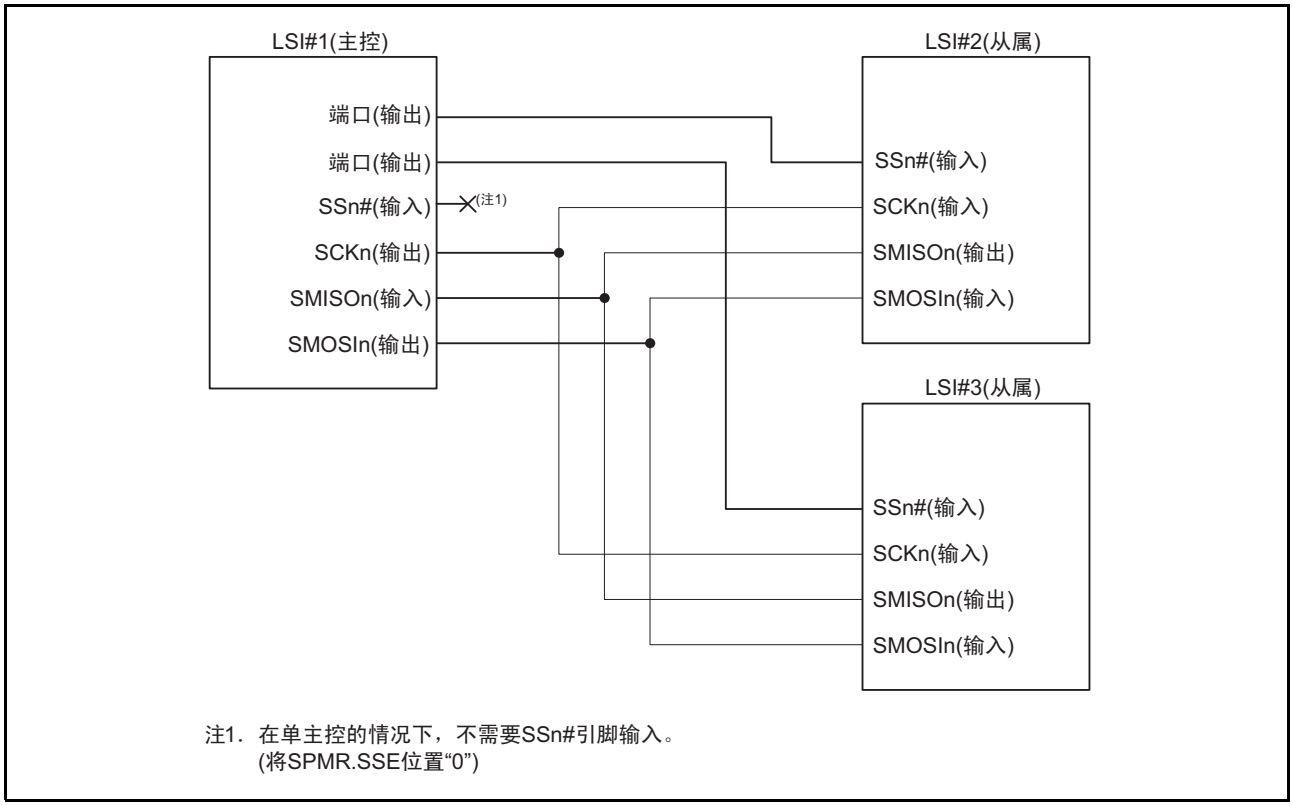


图 31.51 简易 SPI 模式的连接例子 （单主控 （SPMR.SSE 位 =0））

31.8.1 主控模式、从属模式和各引脚的状态

在简易 SPI 模式中，主控模式（SCR.CKE[1:0] 位 =00 或者 01 并且 SPMR.MSS 位 =0）和从属模式（SCR.CKE[1:0] 位 =10 或者 11 并且 SPMR.MSS 位 =1）中的各引脚的输入 / 输出方向不同。

模式、 SSn# 引脚输入和各引脚状态的关系如表 31.25 所示。

表 31.25 模式、 SSn# 引脚输入和各引脚状态的关系

模式	SSn# 引脚输入	SMOSIn 引脚状态	SMOSIn 引脚状态	SCKn 引脚状态
主控模式 （注 1）	High 电平 （能通信）	发送数据输出 （注 2）	接收数据输入	时钟输出 （注 3）
	Low 电平 （不能通信）	高阻抗	接收数据输入 （无效）	高阻抗
从属模式	High 电平 （不能通信）	接收数据输入 （无效）	高阻抗	时钟输入 （无效）
	Low 电平 （能通信）	接收数据输入	发送数据输出	时钟输入

注 1. 在单主控时 （SPMR.SSE 位 =0）为可通信状态，与 SSn# 引脚的输入电平无关 （和 SSn# 引脚的输入为 High 电平时等效）。不使用 SSn# 引脚，而此引脚能用作其他用途。

注 2. 在禁止发送时 （SCR.TE 位 =0）为高阻抗状态。

注 3. 在多主控 （SPMR.SSE 位 =1）并且禁止发送和接收时 （SCR.TE 位 =00 并且 SCR.RE 位 =00）为高阻抗状态。

31.8.2 主控模式中的 SS 功能

通过将 SCR.CKE[1:0] 位置 “00” 并且将 SPMR.MSS 位置 “0”，进入主控模式。

在单主控时 （SPMR.SSE 位 =0）不使用 SSn# 引脚，与 SSn# 引脚输入的电平无关，能进行发送和接收。

在多主控 （SPMR.SSE 位 =1）并且 SSn# 引脚的输入为 High 电平时，作为表示没有其他主控或者其他主控没有进行发送和接收的主控，从 SCKn 引脚输出时钟并且进行发送和接收。在多主控 （SPMR.SSE 位 =1）并且 SSn# 引脚的输入为 Low 电平时，表示有其他主控并且正在进行发送和接收。此时，SCI 将 SMOSIn 引脚和 SCKn 引脚的输出置为高阻抗，不开始发送和接收。在发生模式故障错误时， SPMR.MFF 标志为 “1”。在多主控时，必须通过读 SPMR.MFF 标志来进行错误处理。即使在发送和接收过程中发生模式故障，也不停止发送和接收，而在发送和接收结束后，将 SMOSIn 引脚和 SCKn 引脚的输出置为高阻抗。

必须通过通用端口控制主控的 SS 信号输出。

31.8.3 从属模式中的 SS 功能

通过将 SCR.CKE[1:0] 位置 “10” 并且将 SPMR.MSS 位置 “1”，进入从属模式。

当 SSn# 引脚的输入为 High 电平时，SMISOn 引脚的输出为高阻抗，忽视 SCKn 引脚的时钟输入；当 SSn# 引脚的输入为 Low 电平时，SCKn 引脚的时钟输入有效并且能进行发送和接收。如果在发送和接收过程中 SSn# 引脚的输入从 Low 电平变为 High 电平，就根据 SCKn 引脚的时钟输入，在发送和接收结束前不停止运行。此后，在 SSn# 引脚的输入从 High 电平变为 Low 电平前，忽视 SCKn 引脚的时钟输入。

31.8.4 时钟和发送 / 接收数据的关系

能通过 SPMR.CKPOL 位和 SPMR.CKPH 位从 4 种时钟中选择用于发送和接收的时钟。时钟和发送 / 接收数据的关系如图 31.52 所示。在主控模式和从属模式中，时钟和发送 / 接收数据的关系都相同 （和 SSn# 引脚的输入为 High 电平时等效）。SSn# 引脚能用于其他用途。详细内容请参照 “31.8.2 主控模式中的 SS 功能”。

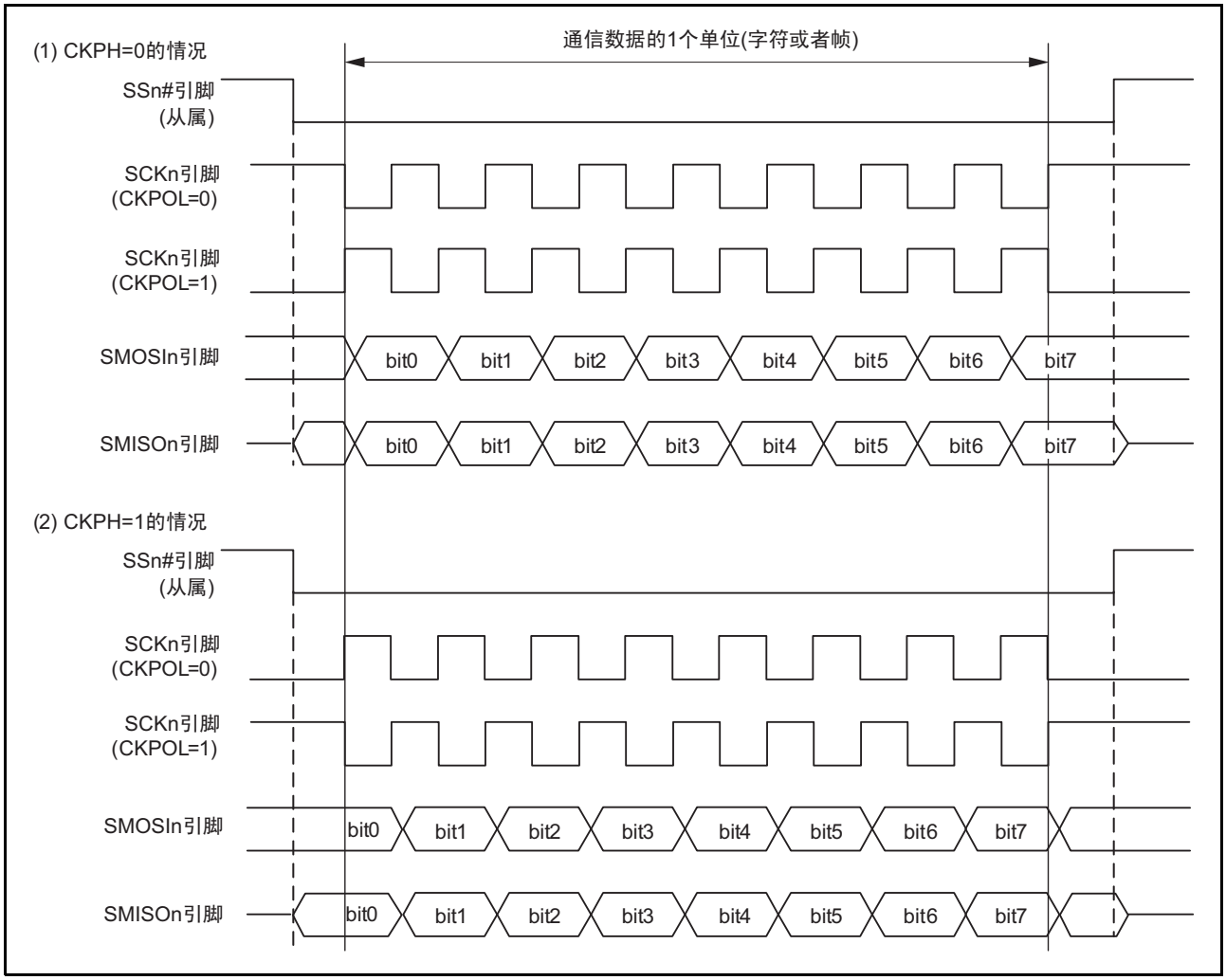


图 31.52 简易 SPI 模式的时钟和发送 / 接收数据的关系

31.8.5 SCI 的初始化 （简易 SPI 模式）

和时钟同步模式的初始化步骤（图 31.21 的 SCI 的初始化流程图例子）相同。SPMR.CKPOL 位和 SPMR.CKPH 位选择的时钟种类适合于主控设备和从属设备。

必须在将 SCR 寄存器置为初始值后进行初始化以及更改运行模式和通信格式。

必须注意：即使将 RE 位置 “0”，也不对 SSR.ORER 标志、 SSR.FER 标志、 SSR.PER 标志和 RDR 寄存器进行初始化。

必须注意: 如果将 TE 位从“1”置为“0”或者从“0”置为“1”，就在 SCR.TIE 位为“1”时产生 TXI 中断。

31.8.6 串行数据的发送和接收 （简易 SPI 模式）

在主控模式中，如果在开始发送和接收前将发送和接收目标的从属设备的 SSn# 引脚置为 Low 电平并且结束发送和接收，就将发送和接收目标的从属设备的 SSn# 引脚置为 High 电平。其他步骤和时钟同步模式相同。

31.9 扩展串行模式控制部的运行说明

31.9.1 串行通信协议

如图 31.53 所示， SCId 的扩展串行模式控制部和 SCIc 一起实现由 Start Frame 和 Information Frame 构成的串行通信协议。

Start Frame 由 Break Field、Control Field 0 和 Control Field 1 构成。Information Frame 能由几个 Data Field、CRC16 Upper Field 和 CRC16 Lower Field 构成。

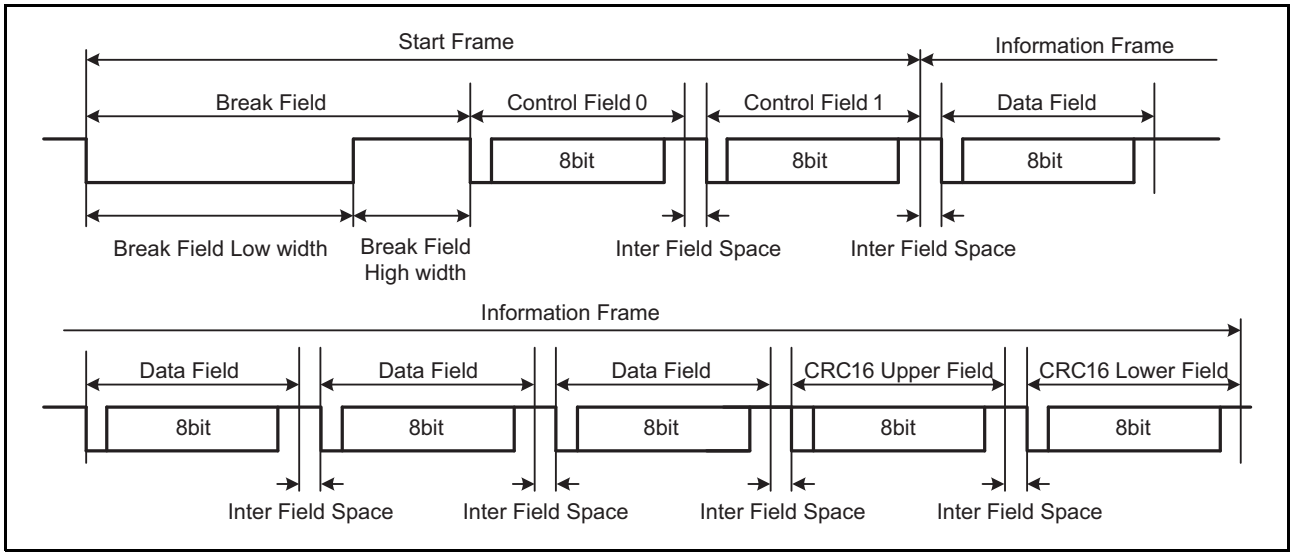


图 31.53 扩展串行模式控制部的串行通信协议

31.9.2 Start Frame 发送

发送由 Break Field Low width、Control Field 0 和 Control Filed1 构成的 Start Frame 时的运行例子如图 31.54 所示，发送 Start Frame 的流程图如图 31.55 和图 31.56 所示。

扩展串行模式控制部在 Start Frame 发送时的运行如下所示。 SCI12 用于异步模式。

(1) 在将定时器的运行模式设定为 Break Field Low width 输出模式的状态下，如果给 TCR 的 TCST 位写“1”，定时器就开始计数，在 TCNT 和 TPRE 所设期间从 TXDX12 引脚输出 Low 电平。
(2) 如果定时器发生下溢，TXDX12 引脚就进行反相输出并且将 STR 的 BFDF 位置“1”。此时，如果 ICR 的 BFDIE 位为 “1”，就产生 SCIX0 中断。
(3) 给 TCR 的 TCST 位写 “0”，停止定时器的计数，使用 SCI12 发送 Control Field 0 的数据。必须在从输出 Break Field Low width 后到发生下一次下溢前停止计数。
(4) 在发送完 Control Field 0 的数据后，使用 SCI12 发送 Control Field 1 的数据。
(5) 在发送完 Control Field 1 的数据后，使用 SCI12 进行 Information Frame 的通信。

必须根据 Start Frame 的结构省略 Break Field 和 Control Field 0。

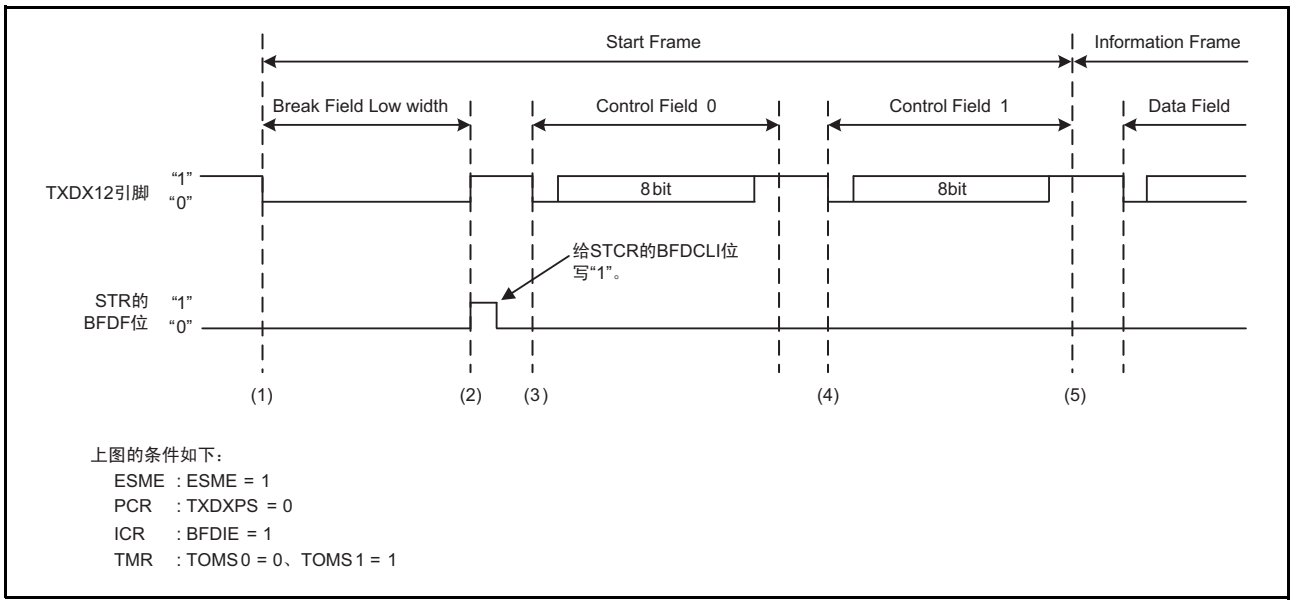


图 31.54 发送 Start Frame 时的运行例子

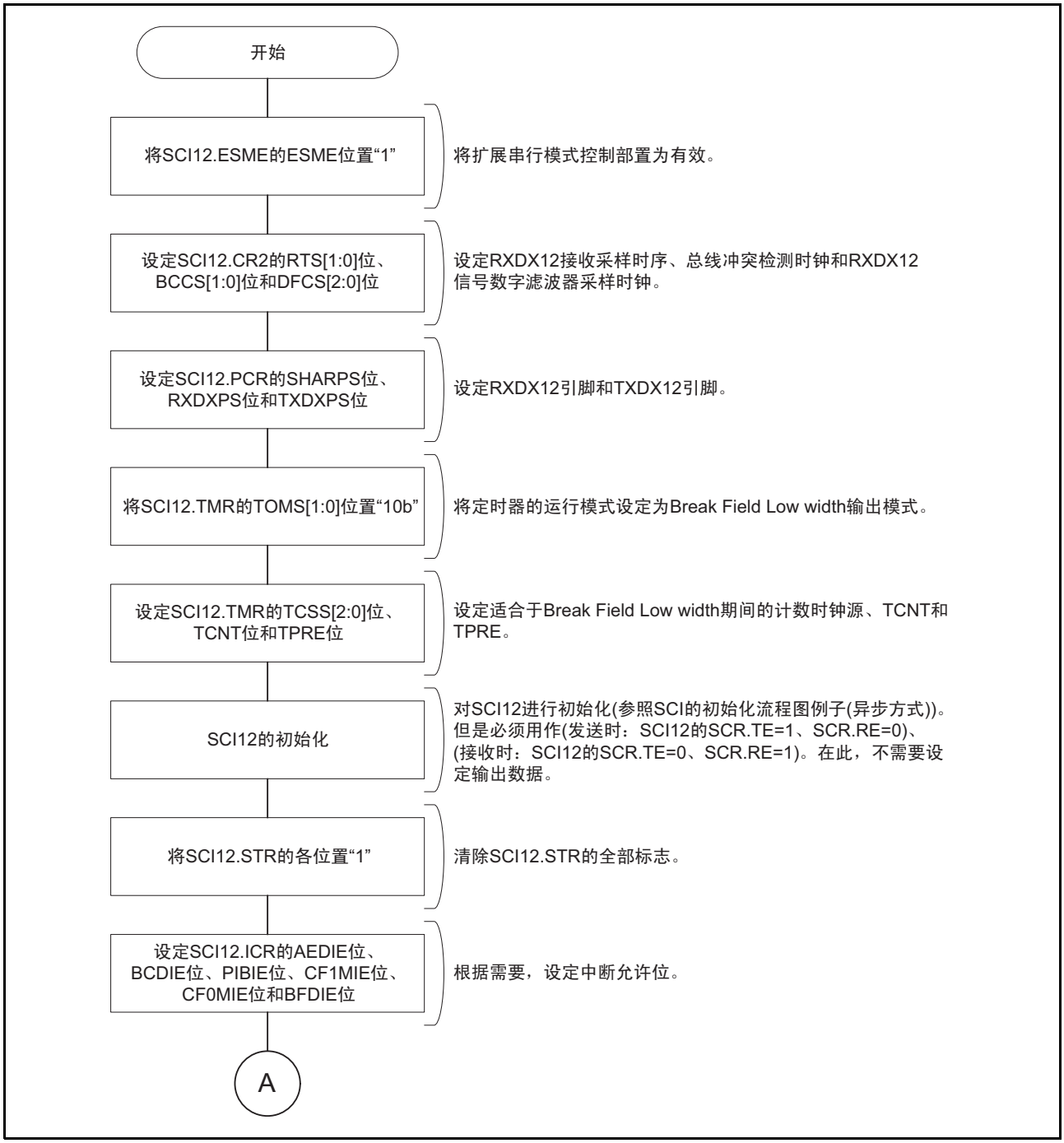


图 31.55 Start Frame 的发送流程图例子 （1）

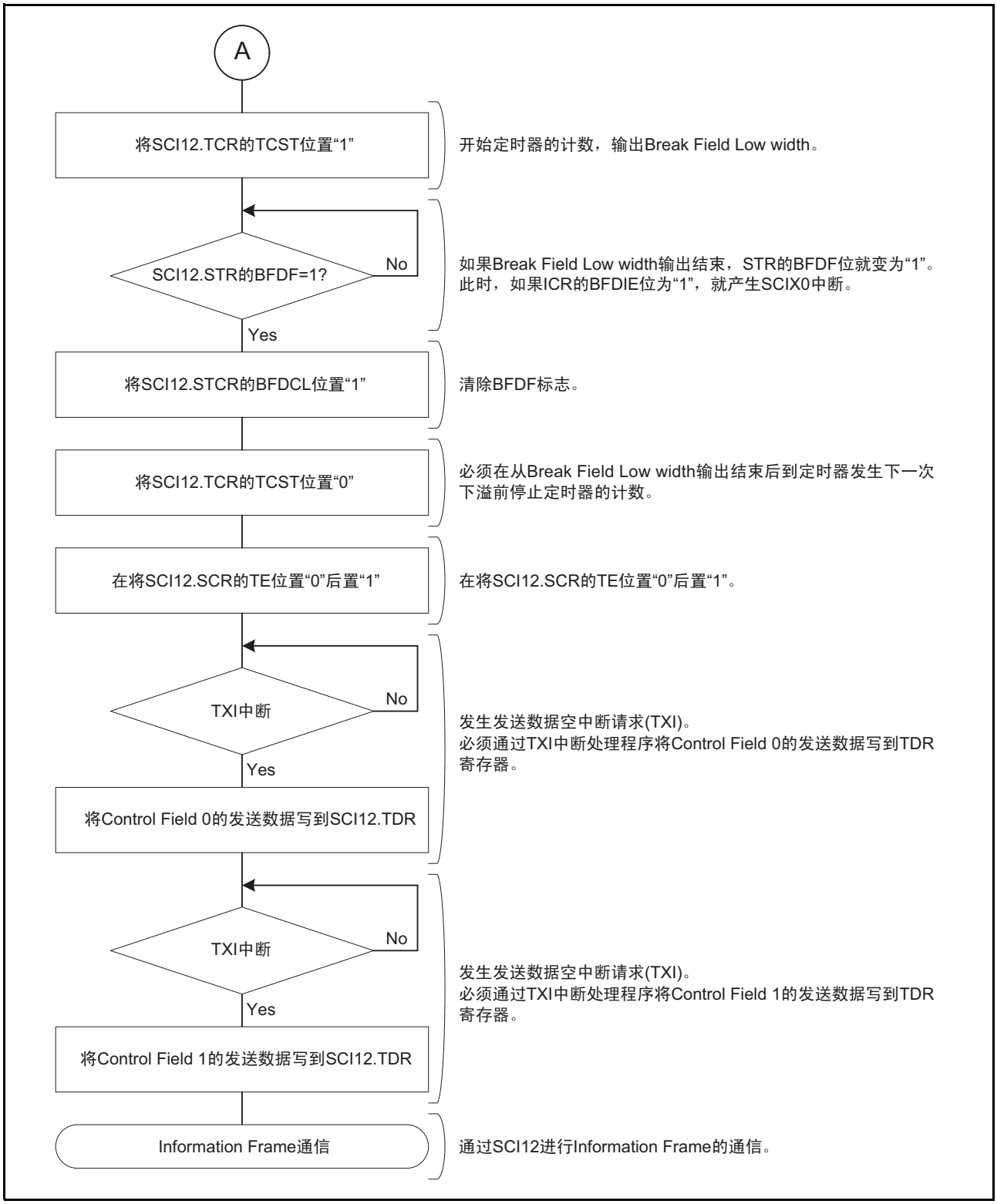


图 31.56 Start Frame 的发送流程图例子 （2）

31.9.3 Start Frame 接收

扩展串行模式控制部能检测到如**表 31.26** 所示结构的 Start Frame。

表 31.26 Start Frame 的结构

位的设定		Start Frame的结构
BFE	CF0RE	
0	0	Control Field 1 (8bit) Information Frame
0	1	Control Field 0 (8bit) Control Field 1 (8bit) Information Frame
1	0	Break Field (Low width) Control Field 1 (8bit) Information Frame
1	1	Break Field (Low width) Control Field 0 (8bit) Control Field 1 (8bit) Information Frame

接收由 Break Field Low width、Control Field 0 和 Control Field 1 构成的 Start Frame 时的运行例子如**图 31.57** 所示。接收Start Frame的流程图如**图31.58**和**图31.59**所示，扩展串行模式控制部的状态转移图如**图31.60**所示。

扩展串行模式控制部在接收 Start Frame 时的运行如下所示。 SCI12 用于异步模式。

(1) 如果在将定时器的运行模式设定为Break Field Low width检测模式后给CR3的SDST位写 “1”，就能检测Break Field Low width。此时，禁止将RXDX12输入到SCI12。

(2) 如果从RXDX12引脚至少输入定时器的TCNT和TPRE设定期间的Low电平，就检测为Break Field Low width。此时，将STR的BFDF位置 “1”，如果ICR的BFDIE位为 “1”，就产生SCIX0中断。

(3) 如果在检测到 Break Field Low width 后 RXDX12 引脚的输入为 High 电平， CR0 的 RXDSF 位就变为 “0”，通过SCI12开始接收Control Field 0。

(4) 如果 Control Field 0 接收到的数据和 CF0DR 设定的数据相同，就将 STR 的 CF0MF 位置 “1”。此时，如果 ICR 的 CF0MIE 位为 “1”，就产生 SCIX1 中断，而且通过 SCI12 开始接收 Control Field 1。如果 Control Field 0 接收到的数据和 CF0DR 设定的数据不同，就转移到检测 Break Field Low width 前的状态。

(5) 如果Control Field 1接收到的数据和PCF1DR或者SCF1DR设定的数据相同，就将STR的CF1MF位置 “1”。此时，如果 ICR 的 CF1MIE 位为 “1”，就产生 SCIX1 中断，而且使用 SCI12 进行 Information Frame的通信。如果Control Field 1接收到的数据和PCF1DR或者SCF1DR设定的数据都不同，就转移到检测Break Field Low width前的状态。

必须根据 Start Frame 的结构省略 Break Field 和 Control Field 0 的处理。

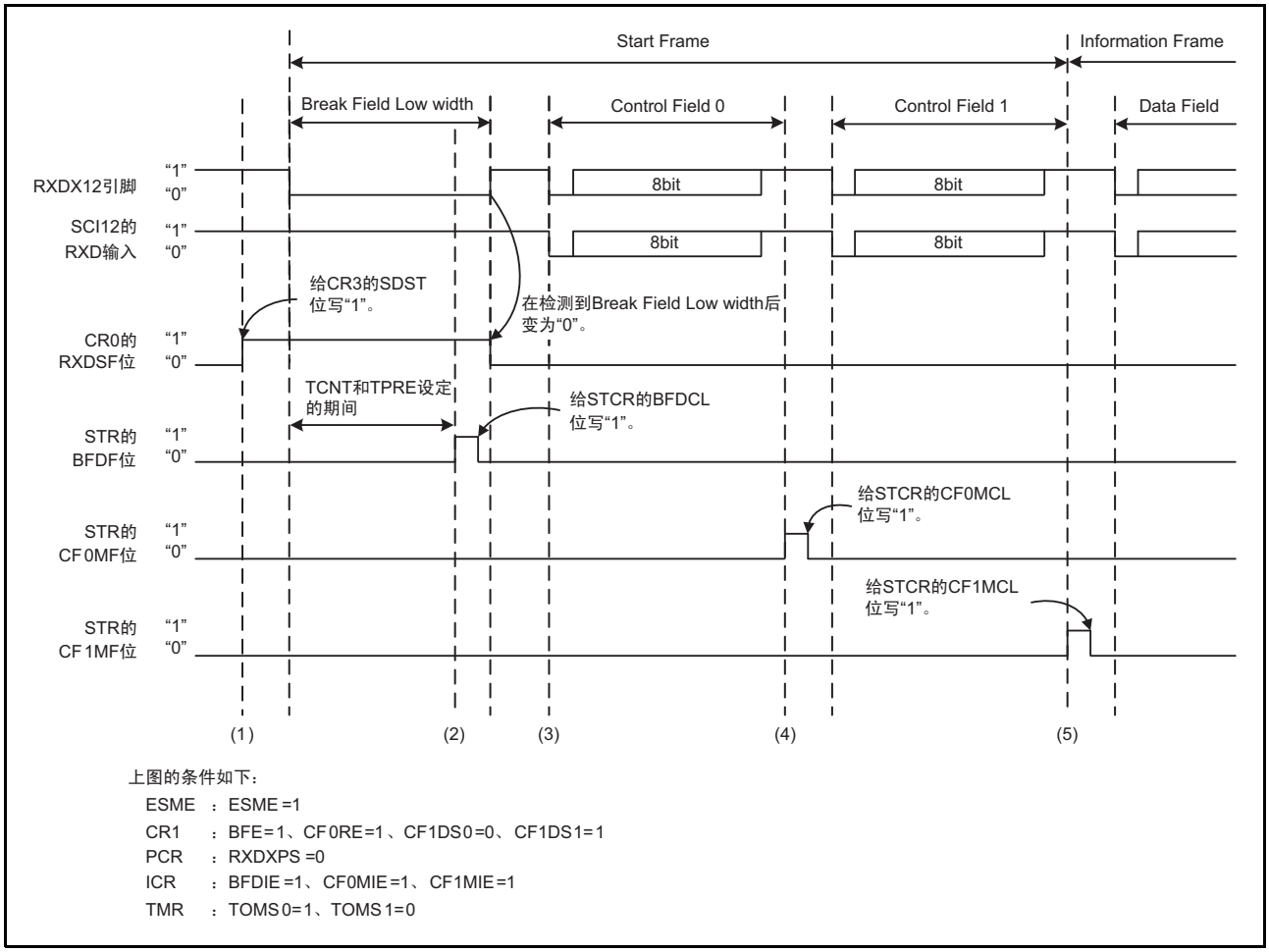


图 31.57 接收 Start Frame 时的运行例子



图 31.58 Start Frame 的接收流程图例子 （1）

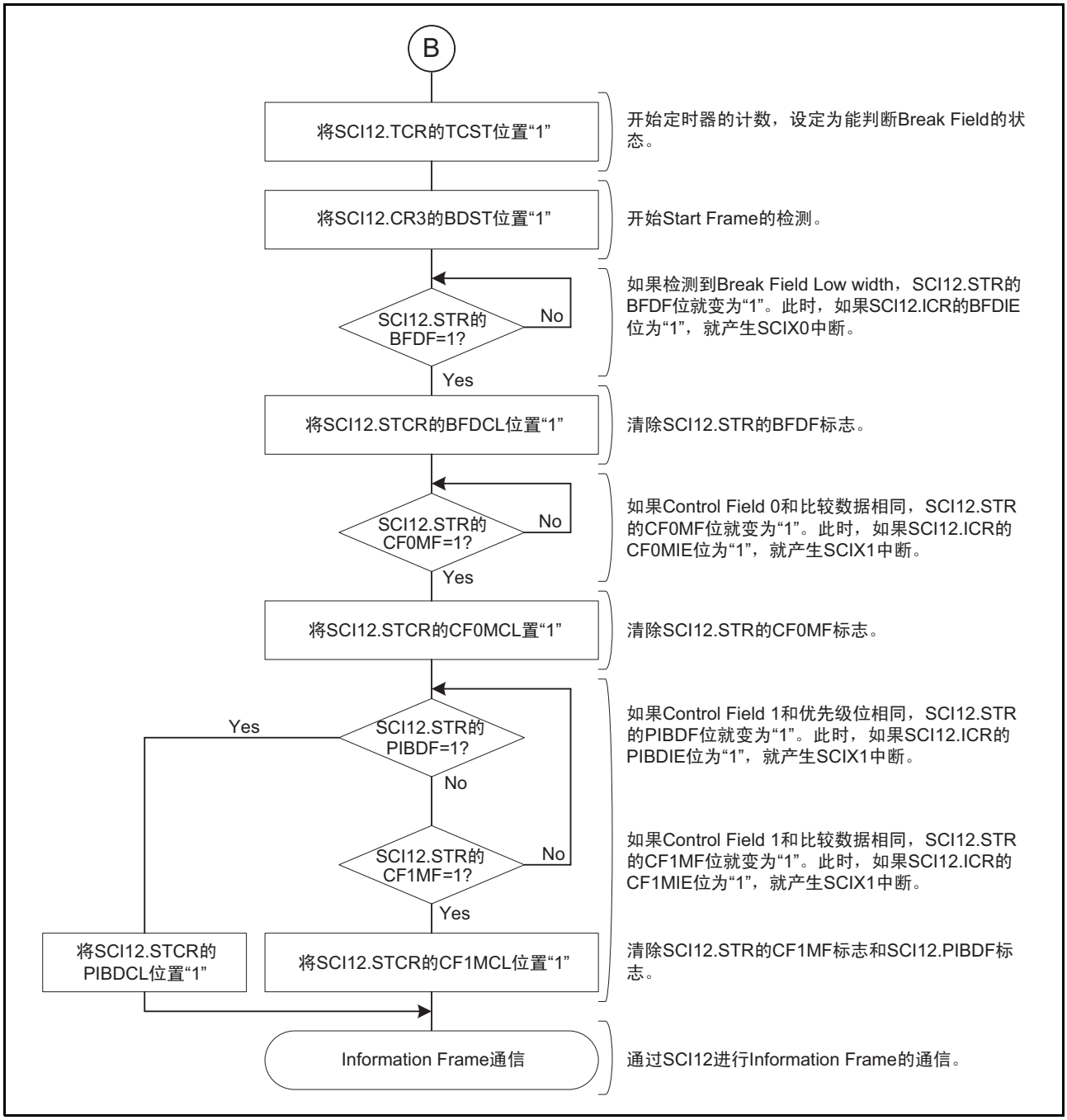


图 31.59 Start Frame 的接收流程图例子 （2）

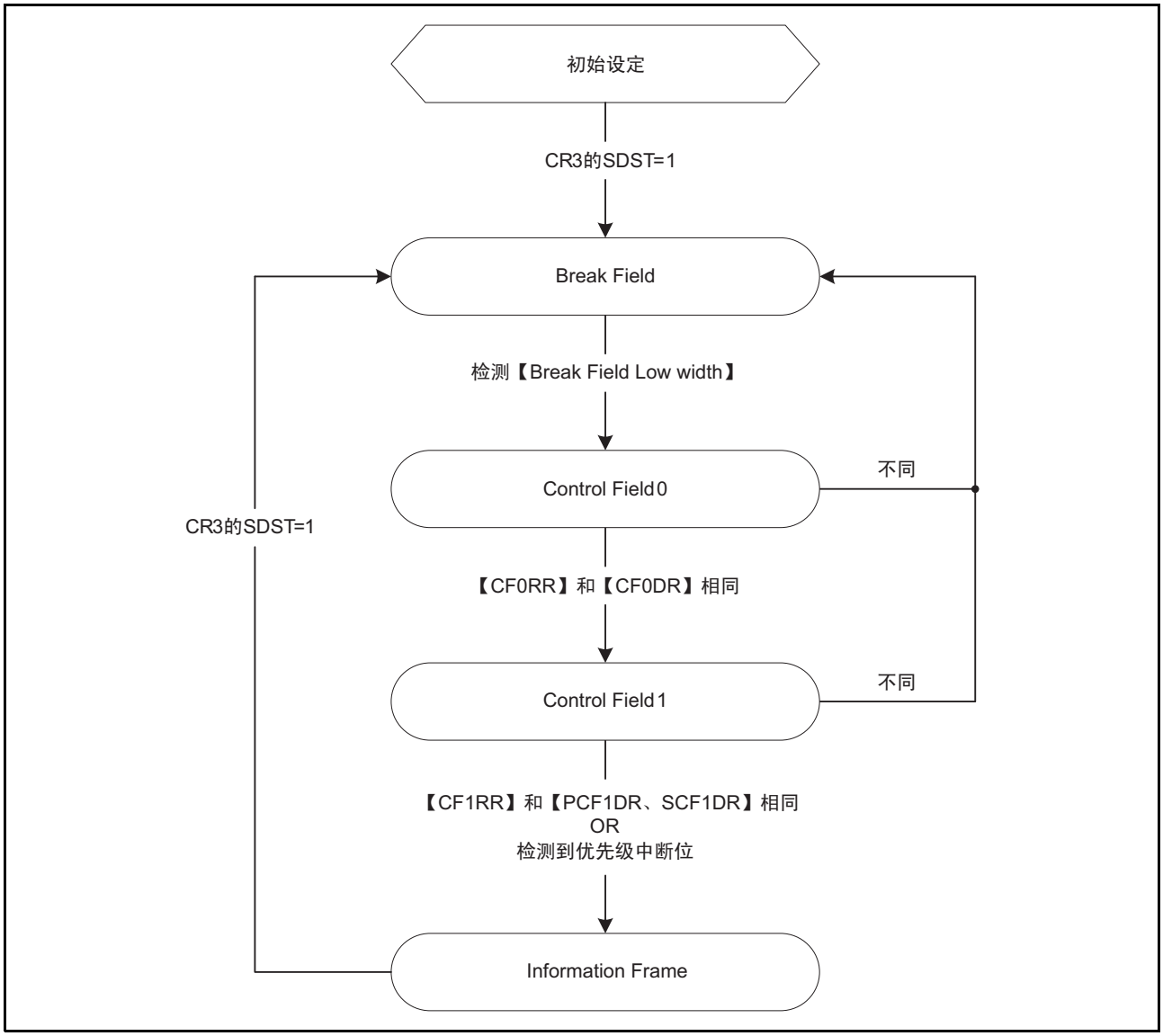


图 31.60 接收 Start Frame 时的状态转移图

31.9.3.1 优先级中断位

接收使用了优先级中断位的 Start Frame 时的运行例子如图 31.61 所示。通过将 CR1 的 PIBE 位置 “1”，优先级中断位变为有效。

扩展串行模式控制部在接收使用了优先级中断位的 Start Frame 时的运行如下所示：

(1) ～ (4) 和图 31.57 中的接收 Start Frame 时的运行例子 (1) ～ (4) 相同。

(5) 如果 CR1 的 PIBS[2:0] 位指定的位数据和 PCF1DR 设定的数据相同，就将 STR 的 PIBDF 位置 “1”。此时，如果 ICR 的 PIBDIE 位为 “1”，就产生 SCIX1 中断，而且通过 SCI12 进行 Information Frame 的通信。如果 Control Field 1 接收到的数据和 PCF1DR 或者 SCF1DR 设定的数据都不同并且也检测不到优先级中断位，就转移到检测 Break Field Low width 前的状态。

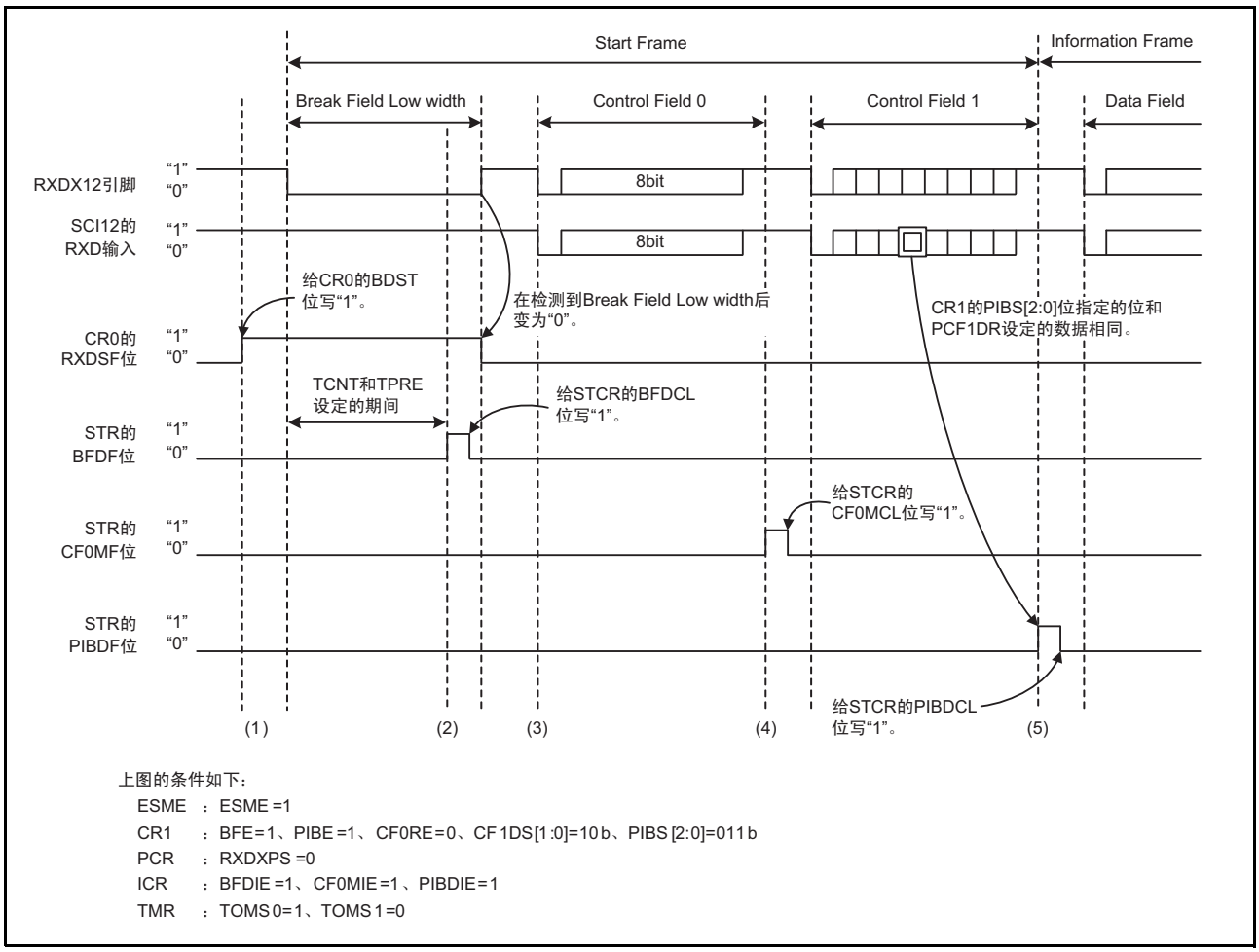


图 31.61　接收 Start Frame 时的运行例子 （使用优先级中断位的情况）

31.9.4 总线冲突检测功能

在 ESMER 的 ESME 位和 SCI12.SCR 的 TE 位都为 “1”的状态下输出 Break Field Low width 以及通过 SCI12 发送数据的过程中，总线冲突检测功能有效。

总线冲突检测功能的运行例子如图 31.62 所示。通过 CR2 的 BCCS[1:0] 所设总线冲突检测时钟对 TXDX12 引脚的输出和 RXDX12 引脚的输入进行采样，如果连续 3 次不同，STR 的 BCDF 位就变为 “1”。此时，如果 ICR 的 BCDIE 位为 “1”，就产生 SCIX2 中断。

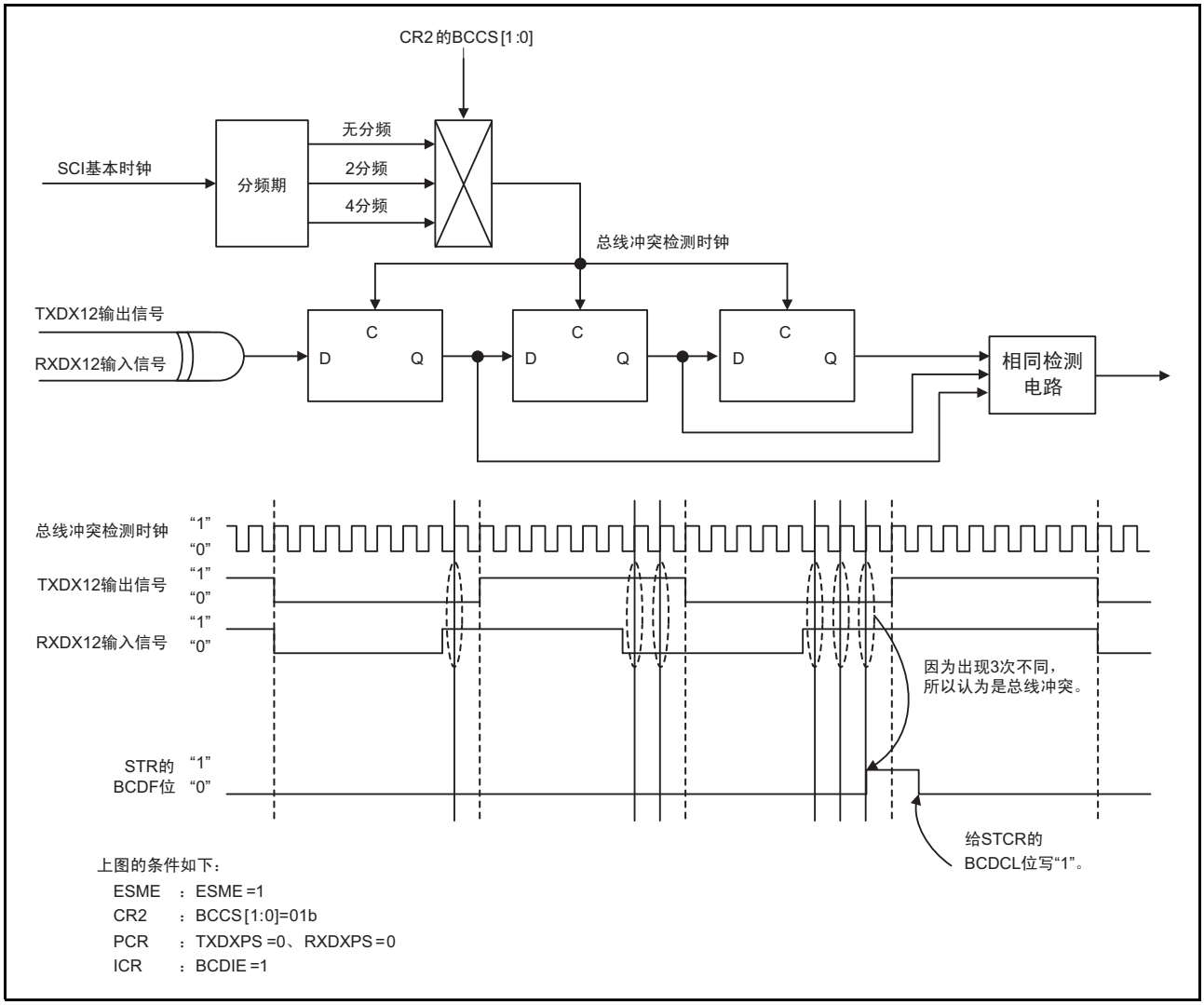


图 31.62 总线冲突检测功能的运行例子

31.9.5 RXDX12 引脚输入的数字滤波器功能

能通过数字滤波器电路将 RXDX12 引脚的输入信号取到内部。数字滤波器电路由 3 段串联的触发电路和相同检测电路构成。通过 CR2 的 DFCS[2:0] 位所选时钟对 RXDX12 引脚的输入信号进行采样，如果 3 个锁存器的输出信号相同，就将此电平传送到后段；如果不相同，就保持以前的值。即，如果至少保持 3 个采样时钟相同的电平就识别为信号，但是如果低于 3 个采样时钟就将信号的变化判断为噪声，而不识别为信号变化。数字滤波器功能的运行例子如图 31.63 所示。

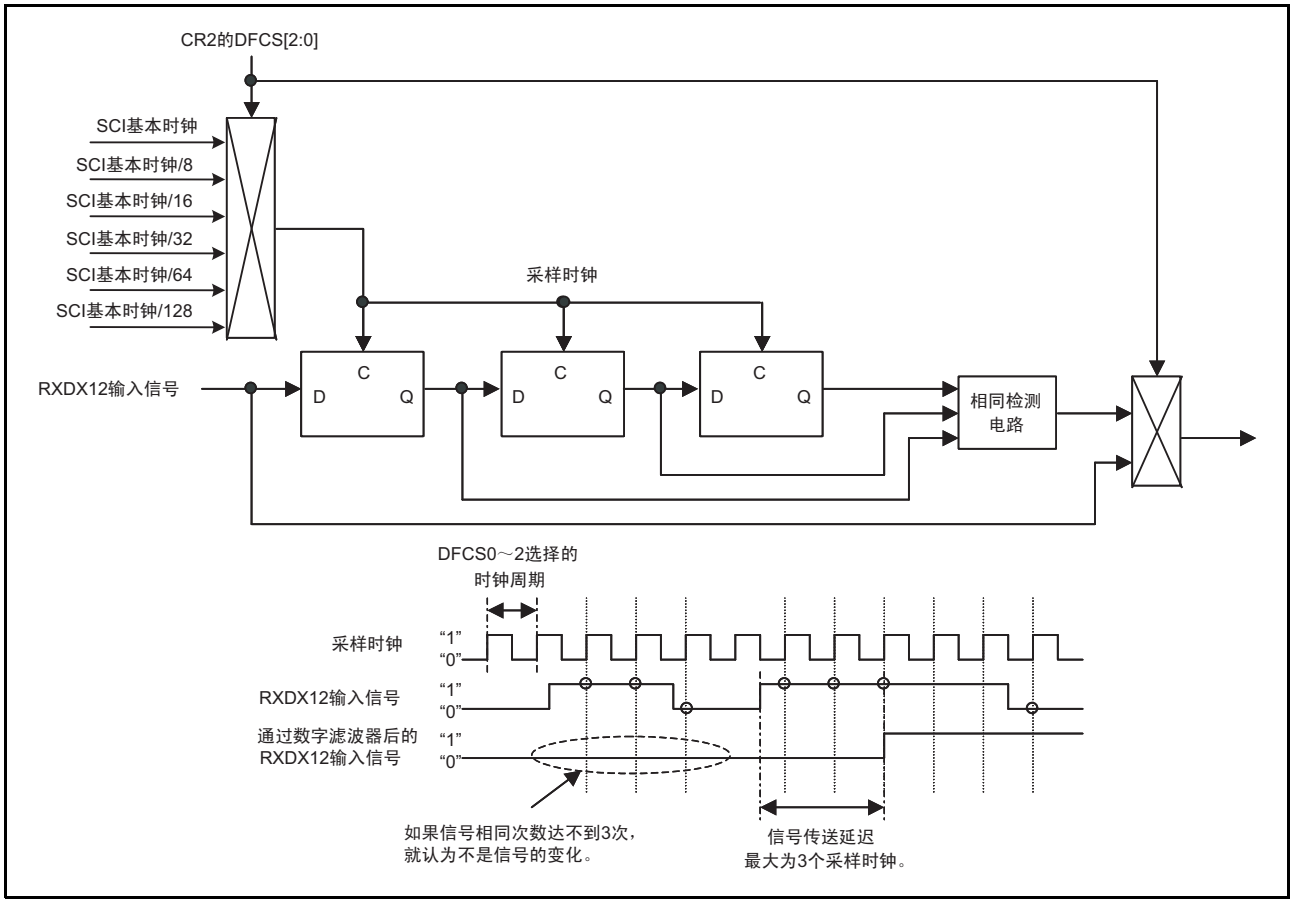
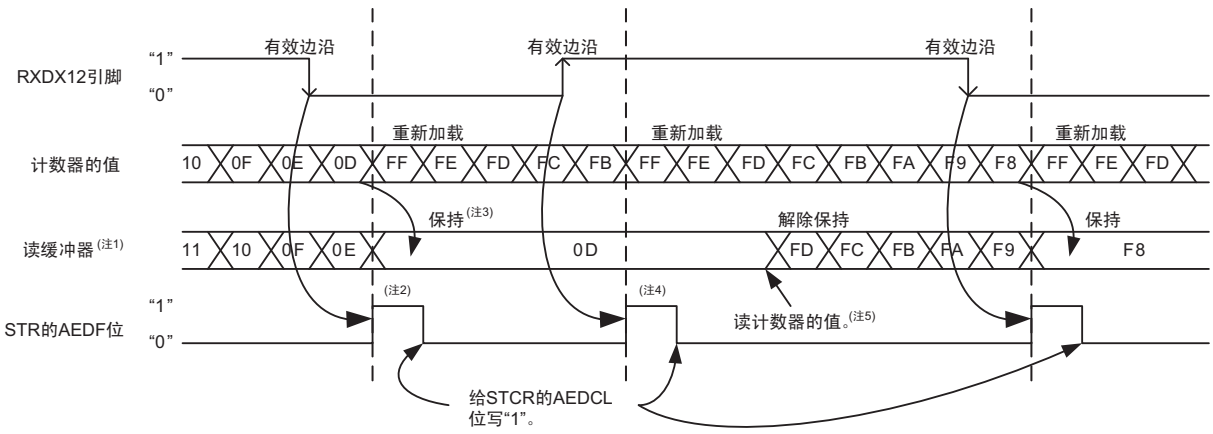


图 31.63 数字滤波器功能的运行例子

31.9.6 位速率测量功能

此功能是测量 RXDX12 引脚输入信号的上升沿和下降沿期间或者下降沿和上升沿期间的功能。位速率测量功能的运行例子如图 31.64 所示。

1. 如果给CR0的BRME位写 “1”，位速率测量就有效。只有在要进行测量时才能将BRME位置 “1”。即使将BRME位置 “1”，也不在Break Field中测量位速率。
2. 在检测到Break Field Low width后，如果RXDX12引脚的输入变为High电平，就开始测量位速率。
3. 在开始测量位速率后，如果从RXDX12引脚输入有效边沿（上升沿和下降沿），定时器就将当时的计数值保持到读缓冲器并且重新加载计数器。此时，如果ICR的AEDIE位为“1”，就产生SCIX3中断。通过读TCNT和TPRE来解除保持状态。
4. 能从有效边沿期间的计数值计算出位速率，并且通过更改 SCI12 的设定来调整位速率。要在 Control Field 1相同后将位速率测量功能置为无效时，必须给CR0的BRME位写 “0”。



注1. 如果读TCNT和TPRE，就能读到读缓冲器的内容。
注2. 如果检测到有效边沿，STR的AEDF位就变为“1”。
注3. 如果检测到有效边沿，就将当前计数器的值保持到读缓冲器。
注4. 一旦检测到有效边沿，即使重新检测到有效边沿，也不更新读缓冲器的保持值。
注5. 通过读TCNT和TPRE，解除被有效边沿保持在读缓冲器的值。

图 31.64 位速率测量功能的运行例子

31.9.7 RXDX12 接收数据的采样时序选择功能

扩展串行模式控制部能通过 CR2 的 RTS0 和 RTS1 从 SCI 基本时钟的 8 个时钟的上升沿、 10 个时钟的上升沿、12 个时钟的上升沿或者 14 个时钟的上升沿中选择 SCI12 的 RXDX12 接收数据的采样时序。当 SCI12 的 SEMR 的 ABCS 位为 “1” 时，能从 PCLK 的 4 个时钟的上升沿、 5 个时钟的上升沿、 6 个时钟的上升沿和 7 个时钟的上升沿中选择接收数据的采样时序。 RXDX12 接收数据的采样时序如图 31.65 所示。

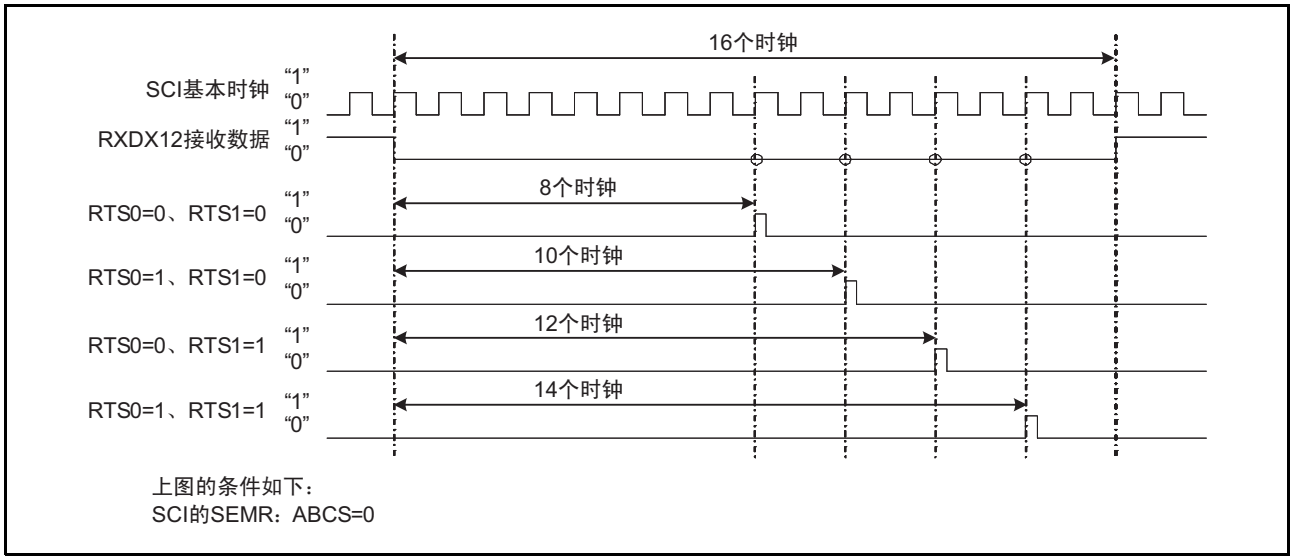


图 31.65 RXDX12 接收数据的采样时序

31.9.8 定时器

定时器有以下运行模式。

(1) Break Field Low width 输出模式

此模式在发送 Start Frame 时从 TXDX12 引脚输出 Break Field Low width 的 Low 电平。如果将 TMR 的 TOMS0 位置“0”并且将 TMR 的 TOMS1 位置“1”，就为 Break Field Low width 输出模式的运行。通过 TMR 的 TCSS[2:0] 位选择计数时钟源。如果给 TCR 的 TCST 位写 “1”，就将 TXDX12 引脚的输出置为 Low 电平并且开始计数。如果定时器发生下溢，就将 TXDX12 引脚的输出置为 High 电平并且 STR 的 BFDF 位变为“1”。此时，如果 ICR 的 BFDIE 位为 “1”，就产生 SCIX0 中断。如果给 TCR 的 TCST 位写 “0”，就在重新加载 TPRE 和 TCNT 后停止计数。必须在 Break Field Low width 输出结束后到定时器再次发生下溢前停止计数。 Break Field Low width 输出模式的运行例子如图 31.66 所示。

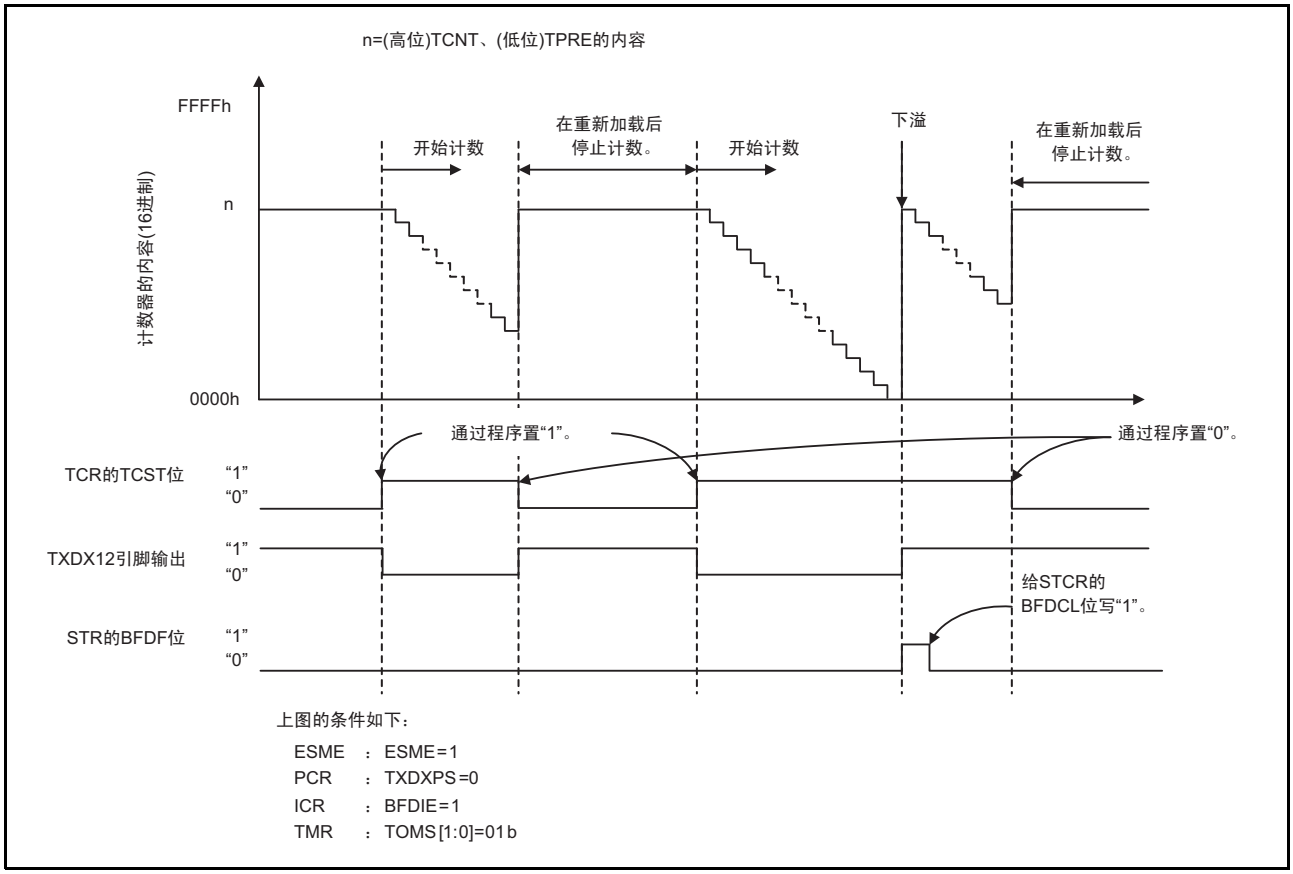


图 31.66 Break Field Low width 输出模式的运行例子

(2) Break Field Low width 判定模式

此模式在接收 Start Frame 时判定从 RXDX12 引脚输入的 Break Field Low width。如果将 TMR 的 TOMS0 位置 “1” 并且将 TMR 的 TOMS1 位置 “0”，就为 Break Field Low width 判定模式的运行。通过 TMR 的 TCSS[2:0] 位选择计数时钟源。如果给 TCR 的 TCST 位写 “1”，就进入能判定 Break Field Low width 的状态。如果从 RXDX12 引脚输入 Low 电平，就开始判定；如果从 RXDX12 引脚输入 High 电平，就重新加载 TPRE 和 TCNT 并且进入能判定 Break Field Low width 的状态。如果在 Break Field Low width 的判定过程中定时器发生下溢， STR 的 BFDF 位就变为 “1”。此时，如果 ICR 的 BFDIE 位为 “1”，就产生 SCIX0 中断。如果在数据通信过程中不能让定时器发生下溢或者发生中断，就必须在判定 Break Field Low width 后停止定时器。Break Field Low width 判定模式的运行例子如图 31.67 所示。

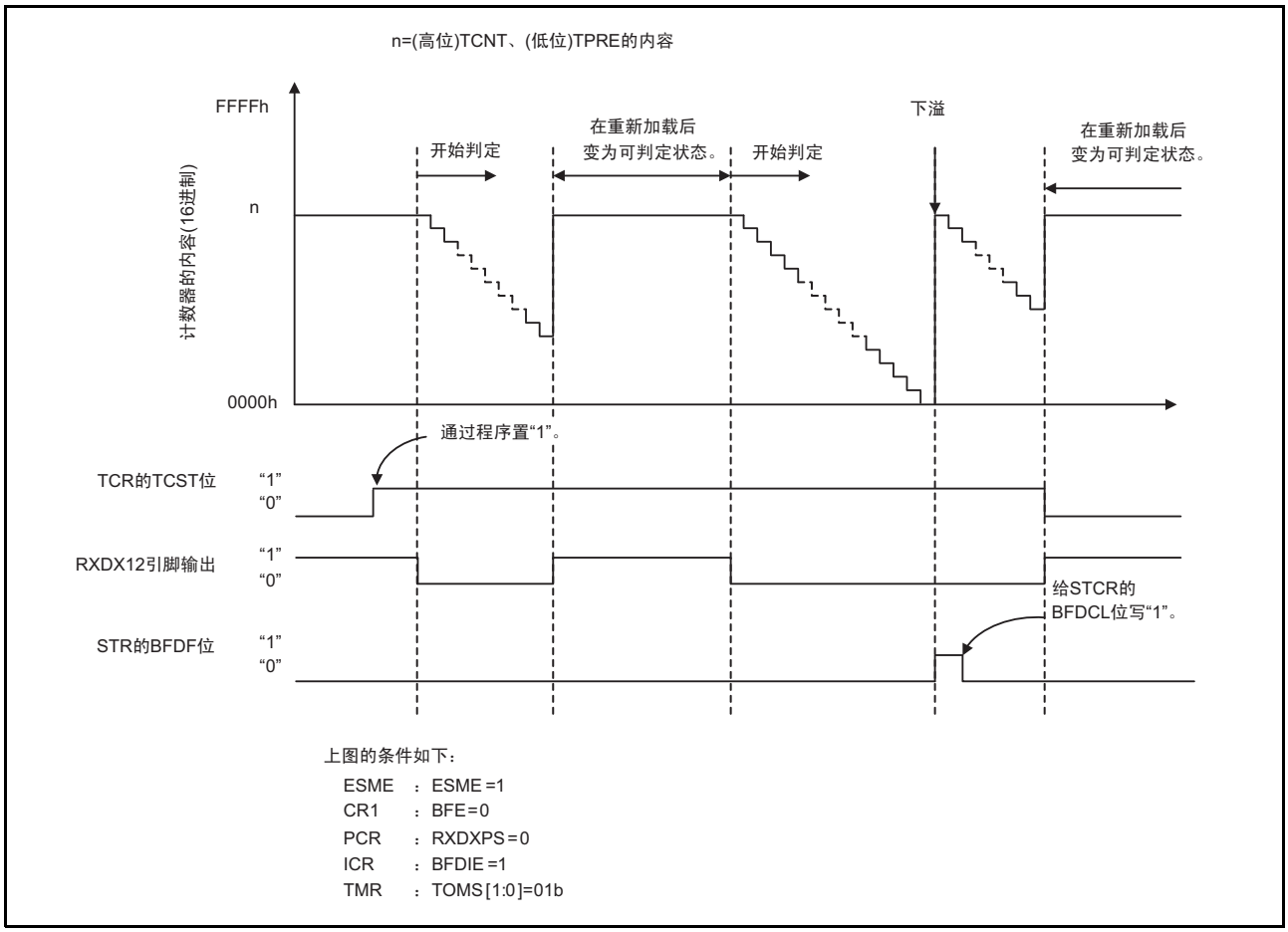


图 31.67 Break Field Low width 判定模式的运行例子

(3) 定时器模式

在此模式中将内部时钟作为计数时钟源。如果将 TMR 的 TOMS0 位和 TMR 的 TOMS1 位都置 “0”，就为定时器模式运行。通过 TMR 的 TCSS[2:0] 位选择计数时钟源。如果给 TCR 的 TCST 位写 “1”，就开始计数；如果给 TCST 位写 “0”，就停止计数。通过输入到 TPRE 的计数时钟源的周期，TPRE 进行递减计数。将 TPRE 的下溢置为计数时钟源，TCNT 进行递减计数。如果定时器发生下溢，STR 的 BFDF 位就变为 “1”。此时，如果 ICR 的 BFDIE 位为 “1”，就产生 SCIX0 中断。

31.10 噪声消除功能

用于噪声消除功能的噪声滤波器的结构如图 31.68 所示。噪声滤波器由 2 段触发电路和相同检测电路构成。根据设定的采样周期，如果引脚的采样电平 3 次相同，就将相同的电平传送到内部，并且相同电平被持续传送到内部，直到引脚的采样电平再次 3 次相同为止。

在异步模式中，能将噪声消除功能用于 RXDn 的输入信号。采样周期为基本时钟的周期（在 SEMR.ABCS 位为 “0”时，为 1 位时间的 1/16 周期；在 SEMR.ABCS 位为 “1”时，为 1 位时间的 1/8 周期）。

在简易 I^2C 模式中，能将噪声消除功能用于 SSDAn 和 SSCLn 的输入信号。通过设定 SNFR.NFCS[2:0] 位，从内部波特率发生器的时钟源的 1/2/4/8 分频时钟中选择采样时钟。

如果在噪声滤波器有效的状态下停止基本时钟，就在基本时钟重新开始输入时从停止时的噪声滤波器状态开始运行。如果在输入基本时钟期间将 SCR.TE 位和 SCR.RE 位都置 “0”，噪声滤波器的触发器就全部被初始化为 “1” ，当重新开始接收时的输入数据为 “1”时，作为检测到相同信号而被传送到内部；当输入数据为 “0”时，噪声滤波器的输出保持初始值，直到引脚的采样电平 3 次相同为止。

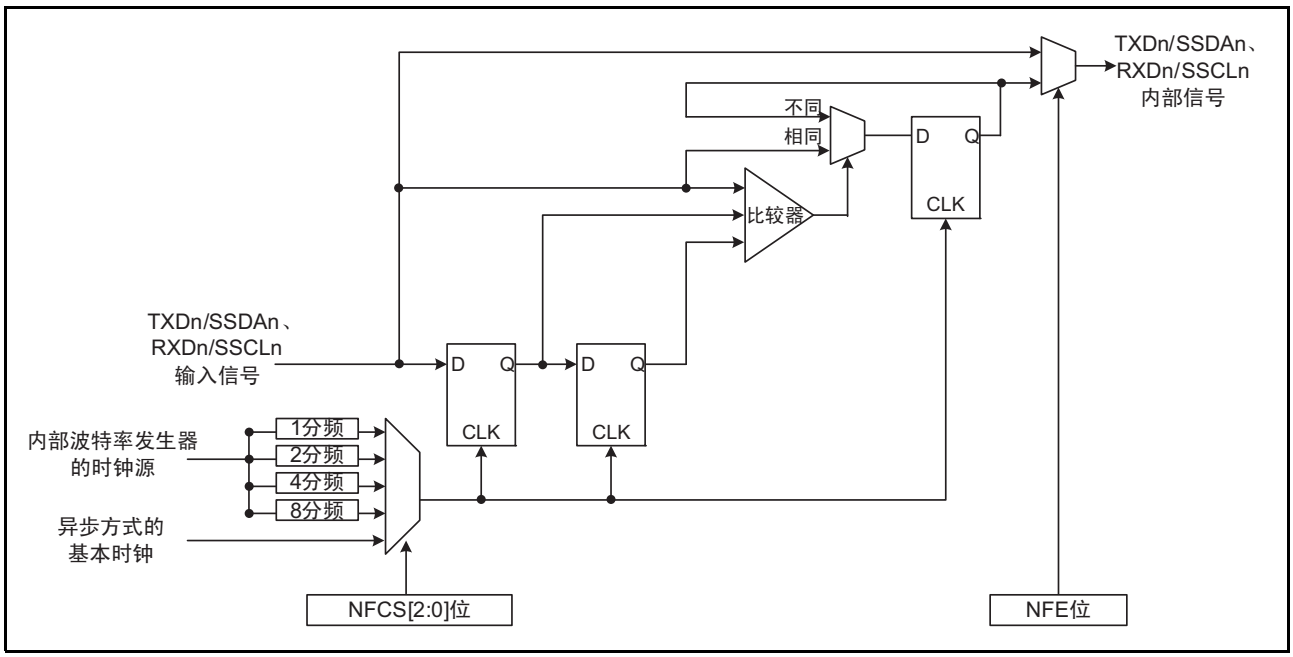


图 31.68 数字噪声滤波器电路的框图

31.11 中断源

31.11.1 TXI 中断和 RXI 中断的缓冲运行

对于 TXI 中断和 RXI 中断，即使在中断控制器的中断状态标志为 “1” 时满足中断产生条件，也不将中断请求输出到中断控制器而保持在内部 （在内部能保持的容量是每个中断源 1 个请求）。

如果中断控制器的中断状态标志为“0”，就将保持的中断请求输出到中断控制器。如果输出被保持的中断请求，就自动清除此中断的内部保持。也能通过将对应的中断允许位（SCR.TIE 位或者 SCR.RIE 位）置“0”来清除保持在内部的中断请求。

31.11.2 串行通信接口模式和简易 SPI 模式的中断

串行通信接口模式和简易 SPI 模式的中断源如表 31.27 所示。各中断源分配有不同的中断向量，能通过 SCR 寄存器的允许位独立允许各中断源。

如果在 SCR.TIE 位为 “1” 时将发送数据从 TDR 寄存器传送到 TSR 寄存器，就产生 TXI 中断请求。通过在将 SCR.TIE 位置 “1” 后将 SCR.TE 位置 “1”，或者用 1 条指令同时将 SCR.TIE 位和 SCR.TE 位置 “1”，也产生 TXI 中断请求。能在通过 TXI 中断请求启动 DTC 或者 DMAC 后进行数据传送。

如果在 SCR.TIE 位为 “0” 的状态下将 SCR.TE 位置 “1” 以及在 SCR.TE 位为 “1” 的状态下将 SCR.TIE 位置 “1”，就不产生 TXI 中断请求。（注 1）

在 SCR.TEIE 位为 “1” 时，如果在发送数据的最后位之前不给 TDR 寄存器写下一个数据， SSR.TEND 标志就变为 “1” 并且产生 TEI 中断请求。另外，在将 SCR.TE 位置 “1” 后到给 TDR 寄存器写发送数据为止的期间， SSR.TEND 标志保持 “1” 的状态，如果将 SCR.TEIE 位置 “1”，就产生 TEI 中断请求。

如果给 TDR 寄存器写数据，就清除 SSR.TEND 标志并且取消 TEI 中断请求，但是需要取消时间。

如果在 SCR.RIE 位为 “1” 时将接受数据保存到 RDR 寄存器，就产生 RXI 中断请求。能在通过 RXI 中断请求启动 DTC 或者 DMAC 后进行数据传送。

如果在 SCR.RIE 位为“1”时将 SSR.ORER 标志、SSR.FER 标志或者 SSR.PER 标志置“1”，就产生 ERI 中断请求。此时，不产生RXI中断请求。能通过清除SSR.ORER、SSR.FER和SSR.PER的全部位，取消ERI中断请求。

注 1. 在发送最后的数据时，必须暂时禁止 TXI 中断；在进行发送结束中断处理后要重新开始发送数据时，必须通过 TXI 中断对应的中断控制器的中断请求允许位而不是 SCR.TIE 位，控制中断的禁止和允许。从而能防止 TXI 中断请求（用于发送新数据）的抑止。

表 31.27 SCI 中断源

名称	中断源	中断标志	DTC 的启动	DMAC 的启动	优先级
ERI	接收错误	ORER、 FER、 PER	不能	不能	高
RXI	接收数据满	—	能	能	↑
TXI	发送数据空	—	能	能	
TEI	发送结束	TEND	不能	不能	低

31.11.3 智能卡接口模式的中断

智能卡接口模式的中断源如表 31.28 所示，不能使用发送结束中断 （TEI）请求。

表 31.28 SCI 中断源

名称	中断源	中断标志	DTC 的启动	DMAC 的启动	优先级
ERI	接收错误、错误信号检测	ORER、 PER、 ERS	不能	不能	高
RXI	接收数据满	—	能	能	↑
TXI	发送数据空	TEND	能	能	低

智能卡接口模式和一般的 SCI 相同，能通过 DTC 或者 DMAC 进行发送和接收。如果在发送时将 SSR.TEND 标志置“1”，就产生 TXI 中断请求。如果预先将 TXI 中断请求设定为 DTC 或者 DMAC 的启动源，就在通过 TXI 中断请求启动 DTC 或者 DMAC 后传送发送数据。在通过 DTC 或者 DMAC 进行数据传送时，将 TEND 标志自动置 “0”。

如果发生错误，SCI就自动重新发送相同的数据。在此期间，TEND标志保持“0”，不启动DTC或者DMAC。因此， SCI 和 DTC、 DMAC 自动发送指定字节数的数据，包括发生错误时的重新发送。但是，在发生错误时，不自动清除 SSR.ERS 标志，因此必须先将 SCR.RIE 位置“1”，然后在发生错误时产生 ERI 中断请求，清除 ERS 标志。

在通过 DTC 或者 DMAC 进行发送和接收时，必须先设定 DTC 或者 DMAC，在设定为允许状态后进行 SCI 的设定。有关 DTC 或者 DMAC 的设定方法，请参照 “17. DMA 控制器 （DMACA）” 和 “18. 数据传送控制器 （DTCa）”。

如果在接收时将接收数据设定到 RDR 寄存器，就产生 RXI 中断请求。如果预先将 RXI 中断请求设定为 DTC 或者 DMAC 的启动源，就在通过 RXI 中断请求启动 DTC 或者 DMAC 后传送接收数据。如果发生错误，就将错误标志置位。因此，不启动 DTC 或者 DMAC 而向 CPU 请求 ERI 中断，所以必须清除错误标志。

31.11.4 简易 I²C 模式的中断

在简易 I²C 模式中，有表 31.29 所示的中断源。 STI 中断分配给发送结束中断 （TEI）请求，不使用接收错误中断 （ERI）请求。

简易 I²C 模式也能使用 DTC 或者 DMAC 进行发送和接收。

当 SIMR2.IICINTM 位为“1”时，在 SSCLn 引脚的第 8 个下降沿产生 RXI 中断请求。如果预先将 RXI 中断请求设定为 DTC 或者 DMAC 的启动源，就在通过 RXI 中断请求启动 DTC 或者 DMAC 后进行接收数据的传送。另外，在 SSCLn 引脚的第 9 个下降沿 （应答位）产生 TXI 中断请求。如果预先将 TXI 中断请求设定为 DTC 或者 DMAC 的启动源，就在通过 TXI 中断请求启动 DTC 或者 DMAC 后进行发送数据的传送。

当 SIMR2.IICINTM 位为“0”时，在 SSCLn 引脚的第 9 个下降沿（应答位）SSDAn 引脚的输入为 Low 电平时，产生 RXI 中断请求 （检测到 ACK）； 在 SSDAn 引脚的输入为 High 电平时，产生 TXI 中断请求 （检测到 NACK）。如果预先将 RXI 中断请求设定为 DTC 或者 DMAC 的启动源，就能在通过 RXI 中断请求启动 DTC 或者 DMAC 后进行接收数据或者发送数据的传送。

要使用 DTC 或者 DMAC 进行发送和接收时，必须先设定 DTC 或者 DMAC，在设定为允许状态后设定 SCI。

如果使用 SIMR3.IICSTAREQ、 SIMR3.IICRSTAREQ 和 SIMR3.IICSTPREQ 的各位生成开始条件、重新开始条件和停止条件，就在生成结束时产生 STI 中断请求。

表 31.29 SCI 中断源

名称	中断源	中断标志	DTC 的启动	DMAC 的启动	优先级
RXI	接收、 ACK 检测	—	能	能	高
TXI	发送、 NACK 检测	—	能 （注 1）	能 （注 1）	↑
STI	开始条件、重新开始条件、停止条件生成结束	IICSTIF	不能	不能	低

注 1. 只有在 SIMR2.IICINTM 位为 “1”（选择接收中断和发送中断）时才能启动 DTC 和 DMAC。

31.11.5 扩展串行模式控制部的中断请求

SCId 的扩展串行模式控制部生成的中断请求有 SCIX0 中断（检测到 Break Field Low width）、 SCIX1 中断（Control Field 0 相同，Control Field 1 相同，检测到优先级中断位）、SCIX2 中断（检测到总线冲突）和 SCIX3 中断（检测到有效边沿）共 6 种。如果发生各中断源，就将状态标志置“1”。各中断请求的内容如表 31.30 所示。

表 31.30 扩展串行模式控制部的中断请求

中断请求	状态标志	中断源
SCIX0 中断 （检测到 Break Field Low width）	BFDF	• 当检测到长于定时器所设期间的 Break Field Low width 时 • 在定时器所设期间 Break Field Low width 输出结束时 • 当定时器发生下溢时
SCIX1 中断 （Control Field 0 相同）	CF0MF	当 Control Field 0 的接收数据和 CF0DR 中设定的数据相同时
SCIX1 中断 （Control Field 1 相同）	CF1MF	当 Control Field 1 的接收数据和 PCF1DR 或者 SCF1DR 中设定的数据相同时
SCIX1 中断 （检测到优先级中断位）	PIBDF	当优先级中断位中指定的位数据和 PCF1DR 中设定的数据相同时
SCIX2 中断 （检测到总线冲突）	BCDF	通过总线冲突检测时钟对 TXDX12 引脚的输出和 RXDX12 引脚的输入进行采样，连续 3 次不同时
SCIX3 中断 （检测到有效边沿）	AEDF	在测量位数率的过程中检测到有效边沿时

31.12 使用时的注意事项

31.12.1 模块停止功能的设定

能通过模块停止控制寄存器 B（MSTPCRB）和模块停止控制寄存器 C（MSTPCRC）禁止或者允许 SCI 的运行，复位后的值为停止 SCI 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照“11. 低功耗功能”。

31.12.2 有关中止的检测和处理

在检测到帧错误时，能通过直接读 RXDn 引脚的值检测中止。因为在中止时 RXDn 引脚的输入全部为“0”，所以 SSR.FER 标志被置“1”（发生帧错误），并且 SSR.PER 标志也有可能被置“1”（发生奇偶校验错误）。SCI 在接收到中止后继续进行接收。因此必须注意：即使将 FER 标志置“0”（未发生帧错误），FER 标志也会再次被置 “1”。

31.12.3 标记状态和中止的发送

当 SCR.TE 位为“0”（禁止串行发送）时，能通过设定 I/O 端口功能，将 TXDn 引脚用作能选择输入 / 输出方向和电平的 I/O 端口。能通过此变化将 TXDn 引脚置为标记状态或者在发送数据时发送中止。

为了在将 SCR.TE 位置 “1”（允许串行发送）前将通信线路置为标记状态 （“1”的状态），通过设定 I/O 端口功能将 TXDn 引脚设定为输出 High 电平。另外，要在发送数据时发送中止的情况下，必须在通过设定 I/O 端口功能将 TXDn 引脚设定为输出 Low 电平后将 SCR.TE 位置 “0”。如果将 SCR.TE 位置 “0”，就对发送部进行初始化，与当前的发送状态无关，TXDn 引脚变为 I/O 端口，并且根据 I/O 端口功能的设定，从 TXDn 引脚输出 Low 电平或者 High 电平。

31.12.4 有关接收错误标志和发送 （只限于时钟同步模式）

在接收错误标志（SSR.ORER）为“1”的状态下，即使给 TDR 寄存器写数据，也不能开始发送。在开始发送时，必须将接收错误标志置“0”。必须注意：即使将 SCR.RE 位置“0”（禁止串行接收），也不能将接收错误标志置 “0”。

31.12.5 有关 TDR 寄存器的写操作

能随时给 TDR 寄存器写数据。但是，如果在 TDR 寄存器留有发送数据的状态下给 TDR 寄存器写新数据，保存在 TDR 寄存器的数据就可能没有被传送到 TSR 寄存器而丢失。因此，必须通过 TXI 中断请求给 TDR 寄存器写发送数据。

31.12.6 时钟同步发送时的限制事项

如果将外部时钟源用于同步时钟，就必须在通过 DMAC 或者 DTC 更新 TDR 寄存器并且通过 PCLK 时钟至少经过5个时钟后，输入发送时钟。如果在更新TDR寄存器后的4个时钟以内输入发送时钟，就可能发生误动作。

31.12.7 使用 DMAC 或者 DTC 时的限制事项

在通过 DMAC 或者 DTC 读 RDR 寄存器时，必须将该 SCI 的接收结束中断 （RXI）设定为启动源。

31.12.8 有关开始通信的注意事项

如果在开始通信时中断控制器的中断状态标志为“1”，就必须在允许运行（将 SCR.TE 位或者 SCR.RE 位置 “1”）前按以下步骤清除中断请求：

- 确认通信处于停止状态 （SCR.TE 位或者 SCR.RE 位为 “0”）。
- 将对应的中断允许位 （SCR.TIE 位或者 SCR.RIE 位）置 “0”。
- 读对应的中断允许位 （SCR.TIE 位或者 SCR.RIE 位），确认是 “0”。
- 将中断控制器的中断状态标志置 “0”。

31.12.9 有关低功耗状态时的运行

(1) 发送

必须在停止运行（SCR.TIE 位 =0、SCR.TE 位 =0、SCR.TEIE 位 =0）的状态下设定为模块停止状态或者向软件待机模式转移。通过清除 TE 位，对 TSR 寄存器、TDR 寄存器和 SSR 寄存器进行复位。模块停止状态以及软件待机模式时的输出引脚的状态取决于端口的设定，在解除模块停止状态或者软件待机模式后，为 High 电平输出。如果在发送过程中进行转移，发送中的数据就不确定。

在解除低功耗状态后不更改发送模式而进行发送时，就必须按照将 TE 位置 “1” 以及读 SSR 寄存器 → 写 TDR 寄存器的顺序开始发送。如果在更改发送模式后进行发送，就必须在进行初始设定后开始发送。

发送时的软件待机模式转移的流程图例子如图 31.69 所示，软件待机模式转移时的端口的引脚状态如图 31.70 和图 31.72 所示。

必须在停止运行（TE 位 =0）的状态下，从通过 DTC 传送进行的发送模式设定为模块停止状态或者转移到软件待机模式。在解除这些模式后通过 DTC 进行发送时，如果将 TE 位置“1”，就产生 TXI 中断并且开始通过 DTC 进行的发送。

(2) 接收

必须在停止接收 （SCR.RE 位 =0）的状态下设定为模块停止状态或者向软件待机模式转移。如果在接收时进行转移，正在接收的数据就无效。

在解除低功耗状态后不更改接收模式而进行接收时，必须通过将 RE 位置“1”，开始接收。如果在更改接收模式后进行接收，就必须在进行初始设定后开始接收。

接收时的软件待机模式转移的流程图例子如图 31.72 所示。

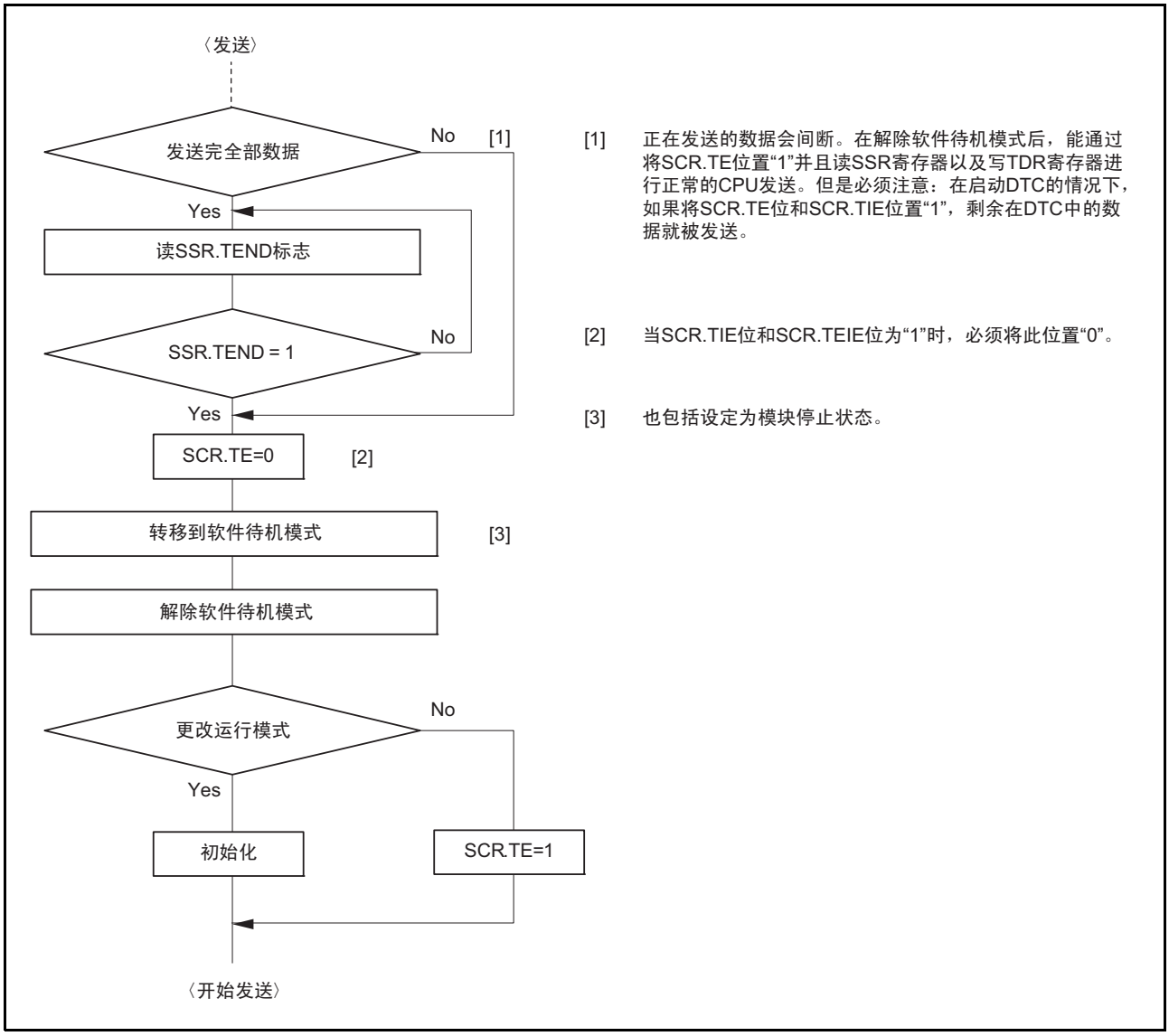


图 31.69 发送时向软件待机模式转移的流程图例子

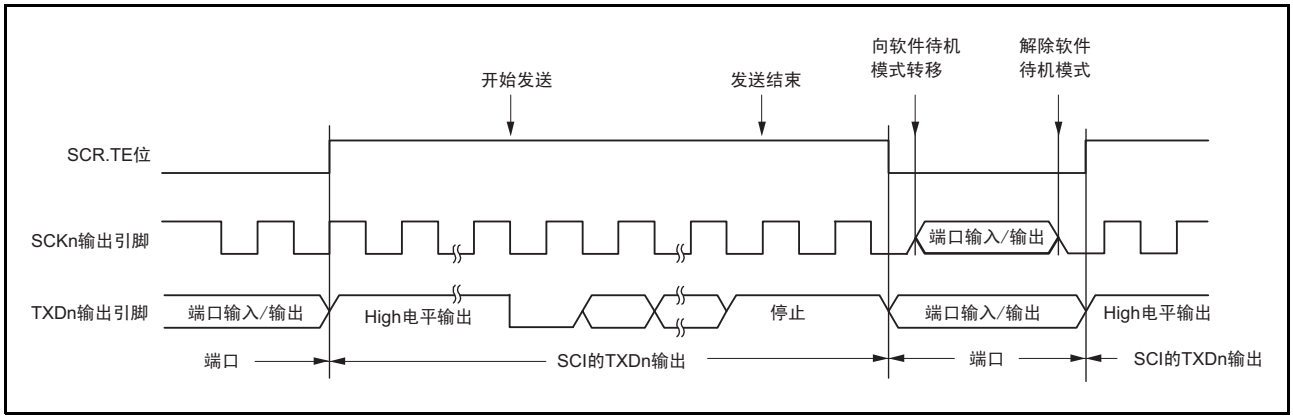


图 31.70 向软件待机模式转移时的端口引脚状态 （内部时钟、异步发送）

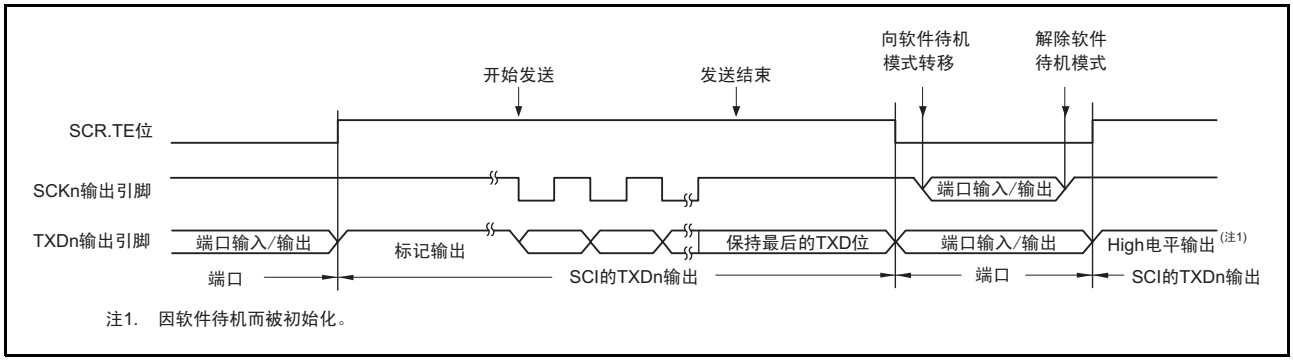


图 31.71 向软件待机模式转移时的端口引脚状态 （内部时钟、时钟同步发送）

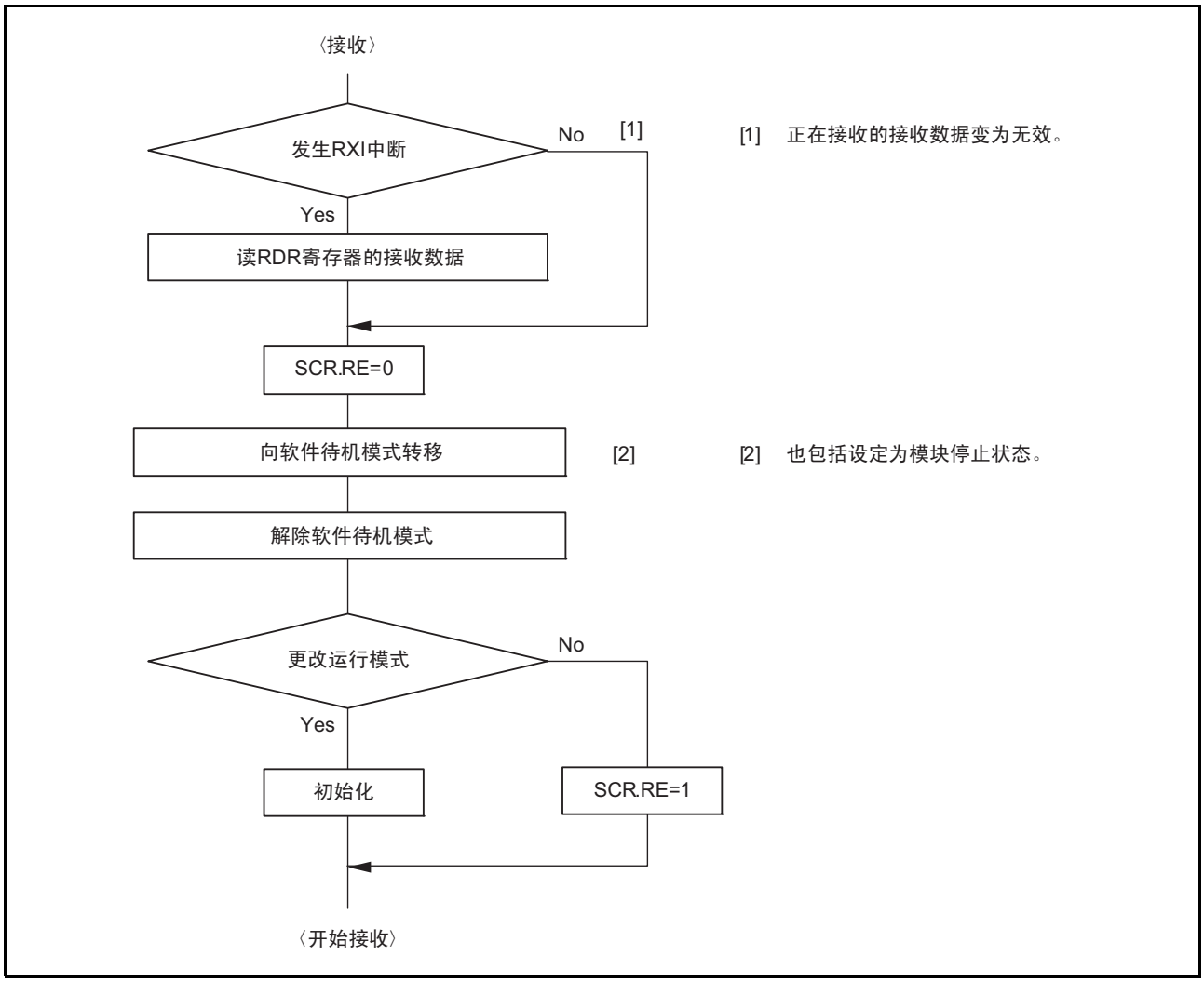


图 31.72 接收时向软件待机模式转移的流程图例子

31.12.10 时钟同步模式的外部时钟输入

在时钟同步模式中，外部时钟的 SCKn 输入必须满足：High 电平脉冲期间和 Low 电平脉冲期间必须至少为 2 个 PCLK，周期至少为 6 个 PCLK。

31.12.11 简易 SPI 模式的限制事项

(1) 主控模式

- 必须配合由SPMR.CKPH位和SPMR.CKPOL位设定的发送和接收时钟的初始值，用电阻上拉 （下拉）时钟线。
- 当设定为有时钟延迟 （SPMR.CKPH位=1）时，如图31.73所示，在SCKn引脚的最后时钟的前一个边沿产生接收数据满中断 （RXI中断）。此时，必须注意：如果立即将SCR.TE位和SCR.RE位置 “0”，SCKn引脚的输出就变为高阻抗，最后发送和接收时钟的时钟脉宽变短。另外，还必须注意：如果在发生RXI中断后立即将连接从属设备的SSn#引脚输入信号置为High电平，从属设备就可能发生误动作。
- 在多主控模式中，如果在发送和接收字符的中途发生模式故障错误，就在 SS# 引脚的输入为 Low 电平期间SCKn引脚的输出为高阻抗，并且停止给连接的从属设备提供发送和接收时钟。为了避免在重新开始发送和接收时发生位的错位，必须重新设定连接的从属设备。

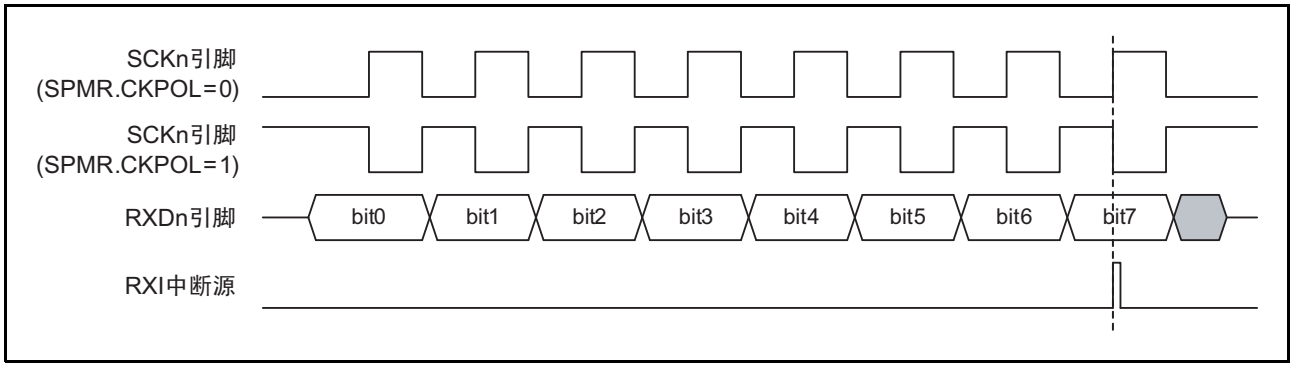


图 31.73 简易 SPI 模式 （有时钟延迟）的 RXI 中断产生时序

(2) 从属模式

- 从给TDR寄存器写发送数据并且给SSn#引脚输入Low电平到开始输入外部时钟为止，必须至少确保5个PCLK的时间。
- 由主控提供的外部时钟必须和传送数据的长度相同。
- 必须在数据传送的开始前和结束后控制SSn#引脚的输入。
- 如果在发送和接收字符的中途将 SSn# 引脚的输入从 Low 电平变为 High 电平，就必须将 SCR.TE 位和SCR.RE位置 “0”，并且在设定后从第一字节开始重新传送。

31.12.12 扩展串行模式控制部的使用限制事项 1

如果将 PCR 的 SHARPS 位置 “1”，就在以下情况下 TXDX12/RXDX12 引脚变为输出引脚：

- 当SCId定时器运行在Break Field Low width输出模式中并且将TCR的TCST位置 “1” 时
（从将TCR的TCST位置“1”到输出Low电平为止，最多输出1个定时器计数时钟源周期的High电平）
- 当SCI12.SCR的TE位为 “1” 时

31.12.13 扩展串行模式控制部的使用限制事项 2

即使将扩展串行模式置为有效，也生成 SCIc 的中断请求。因为 SCId 在接收起始帧的过程中使用 SCIc 的中断请求事件，所以不能使用 SCIc 的中断请求。有以下 2 种对应方法。而且，在检测到接收错误时，必须按照图 31.74 的流程图的例子，清除 SCIc 的错误标志并且对 SCId 控制部进行初始化。

1. 必须将 SCIc 的 SCR.RIE 位置 “0”，禁止输出中断请求。此时，因为在发生接收错误时不产生 ERI 中断，所以必须在接收完起始帧时检查 SCIc 的 SSR 寄存器的错误标志。在从接收完起始帧到接收完信息帧的第 1 字节为止的期间，必须将 SCIc 的 SCR.RIE 位置 “1”。
2. 必须将 SCIc 的 SCR.RIE 位置 “1”，禁止 ICU 的 RXI 中断而允许 ICU 的 ERI 中断。在从接收完起始帧到接收完信息帧的第 1 字节为止的期间，必须清除 ICU 的 RXI 中断对应的 IRn.IR 标志，允许 ICU 的 RXI 中断。

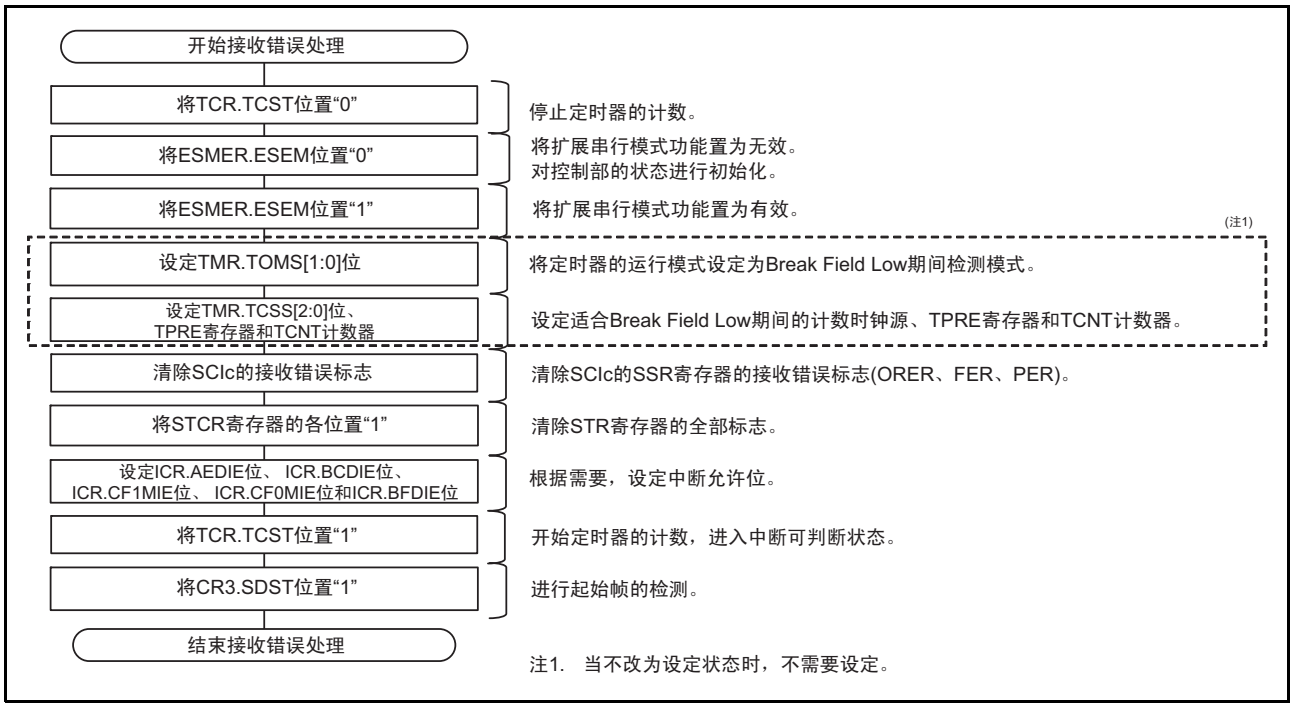


图 31.74 接收错误处理的流程图例子 （接收起始帧的过程中）

32. I²C 总线接口 （RIIC）

RX630 群内置 4 个通道的 I²C 总线接口 （RIIC）。

RIIC 以 NXP 公司提倡的 I²C 总线 （Inter-IC-Bus）接口方式为基准，内置了子集功能。

32.1 概要

RIIC 的规格和框图分别如表 32.1 和图 32.1 所示，输入 / 输出引脚的外部电路连接例子 （I²C 总线的结构例子）如图 32.2 所示， RIIC 使用的输入 / 输出引脚如表 32.2 所示。

表 32.1 RIIC 的规格

项目	内容
通信格式	• I²C 总线格式或者 SMBus 格式 • 能选择主控模式或者从属模式。 • 自动确保与所设传送速度对应的各种准备时间、保持时间和总线空闲时间。
传送速度	～ 1Mbps
SCL 时钟	在主控模式中，能将 SCL 时钟的占空比设定在 4% ～ 96% 的范围内。
条件发行和条件检测	自动生成开始条件、重新开始条件和停止条件，并且能检测到开始条件 （包括重新开始条件）和停止条件。
从属地址	• 能设定 3 组从属地址。 • 对应 7 位或者 10 位的地址格式 （能同时存在）。 • 能检测到全呼地址、设备 ID 地址和 SMBus 的主机地址。
应答	• 在发送时自动装入应答位。 能在接收 NACK 时自动中止下一个发送数据的传送。 • 在接收时自动发送应答位。 如果选择在第 8 个时钟和第 9 个时钟之间有等待，就能通过软件控制与接收数据内容对应的应答位。
等待功能	• 在接收时，能通过保持 SCL 时钟的 Low 电平进行等待。 在第 8 个时钟和第 9 个时钟之间等待。 在第 9 个时钟和下次传送的第 1 个时钟之间等待 （WAIT 功能）。
SDA 输出延迟功能	能延迟数据发送 （包括发送 ACK）的输出时序。
仲裁	• 对应多主控 在和其他主控发生 SCL 时钟冲突时，能与 SCL 时钟同步运行。 在发生开始条件的发行竞争时，如果 SDA 线上的信号状态不同，就能检测到仲裁失败。 在主控模式中，能在发送数据不同时检测到仲裁失败。 • 如果在总线忙时发行开始条件，就能检测到仲裁失败 （防止双重发行开始条件）。 • 在发送 NACK 时，如果 SDA 线上的信号状态不同，就能检测到仲裁失败。 • 在从属发送模式中，能在数据不同时检测到仲裁失败。
超时检测功能	能通过内部超时检测功能检测 SCL 时钟的长时间停止。
噪声消除	SCL 输入和 SDA 输入内置数字噪声滤波器，噪声消除宽度为可编程调整。
中断源	• 4 种 通信错误 / 事件的发生 （AL 检测、 NACK 检测、超时检测、开始条件检测 （包括重新开始条件）、停止条件检测） 接收数据满 （包括从属地址匹配的情况） 发送数据空 （包括从属地址匹配的情况） 发送结束
低功耗功能	能设定为模块停止状态。

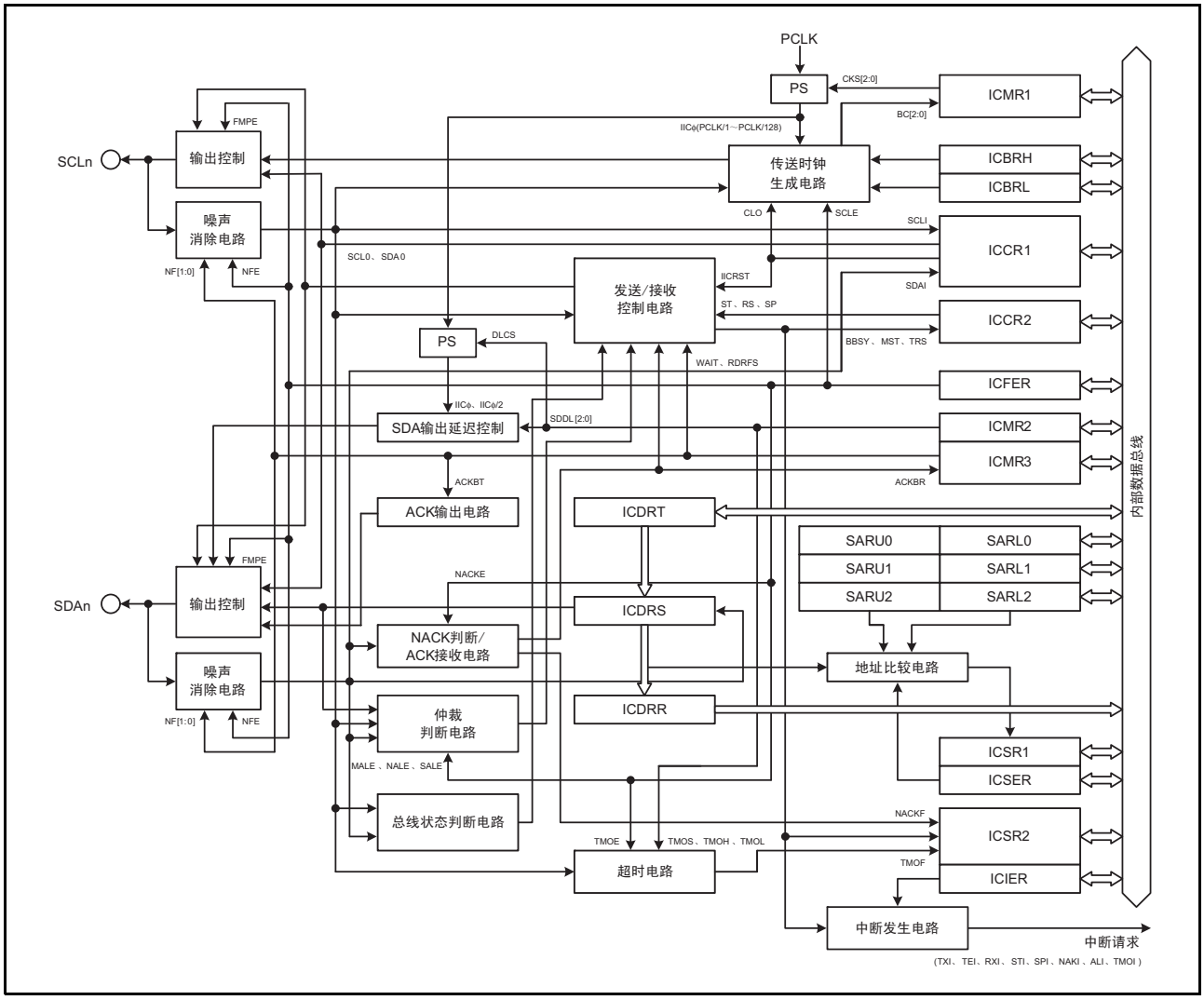


图 32.1 RIIC 的框图

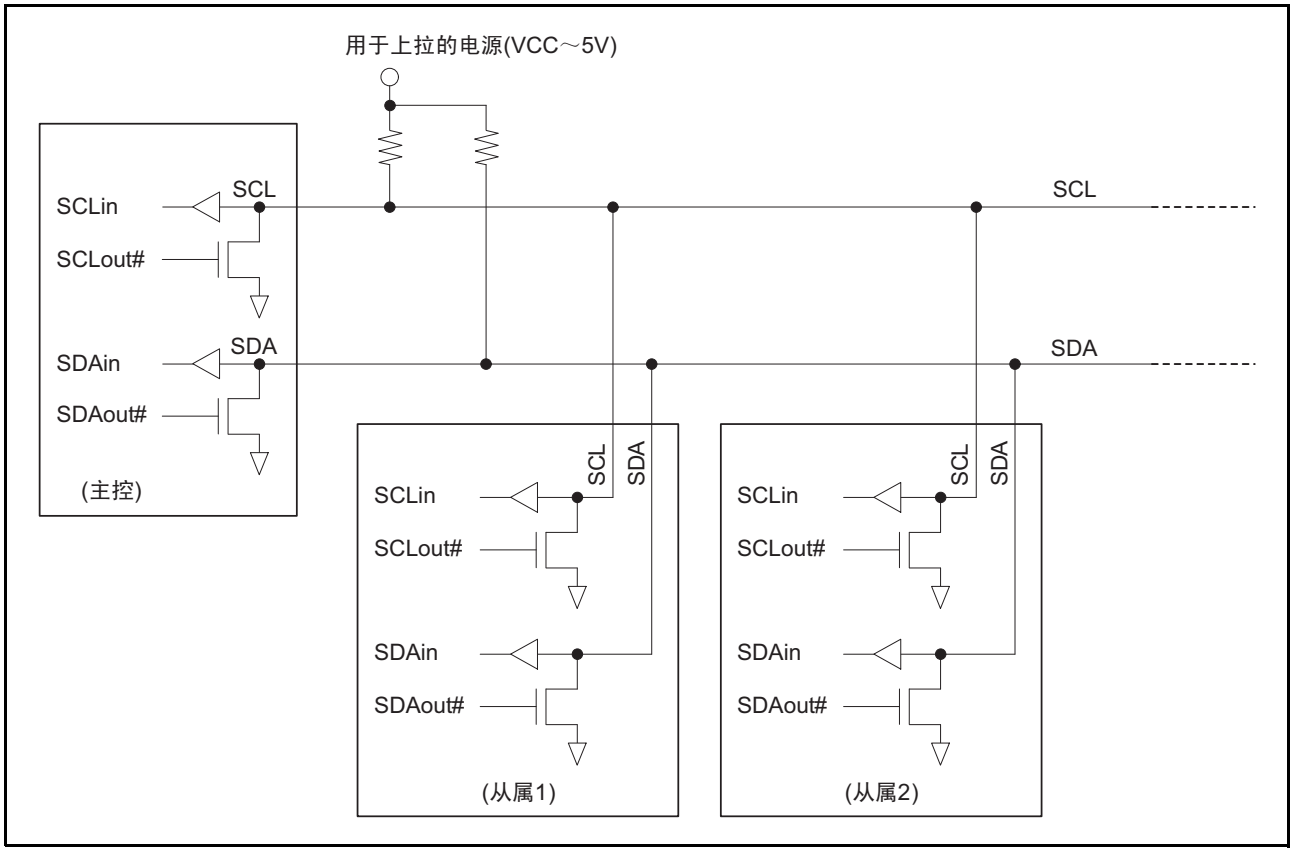


图 32.2 输入 / 输出引脚的外部电路连接例子 （I²C 总线的结构例子）

当选择 I²C 总线时 （ICMR3.SMBS 位 =0）， RIIC 各信号的输入电平为 CMOS 电平；当选择 SMBus 时（ICMR3.SMBS 位 =1）， RIIC 各信号的输入电平为 TTL 电平。

表 32.2 RIIC 的输入 / 输出引脚

通道	引脚名	输入 / 输出	功能
RIIC0	SCL0	输入 / 输出	RIIC0 串行时钟的输入 / 输出引脚
	SDA0	输入 / 输出	RIIC0 串行数据的输入 / 输出引脚
RIIC1	SCL1	输入 / 输出	RIIC1 串行时钟的输入 / 输出引脚
	SDA1	输入 / 输出	RIIC1 串行数据的输入 / 输出引脚
RIIC2	SCL2	输入 / 输出	RIIC2 串行时钟的输入 / 输出引脚
	SDA2	输入 / 输出	RIIC2 串行数据的输入 / 输出引脚
RIIC3	SCL3	输入 / 输出	RIIC3 串行时钟的输入 / 输出引脚
	SDA3	输入 / 输出	RIIC3 串行数据的输入 / 输出引脚

32.2 寄存器说明

32.2.1 I²C 总线控制寄存器 1 （ICCR1）

地址 RIIC0.ICCR1 0008 8300h、RIIC1.ICCR1 0008 8320h、RIIC2.ICCR1 0008 8340h、RIIC3.ICCR1 0008 8360h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
复位后的值	0	0	0	1	1	1	1	1

位	符号	位名	功能	R/W
b0	SDAI	SDA 总线输入监视位	0：SDAn 引脚输入为 Low 电平 1：SDAn 引脚输入为 High 电平	R
b1	SCLI	SCL 总线输入监视位	0：SCLn 引脚输入为 Low 电平 1：SCLn 引脚输入为 High 电平	R
b2	SDAO	SDA 输出控制位	• 读时 0：SDAn 引脚为 Low 电平输出 1：SDAn 引脚为高阻抗 • 写时 0：将 SDAn 引脚改为 Low 电平 1：将 SDAn 引脚改为高阻抗 （通过外部上拉电阻输出 High 电平）	R/W （注 1、注 2）
b3	SCLO	SCL 输出控制位	• 读时 0：SCLn 引脚为 Low 电平输出 1：SCLn 引脚为高阻抗 • 写时 0：将 SCLn 引脚改为 Low 电平输出 1：将 SCLn 引脚改为高阻抗 （通过外部上拉电阻输出 High 电平）	R/W （注 1、注 2）
b4	SOWP	SCLO/SDAO 写保护位	0：设定 SCLO 位和 SDAO 位的值 （读取值为 “1”。）	R/W （注 2）
b5	CLO	SCL 时钟的追加输出位	0：不追加输出 SCL 时钟 （正常状态） 1：追加输出 SCL 时钟 （在输出 1 个时钟后，此位自动变为 “0”。）	R/W
b6	IICRST	I²C 总线接口内部复位的位	0：解除 RIIC 复位或者内部复位 1：RIIC 复位或者内部复位状态（清除位计数器并且解除 SCLn/SDAn 的输出锁存）	R/W
b7	ICE	I²C 总线接口允许位	0：RIIC 的功能停止 （SCLn 引脚 /SDAn 引脚为端口功能） 1：RIIC 能进行传送 （SCLn 引脚 /SDAn 引脚为总线驱动功能）	R/W

注 1. 不能在通信过程中写此位。如果在通信过程中更改此位的值，就可能发生发送 / 接收异常或者 AL 错误。

注 2. 必须在将 SOWP 位置 “0” 的同时改写 SDAO 位和 SCLO 位。

CLO 位 （SCL 时钟的追加输出位）

此位具有以 1 个时钟为单位追加输出 SCL 时钟的功能，用于调试或者异常处理。

在一般情况下，必须将此位置 “0”。如果在正常的通信过程中使用此位，就可能引起通信错误。

有关此功能的详细内容，请参照 “32.11.2 SCL 时钟追加输出功能”。

IICRST 位 （I²C 总线内部复位的位）

此位对 RIIC 的内部状态进行复位。

如果将 IICRST 位置 “1”，就能进行 RIIC 复位或者内部复位。

RIIC 复位和内部复位取决于 IICRST 位和 ICE 位的组合。 RIIC 复位的种类如表 32.3 所示。

RIIC 复位是指对包括 ICCR2.BBSY 标志在内的全部寄存器和内部状态进行复位；内部复位是指对位计数器（ICMR1.BC[2:0] 位）、 I²C 总线移位寄存器 （ICDRS）、 I²C 总线状态寄存器 （ICSR1 和 ICSR2）和内部状态进行复位。有关各寄存器的复位状况，请参照 “32.14 复位状况”。

如果在运行时 （ICE 位为 “1” 的状态）因通信故障等引起总线和 RIIC 发生意外停机的情况下将 IICRST 位置 “1”，就能在不对端口的设定、 RIIC 的各控制寄存器和设定寄存器进行初始化的情况下对 RIIC 的内部状态进行复位。

如果在 RIIC 输出 Low 电平的状态下发生意外停机，就能通过对内部状态进行复位，将 SCLn 引脚 /SDAn 引脚置为高阻抗，然后释放总线。

注 1. 在从属模式中和主控设备进行通信时，如果因总线发生意外停机而通过 IICRST 位进行内部复位， RIIC 就可能变为和主控设备的状态不同的状态 （主要是双方的位计数器信息产生差异），因此原则上不在从属模式中进行内部复位而从主控设备进行恢复处理。在从属模式中将 SCLn 线置为 Low 电平输出的状态下，如果 RIIC 发生意外停机而需要内部复位，就必须在进行内部复位后从主控设备发行重新开始条件，或者在发行停止条件后发行开始条件，重新开始通信。如果只单独对从属设备进行复位，并且在没有从主控设备发行开始条件或者重新开始条件的情况下重新开始通信，就可能因双方运行状态的差异而导致不同步。

表 32.3 RIIC 复位的种类

IICRST	ICE	状态	内容
1	0	RIIC 复位	对 RIIC 的全部寄存器和内部状态进行复位。
	1	内部复位	对 ICMR1.BC[2:0] 位、 ICSR1、 ICSR2、 ICDRS 寄存器和内部状态进行复位。

ICE 位 （I²C 总线接口允许位）

此位选择 RIIC 是能进行传送还是功能停止。

如果将 ICE 位置 “0”（功能停止）， SCLn 引脚 /SDAn 引脚就为端口功能。如果在 ICE 位为 “0” 时将 IICRST 位置 “1”，就进行 RIIC 复位；如果在 ICE 位为 “1” 时将 IICRST 位置 “1”，就进行内部复位。

另外，为了防止意想不到的通信开始，必须在设定 RIIC 的寄存器时将 ICE 位置 “0”（功能停止）并且在设定完全部寄存器后将 ICE 位置 “1”（能传送状态）。

注 1. RX630 群的引脚功能也分配了 I²C 总线引脚以外的其他功能。在用作 I²C 总线引脚（SCLn 引脚 /SDAn 引脚）时，必须禁止其他功能的输出。因为 I²C 总线引脚的 SCLn 引脚 /SDAn 引脚都为输入 / 输出引脚，因此必须将对应的 I/O 端口的 PORTn.PDR 寄存器设定为 “0”（输入）。

32.2.2 I2C 总线控制寄存器 2 （ICCR2）

地址 RIIC0.ICCR2 0008 8301h、RIIC1.ICCR2 0008 8321h、RIIC2.ICCR2 0008 8341h、RIIC3.ICCR2 0008 8361h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	—	保留位	读写值都为 “0”。	R/W
b1	ST	开始条件发行请求位	0：不请求发行开始条件 1：请求发行开始条件	R/W
b2	RS	重新开始条件发行请求位	0：不请求发行重新开始条件 1：请求发行重新开始条件	R/W
b3	SP	停止条件发行请求位	0：不请求发行停止条件 1：请求发行停止条件	R/W
b4	—	保留位	读写值都为 “0”。	R/W
b5	TRS	发送 / 接收模式位	0：接收模式 1：发送模式	R/W （注 1）
b6	MST	主控 / 从属模式位	0：从属模式 1：主控模式	R/W （注 1）
b7	BBSY	总线忙检测标志	0：I2C 总线为释放状态 （总线空闲状态） 1：I2C 总线为占有状态 （总线忙状态或者总线处于空闲期间）	R

注 1. 当 ICMR1.MTWP 位为 “1”时，能写 MST 位和 TRS 位。

ST 位 （开始条件发行请求位）

此位请求向主控模式的转移以及开始条件的发行。

如果 ST 位为 “1”，就请求发行开始条件，并且在 BBSY 标志为 “0”（总线空闲）时发行开始条件。

有关发行开始条件的详细内容，请参照 “32.10 开始条件、重新开始条件和停止条件的发行功能”。

[为 “1” 的条件]

- 当写 “1” 时

[为 “0” 的条件]

- 当写 “0” 时
- 当结束开始条件的发行时
- 当ICSR2.AL标志变为 “1”（仲裁失败）时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

注 1. 必须在 BBSY 标志为 “0”（总线空闲）时将 ST 位置 “1”（请求发行开始条件）。
必须注意：如果在 BBSY 标志为 “1”（总线忙）时将 ST 位置 “1”（请求发行开始条件），就作为开始条件的发行错误而产生仲裁失败。

RS 位 （重新开始条件发行请求位）

此位在主控模式中请求发行重新开始条件。

如果 RS 位为 “1”，就请求发行重新开始条件，在 BBSY 标志为 “1”（总线忙）并且 MST 位为 “1”（主控模式）时，发行重新开始条件。

有关发行重新开始条件的详细内容，请参照 “32.10 开始条件、重新开始条件和停止条件的发行功能”。

[为 “1” 的条件]

- 在ICCR2.BBSY标志为 “1” 的状态下写 “1” 时

[为 “0” 的条件]

- 当写 “0” 时
- 当结束重新开始条件的发行或者检测到开始条件时
- 当ICSR2.AL标志变为 “1”（仲裁失败）时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

注 . 不能在发行停止条件的过程中将 RS 位置 “1”。

注 . 必须注意：如果在主控模式以外的模式中给 RS 位写 “1”（请求发行重新开始条件），就不能在该运行模式中发行重新开始条件而 RS 位保持 “1”。如果在此状态下将运行模式转移到主控模式，就可能发行重新开始条件。

SP 位 （停止条件发行请求位）

此位在主控模式中请求发行停止条件。

如果 SP 位为 “1”，就请求发行停止条件，在 BBSY 标志为 “1”（总线忙）并且 MST 位为 “1”（主控模式）时，发行停止条件。

有关发行停止条件的详细内容，请参照 “32.10 开始条件、重新开始条件和停止条件的发行功能”。

[为 “1” 的条件]

- 在ICCR2.BBSY标志为 “1” 并且ICCR2.MST位为 “1” 的状态下写 “1” 时

[为 “0” 的条件]

- 当写 “0” 时
- 当结束停止条件的发行或者检测到停止条件时
- 当ICSR2.AL标志变为 “1”（仲裁失败）时
- 当检测到开始条件和重新开始条件时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

注 . 不能在 BBSY 标志为 “0”（总线空闲）时写此位。

注 . 不能在发行重新开始条件的过程中将 SP 位置 “1”。

TRS 位 （发送 / 接收模式位）

此位是表示发送模式或者接收模式的位。

当 TRS 位为 “0” 时，为接收模式；当 TRS 位为 “1” 时，为发送模式。通过和 MST 位的组合，表示 RIIC 的运行模式。

TRS 位通过开始条件的发行和检测以及 R/W# 位等变为 “1” 或者 “0”，并且运行模式自动转移到发送模式或者接收模式。当 ICMR1.MTWP 位为 “1” 时，能写 TRS 位，但是一般不需要写。

[为 “1” 的条件]

- 根据开始条件的发行请求，正常地发行了开始条件 （在ST位为 “1” 的状态下检测到开始条件）时
- 在主控模式中，附加到从属地址的R/W#位为 “0” 时
- 在从属模式中，接收的从属地址与ICSER寄存器的有效地址匹配，并且R/W#位接收到 “1” 时
- 在ICMR1.MTWP位为 “1” 的状态下写 “1” 时

[为 “0” 的条件]

- 当检测到停止条件时
- 当ICSR2.AL标志变为 “1”（仲裁失败）时
- 在主控模式中，附加到从属地址的R/W#位为 “1” 时
- 在从属模式中，接收的从属地址与ICSER寄存器的有效地址匹配，并且R/W#位接收到 “0”（包括全呼地址）时
- 在从属模式中，检测到重新开始条件 （在ICCR2.BBSY位 “1” 并且ICCR2.MST为 “0” 的状态下检测到开始条件）时
- 在ICMR1.MTWP位为 “1” 的状态下写 “0” 时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

MST 位 （主控 / 从属模式位）

此位是表示主控模式或者从属模式的位。

当 MST 位为 “0” 时，为从属模式；当 MTS 位为 “1” 时，为主控模式。通过和 TRS 位的组合，表示 RIIC 的运行模式。

通过开始条件的发行以及停止条件的发行和检测， MST 位变为 “1” 或者 “0”，并且运行模式自动转移到主控模式或者从属模式。当 ICMR1.MTWP 位为 “1” 时，能写 MST 位，但是一般不需要写。

[为 “1” 的条件]

- 根据开始条件的发行请求，正常地发行了开始条件 （在ST位为 “1” 的状态下检测到开始条件）时
- 在ICMR1.MTWP位为 “1” 的状态下写 “1” 时

[为 “0” 的条件]

- 当检测到停止条件时
- 当ICSR2.AL标志变为 “1”（仲裁失败）时
- 在ICMR1.MTWP位为 “1” 的状态下写 “0” 时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

BBSY 标志 （总线忙检测标志）

此标志表示 I2C 总线的占有 （总线忙）状态或者释放状态 （总线空闲）。

如果在 SCLn 线为 High 电平的状态下 SDAn 线从 High 电平变为 Low 电平，就认为发行了开始条件，此标志变为 “1”。

如果在 SCLn 线为 High 电平的状态下 SDAn 线从 Low 电平变为 High 电平，就认为发行了停止条件，在没有检测到总线空闲时间 （ICBRL 寄存器的设定时间）的开始条件时，此标志变为 “0”。

[为 “1” 的条件]

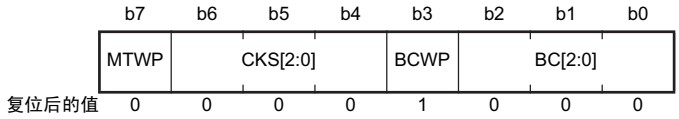
- 当检测到开始条件时

[为 “0” 的条件]

- 在检测到停止条件后没有检测到总线空闲时间 （ICBRL寄存器的设定时间）的开始条件时
- 在ICCR1.ICE位为 “0” 的状态下给ICCR1.IICRST位写 “1”（RIIC复位）时

32.2.3 I2C 总线模式寄存器 1 （ICMR1）

地址 RIIC0.ICMR1 0008 8302h、RIIC1.ICMR1 0008 8322h、RIIC2.ICMR1 0008 8342h、RIIC3.ICMR1 0008 8362h



位	符号	位名	功能	R/W
b2-b0	BC[2:0]	位计数器	b2 b0 0 0 0：9 位 0 0 1：2 位 0 1 0：3 位 0 1 1：4 位 1 0 0：5 位 1 0 1：6 位 1 1 0：7 位 1 1 1：8 位	R/W （注 1）
b3	BCWP	BC 写保护位	0：允许设定 BC[2:0] 的值 （读取值为 “1”）	R/W （注 1）
b6-b4	CKS[2:0]	内部基准时钟选择位	b6 b4 0 0 0：PCLK/1 时钟 0 0 1：PCLK/2 时钟 0 1 0：PCLK/4 时钟 0 1 1：PCLK/8 时钟 1 0 0：PCLK/16 时钟 1 0 1：PCLK/32 时钟 1 1 0：PCLK/64 时钟 1 1 1：PCLK/128 时钟	R/W
b7	MTWP	MST/TRS 写保护位	0：禁止写 ICCR2.MST 位和 ICCR2.TRS 位 1：允许写 ICCR2.MST 位和 ICCR2.TRS 位	R/W

注 1. 必须在将 BCWP 位置 “0” 后，使用 MOV 指令改写 BC[2:0] 位。

BC[2:0] 位 （位计数器）

这些位是在 SCLn 线的上升沿进行递减计数的计数器。如果读这些位，就能得知剩下的传送位数。能读写这些位，但是一般不需要存取。

写这些位时，必须指定要传送的数据位数 +1 （数据附加 1 位应答位后传送），并且在传送帧期间以及 SCLn 线为 Low 电平的状态下进行。

在结束包含应答的数据传送或者检测到开始条件 （包括重新开始条件）时， BC[2:0] 位自动返回 “000b”。

32.2.4 I²C 总线模式寄存器 2 （ICMR2）

地址 RIIC0.ICMR2 0008 8303h、RIIC1.ICMR2 0008 8323h、RIIC2.ICMR2 0008 8343h、RIIC3.ICMR2 0008 8363h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
复位后的值	0	0	0	0	0	1	1	0

位	符号	位名	功能	R/W
b0	TMOS	超时检测时间选择位	0：选择长模式 1：选择短模式	R/W
b1	TMOL	超时 L 电平计数控制位	0：在 SCLn 线为 Low 电平时，禁止计数。 1：在 SCLn 线为 Low 电平时，允许计数。	R/W
b2	TMOH	超时 H 电平计数控制位	0：在 SCLn 线为 High 电平时，禁止计数。 1：在 SCLn 线为 High 电平时，允许计数。	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b6-b4	SDDL[2:0]	SDA 输出延迟计数器	• 当 ICMR2.DLCS 位为 “0”（IICϕ）时 b6 b4 0 0 0：没有输出延迟 0 0 1：1 个 IICϕ 周期 0 1 0：2 个 IICϕ 周期 0 1 1：3 个 IICϕ 周期 1 0 0：4 个 IICϕ 周期 1 0 1：5 个 IICϕ 周期 1 1 0：6 个 IICϕ 周期 1 1 1：7 个 IICϕ 周期 • 当 ICMR2.DLCS 位为 “1”（IICϕ/2）时 b6 b4 0 0 0：没有输出延迟 0 0 1：1 ～ 2 个 IICϕ 周期 0 1 0：3 ～ 4 个 IICϕ 周期 0 1 1：5 ～ 6 个 IICϕ 周期 1 0 0：7 ～ 8 个 IICϕ 周期 1 0 1：9 ～ 10 个 IICϕ 周期 1 1 0：11 ～ 12 个 IICϕ 周期 1 1 1：13 ～ 14 个 IICϕ 周期	R/W
b7	DLCS	SDA 输出延迟时钟源选择位	0：选择内部基准时钟 （IICϕ）为 SDA 输出延迟计数器的时钟源 1：选择内部基准时钟的 2 分频时钟 （IICϕ/2）为 SDA 输出延迟计数器的时钟源	R/W

TMOS 位 （超时检测时间选择位）

此位是在超时检测功能有效时 （ICFER.TMOE 位 =1）选择超时检测时间的位。如果将此位置 “0”，就为长模式；如果置 “1”，就为短模式。在长模式中，用于检测超时的内部计数器用作 16 位计数器；在短模式中，此内部计数器用作 14 位计数器。在 SCLn 线为 TMOH 位或者 TMOL 位选择的状态时，将内部基准时钟 （IICϕ）作为计数源进行递增计数。

有关超时检测功能的详细内容，请参照 “32.11.1 超时检测功能”。

TMOL 位 （超时 L 电平计数控制位）

在超时检测功能有效时 （ICFER.TMOE 位 =1），此位选择在 SCLn 线为 Low 电平期间允许或者禁止超时检测功能的内部计数器的递增计数。

TMOH 位 （超时 H 电平计数控制位）

在超时检测功能有效时 （ICFER.TMOE 位 =1），此位选择在 SCLn 线为 High 电平期间允许或者禁止超时检测功能的内部计数器的递增计数。

SDDL[2:0] 位 （SDA 输出延迟计数器）

能通过 SDDL[2:0] 位的设定值使 SDA 延迟输出。 SDA 输出延迟计数器通过由 DLCS 位选择的时钟源进行计数。另外，此功能的设定还适用于包括应答位发送在内的全部 SDA 输出。

有关此功能的详细内容，请参照 “32.5 SDA 输出延迟功能”。

注 . 必须注意：SDA 输出延迟的设定必须符合 I2C 总线规格 （数据有效时间 / 应答有效时间（注 1）内）或者 SMBus 规格（数据保持时间：至少为 300ns，SCL 时钟的 Low 电平宽度的数据准备时间：250ns 的范围内），否则就可能引起通信设备的通信故障，或者根据总线状态视为开始条件或者停止条件。

注 1. 数据有效时间 / 应答有效时间
3450ns （～ 100kbps：标准模式 [Sm]）
900ns （～ 400kbp：快速模式 [fm]）
450ns （～ 1Mbps：快速模式 +[fm+]）

32.2.5 I²C 总线模式寄存器 3 （ICMR3）

地址 RIIC0.ICMR3 0008 8304h、RIIC1.ICMR3 0008 8324h、RIIC2.ICMR3 0008 8344h、RIIC3.ICMR3 0008 8364h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	NF[1:0]	噪声滤波器的段数选择位	b1 b0 0 0：消除不超过 1 个 IICϕ 的噪声 （滤波器为 1 段） 0 1：消除不超过 2 个 IICϕ 的噪声 （滤波器为 2 段） 1 0：消除不超过 3 个 IICϕ 的噪声 （滤波器为 3 段） 1 1：消除不超过 4 个 IICϕ 的噪声 （滤波器为 4 段）	R/W
b2	ACKBR	接收应答位	0：应答位接收 “0”（接收 ACK） 1：应答位接收 “1”（接收 NACK）	R
b3	ACKBT	发送应答位	0：应答位发送 “0”（发送 ACK） 1：应答位发送 “1”（发送 NACK）	R/W （注 1）
b4	ACKWP	ACKBT 写保护位	0：禁止写 ACKBT 位 1：允许写 ACKBT 位	W （注 1）
b5	RDRFS	RDRF 标志的置位时序选择位	0：在 SCL 时钟的第 9 个时钟上升时，此位为 “1”。（在第 8 个时钟的下降沿， SCLn 线不保持 Low 电平） 1：在 SCL 时钟的第 8 个时钟上升时，此位为 “1”。（在第 8 个时钟的下降沿，SCLn 线保持 Low 电平） • 通过写 ACKBT 位来解除保持的 Low 电平。	R/W （注 2）
b6	WAIT	WAIT 位	0：无 WAIT （在第 9 个时钟和下次传送的第 1 个时钟之间不保持 Low 电平） 1：有 WAIT （在第 9 个时钟和下次传送的第 1 个时钟之间保持 Low 电平） • 通过读 ICDRR 寄存器来解除保持的 Low 电平。	R/W （注 2）
b7	SMBS	SMBus/I²C 总线选择位	0：选择 I²C 总线 1：选择 SMBus	R/W

注 1. 即使在写 ACKBT 位的同时将 ACKWP 位置 “1”，也不能写 ACKBT 位。

注 2. WAIT 位和 RDRFS 位只在接收模式中有效，在发送模式中无效。

NF[1:0] 位 （噪声滤波器的段数选择位）

这些位选择数字噪声滤波器的段数。

注 . 必须注意：用噪声滤波器消除的噪声宽度必须小于 SCLn 线的 High/Low 电平宽度。
如果大于等于 （SCL 时钟的宽度：High 电平宽度和 Low 电平宽度中较短的一方） –｛1.5 个内部基准时钟同步（IICϕ）+模拟噪声滤波器：120ns（参考值）｝的值， RIIC 的噪声滤波器功能就可能将 SCL 时钟视为噪声而无法正常运行。

ACKBR 位 （接收应答位）

在发送模式中，此位保存从接收设备收到的应答位的内容。

[为 “1” 的条件]

- 在ICCR2.TRS位为 “1” 的状态下应答位接收到 “1” 时

[为 “0” 的条件]

- 在ICCR2.TRS位为 “1” 的状态下应答位接收到 “0” 时
- 在ICCR1.ICE位为 “0” 的状态下给ICCR1.IICRST位写 “1” （RIIC复位）时

ACKBT 位 （发送应答位）

在接收模式中，此位设定应答时要发送的位。

[为 “1” 的条件]

- 在ACKWP位为 “1” 的状态下写 “1” 时

[为 “0” 的条件]

- 在ACKWP位为 “1” 的状态下写 “0” 时
- 当检测到停止条件的发行 （在ICCR2.SP位为 “1” 的状态下检测到停止条件）时
- 在ICCR1.ICE位为 “0” 的状态下给ICCR1.IICRST位写 “1” （RIIC复位）时

注 . 必须在 ACKWP 位为“1”的状态下写 ACKBT 位。如果在 ACKWP 位为“0”的状态下写 ACKBT 位，写操作就无效。

ACKWP 位 （ACKBT 写保护位）

此位控制 ACKBT 位的写操作。

RDRFS 位 （RDRF 标志的置位时序选择位）

此位选择接收模式中的 RDRF 标志的置位时序以及在 SCL 时钟的第 8 个时钟的下降沿是否保持 SCLn 线的 Low 电平。

当 RDRFS 位为 “0” 时，在第 8 个时钟的下降沿 SCLn 线不保持 Low 电平，在第 9 个时钟的上升沿将 RDRF 标志置 “1”。

当 RDRFS 位为 “1” 时，在第 8 个时钟的上升沿将 RDRF 标志置 “1”，在第 8 个时钟的下降沿 SCLn 线保持 Low 电平。通过写 ACKBT 位来解除此 SCLn 线保持的 Low 电平。

因为在进行此设定时，在接收数据后到发送应答位前 SCLn 线自动保持 Low 电平，所以能根据接收数据的内容发送 ACK （ACKBT 位为 “0”）或者 NACK （ACKBT 位为 “1”）。

WAIT 位 （WAIT 位）

在接收模式中，如果每接收 1 字节数据，就在读完接收数据缓冲器 （ICDRR 寄存器）前， WAIT 位控制在 SCL 时钟的第 9 个时钟和下次传送的第 1 个时钟之间是否保持 Low 电平。

当 WAIT 位为 “0” 时，在 SCL 时钟的第 9 个时钟和下次传送的第 1 个时钟之间不保持 Low 电平，继续接收数据。在 RDRFS 位和 WAIT 位都为 “0” 时，也能通过双缓冲器进行连续的接收。

当 WAIT 位为 “1” 时，如果每接收 1 字节数据，就从第 9 个时钟下降后到读 ICDRR 寄存器的值前， SCLn 线保持 Low 电平。因此能按字节接收数据。

注 . 必须先读 ICDRR，然后将 WAIT 位置 “0”。

SMBS 位 （SMBus/I²C 总线选择位）

如果将 SMBS 位置 “1”，就选择 SMBus 并且 ICSER.HOAE 位有效。

32.2.6 I²C 总线功能允许寄存器 （ICFER）

地址 RIIC0.ICFER 0008 8305h、RIIC1.ICFER 0008 8325h、RIIC2.ICFER 0008 8345h、RIIC3.ICFER 0008 8365h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
复位后的值	0	1	1	1	0	0	1	0

位	符号	位名	功能	R/W
b0	TMOE	超时检测功能有效位	0：超时检测功能无效 1：超时检测功能有效	R/W
b1	MALE	主控仲裁失败检测允许位	0：禁止主控仲裁失败的检测 （将仲裁失败检测功能设定为无效，在发生仲裁失败时不自动清除 ICCR2.MST 位和 ICCR2.TRS 位） 1：允许主控仲裁失败的检测 （将仲裁失败检测功能设定为有效，在发生仲裁失败时自动清除 ICCR2.MST 位和 ICCR2.TRS 位）	R/W
b2	NALE	NACK 发送仲裁失败检测允许位	0：禁止 NACK 发送仲裁失败的检测 1：允许 NACK 发送仲裁失败的检测	R/W
b3	SALE	从属仲裁失败检测允许位	0：禁止从属仲裁失败的检测 1：允许从属仲裁失败的检测	R/W
b4	NACKE	NACK 接收传送中止允许位	0：在接收 NACK 时，不中止传送 （禁止中止传送）。 1：在接收 NACK 时，中止传送 （允许中止传送）。	R/W
b5	NFE	数字噪声滤波器电路有效位	0：不使用数字噪声滤波器电路 1：使用数字噪声滤波器电路	R/W
b6	SCLE	SCL 同步电路有效位	0：SCL 同步电路无效 1：SCL 同步电路有效	R/W
b7	FMPE （注 1）	快速模式 + 有效位	0：不将 fm+ 的斜率控制电路用于 SCLn 引脚 / SDAn 引脚 1：将 fm+ 的斜率控制电路用于 SCLn 引脚 /SDAn 引脚	R/W

注 1. 快速模式 + 有效位 （FMPE）只支持 RIIC0。在 RIIS1 ～ RIIC3 中， b7 为保留位。

TMOE 位 （超时检测功能有效位）

此位选择超时检测功能的有效或者无效。

有关超时检测功能的详细内容，请参照 “32.11.1 超时检测功能”。

MALE 位 （主控仲裁失败检测允许位）

此位决定主控模式中仲裁失败检测功能的有效或者无效。一般必须将此位置 “1”。

NALE 位 （NACK 发送仲裁失败检测允许位）

在接收模式中，此位选择在发送 NACK 时检测到 ACK 的情况下 （总线上有相同地址的从属设备，或者 2 个以上 （包括 2 个）的主控设备同时选择了相同的从属设备并且各自接收的字节数不同等情况）是否产生仲裁失败。

SALE 位 （从属仲裁失败检测允许位）

在从属发送模式中，此位选择在总线上检测到的值和正在发送的值不同的情况下 （总线上有相同地址的从属设备，或者因噪声的影响而产生和发送数据不同的数据等情况）是否产生仲裁失败。

NACKE 位 （NACK 接收传送中止允许位）

在发送模式中，此位选择在从从属设备接收到 NACK 时是继续传送还是中止传送。一般必须将此位置 “1”。

如果在 NACKE 位为 “1”时接收到 NACK，就中止下一个传送。

当 NACKE 位为 “0”时，与接收应答的内容无关，继续进行下一个传送。

有关 NACK 接收传送中止功能的详细内容，请参照 “32.8.2 NACK 接收传送中止功能”。

SCLE 位 （SCL 同步电路允许位）

对于 SCL 输入时钟，此位选择是否与 SCL 时钟同步。一般必须将此位置 “1”。

如果将 SCLE 位置 “0”（SCL 同步电路无效），就不与时钟同步。在此设定下，与 SCLn 线的状态无关，RIIC 输出 ICBRH 寄存器和 ICBRL 寄存器所设传送速度的 SCL 时钟。因此必须注意：在 I2C 总线的总线负载远远大于规格值时或者多主控模式中的 SCL 时钟输出发生重叠时，有可能变为规格外的短时钟。在 SCL 同步电路无效的情况下，也影响开始条件、重新开始条件、停止条件的发行以及 SCL 时钟追加输出的连续输出。

只在确认是否输出了所设传送速度时才能将 SCLE 位置 “0”。

FMPE 位 （快速模式 + 有效位）

此位选择斜率控制电路是否使用快速模式 +[fm+] 的斜率控制电路。

如果将 FMPE 位置 “1”，就选择符合 I2C 总线的快速模式 +[fm+] 的斜率控制规格 （tof）的斜率控制电路；如果置 “0”，就选择符合 I2C 总线的标准模式 [Sm] 和快速模式 [fm] 的斜率控制规格 （tof）的斜率控制电路。

如果使用 I2C 总线规格的～ 1Mbps （快速模式 +[fm+]）的通信速度，就必须将此位置 “1”。如果使用其他通信速度 （～ 100kbps[Sm] 或者～ 400kbps[fm]）或者 SMBus （10kbps ～ 100kbps），就必须将此位置 “0”。

32.2.7 I²C 总线状态允许寄存器 （ICSER）

地址 RIIC0.ICSER 0008 8306h、RIIC1.ICSER 0008 8326h、RIIC2.ICSER 0008 8346h、RIIC3.ICSER 0008 8366h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
复位后的值	0	0	0	0	1	0	0	1

位	符号	位名	功能	R/W
b0	SAR0E	从属地址寄存器 0 允许位	0：SARL0 和 SARU0 的设定值无效 1：SARL0 和 SARU0 的设定值有效	R/W
b1	SAR1E	从属地址寄存器 1 允许位	0：SARL1 和 SARU1 的设定值无效 1：SARL1 和 SARU1 的设定值有效	R/W
b2	SAR2E	从属地址寄存器 2 允许位	0：SARL2 和 SARU2 的设定值无效 1：SARL2 和 SARU2 的设定值有效	R/W
b3	GCAE	全呼地址允许位	0：全呼地址的检测无效 1：全呼地址的检测有效	R/W
b4	—	保留位	读写值都为 “0”。	R/W
b5	DIDE	设备 ID 地址检测允许位	0：设备 ID 地址的检测无效 1：设备 ID 地址的检测有效	R/W
b6	—	保留位	读写值都为 “0”。	R/W
b7	HOAE	主机地址允许位	0：主机地址的检测无效 1：主机地址的检测有效	R/W

SARyE 位 （从属地址寄存器 y 允许位）（y=0 ～ 2）

此位选择 SARL**y** 寄存器和 SARU**y** 寄存器设定的从属地址是否有效。

如果将 SAR**y**E 位置“1”，SARL**y** 寄存器和 SARU**y** 寄存器的设定值就有效，和接收的从属地址进行比较。

如果将 SAR**y**E 位置 “0”， SARL**y** 寄存器和 SARUy 寄存器的设定值就无效，即使与接收的从属地址匹配，也忽视此设定值。

GCAE 位 （全呼地址允许位）

在接收到全呼地址 （0000 000b+0[W]：All “0”）时，此位选择是否忽视此地址。

在 GCAE 位为 “1”时，如果接收的从属地址与全呼地址匹配， RIIC 就将此从属地址视为全呼地址进行接收，与 SARLy 寄存器和 SARUy 寄存器 （y=0 ～ 2）设定的从属地址无关。

在 GCAE 位为 “0”时，即使接收的从属地址与全呼地址匹配，也忽视此地址。

DIDE 位 （设备 ID 地址检测允许位）

在检测到开始条件或者重新开始条件后的第 1 帧接收到设备 ID 地址 （1111 100b）时，此位选择是否将此地址视为设备 ID 地址。

在 DIDE 位为 “1”时，如果接收的第 1 帧与设备 ID 地址匹配， RIIC 就认为已接收到设备 ID 地址，当后续的 R/W# 位为 “0” [W] 时，将第 2 帧以后的帧视为从属地址，继续接收。

在DIDE位为“0”时，即使接收的第1帧与设备ID地址匹配，也忽视此帧，而将第1帧视为一般的从属地址。

有关设备 ID 地址检测的详细内容，请参照 “32.7.3 设备 ID 地址检测功能”。

HOAE 位 （主机地址允许位）

在 ICMR3.SMBS 位为 “1”时接收到主机地址 （0001 000b）的情况下，此位选择是否忽视此地址。

在 ICMR3.SMBS 位为 “1”并且 HOAE 位为 “1”时，如果接收的从属地址与主机地址匹配， RIIC 就将此从属地址视为主机地址进行接收，与 SARLy 寄存器和 SARUy 寄存器 （y=0 ～ 2）设定的从属地址无关。

在 ICMR3.SMBS 位或者 HOAE 位为 “0”时，即使接收的从属地址与主机地址匹配，也忽视此地址。

32.2.8 I2C 总线中断允许寄存器 （ICIER）

地址 RIIC0.ICIER 0008 8307h、RIIC1.ICIER 0008 8327h、RIIC2.ICIER 0008 8347h、RIIC3.ICIER 0008 8367h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TMOIE	超时中断允许位	0：禁止超时中断 （TMOI） 1：允许超时中断 （TMOI）	R/W
b1	ALIE	仲裁失败中断允许位	0：禁止仲裁失败中断 （ALI） 1：允许仲裁失败中断 （ALI）	R/W
b2	STIE	开始条件检测中断允许位	0：禁止开始条件检测中断 （STI） 1：允许开始条件检测中断 （STI）	R/W
b3	SPIE	停止条件检测中断允许位	0：禁止停止条件检测中断 （SPI） 1：允许停止条件检测中断 （SPI）	R/W
b4	NAKIE	NACK 接收中断允许位	0：禁止 NACK 接收中断 （NAKI） 1：允许 NACK 接收中断 （NAKI）	R/W
b5	RIE	接收数据满中断允许位	0：禁止接收数据满中断 （ICRXI） 1：允许接收数据满中断 （ICRXI）	R/W
b6	TEIE	发送结束中断允许位	0：禁止发送结束中断 （ICTEI） 1：允许发送结束中断 （ICTEI）	R/W
b7	TIE	发送数据空中断允许位	0：禁止发送数据空中断 （ICTXI） 1：允许发送数据空中断 （ICTXI）	R/W

TMOIE 位 （超时中断允许位）

当 ICSR2.TMOF 标志为 “1”时，此位选择允许或者禁止超时中断 （TMOI）。能通过将 TMOF 标志或者 TMOIE 位置 “0”来解除 TMOI 中断。

ALIE 位 （仲裁失败中断允许位）

当 ICSR2.AL 标志为 “1”时，此位选择允许或者禁止仲裁失败中断 （ALI）。能通过将 AL 标志或者 ALIE 位置 “0”来解除 ALI 中断。

STIE 位 （开始条件检测中断允许位）

当 ICSR2.START 标志为 “1”时，此位选择允许或者禁止开始条件的检测中断 （STI）。能通过将 START 标志或者 STIE 位置 “0”来解除 STI 中断。

SPIE 位 （停止条件检测中断允许位）

当 ICSR2.STOP 标志为 “1” 时，此位选择允许或者禁止停止条件的检测中断 （SPI）。能通过将 STOP 标志或者 SPIE 位置 “0” 来解除 SPI 中断。

NAKIE 位 （NACK 接收中断允许位）

当 ICSR2.NACKF 标志为 “1” 时，此位选择允许或者禁止 NACK 接收中断 （NAKI）。通过将 NACKF 标志或者 NAKIE 位置 “0” 来解除 NAKI 中断。

RIE 位 （接收数据满中断允许位）

当 ICSR2.RDRF 标志为 “1” 时，此位选择允许或者禁止接收数据满中断 （ICRXI）。

TEIE 位 （发送结束中断允许位）

当 ICSR2.TEND 标志为 “1” 时，此位选择允许或者禁止发送结束中断 （ICTEI）。能通过将 TEND 标志或者 TEIE 位置 “0” 来解除 ICTEI 中断。

TIE 位 （发送数据空中断允许位）

当 ICSR2.TDRE 标志为 “1” 时，此位选择允许或者禁止发送数据空中断 （ICTXI）。

32.2.9 I²C 总线状态寄存器 1 （ICSR1）

地址 RIIC0.ICSR1 0008 8308h、RIIC1.ICSR1 0008 8328h、RIIC2.ICSR1 0008 8348h、RIIC3.ICSR1 0008 8368h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	AAS0	从属地址 0 的检测标志	0：未检测到从属地址 0 1：检测到从属地址 0 • 在 SARU0.FS 位为 “0”（选择 7 位地址格式）的情况下，接收的从属地址与 SARL0.SVA[6:0] 匹配时 • 在 SARU0.FS 位为 “1”（选择 10 位地址格式）的情况下，接收的从属地址与 1111 0b+SARU0.SVA[1:0] 匹配，并且后续的地址与 SARL0 寄存器匹配时 （在 SARL0 匹配判断帧的 SCL 时钟的第 9 个时钟上升时，此标志变为 “1”。）	R(/W) （注 1）
b1	AAS1	从属地址 1 的检测标志	0：未检测到从属地址 1 1：检测到从属地址 1 • 在 SARU1.FS 位为 “0”（选择 7 位地址格式）的情况下，接收的从属地址与 SARL1.SVA[6:0] 匹配时 • 在 SARU1.FS 位为 “1”（选择 10 位地址格式）的情况下，接收的从属地址与 1111 0b+SARU1.SVA[1:0] 匹配，并且后续的地址与 SARL1 寄存器匹配时 （在 SARL1 匹配判断帧的 SCL 时钟的第 9 个时钟上升时，此标志变为 “1”。）	R(/W) （注 1）

位	符号	位名	功能	R/W
b2	AAS2	从属地址 2 的检测标志	0：未检测到从属地址 2 1：检测到从属地址 2 • 在 SARU2.FS 位为 “0”（选择 7 位地址格式）的情况下，接收的从属地址与 SARL2.SVA[6:0] 匹配时 • 在 SARU2.FS 位为 “1”（选择 10 位地址格式）的情况下，接收的从属地址与 1111 0b+SARU2.SVA[1:0] 匹配，并且后续的地址与 SARL2 寄存器匹配时 （在 SARL2 匹配判断帧的 SCL 时钟的第 9 个时钟上升时，此标志变为 “1”。）	R(/W) （注 1）
b3	GCA	全呼地址的检测标志	0：未检测到全呼地址 1：检测到全呼地址 • 当接收的从属地址与全呼地址 （All “0”）匹配时	R(/W) （注 1）
b4	—	保留位	读写值都为 “0”。	R/W
b5	DID	设备 ID 地址的检测标志	0：未检测到设备 ID 地址 1：检测到设备 ID 地址 • 当紧接在开始条件后的第 1 帧与设备 ID 地址（1111 100b）+0[W] 匹配时	R(/W) （注 1）
b6	—	保留位	读写值都为 “0”。	R/W
b7	HOA	主机地址的检测标志	0：未检测到主机地址 1：检测到主机地址 • 当接收的从属地址与主机地址 （0001 000b）匹配时	R(/W) （注 1）

注 1. 只能写 “0”。

AASy 标志 （从属地址 y 的检测标志）（y=0 ～ 2）

[为 “1” 的条件]

【选择 7 位地址格式时：SARUy.FS 位 =0】

- 在 ICSER.SARyE 位为 “1”（从属地址 y 的检测有效）的状态下接收的从属地址与 SARLy.SVA[6:0] 匹配时，该帧的 SCL 时钟的第 9 个时钟上升。

【选择 10 位地址格式时：SARUy.FS 位 =1】

- 在 ICSER.SARyE 位为 “1”（从属地址 y 的检测有效）的状态下接收的从属地址与 1111 0b+SARUy.SVA[1:0] 匹配，并且后续的地址与 SARLy 寄存器匹配时，该帧的 SCL 时钟的第 9 个时钟上升。

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当检测到停止条件时
- 当给 ICCR1.IICRST 位写 “1” 并且进行 RIIC 复位或者内部复位时

【选择 7 位地址格式时：SARUy.FS 位 =0】

- 在 ICSER.SARyE 位为 “1”（从属地址 y 的检测有效）的状态下接收的从属地址与 SARLy.SVA[6:0] 不匹配时，该帧的 SCL 时钟的第 9 个时钟上升。

【选择 10 位地址格式时：SARUy.FS 位 =1】

- 在 ICSER.SARyE 位为 “1”（从属地址 y 的检测有效）的状态下接收的从属地址与 1111 0b+SARUy.SVA[1:0] 不匹配时，该帧的 SCL 时钟的第 9 个时钟上升。
- 在 ICSER.SARyE 位为 “1”（从属地址 y 的检测有效）的状态下接收的从属地址与 1111 0b+SARUy.SVA[1:0] 匹配，而后续的地址与 SARLy 寄存器不匹配时，该帧的 SCL 时钟的第 9 个时钟上升。

GCA 标志 （全呼地址的检测标志）

[为 “1” 的条件]

- 在 ICSER.GCAE 位为 “1”（全呼地址的检测有效）的状态下接收的从属地址与全呼地址 （0000 000b +0[W]）匹配时，该帧的 SCL 时钟的第 9 个时钟上升。

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当检测到停止条件时
- 在 ICSER.GCAE 位为 “1”（全呼地址的检测有效）的状态下接收的从属地址与全呼地址 （0000 000b +0[W]）不匹配时，该帧的 SCL 时钟的第 9 个时钟上升。
- 当给 ICCR1.IICRST 位写 “1” 并且进行 RIIC 复位或者内部复位时

DID 标志 （设备 ID 地址的检测标志）

[为 “1” 的条件]

- 在 ICSER.DIDE 位为 “1”（设备 ID 地址的检测有效）的状态下检测到开始条件或者重新开始条件后的第 1 帧与设备 ID 地址 （1111 100b） +0[W] 匹配时，该帧的 SCL 时钟的第 9 个时钟上升。

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当检测到停止条件时
- 在 ICSER.DIDE 位为 “1”（设备 ID 地址的检测有效）的状态下检测到开始条件或者重新开始条件检测后的第 1 帧与设备 ID 地址 （1111 100b）不匹配时，该帧的 SCL 时钟的第 9 个时钟上升。
- 在 ICSER.DIDE 位为 “1”（设备 ID 地址的检测有效）的状态下检测到开始条件或者重新开始条件检测后的第 1 帧与设备的 ID 地址 （1111 100b） +0[W] 匹配，而后续的第 2 帧与从属地址 0 ～ 2 全部不匹配时，该帧的 SCL 时钟的第 9 个时钟上升。
- 当给 ICCR1.IICRST 位写 “1” 并且进行 RIIC 复位或者内部复位时

HOA 标志 （主机地址的检测标志）

[为 “1” 的条件]

- 在 ICSER.HOAE 位为 “1”（主机地址的检测有效）的状态下接收的从属地址与主机地址 （0001 000b）匹配时，该帧的 SCL 时钟的第 9 个时钟上升。

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当检测到停止条件时
- 当给 ICMR3.SMBS 位或者 ICSER.HOAE 位写 “0” 时
- 在 ICSER.HOAE 位为 “1”（主机地址的检测有效）的状态下接收的从属地址与主机地址 （0001 000b）不匹配时，该帧的 SCL 时钟的第 9 个时钟上升。
- 当给 ICCR1.IICRST 位写 “1” 并且进行 RIIC 复位或者内部复位时

32.2.10 I2C 总线状态寄存器 2 （ICSR2）

地址 RIIC0.ICSR2 0008 8309h、RIIC1.ICSR2 0008 8329h、RIIC2.ICSR2 0008 8349h、RIIC3.ICSR2 0008 8369h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TMOF	超时检测标志	0：未检测到超时 1：检测到超时	R(/W) （注 1）
b1	AL	仲裁失败标志	0：未发生仲裁失败 1：发生仲裁失败	R(/W) （注 1）
b2	START	开始条件检测标志	0：未检测到开始条件 1：检测到开始条件	R(/W) （注 1）
b3	STOP	停止条件检测标志	0：未检测到停止条件 1：检测到停止条件	R(/W) （注 1）
b4	NACKF	NACK 检测标志	0：未检测到 NACK 1：检测到 NACK	R(/W) （注 1）
b5	RDRF	接收数据满标志	0：ICDRR 寄存器无接收数据 1：ICDRR 寄存器有接收数据	R(/W) （注 1）
b6	TEND	发送结束标志	0：正在发送数据 1：数据发送结束	R(/W) （注 1）
b7	TDRE	发送数据空标志	0：ICDRT 寄存器有发送数据 1：ICDRT 寄存器无发送数据	R

注 1. 只能写 “0”。

TMOF 标志 （超时检测标志）

如果 SCLn 线的状态在一定的期间内不发生变化，就视为超时，此标志变为 “1”。

[为 “1” 的条件]

- 当ICFER.TMOE位为“1”（超时检测功能有效）并且在指定为主控模式或者从属模式的状态下ICMR2.TMOH位、 ICMR2.TMOL位、 ICMR2.TMOS位所选条件的期间内， SCLn线的状态没有变化时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

AL 标志 （仲裁失败标志）

在发行开始条件或者发送地址和数据时，此标志表示因总线竞争等而失去了总线占有权（仲裁失败）。RIIC 在发送过程中监视 SDAn 线的电平，如果输出数据和 SDAn 线的电平不同，就将 AL 标志置 “1”，表示总线被其他设备占有。

另外，通过设定，RIIC 也能在主控模式中检测发送 NACK 时的仲裁失败，在从属模式中检测发送数据时的仲裁失败。

[为 “1” 的条件]

【主控仲裁失败的检测有效时：ICFER.MALE 位为 “1”】

- 在主控发送模式的数据发送 （包括从属地址的发送）过程中，在ACK期间以外的SCL时钟的上升沿，RIIC 自身发送的SDA信号和SDAn线上的信号状态不同 （内部SDA输出为High电平输出 （=SDAn引脚为高阻抗）而检测到SDAn线为Low电平）时
- 在ICCR2.ST位为 “1”（请求发行开始条件）的状态下检测到开始条件时， RIIC 自身发送的SDA信号和SDAn线上的信号状态不同时
- 在ICCR2.BBSY标志为 “1” 的状态下将ICCR2.ST位置 “1”（请求发行开始条件）时

【NACK 仲裁失败的检测有效时：ICFER.NALE 位为 “1”】

- 在接收模式的NACK发送过程中，在ACK期间的SCL时钟的上升沿，RIIC自身发送的SDA信号和SDAn线上的信号状态不同时

【从属仲裁失败的检测有效时：ICFER.SALE 位为 “1”】

- 在从属发送模式的数据发送过程中，在ACK期间以外的SCL时钟上升沿，RIIC自身发送的SDA信号和SDAn线上的信号状态不同时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

表 32.4 仲裁失败发生源和各仲裁失败允许功能的关系

ICFER			ICSR2	错误内容	仲裁失败发生源
MALE	NALE	SALE	AL		
1	x	x	1	开始条件发行错误	在 ICCR2.ST 位为 “1” 的状态下检测到开始条件时，RIIC 自身发送的 SDA 信号和 SDAn 线上的信号状态不同。
					在 ICCR2.BBSY 位为 “1” 的状态下将 ICCR2.ST 位置 “1”。
			1	发送数据不同	在主控发送模式中，发送数据 （包括从属地址的发送）与总线状态不同。
x	1	x	1	发送的 NACK 不同	在主控接收模式或者从属接收模式中，在发送 NACK 时检测到 ACK。
x	x	1	1	发送数据不同	在从属发送模式中，发送数据和总线状态不同。

x：Don' t care

START 标志 （开始条件检测标志）

[为 “1” 的条件]

- 当检测到开始条件 （包括重新开始条件）时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当检测到停止条件时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

STOP 标志 （停止条件检测标志）

[为 “1” 的条件]

- 当检测到停止条件时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

NACKF 标志 （NACK 检测标志）

[为 “1” 的条件]

- 在ICFER.NACKE位为 “1”（允许中止传送）的状态下，发送模式中没有来自接收设备的应答 （接收到NACK）时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

注 . 如果 NACKF 标志变为 “1”， RIIC 就中止通信。即使在 NACKF 标志为 “1” 的状态下写 ICDRT 寄存器 （在发送模式中）或者读 ICDRR 寄存器 （在接收模式中），也不进行发送和接收。要重新开始通信时，必须将 NACKF 标志置 “0”。

RDRF 标志 （接收数据满标志）

[为 “1” 的条件]

- 在将接收数据从ICDRS寄存器传送到ICDRR寄存器时，通过设定ICMR3.RDRFS位，在SCL时钟的第8个时钟或者第9个时钟的上升沿RDRF标志变为 “1”。
- 在检测到开始条件 （包括重新开始条件）后接收的从属地址匹配并且ICCR2.TRS位为 “0” 时

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当读ICDRR寄存器时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

TEND 标志 （发送结束标志）

[为 “1” 的条件]

- 在TDRE标志为 “1” 的状态下SCL时钟的第9个时钟上升。

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时
- 当给ICDRT寄存器写数据时
- 当检测到停止条件时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

TDRE 标志 （发送数据空标志）

[为 “1” 的条件]

- 当将数据从ICDRT寄存器传送到ICDRS寄存器并且ICDRT寄存器为空时
- 当ICCR2.TRS位变为 “1” 时
  a. 在检测到开始条件 （包括重新开始条件）后ICCR2.MST位为 “1” 时
  b. 当从接收模式变为发送模式时
  c. 在ICMR1.MTWP位为 “1” 的状态下写 “1” 时
- 当接收的从属地址匹配并且TRS位为 “1” 时

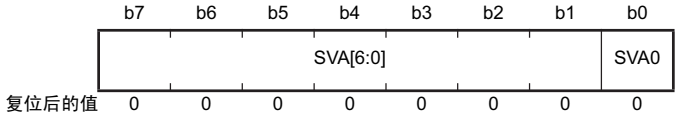
[为 “0” 的条件]

- 当给ICDRT寄存器写数据时
- 当ICCR2.TRS位变为 “0” 时
  a. 检测到停止条件时
  b. 从发送模式变为接收模式时
  c. 在ICMR1.MTWP位为 “1” 的状态下写 “0” 时
- 当给ICCR1.IICRST位写 “1” 并且进行RIIC复位或者内部复位时

注 . 如果在 ICFER.NACKE 位为 “1” 的状态下 NACKF 标志变为 “1”， RIIC 就中止通信。此时，如果 TDRE 标志为 “0”（已写下一个发送数据的状态），就在第 9 个时钟的上升沿将数据传送到 ICDRS 寄存器并且 ICDRT 寄存器变为空状态，但是 TDRE 标志不变为 “1”。

32.2.11 从属地址寄存器 Ly （SARLy）（y=0 ～ 2）

地址 RIIC0.SARL0 0008 830Ah、RIIC1.SARL0 0008 832Ah、RIIC2.SARL0 0008 834Ah、RIIC3.SARL0 0008 836Ah
RIIC0.SARL1 0008 830Ch、RIIC1.SARL1 0008 832Ch、RIIC2.SARL1 0008 834Ch、RIIC3.SARL1 0008 836Ch
RIIC0.SARL2 0008 830Eh、RIIC1.SARL2 0008 832Eh、RIIC2.SARL2 0008 834Eh、RIIC3.SARL2 0008 836Eh



位	符号	位名	功能	R/W
b0	SVA0	10 位地址的最低位	必须设定从属地址。 • 当 SARUy.FS 位为 “0”（选择 7 位地址格式）时， SVA0 位无效。 • 当 SARUy.FS 位为 “1”（选择 10 位地址格式）时， SVA0 位有效。 SVA0 位和 SVA[6:0] 位合并为 10 位从属地址的低 8 位地址。	R/W
b7-b1	SVA[6:0]	7 位地址 /10 位地址的低位	必须设定从属地址。 • 当 SARUy.FS 位为 “0”（选择 7 位地址格式）时， SVA[6:0] 位为 7 位从属地址。 • 当 SARUy.FS 位 “1”（选择 10 位地址格式）时， SVA[6:0] 位和 SVA0 位合并为 10 位从属地址的低 8 位地址。	R/W

SVA0 位 （10 位地址的最低位）

在选择 10 位地址格式时 （SARUy.FS 位 =1），用作 10 位地址的最低位，此位和 SVA[6:0] 位一起设定 10 位地址的低 8 位。

当 ICSER.SARyE 位为 “1”（SARLy 寄存器和 SARUy 寄存器有效）并且 SARUy.FS 位为 “1”时，设定值有效；当 SARUy.FS 位或者 SARyE 位为 “0”时，忽视设定值。

SVA[6:0] 位 （7 位地址 /10 位地址的低位）

在选择 7 位地址格式时 （SARUy.FS 位 =0），用作 7 位地址；在选择 10 位地址格式时 （SARUy.FS 位 =1），此位和 SVA0 位一起用作 10 位地址的低 8 位。

当 ICSER.SARyE 位为 “0”时，忽视设定值。

32.2.12 从属地址寄存器 Uy （SARUy）（y=0 ～ 2）

地址 RIIC0.SARU0 0008 830Bh、RIIC1.SARU0 0008 832Bh、RIIC2.SARU0 0008 834Bh、RIIC3.SARU0 0008 836Bh
RIIC0.SARU1 0008 830Dh、RIIC1.SARU1 0008 832Dh、RIIC2.SARU1 0008 834Dh、RIIC3.SARU1 0008 836Dh
RIIC0.SARU2 0008 830Fh、RIIC1.SARU2 0008 832Fh、RIIC2.SARU2 0008 834Fh、RIIC3.SARU2 0008 836Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FS	7 位 /10 位地址格式选择位	0：选择 7 位地址格式 1：选择 10 位地址格式	R/W
b2-b1	SVA[1:0]	10 位地址的高位	必须设定从属地址。 • 当 SARUy.FS 位为 “0”（选择 7 位地址格式）时， SVA[1:0] 位无效。 • 当 SARUy.FS 位为 “1”（选择 10 位地址格式）时， SVA[1:0] 位有效，作为 10 位从属地址的高 2 位地址。	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

FS 位 （7 位 /10 位地址格式选择位）

此位选择从属地址 y （SARLy 寄存器、 SARUy 寄存器）为 7 位地址或者 10 位地址。

当 ICSER.SARyE 位为 “1”（SARLy 寄存器和 SARUy 寄存器有效）并且 SARUy.FS 位为 “0”时，选择从属地址 y 为 7 位地址格式，SARLy.SVA[6:0] 位的设定值有效，忽视 SVA[1:0] 位和 SARLy.SVA0 位的设定值。

当 ICSER.SARyE 位为 “1”（SARLy 寄存器和 SARUy 寄存器有效）并且 SARUy.FS 位为 “1”时，选择从属地址 y 为 10 位地址格式， SVA[1:0] 位和 SARLy 寄存器的设定值有效。

当 ICSER.SARyE 位为 “0”（SARLy 寄存器和 SARUy 寄存器无效）时， SARUy.FS 位的设定值无效。

SVA[1:0] 位 （10 位地址的高位）

在选择 10 位地址格式时 （FS 位 =1），用作 10 位地址的高 2 位地址。

当 ICSER.SARyE 位为 “1”（SARLy 寄存器和 SARUy 寄存器有效）并且 SARUy.FS 位为 “1”时，设定值有效；当 SARUy.FS 位或者 SARyE 位为 “0”时，忽视设定值。

32.2.13 I²C 总线位速率低电平寄存器 （ICBRL）

地址 RIIC0.ICBRL 0008 8310h、RIIC1.ICBRL 0008 8330h、RIIC2.ICBRL 0008 8350h、RIIC3.ICBRL 0008 8370h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRL[4:0]				
复位后的值	1	1	1	1	1	1	1	1

位	符号	位名	功能	R/W
b4-b0	BRL[4:0]	位速率 Low 电平宽度设定位	设定 SCL 时钟的 Low 电平宽度的值。	R/W
b7-b5	—	保留位	读取值为 “0”，只能写 “1”。	R/W

在 SCL 自动保持 Low 电平时 （参照 “32.8 SCL 的 Low 电平自动保持功能”）， ICBRL 寄存器用作数据准备时间的确保寄存器。因此，在 RIIC 总是用于从属模式的情况下，设定值不能小于数据准备时间（注 1）的值。

通过 ICMR1.CKS[2:0] 位选择的内部基准时钟源 （IICϕ）， ICBRL 寄存器对 Low 电平宽度进行计数。

注 1. 数据准备时间 （tSU:DAT）
250ns （～100kbps：标准模式[Sm]）
100ns （～400kbps：快速模式[fm]）
50ns （～1Mbps：快速模式+[fm+]）

32.2.14 I²C 总线位速率高电平寄存器 （ICBRH）

地址 RIIC0.ICBRH 0008 8311h、RIIC1.ICBRH 0008 8331h、RIIC2.ICBRH 0008 8351h、RIIC3.ICBRH 0008 8371h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRH[4:0]				
复位后的值	1	1	1	1	1	1	1	1

位	符号	位名	功能	R/W
b4-b0	BRH[4:0]	位速率 High 电平宽度设定位	设定 SCL 时钟的 High 电平宽度的值。	R/W
b7-b5	—	保留位	读写值都为 “1”。	R/W

ICBRH 寄存器是用于设定 SCL 时钟的 High 电平宽度的 5 位寄存器，在主控模式中有效。在 RIIC 总是用于从属模式的情况下，不需要设定 High 电平宽度。

通过 ICMR1.CKS[2:0] 位选择的内部基准时钟源 （IICϕ）， ICBRH 寄存器对 High 电平宽度进行计数。

用以下表达式计算 I²C 传送速度和 SCL 时钟的占空比。

传送速度 = 1 / { [(ICBRH+1) + (ICBRL+1)] / IICϕ（注 1）+ SCLn 线的上升时间 [tr] + SCLn 的下降时间 [tf] }

占空比 = { SCLn 线的上升时间 [tr] （注 2） + (ICBRH+1) / IICϕ } / { SCLn 线的下降时间 [tf] （注 2） + (ICBRL+1) / IICϕ }

注 1. IICϕ =PCLK ×10^6 × 分频比

注 2. SCLn 线的上升时间 [tr] 和下降时间 [tf] 取决于总线的总电容量 [Cb] 和上拉电阻 [Rp]，详细内容请参照 NXP 公司的 I²C 总线规格书。

ICBRH 寄存器和 ICBRL 寄存器值的设定例子如表 32.5 所示。

表 32.5 对应传送速度的 ICBRH 寄存器和 ICBRL 寄存器的设定例子

传送速度（kbps）	工作频率 PCLK （MHz）								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 （F6h）	25 （F9h）	101b	13 （EDh）	15 （EFh）	101b	16 （F0h）	20 （F4h）
50	010b	16 （F0h）	19 （F3h）	010b	21 （F5h）	24 （F8h）	011b	12 （ECh）	15 （EFh）
100	001b	15 （EFh）	18 （F2h）	001b	19 （F3h）	23 （F7h）	001b	24 （F8h）	29 （FDh）
400	000b	4 （E4h）	10 （EAh）	000b	5 （E5h）	12 （ECh）	000b	7 （E7h）	16 （F0h）
1000	000b	2 （E2h）	3 （E3h）	000b	2 （E2h）	4 （E4h）	000b	3 （E3h）	6 （E6h）

传送速度（kbps）	工作频率 PCLK （MHz）								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 （F6h）	25 （F9h）	110b	13 （EDh）	15 （EFh）	110b	16 （F0h）	20 （F4h）
50	011b	16 （F0h）	19 （F3h）	011b	21 （F5h）	24 （F8h）	100b	12 （ECh）	15 （EFh）
100	010b	15 （EFh）	18 （F2h）	010b	19 （F3h）	23 （F7h）	010b	24 （F8h）	29 （FDh）
400	000b	9 （E9h）	20 （F4h）	000b	11 （EBh）	25 （F9h）	001b	7 （E7h）	16 （F0h）
1000	000b	4 （E4h）	7 （E7h）	000b	5 （E5h）	9 （E9h）	000b	6 （E6h）	12 （ECh）

传送速度（kbps）	工作频率 PCLK （MHz）								
	30			33			50		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 （F4h）	24 （F8h）	110b	22 （F6h）	26 （FAh）	111b	16 （F0h）	20 （F4h）
50	100b	15 （EFh）	18 （F2h）	100b	17 （F1h）	20 （F4h）	100b	26 （FAh）	31 （FFh）
100	010b	2 （E2h）	3 （E3h）	011b	16 （F0h）	19 （F3h）	011b	24 （F8h）	29 （FDh）
400	001b	8 （E8h）	19 （F3h）	001b	9 （E9h）	21 （F5h）	010b	7 （E7h）	16 （F0h）
1000	000b	7 （E7h）	14 （EEh）	000b	8 （E8h）	16 （F0h）	000b	12 （ECh）	24 （F8h）

注 . 计算的设定例子是假设：
SCLn线的上升时间（tr）不超过～100kbps，[Sm]为1000ns或者～400kbps，[Fm]为300ns或者～1Mbps，[Fm+]为120ns。
SCLn线的下降时间 （tf）不超过～400kbps， [Sm/Fm]为300ns或者～1Mbps， [Fm+]为120ns。
有关SCLn线的上升时间 （tr）和下降时间 （tf）的规格值，请参照NXP公司的I2C总线规格书。

32.2.15 I2C 总线发送数据寄存器 （ICDRT）

地址 RIIC0.ICDRT 0008 8312h、RIIC1.ICDRT 0008 8332h、RIIC2.ICDRT 0008 8352h、RIIC3.ICDRT 0008 8372h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	1	1	1	1	1	1	1	1

如果检测到 I2C 总线移位寄存器 （ICDRS）为空，就将写在 ICDRT 寄存器的发送数据传送到 ICDRS 寄存器，在发送模式中开始数据发送。

ICDRT 寄存器和 ICDRS 寄存器为双缓冲结构，如果在 ICDRS 寄存器的数据发送过程中将下一个要发送的数据写到 ICDRT 寄存器，就能进行连续的发送。

能随时读写 ICDRT 寄存器。只能在发生发送数据空中断（ICTXI）请求时给 ICDRT 寄存器写 1 次发送数据。

32.2.16 I2C 总线接收数据寄存器 （ICDRR）

地址 RIIC0.ICDRR 0008 8313h、RIIC1.ICDRR 0008 8333h、RIIC2.ICDRR 0008 8353h、RIIC3.ICDRR 0008 8373h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0

如果 1 字节数据接收结束，就能将接收数据从 I2C 总线移位寄存器 （ICDRS）传送到 ICDRR 寄存器，进入能接收下一个数据的状态。

ICDRS 寄存器和 ICDRR 寄存器为双缓冲结构，如果在 ICDRS 寄存器的数据接收过程中从 ICDRR 寄存器读接收数据，就能进行连续的接收。

不能写 ICDRR 寄存器。只能在发生接收数据满中断 （ICRXI）请求时读 1 次 ICDRR 寄存器。

如果不从 ICDRR 寄存器读接收数据 （ICSR2.RDRF 标志为 “1” 的状态）而立即接收下一个数据， RIIC 就在 RDRF 标志变为 “1” 时的前一个 SCLn 时钟自动保持 Low 电平。

32.2.17 I2C 总线移位寄存器 （ICDRS）

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	—	—	—	—	—	—	—	—

ICDRS 寄存器是用于发送和接收数据的移位寄存器。

在发送时，将发送数据从 ICDRT 寄存器传送到 ICDRS 寄存器，从 SDAn 引脚发送数据。在接收时，一旦 1 字节数据接收结束，就将数据从 ICDRS 寄存器传送到 ICDRR 寄存器。

不能直接存取 ICDRS 寄存器。

32.3 运行说明

32.3.1 通信数据的格式

I²C 总线格式由 8 位数据和 1 个应答位构成。接在开始条件或者重新开始条件后面的帧是地址帧，用于指定主控设备通信对象的从属设备。在指定新的从属设备或者发行停止条件前，指定的从属设备有效。

I²C 总线的格式及其总线时序分别如图 32.3 和图 32.4 所示。

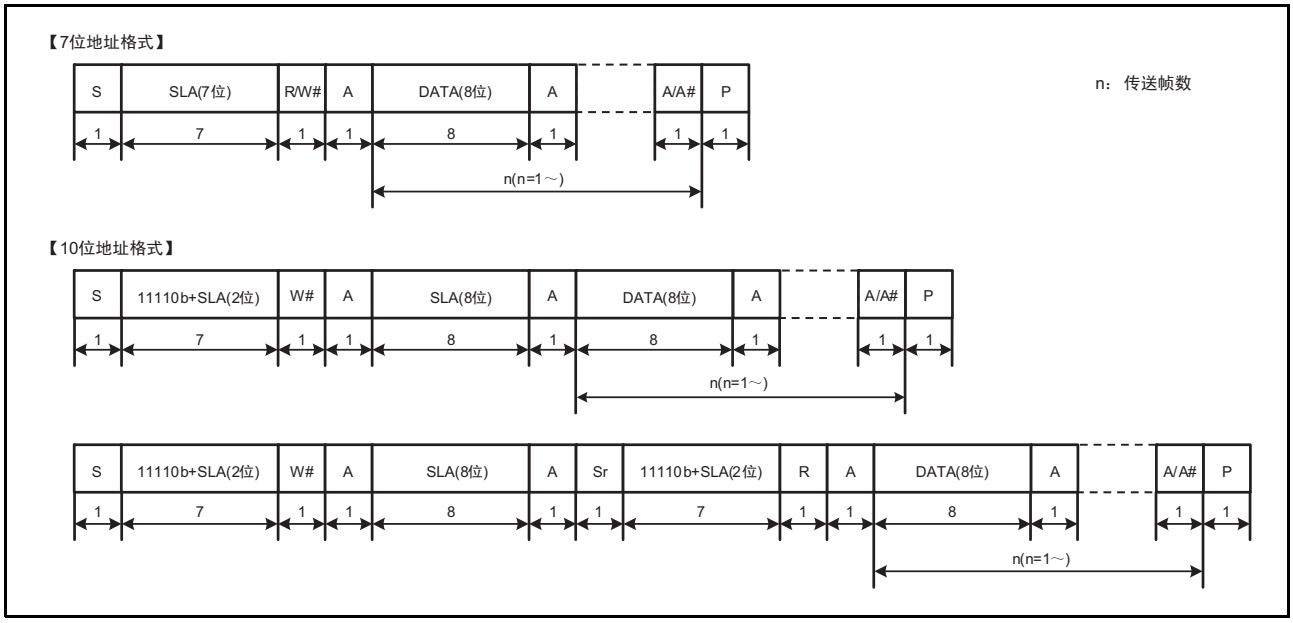


图 32.3 I²C 总线格式

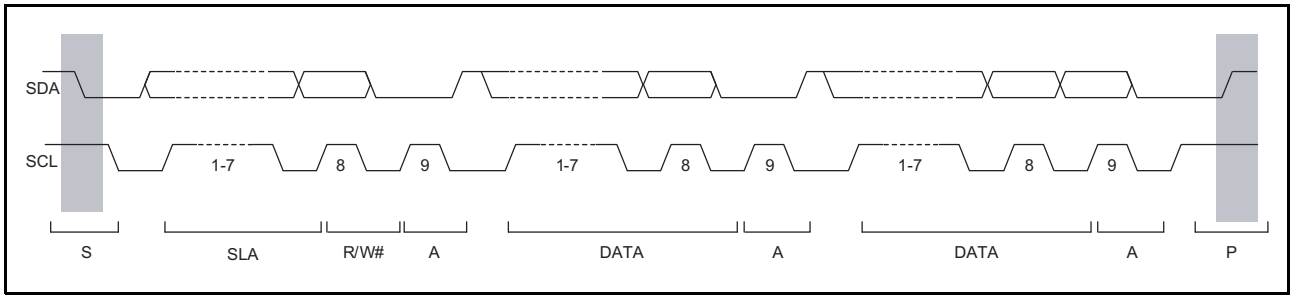


图 32.4 I²C 总线时序 （SLA 为 7 位）

S ：表示开始条件。主控设备在 SCLn 线为 High 电平的状态下将 SDAn 线从 High 电平变为 Low 电平。

SLA ：表示从属地址。主控设备选择从属设备。

R/W# ：表示发送和接收的方向。当 R/W# 为 “1” 时，将数据从从属设备发送到主控设备；当 R/W# 为 “0” 时，将数据从主控设备发送到从属设备。

A ：表示应答。接收设备将 SDAn 线置为 Low 电平 （在主控发送模式中，从属设备返回应答；在主控接收模式中，主控设备返回应答）。

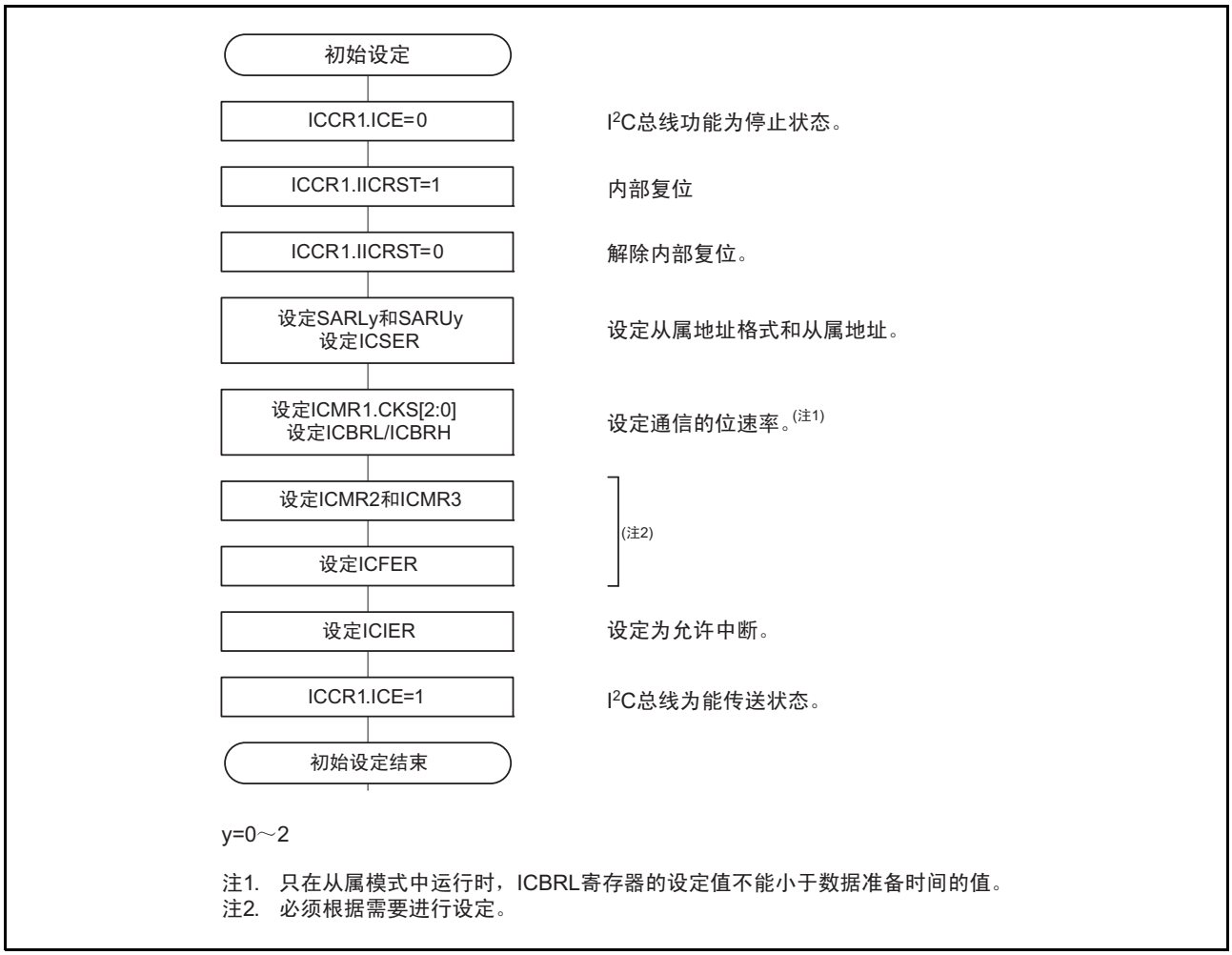
Sr ：表示重新开始条件。主控设备在 SCLn 线为 High 电平的状态下经过准备时间后将 SDAn 线从 High 电平变为 Low 电平。

DATA ：表示发送和接收的数据。

P ：表示停止条件。主控设备在 SCLn 线为 High 电平的状态下将 SDAn 线从 Low 电平变为 High 电平。

32.3.2 初始设定

在开始发送或者接收数据时，必须按照图 32.5 所示的步骤对 RIIC 进行初始化。



注1. 只在从属模式中运行时，ICBRL寄存器的设定值不能小于数据准备时间的值。
注2. 必须根据需要进行设定。

图 32.5 RIIC 的初始化流程图例子

32.3.3 主控发送

在主控发送模式中，主控设备的 RIIC 输出 SCL 时钟和发送数据，从属设备返回应答。主控发送模式的使用例子和运行时序分别如图 32.6 和图 32.7 ～图 32.9 所示。

主控发送模式的发送步骤和运行如下所示：

1. 在将ICCR1.ICE位置 “0”（功能停止状态）的状态下，通过将ICCR1.IICRST位置 “1”（内部复位）后又置 “0”（解除复位），对ICSR1寄存器的各标志和内部状态进行初始化。然后，设定SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL寄存器（y=0～2）并且必须根据需要设定其他寄存器（有关RIIC的初始设定请参照图 32.5）。一旦设定完所需的寄存器，就必须将ICE位置 “1”（能传送状态）。在RIIC已初始化的情况下，不需要此步骤。
2. 读ICCR2.BBSY标志，在确认总线为释放状态后将ICCR2.ST位置 “1”（请求发行开始条件）。如果RIIC接受开始条件的发行请求，就发行开始条件。如果RIIC检测到开始条件，就自动将BBSY标志和ICSR2.START标志置 “1”，并且自动将ST位置 “0”。此时，如果在ST位为 “1”的状态下RIIC自身发送的SDA信号和SDAn线的信号状态相同，并且检测到开始条件，RIIC就视为通过ST位正确地发行了开始条件，在将ICCR2.MST位和ICCR2.TRS位自动置 “1”后变为主控发送模式。另外，ICSR2.TDRE因TRS位为 “1”而自动变为 “1”。
3. 必须在确认ICSR2.TDRE标志是 “1”后将发送数据（从属地址和R/W#位）写到ICDRT寄存器。一旦将发送数据写到ICDRT寄存器，TDRE标志就自动变为 “0”，在将数据从ICDRT寄存器传送到ICDRS寄存器后，TDRE标志再次变为 “1”。一旦结束包含R/W#位的从属地址的发送，就根据被发送的R/W#位自动更改TRS位，并且选择发送模式或者接收模式。如果接收到为 “0”的R/W#位，RIIC就继续保持主控发送模式的状态。
   此时，如果ICSR2.NACKF标志为 “1”，因为没有识别到从属设备或者发生了通信故障，所以必须发行停止条件。通过给ICCR2.SP位写 “1”来发行停止条件。
   在用10位地址格式进行发送时，必须先在第1次地址发送处理中给ICDRT寄存器写1111 0b+从属地址的高2位+W，然后在第2次地址发送处理中给ICDRT寄存器写从属地址的低8位。
4. 必须在确认ICSR2.TDRE标志是 “1”后将发送数据写到ICDRT寄存器。在准备好发送数据之前或者发行停止条件前，RIIC自动将SCLn线保持为Low电平。
5. 在将要发送的全部字节写到ICDRT寄存器后，必须在等待ICSR2.TEND标志变为 “1”后再给ICCR2.SP位写 “1”（请求发行停止条件）。如果RIIC接受停止条件的发行请求，就发行停止条件。
6. 如果RIIC检测到停止条件，ICCR2.MST位和ICCR2.TRS位就自动变为 “00b”并且转移到从属接收模式，而且ICSR2.TDRE标志和ICSR2.TEND标志因检测到停止条件而自动变为 “0”，ICSR2.STOP标志变为 “1”。
7. 在确认ICSR2.STOP标志是 “1”后，必须将ICSR2.NACKF标志和ICSR2.STOP标志置 “0”，以便进行下一次的通信。

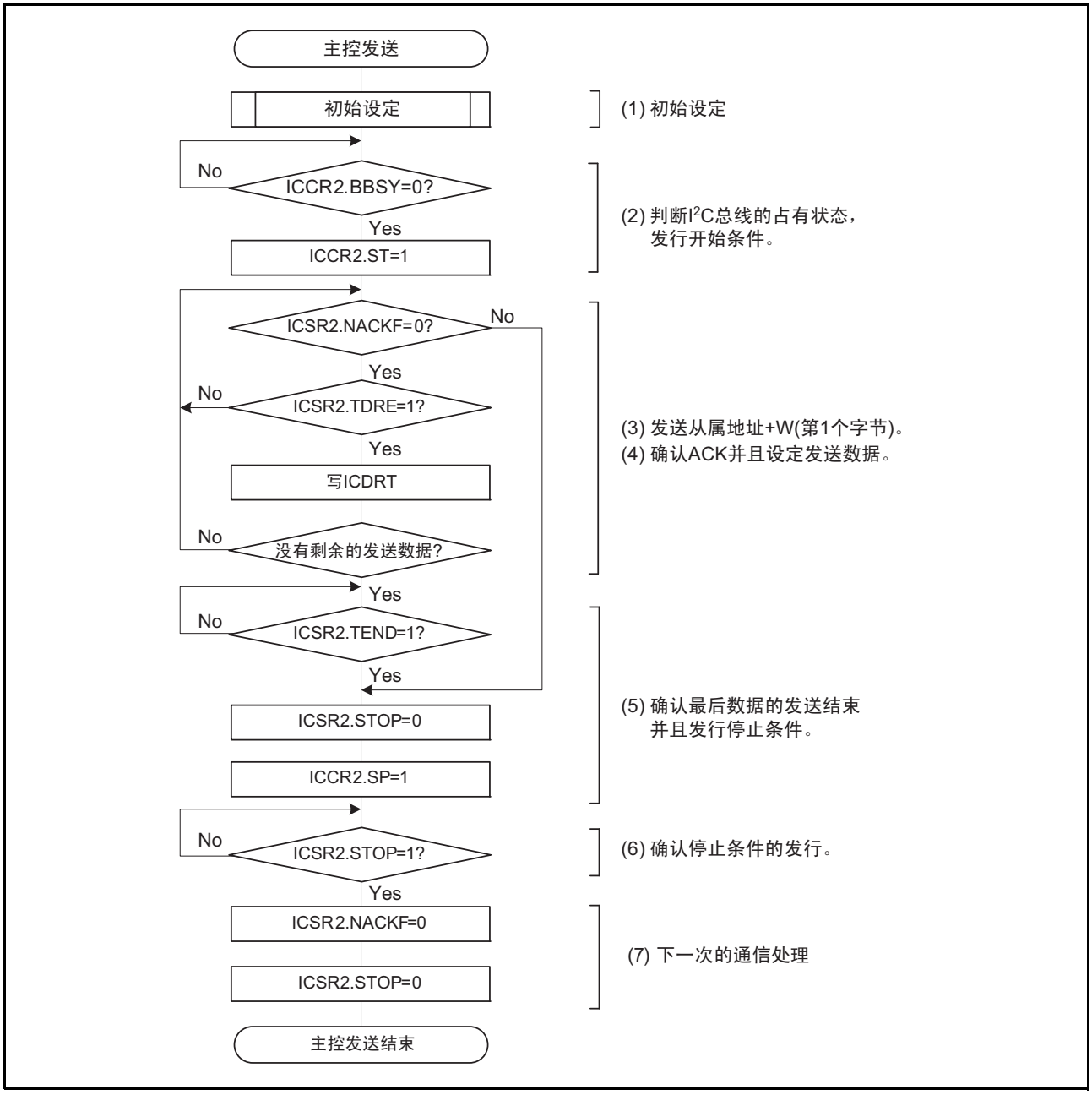


图 32.6 主控发送模式的流程图例子

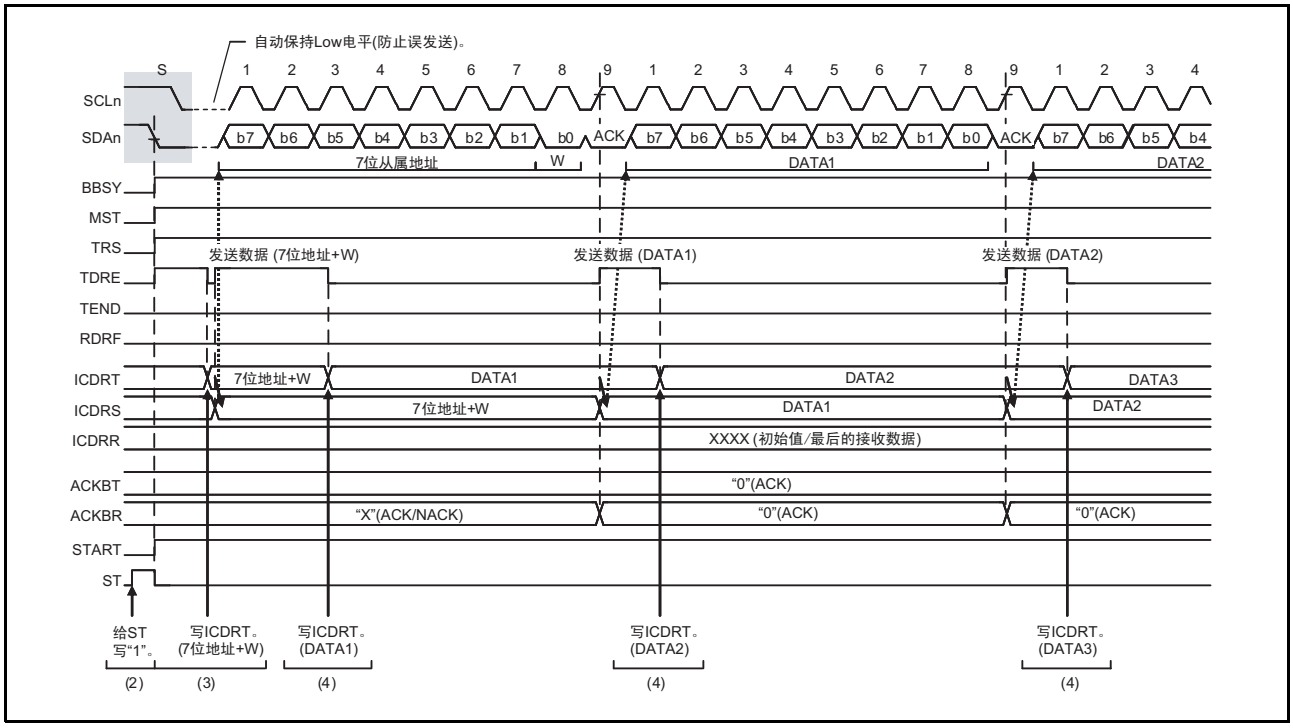


图 32.7 主控发送模式的运行时序 （1）（7 位地址格式的情况）

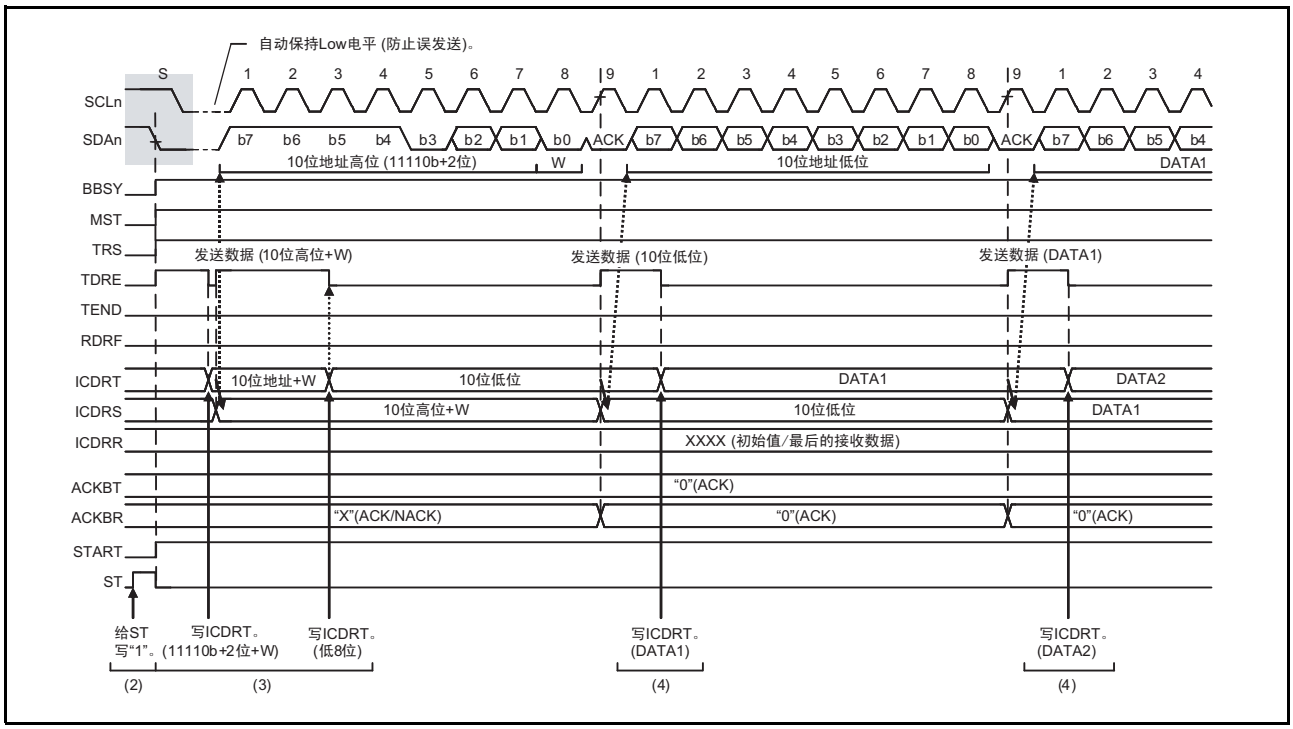


图 32.8 主控发送模式的运行时序 （2）（10 位地址格式的情况）

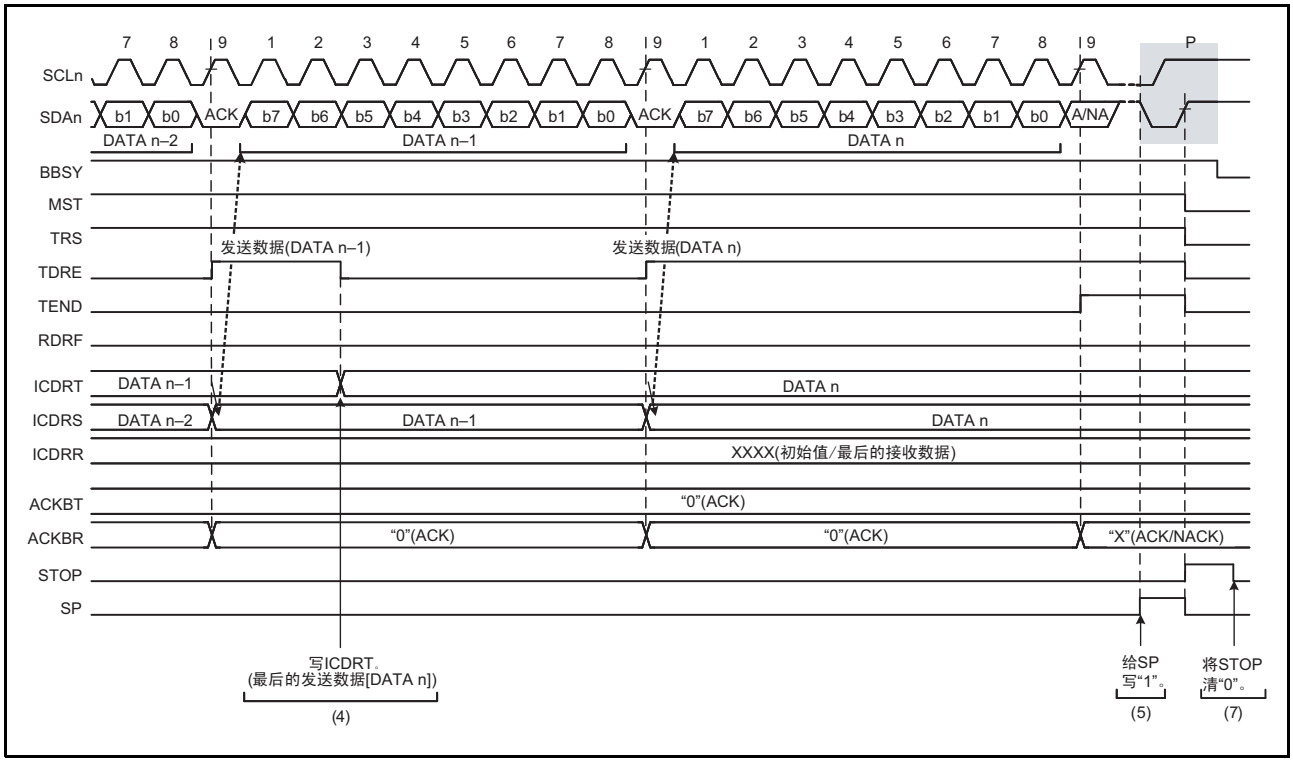


图 32.9 主控发送模式的运行时序 （3）

32.3.4 主控接收

在主控接收模式中，主控设备的 RIIC 输出 SCL 时钟，从属设备接收数据后返回应答。因为首先需要将从属地址发送到从属设备，所以必须先在主控发送模式中发送从属地址，然后在主控接收模式中接收数据。

主控接收模式的使用例子 （7 位地址格式）和运行时序分别如图 32.10 和图 32.11 ～图 32.13 所示。

主控接收模式的接收步骤和运行如下所示：

1. 在将 ICCR1.ICE 位置 “0”（功能停止状态）的状态下，通过将 ICCR1.IICRST 位置 “1”（内部复位）后又置 “0”（解除复位），对 ICSR1 寄存器的各标志和内部状态进行初始化。然后，设定 SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL 寄存器 （y=0～2）并且必须根据需要设定其他的寄存器（有关 RIIC 的初始设定请参照图 32.5）。必须在设定完所需的寄存器后将 ICE 位置 “1”（能传送状态）。在 RIIC 已初始化的情况下，不需要此步骤。
2. 读 ICCR2.BBSY 标志，在确认总线为释放状态后将 ICCR2.ST 位置 “1”（请求发行开始条件）。如果 RIIC 接受开始条件的发行请求，就发行开始条件。如果 RIIC 检测到开始条件，就自动将 BBSY 标志和 ICSR2.START 标志置 “1”，并且自动将 ST 位置 “0”。此时，如果在 ST 位为 “1” 的状态下 RIIC 自身发送的 SDA 信号和 SDAn 线的状态相同，并且检测到开始条件，RIIC 就视为通过 ST 位正常地发行了开始条件，在将 ICCR2.MST 位和 ICCR2.TRS 位自动置 “1” 后变为主控发送模式。 ICSR2.TDRE 标志因 TRS 位为 “1” 而自动变为 “1”。
3. 必须在确认 ICSR2.TDRE 标志是 “1” 后将发送数据 （从属地址和 R/W# 位）写到 ICDRT 寄存器。一旦将发送数据写到 ICDRT 寄存器，TDRE 标志就自动变为 “0”，在将数据从 ICDRT 寄存器传送到 ICDRS 寄存器后， TDRE 标志再次变为 “1”。一旦结束包含 R/W# 位的从属地址的发送，就根据被发送的 R/W# 位自动更改 ICCR2.TRS 位，并且选择发送模式或者接收模式。如果 RIIC 接收到为 “1” 的 R/W# 位，就在第 9 个时钟的上升沿将 TRS 位置 “0” 后转移到主控接收模式，此时 TDRE 标志变为 “0” ，ICSR2.RDRF 标志自动变为 “1”。

   此时，如果 ICSR2.NACKF 标志为 “1”，因为没有识别到从属设备或者发生了通信故障，所以必须发行停止条件。通过将 ICCR2.SP 位置 “1” 来发行停止条件。

   在用 10 位地址格式进行主控接收时，先在主控发送模式中发送 10 位地址，然后发行重新开始条件。接着，通过发送 1111 0b+ 从属地址的高 2 位 +R，转移到主控接收模式。
4. 如果在确认 ICSR2.RDRF 标志是 “1” 后虚读 ICDRR 寄存器， RIIC 就在输出 SCL 时钟后开始接收。
5. 结束 1 字节数据的接收，在 ICMR3.RDRFS 位设定的 SCL 时钟的第 8 个时钟或者第 9 个时钟的上升沿 ICSR2.RDRF 标志变为 “1”。此时，如果读 ICDRR 寄存器，就能读到接收数据，同时 RDRF 标志自动变为 “0”，并且将 ICMR3.ACKBT 位的设定值返回给 SCL 时钟的第 9 个时钟的应答位。另外，当下一个接收字节为最后字节 –1 时，必须在读 ICDRR 寄存器 （第 (最后字节 –2) 个字节）前将 ICMR3.WAIT 位置 “1”（有 WAIT）。因此，即使在将 ICMR3.ACKBT 位置 “1”（NACK）的后续 6. 处理迟于其他中断等的情况下，也能在最后字节时输出 NACK，并且同时能在接收最后字节时的第 9 个时钟的下降沿将 SCLn 线固定为 Low 电平，进入能发行停止条件的状态。
6. 在 ICMR3.RDRFS 位为 “0” 并且需要将 “下一个数据接收后通信结束” 通知从属设备时，必须将 ICMR3.ACKBT 位置 “1”（NACK）。
7. 在读 ICDRR 寄存器 （第 (最后字节 –1) 个字节）后，必须先确认 ICSR2.RDRF 标志是 “1” ，然后给 ICCR2.SP 位写 “1”（请求发行停止条件）并且读 ICDRR 寄存器（最后字节）。 RIIC 通过读 ICDRR 寄存器来解除 WAIT 状态，在结束第 9 个时钟的 Low 电平输出或者解除 SCL 线保持的 Low 电平后发行停止条件。
8. 如果 RIIC 检测到停止条件， ICCR2.MST 位和 ICCR2.TRS 位就自动变为 “00b” 并且转移到从属接收模式，而且 ICSR2.STOP 标志因检测到停止条件而变为 “1”。
9. 在确认 ICSR2.STOP 标志是 “1” 后，必须将 ICSR2.NACKF 和 ICSR2.STOP 标志置 “0”，以便进行下一次的通信。

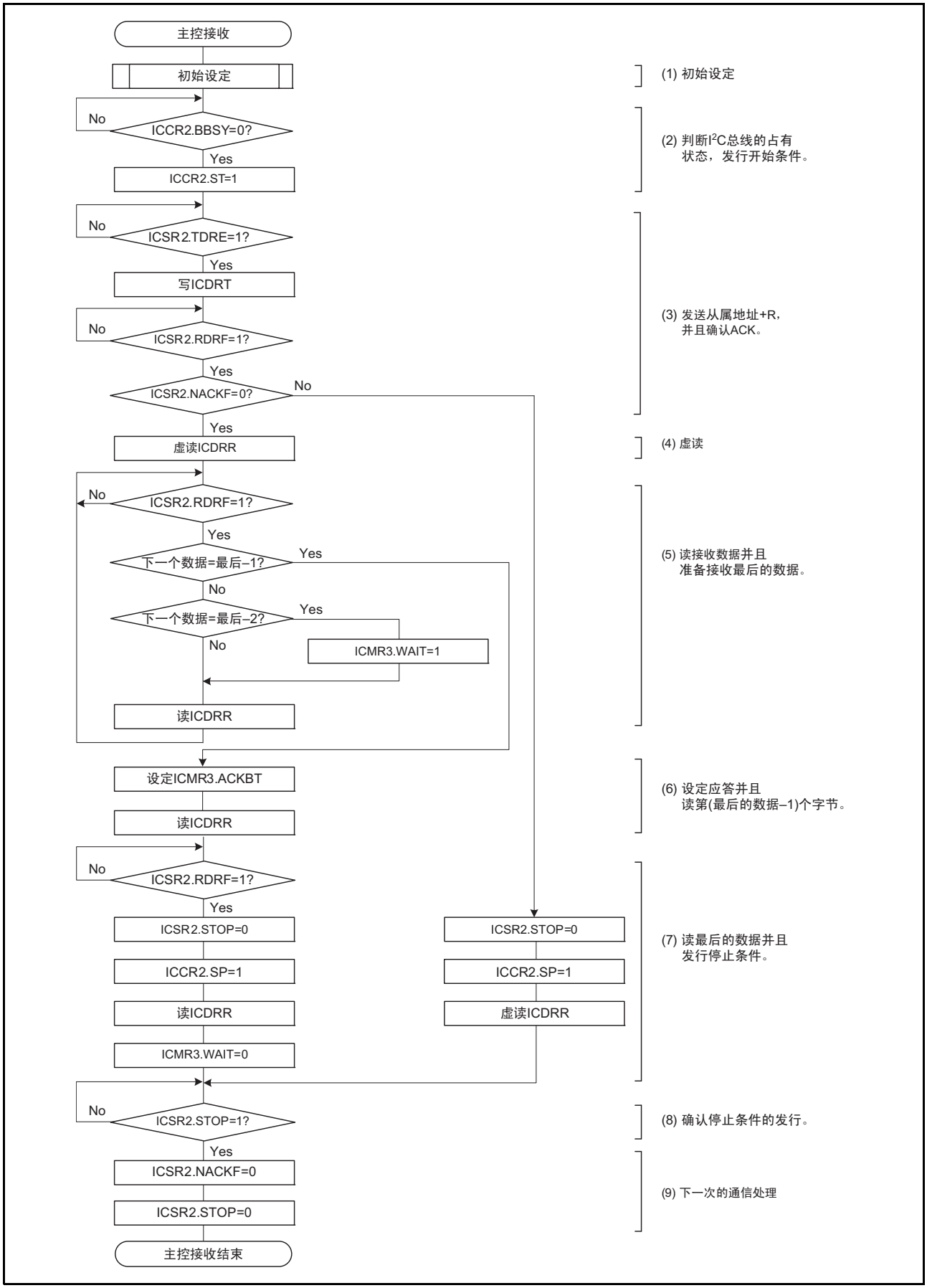


图 32.10 主控接收模式的流程图例子 （7 位地址格式的情况）

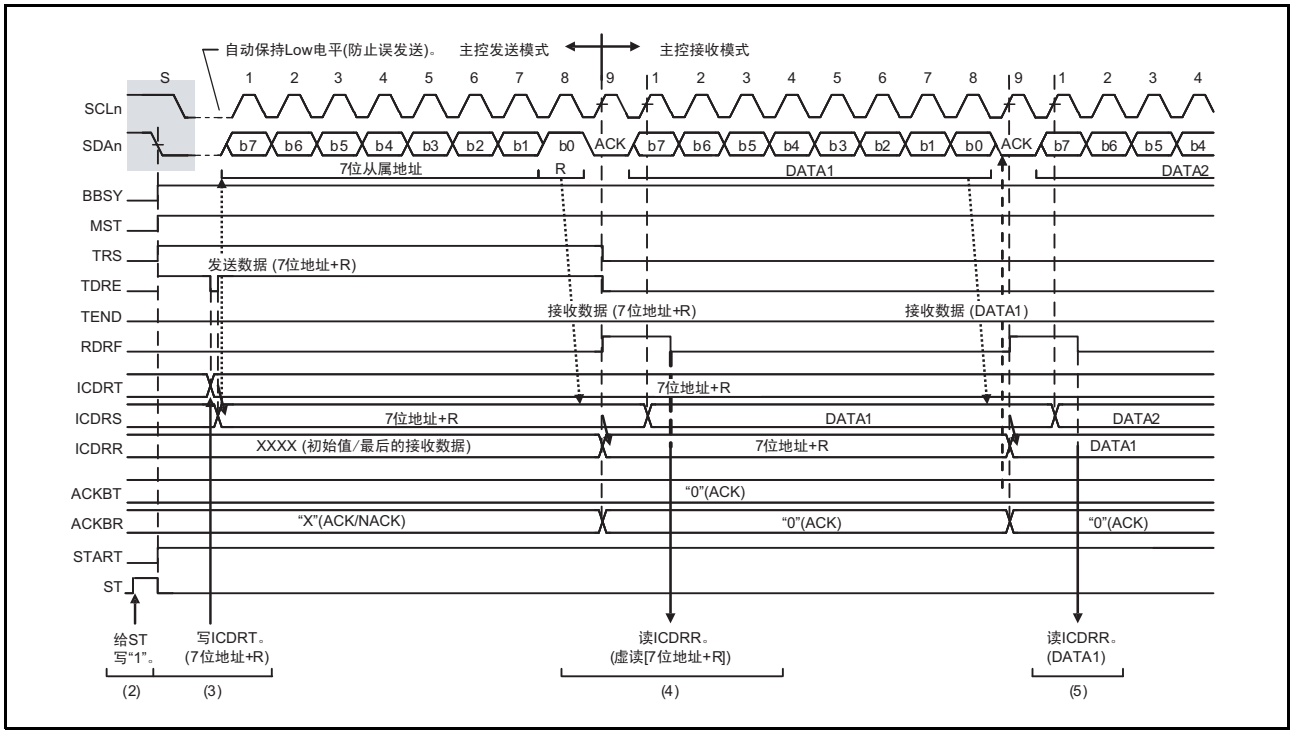


图 32.11 主控接收模式的运行时序 （1）（7 位地址格式并且 RDRFS 位为 “0”的情况）

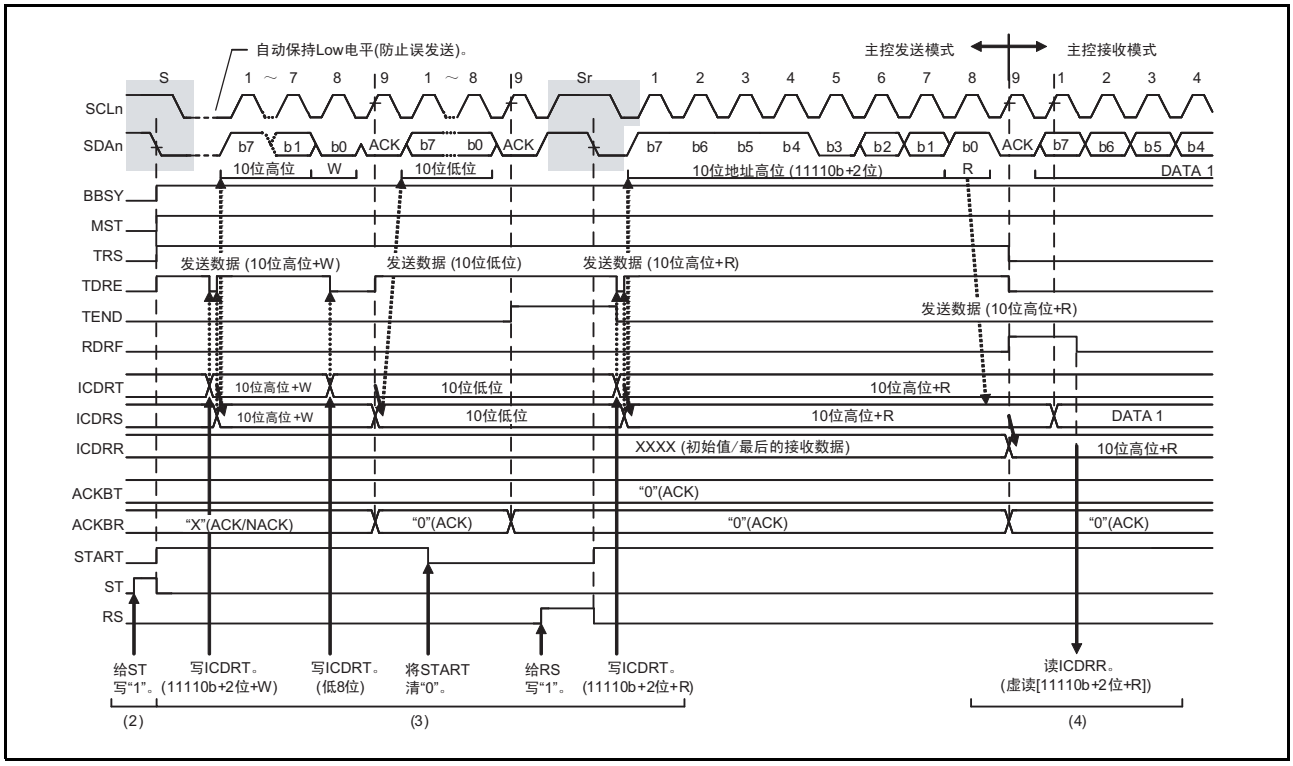


图 32.12 主控接收模式的运行时序 （2）（10 位地址格式并且 RDRFS 位为 “0”的情况）

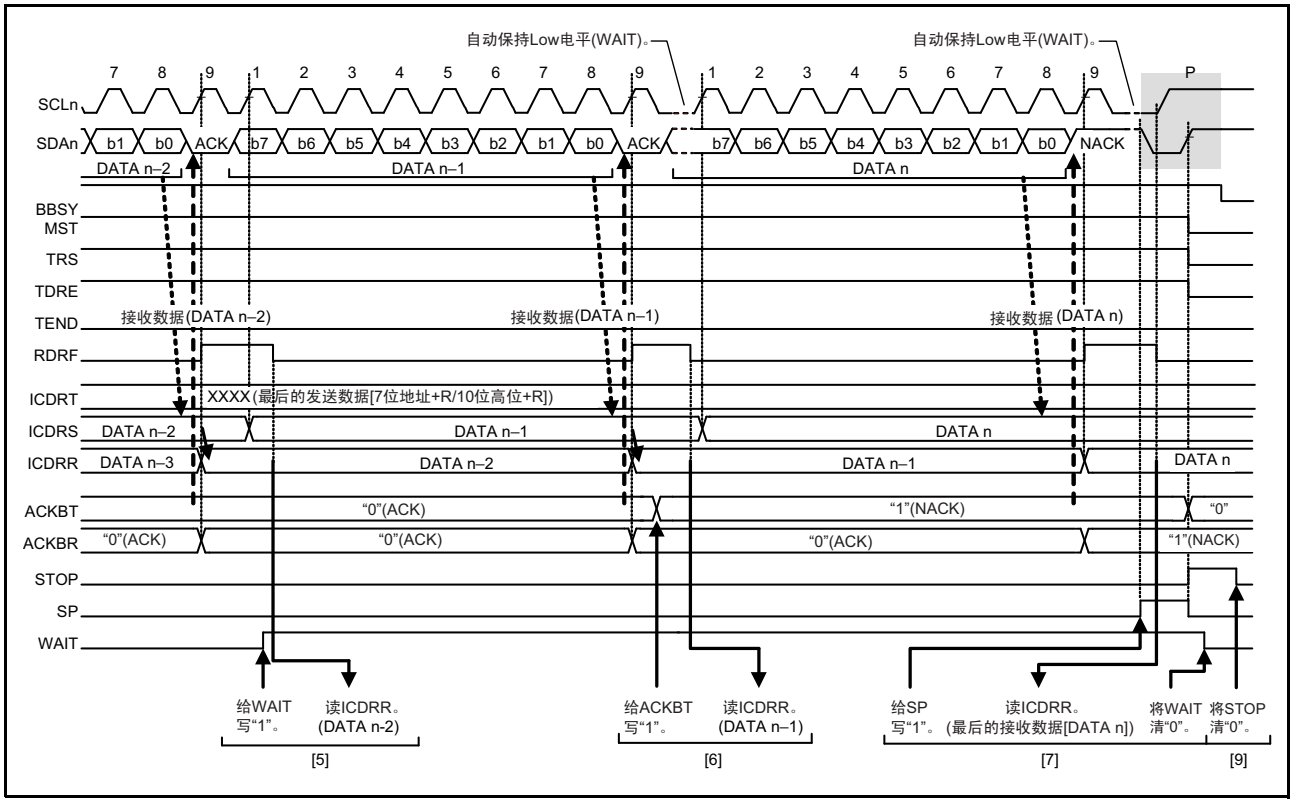


图 32.13 主控接收模式的运行时序 （3）（RDRFS 位为 “0” 的情况）

32.3.5 从属发送

在从属发送模式中，主控设备输出 SCL 时钟，从属设备的 RIIC 发送数据，并且主控设备返回应答。

从属发送模式的使用例子和运行时序分别如图 32.14 和图 32.15 ～图 32.16 所示。

从属发送模式的发送步骤及其运行如下所示：

1. 必须按照图32.5所示的步骤对RIIC进行初始设定。在RIIC已初始化的情况下，不需要此步骤。从初始设定结束后到从属地址匹配前， RIIC处于待机状态。
2. 如果从属地址匹配，RIIC就在SCL时钟的第9个时钟上升沿将对应的ICSR1.HOA位、ICSR1.GCA位、ICSR1.AASy位 （y=0～2）置 “1”，并且将ICMR3.ACKBT位的设定值返回给SCL时钟的第9个时钟的应答位。此时，如果接收的R/W#位为 “1”，就将ICCR2.TRS位和ICSR2.TDRE标志置 “1”并且自动转换为从属发送模式。
3. 必须在确认ICSR2.TDRE标志是 “1”后将发送数据写到ICDRT寄存器。此时，如果在ICFER.NACKE位为 “1”的状态下主控设备没有应答 （接收到NACK）， RIIC就中止下一次的通信。
4. 在ICSR2.NACKF标志变为 “1”或者将最后的发送数据写到ICDRT寄存器后，必须在ICSR2.TDRE标志为 “1”的状态下等到ICSR2.TEND标志变为 “1”。当ICSR2.NACKF标志或者TEND标志为 “1”时， RIIC在第9个时钟下降后将SCLn线保持为Low电平。
5. 当ICSR2.NACKF标志或者ICSR2.TEND标志为 “1”时，必须通过虚读ICDRR寄存器来结束处理，从而释放SCLn线。
6. 如果RIIC检测到停止条件，就自动将ICSR1.HOA位、 ICSR1.GCA位、 ICSR1.AASy位 （y=0～2）、ICSR2.TDRE位、 ICSR2.TEND标志和ICCR2.TRS位置 “0”并且转移到从属接收模式。
7. 在确认ICSR2.STOP标志是 “1”后，必须将ICSR2.NACKF标志和ICSR2.STOP标志置 “0”，以便进行下一次的通信。

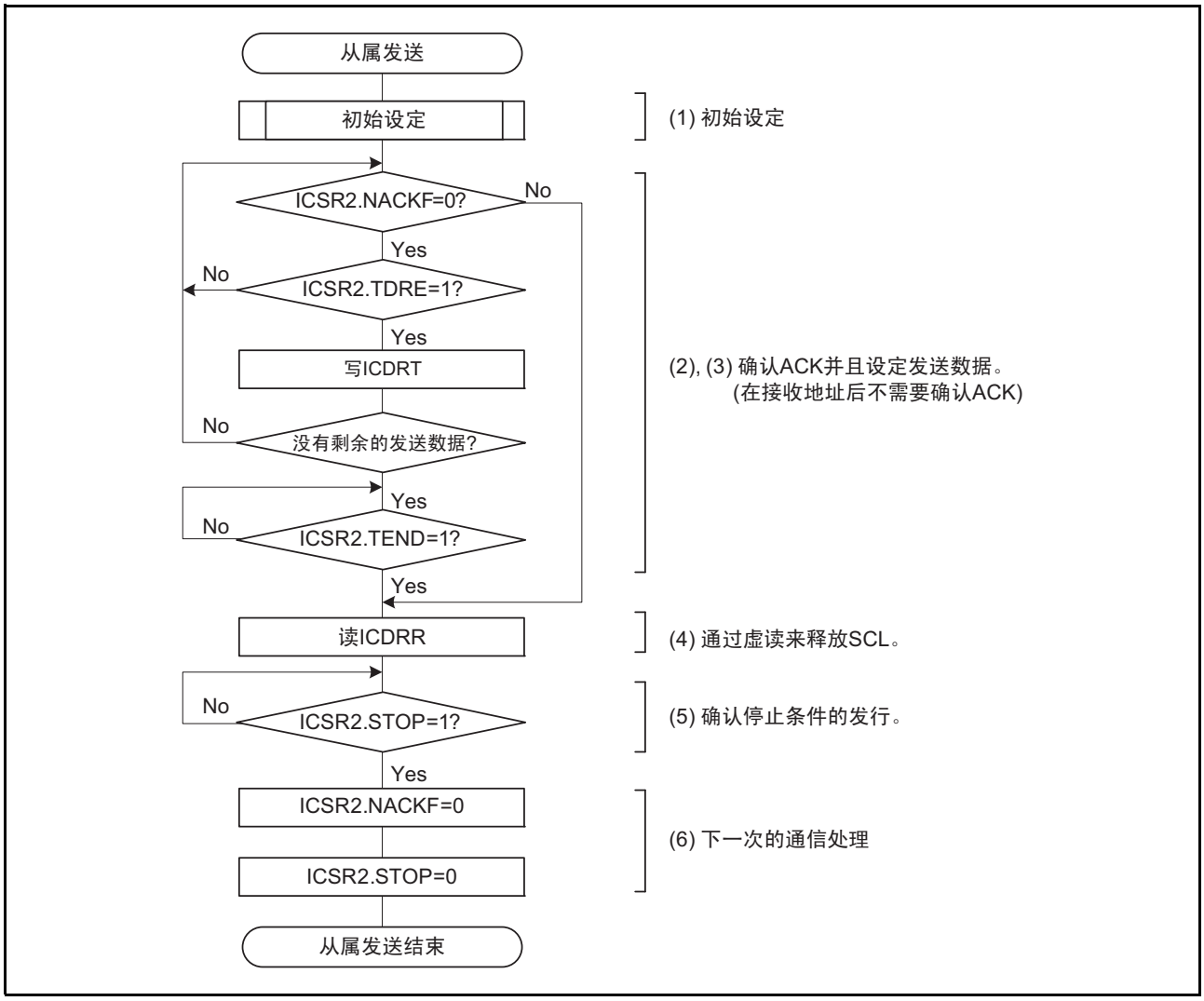


图 32.14 从属发送模式的流程图例子

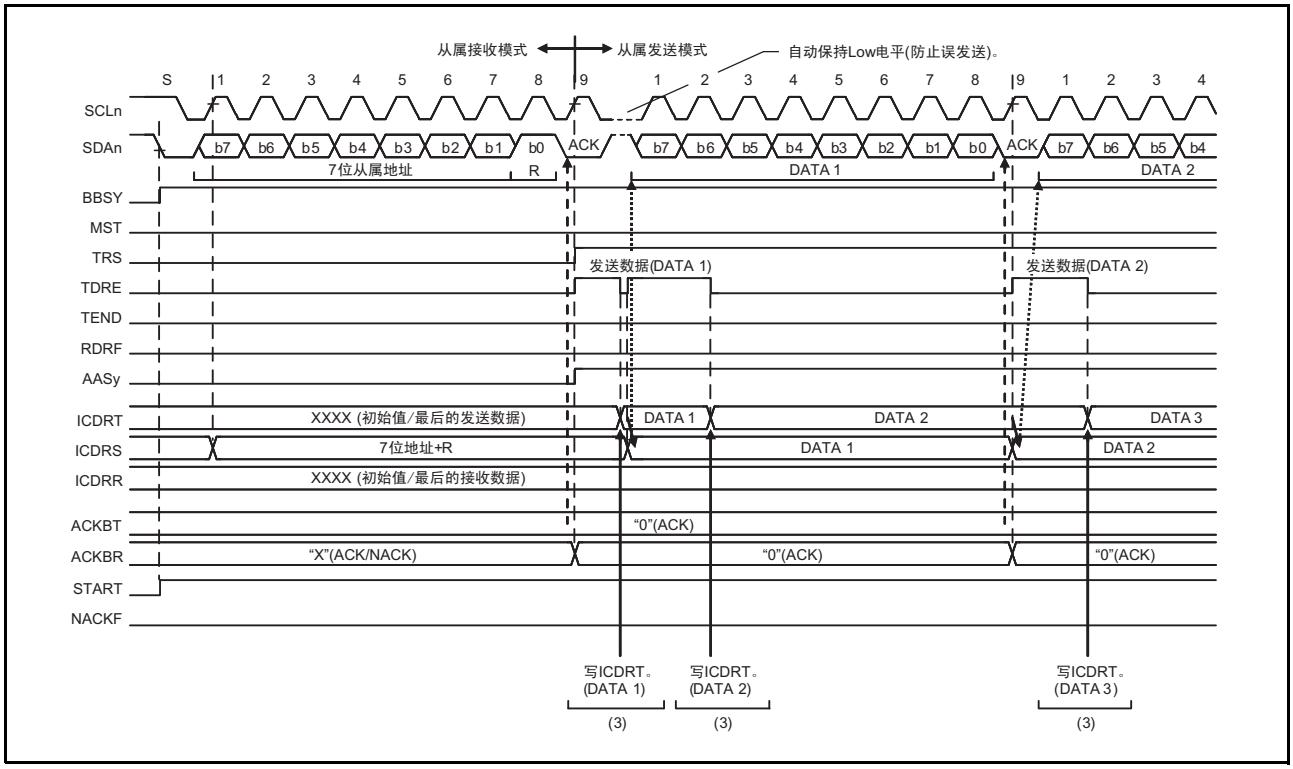


图 32.15 从属发送模式的运行时序 （1）（7 位地址格式的情况）

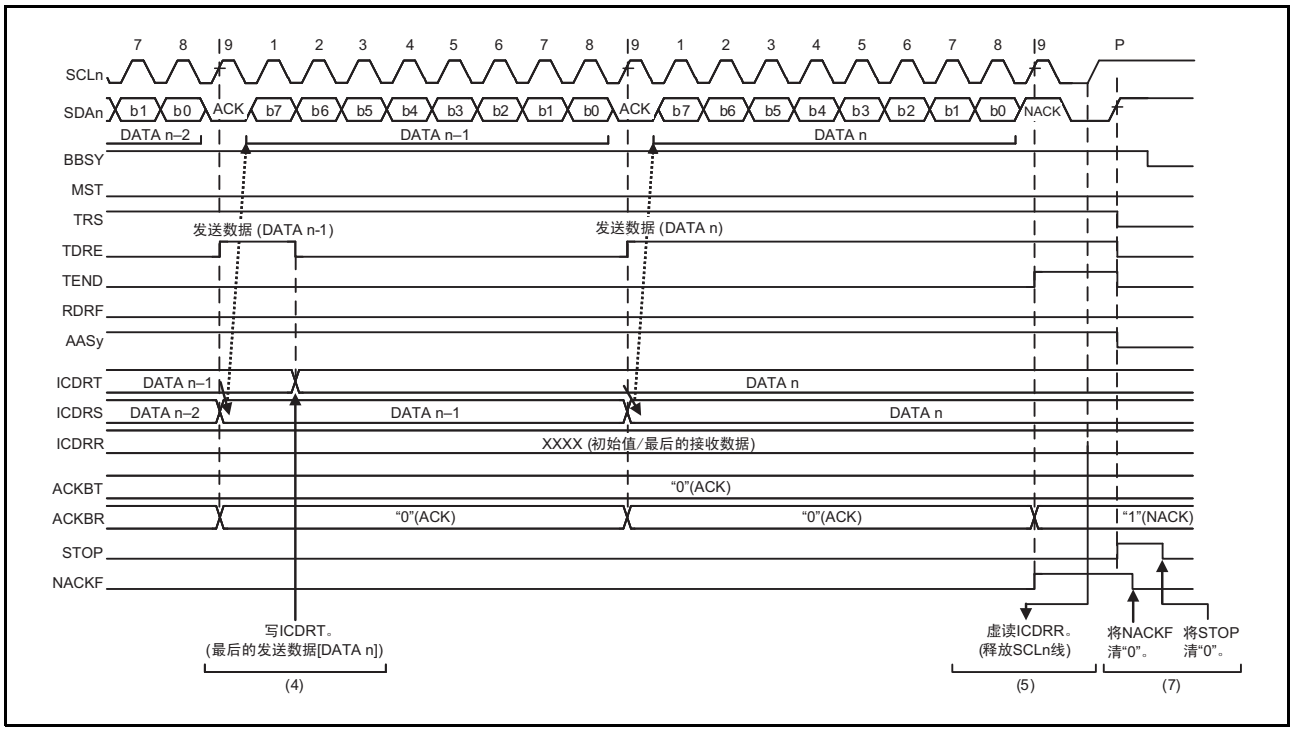


图 32.16 从属发送模式的运行时序 （2）

32.3.6 从属接收

在从属接收模式中，主控设备输出 SCL 时钟和发送数据，从属设备的 RIIC 返回应答。

从属接收模式的使用例子和运行时序分别如图 32.17、图 32.18 和图 32.19 所示。

从属接收模式的接收步骤和运行如下所示：

1. 必须按照图32.5所示的步骤对RIIC进行初始设定。在RIIC已初始化的情况下，不需要此步骤。在初始设定结束后到从属地址匹配前， RIIC处于待机状态。
2. 如果从属地址匹配，RIIC就在SCL时钟的第9个时钟的上升沿将对应的ICSR1.HOA位、ICSR1.GCA位或者ICSR1.AASy位（y=0～2）置“1”并且将ICMR3.ACKBT位的设定值返回给SCL时钟的第9个时钟的应答位。此时，如果接收的R/W#位为“0”，就继续保持从属接收模式的状态并且将ICSR2.RDRF标志置“1”。
3. 在确认ICSR2.STOP标志是“0”并且ICSR2.RDRF标志是“1”后，第1次必须虚读ICDRR寄存器（虚读的接收数据在7位地址格式时为从属地址+R/W#位，在10位地址格式时为低8位地址）。
4. 如果读ICDRR寄存器， RIIC就自动将ICSR2.RDRF标志置“0”。如果在延迟了ICDRR寄存器的读操作并且RDRF标志为“1”的状态下接收下一个数据， RIIC就在RDRF标志变为“1”时的前一个SCL时钟下降沿将SCLn线保持为Low电平。通过读ICDRR寄存器来解除被保持的Low电平，RIIC释放SCLn线。

   必须在ICSR2.STOP标志和ICSR2.RDRF标志都为“1”或者接收完全部数据时读ICDRR寄存器。
5. 如果RIIC检测到停止条件，就自动将ICSR1.HOA位、 ICSR1.GCA位和ICSR1.AASy位（y=0～2）置“0”。
6. 在确认ICSR2.STOP标志是“1”后，必须将ICSR2.STOP标志置“0”，以便进行下一次的通信。

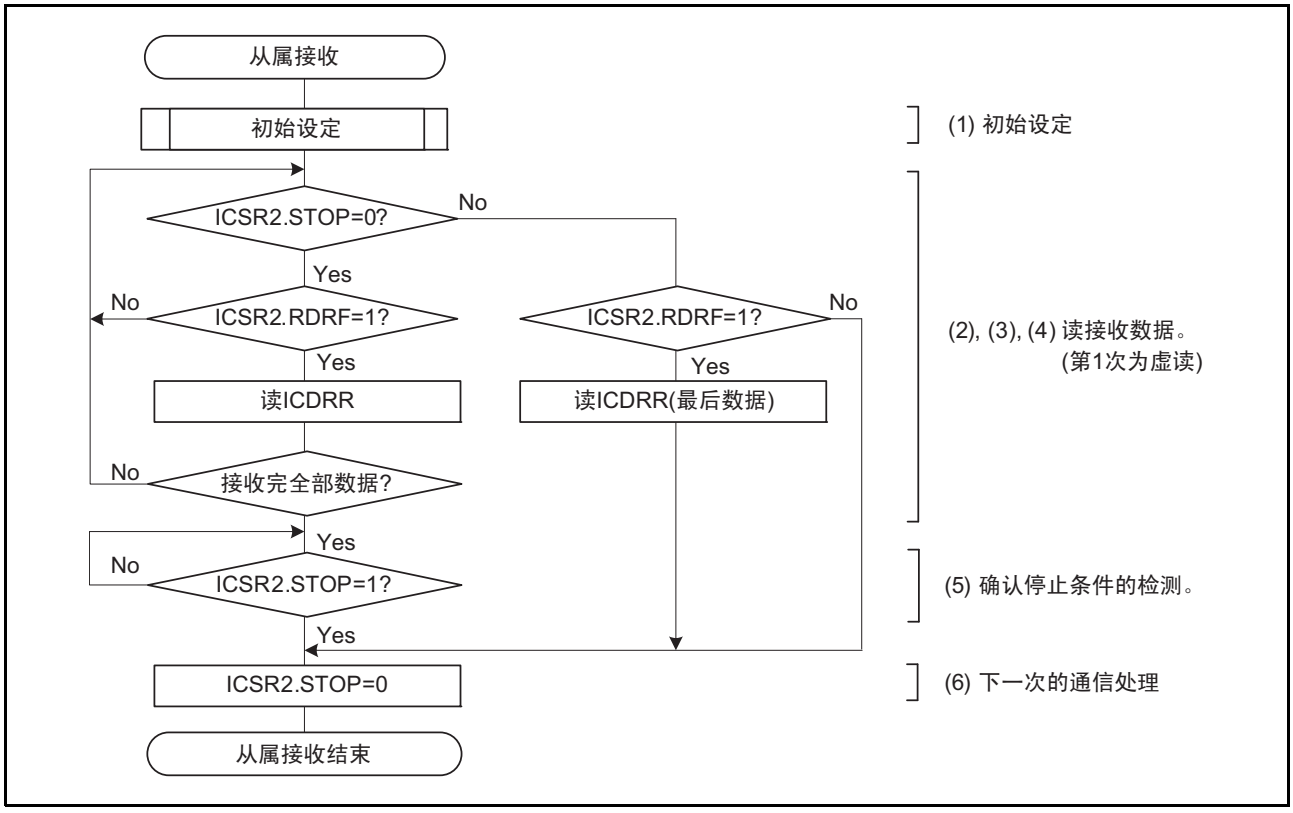


图 32.17 从属接收模式的流程图例子

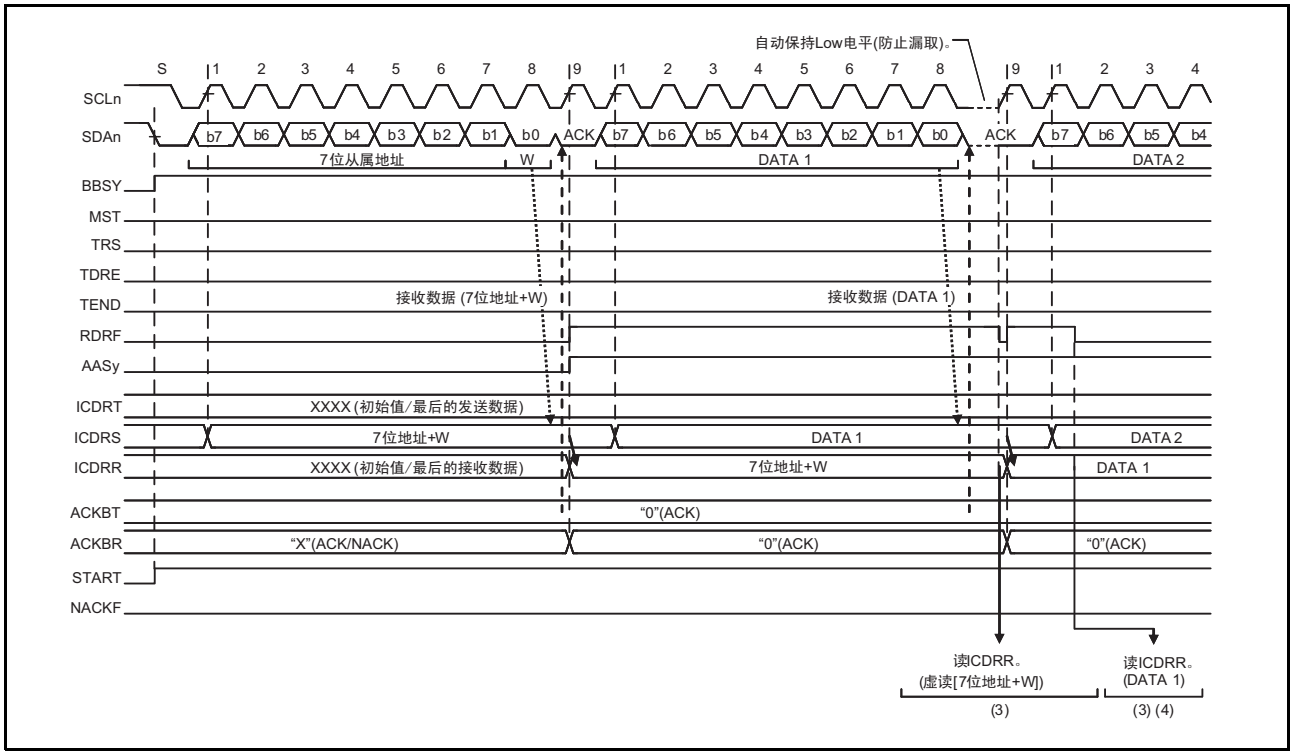


图 32.18 从属接收模式的运行时序 （1）（7 位地址格式并且 RDRFS 位为 “0”的情况）

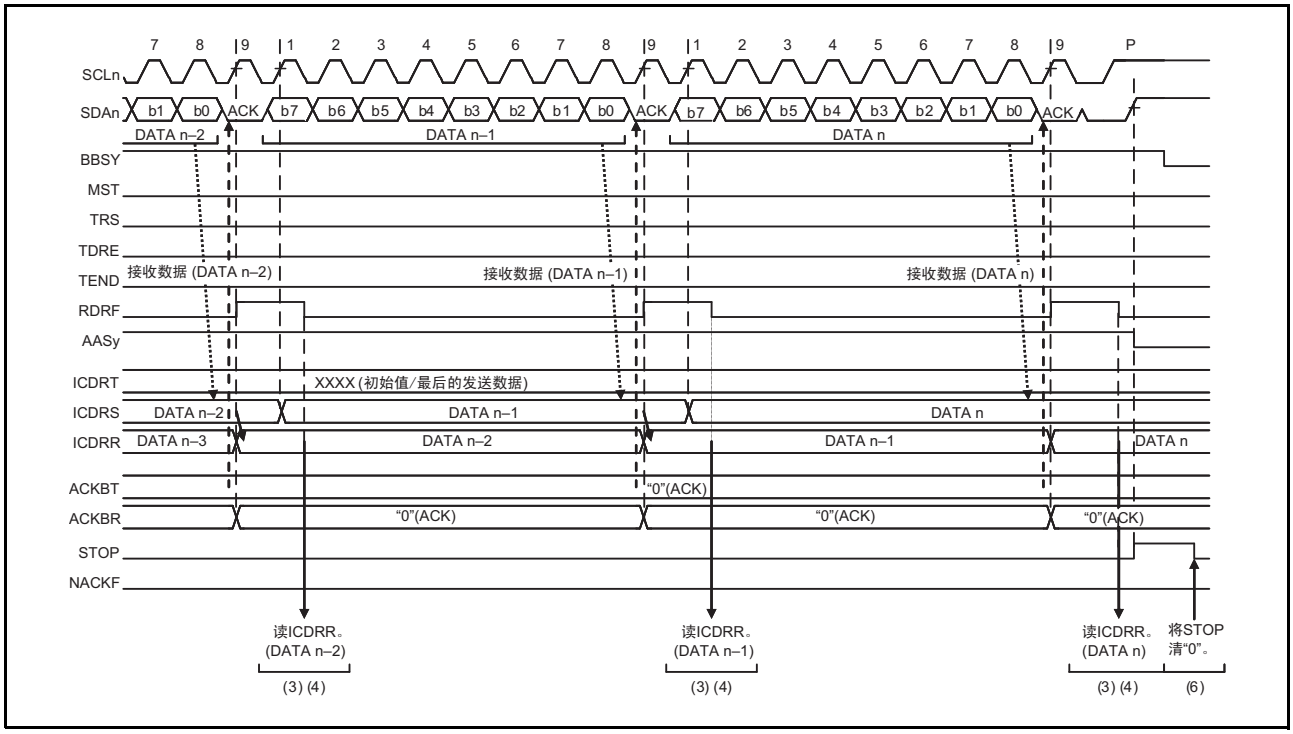


图 32.19 从属接收模式的运行时序 （2）（RDRFS 位为 “0”的情况）

32.4 SCL 同步电路

如果 RIIC 的 SCL 时钟生成电路检测到 SCLn 线的上升沿，就开始对 ICBRH 寄存器设定的 High 电平宽度进行计数，在结束 High 电平宽度的计数时将 SCLn 线驱动为 Low 电平。如果检测到 SCLn 线的下降沿，就开始对 ICBRL 寄存器设定的 Low 电平宽度进行计数，在结束 Low 电平宽度的计数时结束 SCLn 线的 Low 电平驱动，然后释放 SCLn 线。通过此方法生成 SCL 时钟。

在多主控模式中使用 I²C 总线时，有可能因和其他主控设备的竞争而使 SCL 时钟和 SCL 时钟发生冲突。如果 SCL 时钟发生冲突，主控设备就需要与 SCL 时钟同步，而且需要逐位进行 SCL 时钟的同步。 RIIC 具有 SCL 同步电路功能，在主控模式中监视 SCLn 线，并且一边逐位取得同步，一边生成 SCL 时钟。

RIIC 检测到 SCLn 线的上升沿并且在对 ICBRH 寄存器设定的 High 电平进行计数的过程中，如果因其他主控设备的 SCL 时钟输出而使 SCLn 线下降， RIIC 就在检测到 SCLn 线的下降沿时中止 High 电平宽度的递增计数，并且在 SCLn 线被驱动为 Low 电平的同时开始对 ICBRL 寄存器设定的 Low 电平宽度进行递增计数，在结束 Low 电平宽度的计数时结束 SCLn 线的 Low 电平驱动，然后释放 SCLn 线。此时，如果其他主控设备的 SCL 时钟的 Low 电平宽度大于 RIIC 设定的 Low 电平宽度，就延长 SCL 时钟的 Low 电平宽度。当其他主控设备结束 Low 电平输出时，释放 SCLn 线并且 SCL 时钟上升。因此，在发生 SCL 时钟输出冲突时， SCL 时钟的 High 电平宽度与短时钟同步， Low 电平宽度与长时钟同步。此 SCL 同步在 ICFER.SCLE 位为 “1” 时有效。

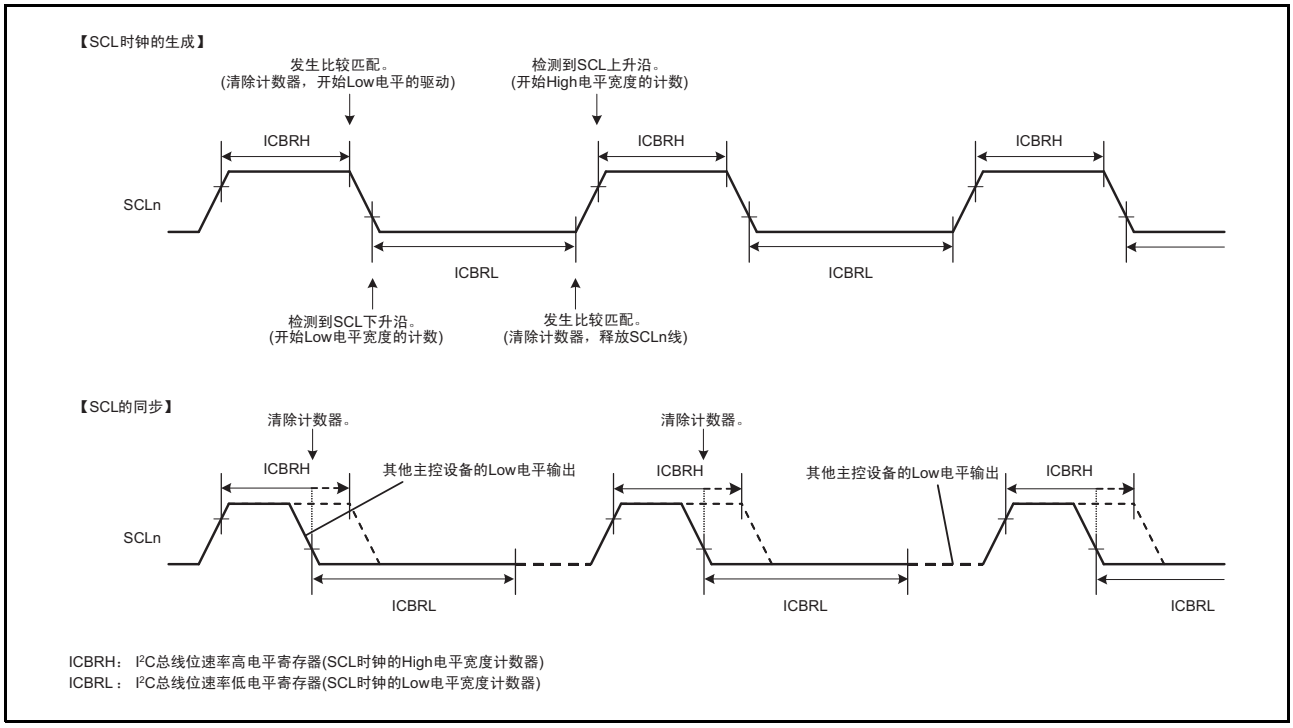


图 32.20 RIIC 的 SCL 时钟生成和 SCL 同步

32.5 SDA 输出延迟功能

RIIC 有 SDA 输出延迟功能。能通过 SDA 输出延迟功能，使全部的 SDA 输出时序 （发行 （开始 / 重新开始 / 停止）、数据输出和 ACK/NACK 输出）延迟。

SDA 输出延迟功能是从检测到 SCL 时钟的下降沿开始延迟 SDA 的输出，并且通过在 SCL 时钟的 Low 电平期间确保 SDA 的输出，防止通信设备的误动作，也能用于满足 SMBus 数据保持时间（300ns（min））的规格。

SDA 输出延迟功能在 ICMR2.SDDL[2:0] 位不为 “000b”时有效，在 SDDL[2:0] 位为 “000b”时无效。

在 SDA 输出延迟功能有效 （SDDL[2:0] 位不为 “000b”）时， SDA 输出延迟计数器将 ICMR2.DLCS 位选择的内部基准时钟 （IICϕ）或者内部基准时钟的 2 分频时钟 （IICϕ/2）作为计数源进行 SDDL[2:0] 位设定周期的计数， RIIC 在结束延迟周期的计数时进行 SDA 输出 （发行 （开始 / 重新开始 / 停止）、数据输出和 ACK/NACK 输出）。

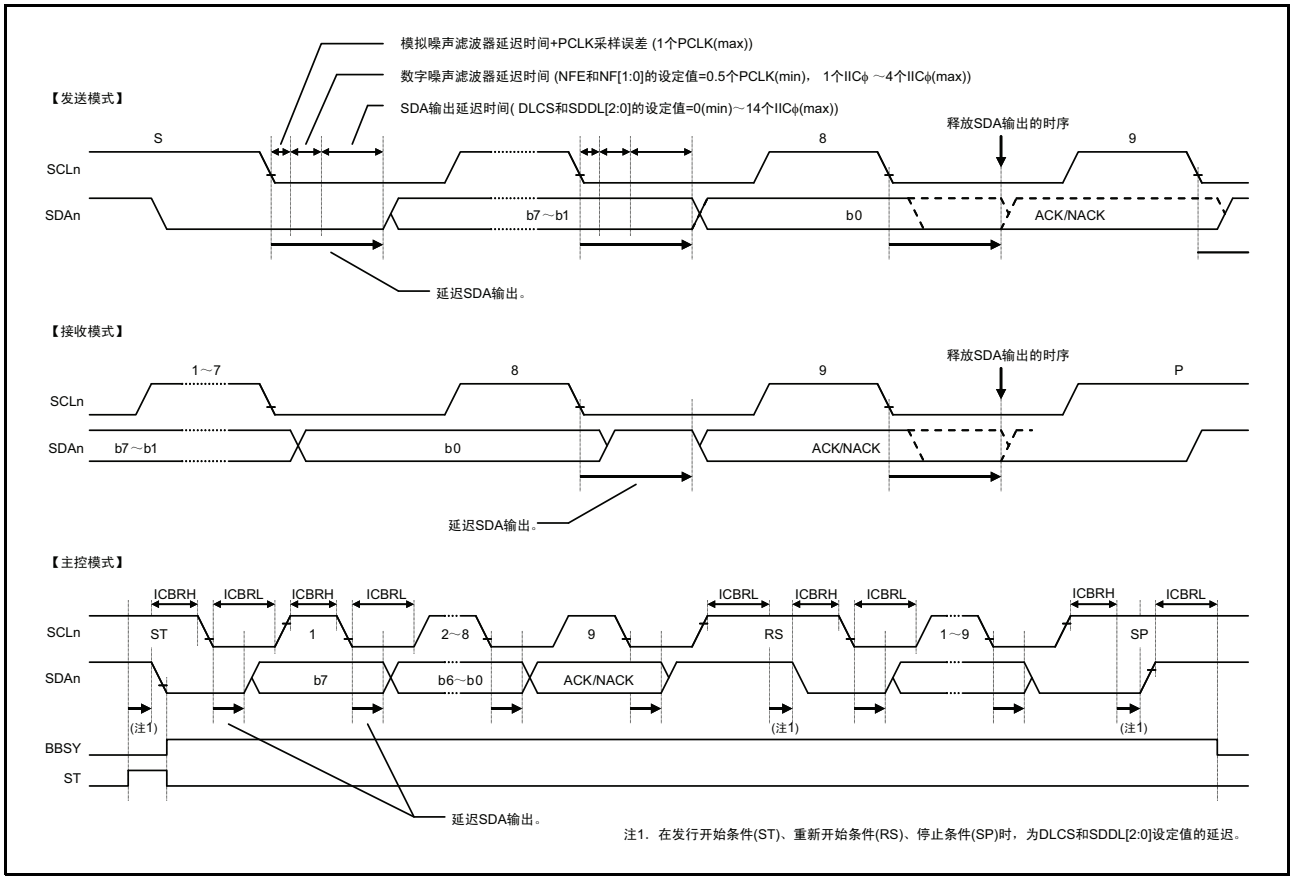


图 32.21 SDA 输出延迟时序

32.6 数字噪声滤波器电路

SCLn 引脚和 SDAn 引脚的状态经由模拟噪声滤波器电路和数字噪声滤波器电路进入内部。数字噪声滤波器电路的框图如图 32.22 所示。

RIIC 的内部数字噪声滤波器电路由 4 段串联的触发电路和匹配检测电路构成。

通过 ICMR3.NF[1:0] 位选择数字噪声滤波器的有效段数，根据选择的有效段数，噪声消除能力为 1 ～ 4 个 IICϕ 周期。

在 IICϕ 的下降沿对 SCLn 引脚的输入信号 （或者 SDAn 引脚的输入信号）进行采样，如果 ICMR3.NF[1:0] 位设定的有效段数的触发电路输出全部匹配，就将该电平作为内部信号进行传输，否则就保持原来的值。

在内部运行时钟 （PCLK）与通信速度的比小的情况下 （如：PCLK 为 4MHz 时的 400kbps 的通信），根据数字噪声滤波器的特性，有可能在产生噪声时需要的信号也被消除。在此情况下，能禁止 （ICFER.NFE 位 =0）使用数字噪声滤波器电路而只使用模拟噪声滤波器电路。

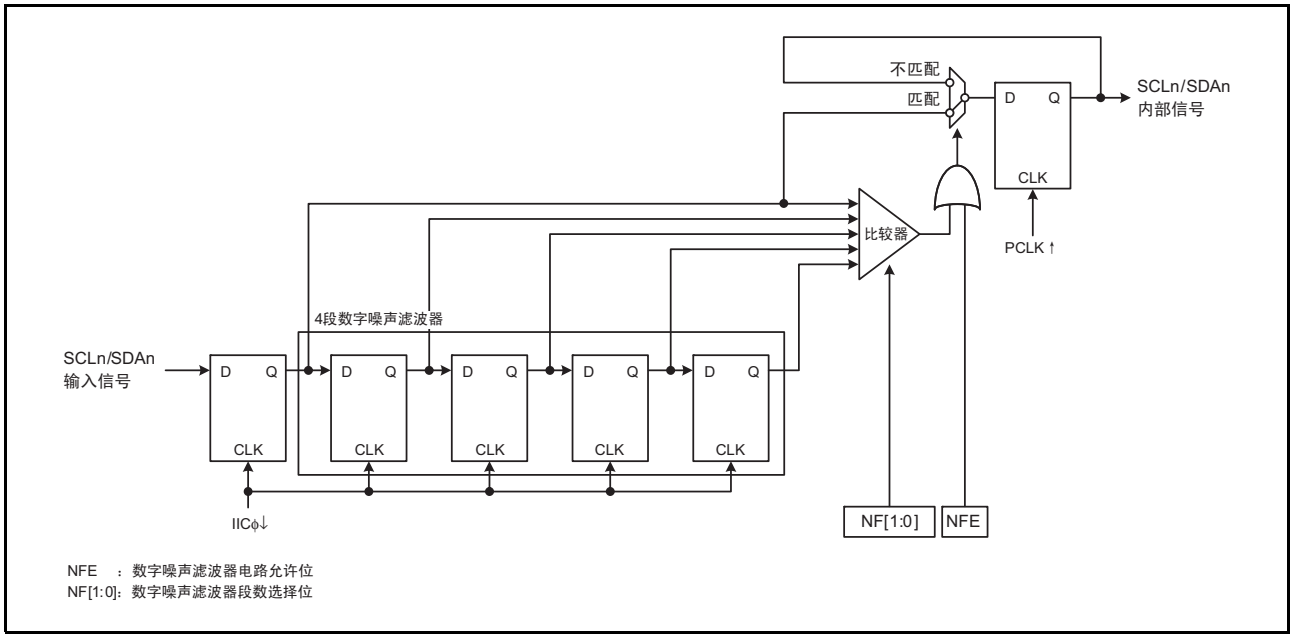


图 32.22 数字噪声滤波器电路的框图

32.7 地址匹配检测功能

RIIC 能设定全呼地址和主机地址以外的 3 种从属地址，从属地址能设定 7 位地址或者 10 位地址。

32.7.1 从属地址匹配检测功能

RIIC 能设定 3 种从属地址，有分别对应的从属地址检测功能。当 ICSER.SARyE 位 （y=0 ～ 2）为 “1” 时，能检测到 SARUy/SARLy 寄存器 （y=0 ～ 2）设定的从属地址。

如果 RIIC 检测到设定的从属地址匹配，就在 SCL 时钟的第 9 个时钟的下降沿将对应的 ICSR1.AASy 标志（y=0 ～ 2）置 “1”，然后根据后续的 R/W# 位将 ICSR2.RDRF 标志或者 ICSR2.TDRE 标志置 “1”。因此，能产生接收数据满中断 （ICRXI）或者发送数据空中断 （ICTXI），并且能通过确认 AASy 标志判断指定了哪个从属地址。

AASy 标志变为 “1” 的时序如图 32.23 ～图 32.25 所示。

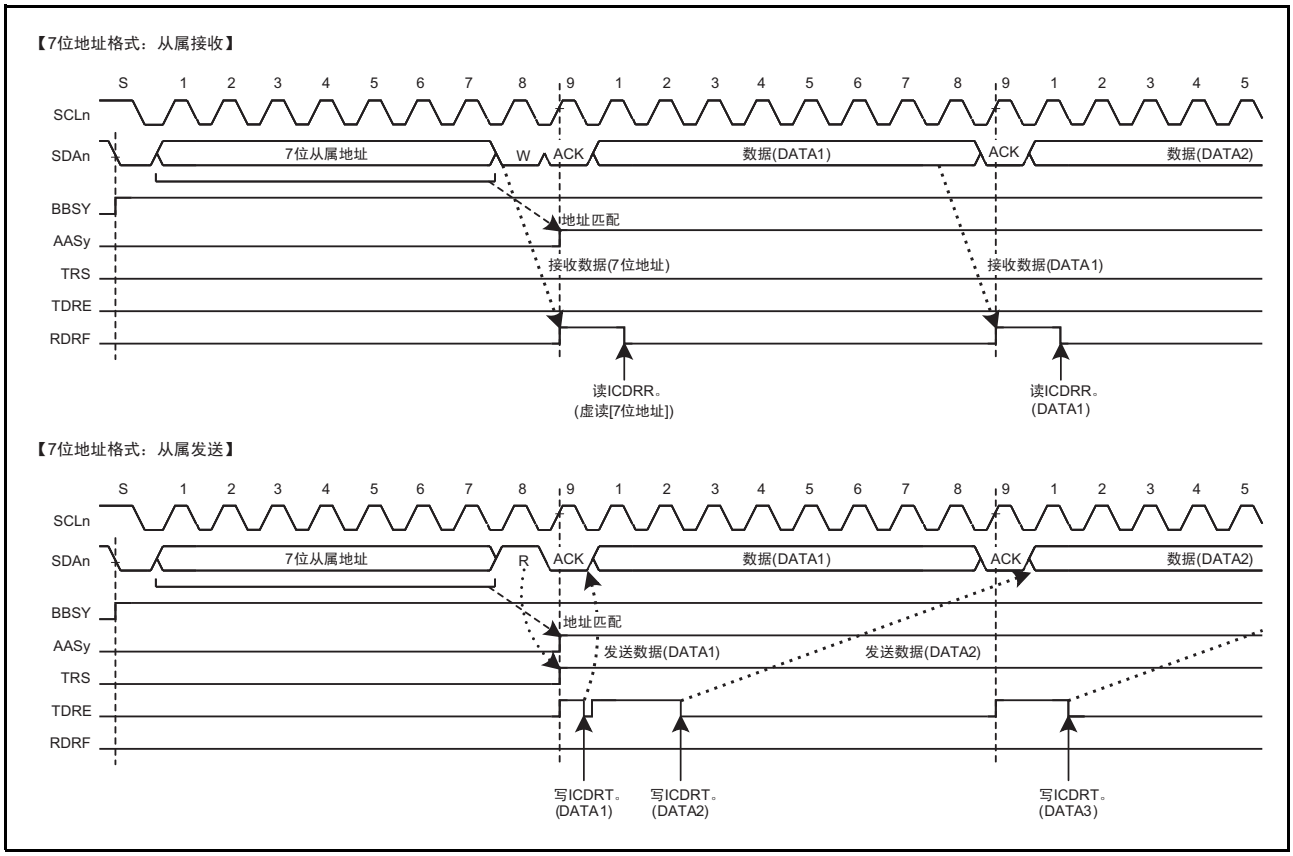


图 32.23 选择 7 位地址格式时的 AASy 标志变为 “1” 的时序

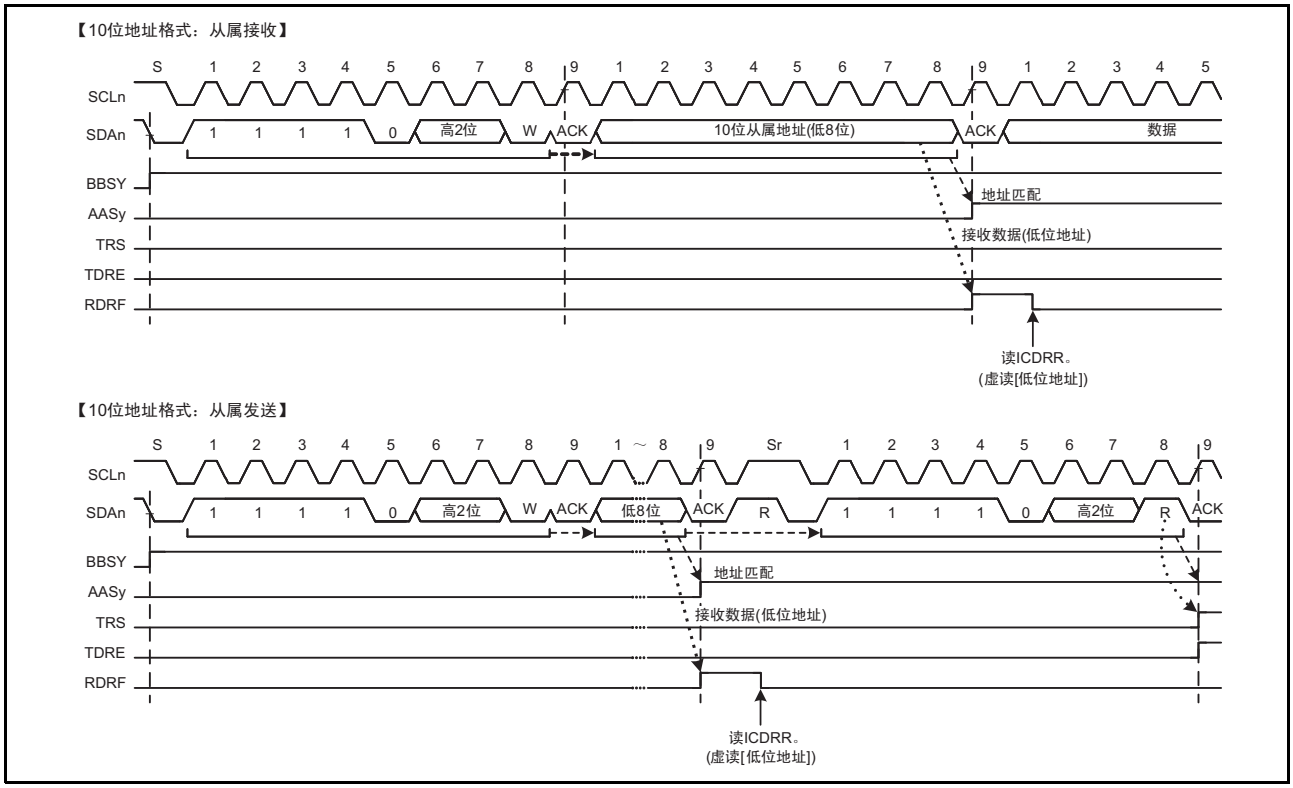


图 32.24　选择 10 位地址格式时的 AASy 标志变为 “1” 的时序

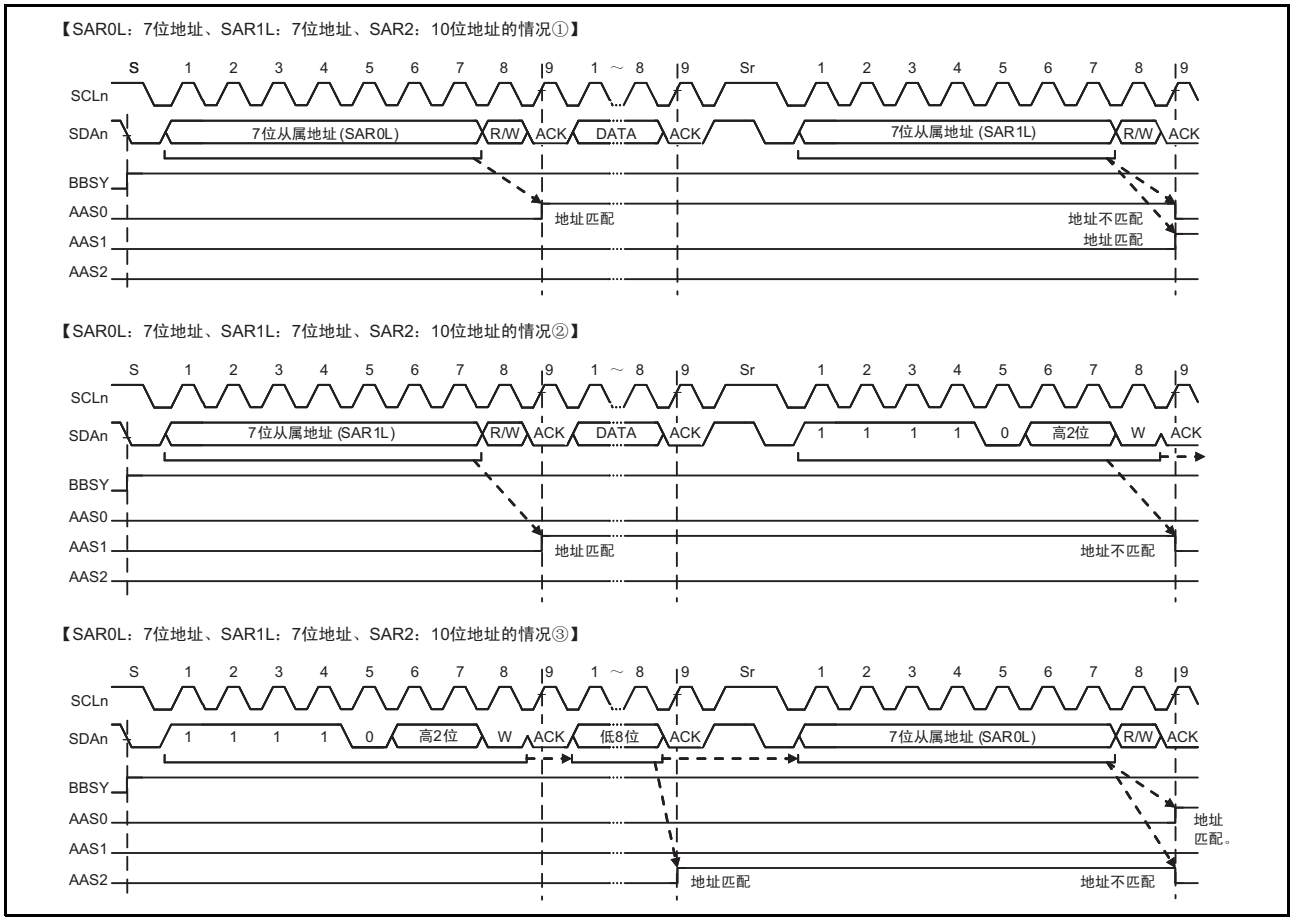


图 32.25　7 位 /10 位地址格式同时存在时的 AASy 标志变为 “1” / “0” 的时序

32.7.2 全呼地址检测功能

RIIC 具有全呼地址 （0000 000b+0[W]）检测功能。当 ICSER.GCAE 位为 “1” 时，能检测全呼地址。

如果开始条件或者重新开始条件后的地址为 0000 000b+1[R] （开始字节）， RIIC 就将此地址视为 All “0” 的从属地址而不视为全呼地址。

如果 RIIC 检测到全呼地址，就在 SCL 时钟的第 9 个时钟的下降沿将 ICSR1.GCA 标志置 “1”，同时将 ICSR2.RDRF 标志置 “1”。因此，能产生接收数据满中断 （ICRXI），并且能通过确认 GCA 标志判断是否发送了全呼地址。

全呼地址检测后的运行和普通的从属接收运行相同。

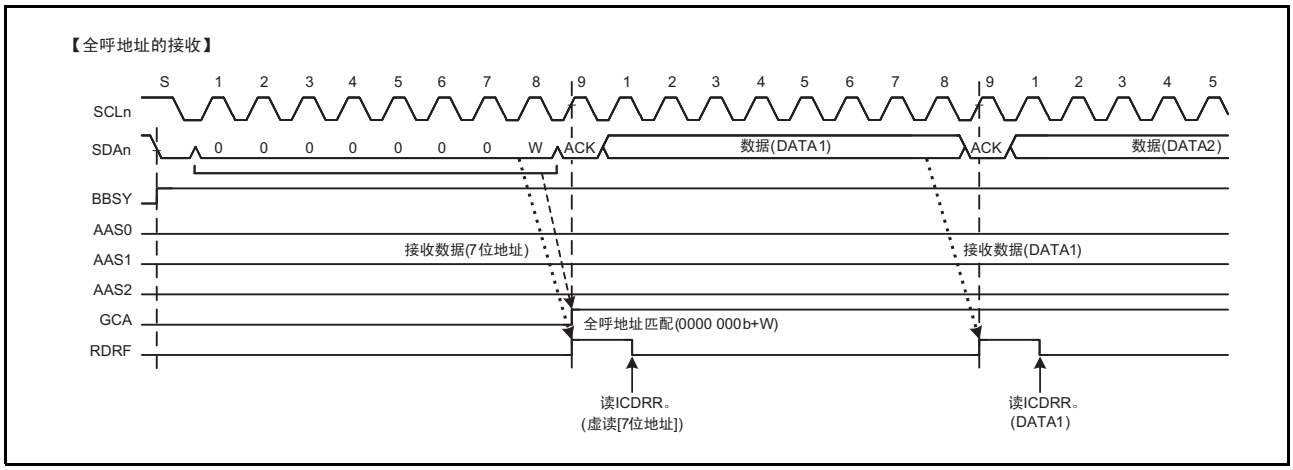


图 32.26 接收全呼地址时的 GCA 标志变为 “1” 的时序

32.7.3 设备 ID 地址检测功能

RIIC 具有以 I²C 总线 （Rev.03）为基准的设备 ID 地址检测功能。在将 ICSER.DIDE 位置 “1” 的状态下，如果开始条件或者重新开始条件之后的第 1 个字节接收到 “1111 100b”， RIIC 就将此地址视为设备 ID 地址，当后续的 R/W# 位为 “0” 时，就在 SCL 时钟的第 9 个时钟的上升沿将 ICSR1.DID 标志置 “1”，然后将第 2 个字节以后的地址和自己的从属地址进行比较。如果第 2 个字节以后的地址与从属地址寄存器的值匹配，对应的 ICSR1.AASy 标志 （y=0 ～ 2）就变为 “1”。

此后，如果开始条件或者重新开始条件之后的第 1 个字节再次与设备 ID 地址 （1111 100b）匹配并且后续的 R/W# 位为 “1”， RIIC 就不比较第 2 个字节以后的地址，而将 ICSR2.TDRE 标志置 “1”。

设备 ID 地址检测功能，在与自己的从属地址不匹配时或者自己的从属地址匹配后的重新开始条件后面的地址与设备 ID 地址不匹配时，将 DID 标志置 “0”。在开始条件或者重新开始条件之后的第 1 个字节与设备 ID 地址 （1111 100b）匹配并且 R/W# 位为 “0” 时，将 DID 标志置 “1”，并且将第 2 个字节以后的地址和从属地址进行比较。当 R/W# 位为 “1” 时， DID 标志继续保持原来的值，并且不比较第 2 个字节以后的从属地址。因此，通过在确认 TDRE 是 “1” 后检查 DID 标志，能确认已接收到设备 ID。

在接收一连串的设备 ID 后，要发送给主机的设备 ID 字段所需的信息 （3 个字节：厂商 [12 位]+ 部件识别 [9 位]+ 版本 [3 位]）和正常的发送数据一样，必须预先准备。有关设备 ID 字段所需信息的详细内容，请向 NXP 公司询问。

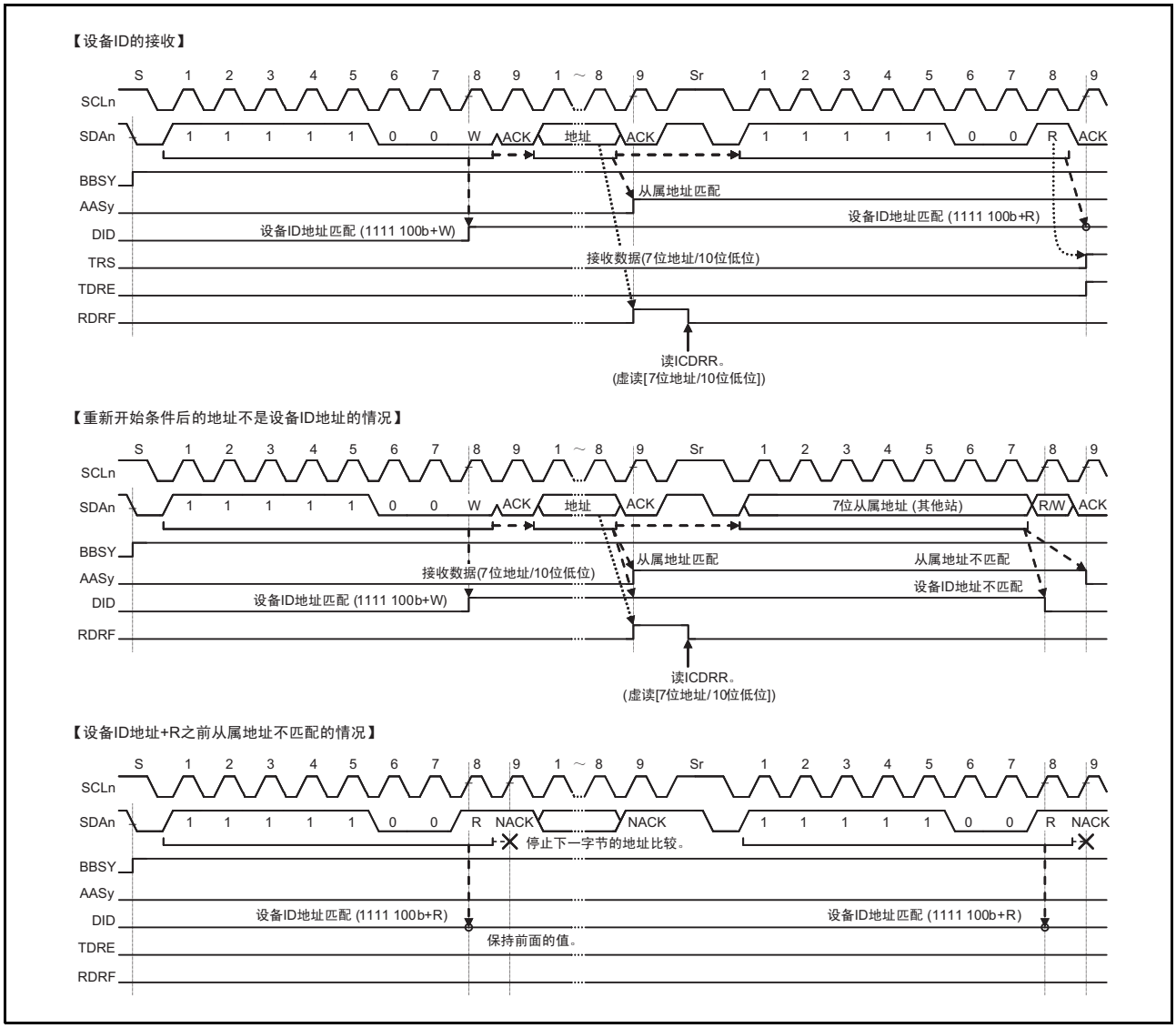


图 32.27 接收设备 ID 地址时的 AASy 标志和 DID 标志的置位 / 清除时序

32.7.4 主机地址检测功能

RIIC 具有 SMBus 运行时的主机地址检测功能。如果在 ICMR3.SMBS 位为 “1” 时将 ICSER.HOAE 位置 “1”，就能在从属接收模式 （ICCR2.MST 位和 ICCR2.TRS 位为 “00b”）中检测主机地址 （0001 000b）。

如果 RIIC 检测到主机地址，就在 SCL 时钟的第 9 个时钟的下降沿将 ICSR1.HOA 标志置 “1”，并且在 Wr 位的情况下（R/W# 位接收到 “0”），将 ICSR2.TDRE 标志置 “1”。因此，能产生发送数据空中断（ICTXI），并且能通过确认 HOA 标志，视为从智能电池等发送了主机地址。

即使接在主机地址 （0001 000b）后面的位是 Rd 位 （R/W# 位接收到 “1”），也能检测主机地址。主机地址检测后的运行和普通的从属模式运行相同。

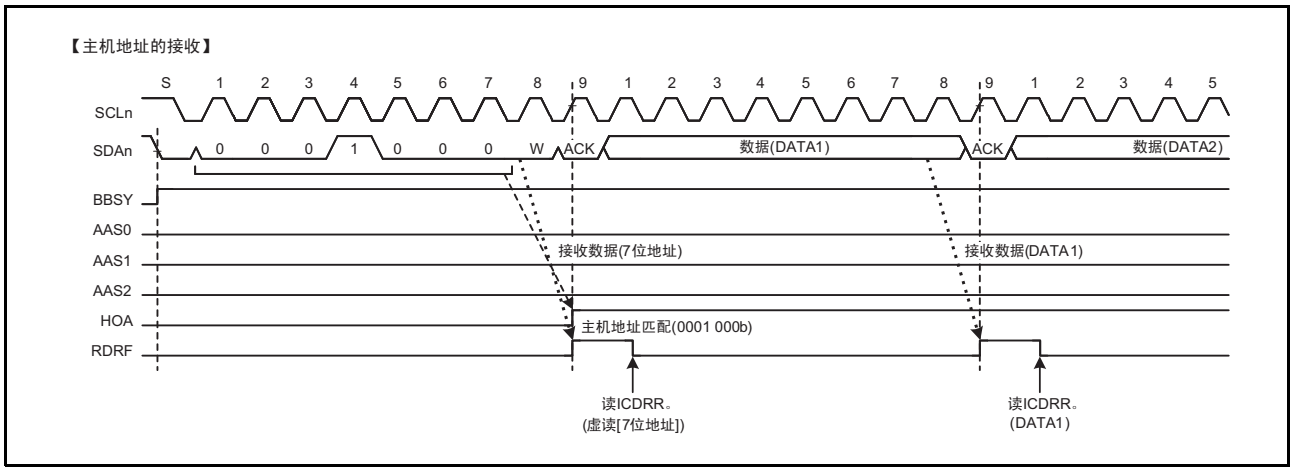


图 32.28 接收主机地址时的 HOA 标志变为 “1” 的时序

32.8 SCL 的 Low 电平自动保持功能

32.8.1 发送数据的误发送防止功能

在发送模式中（ICCR2.TRS 位 =1），如果移位寄存器（ICDRS 寄存器）为空状态并且未写发送数据（ICDRT 寄存器）， RIIC 就在以下所示的区间自动保持 SCLn 线的 Low 电平。 Low 电平的保持延长了写发送数据前的 Low 电平区间，防止意想不到的数据误发送。

【主控发送模式】

- 发行开始条件或者重新开始条件后的Low电平区间
- 第9个时钟和下次传送的第1个时钟的Low电平区间

【从属发送模式】

- 第9时钟和下次传送的第1个时钟的Low电平区间

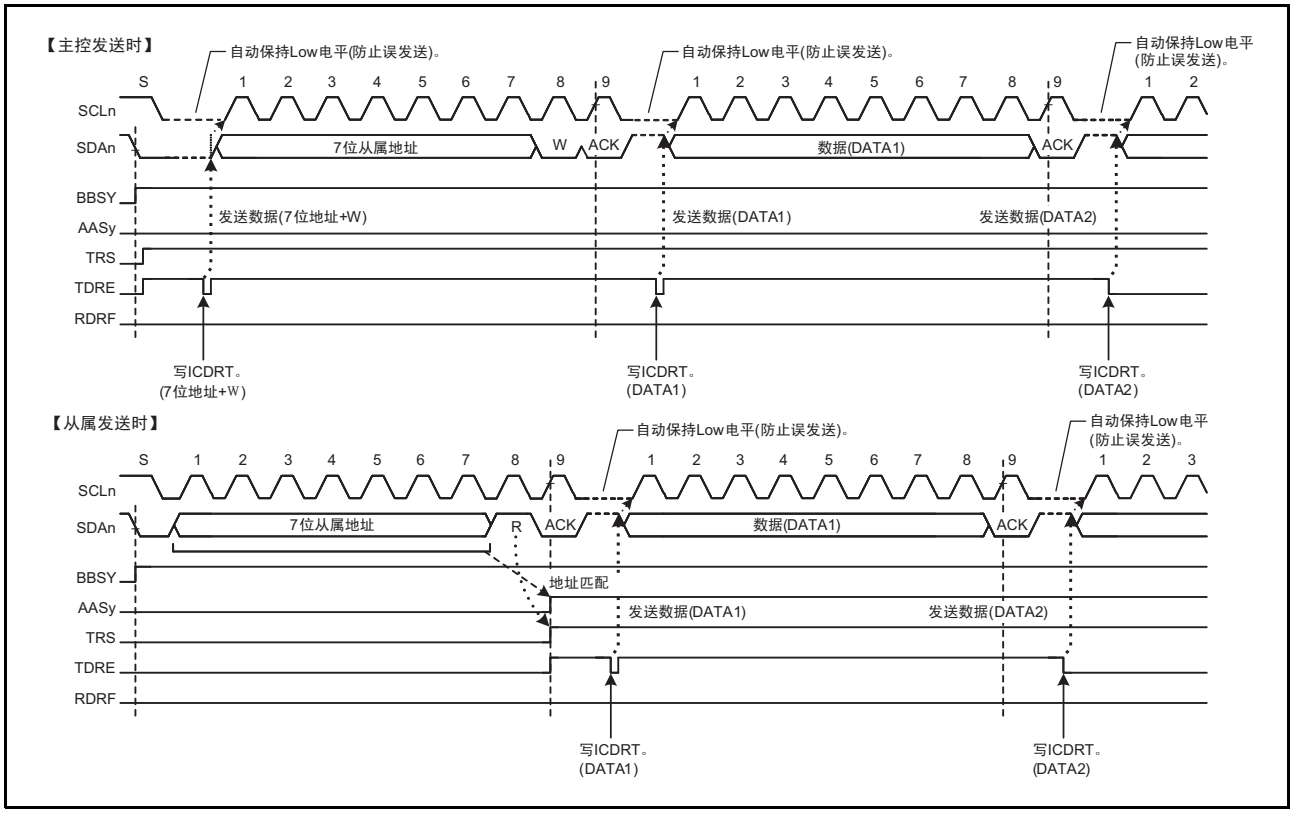


图 32.29 发送模式的 Low 电平自动保持运行

32.8.2 NACK 接收传送中止功能

RIIC 具有在发送模式中 （ICCR2.TRS 位 =1）接收到 NACK 时中止传送的功能。此功能在 ICFER.NACKE 位为“1”（允许中止传送）时有效，如果在接收 NACK 时已经写了下一个发送数据（ICSR2.TDRE 标志为“0”的状态），就在 SCL 时钟的第 9 个时钟下降时自动中止下一个数据的发送。因此，能在下一个发送数据的 MSB 为 “0”时防止 SDAn 线被固定为 Low 电平输出。

如果通过 NACK 接收传送中止功能来中止传送 （ICSR2.NACKF 标志 =1），就不进行以后的发送和接收。要重新开始传送时，必须将 NACKF 标志置 “0”。在主控发送模式中，必须将 NACKF 标志置 “0”，然后通过在发行重新开始条件或者停止条件后发行开始条件，重新开始传送。

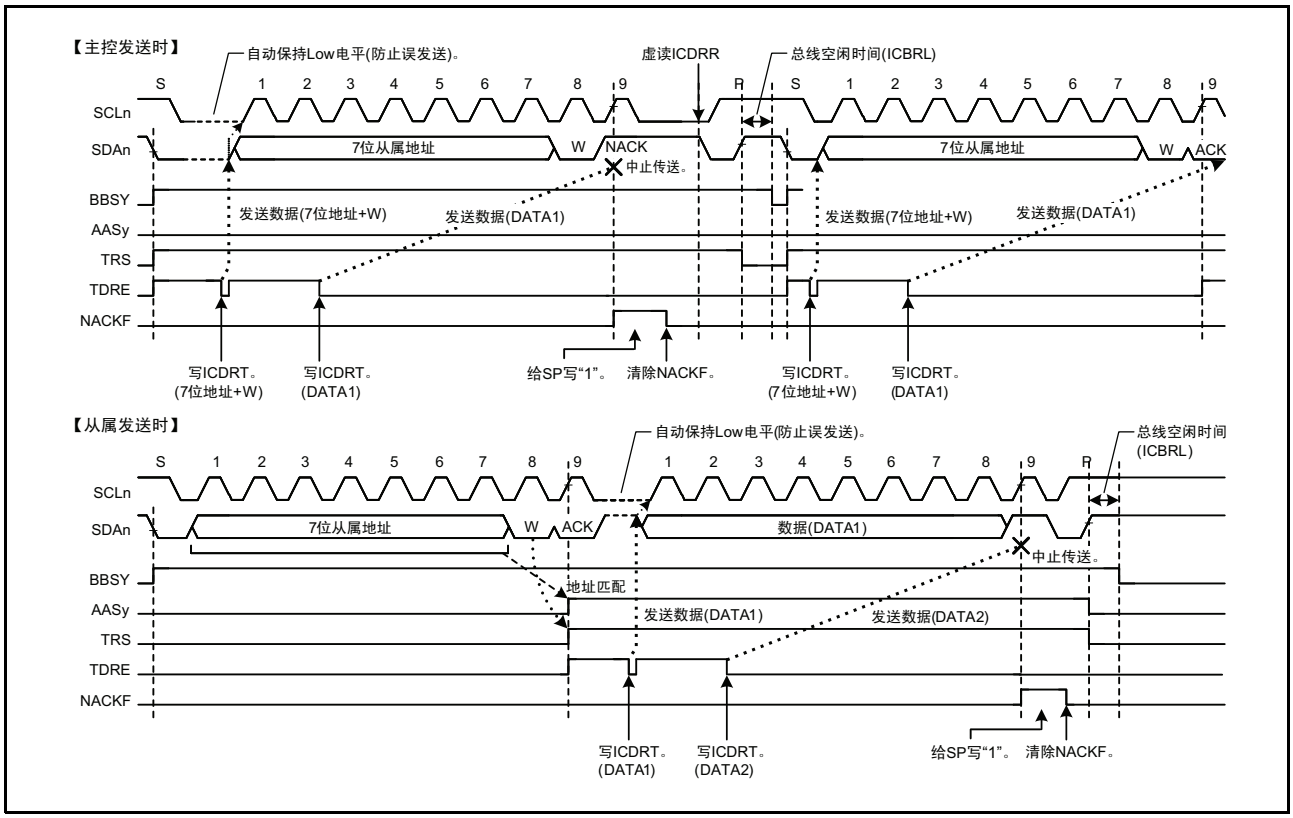


图 32.30 接收 NACK 时的传送中止 （NACKE 位为 “1”）

32.8.3 接收数据漏取防止功能

如果在接收模式中 （ICCR2.TRS 位 =0）并且接收数据满 （ICSR2.RDRF 标志 =1）的状态下因至少推迟 1 个传送帧的读接收数据 （ICDRR 寄存器）等而发生响应处理延迟， RIIC 就在开始下一个数据接收前自动保持 SCLn 线的 Low 电平，防止漏取接收数据。

在最后接收数据的读处理延迟期间，即使在停止条件后指定了自己的从属地址，通过自动保持 Low 电平防止漏取接收数据的功能仍然有效。因为在停止条件后自己的从属地址不匹配时不保持 Low 电平，所以不妨碍其他通信。

RIIC 能通过 ICMR3.WAIT 位和 ICMR3.RDRFS 位的组合选择保持 Low 电平的区间。

(1) 通过 WAIT 位进行的 1 字节接收以及 Low 电平的自动保持功能

如果将 ICMR3.WAIT 位置 “1”， RIIC 就通过 WAIT 位的功能进行 1 字节的接收。当 ICMR3.RDRFS 位为 “0”时， RIIC 就自动给从 SCL 时钟的第 8 个时钟的下降沿到第 9 个时钟的下降沿期间的应答位发送 ICMR3.ACKBT 位的内容，如果检测到第 9 个时钟的下降沿，就通过 WAIT 位的功能自动保持 SCLn 线的 Low 电平。通过读 ICDRR 寄存器来解除保持的 Low 电平。因此，能逐字节地进行接收。

在主控接收模式或者从属接收模式中， WAIT 位的功能从与自己的从属地址 （包括全呼地址和主机地址）匹配后的接收帧开始有效。

(2) 通过 RDRFS 位进行的 1 字节接收 （控制 ACK/NACK 发送）以及 Low 电平的自动保持功能

如果将 ICMR3.RDRFS 位置 “1”， RIIC 就通过 RDRFS 位的功能进行 1 字节的接收。如果将 RDRFS 位置 “1”，就将接收数据满标志 （ICSR2.RDRF 标志）变为 “1”的时序更改为 SCL 时钟的第 8 个时钟的上升沿。如果检测到第 8 个时钟的下降沿，就自动保持 SCLn 线的 Low 电平。通过写 ICMR3.ACKBT 位来解除保持的 Low 电平，而在读 ICDRR 寄存器时无法解除。因此，能逐字节地根据接收数据的内容进行 ACK/NACK 发送的接收运行。

在主控接收模式或者从属接收模式中，RDRFS 位的功能从与自己的从属地址（包括全呼地址和主机地址）匹配后的接收帧开始有效。

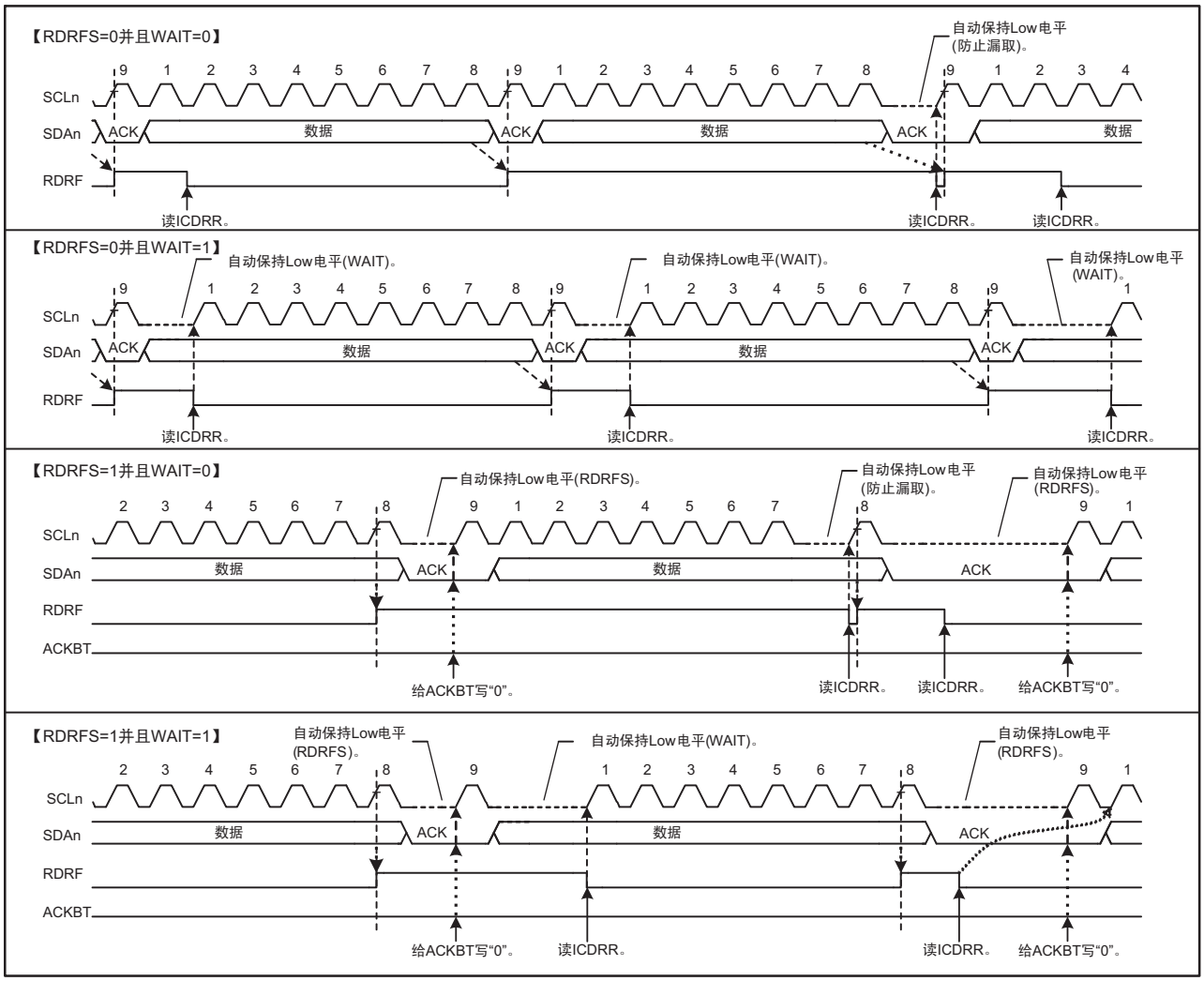


图 32.31 接收模式的 Low 电平自动保持 （RDRFS 位和 WAIT 位）

32.9 仲裁失败检测功能

RIIC 除了 I2C 总线规格规定的普通仲裁失败检测功能以外，还具有防止双重发行开始条件功能、NACK 发送时的仲裁失败检测功能以及从属发送时的仲裁失败检测功能。

32.9.1 主控仲裁失败检测功能 （MALE 位）

在发行开始条件时，RIIC 将 SDAn 线置为 Low 电平。但是，如果其他主控设备提前发行开始条件后将 SDAn 线置为 Low 电平，就产生仲裁失败并且优先其他主控设备的通信。同样地，如果在 ICCR2.BBSY 标志为 “1”（总线忙）时将 ICCR2.ST 位置“1”，就产生仲裁失败并且优先其他主控设备的通信。此时，不生成开始条件。

在正常地发行开始条件时，如果包括发送地址在内的发送数据（SDA 信号）和 SDAn 线上的信号状态不同（自身发送的 SDA 输出为 High 电平输出 （SDAn 引脚为高阻抗状态）而检测到 SDA 线为 Low 电平时），就产生仲裁失败。

如果发生主控仲裁失败，RIIC 就立即转移到从属接收模式。此时，如果包括全呼地址在内的从属地址匹配，就继续从属模式的运行。

对于主控仲裁失败检测，在 ICFER.MALE 位为“1”（允许主控仲裁失败检测）的状态下以下条件成立时，检测到仲裁失败。

[主控仲裁失败条件]

- 在 ICCR2.BBSY 标志为 “0”的状态下通过将 ICCR2.ST 位置 “1”来发行开始条件时， SDA 信号和 SDAn线上的信号状态不同 （开始条件发行错误）时
- 在ICCR2.BBSY标志为 “1”的状态下将ICCR2.ST位置 “1”（开始条件双重发行错误）时
- 在主控发送模式中 （ICCR2.MST 位和 ICCR2.TRS 位为 “11b”），应答除外的发送数据 （SDA 信号）和SDAn线上的信号状态不同时

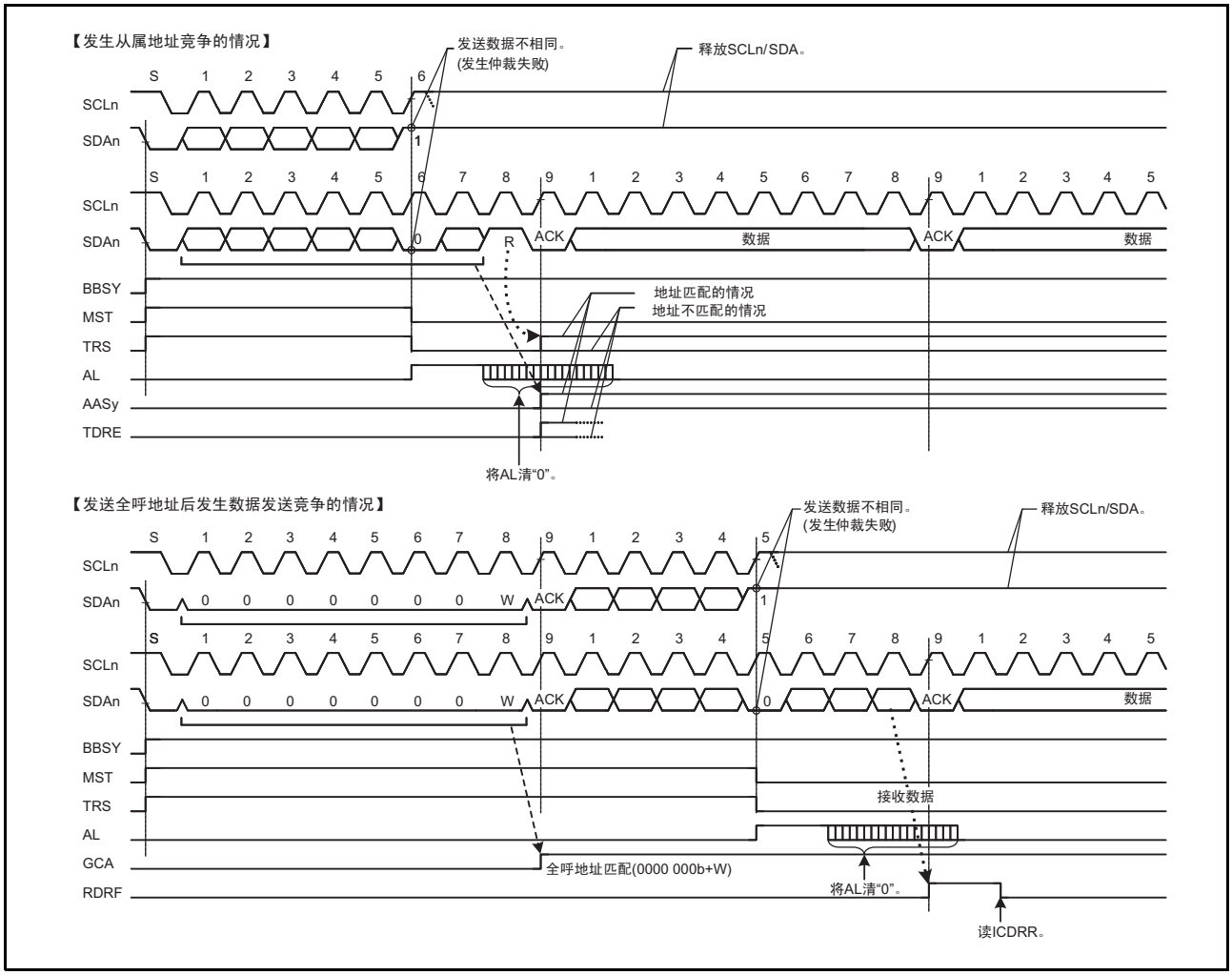


图 32.32 主控仲裁失败检测的运行例子 （MALE 位为 “1” 的情况）

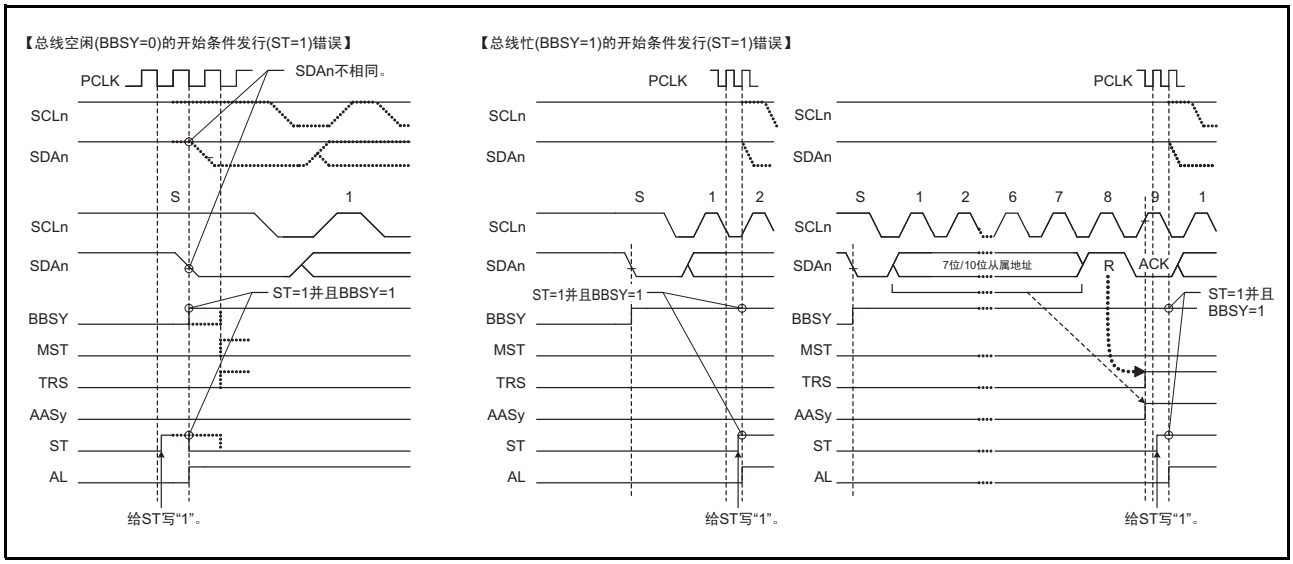


图 32.33 发行开始条件时的仲裁失败 （MALE 位为 “1” 的情况）

32.9.2 NACK 发送仲裁失败检测功能 （NALE 位）

在接收模式中，如果在发送 NACK 时 RIIC 自身发送的 SDA 信号和 SDA 线上的信号状态不同 （自身发送的 SDA 输出为 High 电平输出 （SDAn 引脚为高阻抗状态）而检测到 SDA 线为 Low 电平时），就产生仲裁失败。此仲裁失败功能主要在多主控系统中 2 个或者 2 个以上的主控设备同时从同一个从属设备接收数据时发生 NACK 发送和 ACK 发送的冲突。这种情况发生在 2 个或者 2 个以上的主控设备通过 1 个从属设备交换共同信息时。 NACK 发送仲裁失败检测的运行例子如图 32.34 所示。

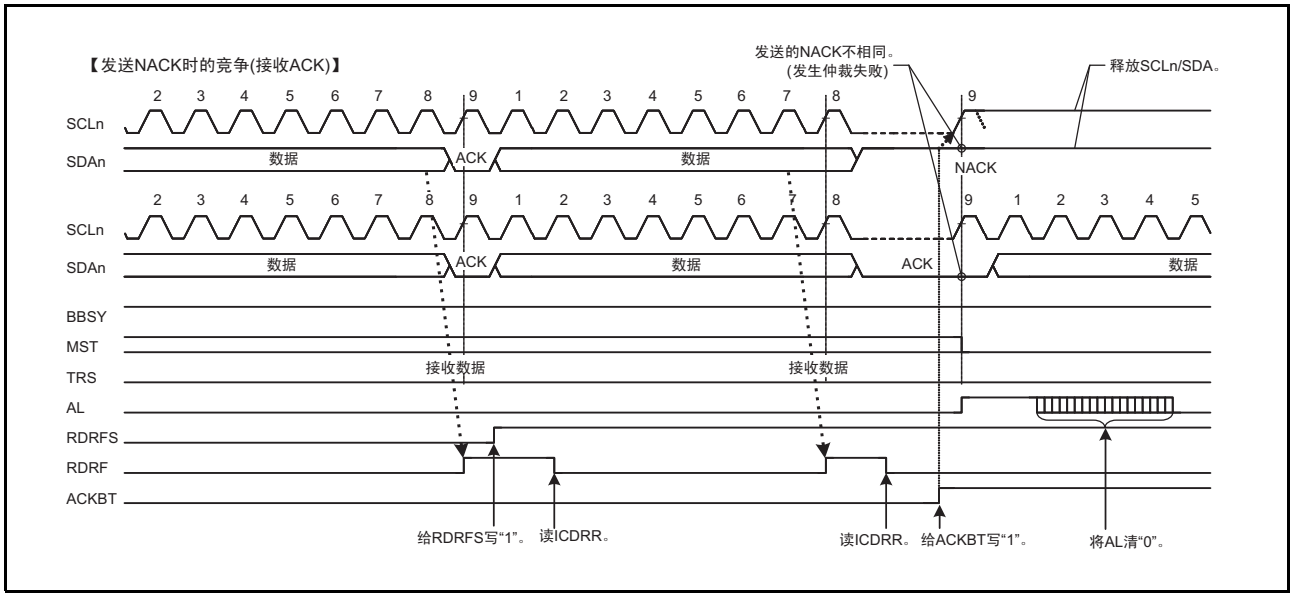


图 32.34 NACK 发送仲裁失败检测的运行例子 （NALE 位为 “1” 的情况）

以 2 个主控设备 （主控 A、主控 B）和 1 个从属设备连接总线的情况为例进行说明。假设主控 A 从从属设备接收 2 字节的数据，主控 B 从从属设备接收 4 字节的数据。

在主控 A 和主控 B 同时存取从属设备的情况下，因为从属地址相同，所以主控 A 和主控 B 在存取从属设备时不发生仲裁失败，因此主控 A 和主控 B 都取得了总线权。然后，主控 A 在从从属设备接收完最后 2 字节数据时发送 NACK，主控 B 因为没有从从属设备接收到需要的 4 字节而发送 ACK，因此主控 A 发送的 NACK 和主控 B 发送的 ACK 发生了冲突。一般情况下，如果发生这种状况，因为主控 A 在无法检测到主控 B 发送的 ACK 的状态下发行停止条件，所以与主控 B 的 SCL 时钟输出发生竞争并且阻碍通信。

RIIC 对于此类发送 NACK 时接收 ACK 的情况，能检测到和其他主控设备的竞争失败，产生仲裁失败。

如果发生 NACK 发送仲裁失败，RIIC 就立即解除从属匹配状态并且转移到从属接收模式。因此，能将停止条件的发行防范于未然并且防止总线的通信故障。

在 SMBus 的 ARP 命令处理中，能省去在与指定地址的 UDID （唯一设备标识别）不匹配时的 NACK 发送后以及确定指定地址后的 Get UDID （通用）的 NACK 发送后的剩余处理 （FFh 发送处理）。

对于 NACK 发送仲裁失败检测，在 ICFER.NALE 位为 “1”（允许 NACK 发送仲裁失败检测）的状态下以下条件成立时，检测到仲裁失败。

[NACK 发送仲裁失败条件]

- 在发送 NACK 时 （ICMR3.ACKBT 位 =1），自身发送的 SDA 信号和 SDAn 线上的信号状态不同 （接收到 ACK）。

32.9.3 从属仲裁失败检测功能 （SALE 位）

如果在从属发送时发送数据 （自身发送的 SDA 信号）和 SDA 线上的信号状态不同 （自身发送的 SDA 输出为 High 电平输出 （SDAn 引脚为高阻抗状态）而检测到 SDA 线为 Low 电平）， RIIC 就产生仲裁失败。此仲裁失败功能主要用于 SMBus 的 UDID （唯一设备标识符）的发送。

如果发生从属仲裁失败， RIIC 就解除从属匹配状态并且转移到从属接收模式。

通过使用此功能，能省去发送SMBus的UDID时的数据冲突检测和数据冲突后的剩余处理（FFh发送处理）。

对于从属仲裁失败检测，在 ICFER.SALE 位为 “1”（允许从属仲裁失败检测）的状态下以下条件成立时，检测到仲裁失败。

[从属仲裁失败条件]

- 在从属发送模式中 （ICCR2.MST 位和 ICCR2.TRS 位为 “01b”），应答除外的发送数据 （自身发送的 SDA 信号）和 SDAn 线上的信号状态不同。

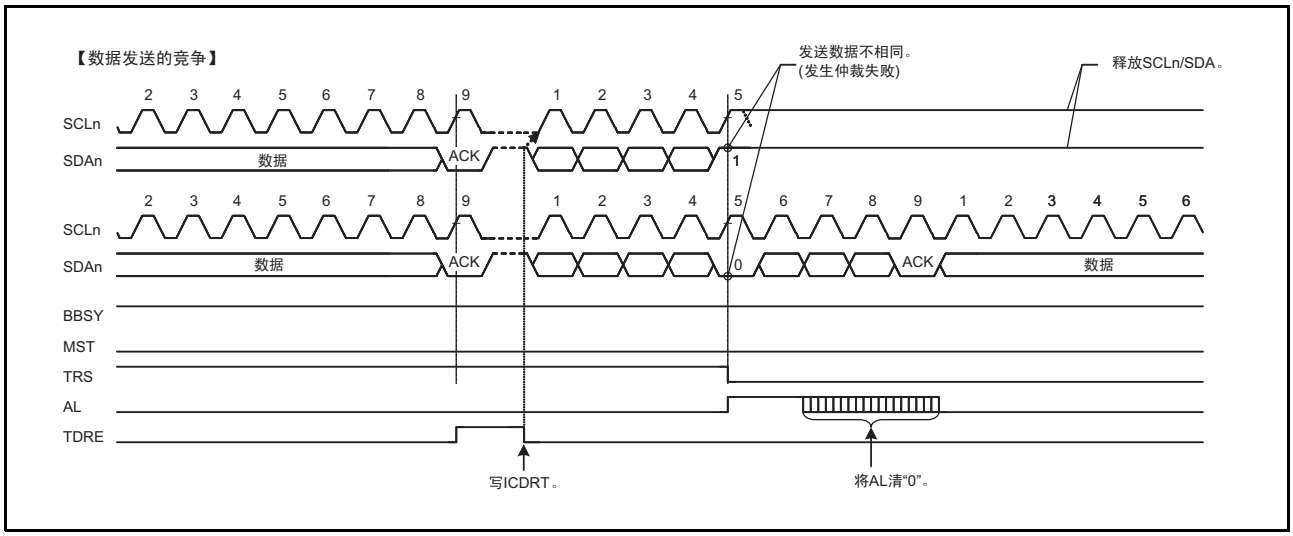


图 32.35 从属仲裁失败检测的运行例子 （SALE 位为 “1” 的情况）

32.10 开始条件、重新开始条件和停止条件的发行功能

32.10.1 开始条件的发行

RIIC 通过 ICCR2.ST 位发行开始条件。

如果将 ST 位置 “1”，就请求发行开始条件，在 ICCR2.BBSY 标志为 “0”（总线空闲）的状态下发行开始条件。如果正常地发行开始条件， RIIC 就自动转移到主控发送模式。

开始条件的发行步骤如下：

[开始条件的发行]

1. 使SDAn线下降 （从High电平变为Low电平）。
2. 确保ICBRH寄存器所设时间的开始条件的保持时间。
3. 使SCLn线下降 （从High电平变为Low电平）。
4. 在检测到SCLn线的Low电平后，确保ICBRL寄存器所设时间的SCLn线的Low电平宽度。

32.10.2 重新开始条件的发行

RIIC 通过 ICCR2.RS 位发行重新开始条件。

如果将 RS 位置 “1”，就请求发行重新开始条件， RIIC 在 ICCR2.BBSY 标志为 “1”（总线忙）并且 ICCR2.MST 位为 “1”（主控模式）的状态下发行重新开始条件。

重新开始条件的发行步骤如下：

[重新开始条件的发行]

1. 释放SDAn线。
2. 确保ICBRL寄存器所设时间的SCLn线的Low电平宽度。
3. 释放SCLn线 （从Low电平变为High电平）。
4. 在检测到SCLn线的High电平后，确保ICBRL寄存器所设时间的重新开始条件的准备时间。
5. 使SDAn线下降 （从High电平变为Low电平）。
6. 确保ICBRH寄存器所设时间的重新开始条件的保持时间。
7. 使SCLn线下降 （从High电平变为Low电平）。
8. 在检测到SCL线的Low电平后，确保ICBRL寄存器所设时间的SCLn线的Low电平宽度。

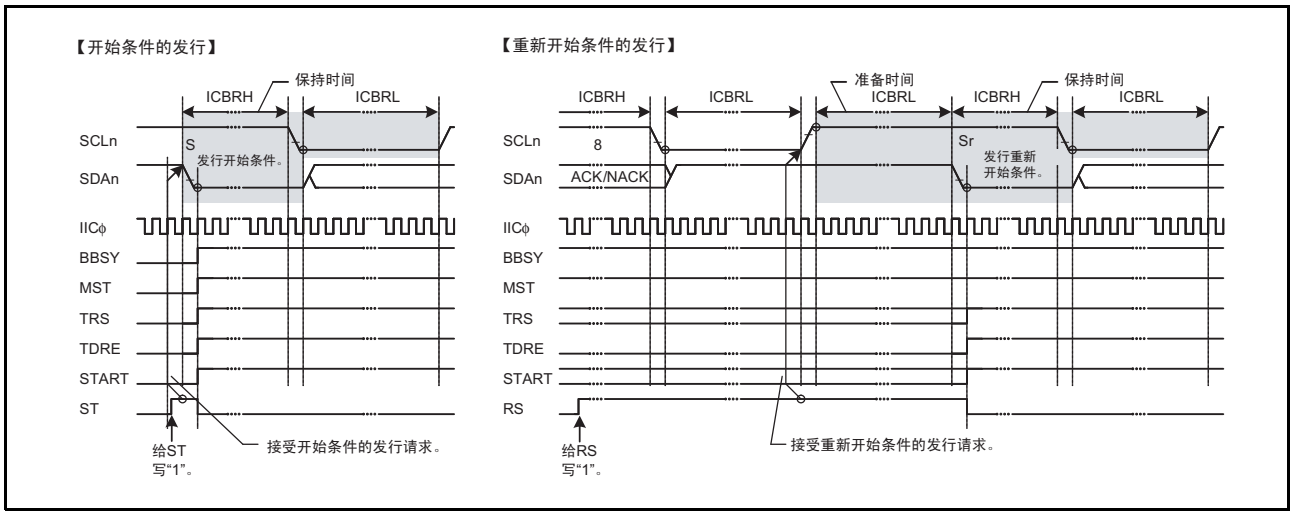


图 32.36 开始条件 / 重新开始条件的发行时序 （ST 位、 RS 位）

32.10.3 停止条件的发行

RIIC 通过 ICCR2.SP 位发行停止条件。

如果将 SP 位置“1”，就请求发行停止条件，RIIC 在 ICCR2.BBSY 标志为“1”（总线忙）并且 ICCR2.MST 位为 “1”（主控模式）的状态下发行停止条件。

停止条件的发行步骤如下：

[停止条件的发行]

- 使SDAn线下降 （从High电平变为Low电平）
- 确保ICBRL寄存器所设时间的SCLn线的Low电平宽度
- 释放SCLn线 （从Low电平变为High电平）
- 在检测到SCLn线的High电平后，确保ICBRH寄存器所设时间的停止条件的准备时间
- 释放SDAn线 （从Low电平变为High电平）
- 确保ICBRL寄存器所设时间的总线空闲时间
- 清除BBSY标志 （释放总线权）

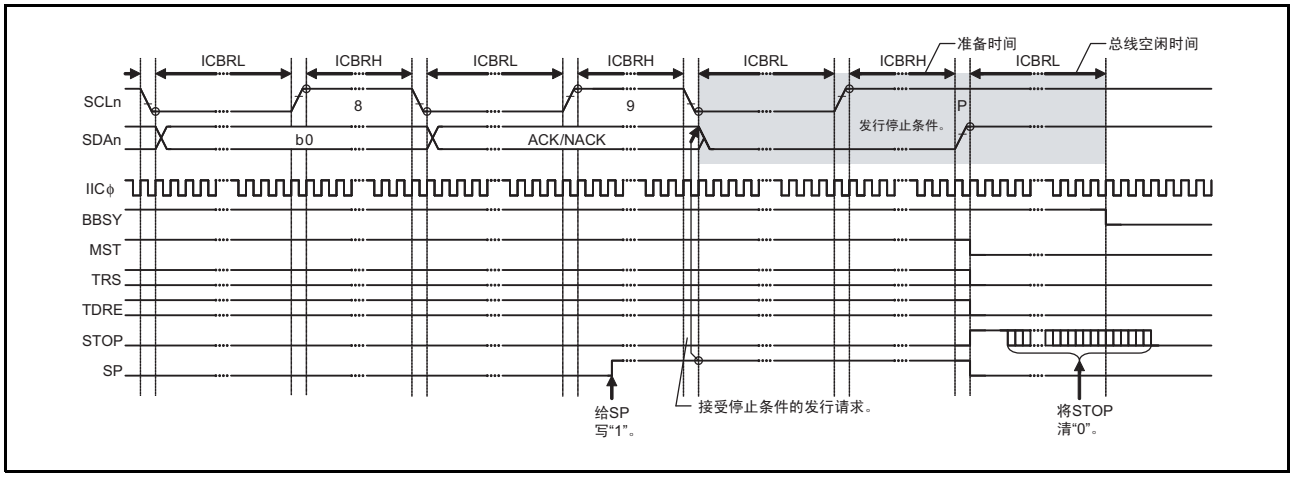


图 32.37 停止条件的发行时序 （SP 位）

32.11 总线意外停机

如果 I²C 总线主要因噪声等的影响而在主控设备和从属设备之间变为不同步，就可能在 SCLn 线和 SDAn 线被固定的状态下发生总线意外停机。

对于总线意外停机的状态，RIIC 具有超时检测功能（能通过监视 SCLn 线来检测总线意外停机状态）、SCL 时钟的追加输出功能 （用于解除因不同步引起的总线意外停机状态）和 RIIC/ 内部复位功能。

能通过 ICCR1.SCLO 位、 ICCR1.SDAO 位、 ICCR1.SCLI 位和 ICCR1.SDAI 位，确认是 RIIC 自身给 SCLn 线 /SDAn 线输出了 Low 电平还是通信设备输出了 Low 电平。

32.11.1 超时检测功能

RIIC 具有超时检测功能，检测 SCLn 线在一定时间后没有变化的状态。在总线忙的状态下，RIIC 能通过检测到 SCLn 线的 Low 电平或者 High 电平被固定了一定的时间以上，并且检测到总线的异常状态。

超时检测功能监视 SCLn 线的状态，通过内部计数器对 Low 电平或者 High 电平的时间进行计数。如果 SCLn 线有变化（上升 / 下降），就对内部计数器进行复位，否则就继续进行计数。如果在 SCLn 线没有变化的状态下内部计数器发生上溢， RIIC 就能检测到超时并且通知总线的异常状态。

超时检测功能在 ICFER.TMOE 位为 “1” 时有效，在主控模式中总线忙时 （ICCR2.BBSY 标志为 “1” 的状态），或者在从属模式中 BBSY 标志为 “1” 并且自己的从属地址匹配时 （ICSR1 寄存器 ≠00h），能检测到 SCLn 线被固定为 Low 电平或者 High 电平的总线异常状态。

超时检测功能的内部计数器将 ICMR1.CKS[2:0] 位设定的内部基准时钟 （IICϕ）作为计数源，在选择长模式时 （ICMR2.TMOS 位 =0），用作 16 位计数器；在选择短模式时 （TMOS 位 =1），用作 14 位计数器。

对于内部计数器的计数，能通过设定 ICMR2.TMOH 位和 ICMR2.TMOL 位选择是在 SCLn 线的 Low 电平还是在 High 电平的状态下进行计数，或者在 Low 电平和 High 电平的状态下都进行计数。如果将 ICMR2.TMOH 位和 ICMR2.TMOL 位都置 “0”，就不进行内部计数。

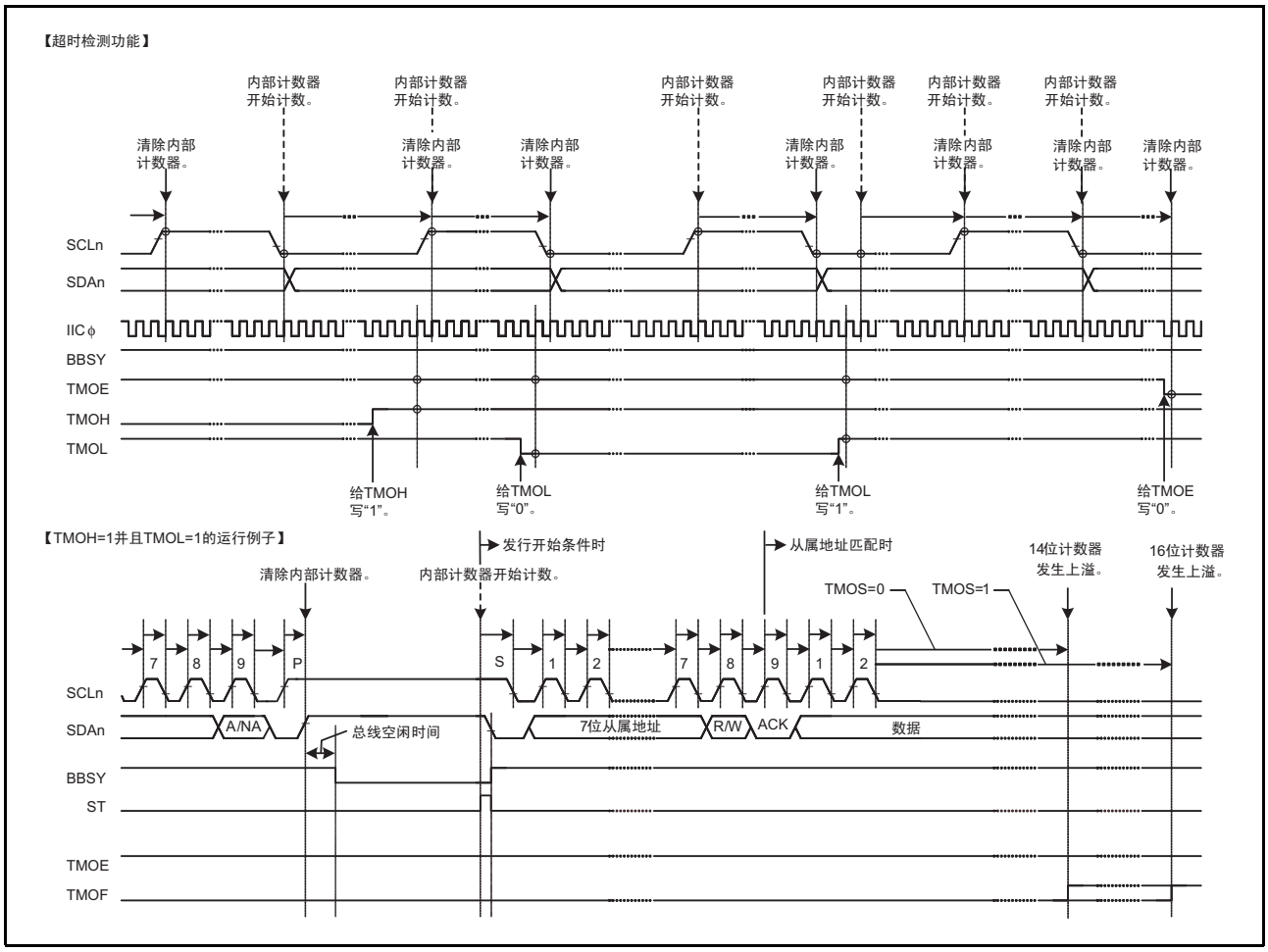


图 32.38 超时检测功能 （TMOE 位、 TMOS 位、 TMOH 位、 TMOL 位）

32.11.2 SCL 时钟追加输出功能

RIIC 具有 SCL 时钟的追加输出功能，在主控模式中用于释放因与从属设备不同步而使从属设备的 SDAn 线被固定为 Low 电平的状态。

SCL 时钟追加输出功能是以 1 个时钟为单位追加输出 SCL 时钟的功能，主要用于在主控模式中从属设备在 SDAn 线固定为 Low 电平的状态而无法发行停止条件时释放从属设备的 SDAn 线的固定状态。一般情况下，不使用此功能。如果在正常的通信过程中使用此功能，就可能引起通信异常。

对于 SCL 时钟的追加输出，如果将 ICCR1.CLO 位置 “1”，就将 ICMR1.CKS[2:0] 位、 ICBRH 寄存器和 ICBRL 寄存器所设传送速度的 SCL 时钟作为 1 个时钟的追加时钟进行输出。一旦输出完 1 个时钟周期的追加时钟， CLO 位就自动变为 “0”。因此，能通过软件在确认 CLO 位是 “0”后写 “1”，连续输出追加时钟。

在主控模式中，因噪声等的影响引起与从属设备不同步，导致从属设备将 SDAn 线固定为 Low 电平的状态而无法发行停止条件的总线异常。在这种情况下，RIIC 能通过使用 SCL 时钟追加输出功能逐个输出追加时钟，释放从属设备的 SDAn 线 Low 电平的固定状态，恢复总线状态。能通过检查 ICCR1.SDAI 位，确认此从属设备的 SDAn 线的释放。为了在确认从属设备的 SDAn 线被释放后结束通信，必须重新发行停止条件。

在使用此功能时，必须将 ICFER.MALE 位置 “0”（禁止主控仲裁失败检测）。必须注意：当 MALE 位为 “1”（允许主控仲裁失败检测）时，在 ICCR1.SDAO 位的值和 SDAn 线上的信号状态不同时会产生仲裁失败。

[ICCR1.CLO 位的输出条件]

- 在总线空闲状态 （ICCR2.BBSY 标志 =0）下或者在主控模式 （ICCR2.MST 位为 “1”并且 BBSY 标志为 “1”的状态）中
- 当通信设备没有保持 SCLn 线的 Low 电平状态时

SCL 时钟追加输出功能 （CLO 位）如图 32.39 所示。

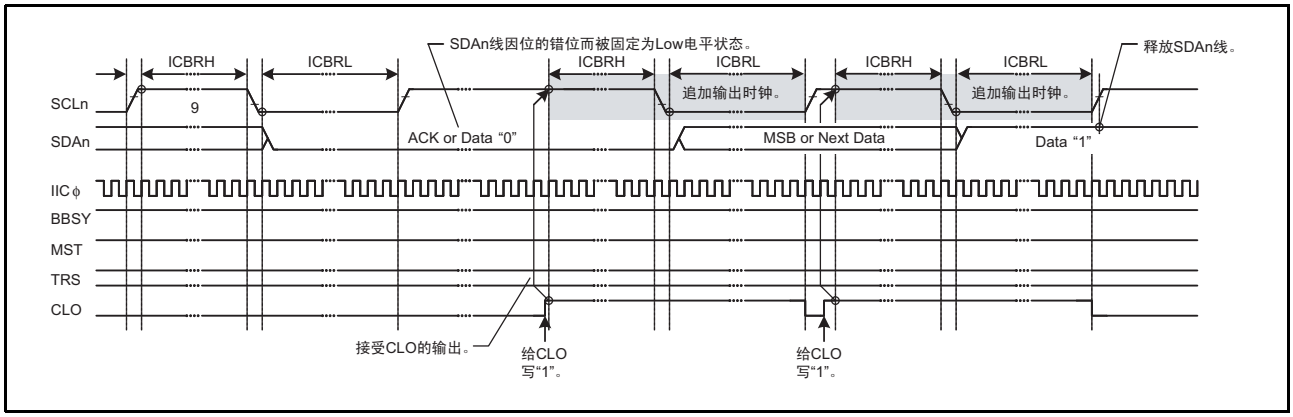


图 32.39 SCL 时钟追加输出功能 （CLO 位）

32.11.3 RIIC/ 内部复位

RIIC 具有对 RIIC 模块进行复位的功能。有 2 种复位，1 种是对包括 ICCR2.BBSY 标志在内的全部寄存器进行初始化的 RIIC 复位，另一种是在保持各种设定值的状态下解除从属地址匹配状态以及对内部计数器进行初始化等的内部复位。

复位后，必须将 ICCR1.IICRST 位置 “0”。

因为无论进行哪种复位都要解除 SCLn 引脚 /SDAn 引脚的输出状态而变为高阻抗状态，所以也能用于解除总线意外停机状态。

从属模式中的复位会引起与主控设备的不同步，因此尽量避免使用。必须注意：在 RIIC 复位 （ICCR1.ICE 位和 ICCR1.IICRST 位为 “01b”）过程中不能监视开始条件等的总线状态。

有关 RIIC/ 内部复位的详细内容，请参照 “32.14 复位状况”。

32.12 SMBus 运行

RIIC 能进行以 SMBus（Ver.2.0）为基准的通信。要进行 SMBus 通信时，必须将 ICMR3.SMBS 位置“1”。必须通过设定 ICMR1.CKS[2:0] 位、 ICBRH 寄存器和 ICBRL 寄存器，将传送速度设定在 SMBus 规格的 10kbps ～ 100kbps 范围内，通过设定 ICMR2.DLCS 位和 ICMR2.SDDL[2:0] 位的值，使数据的保持时间符合 300ns（min）的规格。在只将RIIC用作从属设备时，不需要设定传送速度，但是ICBRL的设定值至少为数据准备时间（250ns）的值。

对于 SMBus 设备的默认地址（1100 001b），必须使用从属地址寄存器 L0 ～ L2（SARL0、SARL1、SARL2）中的任意1个，并且必须将对应的SARUy.FS位（y=0～2）（7位/10位地址格式选择位）置“0”（7位地址格式）。

在发送 UDID （唯一设备标识符）时，必须将 ICFER.SALE 位置 “1”，使从属仲裁失败检测功能有效。

32.12.1 SMBus 超时测量

(1) 从属设备的超时测量

SMBus 通信的从属设备需要测量以下所示的区间 （超时间隔：$T_{LOW:SEXT}$）。

- 开始条件到停止条件的区间

在通过从属设备进行超时测量时，使用 RIIC 的开始条件检测中断 （STI）和停止条件检测中断 （SPI）并且通过 MTU 定时器或者 TMR 定时器，测量从检测到开始条件到检测到停止条件的时间。此超时的测量时间必须在 SMBus 规格的时钟 Low 电平的累积时间 [从属设备]$T_{LOW:SEXT}$：25ms （max）以内。

如果通过 MTU 或者 TMR 测量的时间超过 SMBus 规格的时钟 Low 电平检测的超时 $T_{TIMEOUT}$：25ms（min），从属设备就需要释放总线。从属设备释放总线时，必须给 ICCR1.IICRST 位写“1”，进行 RIIC 的内部复位。一旦进行内部复位，RIIC 就能中止 SCLn 引脚 /SDAn 引脚的总线驱动，并且将引脚置为高阻抗状态，因此能释放总线。

(2) 主控设备的超时测量

SMBus 通信的主控设备需要测量以下所示的区间 （超时间隔：$T_{LOW:MEXT}$）。

- 开始条件到应答位的区间
- 应答位到下一个应答位的区间
- 应答位到停止条件的区间

在通过主控设备进行超时测量时，使用 RIIC 的开始条件检测中断 （STI）、停止条件检测中断 （SPI）以及发送结束中断 （ICTEI）或者接收数据满中断 （ICRXI），通过 MTU 定时器或者 TMR 定时器测量各区间的时间。此超时的测量时间必须在 SMBus 规格的时钟 Low 电平的累积时间 [主控设备]$T_{LOW:MEXT}$：10ms （max）以内，开始条件到停止条件的全部 $T_{LOW:MEXT}$ 的累加结果必须在 $T_{LOW:SEXT}$：25ms （max）以内。

在主控发送模式中 （主控发送器），需要通过 ICSR2.TEND 标志监视 ACK 接收时序 （SMBCLK 的第 9 个时钟上升沿）；在主控接收模式中（主控接收器），需要通过 ICSR2.RDRF 标志监视 ACK 接收时序。因此，在主控发送时，进行 1 字节的发送；在主控接收时，必须在接收最后字节前将 ICMR3.RDRFS 位置“0”。当 RDRFS 位为 “0”时， RDRF 标志在 SMBCLK 的第 9 个时钟的上升沿变为 “1”。

如果通过 MTU 或者 TMR 测量的时间超过 SMBus 规格的时钟 Low 电平的累积时间 [主控设备]$T_{LOW:MEXT}$：10ms （max），或者各测量时间的累加结果超过 SMBus 规格的时钟 Low 电平检测的超时 $T_{TIMEOUT}$：25ms （min），主控设备就需要中止处理。在主控发送时，必须立即中止发送 （写 ICDRT 寄存器）。通过发行停止条件中止主控设备的处理。

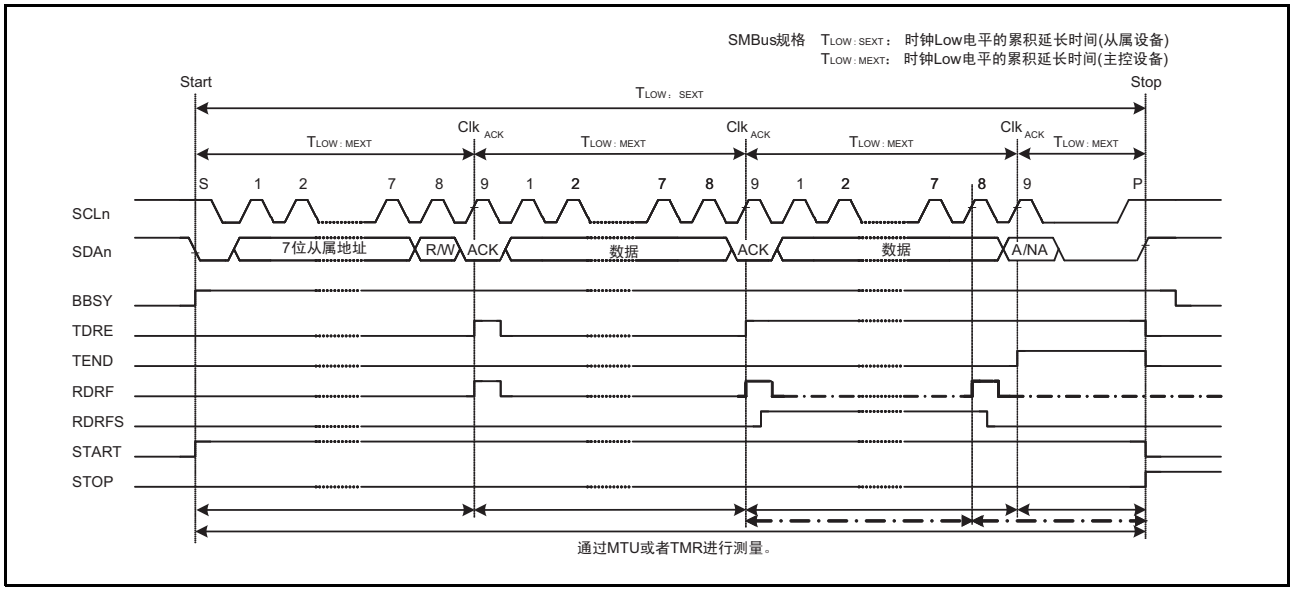


图 32.40 SMBus 超时测量

32.12.2 数据包错误码 （PEC）

RX630 群内置 CRC 运算器。在 RIIC 通信中，能利用 CRC 运算器，发送 SMBus 的数据包错误码 （PEC）或者检查接收数据。有关 CRC 运算器的多项式，请参照 “36. CRC 运算器 （CRC）”。

能通过给 CRC 运算器的 CRC 数据输入寄存器 （CRCDIR）写全部的发送数据，生成主控发送 （主控发送器）的 PEC 数据。

通过给 CRC 运算器的 CRCDIR 寄存器写全部的接收数据，得到 CRC 数据输出寄存器 （CRCDOR）的值，然后将此值和接收的 PEC 数据进行比较，检查主控接收 （主控接收器）的 PEC 数据。

在检查 PEC 码的过程中接收最后的字节接收时，根据是否匹配发送 ACK 或者 NACK，就必须在接收最后字节的 SMBCLK 的第 8 个时钟上升前将 ICMR3.RDRFS 位置 “1”，并且在第 8 个时钟的下降沿将 SCLn 线保持为 Low 电平。

32.12.3 SMBus 主机通知协议 /Notify ARP master

在 SMBus 中，从属设备能临时变为主控设备，将自己的从属地址通知给 SMBus 主机 （或者 ARP 主控），或者向 SMBus 主机 （或者 ARP 主控）请求自己的从属地址。

将 RX630 群用作 SMBus 主机 （或者 ARP 主控）时，需要将从属设备发送的主机地址 （0001 000b）作为从属地址进行检测， RIIC 具有此主机地址的检测功能。如果将主机地址作为从属地址进行检测，就必须将 ICMR3.SMBS 位和 ICSER.HOAE 位置 “1”。主机地址检测后的运行和普通的从属模式运行相同。

32.13 中断源

RIIC 的中断源有通信错误 / 事件的发生（仲裁失败检测、NACK 检测、超时检测、开始条件检测、停止条件检测）、接收数据满、发送数据空、发送结束共 4 种。

中断一览表如表 32.6 所示。能根据接收数据满和发送数据空的中断请求，在启动 DTC 或者 DMAC 后进行数据传送。

表 32.6 中断源

名称	中断源	中断标志	DTC 的启动	DMAC 的启动	优先级	中断条件
ICEEI	通信错误 / 事件的发生	AL	不能	不能	高	AL=1 并且 ALIE=1
		NACKF				NACKF=1 并且 NAKIE=1
		TMOF				TMOF=1 并且 TMOIE=1
		START				START=1 并且 STIE=1
		STOP				STOP=1 并且 SPIE=1
ICRXI	接收数据满	—	能	能		RDRF=1 并且 RIE=1
ICTXI	发送数据空	—	能	能		TDRE=1 并且 TIE=1
ICTEI	发送结束	TEND	不能	不能	低	TEND=1 并且 TEIE=1

必须在中断处理中清除或者屏蔽各自的标志。

【中断处理时的注意事项】

1. CPU 执行写外围模块的指令和实际写模块的时序有延迟。如果清除或者屏蔽中断标志，就必须重新读中断标志，并且在确认清除或者写屏蔽位结束后从中断处理返回。如果不确认已写完模块而从中断处理返回，就可能再次产生相同的中断。
2. 因为ICTXI中断为边沿中断，所以不需要清除。通过给ICDRT寄存器写发送数据或者检测到停止条件（ICSR2.STOP 标志 =1），作为 ICTXI 中断条件的 ICSR2.TDRE 标志自动变为 “0”。
3. 因为 ICRXI 中断为边沿中断，所以不需要清除。通过读 ICDRR 寄存器，作为 ICRXI 中断条件的 ICSR2.RDRF 标志自动变为 “0”。
4. 在使用 ICTEI 中断时，必须在 ICTEI 中断处理中清除 ICSR2.TEND 标志。通过给 ICDRT 寄存器写发送数据或者检测到停止条件 （ICSR2.STOP 标志 =1）， ICSR2.TEND 标志自动变为 “0”。

32.13.1 ICTXI 中断和 ICRXI 中断的缓冲运行

对于 ICTXI 中断和 ICRXI 中断，即使在 ICU.IRn.IR 标志为 “1” 时满足中断产生条件，也不将中断请求输出到 ICU 而保持在内部 （在内部能保持的容量是每个中断源 1 个请求）。

如果 ICU.IRn.IR 标志变为 “0”，就将保持的中断请求输出到 ICU。在一般使用的状态下，自动清除保持在内部的中断请求。

也能通过将对应的外围中断允许位置 “0” 来清除保持在内部的中断请求。

32.14 复位状况

RIIC 具有芯片复位、 RIIC 复位和内部复位的复位功能，各种复位的范围和状况如表 32.7 所示。

表 32.7 复位状况

		芯片复位	RIIC 复位（ICE 位 =0 并且 IICRST 位 =1）	内部复位（ICE 位 =1 并且 IICRST 位 =1）	开始条件 / 重新开始条件的检测	停止条件的检测
ICCR1	ICE、IICRST	复位	保持	保持	运行 （保持）	运行 （保持）
	SCLO、SDAO		复位	复位		
	其他			保持		
ICCR2	BBSY	复位	复位	运行	运行	运行
	ST			复位	复位	运行 （保持）
	其他					复位
ICMR1	BC[2:0]	复位	复位	复位	复位	运行 （保持）
	其他			保持	运行 （保持）	
ICMR2		复位	复位	保持	运行 （保持）	运行 （保持）
ICMR3		复位	复位	保持	运行 （保持）	运行 （保持）
ICFER		复位	复位	保持	运行 （保持）	运行 （保持）
ICSER		复位	复位	保持	运行 （保持）	运行 （保持）
ICIER		复位	复位	保持	运行 （保持）	运行 （保持）
ICSR1		复位	复位	复位	运行 （保持）	复位
ICSR2	TDRE、TEND	复位	复位	复位	运行 （保持）	复位
	START				运行	
	STOP				运行 （保持）	运行
	其他					运行 （保持）
SARL0、SARL1、SARL2 SARU0、SARU1、SARU2		复位	复位	保持	运行 （保持）	运行 （保持）
ICBRH、ICBRL		复位	复位	保持	运行 （保持）	运行 （保持）
ICDRT		复位	复位	保持	运行 （保持）	运行 （保持）
ICDRR		复位	复位	保持	运行 （保持）	运行 （保持）
ICDRS		复位	复位	复位	运行 （保持）	运行 （保持）
超时检测功能		复位	复位	运行	运行	运行
总线空闲时间的测量		复位	复位	运行	运行	运行

32.15 使用时的注意事项

32.15.1 模块停止功能的设定

能通过模块停止控制寄存器 B（MSTPCRB）或者模块停止控制寄存器 C（MSTPCRC）转移到模块停止状态或者解除模块停止状态，初始值为 RIIC 处于模块停止状态。通过解除模块停止状态，使 RIIC 的寄存器变为可存取的状态。

有关模块停止控制寄存器 B 和模块停止控制寄存器 C 的详细内容，请参照 “11. 低功耗功能”。

32.15.2 有关开始通信的注意事项

如果在开始通信 （ICCR1.ICE 位 =1）时 ICU.IRn.IR 标志为 “1”，就必须在允许运行前按以下步骤清除中断请求。如果在 ICU.IRn.IR 标志为 “1”的状态下开始通信 （ICCR1.ICE 位 =1），开始通信后的中断请求就被保持在内部，因此 ICU.IRn.IR 标志可能会发生意想不到的变化。

1. 确认ICCR1.ICE位是 “0”。
2. 将对应的外围中断允许位 （ICIER.TIE等）置 “0”。
3. 读对应的外围中断允许位 （ICIER.TIE等），确认是 “0”。
4. 将ICU.IRn.IR标志置 “0”。

33. CAN 模块 （CAN）

33.1 概要

RX630 群内置 3 个通道的符合 ISO11898-1 规格的 CAN（Controller Area Network）模块。CAN 模块能发送和接收标准 （11 位） IDentifier （以下省略为 ID）和扩展 （29 位） ID 这两种格式的信息。

CAN 模块的规格和框图 （i=0 ～ 2）如表 33.1 和图 33.1 所示。

必须外接 CAN 总线收发器。

表 33.1 CAN 模块的规格

项目	概要
协议	• 符合 ISO11898-1 规格 （标准帧 / 扩展帧）。
位速率	• 最大能对 1Mbps 的位速率 （fCAN ≥ 8MHz）进行编程。 fCAN：CAN 时钟源
信息箱	• 32 个信箱：可选择 2 种信箱模式 普通信箱模式：能将 32 个信箱设定为发件箱或者收件箱。 FIFO 信箱模式：能将 24 个信箱设定为发件箱或者收件箱。 能将剩余信箱的 4 段 FIFO 用作发件箱，另 4 段 FIFO 用作收件箱。
接收	• 能接收数据帧和远程帧。 • 可选择要接收的 ID 格式 （标准 ID 或者扩展 ID，或者标准 ID 和扩展 ID）。 • 可选择单次接收功能。 • 可选择盖写模式 （盖写信息）或者溢出模式 （放弃信息）。 • 能分别将各信箱设定为允许或者禁止接收结束中断。
验收滤波器	• 8 个验收屏蔽 （每 4 个信箱有一个独立的屏蔽） • 能分别给各信箱设定屏蔽的有效或者无效。
发送	• 能发送数据帧和远程帧。 • 可选择要发送的 ID 格式 （标准 ID 或者扩展 ID，或者标准 ID 和扩展 ID）。 • 可选择单次发送功能。 • 可选择 ID 优先发送模式或者信箱号优先发送模式。 • 能中止发送请求 （能通过标志确认中止结束）。 • 能分别给各信箱设定允许或者禁止发送结束中断。
总线断开恢复方法	• 可选择从总线断开状态恢复的方法。 符合 ISO11898-1 规格。 在总线断开开始时自动转移到 CAN Halt 模式。 在总线断开结束时自动转移到 CAN Halt 模式。 通过程序转移到 CAN Halt 模式。 通过程序转移到错误主动状态。
错误状态的监视	• 能监视 CAN 总线错误 （填充错误、格式错误、 ACK 错误、 CRC 错误、位错误、ACK 定界符错误）。 • 能检测到错误状态的转移 （错误警告、错误被动、总线断开开始、总线断开返回） • 能读错误计数器。
时戳功能	• 16 位计数器的时戳功能 • 基准时钟可选择 1 位、 2 位、 4 位或者 8 位时间。
中断功能	• 5 种中断源 （接收结束中断、发送结束中断、接收 FIFO 中断、发送 FIFO 中断、错误中断）
CAN 睡眠模式	• 能通过停止 CAN 时钟，减少消耗电流。
软件支持单元	• 3 个软件支持单元 支持验收滤波器。 支持信箱的搜索 （收件箱的搜索、发件箱的搜索、信息丢失的搜索）。 支持通道的搜索。
CAN 时钟源	外围模块时钟 （PCLK）和主时钟
测试模式	• 用户评价有 3 个测试模式： 监听专用模式 自测试模式 0 （外部环回） 自测试模式 1 （内部环回）
低功耗功能	能设定为模块停止状态

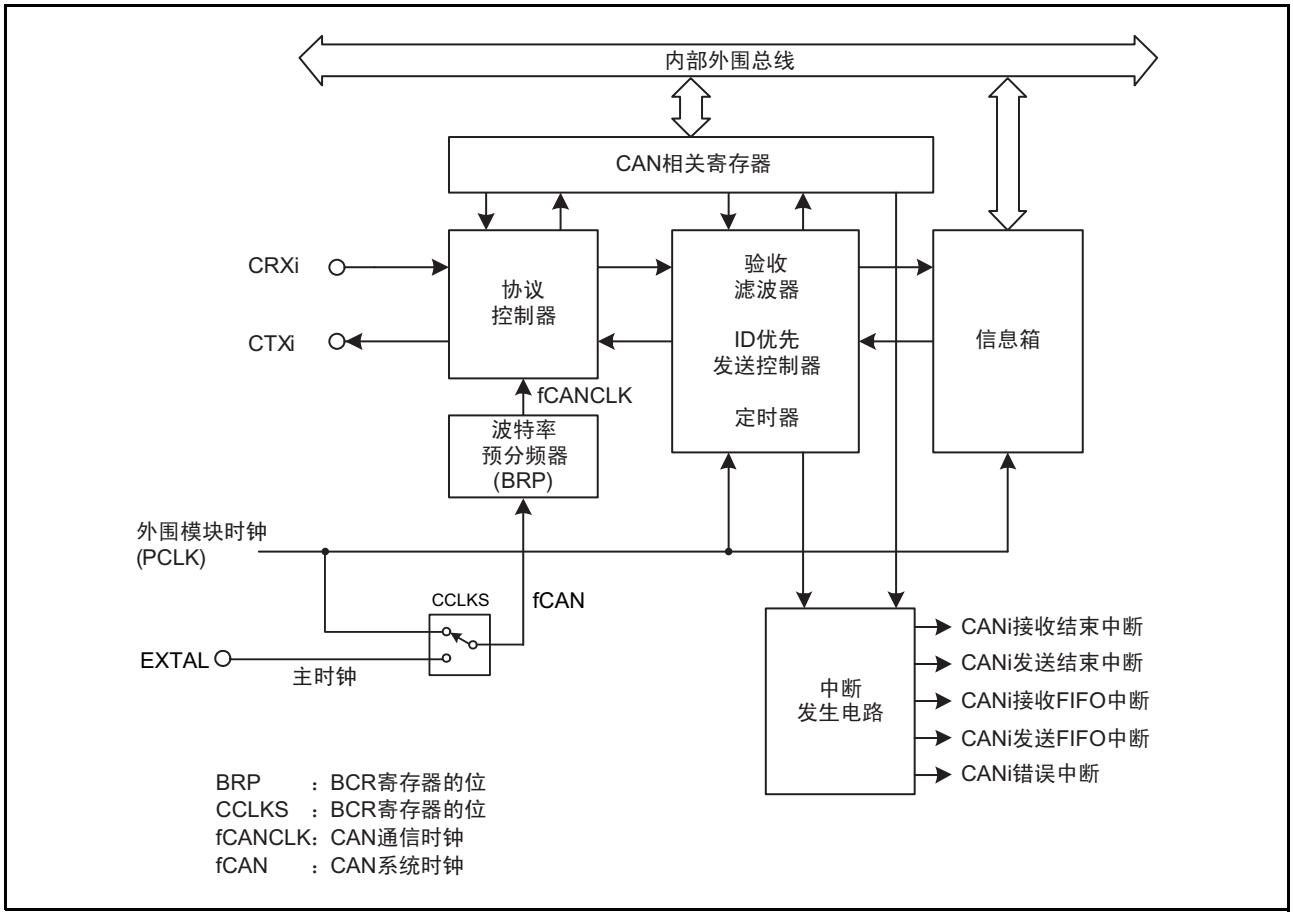


图 33.1 CAN 模块的框图 （i=0 ～ 2）

- CRXi、 CTXi （i=0～2）
  这是CAN的输入/输出引脚。
- 协议控制器
  进行总线仲裁以及发送/接收时的位时序、填充处理、错误处理等CAN协议处理。
- 信息箱
  由能用作发件箱或者收件箱的32个信箱构成，有固有的ID、数据长度代码、8字节的数据字段和时戳。
- 验收滤波器
  对接收信息进行过滤处理。使用MKR0～MKR7寄存器进行过滤处理。
- 定时器
  用于时戳功能。在将信息保存到信箱时，将定时器的值作为时戳值进行写操作。
- 中断发生电路
  能产生以下5种中断请求：
  CANi接收结束中断
  CANi发送结束中断
  CANi接收FIFO中断
  CANi发送FIFO中断
  CANi错误中断

CAN 模块使用的引脚如表 33.2 所示。
和其他功能多路复用的引脚需要进行引脚切换，详细内容请参照 “19. I/O 端口”。

表 33.2 CAN 模块的引脚结构

引脚名	输入 / 输出	功能
CRX0	输入	数据接收引脚
CTX0	输出	数据发送引脚
CRX1	输入	数据接收引脚
CTX1	输出	数据发送引脚
CRX2	输入	数据接收引脚
CTX2	输出	数据发送引脚

33.2 寄存器说明

33.2.1 控制寄存器 （CTLR）

地址 CAN0.CTLR 0009 0840h、CAN1.CTLR 0009 1840h、CAN2.CTLR 0009 2840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM
复位后的值	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	MBM	发件箱 / 收件箱模式选择位 （注 1）	0：普通信箱模式 1：FIFO 信箱模式	R/W
b2-b1	IDFM[1:0]	ID 格式模式位 （注 1）	b2 b1 0 0：标准 ID 模式 全部信箱 （包含 FIFO 信箱）只支持标准 ID。 0 1：扩展 ID 模式 全部信箱 （包含 FIFO 信箱）只支持扩展 ID。 1 0：混合 ID 模式 全部信箱 （包含 FIFO 信箱）支持标准 ID 和扩展 ID。在普通信箱模式中，通过对应信箱的 IDE 位指定标准 ID 和扩展 ID；在 FIFO 信箱模式中，通过对应信箱的 IDE 位指定信箱 [0] ～ [23]；通过 FIDCR0 寄存器和 FIDCR1 寄存器的IDE位指定接收FIFO；通过信箱[24]的 IDE 位指定发送 FIFO。 1 1：不能设定	R/W
b3	MLM	信息丢失模式选择位 （注 2）	0：盖写模式 1：溢出模式	R/W
b4	TPM	发送优先级模式选择位 （注 2）	0：ID 优先发送模式 1：信箱号优先发送模式	R/W
b5	TSRC	时戳计数器复位的位 （注 4）	0：不进行复位 1：进行复位 （注 3）	R/W

位	符号	位名	功能	R/W
b7-b6	TSPS[1:0]	时戳预分频器选择位 （注 1）	b7 b6 0 0：每 1 位时间 0 1：每 2 位时间 1 0：每 4 位时间 1 1：每 8 位时间	R/W
b9-b8	CANM[1:0]	CAN 运行模式选择位 （注 5）	b9 b8 0 0：CAN 操作模式 0 1：CAN 复位模式 1 0：CAN Halt 模式 1 1：CAN 复位模式 （强制转移）	R/W
b10	SLPM	CAN 睡眠模式位 （注 5、注 6）	0：不是 CAN 睡眠模式 1：CAN 睡眠模式	R/W
b12-b11	BOM[1:0]	总线断开恢复模式选择位 （注 1）	b12 b11 0 0：正常模式 （符合 ISO11898-1 规格） 0 1：在总线断开开始时自动转移到 CAN Halt 模式 1 0：在总线断开结束时自动转移到 CAN Halt 模式 1 1：通过程序的请求转移到 CAN Halt 模式 （在总线断开恢复期间中）	R/W
b13	RBOC	总线断开强制恢复位 （注 2）	0：不进行任何操作 1：强制从总线断开状态恢复 （注 3）	R/W
b15-b14	—	保留位	读写值都为 “0”。	R/W

注 1. 必须在 CAN 复位模式中更改 BOM[1:0]、 TSPS[1:0]、 TPM、 MLM、 IDFM[1:0] 和 MBM 位。

注 2. 必须在总线断开状态下将 RBOC 位置 “1”。

注 3. 在置 “1” 后自动变为 “0”，读取值为 “0”。

注 4. 必须在 CAN 操作模式中将 TSRC 位置 “1”。

注 5. 如果更改 CANM[1:0] 位和 SLPM 位，就必须通过 STR 寄存器确认模式已被转换。
在模式被转换前，不能更改 CANM[1:0] 位和 SLPM 位。

注 6. 必须在 CAN 复位模式或者 CAN Halt 模式中更改 SLPM 位。要改写 SLPM 位时，只能将此位置 “0” 或者 “1”。

MBM 位 （发件箱 / 收件箱模式选择位）

当 MBM 位为 “0”（普通信箱模式）时，将信箱 [0] ～ [31] 设定为发件箱或者收件箱。

当 MBM 位为 “1”（FIFO 信箱模式）时，将信箱 [0] ～ [23] 设定为发件箱或者收件箱，将信箱 [24] ～ [27] 设定为发送 FIFO，将信箱 [28] ～ [31] 设定为接收 FIFO。

将发送数据写到信箱 [24]（信箱 [24] 为发送 FIFO 的窗口信箱），从信箱 [28] 读接收数据 （信箱 [28] 为接收 FIFO 的窗口信箱）。

信箱的设定如表 33.3 所示。

IDFM[1:0] 位 （ID 格式模式位）

IDFM[1:0] 位决定 ID 格式。

MLM 位 （信息丢失模式选择位）

此位指定将新信息取到未读信箱时的运行。能选择盖写模式或者溢出模式。全部信箱（包含接收 FIFO）可选择盖写模式或者溢出模式。

当 MLM 位为 “0” 时，全部信箱为盖写模式，新信息覆盖信箱里的旧信息。

当 MLM 位为 “1” 时，全部信箱为溢出模式，放弃新信息。

TPM 位 （发送优先级模式选择位）

此位指定发送信息的优先级模式。

TPM 位可选择 ID 优先模式或者信箱号优先模式。全部信箱为 ID 优先发送或者信箱号优先发送。

当 TPM 位为 “0” 时，信箱为 ID 优先发送模式，发送优先级以 CAN 总线仲裁规则 （ISO11898-1 规格）为基准。在 ID 优先发送模式的情况下，在普通信箱模式中，将信箱 [0] ～ [31]ID 和发送 FIFO 的发件箱 ID 进行比较；在 FIFO 信箱模式中，将信箱 [0] ～ [23]ID 和发送 FIFO 的发件箱 ID 进行比较。当 2 个或者 2 个以上的信箱 ID 相同时，信箱号小的信箱优先。

只有发送 FIFO 内预定发送的信息为发送仲裁对象。在发送 FIFO 信息的发送过程中，发送 FIFO 内的下一个待机信息为发送仲裁对象。

当 TPM 位为 “1” 时，为信箱号优先发送模式，发件箱中信箱号最小的信箱优先。在 FIFO 信箱模式中，发送 FIFO 的优先级低于普通信箱 （信箱 [0] ～ [23]）。

TSRC 位 （时戳计数器复位的位）

如果将 TSRC 位置 “1”， TSR 寄存器就变为 “0000h”。此位自动变为 “0”。

TSPS[1:0] 位 （时戳预分频器选择位）

这些位选择时戳预分频器。时戳的基准时钟能选择 1 位、 2 位、 4 位或者 8 位时间。

CANM[1:0] 位 （CAN 运行模式选择位）

CANM[1:0] 位选择 CAN 模块的模式（CAN 操作模式、 CAN 复位模式和 CAN Halt 模式）。通过 SLPM 位设定 CAN 睡眠模式，详细内容请参照 “33.3 运行模式”。

如果通过设定 BOM[1:0] 位转移到 CAN Halt 模式， CANM[1:0] 位就自动变为 “10b”。

SLPM 位 （CAN 睡眠模式位）

如果将 SLPM 位置 “1”， CAN 模块就变为 CAN 睡眠模式；如果将 SLPM 位置 “0”，就解除 CAN 睡眠模式。详细内容请参照 “33.3 运行模式”。

BOM[1:0] 位 （总线断开返回模式选择位）

BOM[1:0] 位用于选择 CAN 模块的总线断开返回模式。

当 BOM[1:0] 位为 “00b” 时，总线断开的恢复符合 ISO11898-1 规格。即，在对 11 个连续的隐性位进行了 128 次的检测后， CAN 模块再次进行 CAN 通信 （错误主动状态）。在从总线断开状态恢复时，产生总线断开恢复中断请求。

当 BOM[1:0] 位为 “01b” 时，一旦 CAN 模块进入总线断开状态，就在 CTLR 寄存器的 CANM[1:0] 位变为 “10b”（CAN Halt 模式）后转移到 CAN Halt 模式。在从总线断开状态恢复时，不产生总线断开恢复中断请求，但是 TECR 寄存器和 RECR 寄存器变为 “00h”。

当 BOM[1:0] 位为 “10b” 时，一旦 CAN 模块进入总线断开状态， CANM[1:0] 位就变为 “10b”。在从总线断开状态恢复 （对 11 个连续的隐性位进行了 128 次的检测）后，转移到 CAN Halt 模式。在从总线断开状态恢复时，产生总线断开恢复中断请求，并且 TECR 寄存器和 RECR 寄存器变为 “00h”。

当 BOM[1:0] 位为 “11b” 时，如果在 CAN 模块还没有进入总线断开状态时将 CANM[1:0] 位置 “10b”，就进入 CAN Halt 模式。在从总线断开状态恢复时，不产生总线断开恢复中断请求而 TECR 寄存器和 RECR 寄存器变为 “00h”。但是，如果在将 CANM[1:0] 位置 “10b” 前对 11 个连续的隐性位进行了 128 次的检测，然后从总线断开状态恢复，就产生总线断开恢复中断请求。

如果在 CAN 模块转移到 CAN Halt 模式的同时（当 BOM[1:0] 位为 “01b” 时，总线断开开始；当 BOM[1:0] 位为 “10b” 时，总线断开结束） CPU 请求向 CAN 复位模式的转移，就优先 CPU 的请求。

RBOC 位 （总线断开强制恢复位）

如果在总线断开状态下将 RBOC 位置 “1”（强制从总线断开恢复），就强制从总线断开状态恢复。此位自动变为 “0”，错误状态从总线断开状态变为错误主动状态。如果将 RBOC 位置 “1”， RECR 寄存器和 TECR 寄存器就变为 “00h”， STR 寄存器的 BOST 位变为 “0”（CAN 模块不是总线断开状态）。即使将 RBOC 位置 “1”，其他寄存器也不变。在从总线断开状态恢复时，不产生总线断开恢复中断请求。只有在 BOM[1:0] 位为 “00b”（正常模式）时，才能使用 RBOC 位。

表 33.3 信箱的设定

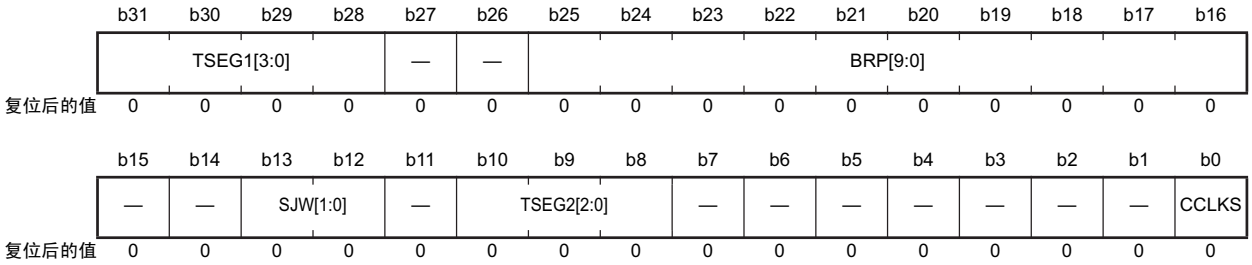
信箱	MBM 位 =0 （普通信箱模式）	MBM 位 =1 （FIFO 信箱模式）
信箱 [0] ～ [23]	普通信箱	普通信箱
信箱 [24] ～ [27]		发送 FIFO
信箱 [28] ～ [31]		接收 FIFO

注 . 在 CTLR.MBM 位为 “1” 时，必须注意以下 1. ～ 5. 的事项：

1. 通过TFCR寄存器控制发送FIFO，信箱[24]～[27]的MCTLj寄存器无效。
   MCTL24～MCTL27寄存器不能用于发送FIFO。
2. 通过RFCR寄存器控制接收FIFO，信箱[28]～[31]的MCTLj寄存器无效。
   MCTL28～MCTL31寄存器不能用于接收FIFO。
3. 有关FIFO中断，请参照MIER寄存器。
4. MKIVLR寄存器的信箱[24]～[31]的对应位无效。必须将这些位置 “0”。
5. 发送/接收FIFO能使用数据帧和远程帧。

33.2.2 位配置寄存器 （BCR）

地址 CAN0.BCR 0009 0844h、CAN1.BCR 0009 1844h、CAN2.BCR 0009 2844h



位	符号	位名	功能	R/W
b0	CCLKS	CAN 时钟源选择位	0：PLL 时钟 1：主时钟	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W
b10-b8	TSEG2[2:0]	时间段 2 控制位	b10 b8 0 0 0：（不能设定） 0 0 1：2Tq 0 1 0：3Tq 0 1 1：4Tq 1 0 0：5Tq 1 0 1：6Tq 1 1 0：7Tq 1 1 1：8Tq	R/W
b11	—	保留位	读写值都为 “0”。	R/W
b13-b12	SJW[1:0]	再同步转移宽度控制位	b13 b12 0 0：1Tq 0 1：2Tq 1 0：3Tq 1 1：4Tq	R/W
b15-b14	—	保留位	读写值都为 “0”。	R/W
b25-b16	BRP[9:0]	预分频器分频比选择位	设定 CAN 通信时钟 （fCANCLK）的频率。	R/W
b26	—	保留位	读写值都为 “0”。	R/W
b27	—	保留位	读写值都为 “0”。	R/W
b31-28	TSEG1[3:0]	时间段 1 控制位	b31 b28 0 0 0 0：（不能设定） 0 0 0 1：（不能设定） 0 0 1 0：（不能设定） 0 0 1 1：4Tq 0 1 0 0：5Tq 0 1 0 1：6Tq 0 1 1 0：7Tq 0 1 1 1：8Tq 1 0 0 0：9Tq 1 0 0 1：10Tq 1 0 1 0：11Tq 1 0 1 1：12Tq 1 1 0 0：13Tq 1 1 0 1：14Tq 1 1 1 0：15Tq 1 1 1 1：16Tq	R/W

Tq：Time Quantum

有关位时序的设定，请参照 “33.4 CAN 通信速度的设定”。

必须在从 CAN 复位模式转移到 CAN Halt 模式或者 CAN 操作模式前设定 BCR 寄存器。一旦设定，就能在 CAN 复位模式或者 CAN Halt 模式中进行更改。

BCR 寄存器为 24 位。必须注意：在进行 32 位存取时，不能改写 b0 ～ b7。

CCLKS 位 （CAN 时钟源选择位）

如果将 CCLKS 位置 “0”， CAN 时钟源 （fCAN）就使用 PPL 频率合成器生成的外围时钟 （PCLK）。

如果将 CCLKS 位置 “1”， CAN 时钟源 （fCAN）就不使用 PPL 频率合成器而使用外部 EXTAL 引脚输入的主时钟。

TSEG2[2:0] 位 （时间段 2 控制位）

这些位用 Tq 值指定阶段缓冲段 2（PHASE_SEG2）的长度，能设定 2 ～ 8Tq 的值。必须设定小于 TSEG1[3:0] 位的值。

SJW[1:0] 位 （再同步转移宽度控制位）

这些位用 Tq 值指定再同步转移宽度 （Resynchronization Jump Width），能设定 1 ～ 4Tq 的值。必须设定不超过 TSEG2[2:0] 位的值。

BRP[9:0] 位 （预分频器分频比选择位）

这些位用于设定 CAN 通信时钟 （fCANCLK）的频率。 fCANCLK 的周期为 1Tq，假设设定值为 P （0 ～ 1023），波特率预分频器就对 fCAN 进行 P+1 分频。

TSEG1[3:0] 位 （时间段 1 控制位）

这些位用 Time Quantum（Tq）值指定传输时间段（PROP_SEG）和阶段缓冲段 1（PHASE_SEG1）的总长度。能设定 4 ～ 16Tq 的值。

33.2.3 屏蔽寄存器 k （MKRk）（k=0 ～ 7）

地址 CAN0.MKR0 0009 0400h、CAN0.MKR1 0009 0404h、CAN0.MKR2 0009 0408h、CAN0.MKR3 0009 040Ch、
CAN0.MKR4 0009 0410h、CAN0.MKR5 0009 0414h、CAN0.MKR6 0009 0418h、CAN0.MKR7 0009 041Ch、
CAN1.MKR0 0009 1400h、CAN1.MKR1 0009 1404h、CAN1.MKR2 0009 1408h、CAN1.MKR3 0009 140Ch、
CAN1.MKR4 0009 1410h、CAN1.MKR5 0009 1414h、CAN1.MKR6 0009 1418h、CAN1.MKR7 0009 141Ch、
CAN2.MKR0 0009 2400h、CAN2.MKR1 0009 2404h、CAN2.MKR2 0009 2408h、CAN2.MKR3 0009 240Ch、
CAN2.MKR4 0009 2410h、CAN2.MKR5 0009 2414h、CAN2.MKR6 0009 2418h、CAN2.MKR7 0009 241Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	SID[10:0]											EID[17:0]	
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x： 不定值

位	符号	位名	功能	R/W
b17-b0	EID[17:0]	扩展 ID 位	0：不比较对应的 EID[17:0] 位 1：比较对应的 EID[17:0] 位	R/W
b28-b18	SID[10:0]	标准 ID 位	0：不比较对应的 SID[10:0] 位 1：比较对应的 SID[10:0] 位	R/W
b31-b29	—	保留位	读取值为不定值，只能写 “0”。	R/W

有关 FIFO 信箱模式中的屏蔽功能，请参照 “33.6 验收过滤功能和屏蔽功能”。
必须在 CAN 复位模式或者 CAN Halt 模式中更改 MKR0 ～ MKR7 寄存器。

EID[17:0] 位 （扩展 ID 位）

EID[17:0] 位是对应 CAN 扩展 ID 位的过滤屏蔽位。
在接收扩展 ID 的信息时使用这些位。
当 EID[17:0] 位为 “0”时，对应的 EID[17:0] 位不将接收的 ID 和信箱 ID 进行比较。
当 EID[17:0] 位为 “1”时，对应的 EID[17:0] 位将接收的 ID 和信箱 ID 进行比较。

SID[10:0] 位 （标准 ID 位）

SID[10:0] 位是对应 CAN 标准 ID 位的过滤屏蔽位。
在接收标准 ID 和扩展 ID 的信息时使用这些位。
当 SID[10:0] 位为 “0”时，对应的 SID[10:0] 位不将接收的 ID 和信箱 ID 进行比较。
当 SID[10:0] 位为 “1”时，对应的 SID[10:0] 位将接收的 ID 和信箱 ID 进行比较。

33.2.4 FIFO 接收 ID 比较寄存器 0、 1 （FIDCR0、 FIDCR1）

地址 CAN0.FIDCR0 0009 0420h、CAN0.FIDCR1 0009 0424h、CAN1.FIDCR0 0009 1420h、CAN1.FIDCR1 0009 1424h、CAN2.FIDCR0 0009 2420h、CAN2.FIDCR0 0009 2424h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	SID[10:0]											EID[17:0]	
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x： 不定值

位	符号	位名	功能	R/W
b17-b0	EID[17:0]	扩展 ID 位	0：对应的 EID[17:0] 位为 “0” 1：对应的 EID[17:0] 位为 “1”	R/W
b28-b18	SID[10:0]	标准 ID 位	0：对应的 SID[10:0] 位为 “0” 1：对应的 SID[10:0] 位为 “1”	R/W
b29	—	保留位	读取值为不定值，只能写 “0”。	R/W
b30	RTR	远程发送请求位	0：数据帧 1：远程帧	R/W
b31	IDE	ID 扩展位 （注 1）	0：标准 ID 1：扩展 ID	R/W

注 1. 在 IDFM[1:0] 位不是 “10b” 时，必须给 IDE 位写 “0”。读取值为 “0”。

在 CTLR 寄存器的 MBM 位为 “1”（FIFO 信箱模式）时， FIDCR0 寄存器和 FIDCR1 寄存器有效， MB28 ～ MB31 寄存器的 EID[17:0]、 SID[10:0]、 RTR 和 IDE 位无效。

有关 FIDCR0 寄存器和 FIDCR1 寄存器的使用方法，请参照 “33.6 验收过滤功能和屏蔽功能”。

必须在 CAN 复位模式或者 CAN Halt 模式中更改 FIDCR0 寄存器和 FIDCR1 寄存器。

EID[17:0] 位 （扩展 ID 位）

EID[17:0] 位设定数据帧和远程帧的扩展 ID。

在接收扩展 ID 的信息时使用这些位。

SID[10:0] 位 （标准 ID 位）

SID[10:0] 位设定数据帧和远程帧的标准 ID。

在接收标准 ID 和扩展 ID 的信息时使用这些位。

RTR 位 （远程发送请求位）

RTR 位设定被指定为数据帧或者远程帧的帧格式。

- 当FIDCR0寄存器和FIDCR1寄存器的RTR位都为 “0” 时，只能接收数据帧。
- 当FIDCR0寄存器和FIDCR1寄存器的RTR位都为 “1” 时，只能接收远程帧。
- 当FIDCR0寄存器的RTR位为 “0” 而FIDCR1寄存器的RTR位为 “1” 时，或者FIDCR0寄存器的RTR位为 “1” 而FIDCR1寄存器的RTR位为 “0” 时，能接收数据帧和远程帧。

IDE 位 （ID 扩展位）

IDE 位是设定被指定为标准 ID 或者扩展 ID 的 ID 格式。在 CTLR 寄存器的 IDFM[1:0] 位为 “10b”（混合 ID 模式）时， IDE 位有效。

- 当FIDCR0寄存器和FIDCR1寄存器的IDE位都为 “0”时，只能接收标准ID帧。
- 当FIDCR0寄存器和FIDCR1寄存器的IDE位都为 “1”时，只能接收扩展ID帧。
- 当FIDCR0寄存器的IDE位为 “0”而FIDCR1寄存器的IDE位为 “1”时，或者FIDCR0寄存器的IDE位为 “1”而FIDCR1寄存器的IDE位为 “0”时，能接收标准ID帧和扩展ID帧。

33.2.5 屏蔽无效寄存器 （MKIVLR）

地址 CAN0.MKIVLR 0009 0428h、CAN1.MKIVLR 0009 1428h、CAN2.MKIVLR 0009 2428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x： 不定值

位	符号	位名	功能	R/W
b31-b0	MB31～MB0	屏蔽无效位	0：屏蔽有效 1：屏蔽无效	R/W

MKIVLR 寄存器包含各信箱的对应位。

各位的对应如下所示：

MKIVLR 寄存器的 bit0 对应信箱 0 （MB0）， bit31 对应信箱 31 （MB31）（注 1）。

当该位为 “1”时，对于对应的信箱，该验收屏蔽寄存器无效。如果将屏蔽无效位置 “1”，就只在接收信息的 ID 和信箱 ID 完全相同时对应的信箱接收信息。

必须在 CAN 复位模式或者 CAN Halt 模式中更改 MKIVLR 寄存器。

注 1. 必须在 FIFO 信箱模式中将 bit31 ～ bit24 置 “0”。

33.2.6 信箱寄存器 j （MBj）（j=0 ～ 31）

CAN1 信箱的存储器分配和 CAN 数据帧的结构分别如表 33.4 和表 33.5 所示。

CAN1 信箱复位后的值为不定值。

只有在相关的 MCTLj 寄存器（j=0 ～ 31）为“00h”并且不在进行中止处理时，才能更改 MBj 寄存器的设定。

有关寄存器地址的详细内容，请参照表 33.4。

表 33.4 CAN1 信箱的存储器分配

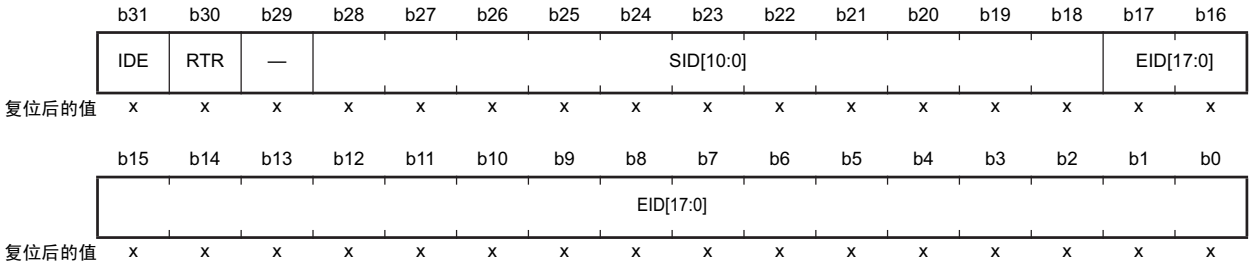
地址			信息内容
CAN0	CAN1	CAN2	存储器分配
0009 0200h+16×j+0	0009 1200h+16×j+0	0009 2200h+16×j+0	IDE、 RTR、 SID10 ～ SID6
0009 0200h+16×j+1	0009 1200h+16×j+1	0009 2200h+16×j+1	SID5 ～ SID0、 EID17、 EID16
0009 0200h+16×j+2	0009 1200h+16×j+2	0009 2200h+16×j+2	EID15 ～ EID8
0009 0200h+16×j+3	0009 1200h+16×j+3	0009 2200h+16×j+3	EID7 ～ EID0
0009 0200h+16×j+4	0009 1200h+16×j+4	0009 2200h+16×j+4	—
0009 0200h+16×j+5	0009 1200h+16×j+5	0009 2200h+16×j+5	数据长度代码 （DLC[3:0]）
0009 0200h+16×j+6	0009 1200h+16×j+6	0009 2200h+16×j+6	数据字节 0
0009 0200h+16×j+7	0009 1200h+16×j+7	0009 2200h+16×j+7	数据字节 1
0009 0200h+16×j+8	0009 1200h+16×j+8	0009 2200h+16×j+8	数据字节 2
0009 0200h+16×j+9	0009 1200h+16×j+9	0009 2200h+16×j+9	数据字节 3
0009 0200h+16×j+10	0009 1200h+16×j+10	0009 2200h+16×j+10	数据字节 4
0009 0200h+16×j+11	0009 1200h+16×j+11	0009 2200h+16×j+11	数据字节 5
0009 0200h+16×j+12	0009 1200h+16×j+12	0009 2200h+16×j+12	数据字节 6
0009 0200h+16×j+13	0009 1200h+16×j+13	0009 2200h+16×j+13	数据字节 7
0009 0200h+16×j+14	0009 1200h+16×j+14	0009 2200h+16×j+14	时戳高位字节
0009 0200h+16×j+15	0009 1200h+16×j+15	0009 2200h+16×j+15	时戳低位字节

表 33.5 CAN 数据帧的结构

SID10 ～ SID6	SID5 ～ SID0	EID17 ～ EID16	EID15 ～ EID8	EID7 ～ EID0	DLC3 ～ DLC0	DATA0	DATA1	・・・	DATA7

只要不接收新信息，各信箱的内容就保持以前的值。

地址 CAN0.MB0～CAN0.MB63 0009 0200h～0009 03FFh、CAN1.MB0～CAN1.MB63 0009 1200h～0009 13FFh、CAN2.MB0～CAN2.MB63 0009 2200h～0009 23FFh

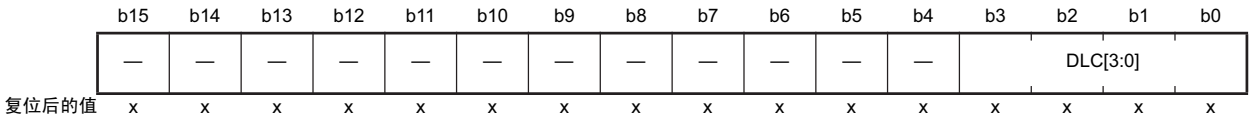


x： 不定值

位	符号	位名	功能	R/W
b17-b0	EID[17:0]	扩展 ID 位 （注 1）	0：对应的 EID[17:0] 位为 “0” 1：对应的 EID[17:0] 位为 “1”	R/W
b28-b18	SID[10:0]	标准 ID 位	0：对应的 SID[10:0] 位为 “0” 1：对应的 SID[10:0] 位为 “1”	R/W
b29	—	保留位	读取值为不定值，只能写 “0”。	R/W
b30	RTR	远程发送请求位	0：数据帧 1：远程帧	R/W
b31	IDE	ID 扩展位 （注 2）	0：标准 ID 1：扩展 ID	R/W

注 1. 如果信箱接收到标准 ID 的信息，信箱 EID[17:0] 位的值就为不定值。

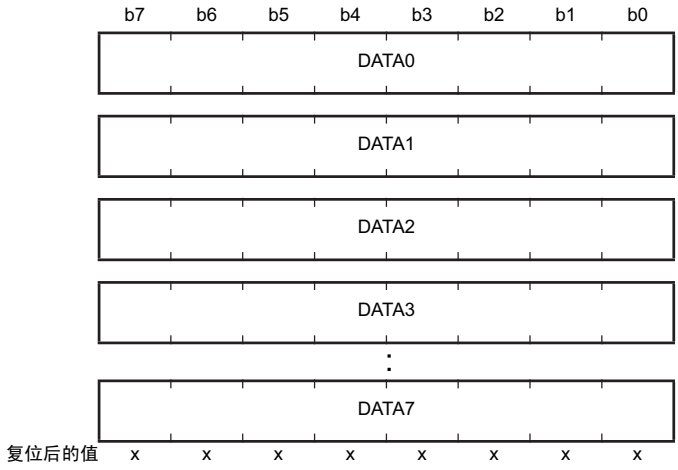
注 2. 在 CTLR 寄存器的 IDFM[1:0] 位为 “10b”（混合 ID 模式）时， IDE 位有效。在 IDFM[1:0] 位不是 “10b” 时，必须给 IDE 位写 “0”。读取值为 “0”。



x： 不定值

位	符号	位名	功能	R/W
b3-b0	DLC[3:0]	数据长度代码位 （注 1）	b3 b0 0 0 0 0：数据长度为 0 字节 0 0 0 1：数据长度为 1 字节 0 0 1 0：数据长度为 2 字节 0 0 1 1：数据长度为 3 字节 0 1 0 0：数据长度为 4 字节 0 1 0 1：数据长度为 5 字节 0 1 1 0：数据长度为 6 字节 0 1 1 1：数据长度为 7 字节 1 x x x：数据长度为 8 字节 注 1. x：任意值	R/W
b15-b4	—	保留位	读取值为不定值，只能写 “0”。	R/W

注 1. 如果信箱接收到小于 8 字节的 DLC[3:0] 的信息，大于信箱 DLC[3:0] 的 DATA 就为不定值。

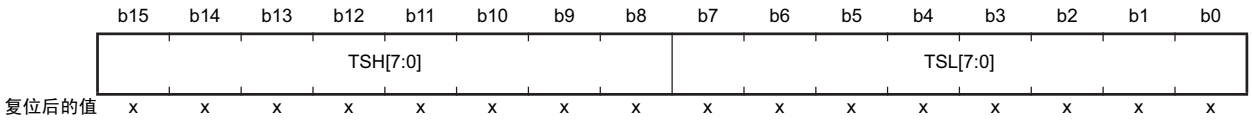


x： 不定值

位	符号	位名	功能	R/W
b7-b0	DATA0-DATA7	数据长度代码位 （注 1、注 2）	DATA0 ～ 7 保存发送或者接收的 CAN 信息数据。从 DATA 发送或者接收 CAN 信息数据。以 MSB first 方式从 bit7 开始发送或者接收 CAN 总线上的位序。	R/W

注 1. 如果信箱接收到小于 8 字节的 n 字节的信息，信箱的 DATA0 ～ DATA7 的值就为不定值。

注 2. 如果信箱接收到远程帧，信箱的 DATA0 ～ DATA7 就保持以前的值。



x： 不定值

位	符号	位名	功能	R/W
b7-b0	TSL[7:0]	时戳的低位字节	TSH[7:0] 和 TSL[7:0] 保存接收信息被取到信箱时的时戳计数器的值。	R/W
b15-b8	TSH[7:0]	时戳的高位字节		R/W

EID[17:0] 位 （扩展 ID 位）

EID[17:0] 位设定数据帧和远程帧的扩展 ID。

在接收扩展 ID 的信息时使用这些位。

SID[10:0] 位 （标准 ID 位）

SID[10:0] 位设定数据帧和远程帧的标准 ID。

在接收标准 ID 和扩展 ID 的信息时使用这些位。

RTR 位 （远程发送请求位）

RTR 位设定被指定为数据帧或者远程帧的帧格式。

- 收件箱只接收由RTR位指定格式的帧。
- 发件箱根据RTR位指定的帧格式进行发送。
- 接收FIFO信箱接收由FIDCR0寄存器和FIDCR1寄存器的RTR位指定的数据帧和远程帧。
- 发送FIFO信箱发送由相关发送信息的RTR位选择的数据帧或者远程帧。

IDE 位 （ID 扩展位）

IDE 位设定被指定为标准 ID 或者扩展 ID 的 ID 格式。在 CTLR 寄存器的 IDFM[1:0] 位为 “10b”（混合 ID 模式）时， IDE 位有效。

- 收件箱只接收由IDE位指定的ID格式
- 发件箱根据IDE位指定的ID格式进行发送。
- 接收FIFO信箱接收由FIDCR0寄存器和FIDCR1寄存器的IDE位指定的标准ID和扩展ID。
- 发送FIFO信箱发送由相关发送信息的IDE位选择的标准ID或者扩展ID的信息

DLC[3:0] 位 （数据长度代码位）

DLC[3:0] 位设定在数据帧中要发送的数据字节数。在使用远程帧请求数据时，这些位设定要请求的数据字节数。

如果接收到数据帧，就保存接收的数据字节数；如果接收到远程帧，就保存请求的数据字节数。

33.2.7 信箱中断允许寄存器 （MIER）

地址 CAN0.MIER 0009 042Ch、CAN1.MIER 0009 142Ch、CAN2.MIER 0009 242Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x： 不定值

- 普通信箱模式

位	符号	位名	功能	R/W
b31-b0	MB31～MB0	中断允许位	0：禁止中断 1：允许中断 bit31 对应信箱 31 （MB31）， bit0 对应信箱 0 （MB0）。	R/W

- FIFO信箱模式

位	符号	位名	功能	R/W
b23-b0	MB23～MB0	中断允许位	0：禁止中断 1：允许中断 bit23 对应信箱 23 （MB23）， bit0 对应信箱 0 （MB0）。	R/W
b24	MB24	发送 FIFO 中断允许位	0：禁止中断 1：允许中断	R/W
b25	MB25	发送 FIFO 中断产生时序控制位	0：在每次发送结束后，产生发送 FIFO 中断请求。 1：在因发送结束而使发送 FIFO 变为空状态时，产生发送 FIFO 中断请求。	R/W
b27-b26	—	保留位	读取值为不定值，只能写 “0”。	R/W

位	符号	位名	功能	R/W
b28	MB28	接收 FIFO 中断允许位	0：禁止中断 1：允许中断	R/W
b29	MB29	接收 FIFO 中断产生时序控制位 （注 1）	0：在每次接收结束后，产生接收 FIFO 中断请求。 1：在因接收结束而使接收 FIFO 变为缓冲警告时，产生接收 FIFO 中断请求。	R/W
b31-b30	—	保留位	读取值为不定值，只能写 “0”。	R/W

注 1. 如果接收 FIFO 从满状态变为缓冲警告，就不产生中断请求。缓冲警告是指接收 FIFO 保存了第 3 条信息的状态。

MIER 寄存器能将各信箱分别设定为中断允许状态。

在普通信箱模式 （全部位）和 FIFO 信箱模式 （MIER 寄存器的 bit24 ～ 0）中，各位分别对应各信箱。这些位允许或者禁止对应信箱的发送结束中断和接收结束中断。

- MIER 寄存器的 bit0 对应信箱 0 （MB0）。
- MIER 寄存器的 bit31 对应信箱 31 （MB31）。

FIFO 信箱模式的 MIER 寄存器的 bit29、28、25、24 允许或者禁止发送 / 接收 FIFO 中断以及指定中断请求的产生时序。

只有在相关的 MCTLj 寄存器 （j=0 ～ 31）为 “00h” 并且对应的信箱还没有进行发送 / 接收中止处理时，才能更改 MIER 寄存器。在 FIFO 运行模式中，只有在 TFCR.TFE 位为 “0” 并且 TFEST 位为 “1” 以及 RFCR.RFE 位为 “0” 并且 RFCR.RFEST 位为 “1” 时，才能更改相关的 FIFO 的 MIER 寄存器位。

33.2.8 信息控制寄存器 j （MCTLj）（j=0 ～ 31）

地址 CAN0.MCTL0～CAN0.MCTL31 0009 0820h～0009 083F、CAN1.MCTL0～CAN1.MCTL310009 1820h～0009 183F、CAN2.MCTL0～CAN2.MCTL31 0009 2820h～0009 283F

• 发送模式(TRMREQ位为“1”并且RECREQ位为“0”的情况)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
复位后的值	0	0	0	0	0	0	0	0

• 接收模式(TRMREQ位为“0”并且RECREQ位为“1”的情况)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALDATA	NEWDATA
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SENTDATA	发送结束标志 （注 1、注 2）	0：发送未结束 1：发送结束	R/W
	NEWDATA	接收结束标志 （注 1、注 2）	0：未接收到数据或者给 NEWDATA 位写 “0” 1：正在或者已经将新信息保存到信箱	R/W
b1	TRMACTIVE	发送过程中的状态位	（此位在设定为发件箱时有效。） 0：正处于发送待机或者没有发送请求 1：从取发送请求到发送结束、发生错误或者仲裁失败为止	R
	INVALDATA	接收过程中的状态位	（此位在设定为收件箱时有效） 0：信息有效 1：正在更新信息	R
b2	TRMABT	发送中止结束标志 （注 1、注 2）	（此位在设定为发件箱时有效） 0：开始发送，或者发送中止因发送结束而失败，或者未请求发送中止。 1：发送中止结束	R/W
	MSGLOST	信息丢失标志 （注 1、注 2）	（此位在设定为收件箱时有效） 0：未盖写信息或者信息未溢出 1：盖写信息或者信息溢出	R/W
b3	—	保留位	读写值都为 “0”。	R/W
b4	ONESHOT	单次允许位 （注 3）	0：禁止单次接收或者单次发送 1：允许单次接收或者单次发送	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	RECREQ	收件箱设定位 （注 2、注 3、注 4、注 5）	0：不设定为收件箱 1：设定为收件箱	R/W
b7	TRMREQ	发件箱设定位 （注 2、注 4）	0：不设定为发件箱 1：设定为发件箱	R/W

注 1. 只能写 “0”（即使写 “1”，值也不变）

注 2. 当通过程序给 NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ 和 TRMREQ 位写 “0” 时，不能使用逻辑运算 （AND）指令。必须使用传送 （MOV）指令将想置 “0” 的位置 “0” 而将其他位置 “1”。

注 3. 要转移到单次接收模式时，必须在将 RECREQ 位置 “1” 的同时给 ONESHOT 位写 “1”；要解除单次接收模式时，必须给 RECREQ 位写 “0”，然后在确认 RECREQ 位已变为 “0” 后给 ONESHOT 位写 “0”。要转移到单次发送模式时，必须在将 TRMREQ 位置 “1” 的同时给 ONESHOT 位写 “1”；要解除单次发送模式时，必须在发送或者中止信息后给 ONESHOT 位写 “0”。

注 4. 不能将 RECREQ 位和 TRMREQ 位都置 “1”。

注 5. 要将 RECREQ 位置 “0” 时，必须同时将 NEWDATA、MSGLOST 标志和 RECREQ 位同时置 “0”。

必须在 CAN 操作模式或者 CAN Halt 模式中更改 MCTLj 寄存器。

不能在 FIFO 信箱模式中使用 MCTL24 ～ MCTL31 寄存器。

SENTDATA 标志 （发送结束标志）

当对应信箱的数据发送结束时， SENTDATA 标志变为 “1”。如果通过程序给 SENTDATA 标志写 “0”，此标志就变为 “0”。

要将 SENTDATA 标志置“0”时，必须在将 TRMREQ 位置“0”后将 SENTDATA 标志置“0”。SENTDATA 标志和 TRMREQ 位不同时变为 “0”。要从信箱发送新信息时，必须将 SENTDATA 标志置 “0”。

NEWDATA 标志 （接收结束标志）

当正在或者已经将新信息保存到信箱时， NEWDATA 标志变为 “1”。 NEWDATA 标志和 INVALDATA 位同时变为“1”。如果通过程序给 NEWDATA 标志写“0”，NEWDATA 标志就变为“0”。在相关的 INVALDATA 位为 “1” 期间，即使通过程序给 NEWDATA 标志写 “0”，此标志也不会变为 “0”。

TRMACTIVE 位 （发送过程中的状态位）

一旦从 CAN 模块开始发送对应信箱的信息，TRMACTIVE 位就变为“1”。如果 CAN 模块发生 CAN 总线仲裁失败、 CAN 总线错误或者数据发送结束， TRMACTIVE 位就变为 “0”。

INVALDATA 位 （接收过程中的状态位）

在接收完信息后或者正在更新信箱中的接收信息时， INVALDATA 位变为 “1”。在保存完信息时，INVALDATA 位变为 “0”。如果在 INVALDATA 位为 “1” 期间读信箱，数据就为不定值。

TRMABT 标志 （发送中止结束标志）

在以下情况下， TRMABT 标志变为 “1”（发送中止结束）：

- 在发送中止请求之后并且在开始发送前，发送中止结束。
- 在发送中止请求之后，检测到CAN模块发生CAN总线仲裁失败或者CAN总线错误。
- 在单次发送模式（RECREQ位为“0”，TRMREQ位为“1”，ONESHOT位为“1”）中，检测到CAN模块发生CAN总线仲裁失败或者CAN总线错误。

即使数据发送结束， TRMABT 标志也不变为 “1”。当数据发送结束时， SENTDATA 标志变为 “1”。如果通过程序给 TRMABT 标志写 “0”，此标志就变为 “0”。

MSGLOST 标志 （信息丢失标志）

在 NEWDATA 标志为 “1” 期间，如果因新的接收信息而覆盖或者放弃信箱里的旧信息， MSGLOST 标志就变为 “1”。在 EOF 的第 6 位结束时，此标志为 “1”。如果通过程序给 MSGLOST 标志写 “0”，此标志就变为 “0”。

在盖写模式和溢出模式中，在 EOF 的第 6 位之后的 5 个外围模块时钟 （PCLK）期间，即使通过程序给 MSGLOST 标志写 “0”，此标志也不变为 “0”。

ONESHOT 位 （单次允许位）

ONESHOT 位有接收模式和发送模式两种使用方法。

- 单次接收模式
  如果在接收模式 （RECREQ位为 “1” 并且TRMREQ位为 “0”）中将ONESHOT位置 “1”，信箱就只接收1次信息 （在接收1次信息后，不用作收件箱）。 NEWDATA标志和INVALDATA位的变化和普通接收模式相同。在此模式中， MSGLOST标志不变为 “1”。要将ONESHOT位置 “0” 时，必须在给RECREQ位写 “0” 并且确认RECREQ位已变为 “0” 后进行设定。
- 单次发送模式
  如果在发送模式 （RECREQ位为 “0” 并且TRMREQ位为 “1”）中将ONESHOT位置 “1”， CAN模块就只发送1次信息 （即使发生CAN总线错误或者CAN总线仲裁失败，也不重新发送信息）。当发送结束时， SENTDATA 标志变为 “1” 。在因 CAN 总线错误或者 CAN 总线仲裁失败而不结束发送时，TRMABT标志为 “1”。要将ONESHOT位置 “0” 时，必须在SENTDATA标志变为 “1” 或者TRMABT标志变为 “1” 后进行设定。

RECREQ 位 （收件箱设定位）

RECREQ 位选择表 33.10 所示的接收模式。

如果将 RECREQ 位置 “1”，就将对应的信箱设定为接收数据帧或者远程帧。

如果将 RECREQ 位置 “0”，就不将对应的信箱设定为接收数据帧或者远程帧。

在以下期间内进行硬件保护，即使通过程序给 RECREQ 位写 “0”，此位也不变为 “0”。

- 硬件保护的开始
  开始验收过滤处理 （CRC字段的开始）。

- 硬件保护的解除
  — 被指定为接收信息的信箱在将接收信息保存到信箱后或者发生CAN总线错误后（即，硬件保护的最大期间是从CRC字段开始到EOF的第7位结束）
  — 在其他信箱进行验收过滤处理后
  — 在没有收件箱的情况下进行验收过滤处理后
  在将 RECREQ 位置 “1” 时，不能将 TRMREQ 位置 “1”。在将信箱的设定从发送改为接收时，必须在改为接收前先中止发送，然后将SENTDATA标志和TRMABT标志置 “0”。

TRMREQ 位 （发件箱设定位）

TRMREQ 位选择表 33.10 所示的发送模式。

如果将 TRMREQ 位置 “1”，就将对应的信箱设定为发送数据帧或者远程帧。

如果将 TRMREQ 位置 “0”，就不将对应的信箱设定为发送数据帧或者远程帧。

如果为了取消发送请求而将 TRMREQ 位从 “1” 改为 “0”， TRMABT 标志或者 SENTDATA 标志就变为 “1”。在将 TRMREQ 位置 “1” 时，不能将 RECREQ 位置 “1”。要将信箱的设定从接收改为发送时，必须在改为发送前先中止接收，然后将 NEWDATA 标志和 MSGLOST 标志置 “0”。

33.2.9 接收 FIFO 控制寄存器 （RFCR）

地址 CAN0.RFCR 0009 0848h、CAN1.RFCR 0009 1848h、CAN2.RFCR 0009 2848h

	b7	b6	b5	b4	b3	b2	b1	b0
	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RFE	接收 FIFO 允许位	0：禁止接收 FIFO 1：允许接收 FIFO	R/W
b3-b1	RFUST[2:0]	接收 FIFO 未读信息数状态位	b3 b1 0 0 0：没有未读信息 0 0 1：有 1 条未读信息 0 1 0：有 2 条未读信息 0 1 1：有 3 条未读信息 1 0 0：有 4 条未读信息 1 0 1：保留 1 1 0：保留 1 1 1：保留	R
b4	RFMLF	接收 FIFO 信息丢失标志	0：未发生接收 FIFO 的信息丢失 1：发生接收 FIFO 的信息丢失	R/W
b5	RFFST	接收 FIFO 满状态位	0：接收 FIFO 未满 1：接收 FIFO 满 （有 4 条未读信息）	R
b6	RFWST	接收 FIFO 缓冲警告状态标志	0：接收 FIFO 不是缓冲警告状态 1：接收 FIFO 是缓冲警告状态 （有 3 条未读信息）	R
b7	RFEST	接收 FIFO 空状态标志	0：接收 FIFO 有未读信息 1：接收 FIFO 没有未读信息	R

必须在 CAN 操作模式或者 CAN Halt 模式中更改 RFCR 寄存器。

RFE 位 （接收 FIFO 允许位）

如果将 RFE 位置 “1”，接收 FIFO 就为接收允许状态。

如果将 RFE 位置“0”，接收 FIFO 就为接收禁止状态或者空状态（RFEST 位为“1”）。必须同时给 RFMLF 位和 RFE 位写 “0”。

在普通信箱模式 （CTLR 寄存器的 MBM 位为 “0”）中，不能将 RFE 位置 “1”。在以下期间内进行硬件保护，即使通过程序给 RFE 位写 “0”，此位也不变为 “0”。

- 硬件保护的开始
  - — 开始接收过滤处理 （CRC字段的开始）
- 硬件保护的解除
  - — 在将接收 FIFO 指定为接收信息的情况下将接收信息保存到接收 FIFO 后或者发生 CAN 总线错误后（即，硬件保护的最大期间是从CRC字段开始到EOF的第7位结束）
  - — 在不指定接收FIFO的情况下进行接收过滤处理后

RFUST[2:0] 位 （接收 FIFO 未读信息数状态位）

RFUST[2:0] 位表示接收 FIFO 内未读信息的数量。

如果将 RFE 位置 “0”， RFUST[2:0] 位的值就变为 “000b”。

RFMLF 标志 （接收 FIFO 信息丢失标志）

如果在接收 FIFO 满时接收到新信息，RFMLF 位就变为“1”（发生接收 FIFO 的信息丢失）。在 EOF 的第 6 位结束时，此标志变为 “1”。

如果通过程序给 RFMLF 位写 “0”，此位就变为 “0”。即使写 “1”，值也不变。在溢出模式或者盖写模式中，如果接收 FIFO 满并且已决定接收信息，就在 EOF 的第 6 位之后的 5 个外围模块时钟 （PCLK）周期期间，因硬件保护而使 RFMLF 位不变为 “0”（未发生接收 FIFO 的信息丢失）。

RFFST 位 （接收 FIFO 满状态位）

当接收 FIFO 内有 4 条未读信息时，RFFST 位为“1”（接收 FIFO 满状态）；当接收 FIFO 内不足 4 条未读信息时， RFFST 位为 “0”（接收 FIFO 未满）。如果将 RFE 位置 “0”， RFFST 位就变为 “0”。

RFWST 标志 （接收 FIFO 缓冲警告状态标志）

当接收 FIFO 内有 3 条未读信息时， RFWST 位为 “1”（接收 FIFO 为缓冲警告状态）；当接收 FIFO 内的未读信息不足 3 条或者有 4 条时，RFWST 位为“0”（接收 FIFO 不是缓冲警告状态）。如果将 RFE 位置“0”，RFWST 位就变为 “0”。

RFEST 标志 （接收 FIFO 空状态标志）

当接收 FIFO 内没有未读信息时， RFEST 位为 “1”（接收 FIFO 没有未读信息）。如果将 RFE 位置 “0”，RFEST 位就变为 “1”。当接收 FIFO 内有 1 条或者 1 条以上的未读信息时， RFEST 位为 “0”（接收 FIFO 有未读信息）。

接收 FIFO 信箱的运行如图 33.2 所示。

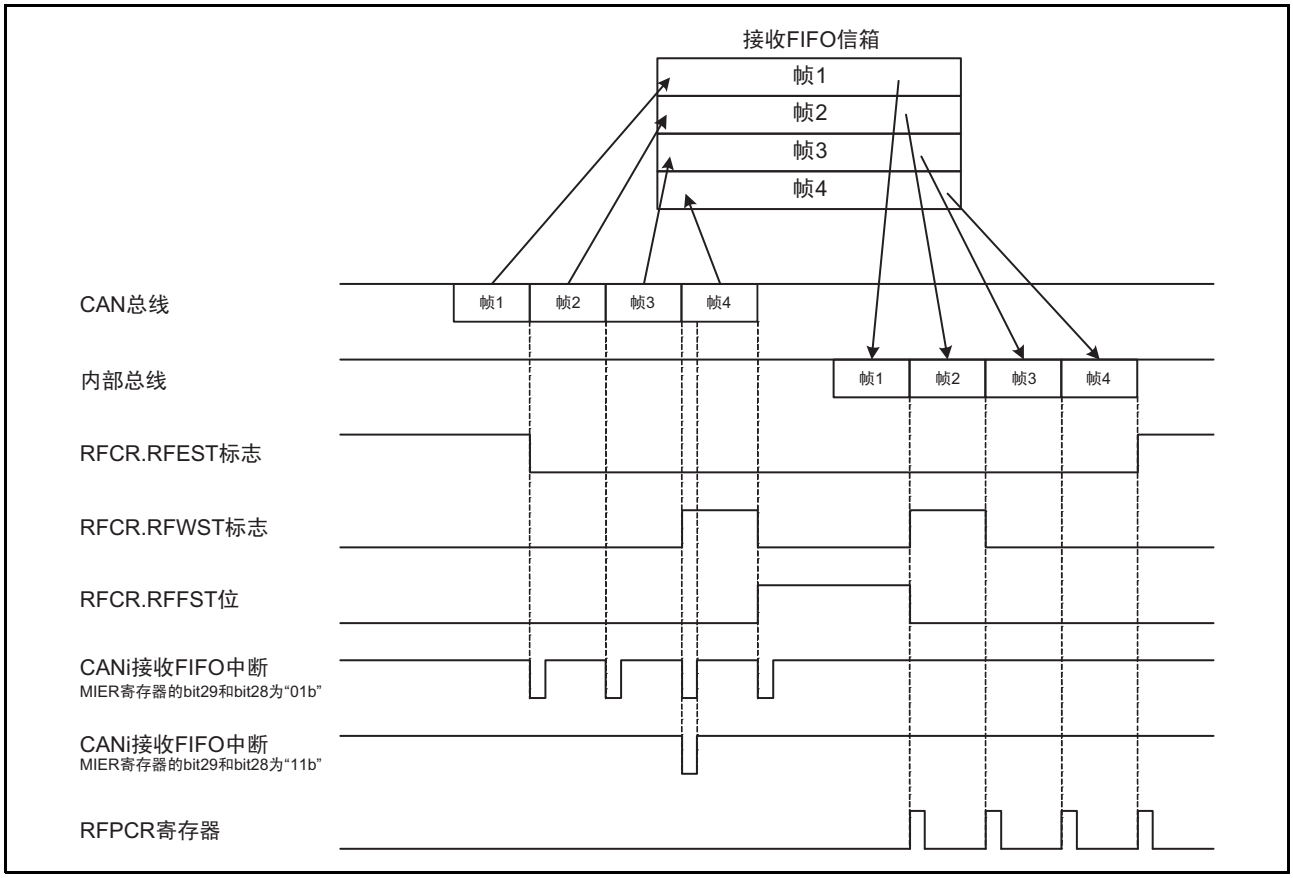
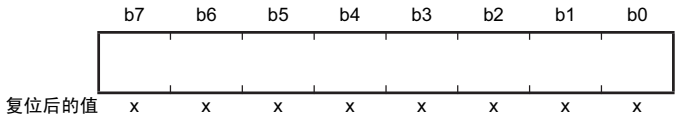


图 33.2 接收 FIFO 信箱的运行 （MIER 寄存器的 bit29 和 bit28 为 “01b”或者 “11b”）

33.2.10 接收 FIFO 指针控制寄存器 （RFPCR）

地址 CAN0.RFPCR 0009 0849h、CAN1.RFPCR 009 1849h、CAN2.RFPCR 0009 2849h



x： 不定值

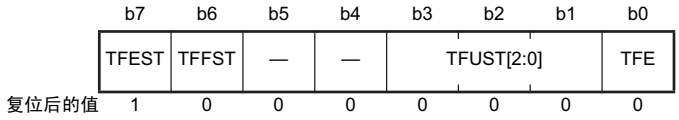
位	功能	R/W
b7-b0	如果给 RFPCR 寄存器写 “FFh”， CPU 侧的接收 FIFO 指针就移动。	W

在接收 FIFO 不为空的状态下，要将 CPU 侧的接收 FIFO 指针移到下一个信箱时，必须通过程序给 RFPCR 寄存器写 “FFh”。

在 RFCR 寄存器的 RFE 位为 “0”（禁止接收 FIFO）时，不能写 RFPCR 寄存器。在接收盖写模式中，如果在 RFFST 位为 “1”（接收 FIFO 满）时接收到新信息， CAN 侧的指针和 CPU 侧的指针都移动。在此状态下，当 RFMLF 位为 “1”时，即使通过程序写 RFPCR 寄存器， CPU 侧的指针也不移动。

33.2.11 发送 FIFO 控制寄存器 （TFCR）

地址 CAN0.TFCR 0009 084Ah、CAN1.TFCR 0009 184Ah、CAN2.TFCR 0009 284Ah



位	符号	位名	功能	R/W
b0	TFE	发送 FIFO 允许位	0：禁止发送 FIFO 1：允许发送 FIFO	R/W
b3-b1	TFUST[2:0]	发送 FIFO 未发送信息数状态位	b3 b2 b1 0 0 0：没有未发送信息 0 0 1：有 1 条未发送信息 0 1 0：有 2 条未发送信息 0 1 1：有 3 条未发送信息 1 0 0：有 4 条未发送信息 1 0 1：保留 1 1 0：保留 1 1 1：保留	R
b5-b4	—	保留位	读写值都为 “0”。	R/W
b6	TFFST	发送 FIFO 满状态位	0：发送 FIFO 未满 1：发送 FIFO 满 （有 4 条未发送信息）	R
b7	TFEST	接收 FIFO 空状态位	0：发送 FIFO 有未发送信息 1：发送 FIFO 没有未发送信息	R

必须在 CAN 操作模式或者 CAN Halt 模式中更改 TFCR 寄存器。

TFE 位 （发送 FIFO 允许位）

如果将 TFE 位置 “1”，发送 FIFO 就为发送允许状态。

如果将 TFE 位置 “0”，发送 FIFO 就为空状态 （TFEST 位为 “1”），并且因以下情况而使发送 FIFO 的未发送信息丢失：

- 当发送FIFO没有下一个发送预定并且没有在发送时，进入空状态。
- 当发送FIFO有下一个发送预定或者已经在发送时，就在转移到发送结束、CAN总线错误、仲裁失败或者CAN Halt模式后进入空状态。

在重新将 TFE 位置 “1” 前，必须确认 TFEST 位是否变为 “1”。必须在将 TFE 位置 “1” 后，将发送数据写到 MB23 寄存器。

不能在普通信箱模式 （CTLR 寄存器的 MBM 位为 “0”）中将 TFE 位置 “1”。

TFUST[2:0] 位 （发送 FIFO 未发送信息数状态位）

TFUST[2:0] 位表示发送 FIFO 内未发送信息的数量。

如果在将 TFE 位置 “0” 后发送中止结束或者发送结束， TFUST[2:0] 位的值就变为 “000b”。

TFFST 位 （发送 FIFO 满状态位）

当发送 FIFO 内有 4 条未发送信息的数量时，TFFST 位为 “1”（发送 FIFO 满）；当发送 FIFO 内未发送信息数量不足 4 条时，TFFST 位为 “0”（发送 FIFO 未满）。一旦发送 FIFO 的发送中止结束，TFFST 位就变为 “0”。

TFEST 位 （接收 FIFO 空状态位）

当发送 FIFO 内没有未发送信息时，TFEST 位为 “1”（发送 FIFO 没有信息）。一旦发送 FIFO 的发送中止结束，TFEST 位就变为 “1”。当发送 FIFO 内至少有 1 条未发送信息时，TFEST 位为 “0”（发送 FIFO 有信息）。

发送 FIFO 信箱的运行如图 33.3 所示。

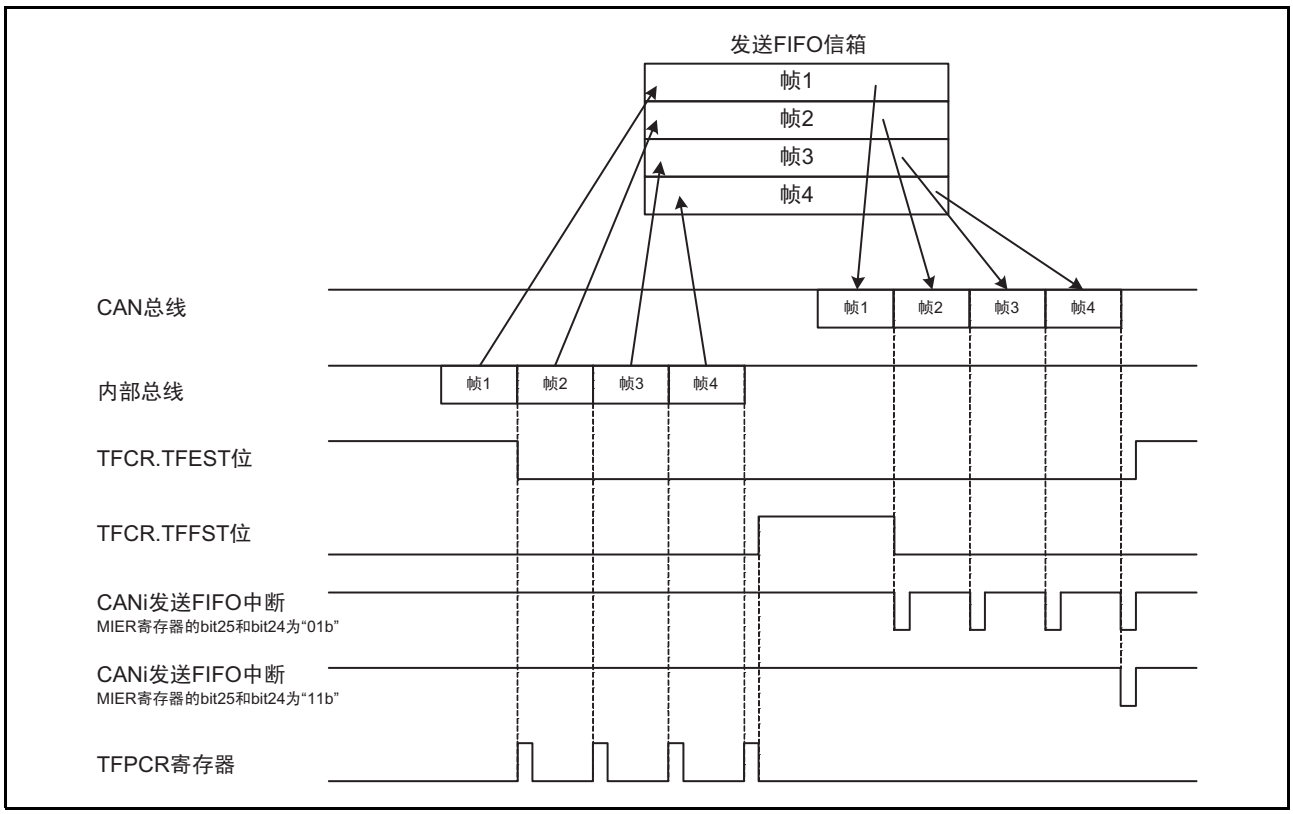
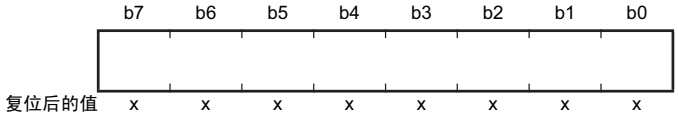


图 33.3 发送 FIFO 信箱的运行 （MIER 寄存器的 bit25 和 bit24 为 “01b” 或者 “11b”）

33.2.12 发送 FIFO 指针控制寄存器 （TFPCR）

地址 CAN0.TFPCR 0009 084Bh、CAN1.TFPCR 0009 184Bh、CAN2.TFPCR 0009 284Bh



x： 不定值

位	功能	R/W
b7-b0	如果给 TFPCR 寄存器写 “FFh”， CPU 侧的发送 FIFO 指针就移动。	W

在发送 FIFO 未满的情况下，要将 CPU 侧的发送 FIFO 指针移到下一个信箱时，必须通过程序给 TFPCR 寄存器写 “FFh”。

在 TFCR.TFE 位为 “0”（禁止发送 FIFO）时，不能写 TFPCR 寄存器。

33.2.13 状态寄存器 （STR）

地址 CAN0.STR 0009 0842h、CAN1.STR 0009 1842h、CAN2.STR 0009 2842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
复位后的值	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

x： 不定值

位	符号	位名	功能	R/W
b0	NDST	NEWDATA 状态标志	0：没有 NEWDATA 标志为 “1” 的信箱 1：有 NEWDATA 标志为 “1” 的信箱	R
b1	SDST	SENTDATA 状态标志	0：没有 SENTDATA 标志为 “1” 的信箱 1：有 SENTDATA 标志为 “1” 的信箱	R
b2	RFST	接收 FIFO 状态标志	0：接收 FIFO 没有信息 （空） 1：接收 FIFO 有信息	R
b3	TFST	发送 FIFO 状态标志	0：发送 FIFO 满 1：发送 FIFO 未满	R
b4	NMLST	普通信息丢失状态标志	0：没有 MSGLOST 标志为 “1” 的信箱 1：有 MSGLOST 标志为 “1” 的信箱	R
b5	FMLST	FIFO 信息丢失状态标志	0：RFMLF 位为 “0” 1：RFMLF 位为 “1”	R
b6	TABST	发送中止状态标志	0：没有 TRMABT 位为 “1” 的信箱 1：有 TRMABT 位为 “1” 的信箱	R
b7	EST	错误状态标志	0：未发生错误 1：发生错误	R
b8	RSTST	CAN 复位状态标志	0：不是 CAN 复位模式 1：CAN 复位模式	R
b9	HLTST	CAN Halt 状态标志	0：不是 CAN Halt 模式 1：CAN Halt 模式	R
b10	SLPST	CAN 睡眠状态标志	0：不是 CAN 睡眠模式 1：CAN 睡眠模式	R
b11	EPST	错误被动状态标志	0：不是错误被动状态 1：错误被动状态	R
b12	BOST	总线断开状态标志	0：不是总线断开状态 1：总线断开状态	R
b13	TRMST	发送状态标志 （transmitter）	0：总线空闲或者正在接收 1：正在发送或者总线断开状态	R
b14	RECST	接收状态标志 （receiver）	0：总线空闲或者正在发送 1：正在接收	R
b15	—	保留位	读取值为 “0”。	R

NDST 标志 （NEWDATA 状态标志）

只要 1 个 MCTLj.NEWDATA 标志 （j=0 ～ 31）为 “1”， NDST 标志就为 “1”，与 MIER 寄存器的值无关。当 NEWDATA 标志全部为 “0”时， NDST 标志为 “0”。

SDST 标志 （SENTDATA 状态标志）

只要 1 个 MCTLj.SENTDATA 标志 （j=0 ～ 31）为 “1”， SDST 标志就为 “1”，与 MIER 寄存器的值无关。当 SENTDATA 标志全部为 “0”时， SDST 标志为 “0”。

RFST 标志 （接收 FIFO 状态标志）

当接收FIFO不为空状态时，RFST标志为“1”；当接收FIFO为空状态或者普通信箱模式时，此标志为“0”。

TFST 标志 （发送 FIFO 状态位）

当发送FIFO不是满状态时，TFST标志为“1”；当发送FIFO是满状态或者普通信箱模式时，此标志为“0”。

NMLST 标志 （普通信息丢失状态标志）

只要 1 个 MCTLj 寄存器的 MSGLOST 标志为 “1”， NMLST 标志就为 “1”，与 MIER 寄存器的值无关。当 MSGLOST 标志全部为 “0”时， NMLST 标志为 “0”。

FMLST 标志 （FIFO 信息丢失状态标志）

当 RFCR 寄存器的 RFMLF 位为 “1”时， FMLST 标志为 “1”，与 MIER 寄存器的值无关。当 RFMLF 标志为 “0”时， FMLST 标志为 “0”。

TABST 标志 （发送中止状态标志）

只要 1 个 MCTLj 寄存器的 TRMABT 标志为 “1”， TABST 位就为 “1”，与 MIER 寄存器的值无关。当 TRMABT 标志都不为 “1”时， TABST 标志为 “0”。

EST 标志 （错误状态标志）

只要通过 EIFR 寄存器检测到一个错误，EST 标志就为“1”，与 EIER 寄存器的值无关。如果通过 EIFR 寄存器一个错误也没有检测到， EST 标志就为 “0”。

RSTST 标志 （CAN 复位状态标志）

当进入 CAN 复位模式时，RSTST 标志为“1”；当不进入 CAN 复位模式时，此标志为“0”。即使从 CAN 复位模式转移到 CAN 睡眠模式， RSTST 标志也保持 “1”。

HLTST 标志 （CAN Halt 状态标志）

当进入 CAN Halt 模式时，HLTST 标志为“1”；当不进入 CAN Halt 模式时，此标志为“0”。即使从 CAN Halt 模式转移到 CAN 睡眠模式， HLTST 标志也保持 “1”。

SLPST 标志 （CAN 睡眠状态标志）

当进入 CAN 睡眠模式， SLPST 标志为 “1”。当不进入 CAN 睡眠模式时，此标志为 “0”。

EPST 标志 （错误被动状态标志）

当 TECR 寄存器或者 RECR 寄存器的值超过 127 并且 CAN 模块为错误被动状态 （128 ≤ TEC ＜ 256 或者 128 ≤ REC ＜ 256）时， EPST 标志为 “1”； 当不是错误被动状态时， EPST 标志为 “0”。

BOST 标志 （总线断开状态标志）

当 TECR 寄存器的值超过 255 并且 CAN 模块为总线断开状态（TEC ≥ 256）时， BOST 标志为“1”； 当不是总线断开状态， BOST 标志为 “0”。

TRMST 标志 （发送状态标志）（transmitter）

当 CAN 模块为发送节点或者总线断开状态时，TRMST 标志为“1”； 当 CAN 模块为接收节点或者总线空闲状态时， TRMST 标志为 “0”。

RECST 标志 （接收状态标志）（receiver）

当 CAN 模块为接收节点时，RECST 标志为“1”； 当 CAN 模块为发送节点或者总线空闲状态时，RECST 标志为 “0”。

33.2.14 信箱搜索模式寄存器 （MSMR）

地址 CAN0.MSMR 0009 0853h、CAN1.MSMR 0009 1853h、CAN2.MSMR 0009 2853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MBSM[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	MBSM[1:0]	信箱搜索模式选择位	b1 b0 0 0：收件箱搜索模式 0 1：发件箱搜索模式 1 0：信息丢失搜索模式 1 1：通道搜索模式	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

必须在 CAN 操作模式或者 CAN Halt 模式中更改 MSMR 寄存器。

MBSM[1:0] 位 （信箱搜索模式选择位）

MBSM[1:0] 位选择信箱搜索功能的搜索模式。

当 MBSM[1:0] 位为 “00b” 时，为收件箱搜索模式。在此模式中，搜索对象位是 MCTLj 寄存器 （j=0 ～ 31）的普通信箱中的 NEWDATA 标志和 RFCR 寄存器的 RFEST 位。

当 MBSM[1:0] 位为“01b”时，为发件箱搜索模式。在此模式中，搜索对象位是 MCTLj 寄存器的 SENTDATA 标志。

当 MBSM[1:0] 位为 “10b” 时，为信息丢失搜索模式。在此模式中，搜索对象位是 MCTLj 寄存器的普通信箱中的 MSGLOST 标志和 RFCR 寄存器的 RFMLF 标志。

当 MBSM[1:0] 位为 “11b” 时，为通道搜索模式。在此模式中，搜索对象寄存器是 CSSR 寄存器，请参照 “33.2.16 通道搜索支持寄存器 （CSSR）”。

33.2.15 信箱搜索状态寄存器 （MSSR）

地址 CAN0.MSSR 0009 0852h、CAN1.MSSR 0009 1852h、CAN2.MSSR 0009 2852h

	b7	b6	b5	b4	b3	b2	b1	b0
	SEST	—	—	MBNST[4:0]				
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	MBNST[4:0]	搜索结果信箱号状态位	表示在 MSMR 寄存器的各模式中搜索到的最小信箱号。	R
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	SEST	搜索结果空状态位	0：有搜索结果 1：没有搜索结果	R

MBNST[4:0] 位 （搜索结果信箱号状态位）

MBNST[4:0] 位表示在 MSMR 寄存器的各模式中搜索到的最小信箱号。在以下情况下，通过收件箱搜索模式、发件箱搜索模式和信息丢失搜索模式，更新被输出的搜索结果信箱的值：

- 被输出信箱的 NEWDATA、 SENTDATA 或者 MSGLOST 标志为 “0”。
- 更高优先级信箱的 NEWDATA、 SENTDATA 或者 MSGLOST 标志为 “1”。

在 MBSM[1:0] 位为 “00b”（收件箱搜索模式）或者 “10b”（信息丢失搜索模式）时，如果接收 FIFO 不是空状态并且全部普通信箱 （信箱 [0] ～ [23]）既没有未读接收信息也没有丢失信息，就输出接收 FIFO （信箱 [28]）。在 MBSM[1:0] 位为 “01b”（发件箱搜索模式）时，不输出发送 FIFO （信箱 [24]）。 FIFO 信箱模式中的 MBNST[4:0] 位的变化如表 33.6 所示。

在通道搜索模式中，MBNST[4:0] 位输出通道号。在通过程序读 MSSR 寄存器后，MBNST[4:0] 位输出下一个目标通道号。

SEST 位 （搜索结果空状态位）

如果在全部信箱搜索中没有对应的信箱， SEST 位就为 “1”（没有搜索结果）。例如，如果在发件箱搜索模式中 SENTDATA 标志为 “1” 的信箱一个也没有， SEST 位就为 “1”。只要有一个 SENTDATA 标志为 “1” 的信箱，此位就为 “0”。在 SEST 位为 “1” 时， MBNST[4:0] 位的值为不定值。

表 33.6 FIFO 信箱模式中 MBNST[4:0] 位的变化

MBSM[1:0] 位	信箱 [24] （发送 FIFO）	信箱 [28] （接收 FIFO）
“00b”	不表示信箱 [24]。	如果普通信箱的没有一个 MCTLj.NEWDATA 标志为 “1”（正在或者已经将新信息保存到信箱）并且接收 FIFO 不为空，就表示信箱 [28]。
“01b”		不表示信箱 [28]。
“10b”		如果普通信箱的没有一个 MCTLj.MSGLOST 标志为 “1”（盖写信息或者信息溢出）而且接收 FIFO 内的 RFCR.RFMLF 位为 “1”（发生接收 FIFO 信息丢失），就表示信箱 [28]。
“11b”		不表示信箱 [28]。

33.2.16 通道搜索支持寄存器 （CSSR）

地址 CAN0.CSSR 0009 0851h、CAN1.CSSR 0009 1851h、CAN2.CSSR 0009 2851h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	x	x	x	x	x	x	x	x

x： 不定值

位	功能	R/W
b7-b0	如果输入通道搜索的值，就将通道号输出到 MSSR 寄存器。	R/W

通过 8/3 编码器 （最低位的优先级最高）将为 “1” 的 CSSR 寄存器的位进行编码并且输出到 MSSR 寄存器的 MBNST[4:0] 位。

在每次通过程序读 MSSR 寄存器时， MSSR 寄存器表示更新后的值。

只能在 MSMR 寄存器的 MBSM[1:0] 位为 “11b”（通道搜索模式）时更改 CSSR 寄存器。必须在 CAN 操作模式或者 CAN Hait 模式中更改 CSSR 寄存器。

CSSR 寄存器和 MSSR 寄存器的读写操作如图 33.4 所示。

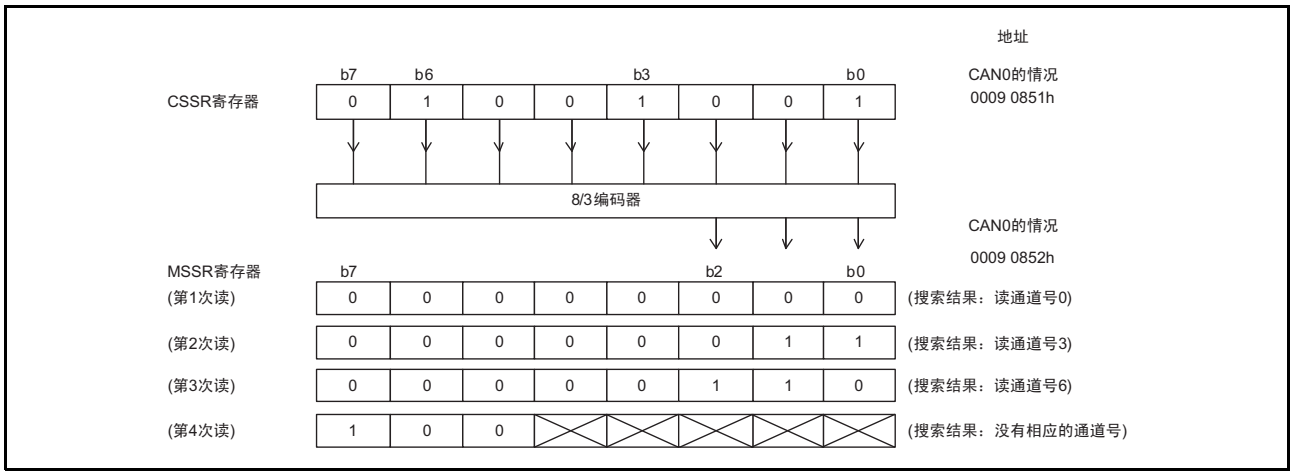


图 33.4 CSSR 寄存器和 MSSR 寄存器的读写操作

在每次读 MSSR 寄存器时，也更新 SSR 寄存器的值。在进行读操作时，能读到 8/3 编码器转换前的值。

33.2.17 验收滤波器的支持寄存器 （AFSR）

地址 CAN0.AFSR 0009 0856h、CAN1.AFSR 0009 1856h、CAN2.AFSR 0009 2856h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x： 不定值

位	功能	R/W
b15-b0	在写接收信息的标准 ID 后，能读为数据表搜索而转换的值。	R/W

注 . 必须在 CAN 操作模式或者 CAN Halt 模式中更改 AFSR 寄存器。

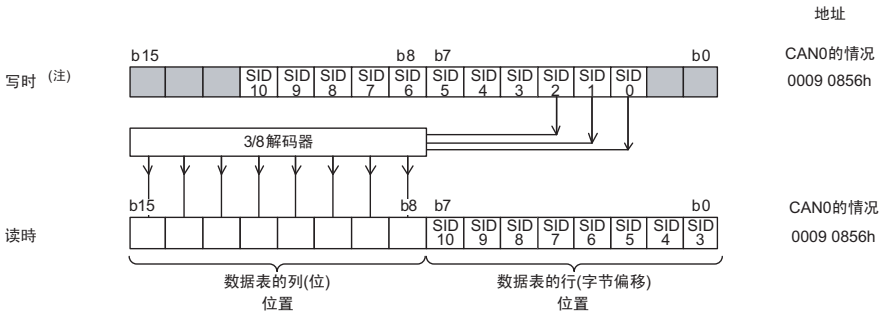
验收滤波器支持单元（ASU）能用于数据表（8 位 ×256）的搜索，此数据表是以 1 位为单位对用户预先建立的全部标准 ID 设定了有效或者无效的数据表。如果将包含保存接收标准 ID 的 MBj 寄存器 （j=0 ～ 31）的 SID[10:0] 位在内的 16 位数据写到 AFSR 寄存器，就能读到被解码后的用于数据表搜索的行 （字节偏移）位置和列 （位）位置。 ASU 只能用于标准 （11 位） ID。

ASU 在以下情况下有效：

- 不能通过验收滤波器屏蔽接收的ID的情况
  （例）接收的ID：078h、 087h、 111h
- 因接收的ID过多而想通过软件缩短过滤处理时间的情况

不能在 CAN 复位模式中设定 AFSR 寄存器。

AFSR 寄存器的读写操作如图 33.5 所示。



注1. 写入值和包括MBj(j=0～31)寄存器的SID[10:0]位在内的16位数据相同。

图 33.5 AFSR 寄存器的读写操作

33.2.18 错误中断允许寄存器 （EIER）

地址 CAN0.EIER 0009 084Ch、CAN1.EIER 0009 184Ch、CAN2.EIER 0009 284Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BEIE	总线错误中断允许位	0：禁止总线错误中断 1：允许总线错误中断	R/W
b1	EWIE	错误警告中断允许位	0：禁止错误警告中断 1：允许错误警告中断	R/W
b2	EPIE	错误被动入口中断允许位	0：禁止错误被动中断 1：允许错误被动中断	R/W
b3	BOEIE	总线断开开始中断允许位	0：禁止总线断开开始中断 1：允许总线断开开始中断	R/W
b4	BORIE	总线断开恢复中断允许位	0：禁止总线断开恢复中断 1：允许总线断开恢复中断	R/W
b5	ORIE	溢出中断允许位	0：禁止接收溢出中断 1：允许接收溢出中断	R/W
b6	OLIE	过载帧发送中断允许位	0：禁止过载帧发送中断 1：允许过载帧发送中断	R/W
b7	BLIE	总线锁定中断允许位	0：禁止总线锁定中断 1：允许总线锁定中断	R/W

EIER 寄存器允许或者禁止 EIFR 寄存器的各错误中断源对应的各错误中断。

只能在 CAN 复位模式中更改 EIER 寄存器。

BEIE 位 （总线错误中断允许位）

如果将 BEIE 位置“0”，即使 EIFR.BEIF 标志为“1”，也不产生错误中断请求。如果将 BEIE 位置“1”，就在 BEIF 标志变为 “1”时产生错误中断请求。

EWIE 位 （错误警告中断允许位）

如果将 EWIE 位置“0”，即使 EIFR.EWIF 标志为“1”，也不产生错误中断请求。如果将 EWIE 位置“1”，就在 EWIF 标志变为 “1”时产生错误中断请求。

EPIE 位 （错误被动入口中断允许位）

如果将 EPIE 位置“0”，即使 EIFR.EPIF 标志为“1”，也不产生错误中断请求。如果将 EPIE 位置“1”，就在 EPIF 标志变为 “1”时产生错误中断请求。

BOEIE 位 （总线断开开始中断允许位）

如果将 BOEIE 位置“0”，即使 EIFR.BOEIF 标志为“1”，也不产生错误中断请求。如果将 BOEIE 位置“1”，就在 BOEIF 标志变为 “1”时产生错误中断请求。

BORIE 位 （总线断开恢复中断允许位）

如果将 BORIE 位置 “0”，即使 EIFR.BORIF 标志为 “1”，也不产生错误中断请求。如果将 BORIE 位置 “1”，就在 BORIF 标志变为 “1” 时产生错误中断请求。

ORIE 位 （溢出中断允许位）

如果将 ORIE 位置 “0”，即使 EIFR.ORIF 标志为 “1”，也不产生错误中断请求。如果将 ORIE 位置 “1”，就在 ORIF 标志变为 “1” 时产生错误中断请求。

OLIE 位 （过载帧发送中断允许位）

如果将 OLIE 位置 “0”，即使 EIFR.OLIF 标志为 “1”，也不产生错误中断请求。如果将 OLIE 位置 “1”，就在 OLIF 标志的设定条件变为 “1” 时产生错误中断请求。

BLIE 位 （总线锁定中断允许位）

如果将 BLIE 位置 “0”，即使 EIFR.BLIF 标志为 “1”，也不产生错误中断请求。如果将 BLIE 位置 “1”，就在 BLIF 标志变为 “1” 时产生错误中断请求。

33.2.19 错误中断源判断寄存器 （EIFR）

地址 CAN0.EIFR 0009 084Dh、CAN1.EIFR 0009 184Dh、CAN2.EIFR 0009 284Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BEIF	总线错误检测标志	0：未检测到总线错误 1：检测到总线错误	R/W
b1	EWIF	错误警告检测标志	0：未检测到错误警告 1：检测到错误警告	R/W
b2	EPIF	错误被动检测标志	0：未检测到错误被动 1：检测到错误被动	R/W
b3	BOEIF	总线断开开始检测标志	0：未检测到总线断开开始 1：检测到总线断开开始	R/W
b4	BORIF	总线断开恢复检测标志	0：未检测到总线断开恢复 1：检测到总线断开恢复	R/W
b5	ORIF	接收溢出检测标志	0：未检测到接收溢出 1：检测到接收溢出	R/W
b6	OLIF	过载帧发送检测标志	0：未检测到过载帧发送 1：检测到过载帧发送	R/W
b7	BLIF	总线锁定检测标志	0：未检测到总线锁定 1：检测到总线锁定	R/W

如果发生对应各标志的现象， EIFR 寄存器的对应标志就变为 “1”，与 EIER 寄存器的设定无关。

要将各标志置 “0” 时，必须通过程序写 “0”。在通过程序写 “0” 的同时，对应的位变为 “1”。

在将各标志置 “0” 时，不能使用逻辑运算 （AND）指令而必须使用传送 （MOV）指令，并且给对应的位写 “0” 而给其他位写 “1”。即使写 “1”，这些标志的值也不变。

BEIF 标志 （总线错误检测标志）

如果检测到总线错误， BEIF 标志就为 “1”。

EWIF 标志 （错误警告检测标志）

如果 REC 或者 TEC 的值超过 95， EWIF 标志就为 “1”。

只有在 REC 或者 TEC 首次超过 95 时， EWIF 标志才为 “1”。在 REC 或者 TEC 超过 95 的情况下，如果通过程序给 EWIF 标志写“0”，REC 或者 TEC 就暂时小于等于 95，在 REC 或者 TEC 再次超过 95 前不变为“1”。

EPIF 标志 （错误被动检测标志）

如果CAN错误状态为错误被动状态（REC（接收错误计数器）或者TEC的值超过127），EPIF标志就为“1”。

只有在 REC 或者 TEC 首次超过 127 时， EPIF 标志才为 “1”。在 REC 或者 TEC 超过 127 的情况下，如果通过程序给 EPIF 标志写 “0”， REC 或者 TEC 就暂时小于等于 127，此标志在 REC 或者 TEC 再次超过 127 前不变为 “1”。

BOEIF 标志 （总线断开开始检测标志）

如果 CAN 错误状态为总线断开状态 （TEC （发送错误计数器）的值超过 255）， BOEIF 标志就为 “1”。即使在 CTLR 寄存器的 BOM[1:0] 位为 “01b”（在总线断开开始时自动转移到 CAN Halt 模式）并且 CAN 模块为总线断开状态时， BOEIF 标志也为 “1”。

BORIF 标志 （总线断开恢复检测标志）

如果 CAN 模块在以下条件下从总线断开状态正常恢复（对 11 个连续的隐性位进行了 128 次的检测），BORIF 标志就为 “1”：

- CTLR.BOM[1:0] 位为 “00b”。
- CTLR.BOM[1:0] 位为 “10b”。
- CTLR.BOM[1:0] 位为 “11b”。

如果 CAN 模块在以下条件下从总线断开状态恢复， BORIF 标志就不变为 “1”：

- 将 CTLR.CANM[1:0] 位置 “01b” 或者 “11b”（CAN 复位模式）时
- 将 CTLR.RBOC 位置 “1”（强制从总线断开状态恢复）时
- CTLR.BOM[1:0] 位为 “01b” 时
- CTLR.BOM[1:0] 位为 “11b” 并且在正常恢复前将 CTLR.CANM[1:0] 位置 “10b”（CAN Halt 模式）时

ORIF 标志 （接收溢出检测标志）

如果发生接收溢出， ORIF 标志就为 “1”。在盖写模式中， ORIF 标志不为 “1”。

如果在盖写模式中产生盖写条件，就产生接收结束中断请求并且 ORIF 标志不变为 “1”。

在普通信箱模式中，如果在溢出模式中信箱 [0] ～ [31] 的任意一个信箱发生溢出， ORIF 标志就为 “1”。在 FIFO 信箱模式中，如果在溢出模式中信箱 [0] ～ [23] 的任意一个信箱或者接收 FIFO 发生溢出，ORIF 标志就为 “1”。

OLIF 标志 （过载帧发送检测标志）

如果在 CAN 模块进行接收或者发送时检测到过载帧的发送条件， OLIF 标志就为 “1”。

BLIF 标志 （总线锁定检测标志）

如果在 CAN 模块为 CAN 操作模式的期间检测到 CAN 总线上有 32 个连续的显性位， BLIF 位就为 “1”。在此标志变为 “1” 后，在以下任意一种情况下重新进行检测：

- 在将此位从 “1” 置为 “0” 后，检测到隐性位。
- 在将此位从 “1” 置为 “0” 后，转移到 CAN 复位模式或者 CAN Halt 模式，并且再次转移到 CAN 操作模式。

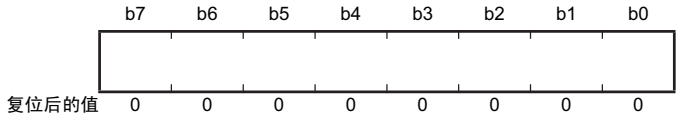
通过设定 CTLR.BOM[1:0] 位引起的 BOEIF 标志和 BORIF 标志的变化如表 33.7 所示。

表 33.7 通过设定 CTLR.BOM[1:0] 位引起的 BOEIF 标志和 BORIF 标志的变化

BOM[1:0] 位	BOEIF 标志	BORIF 标志
“00b”	在转移到总线断开状态移时，此标志为 “1”。	在从总线断开状态恢复时，此标志为 “1”。
“01b”		此标志不变为 “1”。
“10b”		在从总线断开状态恢复时，此标志为 “1”。
“11b”		如果在 CANM[1:0] 位变为 “10b”（CAN Halt 模式）前从通常的总线断开状态恢复，此标志就为 “1”。

33.2.20 接收错误计数寄存器 （RECR）

地址 CAN0.RECR 0009 084Eh、CAN1.RECR 0009 184Eh、CAN2.RECR 0009 284Eh



位	功能	R/W
b7-b0	接收错误计数功能 根据正在接收的 CAN 模块的错误状态，增加或者减小计数器的值。	R

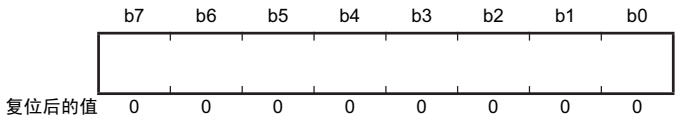
RECR 寄存器表示接收错误计数器的值。

有关接收错误计数器的增减条件，请参照 CAN 规格 （ISO11898-1）。

在总线断开状态下， RECR 寄存器的值为不定值。

33.2.21 发送错误计数寄存器 （TECR）

地址 CAN0.TECR 0009 084Fh、CAN1.TECR 0009 184Fh、CAN2.TECR 0009 284Fh



位	功能	R/W
b7-b0	发送错误计数功能 根据正在发送的 CAN 模块的错误状态，增加或者减小计数器的值。	R

TECR 寄存器表示发送错误计数器的值。

有关发送错误计数器的增减条件，请参照 CAN 规格 （ISO11898-1）。

在总线断开状态下， TECR 寄存器的值为不定值。

33.2.22 错误代码保存寄存器 （ECSR）

地址 CAN0.ECSR 0000 0850h、CAN1.ECSR 0000 1850h、CAN2.ECSR 0000 2850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SEF	填充错误标志 （注 1、注 2）	0：未检测到填充错误 1：检测到填充错误	R/W
b1	FEF	格式错误标志 （注 1、注 2）	0：未检测到格式错误 1：检测到格式错误	R/W
b2	AEF	ACK 错误标志 （注 1、注 2）	0：未检测到 ACK 错误 1：检测到 ACK 错误	R/W
b3	CEF	CRC 错误标志 （注 1、注 2）	0：未检测到 CRC 错误 1：检测到 CRC 错误	R/W
b4	BE1F	位错误 （隐性）标志 （注 1、注 2）	0：未检测到位错误 1：检测到位错误 （隐性）	R/W
b5	BE0F	位错误 （显性）标志 （注 1、注 2）	0：未检测到位错误 1：检测到位错误 （显性）	R/W
b6	ADEF	ACK 定界符错误标志 （注 1、注 2）	0：未检测到 ACK 定界符错误 1：检测到 ACK 定界符错误	R/W
b7	EDPM	错误表示模式选择位 （注 3、注 4）	0：输出最初检测到的错误代码 1：输出累积的错误代码	R/W

注 1. 即使写 “1”，这些位的值也不变。

注 2. 在给 SEF、FEF、AEF、CEF、BE1F、BE0F 或者 ADEF 位写 “0” 时，不能使用逻辑运算 （AND）指令而必须使用传送 （MOV）指令，并且必须给对应的位写 “0” 而给其他位写 “1”。

注 3. 必须在 CAN 复位模式或者 CAN Halt 模式中更改 EDPM 位。

注 4. 当同时检测到 1 个或者 1 个以上的错误条件时，相关的全部位都变为 “1”。

ECSR 寄存器能用于监视 CAN 总线发生的错误。

要确认各错误的发生条件时，请参照 CAN 规格 （ISO11898-1）。

要将除 EDPM 位以外的各位置 “0” 时，必须通过程序给这些位写 “0”。如果各位变为 “1” 的时序和写 “0” 的时序相同，该对应位就变为 “1”。

SEF 标志 （填充错误标志）

如果检测到填充错误， SEF 标志就为 “1”。

FEF 标志 （格式错误标志）

如果检测到格式错误， FEF 标志就为 “1”。

AEF 标志 （ACK 错误标志）

如果检测到 ACK 错误， AEF 标志就为 “1”。

CEF 标志 （CRC 错误标志）

如果检测到 CRC 错误， CEF 标志就为 “1”。

BE1F 标志 （位错误 （隐性）标志）

如果检测到隐性位错误， BE1F 标志就为 “1”。

BE0F 标志 （位错误 （显性）标志）

如果检测到显性位错误， BE0F 标志就为 “1”。

ADEF 标志 （ACK 定界符错误标志）

如果通过正在发送的 ACK 定界符检测到格式错误， ADEF 标志就为 “1”。

EDPM 位 （错误表示模式选择位）

EDPM 位设定 ECSR 寄存器的输出模式。如果将 EDPM 位置“0”，ECSR 寄存器就输出最初的错误代码；如果将 EDPM 位置 “1”， ECSR 寄存器就输出累积的错误代码。

33.2.23 时戳寄存器 （TSR）

地址 CAN0.TSR 0009 0854h、CAN1.TSR 0009 1854h、CAN2.TSR 0009 2854h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	功能	R/W
b15-b0	时戳功能的自由运行计数器的值	R

注 . 必须以 16 位为单位读 TSR 寄存器。

如果读 TSR 寄存器，就能读到当时的时戳计数器 （16 位自由运行计数器）的值。

时戳计数器的基准时钟的值是 1 位时间倍增后的值，通过 CTLR 寄存器的 TSPS[1:0] 位进行设定。

在 CAN 睡眠模式和 CAN Halt 模式中，时戳计数器停止计数；在 CAN 复位模式中，对时戳计数器进行初始化。

在将接收信息保存到收件箱时，将当时的时戳计数器的值保存到 MBj 寄存器的 TSL[7:0] 和 TSH[7:0]。

33.2.24 测试控制寄存器 （TCR）

地址 CAN0.TCR 0009 0858h、CAN1.TCR 0009 1858h、CAN2.TCR 0009 2858h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSTM[1:0]		TSTE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TSTE	测试模式允许位	0：禁止 CAN 测试模式 1：允许 CAN 测试模式	R/W
b2-b1	TSTM[1:0]	CAN 测试模式选择位	b2 b1 0 0：不是 CAN 测试模式 0 1：监听专用模式 1 0：自测试模式 0 （外部环回） 1 1：自测试模式 1 （内部环回）	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

TCR 寄存器控制 CAN 测试模式。只能在 CAN Halt 模式中更改 TCR 寄存器。

(1) 监听专用模式

在 CAN 规格 （ISO11898-1）中，建议使用总线监视模式选项。在监听专用模式中，能接收有效的数据帧和远程帧，但是只在 CAN 总线上发送隐性位，而不发送 ACK 位、过载标志和有效错误标志。

监听专用模式能用于波特率的检测。

在监听专用模式中，所有信箱都不能请求发送。

选择监听专用模式时的连接 （i=0 ～ 2）如图 33.6 所示。

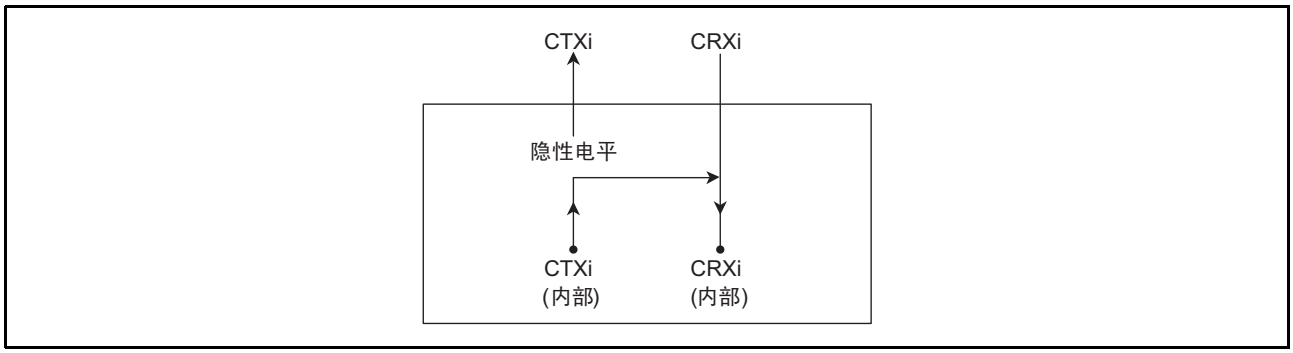


图 33.6 选择监听专用模式时的连接 （i=0 ～ 2）

(2) 自测试模式 0 （外部环回）

自测试模式 0 用于 CAN 收发器的测试。

在自测试模式 0 中，通过 CAN 收发器将发送信息作为接收信息处理，保存到接收信箱。为了能从外部独立进行自测试而生成 ACK 位。

CTXi/CRXi 引脚必须连接 CAN 收发器。

选择自测试模式 0 时的连接 （i=0 ～ 2）如图 33.7 所示。

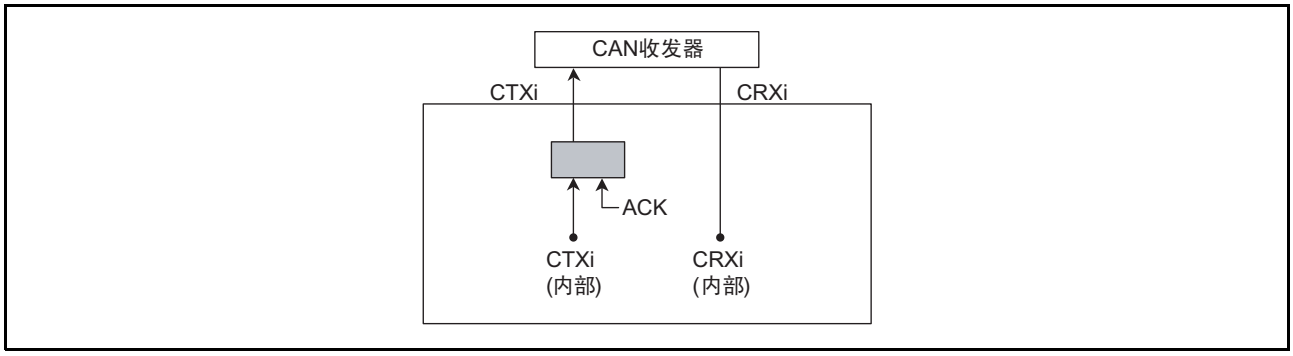


图 33.7 选择自测试模式 0 时的连接 （i=0 ～ 2）

(3) 自测试模式 1 （内部环回）

自测试模式 1 用于自测试功能。

在自测试模式 1 中，将发送信息作为接收信息处理，保存到接收信箱。为了能从外部独立进行自测试而生成 ACK 位。

在自测试模式 1 中，进行内部 CTXi 引脚到内部 CRXi 引脚的内部反馈。忽视外部 CRXi 引脚的输入值，外部 CTXi 引脚只输出隐性位。 CTXi/CRXi 引脚不需要连接 CAN 总线以及其他外部设备。

选择自测试模式 1 时的连接 （i=0 ～ 2）如图 33.8 所示。

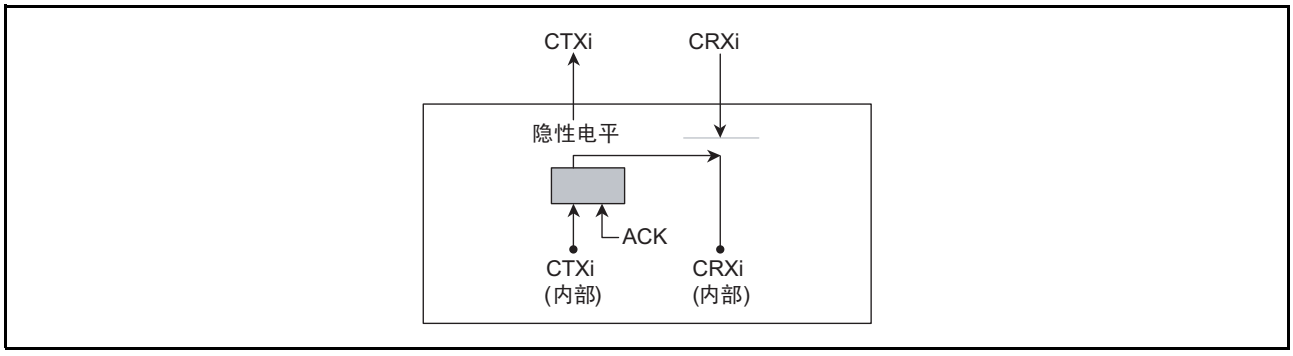


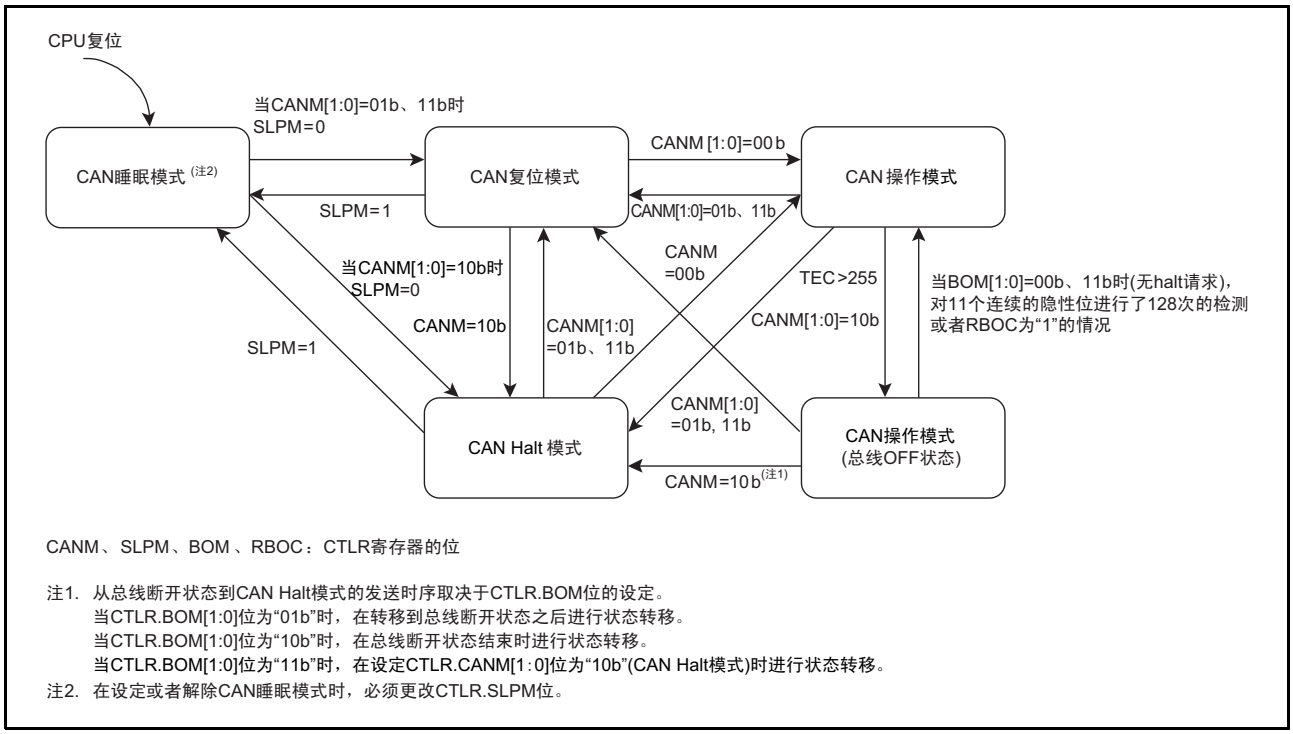
图 33.8 选择自测试模式 1 时的连接 （i=0 ～ 2）

33.3 运行模式

CAN 模块有以下 4 种运行模式：

- CAN复位模式
- CAN Halt模式
- CAN操作模式
- CAN睡眠模式

CAN 运行模式之间的转移如图 33.9 所示。



CANM、SLPM、BOM、RBOC：CTLR寄存器的位

注1. 从总线断开状态到CAN Halt模式的发送时序取决于CTLR.BOM位的设定。
当CTLR.BOM[1:0]位为“01b”时，在转移到总线断开状态之后进行状态转移。
当CTLR.BOM[1:0]位为“10b”时，在总线断开状态结束时进行状态转移。
当CTLR.BOM[1:0]位为“11b”时，在设定CTLR.CANM[1:0]位为“10b”(CAN Halt模式)时进行状态转移。

注2. 在设定或者解除CAN睡眠模式时，必须更改CTLR.SLPM位。

图 33.9 CAN 运行模式之间的转移

33.3.1 CAN 复位模式

CAN 复位模式是设定 CAN 通信的模式。

如果将 CTLR.CANM[1:0] 位置 “01b” 或者 “11b”， CAN 模块就变为 CAN 复位模式，此时 STR.RSTST 位为 “1”。不能在 RSTST 位变为 “1” 前更改 CTLR.CANM[1:0] 位。在从 CAN 复位模式转移到其他模式前，必须设定 BCR 寄存器。

以下的寄存器在转移到 CAN 复位模式后被初始化为复位后的值，而在 CAN 复位模式中保持初始值。

- MCTLj 寄存器
- STR 寄存器 （SLPST 位和 TFST 位除外）
- EIFR 寄存器
- RECR 寄存器
- TECR 寄存器
- TSR 寄存器
- MSSR 寄存器
- MSMR 寄存器
- RFCR 寄存器
- TFCR 寄存器
- TCR 寄存器
- ECSR 寄存器 （EDPM 位除外）

即使在转移到 CAN 复位模式后，以下的寄存器也保持以前的值：

- CTLR 寄存器
- STR 寄存器 （SLPST 位和 TFST 位）
- MIER 寄存器
- EIER 寄存器
- BCR 寄存器
- CSSR 寄存器
- ECSR 寄存器 （只限于 EDPM 位）
- MBj 寄存器
- MKR0 ～ MKR7 寄存器
- FIDCR0 寄存器、 FIDCR1 寄存器
- MKIVLR 寄存器
- AFSR 寄存器
- RFPCR 寄存器
- TFPCR 寄存器

33.3.2 CAN Halt 模式

CAN Halt 模式是设定信箱和测试模式的模式。

如果将 CTLR.CANM[1:0] 位置“10b”，就变为 CAN Halt 模式，此时 STR.HLTST 位为“1”。不能在 HLTST 位变为 “1”前更改 CANM[1:0] 位。

有关发送或者接收时的状态转移条件，请参照表 33.8。

在向 CAN Halt 模式转移时， STR 寄存器的 RSTST 位、 HLTST 位和 SLPST 位以外的位以及其他全部寄存器都不变。

在 CAN Halt 模式中，不能更改 CTLR 寄存器 （CANM[1:0] 位和 SLPM 位除外）和 EIER 寄存器。在 CAN 测试模式中，只有在选择监听专用模式时，才能用于自动波特率的检测；在 CAN Halt 模式中，能更改 BCR 寄存器。

表 33.8 CAN 复位模式和 CAN Halt 模式中的运行

模式	接收	发送	总线断开
CAN 复位模式（强制转移） CANM[1:0]=11b	CAN 模块不等到接收完信息就转移到 CAN 复位模式。	CAN 模块不等到发送完信息就转移到 CAN 复位模式。	CAN 模块不等到总线断开恢复结束就转移到 CAN 复位模式。
CAN 复位模式 CANM[1:0]=01b	CAN 模块不等到接收完信息就转移到 CAN 复位模式。	CAN 模块在等到发送完信息后转移到 CAN 复位模式（注 1、注 4）。	CAN 模块不等到总线断开恢复结束就转移到 CAN 复位模式。
CAN Halt 模式	CAN 模块在等到接收完信息后转移到 CAN Halt 模式（注 2、注 3）	CAN 模块在等到发送完信息后转移到 CAN Halt 模式（注 1、注 4）。	[BOM[1:0] 位为 “00b”的情况] CAN 模块只在总线断开恢复后接收程序的 Halt 请求。 [BOM[1:0] 位为 “01b”的情况] CAN 模块不等到总线断开恢复结束就自动转移到 CAN Halt 模式（与程序的 Halt 请求无关）。 [BOM[1:0] 位为 “10b”的情况] CAN 模块在等到总线断开恢复结束后自动转移到 CAN Halt 模式（与程序的 Halt 请求无关）。 [BOM[1:0] 位为 “11b”的情况] 如果 CAN 模块在总线断开过程中有程序的 Halt 请求，就立即转移到 CAN Halt 模式（不等到总线断开恢复结束）。

BOM[1:0] 位：CTLR 寄存器的位

注 1. 如果有几个信息请求发送，就在结束最初的发送后转移模式。在发送挂起过程中请求 CAN 复位模式的状态下，如果为总线空闲状态或者下次发送结束或者 CAN 模块进入接收状态，就转移模式。

注 2. 在 CAN 总线被锁定为显性电平的情况下，如果监视 EIFR 寄存器的 BLIF 位，程序就能检测到总线锁定状态。

注 3. 在请求 CAN Halt 模式后，如果在接收过程中发生 CAN 总线错误，就转移到 CAN Halt 模式。

注 4. 在请求 CAN 复位模式或者 CAN Halt 模式后，如果在发送过程中发生 CAN 总线错误或者 CAN 仲裁失败，就转移到所请求的 CAN 模式。

33.3.3 CAN 睡眠模式

CAN 睡眠模式是通过停止给 CAN 模块提供时钟而减少消耗电流的模式。在进行 MCU 的引脚复位或者软件复位后， CAN 模块从 CAN 睡眠模式开始运行。

如果将 CTLR 寄存器的 SLPM 位置 “1”，就变为 CAN 睡眠模式，此时 STR 寄存器的 SLPST 位为 “1”。不能在 SLPST 位变为 “1”前更改 SLPM 位的值。在向 CAN 睡眠模式转移时，其他寄存器不变。

必须在 CAN 复位模式和 CAN Halt 模式中更改 SLPM 位，不能在 CAN 睡眠模式中更改除 SLPM 位以外的寄存器。允许读操作。

如果将 SLPM 位置 “0”，就解除 CAN 睡眠模式。在从 CAN 睡眠模式返回时，其他寄存器不变。

33.3.4 CAN 操作模式 （非总线断开状态）

CAN 操作模式是进行 CAN 通信的模式。

如果将 CTLR 寄存器的 CANM[1:0] 位置 “00b”， CAN 模块就变为 CAN 操作模式。

此时，STR 寄存器的 RSTST 位和 HLTST 位为“0”。不能在 RSTST 位和 HLTST 位为“0”前更改 CANM[1:0] 位的值。

如果在转移到 CAN 操作模式后检测到 11 个连续的隐性位， CAN 模块就变为以下的状态：

- CAN模块为能进行通信的网络上的有效节点，能发送和接收CAN信息。
- 接收错误计数器和发送错误计数器等进行CAN总线的错误监视处理。

根据 CAN 总线的状态， CAN 模块在 CAN 操作模式中有以下 3 种子模式：

- 空闲模式： CAN模块为未进行发送或者接收的状态。
- 接收模式： CAN模块正在接收其他节点发送的CAN信息。
- 发送模式： CAN模块正在发送CAN信息。在选择自测试模式0（TCR寄存器的TSTM[1:0]位为“10b”）或者自测试模式1 （TSTM[1:0]位为 “11b”）时，同时接收本地节点发送的信息。

CAN 操作模式的子模式如图 33.10 所示。

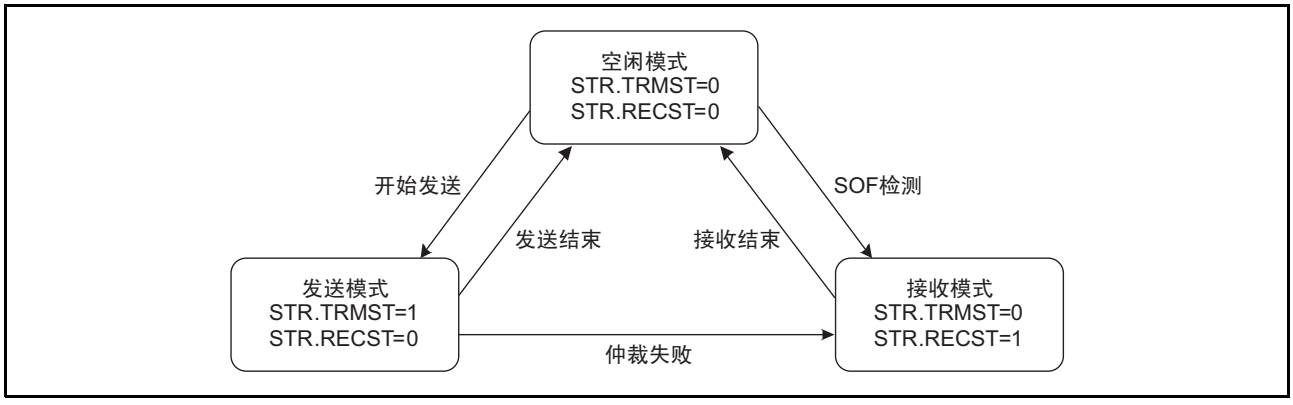


图 33.10 CAN 操作模式的子模式

33.3.5 CAN 操作模式 （总线断开状态）

根据 CAN 规格的发送错误计数器和接收错误计数器的增减规则， CAN 模块转移到总线断开状态。

在以下情况下，CAN 模块从总线断开状态恢复。在总线断开状态下，除 STR、EIFR、RECR、TECR 和 TSR 寄存器以外， CAN 模块的相关寄存器的值不变。

(1) CTLR 寄存器的 BOM[1:0] 位为 “00b” 的情况 （正常模式）

在从总线断开状态恢复结束后转移到错误主动状态，能进行 CAN 通信。此时，EIFR 寄存器的 BORIF 标志为 “1”（检测到总线断开恢复）。

(2) 将 CTLR 寄存器的 RBOC 位置 “1” 的情况 （强制从总线断开状态恢复）

如果 CAN 模块为总线断开状态并且 RBOC 位为“1”，CAN 模块就转移到错误主动状态，并且能在检测到 11 个连续的隐性位后再次进行 CAN 通信。此时， BORIF 标志不为 “1”。

(3) BOM[1:0] 位为 “01b” 的情况 （在总线断开开始时自动转移到 CAN Halt 模式）

一旦进入总线断开状态，就变为 CAN Halt 模式。此时， BORIF 标志不为 “1”。

(4) BOM[1:0] 位为 “10b” 的情况 （在总线断开结束时自动转移到 CAN Halt 模式）

一旦从总线断开恢复结束，就变为 CAN Halt 模式。此时， BORIF 标志为 “1”。

(5) BOM[1:0] 位为 “11b”（通过程序转移到 CAN Halt 模式）并且在总线断开状态下将 CTLR 寄存器的 CANM[1:0] 位置 “10b” 的情况 （CAN Halt 模式）

如果在总线断开状态下将 CANM[1:0] 位置“10b”（CAN Halt 模式），就变为 CAN Halt 模式。此时，BORIF 标志不为 “1”。

不在总线断开过程中将 CANM[1:0] 位置 “10b” 时，和 (1) 的运行相同。

33.4 CAN 通信速度的设定

以下说明有关 CAN 通信速度的设定。

33.4.1 CAN 时钟的设定

CAN 模块内置 CAN 时钟选择电路。

能通过 BCR 寄存器的 CCLKS 位和 BRP[9:0] 位设定 CAN 时钟。

CAN 时钟发生电路的框图如图 33.11 所示。

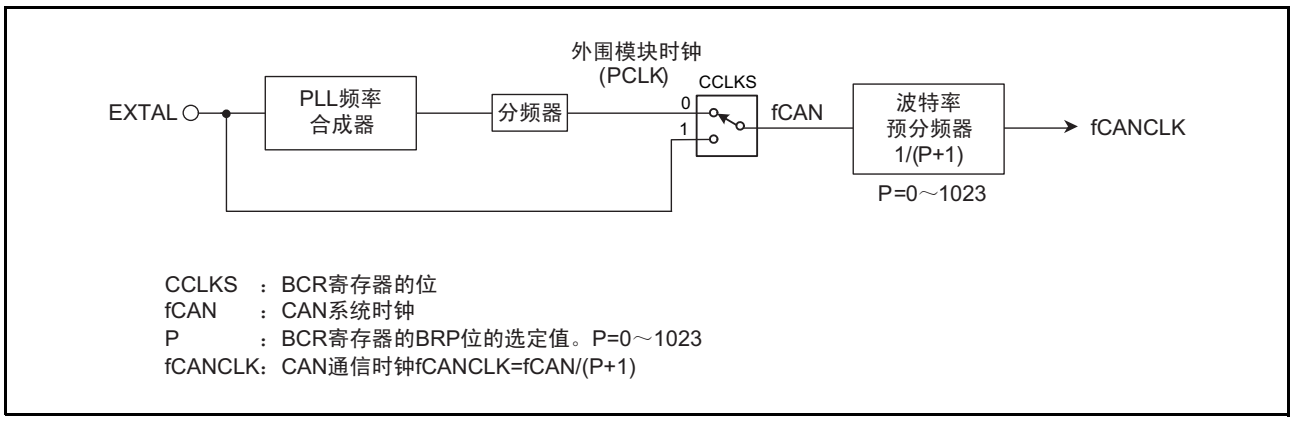


图 33.11 CAN 时钟发生电路的框图

33.4.2 位时序的设定

位时间由以下 3 段构成。

位时序如图 33.12 所示。



各段的范围	位时间 = 8 Tq ～ 25 Tq SS = 1 Tq TSEG1 = 4 Tq ～ 16 Tq TSEG2 = 2 Tq ～ 8 Tq SJW = 1 Tq ～ 4 Tq
TSEG1和TSEG2的设定	TSEG1＞TSEG2≥SJW

图 33.12 位时序图

33.4.3 位速率

位速率取决于 fCAN （CAN 时钟）的分频值、波特率预分频器的分频值和 1 位的 Tq 数。

$$\text{位速率[bps]} = \frac{fCAN}{\text{波特率预分器的分频值}^{(注1)} \times \text{1位时间的Tq数}} = \frac{fCANCLK}{\text{1位时间的Tq数}}$$

注 1. 波特率预分频器的分频值 =P+1(P=0 ～ 1023)
P：BCR 寄存器的 BRP[9:0] 位的设定值

位速率的例子如表 33.9 所示。

表 33.9 位速率的例子

fCAN	50MHz		48MHz		40MHz		32MHz	
位速率	Tq 数	P+1	Tq 数	P+1	Tq 数	P+1	Tq 数	P+1
1Mbps	10Tq 25Tq	5 2	8Tq 12Tq 16Tq	6 4 3	10Tq 20Tq	4 2	8Tq 16Tq	4 2
500kbps	10Tq 25Tq	10 4	8Tq 12Tq 16Tq	12 8 6	10Tq 20Tq	8 4	8Tq 16Tq	8 4
250kbps	10Tq 25Tq	20 8	8Tq 12Tq 16Tq	24 16 12	10Tq 20Tq	16 8	8Tq 16Tq	16 8
125kbps	10Tq 25Tq	40 16	8Tq 12Tq 16Tq	48 32 24	10Tq 20Tq	32 16	8Tq 16Tq	32 16
83.3kbps	10Tq 25Tq	60 24	8Tq 12Tq 16Tq	72 48 36	8Tq 10Tq 16Tq 20Tq	60 48 30 24	8Tq 16Tq	48 24
33.3kbps	10Tq 25Tq	150 60	8Tq 12Tq 16Tq	180 120 90	8Tq 10Tq 20Tq	150 120 60	8Tq 10Tq 16Tq 20Tq	120 96 60 48

33.5 信箱和屏蔽寄存器的结构

MBj 寄存器的结构如图 33.13 所示。
有 32 个结构相同的信箱。

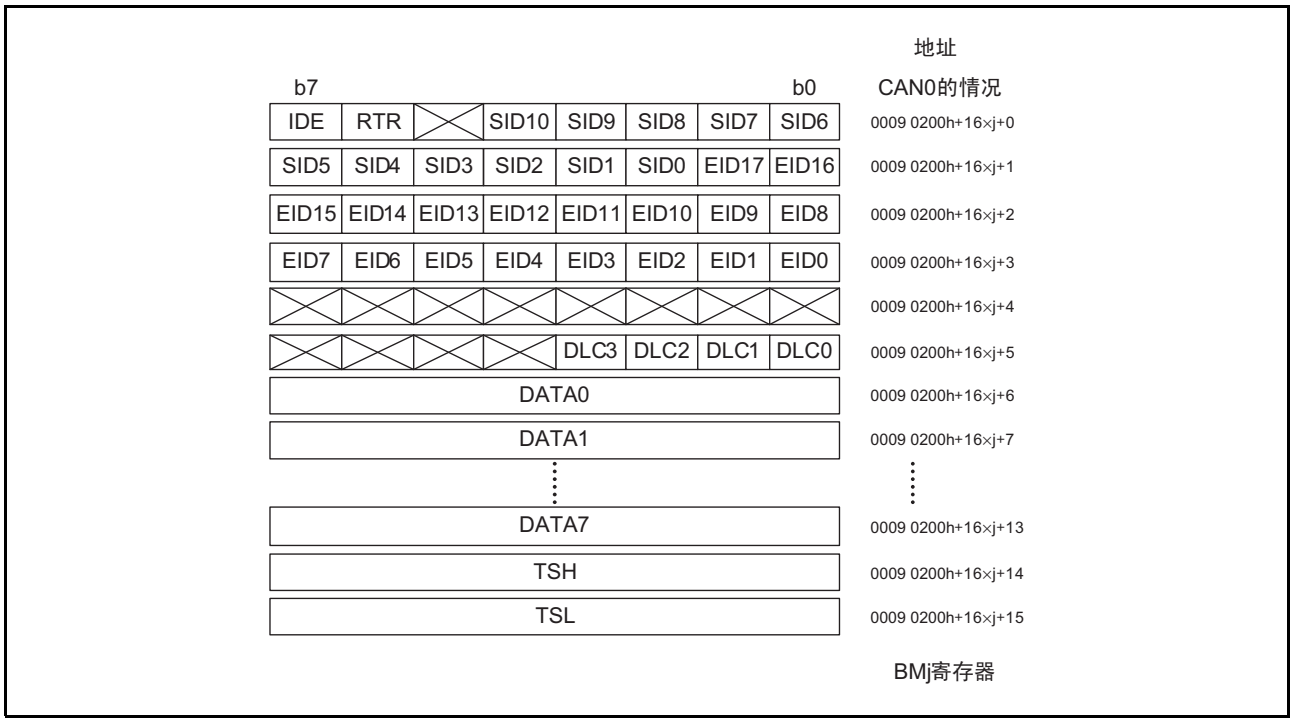


图 33.13 MBj 寄存器的结构 （j=0 ～ 31）

MKRk 寄存器的结构如图 33.14 所示。
有 8 个结构相同的屏蔽寄存器。

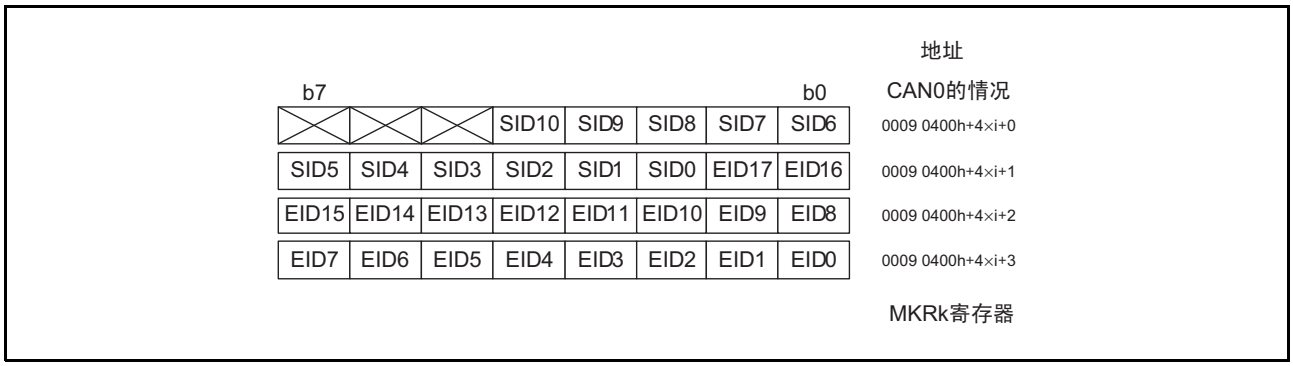


图 33.14 MKRk 寄存器的结构 （k=0 ～ 7）

FIDCR0 寄存器和 FIDCR1 寄存器的结构如图 33.15 所示。
有 2 个结构相同的 FIFO 接收 ID 比较寄存器。

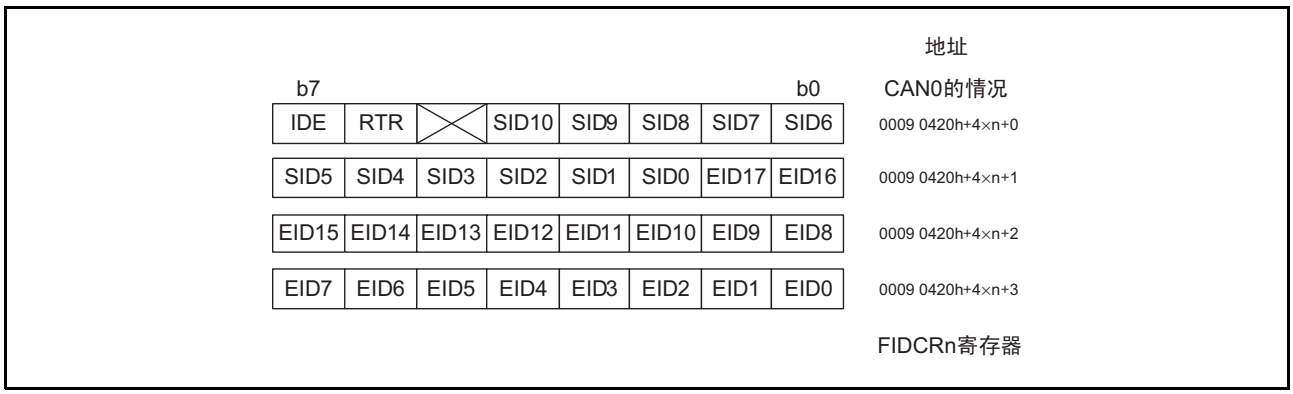


图 33.15 FIDCRn 寄存器的结构 （n=0、 1）

33.6 验收过滤功能和屏蔽功能

验收过滤功能和屏蔽功能允许选择和接收一定范围的 ID。
MKR0 ～ MKR7 寄存器能屏蔽标准 ID 和 29 位扩展 ID。

- MKR0 寄存器对应信箱 [0] ～ [3]。
- MKR1 寄存器对应信箱 [4] ～ [7]。
- MKR2 寄存器对应信箱 [8] ～ [11]。
- MKR3 寄存器对应信箱 [12] ～ [15]。
- MKR4 寄存器对应信箱 [16] ～ [19]。
- MKR5 寄存器对应信箱 [20] ～ [23]。
- 在普通信箱模式中， MKR6 寄存器对应信箱 [24] ～ [27]；在 FIFO 信箱模式中， MKR6 寄存器对应接收 FIFO 信箱 [28] ～ [31]。
- 在普通信箱模式中， MKR7 寄存器对应信箱 [28] ～ [31]；在 FIFO 信箱模式中， MKR7 寄存器对应接收 FIFO 信箱 [28] ～ [31]。

MKIVLR 寄存器分别禁止各信箱的验收过滤功能。
在 CTLR 寄存器的 IDFM[1:0] 位为 “10b”（混合 ID 模式）时， MBj 寄存器的 IDE 位有效。
MBj 寄存器的 RTR 位选择数据帧和远程帧。

在 FIFO 信箱模式中，普通信箱 （信箱 [0] ～ [23]）使用 MKR0 ～ MKR5 寄存器中对应的 1 个寄存器进行验收过滤处理，而接收 FIFO 信箱 （信箱 [28] ～ [31]）使用 MKR6 寄存器和 MKR7 寄存器进行验收过滤处理。

接收 FIFO 使用 FIDCR0 寄存器和 FIDCR1 寄存器进行 ID 的比较。接收 FIFO 的 MB28 ～ MB31 寄存器的 EID[17:0]、 SID[10:0]、 RTR 和 IDE 位无效。因为分别用 2 个逻辑或的结果进行验收过滤处理，所以接收 FIFO 能接收 2 个范围的 ID。

MKIVLR 寄存器对接收 FIFO 无效。

如果将标准 ID 和扩展 ID 分别设定到 FIDCR0 寄存器和 FIDCR1 寄存器的 IDE 位，就接收标准 ID 和扩展 ID 的 ID 格式。

如果将数据帧和远程帧分别设定到 FIDCR0 寄存器和 FIDCR1 寄存器的 RTR 位，就接收数据帧和远程帧。

在不需要 2 个范围的 ID 组合时，必须给 FIFO ID 和屏蔽寄存器设定相同的屏蔽值和 ID。

屏蔽寄存器和信箱的对应以及验收过滤处理分别如图 33.16 和图 33.17 所示。

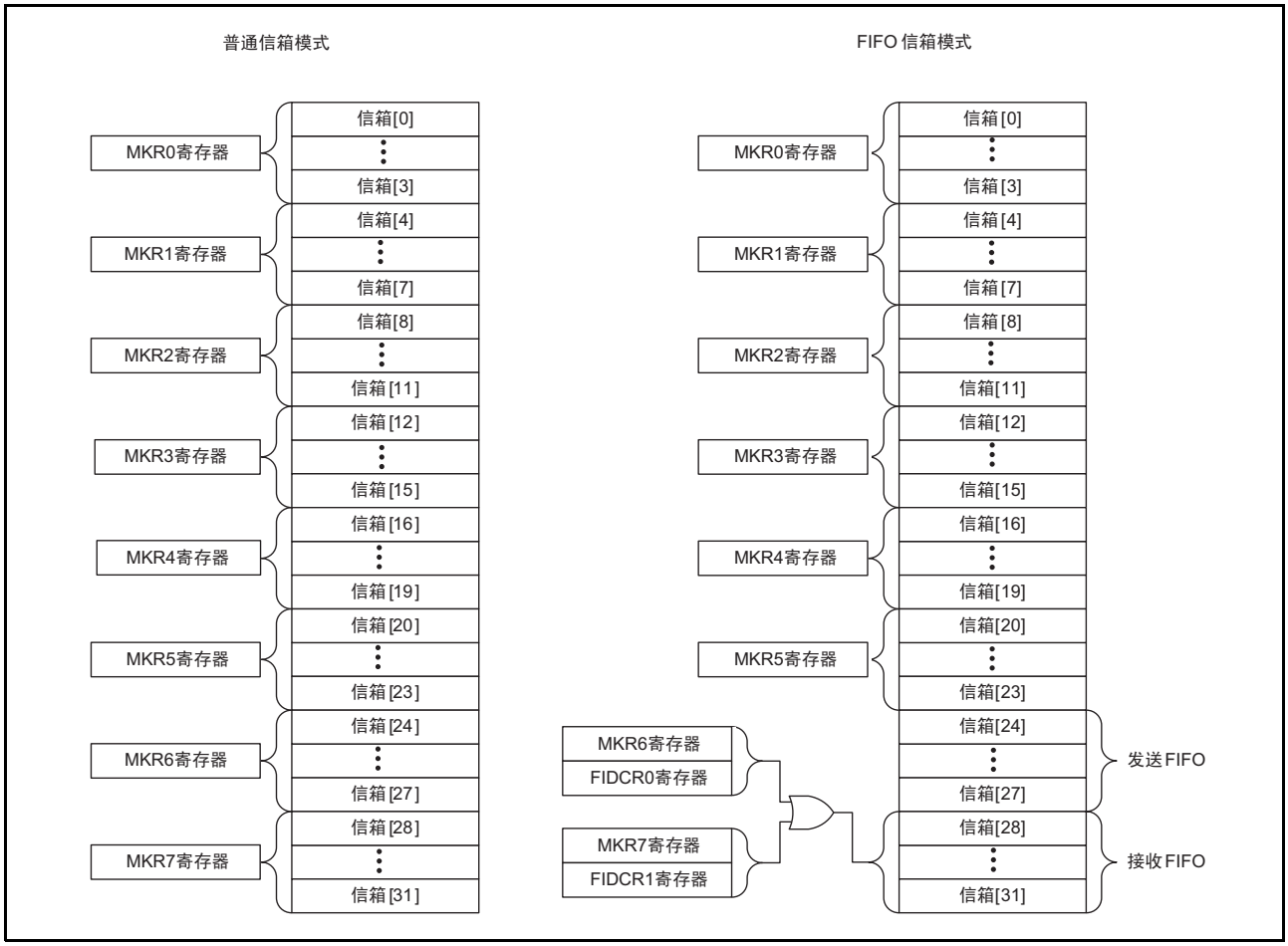


图 33.16　屏蔽寄存器和信箱的对应

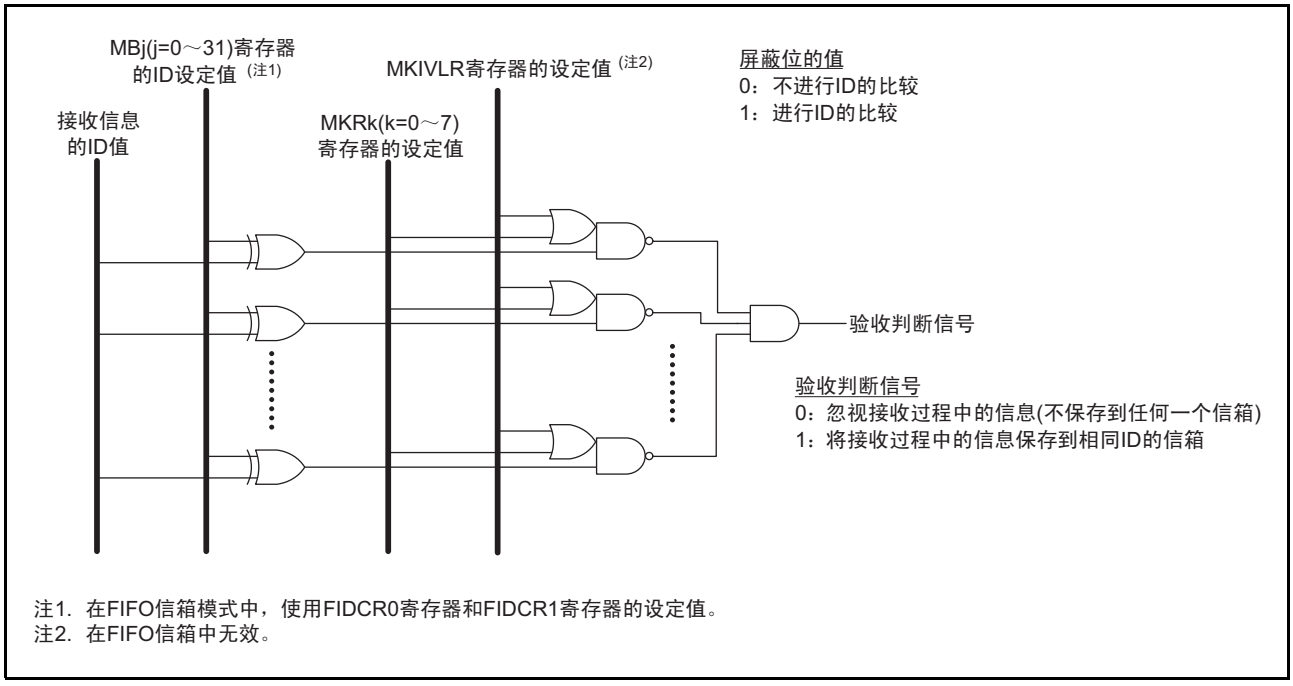


图 33.17　验收过滤处理

33.7 接收 / 发送

CAN 通信模式的设定方法如表 33.10 所示。

表 33.10 CAN 接收模式和 CAN 发送模式的设定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	信箱的通信模式
0	0	0	不能使用信箱或者正在中止发送。
0	0	1	只有在单次模式中已中止所编程信箱的发送或者接收时才能进行设定。
0	1	0	设定为数据帧或者远程帧的收件箱。
0	1	1	设定为数据帧或者远程帧的单次收件箱。
1	0	0	设定为数据帧或者远程帧的发件箱。
1	0	1	设定为数据帧或者远程帧的单次发件箱。
1	1	0	不能设定
1	1	1	不能设定

j=0 ～ 31

在将信箱设定为收件箱或者单次收件箱时，必须注意以下事项：

1. 在将信箱设定为收件箱或者单次收件箱前，必须将MCTLj寄存器置 “00h”。
2. 根据接收模式的设定和验收滤波器的处理结果，将接收信息保存到条件相同的第一个信箱。对于保存接收信息的信箱，信箱号越小，优先级越高。
3. 在CAN操作模式中，如果发送和被设定为接收信息的信箱的ID/屏蔽相同的信息， CAN模块就不接收发送数据。但是，在自测试模式中CAN模块接收发送数据，此时CAN模块返回ACK。

在将信箱设定为发件箱或者单次发件箱时，必须注意以下事项：

- 在将信箱设定为发件箱或者单次发件箱前，必须将 MCTLj 寄存器置 “00h”并且确认不在进行中止处理。

33.7.1 接收

接收数据帧时的运行例子 （盖写模式）如图 33.18 所示。

在此例中，当接收到和 MCTLj 寄存器 （j=0 ～ 31）的信箱条件相同的 2 个连续的 CAN 信息时，盖写最初的信息。

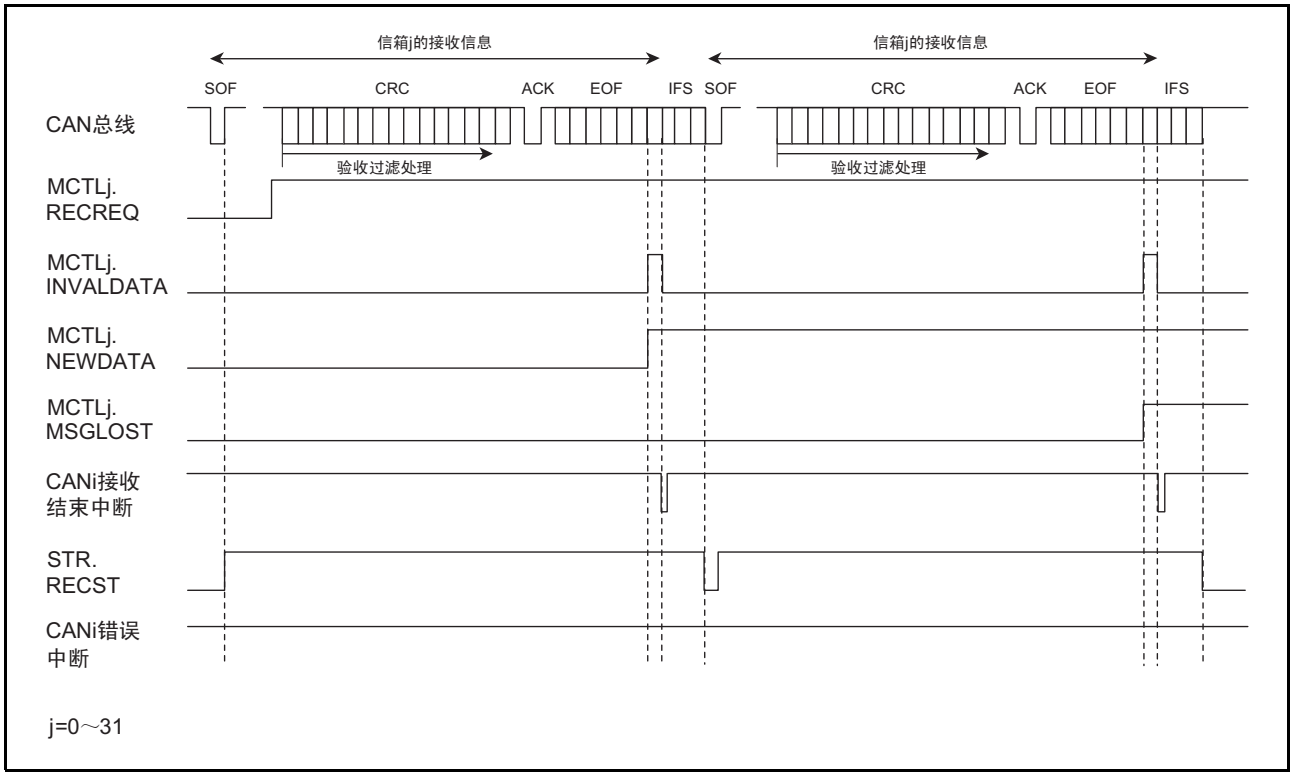


图 33.18 接收数据帧时的运行例子 （盖写模式）

1. 当在 CAN 总线上检测到 SOF 时，如果 CAN 模块没有要开始发送的信息， STR.RECST 位就变为 “1” （正在接收）。
2. 要选择收件箱时，从 CRC 字段的开头开始进行验收过滤处理。
3. 一旦接收完信息，收件箱的 MCTLj.NEWDATA 位就变为 “1”（正在更新新信息或者已保存到信箱），同时 MCTLj.INVALDATA 位变为 “1”（正在更新信息），在给该信箱传送完全部信息后，INVALDATA 位恢复为 “0”（信息有效）。
4. 当收件箱的 MIER 寄存器的中断允许位为 “1”（允许中断）时，产生 CANi 接收结束中断请求。如果 INVALDATA 位为 “0”，就产生此中断 （CANi 接收结束中断）。
5. 在从信箱读信息后，需要通过程序将 NEWDATA 标志置 “0”。
6. 在盖写模式中，如果 NEWDATA 标志再次变为 “1” 的信箱接收完下一条 CAN 信息，MCTLj.MSGLOST 标志就变为 “1”（盖写信息），并且将新的接收信息传送到信箱。 CANi 接收结束中断请求的产生条件和 4. 相同。

接收数据帧时的运行例子 （溢出模式）如图 33.19 所示。

在此例中，当接收到和 MCTLj 寄存器 （j=0 ～ 31）的信箱条件相同的 2 个连续的 CAN 信息时，放弃第 2 条信息。

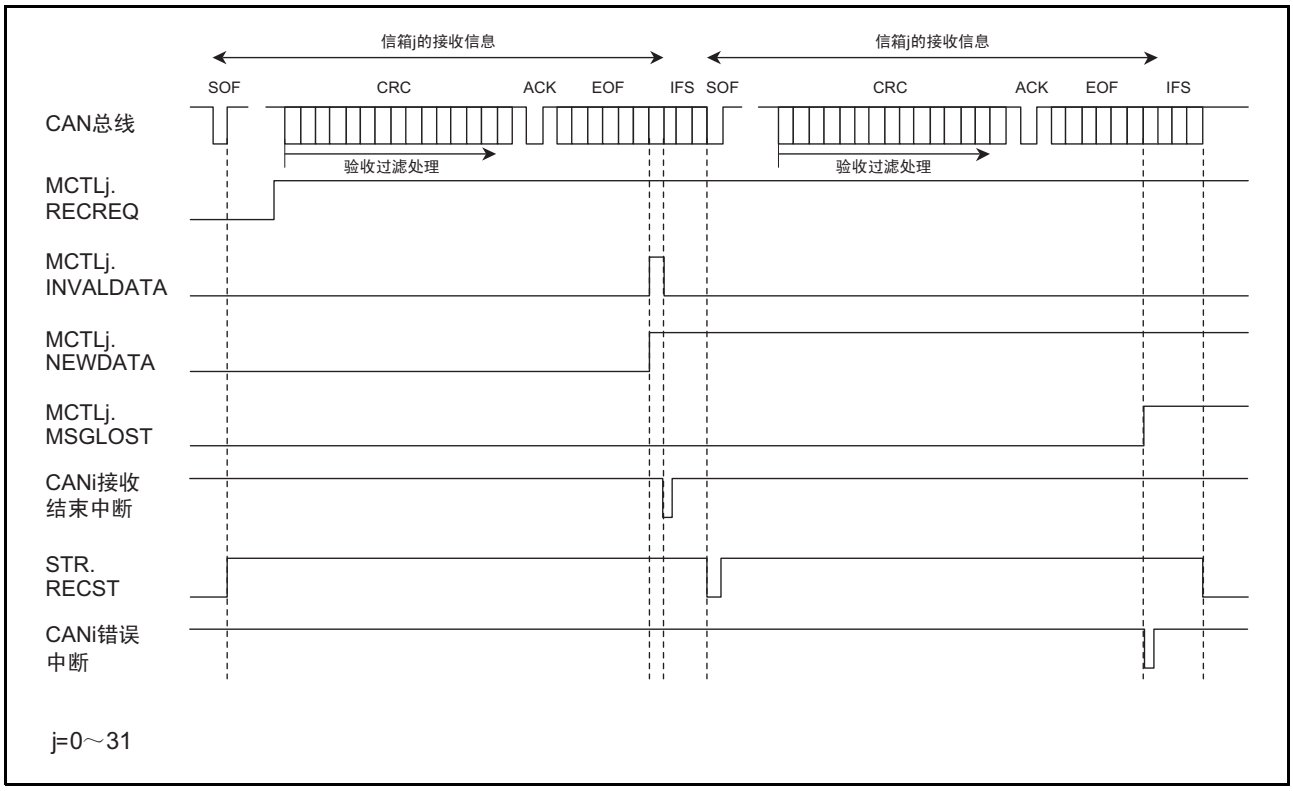


图 33.19 接收数据帧时的运行例子 （溢出模式）

1. ～ 5. 和盖写模式相同。

6. 在溢出模式中，如果在MCTLj.NEWDATA标志变为“0”前接收完下一条CAN信息，MCTLj.MSGLOST标志就变为 “1”（信息溢出）。当放弃新的接收信息并且EIER寄存器的对应中断允许位为 “1”（允许中断）时，产生CANi错误中断请求。

33.7.2 发送

发送数据帧时的运行例子如图 33.20 所示。

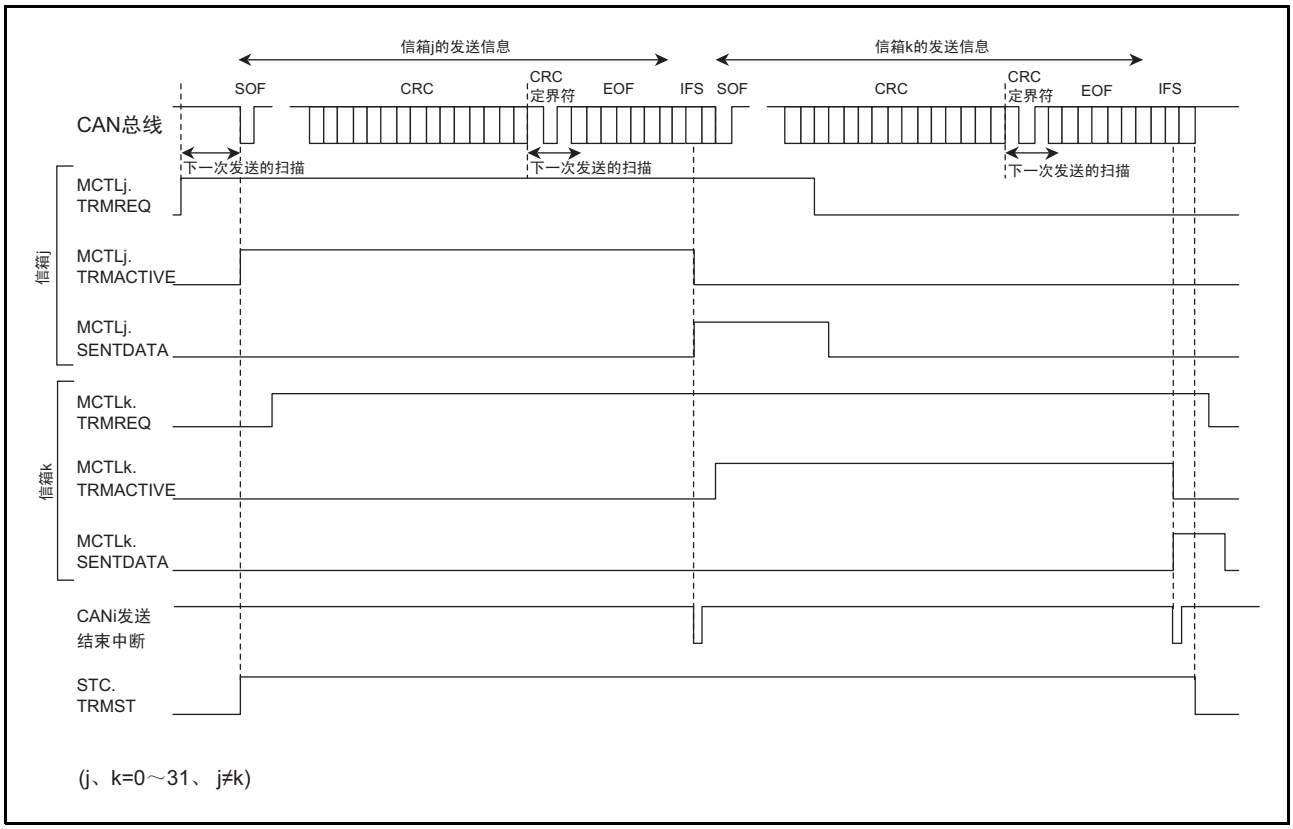


图 33.20 发送数据帧时的运行例子

1. 如果在总线空闲状态下将MCTLj.TRMREQ位（j=0～31）置“1”（发件箱），为了决定优先级最高的发件箱而开始信箱取消处理。一旦决定发件箱，MCTLj寄存器的TRMACTIVE位就变为“1”（从取发送请求到发送结束、发生错误或者仲裁失败为止）并且STR 寄存器的TRMST 位变为 “1”（正在发送）， CAN模块开始发送（注1）。
2. 在设定了其他TRMREQ位时，从CRC定界符开始下次发送的发送取消处理。
3. 当不发生仲裁失败而结束发送时，MCTLj寄存器的SENTDATA标志为“1”（发送结束）并且TRMACTIVE位为“0”（正处于发送待机或者无发送请求）。当MIER寄存器的中断允许位为“1”（允许中断）时，产生CANi发送结束中断请求。
4. 在从相同信箱请求下次发送时，必须将 SENTDATA 标志和 TRMREQ 位置 “0”，在确认 SENTDATA 标志和TRMREQ位都变为 “0”后将TRMREQ位置 “1”。

注 1. 如果在 CAN 模块开始发送后发生仲裁失败， TRMACTIVE 位就变为 “0”。为了从 CRC 定界符开始搜索优先级最高的发件箱，需要再次进行发送取消处理。当正在进行发送或者在发生仲裁失败后发生错误时，为了从错误定界符开始搜索优先级最高的发件箱，需要再次进行发送取消处理。

33.8 CAN 中断

CAN 模块的各通道有以下的 CAN 中断， CAN 中断一览表如表 33.11 所示。

- CANi接收结束中断 （信箱0～31） [RXMi]
- CANi发送结束中断 （信箱0～31） [TXMi]
- CANi接收FIFO中断[RXFi]
- CANi发送FIFO中断[TXFi]
- CANi错误中断[ERSi]

  CANi错误中断有8个中断源。能通过检查EIFR寄存器，确认这些中断源。
  - 总线错误
  - 错误警告
  - 错误被动
  - 总线断开开始
  - 总线断开恢复
  - 接收溢出
  - 过载帧发送
  - 总线锁定

表 33.11 CAN 中断一览表

模块	中断符号	中断源	中断源标志
CANi	ERSi	总线锁定检测	EIFR.BLIF
		过载帧发送检测	EIFR.OLIF
		溢出检测	EIFR.ORIF
		总线断开恢复检测	EIFR.BORIF
		总线断开开始检测	EIFR.BOEIF
		错误被动检测	EIFR.EPIF
		错误警告检测	EIFR.EWIF
		总线错误检测	EIFR.BEIF
	RXFi	接收 FIFO 信息接收 （MIER[29]=0）	RFCR.RFUST[2:0]
		接收 FIFO 警告 （MIER[29]=1）	
	TXFi	发送 FIFO 信息发送结束 （MIER[25]=0）	TFCR.TFUST
		FIFO 最后信息发送结束 （MIER[25]=1）	
	RXMi	信箱 0 ～ 31 信息接收	MCTL0.NEWDATA ～ MCTL31.NEWDATA
	TXMi	信箱 0 ～ 31 信息发送结束	MCTL0.SENTDATA ～ MCTL31.SENTDATA

i=0 ～ 2

33.9 使用时的注意事项

33.9.1 模块停止功能的设定

能通过模块停止控制寄存器 B（MSTPCRB），设定禁止或者允许 CAN 模块的运行。复位后的初始值为停止 CAN 模块的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照“11. 低功耗功能”。

34. 串行外围接口 （RSPI）

34.1 概要

RX630 群内置独立的 3 个通道的串行外围接口 （RSPI）。

RSPI 能进行全双工同步串行通信，还内置和多个处理器、外围设备进行高速通信的功能。

RSPI 的规格和框图分别如表 34.1 和图 34.1 所示。

在本章中，引脚名和信号名使用的 n 表示 A、 B、 C， i 表示 0 ～ 3。 RSPI 命令寄存器 m （SPCMDm）使用的 m 表示 0 ～ 7。

表 34.1 RSPI 的规格

项目	内容
通道数	3 个通道
RSPI 传送功能	• 能使用 MOSI （Master Out Slave In）、 MISO （Master In Slave Out）、 SSL （Slave Select）和 RSPCK （RSPI Clock）信号，通过 SPI 运行 （4 线式）或者时钟同步运行 （3 线式）进行串行通信。 • 只能进行发送。 • 能在主控模式或者从属模式中进行串行通信。 • 能更改串行传送时钟的极性。 • 能更改串行传送时钟的相位。
数据格式	• 能选择 MSB first 或者 LSB first。 • 能将传送位长改为 8 位、 9 位、 10 位、 11 位、 12 位、 13 位、 14 位、 15 位、 16 位、 20 位、 24 位或者 32 位。 • 发送 / 接收缓冲器为 128 位。 • 1 次发送 / 接收最多传送 4 帧 （1 帧最多 32 位）。
缓冲器结构	发送 / 接收缓冲器的结构为双缓冲结构。
错误检测	• 模式故障错误检测 • 溢出错误检测 • 奇偶校验错误检测
SSL 控制功能	• 每个通道有 4 个 SSL 信号 （SSLn0 ～ SSLn3）。 • 在设定为单主控模式时，输出 SSLn0 ～ SSLn3 信号。 • 在设定为多主控模式时， SSLn0 信号为输入信号， SSLn1 ～ SSLn3 信号为输出信号或者不使用。 • 在设定为从属模式时， SSLn0 信号为输入信号，不使用 SSLn1 ～ SSLn3 信号。 • 能设定从 SSL 输出有效开始到 RSPCK 运行为止的延迟 （RSPCK 延迟）。 设定范围：1 ～ 8 个 RSPCK 设定单位：1 个 RSPCK • 能设定从 RSPCK 停止开始到 SSL 输出无效为止的延迟 （SSL 无效延迟）。 设定范围：1 ～ 8 个 RSPCK 设定单位：1 个 RSPCK • 能设定下次存取的 SSL 输出有效的等待 （下次存取延迟）。 设定范围：1 ～ 8 个 RSPCK 设定单位：1 个 RSPCK • SSL 极性变更功能
主控传送时的控制方式	• 能按顺序循环执行由最多 8 个命令构成的传送。 • 能给各命令设定以下项目： SSL 信号值、位速率、 RSPCK 极性 / 相位、传送数据长度、 LSB/MSB first、突发、 RSPCK 延迟、 SSL 无效延迟、下次存取延迟 • 能通过写发送缓冲器来启动传送。 • 能设定 SSL 无效时的 MOSI 信号值。
中断源	• 可屏蔽的中断源 RSPI 接收中断 （接收缓冲器满） RSPI 发送中断 （发送缓冲器空） RSPI 错误中断 （模式故障错误、溢出错误和奇偶校验错误） RSPI 空闲中断 （RSPI 空闲）

项目	内容
其他功能	• RSPI 初始化功能 • 环回模式功能
低功耗功能	能设定为模块停止状态。

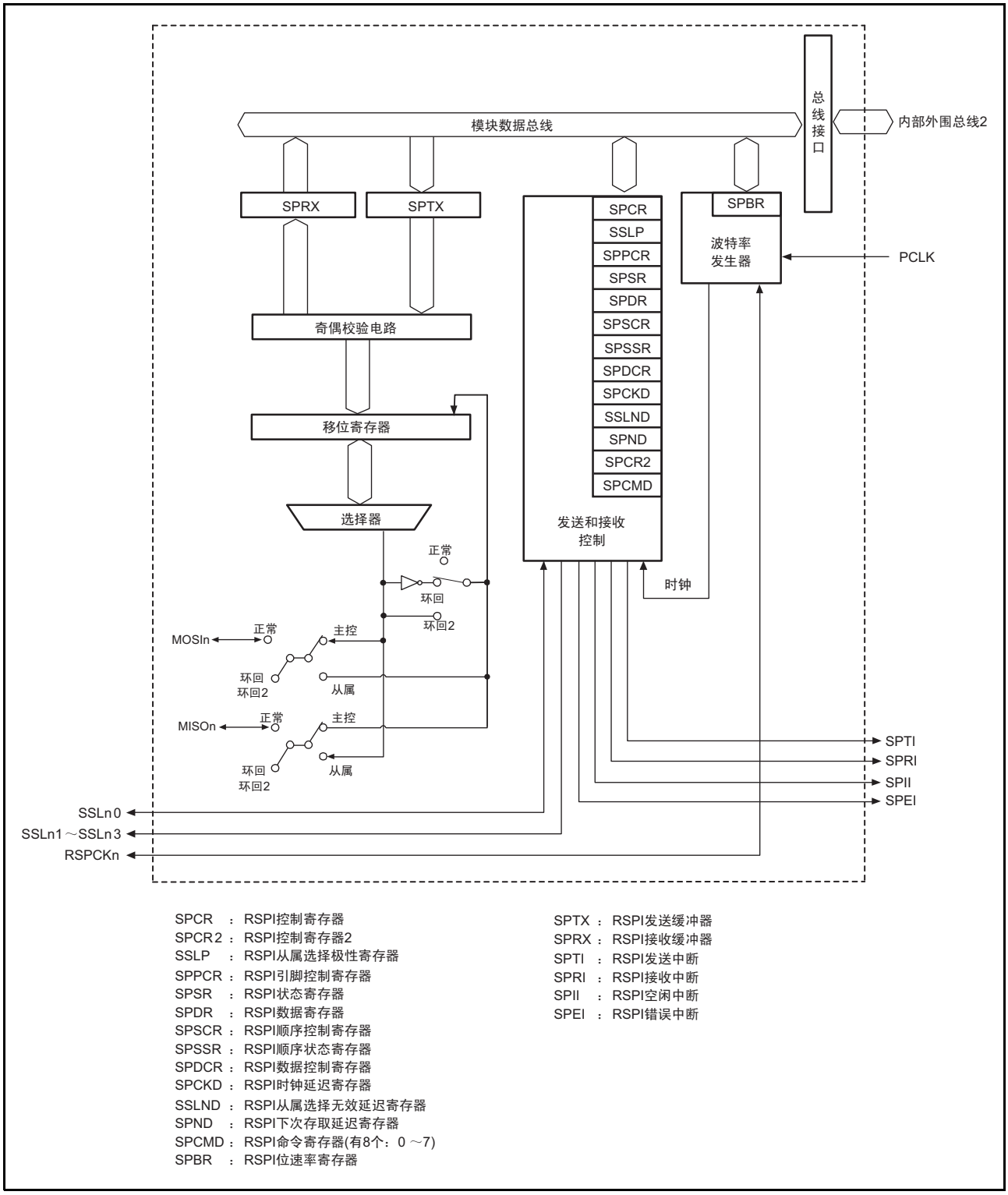


图 34.1 RSPI 的框图

RSPI 使用的输入 / 输出引脚如表 34.2 所示。

在设定为单主控模式时， RSPI 自动将 SSLn0 引脚 （n=A、 B、 C）的输入 / 输出方向更改为输出；在设定为多主控模式和从属模式时， RSPI 自动将 SSLn0 引脚 （n=A、 B、 C）的输入 / 输出方向更改为输入。根据主控模式 / 从属模式的设定和 SSLn0 引脚的输入电平， RSPI 自动更改 RSPCKn、 MOSIn 和 MISOn 引脚 （n=A、 B、 C）的输入 / 输出方向。

详细内容请参照 “34.3.2 RSPI 引脚的控制”。

表 34.2 RSPI 的输入 / 输出引脚

通道	引脚名	输入 / 输出	功能
RSPI0	RSPCKA	输入 / 输出	时钟输入 / 输出引脚
	MOSIA	输入 / 输出	主控发送数据输入 / 输出引脚
	MISOA	输入 / 输出	从属发送数据输入 / 输出引脚
	SSLA0	输入 / 输出	从属选择输入 / 输出引脚
	SSLA1	输出	从属选择输出引脚
	SSLA2	输出	从属选择输出引脚
	SSLA3	输出	从属选择输出引脚
RSPI1	RSPCKB	输入 / 输出	时钟输入 / 输出引脚
	MOSIB	输入 / 输出	主控发送数据输入 / 输出引脚
	MISOB	输入 / 输出	从属发送数据输入 / 输出引脚
	SSLB0	输入 / 输出	从属选择输入 / 输出引脚
	SSLB1	输出	从属选择输出引脚
	SSLB2	输出	从属选择输出引脚
	SSLB3	输出	从属选择输出引脚
RSPI2	RSPCKC	输入 / 输出	时钟输入 / 输出引脚
	MOSIC	输入 / 输出	主控发送数据输入 / 输出引脚
	MISOC	输入 / 输出	从属发送数据输入 / 输出引脚
	SSLC0	输入 / 输出	从属选择输入 / 输出引脚
	SSLC1	输出	从属选择输出引脚
	SSLC2	输出	从属选择输出引脚
	SSLC3	输出	从属选择输出引脚

34.2 寄存器说明

34.2.1 RSPI 控制寄存器 （SPCR）

地址 RSPI0.SPCR 0008 8380h、RSPI1.SPCR 0008 83A0h、RSPI2.SPCR 0008 83C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SPMS	RSPI 模式选择位	0：SPI 运行 （4 线式） 1：时钟同步运行 （3 线式）	R/W
b1	TXMD	通信运行模式选择位	0：全双工同步串行通信 1：只进行发送运行的串行通信	R/W
b2	MODFEN	模式故障错误检测允许位	0：禁止模式故障错误的检测 1：允许模式故障错误的检测	R/W
b3	MSTR	RSPI 主控 / 从属模式选择位	0：从属模式 1：主控模式	R/W
b4	SPEIE	RSPI 错误中断允许位	0：禁止 RSPI 错误中断请求的产生 1：允许 RSPI 错误中断请求的产生	R/W
b5	SPTIE	RSPI 发送中断允许位	0：禁止 RSPI 发送中断请求的产生 1：允许 RSPI 发送中断请求的产生	R/W
b6	SPE	RSPI 功能允许位	0：RSPI 功能无效 1：RSPI 功能有效	R/W
b7	SPRIE	RSPI 接收中断允许位	0：禁止 RSPI 接收中断请求的产生 1：允许 RSPI 接收中断请求的产生	R/W

如果在 SPCR.SPE 位为 “1” 的状态下更改 SPCR.MSTR 位、 SPCR.MODFEN 位和 SPCR.TXMD 位的设定值，就不保证以后的运行。

SPMS 位 （RSPI 模式选择位）

此位选择 SPI 运行 （4 线式）或者时钟同步运行 （3 线式）。

在进行时钟同步运行时，不使用 SSLn0 ～ 3 引脚而使用 RSPCKn 引脚、MOSIn 引脚和 MISOn 引脚这 3 个引脚进行通信。在主控模式中 （SPCR.MSTR=1）进行时钟同步运行时，能将 SPCMDm.CPHA 位置 “0” 或者 “1”；在从属模式中 （SPCR.MSTR=0）进行时钟同步运行时，就不保证将 CPHA 位置 “0” 时的运行。

TXMD 位 （发送运行模式选择位）

此位选择全双工同步串行通信或者只进行发送运行的串行通信。

在将 TXMD 位置 “1” 后进行通信时，只进行发送运行而不进行接收运行 （参照 “34.3.5 传送格式”）。

如果将 TXMD 置 “1”，就不能使用接收缓冲器满的中断请求。

MODFEN 位 （模式故障错误检测允许位）

此位允许或者禁止模式故障错误检测（参照 “34.3.8 错误检测”）。RSPI 根据 MODFEN 位和 MSTR 位的组合，决定 SSLn0 ～ 3 引脚的输入 / 输出方向 （参照 “34.3.2 RSPI 引脚的控制”）。

MSTR 位 （RSPI 主控 / 从属模式选择位）

此位选择 RSPI 的主控模式或者从属模式。RSPI 根据 MSTR 位的设定，决定 RSPCKn、MOSIn、MISOn 和 SSLn0 ～ 3 引脚的方向。

SPEIE 位 （RSPI 错误中断允许位）

如果在 RSPI 检测到模式故障错误后将 SPSR.MODF 标志置 “1” ，或者在 RSPI 检测到溢出错误后将 SPSR.OVRF 标志置 “1”，或者在 RSPI 检测到奇偶校验错误后将 SPSR.PERF 标志置 “1”，此位就允许或者禁止 RSPI 错误中断请求的产生。详细内容请参照 “34.3.8 错误检测”。

SPE 位 （RSPI 功能允许位）

此位选择 RSPI 功能的有效或者无效。

当 SPSR.MODF 位为 “1” 时，不能将 SPE 位置 “1”。详细内容请参照 “34.3.8 错误检测”。

如果将 SPE 位置“0”，就将 RSPI 功能置为无效并且对一部分模块功能进行初始化。详细内容请参照“34.3.9 RSPI 的初始化”。通过将 SPE 位从 “0” 的状态变为 “1” 的状态或者从 “1” 的状态变为 “0” 的状态，产生 RSPI 发送中断请求。

34.2.2 RSPI 从属选择极性寄存器 （SSLP）

地址 RSPI0.SSLP 0008 8381h、RSPI1.SSLP 0008 83A1h、RSPI2.SSLP 0008 83C1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SSL0P	SSL0 信号极性设定位	0：SSL0 信号的低电平有效 1：SSL0 信号的高电平有效	R/W
b1	SSL1P	SSL1 信号极性设定位	0：SSL1 信号的低电平有效 1：SSL1 信号的高电平有效	R/W
b2	SSL2P	SSL2 信号极性设定位	0：SSL2 信号的低电平有效 1：SSL2 信号的高电平有效	R/W
b3	SSL3P	SSL3 信号极性设定位	0：SSL3 信号的低电平有效 1：SSL3 信号的高电平有效	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

如果在 SPCR.SPE 位为 “1” 的状态下改写 SSLP 寄存器，就不保证以后的运行。

34.2.3 RSPI 引脚控制寄存器 （SPPCR）

地址 RSPI0.SPPCR 0008 8382h、RSPI1.SPPCR 0008 83A2h、RSPI2.SPPCR 0008 83C2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SPLP	RSPI 环回位	0：正常模式 1：环回模式 （发送数据的反相 = 接收数据）	R/W
b1	SPLP2	RSPI 环回 2 位	0：正常模式 1：环回模式 （发送数据 = 接收数据）	R/W
b3-b2	—	保留位	读写值都为 “0”。	R/W
b4	MOIFV	MOSI 空闲固定值位	0：MOSI 空闲固定值为 “0” 1：MOSI 空闲固定值为 “1”	R/W
b5	MOIFE	MOSI 空闲值固定允许位	0：MOSI 输出值为上次传送的最后数据 1：MOSI 输出值为 MOIFV 位的设定值	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

如果在 SPCR.SPE 位为 “1”的状态下改写 SPPCR 寄存器，就不保证以后的运行。

SPLP 位 （RSPI 环回位）

此位选择 RSPI 的引脚模式。

当 SPLP 位被置 “1”时，如果 SPCR.MSTR 位为 “1”， RSPI 就切断 MISOn 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路 （取反）；如果 SPCR.MSTR 位为 “0”， RSPI 就在从属运行时切断 MOSIn 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路 （取反）（环回模式）。

SPLP2 位 （RSPI 环回 2 位）

此位选择 RSPI 的引脚模式。

当 SPLP2 位被置 “1”时，如果 SPCR.MSTR 位为 “1”， RSPI 就切断 MISOn 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路；如果 SPCR.MSTR 位为“0”，RSPI 就在从属运行时切断 MOSIn 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路 （环回模式）。

MOIFV 位 （MOSI 空闲固定值位）

在主控模式中，当 MOIFE 位为 “1”时，此位选择 SSL 无效期间 （包括突发传送中的 SSL 保持期间）的 MOSIn 引脚输出值。

MOIFE 位 （MOSI 空闲值固定允许位）

主控模式的 RSPI 在 SSL 无效期间（包含突发传送中的 SSL 保持期间）使用此位固定 MOSIn 的输出值。当 MOIFE 位为“0”时，RSPI 在 SSL 无效期间内将上次串行传送的最后数据输出到 MOSIn ； 当 MOIFE 位为“1”时， RSPI 将 MOIFV 位设定的固定值输出到 MOSIn。

34.2.4 RSPI 状态寄存器 （SPSR）

地址 RSPI0.SPSR 0008 8383h、RSPI1.SPSR 0008 83A3h、RSPI2.SPSR 0008 83C3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PERF	MODF	IDLNF	OVRF
复位后的值	x	0	x	0	0	0	0	0

x： 不定值

位	符号	位名	功能	R/W
b0	OVRF	溢出错误标志	0：未发生溢出错误 1：发生溢出错误	R/(W) （注 1）
b1	IDLNF	RSPI 空闲标志	0：RSPI 为空闲状态 1：RSPI 为传送状态	R
b2	MODF	模式故障错误标志	0：未发生模式故障错误 1：发生模式故障错误	R/(W) （注 1）
b3	PERF	奇偶校验错误标志	0：未发生奇偶校验错误 1：发生奇偶校验错误	R//(W) （注 1）
b4	—	保留位	读写值都为 “0”。	R/W
b5	—	保留位	读取值为不定值，只能写 “1”。	R/W
b6	—	保留位	读写值都为 “0”。	R/W
b7	—	保留位	读取值为不定值，只能写 “1”。	R/W

注 1. 为了清除标志，只能在读 “1” 后写 “0”。

OVRF 标志 （溢出错误标志）

此标志表示溢出错误的发生状况。

[为 “1” 的条件]

- 在SPCR.TXMD位为 “0” 并且接收缓冲器有未读数据的状态下串行传送结束时

[为 “0” 的条件]

- 在OVRF标志为 “1” 的状态下读SPSR寄存器后给OVRF标志写 “0” 时

IDLNF 标志 （RSPI 空闲标志）

此标志表示 RSPI 的传送状况。

[为 “1” 的条件]

【主控模式】

- 当下述[为 “0” 的条件]的 【主控模式】中的条件一个也不满足时

【从属模式】

- 当SPCR.SPE位为 “1”（RSPI功能有效）时

[为 “0” 的条件]

【主控模式】

1. 当SPCR.SPE位为 “0”（RSPI的初始化）时
2. 当发送缓冲器 （SPTX）为空 （未设定下一个传送数据）时
3. 当SPSSR.SPCP[2:0]位为 “000b”（顺序控制的开头）时
4. 当RSPI内部定序器转移到空闲状态时 （在下次存取延迟前结束运行的状态）

当满足上述 1. 条件或者满足上述 2. ～ 4. 的全部条件时

【从属模式】

- 当SPCR.SPE位为 “0”（RSPI的初始化）时

MODF 标志 （模式故障错误标志）

此标志表示发生了模式故障错误。

[为 “1”的条件]

【多主控模式】

- 在SPCR.MSTR位为 “1”（主控模式）并且SPCR.MODFEN位为 “1”（允许模式故障错误的检测）的状态下， SSLni引脚的输入电平为有效电平并且RSPI检测到模式故障错误时

【从属模式】

- 在SPCR.MSTR位为 “0”（从属模式）并且SPCR.MODFEN位为 “1”（允许模式故障错误的检测）的状态下，在数据传送所需的RSPCK周期结束前SSLni引脚无效并且RSPI检测到模式故障错误时

SSLni 信号的有效电平取决于 SSLP.SSLiP 位 （SSL 信号极性设定位）。

[为 “0”的条件]

- 在MODF标志为 “1”的状态下读SPSR寄存器后给MODF标志写 “0”时

PERF 标志 （奇偶校验错误标志）

此标志表示发生了奇偶校验错误。

[为 “1”的条件]

- 在SPCR.TXMD位为 “0”并且SPCR2.SPPE位为 “1”的状态下串行传送结束，并且检测到奇偶校验错误时

[为 “0”的条件]

- 在PERF标志为 “1”的状态下读SPSR寄存器后给PERF标志写 “0”时

34.2.5 RSPI 数据寄存器 （SPDR）

地址 RSPI0.SPDR 0008 8384h、 RSPI1.SPDR 0008 83A4h、 RSPI2.SPDR 0008 83C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDR 寄存器是保存 RSPI 发送 / 接收数据的缓冲器。发送缓冲器和接收缓冲器是独立的缓冲器。 SPDR 寄存器的结构图如图 34.2 所示。

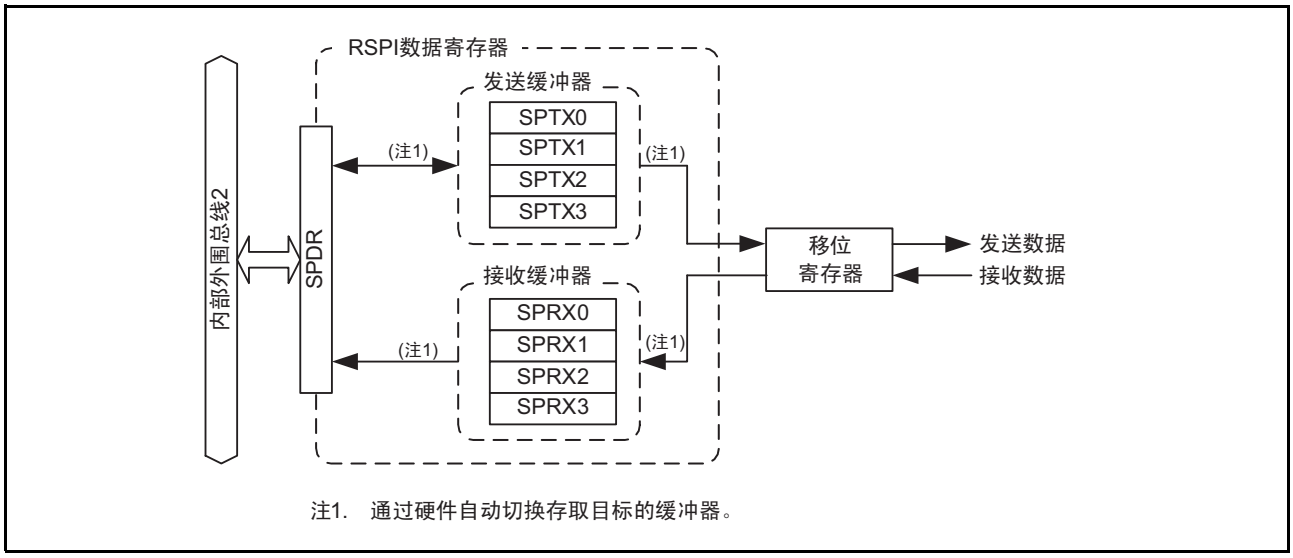


图 34.2 SPDR 寄存器的结构图

发送缓冲器和接收缓冲器分别有4个缓冲器，能通过RSPI数据控制寄存器的帧数设定位（SPDCR.SPFC[1:0]）设定要使用的缓冲器个数。这 8 个缓冲器被映像到 SPDR 寄存器的 1 个地址。

能通过写 SPDR 寄存器，将值写到发送缓冲器 （SPTX0 ～ 3）并且发送写的数据。

如果接收完数据，接收缓冲器就保存接收数据。当发生溢出错误时，不更新接收缓冲器的值。

当数据长度不是 32 位时，将 SPTXn （n=0 ～ 3）的非参照位保存到 SPRXn （n=0 ～ 3）的非参照位。例如，当数据长度是 9 位时，将 SPTXn[31:9] 保存到 SPRXn[31:9] （SPTXn[8:0] 保存接收数据）。

(1) 总线接口

SPDR 寄存器有 4 个 32 位发送缓冲器和 4 个 32 位接收缓冲器，合计 32 字节。此 32 字节被映像到 SPDR 寄存器的 4 字节空间。通过 RSPI 数据控制寄存器的 RSPI 长字存取 / 字存取设定位 （SPDCR.SPLW）设定的存取长度，进行 SPDR 寄存器的存取。

必须以往 LSB 靠紧的格式写发送数据。以往 LSB 靠紧的格式保存接收数据。

SPDR 寄存器的读写操作如下所示。

(a) 写操作

发送缓冲器有发送缓冲器写指针，通过写 SPDR 寄存器，指针自动切换到下一个缓冲器。

发送缓冲器的总线接口 （写时）的结构图如图 34.3 所示。

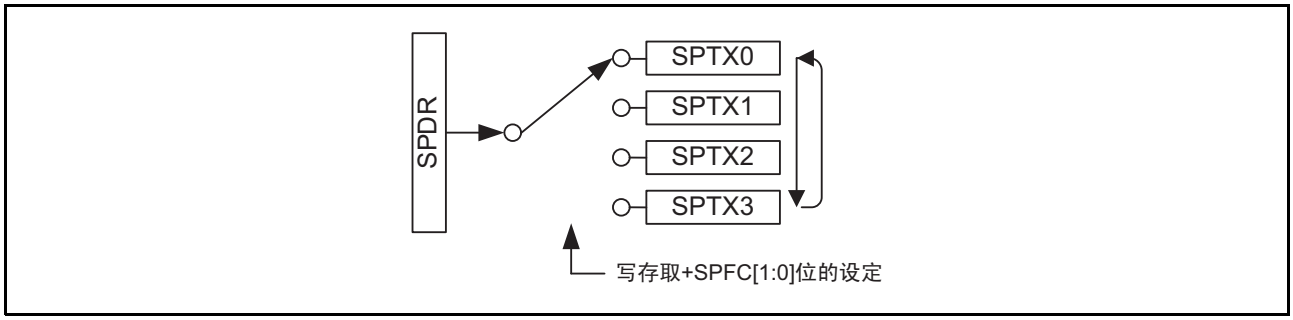


图 34.3 SPDR 寄存器的结构图 （写时）

发送缓冲器写指针的切换顺序因 RSPI 数据控制寄存器的帧数设定位 （SPDCR.SPFC[1:0]）的设定而不同。

- SPFC[1:0]位的设定和SPTX0～3的切换顺序
  当SPFC[1:0]位为 “00b”时， SPTX0→SPTX0→SPTX0→・・・
  当SPFC[1:0]位为 “01b”时， SPTX0→SPTX1→SPTX0→SPTX1→・・・
  当SPFC[1:0]位为 “10b”时， SPTX0→SPTX1→SPTX2→SPTX0→SPTX1→・・・
  当SPFC[1:0]位为 “11b”时， SPTX0→SPTX1→SPTX2→SPTX3→SPTX0→SPTX1→・・・

如果在 RSPI 控制寄存器的 RSPI 功能允许位 （SPCR.SPE）为 “0”的状态下写 “1”，下一个写目标就为 SPTX0。

必须在发生 RSPI 发送中断后，将 RSPI 数据控制寄存器 （SPDCR）的帧数设定位 （SPFC[1:0]）所设帧数的发送数据写到发送缓冲器。在发生下一个RSPI发送中断前，即使写发送缓冲器也放弃SPDR寄存器的写存取。

(b) 读操作

能通过读 SPDR 寄存器，读到接收缓冲器 （SPRX0 ～ 3）或者发送缓冲器 （SPTX0 ～ 3）的值。能通过 RSPI 数据控制寄存器的 RSPI 接收 / 发送数据选择位（SPCR.SPRDTD）选择是读接收缓冲器还是读发送缓冲器。

在 SPDR 寄存器的读结构中，有 2 个独立的指针（接收缓冲器读指针和发送缓冲器读指针）。通过读 SPDR 寄存器，指针自动切换到下一个缓冲器。

接收缓冲器和发送缓冲器的总线接口 （读时）的结构图如图 34.4 所示。

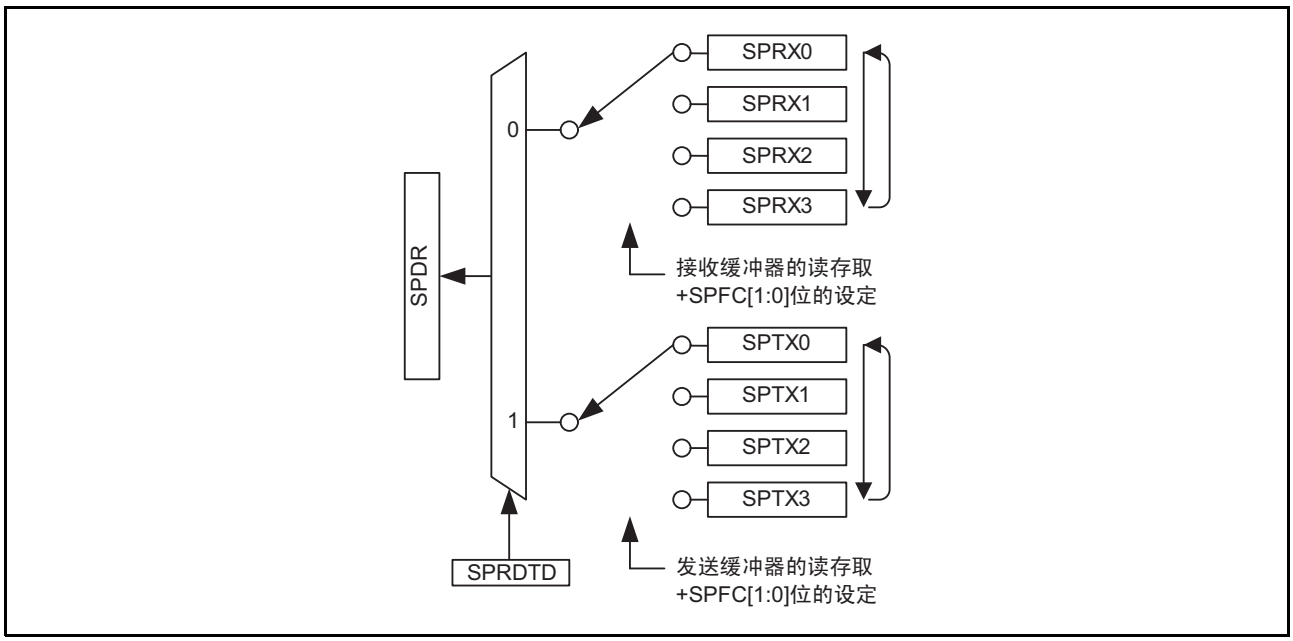


图 34.4 SPDR 寄存器的结构图 （读时）

接收缓冲器读指针的切换顺序和发送缓冲器读指针相同。如果读发送缓冲器，就能读到刚写入发送缓冲器的值。读时，只更新由 RSPI 数据控制寄存器的 RSPI 接收 / 发送数据选择位 （SPDCR.SPRDTD）选择的读缓冲器的缓冲器读指针，而其他缓冲器读指针保持不变。

如果在 RSPI 控制寄存器的 RSPI 功能允许位 （SPCR.SPE）为 “0”的状态下写 “1”，下一个读目标就由 SPRXn 的缓冲器读指针指向 SPTX0。

在发生 RSPI 发送中断以及写 RSPI 数据控制寄存器的帧数设定位 （SPDCR.SPFC[1:0]）所设帧数的发送数据之后，如果在发生下一个 RSPI 发送中断之前读发送缓冲器，读取值就全部为 “0”。

在发生 RSPI 发送中断后，如果写 RSPI 数据控制寄存器的帧数设定位 （SPDCR.SPFC[1:0]）所设帧数的发送数据，就清除 SPTXn 的缓冲器读指针。

34.2.6 RSPI 顺序控制寄存器 （SPSCR）

地址 RSPI0.SPSCR 0008 8388h、RSPI1.SPSCR 0008 83A8h、RSPI2.SPSCR 0008 83C8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	SPSLN[2:0]	RSPI 顺序长度设定位	b2 b0 顺序长度 参照的 SPCMD0 ～ 7 寄存器 （序号） 0 0 0： 1 0→0→… 0 0 1： 2 0→1→0→… 0 1 0： 3 0→1→2→0→… 0 1 1： 4 0→1→2→3→0→… 1 0 0： 5 0→1→2→3→4→0→… 1 0 1： 6 0→1→2→3→4→5→0→… 1 1 0： 7 0→1→2→3→4→5→6→0→… 1 1 1： 8 0→1→2→3→4→5→6→7→0→… 根据所设定的顺序长度，更改要参照的 SPCMD0 ～ 7 寄存器和参照顺序。SPSLN[2:0] 位的设定值和顺序长度、RSPI 要参照的 SPCMD0 ～ 7 寄存器的关系如上所述。另外，从属模式的 RSPI 能随时参照 SPCMD0 寄存器。	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

SPSCR 寄存器是在 RSPI 主控运行时设定顺序长度的寄存器。如果在 SPCR.MSTR 位和 SPCR.SPE 位都为 “1”的状态下改写 SPSCR.SPSLN[2:0] 位，就必须在 SPSR.IDLNF 标志为 “0”时进行改写。

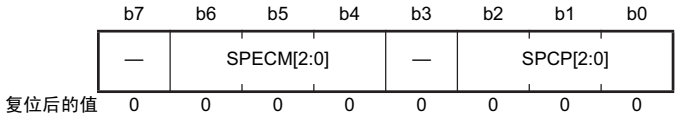
SPSLN[2:0] 位 （RSPI 顺序长度设定位）

这些位设定主控模式的 RSPI 进行顺序运行时的顺序长度。主控模式的 RSPI 根据 SPSLN[2:0] 位所设定的顺序长度，更改要参照的 SPCMD0 ～ 7 寄存器和参照顺序。

从属模式的 RSPI 能随时参照 SPCMD0 寄存器。

34.2.7 RSPI 顺序状态寄存器 （SPSSR）

地址 RSPI0.SPSSR 0008 8389h、RSPI1.SPSSR 0008 83A9h、RSPI2.SPSSR 0008 83C9h



位	符号	位名	功能	R/W
b2-b0	SPCP[2:0]	RSPI 命令指针位	b2 b0 0 0 0：SPCMD0 0 0 1：SPCMD1 0 1 0：SPCMD2 0 1 1：SPCMD3 1 0 0：SPCMD4 1 0 1：SPCMD5 1 1 0：SPCMD6 1 1 1：SPCMD7	R
b3	—	保留位	读取值为 “0”。	R
b6-b4	SPECM[2:0]	RSPI 错误命令位	b6 b4 0 0 0：SPCMD0 0 0 1：SPCMD1 0 1 0：SPCMD2 0 1 1：SPCMD3 1 0 0：SPCMD4 1 0 1：SPCMD5 1 1 0：SPCMD6 1 1 1：SPCMD7	R
b7	—	保留位	读取值为 “0”。	R

SPSSR 寄存器表示 RSPI 主控运行时的顺序控制状态。

SPSSR 寄存器的写操作无效。

SPCP[2:0] 位 （RSPI 命令指针位）

这些位通过 RSPI 的顺序控制，表示当前指针所指向的 SPCMDm 寄存器。

有关 RSPI 的顺序控制，请参照 “34.3.10.1 主控模式的运行”。

SPECM[2:0] 位 （RSPI 错误命令位）

这些位通过 RSPI 顺序控制，表示在检测到错误时 SPCP[2:0] 位指定的 SPCMDm 寄存器。只有在检测到错误时， RSPI 才能更新 SPECM[2:0] 位。如果 SPSR.OVRF 位和 MODF 标志都为 “0”并且没有发生错误，SPECM[2:0] 位的值就没有含义。

有关 RSPI 的错误检测功能，请参照“34.3.8 错误检测”；有关 RSPI 的顺序控制，请参照“34.3.10.1 主控模式的运行”。

34.2.8 RSPI 位速率寄存器 （SPBR）

地址 RSPI0.SPBR 0008 838Ah、RSPI1.SPBR 0008 83AAh、RSPI2.SPBR 0008 83CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
复位后的值	1	1	1	1	1	1	1	1

SPBR 寄存器用于设定主控模式中的位速率。如果在 SPCR.MSTR 和 SPCR.SPE 位都为 “1” 的状态下改写 SPBR 寄存器，就不保证以后的运行。

在从属模式中使用 RSPI 时，与 SPBR 寄存器和 SPCMDm.BRDV[1:0] 位 （位速率分频设定位）无关，取决于输入时钟的位速率 （必须使用满足电特性的位速率）。

位速率取决于 SPBR 寄存器的设定值和 SPCMDm.BRDV[1:0] 位设定值的组合，位速率的计算式如下。在计算式中，n 为 SPBR 寄存器的设定值（0、1、2、……、255），N 为 BRDV[1:0] 位的设定值（0、1、2、3）。

$$\text{位速率} = \frac{f(PCLK)}{2\times(n+1)\,2^{N}}$$

SPBR 寄存器、 BRDV[1:0] 位的设定值和位速率的关系例子如表 34.3 所示。

表 34.3 SPBR 寄存器、 BRDV[1:0] 位的设定值和位速率

SPBR 寄存器的设定值 （n）	BRDV[1:0] 位的设定值 （N）	分频比	位速率			
			PCLK=32MHz	PCLK=36MHz	PCLK=40MHz	PCLK=50MHz
0	0	2	16.0Mbps	18.0Mbps	20.0Mbps	25.0Mbps
1	0	4	8.00Mbps	9.00Mbps	10.0Mbps	12.5Mbps
2	0	6	5.33Mbps	6.00Mbps	6.67Mbps	8.33Mbps
3	0	8	4.00Mbps	4.50Mbps	5.00Mbps	6.25Mbps
4	0	10	3.20Mbps	3.60Mbps	4.00Mbps	5.00Mbps
5	0	12	2.67Mbps	3.00Mbps	3.33Mbps	4.16Mbps
5	1	24	1.33Mbps	1.50Mbps	1.67Mbps	2.08Mbps
5	2	48	667kbps	750kbps	833kbps	1.04Mbps
5	3	96	333kbps	375kbps	417kbps	521kbps
255	3	4096	7.81kbps	8.80kbps	9.78kbps	12.2kbps

34.2.9 RSPI 数据控制寄存器 （SPDCR）

地址 RSPI0.SPDCR 0008 838Bh、RSPI1.SPDCR 0008 83ABh、RSPI2.SPDCR 0008 83CBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SPLW	SPRDTD	—		SPFC[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	SPFC[1:0]	帧数设定位	b1 b0 0 0：1 帧 0 1：2 帧 1 0：3 帧 1 1：4 帧	R/W
b3-b2	—	保留位	读写值都为 “0”。	R/W
b4	SPRDTD	RSPI 接收 / 发送数据选择位	0：SPDR 读接收缓冲器 1：SPDR 读发送缓冲器 （但是，在发送缓冲器为空时）	R/W
b5	SPLW	RSPI 长字存取 / 字存取设定位	0：对 SPDR 寄存器进行字存取 1：对 SPDR 寄存器进行长字存取	R/W
b7-b6	—	保留位	读写值都为 “0”。	R/W

通过 SPCMDm.SPB[3:0] 位、SPSCR.SPSLN[2:0] 位和 SPDCR.SPFC[1:0] 位的组合，启动 1 次发送和接收能进行最多 4 帧的发送和接收。

如果在 SPCR.SPE 位为 “1” 的状态下改写 SPDCR.SPFC[1:0] 位，就必须在 SPSR.IDLNF 标志为 “0” 时进行改写。

SPFC[1:0] 位 （帧数设定位）

这些位设定SPDR寄存器能保存（1次传送启动）的帧数。通过设定SPSCR.SPSLN[2:0]位和SPDCR.SPFC[1:0]位，启动 1 次发送和接收能进行最多 4 帧的发送和接收。另外，通过设定 SPFC[1:0] 位，更改用于发生 RSPI 接收中断和 RSPI 发送中断或者开始发送的帧数。SPDR 寄存器能保存的帧结构和发送 / 接收设定的组合例子如**表 34.4** 所示。如果设定组合例子中没有的组合，就不保证以后的运行。

SPRDTD 位 （RSPI 接收 / 发送数据选择位）

此位选择 SPDR 寄存器的读取值是从接收缓冲器读取还是从发送缓冲器读取。

如果读发送缓冲器，就能读到刚写入 SPDR 寄存器的值。

必须在发生 RSPI 发送中断后并且在写完 SPFC[1:0] 位所设帧数前，读发送缓冲器。

SPLW 位 （RSPI 长字存取 / 字存取设定位）

此位设定 SPDR 寄存器的存取宽度。当 SPLW 位为 “0” 时，对 SPDR 寄存器进行字存取；当 SPLW 位为 “1” 时，对 SPDR 寄存器进行长字存取。

当 SPLW 位为 “0” 时，必须给 SPCMDm.SPB[3:0] 位 （RSPI 数据长度设定位）设定 8 ～ 16 位。如果设定 20 位、 24 位或者 32 位，就不保证运行。

表 34.4 SPSLN[2:0] 位和 SPFC[1:0] 位能设定的组合

设定	SPSLN[2:0]	SPFC[1:0]	1 个顺序传送的帧数	发生接收缓冲器满中断或者发送缓冲器有数据时的帧数
1-1	000	00	1	1
1-2	000	01	2	2
1-3	000	10	3	3
1-4	000	11	4	4
2-1	001	01	2	2
2-2	001	11	4	4
3	010	10	3	3
4	011	11	4	4
5	100	00	5	1
6	101	00	6	1
7	110	00	7	1
8	111	00	8	1

34.2.10 RSPI 时钟延迟寄存器 （SPCKD）

地址 RSPI0.SPCKD 0008 838Ch、RSPI1.SPCKD 0008 83ACh、RSPI2.SPCKD 0008 83CCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	说明	R/W
b2-b0	SCKDL[2:0]	RSPCK 延迟设定位	b2 b0 0 0 0：1 个 RSPCK 0 0 1：2 个 RSPCK 0 1 0：3 个 RSPCK 0 1 1：4 个 RSPCK 1 0 0：5 个 RSPCK 1 0 1：6 个 RSPCK 1 1 0：7 个 RSPCK 1 1 1：8 个 RSPCK	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

在 SPCMDm.SCKDEN 位为 “1” 的状态下， SPCKD 寄存器设定从 SSLni 信号有效开始到 RSPCK 振荡的期间 （RSPCK 延迟）。如果在 SPCR.MSTR 位和 SPCR.SPE 位都为 “1” 的状态下改写 SPCKD 寄存器，就不保证以后的运行。

SCKDL[2:0] 位 （RSPCK 延迟设定位）

这些位设定 SPCMDm.SCKDEN 位为 “1” 时的 RSPCK 延迟值。

在从属模式中使用 RSPI 时，必须将 SCKDL[2:0] 位置 “000b”。

34.2.11 RSPI 从属选择无效延迟寄存器 （SSLND）

地址 RSPI0.SSLND 0008 838Dh、RSPI1.SSLND 0008 83ADh、RSPI2.SSLND 0008 83CDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	SLNDL[2:0]	SSL 无效延迟设定位	b2 b0 0 0 0：1 个 RSPCK 0 0 1：2 个 RSPCK 0 1 0：3 个 RSPCK 0 1 1：4 个 RSPCK 1 0 0：5 个 RSPCK 1 0 1：6 个 RSPCK 1 1 0：7 个 RSPCK 1 1 1：8 个 RSPCK	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

SSLND 寄存器设定主控模式的 RSPI 从发送串行传送最后的 RSPCK 边沿到将 SSLni 信号置为无效的期间（SSL 无效延迟）。如果在 SPCR.MSTR 位和 SPCR.SPE 位都为 “1” 的状态下改写 SSLND 寄存器，就不保证以后的运行。

SLNDL[2:0] 位 （SSL 无效延迟设定位）

这些位设定主控模式的 RSPI 的 SSL 无效延迟值。

在从属模式中使用 RSPI 时，必须将 SLNDL[2:0] 位置 “000b”。

34.2.12 RSPI 下次存取延迟寄存器 （SPND）

地址 RSPI0.SPND 0008 838Eh、RSPI1.SPND 0008 83AEh、RSPI2.SPND 0008 83CEh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPNDL[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	SPNDL[2:0]	RSPI 下次存取延迟设定位	b2 b0 0 0 0：1 个 RSPCK+2 个 PCLK 0 0 1：2 个 RSPCK+2 个 PCLK 0 1 0：3 个 RSPCK+2 个 PCLK 0 1 1：4 个 RSPCK+2 个 PCLK 1 0 0：5 个 RSPCK+2 个 PCLK 1 0 1：6 个 RSPCK+2 个 PCLK 1 1 0：7 个 RSPCK+2 个 PCLK 1 1 1：8 个 RSPCK+2 个 PCLK	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W

在 SPCMDm.SPNDEN 位为 “1” 的状态下， SPND 寄存器设定串行传送结束后的 SSLni 信号的无效期间（下次存取延迟）。如果在 SPCR.MSTR 位和 SPCR.SPE 位都为 “1” 的状态下改写 SPND 寄存器，就不保证以后的运行。

SPNDL[2:0] 位 （RSPI 下次存取延迟设定位）

这些位设定 SPCMDm.SPNDEN 位为 “1” 时的下次存取延迟。

在从属模式中使用 RSPI 时，必须将 SPNDL[2:0] 位置 “000b”。

34.2.13 RSPI 控制寄存器 2 （SPCR2）

地址 RSPI0.SPCR2 0008 838Fh、RSPI1.SPCR2 0008 83AFh、RSPI2.SPCR2 0008 83CFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PTE	SPIIE	SPOE	SPPE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SPPE	奇偶校验允许位	0：不给发送数据附加奇偶校验位，也不进行接收数据的奇偶校验。 1：给发送数据附加奇偶校验位并且进行接收数据的奇偶校验 （当 SPCR.TXMD=0 时）。 给发送数据附加奇偶校验位，但是不进行接收数据的奇偶校验 （当 SPCR.TXMD=1 时）。	R/W
b1	SPOE	奇偶校验模式位	0：通过偶校验进行发送和接收 1：通过奇校验进行发送和接收	R/W
b2	SPIIE	RSPI 空闲中断允许位	0：禁止空闲中断请求的产生 1：允许空闲中断请求的产生	R/W
b3	PTE	奇偶校验自诊断位	0：奇偶校验电路自诊断功能无效 1：奇偶校验电路自诊断功能有效	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

如果在 SPCR.SPE 位为 “1” 的状态下改写 SPCR2 寄存器的 SPPE 位和 SPOE 位的设定值，就不保证以后的运行。

SPPE 位 （奇偶校验允许位）

此位选择奇偶校验功能的有效或者无效。

当 SPCR.TXMD 位为 “0” 并且 SPCR2.SPPE 位为 “1” 时，给发送数据附加奇偶校验位并且进行接收数据的奇偶校验。

当 SPCR.TXMD 位为 “1” 并且 SPCR2.SPPE 位为 “1” 时，给发送数据附加奇偶校验位，但是不进行接收数据的奇偶校验。

SPOE 位 （奇偶校验模式位）

此位设定偶校验或者奇校验。

在决定偶校验的奇偶校验位时，需要使奇偶校验位和发送 / 接收字符中 “1” 的个数的合计为偶数。同样，在决定奇校验的奇偶校验位时，需要使奇偶校验位和发送 / 接收字符中 “1” 的个数的合计为奇数。

SPOE 位只在 SPPE 位为 “1” 时有效。

SPIIE 位 （RSPI 空闲中断允许位）

当检测到 RSPI 为空闲状态并且 SPSR.IDLNF 标志为 “0” 时，此位允许或者禁止 RSPI 空闲中断请求的产生。

PTE 位 （奇偶校验自诊断位）

这是为了确认奇偶校验功能处于正常状态而将奇偶校验电路的自诊断置为有效的位。

34.2.14 RSPI 命令寄存器 0 ～ 7 （SPCMD0 ～ SPCMD7）

地址 RSPI0.SPCMD0 0008 8390h、RSPI0.SPCMD1 0008 8392h、RSPI0.SPCMD2 0008 8394h、RSPI0.SPCMD3 0008 8396h、RSPI0.SPCMD4 0008 8398h、RSPI0.SPCMD5 0008 839Ah、RSPI0.SPCMD6 0008 839Ch、RSPI0.SPCMD7 0008 839Eh、RSPI1.SPCMD0 0008 83B0h、RSPI1.SPCMD1 0008 83B2h、RSPI1.SPCMD2 0008 83B4h、RSPI1.SPCMD3 0008 83B6h、RSPI1.SPCMD4 0008 83B8h、RSPI1.SPCMD5 0008 83BAh、RSPI1.SPCMD6 0008 83BCh、RSPI1.SPCMD7 0008 83BEh、RSPI2.SPCMD0 0008 83D0h、RSPI2.SPCMD1 0008 83D2h、RSPI2.SPCMD2 0008 83D4h、RSPI2.SPCMD3 0008 83D6h、RSPI2.SPCMD4 0008 83D8h、RSPI2.SPCMD5 0008 83DAh、RSPI2.SPCMD6 0008 83DCh、RSPI2.SPCMD7 0008 83DEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
复位后的值	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

位	符号	位名	功能	R/W
b0	CPHA	RSPCK 相位设定位	0：在奇数边沿进行数据采样，在偶数边沿数据发生变化。 1：在奇数边沿数据发生变化，在偶数边沿进行数据采样。	R/W
b1	CPOL	RSPCK 极性设定位	0：空闲时的 RSPCK 为 Low 电平 1：空闲时的 RSPCK 为 High 电平	R/W
b3-b2	BRDV[1:0]	位速率分频设定位	b3 b2 0 0：选择基本位速率 0 1：选择基本位速率的 2 分频 1 0：选择基本位速率的 4 分频 1 1：选择基本位速率的 8 分频	R/W
b6-b4	SSLA[2:0]	SSL 信号有效设定位	b6 b4 0 0 0：SSL0 0 0 1：SSL1 0 1 0：SSL2 0 1 1：SSL3 1 x x：不能设定 x：Don't care	R/W
b7	SSLKP	SSL 信号电平保持位	0：在传送结束时将全部 SSL 信号置为无效 1：在传送结束后到下次存取开始前保持 SSL 信号的电平	R/W
b11-b8	SPB[3:0]	RSPI 数据长度设定位	b11 b8 0100 ～ 0111：8 位 1 0 0 0：9 位 1 0 0 1：10 位 1 0 1 0：11 位 1 0 1 1：12 位 1 1 0 0：13 位 1 1 0 1：14 位 1 1 1 0：15 位 1 1 1 1：16 位 0 0 0 0：20 位 0 0 0 1：24 位 0010、0011：32 位	R/W
b12	LSBF	RSPI LSB first 位	0：MSB first 1：LSB first	R/W
b13	SPNDEN	RSPI 下次存取延迟设定允许位	0：下次存取延迟为 1 个 RSPCK+2 个 PCLK 1：下次存取延迟为 RSPI 下次存取延迟寄存器（SPND）的设定值	R/W

位	符号	位名	功能	R/W
b14	SLNDEN	SSL 无效延迟设定允许位	0：SSL 无效延迟为 1 个 RSPCK 1：SSL 无效延迟为 RSPI 从属选择无效延迟寄存器 （SSLND）的设定值	R/W
b15	SCKDEN	RSPCK 延迟设定允许位	0：RSPCK 延迟为 1 个 RSPCK 1：RSPCK 延迟为 RSPI 时钟延迟寄存器 （SPCKD）的设定值	R/W

SPCMDm 寄存器设定主控模式的 RSPI 传送格式。 1 个通道的 RSPI 有 8 个 （SPCMD0 ～ SPCMD7） RSPI 命令寄存器。 SPCMD0 寄存器的部分位用于设定从属模式的 RSPI 传送格式。主控模式的 RSPI 根据 SPSCR.SPSLN[2:0] 位的设定，按顺序参照 SPCMDm 寄存器并且执行由所参照的 SPCMDm 寄存器设定的串行传送。

必须在发送缓冲器为空 （未设定下次传送的数据）的状态下，在参照该 SPCMDm 寄存器来设定要发送的数据前设定 SPCMDm 寄存器。

能通过 SPSSR.SPCP[2:0] 位，确认主控模式的 RSPI 正在参照的 SPCMDm 寄存器。如果在 SPCR.MSTR 位为 “0”并且 SPCR.SPE 位为 “1”的状态下改写 SPCMDm 寄存器，就不保证以后的运行。

CPHA 位 （RSPCK 相位设定位）

此位设定主控模式 / 从属模式的 RSPI 的 RSPCK 相位。在进行 RSPI 模块之间的数据通信时，需要在模块之间设定相同的 RSPCK 相位。

CPOL 位 （RSPCK 极性设定位）

此位设定主控模式 / 从属模式的 RSPI 的 RSPCK 极性。在进行 RSPI 模块之间的数据通信时，需要在模块之间设定相同的 RSPCK 极性。

BRDV[1:0] 位 （位速率分频设定位）

这些位设定位速率。位速率取决于 BRDV[1:0] 位和 SPBR 寄存器设定值的组合（参照“34.2.8 RSPI 位速率寄存器 （SPBR）”）。 SPBR 寄存器的设定值决定基本位速率。 BRDV[1:0] 位的设定值选择基本位速率的无分频、2 分频、4 分频或者 8 分频。能分别对 SPCMDm 寄存器设定不同的 BRDV[1:0] 位。因此，各命令能以不同的位速率进行串行传送。

SSLA[2:0] 位 （SSL 信号有效设定位）

这些位控制主控模式的 RSPI 进行串行传送时的 SSLni 信号的有效。SSLA[2:0] 位的设定值控制 SSLni 信号的有效。 SSLni 信号有效时的信号极性取决于 SSLP 寄存器的设定值。如果在多主控模式中将 SSLA[2:0] 位置 “000b”，就在全部 SSL 信号无效的状态下进行串行传送 （SSLn0 引脚为输入引脚）。

在从属模式中使用 RSPI 时，必须将 SSLA[2:0] 位置 “000b”。

SSLKP 位 （SSL 信号电平保持位）

在主控模式的 RSPI 进行串行传送时，此位设定在从当前命令对应的 SSL 无效到下一个命令对应的 SSL 有效的期间是保持当前命令的 SSLni 信号电平还是将此电平置为无效。

在从属模式中使用 RSPI 时，必须将 SSLKP 位置 “0”。

SPB[3:0] 位 （RSPI 数据长度设定位）

这些位设定主控模式 / 从属模式的 RSPI 传送数据长度。

LSBF 位 （RSPI LSB first 位）

此位设定是将主控模式 / 从属模式的 RSPI 数据格式设定为 MSB first 还是 LSB first。

SPNDEN 位 （RSPI 下次存取延迟允许位）

此位设定在主控模式的 RSPI 结束串行传送后从 SSLni 信号无效到下次存取的 SSLni 信号有效的期间 （下次存取延迟）。当 SPNDEN 位为 “0” 时， RSPI 将下次存取延迟设定为 1 个 RSPCK+2 个 PCLK ； 当 SPNDEN 位为 “1” 时， RSPI 根据 SPND 寄存器的设定，插入下次存取延迟。

在从属模式中使用 RSPI 时，必须将 SPNDEN 位置 “0”。

SLNDEN 位 （SSL 无效延迟设定允许位）

此位设定主控模式的 RSPI 从 RSPCK 振荡停止到 SSLni 信号无效的期间（SSL 无效延迟）。当 SLNDEN 位为 “0” 时， RSPI 将 SSL 无效延迟设定为 1 个 RSPCK ； 当 SLNDEN 位为 “1” 时， RSPI 在经过 SSLND 寄存器设定的 RSPCK 延迟后将 SSL 置为无效。

在从属模式中使用 RSPI 时，必须将 SLNDEN 位置 “0”。

SCKDEN 位 （RSPCK 延迟设定允许位）

此位设定主控模式的 RSPI 从 SSLni 信号有效到 RSPCK 振荡为止的期间 （RSPCK 延迟）。当 SCKDEN 位为 “0” 时， RSPI 将 RSPCK 延迟设定为 1 个 RSPCK ； 当 SCKDEN 位为 “1” 时， RSPI 在经过 SPCKD 寄存器设定的 RSPCK 延迟后开始 RSPCK 的振荡。

在从属模式中使用 RSPI 时，必须将 SCKDEN 位置 “0”。

34.3 运行说明

在本节中，串行传送期间是指从开始驱动有效数据到取最后有效数据的期间。

34.3.1 RSPI 运行概要

RSPI 能在从属模式 （SPI 运行）、单主控模式 （SPI 运行）、多主控模式 （SPI 运行）、从属模式 （时钟同步运行）和主控模式 （时钟同步运行）中进行同步串行传送。能通过 SPCR.MSTR 位和 SPCR.MODFEN 位和 SPCR.SPMS 位设定 RSPI 的模式。 RSPI 的模式和 SPCR 寄存器设定的关系以及各模式概要如表 34.5 所示。

表 34.5 RSPI 的模式和 SPCR 寄存器设定的关系以及各模式概要

模式	从属 （SPI 运行）	单主控 （SPI 运行）	多主控 （SPI 运行）	从属 （时钟同步运行）	主控 （时钟同步运行）
MSTR 位的设定	0	1	1	0	1
MODFEN 位的设定	0 or 1	0	1	0	0
SPMS 位的设定	0	0	0	1	1
RSPCKn 信号	输入	输出	输出 /Hi-Z	输入	输出
MOSIn 信号	输入	输出	输出 /Hi-Z	输入	输出
MISOn 信号	输出 /Hi-Z	输入	输入	输出	输入
SSL0n 信号	输入	输出	输入	Hi-Z （注 1）	Hi-Z （注 1）
SSLn1 ～ SSLn3 信号	Hi-Z （注 1）	输出	输出 /Hi-Z	Hi-Z （注 1）	Hi-Z （注 1）
SSL 极性变更功能	有	有	有	—	—
传送率	～ PCLK/8	～ PCLK/2	～ PCLK/2	～ PCLK/8	～ PCLK/2
时钟源	RSPCK 输入	内部波特率发生器	内部波特率发生器	RSPCK 输入	内部波特率发生器
时钟极性	2 种	2 种	2 种	2 种	2 种
时钟相位	2 种	2 种	2 种	1 种 （CPHA=1）	2 种
开始传送的位	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
传送数据长度	8 ～ 32 位	8 ～ 32 位	8 ～ 32 位	8 ～ 32 位	8 ～ 32 位
突发传送	能 （CPHA=1）	能 （CPHA=0、 1）	能 （CPHA=0、 1）	—	—
RSPCK 延迟控制	无	有	有	无	有
SSL 无效延迟控制	无	有	有	无	有
下次存取延迟控制	无	有	有	无	有
传送启动方法	SSL 输入有效或者 RSPCK 振荡	通过发送缓冲器空中断请求，写发送缓冲器	通过发送缓冲器空中断请求，写发送缓冲器	RSPCK 振荡	通过发送缓冲器空中断请求，写发送缓冲器
顺序控制	无	有	有	无	有
发送缓冲器空检测	有	有	有	有	有
接收缓冲器满检测	有 （注 2）	有 （注 2）	有 （注 2）	有 （注 2）	有 （注 2）
溢出错误检测	有 （注 2）	有 （注 2）	有 （注 2）	有 （注 2）	有 （注 2）
奇偶校验错误检测	有 （注 2）（注 3）	有 （注 2）（注 3）	有 （注 2）（注 3）	有 （注 2）（注 3）	有 （注 2）（注 3）
模式故障错误检测	有 （MODFEN=1）	无	有	无	无

注 1. 在此模式中不使用。

注 2. 当 SPCR.TXMD 位为 “1” 时，不进行接收缓冲器满的检测、溢出错误的检测和奇偶校验错误的检测。

注 3. 当 SPCR2.SPPE 位为 “0” 时，不进行奇偶校验错误的检测。

34.3.2 RSPI 引脚的控制

RSPI 通过设定 SPCR.MSTR 位、SPCR.MODFEN 位、SPCR.SPMS 位和 I/O 端口的 ODRn.Bi 位来转换引脚状态。引脚状态和各位设定值的关系如表 34.6 所示。 I/O 端口的设定也必须相同。

表 34.6 RSPI 引脚的状态和控制位设定值的关系

模式	引脚	引脚状态（注 2）	
		ODRn.Bi=0	ODRn.Bi=1
单主控 （SPI 运行） （MSTR=1、 MODFEN=0、 SPMS=0）	RSPCKn	CMOS 输出	漏极开路输出
	SSLn0 ～ 3	CMOS 输出	漏极开路输出
	MOSIn	CMOS 输出	漏极开路输出
	MISOn	输入	输入
多主控 （SPI 运行） （MSTR=1、 MODFEN=1、 SPMS=0）	RSPCKn（注 3）	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
	SSLn0	输入	输入
	SSLn1 ～ 3（注 3）	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
	MOSIn（注 3）	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
	MISOn	输入	输入
从属 （SPI 运行） （MSTR=0、 SPMS=0）	RSPCKn	输入	输入
	SSLn0	输入	输入
	SSLn0 ～ 3（注 5）	Hi-Z（注 1）	Hi-Z（注 1）
	MOSIn	输入	输入
	MISOn（注 4）	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
主控 （时钟同步运行） （MSTR=1、 MODFEN=0、 SPMS=1）	RSPCKn	CMOS 输出	漏极开路输出
	SSLn0 ～ 3（注 5）	Hi-Z（注 1）	Hi-Z（注 1）
	MOSIn	CMOS 输出	漏极开路输出
	MISOn	输入	输入
从属 （时钟同步运行） （MSTR=0、 SPMS=1）	RSPCKn	输入	输入
	SSLn0 ～ 3（注 5）	Hi-Z（注 1）	Hi-Z（注 1）
	MOSIn	输入	输入
	MISOn	CMOS 输出	漏极开路输出

注 1. 在此模式中不使用。

注 2. 未选择 RSPI 功能的多功能引脚不反映 RSPI 的设定值。

注 3. 当 SSLn0 为有效电平时，引脚状态为 Hi-Z。

注 4. 当 SSLn0 为无效电平或者 SPCR.SPE 位为 “0” 时，引脚状态为 Hi-Z。

注 5. 能用作 I/O 端口。

如表 34.7 所示，单主控模式 （SPI 运行）和多主控模式 （SPI 运行）的 RSPI 根据 SPPCR.MOIFE 位和 SPPCR.MOIFV 位的设定，决定 SSL 无效期间 （包括突发传送中的 SSL 保持期间）的 MOSI 信号值。

表 34.7 SSL 无效期间的 MOSI 信号值的决定方法

MOIFE 位	MOIFV 位	SSL 无效期间的 MOSIn 信号值
0	0、 1	上次传送的最后数据
1	0	总是为 Low 电平。
1	1	总是为 High 电平。

34.3.3 RSPI 系统结构例子

34.3.3.1 单主控模式 / 单从属模式 （本 LSI= 主控设备）

本 LSI 用作主控设备时的单主控模式 / 单从属模式的 RSPI 系统结构例子如图 34.5 所示。在单主控模式 / 单从属模式的系统结构例子中，不使用本 LSI（主控设备）的 SSLn0 ～ SSLn3 输出。通过将 RSPI 从属设备的 SSL 输入固定为 Low 电平，设定为能随时选择 RSPI 从属模式的状态（注 1）。

本 LSI （主控设备）随时驱动 RSPCKn 和 MOSIn， RSPI 从属设备随时驱动 MISO。

注 1. 在类似 SPCMDm.CPHA 位为 “0” 时的传送格式中，也有些从属设备不能将 SSL 信号固定为有效电平。在不能固定 SSL 信号时，必须将本 LSI 的 SSL 输出连接到从属设备的 SSLni 输入。

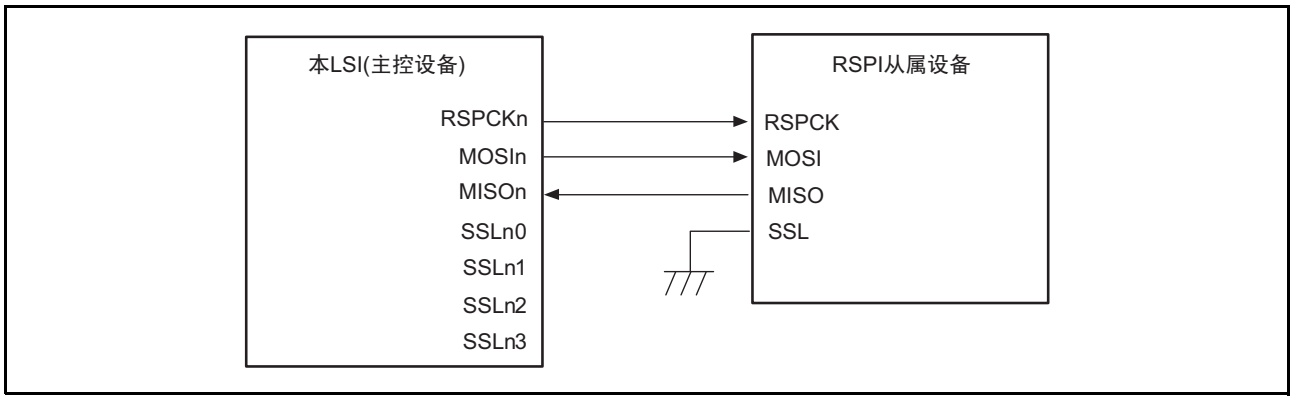


图 34.5 单主控模式 / 单从属模式的系统结构例子 （本 LSI= 主控设备）

34.3.3.2 单主控模式 / 单从属模式 （本 LSI= 从属设备）

将本 LSI 用作从属设备时的单主控模式 / 单从属模式的 RSPI 系统结构例子如图 34.6 所示。在将本 LSI 用作从属设备时，将 SSLn0 引脚用作 SSL 输入。 RSPI 主控设备随时驱动 RSPCK 和 MOSI，本 LSI （从属设备）随时驱动 MISOn（注 1）。

在 SPCMDm.CPHA 位为 “1” 的单从属模式的系统结构中，通过将本 LSI （从属设备）的 SSLn0 输入引脚固定为 Low 电平，设定为能随时选择本 LSI （从属设备）的状态并且也能进行串行传送 （图 34.7）。

注 1. 在 SSLn0 为无效电平时，引脚状态为 Hi-Z。

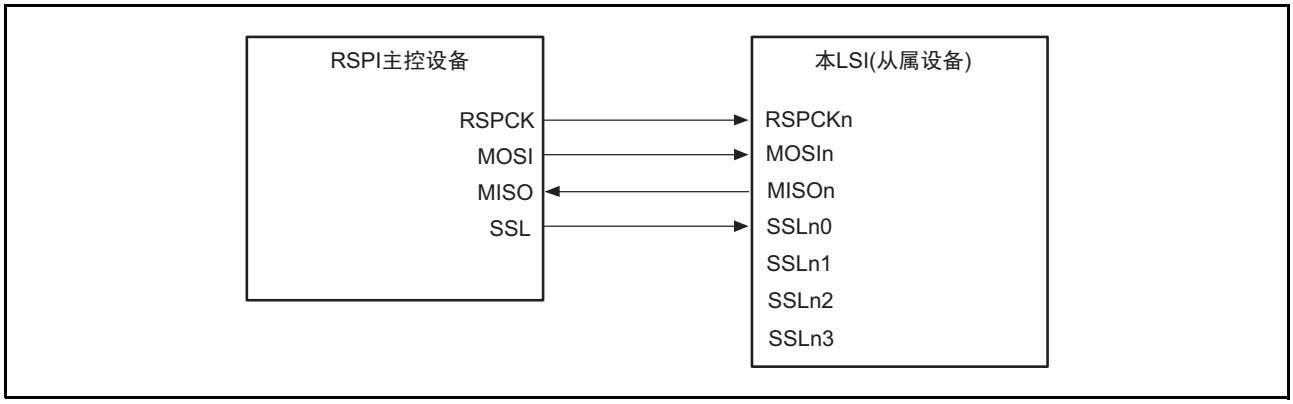


图 34.6 单主控模式 / 单从属模式的系统结构例子 （本 LSI= 从属设备、 CPHA=0）

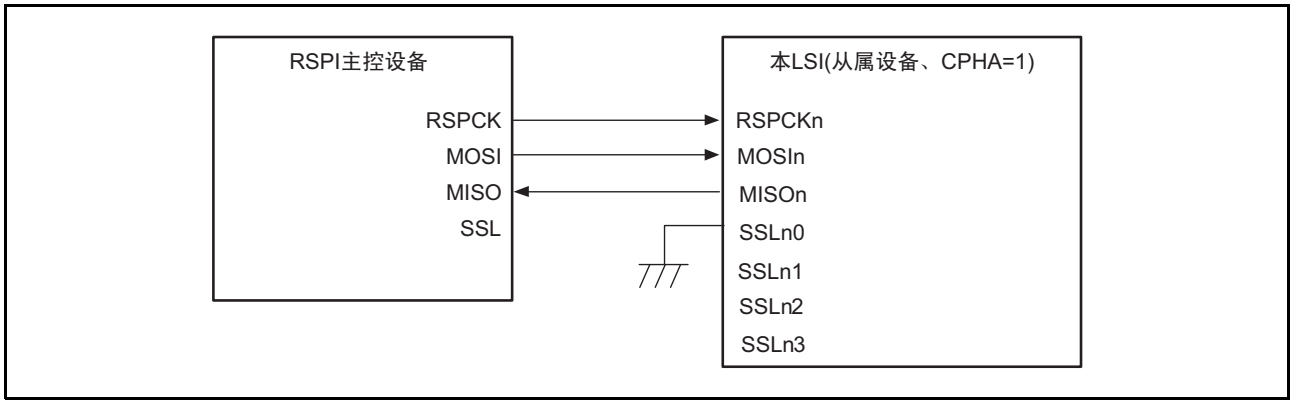


图 34.7 单主控模式 / 单从属模式的系统结构例子 （本 LSI= 从属设备、 CPHA=1）

34.3.3.3 单主控模式 / 多从属模式 （本 LSI= 主控设备）

本 LSI 用作主控设备时的单主控模式 / 多从属模式的 RSPI 系统结构例子如图 34.8 所示。在图 34.8 的例子中， RSPI 系统由本 LSI （主控设备）和 4 个从属设备 （RSPI 从属设备 0 ～ RSPI 从属设备 3）构成。

将本 LSI （主控设备）的 RSPCKn 输出和 MOSIn 输出连接 RSPI 从属设备 0 ～ RSPI 从属设备 3 的 RSPCK 输入和 MOSI 输入， RSPI 从属设备 0 ～ RSPI 从属设备 3 的 MISO 输出全部连接本 LSI （主控设备）的 MISOn 输入，本 LSI （主控设备）的 SSLn0 ～ SSLn3 输出分别连接 RSPI 从属设备 0 ～ RSPI 从属设备 3 的 SSL 输入。

本 LSI （主控设备）随时驱动 RSPCK、 MOSI 和 SSLn0 ～ SSLn3。在 RSPI 从属设备 0 ～从属设备 3 中，SSL 输入为 Low 电平的从属设备驱动 MISO。

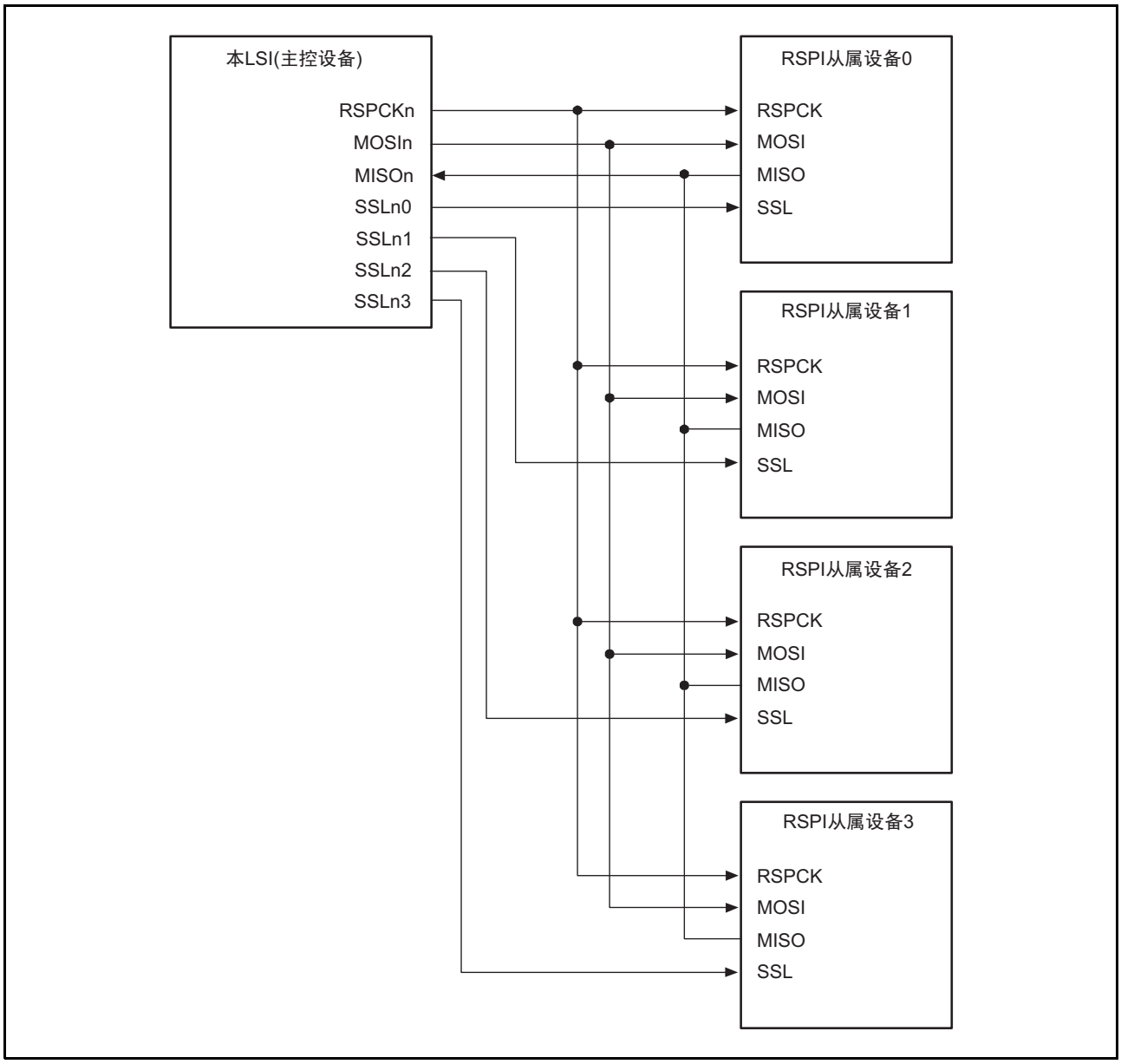


图 34.8 单主控模式 / 多从属模式的系统结构例子 （本 LSI= 主控设备）

34.3.3.4 单主控模式 / 多从属模式 （本 LSI= 从属设备）

本 LSI 用作从属设备时的单主控模式 / 多从属模式的 RSPI 系统结构例子如图 34.9 所示。在图 34.9 的例子中， RSPI 系统由 RSPI 主控设备和 2 个本 LSI （从属设备 X、从属设备 Y）构成。

RSPI 主控设备的 RSPCK 输出和 MOSI 输出连接本 LSI （从属设备 X、从属设备 Y）的 RSPCKn 输入和 MOSIn 输入，本 LSI（从属设备 X、从属设备 Y）的 MISOn 输出连接 RSPI 主控设备的 MISO 输入，RSPI 主控设备的 SSLX 输出和 SSLY 输出连接本 LSI （从属设备 X、从属设备 Y）的 SSLn0 输入。

RSPI 主控设备随时驱动 RSPCK、MOSI、SSLX 和 SSLY。在本 LSI（从属设备 X、从属设备 Y）中，SSLn0 输入为 Low 电平的从属设备驱动 MISOn。

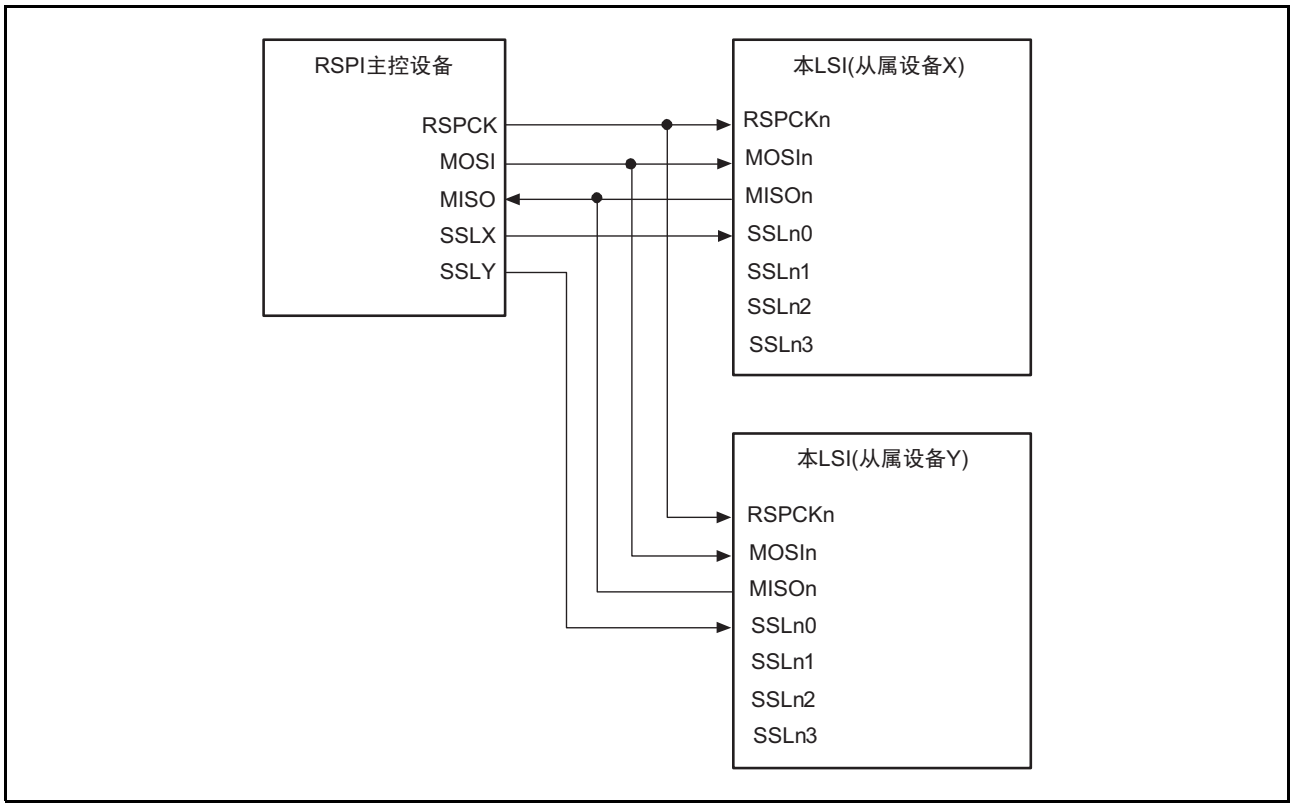


图 34.9 单主控模式 / 多从属模式的系统结构例子 （本 LSI= 从属设备）

34.3.3.5 多主控模式 / 多从属模式 （本 LSI= 主控设备）

本 LSI 用作主控设备时的多主控模式 / 多从属模式的 RSPI 系统结构例子如图 34.10 所示。在图 34.10 的例子中，RSPI 系统由 2 个本 LSI（主控设备 X、主控设备 Y）和 2 个 RSPI 从属设备（RSPI 从属设备 1、RSPI 从属设备 2）构成。

本 LSI （主控设备 X、主控设备 Y）的 RSPCKn 输出和 MOSIn 输出连接 RSPI 从属设备 1 和 RSPI 从属设备 2 的 RSPCK 输入和 MOSI 输入， RSPI 从属设备 1 和 RSPI 从属设备 2 的 MISO 输出连接本 LSI （主控设备 X、主控设备 Y）的 MISOn 输入，本 LSI （主控设备 X）任意的通用端口 Y 输出引脚连接本 LSI （主控设备 Y）的 SSLn0 输入，本 LSI （主控设备 Y）任意的通用端口 X 输出连接本 LSI （主控设备 X）的 SSLn0 输入，本 LSI （主控设备 X、主控设备 Y）的 SSLn1 输出和 SSLn2 输出连接 RSPI 从属设备 1 和 RSPI 从属设备 2 的 SSL 输入。在此结构例子中，因为系统只由 SSLn0 输入、连接从属设备的 SSLn1 输出和 SSLn2 输出构成，所以不使用本 LSI 的 SSLn3 输出。

当 SSLn0 输入电平为 High 电平时，本 LSI 驱动 RSPCKn、MOSIn、SSLn1 和 SSLn2 ； 当 SSLn0 输入电平为 Low 电平时，检测模式故障错误，在将 RSPCKn、MOSIn、SSLn1 和 SSLn2 置为 Hi-Z 后，将 RSPI 总线权释放给其他主控设备。在 RSPI 从属设备 1 和 RSPI 从属设备 2 中， SSL 输入为 Low 电平的从属设备驱动 MISO。

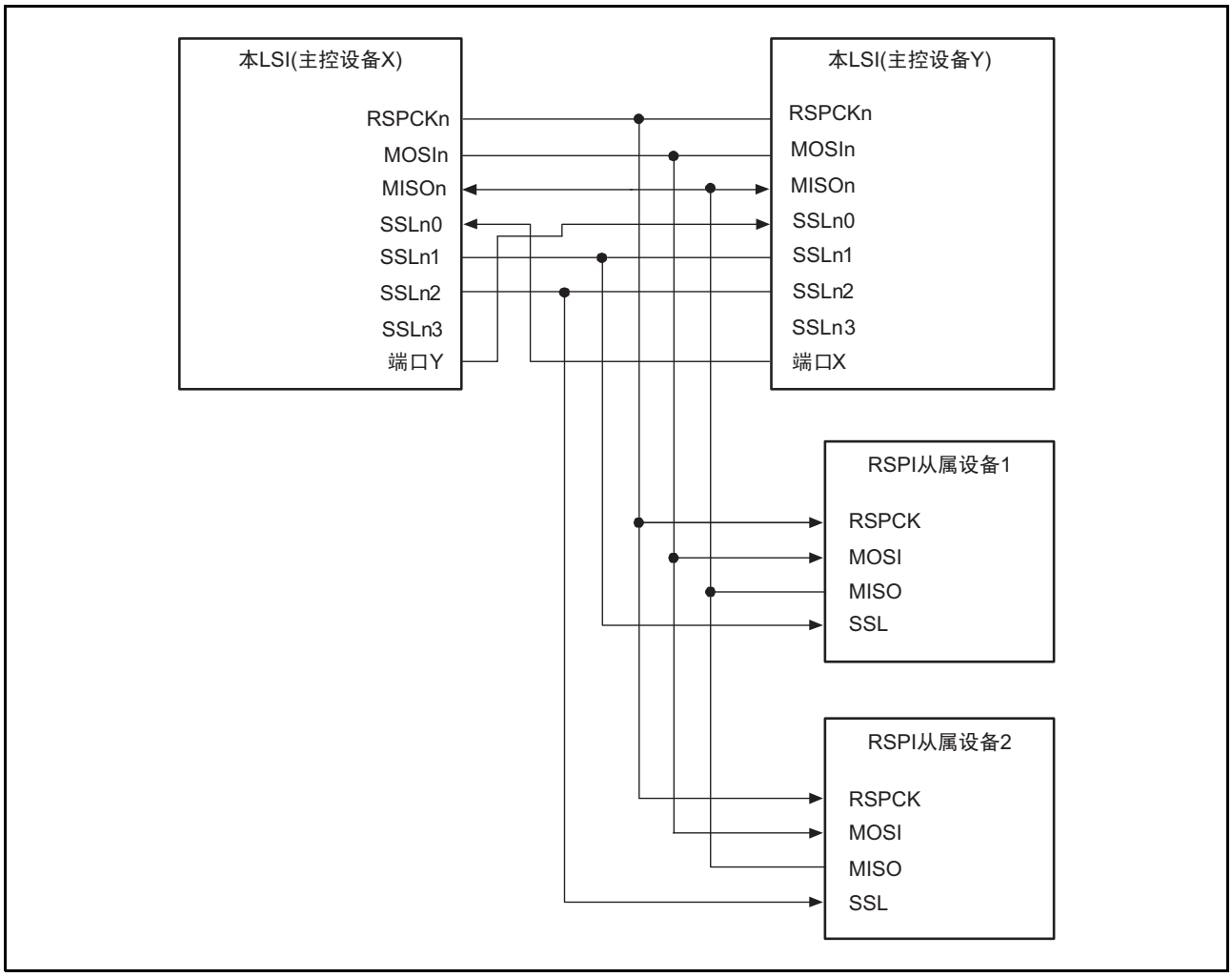


图 34.10 多主控模式 / 多从属模式的系统结构例子 （本 LSI= 主控设备）

34.3.3.6 主控模式 （时钟同步运行） / 从属模式 （时钟同步运行）（本 LSI= 主控设备）

本 LSI 用作主控设备时的主控模式（时钟同步运行）/ 从属模式（时钟同步运行）的 RSPI 系统结构例子如图 34.11 所示。在主控模式 （时钟同步运行） / 从属模式 （时钟同步运行）的结构中，不使用本 LSI （主控设备）的 SSLn0 ～ SSLn3。

本 LSI （主控设备）随时启动 RSPCKn 和 MOSIn， RSPI 从属设备随时驱动 MISO。

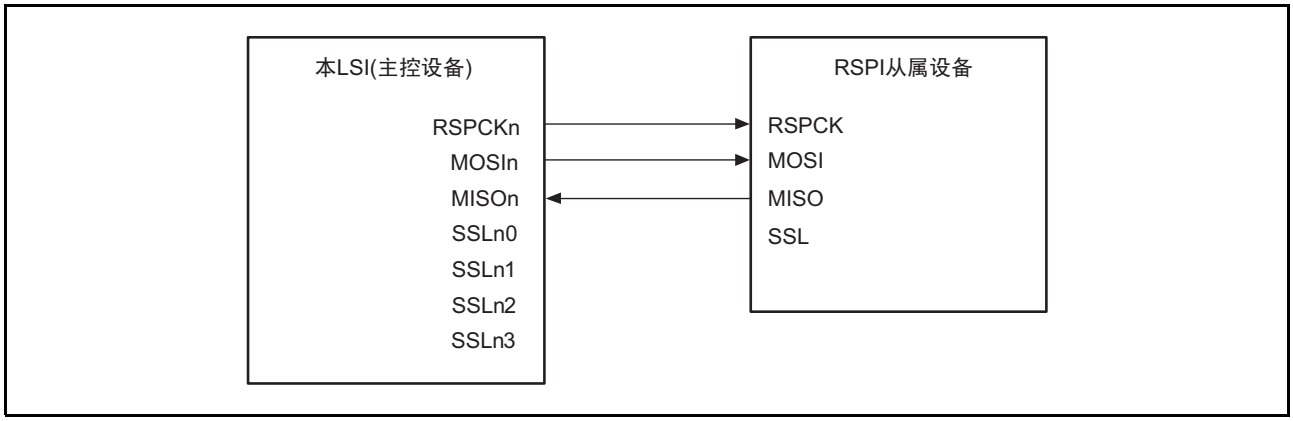


图 34.11 主控模式 （时钟同步运行） / 从属模式 （时钟同步运行）的系统结构例子 （本 LSI= 主控设备）

34.3.3.7 主控模式 （时钟同步运行） / 从属模式 （时钟同步运行）（本 LSI= 从属设备）

本 LSI 用作从属设备时的主控模式（时钟同步运行）/ 从属模式（时钟同步运行）的 RSPI 系统结构例子如图 34.12 所示。在将本 LSI 用作从属设备 （时钟同步运行）时，本 LSI （从属设备）随时驱动 MISOn， RSPI 主控设备随时驱动 RSPCK 和 MOSI。不使用本 LSI （从属设备）的 SSLn0 ～ SSLn3。

只有在将 SPCMDm.CPHA 位置“1”的单从属模式的系统结构中，本 LSI（从属设备）才能进行串行传送。

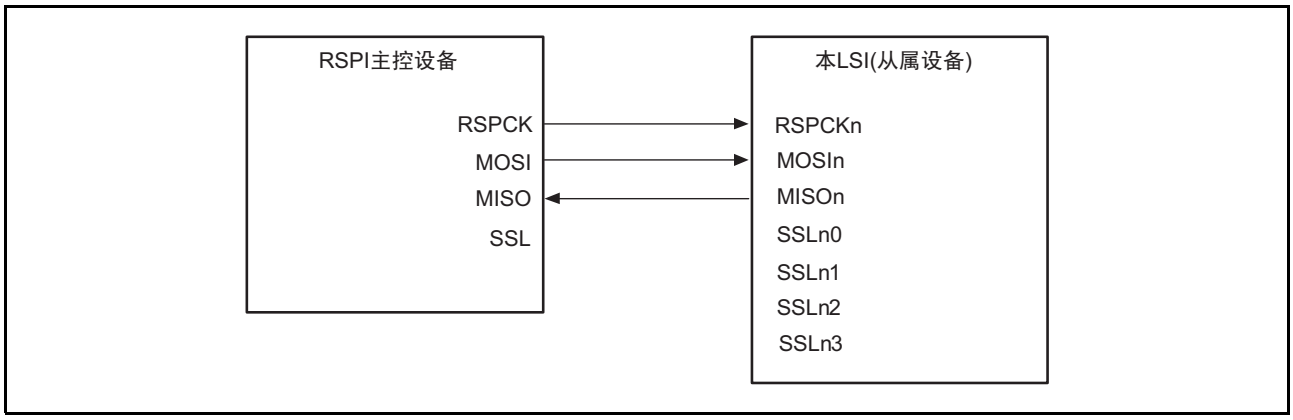


图 34.12 主控模式 （时钟同步运行） / 从属模式 （时钟同步运行）的系统结构例子
（本 LSI= 从属设备， CPHA=1）

34.3.4 数据格式

RSPI 的数据格式取决于 RSPI 命令寄存器 m（SPCMDm）（m=0 ～ 7）和 RSPI 控制寄存器 2 的奇偶校验允许位 （SPCR2.SPPE）设定值。与 MSB/LSB first 无关， RSPI 将 RSPI 数据寄存器 （SPDR）的 LSB 位开始的设定数据长度的范围作为传送数据进行处理。

发送和接收时的 1 帧数据格式如下所示。

(a) 奇偶校验功能无效的情况

在奇偶校验功能无效时，进行 RSPI 命令寄存器 m 的 RSPI 数据长度设定位 （SPCMDm.SPB[3:0]）所设位长的数据发送和接收。

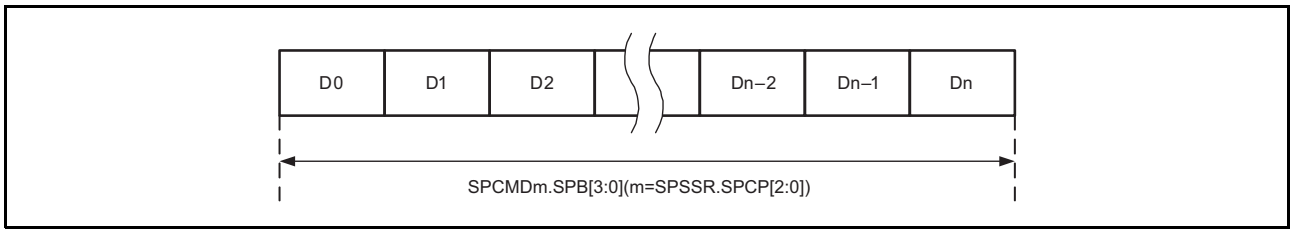


图 34.13 数据格式概要 （奇偶校验功能无效的情况）

(b) 奇偶校验功能有效的情况

在奇偶校验功能有效时，进行SPCMDm.SPB[3:0]所设位长的数据发送和接收。但是，最后位为奇偶校验位。

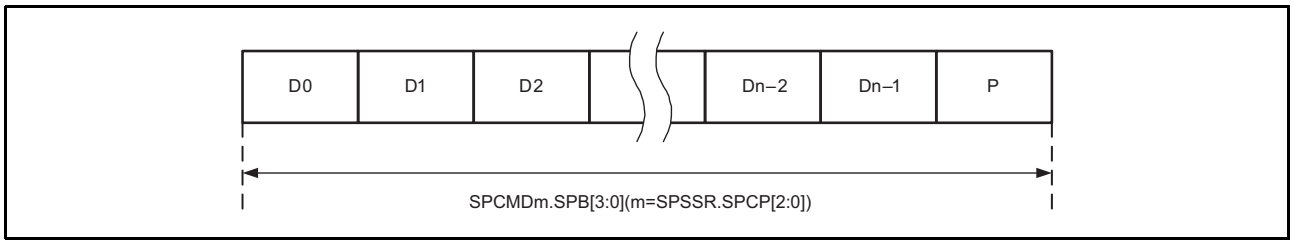


图 34.14 数据格式概要 （奇偶校验功能有效的情况）

34.3.4.1 奇偶校验功能无效的情况 （SPCR2.SPPE=0）

在奇偶校验功能无效时，将发送缓冲器的数据复制到移位寄存器而不进行加工。根据 MSB/LSB first 和位长的组合，对 RSPI 数据寄存器 （SPDR）和移位寄存器的关系进行以下的说明。

(1) MSB first 传送 （32 位数据）

在奇偶校验功能无效的情况下，RSPI 进行 32 位数据的 MSB first 传送时的 SPDR 寄存器和移位寄存器的运行内容如图 34.15 所示。

在发送时，将发送缓冲器的 T31 ～ T00 复制到移位寄存器。按 T31→T30→・・・→T00 的顺序将移位寄存器的值进行移位，并且发送数据。

在接收时，将接收数据保存到移位寄存器的 bit0，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R31 ～ R00 的数据，就将移位寄存器的值复制到接收缓冲器。

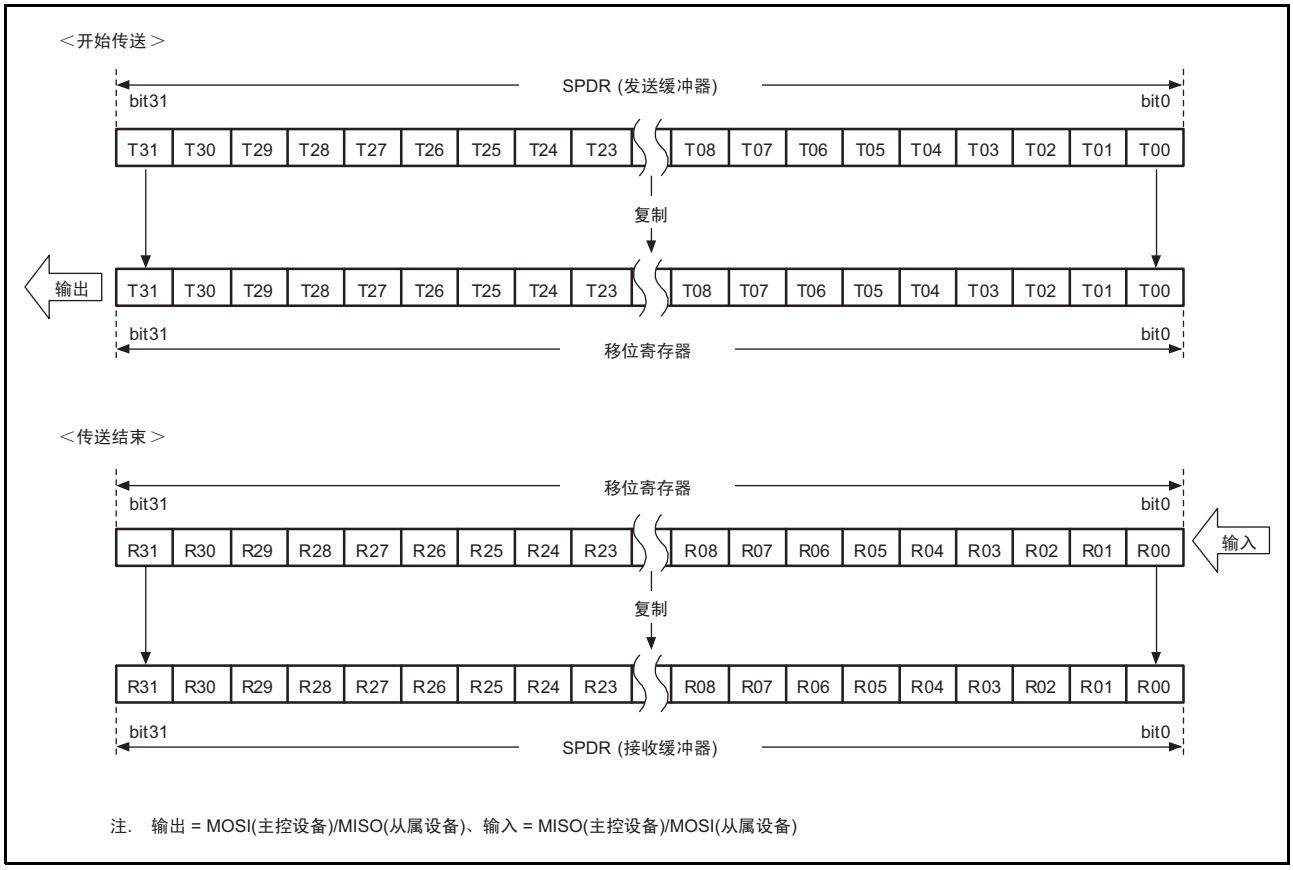


图 34.15 MSB first 传送 （32 位数据 / 奇偶校验功能无效）

(2) MSB first 传送 （24 位数据）

在奇偶校验功能无效的情况下，以对 32 位以外的数据进行 MSB first 传送为例， RSPI 进行 24 位数据传送时的 RSPI 数据寄存器 （SPDR）和移位寄存器的运行内容如图 34.16 所示。

在发送时，将发送缓冲器的低 24 位 （T23 ～ T00）复制到移位寄存器。按 T23→T22→・・・→T00 的顺序将移位寄存器的值进行移位，并且发送数据。

在接收时，将接收数据保存到移位寄存器的 bit0，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R23 ～ R00 的数据，就将移位寄存器的值复制到接收缓冲器。此时，将发送缓冲器的高 8 位保存到接收缓冲器的高 8 位。能在发送时预先给 T31 ～ T24 写 “0”，使接收缓冲器的高 8 位变为 “0”。

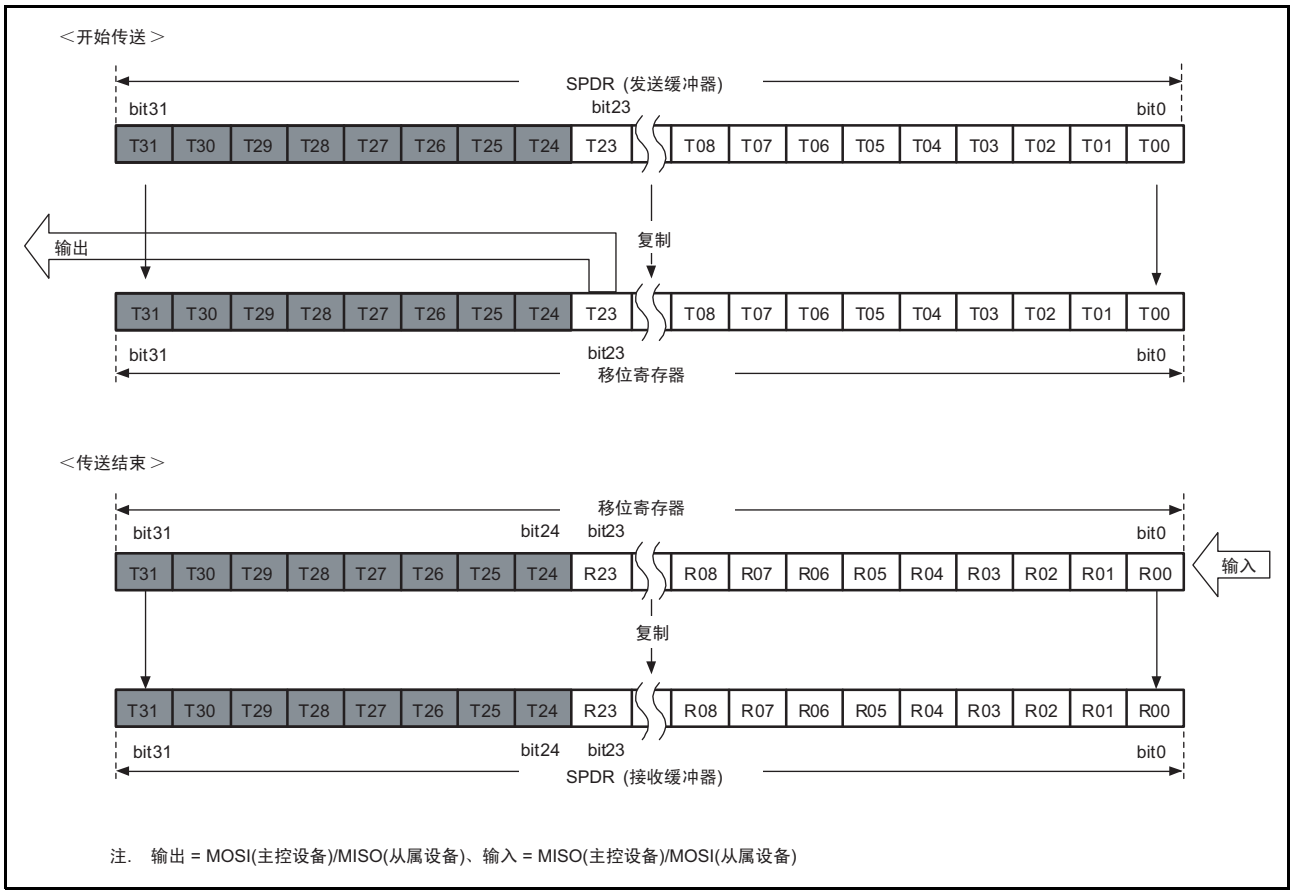


图 34.16 MSB first 传送 （24 位数据 / 奇偶校验功能无效）

(3) LSB first 传送 （32 位数据）

在奇偶校验功能无效的情况下， RSPI 进行 32 位数据长度的 LSB first 传送时的 RSPI 数据寄存器 （SPDR） 和移位寄存器的运行内容如图 34.17 所示。

在发送时，以位为单位将发送缓冲器的数据 （T31 ～ T00）调换为 T00 ～ T31 的顺序，并且复制到移位寄存器。按 T00→T01→・・・→T31 的顺序将移位寄存器的值进行移位，并且发送数据。

在接收时，将最初的数据保存到移位寄存器的 bit0，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R00 ～ R31 的数据，就将移位寄存器的值复制到接收缓冲器。

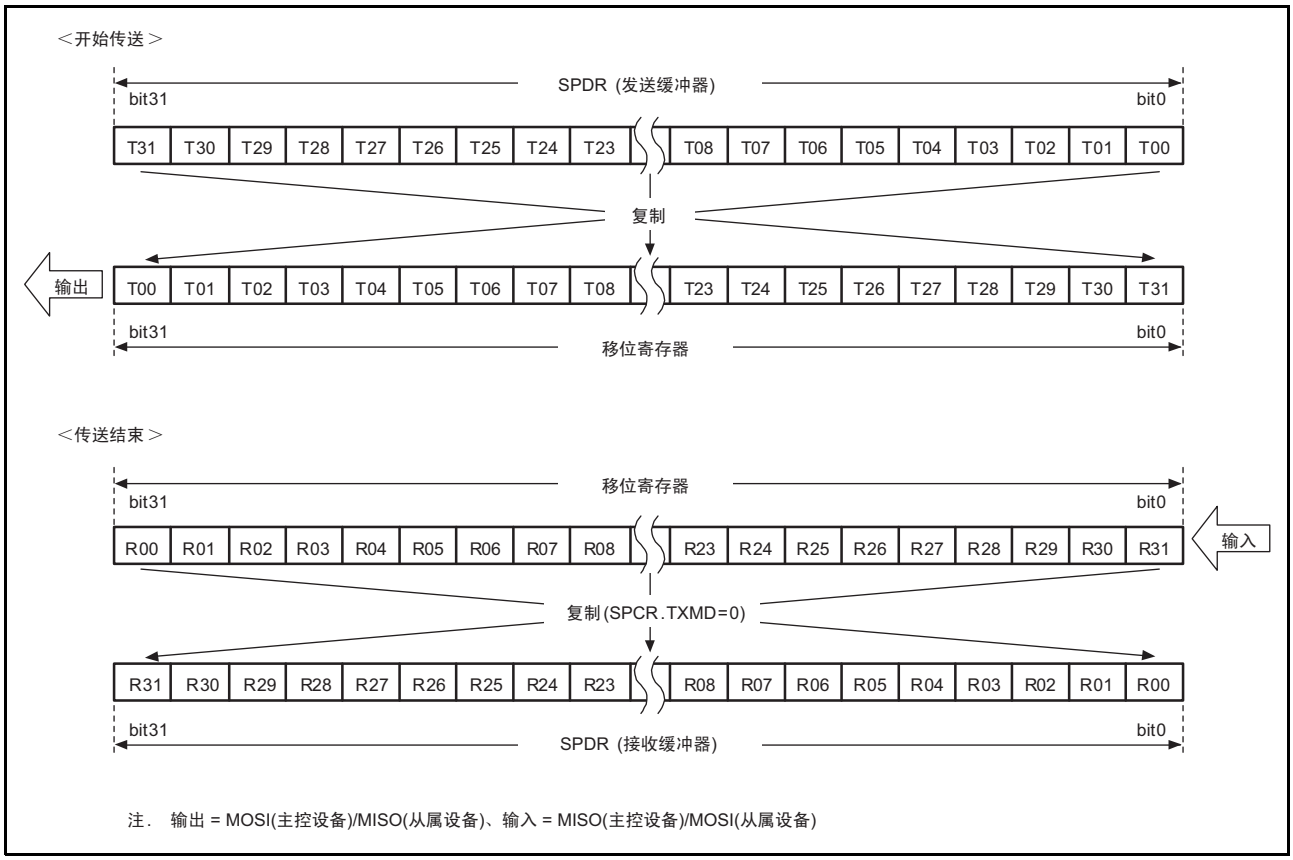


图 34.17 LSB first 传送 （32 位数据 / 奇偶校验功能无效）

(4) LSB first 传送 （24 位数据）

在奇偶校验功能无效的情况下，以对 32 位以外的数据进行 MSB first 传送为例， RSPI 进行 24 位数据传送时的 RSPI 数据寄存器 （SPDR）和移位寄存器的运行内容如图 34.18 所示。

在发送时，以位为单位将发送缓冲器的低 24 位（T23 ～ T00）调换为 T00 ～ T23 的顺序，并且复制到移位寄存器。按 T00→T01→・・・→T23 的顺序将移位寄存器的值进行移位，并且发送数据。

在接收时，将接收数据保存到移位寄存器的 bit8，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R00 ～ R23 的数据，就将移位寄存器的值复制到接收缓冲器。

此时，将发送缓冲器的高 8 位保存到接收缓冲器的高 8 位。能在发送时预先给 T31 ～ T24 写 “0”，使接收缓冲器的高 8 位变为 “0”。

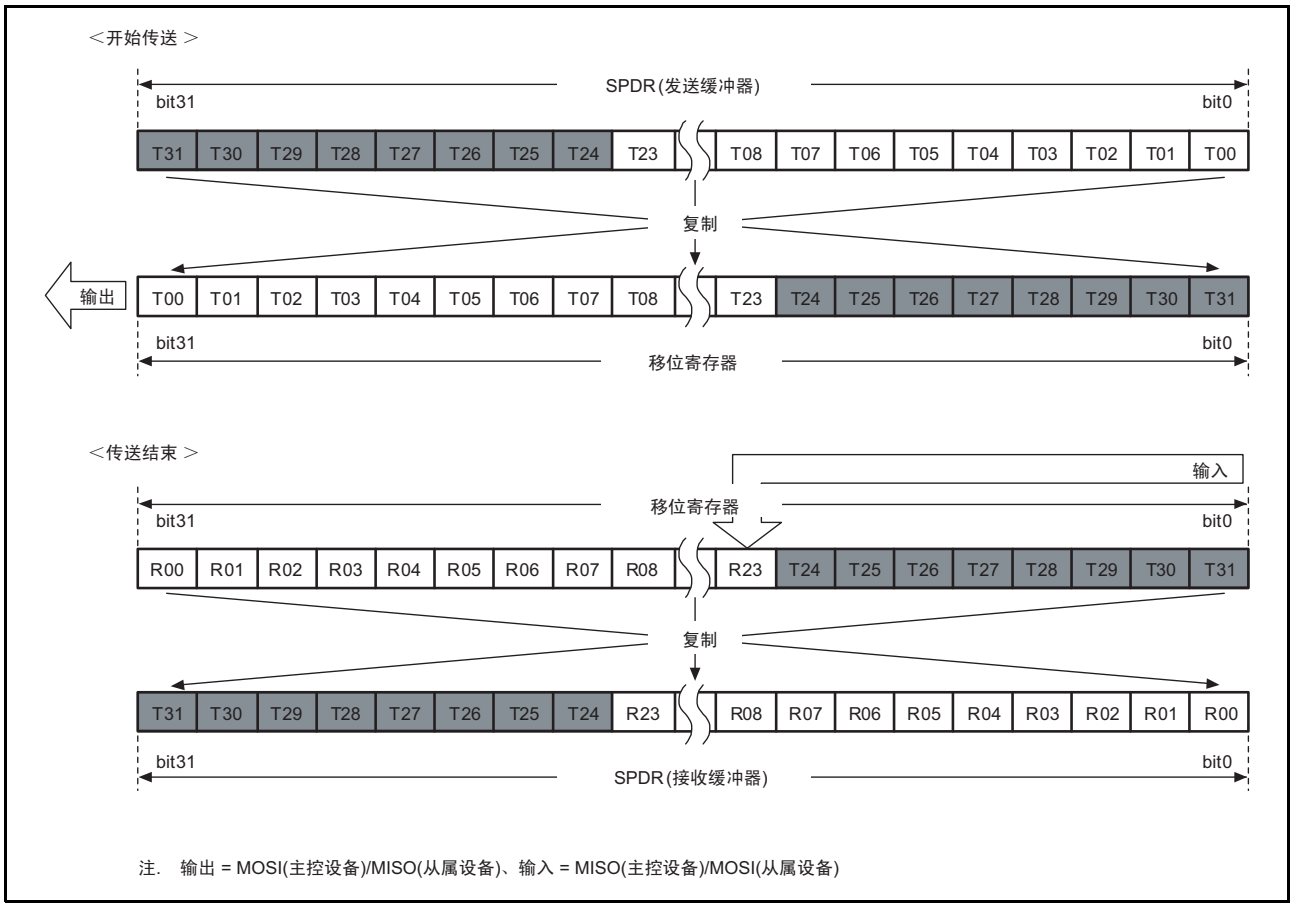


图 34.18 LSB first 传送 （24 位数据 / 奇偶校验功能无效）

34.3.4.2 奇偶校验功能有效的情况 （SPCR2.SPPE=1）

在奇偶校验功能有效时，将发送和接收数据的最低位转换为奇偶校验位。奇偶校验位的值由硬件进行计算和转换。

(1) MSB first 传送 （32 位数据）

在奇偶校验功能有效的情况下，RSPI 进行 32 位数据长度的 MSB first 传送时的 RSPI 数据寄存器（SPDR）和移位寄存器的运行内容如图 34.19 所示。

在发送时，先根据 T31 ～ T01 的数据进行奇偶校验位 （P）的运算，替换最后位的 T00，然后复制到移位寄存器。按 T31→T30→・・・T21→P 的顺序发送数据。

在接收时，将接收数据保存到移位寄存器的 bit0，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R31 ～ P 的数据，就将移位寄存器的值复制到接收缓冲器。如果将数据复制到移位寄存器，就检查 R31 ～ P 的数据，判断奇偶校验错误。

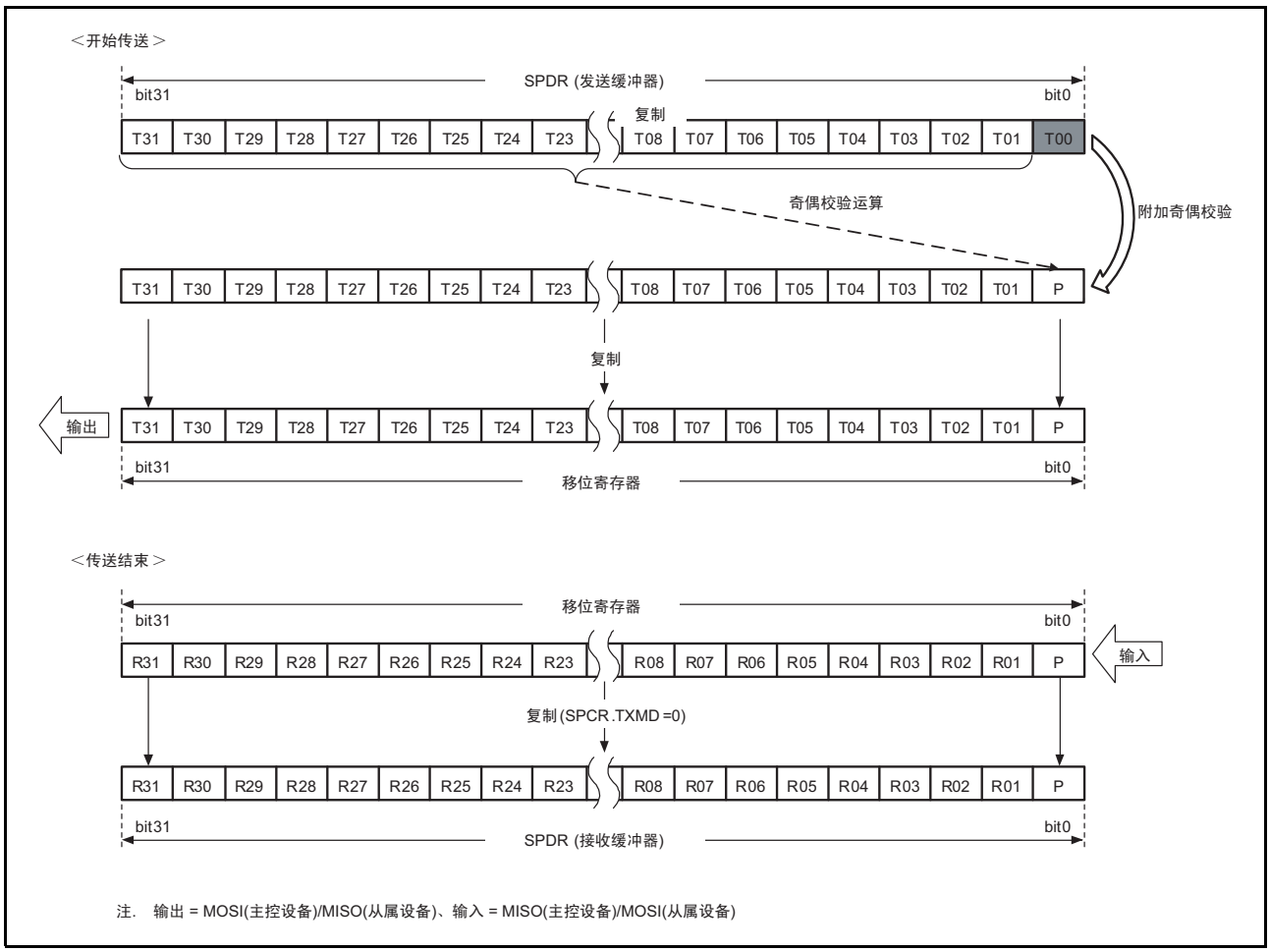


图 34.19 MSB first 传送 （32 位数据 / 奇偶校验功能有效）

(2) MSB first 传送 （24 位数据）

在奇偶校验功能有效的情况下，以对 32 位以外的数据进行 MSB first 传送为例， RSPI 进行 24 位数据传送时的 RSPI 数据寄存器 （SPDR）和移位寄存器的运行内容如图 34.20 所示。

在发送时，先根据 T23 ～ T01 的数据进行奇偶校验位 （P）的运算，替换最后位的 T00，然后复制到移位寄存器。按 T23→T22→・・・T01→P 的顺序发送数据。

在接收时，将接收数据保存到移位寄存器的 bit0，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R23 ～ P 的数据，就将移位寄存器的值复制到接收缓冲器。如果将数据复制到移位寄存器，就检查 R23 ～ P 的数据，判断奇偶校验错误。此时，将发送缓冲器的高 8 位保存到接收缓冲器的高 8 位。能在发送时预先给 T31 ～ T24 写 “0”，使接收缓冲器的高 8 位变为 “0”。

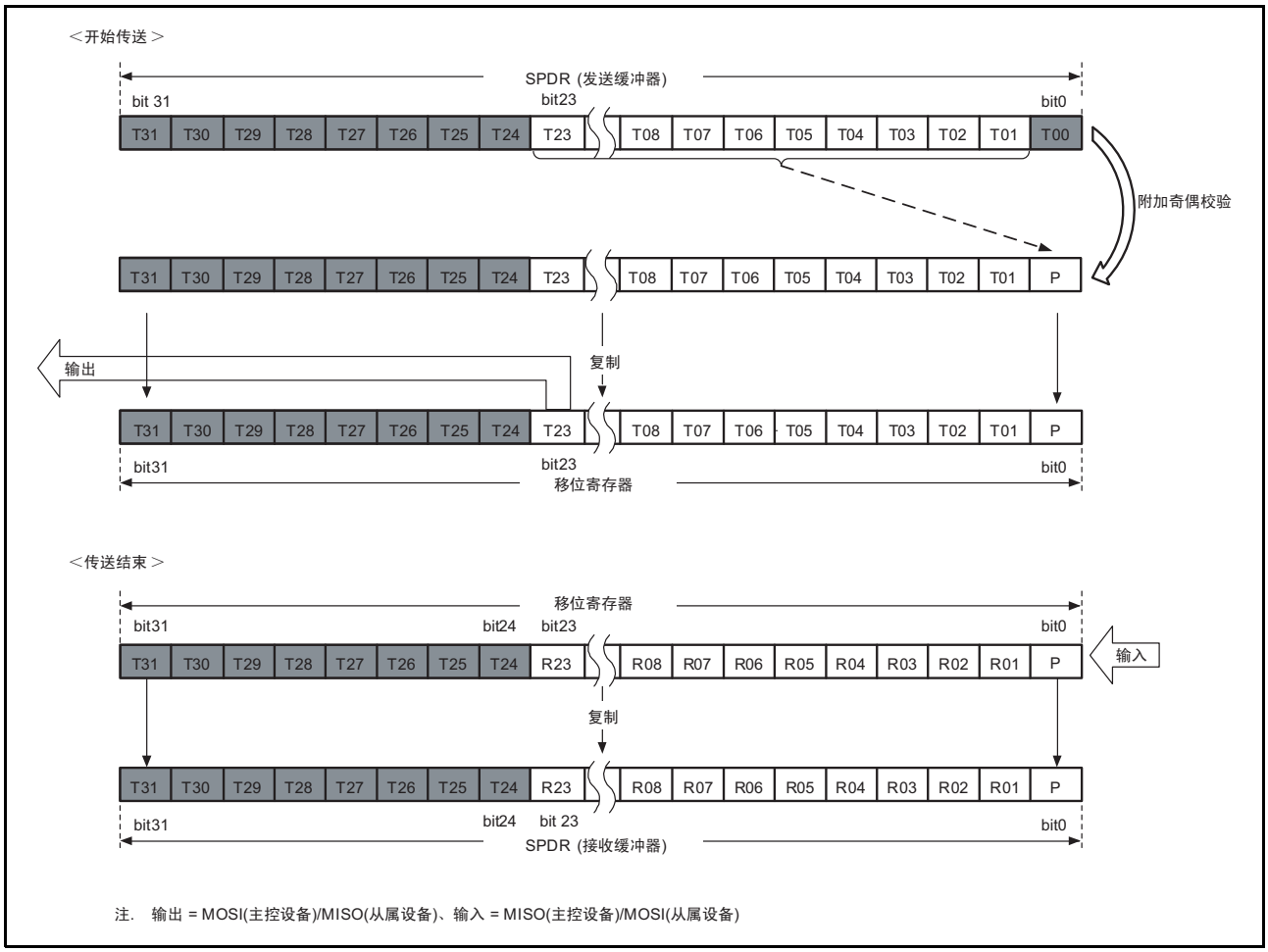


图 34.20 MSB first 传送 （24 位数据 / 奇偶校验功能有效）

(3) LSB first 传送 （32 位数据）

在奇偶校验功能有效的情况下， RSPI 进行 32 位数据长度的 LSB first 传送时的 RSPI 数据寄存器 （SPDR） 和移位寄存器的运行内容如图 34.21 所示。

在发送时，先根据 T30 ～ T00 的数据进行奇偶校验位 （P）的运算，替换最后位的 T31，然后复制到移位寄存器。按 T00→T01→・・・T30→P 的顺序发送数据。

在接收时，将接收数据保存到移位寄存器的 bit0，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R00 ～ P 的数据，就将移位寄存器的值复制到接收缓冲器。如果将数据复制到移位寄存器，就检查 R00 ～ P 的数据，判断奇偶校验错误。

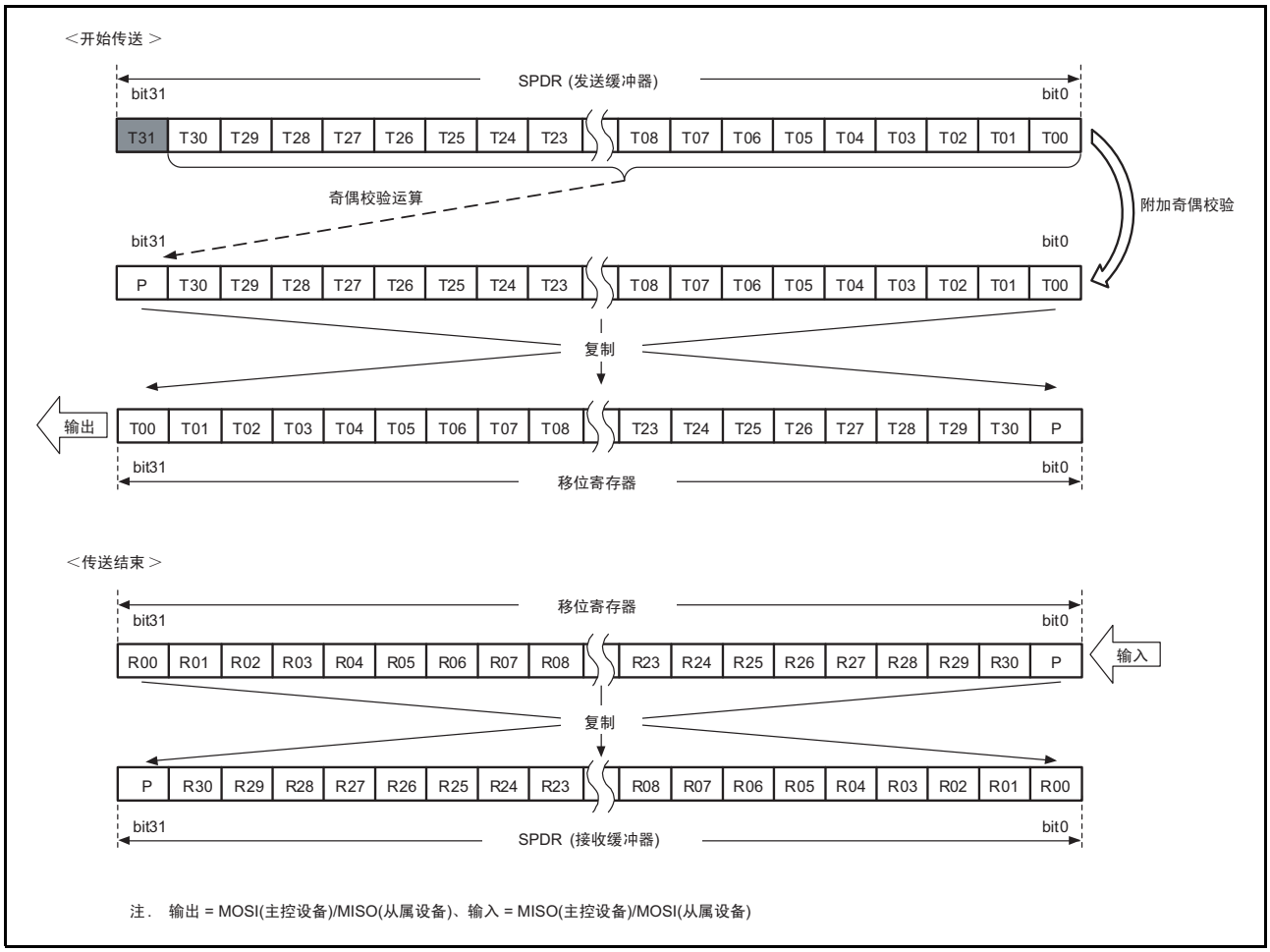


图 34.21 LSB first 传送 （32 位数据 / 奇偶校验功能有效）

(4) LSB first 传送 （24 位数据）

在奇偶校验功能有效的情况下，以对 32 位以外的数据进行 LSB first 传送为例，RSPI 进行 24 位数据传送时的 RSPI 数据寄存器 （SPDR）和移位寄存器的运行内容如图 34.22 所示。

在发送时，先根据 T22 ～ T00 的数据进行奇偶校验位 （P）的运算，替换最后位的 T23，然后复制到移位寄存器。按 T00→T01→・・・T22→P 的顺序发送数据。

在接收时，将接收数据保存到移位寄存器的 bit8，并且按数据进行接收数据的移位。输入需要的 RSPCK，如果收集到 R23 ～ P 的数据，就将移位寄存器的值复制到接收缓冲器。如果将数据复制到移位寄存器，就检查 R00 ～ P 的数据，判断奇偶校验错误。此时，将发送缓冲器的高 8 位保存到接收缓冲器的高 8 位。能在发送时预先给 T31 ～ T24 写 “0”，使接收缓冲器的高 8 位变为 “0”。

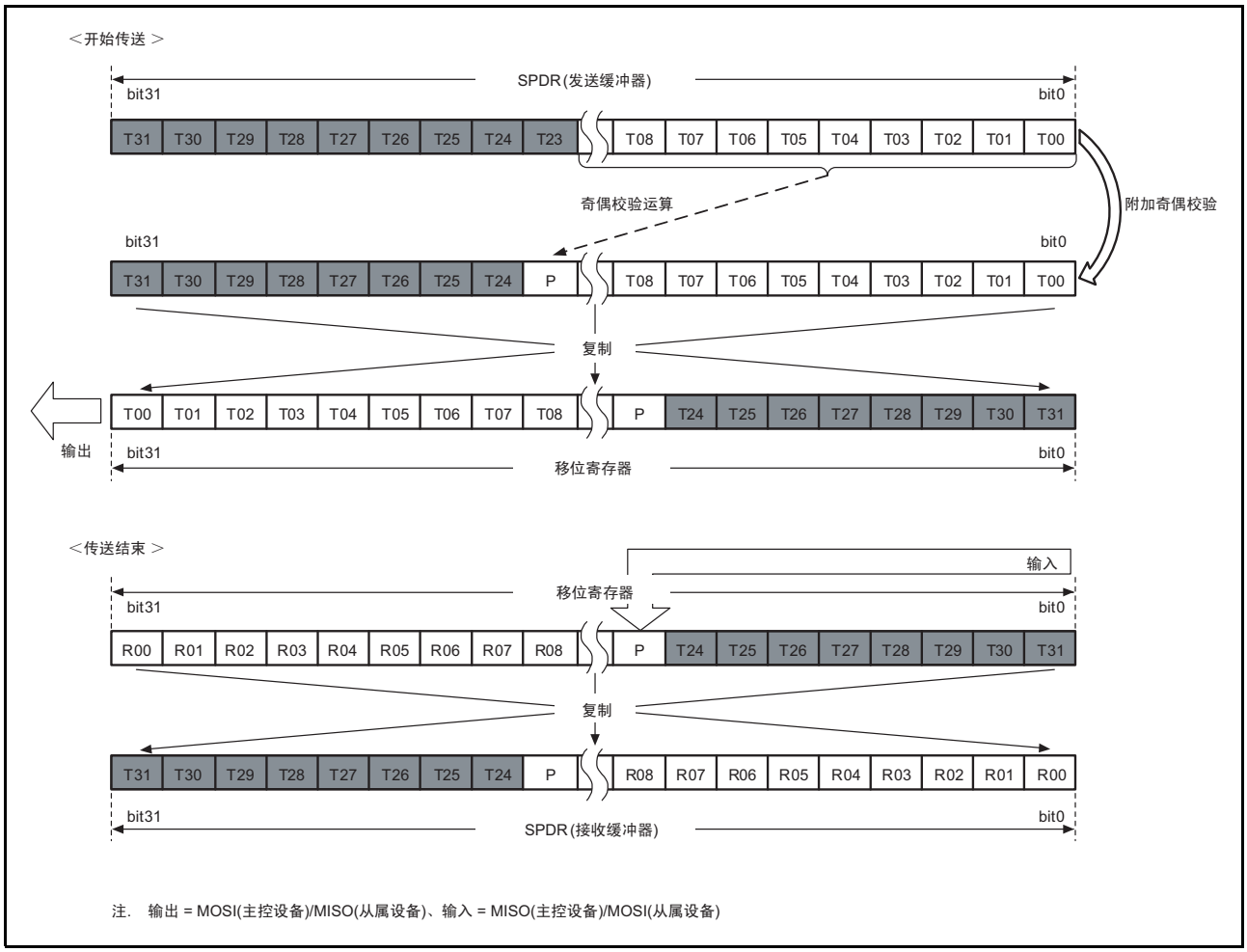


图 34.22 LSB first 传送 （24 位数据 / 奇偶校验功能有效）

34.3.5 传送格式

34.3.5.1 CPHA 位为 “0” 的情况

在 SPCMDm.CPHA 位为 “0” 的情况下，对 8 位数据进行串行传送时的传送格式例子如图 34.23 所示。但是，不保证 RSPI 为从属模式 （SPCR.MSTR=0）并且 CPHA 位为 “0” 时的时钟同步运行 （SPCR.SPMS 位为 “1”）。在图 34.23 中， RSPCKn （CPOL=0）是 SPCMDm.CPOL 位为 “0” 时的 RSPCKn 信号波形， RSPCKn （CPOL=1）是 SPCMDm.CPOL 位为 “1” 时的 RSPCKn 信号波形。采样时序表示 RSPI 将串行传送数据取到移位寄存器的时序。各信号的输入 / 输出方向取决于 RSPI 的设定，详细内容请参照 “34.3.2 RSPI 引脚的控制”。

当 SPCMDm.CPHA 位为 “0” 时，在 SSLni 信号的有效时序开始驱动 MOSIn 信号和 MISOn 信号的有效数据。在 SSLni 信号有效后发生的第一个 RSPCKn 信号变化时序为第一个传送数据的取时序，在此时序之后，按每个 RSPCK 周期对数据进行采样。MOSIn 信号和 MISOn 信号的变化时序总是在传送数据取时序的 1/2 个 RSPCK 周期之后。 CPOL 位的设定值不影响 RSPCK 信号的运行时序而只影响信号的极性。

t1 表示从 SSLni 信号有效到 RSPCKn 振荡的期间（RSPCK 延迟），t2 表示从 RSPCKn 振荡停止到 SSLni 信号无效的期间 （SSL 无效延迟）， t3 表示在串行传送结束后抑制下次传送的 SSLni 信号有效的期间 （下次存取延迟）。t1、t2 和 t3 由 RSPI 系统上的主控设备进行控制。有关本 LSI 的 RSPI 为主控模式时的 t1、t2 和 t3，请参照 “34.3.10.1 主控模式的运行”。

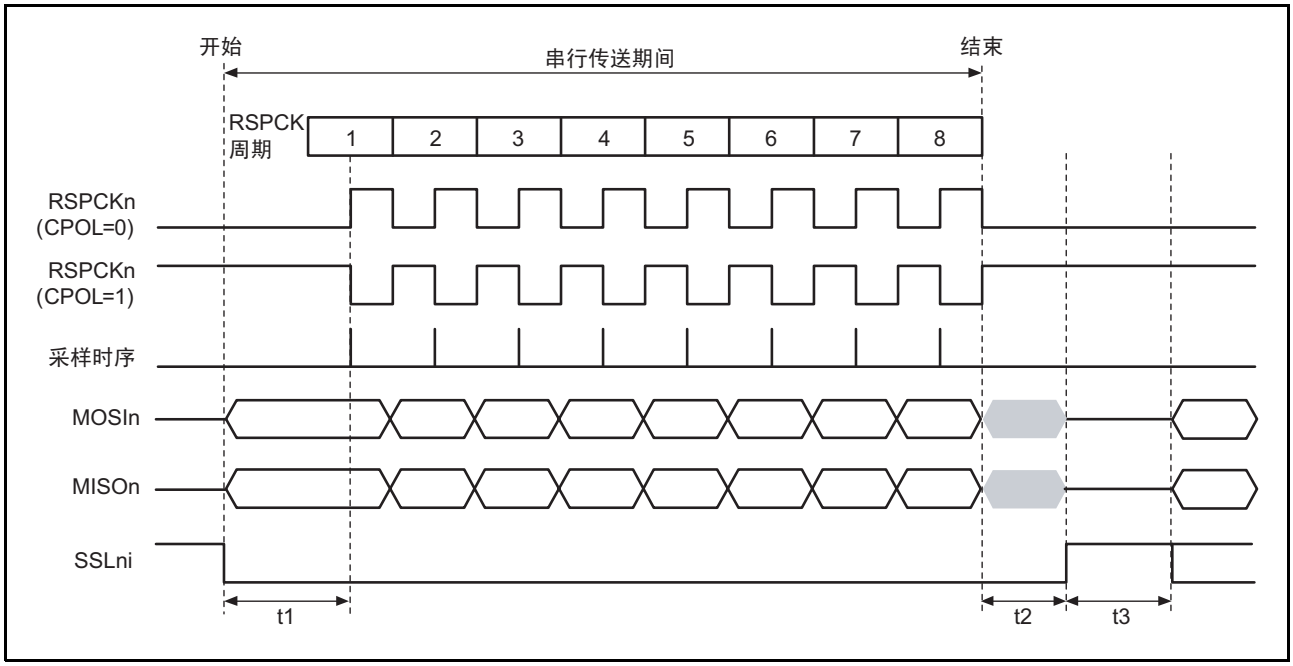


图 34.23 RSPI 传送格式 （CPHA 位 =0）

34.3.5.2 CPHA 位为 “1” 的情况

在 SPCMDm.CPHA 位为 “1” 的情况下，对 8 位数据进行串行传送时的传送格式例子如图 34.24 所示。但是，当 SPCR.SPMS 位为 “1” 时，不使用 SSLni 信号而只使用 RSPCKn 信号、MOSIn 信号和 MISOn 信号进行通信。在图 34.24 中， RSPCK （CPOL=0）是 SPCMDm.CPOL 位为 “0” 时的 RSPCKn 信号波形， RSPCK （CPOL=1）是 SPCMDm.CPOL 位为 “1” 的 RSPCKn 信号波形。采样时序表示 RSPI 将串行传送数据取到移位寄存器的时序。各信号的输入 / 输出方向取决于 RSPI 的模式 （主控 / 从属模式），详细内容请参照 “34.3.2 RSPI 引脚的控制”。

当 SPCMDm.CPHA 位为 “1” 时，在 SSLni 信号的有效时序开始驱动 MISOn 信号的无效数据。在 SSLni 信号有效后发生的第一个 RSPCKn 信号变化时序，开始输出 MOSIn 信号和 MISOn 信号的有效数据。在此时序后，按每个 RSPCK 周期更新数据。传送数据的取时序总是在此时序的 1/2 个 RSPCK 周期之后。SPCMDm.CPOL 位的设定值不影响 RSPCKn 信号的运行时序而只影响信号的极性。

t1、t2、t3 的内容和 CPHA 位为 “0” 的情况相同。有关本 LSI 的 RSPI 为主控模式时的 t1、t2 和 t3，请参照 “34.3.10.1 主控模式的运行”。

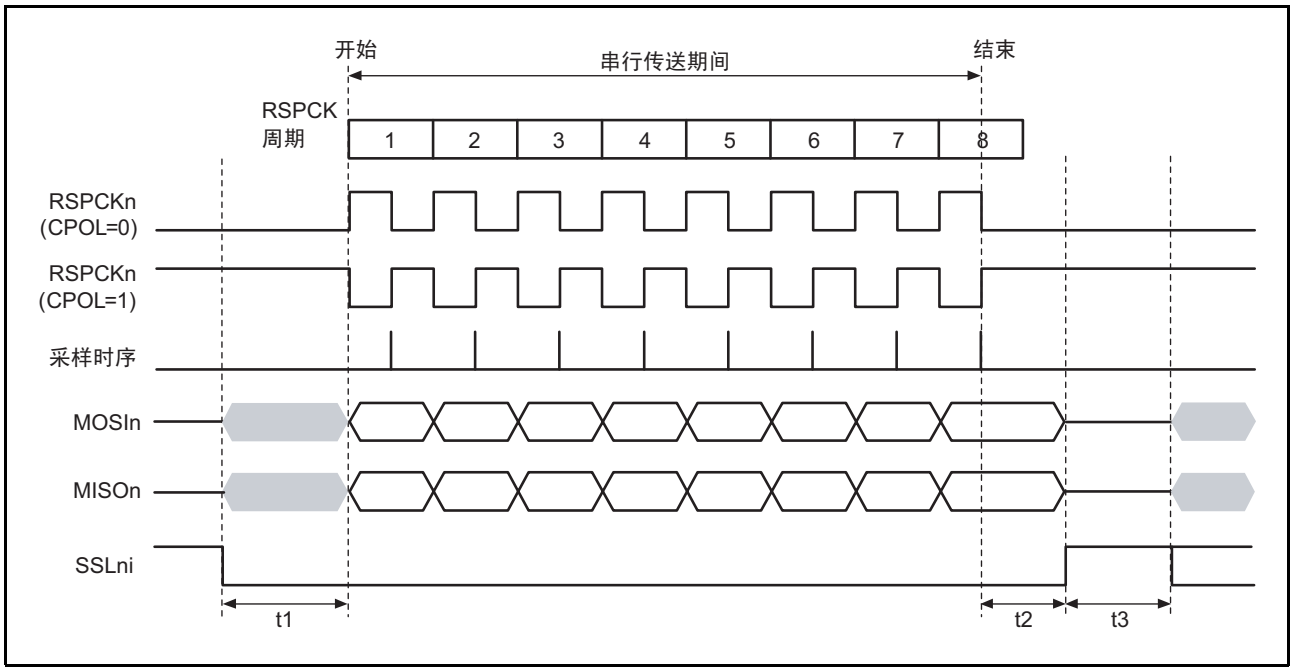


图 34.24 RSPI 传送格式 （CPHA 位 =1）

34.3.6 通信运行模式

通过设定 SPCR.TXMD 位，选择是进行全双工同步串行通信还是只进行发送的串行通信。图 34.25 和图 34.26 记载的 “SPDR 存取”表示 SPDR 寄存器的存取状况，“W”表示写周期。

34.3.6.1 全双工同步串行通信 （SPCR.TXMD=0）

SPCR.TXMD 位为“0”时的运行例子如图 34.25 所示。在图 34.25 的例子中，SPDCR.SPFC[1:0] 位为“00b”，SPCMDm.CPHA 位为 “1”并且 SPCMDm.CPOL 位为 “0”， RSPI 进行 8 位串行传送。 RSPCKn 波形下面记载的数字表示 RSPCK 周期数 （= 传送位数）。

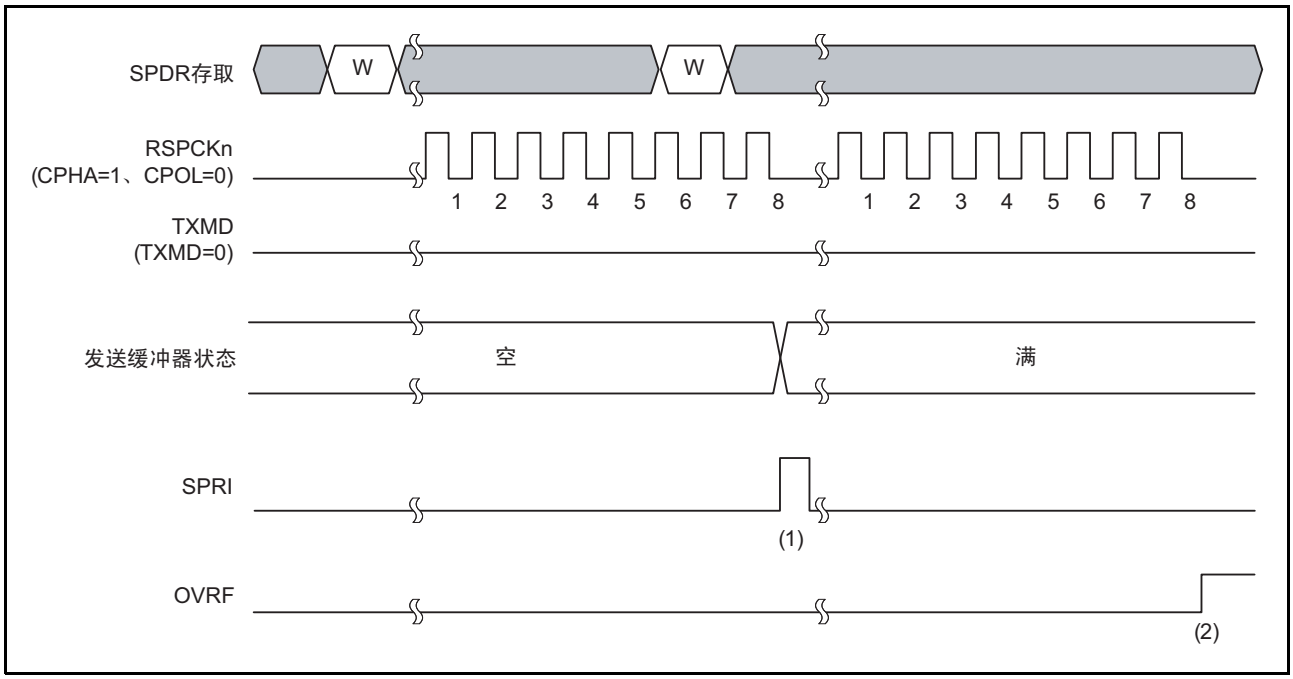


图 34.25 SPCR.TXMD 为 “0”时的运行例子

以下说明在图中的 (1) 和 (2) 所示的时序中标志的运行内容：

(1) 如果在SPDR寄存器的接收缓冲器为空的状态下结束串行传送， RSPI就在产生接收缓冲器满中断请求（SPRI）后，将移位寄存器的接收数据复制到接收缓冲器。

(2) 如果在SPDR寄存器的接收缓冲器有以前的接收数据的状态下结束串行传送，RSPI就在将SPSR.OVRF标志置 “1”后，放弃移位寄存器的接收数据。

在进行全双工同步串行通信时 （SPCR.TXMD=0），发送数据以及接收数据。因此，在 (1) 和 (2) 各自的时序中， SPSR.OVRF 标志变为 “1”。

34.3.6.2 只进行发送的运行 （SPCR.TXMD=1）

SPCR.TXMD 位为“1”时的运行例子如图 34.26 所示。在图 34.26 的例子中，SPDCR.SPFC[1:0] 位为“00b”，SPCMDm.CPHA 位为 “1” 并且 SPCMDm.CPOL 位为 “0”， RSPI 进行 8 位串行传送。RSPCKn 波形下面记载的数字表示 RSPCK 周期数 （= 传送位数）。

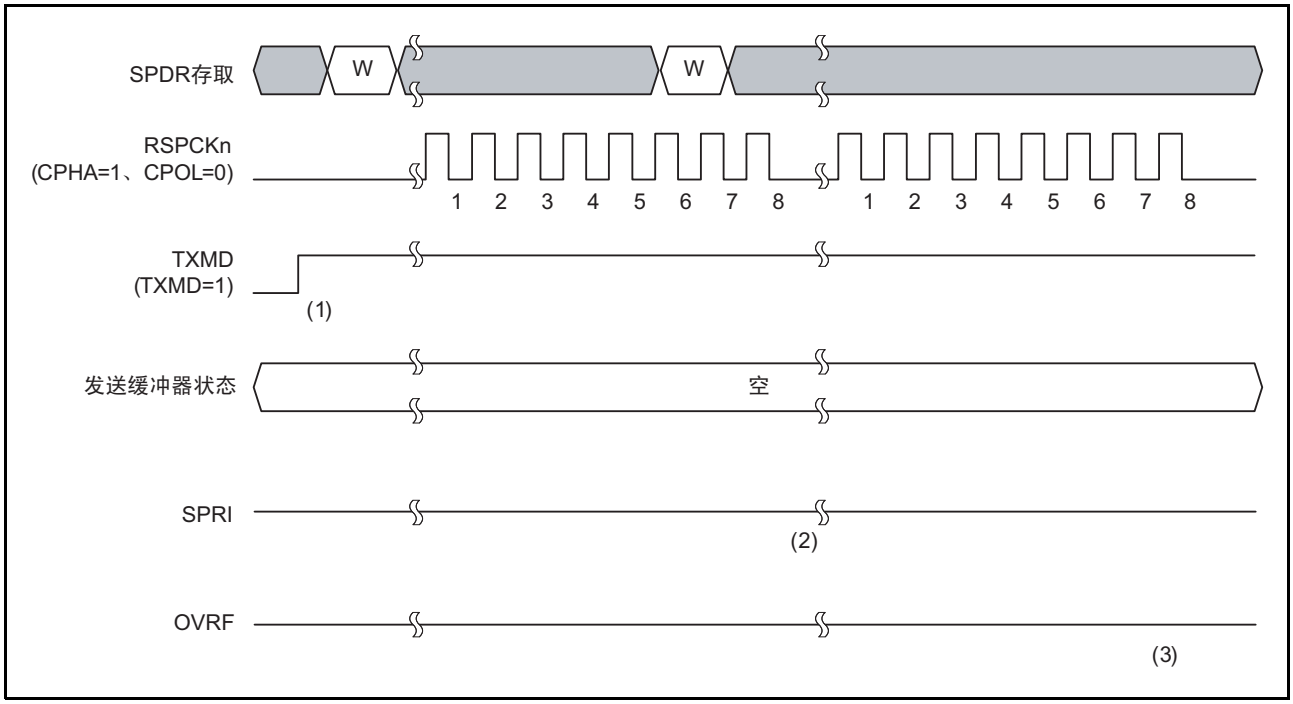


图 34.26 SPCR.TXMD 为 “1” 时的运行例子

以下说明在图中的 (1)、 (2)、 (3) 所示的时序中标志的运行内容：

(1) 必须在确认接收缓冲器没有数据并且SPSR.OVRF标志是 “0”后转移到只进行发送的运行时 （SPCR.TXMD=1）。

(2) 如果在SPDR寄存器的接收缓冲器为空的状态下结束串行传送，就在只进行发送的运行（SPCR.TXMD=1）时不将移位寄存器的数据复制到接收缓冲器。

(3) 因为SPDR寄存器的接收缓冲器没有以前的接收数据，所以即使结束串行传送SPSR.OVRF标志也保持“0”，并且不将移位寄存器的数据复制到接收缓冲器。

在只进行发送的运行时 （SPCR.TXMD=1），发送数据而不接收数据。因此，在 (1)、 (2)、 (3) 各自的时序中， SPSR.OVRF 标志保持 “0”。

34.3.7 发送缓冲器空中断 / 接收缓冲器满中断

RSPI 发送缓冲器空中断 （SPTI）和 RSPI 接收缓冲器满中断 （SPRI）的运行例子如图 34.27 所示。图 34.27 中记载的 “SPDR 存取”表示 SPDR 寄存器的存取状况，“I”表示空闲周期，“W”表示写周期，“R”表示读周期。在图 34.27 的例子中， SPCR.TXMD 位为 “0”， SPDCR.SPFC[1:0] 位为 “00b”， SPCMDm.CPHA 位为 “1”并且 SPCMDm.CPOL 为 “0”， RSPI 进行 8 位串行传送。 RSPCKn 波形下面记载的数字表示 RSPCK 周期数 （= 传送位数）。

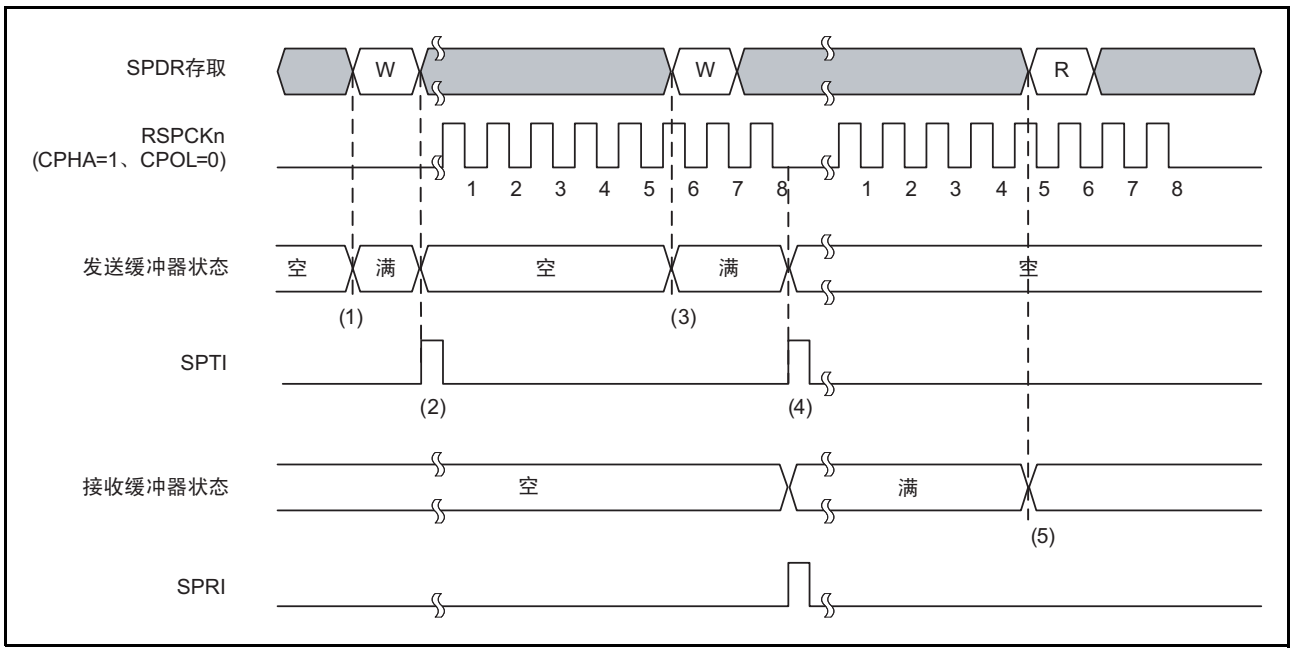


图 34.27 SPTI 中断和 SPRI 中断的运行例子

以下说明在图中的 (1) ～ (5) 所示的时序中中断的运行内容：

(1) 在SPDR寄存器的发送缓冲器为空的 （未设定下次传送的数据）状态下，如果将发送数据写到SPDR寄存器， RSPI就将数据写到发送缓冲器。

(2) 如果移位寄存器为空，就在RSPI将发送缓冲器的数据复制到移位寄存器后产生发送缓冲器空中断（SPTI）。串行传送的开始方法取决于RSPI的模式 （参照 “34.3.10 SPI运行”和 “34.3.11 时钟同步运行”）。

(3) 如果通过发送缓冲器空中断程序将发送数据写到SPDR寄存器，就将数据传送到发送缓冲器。因为串行传送过程中的数据被保存在移位寄存器，所以RSPI不将发送缓冲器的数据复制到移位寄存器。

(4) 如果在SPDR寄存器的接收缓冲器为空的状态下结束串行传送， RSPI就将移位寄存器的接收数据复制到接收缓冲器并且产生接收缓冲器满中断请求 （SPRI）。一旦串行传送结束，移位寄存器就变空。因此，如果在串行传送结束前发送缓冲器满， RSPI就将发送缓冲器的数据复制到移位寄存器。即使在发生溢出错误的状态下不将接收数据从移位寄存器复制到接收缓冲器，只要串行传送结束，RSPI也判断为移位寄存器处于空的状态，变为可将数据从发送缓冲器传送到移位寄存器的状态。

(5) 如果通过接收缓冲器满中断程序读SPDR寄存器，就能读到接收数据。

如果在发送缓冲器有未发送数据的状态下写 SPDR 寄存器，RSPI 就不更新发送缓冲器的数据。必须通过发送缓冲器空中断程序来写 SPDR 寄存器。在使用 RSPI 发送中断时，必须将 SPCR 的 SPTIE 位置 “1”。

在 RSPI 功能无效 （SPCR 的 SPE 位为 “0”）状态下，必须将 SPTIE 位置 “0”。

如果在接收缓冲器满的状态下结束串行传送，RSPI 就不将数据从移位寄存器复制到接收缓冲器，而检测到溢出错误 （参照 “34.3.8 错误检测”）。为了防止接收数据的溢出，必须在下次串行传送结束前，通过接收缓冲器满中断请求读接收数据。在使用 RSPI 接收中断时，必须将 SPCR.SPRIE 位置 “1”。

能通过发送 / 接收中断或者对应 ICU 的 IRn.IR 标志 （n= 中断向量号）确认发送 / 接收缓冲器的状态。有关中断向量号，请参照 “15. 中断控制器 （ICUb）”。

34.3.8 错误检测

在正常的 RSPI 串行传送中，能对写在 SPDR 寄存器的发送缓冲器中的数据进行串行发送，并且能从 SPDR 寄存器的接收缓冲器读串行接收的数据。根据存取 SPDR 寄存器时的发送 / 接收缓冲器的状态以及串行传送开始 / 结束时的 RSPI 的状态，有可能发生异常传送。

如果发生部分异常传送， RSPI 就检测为溢出错误、奇偶校验错误或者模式故障错误。异常传送和 RSPI 错误检测功能的关系如表 34.8 所示。

表 34.8 异常传送的产生条件和 RSPI 的错误检测功能

	发生条件	RSPI 运行	错误检测
A	在发送缓冲器满的状态下写 SPDR 寄存器。	• 保持发送缓冲器内容。 • 写数据丢失。	无
B	在从属模式中未将发送数据设定到移位寄存器的状态下开始串行传送。	对上次串行传送时的接收数据进行串行发送。	无
C	在接收缓冲器为空的状态下读 SPDR 寄存器。	输出上次的串行接收数据。	无
D	在接收缓冲器满的状态下结束串行传送。	保持接收缓冲器内容并且串行接收数据丢失。	溢出错误检测
E	在进行全双工同步串行通信并且奇偶校验功能有效的状态下接收到错误的奇偶校验位。	奇偶校验错误标志有效。	奇偶校验错误检测
F	在多主控模式的串行传送空闲时 SSLn0 输入信号有效。	• 停止驱动 RSPICKn、 MOSIn、SSLn1 ～ 3 输出信号。 • 禁止 RSPI。	模式故障错误检测
G	在多主控模式的串行传送过程中 SSLn0 输入信号有效。	• 中止串行传送。 • 发送 / 接收数据丢失。 • 停止驱动 RSPCKn、 MOSIn、SSLn1 ～ 3 输出信号。 • 禁止 RSPI。	模式故障错误检测
H	在从属模式的串行传送过程中 SSLn0 输入信号无效。	• 中止串行传送。 • 发送 / 接收数据丢失。 • 停止驱动 MISOn 输出信号。 • 禁止 RSPI。	模式故障错误检测

对于表 34.8 的 A 所示的运行， RSPI 不检测错误。为了在写 SPDR 寄存器时不丢失数据，必须通过发送中断请求来写 SPDR 寄存器。

即使对于 B 所示的运行， RSPI 也不检测错误。在更新移位寄存器前启动的串行传送中， RSPI 发送上次串行传送时的接收数据，而不将 B 所示的运行作为错误进行处理。因为上次串行传送时的接收数据保存在 SPDR 寄存器的接收缓冲器，所以能正常读取 （如果不在串行传送结束前读 SPDR 寄存器，就发生溢出错误）。

即使对于 C 所示的运行， RSPI 也不检测错误。为了只读需要的数据，必须通过接收中断来读 SPDR 寄存器。

有关 D 所示的溢出错误，请参照 “34.3.8.1 溢出错误”；有关 E 所示的奇偶校验错误，请参照 “34.3.8.2 奇偶校验错误”；有关 F ～ H 所示的模式故障错误，请参照 “34.3.8.3 模式故障错误”。

有关发送中断和接收中断，请参照 “34.3.7 发送缓冲器空中断 / 接收缓冲器满中断”。

34.3.8.1 溢出错误

如果在 SPDR 寄存器的接收缓冲器满的状态下结束串行传送，RSPI 就检测到溢出错误，然后将 SPSR.OVRF 标志置 “1”。因为在 OVRF 标志为 “1” 的状态下 RSPI 不将移位寄存器的数据复制到接收缓冲器，所以发生错误前的数据保存在接收缓冲器。要将 OVRF 标志置 “0” 时，需要在 OVRF 标志为 “1” 的状态下读 SPSR 寄存器后给 OVRF 标志写 “0”。

SPSR.OVRF 标志的运行如图 34.28 所示。图 34.28 中记载的 SPSR 存取和 SPDR 存取分别表示 SPSR 寄存器和 SPDR 寄存器的存取状况， W 表示写周期， R 表示读周期。在图 34.28 的例子中， SPCMDm. CPHA 位为 “1” 并且 SPCMDm.CPOL 位为 “0”， RSPI 进行 8 位串行传送。 RSPCKn 波形下面记载的数字表示 RSPCK 周期数 （= 传送位数）。

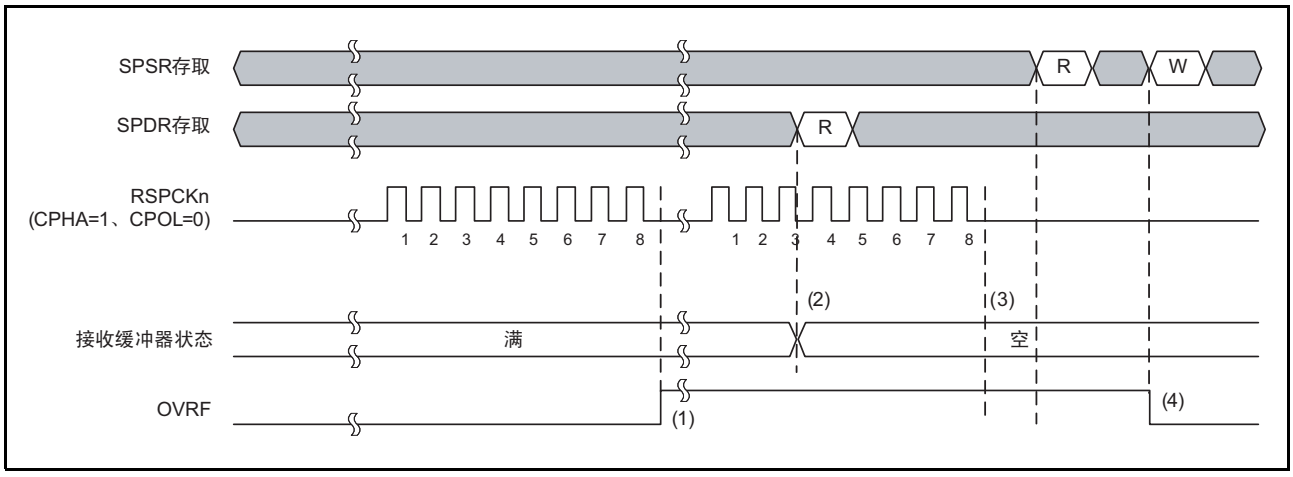


图 34.28 OVRF 标志的运行例子

以下说明在图中的 (1) ～ （4）所示的时序中标志的运行内容：

(1) 如果在接收缓冲器满的状态下结束串行传送，RSPI 就检测到溢出错误并且将 OVRF 标志置 “1”。RSPI 不将移位寄存器的数据复制到接收缓冲器。即使 SPPE 位为 “1” 时，也不检测奇偶校验错误。在主控模式中，将指向 SPCMDm 寄存器的指针值复制到 SPSSR.SPECM[2:0] 位。

(2) 如果读 SPDR， RSPI 就能读到接收缓冲器的数据。即使接收缓冲器为空， OVRF 标志也不变为 “0”。

(3) 如果在 OVRF 标志为 “1” 的状态 （溢出错误）下结束串行传送， RSPI 就不将移位寄存器的数据复制到接收缓冲器，也不产生接收缓冲器满中断。即使 SPPE 位为 “1”，也不检测奇偶校验错误。在主控模式中，RSPI 不更新 SPECM[2:0] 位。在发生溢出错误的状态下，如果在没有将接收数据从移位寄存器复制到接收缓冲器的情况下结束串行传送， RSPI 就判断为移位寄存器处于空的状态，变为可将数据从发送缓冲器传送到移位寄存器的状态。

(4) 如果在 OVRF 标志为 “1” 的状态下读 SPSR 寄存器后给 OVRF 标志写 “0”，RSPI 就将 OVRF 标志置 “0”。

能通过读 SPSR 寄存器或者通过 RSPI 错误中断并且读 SPSR 寄存器，确认溢出的发生。在进行串行传送时，必须通过在读 SPDR 寄存器后立即读 SPSR 寄存器等方法，尽早检测到溢出错误的发生。在主控模式中使用 RSPI 时，能通过读 SPSSR. SPECM[2:0] 位，确认发生错误时的指向 SPCMDm 寄存器的指针值。

如果在发生溢出错误后 OVRF 标志变为 “1”，就在 OVRF 标志变为 “0” 前无法进行正常的接收运行。OVRF 标志为 “0” 的条件如下：

- 在 OVRF 标志为 “1” 的状态下读 SPSR 寄存器后给 OVRF 标志写 “0”。

34.3.8.2 奇偶校验错误

在 SPCR.TXMD 位为 “0” 并且 SPCR2.SPPE 位为 “1” 的状态下，如果进行全双工同步串行通信并且结束传送，就判断为奇偶校验错误。当 RSPI 检测到接收数据有奇偶校验错误时，将 SPSR.PERF 标志置 “1”。在 SPSR.OVRF 位为 “1” 的状态下，因为 RSPI 不将移位寄存器的数据复制到接收缓冲器，所以不对接收数据进行奇偶校验错误的检测。要将 PERF 标志置 “0” 时，需要在 PERF 标志为 “1” 的状态下读 SPSR 寄存器后给 PERF 标志写 “0”。

OVRF 标志和 PERF 标志的运行如图 34.29 所示。图 34.29 中记载的 “SPSR 存取” 表示 SPSR 寄存器的存取状况，“W” 表示写周期，“R” 表示读周期。在图 34.29 的例子中，在 SPCR.TXMD 位为 “0” 并且 SPCR2.SPPE 位为 “1” 的状态下进行全双工同步串行通信。通过 SPCMDm.CPHA 位为 “1” 并且 SPCMDm.CPOL 位为 “0” 的设定， RSPI 进行 8 位串行传送。 RSPCKn 波形下面记载的数字表示 RSPCK 周期数 （= 传送位数）。

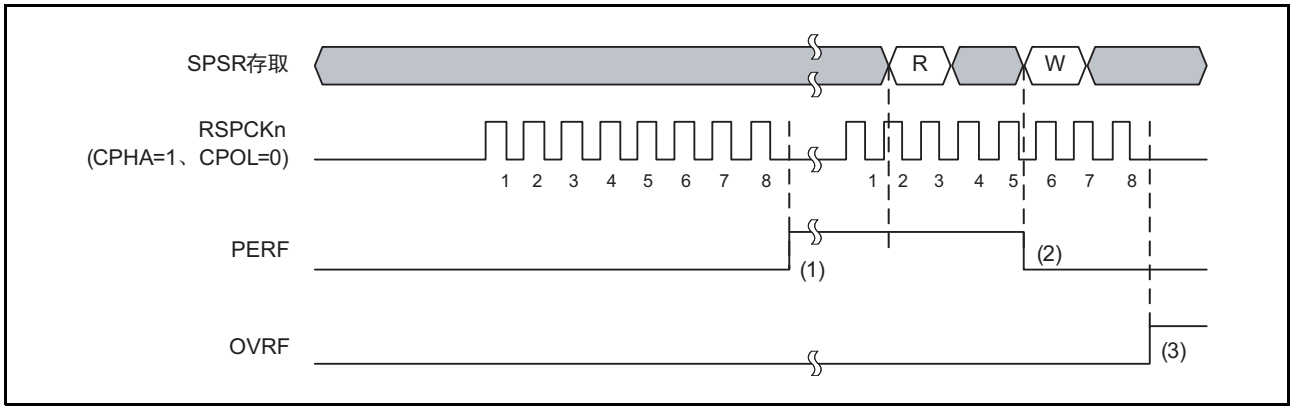


图 34.29 PERF 标志的运行例子

以下说明在图中 (1) ～ (3) 所示的时序中标志的运行内容：

(1) 如果 RSPI 没有检测到溢出错误而结束串行传送，就将移位寄存器的数据复制到接收缓冲器。此时，RSPI 判断接收数据，如果检测到奇偶校验错误，就将 PERF 标志置 “1” 。在主控模式中，将指向 SPCMDm 寄存器的指针值复制到 SPSSR.SPECM[2:0] 位。

(2) 如果在 PERF 标志为 “1” 的状态下读 SPSR 寄存器后给 PERF 标志写 “0”，就将 OVRF 标志置 “0”。

(3) 如果 RSPI 检测到溢出错误并且结束串行传送，就将移位寄存器的数据复制到接收缓冲器。此时，RSPI 不检测奇偶校验错误。

能通过读 SPSR 寄存器或者通过 RSPI 错误中断并且读 SPSR 寄存器，确认奇偶校验错误的发生。在进行串行传送时，必须通过读 SPSR 等方法，尽早检测到奇偶校验错误的发生。在主控模式中使用 RSPI 时，能通过读 SPSSR.SPECM[2:0] 位，确认发生错误时的指向 SPCMDm 寄存器的指针值。

PERF 标志为 “0” 的条件如下：

- 在 PERF 标志为 “1” 的状态下读 SPSR 寄存器后给 PERF 标志写 “0” 时

34.3.8.3 模式故障错误

当 SPCR.MSTR 位为 “1”、 SPCR.SPMS 位为 “0” 并且 SPCR.MODFEN 位为 “1” 时， RSPI 以多主控模式运行。如果给多主控模式的 RSPI 的 SSLn0 输入信号输入有效电平， RSPI 就检测到模式故障错误，然后将 SPSR.MODF 标志置 “1”，与串行传送状态无关。如果检测到模式故障错误， RSPI 就将指向 SPCMDm 寄存器的指针值复制到 SPSSR.SPECM[2:0] 位。 SSLn0 信号的有效电平取决于 SSLP.SSL0P。

当 MSTR 位为 “0” 时， RSPI 以从属模式运行。当从属模式的 RSPI 的 MODFEN 位为 “1” 并且 SPMS 位为 “0” 时，如果在串行传送期间（从开始驱动有效数据到取最后的有效数据前）使 SSLn0 输入信号无效，RSPI 就检测到模式故障错误。

如果 RSPI 检测到模式故障错误，就停止驱动输出信号并且清除 SPCR.SPE 位 （参照 “34.3.9 RSPI 的初始化”）。在多主控结构中，如果使用模式故障错误来驱动输出信号，就能停止 RSPI 功能并且释放主控权。

能通过读 SPSR 寄存器或者通过 RSPI 错误中断并且读 SPSR 寄存器，确认模式错误的发生。为了检测模式错误，需要轮询 SPSR 寄存器。在主控模式中使用 RSPI 时，能通过读 SPSSR.SPECM[2:0] 位，确认发生错误时的指向 SPCMDm 寄存器的指针值。

在 MODF 标志为 “1” 的状态下，忽视给 SPE 位的写 “1”。为了使 RSPI 功能在检测到模式故障错误后有效，必须将 MODF 标志置 “0”。将 MODF 标志清 “0” 的条件如下：

- 在MODF标志为 “1” 的状态下读SPSR寄存器后给MODF标志写 “0”。

34.3.9 RSPI 的初始化

如果给 SPCR.SPE 位写 “0” 或者 RSPI 通过模式故障错误检测将 SPE 位置 “0”， RSPI 就使 RSPI 功能无效并且对部分模块功能进行初始化。如果发生系统复位，RSPI 就对全部模块功能进行初始化。以下说明通过将 SPCR.SPE 位置 “0” 进行的初始化以及通过系统复位进行的初始化。

34.3.9.1 通过清除 SPE 位进行的初始化

当 SPCR.SPE 位为 “0” 时， RSPI 进行以下所示的初始化：

- 中止正在进行的串行传送。
- 在从属模式中停止驱动输出信号 （Hi-Z）。
- 对RSPI内部状态进行初始化。
- 将RSPI发送缓冲器清空。

在将 SPE 位置 “0” 进行初始化时，不对 RSPI 的控制位进行初始化。因此，只要重新将 SPE 位置 “1”，就能在和初始化前相同的传送模式中启动 RSPI。

不对 SPSR.OVRF 和 SPSR.MODF 标志的值进行初始化，也不对 SPSSR 寄存器的值进行初始化。因此，在 RSPI 的初始化后，也能通过读接收缓冲器的数据，确认 RSPI 传送时的错误发生状况。

将发送缓冲器初始化为空状态。因此，如果在 RSPI 的初始化后将 SPCR.SPTIE 位置 “1”，就产生 RSPI 发送中断。在通过 CPU 对 RSPI 进行初始化的情况下，为了禁止 RSPI 发送中断，必须在给 SPE 位写 “0” 的同时给 SPTIE 位写 “0”。要在检测到模式故障错误后禁止 RSPI 发送中断时，必须通过错误处理程序给 SPTIE 位写 “0”。

34.3.9.2 系统复位

在通过系统复位进行初始化时，除了 “34.3.9.1 通过清除 SPE 位进行的初始化” 记载的事项以外，还对用于 RSPI 控制的全部位、状态位和数据寄存器进行初始化， RSPI 完全被初始化。

34.3.10 SPI 运行

34.3.10.1 主控模式的运行

单主控模式运行和多主控模式运行的不同点在于模式故障错误检测 （参照 “34.3.8 错误检测”）。单主控模式的 RSPI 不检测模式故障错误，多主控模式的 RSPI 检测模式故障错误。本节说明单主控模式 / 多主控模式的通用运行。

(1) 串行传送的开始

在 RSPI 发送缓冲器为空 （未设定下次传送的数据）的状态下，如果将数据写到 SPDR 寄存器， RSPI 就更新 SPDR 寄存器的发送缓冲器 （SPTX）的数据。在将 SPDCR.SPFC[1:0] 位所设帧的数据写到 SPDR 寄存器后移位寄存器变空时， RSPI 在将发送缓冲器的数据复制到移位寄存器后开始串行传送。如果 RSPI 将发送数据复制到移位寄存器，就将移位寄存器状态改为满状态；如果串行传送结束，就将移位寄存器改为空状态。不能参照移位寄存器的状态。

有关 RSPI 传送格式的详细内容，请参照 “34.3.4 数据格式”。SSLni 输出引脚的极性取决于 SSLP 寄存器的设定值。

(2) 串行传送的结束

与 SPCMDm.CPHA 位无关，如果 RSPI 发送最后采样时序所对应的 RSPCKn 边沿，就结束串行传送。在接收缓冲器 （SPRX）为空的情况下，在串行传送结束后将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。

最后的采样时序取决于传送数据的位长，主控模式的 RSPI 数据长度取决于 SPCMDm.SPB[3:0] 位的设定值，SSLni 输出引脚的极性取决于 SSLP 寄存器的设定值。有关 RSPI 传送格式的详细内容，请参照 “34.3.5 传送格式”。

(3) 顺序控制

主控模式时的传送格式取决于 SPSCR 寄存器、SPCMDm 寄存器、SPBR 寄存器、SPCKD 寄存器、SSLND 寄存器和 SPND 寄存器。

SPSCR 寄存器决定主控模式的 RSPI 要执行的串行传送的顺序结构。给 SPCMDm 寄存器设定 SSLni 引脚的输出信号值、MSB/LSB first、数据长度、部分位速率、RSPCK 极性 / 相位以及设定是否要参照 SPCKD 寄存器、SSLND 寄存器和 SPND 寄存器；给 SPBR 寄存器设定部分位速率，给 SPCKD 设定 RSPI 时钟延迟值，给 SSLND 寄存器设定 SSL 无效延迟并且给 SPND 寄存器设定 RSPI 的下次存取延迟值。

RSPI 根据 SPSCR 寄存器设定的顺序长度，由部分或者全部 SPCMDm 寄存器构成顺序。 RSPI 有构成顺序的 SPCMDm 寄存器的对应指针。能通过读 SPSSR.SPCP[2:0] 位来确认此指针的值。如果通过将 SPCR.SPE 位置 “1” 来允许 RSPI 功能，RSPI 就将指向命令的指针设定到 SPCMD0 寄存器，并且在开始串行传送时将 SPCMD0 寄存器的设定内容反映到传送格式。每当各数据传送的下次存取延迟期间结束时， RSPI 将指针进行递增。当构成顺序的最后命令对应的串行传送结束时， RSPI 将指针设定到 SPCMD0 寄存器，重复执行顺序。

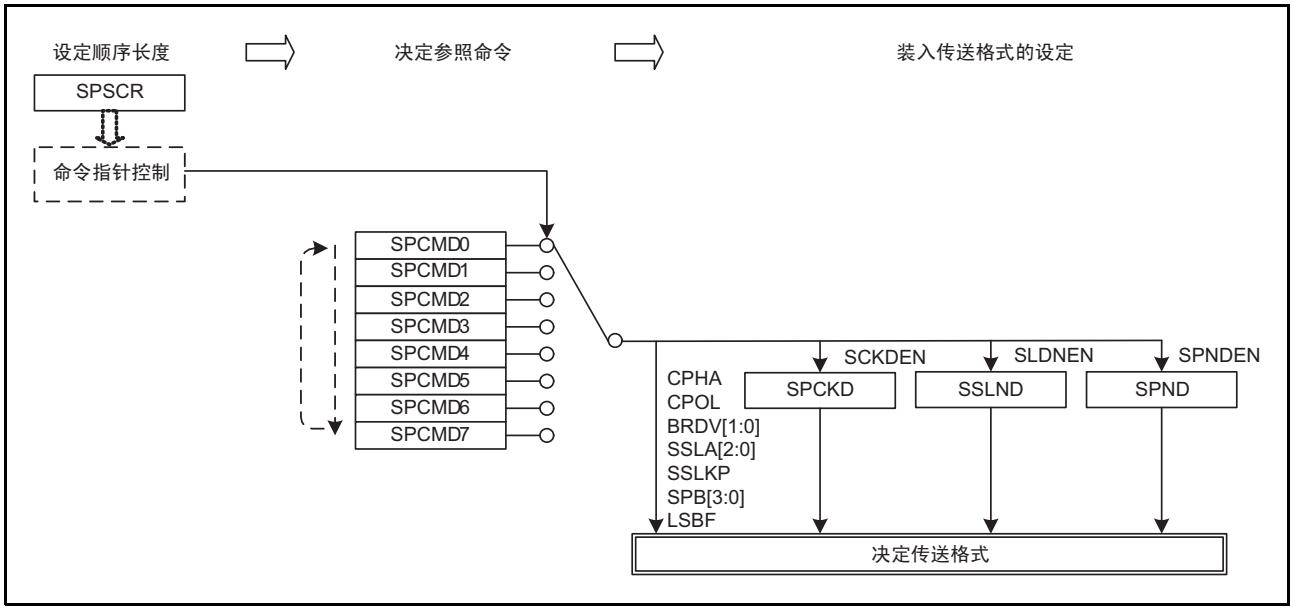


图 34.30 主控模式中的串行传送方式的决定方法 （SPI 运行）

在本章节中，将数据 （SPDR）和设定 （SPCMDm）合成 1 帧。

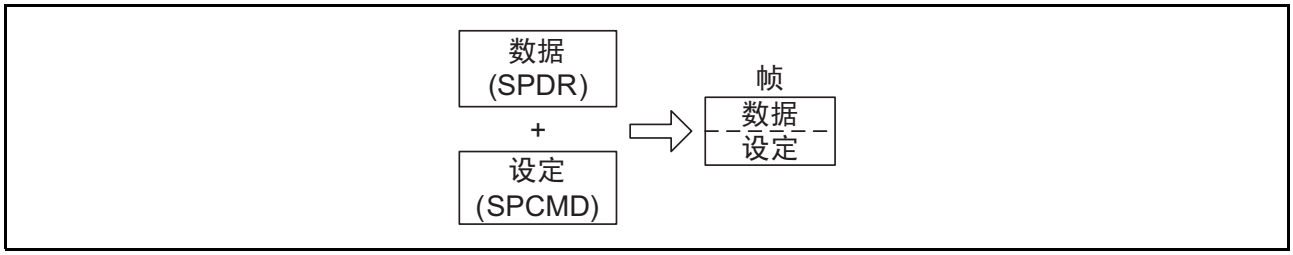


图 34.31 帧的概念图

通过**表** 34.4 的设定进行顺序运行时的命令和发送缓冲器 / 接收缓冲器的关系如**图** 34.32 所示。

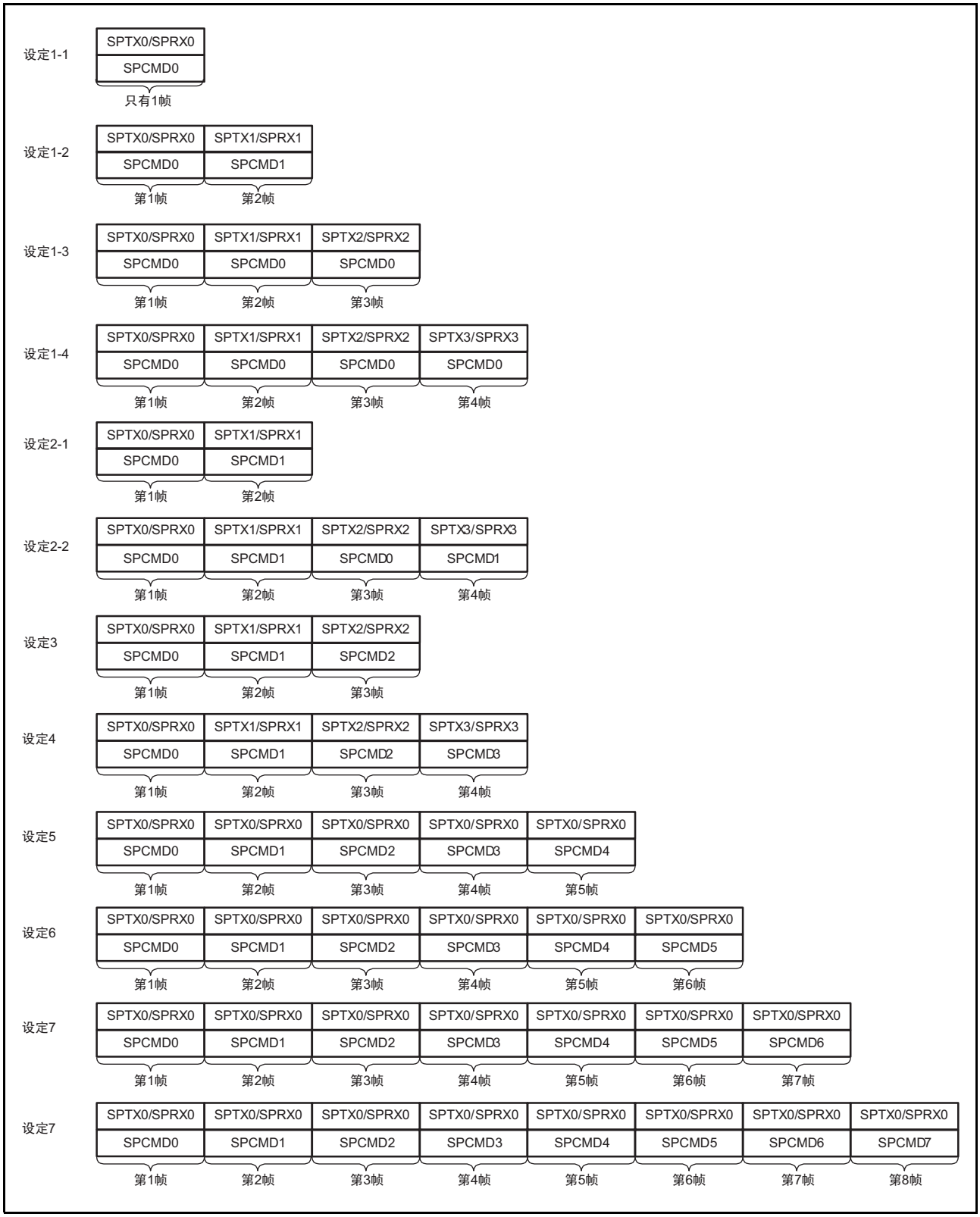


图 34.32 顺序运行时的 RSPI 命令寄存器和发送 / 接收缓冲器

(4) 突发传送

当 RSPI 正在进行的串行传送所参照的 SPCMDm.SSLKP 位为“1”时，RSPI 将串行传送过程中的 SSLni 信号电平保持到下次串行传送的 SSLni 信号开始有效为止。如果下次串行传送的 SSLni 信号电平和正在进行的串行传送的 SSLni 信号电平相同， RSPI 就能在保持 SSLni 信号有效的状态下，连续进行串行传送 （突发传送）。

通过设定 SPCMD0 寄存器和 SPCMD01 寄存器来实现突发传送时的 SSLni 信号运行例子如图 34.33 所示。以下说明图 34.33 中记载的 (1) ～ (7) 的 RSPI 运行内容。SSLni 输出信号的极性取决于 SSLP 寄存器的设定值。

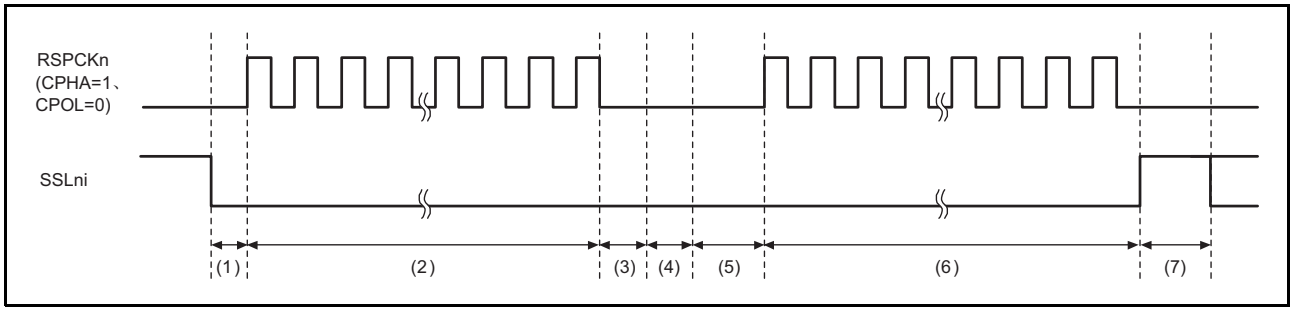


图 34.33 使用 SSLKP 位的突发传送运行例子

(1) 根据SPCMD0寄存器，使SSLni信号有效并且插入RSPCK延迟。
(2) 根据SPCMD0寄存器进行串行传送。
(3) 插入SSL无效延迟。
(4) 因为SPCMD0.SSLKP位为 “1”，所以保持SPCMD0寄存器中的SSLni信号值。在此期间，保持的时间最短也要和下次存取 SPCMD0 寄存器的延迟相同。如果在经过最短期间后移位寄存器变空，就在将下次要传送的发送数据保存到移位寄存器前继续此期间。
(5) 根据SPCMD1寄存器，使SSLni信号有效并且插入RSPCK延迟。
(6) 根据SPCMD1寄存器进行串行传送。
(7) 因为SPCMD1.SSLKP位为 “0”，所以SSLni信号无效。根据SPCMD1寄存器插入下次的存取延迟。

在 SSLKP 位为“1”的 SPCMDm 寄存器所设 SSLni 信号输出和下次传送使用的 SPCMDm 寄存器所设 SSLni 信号输出不同的情况下， RSPI 在下次传送命令所对应的 SSLni 信号有效时 （图 34.33 的 (5)）切换 SSLni 信号状态。必须注意：如果切换 SSLni 信号，就可能因驱动 MISOn 的从属设备发生竞争而引起信号电平的冲突。

主控模式的 RSPI 在模块内部参照不使用 SSLKP 位时的 SSLni 信号运行。即使 SPCMDm.CPHA 位为“0”，RSPI 也能使用在内部检测到的下次传送的有效 SSLni 信号，正确地开始串行传送。因此，与 CPHA 位的设定值无关，能进行主控模式的突发传送 （参照 “34.3.10 SPI 运行”）。

(5) RSPCK 延迟 （t1）

主控模式的 RSPI 的 RSPCK 延迟值取决于 SPCMDm.SCKDEN 位的设定和 SPCKD 寄存器的设定。RSPI 通过指针控制来决定串行传送要参照的 SPCMDm 寄存器，并且使用所选的 SPCMDm.SCKDEN 位和 SPCKD 寄存器来决定如**表 34.9** 所示的串行传送时的 RSPCK 延迟值。有关 RSPCK 延迟的定义，请参照“**34.3.5 传送格式**”。

表 34.9 SCKDEN 位、 SPCKD 寄存器和 RSPCK 延迟值的关系

SPCMDm.SCKDEN 位	SPCKD.SCKDL[2:0] 位	RSPCK 延迟值
0	000 ～ 111	1 个 RSPCK
1	000	1 个 RSPCK
	001	2 个 RSPCK
	010	3 个 RSPCK
	011	4 个 RSPCK
	100	5 个 RSPCK
	101	6 个 RSPCK
	110	7 个 RSPCK
	111	8 个 RSPCK

(6) SSL 无效延迟 （t2）

主控模式的 RSPI 的 SSL 无效延迟值取决于 SPCMDm.SLNDEN 位的设定和 SSLND 寄存器的设定。RSPI 通过指针控制来决定串行传送要参照的 SPCMDm 寄存器，并且使用所选的 SPCMDm.SLNDEN 位和 SSLND 寄存器来决定**表34.10**所示的串行传送时的SSL无效延迟值。有关SSL无效延迟的定义，请参照“**34.3.5 传送格式**”。

表 34.10 SSLND 寄存器和 SSL 无效延迟值的关系

SPCMDm.SLNDEN 位	SSLND.SLNDL[2:0] 位	SSL 无效延迟值
0	000 ～ 111	1 个 RSPCK
1	000	1 个 RSPCK
	001	2 个 RSPCK
	010	3 个 RSPCK
	011	4 个 RSPCK
	100	5 个 RSPCK
	101	6 个 RSPCK
	110	7 个 RSPCK
	111	8 个 RSPCK

(7) 下次存取延迟 （t3）

主控模式的 RSPI 的下次存取延迟取决于 SPCMDm.SPNDEN 位的设定和 SPND 寄存器的设定。 RSPI 通过指针控制来决定串行传送要参照的 SPCMDm 寄存器，并且使用所选的 SPCMDm.SPNDEN 位和 SPND 寄存器来决定如**表 34.11** 所示的串行传送时的 RSPCK 延迟。有关下次存取延迟的定义，请参照 **“34.3.5 传送格式”**。

表 34.11 SPNDEN 位、 SPND 寄存器和下次存取延迟值的关系

SPCMDm.SLNDEN 位	SPND.SPNDL[2:0] 位	下次存取延迟值
0	000 ～ 111	1 个 RSPCK+2 个 PCLK
1	000	1 个 RSPCK+2 个 PCLK
	001	2 个 RSPCK+2 个 PCLK
	010	3 个 RSPCK+2 个 PCLK
	011	4 个 RSPCK+2 个 PCLK
	100	5 个 RSPCK+2 个 PCLK
	101	6 个 RSPCK+2 个 PCLK
	110	7 个 RSPCK+2 个 PCLK
	111	8 个 RSPCK+2 个 PCLK

(8) 初始化流程

在 SPI 运行的情况下，在主控模式中使用 RSPI 时的初始化流程例子如图 34.34 所示。有关中断控制器、DMAC 和输入 / 输出端口的设定方法，请参照各模块的说明。

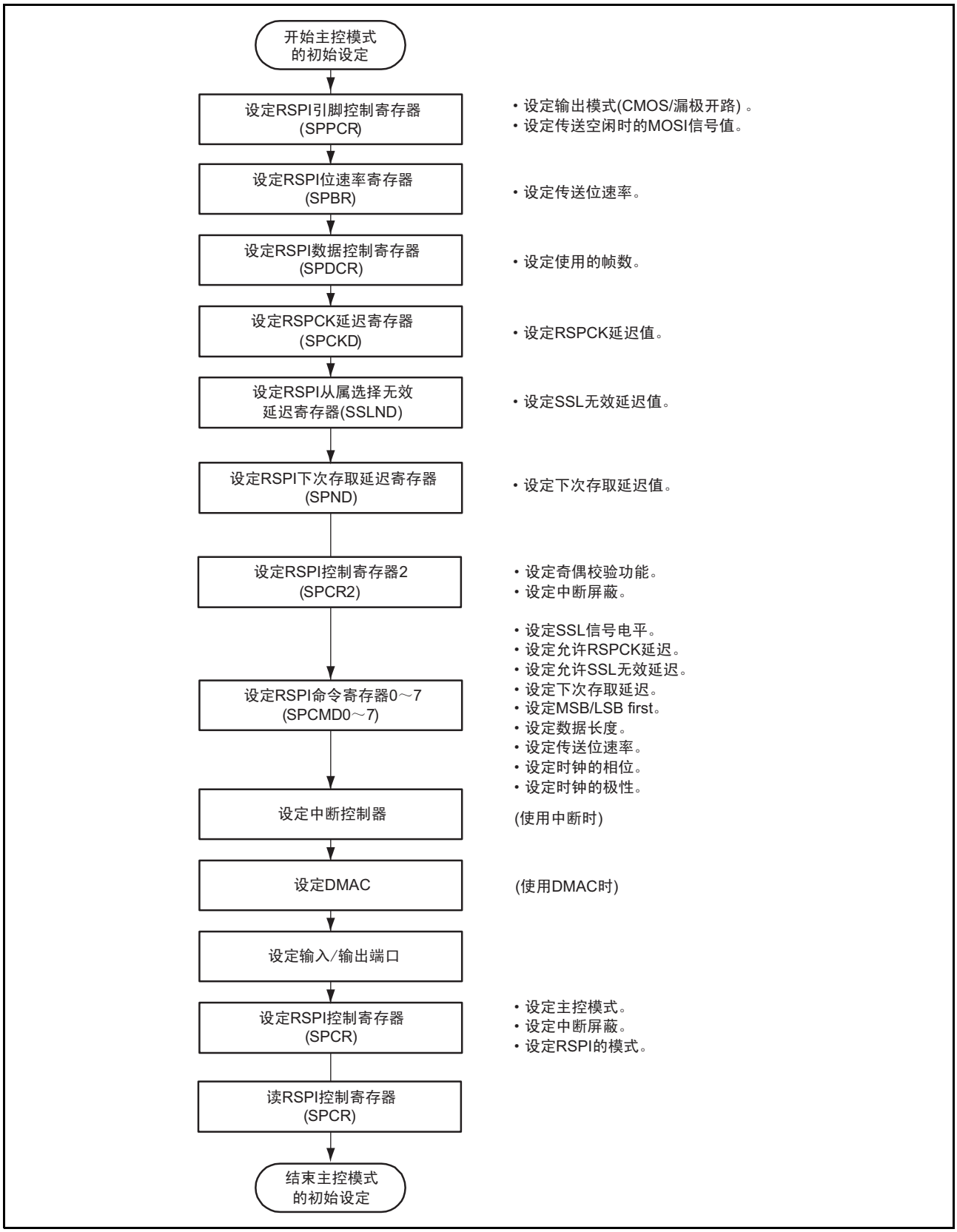
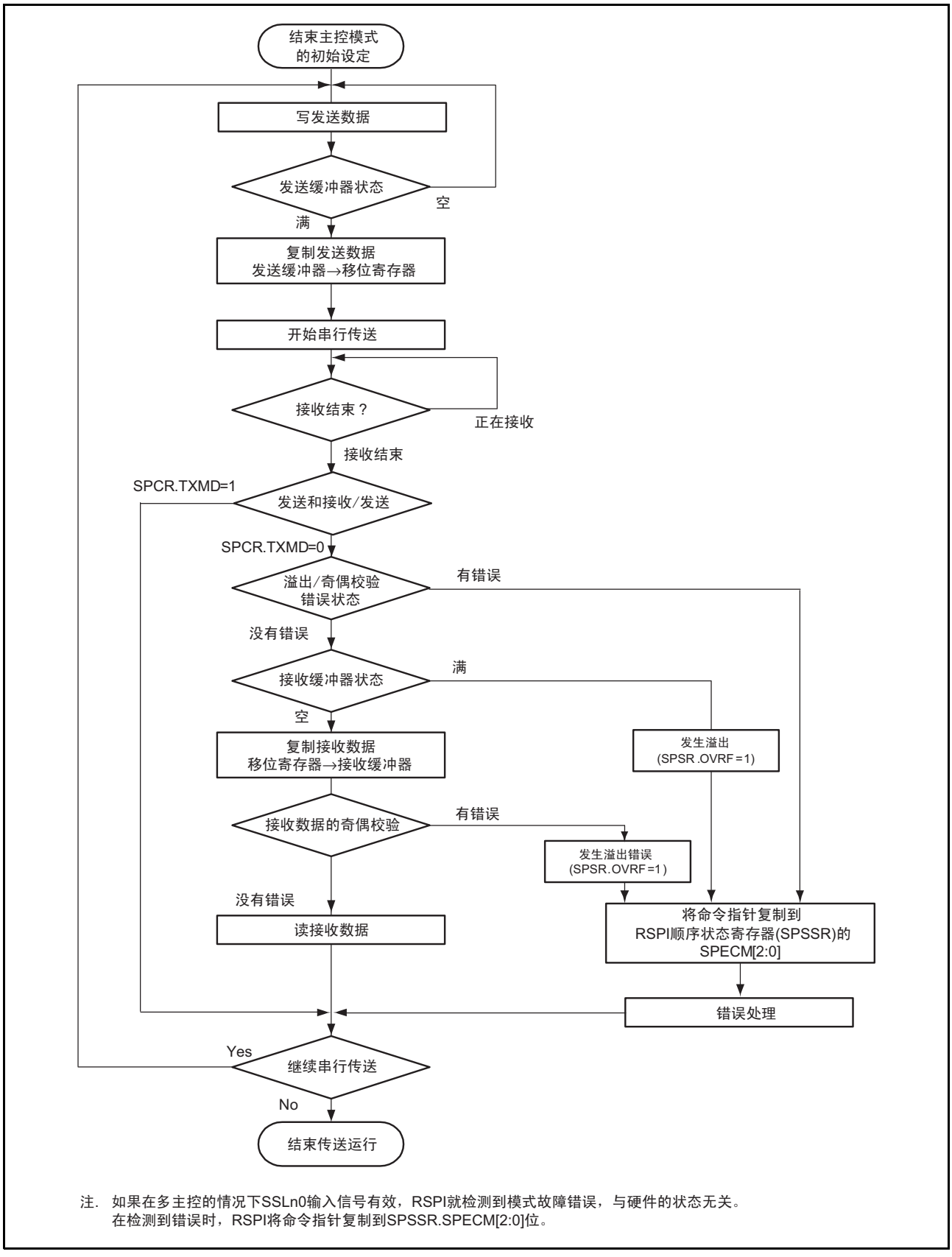


图 34.34 主控模式时的初始化流程例子 （SPI 运行）

(9) 运行流程

在 SPI 运行时，主控模式的运行流程如图 34.35 所示。



注. 如果在多主控的情况下SSLn0输入信号有效，RSPI就检测到模式故障错误，与硬件的状态无关。
在检测到错误时，RSPI将命令指针复制到SPSSR.SPECM[2:0]位。

图 34.35 主控模式时的传送运行流程 （SPI 运行）

34.3.10.2 从属模式的运行

(1) 串行传送的开始

当 SPCMD0.CPHA 位为 “0” 时，如果 RSPI 检测到 SSLn0 输入信号有效，就需要开始向 MISOn 输出信号驱动有效数据。因此，在 CPHA 位为 “0” 时， SSLn0 输入信号的有效为串行传送的开始触发。

当 CPHA 位为 “1” 时，如果在 SSLn0 输入信号有效的状态下 RSPI 检测到最初的 RSPCKn 边沿，就需要开始向 MISOn 输出信号驱动有效数据。因此，在 CPHA 位为 “1” 时，SSLn0 信号有效状态下的最初的 RSPCKn 边沿为串行传送的开始触发。

如果 RSPI 在移位寄存器为空的状态下检测到串行传送的开始，就将移位寄存器改为满状态，并且不能在串行传送过程中将数据从发送缓冲器传送到移位寄存器。如果在开始串行传送前移位寄存器已满，RSPI 就保持移位寄存器的满状态。

与 CPHA 位的设定无关，RSPI 开始驱动 MISOn 输出信号的时序为 SSLn0 信号的有效时序。RSPI 的输出数据的有效或者无效因 CPHA 位的设定而发生变化。

有关 RSPI 传送格式的详细内容，请参照 “34.3.5 传送格式”。SSLn0 输入信号的极性取决于 SSLP.SSL0P 位的设定值。

(2) 串行传送的结束

与 SPCMD0.CPHA 位无关，如果 RSPI 检测到相当于最后采样时序的 RSPCKn 边沿，就结束串行传送。在接收缓冲器为空的情况下， RSPI 在串行传送结束后将接收数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。与接收缓冲器的状态无关，RSPI 在串行传送结束后将移位寄存器改为空状态。在串行传送开始到串行传送结束的期间，如果 RSPI 检测到 SSLn0 输入信号无效，就发生模式故障错误 （参照 “34.3.8 错误检测”）。

最后的采样时序取决于传送数据的位长，从属模式的 RSPI 的数据长度取决于 SPCMD0.SPB[3:0] 位的设定值， SSLn0 输入信号的极性取决于 SSLP.SSL0P 位的设定值。有关 RSPI 传送格式的详细内容，请参照 “34.3.5 传送格式”。

(3) 单从属模式中的注意事项

当 SPCMD0.CPHA 位为 “0” 时，如果 RSPI 检测到 SSLn0 输入信号的有效边沿，就开始串行传送。在图 34.7 的例子所示的结构中，在单从属模式中使用 RSPI 时，因为 SSLn0 输入信号总是被固定为有效状态，所以 CPHA 位为 “0” 的 RSPI 无法正常开始串行传送。在 SSLn0 输入信号被固定为有效状态的结构中，要使从属模式的 RSPI 正常进行发送和接收，必须将 CPHA 位置 “1”。如果需要将 CPHA 位置 “0”，就不能固定 SSLn0 输入信号。

(4) 突发传送

当 SPCMD0.CPHA 位为 “1” 时，能在保持 SSLn0 输入信号有效的状态下进行连续的串行传送 （突发传送）。当 CPHA 位为 “1” 时，从 SSLn0 输入信号有效状态的最初 RSPCKn 边沿到最后位的接收采样时序的期间相当于串行传送期间。即使 SSLn0 输入信号保持有效电平，因为能检测到存取的开始，所以仍然能应对突发传送。

当 CPHA 位为 “0” 时，不能正确进行突发传送第 2 次以后的串行传送。

(5) 初始化流程

在 SPI 运行的情况下，在从属模式中使用 RSPI 时的初始化流程例子如图 34.36 所示。有关中断控制器、DMAC 和输入 / 输出端口的设定方法，请参照各块的说明。

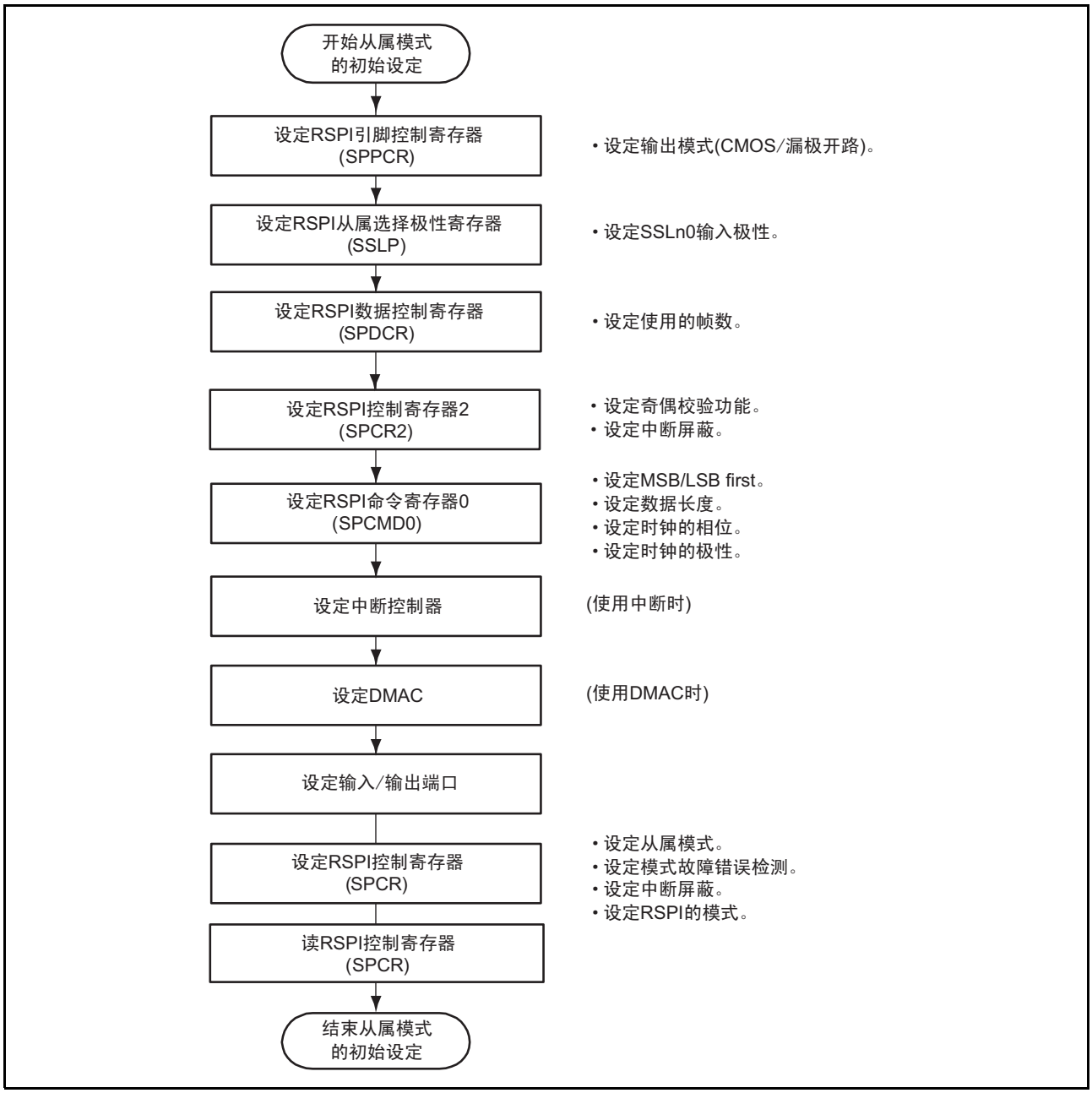


图 34.36 从属模式时的初始化流程例子 （SPI 运行）

(6) 运行流程

在 SPI 运行时，从属模式的运行流程如图 34.37 所示。

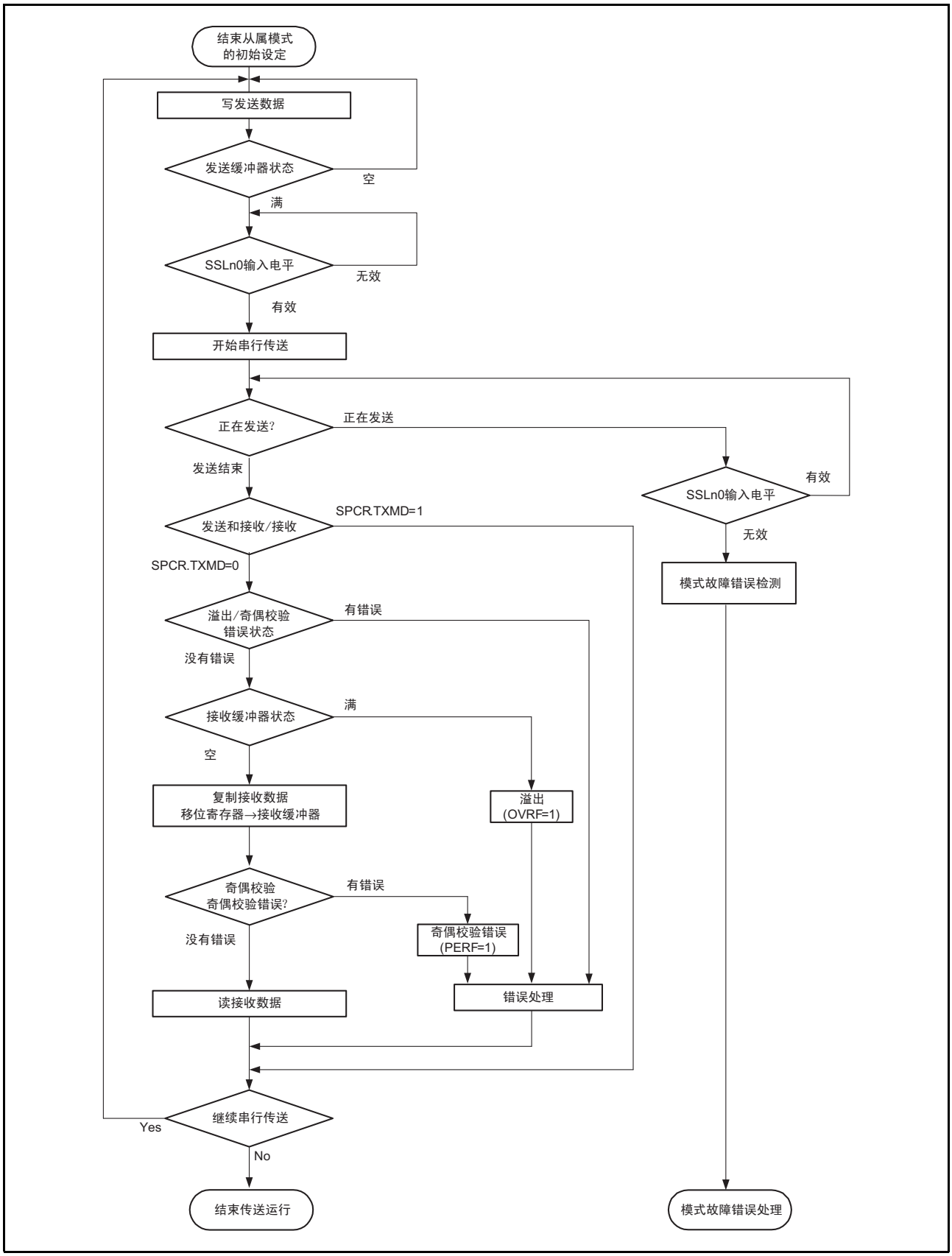


图 34.37 从属模式时的传送运行流程例子 （SPI 运行）

34.3.11 时钟同步运行

在 SPCR.SPMS 位为 “1” 时， RSPI 进行时钟同步运行。在进行时钟同步运行时，不使用 SSLni 引脚而使用 RSPCKn、 MOSIn 和 MISOn 这 3 个引脚进行通信， SSLni 引脚能用作 I/O 端口。

在进行时钟同步运行时，不使用 SSLni 引脚进行通信，但是模块内部的运行和 SPI 运行模式相同。在主控运行或者从属运行中，能按照和 SPI 运行时相同的流程进行通信。因为不使用 SSLni 引脚，所以检测不到模式故障错误。

在进行时钟同步运行时，无法保证从属模式中 （SPCR.MSTR=0） SPCMDm.CPHA 位为 “0” 时的运行。

34.3.12 主控模式的运行

(1) 串行传送的开始

在发送缓冲器为空的（未设定下次传送的数据）状态下，如果将数据写到 SPDR 寄存器，RSPI 就更新 SPDR 寄存器的发送缓冲器 （SPTX） 的数据。在将 SPDCR.SPFC[1:0] 位所设数据写到 SPDR 寄存器后移位寄存器变空时， RSPI 在将发送缓冲器的数据复制到移位寄存器后开始串行传送。如果 RSPI 将发送数据复制到移位寄存器，就将移位寄存器改为满状态；如果串行传送结束，就将移位寄存器改为空状态。不能参照移位寄存器的状态。

有关 RSPI 传送格式的详细内容，请参照“34.3.5 传送格式”。但是，在进行时钟同步通信时，不使用 SSLn0 输出信号。

(2) 串行传送的结束

如果 RSPI 发送与最后采样时序对应的 RSPCKn 边沿，就结束串行传送。在接收缓冲器 （SPRX） 为空的情况下，在串行传送结束后将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。

最后的采样时序取决于传送数据的位长，主控模式的 RSPI 的数据长度取决于 SPCMDm.SPB[3:0] 位的设定值。有关 RSPI 传送格式的详细内容，请参照“34.3.5 传送格式”。但是，在进行时钟同步通信时，不使用 SSLn0 输出信号。

(3) 顺序控制

主控模式中的传送格式取决于 SPSCR 寄存器、SPCMDm 寄存器、SPBR 寄存器、SPCKD 寄存器、SSLND 寄存器或者 SPND 寄存器。在进行时钟同步运行时，不输出 SSLni 信号，但是这些设定有效。

SPSCR 寄存器决定主控模式的 RSPI 要执行的串行传送的顺序结构。给 SPCMDm 寄存器设定 SSLni 输出信号值、MSB/LSB first、数据长度、部分位速率、RSPCKn 极性 / 相位以及设定是否要参照 SPCKD 寄存器、SSLND 寄存器和 SPND 寄存器；给 SPBR 寄存器设定部分位速率，给 SPCKD 寄存器设定 RSPI 时钟延迟值，给 SSLND 寄存器设定 SSL 无效延迟并且给 SPND 寄存器设定下次存取延迟值。

RSPI 根据 SPSCR 寄存器设定的顺序长度，由部分或者全部 SPCMDm 寄存器构成顺序。 RSPI 有构成顺序的 SPCMDm 寄存器的对应指针。能通过读 SPSSR.SPCP[2:0] 位来确认此指针的值。如果通过将 SPCR. SPE 位置“1”来允许RSPI运行，RSPI就将指向命令的指针设定到SPCMD0寄存器，并且在开始串行传送时将SPCMD0寄存器的设定内容反映到传送格式。每当各数据传送的下次存取延迟期间结束时， RSPI 将指针进行递增。当构成顺序的最后命令对应的串行传送结束时， RSPI 将指针设定到 SPCMD0 寄存器，重复执行顺序。

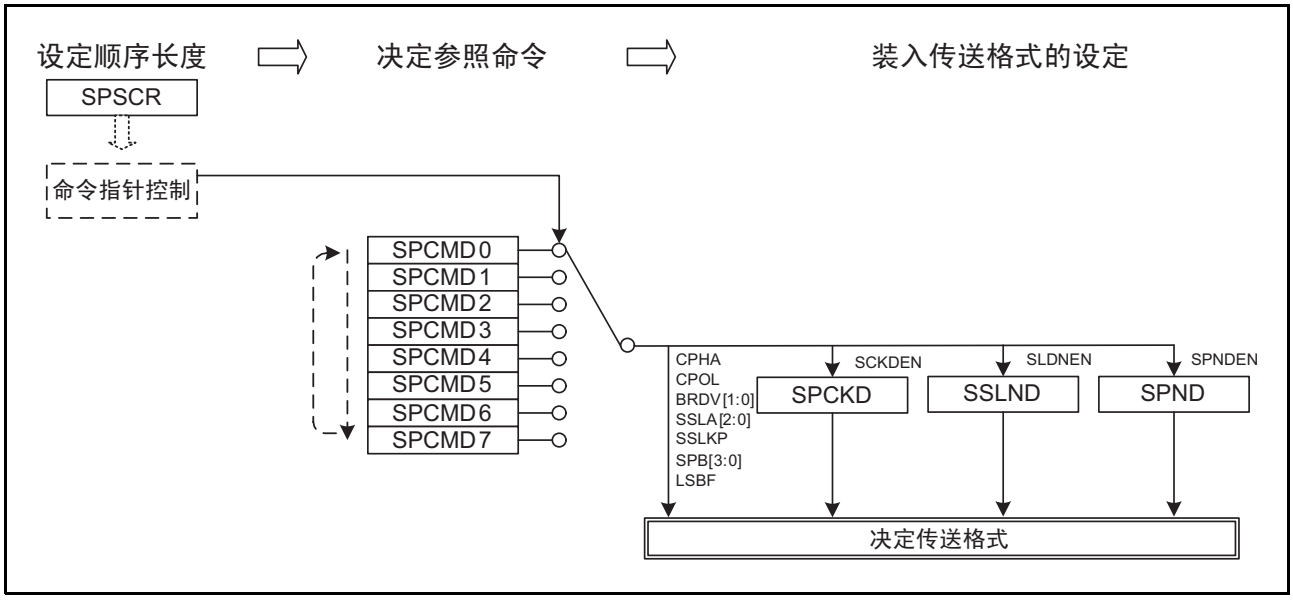


图 34.38 主控模式中的串行传送方式的决定方法 （时钟同步运行）

在本章节中，将数据 （SPDR）和设定 （SPCMDm）合成 1 帧。

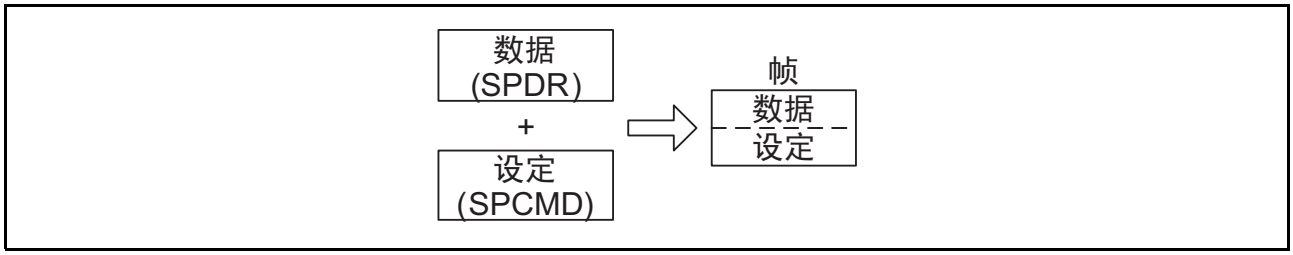


图 34.39 帧的概念图

通过表 34.4 的设定进行顺序运行时的命令和发送缓冲器 / 接收缓冲器的关系如图 34.41 所示。

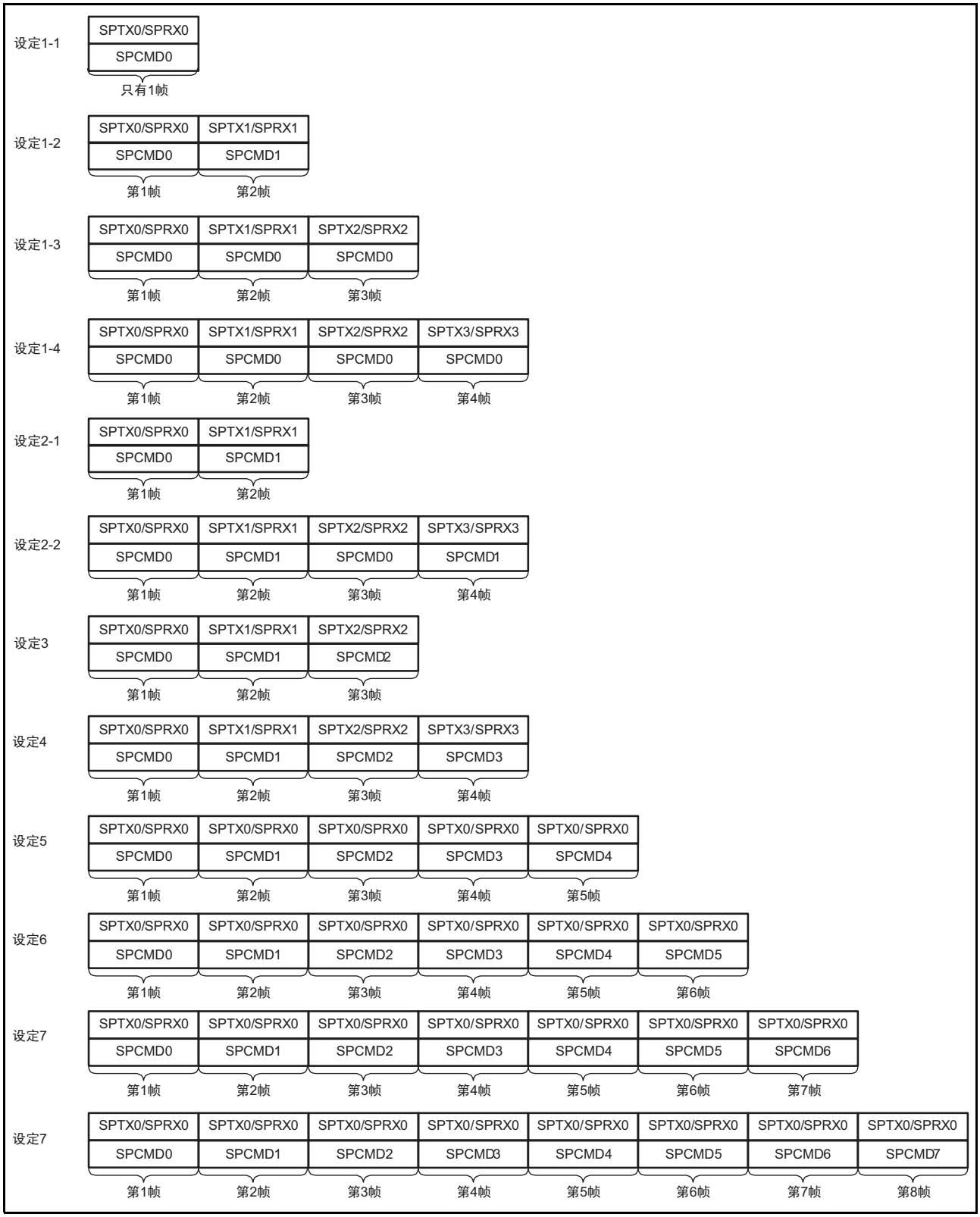


图 34.40 顺序运行时的 RSPI 命令寄存器和发送 / 接收缓冲器的对应

(4) 初始化流程

在时钟同步运行的情况下，在主控模式中使用 RSPI 时的初始化流程例子如图 34.41 所示。有关中断控制器、 DMAC 和输入 / 输出端口的设定方法，请参照各块的说明。

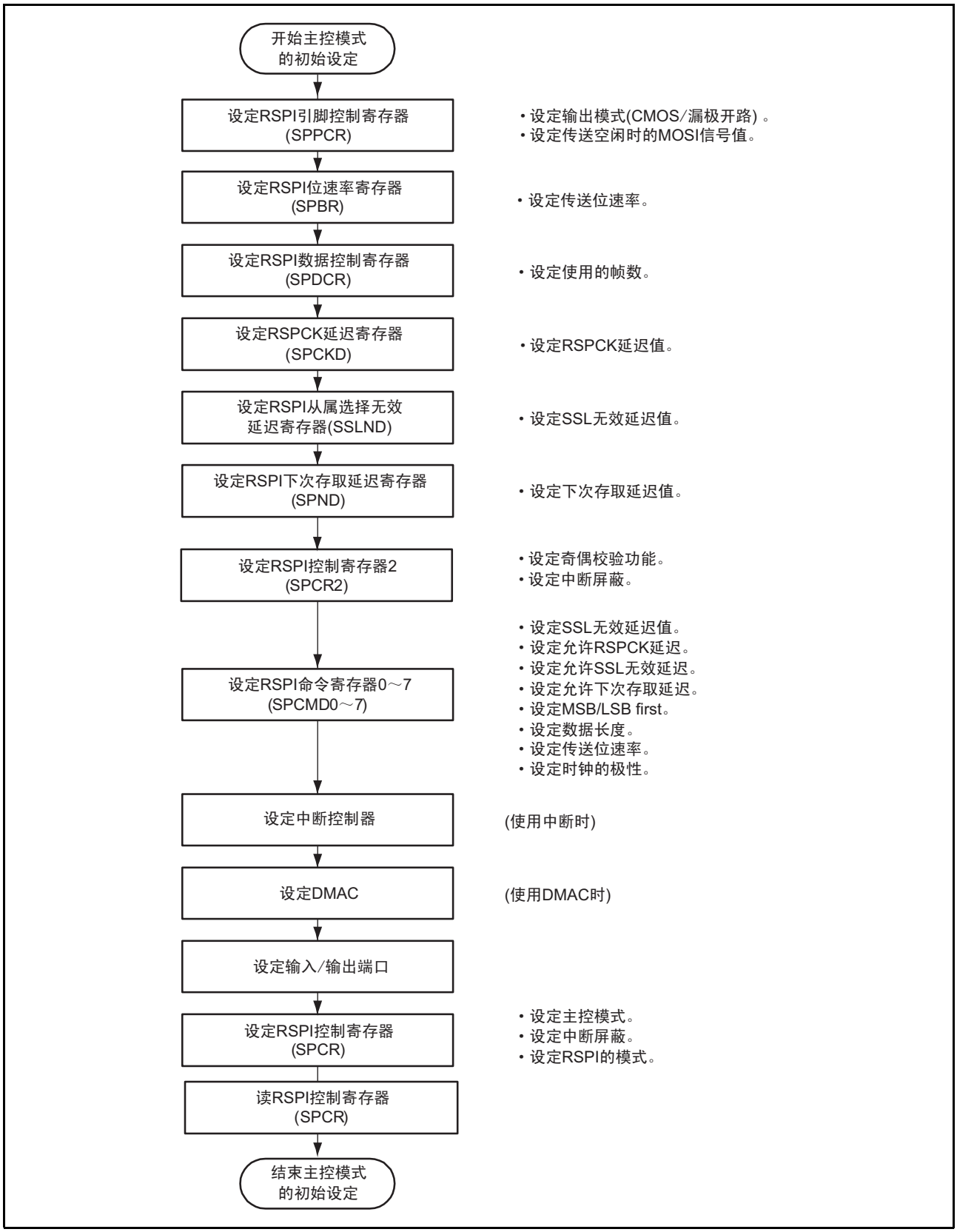


图 34.41 主控模式时的初始化流程例子 （时钟同步运行）

(5) 运行流程

在时钟同步运行时，主控模式的运行流程如图 34.42 所示。

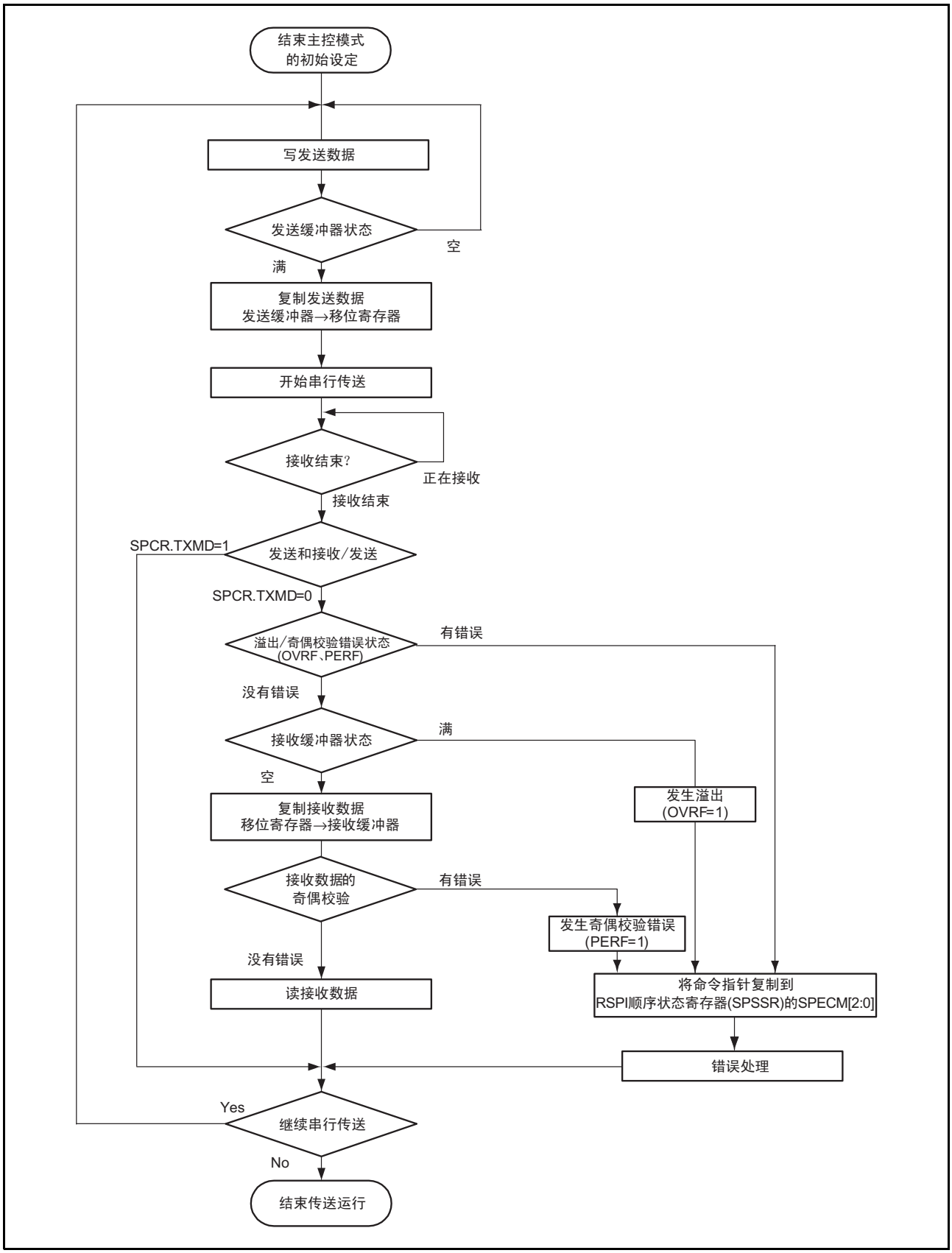


图 34.42 主控模式时的传送运行流程例子 （时钟同步运行）

34.3.13 从属模式的运行

(1) 串行传送的开始

在 SPCR.SPMS 位为 “1”时， RSPI 的最初的 RSPCKn 边沿为串行传送的开始触发。

如果 RSPI 在移位寄存器为空的状态下检测到串行传送的开始，就将移位寄存器改为满状态，并且不能在串行传送过程中将数据从发送缓冲器复制到移位寄存器。如果在开始串行传送前移位寄存器已满，RSPI 就保持移位寄存器的满状态。

在 SPMS 位为 “1”时， RSPI 随时驱动 MISOn 输出信号。

有关 RSPI 传送格式的详细内容，请参照“34.3.5 传送格式”。但是，在时钟同步运行时，不使用 SSL0 输入信号。

(2) 串行传送的结束

如果 RSPI 检测到相当于最后采样时序的 RSPCKn 边沿，就结束串行传送。在接收缓冲器为空的情况下，RSPI 在串行传送结束后将接收数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。在串行传送结束后，RSPI 将移位寄存器改为空状态。最后的采样时序取决于传送数据的位长，从属模式的 RSPI 的数据长度取决于 SPCMD0. SPB[3:0] 位的设定值。有关 RSPI 传送格式的详细内容，请参照 “34.3.5 传送格式”。

(3) 初始化流程

在时钟同步运行的情况下，在从属模式中使用 RSPI 时的初始化流程例子如图 34.43 所示。有关中断控制器、 DMAC 和输入 / 输出端口的设定方法，请参照各块的说明。

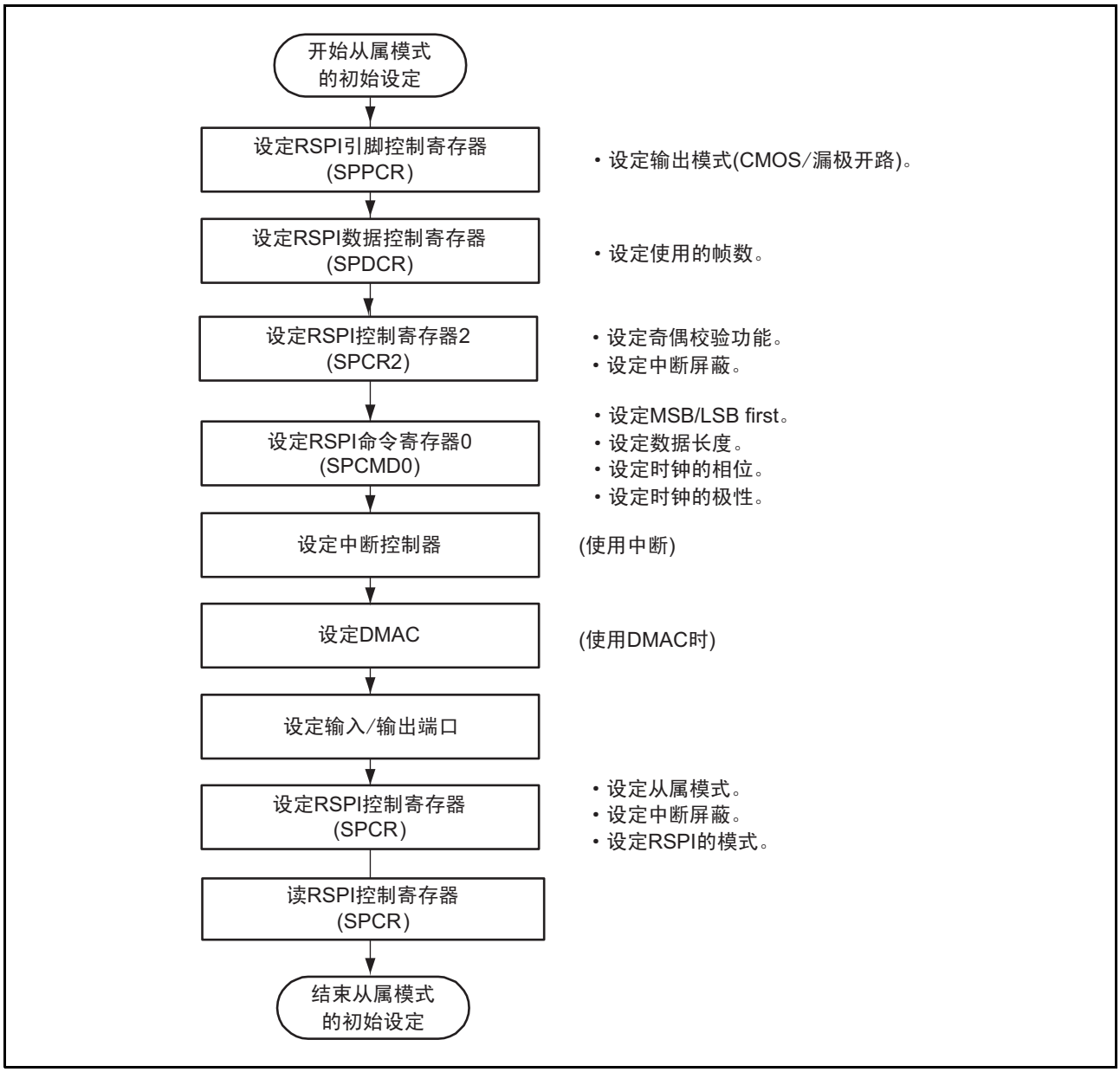


图 34.43 从属模式时的初始化流程例子 （时钟同步运行）

(4) 运行流程

在时钟同步运行时，从属模式的运行流程如图 34.44 所示。

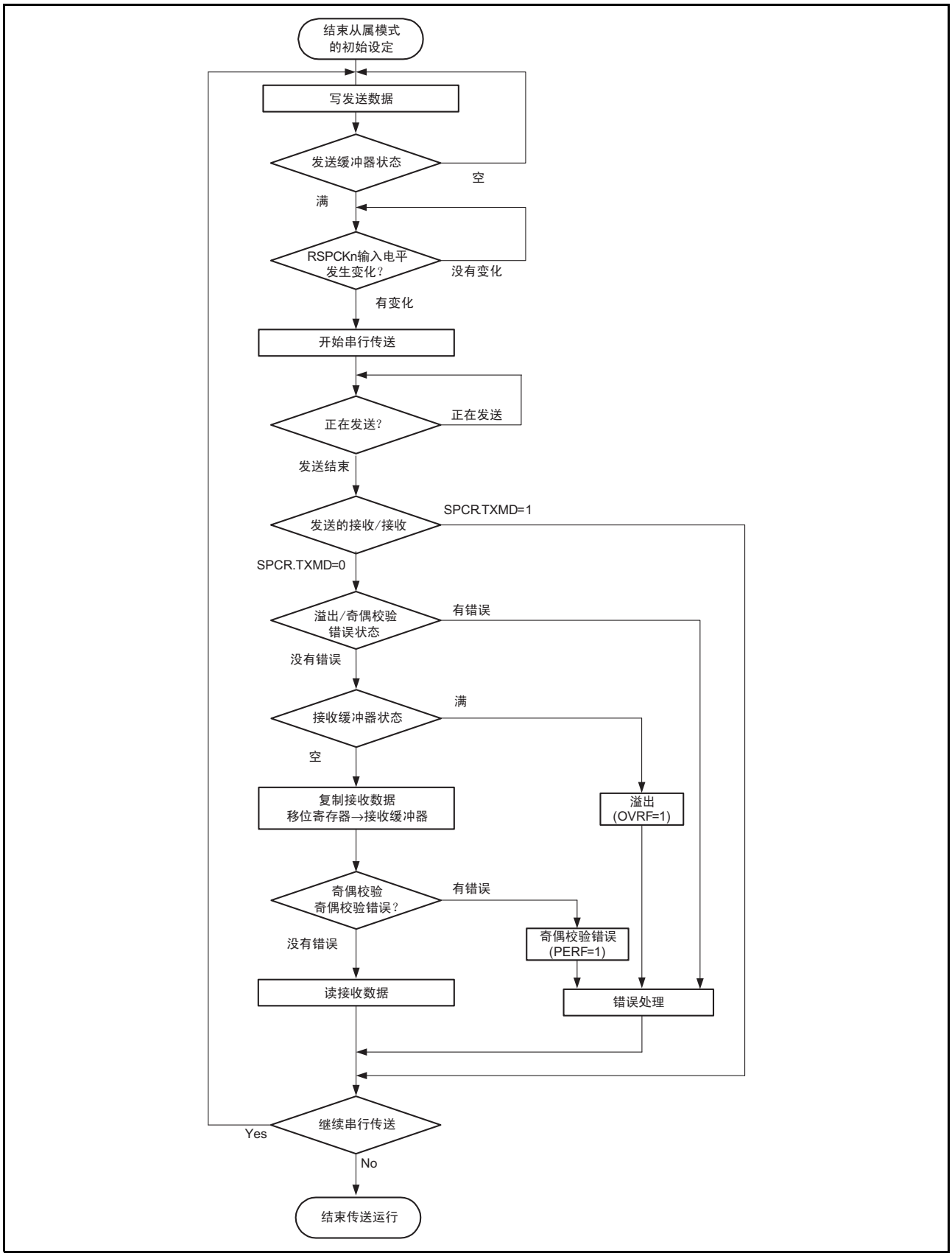


图 34.44 从属模式时的传送运行流程例子 （CPHA=1）（时钟同步运行）

34.3.14 错误处理

RSPI 的错误处理如图 34.45 ～图 34.47 所示。对于在主控模式和从属模式中发生的错误，能通过以下的错误处理从错误状态返回。

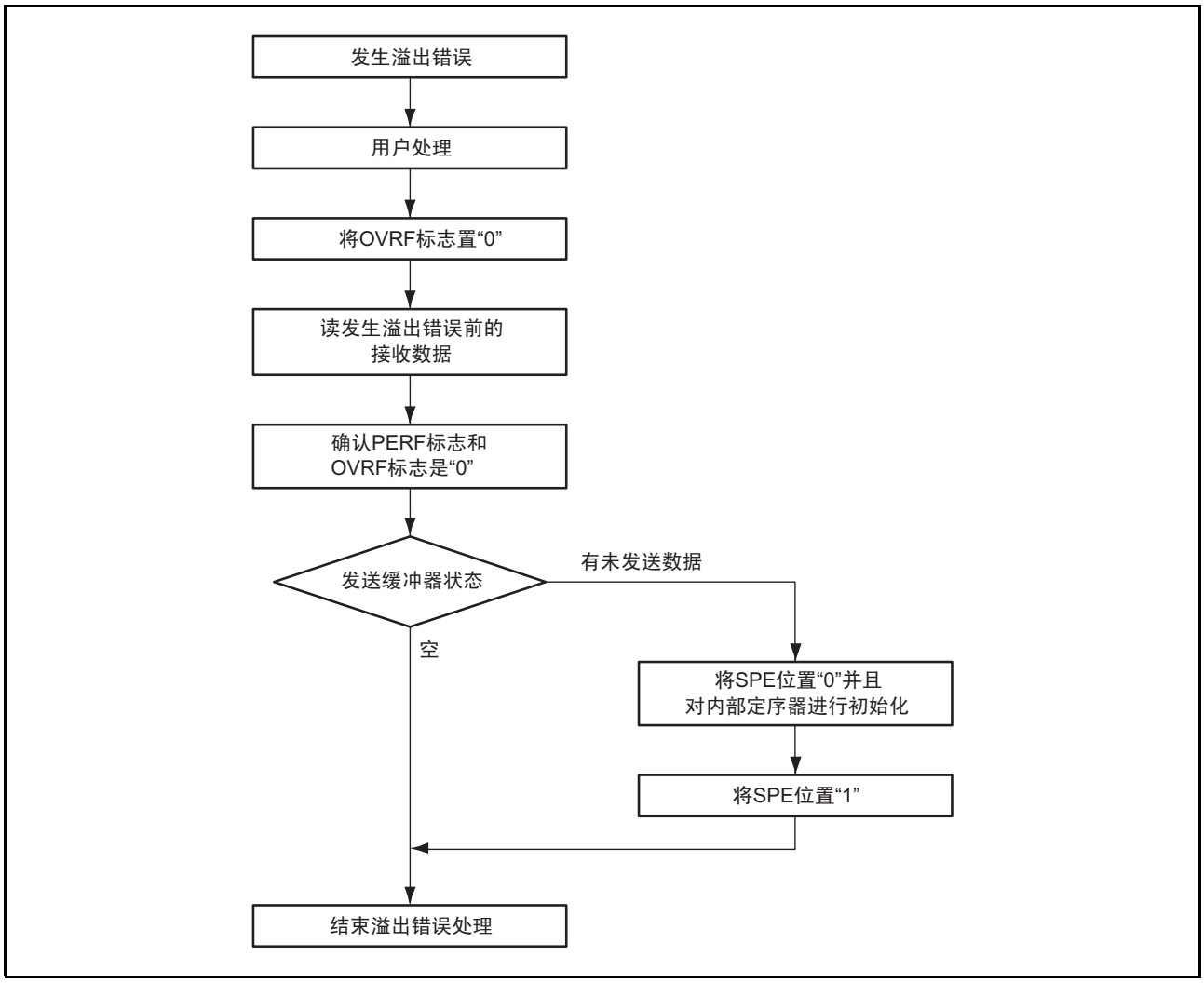


图 34.45 错误处理 （溢出错误）

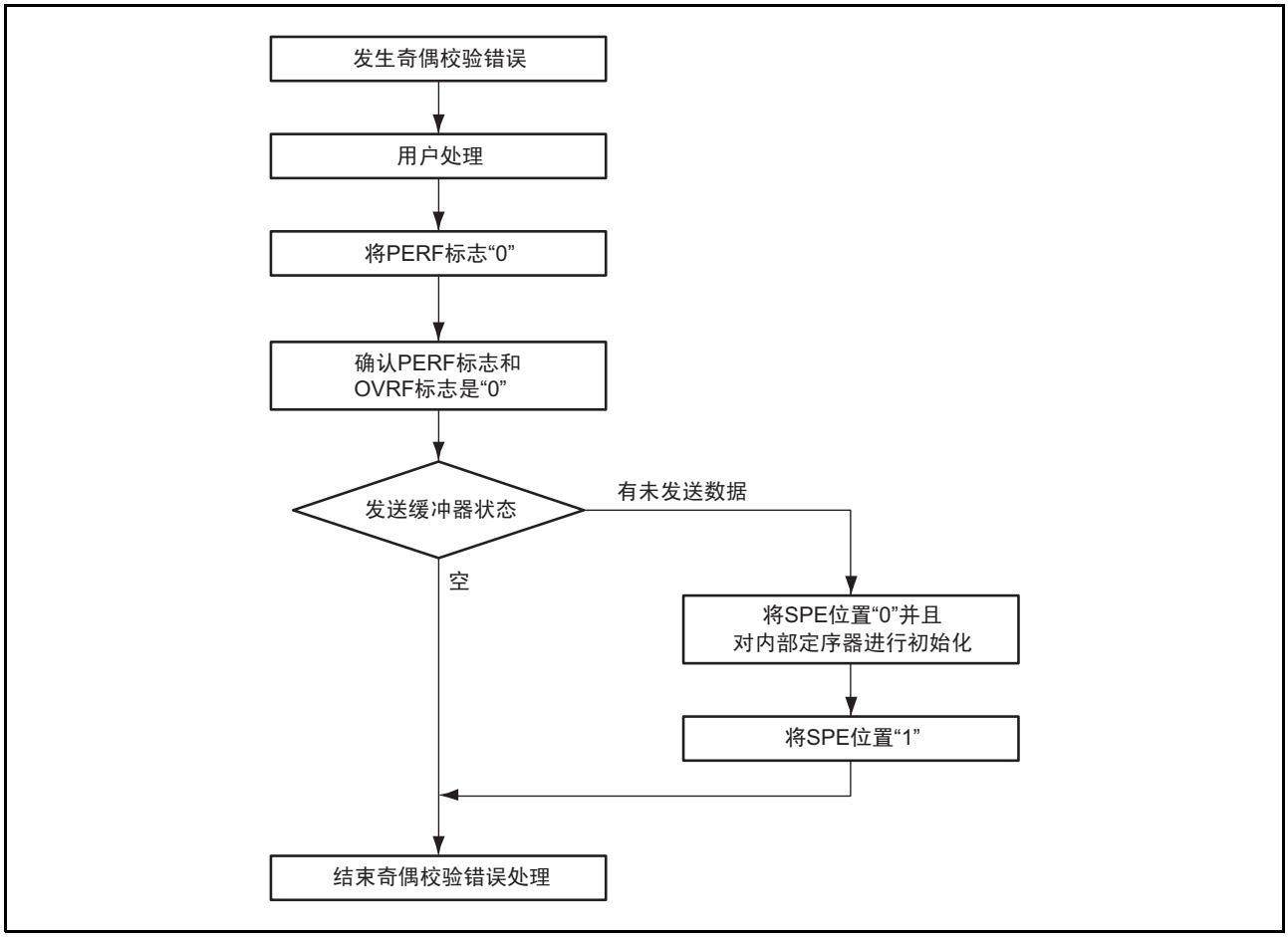


图 34.46 错误处理 （奇偶校验错误）

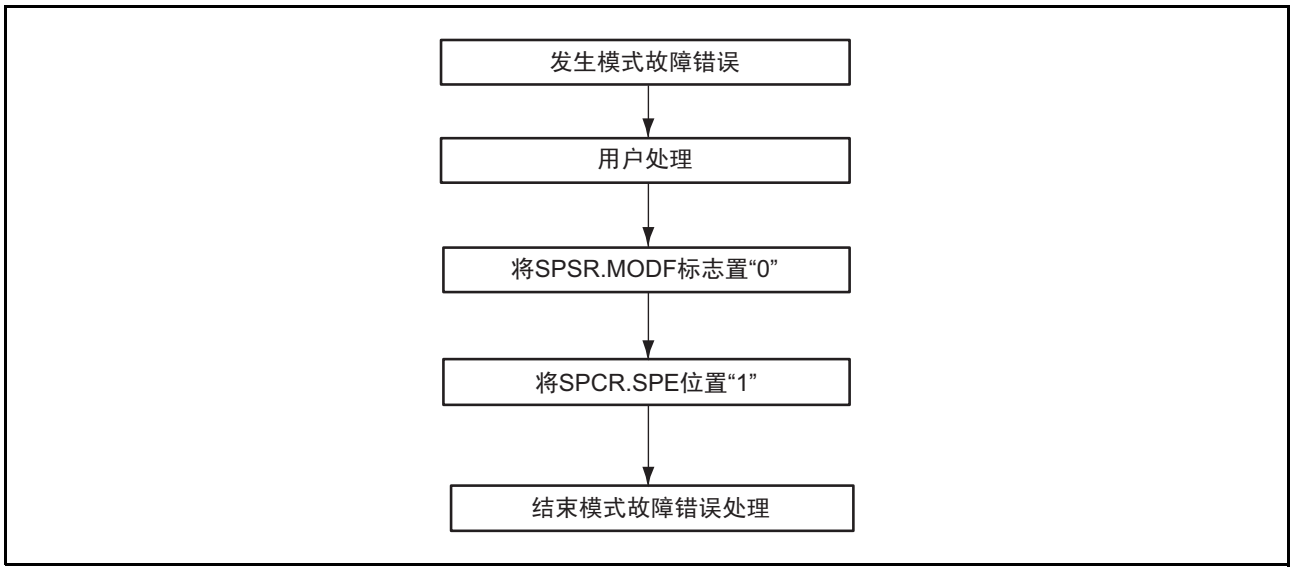


图 34.47 错误处理 （模式故障错误）

34.3.15 环回模式

在给 SPPCR.SPLP2 位或者 SPPCR.SPLP 位写 “1” 时，如果 SPCR.MSTR 位为 “1”， RSPI 就切断 MISOn 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路；如果 SPCR.MSTR 位为 “0”，就切断 MOSIn 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路。另外，如果 SPCR.MSTR 位为 “1”，就切断 MOSIn 引脚和移位寄存器之间的线路；如果 SPCR.MSTR 位为 “0”，就切断 MISOn 引脚和移位寄存器之间的线路。称此为环回模式。如果通过环回模式进行串行传送，RSPI 的发送数据或者发送数据取反后的数据就为 RSPI 的接收数据。

SPLP2 位和 SPLP 位的设定和接收数据的关系如表 34.12 所示，将主控模式的 RSPI 设定为环回模式（SPPCR.SPLP2=0、 SPPCR.SPLP=1）时的移位寄存器输入 / 输出线路的结构如图 34.48 所示。

表 34.12 SPLP2 位、 SPLP 位的设定和接收数据

SPPCR.SPLP2 位	SPPCR.SPLP 位	接收数据
0	0	MOSIn 引脚或者 MISOn 引脚的输入数据
0	1	发送数据取反后的数据
1	0	发送数据
1	1	发送数据

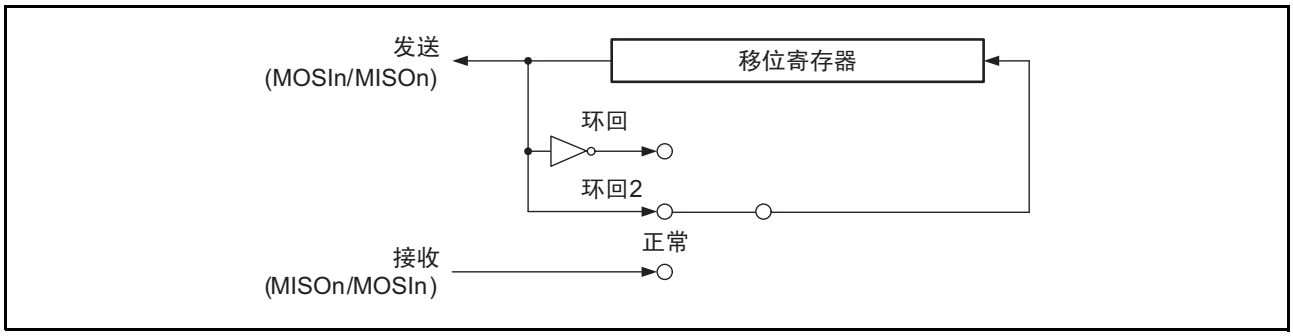


图 34.48 环回模式时的移位寄存器输入 / 输出结构 （主控模式）

34.3.16 奇偶校验位功能的自诊断

奇偶校验电路由发送数据的奇偶校验附加部分和接收数据的错误检测部分构成。要检测奇偶校验电路的奇偶校验附加部分和错误检测部分的故障时，必须按照如图 34.49 所示的流程，进行奇偶校验电路的自诊断。

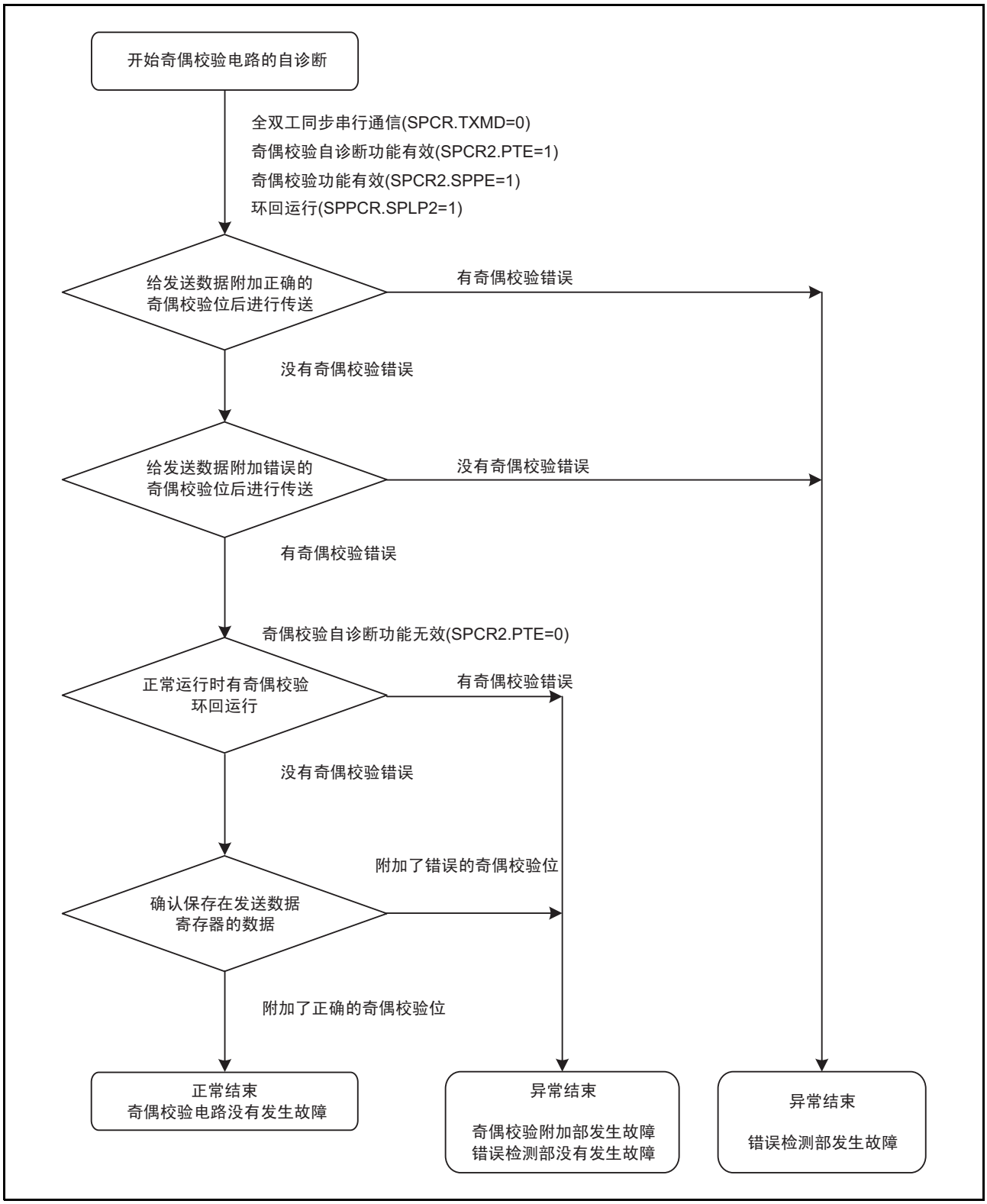


图 34.49 奇偶校验电路的自诊断流程

34.3.17 中断源

RSPI 的中断源有接收缓冲器满、发送缓冲器空、模式故障、溢出、奇偶校验错误和 RSPI 空闲。能通过接收缓冲器满或者发送缓冲器空的中断请求来启动 DTC 或者 DMAC，进行数据传送。

因为模式故障、溢出和奇偶校验错误的中断请求分配到 SPEI 的向量地址，所以需要通过标志判断中断源。RSPI 的中断源如**表 34.13** 所示。一旦**表 34.13** 所示的中断条件成立，就产生中断。对于接收缓冲器满和发送缓冲器空的中断源，必须通过数据传送来清除中断源。

在使用 DTC 或者 DMAC 进行发送或者接收时，必须先设定 DTC 或者 DMAC，然后在设定为允许状态后设定 RSPI。有关 DTC 或者 DMAC 的设定方法，请参照 “17. DMA 控制器 （DMACA）” 和 “18. 数据传送控制器 （DTCa）”。

对于发送缓冲器空中断和接收缓冲器满中断，即使在 ICU.IRn.IR 标志为 “1” 时满足中断产生条件，也不将中断请求输出到 ICU 而保持在内部（在内部能保持的容量是每个中断源 1 个请求）。如果 ICU.IRn.IR 标志变为 “0”，就将保持的中断请求输出到 ICU。如果输出被保持的中断请求，就自动清除保持的中断请求。也能通过将对应的中断允许位 （SPCR.SPTIE 位或者 SPCR.SPRIE 位）置 “0” 来清除保持在内部的中断请求。

表 34.13 RSPI 的中断源

中断源	略称	中断条件	DMAC/DTC 的启动
接收缓冲器满	SPRI	在 SPCR.SPRIE 位为 “1” 的状态下接收缓冲器变满时	能
发送缓冲器空	SPTI	在 SPCR.SPTIE 位为 “1” 的状态下发送缓冲器变空时	能
RSPI 错误 （模式故障、溢出、奇偶校验错误）	SPEI	在 SPCR.SPEIE 位为 “1” 的状态下 SPCR.MODF、SPCR.OVRF 和 SPCR.PERF 标志变为 “1” 时	不能
RSPI 空闲	SPII	在 SPCR2.SPIIE 位为 “1” 的状态下 IDINF 标志变为 “0” 时	不能

34.4 使用时的注意事项

34.4.1 模块停止功能的设定

能通过模块停止控制寄存器 B （MSTPCRB）和模块停止控制寄存器 C （MSTPCRC）禁止或者允许 RSPI 的运行，复位后的值为停止 RSPI 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

34.4.2 低功耗功能的注意事项

当使用低功耗功能来降低 RSPI 功耗时，必须在将 SPCR.SPE 位置 “0” 并且结束通信后使用低功耗功能。

34.4.3 有关开始通信的注意事项

如果在ICU.IRn.IR标志为“1”的状态下开始通信，通信开始后的中断请求就被保持在内部，所以ICU.IRn.IR标志可能会导致意想不到的动作。

如果在开始通信时 ICU.IRn.IR 标志为 “1”，就必须在允许运行 （将 SPCR.SPE 位置 “1”）前按以下步骤清除中断请求：

1. 确认通信处于停止状态 （SPCR.SPE位为 “0”）。
2. 将对应的中断允许位 （SPCR.SPTIE位或者SPCR.SPRIE位）置 “0”。
3. 读对应的中断允许位 （SPCR.SPTIE位或者SPCR.SPRIE位），确认是 “0”。
4. 将ICU.IRn.IR标志置 “0”。

35. IEBus™ 控制器 （IEB）

35.1 概要

RX630 群内置 1 个通道的 IEBus 控制器 （IEB）。 IEBus™ （Inter Equipment Bus™）（注 1）是用于设备之间数据传送的小规模数字数据传送系统。

RX630 群没有内置 IEBus 驱动器 / 接收器，因此需要外接专用的驱动器 / 接收器。

IEB 的规格和输入 / 输出引脚如表 35.1 和表 35.8 所示， IEB 的框图如图 35.5 所示。

注 1. IEBus™ （Inter Equipment Bus™）是瑞萨电子的商标。

表 35.1 IEB 的规格

项目	规格
通信协议	• 支持 IEBus 的协议控制 （层 2）。 半双工异步通信 多主控方式 广播通信功能 能选择 2 种不同传输速度的通信模式 （模式 0、模式 1）。
数据的发送和接收	• 内置用于发送和接收数据的缓冲器。 发送缓冲器和接收缓冲器各为 32 字节。 能在模式 1 中连续进行最大传输字节数为 32 字节的发送和接收。
工作频率	12MHz、 12.58MHz （使用 IECLK 的 1/2 分频时钟） 18MHz、 18.87MHz （使用 IECLK 的 1/3 分频时钟） 24MHz、 25.16MHz （使用 IECLK 的 1/4 分频时钟） 30MHz、 31.45MHz （使用 IECLK 的 1/5 分频时钟） 36MHz、 37.74MHz （使用 IECLK 的 1/6 分频时钟） 42MHz、 44.03MHz （使用 IECLK 的 1/7 分频时钟）
低功耗功能	能设定为模块停止状态。

35.1.1 IEBus 通信协议

- 通信方式：半双工异步通信
- 多主控方式
  能实现连接IEBus的全部单元与其他单元的数据传输。
- 广播通信功能 （1个单元对多个单元的通信）
  组广播通信 ：对组单元的广播通信
  同时广播通信 ：对全部单元的广播通信
- 能选择2种不同传输速度的通信模式。

表 35.2 通信模式

模式	IECLK=12MHz、 18MHz、 24MHz、 30MHz、 36MHz、 42MHz	IECLK=12.58MHz、 18.87MHz、 25.16MHz、 31.45MHz、 37.74MHz、 44.03MHz	最大传输字节数 （字节 / 帧）
0	约 3.9kbps	约 4.1kbps	16
1	约 17kbps	约 18kbps	32

- 存取控制：CSMA/CD （Carrier Sense Multiple Access with Collision Detection）
  总线占有的优先级如下：
  广播通信 （1个单元对多个单元的通信）优先于正常通信 （1个单元对1个单元的通信）。
  主控地址小的单元优先。
- 通信规模（注1）
  单元数：最大50
  电缆长：最长150m （使用双绞线电缆的情况）

注 1. 实际系统的通信规模因外接的 IEBus 驱动器 / 接收器的特点和使用的电缆特点而不同。

(1) 总线占有权的决定 （仲裁）

连接 IEBus 的设备为了在控制其他设备时占有总线而进行运行，该运行称为仲裁。在仲裁处理中，如果多个单元同时开始发送，就允许其中的 1 个单元占有总线。

因为通过仲裁只能使 1 个设备获得总线占有权，所以决定了以下总线占有的优先条件。

(a) 由通信种类决定的优先

广播通信 （1 个单元对多个单元的通信）优先于正常通信 （1 个单元对 1 个单元的通信）。

(b) 由主控地址决定的优先

在通信类型相同时，主控地址最小的单元优先。

例：主控地址由 12 位构成， 000h 的单元拥有最高的优先级，而 FFFh 的单元拥有最低的优先级。

注 . 如果仲裁失败，就能自动进入重新发送模式 （能通过 IEMCR.RN 位将重新发送次数设定为 0 ～ 7 次）。

(2) 通信模式

IEBus 有 2 种不同传输速度的通信模式。各通信模式的传输速度和 1 个通信帧中的最大传输字节数如表 35.3 所示。

表 35.3 各通信模式的传输速度和最大传输字节数

通信模式	最大传输字节数（字节 / 帧）	实际传输速度（注 1）（kbps）	
		IECLK=12MHz、 18MHz、 24MHz、 30MHz、 36MHz、 42MHz	IEBCLK=12.58MHz、 18.87MHz、 25.16MHz、 31.45MHz、 37.74MHz、 44.03MHz
0	16	约 3.9	约 4.1
1	32	约 17	约 18

注 . 连接 IEBus 的各设备在通信前预先选择通信模式。如果主控单元及其通信对象（从属单元）的通信模式不同，就不能正确地进行通信。
在IECLK为12MHz的设备和IECLK为12.58MHz的设备之间，即使通信模式相同也不能正确地进行通信。必须用相同的振荡频率进行通信。

注 1. 这是传输最大传输字节数时的实际传输速度。

(3) 通信地址

IEBus 给各设备分配了 12 位固有的通信地址，通信地址的结构如下：

高 4 位：组号 （各设备所属组的识别号）

低 8 位：单元号 （组内各设备的识别号）

(4) 广播通信

在正常发送时，主控单元及其通信对象 （从属单元）都是 1 个单元，能进行一对一的发送或者接收。在广播通信时，存在多个从属单元，主控单元对多个从属单元进行发送，因为有多个从属单元，所以在通信中从属单元不返回应答。

由广播位决定是进行广播通信还是进行正常通信 （有关广播位，请参照 “35.1.2 (1) (b) 广播位”）。

广播通信有以下 2 种：

(a) 组广播通信

对通信地址高 4 位的组号相同的组内设备进行广播通信。

(b) 同时广播通信

与组号的值无关，对全部设备进行广播通信。

通过从属地址的值识别组广播和同时广播 （有关从属地址，请参照 “35.1.2 (3) 从属地址字段”）。

35.1.2 传输协议

IEBus 的传输信号格式如图 35.1 所示。

将通信数据作为被称为通信帧的一连串信号进行传输。 1 个通信帧能传输的数据量和传输速度因通信模式而不同。

IECLK=12MHz、18MHz、24MHz、30MHz、36MHz、42MHz的情况

字段名	标头		主控地址字段		从属地址字段			控制字段			信息长度字段			数据字段						
位数	1	1	12	1	12	1	1	4	1	1	8	1	1	8	1	1		8	1	1
	起始位	广播位	主控地址	P	从属地址	P	A	控制位	P	A	信息长度位	P	A	数据位	P	A		数据位	P	A
传输时间																				
模式0	大约7330μs													大约1590×Nμs						
模式1	大约2090μs													大约410×Nμs						

P：奇偶校验位(1位)
A：应答位(1位)
当A=0时，为ACK。
当A=1时，为NAK。
N：数据字节数

注. 在广播通信时，忽视应答位的值。

图 35.1 传输信号格式

(1) 标头

标头由起始位和广播位构成。

(a) 起始位

起始位是向其他单元通知数据传输开始的信号。

要开始数据传输的单元输出规定时间的低电平信号 （起始位），然后输出广播位。

要输出起始位时，如果其他单元已输出起始位，就不输出起始位而等待其他单元起始位的输出结束，然后与该结束时序同步输出广播位。

没有开始发送的单元检测此起始位，并且进入接收状态。

(b) 广播位

广播位用于识别广播通信和正常通信。

在广播位为 “0” 时表示广播通信，在广播位为 “1” 时表示正常通信。广播通信有组广播和同时广播，根据从属地址的值进行识别 （有关从属地址，请参照 “35.1.2 (3) 从属地址字段”）。

在广播通信时，因为有多个通信对象 （从属单元），所以不返回 (2) 以后各字段中的应答位。

当 2 个或者 2 个以上的单元在相同的时序开始发送通信帧时，广播通信优先于正常通信而赢得仲裁。

(2) 主控地址字段

主控地址字段是用于将自己的单元地址 （主控地址）发送到其他单元的字段，由主控地址位和奇偶校验位构成。

主控地址由 12 位构成，从 MSB 开始输出。

当 2 个或者 2 个以上的单元在相同的时序开始发送相同值的广播位，仲裁的判定取决于主控地址字段。

在主控地址字段中每发送 1 位时，将自己输出的数据和总线上的数据进行比较。如果自己输出的主控地址和总线上的数据不同，就判断为仲裁失败而中止发送，并且进入接收状态。

因为 IEBus 由线 “与” 构成，所以在加入仲裁的单元 （仲裁主控）中最小主控地址的单元赢得仲裁。

最后，在输出 12 位主控地址后只有 1 个单元作为主控单元保持发送状态。

然后，此主控单元输出奇偶校验位 （注 1），对其他单元确定主控地址，并且开始输出从属地址字段。

注 1. 奇偶校验使用偶校验，当主控地址位中的 “1” 的位数是奇数时，奇偶校验位为 “1”。

(3) 从属地址字段

从属地址字段是用于发送要通信的单元 （从属单元）地址 （从属地址）的字段，由从属地址位、奇偶校验位和应答位构成。

从属地址由 12 位构成，从 MSB 开始输出。在发送 12 位从属地址后，为了避免错误接收从属地址，输出奇偶校验位。然后，为了确认从属单元在总线上，主控单元检测从属单元的应答信号。如果检测到应答信号，就输出控制字段。但是，在进行广播通信时，不检测应答位而输出控制字段。

如果从属地址相同并且检测到主控地址和从属地址的奇偶校验都是偶数，从属单元就输出应答信号。如果从属单元的奇偶校验是奇数，就认为没有正确地接收到主控地址或者从属地址而不输出应答信号。此时，主控单元进入待机 （监视）状态并且结束通信。

在广播通信时，从属地址用于识别组广播 （注 1）和同时广播，具体内容如下：

当从属地址为 “FFFh” 时，为同时广播通信。

当从属地址不是 “FFFh” 时，为组广播通信。

注 1. 组广播通信时的组号为从属地址高 4 位的值。

(4) 控制字段

控制字段是用于发送以下数据字段种类和方向的字段，由控制位、奇偶校验位和应答位构成。

控制位由 4 位构成，从 MSB 开始输出。

在控制位之后输出奇偶校验位。当奇偶校验是偶数并且从属单元能执行主控单元请求的功能时，从属单元输出应答信号，并且进入到下一个信息长度字段。但是，在奇偶校验是偶数而从属单元不能执行主控单元的请求时或者在奇偶校验是奇数时，从属单元不输出应答信号而返回到待机 （监视）状态。

主控单元在确认应答信号后进入到下一个信息长度字段。

如果不能确认应答信号，主控单元就进入待机状态并且结束通信。但是，在广播通信时，主控单元不确认应答信号而进入到下一个信息长度字段。

有关控制位的内容，请参照表 35.5。

(5) 信息长度字段

信息长度字段是用于指定通信数据字节数的字段，由信息长度位、奇偶校验位和应答位构成。

信息长度位由 8 位构成，从 MSB 开始输出。通信数据的字节数如表 35.4 所示。

表 35.4 信息长度位的内容

信息长度位	发送数据和字节数
01h	1 字节
02h	2 字节
•	•
•	•
20h	32 字节
21h	未定义
•	•
•	•
FFh	未定义
00h	未定义

注 . 根据通信模式，如果设定大于 1 帧最大传输字节数的值，就为多帧通信。此时，第 2 次以后的信息长度位为剩余的通信数据的字节数。在 RX630 群中，不能将信息长度位设定为大于 1 帧最大传输字节数的值。必须在以下范围内进行设定。
模式0：1～16字节
模式1：1～32字节
如果设定大于最大传输字节数的值，就在接收或者发送没有时序错误的第 1 个字节的数据后结束通信。在通信结束后，将IEBus接收状态寄存器的接收帧最大传输字节数超过标志或者IEBus发送帧最大传输字节数超过标志置位。

在主控发送 （控制位的 bit3 为 “1”）和主控接收 （控制位的 bit3 为 “0”）时，此字段的操作不同。

(a) 主控发送

主控单元输出信息长度位和奇偶校验位。如果从属单元检测到奇偶校验是偶数，就输出应答信号并且进入到下一个数据字段。但是，在广播通信时，从属单元不输出应答信号。

当奇偶校验是奇数时，从属单元认为没有正确地接收到信息长度位，不输出应答信号而返回到待机（监视）状态。此时，主控单元也返回到待机状态并且结束通信。

(b) 主控接收

从属单元输出信息长度位和奇偶校验位。如果主控单元检测到奇偶校验是偶数，就输出应答信号。

当奇偶校验是奇数时，主控单元认为没有正确地接收到信息长度位，不输出应答信号而返回到待机状态。此时，从属单元也返回到待机状态并且结束通信。

(6) 数据字段

数据字段是用于对从属单元进行数据发送和接收的字段。主控单元使用数据字段给从属单元发送数据并且从从属单元接收数据。数据字段由数据位、奇偶校验位和应答位构成。

数据单元由 8 位构成，从 MSB 开始输出。

在数据位之后分别从主控单元和从属单元输出奇偶校验位和应答位。

只在主控单元的发送运行时进行广播通信。此时，忽视应答信号。

主控发送和主控接收时的运行如下。

(a) 主控发送

当主控单元写从属单元时，主控单元给从属单元发送数据位和奇偶校验位。从属单元接收数据位和奇偶校验位，如果奇偶校验是偶数并且接收缓冲器为空，就输出应答信号。如果奇偶校验是奇数或者接收缓冲器不为空，从属单元就拒绝接受对应的数据并且不输出应答信号。

如果从属单元不输出应答信号，主控单元就再次发送相同的数据。此运行持续到检测到从属单元的应答信号或者超过数据最大传输字节数为止。

当奇偶校验是偶数并且从属单元输出应答信号时，如果还有数据并且没有超过最大传输字节数，主控单元就发送下一个数据。

在广播通信时，从属单元不输出应答信号，主控单元按字节传送数据。

(b) 主控接收

当主控单元读从属单元时，主控单元输出与全部读取位对应的同步信号。

从属单元根据主控单元的同步信号，将数据和奇偶校验位的内容输出到总线上。

主控单元读从属单元输出的数据和奇偶校验位，确认奇偶校验。

如果奇偶校验是奇数或者接收缓冲器不为空，主控单元就拒绝接受该数据并且不输出应答信号。如果数据量不超过 1 个通信帧中能发送的最大传输字节数，主控单元就反复读相同的数据。如果奇偶校验是偶数并且接收缓冲器为空，主控单元就接受数据并且返回应答信号。如果数据量不超过 1 个帧中能发送的最大字节数，主控单元就读取下一个数据。

(7) 奇偶校验位

奇偶校验位用于确认传输数据有没有错误。

给主控地址位、从属地址位、控制位、信息长度位和数据位的各数据附加奇偶校验位。

奇偶校验为偶校验。当数据中的 1 的位数是奇数时，奇偶校验位为“1”；当数据中的 1 的位数是偶数时，奇偶校验位为 “0”。

(8) 应答位

在正常通信（1 个单元对 1 个单元的通信）中，为了确认是否正确地接受了数据，在以下位置附加应答位：

- 从属地址字段的最后
- 控制字段的最后
- 信息长度字段的最后
- 数据字段的最后

应答位的定义如下：

- “0”：表示识别到传输数据 （ACK）。
- “1”：表示没有识别到传输数据 （NAK）。

但是在广播通信时，忽视应答位的内容。

(a) 从属地址字段最后的应答位

在以下情况下，从属地址字段最后的应答位为 NAK，并且中止传输。

- 当主控地址位或者从属地址位的奇偶校验不正确时
- 当发生时序错误 （位格式有错）时
- 当不存在从属单元时

(b) 控制字段最后的应答位

在以下情况下，控制字段最后的应答位为 NAK，并且中止传输。

- 当控制位的奇偶校验不正确时
- 在从属接收缓冲器（注1）不为空的情况下控制位的bit3为 “1”（写）时
- 在从属发送缓冲器（注1）为空的情况下控制位为读数据 （3h、 7h）时
- 在被锁定的情况下没被锁定的单元请求控制位的3h、 6h、 7h、 Ah、 Bh、 Eh、 Fh时
- 在没被锁定的情况下控制位为读锁定地址 （4h、 5h）时
- 当发生时序错误时
- 当有未定义的控制位时

注 1. 请参照 “35.1.3 (1) 从属状态 （SSR）的读操作 （控制位：0h、 6h）”。

(c) 信息长度字段最后的应答位

在以下情况下，信息长度字段最后的应答位为 NAK，并且中止传输。

- 当信息长度位的奇偶校验不正确时
- 当发生时序错误时

(d) 数据字段最后的应答位

在以下情况下，数据字段最后的应答位为 NAK，并且中止传输。

- 当数据位的奇偶校验不正确时（注1）
- 在传送前一个应答位后发生时序错误时
- 当接收缓冲器满而不能接受更多的数据时（注1）

注 1. 在这种情况下，如果在发送侧数据量不超过 1 帧中能传输的最大传输字节数，就在达到最大传输字节数前再次发送该数据字段。

35.1.3 传输数据 （数据字段的内容）

数据字段的内容为控制位表示的数据。

表 35.5 控制位的内容

设定值	bit3 （注 1）	bit2	bit1	bit0	功能 （注 2）
0h	0	0	0	0	读从属状态 （SSR）。
1h	0	0	0	1	未定义
2h	0	0	1	0	未定义
3h	0	0	1	1	读数据并且锁定。
4h	0	1	0	0	读锁定地址 （低 8 位）。
5h	0	1	0	1	读锁定地址 （高 4 位）。
6h	0	1	1	0	读从属状态 （SSR）并且解除锁定。
7h	0	1	1	1	读数据。
8h	1	0	0	0	未定义
9h	1	0	0	1	未定义
Ah	1	0	1	0	写命令并且锁定。
Bh	1	0	1	1	写数据并且锁定。
Ch	1	1	0	0	未定义
Dh	1	1	0	1	未定义
Eh	1	1	1	0	写命令。
Fh	1	1	1	1	写数据。

注 1. 以后的信息长度字段的信息长度位和数据字段的数据传送方向因 bit3 （MSB）的值而不同。
当bit3为 “1”时，进行主控单元到从属单元的传送；当bit3为 “0”时，进行从属单元到主控单元的传送。

注 2. 3h、 6h、 Ah、 Bh 是指定设定锁定和解除锁定的控制位。
如果发送1h、 2h、 8h、 9h、 Ch、 Dh的未定义值，就不返回应答。

如果表 35.6 中没有从请求锁定的主控单元接收到的控制位，被主控单元锁定的单元就拒绝接受此控制位，并且不输出应答位。

表 35.6 被锁定的从属单元的控制字段

设定值	bit3	bit2	bit1	bit0	功能
0h	0	0	0	0	读从属状态。
4h	0	1	0	0	读锁定地址 （低 8 位）。
5h	0	1	0	1	读锁定地址 （高 4 位）。

(1) 从属状态 （SSR）的读操作 （控制位：0h、 6h）

通过读从属状态 （0h、 6h），主控单元能确认从属单元没有返回应答位 （ACK）的理由。从属单元最后进行的通信结果决定从属状态。全部从属单元都能提供从属状态的信息。从属状态如图 35.2 所示。

MSB LSB

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0

bit	值	含义	
bit7 bit6	00	模式0	表示单元支持的最高位的模式。(注1)
	01	模式1	
	10	用于将来扩展	
	11	用于将来扩展	
bit5	0	固定为“0”。	
bit4(注2)	0	停止从属发送。	
	1	能进行从属发送。	
bit3	0	固定为“0”。	
bit2	0	单元不是锁定状态。	
	1	单元是锁定状态。	
bit1(注3)	0	从属接收缓冲器为空。	
	1	从属接收缓冲器不为空。	
bit0(注4)	0	从属发送缓冲器为空。	
	1	从属发送缓冲器不为空。	

注1 bit7和bit6固定为“01”。

注2 能通过IEBus本站地址寄存器1(IEAR1)的STE位选择bit4的值。

注3 从属接收缓冲器是指在写数据时(控制位：Ah、Bh、Eh、Fh)被存取的缓冲器。
在RX630群中，相当于IEBus接收缓冲器寄存器(IERB001～032)，bit1为IEBus接收状态寄存器(IERSR)的RXBSY位的值。

注4 从属发送缓冲器是指在读数据时(控制位：3h、7h)被存取的缓冲器。
在RX630群中，相当于IEBus发送缓冲器寄存器(IETB001～032)，bit0为IEBus通用标志寄存器(IEFLG)的SRQ位的值。

图 35.2 从属状态 （SSR）的位结构

(2) 数据命令的传送 （控制位：读 （3h、 7h）、写 （Ah、 Bh、 Eh、 Fh））

如果读数据 （3h、 7h），就将从属单元数据缓冲器中的数据读到主控单元。如果写数据 （Bh、Fh）或者写命令 （Ah、 Eh），就根据该从属单元的运行规定处理从属单元接收的数据。

注 . 用户能根据系统自由选择数据和命令。
3h、 Ah、 Bh 可能因通信条件和状态而被锁定。

(3) 锁定地址的读操作 （控制位：4h、 5h）

在读锁定地址时 （4h、 5h），发行锁定指令的主控单元的地址 （12 位）如下所示，由 1 字节单位构成并且被读取。

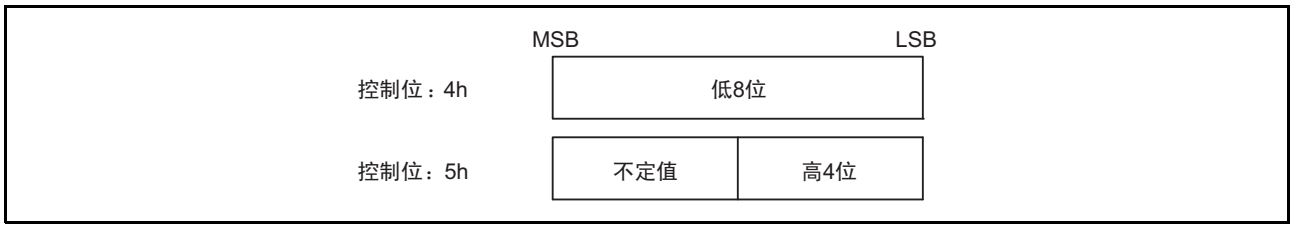


图 35.3 锁定地址的结构

(4) 锁定的设定和解除 （控制位：设定 （3h、 Ah、 Bh）、解除 （6h）

锁定功能用于通过多个通信帧传送信息。锁定单元不接收没被锁定单元的数据。
锁定的设定和解除如下所示。

(a) 锁定的设定

通过指定锁定的控制位（3h、Ah、Bh），在发送和接收完信息长度字段的应答位 0 后，如果没有发送和接收完信息长度位指定字节数的数据而结束通信帧，主控单元就锁定从属单元，并且同时将从属状态字节中的锁定相关位 （bit2）置 “1”。

只在超过发送 / 接收帧的最大传输字节数时才设定锁定，在其他错误结束时不设定锁定。

(b) 锁定的解除

通过指定锁定的控制位（3h、Ah、Bh）或者指定解除锁定的控制位（6h），在 1 个通信帧内发送和接收完信息长度位指定字节数的数据后，主控单元解除锁定的从属单元，并且同时将从属状态字节中的锁定相关位（bit2）复位到 “0”。

在广播通信时，不进行锁定的设定和解除。

注 . 要使指定的单元自己解除锁定时，有以下 3 种方法：
- 进行硬件复位。
- 进行软件复位。
- 通过IEBus命令寄存器 （IECMR）发行锁定状态解除命令。

另外，能通过IEFLG寄存器的LCK标志确认是否为锁定状态。

35.1.4 位格式

构成 IEBus 通信帧的位格式 （概念）如图 35.4 所示。

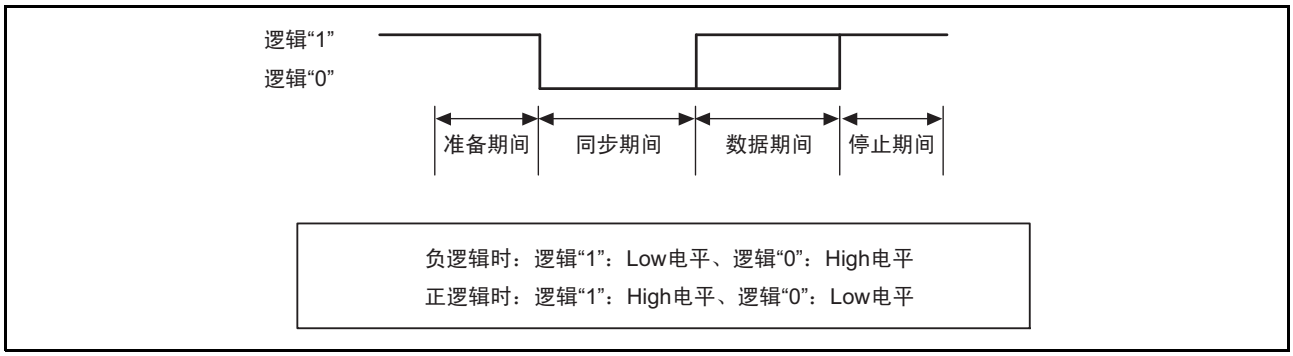


图 35.4 IEBus 的位格式 （概念）

以下说明在正逻辑时位格式的各个期间。
准备期间：第一个逻辑 “1” 期间 （High 电平）
同步期间：下一个逻辑 “0” 期间 （Low 电平）
数据期间：表示位值的期间 （逻辑 “1”：High 电平、逻辑 “0”：Low 电平）
停止期间：最后的逻辑 “1” 期间 （High 电平）

在负逻辑时，为正逻辑的反相电平。
同步期间和数据期间的长度几乎相当。
IEBus 按位取得同步。有关位的整体时间规格和分配在该位内的期间时间规格因传输位的种类和单元种类（主控单元或者从属单元）而不同。

35.1.5 框图

IEB 的框图如图 35.5 所示，各块的功能如表 35.7 所示。

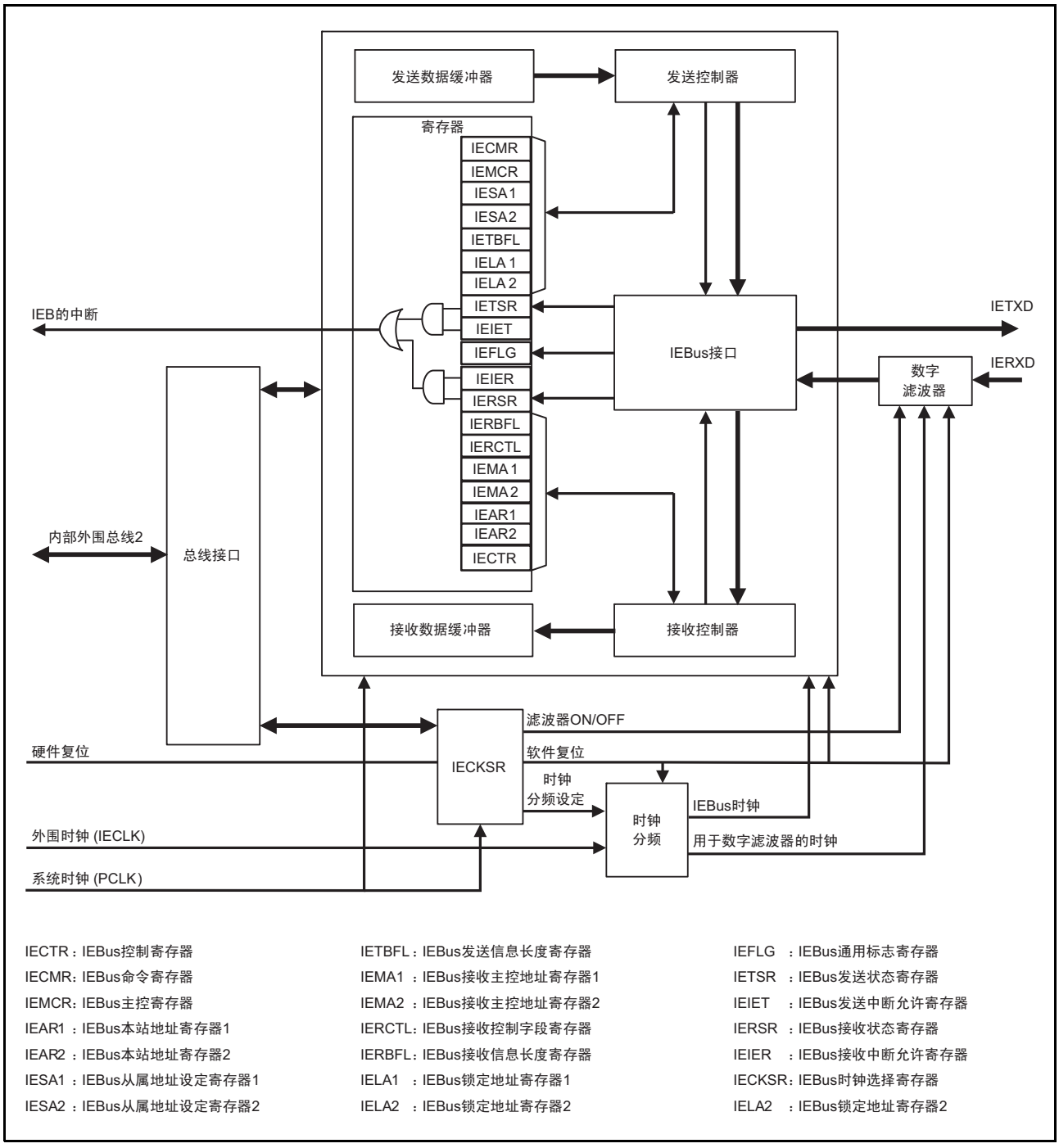


图 35.5 IEB 的框图

表 35.7 各块的功能

块	功能
总线接口	HPB 总线接口功能
	• 数据宽度为 8 位。 • 存取 IEB 寄存器。
IEBus 接口	符合 IEBus 规格的接口功能。
	• 按照 IEBus 规格的位格式，从发送控制器将数据发送到 IEBus。 • 从 IEBus 规格的位格式中抽出帧数据并且传送到接收控制器。
IECKSR	通过 IEBus 时钟选择寄存器进行的 IEBus/ 数字滤波器的时钟分频以及软件复位设定的功能
	• 将 IECKSR 寄存器除外的全部 FF 的异步软件复位设定为有效或者无效。 • 设定数字滤波器的 ON/OFF。 • 设定输入时钟到 IEBus 时钟的分频值。 • 设定输入时钟到数字滤波器时钟的分频值。
寄存器	IEB 控制寄存器
	• 用于控制 IEB 的寄存器 • 能通过内部总线进行读写。
时钟分频	输入时钟的时钟分频输出功能
	• 在将输入时钟分频后将 IEBus 时钟输出到 IEBus 接口。 • 在将输入时钟分频后将用于数字滤波器的时钟输出到数字滤波器。
数字滤波器	IEB 总线的 IERXD 引脚输入的滤波功能
	• 设定数字滤波器的 ON/OFF。 • 三线相同的滤波
发送控制器	将发送缓冲器的数据发送到 IEBus。
	• 从寄存器的标头信息和发送缓冲器的数据生成发送帧，并且发送此帧。 • 检测发送错误。
接收控制器	将 IEBus 的数据保存到接收缓冲器。
	• 将接收的帧标头信息保存到寄存器，将接收的帧数据保存到接收缓冲器。 • 检测接收错误。
发送数据缓冲器	用于发送数据的缓冲器
	• 此缓冲器保存发送给 IEBus 的数据。 • 缓冲器容量为 32 字节。
接收数据缓冲器	用于接收数据的缓冲器
	• 此缓冲器保存从 IEBus 接收的数据。 • 缓冲器容量为 32 字节。

表 35.8 IEB 的输入 / 输出引脚

引脚名	输入 / 输出	功能
IERXD	输入	接收数据的输入引脚
IETXD	输出	发送数据的输出引脚

35.2 寄存器说明

35.2.1 IEBus 控制寄存器 （IECTR）

地址 0008 A800h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	IOL	DEE	—	RE	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为 “0”。	R/W
b3	RE	接收允许位	0：禁止接收 1：允许接收	R/W
b4	—	保留位	读写值都为 “0”。	R/W
b5	DEE	广播接收错误中断允许位	0：禁止发生控制字段为止的数据广播接收错误 1：允许发生控制字段为止的数据广播接收错误	R/W
b6	IOL	输入 / 输出电平位	0：引脚的输入 / 输出为负逻辑 （逻辑“1”为 Low 电平，逻辑“0”为 High 电平） 1：引脚的输入 / 输出为正逻辑 （逻辑“1”为 High 电平，逻辑“0”为 Low 电平）	R/W
b7	—	保留位	读写值都为 “0”。	R/W

RE 位 （接收允许位）

此位设定允许或者禁止 IEB 的接收。必须在接收帧前的初始设定时设定 RE 位。

DEE 位 （广播接收错误中断允许位）

如果将 DEE 位置“1”，就在广播接收时并且接收缓冲器为不能接收的状态（没有将 RE 位置“1”或者将 IERSR.RXBSY 标志置位的状态）下产生广播接收错误中断。此时，保存 IEBus 接收主控地址寄存器 1 和 IEBus 接收主控地址寄存器 2。

如果 DEE 位为“0”，就在广播接收时并且接收缓冲器为不能接收的状态下不产生广播接收错误中断而中止接收，进入待机状态。此时，不保存主控地址。

IOL 位 （输入 / 输出电平位）

此位选择 IERXD 引脚和 IETXD 引脚的输入 / 输出电平 （正逻辑和负逻辑）。

35.2.2 IEBus 命令寄存器 （IECMR）

地址 0008 A801h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMD[2:0]		
复位后的值	x	x	x	x	x	0	0	0

x： 不定值

位	符号	位名	功能	R/W
b2-b0	CMD[2:0]	命令位	b2 b1 b0 0 0 0：空操作 （不影响运行） 0 0 1：解除锁定状态 （其他单元的请求）（注 1） 0 1 0：作为主控单元，请求通信。 0 1 1：中止主控通信 （注 2） 1 0 0：未定义 （注 3） 1 0 1：请求从属单元发送数据 1 1 0：中止从属单元发送数据 （注 4） 1 1 1：未定义 （注 3）	W
b7-b3	—	保留位	读取值为不定值，只能写 “0”。	W

注 1. 在从属通信状态下禁止执行。

注 2. 此命令只在主控通信时 （IEFLG.MRQ=1）有效。否则，即使发行命令也被忽视。如果在主控通信过程中发行此命令，通信控制器就进入待机状态，并且同时结束发行的主控发送请求 （IEFLG.MRQ=0）。

注 3. 这是未定义位。即使发行此命令也不影响运行。

注 4. 此命令只在从属发送 （IEFLG.SRQ=1）时有效。否则，即使发行命令也被忽视。如果在从属发送过程中发行此命令，因为在从属发送前 IEFLG.SRQ 位为“0”，所以不响应主控单元的发送请求。如果在进行从属发送的状态下发行命令，就中止发送，进入待机状态 （IEFLG.SRQ=0）。

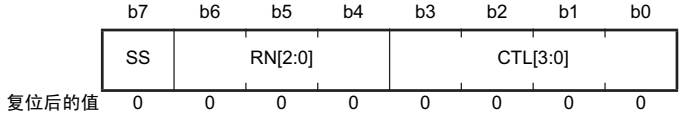
IECMR 寄存器是写专用寄存器，读取值为不定值。

CMD[2:0] 位 （命令位）

这些位发行用于 IEB 通信控制的命令。在发行此命令后，IEFLG.CMX 位被置位的期间为执行命令的期间。如果 IEFLG.CMX 变为 “0”，就进入运行状态。

35.2.3 IEBus 主控控制寄存器 （IEMCR）

地址 0008 A802h



位	符号	位名	功能	R/W
b3-b0	CTL[3:0] (注1)	控制位	b3 b2 b1 b0 0 0 0 0：读从属状态 0 0 0 1：不能设定 0 0 1 0：不能设定 0 0 1 1：读数据并且锁定（注 2） 0 1 0 0：读锁定地址 （低 8 位） 0 1 0 1：读锁定地址 （高 4 位） 0 1 1 0：读从属状态并且解除锁定（注 2） 0 1 1 1：读数据 1 0 0 0：不能设定 1 0 0 1：不能设定 1 0 1 0：写命令并且锁定（注 2） 1 0 1 1：写数据并且锁定（注 2） 1 1 0 0：不能设定 1 1 0 1：不能设定 1 1 1 0：写命令 1 1 1 1：写数据	R/W
b6-b4	RN[2:0]	重新发送次数设定位	b6 b5 b4 0 0 0：0 次 0 0 1：1 次 0 1 0：2 次 0 1 1：3 次 1 0 0：4 次 1 0 1：5 次 1 1 0：6 次 1 1 1：7 次	R/W
b7	SS	广播 / 正常通信选择位	0：在主控通信时进行广播通信 1：在主控通信时进行正常通信	R/W

注 1. 以后的信息长度字段的信息长度位和数据字段的数据传送方向因 CTL[3] 位的值而不同。
当CTL[3]位为 “1”时，从主控单元传送到从属单元。
当CTL[3]位为 “0”时，从从属单元传送到主控单元。

注 2. 这是指定锁定的设定和解除的控制位。

IEMCR 寄存器设定主控通信时的通信条件。

CTL[3:0] 位 （控制位）

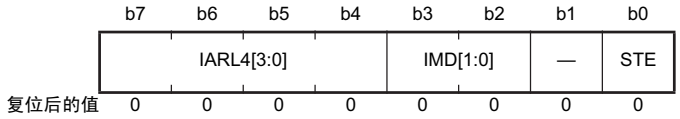
这些位设定主控发送时的控制字段的控制位。

RN[2:0] 位 （重新发送次数设定位）

如果在主控通信过程中仲裁失败，就自动设定重新发送的次数。如果仲裁失败，就将 IETSR.TXEAL 位置位，并且发送错误结束。

35.2.4 IEBus 本站地址寄存器 1 （IEAR1）

地址 0008 A803h



位	符号	位名	功能	R/W
b0	STE	从属发送设定位	0：从属状态的 bit4 为 “0” （停止从属发送的状态） 1：从属状态的 bit4 为 “1” （能进行从属发送的状态）	R/W
b1	—	保留位	读写值都为 “0”。	R/W
b3-b2	IMD[1:0]	IEBus 通信模式位	b3 b2 0 0：通信模式 0 0 1：通信模式 1 1 0：不能设定 1 1：不能设定	R/W
b7-b4	IARL4[3:0]	IEBus 本站地址的低 4 位	设定本站地址的低 4 位。	R/W

在主控通信时，本站地址为主控地址字段的值；在从属通信时，将本站地址和接收的从属地址字段进行比较。

STE 位 （从属发送设定位）

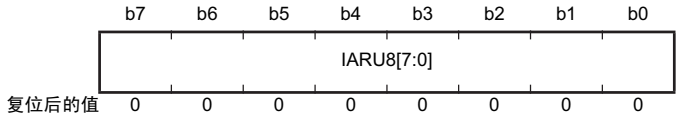
此位设定从属状态寄存器的 bit4 的值。如果将 STE 位置“1”，就通过发送从属状态寄存器，将能进行从属发送的状态信息通知主控单元。 STE 位只设定从属状态寄存器的值而不直接影响从属发送的运行。

IARL4[3:0] 位 （IEBus 本站地址的低 4 位）

这些位设定本站地址的低 4 位，此值为主控地址字段的值。在从属通信时，将此值和接收的从属地址进行比较。

35.2.5 IEBus 本站地址寄存器 2 （IEAR2）

地址 0008 A804h



位	符号	位名	功能	R/W
b7-b0	IARU8[7:0]	IEBus 本站地址的高 8 位	设定本站地址的高 8 位。	R/W

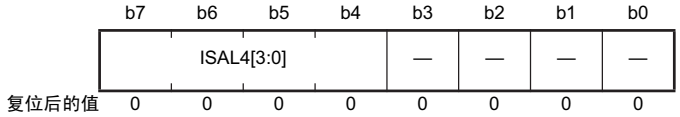
在主控通信时， IEAR2 寄存器的值为主控地址字段的值；在从属通信时，将此寄存器的值和接收的从属地址字段进行比较。

IARU8[7:0] 位 （IEBus 本站地址的高 8 位）

这些位设定本站地址的高 8 位，此值为主控地址字段。在从属通信时，将此值和接收的从属地址进行比较。

35.2.6 IEBus 从属地址设定寄存器 1 （IESA1）

地址 0008 A805h



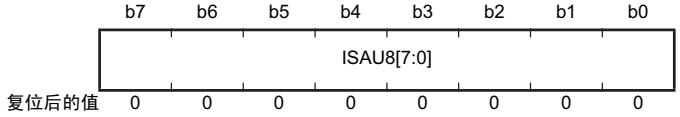
位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b7-b4	ISAL4[3:0]	IEBus 从属地址的低 4 位	设定 IEBus 从属地址的低 4 位。	R/W

ISAL4[3:0] 位 （IEBus 从属地址的低 4 位）

这些位设定通信对象从属单元地址的低 4 位。

35.2.7 IEBus 从属地址设定寄存器 2 （IESA2）

地址 0008 A806h



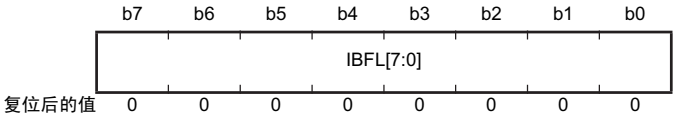
位	符号	位名	功能	R/W
b7-b0	ISAU8[7:0]	IEBus 从属地址的高 8 位	设定 IEBus 从属地址的高 8 位。	R/W

ISAU8[7:0] 位 （IEBus 从属地址的高 8 位）

这些位设定通信对象从属单元地址的高 8 位。

35.2.8 IEBus 发送信息长度寄存器 （IETBFL）

地址 0008 A807h



位	符号	位名	功能	R/W
b7-b0	IBFL[7:0]	发送信息长度位	01h：1 字节 02h：2 字节 ：　　： 1Fh：31 字节 20h：32 字节 21h：不能设定 ：　　： FFh：不能设定 00h：不能设定	R/W

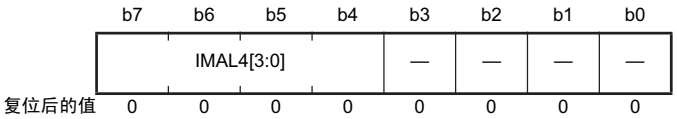
IETBFL 寄存器设定主控发送和从属发送时的信息长度。

IBFL[7:0] 位 （发送信息长度位）

这些位设定主控发送时的信息长度的值。必须设定通信模式的最大传输字节数以内的值。

35.2.9 IEBus 接收主控地址寄存器 1 （IEMA1）

地址 0008 A809h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读取值为 “0”，写操作无效。	R
b7-b4	IMAL4[3:0]	IEBus 接收主控地址的低 4 位	表示 IEBus 从属 / 广播接收时的主控单元地址的低 4 位。	R

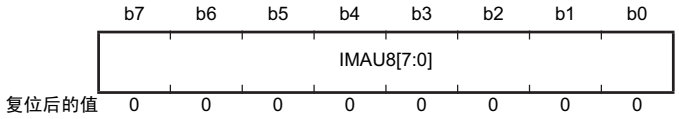
IMAL4[3:0] 位 （IEBus 接收主控地址的低 4 位）

这些位表示从属 / 广播接收时的通信对象主控单元地址的低 4 位。 IEMA1 寄存器在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

如果通过 IECTR.DEE 位选择广播接收错误，就在接收控制字段时接收缓冲器为不能接收信息的状态下产生接收错误中断，并且将主控地址的低 4 位保存到 IEMA1 寄存器。

35.2.10 IEBus 接收主控地址寄存器 2 （IEMA2）

地址 0008 A80Ah



位	符号	位名	功能	R/W
b7-b0	IMAU8[7:0]	IEBus 接收主控地址的高 8 位	表示 IEBus 从属 / 广播接收时的主控单元地址的高 8 位。	R

IEMA2 寄存器在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

如果通过 IECTR.DEE 位选择广播接收错误中断，就在接收控制字段时接收缓冲器为不能接收信息的状态下产生接收错误中断，并且将主控地址的高 8 位保存到 IEMA2 寄存器。

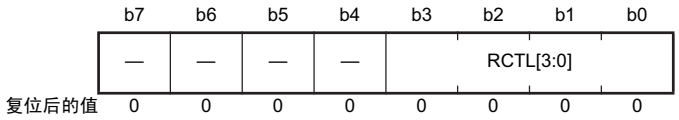
IMAU8[7:0] 位 （IEBus 接收主控地址的高 8 位）

这些位表示从属 / 广播接收时的通信对象主控单元地址的高 8 位。 IEMA2 寄存器在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

如果通过 IECTR.DEE 位选择广播接收错误，就在接收控制字段时接收缓冲器为不能接收信息的状态下产生接收错误中断，并且将主控地址的高 8 位保存到 IEMA2 寄存器。

35.2.11 IEBus 接收控制字段寄存器 （IERCTL）

地址 0008 A80Bh



位	符号	位名	功能	R/W
b3-b0	RCTL[3:0]	IEBus 接收控制字段	表示从属 / 广播接收时的控制字段的值。	R
b7-b4	—	保留位	读取值为 “0”，写操作无效。	R

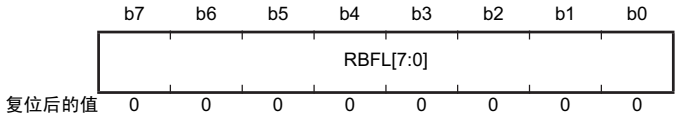
IERCTL 寄存器在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

RCTL[3:0] 位 （IEBus 接收控制字段）

这些位表示从属 / 广播接收时的控制字段的值。 IERCTL 寄存器在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

35.2.12 IEBus 接收信息长度寄存器 （IERBFL）

地址 0008 A80Ch

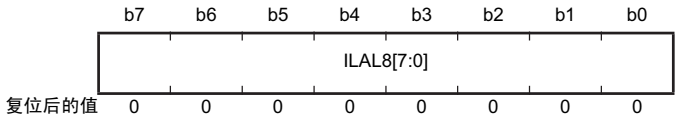


位	符号	位名	功能	R/W
b7-b0	RBFL[7:0]	IEBus 接收信息长度标志	读从属 / 广播接收时的信息长度字段的内容。	R

IERBFL 寄存器在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

35.2.13 IEBus 锁定地址寄存器 1 （IELA1）

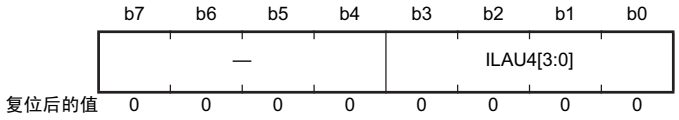
地址 0008 A80Eh



位	符号	位名	功能	R/W
b7-b0	ILAL8[7:0]	IEBus 锁定地址的低 8 位	表示被锁定的主控单元地址的低 8 位。这些位只在 IEFLG.LCK 标志被置位时有效。	R

35.2.14 IEBus 锁定地址寄存器 2 （IELA2）

地址 0008 A80Fh



位	符号	位名	功能	R/W
b3-b0	ILAU4[3:0]	IEBus 锁定地址的高 4 位	保存被锁定的主控单元地址的高 4 位。这些位只在 IEFLG.LCK 标志被置位时有效	R
b7-b4	—	保留位	读取值为 “0”，写操作无效。	R

35.2.15 IEBus 通用标志寄存器 （IEFLG）

地址 0008 A810h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMX	MRQ	SRQ	SRE	LCK	—	RSS	GG
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	GG	同时广播接收识别标志	0：在从属接收的广播接收时，在从属地址字段中没有识别到 “FFFh”。 1：在广播接收时，在从属地址字段中识别到“FFFh”。	R
b1	RSS	接收广播标志	0：接收的广播位为 “0” 1：接收的广播位为 “1”	R
b2	—	保留位	读取值为 “0”，写操作无效。	R
b3	LCK	锁定状态表示标志	0：解除锁定 1：锁定状态	R
b4	SRE	从属接收状态标志	0：不在进行从属 / 广播接收 1：正在进行从属 / 广播接收	R
b5	SRQ	从属发送请求标志	0：从属单元不处于发送请求期间 1：从属单元处于发送请求期间	R
b6	MRQ	主控通信请求标志	0：主控单元不处于通信请求期间 1：主控单元处于通信请求期间	R
b7	CMX	命令执行状态标志	0：命令执行结束 1：正在执行命令	R

GG 标志 （同时广播接收识别标志）

在广播接收时，如果识别到从属地址为“FFFh”，就将此标志置位。和接收广播位相同，此标志在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

将上一次的值保持到开始从属 / 广播接收为止。在从属正常接收时，此标志为 “0”。

RSS 标志 （接收广播标志）

此标志表示接收的广播位的值，在开始从属 / 广播接收时有效 （在将 IERSR.RXS 标志置位时改写内容）。

将上一次的值保持到开始从属 / 广播接收为止。

LCK 标志 （锁定状态表示标志）

如果从主控单元接受到锁定请求并且设定锁定，就将此标志置位。 IELA1 寄存器和 IELA2 寄存器的值在 LCK 标志被置位时有效。

[为 “1” 的条件]

- 当从主控单元接收到被锁定的控制位（3h、Ah、Bh）并且没有发送和接收信息长度指定的数据时（只在超过发送 / 接收帧的最大传输字节数时将 LCK 标志置位，而在其他错误结束时不置位）。

[为 “0” 的条件]

- 当锁定解除条件成立或者发行锁定解除命令时

SRE 标志 （从属接收状态标志）

此标志表示从属 / 广播接收的执行状态。

[为 “1” 的条件]

- 在IECTR.RE位为 “1” 的状态下开始从属/广播接收时

[为 “0” 的条件]

- 当从属/广播接收结束时

SRQ 标志 （从属发送请求标志）

此标志表示从属单元是否处于发送请求期间。

[为 “1” 的条件]

- 当发行从属发送请求命令并且CMX标志变为 “0” 时

[为 “0” 的条件]

- 当从属发送结束时

MRQ 标志 （主控通信请求标志）

此标志表示主控单元是否处于通信请求期间。

[为 “1” 的条件]

- 当发行主控通信请求命令并且CMX标志变为 “0” 时

[为 “0” 的条件]

- 当主控通信结束时

CMX 标志 （命令执行状态标志）

此标志表示命令的执行状态。

[为 “1” 的条件]

- 在MRQ、 SRQ或者SRE标志被置位的条件下发行主控通信请求命令或者从属发送请求命令时

[为 “0” 的条件]

- 当命令执行结束时

35.2.16 IEBus 发送状态寄存器 （IETSR）

地址 0008 A811h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TXS	TXF	—	TXEAL	TXETTME	TXERO	TXEACK
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TXEACK	应答标志	0：未检测到应答位为 “1”（NAK） 1：检测到应答位为 “1”（NAK）	R/(W)（注 1）
b1	TXERO	发送帧最大传输字节数超过标志	0：进行了通信模式所定最大字节数为止的数据发送并且发送结束 1：进行了通信模式所定最大字节数为止的数据发送而发送没有结束	R/(W)（注 1）
b2	TXETTME	发送时序错误标志	0：在数据发送过程中未发生时序错误 1：在数据发送过程中发生时序错误	R/(W)（注 1）
b3	TXEAL	仲裁失败标志	0：正常发送 1：在数据发送过程中仲裁失败并且发送结束	R/(W)（注 1）
b4	—	保留位	读写值都为 “0”。	R/W
b5	TXF	发送正常结束标志	0：未发送完信息长度位指定的发送数据字节数的数据 1：发送完信息长度位指定的发送数据字节数的数据	R/(W)（注 1）
b6	TXS	发送开始标志	0：在主控发送时，未发送完主控地址字段为止的数据。 1：在主控发送时，赢得仲裁并且发送完主控地址字段为止的数据。	R/(W)（注 1）
b7	—	保留位	读写值都为 “0”。	R/W

注 1. 为了清除标志，只能写 “1”。

各中断源有对应 IEBus 发送中断允许寄存器（IEIET）的位，能设定禁止或者允许中断。通过给各位写 “1” 来清除 IETSR 寄存器。

TXEACK 标志 （应答标志）

此标志表示数据字段的应答位接收的数据。

【不在数据字段中的应答位】

如果接收到 NAK，就中止发送并且进入待机状态，将 TXEACK 标志置 “1”。

【数据字段中的应答位】

如果在发送数据字段时从接收单元接收到 NAK，就重新发送数据，直到达到通信模式所定最大字节数或者从接收单元接收到 ACK 为止。此时，如果在发送过程中从接收单元接收到 ACK，就不设定 TXEACK 标志而继续发送。如果没有接收到通信模式所定最大字节数的 ACK 而结束通信，就将 TXEACK 标志置 “1”。

注 . TXEACK 标志在广播通信时无效。

[为 “1” 的条件]

- 当检测到应答位为 “1”（NAK）时

[为 “0” 的条件]

- 当写 “1” 时

TXERO 标志 （发送帧最大传输字节数超过标志）

在发送数据时，此标志表示因从接收单元接收到 NAK 而重新发送数据，直到达到通信模式所定最大字节长度为止，或者因信息长度的值大于最大传输数的值（注 1）而发送没有结束。 IEB 在将 TXERO 标志置位后进入待机状态。

注 1. 如果给信息长度值设定大于最大传输数的值，就在发送第 1 个字节的数据后结束通信。

[为 “1” 的条件]
- 当进行了通信模式所定最大字节数的数据发送而发送没有结束时

[为 “0” 的条件]
- 当写 “1” 时

TXETTME 标志 （发送时序错误标志）

在数据发送过程中没有按 IEB 协议规定的时序传送数据时，将 TXETTME 标志置位。 IEB 在将 TXETTME 标志置位后进入待机状态。

[为 “1” 的条件]
- 在通信模式所定最大字节数的数据发送过程中发生时序错误时

[为 “0” 的条件]
- 当写 “1” 时

TXEAL 标志 （仲裁失败标志）

如果在主控通信时仲裁失败， IEB 就重新从起始位开始发送，发送次数为 IEMCR.RN 位的设定次数。如果设定次数的仲裁全部失败，就将 TXEAL 标志置位并且进入待机状态。如果在进行设定次数的重新发送时赢得仲裁，就不将 TXEAL 标志置 “1”。在仲裁失败并且通信变为待机状态时将 TXEAL 标志置位。

[为 “1” 的条件]
- 在数据发送过程中仲裁失败并且发送结束时

[为 “0” 的条件]
- 当写 “1” 时

TXF 标志 （发送正常结束标志）

此标志检测到信息长度位指定数据长度的发送正常结束。

[为 “1” 的条件]
- 当进行了不超过帧最大传输字节数的通信并且信息长度位指定发送数据字节数的发送结束时

[为 “0” 的条件]
- 当写 “1” 时

TXS 标志 （发送开始标志）

此标志表示 IEB 开始发送。

[为 “1” 的条件]
- 在主控发送时赢得仲裁并且主控地址字段为止的数据发送结束时

[为 “0” 的条件]
- 当写 “1” 时

35.2.17 IEBus 发送中断允许寄存器 （IEIET）

地址 0008 A812h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TXSE	TXFE	—	TXEALE	TXETTMEE	TXEROE	TXEACKE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TXEACKE	应答中断允许位	0：禁止应答位 （TXEACK）中断 1：允许应答位 （TXEACK）中断	R/W
b1	TXEROE	发送帧最大传输字节数超过中断允许位	0：禁止发送帧最大传输字节数超过 （TXERO）中断 1：允许发送帧最大传输字节数超过 （TXERO）中断	R/W
b2	TXETTMEE	发送时序错误中断允许位	0：禁止发送时序错误 （TXETTME）中断 1：允许发送时序错误 （TXETTME）中断	R/W
b3	TXEALE	仲裁失败中断允许位	0：禁止仲裁失败 （TXEAL）中断 1：允许仲裁失败 （TXEAL）中断	R/W
b4	—	保留位	读写值都为 “0”。	R/W
b5	TXFE	发送正常结束中断允许位	0：禁止发送正常结束 （TXF）中断 1：允许发送正常结束 （TXF）中断	R/W
b6	TXSE	发送开始中断允许位	0：禁止发送开始 （TXS）中断 1：允许发送开始 （TXS）中断	R/W
b7	—	保留位	读写值都为 “0”。	R/W

35.2.18 IEBus 接收状态寄存器 （IERSR）

地址 0008 A814h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXERTME	RXEDLE	RXEPE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RXEPE	奇偶校验错误标志	0：没有奇偶校验错误 1：发生奇偶校验错误	R/(W) （注 1）
b1	RXEDLE	接收帧最大传输字节数超过标志	0：未发生溢出错误 1：发生溢出错误	R/(W) （注 1）
b2	RXERTME	接收时序错误标志	0：未发生接收时序错误 1：发生接收时序错误	R/(W) （注 1）
b3	RXEOVE	接收溢出标志	0：未发生接收溢出错误 1：发生接收溢出错误	R/(W) （注 1）
b4	RXEDE	广播接收错误标志	0：未发生广播接收错误 1：发生广播接收错误	R/(W) （注 1）
b5	RXF	接收正常结束标志	0：接收没有正常结束 1：接收正常结束	R/(W) （注 1）
b6	RXS	接收开始标志	0：没有开始接收 1：开始接收	R/(W) （注 1）
b7	RXBSY	接收忙标志	0：接收数据缓冲器为能接收的状态 1：接收数据缓冲器为忙状态	R/(W) （注 1）

注 1. 为了清除标志，只能写 “1”。

各中断源有对应 IEIER 寄存器的位，能设定禁止或者允许中断。能通过给各位写“1”来清除 IERSR 寄存器。

RXEPE 标志 （奇偶校验错误标志）

此标志表示在接收数据字段的过程中发生奇偶校验错误。如果在接收数据字段前发生奇偶校验错误， IEB 就进入待机状态而不将 RXEPE 标志置位。如果在接收数据字段的过程中发生奇偶校验错误并且在达到帧最大传输字节数前没有进行接收，就不将 RXEPE 位置位。当发生奇偶校验错误时， IEB 通过应答位将 NAK 返回给通信对象。此时，通信对象重新发送数据，直到达到帧最大传输字节数为止。但是，如果在重新接收的过程中奇偶校验错误被解除并且接收正常，就不将 RXEPE 标志置位。在没有接收到信息长度设定的字节数而中止接收并且进入待机状态时，如果奇偶校验错误没有被解除，就将 RXEPE 标志置位。在广播接收时，如果在接收数据字段的过程中发生奇偶校验错误，IEB 就将 RXEPE 标志置位并且进入待机状态。此标志在接收开始标志（RXS）被置位后开始有效。如果在接收开始标志被置位前发生错误，就中止通信并且进入待机状态。此时，不将此标志置位。

[为 “1” 的条件]

- 当进行了帧最大传输字节数的数据接收并且最后接收字节的数据字段奇偶校验位不是偶数时

[为 “0” 的条件]

- 当写 “1” 时

RXEDLE 标志 （接收帧最大传输字节数超过标志）

在接收数据时，此标志表示因发生奇偶校验错误或者溢出错误而重新接收，导致在通信模式定义的最大字节长度内接收没有结束，或者因信息长度的值大于最大传输字节数的值（注 1）而接收没有结束。 IEB 在将 RXEDLE 标志置位后进入待机状态。此标志在接收开始标志 （RXS）被置位后开始有效。如果在接收开始标志被置位前发生错误，就中止通信并且进入待机状态。此时，不将此标志置位。

注 1. 如果信息长度字段设定的信息长度值大于最大传输数的值，就在接收第 1 个字节的数据后结束通信。

[为 “1” 的条件]
- 表示在通信模式所定最大字节数的接收结束时信息长度值为止的数据接收没有结束。

[为 “0” 的条件]
- 当写 “1” 时

RXERTME 标志 （接收时序错误标志）

如果在数据接收过程中不能按 IEB 协议规定的时序正确地接收数据，就将 RXERTME 标志置位。IEB 在将 RXERTME 标志置位后进入待机状态。此标志在接收开始标志 （RXS）被置位后开始有效。如果在接收开始标志被置位前发生错误，就中止通信并且进入待机状态。此时，不将 RXERTME 标志置位。

[为 “1” 的条件]
- 表示在通信模式所定最大字节数的数据接收过程中发生时序错误。

[为 “0” 的条件]
- 当写 “1” 时

RXEOVF 标志 （接收溢出标志）

此标志表示在数据接收过程中发生溢出。

在没有清除 RXBSY 标志的状态下（即在没有读接收数据的状态下），一旦开始接收下一个数据，IEB 就将 RXEOVF 标志置位。此时， IEB 判断为发生溢出错误，将 NAK 返回给通信对象。然后，通信对象重新发送数据，直到达到帧最大传输字节数为止。但是， IEB 在 RXBSY 标志被置位的状态下继续发送 NAK。如果清除 RXBSY 标志， IEB 就发送 ACK 并且取下一个数据。在广播接收时，如果在开始接收数据时 RXBSY 位已被置位，就进入待机状态。此标志在接收开始标志 （RXS）被置位后开始有效。

[为 “1” 的条件]
- 在没有清除RXBSY标志的状态下接收到下一个数据时

[为 “0” 的条件]
- 当写 “1” 时

RXEDE 标志 （广播接收错误标志）

在广播接收的接收控制字段时，此标志表示因接收缓冲器为不能接收的状态（在 IECTR.RE 位没有被置 “1” 或者 IERSR.RXBSY 标志被置位的状态）而不能接收数据。 RXEDE 标志在 IECTR.DEE 位为 “1” 时有效。

[为 “1” 的条件]
- 在广播接收过程中不能接收数据时

[为 “0” 的条件]
- 当写 “1” 时

RXF 标志 （接收正常结束标志）

此标志表示信息长度位指定数据长度的数据接收正常结束。

[为 “1” 的条件]

- 当信息长度位指定的接收数据字节数的数据接收结束时

[为 “0” 的条件]

- 当写 “1” 时

RXS 标志 （接收开始标志）

此标志表示 IEB 开始接收。

[为 “1” 的条件]

- 在从属接收时从主控单元正常接收到信息长度字段为止的数据时

[为 “0” 的条件]

- 当写 “1” 时

RXBSY 标志 （接收忙标志）

此标志表示将接收数据保存到接收数据缓冲器 （IERB001 ～ IERB032）。必须在读全部接收数据后清除此标志。在 RXBSY 标志被置位的期间，不能接收下一个接收数据。

[为 “1” 的条件]

- 当将接收数据全部写到接收数据缓冲器时

[为 “0” 的条件]

- 当写 “1” 时

35.2.19 IEBus 接收中断允许寄存器 （IEIER）

地址 0008 A815h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXBSYE	RXSE	RXFE	RXEDEE	RXEOVEE	RXERTMEE	RXEDLEE	RXEPEE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RXEPEE	奇偶校验错误中断允许位	0：禁止奇偶校验错误 （RXEPE）中断 1：允许奇偶校验错误 （RXEPE）中断	R/W
b1	RXEDLEE	接收帧最大传输字节数超过中断允许位	0：禁止接收帧最大传输字节数超过 （RXEDLE）中断 1：允许接收帧最大传输字节数超过 （RXEDLE）中断	R/W
b2	RXERTMEE	接收时序错误中断允许位	0：禁止接收时序错误 （RXERTME）中断 1：允许接收时序错误 （RXERTME）中断	R/W
b3	RXEOVEE	接收溢出中断允许位	0：禁止溢出控制标志 （RXEOVE）中断 1：允许溢出控制标志 （RXEOVE）中断	R/W
b4	RXEDEE	广播接收错误中断允许位	0：禁止广播接收错误 （RXEDE）中断 1：允许广播接收错误 （RXEDE）中断	R/W
b5	RXFE	接收正常结束中断允许位	0：禁止接收正常结束 （RXF）中断 1：允许接收正常结束 （RXF）中断	R/W
b6	RXSE	接收开始中断允许位	0：禁止接收开始 （RXS）中断 1：允许接收开始 （RXS）中断	R/W
b7	RXBSYE	接收忙中断允许位	0：禁止接收忙 （RXBSY）中断 1：允许接收忙 （RXBSY）中断	R/W

35.2.20 IEBus 时钟选择寄存器 （IECKSR）

地址 0008 A818h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLT	FCKS[1:0]		CKS3	SRSTP	CKS[2:0]		
复位后的值	0	0	0	0	1	0	0	1

位	符号	位名	功能	R/W
b2-b0	CKS[2:0]	输入时钟选择位 （注 1）	b2 b1 b0 0 0 0：不能设定 0 0 1：使用外围时钟 （IECLK）的 1/2 时钟 （IECLK=12MHz、 12.58MHz） 0 1 0：使用外围时钟 （IECLK）的 1/3 时钟 （IECLK=18MHz、 18.87MHz） 0 1 1：使用外围时钟 （IECLK）的 1/4 时钟 （IECLK=24MHz、 25.16MHz） 1 0 0：使用外围时钟 （IECLK）的 1/5 时钟 （IECLK=30MHz、 31.45MHz） 1 0 1：使用外围时钟 （IECLK）的 1/6 时钟 （IECLK=36MHz、 37.74MHz） 1 1 0：使用外围时钟 （IECLK）的 1/7 时钟 （IECLK=42MHz、 44.03MHz） 1 1 1：不能设定	R/W
b3	SRSTP	软件复位的位	0：将软件复位置为无效 1：将软件复位置为有效	R/W
b4	CKS3	输入时钟选择 3 位 （注 1）（注 2）	0：使用外围时钟 （IECLK） 1：不能设定	R/W
b6-b5	FCKS[1:0]	数字滤波器时钟选择位 （注 1）	b6 b5 0 0：使用外围时钟 （IECLK）的 1/1 时钟 0 1：使用外围时钟 （IECLK）的 1/2 时钟 1 0：使用外围时钟 （IECLK）的 1/3 时钟 1 1：使用外围时钟 （IECLK）的 1/4 时钟	R/W
b7	FLT	数字滤波器允许位 （注 1）	0：禁止数字滤波器功能 1：允许数字滤波器功能	R/W

注 1. 不能在 IEBus 发送和接收过程中更改 FLT 位、FCKS[1:0] 位、CKS3 位和 CKS[2:0] 位的设定。根据图 35.8 的初始设定流程设定 IECKSR 寄存器。如果在发送和接收过程中进行设定，就不保证发送和接收状态。

注 2. 当将 MSTPCRC.MSTPC18 位置 “1” 时，停止给 IECKSR 以外的寄存器提供时钟。
如果在低功耗模式以外的模式中使用IEB，就必须在将MSTPCRC.MSTPC18位置 “0” 后解除模块停止模式。

CKS[2:0] 位 （输入时钟选择位）

这些位选择 IEB 使用的时钟分频。

在使用数字滤波器功能时，为了使数字滤波器时钟是 IEB 所用时钟的整数倍，必须设定以下分频。

- 当CKS[2:0]位为 “001b” 时，能将FCKS[1:0]位设定为 “00b” 或者 “01b”。
- 当CKS[2:0]位为 “010b” 时，能将FCKS[1:0]位设定为 “00b” 或者 “10b”。
- 当CKS[2:0]位为 “011b” 时，能将FCKS[1:0]位设定为 “00b”、“01b” 或者 “11b”。
- 当CKS[2:0]位为 “100b” 时，能将FCKS[1:0]位设定为 “00b”。
- 当CKS[2:0]位为 “101b” 时，能将FCKS[1:0]位设定为 “00b”、“01b” 或者 “10b”。
- 当CKS[2:0]位为 “110b” 时，能将FCKS[1:0]位设定为 “00b”。
- 当CKS[2:0]位为 “111b” 时，能将FCKS[1:0]位设定为 “00b”、“01b” 或者 “11b”。

SRSTP 位 （软件复位的位）

如果执行硬件复位，就设定软件复位并且对 IECKSR 寄存器以外的全部寄存器进行复位。

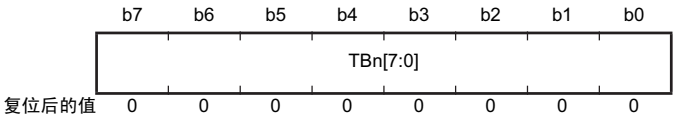
在硬件复位后，必须将软件复位置为无效。

在软件复位有效的状态下，因为对 IRCKSR 寄存器以外的寄存器进行复位，所以不能存取 IRCKSR 寄存器以外的寄存器。

如果不按照图 35.8 的初始设定流程的方法更改 FLT 位、FCKS[1:0] 位、CKS3 位和 CKS[2:0] 位的设定，就可能发生误动作，所以必须将软件复位置为有效或者无效。

35.2.21 IEBus 发送数据缓冲寄存器 001 ～ 032 （IETB001 ～ IETB032）

地址 0008 A900h～0008 A91Fh



n = 001～032

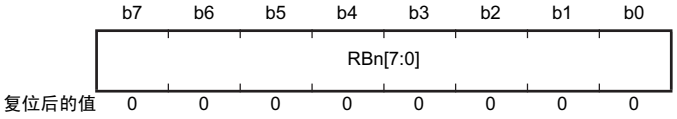
位	符号	位名	功能	R/W
b7-b0	TBn[7:0]	IEBus 发送数据缓冲器	在主控发送时，将通过数据字段发送的数据写到 TB001 ～ TB032。TB001 为 1 字节的起始数据，按 TB002、TB003……的顺序写发送时的数据。TB032 为 32 字节发送时的最后数据。	W （注 1）

注 1. 因为在主控发送或者从属发送过程中（IEFLG.MRQ 位为“1”或者 IEFLG.SRQ 为“1”）禁止写，所以不能进行存取。

IETB001 ～ IETB032 寄存器是在主控发送时写发送数据的 32 字节 （8×32）缓冲器。

35.2.22 IEBus 接收数据缓冲寄存器 001 ～ 032 （IERB001 ～ IERB032）

地址 0008 AA00h～0008 AA1Fh



n = 001～032

位	符号	位名	功能	R/W
b7-b0	RBn[7:0]	IEBus 接收数据缓冲器	当 IEBus 接收状态寄存器 （IERSR）的 RXBSY 位为“1”时，能读 RB001 ～ RB032。通过 RB001 ～ RB032 读到的数据是从属接收时的数据字段的值。RB001为1字节的起始数据，按RB002、RB003……的顺序写接收时的数据。 RB032 为 32 字节接收时的最后数据。	R （注 1）

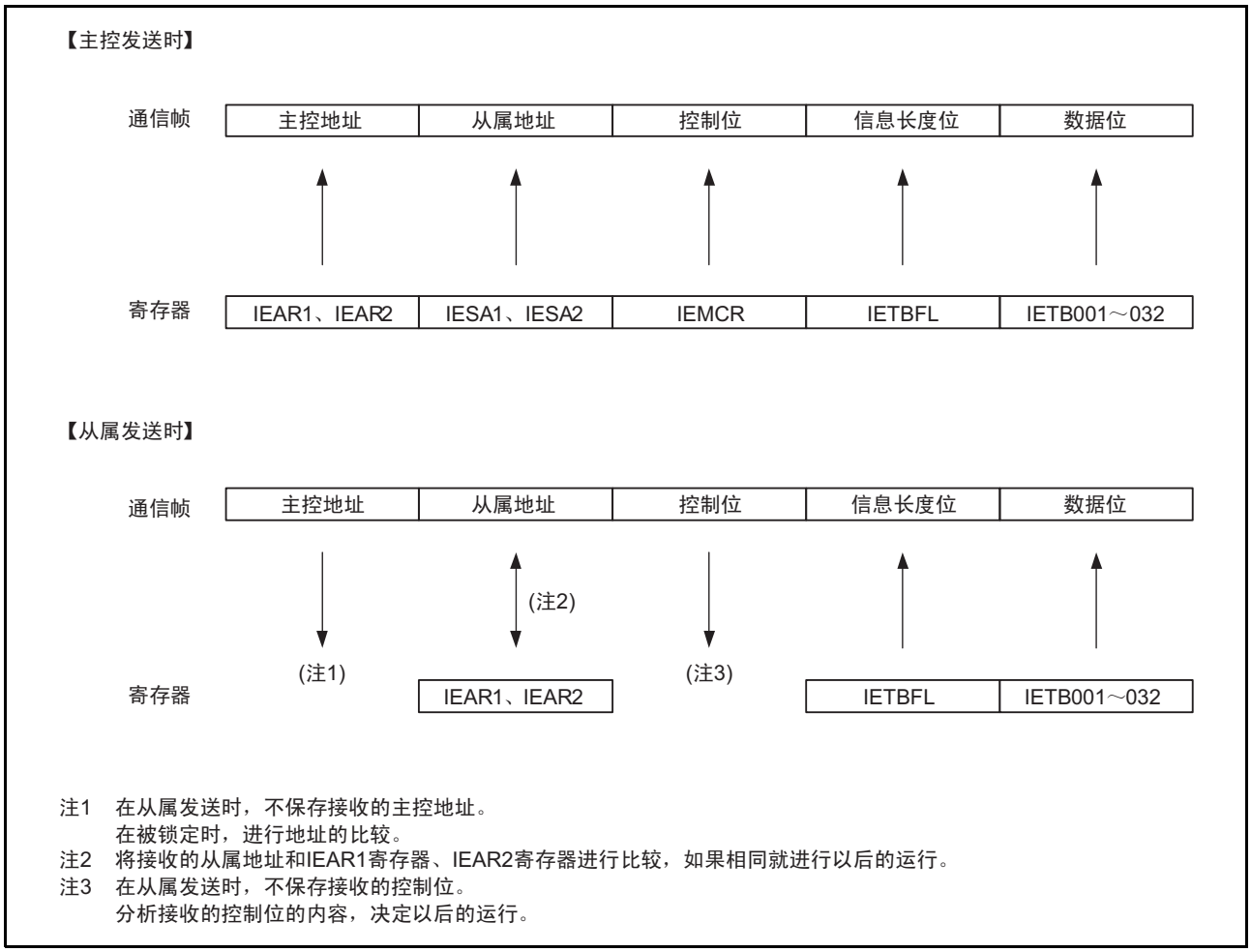
注 1. 因为在主控接收过程中 （在发行 IEMCR.CTL[3] 位为 “0”的主控通信请求后， IEFLG.MRQ 位变为 “1”并且 IERSR.RXBSY位变为“0”）或者在从属接收过程中（IEFLG.SRE位为“1”并且IERSR.RXBSY位为“0”）禁止读，所以不能进行存取 （读取值为不定值）。

IERB001 ～ IERB032 寄存器是在从属接收时保存接收数据的 32 字节 （8×32）缓冲器。

35.3 数据格式

35.3.1 发送格式

发送 IEBus 数据时的传输格式和各寄存器的关系如图 35.6 所示。



注1 在从属发送时，不保存接收的主控地址。
在被锁定时，进行地址的比较。
注2 将接收的从属地址和IEAR1寄存器、IEAR2寄存器进行比较，如果相同就进行以后的运行。
注3 在从属发送时，不保存接收的控制位。
分析接收的控制位的内容，决定以后的运行。

图 35.6 发送时的传输信号格式和各寄存器的关系

35.3.2 接收格式

接收 IEBus 数据时的传输格式和各寄存器的关系如图 35.7 所示。

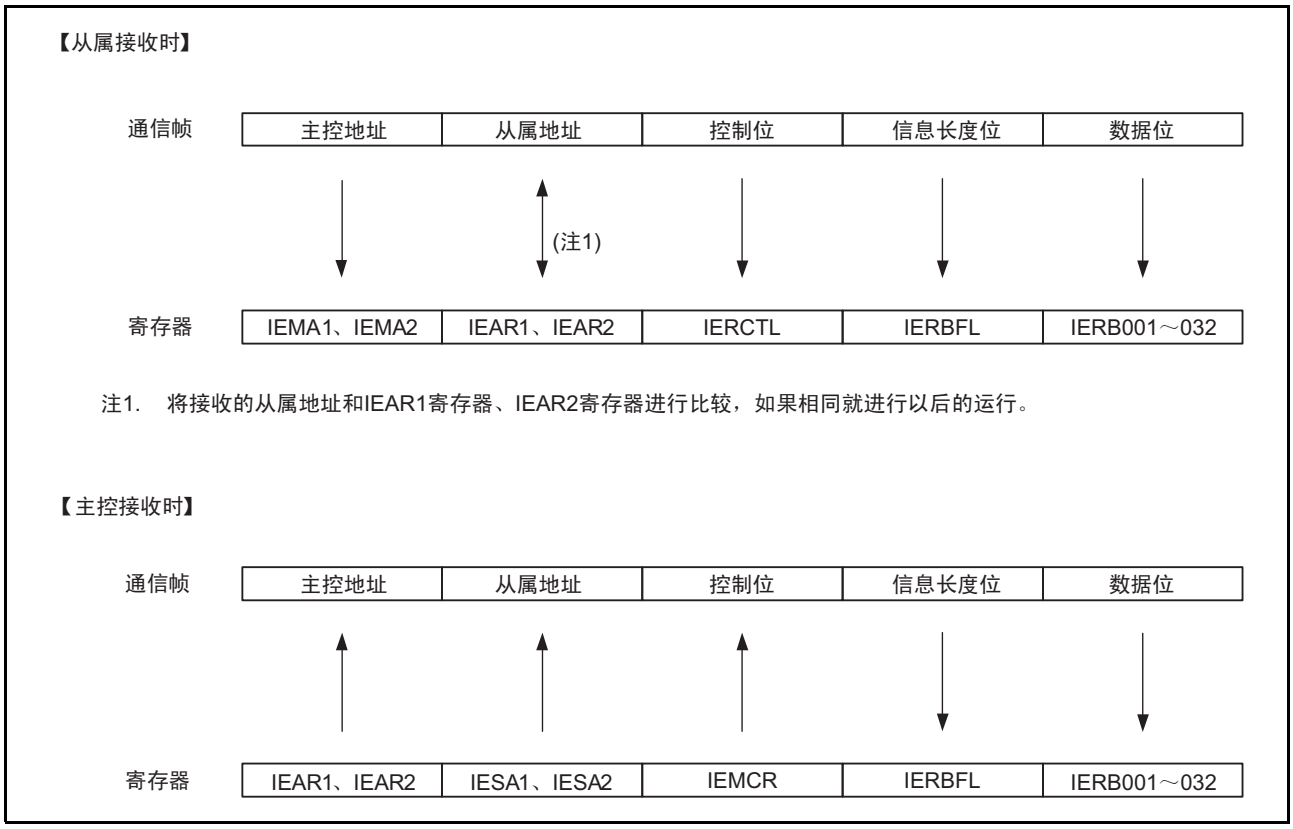
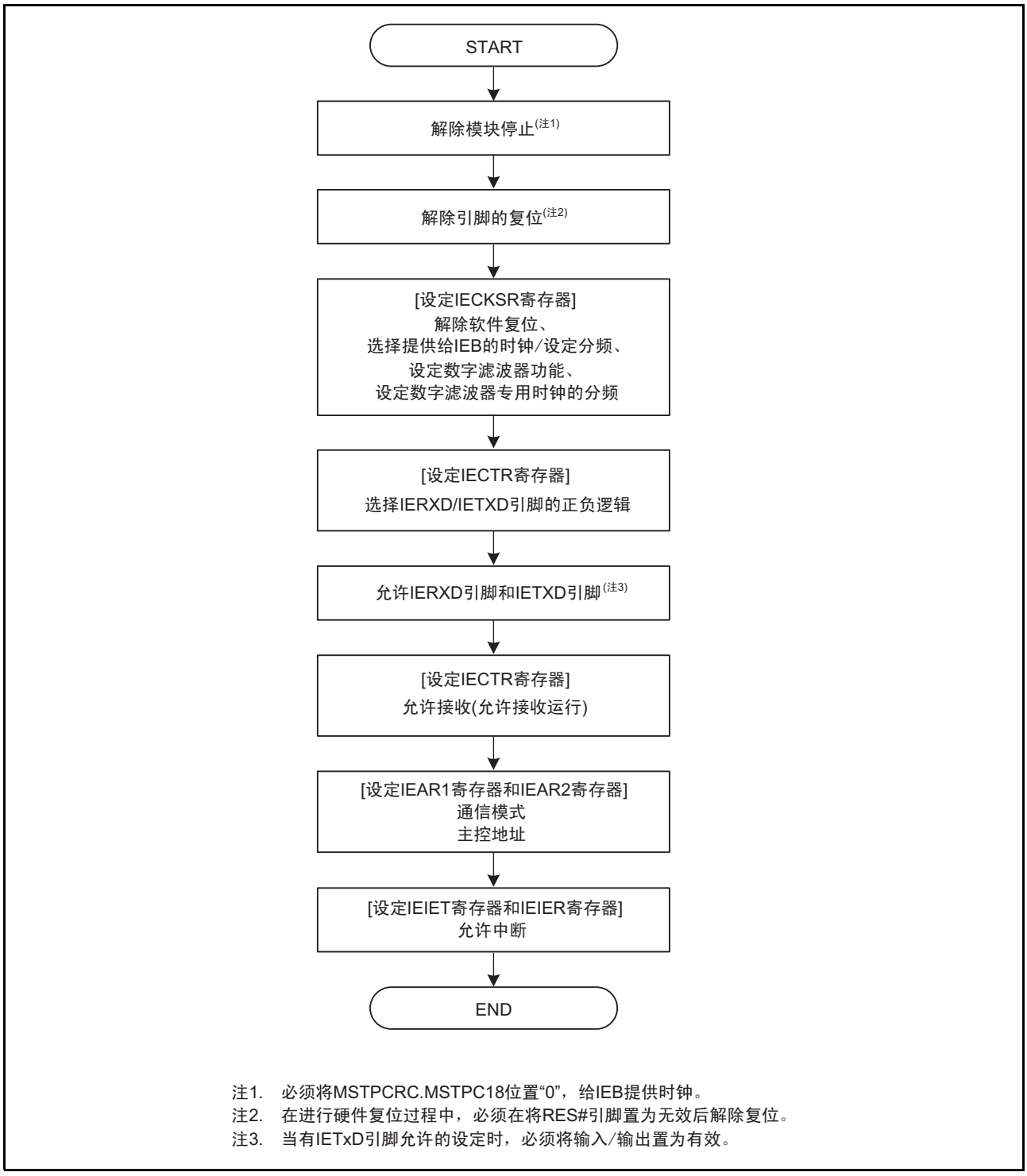


图 35.7 接收时的传输信号格式和各寄存器的关系

35.4 控制流程

35.4.1 初始设定

初始设定流程如图 35.8 所示。



注1. 必须将MSTPCRC.MSTPC18位置“0”，给IEB提供时钟。
注2. 在进行硬件复位过程中，必须在将RES#引脚置为无效后解除复位。
注3. 当有IETxD引脚允许的设定时，必须将输入/输出置为有效。

图 35.8 初始设定流程

35.4.2 主控发送

主控发送流程如图 35.9 所示。

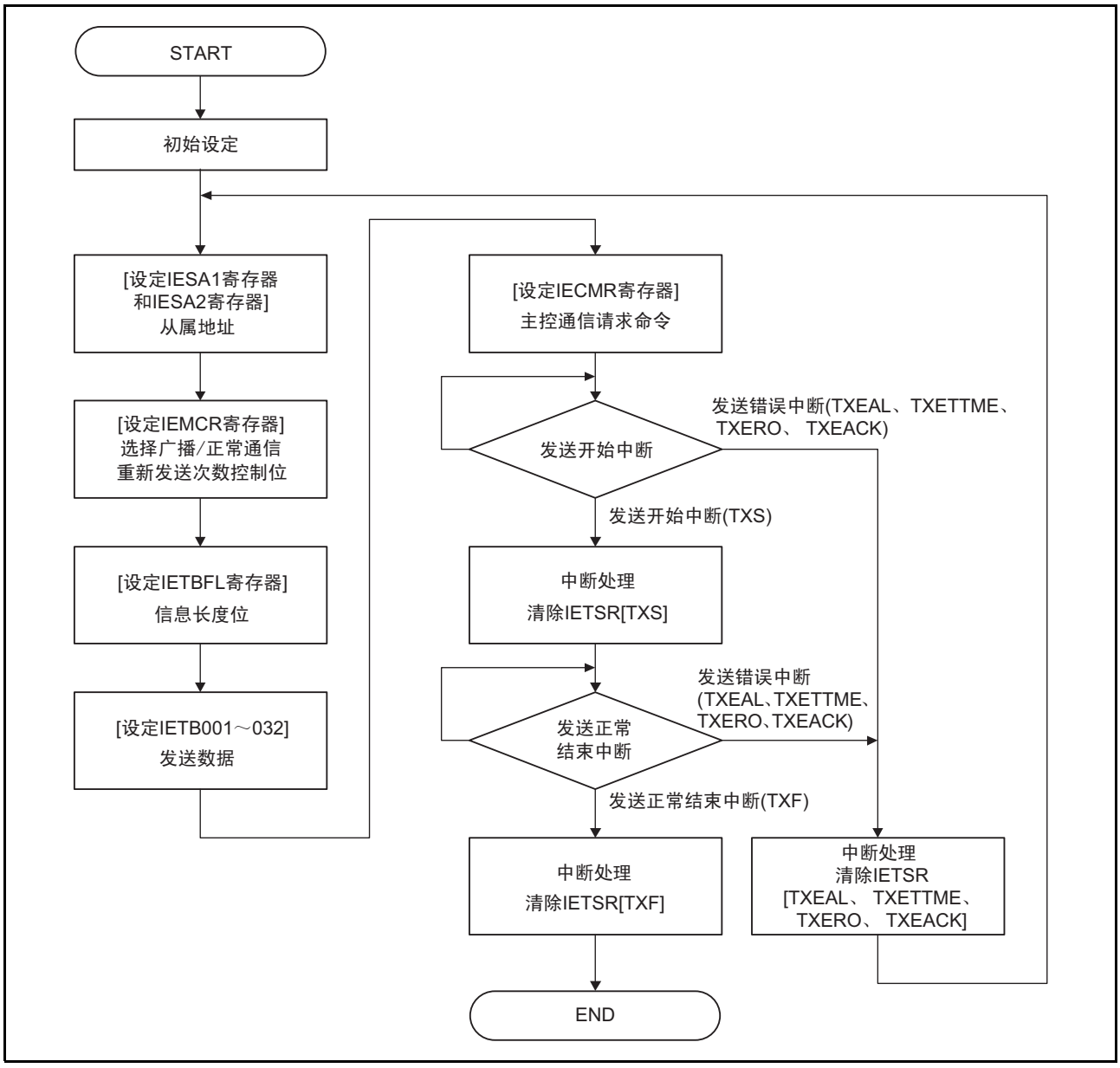


图 35.9 主控发送流程

35.4.3 从属接收

从属接收流程如图 35.10 所示。

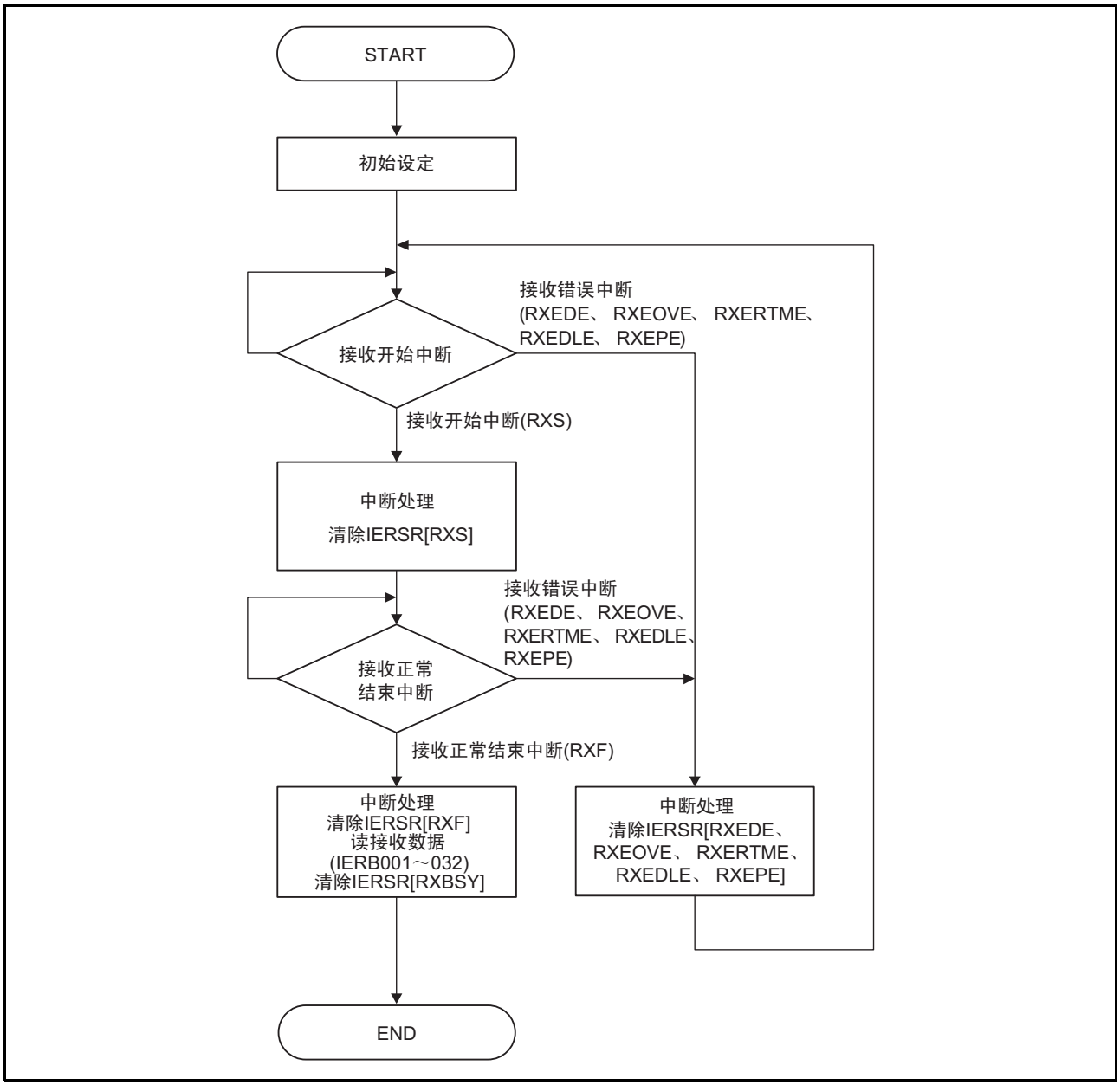


图 35.10 从属接收流程

35.4.4 主控接收

主控接收流程如图 35.11 所示。

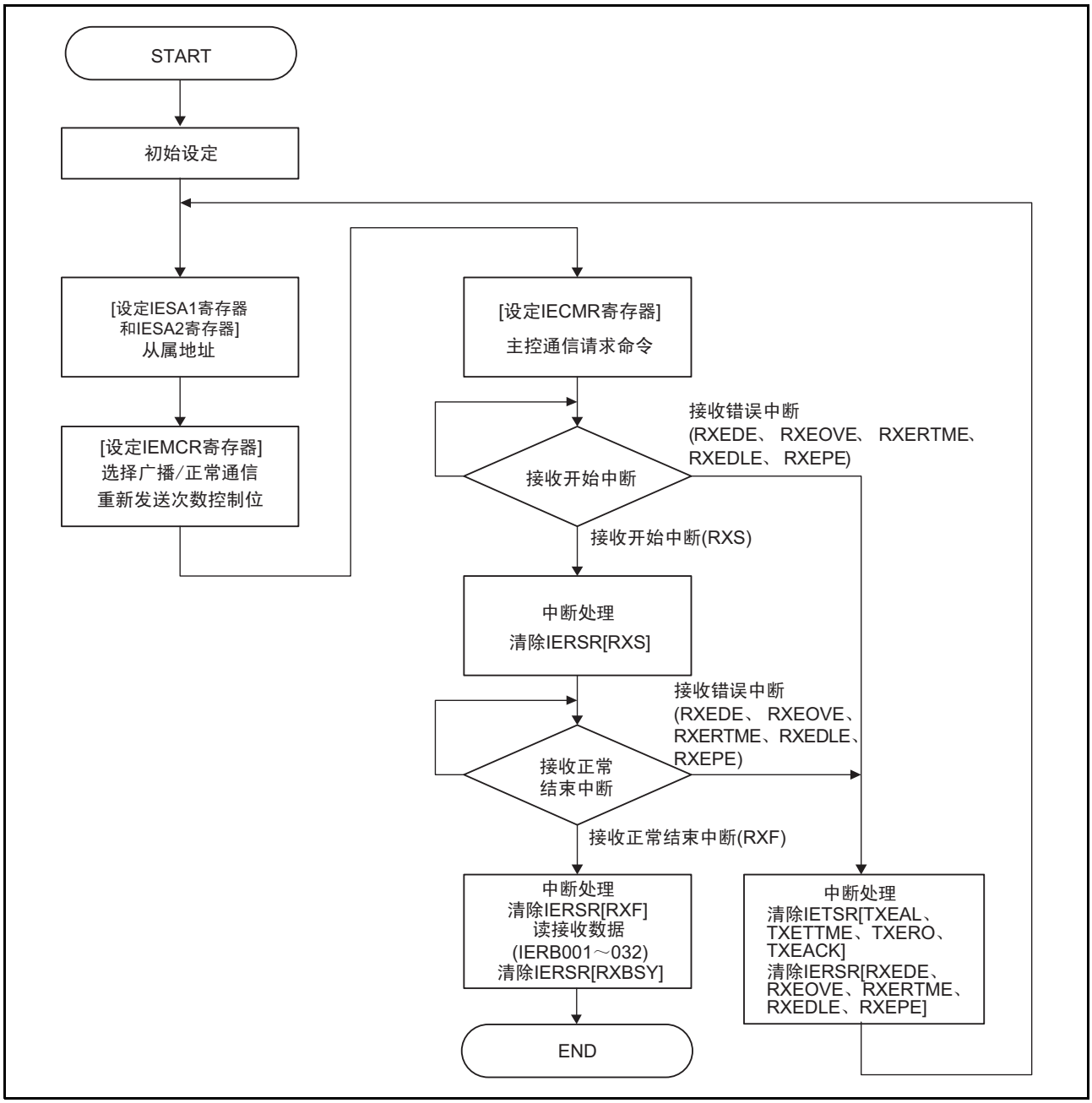


图 35.11 主控接收流程

35.4.5 从属发送

从属发送流程如图 35.12 所示。

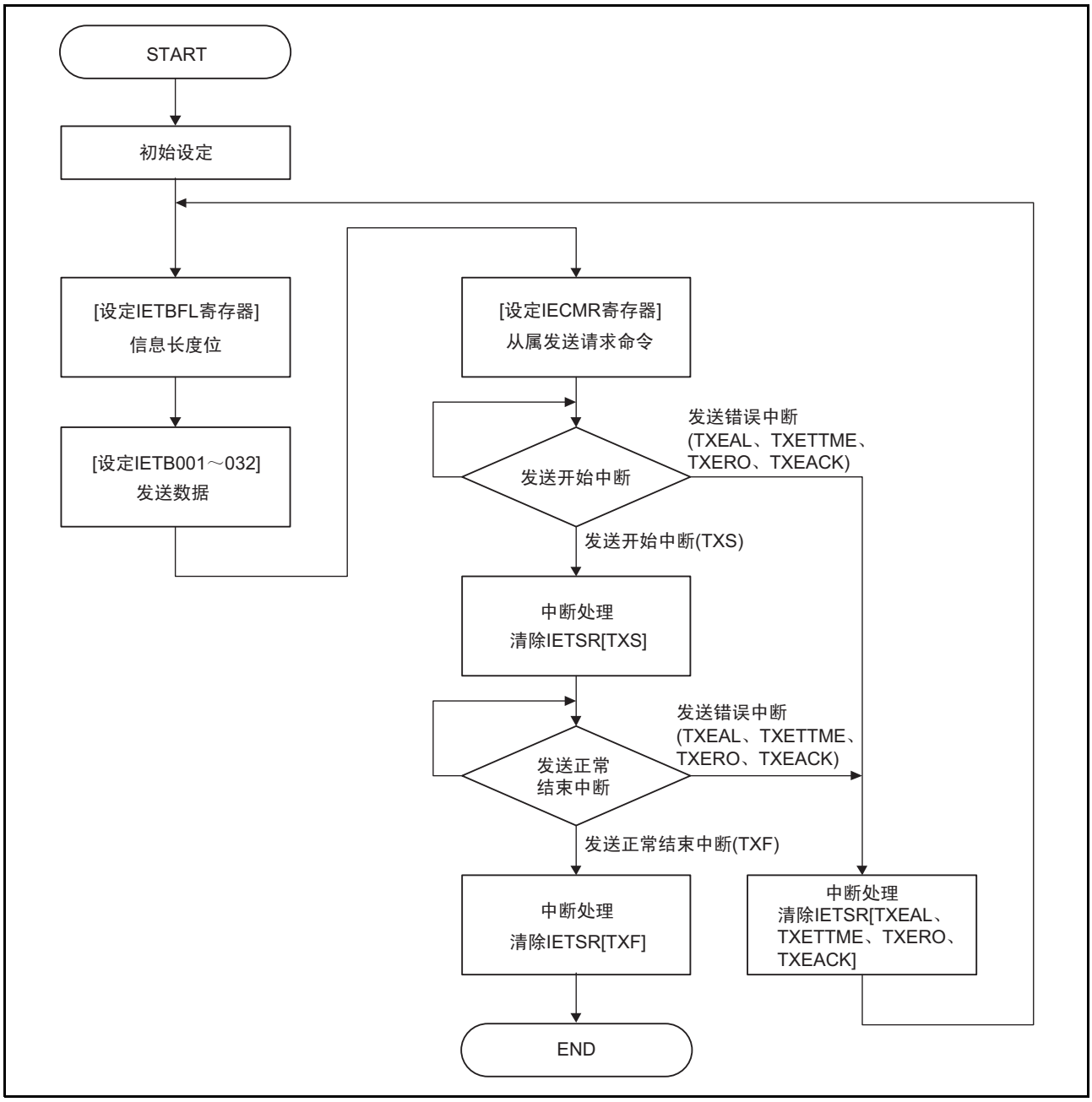


图 35.12 从属发送流程

35.5 运行时序

35.5.1 主控发送

主控发送时序如图 35.13 所示。

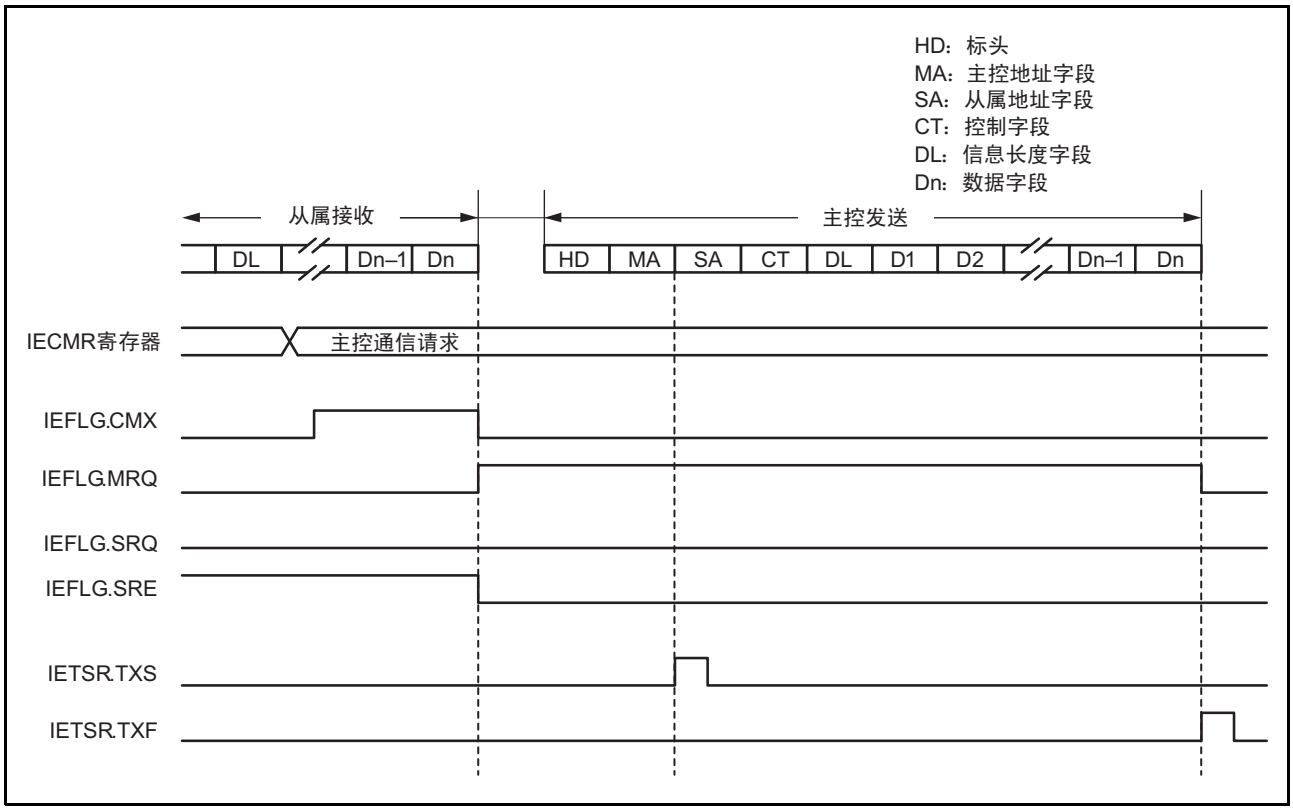


图 35.13 主控发送时序

35.5.2 从属接收

从属接收时序如图 35.14 所示。

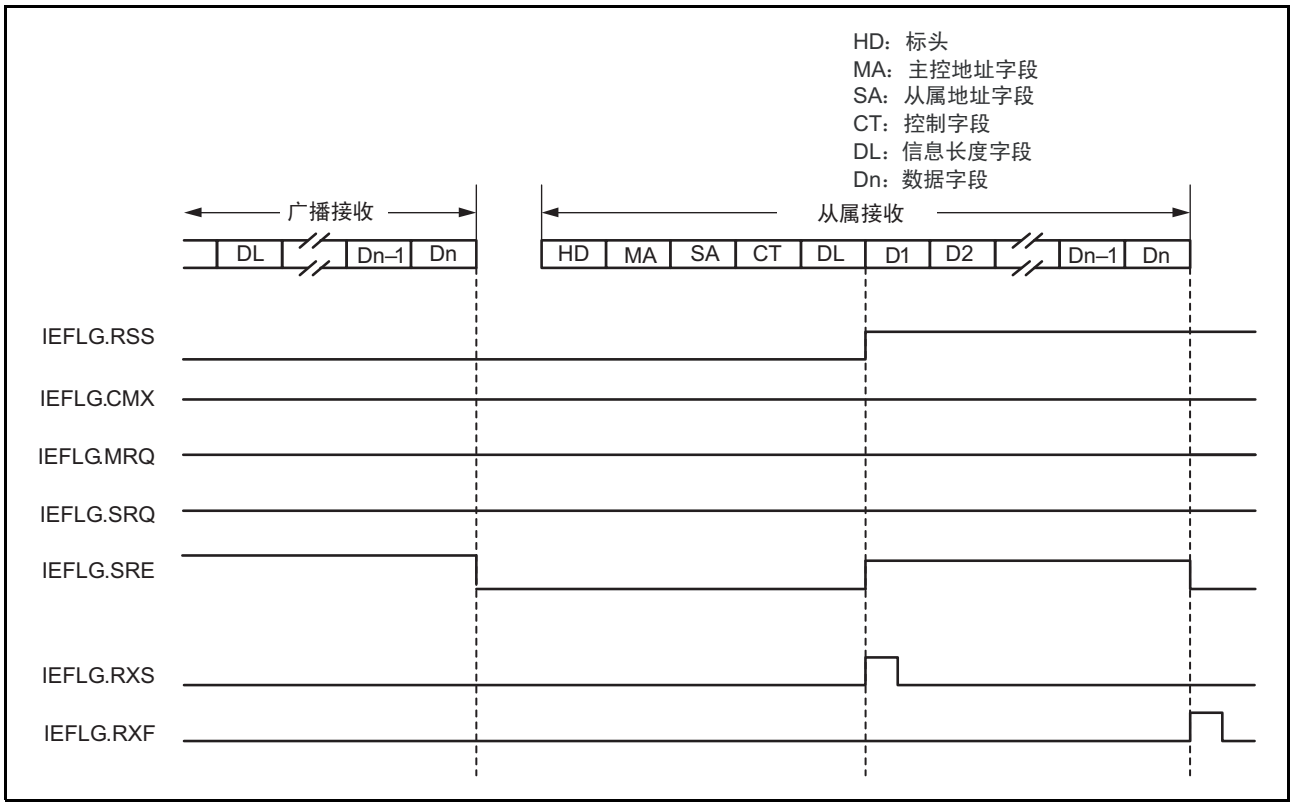


图 35.14 从属接收时序

35.5.3 主控接收

主控接收时序如图 35.15 所示。

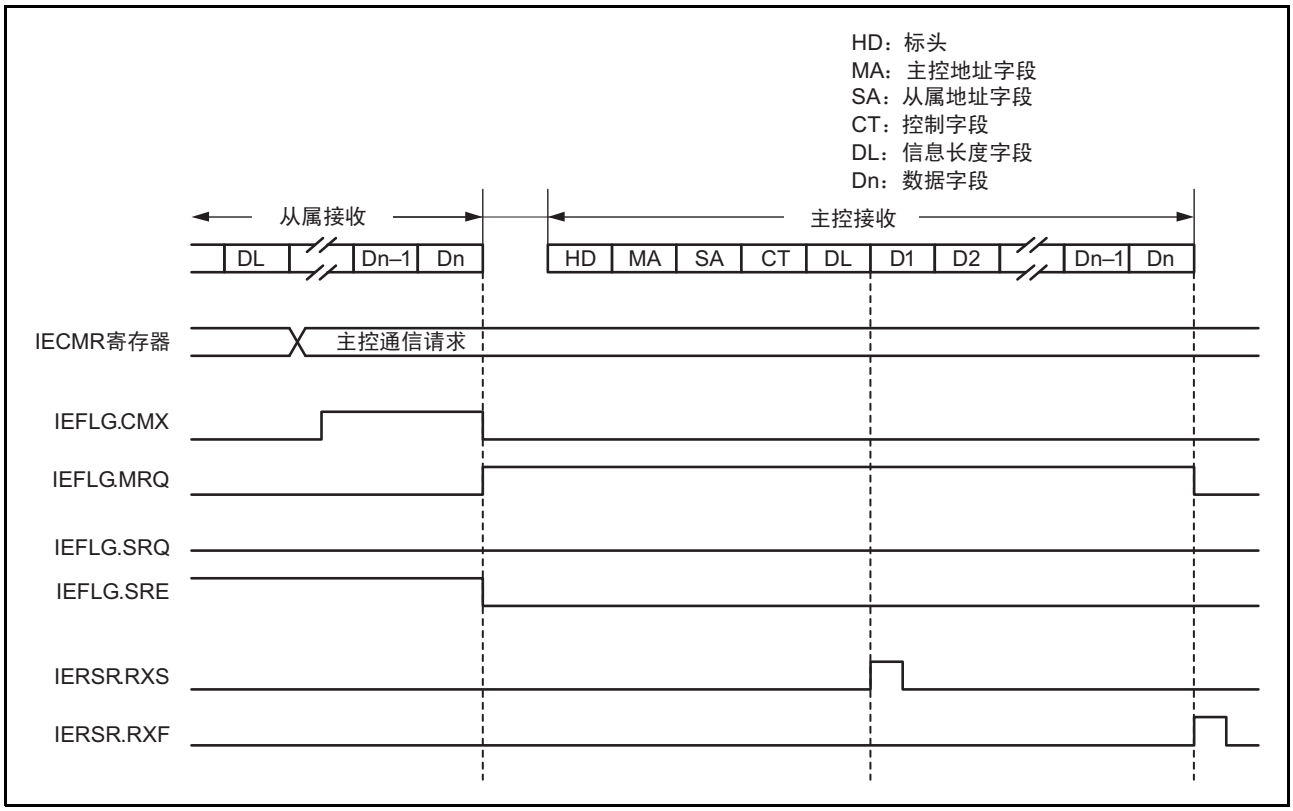


图 35.15 主控接收时序

35.5.4 从属发送

从属发送时序如图 35.16 所示。

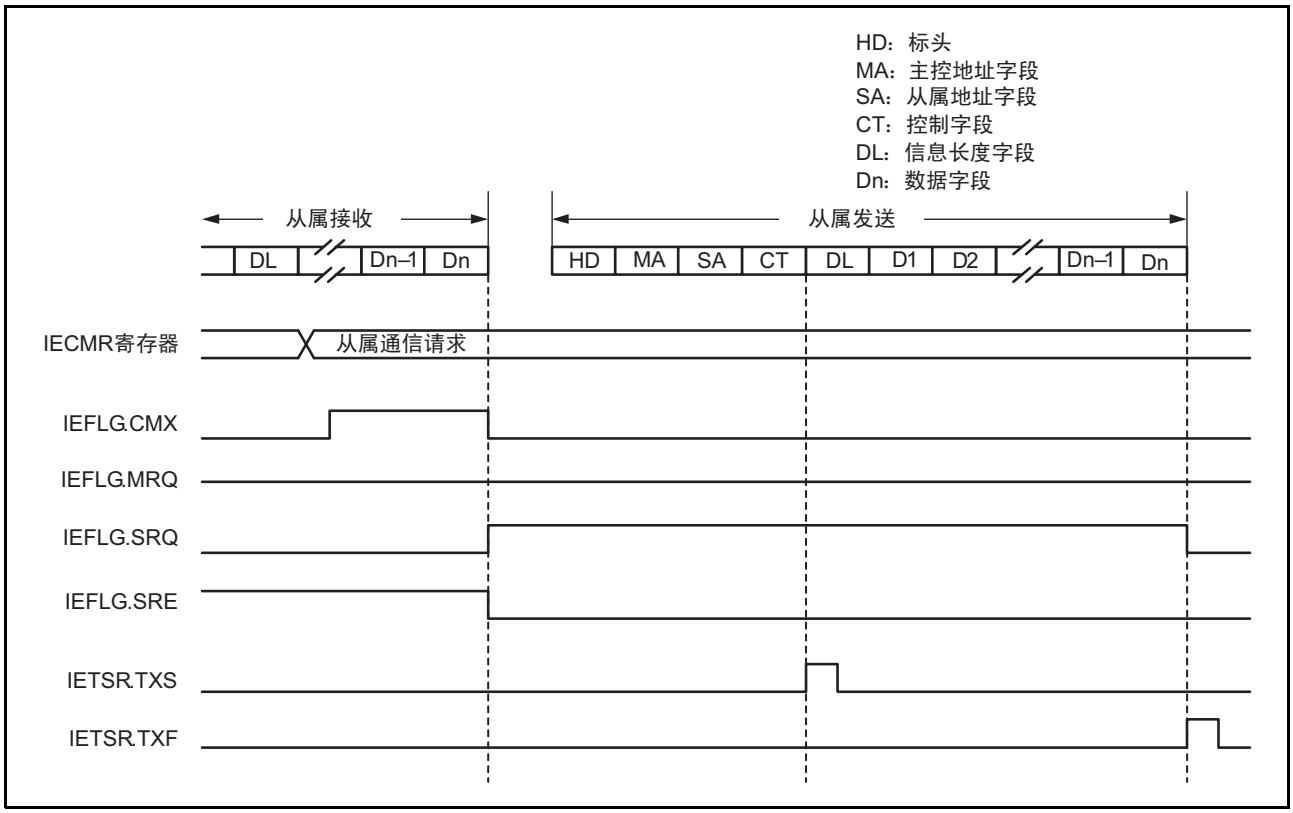


图 35.16 从属发送时序

35.6 中断源

IEB 的中断有发送开始 （TXS）、发送正常结束 （TXF）、仲裁失败 （TXEAL）、发送时序错误 （TXETTME）、发送帧最大传输字节数超过 （TXERO）、应答位 （TXEACK）、接收忙 （RXBSY）、接收开始 （RXS）、接收正常结束 （RXF）、广播接收错误 （RXEDE）、接收溢出标志 （RXEOVE）、接收时序错误 （RXERTME）、接收帧最大传输字节数超过 （RXEDLE）和奇偶校验错误 （RXEPE）的中断。

各中断源有对应 IEBus 发送中断允许寄存器 （IEIET）和 IEBus 接收中断允许寄存器 （IEIER）的位，能设定禁止或者允许中断，并且还有对应 IEBus 发送状态寄存器 （IETSR）和 IEBus 接收状态寄存器 （IERSR）的状态标志，能通过读状态标志来判断中断源。

IEB 中断源的关系如图 35.17 所示。

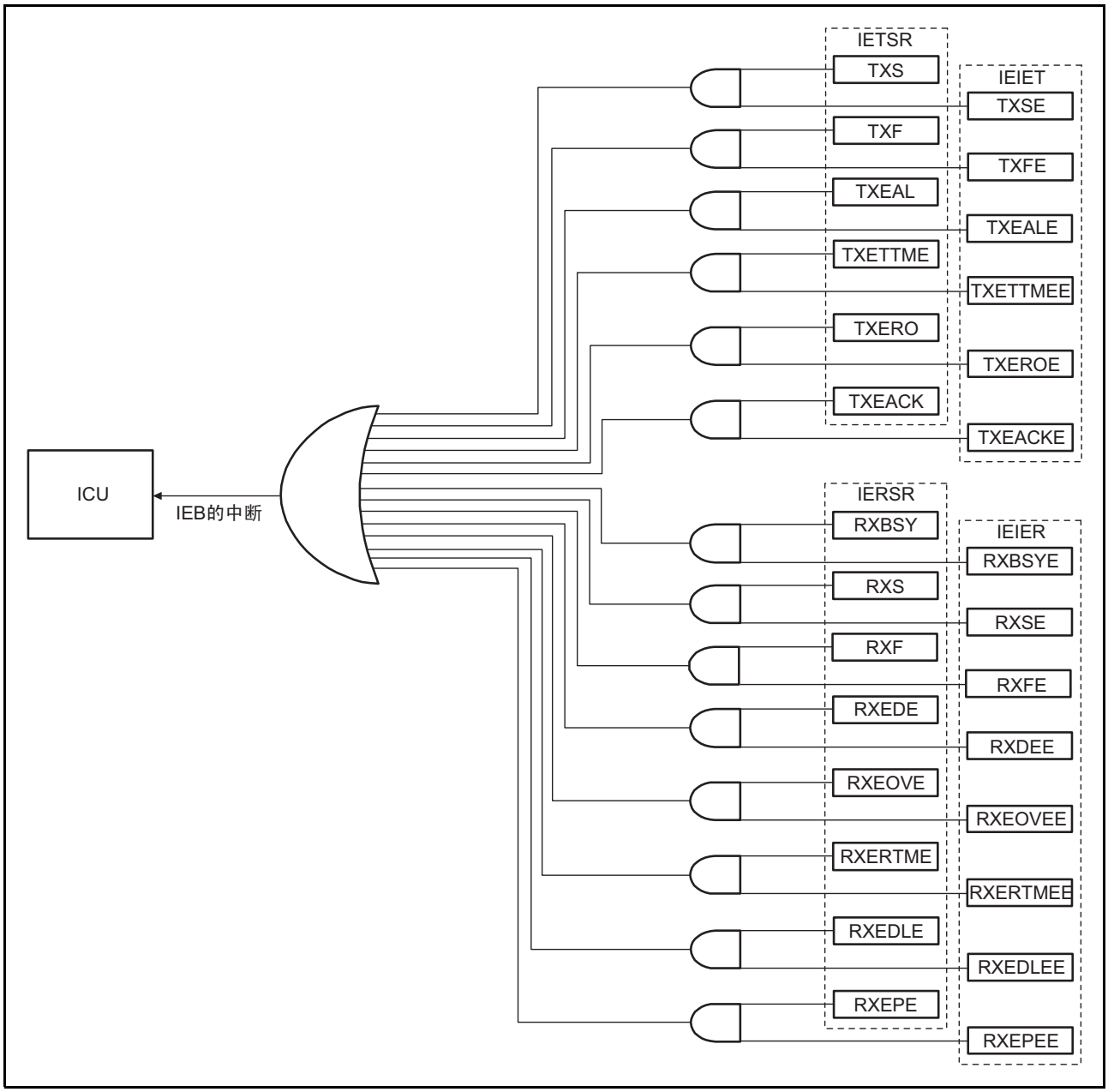


图 35.17 IEB 中断源的关系

35.7 使用时的注意事项

35.7.1 最大传输字节长度内的数据通信没有结束时的注意事项

(1) 数据发送

在发送数据时，如果因从接收单元接收到NAK而进行了通信模式所定最大字节长度的数据发送并且在最大字节长度内数据发送没有结束，就在将 IETSR 寄存器的错误标志置位后进入待机状态。

如果在发送信息长度字节数为止的数据期间发生时序错误，就在将 IETSR.TXETTME 标志置位后进入待机状态。

如果以通信模式所定最大字节数发送的字节数是信息长度值的字节数并且接收到ACK，就不将IETSR.TXERO 标志和 IETSR.TXEACK 标志置位而将 IETSR.TXF 标志置位。如果接收到 NAK，就将 IETSR.TXERO 标志和 IETSR.TXEACK 标志置位。

如果以通信模式所定最大字节数发送的字节数少于信息长度值的字节数并且接收到ACK，就将IETSR.TXERO 标志置位。如果接收到 NAK，就将 IETSR.TXERO 标志和 IETSR.TXEACK 标志置位。

在最大字节长度内数据发送没有结束时的运行时序如图 35.18 所示。

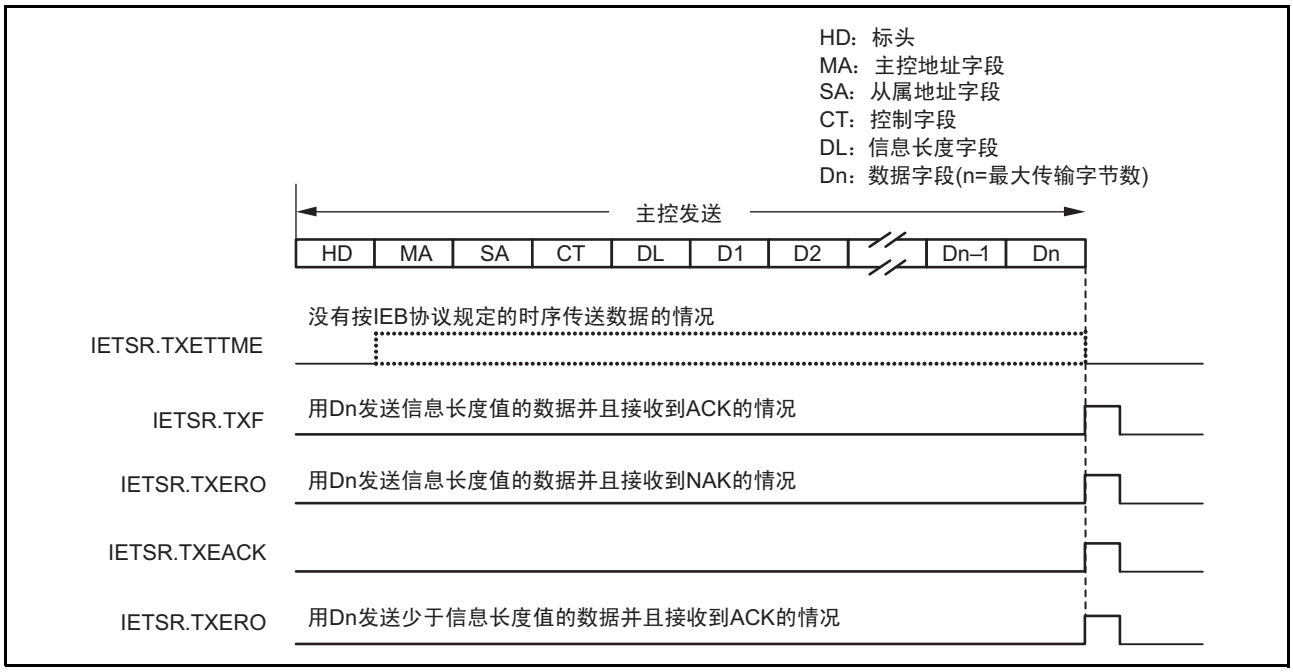


图 35.18 在最大字节长度内数据发送没有结束时的运行时序

(2) 数据接收

在接收数据时，如果因发生奇偶校验错误或者溢出错误而进行接收 （因重新发送），导致在通信模式所定最大字节长度内数据接收没有结束，就在将 IERSR 寄存器的错误标志置位后进入待机状态。

如果在接收信息长度值字节数为止的数据期间发生时序错误，就在将 IERSR.RXERTME 标志置位后进入待机状态。

如果以通信模式所定最大字节数接收的字节数是信息长度值的字节数并且没有发生奇偶校验错误，就不将 IERSR.RXEDLE 标志和 IERSR.RXEPE 标志置位而将 IERSR.RXF 标志置位。如果发生奇偶校验错误，就将 IERSR.RXEDLE 标志和 IERSR.RXEPE 标志置位。

如果以通信模式所定最大字节数接收的字节数少于信息长度值的字节数并且没有发生奇偶校验错误，就将 IERSR.RXEDLE 标志置位；如果发生奇偶校验错误，就将 IERSR.RXEDLE 标志和 IERSR.RXEPE 标志置位。

因为在 IERSR.RXEDLE 标志被置位时没有正常地将数据写到接收缓冲器，所以必须放弃接收数据。

在最大字节长度内数据接收没有结束时的运行时序如图 35.19 所示。

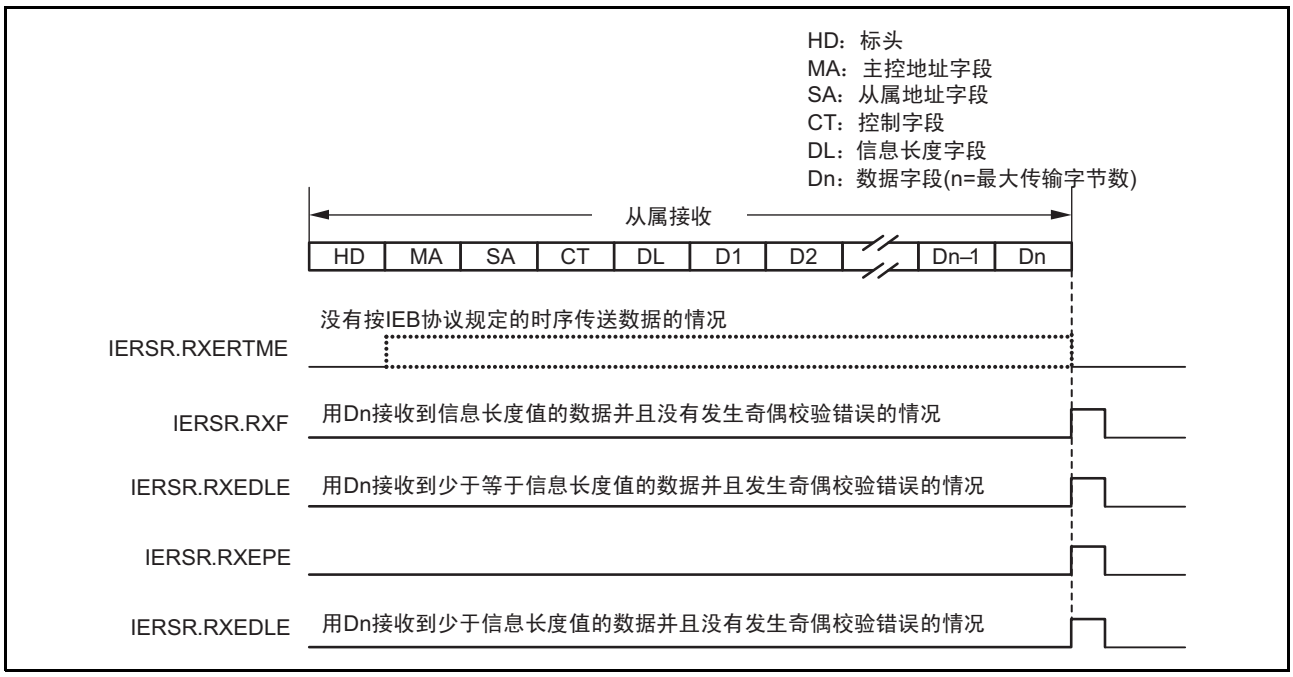


图 35.19 在最大字节长度内数据接收没有结束时的运行时序

35.7.2 设定的信息长度位的值大于最大字节数值时的注意事项

在 RX630 群中，设定的信息长度位的值不能大于 1 帧最大传输字节数的值。

错误设定时的运行如下所示。

(1) 数据发送

在发送数据时，如果给 IEBus 发送信息长度寄存器（IETBFL）设定大于最大传输字节数的值，就在发送第 1 个字节数据后结束发送，并且将 IEBus 发送状态寄存器 （IETSR）的发送帧最大传输字节数超过 （TXERO）标志置位。

发送信息长度的设定值大于最大传输字节数时的运行时序如图 35.20 所示。

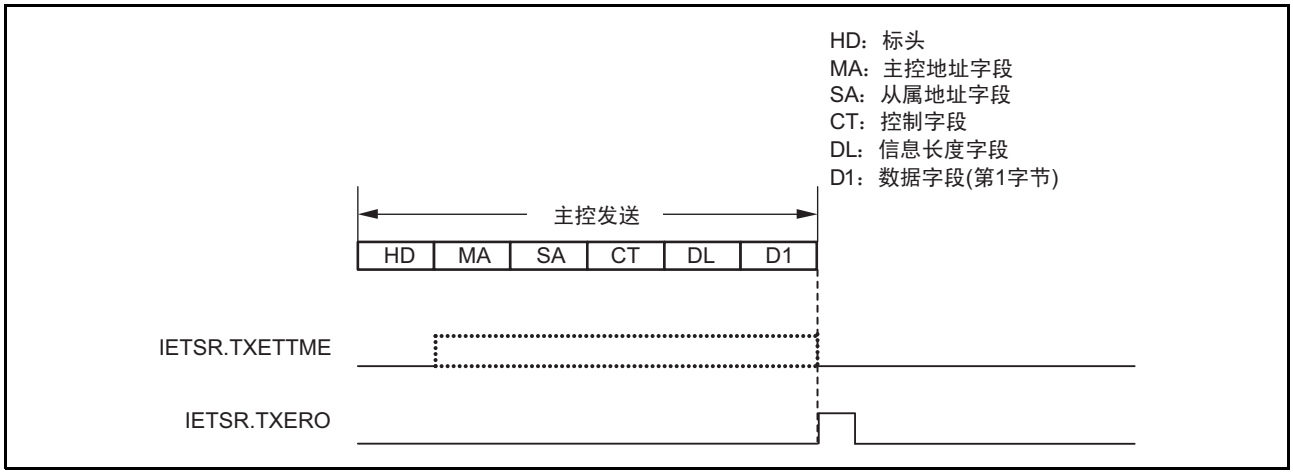


图 35.20 发送信息长度的设定值大于最大传输字节数时的运行时序

(2) 数据接收

在接收数据时，如果给接收信息长度字段设定大于最大传输字节数的值，就在接收第 1 个字节的数据后结束接收，并且将 IEBus 接收状态寄存器 （IERSR）的接收帧最大传输字节数超过 （RXEDLE）标志置位。

因为在 IERSR.RXEDLE 标志被置位时没有正常地将数据写到接收缓冲器，所以必须放弃接收数据。

接收信息长度字段的设定值大于最大传输字节数时的运行时序如图 35.21 所示。

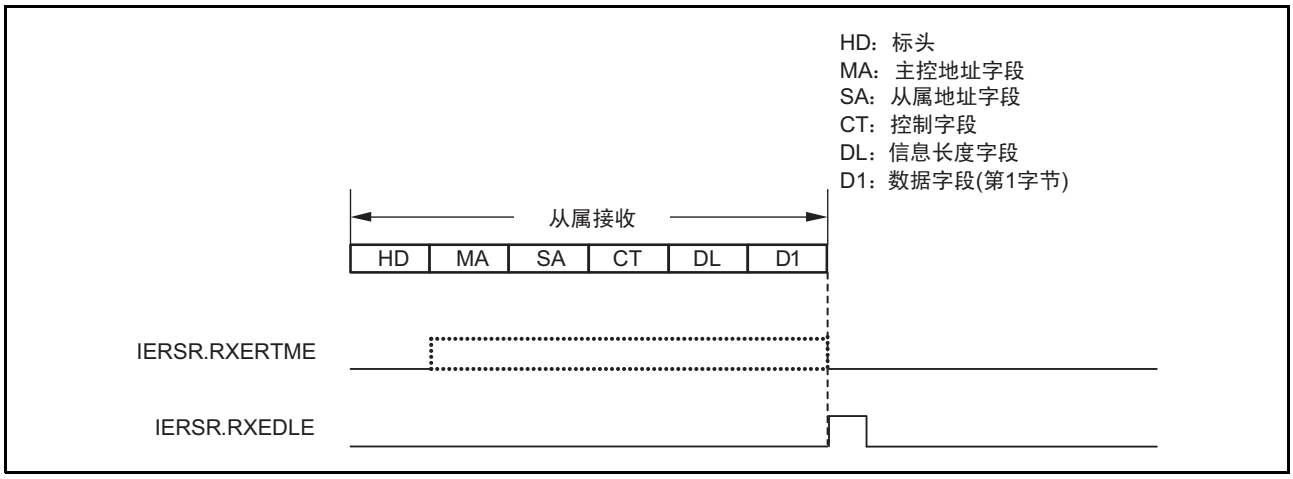


图 35.21 接收信息长度字段的设定值大于最大传输字节数时的运行时序

35.7.3 模块停止功能的设定

能通过模块停止控制寄存器 C （MSTPCRC）设定禁止或者允许 IEB 的运行，初始值为停止 IEB 的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

36. CRC 运算器 （CRC）

CRC （Cyclic Redundancy Check）运算器生成数据块的 CRC 码。

36.1 概要

CRC 运算器的规格和框图分别如表 36.1 和图 36.1 所示。

表 36.1 CRC 运算器的规格

项目	内容
CRC 运算的对象数据 （注 1）	对于 8n 位的数据，生成 CRC 码 （n 为自然数）。
数据块的大小	8 位
CRC 运算的处理方式	并行进行 8 位运算。
CRC 生成多项式	可从 3 个多项式中选择： • 8 位 CRC X^8+X^2+X+1 • 16 位 CRC $X^{16}+X^{15}+X^2+1$ $X^{16}+X^{12}+X^5+1$
CRC 运算的转换	能选择生成 LSB first 通信的 CRC 码或者生成 MSB first 通信的 CRC 码。
低功耗功能	能设定为模块停止状态。

注 1. 没有将运算对象数据分割成数据块的功能。必须以 8 位为单位进行写操作。

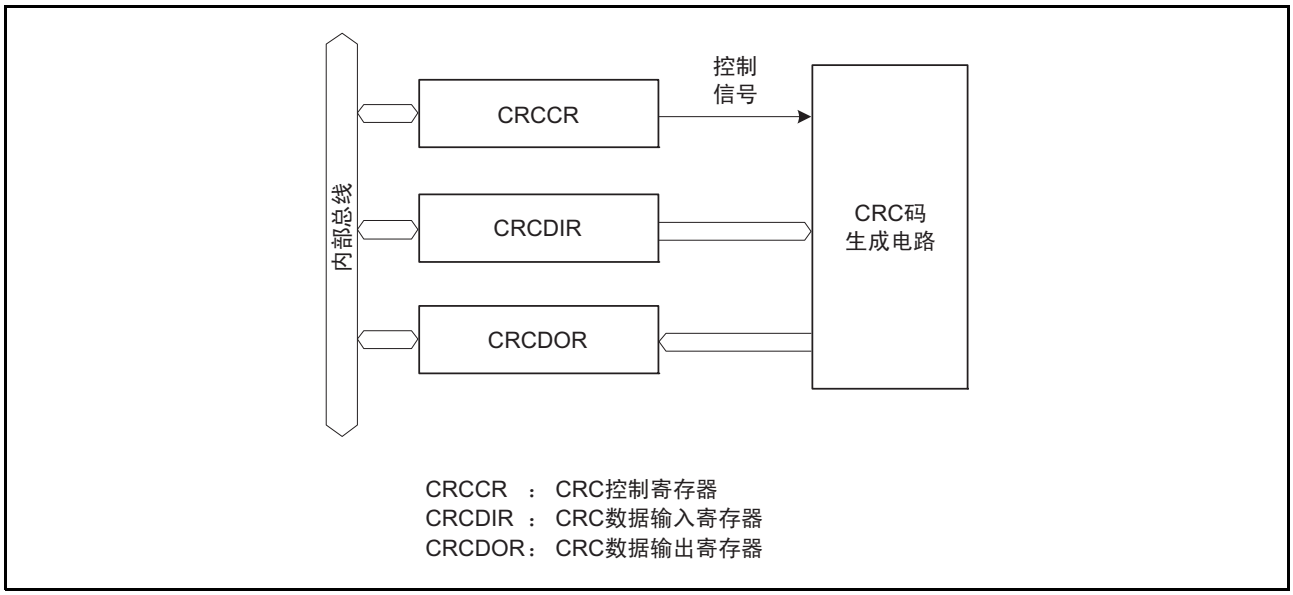
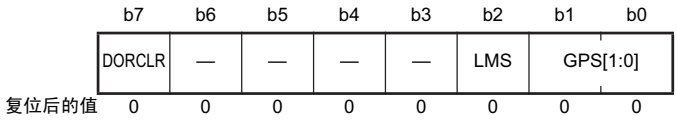


图 36.1 CRC 运算器的框图

36.2 寄存器说明

36.2.1 CRC 控制寄存器 （CRCCR）

地址 0008 8280h



位	符号	位名	功能	R/W
b1-b0	GPS[1:0]	CRC 生成多项式转换位	b1 b0 0 0：不运算 0 1：X^8+X^2+X+1 1 0：$X^{16}+X^{15}+X^2+1$ 1 1：$X^{16}+X^{12}+X^5+1$	R/W
b2	LMS	CRC 运算转换位	0：进行 LSB first 通信时的 CRC 运算 在将 CRCDOR 寄存器的值 （CRC 码）以字节为单位分开发送时，必须先发送低位字节 （b7 ～ b0）。 1：进行 MSB first 通信时的 CRC 运算 在将 CRCDOR 寄存器的值 （CRC 码）以字节为单位分开发送时，必须先发送高位字节 （b15 ～ b8）。	R/W
b6-b3	—	保留位	读写值都为 “0”。	R/W
b7	DORCLR	CRCDOR 寄存器清除位	1：清除 CRCDOR 寄存器 （注 1） 读取值为 “0”。	W

注 1. 只能写 “1”。

DORCLR 位 （CRCDOR 寄存器清除位）

如果将 DORCLR 位置 “1”， CRCDOR 寄存器就变为 “0000h”。

读取值为 “0”，只能写 “1”。

36.2.2 CRC 数据输入寄存器 （CRCDIR）

地址 0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0

CRCDIR 寄存器是用于设定 CRC 运算对象数据块的 8 位可读写寄存器。

36.2.3 CRC 数据输出寄存器 （CRCDOR）

地址 0008 8282h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDOR 寄存器是用于保存运算结果的 16 位可读写寄存器。

在一般情况下，如果在为了检查通信数据而在数据通信之后进行 CRC 码的运算时没有发生错误， CRCDOR 寄存器的值就为 “0”。

如果使用 8 位 CRC （X^8+X^2+X+1 的多项式），低位字节 （b7 ～ b0）就能得到有效的 CRC 码。不更新高位字节 （b15 ～ b8）。

36.3 CRC 运算器的运行说明

CRC 运算器生成用于 LSB first/MSB first 通信的 CRC 码。

假设 CRCCR.GPS[1:0] 位为 “11b”，使用 16 位 CRC （$X^{16}+X^{12}+X^5+1$ 的多项式），生成数据 “F0h” 的 CRC 码的例子如下所示。

如果使用 8 位 CRC （X^8+X^2+X+1 的多项式）， CRCDOR 寄存器的低位字节就能得到有效的 CRC 码。

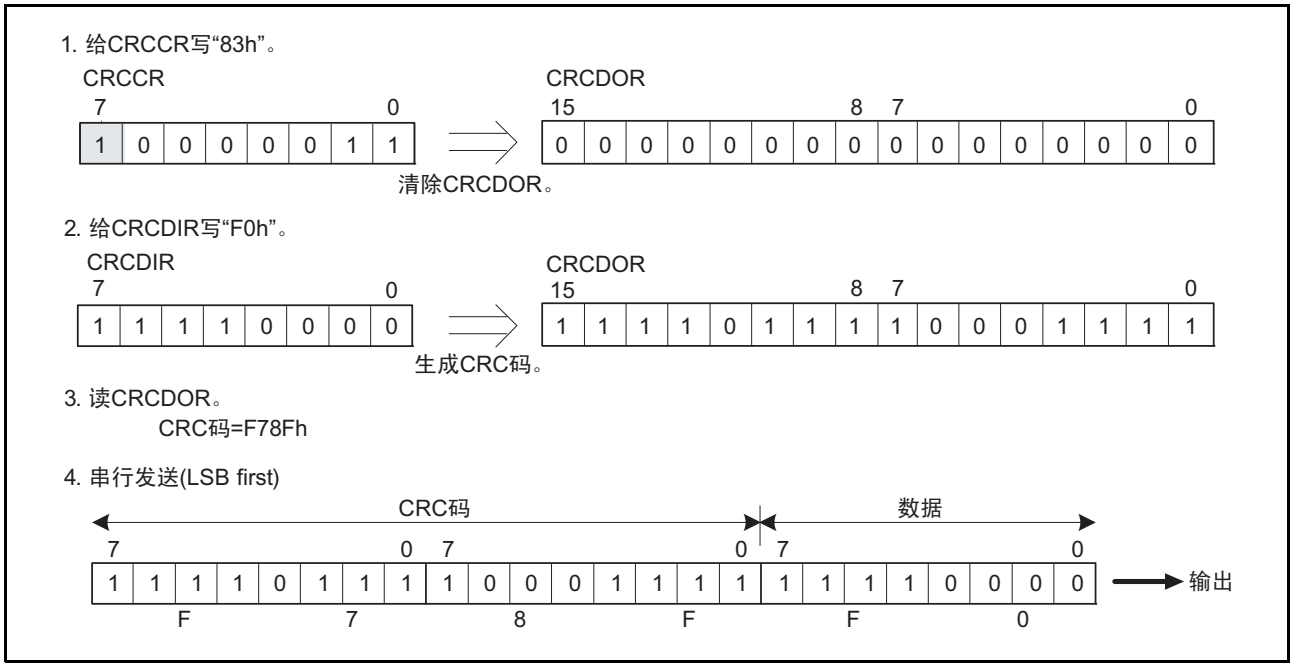


图 36.2 LSB first 的数据发送

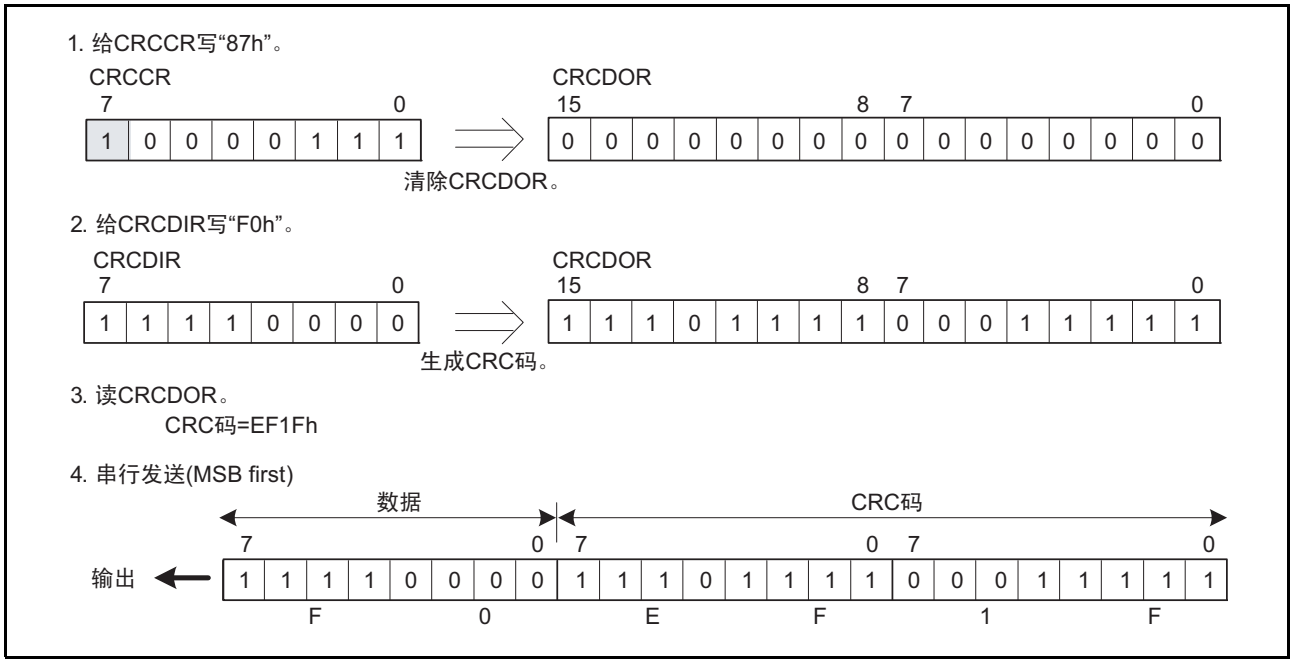


图 36.3 MSB first 的数据发送

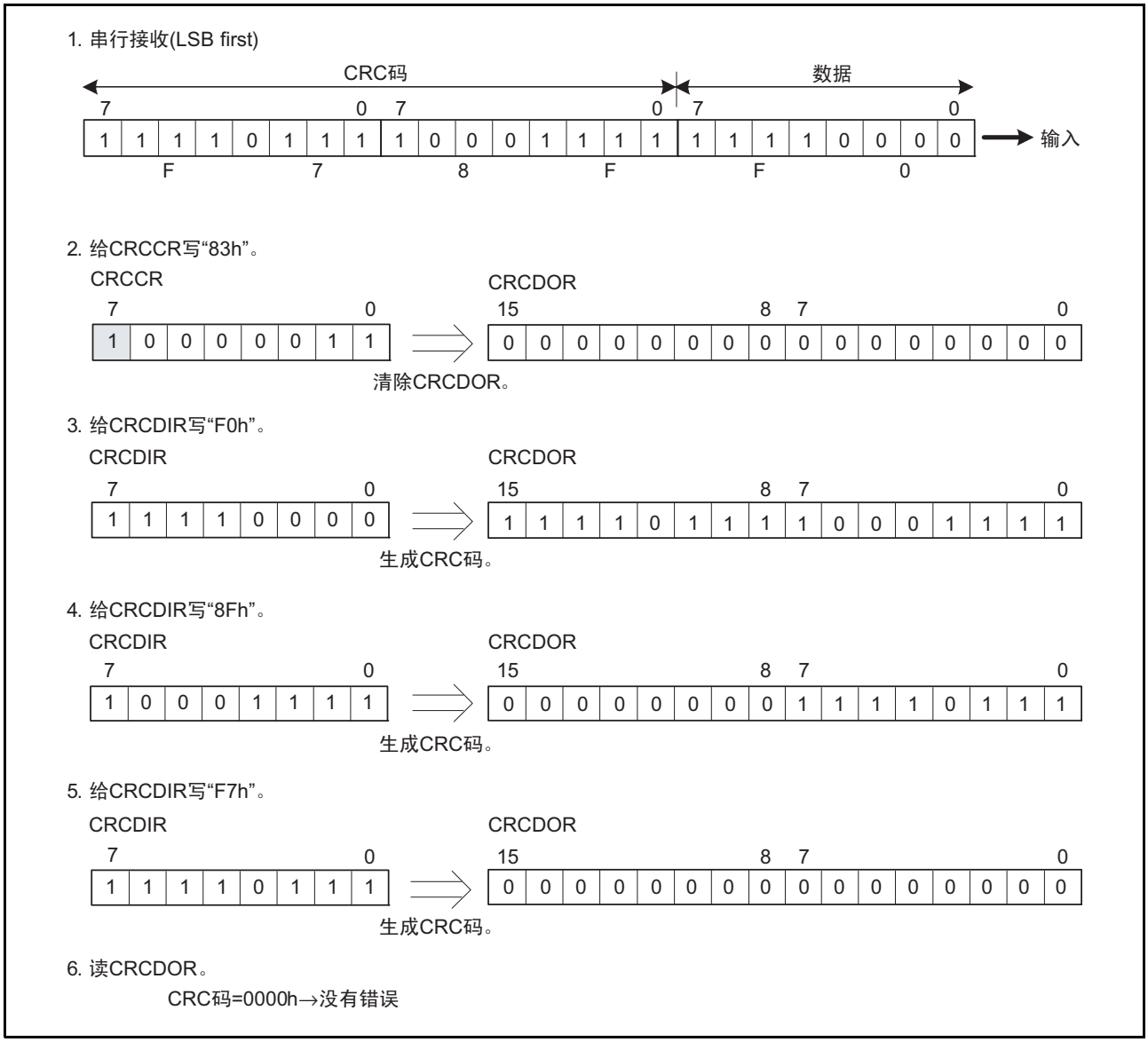


图 36.4 LSB first 的数据接收

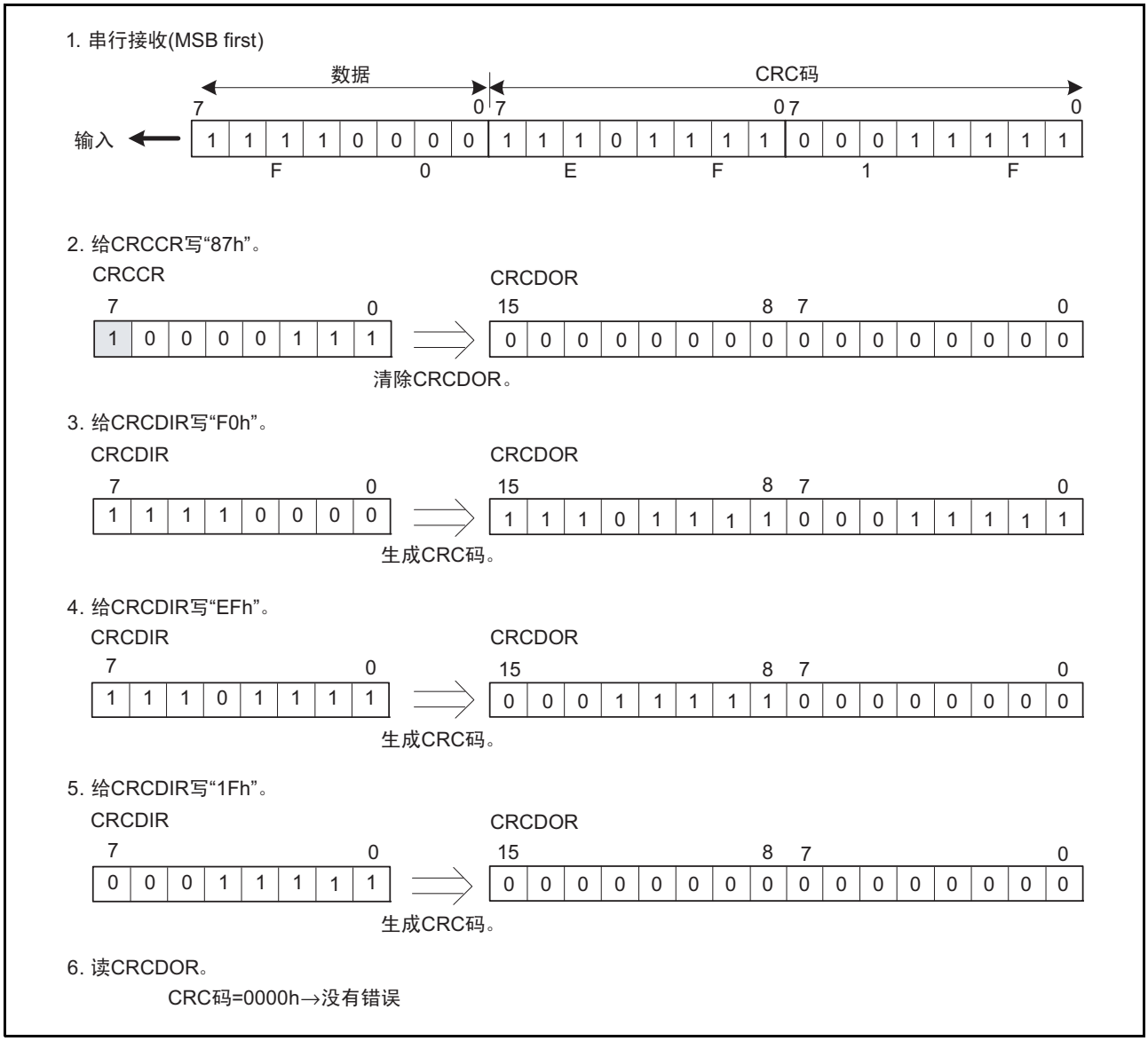


图 36.5 MSB first 的数据接收

36.4 使用时的注意事项

36.4.1 模块待机功能的设定

能通过模块停止控制寄存器 B （MSTPCRB）设定禁止或者允许 CRC 运算器的运行，初始值为停止 CRC 运算器的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

36.5 传送时的注意事项

必须注意：LSB first 发送和 MSB first 发送时的 CRC 码的发送顺序不同。

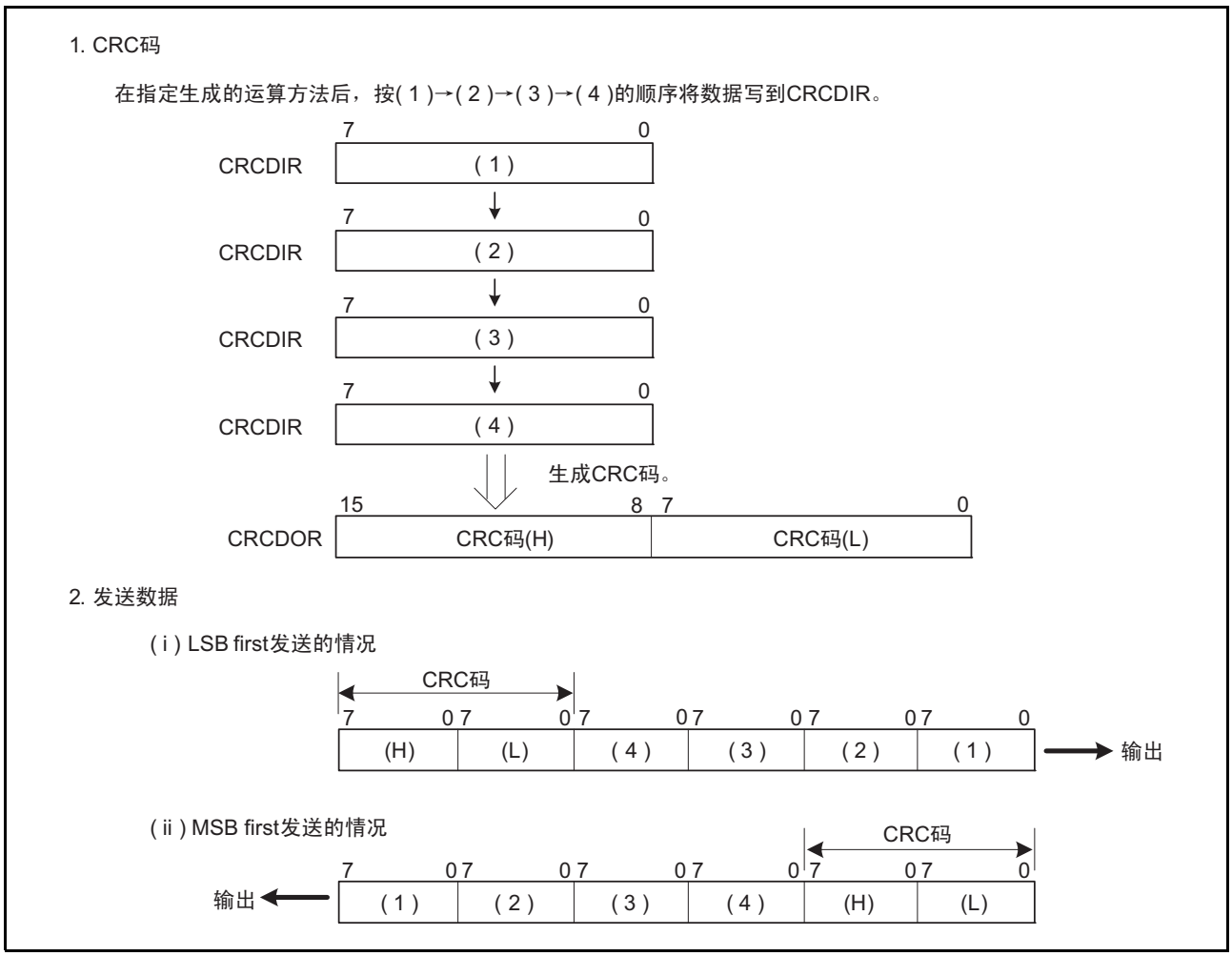


图 36.6 LSB first 和 MSB first 的发送数据

37. 12 位 A/D 转换器 （S12ADa）

37.1 概要

RX630 群内置 1 个单元的逐次逼近方式的 12 位 A/D 转换器，能选择最多 21 个通道的模拟输入、温度传感器输出或者内部基准电压。

A/D 转换器的运行模式有单次扫描模式 （按照从小到大的通道号顺序对任意选择的最多 21 个通道的模拟输入只进行 1 次转换）和连续扫描模式 （按照从小到大的通道号顺序对任意选择的最多 21 个通道的模拟输入进行连续转换）。

温度传感器输出或者内部基准电压分别单独进行 A/D 转换。

12 位 A/D 转换器的规格、功能概要和框图分别如**表 37.1**、**表 37.2** 和**图 37.1** 所示。

表 37.1 12 位 A/D 转换器的规格

项目	内容
单元数	1 个单元
输入通道	最多 21 个通道
扩展模拟输入	温度传感器输出、内部基准电压 （注 3）
A/D 转换方式	逐次逼近方式
分辨率	12 位
转换时间	每个通道 1.0μs （外围模块时钟，以 PCLK=50MHz 进行工作时）
A/D 转换时钟 （ADCLK）	4 种：PCLK、 PCLK/2、 PCLK/4、 PCLK/8
数据寄存器	• 用于模拟输入：21 个 • 用于温度传感器：1 个 • 用于内部基准电压：1 个 • 将 A/D 转换结果保存到 12 位 A/D 数据寄存器。 • 在加法运算模式中，将 A/D 转换结果保存到 14 位 A/D 数据寄存器。
运行模式	• 单次扫描模式： 对任意选择的最多 21 个通道的模拟输入只进行 1 次 A/D 转换。 对温度传感器输出只进行 1 次 A/D 转换。 对内部基准电压只进行 1 次 A/D 转换。 • 连续扫描模式：对任意选择的最多 21 个通道的模拟输入重复进行 A/D 转换 （注 1）。
A/D 转换开始条件	• 软件触发 • 同步触发 MTU、 TPU 或者 TMR 的触发 • 异步触发 能通过 ADTRG0# 引脚开始 A/D 转换。
功能	• 采样 & 保持功能 • 采样状态数可变功能 • A/D 转换值加法运算模式
中断源	• 在 A/D 转换结束时产生扫描结束中断请求 （S12ADI0）。 • 能通过 S12ADI0 中断来启动 DMAC 或者 DTC。
低功耗功能	能设定为模块停止状态 （注 2）。

注 1. 如果选择温度传感器输出或者内部基准电压，就不能使用连续扫描模式。

注 2. 在解除模块停止状态后，必须在等待 10ms 后开始 A/D 转换。

注 3. 有关内部基准电压，请参照 “45. 电特性”。

表 37.2 12 位 A/D 转换器的功能概要

项目			功能 / 内部触发源	
模拟输入通道			AN000 ～ AN020	
A/D 转换开始条件	软件	软件触发	能	
	异步触发	ADTRG0#	能	
	同步触发（MTU、 TMR、TPU）（注 3）	TRG0AN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配
		TRG0BN_0	MTU0.TGRB 和 MTU0.TCNT	
		TRGAN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配
			MTU1.TGRA 和 MTU1.TCNT	
			MTU2.TGRA 和 MTU2.TCNT	
			MTU3.TGRA 和 MTU3.TCNT	
			MTU4.TGRA 和 MTU4.TCNT	
			MTU4.TCNT	互补 PWM 模式中的 TCNT 下溢 （波谷）
		TRGAN_1	TPU0.TGRA	输入捕捉 / 比较匹配
			TPU1.TGRA	
			TPU2.TGRA	
			TPU3.TGRA	
			TPU4.TGRA	
		TRG0EN_0	MTU0.TGRE 和 MTU0.TCNT	比较匹配
		TRG0FN_0	MTU0.TGRF 和 MTU0.TCNT	
		TRG4ABN_0	MTU4.TADCORA 和 MTU4.TCNT 或者 MTU4.TADCORB 和 MTU4.TCNT	使用 A/D 转换开始请求延迟功能的比较匹配
		TRG4ABN_1	TPU0.TGRA	输入捕捉 / 比较匹配
		TMTRG0AN_0	TMR0.TCORA 和 TMR0.TCNT	比较匹配
		TMTRG0AN_1	TMR2.TCORA 和 TMR2.TCNT	
中断			S12ADI0 中断	
模块停止功能的设定（注 1、注 2）			MSTPCRA.MSTPA17 位	

注 1. 在解除模块停止状态后，必须在等待 10ms 后开始 A/D 转换。

注 2. 详细内容请参照 “11. 低功耗功能”。

注 3. 附加在同步触发中的 “_0” 和 “_1” 表示单元号。有关用于输出同步触发的设定，请参照 “21.4.3 A/D 转换器的启动” 和 “25.6.2 A/D 转换器的启动”。

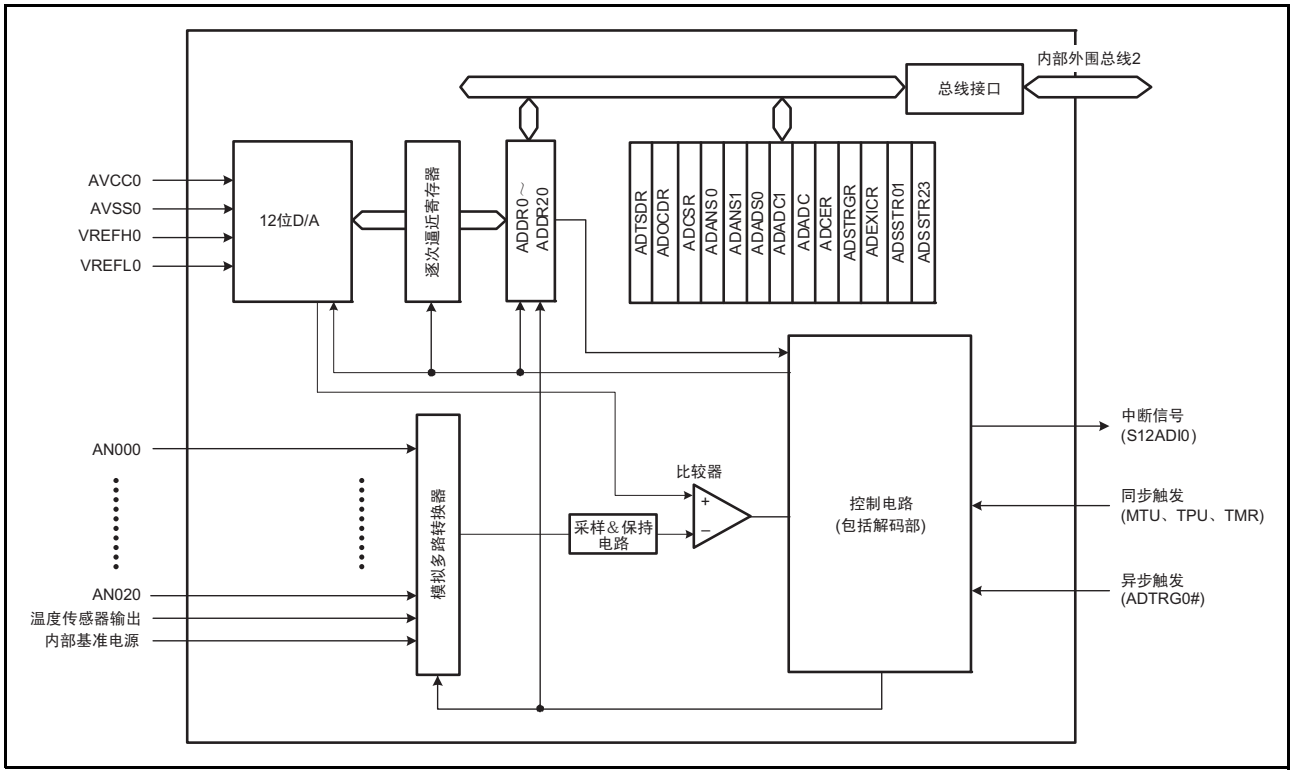


图 37.1 12 位 A/D 转换器的框图

12 位 A/D 转换器使用的输入引脚如表 37.3 所示。

表 37.3 12 位 A/D 转换器的输入引脚

引脚名	输入	功能
AVCC0	输入	12 位 A/D 转换器的模拟电源引脚
AVSS0	输入	12 位 A/D 转换器的接地引脚
VREFH0	输入	12 位 A/D 转换器的基准电源引脚
VREFL0	输入	12 位 A/D 转换器的基准电源接地引脚
AN000 ～ AN020	输入	模拟输入引脚
ADTRG0#	输入	用于开始 A/D 转换的外部触发输入引脚

37.2 寄存器说明

37.2.1 A/D 控制寄存器 （ADCSR）

地址 0008 9000h

	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS	—	ADIE	CKS[1:0]		TRGE	EXTRG
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EXTRG	触发选择位 （注 1）	0：选择通过同步触发 （MTU、 TPU、 TMR）开始 A/D 转换 1：选择通过异步触发 （ADTRG0#）开始 A/D 转换	R/W
b1	TRGE	触发开始允许位	0：禁止通过同步触发、异步触发开始 A/D 转换 1：允许通过同步触发、异步触发开始 A/D 转换	R/W
b3-b2	CKS[1:0]	A/D 转换时钟选择位	b3 b2 0 0：PCLK/8 0 1：PCLK/4 1 0：PCLK/2 1 1：PCLK	R/W
b4	ADIE	扫描结束中断允许位	0：禁止扫描结束后的 S12ADI0 中断 1：允许扫描结束后的 S12ADI0 中断	R/W
b5	—	保留位	读写值都为 “0”。	R/W
b6	ADCS	扫描模式选择位	0：单次扫描模式 1：连续扫描模式	R/W
b7	ADST	A/D 转换开始位	0：停止 A/D 转换 1：开始 A/D 转换	R/W

注 1. 通过外部引脚 （异步触发）开始 A/D 转换的方法：
在给外部引脚（ADTRG0#）输入High电平的状态下，将ADCSR.TRGE位置“1”并且将ADCSR.EXTRG位置“1”。此后，如果使ADTRG0#的信号变为Low电平，就检测到ADTRG0#的下降沿并且开始扫描转换。此时，Low电平输入的脉宽至少需要1.5个PCLK。

CKS[1:0] 位 （A/D 转换时钟选择位）

这些位选择用于 A/D 转换的时钟。

必须在 ADST 位为 “0”时设定 CKS[1:0] 位 （不能在给 ADST 位写 “1”的同时进行设定）。

ADIE 位 （扫描结束中断允许位）

此位允许或者禁止扫描结束中断 （S12ADI0 中断）的发生。

在所选通道的 A/D 转换全部结束后，如果 ADIE 位为 “1”，就产生扫描结束中断。即使选择温度传感器输出或者内部基准电压，只要在 A/D 转换结束时 ADIE 位为 “1”，也产生扫描结束中断。

ADCS 位 （扫描模式选择位）

此位选择扫描转换模式。

在单次扫描模式中，按照从小到大的通道号顺序对 ADANS0 寄存器和 ADANS1 寄存器选择的最多 21 个通道的模拟输入进行 A/D 转换，如果所选通道的转换全部结束，就停止扫描转换。

在连续扫描模式中，在 ADCSR.ADST 位为“1”的期间，按照从小到大的通道号顺序对 ADANS0 寄存器和 ADANS1 寄存器选择的最多 21 个通道的模拟输入进行 A/D 转换，如果所选通道的转换全部结束，就返回到最初的通道继续进行 A/D 转换。如果将 ADCSR.ADST 位置 “0”，就停止 A/D 转换。

如果选择温度传感器输出或者内部基准电压，就选择单次扫描模式，并且在将 ADANS0 寄存器和 ADANS1 寄存器选择的通道全部置为不选择状态后进行 A/D 转换。如果选择的温度传感器输出或者内部基准电压的 A/D 转换结束，就停止 A/D 转换。

必须在 ADST 位为 “0”时设定 ADCS 位 （不能在给 ADST 位写 “1”的同时进行设定）。

扫描模式和能选择的 A/D 转换对象如表 37.4 所示。

表 37.4 扫描模式和能选择的 A/D 转换对象

扫描模式设定	A/D 转换对象		
	模拟输入	温度传感器输出	内部基准电压
单次扫描模式	○	○	○
连续扫描模式	○	×	×

○：能选择、×：不能选择

注 1. 在选择温度传感器输出或者内部基准电压时，不能选择模拟输入。

注 2. 在选择模拟输入时，不能选择温度传感器输出和内部基准电压。

ADST 位 （A/D 转换开始位）

此位控制 A/D 转换的开始或者停止。

必须在将 ADST 位置 “1”前设定 A/D 转换时钟、转换模式和转换对象模拟输入。

[为 “1”的条件]

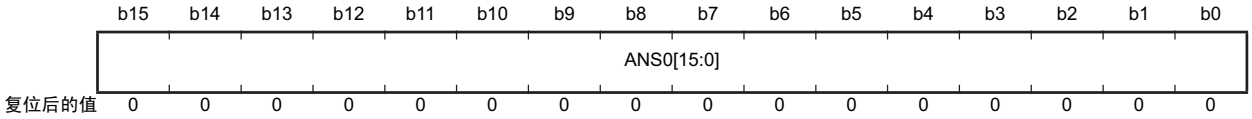
- 当通过软件写 “1”时
- 将ADCSR.EXTRG位置“0”，将ADCSR.TRGE位置“1”并且检测到ADSTRGR.ADSTRS[3:0]位选择的同步触发 （MTU、 TPU、 TMR）时
- 将ADCSR.EXTRG位和ADCSR.TRGE位都置“1”，将ADSTRGR.ADSTRS[3:0]位置“0000b”并且检测到异步触发时

[为 “0”的条件]

- 当通过软件写 “0”时
- 在单次扫描模式中所选通道的A/D转换全部结束时
- 在单次扫描模式中温度传感器输出或者内部基准电压的A/D转换结束时

37.2.2 A/D 通道选择寄存器 0 （ADANS0）

地址 0008 9004h



位	符号	位名	功能	R/W
b15-b0	ANS0[15:0]	A/D 转换通道选择位	0：不将 AN000 ～ AN015 作为转换对象 1：将 AN000 ～ AN015 作为转换对象	R/W

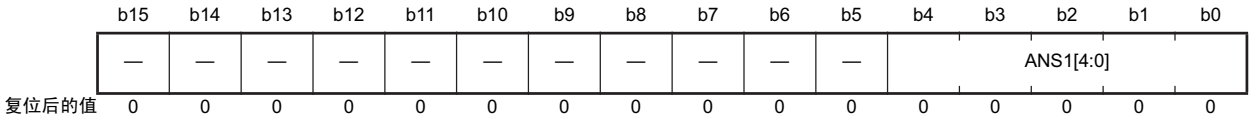
ANS0[15:0] 位 （A/D 转换通道选择位）

这些位选择 A/D 转换通道的模拟输入 AN000 ～ AN015，能任意设定要选择的通道和通道数。 ANS0[0] 对应 AN000， ANS0[15] 对应 AN015。如果对通道的模拟输入进行 A/D 转换，就不能对温度传感器输出和内部基准电压进行 A/D 转换。

必须在 ADCSR.ADST 位为 “0”时设定 ANS0[15:0] 位。

37.2.3 A/D 通道选择寄存器 1 （ADANS1）

地址 0008 9006h



位	符号	位名	功能	R/W
b15-b5	—	保留位	读写值都为 “0”。	R/W
b4-b0	ANS1[4:0]	A/D 转换通道选择位	0：不将 AN016 ～ AN020 作为转换对象 1：将 AN016 ～ AN020 作为转换对象	R/W

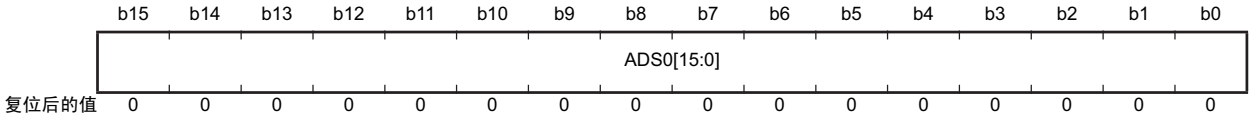
ANS1[4:0] 位 （A/D 转换通道选择位）

这些位选择 A/D 转换通道的模拟输入 AN016 ～ AN020，能任意设定要选择的通道和通道数。 ANS1[0] 对应 AN016，ANS1[4] 对应 AN020。如果对通道的模拟输入进行 A/D 转换，就不能对温度传感器输出和内部基准电压进行 A/D 转换。

必须在 ADCSR.ADST 位为 “0”时设定 ANS1[4:0] 位。

37.2.4 A/D 转换值加法运算模式选择寄存器 0 （ADADS0）

地址 0008 9008h



位	符号	位名	功能	R/W
b15-b0	ADS0[15:0]	AD 转换值加法运算通道选择位	0：不选择 AN000 ～ AN015 的 A/D 转换值加法运算模式 1：选择 AN000 ～ AN015 的 A/D 转换值加法运算模式	R/W

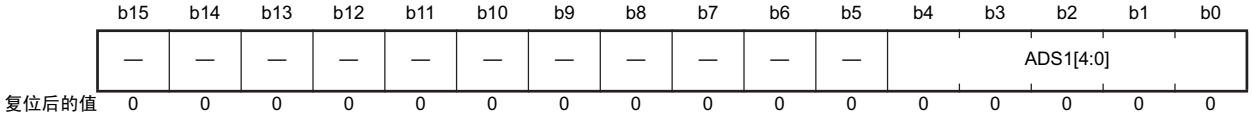
ADS0[15:0] 位 （A/D 转换值加法运算通道选择位）

如果将和 ADANS0.ANS0[n] （n=0 ～ 15）选择的 A/D 转换通道同号的 ADS0[n] 位置 “1”，就对所选通道的模拟输入连续进行 ADADC.ADC[1:0] 位所设次数 （2 ～ 4 次）的 A/D 转换，并且将加法运算 （累加运算）的值返回到 A/D 数据寄存器。在加法运算模式中通常对不选择的 A/D 转换通道进行 1 次转换，然后将值返回到 A/D 数据寄存器。

必须在 ADCSR.ADST 位为 “0”时设定 ADS0[15:0] 位。

37.2.5 A/D 转换值加法运算模式选择寄存器 1 （ADADS1）

地址 0008 900Ah



位	符号	位名	功能	R/W
b15-b5	—	保留位	读写值都为 “0”。	R/W
b4-b0	ADS1[4:0]	AD 转换值加法运算通道选择位	0：不选择 AN016 ～ AN020 的 A/D 转换值加法运算模式 1：选择 AN016 ～ AN020 的 A/D 转换值加法运算模式	R/W

ADS1[4:0] 位 （A/D 转换值加法运算通道选择位）

如果将通道号和 ADANS1.ANS1[n] （n=0 ～ 4）选择的 A/D 转换通道相同的 ADS1[n] 位置 “1”，就对所选通道的模拟输入连续进行 ADADC.ADC[1:0] 位所设次数 （2 ～ 4 次）的 A/D 转换，并且将加法运算 （累加运算）值返回到 A/D 数据寄存器。通常，对不选择加法运算模式的 A/D 转换通道进行 1 次转换，然后将值返回到 A/D 数据寄存器。

必须在 ADCSR.ADST 位为 “0”时设定 ADS1[4:0] 位。

将 ADS0[2] 位和 ADS0[6] 位置 “1” 后的扫描运行顺序如图 37.2 所示。

在连续扫描模式 （ADCSR.ADCS=1）中，设定 4 次 （ADADC.ADC[1:0]=11b）加法运算，将 AN000 ～ AN007 作为被选择的对象 （ADANS0.ANS0[15:0]=00FFh）。从 AN000 开始转换，对 AN002 连续进行 4 次转换，然后将加法运算 （累加运算）的值返回到 A/D 数据寄存器 2。此后，开始 AN003 的转换，对 AN006 连续进行 4 次转换，然后将加法运算（累加运算）的值返回到 A/D 数据寄存器 6。在转换 AN007 后，按照同样的顺序重新从 AN000 开始转换。

不选择加法运算模式的通道的 A/D 数据寄存器格式取决于 ADCER.ADRFMT 位（往右靠紧 / 往左靠紧）的设定。

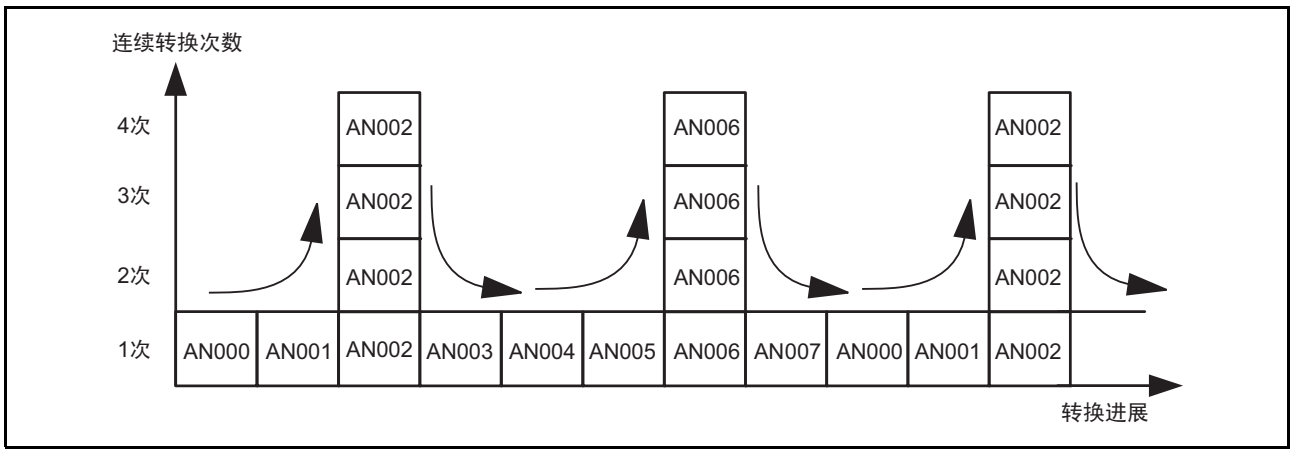


图 37.2 选择 ADADC.ADC[1:0] 为 “11b” 并且 ADS0[2] 和 ADS0[6] 都为 “1” 时的扫描转换顺序

37.2.6 A/D 转换值加法运算次数选择寄存器 （ADADC）

地址 0008 900Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ADC[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	ADC[1:0]	加法运算次数选择位	b1 b0 0 0：转换 1 次 （没有加法运算，和一般转换一样） 0 1：转换 2 次 （进行 1 次加法运算） 1 0：转换 3 次 （进行 2 次加法运算） 1 1：转换 4 次 （进行 3 次加法运算）	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

ADC[1:0] 位 （加法运算次数选择位）

给选择 A/D 转换和加法运算模式的通道、温度传感器输出和内部基准电压的 A/D 转换设定共用的加法运算次数。必须在 ADCSR.ADST 位为 “0” 时设定 ADC[1:0] 位。

37.2.7 A/D 控制扩展寄存器 （ADCER）

地址 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	—	—	—	—	—	—	ACE	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为 “0”。	R/W
b5	ACE	自动清除允许位	0：禁止自动清除 1：允许自动清除	R/W
b14-b6	—	保留位	读写值都为 “0”。	R/W
b15	ADRFMT	A/D 数据寄存器格式选择位	0：将 A/D 数据寄存器的格式设定为往右靠紧 1：将 A/D 数据寄存器的格式设定为往左靠紧	R/W

ACE 位 （自动清除允许位）

此位选择是否在通过 CPU、DTC 或者 DMAC 读 ADDRy 寄存器后自动清除对应的寄存器（All“0”）。能通过自动清除检测到 ADDRy 寄存器未更新的故障。

不自动清除 A/D 温度传感器的数据寄存器 （ADTSDR）和 A/D 内部基准电压数据寄存器 （ADOCDR）。

ADRFMT 位 （A/D 数据寄存器格式选择位）

此位选择 ADDRy 寄存器、 A/D 温度传感器的数据寄存器 （ADTSDR）和 A/D 内部基准电压数据寄存器（ADOCDR）保存的数据是往右靠紧还是往左靠紧。

在选择了 A/D 转换值加法运算模式时，各数据寄存器的格式与 ADRFMT 位的设定无关，固定为往左靠紧。

有关数据寄存器格式的详细内容，请参照“37.2.12 A/D 数据寄存器 y（ADDRy）（y=0 ～ 20）”、“37.2.10 A/D 温度传感器的数据寄存器 （ADTSDR）”和 “37.2.11 A/D 内部基准电压的数据寄存器 （ADOCDR）”。

37.2.8 A/D 开始触发选择寄存器 （ADSTRGR）

地址 0008 9010h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ADSTRS[3:0]			
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	ADSTRS[3:0]	A/D 转换开始触发选择位	选择外围模块的 A/D 转换开始源。	R/W
b7-b4	—	保留位	读写值都为 “0”。	R/W

ADSTRS[3:0] 位 （A/D 转换开始触发选择位）

这些位选择 A/D 转换开始触发。 A/D 转换开始源选择一览表如表 37.5 所示。

- 在使用同步触发（MTU、TPU、TMR）时，必须将ADCSR.TRGE位置“1”并且将ADCSR.EXTRG位置“0”。
- 在使用异步触发（ADTRG0#）时，必须将ADCSR.TRGE位置“1”并且将ADCSR.EXTRG位置“1”。
- 软件触发（ADCSR.ADST）与ADCSR.TRGE位、ADCSR.EXTRG位和ADSTRS[3:0]的设定值无关，总是有效。

表 37.5 A/D 转换开始源选择一览表

选择源	ADSTRS[3]	ADSTRS[2]	ADSTRS[1]	ADSTRS[0]	备注
软件触发	—	—	—	—	
异步触发	0	0	0	0	
TRG0AN_0	0	0	0	1	MTU0.TGRA 和 MTU0.TCNT
TRG0BN_0	0	0	1	0	MTU0.TGRB 和 MTU0.TCNT
TRGAN_0	0	0	1	1	MTUn.TGRA 和 MTUn.TCNT （n=0 ～ 4）
TRGAN_1	0	1	0	0	TPUn.TGRA （n=0 ～ 4）
TRG0EN_0	0	1	0	1	MTU0.TGRE 和 MTU0.TCNT
TRG0FN_0	0	1	1	0	MTU0.TGRF 和 MTU0.TCNT
TRG04ABN_0	0	1	1	1	MTU4.TADCORA 和 MTU4.TCNT 或者 MTU4.TADCORB 和 MTU4.TCNT
TRG04ABN_1	1	0	0	0	TPU0.TGRA
TMTRG0AN_0	1	0	0	1	TMR0.TCORA 和 TMR0.TCNT
TMTRG0AN_1	1	0	1	0	TMR2.TCORA 和 TMR2.TCNT

37.2.9 A/D 转换扩展输入控制寄存器 （ADEXICR）

地址 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCS	TSS	—	—	—	—	—	—	OCSAD	TSSAD
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TSSAD	温度传感器输出 A/D 转换值加法运算模式选择位	0：不选择温度传感器输出 A/D 转换值加法运算模式 1：选择温度传感器输出 A/D 转换值加法运算模式	R/W
b2	OCSAD	内部基准电压 A/D 转换值加法运算模式选择位	0：不选择内部基准电压 A/D 转换值加法运算模式 1：选择内部基准电压 A/D 转换值加法运算模式	R/W
b7-b3	—	保留位	读写值都为 “0”。	R/W
b8	TSS	温度传感器输出 A/D 转换选择位	0：不对温度传感器输出进行 A/D 转换 1：对温度传感器输出进行 A/D 转换	R/W
b9	OCS	内部基准电压 A/D 转换选择位	0：不对内部基准电压进行 A/D 转换 1：对内部基准电压进行 A/D 转换	R/W
b15-b10	—	保留位	读写值都为 “0”。	R/W

TSSAD 位 （温度传感器输出 A/D 转换值加法运算模式选择位）

此位选择温度传感器输出的 A/D 转换。如果将 TSSAD 位置 “1”，就对温度传感器输出连续进行 ADADC.ADC[1:0] 位所设次数 （2 ～ 4 次）的 A/D 转换，然后将累加运算的值返回到 A/D 温度传感器的数据寄存器 （ADTSDR）。

必须在 ADCSR.ADST 位为 “0”时设定 TSSAD 位。

OCSAD 位 （内部基准电压 A/D 转换值加法运算模式选择位）

如果选择内部基准电压的 A/D 转换，并且将 OCSAD 位置 “1”，就对内部基准电压连续进行 ADADC.ADC[1:0] 位所设次数 （2 ～ 4 次）的 A/D 转换，然后将累加运算的值返回到 A/D 内部基准电压数据寄存器 （ADOCDR）。必须在 ADCSR.ADST 位为 “0”时设定 OCSAD 位。

TSS 位 （温度传感器输出 A/D 转换选择位）

此位选择温度传感器输出的 A/D 转换。在进行温度传感器输出的 A/D 转换时，必须将 ADANS0 寄存器和 ADANS1 寄存器的全部位以及 OCS 位置 “0”。另外，不能选择连续扫描模式 （ADCSR.ADCS=1）。必须在 ADCSR.ADST 位为 “0”时设定 TSS 位。

OCS 位 （内部基准电压 A/D 转换选择位）

此位选择内部基准电压的A/D转换。在进行内部基准电压的A/D转换时，必须将ADANS0寄存器和ADANS1寄存器的全部位以及 TSS 位置“0”。另外，不能选择连续扫描模式（ADCSR.ADCS=1）。必须在 ADST 位为“0”时设定 OCS 位。

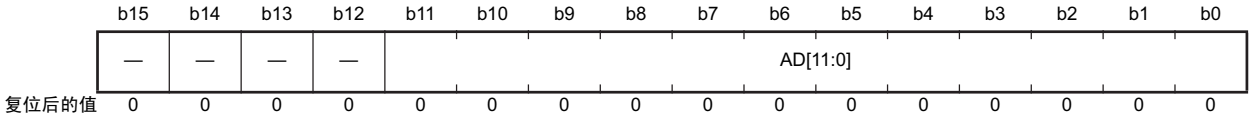
37.2.10 A/D 温度传感器的数据寄存器 （ADTSDR）

ADTSDR 寄存器是保存温度传感器输出的 A/D 转换结果的 16 位只读寄存器。

根据 A/D 数据寄存器格式选择位 （ADCER.ADRFMT）和 A/D 转换值加法运算模式的设定， ADTSDR 寄存器的格式如下所示。

- ADCER.ADRFMT为 “0”（设定为往右靠紧的格式）

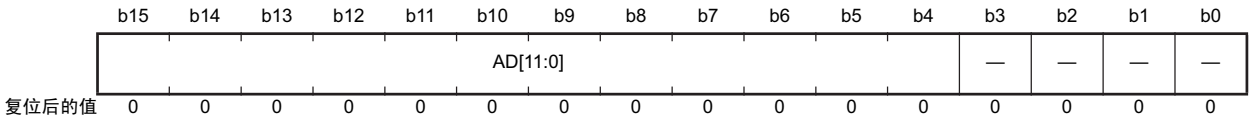
地址 0008 901Ah



位	符号	位名	功能	R/W
b11-b0	AD[11:0]	—	12 位 A/D 转换值	R
b15-b12	—	保留位	读写值都为 “0”。	R/W

- ADCER.ADRFMT为 “1”（设定为往左靠紧的格式）

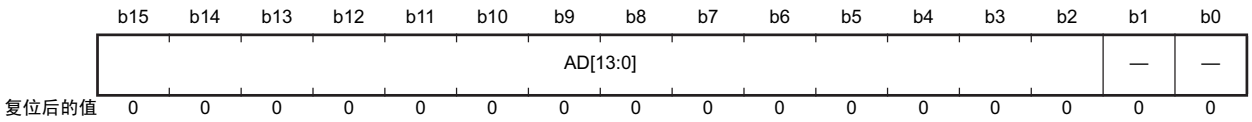
地址 0008 901Ah



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b15-b4	AD[11:0]	—	12 位 A/D 转换值	R

- 选择A/D转换值加法运算模式的情况

地址 0008 901Ah



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为 “0”。	R/W
b15-b2	AD[13:0]	—	14 位 A/D 转换值的加法运算结果	R

如果设定为 A/D 转换值加法运算模式， ADTSDR.AD[13:0] 位就表示对温度传感器输出的 A/D 转换值进行加法运算后的值，而且 ADCER.ADRFMT 位的设定无效，为往左靠紧的格式。

37.2.11 A/D 内部基准电压的数据寄存器 （ADOCDR）

ADOCDR 寄存器是保存内部基准电压的 A/D 转换结果的 16 位只读寄存器。

根据 A/D 数据寄存器格式选择位 （ADCER.ADRFMT）和 A/D 转换值加法运算模式的设定， ADOCDR 寄存器的格式如下所示。

- ADCER.ADRFMT为 “0”（设定为往右靠紧的格式）

地址 0008 901Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AD[11:0]											
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b11-b0	AD[11:0]	—	12 位 A/D 转换值	R
b15-b12	—	保留位	读写值都为 “0”。	R/W

- ADCER.ADRFMT为 “1”（设定为往左靠紧的格式）

地址 0008 901Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[11:0]												—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b15-b4	AD[11:0]	—	12 位 A/D 转换值	R

- 选择A/D转换值加法运算模式的情况

地址 0008 901Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[13:0]														—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为 “0”。	R/W
b15-b2	AD[13:0]	—	14 位 A/D 转换值的加法运算结果	R

如果设定为 A/D 转换值加法运算模式， ADOCDR.AD[13:0] 位就表示对内部基准电压的 A/D 转换值进行加法运算后的值，而且 ADCER.ADRFMT 位的设定无效，为往左靠紧的格式。

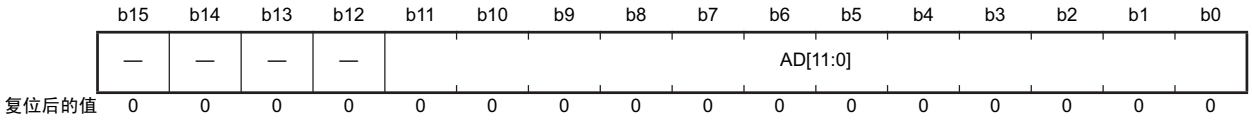
37.2.12 A/D 数据寄存器 y （ADDRy）（y=0 ～ 20）

ADDRy 寄存器是保存通道模拟输入 （AN000 ～ AN020）的 A/D 转换结果的 16 位只读寄存器。

根据 A/D 数据寄存器格式选择位 （ADCER.ADRFMT）和 A/D 转换值加法运算模式的设定， ADDRy 寄存器的格式如下所示。

- ADCER.ADRFMT 为 “0”（设定为往右靠紧的格式）

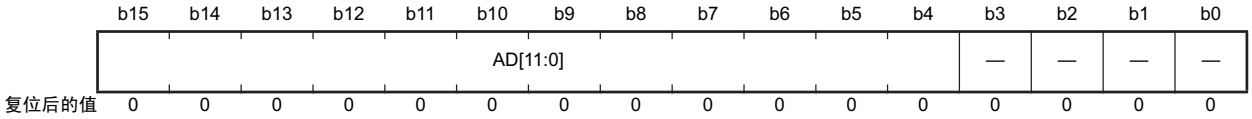
地址 0008 9020h～0008 9048h



位	符号	位名	功能	R/W
b11-b0	AD[11:0]	—	12 位 A/D 转换值	R
b15-b12	—	保留位	读写值都为 “0”。	R/W

- ADCER.ADRFMT 为 “1”（设定为往左靠紧的格式）

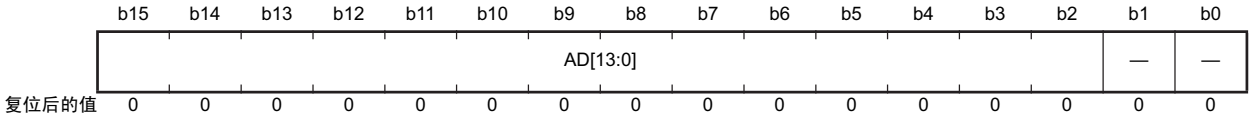
地址 0008 9020h～0008 9048h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b15-b4	AD[11:0]	—	12 位 A/D 转换值	R

- 选择 A/D 转换值加法运算模式的情况

地址 0008 9020h～0008 9048h



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为 “0”。	R/W
b15-b2	AD[13:0]	—	14 位 A/D 转换值的加法运算结果	R

如果设定为 A/D 转换值加法运算模式， ADDRy.AD[13:0] 位就表示对同一通道的 A/D 转换值进行加法运算后的值，而且 ADCER.ADRFMT 位的设定无效，为往左靠紧的格式。

对于选择 A/D 转换值加法运算模式的通道，最小值和最大值如下所示：

转换 1 次时：0000h ≤ ADDRy （y=0 ～ 20）≤ 3FFCh

ADDRy （y=0 ～ 20）：bit15、 bit14=00b、 bit13 ～ bit2=AD[11:0]、 bit1、 bit0=00b

转换 2 次时：0000h ≤ ADDRy （y=0 ～ 20）≤ 7FF8h

ADDRy （y=0 ～ 20）：bit15=0、 bit14 ～ bit2=AD[12:0]、 bit1、 bit0=00b

转换 3 次时：0000h ≤ ADDRy （y=0 ～ 20）≤ BFF4h

ADDRy （y=0 ～ 20）：bit15 ～ bit2=AD[13:0]、 bit1、 bit0=00b

转换 4 次时：0000h ≤ ADDRy （y=0 ～ 20）≤ FFF0h

ADDRy （y=0 ～ 20）：bit15 ～ bit2=AD[13:0]、 bit1、 bit0=00b

37.2.13 A/D 采样状态寄存器 01 （ADSSTR01）

地址 0008 9060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SST1[7:0]							
复位后的值	0	0	0	1	0	1	0	0	0	0	0	1	0	1	0	0

位	符号	位名	功能	R/W
b7-b0	SST1[7:0]	采样时间 1 设定位	以 10 ～ 255 个状态为单位，设定采样时间。	R/W
b15-b8	—	保留位	读写值都为 “00010100b”。	R/W

SST1[7:0] 位 （采样时间 1 设定位）

这些位设定所选通道的模拟输入的采样时间。

如果 1 个状态为 1 个 ADCLK （A/D 转换时钟）的宽度并且 ADCLK 为 50MHz， 1 个状态就为 20ns，初始值为 20 个状态。能在模拟输入信号源阻抗高而采样时间不够或者 ADCLK 为低速的情况下调整采样时间。必须在 ADCSR.ADST 位为 “0” 时设定 SST1[7:0] 位。

必须将采样时间的设定值设定为大于等于 10 个状态并且小于等于 255 个状态的值。另外，必须将采样时间设定为大于等于 0.4μs。

37.2.14 A/D 采样状态寄存器 23 （ADSSTR23）

地址 0008 9070h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SST2[7:0]								—	—	—	—	—	—	—	—
复位后的值	0	0	0	1	0	1	0	0	0	0	0	1	0	1	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为 “00010100b”。	R/W
b15-b8	SST2[7:0]	采样时间 2 设定位	以 10 ～ 255 个状态为单位，设定采样时间。	R/W

SST2[7:0] 位 （采样时间 2 设定位）

这些位设定温度传感器输出的采样时间。如果 1 个状态为 1 个 ADCLK（A/D 转换时钟）的宽度并且 ADCLK 为 50MHz，1 个状态就为 20ns，初始值为 20 个状态。能在模拟输入信号源阻抗高而采样时间不够或者 ADCLK 为低速的情况下调整采样时间。必须在 ADCSR.ADST 位为 “0”时设定 SST2[7:0] 位。

必须将采样时间的设定值设定为大于等于 10 个状态并且小于等于 255 个状态的值。另外，必须将采样时间设定为大于等于 0.4μs。

37.3 运行说明

37.3.1 扫描的运行说明

扫描是指依次对指定通道的模拟输入进行 A/D 转换。

扫描转换的运行模式有单次扫描模式和连续扫描模式。

单次扫描模式是指在对指定的至少 1 个通道进行 1 次扫描后结束的模式。连续扫描模式是指对指定的至少 1 个通道无限制地重复进行扫描，直到通过软件将 ADCSR.ADST 位置 “0”为止。

两种模式都按照 ADANS0 寄存器和 ADANS1 寄存器所选 ANn 的 n 从小到大的顺序进行 A/D 转换。

当选择温度传感器输出或者内部基准电压时，在单次扫描模式中进行 A/D 转换。此运行和在单次扫描模式中只选择 1 个通道的扫描运行相同。

37.3.2 单次扫描模式

37.3.2.1 基本运行

单次扫描模式的基本运行对指定通道的模拟输入只进行 1 个周期的 A/D 转换，如下所示。在对所选通道进行扫描的情况下，温度传感器输出 A/D 转换选择位 （ADEXICR.TSS）和内部基准电压 A/D 转换选择位（ADEXICR.OCS）都被置 “0”（不选择）。

1. 如果通过软件、同步触发（MTU、TPU、TMR）或者异步触发输入将ADCSR.ADST位置“1”（开始A/D转换），就按照ADANS0寄存器和ADANS1寄存器所选ANn的n从小到大的顺序开始A/D转换。
2. 如果1个通道的A/D转换结束，就将A/D转换结果保存到对应的A/D数据寄存器 （ADDRy）。
3. 在所选通道的A/D转换全部结束后，如果ADCSR.ADIE位已被置“1”（允许由扫描结束引起的S12ADI0中断），就产生S12ADI0中断请求。
4. ADST位在A/D转换过程中保持“1”（开始A/D转换），一旦所选通道的A/D转换全部结束就自动清除，并且12位A/D转换器进入待机状态。

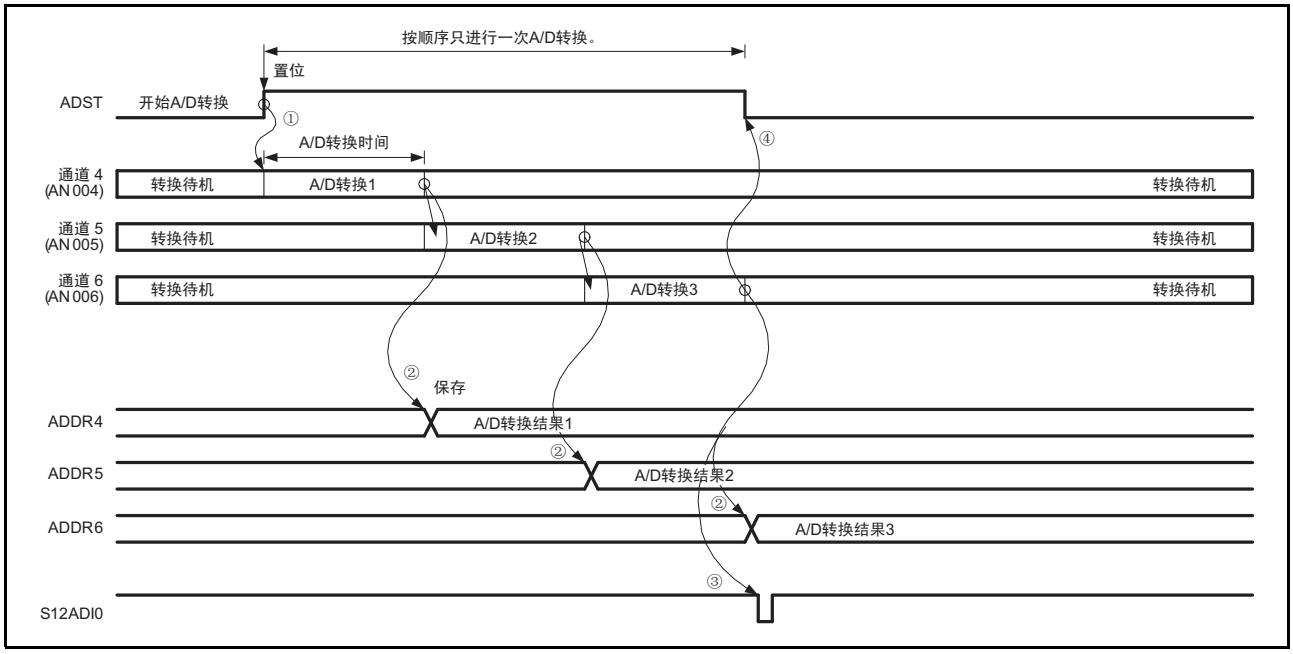


图 37.3 单次扫描模式的运行例子 （基本运行：选择 AN004 ～ AN006）

37.3.2.2 选择温度传感器输出 / 内部基准电压时的 A/D 转换运行

如果选择了温度传感器输出或者内部基准电压，就在单次扫描模式中进行 A/D 转换，其运行如下所示。

将所选通道全部设定为不选择（ADANS0.ANS0[15:0]、ADANS1.ANS1[4:0] 为全“0”）。当选择温度传感器 A/D 转换时，必须将内部基准电压 A/D 转换选择位 （ADEXICR.OCS）置“0”（不选择）；当选择内部基准电压 A/D 转换时，必须将温度传感器 A/D 转换选择位 （ADEXICR.TSS）置 “0”（不选择）。

1. 如果通过软件、同步触发（MTU、TPU、TMR）或者异步触发输入将ADCSR.ADST位置“1”（开始A/D转换），就开始温度传感器输出或者内部基准电压的A/D转换。
2. 如果A/D转换结束，就将A/D转换结果保存到对应的A/D温度传感器的数据寄存器 （ADTSDR）或者A/D内部基准电压数据寄存器（ADOCDR）。如果ADCSR.ADIE位已被置“1”（允许由扫描结束引起的S12ADI0中断），就产生S12ADI0中断请求。
3. ADCSR.ADST位在A/D转换过程中保持 “1”（开始A/D转换），一旦A/D转换结束就自动清除，并且12位A/D转换器进入待机状态。



图 37.4 单次扫描模式的运行例子 （选择温度传感器输出）

37.3.3 连续扫描模式

37.3.3.1 基本运行

连续扫描模式的基本运行对所选通道的模拟输入重复进行 A/D 转换，如下所示。

在连续扫描模式中，温度传感器输出 A/D 转换选择位 （ADEXICR.TSS）和内部基准电压 A/D 转换选择位（ADEXICR.OCS）都被置 “0”（不选择）。

1. 如果通过软件、同步触发（MTU、TPU、TMR）或者异步触发输入将ADCSR.ADST位置“1”（开始A/D转换），就按照ADANS0寄存器和ADANS1寄存器所选ANn的n从小到大的顺序开始A/D转换。
2. 如果1个通道的A/D转换结束，就将A/D转换结果保存到对应的A/D数据寄存器 （ADDRy）。
3. 在所选通道的A/D转换全部结束后，如果ADCSR.ADIE位已被置“1”（允许由扫描结束引起的S12ADI0中断），就产生S12ADI0中断请求。
   12位A/D转换器继续按照ADANS0寄存器和ADANS1寄存器所选ANn的n从小到大的顺序开始A/D转换。
4. 不自动清除 ADCSR.ADST 位，而在此位为 “1”（开始 A/D 转换）的期间重复步骤 2 ～ 3。如果将ADCSR.ADST位置 “0”（停止A/D转换），就中止A/D转换并且12位A/D转换器进入待机状态。
5. 此后，如果将 ADCSR.ADST 位置 “1”（开始 A/D 转换），就按照 ADANS0 寄存器和 ADANS1 寄存器所选ANn的n从小到大的顺序重新开始A/D转换。

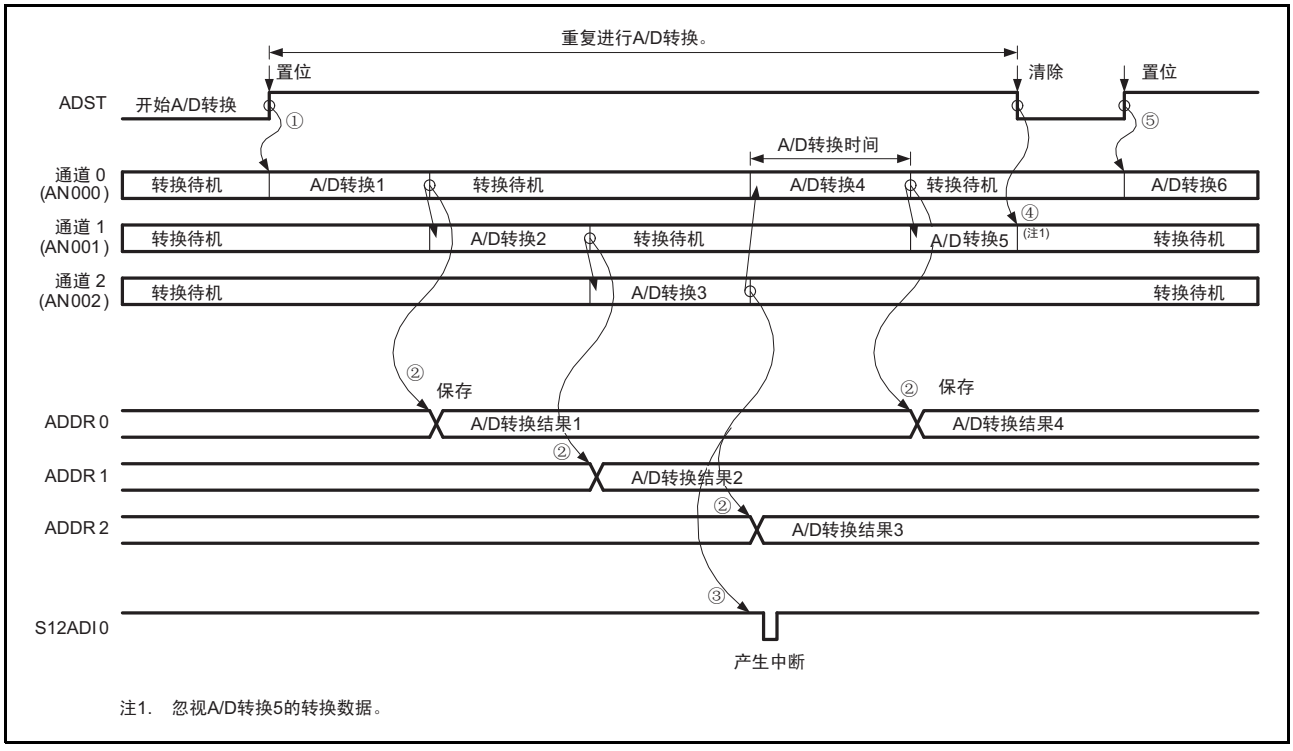


图 37.5 连续扫描模式的运行例子 （基本运行：选择 AN000 ～ AN002）

37.3.4 模拟输入的扫描时间

扫描时间取决于表 37.6 所示的处理所需的时间 （表 37.7）。

表 37.6 扫描过程中的处理

处理	处理内容
扫描开始处理	通过软件触发、同步触发或者异步触发进行的开始处理
模拟输入 A/D 转换处理 （注 1）	12 位 A/D 转换器的采样保持和逐次逼近处理
扫描结束处理	A/D 转换数据保存和 S12ADI0 中断输出处理

注 1. 处理时间因 A/D 采样状态寄存器 01 （ADSSTR01）和 A/D 采样状态寄存器 23 （ADSSTR23）的采样状态数的设定 （SST1[7:0] 位、 SST2[7:0] 位）而不同。

表 37.7 扫描过程中分别需要的时间 （用 ADCLK 和 PCLK 的周期数表示）

项目	符号	种类 / 条件	周期
扫描开始处理时间	t_D	同步触发 （MTU、 TPU、 TMR）、软件触发	2 个 PCLK+3 个 ADCLK （注 1）
		异步触发 （ADTRG0#）	4 个 PCLK+3 个 ADCLK （注 1）
A/D 转换处理时间	t_{CONV}	ADSSTR23.SST2[7:0] （注 2） 初始设定值 14h	50 个 ADCLK
扫描结束处理时间	t_{ED}	（注 3）	1 个 PCLK+2 个 ADCLK

注 1. 2 个 PCLK 和 4 个 PCLK 是写寄存器的时间和触发处理的时间。 3 个 ADCLK 是从 ADCSR.ADST 位的置位开始到 12 位 A/D 转换器开始运行为止的最长时间。

注 2. ADSSTRxx.SSTy[7:0] 表示 ADSSTR01.SST1[7:0] 位和 ADSSTR23.SST2[7:0] 位。

注 3. 2 个 ADCLK 是最长时间，在 +1 个 PCLK 以内输出 S12ADI0 中断。有关强制停止的处理时间，请参照 “37.5.3 开始 A/D 转换和强制停止的运行时序”。

选择通道数 n 的 1 个周期扫描的扫描转换时间 （t_{SCAN}）如下所示：

$t_{SCAN}=t_D+(t_{CONV}\times n)+t_{ED}$

- 连续扫描的第 1 个周期省略了 1 周期扫描的 t_{SCAN} 到 t_{ED} 的时间。
- 连续扫描的第 2 个周期和以后的周期固定为 （$t_{CONV}\times n$）。
- A/D 转换处理时间 （tCONV）如下所示：
  A/D 转换处理时间 （tCONV） =30 个状态 （固定） +ADSSTRxx.SSTy[7:0] 位的设定值

37.3.5 ADDRy 寄存器的自动清除功能的使用例子

能通过将 ADCER.ACE 位置“1”，在 CPU、DTC 或者 DMAC 读 A/D 数据寄存器（ADDRy）时将 ADDRy 寄存器自动清 “0000h”。 ADTSDR 寄存器和 ADOCDR 寄存器没有自动清除功能。

当模拟输入电压不接近 0V 时，能通过使用自动清除功能检测到 A/D 数据寄存器 y （ADDRy）未更新的故障；当模拟输入电压接近 0V 时，因为正常的 A/D 转换结果可能为 “0000h”，所以不能使用自动清除功能。

ADDRy 寄存器的自动清除功能无效 / 有效时的例子如下所示。

当 ADCER.ACE 位为 “0”（禁止自动清除）时，如果因某种原因而无法将 A/D 转换结果 （0222h）写到 ADDRy 寄存器，以前的数据 （0111h）就为 ADDRy 寄存器的值。如果使用 A/D 转换结束中断将此 ADDRy 寄存器的值读到通用寄存器，就能将以前的数据 （0111h）保存到通用寄存器等。但是，在进行未更新的检查时，需要边将以前的数据逐个保存到 RAM 或者通用寄存器边进行检查。

当 ADCER.ACE 位为“1”（允许自动清除）并且通过 CPU、DTC 或者 DMAC 读到 ADDRy 寄存器为“0111h”时， ADDRy 寄存器自动清 “0000h”。此后，如果因某种原因而无法将 A/D 转换结果 “0222h” 传送到 ADDRy 寄存器，被清除的数据 （0000h）就留作 ADDRy 寄存器的值。此时，如果使用 A/D 转换结束中断将 ADDRy 寄存器的值读到通用寄存器等，就将 “0000h” 保存到通用寄存器等。只要检查到读取的数据值为 “0000h”，就能判断 ADDRy 寄存器发生未更新的故障。

37.3.6 A/D 转换值加法运算功能

对相同的通道连续进行 2 ～ 4 次 A/D 转换后，将此转换值的合计保存到数据寄存器。使用此结果的平均值，根据噪声成分能提高 A/D 转换精度，但是不保证一定能提高 A/D 转换精度。

能在选择所选通道的模拟输入 A/D 转换、温度传感器输出 A/D 转换或者内部基准电压 A/D 转换时使用 A/D 转换值加法运算功能。

37.3.7 通过异步触发开始的 A/D 转换

能通过输入异步触发来开始 AD 转换。要使用异步触发开始 A/D 转换时，在将 A/D 转换开始触发选择位（ADSTRGR.ADSTRS[3:0]）置“00h”并且给异步触发（ADTRG0# 引脚）输入 High 电平后，将 ADCSR.TRGE 位和 ADCSR.EXTRG 位都置 “1”。此后，如果将异步触发 （ADTRG0#）置为 Low 电平， ADST 位就变为 “1”，开始 A/D 转换。此时，ADTRG0# 的 Low 电平脉宽至少需要 1.5 个 PCLK。有关从 ADCSR.ADST 位被置位到开始 A/D 转换为止的时间，请参照 “37.5.3 开始 A/D 转换和强制停止的运行时序”。通过异步触发输入将 ADCSR.ADST 位置位前的时序如图 37.6 所示。

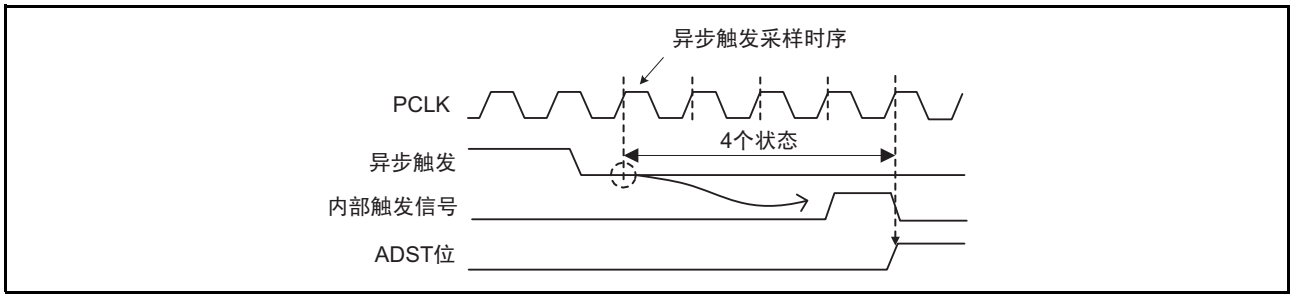


图 37.6 异步触发输入时序

37.3.8 通过外围模块的同步触发开始的 A/D 转换

能通过MTU、TPU或者TMR的同步触发来开始A/D转换。在通过同步触发开始A/D转换时，将ADCSR.TRGE位置“1”，将 ADCSR.EXTRG 位置“0”并且通过 ADSTRGR.ADSTRS[3:0] 位设定为对应的 A/D 转换开始源。

A/D 转换开始源选择一览表如表 37.8 所示。

表 37.8 A/D 转换开始源选择一览表

模块	源	备注	ADSTRS[3]	ADSTRS[2]	ADSTRS[1]	ADSTRS[0]
S12AD	ADST	软件触发	—	—	—	—
外部输入	ADTRG0#	异步触发	0	0	0	0
MTU	TRG1N	TRG0AN_0	0	0	0	1
	TRG2N	TRG0BN_0	0	0	1	0
	TRG3N	TRGAN_0	0	0	1	1
TPU	TRG4N	TRGAN_1	0	1	0	0
MTU	TRG5N	TRG0EN_0	0	1	0	1
	TRG6N	TRG0FN_0	0	1	1	0
	TRG7N	TRG4ABN_0	0	1	1	1
TPU	TRG8N	TRG4ABN_1	1	0	0	0
TMR	TRG9N	TMTRG0AN_0	1	0	0	1
	TRG10N	TMTRG0AN_1	1	0	1	0

注 . 要将开始 A/D 转换的触发设定为 ADTRG0# 时，必须将对应引脚的 P0.PDR.B7、 P1.PDR.B6 或者 P2.PDR.B5 位置“0”（输入端口）并且将 P0.PMR.B7、P1.PMR.B6 或者 P2.PMR.B5 位置“1”（对应引脚的输入缓冲有效）。详细内容请参照 “19. I/O 端口”和 “20. 多功能引脚控制器 （MPC）”。

37.3.8.1 通过 MTU 的 TRG0AN_0 和 TRG0BN_0 开始的 A/D 转换

能通过 MTU0 的 TGRA 的输入捕捉 / 比较匹配，产生触发信号 TRG0AN_0，开始 A/D 转换。

还能通过 MTU0 的 TGRB 的输入捕捉 / 比较匹配，产生触发信号 TRG0BN_0，开始 A/D 转换。

MTU 的 TRG0AN_0 和 TRG0BN_0 的输出与 A/D 转换器的连接关系如图 37.7 所示。

在通过 MTU0 的 TGRA 的输入捕捉 / 比较匹配开始 A/D 转换时，将 ADCSR.TRGE 位置“1”，将 ADCSR.EXTRG 位置“0”并且将 ADSTRGR.ADSTRS[3:0] 位置“0001b”（选择源 TRG1N 和对应触发 TRG0AN_0）。

在通过MTU0的TGRB的输入捕捉/比较匹配开始A/D转换时，将ADCSR.TRGE位置“1”，将ADCSR.EXTRG位置 “0”并且将 ADSTRGR.ADSTRS[3:0] 位置 “0010b”（选择源 TRG2N 和对应触发 TRG0BN_0）。

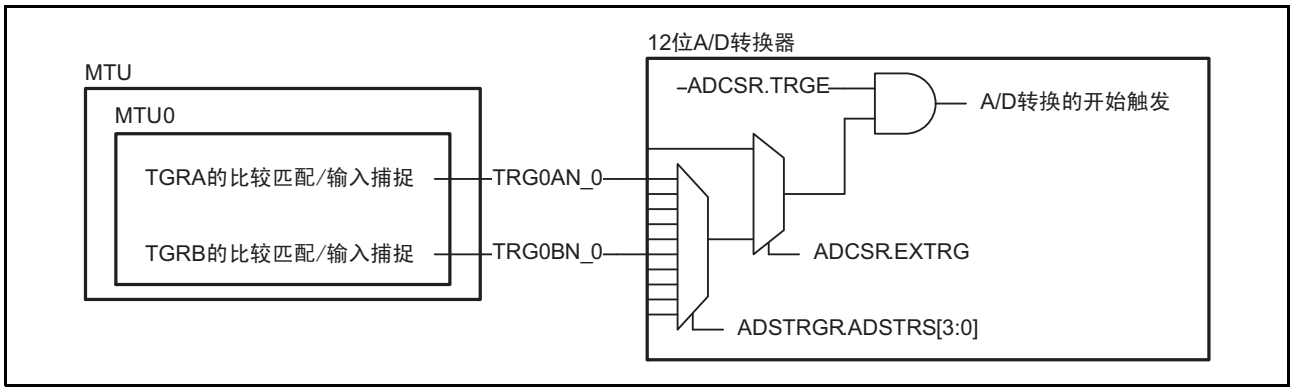


图 37.7 MTU 的 TRG0AN_0 和 TRG0BN_0 的输出与 A/D 转换器的连接关系

37.3.8.2 通过 MTU 的 TRGAN_0 和 TPU 的 TRGAN_1 开始的 A/D 转换

能通过 MTU0 ～ MTU4 的 TRGA 的输入捕捉 / 比较匹配和互补 PWM 模式中 MTU4 的 TCNT 下溢（波谷），产生触发信号 TRGAN_0，开始 A/D 转换。同样，能通过 TPU （单元 0）的 TPU0 ～ TPU4 的 TRGA 的输入捕捉 / 比较匹配，产生触发信号 TRGAN_1，开始 A/D 转换。

MTU 的 TRGAN_0 输出和 TPU （单元 0）的 TRGAN_1 输出与 A/D 转换器的连接关系如图 37.8 所示。

在通过 MTU0 ～ MTU4 的 TGRA 的输入捕捉 / 比较匹配和互补 PWM 模式中 MTU4 的 TCNT 下溢（波谷）开始 A/D 转换时，将 ADCSR.TRGE 位置“1”，将 ADCSR.EXTRG 位置“0”，将 ADSTRGR.ADSTRS[3:0] 位置“0011b”（选择源 TRG3N 和对应触发 TRGAN_0）并且将 MTUn.TIER.TTGE 位（n=0 ～ 4）和 MTU4.TIER.TTGE2 位置 “1”。

在通过 TPU0 ～ TPU4 的 TGRA 的输入捕捉 / 比较匹配开始 A/D 转换时，将 ADCSR.TRGE 位置 “1”，将 ADCSR.EXTRG 位置“0”，将 ADSTRGR.ADSTRS[3:0] 位置“0100b”（选择源 TRG4N 和对应触发 TRGAN_1）并且将 TPUnTIER.TTGE 位 （n=0 ～ 4）置 “1”。

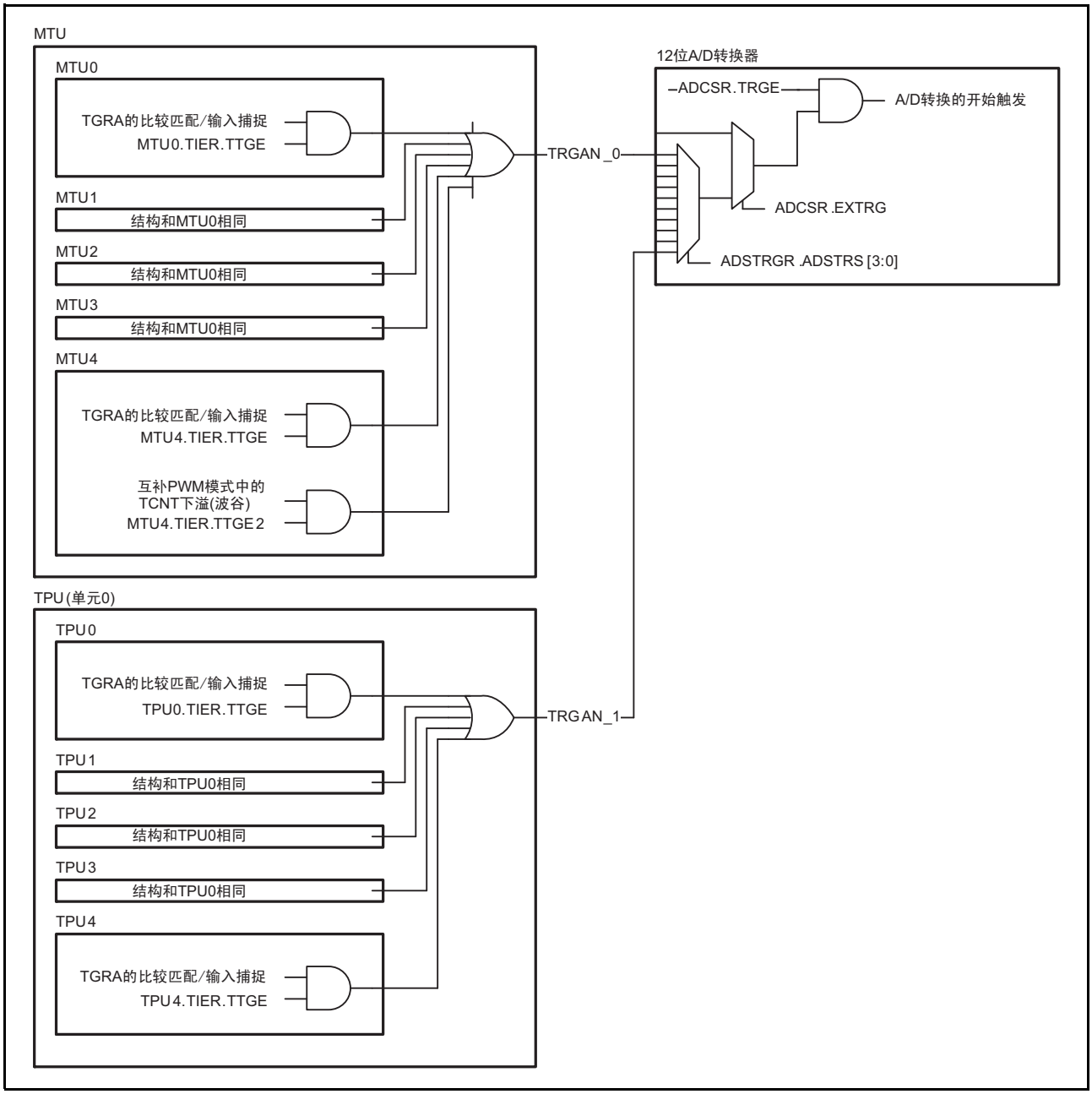


图 37.8 MTU 的 TRGAN_0 输出和 TPU （单元 0）的 TRGAN_1 输出与 A/D 转换器的连接关系

37.3.8.3 通过 MTU 的 TRG0EN_0 和 TRG0FN_0 开始的 A/D 转换

能通过 MTU0 的 TGRE 的比较匹配，产生触发信号 TRG0EN_0，开始 A/D 转换。还能通过 MTU0 的 TGRF 的比较匹配，产生触发信号 TRG0FN_0，开始 A/D 转换。

MTU 的 TRG0EN_0 和 TRG0FN_0 的输出与 A/D 转换器的连接关系如图 37.9 所示。

在通过 MTU0 的 TGRE 的比较匹配开始 A/D 转换时，将 ADCSR.TRGE 位置 “1”，将 ADCSR.EXTRG 位置 “0”并且将 ADSTRGR.ADSTRS[3:0] 位置 “0101b”（选择源 TRG5N 和对应触发 TRG0EN_0）。

在通过 MTU0 的 TGRF 的比较匹配开始 A/D 转换时，将 ADCSR.TRGE 位置 “1”，将 ADCSR.EXTRG 位置 “0”并且将 ADSTRGR.ADSTRS[3:0] 位置 “0110b”（选择源 TRG6N 和对应触发 TRG0FN_0）。

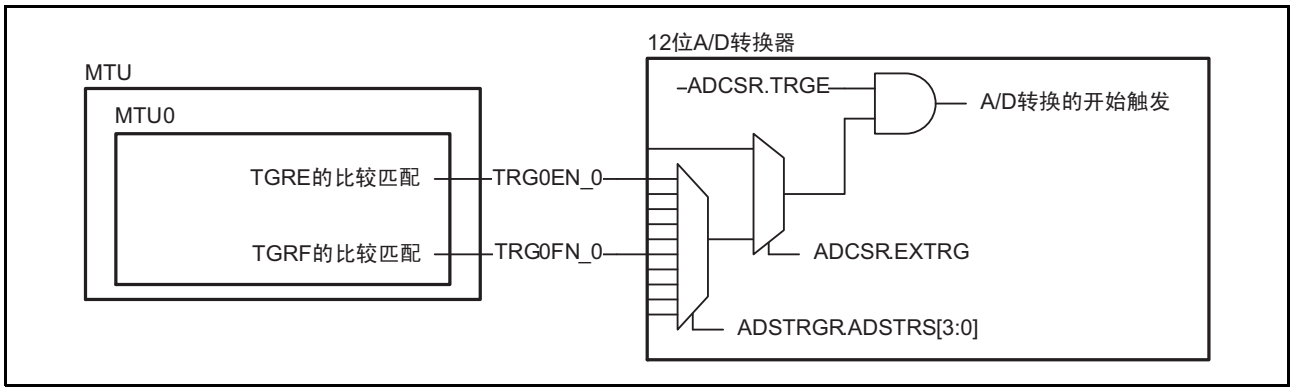


图 37.9 MTU 的 TRG0EN_0 和 TRG0FN_0 的输出与 A/D 转换器的连接关系

37.3.8.4 通过 MTU 的 TRG4ABN_0 和 TPU 的 TRG4ABN_1 开始的 A/D 转换

能通过使用 MTU4 的 A/D 转换开始请求延迟功能的比较匹配，产生触发信号 TRG4ABN_0，开始 A/D 转换。同样，通过 TPU （单元 0）的 TPU0 的 TGRA 的输入捕捉 / 比较匹配，产生触发信号 TRG4ABN_1，开始 A/D 转换。

MTU 的 TRG4ABN_0 输出和 TPU（单元 0）的 TRG4ABN_1 输出与 A/D 转换器的连接关系如图 37.10 所示。

在使用 MTU4 的 A/D 转换开始请求延迟功能并且通过 TADCORA 和 TCNT 递增计数的比较匹配开始 A/D 转换时，将 ADCSR.TRGE 位置 “1”，将 ADCSR.EXTRG 位置 “0” 并且将 ADSTRGR.ADSTRS[3:0] 位置 “0111b”（选择源 TRG7N 和对应触发 TRG4ABN_0），给 MTU4.TADCOBRA/B 和 MTU4.TADCORA/B 设定周期并且将 MTU4.TADCR.UT4AE 位置 “1”。

在通过 TPU0 的 TGRA 的输入捕捉 / 比较匹配开始 A/D 转换时，将 ADCSR.TRGE 位置 “1”，将 ADCSR.EXTRG 位置 “0”，将 ADSTRGR.ADSTRS[3:0] 位置 “1000b”（选择源 TRG8N 和对应触发 TRG4ABN_1）并且将 TPU0.TIER.TTGE 位置 “1”。

有关 A/D 转换开始请求延迟功能的详细内容，请参照 “21.3.9 A/D 转换开始请求的延迟功能”。

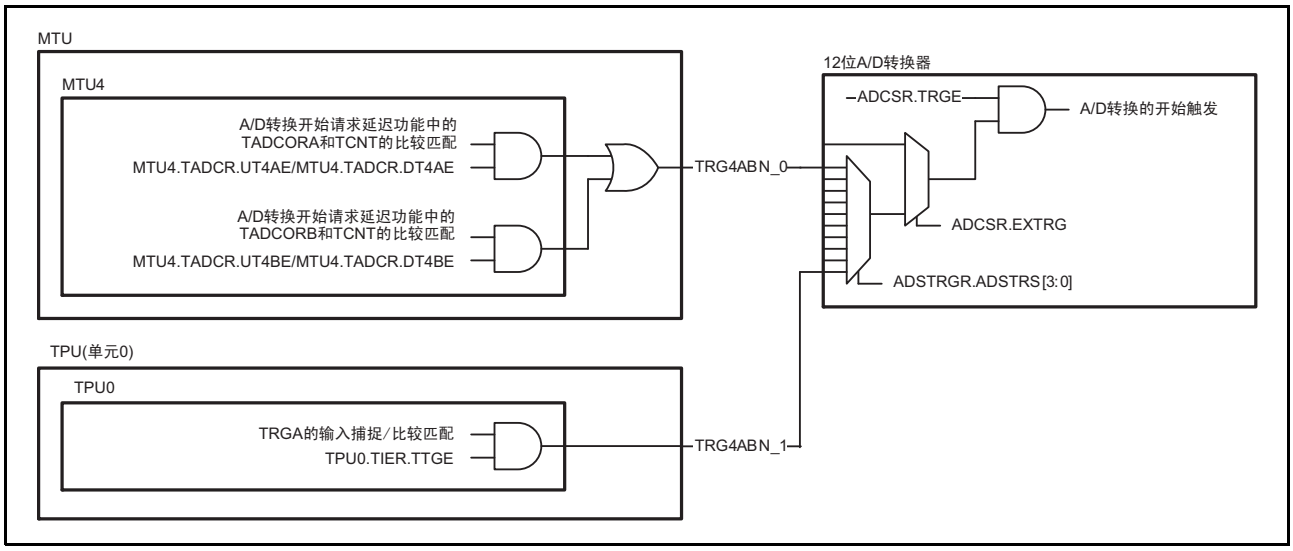


图 37.10 MTU 的 TRG4ABN_0 输出和 TPU （单元 0）的 TRG4ABN_1 输出与 A/D 转换器的连接关系

37.3.8.5 通过 TMR 的 TMTRG0AN_0 和 TMTRG0AN_1 开始的 A/D 转换

能通过 TMR （单元 0）的 TMR0 的 TCORA 的比较匹配 （比较匹配 A），开始 A/D 转换。同样，能通过 TMR （单元 1）的 TMR2 的 TCORA 的比较匹配 （比较匹配 A），开始 A/D 转换。

TMR（单元0和单元1）的TMTRG0AN_0和TMTRG0AN_1的输出与A/D转换器的连接关系如图37.11所示。

在通过 TMR（单元 0）的 TMR0 的 TCORA 的比较匹配（比较匹配 A）开始 A/D 转换时，将 ADCSR.TRGE 位置 “1”，将 ADCSR.EXTRG 位置 “0”，将 ADSTRGR.ADSTRS[3:0] 位置 “1001b”（选择源 TRG9N 和对应触发 TMTRG0AN_0）并且将 TMR0.TCSR.ADTE 置 “1”。

在通过 TMR（单元 1）的 TMR2 的 TCORA 的比较匹配（比较匹配 A）开始 A/D 转换时，将 ADCSR.TRGE 位置 “1”，将 ADCSR.EXTRG 位置 “0”，将 ADSTRGR.ADSTRS[3:0] 位置 “1010b”（选择源 TRG10N 和对应触发 TMTRG0AN_1）并且将 TMR2.TCSR.ADTE 置 “1”。

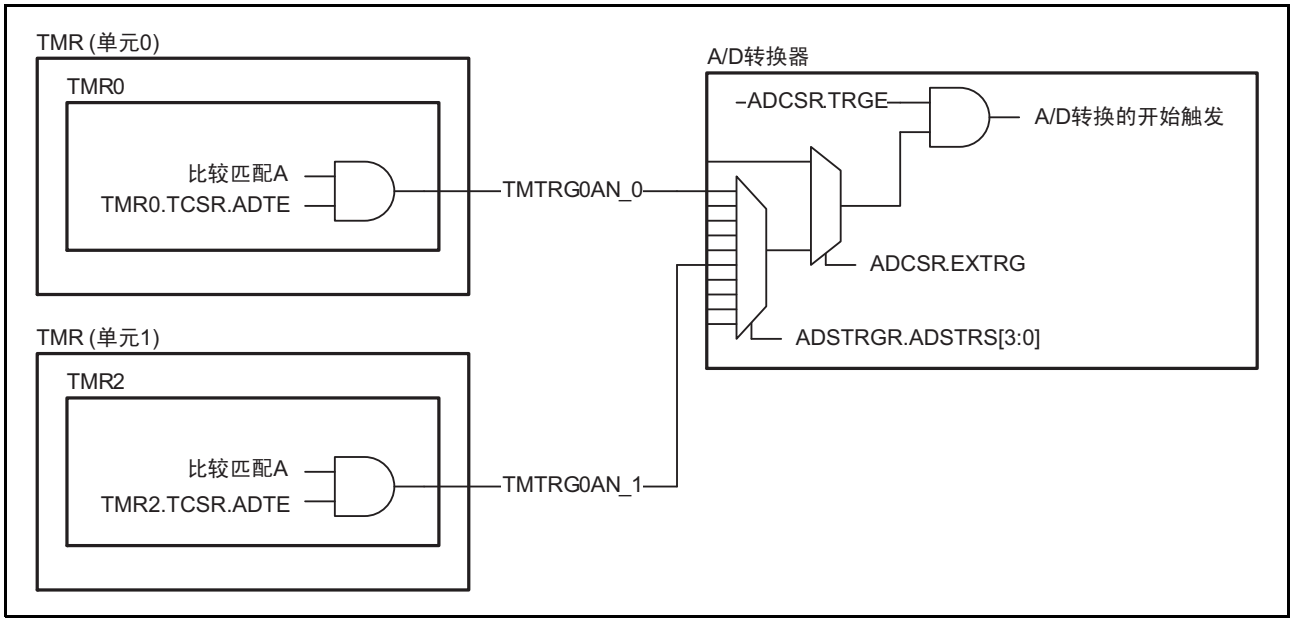


图 37.11 TMR （单元 0、单元 1）的 TMTRG0AN_0 和 TMTRG0AN_1 的输出与 A/D 转换器的连接关系

37.4 中断源和 DMA 传送请求

37.4.1 扫描结束时的中断请求

12 位 A/D 转换器能向 CPU 产生扫描结束中断请求 S12ADI0 中断。

当将 ADCSR.ADIE 位置 “1” 时，能允许 S12ADI0 中断；当清 “0” 时，能禁止 S12ADI0 中断。

能在发生 S12ADI0 中断时启动 DTC 或者 DMAC。如果通过 DMAC 读 S12ADI0 中断的转换数据，就能实现连续转换而没有软件负担。 DTC 的设定请参照 “18. 数据传送控制器 （DTCa）”， DMAC 的设定请参照 “17. DMA 控制器 （DMACA）”。

37.5 使用时的注意事项

37.5.1 读数据寄存器的注意事项

必须以字为单位读 A/D 数据寄存器、A/D 温度传感器的数据寄存器和 A/D 内部基准电压数据寄存器。为了避免因以字节为单位分 2 次读高位字节和低位字节而使第 1 次读到的 A/D 转换值和第 2 次读到的 A/D 转换值发生变化，不能以字节为单位读数据。

37.5.2 强制停止 A/D 转换时的注意事项

在选择了异步触发或者同步触发为 A/D 转换开始条件时，即使通过将 ADCSR.ADST 位置“0”来强制停止 A/D 转换，也有可能开始意想不到的 A/D 转换。因此，要确保 12 位 A/D 转换器进入停止状态时，必须在将 ADCSR.TRGE 位置 “0”并且将 A/D 转换开始条件设定为软件触发后，将 ADCSR.ADST 位置 “0”（停止 A/D 转换）。

37.5.3 开始 A/D 转换和强制停止的运行时序

在 12 位 A/D 转换器的模拟部停止的状态下，将 ADCSR.ADST 位置 “1”，需要 3 个 ADCLK 时钟的时间来开始 12 位 A/D 转换器模拟部的运行。如果通过将 ADCSR.ADST 位置 “0”来强制停止 A/D 转换，就需要 2 个 ADCLK 时钟的时间来停止 12 位 A/D 转换器的模拟部。

37.5.4 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 12 位 A/D 转换器的运行，初始值为停止 12 位 A/D 转换器的运行。通过解除模块停止状态，使寄存器变为可存取的状态。在解除模块停止状态后，必须在等待 10ms 后开始 A/D 转换。详细内容请参照 “11. 低功耗功能”。

37.5.5 向低功耗状态转移时的注意事项

要向模块停止模式或者软件待机模式转移时，必须停止 A/D 转换。在停止 A/D 转换时，需要确保从将 ADCSR.ADST 位置 “0”到 12 位 A/D 转换器的模拟部停止为止的时间。为了确保此时间，必须按照以下步骤进行设定。

必须在将 ADCSR.TRGE 位置 “0”（软件触发）并且将 ADCSR.ADST 位置 “0”后，将 ADCSR.CKS[1:0] 位置“11b”（PCLK）。此后，必须在确认 A/D 转换已经停止（到停止 A/D 转换为止，至少需要确保 6 个 PCLK 的等待时间）后转移到模块停止状态或者软件待机模式。

37.5.6 解除软件待机模式时的注意事项

在解除软件待机模式后，必须在经过晶体振荡稳定时间或者 PLL 电路的稳定时间后再等待 10ms，然后开始 A/D 转换。详细内容请参照 “11. 低功耗功能”。

由于附加电容会导致与 GND 的耦合，如果 GND 有噪声就可能降低绝对精度，因此必须连接 AVSS0 等电特性稳定的 GND。

必须注意：滤波器电路不要干扰安装电路板上的数字信号，也不要充当天线。

37.5.7 模拟电源引脚以外的设定范围

如果超过以下所示电压的设定范围使用 LSI，就可能给 LSI 的可靠性带来不良影响。

- 模拟输入电压的设定范围
  给模拟输入引脚ANn外加的电压必须在VREFL0≤VAN≤VREFH0的范围内。
- 各电源引脚 （AVCC0-AVSS0、 VREFH0-VREFL0、 VCC-VSS）的关系
  AVCC0、AVSS0与VCC、VSS的关系必须是AVCC0=VCC并且AVSS0=VSS。为了能形成最短的闭环，必须在各电源之间连接0.1μF 的电容器，如图 37.12 所示。必须在供电处连接为AVCC0=VCC、VREFL0=AVSS0=VSS。在不使用A/D转换器时，必须使VREFH0=AVCC0=VCC、VREFL0=AVSS0=VSS。
- VREFH0的设定范围
  VREFH0引脚的基准电压设定范围必须为VREFH0≤AVCC0。

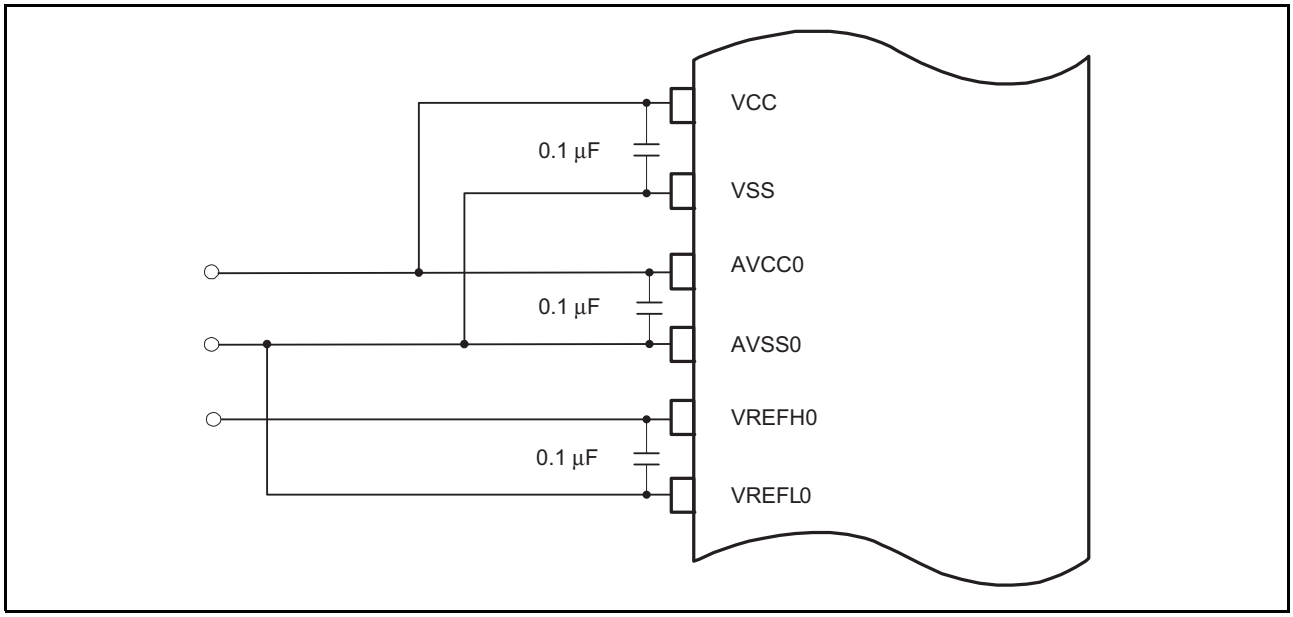


图 37.12 各电源引脚的连接例子

37.5.8 电路板设计时的注意事项

在设计电路板时，必须尽量将数字电路和模拟电路分开，而且不能使数字电路的信号线和模拟电路的信号线交叉或者靠近，否则会给模拟信号带来噪声并且给 A/D 转换值的精度带来不良影响。必须通过模拟接地（AVSS0）将模拟输入引脚（AN000 ～ AN020）、模拟基准电压（VREFH0、VREFL0）、模拟电源（AVCC0）和数字电路分开，而且模拟接地 （AVSS0）必须与电路板上稳定的数字接地 （VSS）进行单点连接。

37.5.9 噪声对策的注意事项

如图 37.13 所示，为了防止因过大的电涌等异常电压给模拟输入引脚（AN000 ～ AN020）造成破坏，必须在 AVCC0 和 AVSS0 之间、 VREFH0 和 VREFL0 之间连接电容，并且以模拟输入引脚 （AN000 ～ AN020）为基准连接保护电路。

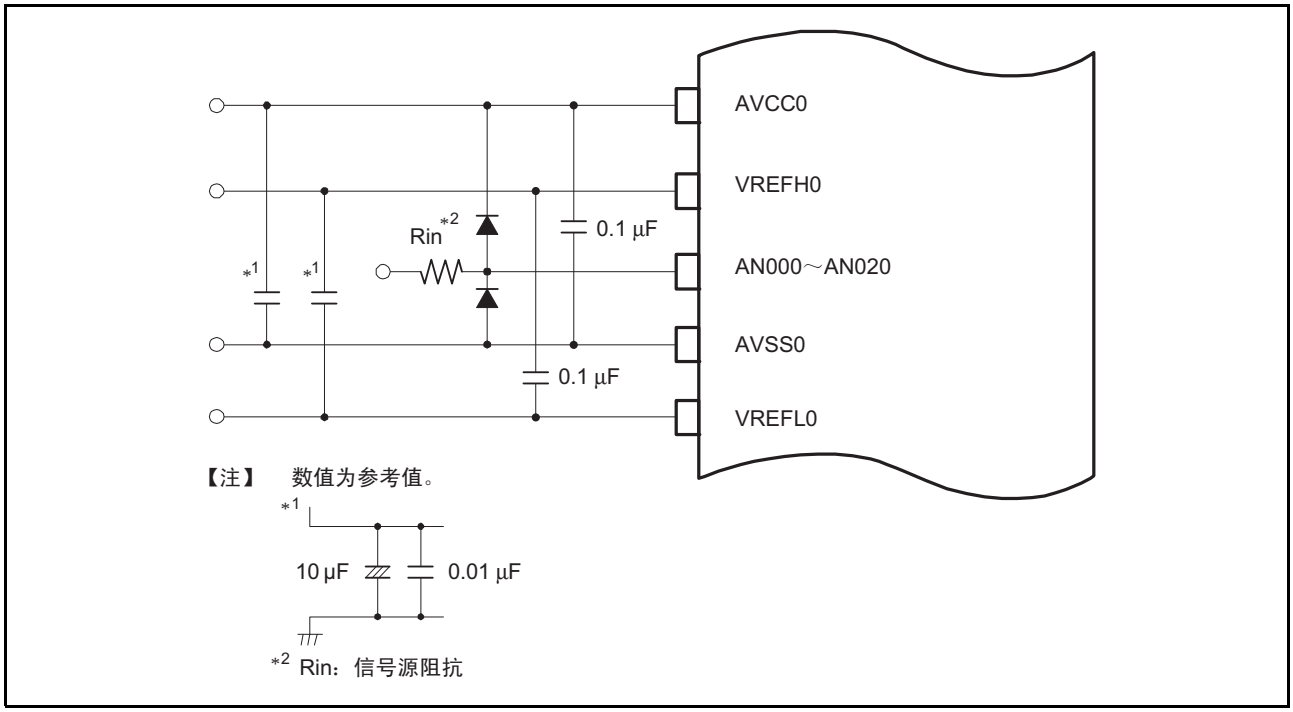


图 37.13 模拟输入保护电路的例子

37.5.10 使用 12 位 A/D 转换器输入时的端口设定

在端口 0、端口 4、端口 9 和端口 D 的引脚中，只要有 1 个引脚用作 12 位 A/D 转换器的模拟输入引脚，就不能使用端口 0、端口 4、端口 9 和端口 D 的端口输出。

38. 10 位 A/D 转换器 （ADb）

38.1 概要

RX630 群内置 1 个单元的逐次逼近方式的 10 位 A/D 转换器，能选择最多 8 个通道的模拟输入 （AN0 ～ AN7）和 1 个扩展模拟输入 （ANEX1）。

10 位 A/D 转换器的运行模式有对 1 个通道的模拟输入或者 1 个扩展模拟输入只进行 1 次转换的单通道模式，以及对最多 8 个通道的模拟输入或者扩展模拟输入 1 （ANEX1）依次进行连续转换的扫描模式。

10 位 A/D 转换器的规格、功能概要和框图分别如表 38.1、表 38.2 和图 38.1 所示。

表 38.1 10 位 A/D 转换器的规格

项目	规格
单元数	1 个单元
输入通道	8 个通道 +1 个扩展
A/D 转换方式	逐次逼近方式
分辨率	10 位
转换时间	每个通道 1.0μs （外围模块时钟，以 PCLK=50MHz 进行工作时）
A/D 转换时钟	4 种：PCLK、 PCLK/2、 PCLK/4、 PCLK/8
运行模式	• 单通道模式：对 1 个通道的模拟输入或者 1 个扩展模拟输入只进行 1 次转换。 • 扫描模式 连续扫描模式：对最多 8 个通道的模拟输入或者扩展模拟输入 1 （ANEX1）进行重复转换。 单次扫描模式：对最多 8 个通道的模拟输入或者扩展模拟输入 1 （ANEX1）只进行 1 个周期的转换。
A/D 转换开始条件	• 软件触发 • 6 个同步触发 MTU、 TPU 或者 TMR 的触发 • 1 个异步触发 能通过 ADTRG# 引脚开始 A/D 转换。
功能	• 采样 & 保持功能 • 采样状态数的可变功能 • 10 位 A/D 转换器的自诊断功能
中断源	• 在 A/D 转换结束时产生中断请求 （ADI0）。 • 能通过 ADI0 中断来启动 DMAC 或者 DTC。
低功耗功能	能设定为模块停止状态。

表 38.2 10 位 A/D 转换器的功能概要

项目			功能 / 内部触发源	
模拟输入通道			AN0 ～ AN7、 ANEX1	
A/D 转换开始条件	软件	软件触发	能	
	异步触发	ADTRG#	能	
	同步触发（MTU、 TMR、TPU）（注 1）	TRG0AN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配
		TRGAN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配
			MTU1.TGRA 和 MTU1.TCNT	
			MTU2.TGRA 和 MTU2.TCNT	
			MTU3.TGRA 和 MTU3.TCNT	
			MTU4.TGRA 和 MTU4.TCNT	
			MTU4.TCNT	互补 PWM 模式中的 TCNT 的下溢 （波谷）
		TRGAN_1	TPU0.TGRA	输入捕捉 / 比较匹配
			TPU1.TGRA	
			TPU2.TGRA	
			TPU3.TGRA	
			TPU4.TGRA	
		TRG4ABN_0	MTU4.TADCORA 和 MTU4.TCNT 或者 MTU4.TADCORB 和 MTU4.TCNT	使用 A/D 转换开始请求延迟功能的比较匹配
		TRG4ABN_1	TPU0.TGRA	输入捕捉 / 比较匹配
		TMTRG0AN_0	TMR0.TCORA 和 TMR0.TCNT	比较匹配
中断			ADI0 中断	
模块停止功能的设定（注 2）			MSTPCRA.MSTPA23 位	

注 1. 附加在同步触发中的 “_0” 和 “_1” 表示单元号。有关用于输出同步触发的设定，请参照 “21.4.3 A/D 转换器的启动” 和 “25.6.2 A/D 转换器的启动”。

注 2. 详细内容请参照 “11. 低功耗功能”。

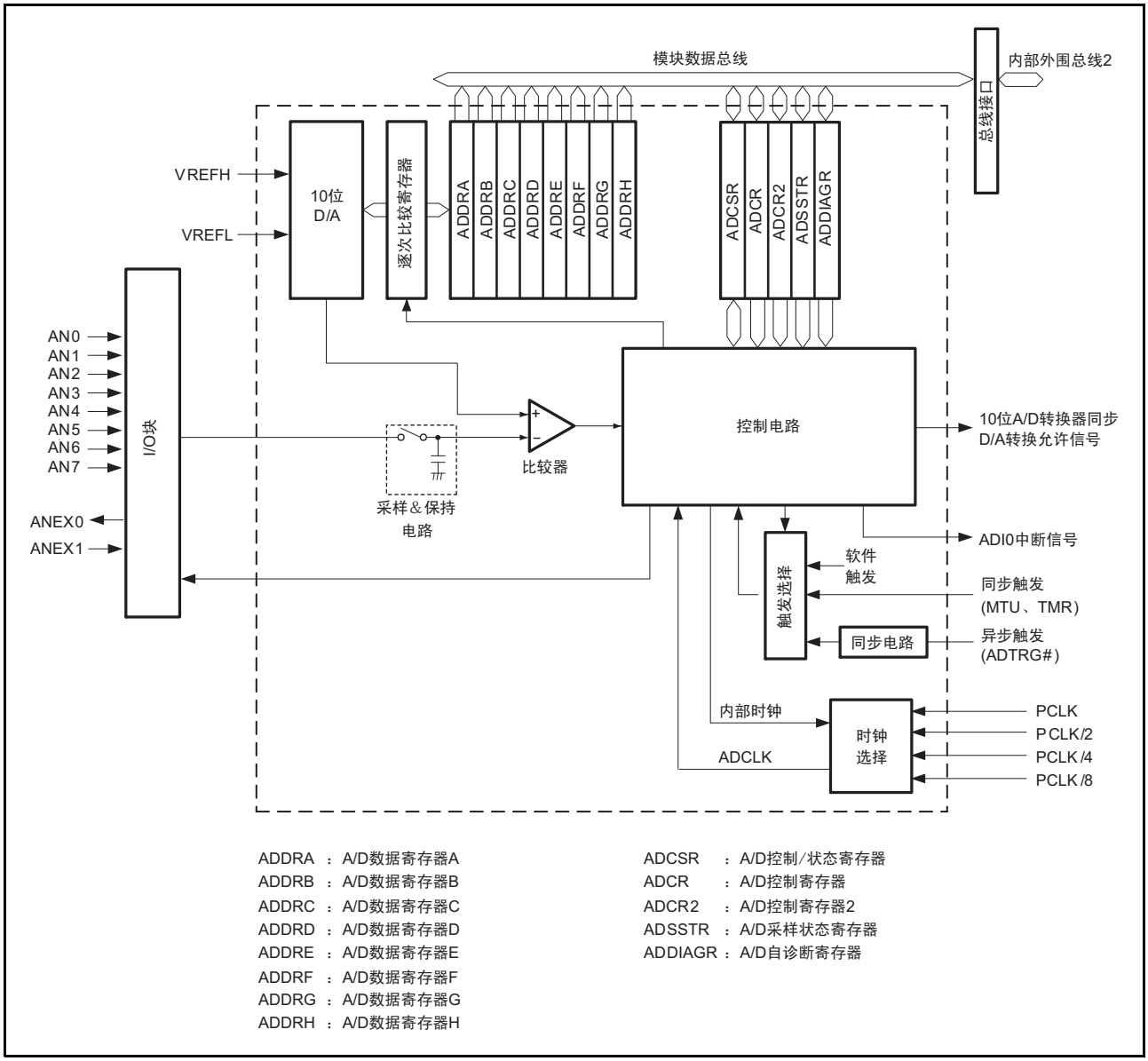


图 38.1 10 位 A/D 转换器的框图

10 位 A/D 转换器使用的输入引脚如表 38.3 所示。

表 38.3 10 位 A/D 转换器的输入引脚

引脚名	输入	功能
AN0 ～ AN7	输入	模拟输入引脚
ANEX1	输入	扩展模拟输入引脚
ANEX0	输出	扩展模拟输出引脚
ADTRG#	输入	用于开始 A/D 转换的异步触发输入引脚
VREFH	输入	这是 10 位 A/D 转换器和 D/A 转换器的基准电压输入引脚，也用作各模块的模拟电源。在不使用 10 位 A/D 转换器和 D/A 转换器时，必须连接 VCC。
VREFL	输入	这是 10 位 A/D 转换器和 D/A 转换器的基准电压输入引脚，也用作各模块的模拟接地，必须置为和 VSS 引脚相同的电位。

38.2 寄存器说明

38.2.1 A/D 数据寄存器 y （ADDRy）（y=A ～ H）

地址 ADDRA 0008 9800h、 ADDRB 0008 9802h、 ADDRC 0008 9804h、 ADDRD 0008 9806h
ADDRE 0008 9808h、 ADDRF 0008 980Ah、 ADDRG 0008 980Ch、 ADDRH 0008 980Eh

• ADCSR2.DPSEL位为“0”(数据往右靠紧)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

• ADCSR2.DPSEL位为“1”(数据往左靠紧)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
											—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADDRy 寄存器是保存 A/D 转换结果的 16 位只读寄存器。

模拟输入通道和 ADDRy 寄存器的对应、扩展模拟输入 1（ANEX1）和 ADDRy 寄存器的对应分别如**表 38.4** 和**表 38.5** 所示。

能通过设定 ADCR2.DPSEL 位，更改 10 位数据的配置。

“—”的位的读写值都为 “0”。

表 38.4 模拟输入通道和 ADDRy 寄存器的对应

模拟输入通道	ADDRy 寄存器
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

表 38.5 扩展模拟输入 1 （ANEX1）和 ADDRy 寄存器的对应

作为源的模拟输入通道	A/D 转换对象	ADDRy 寄存器
AN0	ANEX1	ADDRA
AN1		ADDRB
AN2		ADDRC
AN3		ADDRD
AN4		ADDRE
AN5		ADDRF
AN6		ADDRG
AN7		ADDRH

38.2.2 A/D 控制 / 状态寄存器 （ADCSR）

地址 0008 9810h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADIE	ADST	—	—	CH[2:0]		
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能		R/W
b2-b0	CH[2:0]	通道选择位 （注 1）	ADCR.MODE[1:0] 为 “00b” 的情况 b2 b0 0 0 0：AN0 0 0 1：AN1 0 1 0：AN2 0 1 1：AN3 1 0 0：AN4 1 0 1：AN5 1 1 0：AN6 1 1 1：AN7	ADCR.MODE[1:0] 为 “10b” 或者 “11b” 的情况 b2 b0 0 0 0：AN0 0 0 1：AN0、 AN1 0 1 0：AN0 ～ AN2 0 1 1：AN0 ～ AN3 1 0 0：AN0 ～ AN4 1 0 1：AN0 ～ AN5 1 1 0：AN0 ～ AN6 1 1 1：AN0 ～ AN7	R/W
b4-b3	—	保留位	读写值都为 “0”。		R/W
b5	ADST	A/D 开始位	0：停止 A/D 转换 1：开始 A/D 转换		R/W
b6	ADIE	A/D 中断允许位	0：禁止由 A/D 转换结束引起的 ADI0 中断 1：允许由 A/D 转换结束引起的 ADI0 中断		R/W
b7	—	保留位	读取值为不定值，只能写 “0”。		R/W

注 1. 必须将用作模拟输入引脚的 Pn.PDR.Bi 位置 “0”（输入端口）并且将 Pn.PMR.Bi 位置 “0”（对应引脚的输入缓冲无效，输入信号固定为 High 电平）（n=D、 E、 i=7 ～ 0）。详细内容请参照 “19. I/O 端口” 和 “20. 多功能引脚控制器 （MPC）”。

必须在 ADST 位为 “0”（停止 A/D 转换）时设定 CH[2:0] 位和 ADIE 位。

CH[2:0] 位 （通道选择位）

这些位选择进行 A/D 转换的模拟输入通道。

- 单通道模式 （ADCR.MODE[1:0]位=00b）
  选择1个进行A/D转换的模拟输入通道。
- 扫描模式 （ADCR.MODE[1:0]位=10b或者11b）
  选择最多8个进行A/D转换的模拟输入通道。

ADST 位 （A/D 开始位）

此位控制 A/D 转换的开始或者停止。

必须在将 ADST 位置 “1” 前设定 A/D 转换时钟和运行模式。

[为 “1” 的条件]

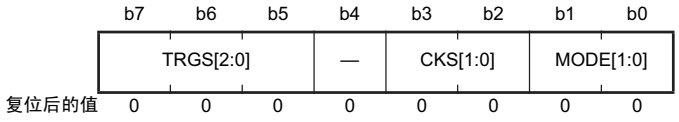
- 当通过软件写 “1” 时
- 当检测到ADCR.TRGS[2:0]位所选的触发时

[为 “0” 的条件]

- 当通过软件写 “0” 时
- 在单通道模式中A/D转换结束时
- 在单次扫描模式中所选通道的A/D转换全部结束时

38.2.3 A/D 控制寄存器 （ADCR）

地址 0008 9811h



位	符号	位名	功能	R/W
b1-b0	MODE[1:0]	运行模式选择位	b1 b0 0 0：单通道模式 0 1：不能设定 1 0：连续扫描模式 1 1：单次扫描模式	R/W
b3-b2	CKS[1:0]	时钟选择位	b3 b2 0 0：PCLK/8 0 1：PCLK/4 1 0：PCLK/2 1 1：PCLK	R/W
b4	—	保留位	读写值都为 “0”。	R/W
b7-b5	TRGS[2:0]	触发选择位	b7 b5 0 0 0：软件触发 0 0 1：MTU0 ～ MTU4 的比较匹配 / 输入捕捉 A 0 1 0：TMR0 的比较匹配 0 1 1：ADTRG# 1 0 0：MTU0 的比较匹配 / 输入捕捉 A 1 0 1：TPU0 ～ TPU4 的比较匹配 / 输入捕捉 A 1 1 0：MTU4 的比较匹配 1 1 1：TPU0 的比较匹配 / 输入捕捉 A	R/W

必须在 ADCSR.ADST 位为 “0”（停止 A/D 转换）时设定 MODE[1:0] 位和 CKS[1:0] 位。

CKS[1:0] 位 （时钟选择位）

这些位设定决定 A/D 转换时间的 A/D 转换时钟 （ADCLK）的频率。

必须将 ADCLK 的频率设定为大于等于 4MHz。

详细内容请参照 “38.3.4 输入采样和 A/D 转换时间”。

38.2.4 A/D 控制寄存器 2 （ADCR2）

地址 0008 9812h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	EXOEN	EXSEL[1:0]		—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b5-b4	EXSEL[1:0]	扩展模拟输入选择位	b5 b4 0 0：模拟输入通道 （ANxx） 0 1：ANEX1 1 0：不能设定 1 1：不能设定	R/W
b6	EXOEN	扩展模拟输出控制位	0：禁止输出 1：允许输出	R/W
b7	DPSEL	ADDRy 格式选择位	0：数据往右靠紧 1：数据往左靠紧	R/W

必须在 ADCSR.ADST 位为 “0”（停止 A/D 转换）时设定 EXSEL[1:0] 位和 EXOEN 位。

EXSEL[1:0] 位 （扩展模拟输入选择位）

除了模拟输入通道 （ANxx）以外，这些位能选择扩展模拟输入 ANEX1。

必须经过外部运算放大器输入 ANEX1：ANEX0。

详细内容请参照 “38.3.3 扩展模拟输入”。

EXOEN 位 （扩展模拟输出控制位）

此位控制扩展模拟输出 （ANEX0）。

如果允许输出，就给 ANEX0 输出多路复用 ANxx 的值。

当 EXSEL[1:0] 位为 “00b”时，必须禁止输出。

38.2.5 A/D 采样状态寄存器 （ADSSTR）

地址 0008 9813h

	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	1	1	0	0	1

ADSSTR 寄存器是用于设定模拟输入的采样时间的 8 位可读写寄存器。
能在模拟输入信号源阻抗高而采样时间不够或者外围模块时钟 （PCLK）为低速的情况下调整采样时间。
必须将设定值设定为大于等于 “02h”的值。
必须在 ADCSR.ADST 位为 “0”（停止 A/D 转换）时设定 ADSSTR 寄存器。
详细内容请参照 “38.3.4 输入采样和 A/D 转换时间”。

38.2.6 A/D 自诊断寄存器 （ADDIAGR）

地址 0008 981Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DIAG[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	DIAG[1:0]	自诊断位	b1 b0 0 0： 自诊断 OFF 0 1： 允许 Vref×0 的电压值的 A/D 转换 1 0： 允许 Vref×1/2 的电压值的 A/D 转换 1 1： 允许 Vref×1 的电压值的 A/D 转换	R/W
b7-2	—	保留位	读写值都为 “0”。	R/W

必须在 ADCSR.ADST 位为 “0”（停止 A/D 转换）时设定 ADDIAGR 寄存器。

DIAG[1:0] 位 （自诊断位）

自诊断是用于检测 10 位 A/D 转换器故障的功能，对内部生成的 Vref×0、 Vref×1/2 和 Vref×1 中的任意 1 个电压值进行转换。

要进行自诊断时，必须通过 DIAG[1:0] 位选择电压值并且通过以下设定进行 A/D 转换：

- 单通道模式 （ADCR.MODE[1:0]位=00b）
- 只将模拟输入通道AN0置为有效 （ADCSR.CH[2:0]位=000b并且ADCR2.EXSEL[1:0]位=00b）（注1）
- 通过软件开始A/D转换 （ADCR.TRGS[2:0]位=000b）

如果转换结束，就将转换结果保存到 A/D 数据寄存器 A。此后，必须通过软件读 ADDRA，判断转换值是在正常范围内 （正常）还是不在正常范围内 （异常）。自诊断的执行时间和 1 个通道的 A/D 转换时间相同。

注 1. 在对 10 位 A/D 转换器进行自诊断时，必须设定 AN0。在选择保存转换结果的数据寄存器时需要此设定，但是全部模拟输入 （AN0 ～ AN7）都无效。

38.3 运行说明

RX630 群内置 1 个单元的 10 位 A/D 转换器。

作为 A/D 转换对象，能从 8 个通道的模拟输入 （AN0 ～ AN7）和 1 个扩展模拟输入 （ANEX1）共 9 个中进行选择和输入。

通过 ADCR2.EXSEL[1:0] 位选择模拟输入通道和扩展模拟输入。模拟输入通道 （AN0 ～ AN7）和扩展模拟输入 1 （ANEX1）分别独立运行。

在通过 ADCR2.EXSEL[1:0] 位选择了模拟输入通道 （00b）时，必须通过 ADCR2.EXOEN 位将扩展模拟输出 （ANEX0）置 “0”（禁止输出）。如果不禁止输出，就从 ANEX0 输出时间分配的模拟值，而且因 LSI 内部的布线负载而造成 A/D 转换延迟。

10 位 A/D 转换器的运行模式有单通道模式和扫描模式。

单通道模式对指定的 1 个通道的模拟输入或者 1 个扩展模拟输入只进行 1 次转换。

扫描模式对指定通道的模拟输入或者扩展模拟输入 1 （ANEX1）依次进行连续转换。

扫描模式有重复进行 A/D 转换的连续扫描以及对所设通道只进行 1 个周期 A/D 转换的单周期扫描。

38.3.1 单通道模式

单通道模式对指定的 1 个通道的模拟输入或者 1 个扩展模拟输入只进行 1 次 A/D 转换，如下所示：

1. 如果通过软件、同步触发或者异步触发输入将 ADCSR.ADST 位置 “1”（开始 A/D 转换），就开始所选通道的 A/D 转换。
2. 如果 A/D 转换结束，就将 A/D 转换结果保存到对应该通道的 A/D 数据寄存器 （ADDRy）。
3. 如果在 A/D 转换结束后 ADCSR.ADIE 位为 “1”（允许由 A/D 转换结束引起的 ADI0 中断），就产生 ADI0 中断请求。
4. ADCSR.ADST 位在 A/D 转换过程中保持 “1”，一旦转换结束就自动变为 “0”，并且 10 位 A/D 转换器进入待机状态。
5. 如果在 A/D 转换过程中将 ADCSR.ADST 位置 “0”（停止 A/D 转换），就中止 A/D 转换并且 10 位 A/D 转换器进入待机状态。

给模拟输入选择 AN1 时的运行例子如图 38.2 所示。

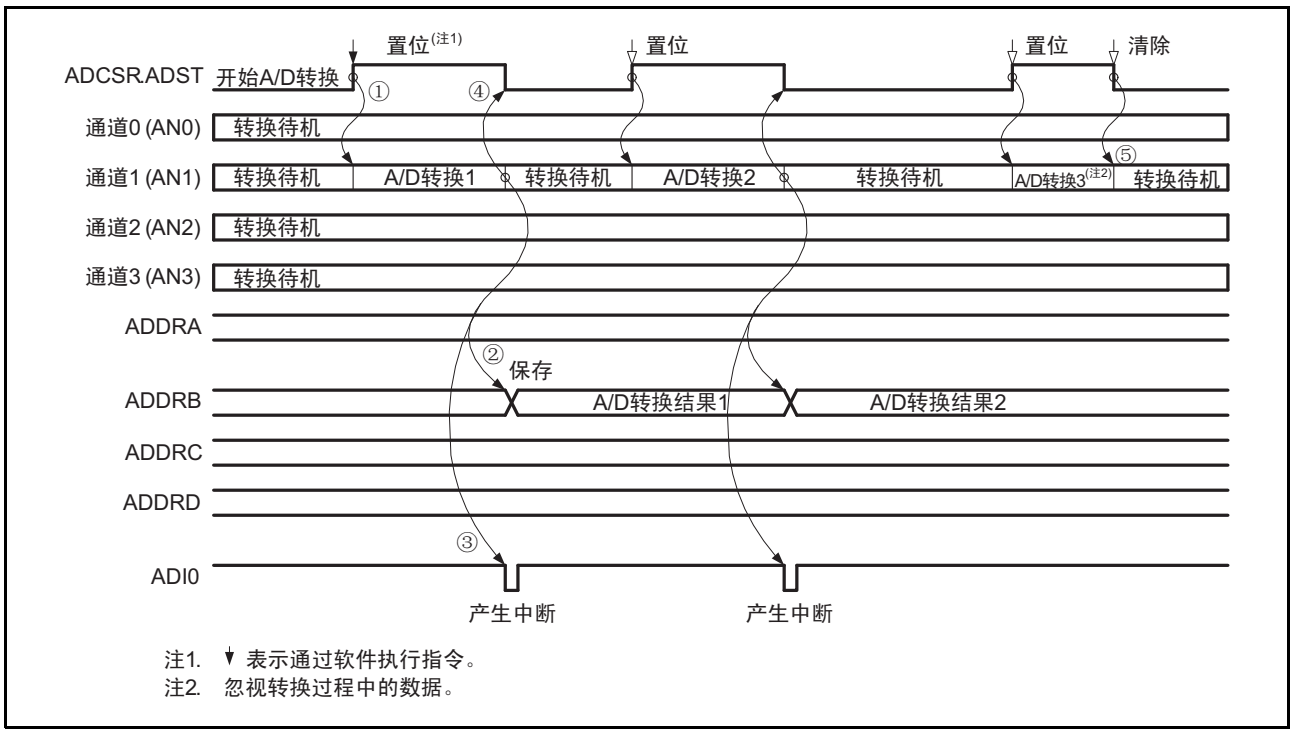


图 38.2 10 位 A/D 转换器的运行例子 （单通道模式）

38.3.2 扫描模式

以下说明有关选择模拟输入通道 （将 ADCR2.EXSEL[1:0] 位置 “00b”）的情况。有关选择扩展模拟输入的情况，请参照 “38.3.3 扩展模拟输入”。

扫描模式是对由 ADCSR.CH[2:0] 位从 8 个通道的模拟输入中选择的最多 8 个通道的模拟输入依次连续进行 A/D 转换的模式。扫描模式有重复进行 A/D 转换的连续扫描以及对所设通道只进行 1 个周期 A/D 转换的单周期扫描。

38.3.2.1 连续扫描模式

连续扫描模式对所设通道的模拟输入重复进行 A/D 转换，如下所示：

1. 如果通过软件、同步触发或者异步触发输入将ADCSR.ADST位置“1”（开始A/D转换），就从所选通道的第1个通道 （AN0）开始A/D转换。
2. 如果A/D转换结束，就将A/D转换结果保存到对应的A/D数据寄存器 （ADDRy）。
3. 在所选通道的 A/D 转换全部结束后，如果 ADCSR.ADIE 位已被置 “1”（允许由 A/D 转换结束引起的 ADI0中断），就产生ADI0中断请求。 10位A/D转换器从第1个通道 （AN0）开始A/D转换。
4. ADCSR.ADST 位不自动变为 “0”，而在为 “1”的期间重复步骤 2 ～ 3。如果将 ADCSR.ADST 位置 “0”（停止A/D转换），就中止A/D转换并且10位A/D转换器进入待机状态。
5. 此后，如果将ADCSR.ADST位置 “1”，就重新从第1个通道 （AN0）开始A/D转换。

给模拟输入选择 AN0 ～ AN2 的 3 个通道时的运行例子如图 38.3 所示。

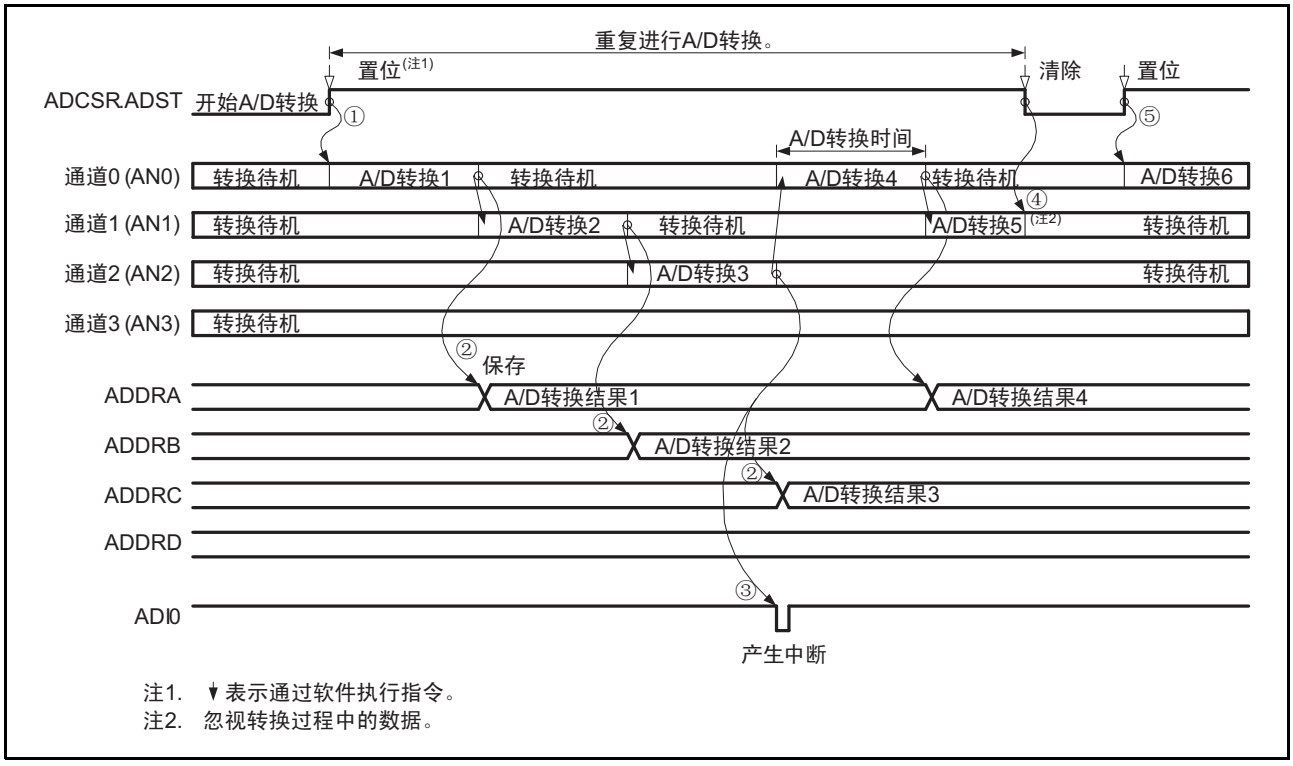


图 38.3 10 位 A/D 转换器的运行例子 （连续扫描模式）

38.3.2.2 单次扫描模式

单次扫描模式对所设通道的模拟输入只进行 1 个周期的 A/D 转换，如下所示：

1. 如果通过软件、同步触发或者异步触发输入将ADCSR.ADST位置“1”（开始A/D转换），就从所选通道的第1个通道 （AN0）开始A/D转换。
2. 如果A/D转换结束，就将A/D转换结果保存到对应的A/D数据寄存器 （ADDRy）。
3. 在所选通道的 A/D 转换全部结束后，如果 ADCSR.ADIE 位已被置 “1”（允许由 A/D 转换结束引起的ADI0中断），就产生ADI0中断请求。
4. ADCSR.ADST位在A/D转换过程中保持 “1”，一旦所选通道的A/D转换全部结束就自动变为 “0”，并且10位A/D转换器进入待机状态。

给模拟输入选择 AN0 ～ AN2 的 3 个通道时的运行例子如图 38.4 所示。

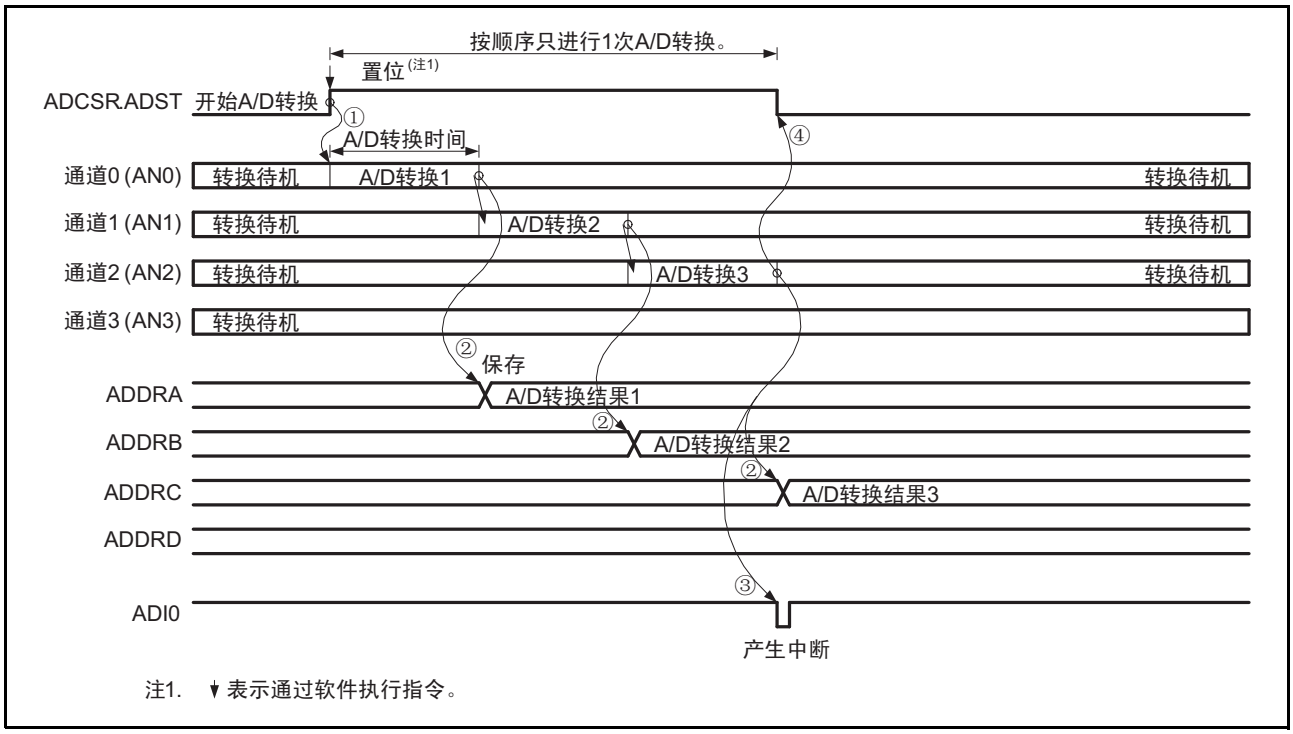


图 38.4 10 位 A/D 转换器的运行例子 （单次扫描模式）

38.3.3 扩展模拟输入

有 1 个扩展模拟输入 （ANEX1），各用途规定如下，除此之外不能使用。
在通过给 LSI 外接运算放大器对多个模拟值进行 A/D 转换时使用 ANEX1。
扩展模拟输入的结构例子如图 38.5 所示。

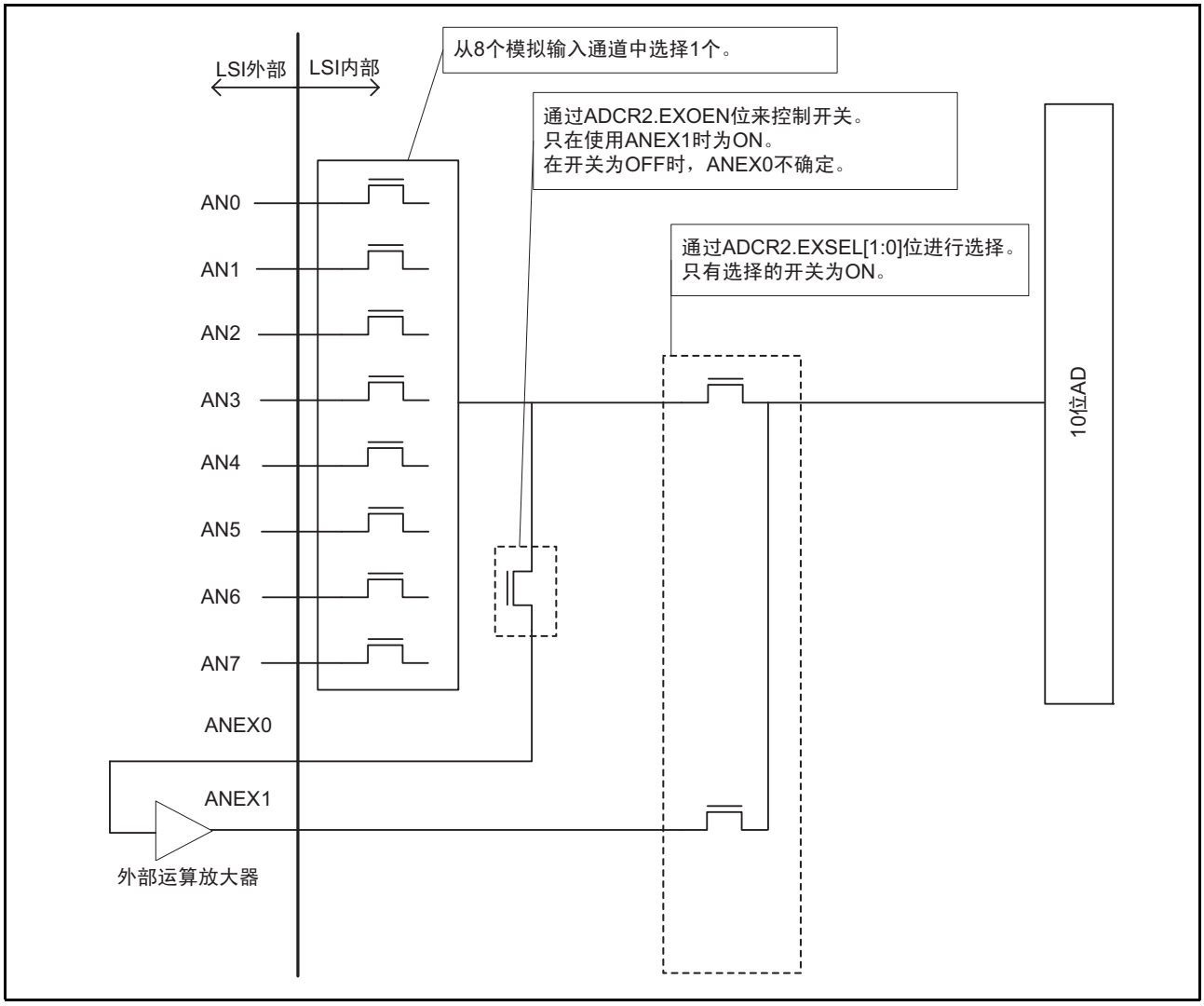


图 38.5 扩展模拟输入的结构例子

38.3.3.1 ANEX1 的使用方法

能通过使用 LSI 的模拟输入通道 （AN0 ～ AN7）输入模拟值，从扩展模拟输出 （ANEX0）取到时间分配的模拟值，在 ANEX0 和 ANEX1 之间连接运算放大器，实现经过运算放大器对多个模拟值进行的 A/D 转换。

对于寄存器，必须将 ADCR2.EXSEL[1:0] 位置“01b”（选择 ANEX1），将 ADCR2.EXOEN 位置“1”（允许 ANEX0 输出），选择单通道模式或者扫描模式进行使用。

选择 AN0、 AN1 和 AN2 的 3 个通道以及单次扫描模式时的运行如图 38.6 所示。

1. 如果通过软件、同步触发或者异步触发输入将ADCSR.ADST位置“1”（开始A/D转换），就从所选通道的第1个通道 （AN0）开始A/D转换。
2. 如果A/D转换结束，就将A/D转换结果保存到对应的A/D数据寄存器 （ADDRy）。
3. 在所选通道的 A/D 转换全部结束后，如果 ADCSR.ADIE 位已被置 “1”（允许由 A/D 转换结束引起的 ADI0中断），就产生ADI0中断请求。
4. ADCSR.ADST位在A/D转换过程中保持“1”，一旦所选通道的A/D转换全部结束就自动清除，并且10位A/D转换器进入待机状态。

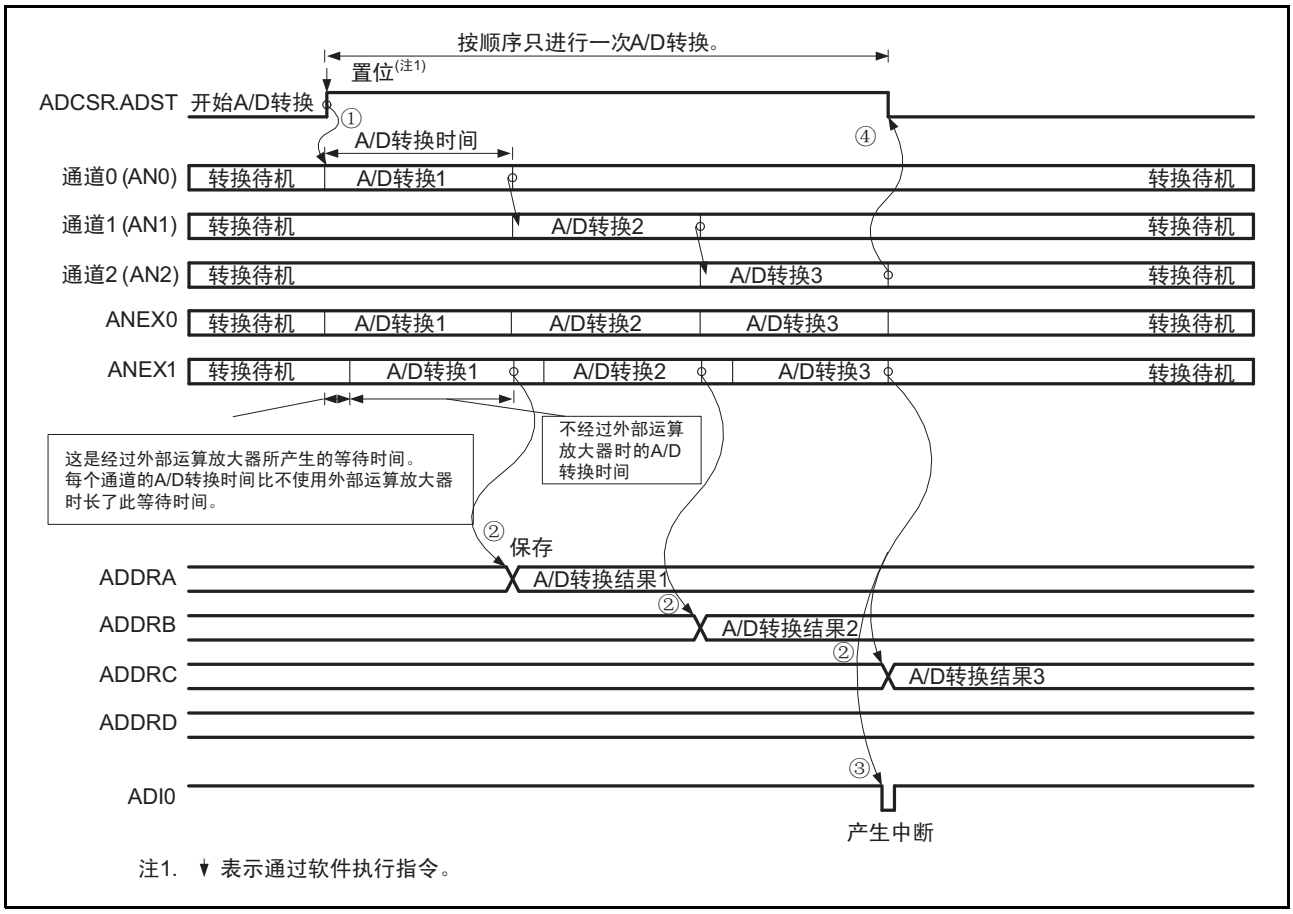


图 38.6 ANEX1 输入的运行例子 （单次扫描模式）

与对模拟输入通道直接进行 A/D 转换的情况相比，选择扩展模拟输入时的各 A/D 转换时间长于运算放大器的等待时间。

38.3.4 输入采样和 A/D 转换时间

10 位 A/D 转换器在通过软件、同步触发或者异步触发产生 A/D 转换开始条件后经过 A/D 转换开始延迟时间 （tD），对模拟输入进行采样，然后开始 A/D 转换。

A/D 转换时序如图 38.7 所示。

紧接在产生 A/D 转换开始条件后的 A/D 转换时间 （tCONV）为 tD、输入采样时间 （tSPL）和逐次转换时间 （tSAM）的合计时间。此后的 A/D 转换时间 （tCONV）为包括 tSPL 和 tSAM 的时间。

采样时间 （tSPL）是用于给 10 位 A/D 转换器的采样＆保持电路充电的时间。能在模拟输入的信号源阻抗高而采样时间不够或者外围模块时钟 PCLK 为低速的情况下，通过 ADSSTR 寄存器调整采样时间。

逐次转换时间 （tSAM）固定为 25 个 ADCLK 周期。

ADSSTR 寄存器的设定例子和 A/D 转换时间分别如表 38.6 和表 38.7 所示。

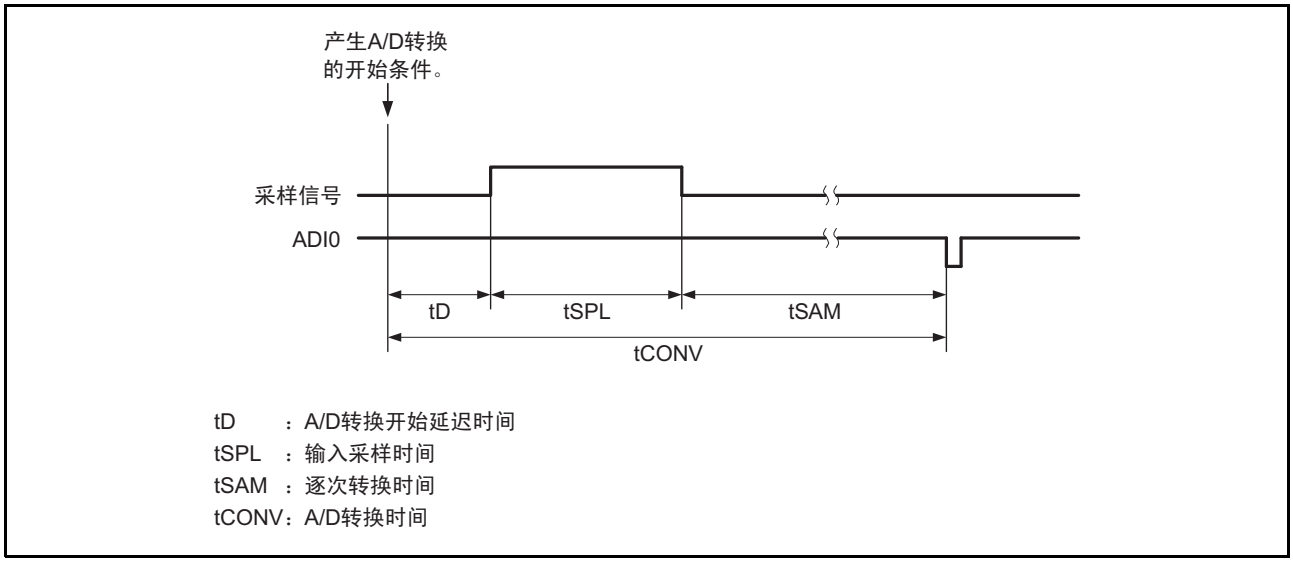


图 38.7 A/D 转换时序

表 38.6 ADSSTR 寄存器的设定例子

使用例子	设定范围	采样时间 （注 1）
标准 （初始值）	“19h”	0.5μs （当 PCLK=ADCLK=50MHz 时）
在模拟输入的信号源阻抗高而采样时间不够的情况下进行设定。	“1Ah” ～ “FFh”	例：“FFh” 5.1μs （当 PCLK=ADCLK=50MHz 时）
在 ADCLK 小于 50MHz 并且采样时间比初始值短的情况下进行设定。	“02h” ～ “18h”	例：“14h” 0.5μs （当 PCLK=ADCLK=40MHz 时）

注 1. 必须设定为采样时间≥ 0.5μs。用以下表达式表示采样时间：

$$\text{采样时间 (μs)} = \frac{\text{ADSSTR寄存器的设定值}}{\text{ADCLK (MHz)}}$$

表 38.7 A/D 转换时间

项目	符号	计算式	
		min	max
A/D 转换开始延迟时间 （①）	tD	$\frac{3}{\text{PCLK (MHz)}}$	$\frac{1}{\text{ADCLK (MHz)}} + \frac{4}{\text{PCLK (MHz)}}$
输入采样时间 （②）	tSPL	$\frac{\text{ADSSTR寄存器的设定值}}{\text{ADCLK (MHz)}}$	
逐次转换时间 （③）	tSAM	$\frac{25}{\text{ADCLK (MHz)}}$	
A/D 转换时间 （注 1）	tCONV	① + ② + ③	
A/D 转换时间 （注 2）	tCONV	② + ③	

注 1. 这是单通道模式或者扫描模式 （第 1 次）的 A/D 转换时间。

注 2. 这是扫描模式 （第 2 次及其以后）的 A/D 转换时间。

A/D 转换时间的计算例子如下所示：

当 PCLK=ADCLK=50MHz、 ADSSTR=19h 并且为扫描模式 （第 2 次）时

A/D 转换时间 （tCONV） =ADSSTR/ADCLK+25/ADCLK
=25/50MHz+25/50MHz
=0.5μs+0.5μs
=1.0μs

当 PCLK=ADCLK=40MHz、 ADSSTR=14h 并且为扫描模式 （第 1 次：min）时

A/D 转换时间 （tCONV） =3/PCLK+ADSSTR/ADCLK+25/ADCLK
=3/40MHz+20/40MHz+25/40MHz
=0.075μs+0.5μs+0.625μs
=1.2μs

38.3.5 通过异步触发开始的 10 位 A/D 转换

能通过异步触发的输入 （ADTRG# 引脚）开始 A/D 转换。

此时，如果将 ADCR.TRGS[2:0] 位置 “011b”（异步触发 （ADTRG# 引脚）），就在异步触发 （ADTRG# 引脚）的下降沿 ADCSR.ADST 位变为 “1”（开始 A/D 转换）并且开始 A/D 转换。此时序如图 38.8 所示。

必须注意：在使用异步触发时，如果异步触发的输入已经为 Low 电平，内部信号就可能产生下降沿并且开始 A/D 转换。

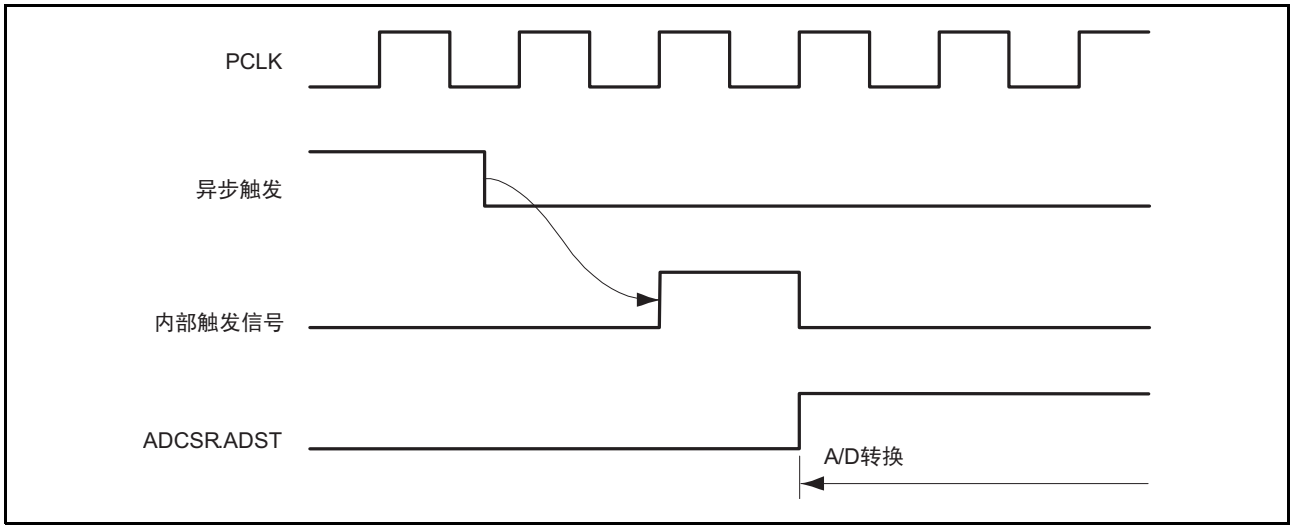


图 38.8 异步触发输入时序

38.3.6 通过外围模块的同步触发开始的 A/D 转换

能通过 MTU、 TPU 或者 TMR 的同步触发开始 A/D 转换。在通过同步触发开始 A/D 转换时，通过 ADCR.TRGS[2:0] 位设定为对应的开始源。

38.3.6.1 通过 MTU 的 TRG0AN_0 开始的 A/D 转换

能通过 MTU0 的 TGRA 的输入捕捉 / 比较匹配，产生触发信号 TRG0AN_0，开始 A/D 转换。

MTU 的 TRG0AN_0 输出和 A/D 转换器的连接关系如图 38.9 所示。

在通过 MTU0 的 TGRA 的输入捕捉 / 比较匹配开始 A/D 转换时，将 A/D 转换器的 ADCR.TRGS[2:0] 位置 “100b”（选择触发信号 TRG0AN_0）。

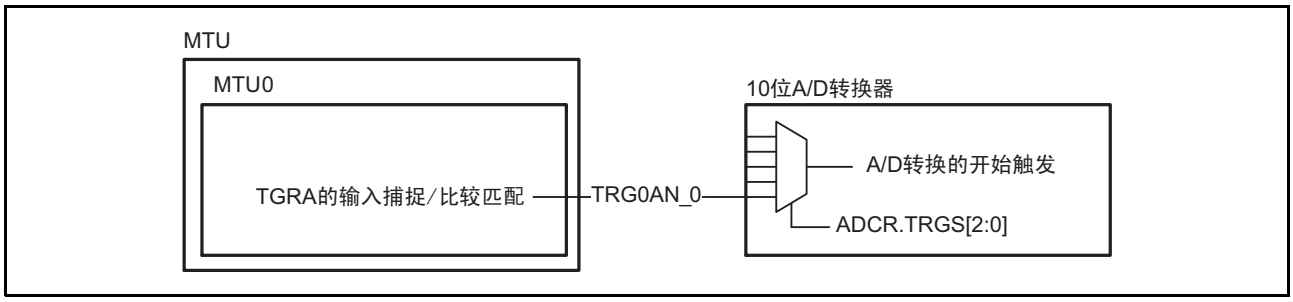


图 38.9 MTU 的 TRG0AN_0 输出和 A/D 转换器的连接关系

38.3.6.2 通过 MTU 的 TRGAN_0 和 TPU 的 TRGAN_1 开始的 A/D 转换

能通过 MTU0 ～ MTU4 的 TRGA 的输入捕捉 / 比较匹配和互补 PWM 模式中的 MTU4 的 TCNT 下溢 （波谷），产生触发信号 TRGAN_0，开始 A/D 转换。同样，能通过 TPU （单元 0）的 TPU0 ～ TPU4 的 TRGA 的输入捕捉 / 比较匹配，产生触发信号 TRGAN_1，开始 A/D 转换。

MTU 的 TRGAN_0 输出和 TPU （单元 0）的 TRGAN_1 输出与 A/D 转换器的连接关系如图 38.10 所示。

在通过 MTU0 ～ MTU4 的 TGRA 的输入捕捉 / 比较匹配和互补 PWM 模式中的 MTU4 的 TCNT 下溢 （波谷）开始 A/D 转换时，将 ADCR.TRGS[2:0] 位置“001b”（选择触发信号 TRGAN_0）并且将 MTUn.TIER.TTGE 位 （n=0 ～ 4）和 MTU4.TIER.TTGE2 位置 “1”。

在通过 TPU0 ～ TPU4 的 TGRA 的输入捕捉 / 比较匹配开始 A/D 转换时，将 ADCR.TRGS[2:0] 位置“101b”（选择触发信号 TRGAN_1）并且将 TPUn.TIER.TTGE 位 （n=0 ～ 4）置 “1”。

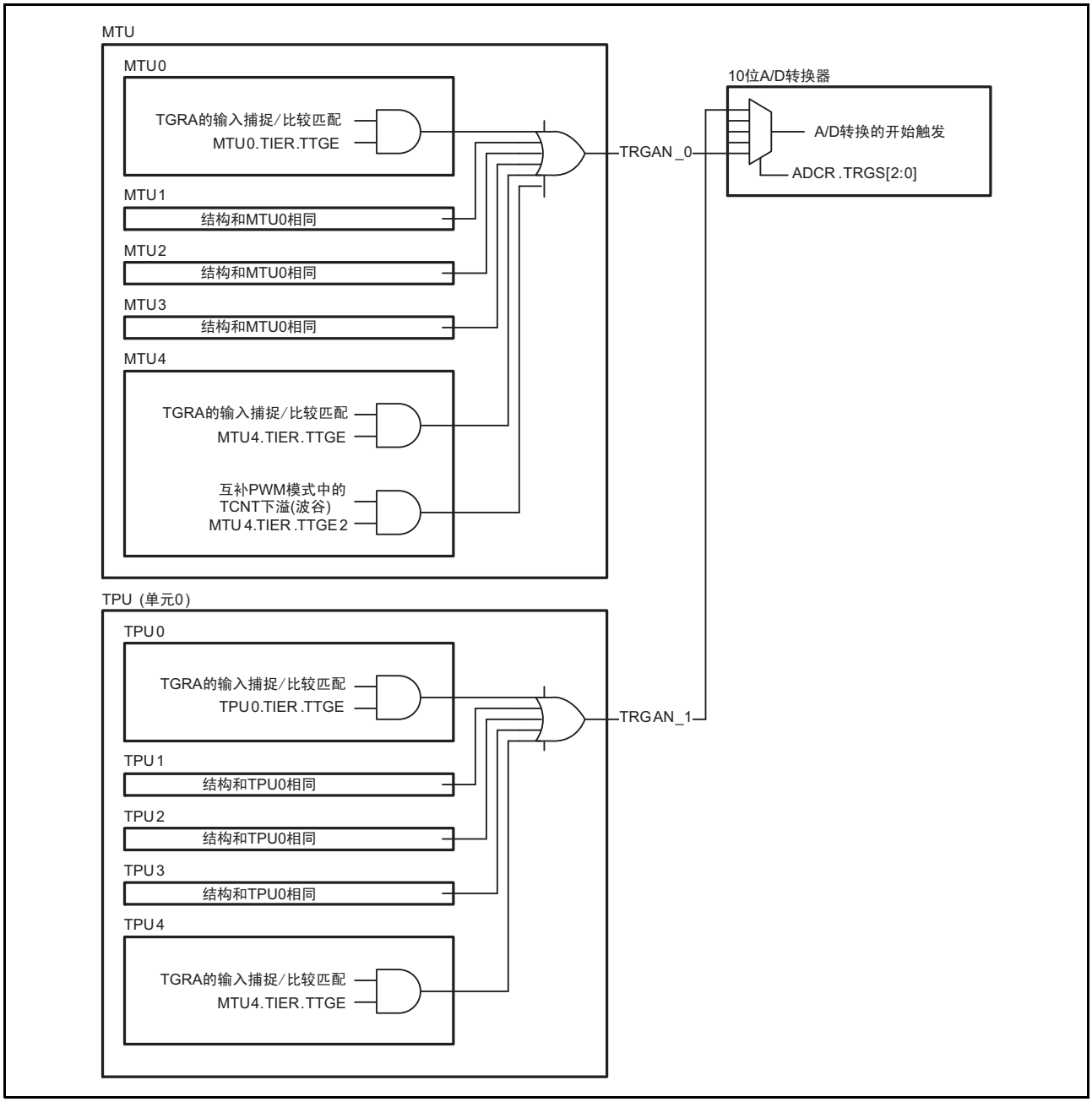


图 38.10 MTU 的 TRGAN_0 输出和 TPU （单元 0）的 TRGAN_1 输出与 A/D 转换器的连接关系

38.3.7 通过 MTU 的 TRG4ABN_0 和 TPU 的 TRG4ABN_1 开始的 A/D 转换

能通过使用 MTU4 的 A/D 转换开始请求延迟功能的比较匹配，产生触发信号 TRG4ABN_0，开始 A/D 转换。同样，能通过 TPU （单元 0）的 TPU0 的 TRGA 的输入捕捉 / 比较匹配，产生触发信号 TRG4ABN_1，开始 A/D 转换。

MTU 的 TRG4ABN_0 输出和 TPU（单元 0）的 TRG4ABN_1 输出与 A/D 转换器的连接关系如图 38.11 所示。

在使用 MTU4 的 A/D 转换开始请求延迟功能并且通过 TADCORA 和 TCNT 的递增计数的比较匹配开始 A/D 转换时，将 A/D 转换器的 ADCR.TRGS[2:0] 位置 “110b”（选择触发信号 TRG4ABN_0），给 MTU4.TADCOBRA/B 和 MTU4.TADCORA/B 设定周期，并且将 MTU4.TADCR.UT4AE 位置 “1”。

在通过 TPU0 的 TGRA 的输入捕捉 / 比较匹配开始 A/D 转换时，将 ADCR.TRGS[2:0] 位置 “111b”（选择触发信号 TRG4ABN_1）并且将 TPU0.TIER.TTGE 位置 “1”。

有关 A/D 转换开始请求延迟功能的详细内容，请参照 “21.3.9 A/D 转换开始请求的延迟功能”。

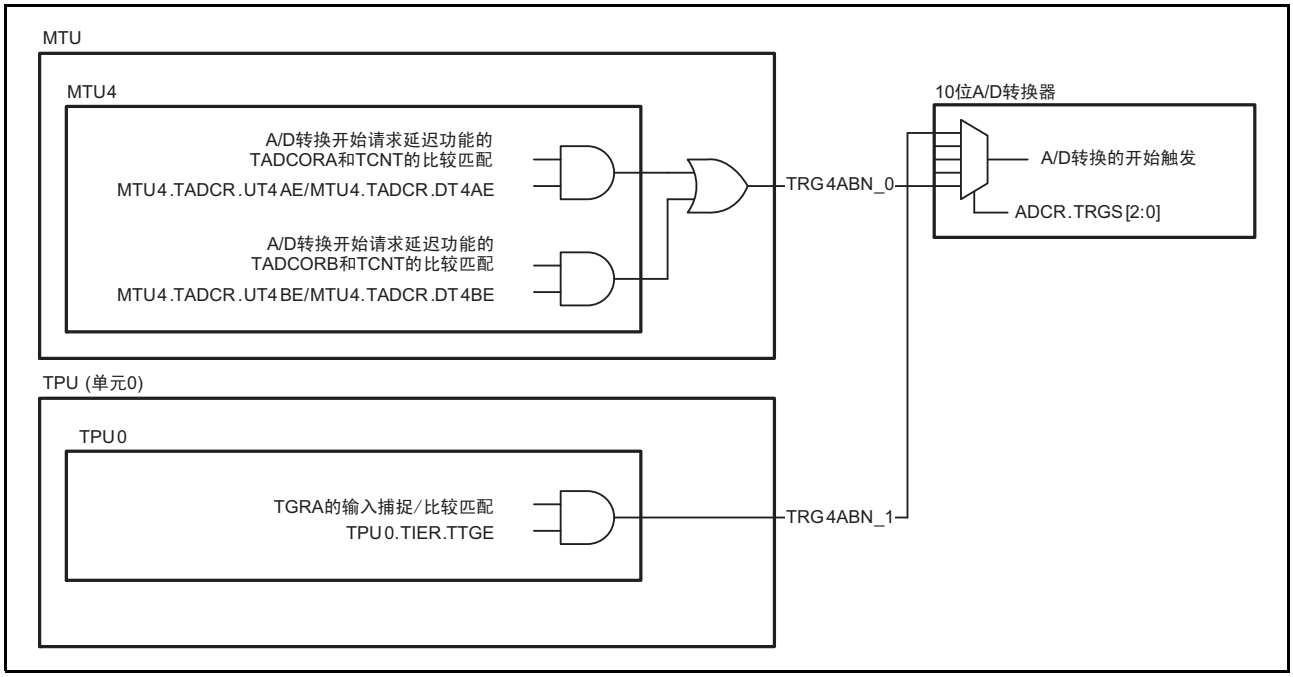


图 38.11 MTU 的 TRG4ABN_0 输出和 TPU （单元 0）的 TRG4ABN_1 输出与 A/D 转换器的连接关系

38.3.8 通过 TMR 的 TMTRG0AN_0 开始的 A/D 转换

能通过 TMR （单元 0）的 TMR0 的 TCORA 的比较匹配 （比较匹配 A）开始 A/D 转换。

TMR （单元 0）的 TMTRG0AN_0 输出和 A/D 转换器的连接关系如图 38.12 所示。

在通过 TMR （单元 0）的 TMR0 的 TCORA 的比较匹配 （比较匹配 A）开始 A/D 转换时，将 A/D 转换器的 ADCR.TRGS[2:0] 位置 “010b”（选择触发信号 TMTRG0AN_0）并且将 TMR0.TCSR.ADTE 置 “1”。

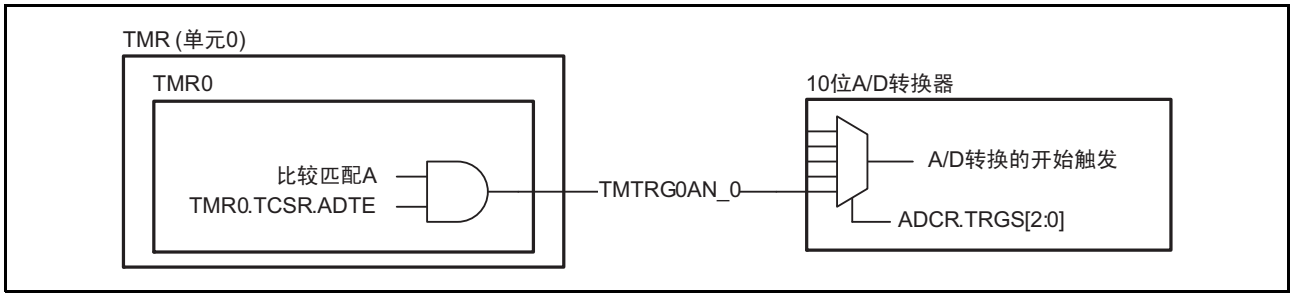


图 38.12 TMR （单元 0）的 TMTRG0AN_0 输出和 A/D 转换器的连接关系

38.3.9 10 位 A/D 转换器同步 D/A 转换允许信号

在 10 位 A/D 转换器的 ADCSR.ADST 位为 “0”（转换待机状态）时，10 位 A/D 转换器同步 D/A 转换允许信号输出 High 电平。当 ADCSR.ADST 位为 “1”（A/D 转换过程中）时，在 A/D 转换结束时输出 1 个 PCLK 的 High 电平脉冲。 10 位 A/D 转换器同步 D/A 转换允许信号的输出时序如图 38.13 所示。

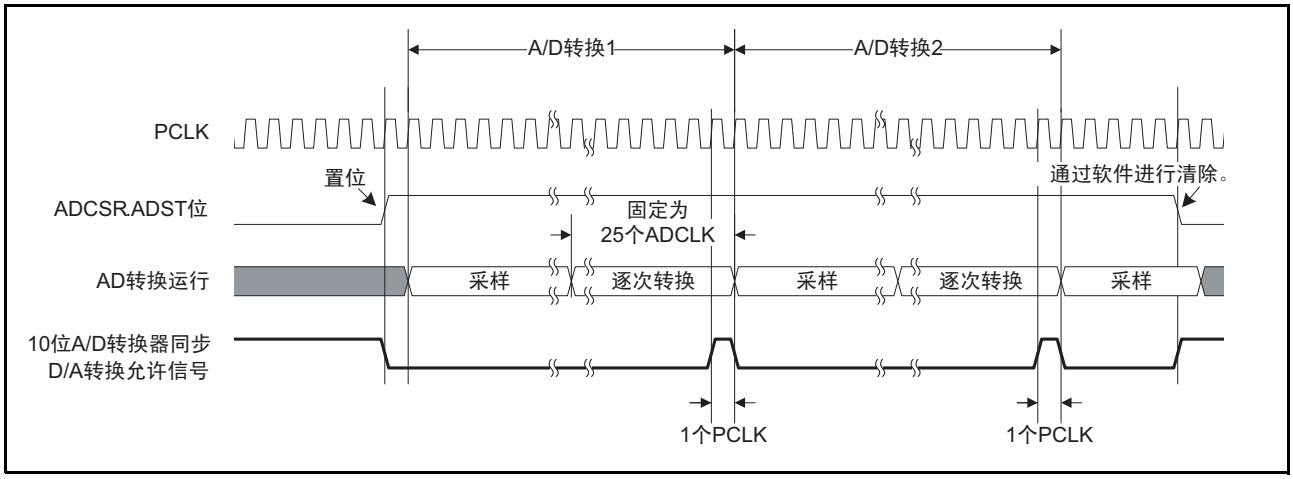


图 38.13 10 位 A/D 转换器同步 D/A 转换允许信号的输出时序

38.4 中断源

如果在 ADCSR.ADIE 位为“1”（允许由 A/D 转换结束引起的 ADI0 中断）的状态下 A/D 转换结束，10 位 A/D 转换器就产生中断 （ADI0）。

ADI0 中断能启动 DTC 和 DMAC。能通过 ADI0 中断来启动 DTC 和 DMAC 并且读转换数据，实现连续转换而不增加软件负担。

表 38.8 10 位 A/D 转换器的中断源

名称	中断源	DTC 的启动	DMAC 的启动
ADI0	A/D 转换结束	能	能

38.5 A/D 转换精度的定义

RX630 群的 A/D 转换精度的定义如下所示：

- 分辨率
  这是指A/D转换器的数字输出码数。
- 量化误差
  这是A/D转换器固有的偏差，为1/2LSB （图38.14）。
- 偏移误差
  这是在数字输出从最小电压值“0000000000b （000h）”变为 “0000000001b （001h）”时与模拟输入电压值的理想A/D转换特性的偏差 （图38.15）。
- 满刻度误差
  这是在数字输出从 “1111111110b （3FEh）”变为 “1111111111b （3FFh）”时与模拟输入电压值的理想A/D转换特性的偏差 （图38.15）。
- 非线性误差
  这是在零电压到满刻度电压之间的理想 A/D 转换特性的误差，但是不包括偏移误差、满刻度误差和量化误差 （图38.15）。
- 绝对精度
  这是数字值和模拟输入值的偏差，包括偏移误差、满刻度误差、量化误差和非线性误差。

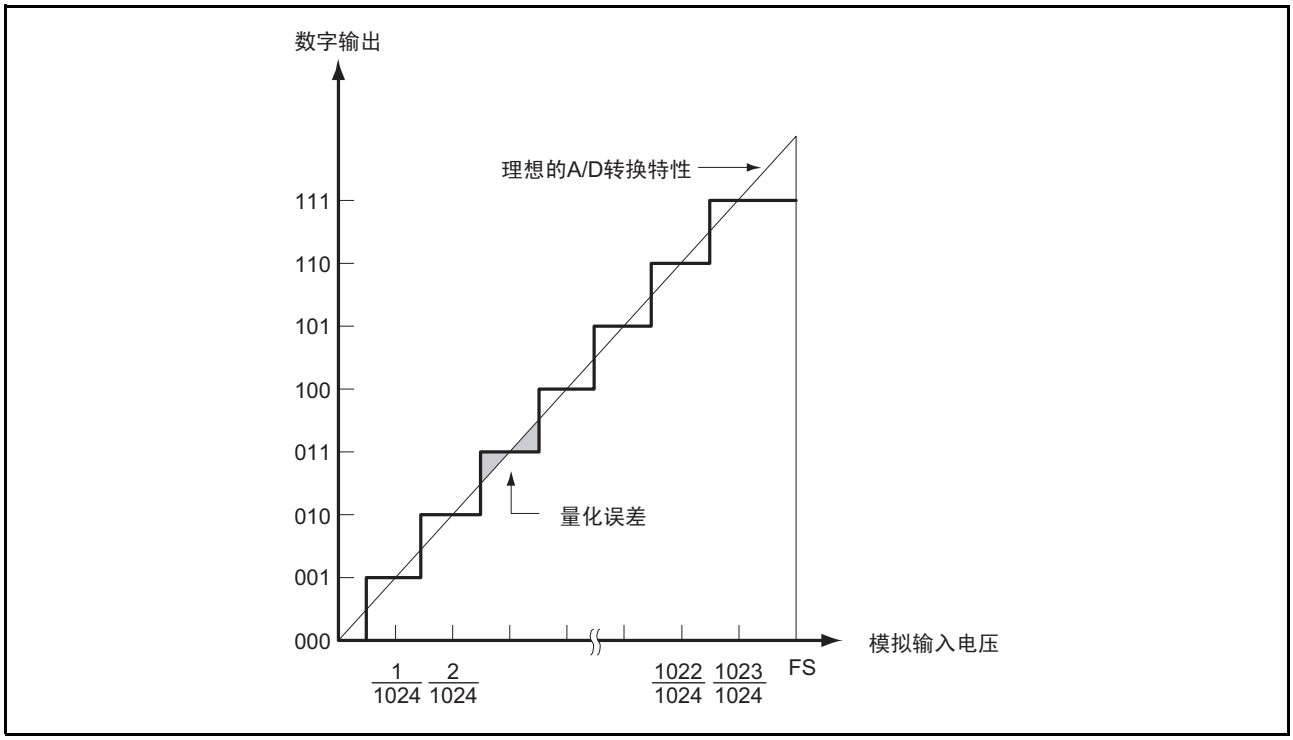


图 38.14 A/D 转换精度的定义 （1）

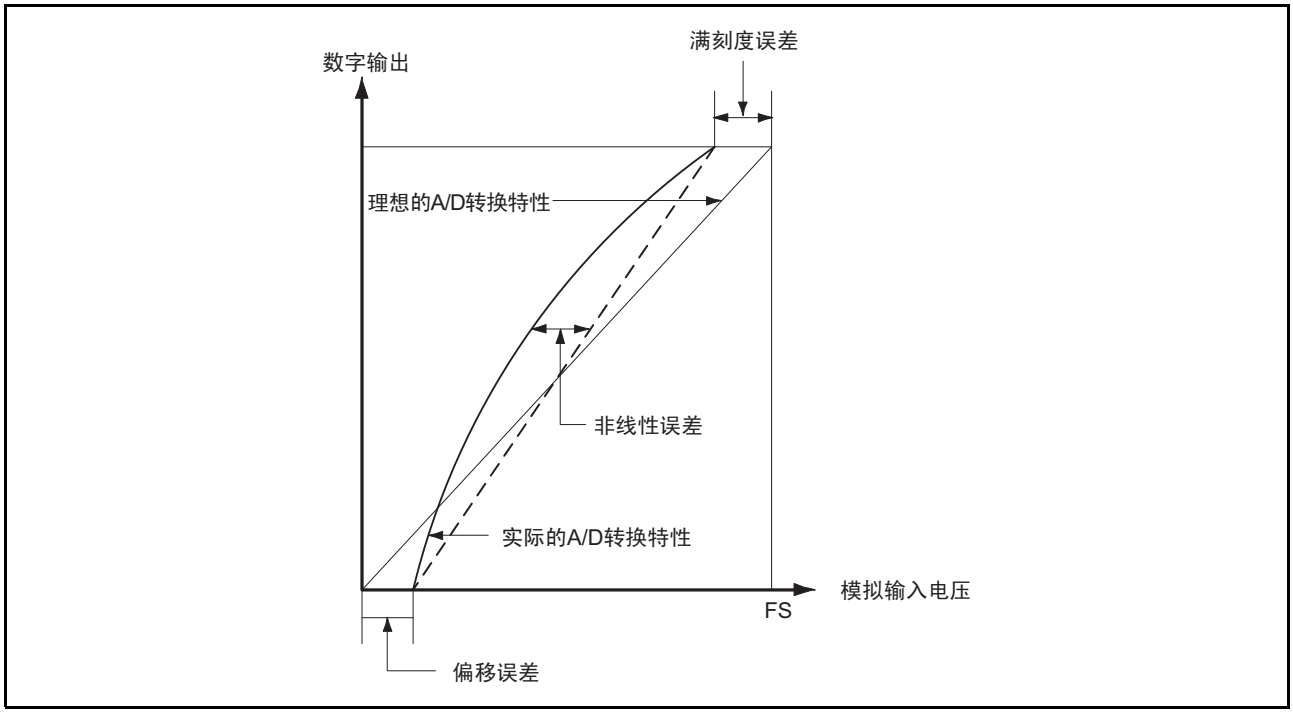


图 38.15 A/D 转换精度的定义 （2）

38.6 使用时的注意事项

38.6.1 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 10 位 A/D 转换器的运行，初始值为停止 10 位 A/D 转换器的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

38.6.2 强制停止 A/D 转换时的注意事项

在选择异步触发（ADTRG# 引脚）或者同步触发（MTU、TPU 或者 TMR）为 A/D 转换开始条件时，即使通过将 ADCSR.ADST 位置 “0”来强制停止 A/D 转换，也可能开始意料不到的 A/D 转换。

因此，要确保 A/D 转换器进入停止状态时，必须在将 ADCR.TRGS[2:0] 位置 “000b”并且将 A/D 转换开始条件设定为软件触发后，将 ADCSR.ADST 位置 “0”（停止 A/D 转换）。

38.6.3 强制停止 A/D 转换的重新开始时序

如果通过将 ADCSR.ADST 位置 “0”来强制停止 A/D 转换，就需要 1 个 ADCLK 时钟的时间来停止 10 位 A/D 转换器的模拟部。

在 10 位 A/D 转换器的模拟部停止的状态下，如果将 ADCSR.ADST 位置 “1”并且开始 A/D 转换，就在经过 1 个 ADCLK 时钟的时间后重新开始 A/D 转换。

38.6.4 向低功耗状态转移时的注意事项

如果在允许 A/D 转换的状态下 LSI 向模块停止状态或者软件待机模式转移，模拟电源的电流就和 A/D 转换过程中的电流相同。如果需要在模块停止状态或者软件待机模式中减少模拟电源电流，就必须停止 A/D 转换。在停止 A/D 转换时，需要确保从将 ADCSR.ADST 位置 “0”到 10 位 A/D 转换器的模拟电路停止为止的时间。为了确保此时间，必须按照以下步骤进行设定。

必须在将 ADCR.TRGS[2:0] 位置“000b”（软件触发）并且将 ADCSR.ADST 位置“0”后，将 ADCR.CKS[1:0] 位置 “11b”（PCLK）。此后，必须在确认 A/D 转换已停止后转移到模块停止状态或者软件待机模式。

38.6.5 使用 10 位 A/D 转换器同步 D/A 转换时的注意事项

在将 D/A 转换器的 D/A A/D 同步启动控制寄存器 （DAADSCR）的 DAADST 位置 “0”，并且进行有 DA→AD 干扰对策的 10 位 A/D 转换器同步 D/A 转换时，必须在将 ADCR.TRGS[2:0] 位置“000b”（软件触发）后并且在 ADCSR.ADST 位为 “0”时设定 D/A 转换器的 D/A 控制寄存器 （DACR）。

不能在 A/D 转换过程中通过模块停止等手段来停止时钟。否则，不仅 A/D 转换而且 D/A 转换有可能都会停止。如果通过将 ADCSR.ADST 位置 “0”来停止 A/D 转换，就需要 1 个 ADCLK 时钟的时间来停止 10 位 A/D 转换器的模拟部。

如果通过在将 ADCSR.ADST 位置 “0”后立即将 ADCSR.ADST 位置 “1”来重新开始 A/D 转换，就在经过 1 个 ADCLK 时钟的时间后重新开始 A/D 转换。

38.6.6 有关容许信号源阻抗

为了实现 1.0μs 的高速转换，对于信号源阻抗不超过 1.0kΩ 的输入信号，本 LSI 的模拟输入能保证转换精度。在单通道模式中进行转换并且外接大电容的情况下，因为输入负载实际上只有 Rs 的内部输入电阻，所以信号源阻抗可忽略不计。但是，由于形成低通滤波器，所以有可能无法跟踪微分系数大的模拟信号 （例如：大于等于 5mV/μs）（图 38.16）。在转换高速模拟信号或者在扫描模式中转换多个引脚时，必须插入低阻抗的缓冲器。

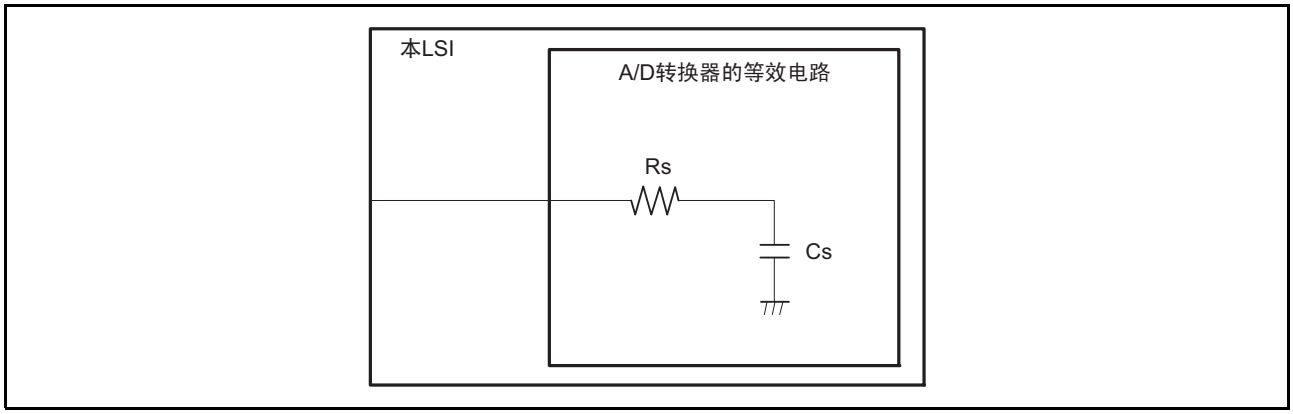


图 38.16 模拟输入引脚的内部等效电路

表 38.9 模拟引脚的规格

项目		min	max	单位
容许信号源阻抗		—	1.0	kΩ
引脚的内部等效电路	Rs	—	6.5	kΩ
	Cs	—	6	pF

38.6.7 对绝对精度的影响

由于附加电容会导致与接地耦合，如果接地有噪声就可能降低绝对精度，所以必须连接电特性稳定的接地。

必须注意：滤波器电路不要干扰安装电路板上的数字信号，也不要充当天线。

38.6.8 模拟电源引脚以外的设定范围

如果超过以下所示电压的设定范围使用 LSI，就可能给 LSI 的可靠性带来不良影响。

- 模拟输入电压的设定范围
  给模拟输入引脚 （AN0～AN7）外加的电压必须在VREFL≤VAN≤VREFH的范围内。
- 各电源引脚 （VREFH-VREFL、 VCC-VSS）的关系
  基准电压输入引脚（VREFH、VREFL）与数字电源引脚（VCC、VSS）的关系必须是VREFH≤VCC并且VREFL=VSS。为了能形成最短的闭环，必须在各电源之间连接0.1μF的电容器，并且在供电处使VREFL=VSS，如图38.17所示。在不使用A/D转换器时，必须使VREFH=VCC并且VREFL=VSS。

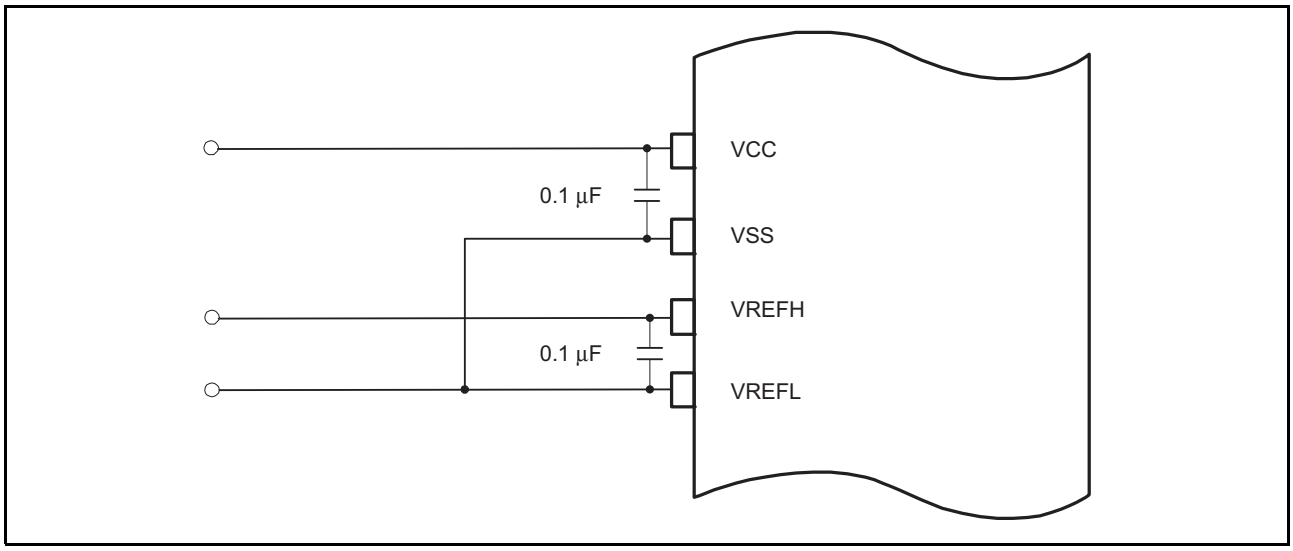


图 38.17 各电源引脚的连接例子

38.6.9 设计电路板时的注意事项

在设计电路板时，必须尽量将数字电路和模拟电路分开，而且不能使数字电路的信号线和模拟电路的信号线交叉或者靠近，否则会给模拟信号带来噪声并且给 A/D 转换值的精度带来不良影响。必须通过模拟接地（VREFL）将模拟输入引脚（AN0 ～ AN7）、模拟电源（VREFH）和数字电路分开，而且模拟接地（VREFL）必须与电路板上稳定的数字接地 （VSS）进行单点连接。

38.6.10 噪声对策的注意事项

如图 38.18 所示，为了防止因过大电涌等异常电压给模拟输入引脚 （AN0 ～ AN7）造成破坏，必须在 VREFH 和 VREFL 之间连接电容器并且给模拟输入引脚 （AN0 ～ AN7）连接保护电路。

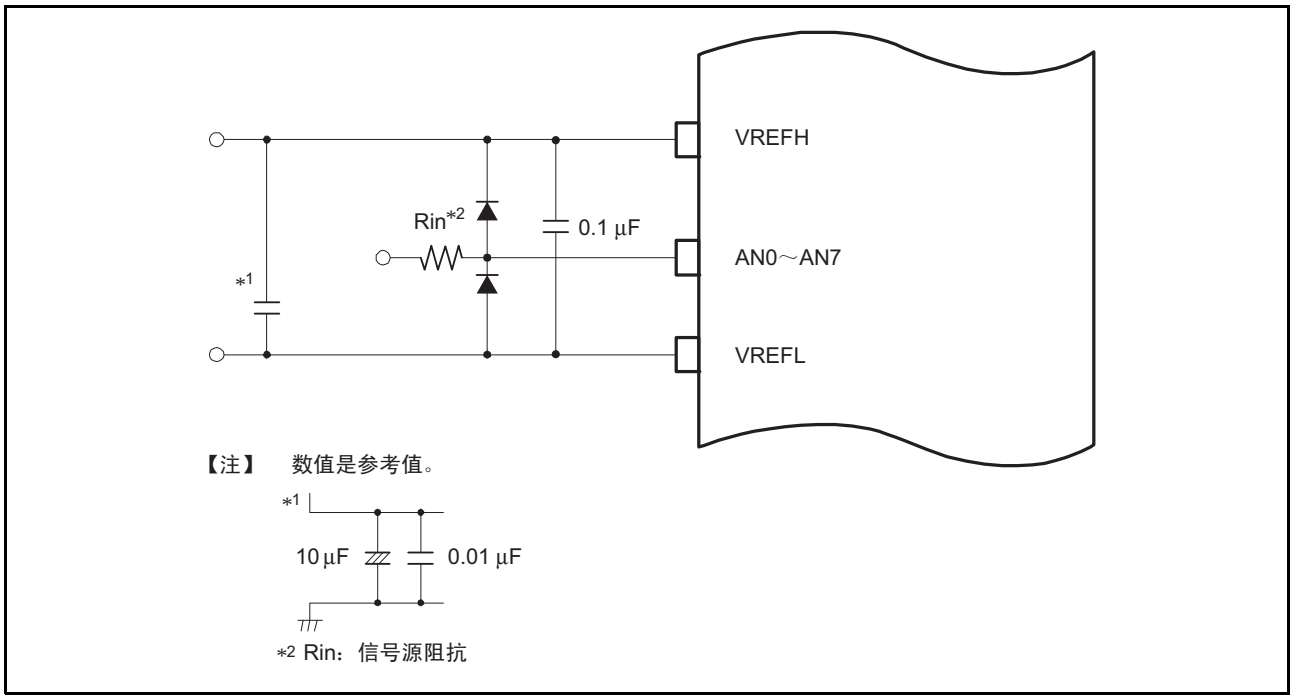


图 38.18 模拟输入保护电路的例子

38.6.11 高速转换的实现

如图 38.19 所示，为了实现高速转换，必须在模拟输入引脚 （AN0 ～ AN7）和 VREFL 之间外接 0.1μF 的电容器。但是，对于 10 位 A/D 转换器的采样＆保持电路的输入电容，为了隐藏信号源阻抗，需要在开始转换前给外接电容器积累足够的电荷。如果由于扫描等模拟输入引脚的电压电平发生变动而引起外接电容器的电荷变化，就不能实现高速转换。

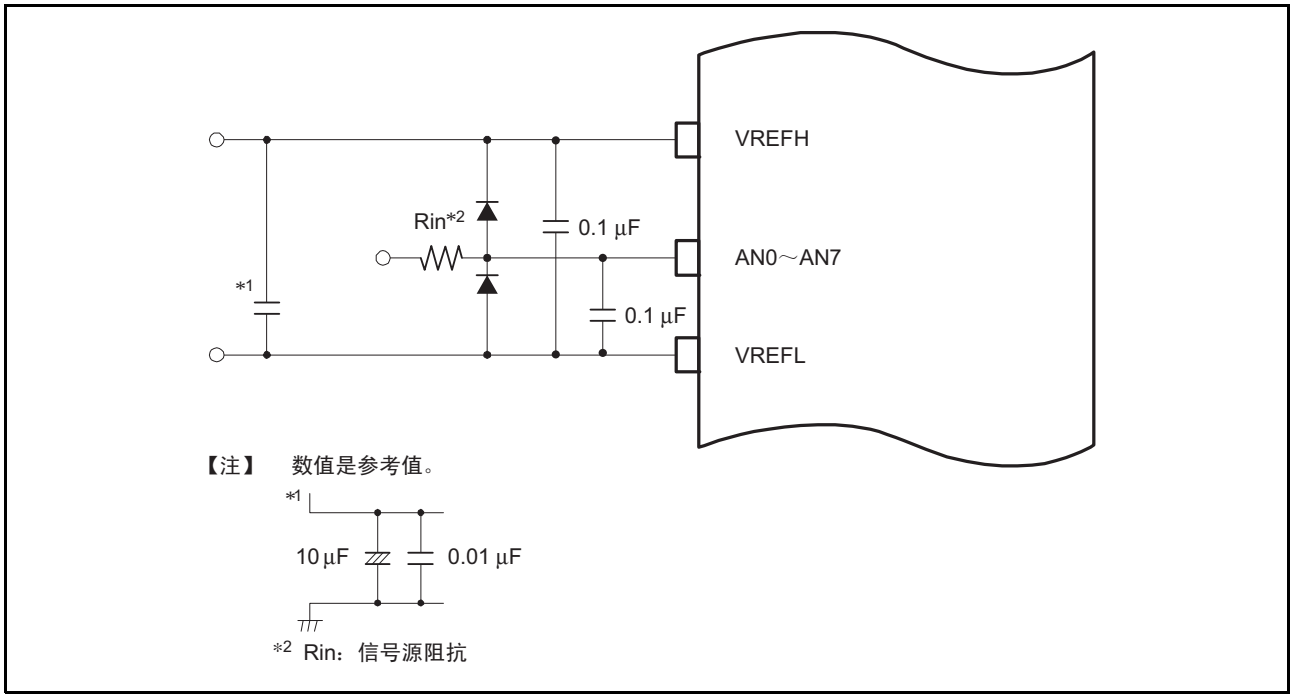


图 38.19 用于高速转换的外接电容器的连接例子

39. D/A 转换器 （DAa）

39.1 概要

RX630 群内置 2 个通道的 10 位 D/A 转换器。

D/A 转换器的规格和框图分别如表 39.1 和图 39.1 所示。

表 39.1 D/A 转换器的规格

项目	内容
分辨率	10 位
输出通道	2 个通道
模拟模块的干扰对策 （注 1）	• D/A 转换和 A/D 转换的干扰对策 通过 10 位 A/D 转换器输出的 10 位 A/D 转换器同步 D/A 转换允许输入信号，控制 D/A 转换数据的更新时序（通过允许信号控制 D/A 转换器的冲击电流产生时序，减少因干扰造成 A/D 转换精度的降低）。
低功耗功能	能设定为模块停止状态。

注 1. ROM 电容大于等于 1.5M 字节的产品或者大于等于 176 引脚的产品没有模拟模块的干扰对策功能。

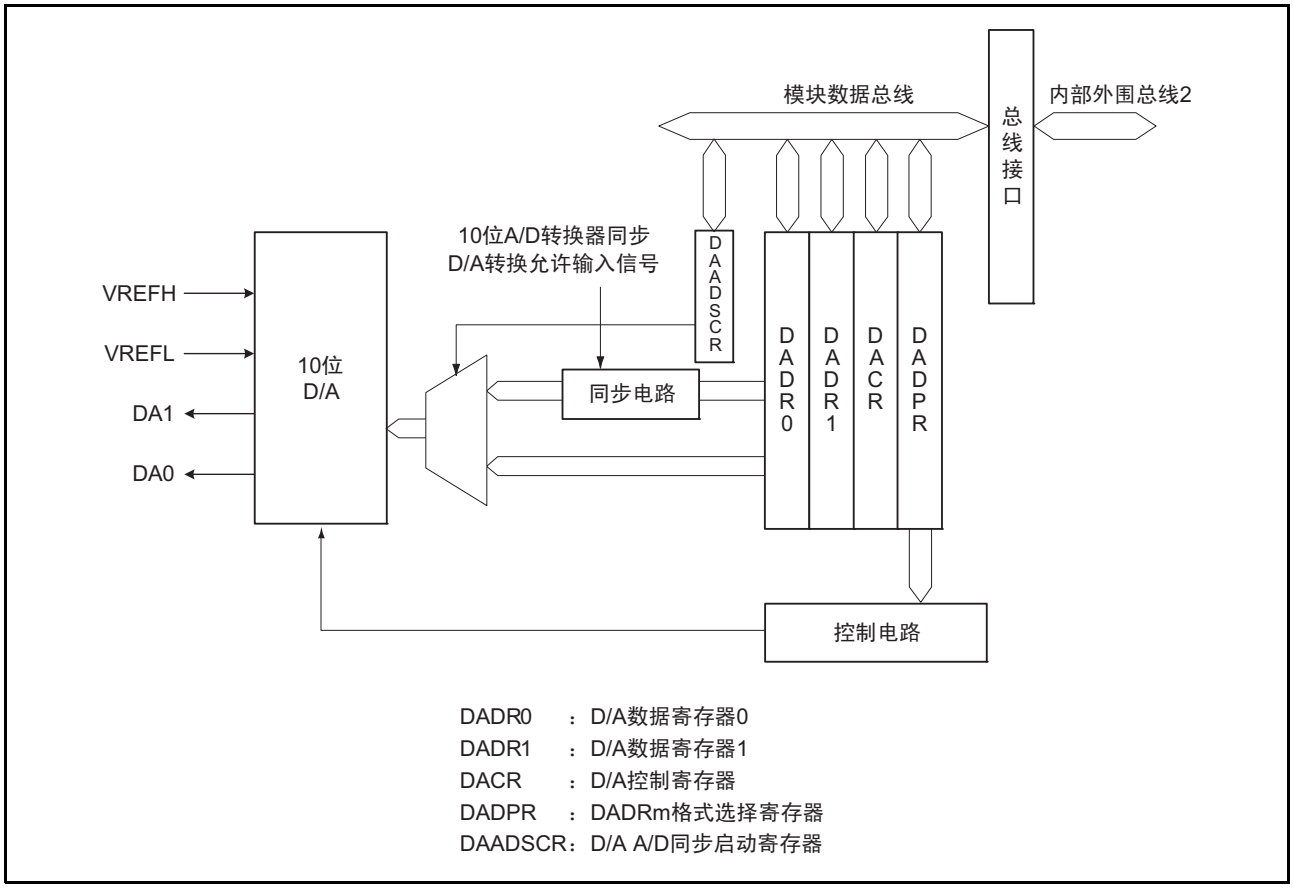


图 39.1 D/A 转换器的框图

D/A 转换器使用的输入 / 输出引脚如表 39.2 所示。

表 39.2 D/A 转换器的输入 / 输出引脚

引脚名	输入 / 输出	功能
VREFH	输入	这是 10 位 A/D 转换器和 D/A 转换器的基准电压输入引脚，也用作各模块的模拟电源。在不使用 10 位 A/D 转换器和 D/A 转换器时，必须连接 VCC。
VREFL	输入	这是 10 位 A/D 转换器和 D/A 转换器的基准电压输入引脚，也用作各模块的模拟接地，必须置为和 VSS 引脚相同的电位。
DA0	输出	通道 0 的模拟输出
DA1	输出	通道 1 的模拟输出

39.2 寄存器说明

39.2.1 D/A 数据寄存器 m （DADRm）（m=0、 1）

地址 DADR0 0008 80C0h、 DADR1 0008 80C2h

• DADPR.DPSEL位为“0”(数据往右靠紧)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

• DADPR.DPSEL位为“1”(数据往左靠紧)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
											—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRm 寄存器是用于保存 D/A 转换数据的 16 位可读写寄存器。如果允许模拟输出，就对 DADRm 寄存器的值进行转换并且输出到模拟输出引脚。

能通过设定 DADPR.DPSEL 位，更改 10 位数据的配置。“—”的位的读写值都为 “0”。

39.2.2 D/A 控制寄存器 （DACR）

地址 0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
复位后的值	0	0	0	1	1	1	1	1

位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为 “1”。	R/W
b5	DAE（注 1）	D/A 允许位	0：分别控制通道 0 和通道 1 的 D/A 转换 1：同时允许通道 0 和通道 1 的 D/A 转换	R/W
b6	DAOE0	D/A 输出允许 0 位	0：禁止通道 0 的模拟输出 （DA0） 1：允许通道 0 的 D/A 转换 允许通道 0 的模拟输出 （DA0）（注 2）	R/W
b7	DAOE1	D/A 输出允许 1 位	0：禁止通道 1 的模拟输出 （DA1） 1：允许通道 1 的 D/A 转换 允许通道 1 的模拟输出 （DA1）（注 2）	R/W

注 1. 通过和 DAOEi 位（i=0、1）的组合对 D/A 转换进行控制，由 DAOEi 位控制转换结果的输出，详细内容请参照表 39.3。

注 2. 必须将用作模拟输出引脚的 PORT0.PDR.Bm 位 （m=3、5）和 PORT0.PMR.Bm 位 （m=3、5）都置 “0”。必须通过 P03PFS 寄存器和 P05PFS 寄存器设定为模拟引脚。详细内容请参照 “19. I/O 端口” 和 “20. 多功能引脚控制器 （MPC）”。

表 39.3 D/A 转换的控制

b5	b7	b6	说明
DAE	DAOE1	DAOE0	
0	0	0	禁止 D/A 转换和模拟输出 （DA0、 DA1）（注 1）。
		1	允许通道 0 的 D/A 转换，禁止通道 1 的 D/A 转换。 允许通道 0 的模拟输出 （DA0），禁止通道 1 的模拟输出 （DA1）（注 1）。
	1	0	禁止通道 0 的 D/A 转换，允许通道 1 的 D/A 转换。 禁止通道 0 的模拟输出 （DA0）（注 1），允许通道 1 的模拟输出 （DA1）。
		1	允许通道 0 和通道 1 的 D/A 转换。 允许通道 0 和通道 1 的模拟输出 （DA0、 DA1）。
1	0	0	允许通道 0 和通道 1 的 D/A 转换。 禁止通道 0 和通道 1 的模拟输出 （DA0、 DA1）（注 1）。
		1	允许通道 0 和通道 1 的 D/A 转换。 允许通道 0 的模拟输出 （DA0），禁止通道 1 的模拟输出 （DA1）（注 1）。
	1	0	允许通道 0 和通道 1 的 D/A 转换。 禁止通道 0 的模拟输出 （DA0）（注 1），允许通道 1 的模拟输出 （DA1）。
		1	允许通道 0 和通道 1 的 D/A 转换。 允许通道 0 和通道 1 的模拟输出 （DA0、 DA1）。

注 1. 在禁止模拟输出时，模拟输出为 Hi-Z。

必须在 DAADSCR.DAADST 位为 “1”（D/A 转换和 A/D 转换的干扰对策有效）并且 10 位 A/D 转换器停止的状态下设定此寄存器（必须在将 10 位 A/D 转换器的触发选择设定为软件触发后并且在 ADCSR.ADST 位为 “0” 时进行设定）。

DAE 位 （D/A 允许位）

此位通过和 DAOEi 位 （i=0、 1）的组合对 D/A 转换进行控制。

当 DAE 位为 “0”时，分别控制通道 0 和通道 1 的 D/A 转换；当 DAE 位为 “1”时，同时控制通道 0 和通道 1 的 D/A 转换。由 DAOEi 位控制转换结果的输出。

必须在 D/A 转换和 A/D 转换的干扰对策有效（DAADSCR.DAADST 位 =1）并且 ADCSR.ADST 位为 “0”时设定此位。此时为了确保 10 位 A/D 转换器停止，必须将触发选择设定为软件触发。

DAOE0 位 （D/A 输出允许 0 位）

此位控制 D/A 转换和模拟输出。

必须在 D/A 转换和 A/D 转换的干扰对策有效（DAADSCR.DAADST 位 =1）并且 ADCSR.ADST 位为 “0”时设定此位。此时为了确保 10 位 A/D 转换器停止，必须将触发选择设定为软件触发。

DAOE1 位 （D/A 输出允许 1 位）

此位控制 D/A 转换和模拟输出。

必须在 D/A 转换和 A/D 转换的干扰对策有效（DAADSCR.DAADST 位 =1）并且 ADCSR.ADST 位为 “0”时设定此位。此时为了确保 10 位 A/D 转换器停止，必须将触发选择设定为软件触发。

39.2.3 DADRm 格式选择寄存器 （DADPR）

地址 0008 80C5h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b6-b0	—	保留位	读写值都为 “0”。	R/W
b7	DPSEL	DADRm 格式选择位	0：D/A 数据寄存器往右靠紧 1：D/A 数据寄存器往左靠紧	R/W

39.2.4 D/A A/D 同步启动控制寄存器 （DAADSCR）

地址 0008 80C6h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b6-b0	—	保留位	读写值都为 “0”。	R/W
b7	DAADST	D/A A/D 同步转换位	0：D/A 转换器不与 10 位 A/D 转换器同步进行转换 （D/A 转换和 A/D 转换的干扰对策无效） 1：D/A 转换器与 10 位 A/D 转换器同步进行转换 （D/A 转换和 A/D 转换的干扰对策有效）	R/W

为了 D/A 转换和 A/D 转换的干扰对策，DAADSCR 寄存器选择 D/A 转换器的转换开始时序是否与 10 位 A/D 转换器的 10 位 A/D 转换器同步 D/A 转换允许信号同步。

必须在 10 位 A/D 转换器停止的状态下设定此寄存器（在将 10 位 A/D 转换器的触发选择设定为软件触发后并且在 ADCSR.ADST 位为 “0”时进行设定）。

ROM 容量大于等于 768K 字节的产品或者大于等于 144 引脚的产品没有内置此寄存器。

DAADST 位 （D/A A/D 同步转换位）

如果将 DAADST 位置 “0”，就随时对 DADRm 寄存器的值进行 D/A 转换；如果将 DAADST 位置 “1”，就与 A/D 转换器的同步 D/A 转换允许信号同步进行 D/A 转换。因此，即使改写 DADRm 寄存器的值，也不在 A/D 转换器的 A/D 转换结束前进行 D/A 转换。

必须在 ADCSR.ADST 位为“0”时设定 DAADST 位。此时为了确保 10 位 A/D 转换器停止，必须将触发选择设定为软件触发。

39.3 运行说明

2 个通道的 D/A 转换器能分别独立进行转换。如果将 DACR.DAOEi 位（i=0、1）置“1”，就允许 D/A 转换并且输出转换结果。

进行通道 0 的 D/A 转换时的运行例子如下所示，此时的运行时序如图 39.2 所示。

1. 将转换数据写到DADR0寄存器。
2. 如果将DACR.DAOE0位置“1”，就开始D/A转换。在经过tDCONV时间后，从模拟输出引脚DA0输出转换结果。在改写DADR0寄存器或者将DAOE0位置“0”前，继续输出此转换结果。用以下表达式计算输出值：

$$\frac{\text{DADR0寄存器的值}}{1024} \times \text{VREFH}$$

3. 如果改写DADR0寄存器，就开始转换。在经过tDCONV的时间后，输出转换结果。当DAADSCR.DAADST位为 “1”（D/A转换和A/D转换的干扰对策有效）时，在开始D/A转换前最多等待1次A/D转换的时间。
4. 如果将DAOE0位置 “0”，就禁止模拟输出。

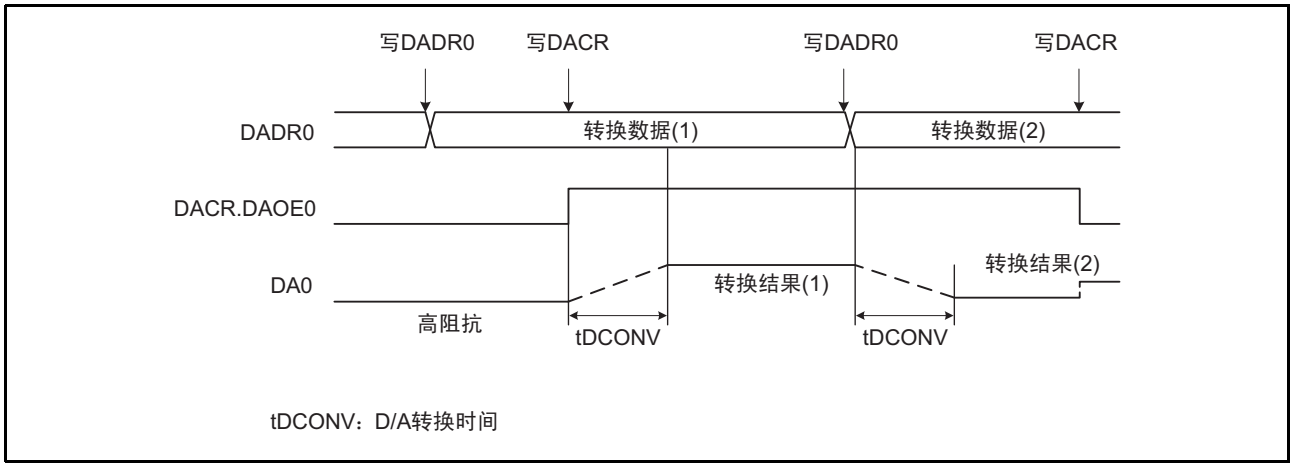


图 39.2 D/A 转换器的运行例子

39.3.1 D/A 转换和 A/D 转换的干扰对策

如果开始 D/A 转换， D/A 转换器就产生冲击电流。因为 D/A 转换器和 10 位 A/D 转换器的模拟电源共用，所以产生的冲击电流可能会干扰 10 位 A/D 转换器的转换。

为了不干扰 10 位 A/D 转换器的转换，能将 D/A 转换器的转换开始时序与 10 位 A/D 转换器的 10 位 A/D 转换器同步 D/A 转换允许信号同步。

当 DAADSCR.DAADST 位为 “1” 时，即使在 10 位 A/D 转换器正在进行 A/D 转换的过程中给 DADRm 寄存器改写数据，也不立即进行转换，而是与10位A/D转换器的A/D转换结束时序同步后开始转换。从写DADRm寄存器开始到反映到 D/A 转换电路的输入为止最多等待 1 次 A/D 转换的时间。此期间的 DADRm 寄存器值和模拟输出值不同。

在此功能有效时，无法通过软件确认 DADRm 寄存器的值是否进行了 D/A 转换。

即使在 DAADSCR.DAADST 位为 “1” 时，如果在 10 位 A/D 转换器停止的状态下给 DADRm 寄存器改写数据，就在 1 个 PCLK 后开始 D/A 转换。

在使用 D/A 转换器与 10 位 A/D 转换器同步进行转换的功能时，通道 0 的 D/A 转换的运行例子如下所示：

① 确认 10 位 A/D 转换器处于停止状态并且将 DAADSCR.DAADST 位置 “1”。
② 确认 10 位 A/D 转换器处于停止状态并且将 DACR.DAOE0 位置 “1”。
③ 设定 DADR0 寄存器。

- 在改写DADR0寄存器时，如果10位A/D转换器停止，就在1个PCLK后开始D/A转换。
- 在改写 DADR0 寄存器时，如果 10 位 A/D 转换器正在进行 A/D 转换，就在 A/D 转换结束时开始 D/A 转换。如果在A/D转换过程中改写2次DADR0寄存器，第1次的值就可能不进行D/A转换。

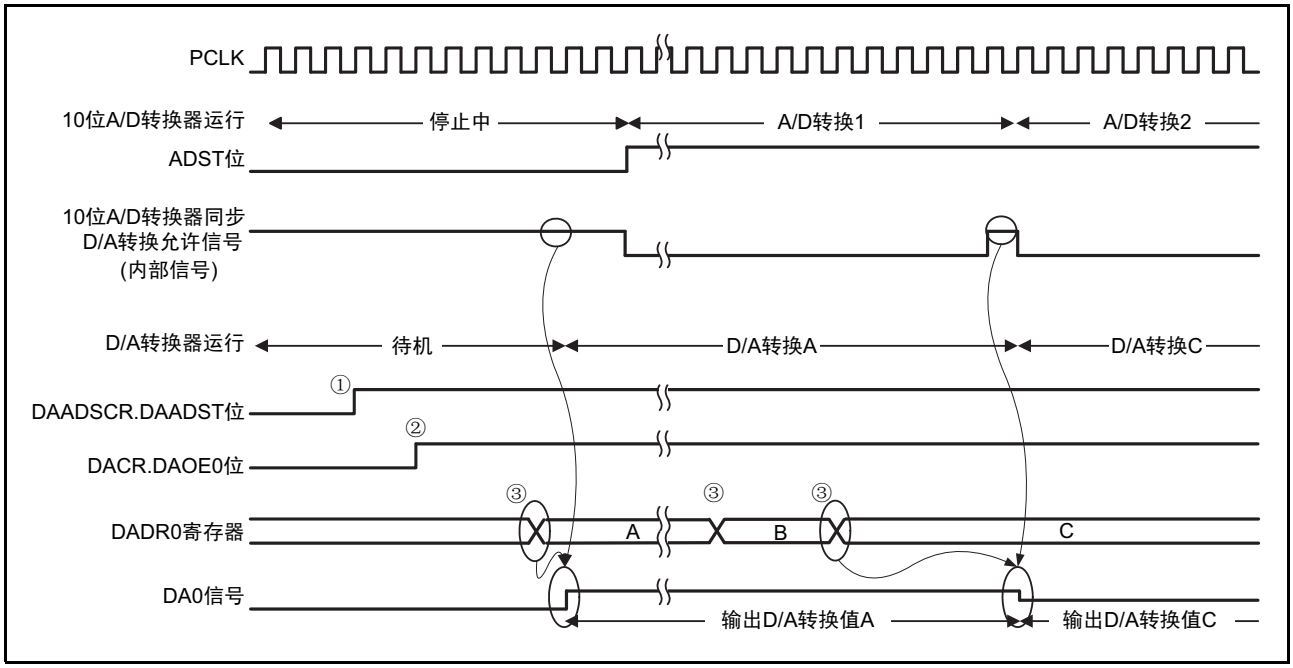


图 39.3 D/A 转换器与 10 位 A/D 转换器同步进行转换的例子

39.4 使用时的注意事项

39.4.1 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 D/A 转换器的运行，初始值为停止 D/A 转换器的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

39.4.2 模块停止时的 D/A 转换器的运行

如果在允许 D/A 转换的状态下变为模块停止状态，就保持 D/A 输出，模拟电源电流和 D/A 转换过程中的电流相同。如果需要在模块停止时减少模拟电源电流，就必须通过将 DACR.DAOE1 位、 DACR.DAOE0 位和 DACR.DAE 位全部置 “0”来禁止 D/A 输出。

39.4.3 软件待机模式时的 D/A 转换器的运行

如果在允许 D/A 转换的状态下 RX630 群转移到软件待机模式，就保持 D/A 输出，模拟电源电流和 D/A 转换过程中的电流相同。如果需要在软件待机模式中减少模拟电源电流，就必须通过将 DACR.DAOE1 位、DACR.DAOE0 位和 DACR.DAE 位全部置 “0”来禁止 D/A 输出。

39.4.4 深度软件待机模式时的注意事项

如果在允许 D/A 转换的状态下 RX630 群转移到深度软件待机模式， D/A 输出就变为高阻抗状态。

39.4.5 D/A 转换和 A/D 转换的干扰对策有效时的注意事项

在 DAADSCR.DAADST 位为 “1”（D/A 转换和 A/D 转换的干扰对策有效）时，不能将 10 位 A/D 转换器设定为模块停止状态。否则，不仅 A/D 转换而且 D/A 转换有可能都会停止。

39.4.6 D/A 转换和 A/D 转换的干扰对策无效时的注意事项

在 10 位 A/D 转换器和 D/A 转换器共用相同的模拟电源引脚时，使用 10 位 A/D 转换器同步 D/A 转换允许输入信号。

在 10 位 A/D 转换器和 D/A 转换器使用不同的模拟电源引脚时，因为不需要使用 10 位 A/D 转换器同步 D/A 转换允许输入信号，所以必须固定为 “1”并且给 D/A A/D 同步转换位写 “0”。

40. 温度传感器

40.1 概要

RX630 群内置温度传感器，温度传感器输出随温度而变化的电压。能通过 12 位 A/D 转换器将温度传感器的输出电压转换为数字值，并且通过将此数字值换算为温度来求 LSI 的外围温度。

温度传感器的规格和框图分别如表 40.1 和图 40.1 所示。

表 40.1 温度传感器的规格

项目	内容
温度传感器电压输出	输出到 12 位 A/D 转换器。
低功耗功能	能设定为模块停止状态。

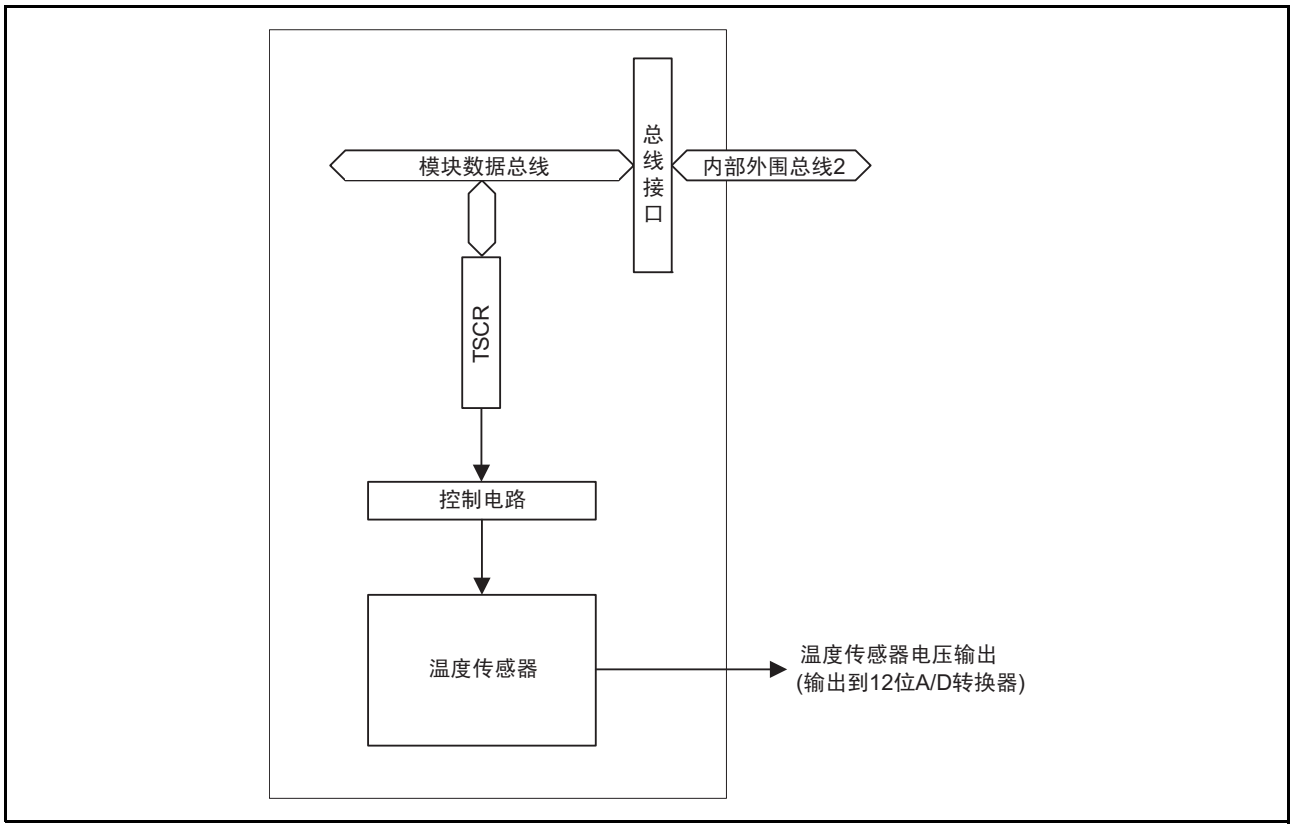


图 40.1 温度传感器的框图

40.2 寄存器说明

40.2.1 温度传感器的控制寄存器 （TSCR）

地址 0008 C500h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	—	—	TSOE	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b4	TSOE	温度传感器输出允许位	0：禁止从温度传感器输出到 12 位 A/D 转换器 1：允许从温度传感器输出到 12 位 A/D 转换器	R/W
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	TSEN	温度传感器允许位	0：温度传感器停止 1：温度传感器运行	R/W

40.3 温度传感器的使用方法

温度传感器输出随温度而变化的电压。能使用 12 位 A/D 转换器对此电压进行数字转换，并且通过将转换值换算为温度来求 LSI 的外围温度。

40.3.1 使用前的准备

以下表示温度传感器的温度特性。温度传感器的输出电压和温度变化成正比关系，用以下表达式表示。

温度特性的表达式：
$T=(Vs–V1)/Slope+T1$

T：测量温度 （°C）
Vs：测量温度时的温度传感器的输出电压 （V）
T1：第 1 点的试验测量时的温度 （°C）
V1：第 1 点的试验测量时的温度传感器的输出电压 （V）
T2：第 2 点的试验测量时的温度 （°C）
V2：第 2 点的试验测量时的温度传感器的输出电压 （V）
Slope：温度传感器的温度梯度 （V/°C） $Slope=(V2–V1)/(T2–T1)$

因为温度传感器自身有偏差，所以推荐对以下 2 点不同的温度进行试验测量。
首先，通过 12 位 A/D 转换器进行的试验测量求温度 T1 时的温度传感器的输出电压 V1。
其次，通过 12 位 A/D 转换器进行的试验测量求和温度 T1 不同的温度 T2 时的温度传感器的输出电压 V2。
从两者的测量结果求温度梯度 （$Slope=(V2–V1)/(T2–T1)$）。
将此 Slope 代入温度特性的表达式，求温度特性 $T=(Vs–V1)/Slope+T1$。

通过使用 “45. 电特性”的表 45.25 中记载的温度梯度以及通过 12 位 A/D 转换器进行的试验测量求温度 T1 时的温度传感器的输出电压 V1，并且用以下表达式计算出测量温度。此测量温度精度低于 2 点测量方法。

T=(Vs–V1)/Slope+T1

T：测量温度 （°C）
Vs：测量温度时的温度传感器的输出电压 （V）
T1：第 1 点的试验测量时的温度 （°C）
V1：第 1 点的试验测量时的温度传感器的输出电压 （V）
Slope：表 45.25 中记载的温度梯度 （V/°C）

40.3.2 12 位 A/D 转换器的设定

为了对温度传感器的输出进行 A/D 转换，需要将 12 位 A/D 转换器的寄存器进行如下设定：

- 温度传感器输出的A/D转换对象选择
  必须将A/D转换扩展输入控制寄存器的温度传感器输出A/D转换选择位 （ADEXICR.TSS）置 “1”，将温度传感器输出选择为A/D转换对象。此时，必须将A/D通道选择寄存器0 （ADANS0）和A/D通道选择寄存器1 （ADANS1）以及A/D转换扩展输入控制寄存器的内部基准电压A/D转换选择位 （ADEXICR.OCS）全部置 “0”，取消转换对象。

- 单次扫描模式的设定
  将A/D控制寄存器的扫描模式选择位 （ADCSR.ADCS）置 “0”，选择单次扫描模式。

- 加法运算模式的设定
  在对温度传感器的输出进行A/D转换时，有可能选择加法运算模式。要将加法运算模式置为有效时，必须将A/D转换扩展输入控制寄存器的温度传感器输出A/D转换值加法运算模式选择位 （ADEXICR.TSSAD）置 “1”，并且给A/D转换值加法运算次数选择寄存器的加法运算次数选择位 （ADADC.ADC[1:0]）设定加法运算次数。

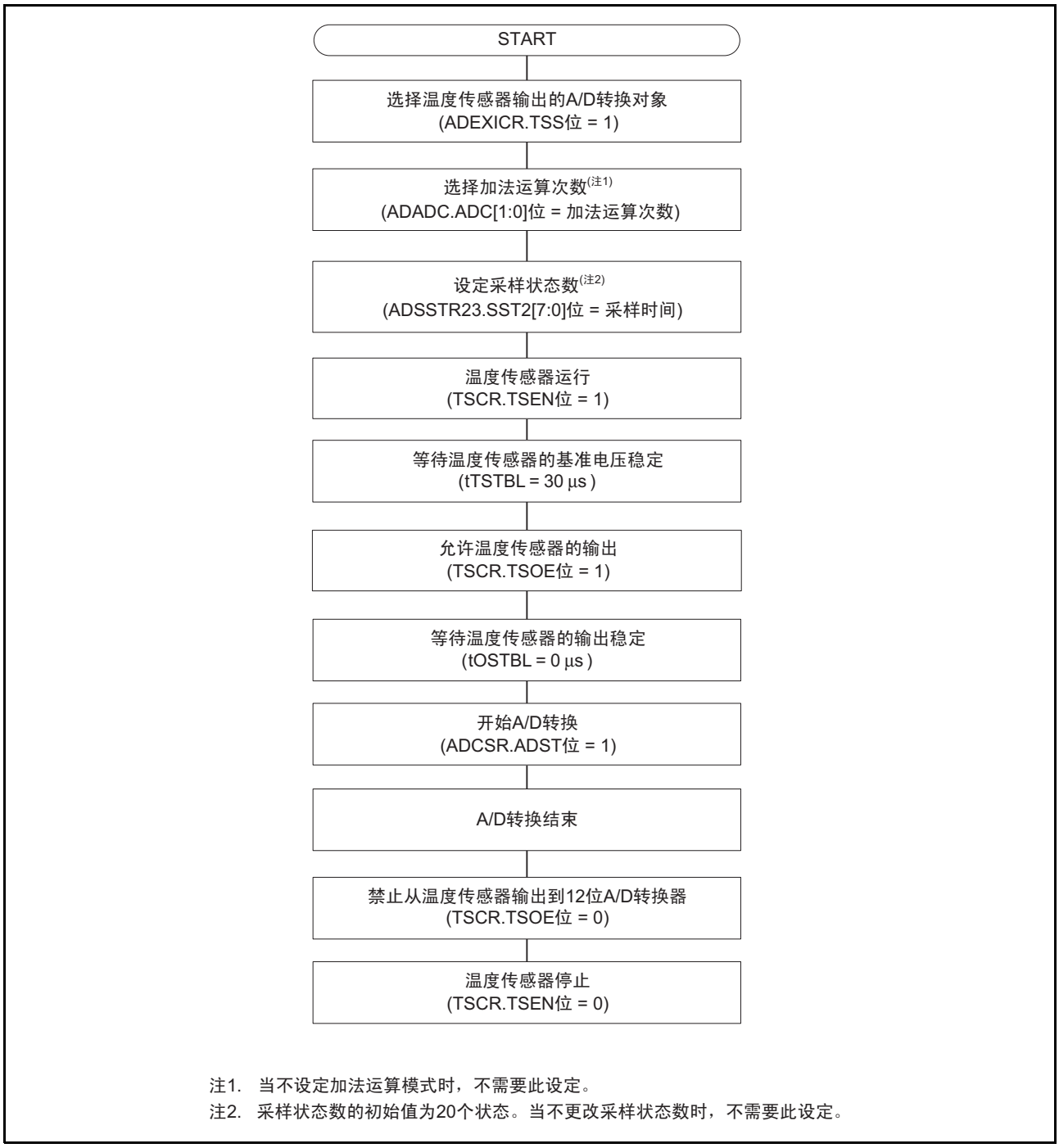
- 12位A/D转换器的采样状态数设定
  能在对温度传感器的输出进行 A/D 转换时设定采样状态数，初始值为 20 个状态。要更改采样状态数（20个状态）时，必须设定A/D采样状态寄存器23的采样时间2设定位 （ADSSTR23.SST2[7:0]）。

如果将 A/D 控制寄存器的 A/D 转换开始位 （ADCSR.ADST 位）置 “1”，就开始 A/D 转换，并且将 A/D 转换结果保存到 A/D 温度传感器数据寄存器 （ADTSDR）。在对温度传感器的输出进行 A/D 转换时，必须遵循 “40.3.3 温度传感器的使用步骤”。

需要采样时间。

40.3.3 温度传感器的使用步骤

温度传感器的使用步骤流程如图 40.2 所示。



注1. 当不设定加法运算模式时，不需要此设定。
注2. 采样状态数的初始值为20个状态。当不更改采样状态数时，不需要此设定。

图 40.2 温度传感器的使用步骤流程

40.3.4 温度传感器输出的 A/D 转换时序

从温度传感器的运行到 A/D 转换结束为止的时序和时间分别如图 40.3 和表 40.2 所示。

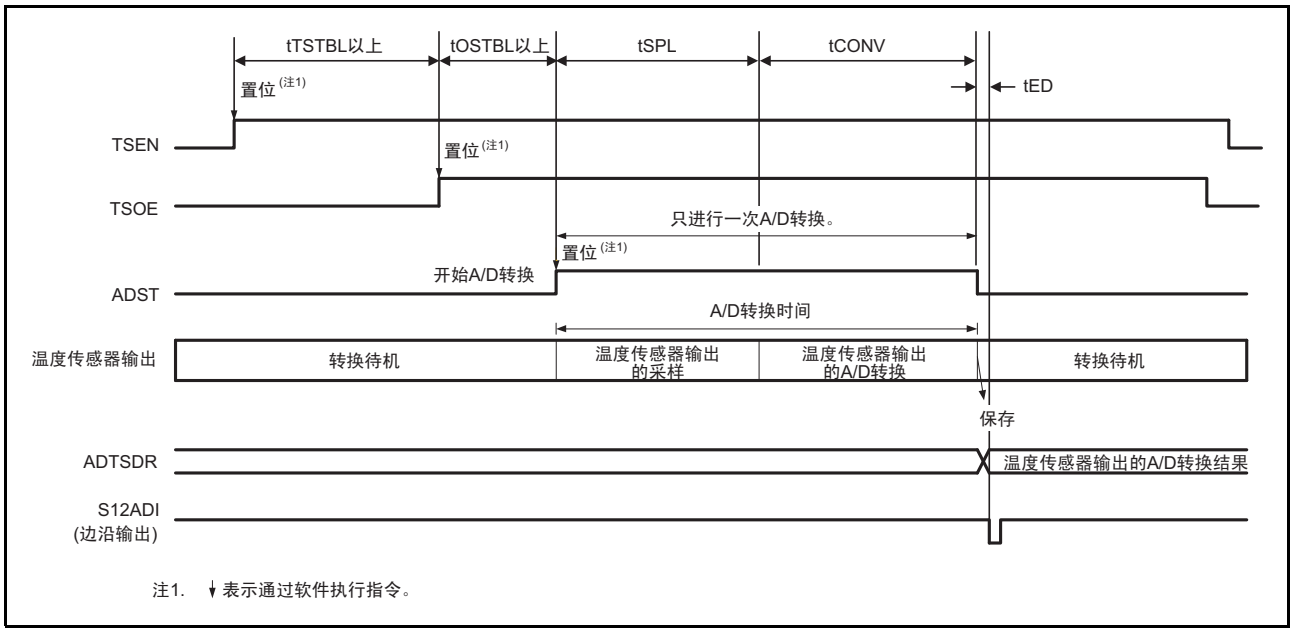


图 40.3 从温度传感器的运行到 A/D 转换结束为止的时序

表 40.2 从温度传感器的运行到 A/D 转换结束为止的时间

项目	符号	时间
温度传感器的基准电压稳定等待时间	tTSTBL	30μs （max）
温度传感器的输出稳定等待时间	tOSTBL	0μs （max）
12 位 A/D 转换器的输入采样时间	tSPL	ADSSTR23 的设定值 × PCLK 周期
A/D 转换处理时间	tCONV	参照 “37.3.4 模拟输入的扫描时间”的 “表 37.7 扫描运行时需要的时间”。
扫描转换结束延迟时间	tED	参照 “37.3.4 模拟输入的扫描时间”的 “表 37.7 扫描运行时需要的时间”。

40.4 使用时的注意事项

40.4.1 模块停止功能的设定

能通过模块停止控制寄存器 B （MSTPCRB）设定禁止或者允许温度传感器的运行，初始值为停止温度传感器的运行。通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照 “11. 低功耗功能”。

41. RAM

RX630 群内置高速静态 RAM。

41.1 概要

RAM 的规格如表 41.1 所示。

表 41.1 RAM 的规格

项目	内容
RAM 容量	最大 128K 字节 （RAM0：64K 字节、 RAM1：64K 字节）（注 2）
存取	• 以 1 个周期进行读写。 • 可选择内部 RAM 的有效或者无效（注 1）。
数据保持功能	在深度待机模式中，能保持 RAM0 的数据。
低功耗功能	RAM0 和 RAM1 能分别设定为模块停止状态。

注 1. 能通过 SYSCR1.RAME 位进行选择。有关 SYSCR1 寄存器，请参照 “3.2.4 系统控制寄存器 1 （SYSCR1）”。

注 2. RAM 容量因产品而不同。

RAM 容量	RAM 地址
64K 字节	RAM0：0000 0000h ～ 0000 FFFFh （64K 字节）
96K 字节	RAM0：0000 0000h ～ 0000 FFFFh （64K 字节） RAM1：0001 0000h ～ 0001 7FFFh （32K 字节）
128K 字节	RAM0：0000 0000h ～ 0000 FFFFh （64K 字节） RAM1：0001 0000h ～ 0001 FFFFh （64K 字节）

41.2 运行说明

41.2.1 数据的保持

内部 RAM 的地址空间分为 RAM0 区和 RAM1 区，RAM0 区和 RAM1 区的不同点是在深度软件待机模式中是否能提供内部电源。

能通过设定 DPSBYCR.DEEPCUT[1:0] 位，选择在深度软件待机模式中是否给 RAM0 提供内部电源。

能通过在深度软件待机模式中给 RAM0 提供内部电源，保持 RAM0 的数据。此时，因为停止给 RAM1 提供内部电源，所以不能保持 RAM1 的数据。

有关 DPSBYCR.DEEPCUT[1:0] 的详细内容，请参照 “11. 低功耗功能”。

41.2.2 低功耗功能

通过设定模块停止控制寄存器 C （MSTPCRC）停止给 RAM 提供时钟，能降低功耗。

如果将 MSTPCRC.MSTPC0 位置 “1”，提供给 RAM0 的时钟就停止；如果将 MSTPCRC.MSTPC1 位置 “1”，提供给 RAM1 的时钟就停止。

通过停止提供时钟，使 RAM0 和 RAM1 各自变为模块停止状态。但是在复位后， RAM 运行。

一旦进入模块停止状态，就无法存取 RAM。不能在存取 RAM 的过程中转移到模块停止状态。

有关 MSTPCRC 寄存器的详细内容，请参照 “11. 低功耗功能”。

42. ROM （保存代码的闪存）

RX630 群内置用于保存最多 2M 字节代码的闪存 （ROM）。
本章说明用于保存代码的闪存，有关 E2 数据闪存，请参照 “43. E2 数据闪存 （保存数据的闪存）”。

42.1 概要

ROM 的规格如表 42.1 所示， ROM 容量和 ROM 地址的对应表如表 42.2 所示， ROM 和 E2 数据闪存的框图如图 42.1 所示。

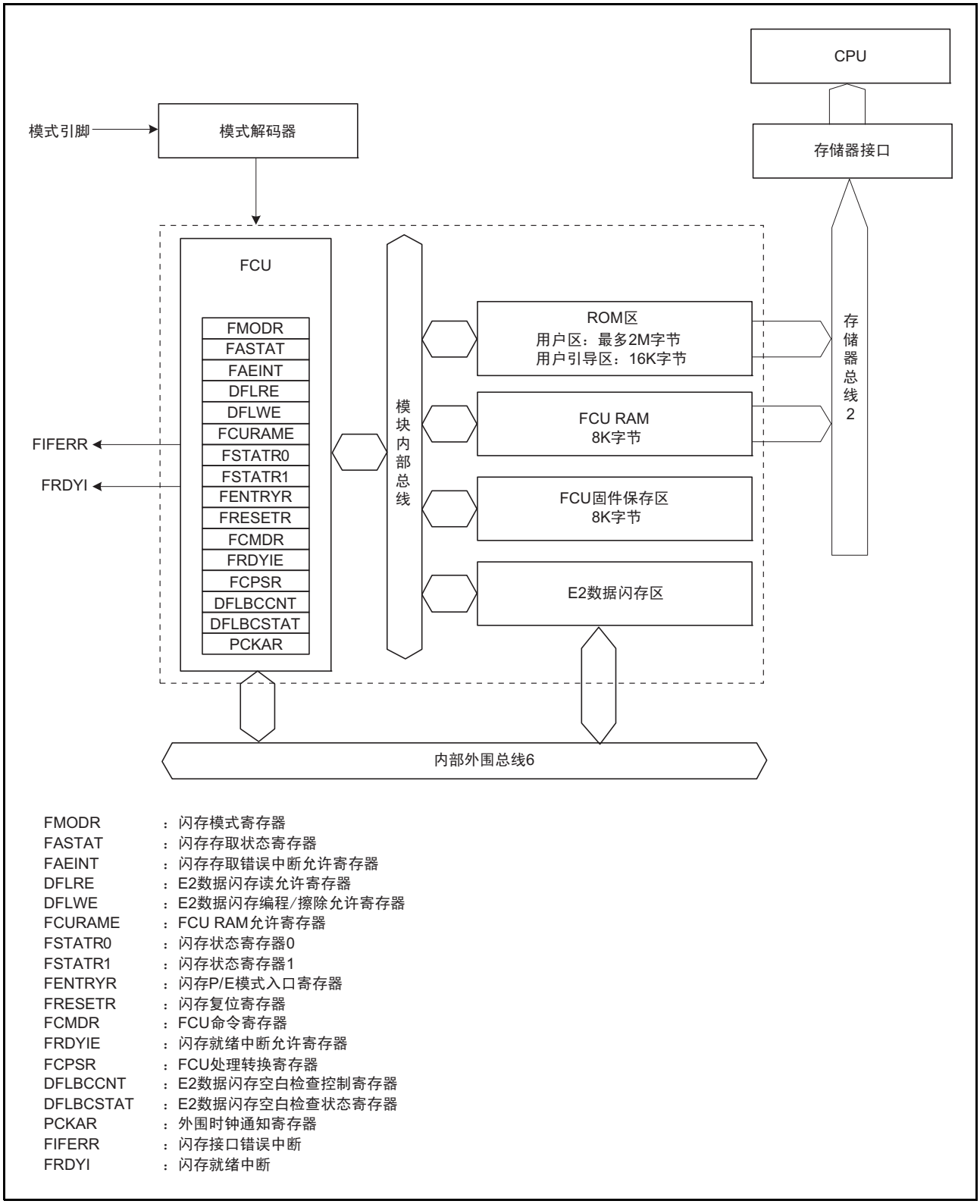
表 42.1 ROM 的规格

项目		内容
存储空间		• 用户区 ：最多 2M 字节 • 用户引导区 ：16K 字节
高速读取能力		能进行 1 个 ICLK 周期的高速读取。
编程 / 擦除方式		• 内置对 ROM 进行改写的专用定序器 （FCU）。 • 能通过给 FCU 发行命令，进行 ROM 的编程或者擦除。 • 如果读擦除状态的 ROM，就能以 32 位为单位读到 “FFFF FFFFh”。
BGO （后台操作）功能		• 在对 E2 数据闪存进行编程或者擦除的期间，能执行分配在 ROM 区的程序。 • 在对 ROM 进行编程或者擦除的期间， CPU 能执行分配在 ROM/E2 数据闪存以外区域的程序
挂起 / 恢复功能		• 中止对 ROM 进行的编程或者擦除， CPU 能执行 ROM 区的程序 （挂起）。 • 在中止后，能重新开始对 ROM 进行编程或者擦除 （恢复）。
编程 / 擦除单位		• 用户区和用户引导区的编程单位：128 字节 • 用户区的擦除单位：以块为单位 • 用户引导区的擦除单位：16K 字节
板上编程 （4 种）	引导模式	• 能使用 SCI 改写用户区和用户引导区。 • 能自动调整主机和 RX630 之间的 SCI 通信的位速率。
	USB 引导模式	能使用 USB 改写用户区。
	用户引导模式	能从用户引导区启动并且能改写用户区。
	用户编程模式	能通过程序改写用户区。
板外编程		能使用 PROM 编程器改写用户区和用户引导区。
保护功能	软件保护功能	能通过 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、 FENTRYR.FENTRY1 位、FENTRYR.FENTRY0 位（注 1）、FWEPROR.FLWE[1:0] 位和锁定位防止意料不到的改写。
	错误保护功能	如果在编程或者擦除过程中检测到异常，就禁止以后的编程或者擦除处理。
编程时间 / 擦除时间 / 改写次数		请参照 “45. 电特性”。

注 1. 当用户区的容量超过 512K 字节时，有 FENTRY1 位；当用户区的容量超过 1M 字节时，有 FENTRY2 位；当用户区的容量超过 1.5M 字节时，有 FENTRY3 位。

表 42.2 ROM 容量和 ROM 地址的对应表

ROM 容量	ROM 地址
384K 字节	FFFA 0000h ～ FFFF FFFFh
512K 字节	FFF8 0000h ～ FFFF FFFFh
768K 字节	FFF4 0000h ～ FFFF FFFFh
1M 字节	FFF0 0000h ～ FFFF FFFFh
1.5M 字节	FFE8 0000h ～ FFFF FFFFh
2M 字节	FFE0 0000h ～ FFFF FFFFh



FMODR ：闪存模式寄存器
FASTAT ：闪存存取状态寄存器
FAEINT ：闪存存取错误中断允许寄存器
DFLRE ：E2数据闪存读允许寄存器
DFLWE ：E2数据闪存编程/擦除允许寄存器
FCURAME ：FCU RAM允许寄存器
FSTATR0 ：闪存状态寄存器0
FSTATR1 ：闪存状态寄存器1
FENTRYR ：闪存P/E模式入口寄存器
FRESETR ：闪存复位寄存器
FCMDR ：FCU命令寄存器
FRDYIE ：闪存就绪中断允许寄存器
FCPSR ：FCU处理转换寄存器
DFLBCCNT ：E2数据闪存空白检查控制寄存器
DFLBCSTAT ：E2数据闪存空白检查状态寄存器
PCKAR ：外围时钟通知寄存器
FIFERR ：闪存接口错误中断
FRDYI ：闪存就绪中断

图 42.1 ROM 的框图

ROM 的相关输入 / 输出引脚如表 42.3 所示。

表 42.3 ROM 的相关输入 / 输出引脚

引脚名	输入 / 输出	功能
PF2/RXD1 （176 引脚版） P30/RXD1 （144/100/80 引脚版）	输入	用于引导模式的 SCI 的接收数据 （用于主机通信）。
PF0/TXD1 （176 引脚版） P26/TXD1 （144/100/80 引脚版）	输出	用于引导模式的 SCI 的发送数据 （用于主机通信）。
MD	输入	设定运行模式。
PC7	输入	设定引导模式 （SCI 引导）、用户引导模式 /USB 引导模式。
USB0_DP、 USB0_DM	输入 / 输出	USB 数据的输入 / 输出 （用于 USB 引导模式）
P14/USB0_DPUPE	输入 / 输出	USB 上拉引脚 （用于 USB 引导模式）。
P16/USB0_VBUS	输入	检测 USB 电缆的连接 / 断开 （用于 USB 引导模式）。
P35	输入	设定 USB 总线供电模式或者自供电模式 （用于 USB 引导模式）。

42.2 寄存器说明

部分寄存器也有 E2 数据闪存的相关位，本章只说明 ROM 的相关位的功能。有关 E2 数据闪存相关位功能的详细内容，请参照 “43. E2 数据闪存 （保存数据的闪存）”的 “43.2 寄存器说明”。

P/E 表示编程 / 擦除。

42.2.1 闪存编程 / 擦除保护寄存器 （FWEPROR）

地址 0008 C296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FLWE[1:0]	
复位后的值	0	0	0	0	0	0	1	0

位	符号	位名	功能	R/W
b1-b0	FLWE[1:0]	闪存编程 / 擦除位	b1 b0 0 0：不能进行编程和擦除 0 1：能进行编程和擦除 1 0：不能进行编程和擦除 1 1：不能进行编程和擦除	R/W
b7-b2	—	保留位	读写值都为 “0”。	R/W

在软件待机模式和深度软件待机模式中，对 FWEPROR 寄存器进行初始化。

FLWE[1:0] 位 （闪存编程 / 擦除位）

这些位通过软件对闪存编程和擦除的执行进行保护。

42.2.2 闪存模式寄存器 （FMODR）

地址 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b4	FRDMD	FCU 读模式选择位	0：存储区读方式 在 ROM 锁定位读模式中读 ROM 的锁定位时进行设定。 1：寄存器读方式 在使用锁定位读 2 命令读 ROM 的锁定位时进行设定。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

在内部 ROM 无效模式中， FMODR 寄存器的读数据为 “00h”，不能写。

FRDMD 位 （FCU 读模式选择位）

此位指定锁定位的读法。

在使用 E2 数据闪存的空白检查命令时，需要设定为寄存器读方式。

详细内容请参照 “43. E2 数据闪存 （保存数据的闪存）”。

42.2.3 闪存存取状态寄存器 （FASTAT）

地址 007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DFLWPE	E2 数据闪存的编程 / 擦除保护违反位	请参照 “43. E2 数据闪存 （保存数据的闪存）”。	R/(W)（注 1）
b1	DFLRPE	E2 数据闪存的读保护违反位	请参照 “43. E2 数据闪存 （保存数据的闪存）”。	R/(W)（注 1）
b2	—	保留位	读写值都为 “0”。	R/W
b3	DFLAE	E2 数据闪存的存取违反位	请参照 “43. E2 数据闪存 （保存数据的闪存）”。	R/(W)（注 1）
b4	CMDLK	FCU 命令锁定位	0：FCU 不处于命令锁定状态 1：FCU 处于命令锁定状态	R
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	ROMAE	ROM 存取违反位	0：没有 ROM 存取错误 1：有 ROM 存取错误	R/(W)（注 1）

注 . 为了将标志置 “0”，只能在读 “1” 后写 “0”。

在内部 ROM 无效模式中， FASTAT 寄存器的读数据为 “00h”，不能写。如果 FASTAT 寄存器的某位变为 “1”， FCU 就进入命令锁定状态（参照 “42.8.2 错误保护”）。为了解除命令锁定状态，需要在将 FASTAT 寄存器置 “10h”后，给 FCU 发行状态寄存器清除命令。

CMDLK 位 （FCU 命令锁定位）

此位表示 FCU 处于命令锁定状态 （参照 “42.8.2 错误保护”）。

[为 “1”的条件]

- FCU检测到错误并且转移到命令锁定状态后

[为 “0”的条件]

- 在FASTAT寄存器为 “10h”的状态下FCU发行状态寄存器清除命令后

ROMAE 位 （ROM 存取违反位）

此位表示有没有违反 ROM 的存取。

如果 ROMAE 位变为 “1”， FSTATR0.ILGLERR 位就变为 “1”， FCU 进入命令锁定状态。

[为 “1”的条件]

- 在ROM P/E正常模式的状态下对以下的ROM编程/擦除地址发行读存取命令时 （注1）

ROM 容量	ROM 编程 / 擦除地址			
	FENTRY0 位为 “1”	FENTRY1 位为 “1”	FENTRY2 位为 “1”	FENTRY3 位为 “1”
256K 字节	00FC 0000h～00FF FFFFh	—	—	—
512K 字节	00F8 0000h～00FF FFFFh	—	—	—
1M 字节	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	—	—
1.5M 字节	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	—
2M 字节	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	00E0 0000h～00E7 FFFFh

- 当对以下的ROM编程/擦除地址发行存取命令时 （注1）

ROM 容量	ROM 编程 / 擦除地址			
	FENTRY0 位为 “0”	FENTRY1 位为 “0”	FENTRY2 位为 “0”	FENTRY3 位为 “0”
256K 字节	00FC 0000h～00FF FFFFh	—	—	—
512K 字节	00F8 0000h～00FF FFFFh	—	—	—
1M 字节	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	—	—
1.5M 字节	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	—
2M 字节	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	00E0 0000h～00E7 FFFFh

- 在设定FENTRYR寄存器后转移到ROM P/E模式的状态下，对以下的ROM读地址发行读存取命令时

ROM 容量	ROM 编程 / 擦除地址
256K 字节	FFFC 0000h ～ FFFF FFFFh
512K 字节	FFF8 0000h ～ FFFF FFFFh
1M 字节	FFF0 0000h ～ FFFF FFFFh
1.5M 字节	FFE8 0000h ～ FFFF FFFFh
2M 字节	FFE0 0000h ～ FFFF FFFFh

[为 “0”的条件]

- 在读 “1”后写 “0”时

注 1. 当用户区的容量超过 512K 字节时，有 FENTRY1 位；当用户区的容量超过 1M 字节时，有 FENTRY2 位；当用户区的容量超过 1.5M 字节时，有 FENTRY3 位。

42.2.4 闪存存取错误中断允许寄存器 （FAEINT）

地址 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
复位后的值	1	0	0	1	1	0	1	1

位	符号	位名	功能	R/W
b0	DFLWPEIE	E2 数据闪存的编程 / 擦除保护违反中断允许位	请参照 “43. E2 数据闪存 （保存数据的闪存）”。	R/W
b1	DFLRPEIE	E2 数据闪存的读保护违反中断允许位	请参照 “43. E2 数据闪存 （保存数据的闪存）”。	R/W
b2	—	保留位	读写值都为 “0”。	R/W
b3	DFLAEIE	E2 数据闪存的存取违反中断允许位	请参照 “43. E2 数据闪存 （保存数据的闪存）”。	R/W
b4	CMDLKIE	FCU 命令锁定中断允许位	0：在 FASTAT.CMDLK 位为 “1” 时，不产生 FIFERR 中断请求。 1：在 FASTAT.CMDLK 位为 “1” 时，产生 FIFERR 中断请求。	R/W
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	ROMAEIE	ROM 存取违反中断允许位	0：在 FASTAT.ROMAE 位为 “1” 时，不产生 FIFERR 中断请求。 1：在 FASTAT.ROMAE 位为 “1” 时，产生 FIFERR 中断请求。	R/W

在内部 ROM 无效模式中， FAEINT 寄存器的读数据为 “00h”，不能写。

CMDLKIE 位 （FCU 命令锁定中断允许位）

在发生 FCU 命令锁定并且 FASTAT.CMDLK 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的产生。

ROMAEIE 位 （ROM 存取违反中断允许位）

在发生 ROM 存取违反并且 FASTAT.ROMAE 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的产生。

42.2.5 FCU RAM 允许寄存器 （FCURAME）

地址 007F C454h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	FCRME
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FCRME	FCU RAM 允许位	0：禁止存取 FCU RAM 1：允许存取 FCU RAM	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W
b15-b8	KEY[7:0]	键码	控制能否改写 FCRME 位。	R/(W) （注 1）

注 1. 不保持写数据。

只在给高位字节写特定值时才能通过字存取写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， FCURAME 寄存器的读数据为 “00h”，不能写。

FCRME 位 （FCU RAM 允许位）

此位允许或者禁止存取 FCU RAM。

只在 KEY[7:0] 位为 “C4h”时才能通过字存取写 FCRME 位。要写 FCU RAM 时，必须将 FENTRYR 寄存器置 “0000h”，使 FCU 停止。

42.2.6 闪存状态寄存器 0 （FSTATR0）

地址 007F FFB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PRGSPD	编程挂起状态位	0：下述以外的状态 1：正在进行编程的中止处理或者正在编程挂起	R
b1	ERSSPD	擦除挂起状态位	0：下述以外的状态 1：正在进行擦除的中止处理或者正在擦除挂起	R
b2	—	保留位	读取值为 “0”，写操作无效。	R
b3	SUSRDY	挂起就绪位	0：不能接受 P/E 挂起命令 1：能接受 P/E 挂起命令	R
b4	PRGERR	编程错误位	0：编程处理正常结束 1：在编程处理过程中发生错误	R
b5	ERSERR	擦除错误位	0：擦除处理正常结束 1：在擦除处理过程中发生错误	R
b6	ILGLERR	非法命令错误位	0：FCU 没有检测到非法命令和 ROM/E2 数据闪存的非法存取 1：FCU 检测到非法命令或者 ROM/E2 数据闪存的非法存取	R
b7	FRDY	闪存就绪位	0：正在处理编程或者擦除，正在处理编程或者擦除的中止，正在处理锁定位读 2 命令，正在处理外围时钟通知命令，或者正在处理 E2 数据闪存的空白检查 （参照 “43. E2 数据闪存 （保存数据的闪存）”）。 1：没有执行上述处理	R

在内部 ROM 无效模式中， FSTATR0 寄存器的读数据为 “00h”。
通过复位或者将 FRESETR.FRESET 位置 “1”，对 FSTATR0 寄存器进行初始化。

PRGSPD 位 （编程挂起状态位）

此位表示 FCU 正在进行编程的中止处理或者已经转移到编程挂起状态，详细内容请参照 “42.7 挂起”。
[为 “1” 的条件]
- 当开始进行编程的中止处理时

[为 “0” 的条件]
- 当接受恢复命令时

ERSSPD 位 （擦除挂起状态位）

此位表示 FCU 正在进行擦除的中止处理或者已经转移到擦除挂起状态，详细内容请参照 “42.7 挂起”。
[为 “1” 的条件]
- 当开始进行擦除的中止处理时

[为 “0” 的条件]
- 当接受恢复命令时

SUSRDY 位 （挂起就绪位）

此位表示 FCU 能否接受 P/E 挂起命令。

[为 “1” 的条件]

- 在开始进行编程或者擦除处理后，转移到能接受P/E挂起命令的状态时

[为 “0” 的条件]

- 当接受P/E挂起命令时
- 在编程或者擦除处理过程中转移到命令锁定状态时

PRGERR 位 （编程错误位）

此位表示通过 FCU 对 ROM/E2 数据闪存进行编程处理的结果。

当 PRGERR 位为 “1” 时， FCU 进入命令锁定状态，详细内容请参照 “42.8.2 错误保护”。

[为 “1” 的条件]

- 在编程过程中发生错误时
- 当对由锁定位保护的区域发行编程命令时

[为 “0” 的条件]

- 在FCU发行状态寄存器清除命令后

ERSERR 位 （擦除错误位）

此位表示通过 FCU 对 ROM/E2 数据闪存进行擦除处理的结果。

当 ERSERR 位为 “1” 时， FCU 进入命令锁定状态，详细内容请参照 “42.8.2 错误保护”。

[为 “1” 的条件]

- 在擦除过程中发生错误时
- 当对由锁定位保护的区域发行擦除命令时

[为 “0” 的条件]

- 在FCU发行状态寄存器清除命令后

ILGLERR 位 （非法命令错误位）

此位表示 FCU 检测到非法命令或者 ROM/E2 数据闪存的非法存取。

当 ILGLERR 位为 “1” 时， FCU 进入命令锁定状态，详细内容请参照 “42.8.2 错误保护”。

[为 “1” 的条件]

- 当FCU检测到非法命令时
- 当FCU检测到ROM/E2数据闪存的非法存取时
  （FASTAT.ROMAE位、 FASTAT.DFLAE位、 FASTAT.DFLRPE位或者FASTAT.DFLWPE位为 “1”）
- 当FENTRYR寄存器的设定不正确时

[为 “0” 的条件]

- 在FASTAT寄存器为 “10h” 的状态下， FCU发行状态寄存器清除命令后

42.2.7 闪存状态寄存器 1 （FSTATR1）

地址 007F FFB1h

	b7	b6	b5	b4	b3	b2	b1	b0
	FCUERR	—	—	FLOCKST	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读取值为 “0”，写操作无效。	R
b4	FLOCKST	锁定位的状态位	0：保护状态 1：非保护状态	R
b6-b5	—	保留位	读取值为 “0”，写操作无效。	R
b7	FCUERR	FCU 错误位	0：在 FCU 处理中未发生错误 1：在 FCU 处理中发生错误	R

在内部 ROM 无效模式中， FSTATR1 寄存器的读数据为 “00h”。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 FSTATR1 寄存器进行初始化。

FLOCKST 位 （锁定位的状态位）

当使用锁定位读 2 命令时，此位反映锁定位的读数据。

在发行锁定位读 2 命令后 FSTATR0.FRDY 位变为 “1”时，将有效数据保存到 FLOCKST 位。 FLOCKST 位的值保持到下一个锁定位读 2 命令结束为止。

FCUERR 位 （FCU 错误位）

此位表示在 FCU 内部处理中发生错误。

当 FCUERR 位为 “1”时，必须将 FRESETR.FRESET 位置 “1”，对 FCU 进行初始化。必须将 FCU 固件从 FCU 固件区重新复制到 FCU RAM 区。

42.2.8 闪存就绪中断允许寄存器 （FRDYIE）

地址 007F C412h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FRDYIE	闪存就绪中断允许位	0：禁止 FRDYI 中断请求的产生 1：允许 FRDYI 中断请求的产生	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W

在内部 ROM 无效模式中， FRDYIE 寄存器的读数据为 “00h”，不能写。

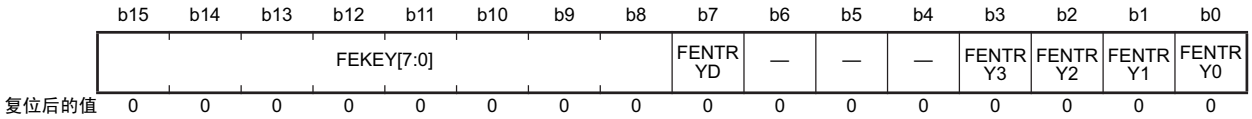
FRDYIE 位 （闪存就绪中断允许位）

此位允许或者禁止在结束编程或者擦除处理时产生 FRDYI 中断请求。

如果在将 FRDYIE 位置 “1” 的状态下结束 FCU 命令的执行 （FSTATR0.FRDY 位从 “0” 变为 “1”），就产生闪存就绪中断请求 （FRDYI）。

42.2.9 闪存 P/E 模式入口寄存器 （FENTRYR）

地址 007F FFB2h



位	符号	位名	功能	R/W
b0	FENTRY0	ROM P/E 模式入口位 0	0：ROM 的 384K 或者 512K 字节 （区域 0（注 2））为 ROM 读模式 1：ROM 的 384K 或者 512K 字节 （区域 0（注 2））为 ROM P/E 模式	R/W
b1	FENTRY1	ROM P/E 模式入口位 1（注 1）	0：ROM 的 256K 或者 512K 字节 （区域 0（注 3））为 ROM 读模式 1：ROM 的 256K 或者 512K 字节 （区域 0（注 3））为 ROM P/E 模式	R/W
b2	FENTRY2	ROM P/E 模式入口位 2（注 1）	0：ROM 的 512K 字节 （区域 2（注 4））为 ROM 读模式 1：ROM 的 512K 字节 （区域 2（注 4））为 ROM P/E 模式	R/W
b3	FENTRY3	ROM P/E 模式入口位 3（注 1）	0：ROM 的 512K 字节 （区域 3（注 5））为 ROM 读模式 1：ROM 的 512K 字节 （区域 3（注 5））为 ROM P/E 模式	R/W
b6-b4	—	保留位	读写值都为 “0”。	R/W
b7	FENTRYD	E2 数据闪存 P/E 模式入口位	请参照 “43. E2 数据闪存 （保存数据的闪存）”。	R/W
b15-b8	FEKEY[7:0]	键码	控制能否改写 FENTRYD 位和 FENTRY3 ～ FENTRY0 位。	R/(W)（注 6）

注 1. 当用户区的容量超过 512K 字节时，有 FENTRY1 位；当用户区的容量超过 1M 字节时，有 FENTRY2 位；当用户区的容量超过 1.5M 字节时，有 FENTRY3 位。当没有 FENTRY3 ～ FENTRY1 位时，功能和保留位相同。

注 2. 区域 0（ROM 容量为 384K 的情况）在编程 / 擦除时对应地址 00FA 0000h ～ 00FF FFFFh，在读时对应地址 FFFA 0000h ～ FFFF FFFFh。
区域 0（ROM 容量为 512K/768K/1M/1.5M/2M 的情况）在编程 / 擦除时对应地址 00F8 0000h ～ 00FF FFFFh，在读时对应地址 FFF8 0000h ～ FFFF FFFFh。

注 3. 区域 1（ROM 容量为 768K 的情况）在编程 / 擦除时对应地址 00F4 0000h ～ 00F7 FFFFh，在读时对应地址 FFF4 0000h ～ FFF7 FFFFh。
区域 1 （ROM 容量为 1M/1.5M/2M 的情况）在编程 / 擦除时对应地址 00F0 0000h ～ 00F7 FFFFh，在读时对应地址 FFF0 0000h ～ FFF7 FFFFh。

注 4. 区域 2 在编程 / 擦除时对应地址 00E8 0000h ～ 00EF FFFFh，在读时对应地址 FFE8 0000h ～ FFEF FFFFh。

注 5. 区域 3 在编程 / 擦除时对应地址 00E0 0000h ～ 00E7 FFFFh，在读时对应地址 FFE0 0000h ～ FFE7 FFFFh。

注 6. 不保持写数据。

为了将 ROM/E2 数据闪存设定为 P/E 模式，使 FCU 能接受命令，需要将 FENTRYD 位或者 FENTRY0 ～ FENTRY3 位（注 1）置 “1”。但是，如果给 FENTRYR 寄存器写 “AA01h”、“AA02h”（注 2）、“AA04h”（注 2）、“AA08h”（注 2）和 “AA80h”以外的值， FSTATR0.ILGLERR 位就变为 “1”， FCU 进入命令锁定状态。

只在给高位字节写特定值时才能通过字存取写此寄存器，而在其他情况下写此寄存器时，此寄存器就被初始化，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， FENTRYR 寄存器的读数据为 “0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 FENTRYR 寄存器进行初始化。

注 1. 当用户区的容量超过 512K 字节时，有 FENTRY1 位；当用户区的容量超过 1M 字节时，有 FENTRY2 位；当用户区的容量超过 1.5M 字节时，有 FENTRY3 位。

注 2. 当用户区的容量超过 512K 字节时，能给 FENTRYR 寄存器写 “AA02h”；当用户区的容量超过 1M 字节时，能给 FENTRYR 寄存器写 “AA04h”；当用户区的容量超过 1.5M 字节时，能给 FENTRYR 寄存器写 “AA08h”。

FENTRY0 位 （ROM P/E 模式入口位 0）

此位将 ROM 的 384K 或者 512K 字节 （区域 0 （ROM 容量为 384K 字节的情况）的读地址：FFFA 0000h ～ FFFF FFFFh，编程 / 擦除地址：00FA 0000h ～ 00FF FFFFh ； 区域 0 （ROM 容量为 512K/768K/1M/1.5M/2M 字节的情况）的读地址：FFF8 0000h～FFFF FFFFh，编程/擦除地址：00F8 0000h～00FF FFFFh）设定为P/E模式。

[写操作的有效条件 （满足以下全部条件时）]

- 内部ROM为有效模式。
- FSTATR0.FRDY位为 “1”。
- 通过字存取给FEKEY[7:0]位写 “AAh”。

[为 “1”的条件]

- 在满足写操作的有效条件并且FENTRYR寄存器为 “0000h”的状态下，给FENTRY0位写 “1”时

[为 “0”的条件]

- 当通过字节存取进行写操作时
- 在FEKEY[7:0]位不为 “AAh”的状态下，通过字存取进行写操作时
- 在满足写操作的有效条件的状态下给FENTRY0位写 “0”时
- 在满足写操作的有效条件并且FENTRYR寄存器不为 “0000h”的状态下，写FENTRYR寄存器时

FENTRY1 位 （ROM P/E 模式入口位 1）

此位将 ROM 的 256K 或者 512K 字节 （区域 1 （ROM 容量为 768K 字节的情况）的读地址：FFF4 0000h ～ FFF7 FFFFh，编程 / 擦除地址：00F4 0000h ～ 00F7 FFFFh ； 区域 1（ROM 容量为 1M/1.5M/2M 字节的情况）的读地址：FFF0 0000h ～ FFF7 FFFFh，编程 / 擦除地址：00F0 0000h ～ 00F7 FFFFh）设定为 P/E 模式。当用户区的容量超过 512K 字节时，有 FENTRY1 位。

[写操作的有效条件 （满足以下全部条件时）]

- 内部ROM为有效模式。
- FSTATR0.FRDY位为 “1”。
- 通过字存取给FEKEY[7:0]位写 “AAh”。

[为 “1”的条件]

- 在满足写操作的有效条件并且FENTRYR寄存器为 “0000h”的状态下，给FENTRY1位写 “1”时

[为 “0”的条件]

- 当通过字节存取进行写操作时
- 在FEKEY[7:0]位不为 “AAh”的状态下，通过字存取进行写操作时
- 在满足写操作的有效条件的状态下给FENTRY1位写 “0”时
- 在满足写操作的有效条件并且FENTRYR寄存器不为 “0000h”的状态下，写FENTRYR寄存器时

FENTRY2 位 （ROM P/E 的模式入口位 2）

此位将 ROM 的 512K 字节 （区域 2 的读地址：FFF8 0000h ～ FFEF FFFFh，编程 / 擦除地址：00E8 0000h ～ 00EF FFFFh）设定为 P/E 模式。当用户区的容量超过 1M 字节时，有 FENTRY2 位。

[写操作的有效条件 （满足以下全部条件时）]

- 内部ROM为有效模式。
- FSTATR0.FRDY位为 “1”。
- 通过字存取给FEKEY[7:0]位写 “AAh”。

[为 “1” 的条件]

- 在满足写操作的有效条件并且FENTRYR寄存器为 “0000h” 的状态下，给FENTRY2位写 “1” 时

[为 “0” 的条件]

- 当通过字节存取进行写操作时
- 在FEKEY[7:0]位不为 “AAh” 的状态下，通过字存取进行写操作时
- 在满足写操作的有效条件的状态下给FENTRY2位写 “0” 时
- 在满足写操作的有效条件并且FENTRYR寄存器不为 “0000h” 的状态下，写FENTRYR寄存器时

FENTRY3 位 （ROM P/E 的模式入口位 3）

此位将 ROM 的 512K 字节 （区域 3 的读地址：FFE0 0000h ～ FFE7 FFFFh，编程 / 擦除地址：00E0 0000h ～ 00E7 FFFFh）设定为 P/E 模式。当用户区的容量超过 1.5M 字节时，有 FENTRY3 位。

[写操作的有效条件 （满足以下全部条件时）]

- 内部ROM为有效模式。
- FSTATR0.FRDY位为 “1”。
- 通过字存取给FEKEY[7:0]位写 “AAh”。

[为 “1” 的条件]

- 在满足写操作的有效条件并且FENTRYR寄存器为 “0000h” 的状态下，给FENTRY3位写 “1” 时

[为 “0” 的条件]

- 当通过字节存取进行写操作时
- 在FEKEY[7:0]位不为 “AAh” 的状态下，通过字存取进行写操作时
- 在满足写操作的有效条件的状态下给FENTRY3位写 “0” 时
- 在满足写操作的有效条件并且FENTRYR寄存器不为 “0000h” 的状态下，写FENTRYR寄存器时

42.2.10 闪存保护寄存器 （FPROTR）

地址 007F FFB4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FPKEY[7:0]								—	—	—	—	—	—	—	FPROTCN
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FPROTCN	锁定位保护取消位	0：通过锁定位进行的保护有效 1：通过锁定位进行的保护无效	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W
b15-b8	FPKEY[7:0]	键码	控制能否改写 FPROTCN 位。	R/(W) （注 1）

注 1. 不保持写数据。

只在给高位字节写特定值时才能通过字存取写此寄存器，而在其他情况下写此寄存器时，此寄存器被初始化，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， FPROTR 寄存器的读数据为 “0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 FPROTR 寄存器进行初始化。

FPROTCN 位 （锁定位保护取消位）

此位设定通过锁定位进行的编程 / 擦除保护的有效或者无效。

[为 “1” 的条件]

- 在 FENTRYR 寄存器的值不为 “0000h” 的状态下，通过字存取给 FPKEY[7:0] 位写 “55h” 并且给 FPROTCN 位写 “1” 时

[为 “0” 的条件]

- 当通过字节存取进行写操作时
- 在FPKEY[7:0]位不为 “55h” 的状态下，通过字存取进行写操作时
- 通过字存取给FPKEY[7:0]位写 “55h” 并且给FPROTCN位写 “0” 时
- 当FENTRYR寄存器的值为 “0000h” 时

42.2.11 闪存复位寄存器 （FRESETR）

地址 007F FFB6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRKEY[7:0]								—	—	—	—	—	—	—	FRESET
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FRESET	闪存复位的位	0：不对 FCU 进行复位 1：对 FCU 进行复位	R/W
b7-b1	—	保留位	读写值都为 “0”。	R/W
b15-b8	FRKEY[7:0]	键码	控制能否改写 FRESET 位。	R/(W) （注 1）

注 1. 不保持写数据。

只在给高位字节写特定值时才能通过字存取写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， FRESETR 寄存器的读数据为 “0000h”，不能写。

FRESET 位 （闪存复位的位）

如果将 FRESET 位置 “1”， ROM/E2 数据闪存的编程或者擦除就被强制结束并且 FCU 被初始化。

给编程或者擦除过程中的 ROM/E2 数据闪存的存储器外加高电压。为了确保存储器外加电压的下降所需的时间，在对 FCU 进行初始化时， FRESET 位为 “1”的状态必须保持 tFCUR （参照 “45. 电特性”）的时间。在 FRESET 位保持 “1”的期间，必须禁止读 ROM/E2 数据闪存。因为在 FRESET 位为 “1”的状态下对 FENTRYR 寄存器进行初始化，所以不能使用 FCU 命令。

只在 FRKEY[7:0] 位为 “CCh”时才能通过字存取写 FRESET 位。

42.2.12 FCU 命令寄存器 （FCMDR）

地址 007F FFBAh



位	符号	位名	功能	R/W
b7-b0	PCMDR[7:0]	预置命令	保存 FCU 接受的前一个命令。	R
b15-b8	CMDR[7:0]	命令	保存 FCU 接受的最新命令。	R

在内部 ROM 无效模式中， FCMDR 寄存器的读数据为 “0000h”，写操作无效。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 FCMDR 进行初始化。

接受各命令后的 FCMDR 寄存器的状态如表 42.4 所示，空白检查的内容请参照 E2 数据闪存的 “43.6 E2 数据闪存的编程 / 擦除”。

表 42.4 接受各命令后的 FCMDR 寄存器状态

命令	CMDR[7:0]	PCMDR[7:0]
正常模式转移	FFh	前一个命令
状态读模式转移	70h	前一个命令
锁定位读模式转移 （锁定位读 1）	71h	前一个命令
外围时钟通知命令	E9h	前一个命令
编程	E8h	前一个命令
块擦除	D0h	20h
P/E 挂起	B0h	前一个命令
P/E 恢复	D0h	前一个命令
状态寄存器清除	50h	前一个命令
锁定位读 2 的空白检查	D0h	71h
锁定位编程	D0h	77h

42.2.13 FCU 处理转换寄存器 （FCPSR）

地址 007F FFC8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ESUSPMD	擦除挂起模式位	0：挂起优先模式 1：擦除优先模式	R/W
b15-b1	—	保留位	读写值都为 “0”。	R/W

在内部 ROM 无效模式中， FCPSR 寄存器的读数据为 “0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 FCPSR 寄存器进行初始化。

ESUSPMD 位 （擦除挂起模式位）

在 FCU 进行 ROM/E2 数据闪存的擦除处理过程中发行 P/E 挂起命令时，此位选择擦除中止处理模式，详细内容请参照 “42.7 挂起”。

42.2.14 闪存 P/E 状态寄存器 （FPESTAT）

地址 007F FFCCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PEERRST[7:0]							
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	PEERRST[7:0]	P/E 错误状态位	00h：没有错误 01h：锁定位保护区的编程错误 02h：由锁定位保护以外的原因引起的编程错误 11h：锁定位保护区的擦除错误 12h：由锁定位保护以外的原因引起的擦除错误 （上述以外：保留）	R
b15-b8	—	保留位	读取值为 “0”，写操作无效。	R

在内部 ROM 无效模式中， FPESTAT 寄存器的读数据为 “0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 FPESTAT 寄存器进行初始化。

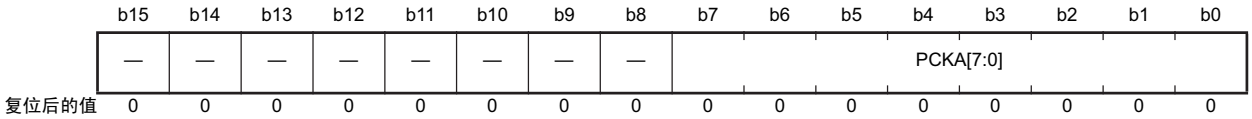
PEERRST[7:0] 位 （P/E 错误状态位）

这些位表示在 ROM/E2 数据闪存的编程或者擦除处理过程中发生错误时的错误原因。

只在 FSTATR0.ERSERR 位或者 FSTATR0.PRGERR 位为 “1” 的状态下并且 FSTATR0.FRDY 位变为 “1” 时， PEERRST[7:0] 位的值才有效。当 ERSERR 位和 PRGERR 位为 “0” 时， PEERRST[7:0] 位保持过去发生的错误原因的值。

42.2.15 外围时钟通知寄存器 （PCKAR）

地址 007F FFE8h



位	符号	位名	功能	R/W
b7-b0	PCKA[7:0]	外围时钟通知位	在对 ROM/E2 数据闪存进行编程或者擦除时，这些位设定 FlashIF 时钟 （FCLK）。	R/W
b15-b8	—	保留位	读写值都为 “0”。	R/W

此设定用于控制编程或者擦除的时间。

在内部 ROM 无效模式中， PCKAR 寄存器的读数据为 “0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 PCKAR 寄存器进行初始化。

PCKA[7:0] 位 （外围时钟通知位）

在对 ROM/E2 数据闪存进行编程或者擦除时，这些位设定 FlashIF 时钟 （FCLK）。

必须在进行编程或者擦除前给 PCKA[7:0] 位设定 FCLK 的频率，然后发行外围时钟通知命令。不能在对 ROM/E2 数据闪存进行编程或者擦除过程中更改频率。

如下进行设定值的计算：

- 将以MHz为单位表现的工作频率转换为2进制数并且写到PCKA[7:0]位。
  以FlashIF时钟的工作频率为35.9MHz时的情况为具体例子，说明如下：
- 将35.9的第1位小数进行四舍五入。
- 将36转换为2进制数，给PCKA[7:0]位的高位设定 “00h”，给低位设定 “24h”（“0010 0100b”）。

注 1. 如果将 PCKA[7:0] 位设定在 4MHz ～ 50MHz 的范围外，就不能对 ROM/E2 数据闪存发行改写命令。

注 2. 如果给 PCKA[7:0] 位设定和 FCLK 不同的频率，就可能破坏 ROM/E2 数据闪存的数据。

注 3. 即使有效地利用 PCKA[7:0] 位，在一定程度上改写时间也取决于频率。

42.3 ROM 的存储区结构

RX630 群的 ROM 由最多 2M 字节的用户区构成，此 MAT 的地址如图 42.2 所示。
必须注意：在进行读、编程或者擦除时，用户区的地址不同。

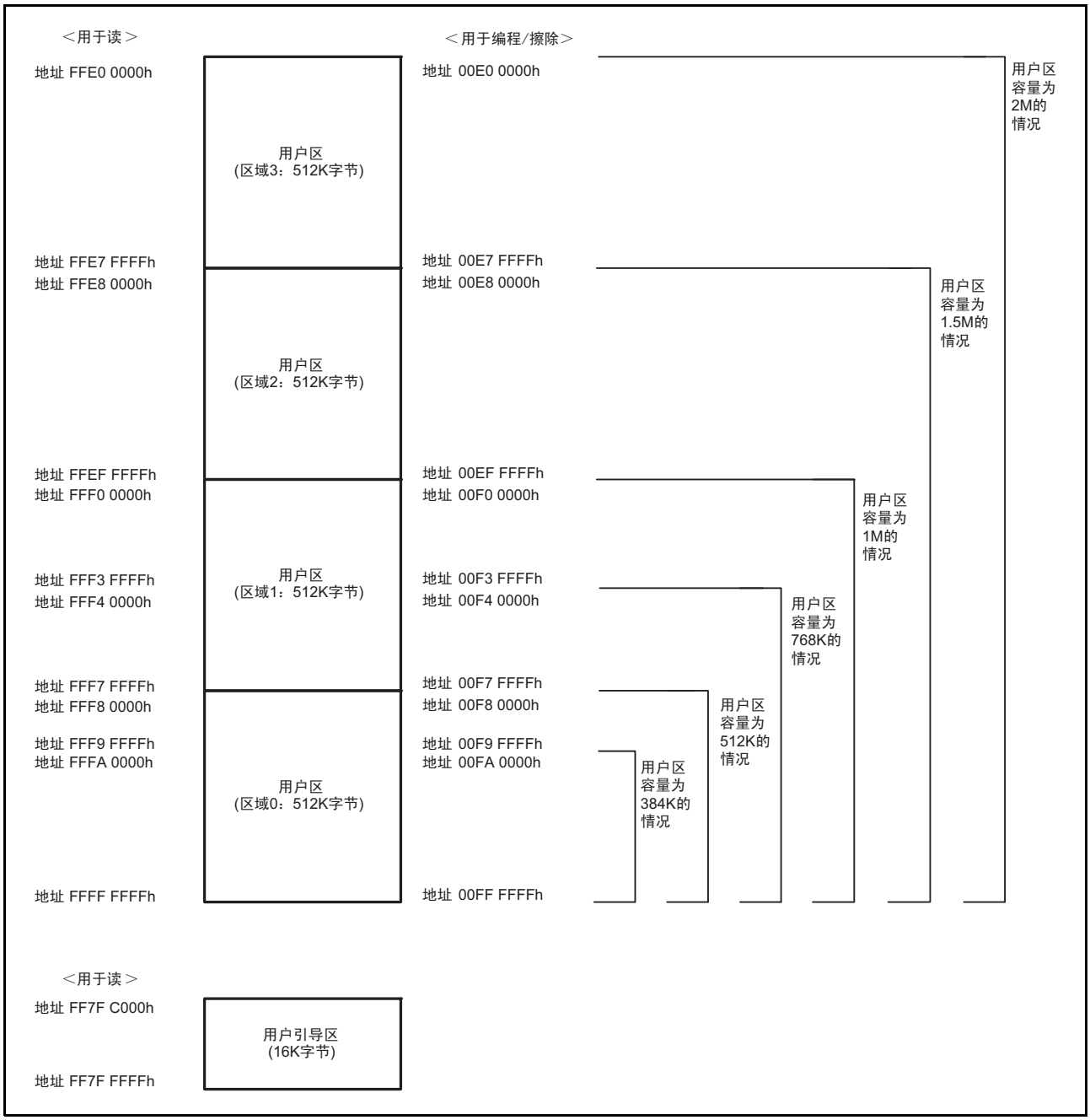


图 42.2 ROM 的存储区结构

42.4 块结构

用户区的擦除块 5 的结构如图 42.3 所示。

用户区根据 ROM 容量被分割为以下的块，以块为单位进行擦除。以低位地址为“00h”开始的 128 字节为单位进行编程。

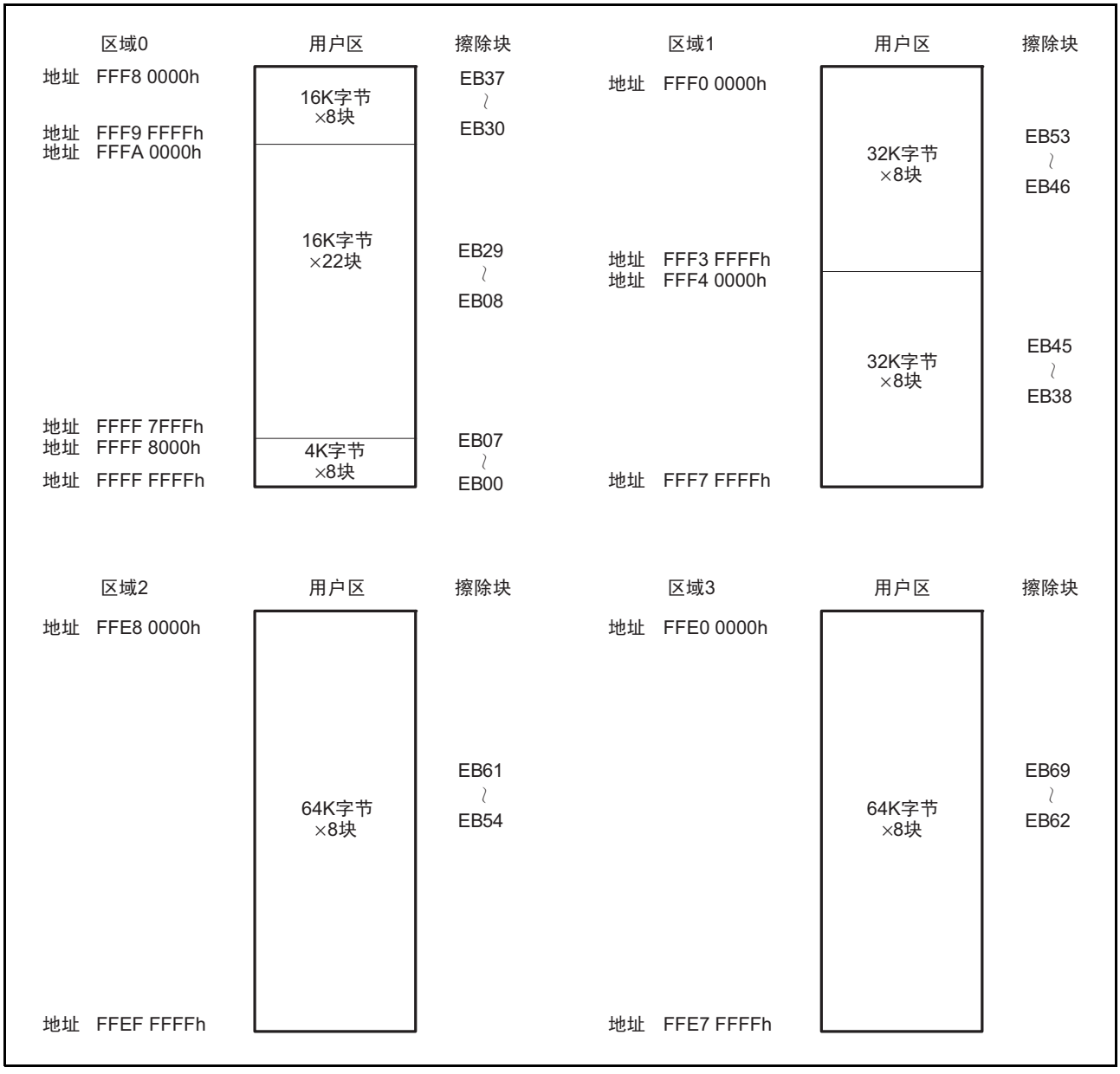


图 42.3 用户区的擦除块结构

42.5 ROM 相关的运行模式

有关 MD 引脚的设定值与 RX630 群的运行模式的关系，请参照 “3. 运行模式”。

在引导模式、 USB 引导模式、用户引导模式、单芯片模式 （内部 ROM 有效）或者内部 ROM 有效扩展模式中，能进行板上 ROM 的读、编程或者擦除。

在各模式中，能编程和擦除的 MAT、复位时的启动 MAT 等不同，各模式的不同点如表 42.5 所示。

表 42.5 各模式的不同点

项目	引导模式	USB 引导模式 / 用户引导模式	单芯片模式 （内部 ROM 有效） / 内部 ROM 有效扩展模式
编程 / 擦除环境	板上编程		
能编程 / 擦除的 MAT	用户区 / 用户引导区 / 数据区	用户区 / 数据区	用户区 / 数据区
块分割擦除	○ （注 1）	○ （注 1）	○
复位时的启动程序	引导程序	用户引导程序	用户程序

注 1. 有可能在启动时被全部擦除。此后能擦除特定块，详细内容请参照 “42.10.4 ID 码保护 （引导模式）”、“42.10.2 引导模式的状态转移” 和 “42.11.2 状态转移”。

- 只能在引导模式中对用户引导区进行编程和擦除。
- 在引导模式中，主机能经由SCI对用户区、用户引导区或者数据区进行编程、擦除和读。
- 在引导模式中，通过引导模式的嵌入式程序使用内部RAM。因此，不保持内部RAM的数据。
- 在USB引导模式和用户引导模式中，能从用户引导区启动。产品出货时，在用户引导区中保存了USB引导程序，能使用USB对用户区或者数据区进行编程和读。另外，能通过改写用户引导区，使用任意接口对用户区或者数据区进行编程和读。

42.6 ROM 的编程 / 擦除

通过给编程 / 擦除的专用定序器 （FCU）发行命令 （FCU 命令），对 ROM 进行编程和擦除。 FCU 有 5 种模式，通过在模式转移后发行编程和擦除命令，进行编程和擦除。

以下说明 ROM 的编程和擦除所需的模式转移和命令体系。这些内容在引导模式、 USB 引导模式、用户引导模式、单芯片模式 （内部 ROM 有效）和内部 ROM 有效扩展模式中通用。

42.6.1 FCU 的模式

FCU 有 5 种模式，通过写 FENTRYR 寄存器以及 FCU 命令进行模式的转移， FCU 的模式转移图如图 42.4 所示。

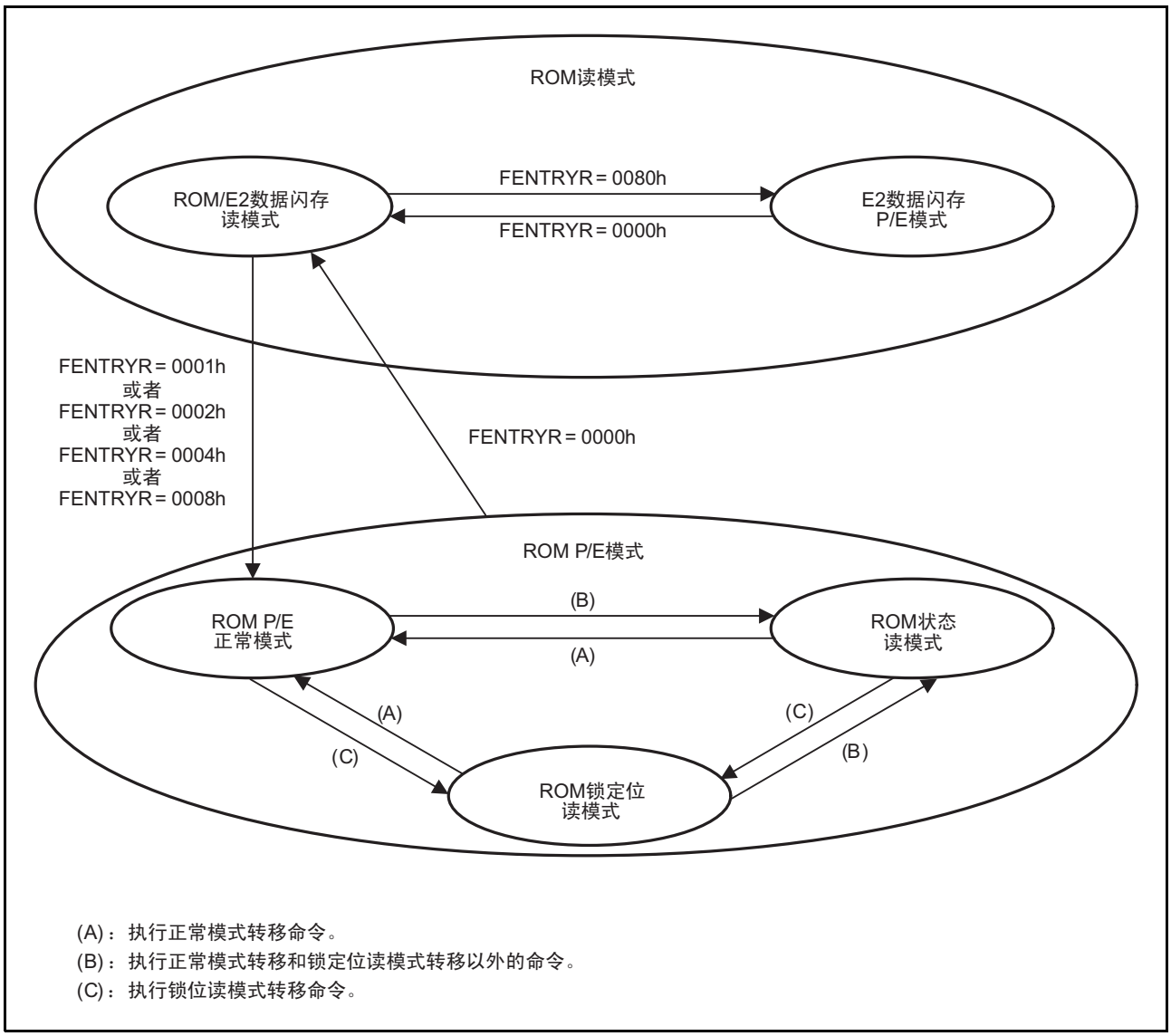


图 42.4 FCU 的模式转移图 （ROM 相关）

42.6.1.1 ROM 读模式

ROM 读模式是高速读 ROM 的模式。如果对读地址进行读存取，就能进行 1 个 ICLK 周期的高速读取。

ROM 读模式有 ROM/E2 数据闪存读模式和 E2 数据闪存 P/E 模式。

(1) ROM/E2 数据闪存读模式

ROM/E2数据闪存读模式是能读ROM和E2数据闪存的模式，不接受FCU命令。如果将FENTRYR.FENTRY3位、FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位、FENTRYR.FENTRY0 位和 FENTRYR.FENTRYD 位都置 “0”，就转移到此模式。

(2) E2 数据闪存 P/E 模式

E2 数据闪存 P/E 模式是对 E2 数据闪存进行编程和擦除的模式，能高速读 ROM。此模式接受 E2 数据闪存的 FCU 命令，但是不接受 ROM 的 FCU 命令。如果将 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位和 FENTRYR.FENTRY0 位都置 “0”并且将 FENTRYR.FENTRYD 位置 “1”，就转移到此模式。

有关 E2 数据闪存 P/E 模式的详细内容，请参照“43. E2 数据闪存（保存数据的闪存）”的“43.6.1 FCU 的模式”。

42.6.1.2 ROM P/E 模式

ROM P/E 模式是对 ROM 进行编程和擦除的模式，不能高速读 ROM。如果对读地址进行读存取，就发生 ROM 存取违反， FCU 进入命令锁定状态 （参照 “42.8.2 错误保护”）。

ROM P/E 模式有 ROM P/E 正常模式、 ROM 状态读模式和 ROM 锁定位读模式共 3 种。

(1) ROM P/E 正常模式

ROM P/E 正常模式是在对 ROM 进行编程或者擦除时最先转移的模式。如果在 ROM 读模式中将 FENTRYR.FENTRYD 位置 “0”并且将 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、 FENTRYR.FENTRY1 位或者 FENTRYR.FENTRY0 位置 “1”，或者在 ROM P/E 模式中接受正常模式转移命令，就转移到此模式。能接受的命令如表 42.8 所示。

如果在 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位或者 FENTRYR.FENTRY0 位为 “1”的状态下对编程 / 擦除地址进行读存取，就产生 ROM 的存取违反， FCU 进入命令锁定状态 （参照 “42.8.2 错误保护”）。

(2) ROM 状态读模式

ROM 状态读模式是能读 ROM 状态的模式。如果在 ROM P/E 模式中接受正常模式转移和锁定位读模式转移以外的命令，就转移到此模式。

FSTATR0.FRDY 位为 “0”的状态以及发生错误后的命令锁定状态也是 ROM 状态读模式中的状态。能接受的命令如表 42.8 所示。

如果在 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位或者 FENTRYR.FENTRY0 位为 “1”的状态下对相应的编程 / 擦除地址进行读存取，就能读 FSTATR0 寄存器的值。

(3) ROM 锁定位读模式

ROM 锁定位读模式是能通过读 ROM 来读锁定位的模式。如果在 ROM P/E 模式中接受锁定位读模式转移命令，就转移到此模式。能接受的命令如表 42.8 所示。

如果在 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位或者 FENTRYR.FENTRY0 位为 “1”的状态下对相应的编程 / 擦除地址进行读存取，读数据的全部位就为存取对象的擦除块的锁定位值。

42.6.2 FCU 命令一览表

FCU 命令有 FCU 模式转移命令和编程 / 擦除命令。 ROM 能使用的 FCU 命令一览表如表 42.6 所示。

表 42.6 FCU 命令一览表 （ROM 相关）

命令	功能
P/E 正常模式转移	转移到正常模式 （参照 “42.6.3 FCU 的模式和命令的关系”）。
状态读模式转移	转移到状态读模式 （参照 “42.6.3 FCU 的模式和命令的关系”）。
锁定位读模式转移 （锁定位读 1）	转移到锁定位读模式 （参照 “42.6.3 FCU 的模式和命令的关系”）。
外围时钟通知	设定外围时钟的频率。
编程	对 ROM 进行编程 （以 128 字节为单位）。
块擦除	擦除 ROM （以块为单位，同时擦除锁定位）。
P/E 挂起	中止编程和擦除。
P/E 恢复	重新开始编程和擦除。
状态寄存器清除	清除 FSTATR0.ILGLERR 位、 FSTATR0.ERSERR 位和 FSTATR0.PRGERR 位以及解除命令锁定状态。
锁定位读 2/ 空白检查	读指定的擦除块的锁定位 （将锁定位反映到 FSTATR1.FLOCKST 位） /E2 数据闪存的空白检查。
锁定位编程	对指定的擦除块的锁定位进行编程。

锁定位读 2 命令兼用 E2 数据闪存的空白检查命令。如果对 E2 数据闪存发行锁定位读 2 命令，就进行 E2 数据闪存的空白检查 （参照 “43. E2 数据闪存 （保存数据的闪存）”。

通过对 ROM 的编程 / 擦除地址进行写存取来给 FCU 发行命令。 FCU 命令的格式如表 42.7 所示。如果在 FCU 的特定条件下进行表 42.7 所示的写存取， FCU 就进行各命令对应的处理。

有关 FCU 的特定条件和命令的使用方法，请分别参照 “42.6.3 FCU 的模式和命令的关系”和 “42.6.4 FCU 命令的使用方法”。

表 42.7 FCU 命令的格式

命令	总线周期数	第 1 周期		第 2 周期		第 3 周期		第 4 ～第 5 周期		第 6 周期		第 7 ～第 66 周期		第 67 周期	
		地址	数据	地址	数据	地址	数据	地址	数据	地址	数据	地址	数据	地址	数据
P/E 正常模式转移	1	RA	FFh	—	—	—	—	—	—	—	—	—	—	—	—
状态读模式转移	1	RA	70h	—	—	—	—	—	—	—	—	—	—	—	—
锁定位读模式转移（锁定位读 1）	1	RA	71h	—	—	—	—	—	—	—	—	—	—	—	—
外围时钟通知	6	RA	E9h	RA	03h	RA	0F0Fh	RA	0F0Fh	RA	D0h	—	—	—	—
编程	67	RA	E8h	RA	40h	WA	WDn	RA	WDn	RA	WDn	RA	WDn	RA	D0h
块擦除	2	RA	20h	BA	D0h	—	—	—	—	—	—	—	—	—	—
P/E 挂起	1	RA	B0h	—	—	—	—	—	—	—	—	—	—	—	—
P/E 恢复	1	RA	D0h	—	—	—	—	—	—	—	—	—	—	—	—
状态寄存器清除	1	RA	50h	—	—	—	—	—	—	—	—	—	—	—	—
锁定位读 2	2	RA	71h	BA	D0h	—	—	—	—	—	—	—	—	—	—
锁定位编程	2	RA	77h	BA	D0h	—	—	—	—	—	—	—	—	—	—

地址列 RA： ROM 的编程 / 擦除地址

当ROM容量为384K字节并且FENTRYR.FENTRY0位为“1”时，为00FA 0000h～00FF FFFFh的任意地址

当 ROM 容量为 512K/768K/1M/1.5M/2M 字节并且 FENTRYR.FENTRY0 位为 “1” 时，为 00F8 0000h ～ 00FF FFFFh 的任意地址。

当ROM容量为768K字节并且FENTRYR.FENTRY1位为“1”时，为00F4 0000h～007F FFFFh的任意地址

当 ROM 容量为 1M/1.5M/2M 字节并且 FENTRYR.FENTRY1 位为“1”时，为 00F0 0000h ～ 00F7 FFFFh 的任意地址。

当 FENTRYR.FENTRY2 位为 “1” 时，为 00E8 0000h ～ 00EF FFFFh 的任意地址。

当 FENTRYR.FENTRY3 位为 “1” 时，为 00E0 0000h ～ 00E7 FFFFh 的任意地址。

WA： ROM 的编程目标地址

编程数据 128 字节的起始地址

BA ： ROM 的擦除块地址

擦除对象块内的任意地址 （由编程 / 擦除地址指定）

数据列 WDn： 编程数据的第 n 个字 （n=1 ～ 64）

42.6.3 FCU 的模式和命令的关系

FCU 的各模式能接受的 FCU 命令是固定的，而且能接受的命令也因这些模式的 FCU 状态而不同。

需要在进行 FCU 的模式转移后确认 FCU 的状态，然后发行 FCU 命令。

FCU 的模式 / 状态和能接受的命令如**表 42.8** 所示。如果发行不能接受的命令， FCU 就进入命令锁定状态（参照 “42.8.2 错误保护”）。

必须在转移到能接受的模式后，确认 FSTATR0.FRDY 位、FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUERR 位的值，然后发行 FCU 命令。能根据 FASTAT.CMDLK 位的值确认有没有发生错误。FASTAT.CMDLK 位的值是 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUERR 位的值的逻辑或。

表 42.8 FCU 的模式 / 状态和能接受的命令的关系 （ROM P/E 模式）

	P/E 正常模式			状态读模式									锁定位读模式		
	编程挂起中	擦除挂起中	其他状态	编程 / 擦除处理中	擦除挂起中的编程处理中	编程 / 擦除中止处理中	锁定位读 2 处理中	编程挂起中	擦除挂起中	命令锁定状态（FRDY=0）	命令锁定状态（FRDY=1）	其他状态	编程挂起中	擦除挂起中	其他状态
FSTATR0.FRDY 位	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0.SUSRDY 位	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD 位	0	1	0	0	1	0/1	0	0	1	0/1	0/1	0	0	1	0
FSTATR0.PRGSPD 位	1	0	0	0	0	0/1	0	1	0	0/1	0/1	0	1	0	0
FASTAT.CMDLK 位	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
正常模式转移	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
状态读模式转移	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
锁定位读模式转移 （锁定位读 1）	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
外围时钟通知	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
编程	×	Δ	○	×	×	×	×	×	Δ	×	×	○	×	Δ	○
块擦除	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/E 挂起	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/E 恢复	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
状态寄存器清除	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
锁定位读 2	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
锁定位编程	×	Δ	○	×	×	×	×	×	Δ	×	×	○	×	Δ	○

○：能接受、 Δ：只能接受对非擦除中止块进行的编程、×：不能接受

42.6.4 FCU 命令的使用方法

FCU 命令有转移 FCU 模式的命令、实际对 ROM 进行编程和擦除的命令、错误处理命令和挂起 / 恢复命令。以下说明各命令，有关能接受各命令的模式和状态，请参照 “42.6.3 FCU 的模式和命令的关系”。

42.6.4.1 模式的转移

在此说明模式转移的相关命令，各模式转移的关系请参照图 42.4。

(1) ROM P/E 模式的转移方法

要执行 ROM 相关的 FCU 命令时，需要转移到 ROM P/E 模式。

为了转移到 ROM P/E 模式，将要进行编程或者擦除的 ROM 地址对应的 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、 FENTRYR.FENTRY1 位或者 FENTRYR.FENTRY0 位置 “1”。

在进行编程或者擦除时，必须以字节为单位给 FWEPROR 寄存器写 “01h”，进入能进行编程和擦除的状态 （参照 “42.2.1 闪存编程 / 擦除保护寄存器 （FWEPROR）”）。

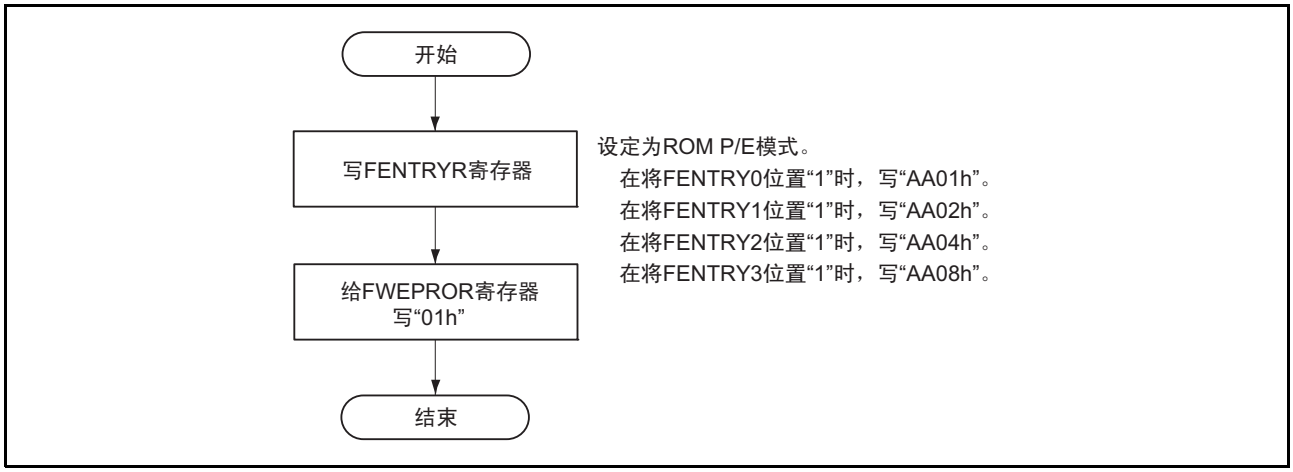


图 42.5 ROM P/E 模式的转移流程

(2) ROM 读模式的转移方法

要高速读 ROM 时，需要将 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、 FENTRYR.FENTRY1 位和 FENTRYR.FENTRY0 位置 “0000b”，将 FCU 设定为 ROM 读模式。

还需要通过字节存取给 FWEPROR 寄存器写 “02h”，进入不能编程和擦除的状态（参照 “42.2.1 闪存编程 / 擦除保护寄存器 （FWEPROR）”）。

必须在结束 FCU 的命令处理并且 FCU 未检测到错误的状态下从 ROM P/E 模式转移到 ROM 读模式。

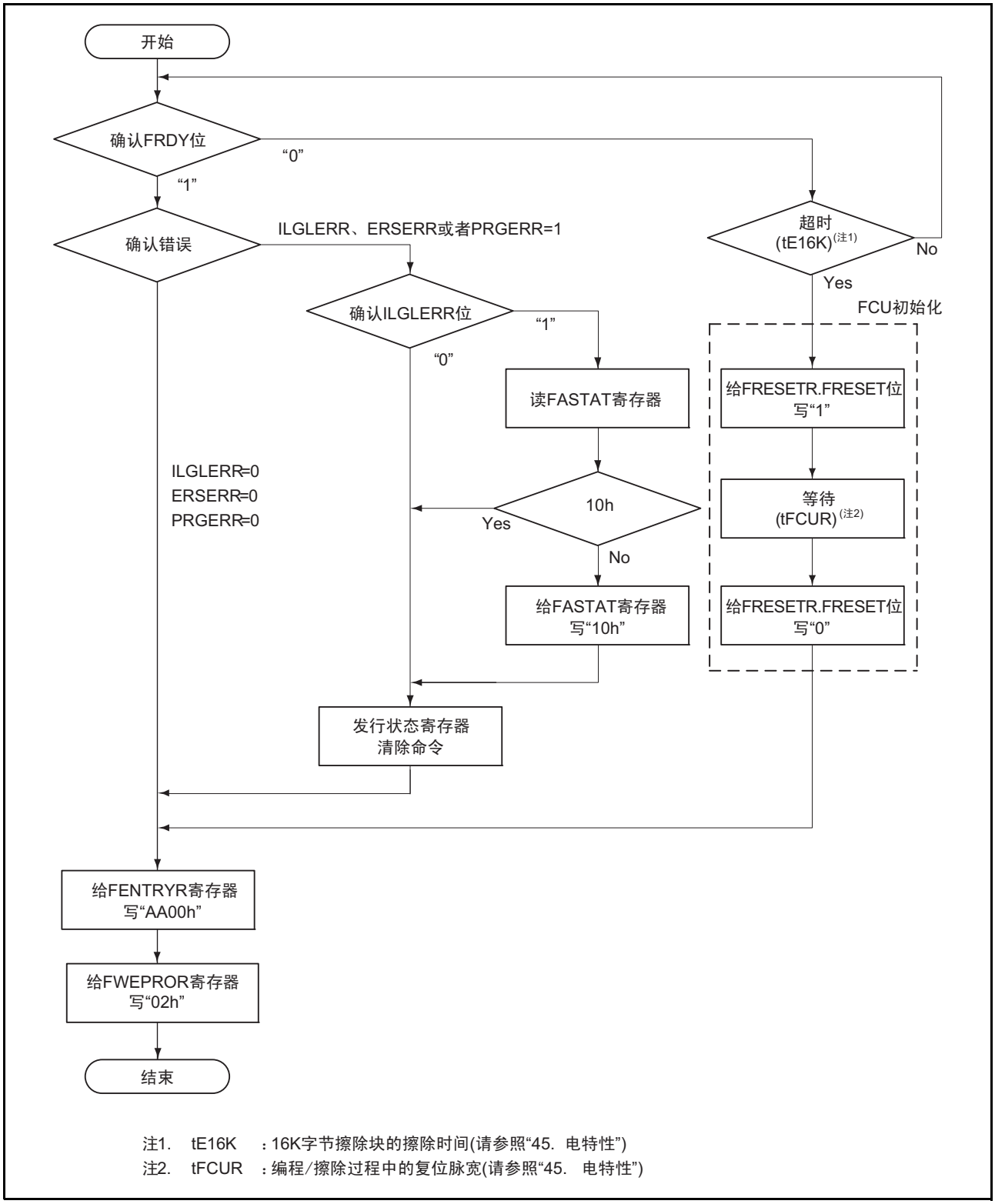


图 42.6 ROM 读模式的转移流程

(3) ROM P/E 正常模式的转移方法

向 ROM P/E 正常模式的转移方法有：在 ROM 读模式中设定 FENTRYR 寄存器的方法（参照“42.6.1 FCU 的模式”）以及在 ROM P/E 模式中发行正常模式转移命令 （图 42.7）的方法。通过字节存取给 ROM 的编程 / 擦除地址写 “FFh”，执行正常模式转移命令。

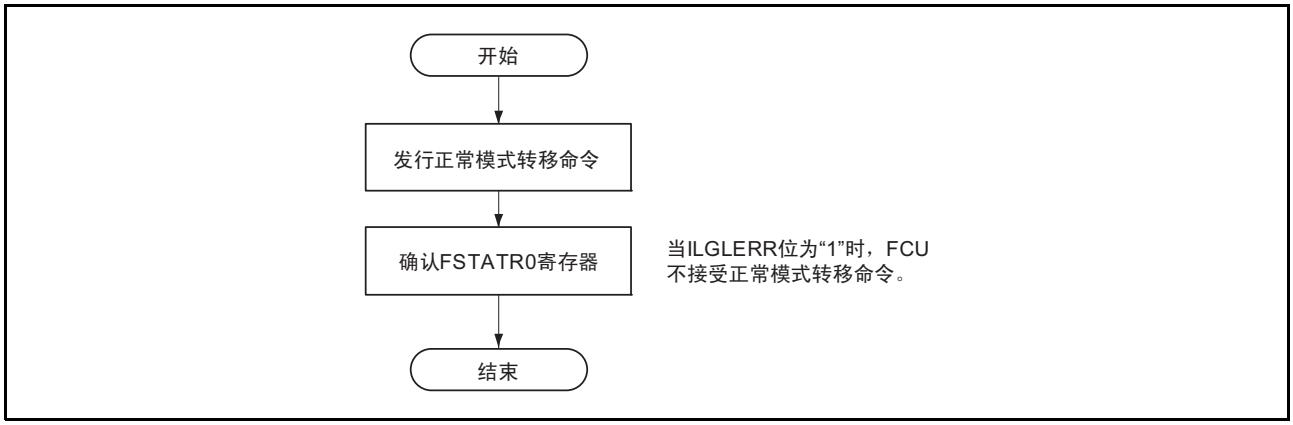


图 42.7 ROM P/E 正常模式的转移流程

(4) ROM 状态读模式的转移方法

如果发行正常模式转移和锁定位读模式转移以外的 FCU 命令，FCU 就转移到 ROM 状态读模式。也能通过发行状态读模式转移命令，转移到 ROM 状态读模式。FSTATR0 寄存器的确认例子如图 42.8 所示。在此例中，通过发行状态读模式转移命令，转移到 ROM 状态读模式，然后对 ROM 的编程 / 擦除地址进行读存取，确认 FSTATR0 的内容。

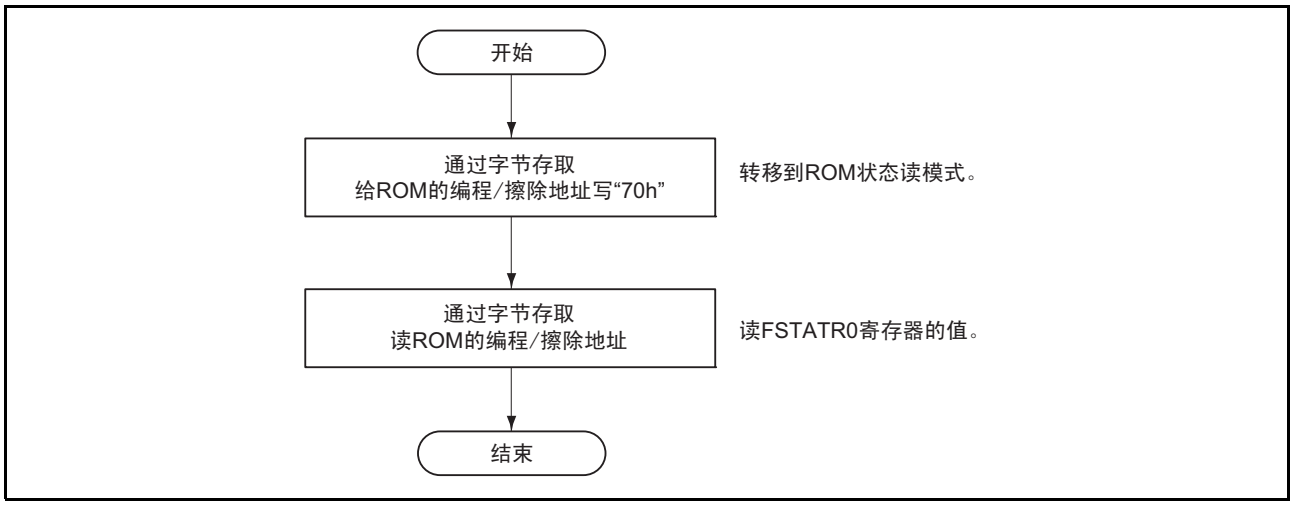


图 42.8 ROM 状态读模式的转移流程以及状态的确认方法

(5) ROM 锁定位读模式的转移方法

在 FMODR.FRDMD 位为 “0”（存储区读方式）时，通过发行锁定位读模式转移命令 （锁定位读 1），转移到 ROM 锁定位读模式。如果在转移到 ROM 锁定位读模式后对 ROM 的编程 / 擦除地址进行读存取，就读与存取对象对应的擦除块的锁定位并且复制到读数据的全部位 （图 42.9）。

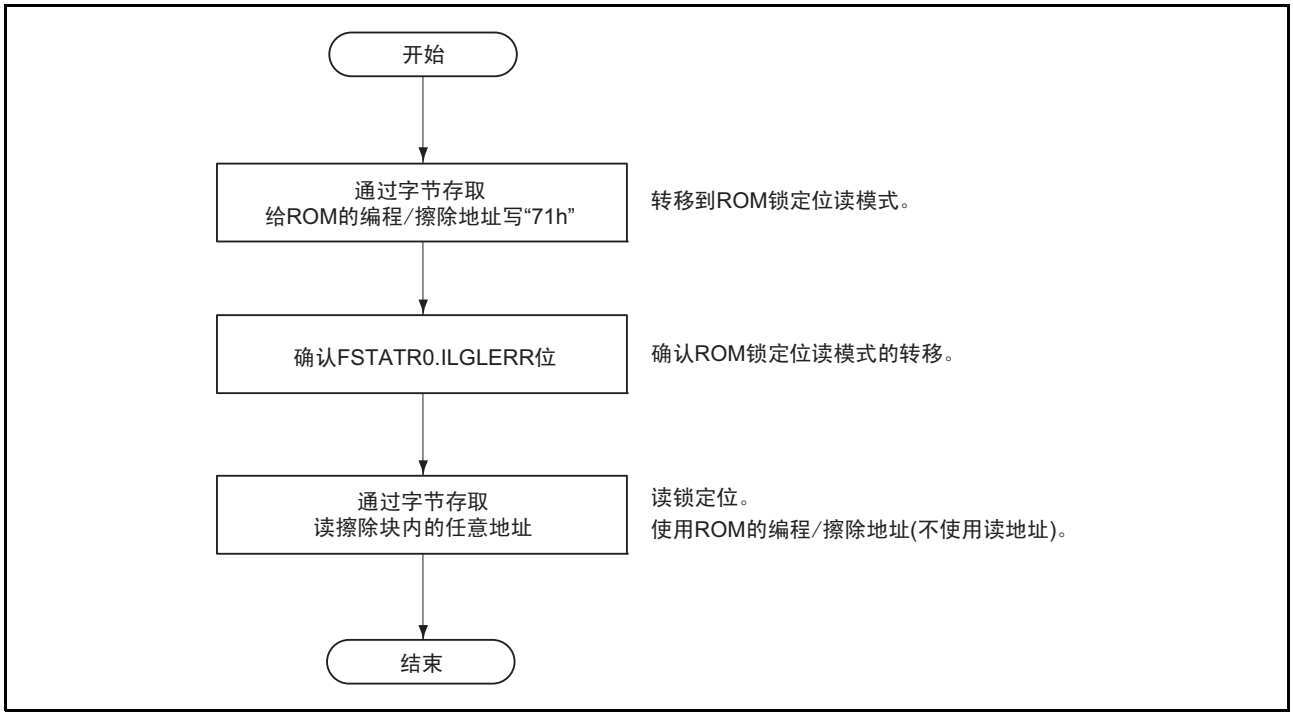


图 42.9 ROM 锁定位读模式的转移流程以及锁定位的读法

42.6.4.2 编程 / 擦除的方法步骤

在此说明 ROM 的编程 / 擦除流程。有关 FCU 命令的接受条件，请参照 “42.6.3 FCU 的模式和命令的关系”。 FCU 命令的概略流程如图 42.10 所示。

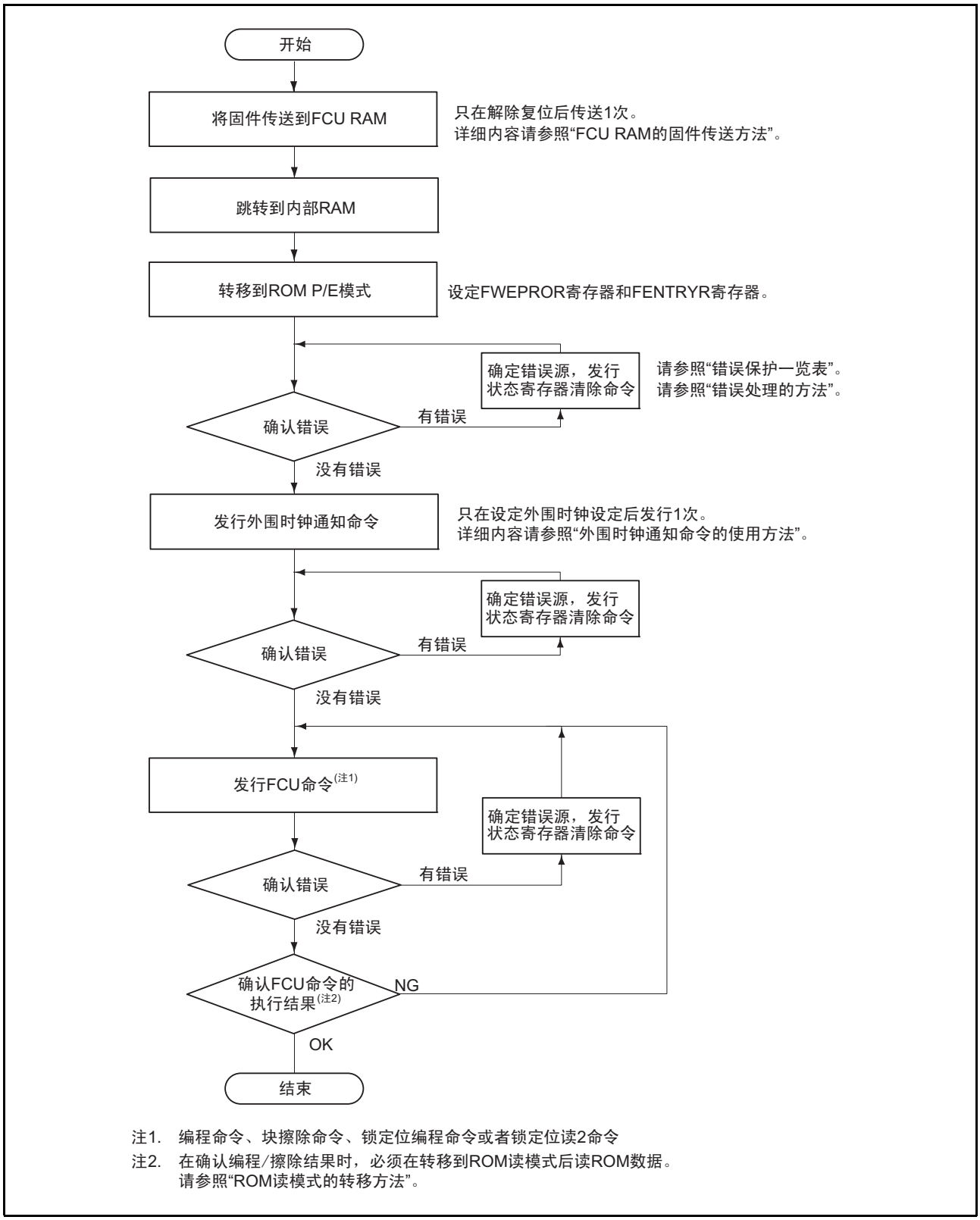


图 42.10 编程 / 擦除处理的概略流程

(1) FCU RAM 的固件传送方法

要使用 FCU 命令时，需要将 FCU 的固件保存到 FCU RAM。因为在启动芯片时没有将 FCU 的固件保存到 FCU RAM，所以需要将保存在 FCU 固件区的 FCU 固件复制到 FCU RAM。当 FSTATR1.FCUERR 位为 “1” 时，保存在 FCU RAM 的固件就可能被破坏，因此需要对 FCU 进行复位并且重新复制 FCU 固件。

FCU RAM 的固件传送流程如图 42.11 所示。在给 FCU RAM 写数据时，必须将 FENTRYR 寄存器置 “0000h”，使 FCU 停止。有关 DMAC 设定方法的详细内容，请参照 “17. DMA 控制器 （DMACA）”。

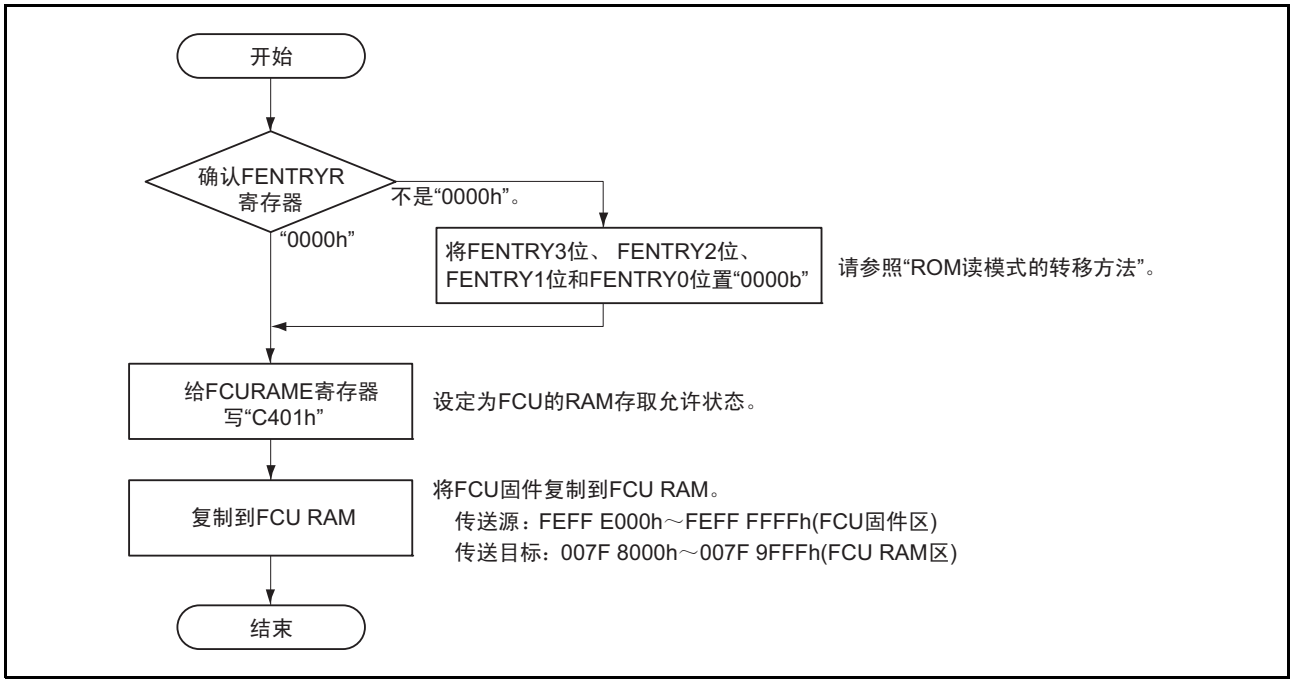


图 42.11 FCU RAM 的固件传送流程

(2) 向内部 RAM 的跳转

在对 ROM 进行编程或者擦除时，因为不对 ROM 取指令，所以需要转移到 ROM 以外的区域。必须在将所需的指令码复制到内部 RAM 后跳转到内部 RAM。

(3) ROM P/E 模式的转移

需要设定 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位、FENTRYR.FENTRY0 位和 FWEPROR 寄存器，并且将 FCU 设定为 ROM P/E 模式。详细内容请参照 “42.6.4.1 (1) ROM P/E 模式的转移方法”。

(4) 外围时钟通知命令的使用方法

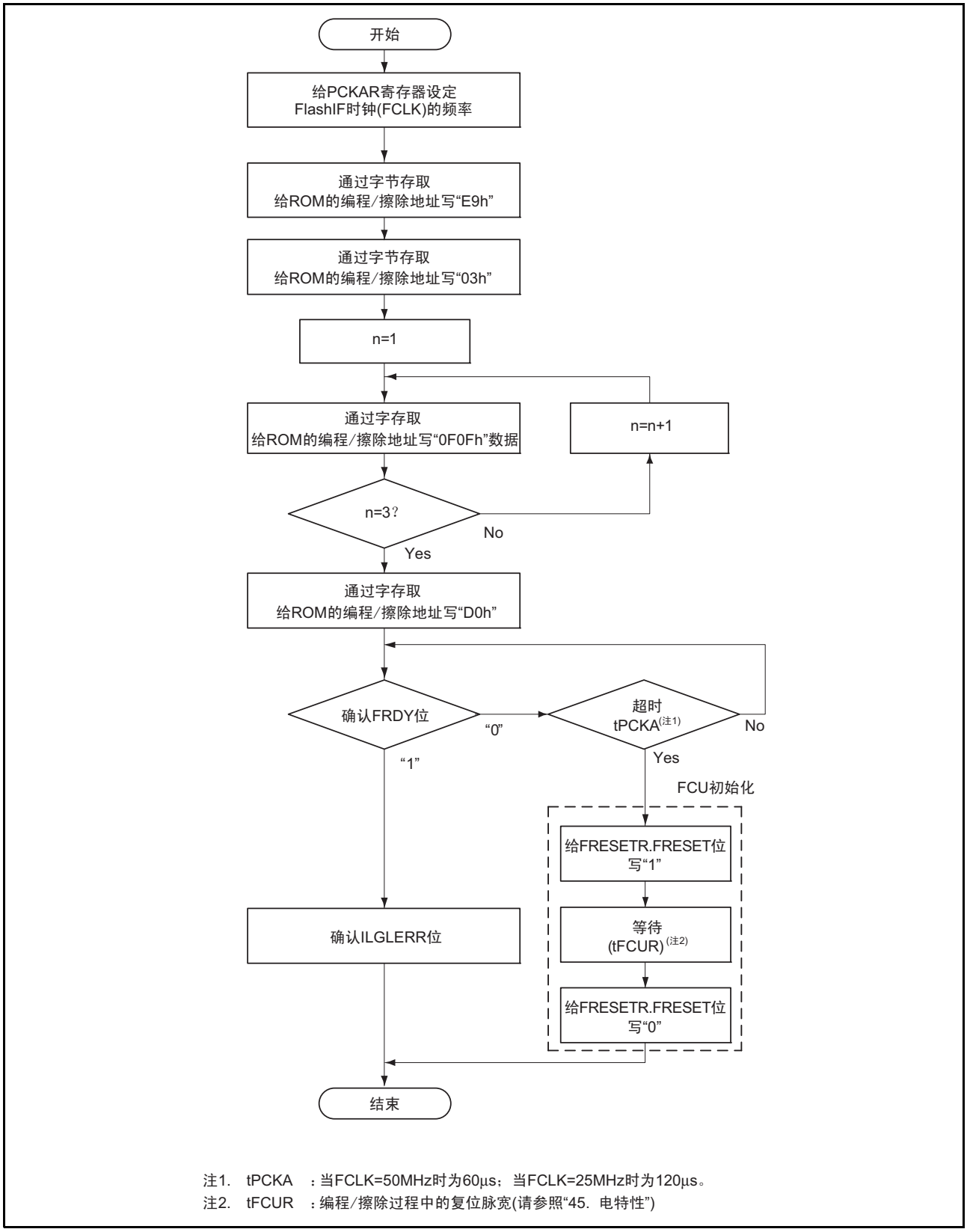
需要给 PCKAR 寄存器设定在对 ROM 进行编程或者擦除前使用的 FlashIF 时钟 （FCLK）的频率。能设定的频率范围是 1 ～ 100MHz。如果频率不在此范围内， FCU 就检测到错误，进入命令锁定状态（参照 “42.8.2 错误保护”）。另外，如果将 PCKAR 寄存器的 PCKA[7:0] 位设定在 4MHz ～ 50MHz 范围外，就不能对 ROM/E2 数据闪存发行改写命令。

在设定 PCKAR 寄存器后使用外围时钟通知命令。在外围时钟通知命令的第 1 周期，通过字节存取给 ROM 的编程 / 擦除地址写 “E9h”；在第 2 周期，通过字节存取给 ROM 的编程 / 擦除地址写 “03h”。在命令的第 3 周期～第 5 周期，通过字存取进行写操作。此时，起始地址必须使用调整为以 4 字节为边界的地址。在通过 3 次字存取给 ROM 的编程 / 擦除地址写数据 “0F0Fh” 后，如果在第 6 周期通过字节存取给 ROM 的编程 / 擦除地址写 “D0h”， FCU 就开始进行外围时钟的频率设定处理。能通过 FSTATR0.FRDY 位确认设定的结束。

第 1 周期～第 6 周期中能指定的地址因 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、 FENTRYR.

FENTRY1 位和 FENTRYR.FENTRY0 位的设定而不同，必须指定与 FENTRYR. FENTRY0 位对应的地址。如果因 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、FENTRYR. FENTRY1 位、FENTRYR.FENTRY0 位和指定地址的错误组合而发行命令， FCU 就检测到错误，进入命令锁定状态 （参照 “42.8.2 错误保护”）。

如果在复位后不更改正在使用的外围时钟的设定，此设定就只需执行 1 次而且对后续的 FCU 命令有效。



注1. tPCKA ：当FCLK=50MHz时为60µs；当FCLK=25MHz时为120µs。
注2. tFCUR ：编程/擦除过程中的复位脉宽(请参照“45. 电特性”)

图 42.12 外围时钟通知命令的使用方法

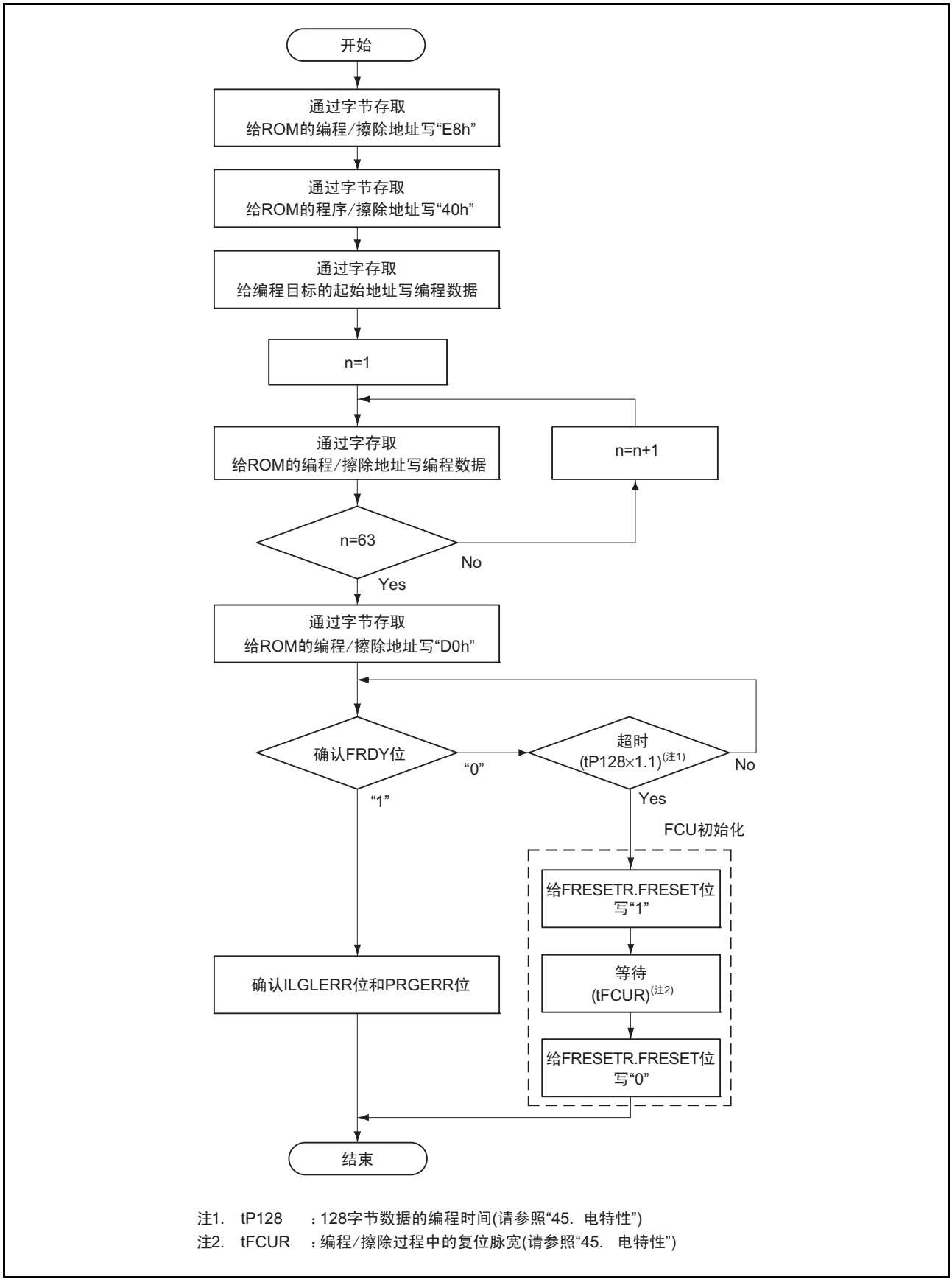
(5) 编程方法

使用编程命令对 ROM 进行数据编程。

在编程命令的第 1 周期，通过字节存取给 ROM 的编程 / 擦除地址写 “E8h”；在第 2 周期，通过字节存取给 ROM 的编程 / 擦除地址写 “40h”。在第 3 周期的存取中，必须通过字存取给编程对象区的起始地址写编程数据。此时，起始地址必须使用调整为以 128 字节为边界的地址。在第 4 周期～第 66 周期，必须通过 63 次字存取给 ROM 的编程 / 擦除地址写编程数据。如果在第 67 周期通过字节存取给 ROM 的编程 / 擦除地址写 “D0h”，FCU 就开始对 ROM 进行编程处理。能通过 FSTATR0.FRDY 位确认编程的结束。

第 1 周期～第 67 周期中能指定的地址因 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、 FENTRYR. FENTRY1 位和 FENTRYR.FENTRY0 位的设定而不同，必须指定与 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位和 FENTRYR.FENTRY0 位对应的地址。如果因 FENTRYR.FENTRY3 位、FENTRYR. FENTRY2 位、FENTRYR. FENTRY1 位、FENTRYR.FENTRY0 位和指定地址的错误组合而发行命令，FCU 就检测到错误，进入命令锁定状态 （参照 “42.8.2 错误保护”）。

如果在第 3 周期～第 66 周期中存取的区域包括不需要编程的地址，就必须将该地址的编程数据置 “FFFFh”。如果要在将通过锁定位进行的保护设定为无效后进行编程，就必须将 FPROTR.FPROTCN 位置 “1”。



注1. tP128 ：128字节数据的编程时间(请参照“45. 电特性”)
注2. tFCUR ：编程/擦除过程中的复位脉宽(请参照“45. 电特性”)

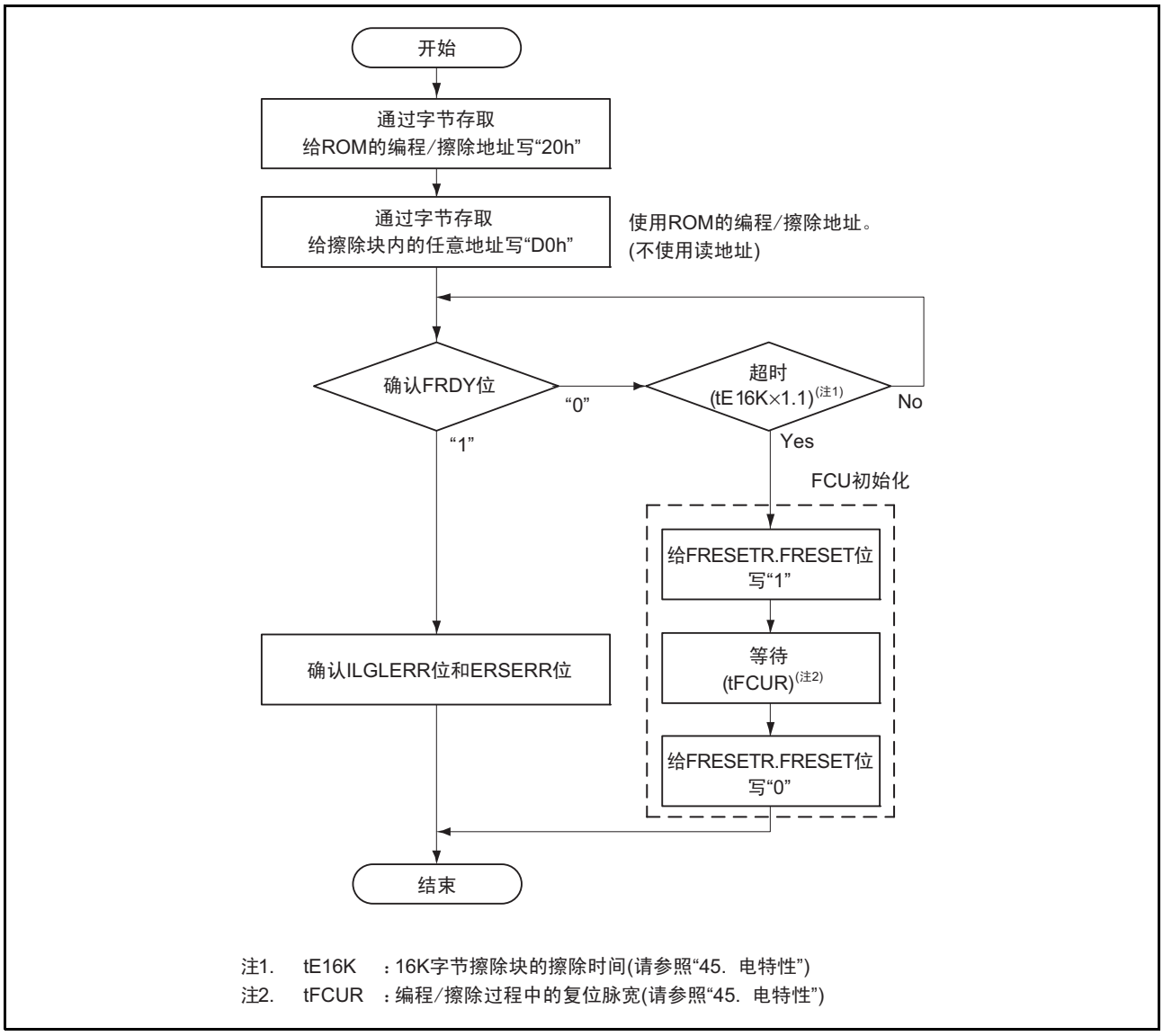
图 42.13 ROM 的编程方法

(6) 擦除方法

使用块擦除命令来擦除 ROM。

在块擦除命令的第 1 周期，通过字节存取给 ROM 的编程 / 擦除地址写 “20h”。如果在第 2 周期通过字节存取给擦除对象块内的任意地址写 “D0h”， FCU 就开始对 ROM 进行擦除处理。能通过 FSTATR0.FRDY 位确认擦除的结束。如果通过 CPU 读擦除状态的 ROM，就以 32 位为单位读到 “FFFF FFFFh”。

如果要在将通过锁定位进行的保护设定为无效后进行擦除，就必须在将 FPROTR.FPROTCN 位置位后进行擦除。



注1. tE16K ：16K字节擦除块的擦除时间(请参照“45. 电特性”)
注2. tFCUR ：编程/擦除过程中的复位脉宽(请参照“45. 电特性”)

图 42.14 ROM 的擦除方法

(7) 锁定位的编程 / 擦除方法

用户区的各擦除块内置锁定位。使用锁定位编程命令对锁定位进行编程。在锁定位编程命令的第 1 周期，通过字节存取给 ROM 的编程 / 擦除地址写 “77h”。如果在第 2 周期通过字节存取给要进行锁定位编程的擦除块内的任意地址写 “D0h”， FCU 就开始进行锁定位的编程处理。能通过 FSTATR0.FRDY 位确认编程的结束。

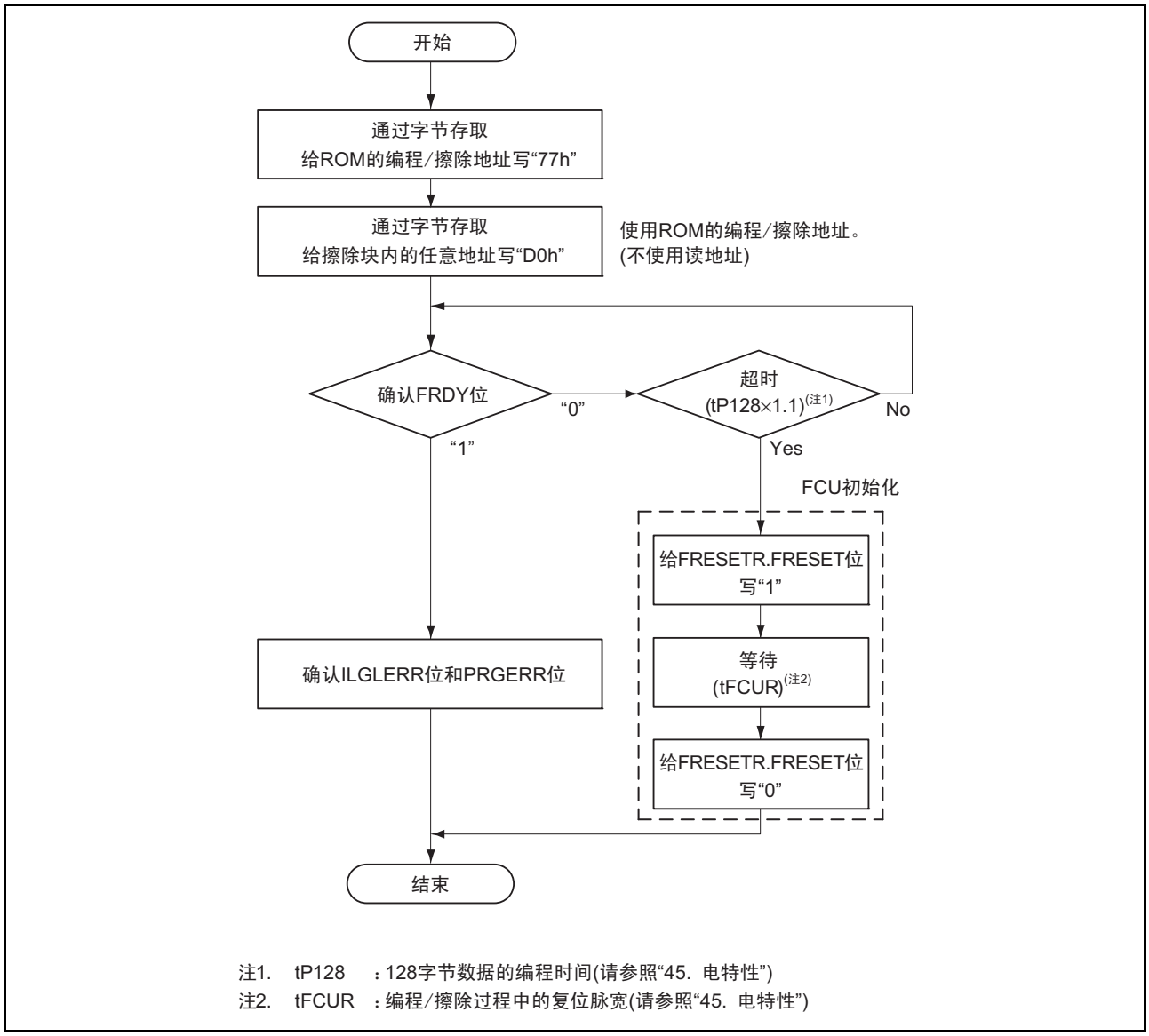


图 42.15 锁定位的编程设定方法

使用块擦除命令来擦除锁定位。

在 FPROTR.FPROTCN 位为 “0” 的状态下，不能擦除锁定位为 “0” 的擦除块。要擦除锁定位时，必须在将 FPROTCN 位置 “1” 的状态下发行块擦除命令。如果使用块擦除命令，擦除块内的全部数据就被擦除，而不能只擦除锁定位。

(8) 锁定位的读法

锁定位的读法有存储区读方式和寄存器读方式。

寄存器读方式 （FMODR.FRDMD 位为 “1”）使用锁定位读 2 命令，对要读锁定位的擦除块的编程 / 擦除地址发行锁定位读 2 命令。如果在锁定位读 2 命令的第 1 周期通过字节存取写 “71h”，在第 2 周期通过字节存取写 “D0h”，就将对应的擦除块的锁定位复制到 FSTATR1.FLOCKST 位。

通过转移到锁定位读模式并且读 ROM 的编程 / 擦除地址来执行存储区读方式 （FMODR.FRDMD 位为 “0”）。有关详细内容，请参照 “42.6.4.1 (5) ROM 锁定位读模式的转移方法”。

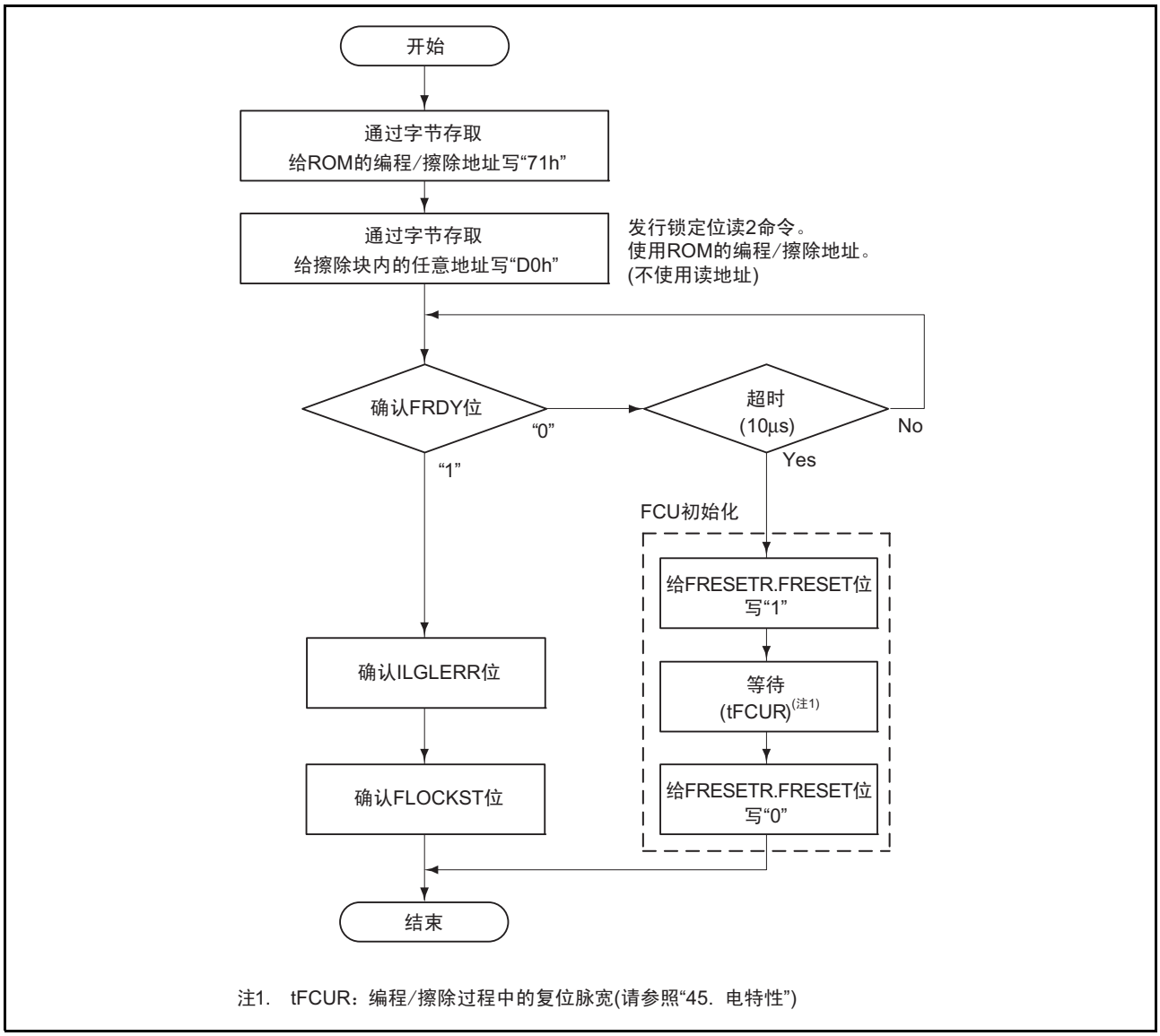


图 42.16 通过寄存器读方式读锁定位的方法

42.6.4.3 错误的处理方法

以下说明发生错误时的处理方法，各种错误的内容请参照 “42.8 保护”。

(1) 闪存状态寄存器 0 （FSTATR0）的确认方法

FSTATR0 寄存器的确认方法有直接读 FSTATR0 寄存器的方法和在 ROM 状态读模式中读 ROM 的编程 / 擦除地址的方法。

在 ROM 状态读模式中的读法请参照 “42.6.4.1 (4) ROM 状态读模式的转移方法”。

(2) 闪存状态寄存器 0 （FSTATR0）的清除方法

使用状态寄存器清除命令将 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位和 FSTATR0.PRGERR 位置“0”。

当 FSTATR0.ILGLERR 位、 FSTATR0.ERSERR 位或者 FSTATR0.PRGERR 位为 “1” 时， FCU 进入命令锁定状态，不接受状态寄存器清除命令以外的 FCU 命令。当 ILGLERR 位为“1”时，也必须确认 FASTAT.ROMAE 位、 FASTAT.DFLAE 位、 FASTAT.DFLRPE 位和 FASTAT.DFLWPE 位的值。即使不清除这些位而发行状态寄存器清除命令， ILGLERR 位也不变为 “0”。

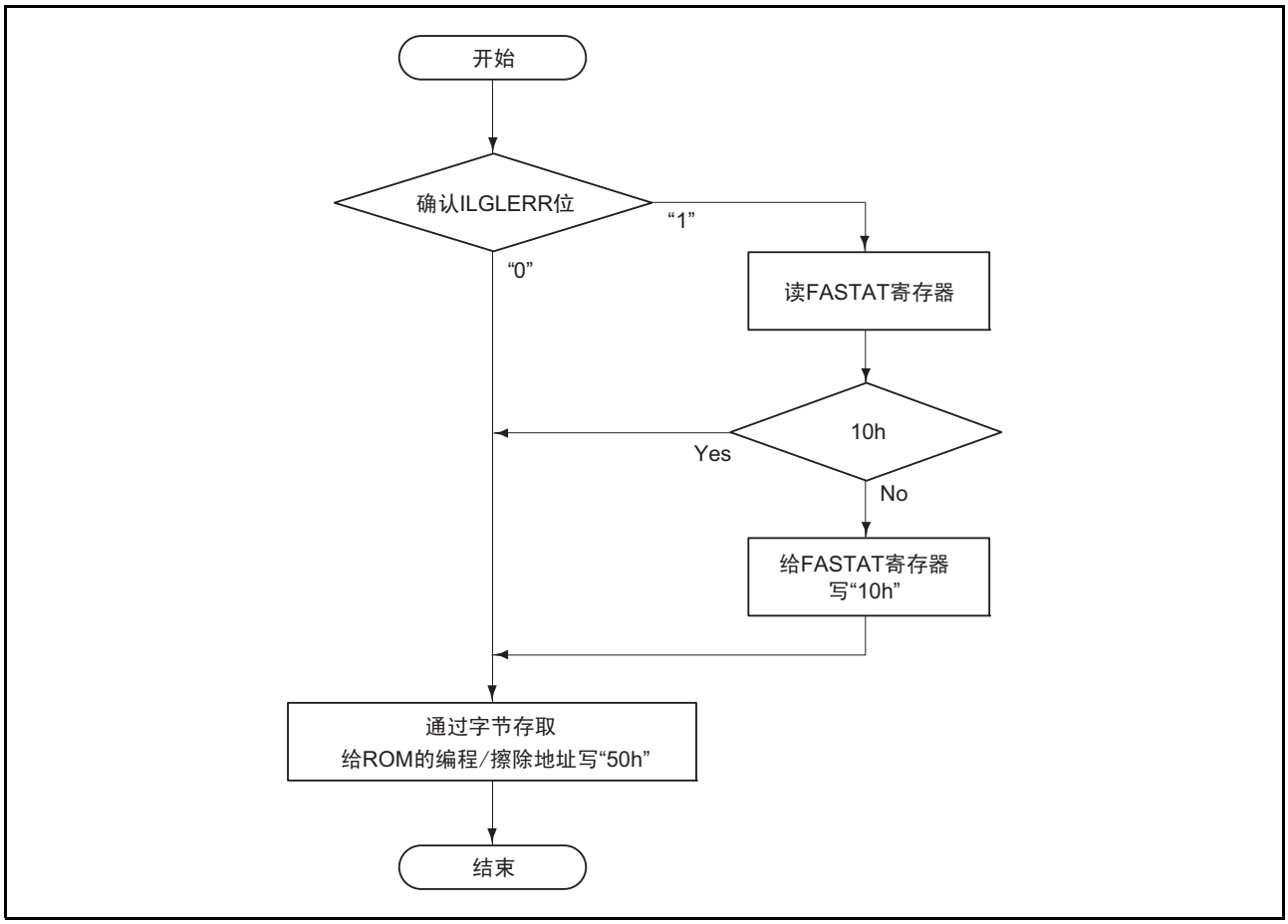


图 42.17 FSTATR0 寄存器的清除方法

(3) FCU 的初始化方法

在发行 FCU 命令后，如果因超时而使 FSTATR0.FRDY 位不变为 “1”，就需要通过 FRESETR 寄存器对 FCU 进行初始化。在 FSTATR1.FCUERR 位为 “1” 时，也需要通过 FRESETR 寄存器对 FCU 进行初始化。无论在哪种情况下， FRESETR.FRESET 位为 “1” 的状态都必须保持 tFCUR 的时间 （参照 “45. 电特性”）。在 FRESET 位保持 “1” 的期间，禁止读 ROM/E2 数据闪存。因为在 FRESET 位为 “1” 的状态下 FENTRYR 寄存器被初始化，所以不能使用 FCU 命令，必须重新进行图 42.10 的处理。

42.6.4.4 挂起 / 恢复

(1) 编程 / 擦除的挂起方法

使用 P/E 挂起命令来中止 ROM 的编程或者擦除。

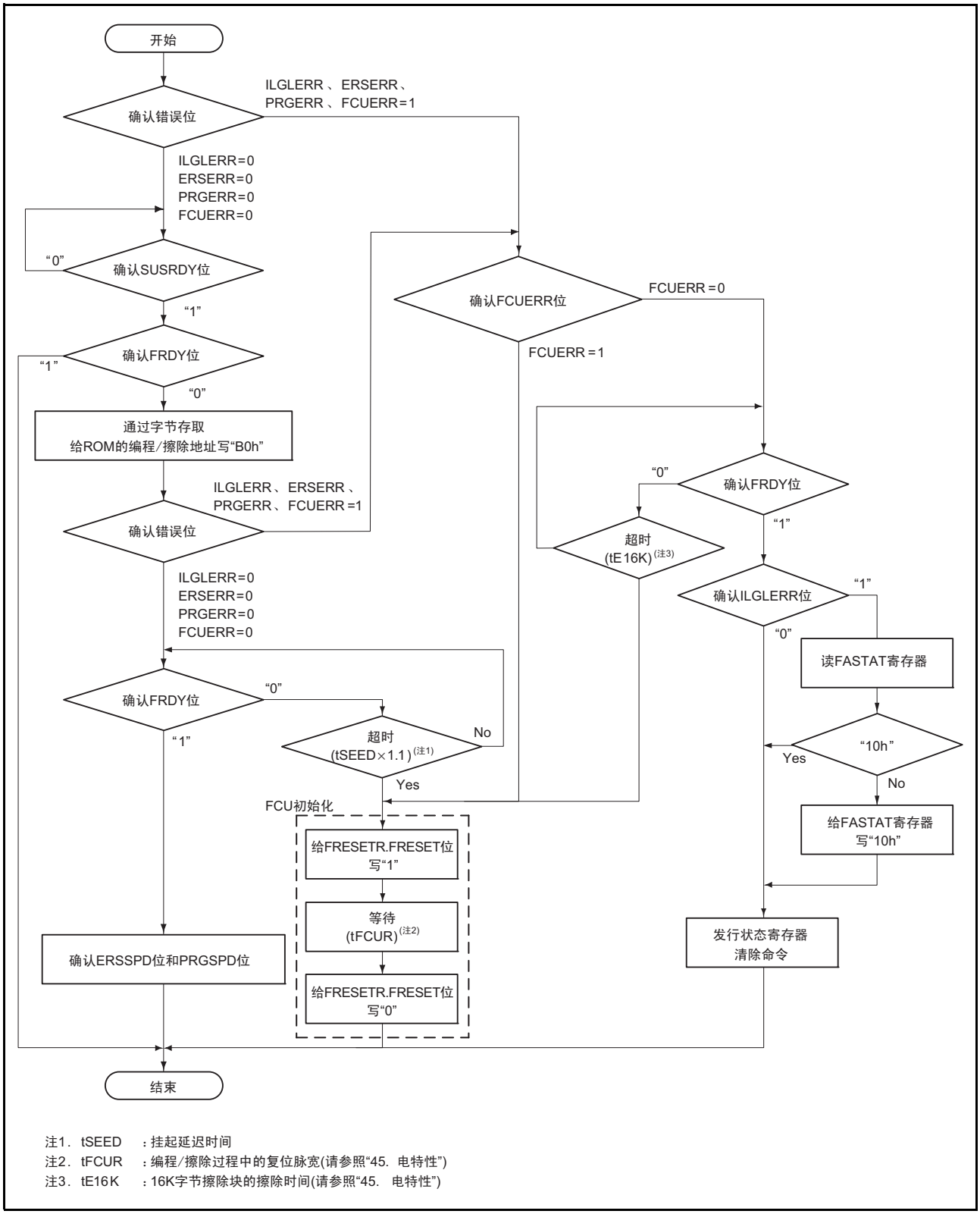
要发行 P/E 挂起命令时，必须预先通过检查 FSTATR0.ILGLERR 位、 FSTATR0.ERSERR 位、 FSTATR0.PRGERR 位和 FSTATR1.FCUERR 位为 “0”，确认正常进行了编程或者擦除处理。要确认能接受挂起命令时，也必须确认 FSTATR0.SUSRDY 位是 “1”。在发行 P/E 挂起命令后，必须读 FSTATR0 寄存器和 FSTATR1 寄存器，确认没有发生错误。

如果在编程或者擦除处理过程中发生异常，ILGLERR 位、PRGERR 位、ERSERR 位和 FCUERR 位中至少有 1 位变为 “1”。在确认 SUSRDY 位是 “1” 后到接受 P/E 挂起命令的期间，如果编程或者擦除处理已经结束，发行的 P/E 挂起命令就被检测为非法命令，因此 ILGLERR 位变为 “1”。

如果在接受 P/E 挂起命令的同时编程 / 擦除处理结束，就不产生错误，也不转移到挂起状态 （FSTATR0.FRDY 位为 “1” 并且 FSTATR0.ERSSPD 位和 FSTATR0.PRGSPD 位为 “0”）。如果在接受 P/E 挂起命令并且编程 / 擦除的中止处理正常结束， FCU 就转移到挂起状态， FRDY 位变为 “1” 并且 ERSSPD 位或者 PRGSPD 位变为 “1”。在发行 P/E 挂起命令后，必须通过检查 ERSSPD 位或者 PRGSPD 位为 “1”，确认转移到挂起状态，然后决定后续的流程。即使未转移到挂起状态，只要在后续的流程中发行 P/E 恢复命令，也发生非法命令错误， FCU 转移到命令锁定状态 （参照 “42.8.2 错误保护”）。

如果转移到擦除挂起状态，就能对擦除对象以外的块进行编程。在编程或者擦除挂起状态下，能通过清除 FENTRYR 寄存器转移到 ROM 读模式。

有关接受 P/E 挂起命令时的 FCU 运行内容，请参照 “42.7 挂起”。

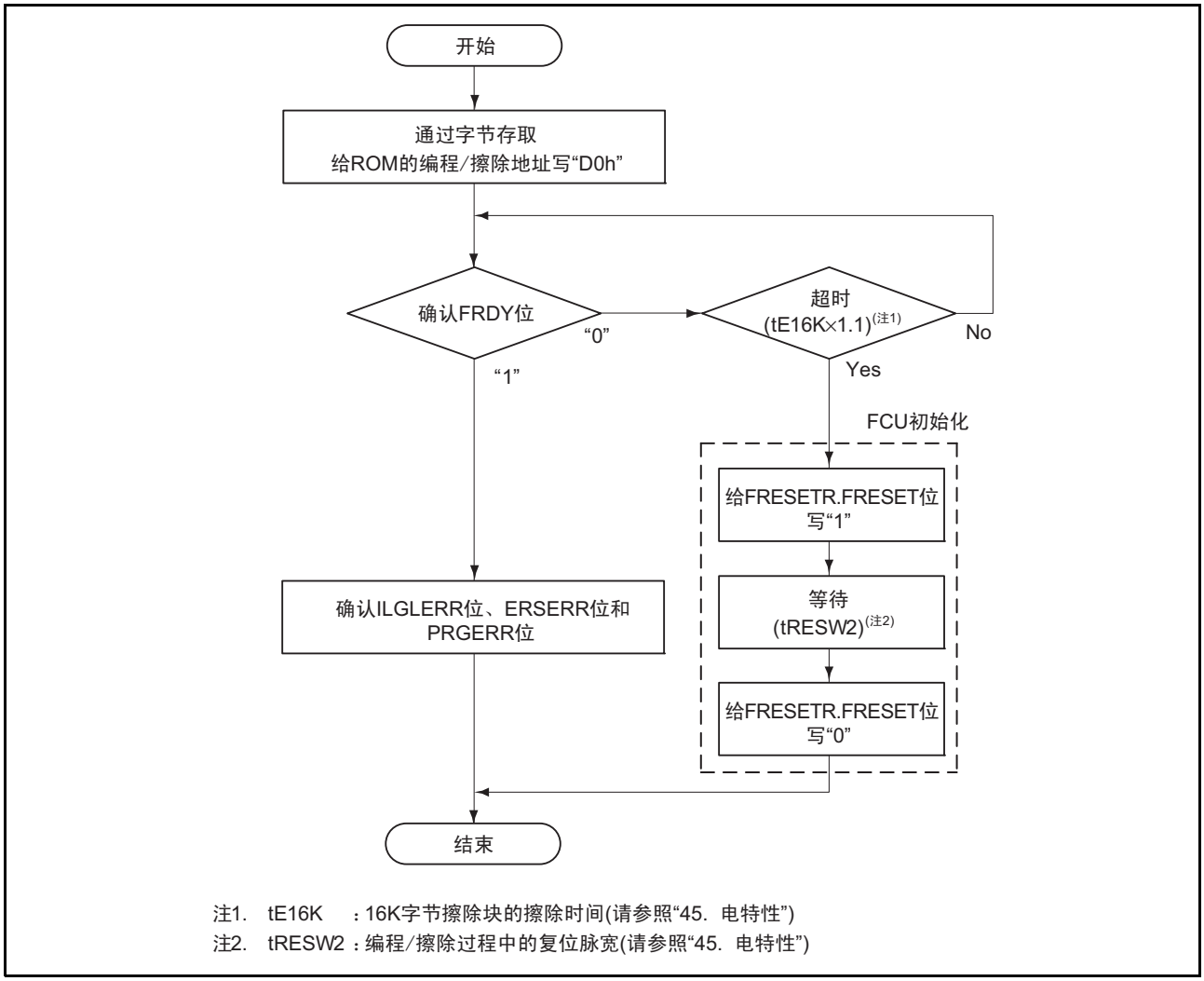


注1. tSEED ：挂起延迟时间
注2. tFCUR ：编程/擦除过程中的复位脉宽(请参照“45. 电特性”)
注3. tE16K ：16K字节擦除块的擦除时间(请参照“45. 电特性”)

图 42.18 编程 / 擦除的挂起方法

(2) 编程 / 擦除的恢复方法

使用 P/E 恢复命令重新开始挂起的编程或者擦除处理。如果在挂起过程中更改了 FENTRYR 寄存器的设定，就必须在发行 P/E 恢复命令前将发行 P/E 挂起命令前的值重新设定到 FENTRYR 寄存器。



注1. tE16K ：16K字节擦除块的擦除时间(请参照“45. 电特性”)
注2. tRESW2 ：编程/擦除过程中的复位脉宽(请参照“45. 电特性”)

图 42.19 编程 / 擦除的恢复方法

42.7 挂起

不能在编程或者擦除处理过程中读 ROM。通过发行 P/E 挂起命令来中止 ROM 的编程或者擦除处理，变为能读 ROM 的状态。P/E 挂起命令有 1 种编程模式和 2 种擦除模式（挂起优先模式、擦除优先模式），还有用于重新开始被中止的编程或者擦除处理的 P/E 恢复命令。

42.7.1 编程时的挂起

如果在对 ROM 进行编程或者擦除过程中发行 P/E 挂起命令， FCU 就中止编程处理。编程处理的中止如图 42.20 所示。

如果 FCU 接受编程命令，就将 FSTATR0.FRDY 位置 “0”，开始编程处理。如果在开始编程处理后 FCU 转移到能接受 P/E 挂起命令的状态， FSTATR0.SUSRDY 位就变为 “1”。如果发行 P/E 挂起命令， FCU 就在接受挂起命令后将 SUSRDY 位置“0”。如果 FCU 在外加编程脉冲过程中接受 P/E 挂起命令，FCU 就继续外加脉冲。如果超过规定的脉冲外加时间， FCU 就结束脉冲的外加，并且在开始进行编程的中止处理后将 FSTATR0.PRGSPD 位置 “1”。一旦中止处理结束， FCU 就将 FRDY 位置 “1”，转移到编程挂起状态。如果 FCU 在编程挂起状态下接受 P/E 恢复命令，就将 FRDY 位和 PRGSPD 位置 “0”，重新开始编程处理。

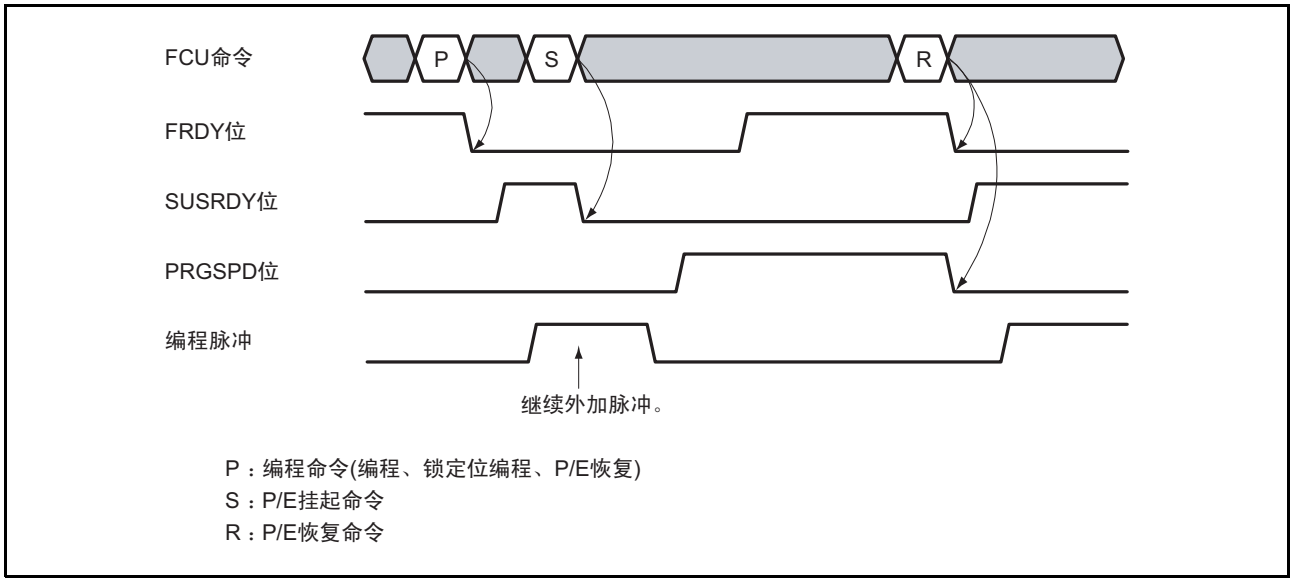


图 42.20 编程处理的中止

42.7.2 编程和擦除时的挂起 （挂起优先模式）

RX630 在擦除挂起中有挂起优先模式。

擦除挂起模式为挂起优先模式 （FCPSR.ESUSPMD 位为 “0”）时的擦除处理的中止如图 42.21 所示。

如果 FCU 接受擦除命令，就将 FSTATR0.FRDY 位清 “0”，开始进行擦除处理。如果在开始擦除处理后 FCU 转移到能接受 P/E 挂起命令的状态，FSTATR0.SUSRDY 位就变为 “1”。如果发行 P/E 挂起命令，FCU 就在接受挂起命令后将 SUSRDY 位置 “0”。如果在擦除处理过程中接受挂起命令，即使在外加擦除脉冲过程中，FCU 也开始中止处理，然后将 FSTATR0.ERSSPD 位置 “1”。一旦中止处理结束，FCU 就将 FRDY 位置 “1”，转移到擦除挂起状态。如果 FCU 在擦除挂起状态下接受 P/E 恢复命令，就将 FRDY 位和 ERSSPD 位置 “0”，重新开始擦除处理。中止或者重新开始擦除处理时的 FRDY 位、SUSRDY 位和 ERSSPD 位的操作相同，而不取决于擦除挂起模式。

擦除挂起模式的设定影响擦除脉冲的控制方式。在挂起优先模式中，如果 FCU 在外加过去没有被中止的擦除脉冲 A 过程中接受 P/E 挂起命令，就在中止外加擦除脉冲 A 后转移到擦除挂起状态。通过 P/E 恢复命令重新开始擦除并且重新外加擦除脉冲 A，如果在此期间 FCU 接受 P/E 挂起命令，FCU 就继续外加擦除脉冲 A。如果超过规定的脉冲外加时间，FCU 就在结束擦除脉冲的外加后转移到擦除挂起状态。接着，如果在 FCU 接受 P/E 恢复命令并且开始外加新的擦除脉冲 B 后，FCU 再次接受 P/E 挂起命令，就中止擦除脉冲 B 的外加。在挂起优先模式中，因为以 1 个脉冲中止 1 次擦除脉冲的外加并且优先挂起处理，所以能缩短挂起的延迟时间。

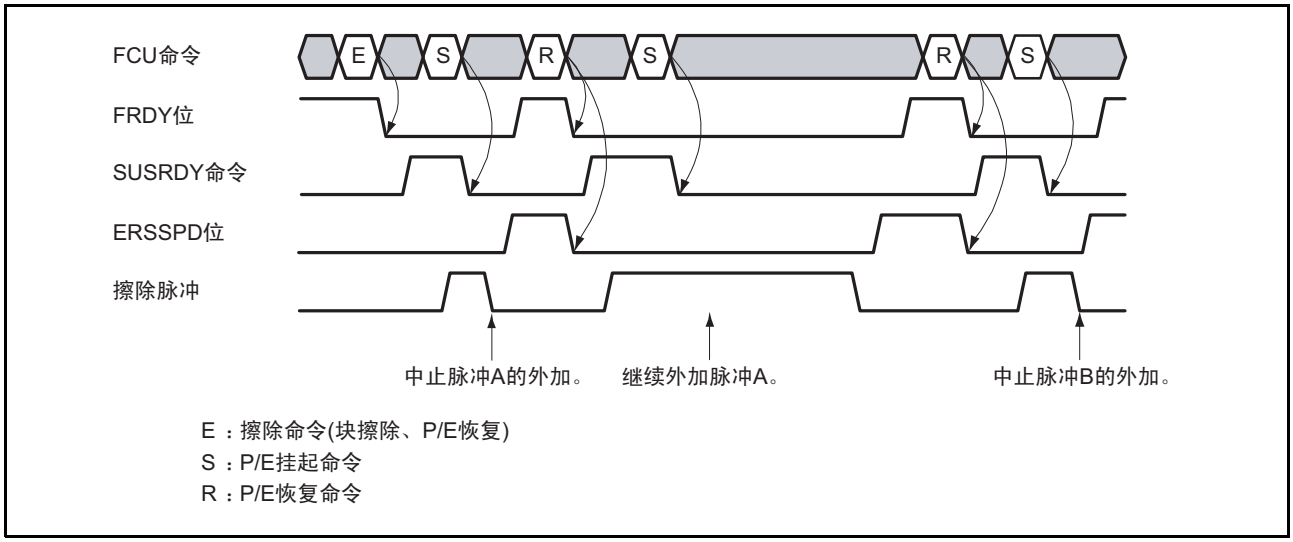


图 42.21 擦除处理的中止 （挂起优先模式）

42.7.3 编程和擦除时的挂起 （编程和擦除优先模式）

RX630 在擦除挂起中有挂起优先模式。

擦除优先模式 （FCPSR.ESUSPMD 位为 “1”）时的擦除处理的中止如图 42.22 所示。擦除优先模式的擦除脉冲控制方式和编程中止处理的编程脉冲控制方式相同。

如果 FCU 在外加擦除脉冲过程中接受 P/E 挂起命令，就继续外加擦除脉冲。在此模式中，因为在发行 P/E 恢复命令时不会再次外加擦除脉冲，所以与挂起优先模式相比，能缩短整个擦除处理所需的时间。

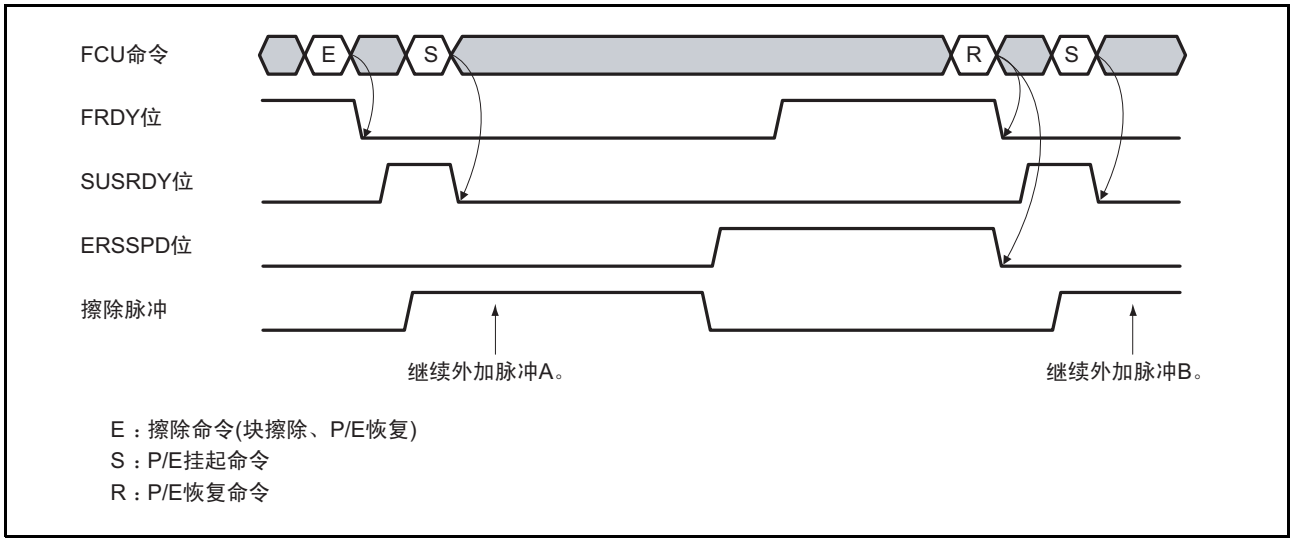


图 42.22 擦除处理的中止 （擦除优先模式）

42.8 保护

ROM 的编程 / 擦除的保护有软件保护和错误保护。

42.8.1 软件保护

软件保护是通过设定控制寄存器和用户区的锁定位来禁止对 ROM 进行编程 / 擦除的状态。如果违反软件保护而发行 ROM 的编程 / 擦除命令， FCU 就检测到错误，进入命令锁定状态。

(1) 通过 FWEPROR 寄存器进行的保护

如果不将 FWEPROR.FLWE[1:0] 位置 “01b”，在任何模式中都不能进行改写。

(2) 通过 FENTRYR 寄存器进行的保护

当 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、 FENTRYR.FENTRY1 位和 FENTRYR.FENTRY0 位都为 “0”时， FCU 为 ROM 读模式。因为在 ROM 读模式中不接受 FCU 命令，所以 ROM 为禁止编程和擦除的状态。如果在 ROM 读模式中发行 FCU 命令，FCU 就检测到非法命令错误，进入命令锁定状态（参照“42.8.2 错误保护”）。

(3) 通过锁定位进行的保护

用户区的各擦除块内置锁定位。当 FPROTR.FPROTCN 位为 “0”时，锁定位为 “0”的擦除块为禁止编程和擦除的状态。要对锁定位为 “0”的擦除块进行编程或者擦除时，必须将 FPROTCN 位置 “1”。如果违反通过锁定位进行的保护而发行 ROM 的编程 / 擦除命令， FCU 就检测到编程 / 擦除错误，进入命令锁定状态 （参照 “42.8.2 错误保护”）。

42.8.2 错误保护

错误保护是因误发行 FCU 命令以及发生禁止的存取而导致 FCU 在检测到误动作后禁止接受 FCU 命令的状态 （命令锁定状态）。

一旦 FCU 进入命令锁定状态（FASTAT.CMDLK 位为“1”），就将状态位（FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、 FSTATR0.PRGERR 位、 FSTATR1.FCUERR 位、 FASTAT.ROMAE 位）中的某位或者多个位置“1”，禁止对 ROM 进行编程和擦除。要解除命令锁定状态时，需要在 FASTAT 寄存器为 “10h”的状态下发行状态寄存器清除命令。

当 FAEINT.CMDLKIE 位为 “1”时，如果 FCU 进入命令锁定状态 （FASTAT.CMDLK 位为 “1”），就产生闪存接口错误 （FIFERR）中断；当 FAEINT.ROMAEIE 位为 “1”时，即使 FASTAT.ROMAE 位为 “1”，也产生 FIFERR 中断。

ROM 相关的错误保护内容和错误检测时的状态位的值 （FSTATR0.ILGLERR 位、 FSTATR0.ERSERR 位、FSTATR0.PRGERR 位、 FSTATR1.FCUERR 位、 FASTAT.ROMAE 位）的关系如表 42.9 所示。如果在编程或者擦除处理过程中发行挂起以外的命令，就转移到命令锁定状态，但是 FCU 继续进行编程或者擦除处理。在此状态下无法通过发行 P/E 挂起命令来中止编程或者擦除。如果在命令锁定状态下发行命令， ILGLERR 位就变为“1”。

表 42.9 错误保护一览表 （ROM 专用 +ROM/E2 数据闪存共用）(1/2)

分类	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
FENTRYR 的设定错误	给 FENTRYR 寄存器设定 “0001h”、“0002h”（注 1）、“0004h”（注 1）、“0008h”（注 1）和 “0008h”（注 1）以外的值。	1	0	0	0	0
	挂起和恢复时的 FENTRYR 寄存器的设定不同。	1	0	0	0	0
非法命令错误	在 FCU 命令的第 1 周期指定未定义代码。	1	0	0	0	0
	在多个周期的 FCU 命令的最后周期指定 “D0h”以外的数据。	1	0	0	0	0
	给 PCKAR 寄存器设定 1 ～ 100MHz 以外的外围时钟。（在设定 1 ～ 4MHz 和 50 ～ 100MHz 时，不检测错误）	1	0	0	0	0
	在编程或者擦除处理过程中发行挂起以外的命令。	1	0	0	0	0
	在编程和擦除以外的处理过程中发行挂起命令。	1	0	0	0	0
	在挂起状态下发行挂起命令。	1	0	0	0	0
	在挂起以外的状态下发行恢复命令。	1	0	0	0	0
	在编程挂起状态下发行编程 / 擦除 （编程、锁定位编程、块擦除）命令。	1	0	0	0	0
	在擦除挂起状态下发行块擦除命令。	1	0	0	0	0
	在擦除挂起状态下发行擦除挂起对象区的编程命令/锁定位编程命令。	1	0	0	0	0
	在编程命令的第 2 个周期指定 “80h”以外的数据。	1	0	0	0	0
	在命令锁定状态下发行命令。	1	0/1	0/1	0/1	0/1
擦除错误	在擦除处理过程中发生错误。	0	1	0	0	0
	在 FPROTR.FPROTCN 位为 “0”时，对锁定位为 “0”的擦除块发行块擦除命令。	0	1	0	0	0
编程错误	在编程处理过程中发生错误。	0	0	1	0	0
	在 FPROTR.FPROTCN 位为 “0”时，对锁定位为 “0”的擦除块发行编程命令或者锁定位编程命令。	0	0	1	0	0
FCU 错误	在 FCU 内部处理过程中发生错误。	0	0	0	1	0

表 42.9 错误保护一览表 （ROM 专用 +ROM/E2 数据闪存共用）(2/2)

分类	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
ROM 存取违反	在 FENTRYR.FENTRY0 位为 “1” 时并且在 ROM P/E 正常模式中，当用户区的容量为 384K 字节时，对 00FA 0000h ～ 00FF FFFFh发行读存取命令；当用户区的容量为512K/768K/1M/1.5M 字节时，对 00F8 0000h ～ 00FF FFFFh 发行读存取命令。	1	0	0	0	1
	在 FENTRYR.FENTRY1 位为 “1” 时并且在 ROM P/E 正常模式中，当用户区的容量为 768K 字节时，对 00F4 0000h ～ 00F7 FFFFh 发行读存取命令；当用户区的容量为 1M/1.5M 字节时，对 00F0 0000h ～ 00F7 FFFFh 发行读存取命令。（注 2）	1	0	0	0	1
	在 FENTRYR.FENTRY2 位为 “1” 时并且在 ROM P/E 正常模式中，对 00E8 0000h ～ 00EF FFFFh 发行读存取命令。（注 2）	1	0	0	0	1
	在 FENTRYR.FENTRY3 位为 “1” 时并且在 ROM P/E 正常模式中，对 00E0 0000h ～ 00E7 FFFFh 发行读存取命令。（注 2）	1	0	0	0	1
	在 FENTRYR.FENTRY0 位为 “0” 的情况下，当用户区的容量为 384K 字节时，对 00FA 0000h ～ 00FF FFFFh 发行读存取命令；当用户区的容量为 512K/768K/1M/1.5M 字节时，对 00F8 0000h ～ 00FF FFFFh 发行读存取命令。	1	0	0	0	1
	在 FENTRYR.FENTRY1 位为 “0” 的情况下，当用户区的容量为 768K 字节时，对 00F4 0000h ～ 00F7 FFFFh 发行读存取命令；当用户区的容量为 1M/1.5M 字节时，对 00F0 0000h ～ 00F7 FFFFh 发行读存取命令。（注 2）	1	0	0	0	1
	在 FENTRYR.FENTRY2 位为 “0” 时，对 00E8 0000h ～ 00EF FFFFh 发行读存取命令。（注 2）	1	0	0	0	1
	在 FENTRYR.FENTRY3 位为 “0” 时，对 00E0 0000h ～ 00E7 FFFFh 发行读存取命令。（注 2）	1	0	0	0	1
	在设定 FENTRYR 寄存器后转移到 ROM P/E 模式的状态下，对 FFF0 0000h/FFE8 0000h（注 3）～ FFFF FFFFh 发行读存取命令。	1	0	0	0	1

注 1. 当用户区的容量为 768K/1M/1.5M/2M 字节时，能设定 “0002h”；当用户区的容量为 1.5M/2M 字节时，能设定 “0004h”；当用户区的容量为 2M 字节时，能设定 “0008h”。

注 2. 当用户区的容量超过 512K 字节时，有 FENTRY1 位；当用户区的容量超过 1M 字节时，有 FENTRY2 位；当用户区的容量超过 1.5M 字节时，有 FENTRY3 位。

注 2. 当用户区的容量为 2M 字节时，为 “FFE0 000h”；当用户区的容量为 1.5M 字节时，为 “FFE8 000h”；当用户区的容量为 1M 字节时，为 “FFF0 0000h”；当用户区的容量为 768K 字节时，为 “FFF4 0000h”；当用户区的容量为 512K 字节时，为 “FFF8 0000h”；当用户区的容量为 384K 字节时，为 “FFFA 0000h”。

42.9 用户引导模式

如果通过 MD 引脚设定为用户引导模式并且解除复位，就转移到用户引导模式。此时的复位向量为用户引导区的地址 FF7F FFFCh。其他向量表请参照一般的向量表 （参照 “15. 中断控制器 （ICUb）”）。

在用户引导模式中，能建立使用任意接口的编程程序，并且能通过发行 FCU 命令进行用户区或者数据的编程和擦除。另外，必须在引导模式中对用户引导区进行编程。

42.10 引导模式

42.10.1 系统结构

在引导模式中，能从主机发送控制命令和编程数据，对用户区或者数据区进行编程和擦除。为了进行主机和 RX630 之间的通信，将内部 SCI 用于异步模式。需要准备用于将控制命令发送到主机的工具和编程数据。

如果通过引导模式启动 RX630，就执行嵌入式程序保存 MAT 中的程序，此程序在自动调整 SCI 的位速率以及接受主机的控制命令后，控制编程和擦除。

引导模式的系统结构如图 42.23 所示。

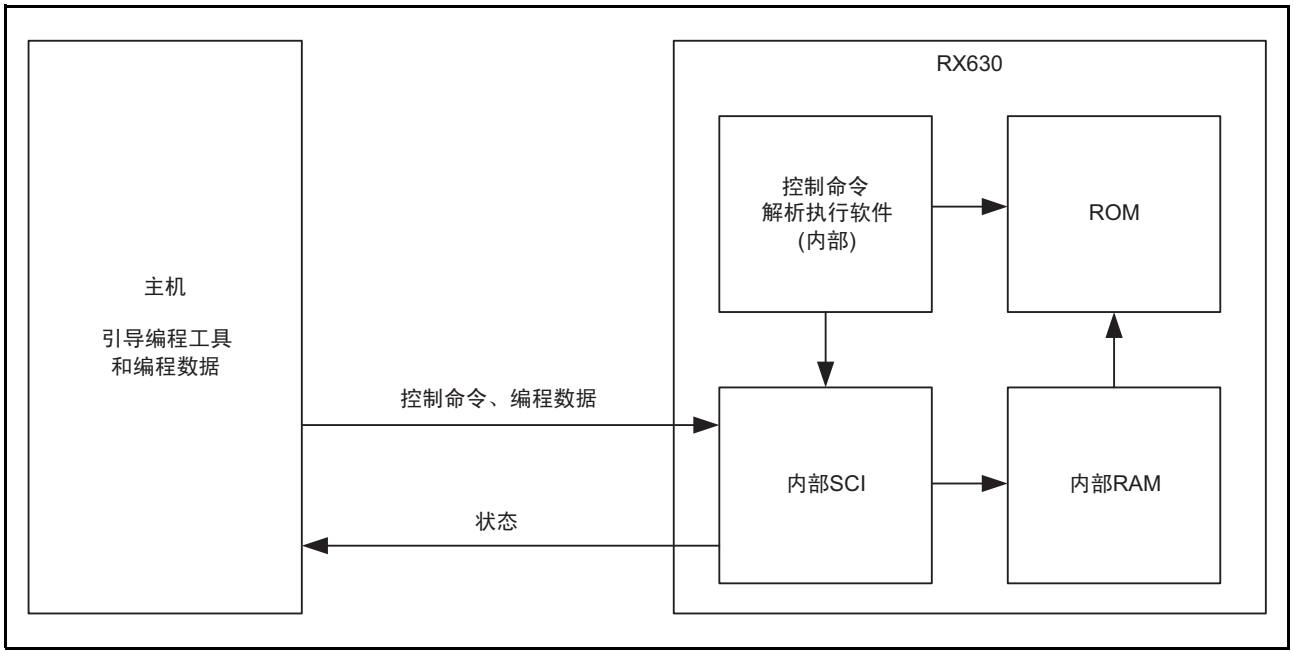


图 42.23 引导模式的系统结构

42.10.2 引导模式的状态转移

引导模式的状态转移图如图 42.24 所示。

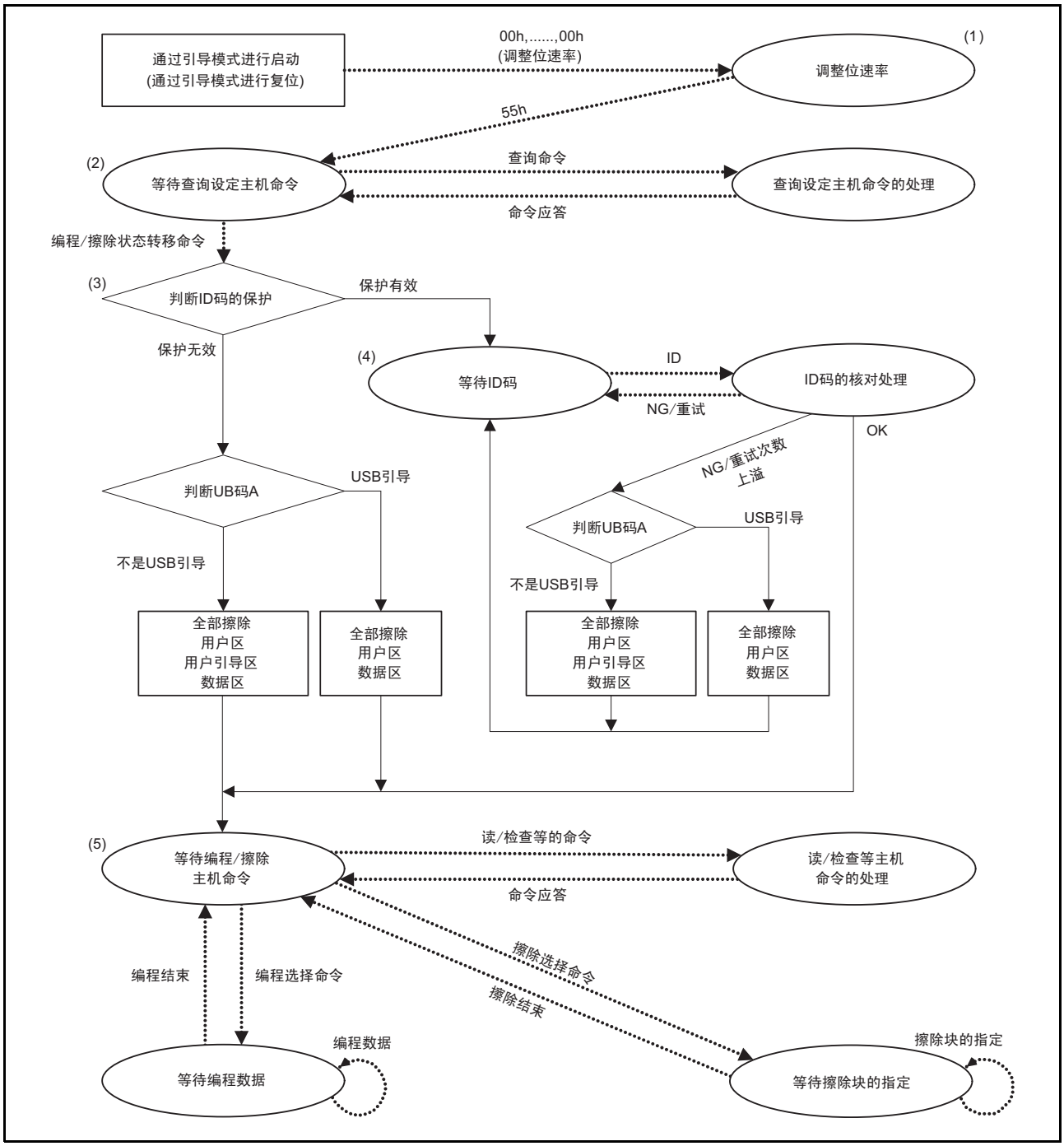


图 42.24 引导模式的状态转移图

(1) 位速率的调整

如果通过引导模式启动 RX630，就自动调整主机和 SCI 的位速率。如果位速率的自动调整结束，就将“00h”从 RX630 发送到主机。此后，如果 RX630 正常接收从主机送来的 “55h”，就转移到查询设定主机命令等待状态。有关位速率调整的详细内容，请参照 “42.10.3 位速率的自动调整”。

(2) 查询设定主机命令的等待

这是查询 MAT 大小、MAT 结构、MAT 起始地址和支持状况等以及选择器件、时钟模式和位速率的状态。如果从主机发行编程 / 擦除状态转移命令，就转移到判断 ID 码保护的有效或者无效的状态。有关查询设定主机命令的详细内容，请参照 “42.10.6 查询设定主机命令的等待状态”。

(3) ID 码保护的判断

判断 ID 码保护的有效或者无效。通过写在 ROM 中的控制码和 ID 码，判断 ID 码保护的有效或者无效。当 ID 码保护有效时，转移到 ID 码等待状态；当 ID 码保护无效时，全部擦除用户区和数据区，并且转移到编程 / 擦除主机命令等待状态。有关控制码和 ID 码的详细内容，请参照 “42.10.4 ID 码保护 （引导模式）”。

(4) ID 码的等待

等待从主机送来的控制码和 ID 码。将主机送来的控制码、ID 码和 ROM 中的代码进行比较，如果相同，就转移到编程 / 擦除主机命令等待状态；如果不同，就返回到 ID 码等待状态。如果连续 3 次不同并且保护状态为验证方法 1，就进行全部擦除并且再次返回到 ID 码等待状态。要解除此不同的状态时，需要进行复位。有关控制码和 ID 码的详细内容，请参照 “42.10.4 ID 码保护 （引导模式）”。

(5) 编程 / 擦除主机命令的等待

这是根据主机的命令进行编程或者擦除的状态。根据 RX630 接收的命令，转移到编程数据等待状态、擦除块指定等待状态、读 / 检查等命令处理执行状态。

如果 RX630 接收编程选择命令，就转移到编程数据等待状态。主机在发送编程选择命令后，必须接着发送编程起始地址和编程数据。如果将编程起始地址设定为 “FFFF FFFFh”，就在编程结束后，从编程数据等待状态转移到编程 / 擦除命令等待状态。

如果 RX630 接收擦除选择命令，就转移到擦除块指定等待状态。主机在发送擦除选择命令后，必须接着发送擦除块号。如果将擦除块号设定为 “FFh”，就在擦除结束后，从擦除块指定等待状态转移到编程 / 擦除命令等待状态。因为在通过引导模式启动后到转移到编程 / 擦除主机命令状态的期间，用户区、用户引导区和数据区被全部擦除，所以在引导模式中除了不进行复位而要擦除新编程的数据的情况以外，不需要进行擦除。

除了编程 / 擦除命令以外，还有用户区和用户引导区的校验和命令、空白检查 （擦除检查）命令、存储器读命令、状态信息取命令等主机命令。

42.10.3 位速率的自动调整

如果通过引导模式启动 RX630，就测量从主机连续发送的异步 SCI 通信数据 “00h” 的 Low 电平期间。在测量 Low 电平期间时，主机的 SCI 发送 / 接收格式必须为 8 位数据、1 个停止位、没有奇偶校验，位速率必须设定为 9600bps 或者 19200bps。从测量的 Low 电平期间计算主机的 SCI 的位速率，如果位速率调整结束，RX630 就将 “00h” 发送到主机。如果主机正常接收到 “00h”，就必须将 “55h” 从主机发送到 RX630。否则，就必须通过引导模式重新启动 RX630，并且重新自动调整位速率。如果 RX630 正常接收 “55h”，就发送 “E6h”。否则，就发送 “FFh”。

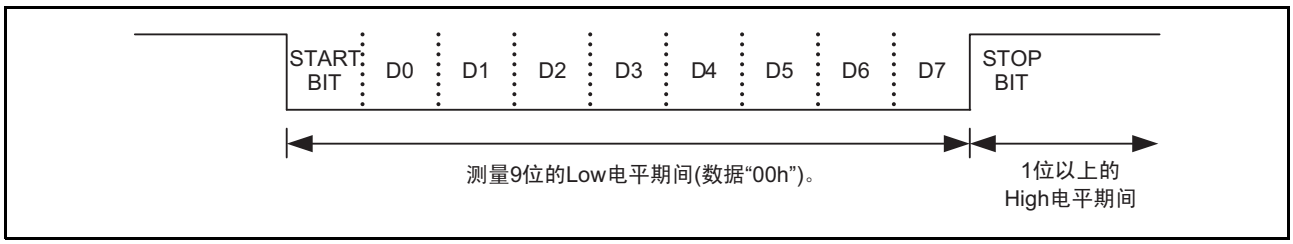


图 42.25 自动调整位速率时的 SCI 发送 / 接收格式

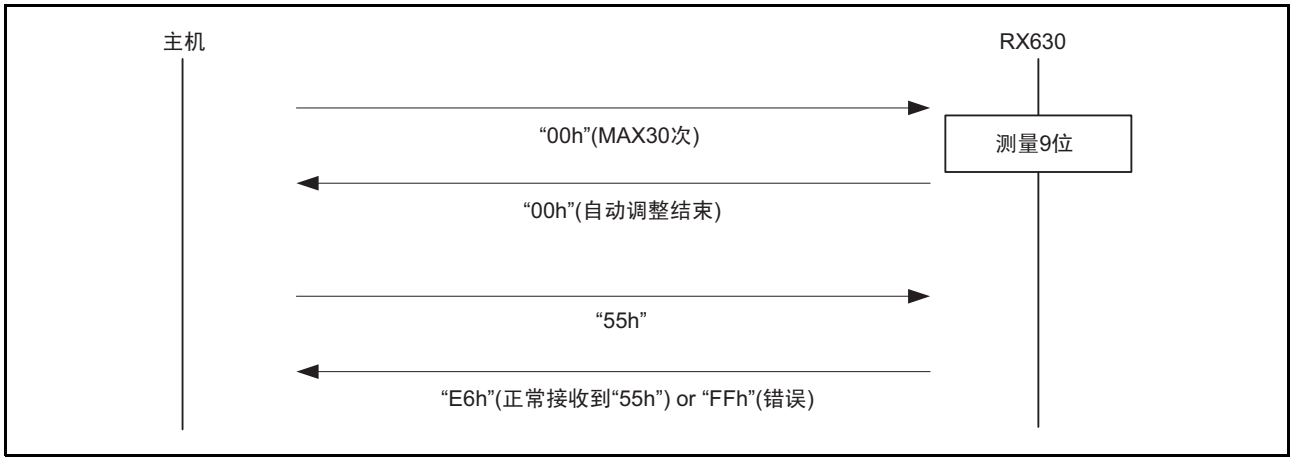


图 42.26 主机和 RX630 之间的通信顺序

位速率的自动调整取决于主机的 SCI 的位速率和 RX630 的外围时钟的频率，因为有可能无法进行正常的调整，所以必须在表 42.10 所示的条件下进行 SCI 的通信。

表 42.10 可自动调整位速率的条件

主机的 SCI 的位速率	EXTAL 的频率范围
9600bps	4 ～ 20MHz （注 1）
19200bps	8 ～ 20MHz （注 1）

注 1. 但是，谐振器频率最大为 16MHz。

42.10.4 ID 码保护 （引导模式）

这是禁止从 PC 等主机读、编程和擦除的功能。

在通过引导模式启动并且自动调整位速率后，使用写在 ROM 中的控制码和 ID 码，判断 ID 码保护的有效或者无效以及 ID 码保护。在 ID 码保护有效的情况下，只在从主机送来的代码和 ROM 中的控制码及 ID 码相同时，允许读、编程和擦除。

ROM 中的控制码和 ID 码是 32 位长的 4 字数据，控制码和 ID 码的结构如图 42.27 所示。必须以 32 位为单位设定 ID 码。

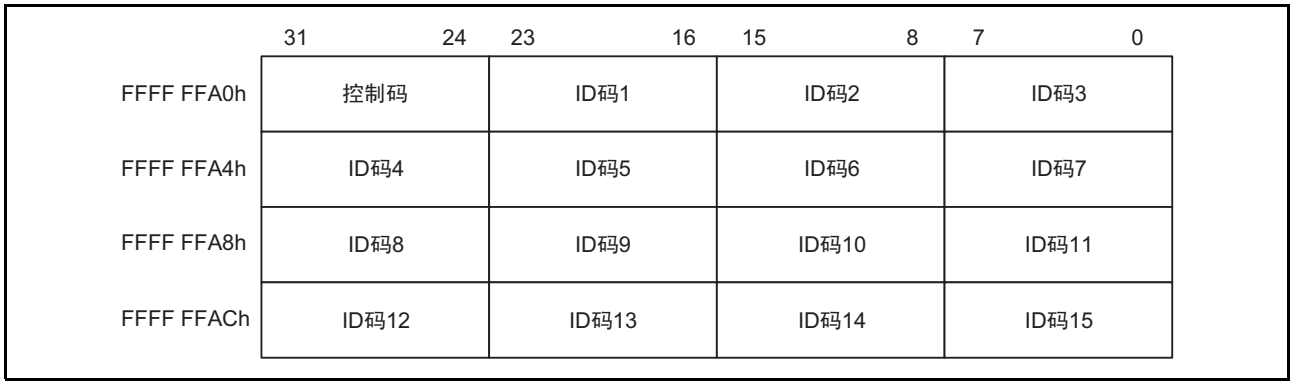


图 42.27 ROM 中的控制码和 ID 码的结构

(1) 控制码

控制码决定 ID 码保护的有效或者无效以及主机的验证方法，控制码和验证方法如表 42.11 所示。

表 42.11 ID 码保护的规格

控制码	ID 码	保护状态	连接 SCI 时的运行
45h	任意	保护有效 （验证方法 1）	ID 码相同：结束 ID 码保护并且转移到主机命令等待状态。 ID 码不同：再次转移到 ID 码等待状态。但是，如果连续 3 次 ID 码不同，就进行全部擦除。
52h	50h、72h、6Fh、74h、65h、63h、74h、FFh、……、FFh 除外	保护有效 （验证方法 2）	ID 码相同：结束 ID 码保护并且转移到主机命令等待状态。 ID 码不同：再次转移到 ID 码等待状态。
	50h、72h、6Fh、74h、65h、63h、74h、FFh、……、FFh	保护有效 （验证方法 3）	总是判断为 ID 码不同。
上述以外	—	保护无效	擦除全部的块。

(2) ID 码

ID 码能设定为任意的值。如果控制码为“52h”并且 ID 码从 ID 码 1 开始依次设定“50h”、“72h”、“6Fh”、“74h”、“65h”、“63h”、“74h”、“FFh”、……、“FFh”，就不判断 ID 码是否相同而总是视为不同，禁止从主机读、编程和擦除。

(3) 设定 ID 码的编程例子

控制码为“45h”，ID 码从 ID 码 1 开始按依次设定“01h”、“02h”、“03h”、“04h”、“05h”、“06h”、“07h”、“08h”、“0Ah”、“0Bh”、“0Ch”、“0Dh”、“0Eh”、“0Fh”时的编程例子：

```
.SECTION ID_CODE、 CODE
.ORG 0FFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

42.10.5 UB 码 A

有关 UB 码 A，请参照“7.3 UB 码”。

42.10.6 查询设定主机命令的等待状态

在查询设定主机命令等待状态下能使用的主机命令一览表如表 42.12 所示。在编程 / 擦除主机命令等待状态下，也能使用嵌入式程序状态查询命令。其他命令只能在查询设定主机命令等待状态下使用。

表 42.12 查询设定主机命令

主机命令名	功能
支持器件查询	查询器件码和嵌入式程序的产品型号。
器件选择	选择器件码。
时钟模式查询	查询时钟模式数和各自的值。
时钟模式选择	通知已选择的时钟模式。
倍增比查询	查询时钟的种类、倍增比 / 分频比的种类以及倍增比 / 分频比。
工作频率查询	查询时钟的种类、最大工作频率和最小工作频率。
用户引导区信息查询	查询用户引导区的个数以及起始地址和结束地址。
用户区信息查询	查询用户区的个数以及起始地址和结束地址。
擦除块信息查询	查询块数以及起始地址和结束地址。
编程长度查询	查询编程时的数据长度。
新位速率选择	更改主机和 RX630 之间的 SCI 通信的位速率。
编程 / 擦除状态转移	转移到 ID 码保护判断状态。
嵌入式程序状态查询	查询处理状态。

如果主机发送未定义的命令， RX630 就发送命令错误应答。命令错误应答的内容如下所示。在命令中保存主机发送的命令的起始字节。

错误应答	80h	命令

在查询设定主机命令等待状态下，必须参考查询命令的应答，按照器件的选择 → 时钟模式的选择 → 新位速率的选择的顺序从主机发送选择命令，设定 RX630。在发行时钟模式选择命令前，不能使用支持器件的查询和时钟模式的查询以外的查询命令。如果搞错命令的发送顺序， RX630 就发送命令错误应答。查询设定主机命令等待状态下的主机命令使用例子如图 42.28 所示。

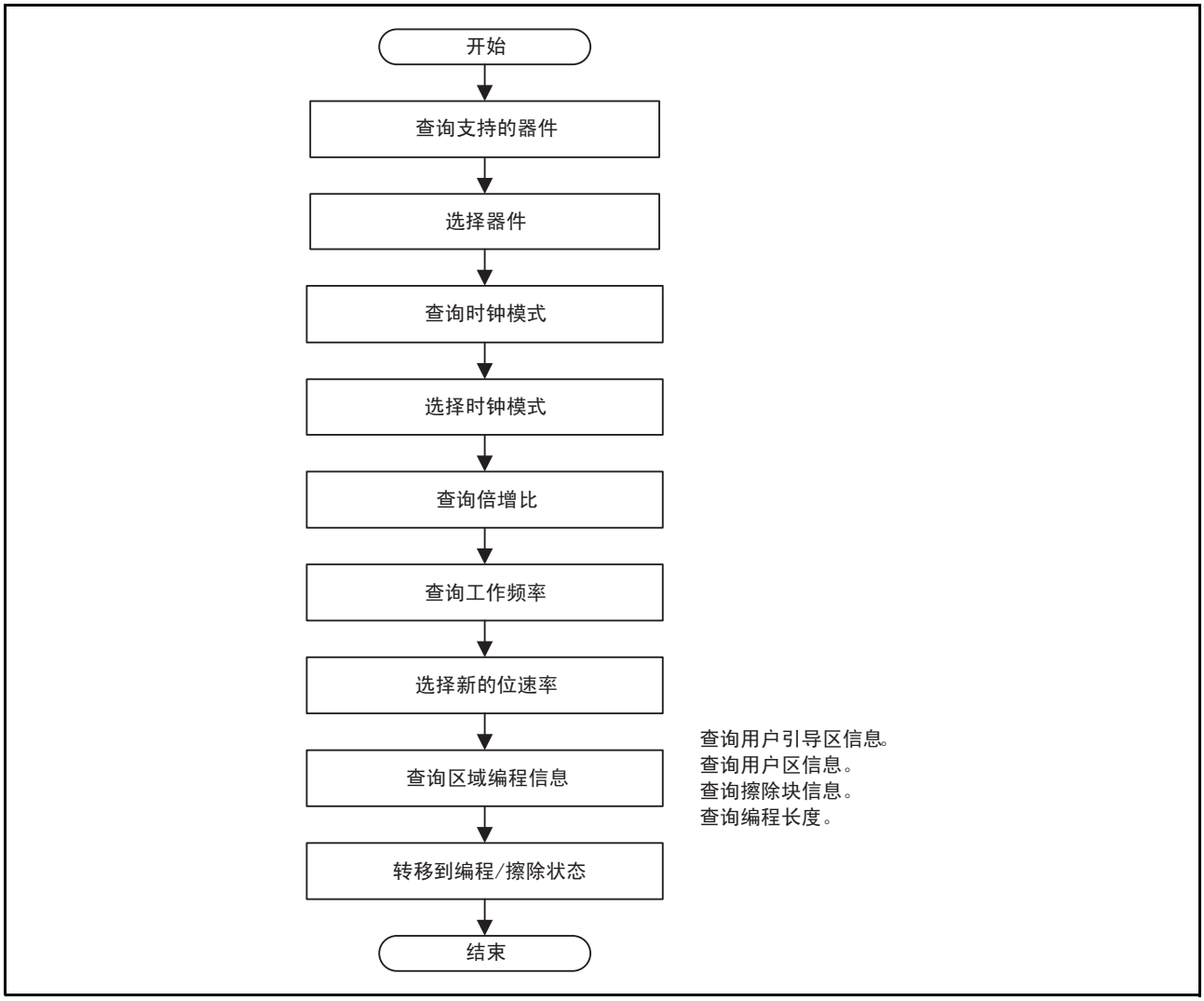


图 42.28 用户区 / 用户引导区的查询设定主机命令的使用例子

以下说明各主机命令的详细内容。说明内容中的 “命令” 是从主机发送到 RX630 的命令，“应答” 是从 RX630 发送到主机的应答。“校验和” 是指在合计 RX630 发送的各字节时，为了得到“00h”而算出的字节数据。

(1) 支持器件查询

如果主机发送支持器件查询命令， RX630 就通过引导模式的嵌入式程序发送能支持的器件信息。如果在主机选择器件后发送支持器件查询命令，RX630 就只发送所选的器件信息。作为支持器件查询命令的应答，RX630 按各自的顺序发送小端法指定和大端法指定的 2 个器件信息。

命令	20h			
应答	30h	长度	器件数	
	字符数	器件码 （小端法指定）		产品名称
	字符数	器件码 （大端法指定）		产品名称
	SUM			

长度 （1 字节） ：器件数、字符数、器件码和产品名称的数据总字节数
器件数 （1 字节） ：引导模式的嵌入式程序支持的品种数
字符数 （1 字节） ：器件码和产品名称的字符数
器件码 （4 字节） ：芯片产品名称的 ASCII 码
产品名称 （n 字节） ：支持器件名称的 ASCII 码
SUM （1 字节） ：校验和

(2) 器件选择

如果主机发送器件选择命令， RX630 就检查所指定的器件是否为能支持的器件。如果是能支持的器件，RX630 就将支持器件更改为指定的器件并且发送应答 （06h）。如果不是能支持的器件或者送来的命令为非法命令， RX630 就发送错误应答 （90h）。

必须根据要编程的数据，从支持器件查询命令发送的 2 个器件信息中选择某个字节序指定的器件码。

命令	10h	长度	器件码	SUM
应答	06h			
错误应答	90h	错误		

长度 （1 字节） ：器件码的字符数 （是固定值，为 “4”。）
器件码 （4 字节） ：芯片产品名称的 ASCII 码 （和支持器件查询命令的应答相同的代码）
SUM （1 字节） ：校验和
错误 （1 字节） ：错误码
11h：校验和错误 （命令为非法命令）
21h：器件码不同

(3) 时钟模式查询

如果主机发送时钟模式查询命令， RX630 就发送可选择的时钟模式。如果在主机选择时钟模式后发送时钟模式查询命令， RX630 就只发送所选时钟模式的信息。

命令	21h			
应答	31h	长度		
	模式	模式	…	模式
	SUM			

长度 （1 字节） ：模式数、模式的数据总字节数
模式 （1 字节） ：可选择的时钟模式 （例：01h 时钟模式 1）
SUM （1 字节） ：校验和

(4) 时钟模式选择

如果主机发送时钟模式选择命令， RX630 就检查所指定的时钟模式是否为能支持的模式。如果是能支持的模式， RX630 就将时钟模式更改为指定的模式并且发送应答（06h）。如果不是能支持的模式或者送来的命令为非法命令， RX630 就发送错误应答 （91h）。

必须在发送器件选择命令后发送时钟模式选择命令。即使在时钟模式查询结果的时钟模式数为 “00h” 或者 “01h” 时，也必须通过时钟模式选择命令设定查询结果的模式的值。

命令	11h	长度	模式	SUM
应答	06h			
错误应答	91h	错误		

长度 （1 字节） ：模式的字符数 （是固定值，为 “1”。）
模式 （1 字节） ：时钟模式 （和时钟模式查询命令的应答相同的模式）
SUM （1 字节） ：校验和
错误 （1 字节） ：错误码
11h：校验和错误 （命令为非法命令）
22h：时钟模式不同

(5) 倍增比查询

如果主机发送倍增比查询命令，RX630 就发送时钟的种类、倍增比 / 分频比的种类以及倍增比 / 分频比的信息。

命令

22h

应答

32h	长度	时钟数		
倍增比的种类	倍增比	倍增比	…	倍增比
倍增比的种类	倍增比	倍增比	…	倍增比
…	…	…	…	…
倍增比的种类	倍增比	倍增比	…	倍增比
SUM				

长度 （1 字节）　：时钟数、倍增比的种类、倍增比的数据总字节数
时钟数 （1 字节）　：时钟的种类 （例：02h　系统时钟和外围时钟）
倍增比的种类 （1 字节）　：可选择的倍增比 / 分频比的种类
（例：04h　系统时钟有 1 倍增、 2 倍增、 4 倍增、 8 倍增共 4 种）
倍增比 （1 字节）　：倍增比 （例：04h=4　4 倍增） ← 用正数指定
分频比 （例：FEh=–2　2 分频） ← 用负数指定
SUM （1 字节）　：校验和

(6) 工作频率查询

如果主机发送工作频率查询命令， RX630 就发送各时钟的工作频率的最小值和最大值的信息。

命令

23h

应答

33h	长度	时钟数
最小频率		最大频率
最小频率		最大频率
…		…
最小频率		最大频率
SUM		

长度 （1 字节）　：时钟数、最小频率、最大频率的数据总字节数
时钟数 （1 字节）　：时钟的种类 （例：02h　系统时钟和外围时钟）
最小频率 （2 字节）：工作频率的最小值 （例：07D0h　20.00MHz）
这是将频率 （MHz）的小数点后的 2 位的值扩大 100 倍的值。
最大频率 （2 字节）：工作频率的最大值
格式和最小频率相同。
SUM （1 字节）　：校验和

(7) 用户引导区信息查询

如果主机查询用户引导区信息， RX630 就发送用户引导区的区域数和地址的信息。

命令

24h

应答

34h	长度	区域数
区域的起始地址		
区域的结束地址		
区域的起始地址		
区域的结束地址		
…		
区域的起始地址		
区域的结束地址		
SUM		

长度 （1 字节） ：区域数、区域的起始地址、区域的结束地址的数据总字节数
区域数 （1 字节） ：用户区的区域数 （连续区域为 1 个区域）
区域的起始地址 （4 字节） ：用户区的起始地址
区域的结束地址 （4 字节） ：用户区的结束地址
SUM （1 字节） ：校验和

(8) 用户区信息查询

如果主机查询用户区信息， RX630 就发送用户区的区域数和地址的信息。

命令

25h

应答

35h	长度	区域数
区域的起始地址		
区域的结束地址		
区域的起始地址		
区域的结束地址		
…		
区域的起始地址		
区域的结束地址		
SUM		

长度 （1 字节） ：区域数、区域的起始地址、区域的结束地址的数据总字节数
区域数 （1 字节） ：用户区的区域数 （连续区域为 1 个区域）
区域的起始地址 （4 字节） ：用户区的起始地址
区域的结束地址 （4 字节） ：用户区的结束地址
SUM （1 字节） ：校验和

(9) 擦除块信息查询

如果主机查询擦除块信息， RX630 就发送用户区和数据区的合计擦除块数和地址的信息。

命令	26h

应答	36h	长度	块数
	块的起始地址		
	块的结束地址		
	块的起始地址		
	块的结束地址		
	…		
	块的起始地址		
	块的结束地址		
	SUM		

长度 （2 字节） ：块数、块的起始地址、块的结束地址的数据总字节数
块数 （1 字节） ：用户区的擦除块数
区域的起始地址 （4 字节） ：擦除块的起始地址
区域的结束地址 （4 字节） ：擦除块的结束地址
SUM （1 字节） ：校验和

(10) 编程长度查询

如果主机查询编程长度， RX630 就发送编程长度的信息。

命令	27h

应答	37h	长度	编程长度	SUM

长度 （1 字节） ：编程长度的字符数 （是固定值，为 “2”。）
编程长度 （2 字节） ：编程单位 （以字节数为单位）
SUM （1 字节） ：校验和

(11) 新位速率选择

如果主机发送新位速率选择命令， RX630 就检查能否将内部 SCI 设定为指定的新位速率。如果能设定为新位速率， RX630 就发送应答 （06h）并且将 SCI 设定为新位速率。如果不能设定为新位速率或者送来的命令为非法命令， RX630 就发送错误应答 （BFh）。如果主机接收应答 （06h），就用发送新位速率选择命令时的位速率进行 1 位时间的等待，并且将主机的位速率更改为新位速率。然后，主机通过新位速率发送确认数据（06h），RX630 发送确认数据的应答 （06h）。

必须在发送时钟模式选择命令后发送新位速率选择命令。

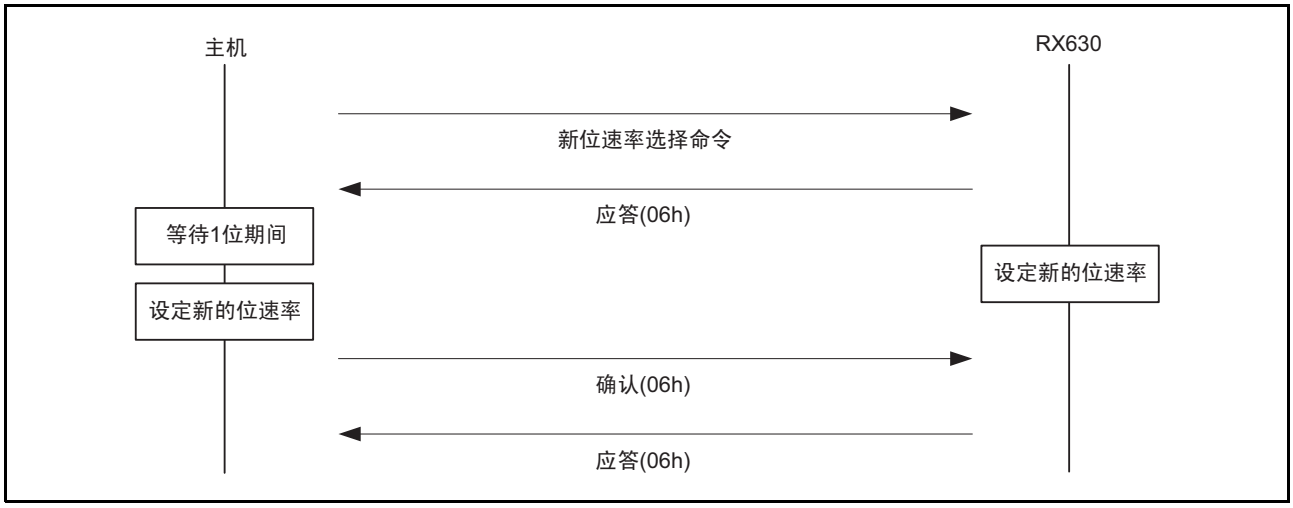


图 42.29 新位速率的选择顺序

命令	3Fh	长度	位速率	输入频率
	时钟数	倍增比 1	倍增比 2	
	SUM			
应答	06h			
错误应答	BFh	错误		
确认	06h			
应答	06h			

长度 （1 字节） ：位速率、输入频率、时钟数、倍增比的数据总字节数

位速率 （2 字节） ：新位速率 （例：00C0h 19200bps）
将位速率值设定为 1/100 的值。

输入频率 （2 字节） ：RX630 的输入频率 （例：04E2h 12.50MHz）
这是将输入频率的小数点后的 2 位的值扩大 100 倍的值。

时钟数 （1 字节） ：时钟的种类 （固定值：02h 系统时钟和外围时钟）

倍增比 1 （1 字节） ：输入频率对应的系统时钟 （ICLK）的倍增比 / 分频比
倍增比 （例：04h=4 4 倍增） ← 用正数指定
分频比 （例：FEh=–2 2 分频） ← 用负数指定

倍增比 2 （1 字节） ：输入频率对应的外围时钟 （PCLK）的倍增比 / 分频比
和倍增比 1 相同的格式

SUM （1 字节） ：校验和

错误 ：错误码
11h：校验和错误
24h：位速率不能选择错误
25h：输入频率错误
26h：倍增比错误
27h：工作频率错误

- 位速率不能选择错误
  如果因RX630的SCI的误差不足4%而无法通过新位速率选择命令设定所指定的位速率，就产生位速率不能选择错误。假设通过新位速率选择命令指定的位速率为B、输入频率为f_{EX}、倍增比2为$M_{P\phi}$、SCI的位速率寄存器 （BRR）的设定值为N以及串行模式寄存器 （SMR）的CKS[1:0]位的设定值为n，则用以下表达式求位速率的误差。

$$\text{误差 (\%)} = \frac{f_{EX} \times M_{P\phi} \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1$$

- 输入频率错误
  如果通过新位速率选择命令指定的输入频率不在与通过时钟模式选择命令指定的时钟模式对应的输入频率的最小值和最大值的范围内，就产生输入频率错误。

- 倍增比错误
  如果通过新位速率选择命令指定的倍增比不是与通过时钟模式选择命令指定的时钟模式对应的倍增比，就产生倍增比错误。必须使用倍增比查询命令确认能选择的倍增比。

- 工作频率错误
  如果在通过新位速率选择命令指定的工作频率下RX630无法运行，就产生工作频率错误。 RX630通过新位速率选择命令指定的输入频率和倍增比进行工作频率的计算，并且检查计算结果是否在各时钟工作频率的最小值和最大值的范围内。必须使用工作频率查询命令确认各时钟工作频率的最小值和最大值。

(12) 编程 / 擦除状态转移

如果主机发送编程 / 擦除状态转移命令， RX630 就通过写在 ROM 中的控制码和 ID 码判断 ID 码保护的有效或者无效。当 ID 码保护有效时，发送应答 （16h）并且转移到 ID 码等待状态；当 ID 码保护无效时，全部擦除用户区、用户引导区和数据区。在全部擦除后，RX630 发送应答（26h）并且转移到编程 / 擦除主机命令等待状态。如果发生错误而没有全部擦除， RX630 就发送错误应答 （C0h→51h）。

不能在选择器件、时钟模式和新位速率前发行编程 / 擦除状态转移命令。

命令	40h	
应答	ACK	
错误应答	C0h	51h

ACK （1 字节） ：ACK 码
26h：ID 码保护无效
16h：ID 码保护有效

(13) 嵌入式程序状态查询

如果主机发送嵌入式程序状态查询命令，RX630 就发送当前的状态。能在查询设定主机命令等待状态和编程 / 擦除主机命令等待状态下使用嵌入式程序状态查询命令。

命令	4Fh			
应答	5Fh	长度	状态	错误

长度 （1 字节） ：状态、错误的数据总字节数 （是固定值，为 “2”。）
状态 （1 字节） ：RX630 的状态 （参照表 42.13）
错误 （1 字节） ：RX630 的错误发生状况 （参照表 42.14）

表 42.13 状态的内容

代码	内容
11h	等待器件的选择。
12h	等待时钟模式的选择。
13h	等待位速率的选择。
1Fh	等待向编程 / 擦除主机命令等待状态的转移 （位速率选择结束）。
31h	正在擦除用户区和用户引导区。
3Fh	等待编程 / 擦除主机命令。
4Fh	等待编程数据的接收。
5Fh	等待擦除块的指定。

表 42.14 错误的内容

代码	内容
00h	没有错误
11h	校验和错误
21h	器件码不同错误
22h	时钟模式不同错误
24h	位速率不能选择错误
25h	输入频率错误
26h	倍增比错误
27h	工作频率错误
29h	块号错误
2Ah	地址错误
2Bh	数据长度错误
51h	擦除错误
52h	未擦除错误
53h	编程错误
54h	选择处理错误
80h	命令错误
FFh	位速率调整确认错误

42.10.7 ID 码等待状态

在 ID 码等待状态下能使用的主机命令一览表如表 42.15 所示。

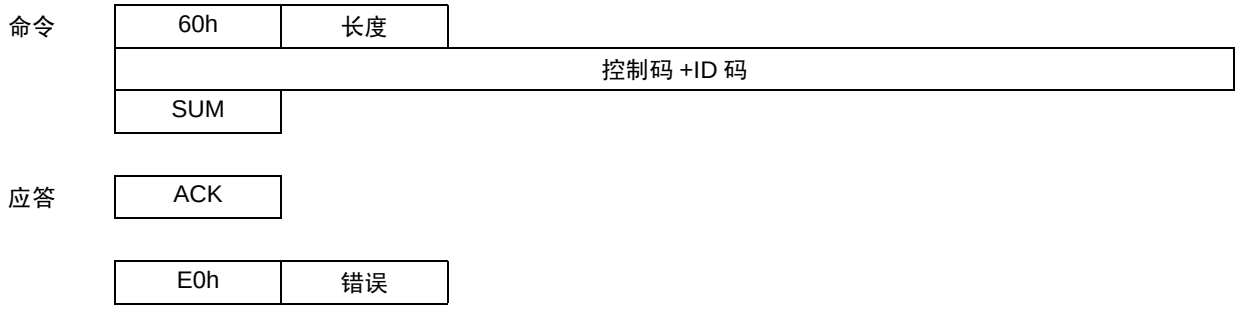
表 42.15 ID 码检查主机命令

主机命令名	功能
ID 码检查	进行 ID 码的检查。

如果主机发送未定义命令， RX630 就发送命令错误应答。有关命令错误的内容，请参照“42.10.6 查询设定主机命令的等待状态”。

(1) ID 码检查

如果主机发送 ID 码检查命令， RX630 就将 ROM 中的控制码、 ID 码和主机送来的代码进行比较，并且送回比较结果。



长度 （1 字节） ：ID 码的字节数 （是固定值，为 “16”。）
ID 码 （16 字节） ：控制码 （1 字节） +ID 码 （15 字节）
SUM （1 字节） ：校验和
ACK （1 字节） ：ACK 码
26h：对编程 / 擦除状态转移的应答
错误 （1 字节） ：错误码
11h：校验和错误
61h：ID 码不同
63h：ID 码不同 [擦除错误]
因 ID 码不同而发生擦除错误。

42.10.8 编程 / 擦除主机命令等待状态

在编程 / 擦除主机命令等待状态下能使用的主机命令一览表如**表 42.16** 所示。

表 42.16 编程 / 擦除主机命令

主机命令名	功能
用户引导区编程选择	选择用户引导区的编程。
用户区编程选择	选择用户区的编程。
256 字节编程	256 字节的编程
擦除选择	选择擦除。
块擦除	擦除块数据。
存储器读	读存储器。
用户引导区校验和	用户引导区的校验和
用户区校验和	用户区的校验和
用户引导区空白检查	用户引导区的空白检查
用户区空白检查	用户区的空白检查
读锁定位状态	读锁定位。
锁定位编程	对锁定位进行编程。
锁定位有效	设定为锁定位保护有效。
锁定位无效	设定为锁定位保护无效。
嵌入式程序状态查询	查询 RX630 的状态。

如果主机发送未定义命令，RX630 就发送命令错误应答。有关命令错误的内容，请参照“**42.10.6 查询设定主机命令的等待状态**”

在进行 ROM 的编程时，主机在发送编程选择命令 （选择用户区编程 / 用户引导区编程）后发送 256 字节编程命令。如果主机发送编程选择命令，RX630 就进入编程数据等待状态（参照“**42.10.2 引导模式的状态转移**”）。如果在编程数据等待状态下主机发送 256 字节编程命令，RX630 就对 ROM 进行数据编程。如果主机在将编程目标地址设定为“FFFF FFFFh”后发送 256 字节编程命令，RX630 就判断为编程结束，转移到编程 / 擦除主机命令等待状态。

在擦除 ROM 时，主机在发送擦除选择命令后发送块擦除命令。如果主机发送擦除选择命令， RX630 就进入擦除块指定等待状态 （参照 “**42.10.2 引导模式的状态转移**”）。如果在擦除块指定等待状态下主机发送块擦除命令， RX630 就对 ROM 进行块擦除。如果主机在将块号设定为 “FFh”后发送块擦除命令， RX630 就判断为擦除结束，转移到编程 / 擦除主机命令等待状态。

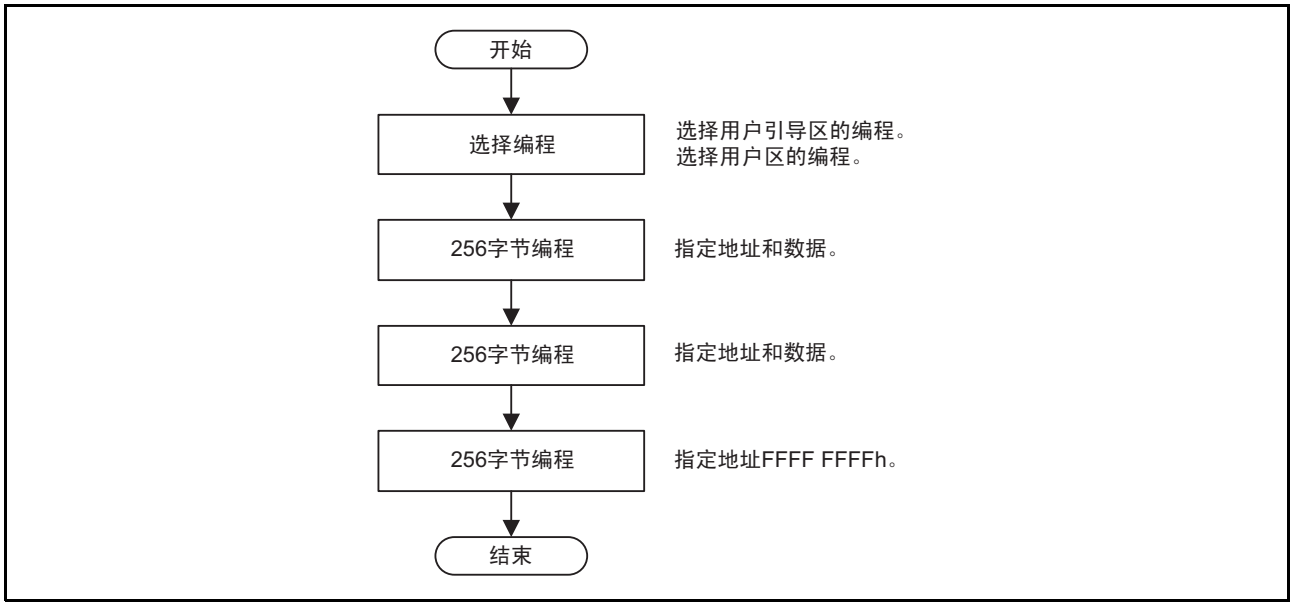


图 42.30 引导模式的 ROM 编程方法

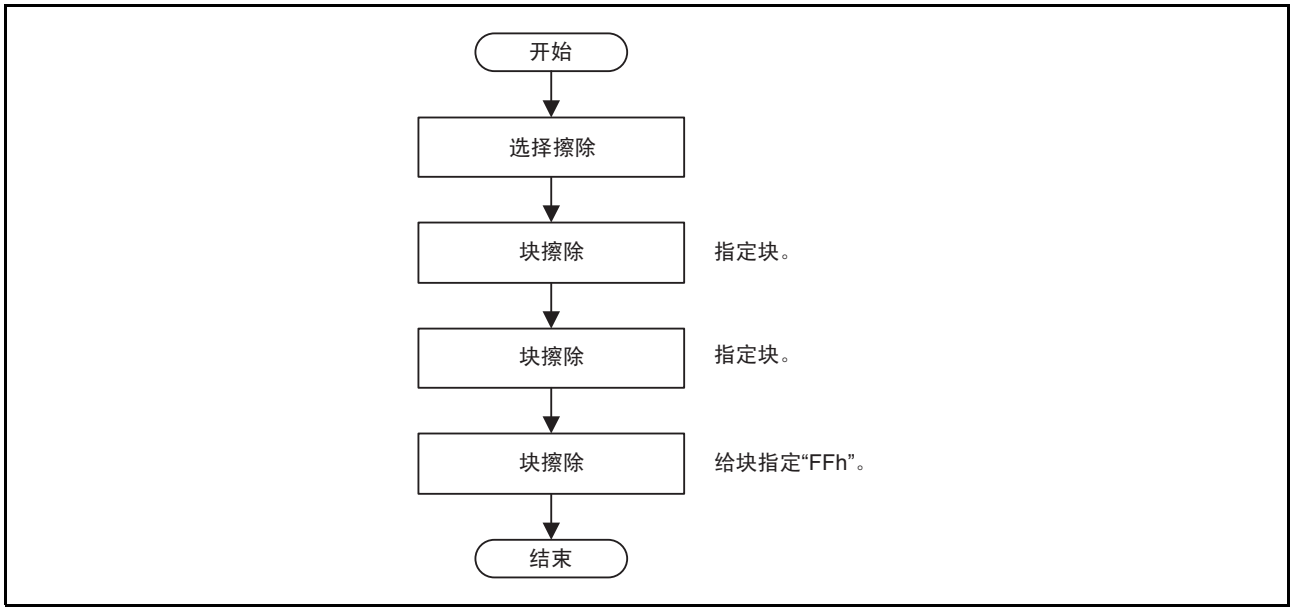


图 42.31 引导模式的 ROM 擦除方法

以下说明各主机命令的详细内容。说明内容中的 “命令” 是从主机发送到 RX630 的命令，“应答” 是从 RX630 发送到主机的应答。“校验和” 是指在合计发送的各字节时，为了得到 “00h” 而算出的字节数据。

(1) 用户引导区编程选择

如果主机发送用户引导区编程选择命令， RX630 就选择用户引导区编程程序，进入编程数据等待状态。

命令	42h
应答	06h

(2) 用户区编程选择

如果主机发送用户区编程选择命令， RX630 就选择用户区编程程序，进入编程数据等待状态。

命令	43h
应答	06h

(3) 256 字节编程

如果主机发送 256 字节编程命令， RX630 就进行 ROM 的编程。如果 ROM 的编程正常结束， RX630 就发送应答 （06h）。如果在编程处理过程中发生错误， RX630 就发送错误应答 （D0h）。

命令	50h	编程地址		
	数据	数据	…	数据
	SUM			
应答	06h			
错误应答	D0h	错误		

编程地址 （4 字节） ：编程目标地址
在进行编程时调整为以 256 字节为边界的地址。
在指定编程结束时发送 “FFFF FFFFh”。

数据 （256 字节） ：编程数据
给不需要编程的字节指定 “FFh”。
在指定编程结束时不需要发送数据。
（按照编程地址 →SUM 的顺序进行发送）

SUM （1 字节） ：校验和

错误 （1 字节） ：错误码
11h：校验和错误
2Ah：地址错误 （地址不在指定的 MAT 内）
53h：发生编程错误，不能进行编程。

(4) 擦除选择

如果主机发送擦除选择命令， RX630 就选择擦除程序，进入擦除块指定等待状态。

命令	48h
应答	06h

(5) 块擦除

如果主机发送块擦除命令， RX630 就擦除 ROM。如果 ROM 擦除正常结束， RX630 就发送应答 （06h）。如果在擦除处理过程中发生错误， RX630 就发送错误应答 （D8h）。

命令	58h	长度	块	SUM
应答	06h			
错误应答	D8h	错误		

长度 （1 字节） ：块的数据字节数 （是固定值，为 “1”。）

块 （1 字节） ：要擦除的擦除块号
在指定擦除的结束时发送 “FFh”。

SUM （1 字节） ：校验和

错误 （1 字节） ：错误码
11h：校验和错误
29h：块号错误 （块号不正确）
51h：发生擦除错误，不能进行擦除。

(6) 存储器读

如果主机发送存储器读命令， RX630 就读 ROM。如果读操作正常结束， RX630 就发送由存储器读命令指定地址的数据。如果没有执行读操作， RX630 就发送错误应答 （D2h）。

命令

52h	长度	区域	读起始地址
读长度			SUM

应答

52h	读长度		
数据	数据	…	数据
SUM			

错误应答

D2h	错误

长度 （1 字节） ：区域、读地址、读长度的数据总字节数

区域 （1 字节） ：读对象的 MAT
00h：用户引导区
01h：用户区

读起始地址 （4 字节）：读对象区的起始地址

读长度 （4 字节） ：读取数据的长度 （以字节为单位）

SUM （1 字节） ：校验和

数据 （1 字节） ：从 ROM 读取的数据

错误 （1 字节） ：错误码
11h：校验和错误
2Ah：地址错误
- 在区域的选择中指定 “00h” 和 “01h” 以外的值。
- 读起始地址不在指定的 MAT 区内。

2Bh：长度错误
- 在读长度的选择中指定 “00h”。
- 读长度超过 MAT 的长度。
- 由读起始地址和读长度计算出的地址不在 MAT 区内。

(7) 用户引导区校验和

如果主机发送用户引导区校验和命令，RX630 就发送以字节为单位将用户引导区的数据相加后的结果（校验和）。

命令

4Ah

应答

5Ah	长度	MAT 的校验和	SUM

长度 （1 字节） ：MAT 的校验和的字节数 （是固定值，为 “4”。）

MAT 的校验和 （4 字节） ：用户引导区的校验和结果

SUM （1 字节） ：校验和 （应答数据的校验和）

(8) 用户区校验和

如果主机发送用户区校验和命令， RX630 就发送以字节为单位将用户区的数据相加后的结果 （校验和）。

命令	4Bh			
应答	5Bh	长度	MAT 的校验和	SUM

长度 （1 字节） ：MAT 的校验和的字节数 （是固定值，为 “4”。）

MAT 的校验和 （4 字节） ：用户区的校验和结果
用户区也包含用于验证调试功能的键码。
必须注意：相加的结果包含键码值。

SUM （1 字节） ：校验和 （应答数据的校验和）

(9) 用户引导区空白检查

如果主机发送用户引导区空白检查命令， RX630 就检查用户引导区是否全部为擦除状态。如果用户引导区全部为擦除状态， RX630 就发送应答 （06h）。如果用户引导区有未擦除区域， RX630 就发送错误应答 （CCh →52h）。

命令	4Ch	
应答	06h	
错误应答	CCh	52h

(10) 用户区空白检查

如果主机发送用户区空白检查命令， RX630 就检查用户区是否全部为擦除状态。如果用户区全部为擦除状态， RX630 就发送应答 （06h）。如果用户区有未擦除区域， RX630 就发送错误应答 （CDh →52h）。

命令	4Dh	
应答	06h	
错误应答	CDh	52h

(11) 读锁定位状态

如果主机发送读锁定位状态命令，RX630 就读锁定位。如果读操作正常结束，RX630 就发送由读锁定位状态命令指定的地址的数据。如果没有执行读操作， RX630 就发送错误应答 （F1h）。

命令	71h	长度	区域	中位地址	高位地址	最高位地址	SUM
应答	状态						
错误应答	F1h	错误					

长度 （1 字节） ：区域、中位地址、高位地址、最高位地址的数据总字节数
（RX630 为固定值 “4”。）
区域 （1 字节） ：读对象的 MAT
01h：用户区
中位地址 （1 字节） ：指定块的结束地址的中位地址 （8 ～ 15 位）
高位地址 （1 字节） ：指定块的结束地址的高位地址 （16 ～ 23 位）
最高位地址 （1 字节） ：指定块的结束地址的最高位地址 （24 ～ 31 位）
SUM （1 字节） ：校验和
状态 （1 字节） ：当 bit6 为 “0” 时，为锁定状态。
当 bit6 为 “1” 时，为非锁定状态。
错误 （1 字节） ：错误码
11h：校验和错误
2Ah：地址错误 （地址不在指定的 MAT 内）

(12) 锁定位编程

如果主机发送锁定位编程命令，RX630 就对锁定位进行编程，将指定块设定为锁定状态。如果被正常锁定，RX630 就发送应答 （06h）。否则， RX630 就发送错误应答 （F7h）。

命令	77h	长度	区域	中位地址	高位地址	最高位地址	SUM
应答	06h						
错误应答	F7h	错误					

长度 （1 字节） ：区域、中位地址、高位地址、最高位地址的数据总字节数
（RX630 为固定值 “4”。）
区域 （1 字节） ：锁定对象的 MAT
01h：用户区
中位地址 （1 字节） ：指定块的结束地址的中位地址 （8 ～ 15 位）
高位地址 （1 字节） ：指定块的结束地址的高位地址 （16 ～ 23 位）
最高有效位地址 （1 字节） ：指定块的结束地址的最高位地址 （24 ～ 31 位）
SUM （1 字节） ：校验和
错误 （1 字节） ：错误码
11h：校验和错误
2Ah：地址错误 （地址不在指定的 MAT 内）
53h：发生编程错误，不能设定为锁定状态。

(13) 锁定位有效

如果主机发送锁定位有效命令， RX630 就将锁定位置为有效。

命令	7Ah
应答	06h

(14) 锁定位无效

如果主机发送锁定位无效命令， RX630 就将锁定位置为无效。

命令	75h
应答	06h

(15) 嵌入式程序状态查询

请参照 “42.10.6 查询设定主机命令的等待状态”。

42.11 USB 引导模式

USB 引导模式是通过主机 （经由 USB 连接外部）发送控制命令和编程数据对用户区进行编程或者擦除的模式。

使用 USB 引导模式时，需要事先在主机侧准备好编程数据以及用于发送控制命令和编程数据的工具。USB 引导模式的系统结构如图 42.32 所示，USB 引导模式中发生的中断请求被忽视，因此不能在系统侧发生中断请求。

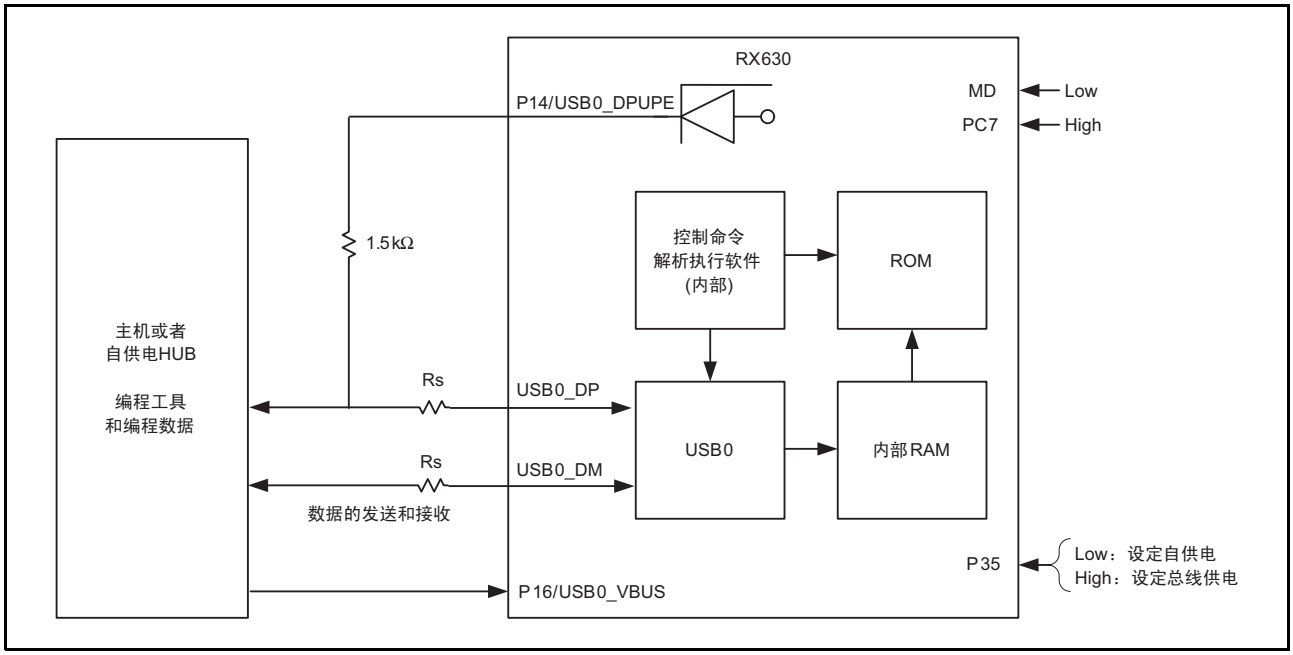


图 42.32 USB 引导模式的系统结构

42.11.1 特点

- 能选择总线供电模式或者自供电模式。
- D+上拉的控制连接只对应USB0-DPUPE引脚。
- 枚举信息请参照表42.17。

表 42.17 枚举信息

USB规格	Ver.2.0 (Full-speed)	
传送模式	传送模式Control (in, out) Bulk (in, out)	
最大电流	自供电模式中(P35引脚=0)	100mA
	总线供电模式中(P35引脚=1)	500mA
端点结构	EP0 Control (in out) 8Bytes Configuration1 └ InterfaceNumber0 └ AlternateSetting0 ├ EP1 Bulk (out) 64Bytes └ EP2 Bulk (in) 64Bytes	

42.11.2 状态转移

USB 引导模式启动后的状态转移如图 42.33 所示。

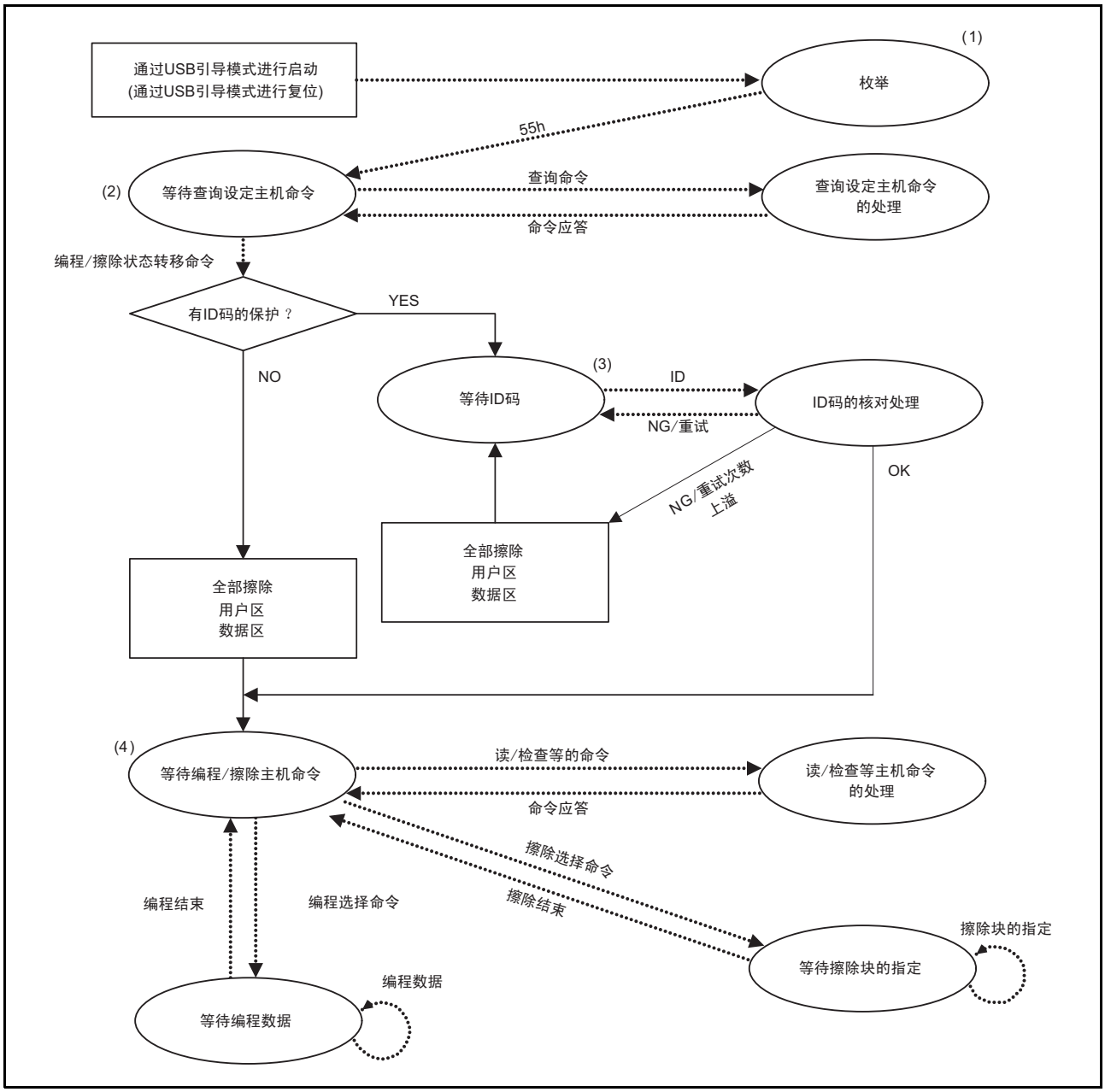


图 42.33 USB 引导模式的状态转移

1. 如果转移到USB引导模式，就启动嵌入在本LSI内部的引导程序。如果启动USB引导程序， RX630就和主机进行枚举处理。在枚举处理结束后，主机必须给RX630发送1字节的 “55h”。当不能正常接收时，必须重新启动USB引导模式。
2. 将用户区的长度、结构、起始地址、支持状况等的查询信息发送到主机。
3. 一旦查询结束，就自动擦除全部用户区。
4. 在自动擦除用户区后进入等待编程/擦除状态，如果接收到编程命令，就转移到等待编程数据的状态。擦除时也同样。
   除了编程/擦除命令以外，还有用户区校验和命令、空白检查 （擦除检查）命令、存储器读命令和当前状态信息取命令。

42.11.3 执行 USB 引导模式时的注意点

1. 需要给USB模块提供48MHz的时钟。必须设定外部时钟频率和时钟振荡器，使USB专用时钟（UCLK）的频率为48MHz。详细内容请确认 “9. 时钟发生电路”。
2. D+上拉的控制连接必须使用USB0-DPUPE引脚。
3. 为了在闪存的编程/擦除过程中提供稳定的电源，不能经由总线供电HUB连接电缆。
4. 必须注意：如果在闪存的编程/擦除过程中拔掉USB电缆，就可能发生永久损坏LSI的情况。
5. 即使在总线供电模式中USB总线进入挂起模式，也不转移到低功耗状态的软件待机模式。

42.12 on-chip 调试器的 ID 码保护

这是禁止连接 on-chip 调试器的功能。在连接 on-chip 调试器时，使用写在 ROM 中的控制码和 ID 码，决定 on-chip 调试器 ID 码保护的有效或者无效以及判断 on-chip 调试器的 ID 码保护。当 ID 码保护有效时，将从 on-chip 调试器送来的代码和 ROM 中的控制码、ID 码进行比较。如果相同，就允许连接 on-chip 调试器；否则就不能连接 on-chip 调试器。但是，如果控制码为 “52h”并且 ID 码从 ID 码 1 开始依次设定 “50h”、“72h”、“6Fh”、“74h”、“65h”、“63h”、“74h”、“FFh”、……、“FFh”，就不判断 ID 码而总是视为不同，禁止连接 on-chip 调试器。当控制码和 ID 码都为 “FFh”时，就不判断 ID 码而视为相同，允许连接 on-chip 调试器。闪存的 ID 码的结构和图 42.27 相同。

表 42.18 on-chip 调试器的 ID 码保护的规格

控制码	ID 码	保护状态	连接 on-chip 调试器时的运行
FFh	FFh、……、 FFh （全部为 “FFh”）	保护无效	不判断控制码和 ID 码，总是视为和 ID 码相同，允许连接 on-chip 调试器。
52h	50h、72h、6Fh、74h、65h、63h、74h、FFh、……、FFh	保护有效	不判断控制码和 ID 码，总是视为和 ID 码不同，禁止连接 on-chip 调试器。
上述以外	上述以外	保护有效	ID 码相同：结束 on-chip 调试器的验证，允许连接 on-chip 调试器。 ID 码不同：再次转移到 ID 码等待状态。

42.13 ROM 码保护

ROM 码保护是在使用 PROM 编程器时禁止读和改写闪存的功能。闪存的 ROM 码是 32 位数据。ROM 码的结构如图 42.34 所示，必须以 32 位为单位设定 ROM 码。

要解除 ROM 码保护时，必须在引导模式或者用户编程模式中擦除包括 ROM 码的用户区的 EB00 块。

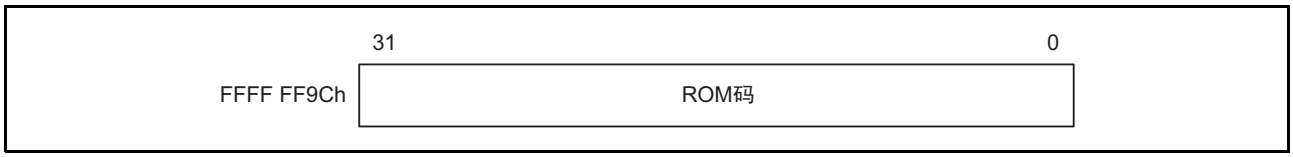


图 42.34 ROM 码的结构

表 42.19 ROM 码保护的规格

ROM 码	保护状态	连接 PROM 编程器时的运行
0000 0000h	ROM 码保护有效 （ROM 码保护 1）	禁止读和改写用户区和用户引导区。
0000 0001h	ROM 码保护有效 （ROM 码保护 2）	禁止读用户区和用户引导区。
上述以外	ROM 码保护无效	允许读或者改写用户区和用户引导区。

42.14 使用时的注意事项

(1) 编程 / 擦除挂起的对象区

编程 / 擦除挂起中的区域的保存数据为不定值。必须注意：不能执行编程 / 擦除挂起对象区的指令以及读数据，以免因读到不确定的数据而发生误动作。

(2) 编程 / 擦除挂起引起的中止

如果通过编程 / 擦除挂起命令中止编程 / 擦除处理，就必须通过恢复命令结束处理。

(3) 追加编程的禁止

不能对同一区域进行 2 次或者 2 次以上的编程。要改写已编程的区域时，必须擦除该区域。

(4) 编程 / 擦除过程中的复位

不能在编程和擦除过程中发生复位 （RES# 引脚复位、电压监视 0 复位、电压监视 1 复位、电压监视 2 复位、独立看门狗定时器复位、看门狗定时器复位、软件复位），否则有可能损坏闪存。如果不得已而要从 RES# 输入复位，就必须在至少经过 tRESWF （“45. 电特性”）的复位输入期间后解除复位。

要在编程和擦除过程中通过 FRESETR.FRESET 位对 FCU 进行复位时，必须保持 tFCUR（参照“45. 电特性”）时间的复位状态。不能在对 FCU 进行复位期间读 ROM。

(5) 编程 / 擦除过程中的非屏蔽中断的禁止

如果在编程 / 擦除过程中发生非屏蔽中断 （NMI 引脚中断、振荡停止检测中断、 WDT 下溢 / 刷新错误、IWDT 下溢 / 刷新错误、电压监视 1 中断、电压监视 2 中断），就从 ROM 取向量，读到不确定的数据。因此，不能在对 ROM 进行编程或者擦除过程中发生非屏蔽中断。

(6) 编程 / 擦除过程中的中断向量的分配

如果在编程 / 擦除过程中发生中断，就可能从 ROM 取向量。为了避免从 ROM 取向量，可以通过 CPU 的中断表寄存器 （INTB）将取中断向量目标表设定在 ROM 以外的区域。

(7) 低速运行模式 1 和低速运行模式 2 中的编程和擦除

如果通过运行功率控制寄存器 （OPCCR）选择低速运行模式 1 或者低速运行模式 2，就不能对闪存进行编程和擦除。

(8) 编程 / 擦除的异常结束

如果因编程 / 擦除过程中的复位、FRESETR.FRESET 位引起的复位以及错误检测引起的命令锁定状态，使编程 / 擦除无法正常结束，锁定位就可能变为 “0”（保护状态）。此时，必须在将 FPROTR.FPROTCN 位置“1”的状态下发行块擦除命令，擦除锁定位。

(9) 编程 / 擦除过程中的禁止事项

在编程 / 擦除过程中给闪存内部加有高电压，为了防止损坏闪存，不能进行以下的操作：

- 使RX630的电源电压低于工作电压。
- 更新FWEPROR.FLWE[1:0]位的值。
- 通过设定SYSCR0.ROME位来更改运行模式。
- 更新OPCCR.OPCM[2:0]位的值。
- 更改SCKCR3寄存器的时钟源选择位。
- 通过设定RSTCKCR.RSTCKEN位，将从睡眠模式返回时的时钟源转换置为有效。
- 更改FlashIF时钟 （FCLK）的分频比。
- 转移到全模块时钟停止模式、软件待机模式或者深度软件待机模式。

(10) 在引导模式或者 USB 引导模式中改写闪存时的注意事项

要在引导模式或者 USB 引导模式中改写闪存时，需要输入主时钟。在引导模式中，必须在 XTAL 引脚和 EXTAL 引脚之间连接“45.4 时钟时序”所示范围的谐振器；在 USB 引导模式中，必须在 XTAL 引脚和 EXTAL 引脚之间连接 12MHz 的谐振器。

(11) 引导模式中的 EXTAL 引脚的处理

在使用引导模式时，必须给 EXTAL 引脚输入外部时钟或者连接谐振器来提供时钟。

(12) USB 引导模式中的 EXTAL 引脚的处理

在使用 USB 引导模式时，必须给 EXTAL 引脚输入外部时钟或者连接谐振器来提供 12MHz 的时钟。

43. E2 数据闪存 （保存数据的闪存）

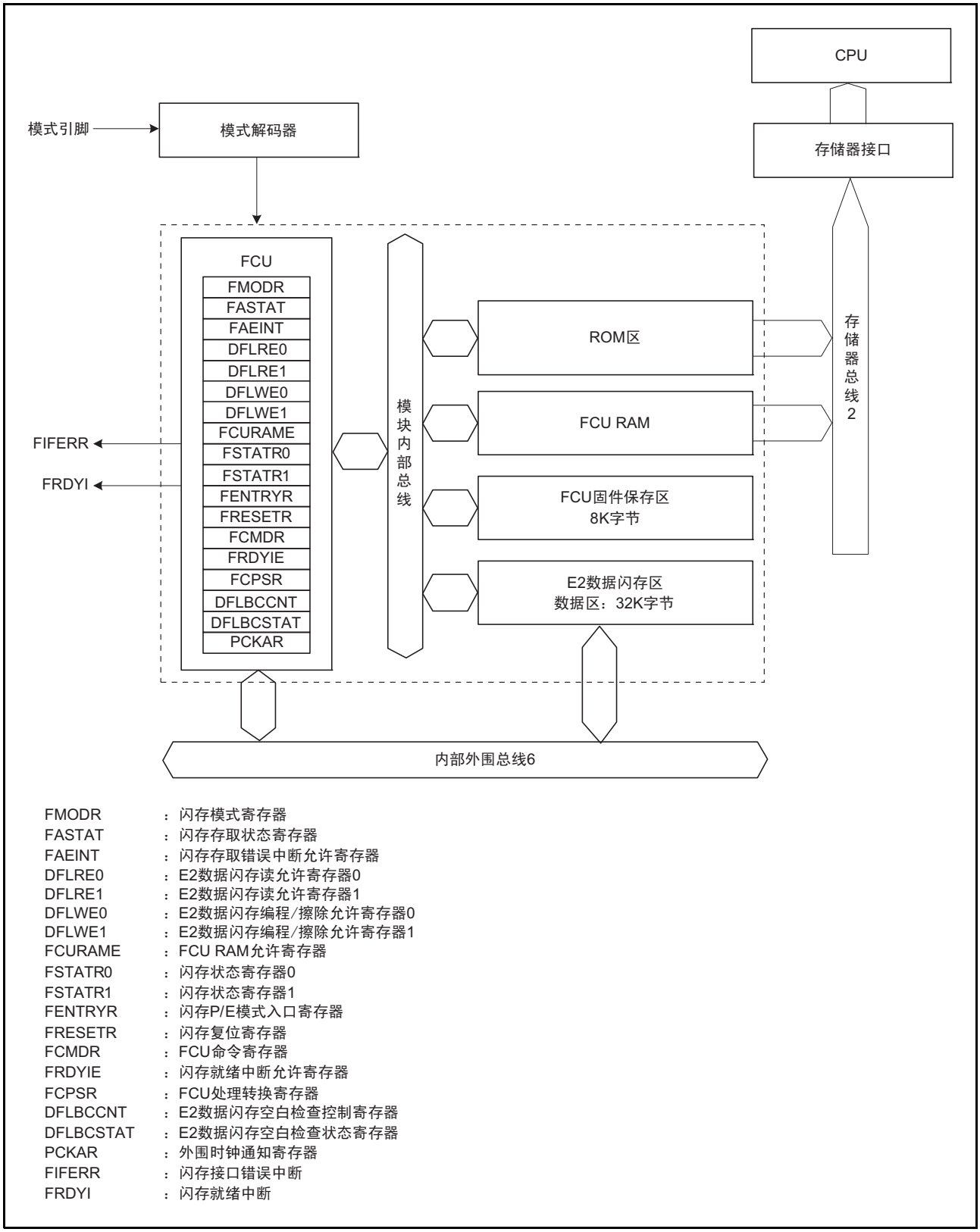
RX630 群内置用于保存 32K 字节数据的闪存 （E2 数据闪存）。
本章说明 E2 数据闪存，有关 ROM 请参照 “42. ROM （保存代码的闪存）”。

43.1 概要

E2 数据闪存的规格如表 43.1 所示， ROM 和 E2 数据闪存外围的框图如图 43.1 所示。

表 43.1 E2 数据闪存的规格

项目		内容
存储空间		数据区：32K 字节
经由外围总线的读操作		在进行字存取或者字节存取时，以 6 个 FCLK 周期进行读操作。
编程 / 擦除方式		• 内置对 ROM/E2 数据闪存进行改写的专用定序器 （FCU）。 • 能通过给 FCU 发行命令，对 ROM/E2 数据闪存进行编程或者擦除。
BGO （后台操作）功能		• 在对 E2 数据闪存进行编程或者擦除的期间，能执行分配在 ROM 区的程序。 • 在对 ROM 进行编程或者擦除的期间， CPU 能执行分配在 ROM/E2 数据闪存以外区域的程序。
挂起 / 恢复功能		• 中止对 E2 数据闪存进行的编程或者擦除， CPU 能读 E2 数据闪存区 （挂起）。 • 在中止后，能重新开始对 E2 数据闪存进行编程或者擦除 （恢复）。
编程 / 擦除单位		• 数据区的编程单位：2 字节 • 数据区的擦除单位：32K 字节 （1024 块）
空白检查功能		• 能执行用于确认 E2 数据闪存擦除状态的空白检查命令。 • 能进行空白检查的区域为 2 字节或者 2K 字节。
板上编程 （4 种）	引导模式	• 能使用 SCI 改写数据区。 • 能自动调整主机和 RX630 之间的 SCI 通信的位速率。
	USB 引导模式	能使用 USB 改写数据区。
	用户引导模式	能从用户引导区启动并且能改写数据区。
	用户编程模式	能通过程序改写数据区。
保护功能	软件保护功能	能通过 FENTRYR.FENTRYD 位、 FWEPROR.FLWE[1:0] 位、 DFLREy 寄存器和 DFLWEy 寄存器防止意料不到的改写和读操作 （y=0、 1）。
	错误保护功能	如果在编程或者擦除过程中检测到异常，就禁止以后的编程或者擦除处理。
编程时间 / 擦除时间 / 改写次数		请参照 “45. 电特性”。



FMODR ：闪存模式寄存器
FASTAT ：闪存存取状态寄存器
FAEINT ：闪存存取错误中断允许寄存器
DFLRE0 ：E2数据闪存读允许寄存器0
DFLRE1 ：E2数据闪存读允许寄存器1
DFLWE0 ：E2数据闪存编程/擦除允许寄存器0
DFLWE1 ：E2数据闪存编程/擦除允许寄存器1
FCURAME ：FCU RAM允许寄存器
FSTATR0 ：闪存状态寄存器0
FSTATR1 ：闪存状态寄存器1
FENTRYR ：闪存P/E模式入口寄存器
FRESETR ：闪存复位寄存器
FCMDR ：FCU命令寄存器
FRDYIE ：闪存就绪中断允许寄存器
FCPSR ：FCU处理转换寄存器
DFLBCCNT ：E2数据闪存空白检查控制寄存器
DFLBCSTAT ：E2数据闪存空白检查状态寄存器
PCKAR ：外围时钟通知寄存器
FIFERR ：闪存接口错误中断
FRDYI ：闪存就绪中断

图 43.1 E2 数据闪存的框图

E2 数据闪存的相关输入 / 输出引脚如表 43.2 所示。

表 43.2 E2 数据闪存的相关输入 / 输出引脚

引脚名	输入 / 输出	功能
PF2/RXD1 （176 引脚版） P30/RXD1 （144/100/80 引脚版）	输入	用于引导模式的 SCI 的接收数据 （用于主机通信）。
PF0/TXD1 （176 引脚版） P26/TXD1 （144/100/80 引脚版）	输出	用于引导模式的 SCI 的发送数据 （用于主机通信）。
MD	输入	设定运行模式。
PC7	输入	设定引导模式 （SCI 引导）、用户引导模式 /USB 引导模式。
USB0_DP、 USB0_DM	输入 / 输出	USB 数据的输入 / 输出 （用于 USB 引导模式）
P14/USB0_DPUPE	输入 / 输出	USB 上拉引脚 （用于 USB 引导模式）。
P16/USB0_VBUS	输入	检测 USB 电缆的连接 / 断开 （用于 USB 引导模式）。
P35	输入	设定 USB 总线供电模式或者自供电模式 （用于 USB 引导模式）。

43.2 寄存器说明

部分寄存器也有 ROM 的相关位，本章只说明 E2 数据闪存相关位的功能。有关由 ROM/E2 数据闪存的公共位构成的寄存器 （FRDYIE、 FCURAME、 FSTATR0、 FSTATR1、 FRESETR、 FCMDR、 FCPSR、 PCKAR、 FWEPROR）以及 ROM 专用位功能的详细内容，请参照 “42. ROM （保存代码的闪存）”的 “42.2 寄存器说明”。

P/E 表示编程 / 擦除。

43.2.1 闪存模式寄存器 （FMODR）

地址 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为 “0”。	R/W
b4	FRDMD	FCU 读模式选择位	0：存储区读方式 在要转移到 E2 数据闪存锁定位读模式时进行设定。 E2 数据闪存没有锁定位，如果在转移到锁定位读模式后读 E2 数据闪存区，就会读到不确定的数据。 1：寄存器读方式 在使用空白检查命令时进行设定。	R/W
b7-b5	—	保留位	读写值都为 “0”。	R/W

在使用空白检查命令时，必须将 FRDMD 位置 “1”。

在内部 ROM 无效模式中， FMODR 寄存器的读数据为 “00h”，不能写。

FRDMD 位 （FCU 读模式选择位）

此位选择是进行 E2 数据闪存锁定位读模式的转移处理还是进行空白检查处理。

在读 ROM 的锁定位时，使用 FRDMD 位选择锁定位的读法 （参照 “42. ROM （保存代码的闪存）”）。

43.2.2 闪存存取状态寄存器 （FASTAT）

地址 007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DFLWPE	E2 数据闪存的编程 / 擦除保护违反位	0：不发行违反 DFLWEy 寄存器设定的 E2 数据闪存的编程 / 擦除命令 1：发行违反 DFLWEy 寄存器设定的 E2 数据闪存的编程 / 擦除命令 （y=0、 1）	R/(W)（注 1）
b1	DFLRPE	E2 数据闪存的读保护违反位	0：不读违反 DFLREy 寄存器设定的 E2 数据闪存 1：读违反 DFLREy 寄存器设定的 E2 数据闪存 （y=0、 1）	R/(W)（注 1）
b2	—	保留位	读写值都为 “0”。	R/W
b3	DFLAE	E2 数据闪存的存取违反位	0：不违反 E2 数据闪存的存取 1：违反 E2 数据闪存的存取	R/(W)（注 1）
b4	CMDLK	FCU 命令锁定位	0：FCU 不处于命令锁定状态 1：FCU 处于命令锁定状态	R
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	ROMAE	ROM 存取违反位	请参照 “42. ROM （保存代码的闪存）”。	R/(W)（注 1）

注 1. 为了将标志置 “0”，只能在读 “1” 后写 “0”。

在内部 ROM 无效模式中， FASTAT 寄存器的读数据为 “00h”，不能写。如果 FASTAT 寄存器的任意位变为 “1”， FCU 就进入命令锁定状态（参照 “43.7.2 错误保护”）。为了解除命令锁定状态，需要在将 FASTAT 寄存器置 “10h” 后，给 FCU 发行状态寄存器清除命令。

DFLWPE 位 （E2 数据闪存的编程 / 擦除保护违反位）

此位表示有没有违反由 DFLWEy （y=0、 1）寄存器设定的编程 / 擦除保护。

如果 DFLWPE 位变为 “1”， FSTATR0.ILGLERR 位就变为 “1” 并且 FCU 进入命令锁存状态。

有关 FSTATR0 寄存器，请参照 “42.2.6 闪存状态寄存器 0 （FSTATR0）”。

[为 “1” 的条件]

- 对通过DFLWEy寄存器设定为禁止编程或者擦除的E2数据闪存区发行编程/擦除命令。

[为 “0” 的条件]

- 在读 “1” 后写 “0” 时

DFLRPE 位 （E2 数据闪存的读保护违反位）

此位表示有没有违反由 DFLREy （y=0、 1）寄存器设定的读保护。

如果 DFLRPE 位变为 “1”， FSTATR0.ILGLERR 位就变为 “1”并且 FCU 进入命令锁存状态。

有关 FSTATR0 寄存器，请参照 “42.2.6 闪存状态寄存器 0 （FSTATR0）”。

[为 “1”的条件]

- 对通过DFLREy寄存器设定为禁止读的E2数据闪存区发行读存取命令。

[为 “0”的条件]

- 在读 “1”后写 “0”时

DFLAE 位 （E2 数据闪存的存取违反位）

此位表示有没有违反 E2 数据闪存的存取。

如果 DFLAE 位变为 “1”， FSTATR0.ILGLERR 位就变为 “1”，并且 FCU 进入命令锁定状态。

有关 FSTATR0 寄存器，请参照 “42.2.6 闪存状态寄存器 0 （FSTATR0）”。

[为 “1”的条件]

- 在FENTRYR.FENTRYD位为 “1”时并且在E2数据闪存P/E正常模式中，对E2数据闪存区发行读存取命令。
- 在FENTRYD位为 “0”的状态下，对E2数据闪存区发行写存取命令。
- 在FENTRYR.FENTRY3、 FENTRYR.FENTRY2、 FENTRYR.FENTRY1位或者FENTRYR.FENTRY0位为 “1”的状态下，对E2数据闪存区发行存取命令。

[为 “0”的条件]

- 在读 “1”后写 “0”时

CMDLK 位 （FCU 命令锁定位）

此位表示 FCU 处于命令锁定状态 （参照 “43.7.2 错误保护”）。

[为 “1”的条件]

- 在FCU检测到错误并且转移到命令锁定状态后

[为 “0”的条件]

- 在FCU发行状态寄存器清除命令后

43.2.3 闪存存取错误中断允许寄存器 （FAEINT）

地址 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
复位后的值	1	0	0	1	1	0	1	1

位	符号	位名	功能	R/W
b0	DFLWPEIE	E2 数据闪存的编程 / 擦除保护违反中断允许位	0：在 FASTAT.DFLWPE 位为 “1” 时，不发生 FIFERR 中断请求。 1：在 FASTAT.DFLWPE 位为 “1” 时，发生 FIFERR 中断请求。	R/W
b1	DFLRPEIE	E2 数据闪存的读保护违反中断允许位	0：在 FASTAT.DFLRPE 位为 “1” 时，不发生 FIFERR 中断请求。 1：在 FASTAT.DFLRPE 位为 “1” 时，发生 FIFERR 中断请求。	R/W
b2	—	保留位	读写值都为 “0”。	R/W
b3	DFLAEIE	E2 数据闪存的存取违反中断允许位	0：在 FASTAT.DFLAE 位为 “1” 时，不发生 FIFERR 中断请求。 1：在 FASTAT.DFLAE 位为 “1” 时，发生 FIFERR 中断请求。	R/W
b4	CMDLKIE	FCU 命令锁定中断允许位	0：在 FASTAT.CMDLK 位为 “1” 时，不发生 FIFERR 中断请求。 1：在 FASTAT.CMDLK 位为 “1” 时，发生 FIFERR 中断请求。	R/W
b6-b5	—	保留位	读写值都为 “0”。	R/W
b7	ROMAEIE	ROM 存取违反中断允许位	请参照 “42. ROM （保存代码的闪存）”。	R/W

在内部 ROM 无效模式中， FAEINT 寄存器的读数据为 “00h”，不能写。

DFLWPEIE 位 （E2 数据闪存的编程 / 擦除保护违反中断允许位）

在发生 E2 数据闪存的编程 / 擦除保护违反并且 FASTAT.DFLWPE 位变为 “1” 时，此位允许或者禁止 FIFERR 中断请求的发生。

DFLRPEIE 位 （E2 数据闪存的读保护违反中断允许位）

在发生 E2 数据闪存的读保护违反并且 FASTAT.DFLRPE 位变为 “1” 时，此位允许或者禁止 FIFERR 中断请求的发生。

DFLAEIE 位 （E2 数据闪存的存取违反中断允许位）

在发生 E2 数据闪存的存取违反并且 FASTAT.DFLAE 位变为 “1” 时，此位允许或者禁止 FIFERR 中断请求的发生。

CMDLKIE 位 （FCU 命令锁定中断允许位）

在发生 FCU 命令锁定并且 FASTAT.CMDLK 位变为 “1” 时，此位允许或者禁止 FIFERR 中断请求的发生。

43.2.4 E2 数据闪存读允许寄存器 0 （DFLRE0）

地址 007F C440h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DBRE00	DB0000-DB0063 （2K 字节）块的读允许位	0：禁止读 1：允许读	R/W
b1	DBRE01	DB0064-DB0127 （2K 字节）块的读允许位		R/W
b2	DBRE02	DB0128-DB0191 （2K 字节）块的读允许位		R/W
b3	DBRE03	DB0192-DB0256 （2K 字节）块的读允许位		R/W
b4	DBRE04	DB0256-DB0319 （2K 字节）块的读允许位		R/W
b5	DBRE05	DB0320-DB0383 （2K 字节）块的读允许位		R/W
b6	DBRE06	DB0384-DB0447 （2K 字节）块的读允许位		R/W
b7	DBRE07	DB0448-DB0511 （2K 字节）块的读允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBREj 位（j=00 ～ 07）。	R/(W) （注 1）

注 1. 不保持写数据。

DFLRE0 寄存器允许或者禁止读数据区的 DB0000 ～ DB0511 块 （参照图 43.3），以 2K 字节 （64 个擦除块）为单位允许或者禁止读操作。

只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， DFLRE0 寄存器的读数据为 “0000h”，不能写。

DBREj 位 （DBj 块的读允许位）（j=00 ～ 07）

此位设定允许或者禁止读数据区的 DB0000 ～ DB0511 块。

DBREj 位用于控制 DBj 块的读操作。

只在 KEY[7:0] 位为 “2Dh” 时才能通过字存取写 DBREj 位。

43.2.5 E2 数据闪存读允许寄存器 1 （DFLRE1）

地址 007F C442h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DBRE08	DB0512-DB0575 （2K 字节）块的读允许位	0：禁止读 1：允许读	R/W
b1	DBRE09	DB0576-DB0639 （2K 字节）块的读允许位		R/W
b2	DBRE10	DB0640-DB0703 （2K 字节）块的读允许位		R/W
b3	DBRE11	DB0704-DB0767 （2K 字节）块的读允许位		R/W
b4	DBRE12	DB0768-DB0831 （2K 字节）块的读允许位		R/W
b5	DBRE13	DB0832-DB0895 （2K 字节）块的读允许位		R/W
b6	DBRE14	DB0896-DB0959 （2K 字节）块的读允许位		R/W
b7	DBRE15	DB0960-DB1023 （2K 字节）块的读允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBREj 位（j=08 ～ 15）。	R/(W) （注 1）

注 1. 不保持写数据。

DFLRE1 寄存器允许或者禁止读数据区的 DB0512 ～ DB1023 块 （参照图 43.3），以 2K 字节 （64 个擦除块）为单位允许或者禁止读操作。

只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， DFLRE1 寄存器的读数据为 “0000h”，不能写。

DBREj 位 （DBj 块的读允许位）（j=08 ～ 15）

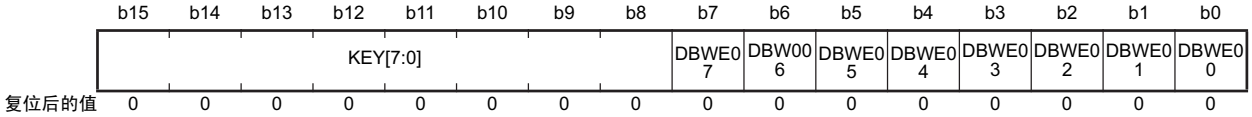
此位设定允许或者禁止读数据区的 DB0512 ～ DB1023 块。

DBREj 位用于控制 DBj 块的读。

只在 KEY[7:0] 位为 “D2h” 时才能通过字存取写 DBREj 位。

43.2.6 E2 数据闪存编程 / 擦除允许寄存器 0 （DFLWE0）

地址 007F C450h



位	符号	位名	功能	R/W
b0	DBWE00	DB0000-DB0063 （2K 字节）块的编程 / 擦除允许位	0：禁止编程和擦除 1：允许编程和擦除	R/W
b1	DBWE01	DB0064-DB0127 （2K 字节）块的编程 / 擦除允许位		R/W
b2	DBWE02	DB0128-DB0191 （2K 字节）块的编程 / 擦除允许位		R/W
b3	DBWE03	DB0192-DB0255 （2K 字节）块的编程 / 擦除允许位		R/W
b4	DBWE04	DB0256-DB0319 （2K 字节）块的编程 / 擦除允许位		R/W
b5	DBWE05	DB0320-DB0383 （2K 字节）块的编程 / 擦除允许位		R/W
b6	DBWE06	DB0384-DB0447 （2K 字节）块的编程 / 擦除允许位		R/W
b7	DBWE07	DB0448-DB0511 （2K 字节）块的编程 / 擦除允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBWEj 位 （j=00 ～ 07）。	R/(W)（注 1）

注 1.　不保持写数据。

DFLWE0 寄存器允许或者禁止对数据区的 DB0000 ～ DB0511 块（参照图 43.3）进行编程或者擦除，以 2K 字节 （64 个擦除块）为单位允许或者禁止编程或者擦除。

只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， DFLWE0 寄存器的读数据为 “0000h”，不能写。

DBWEj 位 （DBj 块的编程 / 擦除允许位）（j=00 ～ 07）

此位设定允许或者禁止对数据区的 DB0000 ～ DB0511 块进行编程或者擦除。

DBWEj 位用于控制 DBj 块的编程和擦除。

只在 KEY[7:0] 位为 “1Eh” 时才能通过字存取写 DBWEj 位。

43.2.7 E2 数据闪存编程 / 擦除允许寄存器 1 （DFLWE1）

地址 007F C452h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DBWE08	DB0512-DB0575 （2K 字节）块的编程 / 擦除允许位	0：禁止编程和擦除 1：允许编程和擦除	R/W
b1	DBWE09	DB0576-DB0639 （2K 字节）块的编程 / 擦除允许位		R/W
b2	DBWE10	DB0640-DB0703 （2K 字节）块的编程 / 擦除允许位		R/W
b3	DBWE11	DB0704-DB0767 （2K 字节）块的编程 / 擦除允许位		R/W
b4	DBWE12	DB0768-DB0831 （2K 字节）块的编程 / 擦除允许位		R/W
b5	DBWE13	DB0832-DB0895 （2K 字节）块的编程 / 擦除允许位		R/W
b6	DBWE14	DB0896-DB0959 （2K 字节）块的编程 / 擦除允许位		R/W
b7	DBWE15	DB0960-DB1023 （2K 字节）块的编程 / 擦除允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBWEj 位 （j=08 ～ 15）。	R/(W)（注 1）

注 1. 不保持写数据。

DFLWE1 寄存器允许或者禁止对数据区的 DB0512 ～ DB1023 块（参照**图 43.3**）进行编程或者擦除，以 2K 字节 （64 个擦除块）为单位允许或者禁止编程或者擦除。

只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中， DFLWE1 寄存器的读数据为 “0000h”，不能写。

DBWEj 位 （DBj 块的编程 / 擦除允许位）（j=08 ～ 15）

此位设定允许或者禁止对数据区的 DB0512 ～ DB1023 块进行编程或者擦除。

DBWEj 位用于控制 DBj 块的编程和擦除。

只在 KEY[7:0] 位为 “E1h”时才能通过字存取写 DBWEj 位。

43.2.8 闪存 P/E 模式入口寄存器 （FENTRYR）

地址 007F FFB2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FEKEY[7:0]								FENTRYD	—	—	—	FENTRY3	FENTRY2	FENTRY1	FENTRY0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	FENTRY0	ROM P/E 模式入口位 0	请参照 “42. ROM （保存代码的闪存）”。	R/W
b1	FENTRY1	ROM P/E 模式入口位 1	请参照 “42. ROM （保存代码的闪存）”。	R/W
b2	FENTRY2	ROM P/E 模式入口位 2	请参照 “42. ROM （保存代码的闪存）”。	R/W
b3	FENTRY3	ROM P/E 模式入口位 3	请参照 “42. ROM （保存代码的闪存）”。	R/W
b6-b4	—	保留位	读写值都为 “0”。	R/W
b7	FENTRYD	E2 数据闪存的 P/E 模式入口位	0：E2 数据闪存为读模式 1：E2 数据闪存为 P/E 模式	R/W
b15-b8	FEKEY[7:0]	键码	控制能否改写 FENTRYD 位和 FENTRY0 ～ FENTRY3 位。	R/(W) （注 1）

注 1. 不保持写数据。

为了将 ROM/E2 数据闪存设定为 P/E 模式，使 FCU 能接收命令，需要将 FENTRYD 位或者 FENTRY0 ～ FENTRY3 位（注 1）置 “1”。但是，如果给 FENTRYR 寄存器设定的值不是 “AA01h”、“AA02h”（注 2）、“AA04h”（注 2）、“AA08h”（注 2）和 “AA80h”， FSTATR0.ILGLERR 位就变为 “1”，并且 FCU 进入命令锁定状态。

只在通过字存取给高位字节写特定值时才能写此寄存器，而在其他情况下写此寄存器时，此寄存器被初始化。不保持高位字节的写数据。

在内部 ROM 无效模式中， FENTRYR 寄存器的读数据为 “0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置 “1”，对 FENTRYR 寄存器进行初始化。

有关 FSTATR0 寄存器，请参照 “42.2.6 闪存状态寄存器 0 （FSTATR0）”。

有关 FRESETR 寄存器，请参照 “42.2.11 闪存复位寄存器 （FRESETR）”。

注 1. 当用户区的容量超过 512K 字节时，有 FENTRY1 位；当用户区的容量超过 1M 字节时，有 FENTRY2 位；当用户区的容量超过 1.5M 字节时，有 FENTRY3 位。

注 2. 当用户区的容量超过 512K 字节时，给 FENTRYR 寄存器写 “AA02h”；当用户区的容量超过 1M 字节时，给 FENTRYR 寄存器写 “AA04h”；当用户区的容量超过 1.5M 字节时，给 FENTRYR 寄存器写 “AA08h”。

FENTRYD 位 （E2 数据闪存 P/E 模式入口位）

FENTRYD 位将 E2 数据闪存设定为 P/E 模式。

[写操作的有效条件 （满足以下全部条件时）]

- 内部ROM为有效模式。
- FSTATR0.FRDY位为 “1”。
- 通过字存取给FEKEY[7:0]位写 “AAh”。

[为 “1”的条件]

- 在满足写操作的有效条件并且FENTRYR寄存器为 “0000h”的状态下，给FENTRYD位写 “1”时

[为 “0”的条件]

- 通过字节存取进行写操作时

- 在FEKEY[7:0]位不为 “AAh”的状态下，通过字存取进行写操作时
- 在满足写操作的有效条件的状态下，给FENTRYD位写 “0”时
- 在满足写操作的有效条件并且FENTRYR寄存器不为 “0000h”的状态下，写FENTRYR寄存器时

43.2.9　E2 数据闪存空白检查控制寄存器 （DFLBCCNT）

地址 007F FFCAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCSIZE	—	—	—	—	BCADR[10:0]										
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b10-b0	BCADR[10:0]	空白检查地址设定位	设定检查对象区的地址。	R/W
b14-b11	—	保留位	读写值都为 “0”。	R/W
b15	BCSIZE	空白检查大小设定位	0：空白检查对象区为 2 字节 1：空白检查对象区为 2K 字节	R/W

在内部 ROM 无效模式中， DFLBCCNT 寄存器的读数据为 “0000h”，不能写。
通过复位或者将 FRESETR.FRESET 位置 “1”，对 DFLBCCNT 寄存器进行初始化。
有关 FRESETR 寄存器，请参照 “42.2.11 闪存复位寄存器 （FRESETR）”。

BCADR[10:0] 位 （空白检查地址设定位）

在空白检查命令的检查对象区大小为 2 字节 （BCSIZE 位为 “0” ）时，此位设定检查对象区的地址。BCADR[0] 位必须指定 “0”。

当 BCSIZE 位为 “0”时，检查对象区的起始地址是 DFLBCCNT 寄存器的设定值加上发行空白检查命令时指定的读 / 编程 / 擦除的允许 / 禁止块起始地址后的值。

43.2.10　E2 数据闪存空白检查状态寄存器 （DFLBCSTAT）

地址 007F FFCEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCST
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BCST	空白检查状态位	0：空白检查对象区为擦除状态 （空白） 1：空白检查对象区为写 “0”或者 “1”的状态	R
b15-b1	—	保留位	读写值都为 “0”。	R/W

在内部 ROM 无效模式中， DFLBCSTAT 寄存器的读数据为 “0000h”，不能写。
通过复位或者将 FRESETR.FRESET 位置 “1”，对 DFLBCSTAT 寄存器进行初始化。
有关 FRESETR 寄存器，请参照 “42.2.11 闪存复位寄存器 （FRESETR）”。

43.3 E2 数据闪存的存储区结构

RX630 群的 E2 数据闪存由 32K 字节的数据区构成，此 MAT 的地址如图 43.2 所示。
在读、编程和擦除时，数据区的地址相同。

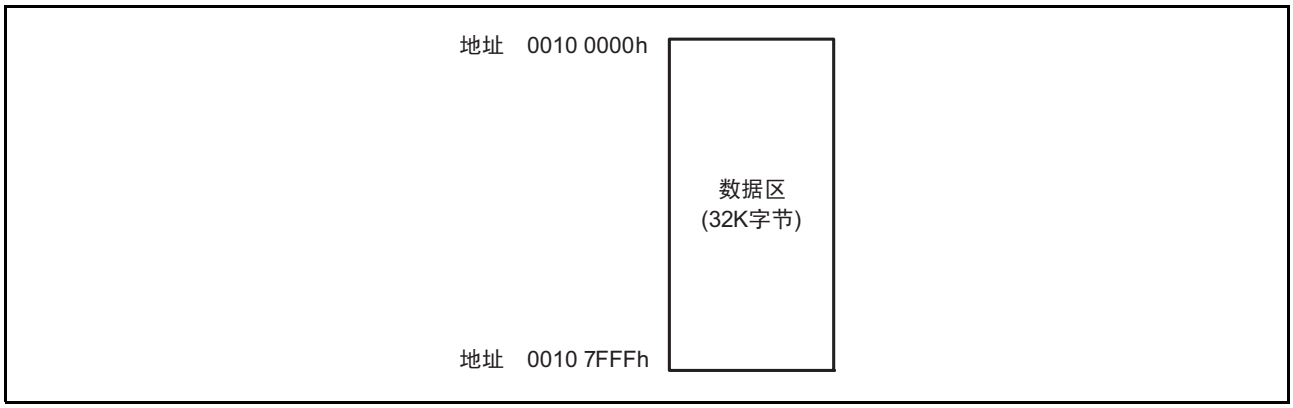


图 43.2 E2 数据闪存的数据区结构

43.4 块结构

数据区的擦除块结构如图 43.3 所示。数据区被分割为 32 字节 （1024 块），以块为单位进行擦除，以 2 字节为单位进行编程。以低位地址的 1 位为 “0” 的 2 字节为单位进行 2 字节编程

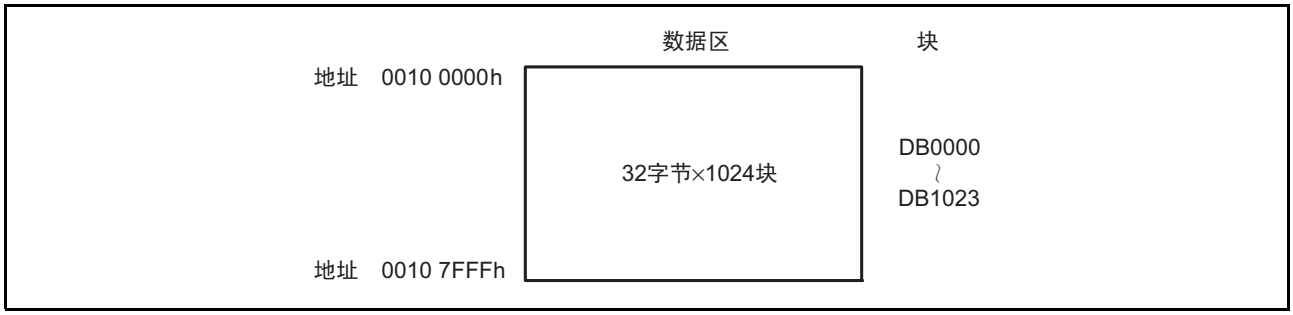


图 43.3 数据区的块分割

43.5 E2 数据闪存相关的运行模式

有关运行模式的转移，请参照 “42.5 ROM 相关的运行模式”。

在引导模式、 USB 引导模式、用户引导模式、单芯片模式 （内部 ROM 有效）和内部 ROM 有效扩展模式中，能进行板上数据区的读、编程或者擦除。

各模式的不同点如表 43.3 所示。

表 43.3 各模式的不同点

项目	引导模式	USB 引导模式 / 用户引导模式	单芯片模式 （内部 ROM 有效）/ 内部 ROM 有效扩展模式
编程 / 擦除环境	板上编程		
能编程和擦除的 MAT	数据区	数据区	数据区
块分割擦除	○ （注 1）	○ （注 1）	○
复位时的启动程序	引导程序	用户引导程序	用户程序

注 1. 有可能在启动时被全部擦除。此后能擦除特定块，详细内容请参照 “42.10.4 ID 码保护 （引导模式）”、“42.10.2 引导模式的状态转移”和 “42.11.2 状态转移”。

- 在引导模式中，主机能经由SCI对数据区进行编程、擦除和读。
- 在引导模式中，通过引导模式的嵌入式程序使用内部RAM。因此，不保持内部RAM的数据。
- 在USB引导模式和用户引导模式中，能从用户引导区启动。产品出货时，在用户引导区中保存了USB引导程序，能使用USB对用户区或者数据区进行编程和读。另外，在引导模式中，能通过改写用户引导区，使用任意接口对用户区或者数据区进行编程和读。

43.6 E2 数据闪存的编程 / 擦除

通过给编程 / 擦除的专用定序器 （FCU）发行命令 （FCU 命令），对 E2 数据闪存进行编程和擦除。 FCU 有 5 种模式，通过在模式转移后发行编程和擦除命令，进行编程和擦除。

以下说明 E2 数据闪存的编程和擦除所需的模式转移和命令体系。这些内容在引导模式、USB 引导模式、用户引导模式、单芯片模式 （内部 ROM 有效）和内部 ROM 有效扩展模式中通用。

43.6.1 FCU 的模式

FCU 有 5 种模式，通过写 FENTRYR 寄存器以及 FCU 命令进行模式的转移， FCU 的模式转移图如图 43.4 所示。

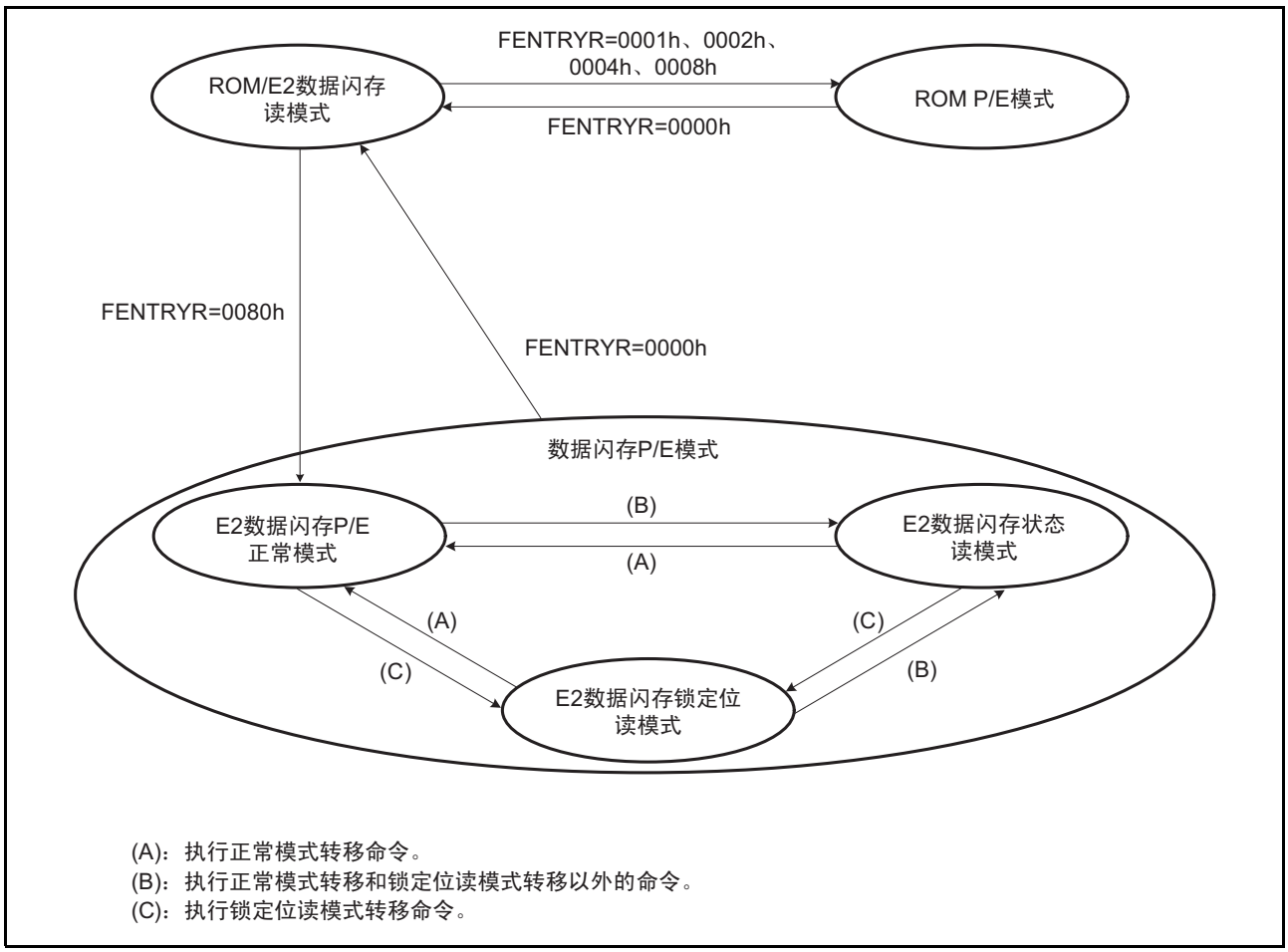


图 43.4 FCU 的模式转移图 （E2 数据闪存相关）

43.6.1.1 ROM P/E 模式

ROM P/E 模式是对 ROM 进行编程和擦除的模式。

有关 ROM P/E 模式的详细内容，请参照 “42.6.1.2 ROM P/E 模式”。

43.6.1.2 ROM/E2 数据闪存读模式

ROM/E2数据闪存读模式是能读ROM和E2数据闪存的模式，不接受FCU命令。如果将FENTRYR.FENTRYD位置“0”并且将FENTRYR.FENTRY3位、FENTRYR.FENTRY2位、FENTRYR.FENTRY1位和FENTRYR.FENTRY0位置 “0”，就转移到此模式。

43.6.1.3 E2 数据闪存 P/E 模式

E2 数据闪存 P/E 模式是对 E2 数据闪存进行编程和擦除的模式，不能读 E2 数据闪存。

E2数据闪存P/E模式有E2数据闪存P/E正常模式、E2数据闪存状态读模式、E2数据闪存锁定位读模式共3种。

(1) E2 数据闪存 P/E 正常模式

E2 数据闪存 P/E 正常模式是在对 E2 数据闪存进行编程或者擦除时最先转移的模式。如果在 ROM/E2 数据闪存读模式中将 FENTRYR.FENTRYD 位置 “1”并且将 FENTRYR.FENTRY3 位、 FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位和 FENTRYR.FENTRY0 位置“0”，或者在 E2 数据闪存 P/E 模式中接受正常模式转移命令，就转移到此模式。能接受的命令如**表 43.8** 所示。

(2) E2 数据闪存状态读模式

E2 数据闪存状态读模式是能读 E2 数据闪存状态的模式。

如果在 E2 数据闪存 P/E 模式中接受正常模式转移和锁定位读模式转移以外的命令，就转移到此模式。FSTATR0.FRDY 位为“0”的状态以及发生错误后的命令锁定状态也是 E2 数据闪存状态读模式中的状态。能接受的命令如**表 43.8** 所示。

如果对 E2 数据闪存区发行读存取，就读 FSTATR0 寄存器的值。能高速读 ROM。

(3) E2 数据闪存锁定位读模式

E2 数据闪存锁定位读模式是能读 E2 数据闪存锁定位的模式。但是，因为 E2 数据闪存没有锁定位，所以不能读锁定位。

如果在 E2 数据闪存 P/E 模式中接受锁定位读模式转移命令，就转移到 E2 数据闪存锁定位读模式。能接受的命令如**表 43.8** 所示。

E2 数据闪存没有锁定位，如果对 E2 数据闪存区发行读存取，读数据就为不定值，但是不发生 E2 数据闪存的存取违反。能高速读 ROM。

43.6.2 FCU 命令一览表

FCU 命令有 FCU 模式转移命令和编程 / 擦除命令。对 E2 数据闪存进行编程或者擦除时能使用的 FCU 命令一览表如表 43.4 所示。

表 43.4 FCU 命令一览表 （E2 数据闪存相关）

命令	功能
P/E 正常模式转移	转移到正常模式 （参照 “43.6.3 FCU 的模式和命令的关系”）。
状态读模式转移	转移到状态读模式 （参照 “43.6.3 FCU 的模式和命令的关系”）。
锁定位读模式转移 （锁定位读 1）	转移到锁定位读模式 （参照 “43.6.3 FCU 的模式和命令的关系”）。
外围时钟通知	设定 FlashIF 时钟 （FCLK）的频率。
编程	对 E2 数据闪存进行编程 （2 字节）。
块擦除	擦除 E2 数据闪存 （以块为单位）。
P/E 挂起	中止编程和擦除。
P/E 恢复	重新开始编程和擦除。
状态寄存器清除	清除 FSTATR0.ILGLERR 位、 FSTATR0.ERSERR 位和 FSTATR0.PRGERR 位以及解除命令锁定状态。
锁定位读 2/ 空白检查	确认指定的区域是否为擦除状态 （空白）。

ROM 也使用空白检查命令以外的 FCU 命令。锁定位读 2 命令兼用 E2 数据闪存的空白检查命令。如果对 ROM 发行空白检查命令，就读 ROM 的锁定位。

通过写 E2 数据闪存区给 FCU 发行命令。

编程命令和空白检查命令的格式如表 43.5 所示。有关编程命令和空白检查命令以外的 FCU 命令格式，请参照 “42. ROM （保存代码的闪存）” 的 “42.6.2 FCU 命令一览表”。

如果在特定条件下进行如表 43.5 所示的写存取， FCU 就进行各命令对应的处理。有关 FCU 的特定条件和命令的使用方法，请分别参照 “43.6.3 FCU 的模式和命令的关系” 和 “43.6.4 FCU 命令的使用方法”。

表 43.5 FCU 命令的格式 （E2 数据闪存专用命令）

命令	总线周期数	第 1 周期		第 2 周期		第 3 周期		第 N+3 周期	
		地址	数据	地址	数据	地址	数据	地址	数据
编程 （2 字节编程：N=1）	4	EA	E8h	EA	01h	WA	WDn	EA	D0h
空白检查	2	EA	71h	BA	D0h	—	—	—	—

地址列 EA： E2 数据闪存区的地址
0010 0000h ～ 0010 7FFFh 的任意地址
WA： 编程数据的调整后的起始地址
BA ： E2 数据闪存的读 / 编程 / 擦除的允许 / 禁止块地址
读 / 编程 / 擦除的允许 / 禁止对象块内的任意地址

数据列 WDn：编程数据的第 n 个字 （n=1 ～ N）

43.6.3 FCU 的模式和命令的关系

FCU 的各模式能接受的 FCU 命令是固定的，而且能接受的命令也因这些模式的 FCU 状态而不同。

需要在进行 FCU 的模式转移后确认 FCU 的状态，然后发行 FCU 命令。

FCU 的模式 / 状态和能接受的命令如**表 43.6** 所示。如果发行不能接受的命令， FCU 就进入命令锁定状态（参照“**43.7.2 错误保护**”）。必须在转移到能接受的模式后，确认 FSTATR0.FRDY 位、FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUERR 位的值，然后发行 FCU 命令。能根据 FASTAT.CMDLK 位的值确认有没有发生错误， FASTAT.CMDLK 位的值是 FSTATR0.ILGLERR 位、 FSTATR0.ERSERR 位、 FSTATR0.PRGERR 位和 FSTATR1.FCUERR 位的值的逻辑或。

表 43.6 FCU 的模式 / 状态和能接受的命令的关系 （E2 数据闪存 P/E 模式）

	P/E 正常模式			状态读模式									锁定位读模式		
	编程挂起中	擦除挂起中	其他状态	编程 / 擦除处理中	擦除挂起中的编程处理中	编程 / 擦除中止处理中	空白检查处理中	编程挂起中	擦除挂起中	命令锁定状态（FRDY=0）	命令锁定状态（FRDY=1）	其他状态	编程挂起中	擦除挂起中	其他状态
FSTATR0.FRDY 位	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0.SUSRDY 位	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD 位	0	1	0	0	1	0/1	0	0	1	0/1	0/1	0	0	1	0
FSTATR0.PRGSPD 位	1	0	0	0	0	0/1	0	1	0	0/1	0/1	0	1	0	0
FASTAT.CMDLK 位	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
P/E 正常模式转移	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
状态读模式转移	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
锁定位读模式转移 （锁定位读 1）	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
外围时钟通知	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
编程	×	Δ	○	×	×	×	×	×	Δ	×	×	○	×	Δ	○
块擦除	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/E 挂起	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/E 恢复	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
状态寄存器清除	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
空白检查	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○

○：能接受、 Δ：只能接受对非擦除中止块进行的编程、×：不能接受

43.6.4 FCU 命令的使用方法

FCU 命令的使用方法有：使用编程命令和块擦除命令对 E2 数据闪存进行编程和擦除的方法以及使用空白检查命令确认 E2 数据闪存的擦除状态的方法。有关 FCU RAM 的固件传送方法以及其他 FCU 命令的使用方法，请参照 “42. ROM （保存代码的闪存）” 的 “42.6.4 FCU 命令的使用方法”。

(1) 外围时钟通知命令的使用方法

通知外围时钟的频率，详细内容请参照 “42. ROM （保存代码的闪存）” 的 “42.6.4 FCU 命令的使用方法”。必须在将 FENTRYR.FENTRYD 位置 “1” 后设定 E2 数据闪存区内的地址。

(2) 编程方法

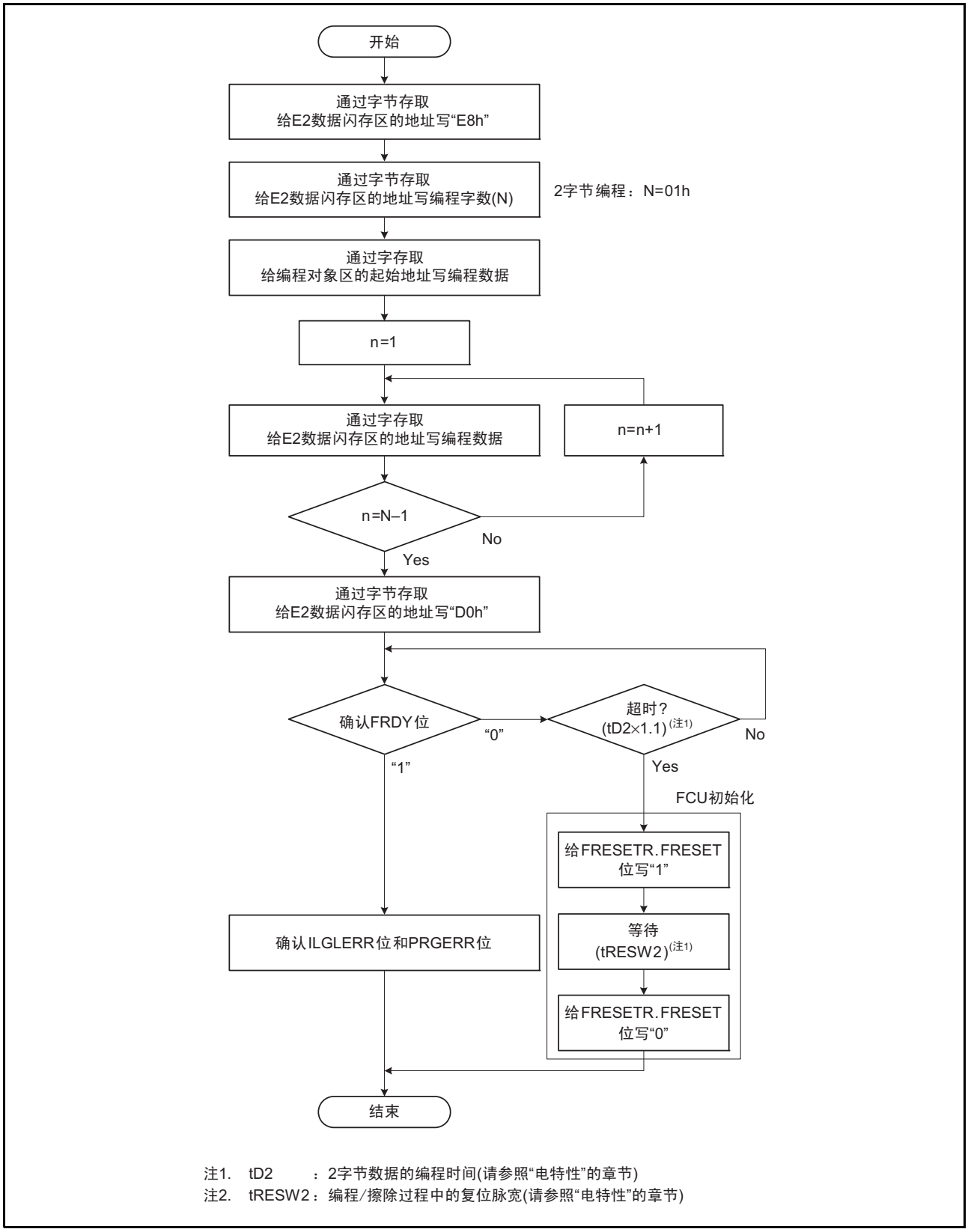
使用编程命令对 E2 数据闪存进行数据编程。

在编程命令的第 1 周期，通过字节存取给 E2 数据闪存区的地址写 “E8h”，在第 2 周期，通过字节存取给 E2 数据闪存区的地址写编程字数 （N）（注 1）。在命令的第 3 ～第 N+2 周期，必须通过字存取写编程数据。在第 3 周期的存取中，必须给编程对象区的起始地址写编程数据。必须将起始地址调整为以 2 字节为边界的地址。如果在通过 N 次字存取给 E2 数据闪存区的地址写编程数据后，在第 N+3 周期通过字节存取给 E2 数据闪存区的地址写 “D0h”， FCU 就开始对 E2 数据闪存进行编程处理。能通过 FSTATR0.FRDY 位确认编程的结束。

如果在第 3 周期～第 N+2 周期中存取的区域包括不需要编程的地址，就必须将该地址的编程数据置“FFFFh”。如果要在将通过 DFLWEy （y=0、1）寄存器控制的编程 / 擦除保护功能设定为无效后进行编程，就必须将编程对象块的编程 / 擦除允许位置 “1”。

E2 数据闪存的编程方法如图 43.5 所示。

注 1. 当进行 2 字节编程时， N 为 “01h”。



注1. tD2 ：2字节数据的编程时间(请参照“电特性”的章节)
注2. tRESW2：编程/擦除过程中的复位脉宽(请参照“电特性”的章节)

图 43.5 E2 数据闪存的编程

(3) 擦除方法

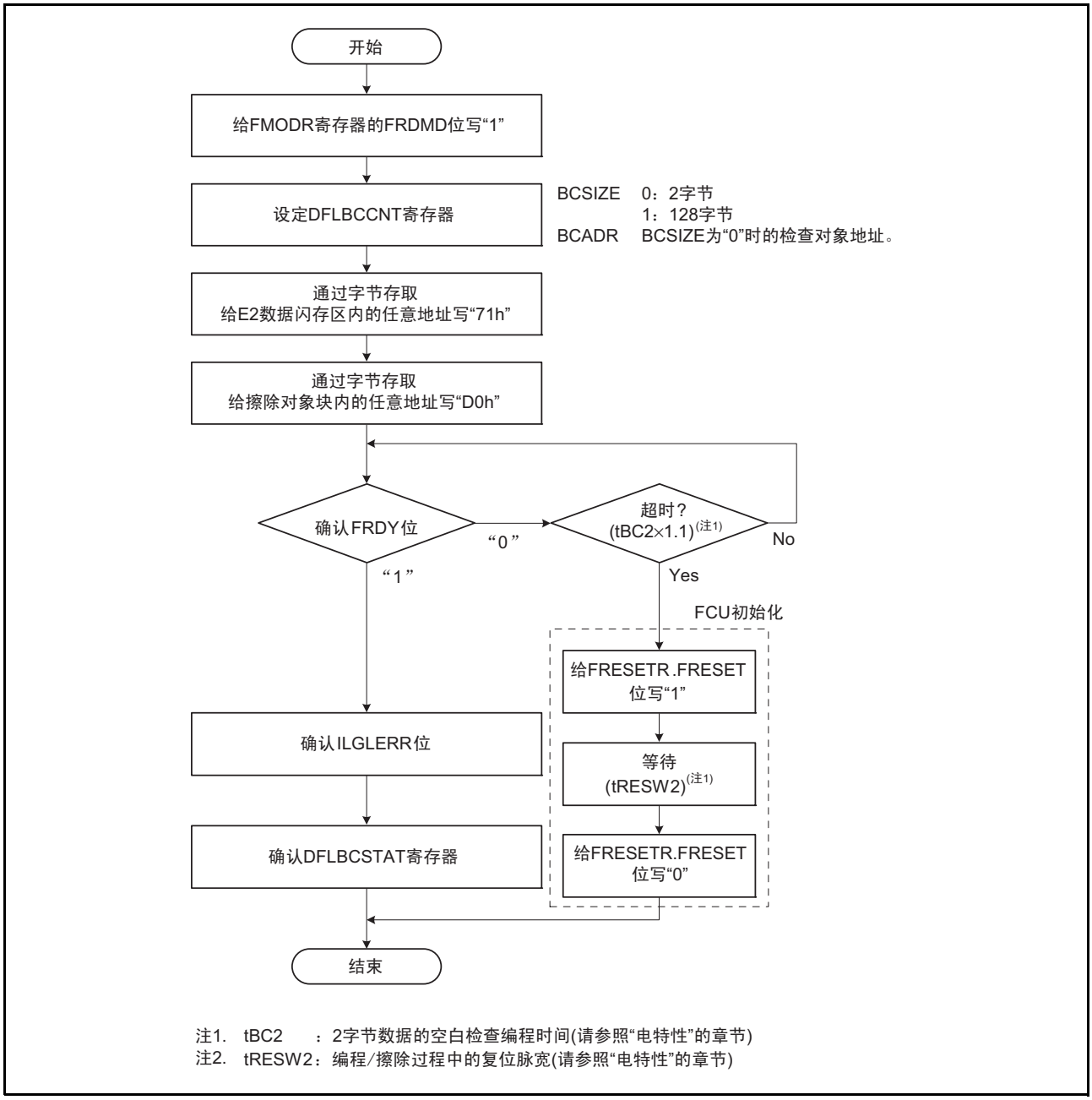
使用块擦除命令来擦除 E2 数据闪存。使用块擦除命令的擦除方法和 ROM 的擦除方法相同 （参照 “42. ROM （保存代码的闪存）”）。

必须注意：E2 数据闪存有 DFLWEy（y=0、1）寄存器控制的编程 / 擦除保护功能。如果要在将通过 DFLWEy 寄存器控制的保护功能设定为无效后进行擦除，就必须将擦除对象块的编程 / 擦除允许位置 “1”。

(4) 空白检查

即使通过 CPU 读擦除状态的 E2 数据闪存，读取值也为不定值，因此需要使用空白检查命令确认擦除状态。在使用空白检查命令时，必须预先将 FMODR.FRDMD 位置 “1”，使空白检查命令处于可使用的状态，然后给 DFLBCCNT 寄存器设定检查对象区的大小和地址。当 DFLBCCNT.BCSIZE 位为 “1” 时，能在空白检查命令的第 2 周期对指定的整个擦除块 （2K 字节）进行空白检查；当 BCSIZE 位为 “0” 时，能在空白检查命令的第 2 周期对指定的擦除块的起始地址和 DFLBCCNT 寄存器值相加后的地址开始的 2 字节区域进行空白检查。在空白检查命令的第 1 周期，通过字节存取给 E2 数据闪存区的地址写 “71h”。在命令的第 2 周期，如果通过字节存取给包括空白检查对象区的擦除块内的任意地址写 “D0h”，FCU 就开始进行 E2 数据闪存空白检查处理。能通过 FSTATR0.FRDY 位确认空白检查的结束。如果在结束空白检查后确认 DFLBCSTAT.BCST 位的值，就能确认检查对象区是为擦除状态还是为写 “0” 或者 “1” 的状态。

E2 数据闪存空白检查方法如图 43.6 所示。



注1. tBC2 ：2字节数据的空白检查编程时间(请参照“电特性”的章节)
注2. tRESW2：编程/擦除过程中的复位脉宽(请参照“电特性”的章节)

图 43.6 E2 数据闪存的空白检查

43.7 保护

E2 数据闪存的编程 / 擦除的保护有软件保护和错误保护。

43.7.1 软件保护

软件保护是通过设定控制寄存器禁止对 E2 数据闪存进行编程、擦除和读的状态。如果违反软件保护而对 E2 数据闪存发行编程 / 擦除命令或者读 E2 数据闪存， FCU 就检测到错误，进入命令锁定状态。

(1) 通过 FWEPROR 寄存器进行的保护

如果不将 FWEPROR.FLWE[1:0] 位置 “01b”，就不能在任何模式中进行改写。

(2) 通过 FENTRYR 寄存器进行的保护

当 FENTRYR.FENTRYD 位为 “0”时， FCU 进入 ROM/E2 数据闪存读模式。因为在 ROM/E2 数据闪存读模式中不接受 FCU 命令，所以 E2 数据闪存为禁止编程和擦除的状态。如果在 ROM/E2 数据闪存读模式中对 E2 数据闪存发行 FCU 命令， FCU 就检测到非法命令错误，进入命令锁定状态 （参照 “43.7.2 错误保护”）。

(3) 通过 DFLWEy 寄存器进行的保护

当 DFLWEy.DBWEj （y=0、 1、 j=00 ～ 15）位为 “0”时，数据区的 DBj 块为禁止编程和擦除的状态。如果在 DBWEj 位为 “0”的状态下对 DBj 块进行编程或者擦除， FCU 就检测到写保护违反，进入命令锁定状态（参照 “43.7.2 错误保护”）。

(4) 通过 DFLREy 寄存器进行的保护

当 DFLREy.DBREj（y=0、 1、 j=00 ～ 15）位为 “0”时，数据区的 DBj 块为禁止读的状态。如果在 DBREj 位为 “0”的状态下读 DBj 块， FCU 就检测到读保护违反，进入命令锁定状态（参照 “43.7.2 错误保护”）。

43.7.2 错误保护

错误保护是因误发行 FCU 命令以及发生禁止的存取而导致 FCU 在检测到误动作后禁止接受 FCU 命令的状态 （命令锁定状态） 。如果 FCU 进入命令锁定状态 （FASTAT.CMDLK 位为 “1” ） ，状态位 （FSTATR0.ILGLERR 位、 FSTATR0.ERSERR 位、 FSTATR0.PRGERR 位、 FSTATR1.FCUERR 位、 FASTAT.DFLAE 位、 FASTAT.DFLRPE 位、 FASTAT.DFLWPE 位）中的任意位或者多个位就为 “1”，禁止对 E2 数据闪存进行编程和擦除。要解除命令锁定状态时，需要在 FASTAT 寄存器为 “10h”的状态下发行状态寄存器清除命令。

当 FAEINT.CMDLKIE 位为 “1”时，如果 FCU 进入命令锁定状态 （FASTAT.CMDLK 位为 “1”），就产生闪存接口错误（FIFERR）中断。当FAEINT寄存器的E2数据闪存相关的中断允许位（DFLAEIE位、DFLRPEIE位、 DFLWPEIE 位）为 “1”时，即使 FASTAT 寄存器的对应位 （DFLAE 位、 DFLRPE 位、 DFLWPE 位）变为 “1”，也产生 FIFERR 中断。

E2 数据闪存相关的错误保护内容和错误检测后的状态位的值（FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位、FASTAT.DFLAE 位、FASTAT.DFLRPE 位、FASTAT.DFLWPE 位）的关系如**表 43.7** 所示。有关 ROM/E2 数据闪存通用的错误保护内容 （FENTRYR 设定错误、大部分非法命令、擦除错误、编程错误、 FCU 错误），请参照 “42. ROM （保存代码的闪存）”的 “42.8.2 错误保护”。

如果在编程或者擦除处理过程中发行挂起以外的命令，就转移到命令锁定状态，但是 FCU 继续进行编程或者擦除处理。在此状态下无法通过发行 P/E 挂起命令来中止编程或者擦除。如果在命令锁定状态下发行命令，ILGLERR 位就变为 “1”。

表 43.7 错误保护一览表 （E2 数据闪存专用）

分类	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	DFLWPE
非法命令	在编程命令的第 2 周期指定 “01h” 以外的数据。	1	0	0	0	0	0
	在 FENTRYR.FENTRYD 位为 “1” 的状态下，对 E2 数据闪存区发行锁定位编程命令。	1	0	0	0	0	0
E2 数据闪存的存取违反	在 FENTRYD 位为 “1” 时并且在 E2 数据闪存 P/E 正常模式中，对 E2 数据闪存区发行读存取命令。	1	0	0	1	0	0
	在 FENTRYD 位为 “0” 的状态下，对 E2 数据闪存区发行写存取命令。	1	0	0	1	0	0
	在 FENTRYR.FENTRY3 位、FENTRYR.FENTRY2 位、FENTRYR.FENTRY1 位或者 FENTRYR.FENTRY0 位为 “1” 的状态下，对 E2 数据闪存区发行写存取命令。	1	0	0	1	0	0
E2 数据闪存的读保护违反	对通过 DFLREy 寄存器 （y=0、 1）设定为禁止读的 E2 数据闪存区发行读存取命令。	1	0	0	0	1	0
E2 数据闪存的写保护违反	对通过 DFLWEy 寄存器 （y=0、 1）设定为禁止编程和擦除的 E2 数据闪存区发行编程 / 块擦除命令。	1	0	0	0	0	1

43.8 引导模式

在引导模式中，能从主机发送控制命令和编程数据，并且对数据区进行编程或者擦除。有关引导模式的系统结构和使用方法的详细内容，请参照 “43.8 引导模式”。以下说明 E2 数据闪存固有的命令。

43.8.1 查询设定主机命令

E2 数据闪存固有的查询设定主机命令一览表如表 43.8 所示。在 “42.10.6 查询设定主机命令的等待状态” 和 “图 42.28 用户区 / 用户引导区的查询设定主机命令的使用例子” 所示的流程中，“查询 MAT 编程信息” 使用数据区有无查询命令和数据区信息查询命令。

表 43.8 查询设定主机命令 （E2 数据闪存固有）

主机命令名	功能
数据区有无查询	查询是否有数据区。
数据区信息查询	查询数据区的个数、起始地址和结束地址。

以下说明各命令的详细内容。说明内容中的 “命令” 是从主机发送到 RX630 的命令，“应答” 是从 RX630 发送到主机的应答。“校验和” 是指在合计 RX630 发送的各字节时，为了得到 “00h” 而算出的字节数据。

(1) 数据区有无查询

如果主机发送数据区有无查询命令， RX630 就发送表示有数据区的信息。

命令	2Ah

应答	3Ah	长度	有无 MAT	SUM

长度 （1 字节） ：有无 MAT 的字符数 （是固定值，为 “1”。）
有无 MAT （1 字节）：有无数据区 （是固定值，为 “21h”。）
21h：有数据区
SUM （1 字节） ：校验和

(2) 数据区信息查询

如果主机发送数据区信息查询命令， RX630 就发送数据区的区域数和地址的信息。

命令	2Bh

应答	3Bh	长度	区域数
	区域的起始地址		
	区域的结束地址		
	区域的起始地址		
	区域的结束地址		
	…		
	区域的起始地址		
	区域的结束地址		
	SUM		

长度 （1 字节） ：区域数、区域的起始地址、区域的结束地址的数据总字节数
区域数 （1 字节） ：数据区的区域数 （连续区域为 1 个区域）
区域的起始地址 （4 字节） ：数据区的起始地址
区域的最后地址 （4 字节） ：数据区的结束地址
SUM （1 字节） ：校验和

数据区的块结构信息包括在擦除块信息查询命令 （参照 “42.10.6 查询设定主机命令的等待状态”）的应答中。

43.8.2 编程 / 擦除主机命令

E2 数据闪存固有的编程 / 擦除主机命令一览表如**表 43.9** 所示。 E2 数据闪存固有的主机命令只有数据区校验和命令以及数据区空白检查命令，而编程命令、擦除命令、读命令和 ROM 通用。

在对数据区进行编程时，在发行用户区编程选择命令后，用 256 字节编程命令给编程地址指定数据区的地址。在擦除数据区时，在发行擦除选择命令后，用块擦除命令指定数据区的擦除块。数据区的擦除块信息包括在擦除块查询命令的应答中。在读数据区时，用存储器读命令选择用户区并且给读对象地址指定数据区的地址。

有关用户区编程选择命令、用户引导区编程选择命令、 256 字节编程命令、擦除选择命令、块擦除命令和存储器读命令的详细内容，请参照“**42.10.8 编程 / 擦除主机命令等待状态**”。有关擦除块信息查询命令的详细内容，请参照 “**42.10.6 查询设定主机命令的等待状态**”。

表 43.9 编程 / 擦除主机命令 （E2 数据闪存固有）

主机命令名	功能
数据区校验和	数据区的校验和
数据区空白检查	数据区的空白检查

以下说明各命令的详细内容。说明内容中的“命令”是从主机发送到 RX630 的命令，“应答”是从 RX630 发送到主机的应答。“校验和”是指在合计 RX630 发送的各字节时，为了得到 “00h “而算出的字节数据。

(1) 数据区校验和

如果主机发送数据区校验和命令， RX630 就发送以字节为单位将数据区的数据相加后的结果 （校验和）。

命令	61h			
应答	71h	长度	MAT 校验和	SUM

长度 （1 字节） ：MAT 校验和的字节数 （是固定值，为 “4”。）
MAT 校验和 （4 字节） ：数据区的校验和结果
SUM （4 字节） ：校验和 （应答数据的校验和）

(2) 数据区空白检查

如果主机发送数据区空白检查命令， RX630 就检查数据区是否为全部擦除状态。如果数据区为全部擦除状态， RX630 就发送应答 （06h）。如果数据区有未擦除的区域， RX630 就发送错误应答 （E2h →52h）。

命令	62h	
应答	06h	
错误应答	E2h	52h

43.9 使用时的注意事项

(1) 启动复位后的数据区保护状态

因为 DFLREy 寄存器和 DFLWEy 寄存器（y=0、1）的初始值为“0000h”，所以启动复位后的数据区为禁止读、编程和擦除的状态。如果需要读数据区，就必须在设定 DFLREy 寄存器后存取数据区。如果需要对数据区进行编程或者擦除，就必须在设定 DFLWEy 寄存器后发行编程 / 擦除的 FCU 命令。如果不设定寄存器而进行读、编程或者擦除， FCU 就检测到错误，进入命令锁定状态。

(2) 低速运行模式 2 中的读操作

不能在低速运行模式 2 中读 E2 数据闪存。读时，必须转移到低速运行模式 2 以外的模式。

(3) 其他注意事项

其他注意事项和 ROM 相同，请参照 “42. ROM （保存代码的闪存）”的 “42.14 使用时的注意事项”。但是，在 E2 数据闪存的情况下，编程 / 擦除的注意事项里有空白检查。

44. 边界扫描

RX630 群内置边界扫描功能。

边界扫描是和 JTAG（Joint Test Action Group、IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）同等的串行输入 / 输出接口。

44.1 概要

边界扫描的规格如**表 44.1** 所示。

边界扫描的框图如**图 44.1** 所示。

表 44.1 边界扫描的规格

项目	内容
边界扫描有效 / 无效	在将 EMLE 引脚置为 Low 电平并且将 BSCANP 引脚置为 High 电平时，边界扫描功能有效。
边界扫描的专用引脚	在边界扫描功能有效时，以下的引脚是 JTAG 专用引脚 （TDO/TCK/TDI/TMS/TRST#）： 177 引脚 TFLGA/176 引脚 LFBGA：PF0/PF1/PF2/PF3/PF4 145 引脚 TFLGA：P26/P27/P30/P31/P34
6 种测试模式	• BYPASS 模式 • EXTEST 模式 • SAMPLE/PRELOAD 模式 • CLAMP 模式 • HIGHZ 模式 • IDCODE 模式

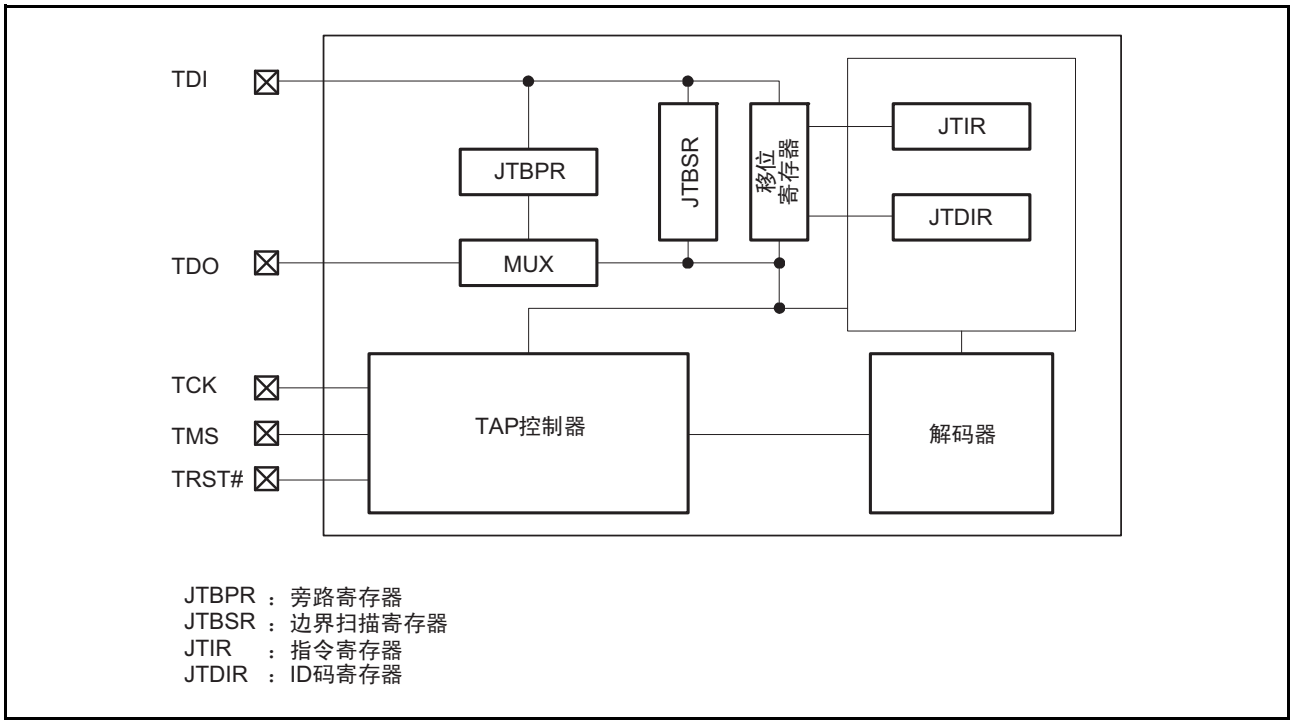


图 44.1 JTAG 框图

边界扫描使用的输入 / 输出引脚如表 44.2 所示。

表 44.2 JTAG 输入 / 输出引脚

引脚名	输入 / 输出	功能
TCK	输入	测试时钟的输入 边界扫描的时钟信号 在使用边界扫描功能时，必须输入占空比为 50% 的时钟。
TMS	输入	测试模式的选择
TDI	输入	测试数据的输入
TDO	输出	测试数据的输出
TRST#	输入	测试复位的输入

44.2 寄存器说明

边界扫描的寄存器一览表如表 44.3 所示。

表 44.3 边界扫描的寄存器一览表

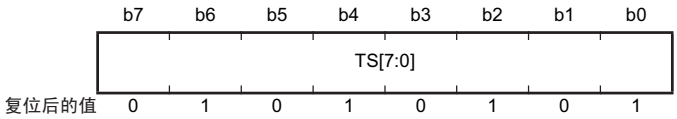
寄存器名	符号	复位后的值	地址	存取长度
指令寄存器	JTIR	55h	—	—
ID 码寄存器	JTIDR	080B B447h	—	—
旁路寄存器	JTBPR	不定值	—	—
边界扫描寄存器	JTBSR	不定值	—	—

能通过串行传送将指令从 TDI 引脚输入到 JTIR 寄存器。
JTBPR 寄存器是 1 位寄存器，在 BYPASS 模式中将 TDI 引脚和 TDO 引脚连接到此寄存器。
JTBSR 寄存器是表 44.6 结构的寄存器，在移入测试数据时，在 TDI 引脚和 TDO 引脚之间连接此寄存器。
CPU 不能存取全部的寄存器。
各寄存器的串行传送如表 44.4 所示。

表 44.4 寄存器的串行传送

寄存器	串行输入	串行输出
指令寄存器 （JTIR）	能	不能
ID 码寄存器 （JTIDR）	不能	能
旁路寄存器 （JTBPR）	能	能
边界扫描寄存器 （JTBSR）	能	能

44.2.1 指令寄存器 （JTIR）



位	符号	位名	功能	R/W
b7-b0	TS[7:0]	测试位的置位	命令结构如表 44.5 所示。	—

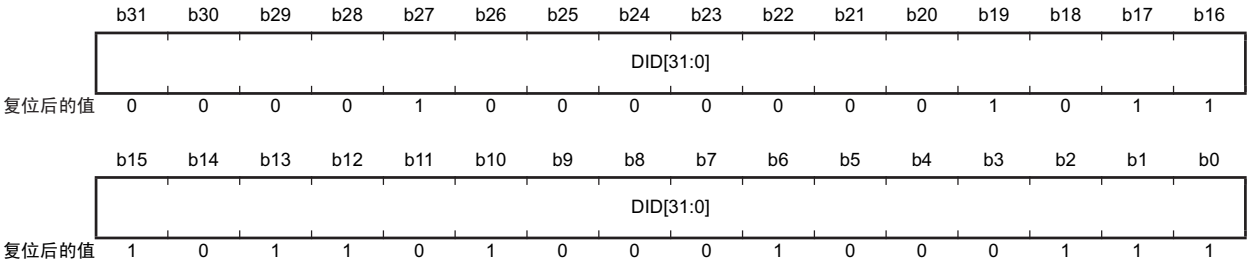
表 44.5 命令结构

TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	指令
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE （初始值）
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上述以外								保留

能通过 TDI 引脚的串行输入将边界扫描的指令传送到 JTIR 寄存器。

在 TRST# 引脚为 Low 电平时或者在 TAP 控制器为 Test-Logic-Reset 的状态下，对 JTIR 寄存器进行初始化。

44.2.2 ID 码寄存器 （JTIDR）



位	符号	位名	功能	R/W
b31-b0	DID[31:0]	保留位	表示设备 IDCODE 的固定值的寄存器	—

在执行 IDCODE 指令时，从 TDO 引脚输出 JTIDR 寄存器的数据。

44.2.3 旁路寄存器 （JTBPR）

JTBPR 寄存器是 1 位寄存器。

如果设定为 BYPASS 模式，就将 TDI 引脚和 TDO 引脚连接到 JTBPR 寄存器。

CPU 不能读写 JTBPR 寄存器。

44.2.4 边界扫描寄存器 （JTBSR）

JTBSR 寄存器是为了控制 LSI 的输入 / 输出引脚而被分配在 PAD 上的移位寄存器。

能使用 EXTEST、 SAMPLE/PRELOAD、 CLAMP 和 HIGHZ 命令进行边界扫描测试。

LSI 的引脚和边界扫描寄存器的对应如表 44.6 所示。

复位后的值为不定值。

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (1/10)

From TDI			
Pin No	引脚名	类型	位名
B1	P05	输出	417
		输出允许	416
		输入	415
D3	P03	输出	414
		输出允许	413
		输入	412
D2	P02	输出	411
		输出允许	410
		输入	409
D1	P01	输出	408
		输出允许	407
		输入	406
D4	P00	输出	405
		输出允许	404
		输入	403
E3	PF5	输出	402
		输出允许	401
		输入	400
E1	PJ5	输出	399
		输出允许	398
		输入	397
F3	PJ3	输出	396
		输出允许	395
		输入	394
H4	P35	输入	393
K1	P33	输出	392
		输出允许	391
		输入	390
K2	P32	输出	389
		输出允许	388
		输入	387
L4	P25	输出	386
		输出允许	385
		输入	384
N1	PH5	输出	383
		输出允许	382
		输入	381
M3	P24	输出	380
		输出允许	379
		输入	378
P1	PH4	输出	377
		输出允许	376
		输入	375

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (2/10)

Pin No	引脚名	类型	位名
N2	P23	输出	374
		输出允许	373
		输入	372
N3	P22	输出	371
		输出允许	370
		输入	369
R1	P21	输出	368
		输出允许	367
		输入	366
R2	P20	输出	359
		输出允许	358
		输入	357
P2	P17	输出	356
		输出允许	355
		输入	354
P3	P87	输出	353
		输出允许	352
		输入	351
R3	P16	输出	350
		输出允许	349
		输入	348
M4	P86	输出	347
		输出允许	346
		输入	345
N4	P15	输出	344
		输出允许	343
		输入	342
P4	P14	输出	341
		输出允许	340
		输入	339
R4	P85	输出	338
		输出允许	337
		输入	336
M5	P13	输出	335
		输出允许	334
		输入	333
N5	P12	输出	332
		输出允许	331
		输入	330
R5	P11	输出	329
		输出允许	328
		输入	327

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (3/10)

Pin No	引脚名	类型	位名
P5	P10	输出	326
		输出允许	325
		输入	324
N6	P57	输出	323
		输出允许	322
		输入	321
M6	P56	输出	320
		输出允许	319
		输入	318
R8	PL4	输出	317
		输出允许	316
		输入	315
P8	PL3	输出	314
		输出允许	313
		输入	312
N8	PL2	输出	311
		输出允许	310
		输入	309
M6	P55	输出	308
		输出允许	307
		输入	306
M7	P54	输出	305
		输出允许	304
		输入	303
M8	P53	输出	302
		输出允许	301
		输入	300
R9	P84	输出	299
		输出允许	298
		输入	297
P9	P52	输出	296
		输出允许	295
		输入	294
N9	P51	输出	293
		输出允许	292
		输入	291
M9	P50	输出	290
		输出允许	289
		输入	288
P10	P83	输出	287
		输出允许	286
		输入	285
N10	PC7	输出	284
		输出允许	283
		输入	282

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (4/10)

Pin No	引脚名	类型	位名
P11	PC6	输出	281
		输出允许	280
		输入	279
M10	PC5	输出	278
		输出允许	277
		输入	276
N11	P82	输出	275
		输出允许	274
		输入	273
M11	P81	输出	272
		输出允许	271
		输入	270
R12	P80	输出	269
		输出允许	268
		输入	267
P12	PC4	输出	266
		输出允许	265
		输入	264
N12	PC3	输出	263
		输出允许	262
		输入	261
M12	P77	输出	260
		输出允许	259
		输入	258
R13	P76	输出	257
		输出允许	256
		输入	255
P13	PC2	输出	254
		输出允许	253
		输入	252
P14	P75	输出	251
		输出允许	250
		输入	249
R14	P74	输出	248
		输出允许	247
		输入	246
R15	PC1	输出	245
		输出允许	244
		输入	243
P15	PL1	输出	242
		输出允许	241
		输入	240
N13	PC0	输出	239
		输出允许	238
		输入	237

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (5/10)

Pin No	引脚名	类型	位名
N15	PL0	输出	236
		输出允许	235
		输入	234
N14	P73	输出	233
		输出允许	232
		输入	231
M13	PB7	输出	230
		输出允许	229
		输入	228
L12	PB6	输出	227
		输出允许	226
		输入	225
M14	PB5	输出	224
		输出允许	223
		输入	222
M15	PB4	输出	221
		输出允许	220
		输入	219
L13	PB3	输出	218
		输出允许	217
		输入	216
K12	PB2	输出	215
		输出允许	214
		输入	213
L14	PB1	输出	212
		输出允许	211
		输入	210
L15	P72	输出	209
		输出允许	208
		输入	207
K13	P71	输出	206
		输出允许	205
		输入	204
K14	PK7	输出	203
		输出允许	202
		输入	201
K15	PB0	输出	200
		输出允许	199
		输入	198
J13	PK6	输出	197
		输出允许	196
		输入	195
J14	PA7	输出	194
		输出允许	193
		输入	192

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (6/10)

Pin No	引脚名	类型	位名
J15	PA6	输出	191
		输出允许	190
		输入	189
J12	PA5	输出	188
		输出允许	187
		输入	186
H12	PA4	输出	185
		输出允许	184
		输入	183
H13	PA3	输出	182
		输出允许	181
		输入	180
H15	PG7	输出	179
		输出允许	178
		输入	177
H14	PA2	输出	176
		输出允许	175
		输入	174
G13	PG6	输出	173
		输出允许	172
		输入	171
G14	PA1	输出	170
		输出允许	169
		输入	168
G12	PG5	输出	167
		输出允许	166
		输入	165
F14	PA0	输出	164
		输出允许	163
		输入	162
F13	PG4	输出	161
		输出允许	160
		输入	159
E15	P67	输出	158
		输出允许	157
		输入	156
E14	PG3	输出	155
		输出允许	154
		输入	153
F12	P66	输出	152
		输出允许	151
		输入	150
E13	PG2	输出	149
		输出允许	148
		输入	147

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (7/10)

Pin No	引脚名	类型	位名
D15	P65	输出	146
		输出允许	145
		输入	144
D14	PE7	输出	143
		输出允许	142
		输入	141
E12	PE6	输出	140
		输出允许	139
		输入	138
D13	PK5	输出	137
		输出允许	136
		输入	135
C15	P70	输出	134
		输出允许	133
		输入	132
C14	PK4	输出	131
		输出允许	130
		输入	129
D12	PE5	输出	128
		输出允许	127
		输入	126
C13	PE4	输出	125
		输出允许	124
		输入	123
B15	PE3	输出	122
		输出允许	121
		输入	120
A15	PE2	输出	119
		输出允许	118
		输入	117
A14	PE1	输出	116
		输出允许	115
		输入	114
B14	PE0	输出	113
		输出允许	112
		输入	111
B13	P64	输出	110
		输出允许	109
		输入	108
A13	P63	输出	107
		输出允许	106
		输入	105
C12	P62	输出	104
		输出允许	103
		输入	102

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (8/10)

Pin No	引脚名	类型	位名
D11	P61	输出	101
		输出允许	100
		输入	99
B12	PK3	输出	98
		输出允许	97
		输入	96
A12	P60	输出	95
		输出允许	94
		输入	93
C11	PK2	输出	92
		输出允许	91
		输入	90
D10	PD7	输出	89
		输出允许	88
		输入	87
B11	PG1	输出	86
		输出允许	85
		输入	84
A11	PD6	输出	83
		输出允许	82
		输入	81
C10	PG0	输出	80
		输出允许	79
		输入	78
D9	PD5	输出	77
		输出允许	76
		输入	75
B10	PD4	输出	74
		输出允许	73
		输入	72
A10	P97	输出	71
		输出允许	70
		输入	69
C9	PD3	输出	68
		输出允许	67
		输入	66
D8	PK1	输出	65
		输出允许	64
		输入	63
B9	P96	输出	62
		输出允许	61
		输入	60
A9	PK0	输出	59
		输出允许	58
		输入	57

表 44.6 边界扫描寄存器
177 引脚 TFLGA/176 引脚 LFBGA (9/10)

Pin No	引脚名	类型	位名
C8	PD2	输出	56
		输出允许	55
		输入	54
D7	P95	输出	53
		输出允许	52
		输入	51
B8	PD1	输出	50
		输出允许	49
		输入	48
A8	P94	输出	47
		输出允许	46
		输入	45
C7	PD0	输出	44
		输出允许	43
		输入	42
D6	P93	输出	41
		输出允许	40
		输入	39
B7	P92	输出	38
		输出允许	37
		输入	36
B6	P91	输出	35
		输出允许	34
		输入	33
C6	P90	输出	32
		输出允许	31
		输入	30
B5	P47	输出	29
		输出允许	28
		输入	27
A5	P46	输出	26
		输出允许	25
		输入	24
C5	P45	输出	23
		输出允许	22
		输入	21
D5	P44	输出	20
		输出允许	19
		输入	18
C4	P43	输出	17
		输出允许	16
		输入	15
A4	P42	输出	14
		输出允许	13
		输入	12

表 44.6 边界扫描寄存器
177引脚TFLGA/176引脚LFBGA (10/10)

Pin No	引脚名	类型	位名
B4	P41	输出	11
		输出允许	10
		输入	9
B3	P40	输出	8
		输出允许	7
		输入	6
B2	P07	输出	5
		输出允许	4
		输入	3
To TDO			

表 44.7 边界扫描寄存器
145 引脚 TFLGA (1/8)

From TDI			
Pin No	引脚名	类型	位名
B3	P05	输出	417
		输出允许	416
		输入	415
D3	P03	输出	414
		输出允许	413
		输入	412
C2	P02	输出	411
		输出允许	410
		输入	409
D4	P01	输出	408
		输出允许	407
		输入	406
D1	P00	输出	405
		输出允许	404
		输入	403
D2	PF5	输出	402
		输出允许	401
		输入	400
E3	PJ5	输出	399
		输出允许	398
		输入	397
F3	PJ3	输出	396
		输出允许	395
		输入	394
H4	P35	输入	393
J2	P33	输出	392
		输出允许	391
		输入	390
J3	P32	输出	389
		输出允许	388
		输入	387
L1	P25	输出	386
		输出允许	385
		输入	384
L4	P24	输出	380
		输出允许	379
		输入	378
L2	P23	输出	374
		输出允许	373
		输入	372
M1	P22	输出	371
		输出允许	370
		输入	369

表 44.7 边界扫描寄存器
145 引脚 TFLGA (2/8)

Pin No	引脚名	类型	位名
N1	P21	输出	368
		输出允许	367
		输入	366
N2	P20	输出	359
		输出允许	358
		输入	357
M2	P17	输出	356
		输出允许	355
		输入	354
N3	P87	输出	353
		输出允许	352
		输入	351
L3	P16	输出	350
		输出允许	349
		输入	348
M3	P86	输出	347
		输出允许	346
		输入	345
K4	P15	输出	344
		输出允许	343
		输入	342
N4	P14	输出	341
		输出允许	340
		输入	339
L5	P13	输出	335
		输出允许	334
		输入	333
M4	P12	输出	332
		输出允许	331
		输入	330
L6	P56	输出	320
		输出允许	319
		输入	318
N7	P55	输出	308
		输出允许	307
		输入	306
K5	P54	输出	305
		输出允许	304
		输入	303
K6	P53	输出	302
		输出允许	301
		输入	300

表 44.7 边界扫描寄存器
145 引脚 TFLGA (3/8)

Pin No	引脚名	类型	位名
L7	P52	输出	296
		输出允许	295
		输入	294
K7	P51	输出	293
		输出允许	292
		输入	291
M7	P50	输出	290
		输出允许	289
		输入	288
L8	P83	输出	287
		输出允许	286
		输入	285
N9	PC7	输出	284
		输出允许	283
		输入	282
M8	PC6	输出	281
		输出允许	280
		输入	279
L9	PC5	输出	278
		输出允许	277
		输入	276
N10	P82	输出	275
		输出允许	274
		输入	273
M9	P81	输出	272
		输出允许	271
		输入	270
K9	P80	输出	269
		输出允许	268
		输入	267
L10	PC4	输出	266
		输出允许	265
		输入	264
N11	PC3	输出	263
		输出允许	262
		输入	261
M10	P77	输出	260
		输出允许	259
		输入	258
K10	P76	输出	257
		输出允许	256
		输入	255
L11	PC2	输出	254
		输出允许	253
		输入	252

表 44.7 边界扫描寄存器
145 引脚 TFLGA (4/8)

Pin No	引脚名	类型	位名
N12	P75	输出	251
		输出允许	250
		输入	249
N13	P74	输出	248
		输出允许	247
		输入	246
M12	PC1	输出	245
		输出允许	244
		输入	243
M13	PL1	输出	242
		输出允许	241
		输入	240
M11	PC0	输出	239
		输出允许	238
		输入	237
L13	PL0	输出	236
		输出允许	235
		输入	234
L12	P73	输出	233
		输出允许	232
		输入	231
K11	PB7	输出	230
		输出允许	229
		输入	228
K12	PB6	输出	227
		输出允许	226
		输入	225
K13	PB5	输出	224
		输出允许	223
		输入	222
J11	PB4	输出	221
		输出允许	220
		输入	219
J10	PB3	输出	218
		输出允许	217
		输入	216
J12	PB2	输出	215
		输出允许	214
		输入	213
J13	PB1	输出	212
		输出允许	211
		输入	210
H10	P72	输出	209
		输出允许	208
		输入	207

表 44.7 边界扫描寄存器
145 引脚 TFLGA (5/8)

Pin No	引脚名	类型	位名
H11	P71	输出	206
		输出允许	205
		输入	204
H12	PB0	输出	200
		输出允许	199
		输入	198
H13	PA7	输出	194
		输出允许	193
		输入	192
G11	PA6	输出	191
		输出允许	190
		输入	189
G10	PA5	输出	188
		输出允许	187
		输入	186
G13	PA4	输出	185
		输出允许	184
		输入	183
F10	PA3	输出	182
		输出允许	181
		输入	180
F13	PA2	输出	176
		输出允许	175
		输入	174
F12	PA1	输出	170
		输出允许	169
		输入	168
E10	PA0	输出	164
		输出允许	163
		输入	162
E13	P67	输出	158
		输出允许	157
		输入	156
E11	P66	输出	152
		输出允许	151
		输入	150
E12	P65	输出	146
		输出允许	145
		输入	144
D10	PE7	输出	143
		输出允许	142
		输入	141
D13	PE6	输出	140
		输出允许	139
		输入	138

表 44.7 边界扫描寄存器
145 引脚 TFLGA (6/8)

Pin No	引脚名	类型	位名
D11	PK5	输出	137
		输出允许	136
		输入	135
C12	P70	输出	134
		输出允许	133
		输入	132
C13	PK4	输出	131
		输出允许	130
		输入	129
D12	PE5	输出	128
		输出允许	127
		输入	126
B13	PE4	输出	125
		输出允许	124
		输入	123
A13	PE3	输出	122
		输出允许	121
		输入	120
B12	PE2	输出	119
		输出允许	118
		输入	117
A12	PE1	输出	116
		输出允许	115
		输入	114
C11	PE0	输出	113
		输出允许	112
		输入	111
D9	P64	输出	110
		输出允许	109
		输入	108
C10	P63	输出	107
		输出允许	106
		输入	105
A11	P62	输出	104
		输出允许	103
		输入	102
B11	P61	输出	101
		输出允许	100
		输入	99
A10	PK3	输出	98
		输出允许	97
		输入	96
D8	P60	输出	95
		输出允许	94
		输入	93

表 44.7 边界扫描寄存器
145 引脚 TFLGA (7/8)

Pin No	引脚名	类型	位名
B10	PK2	输出	92
		输出允许	91
		输入	90
C9	PD7	输出	89
		输出允许	88
		输入	87
A9	PD6	输出	83
		输出允许	82
		输入	81
D7	PD5	输出	77
		输出允许	76
		输入	75
B9	PD4	输出	74
		输出允许	73
		输入	72
C8	PD3	输出	68
		输出允许	67
		输入	66
A8	PD2	输出	56
		输出允许	55
		输入	54
C7	PD1	输出	50
		输出允许	49
		输入	48
B8	PD0	输出	44
		输出允许	43
		输入	42
D6	P93	输出	41
		输出允许	40
		输入	39
A7	P92	输出	38
		输出允许	37
		输入	36
B7	P91	输出	35
		输出允许	34
		输入	33
A6	P90	输出	32
		输出允许	31
		输入	30
B6	P47	输出	29
		输出允许	28
		输入	27
C5	P46	输出	26
		输出允许	25
		输入	24

表 44.7 边界扫描寄存器
145 引脚 TFLGA (8/8)

Pin No	引脚名	类型	位名
A5	P45	输出	23
		输出允许	22
		输入	21
E5	P44	输出	20
		输出允许	19
		输入	18
B5	P43	输出	17
		输出允许	16
		输入	15
A4	P42	输出	14
		输出允许	13
		输入	12
C4	P41	输出	11
		输出允许	10
		输入	9
A3	P40	输出	8
		输出允许	7
		输入	6
A2	P07	输出	5
		输出允许	4
		输入	3
To TDO			

44.3 运行说明

在将 RES# 引脚置为 High 电平并且将 EMLE 引脚置为 Low 电平以及将 BSCANP 引脚置为 High 电平时，边界扫描功能有效。

44.3.1 TAP 控制器

TAP 控制器的状态转移图如图 44.2 所示。

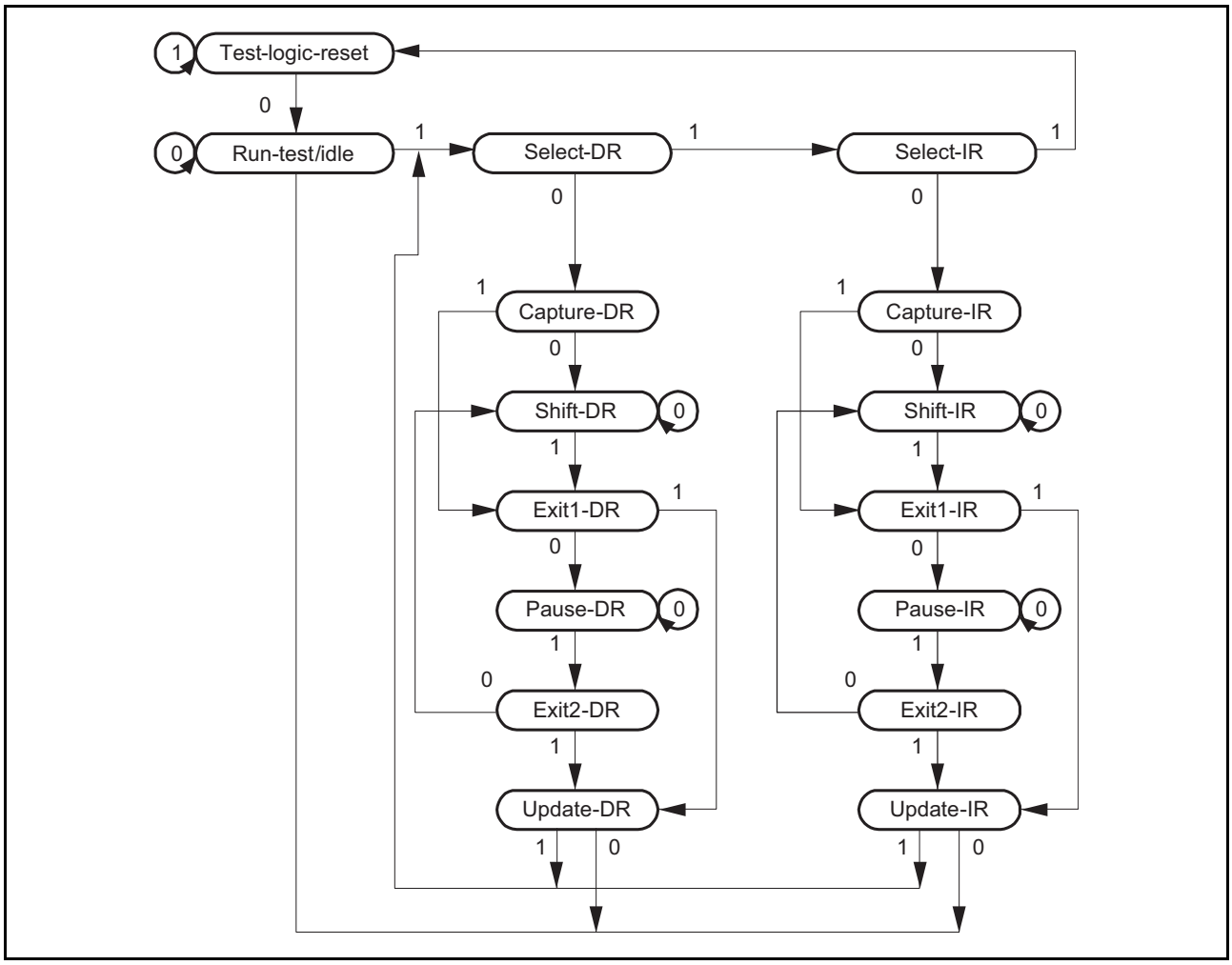


图 44.2 TAP 控制器

44.3.2 命令概要

(1) BYPASS[指令码：1111 1111b]

BYPASS 指令是使 JTBPR 寄存器运行的指令，缩短移位路径，使印刷电路板上的其他 LSI 串行数据的传送速度高速化。在执行此指令时，测试电路对系统电路没有任何影响。

在 TDI 引脚和 TDO 引脚之间连接 JTBPR 寄存器。在 Shift-DR 运行中变为旁路运行。在 Shift-DR 的第 1 个时钟， TDO 为 Low 电平；在以后的 Shift-DR 时钟，从 TDO 输出 TDI。

(2) EXTEST[指令码：0000 0000b]

EXTEST 指令是在将 LSI 安装到印刷电路板时测试外部电路的指令。在执行此指令时，输出引脚用于将测试数据 （已用 SAMPLE/PRELOAD 指令进行了设定）从 JTBSR 寄存器输出到印刷电路板，输入引脚用于将测试结果从印刷电路板取到 JTBSR 寄存器。

(3) SAMPLE/PRELOAD[指令码：0100 0000b]

SAMPLE/PRELOAD 指令是将值从 LSI 的内部电路输入到 JTBSR 寄存器并且从扫描路径输出或者将数据装入扫描路径的指令。在执行此指令时，将 LSI 的输入引脚的信号传输到内部电路并且将内部电路的值从输出引脚输出到外部。在执行此指令时， LSI 的系统电路不受任何影响。

在 SAMPLE 执行过程中，将从输入引脚传送到内部电路的值或者从内部电路传送到输出引脚的瞬态值取到 JTBSR 寄存器，并且从扫描路径中读数据。瞬态值的获取与 Capture-DR 状态的 TCK 的上升沿同步，不妨碍 LSI 的正常运行。

在 PRELOAD 执行过程中，在执行 EXTEST 指令之前先将初始值从扫描路径设定到 JTBSR 寄存器的并行输出锁存器。如果不执行 PRELOAD 而执行 EXTEST 指令，就在最初的扫描顺序结束 （传送到输出锁存器）前从输出引脚输出不定值 （EXTEST 指令总是将并行输出锁存器的内容输出到输出引脚）。

(4) IDCODE[指令码：0101 0101b]

如果选择 IDCODE 指令，就在 TAP 控制器的 Shift-DR 状态下 TDO 引脚从 LSB 开始输出 JTIDR 寄存器的值。在执行此指令时，测试电路对系统电路没有任何影响。在 TAP 控制器的 Test-Logic-Reset 状态下，指令寄存器被初始化为 IDCODE 指令。

(5) CLAMP[指令码：1101 0000b]

如果选择 CLAMP 指令，输出引脚就输出预先通过 SAMPLE/PRELOAD 指令设定的 JTBSR 寄存器的值。在选择了 CLAMP 指令的期间， JTBSR 寄存器的状态与 TAP 控制器的状态无关，保持以前的状态。

此指令将旁路寄存器连接在 TDI 引脚和 TDO 引脚之间，和选择 BYPASS 模式时的运行一样。

(6) HIGHZ[指令码：1000 0000b]

如果选择 HIGHZ 指令，全部的输出引脚就变为高阻抗状态。在选择了 HIGHZ 指令的期间， JTBSR 寄存器的状态与 TAP 控制器的状态无关，保持以前的状态。

此指令将旁路寄存器连接在 TDI 引脚和 TDO 引脚之间，和选择 BYPASS 指令时的运行一样。

44.4 使用时的注意事项

1. 如图44.3所示，在进行串行传送时，从LSB侧开始输入/输出数据。

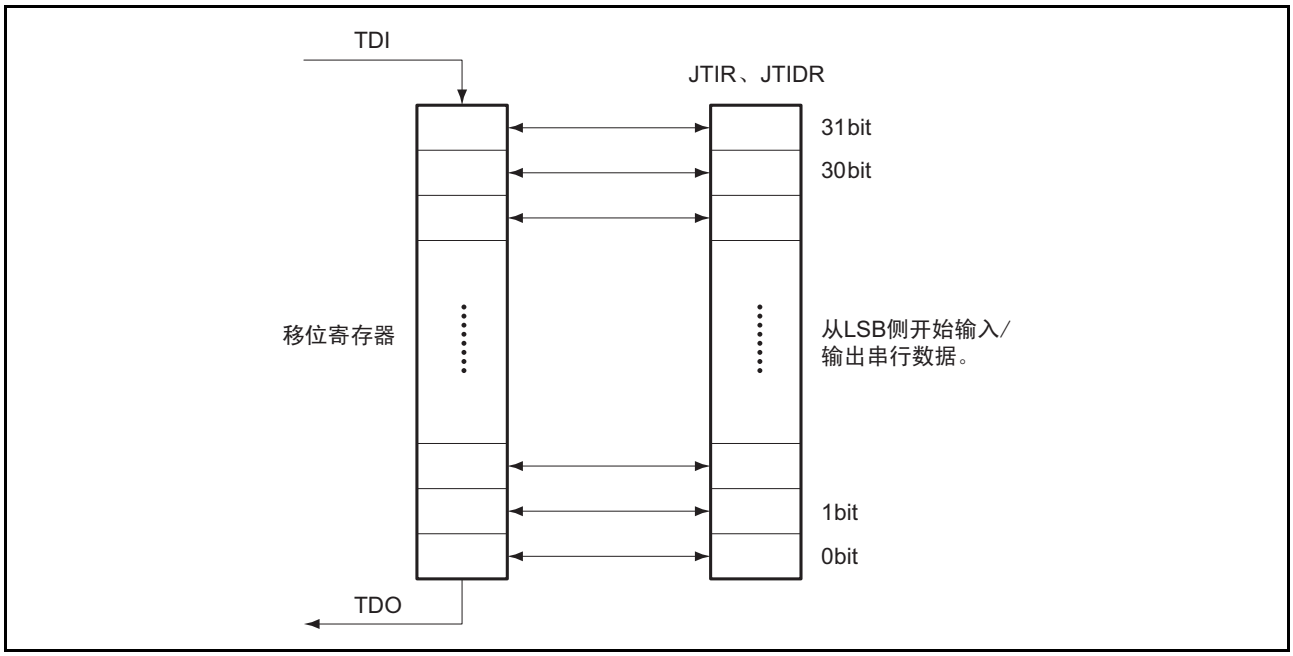


图 44.3 串行数据的输入 / 输出

2. 必须通过上拉电阻将边界扫描的引脚（TCK、TDI、TMS、TRST#）进行上拉。但是，在使用on-chip仿真器时，必须根据使用的on-chip仿真器手册进行TRST#引脚的处理。
   在上拉TRST#引脚时，必须也能在边界扫描时控制TRST#引脚。
3. 电源引脚（VCC、VCL、VSS、AVCC0、AVSS0、VREFH0、VREFL0、VREFH、VREFL、VCC_USB、VSS_USB）不是边界扫描的对象。
4. 时钟引脚 （EXTAL、 XTAL、 XCIN、 XCOUT）不是边界扫描的对象。
5. 复位引脚 （RES#）不是边界扫描的对象。
6. USB专用引脚 （USB0_DP、 USB0_DM）不是边界扫描的对象。
7. 内部振荡器允许引脚 （EMLE）不是边界扫描的对象。
8. 边界扫描引脚 （BSCANP）不是边界扫描的对象。
9. 边界扫描引脚 （TCK、 TMS、 TRST#、 TDI、 TDO）不是边界扫描的对象。
10. 在以下情况下，不能使用边界扫描功能。
    - 复位状态
    - 软件待机模式、深度软件待机模式
11. 如果在将有漏极开路功能的引脚置为漏极开路功能有效的情况下使用，就通过边界扫描功能将输出扫描寄存器和输出寄存器设定为“1”。如果执行EXTEST指令、CLAMP指令或者SAMPLE/PRELOAD指令，引脚就不变为高阻抗而变为High电平输出。
12. P12、P13、P20和P21的引脚结构如图44.4(1)所示。如果将P12、P13、P16、P17、P20、P21、PC0、PC1用作RIIC引脚（SCL0[FM+]、SCL1～SCL3、SDA0[FM+]、SDA1～SDA3），就在使用边界扫描功能时需要注意与漏极开路输出的冲突和寄生电流。
13. P00～P02、P40～P47、P90～P93、PD0～PD7、PE2～PE7的引脚结构如图44.4(2)所示。如果将P00～P02、P40～P47、P90～P93、PD0～PD7、PE2～PE7用作AD输入（AN000～AN020、AN0～AN7），就在使用边界扫描功能时需要注意与AD输入的冲突和寄生电流。
14. P03和P05的引脚结构如图44.4(3)所示。如果将P03和P05用作DA输出 （DA0、 DA1），就在使用边界扫描功能时需要注意与DA输出的冲突和寄生电流。

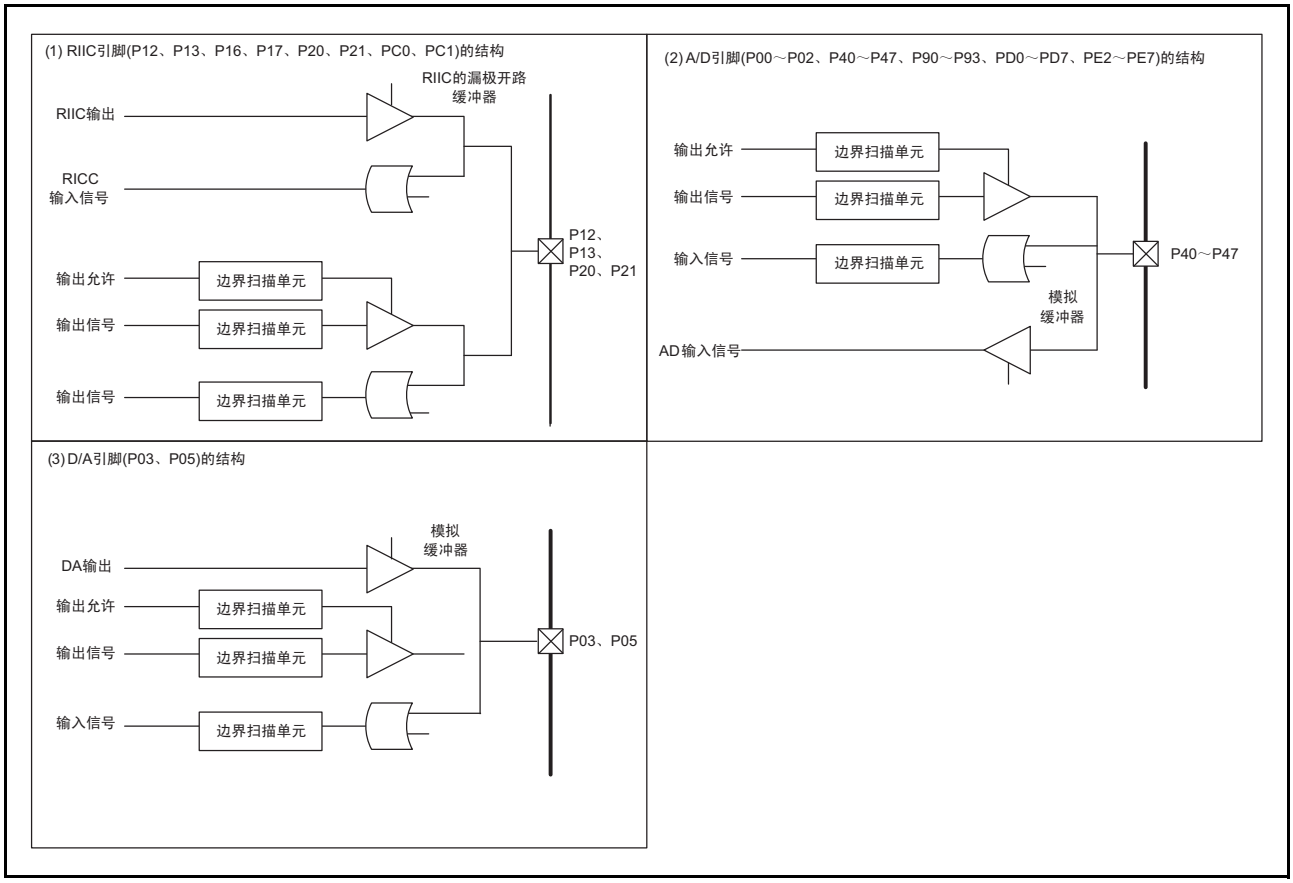

(1) RIIC引脚(P12、P13、P16、P17、P20、P21、PC0、PC1)的结构
RIIC的漏极开路
缓冲器
RIIC输出
RICC
输入信号
输出允许
输出信号
输出信号
边界扫描单元
边界扫描单元
边界扫描单元
P12、
P13、
P20、P21
(2) A/D引脚(P00～P02、P40～P47、P90～P93、PD0～PD7、PE2～PE7)的结构
输出允许
输出信号
输入信号
边界扫描单元
边界扫描单元
边界扫描单元
模拟
缓冲器
AD输入信号
P40～P47
(3) D/A引脚(P03、P05)的结构
模拟
缓冲器
DA输出
输出允许
输出信号
输入信号
边界扫描单元
边界扫描单元
边界扫描单元
P03、P05

图 44.4 各引脚的结构

45. 电特性

45.1 绝对最大额定值

表 45.1 绝对最大额定值

条件：VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V

项目	符号	额定值	单位
电源电压	VCC、 VCC_USB	–0.3 ～ +4.6	V
VBATT 电源电压	V_{batt}	–0.3 ～ +4.6	V
输入电压 （5V 容许对应端口 （注 1）除外）	V_{in}	–0.3 ～ VCC+0.3	V
输入电压 （5V 容许对应端口 （注 1））	V_{in}	–0.3 ～ +5.8	V
基准电源电压	VREFH	–0.3 ～ VCC+0.3	V
模拟电源电压	AVCC （注 2）	–0.3 ～ +4.6	V
模拟输入电压	V_{AN}	–0.3 ～ VCC+0.3	V
工作温度	T_{opr}	–40 ～ +85	°C
保存温度	T_{stg}	–55 ～ +125	°C

【使用时的注意事项】如果在使用 LSI 时超过绝对最大额定值，就可能造成 LSI 的永久性破坏。

注 1. 端口 07 和端口 12 ～ 17、端口 20 ～ 25、端口 30 ～ 34、端口 50 ～ 52、54 ～ 57、端口 67、端口 74 ～ 77、端口 80 ～ 82、端口 A1 ～ A4、 A6、端口 B、端口 C 对应 5V 容许。

注 2. AVCC0 必须连接 VCC。在不使用 A/D 转换器和 D/A 转换器时，不能将 AVCC0、VREFH/VREFH0、AVSS0、VREFL/VREFL0 引脚置为开路。AVCC0 引脚和 VREFH/VREFH0 引脚必须连接 VCC，AVSS0 引脚和 VREFL/VREFL0 引脚必须连接 VSS。

45.2 DC 特性

表 45.2 DC 特性 （1）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目		符号	min	typ	max	单位	测量条件
施密特触发输入电压	IRQ 输入引脚 （注 1） MTU 输入引脚 （注 1） TMR 输入引脚 （注 1） SCI 输入引脚 （注 1） ADTRG# 输入引脚 （注 1） RES#、 NMI	V_{IH}	VCC×0.8	—	VCC+0.3	V	
		V_{IL}	–0.3	—	VCC×0.2		
		ΔV_T	VCC×0.06	—	—		
	RIIC 输入引脚 （SMBus 除外）	V_{IH}	VCC×0.7	—	5.8		
		V_{IL}	–0.3	—	VCC×0.3		
		ΔV_T	VCC×0.05	—	—		
	5V 容许对应端口 （注 2）	V_{IH}	VCC×0.8	—	5.8		
		V_{IL}	–0.3	—	VCC×0.2		
	5V 容许对应端口除外的其他输入引脚 （注 3）	V_{IH}	VCC×0.8	—	VCC+0.3		
		V_{IL}	–0.3	—	VCC×0.2		
输入 High 电平电压 （施密特触发输入引脚除外）	MD 引脚、 EMLE	V_{IH}	VCC×0.9	—	VCC+0.3	V	
	EXTAL、 RSPI、 WAIT#、 TCK		VCC×0.8	—	VCC+0.3		
	XCIN （注 3）		VCC×0.8	—	VCC+0.3		
	D0 ～ D31		VCC×0.7	—	VCC+0.3		
	RIIC （SMBus）		2.1	—	VCC+0.3		
输入 Low 电平电压 （施密特触发输入引脚除外）	MD 引脚、 EMLE	V_{IL}	–0.3	—	VCC×0.1	V	
	EXTAL、 RSPI、 WAIT#、 TCK		–0.3	—	VCC×0.2		
	XCIN （注 3）		–0.3	—	VCC×0.2		
	D0 ～ D31		–0.3	—	VCC×0.3		
	RIIC （SMBus）		–0.3	—	0.8		

注 1. 不与对应 5V 容许的端口兼用。

注 2. 端口 07 和端口 12 ～ 17、端口 20 ～ 25、端口 30 ～ 34、端口 50 ～ 52、54 ～ 57、端口 67、端口 74 ～ 77、端口 80 ～ 82、端口 A1 ～ A4、 A6、端口 B、端口 C 对应 5V 容许。

注 3. 在选择 VBATT 电源时，必须对 P32、 P31、 P30、 XCIN 输入以下范围的信号。
VIH min=VBATT×0.8、 max=VBATT+0.3、 VIL min=–0.3、 max=VBATT×0.2

表 45.3 DC 特性 （2）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目		符号	min	typ	max	单位	测量条件
输出 High 电平电压	全部输出引脚	V_{OH}	VCC–0.5	—	—	V	I_{OH}=–1mA
输出 Low 电平电压	全部输出引脚（RIIC 引脚除外）	V_{OL}	—	—	0.5	V	I_{OL}=1.0mA
	RIIC 引脚		—	—	0.4	V	I_{OL}=3.0mA
			—	—	0.6		I_{OL}=6.0mA
	RIIC 引脚（只限于 P12 和 P13 的通道 0）	V_{OL}	—	—	0.4	V	I_{OL}=15.0mA（ICFER.FMPE=1）
			—	0.4	—		I_{OL}=20.0mA（ICFER.FMPE=1）
输入泄漏电流	RES#、 MD 引脚、EMLE（注 1）、 NMI	$\|I_{in}\|$	—	—	1.0	μA	V_{in}=0V V_{in}=VCC
三态泄漏电流（OFF 状态）	5V 容许对应端口除外	$\|I_{TSI}\|$	—	—	1.0	μA	V_{in}=0V V_{in}=VCC
	5V 容许对应端口		—	—	5.0		
输入上拉 MOS 电流	端口 0 ～ 2、端口 30 ～ 34、 36、 37、端口 4 ～ G、端口 H4、 H5 端口 J3、 J5、端口 K、 L	I_p	–300	—	–10	μA	VCC=2.7 ～ 3.6V V_{in}=0V
输入电容	全部输入引脚（端口 12、 13、 16、 17、端口 20、 21、端口 4、端口 C0、 C1、 EMLE 除外）	C_{in}	—	—	15	pF	V_{in}=0V f=1MHz T_a=25°C
	端口 12、 13、 16、 17、端口 20、 21、端口 4、端口 C0、 C1、 EMLE		—	—	30		
输入下拉 MOS 电流	EMLE	I_p	10	—	300	μA	V_{in}=VCC

注 1. EMLE 引脚的输入泄漏电流只是 V_{in}=0V 时的值。

表 45.4 DC 特性 （3）

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目				符号	min	typ	max	单位	测量条件
消耗电流 （注 1）	高速运行模式	最大运行 （注 2）		I_{CC} （注 3）	—	—	100	mA	ICLK=100MHz PCLKB=50MHz FCLK=50MHz BCLK=50MHz
		正常运行	外围功能：时钟提供状态 （注 4）		—	52	—		
			外围功能：时钟停止状态 （注 4）		—	40	—		
		睡眠模式中			—	25	60		
		全模块时钟停止模式中 （参考值）			—	20	30		
		BGO 运行时的增加 （注 5）			—	15	—		
	低速运行模式 1 （注 6）				—	4	—		ICLK=1MHz
	低速运行模式 2				—	1	—		ICLK=32.768kHz
	软件待机模式				—	0.2	6		
	深度软件待机模式	内部 RAM、 USB 恢复检测部提供电源			—	22	200	μA	
		内部 RAM、 USB 恢复检测部不提供电源	上电复位电路低功耗功能无效		—	21	60		
			上电复位电路低功耗功能有效		—	6.2	28		
	RTC 运行时的增加				—	3	—		
	VCC OFF 时的 RTC 运行				—	1.7	—		VBATT=2.3V
					—	3.3	—		VBATT=3.3V
模拟电源电流 （注 7）	12 位 A/D 转换中 （包括温度传感器）			AI_{CC}	—	2.3	3.2	mA	
	10 位 A/D 转换中				—	1.0	1.65	mA	
	D/A 转换中 （每个单元）				—	0.7	1.0	mA	
	A/D 转换待机或者 D/A 转换待机时 （全部单元）				—	25	35	μA	
	A/D 待机或者 D/A 待机时 （全部单元）				—	0.1	4.0	μA	
基准电源电流	12 位 A/D 转换中			I_{REFH}	—	0.6	0.7	mA	
	12 位 A/D 转换待机时 （1 个单元）				—	0.5	0.6	mA	
	12 位 A/D 待机时 （1 个单元）				—	0.1	2.0	μA	
VCC 上升斜率				SrVCC	8.4	—	20000	μs/V	
VCC 下降斜率 （注 8）				SfVCC	8.4	—	—	μs/V	

注 1. 消耗电流值是指全部的输出引脚为无负载状态并且内部上拉 MOS 为 OFF 状态时的值。

注 2. 外围功能为时钟提供状态， BGO 运行除外。

注 3. 根据以下表达式， I_{CC} 取决于 f(ICLK)。（ICLK:PCLK:BCLK:BCLK 引脚 =8:4:4:2）
I_{CC} max=0.87×f+13 （高速运行模式 [最大运行] 时）
I_{CC} typ=0.35×f+5 （高速运行模式 [正常运行] 时）
I_{CC} typ=1.0×f+3 （低速运行模式 1 时）
I_{CC} max=0.48×f+12 （睡眠时）

注 4. BGO 运行除外。

注 5. 这是在程序执行过程中对 ROM 或者用于保存数据的闪存进行数据编程或者擦除时的增加。

注 6. 外围功能为时钟提供状态， BGO 运行除外。

注 7. 对于 10 位 A/D 和 D/A，电源电流包含基准电流的值。

注 8. 这是使用 VBATT 的情况。

表 45.5 输出容许电流

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目			符号	min	typ	max	单位
输出 Low 电平允许电流（每个引脚的平均值）	全部输出引脚（注 1）	正常驱动	I_{OL}	—	—	2.0	mA
	全部输出引脚（注 2）	高驱动	I_{OL}			3.8	mA
输出 Low 电平允许电流（每个引脚的最大值）	全部输出引脚（注 1）	正常驱动	I_{OL}	—	—	4.0	mA
	全部输出引脚（注 2）	高驱动	I_{OL}			7.6	mA
输出 Low 电平允许电流（总和）	全部输出引脚的总和		ΣI_{OL}	—	—	80	mA
输出 High 电平允许电流（每个引脚的平均值）	全部输出引脚（注 1）	正常驱动	I_{OH}	—	—	–2.0	mA
	全部输出引脚（注 2）	高驱动	I_{OH}	—	—	–3.8	mA
输出 High 电平允许电流（每个引脚的最大值）	全部输出引脚（注 1）	正常驱动	I_{OH}	—	—	–4.0	mA
	全部输出引脚（注 2）	高驱动	I_{OH}	—	—	–7.6	mA
输出 High 电平允许电流（总和）	全部输出引脚的总和		ΣI_{OH}	—	—	–80	mA

【使用时的注意事项】为了确保 LSI 的可靠性，输出电流值不能超过表 45.5 中的值。

注 1. 这是通过能选择正常驱动的引脚设定正常驱动时的值。

注 2. 这是通过能选择正常驱动的引脚设定高驱动时的值或者高驱动固定的引脚的值。

45.3 AC 特性

表 45.6 工作频率 （高速运行模式）

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目		符号	min	typ	max	单位
工作频率	系统时钟 （ICLK）	f	—	—	100	MHz
	外围模块时钟 （PCLKB）		—（注 1）	—	50	
	FlashIF 时钟 （FCLK）		—（注 2）	—	50	
	外部总线时钟 （BCLK）		—	—	50	
	BCLK 引脚输出		—	—	25	
	USB 时钟 （UCLK）		—	—	48	
	IEBUS 时钟 （IECLK）		—	—	44.03	

注 1. 在使用 USB 时， PCLKB 必须大于等于 24MHz。

注 2. 在改写 ROM 和 E2 数据闪存时， FCLK 必须大于等于 8MHz。

表 45.7 工作频率 （低速运行模式 1）

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目		符号	min	typ	max	单位
工作频率	系统时钟 （ICLK）	f	—	—	1	MHz
	外围模块时钟 （PCLKB）		—	—	1	
	FlashIF 时钟 （FCLK）		—	—	1	
	外部总线时钟 （BCLK）		—	—	1	
	BCLK 引脚输出		—	—	1	
	USB 时钟 （UCLK）		—	—	1	
	IEBUS 时钟 （IECLK）		—	—	1	

表 45.8 工作频率 （低速运行模式 2）

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目		符号	min	typ	max	单位
工作频率	系统时钟 （ICLK）	f	32	—	143.75	kHz
	外围模块时钟 （PCLKB）		—	—	143.75	
	FlashIF 时钟 （FCLK）		32	—	143.75	
	外部总线时钟 （BCLK）		—	—	143.75	
	BCLK 引脚输出		—	—	143.75	
	USB 时钟 （UCLK）		—	—	143.75	
	IEBUS 时钟 （IECLK）		—	—	143.75	

45.4 时钟时序

表 45.9 时钟时序 （与副时钟无关）

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目		符号	min	typ	max	单位	测量条件
BCLK 引脚输出的周期时间		t_{Bcyc}	40	—	—	ns	图 45.1
BCLK 引脚输出的 High 电平脉宽		t_{CH}	5	—	—	ns	
BCLK 引脚输出的 Low 电平脉宽		t_{CL}	5	—	—	ns	
BCLK 引脚输出的上升时间		t_{Cr}	—	—	5	ns	
BCLK 引脚输出的下降时间		t_{Cf}	—	—	5	ns	
EXTAL 外部时钟输入的周期时间		t_{EXcyc}	50	—	—	ns	图 45.2
EXTAL 外部时钟输入的 High 电平脉宽		t_{EXH}	20	—	—	ns	
EXTAL 外部时钟输入的 Low 电平脉宽		t_{EXL}	20	—	—	ns	
EXTAL 外部时钟上升时间		t_{EXr}	—	—	5	ns	
EXTAL 外部时钟下降时间		t_{EXf}	—	—	5	ns	
EXTAL 外部时钟输入的待机时间 （注 1）		t_{EXWT}	1	—	—	ms	
主时钟振荡器振荡频率		f_{MAIN}	4	—	16	MHz	
主时钟振荡稳定时间 （晶体）		$t_{MAINOSC}$	10	—	—	ms	图 45.3
主时钟振荡稳定待机时间 （晶体）		$t_{MAINOSCWT}$	20	—	—	ms	
LOCO 时钟周期时间		t_{cyc}	9.4	8	6.96	μs	
低速内部振荡器振荡频率		f_{LOCO}	106.25	125	143.75	kHz	
LOCO 时钟振荡稳定待机时间		t_{LOCOWT}	—	—	20	μs	图 45.4
高速内部振荡器振荡频率		f_{HOCO}	45	50	55	MHz	
HOCO 时钟振荡稳定待机时间 1 （注 2）		$t_{HOCOWT1}$	—	—	1.8	ms	图 45.5
HOCO 时钟振荡稳定待机时间 2		$t_{HOCOWT2}$	—	—	2.0	ms	图 45.6
HOCO 时钟电源稳定时间		t_{HOCOP}	—	—	1	ms	图 45.7
PLL 电路振荡频率		f_{PLL}	104	—	200	MHz	
PLL 时钟振荡稳定时间	在主时钟振荡稳定后开始 PLL 运行。	t_{PLL1}	—	—	500	μs	图 45.8
PLL 时钟振荡稳定待机时间		t_{PLLWT1}	1.5	—	—	ms	
PLL 时钟振荡稳定时间	在主时钟振荡稳定前开始 PLL 运行。	t_{PLL2}	10	—	—	ms	图 45.9
PLL 时钟振荡稳定待机时间		t_{PLLWT2}	11	—	—	ms	

注 1. 这是在将 P36 和 P37 设定为输入并且将主时钟振荡器停止位（MOSCCR.MOSTP）置“0”（运行）后到能使用为止的时间。

注 2. 这是从解除内部复位到 HOCO 的振荡频率达到 fHOCO 的保证范围为止的时间。

表 45.10 时钟时序 （与副时钟有关）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、 VBATT=2.3 ～ 3.6V、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目	符号	min	typ	max	单位	测量条件
副时钟振荡器振荡频率	f_{SUB}	—	32.768	—	kHz	
副时钟振荡稳定时间	t_{SUBOSC}	2	—	—	s	图 45.10
副时钟振荡稳定待机时间	$t_{SUBOSCWT}$	4	—	—	s	

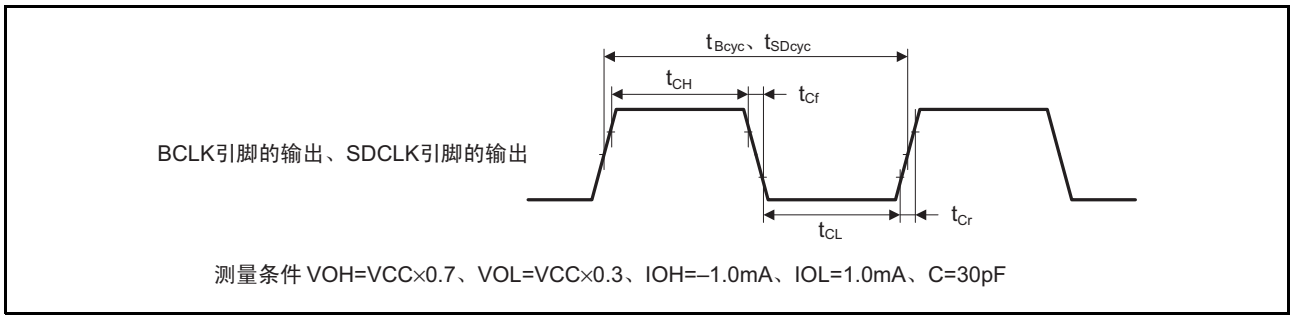


图 45.1 BCLK 引脚输出和 SDCLK 引脚输出的时序

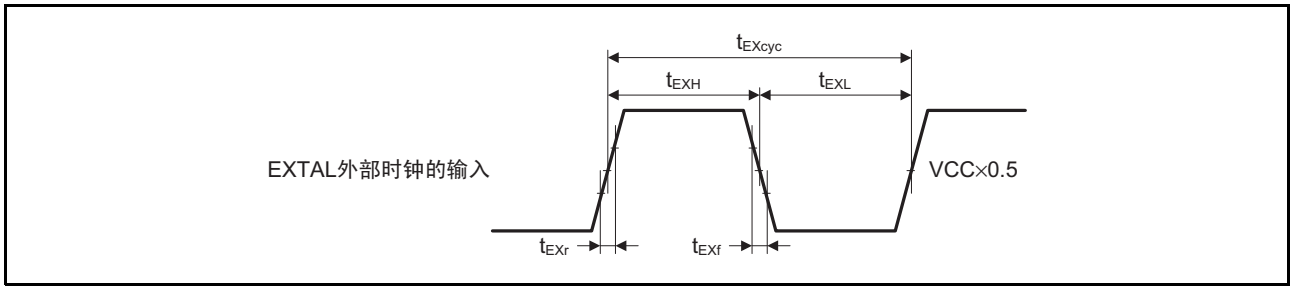


图 45.2 EXTAL 外部时钟输入的时序

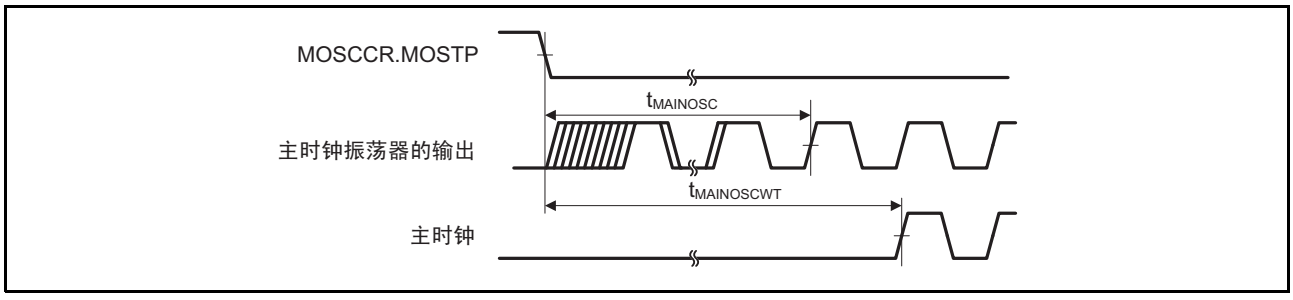


图 45.3 主时钟振荡开始的时序

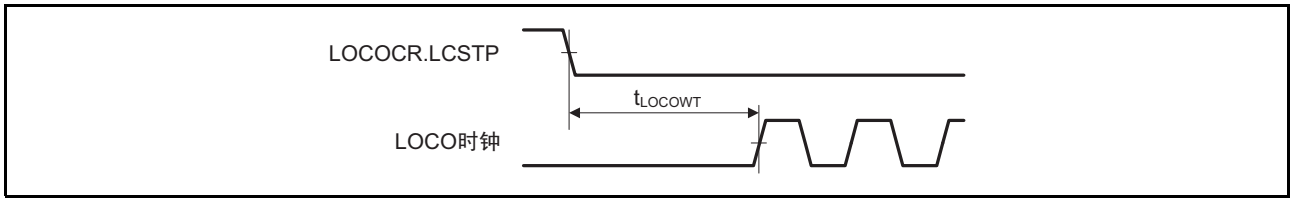


图 45.4 LOCO 时钟振荡开始的时序

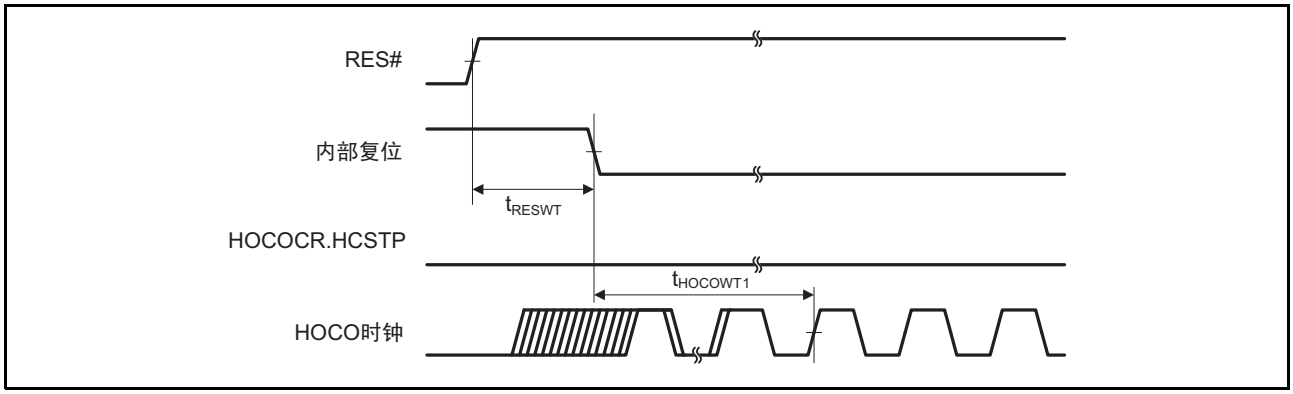


图 45.5 HOCO 时钟振荡开始的时序 （在通过将 OFS1.HOCOEN 位置 “0”来解除复位后）

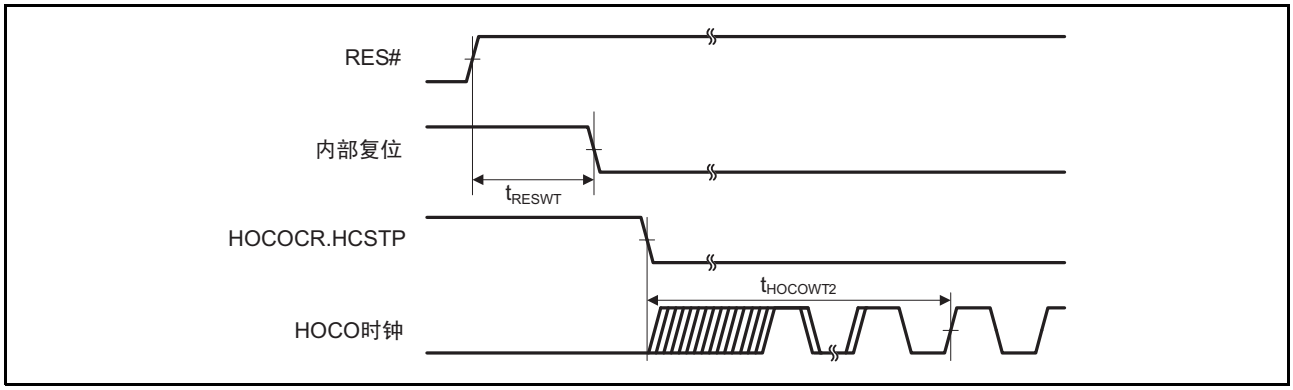


图 45.6 HOCO 时钟振荡开始的时序 （通过设定 HOCOCR.HCSTP 开始振荡）

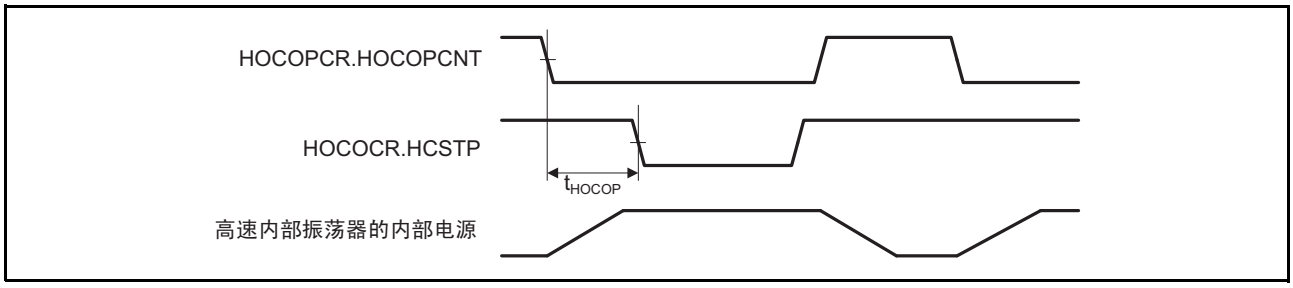


图 45.7 高速内部振荡器电源控制的时序

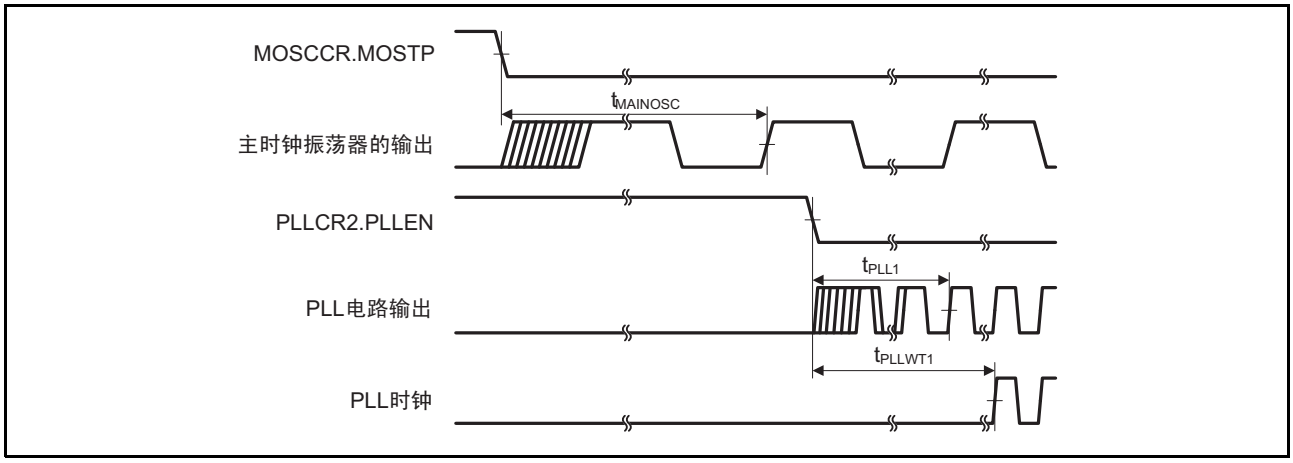


图 45.8 PLL 时钟振荡开始的时序 （在主时钟振荡稳定后使 PLL 运行的情况）

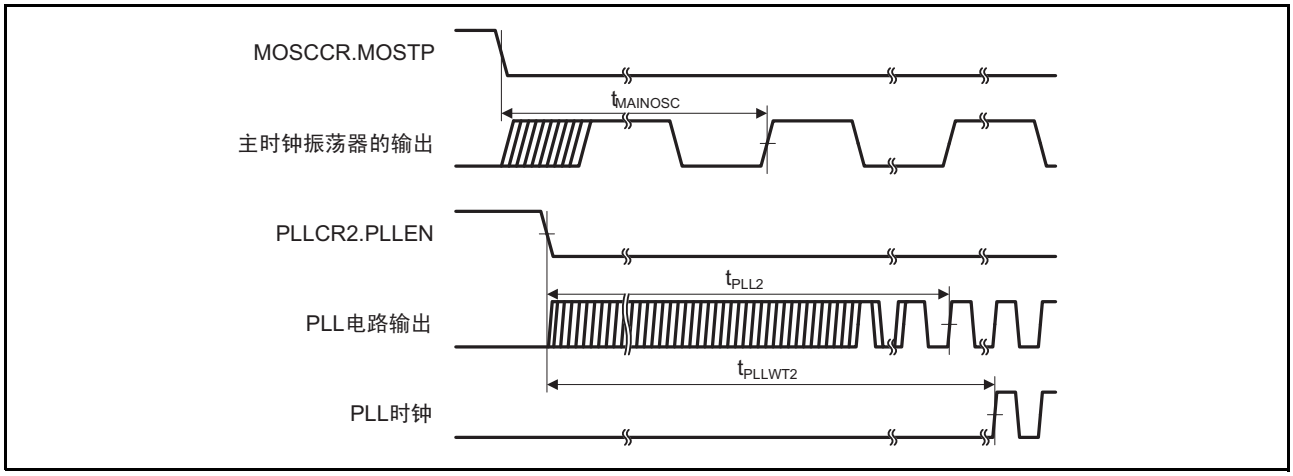


图 45.9 PLL 时钟振荡开始的时序 （不等待主时钟振荡稳定而使 PLL 运行的情况）

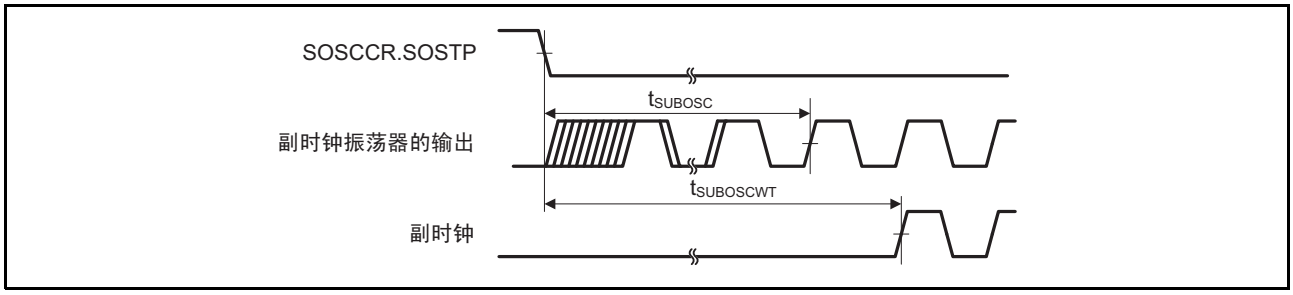


图 45.10 副时钟振荡开始的时序

45.4.1 复位时序

表 45.11 复位时序

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目		符号	min	typ	max	单位	测量条件
RES# 脉宽	接通电源时	t_{RESWP}	2	—	—	ms	图 45.11
	深度软件待机模式	t_{RESWD}	1	—	—	ms	图 45.12
	软件待机模式、 低速运行模式 2	t_{RESWS}	1	—	—	ms	
	上述以外 （不在 ROM 的编程 / 擦除过程中、 E2 数据闪存的编程 / 擦除 / 空白检查过程中）	t_{RESW}	200	—	—	μs	
RES# 解除后的待机时间		t_{RESWT}	59	—	60	t_{cyc}	
内部复位时间 （独立看门狗定时器复位、看门狗定时器复位、软件复位）		t_{RESW2}	112	—	120	t_{cyc}	

注 . 在 ROM 的编程 / 擦除、 E2 数据闪存的编程 / 擦除以及 E2 数据闪存的空白检查过程中，不能通过 RES# 引脚进行复位。详细内容请参照 “42. ROM （保存代码的闪存）” 的 “42.14 使用时的注意事项”。

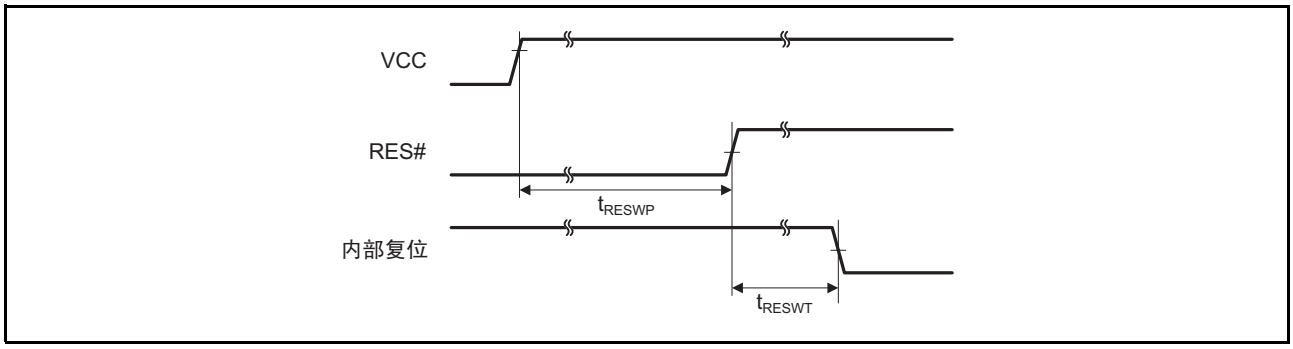


图 45.11 接通电源时的复位输入时序

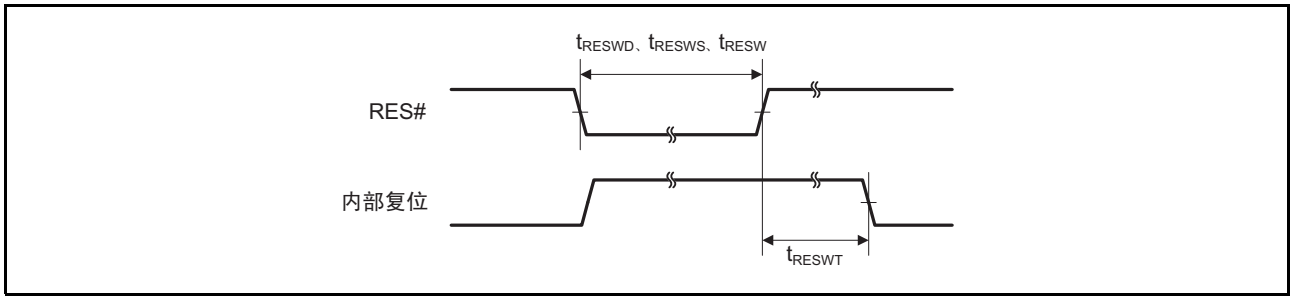


图 45.12 复位输入时序

45.4.2 从低功耗状态的恢复时序

表 45.12 从低功耗状态的恢复时序

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a = T_{opr}$

项目			符号	min	typ	max	单位	测量条件
解除软件待机模式后的恢复时间	主时钟振荡器连接晶体谐振器。	主时钟振荡器运行	t_{SBYMC}	10	—	—	ms	图 45.13
		主时钟振荡器、PLL 电路运行	t_{SBYPC}	10	—	—	ms	
	给主时钟振荡器输入外部时钟。	主时钟振荡器运行	t_{SBYEX}	1	—	—	ms	
		主时钟振荡器、PLL 电路运行	t_{SBYPE}	1	—	—	ms	
	副时钟振荡器运行		t_{SBYSC}	2	—	—	s	
	高速内部振荡器运行		t_{SBYHO}	—	—	2	ms	
	低速内部振荡器或者 IWDT 专用低速时钟振荡器运行		t_{SBYLO}	—	—	800	μs	
解除深度软件待机模式后的恢复时间			t_{DSBY}	—	—	1.0	ms	图 45.14
解除深度软件待机模式后的待机时间			t_{DSBYWT}	45	—	46	t_{cyc}	

注 . 等待时间因执行 WAIT 指令时的各振荡器的状态而不同。多个振荡器振荡时的恢复时间和正在振荡的振荡器中恢复最费时间的振荡器单独振荡时的恢复时间相同。

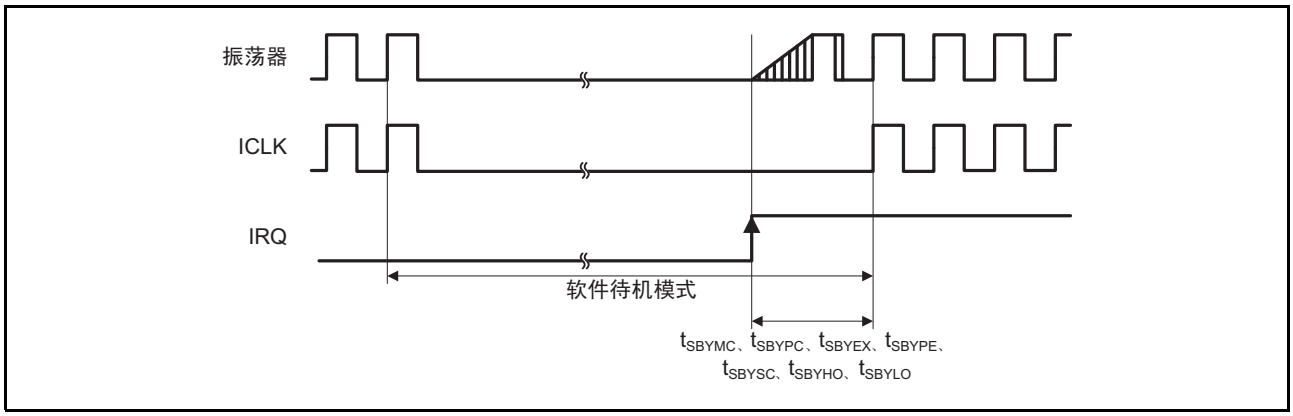


图 45.13 软件待机模式的解除时序

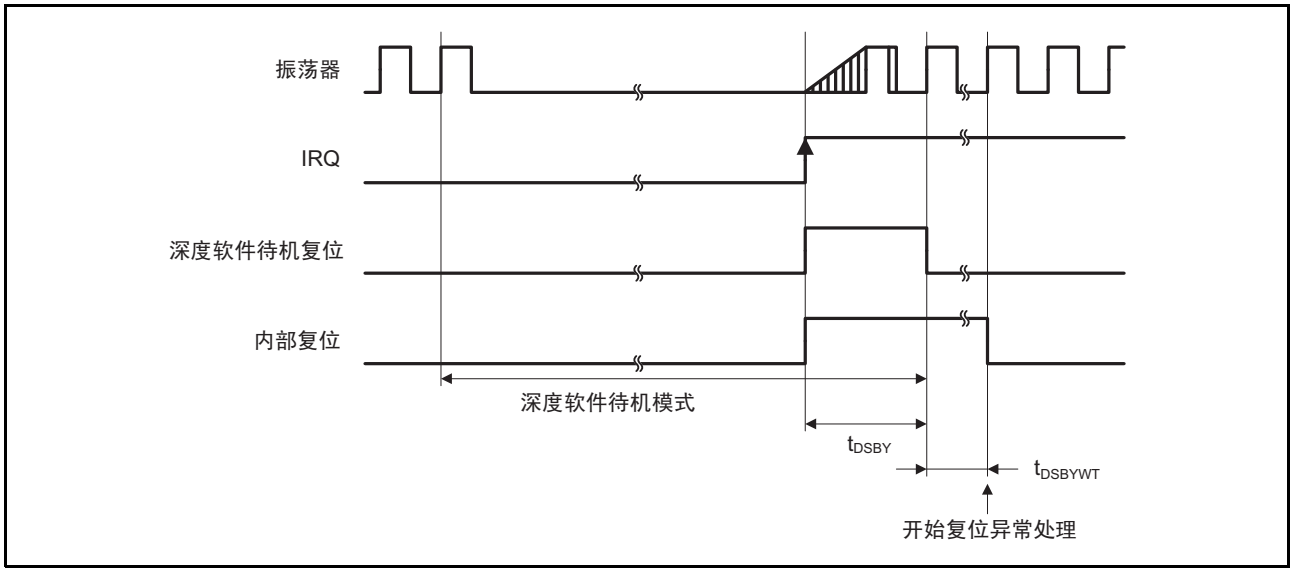


图 45.14 深度软件待机模式的解除时序

45.4.3 控制信号时序

表 45.13 控制信号时序

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目	符号	min	typ	max	单位	测量条件
NMI 脉宽	t_{NMIW}	200	—	—	ns	tc(PCLK)×2 ≤ 200ns、图 45.15
		tc(PCLK)×2				tc(PCLK)×2 > 200ns、图 45.15
IRQ 脉宽	t_{IRQW}	200	—	—	ns	tc(PCLK)×2 ≤ 200ns、图 45.16
		tc(PCLK)×2				tc(PCLK)×2 > 200ns、图 45.16

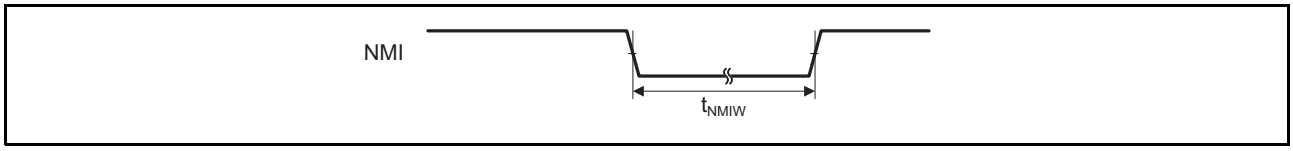


图 45.15 NMI 中断输入时序

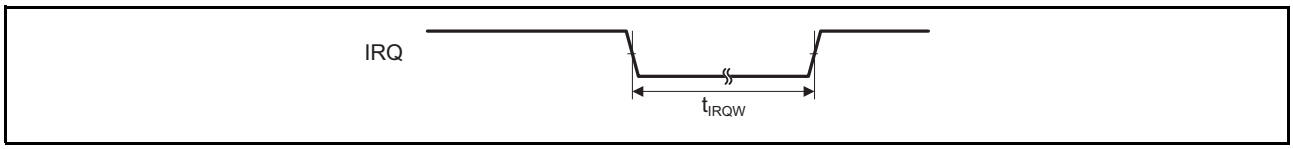


图 45.16 IRQ 中断输入时序

45.4.4 总线时序

表 45.14 总线时序

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
ICLK=8 ～ 100MHz、 BCLK=8 ～ 50MHz、 $T_a=T_{opr}$
输出负载条件：V_{OH}=VCC×0.5、 V_{OL}=VCC×0.5、 I_{OH}=–1.0mA、 I_{OL}=1.0mA、 C=30pF
驱动能力选择控制寄存器选择高驱动输出的情况

项目	符号	min	max	单位	测量条件
地址的延迟时间	t_{AD}	—	20	ns	图 45.17 ～ 图 45.22
字节控制的延迟时间	t_{BCD}	—	20	ns	
CS# 延迟时间	t_{CSD}	—	20	ns	
ALE 延迟时间	t_{ALED}	—	20	ns	
RD# 延迟时间	t_{RSD}	—	20	ns	
读数据的准备时间	t_{RDS}	10	—	ns	
读数据的保持时间	t_{RDH}	0	—	ns	
WR# 延迟时间	t_{WRD}	—	20	ns	
写数据的延迟时间	t_{WDD}	—	20	ns	
写数据的保持时间	t_{WDH}	0	—	ns	
WAIT# 准备时间	t_{WTS}	15	—	ns	图 45.23
WAIT# 保持时间	t_{WTH}	0	—	ns	

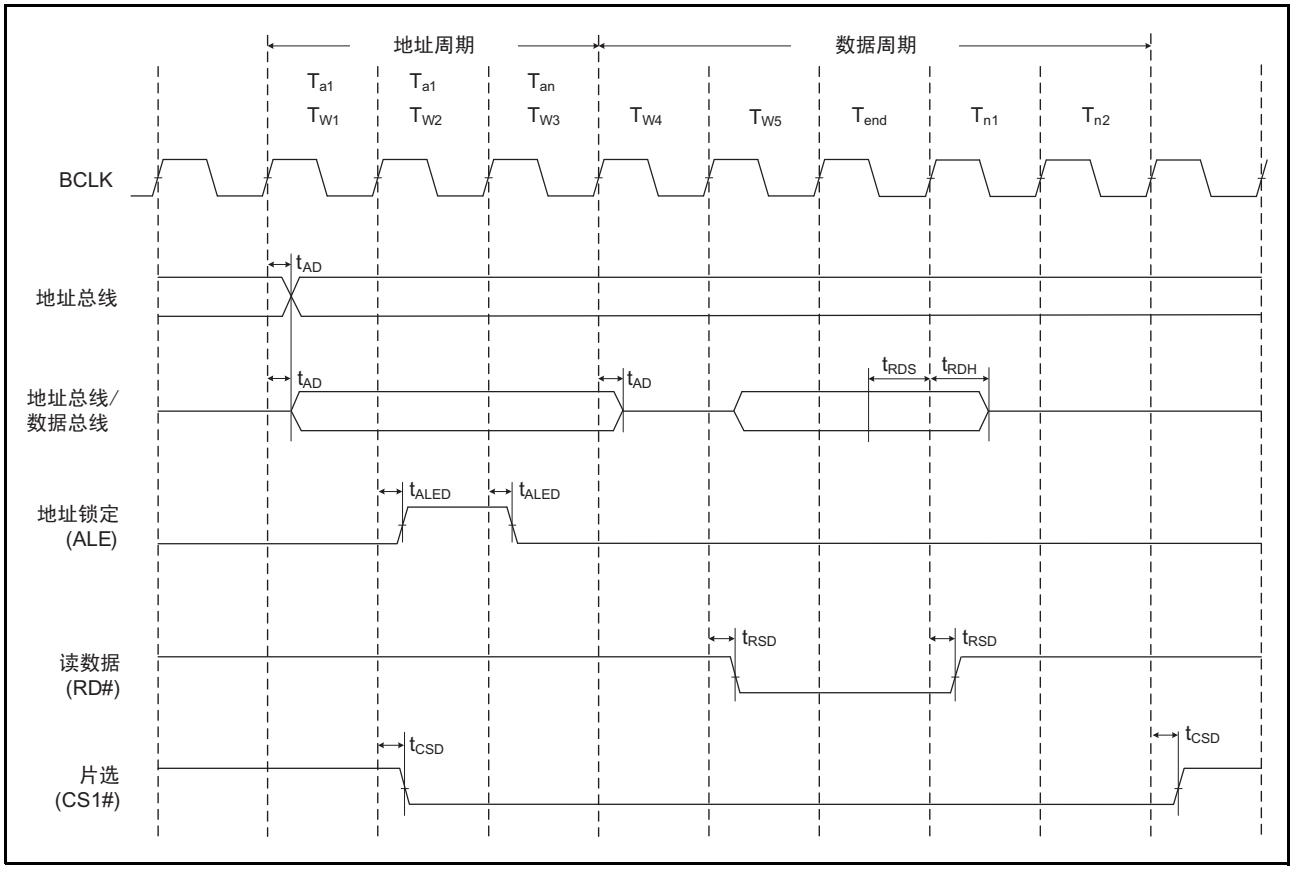


图 45.17 地址 / 数据多路复用总线的读存取时序

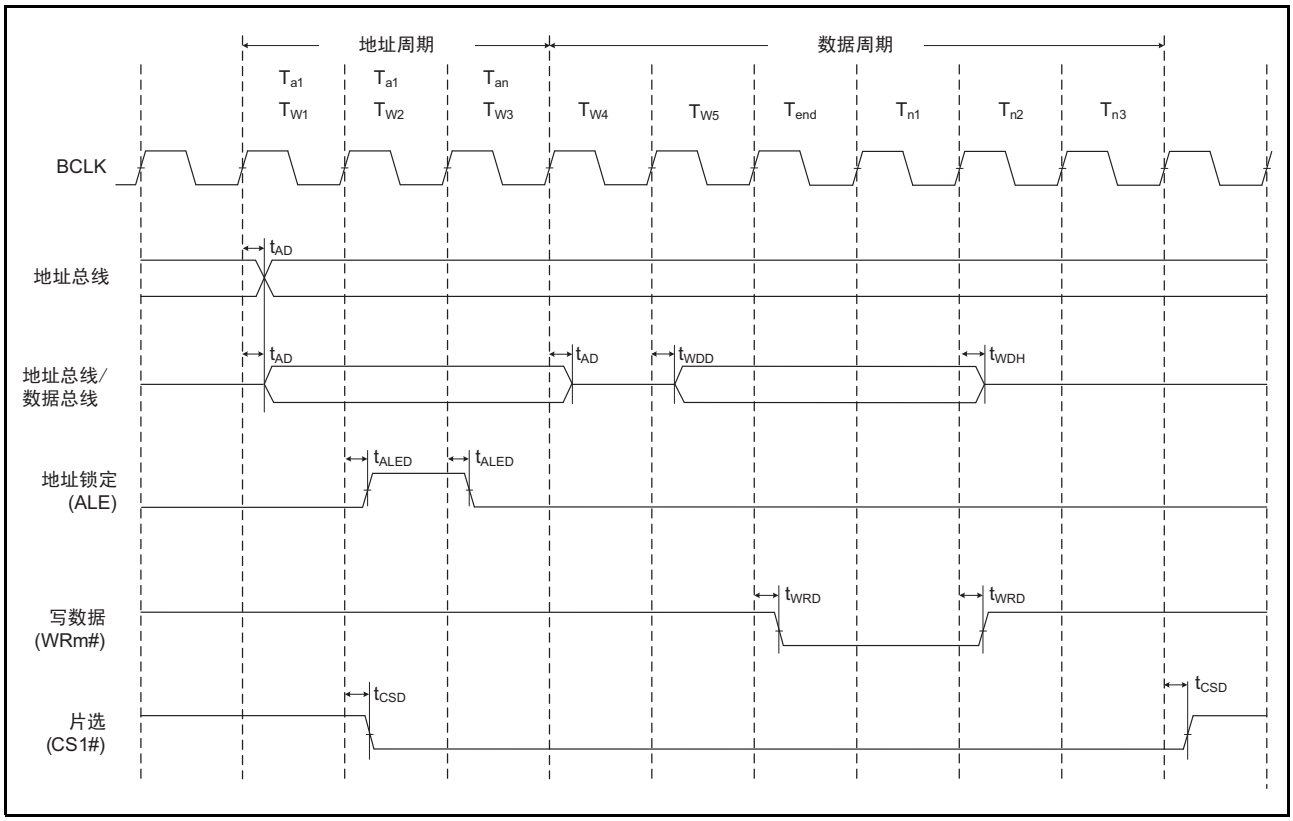


图 45.18 地址 / 数据多路复用总线的写存取时序

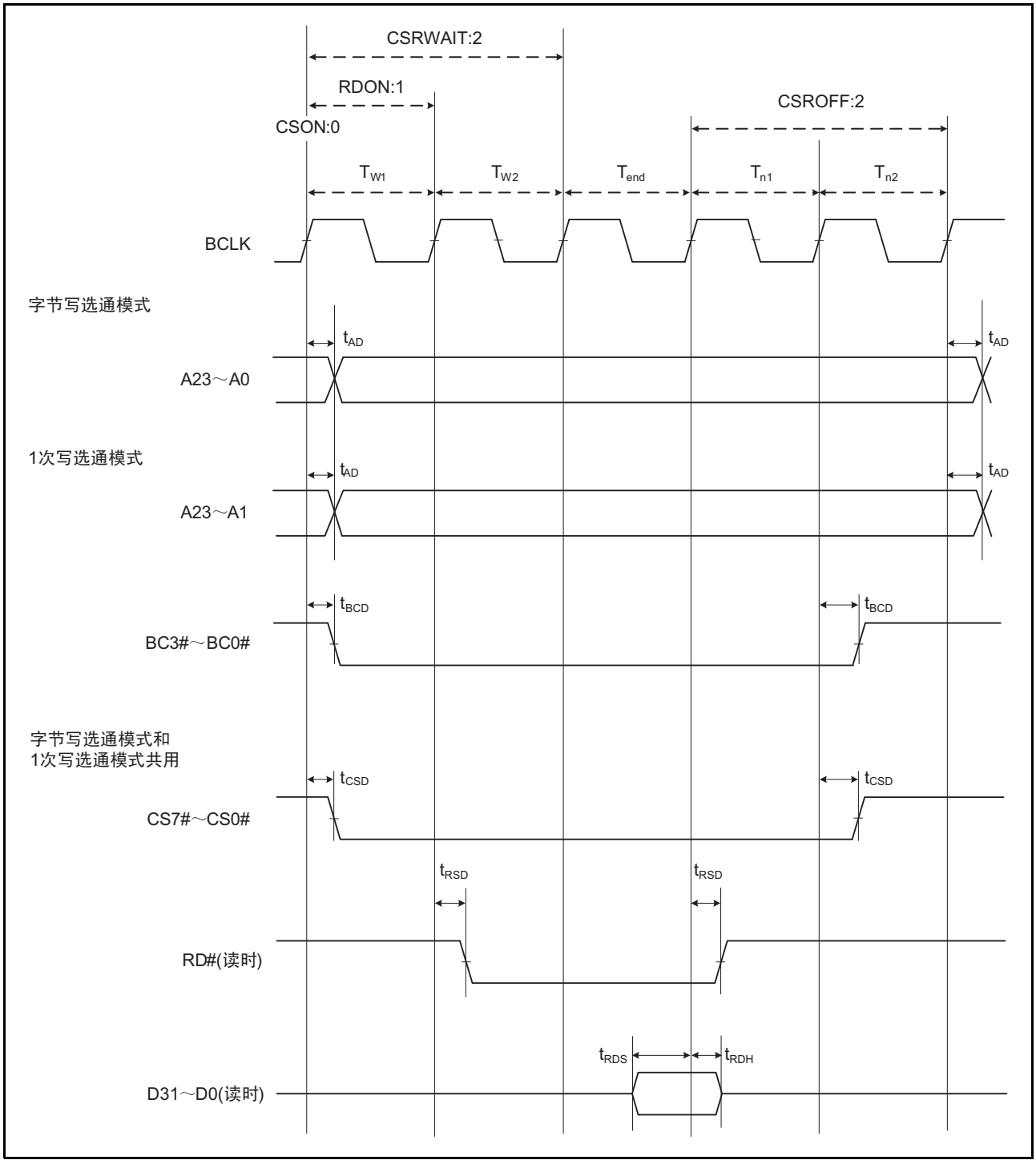
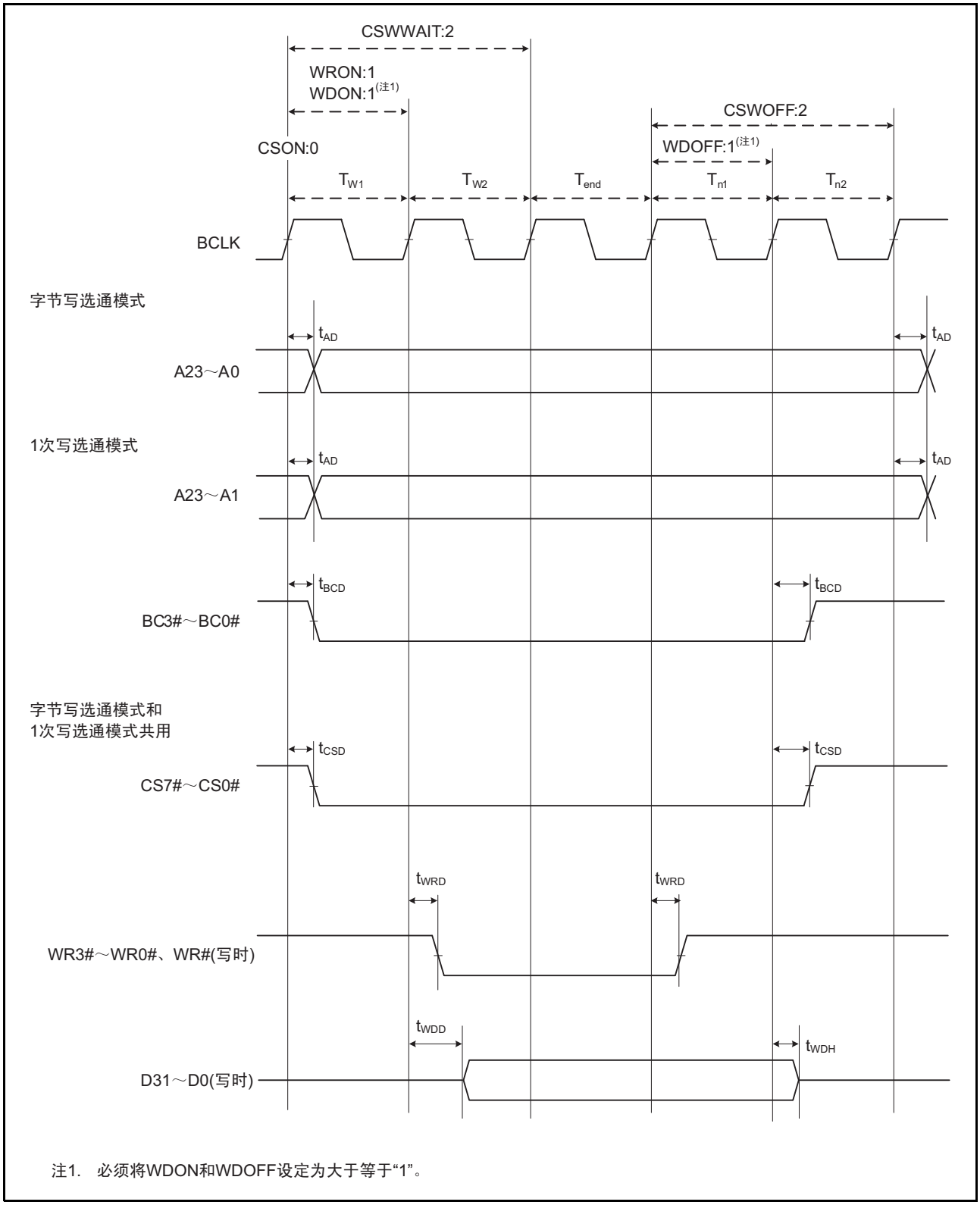


图 45.19 外部总线时序 / 正常读周期 （总线时钟同步）



注1. 必须将WDON和WDOFF设定为大于等于“1”。

图 45.20 外部总线时序 / 正常写周期 （总线时钟同步）

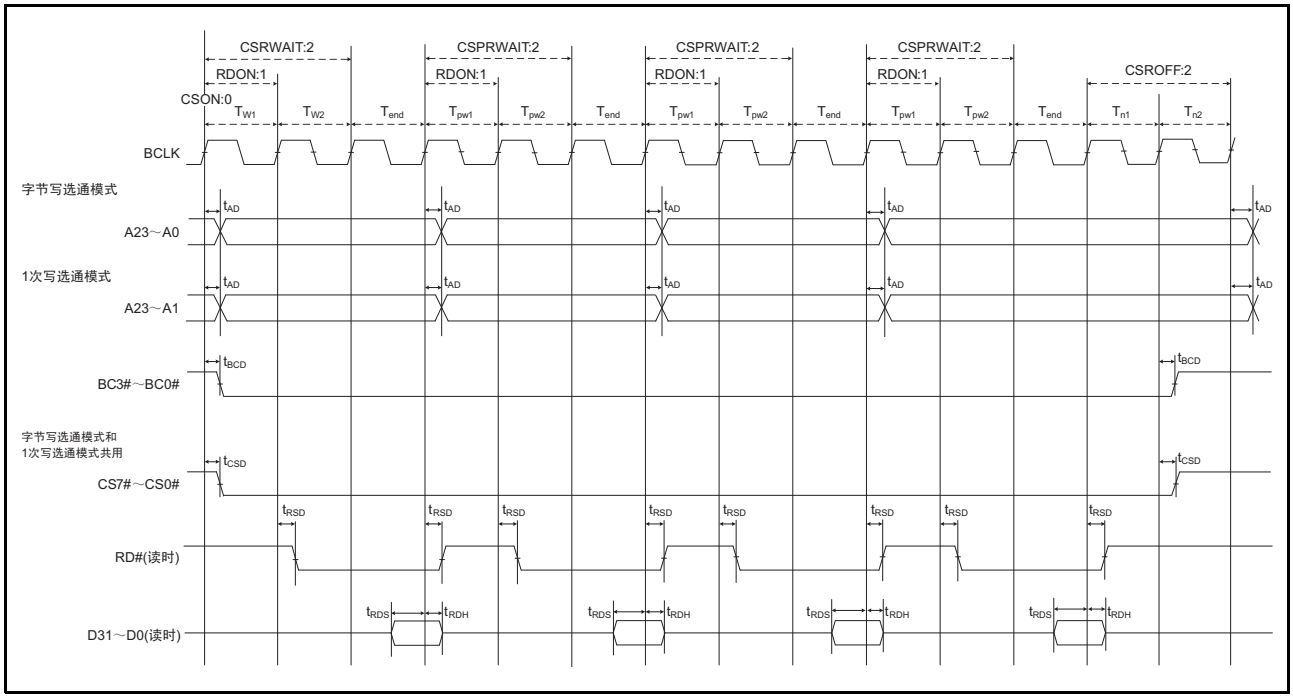


图 45.21 外部总线时序 / 页面读周期 （总线时钟同步）

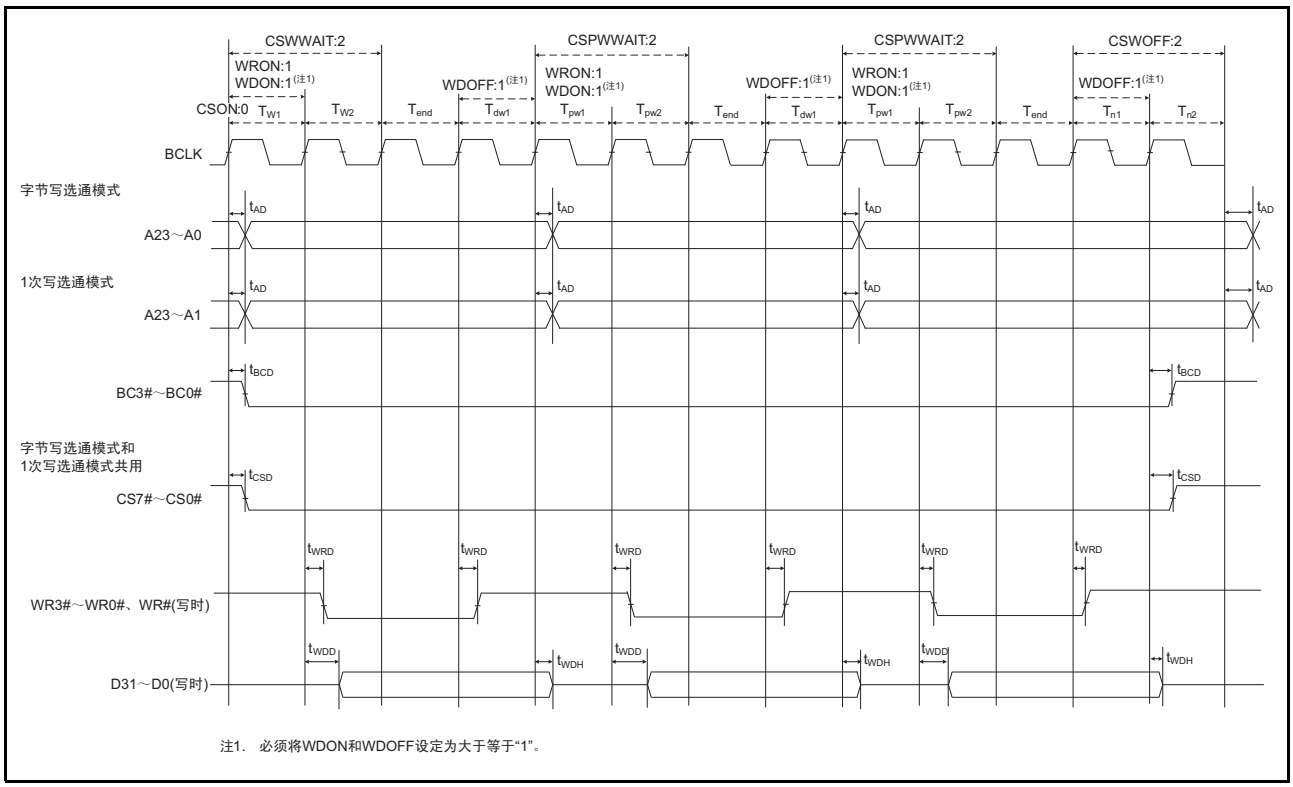


图 45.22 外部总线时序 / 页面写周期 （总线时钟同步）

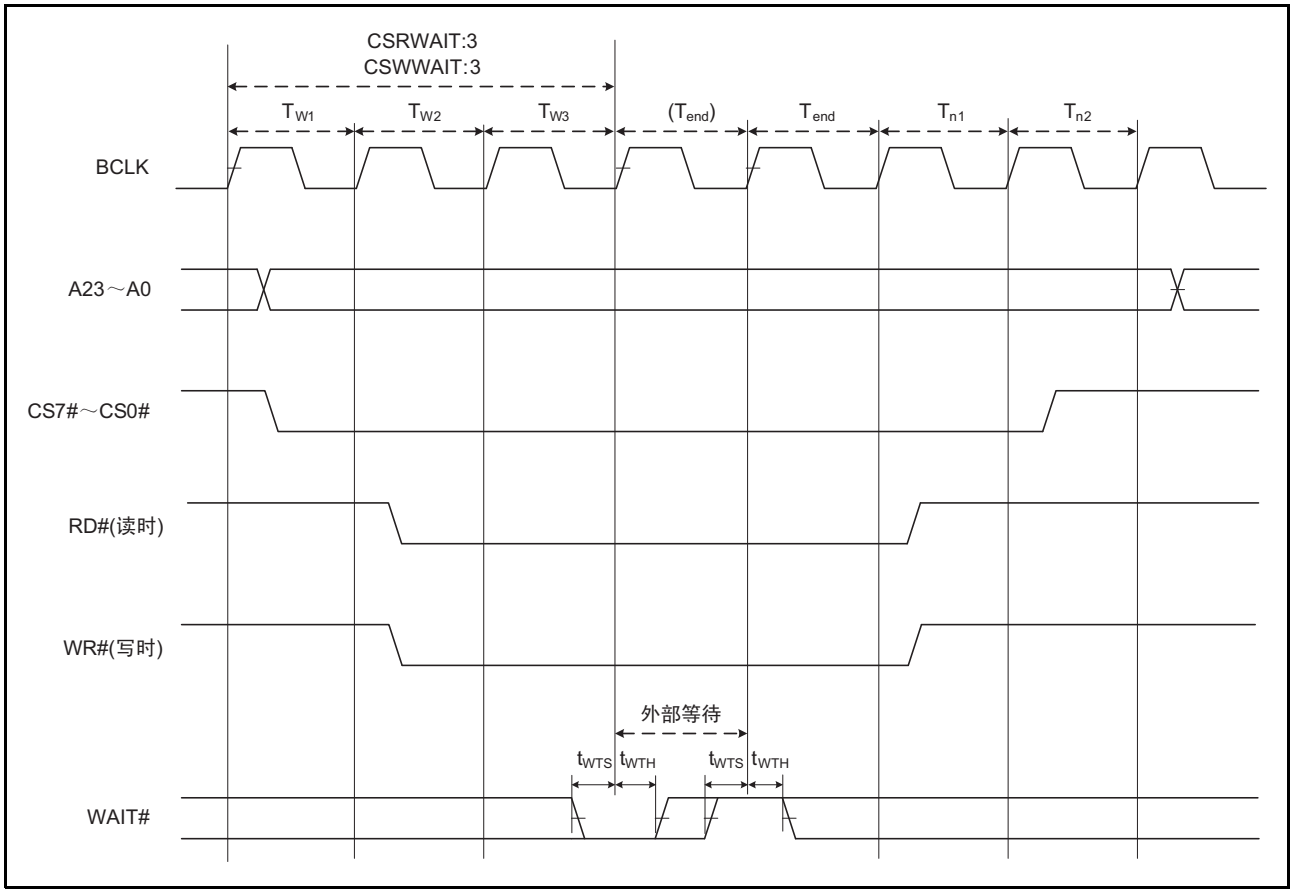


图 45.23 外部总线时序 / 外部等待控制

45.4.5 内部外围模块时序

表 45.15 内部外围模块时序 （1）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$
驱动能力选择控制寄存器选择高驱动输出的情况

项目			符号	min	max	单位 （注 1）	测量条件
I/O 端口	输入数据脉宽		t_{PRW}	1.5	—	t_{Pcyc}	图 45.24
MTU	输入捕捉的输入脉宽	单边沿的指定	t_{TICW}	1.5	—	t_{Pcyc}	图 45.25
		双边沿的指定		2.5	—		
	定时器时钟脉宽	单边沿的指定	t_{TCKWH}、t_{TCKWL}	1.5	—	t_{Pcyc}	图 45.26
		双边沿的指定		2.5	—		
		相位系数模式		2.5	—		
POE	POE# 输入脉宽		t_{POEW}	1.5	—	t_{Pcyc}	图 45.27
8 位定时器	定时器时钟脉宽	单边沿的指定	t_{TMCWH}、t_{TMCWL}	1.5	—	t_{Pcyc}	图 45.28
		双边沿的指定		2.5	—		
SCI	输入时钟周期	异步同步	t_{Scyc}	4	—	t_{Pcyc}	图 45.29
		时钟同步		6	—		
	输入时钟脉宽		t_{SCKW}	0.4	0.6	t_{Scyc}	
	输入时钟上升时间		t_{SCKr}	—	20	ns	
	输入时钟下降时间		t_{SCKf}	—	20	ns	
	输出时钟周期	异步同步	t_{Scyc}	16	—	t_{Pcyc}	
		时钟同步		4	—		
	输出时钟脉宽		t_{SCKW}	0.4	0.6	t_{Scyc}	
	输出时钟的上升时间		t_{SCKr}	—	20	ns	
	输出时钟的下降时间		t_{SCKf}	—	20	ns	
	发送数据的延迟时间	时钟同步	t_{TXD}	—	40	ns	图 45.30
	接收数据的准备时间	时钟同步	t_{RXS}	40	—	ns	
	接收数据的保持时间	时钟同步	t_{RXH}	40	—	ns	
A/D 转换器	10 位 A/D 转换器的触发输入脉宽		t_{TRGW}	1.5	—	t_{Pcyc}	图 45.31
	12 位 A/D 转换器的触发输入脉宽			1.5	—		

注 1. t_{Pcyc}：PCLK 的周期

表 45.16 内部外围模块时序 （2）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V（注 1）、 VREFH/VREFH0=3.0V ～ AVCC0（注 1）、
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$
驱动能力选择控制寄存器选择高驱动输出的情况

项目				符号	min	max	单位（注 2）	测量条件
RSPI	RSPCK 时钟周期	主控		t_{SPcyc}	2	4096	t_{Pcyc}	图 45.32
		从属			8	4096		
	RSPCK 时钟的 High 电平脉宽	主控		t_{SPCKWH}	$(t_{SPcyc}-t_{SPCKR}-t_{SPCKF})/2-3$	—	ns	
		从属			$(t_{SPcyc}-t_{SPCKR}-t_{SPCKF})/2$	—		
	RSPCK 时钟的 Low 电平脉宽	主控		t_{SPCKWL}	$(t_{SPcyc}-t_{SPCKR}-t_{SPCKF})/2-3$	—	ns	
		从属			$(t_{SPcyc}-t_{SPCKR}-t_{SPCKF})/2$	—		
	RSPCK 时钟的 上升 / 下降时间	输出		t_{SPCKr}、t_{SPCKf}	—	5	ns	
		输入			—	1	μs	
	数据输入的准备时间	主控	VCC ≥ 3.0V	t_{SU}	15	—	ns	图45.33～图 45.36
			VCC < 3.0V		20	—		
		从属			$20-2\times t_{Pcyc}$	—		
	数据输入的保持时间	主控		t_H	0	—	ns	
		从属			$20+2\times t_{Pcyc}$	—		
	SSL 准备时间	主控		t_{LEAD}	1	8	t_{SPcyc}	
		从属			4	—	t_{Pcyc}	
	SSL 保持时间	主控		t_{LAG}	1	8	t_{SPcyc}	
		从属			4	—	t_{Pcyc}	
	数据输出的延迟时间	主控		t_{OD}	—	18	ns	
		从属			—	$3\times t_{Pcyc}+40$		
	数据输出的保持时间	主控		t_{OH}	0	—	ns	
		从属			0	—		
	连续发送的延迟时间	主控		t_{TD}	$t_{SPcyc}+2\times t_{Pcyc}$	$8\times t_{SPcyc}+2\times t_{Pcyc}$	ns	
		从属			$4\times t_{Pcyc}$	—		
	MOSI 和 MISO 的 上升 / 下降时间	输出		t_{Dr}、t_{Df}	—	5	ns	
		输入			—	1	μs	
	SSL 上升 / 下降时间	输出		t_{SSLr}、t_{SSLf}	—	5	ns	
		输入			—	1	μs	
	从属存取时间			t_{SA}	—	4	t_{Pcyc}	图 45.35、图 45.36
	从属输出释放时间			t_{REL}	—	3	t_{Pcyc}	

注 1. 要在 VCC 低于 3.0V 的情况下使用时，请向本公司的营业窗口询问。

注 2. t_{Pcyc}：PCLK 的周期

表 45.17 内部外围模块时序 （3）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$
驱动能力选择控制寄存器选择高驱动输出的情况

项目		符号	min	max	单位 （注 1）	测量条件
简易 SPI	SCK 时钟周期输出 （主控）	t_{SPcyc}	4	65536	t_{Pcyc}	图 45.32
	SCK 时钟周期输入 （从属）		8	65536		
	SCK 时钟的 High 电平脉宽	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK 时钟的 Low 电平脉宽	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK 时钟的上升 / 下降时间	t_{SPCKr}、 t_{SPCKf}	—	20	ns	
	数据输入的准备时间	t_{SU}	40	—	ns	图45.33～
	数据输入的保持时间	t_H	40	—	ns	图 45.36
	SS 输入的准备时间	t_{LEAD}	1	—	t_{SPcyc}	
	SS 输入的保持时间	t_{LAG}	1	—	t_{SPcyc}	
	数据输出的延迟时间	t_{OD}	—	40	ns	
	数据输出的保持时间	t_{OH}	10	—	ns	
	数据上升 / 下降时间	t_{Dr}、 t_{Df}	—	20	ns	
	SS 输入的上升 / 下降时间	t_{SSLr}、 t_{SSLf}	—	20	ns	
	从属存取时间	t_{SA}	—	5	t_{Pcyc}	图 45.35
	从属输出释放时间	t_{REL}	—	5	t_{Pcyc}	图 45.36

注 1. t_{Pcyc}：PCLK 的周期

表 45.18 内部外围模块时序 （4）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$
驱动能力选择控制寄存器选择高驱动输出的情况

项目		符号	min （注 1、注 2）	max	单位	测量条件
RIIC （Standard-mode、SMBus） ICFER.FMPE=0	SCL 输入的周期时间	t_{SCL}	8(10)×(1/PCLK)+ 1300	—	ns	图 45.37
	SCL 输入的 High 电平脉宽	t_{SCLH}	3(5)×(1/PCLK)+300	—	ns	
	SCL 输入的 Low 电平脉宽	t_{SCLL}	5×(1/PCLK)+1000	—	ns	
	SCL 输入和 SDA 输入的上升时间	t_{Sr}	—	1000	ns	
	SCL 输入和 SDA 输入的下降时间	t_{Sf}	—	300	ns	
	SCL 输入和 SDA 输入尖峰脉冲的消除时间	t_{SP}	0	4×(1/PCLK)	ns	
	SDA 输入的总线空闲时间	t_{BUF}	5×(1/PCLK)+1000	—	ns	
	开始条件输入的保持时间	t_{STAH}	3(5)×(1/PCLK)+300	—	ns	
	重新发送开始条件输入的准备时间	t_{STAS}	5×(1/PCLK)+1000	—	ns	
	停止条件输入的准备时间	t_{STOS}	3(5)×(1/PCLK)+300	—	ns	
	数据输入的准备时间	t_{SDAS}	250	—	ns	
	数据输入的保持时间	t_{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C_b	—	400	pF	
RIIC （Fast-mode）	SCL 输入的周期时间	t_{SCL}	8(10)×(1/PCLK)+ 600	—	ns	
	SCL 输入的 High 电平脉宽	t_{SCLH}	3(5)×(1/PCLK)+300	—	ns	
	SCL 输入的 Low 电平脉宽	t_{SCLL}	5×(1/PCLK)+300	—	ns	
	SCL 输入和 SDA 输入的上升时间	t_{Sr}	$20+0.1C_b$	300	ns	
	SCL 输入和 SDA 输入的下降时间	t_{Sf}	$20+0.1C_b$	300	ns	
	SCL 输入和 SDA 输入尖峰脉冲的消除时间	t_{SP}	0	4×(1/PCLK)	ns	
	SDA 输入的总线空闲时间	t_{BUF}	5×(1/PCLK)+300	—	ns	
	开始条件输入的保持时间	t_{STAH}	3(5)×(1/PCLK)+300	—	ns	
	重新发送开始条件输入的准备时间	t_{STAS}	5×(1/PCLK)+300	—	ns	
	停止条件输入的准备时间	t_{STOS}	3(5)×(1/PCLK)+300	—	ns	
	数据输入的准备时间	t_{SDAS}	100	—	ns	
	数据输入的保持时间	t_{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C_b	—	400	pF	

注 1. （ ）内的数值表示在 ICFER.NFE 为 “1” 并且将数字滤波器置为有效的状态下 ICMR3.NF[1:0] 为 “11b” 的情况。
注 2. Cb 是总线的电容总和。

表 45.19 内部外围模块时序 （5）

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$
驱动能力选择控制寄存器选择高驱动输出的情况

项目		符号	min （注 1、注 2）	max	单位	测量条件
RIIC （Fast-mode+） ICFER.FMPE=1	SCL 输入的周期时间	t_{SCL}	8(10)×(1/PCLK)+ 240	—	ns	图 45.37
	SCL 输入的 High 电平脉宽	t_{SCLH}	3(5)×(1/PCLK)+120	—	ns	
	SCL 输入的 Low 电平脉宽	t_{SCLL}	5×(1/PCLK)+120	—	ns	
	SCL 输入和 SDA 输入的上升时间	t_{Sr}	—	120	ns	
	SCL 输入和 SDA 输入的下降时间	t_{Sf}	—	120	ns	
	SCL 输入和 SDA 输入尖峰脉冲的消除时间	t_{SP}	0	4×(1/PCLK)	ns	
	SDA 输入的总线空闲时间	t_{BUF}	5×(1/PCLK)+120	—	ns	
	开始条件输入的保持时间	t_{STAH}	3(5)×(1/PCLK)+120		ns	
	重新发送开始条件输入的准备时间	t_{STAS}	5×(1/PCLK)+120	—	ns	
	停止条件输入的准备时间	t_{STOS}	3(5)×(1/PCLK)+120	—	ns	
	数据输入的准备时间	t_{SDAS}	50	—	ns	
	数据输入的保持时间	t_{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C_b	—	550	pF	
简易 IIC （Standard-mode）	SDA 输入的上升时间	t_{Sr}	—	1000	ns	
	SDA 输入的下降时间	t_{Sf}	—	300	ns	
	SDA 输入尖峰脉冲的消除时间	t_{SP}	0	4×(1/PCLK)	ns	
	数据输入的准备时间	t_{SDAS}	250	—	ns	
	数据输入的保持时间	t_{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C_b	—	400	pF	
简易 IIC （Fast-mode）	SCL 和 SDA 输入的上升时间	t_{Sr}	$20+0.1C_b$	300	ns	
	SCL 和 SDA 输入的下降时间	t_{Sf}	$20+0.1C_b$	300	ns	
	SCL 和 SDA 输入尖峰脉冲的消除时间	t_{SP}	0	4×(1/PCLK)	ns	
	数据输入的准备时间	t_{SDAS}	100	—	ns	
	数据输入的保持时间	t_{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C_b	—	400	pF	

注 1. （ ）内的数值表示在 ICFER.NFE 为 “1” 并且将数字滤波器置为有效的状态下 ICMR3.NF[1:0] 为 “11b” 的情况。
注 2. Cb 是总线的电容总和。

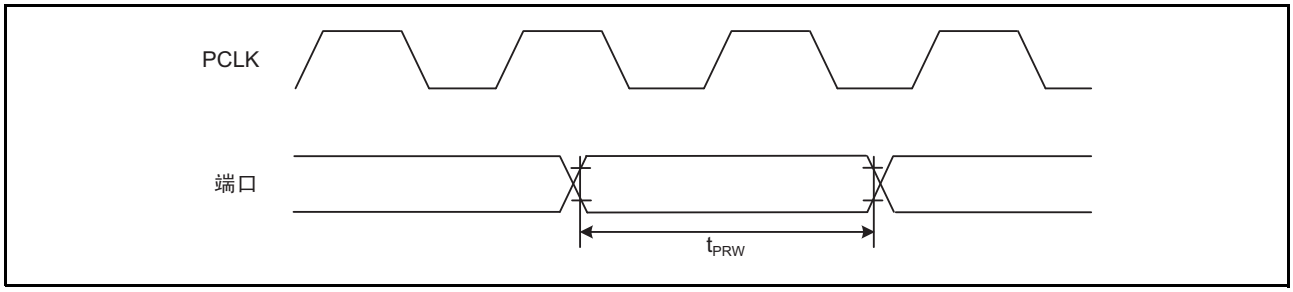


图 45.24 I/O 端口输入的时序

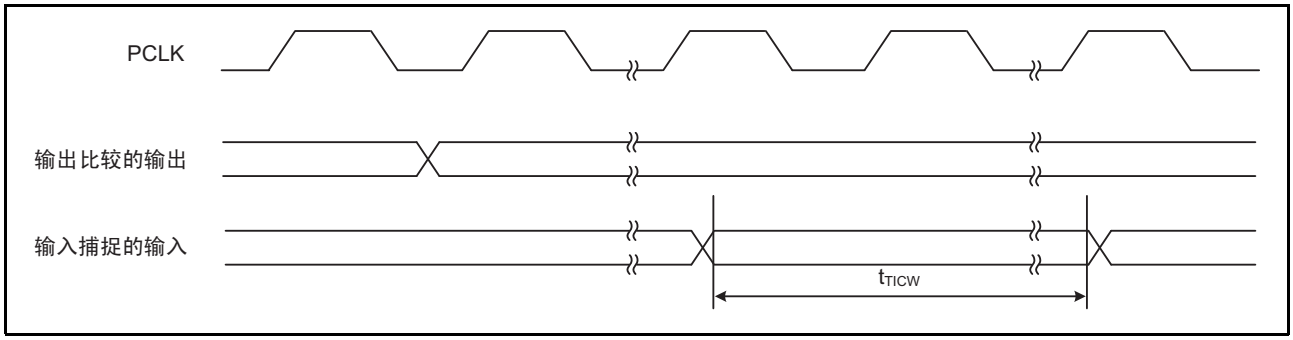


图 45.25 MTU 输入 / 输出的时序

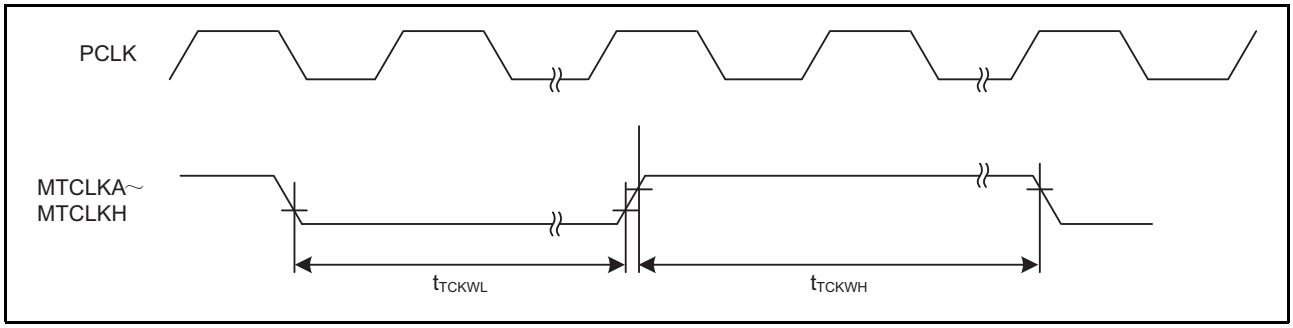


图 45.26 MTU 时钟输入的时序

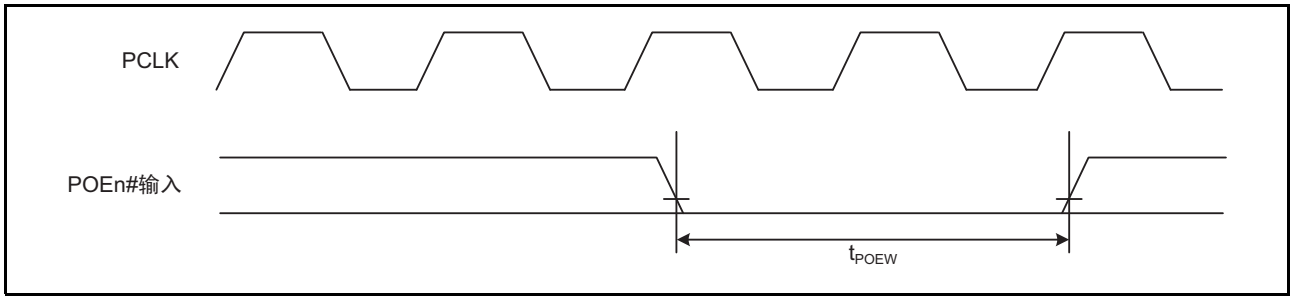


图 45.27 POE# 输入的时序

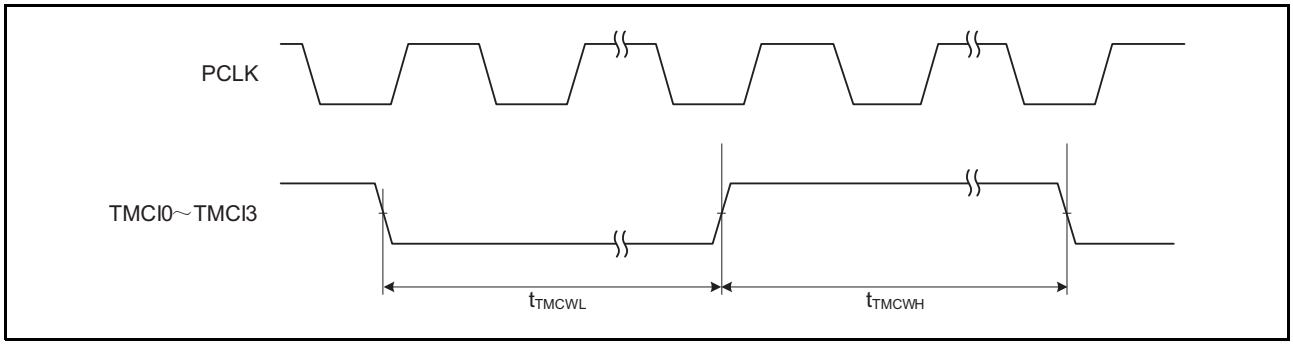


图 45.28 8 位定时器时钟输入的时序

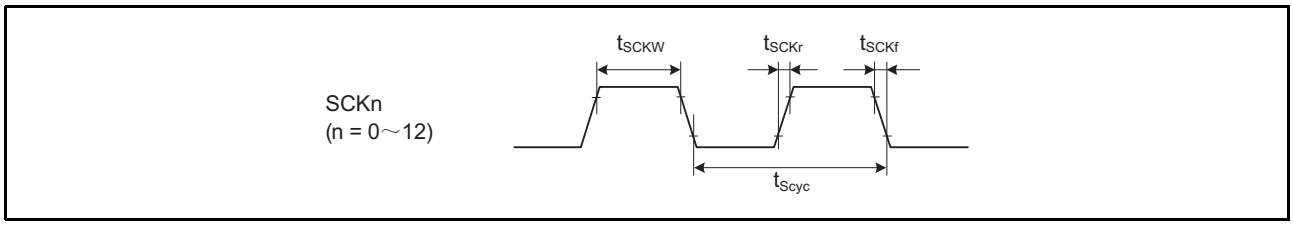


图 45.29 SCK 时钟输入的时序

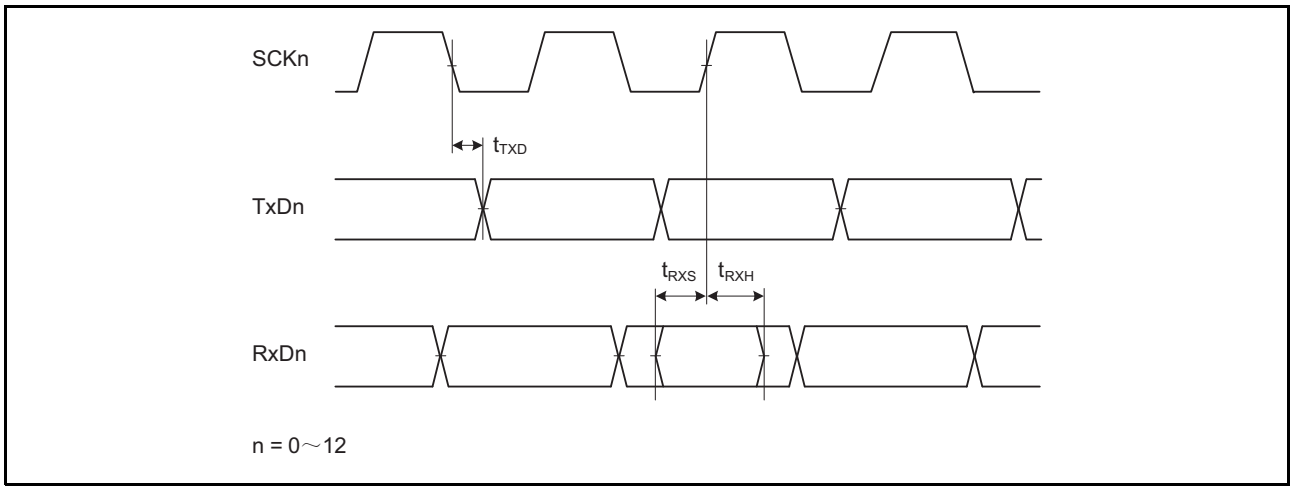


图 45.30 SCI 输入 / 输出时序 / 时钟同步模式

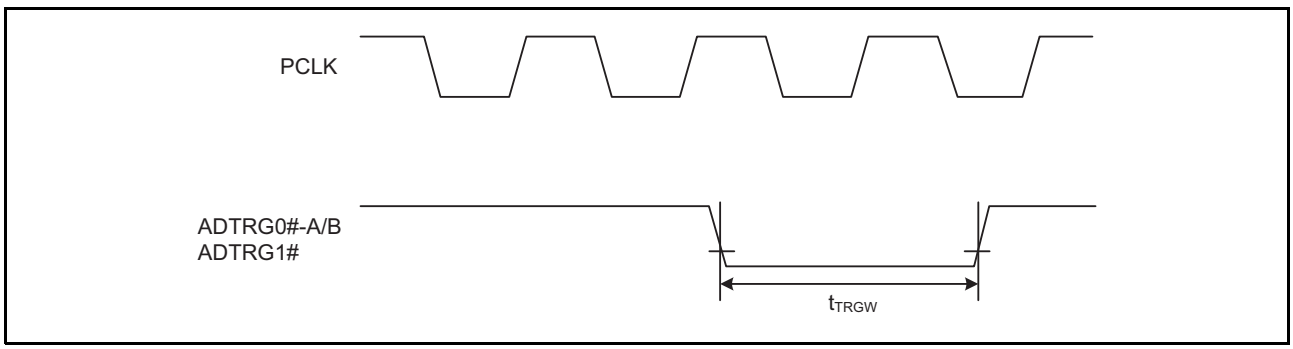


图 45.31 A/D 转换器外部触发输入的时序

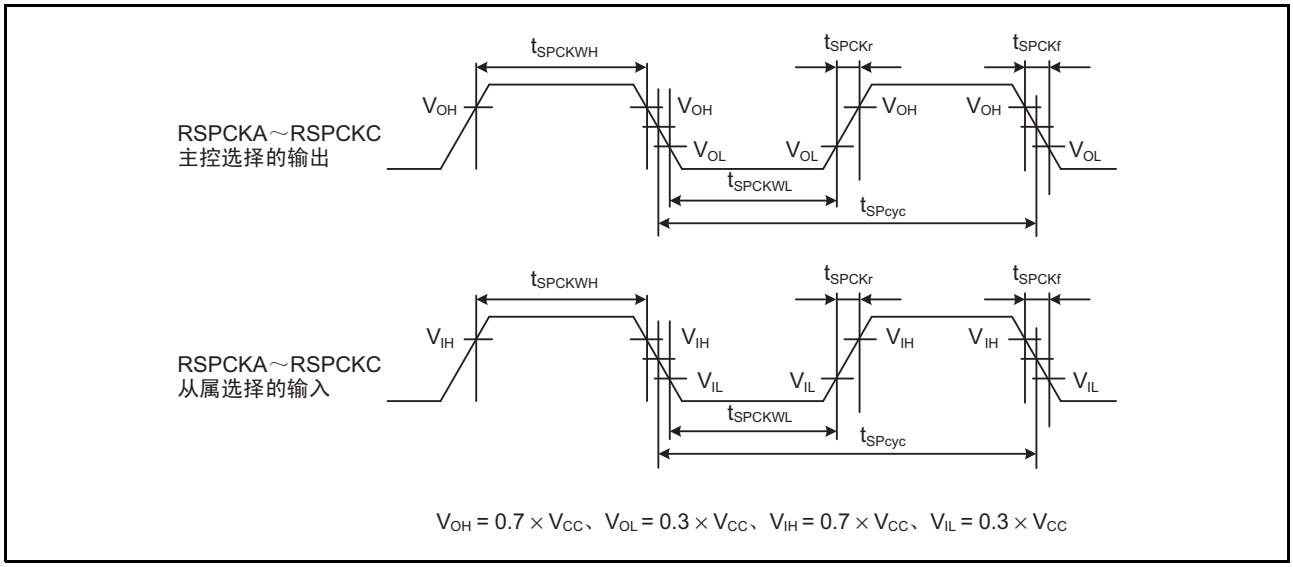


图 45.32 RSPI 时钟时序 / 简易 SPI 时钟时序

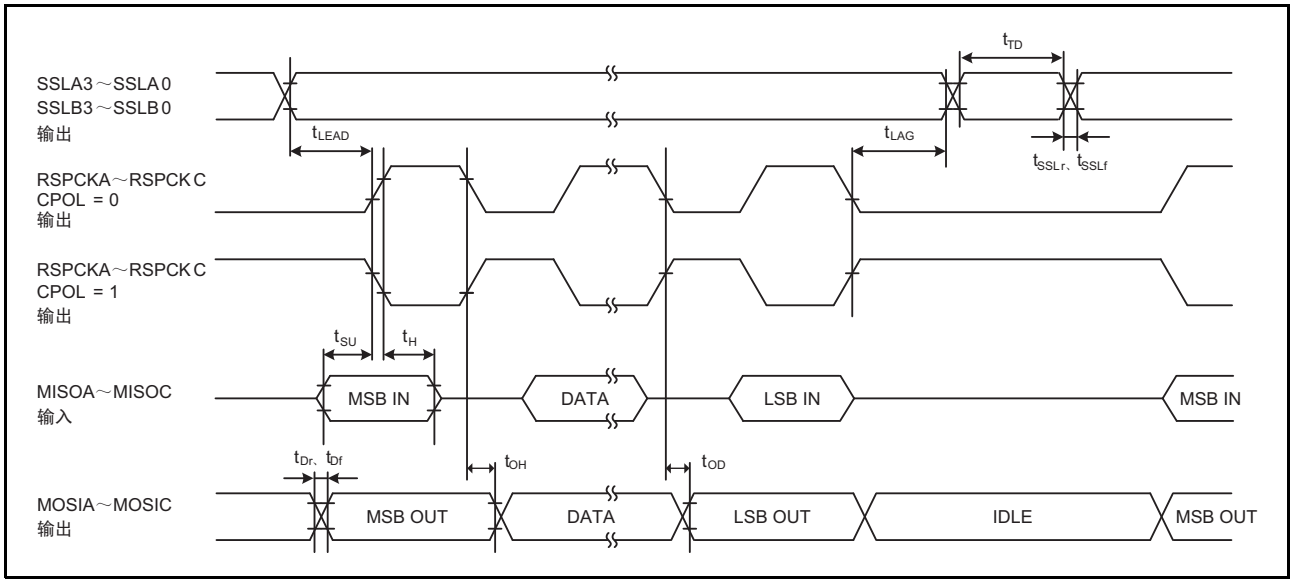


图 45.33 RSPI 时序 （主控、 CPHA=0） / 简易 SPI 时序 （主控、 CPHA=0）

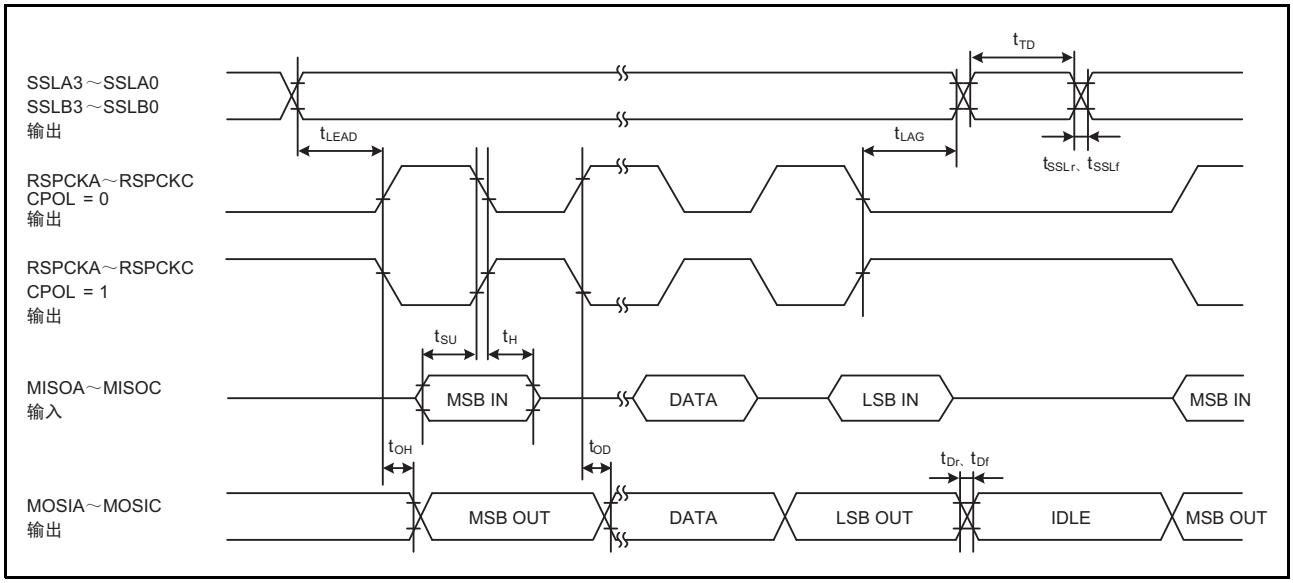


图 45.34 RSPI 时序 （主控、 CPHA=1） / 简易 SPI 时序 （主控、 CPHA=1）

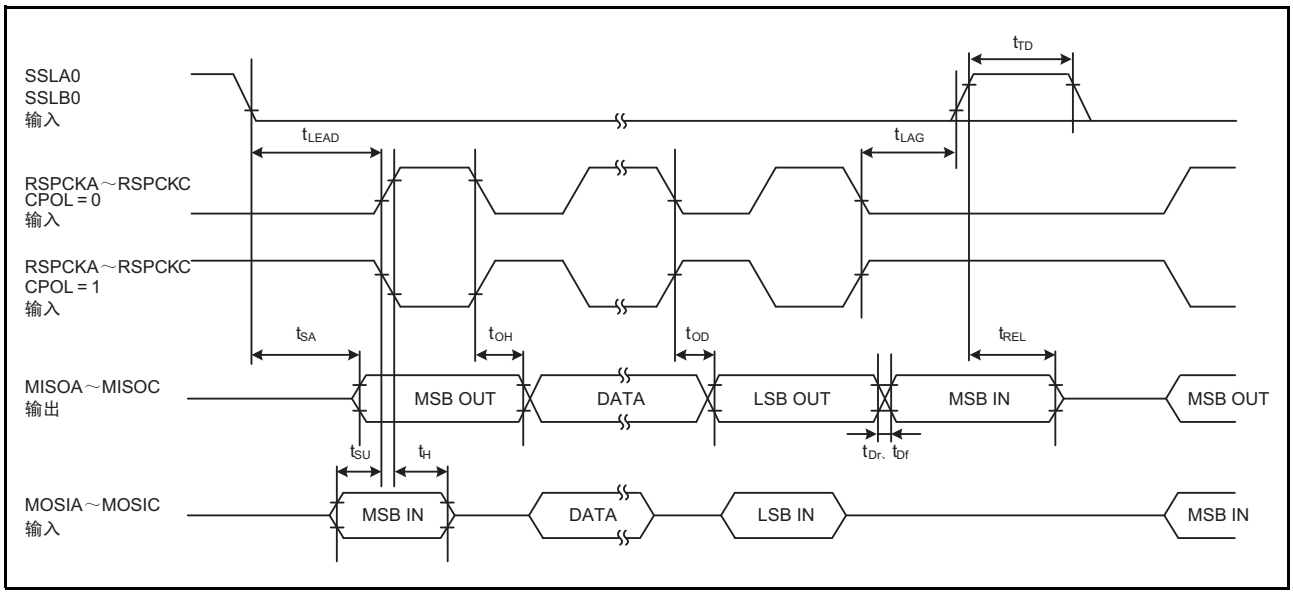


图 45.35 RSPI 时序 （从属、 CPHA=0） / 简易 SPI 时序 （从属、 CPHA=0）

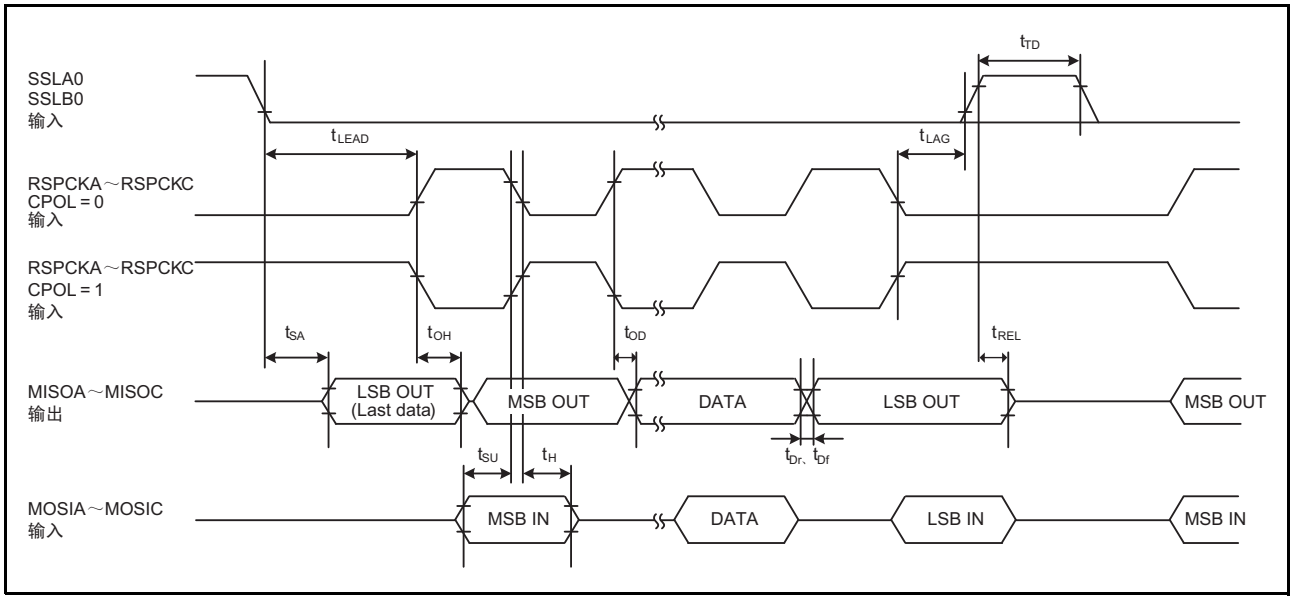


图 45.36 RSPI 时序 （从属、 CPHA=1） / 简易 SPI 时序 （从属、 CPHA=1）

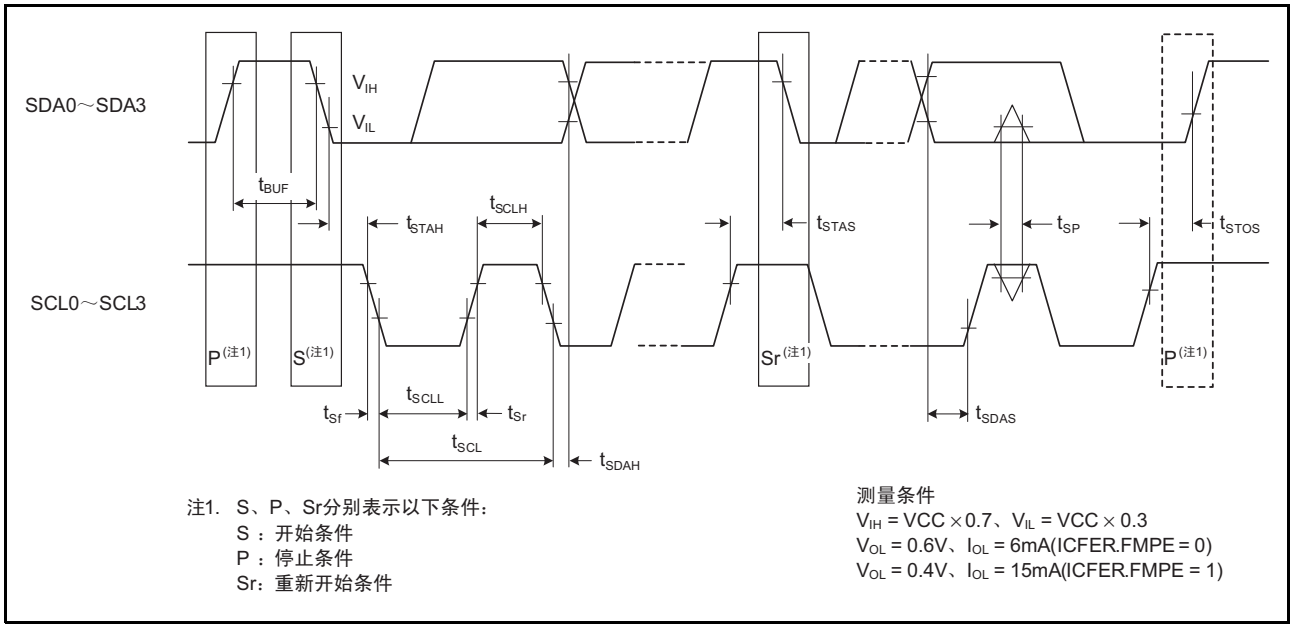


图 45.37 RIIC 总线接口输入 / 输出时序 / 简易 IIC 总线接口输入 / 输出时序

45.5 USB 特性

表 45.20 内部 USB 全速特性 （DP、 DM 引脚特性）

条件：VCC=AVCC0=VCC_USB=3.0 ～ 3.6V、 VREFH/VREFH0=3.0V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VCC_USB=0V
PCLK=24 ～ 50MHz、 $T_a=T_{opr}$
驱动能力选择控制寄存器选择高驱动输出的情况

项目		符号	min	max	单位	测量条件	
输入特性	输入 High 电平电压	V_{IH}	2.0	—	V		
	输入 Low 电平电压	V_{IL}	—	0.8	V		
	差动输入灵敏度	V_{DI}	0.2	—	V	|DP–DM|	
	差动共模范围	V_{CM}	0.8	2.5	V		
输出特性	输出 High 电平电压	V_{OH}	2.8	3.6	V	I_{OH}=–200μA	
	输出 Low 电平电压	V_{OL}	0.0	0.3	V	I_{OL}=2mA	
	交叉电压	V_{CRS}	1.3	2.0	V		图 45.38
	上升时间	t_{Lr}	4	20	ns		
	下降时间	t_{Lf}	4	20	ns		
	上升 / 下降时间比	t_{Lr} / t_{Lf}	90	111.11	%	t_{Lr} /t_{Lf}	
	输出电阻	Z_{DRV}	28	44	Ω	包含 Rs=22Ω	

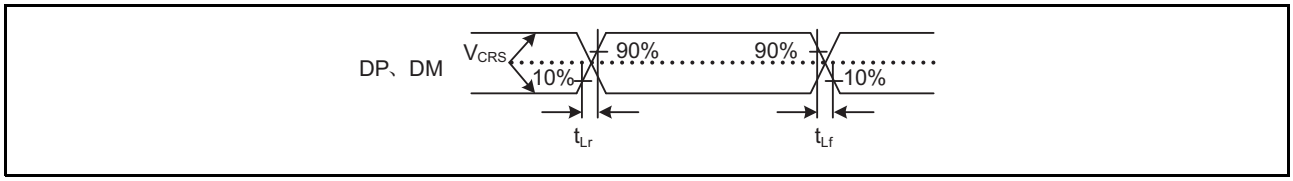


图 45.38 DP 和 DM 的输出时序 （全速）

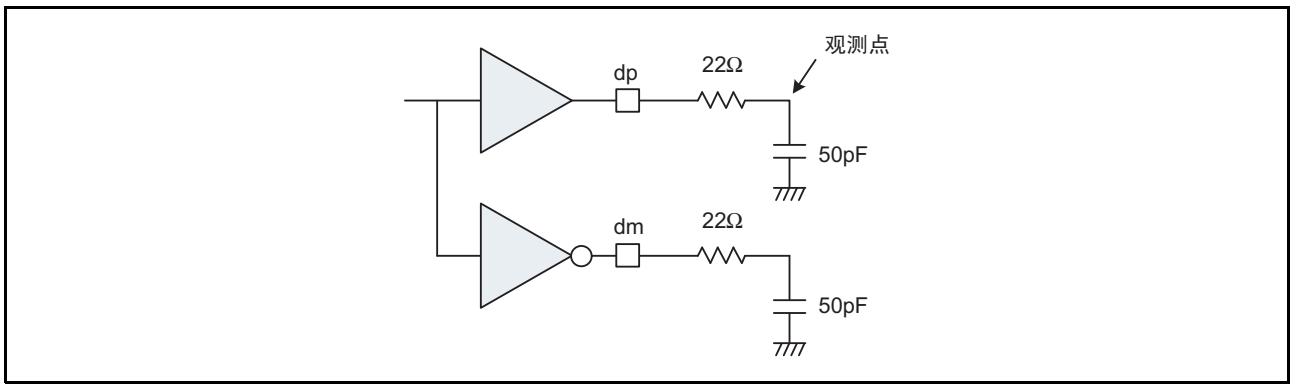


图 45.39 测量电路 （全速）

45.6 A/D 转换特性

表 45.21 10 位 A/D 转换特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$

项目			min	typ	max	单位	测量条件
分辨率			—	—	10	位	
转换时间（注 1）（PCLK=50MHz 时）	有外接电容器 0.1μF。	充分地给电容器充完电时（注 2）	3.0(2.5)（注 3）	—	—	μs	采样的 125 个状态
	没有外接电容器。	容许信号源阻抗 max=1.0kΩ、 VCC ≧ 3.0V	1.5(1.0)（注 3）	—	—		采样的 50 个状态
		容许信号源阻抗 max=1.0kΩ、 VCC ≧ 2.7V	3.5(3.0)（注 3）	—	—		采样的 150 个状态
		容许信号源阻抗 max=5.0kΩ、 VCC ≧ 3.0V	2.0(1.5)（注 3）	—	—		采样的 75 个状态
		容许信号源阻抗 max=5.0kΩ、 VCC ≧ 2.7V	4.0(3.5)（注 3）	—	—		采样的 175 个状态
模拟输入的电容			—	—	6.0	pF	
偏移误差			—	±1.5	±3.0	LSB	
满刻度误差			—	±1.5	±3.0	LSB	
量化误差			—	±0.5	—	LSB	
绝对精度			—	±1.5	±3.0	LSB	
DNL 微分非线性误差			—	±0.5	±1.0	LSB	
INL 积分非线性误差			—	±1.5	±3.0	LSB	

注 . 如果在存取外部总线的过程中进行 AD 转换，就可能降低精度。
在这种情况下，必须进行多次转换并且通过软件在舍去最大值和最小值后求AD转换值的平均值。

注 1. 转换时间是采样时间和比较时间的总和。各项目的测量条件表示采样的状态数。

注 2. 不对应扫描。

注 3. ( ) 表示采样时间。

表 45.22 12 位 A/D 转换特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$

项目			min	typ	max	单位	测量条件
分辨率能			—	—	12	位	
转换时间（注 1）（PCLK=50MHz 时）	AN0~AN7	容许信号源阻抗 max=1.0kΩ	1.0(0.4)（注 2）	—	—	μs	采样的 20 个状态
	上述以外的 CH	容许信号源阻抗 max=1.0kΩ、AVCC ≧ 3.0V	2.0(1.4)（注 2）	—	—	μs	采样的 70 个状态
		容许信号源阻抗 max=1.0kΩ、AVCC ≧ 2.7V	5.6(5.0)（注 2）	—	—	μs	采样的 250 个状态
模拟输入的电容			—	—	30	pF	
偏移误差			—	±2.0	±7.5	LSB	
满刻度误差			—	±2.0	±7.5	LSB	
量化误差			—	±0.5	—	LSB	
绝对精度			—	±2.5	±8.0	LSB	
DNL 微分非线性误差			—	±2.0	±4.0	LSB	
INL 积分非线性误差			—	±2.0	±4.0	LSB	

注 . 如果在存取外部总线的过程中进行 AD 转换，就可能降低精度。
在这种情况下，必须进行多次转换并且通过软件在舍去最大值和最小值后求AD转换值的平均值。

注 1. 转换时间是采样时间和比较时间的总和，各项目的测量条件表示采样状态数。

注 2. ( ) 表示采样时间。

表 45.23 A/D 内部基准电压特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
PCLK=8 ～ 50MHz、 $T_a=T_{opr}$

项目	min	typ	max	单位	测量条件
A/D 内部基准电压	1.45	1.50	1.55	V	

45.7 D/A 转换特性

表 45.24 D/A 转换特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ VCC
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目	min	typ	max	单位	测量条件
分辨率	10	10	10	位	
转换时间	—	—	3.0	μs	负载电容 20pF
绝对精度	—	±2.0	±4.0	LSB	负载电阻 2MΩ
	—	—	±3.0	LSB	负载电阻 4MΩ
	—	—	±2.0	LSB	负载电阻 10MΩ
RO 输出电阻	—	3.6	—	kΩ	

45.8 温度传感器特性

表 45.25 温度传感器特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ VCC
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目	min	typ	max	单位	测量条件
相对精度	—	±1	—	°C	
温度梯度	—	4.1	—	mV/°C	
输出电位 （@25°C）	—	1.26	—	V	
温度传感器的启动时间	—	—	30	μs	
采样时间	—	—	5	μs	

45.9 上电复位电路和电压检测电路的特性

表 45.26 上电复位电路和电压检测电路的特性

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目			符号	min	typ	max	单位	测量条件
电压检测电平	上电复位（POR）	低功耗功能无效	V_{POR}	2.5	2.6	2.7	V	图 45.40
		低功耗功能有效		2.0	2.35	2.7		
	电压检测电路 （LVD0）		V_{det0}	2.7	2.80	2.9		图 45.41
	电压检测电路 （LVD1）		V_{det1_A}	2.75	2.95	3.15		
	电压检测电路 （LVD2）		V_{det2_A}	2.75	2.95	3.15		
内部复位时间	上电复位时间		t_{POR}	—	4.6	—	ms	图 45.40
	LVD0 复位时间		t_{LVD0}	—	4.6	—		图 45.41
	LVD1 复位时间		t_{LVD1}	—	0.9	—		图 45.42
	LVD2 复位时间		t_{LVD2}	—	0.9	—		图 45.43
最小 VCC 降低时间			t_{VOFF}	200	—	—	μs	图 45.40、图 45.41
应答延迟时间			t_{det}	—	—	200	μs	图45.40～图 45.43
LVD 运行稳定时间 （选择 LVD 有效时）			$Td_{(E-A)}$	—	—	3	μs	图 45.42
滞后宽度 （LVD1、 LVD2）			V_{LVH}	—	80	—	mV	图 45.43

注 . 最小 VCC 降低时间是 VCC 低于 POR/LVD 的电压检测电平 V_{POR}、 V_{det1}、 V_{det2} 的 min 值的时间。

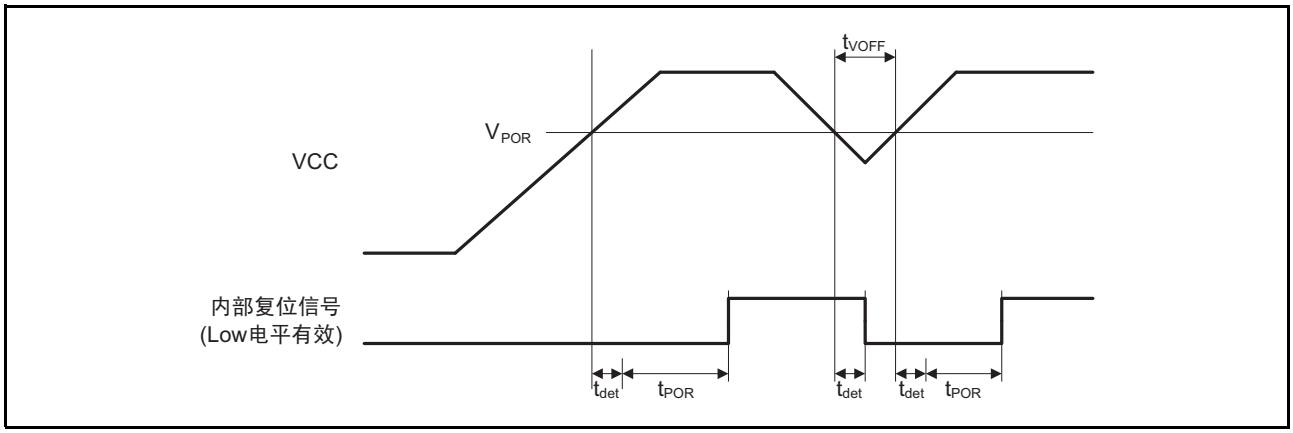


图 45.40 上电复位时序

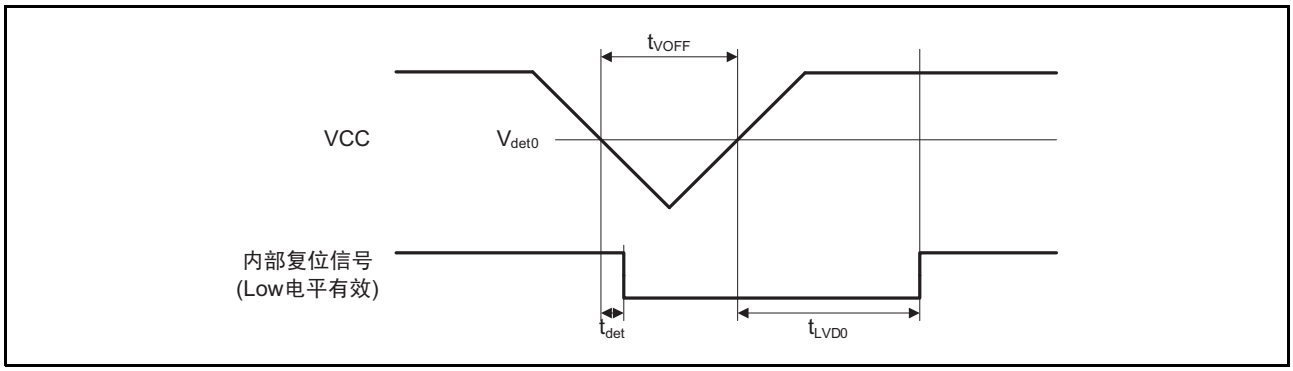


图 45.41 电压检测电路时序 （V_{det0}）

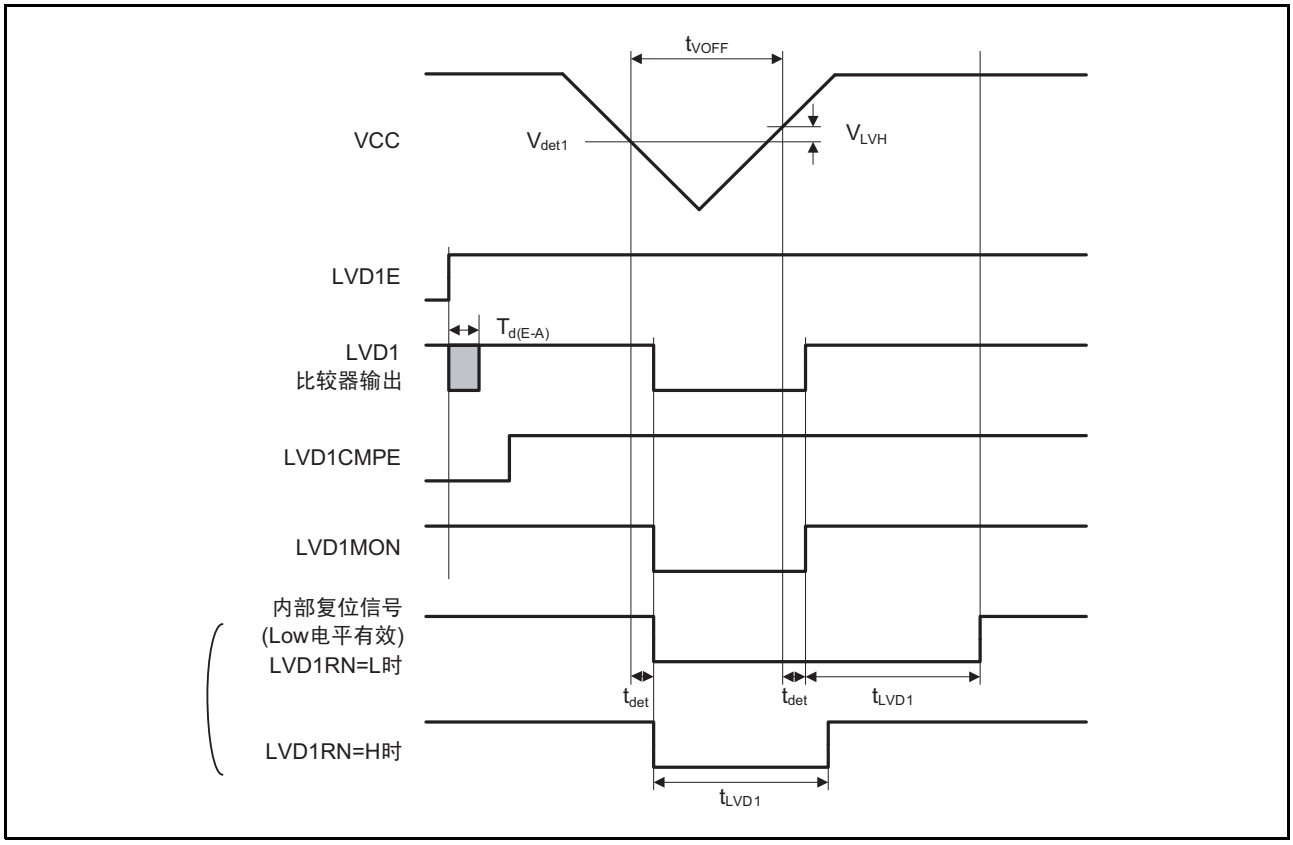


图 45.42 电压检测电路时序（V_{det1}）

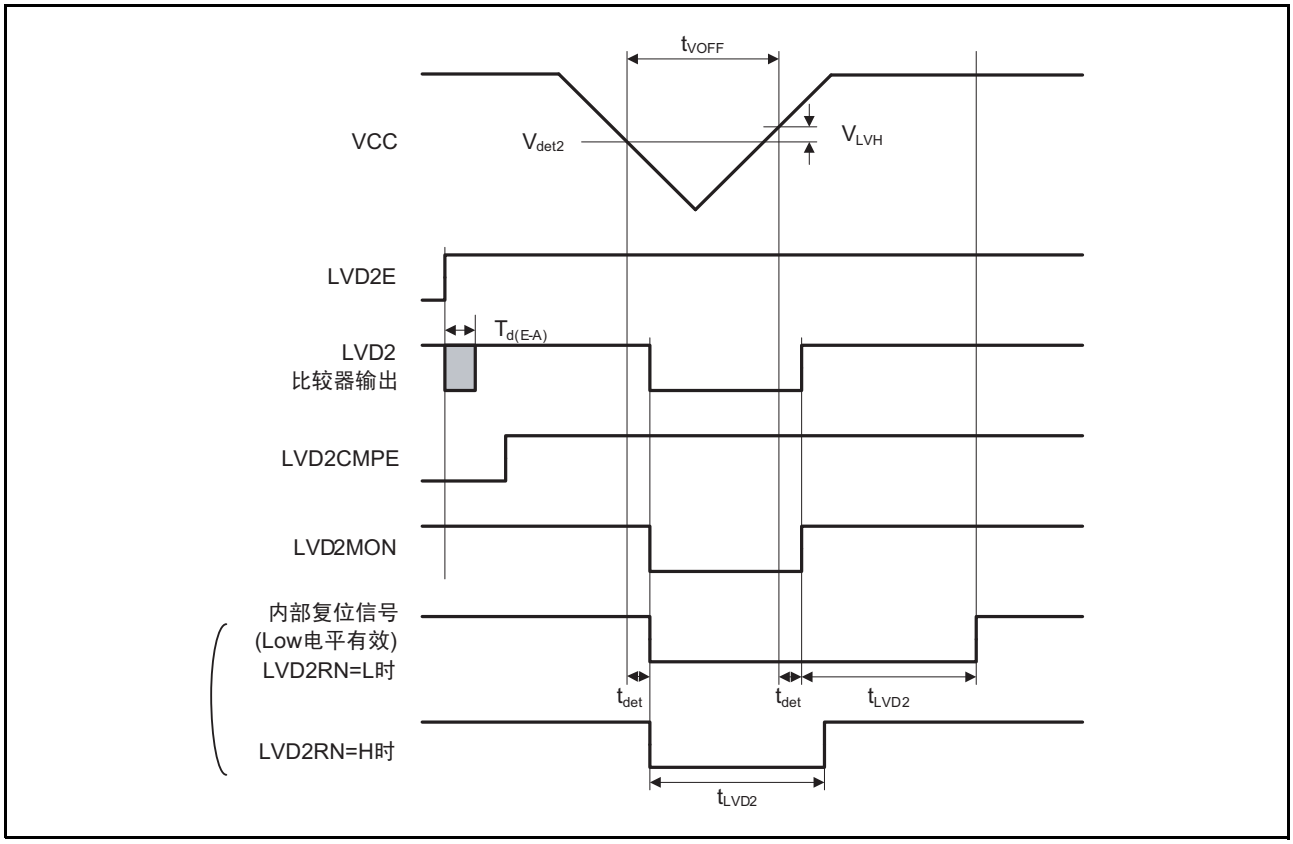


图 45.43 电压检测电路时序（V_{det2}）

45.10 振荡停止检测时序

表 45.27 振荡停止检测电路特性

条件：VCC=AVCC0=VCC_USB=VBATT=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目	符号	min	typ	max	单位	测量条件
检测时间	t_{dr}	—	—	1	ms	图 45.44

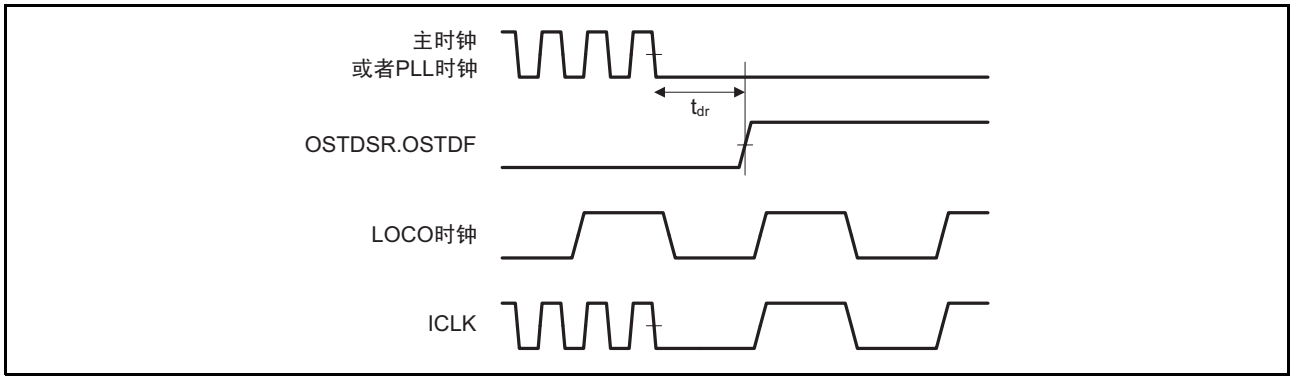


图 45.44 振荡停止检测时序

45.11 电池备用功能特性

表 45.28 电池备用功能特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0、 VBATT=2.3 ～ 3.6V
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V、 $T_a=T_{opr}$

项目	符号	min	typ	max	单位	测量条件
电池备用切换电压电平	$V_{DETBATT}$	2.50	2.60	2.70	V	图 45.45
VCC 电压降低电源切换时 VBATT 下限电压	V_{BATTSW}	2.70	—	—		
可切换的 VCC OFF 时间	$t_{VOFFBATT}$	200	—	—	μs	

注 . 可切换的 VCC OFF 时间是 VCC 低于电池备用切换电压电平 $V_{DETBATT}$ 的 min 值的时间。

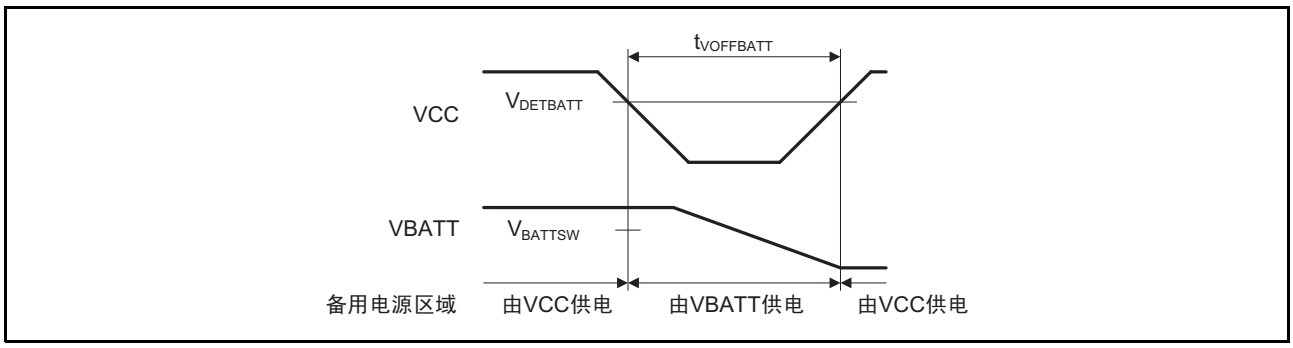


图 45.45 电池备用功能特性

45.12 ROM （保存代码的闪存）特性

表 45.29 ROM （保存代码的闪存）特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
编程 / 擦除时的工作温度范围：$T_a=T_{opr}$

项目		符号	FCLK=4MHz			20MHz ≤ FCLK ≤ 50MHz			单位
			min	typ	max	min	typ	max	
编程时间 N_{PEC} ≤ 100 次时	128 字节	t_{P128}	—	2.8	28	—	1	10	ms
	4K 字节	t_{P4K}	—	63	140	—	23	50	ms
	16K 字节	t_{P16K}	—	252	560	—	90	200	ms
编程时间 N_{PEC} > 100 次时	128 字节	t_{P128}	—	3.4	33.6	—	1.2	12	ms
	4K 字节	t_{P4K}	—	75.6	168	—	27.6	60	ms
	16K 字节	t_{P16K}	—	302.4	672	—	108	240	ms
擦除时间 N_{PEC} ≤ 100 次时	4K 字节	t_{E4K}	—	50	120	—	25	60	ms
	16K 字节	t_{E16K}	—	200	480	—	100	240	ms
擦除时间 N_{PEC} > 100 次时	4K 字节	t_{E4K}	—	60	144	—	30	72	ms
	16K 字节	t_{E16K}	—	240	576	—	120	288	ms
再编程 / 擦除次数 （注 1）		N_{PEC}	1000 （注 2）	—	—	1000 （注 2）	—	—	次
编程时的挂起延迟时间		t_{SPD}	—	—	400	—	—	120	µs
擦除时的第 1 次挂起延迟时间 （在挂起优先模式中）		t_{SESD1}	—	—	300	—	—	120	µs
擦除时的第 2 次挂起延迟时间 （在挂起优先模式中）		t_{SESD2}	—	—	1.7	—	—	1.7	ms
擦除时的挂起延迟时间 （在擦除优先模式中）		t_{SEED}	—	—	1.7	—	—	1.7	ms
数据保持时间 （注 3）		t_{DRP}	10	—	—	10	—	—	年
FCU 复位时间		t_{FCUR}	35	—	—	35	—	—	µs

注 1. 再编程 / 擦除次数的定义：
再编程 / 擦除次数是指每块的擦除次数。如果再编程 / 擦除次数为 n(n=1000)，就能逐块擦除 n 次。例如，对于 4K 字节的块，如果将 256 字节的数据分 16 次写到不同的地址后擦除该块，再编程 / 擦除次数就计为 1。但是，对于 1 次的擦除，不能对相同的地址进行多次编程 （禁止盖写）。

注 2. 这是保证改写后的全部特性的 min 次数 （保证范围是 1~min 值）。

注 3. 这是在包括 min 值的规格范围内进行改写时的特性。

45.13 E2 闪存特性

表 45.30 E2 闪存特性

条件：VCC=AVCC0=VCC_USB=2.7 ～ 3.6V、 VREFH/VREFH0=2.7V ～ AVCC0
VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V
编程 / 擦除时的工作温度范围：$T_a=T_{opr}$

项目		符号	FCLK=4MHz			20MHz ≤ FCLK ≤ 50MHz			单位
			min	typ	max	min	typ	max	
编程时间 N_{PEC} ≤ 100 次时	2 字节	t_{DP2}	—	0.7	6	—	0.25	2	ms
编程时间 N_{PEC} ＞ 100 次时	2 字节	t_{DP2}	—	0.7	6	—	0.25	2	ms
擦除时间 N_{PEC} ≤ 100 次时	32 字节	t_{DE32}	—	4	40	—	2	20	ms
擦除时间 N_{PEC} ＞ 100 次时	32 字节	t_{DE32}	—	7	40	—	4	20	ms
空白检查时间	2 字节	t_{DBC2}	—	—	100	—	—	30	µs
再编程 / 擦除次数 （注 1）		N_{DPEC}	100000 （注 2）	—	—	100000 （注 2）	—	—	次
编程时的挂起延迟时间		t_{DSPD}	—	—	250	—	—	120	µs
擦除时的第 1 次挂起延迟时间 （在挂起优先模式中）		t_{DSESD1}	—	—	250	—	—	120	µs
擦除时的第 2 次挂起延迟时间 （在挂起优先模式中）		t_{DSESD2}	—	—	500	—	—	300	µs
擦除时的挂起延迟时间 （在擦除优先模式中）		t_{DSEED}	—	—	500	—	—	300	µs
数据的保持时间 （注 3）		t_{DDRP}	10	—	—	10	—	—	年

注 1. 再编程 / 擦除次数的定义：
再编程 / 擦除次数是指每块的擦除次数。如果再编程 / 擦除次数为 n 回 (n=100000)，就能逐块擦除 n 次。例如，对于 2K 字节的块，如果将 128 字节的数据分 16 次写到不同的地址后擦除该块，再编程 / 擦除次数就计为 1。但是，对于 1 次的擦除，不能对相同的地址进行多次编程 （禁止盖写）。

注 2. 这是保证改写后的全部特性的 min 次数 （保证范围是 1~min 值）。

注 3. 这是在包括 min 值的规格范围内进行改写时的特性。

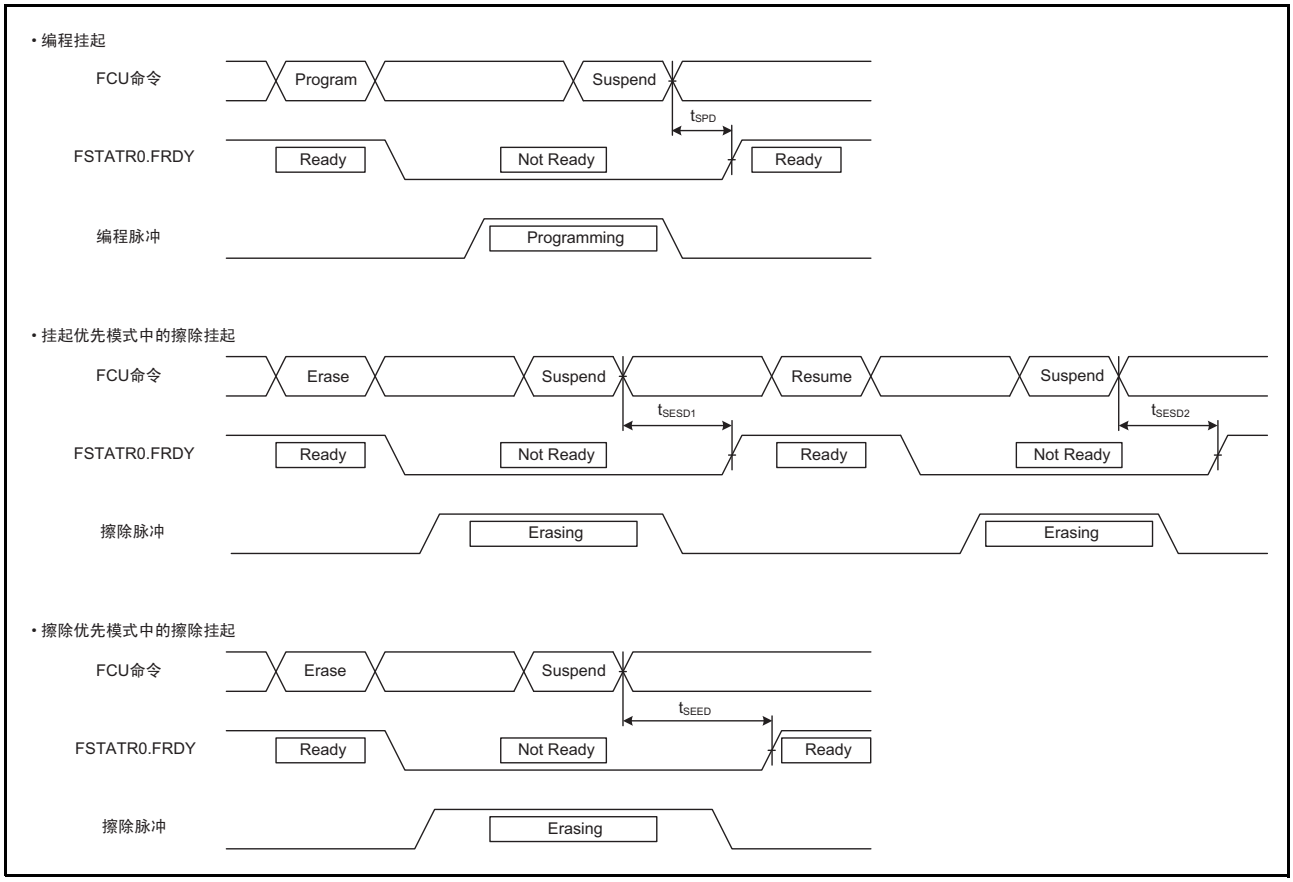


图 45.46 闪存的编程 / 擦除挂起时序

附录

附录 1. 各运行模式中的端口状态

附表 1.1 各运行模式中的端口状态 (1/3)

端口名 引脚名	寄存器设定的 运行模式	复位	软件待机模式		深度软件待机模式 IOKEEP=1/0	解除深度软件待机模式后（返回到启动模式）	
			OPE=1	OPE=0		IOKEEP=1（注 1）	IOKEEP=0
P00/IRQ8、 P01/IRQ9、 P02/IRQ10	全部模式	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
P03/DA0/IRQ11	全部模式	Hi-Z	[DAOE0=1] 保持 DA 输出 [DAOE0=0] Keep-O（注 2）		[DAOE0=1] Hi-Z [DAOE0=0] Keep	[DAOE0=1] Hi-Z [DAOE0=0] Keep	Hi-Z
P05/DA1/IRQ13	全部模式	Hi-Z	[DAOE1=1] 保持 DA 输出 [DAOE1=0] Keep-O（注 2）		[DAOE1=1] Hi-Z [DAOE1=0] Keep	[DAOE1=1] Hi-Z [DAOE1=0] Keep	Hi-Z
P07/IRQ15	全部模式	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
P10/IRQ0、 P11/IRQ1、 P12/IRQ2、 P13/IRQ3、 P14/IRQ4、P15/IRQ5/CRX1、 P16/IRQ6/SCL2、 P17/IRQ7/ SDA2	全部模式	Hi-Z	Keep-O（注 2）		Keep-O （注 3）	Keep	Hi-Z
P20/IRQ8、 P21/IRQ9、 P22、 P23	全部模式	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
P24/CS4#、 P25/CS5#、 P26/CS6#、 P27/CS7#	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS 时] H [上述以外] Keep-O	[输出 CS 时] Hi-Z [上述以外] Keep-O			
P30/IRQ0、 P31/IRQ1、 P32/IRQ2、 P33/IRQ3、 P34/IRQ4、 P35/NMI	全部模式	Hi-Z	Keep-O（注 2）		Keep-O （注 3）	Keep	Hi-Z
P36、 P37	全部模式	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P40/IRQ8、 P41/IRQ9、 P42/IRQ10、 P43/IRQ11、 P44/IRQ12、 P45/IRQ13、 P46/IRQ14、 P47/IRQ15	全部模式	Hi-Z	Keep-O（注 2）		Keep-O （注 3）	Keep	Hi-Z
P50/WR0#/WR#	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WR0#/WR# 时] H	[输出 WR0#/WR# 时] Hi-Z			
P51/WR1#/BC1#	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WR1#/BC1# 时] H [上述以外] Keep-O	[输出 WR1#/BC1# 时] Hi-Z [上述以外] Keep-O			
P52/RD#	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 RD# 时] H	[输出 RD# 时] Hi-Z			
P53/BCLK	全部模式	Hi-Z	[输出时钟的情况] H [上述以外] Keep-O		Keep	Keep	Hi-Z
P54/ALE/TRDATA2	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 ALE 时] L [上述以外] Keep-O	[输出 ALE 时] Hi-Z [上述以外] Keep-O			
P55/TRDATA3/IRQ10	全部模式	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z

附表 1.1 各运行模式中的端口状态 (2/3)

端口名 引脚名	寄存器设定的 运行模式	复位	软件待机模式		深度软件待机模式 IOKEEP=1/0	解除深度软件待机模式后（返回到启动模式）	
			OPE=1	OPE=0		IOKEEP=1（注 1）	IOKEEP=0
P56/WR2#/BC2#	单芯片模式 (EXBE=0)	Hii-Z	Keepi-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WR2#/BC2# 时] H [上述以外] Keep-O	[输出 WR2#/BC2# 时] Hi-Z [上述以外] Keep-O			
P57/WR3#/BC3#	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WR3#/BC3# 时] H [上述以外] Keep-O	[输出 WR3#/BC3# 时] Hi-Z [上述以外] Keep-O			
P60/CS0#、 P61/CS1#、 P62/CS2#、 P63/CS3#、 P64/CS4#、 P65/CS5#、 P66/CS6#	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS 时] H [上述以外] Keep-O	[输出 CS 时] Hi-Z [上述以外] Keep-O			
P67/CS7#/IRQ15	单芯片模式 (EXBE=0)	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS 时] H [上述以外] Keep-O（注 2）	[输出 CS 时] Hi-Z [上述以外] Keep-O（注 2）			
P70	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P71/CS1#、 P72/CS2#、 P73/CS3#、 P74/CS4#、 P75/CS5#、 P76/CS6#、 P77/CS7#	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS 时] H [上述以外] Keep-O	[输出 CS 时] Hi-Z [上述以外] Keep-O			
P80/TRDATA0、 P81/ TRDATA1、 P82 ～ P87	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
端口 9	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [输出数据时] Hi-Z [上述以外] Keep-O	[输出地址时] Hi-Z [输出数据时] Hi-Z [上述以外] Keep-O			
PA0、 PA1/IRQ11、 PA2、 PA3/IRQ6、 PA4/IRQ5、 PA5、 PA6、 PA7	单芯片模式 (EXBE=0)	Hi-Z	Keep-O（注 2）		Keep-O（注 3）	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [上述以外] Keep-O （注 2）	[输出地址时] Hi-Z [上述以外] Keep-O （注 2）			
PB0/IRQ12、 PB1/IRQ4、 PB2 ～ PB7	单芯片模式 (EXBE=0)	Hi-Z	Keep-O（注 2）		Keep-O（注 3）	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [上述以外] Keep-O（注 2）	[输出地址时] Hi-Z [上述以外] Keep-O（注 2）			
PC0/IRQ14、 PC1/IRQ12、 PC2、 PC3、 PC4/CS3#、 PC5/CS2#、 PC6/CS1#/ IRQ13、 PC7/CS0#/IRQ14	单芯片模式 (EXBE=0)	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [输出 CS 时] H [上述以外] Keep-O（注 2）	[输出地址时] Hi-Z [输出 CS 时] Hi-Z [上述以外] Keep-O（注 2）			
PD0/IRQ0、 PD1/IRQ1、 PD2/IRQ2、 PD3/IRQ3、 PD4/IRQ4、 PD5/IRQ5、 PD6/IRQ6、 PD7/IRQ7	单芯片模式 (EXBE=0)	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出数据时] Hi-Z				

附表 1.1 各运行模式中的端口状态 (3/3)

端口名 引脚名	寄存器设定的 运行模式		复位	软件待机模式		深度软件待机模式 IOKEEP=1/0	解除深度软件待机模式后（返回到启动模式）	
				OPE=1	OPE=0		IOKEEP=1（注 1）	IOKEEP=0
PE0、 PE1、 PE2/IRQ7、 PE3、 PE4、 PE5/IRQ5、 PE6/IRQ6、 PE7/IRQ7	单芯片模式 (EXBE=0)		Hi-Z	Keep-O（注 2）		Keep-O （注 3）	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)	总线宽度 8 位		Keep-O（注 2）				
		总线宽度 16 位		[输出数据时] Hi-Z				
PF0、 PF1、 PF2、 PF3、 PF4、 PF5/IRQ4	全部模式		Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
PG0、 PG1、 PG2/ TRDATA0、 PG3/TRDATA1、 PG4、 PG5、 PG6/TRDATA2、 PG7/ TRDATA3	单芯片模式 (EXBE=0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)			[输出数据时] Hi-Z [上述以外] Keep-O				
端口 H	全部模式		Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
端口 J	全部模式		Hi-Z	Keep-O		Keep	Keep	Hi-Z
端口 K	全部模式		Hi-Z	Keep-O		Keep	Keep	Hi-Z
端口 L	全部模式		Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
USB0_DM	全部模式		Hi-Z	Keep-O（注 4）		Keep-O （注 3）	Hi-Z	
USB0_DP	全部模式		Hi-Z	Keep-O（注 4）		Keep-O （注 3）	Hi-Z	

H：High 电平

L：Low 电平

Keep-O：当用作输出引脚时，保持以前的值；当用作输入引脚时，为高阻抗。

Keep：保持软件待机中的引脚状态。

Hi-Z：高阻抗

注 1. 在将 DPSBYCR.IOKEEP 位置 “0” 前，保持 I/O 端口的状态。

注 2. 当用作外部中断引脚时，能在设定为软件待机解除源的情况下进行输入。

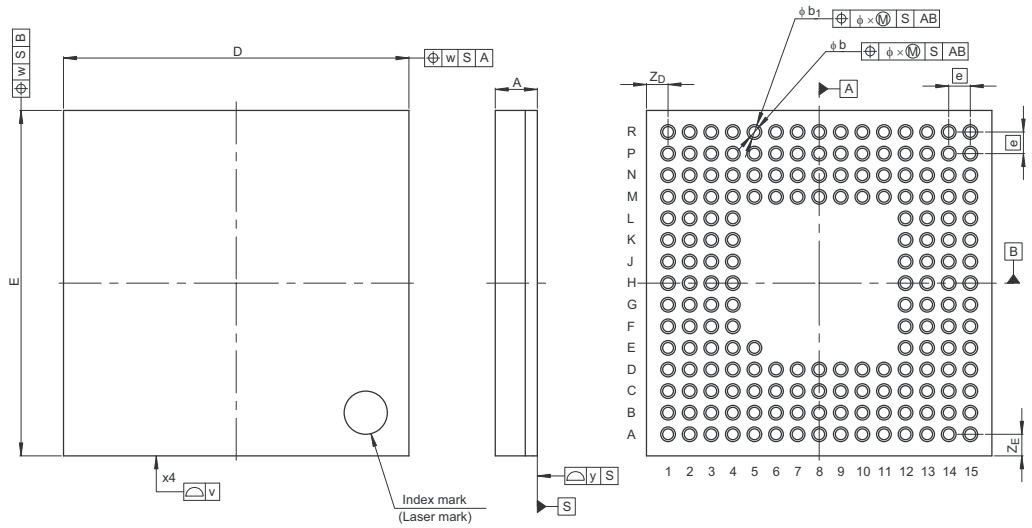
注 3. 能在设定为深度待机解除源的情况下进行输入。

注 4. 当用作输入引脚时，能进行输入。

附录 2. 封装尺寸图

有关封装尺寸图的最新版和安装的信息，刊登在瑞萨电子的主页的 “封装”中。

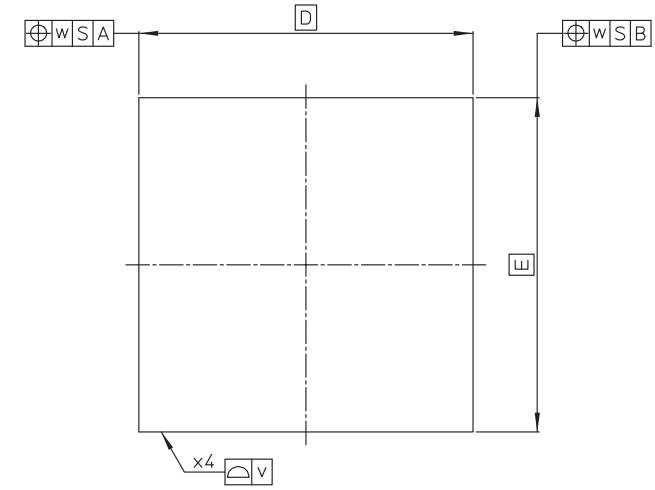
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA177-8x8-0.50	PTLG0177KA-A	177F0E-A	0.2g

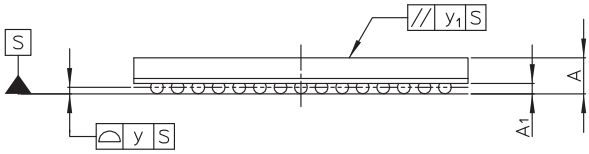


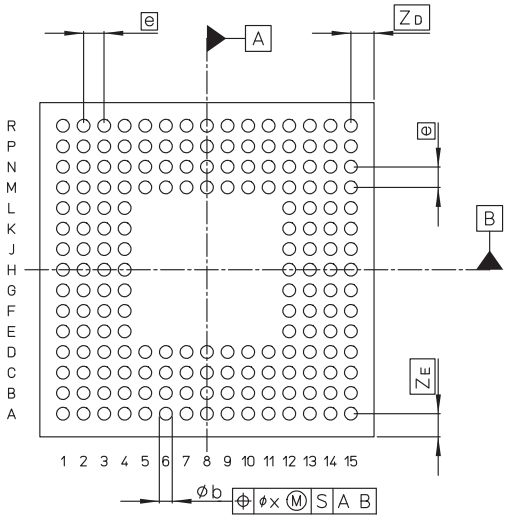
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	8.0	—
E	—	8.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.5	—
b	0.21	0.25	0.29
b_1	0.29	0.34	0.39
x	—	—	0.08
y	—	—	0.08
Z_D	—	0.5	—
Z_E	—	0.5	—

附图 2.1 177 引脚 TFLGA （PTLG0177KA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFBGA176-13x13-0.80	PLBG0176GA-A	BP-176/BP-176V	0.45g



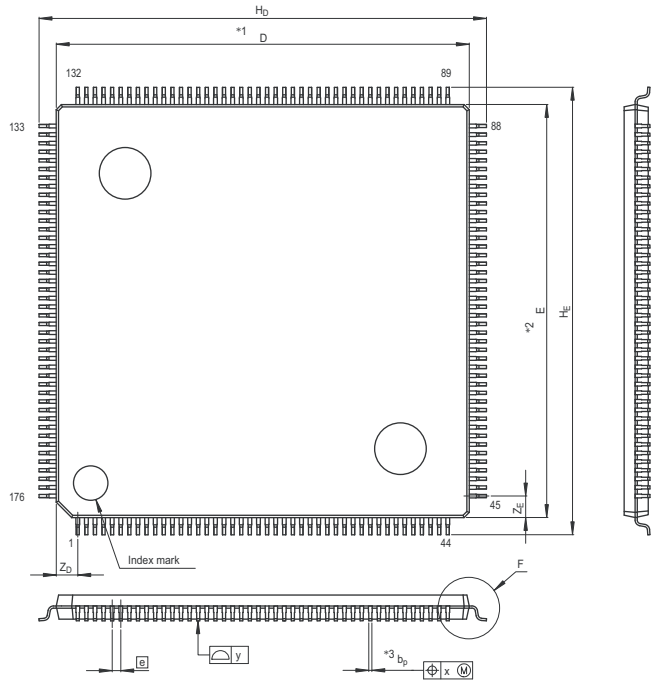


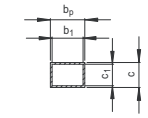


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	13.0	—
E	—	13.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.40
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.90	—
Z_E	—	0.90	—

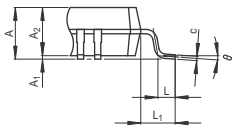
附图 2.2 176 引脚 LFBGA （PLBG0176GA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP176-24x24-0.50	PLQP0176KB-A	176P6Q-A / FP-176E / FP-176EV	1.8g





Terminal cross section



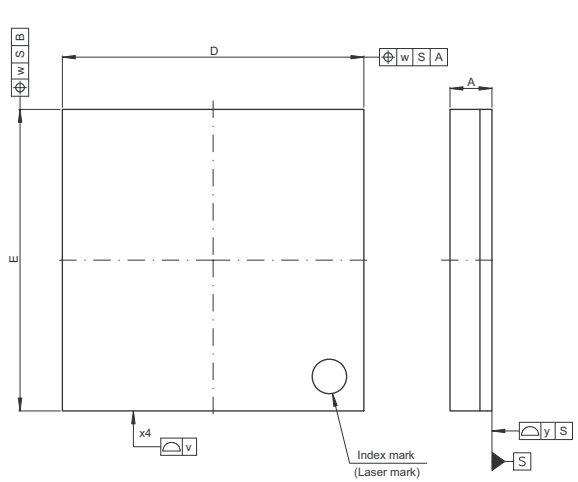
Detail F

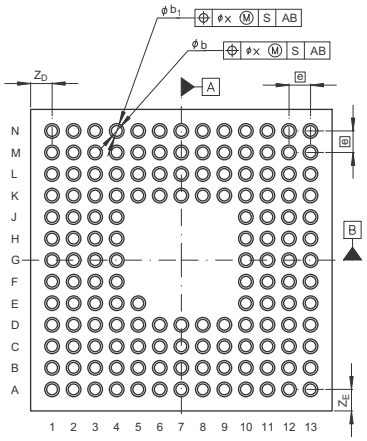
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	23.9	24.0	24.1
E	23.9	24.0	24.1
A_2	—	1.4	—
H_D	25.8	26.0	26.2
H_E	25.8	26.0	26.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

附图 2.3　176 引脚 LQFP （PLQP0176KB-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA145-7x7-0.50	PTLG0145KA-A	145F0G	0.1g

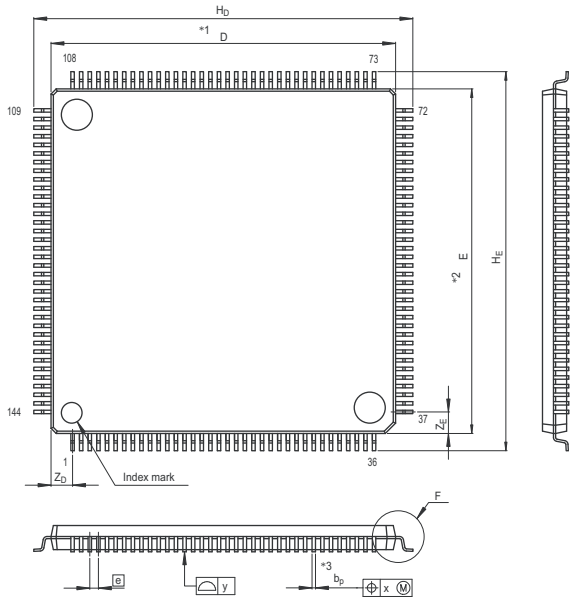


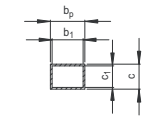


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	7.0	—
E	—	7.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.5	—
b	0.21	0.25	0.29
b_1	0.29	0.34	0.39
x	—	—	0.08
y	—	—	0.10
Z_D	—	0.5	—
Z_E	—	0.5	—

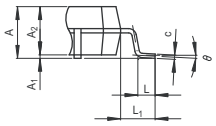
附图 2.4 145 引脚 TFLGA （PTLG0145KA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP144-20x20-0.50	PLQP0144KA-A	144P6Q-A / FP-144L / FP-144LV	1.2g





Terminal cross section



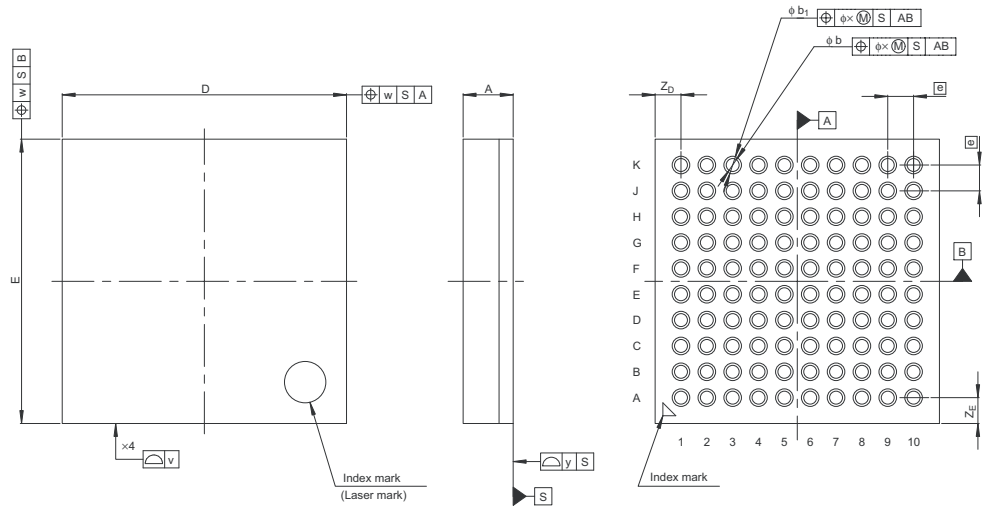
Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

附图 2.5 144 引脚 LQFP （PLQP0144KA-A）

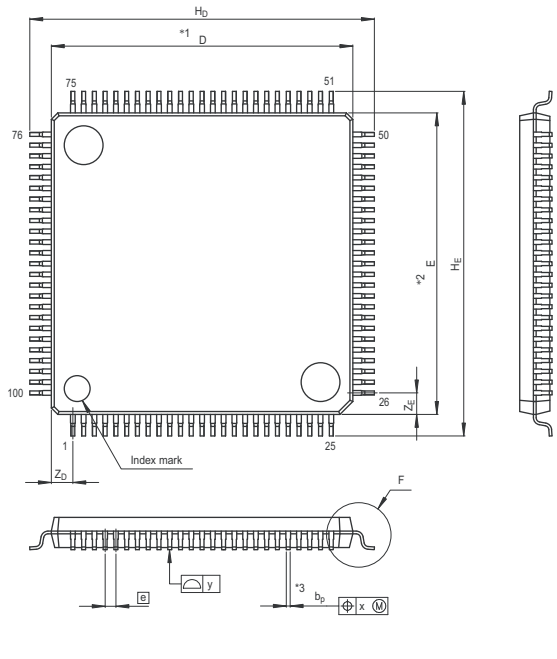
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA100-5.5x5.5-0.50	PTLG0100KA-A	100F0M	0.1g

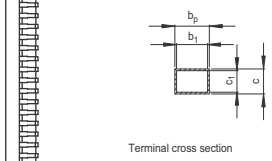


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	5.5	—
E	—	5.5	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.5	—
b	0.21	0.25	0.29
b_1	0.29	0.34	0.39
x	—	—	0.08
y	—	—	0.10
Z_D	—	0.5	—
Z_E	—	0.5	—

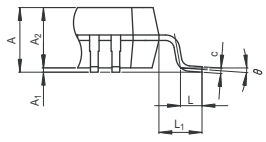
附图 2.6　100 引脚 TFLGA （PTLG0100KA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g





Terminal cross section



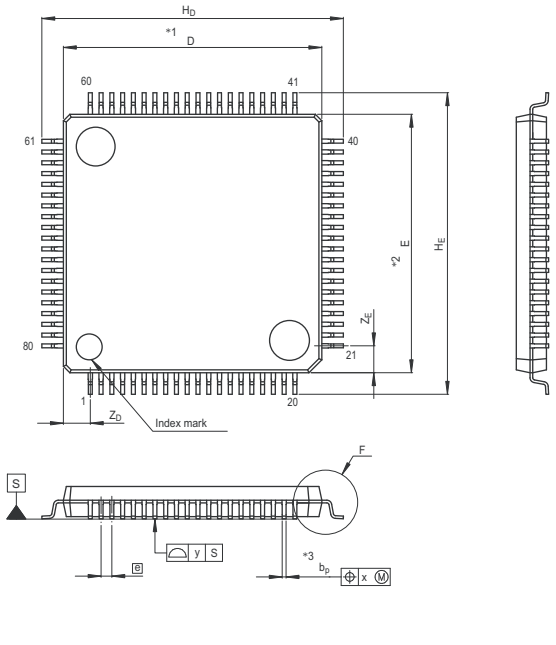
Detail F

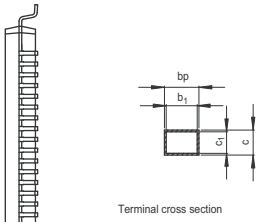
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

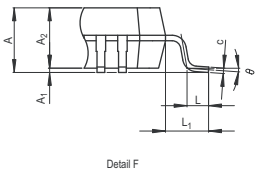
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

附图 2.7　100 引脚 LQFP （PLQP0100KB-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP80-12x12-0.50	PLQP0080KB-A	80P6Q-A	0.5g







NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A_2	—	1.4	—
H_D	13.8	14.0	14.2
H_E	13.8	14.0	14.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	10°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.3	0.5	0.7
L_1	—	1.0	—

附图 2.8 80 引脚 LQFP （PLQP0080KB-A）

修订记录	RX630 群 用户手册 硬件篇

Rev.	发行日	修订内容	
		页	修订处
1.00	2012.02.29	—	初版发行

RX630 群
用户手册 硬件篇

Publication Date: Rev1.00 Feb 29, 2012

Published by: Renesas Electronics Corporation



SALES OFFICES Renesas Electronics Corporation http://www.renesas.com

Refer to "http://www.renesas.com/" for the latest and detailed information.

Renesas Electronics America Inc.
2880 Scott Boulevard Santa Clara, CA 95050-2554, U.S.A.
Tel: +1-408-588-6000, Fax: +1-408-588-6130

Renesas Electronics Canada Limited
1101 Nicholson Road, Newmarket, Ontario L3Y 9C3, Canada
Tel: +1-905-898-5441, Fax: +1-905-898-3220

Renesas Electronics Europe Limited
Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K
Tel: +44-1628-585-100, Fax: +44-1628-585-900

Renesas Electronics Europe GmbH
Arcadiastrasse 10, 40472 Düsseldorf, Germany
Tel: +49-211-65030, Fax: +49-211-6503-1327

Renesas Electronics (China) Co., Ltd.
7th Floor, Quantum Plaza, No.27 ZhiChunLu Haidian District, Beijing 100083, P.R.China
Tel: +86-10-8235-1155, Fax: +86-10-8235-7679

Renesas Electronics (Shanghai) Co., Ltd.
Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd., Pudong District, Shanghai 200120, China
Tel: +86-21-5877-1818, Fax: +86-21-6887-7858 / -7898

Renesas Electronics Hong Kong Limited
Unit 1601-1613, 16/F., Tower 2, Grand Century Place, 193 Prince Edward Road West, Mongkok, Kowloon, Hong Kong
Tel: +852-2886-9318, Fax: +852 2886-9022/9044

Renesas Electronics Taiwan Co., Ltd.
13F, No. 363, Fu Shing North Road, Taipei, Taiwan
Tel: +886-2-8175-9600, Fax: +886 2-8175-9670

Renesas Electronics Singapore Pte. Ltd.
1 harbourFront Avenue, #06-10, keppel Bay Tower, Singapore 098632
Tel: +65-6213-0200, Fax: +65-6278-8001

Renesas Electronics Malaysia Sdn.Bhd.
Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No. 18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: +60-3-7955-9390, Fax: +60-3-7955-9510

Renesas Electronics Korea Co., Ltd.
11F., Samik Lavied' or Bldg., 720-2 Yeoksam-Dong, Kangnam-Ku, Seoul 135-080, Korea
Tel: +82-2-558-3737, Fax: +82-2-558-5141

© 2012 Renesas Electronics Corporation. All rights reserved.

Colophon 1.1

RX630群

RENESAS

瑞萨电子株式会社

R01UH0040CJ0100