User's Manual

32

RZ/T1 グループ

ユーザーズマニュアル　ハードウェア編

RZ ファミリ　RZ/T シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.2.00　2025.06

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2025 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

- このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RZ/T1 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RZ/T1グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	Arm®社のホームページから情報を入手してください。		
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X ・・・・レジスタ

アドレス xxxx xxxxh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	・・・・[1:0]		・・・・4	—	—	—	・・・・0
リセット後の値	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	・・・・0	・・・・ビット	0：・・・・・ 1：設定しないでください (3)	R/W (1)
b3-b1	—	予約ビット (2)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	・・・・4	・・・・ビット	0：・・・・・ 1：・・・・・	R
b6-b5	・・・・[1:0]	・・・・ビット	0 0：・・・・・ 0 1：・・・・・ 上記以外は設定しないでください (3)	R/(W) （注1）
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

(1) R/W ：読み出し / 書き込みともに有効です。
R/(W) ：読み出し / 書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照してください。
R ：読み出しのみ有効です。書き込みは無効になります。

(2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。

(3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
Hi-Z	High Impedance	回路が電気的に接続されていない状態
I/O	Input / Output	入出力
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース

4. アクセスサイズの表記

アクセスサイズ：
8 bit = バイト
16 bit = ワード
32 bit = ロングワード

すべての商標および登録商標は、それぞれの所有者に帰属します。

目　次

特長 59

1. 概要 60

1.1 仕様概要 60

1.2 製品一覧 68

1.3 製品型名 71

1.4 ブロック図 72

1.5 端子機能 73

1.6 ピン配置図 80

2. CPU 110

2.1 概要 110

2.2 コンフィギュレーション情報 111

2.3 CPU 制限事項 111

2.4 レジスタ説明 112

2.4.1 ATCM ウエイト制御レジスタ（SYTATCMWAIT） 112

2.4.2 セマフォ許可レジスタ（SYTSEMFEN）（R-IN Engine 搭載製品） 113

2.4.3 セマフォレジスタ n（SYTSEMFn, n = 0 ～ 7）（R-IN Engine 搭載製品） 114

2.5 使用上の注意事項 115

2.5.1 Cortex-M3 のリセット解除 115

2.5.2 セマフォレジスタ n（SYTSEMFn, n = 0 ～ 7）制御時の注意点 115

3. 動作モード 116

3.1 概要 116

3.2 動作モードの種類と選択 116

3.3 各動作モードで使用するハードウェアの情報 116

3.4 レジスタの説明 117

3.4.1 モードモニタレジスタ（MDMONR） 117

3.5 動作モードの説明 118

3.5.1 ブート機能 118

3.5.2 ローダ用パラメータ 119

3.5.3 ローダプログラム 122

3.5.4 SPI ブートモード（シリアルフラッシュ） 122

3.5.4.1 SPI ブートモードにおける動作設定 123

3.5.5 16 ビット／ 32 ビットバスブートモード（NOR フラッシュメモリ） 125

3.5.5.1 16 ビット／ 32 ビットバスブートモードにおける動作設定 127

3.5.6 MPU 設定 128

3.5.7 ブート関連情報とエラー処理 129

3.5.8 注意事項 130

3.5.8.1 例外処理 130

3.5.8.2 SPI ブートモード使用時のシリアルフラッシュについて 130

4. アドレス空間 131

4.1 アドレス空間 131

5. I/O レジスタ 135
5.1 I/O レジスタアドレス一覧（アドレス順） 136
6. リセット 223
6.1 概要 223
6.2 レジスタの説明 225
6.2.1 リセットステータスレジスタ 0（RSTSR0） 225
6.2.2 ソフトウェアリセットレジスタ（SWRR1） 226
6.2.3 ソフトウェアリセットレジスタ 2（SWRR2）（R-IN Engine 搭載製品） 226
6.2.4 モジュールリセット制御レジスタ C（MRCTLC） 227
6.3 動作説明 228
6.3.1 RES# 端子リセット 228
6.3.2 ECM リセット 228
6.3.3 ソフトウェアリセット 228
6.3.4 ソフトウェアリセット 2（R-IN Engine 搭載製品） 228
6.3.5 リセット発生要因の判定 229
6.3.6 リセット出力端子（RSTOUT#） 229
6.3.7 リセット入力のノイズ除去 229
6.4 使用上の注意事項 230
6.4.1 リセット出力端子（RSTOUT#）について 230
7. クロック発生回路 231
7.1 概要 231
7.2 レジスタの説明 237
7.2.1 システムクロックコントロールレジスタ（SCKCR） 237
7.2.2 システムクロックコントロールレジスタ 2（SCKCR2） 239
7.2.3 ΔΣI/F クロックコントロールレジスタ（DSCR） 240
7.2.4 PLL1 コントロールレジスタ（PLL1CR） 242
7.2.5 PLL1 コントロールレジスタ 2（PLL1CR2） 244
7.2.6 低速オンチップオシレータコントロールレジスタ（LOCOCR） 245
7.2.7 発振停止検出コントロールレジスタ（OSTDCR） 246
7.3 メインクロック発振器の入力選択 247
7.3.1 発振子を接続する方法 247
7.3.2 外部クロックを入力する方法 248
7.4 発振停止検出機能 249
7.4.1 発振停止検出と検出後の動作 249
7.4.2 発振停止検出割り込み 249
7.5 PLL 発振異常検出機能 249
7.6 低速オンチップオシレータ発振異常検出 249
7.7 PLL 回路 249
7.8 内部クロック 250
7.8.1 CPU クロック（CPUCLK） 250

7.8.2 システムクロック（ICLK）....250
7.8.3 高速周辺モジュールクロック（PCLKA）....250
7.8.4 低速周辺モジュールクロック（PCLKB）....250
7.8.5 高速周辺モジュールクロック（PCLKC）....250
7.8.6 低速周辺モジュールクロック（PCLKD、PCLKE、PCLKF、PCLKG、PCLKH）....251
7.8.7 外部バスクロック（CKIO）....251
7.8.8 高速シリアルクロック（SERICLK）....251
7.8.9 USB クロック M（USBMCLK）....251
7.8.10 USB クロック P（USBPCLK）....251
7.8.11 Ethernet クロック（ETCLKA、ETCLKB、ETCLKC、ETCLKD、ETCLKE、ETCLKF、ETCLKG）....251
7.8.12 CLMA クロック（CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1）....251
7.8.13 IWDT クロック（IWDTCLK）....251
7.8.14 ECM クロック（ECMCLK）....252
7.8.15 SSI クロック（ACLK）....252
7.8.16 ΔΣI/F クロック 0（DSCLK0）....252
7.8.17 ΔΣI/F クロック 1（DSCLK1）....252
7.8.18 JTAG 用クロック....252
7.8.19 トレース I/F クロック（TCLK）....252
7.9 使用上の注意事項....253
7.9.1 クロック発生回路に関する使用上の注意事項....253
7.9.2 発振子に関する注意事項....253
7.9.3 ボード設計上の注意....253
8. クロックモニタ回路（CLMA）....255
8.1 概要....255
8.2 レジスタの説明....257
8.2.1 CLMAn 制御レジスタ 0 （CLMAnCTL0）（n = 2-0）....257
8.2.2 CLMAn コンペアレジスタ L（CLMAnCMPL）（n = 2-0）....258
8.2.3 CLMAn コンペアレジスタ H（CLMAnCMPH）（n = 2-0）....258
8.2.4 CLMAn コマンドレジスタ（CLMAnPCMD）（n = 2-0）....259
8.2.5 CLMAn プロテクションステータスレジスタ（CLMAnPS）（n = 2-0）....259
8.3 動作説明....260
8.3.1 CLMAn の動作....260
8.3.2 異常クロック周波数の検出....261
8.3.3 異常クロック周波数の検出....263
8.4 CLMAn 使用上の注意事項....263
9. 消費電力低減機能....264
9.1 概要....264
9.2 レジスタの説明....266
9.2.1 モジュールストップコントロールレジスタ A（MSTPCRA）....266

9.2.2 モジュールストップコントロールレジスタ B（MSTPCRB）....268
9.2.3 モジュールストップコントロールレジスタ C（MSTPCRC）....270
9.2.4 モジュールストップコントロールレジスタ D（MSTPCRD）....272
9.2.5 モジュールストップコントロールレジスタ E（MSTPCRE）....273
9.2.6 モジュールストップコントロールレジスタ F（MSTPCRF）....274
9.3 動作説明....275
9.3.1 モジュールストップ機能....275
9.3.2 Cortex-R4 のスタンバイモードと Cortex-M3（R-IN Engine 搭載製品）のスリープモード....277
9.3.2.1 Cortex-R4 のスタンバイモードおよび Cortex-M3（R-IN Engine 搭載製品）のスリープモードへの遷移....277
9.3.2.2 Cortex-R4 のスタンバイモードおよび Cortex-M3（R-IN Engine 搭載製品）のスリープモードの解除....277
9.4 使用上の注意事項....278
9.4.1 I/O ポートの状態....278
9.4.2 DMAC のモジュールストップ....278
9.4.3 モジュールストップ中の内蔵周辺モジュールの割り込み....278
9.4.4 USB の低消費電力....278
9.4.5 Ethernet 関連機能の低消費電力....278
9.4.6 ライトプロテクション機能....278
10. デバッグインタフェース....279
10.1 概要....279
10.2 レジスタの説明....285
10.2.1 デバッグインタフェース制御レジスタ（DBGIFCNT）....285
10.3 動作説明....286
10.3.1 JTAG インタフェース....286
10.3.2 SWD インタフェース....287
10.3.3 トレースポートインタフェース....288
10.3.4 SWV インタフェース....289
10.3.5 リセット構成とエミュレータとの接続方法....290
10.3.5.1 nTRST 出力を High ドライブできないエミュレータの接続例....290
10.3.5.2 nTRST 出力を High ドライブできるエミュレータの接続例....291
10.3.6 エミュレータを接続しない場合の JTAG 端子の処置....292
10.3.7 TRST# 端子のノイズ除去....292
10.3.8 使用可能なトレース機能....292
10.4 注意事項....293
10.4.1 SWV インタフェース....293
10.4.2 メインバスへのアクセス....293
10.4.3 ROM テーブル....293
11. レジスタライトプロテクション機能....294
11.1 概要....294

11.2 レジスタの説明 295
11.2.1 プロテクトレジスタ（PRCR） 295
12. 割り込みコントローラ（ICUA） 296
12.1 概要 296
12.2 レジスタの説明 299
12.2.1 IRQ コントロールレジスタ i（IRQCRi）（i = 0 ～ 15） 299
12.2.2 IRQ 端子デジタルノイズフィルタ許可レジスタ（IRQFLTE） 300
12.2.3 IRQ 端子デジタルノイズフィルタ設定レジスタ（IRQFLTC） 301
12.2.4 ノンマスカブル割り込みステータスレジスタ（NMISR） 302
12.2.5 ノンマスカブル割り込みステータスクリアレジスタ（NMICLR） 303
12.2.6 NMI 端子割り込みコントロールレジスタ（NMICR） 303
12.2.7 NMI 端子デジタルノイズフィルタ許可レジスタ（NMIFLTE） 304
12.2.8 NMI 端子デジタルノイズフィルタ設定レジスタ（NMIFLTC） 305
12.2.9 EtherPHY コントロールレジスタ i（EPHYCRi）（i = 0 ～ 2） 306
12.2.10 EtherPHY 割り込み要求端子デジタルノイズフィルタ許可レジスタ（EPHYFLTE） 307
12.2.11 EtherPHY 割り込み要求端子デジタルノイズフィルタ設定レジスタ（EPHYFLTC） 308
12.2.12 外部 DMA 要求端子デジタルノイズフィルタ許可レジスタ（DREQFLTE） 309
12.2.13 外部 DMA 要求端子デジタルノイズフィルタ設定レジスタ（DREQFLTC） 310
12.2.14 CPU 間割り込み要求レジスタ（CPUINT）（R-IN Engine 搭載製品） 311
12.3 動作説明 312
12.3.1 割り込み要求先の選択 312
12.3.2 デジタルノイズフィルタ 314
12.3.3 外部端子割り込み 315
12.3.4 NMI 端子割り込み 316
12.4 Cortex-R4 ベクタ割り込みコントローラ（VIC） 317
12.4.1 概要 317
12.4.2 レジスタの説明 318
12.4.2.1 IRQ ステータスレジスタ n（IRQSn）（n = 0 ～ 9） 318
12.4.2.2 割り込み入力ステータスレジスタ n（RAISn）（n = 0 ～ 9） 323
12.4.2.3 割り込みイネーブルレジスタ n（IENn）（n = 0 ～ 9） 328
12.4.2.4 割り込みイネーブルクリアレジスタ n（IECn）（n = 0 ～ 9） 333
12.4.2.5 割り込み検出タイプ選択レジスタ n（PLSn）（n = 0 ～ 9） 338
12.4.2.6 エッジ検出ビットクリアレジスタ n（PICn）（n = 0 ～ 9） 343
12.4.2.7 割り込み優先レベルマスクレジスタ 0（PRLM0） 348
12.4.2.8 割り込み優先レベルマスクレジスタ 1（PRLM1） 349
12.4.2.9 割り込み優先レベルマスククリアレジスタ 0（PRLC0） 350
12.4.2.10 割り込み優先レベルマスククリアレジスタ 1（PRLC1） 351
12.4.2.11 ユーザモードイネーブルレジスタ 0（UEN0） 352
12.4.2.12 ユーザモードイネーブルレジスタ 1（UEN1） 353
12.4.2.13 割り込みアドレスレジスタ（HVA0） 354

12.4.2.14 割り込みサービスステータスレジスタ n（ISSn）（n = 0 ～ 9）..... 355
12.4.2.15 割り込みサービスカレントレジスタ n（ISCn）（n = 0 ～ 9）..... 361
12.4.2.16 割り込みアドレス格納レジスタ 0（VADn）（n = 1 ～ 255）
割り込みアドレス格納レジスタ 1（VADn）（n = 256 ～ 300）..... 366
12.4.2.17 割り込み優先レベル格納レジスタ 0（PRLn）（n = 1 ～ 255）..... 367
12.4.2.18 割り込み優先レベル格納レジスタ 1（PRLn）（n = 256 ～ 300）..... 368
12.4.2.19 割り込みレベルコントロールレジスタ n（LVLCn）（n = 8、9）..... 369
12.4.3 ベクタテーブル..... 372
12.4.3.1 割り込みのベクタテーブル..... 372
12.4.4 動作説明..... 383
12.4.4.1 VIC のレジスタ初期化..... 383
12.4.4.2 PLS / PRLM / LVLC / VAD / PRL レジスタ書き換え手順..... 384
12.4.4.3 割り込み検出..... 386
12.4.4.4 割り込み多重制御における優先レベル..... 389
12.4.4.5 多重割り込み処理..... 389
12.4.4.6 ポーリングによる IRQ 割り込み処理..... 392
12.4.5 スリープモードからの復帰..... 393
12.4.6 使用上の注意事項..... 394
12.4.6.1 VIC の優先レベルに関する制約..... 394
12.4.6.2 HVA0 レジスタアクセス時の注意点..... 394
12.4.6.3 レベル検出選択時の注意..... 395
12.4.6.4 IECn レジスタの書き換え時の注意..... 395
12.4.6.5 ベクタ設定について..... 395
12.5 Cortex-M3 ネスト型ベクタ割り込みコントローラ（NVIC）（R-IN Engine 搭載製品）..... 396
12.5.1 概要..... 396
12.5.2 ベクタテーブル..... 396
12.5.2.1 CM3 割り込みのベクタテーブル..... 396
12.6 使用上の注意事項..... 401
12.6.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合..... 401
12.6.2 NMI 端子割り込みを立ち下がりエッジで使用する場合..... 402
13. 内部バス..... **403**
13.1 概要..... 403
13.2 内部メインバス..... 406
14. バスステートコントローラ..... **407**
14.1 概要..... 407
14.2 エリアの概要..... 410
14.2.1 アドレスマップ..... 410
14.2.2 ブートモード、各エリアのデータバス幅、関連端子設定..... 410
14.3 レジスタの説明..... 412
14.3.1 CSn 空間バスコントロールレジスタ（CSnBCR）（n = 0 ～ 5）..... 412

14.3.2 CSn 空間ウェイト制御レジスタ（CSnWCR）（n = 0 ～ 5）..... 415
14.3.3 SDRAM コントロールレジスタ（SDCR）..... 431
14.3.4 リフレッシュタイマコントロール／ステータスレジスタ（RTCSR）..... 433
14.3.5 リフレッシュタイマカウンタ（RTCNT）..... 434
14.3.6 リフレッシュタイムコンスタントレジスタ（RTCOR）..... 435
14.3.7 タイムアウトサイクルコンスタントレジスタ（TOSCORn）（n = 0 ～ 5）..... 436
14.3.8 タイムアウトステータスレジスタ（TOSTR）..... 437
14.3.9 タイムアウトイネーブルレジスタ（TOENR）..... 438
14.3.10 CKIO 制御レジスタ（CKIOSET）..... 439
14.3.11 CKIOSET のプロテクトレジスタ（CKIOKEY）..... 439
14.4 動作説明 440
14.4.1 アクセスサイズとデータアライメント 440
14.4.2 SRAM インタフェース 442
14.4.3 アクセスウェイト制御 447
14.4.4 CSn# アサート期間拡張 449
14.4.5 MPX-I/O インタフェース 450
14.4.6 SDRAM インタフェース 453
14.4.7 バースト ROM（クロック非同期）インタフェース 482
14.4.8 バイト選択付き SRAM インタフェース 484
14.4.9 バースト ROM（クロック同期）インタフェース 488
14.4.10 アクセスサイクル間アイドル 489
14.4.11 その他 492
15. DMA コントローラ（DMACAa）..... 493
15.1 概要 493
15.2 レジスタの説明 495
15.2.1 ネクストソースアドレスレジスタ n（N0SA_n_N, N0SA_n_W, N1SA_n_N, N1SA_n_W）..... 495
15.2.2 ネクストデスティネーションアドレスレジスタ n （N0DA_n, N1DA_n）..... 497
15.2.3 ネクストトランザクションバイトレジスタ n （N0TB_n, N1TB_n）..... 498
15.2.4 カレントソースアドレスレジスタ（CRSA_n）..... 499
15.2.5 カレントデスティネーションアドレスレジスタ（CRDA_n）..... 500
15.2.6 カレントトランザクションバイトレジスタ（CRTB_n）..... 501
15.2.7 チャネルステータスレジスタ n （CHSTAT_n）..... 502
15.2.8 DMAC Unit0 要因選択レジスタ i（DMA0SELi）（i = 0 ～ 15）..... 506
15.2.9 DMAC Unit1 要因選択レジスタ i（DMA1SELi）（i = 0 ～ 15）..... 506
15.2.10 DMAC ソフトウェア起動レジスタ（DMASTG）..... 507
15.2.11 共通コントロールレジスタ（CMNCR）..... 508
15.2.12 チャネルコントロールレジスタ n （CHCTRL_n）..... 509
15.2.13 チャネルコンフィギュレーションレジスタ n （CHCFG_n）..... 511
15.2.14 チャネルインターバルレジスタ n （CHITVL_n）..... 515

15.2.15 ネクストリンクアドレスレジスタ n （NXLA_n） 515
15.2.16 カレントリンクアドレスレジスタ n （CRLA_n） 516
15.2.17 ソースコンティニュアスレジスタ n （SCNT_n） 517
15.2.18 ソーススキップレジスタ n （SSKP_n） 518
15.2.19 デスティネーションコンティニュアスレジスタ n （DCNT_n） 520
15.2.20 デスティネーションスキップレジスタ n （DSKP_n） 521
15.2.21 DMA コントロールレジスタ（DCTRL_X（X = A, B）） 523
15.2.22 デスクリプタインターバルレジスタ n （DSCITVL_X（X = A, B）） 524
15.2.23 DMA ステータス EN レジスタ（DST_EN_X（X = A, B）） 525
15.2.24 DMA ステータス ER レジスタ（DST_ER_X（X = A, B）） 526
15.2.25 DMA ステータス END レジスタ（DST_END_X（X = A, B）） 527
15.2.26 DMA ステータス SUS レジスタ（DST_SUS_X（X = A, B）） 528
15.3 動作説明 529
15.3.1 DMA モード 529
15.3.1.1 レジスタ・モード 529
15.3.1.2 リンク・モード 536
15.3.1.3 WRITE ONLY モード 545
15.3.2 転送モード 545
15.3.2.1 シングル転送モード 546
15.3.2.2 ブロック転送モード 546
15.3.3 DMA チャネルの優先順位制御 547
15.3.3.1 固定優先順位モード 547
15.3.3.2 ラウンドロビン・モード 548
15.3.4 DMA 転送要求 550
15.3.4.1 DMA 転送要求の要因毎の検出動作指定 550
15.3.4.2 エッジ検出 558
15.3.4.3 レベル検出 558
15.3.5 DMA アクノリッジ出力／ DMA トランザクション終了出力機能 560
15.3.5.1 DMA 転送要求の要因毎のアクノリッジ信号／ DMA トランザクション終了信号のモード指定 561
15.3.5.2 レベル出力 562
15.3.5.3 バス・サイクル出力 563
15.3.6 強制排出要求 564
15.3.6.1 ソフトウェア強制排出要求 564
15.3.7 インターバル・カウント機能 565
15.3.8 転送データサイズによる動作の違い 566
15.3.8.1 転送元側の転送データサイズが小さい場合 566
15.3.8.2 転送先の転送データサイズが小さい場合 567
15.3.8.3 転送元と転送先の転送データサイズが同じ場合 567
15.3.9 DMA 転送状態 568
15.3.10 一時停止（サスペンド） 570

15.3.11 転送中断 571
15.3.11.1 転送中断（バッファ掃き出しなし：SBE = 0） 571
15.3.11.2 転送中断（バッファ掃き出しあり：SBE = 1） 572
15.3.11.3 チャネル停止の確認方法 572
15.3.11.4 転送中断手順 573
15.4 割り込み 574
15.4.1 割り込み要因 574
15.4.2 DMA 転送完了割り込み 574
15.4.3 DMA エラー割り込み 575
15.5 DMA 設定例 576
15.5.1 設定例 1（レジスタ・ハードウェア・リクエスト） 576
15.5.2 設定例 2（レジスタ・モード　ソフトウェア・リクエスト） 578
15.5.3 設定例 3（レジスタ・モード 連続実行） 580
15.5.4 設定例 4（リンク・モード） 582
15.5.5 Next レジスタ連続実行設定 585
15.6 使用上の注意 588
15.6.1 DACK、TEND 信号分割出力される場合について 589
15.6.2 TEND 信号が出力されない場合について 590
16. イベントリンクコントローラ（ELC） 591
16.1 概要 591
16.2 レジスタの説明 592
16.2.1 イベントリンクコントロールレジスタ（ELCR） 592
16.2.2 イベントリンク設定レジスタ n（ELSRn）
（n = 0、3、4、7、10 ～ 13、15、16、18 ～ 28、33、35 ～ 38、41 ～ 45） 592
16.2.3 イベントリンクオプション設定レジスタ A（ELOPA） 597
16.2.4 イベントリンクオプション設定レジスタ B（ELOPB） 597
16.2.5 イベントリンクオプション設定レジスタ C（ELOPC） 598
16.2.6 イベントリンクオプション設定レジスタ D（ELOPD） 598
16.2.7 ポートグループ指定レジスタ n（PGRn）（n = 1、2） 599
16.2.8 ポートグループコントロールレジスタ n（PGCn）（n = 1、2） 600
16.2.9 ポートバッファレジスタ n（PDBFn）（n = 1、2） 601
16.2.10 イベント接続ポート指定レジスタ n（PELn）（n = 0 ～ 3） 602
16.2.11 イベントリンクソフトウェアイベント発生レジスタ（ELSEGR） 603
16.2.12 イベントリンクオプション設定レジスタ F（ELOPF） 604
16.2.13 イベントリンクオプション設定レジスタ H（ELOPH） 605
16.2.14 イベントリンクオプション設定レジスタ I（ELOPI） 605
16.2.15 イベントリンクオプション設定レジスタ J（ELOPJ） 606
16.3 動作説明 607
16.3.1 割り込み処理とイベントリンクの関係 607
16.3.2 イベントのリンク 608

16.3.3 タイマ系周辺機能のイベント入力時の動作 609
16.3.4 A/D コンバータのイベント入力時の動作 609
16.3.5 I/O ポートのイベント入力動作とイベント発生動作 609
16.3.6 イベントリンクの動作設定手順例 614
16.4 使用上の注意事項 615
16.4.1 ELSR18、ELSR19 レジスタの設定について 615
16.4.2 出力ポートグループのビットローテート動作の設定について 615
16.4.3 クロック設定について 615
16.4.4 モジュールストップ機能の設定 615
17. I/O ポート 616
17.1 概要 616
17.2 入出力ポートの構成 618
17.3 レジスタの説明 623
17.3.1 ポート方向レジスタ（PDR） 623
17.3.2 ポート出力データレジスタ（PODR） 624
17.3.3 ポート入力データレジスタ（PIDR） 625
17.3.4 ポートモードレジスタ（PMR） 626
17.3.5 プルアップ／プルダウン制御レジスタ（PCR） 627
17.3.6 駆動能力制御レジスタ（DSCR） 628
17.4 未使用端子の処理 629
18. マルチファンクションピンコントローラ（MPC） 630
18.1 概要 630
18.2 レジスタの説明 652
18.2.1 書き込みプロテクトレジスタ（PWPR） 652
18.2.2 P0n 端子機能制御レジスタ（P0nPFS）（n = 0 ～ 7） 653
18.2.3 P1n 端子機能制御レジスタ（P1nPFS）（n = 0 ～ 7） 654
18.2.4 P2n 端子機能制御レジスタ（P2nPFS）（n = 0 ～ 7） 656
18.2.5 P3n 端子機能制御レジスタ（P3nPFS）（n = 0 ～ 7） 657
18.2.6 P4n 端子機能制御レジスタ（P4nPFS）（n = 0 ～ 7） 659
18.2.7 P5n 端子機能制御レジスタ（P5nPFS）（n = 0 ～ 6） 661
18.2.8 P6n 端子機能制御レジスタ（P6nPFS）（n = 0 ～ 7） 663
18.2.9 P7n 端子機能制御レジスタ（P7nPFS）（n = 0 ～ 7） 665
18.2.10 P8n 端子機能制御レジスタ（P8nPFS）（n = 0 ～ 7） 666
18.2.11 P9n 端子機能制御レジスタ（P9nPFS）（n = 0 ～ 7） 668
18.2.12 PAn 端子機能制御レジスタ（PAnPFS）（n = 0 ～ 7） 670
18.2.13 PBn 端子機能制御レジスタ（PBnPFS）（n = 0 ～ 7） 672
18.2.14 PCn 端子機能制御レジスタ（PCnPFS）（n = 0 ～ 7） 674
18.2.15 PDn 端子機能制御レジスタ（PDnPFS）（n = 0 ～ 7） 676
18.2.16 PEn 端子機能制御レジスタ（PEnPFS）（n = 0 ～ 7） 678
18.2.17 PFn 端子機能制御レジスタ（PFnPFS）（n = 5 ～ 7） 679

18.2.18 PGn 端子機能制御レジスタ（PGnPFS）（n = 0 ～ 7）... 681
18.2.19 PHn 端子機能制御レジスタ（PHnPFS）（n = 0 ～ 7）... 682
18.2.20 PJn 端子機能制御レジスタ（PJnPFS）（n = 0 ～ 7）... 683
18.2.21 PKn 端子機能制御レジスタ（PKnPFS）（n = 0 ～ 7）... 684
18.2.22 PLn 端子機能制御レジスタ（PLnPFS）（n = 0 ～ 7）... 685
18.2.23 PMn 端子機能制御レジスタ（PMnPFS）（n = 0 ～ 7）... 686
18.2.24 PNn 端子機能制御レジスタ（PNnPFS）（n = 0 ～ 7）... 687
18.2.25 PPn 端子機能制御レジスタ（PPnPFS）（n = 0 ～ 7）... 688
18.2.26 PRn 端子機能制御レジスタ（PRnPFS）（n = 0 ～ 7）... 689
18.2.27 PSn 端子機能制御レジスタ（PSnPFS）（n = 0 ～ 7）... 690
18.2.28 PTn 端子機能制御レジスタ（PTnPFS）（n = 0 ～ 7）... 691
18.2.29 PUn 端子機能制御レジスタ（PUnPFS）（n = 0 ～ 7）... 692
18.3 使用上の注意事項 ... 693
18.3.1 端子入出力機能の設定手順 ... 693
18.3.2 MPC レジスタ設定時の注意事項 ... 693
18.3.3 ポートリード機能を使用する場合の注意事項 ... 695
18.3.4 MTU, GPT におけるポート設定の注意事項 ... 699
19. マルチファンクションタイマパルスユニット 3（MTU3a） ... 700
19.1 概要 ... 700
19.2 レジスタの説明 ... 707
19.2.1 タイマコントロールレジスタ（TCR） ... 707
19.2.2 タイマコントロールレジスタ 2（TCR2） ... 709
19.2.3 タイマモードレジスタ 1（TMDR1） ... 714
19.2.4 タイマモードレジスタ 2（TMDR2A、TMDR2B） ... 717
19.2.5 タイマモードレジスタ 3（TMDR3） ... 718
19.2.6 タイマ I/O コントロールレジスタ（TIOR） ... 720
19.2.7 タイマコンペアマッチクリアレジスタ（TCNTCMPCLR） ... 738
19.2.8 タイマインタラプトイネーブルレジスタ（TIER） ... 739
19.2.9 タイマステータスレジスタ（TSR） ... 742
19.2.10 タイマバッファ動作転送モードレジスタ（TBTM） ... 745
19.2.11 タイマインプットキャプチャコントロールレジスタ（TICCR） ... 746
19.2.12 タイマシンクロクリアレジスタ（TSYCR） ... 747
19.2.13 タイマカウンタ（TCNT） ... 748
19.2.14 タイマロングワードカウンタ（TCNTLW） ... 749
19.2.15 タイマジェネラルレジスタ（TGR） ... 750
19.2.16 タイマロングワードジェネラルレジスタ n（TGRnLW）（n = A、B） ... 751
19.2.17 タイマスタートレジスタ（TSTR） ... 752
19.2.18 タイマシンクロレジスタ（TSYR） ... 754
19.2.19 タイマカウンタシンクロスタートレジスタ（TCSYSTR） ... 756
19.2.20 タイマリードライトイネーブルレジスタ（TRWERA、TRWERB） ... 758

19.2.21 タイマアウトプットマスタイネーブルレジスタ（TOER）..... 759
19.2.22 タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）..... 761
19.2.23 タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）..... 763
19.2.24 タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）..... 766
19.2.25 タイマゲートコントロールレジスタ A（TGCRA）..... 767
19.2.26 タイマサブカウンタ（TCNTSA、TCNTSB）..... 768
19.2.27 タイマ周期データレジスタ（TCDRA、TCDRB）..... 768
19.2.28 タイマ周期バッファレジスタ（TCBRA、TCBRB）..... 769
19.2.29 タイマデッドタイムデータレジスタ（TDDRA、TDDRB）..... 769
19.2.30 タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）..... 770
19.2.31 タイマバッファ転送設定レジスタ（TBTERA、TBTERB）..... 771
19.2.32 タイマ波形コントロールレジスタ（TWCRA、TWCRB）..... 772
19.2.33 ノイズフィルタコントロールレジスタ n（NFCRn）（n = 0 ～ 4、6、7、8、C）..... 774
19.2.34 ノイズフィルタコントロールレジスタ 5（NFCR5）..... 777
19.2.35 タイマ A/D 変換開始要求コントロールレジスタ（TADCR）..... 778
19.2.36 タイマ A/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）..... 781
19.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA、TADCOBRB）..... 782
19.2.38 タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）..... 783
19.2.39 タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）..... 784
19.2.40 タイマ割り込み間引き回数カウンタ 1（TITCNT1A、TITCNT1B）..... 787
19.2.41 タイマ割り込み間引き設定レジスタ 2（TITCR2A、TITCR2B）..... 789
19.2.42 タイマ割り込み間引き回数カウンタ 2（TITCNT2A、TITCNT2B）..... 791
19.2.43 バスマスタとのインタフェース..... 793
19.3 動作説明..... 794
19.3.1 基本動作..... 794
19.3.2 同期動作..... 800
19.3.3 バッファ動作..... 802
19.3.4 カスケード接続動作..... 807
19.3.5 PWM モード..... 812
19.3.6 位相計数モード..... 817
19.3.7 リセット同期 PWM モード..... 831
19.3.8 相補 PWM モード..... 834
19.3.9 A/D 変換開始要求ディレイド機能..... 880
19.3.10 MTU0 ～ MTU4 － MTU6、MTU7 の同期動作..... 887
19.3.11 外部パルス幅測定機能..... 891
19.3.12 相補 PWM の「山／谷」での TCNT キャプチャ動作..... 892
19.3.13 ノイズフィルタ機能..... 893
19.4 割り込み要因..... 894
19.4.1 割り込み要因と優先順位..... 894
19.4.2 DMAC の起動..... 896

19.4.3 A/D コンバータの起動 897
19.5 動作タイミング 899
19.5.1 入出力タイミング 899
19.5.2 割り込み信号タイミング 907
19.6 使用上の注意事項 910
19.6.1 モジュールストップ機能の設定 910
19.6.2 入力クロックの制限事項 910
19.6.3 周期設定上の注意事項 910
19.6.4 TCNT への書き込みとクリアの競合 911
19.6.5 TCNT への書き込みとカウントアップの競合 911
19.6.6 TGR への書き込みとコンペアマッチの競合 912
19.6.7 バッファレジスタへの書き込みとコンペアマッチの競合 912
19.6.8 バッファレジスタへの書き込みと TCNT クリアの競合 913
19.6.9 TGR レジスタの読み出しとインプットキャプチャの競合 914
19.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合 915
19.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合 916
19.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー／アンダフローの競合 917
19.6.13 相補 PWM モード停止時のカウンタ値 918
19.6.14 相補 PWM モードでのバッファ動作の設定 918
19.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ 919
19.6.16 リセット同期 PWM モードのオーバフロー 920
19.6.17 オーバフロー／アンダフローとカウンタクリアの競合 921
19.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合 921
19.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項 922
19.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル 922
19.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ 922
19.6.22 割り込み間引き機能 2 923
19.6.23 相補 PWM モードの出力保護機能未使用時の注意事項 923
19.6.24 タイマカウンタ（MTU5.TCNT）とタイマジェネラルレジスタ（MTU5.TGR）の注意事項 923
19.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項 924
19.6.26 ELC イベント入力の時タイマモードレジスタ設定の注意事項 925
19.6.27 コンペアマッチによる割り込み信号の連続出力 926
19.6.28 相補 PWM モード／リセット同期 PWM モード使用時におけるポート設定の注意事項 927
19.7 MTU 出力端子の初期化方法 928
19.7.1 動作モード 928
19.7.2 動作中の異常などによる再設定時の動作 928
19.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要 929

19.8 ELC によるリンク動作 959
19.8.1 ELC へのイベント信号出力 959
19.8.2 ELC からのイベント信号受信によるアクション動作 959
19.8.3 ELC からのイベント信号受信によるアクション動作の注意事項 960
20. ポートアウトプットイネーブル 3（POE3） 961
20.1 概要 961
20.2 レジスタの説明 964
20.2.1 入力レベルコントロール／ステータスレジスタ 1（ICSR1） 964
20.2.2 入力レベルコントロール／ステータスレジスタ 2（ICSR2） 965
20.2.3 入力レベルコントロール／ステータスレジスタ 3（ICSR3） 966
20.2.4 入力レベルコントロール／ステータスレジスタ 4（ICSR4） 967
20.2.5 入力レベルコントロール／ステータスレジスタ 5（ICSR5） 968
20.2.6 入力レベルコントロール／ステータスレジスタ 6（ICSR6） 969
20.2.7 出力レベルコントロール／ステータスレジスタ 1（OCSR1） 970
20.2.8 出力レベルコントロール／ステータスレジスタ 2（OCSR2） 971
20.2.9 アクティブレベルレジスタ 1（ALR1） 972
20.2.10 ソフトウェアポートアウトプットイネーブルレジスタ（SPOER） 974
20.2.11 ポートアウトプットイネーブルコントロールレジスタ 1（POECR1） 976
20.2.12 ポートアウトプットイネーブルコントロールレジスタ 2（POECR2） 977
20.2.13 ポートアウトプットイネーブルコントロールレジスタ 3（POECR3） 979
20.2.14 ポートアウトプットイネーブルコントロールレジスタ 4（POECR4） 980
20.2.15 ポートアウトプットイネーブルコントロールレジスタ 5（POECR5） 982
20.2.16 ポートアウトプットイネーブルコントロールレジスタ 6（POECR6） 983
20.2.17 GPT3 端子選択レジスタ（G3SELR） 984
20.2.18 MTU0 端子選択レジスタ 1（M0SELR1） 985
20.2.19 MTU0 端子選択レジスタ 2（M0SELR2） 986
20.2.20 MTU3 端子選択レジスタ（M3SELR） 987
20.2.21 MTU4 端子選択レジスタ 1（M4SELR1） 988
20.2.22 MTU4 端子選択レジスタ 2（M4SELR2） 989
20.3 動作説明 990
20.3.1 MTU ／ GPT 端子選択 993
20.3.2 入力レベル検出動作 995
20.3.3 出力レベル比較動作 996
20.3.4 レジスタによるハイインピーダンス制御 997
20.3.5 発振停止／発振異常検出検知によるハイインピーダンス制御 997
20.3.6 ハイインピーダンス制御条件の追加機能 997
20.3.7 ハイインピーダンス状態からの解除 997
20.4 POE3 設定手順 998
20.5 割り込み 998
20.6 使用上の注意事項 999

20.6.1 MTU ／ GPT 端子非選択時のハイインピーダンス制御 ... 999
20.6.2 MTU6 ／ MTU7 未使用時のハイインピーダンス制御 ... 999
21. 汎用 PWM タイマ（GPTa） ... 1000
21.1 概要 ... 1000
21.2 レジスタの説明 ... 1005
21.2.1 汎用 PWM タイマソフトウェアスタートレジスタ（GTSTR） ... 1005
21.2.2 ノイズフィルタ制御レジスタ（NFCR） ... 1006
21.2.3 汎用 PWM タイマハードウェア要因スタート／ストップ制御レジスタ（GTHSCR） ... 1008
21.2.4 汎用 PWM タイマハードウェア要因クリア制御レジスタ（GTHCCR） ... 1009
21.2.5 汎用 PWM タイマハードウェアスタート要因セレクトレジスタ（GTHSSR） ... 1010
21.2.6 汎用 PWM タイマハードウェアストップクリア要因セレクトレジスタ（GTHPSR） ... 1011
21.2.7 汎用 PWM タイマ書き込み保護レジスタ（GTWP） ... 1012
21.2.8 汎用 PWM タイマシンクロレジスタ（GTSYNC） ... 1013
21.2.9 汎用 PWM タイマ外部トリガ入力割り込みレジスタ（GTETINT） ... 1014
21.2.10 汎用 PWM タイマバッファ動作禁止レジスタ（GTBDR） ... 1016
21.2.11 汎用 PWM タイマスタート書き込み保護レジスタ（GTSWP） ... 1017
21.2.12 汎用 PWM タイマ I/O 制御レジスタ（GTIOR） ... 1018
21.2.13 汎用 PWM タイマ割り込み出力設定レジスタ（GTINTAD） ... 1022
21.2.14 汎用 PWM タイマ制御レジスタ（GTCR） ... 1024
21.2.15 汎用 PWM タイマバッファイネーブルレジスタ（GTBER） ... 1026
21.2.16 汎用 PWM タイマカウント方向レジスタ（GTUDC） ... 1029
21.2.17 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC） ... 1030
21.2.18 汎用 PWM タイマステータスレジスタ（GTST） ... 1032
21.2.19 汎用 PWM タイマカウンタ（GTCNT） ... 1033
21.2.20 汎用 PWM タイマコンペアキャプチャレジスタ m（GTCCRm）（m = A ～ F） ... 1033
21.2.21 汎用 PWM タイマ周期設定レジスタ（GTPR） ... 1034
21.2.22 汎用 PWM タイマ周期設定バッファレジスタ（GTPBR） ... 1034
21.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ（GTPDBR） ... 1034
21.2.24 A/D 変換開始要求タイミングレジスタ m（GTADTRm）（m = A、B） ... 1035
21.2.25 A/D 変換開始要求タイミングバッファレジスタ m（GTADTBRm）（m = A、B） ... 1035
21.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ m（GTADTDBRm）（m = A、B） ... 1036
21.2.27 汎用 PWM タイマ出力ネゲート制御レジスタ（GTONCR） ... 1037
21.2.28 汎用 PWM タイマデッドタイム制御レジスタ（GTDTCR） ... 1039
21.2.29 汎用 PWM タイマデッドタイム値レジスタ m（GTDVm）（m = U、D） ... 1040
21.2.30 汎用 PWM タイマデッドタイムバッファレジスタ m（GTDBm）（m = U、D） ... 1040
21.2.31 汎用 PWM タイマ出力保護機能ステータスレジスタ（GTSOS） ... 1041
21.2.32 汎用 PWM タイマ出力保護機能一時解除レジスタ（GTSOTR） ... 1042
21.3 動作説明 ... 1043

21.3.1 基本動作 1043
21.3.1.1 カウンタの動作 1043
21.3.1.2 コンペアマッチによる波形出力機能 1047
21.3.1.3 インプットキャプチャ機能 1051
21.3.2 バッファ動作 1053
21.3.2.1 GTPR レジスタのバッファ動作 1053
21.3.2.2 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作 1056
21.3.2.3 GTADTRA レジスタ、GTADTRB レジスタのバッファ動作 1062
21.3.3 PWM 出力動作モード 1065
21.3.4 デッドタイム自動設定機能 1077
21.3.5 カウント方向切り替え機能 1082
21.3.6 ハードウェアスタート／ストップ、クリア動作 1083
21.3.6.1 ハードウェアスタート動作 1083
21.3.6.2 ハードウェアストップ動作 1085
21.3.6.3 ハードウェアクリア動作 1089
21.3.7 同期動作 1092
21.3.7.1 同期クリア動作 1092
21.3.7.2 同期スタート動作 1095
21.3.8 PWM 出力動作例 1101
21.3.9 ノイズフィルタ機能 1107
21.4 割り込み要因 1108
21.4.1 割り込み要因と優先順位 1108
21.4.2 DMAC の起動 1112
21.4.3 割り込み、A/D 変換要求の間引き機能 1112
21.5 A/D 変換開始要求 1116
21.6 ELC によるリンク動作 1118
21.6.1 ELC へのイベント信号出力 1118
21.6.2 ELC からのイベント信号受信によるアクション動作 1118
21.6.3 ELC からのイベント信号受信によるアクション動作の注意事項 1119
21.6.4 ノイズフィルタ機能 1120
21.7 保護機能 1121
21.7.1 レジスタの書き込み保護 1121
21.7.2 バッファ動作の抑止 1122
21.7.3 GTIOC 端子出力のネゲート制御 1123
21.7.4 GTIOC 端子出力の出力保護機能 1124
21.7.5 POE 機能による GTIOC 端子出力のハイインピーダンス制御 1132
21.8 出力端子の初期化方法 1133
21.8.1 リセット後の端子設定 1133
21.8.2 動作中の異常などによる端子の初期化 1133
21.9 使用上の注意事項 1134

21.9.1 モジュールストップ機能の設定 1134
21.9.2 コンペアマッチ動作時の GTCCRn レジスタの設定（n = A、B、C、D、E、F） 1134
21.9.3 タイマの安全な停止方法 1135
21.9.4 カウンタの各イベントの優先順序 1135
21.9.5 PWM 出力動作モードにおけるポート設定の注意事項 1136
22. 16 ビットタイマパルスユニット（TPUa） 1137
22.1 概要 1137
22.2 レジスタの説明 1144
22.2.1 タイマコントロールレジスタ（TCR） 1144
22.2.2 タイマモードレジスタ（TMDR） 1149
22.2.3 タイマ I/O コントロールレジスタ（TIORH、TIORL、TIOR） 1151
22.2.4 タイマ割り込み許可レジスタ（TIER） 1162
22.2.5 タイマステータスレジスタ（TSR） 1164
22.2.6 タイマカウンタ（TCNT） 1166
22.2.7 タイマジェネラルレジスタ A（TGRA）
タイマジェネラルレジスタ B（TGRB）
タイマジェネラルレジスタ C（TGRC）
タイマジェネラルレジスタ D（TGRD） 1167
22.2.8 タイマスタートレジスタ（TSTRA, TSTRB） 1168
22.2.9 タイマシンクロレジスタ（TSYRA, TSYRB） 1169
22.2.10 ノイズフィルタコントロールレジスタ（NFCR） 1170
22.2.11 PWM フィードバック選択レジスタ（PWMFBSLR） 1172
22.3 動作説明 1175
22.3.1 概要 1175
22.3.2 同期動作 1181
22.3.3 バッファ動作 1183
22.3.4 カスケード接続動作 1188
22.3.5 PWM モード 1190
22.3.6 位相計数モード 1196
22.3.6.1 位相計数モード応用例 1201
22.3.7 ノイズフィルタ機能 1202
22.3.8 内部 PWM フィードバック入力選択機能 1203
22.3.8.1 PWM 1 軸測定の設定例
（TPU（ユニット 0）を内部 PWM フィードバック入力に設定） 1203
22.3.8.2 PWM 2 軸測定の設定例
（TPU（ユニット 0）を内部 PWM フィードバック入力に設定） 1205
22.3.8.3 PWM 1 軸測定の設定例
（TPU（ユニット 0）をインプットキャプチャ機能として設定） 1207
22.3.8.4 PWM2 軸測定の設定例（TPU（ユニット 0、ユニット 1）を
インプットキャプチャ機能として設定） 1209
22.4 割り込み要因 1211
22.5 DMAC の起動 1213

22.6 A/D コンバータの起動 1213
22.7 PPG トリガ 1213
22.8 動作タイミング 1214
22.8.1 入出力タイミング 1214
22.8.2 割り込み信号タイミング 1218
22.9 使用上の注意事項 1220
22.9.1 モジュールストップ機能の設定 1220
22.9.2 入力クロックの制限事項 1220
22.9.3 周期設定上の注意事項 1220
22.9.4 TPUm.TCNT カウンタへの書き込みとクリアの競合 1221
22.9.5 TPUm.TCNT カウンタへの書き込みとカウントアップの競合 1221
22.9.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合 1222
22.9.7 バッファレジスタへの書き込みとコンペアマッチの競合 1222
22.9.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合 1223
22.9.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合 1223
22.9.10 バッファレジスタへの書き込みとインプットキャプチャの競合 1224
22.9.11 オーバフロー／アンダフローとカウンタクリアの競合 1225
22.9.12 TPUm.TCNT カウンタへの書き込みとオーバフロー／アンダフローの競合 1226
22.9.13 コンペアマッチによる割り込み信号の連続出力 1227
22.9.14 インプットキャプチャによる割り込み信号の連続出力 1227
22.9.15 アンダフローによる割り込み信号の連続出力 1228
22.9.16 カスケード接続時におけるインプットキャプチャ動作 1229
22.10 イベントリンク動作（ユニット 0 のみ） 1230
22.10.1 ELC へのイベント信号送信 1230
22.10.2 ELC からのイベント信号受信 1230
22.10.3 イベントリンク信号受信による動作の注意事項 1233
22.10.4 イベントリンク信号送信動作の注意事項 1235
23. プログラマブルパルスジェネレータ（PPG） 1237
23.1 概要 1237
23.2 レジスタの説明 1240
23.2.1 PPG トリガセレクトレジスタ（PTRSLR） 1240
23.2.2 ネクストデータイネーブルレジスタ H（NDERH）、ネクストデータイネーブルレジスタ L（NDERL） 1241
23.2.3 アウトプットデータレジスタ H（PODRH）、アウトプットデータレジスタ L（PODRL） 1243
23.2.4 ネクストデータレジスタ H（NDRH）、ネクストデータレジスタ L（NDRL） 1245
23.2.5 PPG 出力コントロールレジスタ（PCR） 1248
23.2.6 PPG 出力モードレジスタ（PMR） 1250
23.3 動作説明 1253
23.3.1 出力タイミング 1254
23.3.2 通常動作のパルス出力設定手順例 1255

23.3.3 パルス出力通常動作例（5 相パルス出力例）... 1256
23.3.4 パルス出力ノンオーバラップ動作... 1257
23.3.5 ノンオーバラップ動作のパルス出力設定手順例... 1259
23.3.6 パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）... 1260
23.3.7 パルス反転出力... 1262
23.3.8 インプットキャプチャによるパルス出力... 1263
23.4 使用上の注意事項... 1263
23.4.1 モジュールストップ機能の設定... 1263
24. コンペアマッチタイマ（CMT）... 1264
24.1 概要... 1264
24.2 レジスタの説明... 1266
24.2.1 コンペアマッチタイマスタートレジスタ 0（CMSTR0）... 1266
24.2.2 コンペアマッチタイマスタートレジスタ 1（CMSTR1）... 1266
24.2.3 コンペアマッチタイマスタートレジスタ 2（CMSTR2）... 1267
24.2.4 コンペアマッチタイマコントロールレジスタ（CMCR）... 1268
24.2.5 コンペアマッチタイマカウンタ（CMCNT）... 1268
24.2.6 コンペアマッチタイマコンスタントレジスタ（CMCOR）... 1269
24.3 動作説明... 1270
24.3.1 周期カウント動作... 1270
24.3.2 CMCNT カウンタのカウントタイミング... 1270
24.4 割り込み... 1271
24.4.1 割り込み要因... 1271
24.4.2 コンペアマッチ割り込みの発生タイミング... 1271
24.5 イベントリンク動作... 1272
24.5.1 ELC へのイベント発行... 1272
24.5.2 ELC からのイベント受け付けによる CMT の動作... 1273
24.5.3 イベントリンク動作に関する CMT の注意事項... 1276
24.6 使用上の注意事項... 1279
24.6.1 モジュールストップ機能の設定... 1279
24.6.2 CMCNT カウンタへの書き込みとコンペアマッチの競合... 1279
24.6.3 CMCNT カウンタへの書き込みとカウントアップの競合... 1280
25. コンペアマッチタイマ W（CMTW）... 1281
25.1 概要... 1281
25.2 レジスタの説明... 1283
25.2.1 タイマスタートレジスタ（CMWSTR）... 1283
25.2.2 タイマコントロールレジスタ（CMWCR）... 1284
25.2.3 タイマ I/O コントロールレジスタ（CMWIOR）... 1286
25.2.4 タイマカウンタ（CMWCNT）... 1288
25.2.5 コンペアマッチコンスタントレジスタ（CMWCOR）... 1288
25.2.6 インプットキャプチャレジスタ 0、1（CMWICR0、CMWICR1）... 1289

25.2.7 アウトプットコンペアレジスタ 0、1（CMWOCR0、CMWOCR1）.... 1289
25.2.8 デジタルノイズフィルタコントロールレジスタ 0（NFCR0）.... 1290
25.2.9 デジタルノイズフィルタコントロールレジスタ 1（NFCR1）.... 1291
25.2.10 ECM ダイナミックモードエラー出力選択レジスタ（ECDMESLR）.... 1292
25.3 動作説明.... 1293
25.3.1 周期カウント動作.... 1293
25.3.2 コンペアマッチ機能.... 1293
25.3.3 アウトプットコンペア機能.... 1295
25.3.4 インプットキャプチャ機能.... 1297
25.3.5 カウンタサイズ.... 1299
25.3.6 CMWCNT カウントタイミング.... 1299
25.3.7 アウトプットコンペア出力タイミング.... 1300
25.3.8 インプットキャプチャ信号タイミング.... 1300
25.3.9 デジタルノイズフィルタ機能.... 1301
25.3.10 ECM ダイナミックモードエラー出力選択機能.... 1301
25.4 割り込み.... 1302
25.4.1 CMTW の割り込み要因と DMAC.... 1302
25.4.2 コンペアマッチ割り込みの発生タイミング.... 1303
25.4.3 アウトプットコンペア割り込みの発生タイミング.... 1303
25.4.4 インプットキャプチャ割り込みの発生タイミング.... 1304
25.5 イベントリンク動作.... 1305
25.5.1 ELC へのイベント発行.... 1305
25.5.2 ELC からのイベント受け付けによるアクション.... 1306
25.6 使用上の注意事項.... 1308
25.6.1 モジュールストップ機能.... 1308
25.6.2 CMWCNT カウンタの書き込みとコンペアマッチの競合.... 1308
25.6.3 CMWCNT カウンタの書き込みとカウントアップ／カウンタクリアの競合.... 1309
25.6.4 CMWCOR レジスタの書き込みとコンペアマッチの競合.... 1309
25.6.5 CMWOCR レジスタの書き込みとコンペアマッチの競合.... 1310
25.6.6 CMWCNT カウンタ読み出しとカウントアップ／カウンタクリアの競合.... 1310
25.6.7 CMWICR レジスタ読み出しとインプットキャプチャの競合.... 1311
25.6.8 イベントリンク動作とレジスタアクセスの競合.... 1312
26. ウォッチドッグタイマ（WDTA）.... 1315
26.1 概要.... 1315
26.2 レジスタの説明.... 1317
26.2.1 WDT リフレッシュレジスタ（WDTRR）.... 1317
26.2.2 WDT コントロールレジスタ（WDTCR）.... 1318
26.2.3 WDT ステータスレジスタ（WDTSR）.... 1322
26.2.4 WDT リセットコントロールレジスタ（WDTRCR）.... 1323
26.3 動作説明.... 1324

26.3.1 カウント開始条件の動作 1324
26.3.1.1 レジスタ設定 1324
26.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御 1326
26.3.3 リフレッシュ動作 1327
26.3.4 ステータスフラグ 1328
26.3.5 エラーコントロールモジュール（ECM）へのエラー通知 1329
26.3.6 ダウンカウンタ値の読み出し 1329
26.4 低消費電力制御 1330
26.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作 1330
27. 独立ウォッチドッグタイマ（IWDTa） 1331
27.1 概要 1331
27.2 レジスタの説明 1333
27.2.1 IWDT リフレッシュレジスタ（IWDTRR） 1333
27.2.2 IWDT コントロールレジスタ（IWDTCR） 1334
27.2.3 IWDT ステータスレジスタ（IWDTSR） 1338
27.2.4 IWDT リセットコントロールレジスタ（IWDTRCR） 1339
27.3 動作説明 1340
27.3.1 カウント開始条件の動作 1340
27.3.1.1 レジスタ設定 1340
27.3.2 IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御 1342
27.3.3 リフレッシュ動作 1343
27.3.4 ステータスフラグ 1345
27.3.5 エラーコントロールモジュール（ECM）へのエラー通知 1345
27.3.6 ダウンカウンタ値の読み出し 1346
27.4 低消費電力制御 1347
27.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作 1347
28. イーサネット MAC（ETHERC） 1348
28.1 概要 1348
28.2 レジスタの説明 1352
28.2.1 イーサネットインタフェース選択レジスタ 1352
28.2.1.1 システムプロテクトコマンドレジスタ（SPCMD） 1352
28.2.1.2 イーサネット MAC リセットレジスタ（EMACRST） 1353
28.2.1.3 イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD） 1354
28.2.1.4 MAC セレクトレジスタ（MACSEL） 1355
28.2.1.5 MII コントロールレジスタ（MII_CTRLn）（n = 0 ～ 2） 1356
28.2.1.6 イーサネット周辺リセットレジスタ（ETHSFTRST） 1357
28.2.2 イーサネット MAC 制御レジスタ 1358
28.2.2.1 MIIM レジスタ（GMAC_MIIM） 1358
28.2.2.2 TX ID レジスタ（GMAC_TXID） 1359
28.2.2.3 TX RESULT レジスタ（GMAC_TXRESULT） 1360

28.2.2.4 MODE レジスタ（GMAC_MODE）.... 1361
28.2.2.5 RX MODE レジスタ（GMAC_RXMODE）.... 1362
28.2.2.6 TX MODE レジスタ（GMAC_TXMODE）.... 1364
28.2.2.7 RESET レジスタ（GMAC_RESET）.... 1366
28.2.2.8 PAUSE パケットデータレジスタ（GMAC_PAUSEn）（n = 1 ～ 5）.... 1367
28.2.2.9 RX FLOW CONTROL レジスタ（GMAC_FLWCTL）.... 1369
28.2.2.10 PAUSE パケットレジスタ（GMAC_PAUSPKT）.... 1369
28.2.2.11 MAC アドレスレジスタ（GMAC_ADRnA, GMAC_ADRnB）（n = 0 ～ 15）.... 1370
28.2.2.12 RX FIFO ステータスレジスタ（GMAC_RXFIFO）.... 1372
28.2.2.13 TX FIFO ステータスレジスタ（GMAC_TXFIFO）.... 1373
28.2.2.14 TCPIPACC レジスタ（GMAC_ACC）.... 1374
28.2.2.15 RX MAC ENABLE レジスタ（GMAC_RXMAC_ENA）.... 1375
28.2.2.16 LPI モード制御レジスタ（GMAC_LPI_MODE）.... 1375
28.2.2.17 LPI CLIENT タイミング制御レジスタ（GMAC_LPI_TIMING）.... 1376
28.2.2.18 受信バッファ情報レジスタ（BUFID）.... 1377
28.2.3 ハードウェアファンクションコールレジスタ.... 1378
28.2.3.1 ハードウェアファンクションシステムコールレジスタ（SYSC）.... 1378
28.2.3.2 ハードウェアファンクション引数レジスタ（Rn）（n = 4 ～ 7）.... 1379
28.2.3.3 ハードウェアファンクションコマンドレジスタ（CMD）.... 1381
28.2.3.4 ハードウェアファンクション戻り値レジスタ（R0, R1）.... 1382
28.2.3.5 ハードウェアファンクションタイプレジスタ（C0TYPE）.... 1383
28.2.3.6 ハードウェアファンクション状態レジスタ（C0STAT）.... 1383
28.3 動作説明.... 1384
28.3.1 ハードウェアファンクション.... 1384
28.3.1.1 初期設定.... 1385
28.3.1.2 ハードウェアファンクションコール発行処理フロー.... 1386
28.3.1.3 Buffer Allocator.... 1387
28.3.1.4 MAC DMA コントローラ.... 1393
28.3.1.5 バッファ RAM DMA コントローラ.... 1405
28.3.2 割り込み機能.... 1408
28.3.3 イーサネットフレーム送信機能.... 1409
28.3.3.1 送信処理用バッファの獲得.... 1410
28.3.3.2 送信データの作成.... 1411
28.3.3.3 送信処理用ディスクリプタの作成.... 1415
28.3.3.4 送信処理の開始.... 1415
28.3.3.5 送信処理の完了.... 1415
28.3.4 イーサネットフレーム受信機能.... 1416
28.3.4.1 初期設定.... 1416
28.3.4.2 受信用 MAC の有効化.... 1416
28.3.4.3 受信用 DMA の起動.... 1416

28.3.4.4 フレームの受信とバッファの獲得 1416
28.3.4.5 受信バッファ情報の取得 1417
28.3.4.6 受信データフォーマット 1417
28.3.5 TCPIP アクセラレータ機能 1424
28.3.5.1 TCPIP アクセラレータを使った送信 1424
28.3.5.2 TCPIP アクセラレータを使った受信 1425
28.3.6 プロテクトコマンドレジスタ 1426
28.4 注意事項 1428
28.4.1 送信フレーム内の MAC ヘッダ部に対するパディングの追加 1428
28.4.2 受信時のチェックサム計算結果のハードウェアによる誤判定 1428
28.4.3 モジュールストップ機能の設定 1428
28.4.4 受信時のチェックサム計算結果の誤判定 1428
28.4.5 受信 FIFO オーバフロー発生時の受信フレーム情報の誤り 1429
28.4.6 Padding を含む 64byte を超えるフレーム受信時の受信フレーム情報の誤り 1434
28.4.7 1518byte を超えるフレームサイズについて 1435
28.4.8 ハードウェアリアルタイム OS の使用について 1435
29. イーサネットスイッチ 1436
29.1 概要 1436
29.2 レジスタの説明 1439
29.2.1 動作モード設定レジスタ 1439
29.2.1.1 イーサネット PHY LINK モードレジスタ（ETHPHYLNK） 1439
29.2.1.2 イーサネットスイッチマネージメント TAG 制御レジスタ（ETHSWMTC） 1440
29.2.1.3 イーサネットスイッチ動作モード設定レジスタ（ETHSWMD） 1441
29.2.1.4 ETHER SWITCH 10Mbps ／半二重モード設定レジスタ（ETHSW10HDEN） 1442
29.2.2 スイッチコンフィギュレーションレジスタ 1443
29.2.2.1 ポートイネーブルレジスタ（PORT_ENA） 1443
29.2.2.2 ユニキャストデフォルトマスクレジスタ（UCAST_DEFAULT_MASK） 1444
29.2.2.3 ブロードキャストデフォルトマスクレジスタ（BCAST_DEFAULT_MASK） 1445
29.2.2.4 マルチキャストデフォルトマスクレジスタ（MCAST_DEFAULT_MASK） 1446
29.2.2.5 入力ラーニングブロッキングレジスタ（INPUT_LEARN_BLOCK） 1447
29.2.2.6 マネージメントコンフィグレジスタ（MGMT_CONFIG） 1448
29.2.2.7 モードコンフィグレジスタ（MODE_CONFIG） 1449
29.2.2.8 VLAN タグ ID レジスタ（VLAN_TAG_ID） 1450
29.2.2.9 出力キューマネージメントステータスレジスタ（OQMGR_STATUS） 1451
29.2.2.10 出力キュー最小メモリレジスタ（QMGR_MINCELLS） 1452
29.2.2.11 出力キュー最小メモリ統計レジスタ（QMGR_ST_MINCELLS） 1452
29.2.2.12 出力キュー輻輳ステータスレジスタ（QMGR_CGS_STAT） 1453
29.2.2.13 キュー内部インタフェースステータスレジスタ（QMGR_IFACE_STAT） 1454
29.2.2.14 キューウェイトレジスタ（QMGR_WEIGHTS） 1455

29.2.2.15 VLAN プライオリティレジスタ n（VLAN_PRIORITYn）（n = 0 ～ 2）..... 1456
29.2.2.16 IP プライオリティレジスタ n（IP_PRIORITYn）（n = 0 ～ 2）..... 1457
29.2.2.17 プライオリティコンフィギュレーションレジスタ n（PRIORITY_CFGn）（n = 0 ～ 2）..... 1458
29.2.2.18 ハブコントロールレジスタ（HUB_CONTROL）..... 1459
29.2.2.19 ハブフレームカウントレジスタ（HUB_STATS）..... 1460
29.2.2.20 ハブ入力フィルタ用 MAC アドレス low レジスタ（HUB_FLT_MACnlo）（n = 0 ～ 6）..... 1461
29.2.2.21 ハブ入力フィルタ用 MAC アドレス high レジスタ（HUB_FLT_MACnhi）（n = 0 ～ 6）..... 1462
29.2.2.22 スイッチ統計カウンタ 1463
29.2.3 ラーニングインタフェースレジスタ 1464
29.2.3.1 ラーニングレコード A レジスタ（LRN_REC_A）..... 1464
29.2.3.2 ラーニングレコード B レジスタ（LRN_REC_B）..... 1465
29.2.3.3 ラーニングデータステータスレジスタ（LRN_STATUS）..... 1465
29.2.3.4 アドレステーブル（ADR_TABLE）..... 1466
29.2.4 MAC ポートレジスタ 1467
29.2.4.1 コマンドコンフィグレジスタ n（COMMAND_CONFIGn）（n = 0, 1）..... 1467
29.2.4.2 最大フレーム長レジスタ n（FRM_LENGTHn）（shared）（n = 0, 1）..... 1468
29.2.4.3 FIFO バッファスレッショルドレジスタ n（shared）（n = 0, 1）..... 1469
29.2.4.4 MAC ステータスレジスタ n（MAC_STATUSn）（shared）（n = 0, 1）..... 1470
29.2.4.5 送信 IPG 長レジスタ n（TX_IPG_LENGTHn）（shared）（n = 0, 1）..... 1471
29.2.4.6 MAC 受信／送信統計カウンタ 1472
29.2.5 タイマモジュールレジスタ 1475
29.2.5.1 タイマモジュールコンフィグレジスタ（TSM_CONFIG）..... 1475
29.2.5.2 タイマ割り込みステータス／アクノリッジレジスタ（TSM_IRQ_STAT_ACK）..... 1476
29.2.5.3 ポートタイムスタンプコントロール／ステータスレジスタ （PORTn_CTRL）（n = 0, 1）..... 1477
29.2.5.4 ポートタイムスタンプレジスタ（PORTn_TIME）（n = 0, 1）..... 1478
29.2.5.5 タイマコントロールレジスタ（ATIME_CTRL）..... 1479
29.2.5.6 タイマナノセコンドレジスタ（ATIME）..... 1480
29.2.5.7 タイマオフセット補正レジスタ（ATIME_OFFSET）..... 1481
29.2.5.8 タイマ周期イベント生成レジスタ（ATIME_EVT_PERIOD）..... 1482
29.2.5.9 タイマドリフト補正レジスタ（ATIME_CORR）..... 1482
29.2.5.10 タイマインクリメントレジスタ（ATIME_INC）..... 1483
29.2.5.11 タイマセコンドレジスタ（ATIME_SEC）..... 1484
29.2.5.12 タイマオフセット補正カウントレジスタ（ATIME_OFFS_CORR）..... 1485
29.2.5.13 タイマ出力許可レジスタ（SWTMEN）..... 1485
29.2.5.14 タイマセコンド開始設定レジスタ（SWTMSTSEC）..... 1486
29.2.5.15 タイマナノセコンド開始設定レジスタ（SWTMSTNS）..... 1486
29.2.5.16 タイマセコンド周期設定レジスタ（SWTMPSEC）..... 1487

29.2.5.17 タイマナノセコンド周期設定レジスタ（SWTMPNS）.....1487
29.2.5.18 タイマパルス幅設定レジスタ（SWTMWTH）.....1488
29.2.5.19 タイマセコンド時刻保持レジスタ（SWTMLATSEC）.....1488
29.2.5.20 タイマナノセコンド時刻保持レジスタ（SWTMLATNS）.....1489
29.2.6 DLR モジュールレジスタ.....1490
29.2.6.1 DLR コントロールレジスタ（DLR_CONTROL）.....1490
29.2.6.2 DLR ステータスレジスタ（DLR_STATUS）.....1491
29.2.6.3 DLR イーサタイプレジスタ（DLR_ETH_TYP）.....1492
29.2.6.4 DLR 割り込みコントロールレジスタ（DLR_IRQ_CTRL）.....1493
29.2.6.5 DLR 割り込みステータス／アクノリッジレジスタ（DLR_IRQ_STAT_ACK）.....1495
29.2.6.6 DLR ローカル MAC アドレス low レジスタ（LOC_MAClo）.....1496
29.2.6.7 DLR ローカル MAC アドレス high レジスタ（LOC_MAChi）.....1497
29.2.6.8 DLR スーパバイザ MAC アドレス low レジスタ（SUPR_MAClo）.....1498
29.2.6.9 DLR スーパバイザ MAC アドレス high レジスタ（SUPR_MAChi）.....1499
29.2.6.10 DLR リングステータス／ VLAN レジスタ（STATE_VLAN）.....1500
29.2.6.11 DLR ビーコンタイムアウトタイマレジスタ（BEC_TMOUT）.....1501
29.2.6.12 DLR ビーコンインターバルレジスタ（BEC_INTRVL）.....1501
29.2.6.13 DLR スーパバイザ IP アドレスレジスタ（SUPR_IPADR）.....1502
29.2.6.14 DLR サブタイプ／プロトコルバージョンレジスタ（ETH_STYP_VER）.....1502
29.2.6.15 DLR ビーコン不正タイムアウトタイマレジスタ（INV_TMOUT）.....1503
29.2.6.16 DLR シーケンス ID レジスタ（SEQ_ID）.....1503
29.2.6.17 DLR MAC 統計カウンタ.....1504
29.3 機能説明.....1505
29.3.1 スイッチングエンジン.....1505
29.3.1.1 概要.....1505
29.3.1.2 フレームの分類と優先度処理.....1506
29.3.1.3 入力ポートの選択.....1508
29.3.1.4 レイヤ 2 ルックアップエンジン.....1508
29.3.1.5 ラーニングインタフェース.....1510
29.3.1.6 フレーム転送処理.....1511
29.3.1.7 出力フレームキューイング.....1514
29.3.2 カットスルー対応ハブモジュール.....1515
29.3.2.1 通常スイッチモードの動作.....1515
29.3.2.2 ポート 0 からポート 1 の方向のハブ機能.....1516
29.3.2.3 ポート 1 からポート 0 方向のハブ機能.....1518
29.3.2.4 ハブ受信フィルタリング.....1518
29.3.2.5 ハブモジュールの強制転送.....1520
29.3.2.6 ループフィルタ処理.....1521
29.3.3 DLR モジュール.....1521
29.3.3.1 ビーコンフレームのフォーマット.....1522

29.3.3.2 リングノードの機能説明 1524
29.3.4 IEEE1588 タイマ＆コントロールモジュール 1527
29.3.4.1 概要 1527
29.3.4.2 IEEE1588 メッセージフォーマット 1527
29.3.4.3 時刻調整機能付きタイマモジュール 1531
29.3.4.4 タイムスタンプ処理 1535
29.3.4.5 トランスペアレントクロックのサポート 1535
29.3.5 マネージメントポート（内部ポート）専用フレームタグ 1536
29.3.5.1 マネージメントタグのフォーマット 1536
29.3.5.2 送信処理（スイッチから内部イーサネット MAC への転送） 1537
29.3.5.3 受信処理（内部イーサネット MAC からスイッチへの転送） 1537
29.3.5.4 マネージメントタグ機能の設定 1537
29.4 コントロールソフトウェアの概要 1538
29.4.1 概要 1538
29.4.2 スイッチの初期化 1538
29.4.3 アドレステーブル設定 1542
29.4.3.1 アドレステーブルのエントリブロックの定義 1542
29.4.3.2 アドレスラーニング 1543
29.4.4 モジュールストップ機能の設定 1544
30. EtherCAT スレーブ・コントローラ（オプション） 1545
30.1 概要 1545
30.2 機能概要 1547
30.3 レジスタの説明 1550
30.3.1 EtherCAT PHY オフセット・アドレス設定レジスタ（CATOFFADD） 1550
30.3.2 EtherCAT 動作モード設定レジスタ（CATEMMD） 1551
30.3.3 EtherCAT TXC シフト設定レジスタ（CATTXCSFT） 1552
30.4 ESC 情報レジスタ 1553
30.4.1 タイプ・レジスタ（TYPE） 1553
30.4.2 リビジョン・レジスタ（REVISION） 1553
30.4.3 ビルド・レジスタ（BUILD） 1554
30.4.4 FMMU サポート・レジスタ（FMMU_NUM） 1554
30.4.5 SyncManager サポート・レジスタ（SYNC_MANAGER） 1555
30.4.6 RAM サイズ・レジスタ（RAM_SIZE） 1555
30.4.7 ポート・ディスクリプタ・レジスタ（PORT_DESC） 1556
30.4.8 ESC フィーチャー・サポート・レジスタ（FEATURE） 1557
30.5 ステーションアドレス設定レジスタ 1558
30.5.1 コンフィギュアド・ステーション・アドレス・レジスタ（STATION_ADR） 1558
30.5.2 コンフィギュアド・ステーション・エイリアス・レジスタ（STATION_ALIAS） 1558
30.6 ライトプロテクション設定レジスタ 1559
30.6.1 ライト・レジスタ・イネーブル・レジスタ（WR_REG_ENABLE） 1559

30.6.2 ライト・レジスタ・プロテクション・レジスタ（WR_REG_PROTECT）..... 1559
30.6.3 ESC ライト・イネーブル・レジスタ（ESC_WR_ENABLE）..... 1560
30.6.4 ESC ライト・プロテクション・レジスタ（ESC_WR_PROTECT）..... 1560
30.7 データリンク層設定レジスタ..... 1561
30.7.1 ESC リセット ECAT レジスタ（ESC_RESET_ECAT）..... 1561
30.7.2 ESC リセット PDI レジスタ（ESC_RESET_PDI）..... 1562
30.7.3 ESC DL コントロール・レジスタ（ESC_DL_CONTROL）..... 1563
30.7.4 フィジカル・リード／ライト・オフセット・レジスタ（PHYSICAL_RW_OFFSET）..... 1564
30.7.5 ESC DL ステータス・レジスタ（ESC_DL_STATUS）..... 1565
30.8 アプリケーション層設定レジスタ..... 1567
30.8.1 AL コントロール・レジスタ（AL_CONTROL）..... 1567
30.8.2 AL ステータス・レジスタ（AL_STATUS）..... 1568
30.8.3 AL ステータス・コード・レジスタ（AL_STATUS_CODE）..... 1568
30.8.4 RUN LED オーバライド・レジスタ（RUN_LED_OVERRIDE）..... 1569
30.8.5 ERR LED オーバライド・レジスタ（ERR_LED_OVERRIDE）..... 1570
30.9 PDI 設定レジスタ..... 1571
30.9.1 PDI コントロール・レジスタ（PDI_CONTROL）..... 1571
30.9.2 ESC コンフィギュレーション・レジスタ（ESC_CONFIG）..... 1572
30.9.3 PDI コンフィギュレーション・レジスタ（PDI_CONFIG）..... 1573
30.9.4 SYNC/LATCH PDI コンフィギュレーション・レジスタ（SYNC_LATCH_CONFIG）..... 1573
30.9.5 拡張 PDI コンフィギュレーション・レジスタ（EXT_PDI_CONFIG）..... 1574
30.10 割り込み設定レジスタ..... 1575
30.10.1 ECAT イベント・マスク・レジスタ（ECAT_EVENT_MASK）..... 1575
30.10.2 AL イベント・マスク・レジスタ（AL_EVENT_MASK）..... 1575
30.10.3 ECAT イベント・リクエスト・レジスタ（ECAT_EVENT_REQ）..... 1576
30.10.4 AL イベント・リクエスト・レジスタ（AL_EVENT_REQ）..... 1577
30.11 エラーカウンタ設定レジスタ..... 1579
30.11.1 Rx エラーカウンタ n・レジスタ（RX_ERR_COUNTn）..... 1579
30.11.2 フォワード Rx エラーカウンタ n・レジスタ（FWD_RX_ERR_COUNTn）..... 1579
30.11.3 ECAT プロセッシング・ユニット・エラーカウンタ・レジスタ（ECAT_PROC_ERR_COUNT）..... 1580
30.11.4 PDI エラー・カウンタ・レジスタ（PDI_ERR_COUNT）..... 1580
30.11.5 ロストリンク・カウンタ n・レジスタ（LOST_LINK_COUNTn）..... 1581
30.12 ウォッチドッグ設定レジスタ..... 1582
30.12.1 ウォッチドッグ・ディバイダ・レジスタ（WD_DIVIDE）..... 1582
30.12.2 ウォッチドッグ・タイム PDI・レジスタ（WDT_PDI）..... 1582
30.12.3 ウォッチドッグ・タイム・プロセス・データ・レジスタ（WDT_DATA）..... 1583
30.12.4 ウォッチドッグ・ステータス・プロセス・データ・レジスタ（WDS_DATA）..... 1583
30.12.5 ウォッチドッグ・カウンタ・プロセス・データ・レジスタ（WDC_DATA）..... 1584

30.12.6 ウォッチドッグ・カウンタ PDI・レジスタ（WDC_PDI）.....1584
30.13 SII EEPROM インタフェース設定レジスタ.....1585
30.13.1 EEPROM コンフィギュレーション・レジスタ（EEP_CONF）.....1585
30.13.2 EEPROM PDI アクセス・ステート・レジスタ（EEP_STATE）.....1585
30.13.3 EEPROM コントロール／ステータス・レジスタ（EEP_CONT_STAT）.....1586
30.13.4 EEPROM アドレス・レジスタ（EEP_ADR）.....1587
30.13.5 EEPROM データ・レジスタ（EEP_DATA）.....1587
30.14 MII マネージメント・インタフェース設定レジスタ.....1588
30.14.1 MII マネージメント・コントロール／ステータス・レジスタ（MII_CONT_STAT）.....1588
30.14.2 PHY アドレス・レジスタ（PHY_ADR）.....1589
30.14.3 PHY レジスタ・アドレス・レジスタ（PHY_REG_ADR）.....1589
30.14.4 PHY データ・レジスタ（PHY_DATA）.....1590
30.14.5 MII マネージメント ECAT アクセス・ステート・レジスタ（MII_ECAT_ACS_STAT）.....1590
30.14.6 MII マネージメント PDI アクセス・ステート・レジスタ（MII_PDI_ACS_STAT）.....1591
30.15 FMMU 設定レジスタ.....1592
30.15.1 FMMU ロジカル・スタート・アドレス・レジスタ m（FMMUm_L_START_ADR）.....1592
30.15.2 FMMU 長・レジスタ m（FMMUm_LEN）.....1592
30.15.3 FMMU ロジカル・スタート・ビット・レジスタ m（FMMUm_L_START_BIT）.....1593
30.15.4 FMMU ロジカル・ストップ・ビット・レジスタ m（FMMUm_L_STOP_BIT）.....1593
30.15.5 FMMU フィジカル・スタート・アドレス・レジスタ m（FMMUm_P_START_ADR）.....1594
30.15.6 FMMU フィジカル・スタート・ビット・レジスタ m（FMMUm_P_START_BIT）.....1594
30.15.7 FMMU タイプ・レジスタ m（FMMUm_TYPE）.....1595
30.15.8 FMMU アクティベイト・レジスタ m（FMMUm_ACT）.....1595
30.16 SyncManager 設定レジスタ.....1596
30.16.1 SyncManager フィジカル・スタート・アドレス・レジスタ m（SMm_P_START_ADR）.....1596
30.16.2 SyncManager 長・レジスタ m（SMm_LEN）.....1596
30.16.3 SyncManager コントロール・レジスタ m（SMm_CONTROL）.....1597
30.16.4 SyncManager ステータス・レジスタ m（SMm_STATUS）.....1598
30.16.5 SyncManager アクティベイト・レジスタ m（SMm_ACT）.....1599
30.16.6 SyncManager PDI コントロール・レジスタ m（SMm_PDI_CONT）.....1600
30.17 分散クロック設定レジスタ.....1601
30.17.1 DC レシーブ・タイム設定レジスタ.....1601
30.17.1.1 レシーブ・タイム・ポート 0 レジスタ（DC_RCV_TIME_PORT0）.....1601
30.17.1.2 レシーブ・タイム・ポート 1 レジスタ（DC_RCV_TIME_PORT1）.....1602
30.17.2 タイム・ループ・コントロール・ユニット設定レジスタ.....1603

30.17.2.1 システム・タイム・レジスタ（DC_SYS_TIME）.....1603
30.17.2.2 レシーブ・タイム ECAT プロセッシング・ユニット・レジスタ（DC_RCV_TIME_UNIT）.....1604
30.17.2.3 システム・タイム・オフセット・レジスタ（DC_SYS_TIME_OFFSET）.....1605
30.17.2.4 システム・タイム・ディレイ・レジスタ（DC_SYS_TIME_DELAY）.....1606
30.17.2.5 システム・タイム・ディフ・レジスタ（DC_SYS_TIME_DIFF）.....1606
30.17.2.6 スピード・カウンタ・スタート・レジスタ（DC_SPEED_COUNT_START）...1607
30.17.2.7 スピード・カウンタ・ディフ・レジスタ（DC_SPEED_COUNT_DIFF）.....1607
30.17.2.8 システム・タイム・ディフ・フィルタ深さレジスタ（DC_SYS_TIME_DIFF_FIL_DEPTH）.....1608
30.17.2.9 スピード・カウンタ・フィルタ深さレジスタ（DC_SPEED_COUNT_FIL_DEPTH）.....1608
30.17.3 サイクリック・ユニット・コントロール設定レジスタ.....1609
30.17.3.1 サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT）.....1609
30.17.4 SYNC 出力ユニット設定レジスタ.....1610
30.17.4.1 アクティベーション・レジスタ（DC_ACT）.....1610
30.17.4.2 SYNC 信号パルス長レジスタ（DC_PULSE_LEN）.....1611
30.17.4.3 アクティベーション・ステータス・レジスタ（DC_ACT_STAT）.....1611
30.17.4.4 SYNC0 ステータス・レジスタ（DC_SYNC0_STAT）.....1612
30.17.4.5 SYNC1 ステータス・レジスタ（DC_SYNC1_STAT）.....1612
30.17.4.6 スタート・タイム・サイクリック・オペレーション／ネクスト SYNC0 パルス・レジスタ（DC_CYC_START_TIME）.....1613
30.17.4.7 ネクスト SYNC1 パルス・レジスタ（DC_NEXT_SYNC1_PULSE）.....1614
30.17.4.8 SYNC0 サイクル・タイム・レジスタ（DC_SYNC0_CYC_TIME）.....1615
30.17.4.9 SYNC1 サイクル・タイム・レジスタ（DC_SYNC1_CYC_TIME）.....1615
30.17.5 Latch 入力ユニット設定レジスタ.....1616
30.17.5.1 ラッチ 0 コントロール・レジスタ（DC_LATCH0_CONT）.....1616
30.17.5.2 ラッチ 1 コントロール・レジスタ（DC_LATCH1_CONT）.....1616
30.17.5.3 ラッチ 0 ステータス・レジスタ（DC_LATCH0_STAT）.....1617
30.17.5.4 ラッチ 1 ステータス・レジスタ（DC_LATCH1_STAT）.....1618
30.17.5.5 ラッチ 0 タイム・ポジティブ・エッジ・レジスタ（DC_LATCH0_TIME_POS）.....1619
30.17.5.6 ラッチ 0 タイム・ネガティブ・エッジ・レジスタ（DC_LATCH0_TIME_NEG）.....1620
30.17.5.7 ラッチ 1 タイム・ポジティブ・エッジ・レジスタ（DC_LATCH1_TIME_POS）.....1621
30.17.5.8 ラッチ 1 タイム・ネガティブ・エッジ・レジスタ（DC_LATCH1_TIME_NEG）.....1622
30.17.6 SyncManager イベント・タイム設定レジスタ.....1623
30.17.6.1 EtherCAT バッファ・チェンジ・イベント・タイム・レジスタ（DC_ECAT_CNG_EV_TIME）.....1623
30.17.6.2 PDI バッファ・スタート・イベント・タイム・レジスタ（DC_PDI_START_EV_TIME）.....1623

30.17.6.3 PDI バッファ・チェンジ・イベント・タイム・レジスタ（DC_PDI_CNG_EV_TIME） 1624
30.18 その他のレジスタ 1625
30.18.1 プロダクト ID レジスタ（PRODUCT_ID） 1625
30.18.2 ベンダ ID レジスタ（VENDOR_ID） 1626
30.18.3 ユーザ RAM（USER_RAM） 1627
30.18.4 プロセスデータ RAM（DATA_RAM） 1628
30.18.5 モジュールストップ機能の設定 1628
30.19 初期設定 1628
30.20 リセット回路の構成 1628
31. USB2.0HS ホストモジュール（USBh） 1631
31.1 概要 1631
31.1.1 USB ホストコントローラ使用時の注意事項 1633
31.1.1.1 全般について 1633
31.1.1.2 AHB インタフェースについて 1633
31.1.1.3 操作方法について 1633
31.2 レジスタマッピング 1634
31.2.1 レジスタマッピング 1634
31.2.2 PCI Configuration Space for AHB-PCI Bridge 1636
31.2.3 PCI Configuration Space for OHCI ホスト・ロジック 1637
31.2.4 PCI Configuration Space for EHCI ホスト・ロジック 1638
31.3 レジスタの説明 1639
31.3.1 OHCI Operational レジスタ 1639
31.3.1.1 HcRevision レジスタ 1639
31.3.1.2 HcControl レジスタ 1640
31.3.1.3 HcCommandStatus レジスタ 1642
31.3.1.4 HcInterruptStatus レジスタ 1643
31.3.1.5 HcInterruptEnable レジスタ 1645
31.3.1.6 HcInterruptDisable レジスタ 1647
31.3.1.7 HcHCCA レジスタ 1649
31.3.1.8 HcPeriodicCurrentED レジスタ 1649
31.3.1.9 HcControlHeadED レジスタ 1650
31.3.1.10 HcControlCurrentED レジスタ 1650
31.3.1.11 HcBulkHeadED レジスタ 1651
31.3.1.12 HcBulkCurrentED レジスタ 1651
31.3.1.13 HcDoneHead レジスタ 1652
31.3.1.14 HcFmInterval レジスタ 1653
31.3.1.15 HcFmRemaining レジスタ 1654
31.3.1.16 HcFmNumber レジスタ 1654
31.3.1.17 HcPeriodicStart レジスタ 1655

31.3.1.18 HcRhDescriptorA レジスタ 1656
31.3.1.19 HcRhDescriptorB レジスタ 1657
31.3.1.20 HcRhStatus_A、HcRhStatus_B レジスタ 1658
31.3.1.21 HcRhPortStatus1_A、HcRhPortStatus1_B レジスタ 1661
31.3.2 EHCI Operational レジスタ 1665
31.3.2.1 HCIVERSION ／ CAPLENGTH レジスタ 1665
31.3.2.2 HCSPARAMS レジスタ 1666
31.3.2.3 HCCPARAMS レジスタ 1667
31.3.2.4 HCSP_PORTROUTE レジスタ 1668
31.3.2.5 USBCMD レジスタ 1669
31.3.2.6 USBSTS レジスタ 1671
31.3.2.7 USBINTR レジスタ 1673
31.3.2.8 FRINDEX レジスタ 1674
31.3.2.9 CTRLDSSEGMENT レジスタ 1675
31.3.2.10 PERIODICLISTBASE レジスタ 1675
31.3.2.11 ASYNCLISTADDR レジスタ 1676
31.3.2.12 CONFIGFLAG レジスタ 1676
31.3.2.13 PORTSC1 レジスタ 1677
31.3.3 OHCI 用 PCI Configuration レジスタ 1681
31.3.3.1 Offset 00h レジスタ（Vendor ID・Device ID） 1681
31.3.3.2 Offset 04h レジスタ（Command・Status） 1682
31.3.3.3 Offset 08h レジスタ（Revision ID・Class Code） 1683
31.3.3.4 Offset 0Ch レジスタ（Cache Line Size・Latency Timer・Header Type・BIST） 1684
31.3.3.5 Offset 10h レジスタ（OHCI Base Address） 1685
31.3.3.6 Offset 2Ch レジスタ（Subsystem Vendor ID・Subsystem ID） 1686
31.3.3.7 Offset 30h レジスタ（Expansion ROM Base Address） 1686
31.3.3.8 Offset 34h レジスタ（Capability Pointer） 1687
31.3.3.9 Offset 3Ch レジスタ（Interrupt Line・Interrupt Pin・Min gnt・Max Latency） 1687
31.3.3.10 Offset 40h レジスタ
（Capability Identifier・Next Item Pointer・Power Management Capabilities） 1688
31.3.3.11 Offset 44h レジスタ
（Power Management Control ／ Status・PMCSR Bridge Support Extensions） 1689
31.3.3.12 Offset E0h レジスタ（EXT1） 1690
31.3.3.13 Offset E4h レジスタ （EXT2） 1691
31.3.4 EHCI 用 PCI Configuration レジスタ 1692
31.3.4.1 Offset 00h レジスタ（Vendor ID・Device ID） 1692
31.3.4.2 Offset 04h レジスタ（Command・Status） 1693
31.3.4.3 Offset 08h レジスタ（Revision ID・Class Code） 1695
31.3.4.4 Offset 0Ch レジスタ
（Cache Line Size・Latency Timer・Header Type・BIST） 1696
31.3.4.5 Offset 10h レジスタ（EHCI Base Address） 1697

31.3.4.6 Offset 2Ch レジスタ（Subsystem Vendor ID・Subsystem ID）..... 1697
31.3.4.7 Offset 30h レジスタ（Expansion ROM Base Address）..... 1698
31.3.4.8 Offset 34h レジスタ（Capability Pointer）..... 1698
31.3.4.9 Offset 3Ch レジスタ（Interrupt Line・Interrupt Pin・Min gnt・Max Latency）..... 1699
31.3.4.10 Offset 40h レジスタ
（Capability Identifier・Next Item Pointer・Power Management Capabilities）..... 1700
31.3.4.11 Offset 44h レジスタ
（Power Management Control ／ Status・PMCSR Bridge Support Extensions）..... 1701
31.3.4.12 Offset 60h レジスタ（SBRN・FLADJ・PORTWAKECAP）..... 1702
31.3.4.13 Offset E0h レジスタ（EXT1）..... 1702
31.3.4.14 Offset E4h レジスタ（EXT2）..... 1702
31.3.5 AHB-PCI Bridge 用 PCI Configuration レジスタ 1703
31.3.5.1 Offset 00h レジスタ（Vendor ID・Device ID）..... 1703
31.3.5.2 Offset 04h レジスタ（Command・Status）..... 1704
31.3.5.3 Offset 08h レジスタ（Revision ID・Class Code）..... 1705
31.3.5.4 Offset 0Ch レジスタ
（Cache Line Size・Latency Timer・Header Type・BIST）..... 1706
31.3.5.5 Offset 10h レジスタ（AHB-PCI Bridge Base Address）..... 1707
31.3.5.6 Offset 14h レジスタ（PCI-AHB WIN1 Base Address）..... 1708
31.3.5.7 Offset 2Ch レジスタ（Subsystem Vendor ID・Subsystem ID）..... 1709
31.3.5.8 Offset 3Ch レジスタ（Interrupt Line・Interrupt Pin・Min gnt・Max Latency）..... 1710
31.3.6 AHB-PCI Bridge PCI Communication レジスタ 1711
31.3.6.1 PCIAHB_WIN1_CTR レジスタ 1711
31.3.6.2 AHBPCI_WIN1_CTR レジスタ 1712
31.3.6.3 AHBPCI_WIN2_CTR レジスタ 1713
31.3.6.4 PCI_INT_ENABLE レジスタ 1714
31.3.6.5 PCI_INT_STATUS レジスタ 1716
31.3.6.6 AHB_BUS_CTR レジスタ 1718
31.3.6.7 USBCTR レジスタ 1719
31.3.6.8 PCI_ARBITER_CTR レジスタ 1720
31.3.6.9 PCI_UNIT_REV レジスタ 1721
31.4 レジスタアクセスについて 1722
31.4.1 レジスタアクセス 1722
31.4.1.1 PCI Configuration レジスタアクセス 1727
31.4.1.2 OHCI ／ EHCI Operational レジスタアクセス 1727
31.5 クロック系統 1728
31.5.1 外部供給クロック 1728
31.5.2 クロック系統図 1729
31.6 割り込みについて 1730
31.6.1 割り込み制御レジスタ 1730
31.6.1.1 U2H_INT 制御レジスタ 1730

31.6.1.2 U2H_OHCI_INT 制御レジスタ 1730
31.6.1.3 U2H_EHCI_INT 制御レジスタ 1731
31.6.1.4 U2H_PME_INT 制御レジスタ 1731
31.6.2 U2H_BIND_INT 1732
31.6.3 割り込み信号のクリアに要する時間について 1733
31.7 過電流制御と VBUS 制御について 1734
31.7.1 過電流制御について 1734
31.7.1.1 USB_OVRCUR と USB_VBUSEN 信号の意味 1734
31.7.1.2 USB_VBUSEN 出力信号のアサート／ディアサート条件 1734
31.7.2 VBUS 制御について 1735
31.7.3 PPON1 の初期設定について 1736
31.7.4 USB_VBUSEN の過電流検知に関するフロー 1738
31.7.5 USB_VBUSEN セットフロー 1739
31.8 操作手順 1740
31.8.1 初期設定シーケンス 1740
31.8.1.1 初期設定例 1740
31.8.2 USB ホスト転送フロー 1742
31.8.2.1 DMA 転送の停止 1742
32. USB2.0HS ファンクションモジュール（USBf） 1743
32.1 概要 1743
32.1.1 機能概要 1745
32.1.1.1 USB 転送 Speed 認識 1745
32.1.1.2 バスインタフェース 1745
32.1.1.3 USB イベント 1745
32.1.1.4 USB データ転送 1746
32.1.1.5 DMAC（ダイレクトメモリアクセスコントローラー）からのアクセス用機能 1746
32.2 レジスタの説明 1747
32.2.1 システムコンフィグレーションコントロール 1747
32.2.1.1 システムコンフィグレーションコントロールレジスタ 0（SYSCFG0） 1747
32.2.1.2 システムコンフィグレーションコントロールレジスタ 1（SYSCFG1） 1749
32.2.1.3 システムコンフィグレーションステータスレジスタ（SYSSTS0） 1750
32.2.2 USB 信号制御 1751
32.2.2.1 デバイスステートコントロールレジスタ 0（DVSTCTR0） 1751
32.2.3 テストモード 1753
32.2.3.1 USB テストモードレジスタ（TESTMODE） 1753
32.2.4 DMA-FIFO バスアクセス制御 1754
32.2.4.1 DMA0-FIFO バスコンフィグレーションレジスタ（D0FBCFG）
DMA1-FIFO バスコンフィグレーションレジスタ（D1FBCFG） 1754
32.2.5 FIFO ポート 1755

32.2.5.1 CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO） 1755
32.2.5.2 CFIFO ポート選択レジスタ（CFIFOSEL） 1757
32.2.5.3 D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL） 1760
32.2.5.4 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR） 1763
32.2.6 割り込み許可 1765
32.2.6.1 割り込み許可レジスタ 0（INTENB0） 1765
32.2.6.2 BRDY 割り込み許可レジスタ（BRDYENB） 1766
32.2.6.3 NRDY 割り込み許可レジスタ（NRDYENB） 1767
32.2.6.4 BEMP 割り込み許可レジスタ（BEMPENB） 1768
32.2.7 SOF 制御レジスタ 1769
32.2.7.1 SOF ピンコンフィグレーションレジスタ（SOFCFG） 1769
32.2.8 割り込みステータス 1770
32.2.8.1 割り込みステータスレジスタ 0（INTSTS0） 1770
32.2.8.2 BRDY 割り込みステータスレジスタ（BRDYSTS） 1773
32.2.8.3 NRDY 割り込みステータスレジスタ（NRDYSTS） 1776
32.2.8.4 BEMP 割り込みステータスレジスタ（BEMPSTS） 1778
32.2.9 フレーム番号レジスタ 1780
32.2.9.1 フレームナンバレジスタ（FRMNUM） 1780
32.2.9.2 μフレームナンバレジスタ（UFRMNUM） 1782
32.2.10 USB アドレス 1783
32.2.10.1 USB アドレスレジスタ（USBADDR） 1783
32.2.11 USB リクエストレジスタ 1784
32.2.11.1 USB リクエストタイプレジスタ（USBREQ） 1784
32.2.11.2 USB リクエストバリューレジスタ（USBVAL） 1785
32.2.11.3 USB リクエストインデックスレジスタ（USBINDX） 1785
32.2.11.4 USB リクエストレングスレジスタ（USBLENG） 1786
32.2.12 DCP コンフィグレーション 1787
32.2.12.1 DCP マックスパケットサイズレジスタ（DCPMAXP） 1787
32.2.12.2 DCP コントロールレジスタ（DCPCTR） 1788
32.2.13 パイプコンフィグレーションレジスタ 1791
32.2.13.1 パイプウィンドウ選択レジスタ（PIPESEL） 1791
32.2.13.2 パイプコンフィグレーションレジスタ（PIPECFG） 1792
32.2.13.3 パイプバッファ指定レジスタ（PIPEBUF） 1797
32.2.13.4 パイプマックスパケットサイズレジスタ（PIPEMAXP） 1799
32.2.13.5 パイプ周期制御レジスタ（PIPEPERI） 1800
32.2.14 パイプコントロールレジスタ 1804

32.2.14.1 PIPE1 コントロールレジスタ（PIPE1CTR）
PIPE2 コントロールレジスタ（PIPE2CTR）
PIPE3 コントロールレジスタ（PIPE3CTR）
PIPE4 コントロールレジスタ（PIPE4CTR）
PIPE5 コントロールレジスタ（PIPE5CTR） 1804
32.2.14.2 PIPE6 コントロールレジスタ（PIPE6CTR）
PIPE7 コントロールレジスタ（PIPE7CTR）
PIPE8 コントロールレジスタ（PIPE8CTR）
PIPE9 コントロールレジスタ（PIPE9CTR） 1810
32.2.15 トランザクションカウンタ 1812
32.2.15.1 PIPE1 トランザクションカウンタ許可レジスタ（PIPE1TRE）
PIPE2 トランザクションカウンタ許可レジスタ（PIPE2TRE）
PIPE3 トランザクションカウンタ許可レジスタ（PIPE3TRE）
PIPE4 トランザクションカウンタ許可レジスタ（PIPE4TRE）
PIPE5 トランザクションカウンタ許可レジスタ（PIPE5TRE） 1812
32.2.15.2 PIPE1 トランザクションカウンタレジスタ（PIPE1TRN）
PIPE2 トランザクションカウンタレジスタ（PIPE2TRN）
PIPE3 トランザクションカウンタレジスタ（PIPE3TRN）
PIPE4 トランザクションカウンタレジスタ（PIPE4TRN）
PIPE5 トランザクションカウンタレジスタ（PIPE5TRN） 1814
32.2.16 ローパワーステータスレジスタ（LPSTS） 1816
32.2.17 FIFO 連続転送ポート 1817
32.2.17.1 D0FIFO 連続転送ポートレジスタ n（D0FIFOBn）（n = 0 ～ 7）
D1FIFO 連続転送ポートレジスタ n（D1FIFOBn）（n = 0 ～ 7） 1817
32.2.18 PHY 設定レジスタ 1 1818
32.2.18.1 PHY 設定レジスタ 1（PHYSET1） 1818
32.3 動作説明 1820
32.3.1 システム制御および発振制御 1820
32.3.2 リセット 1821
32.3.3 USB データバス抵抗制御 1821
32.3.4 クロック供給 1821
32.3.5 クロック停止時の注意点 1822
32.4 割り込み機能 1823
32.4.1 割り込み機能概要 1823
32.4.2 デバイスステート遷移割り込み 1826
32.4.3 コントロール転送ステージ遷移割り込み 1827
32.5 パイプコントロール 1829
32.5.1 マックスパケットサイズ設定 1830
32.5.2 応答 PID 1830
32.5.3 パイプコントロールレジスタの切り替え手順 1831
32.5.4 データ PID シーケンスビット 1832
32.6 FIFO バッファ 1833
32.6.1 FIFO バッファ割り当て 1833
32.6.2 FIFO バッファクリア 1834
32.7 FIFO ポートの機能 1835

32.7.1 FIFO ポート選択 1835
32.7.2 DxFIFO 自動クリアモード（DxFIFO ポート読み出し方向） 1836
32.7.3 BRDY 割り込みタイミング選択機能 1837
32.8 コントロール転送（DCP） 1838
32.8.1 セットアップステージ 1838
32.8.2 データステージ 1838
32.8.3 ステータスステージ 1839
32.8.4 コントロール転送自動応答機能 1839
32.9 バルク転送（PIPE1-5） 1839
32.9.1 NYET ハンドシェイク制御 1840
32.10 インタラプト転送（PIPE6-9） 1840
32.11 アイソクロナス転送（PIPE1-2） 1840
32.11.1 アイソクロナス転送のエラー検出 1841
32.11.2 DATA-PID 1842
32.11.3 インターバルカウンタ 1842
32.11.3.1 動作概要 1842
32.11.3.2 インターバルカウンタの初期化 1843
32.11.4 アイソクロナス転送送信データセットアップ 1843
32.11.5 アイソクロナス転送送信バッファフラッシュ 1845
32.12 SOF 補間機能 1846
33. FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA） 1847
33.1 概要 1847
33.2 レジスタの説明 1849
33.2.1 レシーブシフトレジスタ（RSR） 1849
33.2.2 レシーブ FIFO データレジスタ（FRDR） 1849
33.2.3 トランスミットシフトレジスタ（TSR） 1849
33.2.4 トランスミット FIFO データレジスタ（FTDR） 1850
33.2.5 シリアルモードレジスタ（SMR） 1850
33.2.6 シリアルコントロールレジスタ（SCR） 1852
33.2.7 シリアルステータスレジスタ（FSR） 1854
33.2.8 ビットレートレジスタ（BRR） 1857
33.2.9 モジュレーションデューティレジスタ（MDDR） 1861
33.2.10 FIFO コントロールレジスタ（FCR） 1864
33.2.11 FIFO データ数レジスタ（FDR） 1866
33.2.12 シリアルポートレジスタ（SPTR） 1867
33.2.13 ラインステータスレジスタ（LSR） 1869
33.2.14 シリアル拡張モードレジスタ（SEMR） 1870
33.2.15 FIFO トリガコントロールレジスタ（FTCR） 1871
33.3 動作説明 1872
33.3.1 概要 1872

33.3.2 調歩同期式モード時の動作 ... 1874
33.3.3 クロック同期式モード時の動作 ... 1883
33.4 ビットモジュレーション機能 ... 1890
33.5 割り込み要因 ... 1891
33.6 シリアルポートレジスタ（SPTR）と SCIFA 関連の端子との関係 ... 1892
33.7 ノイズ除去機能 ... 1894
33.8 使用上の注意事項 ... 1895
33.8.1 FTDR レジスタへの書き込みと TDFE フラグ ... 1895
33.8.2 FRDR レジスタの読み出しと RDF フラグ ... 1895
33.8.3 ブレークの検出と処理 ... 1895
33.8.4 SPTR レジスタへの書き込み ... 1895
33.8.5 ブレークの送出 ... 1896
33.8.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン ... 1896
33.8.7 シリアルステータスレジスタ（FSR）の FER フラグおよび PER フラグの注意事項 ... 1897
33.8.8 クロック同期式モードにおける外部クロック入力時の注意事項 ... 1897
33.8.9 モジュールスタンバイモードの設定 ... 1897
33.8.10 クロック同期式モードで内部クロック選択時における受信動作の注意事項 ... 1897
33.8.11 SCIFA 初期化時の注意事項 ... 1897
34. I²C バスインタフェース（RIICa） ... 1898
34.1 概要 ... 1898
34.2 レジスタの説明 ... 1901
34.2.1 I²C バスコントロールレジスタ 1（ICCR1） ... 1901
34.2.2 I²C バスコントロールレジスタ 2（ICCR2） ... 1903
34.2.3 I²C バスモードレジスタ 1（ICMR1） ... 1907
34.2.4 I²C バスモードレジスタ 2（ICMR2） ... 1908
34.2.5 I²C バスモードレジスタ 3（ICMR3） ... 1910
34.2.6 I²C バスファンクション許可レジスタ（ICFER） ... 1912
34.2.7 I²C バスステータス許可レジスタ（ICSER） ... 1914
34.2.8 I²C バス割り込み許可レジスタ（ICIER） ... 1916
34.2.9 I²C バスステータスレジスタ 1（ICSR1） ... 1918
34.2.10 I²C バスステータスレジスタ 2（ICSR2） ... 1921
34.2.11 I²C スレーブアドレスレジスタ Ly（ICSARLy）（y = 0 ～ 2） ... 1925
34.2.12 I²C スレーブアドレスレジスタ Uy（ICSARUy）（y = 0 ～ 2） ... 1926
34.2.13 I²C バスビットレート Low レジスタ（ICBRL） ... 1927
34.2.14 I²C バスビットレート High レジスタ（ICBRH） ... 1928
34.2.15 I²C バス送信データレジスタ（ICDRT） ... 1929
34.2.16 I²C バス受信データレジスタ（ICDRR） ... 1929
34.2.17 I²C バスシフトレジスタ（ICDRS） ... 1930
34.3 動作説明 ... 1931

34.3.1 通信データフォーマット 1931
34.3.2 初期設定 1933
34.3.3 マスタ送信動作 1934
34.3.4 マスタ受信動作 1938
34.3.5 スレーブ送信動作 1943
34.3.6 スレーブ受信動作 1946
34.4 SCL 同期回路 1949
34.5 SDA 出力遅延機能 1950
34.6 デジタルノイズフィルタ回路 1951
34.7 アドレス一致検出機能 1952
34.7.1 スレーブアドレス一致検出機能 1952
34.7.2 ジェネラルコールアドレス検出機能 1955
34.7.3 デバイス ID アドレス検出機能 1956
34.8 SCL の自動 Low ホールド機能 1958
34.8.1 送信データ誤送信防止機能 1958
34.8.2 NACK 受信転送中断機能 1959
34.8.3 受信データ取りこぼし防止機能 1960
34.9 アービトレーションロスト検出機能 1962
34.9.1 マスタアービトレーションロスト検出機能（MALE ビット） 1962
34.9.2 NACK 送信アービトレーションロスト検出機能（NALE ビット） 1965
34.9.3 スレーブアービトレーションロスト検出機能（SALE ビット） 1966
34.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 1967
34.10.1 スタートコンディション発行動作 1967
34.10.2 リスタートコンディション発行動作 1967
34.10.3 ストップコンディション発行動作 1969
34.11 バスハングアップ 1970
34.11.1 タイムアウト検出機能 1970
34.11.2 SCL クロック追加出力機能 1972
34.11.3 RIIC リセット、内部リセット 1973
34.12 割り込み要因 1974
34.13 リセットと各コンディション発行時のレジスタおよび機能の状態 1975
34.14 イベントリンク出力機能 1976
34.14.1 割り込み処理とイベントリンクの関係 1976
34.15 使用上の注意事項 1977
34.15.1 モジュールストップ機能の設定 1977
35. CAN インタフェース（RSCAN） 1978
35.1 概要 1978
35.1.1 機能概要 1978
35.2 レジスタの説明 1982

35.2.1 チャネルコンフィグレーションレジスタ（RSCAN0CmCFG）（m = 0, 1）..... 1982
35.2.2 チャネル制御レジスタ（RSCAN0CmCTR）（m = 0, 1）..... 1984
35.2.3 チャネルステータスレジスタ（RSCAN0CmSTS）（m = 0, 1）..... 1988
35.2.4 チャネルエラーフラグレジスタ（RSCAN0CmERFL）（m = 0, 1）..... 1990
35.2.5 グローバルコンフィグレーションレジスタ（RSCAN0GCFG）..... 1993
35.2.6 グローバル制御レジスタ（RSCAN0GCTR）..... 1995
35.2.7 グローバルステータスレジスタ（RSCAN0GSTS）..... 1997
35.2.8 グローバルエラーフラグレジスタ（RSCAN0GERFL）..... 1998
35.2.9 グローバル TX 割り込みステータスレジスタ 0（RSCAN0GTINTSTS0）..... 1999
35.2.10 グローバルタイムスタンプカウンタレジスタ（RSCAN0GTSC）..... 2001
35.2.11 受信ルールエントリ制御レジスタ（RSCAN0GAFLECTR）..... 2002
35.2.12 受信ルールコンフィグレーションレジスタ 0（RSCAN0GAFLCFG0）..... 2003
35.2.13 受信ルール ID レジスタ（RSCAN0GAFLIDj）（j = 0 ~ 15）..... 2004
35.2.14 受信ルールマスクレジスタ（RSCAN0GAFLMj）（j = 0 ~ 15）..... 2005
35.2.15 受信ルールポインタ 0 レジスタ（RSCAN0GAFLP0j）（j = 0 ~ 15）..... 2006
35.2.16 受信ルールポインタ 1 レジスタ（RSCAN0GAFLP1j）（j = 0 ~ 15）..... 2008
35.2.17 受信バッファナンバレジスタ（RSCAN0RMNB）..... 2009
35.2.18 受信バッファ新データレジスタ 0（RSCAN0RMND0）..... 2010
35.2.19 受信バッファ ID レジスタ（RSCAN0RMIDq）（q = 0 ~ 31）..... 2011
35.2.20 受信バッファポインタレジスタ（RSCAN0RMPTRq）（q = 0 ~ 31）..... 2012
35.2.21 受信バッファデータフィールド 0 レジスタ（RSCAN0RMDF0q）（q = 0 ~ 31）..... 2013
35.2.22 受信バッファデータフィールド 1 レジスタ（RSCAN0RMDF1q）（q = 0 ~ 31）..... 2014
35.2.23 受信 FIFO バッファコンフィグレーション／制御レジスタ（RSCAN0RFCCx）（x = 0 ~ 7）..... 2015
35.2.24 受信 FIFO バッファステータスレジスタ（RSCAN0RFSTSx）（x = 0 ~ 7）..... 2017
35.2.25 受信 FIFO バッファポインタ制御レジスタ（RSCAN0RFPCTRx）（x = 0 ~ 7）..... 2019
35.2.26 受信 FIFO バッファアクセス ID レジスタ（RSCAN0RFIDx）（x = 0 ~ 7）..... 2020
35.2.27 受信 FIFO バッファアクセスポインタレジスタ（RSCAN0RFPTRx）（x = 0 ~ 7）..... 2021
35.2.28 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（RSCAN0RFDF0x）（x = 0 ~ 7）..... 2022
35.2.29 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（RSCAN0RFDF1x）（x = 0 ~ 7）..... 2023
35.2.30 送受信 FIFO バッファコンフィグレーション／制御レジスタ（RSCAN0CFCCk）（k = 0 ~ 5）..... 2024
35.2.31 送受信 FIFO バッファステータスレジスタ（RSCAN0CFSTSk）（k = 0 ~ 5）..... 2028
35.2.32 送受信 FIFO バッファポインタ制御レジスタ（RSCAN0CFPCTRk）（k = 0 ~ 5）..... 2031
35.2.33 送受信 FIFO バッファアクセス ID レジスタ（RSCAN0CFIDk）（k = 0 ~ 5）..... 2032
35.2.34 送受信 FIFO バッファアクセスポインタレジスタ（RSCAN0CFPTRk）（k = 0 ~ 5）..... 2034
35.2.35 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（RSCAN0CFDF0k）（k = 0 ~ 5）..... 2036

35.2.36 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（RSCAN0CFDF1k）（k = 0 ~ 5）.....2037
35.2.37 FIFO エンプティステータスレジスタ（RSCAN0FESTS）.....2038
35.2.38 FIFO フルステータスレジスタ（RSCAN0FFSTS）.....2039
35.2.39 FIFO メッセージロストステータスレジスタ（RSCAN0FMSTS）.....2040
35.2.40 受信 FIFO バッファ割り込みフラグステータスレジスタ（RSCAN0RFISTS）.....2041
35.2.41 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ（RSCAN0CFRISTS）.....2042
35.2.42 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ（RSCAN0CFTISTS）.....2043
35.2.43 送信バッファ制御レジスタ（RSCAN0TMCp）（p = 0 ~ 31）.....2044
35.2.44 送信バッファステータスレジスタ（RSCAN0TMSTSp）（p = 0 ~ 31）.....2046
35.2.45 送信バッファ送信要求ステータスレジスタ 0（RSCAN0TMTRSTS0）.....2048
35.2.46 送信バッファ送信アボート要求ステータスレジスタ 0（RSCAN0TMTARSTS0）.....2049
35.2.47 送信バッファ送信完了ステータスレジスタ 0（RSCAN0TMTCSTS0）.....2050
35.2.48 送信バッファ送信アボートステータスレジスタ 0（RSCAN0TMTASTS0）.....2051
35.2.49 送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0（RSCAN0TMIEC0）.....2052
35.2.50 送信バッファ ID レジスタ（RSCAN0TMIDp）（p = 0 ~ 31）.....2053
35.2.51 送信バッファポインタレジスタ（RSCAN0TMPTRp）（p = 0 ~ 31）.....2054
35.2.52 送信バッファデータフィールド 0 レジスタ（RSCAN0TMDF0p）（p = 0 ~ 31）.....2055
35.2.53 送信バッファデータフィールド 1 レジスタ（RSCAN0TMDF1p）（p = 0 ~ 31）.....2056
35.2.54 送信キューコンフィグレーション／制御レジスタ（RSCAN0TXQCCm）（m = 0, 1）.....2057
35.2.55 送信キューステータスレジスタ（RSCAN0TXQSTSm）（m = 0, 1）.....2059
35.2.56 送信キューポインタ制御レジスタ（RSCAN0TXQPCTRm）（m = 0, 1）.....2060
35.2.57 送信履歴コンフィグレーション／制御レジスタ（RSCAN0THLCCm）（m = 0, 1）.....2061
35.2.58 送信履歴ステータスレジスタ（RSCAN0THLSTSm）（m = 0, 1）.....2062
35.2.59 送信履歴アクセスレジスタ（RSCAN0THLACCm）（m = 0, 1）.....2064
35.2.60 送信履歴ポインタ制御レジスタ（RSCAN0THLPCTRm）（m = 0, 1）.....2065
35.2.61 グローバルテストコンフィグレーションレジスタ（RSCAN0GTSTCFG）.....2066
35.2.62 グローバルテスト制御レジスタ（RSCAN0GTSTCTR）.....2067
35.2.63 グローバルロックキーレジスタ（RSCAN0GLOCKK）.....2068
35.2.64 RAM テストページアクセスレジスタ（RSCAN0RPGACCr）（r = 0 ~ 63）.....2069
35.2.65 RSCAN ECC コントロールレジスタ（ECCRCANCTL）.....2070
35.2.66 RSCAN ECC エラーアドレスレジスタ z（ECCRCANEADz）（z = 0 ～ 7）.....2073
35.3 割り込み要因.....2074
35.4 CAN モード.....2078
35.4.1 グローバルモード.....2078
35.4.1.1 グローバルストップモード.....2079
35.4.1.2 グローバルリセットモード.....2079

35.4.1.3 グローバルテストモード 2080
35.4.1.4 グローバル動作モード 2080
35.4.2 チャネルモード 2081
35.4.2.1 チャネルストップモード 2082
35.4.2.2 チャネルリセットモード 2082
35.4.2.3 チャネル待機モード 2083
35.4.2.4 チャネル通信モード 2083
35.4.2.5 バスオフ状態 2084
35.5 受信機能 2086
35.5.1 受信ルールテーブルを用いたデータ処理 2086
35.5.1.1 アクセプタンスフィルタ処理 2087
35.5.1.2 DLC フィルタ処理 2088
35.5.1.3 ルーティング処理 2088
35.5.1.4 ラベル付加処理 2088
35.5.1.5 ミラー機能の処理 2088
35.5.1.6 タイムスタンプ 2089
35.6 送信機能 2090
35.6.1 送信の優先順位判定 2091
35.6.2 送信バッファを用いた送信 2091
35.6.2.1 送信アボート機能 2091
35.6.2.2 ワンショット送信機能（再送信禁止機能） 2091
35.6.3 FIFO バッファによる送信 2092
35.6.3.1 インターバル送信機能 2092
35.6.4 送信キューによる送信 2094
35.6.5 送信履歴機能 2095
35.7 ゲートウェイ機能 2096
35.8 テスト機能 2097
35.8.1 標準テストモード 2097
35.8.2 リッスンオンリモード 2097
35.8.3 セルフテストモード（ループバックモード） 2098
35.8.3.1 セルフテストモード 0（外部ループバックモード） 2098
35.8.3.2 セルフテストモード 1（内部ループバックモード） 2099
35.8.4 RAM テスト 2099
35.8.5 チャネル間通信テスト 2099
35.9 RSCAN の設定手順 2100
35.9.1 初期設定 2100
35.9.1.1 クロックの設定 2101
35.9.1.2 ビットタイミングの設定 2101
35.9.1.3 通信速度の設定 2103
35.9.1.4 受信ルールの設定 2104

35.9.1.5 バッファの設定 2105
35.9.2 受信手順 2107
35.9.2.1 受信バッファの読み出し手順 2107
35.9.2.2 FIFO バッファの読み出し手順 2109
35.9.3 送信手順 2112
35.9.3.1 送信バッファからの送信手順 2112
35.9.3.2 送受信 FIFO バッファからの送信手順 2116
35.9.3.3 送信キューからの送信手順 2119
35.9.3.4 送信履歴バッファの読み出し手順 2120
35.9.4 テスト設定 2121
35.9.4.1 セルフテストモードの設定手順 2121
35.9.4.2 プロテクト解除手順 2122
35.9.4.3 RAM テストの設定手順 2123
35.9.4.4 チャネル間通信テストの設定手順 2124
35.10 RSCAN RAM のエラー検出／訂正 2125
35.10.1 RSCAN RAM ECC 2125
35.10.2 エラー要因出力 2126
35.11 RSCAN モジュールの注意事項 2127
36. シリアルペリフェラルインタフェース（RSPIa） 2128
36.1 概要 2128
36.2 レジスタの説明 2132
36.2.1 RSPI 制御レジスタ（SPCR） 2132
36.2.2 RSPI スレーブセレクト極性レジスタ（SSLP） 2134
36.2.3 RSPI 端子制御レジスタ（SPPCR） 2135
36.2.4 RSPI ステータスレジスタ（SPSR） 2137
36.2.5 RSPI データレジスタ（SPDR） 2139
36.2.6 RSPI シーケンス制御レジスタ（SPSCR） 2142
36.2.7 RSPI シーケンスステータスレジスタ（SPSSR） 2143
36.2.8 RSPI ビットレートレジスタ（SPBR） 2144
36.2.9 RSPI データコントロールレジスタ（SPDCR） 2145
36.2.10 RSPI クロック遅延レジスタ（SPCKD） 2147
36.2.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND） 2148
36.2.12 RSPI 次アクセス遅延レジスタ（SPND） 2149
36.2.13 RSPI 制御レジスタ 2（SPCR2） 2150
36.2.14 RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7） 2152
36.3 動作説明 2155
36.3.1 RSPI 動作の概要 2155
36.3.2 RSPI 端子の制御 2156
36.3.3 RSPI システム構成例 2158
36.3.3.1 シングルマスタ／シングルスレーブ（本 LSI = マスタ） 2158

36.3.3.2 シングルマスタ／シングルスレーブ（本 LSI = スレーブ） 2159
36.3.3.3 シングルマスタ／マルチスレーブ（本 LSI = マスタ） 2160
36.3.3.4 シングルマスタ／マルチスレーブ（本 LSI = スレーブ） 2161
36.3.3.5 マルチマスタ／マルチスレーブ（本 LSI = マスタ） 2162
36.3.3.6 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI = マスタ） 2163
36.3.3.7 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI = スレーブ） 2164
36.3.4 データフォーマット 2165
36.3.4.1 パリティ機能無効時（SPCR2.SPPE = 0） 2166
36.3.4.2 パリティ機能有効時（SPCR2.SPPE = 1） 2170
36.3.5 転送フォーマット 2174
36.3.5.1 CPHA ビット = 0 の場合 2174
36.3.5.2 CPHA ビット = 1 の場合 2175
36.3.6 通信動作モード 2176
36.3.6.1 全二重同期式シリアル通信（SPCR.TXMD = 0） 2176
36.3.6.2 送信のみ動作（SPCR.TXMD = 1） 2177
36.3.7 送信バッファエンプティ／受信バッファフル割り込み 2178
36.3.8 エラー検出 2180
36.3.8.1 オーバランエラー 2181
36.3.8.2 パリティエラー 2183
36.3.8.3 モードフォルトエラー 2184
36.3.9 RSPI の初期化 2185
36.3.9.1 SPE ビットのクリアによる初期化 2185
36.3.9.2 システムリセット 2185
36.3.10 SPI 動作 2186
36.3.10.1 マスタモード動作 2186
36.3.10.2 スレーブモード動作 2197
36.3.11 クロック同期式動作 2201
36.3.11.1 マスタモード動作 2201
36.3.11.2 スレーブモード動作 2205
36.3.12 ループバックモード 2207
36.3.13 パリティビット機能の自己判断 2208
36.3.14 割り込み要因 2209
36.4 イベントリンク機能によるリンク動作（RSPI チャネル 0 のみ） 2210
36.4.1 受信バッファフルイベント出力 2210
36.4.2 送信バッファエンプティイベント出力 2210
36.4.3 モードフォルト／オーバラン／パリティエラーイベント出力 2210
36.4.4 RSPI アイドルイベント出力 2211
36.4.5 送信完了イベント出力 2211
36.5 使用上の注意事項 2212

36.5.1 モジュールストップ機能の設定 2212
36.5.2 消費電力低減機能の注意事項 2212
36.5.3 通信の開始に関する注意事項 2212
37. SPI マルチ I/O バスコントローラ（SPIBSC） 2213
37.1 概要 2213
37.2 レジスタの説明 2215
37.2.1 共通コントロールレジスタ（CMNCR） 2215
37.2.2 SSL 遅延レジスタ（SSLDR） 2218
37.2.3 ビットレート設定レジスタ（SPBCR） 2219
37.2.4 データリードコントロールレジスタ（DRCR） 2221
37.2.5 データリードコマンド設定レジスタ（DRCMR） 2222
37.2.6 データリード拡張アドレス設定レジスタ（DREAR） 2223
37.2.7 データリードオプション設定レジスタ（DROPR） 2224
37.2.8 データリードイネーブル設定レジスタ（DRENR） 2225
37.2.9 SPI モードコントロールレジスタ（SMCR） 2227
37.2.10 SPI モードコマンド設定レジスタ（SMCMR） 2228
37.2.11 SPI モードアドレス設定レジスタ（SMADR） 2229
37.2.12 SPI モードオプション設定レジスタ（SMOPR） 2229
37.2.13 SPI モードイネーブル設定レジスタ（SMENR） 2230
37.2.14 SPI モードリードデータレジスタ 0（SMRDR0） 2232
37.2.15 SPI モードライトデータレジスタ 0（SMWDR0） 2233
37.2.16 共通ステータスレジスタ（CMNSR） 2234
37.2.17 データリードダミーサイクル設定レジスタ（DRDMCR） 2235
37.2.18 SPI モードダミーサイクル設定レジスタ（SMDMCR） 2236
37.3 動作説明 2237
37.3.1 システム構成 2237
37.3.2 アドレスマップ 2237
37.3.3 シリアルフラッシュ 32 ビットアドレス 2238
37.3.4 データアライメント 2239
37.3.5 動作モード 2240
37.3.6 外部アドレス空間リードモード 2240
37.3.7 リードキャッシュ 2245
37.3.8 SPI 動作モード 2246
37.3.9 転送フォーマット 2249
37.3.10 データフォーマット 2250
37.3.11 データ端子制御 2253
37.3.12 SPBSSL 端子制御 2254
37.3.13 フラグ 2255
37.4 使用上の注意事項 2256
37.4.1 SPI 動作モードのデータリード転送時の注意事項 2256

37.4.2 SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項 2256
37.4.3 初期設定についての注意事項 2256
38. CRC 演算器（CRC） 2257
38.1 概要 2257
38.2 レジスタの説明 2258
38.2.1 CRC データ入力レジスタ（CRCDIR） 2258
38.2.2 CRC データ出力レジスタ（CRCDOR） 2259
38.2.3 CRC コントロールレジスタ（CRCCR） 2260
38.3 動作説明 2261
38.3.1 CRC データ出力レジスタ（CRCDOR）の初期化 2262
39. シリアルサウンドインタフェース（SSI） 2263
39.1 概要 2263
39.2 レジスタの説明 2265
39.2.1 制御レジスタ（SSICR） 2265
39.2.2 ステータスレジスタ（SSISR） 2269
39.2.3 FIFO 制御レジスタ（SSIFCR） 2272
39.2.4 FIFO ステータスレジスタ（SSIFSR） 2274
39.2.5 送信 FIFO データレジスタ（SSIFTDR） 2276
39.2.6 受信 FIFO データレジスタ（SSIFRDR） 2276
39.2.7 TDM モードレジスタ（SSITDMR） 2277
39.3 動作説明 2278
39.3.1 バスフォーマット 2278
39.3.2 非圧縮モード 2278
39.3.3 WS コンティニュモード 2285
39.3.4 動作状態 2286
39.3.5 送信動作 2287
39.3.6 受信動作 2289
39.3.7 シリアルビットクロック制御 2290
39.4 割り込み要因 2290
39.5 使用上の注意事項 2291
39.5.1 モジュールストップ機能の設定 2291
39.5.2 転送モードを切り替える場合の注意事項 2291
39.5.3 WS コンティニュモードの制限事項 2291
40. バウンダリスキャン 2292
40.1 概要 2292
40.2 レジスタの説明 2294
40.2.1 インストラクションレジスタ（JTIR） 2294
40.2.2 ID コードレジスタ（JTIDR） 2295
40.2.3 バイパスレジスタ（JTBPR） 2295
40.2.4 バウンダリスキャンレジスタ（JTBSR） 2295

40.3 動作説明 2317
40.3.1 TAP コントローラ 2317
40.3.2 コマンド一覧 2319
40.4 使用上の注意事項 2320
41. ΔΣ インタフェース（DSMIF） 2322
41.1 概要 2322
41.2 レジスタの説明 2324
41.2.1 UVW コントロールレジスタ（UVWCTL） 2324
41.2.2 UVW ステータスレジスタ（UVWSTA） 2326
41.2.3 UVW 過電流異常検出下限値設定レジスタ（UVWIUNCMP） 2327
41.2.4 UVW 過電流異常検出上限値設定レジスタ（UVWIOVCMP） 2328
41.2.5 UVW 短絡異常検出 0 データ入力閾値設定レジスタ（UVWSCUNCMP） 2328
41.2.6 UVW 短絡異常検出 1 データ入力閾値設定レジスタ（UVWSCOVCMP） 2329
41.2.7 UVW 合計電流異常検出下限値設定レジスタ（UVWIGUNCMP） 2330
41.2.8 UVW 合計電流異常検出上限値設定レジスタ（UVWIGOVCMP） 2331
41.2.9 チャネル U 電流値レジスタ 1（U1DATA） 2331
41.2.10 チャネル U 電流値山トリガキャプチャレジスタ 1（U1CDATA） 2332
41.2.11 チャネル U 電流値谷トリガキャプチャレジスタ 1（U1VDATA） 2332
41.2.12 チャネル U 電流値レジスタ 2（U2DATA） 2333
41.2.13 チャネル V 電流値レジスタ 1（V1DATA） 2333
41.2.14 チャネル V 電流値山トリガキャプチャレジスタ 1（V1CDATA） 2334
41.2.15 チャネル V 電流値谷トリガキャプチャレジスタ 1（V1VDATA） 2334
41.2.16 チャネル V 電流値レジスタ 2（V2DATA） 2335
41.2.17 チャネル W 電流値レジスタ 1（W1DATA） 2335
41.2.18 チャネル W 電流値山トリガキャプチャレジスタ 1（W1CDATA） 2336
41.2.19 チャネル W 電流値谷トリガキャプチャレジスタ 1（W1VDATA） 2336
41.2.20 チャネル W 電流値レジスタ 2（W2DATA） 2337
41.2.21 XYZ コントロールレジスタ（XYZCTL） 2338
41.2.22 XYZ ステータスレジスタ（XYZSTA） 2340
41.2.23 XYZ 過電流異常検出下限値設定レジスタ（XYZIUNCMP） 2341
41.2.24 XYZ 過電流異常検出上限値設定レジスタ（XYZIOVCMP） 2341
41.2.25 XYZ 短絡異常検出 0 データ入力閾値設定レジスタ（XYZSCUNCMP） 2342
41.2.26 XYZ 短絡異常検出 1 データ入力閾値設定レジスタ（XYZSCOVCMP） 2342
41.2.27 チャネル X 電流値レジスタ 1（X1DATA） 2343
41.2.28 チャネル X 電流値山トリガキャプチャレジスタ 1（X1CDATA） 2343
41.2.29 チャネル X 電流値谷トリガキャプチャレジスタ 1（X1VDATA） 2344
41.2.30 チャネル X 電流値レジスタ 2（X2DATA） 2344
41.3 動作説明 2345
41.3.1 SINC フィルタ機能 2345
41.3.2 デシメーション機能 2346

41.3.3 変換結果処理機能 2347
41.3.3.1 電流値変換機能と山／谷トリガキャプチャ機能 2347
41.3.3.2 過電流異常検出機能 2348
41.3.3.3 短絡異常検出機能 2349
41.3.3.4 合計電流異常検出機能（ユニット 0（U, V, W）のみ） 2350
41.3.4 動作クロックの設定 2350
41.3.5 フィルタ設定 2351
41.3.6 設定例 2352
41.3.7 フィルタ動作 2353
41.4 エラー要因 2354
41.5 使用上の注意事項 2354
41.5.1 モジュールストップ解除時のエラー要因の初期化 2354
41.5.2 過電流検出時の電流値データに関する注意事項 2354
41.5.3 ユニット 0 に未使用チャネルがある場合の注意事項 2355
42. エラーコントロールモジュール（ECM） 2356
42.1 概要 2356
42.2 レジスタの説明 2360
42.2.1 ECM マスタ／チェッカエラーセットトリガレジスタ（ECMmESET（m = M/C）） 2360
42.2.2 ECM マスタ／チェッカエラークリアトリガレジスタ（ECMmECLR（m = M/C）） 2361
42.2.3 ECM マスタ／チェッカエラーソースステータスレジスタ 0（ECMmESSTR0（m = M/C）） 2362
42.2.4 ECM マスタ／チェッカエラーソースステータスレジスタ 1（ECMmESSTR1（m = M/C）） 2365
42.2.5 ECM マスタ／チェッカエラーソースステータスレジスタ 2（ECMmESSTR2（m = M/C）） 2366
42.2.6 ECM マスタ／チェッカ保護コマンドレジスタ（ECMmPCMD0（m = M/C）） 2367
42.2.7 ECM エラーパルスコンフィグレーションレジスタ（ECMEPCFG） 2367
42.2.8 ECM マスカブル割り込みコンフィグレーションレジスタ 0（ECMMICFG0） 2368
42.2.9 ECM マスカブル割り込みコンフィグレーションレジスタ 1（ECMMICFG1） 2371
42.2.10 ECM マスカブル割り込みコンフィグレーションレジスタ 2（ECMMICFG2） 2372
42.2.11 ECM ノンマスカブル割り込みコンフィグレーションレジスタ 0（ECMNMICFG0） 2373
42.2.12 ECM ノンマスカブル割り込みコンフィグレーションレジスタ 1（ECMNMICFG1） 2376
42.2.13 ECM ノンマスカブル割り込みコンフィグレーションレジスタ 2（ECMNMICFG2） 2377
42.2.14 ECM 内部リセットコンフィグレーションレジスタ 0（ECMIRCFG0） 2378
42.2.15 ECM 内部リセットコンフィグレーションレジスタ 1（ECMIRCFG1） 2381
42.2.16 ECM 内部リセットコンフィグレーションレジスタ 2（ECMIRCFG2） 2382
42.2.17 ECM エラーマスクレジスタ 0（ECMEMK0） 2383
42.2.18 ECM エラーマスクレジスタ 1（ECMEMK1） 2386
42.2.19 ECM エラーマスクレジスタ 2（ECMEMK2） 2387

42.2.20 ECM エラーソースステータスクリアトリガレジスタ 0（ECMESSTC0）..... 2388
42.2.21 ECM エラーソースステータスクリアトリガレジスタ 1（ECMESSTC1）..... 2391
42.2.22 ECM エラーソースステータスクリアトリガレジスタ 2（ECMESSTC2）..... 2392
42.2.23 ECM 保護コマンドレジスタ（ECMPCMD1）..... 2393
42.2.24 ECM 保護ステータスレジスタ（ECMPS）..... 2393
42.2.25 ECM 擬似エラートリガレジスタ 0 （ECMPE0）..... 2394
42.2.26 ECM 擬似エラートリガレジスタ 1（ECMPE1）..... 2397
42.2.27 ECM 擬似エラートリガレジスタ 2（ECMPE2）..... 2398
42.2.28 ECM ディレイタイマコントロールレジスタ（ECMDTMCTL）..... 2399
42.2.29 ECM ディレイタイマレジスタ（ECMDTMR）..... 2400
42.2.30 ECM ディレイタイマコンペアレジスタ（ECMDTMCMP）..... 2400
42.2.31 ECM ディレイタイマコンフィグレーションレジスタ 0（ECMDTMCFG0）..... 2401
42.2.32 ECM ディレイタイマコンフィグレーションレジスタ 1（ECMDTMCFG1）..... 2404
42.2.33 ECM ディレイタイマコンフィグレーションレジスタ 2（ECMDTMCFG2）..... 2405
42.2.34 ECM ディレイタイマコンフィグレーションレジスタ 3（ECMDTMCFG3）..... 2406
42.2.35 ECM ディレイタイマコンフィグレーションレジスタ 4（ECMDTMCFG4）..... 2409
42.2.36 ECM ディレイタイマコンフィグレーションレジスタ 5（ECMDTMCFG5）..... 2410
42.2.37 ECM エラー出力クリア無効コンフィグレーションレジスタ（ECMEOCCFG）..... 2411
42.2.38 ECM マスク制御レジスタ（ECMMCNT）..... 2412
42.3 動作説明 2413
42.3.1 エラー出力動作 2413
42.3.1.1 ダイナミックモードを有効にする 2413
42.3.1.2 ダイナミックモードを無効にする 2413
42.3.2 ループバック機能 2413
42.3.3 疑似エラー発生 2413
42.3.4 保護レジスタへの書き込み 2415
42.3.4.1 保護シーケンス解除 2415
42.3.5 ディレイタイマによる割り込み処理のタイムアウト機能 2415
42.3.6 エラー出力クリアの無効設定機能 2416
42.4 使用上の注意事項 2416
42.4.1 ECMCLK に関する注意事項 2416
43. 12 ビット A/D コンバータ（S12ADCa）..... 2417
43.1 概要 2417
43.2 レジスタの説明 2425
43.2.1 A/D データレジスタ y（ADDRy）、A/D データ 2 重化レジスタ（ADDBLDR）、A/D データ 2 重化レジスタ A（ADDBLDRA）、A/D データ 2 重化レジスタ B（ADDBLDRB）、A/D 温度センサデータレジスタ（ADTSDR）..... 2425
43.2.2 A/D 自己診断データレジスタ（ADRD）..... 2429
43.2.3 A/D コントロールレジスタ（ADCSR）..... 2432
43.2.4 A/D チャネル選択レジスタ A（ADANSA）..... 2436
43.2.5 A/D チャネル選択レジスタ B（ADANSB）..... 2437

43.2.6 A/D 変換値加算／平均モード選択レジスタ（ADADS）.....2438
43.2.7 A/D 変換値加算／平均回数選択レジスタ（ADADC）.....2439
43.2.8 A/D コントロール拡張レジスタ（ADCER）.....2440
43.2.9 A/D 開始トリガ選択レジスタ（ADSTRGR）.....2442
43.2.10 A/D 変換拡張入力コントロールレジスタ（ADEXICR）
Unit0（温度センサあり、拡張アナログ入力なし）.....2446
43.2.11 A/D 変換拡張入力コントロールレジスタ（ADEXICR）
Unit1（温度センサなし、拡張アナログ入力あり）.....2447
43.2.12 A/D サンプリングステートレジスタ n（ADSSTRn）（n = 0 ～ 7、L、T）.....2448
43.2.13 サンプル & ホールド回路コントロールレジスタ（ADSHCR）.....2449
43.2.14 A/D 断線検出コントロールレジスタ（ADDISCR）.....2450
43.2.15 A/D グループスキャン優先コントロールレジスタ（ADGSPCR）.....2451
43.2.16 A/D コンペアコントロールレジスタ（ADCMPCR）.....2452
43.2.17 A/D コンペアチャネル選択レジスタ（ADCMPANSR）.....2453
43.2.18 A/D コンペアチャネル選択拡張レジスタ（ADCMPANSER）.....2453
43.2.19 A/D コンペアレベルレジスタ（ADCMPLR）.....2454
43.2.20 A/D コンペアレベル拡張レジスタ（ADCMPLER）.....2455
43.2.21 A/D コンペアデータレジスタ y（ADCMPDRy）（y = 0、1）.....2456
43.2.22 A/D コンペアステータスレジスタ（ADCMPSR）.....2459
43.2.23 A/D コンペアステータス拡張レジスタ（ADCMPSER）.....2460
43.2.24 A/D 端子レベル自己診断制御レジスタ（ADTDCR）.....2461
43.2.25 A/D エラーコントロールレジスタ（ADERCR）.....2462
43.2.26 A/D エラークリアレジスタ（ADERCLR）.....2462
43.2.27 A/D オーバライトエラーレジスタ（ADOWER）.....2463
43.2.28 A/D オーバライトエラー拡張レジスタ（ADOWEER）.....2464
43.3 動作説明.....2466
43.3.1 スキャンの動作説明.....2466
43.3.2 シングルスキャンモード.....2467
43.3.2.1 基本動作（チャネル専用サンプル&ホールドなし）.....2467
43.3.2.2 基本動作（チャネル専用サンプル&ホールドあり）.....2468
43.3.2.3 チャネル選択と自己診断（チャネル専用サンプル&ホールドなし）.....2469
43.3.2.4 チャネル選択と自己診断（チャネル専用サンプル&ホールドあり）.....2470
43.3.2.5 温度センサ出力選択時の A/D 変換動作.....2471
43.3.2.6 ダブルトリガモード選択時の動作.....2472
43.3.2.7 ダブルトリガモード選択時の拡張動作.....2473
43.3.3 連続スキャンモード.....2481
43.3.3.1 基本動作（チャネル専用サンプル&ホールドなし）.....2481
43.3.3.2 基本動作（チャネル専用サンプル&ホールドあり）.....2482
43.3.3.3 チャネル選択と自己診断（チャネル専用サンプル&ホールドなし）.....2483
43.3.3.4 チャネル選択と自己診断（チャネル専用サンプル&ホールドあり）.....2484
43.3.3.5 温度センサ出力選択時の A/D 変換動作.....2485

43.3.4 グループスキャンモード 2486
43.3.4.1 基本動作 2486
43.3.4.2 ダブルトリガモード選択時の動作 2487
43.3.4.3 グループ A 優先制御動作 2489
43.3.5 拡張アナログ入力（ユニット 1） 2500
43.3.5.1 AN1_ANEX1 の使用方法 2500
43.3.6 コンペア機能 2503
43.3.7 アナログ入力のサンプリング時間とスキャン変換時間 2504
43.3.8 A/D データレジスタの自動クリア機能の使用例 2507
43.3.9 A/D 変換値加算／平均モード 2507
43.3.10 断線検出アシスト機能 2508
43.3.11 非同期トリガによる A/D 変換の開始 2509
43.3.12 周辺モジュールからの同期トリガによる A/D 変換の開始 2510
43.3.13 端子レベル自己診断機能 2510
43.3.13.1 シングルスキャンモードでの端子レベル自己診断（チャネル専用サンプル&ホールドなし） 2511
43.3.13.2 シングルスキャンモードでの端子レベル自己診断（チャネル専用サンプル&ホールドあり） 2512
43.3.14 エラー検出機能 2513
43.4 割り込み要因と DMAC 転送要求 2514
43.4.1 割り込み要求 2514
43.4.2 ELC へのスキャン終了イベント出力 2515
43.5 使用上の注意事項 2515
43.5.1 データレジスタの読出し注意事項 2515
43.5.2 A/D 変換停止時の注意事項 2515
43.5.3 A/D 変換強制停止と開始時の動作タイミング 2517
43.5.4 スキャン終了割り込み処理の注意事項 2517
43.5.5 モジュールストップ機能の設定 2517
43.5.6 低消費電力状態への遷移時の注意 2517
43.5.7 外部バス使用時の注意事項 2517
43.5.8 断線検出アシスト機能使用時の絶対精度誤差 2518
43.5.9 断線検出アシスト機能使用時の注意 2518
43.5.10 自己診断機能使用時の注意 2518
43.5.11 グループスキャンモード（グループ A 優先制御選択時）のグループ B 再起動設定について 2518
43.5.12 許容信号源インピーダンスについて 2519
44. 温度センサ 2520
44.1 概要 2520
44.2 レジスタの説明 2521
44.2.1 温度センサコントロールレジスタ（TSCR） 2521
44.3 温度センサの使用方法 2522

44.3.1 使用前の準備 2522
44.3.2 12 ビット A/D コンバータ（ユニット 0）の設定 2523
44.3.3 温度センサの使用手順 2524
44.3.4 温度センサ出力の A/D 変換タイミング 2525
44.4 使用上の注意事項 2525
44.4.1 モジュールストップ機能の設定 2525
45. データ演算回路（DOC） 2526
45.1 概要 2526
45.2 レジスタの説明 2527
45.2.1 DOC 制御レジスタ（DOCR） 2527
45.2.2 DOC データインプットレジスタ（DODIR） 2528
45.2.3 DOC データセッティングレジスタ（DODSR） 2528
45.3 動作説明 2529
45.3.1 データ比較モード 2529
45.3.2 データ加算モード 2530
45.3.3 データ減算モード 2531
45.4 割り込み要求 2532
45.5 イベントリンク出力機能 2532
45.5.1 割り込み処理とイベントリンクの関係 2532
45.6 使用上の注意事項 2532
45.6.1 モジュールストップ機能の設定 2532
46. RAM（製品オプション） 2533
46.1 概要 2533
46.2 レジスタの説明 2534
46.2.1 プロテクトコマンドレジスタ（RAMPCMD） 2534
46.2.2 ECC デコーダコンフィグレーションレジスタ （RAMEDC） 2535
46.2.3 ECC デコーダコンフィグレーションレジスタ （RAMEDC）（R-IN Engine 搭載製品） 2536
46.2.4 ECC エンコーダコンフィグレーションレジスタ （RAMEEC） 2537
46.2.5 ECC エンコーダコンフィグレーションレジスタ （RAMEEC）（R-IN Engine 搭載製品） 2539
46.2.6 2 ビット ECC エラーステータスレジスタ（RAMDBEST） 2541
46.2.7 2 ビット ECC エラーステータスレジスタ（RAMDBEST）（R-IN Engine 搭載製品） 2542
46.2.8 2 ビット ECC エラーアドレスレジスタ （RAMDBEAD） 2543
46.2.9 2 ビット ECC エラーアドレスレジスタ （RAMDBEAD）（R-IN Engine 搭載製品） 2544
46.2.10 2 ビット ECC エラーカウンタレジスタ（RAMDBECNT） 2545
46.3 動作説明 2546
46.3.1 メモリ MAP 構成 2546
46.3.2 ECC 誤り訂正機能 2546

46.3.3 ECC 回路セルフテスト 2547
47. 電気的特性 2549
47.1 絶対最大定格 2549
47.2 電源投入・切断シーケンス 2550
47.3 DC 特性 2551
47.4 AC 特性 2557
47.4.1 クロックタイミング 2558
47.4.2 リセット、割り込みタイミング 2561
47.4.3 バスタイミング 2562
47.4.4 DMAC タイミング 2589
47.4.5 内蔵周辺モジュールタイミング 2590
47.4.5.1 I/O ポートタイミング 2590
47.4.5.2 TPUa タイミング 2591
47.4.5.3 CMTW タイミング 2592
47.4.5.4 MTU3a タイミング 2593
47.4.5.5 POE3 タイミング 2594
47.4.5.6 GPTa タイミング 2595
47.4.5.7 A/D コンバータトリガタイミング 2596
47.4.5.8 SCIFA タイミング 2597
47.4.5.9 RSPIa タイミング 2599
47.4.5.10 SPIBSC タイミング 2603
47.4.5.11 RIICa タイミング 2607
47.4.5.12 シリアルサウンドインタフェースタイミング 2609
47.4.5.13 CAN インタフェースタイミング 2611
47.4.5.14 ETHERC タイミング 2612
47.4.5.15 シリアル・マネージメント・インタフェースタイミング 2616
47.4.5.16 ΔΣ インタフェースタイミング 2617
47.5 USB 特性 2618
47.6 A/D 変換特性 2620
47.7 温度センサ特性 2622
47.8 発振停止検出タイミング 2622
47.9 デバッグインタフェースタイミング 2623
付録 1. 外形寸法図 2626
改訂記録 2630

R01UH0483JJ0200
Rev.2.00
2025.06.30

300MHz/450MHz/600MHz、Arm®社Cortex® -R4 / -M3（注1）MCU、FPU内蔵、498/747/996 DMIPS、最大1Mバイト拡張内蔵SRAM、Ether-MAC、EtherCAT（注1）、USB2.0ハイスピード、CAN、SPIマルチI/Oバスコントローラなど多種多様な通信機能、ΔΣインタフェース、安全機能、Encoderインタフェース（注1）、セキュリティ機能（注1）

特長

■ Arm 社 32 ビット Cortex-R4 プロセッサ内蔵
- 最大動作周波数 300/450/600MHz による高速リアルタイム制御 498/747/996DMIPS の性能（300/450/600MHz 動作時）
- Arm 社 32 ビット Cortex-R4（リビジョン r1p4）内蔵
- ECC 付き密結合メモリ（TCM）512K / 32K バイト
- ECC 付き命令キャッシュ／データキャッシュ 各 8K バイト
- 高速割り込み
- FPU は単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート
- 8 段パイプラインのハーバードアーキテクチャ
- メモリプロテクションユニット（MPU）対応
- Arm 社 CoreSight アーキテクチャ採用、JTAG および SWD インタフェースによるデバッグをサポート

■ Arm 社 32 ビット Cortex-M3 プロセッサ内蔵（R-IN Engine 搭載製品）
- 動作周波数 150MHz
- Arm 社 32 ビット Cortex-M3（リビジョン r2p1）内蔵
- 3 段パイプラインの RISC ハーバードアーキテクチャ
- メモリプロテクションユニット（MPU）対応

■消費電力低減機能
- スタンバイモード、スリープモードおよびモジュールストップ機能

■拡張内蔵 SRAM
- ECC 付き拡張内蔵 SRAM 最大 1M バイト
- 150 MHz

■データ転送機能
- DMAC：16 ch × 2 ユニット内蔵
- イーサネットコントローラ専用 DMAC：1 ch

■イベントリンクコントローラ
- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御
- 端子リセットなど 4 種類のリセット要因
- 3.3 V（I/O 部）、1.2 V（内部）の 2 電源構成

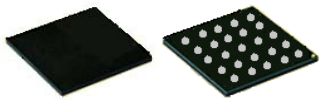
■クロック機能
- 外部クロック／発振子入力周波数：25 MHz
- CPU クロック周波数：～ 300/450/600 MHz
- 低速オンチップオシレータ（LOCO）：240 kHz

■独立ウォッチドッグタイマ内蔵
- 低速オンチップオシレータの分周クロックで動作：～ 120 kHz

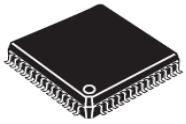
■安全機能
- レジスタライトプロテクション、入力クロック発振停止検出、CRC、IWDTa、A/D 自己診断など
- 各モジュールからのエラー要因に対し端子信号出力や割り込み、内部リセットを発生可能なエラーコントロールモジュール搭載

■セキュリティ機能（オプション）（注 2）
- 暗号化によるセキュリティ機能を持つブートモード

■ Encoder インタフェース（オプション）
- 2ch（注 3）
- EnDat2.2、BiSS-C、FA-CODER、A-format、HIPERFACE DSL 対応インタフェース（注 4）
- Encoder 分周出力機能



PRBG0320GA-A　17×17mm、0.8mmピッチ
PRBG0320GB-A　17×17mm、0.8mmピッチ
PLBG0320GB-A　17×17mm、0.8mmピッチ



PLQP0176LD-A　20 × 20mm、0.4mmピッチ

■多種多様な通信機能を内蔵
- Ethernet
  - EtherCAT Slave Controller：2 ポート（オプション）
  - Ether-MAC：1 ポート（Switch 機能を未使用）
    または
  - Ether-MAC：1 ポート（2 ポート対応 Switch 機能を使用）
- USB2.0 ハイスピード ホスト／ファンクション：1 ch
- CAN（ISO11898-1 準拠）：最大 2 ch
- 16 バイトの送受信 FIFO 搭載 SCIFA：5 ch
- I^2C バスインタフェース：最大 400Kbps 転送を 2 ch
- RSPIa：4 ch
- SPIBSC：マルチ I/O 対応シリアルフラッシュメモリを 1 ch 接続可能

■外部アドレス空間
- 高速動作バス @ 75MHz (max)
- 6 つの CS 領域をサポート
- エリアごとに 8/16/32 ビットバス空間を選択可能

■最大 33 本の拡張タイマ機能
- 16 ビット TPUa（12 ch）、MTU3a（9 ch）、GPTa（4 ch）：インプットキャプチャ、アウトプットコンペア、PWM 波形出力
- 16 ビット CMT（6 ch）、32 ビット CMTW（2 ch）

■シリアルサウンドインタフェース（1 ch）

■ ΔΣ インタフェース
- 外部に最大 4 ch の ΔΣ モジュレータを接続可能

■ 12 ビット A/D コンバータ内蔵
- 12 ビット × 最大 2 ユニット
  （ユニット 0：8 ch、ユニット 1：16 ch）
- 自己診断機能
- アナログ入力断線検出機能

■チップ内部の温度を計測可能な温度センサを内蔵

■汎用入出力ポート内蔵
- 5 V トレラント、オープンドレイン、入力プルアップ

■マルチファンクションピンコントローラ
- 周辺機能の入出力端子を複数個所から選択可能

■動作温度範囲
- Tj = – 40°C ～ + 125°C
  Tj：ジャンクション温度

注1.　オプション機能
注2.　本オプション機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。
注3.　2chで使用する場合は、EnDat2.2、BiSS-C、FA-CODER、A-format のいずれかの組み合わせで使用可能です。
注4.　BiSSはiC-Haus GmbHの登録商標です。

1.　概要

1.1　仕様概要

本 LSI は、Arm® 社 Cortex® -R4 Processor with FPU および Cortex-M3 Processor（R-IN Engine 搭載製品）を搭載し、システム構成に必要な周辺機能を集積した高性能マイコンです。**表 1.1** に仕様概要を、**表 1.2** にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャネル数はパッケージのピン数によって異なります。詳細は、**「表 1.2　パッケージ別機能比較一覧」**を参照してください。

表1.1　仕様概要 (1 / 7)

分類	モジュール／機能	説明
CPU	中央演算処理装置 （Cortex-R4）	• 最大動作周波数 320 ピン FBGA：300 MHz/450 MHz/600 MHz 176 ピン HLFQFP：450 MHz • Arm 社製 32 ビット CPU Cortex-R4（コア・リビジョン r1p4） • アドレス空間：4G バイト • 命令キャッシュサイズ：8K バイト（ECC 付き） • データキャッシュサイズ：8K バイト（ECC 付き） • 密結合メモリ（TCM）サイズ ATCM：512K バイト（ECC 付き） BTCM：32K バイト（ECC 付き） • 命令セット：Thumb® / Thumb-2 をサポートする Armv7-R アーキテクチャ • データ配置 命令：リトルエンディアン データ：リトルエンディアン • メモリプロテクションユニット（MPU）
	中央演算処理装置 （Cortex-M3） （R-IN Engine 搭載製品）	• 動作周波数：150 MHz • Arm 社製 32 ビット CPU Cortex-M3（コア・リビジョン r2p1） • アドレス空間：4G バイト • 命令セット：Thumb® / Thumb-2 をサポートする Armv7-M アーキテクチャ • データ配置 命令：リトルエンディアン データ：リトルエンディアン • メモリプロテクションユニット（MPU）
	FPU （Cortex-R4）	• 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート • レジスタ 32 ビットシングルワードレジスタ：32 ビット × 32 本 （16 本のダブルワードレジスタとしても使用可能：64 ビット × 16 本）
メモリ	ECC 付き拡張内蔵 SRAM	• 容量：最大 1M バイト • 動作周波数：150 MHz • SEC-DED（シングルエラー訂正／ダブルエラー検出）
動作モード		• 3 つのブートモードから選択可能 SPI ブートモード（シリアル・フラッシュ） 16 ビットバスブートモード（NOR フラッシュ） 32 ビットバスブートモード（NOR フラッシュ）
クロック	クロック発生回路	• 入力クロックを外部クロックまたは外部発振子から選択可能 • 入力クロック発振停止検出：あり • 下記クロックを生成 CPU クロック：300/450/600 MHz max システムクロック：150 MHz（固定） 高速周辺モジュールクロック：150 MHz（固定） 低速周辺モジュールクロック：75 MHz（固定） 12 ビット A/D コンバータ（S12ADCa）の ADCCLK：60 MHz max 外部バスクロック：75 MHz max 低速オンチップオシレータ：240 kHz（固定）
リセット		RES# 端子リセット、エラーコントロールモジュール（ECM）リセット、ソフトウェアリセット
低消費電力	消費電力低減機能	• スタンバイモード（Cortex-R4） • スリープモード（Cortex-M3）（R-IN Engine 搭載製品） • モジュールストップ機能

表1.1　仕様概要 (2 / 7)

分類	モジュール／機能	説明
割り込み	Cortex-R4 ベクタ割り込み コントローラ（VIC）	• 周辺機能割り込み：要因数 290 / 292（R-IN Engine搭載製品） • 外部割り込み：要因数 20 （NMI端子、IRQ0～IRQ15端子、ETH0_INT端子、ETH1_INT端子、ETH2_INT端子） • ソフトウェア割り込み：要因数 1 • ノンマスカブル割り込み：要因数 2 • 16レベルの割り込み優先順位を設定可能
	Cortex-M3ネスト型 ベクタ割り込み コントローラ（NVIC） （R-IN Engine搭載製品のみ）	• 周辺機能割り込み：要因数 101 • 外部割り込み：要因数 19 （IRQ0～IRQ15端子、ETH0_INT端子、ETH1_INT端子、ETH2_INT端子） • ソフトウェア割り込み：要因数 1 • ノンマスカブル割り込み：要因数 1 • 16レベルの割り込み優先順位を設定可能
外部バス拡張	バスステート コントローラ（BSC）	• 外部アドレス空間を6つのエリア（CS0～CS5）に分割して管理 • 各エリアには独立に次の機能を設定可能 バスサイズ（8、16、32ビット）。ただし各エリアごとにサポートサイズは異なります。 アクセスウェイトサイクル数（リード／ライトで独立ウェイト設定可能のエリアあり） アイドルウェイトサイクル設定（同一エリア／別エリア） エリアごとに接続するメモリを指定することによってSRAM、バイト選択付きSRAM、SDRAM、バーストROM（クロック同期／クロック非同期）との直結が可能。また、アドレス／データマルチプレクスI/O（MPX）インタフェースをサポート • 該当する領域にチップセレクト信号（CS0#～CS5#）を出力 （CSアサート／ネゲートタイミングをプログラミングで選択可能） • SDRAMリフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート • SDRAMバーストアクセス機能
データ転送	ダイレクトメモリ アクセスコントローラ （DMAC）	• 2ユニット（ユニット0：16チャネル、ユニット1：16チャネル） • 転送モード：シングル転送モード、ブロック転送モード • 転送サイズ ユニット0：1 / 2 / 4 / 16 / 32 / 64バイト ユニット1：1 / 2 / 4 / 16バイト • 起動要因：外部リクエスト（DREQ0～DREQ2）、外部割り込み、内蔵周辺モジュールリクエスト、ソフトウェアリクエスト
I/Oポート	汎用入出力ポート	• 320ピンFBGA 入出力：209 入力：9 プルアップ／プルダウン抵抗：209 5Vトレラント：9 • 176ピンHLFQFP 入出力：97 入力：5 プルアップ／プルダウン抵抗：97 5Vトレラント：5
イベントリンクコントローラ（ELC）		• 最大103種類のイベント信号でモジュール間動作をリンク可能 • タイマ系のモジュールはイベント入力時の動作選択が可能 • ポートB、ポートEのイベントリンク動作が可能
マルチファンクションピンコントローラ（MPC）		入出力機能を複数の端子から選択可能

表1.1　仕様概要 (3 / 7)

分類	モジュール／機能	説明
タイマ	16ビットタイマパルスユニット（TPUa）	• （16ビット×6チャネル）×2ユニット（注1） • 最大16本×2ユニットのパルス入出力が可能 • チャネルごとに7種類または8種類のカウントクロックを選択可能 （最大動作周波数：75 MHz） • インプットキャプチャ／アウトプットコンペア機能をサポート • カウンタクリア動作（コンペアマッチ／インプットキャプチャによる同時クリア可能） • 複数のタイマカウンタ（TCNT）への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • 最大15相×2ユニットのPWM波形を出力するPWMモード • チャネルによってバッファ動作、位相計数モード（2相エンコーダ入力）、カスケード接続動作（32ビット×4チャネル）をサポート • PPGの出力トリガを生成可能（ユニット0のみ） • A/Dコンバータの変換開始トリガを生成可能 • インプットキャプチャ端子にデジタルノイズフィルタあり • ELCによるイベントリンク機能をサポート（ユニット0のみ）
	マルチファンクションタイマパルスユニット3（MTU3a）	• 9チャネル（16ビット×8チャネル、32ビット×1チャネル） • 最大28本のパルス入出力、および3本のパルス入力が可能 • チャネルごとに10種類、11種類、12種類、14種類のカウントクロックを選択可能 （最大動作周波数：150 MHz） • インプットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作（コンペアマッチ／インプットキャプチャによる同時クリア可能） • 複数のタイマカウンタ（TCNT）への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • パルス出力モード トグル／PWM／相補PWM／リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山／谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 • 位相計数モード：16ビットモード（チャネル1、2）／32ビットモード（チャネル1、2をカスケード接続で使用） • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウントクロック端子におけるデジタルノイズフィルタ機能 • PPGの出力トリガを生成可能 • ELCによるイベントリンク機能をサポート

表1.1　仕様概要 (4 / 7)

分類	モジュール／機能	説明
タイマ	汎用PWMタイマ（GPTa）	• 16ビット×4チャネル • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波）が選択可能 • チャネルごとに4種類のカウントクロックから選択可能（最大動作周波数：150 MHz） • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア／インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期用レジスタを搭載（オーバフロー／アンダフローで割り込み可能） • それぞれのカウンタを同期動作可能 • 同期動作のモード（同時または任意のタイミングでずらす（位相シフトに対応）） • PWM動作の際にデッドタイム生成が可能 • 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 • 外部／内部トリガによって、カウントスタート／クリア／ストップ可能 • 内部トリガ要因として、ソフトウェア、コンペアマッチ • A/Dコンバータの変換開始トリガを生成可能 • インプットキャプチャ、外部トリガ端子におけるデジタルノイズフィルタ機能 • ELCによるイベントリンク機能をサポート
	プログラマブルパルスジェネレータ（PPG）	• （4ビット×4グループ）×2ユニット（注1） • MTU3a、またはTPUaからの出力をトリガとしてパルスを出力 • 最大32本のパルス出力
	コンペアマッチタイマ（CMT）	• （16ビット×2チャネル）×3ユニット • 4種類のカウントクロックを選択可能（最大動作周波数：75 MHz） • ELCによるイベントリンク機能をサポート（ユニット0のチャネル1のみ）
	コンペアマッチタイマW（CMTW）	• （32ビット×1チャネル）×2ユニット • コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 • 4種類のカウントクロックを選択可能（最大動作周波数：75 MHz） • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 • インプットキャプチャ端子におけるデジタルノイズフィルタ機能 • ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ（WDTA）	• 14ビット×1チャネル R-IN Engine搭載製品：14ビット×2チャネル • 6種類のカウントクロックを選択可能（最大動作周波数：75 MHz）
	独立ウォッチドッグタイマ（IWDTa）	• 14ビット×1チャネル • カウントクロック：低速オンチップオシレータ（LOCO）の2分周 カウントクロックの1 / 16 / 32 / 64 / 128 / 256 分周を選択可能 （最大動作周波数：120 kHz）
	ポートアウトプットイネーブル3（POE3）	• MTU3a／GPTa波形出力端子のハイインピーダンス制御 • POE0#、POE4#、POE8#、POE10#の4つの入力端子による起動 • 出力短絡検出（PWM出力が同時にアクティブレベルになったことを検出）による起動 • 入力クロック発振停止検出／PLL発振異常検出／ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能

表1.1　仕様概要 (5 / 7)

分類	モジュール／機能	説明
通信機能	イーサネットMAC（ETHERC）	• 1ポート（イーサネットスイッチ機能を用いて2ポート対応可能） • IEEE802.3対応 • 10BASE、100BASE対応 • 全二重通信と半二重通信対応 • 自動ポーズパケット送信機能 • ポーズパケット受信による自動送信サスペンド機能 • MII／RMIIインタフェース対応
	イーサネットスイッチ	• 2ポートPHYインタフェース • IEEE802.3対応 • 10BASE、100BASE対応 • 全二重通信と半二重通信対応 • ハードウェアスイッチング、ルックアップ、フィルタリング機能 • フレーム優先順位分類のあるQoS対応 • 優先順位を再配置可能なVLAN Priority（IEEE802.1q）に基づく優先順位制御機能 • IPv4 DiffServ Code Point Field, IPv6 Class of Serviceに基づく分類および優先順位割り当て機能 • 4つの優先順位のキューを実装 • マルチキャストおよびブロードキャスト対応 • VLANフレーム対応 • IEEE1588対応タイマモジュールを実装 • カットスルー、ハブ機能対応 • デバイスレベルリング（DLR）対応
	EtherCATスレーブコントローラ（ECATC）（注2）	• 1チャネル（2ポート）（注3） • Beckhoff社製「EtherCAT Slave Controller IP Core」を採用
	USB2.0 HS ホスト／ファンクション モジュール	• 1ポート • USBバージョン2.0準拠 • 転送スピード ハイスピード（480 Mbps）、フルスピード（12 Mbps） • 通信バッファ ホストモード用に1KバイトのRAMを内蔵 ファンクションモード用に8KバイトのRAMを内蔵
	FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	• 5チャネル • シリアル通信方式：調歩同期式／クロック同期式 • 内蔵ボーレートジェネレータで任意のビットレートを選択可能 • LSBファースト／MSBファーストを選択可能 • 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 • ビットレートモジュレーション機能をサポート
	I^2Cバスインタフェース（RIICa）	• 2チャネル • I^2Cバスフォーマット対応 • マルチマスタ対応 • 最大転送レート：400 kbps • ELCによるイベントリンク機能をサポート
	CANモジュール（RSCAN）	• 2チャネル • ISO11898-1仕様に準拠（標準フレーム／拡張フレーム） • メッセージバッファ： 最大64 × 2チャネル受信メッセージバッファ、全チャネルでシェア 1チャネルあたり16送信メッセージバッファ • 最大転送レート：1 Mbps

表1.1　仕様概要 (6 / 7)

分類	モジュール／機能	説明
通信機能	シリアルペリフェラルインタフェース（RSPIa）	• 4チャネル • RSPI転送機能 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）／クロック同期式動作（3線式）でシリアル通信が可能 マスタ／スレーブモードでのシリアル通信が可能 • データフォーマット MSBファースト／LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信／受信バッファは128ビット 一度の送受信で最大4フレームを転送（1フレームは最大32ビット） • バッファ構成 送信／受信バッファ構成はダブルバッファ • マスタ受信時、RSPCKは受信バッファフルで自動停止可能 • ELCによるイベントリンク機能をサポート
	SPIマルチI/Oバスコントローラ（SPIBSC）	• 1チャネル • マルチI/O（Single / Dual / Quad）対応のシリアルフラッシュメモリが1個接続可能 • 外部アドレス空間リードモード（リードキャッシュ内蔵） • SPI動作モード • クロック極性、クロック位相選択可能 • 最大転送レート：300 Mbps（Quad時）
シリアルサウンドインタフェース（SSI）		• 1チャネル • 二重通信可能 • 多様なシリアルオーディオフォーマットをサポート • マスタ／スレーブ機能をサポート • シリアルビットクロック生成機能 • 8 / 16 / 18 / 20 / 22 / 24 / 32 ビットデータフォーマットをサポート • 送受信用 8 段FIFO内蔵 • SSIWS信号を停止せず動作するWSコンティニュモードをサポート
ΔΣインタフェース（DSMIF）		• 4チャネル（ユニット0：3チャネル、ユニット1：1チャネル） • 外部に最大4チャネルのΔΣモジュレータを接続可能 • Syncフィルタは1次、2次、3次から選択可能
12ビットA/Dコンバータ（S12ADCa）		• 12ビット×2ユニット（ユニット0：8チャネル、ユニット1：16チャネル）（注1） • 分解能：12ビット • 変換時間 ユニット0：1チャネル当たり 0.483 μs ユニット1：1チャネル当たり 0.883 μs • 動作モード スキャンモード（シングルスキャンモード／連続スキャンモード／グループスキャンモード） グループA優先制御動作（グループスキャンモードのみ） • サンプル＆ホールド機能 チャネル共通のサンプル＆ホールド回路を搭載 上記に加え、チャネル専用サンプル＆ホールド回路を4チャネル搭載（ユニット0のみ） • サンプリング可変機能 チャネル毎にサンプリング時間が設定可能 • 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 （ユニット0：VREFL0, VREFH0 × 1/2, VREFH0、ユニット1：VREFL1, VREFH1 × 1/2, VREFH1） • ダブルトリガモード（A/D変換データ2重化機能） • アナログ入力断線検出機能 • 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ（MTU3a、GPTa、TPUa）のトリガ、外部トリガ • ELCによるイベントリンク機能をサポート
温度センサ		• 1チャネル • 相対精度：±1℃ • 温度を電圧に変換し、12ビットA/Dコンバータ（ユニット0）でデジタル化

表1.1　仕様概要 (7 / 7)

分類	モジュール／機能	説明
セーフティ	レジスタライトプロテクション	ソフトウェアが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器（CRC）	• 8ビット／16ビット／32ビット単位の任意のデータ長に対してCRCコードを生成 • 4つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$（32-Ethernet）、 $X^{16} + X^{12} + X^5 + 1$（16-CCITT）、 $X^8 + X^4 + X^3 + X^2 + 1$（8-SAEJ1850）、 $X^8 + X^5 + X^3 + X^2 + X + 1$（8-0x2F）
	入力クロック発振停止機能	入力クロック発振停止検出：あり
	クロックモニタ回路（CLMA）	PLL回路および低速オンチップオシレータの出力クロック周波数異常を監視することが可能
	データ演算回路（DOC）	16ビットのデータを比較／加算／減算する機能
	エラーコントロールモジュール（ECM）	• 各モジュールからのエラー信号入力に対して、割り込み／内部リセット／エラー出力を行うことが可能 • タイムアウト機能 • エラー制御をマスタとチェッカで2重化
セキュリティ機能	セキュアブートモード（注4）	オプションとして、暗号化によるセキュリティ機能を持つブートモードを選択可能
Encoderインタフェース（注5）		• 2ch（注6） • EnDat2.2、BiSS-C、FA-CODER、A-format、HIPERFACE DSL対応インタフェース • Encoder分周出力機能
電源電圧		VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14～1.26 V VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0～3.6 V
動作温度		Tj = －40～＋125°C
パッケージ		320ピンFBGA：17 × 17mm、0.8mm pitch PRBG0320GA-A 320ピンFBGA：17 × 17mm、0.8mm pitch PRBG0320GB-A 320ピンFBGA：17 × 17mm、0.8mm pitch PLBG0320GB-A 176ピンHLFQFP：20 × 20mm、0.4mm pitch PLQP0176LD-A
デバッグインタフェース		• Arm社のCoreSightアーキテクチャ採用 • JTAG／SWDインタフェースによるデバッグ機能 、トレースポート／SWVインタフェースによるトレース機能をサポート

注1.　176ピン版は、1ユニット（ユニット0のみ搭載）
注2.　EtherCATは、Beckhoff Automation GmbH, Germanyの登録商標です。（オプション）
注3.　176ピン版は、非搭載
注4.　セキュアブートモード対応品については「表1.3　製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。
注5.　Encoderインタフェース搭載製品のみ。詳細は弊社営業担当にご確認ください。
注6.　2chで使用する場合は、EnDat2.2、BiSS-C, FA-CODER, A-format のいずれかの組み合わせで使用可能です。

表1.2　　パッケージ別機能比較一覧

モジュール／機能		RZ/T1グループ		
		320ピン		176ピン
		R-IN Engine 搭載	R-IN Engine 非搭載	
外部バス	外部バス幅	32ビット		
割り込み	外部割り込み	NMI、IRQ0 ～ IRQ15、ETH0_INT、ETH1_INT、ETH2_INT		NMI、IRQ0～IRQ15、ETH0_INT、ETH1_INT
DMA	DMAコントローラ（DMAC）	ch0 ～ 31		
タイマ	16ビットタイマパルスユニット（TPUa）	ch0 ～ 11（ユニット0、ユニット1）		ch0 ～ 5（ユニット0）
	マルチファンクションタイマパルスユニット3（MTU3a）	ch0 ～ 8		
	汎用PWMタイマ（GPTa）	ch0 ～ 3		
	ポートアウトプットイネーブル3（POE3）	有		
	プログラマブルパルスジェネレータ（PPG）	ユニット0、1		ユニット0
	コンペマッチタイマ（CMT）	ch0 ～ 5		
	コンペマッチタイマW（CMTW）	ch0, 1		
	ウォッチドッグタイマ（WDTA）	ch0,1	ch0	
	独立ウォッチドッグタイマ（IWDTa）	有		
通信機能	イーサネットコントローラ（ETHERC）	1 port（注1）		
	EtherCAT スレーブコントローラ（ECATC）	2 port（注1）	2 port（注1）（オプション）	無
	USB2.0 HS ホスト／ファンクションモジュール（USB）	ch0		
	FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	ch0 ～ 4		
	I²Cバスインタフェース（RIICa）	ch0, 1		
	シリアルペリフェラルインタフェース（RSPIa）	ch0 ～ 3		
	CANモジュール（RSCAN）	ch0,1		
	SPIマルチI/Oバスコントローラ（SPIBSC）	ch0		
シリアルサウンドインタフェース（SSI）		ch0		
ΔΣインタフェース（DSMIF）		ch0 ～ 3		
12ビットA/Dコンバータ（S12ADCa）		AN000 ～ 007（ユニット0）AN100 ～ 115（ユニット1）		AN000 ～ 007（ユニット0）
温度センサ		有		
CRC演算器（CRC）		有		
データ演算回路（DOC）		有		
クロックモニタ回路（CLMA）		有		
セキュアブートモード（注2）		オプション		
イベントリンクコントローラ（ELC）		有		
Encoderインタフェース（注3）		オプション		無

注1.　イーサネットコントローラとEtherCATスレーブコントローラ（オプション）で合計3 portです。またイーサネットコントローラは、イーサネットスイッチ機能を用いて2 port対応が可能です。
注2.　セキュアブートモード対応品については「表1.3　製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。
注3.　詳細は弊社営業担当にご確認ください。

1.2 製品一覧

表 1.3 に製品一覧を示します。

表1.3 製品一覧表 (1 / 3)

型名	パッケージ	CPU	拡張内蔵SRAM容量	Ether CAT	動作周波数（max）	セキュリティ機能対応（注1）	オプション機能
R7S910001CFP	176 ピン（PLQP0176LD-A）	Cortex-R4	なし	なし	450MHz	なし	—
R7S910101CFP	176 ピン（PLQP0176LD-A）	Cortex-R4	なし	なし	450MHz	有	—
R7S910002CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	なし	450MHz	なし	—
R7S910002CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	なし	なし	450MHz	なし	—
R7S910002CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	なし	なし	450MHz	なし	—
R7S910102CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	なし	450MHz	有	—
R7S910006CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	なし	450MHz	なし	—
R7S910006CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	1MB	なし	450MHz	なし	—
R7S910006CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	1MB	なし	450MHz	なし	—
R7S910106CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	なし	450MHz	有	—
R7S910007CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	なし	600MHz	なし	—
R7S910007CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	1MB	なし	600MHz	なし	—
R7S910007CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	1MB	なし	600MHz	なし	—
R7S910107CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	なし	600MHz	有	—
R7S910011CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	なし	450MHz	なし	Encoder I/F
R7S910011CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	なし	なし	450MHz	なし	Encoder I/F
R7S910011CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	なし	なし	450MHz	なし	Encoder I/F
R7S910111CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	なし	450MHz	有	Encoder I/F
R7S910013CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	なし	600MHz	なし	Encoder I/F
R7S910013CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	1MB	なし	600MHz	なし	Encoder I/F
R7S910013CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	1MB	なし	600MHz	なし	Encoder I/F
R7S910113CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	なし	600MHz	有	Encoder I/F
R7S910015CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	なし	R-IN Engine (CM3：150MHz)
R7S910015CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	なし	R-IN Engine (CM3：150MHz)
R7S910015CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	なし	R-IN Engine (CM3：150MHz)

表1.3　　製品一覧表　(2 / 3)

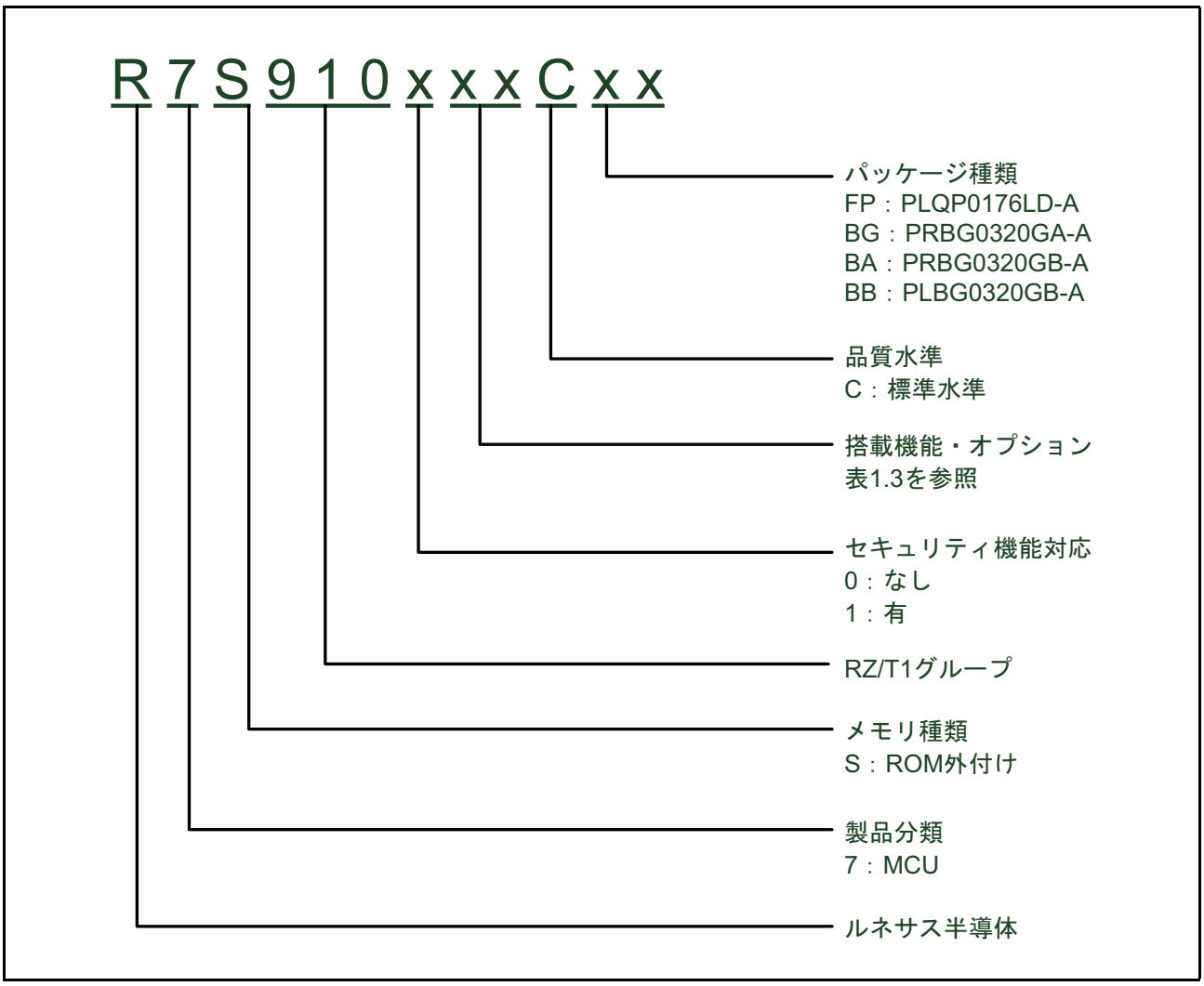
型名	パッケージ	CPU	拡張内蔵SRAM容量	Ether CAT	動作周波数（max）	セキュリティ機能対応（注1）	オプション機能
R7S910115CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	有	R-IN Engine (CM3：150MHz)
R7S910016CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	なし	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910016CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	なし	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910016CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	なし	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910116CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	450MHz	有	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910017CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	なし	R-IN Engine (CM3：150MHz)
R7S910017CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	なし	R-IN Engine (CM3：150MHz)
R7S910017CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	なし	R-IN Engine (CM3：150MHz)
R7S910117CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	有	R-IN Engine (CM3：150MHz)
R7S910018CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	なし	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910018CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	なし	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910018CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	なし	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910118CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	（R-IN Engine 用 1MB）	有	600MHz	有	Encoder I/F R-IN Engine (CM3：150MHz)
R7S910025CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	450MHz	なし	—
R7S910025CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	1MB	有	450MHz	なし	—
R7S910025CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	1MB	有	450MHz	なし	—
R7S910125CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	450MHz	有	—
R7S910026CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	450MHz	なし	Encoder I/F
R7S910026CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	1MB	有	450MHz	なし	Encoder I/F
R7S910026CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	1MB	有	450MHz	なし	Encoder I/F
R7S910126CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	450MHz	有	Encoder I/F
R7S910027CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	600MHz	なし	—
R7S910027CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	1MB	有	600MHz	なし	—
R7S910027CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	1MB	有	600MHz	なし	—

表1.3　製品一覧表 (3 / 3)

型名	パッケージ	CPU	拡張内蔵SRAM容量	Ether CAT	動作周波数（max）	セキュリティ機能対応（注1）	オプション機能
R7S910127CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	600MHz	有	—
R7S910028CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	600MHz	なし	Encoder I/F
R7S910028CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	1MB	有	600MHz	なし	Encoder I/F
R7S910028CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	1MB	有	600MHz	なし	Encoder I/F
R7S910128CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	1MB	有	600MHz	有	Encoder I/F
R7S910035CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	有	300MHz	なし	—
R7S910035CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	なし	有	300MHz	なし	—
R7S910035CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	なし	有	300MHz	なし	—
R7S910135CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	有	300MHz	有	—
R7S910036CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	有	300MHz	なし	Encoder I/F
R7S910036CBA	320 ピン（PRBG0320GB-A）	Cortex-R4	なし	有	300MHz	なし	Encoder I/F
R7S910036CBB	320 ピン（PLBG0320GB-A）	Cortex-R4	なし	有	300MHz	なし	Encoder I/F
R7S910136CBG	320 ピン（PRBG0320GA-A）	Cortex-R4	なし	有	300MHz	有	Encoder I/F

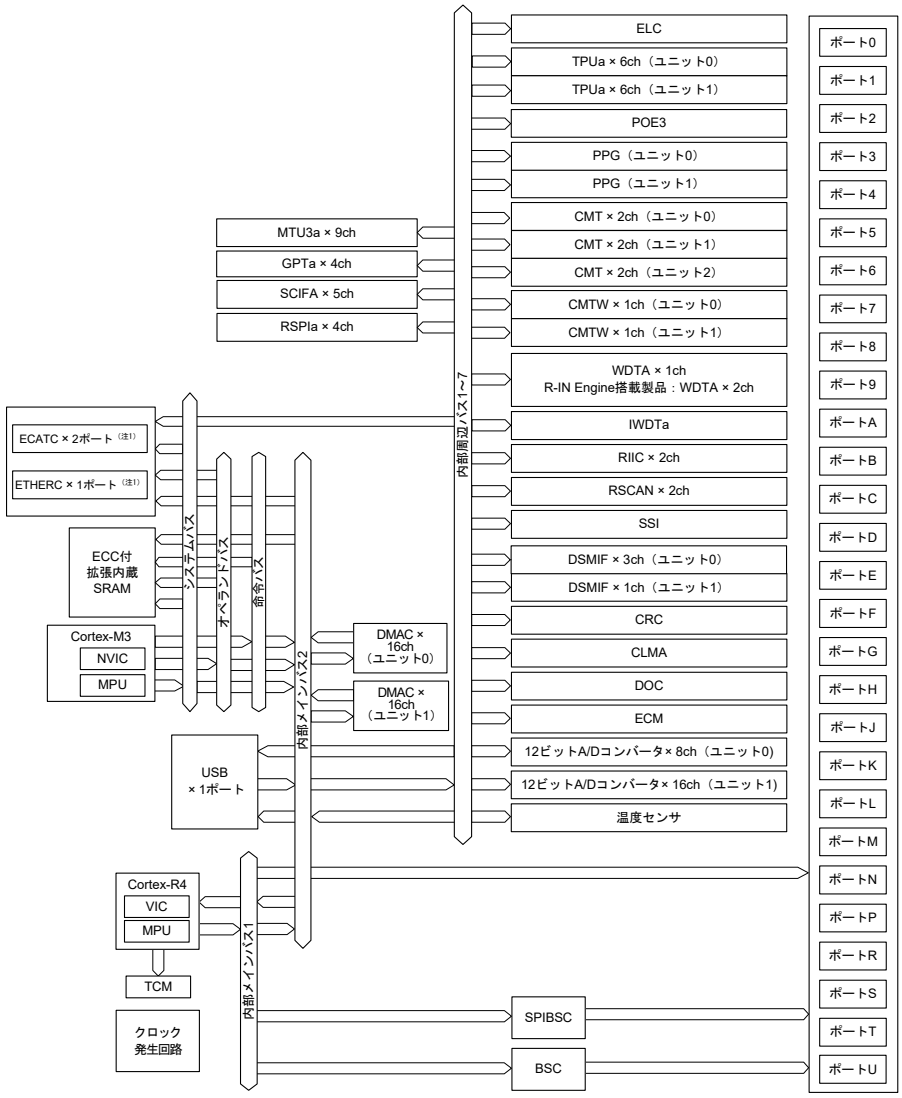
注.　Encoder I/Fに関しては、個別の資料を参照してください。
注1.　本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

1.3 製品型名


R 7 S 9 1 0 x x x C x x
パッケージ種類
FP：PLQP0176LD-A
BG：PRBG0320GA-A
BA：PRBG0320GB-A
BB：PLBG0320GB-A
品質水準
C：標準水準
搭載機能・オプション
表1.3を参照
セキュリティ機能対応
0：なし
1：有
RZ/T1グループ
メモリ種類
S：ROM外付け
製品分類
7：MCU
ルネサス半導体

1.4　ブロック図

図 1.1 に 320 ピン版のブロック図を示します。



ETHERC	: イーサネットコントローラ
ECATC	: イーサキャットスレーブコントローラ
DMAC	: DMA コントローラ
BSC	: バスステートコントローラ
SPIBSC	: SPI マルチ I/O バスコントローラ
WDTA	: ウォッチドッグタイマ
IWDTa	: 独立ウォッチドッグタイマ
SCIFA	: FIFO 内蔵シリアルコミュニケーション インタフェース
RSPIa	: シリアルペリフェラルインタフェース
USB	: USB2.0 HS ホスト／ファンクションモジュール
VIC	: ベクタ割り込みコントローラ
NVIC	: ネスト型ベクタ割り込みコントローラ
MPU	: メモリプロテクションユニット
ELC	: イベントリンクコントローラ
TPUa	: 16 ビットタイマパルスユニット
MTU3a	: マルチファンクションタイマパルスユニット 3
POE3	: ポートアウトプットイネーブル 3
GPTa	: 汎用 PWM タイマ
PPG	: プログラマブルパルスジェネレータ
CMT	: コンペアマッチタイマ
CMTW	: コンペアマッチタイマ W
RIICa	: I^2C バスインタフェース
RSCAN	: CAN モジュール
SSI	: シリアルサウンドインタフェース
DSMIF	: ΔΣ インタフェース
CRC	: CRC（Cyclic Redundancy Check）演算器
CLMA	: クロックモニタ回路
DOC	: データ演算回路
ECM	: エラーコントロールモジュール

注 1.　イーサネットコントローラと EtherCAT スレーブコントローラ（オプション）で合計 3 ポートです。またイーサネットコントローラは、イーサネットスイッチ機能を用いて 2 ポート対応が可能です。

図 1.1　ブロック図

1.5 端子機能

表 1.4 に端子機能一覧を示します。

表1.4 端子機能一覧 (1 / 7)

分類	端子名	入出力	機能
電源	VDD	入力	電源端子。システムの電源に接続してください
	VSS	入力	グランド端子。システムの電源（0V）に接続してください
	VCCQ33	入力	入出力端子用の電源端子
	PLLVDD0、PLLVDD1	入力	内蔵PLL発振器用の電源端子
	PLLVSS0、PLLVSS1	入力	内蔵PLL発振器用のグランド端子。システムの電源（0V）に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	CKIO	出力	外部デバイス用の外部バスクロック出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック入力端子
	CLKOUT25M0、CLKOUT25M1、CLKOUT25M2	出力	Ethernet PHY用の外部クロック出力端子
動作モードコントロール	MD0～MD2	入力	動作モード選択信号入力端子
システム制御	RES#	入力	リセット信号用入力端子。この端子がLowになると、リセット状態となります
	BSCANP	入力	バウンダリスキャン許可信号入力端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
	OSCTH	入力	クロック入力モード選択用の入力端子。外部クロック入力を使用する場合は、Highにしてください。水晶振動子接続の場合は、Lowとしてください
	ERROROUT#	出力	エラーコントロールモジュール（ECM）からのエラー信号出力端子
	RSTOUT#	出力	外部へのリセット信号出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモードセレクト端子
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子
	TRACECLK	出力	トレースデータ同期用のクロック出力端子
	TRACECTL	出力	トレース制御用イネーブル信号出力端子
	TRACEDATA0～7	出力	トレースデータ出力端子
バスステートコントローラ（BSC）	A25～A0	出力	アドレス出力端子
	D31～D0	入出力	データ入出力端子
	CS0#～CS5#	出力	外部メモリまたはデバイスのためのチップセレクト信号出力端子
	RD#	出力	リード中を示すストローブ信号出力端子
	RD/WR#	出力	リードまたはライトアクセスを示すストローブ信号出力端子
	BS#	出力	バスサイクルの開始を示すステータス信号出力端子
	AH#	出力	マルチプレクス I/O 時のアドレスホールド信号出力端子
	WAIT#	入力	バスサイクルにウェイトを挿入する外部ウェイト制御信号入力端子
	WE0#	出力	D7～D0に対するライトストローブ信号出力端子
	WE1#	出力	D15～D8に対するライトストローブ信号出力端子

表1.4　端子機能一覧 (2 / 7)

分類	端子名	入出力	機能
バスステート コントローラ（BSC）	WE2#	出力	D23～D16に対するライトストローブ信号出力端子
	WE3#	出力	D31～D24に対するライトストローブ信号出力端子
	DQMLL	出力	SDRAM接続時のD7～D0に対するデータマスクイネーブル信号出力端子
	DQMLU	出力	SDRAM接続時のD15～D8に対するデータマスクイネーブル信号出力端子
	DQMUL	出力	SDRAM接続時のD23～D16に対するデータマスクイネーブル信号出力端子
	DQMUU	出力	SDRAM接続時のD31～D24に対するデータマスクイネーブル信号出力端子
	RAS#	出力	SDRAMに対するロウアドレス・ストローブ信号出力端子です。 SDRAMのRAS#端子に接続してください
	CAS#	出力	SDRAMに対するカラムアドレス・ストローブ信号出力端子です。 SDRAMのCAS#端子に接続してください
	CKE	出力	SDRAMに対するクロックイネーブル信号出力端子です。 SDRAMのCKE端子に接続してください
ダイレクトメモリ アクセスコントローラ （DMAC）	DREQ0～DREQ2	入力	外部デバイスからのDMA転送要求信号入力端子
	DACK0～DACK2	出力	外部デバイスからのDMA転送要求に対する、要求受け付けを示すアクノリッジ信号出力端子
	TEND0～TEND2	出力	DMA転送終了信号出力端子
割り込み	NMI	入力	ノンマスカブル割り込み要求信号入力端子
	IRQ0～IRQ15	入力	外部割り込み要求信号入力端子
	ETH0_INT、ETH1_INT、 ETH2_INT	入力	Ethernet PHY割り込み要求信号入力端子
マルチファンクション タイマパルスユニット3 （MTU3a）	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	MTU0.TGRA～MTU0.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC1A、MTIOC1B	入出力	MTU1.TGRA、MTU1.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC2A、MTIOC2B	入出力	MTU2.TGRA、MTU2.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	MTU3.TGRA～MTU3.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	MTU4.TGRA～MTU4.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIC5U、MTIC5V MTIC5W	入力	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWのインプットキャプチャ入力／デッドタイム補償機能の入力端子
	MTIOC6A、MTIOC6B MTIOC6C、MTIOC6D	入出力	MTU6.TGRA～MTU6.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC7A、MTIOC7B MTIOC7C、MTIOC7D	入出力	MTU7.TGRA～MTU7.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC8A、MTIOC8B MTIOC8C、MTIOC8D	入出力	MTU8.TGRA～MTU8.TGRDのインプットキャプチャ入力／アウトプットコンペア出力
	MTCLKA、MTCLKB MTCLKC、MTCLKD	入力	MTU3a用の外部クロック入力端子
ポートアウトプット イネーブル3（POE3）	POE0#、POE4# POE8#、POE10#	入力	MTU3aまたはGPTaをハイインピーダンス状態にする要求信号入力端子

表1.4　　端子機能一覧　(3 / 7)

分類	端子名	入出力	機能
汎用PWMタイマ（GPTa）	GTIOC0A、GTIOC0B	入出力	GPT0.GTCCRA、GPT0.GTCCRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC1A、GTIOC1B	入出力	GPT1.GTCCRA、GPT1.GTCCRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC2A、GTIOC2B	入出力	GPT2.GTCCRA、GPT2.GTCCRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC3A、GTIOC3B	入出力	GPT3.GTCCRA、GPT3.GTCCRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTETRG	入力	GPTa用の外部トリガ入力端子
16ビットタイマパルスユニット（TPUa）	TIOCA0、TIOCB0、TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA3、TIOCB3、TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	TPUa（ユニット0）用の外部クロック入力端子
	TIOCA6、TIOCB6 TIOCC6、TIOCD6	入出力	TGRA6～TGRD6のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA7、TIOCB7	入出力	TGRA7、TGRB7のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA8、TIOCB8	入出力	TGRA8、TGRB8のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA9、TIOCB9 TIOCC9、TIOCD9	入出力	TGRA9～TGRD9のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA10、TIOCB10	入出力	TGRA10、TGRB10のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOCA11、TIOCB11	入出力	TGRA11、TGRB11のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TCLKE、TCLKF TCLKG、TCLKH	入力	TPUa（ユニット1）用の外部クロック入力端子
プログラマブルパルスジェネレータ（PPG）	PO0～PO31	出力	パルス出力端子
コンペアマッチタイマW（CMTW）	TIC0～TIC3	入力	CMTWのインプットキャプチャ入力端子
	TOC0～TOC3	出力	CMTWのアウトプットコンペア出力端子
FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	SCK0～SCK4	入出力	クロック入出力端子
	RXD0～RXD4	入力	受信データ入力端子
	TXD0～TXD4	出力	送信データ出力端子
	CTS0#～CTS4#	入出力	ハードウェアフロー制御用入力（送信可信号）／汎用出力
	RTS0#～RTS4#	出力	ハードウェアフロー制御用出力（送信要求信号）／汎用出力
I^2Cバスインタフェース（RIICa）	SCL0、SCL1	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0、SDA1	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます

表1.4　端子機能一覧 (4 / 7)

分類	端子名	入出力	機能
イーサネット コントローラ（ETHERC）	ETH0_TXC、ETH1_TXC、ETH2_TXC	入力	10 M／100 M送信クロック（2.5 MHz / 25 MHz）入力端子
	ETH0_TXEN、ETH1_TXEN、ETH2_TXEN	出力	送信イネーブル信号出力端子
	ETH0_TXER、ETH1_TXER、ETH2_TXER	出力	送信エラー信号出力端子
	ETH0_TXD0～3、ETH1_TXD0～3、ETH2_TXD0～3	出力	送信データ信号出力端子
	ETH0_RXC、ETH1_RXC、ETH2_RXC	入力	受信クロック入力端子
	ETH0_RXDV、ETH1_RXDV、ETH2_RXDV	入力	受信データ・イネーブル信号入力端子
	ETH0_RXER、ETH1_RXER、ETH2_RXER	入力	受信データ・エラー信号入力端子
	ETH0_RXD0～3、ETH1_RXD0～3、ETH2_RXD0～3	入力	受信データ信号入力端子
	ETH0_CRS、ETH1_CRS、ETH2_CRS	入力	キャリアセンス信号入力端子
	ETH0_COL、ETH1_COL、ETH2_COL	入力	衝突検出信号入力端子
	ETH_MDC、MII2_MDC	出力	マネージメント・インタフェース・クロック出力端子
	ETH_MDIO、MII2_MDIO	入出力	マネージメント・データ信号入出力端子
	PHYLINK0、PHYLINK1	入力	PHY Link信号入力端子
	ETHSWSECOUT	出力	Ether SwitchのSYNCOUT信号出力端子
	PHYRESETOUT#、PHYRESTOUT2#	出力	PHY RESET用出力信号（PHYRESETOUT#：Ether0, Ether1用、PHYRESETOUT2#：Ether2用）
EtherCATスレーブ コントローラ（ECATC）（オプション）	CATLEDRUN	出力	EtherCAT RUN LED信号出力端子
	CATIRQ	出力	EtherCAT IRQ信号出力端子
	CATLEDSTER	出力	EtherCAT Dual-color ステート LED信号出力端子
	CATLEDERR	出力	EtherCAT Error LED信号出力端子
	CATLINKACT0、CATLINKACT1	出力	EtherCAT Link／Activity LED信号出力端子
	CATSYNC0、CATSYNC1	出力	EtherCAT SYNC信号出力端子
	CATLATCH0	入力	EtherCAT LATCH信号入力端子
	CATLATCH1	入力	EtherCAT LATCH信号入力端子
	CATI2CCLK	出力	EtherCAT EEPROM I2C クロック信号出力端子
	CATI2CDATA	入出力	EtherCAT EEPROM I2C データ信号入出力端子

表1.4　端子機能一覧 (5 / 7)

分類	端子名	入出力	機能
USB2.0 ホスト／ファンクション モジュール	VDD33_USB	入力	USB用の電源入力端子
	VSS_USB	入力	USB用のグランド入力端子
	DVDD_USB	入力	USB用のデジタル電源入力端子
	USB_RREF	入力	USB基準電流源入力端子。200Ω (±1%) を介して、VSS_USB端子に接続してください
	USB_DP	入出力	USBバスのD+データ入出力端子
	USB_DM	入出力	USBバスのD-データ入出力端子
	USB_VBUSEN	出力	USB用VBUSパワーイネーブル信号出力端子
	USB_OVRCUR	入力	USB用オーバカレント信号入力端子
	USB_VBUSIN	入力	USBケーブルの接続／切断検出信号入力端子
CANモジュール （RSCAN）	CRXD0～CRXD1	入力	受信データ入力端子
	CTXD0～CTXD1	出力	送信データ出力端子
シリアルペリフェラル インタフェース（RSPIa）	RSPCK0～RSPCK3	入出力	クロック入出力端子
	MOSI0～MOSI3	入出力	マスタ送出データ入出力端子
	MISO0～MISO3	入出力	スレーブ送出データ入出力端子
	SSL00、SSL10、SSL20、SSL30	入出力	スレーブセレクト信号入出力端子
	SSL01、SSL02、SSL03、SSL11	出力	スレーブセレクト信号出力端子
SPIマルチI/Oバス コントローラ（SPIBSC）	SPBCLK	出力	クロック出力端子
	SPBSSL	出力	スレーブセレクト信号出力端子
	SPBMO/SPBIO0	入出力	マスタ送出データ／データ0入出力端子
	SPBMI/SPBIO1	入出力	マスタ入力データ／データ1入出力端子
	SPBIO2～3	入出力	データ2、データ3入出力端子
シリアルサウンド インタフェース（SSI）	SSISCK0	入出力	SSIシリアルビットクロック入出力端子
	SSIWS0	入出力	ワード選択入出力端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用マスタクロック端子
ΔΣインタフェース （DSMIF）	MCLK0～MCLK3	入出力	クロック入出力端子
	MDAT0～MDAT3	入力	データ入力端子
12ビットA/Dコンバータ （S12ADCa）	AN000～AN007、AN100～AN115	入力	A/Dコンバータのアナログ入力端子
	ADTRG0、ADTRG1	入力	A/D変換開始のための外部トリガ入力端子
	AN1_ANEX0	出力	拡張アナログ出力端子
	AN1_ANEX1	入力	拡張アナログ入力端子

表1.4 端子機能一覧 (6 / 7)

分類	端子名	入出力	機能
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ（ユニット0）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS0	入力	12ビットA/D コンバータ（ユニット0）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH0	入力	12ビットA/Dコンバータ（ユニット0）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL0	入力	12ビットA/Dコンバータ（ユニット0）の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	AVCC1	入力	12ビットA/Dコンバータ（ユニット1）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS1	入力	12ビットA/D コンバータ（ユニット1）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH1	入力	12ビットA/Dコンバータ（ユニット1）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL1	入力	12ビットA/Dコンバータ（ユニット1）の基準グランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください

表1.4 端子機能一覧 (7 / 7)

分類	端子名	入出力	機能
I/Oポート	P00～P07	入出力	8ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入力、入出力	1ビット（P30）の入力端子、7ビット（P31～P37）の入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P87	入出力	8ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入力	8ビットの入力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5～PF7	入出力	3ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
	PH0～PH7	入出力	8ビットの入出力端子
	PJ0～PJ7	入出力	8ビットの入出力端子
	PK0～PK7	入出力	8ビットの入出力端子
	PL0～PL7	入出力	8ビットの入出力端子
	PM0～PM7	入出力	8ビットの入出力端子
	PN0～PN7	入出力	8ビットの入出力端子
	PP0～PP7	入出力	8ビットの入出力端子
	PR0～PR7	入出力	8ビットの入出力端子
	PS0～PS7	入出力	8ビットの入出力端子
	PT0～PT7	入出力	8ビットの入出力端子
	PU0～PU7	入出力	8ビットの入出力端子
Encoder I/F（注1）	ENCIF00～ENCIF12	入出力	マルチエンコーダI/F用入出力端子

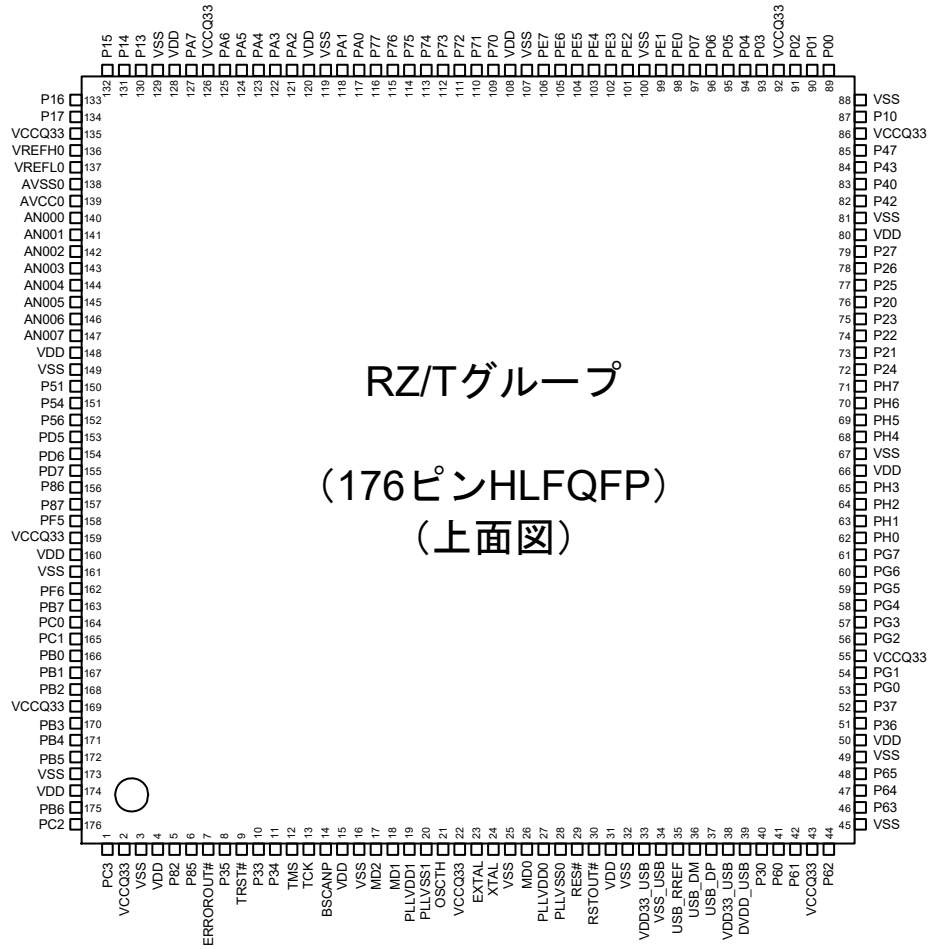
注1. Encoder I/F 搭載品のみ

1.6 ピン配置図

図 1.2 、図 1.3 にピン配置図を示します。また、表 1.5、表 1.6 に端子配置を、表 1.7、表 1.8 に機能別端子一覧を示します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A	VSS	PC2	PJ3	PJ1	PF7	PB4	PB0	PC0	PF6	VCCQ33	P54	VSS	AN007	AN005	AN002	AVCC0	AVCC1	VREFH1	P17	VSS	A
B	PJ5	PJ4	PC3	PJ2	PJ0	PB5	PB2	PC1	PB7	P86	PD7	P52	AN006	AN003	AN001	AVSS0	AVSS1	VREFL1	P16	P15	B
C	PJ7	PJ6	PU2	PL7	PL5	PB6	PB3	PB1	PF5	P87	PD6	P53	P51	AN004	AN000	VREFL0	VREFH0	PD2	P14	P13	C
D	P81	P80	PU3															PD0	P96	P95	D
E	P84	P82	PU1		PU0	PL6	PL4	PL2	PL0	PK7	PK6	PD5	P56	PD4	VCCQ33	PD1		P97	P94	P93	E
F	PC4	P83	P85		PU4	VSS	VCCQ33	PL3	PL1	PK5	PK4	P55	P50	PD3	PK2	P90		P92	P91	P12	F
G	PU6	PC5	VCCQ33		PU5	PM0									PK3	PA7		PA4	PA3	P11	G
H	PU7	PM1	P35		ERROROUT#	VCCQ33		VDD	VDD	VDD	VDD	VDD	VSS		PA6	PA5		PA2	PK0	PK1	H
J	PM6	PM3	PM2		P33	TRST#		VDD	VSS	VSS	VSS	VSS	VDD		VCCQ33	PA1		PA0	PT7	PT6	J
K	PM7	PM5	PM4		P34	PLLVDD1		VDD	VSS	VSS	VSS	VSS	VDD		VSS	P77		P76	P75	PT5	K
L	MD1	MD2	TMS		TCK	PLLVSS1		VDD	VSS	VSS	VSS	VSS	VDD		VSS	PE7		P72	P73	P74	L
M	XTAL	EXTAL	OSCTH		BSCANP	PLLVDD0		VDD	VSS	VSS	VSS	VSS	VDD		VCCQ33	PE6		P70	PT4	P71	M
N	VSS	MD0	RSTOUT#		RES#	PLLVSS0		VDD	VSS	VDD	VDD	VDD	VDD		PE2	PE4		PE5	PT2	PT3	N
P	VSS_USB	VDD33_USB	USB_RREF		P31	VCCQ33									P06	P07		PE3	PT0	PT1	P
R	USB_DP	USB_DM	P30		PN0	PN2	PG0	PG2	PG7	PH2	PH4	PH6	P23	P27	P47	VCCQ33		VCCQ33	PS6	PS7	R
T	DVDD_USB	VDD33_USB	P32		PC6	P37	P36	PG3	PG6	PH3	VCCQ33	PH5	VCCQ33	P26	VCCQ33	VSS		VSS	PE0	PE1	T
U	P60	P63	PN1															P00	P04	P03	U
V	P61	P64	PN3	PN4	PC7	PG1	PG4	PG5	PH0	PH1	PH7	P20	P21	VSS	P45	P46	PS2	P05	P01	P02	V
W	P62	P65	PN5	PN6	PP0	PP2	PP4	PP6	PP7	PR1	PR3	PR5	P24	P22	P44	P43	PS1	PS3	PS4	PS5	W
Y	VSS	P67	P66	PN7	PP1	PP3	PP5	VSS	PR0	PR2	PR4	PR6	PR7	P25	P41	P42	P40	PS0	P10	VSS	Y
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	

図 1.2 ピン配置図（320 ピン FBGA）（上面図）



注 1.　ピン配置図には、電源端子、I/O ポートを記載しています。
　　端子構成は、「表 1.6　端子配置（176 ピン HLFQFP）」をご確認ください。
注 2.　HLFQFP の Exposed die pad は、VSS に接続することを推奨します。

図 1.3　　ピン配置図（176 ピン HLFQFP）

表1.5 端子配置（320ピン FBGA） (1 / 7)

端子番号	端子名
A1	VSS
A2	PC2 / ETH0_TXC / ETH1_RXD2 / CATI2CDATA / SDA0
A3	PJ3 / IRQ11 / ETH0_TXD0 / ADTRG0
A4	PJ1 / ETH0_TXD2 / CATLEDSTER / RSPCK3
A5	PF7 / IRQ7 / A25 / ETH0_TXER / RTS3# / SSL30
A6	PB4 / A24 / ETH1_COL / ETH0_RXER / CATSYNC0 / CATLATCH0 / RXD3 / MOSI3 / MDAT0
A7	PB0 / ETH1_RXDV / MTCLKB / TCLKD / TIC3
A8	PC0 / WAIT# / ETH1_RXD2 / GTETRG / SCL1 / MDAT3
A9	PF6 / ETH1_RXD0 / MTIOC3D / GTIOC0B / TOC2
A10	VCCQ33
A11	P54 / CLKOUT25M1 / MOSI2
A12	VSS
A13	AN007
A14	AN005
A15	AN002
A16	AVCC0
A17	AVCC1
A18	VREFH1
A19	P17 / CS5# / ETH1_TXER / PHYRESETOUT# / ADTRG0
A20	VSS
B1	PJ5 / ETH0_RXD1 / TIOCD0 / RXD3
B2	PJ4 / ETH0_RXD0 / TXD3
B3	PC3 / ETH0_RXC / ETH0_RXDV / CATI2CCLK / RXD4 / SCL0 / CRXD1
B4	PJ2 / IRQ10 / ETH0_TXD1 / MISO3
B5	PJ0 / IRQ8 / ETH0_TXD3 / CATLEDERR / MOSI3
B6	PB5 / ETH_MDIO / TCLKB / POE0# / POE10# / CTS3# / RSPCK3
B7	PB2 / ETH1_RXC / ETH0_RXD1 / CATSYNC1 / CATLATCH1 / MTIOC1A / SSL30 / MDAT1
B8	PC1 / IRQ9 / ETH1_RXD3 / PHYLINK0 / SDA1 / MDAT2
B9	PB7 / ETH1_RXD1 / MTIOC3B / GTIOC0A / TOC3
B10	P86 / AN1_ANEX0 / ETH1_TXD0 / MTIOC4B / GTIOC2A / TOC1 / RSPCK2
B11	PD7 / AN115 / ETH1_TXD1 / MTIOC4D / GTIOC2B / TOC0
B12	P52 / ETH0_INT / SSL20
B13	AN006
B14	AN003
B15	AN001
B16	AVSS0
B17	AVSS1
B18	VREFL1
B19	P16 / CS4# / CS2# / MTIOC3B / GTIOC0A / ENCIF12
B20	P15 / CS3# / CKE / MTIOC3D / GTIOC0B / ENCIF11
C1	PJ7 / IRQ15 / ETH0_RXD3 / CATLEDRUN / CTS3#
C2	PJ6 / IRQ14 / ETH0_RXD2 / CATIRQ / SCK3
C3	PU2 / IRQ2 / ETH2_CRS / TIOCD9 / RXD3
C4	PL7 / IRQ15 / ETH2_RXDV
C5	PL5 / ETH2_RXD2 / TIOCA8

表1.5 端子配置（320ピン FBGA） (2 / 7)

端子番号	端子名
C6	PB6 / ETH_MDC / TCLKA / SCK3 / RTS4# / MISO3
C7	PB3 / IRQ3 / CS1# / ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1 / MCLK0
C8	PB1 / ETH1_RXER / MTCLKA / TCLKC / CTS4#
C9	PF5 / ETH1_TXEN / MTIOC4A / GTIOC1A / TIC2
C10	P87 / AN1_ANEX1 / A23 / ETH1_TXC / ETH0_RXD0 / MTIOC4C / GTIOC1B / MCLK1
C11	PD6 / AN114 / A22 / ETH1_TXD2 / ETH0_TXD1 / TIC1 / MISO2 / MCLK2
C12	P53 / ETH1_INT / MISO2
C13	P51 / IRQ1 / PHYLINK1 / RSPCK2
C14	AN004
C15	AN000
C16	VREFL0
C17	VREFH0
C18	PD2 / AN110 / WAIT#
C19	P14 / CAS# / MTIOC4A / GTIOC1A / ENCIF10
C20	P13 / RAS# / MTIOC4C / GTIOC1B
D1	P81 / ETH0_RXER / TIOCC0 / CTS4#
D2	P80 / IRQ8 / ETH0_RXDV / TIOCC3 / RTS4#
D3	PU3 / ETH2_COL / TIOCD6 / TXD3
D18	PD0 / AN108 / CS4#
D19	P96 / AN106 / POE0# / POE10# / ENCIF09
D20	P95 / AN105 / IRQ13 / MTCLKA / CTS2#
E1	P84 / ETH0_COL / CATLINKACT1 / RXD4
E2	P82 / ETH0_TXEN / ETH1_CRS / TIOCD3 / SCK4 / RTS3# / USB_OVRCUR
E3	PU1 / ETH2_RXC / TIOCA11 / SCK3
E5	PU0 / ETH2_RXER / TIOCA10
E6	PL6 / ETH2_RXD3 / TIOCA9
E7	PL4 / IRQ4 / ETH2_RXD1
E8	PL2 / ETH2_TXEN / TIOCA6 / ADTRG1
E9	PL0 / ETH2_TXD0 / TIOCB9
E10	PK7 / ETH2_TXD2 / TIOCB7
E11	PK6 / ETH2_TXD3 / TIOCB6
E12	PD5 / AN113 / A21 / ETH1_TXD3 / ETH0_TXD0 / TIC0 / SSL20 / MCLK3
E13	P56 / BS# / ETH1_TXER
E14	PD4 / AN112 / ETH2_INT
E15	VCCQ33
E16	PD1 / AN109 / CS1#
E18	P97 / AN107 / IRQ7 / A25 / ADTRG1
E19	P94 / AN104 / IRQ4 / MTCLKB / RTS2# / ENCIF08
E20	P93 / AN103 / MTIOC1A / TIC3 / SCK2 / ENCIF07
F1	PC4 / CATI2CCLK / TCLKH / SCL0
F2	P83 / IRQ11 / ETH0_CRS / CATLINKACT0 / TXD4
F3	P85 / IRQ5 / CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN
F5	PU4 / MII2_MDC / TIOCC9 / CTS3#
F6	VSS
F7	VCCQ33
F8	PL3 / ETH2_RXD0 / TIOCA7

表1.5 端子配置（320ピン FBGA） (3 / 7)

端子番号	端子名
F9	PL1 / ETH2_TXC / TIOCB10
F10	PK5 / ETH2_TXD1 / TIOCB8
F11	PK4 / ETH2_TXER / TIOCB11 / MOSI2
F12	P55 / IRQ5 / A24 / ETHSWSECOUT
F13	P50 / IRQ8 / CS1# / PHYLINK0
F14	PD3 / AN111 / PHYRESETOUT2#
F15	PK2 / A23
F16	P90 / AN100 / RAS# / TIOCA5 / TXD4
F18	P92 / AN102 / CS5# / TOC3 / RXD2
F19	P91 / AN101 / CAS# / TXD2 / ENCIF06
F20	P12 / MTIOC4B / GTIOC2A
G1	PU6 / PHYRESETOUT# / TCLKF / CTS4#
G2	PC5 / CATI2CDATA / TCLKG / SDA0
G3	VCCQ33
G5	PU5 / IRQ13 / MII2_MDIO / TIOCC6 / RTS3#
G6	PM0 / CLKOUT25M2 / TXD4
G15	PK3 / A24
G16	PA7 / IRQ7 / D31 / A22 / MTIOC6B / GTIOC3B / RTS2# / MCLK0
G18	PA4 / D28 / ETH1_INT / TIOCA3 / ADTRG0 / RXD2 / TEND2 / MDAT1
G19	PA3 / D27 / ETHSWSECOUT / GTETRG / TIOCA2 / SCK2 / DACK2 / MCLK2
G20	P11 / IRQ9 / MTIOC4D / GTIOC2B
H1	PU7 / CATIRQ / RXD4
H2	PM1 / CATLEDERR / SCK4
H3	P35 / NMI
H5	ERROROUT#
H6	VCCQ33
H8	VDD
H9	VDD
H10	VDD
H11	VDD
H12	VDD
H13	VSS
H15	PA6 / IRQ6 / D30 / A21 / GTIOC3A / CTS2# / MDAT0
H16	PA5 / D29 / ETH0_INT / ETH1_TXER / TIOCA4 / TXD2 / MCLK1
H18	PA2 / D26 / MTIOC3B / GTIOC0A / SSL02 / DREQ2 / MDAT2 / ENCIF05
H19	PK0 / CAS# / PO31 / ENCIF11
H20	PK1 / CS5# / ENCIF12
J1	PM6 / IRQ6 / CATLINKACT0 / PO19
J2	PM3 / CATSYNC0 / CATLATCH0 / PO16
J3	PM2 / CATSYNC1 / CATLATCH1 / TCLKE / RTS4#
J5	P33 / TDO
J6	TRST#
J8	VDD
J9	VSS
J10	VSS
J11	VSS

表1.5 端子配置（320ピン FBGA） (4 / 7)

端子番号	端子名
J12	VSS
J13	VDD
J15	VCCQ33
J16	PA1 / D25 / MTIOC3D / GTIOC0B / MISO0 / AUDIO_CLK / TRACEDATA7 / MCLK3
J18	PA0 / D24 / MTIOC4A / GTIOC1A / MOSI0 / TRACEDATA6 / MDAT3
J19	PT7 / A22 / DACK2 / ENCIF10
J20	PT6 / A21 / DREQ2
K1	PM7 / CATLINKACT1 / PO20
K2	PM5 / CATLEDSTER / PO18
K3	PM4 / CATLEDRUN / PO17
K5	P34 / TDI
K6	PLLVDD1
K8	VDD
K9	VSS
K10	VSS
K11	VSS
K12	VSS
K13	VDD
K15	VSS
K16	P77 / D23 / MTIOC4C / GTIOC1B / RSPCK0 / TRACEDATA5
K18	P76 / D22 / MTIOC4B / GTIOC2A / SSL01 / SSIWS0 / TRACEDATA4
K19	P75 / IRQ13 / D21 / MTIOC4D / GTIOC2B / SSL00 / TRACEDATA3 / ENCIF04
K20	PT5 / BS# / PO30 / TEND2
L1	MD1
L2	MD2
L3	TMS
L5	TCK
L6	PLLVSS1
L8	VDD
L9	VSS
L10	VSS
L11	VSS
L12	VSS
L13	VDD
L15	VSS
L16	PE7 / D15 / MTIOC7A / TIOCD3 / POE8# / SCK1 / RSPCK0 / TRACEDATA7
L18	P72 / D18 / MTIOC1A / TIC2 / TXD1 / SSITXD0 / TRACEDATA0 / ENCIF02
L19	P73 / IRQ3 / D19 / MTCLKB / RXD1 / SSIRXD0 / TRACEDATA1 / ENCIF03
L20	P74 / D20 / MTCLKA / CTS1# / SSL03 / SSISCK0 / TRACEDATA2
M1	XTAL
M2	EXTAL
M3	OSCTH
M5	BSCANP
M6	PLLVDD0
M8	VDD
M9	VSS

表1.5 端子配置（320ピン FBGA） (5 / 7)

端子番号	端子名
M10	VSS
M11	VSS
M12	VSS
M13	VDD
M15	VCCQ33
M16	PE6 / IRQ6 / D14 / MTIOC0A / TIOCD0 / RXD1 / MISO0 / TRACEDATA6
M18	P70 / IRQ0 / D16 / MTIOC6D / RTS1# / USB_OVRCUR / TRACECLK / ENCIF00
M19	PT4 / CS3# / PO29
M20	P71 / D17 / POE0# / POE10# / TOC2 / SCK1 / TRACECTL / ENCIF01
N1	VSS
N2	MD0
N3	RSTOUT#
N5	RES#
N6	PLLVSS0
N8	VDD
N9	VSS
N10	VDD
N11	VDD
N12	VDD
N13	VDD
N15	PE2 / IRQ2 / D10 / MTCLKC / TIOCB4 / SSL02 / TRACEDATA2
N16	PE4 / D12 / MTIOC0B / TIOCC0 / RTS1# / SSL00 / TRACEDATA4
N18	PE5 / D13 / MTIOC0C / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5
N19	PT2 / TIOCA1 / TIOCB1 / PO27
N20	PT3 / IRQ11 / TIOCA0 / TIOCB0 / PO28 / CTS2# / ENCIF09
P1	VSS_USB
P2	VDD33_USB
P3	USB_RREF
P5	P31 / USB_VBUSEN
P6	VCCQ33
P15	P06 / D6 / MTIOC2B / TIOCB0
P16	P07 / D7 / MTIOC2A / TIOCB1
P18	PE3 / IRQ3 / D11 / MTIOC0D / TIOCB5 / CTS1# / SSL01 / TRACEDATA3
P19	PT0 / IRQ0 / TIOCA3 / TIOCB3 / PO25 / SCK2 / ENCIF07
P20	PT1 / TIOCA2 / TIOCB2 / PO26 / RTS2# / ENCIF08
R1	USB_DP
R2	USB_DM
R3	P30 / CRXD0 / USB_VBUSIN
R5	PN0 / MTIOC8D / SSL10
R6	PN2 / IRQ10 / MTIOC8B / MOSI1
R7	PG0 / A1 / PO2
R8	PG2 / A3 / PO4 / TOC0 / RSPCK1
R9	PG7 / A8 / PO9
R10	PH2 / A11 / MTIOC2A / PO12
R11	PH4 / IRQ4 / A13 / PO14
R12	PH6 / A15 / MTIOC7D / RTS0#

表1.5 端子配置（320ピン FBGA） (6 / 7)

端子番号	端子名
R13	P23 / A0 / MTIC5U / TXD0 / DACK1
R14	P27 / A20 / MTIOC8C / TIOCB0 / RTS0#
R15	P47 / WE3#/DQMUU/AH# / MTIOC6C
R16	VCCQ33
R18	VCCQ33
R19	PS6 / IRQ14 / TIOCA5 / TIOCB5 / PO23 / RXD2 / ENCIF06
R20	PS7 / TIOCA4 / TIOCB4 / PO24 / TXD2
T1	DVDD_USB
T2	VDD33_USB
T3	P32 / IRQ10 / USB_OVRCUR
T5	PC6 / TCLKC / SCL1 / CRXD0 / DREQ0 / USB_VBUSIN
T6	P37 / WE1#/DQMLU / PO1
T7	P36 / WE0#/DQMLL / PO0
T8	PG3 / A4 / PO5 / TIC1 / MISO1
T9	PG6 / A7 / TCLKB / PO8 / SSL11
T10	PH3 / A12 / MTIOC1B / PO13
T11	VCCQ33
T12	PH5 / A14 / PO15
T13	VCCQ33
T14	P26 / A19 / MTIOC8D / DREQ1
T15	VCCQ33
T16	VSS
T18	VSS
T19	PE0 / D8 / MTIOC1B / TIOCB2 / TRACEDATA0
T20	PE1 / D9 / MTCLKD / TIOCB3 / SSL03 / TRACEDATA1
U1	P60 / SPBSSL / CTXD0 / TEND0
U2	P63 / SPBMO/SPBIO0
U3	PN1 / MTIOC8C / PO21 / MISO1 / ENCIF09
U18	P00 / D0 / MTIOC6A / TIOCA1 / ADTRG1 / TRACECTL
U19	P04 / D4 / MTIOC3C / TIOCA5
U20	P03 / D3 / MTIC5U / TIOCA4
V1	P61 / SPBIO3 / CTXD1 / DACK0
V2	P64 / SPBMI/SPBIO1
V3	PN3 / MTIOC8A / RSPCK1
V4	PN4 / IRQ12 / MTIOC6C / TIOCC6 / SSL11
V5	PC7 / TIC0 / SDA1 / CRXD1
V6	PG1 / A2 / PO3
V7	PG4 / A5 / PO6 / TOC1 / MOSI1
V8	PG5 / A6 / TCLKA / PO7 / SSL10
V9	PH0 / A9 / PO10
V10	PH1 / A10 / MTIOC2B / PO11
V11	PH7 / A16 / MTIC5W
V12	P20 / A17 / MTCLKD
V13	P21 / IRQ1 / CS0# / MTIC5V / TIOCB1 / CTS0#
V14	VSS
V15	P45 / CS2#

表1.5 端子配置（320ピン FBGA） (7 / 7)

端子番号	端子名
V16	P46 / CKE
V17	PS2 / MTIOC7C / SSIWS0
V18	P05 / D5 / MTIOC3A
V19	P01 / D1 / MTIC5W / TIOCA2
V20	P02 / D2 / MTIC5V / TIOCA3
W1	P62 / SPBCLK
W2	P65 / SPBIO2 / DREQ0
W3	PN5 / IRQ5 / MTIOC6A / TIOCD9 / ENCIF10
W4	PN6 / MTIOC3C / TIOCC9 / MCLK3 / ENCIF11
W5	PP0 / POE8# / TEND0 / MCLK2
W6	PP2 / MTIOC0C / TCLKH / MCLK1
W7	PP4 / MTIOC0A / MCLK0
W8	PP6 / TIOCA11 / RXD1 / TRACECTL / ENCIF06
W9	PP7 / TCLKF / TCLKH / SCK1 / DACK1 / TRACECLK
W10	PR1 / IRQ9 / POE4# / CTS1# / TEND1 / TRACEDATA1 / ENCIF08
W11	PR3 / TIOCA10 / TIOCB10 / TRACEDATA3 / ENCIF01
W12	PR5 / TIOCA8 / TIOCB8 / TRACEDATA5 / ENCIF03
W13	P24 / IRQ12 / RD/WR# / RXD0
W14	P22 / IRQ2 / RD# / MTIOC7B / TIOCD0 / SCK0
W15	P44 / IRQ12 / WAIT# / TCLKD / ADTRG0 / CTS0#
W16	P43 / WE2#/DQMUL / MTIOC8B / USB_VBUSEN
W17	PS1 / IRQ1 / MTIOC7B / SSISCK0
W18	PS3 / MTIOC7A / SSIRXD0
W19	PS4 / MTIOC6D / SSITXD0
W20	PS5 / MTIOC6B
Y1	VSS
Y2	P67 / IRQ15 / GTIOC3B / CTXD0 / TEND0 / USB_OVRCUR
Y3	P66 / IRQ14 / GTIOC3A / CTXD1 / DACK0 / USB_VBUSEN
Y4	PN7 / MTIOC3A / TIOCD6 / DREQ0 / MDAT3 / ENCIF12
Y5	PP1 / MTIOC0D / DACK0 / MDAT2
Y6	PP3 / MTIOC0B / TCLKC / MDAT1
Y7	PP5 / PO22 / MDAT0
Y8	VSS
Y9	PR0 / TCLKE / TCLKG / TXD1 / DREQ1 / TRACEDATA0 / ENCIF07
Y10	PR2 / TIOCA11 / TIOCB11 / RTS1# / TRACEDATA2 / ENCIF00
Y11	PR4 / TIOCA9 / TIOCB9 / TRACEDATA4 / ENCIF02
Y12	PR6 / TIOCA7 / TIOCB7 / TRACEDATA6 / ENCIF04
Y13	PR7 / TIOCA6 / TIOCB6 / TRACEDATA7 / ENCIF05
Y14	P25 / A18 / MTCLKC / TEND1
Y15	P41 / BS# / SCK0
Y16	P42 / MTIOC7C / RXD0
Y17	P40 / MTIOC8A / TXD0
Y18	PS0 / MTIOC7D / AUDIO_CLK
Y19	P10 / IRQ0 / CKIO / TIOCA0 / TRACECLK
Y20	VSS

表1.6 端子配置（176ピンHLFQFP） (1 / 4)

端子番号	端子名
1	PC3 / ETH0_RXC / ETH0_RXDV / RXD4 / SCL0 / CRXD1
2	VCCQ33
3	VSS
4	VDD
5	P82 / ETH0_TXEN / ETH1_CRS / TIOCD3 / SCK4 / RTS3# / USB_OVRCUR
6	P85 / IRQ5 / CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN
7	ERROROUT#
8	P35 / NMI
9	TRST#
10	P33 / TDO
11	P34 / TDI
12	TMS
13	TCK
14	BSCANP
15	VDD
16	VSS
17	MD2
18	MD1
19	PLLVDD1
20	PLLVSS1
21	OSCTH
22	VCCQ33
23	EXTAL
24	XTAL
25	VSS
26	MD0
27	PLLVDD0
28	PLLVSS0
29	RES#
30	RSTOUT#
31	VDD
32	VSS
33	VDD33_USB
34	VSS_USB
35	USB_RREF
36	USB_DM
37	USB_DP
38	VDD33_USB
39	DVDD_USB
40	P30 / CRXD0 / USB_VBUSIN
41	P60 / SPBSSL / CTXD0 / TEND0
42	P61 / SPBIO3 / CTXD1 / DACK0
43	VCCQ33
44	P62 / SPBCLK

表1.6 端子配置（176ピンHLFQFP） (2 / 4)

端子番号	端子名
45	VSS
46	P63 / SPBMO/SPBIO0
47	P64 / SPBMI/SPBIO1
48	P65 / SPBIO2 / DREQ0
49	VSS
50	VDD
51	P36 / WE0#/DQMLL / PO0
52	P37 / WE1#/DQMLU / PO1
53	PG0 / A1 / PO2
54	PG1 / A2 / PO3
55	VCCQ33
56	PG2 / A3 / PO4 / TOC0 / RSPCK1
57	PG3 / A4 / PO5 / TIC1 / MISO1
58	PG4 / A5 / PO6 / TOC1 / MOSI1
59	PG5 / A6 / TCLKA / PO7 / SSL10
60	PG6 / A7 / TCLKB / PO8 / SSL11
61	PG7 / A8 / PO9
62	PH0 / A9 / PO10
63	PH1 / A10 / MTIOC2B / PO11
64	PH2 / A11 / MTIOC2A / PO12
65	PH3 / A12 / MTIOC1B / PO13
66	VDD
67	VSS
68	PH4 / IRQ4 / A13 / PO14
69	PH5 / A14 / PO15
70	PH6 / A15 / MTIOC7D / RTS0#
71	PH7 / A16 / MTIC5W
72	P24 / IRQ12 / RD/WR# / RXD0
73	P21 / IRQ1 / CS0# / MTIC5V / TIOCB1 / CTS0#
74	P22 / IRQ2 / RD# / MTIOC7B / TIOCD0 / SCK0
75	P23 / A0 / MTIC5U / TXD0 / DACK1
76	P20 / A17 / MTCLKD
77	P25 / A18 / MTCLKC / TEND1
78	P26 / A19 / MTIOC8D / DREQ1
79	P27 / A20 / MTIOC8C / TIOCB0 / RTS0#
80	VDD
81	VSS
82	P42 / MTIOC7C / RXD0
83	P40 / MTIOC8A / TXD0
84	P43 / WE2#/DQMUL / MTIOC8B / USB_VBUSEN
85	P47 / WE3#/DQMUU/AH# / MTIOC6C
86	VCCQ33
87	P10 / IRQ0 / CKIO / TIOCA0 / TRACECLK
88	VSS
89	P00 / D0 / MTIOC6A / TIOCA1 / TRACECTL

表1.6 端子配置（176ピンHLFQFP） (3 / 4)

端子番号	端子名
90	P01 / D1 / MTIC5W / TIOCA2
91	P02 / D2 / MTIC5V / TIOCA3
92	VCCQ33
93	P03 / D3 / MTIC5U / TIOCA4
94	P04 / D4 / MTIOC3C / TIOCA5
95	P05 / D5 / MTIOC3A
96	P06 / D6 / MTIOC2B / TIOCB0
97	P07 / D7 / MTIOC2A / TIOCB1
98	PE0 / D8 / MTIOC1B / TIOCB2 / TRACEDATA0
99	PE1 / D9 / MTCLKD / TIOCB3 / SSL03 / TRACEDATA1
100	VSS
101	PE2 / IRQ2 / D10 / MTCLKC / TIOCB4 / SSL02 / TRACEDATA2
102	PE3 / IRQ3 / D11 / MTIOC0D / TIOCB5 / CTS1# / SSL01 / TRACEDATA3
103	PE4 / D12 / MTIOC0B / TIOCC0 / RTS1# / SSL00 / TRACEDATA4
104	PE5 / D13 / MTIOC0C / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5
105	PE6 / IRQ6 / D14 / MTIOC0A / TIOCD0 / RXD1 / MISO0 / TRACEDATA6
106	PE7 / D15 / MTIOC7A / TIOCD3 / POE8# / SCK1 / RSPCK0 / TRACEDATA7
107	VSS
108	VDD
109	P70 / IRQ0 / D16 / MTIOC6D / RTS1# / USB_OVRCUR / TRACECLK
110	P71 / D17 / POE0# / POE10# / TOC2 / SCK1 / TRACECTL
111	P72 / D18 / MTIOC1A / TIC2 / TXD1 / SSITXD0 / TRACEDATA0
112	P73 / IRQ3 / D19 / MTCLKB / RXD1 / SSIRXD0 / TRACEDATA1
113	P74 / D20 / MTCLKA / CTS1# / SSL03 / SSISCK0 / TRACEDATA2
114	P75 / IRQ13 / D21 / MTIOC4D / GTIOC2B / SSL00 / TRACEDATA3
115	P76 / D22 / MTIOC4B / GTIOC2A / SSL01 / SSIWS0 / TRACEDATA4
116	P77 / D23 / MTIOC4C / GTIOC1B / RSPCK0 / TRACEDATA5
117	PA0 / D24 / MTIOC4A / GTIOC1A / MOSI0 / TRACEDATA6 / MDAT3
118	PA1 / D25 / MTIOC3D / GTIOC0B / MISO0 / AUDIO_CLK / TRACEDATA7 / MCLK3
119	VSS
120	VDD
121	PA2 / D26 / MTIOC3B / GTIOC0A / SSL02 / DREQ2 / MDAT2
122	PA3 / D27 / ETHSWSECOUT / GTETRG / TIOCA2 / SCK2 / DACK2 / MCLK2
123	PA4 / D28 / ETH1_INT / TIOCA3 / ADTRG0 / RXD2 / TEND2 / MDAT1
124	PA5 / D29 / ETH0_INT / ETH1_TXER / TIOCA4 / TXD2 / MCLK1
125	PA6 / IRQ6 / D30 / A21 / GTIOC3A / CTS2# / MDAT0
126	VCCQ33
127	PA7 / IRQ7 / D31 / A22 / MTIOC6B / GTIOC3B / RTS2# / MCLK0
128	VDD
129	VSS
130	P13 / RAS# / MTIOC4C / GTIOC1B
131	P14 / CAS# / MTIOC4A / GTIOC1A
132	P15 / CS3# / CKE / MTIOC3D / GTIOC0B
133	P16 / CS4# / CS2# / MTIOC3B / GTIOC0A
134	P17 / CS5# / ETH1_TXER / PHYRESETOUT# / ADTRG0

表1.6 端子配置（176ピンHLFQFP） (4 / 4)

端子番号	端子名
135	VCCQ33
136	VREFH0
137	VREFL0
138	AVSS0
139	AVCC0
140	AN000
141	AN001
142	AN002
143	AN003
144	AN004
145	AN005
146	AN006
147	AN007
148	VDD
149	VSS
150	P51 / IRQ1 / PHYLINK1 / RSPCK2
151	P54 / CLKOUT25M1 / MOSI2
152	P56 / BS# / ETH1_TXER
153	PD5 / A21 / ETH1_TXD3 / ETH0_TXD0 / TIC0 / SSL20 / MCLK3
154	PD6 / A22 / ETH1_TXD2 / ETH0_TXD1 / TIC1 / MISO2 / MCLK2
155	PD7 / ETH1_TXD1 / MTIOC4D / GTIOC2B / TOC0
156	P86 / ETH1_TXD0 / MTIOC4B / GTIOC2A / TOC1 / RSPCK2
157	P87 / A23 / ETH1_TXC / ETH0_RXD0 / MTIOC4C / GTIOC1B / MCLK1
158	PF5 / ETH1_TXEN / MTIOC4A / GTIOC1A / TIC2
159	VCCQ33
160	VDD
161	VSS
162	PF6 / ETH1_RXD0 / MTIOC3D / GTIOC0B / TOC2
163	PB7 / ETH1_RXD1 / MTIOC3B / GTIOC0A / TOC3
164	PC0 / WAIT# / ETH1_RXD2 / GTETRG / SCL1 / MDAT3
165	PC1 / IRQ9 / ETH1_RXD3 / PHYLINK0 / SDA1 / MDAT2
166	PB0 / ETH1_RXDV / MTCLKB / TCLKD / TIC3
167	PB1 / ETH1_RXER / MTCLKA / TCLKC / CTS4#
168	PB2 / ETH1_RXC / ETH0_RXD1 / MTIOC1A / SSL30 / MDAT1
169	VCCQ33
170	PB3 / IRQ3 / CS1# / ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1 / MCLK0
171	PB4 / A24 / ETH1_COL / ETH0_RXER / RXD3 / MOSI3 / MDAT0
172	PB5 / ETH_MDIO / TCLKB / POE0# / POE10# / CTS3# / RSPCK3
173	VSS
174	VDD
175	PB6 / ETH_MDC / TCLKA / SCK3 / RTS4# / MISO3
176	PC2 / ETH0_TXC / ETH1_RXD2 / SDA0

表1.7 機能別端子一覧（320ピンFBGA） (1 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
A1	VSS							
A2		PC2			ETH0_TXC / ETH1_RXD2 / CATI2CDATA / SDA0			
A3		PJ3			ETH0_TXD0		IRQ11	ADTRG0
A4		PJ1			ETH0_TXD2 / CATLEDSTER / RSPCK3			
A5		PF7	A25		ETH0_TXER / RTS3# / SSL30		IRQ7	
A6		PB4	A24		ETH1_COL / ETH0_RXER / CATSYNC0 / CATLATCH0 / RXD3 / MOSI3	MDAT0		
A7		PB0		MTCLKB / TCLKD / TIC3	ETH1_RXDV			
A8		PC0	WAIT#	GTETRG	ETH1_RXD2 / SCL1	MDAT3		
A9		PF6		MTIOC3D / GTIOC0B / TOC2	ETH1_RXD0			
A10	VCCQ33							
A11		P54			CLKOUT25M1 / MOSI2			
A12	VSS							
A13								AN007
A14								AN005
A15								AN002
A16	AVCC0							
A17	AVCC1							
A18	VREFH1							
A19		P17	CS5#		ETH1_TXER / PHYRESETOUT#			ADTRG0
A20	VSS							
B1		PJ5		TIOCD0	ETH0_RXD1 / RXD3			
B2		PJ4			ETH0_RXD0 / TXD3			
B3		PC3			ETH0_RXC / ETH0_RXDV / CATI2CCLK / RXD4 / SCL0 / CRXD1			
B4		PJ2			ETH0_TXD1 / MISO3		IRQ10	

表1.7 機能別端子一覧（320ピンFBGA） (2 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
B5		PJ0			ETH0_TXD3 / CATLEDERR / MOSI3		IRQ8	
B6		PB5		TCLKB / POE0# / POE10#	ETH_MDIO / CTS3# / RSPCK3			
B7		PB2		MTIOC1A	ETH1_RXC / ETH0_RXD1 / CATSYNC1 / CATLATCH1 / SSL30	MDAT1		
B8		PC1			ETH1_RXD3 / PHYLINK0 / SDA1	MDAT2	IRQ9	
B9		PB7		MTIOC3B / GTIOC0A / TOC3	ETH1_RXD1			
B10		P86		MTIOC4B / GTIOC2A / TOC1	ETH1_TXD0 / RSPCK2			AN1_ ANEX0
B11		PD7		MTIOC4D / GTIOC2B / TOC0	ETH1_TXD1			AN115
B12		P52			ETH0_INT / SSL20			
B13								AN006
B14								AN003
B15								AN001
B16	AVSS0							
B17	AVSS1							
B18	VREFL1							
B19		P16	CS4# / CS2#	MTIOC3B / GTIOC0A		ENCIF12		
B20		P15	CS3# / CKE	MTIOC3D / GTIOC0B		ENCIF11		
C1		PJ7			ETH0_RXD3 / CATLEDRUN / CTS3#		IRQ15	
C2		PJ6			ETH0_RXD2 / CATIRQ / SCK3		IRQ14	
C3		PU2		TIOCD9	ETH2_CRS / RXD3		IRQ2	
C4		PL7			ETH2_RXDV		IRQ15	
C5		PL5		TIOCA8	ETH2_RXD2			
C6		PB6		TCLKA	ETH_MDC / SCK3 / RTS4# / MISO3			
C7		PB3	CS1#		ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1	MCLK0	IRQ3	
C8		PB1		MTCLKA / TCLKC	ETH1_RXER / CTS4#			
C9		PF5		MTIOC4A / GTIOC1A / TIC2	ETH1_TXEN			
C10		P87	A23	MTIOC4C / GTIOC1B	ETH1_TXC / ETH0_RXD0	MCLK1		AN1_ ANEX1

表1.7 機能別端子一覧（320ピンFBGA） (3 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
C11		PD6	A22	TIC1	ETH1_TXD2 / ETH0_TXD1 / MISO2	MCLK2		AN114
C12		P53			ETH1_INT / MISO2			
C13		P51			PHYLINK1 / RSPCK2		IRQ1	
C14								AN004
C15								AN000
C16	VREFL0							
C17	VREFH0							
C18		PD2	WAIT#					AN110
C19		P14	CAS#	MTIOC4A / GTIOC1A		ENCIF10		
C20		P13	RAS#	MTIOC4C / GTIOC1B				
D1		P81		TIOCC0	ETH0_RXER / CTS4#			
D2		P80		TIOCC3	ETH0_RXDV / RTS4#		IRQ8	
D3		PU3		TIOCD6	ETH2_COL / TXD3			
D18		PD0	CS4#					AN108
D19		P96		POE0# / POE10#		ENCIF09		AN106
D20		P95		MTCLKA	CTS2#		IRQ13	AN105
E1		P84			ETH0_COL / CATLINKACT1 / RXD4			
E2		P82		TIOCD3	ETH0_TXEN / ETH1_CRS / SCK4 / RTS3# / USB_OVRCUR			
E3		PU1		TIOCA11	ETH2_RXC / SCK3			
E5		PU0		TIOCA10	ETH2_RXER			
E6		PL6		TIOCA9	ETH2_RXD3			
E7		PL4			ETH2_RXD1		IRQ4	
E8		PL2		TIOCA6	ETH2_TXEN			ADTRG1
E9		PL0		TIOCB9	ETH2_TXD0			
E10		PK7		TIOCB7	ETH2_TXD2			
E11		PK6		TIOCB6	ETH2_TXD3			
E12		PD5	A21	TIC0	ETH1_TXD3 / ETH0_TXD0 / SSL20	MCLK3		AN113
E13		P56	BS#		ETH1_TXER			
E14		PD4			ETH2_INT			AN112
E15	VCCQ33							
E16		PD1	CS1#					AN109

表1.7 機能別端子一覧（320ピンFBGA） (4 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
E18		P97	A25				IRQ7	ADTRG1 / AN107
E19		P94		MTCLKB	RTS2#	ENCIF08	IRQ4	AN104
E20		P93		MTIOC1A / TIC3	SCK2	ENCIF07		AN103
F1		PC4		TCLKH	CATI2CCLK / SCL0			
F2		P83			ETH0_CRS / CATLINKACT0 / TXD4		IRQ11	
F3		P85			CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN		IRQ5	
F5		PU4		TIOCC9	MII2_MDC / CTS3#			
F6	VSS							
F7	VCCQ33							
F8		PL3		TIOCA7	ETH2_RXD0			
F9		PL1		TIOCB10	ETH2_TXC			
F10		PK5		TIOCB8	ETH2_TXD1			
F11		PK4		TIOCB11	ETH2_TXER / MOSI2			
F12		P55	A24		ETHSWSECOUT		IRQ5	
F13		P50	CS1#		PHYLINK0		IRQ8	
F14		PD3			PHYRESETOUT2#			AN111
F15		PK2	A23					
F16		P90	RAS#	TIOCA5	TXD4			AN100
F18		P92	CS5#	TOC3	RXD2			AN102
F19		P91	CAS#		TXD2	ENCIF06		AN101
F20		P12		MTIOC4B / GTIOC2A				
G1		PU6		TCLKF	PHYRESETOUT# / CTS4#			
G2		PC5		TCLKG	CATI2CDATA / SDA0			
G3	VCCQ33							
G5		PU5		TIOCC6	MII2_MDIO / RTS3#		IRQ13	
G6		PM0			CLKOUT25M2 / TXD4			
G15		PK3	A24					
G16		PA7	D31 / A22	MTIOC6B / GTIOC3B	RTS2#	MCLK0	IRQ7	
G18		PA4	D28 / TEND2	TIOCA3	ETH1_INT / RXD2	MDAT1		ADTRG0
G19		PA3	D27 / DACK2	GTETRG / TIOCA2	ETHSWSECOUT / SCK2	MCLK2		
G20		P11		MTIOC4D / GTIOC2B			IRQ9	

表1.7 機能別端子一覧（320ピンFBGA） (5 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
H1		PU7			CATIRQ / RXD4			
H2		PM1			CATLEDERR / SCK4			
H3		P35					NMI	
H5	ERROROUT#							
H6	VCCQ33							
H8	VDD							
H9	VDD							
H10	VDD							
H11	VDD							
H12	VDD							
H13	VSS							
H15		PA6	D30 / A21	GTIOC3A	CTS2#	MDAT0	IRQ6	
H16		PA5	D29	TIOCA4	ETH0_INT / ETH1_TXER / TXD2	MCLK1		
H18		PA2	D26 / DREQ2	MTIOC3B / GTIOC0A	SSL02	MDAT2 / ENCIF05		
H19		PK0	CAS#	PO31		ENCIF11		
H20		PK1	CS5#			ENCIF12		
J1		PM6		PO19	CATLINKACT0		IRQ6	
J2		PM3		PO16	CATSYNC0 / CATLATCH0			
J3		PM2		TCLKE	CATSYNC1 / CATLATCH1 / RTS4#			
J5	TDO	P33						
J6	TRST#							
J8	VDD							
J9	VSS							
J10	VSS							
J11	VSS							
J12	VSS							
J13	VDD							
J15	VCCQ33							
J16	TRACEDATA7	PA1	D25	MTIOC3D / GTIOC0B	MISO0	AUDIO_CLK / MCLK3		
J18	TRACEDATA6	PA0	D24	MTIOC4A / GTIOC1A	MOSI0	MDAT3		
J19		PT7	A22 / DACK2			ENCIF10		
J20		PT6	A21 / DREQ2					
K1		PM7		PO20	CATLINKACT1			

表1.7 機能別端子一覧（320ピンFBGA） (6 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
K2		PM5		PO18	CATLEDSTER			
K3		PM4		PO17	CATLEDRUN			
K5	TDI	P34						
K6	PLLVDD1							
K8	VDD							
K9	VSS							
K10	VSS							
K11	VSS							
K12	VSS							
K13	VDD							
K15	VSS							
K16	TRACEDATA5	P77	D23	MTIOC4C / GTIOC1B	RSPCK0			
K18	TRACEDATA4	P76	D22	MTIOC4B / GTIOC2A	SSL01	SSIWS0		
K19	TRACEDATA3	P75	D21	MTIOC4D / GTIOC2B	SSL00	ENCIF04	IRQ13	
K20		PT5	BS# / TEND2	PO30				
L1	MD1							
L2	MD2							
L3	TMS							
L5	TCK							
L6	PLLVSS1							
L8	VDD							
L9	VSS							
L10	VSS							
L11	VSS							
L12	VSS							
L13	VDD							
L15	VSS							
L16	TRACEDATA7	PE7	D15	MTIOC7A / TIOCD3 / POE8#	SCK1 / RSPCK0			
L18	TRACEDATA0	P72	D18	MTIOC1A / TIC2	TXD1	SSITXD0 / ENCIF02		
L19	TRACEDATA1	P73	D19	MTCLKB	RXD1	SSIRXD0 / ENCIF03	IRQ3	
L20	TRACEDATA2	P74	D20	MTCLKA	CTS1# / SSL03	SSISCK0		
M1	XTAL							
M2	EXTAL							
M3	OSCTH							
M5	BSCANP							
M6	PLLVDD0							

表1.7 機能別端子一覧（320ピンFBGA） (7 / 11)

ピン番号 320ピンFBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
M8	VDD							
M9	VSS							
M10	VSS							
M11	VSS							
M12	VSS							
M13	VDD							
M15	VCCQ33							
M16	TRACEDATA6	PE6	D14	MTIOC0A / TIOCD0	RXD1 / MISO0		IRQ6	
M18	TRACECLK	P70	D16	MTIOC6D	RTS1# / USB_OVRCUR	ENCIF00	IRQ0	
M19		PT4	CS3#	PO29				
M20	TRACECTL	P71	D17	POE0# / POE10# / TOC2	SCK1	ENCIF01		
N1	VSS							
N2	MD0							
N3	RSTOUT#							
N5	RES#							
N6	PLLVSS0							
N8	VDD							
N9	VSS							
N10	VDD							
N11	VDD							
N12	VDD							
N13	VDD							
N15	TRACEDATA2	PE2	D10	MTCLKC / TIOCB4	SSL02		IRQ2	
N16	TRACEDATA4	PE4	D12	MTIOC0B / TIOCC0	RTS1# / SSL00			
N18	TRACEDATA5	PE5	D13	MTIOC0C / TIOCC3	TXD1 / MOSI0			
N19		PT2		TIOCA1 / TIOCB1 / PO27				
N20		PT3		TIOCA0 / TIOCB0 / PO28	CTS2#	ENCIF09	IRQ11	
P1	VSS_USB							
P2	VDD33_USB							
P3	USB_RREF							
P5		P31			USB_VBUSEN			
P6	VCCQ33							
P15		P06	D6	MTIOC2B / TIOCB0				
P16		P07	D7	MTIOC2A / TIOCB1				

表1.7 機能別端子一覧（320ピンFBGA） (8 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
P18	TRACEDATA3	PE3	D11	MTIOC0D / TIOCB5	CTS1# / SSL01		IRQ3	
P19		PT0		TIOCA3 / TIOCB3 / PO25	SCK2	ENCIF07	IRQ0	
P20		PT1		TIOCA2 / TIOCB2 / PO26	RTS2#	ENCIF08		
R1	USB_DP							
R2	USB_DM							
R3		P30			CRXD0 / USB_VBUSIN			
R5		PN0		MTIOC8D	SSL10			
R6		PN2		MTIOC8B	MOSI1		IRQ10	
R7		PG0	A1	PO2				
R8		PG2	A3	PO4 / TOC0	RSPCK1			
R9		PG7	A8	PO9				
R10		PH2	A11	MTIOC2A / PO12				
R11		PH4	A13	PO14			IRQ4	
R12		PH6	A15	MTIOC7D	RTS0#			
R13		P23	A0 / DACK1	MTIC5U	TXD0			
R14		P27	A20	MTIOC8C / TIOCB0	RTS0#			
R15		P47	WE3#/ DQMUU/ AH#	MTIOC6C				
R16	VCCQ33							
R18	VCCQ33							
R19		PS6		TIOCA5 / TIOCB5 / PO23	RXD2	ENCIF06	IRQ14	
R20		PS7		TIOCA4 / TIOCB4 / PO24	TXD2			
T1	DVDD_USB							
T2	VDD33_USB							
T3		P32			USB_OVRCUR		IRQ10	
T5		PC6	DREQ0	TCLKC	SCL1 / CRXD0 / USB_VBUSIN			
T6		P37	WE1#/ DQMLU	PO1				
T7		P36	WE0#/ DQMLL	PO0				
T8		PG3	A4	PO5 / TIC1	MISO1			
T9		PG6	A7	TCLKB / PO8	SSL11			
T10		PH3	A12	MTIOC1B / PO13				
T11	VCCQ33							
T12		PH5	A14	PO15				
T13	VCCQ33							

表1.7 機能別端子一覧（320ピンFBGA） (9 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
T14		P26	A19 / DREQ1	MTIOC8D				
T15	VCCQ33							
T16	VSS							
T18	VSS							
T19	TRACEDATA0	PE0	D8	MTIOC1B / TIOCB2				
T20	TRACEDATA1	PE1	D9	MTCLKD / TIOCB3	SSL03			
U1		P60	TEND0		CTXD0 / SPBSSL			
U2		P63			SPBMO/SPBIO0			
U3		PN1		MTIOC8C / PO21	MISO1	ENCIF09		
U18	TRACECTL	P00	D0	MTIOC6A / TIOCA1				ADTRG1
U19		P04	D4	MTIOC3C / TIOCA5				
U20		P03	D3	MTIC5U / TIOCA4				
V1		P61	DACK0		CTXD1 / SPBIO3			
V2		P64			SPBMI/SPBIO1			
V3		PN3		MTIOC8A	RSPCK1			
V4		PN4		MTIOC6C / TIOCC6	SSL11		IRQ12	
V5		PC7		TIC0	SDA1 / CRXD1			
V6		PG1	A2	PO3				
V7		PG4	A5	PO6 / TOC1	MOSI1			
V8		PG5	A6	TCLKA / PO7	SSL10			
V9		PH0	A9	PO10				
V10		PH1	A10	MTIOC2B / PO11				
V11		PH7	A16	MTIC5W				
V12		P20	A17	MTCLKD				
V13		P21	CS0#	MTIC5V / TIOCB1	CTS0#		IRQ1	
V14	VSS							
V15		P45	CS2#					
V16		P46	CKE					
V17		PS2		MTIOC7C		SSIWS0		
V18		P05	D5	MTIOC3A				
V19		P01	D1	MTIC5W / TIOCA2				
V20		P02	D2	MTIC5V / TIOCA3				
W1		P62			SPBCLK			
W2		P65	DREQ0		SPBIO2			
W3		PN5		MTIOC6A / TIOCD9		ENCIF10	IRQ5	
W4		PN6		MTIOC3C / TIOCC9		MCLK3 / ENCIF11		

表1.7 機能別端子一覧（320ピンFBGA） (10 / 11)

ピン番号 320ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
W5		PP0	TEND0	POE8#		MCLK2		
W6		PP2		MTIOC0C / TCLKH		MCLK1		
W7		PP4		MTIOC0A		MCLK0		
W8	TRACECTL	PP6		TIOCA11	RXD1	ENCIF06		
W9	TRACECLK	PP7	DACK1	TCLKF / TCLKH	SCK1			
W10	TRACEDATA1	PR1	TEND1	POE4#	CTS1#	ENCIF08	IRQ9	
W11	TRACEDATA3	PR3		TIOCA10 / TIOCB10		ENCIF01		
W12	TRACEDATA5	PR5		TIOCA8 / TIOCB8		ENCIF03		
W13		P24	RD/WR#		RXD0		IRQ12	
W14		P22	RD#	MTIOC7B / TIOCD0	SCK0		IRQ2	
W15		P44	WAIT#	TCLKD	CTS0#		IRQ12	ADTRG0
W16		P43	WE2#/ DQMUL	MTIOC8B	USB_VBUSEN			
W17		PS1		MTIOC7B		SSISCK0	IRQ1	
W18		PS3		MTIOC7A		SSIRXD0		
W19		PS4		MTIOC6D		SSITXD0		
W20		PS5		MTIOC6B				
Y1	VSS							
Y2		P67	TEND0	GTIOC3B	CTXD0 / USB_OVRCUR		IRQ15	
Y3		P66	DACK0	GTIOC3A	CTXD1 / USB_VBUSEN		IRQ14	
Y4		PN7	DREQ0	MTIOC3A / TIOCD6		MDAT3 / ENCIF12		
Y5		PP1	DACK0	MTIOC0D		MDAT2		
Y6		PP3		MTIOC0B / TCLKC		MDAT1		
Y7		PP5		PO22		MDAT0		
Y8	VSS							
Y9	TRACEDATA0	PR0	DREQ1	TCLKE / TCLKG	TXD1	ENCIF07		
Y10	TRACEDATA2	PR2		TIOCA11 / TIOCB11	RTS1#	ENCIF00		
Y11	TRACEDATA4	PR4		TIOCA9 / TIOCB9		ENCIF02		
Y12	TRACEDATA6	PR6		TIOCA7 / TIOCB7		ENCIF04		
Y13	TRACEDATA7	PR7		TIOCA6 / TIOCB6		ENCIF05		
Y14		P25	A18 / TEND1	MTCLKC				
Y15		P41	BS#		SCK0			
Y16		P42		MTIOC7C	RXD0			
Y17		P40		MTIOC8A	TXD0			
Y18		PS0		MTIOC7D		AUDIO_CLK		
Y19	TRACECLK	P10	CKIO	TIOCA0			IRQ0	

表1.7　　機能別端子一覧（320ピンFBGA） (11 / 11)

ピン番号 320ピンFBGA	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, ECATC（注1）, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF, Encoder I/F）	割り込み	S12ADCa
Y20	VSS							

注1.　オプション

表1.8 機能別端子一覧（176ピンHLFQFP）(1 / 6)

ピン番号 176ピンHLQFP	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF）	割り込み	S12ADCa
1		PC3			ETH0_RXC / ETH0_RXDV / RXD4 / SCL0 / CRXD1			
2	VCCQ33							
3	VSS							
4	VDD							
5		P82		TIOCD3	ETH0_TXEN / ETH1_CRS / SCK4 / RTS3# / USB_OVRCUR			
6		P85			CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN		IRQ5	
7	ERROROUT#							
8		P35					NMI	
9	TRST#							
10	TDO	P33						
11	TDI	P34						
12	TMS							
13	TCK							
14	BSCANP							
15	VDD							
16	VSS							
17	MD2							
18	MD1							
19	PLLVDD1							
20	PLLVSS1							
21	OSCTH							
22	VCCQ33							
23	EXTAL							
24	XTAL							
25	VSS							
26	MD0							
27	PLLVDD0							
28	PLLVSS0							
29	RES#							
30	RSTOUT#							
31	VDD							
32	VSS							
33	VDD33_USB							
34	VSS_USB							
35	USB_RREF							

表1.8 機能別端子一覧（176ピンHLFQFP）(2 / 6)

ピン番号 176ピンHLQFP	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF）	割り込み	S12ADCa
36	USB_DM							
37	USB_DP							
38	VDD33_USB							
39	DVDD_USB							
40		P30			CRXD0 / USB_VBUSIN			
41		P60	TEND0		CTXD0 / SPBSSL			
42		P61	DACK0		CTXD1 / SPBIO3			
43	VCCQ33							
44		P62			SPBCLK			
45	VSS							
46		P63			SPBMO/SPBIO0			
47		P64			SPBMI/SPBIO1			
48		P65	DREQ0		SPBIO2			
49	VSS							
50	VDD							
51		P36	WE0#/ DQMLL	PO0				
52		P37	WE1#/ DQMLU	PO1				
53		PG0	A1	PO2				
54		PG1	A2	PO3				
55	VCCQ33							
56		PG2	A3	PO4 / TOC0	RSPCK1			
57		PG3	A4	PO5 / TIC1	MISO1			
58		PG4	A5	PO6 / TOC1	MOSI1			
59		PG5	A6	TCLKA / PO7	SSL10			
60		PG6	A7	TCLKB / PO8	SSL11			
61		PG7	A8	PO9				
62		PH0	A9	PO10				
63		PH1	A10	MTIOC2B / PO11				
64		PH2	A11	MTIOC2A / PO12				
65		PH3	A12	MTIOC1B / PO13				
66	VDD							
67	VSS							
68		PH4	A13	PO14			IRQ4	
69		PH5	A14	PO15				
70		PH6	A15	MTIOC7D	RTS0#			
71		PH7	A16	MTIC5W				
72		P24	RD/WR#		RXD0		IRQ12	
73		P21	CS0#	MTIC5V / TIOCB1	CTS0#		IRQ1	
74		P22	RD#	MTIOC7B / TIOCD0	SCK0		IRQ2	

表1.8 機能別端子一覧（176ピンHLFQFP）(3 / 6)

ピン番号 176ピンHLQFP	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF）	割り込み	S12ADCa
75		P23	A0 / DACK1	MTIC5U	TXD0			
76		P20	A17	MTCLKD				
77		P25	A18 / TEND1	MTCLKC				
78		P26	A19 / DREQ1	MTIOC8D				
79		P27	A20	MTIOC8C / TIOCB0	RTS0#			
80	VDD							
81	VSS							
82		P42		MTIOC7C	RXD0			
83		P40		MTIOC8A	TXD0			
84		P43	WE2#/ DQMUL	MTIOC8B	USB_VBUSEN			
85		P47	WE3#/ DQMUU/AH#	MTIOC6C				
86	VCCQ33							
87	TRACECLK	P10	CKIO	TIOCA0			IRQ0	
88	VSS							
89	TRACECTL	P00	D0	MTIOC6A / TIOCA1				
90		P01	D1	MTIC5W / TIOCA2				
91		P02	D2	MTIC5V / TIOCA3				
92	VCCQ33							
93		P03	D3	MTIC5U / TIOCA4				
94		P04	D4	MTIOC3C / TIOCA5				
95		P05	D5	MTIOC3A				
96		P06	D6	MTIOC2B / TIOCB0				
97		P07	D7	MTIOC2A / TIOCB1				
98	TRACEDATA 0	PE0	D8	MTIOC1B / TIOCB2				
99	TRACEDATA 1	PE1	D9	MTCLKD / TIOCB3	SSL03			
100	VSS							
101	TRACEDATA 2	PE2	D10	MTCLKC / TIOCB4	SSL02		IRQ2	
102	TRACEDATA 3	PE3	D11	MTIOC0D / TIOCB5	CTS1# / SSL01		IRQ3	
103	TRACEDATA 4	PE4	D12	MTIOC0B / TIOCC0	RTS1# / SSL00			
104	TRACEDATA 5	PE5	D13	MTIOC0C / TIOCC3	TXD1 / MOSI0			
105	TRACEDATA 6	PE6	D14	MTIOC0A / TIOCD0	RXD1 / MISO0		IRQ6	

表1.8 機能別端子一覧（176ピンHLFQFP）(4 / 6)

ピン番号 176ピンHLQFP	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF）	割り込み	S12ADCa
106	TRACEDATA7	PE7	D15	MTIOC7A / TIOCD3 / POE8#	SCK1 / RSPCK0			
107	VSS							
108	VDD							
109	TRACECLK	P70	D16	MTIOC6D	RTS1# / USB_OVRCUR		IRQ0	
110	TRACECTL	P71	D17	POE0# / POE10# / TOC2	SCK1			
111	TRACEDATA0	P72	D18	MTIOC1A / TIC2	TXD1	SSITXD0		
112	TRACEDATA1	P73	D19	MTCLKB	RXD1	SSIRXD0	IRQ3	
113	TRACEDATA2	P74	D20	MTCLKA	CTS1# / SSL03	SSISCK0		
114	TRACEDATA3	P75	D21	MTIOC4D / GTIOC2B	SSL00		IRQ13	
115	TRACEDATA4	P76	D22	MTIOC4B / GTIOC2A	SSL01	SSIWS0		
116	TRACEDATA5	P77	D23	MTIOC4C / GTIOC1B	RSPCK0			
117	TRACEDATA6	PA0	D24	MTIOC4A / GTIOC1A	MOSI0	MDAT3		
118	TRACEDATA7	PA1	D25	MTIOC3D / GTIOC0B	MISO0	AUDIO_CLK / MCLK3		
119	VSS							
120	VDD							
121		PA2	D26 / DREQ2	MTIOC3B / GTIOC0A	SSL02	MDAT2		
122		PA3	D27 / DACK2	GTETRG / TIOCA2	ETHSWSECOUT / SCK2	MCLK2		
123		PA4	D28 / TEND2	TIOCA3	ETH1_INT / RXD2	MDAT1		ADTRG0
124		PA5	D29	TIOCA4	ETH0_INT / ETH1_TXER / TXD2	MCLK1		
125		PA6	D30 / A21	GTIOC3A	CTS2#	MDAT0	IRQ6	
126	VCCQ33							
127		PA7	D31 / A22	MTIOC6B / GTIOC3B	RTS2#	MCLK0	IRQ7	
128	VDD							
129	VSS							
130		P13	RAS#	MTIOC4C / GTIOC1B				
131		P14	CAS#	MTIOC4A / GTIOC1A				
132		P15	CS3# / CKE	MTIOC3D / GTIOC0B				
133		P16	CS4# / CS2#	MTIOC3B / GTIOC0A				

表1.8 機能別端子一覧（176ピンHLFQFP）(5 / 6)

ピン番号 176ピンHLQFP	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF）	割り込み	S12ADCa
134		P17	CS5#		ETH1_TXER / PHYRESETOUT#			ADTRG0
135	VCCQ33							
136	VREFH0							
137	VREFL0							
138	AVSS0							
139	AVCC0							
140								AN000
141								AN001
142								AN002
143								AN003
144								AN004
145								AN005
146								AN006
147								AN007
148	VDD							
149	VSS							
150		P51			PHYLINK1 / RSPCK2		IRQ1	
151		P54			CLKOUT25M1 / MOSI2			
152		P56	BS#		ETH1_TXER			
153		PD5	A21	TIC0	ETH1_TXD3 / ETH0_TXD0 / SSL20	MCLK3		
154		PD6	A22	TIC1	ETH1_TXD2 / ETH0_TXD1 / MISO2	MCLK2		
155		PD7		MTIOC4D / GTIOC2B / TOC0	ETH1_TXD1			
156		P86		MTIOC4B / GTIOC2A / TOC1	ETH1_TXD0 / RSPCK2			
157		P87	A23	MTIOC4C / GTIOC1B	ETH1_TXC / ETH0_RXD0	MCLK1		
158		PF5		MTIOC4A / GTIOC1A / TIC2	ETH1_TXEN			
159	VCCQ33							
160	VDD							
161	VSS							
162		PF6		MTIOC3D / GTIOC0B / TOC2	ETH1_RXD0			
163		PB7		MTIOC3B / GTIOC0A / TOC3	ETH1_RXD1			
164		PC0	WAIT#	GTETRG	ETH1_RXD2 / SCL1	MDAT3		

表1.8 機能別端子一覧（176ピンHLFQFP）(6 / 6)

ピン番号 176ピンHLQFP	電源 クロック システム制御	I/O ポート	バス	タイマ （MTU3a, GPTa, TPUa, PPG, POE3, CMTW）	通信 （ETHERC, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB）	その他 （SSI, DSMIF）	割り込み	S12ADCa
165		PC1			ETH1_RXD3 / PHYLINK0 / SDA1	MDAT2	IRQ9	
166		PB0		MTCLKB / TCLKD / TIC3	ETH1_RXDV			
167		PB1		MTCLKA / TCLKC	ETH1_RXER / CTS4#			
168		PB2		MTIOC1A	ETH1_RXC / ETH0_RXD1 / SSL30	MDAT1		
169	VCCQ33							
170		PB3	CS1#		ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1	MCLK0	IRQ3	
171		PB4	A24		ETH1_COL / RXD3 / MOSI3 / ETH0_RXER	MDAT0		
172		PB5		TCLKB / POE0# / POE10#	ETH_MDIO / CTS3# / RSPCK3			
173	VSS							
174	VDD							
175		PB6		TCLKA	ETH_MDC / SCK3 / RTS4# / MISO3			
176		PC2			ETH0_TXC / ETH1_RXD2 / SDA0			

2. CPU

本 LSI には Cortex-R4、R-IN Engine 搭載製品には Cortex-R4 および Cortex-M3 が搭載されています。それぞれモジュールのリビジョンは r1p4（Cortex-R4）、r2p1（Cortex-M3）です。

2.1 概要

表2.1 CPUの仕様

項目		内容
Cortex-R4（r1p4）	最小命令実行時間	1命令1クロック
	アドレス空間	4Gバイト
	命令キャッシュサイズ	8Kバイト（ECC付き）
	データキャッシュサイズ	8Kバイト（ECC付き）
	密結合メモリ（TCM）サイズ	ATCM：512Kバイト（ECC付き） BTCM：32Kバイト（ECC付き）
	命令セット	Thumb®/Thumb-2をサポートするArmv7-Rアーキテクチャ
	データ配置	命令：リトルエンディアン データ：リトルエンディアン
	メモリ保護	メモリプロテクションユニット（MPU）
	FPU	• 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート • 32ビットシングルワードレジスタ：32ビット×32本 16本のダブルワードレジスタとしても使用可能：64ビット×16本
Cortex-M3（r2p1）（R-IN Engine搭載製品）	最小命令実行時間	1命令1クロック
	アドレス空間	4Gバイト
	命令セット	Thumb®/Thumb-2をサポートするArmv7-Mアーキテクチャ
	データ配置	命令：リトルエンディアン データ：リトルエンディアン
	メモリ保護	メモリプロテクションユニット（MPU）

詳細は、Arm 社より提供される以下のドキュメントを参照してください。

- Arm Architecture Reference Manual Armv7-A and Armv7-R edition Issue C
- Armv7-M Architecture Reference Manual

2.2 コンフィギュレーション情報

表 2.2 に本 LSI の Cortex-R4 に関する構成情報を示します。

表2.2 Cortex-R4の構成信号設定値

項目		設定値
エンディアン	CFGEE	0
	CFGIE	0
割り込み	CFGNMFI	1
例外ベクタ	TEINIT	0
	VINITHI	1
TCM構成	INITRAMA	1
	INITRAMB	1
	LOCZRAMA	1
	CFGATCMSZ[3:0]	Ah
	CFGBTCMSZ[3:0]	6h
	ENTCM1IF	0
	SLBTCMSB	1 （don’t care）
ECC等	PARECCENRAM[2:0]	000b
	ERRENRAM[2:0]	000b
	RMWENRAM[1:0]	00b
	PARLVRAM	0 （don’t care）

表 2.3 に本 LSI の Cortex-M3（R-IN Engine 搭載製品のみ）に関する構成情報を示します。

表2.3 Cortex-M3構成信号設定値

項目	設定値
BIGEND	0
DNOTITRANS	0
MPUDISABLE	0
STKALIGNINIT	1
DBGEN	1

2.3 CPU 制限事項

本 LSI に搭載している Cortex-R4 および Cortex-M3 の制限事項の詳細については、Arm 社ホームページにて公開されている情報を参照してください。

2.4 レジスタ説明

2.4.1 ATCM ウエイト制御レジスタ（SYTATCMWAIT）

SYTATCMWAIT レジスタは、ATCM のアクセスウエイトを制御するレジスタです。

このレジスタはレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ（PRCR）のビット 3 の書き込み保護を解除してください。詳細については**「11. レジスタライトプロテクション機能」**を参照してください。

アドレス A00B 0800h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATCMWAIT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	ATCMWAIT[1:0]	ATCMウエイト設定ビット （注1）（注2）	b1 b0 0 0：1-wait最適化あり 0 1：1-wait最適化なし 1 0：0-wait 1 1：設定禁止	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. CPUクロック周波数が450MHz/600MHzのときは“1-wait最適化あり”、または“1-wait最適化なし”に設定してください。
320ピンFBGAの場合、“0-wait”の設定は、CPUクロック周波数が150MHzまたは300MHzのときのみ設定可能です。
450MHz/600MHzのときは設定禁止です。
176ピンHLFQFPの場合、“0-wait”の設定は、CPUクロック周波数が150MHzのときのみ設定可能です。300MHz/450MHzのときは設定禁止です。

注2. ATCMWAIT[1:0]ビットの値が変化したときに、CPUなどバスマスタからATCMのアクセス（命令フェッチを含む）が行われた場合の動作を保証できません。CPUからのフェッチアクセスを防ぐため、本ビットを操作するときは必ずATCM以外のメモリ領域に配置されたプログラムから操作するようにしてください。

ATCMWAIT[1:0] ビット（ATCM ウエイト設定ビット）

ATCM のメモリアクセスウエイト数を指定するビットです。

“最適化あり”の場合、ATCM からの命令フェッチアドレスが連続しているとき、先行アドレスを先読みすることでメモリアクセスを実質 0-wait に高速化することが可能です。

2.4.2 セマフォ許可レジスタ（SYTSEMFEN）（R-IN Engine 搭載製品）

SYTSEMFEN レジスタは、セマフォレジスタ n（SYTSEMFn）のリードクリア機能を制御するレジスタです（n = 0 ～ 7）。

アドレス A00B 0920h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEMFEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEMFEN	セマフォ許可ビット	0：リードクリア機能無効 1：リードクリア機能有効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SEMFEN ビット（セマフォ許可ビット）

セマフォレジスタ n（SYTSEMFn）のリードクリア機能の有効、無効を指定するビットです。セマフォレジスタ（SYTSEMFn）を使用する場合は、“1” を設定してリードクリア機能を有効にしてください（n = 0 ～ 7）。

2.4.3 セマフォレジスタ n（SYTSEMFn, n = 0 ～ 7）（R-IN Engine 搭載製品）

SYTSEMFn レジスタは、メイン CPU（Cortex-R4）とサブ CPU（Cortex-M3）間の同期、排他制御としてセマフォを行うためのレジスタです。CPU 間で共通リソースを使用するときに、リソース状態の管理が可能です。

アドレス SYTSEMF0: A00B 0930h、SYTSEMF1: A00B 0934h、SYTSEMF2: A00B 0938h、SYTSEMF3: A00B 093Ch、SYTSEMF4: A00B 0940h、SYTSEMF5: A00B 0944h、SYTSEMF6: A00B 0948h、SYTSEMF7: A00B 094Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEMFn
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEMFn	セマフォビット n	0：リソース使用状態 1：リソース空き状態	R/W （注1）
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. リードクリア機能無効（SYTSEMFEN.SEMFEN ビット = “0”）時には読み出しをしても本ビットは“0”クリアされず、値を保持します。

SEMFn ビット（セマフォビット n）

CPU 間で共通に使用するリソースに対し、使用状態か空き状態にあるかを設定するビットです。本ビットへ “1” を書き込むと値を保持します。リードクリア機能有効（SYTSEMFEN.SEMFEN ビット = “1”）のときに、本ビットを読み出すと “0” クリアされます。

メイン CPU（Cortex-R4）とサブ CPU（Cortex-M3）間のセマフォ制御方法

あるリソース A に対するセマフォ制御として、セマフォレジスタ 0（SYTSEMF0）を使用する場合、

(1) メイン CPU の初期化ルーチンで SYTSEMFEN.SEMFEN ビットを “1”（リードクリア機能の有効）にセットします。
(2) セマフォレジスタ 0（SYTSEMF0）の SEMF0 ビットに “1”（リソース空き状態）をセットします。
(3) 例えばサブ CPU がリソース A を使用する場合は、サブ CPU はセマフォレジスタ 0（SYTSEMF0）を “1” が読み出しできるまでリードを繰り返します。
(4) ここではサブ CPU は “1” をリードしてリソース空き状態であることを確認します。
この動作によりセマフォレジスタ 0（SYTSEMF0）の SEMF0 ビットが “0” にクリアされます。
(5) サブ CPU が、リソース A を使用します。
この間に、もしメイン CPU がリソース A を使おうとした場合は、SYTSEMF0.SEMF0 ビットをリードすると “0”（サブ CPU がリソース A を使用中）が読み出されるため、メイン CPU はリードを繰り返してリソース使用待ち状態となります。
(6) サブ CPU がリソース A の使用を完了したときは、SYTSEMF0.SEMF0 ビットに “1” を書き込みリソース空き状態にします。
(7) (6) の後に、メイン CPU がリソース A を使おうとした場合は、SYTSEMF0.SEMF0 ビット = “1”（リソース空き状態）を読み出してリソース空き状態を確認してリソース A を使用します。この動作で SYTSEMF0.SEMF0 ビットが “0” にクリアされます。

2.5 使用上の注意事項

2.5.1 Cortex-M3 のリセット解除

RZ/T1 の電源投入後、および RES# 端子リセット、ECM リセット、ソフトウェアリセット後は Cortex-M3 および Cortex-M3 用 WDTA は、初期状態としてリセット状態です。

Cortex-M3 および Cortex-M3 用 WDTA を使用する場合は、ソフトウェアリセットレジスタ 2（SWRR2）を制御して、リセット解除をする必要があります。

詳細については、「6.2.3 ソフトウェアリセットレジスタ 2（SWRR2）（R-IN Engine 搭載製品）」を参照してください。

2.5.2 セマフォレジスタ n（SYTSEMFn, n = 0 ～ 7）制御時の注意点

例えば共有メモリに対するメモリ書き込みを行う場合、セマフォレジスタ n（SYTSEMFn）でリソース空きに設定をする前に、直前のメモリ書き込みは完了している必要があります。

これを守るため、セマフォレジスタ n のライト前に DMB 命令を実行してください（プログラム例を参照）。DMB 命令を実行することで直前のメモリ書き込みが完了した後に、セマフォレジスタ n のライトを行うことが可能です。

- プログラム例

```
asm(“dmb”);                                    // DMB 命令
SYSTEM.SYTSEMF0.BIT.SEMF0 = 1;
```

注 . プログラムの書式はコンパイラによって異なる場合がありますので、各社コンパイラのマニュアルを確認してください。

3.　動作モード

3.1　概要

本 LSI は、外付けフラッシュメモリからの起動を前提としており、フラッシュメモリに対応した動作モードとして 3 種類のブートモードを選択可能です。各ブートモードでは対応する外付けフラッシュメモリに格納されたユーザプログラムからブートして動作することが可能です。

セキュリティ機能対応品は、ユーザプログラム保護のため暗号化によるセキュアブートモードが選択可能です（注 1）。

注 1.　本機能については守秘契約を結んで頂いた上で開示致します。詳細は弊社営業担当にご確認ください。

3.2　動作モードの種類と選択

外付けフラッシュメモリへの接続方式により 3 種類の動作モードが選択可能です。動作モードは、端子リセット（ソフトウェアリセット 2 を除く）解除時のモード設定端子（MD2、MD1、MD0）の入力レベルによって選択されます。

リセット解除時のモード設定端子（MD2、MD1、MD0）の入力レベルと、その時選択される動作モードの関係を**表 3.1** に示します。各動作モードの詳細は**「3.5　動作モードの説明」**を参照してください。

表3.1　　モード設定端子（MD2、MD1、MD0）による動作モードの選択

モード設定端子			動作モード
MD2	MD1	MD0	
Low	Low	Low	SPI ブートモード（シリアル・フラッシュ） SPI マルチ I/O バス空間に接続されたシリアル・フラッシュメモリからブートします。
Low	High	Low	16 ビットバスブートモード（NOR フラッシュ） CS0 空間に接続された NOR フラッシュメモリ（バス幅 16 ビット）からブートします。
Low	High	High	32 ビットバスブートモード（NOR フラッシュ） CS0 空間に接続された NOR フラッシュメモリ（バス幅 32 ビット）からブートします。
上記以外			予約（設定禁止）

3.3　各動作モードで使用するハードウェアの情報

各動作モードで使用するハードウェアの情報を**表 3.2** に示します。

“使用端子”は各動作モードの実行に必要な端子です。これらの端子機能は、ブート時に自動設定されます。

表3.2　　各動作モードで使用するハードウェアの情報

動作モード	周辺モジュール	使用端子
SPI ブートモード（シリアルフラッシュ）	SPI マルチ I/O バスコントローラ（SPIBSC）	SPBCLK、SPBSSL SPBMO、SPBMI
16 ビットバスブートモード（NOR フラッシュ）	バスステートコントローラ（BSC）	A20～A1、D15～D0 CS0#、RD#
32 ビットバスブートモード（NOR フラッシュ）	バスステートコントローラ（BSC）	A20～A2、D31～D0 CS0#、RD#

3.4　レジスタの説明

3.4.1　モードモニタレジスタ（MDMONR）

モードモニタレジスタ（MDMONR）は MD2、MD1、MD0 端子の入力レベルを示すレジスタです。

アドレス　A00B 0A60h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MD2	MD1	MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1（注1）	0/1（注1）	0/1（注1）

ビット	シンボル	ビット名	機能	R/W
b0	MD0	MD0端子ステータスフラグ	0：MD0端子は“Low” 1：MD0端子は“High”	R
b1	MD1	MD1端子ステータスフラグ	0：MD1端子は“Low” 1：MD1端子は“High”	R
b2	MD2	MD2端子ステータスフラグ	0：MD2端子は“Low” 1：MD2端子は“High”	R
b31-b3	—	予約ビット	読むと“0”が読めます	R

注1.　リセット解除時の端子レベルにより異なります。詳細については「6.　リセット」を参照してください。

3.5　動作モードの説明

3.5.1　ブート機能

本 LSI はリセット解除後、ブート機能により以下のブート処理を行います。ブート処理によりあらかじめユーザが外部接続メモリに格納したローダプログラムを内蔵メモリである密結合メモリ（TCM）領域へ展開し、処理をローダプログラムの先頭番地へ移すことが可能です。

(1) モード設定端子（MD2、MD1、MD0）で指定されるバスコントローラ（SPIBSC、BSC）の設定
(2) 外部接続されたメモリからローダ用パラメータを読み出し、チェックサム実行
(3) バスコントローラ（SPIBSC、BSC）の高速化設定（ローダ用パラメータで指定）
(4) 外部接続されたメモリからローダプログラムを読み出し
(5) 密結合メモリ（TCM）に展開されたローダプログラムの先頭番地に分岐

ローダ用パラメータは、ローダプログラム情報や、ブート処理高速化のためのキャッシュ設定やバスコントローラ（SPIBSC、BSC）設定など、ユーザシステムに合わせた設定情報を持たせることが可能です。ローダ用パラメータはあらかじめユーザが外部接続メモリに格納する必要があります。

図 3.1 にブート処理の動作概要を示します。

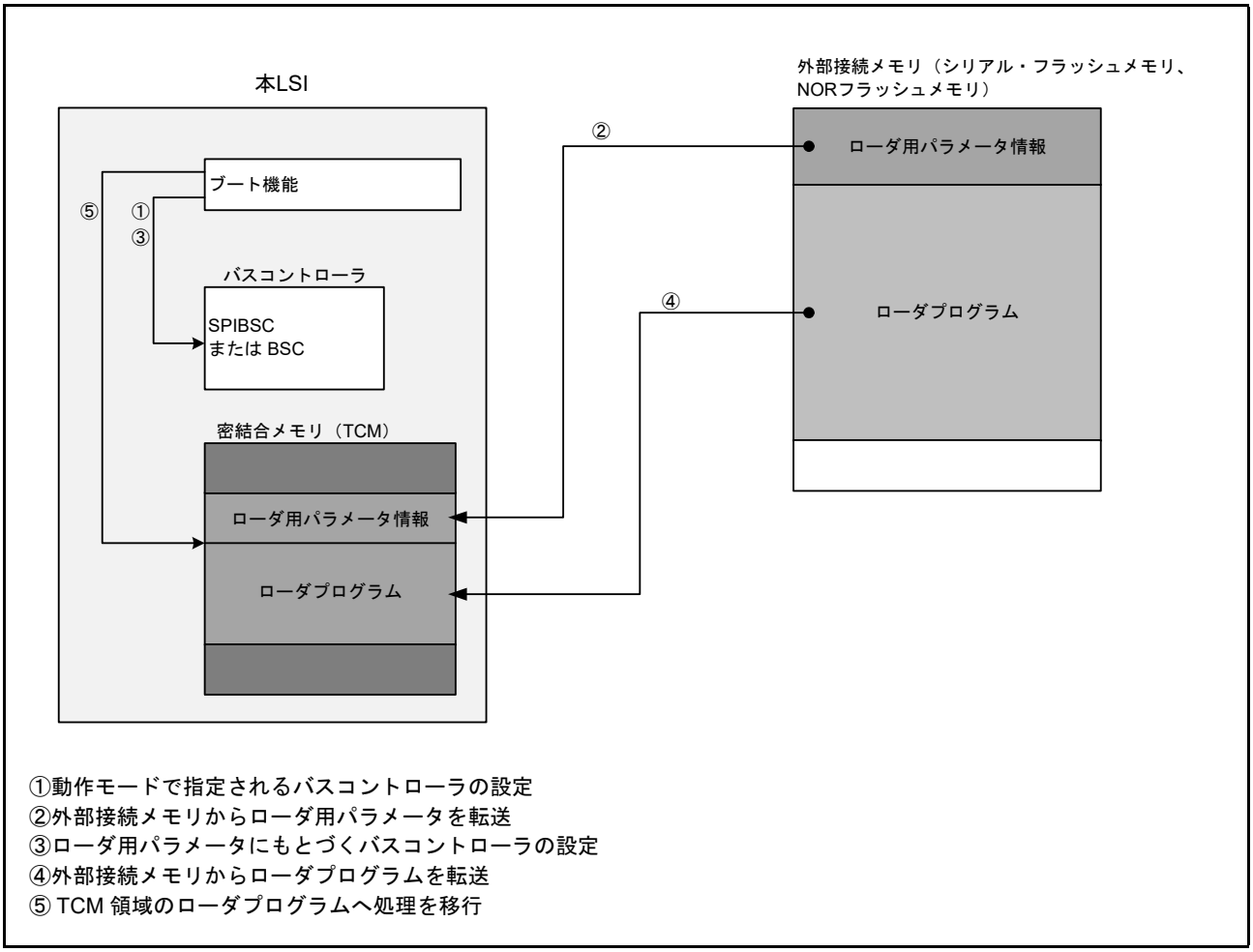
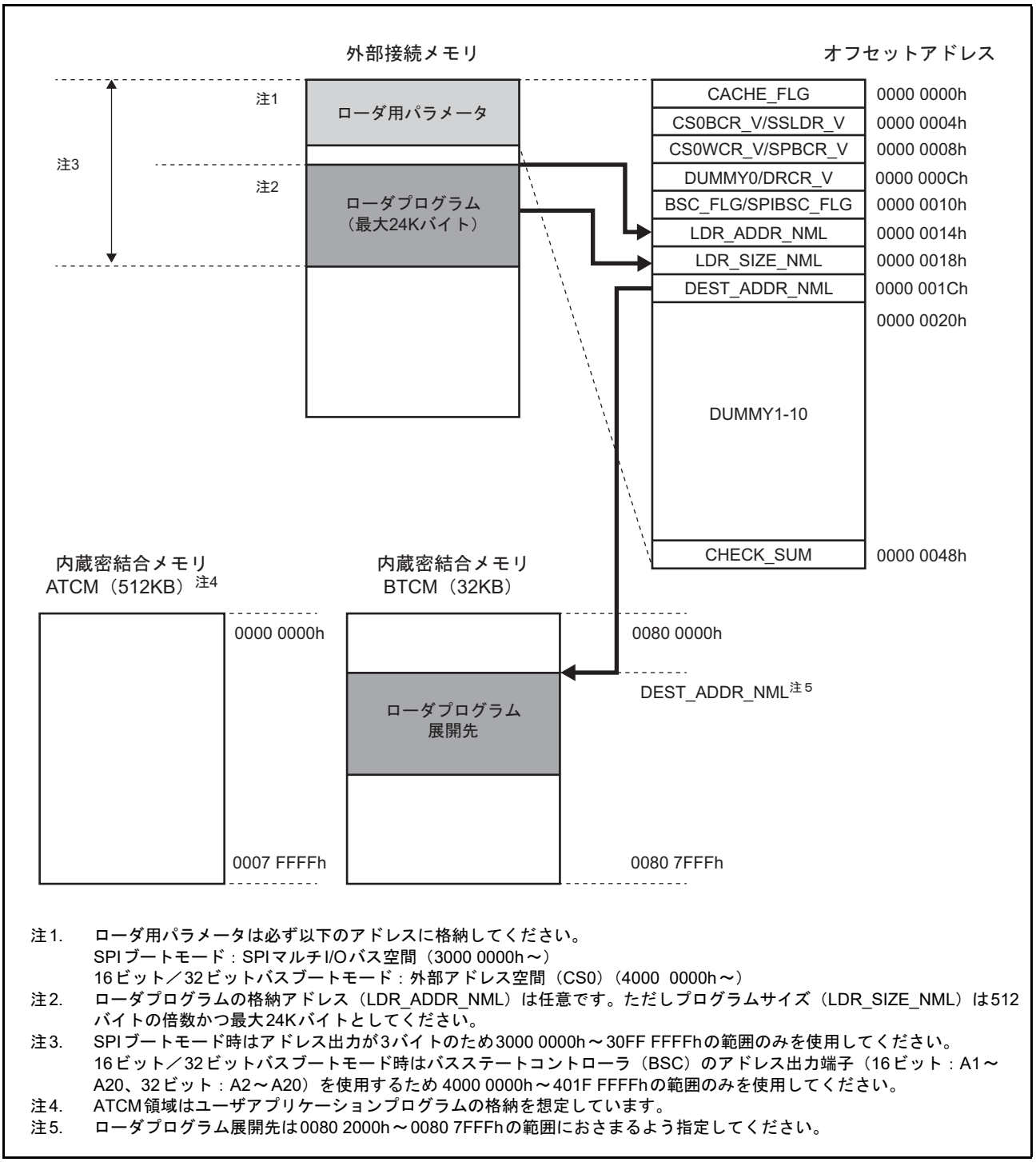


図 3.1　ブート処理の動作概要

3.5.2　ローダ用パラメータ

ローダ用パラメータはブート処理用の設定パラメータで、ブート処理時に外部接続メモリから読み出されてブート機能で使用されます。ローダ用パラメータには各動作モードにおけるブート処理時のキャッシュ設定や、外部メモリ通信用バスコントローラ（SPIBSC、BSC）の設定、ローダプログラムサイズ情報などを設定します。

図 3.2 にローダ用パラメータおよびローダプログラムのメモリ配置を示します。



注1.　ローダ用パラメータは必ず以下のアドレスに格納してください。
SPIブートモード：SPIマルチI/Oバス空間（3000 0000h～）
16ビット／32ビットバスブートモード：外部アドレス空間（CS0）（4000 0000h～）

注2.　ローダプログラムの格納アドレス（LDR_ADDR_NML）は任意です。ただしプログラムサイズ（LDR_SIZE_NML）は512バイトの倍数かつ最大24Kバイトとしてください。

注3.　SPIブートモード時はアドレス出力が3バイトのため3000 0000h～30FF FFFFhの範囲のみを使用してください。
16ビット／32ビットバスブートモード時はバスステートコントローラ（BSC）のアドレス出力端子（16ビット：A1～A20、32ビット：A2～A20）を使用するため 4000 0000h～401F FFFFhの範囲のみを使用してください。

注4.　ATCM領域はユーザアプリケーションプログラムの格納を想定しています。

注5.　ローダプログラム展開先は0080 2000h～0080 7FFFhの範囲におさまるよう指定してください。

図 3.2　　ローダ用パラメータ、ローダプログラム のメモリ配置

表 3.3 に 16 ビットバスブートモード、32 ビットバスブートモード時のローダ用パラメータ情報を、表 3.4 に SPI ブートモード時のローダ用パラメータ情報について示します。

表3.3　　16ビット／32ビットバスブートモード時のローダ用パラメータ情報

オフセット・アドレス	パラメータ名	内容
0000 0000h	CACHE_FLG	ブート処理時に、Cortex-R4のI1キャッシュとD1キャッシュをイネーブルにするか選択します（高速化）。 0000 0001h：I1、D1キャッシュをイネーブルにします。 上記以外の設定値：I1、D1キャッシュはディセーブルです。
0000 0004h	CS0BCR_V	CS0空間バスコントロールレジスタ（CS0BCR）の設定値 「3.5.1　ブート機能」の（3）にてBSCの高速化設定の際に、このパラメータ値がCS0BCRレジスタに設定されます。(注1)
0000 0008h	CS0WCR_V	CS0空間ウェイト制御レジスタ（CS0WCR）の設定値 「3.5.1　ブート機能」の（3）にてBSCの高速化設定の際に、このパラメータ値がCS0WCRレジスタに設定されます。(注1)
0000 000Ch	DUMMY0	任意（本モードでは使用されません。）
0000 0010h	BSC_FLG	ブート処理終了後に、BSC設定を初期値に戻すかどうかを選択します。 2236 0679h：ブート処理終了後に、BSC設定値を初期値に戻します。 上記以外の設定値：ブート処理で使用したBSC設定値を保持します。(注2)
0000 0014h	LDR_ADDR_NML	外部接続メモリ内に格納されたローダプログラムの先頭アドレスを設定します。(注3)
0000 0018h	LDR_SIZE_NML	ローダプログラムのプログラムサイズを指定します。プログラムサイズは512バイトの倍数かつ、最大24Kバイトとしてください。(注3)
0000 001Ch	DEST_ADDR_NML	ローダプログラムの展開先である密結合メモリ（BTCM）の先頭アドレスを設定します。ローダプログラムは0080 2000h～0080 7FFFhの範囲におさまるよう指定してください。
0000 0020h	DUMMY1	任意（本モードでは使用されません。）
0000 0024h	DUMMY2	任意（本モードでは使用されません。）
0000 0028h	DUMMY3	任意（本モードでは使用されません。）
0000 002Ch	DUMMY4	任意（本モードでは使用されません。）
0000 0030h	DUMMY5	任意（本モードでは使用されません。）
0000 0034h	DUMMY6	任意（本モードでは使用されません。）
0000 0038h	DUMMY7	任意（本モードでは使用されません。）
0000 003Ch	DUMMY8	任意（本モードでは使用されません。）
0000 0040h	DUMMY9	任意（本モードでは使用されません。）
0000 0044h	DUMMY10	任意（本モードでは使用されません。）
0000 0048h	CHECK_SUM	ローダ用パラメータのチェックサム値 オフセットアドレス 0000h～0044hの各パラメータ値を上位16ビットと下位16ビットに分けて、unsigned long（32ビット）型で合計した値を指定します（注4）。

注1.　CS0BCR、CS0WCRレジスタの詳細は「14.　バスステートコントローラ」を参照してください。
注2.　ブート処理終了後の各周辺モジュールの設定状態については、「3.5.5.1　16ビット／32ビットバスブートモードにおける動作設定」を参照してください。
注3.　LDR_ADDR_NMLは外部アドレス空間（CS0）内の4000 004Ch以上、かつLDR_ADDR_NML+LDR_SIZE_NML≦4020 0000hにおさめてください。
注4.　CHECK_SUMの計算例を以下に示します。
CS0BCR_V　　= 36DB 0C00h,
CS0WCR_V　　= 0000 0340h,
LDR_ADDR_NML　= 4000 004Ch,
LDR_SIZE_NML　= 0000 6000h,
DEST_ADDR_NML　= 0080 2000h,
上記以外　　= 0000 0000h の場合、CHECK_SUMは以下のように計算します。
（以下では (0000h)　は省略します）
CHECK_SUM = (36DBh)+(0C00h)+(0340h)+(4000h)+(004Ch)+(6000h)+(0080h)+(2000h) = (0001 06E7h)

表3.4　　SPIブートモード時のローダ用パラメータ情報

オフセット・アドレス	パラメータ名	内容
0000 0000h	CACHE_FLG	ブート処理時に、Cortex-R4のI1キャッシュとD1キャッシュをイネーブルにするか選択します（高速化）。 0000 0001h：I1、D1キャッシュをイネーブルにします。 上記以外の設定値：I1、D1キャッシュはディセーブルです。
0000 0004h	SSLDR_V	SSL遅延レジスタ（SSLDR）の設定値 「3.5.1　ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がSSLDRレジスタに設定されます。（注1）
0000 0008h	SPBCR_V	ビットレート設定レジスタ（SPBCR）の設定値 「3.5.1　ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がSPBCRレジスタに設定されます。（注1）
0000 000Ch	DRCR_V	データリードコントロールレジスタ（DRCR）の設定値 「3.5.1　ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がDRCRレジスタに設定されます。（注1）
0000 0010h	SPIBSC_FLG	ブート処理終了後に、SPIBSC設定を初期値に戻すかどうかを選択します。 2236 0679h：ブート処理終了後に、SPIBSC設定値を初期値に戻します。 上記以外の設定値：ブート処理で使用したSPIBSC設定値を保持します。 （注2）
0000 0014h	LDR_ADDR_NML	外部接続メモリ内に格納されたローダプログラムの先頭アドレスを設定します。 （注3）
0000 0018h	LDR_SIZE_NML	ローダプログラムのプログラムサイズを指定します。プログラムサイズは512バイトの倍数かつ、最大24Kバイトとしてください。（注3）
0000 001Ch	DEST_ADDR_NML	ローダプログラムの展開先である密結合メモリ（BTCM）の先頭アドレスを設定します。ローダプログラム展開先は0080 2000h～0080 7FFFhの範囲におさまるよう指定してください。
0000 0020h	DUMMY1	任意（本モードでは使用されません。）
0000 0024h	DUMMY2	任意（本モードでは使用されません。）
0000 0028h	DUMMY3	任意（本モードでは使用されません。）
0000 002Ch	DUMMY4	任意（本モードでは使用されません。）
0000 0030h	DUMMY5	任意（本モードでは使用されません。）
0000 0034h	DUMMY6	任意（本モードでは使用されません。）
0000 0038h	DUMMY7	任意（本モードでは使用されません。）
0000 003Ch	DUMMY8	任意（本モードでは使用されません。）
0000 0040h	DUMMY9	任意（本モードでは使用されません。）
0000 0044h	DUMMY10	任意（本モードでは使用されません。）
0000 0048h	CHECK_SUM	ローダ用パラメータのチェックサム値 オフセットアドレス 0000h～0044hの各パラメータ値を上位16ビットと下位16ビットに分けて、unsigned long（32ビット）型で合計した値を指定します。 （注4）

注1.　SSLDR、SPBCR、DRCRレジスタの詳細は「37.　SPI マルチI/O バスコントローラ（SPIBSC）」を参照してください。
注2.　ブート処理終了後の各周辺モジュールの設定状態については、「3.5.4.1　SPIブートモードにおける動作設定」を参照してください。
注3.　LDR_ADDR_NMLは外部アドレス空間（SPI）内の3000 004Ch以上、かつLDR_ADDR_NML+LDR_SIZE_NML≦3100 0000hにおさめてください。
注4.　CHECK_SUMの計算例を以下に示します。
SSLDR_V　　= 0007 0707h,
SPBCR_V　　= 0000 0003h,
LDR_ADDR_NML　= 3000 004Ch,
LDR_SIZE_NML　= 0000 6000h,
DEST_ADDR_NML = 0080 2000h,
上記以外　　= 0000 0000h の場合、CHECK_SUMは以下のように計算します。
（以下では (0000h)　は省略します）
CHECK_SUM = (0007h)+(0707h)+(0003h)+(3000h)+(004Ch)+(6000h)+(0080h)+(2000h) = (0000 B7DDh)

3.5.3　ローダプログラム

ローダプログラムはブート機能により外部接続メモリから内部の密結合メモリ（TCM）へ転送され、ブート処理終了後に処理を開始するユーザプログラムです。外部接続メモリからユーザアプリケーションプログラムを内部 TCM 領域へ展開し高速実行するなど、ユーザシステムに応じた処理を行うことが可能です。

ローダプログラムは必ず以下になるよう設定してください。

- プログラムサイズ（LDR_SIZE_NML）：512 バイトの倍数、かつ最大 24K バイト
- 16 ビットバスブートモードおよび 32 ビットバスブートモード時の外部メモリ内の格納アドレス（LDR_ADDR_NML）：A1 ～ A20（16 ビット）、A2 ～ A20（32 ビット）のアドレス範囲
- SPI ブートモード時の外部メモリ内の格納アドレス（LDR_ADDR_NML）：3000 004Ch 以上かつ、LDR_ADDR_NML+LDR_SIZE_NML ≦ 3100 0000h のアドレス範囲

この設定値はローダ用パラメータとして同じく外部接続メモリに格納する必要があります。詳細は**「3.5.2　ローダ用パラメータ」**を参照してください。

3.5.4　SPI ブートモード（シリアルフラッシュ）

SPI ブートモードは、SPI マルチ I/O バス空間に接続された外付けシリアルフラッシュメモリからブートします。

本モードでは SPI マルチ I/O バスコントローラが外部アドレス空間リードモードに設定され、SPBCLK、SPBSSL、SPBMO、SPBMI の端子機能が有効となります。

リセット解除後、ブート処理を実行して SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリに格納されているローダプログラムを内蔵メモリ（TCM）へ展開して処理を実行します。

図 3.3 にシリアルフラッシュメモリとの接続図を示します。

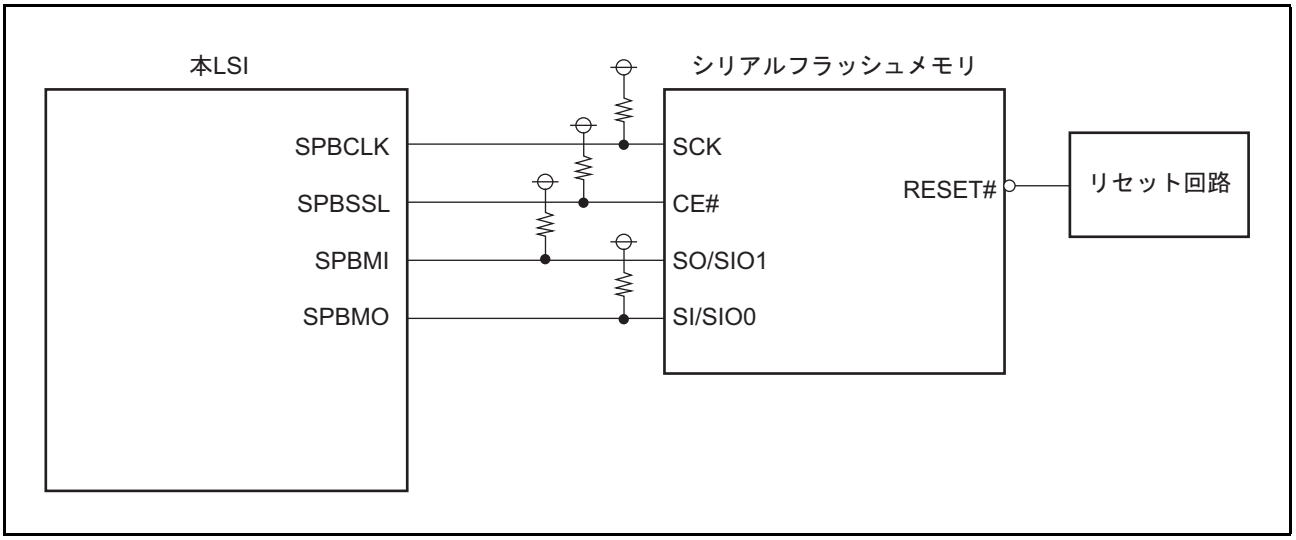


図 3.3　シリアルフラッシュメモリとの接続図

3.5.4.1　SPI ブートモードにおける動作設定

リセット解除後に SPI ブートモードでブート処理を開始した直後は、以下の初期設定値で動作しローダ用パラメータの転送までを行います。

- CPU クロック（CPUCLK）：150MHz
- SPIBSC ビットレート（SPBCLK）：18.75MHz
- 対応コマンド：Read（03h）
- アドレス出力：3 バイト
- ダミーサイクル：なし
- データリード幅：1 ビット
- SPI モード：CPOL = 0（正パルス）、
  CPHAR = 0（奇数エッジでデータ受信）、
  CPHAT = 0（偶数エッジでデータ送信）

ローダ用パラメータ読み込み後は、パラメータ CACHE_FLG、SSLDR_V、SPBCR_V、DRCR_V の値にもとづき Cortex-R4 の I1 キャッシュ、D1 キャッシュ設定と SSLDR、SPBCR、DRCR レジスタの設定が行われ、処理の高速化を図ることが可能です。

SPI ブートモード終了時の各周辺モジュール／レジスタの設定値について**表 3.5** に示します。

また、**表 3.6** にブート処理終了時の Arm 汎用レジスタ設定値を、**表 3.7** にブート終了時の Arm CP15 レジスタの状態を示します。

表3.5　SPI ブートモード終了時の各周辺モジュール／レジスタの設定値

周辺モジュール	レジスタ	ブート処理終了時の設定値	
		SPIBSC を初期化設定 （SPIBSC_FLG = 2236 0679h）	SPIBSC を初期化しない設定 （SPIBSC_FLG ≠ 2236 0679h）
低消費電力	MSTPCRC	0000 7DFEh（初期値）	0000 7DFEh
SPIBSC	SSLDR	0007 0707h（初期値）	SSLDR_V の設定値
	SPBCR	0000 0003h（初期値）	SPBCR_V の設定値
	DRCR	0000 0000h（初期値）	DRCR_V の設定値
I/O ポート	PORT6 .PMR	1Dh（注1）	1Dh（注1）
	MPC.PmnPFS	1Bh（注1）	1Bh（注1）

注1.　SPBCLK、SPBSSL、SPBMI、SPBMO 端子の対応ビット

表3.6　　ブート処理終了時のArm 汎用レジスタ設定値

No.	レジスタ名	各プロセッサモードにおける設定値					
		ユーザモード／現在のモード	IRQ	FIQ	Undef	Abort	SVC
1	R0	不定値	—	—	—	—	—
2	R1	不定値	—	—	—	—	—
3	R2	不定値	—	—	—	—	—
4	R3	不定値	—	—	—	—	—
5	R4	不定値	—	—	—	—	—
6	R5	不定値	—	—	—	—	—
7	R6	不定値	—	—	—	—	—
8	R7	不定値	—	—	—	—	—
9	R8	不定値	—	不定値	—	—	—
10	R9	不定値	—	不定値	—	—	—
11	R10	不定値	—	不定値	—	—	—
12	R11	不定値	—	不定値	—	—	—
13	R12	不定値	—	不定値	—	—	—
14	R13(sp)	不定値	不定値	不定値	不定値	不定値	不定値
15	R14(lr)	不定値	不定値	不定値	不定値	不定値	不定値
16	R15(pc)	任意	—	—	—	—	—
17	cpsr	xxxx xx93h（[31:8]は不定値） [7]I = 1 [6]F = 0（注1） [5]T = 0 [4:0]MD = 10011b(SVC)	—	—	—	—	—
18	spsr	—	不定値	不定値	不定値	不定値	不定値

—：存在しないレジスタ

sp：スタックポインタ

lr：リンクレジスタ（サブルーチンコールを呼び出す時に復帰アドレスを格納）

pc：プログラムカウンタ

cpsr：current program status register の略。内部動作のモニタ／制御

spsr：saved program status register の略。前のモードの cpsr を保存

注1.　本製品ではノンマスカブル割り込みがFIQ に割り当ててあります。ブート処理終了後にノンマスカブル割り込みを有効とするためブート処理内でCPSR レジスタの[6]F ビットを1 ⇒ 0に設定します。

注.　ブート処理内でCPSR レジスタの[6]F ビット= 0に設定後、ローダプログラムへの分岐までにノンマスカブル割り込み（FIQ例外）が発生した場合には、FIQ例外ハンドラアドレスへ分岐後に無限ループします。詳細については「3.5.8　注意事項」を参照してください。

表3.7　　ブート終了時のArm CP15レジスタの状態

レジスタ名	シンボル	ブート終了時の設定値	備考
システム制御レジスタ	SCTLR	09E5 2878h（注1）	[24]VE = 1： IRQ例外ベクタアドレスをVICで設定
システム制御補助レジスタ	ACTLR	0E00 0020h （ATCM, BTCM使用時）	TCMはECCイネーブル ATCM, BTCMの全領域は、ブート処理時に32ビットで書き込み処理され初期化されます。
Invalidate all Instruction Caches Register	—	—	ブート処理終了後もI1キャッシュエントリは無効化しません。
Invalidate all Data Caches Register	—	—	ブート処理終了後もD1キャッシュエントリは無効化しません。
MPU Memory Region Number Register	RGNR	0000 0000h	ローダ用パラメータでキャッシュを有効とした場合でも、MPU設定はすべて初期化します。
Data Region Base Address Register	DRBAR	0000 0000h	
Data Region Size and Enable Register	DRSR	0000 0000h	
Data Region Access Control Register	DRACR	0000 0000h	

注1.　ブート処理終了時はV[13] = 1のハイベクタ（FFFF 0000h）状態です。ローダプログラムで、ロウベクタ（0000 0000h）に適切な処理を書き込んだ後に、V[13] = 0のロウベクタ（0000 0000h）状態に変更してください。

3.5.5　16 ビット／32 ビットバスブートモード（NOR フラッシュメモリ）

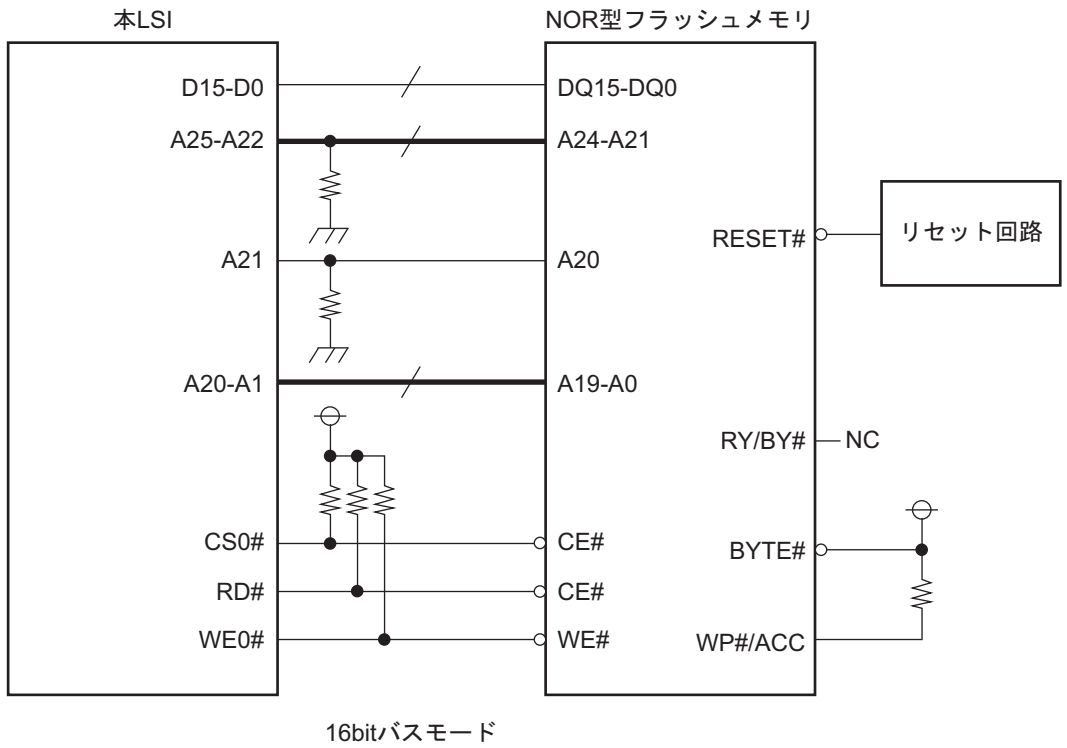
16 ビットバスブートモードおよび 32 ビットバスブートモードは、外部アドレス空間（CS0）に接続された外部 NOR フラッシュメモリからブートします。バス幅はそれぞれのモードで 16 ビット、32 ビットに固定です。

16 ビットバスブートモードではバスステートコントローラの A20 ～ A1、D15 ～ D0、CS0#、RD# の端子機能が有効となります。

32 ビットバスブートモードではバスステートコントローラの A20 ～ A2、D31 ～ D0、CS0#、RD# の端子機能が有効となります。

リセット解除後、ブート処理を実行して CS0 空間に接続された NOR フラッシュメモリに格納されているローダプログラムを内蔵メモリ（TCM）へ展開して処理を実行します。

図 3.4 に NOR フラッシュメモリとの接続図を示します。



注. 32ビットバスモードでは、フラッシュメモリ2個を使用します。この場合、D31-16を2つめのフラッシュメモリ側に接続します。またアドレスもA2をA0に接続します。

図 3.4 NOR フラッシュメモリとの接続図

3.5.5.1　16 ビット／32 ビットバスブートモードにおける動作設定

リセット解除後に 16 ビット／32 ビットバスブートモードでブート処理を開始すると、以下の設定値でブート処理を行います。

- CPU クロック（CPUCLK）：150MHz
- 外部バスクロック（CKIO）：50 MHz

ローダ用パラメータ読み込み後は、パラメータ CACHE_FLG、CS0BCR_V、CS0WCR_V の値にもとづき Cortex-R4 の I1 キャッシュ、D1 キャッシュ設定と CS0BCR、CS0WCR レジスタの設定が行われ、処理の高速化を図ることが可能です。

16 ビット／32 ビットバスブートモード終了時の各周辺モジュール／レジスタの設定値について**表 3.8** に示します。

ブート処理終了時の Arm 汎用レジスタ設定値と、Arm CP15 レジスタの状態は SPI バスブートモード時と同じです。詳細については**表 3.6**、**表 3.7** を参照してください。

表3.8　16ビット／32ビットバスブートモード終了時の各周辺モジュール／レジスタの設定値

周辺モジュール	レジスタ	ブート処理終了時の設定値	
		BSCを初期化設定 （BSC_FLG = 2236 0679h）	BSCを初期化しない設定 （BSC_FLG ≠ 2236 0679h）
低消費電力	MSTPCRC	0000 7F7Eh	0000 7F7Eh（初期値）
BSC	CS0BCR	36DB 0C00h（初期値）	CS0BCR_Vの設定値
	CS0WCR	0000 0500h（初期値）	CS0WCR_Vの設定値
I/Oポート	PORTn.PMR	対応ビットのみ1（注1）	対応ビットのみ1（注1）
	MPC.PmnPFS	22h（注1）	22h（注1）

注1.　16ビットバスブートモード時は、A1～A20端子、D0～D15端子、RD#端子、CS0#端子の対応ビット、
32ビットバスブートモード時は、A2～A20端子、D0～D31端子、RD#端子、CS0#端子の対応ビット

3.5.6　MPU 設定

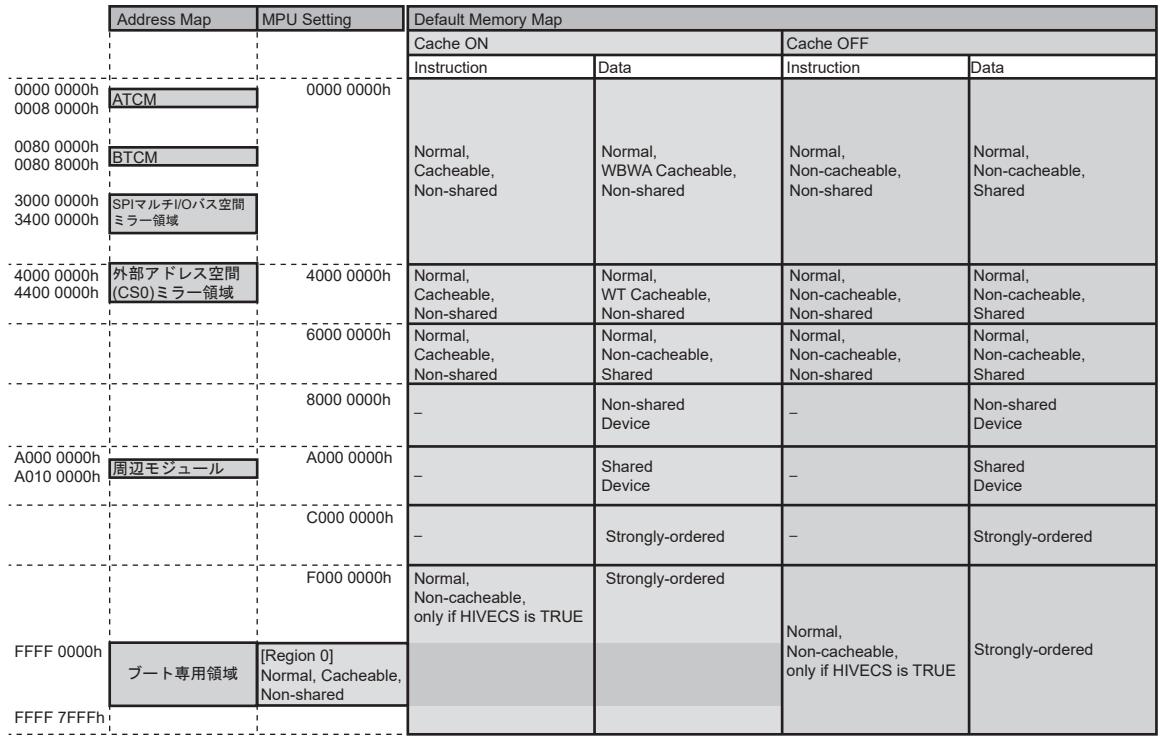
ブート機能では、ローダ用パラメータ CACHE_FLG = 0000 0001h と設定されていた場合、Cortex-R4 の一次命令（I1）キャッシュと、一次データ（D1）キャッシュを使用します。

ただしブート機能で使用するブート専用領域（FFFF 0000h ～ FFFF 7FFFh）は Cortex-R4 のデフォルトメモリマップで非キャッシュ領域とされているため、ブート処理時に MPU（メモリ保護ユニット）でキャッシュ領域に再定義がされます。

ブート機能では、ハイベクタ領域（FFFF 0000h ～ FFFF 7FFFh）を Region0 のキャッシュ領域として定義し、その他の領域はデフォルトメモリマップで使用します。

ブート処理終了時には、I1 キャッシュ、D1 キャッシュを無効化し、全領域をデフォルトメモリマップに初期化します。

図 3.5 にブート処理中のメモリマップ定義と Cortex-R4 のデフォルトメモリマップの関係を示します。



注1.　SCTLR[17] BR = 1に設定されるため、Region を定義していない領域はデフォルトメモリマップが適用されます。

図 3.5　ブート処理中のメモリマップ定義と Cortex-R4 のデフォルトメモリマップの関係

3.5.7　ブート関連情報とエラー処理

ブート機能はブート処理が正常終了したかどうかを判定し、ブート処理結果として特定アドレスに保持します。エラーと判定された場合はブート処理を中断し、無限ループ処理を実行します。

デバッガを接続しブレーク中に特定アドレスに格納されたブート処理結果を読み出すことで、エラー要因を特定することが可能です。

表 3.9 にエラー要因とブート処理結果の一覧を示します。

表3.9　エラー要因とブート処理結果一覧

格納アドレス（注1）	格納値（注1）	エラー要因とブート処理結果
0080 09C4h	0	ブート処理は正常終了
	-1	モードエラー発生 モードモニタレジスタ（MDMONR）の読み出し値が設定禁止の場合
	-2	ローダ用パラメータチェックサムエラー ローダ用パラメータのチェックサム（CHECK_SUM）が一致しない場合
	-3	ローダ用パラメータエラー 以下のいずれかの場合 －ローダプログラムサイズが512バイト未満 －ローダプログラムサイズが24Kバイトを超える －ローダプログラムサイズが512バイトの倍数でない －ローダプログラムの転送先アドレスが、転送先のTCM領域外

注1.　アクセスサイズは32ビットです。

3.5.8 注意事項

3.5.8.1 例外処理

ブート処理中は RES# 端子リセットによるリセット例外のみが受け付け可能です。リセット例外が発生すると本 LSI はリセットされ、ブート処理を再開します。リセット例外以外の例外処理が発生した場合、発生した例外ハンドラアドレスへのジャンプ命令による無限ループ処理を繰り返します。

表3.10 ブート処理中の例外処理内容

例外	ハンドラアドレス	ブート処理中の動作
リセット例外	FFFF 0000h	リセット例外ハンドラへ分岐
未定義命令例外	FFFF 0004h	未定義命令例外ハンドラへ分岐（無限ループ）
ソフトウェア割り込み例外	FFFF 0008h	ソフトウェア割り込み例外ハンドラへ分岐（無限ループ）
プリフェッチアボート例外	FFFF 000Ch	プリフェッチアボート例外ハンドラへ分岐（無限ループ）
データアボート例外	FFFF 0010h	データアボート例外ハンドラへ分岐（無限ループ）
IRQ例外	FFFF 0018h	IRQ例外ハンドラへ分岐（無限ループ）
FIQ例外	FFFF 001Ch	FIQ例外ハンドラへ分岐（無限ループ）

注. ブート処理中終了まではSCTLR V[13] = 1のハイベクタ（FFFF 0000h）状態です。ローダプログラムで、ロウベクタ（0000 0000h）に適切な処理を書き込んだ後に、V[13] = 0のロウベクタ（0000 0000h）状態に変更してください。

3.5.8.2 SPI ブートモード使用時のシリアルフラッシュについて

SPI ブートモードでは、リセット解除後に「3.5.4.1 SPI ブートモードにおける動作設定」に示す初期設定値で SPI マルチ I/O バスコントローラ（SPIBSC）を介してシリアルフラッシュに対し読み出しを行いブートします。

ブート終了後に SPIBSC 経由でシリアルフラッシュの設定を変更することが可能ですが、設定によってはリセットにより再度ブートする際にシリアルフラッシュからの読み出しが行えない場合があるため注意が必要です。

本 LSI の RES# 端子リセット入力が発生する場合は、同じリセット信号をシリアルフラッシュのリセット端子に入力することでシリアルフラッシュの初期化が可能です。このためシリアルフラッシュにはリセット端子を備えている製品を推奨します。ただし、小ピンのシリアルフラッシュにはリセット端子と他の端子機能を兼用している場合もあるため、設定変更によりリセット端子が無効とならないよう注意が必要です。

また、ソフトウェアリセットや ECM リセットなどの内部リセットを発生させる場合には、あらかじめソフトウェアにてシリアルフラッシュがブート処理時に接続可能な設定に初期化する必要があります。

4.　アドレス空間

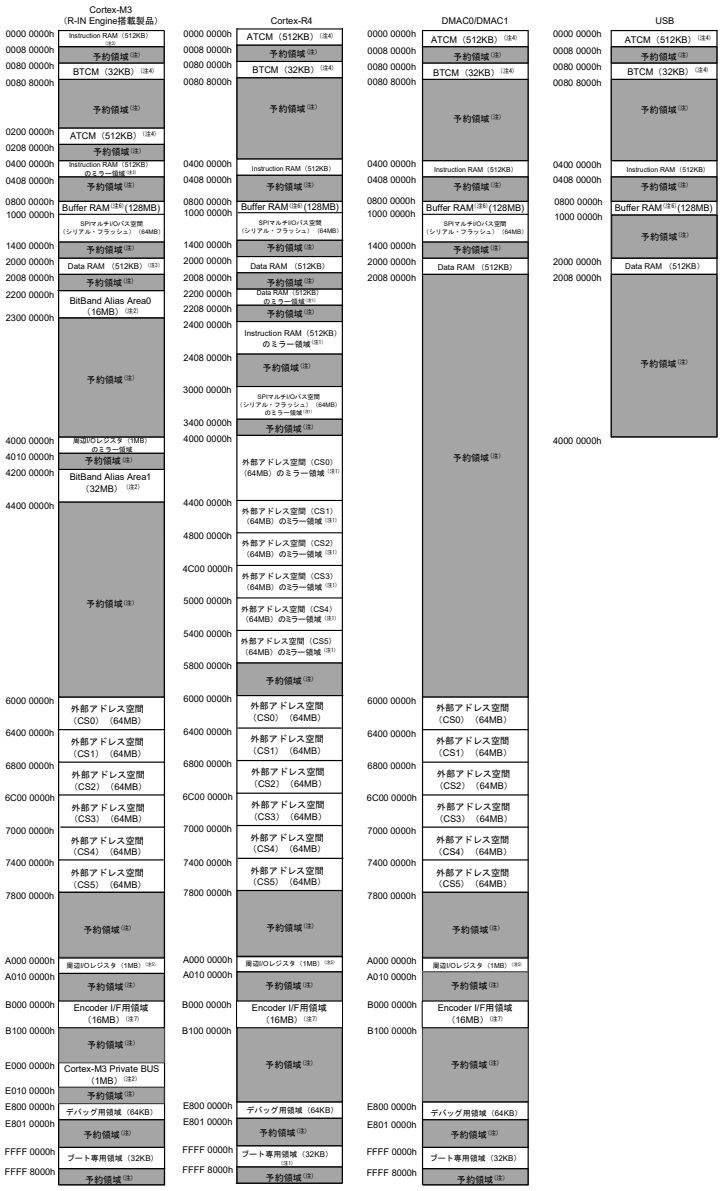
4.1　アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1、**図 4.2**、**図 4.3** に製品ごと、各バスマスタのメモリマップを示します。

アクセスできる領域は動作モードや各制御ビットの状態によって違います。

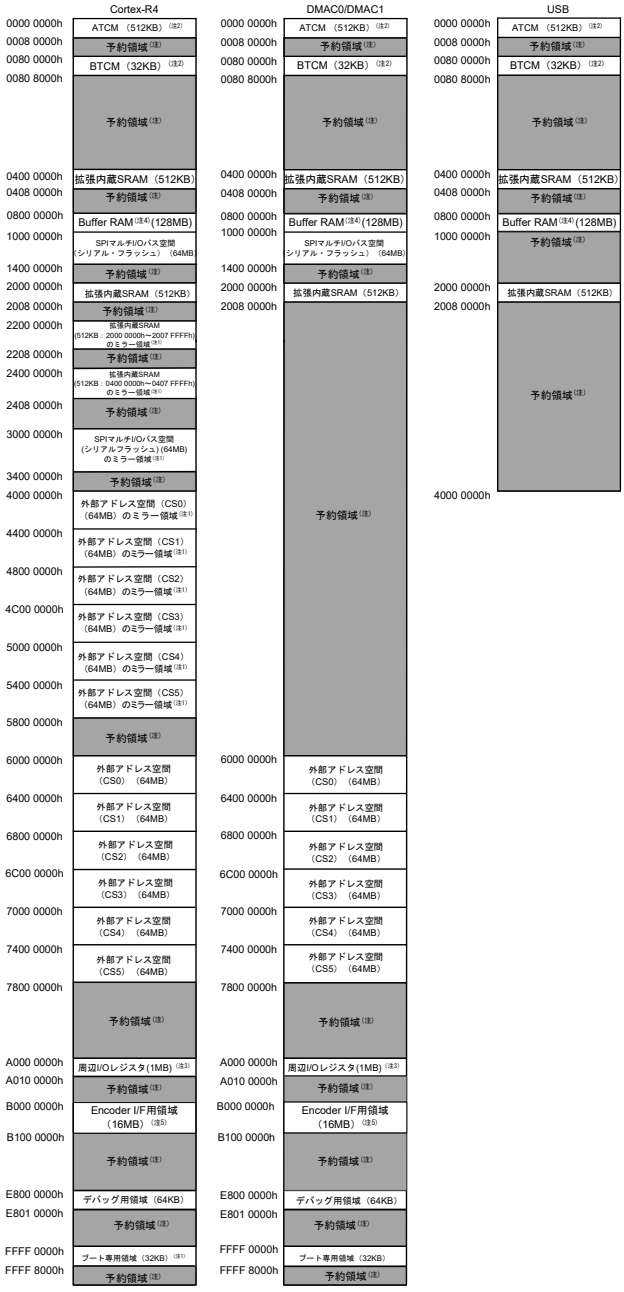
また、本製品では、各バスマスタからの非キャッシュアクセス領域を同じ領域に割り当てるため、Cortex-R4 からのアクセスは、ミラー領域をキャッシュ有効領域としています。ミラー領域以外に対しては、MPU でキャッシュを有効にしないでください。



注 1.　Cache 対象（それ以外の領域は、MPU でキャッシュを有効にしないでください。）
注 2.　Cortex-M3 からのみアクセス可能な空間。BitBand Alias Area0 が Data RAM、BitBand Alias Area1 が 周辺 I/O レジスタの領域に相当します。
注 3.　Cortex-M3 SRAM 空間（Extra-RAM)
注 4.　Cortex-R4 密結合メモリ空間
注 5.　周辺空間
注 6.　詳細は、「28.3.1.3　Buffer Allocator」を参照してください。
注 7.　周辺空間。Encoder I/F（オプション）搭載品のみ対象。

注 .　予約領域は、アクセスしないでください。

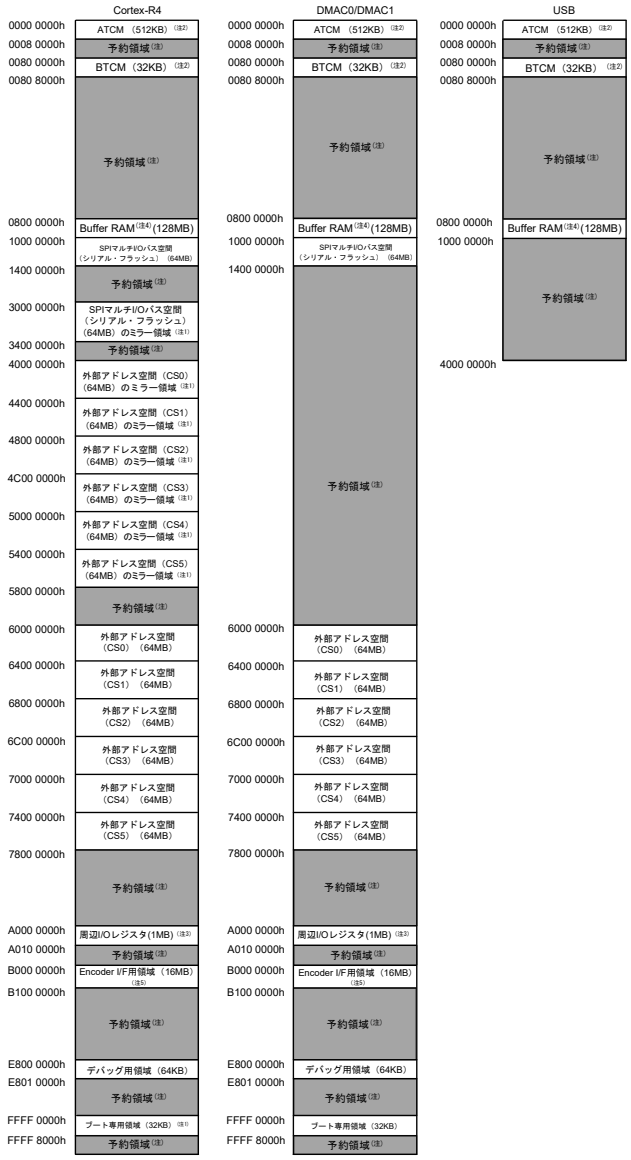
図 4.1　　メモリマップ



注 1.　Cache 対象（それ以外の領域は、MPU でキャッシュを有効にしないでください。）
注 2.　Cortex-R4 密結合メモリ空間
注 3.　周辺空間
注 4.　詳細は、「28.3.1.3　Buffer Allocator」を参照してください。
注 5.　周辺空間。Encoder I/F（オプション）搭載品のみ対象。

注 .　予約領域は、アクセスしないでください。

図 4.2　　メモリマップ（拡張内蔵 SRAM 1MB 品）



注 1.　Cache 対象（それ以外の領域で、MPU でキャッシュを有効にしないでください。）
注 2.　Cortex-R4 密結合メモリ空間
注 3.　周辺空間
注 4.　詳細は、「28.3.1.3　Buffer Allocator」を参照してください。
注 5.　周辺空間。Encoder I/F（オプション）搭載品のみ対象

注 .　予約領域は、アクセスしないでください。

図 4.3　　メモリマップ（拡張内蔵 SRAM 0KB 品）

5. I/O レジスタ

I/O レジスター覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- 内部 I/O レジスタの領域で、レジスター覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

5.1 I/O レジスタアドレス一覧（アドレス順）

表5.1 I/O レジスタアドレス一覧 (1 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0000h	PORT0	ポート方向レジスタ	PDR	16	16
A000 0002h	PORT1	ポート方向レジスタ	PDR	16	16
A000 0004h	PORT2	ポート方向レジスタ	PDR	16	16
A000 0006h	PORT3	ポート方向レジスタ	PDR	16	16
A000 0008h	PORT4	ポート方向レジスタ	PDR	16	16
A000 000Ah	PORT5	ポート方向レジスタ	PDR	16	16
A000 000Ch	PORT6	ポート方向レジスタ	PDR	16	16
A000 000Eh	PORT7	ポート方向レジスタ	PDR	16	16
A000 0010h	PORT8	ポート方向レジスタ	PDR	16	16
A000 0012h	PORT9	ポート方向レジスタ	PDR	16	16
A000 0014h	PORTA	ポート方向レジスタ	PDR	16	16
A000 0016h	PORTB	ポート方向レジスタ	PDR	16	16
A000 0018h	PORTC	ポート方向レジスタ	PDR	16	16
A000 001Ah	PORTD	ポート方向レジスタ	PDR	16	16
A000 001Ch	PORTE	ポート方向レジスタ	PDR	16	16
A000 001Eh	PORTF	ポート方向レジスタ	PDR	16	16
A000 0020h	PORTG	ポート方向レジスタ	PDR	16	16
A000 0022h	PORTH	ポート方向レジスタ	PDR	16	16
A000 0024h	PORTJ	ポート方向レジスタ	PDR	16	16
A000 0026h	PORTK	ポート方向レジスタ	PDR	16	16
A000 0028h	PORTL	ポート方向レジスタ	PDR	16	16
A000 002Ah	PORTM	ポート方向レジスタ	PDR	16	16
A000 002Ch	PORTN	ポート方向レジスタ	PDR	16	16
A000 002Eh	PORTP	ポート方向レジスタ	PDR	16	16
A000 0030h	PORTR	ポート方向レジスタ	PDR	16	16
A000 0032h	PORTS	ポート方向レジスタ	PDR	16	16
A000 0034h	PORTT	ポート方向レジスタ	PDR	16	16
A000 0036h	PORTU	ポート方向レジスタ	PDR	16	16
A000 0040h	PORT0	ポート出力データレジスタ	PODR	8	8
A000 0041h	PORT1	ポート出力データレジスタ	PODR	8	8
A000 0042h	PORT2	ポート出力データレジスタ	PODR	8	8
A000 0043h	PORT3	ポート出力データレジスタ	PODR	8	8
A000 0044h	PORT4	ポート出力データレジスタ	PODR	8	8
A000 0045h	PORT5	ポート出力データレジスタ	PODR	8	8
A000 0046h	PORT6	ポート出力データレジスタ	PODR	8	8
A000 0047h	PORT7	ポート出力データレジスタ	PODR	8	8
A000 0048h	PORT8	ポート出力データレジスタ	PODR	8	8
A000 0049h	PORT9	ポート出力データレジスタ	PODR	8	8
A000 004Ah	PORTA	ポート出力データレジスタ	PODR	8	8
A000 004Bh	PORTB	ポート出力データレジスタ	PODR	8	8
A000 004Ch	PORTC	ポート出力データレジスタ	PODR	8	8
A000 004Dh	PORTD	ポート出力データレジスタ	PODR	8	8
A000 004Eh	PORTE	ポート出力データレジスタ	PODR	8	8
A000 004Fh	PORTF	ポート出力データレジスタ	PODR	8	8
A000 0050h	PORTG	ポート出力データレジスタ	PODR	8	8
A000 0051h	PORTH	ポート出力データレジスタ	PODR	8	8

表5.1 I/O レジスタアドレス一覧 (2 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0052h	PORTJ	ポート出力データレジスタ	PODR	8	8
A000 0053h	PORTK	ポート出力データレジスタ	PODR	8	8
A000 0054h	PORTL	ポート出力データレジスタ	PODR	8	8
A000 0055h	PORTM	ポート出力データレジスタ	PODR	8	8
A000 0056h	PORTN	ポート出力データレジスタ	PODR	8	8
A000 0057h	PORTP	ポート出力データレジスタ	PODR	8	8
A000 0058h	PORTR	ポート出力データレジスタ	PODR	8	8
A000 0059h	PORTS	ポート出力データレジスタ	PODR	8	8
A000 005Ah	PORTT	ポート出力データレジスタ	PODR	8	8
A000 005Bh	PORTU	ポート出力データレジスタ	PODR	8	8
A000 0060h	PORT0	ポート入力データレジスタ	PIDR	8	8
A000 0061h	PORT1	ポート入力データレジスタ	PIDR	8	8
A000 0062h	PORT2	ポート入力データレジスタ	PIDR	8	8
A000 0063h	PORT3	ポート入力データレジスタ	PIDR	8	8
A000 0064h	PORT4	ポート入力データレジスタ	PIDR	8	8
A000 0065h	PORT5	ポート入力データレジスタ	PIDR	8	8
A000 0066h	PORT6	ポート入力データレジスタ	PIDR	8	8
A000 0067h	PORT7	ポート入力データレジスタ	PIDR	8	8
A000 0068h	PORT8	ポート入力データレジスタ	PIDR	8	8
A000 0069h	PORT9	ポート入力データレジスタ	PIDR	8	8
A000 006Ah	PORTA	ポート入力データレジスタ	PIDR	8	8
A000 006Bh	PORTB	ポート入力データレジスタ	PIDR	8	8
A000 006Ch	PORTC	ポート入力データレジスタ	PIDR	8	8
A000 006Dh	PORTD	ポート入力データレジスタ	PIDR	8	8
A000 006Eh	PORTE	ポート入力データレジスタ	PIDR	8	8
A000 006Fh	PORTF	ポート入力データレジスタ	PIDR	8	8
A000 0070h	PORTG	ポート入力データレジスタ	PIDR	8	8
A000 0071h	PORTH	ポート入力データレジスタ	PIDR	8	8
A000 0072h	PORTJ	ポート入力データレジスタ	PIDR	8	8
A000 0073h	PORTK	ポート入力データレジスタ	PIDR	8	8
A000 0074h	PORTL	ポート入力データレジスタ	PIDR	8	8
A000 0075h	PORTM	ポート入力データレジスタ	PIDR	8	8
A000 0076h	PORTN	ポート入力データレジスタ	PIDR	8	8
A000 0077h	PORTP	ポート入力データレジスタ	PIDR	8	8
A000 0078h	PORTR	ポート入力データレジスタ	PIDR	8	8
A000 0079h	PORTS	ポート入力データレジスタ	PIDR	8	8
A000 007Ah	PORTT	ポート入力データレジスタ	PIDR	8	8
A000 007Bh	PORTU	ポート入力データレジスタ	PIDR	8	8
A000 0080h	PORT0	ポートモードレジスタ	PMR	8	8
A000 0081h	PORT1	ポートモードレジスタ	PMR	8	8
A000 0082h	PORT2	ポートモードレジスタ	PMR	8	8
A000 0083h	PORT3	ポートモードレジスタ	PMR	8	8
A000 0084h	PORT4	ポートモードレジスタ	PMR	8	8
A000 0085h	PORT5	ポートモードレジスタ	PMR	8	8
A000 0086h	PORT6	ポートモードレジスタ	PMR	8	8
A000 0087h	PORT7	ポートモードレジスタ	PMR	8	8
A000 0088h	PORT8	ポートモードレジスタ	PMR	8	8
A000 0089h	PORT9	ポートモードレジスタ	PMR	8	8

表5.1 I/O レジスタアドレス一覧 (3 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 008Ah	PORTA	ポートモードレジスタ	PMR	8	8
A000 008Bh	PORTB	ポートモードレジスタ	PMR	8	8
A000 008Ch	PORTC	ポートモードレジスタ	PMR	8	8
A000 008Dh	PORTD	ポートモードレジスタ	PMR	8	8
A000 008Eh	PORTE	ポートモードレジスタ	PMR	8	8
A000 008Fh	PORTF	ポートモードレジスタ	PMR	8	8
A000 0090h	PORTG	ポートモードレジスタ	PMR	8	8
A000 0091h	PORTH	ポートモードレジスタ	PMR	8	8
A000 0092h	PORTJ	ポートモードレジスタ	PMR	8	8
A000 0093h	PORTK	ポートモードレジスタ	PMR	8	8
A000 0094h	PORTL	ポートモードレジスタ	PMR	8	8
A000 0095h	PORTM	ポートモードレジスタ	PMR	8	8
A000 0096h	PORTN	ポートモードレジスタ	PMR	8	8
A000 0097h	PORTP	ポートモードレジスタ	PMR	8	8
A000 0098h	PORTR	ポートモードレジスタ	PMR	8	8
A000 0099h	PORTS	ポートモードレジスタ	PMR	8	8
A000 009Ah	PORTT	ポートモードレジスタ	PMR	8	8
A000 009Bh	PORTU	ポートモードレジスタ	PMR	8	8
A000 0100h	PORT0	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0102h	PORT1	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0104h	PORT2	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0106h	PORT3	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0108h	PORT4	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Ah	PORT5	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Ch	PORT6	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Eh	PORT7	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0110h	PORT8	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0112h	PORT9	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0114h	PORTA	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0116h	PORTB	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 011Ah	PORTD	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 011Ch	PORTE	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 011Eh	PORTF	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0120h	PORTG	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0122h	PORTH	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0124h	PORTJ	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0126h	PORTK	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0128h	PORTL	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 012Ah	PORTM	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 012Ch	PORTN	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 012Eh	PORTP	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0130h	PORTR	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0132h	PORTS	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0134h	PORTT	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0136h	PORTU	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0142h	PORT1	駆動能力制御レジスタ	DSCR	16	16
A000 0200h	MPC	P00端子機能制御レジスタ	P00PFS	8	8
A000 0201h	MPC	P01端子機能制御レジスタ	P01PFS	8	8

表5.1 I/O レジスタアドレス一覧 (4 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0202h	MPC	P02端子機能制御レジスタ	P02PFS	8	8
A000 0203h	MPC	P03端子機能制御レジスタ	P03PFS	8	8
A000 0204h	MPC	P04端子機能制御レジスタ	P04PFS	8	8
A000 0205h	MPC	P05端子機能制御レジスタ	P05PFS	8	8
A000 0206h	MPC	P06端子機能制御レジスタ	P06PFS	8	8
A000 0207h	MPC	P07端子機能制御レジスタ	P07PFS	8	8
A000 0208h	MPC	P10端子機能制御レジスタ	P10PFS	8	8
A000 0209h	MPC	P11端子機能制御レジスタ	P11PFS	8	8
A000 020Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8
A000 020Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8
A000 020Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8
A000 020Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8
A000 020Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8
A000 020Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8
A000 0210h	MPC	P20端子機能制御レジスタ	P20PFS	8	8
A000 0211h	MPC	P21端子機能制御レジスタ	P21PFS	8	8
A000 0212h	MPC	P22端子機能制御レジスタ	P22PFS	8	8
A000 0213h	MPC	P23端子機能制御レジスタ	P23PFS	8	8
A000 0214h	MPC	P24端子機能制御レジスタ	P24PFS	8	8
A000 0215h	MPC	P25端子機能制御レジスタ	P25PFS	8	8
A000 0216h	MPC	P26端子機能制御レジスタ	P26PFS	8	8
A000 0217h	MPC	P27端子機能制御レジスタ	P27PFS	8	8
A000 0218h	MPC	P30端子機能制御レジスタ	P30PFS	8	8
A000 0219h	MPC	P31端子機能制御レジスタ	P31PFS	8	8
A000 021Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8
A000 021Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8
A000 021Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8
A000 021Dh	MPC	P35端子機能制御レジスタ	P35PFS	8	8
A000 021Eh	MPC	P36端子機能制御レジスタ	P36PFS	8	8
A000 021Fh	MPC	P37端子機能制御レジスタ	P37PFS	8	8
A000 0220h	MPC	P40端子機能制御レジスタ	P40PFS	8	8
A000 0221h	MPC	P41端子機能制御レジスタ	P41PFS	8	8
A000 0222h	MPC	P42端子機能制御レジスタ	P42PFS	8	8
A000 0223h	MPC	P43端子機能制御レジスタ	P43PFS	8	8
A000 0224h	MPC	P44端子機能制御レジスタ	P44PFS	8	8
A000 0225h	MPC	P45端子機能制御レジスタ	P45PFS	8	8
A000 0226h	MPC	P46端子機能制御レジスタ	P46PFS	8	8
A000 0227h	MPC	P47端子機能制御レジスタ	P47PFS	8	8
A000 0228h	MPC	P50端子機能制御レジスタ	P50PFS	8	8
A000 0229h	MPC	P51端子機能制御レジスタ	P51PFS	8	8
A000 022Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8
A000 022Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8
A000 022Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8
A000 022Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8
A000 022Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8
A000 0230h	MPC	P60端子機能制御レジスタ	P60PFS	8	8
A000 0231h	MPC	P61端子機能制御レジスタ	P61PFS	8	8
A000 0232h	MPC	P62端子機能制御レジスタ	P62PFS	8	8

表5.1 I/Oレジスタアドレス一覧 (5 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0233h	MPC	P63端子機能制御レジスタ	P63PFS	8	8
A000 0234h	MPC	P64端子機能制御レジスタ	P64PFS	8	8
A000 0235h	MPC	P65端子機能制御レジスタ	P65PFS	8	8
A000 0236h	MPC	P66端子機能制御レジスタ	P66PFS	8	8
A000 0237h	MPC	P67端子機能制御レジスタ	P67PFS	8	8
A000 0238h	MPC	P70端子機能制御レジスタ	P70PFS	8	8
A000 0239h	MPC	P71端子機能制御レジスタ	P71PFS	8	8
A000 023Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8
A000 023Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8
A000 023Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8
A000 023Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8
A000 023Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8
A000 023Fh	MPC	P77端子機能制御レジスタ	P77PFS	8	8
A000 0240h	MPC	P80端子機能制御レジスタ	P80PFS	8	8
A000 0241h	MPC	P81端子機能制御レジスタ	P81PFS	8	8
A000 0242h	MPC	P82端子機能制御レジスタ	P82PFS	8	8
A000 0243h	MPC	P83端子機能制御レジスタ	P83PFS	8	8
A000 0244h	MPC	P84端子機能制御レジスタ	P84PFS	8	8
A000 0245h	MPC	P85端子機能制御レジスタ	P85PFS	8	8
A000 0246h	MPC	P86端子機能制御レジスタ	P86PFS	8	8
A000 0247h	MPC	P87端子機能制御レジスタ	P87PFS	8	8
A000 0248h	MPC	P90端子機能制御レジスタ	P90PFS	8	8
A000 0249h	MPC	P91端子機能制御レジスタ	P91PFS	8	8
A000 024Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8
A000 024Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8
A000 024Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8
A000 024Dh	MPC	P95端子機能制御レジスタ	P95PFS	8	8
A000 024Eh	MPC	P96端子機能制御レジスタ	P96PFS	8	8
A000 024Fh	MPC	P97端子機能制御レジスタ	P97PFS	8	8
A000 0250h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8
A000 0251h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8
A000 0252h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8
A000 0253h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8
A000 0254h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8
A000 0255h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8
A000 0256h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8
A000 0257h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8
A000 0258h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8
A000 0259h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8
A000 025Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8
A000 025Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8
A000 025Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8
A000 025Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8
A000 025Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8
A000 025Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8
A000 0260h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8
A000 0261h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8
A000 0262h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8

表5.1 I/Oレジスタアドレス一覧 (6 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0263h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8
A000 0264h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8
A000 0265h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8
A000 0266h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8
A000 0267h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8
A000 0268h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8
A000 0269h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8
A000 026Ah	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8
A000 026Bh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8
A000 026Ch	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8
A000 026Dh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8
A000 026Eh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8
A000 026Fh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8
A000 0270h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8
A000 0271h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8
A000 0272h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8
A000 0273h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8
A000 0274h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8
A000 0275h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8
A000 0276h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8
A000 0277h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8
A000 027Dh	MPC	PF5端子機能制御レジスタ	PF5PFS	8	8
A000 027Eh	MPC	PF6端子機能制御レジスタ	PF6PFS	8	8
A000 027Fh	MPC	PF7端子機能制御レジスタ	PF7PFS	8	8
A000 0280h	MPC	PG0端子機能制御レジスタ	PG0PFS	8	8
A000 0281h	MPC	PG1端子機能制御レジスタ	PG1PFS	8	8
A000 0282h	MPC	PG2端子機能制御レジスタ	PG2PFS	8	8
A000 0283h	MPC	PG3端子機能制御レジスタ	PG3PFS	8	8
A000 0284h	MPC	PG4端子機能制御レジスタ	PG4PFS	8	8
A000 0285h	MPC	PG5端子機能制御レジスタ	PG5PFS	8	8
A000 0286h	MPC	PG6端子機能制御レジスタ	PG6PFS	8	8
A000 0287h	MPC	PG7端子機能制御レジスタ	PG7PFS	8	8
A000 0288h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8
A000 0289h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8
A000 028Ah	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8
A000 028Bh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8
A000 028Ch	MPC	PH4端子機能制御レジスタ	PH4PFS	8	8
A000 028Dh	MPC	PH5端子機能制御レジスタ	PH5PFS	8	8
A000 028Eh	MPC	PH6端子機能制御レジスタ	PH6PFS	8	8
A000 028Fh	MPC	PH7端子機能制御レジスタ	PH7PFS	8	8
A000 0290h	MPC	PJ0端子機能制御レジスタ	PJ0PFS	8	8
A000 0291h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8
A000 0292h	MPC	PJ2端子機能制御レジスタ	PJ2PFS	8	8
A000 0293h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8
A000 0294h	MPC	PJ4端子機能制御レジスタ	PJ4PFS	8	8
A000 0295h	MPC	PJ5端子機能制御レジスタ	PJ5PFS	8	8
A000 0296h	MPC	PJ6端子機能制御レジスタ	PJ6PFS	8	8
A000 0297h	MPC	PJ7端子機能制御レジスタ	PJ7PFS	8	8

表5.1 I/Oレジスタアドレス一覧 (7 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0298h	MPC	PK0端子機能制御レジスタ	PK0PFS	8	8
A000 0299h	MPC	PK1端子機能制御レジスタ	PK1PFS	8	8
A000 029Ah	MPC	PK2端子機能制御レジスタ	PK2PFS	8	8
A000 029Bh	MPC	PK3端子機能制御レジスタ	PK3PFS	8	8
A000 029Ch	MPC	PK4端子機能制御レジスタ	PK4PFS	8	8
A000 029Dh	MPC	PK5端子機能制御レジスタ	PK5PFS	8	8
A000 029Eh	MPC	PK6端子機能制御レジスタ	PK6PFS	8	8
A000 029Fh	MPC	PK7端子機能制御レジスタ	PK7PFS	8	8
A000 02A0h	MPC	PL0端子機能制御レジスタ	PL0PFS	8	8
A000 02A1h	MPC	PL1端子機能制御レジスタ	PL1PFS	8	8
A000 02A2h	MPC	PL2端子機能制御レジスタ	PL2PFS	8	8
A000 02A3h	MPC	PL3端子機能制御レジスタ	PL3PFS	8	8
A000 02A4h	MPC	PL4端子機能制御レジスタ	PL4PFS	8	8
A000 02A5h	MPC	PL5端子機能制御レジスタ	PL5PFS	8	8
A000 02A6h	MPC	PL6端子機能制御レジスタ	PL6PFS	8	8
A000 02A7h	MPC	PL7端子機能制御レジスタ	PL7PFS	8	8
A000 02A8h	MPC	PM0端子機能制御レジスタ	PM0PFS	8	8
A000 02A9h	MPC	PM1端子機能制御レジスタ	PM1PFS	8	8
A000 02AAh	MPC	PM2端子機能制御レジスタ	PM2PFS	8	8
A000 02ABh	MPC	PM3端子機能制御レジスタ	PM3PFS	8	8
A000 02ACh	MPC	PM4端子機能制御レジスタ	PM4PFS	8	8
A000 02ADh	MPC	PM5端子機能制御レジスタ	PM5PFS	8	8
A000 02AEh	MPC	PM6端子機能制御レジスタ	PM6PFS	8	8
A000 02AFh	MPC	PM7端子機能制御レジスタ	PM7PFS	8	8
A000 02B0h	MPC	PN0端子機能制御レジスタ	PN0PFS	8	8
A000 02B1h	MPC	PN1端子機能制御レジスタ	PN1PFS	8	8
A000 02B2h	MPC	PN2端子機能制御レジスタ	PN2PFS	8	8
A000 02B3h	MPC	PN3端子機能制御レジスタ	PN3PFS	8	8
A000 02B4h	MPC	PN4端子機能制御レジスタ	PN4PFS	8	8
A000 02B5h	MPC	PN5端子機能制御レジスタ	PN5PFS	8	8
A000 02B6h	MPC	PN6端子機能制御レジスタ	PN6PFS	8	8
A000 02B7h	MPC	PN7端子機能制御レジスタ	PN7PFS	8	8
A000 02B8h	MPC	PP0端子機能制御レジスタ	PP0PFS	8	8
A000 02B9h	MPC	PP1端子機能制御レジスタ	PP1PFS	8	8
A000 02BAh	MPC	PP2端子機能制御レジスタ	PP2PFS	8	8
A000 02BBh	MPC	PP3端子機能制御レジスタ	PP3PFS	8	8
A000 02BCh	MPC	PP4端子機能制御レジスタ	PP4PFS	8	8
A000 02BDh	MPC	PP5端子機能制御レジスタ	PP5PFS	8	8
A000 02BEh	MPC	PP6端子機能制御レジスタ	PP6PFS	8	8
A000 02BFh	MPC	PP7端子機能制御レジスタ	PP7PFS	8	8
A000 02C0h	MPC	PR0端子機能制御レジスタ	PR0PFS	8	8
A000 02C1h	MPC	PR1端子機能制御レジスタ	PR1PFS	8	8
A000 02C2h	MPC	PR2端子機能制御レジスタ	PR2PFS	8	8
A000 02C3h	MPC	PR3端子機能制御レジスタ	PR3PFS	8	8
A000 02C4h	MPC	PR4端子機能制御レジスタ	PR4PFS	8	8
A000 02C5h	MPC	PR5端子機能制御レジスタ	PR5PFS	8	8
A000 02C6h	MPC	PR6端子機能制御レジスタ	PR6PFS	8	8
A000 02C7h	MPC	PR7端子機能制御レジスタ	PR7PFS	8	8

表5.1 I/Oレジスタアドレス一覧 (8 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 02C8h	MPC	PS0端子機能制御レジスタ	PS0PFS	8	8
A000 02C9h	MPC	PS1端子機能制御レジスタ	PS1PFS	8	8
A000 02CAh	MPC	PS2端子機能制御レジスタ	PS2PFS	8	8
A000 02CBh	MPC	PS3端子機能制御レジスタ	PS3PFS	8	8
A000 02CCh	MPC	PS4端子機能制御レジスタ	PS4PFS	8	8
A000 02CDh	MPC	PS5端子機能制御レジスタ	PS5PFS	8	8
A000 02CEh	MPC	PS6端子機能制御レジスタ	PS6PFS	8	8
A000 02CFh	MPC	PS7端子機能制御レジスタ	PS7PFS	8	8
A000 02D0h	MPC	PT0端子機能制御レジスタ	PT0PFS	8	8
A000 02D1h	MPC	PT1端子機能制御レジスタ	PT1PFS	8	8
A000 02D2h	MPC	PT2端子機能制御レジスタ	PT2PFS	8	8
A000 02D3h	MPC	PT3端子機能制御レジスタ	PT3PFS	8	8
A000 02D4h	MPC	PT4端子機能制御レジスタ	PT4PFS	8	8
A000 02D5h	MPC	PT5端子機能制御レジスタ	PT5PFS	8	8
A000 02D6h	MPC	PT6端子機能制御レジスタ	PT6PFS	8	8
A000 02D7h	MPC	PT7端子機能制御レジスタ	PT7PFS	8	8
A000 02D8h	MPC	PU0端子機能制御レジスタ	PU0PFS	8	8
A000 02D9h	MPC	PU1端子機能制御レジスタ	PU1PFS	8	8
A000 02DAh	MPC	PU2端子機能制御レジスタ	PU2PFS	8	8
A000 02DBh	MPC	PU3端子機能制御レジスタ	PU3PFS	8	8
A000 02DCh	MPC	PU4端子機能制御レジスタ	PU4PFS	8	8
A000 02DDh	MPC	PU5端子機能制御レジスタ	PU5PFS	8	8
A000 02DEh	MPC	PU6端子機能制御レジスタ	PU6PFS	8	8
A000 02DFh	MPC	PU7端子機能制御レジスタ	PU7PFS	8	8
A000 02FFh	MPC	書き込みプロテクトレジスタ	PWPR	8	8
A000 2000h	DMAC	共通コントロールレジスタ	CMNCR	32	32
A000 2004h	BSC	CS0空間バスコントロールレジスタ	CS0BCR	32	32
A000 2008h	BSC	CS1空間バスコントロールレジスタ	CS1BCR	32	32
A000 200Ch	BSC	CS2空間バスコントロールレジスタ	CS2BCR	32	32
A000 2010h	BSC	CS3空間バスコントロールレジスタ	CS3BCR	32	32
A000 2014h	BSC	CS4空間バスコントロールレジスタ	CS4BCR	32	32
A000 2018h	BSC	CS5空間バスコントロールレジスタ	CS5BCR	32	32
A000 2028h	BSC	CS0空間ウェイト制御レジスタ	CS0WCR_0, CS0WCR_1, CS0WCR_2	32	32
A000 202Ch	BSC	CS1空間ウェイト制御レジスタ	CS1WCR	32	32
A000 2030h	BSC	CS2空間ウェイト制御レジスタ	CS2WCR_0, CS2WCR_1	32	32
A000 2034h	BSC	CS3空間ウェイト制御レジスタ	CS3WCR_0, CS3WCR_1	32	32
A000 2038h	BSC	CS4空間ウェイト制御レジスタ	CS4WCR_0, CS4WCR_1	32	32
A000 203Ch	BSC	CS5空間ウェイト制御レジスタ	CS5WCR	32	32
A000 204Ch	BSC	SDRAMコントロールレジスタ	SDCR	32	32
A000 2050h	BSC	リフレッシュタイマコントロール／ステータスレジスタ	RTCSR	32	32
A000 2054h	BSC	リフレッシュタイマカウンタ	RTCNT	32	32
A000 2058h	BSC	リフレッシュタイムコンスタントレジスタ	RTCOR	32	32
A000 2060h	BSC	タイムアウトサイクルコンスタントレジスタ0	TOSCOR0	32	32
A000 2064h	BSC	タイムアウトサイクルコンスタントレジスタ1	TOSCOR1	32	32
A000 2068h	BSC	タイムアウトサイクルコンスタントレジスタ2	TOSCOR2	32	32
A000 206Ch	BSC	タイムアウトサイクルコンスタントレジスタ3	TOSCOR3	32	32
A000 2070h	BSC	タイムアウトサイクルコンスタントレジスタ4	TOSCOR4	32	32
A000 2074h	BSC	タイムアウトサイクルコンスタントレジスタ5	TOSCOR5	32	32

表5.1 I/Oレジスタアドレス一覧 (9 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 2080h	BSC	タイムアウトステータスレジスタ	TOSTR	32	32
A000 2084h	BSC	タイムアウトイネーブルレジスタ	TOENR	32	32
A000 2C0Ch	BSC	CKIO制御レジスタ	CKIOSET	32	32
A000 2CFCh	BSC	CKIOSETのKEYレジスタ	CKIOKEY	8	8
A000 5000h	SPIBSC	共通コントロールレジスタ	CMNCR	32	32
A000 5004h	SPIBSC	SSL遅延レジスタ	SSLDR	32	32
A000 5008h	SPIBSC	ビットレート設定レジスタ	SPBCR	32	32
A000 500Ch	SPIBSC	データリードコントロールレジスタ	DRCR	32	32
A000 5010h	SPIBSC	データリードコマンド設定レジスタ	DRCMR	32	32
A000 5014h	SPIBSC	データリード拡張アドレス設定レジスタ	DREAR	32	32
A000 5018h	SPIBSC	データリードオプション設定レジスタ	DROPR	32	32
A000 501Ch	SPIBSC	データリードイネーブル設定レジスタ	DRENR	32	32
A000 5020h	SPIBSC	SPIモードコントロールレジスタ	SMCR	32	32
A000 5024h	SPIBSC	SPIモードコマンド設定レジスタ	SMCMR	32	32
A000 5028h	SPIBSC	SPIモードアドレス設定レジスタ	SMADR	32	32
A000 502Ch	SPIBSC	SPIモードオプション設定レジスタ	SMOPR	32	32
A000 5030h	SPIBSC	SPIモードイネーブル設定レジスタ	SMENR	32	32
A000 5038h	SPIBSC	SPIモードリードデータレジスタ0	SMRDR0	32	8, 16, 32
A000 5040h	SPIBSC	SPIモードライトデータレジスタ0	SMWDR0	32	8, 16, 32
A000 5048h	SPIBSC	共通ステータスレジスタ	CMNSR	32	32
A000 5058h	SPIBSC	データリードダミーサイクル設定レジスタ	DRDMCR	32	32
A000 5060h	SPIBSC	SPIモードダミーサイクル設定レジスタ	SMDMCR	32	32
A001 0000h	VIC	IRQステータスレジスタ0	IRQS0	32	32
A001 0004h	VIC	IRQステータスレジスタ1	IRQS1	32	32
A001 0008h	VIC	IRQステータスレジスタ2	IRQS2	32	32
A001 000Ch	VIC	IRQステータスレジスタ3	IRQS3	32	32
A001 0010h	VIC	IRQステータスレジスタ4	IRQS4	32	32
A001 0014h	VIC	IRQステータスレジスタ5	IRQS5	32	32
A001 0018h	VIC	IRQステータスレジスタ6	IRQS6	32	32
A001 001Ch	VIC	IRQステータスレジスタ7	IRQS7	32	32
A001 0040h	VIC	割り込み入力ステータスレジスタ0	RAIS0	32	32
A001 0044h	VIC	割り込み入力ステータスレジスタ1	RAIS1	32	32
A001 0048h	VIC	割り込み入力ステータスレジスタ2	RAIS2	32	32
A001 004Ch	VIC	割り込み入力ステータスレジスタ3	RAIS3	32	32
A001 0050h	VIC	割り込み入力ステータスレジスタ4	RAIS4	32	32
A001 0054h	VIC	割り込み入力ステータスレジスタ5	RAIS5	32	32
A001 0058h	VIC	割り込み入力ステータスレジスタ6	RAIS6	32	32
A001 005Ch	VIC	割り込み入力ステータスレジスタ7	RAIS7	32	32
A001 0080h	VIC	割り込みイネーブルレジスタ0	IEN0	32	32
A001 0084h	VIC	割り込みイネーブルレジスタ1	IEN1	32	32
A001 0088h	VIC	割り込みイネーブルレジスタ2	IEN2	32	32
A001 008Ch	VIC	割り込みイネーブルレジスタ3	IEN3	32	32
A001 0090h	VIC	割り込みイネーブルレジスタ4	IEN4	32	32
A001 0094h	VIC	割り込みイネーブルレジスタ5	IEN5	32	32
A001 0098h	VIC	割り込みイネーブルレジスタ6	IEN6	32	32
A001 009Ch	VIC	割り込みイネーブルレジスタ7	IEN7	32	32
A001 00A0h	VIC	割り込みイネーブルクリアレジスタ0	IEC0	32	32
A001 00A4h	VIC	割り込みイネーブルクリアレジスタ1	IEC1	32	32

表5.1 I/O レジスタアドレス一覧 (10 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 00A8h	VIC	割り込みイネーブルクリアレジスタ2	IEC2	32	32
A001 00ACh	VIC	割り込みイネーブルクリアレジスタ3	IEC3	32	32
A001 00B0h	VIC	割り込みイネーブルクリアレジスタ4	IEC4	32	32
A001 00B4h	VIC	割り込みイネーブルクリアレジスタ5	IEC5	32	32
A001 00B8h	VIC	割り込みイネーブルクリアレジスタ6	IEC6	32	32
A001 00BCh	VIC	割り込みイネーブルクリアレジスタ7	IEC7	32	32
A001 0100h	VIC	割り込み検出タイプ選択レジスタ0	PLS0	32	32
A001 0104h	VIC	割り込み検出タイプ選択レジスタ1	PLS1	32	32
A001 0108h	VIC	割り込み検出タイプ選択レジスタ2	PLS2	32	32
A001 010Ch	VIC	割り込み検出タイプ選択レジスタ3	PLS3	32	32
A001 0110h	VIC	割り込み検出タイプ選択レジスタ4	PLS4	32	32
A001 0114h	VIC	割り込み検出タイプ選択レジスタ5	PLS5	32	32
A001 0118h	VIC	割り込み検出タイプ選択レジスタ6	PLS6	32	32
A001 011Ch	VIC	割り込み検出タイプ選択レジスタ7	PLS7	32	32
A001 0120h	VIC	エッジ検出ビットクリアレジスタ0	PIC0	32	32
A001 0124h	VIC	エッジ検出ビットクリアレジスタ1	PIC1	32	32
A001 0128h	VIC	エッジ検出ビットクリアレジスタ2	PIC2	32	32
A001 012Ch	VIC	エッジ検出ビットクリアレジスタ3	PIC3	32	32
A001 0130h	VIC	エッジ検出ビットクリアレジスタ4	PIC4	32	32
A001 0134h	VIC	エッジ検出ビットクリアレジスタ5	PIC5	32	32
A001 0138h	VIC	エッジ検出ビットクリアレジスタ6	PIC6	32	32
A001 013Ch	VIC	エッジ検出ビットクリアレジスタ7	PIC7	32	32
A001 01A0h	VIC	割り込みレベルコントロールレジスタ8	LVLC8	32	32
A001 01A4h	VIC	割り込みレベルコントロールレジスタ9	LVLC9	32	32
A001 01C0h	VIC	割り込み優先レベルマスクレジスタ0	PRLM0	32	32
A001 01C4h	VIC	割り込み優先レベルマスククリアレジスタ0	PRLC0	32	32
A001 01C8h	VIC	ユーザモードイネーブルレジスタ0	UEN0	32	32
A001 0200h	VIC	割り込みアドレスレジスタ0	HVA0	32	32
A001 0210h	VIC	割り込みサービスステータスレジスタ0	ISS0	32	32
A001 0214h	VIC	割り込みサービスステータスレジスタ1	ISS1	32	32
A001 0218h	VIC	割り込みサービスステータスレジスタ2	ISS2	32	32
A001 021Ch	VIC	割り込みサービスステータスレジスタ3	ISS3	32	32
A001 0220h	VIC	割り込みサービスステータスレジスタ4	ISS4	32	32
A001 0224h	VIC	割り込みサービスステータスレジスタ5	ISS5	32	32
A001 0228h	VIC	割り込みサービスステータスレジスタ6	ISS6	32	32
A001 022Ch	VIC	割り込みサービスステータスレジスタ7	ISS7	32	32
A001 0230h	VIC	割り込みサービスカレントレジスタ0	ISC0	32	32
A001 0234h	VIC	割り込みサービスカレントレジスタ1	ISC1	32	32
A001 0238h	VIC	割り込みサービスカレントレジスタ2	ISC2	32	32
A001 023Ch	VIC	割り込みサービスカレントレジスタ3	ISC3	32	32
A001 0240h	VIC	割り込みサービスカレントレジスタ4	ISC4	32	32
A001 0244h	VIC	割り込みサービスカレントレジスタ5	ISC5	32	32
A001 0248h	VIC	割り込みサービスカレントレジスタ6	ISC6	32	32
A001 024Ch	VIC	割り込みサービスカレントレジスタ7	ISC7	32	32
A001 0404h	VIC	割り込みアドレス格納レジスタ1	VAD1	32	32
A001 0408h	VIC	割り込みアドレス格納レジスタ2	VAD2	32	32
A001 040Ch	VIC	割り込みアドレス格納レジスタ3	VAD3	32	32
A001 0410h	VIC	割り込みアドレス格納レジスタ4	VAD4	32	32

表5.1 I/O レジスタアドレス一覧 (11 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0414h	VIC	割り込みアドレス格納レジスタ5	VAD5	32	32
A001 0418h	VIC	割り込みアドレス格納レジスタ6	VAD6	32	32
A001 041Ch	VIC	割り込みアドレス格納レジスタ7	VAD7	32	32
A001 0420h	VIC	割り込みアドレス格納レジスタ8	VAD8	32	32
A001 0424h	VIC	割り込みアドレス格納レジスタ9	VAD9	32	32
A001 0428h	VIC	割り込みアドレス格納レジスタ10	VAD10	32	32
A001 042Ch	VIC	割り込みアドレス格納レジスタ11	VAD11	32	32
A001 0430h	VIC	割り込みアドレス格納レジスタ12	VAD12	32	32
A001 0434h	VIC	割り込みアドレス格納レジスタ13	VAD13	32	32
A001 0438h	VIC	割り込みアドレス格納レジスタ14	VAD14	32	32
A001 043Ch	VIC	割り込みアドレス格納レジスタ15	VAD15	32	32
A001 0440h	VIC	割り込みアドレス格納レジスタ16	VAD16	32	32
A001 0444h	VIC	割り込みアドレス格納レジスタ17	VAD17	32	32
A001 0448h	VIC	割り込みアドレス格納レジスタ18	VAD18	32	32
A001 044Ch	VIC	割り込みアドレス格納レジスタ19	VAD19	32	32
A001 0450h	VIC	割り込みアドレス格納レジスタ20	VAD20	32	32
A001 0454h	VIC	割り込みアドレス格納レジスタ21	VAD21	32	32
A001 0458h	VIC	割り込みアドレス格納レジスタ22	VAD22	32	32
A001 045Ch	VIC	割り込みアドレス格納レジスタ23	VAD23	32	32
A001 0460h	VIC	割り込みアドレス格納レジスタ24	VAD24	32	32
A001 0464h	VIC	割り込みアドレス格納レジスタ25	VAD25	32	32
A001 0468h	VIC	割り込みアドレス格納レジスタ26	VAD26	32	32
A001 046Ch	VIC	割り込みアドレス格納レジスタ27	VAD27	32	32
A001 0470h	VIC	割り込みアドレス格納レジスタ28	VAD28	32	32
A001 0474h	VIC	割り込みアドレス格納レジスタ29	VAD29	32	32
A001 0478h	VIC	割り込みアドレス格納レジスタ30	VAD30	32	32
A001 047Ch	VIC	割り込みアドレス格納レジスタ31	VAD31	32	32
A001 0480h	VIC	割り込みアドレス格納レジスタ32	VAD32	32	32
A001 0484h	VIC	割り込みアドレス格納レジスタ33	VAD33	32	32
A001 0488h	VIC	割り込みアドレス格納レジスタ34	VAD34	32	32
A001 048Ch	VIC	割り込みアドレス格納レジスタ35	VAD35	32	32
A001 0490h	VIC	割り込みアドレス格納レジスタ36	VAD36	32	32
A001 0494h	VIC	割り込みアドレス格納レジスタ37	VAD37	32	32
A001 0498h	VIC	割り込みアドレス格納レジスタ38	VAD38	32	32
A001 049Ch	VIC	割り込みアドレス格納レジスタ39	VAD39	32	32
A001 04A0h	VIC	割り込みアドレス格納レジスタ40	VAD40	32	32
A001 04A4h	VIC	割り込みアドレス格納レジスタ41	VAD41	32	32
A001 04A8h	VIC	割り込みアドレス格納レジスタ42	VAD42	32	32
A001 04ACh	VIC	割り込みアドレス格納レジスタ43	VAD43	32	32
A001 04B0h	VIC	割り込みアドレス格納レジスタ44	VAD44	32	32
A001 04B4h	VIC	割り込みアドレス格納レジスタ45	VAD45	32	32
A001 04B8h	VIC	割り込みアドレス格納レジスタ46	VAD46	32	32
A001 04BCh	VIC	割り込みアドレス格納レジスタ47	VAD47	32	32
A001 04C0h	VIC	割り込みアドレス格納レジスタ48	VAD48	32	32
A001 04C4h	VIC	割り込みアドレス格納レジスタ49	VAD49	32	32
A001 04C8h	VIC	割り込みアドレス格納レジスタ50	VAD50	32	32
A001 04CCh	VIC	割り込みアドレス格納レジスタ51	VAD51	32	32
A001 04D0h	VIC	割り込みアドレス格納レジスタ52	VAD52	32	32

表5.1 I/O レジスタアドレス一覧 (12 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 04D4h	VIC	割り込みアドレス格納レジスタ 53	VAD53	32	32
A001 04D8h	VIC	割り込みアドレス格納レジスタ 54	VAD54	32	32
A001 04DCh	VIC	割り込みアドレス格納レジスタ 55	VAD55	32	32
A001 04E0h	VIC	割り込みアドレス格納レジスタ 56	VAD56	32	32
A001 04E4h	VIC	割り込みアドレス格納レジスタ 57	VAD57	32	32
A001 04E8h	VIC	割り込みアドレス格納レジスタ 58	VAD58	32	32
A001 04ECh	VIC	割り込みアドレス格納レジスタ 59	VAD59	32	32
A001 04F0h	VIC	割り込みアドレス格納レジスタ 60	VAD60	32	32
A001 04F4h	VIC	割り込みアドレス格納レジスタ 61	VAD61	32	32
A001 04F8h	VIC	割り込みアドレス格納レジスタ 62	VAD62	32	32
A001 04FCh	VIC	割り込みアドレス格納レジスタ 63	VAD63	32	32
A001 0500h	VIC	割り込みアドレス格納レジスタ 64	VAD64	32	32
A001 0504h	VIC	割り込みアドレス格納レジスタ 65	VAD65	32	32
A001 0508h	VIC	割り込みアドレス格納レジスタ 66	VAD66	32	32
A001 050Ch	VIC	割り込みアドレス格納レジスタ 67	VAD67	32	32
A001 0510h	VIC	割り込みアドレス格納レジスタ 68	VAD68	32	32
A001 0514h	VIC	割り込みアドレス格納レジスタ 69	VAD69	32	32
A001 0518h	VIC	割り込みアドレス格納レジスタ 70	VAD70	32	32
A001 051Ch	VIC	割り込みアドレス格納レジスタ 71	VAD71	32	32
A001 0520h	VIC	割り込みアドレス格納レジスタ 72	VAD72	32	32
A001 0524h	VIC	割り込みアドレス格納レジスタ 73	VAD73	32	32
A001 0528h	VIC	割り込みアドレス格納レジスタ 74	VAD74	32	32
A001 052Ch	VIC	割り込みアドレス格納レジスタ 75	VAD75	32	32
A001 0530h	VIC	割り込みアドレス格納レジスタ 76	VAD76	32	32
A001 0534h	VIC	割り込みアドレス格納レジスタ 77	VAD77	32	32
A001 0538h	VIC	割り込みアドレス格納レジスタ 78	VAD78	32	32
A001 053Ch	VIC	割り込みアドレス格納レジスタ 79	VAD79	32	32
A001 0540h	VIC	割り込みアドレス格納レジスタ 80	VAD80	32	32
A001 0544h	VIC	割り込みアドレス格納レジスタ 81	VAD81	32	32
A001 0548h	VIC	割り込みアドレス格納レジスタ 82	VAD82	32	32
A001 054Ch	VIC	割り込みアドレス格納レジスタ 83	VAD83	32	32
A001 0550h	VIC	割り込みアドレス格納レジスタ 84	VAD84	32	32
A001 0554h	VIC	割り込みアドレス格納レジスタ 85	VAD85	32	32
A001 0558h	VIC	割り込みアドレス格納レジスタ 86	VAD86	32	32
A001 055Ch	VIC	割り込みアドレス格納レジスタ 87	VAD87	32	32
A001 0560h	VIC	割り込みアドレス格納レジスタ 88	VAD88	32	32
A001 0564h	VIC	割り込みアドレス格納レジスタ 89	VAD89	32	32
A001 0568h	VIC	割り込みアドレス格納レジスタ 90	VAD90	32	32
A001 056Ch	VIC	割り込みアドレス格納レジスタ 91	VAD91	32	32
A001 0570h	VIC	割り込みアドレス格納レジスタ 92	VAD92	32	32
A001 0574h	VIC	割り込みアドレス格納レジスタ 93	VAD93	32	32
A001 0578h	VIC	割り込みアドレス格納レジスタ 94	VAD94	32	32
A001 057Ch	VIC	割り込みアドレス格納レジスタ 95	VAD95	32	32
A001 0580h	VIC	割り込みアドレス格納レジスタ 96	VAD96	32	32
A001 0584h	VIC	割り込みアドレス格納レジスタ 97	VAD97	32	32
A001 0588h	VIC	割り込みアドレス格納レジスタ 98	VAD98	32	32
A001 058Ch	VIC	割り込みアドレス格納レジスタ 99	VAD99	32	32
A001 0590h	VIC	割り込みアドレス格納レジスタ 100	VAD100	32	32

表5.1 I/O レジスタアドレス一覧 (13 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0594h	VIC	割り込みアドレス格納レジスタ 101	VAD101	32	32
A001 0598h	VIC	割り込みアドレス格納レジスタ 102	VAD102	32	32
A001 059Ch	VIC	割り込みアドレス格納レジスタ 103	VAD103	32	32
A001 05A0h	VIC	割り込みアドレス格納レジスタ 104	VAD104	32	32
A001 05A4h	VIC	割り込みアドレス格納レジスタ 105	VAD105	32	32
A001 05A8h	VIC	割り込みアドレス格納レジスタ 106	VAD106	32	32
A001 05ACh	VIC	割り込みアドレス格納レジスタ 107	VAD107	32	32
A001 05B0h	VIC	割り込みアドレス格納レジスタ 108	VAD108	32	32
A001 05B4h	VIC	割り込みアドレス格納レジスタ 109	VAD109	32	32
A001 05B8h	VIC	割り込みアドレス格納レジスタ 110	VAD110	32	32
A001 05BCh	VIC	割り込みアドレス格納レジスタ 111	VAD111	32	32
A001 05C0h	VIC	割り込みアドレス格納レジスタ 112	VAD112	32	32
A001 05C4h	VIC	割り込みアドレス格納レジスタ 113	VAD113	32	32
A001 05C8h	VIC	割り込みアドレス格納レジスタ 114	VAD114	32	32
A001 05CCh	VIC	割り込みアドレス格納レジスタ 115	VAD115	32	32
A001 05D0h	VIC	割り込みアドレス格納レジスタ 116	VAD116	32	32
A001 05D4h	VIC	割り込みアドレス格納レジスタ 117	VAD117	32	32
A001 05D8h	VIC	割り込みアドレス格納レジスタ 118	VAD118	32	32
A001 05DCh	VIC	割り込みアドレス格納レジスタ 119	VAD119	32	32
A001 05E0h	VIC	割り込みアドレス格納レジスタ 120	VAD120	32	32
A001 05E4h	VIC	割り込みアドレス格納レジスタ 121	VAD121	32	32
A001 05E8h	VIC	割り込みアドレス格納レジスタ 122	VAD122	32	32
A001 05ECh	VIC	割り込みアドレス格納レジスタ 123	VAD123	32	32
A001 05F0h	VIC	割り込みアドレス格納レジスタ 124	VAD124	32	32
A001 05F4h	VIC	割り込みアドレス格納レジスタ 125	VAD125	32	32
A001 05F8h	VIC	割り込みアドレス格納レジスタ 126	VAD126	32	32
A001 05FCh	VIC	割り込みアドレス格納レジスタ 127	VAD127	32	32
A001 0600h	VIC	割り込みアドレス格納レジスタ 128	VAD128	32	32
A001 0604h	VIC	割り込みアドレス格納レジスタ 129	VAD129	32	32
A001 0608h	VIC	割り込みアドレス格納レジスタ 130	VAD130	32	32
A001 060Ch	VIC	割り込みアドレス格納レジスタ 131	VAD131	32	32
A001 0610h	VIC	割り込みアドレス格納レジスタ 132	VAD132	32	32
A001 0614h	VIC	割り込みアドレス格納レジスタ 133	VAD133	32	32
A001 0618h	VIC	割り込みアドレス格納レジスタ 134	VAD134	32	32
A001 061Ch	VIC	割り込みアドレス格納レジスタ 135	VAD135	32	32
A001 0620h	VIC	割り込みアドレス格納レジスタ 136	VAD136	32	32
A001 0624h	VIC	割り込みアドレス格納レジスタ 137	VAD137	32	32
A001 0628h	VIC	割り込みアドレス格納レジスタ 138	VAD138	32	32
A001 062Ch	VIC	割り込みアドレス格納レジスタ 139	VAD139	32	32
A001 0630h	VIC	割り込みアドレス格納レジスタ 140	VAD140	32	32
A001 0634h	VIC	割り込みアドレス格納レジスタ 141	VAD141	32	32
A001 0638h	VIC	割り込みアドレス格納レジスタ 142	VAD142	32	32
A001 063Ch	VIC	割り込みアドレス格納レジスタ 143	VAD143	32	32
A001 0640h	VIC	割り込みアドレス格納レジスタ 144	VAD144	32	32
A001 0644h	VIC	割り込みアドレス格納レジスタ 145	VAD145	32	32
A001 0648h	VIC	割り込みアドレス格納レジスタ 146	VAD146	32	32
A001 064Ch	VIC	割り込みアドレス格納レジスタ 147	VAD147	32	32
A001 0650h	VIC	割り込みアドレス格納レジスタ 148	VAD148	32	32

表5.1 I/O レジスタアドレス一覧 (14 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0654h	VIC	割り込みアドレス格納レジスタ 149	VAD149	32	32
A001 0658h	VIC	割り込みアドレス格納レジスタ 150	VAD150	32	32
A001 065Ch	VIC	割り込みアドレス格納レジスタ 151	VAD151	32	32
A001 0660h	VIC	割り込みアドレス格納レジスタ 152	VAD152	32	32
A001 0664h	VIC	割り込みアドレス格納レジスタ 153	VAD153	32	32
A001 0668h	VIC	割り込みアドレス格納レジスタ 154	VAD154	32	32
A001 066Ch	VIC	割り込みアドレス格納レジスタ 155	VAD155	32	32
A001 0670h	VIC	割り込みアドレス格納レジスタ 156	VAD156	32	32
A001 0674h	VIC	割り込みアドレス格納レジスタ 157	VAD157	32	32
A001 0678h	VIC	割り込みアドレス格納レジスタ 158	VAD158	32	32
A001 067Ch	VIC	割り込みアドレス格納レジスタ 159	VAD159	32	32
A001 0680h	VIC	割り込みアドレス格納レジスタ 160	VAD160	32	32
A001 0684h	VIC	割り込みアドレス格納レジスタ 161	VAD161	32	32
A001 0688h	VIC	割り込みアドレス格納レジスタ 162	VAD162	32	32
A001 068Ch	VIC	割り込みアドレス格納レジスタ 163	VAD163	32	32
A001 0690h	VIC	割り込みアドレス格納レジスタ 164	VAD164	32	32
A001 0694h	VIC	割り込みアドレス格納レジスタ 165	VAD165	32	32
A001 0698h	VIC	割り込みアドレス格納レジスタ 166	VAD166	32	32
A001 069Ch	VIC	割り込みアドレス格納レジスタ 167	VAD167	32	32
A001 06A0h	VIC	割り込みアドレス格納レジスタ 168	VAD168	32	32
A001 06A4h	VIC	割り込みアドレス格納レジスタ 169	VAD169	32	32
A001 06A8h	VIC	割り込みアドレス格納レジスタ 170	VAD170	32	32
A001 06ACh	VIC	割り込みアドレス格納レジスタ 171	VAD171	32	32
A001 06B0h	VIC	割り込みアドレス格納レジスタ 172	VAD172	32	32
A001 06B4h	VIC	割り込みアドレス格納レジスタ 173	VAD173	32	32
A001 06B8h	VIC	割り込みアドレス格納レジスタ 174	VAD174	32	32
A001 06BCh	VIC	割り込みアドレス格納レジスタ 175	VAD175	32	32
A001 06C0h	VIC	割り込みアドレス格納レジスタ 176	VAD176	32	32
A001 06C4h	VIC	割り込みアドレス格納レジスタ 177	VAD177	32	32
A001 06C8h	VIC	割り込みアドレス格納レジスタ 178	VAD178	32	32
A001 06CCh	VIC	割り込みアドレス格納レジスタ 179	VAD179	32	32
A001 06D0h	VIC	割り込みアドレス格納レジスタ 180	VAD180	32	32
A001 06D4h	VIC	割り込みアドレス格納レジスタ 181	VAD181	32	32
A001 06D8h	VIC	割り込みアドレス格納レジスタ 182	VAD182	32	32
A001 06DCh	VIC	割り込みアドレス格納レジスタ 183	VAD183	32	32
A001 06E0h	VIC	割り込みアドレス格納レジスタ 184	VAD184	32	32
A001 06E4h	VIC	割り込みアドレス格納レジスタ 185	VAD185	32	32
A001 06E8h	VIC	割り込みアドレス格納レジスタ 186	VAD186	32	32
A001 06ECh	VIC	割り込みアドレス格納レジスタ 187	VAD187	32	32
A001 06F0h	VIC	割り込みアドレス格納レジスタ 188	VAD188	32	32
A001 06F4h	VIC	割り込みアドレス格納レジスタ 189	VAD189	32	32
A001 06F8h	VIC	割り込みアドレス格納レジスタ 190	VAD190	32	32
A001 06FCh	VIC	割り込みアドレス格納レジスタ 191	VAD191	32	32
A001 0700h	VIC	割り込みアドレス格納レジスタ 192	VAD192	32	32
A001 0704h	VIC	割り込みアドレス格納レジスタ 193	VAD193	32	32
A001 0708h	VIC	割り込みアドレス格納レジスタ 194	VAD194	32	32
A001 070Ch	VIC	割り込みアドレス格納レジスタ 195	VAD195	32	32
A001 0710h	VIC	割り込みアドレス格納レジスタ 196	VAD196	32	32

表5.1 I/O レジスタアドレス一覧 (15 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0714h	VIC	割り込みアドレス格納レジスタ 197	VAD197	32	32
A001 0718h	VIC	割り込みアドレス格納レジスタ 198	VAD198	32	32
A001 071Ch	VIC	割り込みアドレス格納レジスタ 199	VAD199	32	32
A001 0720h	VIC	割り込みアドレス格納レジスタ 200	VAD200	32	32
A001 0724h	VIC	割り込みアドレス格納レジスタ 201	VAD201	32	32
A001 0728h	VIC	割り込みアドレス格納レジスタ 202	VAD202	32	32
A001 072Ch	VIC	割り込みアドレス格納レジスタ 203	VAD203	32	32
A001 0730h	VIC	割り込みアドレス格納レジスタ 204	VAD204	32	32
A001 0734h	VIC	割り込みアドレス格納レジスタ 205	VAD205	32	32
A001 0738h	VIC	割り込みアドレス格納レジスタ 206	VAD206	32	32
A001 073Ch	VIC	割り込みアドレス格納レジスタ 207	VAD207	32	32
A001 0740h	VIC	割り込みアドレス格納レジスタ 208	VAD208	32	32
A001 0744h	VIC	割り込みアドレス格納レジスタ 209	VAD209	32	32
A001 0748h	VIC	割り込みアドレス格納レジスタ 210	VAD210	32	32
A001 074Ch	VIC	割り込みアドレス格納レジスタ 211	VAD211	32	32
A001 0750h	VIC	割り込みアドレス格納レジスタ 212	VAD212	32	32
A001 0754h	VIC	割り込みアドレス格納レジスタ 213	VAD213	32	32
A001 0758h	VIC	割り込みアドレス格納レジスタ 214	VAD214	32	32
A001 075Ch	VIC	割り込みアドレス格納レジスタ 215	VAD215	32	32
A001 0760h	VIC	割り込みアドレス格納レジスタ 216	VAD216	32	32
A001 0764h	VIC	割り込みアドレス格納レジスタ 217	VAD217	32	32
A001 0768h	VIC	割り込みアドレス格納レジスタ 218	VAD218	32	32
A001 076Ch	VIC	割り込みアドレス格納レジスタ 219	VAD219	32	32
A001 0770h	VIC	割り込みアドレス格納レジスタ 220	VAD220	32	32
A001 0774h	VIC	割り込みアドレス格納レジスタ 221	VAD221	32	32
A001 0778h	VIC	割り込みアドレス格納レジスタ 222	VAD222	32	32
A001 077Ch	VIC	割り込みアドレス格納レジスタ 223	VAD223	32	32
A001 0780h	VIC	割り込みアドレス格納レジスタ 224	VAD224	32	32
A001 0784h	VIC	割り込みアドレス格納レジスタ 225	VAD225	32	32
A001 0788h	VIC	割り込みアドレス格納レジスタ 226	VAD226	32	32
A001 078Ch	VIC	割り込みアドレス格納レジスタ 227	VAD227	32	32
A001 0790h	VIC	割り込みアドレス格納レジスタ 228	VAD228	32	32
A001 0794h	VIC	割り込みアドレス格納レジスタ 229	VAD229	32	32
A001 0798h	VIC	割り込みアドレス格納レジスタ 230	VAD230	32	32
A001 079Ch	VIC	割り込みアドレス格納レジスタ 231	VAD231	32	32
A001 07A0h	VIC	割り込みアドレス格納レジスタ 232	VAD232	32	32
A001 07A4h	VIC	割り込みアドレス格納レジスタ 233	VAD233	32	32
A001 07A8h	VIC	割り込みアドレス格納レジスタ 234	VAD234	32	32
A001 07ACh	VIC	割り込みアドレス格納レジスタ 235	VAD235	32	32
A001 07B0h	VIC	割り込みアドレス格納レジスタ 236	VAD236	32	32
A001 07B4h	VIC	割り込みアドレス格納レジスタ 237	VAD237	32	32
A001 07B8h	VIC	割り込みアドレス格納レジスタ 238	VAD238	32	32
A001 07BCh	VIC	割り込みアドレス格納レジスタ 239	VAD239	32	32
A001 07C0h	VIC	割り込みアドレス格納レジスタ 240	VAD240	32	32
A001 07C4h	VIC	割り込みアドレス格納レジスタ 241	VAD241	32	32
A001 07C8h	VIC	割り込みアドレス格納レジスタ 242	VAD242	32	32
A001 07CCh	VIC	割り込みアドレス格納レジスタ 243	VAD243	32	32
A001 07D0h	VIC	割り込みアドレス格納レジスタ 244	VAD244	32	32

表5.1 I/O レジスタアドレス一覧 (16 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 07D4h	VIC	割り込みアドレス格納レジスタ 245	VAD245	32	32
A001 07D8h	VIC	割り込みアドレス格納レジスタ 246	VAD246	32	32
A001 07DCh	VIC	割り込みアドレス格納レジスタ 247	VAD247	32	32
A001 07E0h	VIC	割り込みアドレス格納レジスタ 248	VAD248	32	32
A001 07E4h	VIC	割り込みアドレス格納レジスタ 249	VAD249	32	32
A001 07E8h	VIC	割り込みアドレス格納レジスタ 250	VAD250	32	32
A001 07ECh	VIC	割り込みアドレス格納レジスタ 251	VAD251	32	32
A001 07F0h	VIC	割り込みアドレス格納レジスタ 252	VAD252	32	32
A001 07F4h	VIC	割り込みアドレス格納レジスタ 253	VAD253	32	32
A001 07F8h	VIC	割り込みアドレス格納レジスタ 254	VAD254	32	32
A001 07FCh	VIC	割り込みアドレス格納レジスタ 255	VAD255	32	32
A001 0804h	VIC	割り込み優先レベル格納レジスタ 1	PRL1	32	32
A001 0808h	VIC	割り込み優先レベル格納レジスタ 2	PRL2	32	32
A001 080Ch	VIC	割り込み優先レベル格納レジスタ 3	PRL3	32	32
A001 0810h	VIC	割り込み優先レベル格納レジスタ 4	PRL4	32	32
A001 0814h	VIC	割り込み優先レベル格納レジスタ 5	PRL5	32	32
A001 0818h	VIC	割り込み優先レベル格納レジスタ 6	PRL6	32	32
A001 081Ch	VIC	割り込み優先レベル格納レジスタ 7	PRL7	32	32
A001 0820h	VIC	割り込み優先レベル格納レジスタ 8	PRL8	32	32
A001 0824h	VIC	割り込み優先レベル格納レジスタ 9	PRL9	32	32
A001 0828h	VIC	割り込み優先レベル格納レジスタ 10	PRL10	32	32
A001 082Ch	VIC	割り込み優先レベル格納レジスタ 11	PRL11	32	32
A001 0830h	VIC	割り込み優先レベル格納レジスタ 12	PRL12	32	32
A001 0834h	VIC	割り込み優先レベル格納レジスタ 13	PRL13	32	32
A001 0838h	VIC	割り込み優先レベル格納レジスタ 14	PRL14	32	32
A001 083Ch	VIC	割り込み優先レベル格納レジスタ 15	PRL15	32	32
A001 0840h	VIC	割り込み優先レベル格納レジスタ 16	PRL16	32	32
A001 0844h	VIC	割り込み優先レベル格納レジスタ 17	PRL17	32	32
A001 0848h	VIC	割り込み優先レベル格納レジスタ 18	PRL18	32	32
A001 084Ch	VIC	割り込み優先レベル格納レジスタ 19	PRL19	32	32
A001 0850h	VIC	割り込み優先レベル格納レジスタ 20	PRL20	32	32
A001 0854h	VIC	割り込み優先レベル格納レジスタ 21	PRL21	32	32
A001 0858h	VIC	割り込み優先レベル格納レジスタ 22	PRL22	32	32
A001 085Ch	VIC	割り込み優先レベル格納レジスタ 23	PRL23	32	32
A001 0860h	VIC	割り込み優先レベル格納レジスタ 24	PRL24	32	32
A001 0864h	VIC	割り込み優先レベル格納レジスタ 25	PRL25	32	32
A001 0868h	VIC	割り込み優先レベル格納レジスタ 26	PRL26	32	32
A001 086Ch	VIC	割り込み優先レベル格納レジスタ 27	PRL27	32	32
A001 0870h	VIC	割り込み優先レベル格納レジスタ 28	PRL28	32	32
A001 0874h	VIC	割り込み優先レベル格納レジスタ 29	PRL29	32	32
A001 0878h	VIC	割り込み優先レベル格納レジスタ 30	PRL30	32	32
A001 087Ch	VIC	割り込み優先レベル格納レジスタ 31	PRL31	32	32
A001 0880h	VIC	割り込み優先レベル格納レジスタ 32	PRL32	32	32
A001 0884h	VIC	割り込み優先レベル格納レジスタ 33	PRL33	32	32
A001 0888h	VIC	割り込み優先レベル格納レジスタ 34	PRL34	32	32
A001 088Ch	VIC	割り込み優先レベル格納レジスタ 35	PRL35	32	32
A001 0890h	VIC	割り込み優先レベル格納レジスタ 36	PRL36	32	32
A001 0894h	VIC	割り込み優先レベル格納レジスタ 37	PRL37	32	32

表5.1 I/O レジスタアドレス一覧 (17 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0898h	VIC	割り込み優先レベル格納レジスタ 38	PRL38	32	32
A001 089Ch	VIC	割り込み優先レベル格納レジスタ 39	PRL39	32	32
A001 08A0h	VIC	割り込み優先レベル格納レジスタ 40	PRL40	32	32
A001 08A4h	VIC	割り込み優先レベル格納レジスタ 41	PRL41	32	32
A001 08A8h	VIC	割り込み優先レベル格納レジスタ 42	PRL42	32	32
A001 08ACh	VIC	割り込み優先レベル格納レジスタ 43	PRL43	32	32
A001 08B0h	VIC	割り込み優先レベル格納レジスタ 44	PRL44	32	32
A001 08B4h	VIC	割り込み優先レベル格納レジスタ 45	PRL45	32	32
A001 08B8h	VIC	割り込み優先レベル格納レジスタ 46	PRL46	32	32
A001 08BCh	VIC	割り込み優先レベル格納レジスタ 47	PRL47	32	32
A001 08C0h	VIC	割り込み優先レベル格納レジスタ 48	PRL48	32	32
A001 08C4h	VIC	割り込み優先レベル格納レジスタ 49	PRL49	32	32
A001 08C8h	VIC	割り込み優先レベル格納レジスタ 50	PRL50	32	32
A001 08CCh	VIC	割り込み優先レベル格納レジスタ 51	PRL51	32	32
A001 08D0h	VIC	割り込み優先レベル格納レジスタ 52	PRL52	32	32
A001 08D4h	VIC	割り込み優先レベル格納レジスタ 53	PRL53	32	32
A001 08D8h	VIC	割り込み優先レベル格納レジスタ 54	PRL54	32	32
A001 08DCh	VIC	割り込み優先レベル格納レジスタ 55	PRL55	32	32
A001 08E0h	VIC	割り込み優先レベル格納レジスタ 56	PRL56	32	32
A001 08E4h	VIC	割り込み優先レベル格納レジスタ 57	PRL57	32	32
A001 08E8h	VIC	割り込み優先レベル格納レジスタ 58	PRL58	32	32
A001 08ECh	VIC	割り込み優先レベル格納レジスタ 59	PRL59	32	32
A001 08F0h	VIC	割り込み優先レベル格納レジスタ 60	PRL60	32	32
A001 08F4h	VIC	割り込み優先レベル格納レジスタ 61	PRL61	32	32
A001 08F8h	VIC	割り込み優先レベル格納レジスタ 62	PRL62	32	32
A001 08FCh	VIC	割り込み優先レベル格納レジスタ 63	PRL63	32	32
A001 0900h	VIC	割り込み優先レベル格納レジスタ 64	PRL64	32	32
A001 0904h	VIC	割り込み優先レベル格納レジスタ 65	PRL65	32	32
A001 0908h	VIC	割り込み優先レベル格納レジスタ 66	PRL66	32	32
A001 090Ch	VIC	割り込み優先レベル格納レジスタ 67	PRL67	32	32
A001 0910h	VIC	割り込み優先レベル格納レジスタ 68	PRL68	32	32
A001 0914h	VIC	割り込み優先レベル格納レジスタ 69	PRL69	32	32
A001 0918h	VIC	割り込み優先レベル格納レジスタ 70	PRL70	32	32
A001 091Ch	VIC	割り込み優先レベル格納レジスタ 71	PRL71	32	32
A001 0920h	VIC	割り込み優先レベル格納レジスタ 72	PRL72	32	32
A001 0924h	VIC	割り込み優先レベル格納レジスタ 73	PRL73	32	32
A001 0928h	VIC	割り込み優先レベル格納レジスタ 74	PRL74	32	32
A001 092Ch	VIC	割り込み優先レベル格納レジスタ 75	PRL75	32	32
A001 0930h	VIC	割り込み優先レベル格納レジスタ 76	PRL76	32	32
A001 0934h	VIC	割り込み優先レベル格納レジスタ 77	PRL77	32	32
A001 0938h	VIC	割り込み優先レベル格納レジスタ 78	PRL78	32	32
A001 093Ch	VIC	割り込み優先レベル格納レジスタ 79	PRL79	32	32
A001 0940h	VIC	割り込み優先レベル格納レジスタ 80	PRL80	32	32
A001 0944h	VIC	割り込み優先レベル格納レジスタ 81	PRL81	32	32
A001 0948h	VIC	割り込み優先レベル格納レジスタ 82	PRL82	32	32
A001 094Ch	VIC	割り込み優先レベル格納レジスタ 83	PRL83	32	32
A001 0950h	VIC	割り込み優先レベル格納レジスタ 84	PRL84	32	32
A001 0954h	VIC	割り込み優先レベル格納レジスタ 85	PRL85	32	32

表5.1 I/O レジスタアドレス一覧 (18 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0958h	VIC	割り込み優先レベル格納レジスタ 86	PRL86	32	32
A001 095Ch	VIC	割り込み優先レベル格納レジスタ 87	PRL87	32	32
A001 0960h	VIC	割り込み優先レベル格納レジスタ 88	PRL88	32	32
A001 0964h	VIC	割り込み優先レベル格納レジスタ 89	PRL89	32	32
A001 0968h	VIC	割り込み優先レベル格納レジスタ 90	PRL90	32	32
A001 096Ch	VIC	割り込み優先レベル格納レジスタ 91	PRL91	32	32
A001 0970h	VIC	割り込み優先レベル格納レジスタ 92	PRL92	32	32
A001 0974h	VIC	割り込み優先レベル格納レジスタ 93	PRL93	32	32
A001 0978h	VIC	割り込み優先レベル格納レジスタ 94	PRL94	32	32
A001 097Ch	VIC	割り込み優先レベル格納レジスタ 95	PRL95	32	32
A001 0980h	VIC	割り込み優先レベル格納レジスタ 96	PRL96	32	32
A001 0984h	VIC	割り込み優先レベル格納レジスタ 97	PRL97	32	32
A001 0988h	VIC	割り込み優先レベル格納レジスタ 98	PRL98	32	32
A001 098Ch	VIC	割り込み優先レベル格納レジスタ 99	PRL99	32	32
A001 0990h	VIC	割り込み優先レベル格納レジスタ 100	PRL100	32	32
A001 0994h	VIC	割り込み優先レベル格納レジスタ 101	PRL101	32	32
A001 0998h	VIC	割り込み優先レベル格納レジスタ 102	PRL102	32	32
A001 099Ch	VIC	割り込み優先レベル格納レジスタ 103	PRL103	32	32
A001 09A0h	VIC	割り込み優先レベル格納レジスタ 104	PRL104	32	32
A001 09A4h	VIC	割り込み優先レベル格納レジスタ 105	PRL105	32	32
A001 09A8h	VIC	割り込み優先レベル格納レジスタ 106	PRL106	32	32
A001 09ACh	VIC	割り込み優先レベル格納レジスタ 107	PRL107	32	32
A001 09B0h	VIC	割り込み優先レベル格納レジスタ 108	PRL108	32	32
A001 09B4h	VIC	割り込み優先レベル格納レジスタ 109	PRL109	32	32
A001 09B8h	VIC	割り込み優先レベル格納レジスタ 110	PRL110	32	32
A001 09BCh	VIC	割り込み優先レベル格納レジスタ 111	PRL111	32	32
A001 09C0h	VIC	割り込み優先レベル格納レジスタ 112	PRL112	32	32
A001 09C4h	VIC	割り込み優先レベル格納レジスタ 113	PRL113	32	32
A001 09C8h	VIC	割り込み優先レベル格納レジスタ 114	PRL114	32	32
A001 09CCh	VIC	割り込み優先レベル格納レジスタ 115	PRL115	32	32
A001 09D0h	VIC	割り込み優先レベル格納レジスタ 116	PRL116	32	32
A001 09D4h	VIC	割り込み優先レベル格納レジスタ 117	PRL117	32	32
A001 09D8h	VIC	割り込み優先レベル格納レジスタ 118	PRL118	32	32
A001 09DCh	VIC	割り込み優先レベル格納レジスタ 119	PRL119	32	32
A001 09E0h	VIC	割り込み優先レベル格納レジスタ 120	PRL120	32	32
A001 09E4h	VIC	割り込み優先レベル格納レジスタ 121	PRL121	32	32
A001 09E8h	VIC	割り込み優先レベル格納レジスタ 122	PRL122	32	32
A001 09ECh	VIC	割り込み優先レベル格納レジスタ 123	PRL123	32	32
A001 09F0h	VIC	割り込み優先レベル格納レジスタ 124	PRL124	32	32
A001 09F4h	VIC	割り込み優先レベル格納レジスタ 125	PRL125	32	32
A001 09F8h	VIC	割り込み優先レベル格納レジスタ 126	PRL126	32	32
A001 09FCh	VIC	割り込み優先レベル格納レジスタ 127	PRL127	32	32
A001 0A00h	VIC	割り込み優先レベル格納レジスタ 128	PRL128	32	32
A001 0A04h	VIC	割り込み優先レベル格納レジスタ 129	PRL129	32	32
A001 0A08h	VIC	割り込み優先レベル格納レジスタ 130	PRL130	32	32
A001 0A0Ch	VIC	割り込み優先レベル格納レジスタ 131	PRL131	32	32
A001 0A10h	VIC	割り込み優先レベル格納レジスタ 132	PRL132	32	32
A001 0A14h	VIC	割り込み優先レベル格納レジスタ 133	PRL133	32	32

表5.1 I/O レジスタアドレス一覧 (19 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0A18h	VIC	割り込み優先レベル格納レジスタ 134	PRL134	32	32
A001 0A1Ch	VIC	割り込み優先レベル格納レジスタ 135	PRL135	32	32
A001 0A20h	VIC	割り込み優先レベル格納レジスタ 136	PRL136	32	32
A001 0A24h	VIC	割り込み優先レベル格納レジスタ 137	PRL137	32	32
A001 0A28h	VIC	割り込み優先レベル格納レジスタ 138	PRL138	32	32
A001 0A2Ch	VIC	割り込み優先レベル格納レジスタ 139	PRL139	32	32
A001 0A30h	VIC	割り込み優先レベル格納レジスタ 140	PRL140	32	32
A001 0A34h	VIC	割り込み優先レベル格納レジスタ 141	PRL141	32	32
A001 0A38h	VIC	割り込み優先レベル格納レジスタ 142	PRL142	32	32
A001 0A3Ch	VIC	割り込み優先レベル格納レジスタ 143	PRL143	32	32
A001 0A40h	VIC	割り込み優先レベル格納レジスタ 144	PRL144	32	32
A001 0A44h	VIC	割り込み優先レベル格納レジスタ 145	PRL145	32	32
A001 0A48h	VIC	割り込み優先レベル格納レジスタ 146	PRL146	32	32
A001 0A4Ch	VIC	割り込み優先レベル格納レジスタ 147	PRL147	32	32
A001 0A50h	VIC	割り込み優先レベル格納レジスタ 148	PRL148	32	32
A001 0A54h	VIC	割り込み優先レベル格納レジスタ 149	PRL149	32	32
A001 0A58h	VIC	割り込み優先レベル格納レジスタ 150	PRL150	32	32
A001 0A5Ch	VIC	割り込み優先レベル格納レジスタ 151	PRL151	32	32
A001 0A60h	VIC	割り込み優先レベル格納レジスタ 152	PRL152	32	32
A001 0A64h	VIC	割り込み優先レベル格納レジスタ 153	PRL153	32	32
A001 0A68h	VIC	割り込み優先レベル格納レジスタ 154	PRL154	32	32
A001 0A6Ch	VIC	割り込み優先レベル格納レジスタ 155	PRL155	32	32
A001 0A70h	VIC	割り込み優先レベル格納レジスタ 156	PRL156	32	32
A001 0A74h	VIC	割り込み優先レベル格納レジスタ 157	PRL157	32	32
A001 0A78h	VIC	割り込み優先レベル格納レジスタ 158	PRL158	32	32
A001 0A7Ch	VIC	割り込み優先レベル格納レジスタ 159	PRL159	32	32
A001 0A80h	VIC	割り込み優先レベル格納レジスタ 160	PRL160	32	32
A001 0A84h	VIC	割り込み優先レベル格納レジスタ 161	PRL161	32	32
A001 0A88h	VIC	割り込み優先レベル格納レジスタ 162	PRL162	32	32
A001 0A8Ch	VIC	割り込み優先レベル格納レジスタ 163	PRL163	32	32
A001 0A90h	VIC	割り込み優先レベル格納レジスタ 164	PRL164	32	32
A001 0A94h	VIC	割り込み優先レベル格納レジスタ 165	PRL165	32	32
A001 0A98h	VIC	割り込み優先レベル格納レジスタ 166	PRL166	32	32
A001 0A9Ch	VIC	割り込み優先レベル格納レジスタ 167	PRL167	32	32
A001 0AA0h	VIC	割り込み優先レベル格納レジスタ 168	PRL168	32	32
A001 0AA4h	VIC	割り込み優先レベル格納レジスタ 169	PRL169	32	32
A001 0AA8h	VIC	割り込み優先レベル格納レジスタ 170	PRL170	32	32
A001 0AACh	VIC	割り込み優先レベル格納レジスタ 171	PRL171	32	32
A001 0AB0h	VIC	割り込み優先レベル格納レジスタ 172	PRL172	32	32
A001 0AB4h	VIC	割り込み優先レベル格納レジスタ 173	PRL173	32	32
A001 0AB8h	VIC	割り込み優先レベル格納レジスタ 174	PRL174	32	32
A001 0ABCh	VIC	割り込み優先レベル格納レジスタ 175	PRL175	32	32
A001 0AC0h	VIC	割り込み優先レベル格納レジスタ 176	PRL176	32	32
A001 0AC4h	VIC	割り込み優先レベル格納レジスタ 177	PRL177	32	32
A001 0AC8h	VIC	割り込み優先レベル格納レジスタ 178	PRL178	32	32
A001 0ACCh	VIC	割り込み優先レベル格納レジスタ 179	PRL179	32	32
A001 0AD0h	VIC	割り込み優先レベル格納レジスタ 180	PRL180	32	32
A001 0AD4h	VIC	割り込み優先レベル格納レジスタ 181	PRL181	32	32

表5.1 I/O レジスタアドレス一覧 (20 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0AD8h	VIC	割り込み優先レベル格納レジスタ 182	PRL182	32	32
A001 0ADCh	VIC	割り込み優先レベル格納レジスタ 183	PRL183	32	32
A001 0AE0h	VIC	割り込み優先レベル格納レジスタ 184	PRL184	32	32
A001 0AE4h	VIC	割り込み優先レベル格納レジスタ 185	PRL185	32	32
A001 0AE8h	VIC	割り込み優先レベル格納レジスタ 186	PRL186	32	32
A001 0AECh	VIC	割り込み優先レベル格納レジスタ 187	PRL187	32	32
A001 0AF0h	VIC	割り込み優先レベル格納レジスタ 188	PRL188	32	32
A001 0AF4h	VIC	割り込み優先レベル格納レジスタ 189	PRL189	32	32
A001 0AF8h	VIC	割り込み優先レベル格納レジスタ 190	PRL190	32	32
A001 0AFCh	VIC	割り込み優先レベル格納レジスタ 191	PRL191	32	32
A001 0B00h	VIC	割り込み優先レベル格納レジスタ 192	PRL192	32	32
A001 0B04h	VIC	割り込み優先レベル格納レジスタ 193	PRL193	32	32
A001 0B08h	VIC	割り込み優先レベル格納レジスタ 194	PRL194	32	32
A001 0B0Ch	VIC	割り込み優先レベル格納レジスタ 195	PRL195	32	32
A001 0B10h	VIC	割り込み優先レベル格納レジスタ 196	PRL196	32	32
A001 0B14h	VIC	割り込み優先レベル格納レジスタ 197	PRL197	32	32
A001 0B18h	VIC	割り込み優先レベル格納レジスタ 198	PRL198	32	32
A001 0B1Ch	VIC	割り込み優先レベル格納レジスタ 199	PRL199	32	32
A001 0B20h	VIC	割り込み優先レベル格納レジスタ 200	PRL200	32	32
A001 0B24h	VIC	割り込み優先レベル格納レジスタ 201	PRL201	32	32
A001 0B28h	VIC	割り込み優先レベル格納レジスタ 202	PRL202	32	32
A001 0B2Ch	VIC	割り込み優先レベル格納レジスタ 203	PRL203	32	32
A001 0B30h	VIC	割り込み優先レベル格納レジスタ 204	PRL204	32	32
A001 0B34h	VIC	割り込み優先レベル格納レジスタ 205	PRL205	32	32
A001 0B38h	VIC	割り込み優先レベル格納レジスタ 206	PRL206	32	32
A001 0B3Ch	VIC	割り込み優先レベル格納レジスタ 207	PRL207	32	32
A001 0B40h	VIC	割り込み優先レベル格納レジスタ 208	PRL208	32	32
A001 0B44h	VIC	割り込み優先レベル格納レジスタ 209	PRL209	32	32
A001 0B48h	VIC	割り込み優先レベル格納レジスタ 210	PRL210	32	32
A001 0B4Ch	VIC	割り込み優先レベル格納レジスタ 211	PRL211	32	32
A001 0B50h	VIC	割り込み優先レベル格納レジスタ 212	PRL212	32	32
A001 0B54h	VIC	割り込み優先レベル格納レジスタ 213	PRL213	32	32
A001 0B58h	VIC	割り込み優先レベル格納レジスタ 214	PRL214	32	32
A001 0B5Ch	VIC	割り込み優先レベル格納レジスタ 215	PRL215	32	32
A001 0B60h	VIC	割り込み優先レベル格納レジスタ 216	PRL216	32	32
A001 0B64h	VIC	割り込み優先レベル格納レジスタ 217	PRL217	32	32
A001 0B68h	VIC	割り込み優先レベル格納レジスタ 218	PRL218	32	32
A001 0B6Ch	VIC	割り込み優先レベル格納レジスタ 219	PRL219	32	32
A001 0B70h	VIC	割り込み優先レベル格納レジスタ 220	PRL220	32	32
A001 0B74h	VIC	割り込み優先レベル格納レジスタ 221	PRL221	32	32
A001 0B78h	VIC	割り込み優先レベル格納レジスタ 222	PRL222	32	32
A001 0B7Ch	VIC	割り込み優先レベル格納レジスタ 223	PRL223	32	32
A001 0B80h	VIC	割り込み優先レベル格納レジスタ 224	PRL224	32	32
A001 0B84h	VIC	割り込み優先レベル格納レジスタ 225	PRL225	32	32
A001 0B88h	VIC	割り込み優先レベル格納レジスタ 226	PRL226	32	32
A001 0B8Ch	VIC	割り込み優先レベル格納レジスタ 227	PRL227	32	32
A001 0B90h	VIC	割り込み優先レベル格納レジスタ 228	PRL228	32	32
A001 0B94h	VIC	割り込み優先レベル格納レジスタ 229	PRL229	32	32

表5.1 I/O レジスタアドレス一覧 (21 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0B98h	VIC	割り込み優先レベル格納レジスタ230	PRL230	32	32
A001 0B9Ch	VIC	割り込み優先レベル格納レジスタ231	PRL231	32	32
A001 0BA0h	VIC	割り込み優先レベル格納レジスタ232	PRL232	32	32
A001 0BA4h	VIC	割り込み優先レベル格納レジスタ233	PRL233	32	32
A001 0BA8h	VIC	割り込み優先レベル格納レジスタ234	PRL234	32	32
A001 0BACh	VIC	割り込み優先レベル格納レジスタ235	PRL235	32	32
A001 0BB0h	VIC	割り込み優先レベル格納レジスタ236	PRL236	32	32
A001 0BB4h	VIC	割り込み優先レベル格納レジスタ237	PRL237	32	32
A001 0BB8h	VIC	割り込み優先レベル格納レジスタ238	PRL238	32	32
A001 0BBCh	VIC	割り込み優先レベル格納レジスタ239	PRL239	32	32
A001 0BC0h	VIC	割り込み優先レベル格納レジスタ240	PRL240	32	32
A001 0BC4h	VIC	割り込み優先レベル格納レジスタ241	PRL241	32	32
A001 0BC8h	VIC	割り込み優先レベル格納レジスタ242	PRL242	32	32
A001 0BCCh	VIC	割り込み優先レベル格納レジスタ243	PRL243	32	32
A001 0BD0h	VIC	割り込み優先レベル格納レジスタ244	PRL244	32	32
A001 0BD4h	VIC	割り込み優先レベル格納レジスタ245	PRL245	32	32
A001 0BD8h	VIC	割り込み優先レベル格納レジスタ246	PRL246	32	32
A001 0BDCh	VIC	割り込み優先レベル格納レジスタ247	PRL247	32	32
A001 0BE0h	VIC	割り込み優先レベル格納レジスタ248	PRL248	32	32
A001 0BE4h	VIC	割り込み優先レベル格納レジスタ249	PRL249	32	32
A001 0BE8h	VIC	割り込み優先レベル格納レジスタ250	PRL250	32	32
A001 0BECh	VIC	割り込み優先レベル格納レジスタ251	PRL251	32	32
A001 0BF0h	VIC	割り込み優先レベル格納レジスタ252	PRL252	32	32
A001 0BF4h	VIC	割り込み優先レベル格納レジスタ253	PRL253	32	32
A001 0BF8h	VIC	割り込み優先レベル格納レジスタ254	PRL254	32	32
A001 0BFCh	VIC	割り込み優先レベル格納レジスタ255	PRL255	32	32
A001 1000h	VIC	IRQステータスレジスタ8	IRQS8	32	32
A001 1004h	VIC	IRQステータスレジスタ9	IRQS9	32	32
A001 1040h	VIC	割り込み入力ステータスレジスタ8	RAIS8	32	32
A001 1044h	VIC	割り込み入力ステータスレジスタ9	RAIS9	32	32
A001 1080h	VIC	割り込みイネーブルレジスタ8	IEN8	32	32
A001 1084h	VIC	割り込みイネーブルレジスタ9	IEN9	32	32
A001 10A0h	VIC	割り込みイネーブルクリアレジスタ8	IEC8	32	32
A001 10A4h	VIC	割り込みイネーブルクリアレジスタ9	IEC9	32	32
A001 1100h	VIC	割り込み検出タイプ選択レジスタ8	PLS8	32	32
A001 1104h	VIC	割り込み検出タイプ選択レジスタ9	PLS9	32	32
A001 1120h	VIC	エッジ検出ビットクリアレジスタ8	PIC8	32	32
A001 1124h	VIC	エッジ検出ビットクリアレジスタ9	PIC9	32	32
A001 11C0h	VIC	割り込み優先レベルマスクレジスタ1	PRLM1	32	32
A001 11C4h	VIC	割り込み優先レベルマスククリアレジスタ1	PRLC1	32	32
A001 11C8h	VIC	ユーザモードイネーブルレジスタ1	UEN1	32	32
A001 1210h	VIC	割り込みサービスステータスレジスタ8	ISS8	32	32
A001 1214h	VIC	割り込みサービスステータスレジスタ9	ISS9	32	32
A001 1230h	VIC	割り込みサービスカレントレジスタ8	ISC8	32	32
A001 1234h	VIC	割り込みサービスカレントレジスタ9	ISC9	32	32
A001 1400h	VIC	割り込みアドレス格納レジスタ256	VAD256	32	32
A001 1404h	VIC	割り込みアドレス格納レジスタ257	VAD257	32	32
A001 1408h	VIC	割り込みアドレス格納レジスタ258	VAD258	32	32

表5.1 I/O レジスタアドレス一覧 (22 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 140Ch	VIC	割り込みアドレス格納レジスタ 259	VAD259	32	32
A001 1410h	VIC	割り込みアドレス格納レジスタ 260	VAD260	32	32
A001 1414h	VIC	割り込みアドレス格納レジスタ 261	VAD261	32	32
A001 1418h	VIC	割り込みアドレス格納レジスタ 262	VAD262	32	32
A001 141Ch	VIC	割り込みアドレス格納レジスタ 263	VAD263	32	32
A001 1420h	VIC	割り込みアドレス格納レジスタ 264	VAD264	32	32
A001 1424h	VIC	割り込みアドレス格納レジスタ 265	VAD265	32	32
A001 1428h	VIC	割り込みアドレス格納レジスタ 266	VAD266	32	32
A001 142Ch	VIC	割り込みアドレス格納レジスタ 267	VAD267	32	32
A001 1430h	VIC	割り込みアドレス格納レジスタ 268	VAD268	32	32
A001 1434h	VIC	割り込みアドレス格納レジスタ 269	VAD269	32	32
A001 1438h	VIC	割り込みアドレス格納レジスタ 270	VAD270	32	32
A001 143Ch	VIC	割り込みアドレス格納レジスタ 271	VAD271	32	32
A001 1440h	VIC	割り込みアドレス格納レジスタ 272	VAD272	32	32
A001 1444h	VIC	割り込みアドレス格納レジスタ 273	VAD273	32	32
A001 1448h	VIC	割り込みアドレス格納レジスタ 274	VAD274	32	32
A001 144Ch	VIC	割り込みアドレス格納レジスタ 275	VAD275	32	32
A001 1450h	VIC	割り込みアドレス格納レジスタ 276	VAD276	32	32
A001 1454h	VIC	割り込みアドレス格納レジスタ 277	VAD277	32	32
A001 1458h	VIC	割り込みアドレス格納レジスタ 278	VAD278	32	32
A001 145Ch	VIC	割り込みアドレス格納レジスタ 279	VAD279	32	32
A001 1460h	VIC	割り込みアドレス格納レジスタ 280	VAD280	32	32
A001 1464h	VIC	割り込みアドレス格納レジスタ 281	VAD281	32	32
A001 1468h	VIC	割り込みアドレス格納レジスタ 282	VAD282	32	32
A001 146Ch	VIC	割り込みアドレス格納レジスタ 283	VAD283	32	32
A001 1470h	VIC	割り込みアドレス格納レジスタ 284	VAD284	32	32
A001 1474h	VIC	割り込みアドレス格納レジスタ 285	VAD285	32	32
A001 1478h	VIC	割り込みアドレス格納レジスタ 286	VAD286	32	32
A001 147Ch	VIC	割り込みアドレス格納レジスタ 287	VAD287	32	32
A001 1480h	VIC	割り込みアドレス格納レジスタ 288	VAD288	32	32
A001 1484h	VIC	割り込みアドレス格納レジスタ 289	VAD289	32	32
A001 1488h	VIC	割り込みアドレス格納レジスタ 290	VAD290	32	32
A001 148Ch	VIC	割り込みアドレス格納レジスタ 291	VAD291	32	32
A001 1490h	VIC	割り込みアドレス格納レジスタ 292	VAD292	32	32
A001 1494h	VIC	割り込みアドレス格納レジスタ 293	VAD293	32	32
A001 1498h	VIC	割り込みアドレス格納レジスタ 294	VAD294	32	32
A001 149Ch	VIC	割り込みアドレス格納レジスタ 295	VAD295	32	32
A001 14A0h	VIC	割り込みアドレス格納レジスタ 296	VAD296	32	32
A001 14A4h	VIC	割り込みアドレス格納レジスタ 297	VAD297	32	32
A001 14A8h	VIC	割り込みアドレス格納レジスタ 298	VAD298	32	32
A001 14ACh	VIC	割り込みアドレス格納レジスタ 299	VAD299	32	32
A001 14B0h	VIC	割り込みアドレス格納レジスタ 300	VAD300	32	32
A001 1800h	VIC	割り込み優先レベル格納レジスタ 256	PRL256	32	32
A001 1804h	VIC	割り込み優先レベル格納レジスタ 257	PRL257	32	32
A001 1808h	VIC	割り込み優先レベル格納レジスタ 258	PRL258	32	32
A001 180Ch	VIC	割り込み優先レベル格納レジスタ 259	PRL259	32	32
A001 1810h	VIC	割り込み優先レベル格納レジスタ 260	PRL260	32	32
A001 1814h	VIC	割り込み優先レベル格納レジスタ 261	PRL261	32	32

表5.1 I/O レジスタアドレス一覧 (23 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 1818h	VIC	割り込み優先レベル格納レジスタ 262	PRL262	32	32
A001 181Ch	VIC	割り込み優先レベル格納レジスタ 263	PRL263	32	32
A001 1820h	VIC	割り込み優先レベル格納レジスタ 264	PRL264	32	32
A001 1824h	VIC	割り込み優先レベル格納レジスタ 265	PRL265	32	32
A001 1828h	VIC	割り込み優先レベル格納レジスタ 266	PRL266	32	32
A001 182Ch	VIC	割り込み優先レベル格納レジスタ 267	PRL267	32	32
A001 1830h	VIC	割り込み優先レベル格納レジスタ 268	PRL268	32	32
A001 1834h	VIC	割り込み優先レベル格納レジスタ 269	PRL269	32	32
A001 1838h	VIC	割り込み優先レベル格納レジスタ 270	PRL270	32	32
A001 183Ch	VIC	割り込み優先レベル格納レジスタ 271	PRL271	32	32
A001 1840h	VIC	割り込み優先レベル格納レジスタ 272	PRL272	32	32
A001 1844h	VIC	割り込み優先レベル格納レジスタ 273	PRL273	32	32
A001 1848h	VIC	割り込み優先レベル格納レジスタ 274	PRL274	32	32
A001 184Ch	VIC	割り込み優先レベル格納レジスタ 275	PRL275	32	32
A001 1850h	VIC	割り込み優先レベル格納レジスタ 276	PRL276	32	32
A001 1854h	VIC	割り込み優先レベル格納レジスタ 277	PRL277	32	32
A001 1858h	VIC	割り込み優先レベル格納レジスタ 278	PRL278	32	32
A001 185Ch	VIC	割り込み優先レベル格納レジスタ 279	PRL279	32	32
A001 1860h	VIC	割り込み優先レベル格納レジスタ 280	PRL280	32	32
A001 1864h	VIC	割り込み優先レベル格納レジスタ 281	PRL281	32	32
A001 1868h	VIC	割り込み優先レベル格納レジスタ 282	PRL282	32	32
A001 186Ch	VIC	割り込み優先レベル格納レジスタ 283	PRL283	32	32
A001 1870h	VIC	割り込み優先レベル格納レジスタ 284	PRL284	32	32
A001 1874h	VIC	割り込み優先レベル格納レジスタ 285	PRL285	32	32
A001 1878h	VIC	割り込み優先レベル格納レジスタ 286	PRL286	32	32
A001 187Ch	VIC	割り込み優先レベル格納レジスタ 287	PRL287	32	32
A001 1880h	VIC	割り込み優先レベル格納レジスタ 288	PRL288	32	32
A001 1884h	VIC	割り込み優先レベル格納レジスタ 289	PRL289	32	32
A001 1888h	VIC	割り込み優先レベル格納レジスタ 290	PRL290	32	32
A001 188Ch	VIC	割り込み優先レベル格納レジスタ 291	PRL291	32	32
A001 1890h	VIC	割り込み優先レベル格納レジスタ 292	PRL292	32	32
A001 1894h	VIC	割り込み優先レベル格納レジスタ 293	PRL293	32	32
A001 1898h	VIC	割り込み優先レベル格納レジスタ 294	PRL294	32	32
A001 189Ch	VIC	割り込み優先レベル格納レジスタ 295	PRL295	32	32
A001 18A0h	VIC	割り込み優先レベル格納レジスタ 296	PRL296	32	32
A001 18A4h	VIC	割り込み優先レベル格納レジスタ 297	PRL297	32	32
A001 18A8h	VIC	割り込み優先レベル格納レジスタ 298	PRL298	32	32
A001 18ACh	VIC	割り込み優先レベル格納レジスタ 299	PRL299	32	32
A001 18B0h	VIC	割り込み優先レベル格納レジスタ 300	PRL300	32	32
A004 0000h	USBh	HcRevision レジスタ	HcRevision	32	32
A004 0004h	USBh	HcControl レジスタ	HcControl	32	32
A004 0008h	USBh	HcCommandStatus レジスタ	HcCommandStatus	32	32
A004 000Ch	USBh	HcInterruptStatus レジスタ	HcIntStatus	32	32
A004 0010h	USBh	HcInterruptEnable レジスタ	HcIntEnable	32	32
A004 0014h	USBh	HcInterruptDisable レジスタ	HcIntDisable	32	32
A004 0018h	USBh	HcHCCA レジスタ	HcHCCA	32	32
A004 001Ch	USBh	HcPeriodicCurrentED レジスタ	HcPeriodCurED	32	32
A004 0020h	USBh	HcControlHeadED レジスタ	HcContHeadED	32	32

表5.1 I/O レジスタアドレス一覧 (24 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A004 0024h	USBh	HcControlCurrentED レジスタ	HcContCurrentED	32	32
A004 0028h	USBh	HcBulkHeadED レジスタ	HcBulkHeadED	32	32
A004 002Ch	USBh	HcBulkCurrentED レジスタ	HcBulkCurrentED	32	32
A004 0030h	USBh	HcDoneHead レジスタ	HcDoneHead	32	32
A004 0034h	USBh	HcFmInterval レジスタ	HcFmInterval	32	32
A004 0038h	USBh	HcFmRemaining レジスタ	HcFmRemaining	32	32
A004 003Ch	USBh	HcFmNumber レジスタ	HcFmNumber	32	32
A004 0040h	USBh	HcPeriodicStart レジスタ	HcPeriodicStart	32	32
A004 0048h	USBh	HcRhDescriptorA レジスタ	HcRhDescriptorA	32	32
A004 004Ch	USBh	HcRhDescriptorB レジスタ	HcRhDescriptorB	32	32
A004 0050h	USBh	HcRhStatus レジスタ	HcRhStatus_A	32	32
A004 0050h	USBh	HcRhStatus レジスタ	HcRhStatus_B	32	32
A004 0054h	USBh	HcRhPortStatus1 レジスタ	HcRhPortStatus1_A	32	32
A004 0054h	USBh	HcRhPortStatus1 レジスタ	HcRhPortStatus1_B	32	32
A004 1000h	USBh	HCIVERSION / CAPLENGTH レジスタ	CAPL_VERSION	32	32
A004 1004h	USBh	HCSPARAMS レジスタ	HCSPARAMS	32	32
A004 1008h	USBh	HCCPARAMS レジスタ	HCCPARAMS	32	32
A004 100Ch	USBh	HCSP_PORTROUTE レジスタ	HCSP_PORTROUTE	32	32
A004 1020h	USBh	USBCMD レジスタ	USBCMD	32	32
A004 1024h	USBh	USBSTS レジスタ	USBSTS	32	32
A004 1028h	USBh	USBINTR レジスタ	USBINTR	32	32
A004 102Ch	USBh	FRINDEX レジスタ	FRINDEX	32	32
A004 1030h	USBh	CTRLDSSEGMENT レジスタ	CTRLDSSEGMENT	32	32
A004 1034h	USBh	PERIODICLISTBASE レジスタ	PERIODICLIST	32	32
A004 1038h	USBh	ASYNCLISTADDR レジスタ	ASYNCLISTADDR	32	32
A004 1060h	USBh	CONFIGFLAG レジスタ	CONFIGFLAG	32	32
A004 1064h	USBh	PORTSC1 レジスタ	PORTSC1	32	32
A005 0000h	USBh	PCI Configuration Registers for OHCI	VID_DID_O	32	32
A005 0000h	USBh	PCI Configuration Registers for AHB-PCI Bridge	VID_DID_A	32	32
A005 0004h	USBh	PCI Configuration Registers for OHCI	CMND_STS_O	32	32
A005 0004h	USBh	PCI Configuration Registers for AHB-PCI Bridge	CMND_STS_A	32	32
A005 0008h	USBh	PCI Configuration Registers for OHCI	REVID_CC_O	32	32
A005 0008h	USBh	PCI Configuration Registers for AHB-PCI Bridge	REVID_CC_A	32	32
A005 000Ch	USBh	PCI Configuration Registers for OHCI	CLS_LT_HT_BIST_O	32	32
A005 000Ch	USBh	PCI Configuration Registers for AHB-PCI Bridge	CLS_LT_HT_BIST_A	32	32
A005 0010h	USBh	PCI Configuration Registers for OHCI	BASEAD_O	32	32
A005 0010h	USBh	PCI Configuration Registers for AHB-PCI Bridge	BASEAD_A	32	32
A005 0014h	USBh	PCI Configuration Registers for AHB-PCI Bridge	WIN1_BASEAD	32	32
A005 002Ch	USBh	PCI Configuration Registers for OHCI	SSVID_SSID_O	32	32
A005 002Ch	USBh	PCI Configuration Registers for AHB-PCI Bridge	SSVID_SSID_A	32	32
A005 0030h	USBh	PCI Configuration Registers for OHCI	EROM_BASEAD	32	32
A005 0034h	USBh	PCI Configuration Registers for OHCI	CAPPTR	32	32
A005 003Ch	USBh	PCI Configuration Registers for OHCI	INTR_LINE_PIN_O	32	32
A005 003Ch	USBh	PCI Configuration Registers for AHB-PCI Bridge	INTR_LINE_PIN_A	32	32
A005 0040h	USBh	PCI Configuration Registers for OHCI	CAPID_NIP_PMCAP	32	32
A005 0044h	USBh	PCI Configuration Registers for OHCI	PMC_STS_PMCSR	32	32
A005 00E0h	USBh	PCI Configuration Registers for OHCI	EXT1	32	32
A005 00E4h	USBh	PCI Configuration Registers for OHCI	EXT2	32	32

表5.1 I/O レジスタアドレス一覧 (25 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A005 0100h	USBh	PCI Configuration Registers for EHCI	VID_DID_E	32	32
A005 0104h	USBh	PCI Configuration Registers for EHCI	CMND_STS_E	32	32
A005 0108h	USBh	PCI Configuration Registers for EHCI	REVID_CC_E	32	32
A005 010Ch	USBh	PCI Configuration Registers for EHCI	CLS_LT_HT_BIST_E	32	32
A005 0110h	USBh	PCI Configuration Registers for EHCI	BASEAD_E	32	32
A005 012Ch	USBh	PCI Configuration Registers for EHCI	SSVID_SSID_E	32	32
A005 0130h	USBh	PCI Configuration Registers for EHCI	EROM_BASEAD_E	32	32
A005 0134h	USBh	PCI Configuration Registers for EHCI	CAPPTR_E	32	32
A005 013Ch	USBh	PCI Configuration Registers for EHCI	INTR_LINE_PIN_E	32	32
A005 0140h	USBh	PCI Configuration Registers for EHCI	CAPID_NIP_PMCAP_E	32	32
A005 0144h	USBh	PCI Configuration Registers for EHCI	PMC_STS_PMCSR_E	32	32
A005 0160h	USBh	PCI Configuration Registers for EHCI	SBRN_FLADJ_PW	32	32
A005 01E0h	USBh	PCI Configuration Registers for EHCI	EXT1_E	32	32
A005 01E4h	USBh	PCI Configuration Registers for EHCI	EXT2_E	32	32
A005 0800h	USBh	PCIAHB_WIN1_CTR レジスタ	PCIAHB_WIN1_CTR	32	32
A005 0810h	USBh	AHBPCI_WIN1_CTR レジスタ	AHBPCI_WIN1_CTR	32	32
A005 0814h	USBh	AHBPCI_WIN2_CTR レジスタ	AHBPCI_WIN2_CTR	32	32
A005 0820h	USBh	PCI_INT_ENABLE レジスタ	PCI_INT_ENABLE	32	32
A005 0824h	USBh	PCI_INT_STATUS レジスタ	PCI_INT_STATUS	32	32
A005 0830h	USBh	AHB_BUS_CTR レジスタ	AHB_BUS_CTR	32	32
A005 0834h	USBh	USBCTR レジスタ	USBCTR	32	32
A005 0840h	USBh	PCI_ARBITER_CTR レジスタ	PCI_ARBITER_CTR	32	32
A005 0848h	USBh	PCI_UNIT_REV レジスタ	PCI_UNIT_REV	32	32
A006 0000h	USBf	システムコンフィグレーションコントロールレジスタ0	SYSCFG0	16	16
A006 0002h	USBf	システムコンフィグレーションコントロールレジスタ1	SYSCFG1	16	16
A006 0004h	USBf	システムコンフィグレーションステータスレジスタ	SYSSTS0	16	16
A006 0008h	USBf	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16
A006 000Ch	USBf	USBテストモードレジスタ	TESTMODE	16	16
A006 0010h	USBf	DMA0-FIFOバスコンフィグレーションレジスタ	D0FBCFG	16	16
A006 0012h	USBf	DMA1-FIFOバスコンフィグレーションレジスタ	D1FBCFG	16	16
A006 0014h	USBf	CFIFOポートレジスタ	CFIFO	32	8, 16, 32
A006 0018h	USBf	D0FIFOポートレジスタ	D0FIFO	32	8, 16, 32
A006 001Ch	USBf	D1FIFOポートレジスタ	D1FIFO	32	8, 16, 32
A006 0020h	USBf	CFIFOポート選択レジスタ	CFIFOSEL	16	16
A006 0022h	USBf	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16
A006 0028h	USBf	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16
A006 002Ah	USBf	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16
A006 002Ch	USBf	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16
A006 002Eh	USBf	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16
A006 0030h	USBf	割り込み許可レジスタ0	INTENB0	16	16
A006 0036h	USBf	BRDY割り込み許可レジスタ	BRDYENB	16	16
A006 0038h	USBf	NRDY割り込み許可レジスタ	NRDYENB	16	16
A006 003Ah	USBf	BEMP割り込み許可レジスタ	BEMPENB	16	16
A006 003Ch	USBf	SOFピンコンフィグレーションレジスタ	SOFCFG	16	16
A006 0040h	USBf	割り込みステータスレジスタ0	INTSTS0	16	16
A006 0046h	USBf	BRDY割り込みステータスレジスタ	BRDYSTS	16	16
A006 0048h	USBf	NRDY割り込みステータスレジスタ	NRDYSTS	16	16
A006 004Ah	USBf	BEMP割り込みステータスレジスタ	BEMPSTS	16	16

表5.1 I/O レジスタアドレス一覧 (26 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 004Ch	USBf	フレームナンバレジスタ	FRMNUM	16	16
A006 004Eh	USBf	μフレームナンバレジスタ	UFRMNUM	16	16
A006 0050h	USBf	USBアドレスレジスタ	USBADDR	16	16
A006 0054h	USBf	USBリクエストタイプレジスタ	USBREQ	16	16
A006 0056h	USBf	USBリクエストバリューレジスタ	USBVAL	16	16
A006 0058h	USBf	USBリクエストインデックスレジスタ	USBINDX	16	16
A006 005Ah	USBf	USBリクエストレングスレジスタ	USBLENG	16	16
A006 005Eh	USBf	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16
A006 0060h	USBf	DCPコントロールレジスタ	DCPCTR	16	16
A006 0064h	USBf	パイプウィンドウ選択レジスタ	PIPESEL	16	16
A006 0068h	USBf	パイプコンフィグレーションレジスタ	PIPECFG	16	16
A006 006Ah	USBf	パイプバッファ指定レジスタ	PIPEBUF	16	16
A006 006Ch	USBf	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16
A006 006Eh	USBf	パイプ周期制御レジスタ	PIPEPERI	16	16
A006 0070h	USBf	PIPE1コントロールレジスタ	PIPE1CTR	16	16
A006 0072h	USBf	PIPE2コントロールレジスタ	PIPE2CTR	16	16
A006 0074h	USBf	PIPE3コントロールレジスタ	PIPE3CTR	16	16
A006 0076h	USBf	PIPE4コントロールレジスタ	PIPE4CTR	16	16
A006 0078h	USBf	PIPE5コントロールレジスタ	PIPE5CTR	16	16
A006 007Ah	USBf	PIPE6コントロールレジスタ	PIPE6CTR	16	16
A006 007Ch	USBf	PIPE7コントロールレジスタ	PIPE7CTR	16	16
A006 007Eh	USBf	PIPE8コントロールレジスタ	PIPE8CTR	16	16
A006 0080h	USBf	PIPE9コントロールレジスタ	PIPE9CTR	16	16
A006 0090h	USBf	PIPE1トランザクションカウンタ許可レジスタ	PIPE1TRE	16	16
A006 0092h	USBf	PIPE1トランザクションカウンタレジスタ	PIPE1TRN	16	16
A006 0094h	USBf	PIPE2トランザクションカウンタ許可レジスタ	PIPE2TRE	16	16
A006 0096h	USBf	PIPE2トランザクションカウンタレジスタ	PIPE2TRN	16	16
A006 0098h	USBf	PIPE3トランザクションカウンタ許可レジスタ	PIPE3TRE	16	16
A006 009Ah	USBf	PIPE3トランザクションカウンタレジスタ	PIPE3TRN	16	16
A006 009Ch	USBf	PIPE4トランザクションカウンタ許可レジスタ	PIPE4TRE	16	16
A006 009Eh	USBf	PIPE4トランザクションカウンタレジスタ	PIPE4TRN	16	16
A006 00A0h	USBf	PIPE5トランザクションカウンタ許可レジスタ	PIPE5TRE	16	16
A006 00A2h	USBf	PIPE5トランザクションカウンタレジスタ	PIPE5TRN	16	16
A006 0102h	USBf	ローパワーステータスレジスタ	LPSTS	16	16
A006 0160h	USBf	D0FIFO連続転送ポートレジスタ0	D0FIFOB0	32	32
A006 0164h	USBf	D0FIFO連続転送ポートレジスタ1	D0FIFOB1	32	32
A006 0168h	USBf	D0FIFO連続転送ポートレジスタ2	D0FIFOB2	32	32
A006 016Ch	USBf	D0FIFO連続転送ポートレジスタ3	D0FIFOB3	32	32
A006 0170h	USBf	D0FIFO連続転送ポートレジスタ4	D0FIFOB4	32	32
A006 0174h	USBf	D0FIFO連続転送ポートレジスタ5	D0FIFOB5	32	32
A006 0178h	USBf	D0FIFO連続転送ポートレジスタ6	D0FIFOB6	32	32
A006 017Ch	USBf	D0FIFO連続転送ポートレジスタ7	D0FIFOB7	32	32
A006 0180h	USBf	D1FIFO連続転送ポートレジスタ0	D1FIFOB0	32	32
A006 0184h	USBf	D1FIFO連続転送ポートレジスタ1	D1FIFOB1	32	32
A006 0188h	USBf	D1FIFO連続転送ポートレジスタ2	D1FIFOB2	32	32
A006 018Ch	USBf	D1FIFO連続転送ポートレジスタ3	D1FIFOB3	32	32
A006 0190h	USBf	D1FIFO連続転送ポートレジスタ4	D1FIFOB4	32	32
A006 0194h	USBf	D1FIFO連続転送ポートレジスタ5	D1FIFOB5	32	32

表5.1 I/O レジスタアドレス一覧 (27 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 0198h	USBf	D1FIFO連続転送ポートレジスタ6	D1FIFOB6	32	32
A006 019Ch	USBf	D1FIFO連続転送ポートレジスタ7	D1FIFOB7	32	32
A006 01A0h	USBf	PHY設定レジスタ1	PHYSET1	16	16
A006 2000h	DMA0	ネクスト0ソースアドレスレジスタ0	DMAC0_N0SA_0_N	32	32
A006 2000h	DMA0	ネクスト0ソースアドレスレジスタ0	DMAC0_N0SA_0_W	32	32
A006 2004h	DMA0	ネクスト0デスティネーションアドレスレジスタ0	DMAC0_N0DA_0	32	32
A006 2008h	DMA0	ネクスト0トランザクションバイトレジスタ0	DMAC0_N0TB_0	32	32
A006 200Ch	DMA0	ネクスト1ソースアドレスレジスタ0	DMAC0_N1SA_0_N	32	32
A006 200Ch	DMA0	ネクスト1ソースアドレスレジスタ0	DMAC0_N1SA_0_W	32	32
A006 2010h	DMA0	ネクスト1デスティネーションアドレスレジスタ0	DMAC0_N1DA_0	32	32
A006 2014h	DMA0	ネクスト1トランザクションバイトレジスタ0	DMAC0_N1TB_0	32	32
A006 2018h	DMA0	カレントソースアドレスレジスタ0	DMAC0_CRSA_0	32	32
A006 201Ch	DMA0	カレントデスティネーションアドレスレジスタ0	DMAC0_CRDA_0	32	32
A006 2020h	DMA0	カレントトランザクションバイトレジスタ0	DMAC0_CRTB_0	32	32
A006 2024h	DMA0	チャネルステータスレジスタ0	DMAC0_CHSTAT_0	32	32
A006 2028h	DMA0	チャネルコントロールレジスタ0	DMAC0_CHCTRL_0	32	32
A006 202Ch	DMA0	チャネルコンフィギュレーションレジスタ0	DMAC0_CHCFG_0	32	32
A006 2030h	DMA0	チャネルインターバルレジスタ0	DMAC0_CHITVL_0	32	32
A006 2038h	DMA0	ネクストリンクアドレスレジスタ0	DMAC0_NXLA_0	32	32
A006 203Ch	DMA0	カレントリンクアドレスレジスタ0	DMAC0_CRLA_0	32	32
A006 2040h	DMA0	ネクスト0ソースアドレスレジスタ1	DMAC0_N0SA_1_N	32	32
A006 2040h	DMA0	ネクスト0ソースアドレスレジスタ1	DMAC0_N0SA_1_W	32	32
A006 2044h	DMA0	ネクスト0デスティネーションアドレスレジスタ1	DMAC0_N0DA_1	32	32
A006 2048h	DMA0	ネクスト0トランザクションバイトレジスタ1	DMAC0_N0TB_1	32	32
A006 204Ch	DMA0	ネクスト1ソースアドレスレジスタ1	DMAC0_N1SA_1_N	32	32
A006 204Ch	DMA0	ネクスト1ソースアドレスレジスタ1	DMAC0_N1SA_1_W	32	32
A006 2050h	DMA0	ネクスト1デスティネーションアドレスレジスタ1	DMAC0_N1DA_1	32	32
A006 2054h	DMA0	ネクスト1トランザクションバイトレジスタ1	DMAC0_N1TB_1	32	32
A006 2058h	DMA0	カレントソースアドレスレジスタ1	DMAC0_CRSA_1	32	32
A006 205Ch	DMA0	カレントデスティネーションアドレスレジスタ1	DMAC0_CRDA_1	32	32
A006 2060h	DMA0	カレントトランザクションバイトレジスタ1	DMAC0_CRTB_1	32	32
A006 2064h	DMA0	チャネルステータスレジスタ1	DMAC0_CHSTAT_1	32	32
A006 2068h	DMA0	チャネルコントロールレジスタ1	DMAC0_CHCTRL_1	32	32
A006 206Ch	DMA0	チャネルコンフィギュレーションレジスタ1	DMAC0_CHCFG_1	32	32
A006 2070h	DMA0	チャネルインターバルレジスタ1	DMAC0_CHITVL_1	32	32
A006 2078h	DMA0	ネクストリンクアドレスレジスタ1	DMAC0_NXLA_1	32	32
A006 207Ch	DMA0	カレントリンクアドレスレジスタ1	DMAC0_CRLA_1	32	32
A006 2080h	DMA0	ネクスト0ソースアドレスレジスタ2	DMAC0_N0SA_2_N	32	32
A006 2080h	DMA0	ネクスト0ソースアドレスレジスタ2	DMAC0_N0SA_2_W	32	32
A006 2084h	DMA0	ネクスト0デスティネーションアドレスレジスタ2	DMAC0_N0DA_2	32	32
A006 2088h	DMA0	ネクスト0トランザクションバイトレジスタ2	DMAC0_N0TB_2	32	32
A006 208Ch	DMA0	ネクスト1ソースアドレスレジスタ2	DMAC0_N1SA_2_N	32	32
A006 208Ch	DMA0	ネクスト1ソースアドレスレジスタ2	DMAC0_N1SA_2_W	32	32
A006 2090h	DMA0	ネクスト1デスティネーションアドレスレジスタ2	DMAC0_N1DA_2	32	32
A006 2094h	DMA0	ネクスト1トランザクションバイトレジスタ2	DMAC0_N1TB_2	32	32
A006 2098h	DMA0	カレントソースアドレスレジスタ2	DMAC0_CRSA_2	32	32
A006 209Ch	DMA0	カレントデスティネーションアドレスレジスタ2	DMAC0_CRDA_2	32	32
A006 20A0h	DMA0	カレントトランザクションバイトレジスタ2	DMAC0_CRTB_2	32	32

表5.1 I/O レジスタアドレス一覧 (28 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 20A4h	DMA0	チャネルステータスレジスタ2	DMAC0_CHSTAT_2	32	32
A006 20A8h	DMA0	チャネルコントロールレジスタ2	DMAC0_CHCTRL_2	32	32
A006 20ACh	DMA0	チャネルコンフィギュレーションレジスタ2	DMAC0_CHCFG_2	32	32
A006 20B0h	DMA0	チャネルインターバルレジスタ2	DMAC0_CHITVL_2	32	32
A006 20B8h	DMA0	ネクストリンクアドレスレジスタ2	DMAC0_NXLA_2	32	32
A006 20BCh	DMA0	カレントリンクアドレスレジスタ2	DMAC0_CRLA_2	32	32
A006 20C0h	DMA0	ネクスト0ソースアドレスレジスタ3	DMAC0_N0SA_3_N	32	32
A006 20C0h	DMA0	ネクスト0ソースアドレスレジスタ3	DMAC0_N0SA_3_W	32	32
A006 20C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ3	DMAC0_N0DA_3	32	32
A006 20C8h	DMA0	ネクスト0トランザクションバイトレジスタ3	DMAC0_N0TB_3	32	32
A006 20CCh	DMA0	ネクスト1ソースアドレスレジスタ3	DMAC0_N1SA_3_N	32	32
A006 20CCh	DMA0	ネクスト1ソースアドレスレジスタ3	DMAC0_N1SA_3_W	32	32
A006 20D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ3	DMAC0_N1DA_3	32	32
A006 20D4h	DMA0	ネクスト1トランザクションバイトレジスタ3	DMAC0_N1TB_3	32	32
A006 20D8h	DMA0	カレントソースアドレスレジスタ3	DMAC0_CRSA_3	32	32
A006 20DCh	DMA0	カレントデスティネーションアドレスレジスタ3	DMAC0_CRDA_3	32	32
A006 20E0h	DMA0	カレントトランザクションバイトレジスタ3	DMAC0_CRTB_3	32	32
A006 20E4h	DMA0	チャネルステータスレジスタ3	DMAC0_CHSTAT_3	32	32
A006 20E8h	DMA0	チャネルコントロールレジスタ3	DMAC0_CHCTRL_3	32	32
A006 20ECh	DMA0	チャネルコンフィギュレーションレジスタ3	DMAC0_CHCFG_3	32	32
A006 20F0h	DMA0	チャネルインターバルレジスタ3	DMAC0_CHITVL_3	32	32
A006 20F8h	DMA0	ネクストリンクアドレスレジスタ3	DMAC0_NXLA_3	32	32
A006 20FCh	DMA0	カレントリンクアドレスレジスタ3	DMAC0_CRLA_3	32	32
A006 2100h	DMA0	ネクスト0ソースアドレスレジスタ4	DMAC0_N0SA_4_N	32	32
A006 2100h	DMA0	ネクスト0ソースアドレスレジスタ4	DMAC0_N0SA_4_W	32	32
A006 2104h	DMA0	ネクスト0デスティネーションアドレスレジスタ4	DMAC0_N0DA_4	32	32
A006 2108h	DMA0	ネクスト0トランザクションバイトレジスタ4	DMAC0_N0TB_4	32	32
A006 210Ch	DMA0	ネクスト1ソースアドレスレジスタ4	DMAC0_N1SA_4_N	32	32
A006 210Ch	DMA0	ネクスト1ソースアドレスレジスタ4	DMAC0_N1SA_4_W	32	32
A006 2110h	DMA0	ネクスト1デスティネーションアドレスレジスタ4	DMAC0_N1DA_4	32	32
A006 2114h	DMA0	ネクスト1トランザクションバイトレジスタ4	DMAC0_N1TB_4	32	32
A006 2118h	DMA0	カレントソースアドレスレジスタ4	DMAC0_CRSA_4	32	32
A006 211Ch	DMA0	カレントデスティネーションアドレスレジスタ4	DMAC0_CRDA_4	32	32
A006 2120h	DMA0	カレントトランザクションバイトレジスタ4	DMAC0_CRTB_4	32	32
A006 2124h	DMA0	チャネルステータスレジスタ4	DMAC0_CHSTAT_4	32	32
A006 2128h	DMA0	チャネルコントロールレジスタ4	DMAC0_CHCTRL_4	32	32
A006 212Ch	DMA0	チャネルコンフィギュレーションレジスタ4	DMAC0_CHCFG_4	32	32
A006 2130h	DMA0	チャネルインターバルレジスタ4	DMAC0_CHITVL_4	32	32
A006 2138h	DMA0	ネクストリンクアドレスレジスタ4	DMAC0_NXLA_4	32	32
A006 213Ch	DMA0	カレントリンクアドレスレジスタ4	DMAC0_CRLA_4	32	32
A006 2140h	DMA0	ネクスト0ソースアドレスレジスタ5	DMAC0_N0SA_5_N	32	32
A006 2140h	DMA0	ネクスト0ソースアドレスレジスタ5	DMAC0_N0SA_5_W	32	32
A006 2144h	DMA0	ネクスト0デスティネーションアドレスレジスタ5	DMAC0_N0DA_5	32	32
A006 2148h	DMA0	ネクスト0トランザクションバイトレジスタ5	DMAC0_N0TB_5	32	32
A006 214Ch	DMA0	ネクスト1ソースアドレスレジスタ5	DMAC0_N1SA_5_N	32	32
A006 214Ch	DMA0	ネクスト1ソースアドレスレジスタ5	DMAC0_N1SA_5_W	32	32
A006 2150h	DMA0	ネクスト1デスティネーションアドレスレジスタ5	DMAC0_N1DA_5	32	32
A006 2154h	DMA0	ネクスト1トランザクションバイトレジスタ5	DMAC0_N1TB_5	32	32

表5.1 I/O レジスタアドレス一覧 (29 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2158h	DMA0	カレントソースアドレスレジスタ5	DMAC0_CRSA_5	32	32
A006 215Ch	DMA0	カレントデスティネーションアドレスレジスタ5	DMAC0_CRDA_5	32	32
A006 2160h	DMA0	カレントトランザクションバイトレジスタ5	DMAC0_CRTB_5	32	32
A006 2164h	DMA0	チャネルステータスレジスタ5	DMAC0_CHSTAT_5	32	32
A006 2168h	DMA0	チャネルコントロールレジスタ5	DMAC0_CHCTRL_5	32	32
A006 216Ch	DMA0	チャネルコンフィギュレーションレジスタ5	DMAC0_CHCFG_5	32	32
A006 2170h	DMA0	チャネルインターバルレジスタ5	DMAC0_CHITVL_5	32	32
A006 2178h	DMA0	ネクストリンクアドレスレジスタ5	DMAC0_NXLA_5	32	32
A006 217Ch	DMA0	カレントリンクアドレスレジスタ5	DMAC0_CRLA_5	32	32
A006 2180h	DMA0	ネクスト0ソースアドレスレジスタ6	DMAC0_N0SA_6_N	32	32
A006 2180h	DMA0	ネクスト0ソースアドレスレジスタ6	DMAC0_N0SA_6_W	32	32
A006 2184h	DMA0	ネクスト0デスティネーションアドレスレジスタ6	DMAC0_N0DA_6	32	32
A006 2188h	DMA0	ネクスト0トランザクションバイトレジスタ6	DMAC0_N0TB_6	32	32
A006 218Ch	DMA0	ネクスト1ソースアドレスレジスタ6	DMAC0_N1SA_6_N	32	32
A006 218Ch	DMA0	ネクスト1ソースアドレスレジスタ6	DMAC0_N1SA_6_W	32	32
A006 2190h	DMA0	ネクスト1デスティネーションアドレスレジスタ6	DMAC0_N1DA_6	32	32
A006 2194h	DMA0	ネクスト1トランザクションバイトレジスタ6	DMAC0_N1TB_6	32	32
A006 2198h	DMA0	カレントソースアドレスレジスタ6	DMAC0_CRSA_6	32	32
A006 219Ch	DMA0	カレントデスティネーションアドレスレジスタ6	DMAC0_CRDA_6	32	32
A006 21A0h	DMA0	カレントトランザクションバイトレジスタ6	DMAC0_CRTB_6	32	32
A006 21A4h	DMA0	チャネルステータスレジスタ6	DMAC0_CHSTAT_6	32	32
A006 21A8h	DMA0	チャネルコントロールレジスタ6	DMAC0_CHCTRL_6	32	32
A006 21ACh	DMA0	チャネルコンフィギュレーションレジスタ6	DMAC0_CHCFG_6	32	32
A006 21B0h	DMA0	チャネルインターバルレジスタ6	DMAC0_CHITVL_6	32	32
A006 21B8h	DMA0	ネクストリンクアドレスレジスタ6	DMAC0_NXLA_6	32	32
A006 21BCh	DMA0	カレントリンクアドレスレジスタ6	DMAC0_CRLA_6	32	32
A006 21C0h	DMA0	ネクスト0ソースアドレスレジスタ7	DMAC0_N0SA_7_N	32	32
A006 21C0h	DMA0	ネクスト0ソースアドレスレジスタ7	DMAC0_N0SA_7_W	32	32
A006 21C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ7	DMAC0_N0DA_7	32	32
A006 21C8h	DMA0	ネクスト0トランザクションバイトレジスタ7	DMAC0_N0TB_7	32	32
A006 21CCh	DMA0	ネクスト1ソースアドレスレジスタ7	DMAC0_N1SA_7_N	32	32
A006 21CCh	DMA0	ネクスト1ソースアドレスレジスタ7	DMAC0_N1SA_7_W	32	32
A006 21D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ7	DMAC0_N1DA_7	32	32
A006 21D4h	DMA0	ネクスト1トランザクションバイトレジスタ7	DMAC0_N1TB_7	32	32
A006 21D8h	DMA0	カレントソースアドレスレジスタ7	DMAC0_CRSA_7	32	32
A006 21DCh	DMA0	カレントデスティネーションアドレスレジスタ7	DMAC0_CRDA_7	32	32
A006 21E0h	DMA0	カレントトランザクションバイトレジスタ7	DMAC0_CRTB_7	32	32
A006 21E4h	DMA0	チャネルステータスレジスタ7	DMAC0_CHSTAT_7	32	32
A006 21E8h	DMA0	チャネルコントロールレジスタ7	DMAC0_CHCTRL_7	32	32
A006 21ECh	DMA0	チャネルコンフィギュレーションレジスタ7	DMAC0_CHCFG_7	32	32
A006 21F0h	DMA0	チャネルインターバルレジスタ7	DMAC0_CHITVL_7	32	32
A006 21F8h	DMA0	ネクストリンクアドレスレジスタ7	DMAC0_NXLA_7	32	32
A006 21FCh	DMA0	カレントリンクアドレスレジスタ7	DMAC0_CRLA_7	32	32
A006 2200h	DMA0	ソースコンティニュアスレジスタ0	DMAC0_SCNT_0	32	32
A006 2204h	DMA0	ソーススキップレジスタ0	DMAC0_SSKP_0	32	32
A006 2208h	DMA0	デスティネーションコンティニュアスレジスタ0	DMAC0_DCNT_0	32	32
A006 220Ch	DMA0	デスティネーションスキップレジスタ0	DMAC0_DSKP_0	32	32
A006 2220h	DMA0	ソースコンティニュアスレジスタ1	DMAC0_SCNT_1	32	32

表5.1 I/O レジスタアドレス一覧 (30 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2224h	DMA0	ソーススキップレジスタ1	DMAC0_SSKP_1	32	32
A006 2228h	DMA0	デスティネーションコンティニュアスレジスタ1	DMAC0_DCNT_1	32	32
A006 222Ch	DMA0	デスティネーションスキップレジスタ1	DMAC0_DSKP_1	32	32
A006 2240h	DMA0	ソースコンティニュアスレジスタ2	DMAC0_SCNT_2	32	32
A006 2244h	DMA0	ソーススキップレジスタ2	DMAC0_SSKP_2	32	32
A006 2248h	DMA0	デスティネーションコンティニュアスレジスタ2	DMAC0_DCNT_2	32	32
A006 224Ch	DMA0	デスティネーションスキップレジスタ2	DMAC0_DSKP_2	32	32
A006 2260h	DMA0	ソースコンティニュアスレジスタ3	DMAC0_SCNT_3	32	32
A006 2264h	DMA0	ソーススキップレジスタ3	DMAC0_SSKP_3	32	32
A006 2268h	DMA0	デスティネーションコンティニュアスレジスタ3	DMAC0_DCNT_3	32	32
A006 226Ch	DMA0	デスティネーションスキップレジスタ3	DMAC0_DSKP_3	32	32
A006 2280h	DMA0	ソースコンティニュアスレジスタ4	DMAC0_SCNT_4	32	32
A006 2284h	DMA0	ソーススキップレジスタ4	DMAC0_SSKP_4	32	32
A006 2288h	DMA0	デスティネーションコンティニュアスレジスタ4	DMAC0_DCNT_4	32	32
A006 228Ch	DMA0	デスティネーションスキップレジスタ4	DMAC0_DSKP_4	32	32
A006 22A0h	DMA0	ソースコンティニュアスレジスタ5	DMAC0_SCNT_5	32	32
A006 22A4h	DMA0	ソーススキップレジスタ5	DMAC0_SSKP_5	32	32
A006 22A8h	DMA0	デスティネーションコンティニュアスレジスタ5	DMAC0_DCNT_5	32	32
A006 22ACh	DMA0	デスティネーションスキップレジスタ5	DMAC0_DSKP_5	32	32
A006 22C0h	DMA0	ソースコンティニュアスレジスタ6	DMAC0_SCNT_6	32	32
A006 22C4h	DMA0	ソーススキップレジスタ6	DMAC0_SSKP_6	32	32
A006 22C8h	DMA0	デスティネーションコンティニュアスレジスタ6	DMAC0_DCNT_6	32	32
A006 22CCh	DMA0	デスティネーションスキップレジスタ6	DMAC0_DSKP_6	32	32
A006 22E0h	DMA0	ソースコンティニュアスレジスタ7	DMAC0_SCNT_7	32	32
A006 22E4h	DMA0	ソーススキップレジスタ7	DMAC0_SSKP_7	32	32
A006 22E8h	DMA0	デスティネーションコンティニュアスレジスタ7	DMAC0_DCNT_7	32	32
A006 22ECh	DMA0	デスティネーションスキップレジスタ7	DMAC0_DSKP_7	32	32
A006 2300h	DMA0	DMAコントロールレジスタA	DMAC0_DCTRL_A	32	32
A006 2304h	DMA0	デスクリプタインターバルレジスタA	DMAC0_DSCITVL_A	32	32
A006 2310h	DMA0	DMAステータスENレジスタA	DMAC0_DST_EN_A	32	32
A006 2314h	DMA0	DMAステータスERレジスタA	DMAC0_DST_ER_A	32	32
A006 2318h	DMA0	DMAステータスENDレジスタA	DMAC0_DST_END_A	32	32
A006 2320h	DMA0	DMAステータスSUSレジスタA	DMAC0_DST_SUS_A	32	32
A006 2400h	DMA0	ネクスト0ソースアドレスレジスタ8	DMAC0_N0SA_8_N	32	32
A006 2400h	DMA0	ネクスト0ソースアドレスレジスタ8	DMAC0_N0SA_8_W	32	32
A006 2404h	DMA0	ネクスト0デスティネーションアドレスレジスタ8	DMAC0_N0DA_8	32	32
A006 2408h	DMA0	ネクスト0トランザクションバイトレジスタ8	DMAC0_N0TB_8	32	32
A006 240Ch	DMA0	ネクスト1ソースアドレスレジスタ8	DMAC0_N1SA_8_N	32	32
A006 240Ch	DMA0	ネクスト1ソースアドレスレジスタ8	DMAC0_N1SA_8_W	32	32
A006 2410h	DMA0	ネクスト1デスティネーションアドレスレジスタ8	DMAC0_N1DA_8	32	32
A006 2414h	DMA0	ネクスト1トランザクションバイトレジスタ8	DMAC0_N1TB_8	32	32
A006 2418h	DMA0	カレントソースアドレスレジスタ8	DMAC0_CRSA_8	32	32
A006 241Ch	DMA0	カレントデスティネーションアドレスレジスタ8	DMAC0_CRDA_8	32	32
A006 2420h	DMA0	カレントトランザクションバイトレジスタ8	DMAC0_CRTB_8	32	32
A006 2424h	DMA0	チャネルステータスレジスタ8	DMAC0_CHSTAT_8	32	32
A006 2428h	DMA0	チャネルコントロールレジスタ8	DMAC0_CHCTRL_8	32	32
A006 242Ch	DMA0	チャネルコンフィギュレーションレジスタ8	DMAC0_CHCFG_8	32	32
A006 2430h	DMA0	チャネルインターバルレジスタ8	DMAC0_CHITVL_8	32	32

表5.1 I/O レジスタアドレス一覧 (31 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2438h	DMA0	ネクストリンクアドレスレジスタ8	DMAC0_NXLA_8	32	32
A006 243Ch	DMA0	カレントリンクアドレスレジスタ8	DMAC0_CRLA_8	32	32
A006 2440h	DMA0	ネクスト0ソースアドレスレジスタ9	DMAC0_N0SA_9_N	32	32
A006 2440h	DMA0	ネクスト0ソースアドレスレジスタ9	DMAC0_N0SA_9_W	32	32
A006 2444h	DMA0	ネクスト0デスティネーションアドレスレジスタ9	DMAC0_N0DA_9	32	32
A006 2448h	DMA0	ネクスト0トランザクションバイトレジスタ9	DMAC0_N0TB_9	32	32
A006 244Ch	DMA0	ネクスト1ソースアドレスレジスタ9	DMAC0_N1SA_9_N	32	32
A006 244Ch	DMA0	ネクスト1ソースアドレスレジスタ9	DMAC0_N1SA_9_W	32	32
A006 2450h	DMA0	ネクスト1デスティネーションアドレスレジスタ9	DMAC0_N1DA_9	32	32
A006 2454h	DMA0	ネクスト1トランザクションバイトレジスタ9	DMAC0_N1TB_9	32	32
A006 2458h	DMA0	カレントソースアドレスレジスタ9	DMAC0_CRSA_9	32	32
A006 245Ch	DMA0	カレントデスティネーションアドレスレジスタ9	DMAC0_CRDA_9	32	32
A006 2460h	DMA0	カレントトランザクションバイトレジスタ9	DMAC0_CRTB_9	32	32
A006 2464h	DMA0	チャネルステータスレジスタ9	DMAC0_CHSTAT_9	32	32
A006 2468h	DMA0	チャネルコントロールレジスタ9	DMAC0_CHCTRL_9	32	32
A006 246Ch	DMA0	チャネルコンフィギュレーションレジスタ9	DMAC0_CHCFG_9	32	32
A006 2470h	DMA0	チャネルインターバルレジスタ9	DMAC0_CHITVL_9	32	32
A006 2478h	DMA0	ネクストリンクアドレスレジスタ9	DMAC0_NXLA_9	32	32
A006 247Ch	DMA0	カレントリンクアドレスレジスタ9	DMAC0_CRLA_9	32	32
A006 2480h	DMA0	ネクスト0ソースアドレスレジスタ10	DMAC0_N0SA_10_N	32	32
A006 2480h	DMA0	ネクスト0ソースアドレスレジスタ10	DMAC0_N0SA_10_W	32	32
A006 2484h	DMA0	ネクスト0デスティネーションアドレスレジスタ10	DMAC0_N0DA_10	32	32
A006 2488h	DMA0	ネクスト0トランザクションバイトレジスタ10	DMAC0_N0TB_10	32	32
A006 248Ch	DMA0	ネクスト1ソースアドレスレジスタ10	DMAC0_N1SA_10_N	32	32
A006 248Ch	DMA0	ネクスト1ソースアドレスレジスタ10	DMAC0_N1SA_10_W	32	32
A006 2490h	DMA0	ネクスト1デスティネーションアドレスレジスタ10	DMAC0_N1DA_10	32	32
A006 2494h	DMA0	ネクスト1トランザクションバイトレジスタ10	DMAC0_N1TB_10	32	32
A006 2498h	DMA0	カレントソースアドレスレジスタ10	DMAC0_CRSA_10	32	32
A006 249Ch	DMA0	カレントデスティネーションアドレスレジスタ10	DMAC0_CRDA_10	32	32
A006 24A0h	DMA0	カレントトランザクションバイトレジスタ10	DMAC0_CRTB_10	32	32
A006 24A4h	DMA0	チャネルステータスレジスタ10	DMAC0_CHSTAT_10	32	32
A006 24A8h	DMA0	チャネルコントロールレジスタ10	DMAC0_CHCTRL_10	32	32
A006 24ACh	DMA0	チャネルコンフィギュレーションレジスタ10	DMAC0_CHCFG_10	32	32
A006 24B0h	DMA0	チャネルインターバルレジスタ10	DMAC0_CHITVL_10	32	32
A006 24B8h	DMA0	ネクストリンクアドレスレジスタ10	DMAC0_NXLA_10	32	32
A006 24BCh	DMA0	カレントリンクアドレスレジスタ10	DMAC0_CRLA_10	32	32
A006 24C0h	DMA0	ネクスト0ソースアドレスレジスタ11	DMAC0_N0SA_11_N	32	32
A006 24C0h	DMA0	ネクスト0ソースアドレスレジスタ11	DMAC0_N0SA_11_W	32	32
A006 24C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ11	DMAC0_N0DA_11	32	32
A006 24C8h	DMA0	ネクスト0トランザクションバイトレジスタ11	DMAC0_N0TB_11	32	32
A006 24CCh	DMA0	ネクスト1ソースアドレスレジスタ11	DMAC0_N1SA_11_N	32	32
A006 24CCh	DMA0	ネクスト1ソースアドレスレジスタ11	DMAC0_N1SA_11_W	32	32
A006 24D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ11	DMAC0_N1DA_11	32	32
A006 24D4h	DMA0	ネクスト1トランザクションバイトレジスタ11	DMAC0_N1TB_11	32	32
A006 24D8h	DMA0	カレントソースアドレスレジスタ11	DMAC0_CRSA_11	32	32
A006 24DCh	DMA0	カレントデスティネーションアドレスレジスタ11	DMAC0_CRDA_11	32	32
A006 24E0h	DMA0	カレントトランザクションバイトレジスタ11	DMAC0_CRTB_11	32	32
A006 24E4h	DMA0	チャネルステータスレジスタ11	DMAC0_CHSTAT_11	32	32

表5.1 I/O レジスタアドレス一覧 (32 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 24E8h	DMA0	チャネルコントロールレジスタ11	DMAC0_CHCTRL_11	32	32
A006 24ECh	DMA0	チャネルコンフィギュレーションレジスタ11	DMAC0_CHCFG_11	32	32
A006 24F0h	DMA0	チャネルインターバルレジスタ11	DMAC0_CHITVL_11	32	32
A006 24F8h	DMA0	ネクストリンクアドレスレジスタ11	DMAC0_NXLA_11	32	32
A006 24FCh	DMA0	カレントリンクアドレスレジスタ11	DMAC0_CRLA_11	32	32
A006 2500h	DMA0	ネクスト0ソースアドレスレジスタ12	DMAC0_N0SA_12_N	32	32
A006 2500h	DMA0	ネクスト0ソースアドレスレジスタ12	DMAC0_N0SA_12_W	32	32
A006 2504h	DMA0	ネクスト0デスティネーションアドレスレジスタ12	DMAC0_N0DA_12	32	32
A006 2508h	DMA0	ネクスト0トランザクションバイトレジスタ12	DMAC0_N0TB_12	32	32
A006 250Ch	DMA0	ネクスト1ソースアドレスレジスタ12	DMAC0_N1SA_12_N	32	32
A006 250Ch	DMA0	ネクスト1ソースアドレスレジスタ12	DMAC0_N1SA_12_W	32	32
A006 2510h	DMA0	ネクスト1デスティネーションアドレスレジスタ12	DMAC0_N1DA_12	32	32
A006 2514h	DMA0	ネクスト1トランザクションバイトレジスタ12	DMAC0_N1TB_12	32	32
A006 2518h	DMA0	カレントソースアドレスレジスタ12	DMAC0_CRSA_12	32	32
A006 251Ch	DMA0	カレントデスティネーションアドレスレジスタ12	DMAC0_CRDA_12	32	32
A006 2520h	DMA0	カレントトランザクションバイトレジスタ12	DMAC0_CRTB_12	32	32
A006 2524h	DMA0	チャネルステータスレジスタ12	DMAC0_CHSTAT_12	32	32
A006 2528h	DMA0	チャネルコントロールレジスタ12	DMAC0_CHCTRL_12	32	32
A006 252Ch	DMA0	チャネルコンフィギュレーションレジスタ12	DMAC0_CHCFG_12	32	32
A006 2530h	DMA0	チャネルインターバルレジスタ12	DMAC0_CHITVL_12	32	32
A006 2538h	DMA0	ネクストリンクアドレスレジスタ12	DMAC0_NXLA_12	32	32
A006 253Ch	DMA0	カレントリンクアドレスレジスタ12	DMAC0_CRLA_12	32	32
A006 2540h	DMA0	ネクスト0ソースアドレスレジスタ13	DMAC0_N0SA_13_N	32	32
A006 2540h	DMA0	ネクスト0ソースアドレスレジスタ13	DMAC0_N0SA_13_W	32	32
A006 2544h	DMA0	ネクスト0デスティネーションアドレスレジスタ13	DMAC0_N0DA_13	32	32
A006 2548h	DMA0	ネクスト0トランザクションバイトレジスタ13	DMAC0_N0TB_13	32	32
A006 254Ch	DMA0	ネクスト1ソースアドレスレジスタ13	DMAC0_N1SA_13_N	32	32
A006 254Ch	DMA0	ネクスト1ソースアドレスレジスタ13	DMAC0_N1SA_13_W	32	32
A006 2550h	DMA0	ネクスト1デスティネーションアドレスレジスタ13	DMAC0_N1DA_13	32	32
A006 2554h	DMA0	ネクスト1トランザクションバイトレジスタ13	DMAC0_N1TB_13	32	32
A006 2558h	DMA0	カレントソースアドレスレジスタ13	DMAC0_CRSA_13	32	32
A006 255Ch	DMA0	カレントデスティネーションアドレスレジスタ13	DMAC0_CRDA_13	32	32
A006 2560h	DMA0	カレントトランザクションバイトレジスタ13	DMAC0_CRTB_13	32	32
A006 2564h	DMA0	チャネルステータスレジスタ13	DMAC0_CHSTAT_13	32	32
A006 2568h	DMA0	チャネルコントロールレジスタ13	DMAC0_CHCTRL_13	32	32
A006 256Ch	DMA0	チャネルコンフィギュレーションレジスタ13	DMAC0_CHCFG_13	32	32
A006 2570h	DMA0	チャネルインターバルレジスタ13	DMAC0_CHITVL_13	32	32
A006 2578h	DMA0	ネクストリンクアドレスレジスタ13	DMAC0_NXLA_13	32	32
A006 257Ch	DMA0	カレントリンクアドレスレジスタ13	DMAC0_CRLA_13	32	32
A006 2580h	DMA0	ネクスト0ソースアドレスレジスタ14	DMAC0_N0SA_14_N	32	32
A006 2580h	DMA0	ネクスト0ソースアドレスレジスタ14	DMAC0_N0SA_14_W	32	32
A006 2584h	DMA0	ネクスト0デスティネーションアドレスレジスタ14	DMAC0_N0DA_14	32	32
A006 2588h	DMA0	ネクスト0トランザクションバイトレジスタ14	DMAC0_N0TB_14	32	32
A006 258Ch	DMA0	ネクスト1ソースアドレスレジスタ14	DMAC0_N1SA_14_N	32	32
A006 258Ch	DMA0	ネクスト1ソースアドレスレジスタ14	DMAC0_N1SA_14_W	32	32
A006 2590h	DMA0	ネクスト1デスティネーションアドレスレジスタ14	DMAC0_N1DA_14	32	32
A006 2594h	DMA0	ネクスト1トランザクションバイトレジスタ14	DMAC0_N1TB_14	32	32
A006 2598h	DMA0	カレントソースアドレスレジスタ14	DMAC0_CRSA_14	32	32

表5.1 I/O レジスタアドレス一覧 (33 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 259Ch	DMA0	カレントデスティネーションアドレスレジスタ14	DMAC0_CRDA_14	32	32
A006 25A0h	DMA0	カレントトランザクションバイトレジスタ14	DMAC0_CRTB_14	32	32
A006 25A4h	DMA0	チャネルステータスレジスタ14	DMAC0_CHSTAT_14	32	32
A006 25A8h	DMA0	チャネルコントロールレジスタ14	DMAC0_CHCTRL_14	32	32
A006 25ACh	DMA0	チャネルコンフィギュレーションレジスタ14	DMAC0_CHCFG_14	32	32
A006 25B0h	DMA0	チャネルインターバルレジスタ14	DMAC0_CHITVL_14	32	32
A006 25B8h	DMA0	ネクストリンクアドレスレジスタ14	DMAC0_NXLA_14	32	32
A006 25BCh	DMA0	カレントリンクアドレスレジスタ14	DMAC0_CRLA_14	32	32
A006 25C0h	DMA0	ネクスト0ソースアドレスレジスタ15	DMAC0_N0SA_15_N	32	32
A006 25C0h	DMA0	ネクスト0ソースアドレスレジスタ15	DMAC0_N0SA_15_W	32	32
A006 25C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ15	DMAC0_N0DA_15	32	32
A006 25C8h	DMA0	ネクスト0トランザクションバイトレジスタ15	DMAC0_N0TB_15	32	32
A006 25CCh	DMA0	ネクスト1ソースアドレスレジスタ15	DMAC0_N1SA_15_N	32	32
A006 25CCh	DMA0	ネクスト1ソースアドレスレジスタ15	DMAC0_N1SA_15_W	32	32
A006 25D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ15	DMAC0_N1DA_15	32	32
A006 25D4h	DMA0	ネクスト1トランザクションバイトレジスタ15	DMAC0_N1TB_15	32	32
A006 25D8h	DMA0	カレントソースアドレスレジスタ15	DMAC0_CRSA_15	32	32
A006 25DCh	DMA0	カレントデスティネーションアドレスレジスタ15	DMAC0_CRDA_15	32	32
A006 25E0h	DMA0	カレントトランザクションバイトレジスタ15	DMAC0_CRTB_15	32	32
A006 25E4h	DMA0	チャネルステータスレジスタ15	DMAC0_CHSTAT_15	32	32
A006 25E8h	DMA0	チャネルコントロールレジスタ15	DMAC0_CHCTRL_15	32	32
A006 25ECh	DMA0	チャネルコンフィギュレーションレジスタ15	DMAC0_CHCFG_15	32	32
A006 25F0h	DMA0	チャネルインターバルレジスタ15	DMAC0_CHITVL_15	32	32
A006 25F8h	DMA0	ネクストリンクアドレスレジスタ15	DMAC0_NXLA_15	32	32
A006 25FCh	DMA0	カレントリンクアドレスレジスタ15	DMAC0_CRLA_15	32	32
A006 2600h	DMA0	ソースコンティニュアスレジスタ8	DMAC0_SCNT_8	32	32
A006 2604h	DMA0	ソーススキップレジスタ8	DMAC0_SSKP_8	32	32
A006 2608h	DMA0	デスティネーションコンティニュアスレジスタ8	DMAC0_DCNT_8	32	32
A006 260Ch	DMA0	デスティネーションスキップレジスタ8	DMAC0_DSKP_8	32	32
A006 2620h	DMA0	ソースコンティニュアスレジスタ9	DMAC0_SCNT_9	32	32
A006 2624h	DMA0	ソーススキップレジスタ9	DMAC0_SSKP_9	32	32
A006 2628h	DMA0	デスティネーションコンティニュアスレジスタ9	DMAC0_DCNT_9	32	32
A006 262Ch	DMA0	デスティネーションスキップレジスタ9	DMAC0_DSKP_9	32	32
A006 2640h	DMA0	ソースコンティニュアスレジスタ10	DMAC0_SCNT_10	32	32
A006 2644h	DMA0	ソーススキップレジスタ10	DMAC0_SSKP_10	32	32
A006 2648h	DMA0	デスティネーションコンティニュアスレジスタ10	DMAC0_DCNT_10	32	32
A006 264Ch	DMA0	デスティネーションスキップレジスタ10	DMAC0_DSKP_10	32	32
A006 2660h	DMA0	ソースコンティニュアスレジスタ11	DMAC0_SCNT_11	32	32
A006 2664h	DMA0	ソーススキップレジスタ11	DMAC0_SSKP_11	32	32
A006 2668h	DMA0	デスティネーションコンティニュアスレジスタ11	DMAC0_DCNT_11	32	32
A006 266Ch	DMA0	デスティネーションスキップレジスタ11	DMAC0_DSKP_11	32	32
A006 2680h	DMA0	ソースコンティニュアスレジスタ12	DMAC0_SCNT_12	32	32
A006 2684h	DMA0	ソーススキップレジスタ12	DMAC0_SSKP_12	32	32
A006 2688h	DMA0	デスティネーションコンティニュアスレジスタ12	DMAC0_DCNT_12	32	32
A006 268Ch	DMA0	デスティネーションスキップレジスタ12	DMAC0_DSKP_12	32	32
A006 26A0h	DMA0	ソースコンティニュアスレジスタ13	DMAC0_SCNT_13	32	32
A006 26A4h	DMA0	ソーススキップレジスタ13	DMAC0_SSKP_13	32	32
A006 26A8h	DMA0	デスティネーションコンティニュアスレジスタ13	DMAC0_DCNT_13	32	32

表5.1 I/O レジスタアドレス一覧 (34 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 26ACh	DMA0	デスティネーションスキップレジスタ13	DMAC0_DSKP_13	32	32
A006 26C0h	DMA0	ソースコンティニュアスレジスタ14	DMAC0_SCNT_14	32	32
A006 26C4h	DMA0	ソーススキップレジスタ14	DMAC0_SSKP_14	32	32
A006 26C8h	DMA0	デスティネーションコンティニュアスレジスタ14	DMAC0_DCNT_14	32	32
A006 26CCh	DMA0	デスティネーションスキップレジスタ14	DMAC0_DSKP_14	32	32
A006 26E0h	DMA0	ソースコンティニュアスレジスタ15	DMAC0_SCNT_15	32	32
A006 26E4h	DMA0	ソーススキップレジスタ15	DMAC0_SSKP_15	32	32
A006 26E8h	DMA0	デスティネーションコンティニュアスレジスタ15	DMAC0_DCNT_15	32	32
A006 26ECh	DMA0	デスティネーションスキップレジスタ15	DMAC0_DSKP_15	32	32
A006 2700h	DMA0	DMAコントロールレジスタB	DMAC0_DCTRL_B	32	32
A006 2704h	DMA0	デスクリプタインターバルレジスタB	DMAC0_DSCITVL_B	32	32
A006 2710h	DMA0	DMAステータスENレジスタB	DMAC0_DST_EN_B	32	32
A006 2714h	DMA0	DMAステータスERレジスタB	DMAC0_DST_ER_B	32	32
A006 2718h	DMA0	DMAステータスENDレジスタB	DMAC0_DST_END_B	32	32
A006 2720h	DMA0	DMAステータスSUSレジスタB	DMAC0_DST_SUS_B	32	32
A006 3000h	DMA1	ネクスト0ソースアドレスレジスタ0	DMAC1_N0SA_0_N	32	32
A006 3000h	DMA1	ネクスト0ソースアドレスレジスタ0	DMAC1_N0SA_0_W	32	32
A006 3004h	DMA1	ネクスト0デスティネーションアドレスレジスタ0	DMAC1_N0DA_0	32	32
A006 3008h	DMA1	ネクスト0トランザクションバイトレジスタ0	DMAC1_N0TB_0	32	32
A006 300Ch	DMA1	ネクスト1ソースアドレスレジスタ0	DMAC1_N1SA_0_N	32	32
A006 300Ch	DMA1	ネクスト1ソースアドレスレジスタ0	DMAC1_N1SA_0_W	32	32
A006 3010h	DMA1	ネクスト1デスティネーションアドレスレジスタ0	DMAC1_N1DA_0	32	32
A006 3014h	DMA1	ネクスト1トランザクションバイトレジスタ0	DMAC1_N1TB_0	32	32
A006 3018h	DMA1	カレントソースアドレスレジスタ0	DMAC1_CRSA_0	32	32
A006 301Ch	DMA1	カレントデスティネーションアドレスレジスタ0	DMAC1_CRDA_0	32	32
A006 3020h	DMA1	カレントトランザクションバイトレジスタ0	DMAC1_CRTB_0	32	32
A006 3024h	DMA1	チャネルステータスレジスタ0	DMAC1_CHSTAT_0	32	32
A006 3028h	DMA1	チャネルコントロールレジスタ0	DMAC1_CHCTRL_0	32	32
A006 302Ch	DMA1	チャネルコンフィギュレーションレジスタ0	DMAC1_CHCFG_0	32	32
A006 3030h	DMA1	チャネルインターバルレジスタ0	DMAC1_CHITVL_0	32	32
A006 3038h	DMA1	ネクストリンクアドレスレジスタ0	DMAC1_NXLA_0	32	32
A006 303Ch	DMA1	カレントリンクアドレスレジスタ0	DMAC1_CRLA_0	32	32
A006 3040h	DMA1	ネクスト0ソースアドレスレジスタ1	DMAC1_N0SA_1_N	32	32
A006 3040h	DMA1	ネクスト0ソースアドレスレジスタ1	DMAC1_N0SA_1_W	32	32
A006 3044h	DMA1	ネクスト0デスティネーションアドレスレジスタ1	DMAC1_N0DA_1	32	32
A006 3048h	DMA1	ネクスト0トランザクションバイトレジスタ1	DMAC1_N0TB_1	32	32
A006 304Ch	DMA1	ネクスト1ソースアドレスレジスタ1	DMAC1_N1SA_1_N	32	32
A006 304Ch	DMA1	ネクスト1ソースアドレスレジスタ1	DMAC1_N1SA_1_W	32	32
A006 3050h	DMA1	ネクスト1デスティネーションアドレスレジスタ1	DMAC1_N1DA_1	32	32
A006 3054h	DMA1	ネクスト1トランザクションバイトレジスタ1	DMAC1_N1TB_1	32	32
A006 3058h	DMA1	カレントソースアドレスレジスタ1	DMAC1_CRSA_1	32	32
A006 305Ch	DMA1	カレントデスティネーションアドレスレジスタ1	DMAC1_CRDA_1	32	32
A006 3060h	DMA1	カレントトランザクションバイトレジスタ1	DMAC1_CRTB_1	32	32
A006 3064h	DMA1	チャネルステータスレジスタ1	DMAC1_CHSTAT_1	32	32
A006 3068h	DMA1	チャネルコントロールレジスタ1	DMAC1_CHCTRL_1	32	32
A006 306Ch	DMA1	チャネルコンフィギュレーションレジスタ1	DMAC1_CHCFG_1	32	32
A006 3070h	DMA1	チャネルインターバルレジスタ1	DMAC1_CHITVL_1	32	32
A006 3078h	DMA1	ネクストリンクアドレスレジスタ1	DMAC1_NXLA_1	32	32

表5.1 I/O レジスタアドレス一覧 (35 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 307Ch	DMA1	カレントリンクアドレスレジスタ1	DMAC1_CRLA_1	32	32
A006 3080h	DMA1	ネクスト0ソースアドレスレジスタ2	DMAC1_N0SA_2_N	32	32
A006 3080h	DMA1	ネクスト0ソースアドレスレジスタ2	DMAC1_N0SA_2_W	32	32
A006 3084h	DMA1	ネクスト0デスティネーションアドレスレジスタ2	DMAC1_N0DA_2	32	32
A006 3088h	DMA1	ネクスト0トランザクションバイトレジスタ2	DMAC1_N0TB_2	32	32
A006 308Ch	DMA1	ネクスト1ソースアドレスレジスタ2	DMAC1_N1SA_2_N	32	32
A006 308Ch	DMA1	ネクスト1ソースアドレスレジスタ2	DMAC1_N1SA_2_W	32	32
A006 3090h	DMA1	ネクスト1デスティネーションアドレスレジスタ2	DMAC1_N1DA_2	32	32
A006 3094h	DMA1	ネクスト1トランザクションバイトレジスタ2	DMAC1_N1TB_2	32	32
A006 3098h	DMA1	カレントソースアドレスレジスタ2	DMAC1_CRSA_2	32	32
A006 309Ch	DMA1	カレントデスティネーションアドレスレジスタ2	DMAC1_CRDA_2	32	32
A006 30A0h	DMA1	カレントトランザクションバイトレジスタ2	DMAC1_CRTB_2	32	32
A006 30A4h	DMA1	チャネルステータスレジスタ2	DMAC1_CHSTAT_2	32	32
A006 30A8h	DMA1	チャネルコントロールレジスタ2	DMAC1_CHCTRL_2	32	32
A006 30ACh	DMA1	チャネルコンフィギュレーションレジスタ2	DMAC1_CHCFG_2	32	32
A006 30B0h	DMA1	チャネルインターバルレジスタ2	DMAC1_CHITVL_2	32	32
A006 30B8h	DMA1	ネクストリンクアドレスレジスタ2	DMAC1_NXLA_2	32	32
A006 30BCh	DMA1	カレントリンクアドレスレジスタ2	DMAC1_CRLA_2	32	32
A006 30C0h	DMA1	ネクスト0ソースアドレスレジスタ3	DMAC1_N0SA_3_N	32	32
A006 30C0h	DMA1	ネクスト0ソースアドレスレジスタ3	DMAC1_N0SA_3_W	32	32
A006 30C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ3	DMAC1_N0DA_3	32	32
A006 30C8h	DMA1	ネクスト0トランザクションバイトレジスタ3	DMAC1_N0TB_3	32	32
A006 30CCh	DMA1	ネクスト1ソースアドレスレジスタ3	DMAC1_N1SA_3_N	32	32
A006 30CCh	DMA1	ネクスト1ソースアドレスレジスタ3	DMAC1_N1SA_3_W	32	32
A006 30D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ3	DMAC1_N1DA_3	32	32
A006 30D4h	DMA1	ネクスト1トランザクションバイトレジスタ3	DMAC1_N1TB_3	32	32
A006 30D8h	DMA1	カレントソースアドレスレジスタ3	DMAC1_CRSA_3	32	32
A006 30DCh	DMA1	カレントデスティネーションアドレスレジスタ3	DMAC1_CRDA_3	32	32
A006 30E0h	DMA1	カレントトランザクションバイトレジスタ3	DMAC1_CRTB_3	32	32
A006 30E4h	DMA1	チャネルステータスレジスタ3	DMAC1_CHSTAT_3	32	32
A006 30E8h	DMA1	チャネルコントロールレジスタ3	DMAC1_CHCTRL_3	32	32
A006 30ECh	DMA1	チャネルコンフィギュレーションレジスタ3	DMAC1_CHCFG_3	32	32
A006 30F0h	DMA1	チャネルインターバルレジスタ3	DMAC1_CHITVL_3	32	32
A006 30F8h	DMA1	ネクストリンクアドレスレジスタ3	DMAC1_NXLA_3	32	32
A006 30FCh	DMA1	カレントリンクアドレスレジスタ3	DMAC1_CRLA_3	32	32
A006 3100h	DMA1	ネクスト0ソースアドレスレジスタ4	DMAC1_N0SA_4_N	32	32
A006 3100h	DMA1	ネクスト0ソースアドレスレジスタ4	DMAC1_N0SA_4_W	32	32
A006 3104h	DMA1	ネクスト0デスティネーションアドレスレジスタ4	DMAC1_N0DA_4	32	32
A006 3108h	DMA1	ネクスト0トランザクションバイトレジスタ4	DMAC1_N0TB_4	32	32
A006 310Ch	DMA1	ネクスト1ソースアドレスレジスタ4	DMAC1_N1SA_4_N	32	32
A006 310Ch	DMA1	ネクスト1ソースアドレスレジスタ4	DMAC1_N1SA_4_W	32	32
A006 3110h	DMA1	ネクスト1デスティネーションアドレスレジスタ4	DMAC1_N1DA_4	32	32
A006 3114h	DMA1	ネクスト1トランザクションバイトレジスタ4	DMAC1_N1TB_4	32	32
A006 3118h	DMA1	カレントソースアドレスレジスタ4	DMAC1_CRSA_4	32	32
A006 311Ch	DMA1	カレントデスティネーションアドレスレジスタ4	DMAC1_CRDA_4	32	32
A006 3120h	DMA1	カレントトランザクションバイトレジスタ4	DMAC1_CRTB_4	32	32
A006 3124h	DMA1	チャネルステータスレジスタ4	DMAC1_CHSTAT_4	32	32
A006 3128h	DMA1	チャネルコントロールレジスタ4	DMAC1_CHCTRL_4	32	32

表5.1 I/O レジスタアドレス一覧 (36 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 312Ch	DMA1	チャネルコンフィギュレーションレジスタ4	DMAC1_CHCFG_4	32	32
A006 3130h	DMA1	チャネルインターバルレジスタ4	DMAC1_CHITVL_4	32	32
A006 3138h	DMA1	ネクストリンクアドレスレジスタ4	DMAC1_NXLA_4	32	32
A006 313Ch	DMA1	カレントリンクアドレスレジスタ4	DMAC1_CRLA_4	32	32
A006 3140h	DMA1	ネクスト0ソースアドレスレジスタ5	DMAC1_N0SA_5_N	32	32
A006 3140h	DMA1	ネクスト0ソースアドレスレジスタ5	DMAC1_N0SA_5_W	32	32
A006 3144h	DMA1	ネクスト0デスティネーションアドレスレジスタ5	DMAC1_N0DA_5	32	32
A006 3148h	DMA1	ネクスト0トランザクションバイトレジスタ5	DMAC1_N0TB_5	32	32
A006 314Ch	DMA1	ネクスト1ソースアドレスレジスタ5	DMAC1_N1SA_5_N	32	32
A006 314Ch	DMA1	ネクスト1ソースアドレスレジスタ5	DMAC1_N1SA_5_W	32	32
A006 3150h	DMA1	ネクスト1デスティネーションアドレスレジスタ5	DMAC1_N1DA_5	32	32
A006 3154h	DMA1	ネクスト1トランザクションバイトレジスタ5	DMAC1_N1TB_5	32	32
A006 3158h	DMA1	カレントソースアドレスレジスタ5	DMAC1_CRSA_5	32	32
A006 315Ch	DMA1	カレントデスティネーションアドレスレジスタ5	DMAC1_CRDA_5	32	32
A006 3160h	DMA1	カレントトランザクションバイトレジスタ5	DMAC1_CRTB_5	32	32
A006 3164h	DMA1	チャネルステータスレジスタ5	DMAC1_CHSTAT_5	32	32
A006 3168h	DMA1	チャネルコントロールレジスタ5	DMAC1_CHCTRL_5	32	32
A006 316Ch	DMA1	チャネルコンフィギュレーションレジスタ5	DMAC1_CHCFG_5	32	32
A006 3170h	DMA1	チャネルインターバルレジスタ5	DMAC1_CHITVL_5	32	32
A006 3178h	DMA1	ネクストリンクアドレスレジスタ5	DMAC1_NXLA_5	32	32
A006 317Ch	DMA1	カレントリンクアドレスレジスタ5	DMAC1_CRLA_5	32	32
A006 3180h	DMA1	ネクスト0ソースアドレスレジスタ6	DMAC1_N0SA_6_N	32	32
A006 3180h	DMA1	ネクスト0ソースアドレスレジスタ6	DMAC1_N0SA_6_W	32	32
A006 3184h	DMA1	ネクスト0デスティネーションアドレスレジスタ6	DMAC1_N0DA_6	32	32
A006 3188h	DMA1	ネクスト0トランザクションバイトレジスタ6	DMAC1_N0TB_6	32	32
A006 318Ch	DMA1	ネクスト1ソースアドレスレジスタ6	DMAC1_N1SA_6_N	32	32
A006 318Ch	DMA1	ネクスト1ソースアドレスレジスタ6	DMAC1_N1SA_6_W	32	32
A006 3190h	DMA1	ネクスト1デスティネーションアドレスレジスタ6	DMAC1_N1DA_6	32	32
A006 3194h	DMA1	ネクスト1トランザクションバイトレジスタ6	DMAC1_N1TB_6	32	32
A006 3198h	DMA1	カレントソースアドレスレジスタ6	DMAC1_CRSA_6	32	32
A006 319Ch	DMA1	カレントデスティネーションアドレスレジスタ6	DMAC1_CRDA_6	32	32
A006 31A0h	DMA1	カレントトランザクションバイトレジスタ6	DMAC1_CRTB_6	32	32
A006 31A4h	DMA1	チャネルステータスレジスタ6	DMAC1_CHSTAT_6	32	32
A006 31A8h	DMA1	チャネルコントロールレジスタ6	DMAC1_CHCTRL_6	32	32
A006 31ACh	DMA1	チャネルコンフィギュレーションレジスタ6	DMAC1_CHCFG_6	32	32
A006 31B0h	DMA1	チャネルインターバルレジスタ6	DMAC1_CHITVL_6	32	32
A006 31B8h	DMA1	ネクストリンクアドレスレジスタ6	DMAC1_NXLA_6	32	32
A006 31BCh	DMA1	カレントリンクアドレスレジスタ6	DMAC1_CRLA_6	32	32
A006 31C0h	DMA1	ネクスト0ソースアドレスレジスタ7	DMAC1_N0SA_7_N	32	32
A006 31C0h	DMA1	ネクスト0ソースアドレスレジスタ7	DMAC1_N0SA_7_W	32	32
A006 31C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ7	DMAC1_N0DA_7	32	32
A006 31C8h	DMA1	ネクスト0トランザクションバイトレジスタ7	DMAC1_N0TB_7	32	32
A006 31CCh	DMA1	ネクスト1ソースアドレスレジスタ7	DMAC1_N1SA_7_N	32	32
A006 31CCh	DMA1	ネクスト1ソースアドレスレジスタ7	DMAC1_N1SA_7_W	32	32
A006 31D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ7	DMAC1_N1DA_7	32	32
A006 31D4h	DMA1	ネクスト1トランザクションバイトレジスタ7	DMAC1_N1TB_7	32	32
A006 31D8h	DMA1	カレントソースアドレスレジスタ7	DMAC1_CRSA_7	32	32
A006 31DCh	DMA1	カレントデスティネーションアドレスレジスタ7	DMAC1_CRDA_7	32	32

表5.1 I/O レジスタアドレス一覧 (37 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 31E0h	DMA1	カレントトランザクションバイトレジスタ7	DMAC1_CRTB_7	32	32
A006 31E4h	DMA1	チャネルステータスレジスタ7	DMAC1_CHSTAT_7	32	32
A006 31E8h	DMA1	チャネルコントロールレジスタ7	DMAC1_CHCTRL_7	32	32
A006 31ECh	DMA1	チャネルコンフィギュレーションレジスタ7	DMAC1_CHCFG_7	32	32
A006 31F0h	DMA1	チャネルインターバルレジスタ7	DMAC1_CHITVL_7	32	32
A006 31F8h	DMA1	ネクストリンクアドレスレジスタ7	DMAC1_NXLA_7	32	32
A006 31FCh	DMA1	カレントリンクアドレスレジスタ7	DMAC1_CRLA_7	32	32
A006 3200h	DMA1	ソースコンティニュアスレジスタ0	DMAC1_SCNT_0	32	32
A006 3204h	DMA1	ソーススキップレジスタ0	DMAC1_SSKP_0	32	32
A006 3208h	DMA1	デスティネーションコンティニュアスレジスタ0	DMAC1_DCNT_0	32	32
A006 320Ch	DMA1	デスティネーションスキップレジスタ0	DMAC1_DSKP_0	32	32
A006 3220h	DMA1	ソースコンティニュアスレジスタ1	DMAC1_SCNT_1	32	32
A006 3224h	DMA1	ソーススキップレジスタ1	DMAC1_SSKP_1	32	32
A006 3228h	DMA1	デスティネーションコンティニュアスレジスタ1	DMAC1_DCNT_1	32	32
A006 322Ch	DMA1	デスティネーションスキップレジスタ1	DMAC1_DSKP_1	32	32
A006 3240h	DMA1	ソースコンティニュアスレジスタ2	DMAC1_SCNT_2	32	32
A006 3244h	DMA1	ソーススキップレジスタ2	DMAC1_SSKP_2	32	32
A006 3248h	DMA1	デスティネーションコンティニュアスレジスタ2	DMAC1_DCNT_2	32	32
A006 324Ch	DMA1	デスティネーションスキップレジスタ2	DMAC1_DSKP_2	32	32
A006 3260h	DMA1	ソースコンティニュアスレジスタ3	DMAC1_SCNT_3	32	32
A006 3264h	DMA1	ソーススキップレジスタ3	DMAC1_SSKP_3	32	32
A006 3268h	DMA1	デスティネーションコンティニュアスレジスタ3	DMAC1_DCNT_3	32	32
A006 326Ch	DMA1	デスティネーションスキップレジスタ3	DMAC1_DSKP_3	32	32
A006 3280h	DMA1	ソースコンティニュアスレジスタ4	DMAC1_SCNT_4	32	32
A006 3284h	DMA1	ソーススキップレジスタ4	DMAC1_SSKP_4	32	32
A006 3288h	DMA1	デスティネーションコンティニュアスレジスタ4	DMAC1_DCNT_4	32	32
A006 328Ch	DMA1	デスティネーションスキップレジスタ4	DMAC1_DSKP_4	32	32
A006 32A0h	DMA1	ソースコンティニュアスレジスタ5	DMAC1_SCNT_5	32	32
A006 32A4h	DMA1	ソーススキップレジスタ5	DMAC1_SSKP_5	32	32
A006 32A8h	DMA1	デスティネーションコンティニュアスレジスタ5	DMAC1_DCNT_5	32	32
A006 32ACh	DMA1	デスティネーションスキップレジスタ5	DMAC1_DSKP_5	32	32
A006 32C0h	DMA1	ソースコンティニュアスレジスタ6	DMAC1_SCNT_6	32	32
A006 32C4h	DMA1	ソーススキップレジスタ6	DMAC1_SSKP_6	32	32
A006 32C8h	DMA1	デスティネーションコンティニュアスレジスタ6	DMAC1_DCNT_6	32	32
A006 32CCh	DMA1	デスティネーションスキップレジスタ6	DMAC1_DSKP_6	32	32
A006 32E0h	DMA1	ソースコンティニュアスレジスタ7	DMAC1_SCNT_7	32	32
A006 32E4h	DMA1	ソーススキップレジスタ7	DMAC1_SSKP_7	32	32
A006 32E8h	DMA1	デスティネーションコンティニュアスレジスタ7	DMAC1_DCNT_7	32	32
A006 32ECh	DMA1	デスティネーションスキップレジスタ7	DMAC1_DSKP_7	32	32
A006 3300h	DMA1	DMAコントロールレジスタA	DMAC1_DCTRL_A	32	32
A006 3304h	DMA1	デスクリプタインターバルレジスタA	DMAC1_DSCITVL_A	32	32
A006 3310h	DMA1	DMAステータスENレジスタA	DMAC1_DST_EN_A	32	32
A006 3314h	DMA1	DMAステータスERレジスタA	DMAC1_DST_ER_A	32	32
A006 3318h	DMA1	DMAステータスENDレジスタA	DMAC1_DST_END_A	32	32
A006 3320h	DMA1	DMAステータスSUSレジスタA	DMAC1_DST_SUS_A	32	32
A006 3400h	DMA1	ネクスト0ソースアドレスレジスタ8	DMAC1_N0SA_8_N	32	32
A006 3400h	DMA1	ネクスト0ソースアドレスレジスタ8	DMAC1_N0SA_8_W	32	32
A006 3404h	DMA1	ネクスト0デスティネーションアドレスレジスタ8	DMAC1_N0DA_8	32	32

表5.1 I/O レジスタアドレス一覧 (38 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3408h	DMA1	ネクスト0トランザクションバイトレジスタ8	DMAC1_N0TB_8	32	32
A006 340Ch	DMA1	ネクスト1ソースアドレスレジスタ8	DMAC1_N1SA_8_N	32	32
A006 340Ch	DMA1	ネクスト1ソースアドレスレジスタ8	DMAC1_N1SA_8_W	32	32
A006 3410h	DMA1	ネクスト1デスティネーションアドレスレジスタ8	DMAC1_N1DA_8	32	32
A006 3414h	DMA1	ネクスト1トランザクションバイトレジスタ8	DMAC1_N1TB_8	32	32
A006 3418h	DMA1	カレントソースアドレスレジスタ8	DMAC1_CRSA_8	32	32
A006 341Ch	DMA1	カレントデスティネーションアドレスレジスタ8	DMAC1_CRDA_8	32	32
A006 3420h	DMA1	カレントトランザクションバイトレジスタ8	DMAC1_CRTB_8	32	32
A006 3424h	DMA1	チャネルステータスレジスタ8	DMAC1_CHSTAT_8	32	32
A006 3428h	DMA1	チャネルコントロールレジスタ8	DMAC1_CHCTRL_8	32	32
A006 342Ch	DMA1	チャネルコンフィギュレーションレジスタ8	DMAC1_CHCFG_8	32	32
A006 3430h	DMA1	チャネルインターバルレジスタ8	DMAC1_CHITVL_8	32	32
A006 3438h	DMA1	ネクストリンクアドレスレジスタ8	DMAC1_NXLA_8	32	32
A006 343Ch	DMA1	カレントリンクアドレスレジスタ8	DMAC1_CRLA_8	32	32
A006 3440h	DMA1	ネクスト0ソースアドレスレジスタ9	DMAC1_N0SA_9_N	32	32
A006 3440h	DMA1	ネクスト0ソースアドレスレジスタ9	DMAC1_N0SA_9_W	32	32
A006 3444h	DMA1	ネクスト0デスティネーションアドレスレジスタ9	DMAC1_N0DA_9	32	32
A006 3448h	DMA1	ネクスト0トランザクションバイトレジスタ9	DMAC1_N0TB_9	32	32
A006 344Ch	DMA1	ネクスト1ソースアドレスレジスタ9	DMAC1_N1SA_9_N	32	32
A006 344Ch	DMA1	ネクスト1ソースアドレスレジスタ9	DMAC1_N1SA_9_W	32	32
A006 3450h	DMA1	ネクスト1デスティネーションアドレスレジスタ9	DMAC1_N1DA_9	32	32
A006 3454h	DMA1	ネクスト1トランザクションバイトレジスタ9	DMAC1_N1TB_9	32	32
A006 3458h	DMA1	カレントソースアドレスレジスタ9	DMAC1_CRSA_9	32	32
A006 345Ch	DMA1	カレントデスティネーションアドレスレジスタ9	DMAC1_CRDA_9	32	32
A006 3460h	DMA1	カレントトランザクションバイトレジスタ9	DMAC1_CRTB_9	32	32
A006 3464h	DMA1	チャネルステータスレジスタ9	DMAC1_CHSTAT_9	32	32
A006 3468h	DMA1	チャネルコントロールレジスタ9	DMAC1_CHCTRL_9	32	32
A006 346Ch	DMA1	チャネルコンフィギュレーションレジスタ9	DMAC1_CHCFG_9	32	32
A006 3470h	DMA1	チャネルインターバルレジスタ9	DMAC1_CHITVL_9	32	32
A006 3478h	DMA1	ネクストリンクアドレスレジスタ9	DMAC1_NXLA_9	32	32
A006 347Ch	DMA1	カレントリンクアドレスレジスタ9	DMAC1_CRLA_9	32	32
A006 3480h	DMA1	ネクスト0ソースアドレスレジスタ10	DMAC1_N0SA_10_N	32	32
A006 3480h	DMA1	ネクスト0ソースアドレスレジスタ10	DMAC1_N0SA_10_W	32	32
A006 3484h	DMA1	ネクスト0デスティネーションアドレスレジスタ10	DMAC1_N0DA_10	32	32
A006 3488h	DMA1	ネクスト0トランザクションバイトレジスタ10	DMAC1_N0TB_10	32	32
A006 348Ch	DMA1	ネクスト1ソースアドレスレジスタ10	DMAC1_N1SA_10_N	32	32
A006 348Ch	DMA1	ネクスト1ソースアドレスレジスタ10	DMAC1_N1SA_10_W	32	32
A006 3490h	DMA1	ネクスト1デスティネーションアドレスレジスタ10	DMAC1_N1DA_10	32	32
A006 3494h	DMA1	ネクスト1トランザクションバイトレジスタ10	DMAC1_N1TB_10	32	32
A006 3498h	DMA1	カレントソースアドレスレジスタ10	DMAC1_CRSA_10	32	32
A006 349Ch	DMA1	カレントデスティネーションアドレスレジスタ10	DMAC1_CRDA_10	32	32
A006 34A0h	DMA1	カレントトランザクションバイトレジスタ10	DMAC1_CRTB_10	32	32
A006 34A4h	DMA1	チャネルステータスレジスタ10	DMAC1_CHSTAT_10	32	32
A006 34A8h	DMA1	チャネルコントロールレジスタ10	DMAC1_CHCTRL_10	32	32
A006 34ACh	DMA1	チャネルコンフィギュレーションレジスタ10	DMAC1_CHCFG_10	32	32
A006 34B0h	DMA1	チャネルインターバルレジスタ10	DMAC1_CHITVL_10	32	32
A006 34B8h	DMA1	ネクストリンクアドレスレジスタ10	DMAC1_NXLA_10	32	32
A006 34BCh	DMA1	カレントリンクアドレスレジスタ10	DMAC1_CRLA_10	32	32

表5.1 I/O レジスタアドレス一覧 (39 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 34C0h	DMA1	ネクスト0ソースアドレスレジスタ11	DMAC1_N0SA_11_N	32	32
A006 34C0h	DMA1	ネクスト0ソースアドレスレジスタ11	DMAC1_N0SA_11_W	32	32
A006 34C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ11	DMAC1_N0DA_11	32	32
A006 34C8h	DMA1	ネクスト0トランザクションバイトレジスタ11	DMAC1_N0TB_11	32	32
A006 34CCh	DMA1	ネクスト1ソースアドレスレジスタ11	DMAC1_N1SA_11_N	32	32
A006 34CCh	DMA1	ネクスト1ソースアドレスレジスタ11	DMAC1_N1SA_11_W	32	32
A006 34D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ11	DMAC1_N1DA_11	32	32
A006 34D4h	DMA1	ネクスト1トランザクションバイトレジスタ11	DMAC1_N1TB_11	32	32
A006 34D8h	DMA1	カレントソースアドレスレジスタ11	DMAC1_CRSA_11	32	32
A006 34DCh	DMA1	カレントデスティネーションアドレスレジスタ11	DMAC1_CRDA_11	32	32
A006 34E0h	DMA1	カレントトランザクションバイトレジスタ11	DMAC1_CRTB_11	32	32
A006 34E4h	DMA1	チャネルステータスレジスタ11	DMAC1_CHSTAT_11	32	32
A006 34E8h	DMA1	チャネルコントロールレジスタ11	DMAC1_CHCTRL_11	32	32
A006 34ECh	DMA1	チャネルコンフィギュレーションレジスタ11	DMAC1_CHCFG_11	32	32
A006 34F0h	DMA1	チャネルインターバルレジスタ11	DMAC1_CHITVL_11	32	32
A006 34F8h	DMA1	ネクストリンクアドレスレジスタ11	DMAC1_NXLA_11	32	32
A006 34FCh	DMA1	カレントリンクアドレスレジスタ11	DMAC1_CRLA_11	32	32
A006 3500h	DMA1	ネクスト0ソースアドレスレジスタ12	DMAC1_N0SA_12_N	32	32
A006 3500h	DMA1	ネクスト0ソースアドレスレジスタ12	DMAC1_N0SA_12_W	32	32
A006 3504h	DMA1	ネクスト0デスティネーションアドレスレジスタ12	DMAC1_N0DA_12	32	32
A006 3508h	DMA1	ネクスト0トランザクションバイトレジスタ12	DMAC1_N0TB_12	32	32
A006 350Ch	DMA1	ネクスト1ソースアドレスレジスタ12	DMAC1_N1SA_12_N	32	32
A006 350Ch	DMA1	ネクスト1ソースアドレスレジスタ12	DMAC1_N1SA_12_W	32	32
A006 3510h	DMA1	ネクスト1デスティネーションアドレスレジスタ12	DMAC1_N1DA_12	32	32
A006 3514h	DMA1	ネクスト1トランザクションバイトレジスタ12	DMAC1_N1TB_12	32	32
A006 3518h	DMA1	カレントソースアドレスレジスタ12	DMAC1_CRSA_12	32	32
A006 351Ch	DMA1	カレントデスティネーションアドレスレジスタ12	DMAC1_CRDA_12	32	32
A006 3520h	DMA1	カレントトランザクションバイトレジスタ12	DMAC1_CRTB_12	32	32
A006 3524h	DMA1	チャネルステータスレジスタ12	DMAC1_CHSTAT_12	32	32
A006 3528h	DMA1	チャネルコントロールレジスタ12	DMAC1_CHCTRL_12	32	32
A006 352Ch	DMA1	チャネルコンフィギュレーションレジスタ12	DMAC1_CHCFG_12	32	32
A006 3530h	DMA1	チャネルインターバルレジスタ12	DMAC1_CHITVL_12	32	32
A006 3538h	DMA1	ネクストリンクアドレスレジスタ12	DMAC1_NXLA_12	32	32
A006 353Ch	DMA1	カレントリンクアドレスレジスタ12	DMAC1_CRLA_12	32	32
A006 3540h	DMA1	ネクスト0ソースアドレスレジスタ13	DMAC1_N0SA_13_N	32	32
A006 3540h	DMA1	ネクスト0ソースアドレスレジスタ13	DMAC1_N0SA_13_W	32	32
A006 3544h	DMA1	ネクスト0デスティネーションアドレスレジスタ13	DMAC1_N0DA_13	32	32
A006 3548h	DMA1	ネクスト0トランザクションバイトレジスタ13	DMAC1_N0TB_13	32	32
A006 354Ch	DMA1	ネクスト1ソースアドレスレジスタ13	DMAC1_N1SA_13_N	32	32
A006 354Ch	DMA1	ネクスト1ソースアドレスレジスタ13	DMAC1_N1SA_13_W	32	32
A006 3550h	DMA1	ネクスト1デスティネーションアドレスレジスタ13	DMAC1_N1DA_13	32	32
A006 3554h	DMA1	ネクスト1トランザクションバイトレジスタ13	DMAC1_N1TB_13	32	32
A006 3558h	DMA1	カレントソースアドレスレジスタ13	DMAC1_CRSA_13	32	32
A006 355Ch	DMA1	カレントデスティネーションアドレスレジスタ13	DMAC1_CRDA_13	32	32
A006 3560h	DMA1	カレントトランザクションバイトレジスタ13	DMAC1_CRTB_13	32	32
A006 3564h	DMA1	チャネルステータスレジスタ13	DMAC1_CHSTAT_13	32	32
A006 3568h	DMA1	チャネルコントロールレジスタ13	DMAC1_CHCTRL_13	32	32
A006 356Ch	DMA1	チャネルコンフィギュレーションレジスタ13	DMAC1_CHCFG_13	32	32

表5.1 I/O レジスタアドレス一覧 (40 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3570h	DMA1	チャネルインターバルレジスタ13	DMAC1_CHITVL_13	32	32
A006 3578h	DMA1	ネクストリンクアドレスレジスタ13	DMAC1_NXLA_13	32	32
A006 357Ch	DMA1	カレントリンクアドレスレジスタ13	DMAC1_CRLA_13	32	32
A006 3580h	DMA1	ネクスト0ソースアドレスレジスタ14	DMAC1_N0SA_14_N	32	32
A006 3580h	DMA1	ネクスト0ソースアドレスレジスタ14	DMAC1_N0SA_14_W	32	32
A006 3584h	DMA1	ネクスト0デスティネーションアドレスレジスタ14	DMAC1_N0DA_14	32	32
A006 3588h	DMA1	ネクスト0トランザクションバイトレジスタ14	DMAC1_N0TB_14	32	32
A006 358Ch	DMA1	ネクスト1ソースアドレスレジスタ14	DMAC1_N1SA_14_N	32	32
A006 358Ch	DMA1	ネクスト1ソースアドレスレジスタ14	DMAC1_N1SA_14_W	32	32
A006 3590h	DMA1	ネクスト1デスティネーションアドレスレジスタ14	DMAC1_N1DA_14	32	32
A006 3594h	DMA1	ネクスト1トランザクションバイトレジスタ14	DMAC1_N1TB_14	32	32
A006 3598h	DMA1	カレントソースアドレスレジスタ14	DMAC1_CRSA_14	32	32
A006 359Ch	DMA1	カレントデスティネーションアドレスレジスタ14	DMAC1_CRDA_14	32	32
A006 35A0h	DMA1	カレントトランザクションバイトレジスタ14	DMAC1_CRTB_14	32	32
A006 35A4h	DMA1	チャネルステータスレジスタ14	DMAC1_CHSTAT_14	32	32
A006 35A8h	DMA1	チャネルコントロールレジスタ14	DMAC1_CHCTRL_14	32	32
A006 35ACh	DMA1	チャネルコンフィギュレーションレジスタ14	DMAC1_CHCFG_14	32	32
A006 35B0h	DMA1	チャネルインターバルレジスタ14	DMAC1_CHITVL_14	32	32
A006 35B8h	DMA1	ネクストリンクアドレスレジスタ14	DMAC1_NXLA_14	32	32
A006 35BCh	DMA1	カレントリンクアドレスレジスタ14	DMAC1_CRLA_14	32	32
A006 35C0h	DMA1	ネクスト0ソースアドレスレジスタ15	DMAC1_N0SA_15_N	32	32
A006 35C0h	DMA1	ネクスト0ソースアドレスレジスタ15	DMAC1_N0SA_15_W	32	32
A006 35C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ15	DMAC1_N0DA_15	32	32
A006 35C8h	DMA1	ネクスト0トランザクションバイトレジスタ15	DMAC1_N0TB_15	32	32
A006 35CCh	DMA1	ネクスト1ソースアドレスレジスタ15	DMAC1_N1SA_15_N	32	32
A006 35CCh	DMA1	ネクスト1ソースアドレスレジスタ15	DMAC1_N1SA_15_W	32	32
A006 35D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ15	DMAC1_N1DA_15	32	32
A006 35D4h	DMA1	ネクスト1トランザクションバイトレジスタ15	DMAC1_N1TB_15	32	32
A006 35D8h	DMA1	カレントソースアドレスレジスタ15	DMAC1_CRSA_15	32	32
A006 35DCh	DMA1	カレントデスティネーションアドレスレジスタ15	DMAC1_CRDA_15	32	32
A006 35E0h	DMA1	カレントトランザクションバイトレジスタ15	DMAC1_CRTB_15	32	32
A006 35E4h	DMA1	チャネルステータスレジスタ15	DMAC1_CHSTAT_15	32	32
A006 35E8h	DMA1	チャネルコントロールレジスタ15	DMAC1_CHCTRL_15	32	32
A006 35ECh	DMA1	チャネルコンフィギュレーションレジスタ15	DMAC1_CHCFG_15	32	32
A006 35F0h	DMA1	チャネルインターバルレジスタ15	DMAC1_CHITVL_15	32	32
A006 35F8h	DMA1	ネクストリンクアドレスレジスタ15	DMAC1_NXLA_15	32	32
A006 35FCh	DMA1	カレントリンクアドレスレジスタ15	DMAC1_CRLA_15	32	32
A006 3600h	DMA1	ソースコンティニュアスレジスタ8	DMAC1_SCNT_8	32	32
A006 3604h	DMA1	ソーススキップレジスタ8	DMAC1_SSKP_8	32	32
A006 3608h	DMA1	デスティネーションコンティニュアスレジスタ8	DMAC1_DCNT_8	32	32
A006 360Ch	DMA1	デスティネーションスキップレジスタ8	DMAC1_DSKP_8	32	32
A006 3620h	DMA1	ソースコンティニュアスレジスタ9	DMAC1_SCNT_9	32	32
A006 3624h	DMA1	ソーススキップレジスタ9	DMAC1_SSKP_9	32	32
A006 3628h	DMA1	デスティネーションコンティニュアスレジスタ9	DMAC1_DCNT_9	32	32
A006 362Ch	DMA1	デスティネーションスキップレジスタ9	DMAC1_DSKP_9	32	32
A006 3640h	DMA1	ソースコンティニュアスレジスタ10	DMAC1_SCNT_10	32	32
A006 3644h	DMA1	ソーススキップレジスタ10	DMAC1_SSKP_10	32	32
A006 3648h	DMA1	デスティネーションコンティニュアスレジスタ10	DMAC1_DCNT_10	32	32

表5.1 I/O レジスタアドレス一覧 (41 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 364Ch	DMA1	デスティネーションスキップレジスタ10	DMAC1_DSKP_10	32	32
A006 3660h	DMA1	ソースコンティニュアスレジスタ11	DMAC1_SCNT_11	32	32
A006 3664h	DMA1	ソーススキップレジスタ11	DMAC1_SSKP_11	32	32
A006 3668h	DMA1	デスティネーションコンティニュアスレジスタ11	DMAC1_DCNT_11	32	32
A006 366Ch	DMA1	デスティネーションスキップレジスタ11	DMAC1_DSKP_11	32	32
A006 3680h	DMA1	ソースコンティニュアスレジスタ12	DMAC1_SCNT_12	32	32
A006 3684h	DMA1	ソーススキップレジスタ12	DMAC1_SSKP_12	32	32
A006 3688h	DMA1	デスティネーションコンティニュアスレジスタ12	DMAC1_DCNT_12	32	32
A006 368Ch	DMA1	デスティネーションスキップレジスタ12	DMAC1_DSKP_12	32	32
A006 36A0h	DMA1	ソースコンティニュアスレジスタ13	DMAC1_SCNT_13	32	32
A006 36A4h	DMA1	ソーススキップレジスタ13	DMAC1_SSKP_13	32	32
A006 36A8h	DMA1	デスティネーションコンティニュアスレジスタ13	DMAC1_DCNT_13	32	32
A006 36ACh	DMA1	デスティネーションスキップレジスタ13	DMAC1_DSKP_13	32	32
A006 36C0h	DMA1	ソースコンティニュアスレジスタ14	DMAC1_SCNT_14	32	32
A006 36C4h	DMA1	ソーススキップレジスタ14	DMAC1_SSKP_14	32	32
A006 36C8h	DMA1	デスティネーションコンティニュアスレジスタ14	DMAC1_DCNT_14	32	32
A006 36CCh	DMA1	デスティネーションスキップレジスタ14	DMAC1_DSKP_14	32	32
A006 36E0h	DMA1	ソースコンティニュアスレジスタ15	DMAC1_SCNT_15	32	32
A006 36E4h	DMA1	ソーススキップレジスタ15	DMAC1_SSKP_15	32	32
A006 36E8h	DMA1	デスティネーションコンティニュアスレジスタ15	DMAC1_DCNT_15	32	32
A006 36ECh	DMA1	デスティネーションスキップレジスタ15	DMAC1_DSKP_15	32	32
A006 3700h	DMA1	DMAコントロールレジスタB	DMAC1_DCTRL_B	32	32
A006 3704h	DMA1	デスクリプタインターバルレジスタB	DMAC1_DSCITVL_B	32	32
A006 3710h	DMA1	DMAステータスENレジスタB	DMAC1_DST_EN_B	32	32
A006 3714h	DMA1	DMAステータスERレジスタB	DMAC1_DST_ER_B	32	32
A006 3718h	DMA1	DMAステータスENDレジスタB	DMAC1_DST_END_B	32	32
A006 3720h	DMA1	DMAステータスSUSレジスタB	DMAC1_DST_SUS_B	32	32
A006 5000h	SCIFA0	シリアルモードレジスタ	SMR	16	16
A006 5002h	SCIFA0	ビットレートレジスタ	BRR	8	8
A006 5002h	SCIFA0	モジュレーションデューティレジスタ	MDDR	8	8
A006 5004h	SCIFA0	シリアルコントロールレジスタ	SCR	16	16
A006 5006h	SCIFA0	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5008h	SCIFA0	シリアルステータスレジスタ	FSR	16	16
A006 500Ah	SCIFA0	レシーブFIFOデータレジスタ	FRDR	8	8
A006 500Ch	SCIFA0	FIFOコントロールレジスタ	FCR	16	16
A006 500Eh	SCIFA0	FIFOデータ数レジスタ	FDR	16	16
A006 5010h	SCIFA0	シリアルポートレジスタ	SPTR	16	16
A006 5012h	SCIFA0	ラインステータスレジスタ	LSR	16	16
A006 5014h	SCIFA0	シリアル拡張モードレジスタ	SEMR	8	8
A006 5016h	SCIFA0	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 5400h	SCIFA1	シリアルモードレジスタ	SMR	16	16
A006 5402h	SCIFA1	ビットレートレジスタ	BRR	8	8
A006 5402h	SCIFA1	モジュレーションデューティレジスタ	MDDR	8	8
A006 5404h	SCIFA1	シリアルコントロールレジスタ	SCR	16	16
A006 5406h	SCIFA1	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5408h	SCIFA1	シリアルステータスレジスタ	FSR	16	16
A006 540Ah	SCIFA1	レシーブFIFOデータレジスタ	FRDR	8	8
A006 540Ch	SCIFA1	FIFOコントロールレジスタ	FCR	16	16

表5.1 I/O レジスタアドレス一覧 (42 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 540Eh	SCIFA1	FIFOデータ数レジスタ	FDR	16	16
A006 5410h	SCIFA1	シリアルポートレジスタ	SPTR	16	16
A006 5412h	SCIFA1	ラインステータスレジスタ	LSR	16	16
A006 5414h	SCIFA1	シリアル拡張モードレジスタ	SEMR	8	8
A006 5416h	SCIFA1	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 5800h	SCIFA2	シリアルモードレジスタ	SMR	16	16
A006 5802h	SCIFA2	ビットレートレジスタ	BRR	8	8
A006 5802h	SCIFA2	モジュレーションデューティレジスタ	MDDR	8	8
A006 5804h	SCIFA2	シリアルコントロールレジスタ	SCR	16	16
A006 5806h	SCIFA2	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5808h	SCIFA2	シリアルステータスレジスタ	FSR	16	16
A006 580Ah	SCIFA2	レシーブFIFOデータレジスタ	FRDR	8	8
A006 580Ch	SCIFA2	FIFOコントロールレジスタ	FCR	16	16
A006 580Eh	SCIFA2	FIFOデータ数レジスタ	FDR	16	16
A006 5810h	SCIFA2	シリアルポートレジスタ	SPTR	16	16
A006 5812h	SCIFA2	ラインステータスレジスタ	LSR	16	16
A006 5814h	SCIFA2	シリアル拡張モードレジスタ	SEMR	8	8
A006 5816h	SCIFA2	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 5C00h	SCIFA3	シリアルモードレジスタ	SMR	16	16
A006 5C02h	SCIFA3	ビットレートレジスタ	BRR	8	8
A006 5C02h	SCIFA3	モジュレーションデューティレジスタ	MDDR	8	8
A006 5C04h	SCIFA3	シリアルコントロールレジスタ	SCR	16	16
A006 5C06h	SCIFA3	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5C08h	SCIFA3	シリアルステータスレジスタ	FSR	16	16
A006 5C0Ah	SCIFA3	レシーブFIFOデータレジスタ	FRDR	8	8
A006 5C0Ch	SCIFA3	FIFOコントロールレジスタ	FCR	16	16
A006 5C0Eh	SCIFA3	FIFOデータ数レジスタ	FDR	16	16
A006 5C10h	SCIFA3	シリアルポートレジスタ	SPTR	16	16
A006 5C12h	SCIFA3	ラインステータスレジスタ	LSR	16	16
A006 5C14h	SCIFA3	シリアル拡張モードレジスタ	SEMR	8	8
A006 5C16h	SCIFA3	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 6000h	SCIFA4	シリアルモードレジスタ	SMR	16	16
A006 6002h	SCIFA4	ビットレートレジスタ	BRR	8	8
A006 6002h	SCIFA4	モジュレーションデューティレジスタ	MDDR	8	8
A006 6004h	SCIFA4	シリアルコントロールレジスタ	SCR	16	16
A006 6006h	SCIFA4	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 6008h	SCIFA4	シリアルステータスレジスタ	FSR	16	16
A006 600Ah	SCIFA4	レシーブFIFOデータレジスタ	FRDR	8	8
A006 600Ch	SCIFA4	FIFOコントロールレジスタ	FCR	16	16
A006 600Eh	SCIFA4	FIFOデータ数レジスタ	FDR	16	16
A006 6010h	SCIFA4	シリアルポートレジスタ	SPTR	16	16
A006 6012h	SCIFA4	ラインステータスレジスタ	LSR	16	16
A006 6014h	SCIFA4	シリアル拡張モードレジスタ	SEMR	8	8
A006 6016h	SCIFA4	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 8000h	RSPI0	RSPI制御レジスタ	SPCR	8	8
A006 8001h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8
A006 8002h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8
A006 8003h	RSPI0	RSPIステータスレジスタ	SPSR	8	8

表5.1 I/O レジスタアドレス一覧 (43 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 8004h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32
A006 8008h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8
A006 8009h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8
A006 800Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8
A006 800Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8
A006 800Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8
A006 800Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 800Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8
A006 800Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8
A006 8010h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16
A006 8012h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16
A006 8014h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16
A006 8016h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16
A006 8018h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16
A006 801Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16
A006 801Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16
A006 801Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16
A006 8400h	RSPI1	RSPI制御レジスタ	SPCR	8	8
A006 8401h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8
A006 8402h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8
A006 8403h	RSPI1	RSPIステータスレジスタ	SPSR	8	8
A006 8404h	RSPI1	RSPIデータレジスタ	SPDR	32	16, 32
A006 8408h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8
A006 8409h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8
A006 840Ah	RSPI1	RSPIビットレートレジスタ	SPBR	8	8
A006 840Bh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8
A006 840Ch	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8
A006 840Dh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 840Eh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8
A006 840Fh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8
A006 8410h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16
A006 8412h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16
A006 8414h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16
A006 8416h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16
A006 8418h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16
A006 841Ah	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16
A006 841Ch	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16
A006 841Eh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16
A006 8800h	RSPI2	RSPI制御レジスタ	SPCR	8	8
A006 8801h	RSPI2	RSPIスレーブセレクト極性レジスタ	SSLP	8	8
A006 8802h	RSPI2	RSPI端子制御レジスタ	SPPCR	8	8
A006 8803h	RSPI2	RSPIステータスレジスタ	SPSR	8	8
A006 8804h	RSPI2	RSPIデータレジスタ	SPDR	32	16, 32
A006 8808h	RSPI2	RSPIシーケンス制御レジスタ	SPSCR	8	8
A006 8809h	RSPI2	RSPIシーケンスステータスレジスタ	SPSSR	8	8
A006 880Ah	RSPI2	RSPIビットレートレジスタ	SPBR	8	8
A006 880Bh	RSPI2	RSPIデータコントロールレジスタ	SPDCR	8	8
A006 880Ch	RSPI2	RSPIクロック遅延レジスタ	SPCKD	8	8

表5.1 I/O レジスタアドレス一覧 (44 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 880Dh	RSPI2	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 880Eh	RSPI2	RSPI次アクセス遅延レジスタ	SPND	8	8
A006 880Fh	RSPI2	RSPI制御レジスタ2	SPCR2	8	8
A006 8810h	RSPI2	RSPIコマンドレジスタ0	SPCMD0	16	16
A006 8812h	RSPI2	RSPIコマンドレジスタ1	SPCMD1	16	16
A006 8814h	RSPI2	RSPIコマンドレジスタ2	SPCMD2	16	16
A006 8816h	RSPI2	RSPIコマンドレジスタ3	SPCMD3	16	16
A006 8818h	RSPI2	RSPIコマンドレジスタ4	SPCMD4	16	16
A006 881Ah	RSPI2	RSPIコマンドレジスタ5	SPCMD5	16	16
A006 881Ch	RSPI2	RSPIコマンドレジスタ6	SPCMD6	16	16
A006 881Eh	RSPI2	RSPIコマンドレジスタ7	SPCMD7	16	16
A006 8C00h	RSPI3	RSPI制御レジスタ	SPCR	8	8
A006 8C01h	RSPI3	RSPIスレーブセレクト極性レジスタ	SSLP	8	8
A006 8C02h	RSPI3	RSPI端子制御レジスタ	SPPCR	8	8
A006 8C03h	RSPI3	RSPIステータスレジスタ	SPSR	8	8
A006 8C04h	RSPI3	RSPIデータレジスタ	SPDR	32	16, 32
A006 8C08h	RSPI3	RSPIシーケンス制御レジスタ	SPSCR	8	8
A006 8C09h	RSPI3	RSPIシーケンスステータスレジスタ	SPSSR	8	8
A006 8C0Ah	RSPI3	RSPIビットレートレジスタ	SPBR	8	8
A006 8C0Bh	RSPI3	RSPIデータコントロールレジスタ	SPDCR	8	8
A006 8C0Ch	RSPI3	RSPIクロック遅延レジスタ	SPCKD	8	8
A006 8C0Dh	RSPI3	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 8C0Eh	RSPI3	RSPI次アクセス遅延レジスタ	SPND	8	8
A006 8C0Fh	RSPI3	RSPI制御レジスタ2	SPCR2	8	8
A006 8C10h	RSPI3	RSPIコマンドレジスタ0	SPCMD0	16	16
A006 8C12h	RSPI3	RSPIコマンドレジスタ1	SPCMD1	16	16
A006 8C14h	RSPI3	RSPIコマンドレジスタ2	SPCMD2	16	16
A006 8C16h	RSPI3	RSPIコマンドレジスタ3	SPCMD3	16	16
A006 8C18h	RSPI3	RSPIコマンドレジスタ4	SPCMD4	16	16
A006 8C1Ah	RSPI3	RSPIコマンドレジスタ5	SPCMD5	16	16
A006 8C1Ch	RSPI3	RSPIコマンドレジスタ6	SPCMD6	16	16
A006 8C1Eh	RSPI3	RSPIコマンドレジスタ7	SPCMD7	16	16
A006 A000h	MTU3	タイマコントロールレジスタ	TCR	8	8
A006 A001h	MTU4	タイマコントロールレジスタ	TCR	8	8
A006 A002h	MTU3	タイマモードレジスタ1	TMDR1	8	8
A006 A003h	MTU4	タイマモードレジスタ1	TMDR1	8	8
A006 A004h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8
A006 A005h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8
A006 A006h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8
A006 A007h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8
A006 A008h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A009h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A00Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8
A006 A00Dh	MTU	タイマゲートコントロールレジスタA	TGCRA	8	8
A006 A00Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8
A006 A00Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8
A006 A010h	MTU3	タイマカウンタ	TCNT	16	16
A006 A012h	MTU4	タイマカウンタ	TCNT	16	16

表5.1 I/O レジスタアドレス一覧 (45 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 A014h	MTU	タイマ周期データレジスタA	TCDRA	16	16
A006 A016h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16
A006 A018h	MTU3	タイマジェネラルレジスタA	TGRA	16	16
A006 A01Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16
A006 A01Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16
A006 A01Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16
A006 A020h	MTU	タイマサブカウンタA	TCNTSA	16	16
A006 A022h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16
A006 A024h	MTU3	タイマジェネラルレジスタC	TGRC	16	16
A006 A026h	MTU3	タイマジェネラルレジスタD	TGRD	16	16
A006 A028h	MTU4	タイマジェネラルレジスタC	TGRC	16	16
A006 A02Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16
A006 A02Ch	MTU3	タイマステータスレジスタ	TSR	8	8
A006 A02Dh	MTU4	タイマステータスレジスタ	TSR	8	8
A006 A030h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8
A006 A031h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8
A006 A032h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8
A006 A034h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8
A006 A036h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8
A006 A038h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8
A006 A039h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8
A006 A03Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8
A006 A03Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8
A006 A03Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8
A006 A040h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16
A006 A044h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16
A006 A046h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16
A006 A048h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16
A006 A04Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16
A006 A04Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8
A006 A04Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8
A006 A060h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8
A006 A070h	MTU	タイマモードレジスタ2A	TMDR2A	8	8
A006 A072h	MTU3	タイマジェネラルレジスタE	TGRE	16	16
A006 A074h	MTU4	タイマジェネラルレジスタE	TGRE	16	16
A006 A076h	MTU4	タイマジェネラルレジスタF	TGRF	16	16
A006 A080h	MTU	タイマスタートレジスタA	TSTRA	8	8
A006 A081h	MTU	タイマシンクロレジスタA	TSYRA	8	8
A006 A082h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8
A006 A084h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8
A006 A090h	MTU0	ノイズフィルタコントロールレジスタ	NFCR0	8	8
A006 A091h	MTU1	ノイズフィルタコントロールレジスタ	NFCR1	8	8
A006 A092h	MTU2	ノイズフィルタコントロールレジスタ	NFCR2	8	8
A006 A093h	MTU3	ノイズフィルタコントロールレジスタ	NFCR3	8	8
A006 A094h	MTU4	ノイズフィルタコントロールレジスタ	NFCR4	8	8
A006 A098h	MTU8	ノイズフィルタコントロールレジスタ	NFCR8	8	8
A006 A099h	MTU0	ノイズフィルタコントロールレジスタ	NFCRC	8	8
A006 A100h	MTU0	タイマコントロールレジスタ	TCR	8	8

表5.1 I/O レジスタアドレス一覧 (46 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 A101h	MTU0	タイマモードレジスタ1	TMDR1	8	8
A006 A102h	MTU0	タイマI/Oコントロールレジスタ H	TIORH	8	8
A006 A103h	MTU0	タイマI/Oコントロールレジスタ L	TIORL	8	8
A006 A104h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A106h	MTU0	タイマカウンタ	TCNT	16	16
A006 A108h	MTU0	タイマジェネラルレジスタ A	TGRA	16	16
A006 A10Ah	MTU0	タイマジェネラルレジスタ B	TGRB	16	16
A006 A10Ch	MTU0	タイマジェネラルレジスタ C	TGRC	16	16
A006 A10Eh	MTU0	タイマジェネラルレジスタ D	TGRD	16	16
A006 A120h	MTU0	タイマジェネラルレジスタ E	TGRE	16	16
A006 A122h	MTU0	タイマジェネラルレジスタ F	TGRF	16	16
A006 A124h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8
A006 A126h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8
A006 A128h	MTU0	タイマコントロールレジスタ2	TCR2	8	8
A006 A180h	MTU1	タイマコントロールレジスタ	TCR	8	8
A006 A181h	MTU1	タイマモードレジスタ1	TMDR1	8	8
A006 A182h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8
A006 A184h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A185h	MTU1	タイマステータスレジスタ	TSR	8	8
A006 A186h	MTU1	タイマカウンタ	TCNT	16	16
A006 A188h	MTU1	タイマジェネラルレジスタ A	TGRA	16	16
A006 A18Ah	MTU1	タイマジェネラルレジスタ B	TGRB	16	16
A006 A190h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8
A006 A191h	MTU1	タイマモードレジスタ3	TMDR3	8	8
A006 A194h	MTU1	タイマコントロールレジスタ2	TCR2	8	8
A006 A1A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32
A006 A1A4h	MTU1	タイマロングワードジェネラルレジスタ A	TGRALW	32	32
A006 A1A8h	MTU1	タイマロングワードジェネラルレジスタ B	TGRBLW	32	32
A006 A200h	MTU2	タイマコントロールレジスタ	TCR	8	8
A006 A201h	MTU2	タイマモードレジスタ1	TMDR1	8	8
A006 A202h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8
A006 A204h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A205h	MTU2	タイマステータスレジスタ	TSR	8	8
A006 A206h	MTU2	タイマカウンタ	TCNT	16	16
A006 A208h	MTU2	タイマジェネラルレジスタ A	TGRA	16	16
A006 A20Ah	MTU2	タイマジェネラルレジスタ B	TGRB	16	16
A006 A20Ch	MTU2	タイマコントロールレジスタ2	TCR2	8	8
A006 A400h	MTU8	タイマコントロールレジスタ	TCR	8	8
A006 A401h	MTU8	タイマモードレジスタ1	TMDR1	8	8
A006 A402h	MTU8	タイマI/Oコントロールレジスタ H	TIORH	8	8
A006 A403h	MTU8	タイマI/Oコントロールレジスタ L	TIORL	8	8
A006 A404h	MTU8	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A406h	MTU8	タイマコントロールレジスタ2	TCR2	8	8
A006 A408h	MTU8	タイマカウンタ	TCNT	32	32
A006 A40Ch	MTU8	タイマジェネラルレジスタ A	TGRA	32	32
A006 A410h	MTU8	タイマジェネラルレジスタ B	TGRB	32	32
A006 A414h	MTU8	タイマジェネラルレジスタ C	TGRC	32	32
A006 A418h	MTU8	タイマジェネラルレジスタ D	TGRD	32	32

表5.1 I/O レジスタアドレス一覧 (47 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 A800h	MTU6	タイマコントロールレジスタ	TCR	8	8
A006 A801h	MTU7	タイマコントロールレジスタ	TCR	8	8
A006 A802h	MTU6	タイマモードレジスタ1	TMDR1	8	8
A006 A803h	MTU7	タイマモードレジスタ1	TMDR1	8	8
A006 A804h	MTU6	タイマI/Oコントロールレジスタ H	TIORH	8	8
A006 A805h	MTU6	タイマI/Oコントロールレジスタ L	TIORL	8	8
A006 A806h	MTU7	タイマI/Oコントロールレジスタ H	TIORH	8	8
A006 A807h	MTU7	タイマI/Oコントロールレジスタ L	TIORL	8	8
A006 A808h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A809h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 A80Ah	MTU	タイマアウトプットマスタイネーブルレジスタ B	TOERB	8	8
A006 A80Eh	MTU	タイマアウトプットコントロールレジスタ 1B	TOCR1B	8	8
A006 A80Fh	MTU	タイマアウトプットコントロールレジスタ 2B	TOCR2B	8	8
A006 A810h	MTU6	タイマカウンタ	TCNT	16	16
A006 A812h	MTU7	タイマカウンタ	TCNT	16	16
A006 A814h	MTU	タイマ周期データレジスタ B	TCDRB	16	16
A006 A816h	MTU	タイマデッドタイムデータレジスタ B	TDDRB	16	16
A006 A818h	MTU6	タイマジェネラルレジスタ A	TGRA	16	16
A006 A81Ah	MTU6	タイマジェネラルレジスタ B	TGRB	16	16
A006 A81Ch	MTU7	タイマジェネラルレジスタ A	TGRA	16	16
A006 A81Eh	MTU7	タイマジェネラルレジスタ B	TGRB	16	16
A006 A820h	MTU	タイマサブカウンタ B	TCNTSB	16	16
A006 A822h	MTU	タイマ周期バッファレジスタ B	TCBRB	16	16
A006 A824h	MTU6	タイマジェネラルレジスタ C	TGRC	16	16
A006 A826h	MTU6	タイマジェネラルレジスタ D	TGRD	16	16
A006 A828h	MTU7	タイマジェネラルレジスタ C	TGRC	16	16
A006 A82Ah	MTU7	タイマジェネラルレジスタ D	TGRD	16	16
A006 A82Ch	MTU6	タイマステータスレジスタ	TSR	8	8
A006 A82Dh	MTU7	タイマステータスレジスタ	TSR	8	8
A006 A830h	MTU	タイマ割り込み間引き設定レジスタ 1B	TITCR1B	8	8
A006 A831h	MTU	タイマ割り込み間引き回数カウンタ 1B	TITCNT1B	8	8
A006 A832h	MTU	タイマバッファ転送設定レジスタ B	TBTERB	8	8
A006 A834h	MTU	タイマデッドタイムイネーブルレジスタ B	TDERB	8	8
A006 A836h	MTU	タイマアウトプットレベルバッファレジスタ B	TOLBRB	8	8
A006 A838h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8
A006 A839h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8
A006 A83Ah	MTU	タイマ割り込み間引きモードレジスタ B	TITMRB	8	8
A006 A83Bh	MTU	タイマ割り込み間引き設定レジスタ 2B	TITCR2B	8	8
A006 A83Ch	MTU	タイマ割り込み間引き回数カウンタ 2B	TITCNT2B	8	8
A006 A840h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16
A006 A844h	MTU7	タイマA/D変換開始要求周期設定レジスタ A	TADCORA	16	16
A006 A846h	MTU7	タイマA/D変換開始要求周期設定レジスタ B	TADCORB	16	16
A006 A848h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタ A	TADCOBRA	16	16
A006 A84Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタ B	TADCOBRB	16	16
A006 A84Ch	MTU6	タイマコントロールレジスタ 2	TCR2	8	8
A006 A84Dh	MTU7	タイマコントロールレジスタ 2	TCR2	8	8
A006 A850h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8
A006 A860h	MTU	タイマ波形コントロールレジスタ B	TWCRB	8	8

表5.1 I/O レジスタアドレス一覧 (48 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 A870h	MTU	タイマモードレジスタ2B	TMDR2B	8	8
A006 A872h	MTU6	タイマジェネラルレジスタE	TGRE	16	16
A006 A874h	MTU7	タイマジェネラルレジスタE	TGRE	16	16
A006 A876h	MTU7	タイマジェネラルレジスタF	TGRF	16	16
A006 A880h	MTU	タイマスタートレジスタB	TSTRB	8	8
A006 A881h	MTU	タイマシンクロレジスタB	TSYRB	8	8
A006 A884h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8
A006 A893h	MTU6	ノイズフィルタコントロールレジスタ	NFCR6	8	8
A006 A894h	MTU7	ノイズフィルタコントロールレジスタ	NFCR7	8	8
A006 A895h	MTU5	ノイズフィルタコントロールレジスタ	NFCR5	8	8
A006 AA80h	MTU5	タイマカウンタU	TCNTU	16	16
A006 AA82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16
A006 AA84h	MTU5	タイマコントロールレジスタU	TCRU	8	8
A006 AA85h	MTU5	タイマコントロールレジスタ2U	TCR2U	8	8
A006 AA86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8
A006 AA90h	MTU5	タイマカウンタV	TCNTV	16	16
A006 AA92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16
A006 AA94h	MTU5	タイマコントロールレジスタV	TCRV	8	8
A006 AA95h	MTU5	タイマコントロールレジスタ2V	TCR2V	8	8
A006 AA96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8
A006 AAA0h	MTU5	タイマカウンタW	TCNTW	16	16
A006 AAA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16
A006 AAA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8
A006 AAA5h	MTU5	タイマコントロールレジスタ2W	TCR2W	8	8
A006 AAA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8
A006 AAB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8
A006 AAB4h	MTU5	タイマスタートレジスタ	TSTR	8	8
A006 AAB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8
A006 C000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	16
A006 C002h	GPT	ノイズフィルタ制御レジスタ	NFCR	16	16
A006 C004h	GPT	汎用PWMタイマハードウェア要因スタート/ストップ制御レジスタ	GTHSCR	16	16
A006 C006h	GPT	汎用PWMタイマハードウェア要因クリア制御レジスタ	GTHCCR	16	16
A006 C008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	16
A006 C00Ah	GPT	汎用PWMタイマハードウェアストップクリア要因セレクトレジスタ	GTHPSR	16	16
A006 C00Ch	GPT	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	16
A006 C00Eh	GPT	汎用PWMタイマシンクロレジスタ	GTSYNC	16	16
A006 C010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	16
A006 C014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	16
A006 C018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	16
A006 C100h	GPT0	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16
A006 C102h	GPT0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16
A006 C104h	GPT0	汎用PWMタイマ制御レジスタ	GTCR	16	16
A006 C106h	GPT0	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	16
A006 C108h	GPT0	汎用PWMタイマカウント方向レジスタ	GTUDC	16	16
A006 C10Ah	GPT0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	16
A006 C10Ch	GPT0	汎用PWMタイマステータスレジスタ	GTST	16	16

表5.1 I/Oレジスタアドレス一覧 (49 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 C10Eh	GPT0	汎用PWMタイマカウンタ	GTCNT	16	16
A006 C110h	GPT0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16
A006 C112h	GPT0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16
A006 C114h	GPT0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16
A006 C116h	GPT0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16
A006 C118h	GPT0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16
A006 C11Ah	GPT0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16
A006 C11Ch	GPT0	汎用PWMタイマ周期設定レジスタ	GTPR	16	16
A006 C11Eh	GPT0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16
A006 C120h	GPT0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16
A006 C124h	GPT0	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16
A006 C126h	GPT0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16
A006 C128h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16
A006 C12Ch	GPT0	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16
A006 C12Eh	GPT0	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16
A006 C130h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16
A006 C134h	GPT0	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16
A006 C136h	GPT0	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16
A006 C138h	GPT0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16
A006 C13Ah	GPT0	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16
A006 C13Ch	GPT0	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16
A006 C13Eh	GPT0	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16
A006 C140h	GPT0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16
A006 C142h	GPT0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16
A006 C180h	GPT1	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16
A006 C182h	GPT1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16
A006 C184h	GPT1	汎用PWMタイマ制御レジスタ	GTCR	16	16
A006 C186h	GPT1	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	16
A006 C188h	GPT1	汎用PWMタイマカウント方向レジスタ	GTUDC	16	16
A006 C18Ah	GPT1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	16
A006 C18Ch	GPT1	汎用PWMタイマステータスレジスタ	GTST	16	16
A006 C18Eh	GPT1	汎用PWMタイマカウンタ	GTCNT	16	16
A006 C190h	GPT1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16
A006 C192h	GPT1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16
A006 C194h	GPT1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16
A006 C196h	GPT1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16
A006 C198h	GPT1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16
A006 C19Ah	GPT1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16
A006 C19Ch	GPT1	汎用PWMタイマ周期設定レジスタ	GTPR	16	16
A006 C19Eh	GPT1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16
A006 C1A0h	GPT1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16
A006 C1A4h	GPT1	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16
A006 C1A6h	GPT1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16
A006 C1A8h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16
A006 C1ACh	GPT1	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16
A006 C1AEh	GPT1	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16
A006 C1B0h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16
A006 C1B4h	GPT1	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16

表5.1 I/O レジスタアドレス一覧 (50 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 C1B6h	GPT1	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16
A006 C1B8h	GPT1	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16
A006 C1BAh	GPT1	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16
A006 C1BCh	GPT1	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16
A006 C1BEh	GPT1	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16
A006 C1C0h	GPT1	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16
A006 C1C2h	GPT1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16
A006 C200h	GPT2	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16
A006 C202h	GPT2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16
A006 C204h	GPT2	汎用PWMタイマ制御レジスタ	GTCR	16	16
A006 C206h	GPT2	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	16
A006 C208h	GPT2	汎用PWMタイマカウント方向レジスタ	GTUDC	16	16
A006 C20Ah	GPT2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	16
A006 C20Ch	GPT2	汎用PWMタイマステータスレジスタ	GTST	16	16
A006 C20Eh	GPT2	汎用PWMタイマカウンタ	GTCNT	16	16
A006 C210h	GPT2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16
A006 C212h	GPT2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16
A006 C214h	GPT2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16
A006 C216h	GPT2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16
A006 C218h	GPT2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16
A006 C21Ah	GPT2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16
A006 C21Ch	GPT2	汎用PWMタイマ周期設定レジスタ	GTPR	16	16
A006 C21Eh	GPT2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16
A006 C220h	GPT2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16
A006 C224h	GPT2	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16
A006 C226h	GPT2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16
A006 C228h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16
A006 C22Ch	GPT2	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16
A006 C22Eh	GPT2	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16
A006 C230h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16
A006 C234h	GPT2	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16
A006 C236h	GPT2	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16
A006 C238h	GPT2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16
A006 C23Ah	GPT2	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16
A006 C23Ch	GPT2	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16
A006 C23Eh	GPT2	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16
A006 C240h	GPT2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16
A006 C242h	GPT2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16
A006 C280h	GPT3	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16
A006 C282h	GPT3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16
A006 C284h	GPT3	汎用PWMタイマ制御レジスタ	GTCR	16	16
A006 C286h	GPT3	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	16
A006 C288h	GPT3	汎用PWMタイマカウント方向レジスタ	GTUDC	16	16
A006 C28Ah	GPT3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	16
A006 C28Ch	GPT3	汎用PWMタイマステータスレジスタ	GTST	16	16
A006 C28Eh	GPT3	汎用PWMタイマカウンタ	GTCNT	16	16
A006 C290h	GPT3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16

表5.1 I/Oレジスタアドレス一覧 (51 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 C292h	GPT3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16
A006 C294h	GPT3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16
A006 C296h	GPT3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16
A006 C298h	GPT3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16
A006 C29Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16
A006 C29Ch	GPT3	汎用PWMタイマ周期設定レジスタ	GTPR	16	16
A006 C29Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16
A006 C2A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16
A006 C2A4h	GPT3	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16
A006 C2A6h	GPT3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16
A006 C2A8h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16
A006 C2ACh	GPT3	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16
A006 C2AEh	GPT3	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16
A006 C2B0h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16
A006 C2B4h	GPT3	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16
A006 C2B6h	GPT3	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16
A006 C2B8h	GPT3	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16
A006 C2BAh	GPT3	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16
A006 C2BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16
A006 C2BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16
A006 C2C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16
A006 C2C2h	GPT3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16
A007 2000h	DSMIF	UVWコントロールレジスタ	UVWCTL	32	32
A007 2004h	DSMIF	UVWステータスレジスタ	UVWSTA	32	32
A007 2008h	DSMIF	UVW過電流異常検出下限値設定レジスタ	UVWIUNCMP	32	32
A007 200Ch	DSMIF	UVW過電流異常検出上限値設定レジスタ	UVWIOVCMP	32	32
A007 2010h	DSMIF	UVW短絡異常検出0データ入力閾値設定レジスタ	UVWSCUNCMP	32	32
A007 2014h	DSMIF	UVW短絡異常検出1データ入力閾値設定レジスタ	UVWSCOVCMP	32	32
A007 2018h	DSMIF	UVW合計電流異常検出下限値設定レジスタ	UVWIGUNCMP	32	32
A007 201Ch	DSMIF	UVW合計電流異常検出上限値設定レジスタ	UVWIGOVCMP	32	32
A007 2020h	DSMIF	チャネルU電流値レジスタ1	U1DATA	32	32
A007 2024h	DSMIF	チャネルU電流値山トリガキャプチャレジスタ1	U1CDATA	32	32
A007 2028h	DSMIF	チャネルU電流値谷トリガキャプチャレジスタ1	U1VDATA	32	32
A007 202Ch	DSMIF	チャネルU電流値レジスタ2	U2DATA	32	32
A007 2030h	DSMIF	チャネルV電流値レジスタ1	V1DATA	32	32
A007 2034h	DSMIF	チャネルV電流値山トリガキャプチャレジスタ1	V1CDATA	32	32
A007 2038h	DSMIF	チャネルV電流値谷トリガキャプチャレジスタ1	V1VDATA	32	32
A007 203Ch	DSMIF	チャネルV電流値レジスタ2	V2DATA	32	32
A007 2040h	DSMIF	チャネルW電流値レジスタ1	W1DATA	32	32
A007 2044h	DSMIF	チャネルW電流値山トリガキャプチャレジスタ1	W1CDATA	32	32
A007 2048h	DSMIF	チャネルW電流値谷トリガキャプチャレジスタ1	W1VDATA	32	32
A007 204Ch	DSMIF	チャネルW電流値レジスタ2	W2DATA	32	32
A007 2080h	DSMIF	XYZコントロールレジスタ	XYZCTL	32	32
A007 2084h	DSMIF	XYZステータスレジスタ	XYZSTA	32	32
A007 2090h	DSMIF	XYZ短絡異常検出0データ入力閾値設定レジスタ	XYZSCUNCMP	32	32
A007 2094h	DSMIF	XYZ短絡異常検出1データ入力閾値設定レジスタ	XYZSCOVCMP	32	32
A007 2098h	DSMIF	XYZ過電流異常検出下限値設定レジスタ	XYZIUNCMP	32	32
A007 209Ch	DSMIF	XYZ過電流異常検出上限値設定レジスタ	XYZIOVCMP	32	32

表5.1 I/O レジスタアドレス一覧 (52 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 20A0h	DSMIF	チャネルX電流値レジスタ1	X1DATA	32	32
A007 20A4h	DSMIF	チャネルX電流値山トリガキャプチャレジスタ1	X1CDATA	32	32
A007 20A8h	DSMIF	チャネルX電流値谷トリガキャプチャレジスタ1	X1VDATA	32	32
A007 20ACh	DSMIF	チャネルX電流値レジスタ2	X2DATA	32	32
A007 8000h	RSCAN	チャネル0コンフィグレーションレジスタ	RSCAN0C0CFG	32	8, 16, 32
A007 8004h	RSCAN	チャネル0制御レジスタ	RSCAN0C0CTR	32	8, 16, 32
A007 8008h	RSCAN	チャネル0ステータスレジスタ	RSCAN0C0STS	32	8, 16, 32
A007 800Ch	RSCAN	チャネル0エラーフラグレジスタ	RSCAN0C0ERFL	32	8, 16, 32
A007 8010h	RSCAN	チャネル1コンフィグレーションレジスタ	RSCAN0C1CFG	32	8, 16, 32
A007 8014h	RSCAN	チャネル1制御レジスタ	RSCAN0C1CTR	32	8, 16, 32
A007 8018h	RSCAN	チャネル1ステータスレジスタ	RSCAN0C1STS	32	8, 16, 32
A007 801Ch	RSCAN	チャネル1エラーフラグレジスタ	RSCAN0C1ERFL	32	8, 16, 32
A007 8084h	RSCAN	グローバルコンフィグレーションレジスタ	RSCAN0GCFG	32	8, 16, 32
A007 8088h	RSCAN	グローバル制御レジスタ	RSCAN0GCTR	32	8, 16, 32
A007 808Ch	RSCAN	グローバルステータスレジスタ	RSCAN0GSTS	32	8, 16, 32
A007 8090h	RSCAN	グローバルエラーフラグレジスタ	RSCAN0GERFL	32	8, 16, 32
A007 8094h	RSCAN	グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	32	16, 32
A007 8098h	RSCAN	受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	32	8, 16, 32
A007 809Ch	RSCAN	受信ルールコンフィグレーションレジスタ0	RSCAN0GAFLCFG0	32	8, 16, 32
A007 80A4h	RSCAN	受信バッファナンバレジスタ	RSCAN0RMNB	32	8, 16, 32
A007 80A8h	RSCAN	受信バッファ新データレジスタ 0	RSCAN0RMND0	32	8, 16, 32
A007 80B8h	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ0	RSCAN0RFCC0	32	8, 16, 32
A007 80BCh	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ1	RSCAN0RFCC1	32	8, 16, 32
A007 80C0h	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ2	RSCAN0RFCC2	32	8, 16, 32
A007 80C4h	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ3	RSCAN0RFCC3	32	8, 16, 32
A007 80C8h	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ4	RSCAN0RFCC4	32	8, 16, 32
A007 80CCh	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ5	RSCAN0RFCC5	32	8, 16, 32
A007 80D0h	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ6	RSCAN0RFCC6	32	8, 16, 32
A007 80D4h	RSCAN	受信FIFOバッファコンフィグレーション／制御レジスタ7	RSCAN0RFCC7	32	8, 16, 32
A007 80D8h	RSCAN	受信FIFOバッファステータスレジスタ0	RSCAN0RFSTS0	32	8, 16, 32
A007 80DCh	RSCAN	受信FIFOバッファステータスレジスタ1	RSCAN0RFSTS1	32	8, 16, 32
A007 80E0h	RSCAN	受信FIFOバッファステータスレジスタ2	RSCAN0RFSTS2	32	8, 16, 32
A007 80E4h	RSCAN	受信FIFOバッファステータスレジスタ3	RSCAN0RFSTS3	32	8, 16, 32
A007 80E8h	RSCAN	受信FIFOバッファステータスレジスタ4	RSCAN0RFSTS4	32	8, 16, 32
A007 80ECh	RSCAN	受信FIFOバッファステータスレジスタ5	RSCAN0RFSTS5	32	8, 16, 32
A007 80F0h	RSCAN	受信FIFOバッファステータスレジスタ6	RSCAN0RFSTS6	32	8, 16, 32
A007 80F4h	RSCAN	受信FIFOバッファステータスレジスタ7	RSCAN0RFSTS7	32	8, 16, 32
A007 80F8h	RSCAN	受信FIFOバッファポインタ制御レジスタ0	RSCAN0RFPCTR0	32	8, 16, 32
A007 80FCh	RSCAN	受信FIFOバッファポインタ制御レジスタ1	RSCAN0RFPCTR1	32	8, 16, 32
A007 8100h	RSCAN	受信FIFOバッファポインタ制御レジスタ2	RSCAN0RFPCTR2	32	8, 16, 32
A007 8104h	RSCAN	受信FIFOバッファポインタ制御レジスタ3	RSCAN0RFPCTR3	32	8, 16, 32
A007 8108h	RSCAN	受信FIFOバッファポインタ制御レジスタ4	RSCAN0RFPCTR4	32	8, 16, 32
A007 810Ch	RSCAN	受信FIFOバッファポインタ制御レジスタ5	RSCAN0RFPCTR5	32	8, 16, 32
A007 8110h	RSCAN	受信FIFOバッファポインタ制御レジスタ6	RSCAN0RFPCTR6	32	8, 16, 32
A007 8114h	RSCAN	受信FIFOバッファポインタ制御レジスタ7	RSCAN0RFPCTR7	32	8, 16, 32
A007 8118h	RSCAN	送受信FIFOバッファコンフィグレーション／制御レジスタ0	RSCAN0CFCC0	32	8, 16, 32
A007 811Ch	RSCAN	送受信FIFOバッファコンフィグレーション／制御レジスタ1	RSCAN0CFCC1	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (53 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8120h	RSCAN	送受信FIFOバッファコンフィグレーション／制御レジスタ2	RSCAN0CFCC2	32	8, 16, 32
A007 8124h	RSCAN	送受信FIFOバッファコンフィグレーション／制御レジスタ3	RSCAN0CFCC3	32	8, 16, 32
A007 8128h	RSCAN	送受信FIFOバッファコンフィグレーション／制御レジスタ4	RSCAN0CFCC4	32	8, 16, 32
A007 812Ch	RSCAN	送受信FIFOバッファコンフィグレーション／制御レジスタ5	RSCAN0CFCC5	32	8, 16, 32
A007 8178h	RSCAN	送受信FIFOバッファステータスレジスタ0	RSCAN0CFSTS0	32	8, 16, 32
A007 817Ch	RSCAN	送受信FIFOバッファステータスレジスタ1	RSCAN0CFSTS1	32	8, 16, 32
A007 8180h	RSCAN	送受信FIFOバッファステータスレジスタ2	RSCAN0CFSTS2	32	8, 16, 32
A007 8184h	RSCAN	送受信FIFOバッファステータスレジスタ3	RSCAN0CFSTS3	32	8, 16, 32
A007 8188h	RSCAN	送受信FIFOバッファステータスレジスタ4	RSCAN0CFSTS4	32	8, 16, 32
A007 818Ch	RSCAN	送受信FIFOバッファステータスレジスタ5	RSCAN0CFSTS5	32	8, 16, 32
A007 81D8h	RSCAN	送受信FIFOバッファポインタ制御レジスタ0	RSCAN0CFPCTR0	32	8, 16, 32
A007 81DCh	RSCAN	送受信FIFOバッファポインタ制御レジスタ1	RSCAN0CFPCTR1	32	8, 16, 32
A007 81E0h	RSCAN	送受信FIFOバッファポインタ制御レジスタ2	RSCAN0CFPCTR2	32	8, 16, 32
A007 81E4h	RSCAN	送受信FIFOバッファポインタ制御レジスタ3	RSCAN0CFPCTR3	32	8, 16, 32
A007 81E8h	RSCAN	送受信FIFOバッファポインタ制御レジスタ4	RSCAN0CFPCTR4	32	8, 16, 32
A007 81ECh	RSCAN	送受信FIFOバッファポインタ制御レジスタ5	RSCAN0CFPCTR5	32	8, 16, 32
A007 8238h	RSCAN	FIFOエンプティステータスレジスタ	RSCAN0FESTS	32	8, 16, 32
A007 823Ch	RSCAN	FIFOフルステータスレジスタ	RSCAN0FFSTS	32	8, 16, 32
A007 8240h	RSCAN	FIFOメッセージロストステータスレジスタ	RSCAN0FMSTS	32	8, 16, 32
A007 8244h	RSCAN	受信FIFOバッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	32	8, 16, 32
A007 8248h	RSCAN	送受信FIFOバッファ受信割り込みフラグステータスレジスタ	RSCAN0CFRISTS	32	8, 16, 32
A007 824Ch	RSCAN	送受信FIFOバッファ送信割り込みフラグステータスレジスタ	RSCAN0CFTISTS	32	8, 16, 32
A007 8250h	RSCAN	送信バッファ制御レジスタ0	RSCAN0TMC0	8	8
A007 8251h	RSCAN	送信バッファ制御レジスタ1	RSCAN0TMC1	8	8
A007 8252h	RSCAN	送信バッファ制御レジスタ2	RSCAN0TMC2	8	8
A007 8253h	RSCAN	送信バッファ制御レジスタ3	RSCAN0TMC3	8	8
A007 8254h	RSCAN	送信バッファ制御レジスタ4	RSCAN0TMC4	8	8
A007 8255h	RSCAN	送信バッファ制御レジスタ5	RSCAN0TMC5	8	8
A007 8256h	RSCAN	送信バッファ制御レジスタ6	RSCAN0TMC6	8	8
A007 8257h	RSCAN	送信バッファ制御レジスタ7	RSCAN0TMC7	8	8
A007 8258h	RSCAN	送信バッファ制御レジスタ8	RSCAN0TMC8	8	8
A007 8259h	RSCAN	送信バッファ制御レジスタ9	RSCAN0TMC9	8	8
A007 825Ah	RSCAN	送信バッファ制御レジスタ10	RSCAN0TMC10	8	8
A007 825Bh	RSCAN	送信バッファ制御レジスタ11	RSCAN0TMC11	8	8
A007 825Ch	RSCAN	送信バッファ制御レジスタ12	RSCAN0TMC12	8	8
A007 825Dh	RSCAN	送信バッファ制御レジスタ13	RSCAN0TMC13	8	8
A007 825Eh	RSCAN	送信バッファ制御レジスタ14	RSCAN0TMC14	8	8
A007 825Fh	RSCAN	送信バッファ制御レジスタ15	RSCAN0TMC15	8	8
A007 8260h	RSCAN	送信バッファ制御レジスタ16	RSCAN0TMC16	8	8
A007 8261h	RSCAN	送信バッファ制御レジスタ17	RSCAN0TMC17	8	8
A007 8262h	RSCAN	送信バッファ制御レジスタ18	RSCAN0TMC18	8	8
A007 8263h	RSCAN	送信バッファ制御レジスタ19	RSCAN0TMC19	8	8
A007 8264h	RSCAN	送信バッファ制御レジスタ20	RSCAN0TMC20	8	8
A007 8265h	RSCAN	送信バッファ制御レジスタ21	RSCAN0TMC21	8	8
A007 8266h	RSCAN	送信バッファ制御レジスタ22	RSCAN0TMC22	8	8

表5.1 I/O レジスタアドレス一覧 (54 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8267h	RSCAN	送信バッファ制御レジスタ23	RSCAN0TMC23	8	8
A007 8268h	RSCAN	送信バッファ制御レジスタ24	RSCAN0TMC24	8	8
A007 8269h	RSCAN	送信バッファ制御レジスタ25	RSCAN0TMC25	8	8
A007 826Ah	RSCAN	送信バッファ制御レジスタ26	RSCAN0TMC26	8	8
A007 826Bh	RSCAN	送信バッファ制御レジスタ27	RSCAN0TMC27	8	8
A007 826Ch	RSCAN	送信バッファ制御レジスタ28	RSCAN0TMC28	8	8
A007 826Dh	RSCAN	送信バッファ制御レジスタ29	RSCAN0TMC29	8	8
A007 826Eh	RSCAN	送信バッファ制御レジスタ30	RSCAN0TMC30	8	8
A007 826Fh	RSCAN	送信バッファ制御レジスタ31	RSCAN0TMC31	8	8
A007 82D0h	RSCAN	送信バッファステータスレジスタ0	RSCAN0TMSTS0	8	8
A007 82D1h	RSCAN	送信バッファステータスレジスタ1	RSCAN0TMSTS1	8	8
A007 82D2h	RSCAN	送信バッファステータスレジスタ2	RSCAN0TMSTS2	8	8
A007 82D3h	RSCAN	送信バッファステータスレジスタ3	RSCAN0TMSTS3	8	8
A007 82D4h	RSCAN	送信バッファステータスレジスタ4	RSCAN0TMSTS4	8	8
A007 82D5h	RSCAN	送信バッファステータスレジスタ5	RSCAN0TMSTS5	8	8
A007 82D6h	RSCAN	送信バッファステータスレジスタ6	RSCAN0TMSTS6	8	8
A007 82D7h	RSCAN	送信バッファステータスレジスタ7	RSCAN0TMSTS7	8	8
A007 82D8h	RSCAN	送信バッファステータスレジスタ8	RSCAN0TMSTS8	8	8
A007 82D9h	RSCAN	送信バッファステータスレジスタ9	RSCAN0TMSTS9	8	8
A007 82DAh	RSCAN	送信バッファステータスレジスタ10	RSCAN0TMSTS10	8	8
A007 82DBh	RSCAN	送信バッファステータスレジスタ11	RSCAN0TMSTS11	8	8
A007 82DCh	RSCAN	送信バッファステータスレジスタ12	RSCAN0TMSTS12	8	8
A007 82DDh	RSCAN	送信バッファステータスレジスタ13	RSCAN0TMSTS13	8	8
A007 82DEh	RSCAN	送信バッファステータスレジスタ14	RSCAN0TMSTS14	8	8
A007 82DFh	RSCAN	送信バッファステータスレジスタ15	RSCAN0TMSTS15	8	8
A007 82E0h	RSCAN	送信バッファステータスレジスタ16	RSCAN0TMSTS16	8	8
A007 82E1h	RSCAN	送信バッファステータスレジスタ17	RSCAN0TMSTS17	8	8
A007 82E2h	RSCAN	送信バッファステータスレジスタ18	RSCAN0TMSTS18	8	8
A007 82E3h	RSCAN	送信バッファステータスレジスタ19	RSCAN0TMSTS19	8	8
A007 82E4h	RSCAN	送信バッファステータスレジスタ20	RSCAN0TMSTS20	8	8
A007 82E5h	RSCAN	送信バッファステータスレジスタ21	RSCAN0TMSTS21	8	8
A007 82E6h	RSCAN	送信バッファステータスレジスタ22	RSCAN0TMSTS22	8	8
A007 82E7h	RSCAN	送信バッファステータスレジスタ23	RSCAN0TMSTS23	8	8
A007 82E8h	RSCAN	送信バッファステータスレジスタ24	RSCAN0TMSTS24	8	8
A007 82E9h	RSCAN	送信バッファステータスレジスタ25	RSCAN0TMSTS25	8	8
A007 82EAh	RSCAN	送信バッファステータスレジスタ26	RSCAN0TMSTS26	8	8
A007 82EBh	RSCAN	送信バッファステータスレジスタ27	RSCAN0TMSTS27	8	8
A007 82ECh	RSCAN	送信バッファステータスレジスタ28	RSCAN0TMSTS28	8	8
A007 82EDh	RSCAN	送信バッファステータスレジスタ29	RSCAN0TMSTS29	8	8
A007 82EEh	RSCAN	送信バッファステータスレジスタ30	RSCAN0TMSTS30	8	8
A007 82EFh	RSCAN	送信バッファステータスレジスタ31	RSCAN0TMSTS31	8	8
A007 8350h	RSCAN	送信バッファ送信要求ステータスレジスタ0	RSCAN0TMTRSTS0	32	8, 16, 32
A007 8360h	RSCAN	送信バッファ送信アボート要求ステータスレジスタ0	RSCAN0TMTARSTS0	32	8, 16, 32
A007 8370h	RSCAN	送信バッファ送信完了ステータスレジスタ0	RSCAN0TMTCSTS0	32	8, 16, 32
A007 8380h	RSCAN	送信バッファ送信アボートステータスレジスタ0	RSCAN0TMTASTS0	32	8, 16, 32
A007 8390h	RSCAN	送信バッファ割り込みイネーブルコンフィグレーションレジスタ0	RSCAN0TMIEC0	32	8, 16, 32
A007 83A0h	RSCAN	送信キューコンフィグレーション／制御レジスタ0	RSCAN0TXQCC0	32	8, 16, 32
A007 83A4h	RSCAN	送信キューコンフィグレーション／制御レジスタ1	RSCAN0TXQCC1	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (55 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 83C0h	RSCAN	送信キューステータスレジスタ0	RSCAN0TXQSTS0	32	8, 16, 32
A007 83C4h	RSCAN	送信キューステータスレジスタ1	RSCAN0TXQSTS1	32	8, 16, 32
A007 83E0h	RSCAN	送信キューポインタ制御レジスタ0	RSCAN0TXQPCTR0	32	8, 16, 32
A007 83E4h	RSCAN	送信キューポインタ制御レジスタ1	RSCAN0TXQPCTR1	32	8, 16, 32
A007 8400h	RSCAN	送信履歴コンフィグレーション／制御レジスタ0	RSCAN0THLCC0	32	8, 16, 32
A007 8404h	RSCAN	送信履歴コンフィグレーション／制御レジスタ1	RSCAN0THLCC1	32	8, 16, 32
A007 8420h	RSCAN	送信履歴ステータスレジスタ0	RSCAN0THLSTS0	32	8, 16, 32
A007 8424h	RSCAN	送信履歴ステータスレジスタ1	RSCAN0THLSTS1	32	8, 16, 32
A007 8440h	RSCAN	送信履歴ポインタ制御レジスタ0	RSCAN0THLPCTR0	32	8, 16, 32
A007 8444h	RSCAN	送信履歴ポインタ制御レジスタ1	RSCAN0THLPCTR1	32	8, 16, 32
A007 8460h	RSCAN	グローバルTX割り込みステータスレジスタ0	RSCAN0GTINTSTS0	32	8, 16, 32
A007 8468h	RSCAN	グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	32	8, 16, 32
A007 846Ch	RSCAN	グローバルテスト制御レジスタ	RSCAN0GTSTCTR	32	8, 16, 32
A007 847Ch	RSCAN	グローバルロックキーレジスタ	RSCAN0GLOCKK	32	16, 32
A007 8500h	RSCAN	受信ルールIDレジスタ0	RSCAN0GAFLID0	32	8, 16, 32
A007 8504h	RSCAN	受信ルールマスクレジスタ0	RSCAN0GAFLM0	32	8, 16, 32
A007 8508h	RSCAN	受信ルールポインタ0レジスタ0	RSCAN0GAFLP00	32	8, 16, 32
A007 850Ch	RSCAN	受信ルールポインタ1レジスタ0	RSCAN0GAFLP10	32	8, 16, 32
A007 8510h	RSCAN	受信ルールIDレジスタ1	RSCAN0GAFLID1	32	8, 16, 32
A007 8514h	RSCAN	受信ルールマスクレジスタ1	RSCAN0GAFLM1	32	8, 16, 32
A007 8518h	RSCAN	受信ルールポインタ0レジスタ1	RSCAN0GAFLP01	32	8, 16, 32
A007 851Ch	RSCAN	受信ルールポインタ1レジスタ1	RSCAN0GAFLP11	32	8, 16, 32
A007 8520h	RSCAN	受信ルールIDレジスタ2	RSCAN0GAFLID2	32	8, 16, 32
A007 8524h	RSCAN	受信ルールマスクレジスタ2	RSCAN0GAFLM2	32	8, 16, 32
A007 8528h	RSCAN	受信ルールポインタ0レジスタ2	RSCAN0GAFLP02	32	8, 16, 32
A007 852Ch	RSCAN	受信ルールポインタ1レジスタ2	RSCAN0GAFLP12	32	8, 16, 32
A007 8530h	RSCAN	受信ルールIDレジスタ3	RSCAN0GAFLID3	32	8, 16, 32
A007 8534h	RSCAN	受信ルールマスクレジスタ3	RSCAN0GAFLM3	32	8, 16, 32
A007 8538h	RSCAN	受信ルールポインタ0レジスタ3	RSCAN0GAFLP03	32	8, 16, 32
A007 853Ch	RSCAN	受信ルールポインタ1レジスタ3	RSCAN0GAFLP13	32	8, 16, 32
A007 8540h	RSCAN	受信ルールIDレジスタ4	RSCAN0GAFLID4	32	8, 16, 32
A007 8544h	RSCAN	受信ルールマスクレジスタ4	RSCAN0GAFLM4	32	8, 16, 32
A007 8548h	RSCAN	受信ルールポインタ0レジスタ4	RSCAN0GAFLP04	32	8, 16, 32
A007 854Ch	RSCAN	受信ルールポインタ1レジスタ4	RSCAN0GAFLP14	32	8, 16, 32
A007 8550h	RSCAN	受信ルールIDレジスタ5	RSCAN0GAFLID5	32	8, 16, 32
A007 8554h	RSCAN	受信ルールマスクレジスタ5	RSCAN0GAFLM5	32	8, 16, 32
A007 8558h	RSCAN	受信ルールポインタ0レジスタ5	RSCAN0GAFLP05	32	8, 16, 32
A007 855Ch	RSCAN	受信ルールポインタ1レジスタ5	RSCAN0GAFLP15	32	8, 16, 32
A007 8560h	RSCAN	受信ルールIDレジスタ6	RSCAN0GAFLID6	32	8, 16, 32
A007 8564h	RSCAN	受信ルールマスクレジスタ6	RSCAN0GAFLM6	32	8, 16, 32
A007 8568h	RSCAN	受信ルールポインタ0レジスタ6	RSCAN0GAFLP06	32	8, 16, 32
A007 856Ch	RSCAN	受信ルールポインタ1レジスタ6	RSCAN0GAFLP16	32	8, 16, 32
A007 8570h	RSCAN	受信ルールIDレジスタ7	RSCAN0GAFLID7	32	8, 16, 32
A007 8574h	RSCAN	受信ルールマスクレジスタ7	RSCAN0GAFLM7	32	8, 16, 32
A007 8578h	RSCAN	受信ルールポインタ0レジスタ7	RSCAN0GAFLP07	32	8, 16, 32
A007 857Ch	RSCAN	受信ルールポインタ1レジスタ7	RSCAN0GAFLP17	32	8, 16, 32
A007 8580h	RSCAN	受信ルールIDレジスタ8	RSCAN0GAFLID8	32	8, 16, 32
A007 8584h	RSCAN	受信ルールマスクレジスタ8	RSCAN0GAFLM8	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (56 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8588h	RSCAN	受信ルールポインタ0レジスタ8	RSCAN0GAFLP08	32	8, 16, 32
A007 858Ch	RSCAN	受信ルールポインタ1レジスタ8	RSCAN0GAFLP18	32	8, 16, 32
A007 8590h	RSCAN	受信ルールIDレジスタ9	RSCAN0GAFLID9	32	8, 16, 32
A007 8594h	RSCAN	受信ルールマスクレジスタ9	RSCAN0GAFLM9	32	8, 16, 32
A007 8598h	RSCAN	受信ルールポインタ0レジスタ9	RSCAN0GAFLP09	32	8, 16, 32
A007 859Ch	RSCAN	受信ルールポインタ1レジスタ9	RSCAN0GAFLP19	32	8, 16, 32
A007 85A0h	RSCAN	受信ルールIDレジスタ10	RSCAN0GAFLID10	32	8, 16, 32
A007 85A4h	RSCAN	受信ルールマスクレジスタ10	RSCAN0GAFLM10	32	8, 16, 32
A007 85A8h	RSCAN	受信ルールポインタ0レジスタ10	RSCAN0GAFLP010	32	8, 16, 32
A007 85ACh	RSCAN	受信ルールポインタ1レジスタ10	RSCAN0GAFLP110	32	8, 16, 32
A007 85B0h	RSCAN	受信ルールIDレジスタ11	RSCAN0GAFLID11	32	8, 16, 32
A007 85B4h	RSCAN	受信ルールマスクレジスタ11	RSCAN0GAFLM11	32	8, 16, 32
A007 85B8h	RSCAN	受信ルールポインタ0レジスタ11	RSCAN0GAFLP011	32	8, 16, 32
A007 85BCh	RSCAN	受信ルールポインタ1レジスタ11	RSCAN0GAFLP111	32	8, 16, 32
A007 85C0h	RSCAN	受信ルールIDレジスタ12	RSCAN0GAFLID12	32	8, 16, 32
A007 85C4h	RSCAN	受信ルールマスクレジスタ12	RSCAN0GAFLM12	32	8, 16, 32
A007 85C8h	RSCAN	受信ルールポインタ0レジスタ12	RSCAN0GAFLP012	32	8, 16, 32
A007 85CCh	RSCAN	受信ルールポインタ1レジスタ12	RSCAN0GAFLP112	32	8, 16, 32
A007 85D0h	RSCAN	受信ルールIDレジスタ13	RSCAN0GAFLID13	32	8, 16, 32
A007 85D4h	RSCAN	受信ルールマスクレジスタ13	RSCAN0GAFLM13	32	8, 16, 32
A007 85D8h	RSCAN	受信ルールポインタ0レジスタ13	RSCAN0GAFLP013	32	8, 16, 32
A007 85DCh	RSCAN	受信ルールポインタ1レジスタ13	RSCAN0GAFLP113	32	8, 16, 32
A007 85E0h	RSCAN	受信ルールIDレジスタ14	RSCAN0GAFLID14	32	8, 16, 32
A007 85E4h	RSCAN	受信ルールマスクレジスタ14	RSCAN0GAFLM14	32	8, 16, 32
A007 85E8h	RSCAN	受信ルールポインタ0レジスタ14	RSCAN0GAFLP014	32	8, 16, 32
A007 85ECh	RSCAN	受信ルールポインタ1レジスタ14	RSCAN0GAFLP114	32	8, 16, 32
A007 85F0h	RSCAN	受信ルールIDレジスタ15	RSCAN0GAFLID15	32	8, 16, 32
A007 85F4h	RSCAN	受信ルールマスクレジスタ15	RSCAN0GAFLM15	32	8, 16, 32
A007 85F8h	RSCAN	受信ルールポインタ0レジスタ15	RSCAN0GAFLP015	32	8, 16, 32
A007 85FCh	RSCAN	受信ルールポインタ1レジスタ15	RSCAN0GAFLP115	32	8, 16, 32
A007 8600h	RSCAN	受信バッファIDレジスタ0	RSCAN0RMID0	32	8, 16, 32
A007 8604h	RSCAN	受信バッファポインタレジスタ0	RSCAN0RMPTR0	32	8, 16, 32
A007 8608h	RSCAN	受信バッファデータフィールド0レジスタ0	RSCAN0RMDF00	32	8, 16, 32
A007 860Ch	RSCAN	受信バッファデータフィールド1レジスタ0	RSCAN0RMDF10	32	8, 16, 32
A007 8610h	RSCAN	受信バッファIDレジスタ1	RSCAN0RMID1	32	8, 16, 32
A007 8614h	RSCAN	受信バッファポインタレジスタ1	RSCAN0RMPTR1	32	8, 16, 32
A007 8618h	RSCAN	受信バッファデータフィールド0レジスタ1	RSCAN0RMDF01	32	8, 16, 32
A007 861Ch	RSCAN	受信バッファデータフィールド1レジスタ1	RSCAN0RMDF11	32	8, 16, 32
A007 8620h	RSCAN	受信バッファIDレジスタ2	RSCAN0RMID2	32	8, 16, 32
A007 8624h	RSCAN	受信バッファポインタレジスタ2	RSCAN0RMPTR2	32	8, 16, 32
A007 8628h	RSCAN	受信バッファデータフィールド0レジスタ2	RSCAN0RMDF02	32	8, 16, 32
A007 862Ch	RSCAN	受信バッファデータフィールド1レジスタ2	RSCAN0RMDF12	32	8, 16, 32
A007 8630h	RSCAN	受信バッファIDレジスタ3	RSCAN0RMID3	32	8, 16, 32
A007 8634h	RSCAN	受信バッファポインタレジスタ3	RSCAN0RMPTR3	32	8, 16, 32
A007 8638h	RSCAN	受信バッファデータフィールド0レジスタ3	RSCAN0RMDF03	32	8, 16, 32
A007 863Ch	RSCAN	受信バッファデータフィールド1レジスタ3	RSCAN0RMDF13	32	8, 16, 32
A007 8640h	RSCAN	受信バッファIDレジスタ4	RSCAN0RMID4	32	8, 16, 32
A007 8644h	RSCAN	受信バッファポインタレジスタ4	RSCAN0RMPTR4	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (57 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8648h	RSCAN	受信バッファデータフィールド0レジスタ4	RSCAN0RMDF04	32	8, 16, 32
A007 864Ch	RSCAN	受信バッファデータフィールド1レジスタ4	RSCAN0RMDF14	32	8, 16, 32
A007 8650h	RSCAN	受信バッファ IDレジスタ5	RSCAN0RMID5	32	8, 16, 32
A007 8654h	RSCAN	受信バッファポインタレジスタ5	RSCAN0RMPTR5	32	8, 16, 32
A007 8658h	RSCAN	受信バッファデータフィールド0レジスタ5	RSCAN0RMDF05	32	8, 16, 32
A007 865Ch	RSCAN	受信バッファデータフィールド1レジスタ5	RSCAN0RMDF15	32	8, 16, 32
A007 8660h	RSCAN	受信バッファ IDレジスタ6	RSCAN0RMID6	32	8, 16, 32
A007 8664h	RSCAN	受信バッファポインタレジスタ6	RSCAN0RMPTR6	32	8, 16, 32
A007 8668h	RSCAN	受信バッファデータフィールド0レジスタ6	RSCAN0RMDF06	32	8, 16, 32
A007 866Ch	RSCAN	受信バッファデータフィールド1レジスタ6	RSCAN0RMDF16	32	8, 16, 32
A007 8670h	RSCAN	受信バッファ IDレジスタ7	RSCAN0RMID7	32	8, 16, 32
A007 8674h	RSCAN	受信バッファポインタレジスタ7	RSCAN0RMPTR7	32	8, 16, 32
A007 8678h	RSCAN	受信バッファデータフィールド0レジスタ7	RSCAN0RMDF07	32	8, 16, 32
A007 867Ch	RSCAN	受信バッファデータフィールド1レジスタ7	RSCAN0RMDF17	32	8, 16, 32
A007 8680h	RSCAN	受信バッファ IDレジスタ8	RSCAN0RMID8	32	8, 16, 32
A007 8684h	RSCAN	受信バッファポインタレジスタ8	RSCAN0RMPTR8	32	8, 16, 32
A007 8688h	RSCAN	受信バッファデータフィールド0レジスタ8	RSCAN0RMDF08	32	8, 16, 32
A007 868Ch	RSCAN	受信バッファデータフィールド1レジスタ8	RSCAN0RMDF18	32	8, 16, 32
A007 8690h	RSCAN	受信バッファ IDレジスタ9	RSCAN0RMID9	32	8, 16, 32
A007 8694h	RSCAN	受信バッファポインタレジスタ9	RSCAN0RMPTR9	32	8, 16, 32
A007 8698h	RSCAN	受信バッファデータフィールド0レジスタ9	RSCAN0RMDF09	32	8, 16, 32
A007 869Ch	RSCAN	受信バッファデータフィールド1レジスタ9	RSCAN0RMDF19	32	8, 16, 32
A007 86A0h	RSCAN	受信バッファ IDレジスタ10	RSCAN0RMID10	32	8, 16, 32
A007 86A4h	RSCAN	受信バッファポインタレジスタ10	RSCAN0RMPTR10	32	8, 16, 32
A007 86A8h	RSCAN	受信バッファデータフィールド0レジスタ10	RSCAN0RMDF010	32	8, 16, 32
A007 86ACh	RSCAN	受信バッファデータフィールド1レジスタ10	RSCAN0RMDF110	32	8, 16, 32
A007 86B0h	RSCAN	受信バッファ IDレジスタ11	RSCAN0RMID11	32	8, 16, 32
A007 86B4h	RSCAN	受信バッファポインタレジスタ11	RSCAN0RMPTR11	32	8, 16, 32
A007 86B8h	RSCAN	受信バッファデータフィールド0レジスタ11	RSCAN0RMDF011	32	8, 16, 32
A007 86BCh	RSCAN	受信バッファデータフィールド1レジスタ11	RSCAN0RMDF111	32	8, 16, 32
A007 86C0h	RSCAN	受信バッファ IDレジスタ12	RSCAN0RMID12	32	8, 16, 32
A007 86C4h	RSCAN	受信バッファポインタレジスタ12	RSCAN0RMPTR12	32	8, 16, 32
A007 86C8h	RSCAN	受信バッファデータフィールド0レジスタ12	RSCAN0RMDF012	32	8, 16, 32
A007 86CCh	RSCAN	受信バッファデータフィールド1レジスタ12	RSCAN0RMDF112	32	8, 16, 32
A007 86D0h	RSCAN	受信バッファ IDレジスタ13	RSCAN0RMID13	32	8, 16, 32
A007 86D4h	RSCAN	受信バッファポインタレジスタ13	RSCAN0RMPTR13	32	8, 16, 32
A007 86D8h	RSCAN	受信バッファデータフィールド0レジスタ13	RSCAN0RMDF013	32	8, 16, 32
A007 86DCh	RSCAN	受信バッファデータフィールド1レジスタ13	RSCAN0RMDF113	32	8, 16, 32
A007 86E0h	RSCAN	受信バッファ IDレジスタ14	RSCAN0RMID14	32	8, 16, 32
A007 86E4h	RSCAN	受信バッファポインタレジスタ14	RSCAN0RMPTR14	32	8, 16, 32
A007 86E8h	RSCAN	受信バッファデータフィールド0レジスタ14	RSCAN0RMDF014	32	8, 16, 32
A007 86ECh	RSCAN	受信バッファデータフィールド1レジスタ14	RSCAN0RMDF114	32	8, 16, 32
A007 86F0h	RSCAN	受信バッファ IDレジスタ15	RSCAN0RMID15	32	8, 16, 32
A007 86F4h	RSCAN	受信バッファポインタレジスタ15	RSCAN0RMPTR15	32	8, 16, 32
A007 86F8h	RSCAN	受信バッファデータフィールド0レジスタ15	RSCAN0RMDF015	32	8, 16, 32
A007 86FCh	RSCAN	受信バッファデータフィールド1レジスタ15	RSCAN0RMDF115	32	8, 16, 32
A007 8700h	RSCAN	受信バッファ IDレジスタ16	RSCAN0RMID16	32	8, 16, 32
A007 8704h	RSCAN	受信バッファポインタレジスタ16	RSCAN0RMPTR16	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (58 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8708h	RSCAN	受信バッファデータフィールド0レジスタ16	RSCAN0RMDF016	32	8, 16, 32
A007 870Ch	RSCAN	受信バッファデータフィールド1レジスタ16	RSCAN0RMDF116	32	8, 16, 32
A007 8710h	RSCAN	受信バッファ IDレジスタ17	RSCAN0RMID17	32	8, 16, 32
A007 8714h	RSCAN	受信バッファポインタレジスタ17	RSCAN0RMPTR17	32	8, 16, 32
A007 8718h	RSCAN	受信バッファデータフィールド0レジスタ17	RSCAN0RMDF017	32	8, 16, 32
A007 871Ch	RSCAN	受信バッファデータフィールド1レジスタ17	RSCAN0RMDF117	32	8, 16, 32
A007 8720h	RSCAN	受信バッファ IDレジスタ18	RSCAN0RMID18	32	8, 16, 32
A007 8724h	RSCAN	受信バッファポインタレジスタ18	RSCAN0RMPTR18	32	8, 16, 32
A007 8728h	RSCAN	受信バッファデータフィールド0レジスタ18	RSCAN0RMDF018	32	8, 16, 32
A007 872Ch	RSCAN	受信バッファデータフィールド1レジスタ18	RSCAN0RMDF118	32	8, 16, 32
A007 8730h	RSCAN	受信バッファ IDレジスタ19	RSCAN0RMID19	32	8, 16, 32
A007 8734h	RSCAN	受信バッファポインタレジスタ19	RSCAN0RMPTR19	32	8, 16, 32
A007 8738h	RSCAN	受信バッファデータフィールド0レジスタ19	RSCAN0RMDF019	32	8, 16, 32
A007 873Ch	RSCAN	受信バッファデータフィールド1レジスタ19	RSCAN0RMDF119	32	8, 16, 32
A007 8740h	RSCAN	受信バッファ IDレジスタ20	RSCAN0RMID20	32	8, 16, 32
A007 8744h	RSCAN	受信バッファポインタレジスタ20	RSCAN0RMPTR20	32	8, 16, 32
A007 8748h	RSCAN	受信バッファデータフィールド0レジスタ20	RSCAN0RMDF020	32	8, 16, 32
A007 874Ch	RSCAN	受信バッファデータフィールド1レジスタ20	RSCAN0RMDF120	32	8, 16, 32
A007 8750h	RSCAN	受信バッファ IDレジスタ21	RSCAN0RMID21	32	8, 16, 32
A007 8754h	RSCAN	受信バッファポインタレジスタ21	RSCAN0RMPTR21	32	8, 16, 32
A007 8758h	RSCAN	受信バッファデータフィールド0レジスタ21	RSCAN0RMDF021	32	8, 16, 32
A007 875Ch	RSCAN	受信バッファデータフィールド1レジスタ21	RSCAN0RMDF121	32	8, 16, 32
A007 8760h	RSCAN	受信バッファ IDレジスタ22	RSCAN0RMID22	32	8, 16, 32
A007 8764h	RSCAN	受信バッファポインタレジスタ22	RSCAN0RMPTR22	32	8, 16, 32
A007 8768h	RSCAN	受信バッファデータフィールド0レジスタ22	RSCAN0RMDF022	32	8, 16, 32
A007 876Ch	RSCAN	受信バッファデータフィールド1レジスタ22	RSCAN0RMDF122	32	8, 16, 32
A007 8770h	RSCAN	受信バッファ IDレジスタ23	RSCAN0RMID23	32	8, 16, 32
A007 8774h	RSCAN	受信バッファポインタレジスタ23	RSCAN0RMPTR23	32	8, 16, 32
A007 8778h	RSCAN	受信バッファデータフィールド0レジスタ23	RSCAN0RMDF023	32	8, 16, 32
A007 877Ch	RSCAN	受信バッファデータフィールド1レジスタ23	RSCAN0RMDF123	32	8, 16, 32
A007 8780h	RSCAN	受信バッファ IDレジスタ24	RSCAN0RMID24	32	8, 16, 32
A007 8784h	RSCAN	受信バッファポインタレジスタ24	RSCAN0RMPTR24	32	8, 16, 32
A007 8788h	RSCAN	受信バッファデータフィールド0レジスタ24	RSCAN0RMDF024	32	8, 16, 32
A007 878Ch	RSCAN	受信バッファデータフィールド1レジスタ24	RSCAN0RMDF124	32	8, 16, 32
A007 8790h	RSCAN	受信バッファ IDレジスタ25	RSCAN0RMID25	32	8, 16, 32
A007 8794h	RSCAN	受信バッファポインタレジスタ25	RSCAN0RMPTR25	32	8, 16, 32
A007 8798h	RSCAN	受信バッファデータフィールド0レジスタ25	RSCAN0RMDF025	32	8, 16, 32
A007 879Ch	RSCAN	受信バッファデータフィールド1レジスタ25	RSCAN0RMDF125	32	8, 16, 32
A007 87A0h	RSCAN	受信バッファ IDレジスタ26	RSCAN0RMID26	32	8, 16, 32
A007 87A4h	RSCAN	受信バッファポインタレジスタ26	RSCAN0RMPTR26	32	8, 16, 32
A007 87A8h	RSCAN	受信バッファデータフィールド0レジスタ26	RSCAN0RMDF026	32	8, 16, 32
A007 87ACh	RSCAN	受信バッファデータフィールド1レジスタ26	RSCAN0RMDF126	32	8, 16, 32
A007 87B0h	RSCAN	受信バッファ IDレジスタ27	RSCAN0RMID27	32	8, 16, 32
A007 87B4h	RSCAN	受信バッファポインタレジスタ27	RSCAN0RMPTR27	32	8, 16, 32
A007 87B8h	RSCAN	受信バッファデータフィールド0レジスタ27	RSCAN0RMDF027	32	8, 16, 32
A007 87BCh	RSCAN	受信バッファデータフィールド1レジスタ27	RSCAN0RMDF127	32	8, 16, 32
A007 87C0h	RSCAN	受信バッファ IDレジスタ28	RSCAN0RMID28	32	8, 16, 32
A007 87C4h	RSCAN	受信バッファポインタレジスタ28	RSCAN0RMPTR28	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (59 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 87C8h	RSCAN	受信バッファデータフィールド0レジスタ28	RSCAN0RMDF028	32	8, 16, 32
A007 87CCh	RSCAN	受信バッファデータフィールド1レジスタ28	RSCAN0RMDF128	32	8, 16, 32
A007 87D0h	RSCAN	受信バッファ IDレジスタ29	RSCAN0RMID29	32	8, 16, 32
A007 87D4h	RSCAN	受信バッファポインタレジスタ29	RSCAN0RMPTR29	32	8, 16, 32
A007 87D8h	RSCAN	受信バッファデータフィールド0レジスタ29	RSCAN0RMDF029	32	8, 16, 32
A007 87DCh	RSCAN	受信バッファデータフィールド1レジスタ29	RSCAN0RMDF129	32	8, 16, 32
A007 87E0h	RSCAN	受信バッファ IDレジスタ30	RSCAN0RMID30	32	8, 16, 32
A007 87E4h	RSCAN	受信バッファポインタレジスタ30	RSCAN0RMPTR30	32	8, 16, 32
A007 87E8h	RSCAN	受信バッファデータフィールド0レジスタ30	RSCAN0RMDF030	32	8, 16, 32
A007 87ECh	RSCAN	受信バッファデータフィールド1レジスタ30	RSCAN0RMDF130	32	8, 16, 32
A007 87F0h	RSCAN	受信バッファ IDレジスタ31	RSCAN0RMID31	32	8, 16, 32
A007 87F4h	RSCAN	受信バッファポインタレジスタ31	RSCAN0RMPTR31	32	8, 16, 32
A007 87F8h	RSCAN	受信バッファデータフィールド0レジスタ31	RSCAN0RMDF031	32	8, 16, 32
A007 87FCh	RSCAN	受信バッファデータフィールド1レジスタ31	RSCAN0RMDF131	32	8, 16, 32
A007 8E00h	RSCAN	受信FIFOバッファアクセスIDレジスタ0	RSCAN0RFID0	32	8, 16, 32
A007 8E04h	RSCAN	受信FIFOバッファアクセスポインタレジスタ0	RSCAN0RFPTR0	32	8, 16, 32
A007 8E08h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ0	RSCAN0RFDF00	32	8, 16, 32
A007 8E0Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ0	RSCAN0RFDF10	32	8, 16, 32
A007 8E10h	RSCAN	受信FIFOバッファアクセスIDレジスタ1	RSCAN0RFID1	32	8, 16, 32
A007 8E14h	RSCAN	受信FIFOバッファアクセスポインタレジスタ1	RSCAN0RFPTR1	32	8, 16, 32
A007 8E18h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ1	RSCAN0RFDF01	32	8, 16, 32
A007 8E1Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ1	RSCAN0RFDF11	32	8, 16, 32
A007 8E20h	RSCAN	受信FIFOバッファアクセスIDレジスタ2	RSCAN0RFID2	32	8, 16, 32
A007 8E24h	RSCAN	受信FIFOバッファアクセスポインタレジスタ2	RSCAN0RFPTR2	32	8, 16, 32
A007 8E28h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ2	RSCAN0RFDF02	32	8, 16, 32
A007 8E2Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ2	RSCAN0RFDF12	32	8, 16, 32
A007 8E30h	RSCAN	受信FIFOバッファアクセスIDレジスタ3	RSCAN0RFID3	32	8, 16, 32
A007 8E34h	RSCAN	受信FIFOバッファアクセスポインタレジスタ3	RSCAN0RFPTR3	32	8, 16, 32
A007 8E38h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ3	RSCAN0RFDF03	32	8, 16, 32
A007 8E3Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ3	RSCAN0RFDF13	32	8, 16, 32
A007 8E40h	RSCAN	受信FIFOバッファアクセスIDレジスタ4	RSCAN0RFID4	32	8, 16, 32
A007 8E44h	RSCAN	受信FIFOバッファアクセスポインタレジスタ4	RSCAN0RFPTR4	32	8, 16, 32
A007 8E48h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ4	RSCAN0RFDF04	32	8, 16, 32
A007 8E4Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ4	RSCAN0RFDF14	32	8, 16, 32
A007 8E50h	RSCAN	受信FIFOバッファアクセスIDレジスタ5	RSCAN0RFID5	32	8, 16, 32
A007 8E54h	RSCAN	受信FIFOバッファアクセスポインタレジスタ5	RSCAN0RFPTR5	32	8, 16, 32
A007 8E58h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ5	RSCAN0RFDF05	32	8, 16, 32
A007 8E5Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ5	RSCAN0RFDF15	32	8, 16, 32
A007 8E60h	RSCAN	受信FIFOバッファアクセスIDレジスタ6	RSCAN0RFID6	32	8, 16, 32
A007 8E64h	RSCAN	受信FIFOバッファアクセスポインタレジスタ6	RSCAN0RFPTR6	32	8, 16, 32
A007 8E68h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ6	RSCAN0RFDF06	32	8, 16, 32
A007 8E6Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ6	RSCAN0RFDF16	32	8, 16, 32
A007 8E70h	RSCAN	受信FIFOバッファアクセスIDレジスタ7	RSCAN0RFID7	32	8, 16, 32
A007 8E74h	RSCAN	受信FIFOバッファアクセスポインタレジスタ7	RSCAN0RFPTR7	32	8, 16, 32
A007 8E78h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ7	RSCAN0RFDF07	32	8, 16, 32
A007 8E7Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ7	RSCAN0RFDF17	32	8, 16, 32
A007 8E80h	RSCAN	送受信FIFOバッファアクセスIDレジスタ0	RSCAN0CFID0	32	8, 16, 32
A007 8E84h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ0	RSCAN0CFPTR0	32	8, 16, 32

表5.1 I/Oレジスタアドレス一覧 (60 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8E88h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ0	RSCAN0CFDF00	32	8, 16, 32
A007 8E8Ch	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ0	RSCAN0CFDF10	32	8, 16, 32
A007 8E90h	RSCAN	送受信FIFOバッファアクセスIDレジスタ1	RSCAN0CFID1	32	8, 16, 32
A007 8E94h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ1	RSCAN0CFPTR1	32	8, 16, 32
A007 8E98h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ1	RSCAN0CFDF01	32	8, 16, 32
A007 8E9Ch	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ1	RSCAN0CFDF11	32	8, 16, 32
A007 8EA0h	RSCAN	送受信FIFOバッファアクセスIDレジスタ2	RSCAN0CFID2	32	8, 16, 32
A007 8EA4h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ2	RSCAN0CFPTR2	32	8, 16, 32
A007 8EA8h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ2	RSCAN0CFDF02	32	8, 16, 32
A007 8EACh	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ2	RSCAN0CFDF12	32	8, 16, 32
A007 8EB0h	RSCAN	送受信FIFOバッファアクセスIDレジスタ3	RSCAN0CFID3	32	8, 16, 32
A007 8EB4h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ3	RSCAN0CFPTR3	32	8, 16, 32
A007 8EB8h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ3	RSCAN0CFDF03	32	8, 16, 32
A007 8EBCh	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ3	RSCAN0CFDF13	32	8, 16, 32
A007 8EC0h	RSCAN	送受信FIFOバッファアクセスIDレジスタ4	RSCAN0CFID4	32	8, 16, 32
A007 8EC4h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ4	RSCAN0CFPTR4	32	8, 16, 32
A007 8EC8h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ4	RSCAN0CFDF04	32	8, 16, 32
A007 8ECCh	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ4	RSCAN0CFDF14	32	8, 16, 32
A007 8ED0h	RSCAN	送受信FIFOバッファアクセスIDレジスタ5	RSCAN0CFID5	32	8, 16, 32
A007 8ED4h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ5	RSCAN0CFPTR5	32	8, 16, 32
A007 8ED8h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ5	RSCAN0CFDF05	32	8, 16, 32
A007 8EDCh	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ5	RSCAN0CFDF15	32	8, 16, 32
A007 9000h	RSCAN	送信バッファ IDレジスタ0	RSCAN0TMID0	32	8, 16, 32
A007 9004h	RSCAN	送信バッファポインタレジスタ 0	RSCAN0TMPTR0	32	8, 16, 32
A007 9008h	RSCAN	送信バッファデータフィールド0レジスタ0	RSCAN0TMDF00	32	8, 16, 32
A007 900Ch	RSCAN	送信バッファデータフィールド1レジスタ0	RSCAN0TMDF10	32	8, 16, 32
A007 9010h	RSCAN	送信バッファ IDレジスタ1	RSCAN0TMID1	32	8, 16, 32
A007 9014h	RSCAN	送信バッファポインタレジスタ 1	RSCAN0TMPTR1	32	8, 16, 32
A007 9018h	RSCAN	送信バッファデータフィールド0レジスタ1	RSCAN0TMDF01	32	8, 16, 32
A007 901Ch	RSCAN	送信バッファデータフィールド1レジスタ1	RSCAN0TMDF11	32	8, 16, 32
A007 9020h	RSCAN	送信バッファ IDレジスタ2	RSCAN0TMID2	32	8, 16, 32
A007 9024h	RSCAN	送信バッファポインタレジスタ 2	RSCAN0TMPTR2	32	8, 16, 32
A007 9028h	RSCAN	送信バッファデータフィールド0レジスタ2	RSCAN0TMDF02	32	8, 16, 32
A007 902Ch	RSCAN	送信バッファデータフィールド1レジスタ2	RSCAN0TMDF12	32	8, 16, 32
A007 9030h	RSCAN	送信バッファ IDレジスタ3	RSCAN0TMID3	32	8, 16, 32
A007 9034h	RSCAN	送信バッファポインタレジスタ 3	RSCAN0TMPTR3	32	8, 16, 32
A007 9038h	RSCAN	送信バッファデータフィールド0レジスタ3	RSCAN0TMDF03	32	8, 16, 32
A007 903Ch	RSCAN	送信バッファデータフィールド1レジスタ3	RSCAN0TMDF13	32	8, 16, 32
A007 9040h	RSCAN	送信バッファ IDレジスタ4	RSCAN0TMID4	32	8, 16, 32
A007 9044h	RSCAN	送信バッファポインタレジスタ 4	RSCAN0TMPTR4	32	8, 16, 32
A007 9048h	RSCAN	送信バッファデータフィールド0レジスタ4	RSCAN0TMDF04	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (61 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 904Ch	RSCAN	送信バッファデータフィールド1レジスタ4	RSCAN0TMDF14	32	8, 16, 32
A007 9050h	RSCAN	送信バッファ IDレジスタ5	RSCAN0TMID5	32	8, 16, 32
A007 9054h	RSCAN	送信バッファポインタレジスタ 5	RSCAN0TMPTR5	32	8, 16, 32
A007 9058h	RSCAN	送信バッファデータフィールド0レジスタ5	RSCAN0TMDF05	32	8, 16, 32
A007 905Ch	RSCAN	送信バッファデータフィールド1レジスタ5	RSCAN0TMDF15	32	8, 16, 32
A007 9060h	RSCAN	送信バッファ IDレジスタ6	RSCAN0TMID6	32	8, 16, 32
A007 9064h	RSCAN	送信バッファポインタレジスタ 6	RSCAN0TMPTR6	32	8, 16, 32
A007 9068h	RSCAN	送信バッファデータフィールド0レジスタ6	RSCAN0TMDF06	32	8, 16, 32
A007 906Ch	RSCAN	送信バッファデータフィールド1レジスタ6	RSCAN0TMDF16	32	8, 16, 32
A007 9070h	RSCAN	送信バッファ IDレジスタ7	RSCAN0TMID7	32	8, 16, 32
A007 9074h	RSCAN	送信バッファポインタレジスタ 7	RSCAN0TMPTR7	32	8, 16, 32
A007 9078h	RSCAN	送信バッファデータフィールド0レジスタ7	RSCAN0TMDF07	32	8, 16, 32
A007 907Ch	RSCAN	送信バッファデータフィールド1レジスタ7	RSCAN0TMDF17	32	8, 16, 32
A007 9080h	RSCAN	送信バッファ IDレジスタ8	RSCAN0TMID8	32	8, 16, 32
A007 9084h	RSCAN	送信バッファポインタレジスタ 8	RSCAN0TMPTR8	32	8, 16, 32
A007 9088h	RSCAN	送信バッファデータフィールド0レジスタ8	RSCAN0TMDF08	32	8, 16, 32
A007 908Ch	RSCAN	送信バッファデータフィールド1レジスタ8	RSCAN0TMDF18	32	8, 16, 32
A007 9090h	RSCAN	送信バッファ IDレジスタ9	RSCAN0TMID9	32	8, 16, 32
A007 9094h	RSCAN	送信バッファポインタレジスタ 9	RSCAN0TMPTR9	32	8, 16, 32
A007 9098h	RSCAN	送信バッファデータフィールド0レジスタ9	RSCAN0TMDF09	32	8, 16, 32
A007 909Ch	RSCAN	送信バッファデータフィールド1レジスタ9	RSCAN0TMDF19	32	8, 16, 32
A007 90A0h	RSCAN	送信バッファ IDレジスタ10	RSCAN0TMID10	32	8, 16, 32
A007 90A4h	RSCAN	送信バッファポインタレジスタ 10	RSCAN0TMPTR10	32	8, 16, 32
A007 90A8h	RSCAN	送信バッファデータフィールド0レジスタ10	RSCAN0TMDF010	32	8, 16, 32
A007 90ACh	RSCAN	送信バッファデータフィールド1レジスタ10	RSCAN0TMDF110	32	8, 16, 32
A007 90B0h	RSCAN	送信バッファ IDレジスタ11	RSCAN0TMID11	32	8, 16, 32
A007 90B4h	RSCAN	送信バッファポインタレジスタ 11	RSCAN0TMPTR11	32	8, 16, 32
A007 90B8h	RSCAN	送信バッファデータフィールド0レジスタ11	RSCAN0TMDF011	32	8, 16, 32
A007 90BCh	RSCAN	送信バッファデータフィールド1レジスタ11	RSCAN0TMDF111	32	8, 16, 32
A007 90C0h	RSCAN	送信バッファ IDレジスタ12	RSCAN0TMID12	32	8, 16, 32
A007 90C4h	RSCAN	送信バッファポインタレジスタ 12	RSCAN0TMPTR12	32	8, 16, 32
A007 90C8h	RSCAN	送信バッファデータフィールド0レジスタ12	RSCAN0TMDF012	32	8, 16, 32
A007 90CCh	RSCAN	送信バッファデータフィールド1レジスタ12	RSCAN0TMDF112	32	8, 16, 32
A007 90D0h	RSCAN	送信バッファ IDレジスタ13	RSCAN0TMID13	32	8, 16, 32
A007 90D4h	RSCAN	送信バッファポインタレジスタ 13	RSCAN0TMPTR13	32	8, 16, 32
A007 90D8h	RSCAN	送信バッファデータフィールド0レジスタ13	RSCAN0TMDF013	32	8, 16, 32
A007 90DCh	RSCAN	送信バッファデータフィールド1レジスタ13	RSCAN0TMDF113	32	8, 16, 32
A007 90E0h	RSCAN	送信バッファ IDレジスタ14	RSCAN0TMID14	32	8, 16, 32
A007 90E4h	RSCAN	送信バッファポインタレジスタ 14	RSCAN0TMPTR14	32	8, 16, 32
A007 90E8h	RSCAN	送信バッファデータフィールド0レジスタ14	RSCAN0TMDF014	32	8, 16, 32
A007 90ECh	RSCAN	送信バッファデータフィールド1レジスタ14	RSCAN0TMDF114	32	8, 16, 32
A007 90F0h	RSCAN	送信バッファ IDレジスタ15	RSCAN0TMID15	32	8, 16, 32
A007 90F4h	RSCAN	送信バッファポインタレジスタ 15	RSCAN0TMPTR15	32	8, 16, 32
A007 90F8h	RSCAN	送信バッファデータフィールド0レジスタ15	RSCAN0TMDF015	32	8, 16, 32
A007 90FCh	RSCAN	送信バッファデータフィールド1レジスタ15	RSCAN0TMDF115	32	8, 16, 32
A007 9100h	RSCAN	送信バッファ IDレジスタ16	RSCAN0TMID16	32	8, 16, 32
A007 9104h	RSCAN	送信バッファポインタレジスタ 16	RSCAN0TMPTR16	32	8, 16, 32
A007 9108h	RSCAN	送信バッファデータフィールド0レジスタ16	RSCAN0TMDF016	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (62 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 910Ch	RSCAN	送信バッファデータフィールド1レジスタ16	RSCAN0TMDF116	32	8, 16, 32
A007 9110h	RSCAN	送信バッファ IDレジスタ17	RSCAN0TMID17	32	8, 16, 32
A007 9114h	RSCAN	送信バッファポインタレジスタ 17	RSCAN0TMPTR17	32	8, 16, 32
A007 9118h	RSCAN	送信バッファデータフィールド0レジスタ17	RSCAN0TMDF017	32	8, 16, 32
A007 911Ch	RSCAN	送信バッファデータフィールド1レジスタ17	RSCAN0TMDF117	32	8, 16, 32
A007 9120h	RSCAN	送信バッファ IDレジスタ18	RSCAN0TMID18	32	8, 16, 32
A007 9124h	RSCAN	送信バッファポインタレジスタ 18	RSCAN0TMPTR18	32	8, 16, 32
A007 9128h	RSCAN	送信バッファデータフィールド0レジスタ18	RSCAN0TMDF018	32	8, 16, 32
A007 912Ch	RSCAN	送信バッファデータフィールド1レジスタ18	RSCAN0TMDF118	32	8, 16, 32
A007 9130h	RSCAN	送信バッファ IDレジスタ19	RSCAN0TMID19	32	8, 16, 32
A007 9134h	RSCAN	送信バッファポインタレジスタ 19	RSCAN0TMPTR19	32	8, 16, 32
A007 9138h	RSCAN	送信バッファデータフィールド0レジスタ19	RSCAN0TMDF019	32	8, 16, 32
A007 913Ch	RSCAN	送信バッファデータフィールド1レジスタ19	RSCAN0TMDF119	32	8, 16, 32
A007 9140h	RSCAN	送信バッファ IDレジスタ20	RSCAN0TMID20	32	8, 16, 32
A007 9144h	RSCAN	送信バッファポインタレジスタ 20	RSCAN0TMPTR20	32	8, 16, 32
A007 9148h	RSCAN	送信バッファデータフィールド0レジスタ20	RSCAN0TMDF020	32	8, 16, 32
A007 914Ch	RSCAN	送信バッファデータフィールド1レジスタ20	RSCAN0TMDF120	32	8, 16, 32
A007 9150h	RSCAN	送信バッファ IDレジスタ21	RSCAN0TMID21	32	8, 16, 32
A007 9154h	RSCAN	送信バッファポインタレジスタ 21	RSCAN0TMPTR21	32	8, 16, 32
A007 9158h	RSCAN	送信バッファデータフィールド0レジスタ21	RSCAN0TMDF021	32	8, 16, 32
A007 915Ch	RSCAN	送信バッファデータフィールド1レジスタ21	RSCAN0TMDF121	32	8, 16, 32
A007 9160h	RSCAN	送信バッファ IDレジスタ22	RSCAN0TMID22	32	8, 16, 32
A007 9164h	RSCAN	送信バッファポインタレジスタ 22	RSCAN0TMPTR22	32	8, 16, 32
A007 9168h	RSCAN	送信バッファデータフィールド0レジスタ22	RSCAN0TMDF022	32	8, 16, 32
A007 916Ch	RSCAN	送信バッファデータフィールド1レジスタ22	RSCAN0TMDF122	32	8, 16, 32
A007 9170h	RSCAN	送信バッファ IDレジスタ23	RSCAN0TMID23	32	8, 16, 32
A007 9174h	RSCAN	送信バッファポインタレジスタ 23	RSCAN0TMPTR23	32	8, 16, 32
A007 9178h	RSCAN	送信バッファデータフィールド0レジスタ23	RSCAN0TMDF023	32	8, 16, 32
A007 917Ch	RSCAN	送信バッファデータフィールド1レジスタ23	RSCAN0TMDF123	32	8, 16, 32
A007 9180h	RSCAN	送信バッファ IDレジスタ24	RSCAN0TMID24	32	8, 16, 32
A007 9184h	RSCAN	送信バッファポインタレジスタ 24	RSCAN0TMPTR24	32	8, 16, 32
A007 9188h	RSCAN	送信バッファデータフィールド0レジスタ24	RSCAN0TMDF024	32	8, 16, 32
A007 918Ch	RSCAN	送信バッファデータフィールド1レジスタ24	RSCAN0TMDF124	32	8, 16, 32
A007 9190h	RSCAN	送信バッファ IDレジスタ25	RSCAN0TMID25	32	8, 16, 32
A007 9194h	RSCAN	送信バッファポインタレジスタ 25	RSCAN0TMPTR25	32	8, 16, 32
A007 9198h	RSCAN	送信バッファデータフィールド0レジスタ25	RSCAN0TMDF025	32	8, 16, 32
A007 919Ch	RSCAN	送信バッファデータフィールド1レジスタ25	RSCAN0TMDF125	32	8, 16, 32
A007 91A0h	RSCAN	送信バッファ IDレジスタ26	RSCAN0TMID26	32	8, 16, 32
A007 91A4h	RSCAN	送信バッファポインタレジスタ 26	RSCAN0TMPTR26	32	8, 16, 32
A007 91A8h	RSCAN	送信バッファデータフィールド0レジスタ26	RSCAN0TMDF026	32	8, 16, 32
A007 91ACh	RSCAN	送信バッファデータフィールド1レジスタ26	RSCAN0TMDF126	32	8, 16, 32
A007 91B0h	RSCAN	送信バッファ IDレジスタ27	RSCAN0TMID27	32	8, 16, 32
A007 91B4h	RSCAN	送信バッファポインタレジスタ 27	RSCAN0TMPTR27	32	8, 16, 32
A007 91B8h	RSCAN	送信バッファデータフィールド0レジスタ27	RSCAN0TMDF027	32	8, 16, 32
A007 91BCh	RSCAN	送信バッファデータフィールド1レジスタ27	RSCAN0TMDF127	32	8, 16, 32
A007 91C0h	RSCAN	送信バッファ IDレジスタ28	RSCAN0TMID28	32	8, 16, 32
A007 91C4h	RSCAN	送信バッファポインタレジスタ 28	RSCAN0TMPTR28	32	8, 16, 32
A007 91C8h	RSCAN	送信バッファデータフィールド0レジスタ28	RSCAN0TMDF028	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (63 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 91CCh	RSCAN	送信バッファデータフィールド1レジスタ28	RSCAN0TMDF128	32	8, 16, 32
A007 91D0h	RSCAN	送信バッファ IDレジスタ29	RSCAN0TMID29	32	8, 16, 32
A007 91D4h	RSCAN	送信バッファポインタレジスタ 29	RSCAN0TMPTR29	32	8, 16, 32
A007 91D8h	RSCAN	送信バッファデータフィールド0レジスタ29	RSCAN0TMDF029	32	8, 16, 32
A007 91DCh	RSCAN	送信バッファデータフィールド1レジスタ29	RSCAN0TMDF129	32	8, 16, 32
A007 91E0h	RSCAN	送信バッファ IDレジスタ30	RSCAN0TMID30	32	8, 16, 32
A007 91E4h	RSCAN	送信バッファポインタレジスタ 30	RSCAN0TMPTR30	32	8, 16, 32
A007 91E8h	RSCAN	送信バッファデータフィールド0レジスタ30	RSCAN0TMDF030	32	8, 16, 32
A007 91ECh	RSCAN	送信バッファデータフィールド1レジスタ30	RSCAN0TMDF130	32	8, 16, 32
A007 91F0h	RSCAN	送信バッファ IDレジスタ31	RSCAN0TMID31	32	8, 16, 32
A007 91F4h	RSCAN	送信バッファポインタレジスタ 31	RSCAN0TMPTR31	32	8, 16, 32
A007 91F8h	RSCAN	送信バッファデータフィールド0レジスタ31	RSCAN0TMDF031	32	8, 16, 32
A007 91FCh	RSCAN	送信バッファデータフィールド1レジスタ31	RSCAN0TMDF131	32	8, 16, 32
A007 9800h	RSCAN	送信履歴アクセスレジスタ0	RSCAN0THLACC0	32	8, 16, 32
A007 9804h	RSCAN	送信履歴アクセスレジスタ1	RSCAN0THLACC1	32	8, 16, 32
A007 9900h	RSCAN	RAMテストページアクセスレジスタ0	RSCAN0RPGACC0	32	8, 16, 32
A007 9904h	RSCAN	RAMテストページアクセスレジスタ1	RSCAN0RPGACC1	32	8, 16, 32
A007 9908h	RSCAN	RAMテストページアクセスレジスタ2	RSCAN0RPGACC2	32	8, 16, 32
A007 990Ch	RSCAN	RAMテストページアクセスレジスタ3	RSCAN0RPGACC3	32	8, 16, 32
A007 9910h	RSCAN	RAMテストページアクセスレジスタ4	RSCAN0RPGACC4	32	8, 16, 32
A007 9914h	RSCAN	RAMテストページアクセスレジスタ5	RSCAN0RPGACC5	32	8, 16, 32
A007 9918h	RSCAN	RAMテストページアクセスレジスタ6	RSCAN0RPGACC6	32	8, 16, 32
A007 991Ch	RSCAN	RAMテストページアクセスレジスタ7	RSCAN0RPGACC7	32	8, 16, 32
A007 9920h	RSCAN	RAMテストページアクセスレジスタ8	RSCAN0RPGACC8	32	8, 16, 32
A007 9924h	RSCAN	RAMテストページアクセスレジスタ9	RSCAN0RPGACC9	32	8, 16, 32
A007 9928h	RSCAN	RAMテストページアクセスレジスタ10	RSCAN0RPGACC10	32	8, 16, 32
A007 992Ch	RSCAN	RAMテストページアクセスレジスタ11	RSCAN0RPGACC11	32	8, 16, 32
A007 9930h	RSCAN	RAMテストページアクセスレジスタ12	RSCAN0RPGACC12	32	8, 16, 32
A007 9934h	RSCAN	RAMテストページアクセスレジスタ13	RSCAN0RPGACC13	32	8, 16, 32
A007 9938h	RSCAN	RAMテストページアクセスレジスタ14	RSCAN0RPGACC14	32	8, 16, 32
A007 993Ch	RSCAN	RAMテストページアクセスレジスタ15	RSCAN0RPGACC15	32	8, 16, 32
A007 9940h	RSCAN	RAMテストページアクセスレジスタ16	RSCAN0RPGACC16	32	8, 16, 32
A007 9944h	RSCAN	RAMテストページアクセスレジスタ17	RSCAN0RPGACC17	32	8, 16, 32
A007 9948h	RSCAN	RAMテストページアクセスレジスタ18	RSCAN0RPGACC18	32	8, 16, 32
A007 994Ch	RSCAN	RAMテストページアクセスレジスタ19	RSCAN0RPGACC19	32	8, 16, 32
A007 9950h	RSCAN	RAMテストページアクセスレジスタ20	RSCAN0RPGACC20	32	8, 16, 32
A007 9954h	RSCAN	RAMテストページアクセスレジスタ21	RSCAN0RPGACC21	32	8, 16, 32
A007 9958h	RSCAN	RAMテストページアクセスレジスタ22	RSCAN0RPGACC22	32	8, 16, 32
A007 995Ch	RSCAN	RAMテストページアクセスレジスタ23	RSCAN0RPGACC23	32	8, 16, 32
A007 9960h	RSCAN	RAMテストページアクセスレジスタ24	RSCAN0RPGACC24	32	8, 16, 32
A007 9964h	RSCAN	RAMテストページアクセスレジスタ25	RSCAN0RPGACC25	32	8, 16, 32
A007 9968h	RSCAN	RAMテストページアクセスレジスタ26	RSCAN0RPGACC26	32	8, 16, 32
A007 996Ch	RSCAN	RAMテストページアクセスレジスタ27	RSCAN0RPGACC27	32	8, 16, 32
A007 9970h	RSCAN	RAMテストページアクセスレジスタ28	RSCAN0RPGACC28	32	8, 16, 32
A007 9974h	RSCAN	RAMテストページアクセスレジスタ29	RSCAN0RPGACC29	32	8, 16, 32
A007 9978h	RSCAN	RAMテストページアクセスレジスタ30	RSCAN0RPGACC30	32	8, 16, 32
A007 997Ch	RSCAN	RAMテストページアクセスレジスタ31	RSCAN0RPGACC31	32	8, 16, 32
A007 9980h	RSCAN	RAMテストページアクセスレジスタ32	RSCAN0RPGACC32	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (64 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 9984h	RSCAN	RAMテストページアクセスレジスタ33	RSCAN0RPGACC33	32	8, 16, 32
A007 9988h	RSCAN	RAMテストページアクセスレジスタ34	RSCAN0RPGACC34	32	8, 16, 32
A007 998Ch	RSCAN	RAMテストページアクセスレジスタ35	RSCAN0RPGACC35	32	8, 16, 32
A007 9990h	RSCAN	RAMテストページアクセスレジスタ36	RSCAN0RPGACC36	32	8, 16, 32
A007 9994h	RSCAN	RAMテストページアクセスレジスタ37	RSCAN0RPGACC37	32	8, 16, 32
A007 9998h	RSCAN	RAMテストページアクセスレジスタ38	RSCAN0RPGACC38	32	8, 16, 32
A007 999Ch	RSCAN	RAMテストページアクセスレジスタ39	RSCAN0RPGACC39	32	8, 16, 32
A007 99A0h	RSCAN	RAMテストページアクセスレジスタ40	RSCAN0RPGACC40	32	8, 16, 32
A007 99A4h	RSCAN	RAMテストページアクセスレジスタ41	RSCAN0RPGACC41	32	8, 16, 32
A007 99A8h	RSCAN	RAMテストページアクセスレジスタ42	RSCAN0RPGACC42	32	8, 16, 32
A007 99ACh	RSCAN	RAMテストページアクセスレジスタ43	RSCAN0RPGACC43	32	8, 16, 32
A007 99B0h	RSCAN	RAMテストページアクセスレジスタ44	RSCAN0RPGACC44	32	8, 16, 32
A007 99B4h	RSCAN	RAMテストページアクセスレジスタ45	RSCAN0RPGACC45	32	8, 16, 32
A007 99B8h	RSCAN	RAMテストページアクセスレジスタ46	RSCAN0RPGACC46	32	8, 16, 32
A007 99BCh	RSCAN	RAMテストページアクセスレジスタ47	RSCAN0RPGACC47	32	8, 16, 32
A007 99C0h	RSCAN	RAMテストページアクセスレジスタ48	RSCAN0RPGACC48	32	8, 16, 32
A007 99C4h	RSCAN	RAMテストページアクセスレジスタ49	RSCAN0RPGACC49	32	8, 16, 32
A007 99C8h	RSCAN	RAMテストページアクセスレジスタ50	RSCAN0RPGACC50	32	8, 16, 32
A007 99CCh	RSCAN	RAMテストページアクセスレジスタ51	RSCAN0RPGACC51	32	8, 16, 32
A007 99D0h	RSCAN	RAMテストページアクセスレジスタ52	RSCAN0RPGACC52	32	8, 16, 32
A007 99D4h	RSCAN	RAMテストページアクセスレジスタ53	RSCAN0RPGACC53	32	8, 16, 32
A007 99D8h	RSCAN	RAMテストページアクセスレジスタ54	RSCAN0RPGACC54	32	8, 16, 32
A007 99DCh	RSCAN	RAMテストページアクセスレジスタ55	RSCAN0RPGACC55	32	8, 16, 32
A007 99E0h	RSCAN	RAMテストページアクセスレジスタ56	RSCAN0RPGACC56	32	8, 16, 32
A007 99E4h	RSCAN	RAMテストページアクセスレジスタ57	RSCAN0RPGACC57	32	8, 16, 32
A007 99E8h	RSCAN	RAMテストページアクセスレジスタ58	RSCAN0RPGACC58	32	8, 16, 32
A007 99ECh	RSCAN	RAMテストページアクセスレジスタ59	RSCAN0RPGACC59	32	8, 16, 32
A007 99F0h	RSCAN	RAMテストページアクセスレジスタ60	RSCAN0RPGACC60	32	8, 16, 32
A007 99F4h	RSCAN	RAMテストページアクセスレジスタ61	RSCAN0RPGACC61	32	8, 16, 32
A007 99F8h	RSCAN	RAMテストページアクセスレジスタ62	RSCAN0RPGACC62	32	8, 16, 32
A007 99FCh	RSCAN	RAMテストページアクセスレジスタ63	RSCAN0RPGACC63	32	8, 16, 32
A007 B000h	RSCAN	RSCAN ECCコントロールレジスタ	ECCRCANCTL	32	8, 16, 32
A007 B010h	RSCAN	RSCAN ECCエラーアドレスレジスタ0	ECCRCANEAD0	32	8, 16, 32
A007 B014h	RSCAN	RSCAN ECCエラーアドレスレジスタ1	ECCRCANEAD1	32	8, 16, 32
A007 B018h	RSCAN	RSCAN ECCエラーアドレスレジスタ2	ECCRCANEAD2	32	8, 16, 32
A007 B01Ch	RSCAN	RSCAN ECCエラーアドレスレジスタ3	ECCRCANEAD3	32	8, 16, 32
A007 B020h	RSCAN	RSCAN ECCエラーアドレスレジスタ4	ECCRCANEAD4	32	8, 16, 32
A007 B024h	RSCAN	RSCAN ECCエラーアドレスレジスタ5	ECCRCANEAD5	32	8, 16, 32
A007 B028h	RSCAN	RSCAN ECCエラーアドレスレジスタ6	ECCRCANEAD6	32	8, 16, 32
A007 B02Ch	RSCAN	RSCAN ECCエラーアドレスレジスタ7	ECCRCANEAD7	32	8, 16, 32
A007 C000h	CRC	CRCデータ入力レジスタ	CRCDIR	32	32
A007 C004h	CRC	CRCデータ出力レジスタ	CRCDOR	32	32
A007 C020h	CRC	CRCコントロールレジスタ	CRCCR	8	8
A007 D000h	ECMM	ECMマスタエラーセットトリガレジスタ	ECMMESET	8	8
A007 D004h	ECMM	ECMマスタエラークリアトリガレジスタ	ECMMECLR	8	8
A007 D008h	ECMM	ECMマスタエラーソースステータスレジスタ0	ECMMESSTR0	32	32
A007 D00Ch	ECMM	ECMマスタエラーソースステータスレジスタ1	ECMMESSTR1	32	32
A007 D010h	ECMM	ECMマスタエラーソースステータスレジスタ2	ECMMESSTR2	32	32

表5.1 I/O レジスタアドレス一覧 (65 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 D014h	ECMM	ECMマスタ保護コマンドレジスタ	ECMMPCMD0	32	32
A007 D040h	ECMC	ECMチェッカエラーセットトリガレジスタ	ECMCESET	8	8
A007 D044h	ECMC	ECMチェッカエラークリアトリガレジスタ	ECMCECLR	8	8
A007 D048h	ECMC	ECMチェッカエラーソースステータスレジスタ0	ECMCESSTR0	32	32
A007 D04Ch	ECMC	ECMチェッカエラーソースステータスレジスタ1	ECMCESSTR1	32	32
A007 D050h	ECMC	ECMチェッカエラーソースステータスレジスタ2	ECMCESSTR2	32	32
A007 D054h	ECMC	ECMチェッカ保護コマンドレジスタ	ECMCPCMD0	32	32
A007 D080h	ECM	ECMエラーパルスコンフィグレーションレジスタ	ECMEPCFG	8	8
A007 D084h	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ0	ECMMICFG0	32	32
A007 D088h	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ1	ECMMICFG1	32	32
A007 D08Ch	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ2	ECMMICFG2	32	32
A007 D090h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ0	ECMNMICFG0	32	32
A007 D094h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ1	ECMNMICFG1	32	32
A007 D098h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ2	ECMNMICFG2	32	32
A007 D09Ch	ECM	ECM内部リセットコンフィグレーションレジスタ0	ECMIRCFG0	32	32
A007 D0A0h	ECM	ECM内部リセットコンフィグレーションレジスタ1	ECMIRCFG1	32	32
A007 D0A4h	ECM	ECM内部リセットコンフィグレーションレジスタ2	ECMIRCFG2	32	32
A007 D0A8h	ECM	ECMエラーマスクレジスタ0	ECMEMK0	32	32
A007 D0ACh	ECM	ECMエラーマスクレジスタ1	ECMEMK1	32	32
A007 D0B0h	ECM	ECMエラーマスクレジスタ2	ECMEMK2	32	32
A007 D0B4h	ECM	ECMエラーソースステータスクリアトリガレジスタ0	ECMESSTC0	32	32
A007 D0B8h	ECM	ECMエラーソースステータスクリアトリガレジスタ1	ECMESSTC1	32	32
A007 D0BCh	ECM	ECMエラーソースステータスクリアトリガレジスタ2	ECMESSTC2	32	32
A007 D0C0h	ECM	ECM保護コマンドレジスタ	ECMPCMD1	32	32
A007 D0C4h	ECM	ECM保護ステータスレジスタ	ECMPS	8	8
A007 D0C8h	ECM	ECM疑似エラートリガレジスタ0	ECMPE0	32	32
A007 D0CCh	ECM	ECM疑似エラートリガレジスタ1	ECMPE1	32	32
A007 D0D0h	ECM	ECM疑似エラートリガレジスタ2	ECMPE2	32	32
A007 D0D4h	ECM	ECMディレイタイマコントロールレジスタ	ECMDTMCTL	8	8
A007 D0D8h	ECM	ECMディレイタイマレジスタ	ECMDTMR	16	16
A007 D0DCh	ECM	ECMディレイタイマコンペアレジスタ	ECMDTMCMP	32	32
A007 D0E0h	ECM	ECMディレイタイマコンフィグレーションレジスタ0	ECMDTMCFG0	32	32
A007 D0E4h	ECM	ECMディレイタイマコンフィグレーションレジスタ1	ECMDTMCFG1	32	32
A007 D0E8h	ECM	ECMディレイタイマコンフィグレーションレジスタ2	ECMDTMCFG2	32	32
A007 D0ECh	ECM	ECMディレイタイマコンフィグレーションレジスタ3	ECMDTMCFG3	32	32
A007 D0F0h	ECM	ECMディレイタイマコンフィグレーションレジスタ4	ECMDTMCFG4	32	32
A007 D0F4h	ECM	ECMディレイタイマコンフィグレーションレジスタ5	ECMDTMCFG5	32	32
A007 D0F8h	ECM	ECMエラー出力クリア無効コンフィグレーションレジスタ	ECMEOCCFG	32	32
A008 0000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16
A008 0002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 0004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 0006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 000Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 000Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0020h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16
A008 0022h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16

表5.1 I/O レジスタアドレス一覧 (66 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0024h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 0026h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0028h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 002Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 002Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0040h	CMT	コンペアマッチタイマスタートレジスタ2	CMSTR2	16	16
A008 0042h	CMT4	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 0044h	CMT4	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 0046h	CMT4	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0048h	CMT5	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 004Ah	CMT5	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 004Ch	CMT5	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0100h	TPUA	タイマスタートレジスタ	TSTRA	8	8
A008 0101h	TPUA	タイマシンクロレジスタ	TSYRA	8	8
A008 0108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 0109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 010Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 0110h	TPU0	タイマコントロールレジスタ	TCR	8	8
A008 0111h	TPU0	タイマモードレジスタ	TMDR	8	8
A008 0112h	TPU0	タイマI/Oコントロールレジスタ	TIORH	8	8
A008 0113h	TPU0	タイマI/Oコントロールレジスタ	TIORL	8	8
A008 0114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8
A008 0115h	TPU0	タイマステータスレジスタ	TSR	8	8
A008 0116h	TPU0	タイマカウンタ	TCNT	16	16
A008 0118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16
A008 011Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16
A008 011Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16
A008 011Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16
A008 0120h	TPU1	タイマコントロールレジスタ	TCR	8	8
A008 0121h	TPU1	タイマモードレジスタ	TMDR	8	8
A008 0122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8
A008 0125h	TPU1	タイマステータスレジスタ	TSR	8	8
A008 0126h	TPU1	タイマカウンタ	TCNT	16	16
A008 0128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16
A008 012Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16
A008 0130h	TPU2	タイマコントロールレジスタ	TCR	8	8
A008 0131h	TPU2	タイマモードレジスタ	TMDR	8	8
A008 0132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8
A008 0135h	TPU2	タイマステータスレジスタ	TSR	8	8
A008 0136h	TPU2	タイマカウンタ	TCNT	16	16
A008 0138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16
A008 013Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16
A008 0140h	TPU3	タイマコントロールレジスタ	TCR	8	8

表5.1 I/O レジスタアドレス一覧 (67 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0141h	TPU3	タイマモードレジスタ	TMDR	8	8
A008 0142h	TPU3	タイマI/Oコントロールレジスタ	TIORH	8	8
A008 0143h	TPU3	タイマI/Oコントロールレジスタ	TIORL	8	8
A008 0144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8
A008 0145h	TPU3	タイマステータスレジスタ	TSR	8	8
A008 0146h	TPU3	タイマカウンタ	TCNT	16	16
A008 0148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16
A008 014Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16
A008 014Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16
A008 014Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16
A008 0150h	TPU4	タイマコントロールレジスタ	TCR	8	8
A008 0151h	TPU4	タイマモードレジスタ	TMDR	8	8
A008 0152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8
A008 0155h	TPU4	タイマステータスレジスタ	TSR	8	8
A008 0156h	TPU4	タイマカウンタ	TCNT	16	16
A008 0158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16
A008 015Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16
A008 0160h	TPU5	タイマコントロールレジスタ	TCR	8	8
A008 0161h	TPU5	タイマモードレジスタ	TMDR	8	8
A008 0162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 0164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8
A008 0165h	TPU5	タイマステータスレジスタ	TSR	8	8
A008 0166h	TPU5	タイマカウンタ	TCNT	16	16
A008 0168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16
A008 016Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16
A008 0180h	TPUA	タイマスタートレジスタ	TSTRB	8	8
A008 0181h	TPUA	タイマシンクロレジスタ	TSYRB	8	8
A008 0188h	TPU6	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 0189h	TPU7	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 018Ah	TPU8	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 018Bh	TPU9	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 018Ch	TPU10	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 018Dh	TPU11	ノイズフィルタコントロールレジスタ	NFCR	8	8
A008 0190h	TPU6	タイマコントロールレジスタ	TCR	8	8
A008 0191h	TPU6	タイマモードレジスタ	TMDR	8	8
A008 0192h	TPU6	タイマI/Oコントロールレジスタ	TIORH	8	8
A008 0193h	TPU6	タイマI/Oコントロールレジスタ	TIORL	8	8
A008 0194h	TPU6	タイマ割り込み許可レジスタ	TIER	8	8
A008 0195h	TPU6	タイマステータスレジスタ	TSR	8	8
A008 0196h	TPU6	タイマカウンタ	TCNT	16	16
A008 0198h	TPU6	タイマジェネラルレジスタA	TGRA	16	16
A008 019Ah	TPU6	タイマジェネラルレジスタB	TGRB	16	16
A008 019Ch	TPU6	タイマジェネラルレジスタC	TGRC	16	16
A008 019Eh	TPU6	タイマジェネラルレジスタD	TGRD	16	16
A008 01A0h	TPU7	タイマコントロールレジスタ	TCR	8	8
A008 01A1h	TPU7	タイマモードレジスタ	TMDR	8	8
A008 01A2h	TPU7	タイマI/Oコントロールレジスタ	TIOR	8	8

表5.1 I/O レジスタアドレス一覧 (68 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 01A4h	TPU7	タイマ割り込み許可レジスタ	TIER	8	8
A008 01A5h	TPU7	タイマステータスレジスタ	TSR	8	8
A008 01A6h	TPU7	タイマカウンタ	TCNT	16	16
A008 01A8h	TPU7	タイマジェネラルレジスタA	TGRA	16	16
A008 01AAh	TPU7	タイマジェネラルレジスタB	TGRB	16	16
A008 01B0h	TPU8	タイマコントロールレジスタ	TCR	8	8
A008 01B1h	TPU8	タイマモードレジスタ	TMDR	8	8
A008 01B2h	TPU8	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 01B4h	TPU8	タイマ割り込み許可レジスタ	TIER	8	8
A008 01B5h	TPU8	タイマステータスレジスタ	TSR	8	8
A008 01B6h	TPU8	タイマカウンタ	TCNT	16	16
A008 01B8h	TPU8	タイマジェネラルレジスタA	TGRA	16	16
A008 01BAh	TPU8	タイマジェネラルレジスタB	TGRB	16	16
A008 01C0h	TPU9	タイマコントロールレジスタ	TCR	8	8
A008 01C1h	TPU9	タイマモードレジスタ	TMDR	8	8
A008 01C2h	TPU9	タイマI/Oコントロールレジスタ	TIORH	8	8
A008 01C3h	TPU9	タイマI/Oコントロールレジスタ	TIORL	8	8
A008 01C4h	TPU9	タイマ割り込み許可レジスタ	TIER	8	8
A008 01C5h	TPU9	タイマステータスレジスタ	TSR	8	8
A008 01C6h	TPU9	タイマカウンタ	TCNT	16	16
A008 01C8h	TPU9	タイマジェネラルレジスタA	TGRA	16	16
A008 01CAh	TPU9	タイマジェネラルレジスタB	TGRB	16	16
A008 01CCh	TPU9	タイマジェネラルレジスタC	TGRC	16	16
A008 01CEh	TPU9	タイマジェネラルレジスタD	TGRD	16	16
A008 01D0h	TPU10	タイマコントロールレジスタ	TCR	8	8
A008 01D1h	TPU10	タイマモードレジスタ	TMDR	8	8
A008 01D2h	TPU10	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 01D4h	TPU10	タイマ割り込み許可レジスタ	TIER	8	8
A008 01D5h	TPU10	タイマステータスレジスタ	TSR	8	8
A008 01D6h	TPU10	タイマカウンタ	TCNT	16	16
A008 01D8h	TPU10	タイマジェネラルレジスタA	TGRA	16	16
A008 01DAh	TPU10	タイマジェネラルレジスタB	TGRB	16	16
A008 01E0h	TPU11	タイマコントロールレジスタ	TCR	8	8
A008 01E1h	TPU11	タイマモードレジスタ	TMDR	8	8
A008 01E2h	TPU11	タイマI/Oコントロールレジスタ	TIOR	8	8
A008 01E4h	TPU11	タイマ割り込み許可レジスタ	TIER	8	8
A008 01E5h	TPU11	タイマステータスレジスタ	TSR	8	8
A008 01E6h	TPU11	タイマカウンタ	TCNT	16	16
A008 01E8h	TPU11	タイマジェネラルレジスタA	TGRA	16	16
A008 01EAh	TPU11	タイマジェネラルレジスタB	TGRB	16	16
A008 0200h	TPUSL	PWMフィードバック選択レジスタ	PWMFBSLR	32	32
A008 0300h	CMTW0	タイマスタートレジスタ	CMWSTR	16	16
A008 0304h	CMTW0	タイマコントロールレジスタ	CMWCR	16	16
A008 0308h	CMTW0	タイマI/Oコントロールレジスタ	CMWIOR	16	16
A008 0310h	CMTW0	タイマカウンタ	CMWCNT	32	32
A008 0314h	CMTW0	コンペアマッチコンスタントレジスタ	CMWCOR	32	32
A008 0318h	CMTW0	インプットキャプチャレジスタ0	CMWICR0	32	32
A008 031Ch	CMTW0	インプットキャプチャレジスタ1	CMWICR1	32	32

表5.1 I/O レジスタアドレス一覧 (69 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0320h	CMTW0	アウトプットコンペアレジスタ0	CMWOCR0	32	32
A008 0324h	CMTW0	アウトプットコンペアレジスタ1	CMWOCR1	32	32
A008 0380h	CMTW1	タイマスタートレジスタ	CMWSTR	16	16
A008 0384h	CMTW1	タイマコントロールレジスタ	CMWCR	16	16
A008 0388h	CMTW1	タイマI/Oコントロールレジスタ	CMWIOR	16	16
A008 0390h	CMTW1	タイマカウンタ	CMWCNT	32	32
A008 0394h	CMTW1	コンペアマッチコンスタントレジスタ	CMWCOR	32	32
A008 0398h	CMTW1	インプットキャプチャレジスタ0	CMWICR0	32	32
A008 039Ch	CMTW1	インプットキャプチャレジスタ1	CMWICR1	32	32
A008 03A0h	CMTW1	アウトプットコンペアレジスタ0	CMWOCR0	32	32
A008 03A4h	CMTW1	アウトプットコンペアレジスタ1	CMWOCR1	32	32
A008 0400h	CMTW	デジタルノイズフィルタコントロールレジスタ0	NFCR0	32	32
A008 0404h	CMTW	デジタルノイズフィルタコントロールレジスタ1	NFCR1	32	32
A008 0410h	CMTW	ECMダイナミックモードエラー出力選択レジスタ	ECDMESLR	32	32
A008 0506h	PPG0	PPG出力コントロールレジスタ	PCR	8	8
A008 0507h	PPG0	PPG出力モードレジスタ	PMR	8	8
A008 0508h	PPG0	ネクストデータイネーブルレジスタH	NDERH	8	8
A008 0509h	PPG0	ネクストデータイネーブルレジスタL	NDERL	8	8
A008 050Ah	PPG0	アウトプットデータレジスタH	PODRH	8	8
A008 050Bh	PPG0	アウトプットデータレジスタL	PODRL	8	8
A008 050Ch	PPG0	ネクストデータレジスタH	NDRH	8	8
A008 050Dh	PPG0	ネクストデータレジスタL	NDRL	8	8
A008 050Eh	PPG0	ネクストデータレジスタH	NDRH2	8	8
A008 050Fh	PPG0	ネクストデータレジスタL	NDRL2	8	8
A008 0516h	PPG1	PPG出力コントロールレジスタ	PCR	8	8
A008 0517h	PPG1	PPG出力モードレジスタ	PMR	8	8
A008 0518h	PPG1	ネクストデータイネーブルレジスタH	NDERH	8	8
A008 0519h	PPG1	ネクストデータイネーブルレジスタL	NDERL	8	8
A008 051Ah	PPG1	アウトプットデータレジスタH	PODRH	8	8
A008 051Bh	PPG1	アウトプットデータレジスタL	PODRL	8	8
A008 051Ch	PPG1	ネクストデータレジスタH	NDRH	8	8
A008 051Dh	PPG1	ネクストデータレジスタL	NDRL	8	8
A008 051Eh	PPG1	ネクストデータレジスタH	NDRH2	8	8
A008 051Fh	PPG1	ネクストデータレジスタL	NDRL2	8	8
A008 0520h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8
A008 0600h	WDT0	WDTリフレッシュレジスタ	WDTRR	8	8
A008 0602h	WDT0	WDTコントロールレジスタ	WDTCR	16	16
A008 0604h	WDT0	WDTステータスレジスタ	WDTSR	16	16
A008 0606h	WDT0	WDTリセットコントロールレジスタ	WDTRCR	8	8
A008 0620h	WDT1 (注1)	WDTリフレッシュレジスタ	WDTRR	8	8
A008 0622h	WDT1 (注1)	WDTコントロールレジスタ	WDTCR	16	16
A008 0624h	WDT1 (注1)	WDTステータスレジスタ	WDTSR	16	16
A008 0626h	WDT1 (注1)	WDTリセットコントロールレジスタ	WDTRCR	8	8
A008 0700h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8
A008 0702h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16
A008 0704h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16
A008 0706h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8
A008 0800h	POE3	入力レベルコントロール／ステータスレジスタ1	ICSR1	16	16

表5.1 I/O レジスタアドレス一覧 (70 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0802h	POE3	出力レベルコントロール／ステータスレジスタ1	OCSR1	16	16
A008 0804h	POE3	入力レベルコントロール／ステータスレジスタ2	ICSR2	16	16
A008 0806h	POE3	出力レベルコントロール／ステータスレジスタ2	OCSR2	16	16
A008 0808h	POE3	入力レベルコントロール／ステータスレジスタ3	ICSR3	16	16
A008 080Ah	POE3	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	8
A008 080Bh	POE3	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8
A008 080Ch	POE3	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	16	16
A008 080Eh	POE3	ポートアウトプットイネーブルコントロールレジスタ3	POECR3	16	16
A008 0810h	POE3	ポートアウトプットイネーブルコントロールレジスタ4	POECR4	16	16
A008 0812h	POE3	ポートアウトプットイネーブルコントロールレジスタ5	POECR5	16	16
A008 0814h	POE3	ポートアウトプットイネーブルコントロールレジスタ6	POECR6	16	16
A008 0816h	POE3	入力レベルコントロール／ステータスレジスタ4	ICSR4	16	16
A008 0818h	POE3	入力レベルコントロール／ステータスレジスタ5	ICSR5	16	16
A008 081Ah	POE3	アクティブレベルレジスタ1	ALR1	16	16
A008 081Ch	POE3	入力レベルコントロール／ステータスレジスタ6	ICSR6	16	16
A008 0823h	POE3	GPT3端子選択レジスタ	G3SELR	8	8
A008 0824h	POE3	MTU0端子選択レジスタ1	M0SELR1	8	8
A008 0825h	POE3	MTU0端子選択レジスタ2	M0SELR2	8	8
A008 0826h	POE3	MTU3端子選択レジスタ	M3SELR	8	8
A008 0827h	POE3	MTU4端子選択レジスタ1	M4SELR1	8	8
A008 0828h	POE3	MTU4端子選択レジスタ2	M4SELR2	8	8
A008 0900h	RIIC0	I²Cバスコントロールレジスタ1	ICCR1	8	8
A008 0901h	RIIC0	I²Cバスコントロールレジスタ2	ICCR2	8	8
A008 0902h	RIIC0	I²Cバスモードレジスタ1	ICMR1	8	8
A008 0903h	RIIC0	I²Cバスモードレジスタ2	ICMR2	8	8
A008 0904h	RIIC0	I²Cバスモードレジスタ3	ICMR3	8	8
A008 0905h	RIIC0	I²Cバスファンクション許可レジスタ	ICFER	8	8
A008 0906h	RIIC0	I²Cバスステータス許可レジスタ	ICSER	8	8
A008 0907h	RIIC0	I²Cバス割り込み許可レジスタ	ICIER	8	8
A008 0908h	RIIC0	I²Cバスステータスレジスタ1	ICSR1	8	8
A008 0909h	RIIC0	I²Cバスステータスレジスタ2	ICSR2	8	8
A008 090Ah	RIIC0	スレーブアドレスレジスタL0	ICSARL0	8	8
A008 090Bh	RIIC0	スレーブアドレスレジスタU0	ICSARU0	8	8
A008 090Ch	RIIC0	スレーブアドレスレジスタL1	ICSARL1	8	8
A008 090Dh	RIIC0	スレーブアドレスレジスタU1	ICSARU1	8	8
A008 090Eh	RIIC0	スレーブアドレスレジスタL2	ICSARL2	8	8
A008 090Fh	RIIC0	スレーブアドレスレジスタU2	ICSARU2	8	8
A008 0910h	RIIC0	I²CバスビットレートLowレジスタ	ICBRL	8	8
A008 0911h	RIIC0	I²CバスビットレートHighレジスタ	ICBRH	8	8
A008 0912h	RIIC0	I²Cバス送信データレジスタ	ICDRT	8	8
A008 0913h	RIIC0	I²Cバス受信データレジスタ	ICDRR	8	8
A008 0940h	RIIC1	I²Cバスコントロールレジスタ1	ICCR1	8	8
A008 0941h	RIIC1	I²Cバスコントロールレジスタ2	ICCR2	8	8
A008 0942h	RIIC1	I²Cバスモードレジスタ1	ICMR1	8	8
A008 0943h	RIIC1	I²Cバスモードレジスタ2	ICMR2	8	8
A008 0944h	RIIC1	I²Cバスモードレジスタ3	ICMR3	8	8
A008 0945h	RIIC1	I²Cバスファンクション許可レジスタ	ICFER	8	8
A008 0946h	RIIC1	I²Cバスステータス許可レジスタ	ICSER	8	8

表5.1 I/O レジスタアドレス一覧 (71 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0947h	RIIC1	I²Cバス割り込み許可レジスタ	ICIER	8	8
A008 0948h	RIIC1	I²Cバスステータスレジスタ1	ICSR1	8	8
A008 0949h	RIIC1	I²Cバスステータスレジスタ2	ICSR2	8	8
A008 094Ah	RIIC1	スレーブアドレスレジスタL0	ICSARL0	8	8
A008 094Bh	RIIC1	スレーブアドレスレジスタU0	ICSARU0	8	8
A008 094Ch	RIIC1	スレーブアドレスレジスタL1	ICSARL1	8	8
A008 094Dh	RIIC1	スレーブアドレスレジスタU1	ICSARU1	8	8
A008 094Eh	RIIC1	スレーブアドレスレジスタL2	ICSARL2	8	8
A008 094Fh	RIIC1	スレーブアドレスレジスタU2	ICSARU2	8	8
A008 0950h	RIIC1	I²CバスビットレートLowレジスタ	ICBRL	8	8
A008 0951h	RIIC1	I²CバスビットレートHighレジスタ	ICBRH	8	8
A008 0952h	RIIC1	I²Cバス送信データレジスタ	ICDRT	8	8
A008 0953h	RIIC1	I²Cバス受信データレジスタ	ICDRR	8	8
A008 0A00h	TSN	温度センサコントロールレジスタ	TSCR	8	8
A008 0B00h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8
A008 0B01h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8
A008 0B04h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8
A008 0B05h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8
A008 0B08h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8
A008 0B0Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8
A008 0B0Ch	ELC	イベントリンク設定レジスタ11	ELSR11	8	8
A008 0B0Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8
A008 0B0Eh	ELC	イベントリンク設定レジスタ13	ELSR13	8	8
A008 0B10h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8
A008 0B11h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8
A008 0B13h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8
A008 0B14h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8
A008 0B15h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8
A008 0B16h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8
A008 0B17h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8
A008 0B18h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8
A008 0B19h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8
A008 0B1Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8
A008 0B1Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8
A008 0B1Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8
A008 0B1Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8
A008 0B1Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8
A008 0B20h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8
A008 0B21h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8
A008 0B22h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8
A008 0B23h	ELC	ポートグループ指定レジスタ1	PGR1	8	8
A008 0B24h	ELC	ポートグループ指定レジスタ2	PGR2	8	8
A008 0B25h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8
A008 0B26h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8
A008 0B27h	ELC	ポートバッファレジスタ1	PDBF1	8	8
A008 0B28h	ELC	ポートバッファレジスタ2	PDBF2	8	8
A008 0B29h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8
A008 0B2Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8

表5.1 I/O レジスタアドレス一覧 (72 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0B2Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8
A008 0B2Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8
A008 0B2Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8
A008 0B31h	ELC	イベントリンク設定レジスタ33	ELSR33	8	8
A008 0B33h	ELC	イベントリンク設定レジスタ35	ELSR35	8	8
A008 0B34h	ELC	イベントリンク設定レジスタ36	ELSR36	8	8
A008 0B35h	ELC	イベントリンク設定レジスタ37	ELSR37	8	8
A008 0B36h	ELC	イベントリンク設定レジスタ38	ELSR38	8	8
A008 0B39h	ELC	イベントリンク設定レジスタ41	ELSR41	8	8
A008 0B3Ah	ELC	イベントリンク設定レジスタ42	ELSR42	8	8
A008 0B3Bh	ELC	イベントリンク設定レジスタ43	ELSR43	8	8
A008 0B3Ch	ELC	イベントリンク設定レジスタ44	ELSR44	8	8
A008 0B3Dh	ELC	イベントリンク設定レジスタ45	ELSR45	8	8
A008 0B3Fh	ELC	イベントリンクオプション設定レジスタF	ELOPF	8	8
A008 0B41h	ELC	イベントリンクオプション設定レジスタH	ELOPH	8	8
A008 0B42h	ELC	イベントリンクオプション設定レジスタI	ELOPI	8	8
A008 0B43h	ELC	イベントリンクオプション設定レジスタJ	ELOPJ	8	8
A008 1000h	SSI	制御レジスタ	SSICR	32	32
A008 1004h	SSI	ステータスレジスタ	SSISR	32	32
A008 1010h	SSI	FIFO制御レジスタ	SSIFCR	32	32
A008 1014h	SSI	FIFOステータスレジスタ	SSIFSR	32	32
A008 1018h	SSI	送信FIFOデータレジスタ	SSIFTDR	32	32
A008 101Ch	SSI	受信FIFOデータレジスタ	SSIFRDR	32	32
A008 1020h	SSI	TDMモードレジスタ	SSITDMR	32	32
A008 1200h	DOC	DOC制御レジスタ	DOCR	8	8
A008 1202h	DOC	DOCデータインプットレジスタ	DODIR	16	16
A008 1204h	DOC	DOCデータセッティングレジスタ	DODSR	16	16
A008 C000h	S12ADC0	A/Dコントロールレジスタ	ADCSR	16	16
A008 C004h	S12ADC0	A/Dチャネル選択レジスタA	ADANSA	16	16
A008 C008h	S12ADC0	A/D変換値加算/平均モード選択レジスタ	ADADS	16	16
A008 C00Ch	S12ADC0	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8
A008 C00Eh	S12ADC0	A/Dコントロール拡張レジスタ	ADCER	16	16
A008 C010h	S12ADC0	A/D開始トリガ選択レジスタ	ADSTRGR	16	16
A008 C012h	S12ADC0	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16
A008 C014h	S12ADC0	A/Dチャネル選択レジスタB	ADANSB	16	16
A008 C018h	S12ADC0	A/Dデータ2重化レジスタ	ADDBLDR	16	16
A008 C01Ah	S12ADC0	A/D温度センサデータレジスタ	ADTSDR	16	16
A008 C01Eh	S12ADC0	A/D自己診断データレジスタ	ADRD	16	16
A008 C020h	S12ADC0	A/Dデータレジスタ0	ADDR0	16	16
A008 C022h	S12ADC0	A/Dデータレジスタ1	ADDR1	16	16
A008 C024h	S12ADC0	A/Dデータレジスタ2	ADDR2	16	16
A008 C026h	S12ADC0	A/Dデータレジスタ3	ADDR3	16	16
A008 C028h	S12ADC0	A/Dデータレジスタ4	ADDR4	16	16
A008 C02Ah	S12ADC0	A/Dデータレジスタ5	ADDR5	16	16
A008 C02Ch	S12ADC0	A/Dデータレジスタ6	ADDR6	16	16
A008 C02Eh	S12ADC0	A/Dデータレジスタ7	ADDR7	16	16
A008 C060h	S12ADC0	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8
A008 C066h	S12ADC0	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16

表5.1 I/Oレジスタアドレス一覧 (73 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 C070h	S12ADC0	A/Dサンプリングステートレジスタ T	ADSSTRT	8	8
A008 C073h	S12ADC0	A/Dサンプリングステートレジスタ 1	ADSSTR1	8	8
A008 C074h	S12ADC0	A/Dサンプリングステートレジスタ 2	ADSSTR2	8	8
A008 C075h	S12ADC0	A/Dサンプリングステートレジスタ 3	ADSSTR3	8	8
A008 C076h	S12ADC0	A/Dサンプリングステートレジスタ 4	ADSSTR4	8	8
A008 C077h	S12ADC0	A/Dサンプリングステートレジスタ 5	ADSSTR5	8	8
A008 C078h	S12ADC0	A/Dサンプリングステートレジスタ 6	ADSSTR6	8	8
A008 C079h	S12ADC0	A/Dサンプリングステートレジスタ 7	ADSSTR7	8	8
A008 C07Ah	S12ADC0	A/D断線検出コントロールレジスタ	ADDISCR	8	8
A008 C080h	S12ADC0	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16
A008 C084h	S12ADC0	A/Dデータ2重化レジスタ A	ADDBLDRA	16	16
A008 C086h	S12ADC0	A/Dデータ2重化レジスタ B	ADDBLDRB	16	16
A008 C090h	S12ADC0	A/Dコンペアコントロールレジスタ	ADCMPCR	8	8
A008 C092h	S12ADC0	A/Dコンペアチャネル選択拡張レジスタ	ADCMPANSER	8	8
A008 C093h	S12ADC0	A/Dコンペアレベル拡張選択レジスタ	ADCMPLER	8	8
A008 C094h	S12ADC0	A/Dコンペアチャネル選択レジスタ	ADCMPANSR	16	16
A008 C098h	S12ADC0	A/Dコンペアレベルレジスタ	ADCMPLR	16	16
A008 C09Ch	S12ADC0	A/Dコンペアデータレジスタ 0	ADCMPDR0	16	16
A008 C09Eh	S12ADC0	A/Dコンペアデータレジスタ 1	ADCMPDR1	16	16
A008 C0A0h	S12ADC0	A/Dコンペアステータスレジスタ	ADCMPSR	16	16
A008 C0A4h	S12ADC0	A/Dコンペアステータス拡張レジスタ	ADCMPSER	8	8
A008 C0C8h	S12ADC0	A/D端子レベル自己診断制御レジスタ	ADTDCR	8	8
A008 C0CAh	S12ADC0	A/Dエラーコントロールレジスタ	ADERCR	8	8
A008 C0CBh	S12ADC0	A/Dエラークリアレジスタ	ADERCLR	8	8
A008 C0D2h	S12ADC0	A/Dオーバライトエラーレジスタ	ADOWER	16	16
A008 C0D6h	S12ADC0	A/Dオーバライトエラー拡張レジスタ	ADOWEER	16	16
A008 C400h	S12ADC1	A/Dコントロールレジスタ	ADCSR	16	16
A008 C404h	S12ADC1	A/Dチャネル選択レジスタ A	ADANSA	16	16
A008 C408h	S12ADC1	A/D変換値加算/平均モード選択レジスタ	ADADS	16	16
A008 C40Ch	S12ADC1	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8
A008 C40Eh	S12ADC1	A/Dコントロール拡張レジスタ	ADCER	16	16
A008 C410h	S12ADC1	A/D開始トリガ選択レジスタ	ADSTRGR	16	16
A008 C412h	S12ADC1	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16
A008 C414h	S12ADC1	A/Dチャネル選択レジスタ B	ADANSB	16	16
A008 C418h	S12ADC1	A/Dデータ2重化レジスタ	ADDBLDR	16	16
A008 C41Eh	S12ADC1	A/D自己診断データレジスタ	ADRD	16	16
A008 C420h	S12ADC1	A/Dデータレジスタ 0	ADDR0	16	16
A008 C422h	S12ADC1	A/Dデータレジスタ 1	ADDR1	16	16
A008 C424h	S12ADC1	A/Dデータレジスタ 2	ADDR2	16	16
A008 C426h	S12ADC1	A/Dデータレジスタ 3	ADDR3	16	16
A008 C428h	S12ADC1	A/Dデータレジスタ 4	ADDR4	16	16
A008 C42Ah	S12ADC1	A/Dデータレジスタ 5	ADDR5	16	16
A008 C42Ch	S12ADC1	A/Dデータレジスタ 6	ADDR6	16	16
A008 C42Eh	S12ADC1	A/Dデータレジスタ 7	ADDR7	16	16
A008 C430h	S12ADC1	A/Dデータレジスタ 8	ADDR8	16	16
A008 C432h	S12ADC1	A/Dデータレジスタ 9	ADDR9	16	16
A008 C434h	S12ADC1	A/Dデータレジスタ 10	ADDR10	16	16
A008 C436h	S12ADC1	A/Dデータレジスタ 11	ADDR11	16	16

表5.1 I/Oレジスタアドレス一覧 (74 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 C438h	S12ADC1	A/Dデータレジスタ12	ADDR12	16	16
A008 C43Ah	S12ADC1	A/Dデータレジスタ13	ADDR13	16	16
A008 C43Ch	S12ADC1	A/Dデータレジスタ14	ADDR14	16	16
A008 C43Eh	S12ADC1	A/Dデータレジスタ15	ADDR15	16	16
A008 C460h	S12ADC1	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8
A008 C461h	S12ADC1	A/DサンプリングステートレジスタL	ADSSTRL	8	8
A008 C473h	S12ADC1	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8
A008 C474h	S12ADC1	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8
A008 C475h	S12ADC1	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8
A008 C476h	S12ADC1	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8
A008 C477h	S12ADC1	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8
A008 C478h	S12ADC1	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8
A008 C479h	S12ADC1	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8
A008 C47Ah	S12ADC1	A/D断線検出コントロールレジスタ	ADDISCR	8	8
A008 C480h	S12ADC1	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16
A008 C484h	S12ADC1	A/Dデータ2重化レジスタA	ADDBLDRA	16	16
A008 C486h	S12ADC1	A/Dデータ2重化レジスタB	ADDBLDRB	16	16
A008 C490h	S12ADC1	A/Dコンペアコントロールレジスタ	ADCMPCR	8	8
A008 C494h	S12ADC1	A/Dコンペアチャネル選択レジスタ	ADCMPANSR	16	16
A008 C498h	S12ADC1	A/Dコンペアレベルレジスタ	ADCMPLR	16	16
A008 C49Ch	S12ADC1	A/Dコンペアデータレジスタ0	ADCMPDR0	16	16
A008 C49Eh	S12ADC1	A/Dコンペアデータレジスタ1	ADCMPDR1	16	16
A008 C4A0h	S12ADC1	A/Dコンペアステータスレジスタ	ADCMPSR	16	16
A008 C4C8h	S12ADC1	A/D端子レベル自己診断制御レジスタ	ADTDCR	8	8
A008 C4CAh	S12ADC1	A/Dエラーコントロールレジスタ	ADERCR	8	8
A008 C4CBh	S12ADC1	A/Dエラークリアレジスタ	ADERCLR	8	8
A008 C4D2h	S12ADC1	A/Dオーバライトエラーレジスタ	ADOWER	16	16
A008 C4D6h	S12ADC1	A/Dオーバライトエラー拡張レジスタ	ADOWEER	16	16
A009 0000h	CLMA0	CLMA0制御レジスタ0	CLMA0CTL0	8	8
A009 0008h	CLMA0	CLMA0コンペアレジスタL	CLMA0CMPL	16	16
A009 000Ch	CLMA0	CLMA0コンペアレジスタH	CLMA0CMPH	16	16
A009 0010h	CLMA0	CLMA0コマンドレジスタ	CLMA0PCMD	8	8
A009 0014h	CLMA0	CLMA0プロテクションステータスレジスタ	CLMA0PS	8	8
A009 0020h	CLMA1	CLMA1制御レジスタ0	CLMA1CTL0	8	8
A009 0028h	CLMA1	CLMA1コンペアレジスタL	CLMA1CMPL	16	16
A009 002Ch	CLMA1	CLMA1コンペアレジスタH	CLMA1CMPH	16	16
A009 0030h	CLMA1	CLMA1コマンドレジスタ	CLMA1PCMD	8	8
A009 0034h	CLMA1	CLMA1プロテクションステータスレジスタ	CLMA1PS	8	8
A009 0040h	CLMA2	CLMA2制御レジスタ0	CLMA2CTL0	8	8
A009 0048h	CLMA2	CLMA2コンペアレジスタL	CLMA2CMPL	16	16
A009 004Ch	CLMA2	CLMA2コンペアレジスタH	CLMA2CMPH	16	16
A009 0050h	CLMA2	CLMA2コマンドレジスタ	CLMA2PCMD	8	8
A009 0054h	CLMA2	CLMA2プロテクションステータスレジスタ	CLMA2PS	8	8
A009 4000h	DMA0	DMAC Unit0 要因選択レジスタ0	DMA0SEL0	32	32
A009 4004h	DMA0	DMAC Unit0 要因選択レジスタ1	DMA0SEL1	32	32
A009 4008h	DMA0	DMAC Unit0 要因選択レジスタ2	DMA0SEL2	32	32
A009 400Ch	DMA0	DMAC Unit0 要因選択レジスタ3	DMA0SEL3	32	32
A009 4010h	DMA0	DMAC Unit0 要因選択レジスタ4	DMA0SEL4	32	32

表5.1 I/O レジスタアドレス一覧 (75 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A009 4014h	DMA0	DMAC Unit0 要因選択レジスタ5	DMA0SEL5	32	32
A009 4018h	DMA0	DMAC Unit0 要因選択レジスタ6	DMA0SEL6	32	32
A009 401Ch	DMA0	DMAC Unit0 要因選択レジスタ7	DMA0SEL7	32	32
A009 4020h	DMA0	DMAC Unit0 要因選択レジスタ8	DMA0SEL8	32	32
A009 4024h	DMA0	DMAC Unit0 要因選択レジスタ9	DMA0SEL9	32	32
A009 4028h	DMA0	DMAC Unit0 要因選択レジスタ10	DMA0SEL10	32	32
A009 402Ch	DMA0	DMAC Unit0 要因選択レジスタ11	DMA0SEL11	32	32
A009 4030h	DMA0	DMAC Unit0 要因選択レジスタ12	DMA0SEL12	32	32
A009 4034h	DMA0	DMAC Unit0 要因選択レジスタ13	DMA0SEL13	32	32
A009 4038h	DMA0	DMAC Unit0 要因選択レジスタ14	DMA0SEL14	32	32
A009 403Ch	DMA0	DMAC Unit0 要因選択レジスタ15	DMA0SEL15	32	32
A009 4040h	DMA1	DMAC Unit1 要因選択レジスタ0	DMA1SEL0	32	32
A009 4044h	DMA1	DMAC Unit1 要因選択レジスタ1	DMA1SEL1	32	32
A009 4048h	DMA1	DMAC Unit1 要因選択レジスタ2	DMA1SEL2	32	32
A009 404Ch	DMA1	DMAC Unit1 要因選択レジスタ3	DMA1SEL3	32	32
A009 4050h	DMA1	DMAC Unit1 要因選択レジスタ4	DMA1SEL4	32	32
A009 4054h	DMA1	DMAC Unit1 要因選択レジスタ5	DMA1SEL5	32	32
A009 4058h	DMA1	DMAC Unit1 要因選択レジスタ6	DMA1SEL6	32	32
A009 405Ch	DMA1	DMAC Unit1 要因選択レジスタ7	DMA1SEL7	32	32
A009 4060h	DMA1	DMAC Unit1 要因選択レジスタ8	DMA1SEL8	32	32
A009 4064h	DMA1	DMAC Unit1 要因選択レジスタ9	DMA1SEL9	32	32
A009 4068h	DMA1	DMAC Unit1 要因選択レジスタ10	DMA1SEL10	32	32
A009 406Ch	DMA1	DMAC Unit1 要因選択レジスタ11	DMA1SEL11	32	32
A009 4070h	DMA1	DMAC Unit1 要因選択レジスタ12	DMA1SEL12	32	32
A009 4074h	DMA1	DMAC Unit1 要因選択レジスタ13	DMA1SEL13	32	32
A009 4078h	DMA1	DMAC Unit1 要因選択レジスタ14	DMA1SEL14	32	32
A009 407Ch	DMA1	DMAC Unit1 要因選択レジスタ15	DMA1SEL15	32	32
A009 4080h	DMAC	DMACソフトウェア起動レジスタ	DMASTG	32	32
A009 4200h	ICU	IRQコントロールレジスタ0	IRQCR0	32	32
A009 4204h	ICU	IRQコントロールレジスタ1	IRQCR1	32	32
A009 4208h	ICU	IRQコントロールレジスタ2	IRQCR2	32	32
A009 420Ch	ICU	IRQコントロールレジスタ3	IRQCR3	32	32
A009 4210h	ICU	IRQコントロールレジスタ4	IRQCR4	32	32
A009 4214h	ICU	IRQコントロールレジスタ5	IRQCR5	32	32
A009 4218h	ICU	IRQコントロールレジスタ6	IRQCR6	32	32
A009 421Ch	ICU	IRQコントロールレジスタ7	IRQCR7	32	32
A009 4220h	ICU	IRQコントロールレジスタ8	IRQCR8	32	32
A009 4224h	ICU	IRQコントロールレジスタ9	IRQCR9	32	32
A009 4228h	ICU	IRQコントロールレジスタ10	IRQCR10	32	32
A009 422Ch	ICU	IRQコントロールレジスタ11	IRQCR11	32	32
A009 4230h	ICU	IRQコントロールレジスタ12	IRQCR12	32	32
A009 4234h	ICU	IRQコントロールレジスタ13	IRQCR13	32	32
A009 4238h	ICU	IRQコントロールレジスタ14	IRQCR14	32	32
A009 423Ch	ICU	IRQコントロールレジスタ15	IRQCR15	32	32
A009 4240h	ICU	IRQ端子デジタルノイズフィルタ許可レジスタ	IRQFLTE	32	32
A009 4244h	ICU	IRQ端子デジタルノイズフィルタ設定レジスタ	IRQFLTC	32	32
A009 4248h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	32	32
A009 424Ch	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	32	32

表5.1 I/Oレジスタアドレス一覧 (76 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A009 4250h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	32	32
A009 4254h	ICU	NMI端子デジタルノイズフィルタ許可レジスタ	NMIFLTE	32	32
A009 4258h	ICU	NMI端子デジタルノイズフィルタ設定レジスタ	NMIFLTC	32	32
A009 425Ch	ICU	EtherPHYコントロールレジスタ0	EPHYCR0	32	32
A009 4260h	ICU	EtherPHYコントロールレジスタ1	EPHYCR1	32	32
A009 4264h	ICU	EtherPHYコントロールレジスタ2	EPHYCR2	32	32
A009 4268h	ICU	EtherPHY割り込み要求端子デジタルノイズフィルタ許可レジスタ	EPHYFLTE	32	32
A009 426Ch	ICU	EtherPHY割り込み要求端子デジタルノイズフィルタ設定レジスタ	EPHYFLTC	32	32
A009 4270h	ICU	外部DMA要求端子デジタルノイズフィルタ許可レジスタ	DREQFLTE	32	32
A009 4274h	ICU	外部DMA要求端子デジタルノイズフィルタ設定レジスタ	DREQFLTC	32	32
A009 4290h	ICU（注1）	CPU間割り込み要求レジスタ	CPUINT	32	32
A00B 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32
A00B 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	32	32
A00B 0028h	SYSTEM	ΔΣI/Fクロックコントロールレジスタ	DSCR	32	32
A00B 0034h	SYSTEM	PLL1コントロールレジスタ	PLL1CR	32	32
A00B 0038h	SYSTEM	PLL1コントロールレジスタ2	PLL1CR2	32	32
A00B 0040h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	32	32
A00B 004Ch	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	32	32
A00B 0200h	SYSTEM	リセットステータスレジスタ0	RSTSR0	32	32
A00B 0210h	SYSTEM	ソフトウェアリセットレジスタ	SWRR1	32	32
A00B 0220h	SYSTEM（注1）	ソフトウェアリセットレジスタ2	SWRR2	32	32
A00B 0248h	SYSTEM	モジュールリセット制御レジスタC	MRCTLC	32	32
A00B 0300h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32
A00B 0304h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32
A00B 0308h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32
A00B 030Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32
A00B 0310h	SYSTEM	モジュールストップコントロールレジスタE	MSTPCRE	32	32
A00B 0314h	SYSTEM	モジュールストップコントロールレジスタF	MSTPCRF	32	32
A00B 0800h	SYSTEM	ATCMウエイト制御レジスタ	SYTATCMWAIT	32	32
A00B 0920h	SYSTEM（注1）	セマフォ許可レジスタ	SYTSEMFEN	32	32
A00B 0930h	SYSTEM（注1）	セマフォレジスタ0	SYTSEMF0	32	32
A00B 0934h	SYSTEM（注1）	セマフォレジスタ1	SYTSEMF1	32	32
A00B 0938h	SYSTEM（注1）	セマフォレジスタ2	SYTSEMF2	32	32
A00B 093Ch	SYSTEM（注1）	セマフォレジスタ3	SYTSEMF3	32	32
A00B 0940h	SYSTEM（注1）	セマフォレジスタ4	SYTSEMF4	32	32
A00B 0944h	SYSTEM（注1）	セマフォレジスタ5	SYTSEMF5	32	32
A00B 0948h	SYSTEM（注1）	セマフォレジスタ6	SYTSEMF6	32	32
A00B 094Ch	SYSTEM（注1）	セマフォレジスタ7	SYTSEMF7	32	32
A00B 0A00h	SYSTEM	デバッグインタフェース制御レジスタ	DBGIFCNT	32	32
A00B 0A60h	SYSTEM	モードモニタレジスタ	MDMONR	32	32
A00B 0A80h	SYSTEM	ECMマスク制御レジスタ	ECMMCNT	32	32

表5.1 I/Oレジスタアドレス一覧 (77 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00B 0B00h	SYSTEM	プロテクトレジスタ	PRCR	32	32
A00B F000h	ETHERC	イーサネットシステムプロテクトコマンドレジスタ	ETSPCMD	32	32
A00B F004h	ETHERC	MACセレクトレジスタ	MACSEL	32	32
A00B F008h	ETHERC	MIIコントロールレジスタ0	MII_CTRL0	32	32
A00B F00Ch	ETHERC	MIIコントロールレジスタ1	MII_CTRL1	32	32
A00B F010h	ETHERC	MIIコントロールレジスタ2	MII_CTRL2	32	32
A00B F014h	ETHERSW	イーサネットPHY LINKモードレジスタ	ETHPHYLNK	32	32
A00B F100h	ECATC (注1)	EtherCAT PHYオフセットアドレス設定レジスタ	CATOFFADD	32	32
A00B F104h	ECATC (注1)	EtherCAT動作モード設定レジスタ	CATEMMD	32	32
A00B F10Ch	ECATC (注1)	EtherCAT TXCシフト設定レジスタ	CATTXCSFT	32	32
A00B F110h	ETHERSW	イーサネットスイッチマネージメントTAG制御レジスタ	ETHSWMTC	32	32
A00B F114h	ETHERSW	イーサネットスイッチ動作モード設定レジスタ	ETHSWMD	32	32
A00B F118h	ETHERC	イーサネット周辺リセットレジスタ	ETHSFTRST	32	32
A00B F200h	ETHERSW	タイマ出力許可レジスタ	SWTMEN	32	32
A00B F204h	ETHERSW	タイマセコンド開始設定レジスタ	SWTMSTSEC	32	32
A00B F208h	ETHERSW	タイマナノセコンド開始設定レジスタ	SWTMSTNS	32	32
A00B F20Ch	ETHERSW	タイマセコンド周期設定レジスタ	SWTMPSEC	32	32
A00B F210h	ETHERSW	タイマナノセコンド周期設定レジスタ	SWTMPNS	32	32
A00B F214h	ETHERSW	タイマパルス幅設定レジスタ	SWTMWTH	32	32
A00B F22Ch	ETHERSW	タイマセコンド時刻保持レジスタ	SWTMLATSEC	32	32
A00B F230h	ETHERSW	タイマナノセコンド時刻保持レジスタ	SWTMLATNS	32	32
A00C 0008h	ETHERSW	ポートイネーブルレジスタ	PORT_ENA	32	32
A00C 000Ch	ETHERSW	ユニキャストデフォルトマスクレジスタ	UCAST_DEFAULT_MASK	32	32
A00C 0014h	ETHERSW	ブロードキャストデフォルトマスクレジスタ	BCAST_DEFAULT_MASK	32	32
A00C 0018h	ETHERSW	マルチキャストデフォルトマスクレジスタ	MCAST_DEFAULT_MASK	32	32
A00C 001Ch	ETHERSW	入力ラーニングブロッキングレジスタ	INPUT_LEARN_BLOCK	32	32
A00C 0020h	ETHERSW	マネージメントコンフィグレジスタ	MGMT_CONFIG	32	32
A00C 0024h	ETHERSW	モードコンフィグレジスタ	MODE_CONFIG	32	32
A00C 0034h	ETHERSW	VLANタグIDレジスタ	VLAN_TAG_ID	32	32
A00C 0080h	ETHERSW	出力キューマネージメントステータスレジスタ	OQMGR_STATUS	32	32
A00C 0084h	ETHERSW	出力キュー最小メモリレジスタ	QMGR_MINCELLS	32	32
A00C 0088h	ETHERSW	出力キュー最小メモリ統計レジスタ	QMGR_ST_MINCELLS	32	32
A00C 008Ch	ETHERSW	出力キュー輻輳ステータスレジスタ	QMGR_CGS_STAT	32	32
A00C 0090h	ETHERSW	キュー内部インタフェースステータスレジスタ	QMGR_IFACE_STAT	32	32
A00C 0094h	ETHERSW	キューウェイトレジスタ	QMGR_WEIGHTS	32	32
A00C 0100h	ETHERSW	VLANプライオリティレジスタ0	VLAN_PRIORITY0	32	32
A00C 0104h	ETHERSW	VLANプライオリティレジスタ1	VLAN_PRIORITY1	32	32
A00C 0108h	ETHERSW	VLANプライオリティレジスタ2	VLAN_PRIORITY2	32	32
A00C 0140h	ETHERSW	IPプライオリティレジスタ0	IP_PRIORITY0	32	32
A00C 0144h	ETHERSW	IPプライオリティレジスタ1	IP_PRIORITY1	32	32
A00C 0148h	ETHERSW	IPプライオリティレジスタ2	IP_PRIORITY2	32	32
A00C 0180h	ETHERSW	プライオリティコンフィギュレーションレジスタ0	PRIORITY_CFG0	32	32
A00C 0184h	ETHERSW	プライオリティコンフィギュレーションレジスタ1	PRIORITY_CFG1	32	32
A00C 0188h	ETHERSW	プライオリティコンフィギュレーションレジスタ2	PRIORITY_CFG2	32	32
A00C 01C0h	ETHERSW	ハブコントロールレジスタ	HUB_CONTROL	32	32
A00C 01C4h	ETHERSW	ハブステータスレジスタ	HUB_STATS	32	32
A00C 01C8h	ETHERSW	ハブ入力フィルタ用MACアドレスlowレジスタ0	HUB_FLT_MAC0lo	32	32

表5.1 I/Oレジスタアドレス一覧 (78 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00C 01CCh	ETHERSW	ハブ入力フィルタ用MACアドレスhighレジスタ0	HUB_FLT_MAC0hi	32	32
A00C 01D0h	ETHERSW	ハブ入力フィルタ用MACアドレスlowレジスタ1	HUB_FLT_MAC1lo	32	32
A00C 01D4h	ETHERSW	ハブ入力フィルタ用MACアドレスhighレジスタ1	HUB_FLT_MAC1hi	32	32
A00C 01D8h	ETHERSW	ハブ入力フィルタ用MACアドレスlowレジスタ2	HUB_FLT_MAC2lo	32	32
A00C 01DCh	ETHERSW	ハブ入力フィルタ用MACアドレスhighレジスタ2	HUB_FLT_MAC2hi	32	32
A00C 01E0h	ETHERSW	ハブ入力フィルタ用MACアドレスlowレジスタ3	HUB_FLT_MAC3lo	32	32
A00C 01E4h	ETHERSW	ハブ入力フィルタ用MACアドレスhighレジスタ3	HUB_FLT_MAC3hi	32	32
A00C 01E8h	ETHERSW	ハブ入力フィルタ用MACアドレスlowレジスタ4	HUB_FLT_MAC4lo	32	32
A00C 01ECh	ETHERSW	ハブ入力フィルタ用MACアドレスhighレジスタ4	HUB_FLT_MAC4hi	32	32
A00C 01F0h	ETHERSW	ハブ入力フィルタ用MACアドレスlowレジスタ5	HUB_FLT_MAC5lo	32	32
A00C 01F4h	ETHERSW	ハブ入力フィルタ用MACアドレスhighレジスタ5	HUB_FLT_MAC5hi	32	32
A00C 01F8h	ETHERSW	ハブ入力フィルタ用MACアドレスlowレジスタ6	HUB_FLT_MAC6lo	32	32
A00C 01FCh	ETHERSW	ハブ入力フィルタ用MACアドレスhighレジスタ6	HUB_FLT_MAC6hi	32	32
A00C 0300h	ETHERSW	スイッチ統計カウンタ	TOTAL_BYT_FRM	32	32
A00C 0304h	ETHERSW	スイッチ統計カウンタ	TOTAL_BYT_DISC	32	32
A00C 0308h	ETHERSW	スイッチ統計カウンタ	TOTAL_FRM	32	32
A00C 030Ch	ETHERSW	スイッチ統計カウンタ	TOTAL_DISC	32	32
A00C 0310h	ETHERSW	スイッチ統計カウンタ	ODISC0	32	32
A00C 0314h	ETHERSW	スイッチ統計カウンタ	IDISC_BLOCKED0	32	32
A00C 0318h	ETHERSW	スイッチ統計カウンタ	ODISC1	32	32
A00C 031Ch	ETHERSW	スイッチ統計カウンタ	IDISC_BLOCKED1	32	32
A00C 0320h	ETHERSW	スイッチ統計カウンタ	ODISC2	32	32
A00C 0324h	ETHERSW	スイッチ統計カウンタ	IDISC_BLOCKED2	32	32
A00C 0500h	ETHERSW	ラーニングレコードAレジスタ	LRN_REC_A	32	32
A00C 0504h	ETHERSW	ラーニングレコードBレジスタ	LRN_REC_B	32	32
A00C 0508h	ETHERSW	ラーニングデータステータスレジスタ	LRN_STATUS	32	32
A00C 8008h	ETHERSW	コマンドコンフィグレジスタ0	COMMAND_CONFIG0	32	32
A00C 8014h	ETHERSW	最大フレーム長レジスタ0 (shared)	FRM_LENGTH0	32	32
A00C 801Ch	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	RX_SECTION_EMPTY0	32	32
A00C 8020h	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	RX_SECTION_FULL0	32	32
A00C 8024h	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	TX_SECTION_EMPTY0	32	32
A00C 8028h	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	TX_SECTION_FULL0	32	32
A00C 802Ch	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	RX_ALMOST_EMPTY0	32	32
A00C 8030h	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	RX_ALMOST_FULL0	32	32
A00C 8034h	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	TX_ALMOST_EMPTY0	32	32
A00C 8038h	ETHERSW	FIFOバッファスレッショルドレジスタ0（shared）	TX_ALMOST_FULL0	32	32
A00C 8058h	ETHERSW	MACステータスレジスタ0 (shared)	MAC_STATUS0	32	32
A00C 805Ch	ETHERSW	送信IPG長レジスタ0 (shared)	TX_IPG_LENGTH0	32	32
A00C 8100h	ETHERSW	MAC受信統計カウンタ	etherStatsOctets_0	32	32
A00C 8104h	ETHERSW	MAC受信統計カウンタ	OctetsOK_0	32	32
A00C 8108h	ETHERSW	MAC受信統計カウンタ	aAlignmentErrors_0	32	32
A00C 810Ch	ETHERSW	MAC受信統計カウンタ	aPAUSEMACCtrlFrames_0	32	32
A00C 8110h	ETHERSW	MAC受信統計カウンタ	FramesOK_0	32	32
A00C 8114h	ETHERSW	MAC受信統計カウンタ	CRCErrors_0	32	32
A00C 8118h	ETHERSW	MAC受信統計カウンタ	VLANOK_0	32	32
A00C 811Ch	ETHERSW	MAC受信統計カウンタ	ifInErrors_0	32	32
A00C 8120h	ETHERSW	MAC受信統計カウンタ	ifInUcastPkts_0	32	32
A00C 8124h	ETHERSW	MAC受信統計カウンタ	ifInMulticastPkts_0	32	32

表5.1 I/O レジスタアドレス一覧 (79 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00C 8128h	ETHERSW	MAC受信統計カウンタ	ifInBroadcastPkts_0	32	32
A00C 812Ch	ETHERSW	MAC受信統計カウンタ	etherStatsDropEvents_0	32	32
A00C 8130h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts_0	32	32
A00C 8134h	ETHERSW	MAC受信統計カウンタ	etherStatsUndersizePkts_0	32	32
A00C 8138h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts64Octets_0	32	32
A00C 813Ch	ETHERSW	MAC受信統計カウンタ	etherStatsPkts65to127Octets_0	32	32
A00C 8140h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts128to255Octets_0	32	32
A00C 8144h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts256to511Octets_0	32	32
A00C 8148h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts512to1023Octets_0	32	32
A00C 814Ch	ETHERSW	MAC受信統計カウンタ	etherStatsPkts1024to1518Octets_0	32	32
A00C 8150h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts1519toMax_0	32	32
A00C 8154h	ETHERSW	MAC受信統計カウンタ	etherStatsOversizePkts_0	32	32
A00C 8158h	ETHERSW	MAC受信統計カウンタ	etherStatsJabbers_0	32	32
A00C 815Ch	ETHERSW	MAC受信統計カウンタ	etherStatsFragments_0	32	32
A00C 8160h	ETHERSW	MAC受信統計カウンタ	aMACControlFramesReceived_0	32	32
A00C 8164h	ETHERSW	MAC受信統計カウンタ	aFrameTooLong_0	32	32
A00C 816Ch	ETHERSW	MAC受信統計カウンタ	StackedVLANOK_0	32	32
A00C 8180h	ETHERSW	MAC送信統計カウンタ	TXetherStatsOctets_0	32	32
A00C 8184h	ETHERSW	MAC送信統計カウンタ	TxOctetsOK_0	32	32
A00C 818Ch	ETHERSW	MAC送信統計カウンタ	TXaPAUSEMACCtrlFrames_0	32	32
A00C 8190h	ETHERSW	MAC送信統計カウンタ	TxFramesOK_0	32	32
A00C 8194h	ETHERSW	MAC送信統計カウンタ	TxCRCErrors_0	32	32
A00C 8198h	ETHERSW	MAC送信統計カウンタ	TxVLANOK_0	32	32
A00C 819Ch	ETHERSW	MAC送信統計カウンタ	ifOutErrors_0	32	32
A00C 81A0h	ETHERSW	MAC送信統計カウンタ	ifUcastPkts_0	32	32
A00C 81A4h	ETHERSW	MAC送信統計カウンタ	ifMulticastPkts_0	32	32
A00C 81A8h	ETHERSW	MAC送信統計カウンタ	ifBroadcastPkts_0	32	32
A00C 81ACh	ETHERSW	MAC送信統計カウンタ	TXetherStatsDropEvents_0	32	32
A00C 81B0h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts_0	32	32
A00C 81B4h	ETHERSW	MAC送信統計カウンタ	TXetherStatsUndersizePkts_0	32	32
A00C 81B8h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts64Octets_0	32	32
A00C 81BCh	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts65to127Octets_0	32	32
A00C 81C0h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts128to255Octets_0	32	32
A00C 81C4h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts256to511Octets_0	32	32
A00C 81C8h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts512to1023Octets_0	32	32
A00C 81CCh	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts1024to1518Octets_0	32	32
A00C 81D0h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts1519toMax_0	32	32
A00C 81D4h	ETHERSW	MAC送信統計カウンタ	TXetherStatsOversizePkts_0	32	32

表5.1 I/O レジスタアドレス一覧 (80 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00C 81D8h	ETHERSW	MAC送信統計カウンタ	TXetherStatsJabbers_0	32	32
A00C 81DCh	ETHERSW	MAC送信統計カウンタ	TXetherStatsFragments_0	32	32
A00C 81E0h	ETHERSW	MAC送信統計カウンタ	aMACControlFrames_0	32	32
A00C 81E4h	ETHERSW	MAC送信統計カウンタ	TXaFrameTooLong_0	32	32
A00C 81ECh	ETHERSW	MAC送信統計カウンタ	aMultipleCollisions_0	32	32
A00C 81F0h	ETHERSW	MAC送信統計カウンタ	aSingleCollisions_0	32	32
A00C 81F4h	ETHERSW	MAC送信統計カウンタ	aLateCollisions_0	32	32
A00C 81F8h	ETHERSW	MAC送信統計カウンタ	aExcessCollisions_0	32	32
A00C A008h	ETHERSW	コマンドコンフィグレジスタ1	COMMAND_CONFIG1	32	32
A00C A014h	ETHERSW	最大フレーム長レジスタ1 (shared)	FRM_LENGTH1	32	32
A00C A01Ch	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	RX_SECTION_EMPTY1	32	32
A00C A020h	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	RX_SECTION_FULL1	32	32
A00C A024h	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	TX_SECTION_EMPTY1	32	32
A00C A028h	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	TX_SECTION_FULL1	32	32
A00C A02Ch	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	RX_ALMOST_EMPTY1	32	32
A00C A030h	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	RX_ALMOST_FULL1	32	32
A00C A034h	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	TX_ALMOST_EMPTY1	32	32
A00C A038h	ETHERSW	FIFOバッファスレッショルドレジスタ1（shared）	TX_ALMOST_FULL1	32	32
A00C A058h	ETHERSW	MACステータスレジスタ1 (shared)	MAC_STATUS1	32	32
A00C A05Ch	ETHERSW	送信IPG長レジスタ1 (shared)	TX_IPG_LENGTH1	32	32
A00C A100h	ETHERSW	MAC受信統計カウンタ	etherStatsOctets_1	32	32
A00C A104h	ETHERSW	MAC受信統計カウンタ	OctetsOK_1	32	32
A00C A108h	ETHERSW	MAC受信統計カウンタ	aAlignmentErrors_1	32	32
A00C A10Ch	ETHERSW	MAC受信統計カウンタ	aPAUSEMACCtrlFrames_1	32	32
A00C A110h	ETHERSW	MAC受信統計カウンタ	FramesOK_1	32	32
A00C A114h	ETHERSW	MAC受信統計カウンタ	CRCErrors_1	32	32
A00C A118h	ETHERSW	MAC受信統計カウンタ	VLANOK_1	32	32
A00C A11Ch	ETHERSW	MAC受信統計カウンタ	ifInErrors_1	32	32
A00C A120h	ETHERSW	MAC受信統計カウンタ	ifInUcastPkts_1	32	32
A00C A124h	ETHERSW	MAC受信統計カウンタ	ifInMulticastPkts_1	32	32
A00C A128h	ETHERSW	MAC受信統計カウンタ	ifInBroadcastPkts_1	32	32
A00C A12Ch	ETHERSW	MAC受信統計カウンタ	etherStatsDropEvents_1	32	32
A00C A130h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts_1	32	32
A00C A134h	ETHERSW	MAC受信統計カウンタ	etherStatsUndersizePkts_1	32	32
A00C A138h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts64Octets_1	32	32
A00C A13Ch	ETHERSW	MAC受信統計カウンタ	etherStatsPkts65to127Octets_1	32	32
A00C A140h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts128to255Octets_1	32	32
A00C A144h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts256to511Octets_1	32	32
A00C A148h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts512to1023Octets_1	32	32
A00C A14Ch	ETHERSW	MAC受信統計カウンタ	etherStatsPkts1024to1518Octets_1	32	32
A00C A150h	ETHERSW	MAC受信統計カウンタ	etherStatsPkts1519toMax_1	32	32
A00C A154h	ETHERSW	MAC受信統計カウンタ	etherStatsOversizePkts_1	32	32
A00C A158h	ETHERSW	MAC受信統計カウンタ	etherStatsJabbers_1	32	32
A00C A15Ch	ETHERSW	MAC受信統計カウンタ	etherStatsFragments_1	32	32

表5.1 I/O レジスタアドレス一覧 (81 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00C A160h	ETHERSW	MAC受信統計カウンタ	aMACControlFramesReceived_1	32	32
A00C A164h	ETHERSW	MAC受信統計カウンタ	aFrameTooLong_1	32	32
A00C A16Ch	ETHERSW	MAC受信統計カウンタ	StackedVLANOK_1	32	32
A00C A180h	ETHERSW	MAC送信統計カウンタ	TXetherStatsOctets_1	32	32
A00C A184h	ETHERSW	MAC送信統計カウンタ	TxOctetsOK_1	32	32
A00C A18Ch	ETHERSW	MAC送信統計カウンタ	TXaPAUSEMACCtrlFrames_1	32	32
A00C A190h	ETHERSW	MAC送信統計カウンタ	TxFramesOK_1	32	32
A00C A194h	ETHERSW	MAC送信統計カウンタ	TxCRCErrors_1	32	32
A00C A198h	ETHERSW	MAC送信統計カウンタ	TxVLANOK_1	32	32
A00C A19Ch	ETHERSW	MAC送信統計カウンタ	ifOutErrors_1	32	32
A00C A1A0h	ETHERSW	MAC送信統計カウンタ	ifUcastPkts_1	32	32
A00C A1A4h	ETHERSW	MAC送信統計カウンタ	ifMulticastPkts_1	32	32
A00C A1A8h	ETHERSW	MAC送信統計カウンタ	ifBroadcastPkts_1	32	32
A00C A1ACh	ETHERSW	MAC送信統計カウンタ	TXetherStatsDropEvents_1	32	32
A00C A1B0h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts_1	32	32
A00C A1B4h	ETHERSW	MAC送信統計カウンタ	TXetherStatsUndersizePkts_1	32	32
A00C A1B8h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts64Octets_1	32	32
A00C A1BCh	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts65to127Octets_1	32	32
A00C A1C0h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts128to255Octets_1	32	32
A00C A1C4h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts256to511Octets_1	32	32
A00C A1C8h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts512to1023Octets_1	32	32
A00C A1CCh	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts1024to1518Octets_1	32	32
A00C A1D0h	ETHERSW	MAC送信統計カウンタ	TXetherStatsPkts1519toMax_1	32	32
A00C A1D4h	ETHERSW	MAC送信統計カウンタ	TXetherStatsOversizePkts_1	32	32
A00C A1D8h	ETHERSW	MAC送信統計カウンタ	TXetherStatsJabbers_1	32	32
A00C A1DCh	ETHERSW	MAC送信統計カウンタ	TXetherStatsFragments_1	32	32
A00C A1E0h	ETHERSW	MAC送信統計カウンタ	aMACControlFrames_1	32	32
A00C A1E4h	ETHERSW	MAC送信統計カウンタ	TXaFrameTooLong_1	32	32
A00C A1ECh	ETHERSW	MAC送信統計カウンタ	aMultipleCollisions_1	32	32
A00C A1F0h	ETHERSW	MAC送信統計カウンタ	aSingleCollisions_1	32	32
A00C A1F4h	ETHERSW	MAC送信統計カウンタ	aLateCollisions_1	32	32
A00C A1F8h	ETHERSW	MAC送信統計カウンタ	aExcessCollisions_1	32	32
A00C C004h	ETHERSW	タイマモジュールコンフィグレジスタ	TSM_CONFIG	32	32
A00C C008h	ETHERSW	タイマ割り込みステータス/アクノリッジレジスタ	TSM_IRQ_STAT_ACK	32	32
A00C C020h	ETHERSW	ポートタイムスタンプコントロール/ステータスレジスタ0	PORT0_CTRL	32	32
A00C C024h	ETHERSW	ポートタイムスタンプレジスタ0	PORT0_TIME	32	32
A00C C028h	ETHERSW	ポートタイムスタンプコントロール/ステータスレジスタ1	PORT1_CTRL	32	32
A00C C02Ch	ETHERSW	ポートタイムスタンプレジスタ1	PORT1_TIME	32	32
A00C C120h	ETHERSW	タイマコントロールレジスタ	ATIME_CTRL	32	32
A00C C124h	ETHERSW	タイマナノセコンドレジスタ	ATIME	32	32
A00C C128h	ETHERSW	タイマオフセット補正レジスタ	ATIME_OFFSET	32	32

表5.1 I/O レジスタアドレス一覧 (82 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00C C12Ch	ETHERSW	タイマ周期イベント生成レジスタ	ATIME_EVT_PERIOD	32	32
A00C C130h	ETHERSW	タイマドリフト補正レジスタ	ATIME_CORR	32	32
A00C C134h	ETHERSW	タイマインクリメントレジスタ	ATIME_INC	32	32
A00C C138h	ETHERSW	タイマセコンドレジスタ	ATIME_SEC	32	32
A00C C13Ch	ETHERSW	タイマオフセット補正カウントレジスタ	ATIME_OFFS_CORR	32	32
A00C E000h	ETHERSW	DLRコントロールレジスタ	DLR_CONTROL	32	32
A00C E004h	ETHERSW	DLRステータスレジスタ	DLR_STATUS	32	32
A00C E008h	ETHERSW	DLRイーサタイプレジスタ	DLR_ETH_TYP	32	32
A00C E00Ch	ETHERSW	DLR割り込みコントロールレジスタ	DLR_IRQ_CTRL	32	32
A00C E010h	ETHERSW	DLR割り込みステータス/アクノリッジレジスタ	DLR_IRQ_STAT_ACK	32	32
A00C E014h	ETHERSW	DLRローカルMACアドレスlowレジスタ	LOC_MAClo	32	32
A00C E018h	ETHERSW	DLRローカルMACアドレスhighレジスタ	LOC_MAChi	32	32
A00C E020h	ETHERSW	DLRスーパバイザMACアドレスlowレジスタ	SUPR_MAClo	32	32
A00C E024h	ETHERSW	DLRスーパバイザMACアドレスhighレジスタ	SUPR_MAChi	32	32
A00C E028h	ETHERSW	DLRリングステータス/VLANレジスタ	STATE_VLAN	32	32
A00C E02Ch	ETHERSW	DLRビーコンタイムアウトタイマレジスタ	BEC_TMOUT	32	32
A00C E030h	ETHERSW	DLRビーコンインターバルレジスタ	BEC_INTRVL	32	32
A00C E034h	ETHERSW	DLRスーパバイザIPアドレスレジスタ	SUPR_IPADR	32	32
A00C E038h	ETHERSW	DLRサブタイプ/プロトコルバージョンレジスタ	ETH_STYP_VER	32	32
A00C E03Ch	ETHERSW	DLRビーコン不正タイムアウトタイマレジスタ	INV_TMOUT	32	32
A00C E040h	ETHERSW	DLRシーケンスIDレジスタ	SEQ_ID	32	32
A00C E060h	ETHERSW	DLR MAC統計カウンタ	RX_STAT0	32	32
A00C E064h	ETHERSW	DLR MAC統計カウンタ	RX_ERR_STAT0	32	32
A00C E068h	ETHERSW	DLR MAC統計カウンタ	TX_STAT0	32	32
A00C E070h	ETHERSW	DLR MAC統計カウンタ	RX_STAT1	32	32
A00C E074h	ETHERSW	DLR MAC統計カウンタ	RX_ERR_STAT1	32	32
A00C E078h	ETHERSW	DLR MAC統計カウンタ	TX_STAT1	32	32
A00D 0000h	ECATC (注1)	タイプレジスタ	TYPE	8	8
A00D 0001h	ECATC (注1)	リビジョンレジスタ	REVISION	8	8
A00D 0002h	ECATC (注1)	ビルドレジスタ	BUILD	16	16
A00D 0004h	ECATC (注1)	FMMUサポートレジスタ	FMMU_NUM	8	8
A00D 0005h	ECATC (注1)	SyncManagerサポートレジスタ	SYNC_MANAGER	8	8
A00D 0006h	ECATC (注1)	RAMサイズレジスタ	RAM_SIZE	8	8
A00D 0007h	ECATC (注1)	ポートディスクリプタレジスタ	PORT_DESC	8	8
A00D 0008h	ECATC (注1)	ESCフィーチャーサポートレジスタ	FEATURE	16	16
A00D 0010h	ECATC (注1)	コンフィギュアドステーションアドレスレジスタ	STATION_ADR	16	16
A00D 0012h	ECATC (注1)	コンフィギュアドステーションエイリアスレジスタ	STATION_ALIAS	16	16
A00D 0020h	ECATC (注1)	ライトレジスタイネーブルレジスタ	WR_REG_ENABLE	8	8
A00D 0021h	ECATC (注1)	ライトレジスタプロテクションレジスタ	WR_REG_PROTECT	8	8
A00D 0030h	ECATC (注1)	ESCライトイネーブルレジスタ	ESC_WR_ENABLE	8	8

表5.1 I/O レジスタアドレス一覧 (83 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00D 0031h	ECATC（注1）	ESCライトプロテクションレジスタ	ESC_WR_PROTECT	8	8
A00D 0040h	ECATC（注1）	ESCリセットECATレジスタ	ESC_RESET_ECAT	8	8
A00D 0041h	ECATC（注1）	ESCリセットPDIレジスタ	ESC_RESET_PDI	8	8
A00D 0100h	ECATC（注1）	ESC DLコントロールレジスタ	ESC_DL_CONTROL	32	32
A00D 0108h	ECATC（注1）	フィジカルリード／ライトオフセットレジスタ	PHYSICAL_RW_OFFSET	16	16
A00D 0110h	ECATC（注1）	ESC DLステータスレジスタ	ESC_DL_STATUS	16	16
A00D 0120h	ECATC（注1）	ALコントロールレジスタ	AL_CONTROL	16	16
A00D 0130h	ECATC（注1）	ALステータスレジスタ	AL_STATUS	16	16
A00D 0134h	ECATC（注1）	ALステータスコードレジスタ	AL_STATUS_CODE	16	16
A00D 0138h	ECATC（注1）	RUN LEDオーバライドレジスタ	RUN_LED_OVERRIDE	8	8
A00D 0139h	ECATC（注1）	ERR LEDオーバライドレジスタ	ERR_LED_OVERRIDE	8	8
A00D 0140h	ECATC（注1）	PDIコントロールレジスタ	PDI_CONTROL	8	8
A00D 0141h	ECATC（注1）	ESCコンフィギュレーションレジスタ	ESC_CONFIG	8	8
A00D 0150h	ECATC（注1）	PDIコンフィギュレーションレジスタ	PDI_CONFIG	8	8
A00D 0151h	ECATC（注1）	SYNC/LATCH PDIコンフィギュレーションレジスタ	SYNC_LATCH_CONFIG	8	8
A00D 0152h	ECATC（注1）	拡張PDIコンフィギュレーションレジスタ	EXT_PDI_CONFIG	16	16
A00D 0200h	ECATC（注1）	ECATイベントマスクレジスタ	ECAT_EVENT_MASK	16	16
A00D 0204h	ECATC（注1）	ALイベントマスクレジスタ	AL_EVENT_MASK	32	32
A00D 0210h	ECATC（注1）	ECATイベントリクエストレジスタ	ECAT_EVENT_REQ	16	16
A00D 0220h	ECATC（注1）	ALイベントリクエストレジスタ	AL_EVENT_REQ	32	32
A00D 0300h + 0002h*n	ECATC（注1）	Rxエラーカウンタnレジスタ	RX_ERR_COUNTn	16	16
A00D 0308h + 0001h*n	ECATC（注1）	フォワードRxエラーカウンタnレジスタ	FWD_RX_ERR_COUNTn	8	8
A00D 030Ch	ECATC（注1）	ECATプロセッシングユニットエラーカウンタレジスタ	ECAT_PROC_ERR_COUNT	8	8
A00D 030Dh	ECATC（注1）	PDIエラーカウンタレジスタ	PDI_ERR_COUNT	8	8
A00D 0310h + 0001h*n	ECATC（注1）	ロストリンクカウンタnレジスタ	LOST_LINK_COUNTn	8	8
A00D 0400h	ECATC（注1）	ウォッチドッグディバイダレジスタ	WD_DIVIDE	16	16
A00D 0410h	ECATC（注1）	ウォッチドッグタイムPDIレジスタ	WDT_PDI	16	16
A00D 0420h	ECATC（注1）	ウォッチドッグタイムプロセスデータレジスタ	WDT_DATA	16	16
A00D 0440h	ECATC（注1）	ウォッチドッグステータスプロセスデータレジスタ	WDS_DATA	16	16
A00D 0442h	ECATC（注1）	ウォッチドッグカウンタプロセスデータレジスタ	WDC_DATA	8	8

表5.1 I/O レジスタアドレス一覧 (84 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00D 0443h	ECATC（注1）	ウォッチドッグカウンタPDIレジスタ	WDC_PDI	8	8
A00D 0500h	ECATC（注1）	EEPROMコンフィギュレーションレジスタ	EEP_CONF	8	8
A00D 0501h	ECATC（注1）	EEPROM PDIアクセスステートレジスタ	EEP_STATE	8	8
A00D 0502h	ECATC（注1）	EEPROMコントロール／ステータスレジスタ	EEP_CONT_STAT	16	16
A00D 0504h	ECATC（注1）	EEPROMアドレスレジスタ	EEP_ADR	32	32
A00D 0508h	ECATC（注1）	EEPROMデータレジスタ	EEP_DATA	32	32
A00D 0510h	ECATC（注1）	MIIマネージメントコントロール／ステータスレジスタ	MII_CONT_STAT	16	16
A00D 0512h	ECATC（注1）	PHYアドレスレジスタ	PHY_ADR	8	8
A00D 0513h	ECATC（注1）	PHYレジスタアドレスレジスタ	PHY_REG_ADR	8	8
A00D 0514h	ECATC（注1）	PHYデータレジスタ	PHY_DATA	16	16
A00D 0516h	ECATC（注1）	MIIマネージメントECATアクセスステートレジスタ	MII_ECAT_ACS_STAT	8	8
A00D 0517h	ECATC（注1）	MIIマネージメントPDIアクセスステートレジスタ	MII_PDI_ACS_STAT	8	8
A00D 0600h + 0010h*m	ECATC（注1）	FMMUロジカルスタートアドレスmレジスタ	FMMUm_L_START_ADR	32	32
A00D 0604h + 0010h*m	ECATC（注1）	FMMU長mレジスタ	FMMUm_LEN	16	16
A00D 0606h + 0010h*m	ECATC（注1）	FMMUロジカルスタートビットmレジスタ	FMMUm_L_START_BIT	8	8
A00D 0607h + 0010h*m	ECATC（注1）	FMMUロジカルストップビットmレジスタ	FMMUm_L_STOP_BIT	8	8
A00D 0608h + 0010h*m	ECATC（注1）	FMMUフィジカルスタートアドレスmレジスタ	FMMUm_P_START_ADR	16	16
A00D 060Ah + 0010h*m	ECATC（注1）	FMMUフィジカルスタートビットmレジスタ	FMMUm_P_START_BIT	8	8
A00D 060Bh + 0010h*m	ECATC（注1）	FMMUタイプmレジスタ	FMMUm_TYPE	8	8
A00D 060Ch + 0010h*m	ECATC（注1）	FMMUアクティベイトmレジスタ	FMMUm_ACT	8	8
A00D 0800h + 0008h*m	ECATC（注1）	SyncManagerフィジカルスタートアドレスmレジスタ	SMm_P_START_ADR	16	16
A00D 0802h + 0008h*m	ECATC（注1）	SyncManager長mレジスタ	SMm_LEN	16	16
A00D 0804h + 0008h*m	ECATC（注1）	SyncManagerコントロールmレジスタ	SMm_CONTROL	8	8
A00D 0805h + 0008h*m	ECATC（注1）	SyncManagerステータスmレジスタ	SMm_STATUS	8	8
A00D 0806h + 0008h*m	ECATC（注1）	SyncManagerアクティベイトmレジスタ	SMm_ACT	8	8
A00D 0807h + 0008h*m	ECATC（注1）	SyncManager PDIコントロールmレジスタ	SMm_PDI_CONT	8	8
A00D 0900h	ECATC（注1）	レシーブタイムポート0レジスタ	DC_RCV_TIME_PORT0	32	32
A00D 0904h	ECATC（注1）	レシーブタイムポート1レジスタ	DC_RCV_TIME_PORT1	32	32
A00D 0910h	ECATC（注1）	システムタイムレジスタ	DC_SYS_TIME	64	32
A00D 0918h	ECATC（注1）	レシーブタイムECATプロセッシングユニットレジスタ	DC_RCV_TIME_UNIT	64	32

表5.1 I/O レジスタアドレス一覧 (85 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00D 0920h	ECATC (注1)	システムタイムオフセットレジスタ	DC_SYS_TIME_OFFSET	64	32
A00D 0928h	ECATC (注1)	システムタイムディレイレジスタ	DC_SYS_TIME_DELAY	32	32
A00D 092Ch	ECATC (注1)	システムタイムディフレジスタ	DC_SYS_TIME_DIFF	32	32
A00D 0930h	ECATC (注1)	スピードカウンタスタートレジスタ	DC_SPEED_COUNT_START	16	16
A00D 0932h	ECATC (注1)	スピードカウンタディフレジスタ	DC_SPEED_COUNT_DIFF	16	16
A00D 0934h	ECATC (注1)	システムタイムディフフィルタ深さレジスタ	DC_SYS_TIME_DIFF_FIL_DEPTH	8	8
A00D 0935h	ECATC (注1)	スピードカウンタフィルタ深さレジスタ	DC_SPEED_COUNT_FIL_DEPTH	8	8
A00D 0980h	ECATC (注1)	サイクリックユニットコントロールレジスタ	DC_CYC_CONT	8	8
A00D 0981h	ECATC (注1)	アクティベーションレジスタ	DC_ACT	8	8
A00D 0982h	ECATC (注1)	SYNC信号パルス長レジスタ	DC_PULSE_LEN	16	16
A00D 0984h	ECATC (注1)	アクティベーションステータスレジスタ	DC_ACT_STAT	8	8
A00D 098Eh	ECATC (注1)	SYNC0ステータスレジスタ	DC_SYNC0_STAT	8	8
A00D 098Fh	ECATC (注1)	SYNC1ステータスレジスタ	DC_SYNC1_STAT	8	8
A00D 0990h	ECATC (注1)	スタートタイムサイクリックオペレーション/ ネクストSYNC0パルスレジスタ	DC_CYC_START_TIME	64	32
A00D 0998h	ECATC (注1)	ネクストSYNC1パルスレジスタ	DC_NEXT_SYNC1_PULSE	64	32
A00D 09A0h	ECATC (注1)	SYNC0サイクルタイムレジスタ	DC_SYNC0_CYC_TIME	32	32
A00D 09A4h	ECATC (注1)	SYNC1サイクルタイムレジスタ	DC_SYNC1_CYC_TIME	32	32
A00D 09A8h	ECATC (注1)	ラッチ0コントロールレジスタ	DC_LATCH0_CONT	8	8
A00D 09A9h	ECATC (注1)	ラッチ1コントロールレジスタ	DC_LATCH1_CONT	8	8
A00D 09AEh	ECATC (注1)	ラッチ0ステータスレジスタ	DC_LATCH0_STAT	8	8
A00D 09AFh	ECATC (注1)	ラッチ1ステータスレジスタ	DC_LATCH1_STAT	8	8
A00D 09B0h	ECATC (注1)	ラッチ0タイムポジティブエッジレジスタ	DC_LATCH0_TIME_POS	64	32
A00D 09B8h	ECATC (注1)	ラッチ0タイムネガティブエッジレジスタ	DC_LATCH0_TIME_NEG	64	32
A00D 09C0h	ECATC (注1)	ラッチ1タイムポジティブエッジレジスタ	DC_LATCH1_TIME_POS	64	32
A00D 09C8h	ECATC (注1)	ラッチ1タイムネガティブエッジレジスタ	DC_LATCH1_TIME_NEG	64	32
A00D 09F0h	ECATC (注1)	EtherCATバッファチェンジイベントタイムレジスタ	DC_ECAT_CNG_EV_TIME	32	32
A00D 09F8h	ECATC (注1)	PDIバッファスタートイベントタイムレジスタ	DC_PDI_START_EV_TIME	32	32
A00D 09FCh	ECATC (注1)	PDIバッファチェンジイベントタイムレジスタ	DC_PDI_CNG_EV_TIME	32	32
A00D 0E00h	ECATC (注1)	プロダクトIDレジスタ	PRODUCT_ID	64	32
A00D 0E08h	ECATC (注1)	ベンダIDレジスタ	VENDOR_ID	64	32

表5.1 I/O レジスタアドレス一覧 (86 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00D 0F80h – A00D 0FFFh	ECATC (注1)	ユーザRAM	USER_RAM	1024	8, 16, 32
A00D 1000h – A00D 2FFFh	ECATC (注1)	プロセスデータ RAM	DATA_RAM	65536	8, 16, 32
A00E 0000h	ETHERC	ハードウェアファンクションタイプレジスタ	C0TYPE	32	32
A00E 0008h	ETHERC	ハードウェアファンクション状態レジスタ	C0STAT	32	32
A00E F000h	ETHERC	ハードウェアファンクションシステムコールレジスタ	SYSC	32	32
A00E F004h	ETHERC	ハードウェアファンクション引数レジスタ4	R4	32	32
A00E F008h	ETHERC	ハードウェアファンクション引数レジスタ5	R5	32	32
A00E F00Ch	ETHERC	ハードウェアファンクション引数レジスタ6	R6	32	32
A00E F010h	ETHERC	ハードウェアファンクション引数レジスタ7	R7	32	32
A00E F014h	ETHERC	ハードウェアファンクションコマンドレジスタ	CMD	32	32
A00E F020h	ETHERC	ハードウェアファンクション戻り値レジスタ0	R0	32	32
A00E F024h	ETHERC	ハードウェアファンクション戻り値レジスタ1	R1	32	32
A00F 000Ch	ETHERC	TX ID レジスタ	GMAC_TXID	32	32
A00F 0010h	ETHERC	TX RESULT レジスタ	GMAC_TXRESULT	32	32
A00F 0020h	ETHERC	MODE レジスタ	GMAC_MODE	32	32
A00F 0024h	ETHERC	RX MODE レジスタ	GMAC_RXMODE	32	32
A00F 0028h	ETHERC	TX MODE レジスタ	GMAC_TXMODE	32	32
A00F 0030h	ETHERC	RESET レジスタ	GMAC_RESET	32	32
A00F 0080h	ETHERC	PAUSEパケットデータ レジスタ1	GMAC_PAUSE1	32	32
A00F 0084h	ETHERC	PAUSEパケットデータ レジスタ2	GMAC_PAUSE2	32	32
A00F 0088h	ETHERC	PAUSEパケットデータ レジスタ3	GMAC_PAUSE3	32	32
A00F 008Ch	ETHERC	PAUSEパケットデータ レジスタ4	GMAC_PAUSE4	32	32
A00F 0090h	ETHERC	PAUSEパケットデータ レジスタ5	GMAC_PAUSE5	32	32
A00F 0098h	ETHERC	RX FLOW CONTROL レジスタ	GMAC_FLWCTL	32	32
A00F 009Ch	ETHERC	PAUSEパケットレジスタ	GMAC_PAUSPKT	32	32
A00F 00A0h	ETHERC	MIIM レジスタ	GMAC_MIIM	32	32
A00F 0100h	ETHERC	MACアドレスレジスタ0A	GMAC_ADR0A	32	32
A00F 0104h	ETHERC	MACアドレスレジスタ0B	GMAC_ADR0B	32	32
A00F 0108h	ETHERC	MACアドレスレジスタ1A	GMAC_ADR1A	32	32
A00F 010ch	ETHERC	MACアドレスレジスタ1B	GMAC_ADR1B	32	32
A00F 0110h	ETHERC	MACアドレスレジスタ2A	GMAC_ADR2A	32	32
A00F 0114h	ETHERC	MACアドレスレジスタ2B	GMAC_ADR2B	32	32
A00F 0118h	ETHERC	MACアドレスレジスタ3A	GMAC_ADR3A	32	32
A00F 011ch	ETHERC	MACアドレスレジスタ3B	GMAC_ADR3B	32	32
A00F 0120h	ETHERC	MACアドレスレジスタ4A	GMAC_ADR4A	32	32
A00F 0124h	ETHERC	MACアドレスレジスタ4B	GMAC_ADR4B	32	32
A00F 0128h	ETHERC	MACアドレスレジスタ5A	GMAC_ADR5A	32	32
A00F 012ch	ETHERC	MACアドレスレジスタ5B	GMAC_ADR5B	32	32
A00F 0130h	ETHERC	MACアドレスレジスタ6A	GMAC_ADR6A	32	32
A00F 0134h	ETHERC	MACアドレスレジスタ6B	GMAC_ADR6B	32	32
A00F 0138h	ETHERC	MACアドレスレジスタ7A	GMAC_ADR7A	32	32
A00F 013Ch	ETHERC	MACアドレスレジスタ7B	GMAC_ADR7B	32	32
A00F 0140h	ETHERC	MACアドレスレジスタ8A	GMAC_ADR8A	32	32
A00F 0144h	ETHERC	MACアドレスレジスタ8B	GMAC_ADR8B	32	32
A00F 0148h	ETHERC	MACアドレスレジスタ9A	GMAC_ADR9A	32	32
A00F 014Ch	ETHERC	MACアドレスレジスタ9B	GMAC_ADR9B	32	32
A00F 0150h	ETHERC	MACアドレスレジスタ10A	GMAC_ADR10A	32	32

表5.1 I/O レジスタアドレス一覧 (87 / 87)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00F 0154h	ETHERC	MACアドレスレジスタ10B	GMAC_ADR10B	32	32
A00F 0158h	ETHERC	MACアドレスレジスタ11A	GMAC_ADR11A	32	32
A00F 015ch	ETHERC	MACアドレスレジスタ11B	GMAC_ADR11B	32	32
A00F 0160h	ETHERC	MACアドレスレジスタ12A	GMAC_ADR12A	32	32
A00F 0164h	ETHERC	MACアドレスレジスタ12B	GMAC_ADR12B	32	32
A00F 0168h	ETHERC	MACアドレスレジスタ13A	GMAC_ADR13A	32	32
A00F 016Ch	ETHERC	MACアドレスレジスタ13B	GMAC_ADR13B	32	32
A00F 0170h	ETHERC	MACアドレスレジスタ14A	GMAC_ADR14A	32	32
A00F 0174h	ETHERC	MACアドレスレジスタ14B	GMAC_ADR14B	32	32
A00F 0178h	ETHERC	MACアドレスレジスタ15A	GMAC_ADR15A	32	32
A00F 017Ch	ETHERC	MACアドレスレジスタ15B	GMAC_ADR15B	32	32
A00F 0200h	ETHERC	RX FIFOステータスレジスタ	GMAC_RXFIFO	32	32
A00F 0204h	ETHERC	TX FIFOステータスレジスタ	GMAC_TXFIFO	32	32
A00F 0208h	ETHERC	TCPIPACCレジスタ	GMAC_ACC	32	32
A00F 0220h	ETHERC	RX MAC ENABLEレジスタ	GMAC_RXMAC_ENA	32	32
A00F 0224h	ETHERC	LPIモード制御レジスタ	GMAC_LPI_MODE	32	32
A00F 0228h	ETHERC	LPI CLIENTタイミング制御レジスタ	GMAC_LPI_TIMING	32	32
A00F 1100h	ETHERC	受信バッファ情報レジスタ	BUFID	32	32
A00F 201Ch	ETHERC	ETHER SWITCH 10Mbps/半二重モード設定レジスタ	ETHSW10HDEN	32	32
A00F 2100h	ETHERC	システムプロテクトコマンドレジスタ	SPCMD	32	32
A00F 2110h	ETHERC	イーサネットMACリセットレジスタ	EMACRST	32	32
A00F 3000h	ECCRAM	プロテクトコマンドレジスタ	RAMPCMD	32	32
A00F 3100h	ECCRAM	ECCデコーダコンフィグレーションレジスタ	RAMEDC	32	32
A00F 3104h	ECCRAM	ECCエンコーダコンフィグレーションレジスタ	RAMEEC	32	32
A00F 3108h	ECCRAM	2ビットECCエラーステータスレジスタ	RAMDBEST	32	32
A00F 310Ch	ECCRAM	2ビットECCエラーアドレスレジスタ	RAMDBEAD	32	32
A00F 3110h	ECCRAM	2ビットECCエラーカウンタレジスタ	RAMDBECNT	32	32

注1. オプション

6.　リセット

6.1　概要

リセットには、RES# 端子リセット、エラーコントロールモジュール（ECM）リセット、ソフトウェアリセット、ソフトウェアリセット 2 があります。

表 6.1 にリセットの名称と要因を示します。

表6.1　リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
ECMリセット	エラーコントロールモジュール（ECM）からのリセット要求
ソフトウェアリセット	SWRR1レジスタ設定
ソフトウェアリセット2 （R-IN Engine搭載製品）	SWRR2レジスタ設定

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。デバッグ時のリセット制御の詳細については**「10.3.5　リセット構成とエミュレータとの接続方法」**を参照してください。

表6.2　リセット種別ごとの初期化対象（○：初期化対象、—：変化しない）

リセット対象	リセット要因			
	RES#端子リセット	ECMリセット	ソフトウェア リセット	ソフトウェア リセット2（注5）
RES#端子リセットフラグ （RSTSR0.TRF）	—	○	○	—
ECMリセット検出フラグ （RSTSR0.ECMRF）	○	—	○	—
ソフトウェアリセット検出フラグ （RSTSR0.SWRF1）	○	○	—	—
端子の状態	○	○	○	—
動作モード	○（注1）	—（注2）	—（注2）	—
Cortex-M3（R-IN Engine搭載製品）	○	○	○	○
WDTA（Cortex-M3用） （R-IN Engine搭載製品）	○	○	○	○
ECM ECMマスタエラーソースステータスレジスタ0～2 ECMチェッカエラーソースステータスレジスタ0～2 ECMエラー出力クリア無効設定レジスタ	○	—	—	—
上記以外のレジスタ、 および内部状態	○	○	○	—
RSTOUT#端子出力	○（Low）（注3）	○（Low）（注3）	○（Low）（注3）	—
ERROROUT#端子出力	○（Low）	（注4）	—	—

注1.　動作モードは端子リセット（RES#端子、TRST#端子がともにLow）解除時のモード設定端子（MD2, MD1, MD0）の入力レベルによって選択されます。動作モードの詳細については「3.2　動作モードの種類と選択」を参照してください。

注2.　動作モードは初期化されずに、前回のRES#端子リセット解除に選択された動作モードで、ブート起動します。詳細については「3.　動作モード」を参照してください。

注3.　Lowを出力する期間は「6.3.6　リセット出力端子（RSTOUT#）」を参照してください。

注4.　ECMの設定により異なります。詳細については「42.　エラーコントロールモジュール（ECM）」を参照してください。

注5.　ソフトウェアリセット2は、初期状態がリセット状態です。詳細については、「6.2.3　ソフトウェアリセットレジスタ2（SWRR2）（R-IN Engine搭載製品）」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3　　リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子。デバッグ部およびTAP（Test Access Port）以外のLSI全体をリセットします。RZ/T1にはパワーオンリセット回路を内蔵していないため、リセット回路を本LSIの外部に実装する必要があります。外付けリセット回路の構成例については、「10.3.5　リセット構成とエミュレータとの接続方法」を参照してください。
TRST#	入力	テストリセット端子。TAPをリセットします。エミュレータを使用可能なボードを設計する場合は、電源投入時にRES#端子と重複する期間TRST#端子をLowにしてください。またTRST#端子単独でも制御可能となるようにしてください。未使用時は、Lowに固定するか、RES#端子と同じ信号と接続してください。詳細については「10.3.5　リセット構成とエミュレータとの接続方法」を参照してください。
RSTOUT#	出力	リセット出力端子。リセットが発生するとロウレベルを出力します。詳細は「6.3.6　リセット出力端子（RSTOUT#）」を参照してください。外部デバイスのリセットとして利用できます。

注.　デバッグ部のリセットについては「10.　デバッグインタフェース」を参照してください。

6.2　レジスタの説明

リセットステータスレジスタ 0 にはリセット種別毎の発生要因を示すビットが配置されています。RSTSR0, SWRR1, SWRR2 はレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ（PRCR）のビット 1 の書き込み保護を解除してください。レジスタライトプロテクションの詳細については「11.　レジスタライトプロテクション機能」を参照してください。

6.2.1　リセットステータスレジスタ 0（RSTSR0）

RSTSR0 レジスタは、リセットの発生要因を示すレジスタです。

アドレス　RSTSR0：A00B 0200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWR1F	ECMRF	TRF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	（注1）	（注1）	（注1）	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b1	TRF	RES#端子リセット検出フラグ	0：RES#端子リセット未検出 1：RES#端子リセット検出 [“1”になる条件] • RES#端子にLowが入力されたとき [“0”になる条件] • ECMリセット、ソフトウェアリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) （注2）
b2	ECMRF	ECMリセット検出フラグ	0：ECMリセット未検出 1：ECMリセット検出 [“1”になる条件] • ECMの設定で予めリセット要因と指定されたエラー要因が発生したとき [“0”になる条件] • RES#端子リセット、ソフトウェアリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) （注2）
b3	SWR1F	ソフトウェアリセット検出フラグ	0：ソフトウェアリセットの未検出 1：ソフトウェアリセットの検出 [“1”になる条件] • ソフトウェアリセットが発生したとき [“0”になる条件] • RES#端子リセット、ECMリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) （注2）
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)

注1.　リセット要因に依存して初期値が異なります。
注2.　フラグをクリアするための“0”書き込みのみ可能です。

6.2.2 ソフトウェアリセットレジスタ（SWRR1）

SWRR1 レジスタは、ソフトウェアリセットを制御するレジスタです。

アドレス SWRR1：A00B 0210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SWRR1[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWRR1[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	SWRR1[31:0]	ソフトウェアリセットビット	“4321 A501h”を書くとソフトウェアリセットが発生します。読むと“0000 0000h”が読めます	R/W

6.2.3 ソフトウェアリセットレジスタ 2（SWRR2）（R-IN Engine 搭載製品）

SWRR2 レジスタは、ソフトウェアリセット 2 を制御するレジスタです。

アドレス SWRR2：A00B 0220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SWRR2[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWRR2[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b31-b0	SWRR2[31:0]	ソフトウェアリセット2ビット	Cortex-M3およびCortex-M3用WDTAのリセットを制御します。 4321 A50Fhを書き込むとソフトウェアリセット2が発生してCortex-M3およびCortex-M3用WDTAはリセット中になります。 リセット解除する場合は、0000 0000hを書き込んでください。 読んだ場合、リセット中は0000 0001h, リセット解除時は0000 0000hが読み出されます。 注. RES#端子リセット、ECMリセット、ソフトウェアリセット発生後は初期状態としてソフトウェアリセット2によるリセット状態になります。ソフトウェアリセット2の解除が必要な場合はCrortex-R4においてSWRR2レジスタへ0000 0000hを書き込んでください。	R/W

6.2.4 モジュールリセット制御レジスタ C（MRCTLC）

MRCTLC レジスタは、周辺モジュールのリセットを制御するレジスタです。

アドレス MRCTLC：A00B 0248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MRUSBH	MRUSBF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MRUSBF	USB（Func部 ）リセット制御	0：USB（Func部）はリセット解除中 1：USB（Func部）はリセット中	R/W
b1	MRUSBH	USB（Host部 ）リセット制御	0：USB（Host部）はリセット解除中 1：USB（Host部）はリセット中	R/W
b31-b2	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

6.3　動作説明

6.3.1　RES# 端子リセット

外部に接続された外付けリセット回路から RES# 端子への信号入力により発生するリセットです。RES# 端子が Low になると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。確実にリセットするために、電源投入後は規定の時間は、RES# 端子が Low を保持するようにしてください。リセット構成の詳細については**「10.3.5　リセット構成とエミュレータとの接続方法」**を参照してください。

リセット解除後、CPU（Cortex-R4）がリセット例外処理を開始します。

RES# 端子リセットが発生すると、RSTSR0.TRF フラグに “1” がセットされます。

6.3.2　ECM リセット

ECM（Error Control Module）からのリセット要求により発生するリセットです。

ECM は発振停止検出などの重大なエラーを LSI 内部の各モジュールから受け付けており、エラー要因毎にリセットの要求を発生することができます。ECM の動作の詳細については**「42.　エラーコントロールモジュール（ECM）」**を参照してください。ECM リセットが発生すると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。

リセット解除後、CPU（Cortex-R4）がリセット例外処理を開始します。

ECM リセットが発生すると、RSTSR0.ECMRF フラグに “1” がセットされます。

6.3.3　ソフトウェアリセット

SWRR1 レジスタに “4321 A501h” を書くと発生する、ソフトウェアリセットです。ソフトウェアリセットが発生すると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。

リセット解除後、CPU（Cortex-R4）がリセット例外処理を開始します。

ソフトウェアリセットが発生すると、RSTSR0.SWR1F フラグに “1” がセットされます。

6.3.4　ソフトウェアリセット 2（R-IN Engine 搭載製品）

SWRR2 レジスタに “4321 A50Fh” を書くと発生する、Cortex-M3 および Cortex-M3 用 WDTA を対象としたソフトウェアリセットです。RES# 端子リセット、ECM リセットおよびソフトウェアリセットが発生した場合、ソフトウェアリセット 2 は初期状態のリセット状態となります。

ソフトウェアリセット 2 のリセット解除を行う場合は、Cortex-R4 にて SWRR2 レジスタに 0000 0000h を書いてリセット解除を行う必要があります。

6.3.5 リセット発生要因の判定

RSTSR0 レジスタをリードすることで、どのリセット要因によりリセットが実行されたかを確認することができます。図 6.1 にリセット発生要因の判定フローを示します。

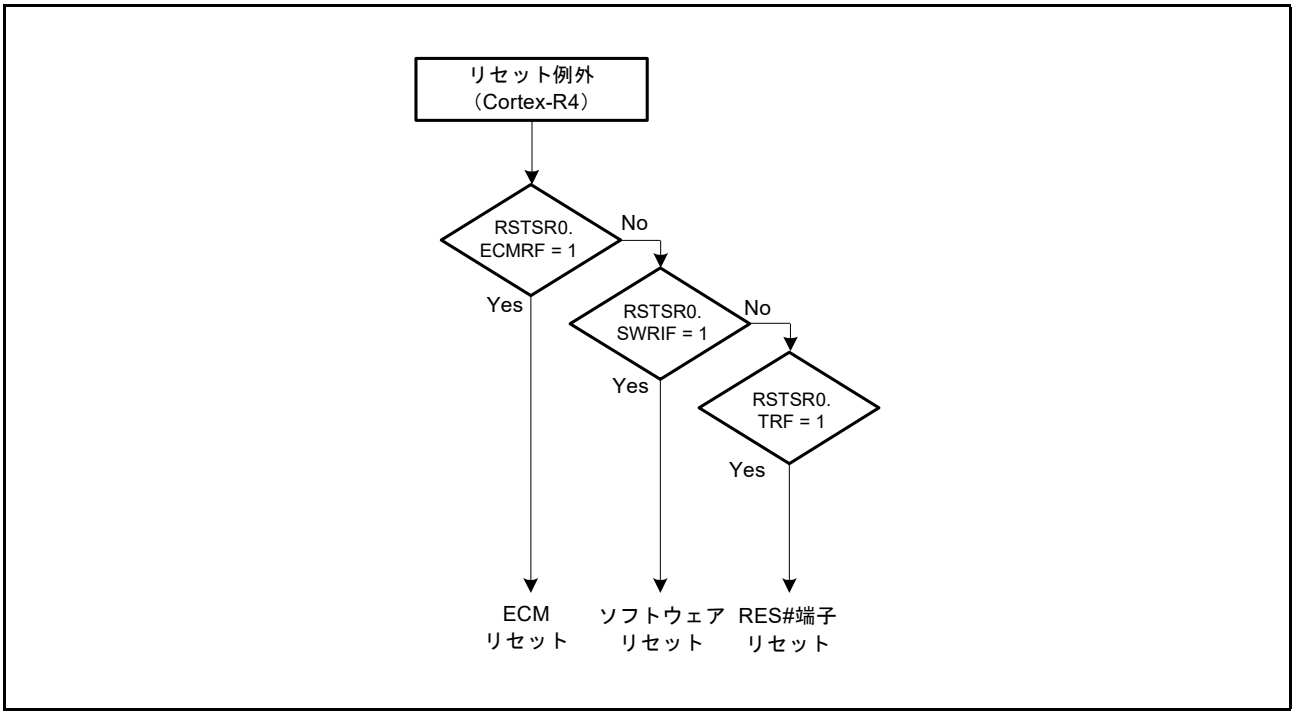


図 6.1 リセット発生要因判定フロー例

6.3.6 リセット出力端子（RSTOUT#）

リセット出力端子（RSTOUT#）は、RES# 端子の入力が Low でリセットが発生した時に Low を出力します。また、ECM リセット、ソフトウェアリセットが発生した場合も Low を出力します。

RES# 端子が規定時間だけ Low となった後に、High に変化すると、リセット出力は 500us（Typ.）の間、Low を保持した後で High に変化します。ECM リセット、ソフトウェアリセットが発生した場合もリセット出力は 500us（Typ.）の間、Low を保持した後で High に変化します。

6.3.7 リセット入力のノイズ除去

RES# 端子は、アナログ・ディレイによるノイズ対策を行っています。このノイズ対策により、100ns（Min.）以内のノイズを除去できます。

6.4 使用上の注意事項

6.4.1 リセット出力端子（RSTOUT#）について

RSTOUT# 信号が規定時間 Low を出力するのは、RES# 信号によるリセット解除後のタイミングです。このため、リセット出力端子（RSTOUT#）を本 LSI のブート用フラッシュメモリのリセット信号として直接接続しないよう注意してください。

使用した場合、フラッシュメモリのリセット解除より前に本 LSI のリセットが解除される場合があります。RSTOUT# 信号の出力タイミングを満たす外部デバイスのリセット信号として使用することは可能です。

詳細については「6.3.6 リセット出力端子（RSTOUT#）」を参照してください。

7.　クロック発生回路

7.1　概要

本 LSI は、クロック発生回路を内蔵しています。

表 7.1 にクロック発生回路の仕様を示します。**図 7.1**、**図 7.2** にクロック発生回路のブロック図を示します。

表7.1　クロック発生回路の仕様

項目	仕様
メインクロック発振器	発振子周波数：25MHz
	外部クロック入力周波数：25MHz
	接続できる発振子または付加回路：セラミック共振子、水晶振動子 接続端子：EXTAL、XTAL
	発振停止検出機能：メインクロックの発振停止検出時、LOCOに切り替える機能、MTU3a、GPTの端子をハイインピーダンスにする機能
PLL0回路	入力クロックソース：メインクロック発振器
	入力周波数：25MHz
	逓倍比：48逓倍
	PLL0回路出力クロック周波数：1200MHz
	発振異常検出機能：CLMA0によるPLL0の発振異常検出時、メインクロックに切り替えるとともに、MTU3a、GPTaの端子をハイインピーダンスにする機能
PLL1回路	入力クロックソース：PLL0の80分周クロック
	入力周波数：15MHz
	逓倍比：60逓倍、80逓倍から選択可能
	PLL1回路出力クロック周波数：900MHz、1200MHz
	発振異常検出機能：CLMA1によるPLL1の発振異常検出時、メインクロックに切り替えるとともに、MTU3a、GPTaの端子をハイインピーダンスにする機能
低速オンチップオシレータ（LOCO）	発振周波数：240kHz
	発振異常検出機能：CLMA2によるLOCOの発振異常検出が可能
SSI用外部クロック入力（AUDIO_CLK）	入力周波数：50MHz (max.)
JTAG用外部クロック入力（TCK）	入力周波数：50MHz (max.)

表7.2　　クロック発生回路の仕様（内部クロック）(1 / 2)

項目	クロックソース	供給先	周波数
CPUクロック（CPUCLK）	PLL0 / PLL1の分周クロックから選択	CPU (Cortex-R4)	150MHz 300MHz 450MHz 600MHz
システムクロック（ICLK）	PLL0 / PLL1の分周クロックから選択	CPU (Cortex-M3(R-IN Engine搭載製品))、DMAC、割り込みコントローラ、拡張内蔵SRAM	150MHz
高速周辺モジュールクロック（PCLKA）	PLL0 / PLL1の分周クロックから選択	周辺モジュール	150MHz
低速周辺モジュールクロック（PCLKB）	PLL0 / PLL1の分周クロックから選択	周辺モジュール	75MHz
高速周辺モジュールクロック（PCLKC）	PLL0の分周クロック	周辺モジュール（GPTa、MTU3a）	150MHz
低速周辺モジュールクロック（PCLKD）	PLL0の分周クロック	周辺モジュール（CRC, DOC, ECM, ELC, TPU, POE3, PPG, CMT, CMTW, RIIC）	75MHz
低速周辺モジュールクロック（PCLKE）	PLL0の分周クロック	周辺モジュール（WDTA）	～75MHz
低速周辺モジュールクロック（PCLKF）	PLL0の分周クロック	周辺モジュール（12ビットA/Dコンバータ Unit0）	～60MHz
低速周辺モジュールクロック（PCLKG）	PLL0の分周クロック	周辺モジュール（12ビットA/Dコンバータ Unit1）	～60MHz
低速周辺モジュールクロック（PCLKH）	PLL0の分周クロック	周辺モジュール（12ビットA/Dコンバータ　Unit0/Unit1のBus-clock）	60MHz
外部バスクロック（CKIO）	PLL0 / PLL1の分周クロック	外部バス	～75MHz
高速シリアルクロック（SERICLK）	PLL0の分周クロック	RSPIa、SCIFA	150MHz, 120MHz
USBクロックM（USBMCLK）	PLL0の分周クロック	USB PHY	50MHz
USBクロックP（USBPCLK）	PLL0の分周クロック	USB	30MHz
Ethernetクロック A（ETCLKA）	PLL0の分周クロック	EtherCAT（オプション）、 Ether Switch	100MHz
Ethernetクロック B（ETCLKB）	PLL0の分周クロック	RMIIコンバータ	50MHz
Ethernetクロック C（ETCLKC）	PLL0の分周クロック	Ether Switch	200MHz
Ethernetクロック D（ETCLKD）	PLL0の分周クロック	EtherMAC (MDC_CLK)	～12.5MHz
Ethernetクロック E（ETCLKE）	メインクロック、PLL0の分周クロックから選択	Ether-PHY	25MHz, 50MHz
Ethernetクロック F（ETCLKF）	PLL0の分周クロック	EtherCAT（オプション）	25MHz
Ethernetクロック G（ETCLKG）	PLL0の分周クロック	EtherSwitch	125MHz
RSCAN用クロック A（CANCLKA ）	PLL0の分周クロック	RSCAN	24MHz
RSCAN用クロック B（CANCLKB）	メインクロック	RSCAN	25MHz
CLMAnサンプリングクロック（CLMAMCLKA）（n = 1, 0）	メインクロックの2分周クロック	CLMA0, CLMA1	12.5MHz
CLMA2サンプリングクロック（CLMAMCLKB）	メインクロックの256分周クロック	CLMA2	97.6kHz
CLMA2モニタクロック（CLMALCLK）	LOCO	CLMA2	240kHz

表7.2　　クロック発生回路の仕様（内部クロック）(2 / 2)

項目	クロックソース	供給先	周波数
CLMA0モニタクロック（CLMAPLCLK0）	PLL0の16分周クロック	CLMA0	75MHz
CLMA1モニタクロック（CLMAPLCLK1）	PLL1の16分周クロック	CLMA1	75MHz 56.25MHz（注1）
IWDTクロック（IWDTCLK）	LOCOの2分周クロック	IWDT	120kHz
ECMクロック（ECMCKL）	LOCO	ECM	240kHz
SSIクロック（ACLK）	AUDIO_CLK	SSI	1MHz～50MHz
ΔΣI/Fクロック0（DSCLK0）	PLL0の分周クロック	ΔΣI/F (ch.0～ch.2)	～25MHz
ΔΣI/Fクロック1（DSCLK1）	PLL0の分周クロック	ΔΣI/F (ch.3)	～25MHz
JTAGクロック（JTAGTCK）	TCK	JTAG	～50MHz
トレースI/Fクロック（TCLK）	PLL0 / PLL1の分周クロックから選択	CoreSight TPIU	75MHz

注1.　PLL1CR.CPUCKSEL[1:0]ビットで10bを選択した場合、56.25MHzが出力されます。10b以外を選択した場合、75MHzが出力されます。

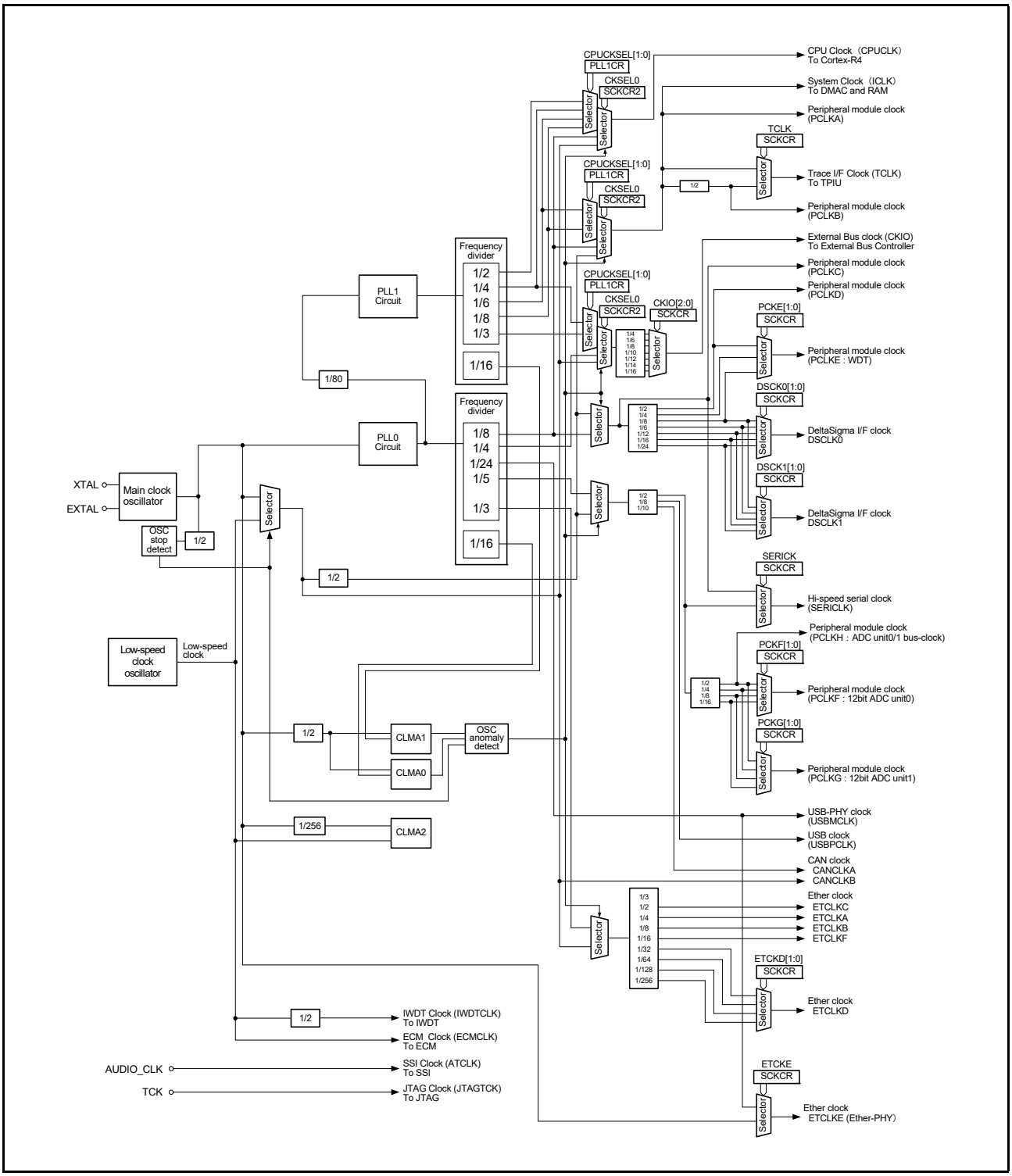


図 7.1　　クロック発生回路のブロック図

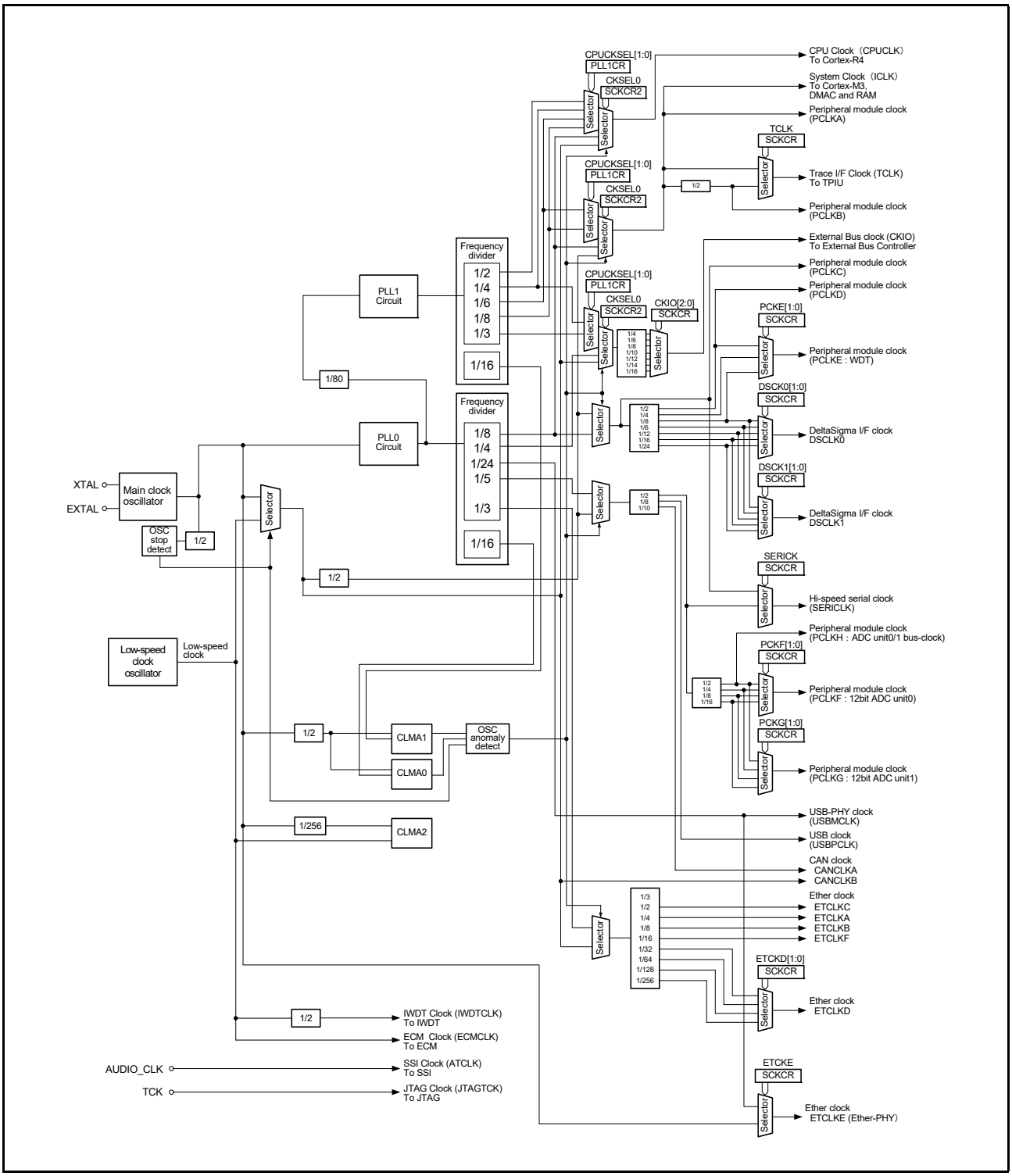


図 7.2　　クロック発生回路のブロック図（R-IN Engine 搭載製品）

表 7.3 にクロック発生回路の入出力端子を示します。

表7.3　　クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子です。EXTAL端子は外部クロックを入力することもできます。詳細は、「7.3.2　外部クロックを入力する方法」を参照してください。
EXTAL	入力	
TCK	入力	JTAG用のクロック入力です。
AUDIO_CLK	入力	SSI用のクロック入力です。
CKIO	出力	外部デバイスに外部バスクロック（CKIO）を供給します。
OSCTH	入力	入力レベルにより、メインクロック発振器のクロック供給方法を設定します。 Low: 発振子接続。High: 外部クロック入力。
CLKOUT25M0	出力	EtherPHY0にメインクロック（25MHz）、もしくはPLL0の分周クロック（50MHz）を供給します。
CLKOUT25M1	出力	EtherPHY1にメインクロック（25MHz）、もしくはPLL0の分周クロック（50MHz）を供給します。
CLKOUT25M2	出力	EtherPHY2にメインクロック（25MHz）、もしくはPLL0の分周クロック（50MHz）を供給します。
MCLK0	入出力	ΔΣ インタフェース用のクロック入出力です。 ΔΣmodulatorにクロックを供給する場合は、クロックを出力します。 ΔΣ インタフェース用の外付けのクロック発生回路よりクロックが供給される場合は、クロックを入力します。クロックの切り換え方法は、「7.2.3　ΔΣI/Fクロックコントロールレジスタ（DSCR）」を参照してください。
MCLK1	入出力	
MCLK2	入出力	
MCLK3	入出力	

7.2　レジスタの説明

クロック発生器関連レジスタはレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ（PRCR）のビット 0 の書き込み保護を解除してください。詳細については「11.　**レジスタライトプロテクション機能**」を参照してください。

7.2.1　システムクロックコントロールレジスタ（SCKCR）

SCKCR レジスタは ΔΣI/F クロック（DSCLK）、トレース I/F クロック（TCLK）、高速シリアルクロック（SERICLK）、Ethernet クロック（ETCLKD、ETCLKE）、外部バスクロック（CKIO）、周辺モジュールクロック（PCLKE、PCLKF、PCLKG）の周波数、および ΔΣI/F に供給するクロックを選択します。

アドレス　A00B 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TCLK	—	—	—	SERICK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ETCKD[1:0]		—	ETCKE	—	CKIO[2:0]			—	—	PCKE[1:0]		PCKF[1:0]		PCKG[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PCKG[1:0]	周辺モジュールクロックG（PCLKG）セレクトビット	低速周辺モジュールクロックPCLKG（12ビットA/Dコンバータ unit1）の供給クロックを選択します。 00：60MHz 01：30MHz 10：15MHz 11：7.5MHz	R/W
b3-b2	PCKF[1:0]	周辺モジュールクロックF（PCLKF）セレクトビット	低速周辺モジュールクロックPCLKF（12ビットA/Dコンバータ unit0）の供給クロックを選択します。 00：60MHz 01：30MHz 10：15MHz 11：7.5MHz	R/W
b5-b4	PCKE[1:0]	周辺モジュールクロックE（PCLKE）セレクトビット	低速周辺モジュールクロックPCLKE（WDTA）の供給クロックを選択します。 00：75MHz 01：37.5MHz 10：18.75MHz 上記以外は、設定しないでください。	R/W
b7-b6	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b10-b8	CKIO[2:0]	外部バスクロック（CKIO）セレクトビット	外部バスクロックCKIOの供給クロックを選択します。 000：75MHz 001：50MHz 010：37.5MHz 011：30MHz 100：25MHz 101：21.43MHz 110：18.75MHz 上記以外は、設定しないでください。	R/W
b11	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b12	ETCKE	Ethernetクロック（ETCLKE）セレクトビット	EthernetクロックETCLKE（Ether-PHY）の供給クロックを選択します。 0：メインクロック（25MHz） 1：PLL0の分周クロック（50MHz）	R/W

ビット	シンボル	ビット名	機能	R/W
b13	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b15-b14	ETCKD[1:0]	EthernetクロックD（ETCLKD）セレクトビット	EthernetクロックETCLKD（Ether MAC）の供給クロックを選択します 00：12.5MHz 01：6.25MHz 10：3.125MHz 11：1.563MHz	R/W
b16	SERICK	高速シリアルクロック（SERICLK）セレクトビット	高速シリアルクロックSERICLK（RSPIa, SCIFA）の供給クロックを選択します。 0：150MHz 1：120MHz	R/W
b19-b17	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b20	TCLK	トレースI/Fクロック（TCLK）	トレースI/FクロックTCLK（CoreSight TPIU）の供給クロックを選択します。 0：設定禁止 1：75MHz	R/W
b31-b21	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

7.2.2　システムクロックコントロールレジスタ 2（SCKCR2）

SCKCR2 レジスタは、システムクロックに供給するクロックソース（PLL0、PLL1）の選択を行います。

アドレス　A00B 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKSEL 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKSEL0	システムクロックソース選択ビット	CPUクロック（CPUCLK）、システムクロック（ICLK）、高速周辺モジュールクロック（PCLKA）、低速周辺モジュールクロック（PCLKB）、外部バスクロック（CKIO）のクロックソースを選択します。 停止しているクロックソースへの切替は禁止です。 0：PLL0選択 1：PLL1選択	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

7.2.3　ΔΣI/F クロックコントロールレジスタ（DSCR）

DSCR レジスタは ΔΣ I/F に供給するクロックの選択を行います。

アドレス　A00B 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	DSINV1	DSCK1[2:0]			DSSEL1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	DSCHSEL	DSINV0	DSCK0[2:0]			DSSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	DSSEL0	ΔΣI/Fクロック0供給元選択（ch.0～ch.2）	ΔΣI/F（ch.0～ch.2）の供給クロックを選択します。 0：LSI外部より供給（Slave動作） 1：クロック発生回路より供給（Master動作）	R/W
b3-b1	DSCK0[2:0]	ΔΣI/Fクロック0 （DSCLK0） 周波数選択 (ch.0～ch.2)	ΔΣ I/FのMaster動作時にMCLKn端子（n = 0～2）より出力されるΔΣI/Fのクロックの周波数を選択します。各ch.のクロック周波数は共通です。 000：25MHz 001：18.75MHz 010：12.5MHz 011：9.375MHz 100：6.25MHz 上記以外は、設定しないでください。	R/W
b4	DSINV0	ΔΣI/Fクロック0 （DSCLK0） 極性選択 (ch.0～ch.2)	Master時(DSSEL0 = 1)： MCLKn端子から出力されるΔΣI/Fのクロックに対し、内部動作クロックとして反転したクロックを使用するか選択します。 Slave時(DSSEL0 = 0)： MCLKn端子から入力されるΔΣI/Fのクロックに対し、内部動作クロックとして反転したクロックを使用するか選択します。 外付けのΔΣ ADCの動作クロックと位相調整を行いたい場合に切り替えます。 0：正転 1：反転	R/W
b5	DSCHSEL	ΔΣI/F（ch.0～ch.2）供給ch.選択	ΔΣ I/FのSlave動作時にMCLKn端子に入力されるクロックの経路を選択します。 “0”を選択した場合、MCLKnの各端子に入力されるクロックを使用します。 “1”を選択した場合、MCLK0の端子に入力されるクロックのみを使用します。LSI外部より供給されるクロックが1本のみの場合に選択してください。 0: MCLKnの各端子からのクロック入力を使用します 1: MCLK0の端子から供給されたクロック入力のみを使用します	R/W
b15-b6	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b16	DSSEL1	ΔΣI/Fクロック1供給元選択（ch.3）	ΔΣI/F(ch.3)のクロックの供給元を選択します。 0：LSI外部より供給（Slave動作） 1：クロック発生回路より供給（Master動作）	R/W
b19-b17	DSCK1[2:0]	ΔΣI/Fクロック1 （DSCLK1） 周波数選択 (ch.3)	ΔΣ I/FのMaster動作時にMCLK3端子より出力されるΔΣI/Fのクロックの周波数を選択します。 000：25MHz 001：18.75MHz 010：12.5MHz 011：9.375MHz 100：6.25MHz 上記以外は、設定しないでください。	R/W

ビット	シンボル	ビット名	機能	R/W
b20	DSINV1	ΔΣI/Fクロック1 （DSCLK1） 極性選択 (ch.3)	Master時(DSSEL1 = 1)： MCLK3端子から出力されるΔΣI/Fのクロックに対し、内部動作クロックとして反転したクロックを使用するか選択します。 Slave時(DSSEL1 = 0)： MCLK3端子から入力されるΔΣI/Fのクロックに対し、内部動作クロックとして反転したクロックを使用するか選択します。 外付けのΔΣ ADCの動作クロックと位相調整を行いたい場合に切り替えます。 0：正転 1：反転	R/W
b31-b21	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

7.2.4　PLL1 コントロールレジスタ（PLL1CR）

PLL1CR レジスタは CPU クロック周波数の設定を行います。

アドレス　A00B 0034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCKSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CPUCKSEL [1:0]	CPU動作周波数選択ビット	CPUクロック周波数の選択を行います。本ビットにてCPUの動作周波数を選択後、PLL1CR2レジスタによるPLL1回路の動作制御を行ってください。CPU周波数の変更手順は図7.3を参考にしてください。 b1 b0 00 : 150MHz 01 : 300MHz 10 : 450MHz 11 : 600MHz	R/W
b31-b2	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1.　CPU周波数クロックの電気的特性の範囲内に設定してください。
注2.　CPUCKSEL[1:0]によるPLL1の逓倍比、分周比の関係を表7.4に示します。

表7.4　CPUCKSEL[1:0]によるPLL1の逓倍比、分周比の関係

CPUCKSEL[1:0]	PLL1逓倍率	分周比	CPU動作周波数
00	80	1/8	150MHz
01	80	1/4	300MHz
10	60	1/2	450MHz
11	80	1/2	600MHz

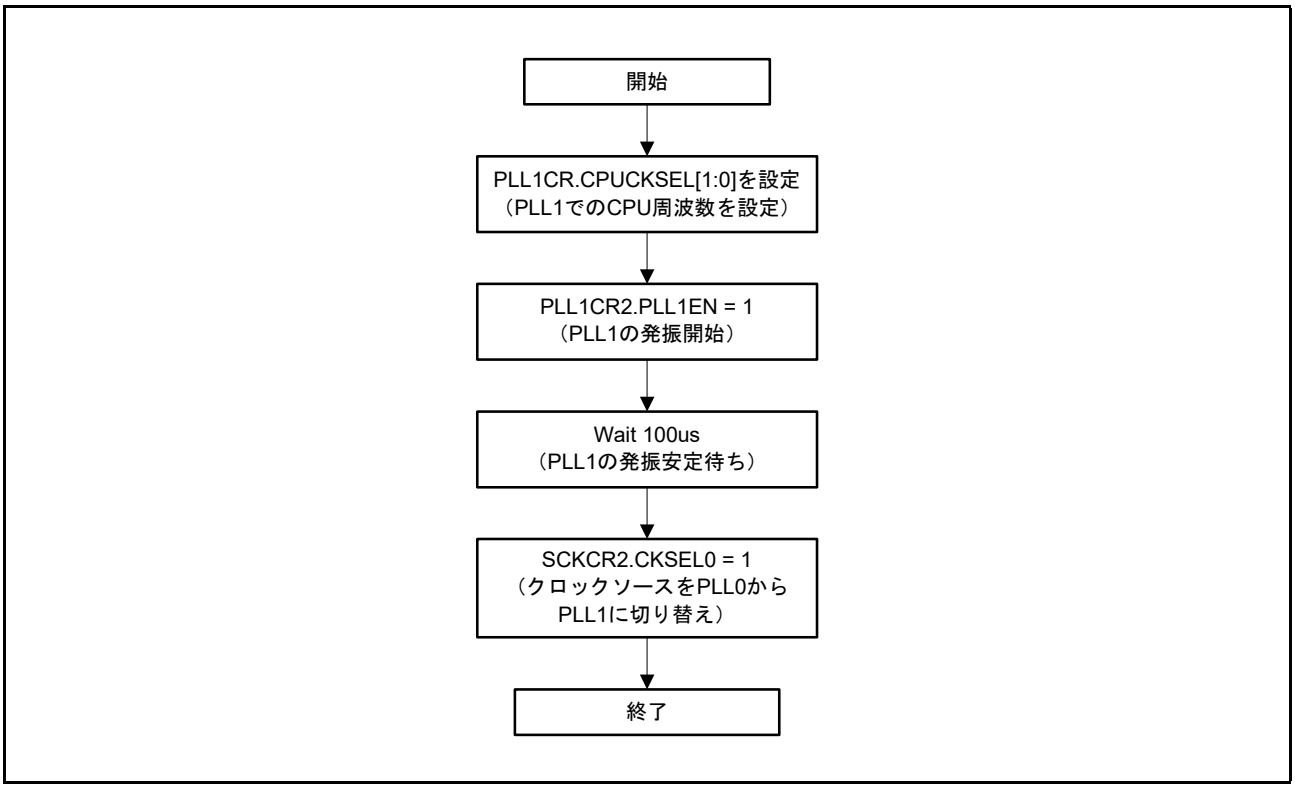


図 7.3　　CPU 周波数の変更手順

7.2.5　PLL1 コントロールレジスタ 2（PLL1CR2）

PLL1CR2 レジスタは PLL1 回路の動作を制御します。

アドレス　A00B 0038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PLL1EN	PLL1動作制御ビット	PLL1の動作／停止を制御します。 0：PLL1停止 1：PLL1動作 PLL1ENビット = “1”とした後、PLL発振安定待ち時間として100usをCPU内のループ処理、またはタイマでカウントしてください。 CPU周波数の変更手順は図7.3を参照してください。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注.　PLL1CRレジスタでCPUクロック周波数を設定する場合は、PLLを停止（PLL1ENビット = “0”）して行ってください。

7.2.6　低速オンチップオシレータコントロールレジスタ（LOCOCR）

LOCOCR レジスタは低速オンチップオシレータの動作を制御します。

アドレス　A00B 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	低速オンチップオシレータ（LOCO）の動作／停止を制御します。 0：動作 1：停止 LOCOクロックを使用する場合、本ビットでLOCOを動作設定した後、LOCO発振安定時間（t_{LOCOWT}）が経過した後に、使用してください。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　LOCOを停止した後、再度動作に設定にする場合、LCSTPビットで停止設定した後にLOCO発振安定時間（tLOCOWT）以上経過してから、LCSTPビットの動作設定をしてください。
またLOCOの停止設定は、LOCOの発振が安定している状態で行ってください。

注2.　OSTDCR.OSTDEビットで発振停止検出機能を有効にしているとき、LCSTPビットを“1”（LOCO停止）にする書き込みは禁止です。

7.2.7　発振停止検出コントロールレジスタ（OSTDCR）

OSTDCR レジスタは、メインクロックの発振停止検出機能の制御を行います。

アドレス　A00B 004Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	発振停止検出割り込み（OSTDI）の許可／禁止を設定します。ポートアウトプットイネーブル（POE）へ発振停止を検出したことを通知するかどうかの設定としても機能します。 0：発振停止割り込みを禁止、POEへの発振停止検出通知なし 1：発振停止割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b7	OSTDE	発振停止検出機能許可ビット	発振停止検出機能の有効／無効の動作を設定します。 発振停止検出機能を有効に設定すると、低速オンチップオシレータコントロールレジスタ（LOCOCR）のLCSTPビットも“0”となり、低速オンチップオシレータが動作します。（注1） 0：発振停止検出機能は無効 1：発振停止検出機能は有効	R/W
b31-b8	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1.　発振停止検出機能が有効（OSTDEビット = “1”）のとき、低速オンチップオシレータを停止させることはできません。LOCOCR.LCSTPビットへ“1”を書き込んでも、その書き込みは無視されます。

7.3　メインクロック発振器の入力選択

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。クロック入力モードは、OSCTH 端子の状態で設定されます。設定値は**表 7.5** を参照してください。

表7.5　OSCTH端子によるクロック入力モードの選択

OSCTH端子	クロック入力モード
Low	発振子を接続
High	外部クロックを入力

7.3.1　発振子を接続する方法

発振子を接続する場合の接続例を**図 7.4** に示します。

必要に応じてダンピング抵抗（Rd）を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカの推奨する値に設定してください。また、発振子メーカから外部に帰還抵抗（Rf）を追加するよう指示があった場合は、その指示にしたがって EXTAL、XTAL 間に Rf を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は**表 7.1** のメインクロック発振器の発振子周波数の範囲内としてください。

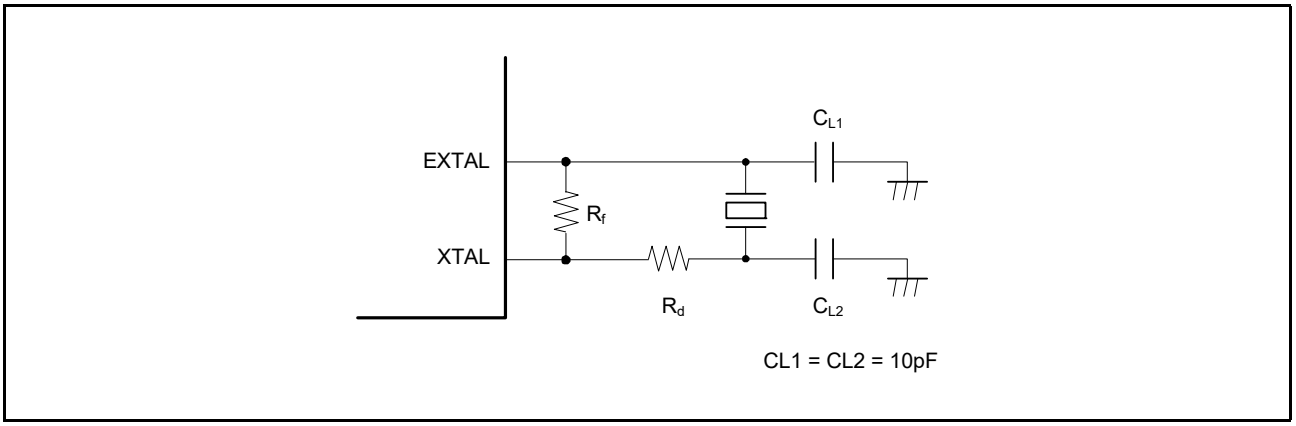


図 7.4　水晶振動子の接続例

表7.6　ダンピング抵抗（参考値）

周波数（MHz）	25
Rd（Ω）	2.2K

水晶振動子の等価回路を図 7.5 に示します。水晶振動子は表 7.7 に示す特性のものを使用してください。

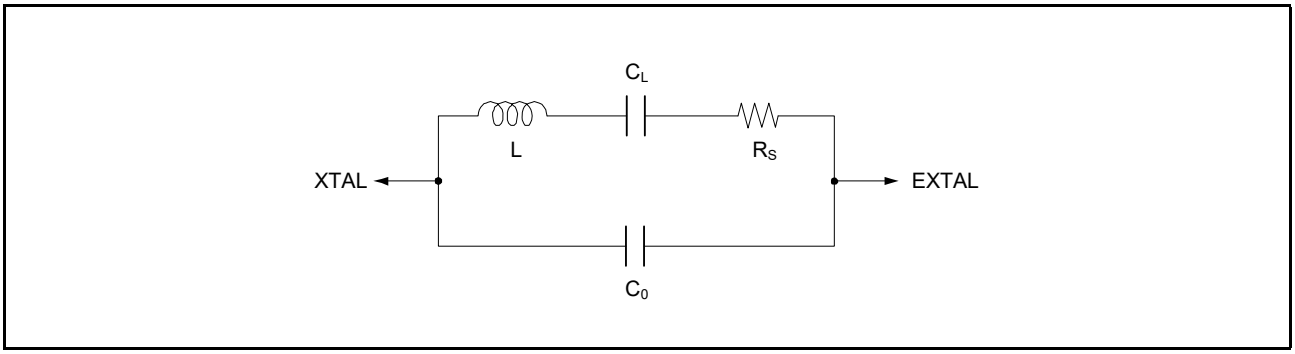


図 7.5　　水晶振動子の等価回路

表 7.7　　水晶振動子の特性（参考値）

周波数（MHz）	25
R_S max（Ω）	100

7.3.2　　外部クロックを入力する方法

外部クロック入力の接続例を図 7.6 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。

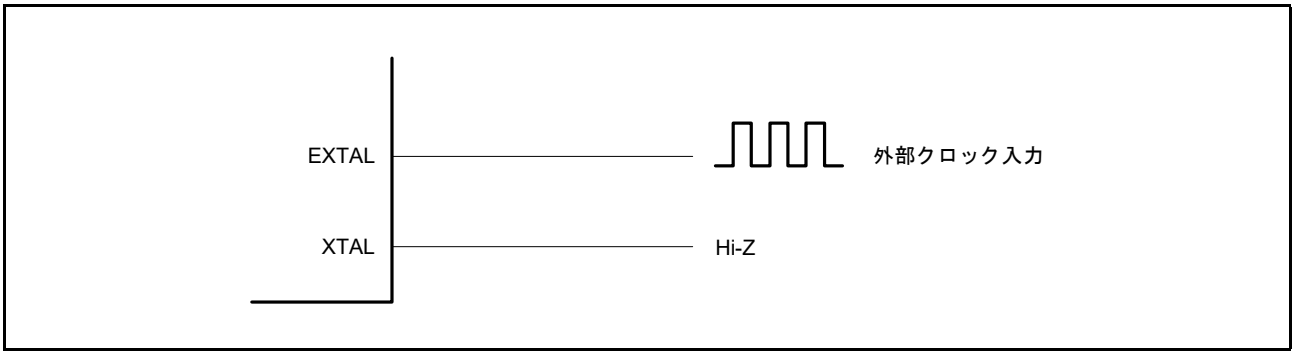


図 7.6　　外部クロックの接続例

7.4　発振停止検出機能

7.4.1　発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロック PLL0 クロックおよび PLL1 クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU3a、GPTa の出力を強制的にハイインピーダンスとすることも可能です。詳細は、**「19.　マルチファンクションタイマパルスユニット 3（MTU3a）」**、**「20.　ポートアウトプットイネーブル 3（POE3）」**、**「21.　汎用 PWM タイマ（GPTa）」**を参照してください。

本 LSI では、メインクロック発振器の異常などによって入力クロックが一定期間 “0” または “1” となった場合に（**「47.8　発振停止検出タイミング」**の**「表 47.40　発振停止検出回路特性」**参照）、メインクロックの発振停止を検出します。

発振停止を検出すると、LOCO クロックに切り替わります。

リセット解除後、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、OSTDCR.OSTDE ビットを “1” にセットしてください。

発振停止検出によって LOCO クロックに切り替わるクロックは、PLL 0 クロック、PLL1 クロック、RSCAN 用クロック B（CANCLKB）です。

7.4.2　発振停止検出割り込み

発振停止検出割り込み許可ビット（OSTDCR.OSTDIE）が “1”（発振停止検出割り込みを許可）のとき、発振停止検出割り込み（OSTDI）要求が発生します。また、このときポートアウトプットイネーブル 3（POE）へメインクロック発振器の停止を通知します。POE は、発振停止の通知を受けて OSTST ハイインピーダンスフラグ（POE.OSTSTF）をセットします。

また発振停止検出割り込みはエラー割り込みとして ECM（エラーコントロールモジュール）に接続されます。リセット解除後の初期状態では、「割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ECM でエラー割り込み検出時の動作として、マスカブル割り込み、もしくはノンマスカブル割り込みを選択してください。詳細は**「42.　エラーコントロールモジュール（ECM）」**を参照してください。

7.5　PLL 発振異常検出機能

PLL 発振異常検出機能は、クロックモニタ回路（CLMA0, CLMA1）による周波数監視により PLL0、PLL1 の発振異常を検出し、PLL0 クロック、PLL1 クロックの代わりにメインクロックを供給する機能です。CLMA の詳細については、**「8.　クロックモニタ回路（CLMA）」**を参照してください。

7.6　低速オンチップオシレータ発振異常検出

クロックモニタ回路（CLMA2）による低速オンチップオシレータの発振異常検出を行うことができます。CLMA の詳細については、**「8.　クロックモニタ回路（CLMA）」**を参照してください。

7.7　PLL 回路

PLL 回路は、発振器からの周波数を逓倍する機能を持っています。

7.8　内部クロック

内部クロックは、クロックソースとしてメインクロック、LOCO クロック、PLL0 クロック、PLL1 クロック、JTAG 用外部クロックがあり、これらのクロックから以下に示す 14 種類の内部クロックを生成します。

(1) CPU の動作クロック：CPU クロック（CPUCLK）
(2) DMAC、割り込みコントローラおよび ECC 付き RAM の動作クロック：システムクロック（ICLK）
(3) 周辺モジュールの動作クロック：周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、PCLKF、PCLKG、PCLKH）
(4) 外部バスコントローラ、外部端子出力クロック：外部バスクロック（CKIO）
(5) 高速シリアルクロック用の動作クロック：高速シリアルクロック（SERICLK）
(6) USB-PHY 用の動作クロック：USB クロック M（USBMCLK）
(7) USB 用の動作クロック：USB クロック P（USBPCLK）
(8) Ether 用の動作クロック：Ethernet クロック（ETCLKA、ETCLKB、ETCLKC、ETCLKD、ETCLKE、ETCLKF、ETCLKG）
(9) CLMA モジュール用の動作クロック：CLMA クロック（CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1）
(10) IWDT モジュール用の動作クロック：IWDT 専用クロック（IWDTCLK）
(11) SSI 用の動作クロック：SSI クロック（ACLK）
(12) ΔΣI/F 用の動作クロック：ΔΣI/F クロック（DSCLK0/DSCLK1）
(13) JTAG モジュール用の動作クロック：JTAG クロック（JTAGTCK）
(14) トレース I/F 用の動作クロック：トレース I/F クロック（TCLK）

7.8.1　CPU クロック（CPUCLK）

CPU クロック（CPUCLK）は、CPU の動作クロックです。
CPU の動作周波数は、PLL1CR.CPUCKSEL[1:0] ビットにより設定します。

7.8.2　システムクロック（ICLK）

システムクロック（ICLK）は、DMAC、割り込みコントローラ、および ECC 付き内蔵拡張 SRAM の動作クロックです。
ICLK の周波数は固定（150MHz）です。設定することはできません。

7.8.3　高速周辺モジュールクロック（PCLKA）

高速周辺モジュールクロック（PCLKA）は、高速周辺モジュール用の動作クロックです。
PCLKA の周波数は固定（150MHz）です。設定することはできません。

7.8.4　低速周辺モジュールクロック（PCLKB）

低速周辺モジュールクロック（PCLKB）は、低速周辺モジュール用の動作クロックです。
PCLKB の周波数は固定（75MHz）です。設定することはできません。

7.8.5　高速周辺モジュールクロック（PCLKC）

高速周辺モジュールクロック（PCLKC）は、高速周辺モジュール用の動作クロックです。
PCLKC の周波数は固定（150MHz）です。設定することはできません。

7.8.6　低速周辺モジュールクロック（PCLKD、PCLKE、PCLKF、PCLKG、PCLKH）

非変調低速周辺モジュールクロック（PCLKD, PCLKE, PCLKF, PCLKG, PCLKH）は、低速周辺モジュール用の動作クロックです。PCLKD の周波数は固定（75MHz）です。設定することはできません。また、PCLKH の周波数は固定（60MHz）です。設定することはできません。PCLKE、PCLKF、PCLKG の周波数は、それぞれ SCKCR.PCKE[1:0]、SCKCR.PCKF[1:0]、SCKCR.PCKG[1:0] ビットにより設定します。

7.8.7　外部バスクロック（CKIO）

外部バスクロック（CKIO）の動作クロックです。
CKIO の動作周波数は、SCKCR.CKIO[2:0] ビットにより設定します。

7.8.8　高速シリアルクロック（SERICLK）

高速シリアルクロック（SERICLK）は、SCIFA、および RSPIa の動作クロックです。
SERICLK の動作周波数は、SCKCR.SERICK ビットにより設定します。

7.8.9　USB クロック M（USBMCLK）

USB クロック M（USBMCLK）は、USB PHY 用の動作クロックです。
USBMCLK の動作周波数は固定（50MHz）です。設定することはできません。

7.8.10　USB クロック P（USBPCLK）

USB クロック P（USBPCLK）は、USB 用の動作クロックです。
USBPCLK の動作周波数は固定（30MHz）です。設定することはできません。

7.8.11　Ethernet クロック（ETCLKA、ETCLKB、ETCLKC、ETCLKD、ETCLKE、ETCLKF、ETCLKG）

Ethernet クロック（ETHCLKA ～ ETCLKF）は、EtherCAT など Ether 関連の動作クロックです。
ETCLKD/ETCLKE の動作周波数は、SCKCR.ETCKD[1:0]、SCKCR.ETCKE ビットにより設定します。
ETCLKD/ETCLKE 以外の動作周波数は固定です。設定することはできません。

7.8.12　CLMA クロック（CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1）

CLMA クロック（CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1）は、CLMA モジュール用の動作クロックです。
CLMAMCLKA/CLMAMCLKB は、メインクロックを分周したクロックです。
CLMALCLK は、低速オンチップオシレータで内部発振により生成されたクロックです。
CLMAPLCLK0/CLMAPLCLK1 は、PLL0/PLL1 回路で内部発振により生成されたクロックを分周したクロックです。

7.8.13　IWDT クロック（IWDTCLK）

IWDT クロック（IWDTCLK）は、IWDT モジュールの動作クロックです。
IWDTCLK は、低速オンチップオシレータで内部発振により生成されたクロックを 2 分周したクロックです。

7.8.14　ECM クロック（ECMCLK）

ECM クロック（ECMCLK）は、ECM モジュールのディレイカウンタ動作クロックです。
ECMCLK は、低速オンチップオシレータで内部発振により生成されたクロックです。

7.8.15　SSI クロック（ACLK）

SSI クロック（ACLK) は、SSI 用の動作クロックです。
ACLK は、SSI 用外部クロック入力（AUDIO_CLK）から供給されたクロックです。

7.8.16　ΔΣI/F クロック 0（DSCLK0）

ΔΣI/F クロック 0（DSCLK0) は、ΔΣI/F（ch.0 ～ ch.2）用の動作クロックです。
DSCLK0 は DSCR.DSSEL0 ビットが “0” の場合、ΔΣI/F 用外部クロック入力から生成されたクロックを選択します。DSCR.DSEL0 ビットが “1” の場合、クロック発生回路（PLL0）で生成されたクロックを選択します。
クロック発生回路で生成されたクロックを使用する場合、動作クロックは DSCR.DSCK0[2:0] ビットにより設定されます。

7.8.17　ΔΣI/F クロック 1（DSCLK1）

ΔΣI/F クロック 1（DSCLK1) は、ΔΣI/F（ch.3）用の動作クロックです。
DSCLK1 は DSCRD.DSSEL1 ビットが “0” の場合、ΔΣI/F 用外部クロック入力から生成されたクロックを選択します。DSCR.DSEL1 ビットが “1” の場合、クロック発生回路（PLL0）で生成されたクロックを選択します。
クロック発生回路で生成されたクロックを使用する場合、動作クロックは DSCR.DSCK1[2:0] ビットにより設定されます。

7.8.18　JTAG 用クロック

JTAG 用クロック（JTAGTCK）は、JTAG 用の動作クロックです。
JTAGTCK は、JTAG 用外部クロック（TCK）から生成されたクロックです。

7.8.19　トレース I/F クロック（TCLK）

トレース I/F クロック（TCLK）は、Coresight 内のトレース I/F 用の動作クロックです。
TCLK は、PLL0 回路、PLL1 回路で内部発振により生成されたクロックを分周したクロックです。
本クロックを 2 分周したクロックがオンチップデバッガ用 CPU トレースクロック（TRACECLK）として、LSI 外部に出力されます。

7.9　使用上の注意事項

7.9.1　クロック発生回路に関する使用上の注意事項

(1) SCKCR レジスタの設定により各モジュールに供給される外部バスクロック（CKIO）、高速シリアルクロック（SERICLK）は周波数変更前後で動作周波数が変わりますので注意してください。
(2) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。
(3) CPUCLK のクロックソースを PLL0 から PLL1 に変更した後は、PLL1CR.CPUCKSEL で設定できる他の周波数への変更は実施しないでください。
(4) WDTA カウント開始後に、PCLKE のクロック周波数の変更を実施しないでください。またクロック周波数の変更後に WDTA のカウントを開始する場合は、周波数変更が完了後に WDTA のカウントを開始するようにしてください。
(5) ETCLKE の周波数変更は、外付け Ether PHY がリセット中に実施してください。リセット解除後の周波数変更は実施しないでください。
(6) EtherMAC 動作中に、ETCLKD のクロック周波数の変更を実施しないでください。また、クロック周波数の変更後にモジュールストップを解除する場合は、周波数変更が完了した事を確認してからモジュールストップを解除するようにしてください。
(7) RSPIa（ch.0 ～ ch.3）、SCIFA（ch.0 ～ ch.4）動作中に、SERICLK のクロック周波数の変更を実施しないでください。またクロック周波数の変更後にモジュールストップを解除する場合は、周波数変更が完了した事を確認してからモジュールストップを解除するようにしてください。
(8) ΔΣI/F 動作中に、DSCLK0、DSCLK1 のクロック周波数の変更およびクロックの切り替えを実施しないでください。またクロック周波数の変更またはクロックの切り替え後にモジュールストップ解除する場合は、周波数変更または切り替えが完了した事を確認してからモジュールストップを解除してください。
(9) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタを 3 回以上、ダミーリードしてから次の処理を実行してください。

7.9.2　発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

7.9.3　ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。**図 7.7** に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

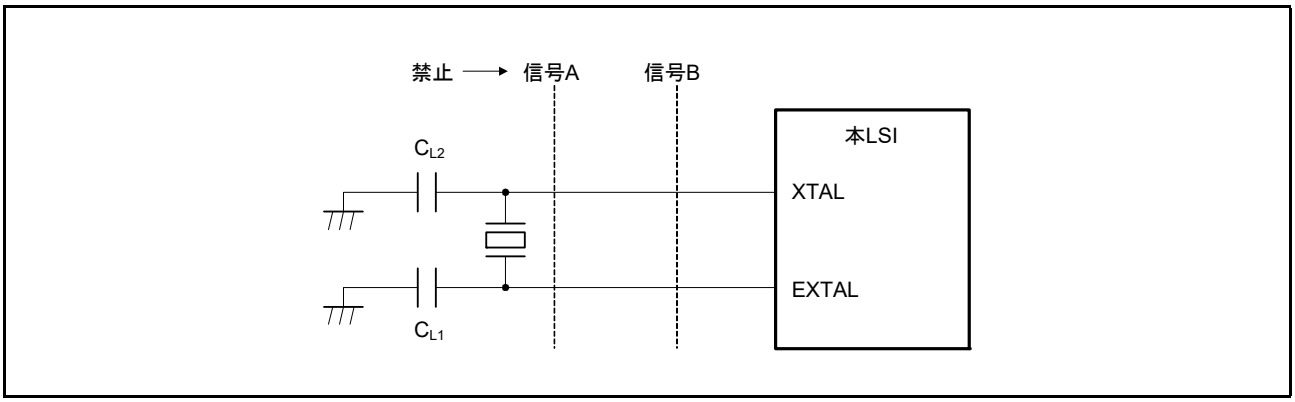


図 7.7 発振回路部のボード設計に関する注意事項

8.　クロックモニタ回路（CLMA）

クロックモニタ回路（CLMAn）（n = 2-0) は、PLL0 出力、PLL1 出力および低速オンチップオシレータ（LOCO）出力の周波数異常を検出し、エラー信号を出力します。

8.1　概要

CLMAn（n = 2-0）は PLL0 出力、PLL1 出力、およびオンチップオシレータ（LOCO）出力の周波数異常を検出することが可能です。サンプリングクロックの 16 周期の間、モニタクロック（PLL0 出力、PLL1 出力、および LOCO 出力の分周クロック）の立ち上がりエッジをカウントし、カウント値をコンペア・レジスタと比較します。

CLMAn（n = 2-0）は異常検出時にエラーコントロールモジュール（ECM）に対してエラー信号を出力します。また PLL0 出力、PLL1 出力の異常検出時には、PLL0 出力、PLL1 出力の代わりにメインクロックを供給するようクロック切り替えを行います。

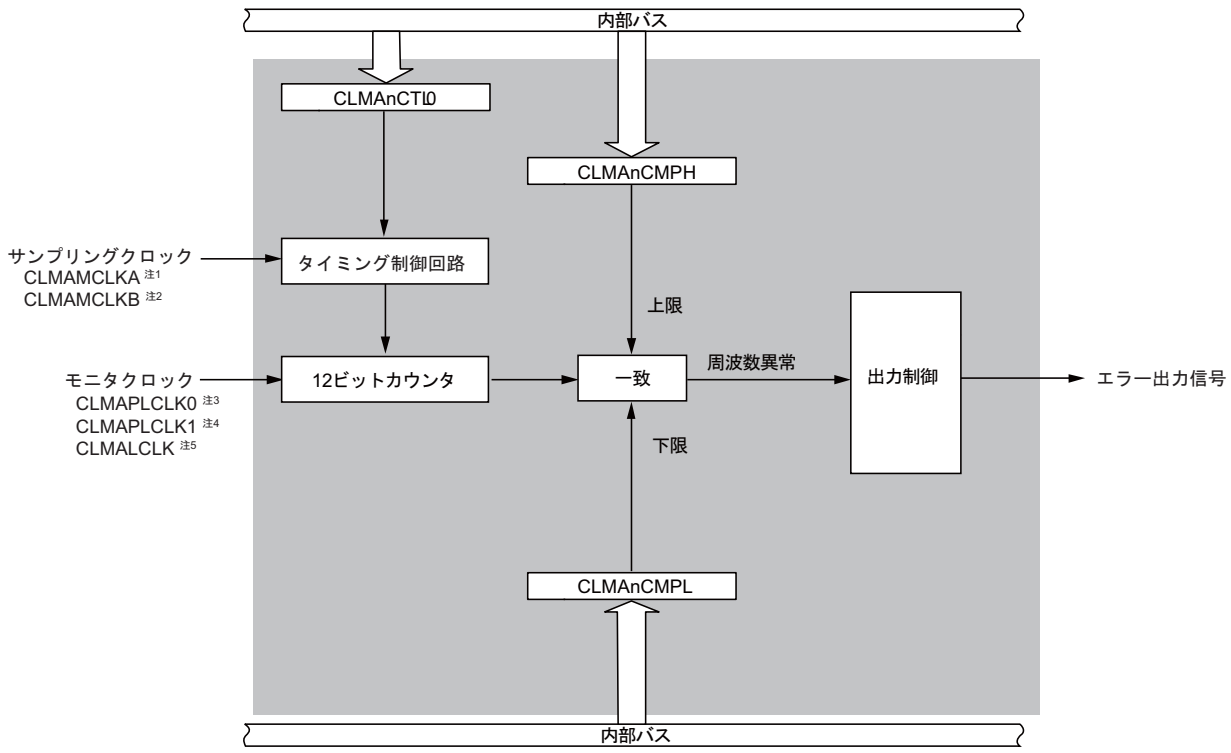
エラー信号の詳細については「42.　エラーコントロールモジュール（ECM）」を参照してください。

表 8.1　CLMAn の仕様（n = 2-0）

項目	内容
モニタクロック	以下のモニタクロック周波数の異常検出が可能です。 • PLL0 出力クロックを 16 分周したクロック（CLMAPLCLK0、供給先は CLMA0）：75MHz • PLL1 出力クロックを 16 分周したクロック（CLMAPLCLK1、供給先は CLMA1）：75MHz / 56.25MHz（注 1） • 低速オンチップオシレータ（LOCO）出力クロック（CLMALCLK、供給先は CLMA2）：240kHz
サンプリングクロック	以下をサンプリングクロックとして、クロック周波数異常をモニタします。 • メインクロック周波数を 2 分周したクロック（CLMAMCLKA、供給先は CLMA0）：12.5MHz • メインクロック周波数を 2 分周したクロック（CLMAMCLKA、供給先は CLMA1）：12.5MHz • メインクロック周波数を 256 分周したクロック（CLMAMCLKB、供給先は CLMA2）：97.66kHz
エラー信号出力	CLMAn が周波数異常を検出すると、エラーコントロールモジュール（ECM）に対して、エラー信号を出力します。 • CLMA0 発振停止検出エラー信号 • CLMA1 発振停止検出エラー信号 • CLMA2 発振停止検出エラー信号
異常検出時 クロック切り替え機能	PLL0 出力、PLL1 出力の異常検出時に、PLL0 出力、PLL1 出力の代わりにメインクロックを供給するようクロック切り替えを行います。

注 1.　PLL1CR レジスタの CPUCKSEL[1:0] で 10b を設定した場合に 56.25MHz が選択されます。10b 以外の設定の場合は、75MHz が選択されます。詳細については「7.　クロック発生回路」を参照してください。

図 8.1 に CLMAn（n = 2-0）のブロック図を示します。



注 1.　CLMA0 と CLMA1 に供給されるメインクロック周波数を 2 分周したクロック
注 2.　CLMA2 に供給されるメインクロック周波数を 256 分周したクロック
注 3.　CLMA0 に供給される PLL0 出力クロックを 16 分周したクロック
注 4.　CLMA1 に供給される PLL1 出力クロックを 16 分周したクロック
注 5.　CLMA2 に供給される低速オンチップオシレータ（LOCO）出力クロック

図 8.1　　CLMAn のブロック図（n = 2-0）

8.2　レジスタの説明

8.2.1　CLMAn 制御レジスタ 0 （CLMAnCTL0）（n = 2-0）

CLMAnCTL0 レジスタは、クロックモニタ回路 CLMAn の動作を制御するレジスタです。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「**8.3.1　CLMAn の動作 (1)　動作許可**」を参照してください。

アドレス　CLMA0CTL0：A009 0000h
CLMA1CTL0：A009 0020h
CLMA2CTL0：A009 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CLMAn CLME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLMAnCLME	クロックモニタ・イネーブルビットn	クロックモニタ回路CLMAnの動作許可／禁止を設定します（n = 2-0） 0：CLMAn動作禁止 1：CLMAn動作許可	R/W
b7-b1	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

注1.　一度CLMAnCLMEビット = “1”に設定した場合、リセット（ソフトウェアリセット2を除く）以外ではクリアされません。

8.2.2　CLMAn コンペアレジスタ L（CLMAnCMPL）（n = 2-0）

CLMAnCMPL レジスタは、周波数領域比較の下限値を設定するレジスタです。

CLMAnCMPL レジスタは、CLMAnCLME ビット = “0” のとき、書き込み可能です。CLMAnCLME ビット = “1” のときの書き込み動作は無効になります。

アドレス　CLMA0CMPL：A009 0008h
CLMA1CMPL：A009 0028h
CLMA2CMPL：A009 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CLMAnCMPL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b11-b0	CLMAnCMPL[11:0]	クロックモニタ・コンペアLビット	周波数領域の下限のしきい値を指定します（注1） • 詳細は「(2)　しきい値CLMAnCMPL.CLMAnCMPL[11:0]とCLMAnCMPH.CLMAnCMPH[11:0]の算出方法」を参照してください。 推奨値：$f_{CLMATMON\ (min)}$ / $f_{CLMATSMP\ (max)}$ × 16 – 1 $f_{CLMATMON}$：モニタクロック周波数 $f_{CLMATSMP}$：サンプリングクロック周波数 • 最小値：0001h	R/W
b15-b12	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

注1.　CLMAnCMPL レジスタの設定は次の条件を満たすように設定してください。
・1≦CLMAnCMPL
・CLMAnCMPL + 3 ≦ CLMAnCMPH

8.2.3　CLMAn コンペアレジスタ H（CLMAnCMPH）（n = 2-0）

CLMAnCMPH レジスタは、周波数領域比較の上限値を設定するレジスタです。

CLMAnCMPH レジスタは、CLMAnCLME ビット = “0” のとき、書き込み可能です。CLMAnCLME ビット = “1” のときの書き込み動作は無効になります。

アドレス　CLMA0CMPH：A009 000Ch
CLMA1CMPH：A009 002Ch
CLMA2CMPH：A009 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CLMAnCMPH[11:0]											
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b11-b0	CLMAnCMPH[11:0]	クロックモニタ・コンペアHビット	周波数領域の上限のしきい値を指定します（注1） • 詳細は「(2)　しきい値CLMAnCMPL.CLMAnCMPL[11:0]とCLMAnCMPH.CLMAnCMPH[11:0]の算出方法」を参照してください。 推奨値：$f_{CLMATMON\ (max)}$ / $f_{CLMATSMP\ (min)}$ × 16 + 1 $f_{CLMATMON}$：モニタクロック周波数 $f_{CLMATSMP}$：サンプリングクロック周波数 • 最小値：CLMAnCMPL＋0003h	R/W
b15-b12	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

注1.　CLMAnCMPH レジスタの設定は次の条件を満たすように設定してください。
・1≦CLMAnCMPL
・CLMAnCMPL + 3 ≦ CLMAnCMPH

8.2.4　CLMAn コマンドレジスタ（CLMAnPCMD）（n = 2-0）

CLMAnPCMD レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。
詳細は「8.3.1　CLMAn の動作 (1)　動作許可」を参照してください。

アドレス
CLMA0PCMD：A009 0010h
CLMA1PCMD：A009 0030h
CLMA2PCMD：A009 0050h

	b7	b6	b5	b4	b3	b2	b1	b0
	CLMAnPR[7:0]							
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	CLMAnPR[7:0]	CLMAn プロテクトキーコード	特定の命令シーケンスを書き込みます。	W

8.2.5　CLMAn プロテクションステータスレジスタ（CLMAnPS）（n = 2-0）

CLMAnPS レジスタは、保護されたレジスタに対して、正しく書き込みが行われたかどうかのステータスを示すレジスタです。書き込みが正しく行われなかった場合、プロテクション・エラーが発生し、CLMAnPS.CLMAnPRERR ビット = “1” となります。
詳細は「8.3.1　CLMAn の動作 (1)　動作許可」を参照してください。

アドレス
CLMA0PS：A009 0014h
CLMA1PS：A009 0034h
CLMA2PS：A009 0054h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CLMAn PRERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLMAnPRERR	CLMAn エラービット	0：プロテクション・エラーは発生していない 1：プロテクション・エラーが発生している	R
b7-b1	—	予約ビット	読むと “0” が読み出されます。	R

8.3　動作説明

8.3.1　CLMAn の動作

(1)　動作許可

クロックモニタ回路 CLMAn（n = 2-0）によるモニタクロック（PLL0 出力の 16 分周、PLL1 出力の 16 分周、LOCO 出力）の監視は、CLMAnCTL0.CLMAnCLME ビット = “1” によって開始されます。

CLMAnCTL0.CLMAnCLME ビット = “1” を書き込むには、次の命令シーケンスにしたがってください。

1. A5h を CLMAnPCMD レジスタに書き込む。
2. 次のシーケンスで CLMAnCTL0 に書き込む。
   - 目的の設定値（01h）を書き込む
   - 目的の反転値（FEh）を書き込む
   - 再度目的の値（01h）を書き込む
3. CLMAnCTL0 を読み出します。
   CLMAnCTL0 の値が 01h になっていれば、CLMAn の動作が有効になっています。
   それ以外の場合は、CLMAn プロテクションステータスレジスタ（CLMAnPS）の値を確認します。

CLMAnPS = 01h の場合、命令シーケンスが正しく実行されていません。手順 1 から再度シーケンスを実行し、書き込みを行ってください。

(2)　動作停止

モニタクロックがレジスタ操作により停止した場合は、対応するクロックモニタ回路 CLMAn も自動的に無効になります。その後、モニタクロックが再度、発振を開始して、安定すると、クロックモニタ回路 CLMAn は動作を再開します。

8.3.2　異常クロック周波数の検出

(1)　検出方法

1. CLMAn は、サンプリングクロック（メインクロック周波数の分周クロック）の 16 周期内でモニタクロック（PLL0 出力の 16 分周、PLL1 出力の 16 分周、LOCO 出力）の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します (n = 2-0)。
   - CLMAnCMPL.CLMAnCMPL[11:0] は周波数領域下限のしきい値を指定します。
   - CLMAnCMPH.CLMAnCMPH[11:0] は周波数領域上限のしきい値を指定します。
2. モニタクロックが停止した場合、または期待する周波数よりも低い場合は、カウント値は CLMAnCMPL.CLMAnCMPL[11:0] の設定値を下回ります。
3. モニタクロックが期待する周波数よりも高い場合は、カウント値が CLMAnCMPH.CLMAnCMPH[11:0] の設定値を上回ります。

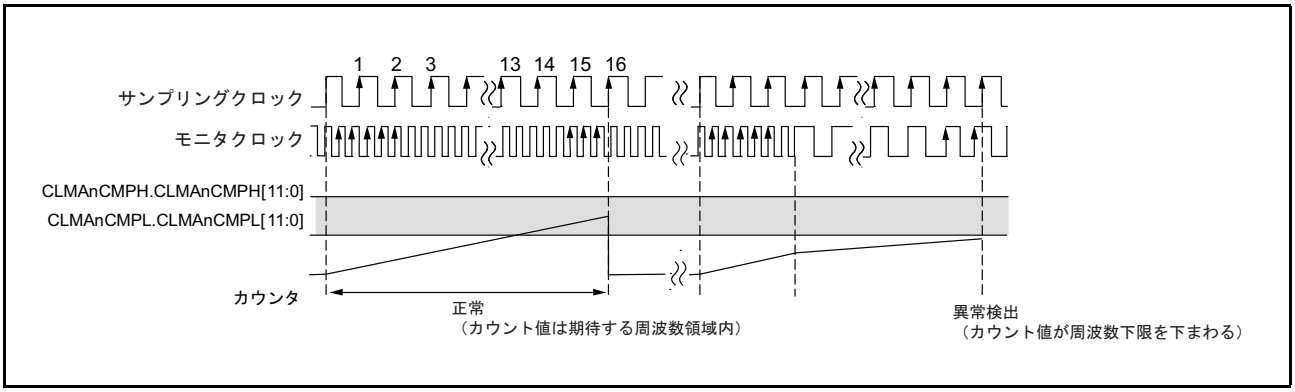


図 8.2　　モニタクロックが期待する周波数より低い場合の例

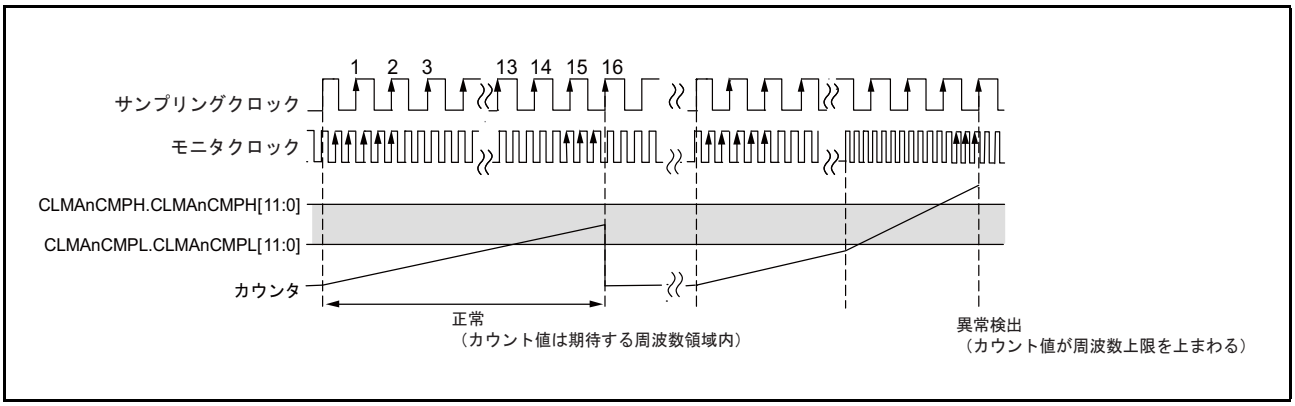


図 8.3　　モニタクロックが期待する周波数より高い場合の例

注 1.　サンプリング周期内でモニタクロック周波数が変化し、結果的に有効なカウント値に収まる場合は異常検出されません。モニタクロックの異常検出は 1 回のサンプリング周期（サンプリングクロックの 16 周期）の後に検出されます。

(2)　しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック（メインクロック周波数の分周クロック）の 16 周期内で正常と想定されるモニタクロックのサイクル数（立ち上がりエッジ数）の最小値と最大値を設定します。

サンプリングクロック周波数を $f_{CLMATSMP}$、モニタクロック周波数を $f_{CLMATMON}$、またサンプリングクロック 16 周期内で期待される、モニタクロックのサイクル数（立ち上がりエッジ数）を N で表します。

$$\frac{16}{f_{CLMATSMP}} = \frac{N}{f_{CLMATMON}}$$

$$N = \frac{f_{CLMATMON}}{f_{CLMATSMP}} \times 16$$

モニタクロックとサンプリングクロックの許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\text{下限しきい値} = N_{min} = \frac{f_{CLMATMON(min)}}{f_{CLMATSMP(max)}} \times 16 - 1$$

$$\text{上限しきい値} = N_{max} = \frac{f_{CLMATMON(max)}}{f_{CLMATSMP(min)}} \times 16 + 1$$

注 .　しきい値は必ず次の範囲で設定してください。
CLMAnCMPL ≥ 0001_H
CLMAnCMPH ≥ CLMAnCMPL + 0003_H

例　CLMA0 の場合

例えば、サンプリングクロックがメインクロック周波数の 2 分周 $f_{CLMATSMP}$ = 12.5MHz（±5 %）、またモニタクロックが PLL0 出力の 16 分周 $f_{CLMATMON}$ = 75 MHz（±5 %）の場合、推奨されるしきい値は次のようになります。

$$N_{min} = f_{CLMATMON}(min) / f_{CLMATSMP}(max) = 71.25 / 13.125 \times 16 - 1 = 85.86$$

CLMAnCMPL = 86 = 0056h

$$N_{max} = f_{CLMATMON}(max) / f_{CLMATSMP}(min) = 78.75 / 11.875 \times 16 + 1 = 107.11$$

CLMAnCMPH = 107 = 006Bh

8.3.3　異常クロック周波数の検出

モニタクロック周波数（PLL0 出力の 16 分周、PLL1 出力の 16 分周、LOCO 出力）がしきい値の上限よりも高い、もしくは下限よりも低い場合、エラーコントロールモジュール（ECM）に対して、それぞれ以下のエラー信号を出力します。

- CLMA0 発振停止検出エラー信号
- CLMA1 発振停止検出エラー信号
- CLMA2 発振停止検出エラー信号

エラー信号の詳細については「42.　エラーコントロールモジュール（ECM）」を参照してください。

8.4　CLMAn 使用上の注意事項

CLMAn が異常を検出したクロックは使用しないでください。使用した場合、デバイスの動作は保証されません。

9.　消費電力低減機能

9.1　概要

本 LSI は、消費電力低減機能として Cortex-R4 のスタンバイ機能、Cortex-M3（R-IN Engine 搭載製品）のスリープ機能、周辺モジュールごとに機能を停止するモジュールストップ機能があります。また CLKOUT25Mn 出力制御機能（n = 2-0）、CKIO 出力制御機能などのクロック制御による消費電力低減が可能です。

表 9.1 に消費電力低減機能の仕様を、**表 9.2** に各周辺モジュールの停止、動作の方法を示します。

表9.1　消費電力低減機能の仕様

項目	内容
低消費電力状態	・スタンバイモード（Cortex-R4） ・スリープモード（Cortex-M3（R-IN Engine搭載製品））
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
CLKOUT25Mn（n = 2-0）出力制御機能	CLKOUT25Mn（n = 2-0）クロック出力または停止（Low固定）の選択が可能
CKIO出力制御機能	CKIOクロック出力または停止（Low固定）の選択が可能

表9.2　各周辺モジュールの動作停止、解除方法　(1 / 2)

モジュール	動作停止、解除方法	初期状態（注1）
Cortex-R4	停止条件：Wait For Interrupt （WFI）命令の実行 解除条件：割り込み	動作
Cortex-M3 （R-IN Engine搭載製品）	停止条件：Wait For Interuppt（WFI）命令の実行 解除条件：割り込み	動作
内部バス	常に動作	動作
密結合メモリ（ATCM, BTCM）	アクセス時のみ動作	アクセス時のみ動作
拡張内蔵SRAM（ECC付き）	アクセス時のみ動作	アクセス時のみ動作
割り込みコントローラ	常に動作	動作
エラーコントロールモジュール（ECM）	常に動作	動作
ポートアウトプットイネーブル3 （POE3）	常に動作	動作
マルチファンクションタイマパルスユニット3（MTU3a）	制御レジスタ設定による停止、解除	停止
汎用PWMタイマ（GPTa）	制御レジスタ設定による停止、解除	停止
16ビットタイマパルスユニット（TPUa）	制御レジスタ設定による停止、解除	停止
プログラマブルパルスジェネレータ （PPG）	制御レジスタ設定による停止、解除	停止
コンペアマッチタイマ（CMT）	制御レジスタ設定による停止、解除	停止
コンペアマッチタイマW（CMTW）	制御レジスタ設定による停止、解除	停止
Ether Switch	制御レジスタ設定による解除（注2）	停止
イーサキャットスレーブコントローラ （EtherCAT）（オプション）	制御レジスタ設定による解除（注2）	停止
Ether RMII	制御レジスタ設定による解除（注2）	停止
Ether MDIO	制御レジスタ設定による解除（注2）	停止
イーサネットMAC/HW-RTOS （R-IN Engine搭載製品）	制御レジスタ設定による解除（注2）	停止
シリアルペリフェラルインタフェース （RSPIa）	制御レジスタ設定による停止、解除	停止
FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	制御レジスタ設定による停止、解除	停止

表9.2　各周辺モジュールの動作停止、解除方法　(2 / 2)

モジュール	動作停止、解除方法	初期状態（注1）
I²Cバスインタフェース（RIICa）	制御レジスタ設定による停止、解除	停止
CANモジュール（RSCAN）	制御レジスタ設定による停止、解除	停止
クロックモニタ回路（CLMA）	制御レジスタ設定による停止、解除	停止
CRC演算器（CRC）	制御レジスタ設定による停止、解除	停止
データ演算回路（DOC）	制御レジスタ設定による停止、解除	停止
SPIマルチI/Oバスコントローラ（SPIBSC）	制御レジスタ設定による停止、解除	停止（注3）
バスステートコントローラ（BSC）	制御レジスタ設定による停止、解除	動作（注3）
イベントリンクコントローラ（ELC）	制御レジスタ設定による停止、解除	停止
12ビットA/Dコンバータ（S12ADCa）	制御レジスタ設定による停止、解除	停止
温度センサ	制御レジスタ設定による停止、解除	停止
ΔΣインタフェース（DSMIF）	制御レジスタ設定による停止、解除	停止
USB	制御レジスタ設定による停止、解除	停止
シリアルサウンドインタフェース（SSI）	制御レジスタ設定による停止、解除	停止
ダイレクトメモリアクセスコントローラ（DMAC）	制御レジスタ設定による停止、解除	動作
I/Oポート	常に動作	動作
Coresight	制御レジスタ設定による停止、解除	動作
ウォッチドッグタイマ（WDTA（Cortex-R4用））	常に動作	動作
ウォッチドッグタイマ（WDTA（Cortex-M3用）（R-IN Engine搭載製品））	常に動作	動作
独立ウォッチドッグタイマ（IWDTa）	常に動作	動作
Encoderインタフェース	制御レジスタ設定による停止、解除	停止

注1.　RES#端子リセット、エラーコントロールモジュール（ECM）リセットおよびソフトウェアリセットによって各モジュールは初期状態になります。Cortex-M3, およびWDT（Cortex-M3用）は上記に加えてソフトウェアリセット2によって初期状態になります。

注2.　本モジュールは、制御レジスタ設定による停止は禁止です。詳細については「9.2.2　モジュールストップコントロールレジスタB（MSTPCRB）」を参照してください。

注3.　SPIマルチI/Oバスコントローラ（SPIBSC）、バスステートコントローラ（BSC）は、リセット解除後に選択した動作モードによってブート処理後の状態が異なります。詳細については「3.　動作モード」を参照してください。

9.2　レジスタの説明

各レジスタはレジスタライトプロテクション機能の対象です。レジスタに書き込みを行う場合は、プロテクトレジスタ（PRCR）のビット 1 の書き込み保護を解除してください。詳細については**「11.　レジスタライトプロテクション機能」**を参照してください。

9.2.1　モジュールストップコントロールレジスタ A（MSTPCRA）

MSTPCRA レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については**「9.3.1　モジュールストップ機能」**を参照してください。

アドレス　A00B 0300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MSTP CRA11	—	MSTP CRA9	MSTP CRA8	MSTP CRA7	MSTP CRA6	MSTP CRA5	MSTP CRA4	MSTP CRA3	MSTP CRA2	MSTP CRA1	MSTP CRA0
リセット後の値	0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRA0	CMTW ユニット1 モジュールストップ設定ビット	対象モジュール：CMTW ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPCRA1	CMTW ユニット0 モジュールストップ設定ビット	対象モジュール：CMTW ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPCRA2	CMT ユニット2 モジュールストップ設定ビット	対象モジュール：CMT ユニット2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPCRA3	CMT ユニット1 モジュールストップ設定ビット	対象モジュール：CMT ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPCRA4	CMT ユニット0 モジュールストップ設定ビット	対象モジュール：CMT ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPCRA5	PPG ユニット1 モジュールストップ設定ビット	対象モジュール：PPG ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPCRA6	PPG ユニット0 モジュールストップ設定ビット	対象モジュール：PPG ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPCRA7	TPUa ユニット1 モジュールストップ設定ビット	対象モジュール：TPUa ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPCRA8	TPUa ユニット0 モジュールストップ設定ビット	対象モジュール：TPUa ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPCRA9	GPTa モジュールストップ設定ビット	対象モジュール：GPTa 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b11	MSTPCRA11	MTU3a モジュールストップ設定ビット	対象モジュール：MTU3a 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b12	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

9.2.2　モジュールストップコントロールレジスタ B（MSTPCRB）

MSTPCRB レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1　**モジュールストップ機能**」を参照してください。

アドレス　A00B 0304h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	MSTPCRB19	MSTPCRB18（注1）	MSTPCRB17	MSTPCRB16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPCRB15（注1）	MSTPCRB14	MSTPCRB13	MSTPCRB12	MSTPCRB11	MSTPCRB10	MSTPCRB9	MSTPCRB8	MSTPCRB7	MSTPCRB6	MSTPCRB5	—	MSTPCRB3	MSTPCRB2	MSTPCRB1	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

注1.　EtherCAT（オプション）搭載製品のみ

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b1	MSTPCRB1	RSCAN モジュールストップ設定ビット	対象モジュール：RSCAN 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPCRB2	RIICa チャネル1 モジュールストップ設定ビット	対象モジュール：RIICa チャネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPCRB3	RIICa チャネル0 モジュールストップ設定ビット	対象モジュール：RIICa チャネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b5	MSTPCRB5	SCIFA チャネル4 モジュールストップ設定ビット	対象モジュール：SCIFA チャネル4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPCRB6	SCIFA チャネル3 モジュールストップ設定ビット	対象モジュール：SCIFA チャネル3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPCRB7	SCIFA チャネル2 モジュールストップ設定ビット	対象モジュール：SCIFA チャネル2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPCRB8	SCIFA チャネル1 モジュールストップ設定ビット	対象モジュール：SCIFA チャネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPCRB9	SCIFA チャネル0 モジュールストップ設定ビット	対象モジュール：SCIFA チャネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPCRB10	RSPIa チャネル3 モジュールストップ設定ビット	対象モジュール：RSPIa チャネル3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPCRB11	RSPIa チャネル2 モジュールストップ設定ビット	対象モジュール：RSPIa チャネル2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPCRB12	RSPIa チャネル1 モジュールストップ設定ビット	対象モジュール：RSPIa チャネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b13	MSTPCRB13	RSPIa チャネル0 モジュールストップ設定ビット	対象モジュール：RSPIa チャネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14（注1）	MSTPCRB14	Ether Switch モジュールストップ設定ビット	対象モジュール：Ether Switch 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15（注1） （注2）	MSTPCRB15	EtherCAT モジュールストップ設定ビット （オプション）	対象モジュール：EtherCAT 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16（注1）	MSTPCRB16	Ether MDIO モジュールストップ設定ビット	対象モジュール：Ether MDIO 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17（注1）	MSTPCRB17	Ether RMII モジュールストップ設定ビット	対象モジュール：Ether RMII 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18（注1） （注3）	MSTPCRB18	イーサネットMAC/HW-RTOS モジュールストップ設定ビット	対象モジュール：イーサネットMAC、HW-RTOS 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19（注1）	MSTPCRB19	CLKOUT25Mn（Ether PHYクロック出力）停止設定ビット （n = 2-0）	0：CLKOUT25Mn端子のクロック出力を許可 1：CLKOUT25Mn端子のクロック出力を停止（Low固定）	R/W
b31-b20	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1.　Ethernet関連機能は、初期状態は停止状態となっています。使用する場合はMSTPCRB.MSTPCRB14～MSTPCRB19ビットの設定を行い、モジュールストップを解除してください。ただし、一旦、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。

注2.　EtherCAT（オプション）搭載製品以外の製品は、予約ビットです。読むと“1”が読み出されます。書き込みは、必ず“1”としてください。

注3.　R-IN Engine搭載製品のみイーサネットMAC/HW-RTOSがモジュールストップの対象です。R-IN Engine搭載製品以外は、イーサネットMACのみがモジュールストップの対象となります。

9.2.3　モジュールストップコントロールレジスタ C（MSTPCRC）

MSTPCRC レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1　**モジュールストップ機能**」を参照してください。

アドレス　A00B 0308h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTP CRC14	MSTP CRC13	MSTP CRC12	MSTP CRC11	MSTP CRC10	MSTP CRC9	MSTP CRC8	MSTP CRC7	MSTP CRC6	MSTP CRC5	MSTP CRC4	MSTP CRC3	MSTP CRC2	MSTP CRC1	—
リセット後の値	0	1	1	1	1	1	1（注1）	1	0（注1）	1	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b1	MSTPCRC1	USB モジュールストップ設定ビット	対象モジュール：USB 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPCRC2	ΔΣ I/F モジュールストップ設定ビット	対象モジュール：ΔΣ I/F 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPCRC3	温度センサ モジュールストップ設定ビット	対象モジュール：温度センサ 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPCRC4	ADC ユニット1 モジュールストップ設定ビット	対象モジュール：ADC ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPCRC5	ADC ユニット0 モジュールストップ設定ビット	対象モジュール：ADC ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPCRC6	ELC モジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPCRC7	BSC モジュールストップ設定ビット	対象モジュール：BSC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPCRC8	CKIO停止設定ビット	0：CKIO端子のクロック出力を許可 1：CKIO端子のクロック出力を停止（Low固定）	R/W
b9	MSTPCRC9	SPIBSC モジュールストップ設定ビット	対象モジュール：SPIBSC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPCRC10	DOC モジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPCRC11	CRC モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPCRC12	CLMA ユニット2 モジュールストップ設定ビット	対象モジュール：CLMA ユニット2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPCRC13	CLMA ユニット1 モジュールストップ設定ビット	対象モジュール：CLMA ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b14	MSTPCRC14	CLMA ユニット0 モジュールストップ設定ビット	対象モジュール：CLMA ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b15	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1.　SPIマルチI/Oバスコントローラ（SPIBSC）、バスステートコントローラ（BSC）は、リセット解除後に選択した動作モードによってブート処理後の状態が異なります。詳細については「3.　動作モード」を参照してください。

9.2.4　　モジュールストップコントロールレジスタ D（MSTPCRD）

MSTPCRD レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1　**モジュールストップ機能**」を参照してください。

アドレス　A00B 030Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP CRD2	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください。	R/W
b2	MSTPCRD2	SSI モジュールストップ設定ビット	対象モジュール：SSI 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b3	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

9.2.5　モジュールストップコントロールレジスタ E（MSTPCRE）

MSTPCRE レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1　**モジュールストップ機能**」を参照してください。

アドレス　A00B 0310h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	MSTP CRE5	MSTP CRE4	—	—	—	MSTPC RE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRE0（注1）	Encoderインタフェース モジュールストップ設定ビット	対象モジュール：Encoderインタフェース 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b4	MSTPCRE4	DMAC ユニット1 モジュールストップ設定ビット	対象モジュール：DMAC ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPCRE5	DMAC ユニット0 モジュールストップ設定ビット	対象モジュール：DMAC ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b6	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1.　本ビットはEncoderインタフェースコンフィグレーションライブラリの処理で、モジュールストップ解除が行われるため、ソフトウェアで解除する必要はありません。

9.2.6　　モジュールストップコントロールレジスタ F（MSTPCRF）

MSTPCRF レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1　**モジュールストップ機能**」を参照してください。

アドレス　A00B 0314h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP CRF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRF0	Coresight モジュールストップ設定ビット	対象モジュール：Coresight 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

9.3　動作説明

9.3.1　モジュールストップ機能

モジュールストップ機能は内蔵周辺機能のモジュール単位で動作の停止設定をすることができます。

MSTPCRA ～ MSTPCRF レジスタの対応する MSTPmi ビット（m = A-F, i = 31-0）を “1” にセットすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。

対応する MSTPmi ビット（m = A-F, i = 31-0）を “0” にクリアすることによって、モジュールストップ状態は解除されます。

表 9.3 に示す周辺モジュールのモジュールストップ状態を解除する場合は、以下の手順でモジュールストップ状態を解除してください。**表 9.3** に記載のない周辺モジュールは下記の手順は不要です。ただし各周辺機能の章に記載される初期化手順にしたがって設定をしてください。

手順：

(1) モジュールストップ状態を解除するため、モジュールストップコントロールレジスタ MSTPCRm（m = A ～ E）の対応ビットを “0” にクリアした直後に、当該 MSTPCRm レジスタを一度ダミーリードしてください。

(2) モジュールストップ状態を解除した対象周辺機能の任意のレジスタに対し、一度ダミーリードしてください。その後、対象周辺機能の各レジスタへアクセスが可能です。

備考：MPU による周辺 I/O レジスタ領域属性の設定は、ストロングリオーダまたはデバイスを前提としています。

記述例：

```
volatile unsigned long dummy;                 //   変数の最適化防止のためvolatileを宣言

   SYSTEM.MSTPCRA.BIT.MSTPCRA0 = 0;           //   CMTWユニット1のモジュールストップ解除
   dummy = SYSTEM.MSTPCRA.BIT.MSTPCRA0;       //   手順(1) MSTPCRmレジスタのダミーリード

   dummy = CMTW1.CMWIOR.WORD;                 //   手順(2) CMTWユニット1の任意レジスタをダミーリード
   CMTW1.CMWIOR.WORD = 0x81;                  //   CMTWユニット1の最初の設定（設定値は例）
```

リセット解除後のモジュールの初期状態については、**「表 9.2　各周辺モジュールの動作停止、解除方法」**を参照してください。

注．　モジュールストップ設定直後に、そのモジュールの制御レジスタに書き込みを行なった場合、書きこめる場合があります。

表9.3　　モジュールストップ解除手順の必要な周辺機能 (1 / 2)

周辺機能	対応するモジュールストップコントロールレジスタ
CMTWユニット1	MSTPCRAレジスタ MSTPCRA0ビット
CMTWユニット0	MSTPCRAレジスタ MSTPCRA1ビット
CMTユニット2	MSTPCRAレジスタ MSTPCRA2ビット
CMTユニット1	MSTPCRAレジスタ MSTPCRA3ビット
CMTユニット0	MSTPCRAレジスタ MSTPCRA4ビット
PPGユニット1	MSTPCRAレジスタ MSTPCRA5ビット
PPGユニット0	MSTPCRAレジスタ MSTPCRA6ビット
TPUaユニット1	MSTPCRAレジスタ MSTPCRA7ビット

表9.3　　モジュールストップ解除手順の必要な周辺機能 (2 / 2)

周辺機能	対応するモジュールストップコントロールレジスタ
TPUaユニット0	MSTPCRA レジスタ MSTPCRA8 ビット
GPTa	MSTPCRA レジスタ MSTPCRA9 ビット
MTU3a	MSTPCRA レジスタ MSTPCRA11 ビット
RSCAN	MSTPCRB レジスタ MSTPCRB1 ビット
RIICa チャネル1	MSTPCRB レジスタ MSTPCRB2 ビット
RIICa チャネル0	MSTPCRB レジスタ MSTPCRB3 ビット
SCIFA チャネル4	MSTPCRB レジスタ MSTPCRB5 ビット
SCIFA チャネル3	MSTPCRB レジスタ MSTPCRB6 ビット
SCIFA チャネル2	MSTPCRB レジスタ MSTPCRB7 ビット
SCIFA チャネル1	MSTPCRB レジスタ MSTPCRB8 ビット
SCIFA チャネル0	MSTPCRB レジスタ MSTPCRB9 ビット
RSPIa チャネル3	MSTPCRB レジスタ MSTPCRB10 ビット
RSPIa チャネル2	MSTPCRB レジスタ MSTPCRB11 ビット
RSPIa チャネル1	MSTPCRB レジスタ MSTPCRB12 ビット
RSPIa チャネル0	MSTPCRB レジスタ MSTPCRB13 ビット
ΔΣ I/F	MSTPCRC レジスタ MSTPCRC2 ビット
温度センサ	MSTPCRC レジスタ MSTPCRC3 ビット
ADC ユニット1	MSTPCRC レジスタ MSTPCRC4 ビット
ADC ユニット0	MSTPCRC レジスタ MSTPCRC5 ビット
ELC	MSTPCRC レジスタ MSTPCRC6 ビット
BSC	MSTPCRC レジスタ MSTPCRC7 ビット
SPIBSC	MSTPCRC レジスタ MSTPCRC9 ビット
DOC	MSTPCRC レジスタ MSTPCRC10 ビット
CRC	MSTPCRC レジスタ MSTPCRC11 ビット
CLMA ユニット2	MSTPCRC レジスタ MSTPCRC12 ビット
CLMA ユニット1	MSTPCRC レジスタ MSTPCRC13 ビット
CLMA ユニット0	MSTPCRC レジスタ MSTPCRC14 ビット
SSI	MSTPCRD レジスタ MSTPCRD2 ビット
Encoderインタフェース	MSTPCRE レジスタ MSTPCRE0 ビット
DMAC ユニット1	MSTPCRE レジスタ MSTPCRE4 ビット
DMAC ユニット0	MSTPCRE レジスタ MSTPCRE5 ビット

9.3.2　Cortex-R4 のスタンバイモードと Cortex-M3（R-IN Engine 搭載製品）のスリープモード

9.3.2.1　Cortex-R4 のスタンバイモードおよび Cortex-M3（R-IN Engine 搭載製品）のスリープモードへの遷移

Cortex-R4 のスタンバイモードおよび Cortex-M3 のスリープモードへの遷移については WFI 命令の実行により行われます。スタンバイモードへの遷移により Cortex-R4 および Cortex-M3 は動作を停止し、電力を低減することが可能です。詳細については Arm 社提供のテクニカルリファレンスマニュアルを参照してください。

9.3.2.2　Cortex-R4 のスタンバイモードおよび Cortex-M3（R-IN Engine 搭載製品）のスリープモードの解除

Cortex-R4 のスタンバイモードおよび Cortex-M3 のスリープモードの解除は、割り込み、RES# 端子リセット、ECM リセットおよびソフトウェアリセットによって行われます。また、Cortex-M3 のスリープモードの解除はソフトウェアリセット 2 によるリセットによっても行われます。

- 割り込みによる解除
  割り込みが発生すると、割り込みが発生した CPU のスタンバイモードまたはスリープモードが解除され、割り込み例外処理を開始します。ノンマスカブル割り込み、および以下の条件を満たすマスカブル割り込みによって解除されます。

  （1）割り込みイネーブル・レジスタにより該当する割り込み要求が許可されている
  （2）DMAC 要因選択レジスタによって、DMAC への割り付けがされていない

- リセットによる解除
  Cortex-R4 は RES# 端子リセット、ECM リセットおよびソフトウェアリセット解除後に、リセット例外処理を開始します。Cortex-M3 は RES# 端子リセット、ECM リセットおよびソフトウェアリセット解除後にもリセット状態を継続しています。リセット解除するには Cortex-R4 がレジスタアクセスによりソフトウェアリセット 2 を解除することで例外処理を開始します。
  リセットの詳細については「6.　リセット」を参照してください。

9.4　使用上の注意事項

9.4.1　I/O ポートの状態

I/O の消費電力を低減させるためには、I/O のコントロールによる端子処理が必要です。詳細は「17.　I/O ポート」を参照してください。

9.4.2　DMAC のモジュールストップ

DMAC 動作中にモジュールストップ設定を行うことは禁止です。モジュールストップ設定を行う前に必ず DMAC が動作停止していることを確認してください。

詳細は、「15.　DMA コントローラ（DMACAa）」を参照してください。

9.4.3　モジュールストップ中の内蔵周辺モジュールの割り込み

モジュールストップ状態の周辺モジュールは割り込みの動作ができません。このためモジュールの割り込み処理中、または DMAC による DMA 転送中などに当該モジュールのモジュールストップ設定を行うと、CPU の割り込み要因または DMAC の起動要因のクリアが行えません。モジュールストップ設定の前に、該当する割り込みをディスエーブルにするなどした後に設定を行ってください。

9.4.4　USB の低消費電力

USB のモジュールストップ設定を解除する手順、および低消費電力状態にする方法は、「31.　USB2.0HS ホストモジュール（USBh）」および「32.　USB2.0HS ファンクションモジュール（USBf）」を参照してください。

9.4.5　Ethernet 関連機能の低消費電力

Ethernet 関連機能は、初期状態は停止状態となっています。使用する場合は MSTPCRB.MSTPCRB14 ～ MSTPCRB19 ビットの設定を行い、モジュールストップを解除してください。ただし、一旦、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2 度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。

9.4.6　ライトプロテクション機能

モジュールストップコントロールレジスタ（MSTPCRA ～ MSTPCRF）はレジスタライトプロテクションの対象レジスタです。MSTPCRA ～ MSTPCRF レジスタに書き込みを行う場合は、ライトプロテクトレジスタ（PRCR）のビット 1 の書き込み保護を解除してください。詳細については「11.　レジスタライトプロテクション機能」を参照してください。

10.　デバッグインタフェース

本 LSI に内蔵のデバッグインタフェースは、Cortex-R4 と Cortex-M3（R-IN Engine 搭載製品）を CoreSight で統合したアーキテクチャを採用しています。プログラムのダウンロード／ラン／ブレークといったデバッグ機能のほか、プログラムの実行履歴を出力するトレース機能をサポートしています。

10.1　概要

デバッグ用インタフェースとして JTAG インタフェースおよび SWD インタフェース、トレース用インタフェースとして、トレースポートインタフェースおよび SWV インタフェースをサポートしています。

本 LSI はバウンダリスキャン用 TAP コントローラと CoreSight デバッグ用 TAP コントローラを内蔵し、BSCANP 端子の入力レベルによって選択することが可能です。デバッグ機能を使用する場合は、BSCANP 端子を Low としてください。

バウンダリスキャンの詳細については「40.　バウンダリスキャン」を参照してください。

表 10.1 に CoreSight の仕様、**図 10.1**、**図 10.2** に CoreSight のブロック図を示します。また、CoreSight のアドレスマップを**表 10.5** ～**表 10.7** に示します。CoreSight の詳細は、Arm 社のテクニカルリファレンスマニュアルを参照してください。

表 10.1　CoreSightの仕様

項目	内容
デバッグ機能	• JTAG インタフェース • SWD（Serial Wire Debug）インタフェース
トレース機能	• トレースポートインタフェース 8bit × 75Mbps（37.5MHz、DDR）のトレースデータ端子出力 Embedded Trace Buffer（ETB）4KB • SWV（Serial Wire Viewer）インタフェース

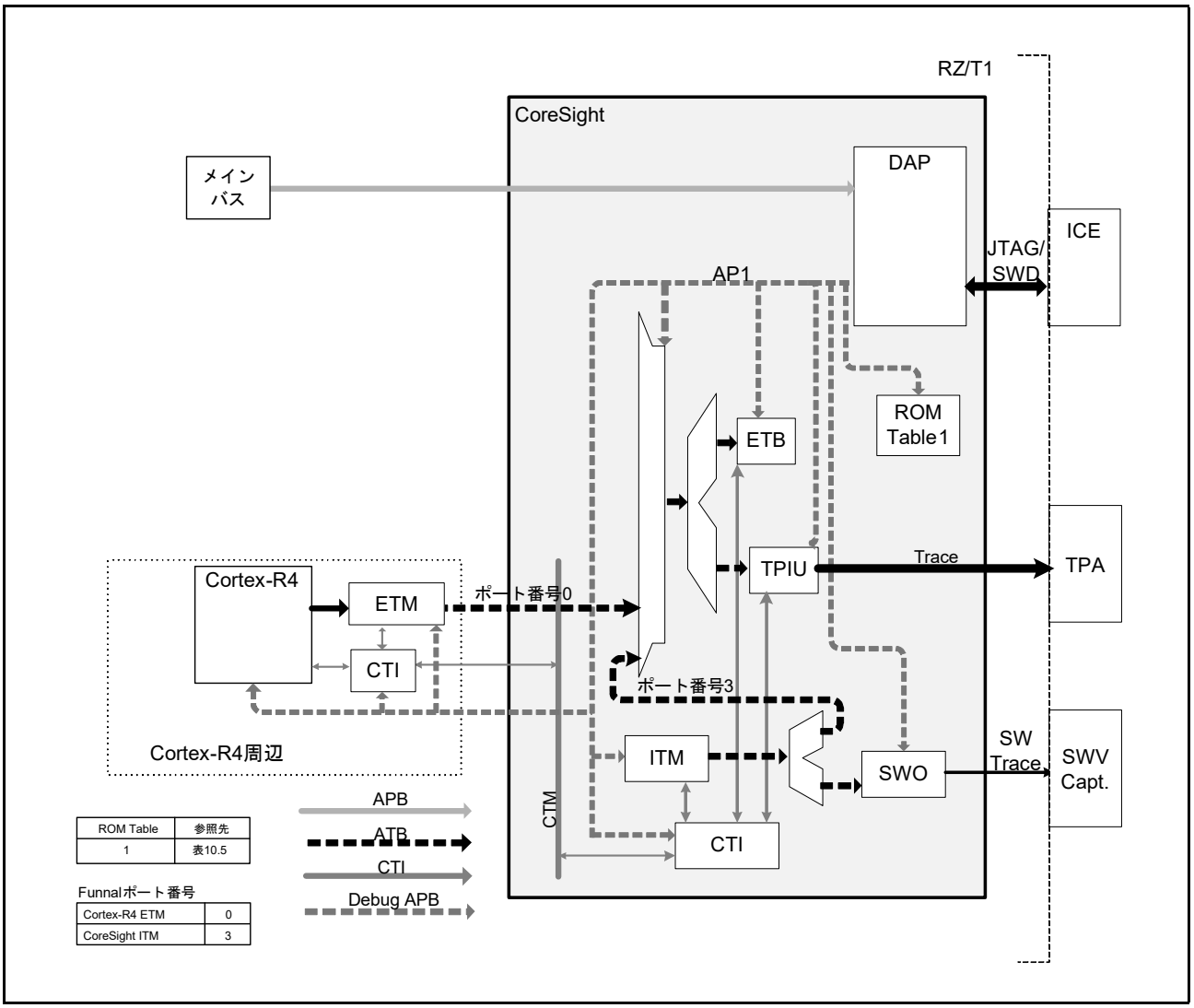


図 10.1 CoreSight のブロック図

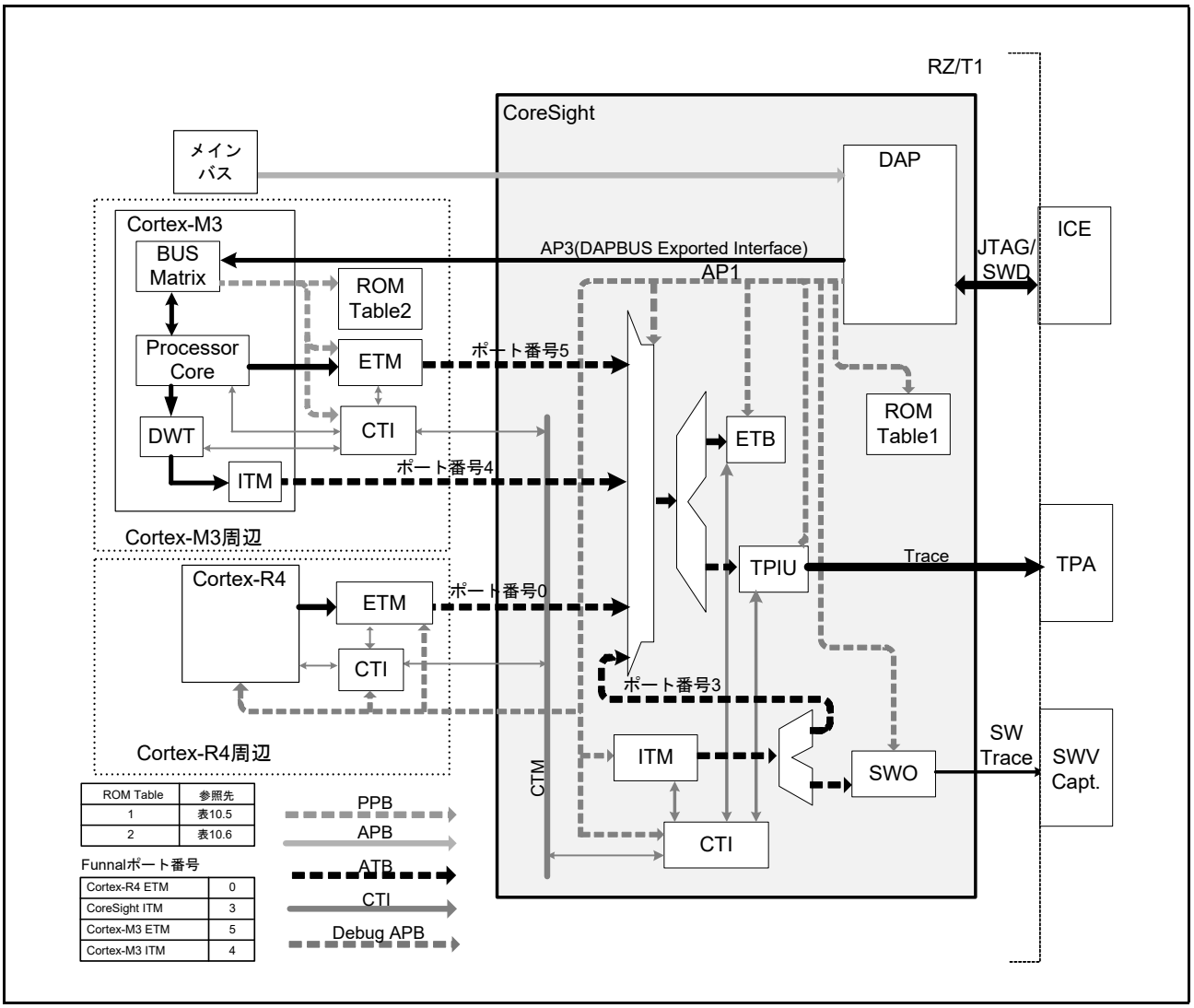


図 10.2　　CoreSight のブロック図（R-IN Engine 搭載製品）

表 10.2　　CTI Trigger Input and Output (CoreSight)

CTI 入力端子	Source device	signal	CTI 出力端子	Destination device	signal
CTITRIGIN[0]	—	—	CTITRIGOUT[0]	ETB	FLUSHIN
CTITRIGIN[1]	—	—	CTITRIGOUT[1]	ETB	TRIGIN
CTITRIGIN[2]	ETB	FULL	CTITRIGOUT[2]	TPIU	FLUSHIN
CTITRIGIN[3]	ETB	ACQCOMP	CTITRIGOUT[3]	TPIU	TRIGIN
CTITRIGIN[4]	ITM	TRIGOUT	CTITRIGOUT[4]	—	—
CTITRIGIN[5]	—	—	CTITRIGOUT[5]	—	—
CTITRIGIN[6]	—	—	CTITRIGOUT[6]	—	—
CTITRIGIN[7]	—	—	CTITRIGOUT[7]	—	—

表10.3　CTI Trigger Input and Output (Cortex-R4)

CTI 入力端子	Source device	signal	CTI 出力端子	Destination device	signal
CTITRIGIN[0]	Cortex-R4	DBGTRIGGER	CTITRIGOUT[0]	Cortex-R4	EDBGRQ
CTITRIGIN[1]	Cortex-R4	nPMUIRQ	CTITRIGOUT[1]	ETM-R4	EXTIN[0]
CTITRIGIN[2]	ETM-R4	EXOUT[0]	CTITRIGOUT[2]	ETM-R4	EXTIN[1]
CTITRIGIN[3]	ETM-R4	EXOUT[1]	CTITRIGOUT[3]	VIC	TRIGINT
CTITRIGIN[4]	Cortex-R4	COMMRX	CTITRIGOUT[4]	—	—
CTITRIGIN[5]	Cortex-R4	COMMTX	CTITRIGOUT[5]	—	—
CTITRIGIN[6]	ETM-R4	TRIGGER	CTITRIGOUT[6]	—	—
CTITRIGIN[7]	—	—	CTITRIGOUT[7]	Cortex-R4	DBGRESTART

表10.4　CTI Trigger Input and Output (Cortex-M3)（R-IN Engine搭載製品のみ）

CTI 入力端子	Source device	signal	CTI 出力端子	Destination device	signal
CTITRIGIN[0]	Core	HALTED	CTITRIGOUT[0]	Core	EDBGRQ
CTITRIGIN[1]	—	—	CTITRIGOUT[1]	—	—
CTITRIGIN[2]	—	—	CTITRIGOUT[2]	NVIC	INTISR[x]
CTITRIGIN[3]	—	—	CTITRIGOUT[3]	NVIC	INTISR[y]
CTITRIGIN[4]	DWT	ETMTRIGGER[0]	CTITRIGOUT[4]	ETM-M3	EXTIN[0]
CTITRIGIN[5]	DWT	ETMTRIGGER[1]	CTITRIGOUT[5]	ETM-M3	EXTIN[1]
CTITRIGIN[6]	DWT	ETMTRIGGER[2]	CTITRIGOUT[6]	—	—
CTITRIGIN[7]	ETM-M3	ETMTRIGOUT	CTITRIGOUT[7]	Core	DBGRESTART

表10.5　CoreSightアドレスマップ (Debug-APB)

Cortex-R4 CPU View	Cortex-M3 CPU View （R-IN Engine搭載製品のみ）	Debugger View （注1） (AP = 1)	module
H'E8000000 ～ H'E8000FFF	H'E8000000 ～ H'E8000FFF	H'00000000 ～ H'00000FFF	CoreSight / DAP ROM
H'E8001000 ～ H'E8001FFF	H'E8001000 ～ H'E8001FFF	H'00001000 ～ H'00001FFF	CoreSight / ETB
H'E8002000 ～ H'E8002FFF	H'E8002000 ～ H'E8002FFF	H'00002000 ～ H'00002FFF	CoreSight / CTI
H'E8003000 ～ H'E8003FFF	H'E8003000 ～ H'E8003FFF	H'00003000 ～ H'00003FFF	CoreSight / TPIU
H'E8004000 ～ H'E8004FFF	H'E8004000 ～ H'E8004FFF	H'00004000 ～ H'00004FFF	CoreSight / Funnel
H'E8005000 ～ H'E8005FFF	H'E8005000 ～ H'E8005FFF	H'00005000 ～ H'00005FFF	CoreSight / ITM
H'E8006000 ～ H'E8006FFF	H'E8006000 ～ H'E8006FFF	H'00006000 ～ H'00006FFF	CoreSight / SWO
H'E8007000 ～ H'E8007FFF	H'E8007000 ～ H'E8007FFF	H'00007000 ～ H'00007FFF	—
H'E8008000 ～ H'E8008FFF	H'E8008000 ～ H'E8008FFF	H'00008000 ～ H'00008FFF	Cortex-R4 / CPU
H'E8009000 ～ H'E8009FFF	H'E8009000 ～ H'E8009FFF	H'00009000 ～ H'00009FFF	Cortex-R4 / CTI
H'E800A000 ～ H'E800AFFF	H'E800A000 ～ H'E800AFFF	H'0000A000 ～ H'0000AFFF	Cortex-R4 / ETM-R4
H'E800B000 ～ H'E800BFFF	H'E800B000 ～ H'E800BFFF	H'0000B000 ～ H'0000BFFF	—
H'E800C000 ～ H'E800CFFF	H'E800C000 ～ H'E800CFFF	H'0000C000 ～ H'0000CFFF	—
H'E800D000 ～ H'E800DFFF	H'E800D000 ～ H'E800DFFF	H'0000D000 ～ H'0000DFFF	—
H'E800E000 ～ H'E800EFFF	H'E800E000 ～ H'E800EFFF	H'0000E000 ～ H'0000EFFF	—
H'E800F000 ～ H'E800FFFF	H'E800F000 ～ H'E800FFFF	H'0000F000 ～ H'0000FFFF	—

注1.　A31(アドレスの最上位ビット)を1にすると、LockAccessをはずさずにアクセスできます。

表10.6　　CoreSightアドレスマップ (DAPBUS Exported I/F)（R-IN Engine搭載製品のみ）

Cortex-R4 CPU View	Cortex-M3 CPU View	Debugger View (AP = 3)	module
not accessible	H'E0000000 ～ H'E0000FFF	H'E0000000 ～ H'E0000FFF	Cortex-M3 / ITM
not accessible	H'E0001000 ～ H'E0001FFF	H'E0001000 ～ H'E0001FFF	Cortex-M3 / DWT
not accessible	H'E0002000 ～ H'E0002FFF	H'E0002000 ～ H'E0002FFF	Cortex-M3 / FPB
not accessible	H'E0003000 ～ H'E0003FFF	H'E0003000 ～ H'E0003FFF	—
not accessible	H'E000E000 ～ H'E000EFFF	H'E000E000 ～ H'E000EFFF	Cortex-M3 / SCS(NVIC)
not accessible	H'E000F000 ～ H'E003FFFF	H'E000F000 ～ H'E003FFFF	—
not accessible	H'E0040000 ～ H'E0040FFF	H'E0040000 ～ H'E0040FFF	—
not accessible	H'E0041000 ～ H'E0041FFF	H'E0041000 ～ H'E0041FFF	Cortex-M3 / ETM-M3
not accessible	H'E0042000 ～ H'E0042FFF	H'E0042000 ～ H'E0042FFF	Cortex-M3 / CTI
not accessible	H'E0043000 ～ H'E0043FFF	H'E0043000 ～ H'E0043FFF	—
not accessible	H'E00FF000 ～ H'E00FFFFF	H'E00FF000 ～ H'E00FFFFF	Cortex-M3 / ROM Table

表10.7　　CoreSightアドレスマップ

Cortex-R4 CPU View	Cortex-M3 CPU View （R-IN Engine搭載製品のみ）	module
E800 0000h ～ E800 0FFFh	E800 0000h ～ E800 0FFFh	CoreSight / DAP ROM
E800 1000h ～ E800 1FFFh	E800 1000h ～ E800 1FFFh	CoreSight / ETB
E800 2000h ～ E800 2FFFh	E800 2000h ～ E800 2FFFh	CoreSight / CTI
E800 3000h ～ E800 3FFFh	E800 3000h ～ E800 3FFFh	CoreSight / TPIU
E800 4000h ～ E800 4FFFh	E800 4000h ～ E800 4FFFh	CoreSight / Funnel
E800 5000h ～ E800 5FFFh	E800 5000h ～ E800 5FFFh	CoreSight / ITM
E800 6000h ～ E800 6FFFh	E800 6000h ～ E800 6FFFh	CoreSight / SWO
E800 7000h ～ E800 7FFFh	E800 7000h ～ E800 7FFFh	—
E800 8000h ～ E800 8FFFh	E800 8000h ～ E800 8FFFh	Cortex-R4 / CPU
E800 9000h ～ E800 9FFFh	E800 9000h ～ E800 9FFFh	Cortex-R4 / CTI
E800 A000h ～ E800 AFFFh	E800 A000h ～ E800 AFFFh	Cortex-R4 / ETM-R4
E800 B000h ～ E800 BFFFh	E800 B000h ～ E800 BFFFh	—
E800 C000h ～ E800 CFFFh	E800 C000h ～ E800 CFFFh	—
E800 D000h ～ E800 DFFFh	E800 D000h ～ E800 DFFFh	—
E800 E000h ～ E800 EFFFh	E800 E000h ～ E800 EFFFh	—
E800 F000h ～ E800 FFFFh	E800 F000h ～ E800 FFFFh	—

表 10.8 にデバッグインタフェースの入出力端子を示します。

表10.8　　デバッグインタフェースの入出力端子

名称	端子名	入出力	機能
テストクロック	TCK	入力	データはこのクロックに同期してデータ入力端子（TDI）から本モジュールにシリアルに供給され、データ出力端子（TDO）から出力されます。 SWDモードの際は、SWDCLK端子として機能します。
テストモードセレクト	TMS	入力／入出力	TCKに同期してこの信号を変化させることによってTAP（Test Access Port）制御回路の状態が決まります。プロトコルは、JTAG規格（IEEE Std.1149.1）に対応しています。 SWDモードの際は、SWDIO端子として機能します。
テストリセット	TRST#（注1）	入力	TCKとは非同期で入力を受け付けLowでTAP（Test Access Port）をリセットします。TRST#端子に加え、RES#端子もLowの場合は、TAPに加えてデバッグ回路部もリセットされます。
テストデータ入力	TDI	入力	TCKに同期してこの端子を変化させることによって本モジュールにデータを送ります。 本端子は汎用ポート としても使用可能です。初期機能はTDIです。
テストデータ出力	TDO	出力	TCKに同期してこの端子を読み出すことによって本モジュールからデータを読み取ります。 SWVの出力端子として選択することができます。 本端子は汎用ポートとしても使用可能です。初期機能はTDOです
トレースクロック出力	TRACECLK	出力	トレースデータ同期用のクロック出力端子です。
トレースイネーブル出力	TRACECTL	出力	トレース制御用イネーブル信号出力端子です。 SWVの出力端子として選択することができます。
トレースデータ出力	TRACEDATA7 ～ TRACEDATA0	出力	トレースデータ出力端子です。 TRACEDATA0をSWVの出力端子として選択することができます。
バウンダリスキャン設定	BSCANP	入力	バウンダリスキャンテスト時にハイレベルを入力します。 CoreSightによるデバッグ時はLowを入力してください。 バウンダリスキャンの詳細については「40.　バウンダリスキャン」を参照してください。

注1.　エミュレータ を使用可能なボードを設計する場合は、電源投入時にRES#端子と重複する期間TRST#端子をLowにし、かつTRST#端子単独でも制御可能となるようにしてください。未使用時は、Lowに固定するか、RES#端子と同じ信号が入力されるように接続してください。詳細については「10.3.5　リセット構成とエミュレータとの接続方法」を参照してください。

10.2　レジスタの説明

10.2.1　デバッグインタフェース制御レジスタ（DBGIFCNT）

DBGIFCNT レジスタはデバッグインタフェースで用いる端子制御を行うレジスタです。

アドレス　A00B 0A00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SWVSEL[1:0]	SWV出力選択ビット	SWV（Serial Wire Viewer）出力される端子を選択します。 b1 b0 00：SWV出力は端子出力されない 01：SWV出力をTDO端子から出力 10：SWV出力をTRACEDATA0端子から出力 11：SWV出力をTRACECTL端子から出力	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)

10.3　動作説明

10.3.1　　JTAG インタフェース

JTAG インタフェースは、TCK ／ TMS ／ TDO ／ TDI ／ TRST# の 5 本の信号により、エミュレータを介してホスト・マシン（PC）との通信を行います。RES# 端子の接続と合わせて**図 10.3** に接続例を示します。

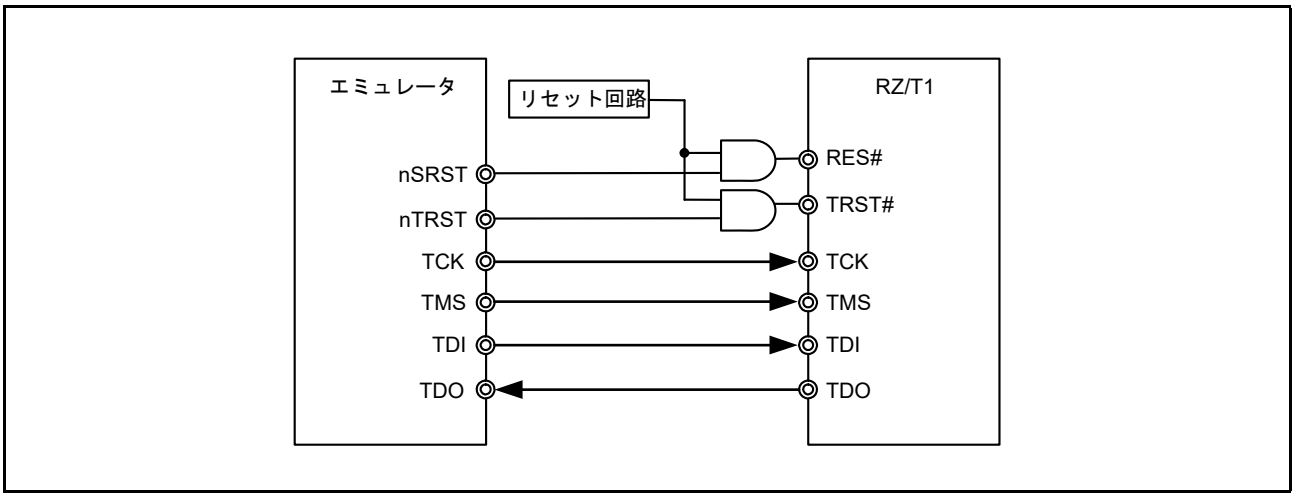


図 10.3　　JTAG インタフェース接続例

10.3.2　SWD インタフェース

SWD（Serial Wire Debug）インタフェースは、SWCLK（TCK）／ SWDIO（TMS）の 2 本の信号により、エミュレータを介してホスト・マシン（PC）との通信を行います。RES# 端子の接続と合わせて図 10.4 に接続例を示します。

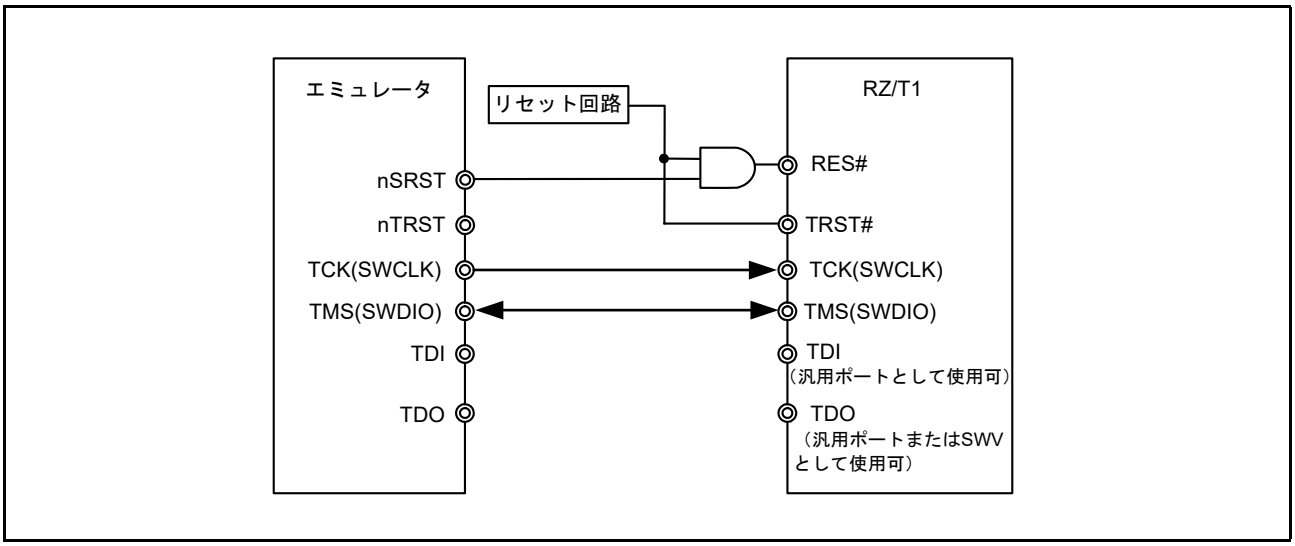


図 10.4　SWD インタフェース接続例

SWD インタフェースにてデバッグを行う場合、TDI 端子と TDO 端子を汎用ポートとして使うことができます。汎用ポートとして用いる場合は、「18.　マルチファンクションピンコントローラ（MPC）」を参照して端子設定を行ってください。

注意事項 ：本 LSI の初期状態では、デバッグインタフェースは JTAG モードです。TDI 端子、TDO 端子を汎用ポートとして使用してエミュレータ接続にてデバッグを行う際は、デバッガからの制御で SWD（Serial Wire Debug）モードに切り替えてからデバッグを開始してください。

10.3.3　トレースポートインタフェース

トレースポートインタフェースは、TRACECLK ／ TRACECTL ／ TRACEDATA7 ～ TRACEDATA0 の 10 本の信号により、トレース情報の出力を行います。トレースポートインタフェースでは、ETM（Embedded Trace Macrocell）のトレースにより得られた「実行されたプログラムの分岐命令情報」が出力され、その情報をデバッガが補完することにより、分岐時の分岐元および分岐先の情報を知ることができます。トレース情報に関する詳細は、各エミュレータメーカのマニュアルを参照してください。

TRACECLK 端子と TRACEDATA 端子の同期関係は DDR クロッキングモードのみ対応しています。

TRACEDATA の本数は最大 8 本まで使用可能です。8 本より少ない場合は LSB 側（TRACEDATA0 側）の端子が使用されます。TRACECTL 端子は、接続する TPA（Trace Port Analyzer）のトレースデータ転送フォーマット仕様に合わせて接続の有無を設定してください。

TRACECLK 端子の出力周波数はトレース I/F クロック（TCLK）を 2 分周した 37.5MHz が設定可能です。詳細は「7.　クロック発生回路」を参照してください。

初期状態では、TRACECLK、TRACEDATA0 ～ TRACEDATA7、TRACECTL の各端子には別の機能が割り当てられています。「18.　マルチファンクションピンコントローラ（MPC）」を参照して端子設定を行ってください。

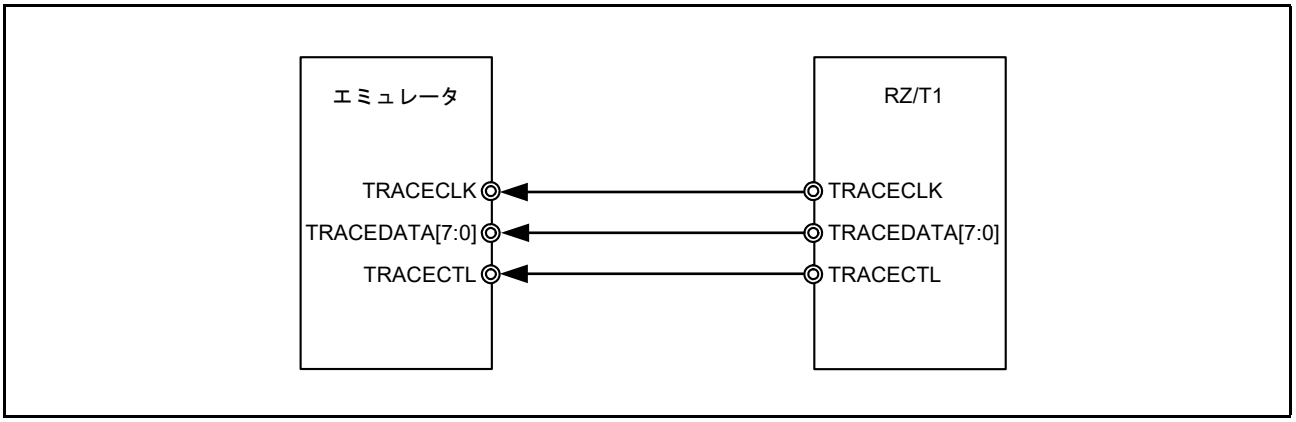


図 10.5　トレースポートインタフェース接続例

10.3.4　SWV インタフェース

SWV（Serial Wire Viewer）インタフェースは、TDO（SWV）、TRACEDATA0（SWV）、または TRACECTL（SWV）のうち、DBGIFCNT レジスタで設定された端子より、トレース情報の出力を行います。JTAG インタフェースを使用している場合は、TDO（SWV）は使用できません。SWV トレースは、指定したサンプリング・サイクル間隔で指定したデータをサンプリングする機能です。なお、トレース情報に関する詳細については、各エミュレータメーカのマニュアルを参照してください。

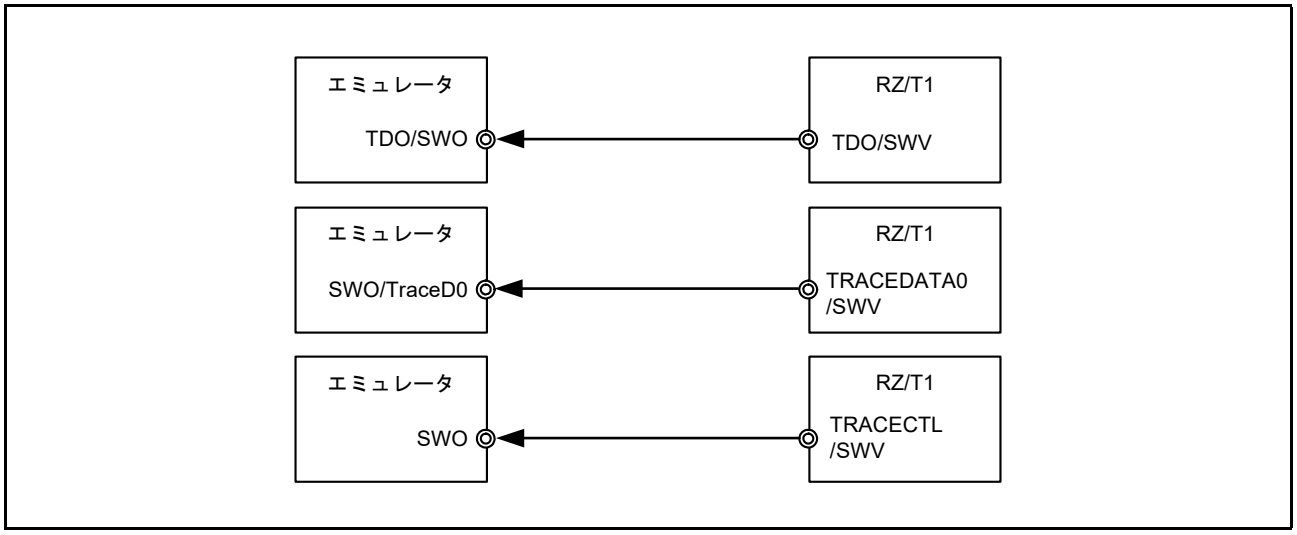


図 10.6　SWV インタフェース接続例

10.3.5　リセット構成とエミュレータとの接続方法

エミュレータを使用可能なボードを設計する場合は、電源投入時に RES# 端子と重複する期間 TRST# 端子を Low にしてください。また TRST# 端子単独でも制御可能となるようにしてください。

デバッグ時は、はじめに RES# 端子と TRST# 端子が共に Low のとき、CPU とデバッグ部はリセット状態となります。次に RES# 端子を Low に保った状態で、TRST# 端子を High にすることで CPU 起動前のデバッグ設定が可能です。

エミュレータ未接続時は、TRST# 端子は Low に固定するか、RES# 端子と同じ信号が入力されるようにしてください。

注 .　CoreSight によるデバッグ時は、BSCANP 端子に Low を入力してバウンダリスキャン機能を無効にしてください。

10.3.5.1　nTRST 出力を High ドライブできないエミュレータの接続例

図 10.7 に nTRST 出力を High ドライブできないエミュレータを使用する場合の接続回路例を示します。TRST# 端子はプルアップされており、エミュレータから Low にアサートされます。CPU 起動前にデバッグ設定を行うには図 10.7 のエミュレータ接続時のタイミングチャートにしたがってください。

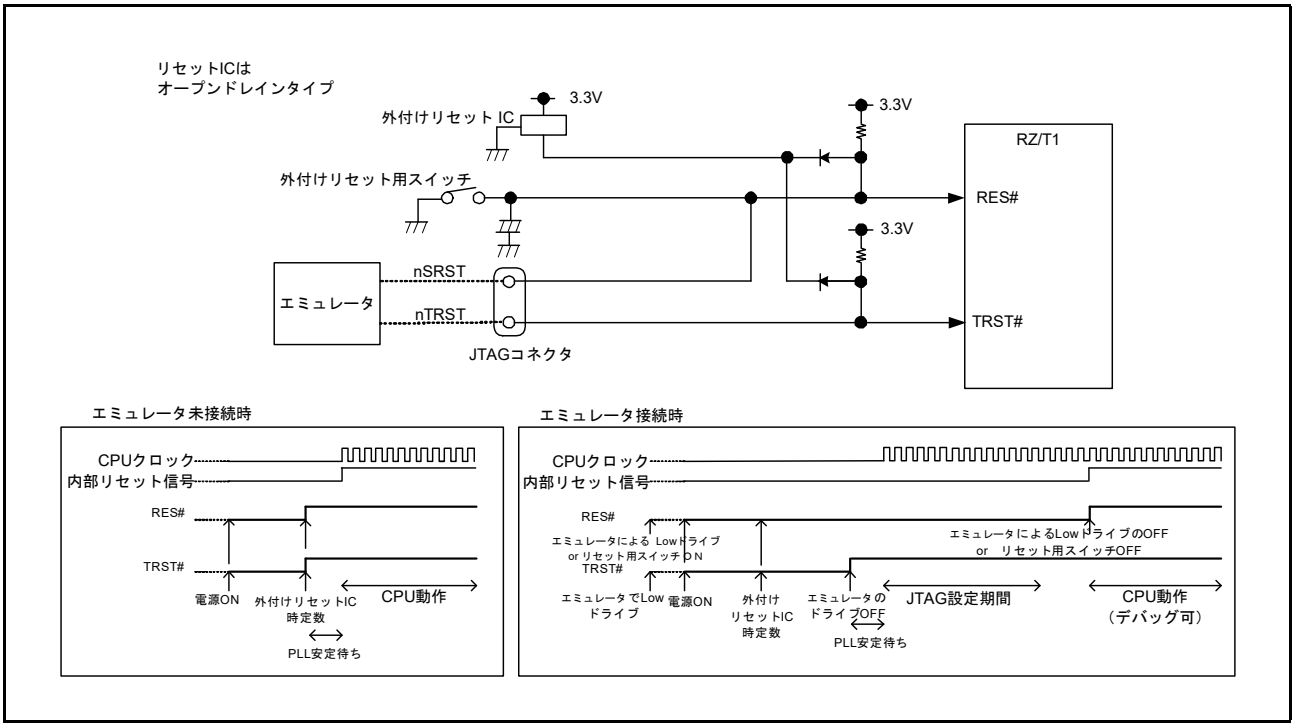


図 10.7　nTRST 出力を High ドライブできないエミュレータの接続回路例

10.3.5.2　nTRST 出力を High ドライブできるエミュレータの接続例

図 10.8 に nTRST 出力を High ドライブできるエミュレータを使用する場合の接続回路例を示します。TRST# 端子は High, Low ともにエミュレータより制御されます。CPU 起動前にデバッグ設定を行うには図 10.8 のエミュレータ接続時のタイミングチャートにしたがってください。

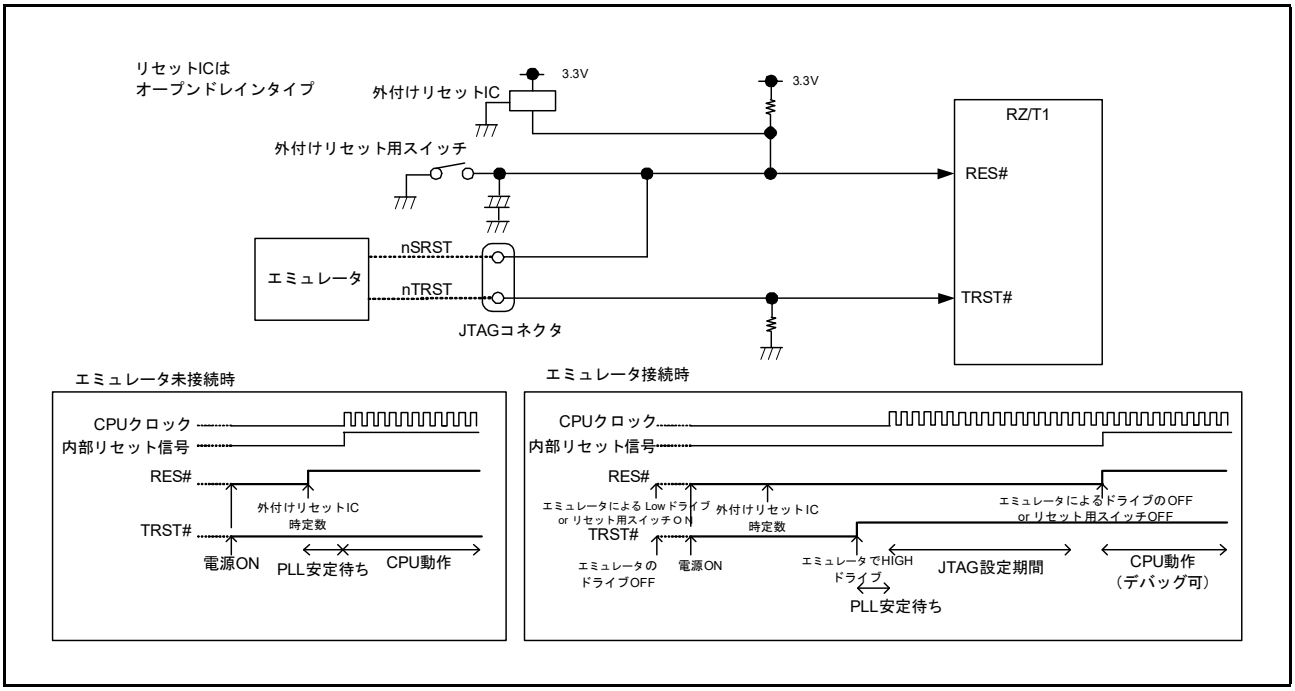


図 10.8　nTRST 出力を High ドライブできるエミュレータの接続回路例

10.3.6　エミュレータを接続しない場合の JTAG 端子の処置

エミュレータを接続しない場合、表 10.9 にしたがって端子処置を行ってください。

表 10.9　エミュレータを接続しない場合のJTAG端子の処置

端子	処置
TCK	プルダウン
TMS	プルアップ
TDI	プルアップ（汎用ポートとして使用する場合を除きます）
TDO	オープン（汎用ポートとして使用する場合を除く）
TRST#	プルダウンするか、RES#端子と同じ信号が入力されるようにしてください。

10.3.7　TRST# 端子のノイズ除去

TRST# 端子は、アナログ・ディレイによるノイズ対策を行っています。このノイズ対策により、100ns（Min.）以内のノイズを除去できます。

10.3.8　使用可能なトレース機能

各デバッグポート（TracePortI/F、SWV、SWD/JTAG）経由にて使用可能なトレース機能を表 10.10 に示します。

表 10.10　使用可能なトレース機能

モジュール	デバッグポート	トレース機能
Cortex-R4 (CR4)	TracePortI/F	CR4 内の ETM でのフル命令トレース CoreSight 内の ITM でのソフトウェアトレース
	SWV	CoreSight 内の ITM でのソフトウェアトレースのみ
	SWD/JTAG	TracePortI/F と同一情報を ETB 経由で取得可
Cortex-M3 (CM3)（R-IN Engine搭載製品のみ）	TracePortI/F	CM3 内の ETM でのフル命令トレース CM3 内の ITM 経由での DWT のデータトレース CM3 内の ITM でのソフトウェアトレース
	SWV	CoreSight 内の ITM でのソフトウェアトレースのみ
	SWD/JTAG	TracePortI/F と同一情報を ETB 経由で取得可

CoreSight 内の ITM でのソフトウェアトレースを使用する場合は、CPU からソフトウエアで ITM をアクセス してください。CoreSight 内の ITM のアドレスについては表 10.7 を参照してください。

10.4 注意事項

10.4.1 SWV インタフェース

CoreSight 内の接続構造上、Cortex-M3（R-IN Engine 搭載製品）専用の ITM（ウォッチポイント等の機能を含む）出力を SWV（Serial Wire Viewer）インタフェース経由で取り出すことはできません。本出力信号を取り出す場合は、トレースポートインタフェース、または ETB 経由の JTAG/SWD インタフェースを使用してください。

10.4.2 メインバスへのアクセス

DAP からメインバスにアクセスする場合は、Cortex-R4 または Cortex-M3 を経由してください。Cortex-M3 からアクセスする場合、ソフトウェアリセットレジスタ 2 (SWRR2) で Cortex-M3 のリセットを事前に解除してください。ソフトウェアリセットレジスタ 2 の詳細は、**「6. リセット」**を参照してください。

10.4.3 ROM テーブル

ROM テーブルで Cortex-M3 を含むすべてのデバッグコンポーネントを検索するには、DAP の AP1 に接続されている ROM テーブル 1 と AP3 を経由し PPB に接続されている ROM テーブル 2 の両方を検索してください。

11.　レジスタライトプロテクション機能

11.1　概要

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 11.1 に PRCR レジスタと保護されるレジスタの対応を示します。

表11.1　PRCRレジスタと保護されるレジスタの対応

PRCRレジスタ	保護されるレジスタ
PRC0ビット	• クロック発生回路関連レジスタ SCKCR、SCKCR2、DSCR、PLL1CR、PLL1CR2、LOCOCR、OSTDCR
PRC1ビット	• 消費電力低減機能関連レジスタ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD、MSTPCRE、MSTPCRF • リセット関連レジスタ RSTSR0、SWRR1、SWRR2、MRCTLC
PRC3ビット	• ATCMウエイト制御レジスタ SYTATCMWAIT

11.2　レジスタの説明

11.2.1　プロテクトレジスタ（PRCR）

PRCR レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。

アドレス　A00B 0B00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	消費電力低減機能、リセット関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	PRC3	プロテクトビット3	ATCMウエイト制御レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き込み許可または禁止を制御します。 PRCRレジスタを書き換える場合、PRKEY[7:0]に“A5h”を書き込んでください。“A5h”以外の値の場合は、PRCRレジスタへの書き込みは無効になります。	R/(W) （注1）
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　書き込みデータは保持されず、読むと“00h”が読めます。

PRCi ビット（プロテクトビット i）（i = 0、1、3）

保護するレジスタへの書き込み許可／禁止を選択します。

PRCi ビットが “1” のとき、保護されるレジスタへの書き込みができます。PRCi ビットが “0” のとき、レジスタへの書き込みができません。

12.　割り込みコントローラ（ICUA）

12.1　概要

割り込みコントローラは、それぞれ Cortex-R4 向けにベクタ割り込みコントローラ（VIC）と Cortex-M3 向けにネスト型ベクタ割り込みコントローラ（NVIC）があります（R-IN Engine 搭載製品）。割り込みコントローラは、周辺モジュール、Ether PHY からの割り込み要求を含む外部端子、および外部 DMA 要求からの割り込み要求を受け付けます。割り込みコントローラが受け付けた割り込みは、CPU（Cortex-R4 または Cortex-M3（R-IN Engine 搭載製品））への割り込み通知、もしくは DMAC への起動トリガ信号のどちらかに設定することができます。

表 12.1 に割り込みの仕様を、**図 12.1**、**図 12.2** に割り込みコントローラのブロック図を示します。

表12.1　割り込みコントローラの仕様

項目		内容
割り込み	割り込み接続先	• Cortex-R4 • DMAC 2Unit（Unit0: 16ch., Unit1: 16ch.） • Cortex-M3（R-IN Engine搭載製品）
	周辺機能割り込み	周辺モジュールからの割り込み（注1） 割り込み検出：エッジ検出／レベル検出
	外部端子割り込み	Ether PHY0～2, IRQ0～IRQ15端子からの割り込み 要因数：19要因 割り込み検出：ロウレベル／立ち下がりエッジ／立ち上がりエッジ／両エッジを要因ごとに設定可能 デジタルノイズフィルタ機能：あり
	CPU間割り込み （R-IN Engine搭載製品）	ソフトウェア割り込みによるCortex-R4 ⇔ Cortex-M3間での相互割り込み 要因数：1要因
	割り込み優先レベル	CPUに対する割り込みはレジスタにより16段階で優先レベルを設定（注2）
	DMAC制御	割り込み要因によりDMACを起動可能。 各周辺からの割り込みをDMA転送完了割り込みに切り替え（注3）
	外部DMA要求	外部DMA要求端子（DREQ0～DREQ2）により外部バスに対するDMA転送、およびリクエスト番号に対応したDACK0～DACK2、TEND0～TEND2を出力可能。 要因数：3要因 デジタルノイズフィルタ機能：あり
ノンマスカブル割り込み	NMI端子割り込み	NMI端子からの割り込み 割り込み検出：立ち下がりエッジ／立ち上がりエッジ デジタルノイズフィルタ機能：あり
	Cortex-R4向け	下記2要因をマスク不可の高速割り込み（FIQ）要因として割り付け可能 • ECM (Error Control Module)からのノンマスカブル割り込み • NMI端子からのノンマスカブル割り込み
	Cortex-M3向け （R-IN Engine搭載製品）	下記要因をNVICのNMI入力に割り付け • CM3用WDTのダウンカウンタのアンダフロー発生時、もしくはリフレッシュエラー発生時のエラー割り込み
スリープ状態からの復帰		ノンマスカブル割り込み、マスクしていないすべての割り込み要因で復帰

注1.　各割り込みの接続先により割り込み要因が異なります。各起動要因については、「表12.3　Cortex-R4／DMAC割り込みベクタテーブル」、および「表12.6　CM3割り込みベクタテーブル」を参照してください。

注2.　16段階での優先レベルはCR4 (VIC)のベクタ番号1～255、およびCM3（R-IN Engine搭載製品）(NVIC)のベクタ番号1～127の全要因に対し有効です。CR4 (VIC)の256以降のベクタ番号の割り込み要因は、1～255のベクタ番号の割り込み要因に対して優先順位が下がります。詳細は「12.4.6.1　VICの優先レベルに関する制約」を参照してください。

注3.　割り込み信号をDMACの起動要因に選択した場合、割り込み信号が発生すると割り込み処理への分岐は行われずに、DMACの起動が行われます。DMACの転送が完了すると転送完了割り込みが発生します。詳細は「12.3.1　割り込み要求先の選択」を参照してください。

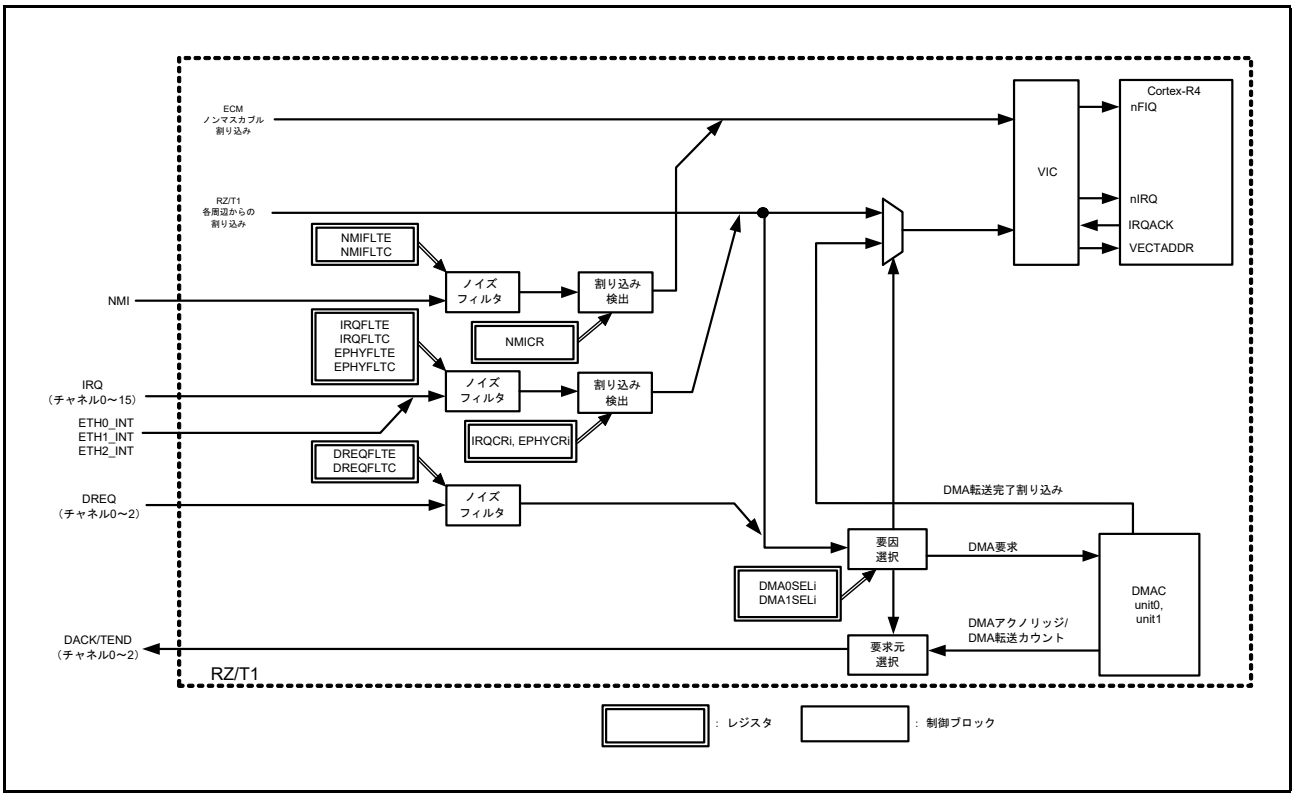


図 12.1　　割り込みコントローラのブロック図

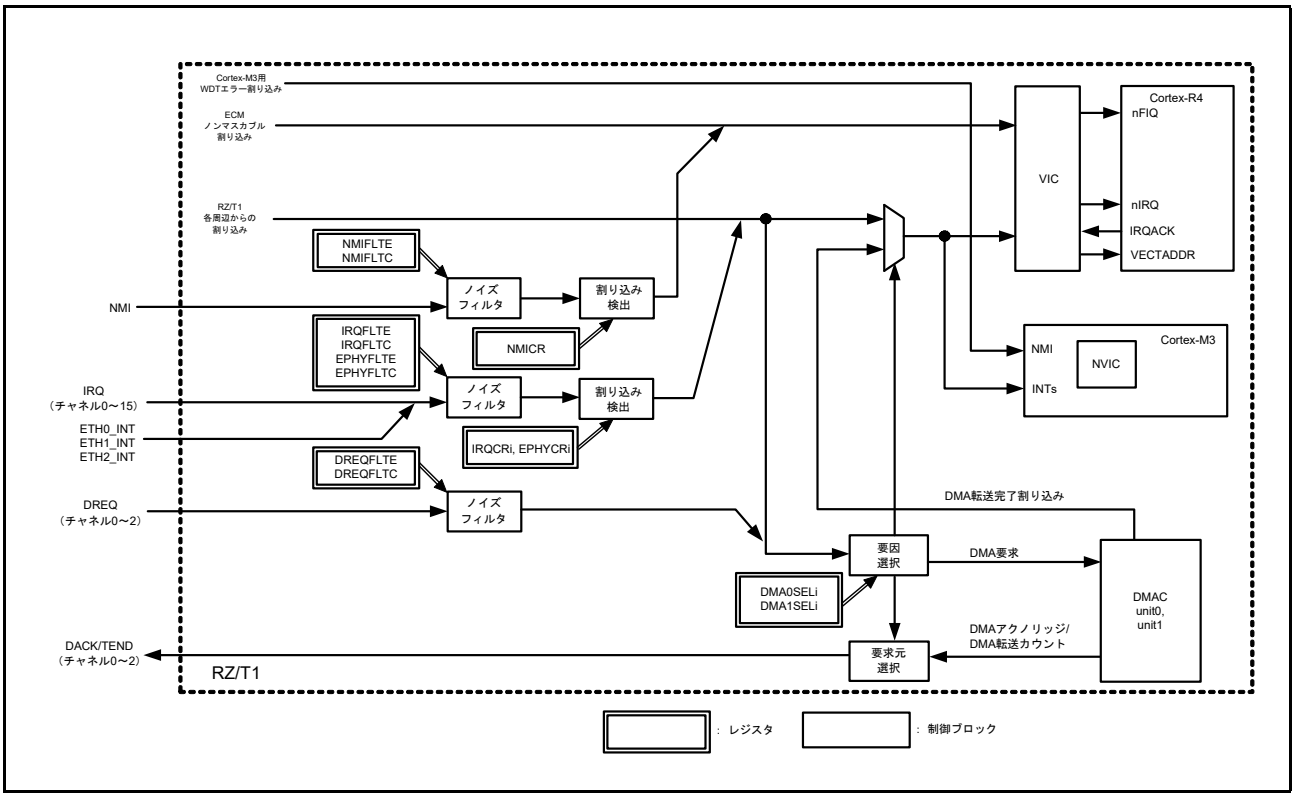


図 12.2　　割り込みコントローラのブロック図（R-IN Engine 搭載製品）

表 12.2 に割り込みコントローラで使用する入出力端子を示します。

表12.2　　割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ0～15	入力	マスカブル割り込み要求端子
ETH0_INT	入力	Ether PHY0割り込み要求端子
ETH1_INT	入力	Ether PHY1割り込み要求端子
ETH2_INT	入力	Ether PHY2割り込み要求端子
DREQ0～DREQ2	入力	外部DMA要求
DACK0～DACK2	出力	外部DMAアクノレッジ
TEND0～TEND2	出力	外部DMA転送完了

12.2　レジスタの説明

12.2.1　IRQ コントロールレジスタ i（IRQCRi）（i = 0 ～ 15）

IRQCRi レジスタは、外部端子割り込み要因（IRQ0 ～ IRQ15）の検出方法を設定するレジスタです。

アドレス　ICU.IRQCR0 A009 4200h、ICU.IRQCR1 A009 4204h、ICU.IRQCR2 A009 4208h、ICU.IRQCR3 A009 420Ch、
ICU.IRQCR4 A009 4210h、ICU.IRQCR5 A009 4214h、ICU.IRQCR6 A009 4218h、ICU.IRQCR7 A009 421Ch、
ICU.IRQCR8 A009 4220h、ICU.IRQCR9 A009 4224h、ICU.IRQCR10 A009 4228h、ICU.IRQCR11 A009 422Ch、
ICU.IRQCR12 A009 4230h、ICU.IRQCR13 A009 4234h、ICU.IRQCR14 A009 4238h、ICU.IRQCR15 A009 423Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IRQMD[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0：Low レベル 0 1：立ち下がりエッジ 1 0：立ち上がりエッジ 1 1：両エッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IRQMD[1:0] ビット（IRQ 検出設定ビット）

外部端子割り込み要因（IRQ0 ～ IRQ15）の検出方法を設定するビットです。

外部端子割り込みの検出方法の設定は、**「12.3.3　外部端子割り込み」**を参照してください。

注 .　VIC の PLSn レジスタにも、本レジスタで設定した検出方法と同じ検出方法を設定してください。

12.2.2　IRQ 端子デジタルノイズフィルタ許可レジスタ（IRQFLTE）

IRQFLTE レジスタは、外部端子割り込み要因（IRQ0 ～ IRQ15）のデジタルノイズフィルタの使用を設定するレジスタです。

アドレス　ICU.IRQFLTE A009 4240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 15	FLTEN 14	FLTEN 13	FLTEN 12	FLTEN 11	FLTEN 10	FLTEN 9	FLTEN 8	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0デジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b1	FLTEN1	IRQ1デジタルノイズフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2デジタルノイズフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3デジタルノイズフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4デジタルノイズフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5デジタルノイズフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6デジタルノイズフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7デジタルノイズフィルタ許可ビット		R/W
b8	FLTEN8	IRQ8デジタルノイズフィルタ許可ビット		R/W
b9	FLTEN9	IRQ9デジタルノイズフィルタ許可ビット		R/W
b10	FLTEN10	IRQ10デジタルノイズフィルタ許可ビット		R/W
b11	FLTEN11	IRQ11デジタルノイズフィルタ許可ビット		R/W
b12	FLTEN12	IRQ12デジタルノイズフィルタ許可ビット		R/W
b13	FLTEN13	IRQ13デジタルノイズフィルタ許可ビット		R/W
b14	FLTEN14	IRQ14デジタルノイズフィルタ許可ビット		R/W
b15	FLTEN15	IRQ15デジタルノイズフィルタ許可ビット		R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FLTENi ビット（IRQi デジタルノイズフィルタ許可ビット）（i = 0 ～ 15）

FLTENi ビットは、外部端子割り込み要因（IRQ0 ～ IRQ15）のデジタルノイズフィルタの使用を許可するビットです。

本ビットが “1” のとき、デジタルノイズフィルタが有効になります。“0” のとき、デジタルノイズフィルタ機能は無効です。

IRQFLTC.FCLKSELi[1:0] ビットで設定したサンプリングクロック毎に IRQi 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は「12.3.2　**デジタルノイズフィルタ**」を参照してください。

12.2.3　IRQ 端子デジタルノイズフィルタ設定レジスタ（IRQFLTC）

IRQFLTC レジスタは、外部端子割り込み要求端子（IRQ0 ～ IRQ15）のデジタルノイズフィルタのサンプリングクロックを設定するレジスタです。

アドレス　ICU.IRQFLTC A009 4244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCLKSEL15 [1:0]		FCLKSEL14 [1:0]		FCLKSEL13 [1:0]		FCLKSEL12 [1:0]		FCLKSEL11 [1:0]		FCLKSEL10 [1:0]		FCLKSEL9 [1:0]		FCLKSEL8 [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7 [1:0]		FCLKSEL6 [1:0]		FCLKSEL5 [1:0]		FCLKSEL4 [1:0]		FCLKSEL3 [1:0]		FCLKSEL2 [1:0]		FCLKSEL1 [1:0]		FCLKSEL0 [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0デジタルノイズフィルタサンプリングクロック設定ビット	奇数b 偶数b 0　0：PCLKB 0　1：PCLKB/8 1　0：PCLKB/32 1　1：PCLKB/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b17-b16	FCLKSEL8[1:0]	IRQ8デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b19-b18	FCLKSEL9[1:0]	IRQ9デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b21-b20	FCLKSEL10[1:0]	IRQ10デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b23-b22	FCLKSEL11[1:0]	IRQ11デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b25-b24	FCLKSEL12[1:0]	IRQ12デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b27-b26	FCLKSEL13[1:0]	IRQ13デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b29-b28	FCLKSEL14[1:0]	IRQ14デジタルノイズフィルタサンプリングクロック設定ビット		R/W
b31-b30	FCLKSEL15[1:0]	IRQ15デジタルノイズフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット（IRQi デジタルノイズフィルタサンプリングクロック設定ビット）（i = 0 ～ 15）

FCLKSELi[1:0] ビットは、外部端子割り込み要求端子（IRQ0 ～ IRQ15）のデジタルノイズフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB（毎クロック）、PCLKB/8（8 クロックに 1 回）、PCLKB/32（32 クロックに 1 回）、PCLKB/64（64 クロックに 1 回）より選択します。

デジタルノイズフィルタの詳細は「12.3.2　デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.2.4　ノンマスカブル割り込みステータスレジスタ（NMISR）

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ECM からのノンマスカブル割り込み要求については、ECM の ECMm error source status レジスタ m（ECMmESSTRm, m = 0 ～ 2）を読み出し、エラー要因を確認してください。

ノンマスカブル割り込みハンドラ処理を終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。必ず NMISR レジスタの全ビットが “0” であることを確認してから、割り込みハンドラ処理を終了してください。

アドレス　ICU.NMISR A009 4248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECMST	NMIST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0：NMI端子割り込み要求なし 1：NMI端子割り込み要求あり	R
b1	ECMST	ECMエラーステータスフラグ	0：ECMノンマスカブル割り込み要求なし 1：ECMノンマスカブル割り込み要求あり	R
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

NMIST フラグ（NMI ステータスフラグ）

NMI 端子割り込み要求の有無を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1” になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0” になる条件]

- NMICLR.NMICLR ビットに “1” を書いたとき。

ECMST フラグ（ECM エラーステータスフラグ）

ECM ノンマスカブル割り込み要求の有無を示します。

ECMST フラグは読み出しのみ可能で、クリアは NMICLR.ECMCLR ビットによって行います。

[“1” になる条件]

- ECM ノンマスカブル割り込みが発生したとき。

[“0” になる条件]

- NMICLR.ECMCLR ビットに “1” を書いたとき。

12.2.5　ノンマスカブル割り込みステータスクリアレジスタ（NMICLR）

NMI や ECM ノンマスカブル割り込み要求をクリアするレジスタです。

アドレス　ICU.NMICLR A009 424Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECMCLR	NMICLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。 “1”書き込みで、NMISR.NMISTフラグをクリアします。 “0”書き込みは無効です。	R/(W) （注1）
b1	ECMCLR	ECMクリアビット	読むと“0”が読めます。 “1”書き込みで、NMISR.ECMSTフラグをクリアします。 “0”書き込みは無効です。	R/(W) （注1）
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　“1”のみ書けます。

12.2.6　NMI 端子割り込みコントロールレジスタ（NMICR）

NMICR レジスタは、NMI 端子割り込みの検出方法を設定するレジスタです。

アドレス　ICU.NMICR A009 4250h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NMIMD ビット（NMI 検出設定ビット）

NMI 端子割り込みの検出方法を設定するビットです。

12.2.7　NMI 端子デジタルノイズフィルタ許可レジスタ（NMIFLTE）

NMIFLTE レジスタは、NMI 端子割り込みのデジタルノイズフィルタの使用を設定するレジスタです。

アドレス　ICU.NMIFLTE A009 4254h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMIデジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NFLTEN ビット（NMI デジタルノイズフィルタ許可ビット）

NMI 端子割り込みのデジタルノイズフィルタの使用を許可するビットです。

本ビットが “1” のとき、デジタルノイズフィルタが有効になります。“0” のとき、デジタルノイズフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロック毎に NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は、「12.3.2　**デジタルノイズフィルタ**」を参照してください。

12.2.8　NMI 端子デジタルノイズフィルタ設定レジスタ（NMIFLTC）

NMIFLTC レジスタは、NMI 端子割り込みのデジタルノイズフィルタのサンプリングクロックを設定するレジスタです。

アドレス　ICU.NMIFLTC A009 4258h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NFCLKSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMIデジタルノイズフィルタサンプリングクロック設定ビット	b1 b0 0 0：PCLKB 0 1：PCLKB／8 1 0：PCLKB／32 1 1：PCLKB／64	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NFCLKSEL[1:0] ビット（NMI デジタルノイズフィルタサンプリングクロック設定ビット）

NMI 端子割り込みのデジタルノイズフィルタのサンプリングクロックを設定するビットです。

サンプリングクロックは、PCLKB（毎クロック）、PCLKB/8（8 クロックに 1 回）、PCLKB /32（32 クロックに 1 回）、PCLKB/64（64 クロックに 1 回）より選択します。

デジタルノイズフィルタの詳細は、「12.3.2　デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.2.9　EtherPHY コントロールレジスタ i（EPHYCRi）（i = 0 ～ 2）

EPHYCRi レジスタは、EtherPHY 割り込み要因（ETH0_INT/ETH1_INT/ETH2_INT）の検出方法を設定するレジスタです。

アドレス　ICU.EPHYCR0 A009 425Ch、ICU.EPHYCR1 A009 4260h、ICU.EPHYCR2 A009 4264h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	EPHYMD [1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b2	EPHYMD[1:0]	EtherPHY割り込み検出設定ビット	b3 b2 0 0：Low レベル 0 1：立ち下がりエッジ 1 0：立ち上がりエッジ 1 1：両エッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

EPHYMD[1:0] ビット（EtherPHY 割り込み検出設定ビット）

EtherPHY 割り込み要因（ETH0_INT/ETH1_INT/ETH2_INT）の検出方法を設定するビットです。EtherPHY 割り込み要因の検出方法の設定は、**「12.3.3　外部端子割り込み」**を参照してください。

注 .　VIC の PLS レジスタにも、本レジスタで設定した検出方法と同じ検出方法を設定してください。

12.2.10　EtherPHY 割り込み要求端子デジタルノイズフィルタ許可レジスタ（EPHYFLTE）

EPHYFLTE レジスタは、Ether PHY 割り込み要因（ETH0_INT/ETH1_INT/ETH2_INT）のデジタルノイズフィルタの使用を許可するレジスタです。

アドレス　ICU.EPHYFLTE A009 4268h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EFLTEN2	EFLTEN1	EFLTEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EFLTEN0	Ether PHY0割り込みデジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b1	EFLTEN1	Ether PHY1割り込みデジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b2	EFLTEN2	Ether PHY2割り込みデジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

EFLTENi ビット（Ether PHY 割り込みデジタルノイズフィルタ許可ビット）（i = 0 ～ 2）

Ether PHY 割り込み要因（ETH0_INT/ETH1_INT/ETH2_INT）のデジタルノイズフィルタの使用を許可するビットです。

本ビットが “1” のとき、デジタルノイズフィルタが有効になります。“0” のとき、デジタルノイズフィルタ機能は無効です。

EPHYFLTE.FLTENi[1:0] ビットで設定したサンプリングクロック毎に ETH0_INT/ETH1_INT/ETH2_INT 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は、「12.3.2　**デジタルノイズフィルタ**」を参照してください。

12.2.11　EtherPHY 割り込み要求端子デジタルノイズフィルタ設定レジスタ（EPHYFLTC）

EPHYFLTC レジスタは、Ether PHY 割り込み要求端子（ETH0_INT/ETH1_INT/ETH2_INT）のデジタルノイズフィルタのサンプリングクロックを選択するレジスタです。

アドレス　ICU.EPHYFLTC A009 426Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	EFCLKSEL2 [1:0]		EFCLKSEL1 [1:0]		EFCLKSEL0 [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	EFCLKSEL0[1:0]	Ether PHY0割り込みデジタルノイズフィルタサンプリングクロック設定ビット	奇数b 偶数b 0　0：PCLKB 0　1：PCLKB/8 1　0：PCLKB/32 1　1：PCLKB/64	R/W
b3-b2	EFCLKSEL1[1:0]	Ether PHY1割り込みデジタルノイズフィルタサンプリングクロック設定ビット		R/W
b5-b4	EFCLKSEL2[1:0]	Ether PHY2割り込みデジタルノイズフィルタサンプリングクロック設定ビット		R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

EFCLKSELi[1:0] ビット（Ether PHYi 割り込みデジタルノイズフィルタサンプリングクロック設定ビット）（i = 0 ～ 2）

Ether PHY 割り込み要求端子（ETH0_INT/ETH1_INT/ETH2_INT）のデジタルノイズフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB（毎クロック）、PCLKB/8（8 クロックに 1 回）、PCLKB/32（32 クロックに 1 回）、PCLKB/64（64 クロックに 1 回）より選択します。

デジタルノイズフィルタの詳細は「12.3.2　デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.2.12　外部 DMA 要求端子デジタルノイズフィルタ許可レジスタ（DREQFLTE）

DREQFLTE レジスタは、外部 DMA 要求端子割り込み要因（DREQ0 ～ DREQ2）のデジタルノイズフィルタの使用を設定するレジスタです。

アドレス　ICU.DREQFLTE A009 4270h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DFLTEN2	DFLTEN1	DFLTEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLTEN0	DREQ0デジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b1	DFLTEN1	DREQ1デジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b2	DFLTEN2	DREQ2デジタルノイズフィルタ許可ビット	0：デジタルノイズフィルタ無効 1：デジタルノイズフィルタ有効	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DFLTENi ビット（DREQi デジタルノイズフィルタ許可ビット）（i = 0 ～ 2）

外部 DMA 要求端子割り込み要因（DREQ0 ～ DREQ2）のデジタルノイズフィルタの使用を許可するビットです。

本ビットが “1” のとき、デジタルノイズフィルタが有効になります。“0” のとき、デジタルノイズフィルタ機能は無効です。

DREQFLTC.DFCLKSELi[1:0] ビットで設定したサンプリングクロック毎に DREQi# 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は、「12.3.2　**デジタルノイズフィルタ**」を参照してください。

12.2.13　外部 DMA 要求端子デジタルノイズフィルタ設定レジスタ（DREQFLTC）

DREQFLTC レジスタは、外部 DMA 要求端子（DREQ0 ～ DREQ2）のデジタルノイズフィルタのサンプリングクロックを選択するレジスタです。

アドレス　ICU.DREQFLTC A009 4274h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	DFCLKSEL2 [1:0]		DFCLKSEL1 [1:0]		DFCLKSEL0 [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DFCLKSEL0[1:0]	DREQ0デジタルノイズフィルタ サンプリングクロック設定ビット	奇数b 偶数b 0　0：PCLKB 0　1：PCLKB/8 1　0：PCLKB/32 1　1：PCLKB/64	R/W
b3-b2	DFCLKSEL1[1:0]	DREQ1デジタルノイズフィルタ サンプリングクロック設定ビット		R/W
b5-b4	DFCLKSEL2[1:0]	DREQ2デジタルノイズフィルタ サンプリングクロック設定ビット		R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DFCLKSELi[1:0] ビット（DREQi デジタルノイズフィルタサンプリングクロック設定ビット）（i = 0 ～ 2）

外部 DMA 要求端子（DREQ0 ～ DREQ2）のデジタルノイズフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB（毎クロック）、PCLKB/8（8 クロックに 1 回）、PCLKB/32（32 クロックに 1 回）、PCLKB/64（64 クロックに 1 回）より選択します。

デジタルノイズフィルタの詳細は、「12.3.2　デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.2.14　CPU 間割り込み要求レジスタ（CPUINT）（R-IN Engine 搭載製品）

CPUINT レジスタは、Cortex-R4 が Cortex-M3 に対し割り込み要求を行う場合、もしくは Cortex-M3 が Cortex-R4 に対し割り込み要求を行う場合に、各 CPU に対し割り込み要求を行うレジスタです。

アドレス　ICU.CPUINT A009 4290h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CR4INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CM3INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM3INT	Cortex-M3割り込み要求ビット	1：Cortex-M3に対し割り込みを要求します。 0：無効（割り込み要求しません）。 読み出すと常に“0”が読めます。	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	CR4INT	Cortex-R4割り込み要求ビット	1：Cortex-R4に対し割り込みを要求します。 0：無効（割り込み要求しません）。 読み出すと常に“0”が読めます。	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CM3INT ビット（Cortex-M3 割り込み要求ビット）

Cortex-M3 に対する割り込み要求を行うビットです。

Cortex-M3 に対し割り込みを行いたい場合に “1” を書き込んでください。本割り込み要求は Cortex-M3 の割り込みベクタ番号 “1” にアサインされています。“0” を書き込んだ場合、割り込み要求は行いません。読み出すと常に “0” が読めます。

CR4INT ビット（Cortex-R4 割り込み要求ビット）

Cortex-R4 に対する割り込み要求を行うビットです。

Cortex-R4 に対し割り込みを行いたい場合に “1” を書き込んでください。本割り込み要求は Cortex-R4 の割り込みベクタ番号 “1” にアサインされています。“0” を書き込んだ場合、割り込み要求は行いません。読み出すと常に “0” が読めます。

12.3　動作説明

12.3.1　　割り込み要求先の選択

「表 12.3　Cortex-R4 ／ DMAC 割り込みベクタテーブル」に示す割り込み要求の要求先を、CPU または DMAC から選択可能です。CPU を選択した場合は、割り込み要求により割り込み処理へ分岐します。DMAC を選択した場合は、割り込み要求により DMAC の転送が開始され、DMAC 転送が完了すると DMAC 転送完了割り込みが発生します。「表 12.3　Cortex-R4 ／ DMAC 割り込みベクタテーブル」で要求先に“○”の記載がない割り込み要求先は選択しないでください。

ベクタ番号 m を DMA 要因として DMAC Unit0 のチャネル N に割り付けた場合の割り込み要因選択の流れを図 12.3 に示します。DMA 要因選択レジスタで選択されたベクタ番号の割り込みは割り込みコントローラ（VIC/NVIC）（注 1）に接続されず、DMAC の対応するチャネルに DMA 転送要求として接続されます。DMA 転送後に VIC/NVIC（注 1）に対しては、DMAC 各チャネルの転送完了割り込みがベクタ番号 m の割り込みとして接続されます。

例えば、DMAC Unit0 要因選択レジスタ 0（DMA0SEL0）の IFC[7:0] に、割り込みベクタ番号 21（CMT Unit0 のコンペアマッチ割り込み _ch.0）を選択した場合、本割り込み要因が発生すると、DMAC Unit0 のチャネル 0 に DMA 転送要求が発生します。DMA 転送後、DMA 転送完了割り込みが発生する場合、VIC/NVIC（注 1）に対しては同一の割り込みベクタ番号 21 に DMAC Unit0 チャネル 0 に対する DMA 転送完了割り込み要求が接続されます。

ベクタ番号 m が要因選択レジスタで選択されていない場合、外部端子、各周辺からの割り込みが CPU 用の割り込みコントローラ VIC/NVIC（注 1）に接続されます（図 12.4）

注 1.　NVIC は、R-IN Engine 搭載製品のみ搭載

注 .　割り込み（ベクタ番号 m）の要求先を DMAC に選択した場合、DMA 転送後に DMA 転送完了割り込み信号が、割り込みコントローラのベクタ番号 m として通知されます。このため、要求先を DMAC に選択した割り込み（ベクタ番号 m）の割り込み検出タイプは、ベクタ番号によらず必ずエッジ検出に設定する必要があります。

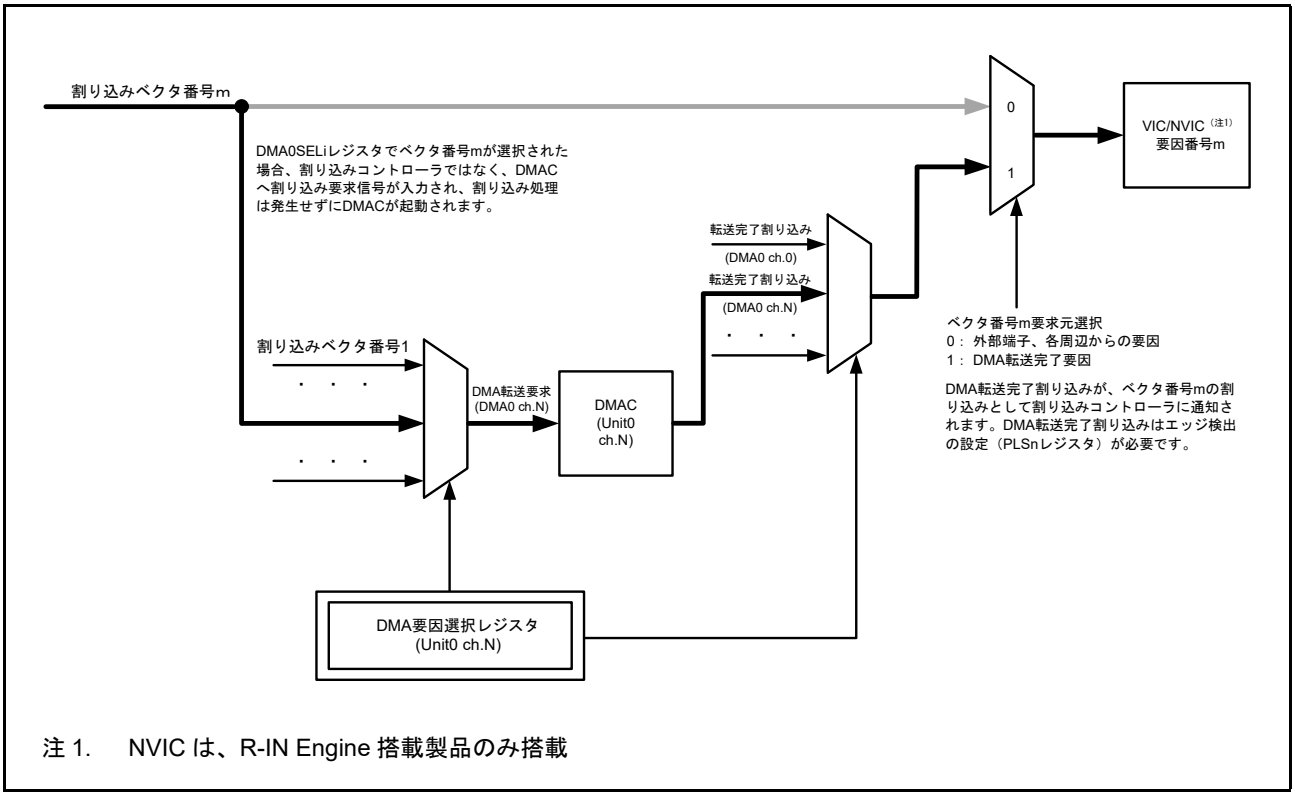
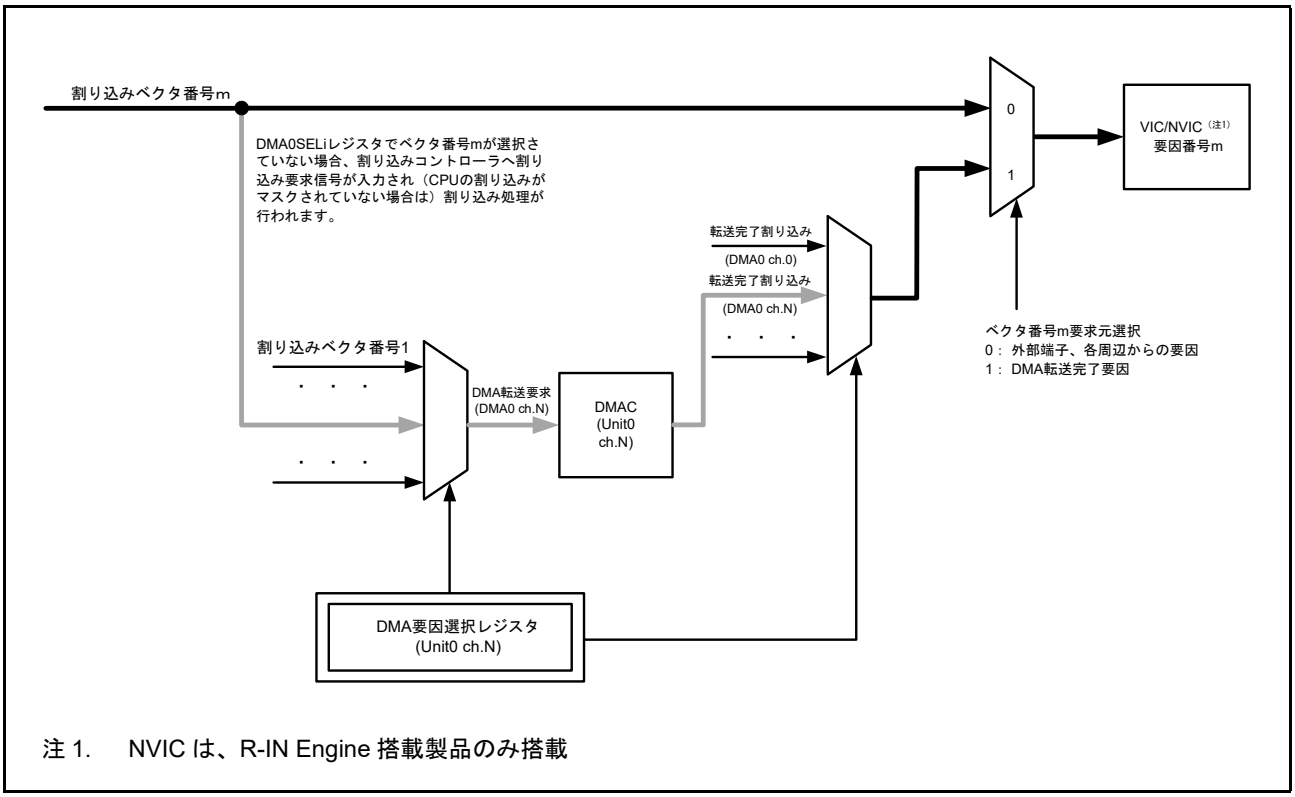


図 12.3　　割り込み要求先を DMAC に選択した場合



注 1.　NVIC は、R-IN Engine 搭載製品のみ搭載

図 12.4　割り込み要求先を CPU（割り込みコントローラ）に選択した場合

12.3.2　デジタルノイズフィルタ

外部割り込み要求端子 IRQi（i = 0 ～ 15）、NMI 端子割り込み、Ether PHY 割り込み端子 ETHn_INT（n = 0 ～ 2）および外部 DMA リクエスト端子 DREQm（m = 0 ～ 2）は、デジタルノイズフィルタ機能を持っています。

デジタルノイズフィルタは入力信号をフィルタ用サンプリングクロック（PCLKB）でサンプリングし、サンプリング 3 回に満たないパルスを除去します。

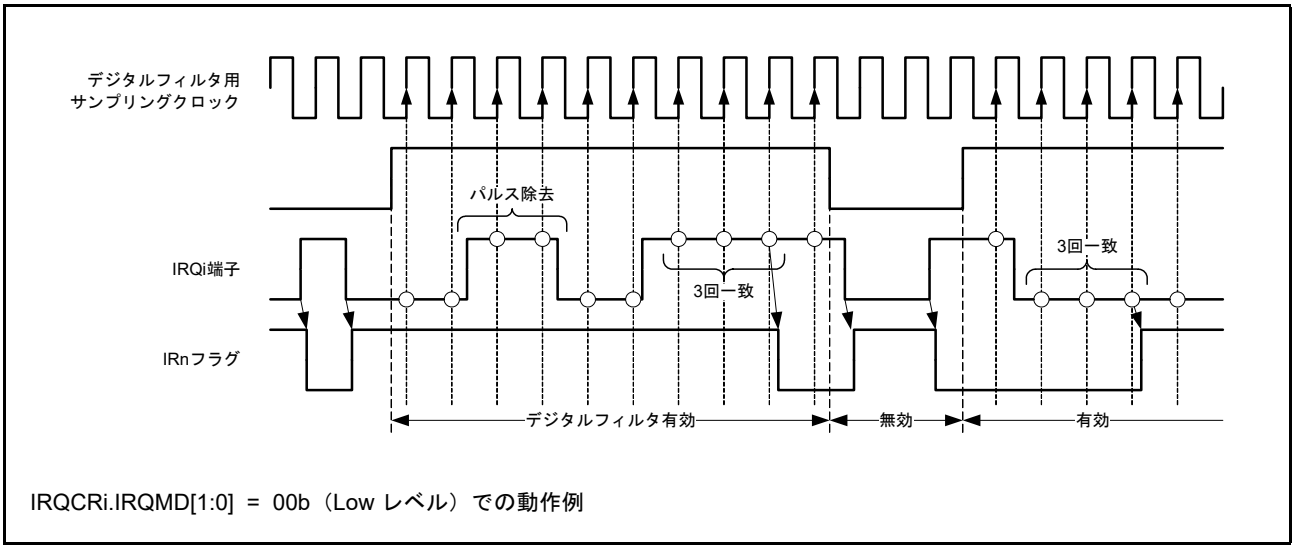
外部割り込み要求端子 IRQi（i = 0 ～ 15）のデジタルノイズフィルタを使用する場合、IRQFLTC.FCLKSELi[1:0] ビット（i = 0 ～ 15）でサンプリング周波数（PCLKB、PCLKB ／ 8、PCLKB ／ 32、PCLKB ／ 64）を設定し、IRQFLTE.FLTENi ビット（i = 0 ～ 15）を “1” にしてください。

NMI 端子割り込みのデジタルノイズフィルタを使用する場合、NMICR.NFCLKSEL[1:0] ビットでサンプリング周波数（PCLKB、PCLKB ／ 8、PCLKB ／ 32、PCLKB ／ 64）を設定し、NMICR.NFLTEN ビットを “1” にしてください。

Ether PHY 割り込み端子 ETHn_INT（n = 0 ～ 2）のデジタルノイズフィルタを使用する場合、EPHYFLTC.FCLKSELn[1:0] ビット（n = 0 ～ 2）でサンプリング周波数（PCLKB、PCLKB ／ 8、PCLKB ／ 32、PCLKB ／ 64）を設定し、EPHYFLTE.FLTENn ビット（n = 0 ～ 2）を “1” にしてください。

外部 DMA リクエスト端子 DREQm（m = 0 ～ 2）のデジタルノイズフィルタを使用する場合、DREQFLTC.DRmFCLKSEL[1:0] ビット（m = 0 ～ 2）でサンプリング周波数（PCLKB、PCLKB ／ 8、PCLKB ／ 32、PCLKB ／ 64）を設定し、DREQFLTE.DRmFLTEN ビット（m = 0 ～ 2）を “1” にしてください。

図 12.5 にデジタルノイズフィルタの動作例を示します。



IRQCRi.IRQMD[1:0] = 00b（Low レベル）での動作例

図 12.5　デジタルノイズフィルタ動作例

12.3.3　外部端子割り込み

外部端子割り込みを Cortex-R4 に接続する手順は以下のとおりです。VIC の詳細については、「12.4 Cortex-R4 ベクタ割り込みコントローラ（VIC）」を参照してください。

また、外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合は「12.6.1　外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合」も参照してください。

Cortex-M3（R-IN Engine 搭載製品）の例外処理動作は、Arm 社の下記 URL を参照してください。
http://infocenter.arm.com/help/topic/com.arm.doc.set.cortexm/index.html

[IRQ 端子の場合]

1. 該当する IENn ビットを “0” にする（IECn ビットをセットする）。
2. IRQFLTE.FLTENi ビットを “0” にする。(注 1)
3. IRQFLTC.FCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注 1)
4. I/O ポートのポート方向レジスタ（PDR）Pmn 方向制御ビットに、“10b（入力）” を設定する。
5. I/O ポート（PmnPFS.ISEL ビット）の設定を行う。
6. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
7. IRQFLTE.FLTENi ビットを “1” にする。(注 1)
8. 該当する PICn レジスタを “1” にする（エッジ検出の場合）。
9. 該当する IENn ビットを “1” にする。

注 1.　デジタルノイズフィルタを使用する場合のみ設定が必要

[ETH0_INT/ETH1_INT/ETH2_INT の場合]

1. 該当する IENn ビットを “0” にする（IECn ビットをセットする）。
2. EPHYFLTE.EFLTENi ビットを “0” にする。(注 1)
3. EPHYFLTC.EFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注 1)
4. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b （入力）” を設定する。
5. I/O ポート（PmnPFS.PSEL[5:0] ビットおよび PMR レジスタ）の設定を行う。
6. EPHYCRi.EPHYMD[1:0] ビットで検出方法を設定する。
7. EPHYFLTE.EFLTENi ビットを “1” にする。(注 1)
8. 該当する PICn レジスタを “1” にする（エッジ検出の場合）。
9. 該当する IENn ビットを “1” にする。

注 1.　デジタルノイズフィルタを使用する場合のみ設定が必要

12.3.4　NMI 端子割り込み

リセット後の該当端子は、汎用入出力ポートになっています。NMI 端子を使用する場合は、以下の手順で設定してください。

また、NMI 端子として設定した後に、汎用入出力ポート機能に変更することは禁止です。NMI 端子を立ち下がりエッジで使用する場合は「12.6.2　NMI 端子割り込みを立ち下がりエッジで使用する場合」も参照してください。

1. NMIFLTE.NFLTEN ビットを “0” にする。（注 1）
2. NMIFLTC.NFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。（注 1）
3. NMICR.NMIMD ビットで検出エッジを設定する。
4. NMICLR.NMICLR ビットに “1” をセットし、NMISR.NMIST フラグを “0” にする。
5. NMIFLTE.NFLTEN ビットを “1” にセットする。（注 1）
6. I/O ポートのポート方向レジスタ（PDR）P35 方向制御ビットに、“10b（入力）” を設定する。
7. I/O ポートの設定（P35PFS.ISEL ビット）、および確認を行う。

注 1.　デジタルノイズフィルタを使用する場合のみ設定が必要です。

12.4 Cortex-R4 ベクタ割り込みコントローラ（VIC）

12.4.1 概要

RZ/T1 では、Cortex-R4 に対する割り込み制御として、ベクタ割り込みコントローラ（VIC: Vector Interrupt Controller）を採用しています。NMI 端子や ECM からのノンマスカブル割り込み要求は、FIQ 割り込みとして扱われ、高速かつ常に受け付けられます。NMI を除いた外部からの割り込みや内蔵周辺からの割り込みは、IRQ 割り込み（マスカブル割り込み）として受け付けられます。IRQ 割り込みは、各割り込み要因ごとに準備される割り込みアドレス格納レジスタ（VADn）にあらかじめ分岐先アドレスを格納することで、割り込み発生時に割り込みコントローラから Cortex-R4 へベクタアドレスが提供され、VADn レジスタの設定値アドレスへ直接分岐することが可能です。

12.4.2　レジスタの説明

12.4.2.1　IRQ ステータスレジスタ n（IRQSn）（n = 0 ～ 9）

IRQSn（n = 0 ～ 9）レジスタは、IRQ 割り込みマスク後の割り込みステータスを示すレジスタです。本レジスタは割り込み許可（IENn = 1）状態のときに有効です。割り込み禁止（IENn = 0）状態では割り込みステータスが反映されません。

IRQSn レジスタは、32 ビット単位でリードのみ可能です。

レベル割り込みを完了させる際に、本レジスタで割り込み要求が発生していないことを確認します。（「12.4.4.3　(2)　IRQ 割り込み（レベル割り込み）」を参照）

- IRQS0

アドレス　VIC.IRQS0 A001 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ31	IRQ30	IRQ29	IRQ28	IRQ27	IRQ26	IRQ25	IRQ24	IRQ23	IRQ22	IRQ21	IRQ20	IRQ19	IRQ18	IRQ17	IRQ16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ15	IRQ14	IRQ13	IRQ12	IRQ11	IRQ10	IRQ9	IRQ8	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	IRQ[31:1]	割り込みステータスフラグ	0：IRQ 割り込み要求なし 1：IRQ 割り込み要求あり	R

- IRQS1

アドレス　VIC.IRQS1 A001 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ63	IRQ62	IRQ61	IRQ60	IRQ59	IRQ58	IRQ57	IRQ56	IRQ55	IRQ54	IRQ53	IRQ52	IRQ51	IRQ50	IRQ49	IRQ48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ47	IRQ46	IRQ45	IRQ44	IRQ43	IRQ42	IRQ41	IRQ40	IRQ39	IRQ38	IRQ37	IRQ36	IRQ35	IRQ34	IRQ33	IRQ32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[63:32]	割り込みステータスフラグ	0：IRQ 割り込み要求なし 1：IRQ 割り込み要求あり	R

IRQi フラグ（割り込みステータスフラグ）（i = 1 ～ 63）

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS2

アドレス　VIC.IRQS2 A001 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ95	IRQ94	IRQ93	IRQ92	IRQ91	IRQ90	IRQ89	IRQ88	IRQ87	IRQ86	IRQ85	IRQ84	IRQ83	IRQ82	IRQ81	IRQ80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ79	IRQ78	IRQ77	IRQ76	IRQ75	IRQ74	IRQ73	IRQ72	IRQ71	IRQ70	IRQ69	IRQ68	IRQ67	IRQ66	IRQ65	IRQ64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[95:64]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R

- IRQS3

アドレス　VIC.IRQS3 A001 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ127	IRQ126	IRQ125	IRQ124	IRQ123	IRQ122	IRQ121	IRQ120	IRQ119	IRQ118	IRQ117	IRQ116	IRQ115	IRQ114	IRQ113	IRQ112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ111	IRQ110	IRQ109	IRQ108	IRQ107	IRQ106	IRQ105	IRQ104	IRQ103	IRQ102	IRQ101	IRQ100	IRQ99	IRQ98	IRQ97	IRQ96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[127:96]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R

IRQi フラグ（割り込みステータスフラグ）（i = 64 ～ 127）

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS4

アドレス　VIC.IRQS4 A001 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ159	IRQ158	IRQ157	IRQ156	IRQ155	IRQ154	IRQ153	IRQ152	IRQ151	IRQ150	IRQ149	IRQ148	IRQ147	IRQ146	IRQ145	IRQ144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ143	IRQ142	IRQ141	IRQ140	IRQ139	IRQ138	IRQ137	IRQ136	IRQ135	IRQ134	IRQ133	IRQ132	IRQ131	IRQ130	IRQ129	IRQ128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[159:128]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R

- IRQS5

アドレス　VIC.IRQS5 A001 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ191	IRQ190	IRQ189	IRQ188	IRQ187	IRQ186	IRQ185	IRQ184	IRQ183	IRQ182	IRQ181	IRQ180	IRQ179	IRQ178	IRQ177	IRQ176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ175	IRQ174	IRQ173	IRQ172	IRQ171	IRQ170	IRQ169	IRQ168	IRQ167	IRQ166	IRQ165	IRQ164	IRQ163	IRQ162	IRQ161	IRQ160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[191:160]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R

IRQi フラグ（割り込みステータスフラグ）（i = 128 ～ 191）

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS6

アドレス　VIC.IRQS6 A001 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ223	IRQ222	IRQ221	IRQ220	IRQ219	IRQ218	IRQ217	IRQ216	IRQ215	IRQ214	IRQ213	IRQ212	IRQ211	IRQ210	IRQ209	IRQ208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ207	IRQ206	IRQ205	IRQ204	IRQ203	IRQ202	IRQ201	IRQ200	IRQ199	IRQ198	IRQ197	IRQ196	IRQ195	IRQ194	IRQ193	IRQ192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[223:192]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R

- IRQS7

アドレス　VIC.IRQS7 A001 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ255	IRQ254	IRQ253	IRQ252	IRQ251	IRQ250	IRQ249	IRQ248	IRQ247	IRQ246	IRQ245	IRQ244	IRQ243	IRQ242	IRQ241	IRQ240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ239	IRQ238	IRQ237	IRQ236	IRQ235	IRQ234	IRQ233	IRQ232	IRQ231	IRQ230	IRQ229	IRQ228	IRQ227	IRQ226	IRQ225	IRQ224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[255:224]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R

IRQi フラグ（割り込みステータスフラグ）（i = 192 ～ 255）

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

- IRQS8

アドレス　VIC.IRQS8 A001 1000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ287	IRQ286	IRQ285	IRQ284	IRQ283	IRQ282	IRQ281	IRQ280	IRQ279	IRQ278	IRQ277	IRQ276	IRQ275	IRQ274	IRQ273	IRQ272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ271	IRQ270	IRQ269	IRQ268	IRQ267	IRQ266	IRQ265	IRQ264	IRQ263	IRQ262	IRQ261	IRQ260	IRQ259	IRQ258	IRQ257	IRQ256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[287:256]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R

- IRQS9

アドレス　VIC.IRQS9 A001 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IRQ300	IRQ299	IRQ298	IRQ297	IRQ296	IRQ295	IRQ294	IRQ293	IRQ292	IRQ291	IRQ290	IRQ289	IRQ288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	IRQ[300:288]	割り込みステータスフラグ	0：IRQ割り込み要求なし 1：IRQ割り込み要求あり	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

IRQi フラグ（割り込みステータスフラグ）（i = 256 ～ 300）

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

12.4.2.2　割り込み入力ステータスレジスタ n（RAISn）（n = 0 ～ 9）

RAISn（n = 0 ～ 9）レジスタは、IRQ（マスカブル割り込み）マスク前の割り込み入力のステータスを示すレジスタです。本レジスタは IENn レジスタの設定（割り込み許可／禁止）に関係なく、割り込みステータスが反映されます。

RAISn レジスタは、32 ビット単位でリードのみ可能です。割り込みをポーリングで使用するなど、割り込み禁止状態（IENn = 0）で割り込みステータスを確認することが可能です（「12.4.4.6　ポーリングによる IRQ 割り込み処理」を参照）

- RAIS0

アドレス　VIC.RAIS0 A001 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI31	RAI30	RAI29	RAI28	RAI27	RAI26	RAI25	RAI24	RAI23	RAI22	RAI21	RAI20	RAI19	RAI18	RAI17	RAI16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI15	RAI14	RAI13	RAI12	RAI11	RAI10	RAI9	RAI8	RAI7	RAI6	RAI5	RAI4	RAI3	RAI2	RAI1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	RAI[31:1]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

- RAIS1

アドレス　VIC.RAIS1 A001 0044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI63	RAI62	RAI61	RAI60	RAI59	RAI58	RAI57	RAI56	RAI55	RAI54	RAI53	RAI52	RAI51	RAI50	RAI49	RAI48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI47	RAI46	RAI45	RAI44	RAI43	RAI42	RAI41	RAI40	RAI39	RAI38	RAI37	RAI36	RAI35	RAI34	RAI33	RAI32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[63:32]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

RAIi フラグ（割り込み入力ステータスフラグ）（i = 1 ～ 63）

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS2

アドレス　VIC.RAIS2 A001 0048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI95	RAI94	RAI93	RAI92	RAI91	RAI90	RAI89	RAI88	RAI87	RAI86	RAI85	RAI84	RAI83	RAI82	RAI81	RAI80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI79	RAI78	RAI77	RAI76	RAI75	RAI74	RAI73	RAI72	RAI71	RAI70	RAI69	RAI68	RAI67	RAI66	RAI65	RAI64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[95:64]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

- RAIS3

アドレス　VIC.RAIS3 A001 004Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI127	RAI126	RAI125	RAI124	RAI123	RAI122	RAI121	RAI120	RAI119	RAI118	RAI117	RAI116	RAI115	RAI114	RAI113	RAI112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI111	RAI110	RAI109	RAI108	RAI107	RAI106	RAI105	RAI104	RAI103	RAI102	RAI101	RAI100	RAI99	RAI98	RAI97	RAI96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[127:96]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

RAIi フラグ（割り込み入力ステータスフラグ）（i = 64 ～ 127）

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS4

アドレス　VIC.RAIS4 A001 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI159	RAI158	RAI157	RAI156	RAI155	RAI154	RAI153	RAI152	RAI151	RAI150	RAI149	RAI148	RAI147	RAI146	RAI145	RAI144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI143	RAI142	RAI141	RAI140	RAI139	RAI138	RAI137	RAI136	RAI135	RAI134	RAI133	RAI132	RAI131	RAI130	RAI129	RAI128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[159:128]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

- RAIS5

アドレス　VIC.RAIS5 A001 0054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI191	RAI190	RAI189	RAI188	RAI187	RAI186	RAI185	RAI184	RAI183	RAI182	RAI181	RAI180	RAI179	RAI178	RAI177	RAI176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI175	RAI174	RAI173	RAI172	RAI171	RAI170	RAI169	RAI168	RAI167	RAI166	RAI165	RAI164	RAI163	RAI162	RAI161	RAI160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[191:160]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

RAIi フラグ（割り込み入力ステータスフラグ）（i = 128 ～ 191）

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS6

アドレス　VIC.RAIS6 A001 0058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI223	RAI222	RAI221	RAI220	RAI219	RAI218	RAI217	RAI216	RAI215	RAI214	RAI213	RAI212	RAI211	RAI210	RAI209	RAI208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI207	RAI206	RAI205	RAI204	RAI203	RAI202	RAI201	RAI200	RAI199	RAI198	RAI197	RAI196	RAI195	RAI194	RAI193	RAI192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[223:192]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

- RAIS7

アドレス　VIC.RAIS7 A001 005Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI255	RAI254	RAI253	RAI252	RAI251	RAI250	RAI249	RAI248	RAI247	RAI246	RAI245	RAI244	RAI243	RAI242	RAI241	RAI240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI239	RAI238	RAI237	RAI236	RAI235	RAI234	RAI233	RAI232	RAI231	RAI230	RAI229	RAI228	RAI227	RAI226	RAI225	RAI224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[255:224]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

RAIi フラグ（割り込み入力ステータスフラグ）（i = 192 ～ 255）

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

- RAIS8

アドレス　VIC.RAIS8 A001 1040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI287	RAI286	RAI285	RAI284	RAI283	RAI282	RAI281	RAI280	RAI279	RAI278	RAI277	RAI276	RAI275	RAI274	RAI273	RAI272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI271	RAI270	RAI269	RAI268	RAI267	RAI266	RAI265	RAI264	RAI263	RAI262	RAI261	RAI260	RAI259	RAI258	RAI257	RAI256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[287:256]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R

- RAIS9

アドレス　VIC.RAIS9 A001 1044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RAI300	RAI299	RAI298	RAI297	RAI296	RAI295	RAI294	RAI293	RAI292	RAI291	RAI290	RAI289	RAI288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	RAI[300:288]	割り込み入力ステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

RAIi フラグ（割り込み入力ステータスフラグ）（i = 256 ～ 300）

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

12.4.2.3　割り込みイネーブルレジスタ n（IENn）（n = 0 ～ 9）

IENn（n = 0 ～ 9）レジスタは、IRQ 割り込みの許可／マスクを選択するレジスタです。リセット時は、すべての割り込み要求はマスクされています。

このレジスタは、ビットをセット（1）すると、クリア（0）はできません。クリアは割り込みイネーブルクリアレジスタ n（IECn）で行ってください。

IENn レジスタは、32 ビット単位でリード／ライト可能です。

- IEN0

アドレス　VIC.IEN0 A001 0080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN31	IEN30	IEN29	IEN28	IEN27	IEN26	IEN25	IEN24	IEN23	IEN22	IEN21	IEN20	IEN19	IEN18	IEN17	IEN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN15	IEN14	IEN13	IEN12	IEN11	IEN10	IEN9	IEN8	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b1	IEN[31:1]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

- IEN1

アドレス　VIC.IEN1 A001 0084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN63	IEN62	IEN61	IEN60	IEN59	IEN58	IEN57	IEN56	IEN55	IEN54	IEN53	IEN52	IEN51	IEN50	IEN49	IEN48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN47	IEN46	IEN45	IEN44	IEN43	IEN42	IEN41	IEN40	IEN39	IEN38	IEN37	IEN36	IEN35	IEN34	IEN33	IEN32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[63:32]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

IENi ビット（割り込み要求許可ビット）（i = 1 ～ 63）

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

- IEN2

アドレス　VIC.IEN2 A001 0088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN95	IEN94	IEN93	IEN92	IEN91	IEN90	IEN89	IEN88	IEN87	IEN86	IEN85	IEN84	IEN83	IEN82	IEN81	IEN80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN79	IEN78	IEN77	IEN76	IEN75	IEN74	IEN73	IEN72	IEN71	IEN70	IEN69	IEN68	IEN67	IEN66	IEN65	IEN64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[95:64]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

- IEN3

アドレス　VIC.IEN3 A001 008Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN127	IEN126	IEN125	IEN124	IEN123	IEN122	IEN121	IEN120	IEN119	IEN118	IEN117	IEN116	IEN115	IEN114	IEN113	IEN112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN111	IEN110	IEN109	IEN108	IEN107	IEN106	IEN105	IEN104	IEN103	IEN102	IEN101	IEN100	IEN99	IEN98	IEN97	IEN96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[127:96]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

IENi ビット（割り込み要求許可ビット）（i = 64 ～ 127）

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

- IEN4

アドレス　VIC.IEN4 A001 0090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN159	IEN158	IEN157	IEN156	IEN155	IEN154	IEN153	IEN152	IEN151	IEN150	IEN149	IEN148	IEN147	IEN146	IEN145	IEN144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN143	IEN142	IEN141	IEN140	IEN139	IEN138	IEN137	IEN136	IEN135	IEN134	IEN133	IEN132	IEN131	IEN130	IEN129	IEN128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[159:128]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

- IEN5

アドレス　VIC.IEN5 A001 0094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN191	IEN190	IEN189	IEN188	IEN187	IEN186	IEN185	IEN184	IEN183	IEN182	IEN181	IEN180	IEN179	IEN178	IEN177	IEN176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN175	IEN174	IEN173	IEN172	IEN171	IEN170	IEN169	IEN168	IEN167	IEN166	IEN165	IEN164	IEN163	IEN162	IEN161	IEN160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[191:160]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

IENi ビット（割り込み要求許可ビット）（i = 128 ～ 191）

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

- IEN6

アドレス　VIC.IEN6 A001 0098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN223	IEN222	IEN221	IEN220	IEN219	IEN218	IEN217	IEN216	IEN215	IEN214	IEN213	IEN212	IEN211	IEN210	IEN209	IEN208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN207	IEN206	IEN205	IEN204	IEN203	IEN202	IEN201	IEN200	IEN199	IEN198	IEN197	IEN196	IEN195	IEN194	IEN193	IEN192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[223:192]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

- IEN7

アドレス　VIC.IEN7 A001 009Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN255	IEN254	IEN253	IEN252	IEN251	IEN250	IEN249	IEN248	IEN247	IEN246	IEN245	IEN244	IEN243	IEN242	IEN241	IEN240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN239	IEN238	IEN237	IEN236	IEN235	IEN234	IEN233	IEN232	IEN231	IEN230	IEN229	IEN228	IEN227	IEN226	IEN225	IEN224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[255:224]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

IENi ビット（割り込み要求許可ビット）（i = 192 ～ 255）

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

- IEN8

アドレス　VIC.IEN8 A001 1080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN287	IEN286	IEN285	IEN284	IEN283	IEN282	IEN281	IEN280	IEN279	IEN278	IEN277	IEN276	IEN275	IEN274	IEN273	IEN272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN271	IEN270	IEN269	IEN268	IEN267	IEN266	IEN265	IEN264	IEN263	IEN262	IEN261	IEN260	IEN259	IEN258	IEN257	IEN256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[287:256]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W

- IEN9

アドレス　VIC.IEN9 A001 1084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IEN300	IEN299	IEN298	IEN297	IEN296	IEN295	IEN294	IEN293	IEN292	IEN291	IEN290	IEN289	IEN288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	IEN[300:288]	割り込み要求許可ビット	0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IENi ビット（割り込み要求許可ビット）（i = 256 ～ 300）

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

12.4.2.4　割り込みイネーブルクリアレジスタ n（IECn）（n = 0 ～ 9）

IECn（n = 0 ～ 9）レジスタは、IENn レジスタのビットをクリアし、該当する割り込み要求をマスク（ディスエーブル）状態に設定するレジスタです。

IECn レジスタは、32 ビット単位でライトのみ可能です。

IECn レジスタを書き換える場合は、割り込み禁止状態で行う必要があります。割り込み禁止は Arm CPU の CPSR レジスタの I ビットをセット（1）することで行ってください。

- IEC0

アドレス　VIC.IEC0 A001 00A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC31	IEC30	IEC29	IEC28	IEC27	IEC26	IEC25	IEC24	IEC23	IEC22	IEC21	IEC20	IEC19	IEC18	IEC17	IEC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC15	IEC14	IEC13	IEC12	IEC11	IEC10	IEC9	IEC8	IEC7	IEC6	IEC5	IEC4	IEC3	IEC2	IEC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、“0”としてください。	W
b31-b1	IEC[31:1]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IEN レジスタの該当ビットをクリア（0）	W

- IEC1

アドレス　VIC.IEC1 A001 00A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC63	IEC62	IEC61	IEC60	IEC59	IEC58	IEC57	IEC56	IEC55	IEC54	IEC53	IEC52	IEC51	IEC50	IEC49	IEC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC47	IEC46	IEC45	IEC44	IEC43	IEC42	IEC41	IEC40	IEC39	IEC38	IEC37	IEC36	IEC35	IEC34	IEC33	IEC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[63:32]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IEN レジスタの該当ビットをクリア（0）	W

IECi ビット（割り込み要求クリアビット）（i = 1 ～ 63）

割り込み要求のマスク（ディスエーブル）設定を行うビットです。あるビットをセット（1）すると、IEN レジスタの同ビットがクリア（0）され、その割り込み要求はマスク（ディスエーブル）状態になります。

- IEC2

アドレス　VIC.IEC2 A001 00A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC95	IEC94	IEC93	IEC92	IEC91	IEC90	IEC89	IEC88	IEC87	IEC86	IEC85	IEC84	IEC83	IEC82	IEC81	IEC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC79	IEC78	IEC77	IEC76	IEC75	IEC74	IEC73	IEC72	IEC71	IEC70	IEC69	IEC68	IEC67	IEC66	IEC65	IEC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[95:64]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W

- IEC3

アドレス　VIC.IEC3 A001 00ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC127	IEC126	IEC125	IEC124	IEC123	IEC122	IEC121	IEC120	IEC119	IEC118	IEC117	IEC116	IEC115	IEC114	IEC113	IEC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC111	IEC110	IEC109	IEC108	IEC107	IEC106	IEC105	IEC104	IEC103	IEC102	IEC101	IEC100	IEC99	IEC98	IEC97	IEC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[127:96]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W

IECi ビット（割り込み要求クリアビット）（i = 64 ～ 127）

割り込み要求のマスク（ディスエーブル）設定を行うビットです。あるビットをセット（1）すると、IENレジスタの同ビットがクリア（0）され、その割り込み要求はマスク（ディスエーブル）状態になります。

- IEC4

アドレス　VIC.IEC4 A001 00B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC159	IEC158	IEC157	IEC156	IEC155	IEC154	IEC153	IEC152	IEC151	IEC150	IEC149	IEC148	IEC147	IEC146	IEC145	IEC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC143	IEC142	IEC141	IEC140	IEC139	IEC138	IEC137	IEC136	IEC135	IEC134	IEC133	IEC132	IEC131	IEC130	IEC129	IEC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[159:128]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W

- IEC5

アドレス　VIC.IEC5 A001 00B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC191	IEC190	IEC189	IEC188	IEC187	IEC186	IEC185	IEC184	IEC183	IEC182	IEC181	IEC180	IEC179	IEC178	IEC177	IEC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC175	IEC174	IEC173	IEC172	IEC171	IEC170	IEC169	IEC168	IEC167	IEC166	IEC165	IEC164	IEC163	IEC162	IEC161	IEC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[191:160]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W

IECi ビット（割り込み要求クリアビット）（i = 128 ～ 191）

割り込み要求のマスク（ディスエーブル）設定を行うビットです。あるビットをセット（1）すると、IENレジスタの同ビットがクリア（0）され、その割り込み要求はマスク（ディスエーブル）状態になります。

- IEC6

アドレス　VIC.IEC6 A001 00B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC223	IEC222	IEC221	IEC220	IEC219	IEC218	IEC217	IEC216	IEC215	IEC214	IEC213	IEC212	IEC211	IEC210	IEC209	IEC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC207	IEC206	IEC205	IEC204	IEC203	IEC202	IEC201	IEC200	IEC199	IEC198	IEC197	IEC196	IEC195	IEC194	IEC193	IEC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[223:192]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W

- IEC7

アドレス　VIC.IEC7 A001 00BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC255	IEC254	IEC253	IEC252	IEC251	IEC250	IEC249	IEC248	IEC247	IEC246	IEC245	IEC244	IEC243	IEC242	IEC241	IEC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC239	IEC238	IEC237	IEC236	IEC235	IEC234	IEC233	IEC232	IEC231	IEC230	IEC229	IEC228	IEC227	IEC226	IEC225	IEC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[255:224]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W

IECi ビット（割り込み要求クリアビット）（i = 192 ～ 255）

割り込み要求のマスク（ディスエーブル）設定を行うビットです。あるビットをセット（1）すると、IENレジスタの同ビットがクリア（0）され、その割り込み要求はマスク（ディスエーブル）状態になります。

- IEC8

アドレス　VIC.IEC8 A001 10A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC287	IEC286	IEC285	IEC284	IEC283	IEC282	IEC281	IEC280	IEC279	IEC278	IEC277	IEC276	IEC275	IEC274	IEC273	IEC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC271	IEC270	IEC269	IEC268	IEC267	IEC266	IEC265	IEC264	IEC263	IEC262	IEC261	IEC260	IEC259	IEC258	IEC257	IEC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[287:256]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W

- IEC9

アドレス　VIC.IEC9 A001 10A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IEC300	IEC299	IEC298	IEC297	IEC296	IEC295	IEC294	IEC293	IEC292	IEC291	IEC290	IEC289	IEC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	IEC[300:288]	割り込み要求クリアビット	0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IENレジスタの該当ビットをクリア（0）	W
b31-b13	—	予約ビット	書く場合、“0”としてください。	W

IECi ビット（割り込み要求クリアビット）（i = 256 ～ 300）

割り込み要求のマスク（ディスエーブル）設定を行うビットです。あるビットをセット（1）すると、IENレジスタの同ビットがクリア（0）され、その割り込み要求はマスク（ディスエーブル）状態になります。

12.4.2.5　割り込み検出タイプ選択レジスタ n（PLSn）（n = 0 ～ 9）

PLSn（n = 0 ～ 9）レジスタは、割り込み入力ごとのエッジ検出／レベル検出を選択するレジスタです。
PLSn レジスタは、32 ビット単位でリード／ライト可能です。

- PLS0

アドレス　VIC.PLS0 A001 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS31	PLS30	PLS29	PLS28	PLS27	PLS26	PLS25	PLS24	PLS23	PLS22	PLS21	PLS20	PLS19	PLS18	PLS17	PLS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS15	PLS14	PLS13	PLS12	PLS11	PLS10	PLS9	PLS8	PLS7	PLS6	PLS5	PLS4	PLS3	PLS2	PLS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b1	PLS[31:1]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

- PLS1

アドレス　VIC.PLS1 A001 0104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS63	PLS62	PLS61	PLS60	PLS59	PLS58	PLS57	PLS56	PLS55	PLS54	PLS53	PLS52	PLS51	PLS50	PLS49	PLS48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS47	PLS46	PLS45	PLS44	PLS43	PLS42	PLS41	PLS40	PLS39	PLS38	PLS37	PLS36	PLS35	PLS34	PLS33	PLS32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[63:32]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

PLSi ビット（割り込み入力検出タイプ選択ビット）（i = 1 ～ 63）

割り込み入力の検出タイプを選択するビットです。
PLS[63:1] にベクタ番号 63-1 が対応します。

- PLS2

アドレス　VIC.PLS2 A001 0108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS95	PLS94	PLS93	PLS92	PLS91	PLS90	PLS89	PLS88	PLS87	PLS86	PLS85	PLS84	PLS83	PLS82	PLS81	PLS80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS79	PLS78	PLS77	PLS76	PLS75	PLS74	PLS73	PLS72	PLS71	PLS70	PLS69	PLS68	PLS67	PLS66	PLS65	PLS64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[95:64]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

- PLS3

アドレス　VIC.PLS3 A001 010Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS127	PLS126	PLS125	PLS124	PLS123	PLS122	PLS121	PLS120	PLS119	PLS118	PLS117	PLS116	PLS115	PLS114	PLS113	PLS112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS111	PLS110	PLS109	PLS108	PLS107	PLS106	PLS105	PLS104	PLS103	PLS102	PLS101	PLS100	PLS99	PLS98	PLS97	PLS96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[127:96]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

PLSi ビット（割り込み入力検出タイプ選択ビット）（i = 64 ～ 127）

割り込み入力の検出タイプを選択するビットです。

PLS[127:64] にベクタ番号 127-64 が対応します。

- PLS4

アドレス　VIC.PLS4 A001 0110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS159	PLS158	PLS157	PLS156	PLS155	PLS154	PLS153	PLS152	PLS151	PLS150	PLS149	PLS148	PLS147	PLS146	PLS145	PLS144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS143	PLS142	PLS141	PLS140	PLS139	PLS138	PLS137	PLS136	PLS135	PLS134	PLS133	PLS132	PLS131	PLS130	PLS129	PLS128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[159:128]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

- PLS5

アドレス　VIC.PLS5 A001 0114h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS191	PLS190	PLS189	PLS188	PLS187	PLS186	PLS185	PLS184	PLS183	PLS182	PLS181	PLS180	PLS179	PLS178	PLS177	PLS176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS175	PLS174	PLS173	PLS172	PLS171	PLS170	PLS169	PLS168	PLS167	PLS166	PLS165	PLS164	PLS163	PLS162	PLS161	PLS160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[191:160]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

PLSi ビット（割り込み入力検出タイプ選択ビット）（i = 128 ～ 191）

割り込み入力の検出タイプを選択するビットです。

PLS[191:128] にベクタ番号 191-128 が対応します。

- PLS6

アドレス　VIC.PLS6 A001 0118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS223	PLS222	PLS221	PLS220	PLS219	PLS218	PLS217	PLS216	PLS215	PLS214	PLS213	PLS212	PLS211	PLS210	PLS209	PLS208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS207	PLS206	PLS205	PLS204	PLS203	PLS202	PLS201	PLS200	PLS199	PLS198	PLS197	PLS196	PLS195	PLS194	PLS193	PLS192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[223:192]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

- PLS7

アドレス　VIC.PLS7 A001 011Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS255	PLS254	PLS253	PLS252	PLS251	PLS250	PLS249	PLS248	PLS247	PLS246	PLS245	PLS244	PLS243	PLS242	PLS241	PLS240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS239	PLS238	PLS237	PLS236	PLS235	PLS234	PLS233	PLS232	PLS231	PLS230	PLS229	PLS228	PLS227	PLS226	PLS225	PLS224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[255:224]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

PLSi ビット（割り込み入力検出タイプ選択ビット）（i = 192 ～ 255）

割り込み入力の検出タイプを選択するビットです。

PLS[255:192] にベクタ番号 255-192 が対応します。

- PLS8

アドレス　VIC.PLS8 A001 1100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS287	PLS286	PLS285	PLS284	PLS283	PLS282	PLS281	PLS280	PLS279	PLS278	PLS277	PLS276	PLS275	PLS274	PLS273	PLS272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS271	PLS270	PLS269	PLS268	PLS267	PLS266	PLS265	PLS264	PLS263	PLS262	PLS261	PLS260	PLS259	PLS258	PLS257	PLS256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[287:256]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W

- PLS9

アドレス　VIC.PLS9 A001 1104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PLS300	PLS299	PLS298	PLS297	PLS296	PLS295	PLS294	PLS293	PLS292	PLS291	PLS290	PLS289	PLS288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	PLS[300:288]	割り込み入力検出タイプ選択ビット	0：レベル検出を行います 1：エッジ検出を行います	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PLSi ビット（割り込み入力検出タイプ選択ビット）（i = 256 ～ 300）

割り込み入力の検出タイプを選択するビットです。

PLS[300:256] にベクタ番号 300-256 が対応します。

12.4.2.6　エッジ検出ビットクリアレジスタ n（PICn）（n = 0 ～ 9）

エッジ検出を行った場合、割り込み入力ビットごとに割り込み検出状態を保持します。（「12.4　Cortex-R4 ベクタ割り込みコントローラ（VIC）」、および「12.4.4.3　(3)　IRQ 割り込み（エッジ割り込み）」を参照）

PICn（n = 0 ～ 9）レジスタは、エッジ検出を行った割り込み入力ビットのエッジ検出回路をクリア（0）します。

PICn レジスタは、32 ビット単位でライトのみ可能です。

- PIC0

アドレス　VIC.PIC0 A001 0120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC31	PIC30	PIC29	PIC28	PIC27	PIC26	PIC25	PIC24	PIC23	PIC22	PIC21	PIC20	PIC19	PIC18	PIC17	PIC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC15	PIC14	PIC13	PIC12	PIC11	PIC10	PIC9	PIC8	PIC7	PIC6	PIC5	PIC4	PIC3	PIC2	PIC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、“0”としてください。	W
b31-b1	PIC[31:1]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

- PIC1

アドレス　VIC.PIC1 A001 0124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC63	PIC62	PIC61	PIC60	PIC59	PIC58	PIC57	PIC56	PIC55	PIC54	PIC53	PIC52	PIC51	PIC50	PIC49	PIC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC47	PIC46	PIC45	PIC44	PIC43	PIC42	PIC41	PIC40	PIC39	PIC38	PIC37	PIC36	PIC35	PIC34	PIC33	PIC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[63:32]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

PICi ビット（エッジ検出クリアビット）（i = 1 ～ 63）

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC2

アドレス　VIC.PIC2 A001 0128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC95	PIC94	PIC93	PIC92	PIC91	PIC90	PIC89	PIC88	PIC87	PIC86	PIC85	PIC84	PIC83	PIC82	PIC81	PIC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC79	PIC78	PIC77	PIC76	PIC75	PIC74	PIC73	PIC72	PIC71	PIC70	PIC69	PIC68	PIC67	PIC66	PIC65	PIC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[95:64]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

- PIC3

アドレス　VIC.PIC3 A001 012Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC127	PIC126	PIC125	PIC124	PIC123	PIC122	PIC121	PIC120	PIC119	PIC118	PIC117	PIC116	PIC115	PIC114	PIC113	PIC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC111	PIC110	PIC109	PIC108	PIC107	PIC106	PIC105	PIC104	PIC103	PIC102	PIC101	PIC100	PIC99	PIC98	PIC97	PIC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[127:96]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

PICi ビット（エッジ検出クリアビット）（i = 64 ～ 127）

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC4

アドレス　VIC.PIC4 A001 0130h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC159	PIC158	PIC157	PIC156	PIC155	PIC154	PIC153	PIC152	PIC151	PIC150	PIC149	PIC148	PIC147	PIC146	PIC145	PIC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC143	PIC142	PIC141	PIC140	PIC139	PIC138	PIC137	PIC136	PIC135	PIC134	PIC133	PIC132	PIC131	PIC130	PIC129	PIC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[159:128]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

- PIC5

アドレス　VIC.PIC5 A001 0134h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC191	PIC190	PIC189	PIC188	PIC187	PIC186	PIC185	PIC184	PIC183	PIC182	PIC181	PIC180	PIC179	PIC178	PIC177	PIC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC175	PIC174	PIC173	PIC172	PIC171	PIC170	PIC169	PIC168	PIC167	PIC166	PIC165	PIC164	PIC163	PIC162	PIC161	PIC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[191:160]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

PICi ビット（エッジ検出クリアビット）（i = 128 ～ 191）

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC6

アドレス　VIC.PIC6 A001 0138h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC223	PIC222	PIC221	PIC220	PIC219	PIC218	PIC217	PIC216	PIC215	PIC214	PIC213	PIC212	PIC211	PIC210	PIC209	PIC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC207	PIC206	PIC205	PIC204	PIC203	PIC202	PIC201	PIC200	PIC199	PIC198	PIC197	PIC196	PIC195	PIC194	PIC193	PIC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[223:192]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

- PIC7

アドレス　VIC.PIC7 A001 013Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC255	PIC254	PIC253	PIC252	PIC251	PIC250	PIC249	PIC248	PIC247	PIC246	PIC245	PIC244	PIC243	PIC242	PIC241	PIC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC239	PIC238	PIC237	PIC236	PIC235	PIC234	PIC233	PIC232	PIC231	PIC230	PIC229	PIC228	PIC227	PIC226	PIC225	PIC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[255:224]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

PICi ビット（エッジ検出クリアビット）（i = 192 ～ 255）

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

- PIC8

アドレス　VIC.PIC8 A001 1120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC287	PIC286	PIC285	PIC284	PIC283	PIC282	PIC281	PIC280	PIC279	PIC278	PIC277	PIC276	PIC275	PIC274	PIC273	PIC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC271	PIC270	PIC269	PIC268	PIC267	PIC266	PIC265	PIC264	PIC263	PIC262	PIC261	PIC260	PIC259	PIC258	PIC257	PIC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[287:256]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W

- PIC9

アドレス　VIC.PIC9 A001 1124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PIC300	PIC299	PIC298	PIC297	PIC296	PIC295	PIC294	PIC293	PIC292	PIC291	PIC290	PIC289	PIC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	PIC[300:288]	エッジ検出クリアビット	0：何も変わりません 1：エッジ検出をクリアします	W
b31-b13	—	予約ビット	書く場合、“0”としてください。	W

PICi ビット（エッジ検出クリアビット）（i = 256 ～ 300）

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

12.4.2.7　割り込み優先レベルマスクレジスタ 0（PRLM0）

PRLM0 レジスタは、割り込み優先レベルに対する割り込みのマスク制御をするレジスタです。

このレジスタは、ビットをセット（1）すると、クリア（0）はできません。クリアは割り込み優先レベルマスククリアレジスタ 0（PRLC0）で行ってください。

PRLM0 レジスタは、32 ビット単位でリード／ライト可能です。

アドレス　VIC.PRLM0 A001 01C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLM15	PRLM14	PRLM13	PRLM12	PRLM11	PRLM10	PRLM9	PRLM8	PRLM7	PRLM6	PRLM5	PRLM4	PRLM3	PRLM2	PRLM1	PRLM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLM[15:0]	割り込み優先レベル設定ビット	0：何も変わりません。 1：対応するビット番号と同じ優先レベルをマスクします。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRLMi ビット（割り込み優先レベル設定ビット）（i = 0 ～ 15）

割り込み優先レベル設定ビットです。ベクタ番号 1 ～ 255 の要因に対し、割り込み優先レベルに対する割り込みのマスクを設定します。

レジスタのビット位置は、それぞれの優先レベルに等しく、セット（1）すると、対応するビット番号と同じ優先レベルをマスクします。

12.4.2.8　割り込み優先レベルマスクレジスタ 1（PRLM1）

PRLM1 レジスタは、割り込み優先レベルに対する割り込みのマスク制御を行うレジスタです。

このレジスタは、ビットをセット（1）すると、クリア（0）はできません。クリアは割り込み優先レベルマスククリアレジスタ 1（PRLC1）で行ってください。

PRLM1 レジスタは、32 ビット単位でリード／ライト可能です。

アドレス　VIC.PRLM1 A001 11C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLM15	PRLM14	PRLM13	PRLM12	PRLM11	PRLM10	PRLM9	PRLM8	PRLM7	PRLM6	PRLM5	PRLM4	PRLM3	PRLM2	PRLM1	PRLM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLM[15:0]	割り込み優先レベル設定ビット	0：何も変わりません。 1：対応するビット番号（PRLMi）＋16と同じ優先レベルをマスクします。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRLMi ビット（割り込み優先レベル設定ビット）（i = 0 ～ 15）

割り込み優先レベル設定ビットです。ベクタ番号 256 ～ 300 の要因に対し、割り込み優先レベルに対する割り込みのマスクを設定します。

セット（1）すると、対応するビット番号（PRLMi）＋ 16 と同じ優先レベルをマスクします。

12.4.2.9　割り込み優先レベルマスククリアレジスタ 0（PRLC0）

PRLC0 レジスタは、PRLM0 レジスタの各ビットをクリアするレジスタです。

PRLC0 レジスタは、32 ビット単位でライトのみ可能です。

アドレス　VIC.PRLC0 A001 01C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLC15	PRLC14	PRLC13	PRLC12	PRLC11	PRLC10	PRLC9	PRLC8	PRLC7	PRLC6	PRLC5	PRLC4	PRLC3	PRLC2	PRLC1	PRLC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLC[15:0]	割り込み優先レベルクリアビット	0：何も変わりません。 1：ビットの番号に対応するビットがクリア（0）されます。	W
b31-b16	—	予約ビット	書く場合、“0”としてください。	W

PRLCi ビット（割り込み優先レベルクリアビット）（i = 0 ～ 15）

割り込み優先レベルクリアビットです。ベクタ番号 1 ～ 255 の要因に対し、割り込み優先レベルマスクレジスタ 0（PRLM0）のクリアを行います。

セット（1）すると、そのセットしたビットの番号に対応するビットがクリア（0）されます。

12.4.2.10　割り込み優先レベルマスククリアレジスタ 1（PRLC1）

PRLC1 レジスタは、PRLM1 レジスタの各ビットをクリアするレジスタです。

PRLC1 レジスタは、32 ビット単位でライトのみ可能です。

アドレス　VIC.PRLC1 A001 11C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLC15	PRLC14	PRLC13	PRLC12	PRLC11	PRLC10	PRLC9	PRLC8	PRLC7	PRLC6	PRLC5	PRLC4	PRLC3	PRLC2	PRLC1	PRLC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLC[15:0]	割り込み優先レベルクリアビット	0：何も変わりません。 1：ビットの番号に対応するビットがクリア（0）されます。	W
b31-b16	—	予約ビット	書く場合、“0”としてください。	W

PRLCi ビット（割り込み優先レベルクリアビット）（i = 0 ～ 15）

割り込み優先レベルクリアビットです。ベクタ番号 256 ～ 300 の要因に対し、割り込み優先レベルマスクレジスタ 1（PRLM1）のクリアを行います。

セット（1）すると、そのセットしたビットの番号に対応するビットがクリア（0）されます。

12.4.2.11　ユーザモードイネーブルレジスタ 0（UEN0）

UEN0 レジスタは、特権モードによる、割り込み制御レジスタ（UEN0/1 レジスタを除く VIC の制御レジスタ）へのアクセスの許可／禁止を選択します。

バスマスタが正確にプロテクション情報を生成できない場合は UE ビットをセット（1）し、ユーザモードによる割り込み制御レジスタへのアクセスを許可してください。UE ビットの初期値は 1 で、ユーザモードによる割り込み制御レジスタに対するアクセスが許可されています。

UEN0 レジスタは、32 ビット単位でリード可能です。

UEN0 レジスタは他のレジスタと異なり、特権モード時のみ 32 ビット単位でライト可能です。

アドレス　VIC.UEN0 A001 01C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UE（注1）	割り込み制御レジスタに対するアクセス選択ビット	0：ユーザモードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1：ユーザモードによるアクセスを許可します。ユーザモードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。（初期値）	W
b31-b1	—	予約ビット	書く場合、“0”としてください。	W

注1.　本レジスタへのライトアクセスは、特権モードでのみ可能です。

UE ビット（割り込み制御レジスタに対するアクセス選択ビット）

ベクタ番号 1 ～ 255 の要因に対し、割り込み制御レジスタに対するアクセスの許可／禁止を設定します。

12.4.2.12　ユーザモードイネーブルレジスタ 1（UEN1）

UEN1 レジスタは、特権モードによる、割り込み制御レジスタ（UEN0/1 レジスタを除く VIC の制御レジスタ）へのアクセスの許可／禁止を選択します。

バスマスタが正確にプロテクション情報を生成できない場合は UE ビットをセット（1）し、ユーザモードによる割り込み制御レジスタへのアクセスを許可してください。UE ビットの初期値は 1 で、ユーザモードによる割り込み制御レジスタに対するアクセスが許可されています。

UEN1 レジスタは、32 ビット単位でリード可能です。

UEN1 レジスタは他のレジスタと異なり、特権モード時のみ 32 ビット単位でライト可能です。

アドレス　VIC.UEN1 A001 11C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UE（注1）	割り込み制御レジスタに対するアクセス選択ビット	0：ユーザモードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1：ユーザモードによるアクセスを許可します。ユーザモードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。（初期値）	W
b31-b1	—	予約ビット	書く場合、“0”としてください。	W

注1.　本レジスタへのライトアクセスは、特権モードでのみ可能です。

UE ビット（割り込み制御レジスタに対するアクセス選択ビット）

ベクタ番号 256 ～ 300 の要因に対し、割り込み制御レジスタに対するアクセスの許可／禁止を設定します。

12.4.2.13　割り込みアドレスレジスタ（HVA0）

リセット解除後に一度、VIC を初期化するために HVA0 レジスタに任意の値をライトする必要があります。

また、割り込み処理（ISR）の最後で、HVA0 レジスタに任意の値をライトする必要があります。HVA レジスタへのライトにより、割り込みコントローラは割り込み処理が終了することを認識し、記憶していた割り込みの優先レベルをクリアします。このことで、今完了した割り込みの次の優先レベルの割り込みが処理されます。なお、HVA0 レジスタにライトしたデータはレジスタには反映されません。

リセット解除後の VIC 初期化時と割り込み処理の完了以外で、このレジスタをアクセスしないでください。上記タイミングのライト以外でこのレジスタをアクセスした場合、不正な割り込み動作を引き起こす可能性があります。

HVA0 レジスタは、32 ビット単位でライトのみ可能です。

アドレス　VIC.HVA0 A001 0200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	HVA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	HVA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	HVA[31:0]	割り込み処理終了通知ビット	割り込み処理終了を通知（任意の値をライト）	W

12.4.2.14　割り込みサービスステータスレジスタ n（ISSn）（n = 0 ～ 9）

ISSn（n = 0 ～ 9）レジスタは、IRQ 割り込みのサービス状態を示すレジスタです。
Cortex-R4 が割り込みサービスルーチン（ISR）を実行中、または保留中の情報が格納されます。
ISSn レジスタは、32 ビット単位でリードのみ可能です。

- ISS0

アドレス　VIC.ISS0 A001 0210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS31	ISS30	ISS29	ISS28	ISS27	ISS26	ISS25	ISS24	ISS23	ISS22	ISS21	ISS20	ISS19	ISS18	ISS17	ISS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS15	ISS14	ISS13	ISS12	ISS11	ISS10	ISS9	ISS8	ISS7	ISS6	ISS5	ISS4	ISS3	ISS2	ISS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	ISS[31:1]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

- ISS1

アドレス　VIC.ISS1 A001 0214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS63	ISS62	ISS61	ISS60	ISS59	ISS58	ISS57	ISS56	ISS55	ISS54	ISS53	ISS52	ISS51	ISS50	ISS49	ISS48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS47	ISS46	ISS45	ISS44	ISS43	ISS42	ISS41	ISS40	ISS39	ISS38	ISS37	ISS36	ISS35	ISS34	ISS33	ISS32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[63:32]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

ISSi ビット（IRQ 割り込み要求サービスフラグ）（i = 1 ～ 63）

ベクタ番号 1-63 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS2

アドレス　VIC.ISS2 A001 0218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS95	ISS94	ISS93	ISS92	ISS91	ISS90	ISS89	ISS88	ISS87	ISS86	ISS85	ISS84	ISS83	ISS82	ISS81	ISS80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS79	ISS78	ISS77	ISS76	ISS75	ISS74	ISS73	ISS72	ISS71	ISS70	ISS69	ISS68	ISS67	ISS66	ISS65	ISS64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[95:64]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

- ISS3

アドレス　VIC.ISS3 A001 021Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS127	ISS126	ISS125	ISS124	ISS123	ISS122	ISS121	ISS120	ISS119	ISS118	ISS117	ISS116	ISS115	ISS114	ISS113	ISS112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS111	ISS110	ISS109	ISS108	ISS107	ISS106	ISS105	ISS104	ISS103	ISS102	ISS101	ISS100	ISS99	ISS98	ISS97	ISS96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[127:96]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

ISSi ビット（IRQ 割り込み要求サービスフラグ）（i = 64 ～ 127）

ベクタ番号 127-64 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS4

アドレス　VIC.ISS4 A001 0220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS159	ISS158	ISS157	ISS156	ISS155	ISS154	ISS153	ISS152	ISS151	ISS150	ISS149	ISS148	ISS147	ISS146	ISS145	ISS144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS143	ISS142	ISS141	ISS140	ISS139	ISS138	ISS137	ISS136	ISS135	ISS134	ISS133	ISS132	ISS131	ISS130	ISS129	ISS128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[159:128]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

- ISS5

アドレス　VIC.ISS5 A001 0224h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS191	ISS190	ISS189	ISS188	ISS187	ISS186	ISS185	ISS184	ISS183	ISS182	ISS181	ISS180	ISS179	ISS178	ISS177	ISS176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS175	ISS174	ISS173	ISS172	ISS171	ISS170	ISS169	ISS168	ISS167	ISS166	ISS165	ISS164	ISS163	ISS162	ISS161	ISS160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[191:160]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

ISSi ビット（IRQ 割り込み要求サービスフラグ）（i = 128 ～ 191）

ベクタ番号 191-128 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS6

アドレス　VIC.ISS6 A001 0228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS223	ISS222	ISS221	ISS220	ISS219	ISS218	ISS217	ISS216	ISS215	ISS214	ISS213	ISS212	ISS211	ISS210	ISS209	ISS208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS207	ISS206	ISS205	ISS204	ISS203	ISS202	ISS201	ISS200	ISS199	ISS198	ISS197	ISS196	ISS195	ISS194	ISS193	ISS192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[223:192]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

- ISS7

アドレス　VIC.ISS7 A001 022Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS255	ISS254	ISS253	ISS252	ISS251	ISS250	ISS249	ISS248	ISS247	ISS246	ISS245	ISS244	ISS243	ISS242	ISS241	ISS240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS239	ISS238	ISS237	ISS236	ISS235	ISS234	ISS233	ISS232	ISS231	ISS230	ISS229	ISS228	ISS227	ISS226	ISS225	ISS224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[255:224]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

ISSi ビット（IRQ 割り込み要求サービスフラグ）（i = 192 ～ 255）

ベクタ番号 255-192 からの IRQ 割り込み要求のサービス状態を示すフラグです。

- ISS8

アドレス　VIC.ISS8 A001 1210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS287	ISS286	ISS285	ISS284	ISS283	ISS282	ISS281	ISS280	ISS279	ISS278	ISS277	ISS276	ISS275	ISS274	ISS273	ISS272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS271	ISS270	ISS269	ISS268	ISS267	ISS266	ISS265	ISS264	ISS263	ISS262	ISS261	ISS260	ISS259	ISS258	ISS257	ISS256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[287:256]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R

- ISS9

アドレス　VIC.ISS9 A001 1214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

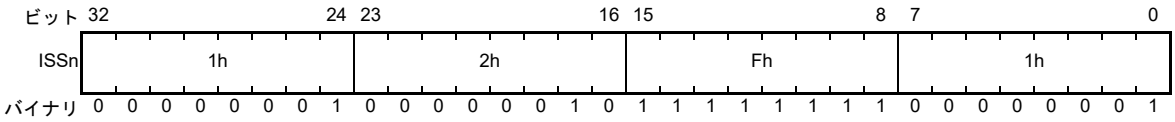
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ISS300	ISS299	ISS298	ISS297	ISS296	ISS295	ISS294	ISS293	ISS292	ISS291	ISS290	ISS289	ISS288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	ISS[300:288]	IRQ割り込み要求サービスフラグ	0：サービスされていない 1：割り込みサービスルーチン（ISR）実行中、または、保留中	R
b31-b13	—	予約ビット	読み出すと“0”が読めます。	R

ISSi ビット（IRQ 割り込み要求サービスフラグ）（i = 256 ～ 300）

ベクタ番号 300-256 からの IRQ 割り込み要求のサービス状態を示すフラグです。

例えば、割り込みコントローラに複数の割り込み要求があった場合、ISSn レジスタの状態は以下のようになります。



現在、ベクタ番号 24, 17, 15-8, 0 から割り込み要求があることを示しています。割り込みサービスルーチン（ISR）は PRLm レジスタで設定された優先レベルが高い順から順にサービスされます。PRLm レジスタの値が同じ場合は、ベクタ番号の小さい割り込み要求の優先レベルが高くなります。ISR が終了すると、ISSn レジスタの該当ビットはクリアされ、次に優先レベルの高い ISR を開始します。また、ISR 中に他の割り込み要求があると、その割り込みも本レジスタに反映されます。

12.4.2.15　割り込みサービスカレントレジスタ n（ISCn）（n = 0 ～ 9）

ISCn（n = 0 ～ 9）レジスタは、割り込みサービスステータスレジスタ n（ISSn）でセット（1）されている IRQ 割り込みの中で、最も優先レベルの高い IRQ 割り込みを示すレジスタです。

ISCn レジスタは、32 ビット単位でリードのみ可能です。

- ISC0

アドレス　VIC.ISC0 A001 0230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC31	ISC30	ISC29	ISC28	ISC27	ISC26	ISC25	ISC24	ISC23	ISC22	ISC21	ISC20	ISC19	ISC18	ISC17	ISC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC15	ISC14	ISC13	ISC12	ISC11	ISC10	ISC9	ISC8	ISC7	ISC6	ISC5	ISC4	ISC3	ISC2	ISC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	ISC[31:1]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

- ISC1

アドレス　VIC.ISC1 A001 0234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC63	ISC62	ISC61	ISC60	ISC59	ISC58	ISC57	ISC56	ISC55	ISC54	ISC53	ISC52	ISC51	ISC50	ISC49	ISC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC47	ISC46	ISC45	ISC44	ISC43	ISC42	ISC41	ISC40	ISC39	ISC38	ISC37	ISC36	ISC35	ISC34	ISC33	ISC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[63:32]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

ISCi ビット（IRQ 割り込み要求サービスフラグ）（i = 1 ～ 63）

割り込みサービスステータスレジスタ n（ISSn, n = 0 ～ 9）の IRQ 割り込み要求のサービス状態を示すフラグです。

- ISC2

アドレス　VIC.ISC2 A001 0238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC95	ISC94	ISC93	ISC92	ISC91	ISC90	ISC89	ISC88	ISC87	ISC86	ISC85	ISC84	ISC83	ISC82	ISC81	ISC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC79	ISC78	ISC77	ISC76	ISC75	ISC74	ISC73	ISC72	ISC71	ISC70	ISC69	ISC68	ISC67	ISC66	ISC65	ISC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[95:64]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

- ISC3

アドレス　VIC.ISC3 A001 023Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC127	ISC126	ISC125	ISC124	ISC123	ISC122	ISC121	ISC120	ISC119	ISC118	ISC117	ISC116	ISC115	ISC114	ISC113	ISC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC111	ISC110	ISC109	ISC108	ISC107	ISC106	ISC105	ISC104	ISC103	ISC102	ISC101	ISC100	ISC99	ISC98	ISC97	ISC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[127:96]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

ISCi ビット（IRQ 割り込み要求サービスフラグ）（i = 64 ～ 127）

割り込みサービスステータスレジスタ n（ISSn, n = 0 ～ 9）の IRQ 割り込み要求のサービス状態を示すフラグです。

- ISC4

アドレス　VIC.ISC4 A001 0240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC159	ISC158	ISC157	ISC156	ISC155	ISC154	ISC153	ISC152	ISC151	ISC150	ISC149	ISC148	ISC147	ISC146	ISC145	ISC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC143	ISC142	ISC141	ISC140	ISC139	ISC138	ISC137	ISC136	ISC135	ISC134	ISC133	ISC132	ISC131	ISC130	ISC129	ISC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[159:128]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

- ISC5

アドレス　VIC.ISC5 A001 0244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC191	ISC190	ISC189	ISC188	ISC187	ISC186	ISC185	ISC184	ISC183	ISC182	ISC181	ISC180	ISC179	ISC178	ISC177	ISC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC175	ISC174	ISC173	ISC172	ISC171	ISC170	ISC169	ISC168	ISC167	ISC166	ISC165	ISC164	ISC163	ISC162	ISC161	ISC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[191:160]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

ISCi ビット（IRQ 割り込み要求サービスフラグ）（i = 128 ～ 191）

割り込みサービスステータスレジスタ n（ISSn, n = 0 ～ 9）の IRQ 割り込み要求のサービス状態を示すフラグです。

- ISC6

アドレス　VIC.ISC6 A001 0248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC223	ISC222	ISC221	ISC220	ISC219	ISC218	ISC217	ISC216	ISC215	ISC214	ISC213	ISC212	ISC211	ISC210	ISC209	ISC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC207	ISC206	ISC205	ISC204	ISC203	ISC202	ISC201	ISC200	ISC199	ISC198	ISC197	ISC196	ISC195	ISC194	ISC193	ISC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[223:192]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

- ISC7

アドレス　VIC.ISC7 A001 024Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC255	ISC254	ISC253	ISC252	ISC251	ISC250	ISC249	ISC248	ISC247	ISC246	ISC245	ISC244	ISC243	ISC242	ISC241	ISC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC239	ISC238	ISC237	ISC236	ISC235	ISC234	ISC233	ISC232	ISC231	ISC230	ISC229	ISC228	ISC227	ISC226	ISC225	ISC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[255:224]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

ISCi ビット（IRQ 割り込み要求サービスフラグ）（i = 192 ～ 255）

割り込みサービスステータスレジスタ n（ISSn, n = 0 ～ 9）の IRQ 割り込み要求のサービス状態を示すフラグです。

- ISC8

アドレス　VIC.ISC8 A001 1230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC287	ISC286	ISC285	ISC284	ISC283	ISC282	ISC281	ISC280	ISC279	ISC278	ISC277	ISC276	ISC275	ISC274	ISC273	ISC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC271	ISC270	ISC269	ISC268	ISC267	ISC266	ISC265	ISC264	ISC263	ISC262	ISC261	ISC260	ISC259	ISC258	ISC257	ISC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[287:256]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R

- ISC9

アドレス　VIC.ISC9 A001 1234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ISC300	ISC299	ISC298	ISC297	ISC296	ISC295	ISC294	ISC293	ISC292	ISC291	ISC290	ISC289	ISC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	ISC[300:288]	IRQ割り込み要求サービスフラグ	0：優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込み	R
b31-b13	—	予約ビット	読み出すと“0”が読めます。	R

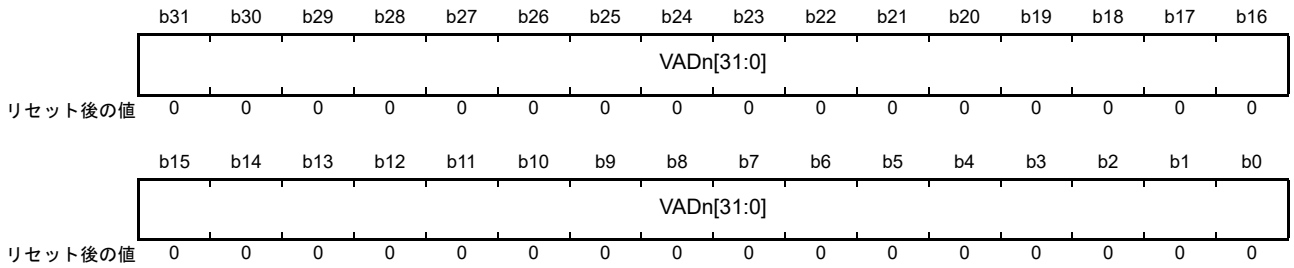
ISCi ビット（IRQ 割り込み要求サービスフラグ）（i = 256 ～ 300）

割り込みサービスステータスレジスタ n（ISSn, n = 0 ～ 9）の IRQ 割り込み要求のサービス状態を示すフラグです。

12.4.2.16　割り込みアドレス格納レジスタ 0（VADn）（n = 1 ～ 255）
割り込みアドレス格納レジスタ 1（VADn）（n = 256 ～ 300）

VADn（n = 1 ～ 300）レジスタは、各割り込み入力に対応したベクタアドレスを格納するレジスタです。
VADn レジスタは、32 ビット単位でリード／ライト可能です。

アドレス　VIC.VAD1 A001 0404h ～ VIC.VAD255 A001 07FCh
VIC.VAD256 A001 1400h ～ VIC.VAD300 A001 14B0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	VADn[31:0]	ベクタアドレス格納ビット	VAD1-VAD300とベクタ番号1-300がペアで対応しています。	R/W

VADn[31:0] ビット（ベクタアドレス格納ビット）（n = 1 ～ 300）

ベクタアドレス格納ビットです。VAD1-VAD300 とベクタ番号 1-300 がペアで対応しています。

- 割り込み要求を CPU に接続する場合
  割り込み要求 n が発生した際に分岐する割り込み処理の先頭アドレスを本レジスタにあらかじめ設定してください。
- 割り込み要求を DMAC に接続する場合
  割り込み要求 n が発生し DMA 転送が起動されます。DMA 転送完了割り込みが発生した際に、分岐する割り込み処理の先頭アドレスを本レジスタにあらかじめ設定してください。
  DMAC に接続する場合は「15.2.8　DMAC Unit0 要因選択レジスタ i（DMA0SELi）（i = 0 ～ 15）」、「15.2.9　DMAC Unit1 要因選択レジスタ i（DMA1SELi）（i = 0 ～ 15）」にベクタ番号 n を設定して割り込み要求 n を DMA 起動要因に選択してください。

12.4.2.17　割り込み優先レベル格納レジスタ 0（PRLn）（n = 1 ～ 255）

PRLn（n = 1 ～ 255）レジスタは、各割り込み入力に対応した割り込み優先レベルを格納するレジスタです。

PRLn レジスタは、32 ビット単位でリード／ライト可能です。

アドレス　VIC.PRL1 A001 0804h～VIC.PRL255 A001 0BFCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRL3	PRL2	PRL1	PRL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PRL[3:0]	割り込み優先レベル格納ビット	割り込み優先レベルは、0が最も高く、15が最も低くなります。	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRL[3:0] ビット（割り込み優先レベル格納ビット）

ベクタ番号 1-255 の割り込み優先レベルを格納するビットです。割り込み優先レベルは、0 が最も高く、15 が最も低くなります。

12.4.2.18　割り込み優先レベル格納レジスタ 1（PRLn）（n = 256 ～ 300）

PRLn（n = 256 ～ 300）レジスタは、各割り込み入力に対応した割り込み優先レベルを格納するレジスタです。

PRLn レジスタは、32 ビット単位でリード／ライト可能です。

アドレス　VIC.PRL256 A001 1800h～VIC.PRL300 A001 18B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRL3	PRL2	PRL1	PRL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PRL[3:0]	割り込み優先レベル格納ビット	割り込み優先レベルは、PRLn+16の値となり、16が最も高く、31が最も低くなります。	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRL[3:0] ビット（割り込み優先レベル格納ビット）

ベクタ番号 256-300 の割り込み優先レベルを格納するビットです。割り込み優先レベルは、PRLn+16 の値となり、16 が最も高く、31 が最も低くなります。

12.4.2.19　割り込みレベルコントロールレジスタ n（LVLCn）（n = 8、9）

LVLCn（n = 8 、9）レジスタは、Encoder I/F の割り込み入力ごとに有効レベルを指定するレジスタです。各割り込み入力ごとに 2 ビットずつ割り当てられています。ハイレベル検出／ロウレベル検出を指定できます。

LVLCn（n = 8 、9）レジスタは、32 ビット単位でリード／ライト可能です。

- LVLC8

アドレス　VIC.LVLC8 A001 01A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LVC1431	LVC1430	LVC1421	LVC1420	LVC1411	LVC1410	LVC1401	LVC1400	LVC1391	LVC1390	LVC1381	LVC1380	LVC1371	LVC1370	LVC1361	LVC1360
リセット後の値	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LVC1351	LVC1350	LVC1341	LVC1340	LVC1331	LVC1330	LVC1321	LVC1320	LVC1311	LVC1310	LVC1301	LVC1300	LVC1291	LVC1290	—	—
リセット後の値	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b2	LVC[1291:1290]	割り込み有効レベル指定ビット	ベクタ番号129の有効レベルを指定します。	R/W
b5-b4	LVC[1301:1300]	割り込み有効レベル指定ビット	ベクタ番号130の有効レベルを指定します。	R/W
b7-b6	LVC[1311:1310]	割り込み有効レベル指定ビット	ベクタ番号131の有効レベルを指定します。	R/W
b9-b8	LVC[1321:1320]	割り込み有効レベル指定ビット	ベクタ番号132の有効レベルを指定します。	R/W
b11-b10	LVC[1331:1330]	割り込み有効レベル指定ビット	ベクタ番号133の有効レベルを指定します。	R/W
b13-b12	LVC[1341:1340]	割り込み有効レベル指定ビット	ベクタ番号134の有効レベルを指定します。	R/W
b15-b14	LVC[1351:1350]	割り込み有効レベル指定ビット	ベクタ番号135の有効レベルを指定します。	R/W
b17-b16	LVC[1361:1360]	割り込み有効レベル指定ビット	ベクタ番号136の有効レベルを指定します。	R/W
b19-b18	LVC[1371:1370]	割り込み有効レベル指定ビット	ベクタ番号137の有効レベルを指定します。	R/W
b21-b20	LVC[1381:1380]	割り込み有効レベル指定ビット	ベクタ番号138の有効レベルを指定します。	R/W
b23-b22	LVC[1391:1390]	割り込み有効レベル指定ビット	ベクタ番号139の有効レベルを指定します。	R/W
b25-b24	LVC[1401:1400]	割り込み有効レベル指定ビット	ベクタ番号140の有効レベルを指定します。	R/W
b27-b26	LVC[1411:1410]	割り込み有効レベル指定ビット	ベクタ番号141の有効レベルを指定します。	R/W
b29-b28	LVC[1421:1420]	割り込み有効レベル指定ビット	ベクタ番号142の有効レベルを指定します。	R/W
b31-b30	LVC[1431:1430]	割り込み有効レベル指定ビット	ベクタ番号143の有効レベルを指定します。	R/W

- LVLC9

アドレス　VIC.LVLC9 A001 01A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LVC 1441	LVC 1440
リセット後の値	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVC[1441:1440]	割り込み有効レベル指定ビット	ベクタ番号144の有効レベルを指定します。	R/W
b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b26	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

LVCi ビット（割り込み有効レベル指定ビット）（i = 1290 ～ 1441）

ベクタ番号 129-144 の割り込み検出の有効レベルを指定します。

LVCm1	LVCm0	有効レベルの指定
0	0	設定禁止
0	1	ハイレベル
1	0	ロウレベル
1	1	設定禁止

12.4.3　ベクタテーブル

12.4.3.1　割り込みのベクタテーブル

Cortex-R4、および DMAC に対する割り込みのベクタテーブルを**表 12.3** に示します。DMAC 要因選択レジスタで選択されたベクタ番号は、各周辺からの割り込み要因ではなく、DMAC 要因選択レジスタで選択された DMAC 各チャネルの転送完了要因が接続されます。

ベクタ番号 42-44 は、Cortex-R4 と DMAC の割り込み要因が異なります。ベクタ番号 42 は、Cortex-R4 向けは USB (func) の CPU 割り込み要因が接続されています。ベクタ番号 43, 44 は USB (func) の DMA 転送要因として使用してください。詳細は、**「12.3.1　割り込み要求先の選択」**を参照してください。USB からの割り込みの詳細については、**「31.　USB2.0HS ホストモジュール（USBh）」**、**「32.　USB2.0HS ファンクションモジュール（USBf）」**を参照してください。

Ether Switch DLR 割り込み（ベクタ番号 46）など、一部の要因は Cortex-R4 への割り込みと、DMAC 起動要因になる場合で割り込み検出が異なる場合があります。詳細は、**「15.3.4　DMA 転送要求」**および各章の DMA 転送に関する注意事項を参照してください。

Cortex-R4 ／ DMAC 割り込みベクタテーブルの各項目は以下のとおりです。

項目	内容
ベクタ番号	Cortex-R4 の VIC における IRQ 割り込み要因のベクタ番号を示します。
要求元	割り込み要求発生元の名称を示します。
要因	割り込み名称を示します。
検出タイプ	各周辺からの割り込みに対する検出タイプを示します。 DMAC からの転送完了割り込みを接続する場合は、必ずエッジを選択してください。
CR4	Cortex-R4 (VIC) の割り込み要因を“○”で示します。
DMAC	DMAC 起動要因を“○”で示します。

注.　各モジュールのエラー信号は、直接、CPU に入力されず、エラーコントロールモジュール（ECM）に入力され、他のエラーと統合し、エラー検出要因として、CPU に伝搬します。詳細は、「42.　エラーコントロールモジュール（ECM）」を参照してください。

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (1 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
1	System (CR4)	INTCR4	CPU間割り込み (CR4)（R-IN Engine サポート製品のみ）	エッジ	○	×
2		INTCTI	CTI (Cross Trigger Interface)割り込み	エッジ	○	×
3		FPUEX	FPU例外	レベル	○	×
4	外部	IRQ0	IRQ端子割り込み0	レベル／エッジ	○	○
5		IRQ1	IRQ端子割り込み1	レベル／エッジ	○	○
6		IRQ2	IRQ端子割り込み2	レベル／エッジ	○	○
7		IRQ3	IRQ端子割り込み3	レベル／エッジ	○	○
8		IRQ4	IRQ端子割り込み4	レベル／エッジ	○	○
9		IRQ5	IRQ端子割り込み5	レベル／エッジ	○	○
10		IRQ6	IRQ端子割り込み6	レベル／エッジ	○	○
11		IRQ7	IRQ端子割り込み7	レベル／エッジ	○	○
12		IRQ8	IRQ端子割り込み8	レベル／エッジ	○	○
13		IRQ9	IRQ端子割り込み9	レベル／エッジ	○	○
14		IRQ10	IRQ端子割り込み10	レベル／エッジ	○	○
15		IRQ11	IRQ端子割り込み11	レベル／エッジ	○	○
16		IRQ12	IRQ端子割り込み12	レベル／エッジ	○	○
17		IRQ13	IRQ端子割り込み13	レベル／エッジ	○	○
18		IRQ14	IRQ端子割り込み14	レベル／エッジ	○	○
19		IRQ15	IRQ端子割り込み15	レベル／エッジ	○	○
20	ECM	ERRD	エラー検出（マスカブル）	エッジ	○	×
21	CMT Unit0	CMI0	コンペアマッチ割り込み _ch0	エッジ	○	○
22		CMI1	コンペアマッチ割り込み _ch1	エッジ	○	○
23	CMT Unit1	CMI2	コンペアマッチ割り込み _ch0	エッジ	○	○
24		CMI3	コンペアマッチ割り込み _ch1	エッジ	○	○
25	CMTW Unit0	CMWI0	コンペアマッチ割り込み	エッジ	○	○
26		IC0I0	インプットキャプチャ 0 割り込み	エッジ	○	○
27		IC1I0	インプットキャプチャ 1 割り込み	エッジ	○	○
28		OC0I0	アウトプットコンペア0 割り込み	エッジ	○	○
29		OC1I0	アウトプットコンペア1 割り込み	エッジ	○	○
30	CMTW Unit1	CMWI1	コンペアマッチ割り込み	エッジ	○	○
31		IC0I1	インプットキャプチャ 0 割り込み	エッジ	○	○
32		IC1I1	インプットキャプチャ 1 割り込み	エッジ	○	○
33		OC0I1	アウトプットコンペア0 割り込み	エッジ	○	○
34		OC1I1	アウトプットコンペア1 割り込み	エッジ	○	○
35	ADC Unit0	S12ADI0	AD変換終了割り込み	エッジ	○	○
36		S12GBADI0	グループB AD変換終了割り込み	エッジ	○	○
37		S12CMPI0	コンペア条件成立	レベル	○	×
38	ADC Unit1	S12ADI1	AD変換終了割り込み	エッジ	○	○
39		S12GBADI1	グループB AD変換終了割り込み	エッジ	○	○
40		S12CMPI1	コンペア条件成立	レベル	○	×

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (2 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
41	USB	USBHI	USB (Host) CPU割り込み	レベル	○	×
42		USBFI	USB (Func) CPU割り込み	レベル／エッジ	○	×
43		USBFDR1	USB (Func) DMA要求1	レベル	×（注3）	○
44		USBFDR2	USB (Func) DMA要求2	レベル	×（注3）	○
45	Switch with IEEE1588	ETHSWI	Ether SWITCH 割り込み	レベル／エッジ（注1）	○	○
46		ETHSWDLRI	Ether SWITCH DLR 割り込み	レベル／エッジ（注1）	○	○
47		ETHSWSOI	Ether SWITCH SYNCOUT 割り込み	エッジ	○	○
48	Ether PHY	ETHPHYI0	Ether PHY 割り込み0	レベル／エッジ	○	○
49		ETHPHYI1	Ether PHY 割り込み1	レベル／エッジ	○	○
50		ETHPHYI2（EtherCAT（オプション）搭載製品のみ）	Ether PHY割り込み2	レベル／エッジ	○	○
51	Ether MAC	ETHDMAIR	Ether MACDMA 受信完了	レベル／エッジ（注1）	○	○
52		ETHDMAIT	Ether MACDMA 送信完了	エッジ	○	○
53		ETHRFI	受信フレーム正常割り込み	レベル／エッジ（注1）	○	○
54	MTU3a	TGIA6	ch6 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
55		TGIB6	ch6 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
56		TGIC6	ch6 インプットキャプチャ／コンペアマッチC割り込み	エッジ	○	○
57		TGID6	ch6 インプットキャプチャ／コンペアマッチD割り込み	エッジ	○	○（注6）
58		TCIV6	ch6 オーバフロー割り込み	エッジ	○	×
59		TGIA7	ch7 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
60		TGIB7	ch7 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
61		TGIC7	ch7 インプットキャプチャ／コンペアマッチC割り込み	エッジ	○	○
62		TGID7	ch7 インプットキャプチャ／コンペアマッチD割り込み	エッジ	○	○
63		TCIV7	ch7 オーバフロー／アンダフロー割り込み	エッジ	○	○
64	Ether MAC	ETHMMAI	Ether MII マネージメント・アクセス完了割り込み	エッジ	○	○
65		ETHPPIT	Ether ポーズ・パケット送信完了	エッジ	○	○
66		ETHIT	Ether 送信完了割り込み	エッジ	○	○
67		ETHRFIV	RX FIFO オーバフロー	エッジ	○	×
68		ETHTFIU	TX FIFO アンダフロー	エッジ	○	×
69		ETHTFIE	TX-FIFO エラー割り込み	レベル	○	×
70		ETHRFE	Ether 受信フレーム・エラー	レベル	○	×
71		ETHLPIST	MII からのLPI 開始通知割り込み	エッジ	○	×
72		ETHLPIEND	MII からのLPI 終了通知割り込み	エッジ	○	×

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (3 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
73	EtherCAT Slave（オプション）	ETHCSI0	EtherCAT Sync0 割り込み	レベル／エッジ（注2）	○	○
74		ETHCSI1	EtherCAT Sync1 割り込み	レベル／エッジ（注2）	○	○
75		ETHCI	EtherCAT 割り込み	レベル／エッジ（注1）	○	○
76		ETHCSOFI	EtherCAT SOF 割り込み	エッジ	○	○
77		ETHCEOFI	EtherCAT EOF 割り込み	エッジ	○	○
78		ETHCWDTI	EtherCAT WDT 割り込み	エッジ	○	×
79		ETHCRSTI	EtherCAT RESET 割り込み	エッジ	○	×
80	RSPI ch0	SPRI0	受信バッファフル	エッジ	○	○
81		SPTI0	送信バッファエンプティ	エッジ	○	○
82		SPEI0	モードフォルトエラー／オーバランエラー／パリティエラー	レベル	○	×
83		SPII0	RSPIアイドル	レベル	○	×
84	RSPI ch1	SPRI1	受信バッファフル	エッジ	○	○
85		SPTI1	送信バッファエンプティ	エッジ	○	○
86		SPEI1	モードフォルトエラー／オーバランエラー／パリティエラー	レベル	○	×
87		SPII1	RSPIアイドル	レベル	○	×
88	RSPI ch2	SPRI2	受信バッファフル	エッジ	○	○
89		SPTI2	送信バッファエンプティ	エッジ	○	○
90		SPEI2	モードフォルトエラー／オーバランエラー／パリティエラー	レベル	○	×
91		SPII2	RSPIアイドル	レベル	○	×
92	RSPI ch3	SPRI3	受信バッファフル	エッジ	○	○
93		SPTI3	送信バッファエンプティ	エッジ	○	○
94		SPEI3	モードフォルトエラー／オーバランエラー／パリティエラー	レベル	○	×
95		SPII3	RSPIアイドル	レベル	○	×
96	SCIFA ch0	BRIF0	ブレーク／オーバラン／フレーミングエラー／パリティエラー	レベル	○	×
97		RXIF0	受信FIFOデータフル（RDF）	レベル	○	○
98		TXIF0	送信FIFOデータエンプティ（TDFE）	レベル	○	○
99		DRIF0	トランスミットエンド／受信データレディ	レベル	○	×
100	SCIFA ch1	BRIF1	ブレーク／オーバラン／フレーミングエラー／パリティエラー	レベル	○	×
101		RXIF1	受信FIFOデータフル（RDF）	レベル	○	○
102		TXIF1	送信FIFOデータエンプティ（TDFE）	レベル	○	○
103		DRIF1	トランスミットエンド／受信データレディ	レベル	○	×
104	RSCAN	CANRFI	CAN 受信FIFO	レベル	○	×
105		CANFIR0	CAN0 送受信FIFO受信完了	レベル	○	×
106		CANTI0	CAN0 送信	レベル	○	×
107		CANFIR1	CAN1 送受信FIFO受信完了	レベル	○	×
108		CANTI1	CAN1 送信	レベル	○	×

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (4 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
109	SCIFA ch2	BRIF2	ブレーク／オーバラン／フレーミングエラー／パリティエラー	レベル	○	×
110		RXIF2	受信FIFOデータフル（RDF）	レベル	○	○
111		TXIF2	送信FIFOデータエンプティ（TDFE）	レベル	○	○
112		DRIF2	トランスミットエンド／受信データレディ	レベル	○	×
113	SCIFA ch3	BRIF3	ブレーク／オーバラン／フレーミングエラー／パリティエラー	レベル	○	×
114		RXIF3	受信FIFOデータフル（RDF）	レベル	○	○
115		TXIF3	送信FIFOデータエンプティ（TDFE）	レベル	○	○
116		DRIF3	トランスミットエンド／受信データレディ	レベル	○	×
117	SCIFA ch4	BRIF4	ブレーク／オーバラン／フレーミングエラー／パリティエラー	レベル	○	×
118		RXIF4	受信FIFOデータフル（RDF）	レベル	○	○
119		TXIF4	送信FIFOデータエンプティ（TDFE）	レベル	○	○
120		DRIF4	トランスミットエンド／受信データレディ	レベル	○	×
121	RIIC ch0	TEI0	データ送信終了（TEND）	レベル	○	×
122		RXI0	データ受信終了（RDRF）	エッジ	○	○
123		TXI0	送信データエンプティ（TDRE）	エッジ	○	○
124	RIIC ch1	TEI1	データ送信終了（TEND）	レベル	○	×
125		RXI1	データ受信終了（RDRF）	エッジ	○	○
126		TXI1	送信データエンプティ（TDRE）	エッジ	○	○
127	SSI	SSIRXI	受信データフル割り込み	エッジ	○	×
128		SSITXI	送信データエンプティ割り込み	エッジ	○	×
129	Encoder I/F	ENCINT0	Encoder I/F用割り込み1	レベル（注5）	○	×
130		ENCINT1	Encoder I/F用割り込み2	レベル（注5）	○	×
131		ENCINT2	Encoder I/F用割り込み3	レベル（注5）	○	×
132		ENCINT3	Encoder I/F用割り込み4	レベル（注5）	○	×
133		ENCINT4	Encoder I/F用割り込み5	レベル（注5）	○	×
134		ENCINT5	Encoder I/F用割り込み6	レベル（注5）	○	×
135		ENCINT6	Encoder I/F用割り込み7	レベル（注5）	○	×
136		ENCINT7	Encoder I/F用割り込み8	レベル（注5）	○	×
137		ENCINT8	Encoder I/F用割り込み9	レベル（注5）	○	×
138		ENCINT9	Encoder I/F用割り込み10	レベル（注5）	○	×
139		ENCINT10	Encoder I/F用割り込み11	レベル（注5）	○	×
140		ENCINT11	Encoder I/F用割り込み12	レベル（注5）	○	×
141		ENCINT12	Encoder I/F用割り込み13	レベル（注5）	○	×
142		ENCINT13	Encoder I/F用割り込み14	レベル（注5）	○	×
143		ENCINT14	Encoder I/F用割り込み15	レベル（注5）	○	×
144		ENCINT15	Encoder I/F用割り込み16	レベル（注5）	○	×

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (5 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
145	MTU3a	TGIA0	ch0 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
146		TGIB0	ch0 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
147		TGIC0	ch0 インプットキャプチャ／コンペアマッチC割り込み	エッジ	○	○
148		TGID0	ch0 インプットキャプチャ／コンペアマッチD割り込み	エッジ	○	○
149		TGIE0	ch0 コンペアマッチE割り込み	エッジ	○	×
150		TGIF0	ch0 コンペアマッチF割り込み	エッジ	○	×
151		TCIV0	ch0 オーバフロー割り込み	エッジ	○	×
152		TGIA1	ch1 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
153		TGIB1	ch1 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
154		TCIV1	ch1 オーバフロー割り込み	エッジ	○	×
155		TCIU1	ch1 アンダフロー割り込み	エッジ	○	×
156		TGIA2	ch2 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
157		TGIB2	ch2 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
158		TCIV2	ch2 オーバフロー割り込み	エッジ	○	×
159		TCIU2	ch2 アンダフロー割り込み	エッジ	○	×
160		TGIA3	ch3 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
161		TGIB3	ch3 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
162		TGIC3	ch3 インプットキャプチャ／コンペアマッチC割り込み	エッジ	○	○
163		TGID3	ch3 インプットキャプチャ／コンペアマッチD割り込み	エッジ	○	○
164		TCIV3	ch3 オーバフロー割り込み	エッジ	○	×

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (6 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
165	MTU3a	TGIA4	ch4 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
166		TGIB4	ch4 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
167		TGIC4	ch4 インプットキャプチャ／コンペアマッチC割り込み	エッジ	○	○
168		TGID4	ch4 インプットキャプチャ／コンペアマッチD割り込み	エッジ	○	○
169		TCIV4	ch4 オーバフロー／アンダフロー割り込み	エッジ	○	○
170		TGIU5	ch5 インプットキャプチャ／コンペアマッチU割り込み	エッジ	○	○
171		TGIV5	ch5 インプットキャプチャ／コンペアマッチV割り込み	エッジ	○	○
172		TGIW5	ch5 インプットキャプチャ／コンペアマッチW割り込み	エッジ	○	○
173		TGIA8	ch8 インプットキャプチャ／コンペアマッチA割り込み	エッジ	○	○
174		TGIB8	ch8 インプットキャプチャ／コンペアマッチB割り込み	エッジ	○	○
175		TGIC8	ch8 インプットキャプチャ／コンペアマッチC割り込み	エッジ	○	○
176		TGID8	ch8 インプットキャプチャ／コンペアマッチD割り込み	エッジ	○	○
177		TCIV8	ch8 オーバフロー割り込み	エッジ	○	×
178	GPTa	GTCIA0	ch0 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
179		GTCIB0	ch0 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
180		GTCIC0	ch0 コンペアマッチC 割り込み	エッジ	○	○
181		GTCID0	ch0 コンペアマッチD 割り込み	エッジ	○	○
182		GTCIE0	ch0 コンペアマッチE 割り込み	エッジ	○	○
183		GTCIF0	ch0 コンペアマッチF 割り込み	エッジ	○	○
184		GDTE0	ch0 デットタイムエラー 割り込み	エッジ	○	○
185		GTCIV0	ch0 オーバフロー 割り込み	エッジ	○	○
186		GTCIU0	ch0 アンダフロー 割り込み	エッジ	○	○
187		GTCIA1	ch1 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
188		GTCIB1	ch1 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
189		GTCIC1	ch1 コンペアマッチC 割り込み	エッジ	○	○
190		GTCID1	ch1 コンペアマッチD 割り込み	エッジ	○	○
191		GTCIE1	ch1 コンペアマッチE 割り込み	エッジ	○	○
192		GTCIF1	ch1 コンペアマッチF 割り込み	エッジ	○	○
193		GDTE1	ch1 デットタイムエラー 割り込み	エッジ	○	○
194		GTCIV1	ch1 オーバフロー 割り込み	エッジ	○	○
195		GTCIU1	ch1 アンダフロー 割り込み	エッジ	○	○
196		GTCIA2	ch2 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (7 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
197	GPTa	GTCIB2	ch2 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
198		GTCIC2	ch2 コンペアマッチC 割り込み	エッジ	○	○
199		GTCID2	ch2 コンペアマッチD 割り込み	エッジ	○	○
200		GTCIE2	ch2 コンペアマッチE 割り込み	エッジ	○	○
201		GTCIF2	ch2 コンペアマッチF 割り込み	エッジ	○	○
202		GDTE2	ch2 デットタイムエラー 割り込み	エッジ	○	○
203		GTCIV2	ch2 オーバフロー 割り込み	エッジ	○	○
204		GTCIU2	ch2 アンダフロー 割り込み	エッジ	○	○
205		GTCIA3	ch3 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
206		GTCIB3	ch3 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
207		GTCIC3	ch3 コンペアマッチC 割り込み	エッジ	○	○
208		GTCID3	ch3 コンペアマッチD 割り込み	エッジ	○	○
209		GTCIE3	ch3 コンペアマッチE 割り込み	エッジ	○	○
210		GTCIF3	ch3 コンペアマッチF 割り込み	エッジ	○	○
211		GDTE3	ch3 デットタイムエラー 割り込み	エッジ	○	○
212		GTCIV3	ch3 オーバフロー 割り込み	エッジ	○	○
213		GTCIU3	ch3 アンダフロー 割り込み	エッジ	○	○
214		ETGIN	外部トリガ入力（立ち下がり検出）割り込み	エッジ	○	○
215		ETGIP	外部トリガ入力（立ち上がり検出）割り込み	エッジ	○	○
216	TPUa Unit0	TGI0A	ch0 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
217		TGI0B	ch0 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
218		TGI0C	ch0 インプットキャプチャ／コンペアマッチC 割り込み	エッジ	○	×
219		TGI0D	ch0 インプットキャプチャ／コンペアマッチD 割り込み	エッジ	○	×
220		TCI0V	ch0 オーバフロー 割り込み	エッジ	○	×
221		TGI1A	ch1 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
222		TGI1B	ch1 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
223		TCI1V	ch1 オーバフロー 割り込み	エッジ	○	×
224		TCI1U	ch1 アンダフロー 割り込み	エッジ	○	×
225		TGI2A	ch2 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
226		TGI2B	ch2 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
227		TCI2V	ch2 オーバフロー 割り込み	エッジ	○	×
228		TCI2U	ch2 アンダフロー 割り込み	エッジ	○	×
229		TGI3A	ch3 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
230		TGI3B	ch3 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (8 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
231	TPUa Unit0	TGI3C	ch3 インプットキャプチャ／コンペアマッチC 割り込み	エッジ	○	×
232		TGI3D	ch3 インプットキャプチャ／コンペアマッチD 割り込み	エッジ	○	×
233		TCI3V	ch3 オーバフロー 割り込み	エッジ	○	×
234		TGI4A	ch4 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
235		TGI4B	ch4 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
236		TCI4V	ch4 オーバフロー 割り込み	エッジ	○	×
237		TCI4U	ch4 アンダフロー 割り込み	エッジ	○	×
238		TGI5A	ch5 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	○
239		TGI5B	ch5 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	○
240		TCI5V	ch5 オーバフロー 割り込み	エッジ	○	×
241		TCI5U	ch5 アンダフロー 割り込み	エッジ	○	×
242	ELC	ELCIRQ1	割り込み1（ELSR18）	エッジ	○	○
243		ELCIRQ2	割り込み2（ELSR19）	エッジ	○	○
244	—	—	Reserved	—	—	—
245		—	Reserved	—	—	—
246	Ether MAC	ETHDRIE	MACDMA 受信エラー割り込み	エッジ	○	×
247		ETHDTIE	MACDMA 送信エラー割り込み	エッジ	○	×
248	DMAC	DMAINT0	外部DMAリクエスト0（DMAC）（DMAC Unit0にのみ接続可能）	レベル／エッジ	×（注3）	○
249		DMAINT1	外部DMAリクエスト1（DMAC）（DMAC Unit0にのみ接続可能）	レベル／エッジ	×（注3）	○
250		DMAINT2	外部DMAリクエスト2（DMAC）（DMAC Unit1にのみ接続可能）	レベル／エッジ	×（注3）	○
251		DMASRQ0	DMA転送 ソフトウェア起動（Unit0）	エッジ	×（注3）	○
252		DMASRQ1	DMA転送 ソフトウェア起動（Unit1）	エッジ	×（注3）	○
253	—	—	Reserved	—	—	—
254	CM3（R-IN Engine搭載製品）	SRQCM3	CM3システムリセット要求信号	レベル	○	×
255	—	—	Reserved	—	—	—
256	POE3	OEI1	POE0#Hi-Z要求 or 出力短絡（eMTUch3, 4 or GPTch0～2）割り込み	レベル	○	×
257		OEI2	POE4#Hi-Z要求 or 出力短絡（eMTU ch6, 7）割り込み	レベル	○	×
258		OEI3	POE8#Hi-Z要求　割り込み	レベル	○	×
259		OEI4	POE10# Hi-Z要求　割り込み	レベル	○	×
260	RIIC ch0	EEI0	停止条件検知／スタート条件検知／NACK検知／アービトレーションロスト／タイムアウト発生	レベル	○	×
261	RIIC ch1	EEI1	停止条件検知／スタート条件検知／NACK検知／アービトレーションロスト／タイムアウト発生	レベル	○	×

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (9 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
262	RSCAN	CANGE	CAN グローバルエラー	レベル	○	×
263		CANIE0	CAN0 エラー	レベル	○	×
264		CANIE1	CAN1 エラー	レベル	○	×
265	BSC	BSCCMI	コンペアマッチタイマ割り込み	レベル	○	×
266	SSI	SSIF	送信アンダフロー割り込み／送信オーバフロー割り込み／受信アンダフロー割り込み／受信オーバフロー割り込み／アイドルモード割り込み	レベル	○	×
267	TPUa Unit1	TGI6A	ch6 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	×
268		TGI6B	ch6 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	×
269		TGI6C	ch6 インプットキャプチャ／コンペアマッチC 割り込み	エッジ	○	×
270		TGI6D	ch6 インプットキャプチャ／コンペアマッチD 割り込み	エッジ	○	×
271		TCI6V	ch6 オーバフロー 割り込み	エッジ	○	×
272		TGI7A	ch7 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	×
273		TGI7B	ch7インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	×
274		TCI7V	ch7 オーバフロー 割り込み	エッジ	○	×
275		TCI7U	ch7 アンダフロー 割り込み	エッジ	○	×
276		TGI8A	ch8 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	×
277		TGI8B	ch8 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	×
278		TCI8V	ch8 オーバフロー 割り込み	エッジ	○	×
279		TCI8U	ch8 アンダフロー 割り込み	エッジ	○	×
280		TGI9A	ch9 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	×
281		TGI9B	ch9 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	×
282		TGI9C	ch9 インプットキャプチャ／コンペアマッチC 割り込み	エッジ	○	×
283		TGI9D	ch9 インプットキャプチャ／コンペアマッチD 割り込み	エッジ	○	×
284		TCI9V	ch9 オーバフロー 割り込み	エッジ	○	×
285		TGI10A	ch10 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	×
286		TGI10B	ch10インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	×
287		TCI10V	ch10オーバフロー 割り込み	エッジ	○	×
288		TCI10U	ch10 アンダフロー 割り込み	エッジ	○	×
289		TGI11A	ch11 インプットキャプチャ／コンペアマッチA 割り込み	エッジ	○	×
290		TGI11B	ch11 インプットキャプチャ／コンペアマッチB 割り込み	エッジ	○	×
291		TCI11V	ch11 オーバフロー 割り込み	エッジ	○	×
292		TCI11U	ch11アンダフロー 割り込み	エッジ	○	×

表12.3　Cortex-R4／DMAC割り込みベクタテーブル (10 / 10)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMAC（注4）
293	DMAC	DMAERR0	DMA転送 転送エラー（Unit0）	エッジ	○	×
294		DMAERR1	DMA転送 転送エラー（Unit1）	エッジ	○	×
295	—	—	Reserved	—	—	—
296		—	Reserved	—	—	—
297		—	Reserved	—	—	—
298		—	Reserved	—	—	—
299	CMT Unit2	CMI4	コンペアマッチ割り込み _ch0	エッジ	○	×
300		CMI5	コンペアマッチ割り込み _ch1	エッジ	○	×

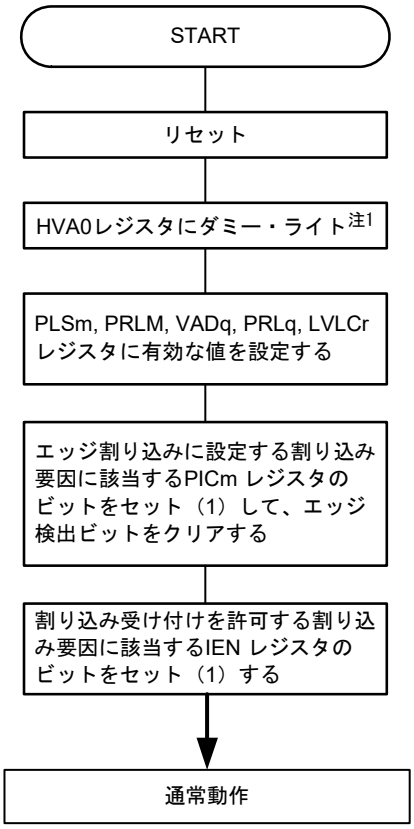
注.　要求先に“○”の記載がない割り込み要求先は、選択しないでください。
注1.　CPUの割り込み要因として用いる場合はレベル検出を、DMA起動要因として用いる場合はエッジ検出を選択してください。
注2.　CPUの割り込み要因として用いる場合は、用途によりレベルまたはエッジ検出を、DMA起動要因として用いる場合はエッジ検出を選択してください。
注3.　DMA起動要因による割り込みは発生しませんが、DMA転送完了時には、DMA転送完了割り込みのベクタ番号として扱われます。詳細については、「12.3.1　割り込み要求先の選択」、「15.4.2　DMA転送完了割り込み」を参照してください。
注4.　DMAC からの転送完了割り込みを接続する場合は、割り込み検出タイプ選択レジスタn（PLSn）の設定は、常にエッジを選択してください。詳細は 「12.4.4.3 (1)　割り込み検出タイプの指定方法」を参照してください。
注5.　極性の指定が必要です。詳細については、「12.4.4.3　割り込み検出」を参照してください。
注6.　DMA転送要求が発生したタイミングで割り込みが発生し、DMA転送完了時に割り込みは発生しません。DMA転送完了は、CHSTAT_nレジスタ ENDビットで確認してください。

12.4.4　動作説明

12.4.4.1　VIC のレジスタ初期化

VIC のレジスタ初期化手順を図 12.6 に示します。

リセットを解除した時点では、VIC は割り込み優先レベル設定など、レジスタが動作可能な状態になっていません。このため、リセット解除後に必ず初期化してください。



m = 0 ～ 9, q = 1 ～ 300, r = 8、9

注 1.　VIC 初期化のためにリセット解除後に一度だけ実行してください。以降は、割り込み処理の完了時のみライトしてください。詳細は「12.4.2.13　割り込みアドレスレジスタ（HVA0）」を参照してください。

図 12.6　VIC のレジスタ初期化

12.4.4.2　PLS / PRLM / LVLC / VAD / PRL レジスタ書き換え手順

VIC が動作中に、以下のレジスタを書き換える場合は、割り込み処理をすべて終了させ、割り込み禁止状態にして書き換えてください。

割り込み禁止は、Cortex-R4 の CPSR レジスタの I ビットをセット（1）することで行ってください。

- PLS（割り込み検出タイプ選択レジスタ）
- PRLM（割り込み優先レベルマスクレジスタ）
- LVLC（割り込みレベルコントロールレジスタ）
- VAD（割り込みアドレス格納レジスタ）
- PRL（割り込み優先レベル格納レジスタ）

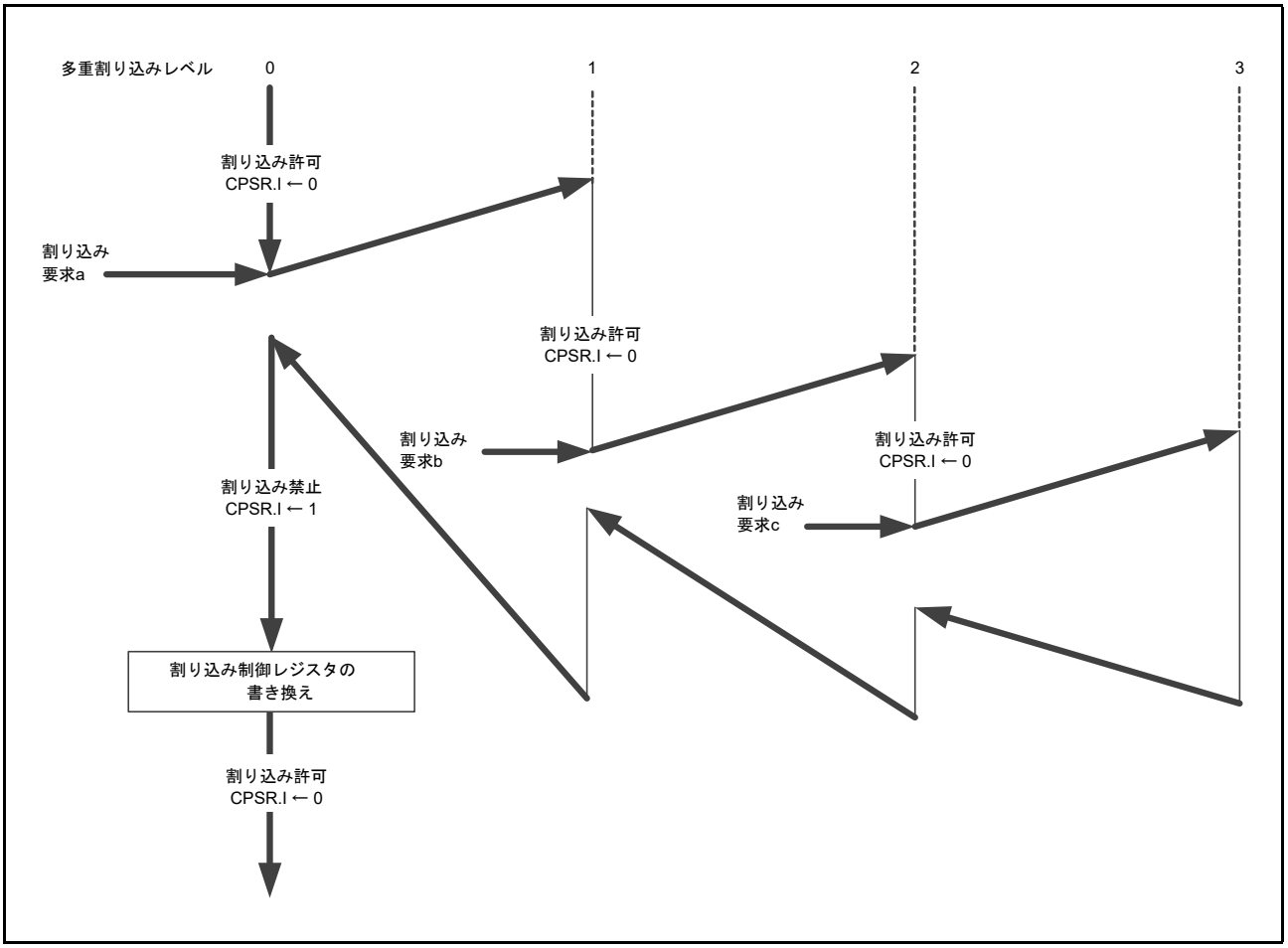


図 12.7　レジスタ設定変更期間

実際の書き換え処理は、以下のフローにしたがってソフトウェアで処理してください。

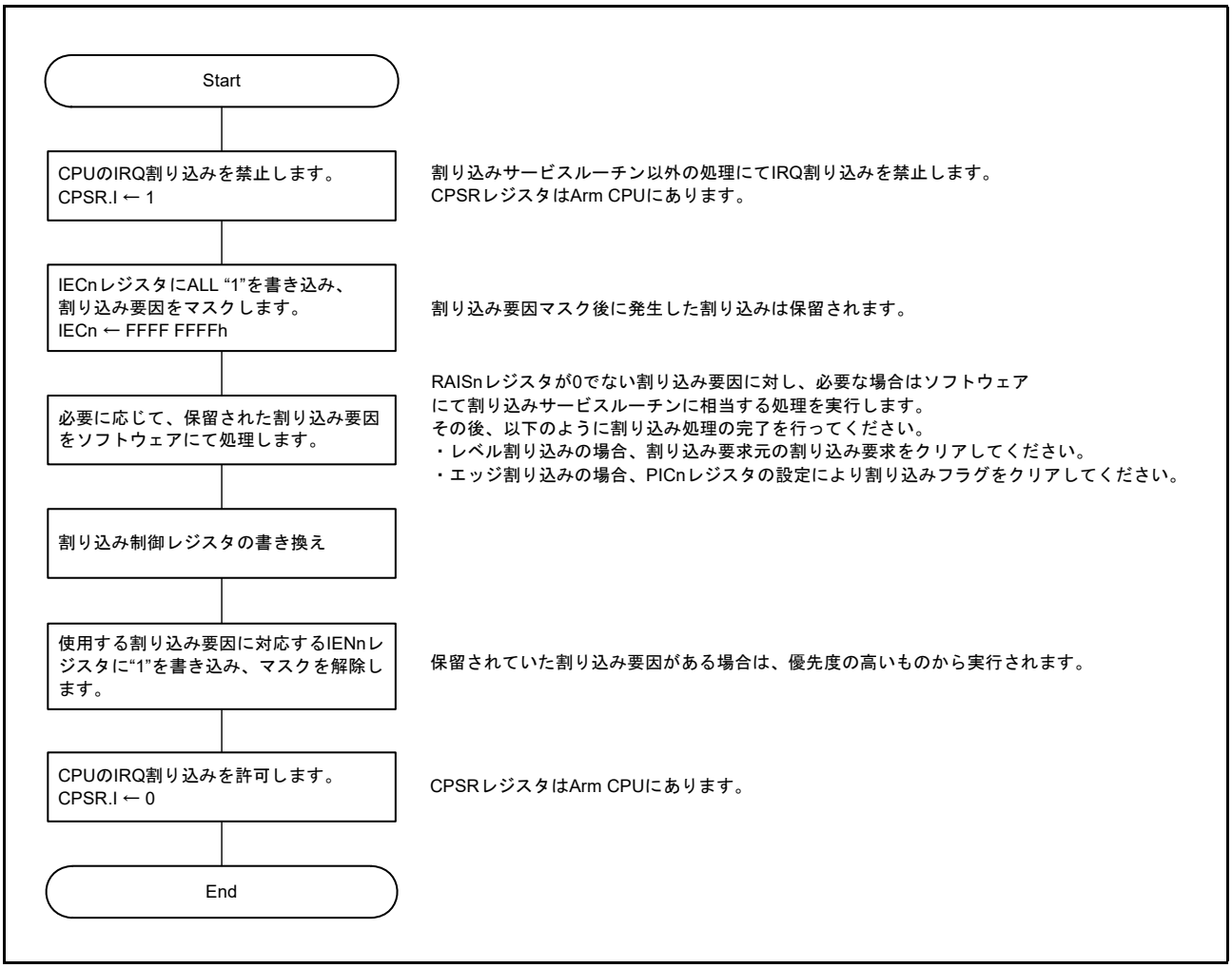


図 12.8　レジスタ書き換えフロー

12.4.4.3　割り込み検出

(1)　割り込み検出タイプの指定方法

NMI 端子からの割り込みを除く外部割り込み、および内蔵周辺から割り込みを Cortex-R4 に接続する場合、VIC でエッジまたはレベル検出を割り込み検出タイプ選択レジスタ n（PLSn）で選択する必要があります。また、極性を割り込みレベルコントロールレジスタ n（LVLCn）で選択する必要があります。**表 12.4** に VIC の割り込み検出タイプの設定を示します。DMAC からの転送完了割り込みを接続する場合は、常にエッジを選択してください。Encoder I/F からの割り込み要求に対しては、各機能により割り込み要求の検出タイプ／極性が指定されていますので、指定にしたがい PLSn / LVLCn レジスタを設定してください。

表 12.4　VICの割り込み検出タイプ別の設定

割り込み要求タイプ	PLSm	LVCx1	LVCx0
エッジ割り込み	1	設定不要	設定不要
レベル割り込み	0	0/1	1/0

m：割り込みベクタ番号（0 ～ 300）
×：割り込みベクタ番号（129 ～ 144）

(2)　IRQ 割り込み（レベル割り込み）

図 12.9 にレベル割り込みの動作を示します。

なお、レベル割り込みを完了させる場合、レベル割り込みの要求元の割り込み出力を停止させると同時に、IRQ ステータスレジスタ n（IRQSn, n = 0 ～ 9）の該当ビットがクリア（0）され、その割り込み要求が発生していないことを確認してください。これは、ソフトウエアによる割り込み要求元の割り込み出力停止処理が、ハードウエアに反映されるまでに遅延が生じ、復帰後に同一の割り込みが受け付けられてしまうことを防止するためです。また、割り込み要求元の割り込み出力停止処理は、要求元の動作に応じて、サービスルーチン（ISR）の適切な箇所で行ってください。

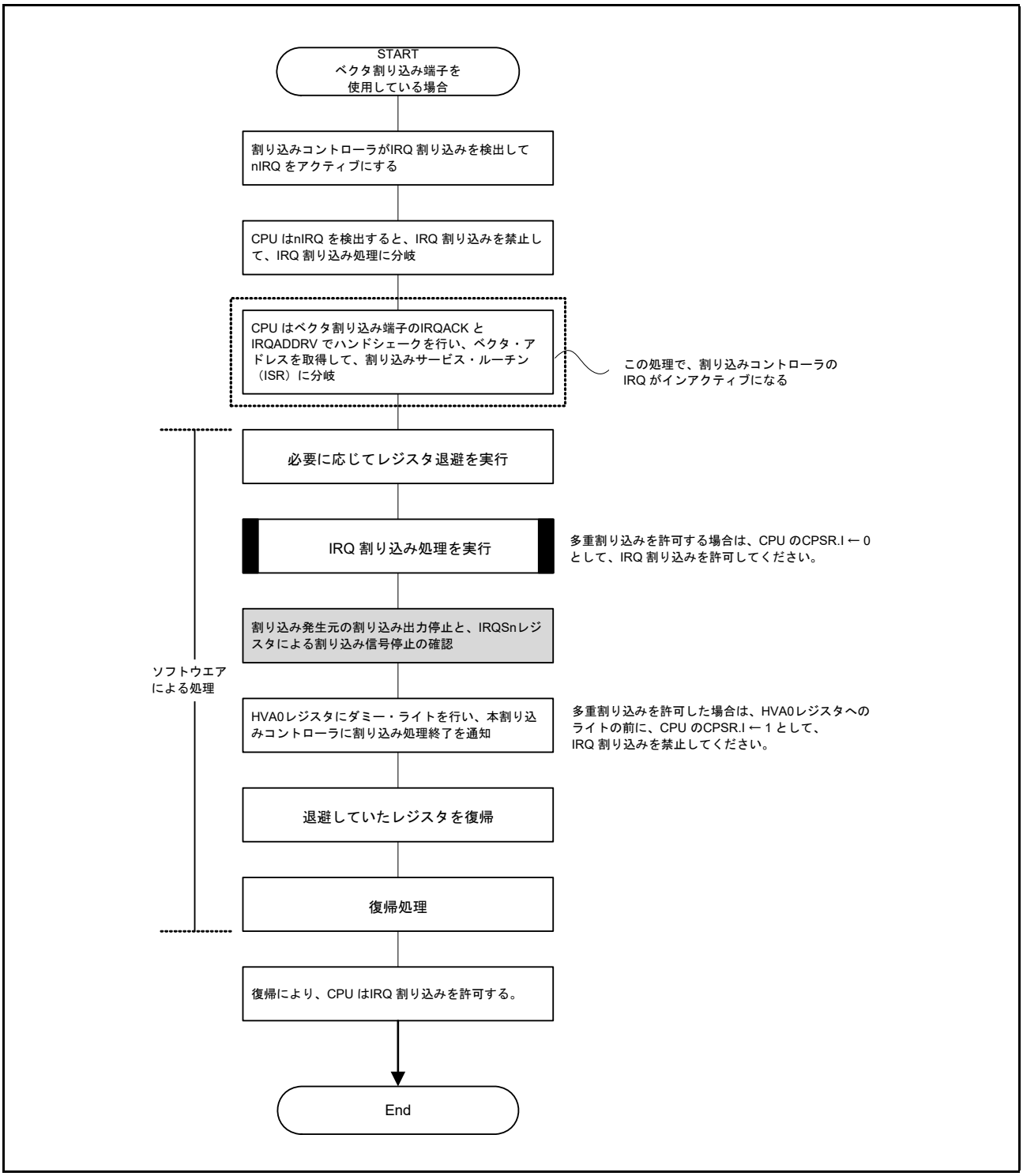


図 12.9　　IRQ 割り込み動作（レベル動作）

(3)　IRQ 割り込み（エッジ割り込み）

図 12.10 にエッジ割り込み動作を示します。

なお、エッジ割り込み要求のクリアは、エッジ検出ビットクリアレジスタ n（PICn, n = 0 ～ 9）で行ってください。

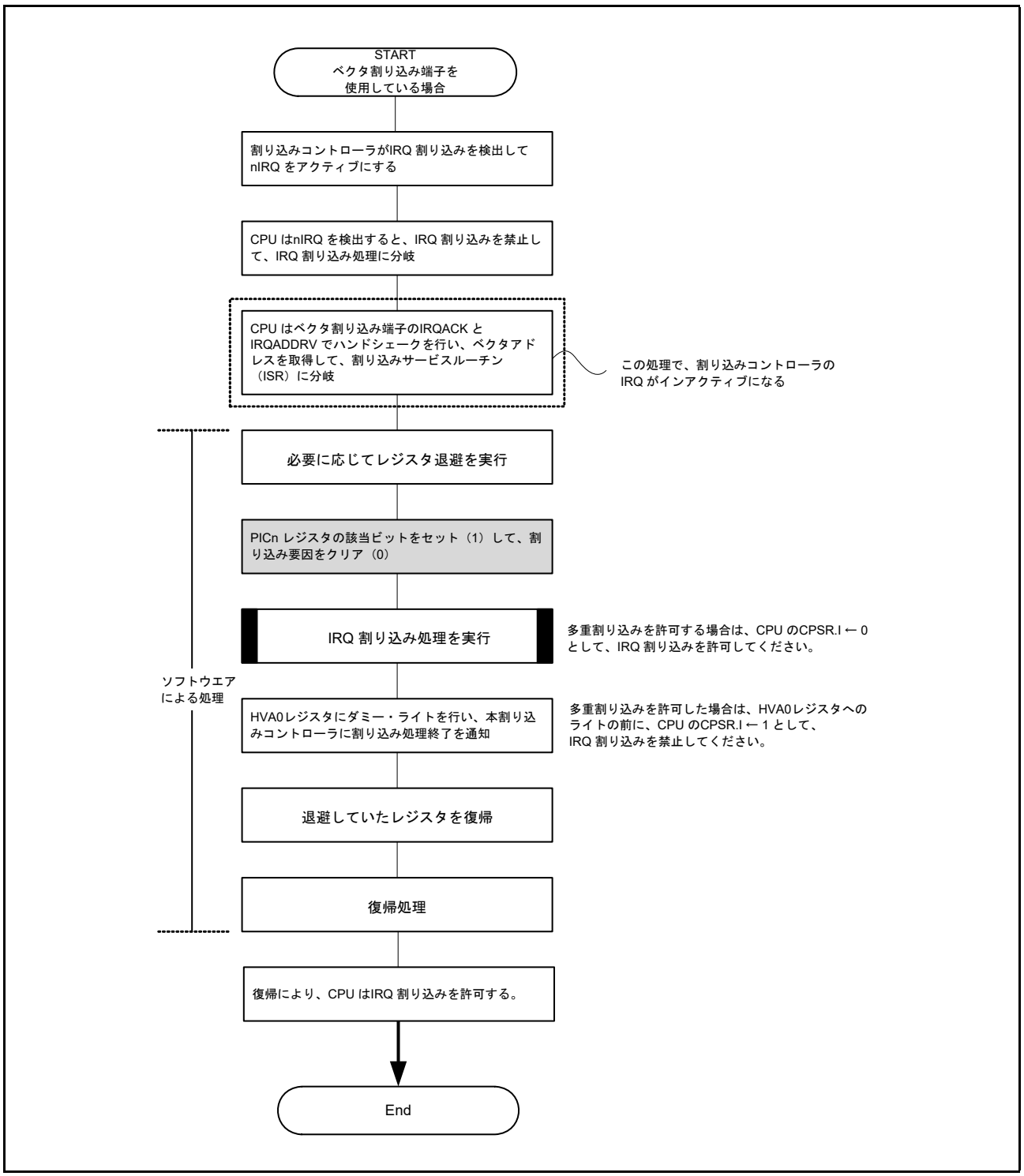


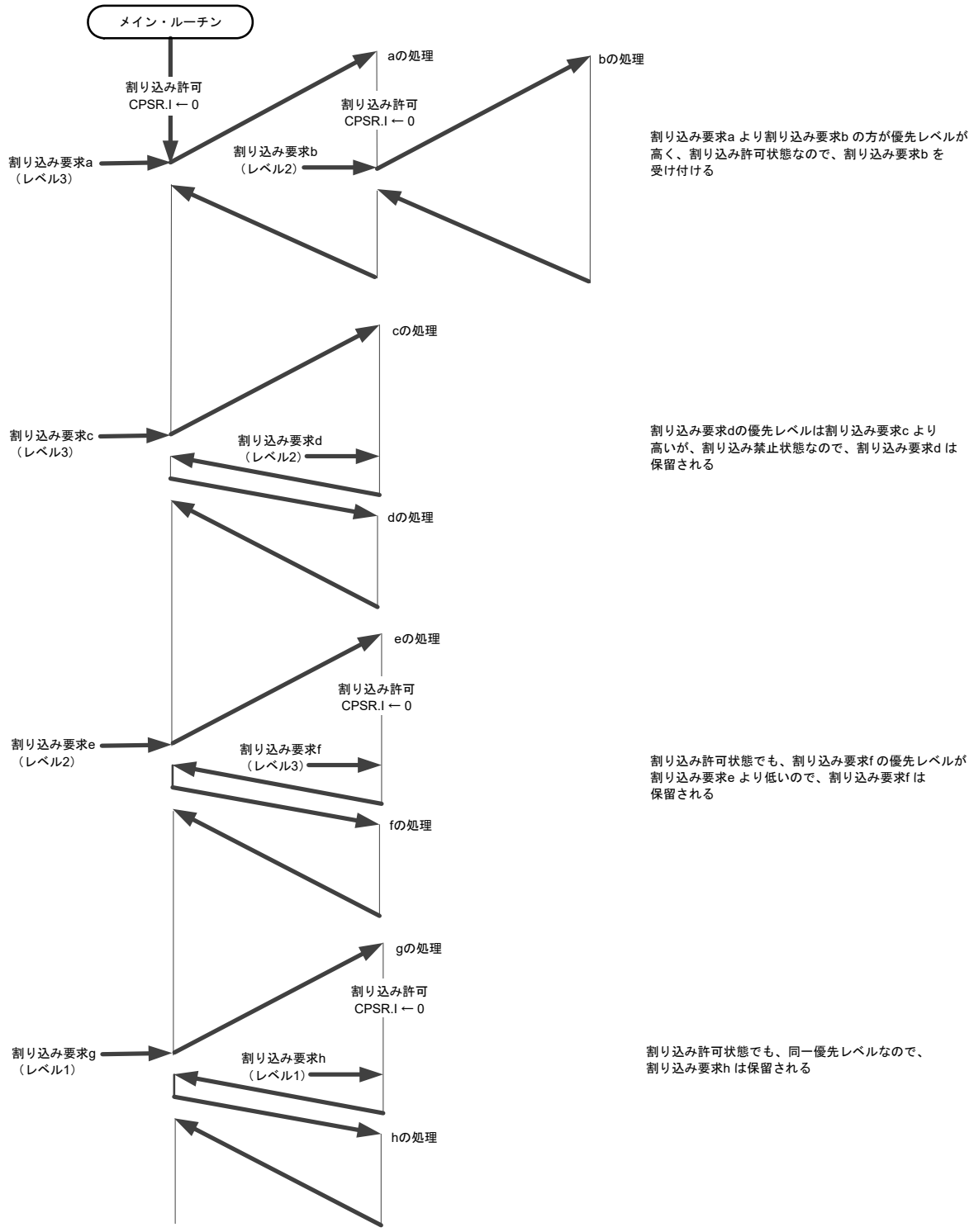
図 12.10　IRQ 割り込み動作（エッジ割り込み）

12.4.4.4　割り込み多重制御における優先レベル

割り込み処理中（割り込み多重制御を行っている場合に限る）の場合、現在サービス中の割り込みより優先レベルの高い割り込みのみ受け付けます。このとき、サービス中の割り込みの優先レベル以下の割り込みは保留されます。

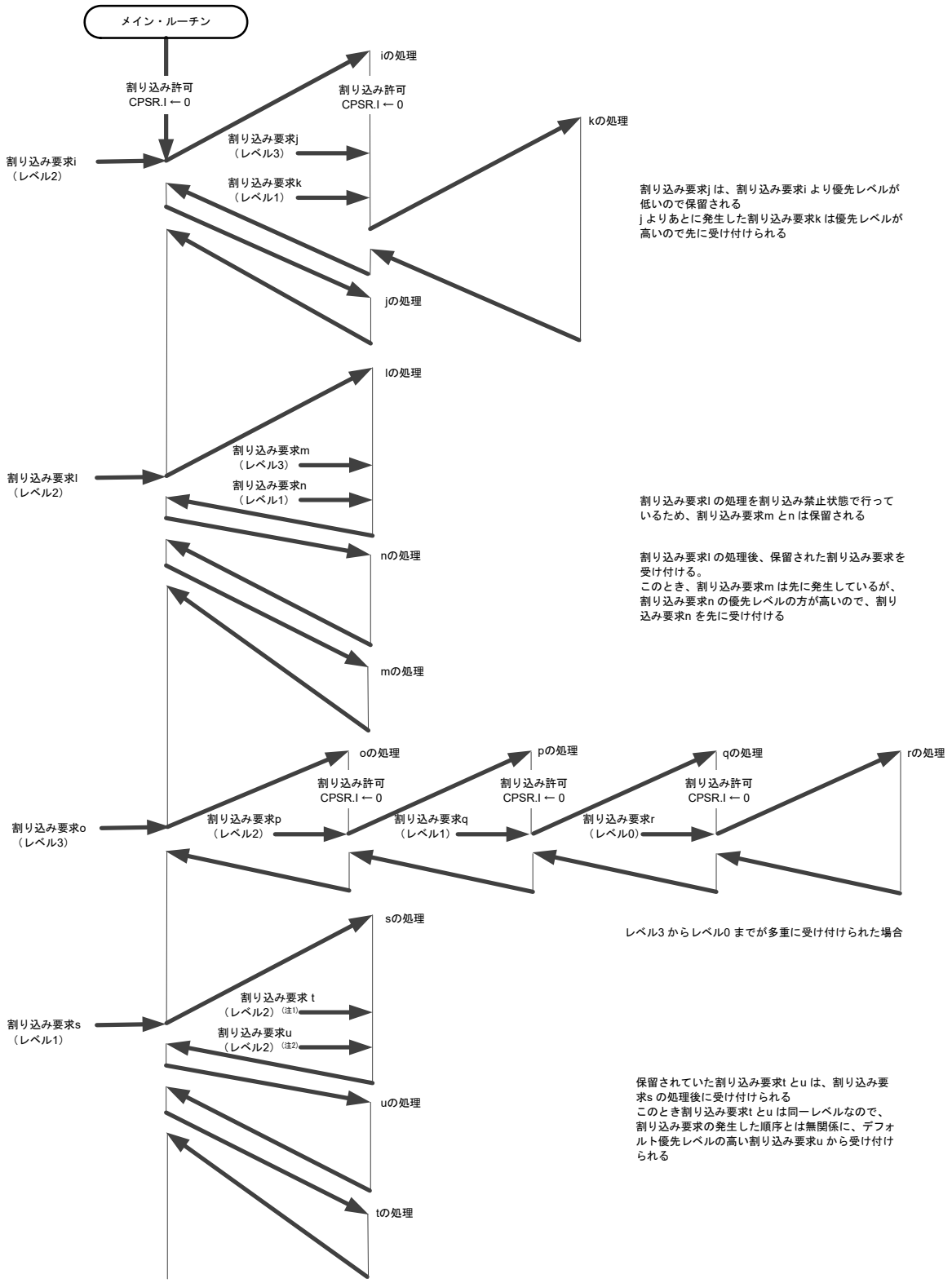
12.4.4.5　多重割り込み処理

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を**図 12.11** に示します。



図中（2/2 を含む）の a-u は、各割り込み要求信号を区別するために付けた仮の名称です。
図中のデフォルト優先レベルの高い／低いは、2 つの割り込み要求信号間の相対的な優先レベルの高さを示します。
デフォルト優先レベルは、ベクタ番号が小さいほうが高くなります。したがって、PRLm レジスタで設定した値が同じ場合は、ベクタ番号の小さい割り込み要求の方が優先レベルが高くなります。

図 12.11　多重割り込み処理の概念 (1 / 2)



注 1.　　デフォルト優先順位が低い
注 2.　　デフォルト優先順位が高い
デフォルト優先レベルは、ベクタ番号が小さいほうが高くなります。したがって、PRLm レジスタで設定した値が同じ場合は、ベクタ番号の小さい割り込み要求の方が優先レベルが高くなります。

図 12.11　多重割り込み処理の概念 (2 / 2)

12.4.4.6　ポーリングによる IRQ 割り込み処理

図 12.12 に割り込みステータスレジスタ（RAISn）のポーリングにより、IRQ 割り込みを処理する手順を示します。

割り込みイネーブルレジスタ（IENn）を割り込みマスク状態のまま、割り込み入力ステータスレジスタ（RAISn）で IRQ 割り込みを検出することで割り込みサービス・ルーチン（ISR）へ分岐することなく、割り込み処理を行うことが可能です。

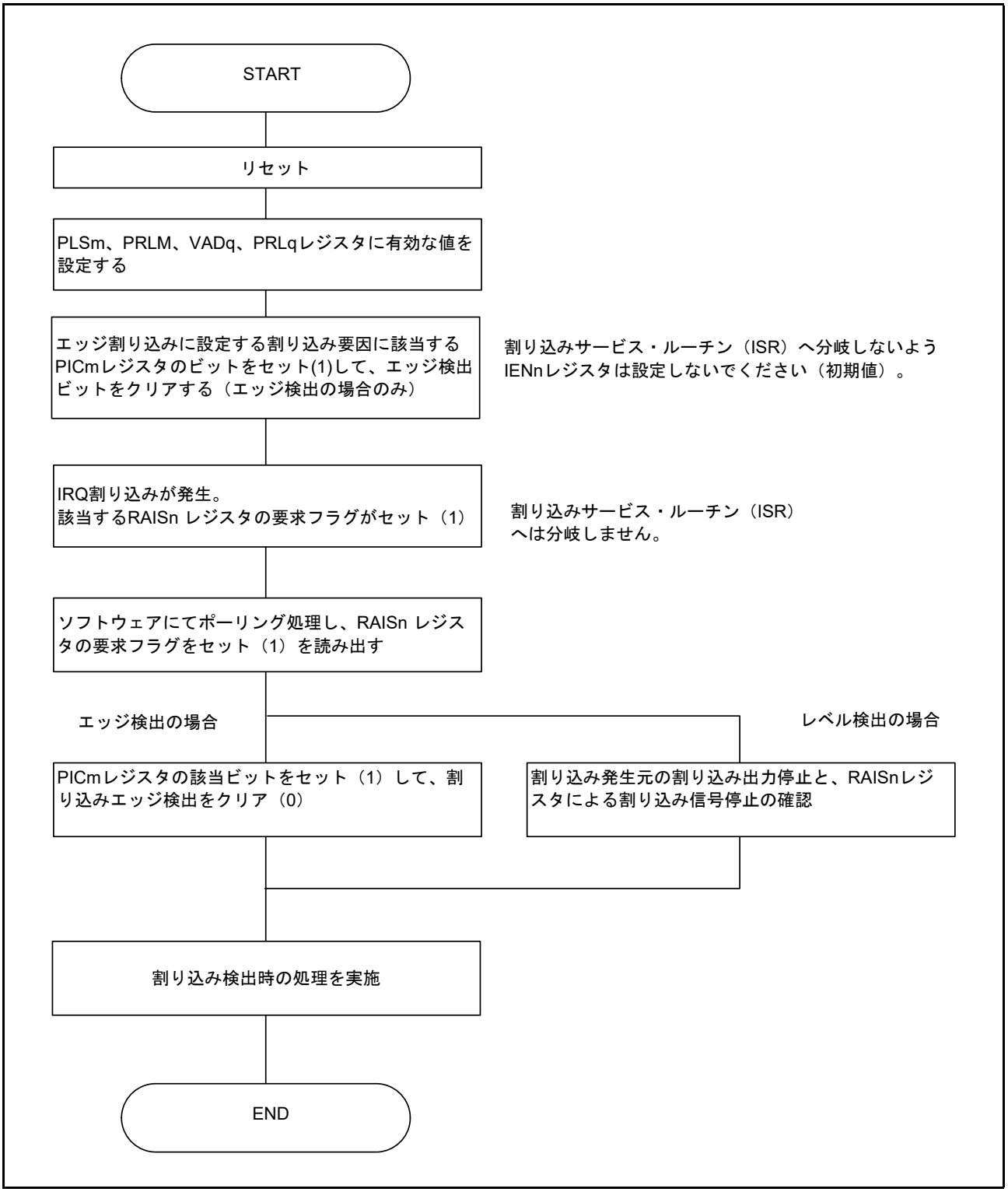


図 12.12　ポーリングによる IRQ 割り込み動作（エッジ検出、レベル検出）

12.4.5　スリープモードからの復帰

スリープモードは、ノンマスカブル割り込み、および全要因の割り込みによって復帰することができます。割り込みにより復帰するための条件は以下のとおりです。

(1) IENn ビットによって該当する割り込み要求が許可されていること
(2) DMAC 要因選択レジスタによって、DMAC への割り付けがされていないこと

12.4.6　使用上の注意事項

12.4.6.1　VIC の優先レベルに関する制約

VIC は割り込み優先レベル格納レジスタ n（PRLn, n = 1 ～ 300）により要因毎に 16 段階の優先順位を指定する事ができますが、ベクタ番号 256 以降の要因については、ベクタ番号 1 ～ 255 の要因に対して優先順位が下がります。**表 12.5** にベクタ番号と優先レベルの関係を示します。

表12.5　ベクタ番号と優先レベルの関係

ベクタ番号	優先レベル（注1）
1 ～ 255	PRLn
256 ～ 300	PRLn + 16

n = 1 ～ 300

注1.　優先レベルは0が最高

12.4.6.2　HVA0 レジスタアクセス時の注意点

ベクタ割り込みと HVA0 レジスタへのライト動作が競合した場合、AHB バスが HVA0 レジスタにダミーライトを行い、そのライトの完了応答があるまで CPU の IRQ 割り込みを禁止することにより、ベクタ割り込み応答がアクティブにならないようにしています。

HVA0 レジスタへのライトを行う場合、必ずライト完了応答を待ってから CPU の IRQ 割り込みを許可するようにしてください。**図 12.9** に示す手順通りの動作を行い、かつ HVA0 レジスタへのライト直後に DMB 命令を実行する（プログラム例を参照）ことにより確実にライトが完了できるため必ず守るようにしてください。

- プログラム例

```
VIC.HVA0.LONG = 0x00000000;
asm(“dmb”);                                    // DMB 命令
```

注 .　プログラムの書式はコンパイラによって異なる場合がありますので、各社コンパイラのマニュアルを確認してください。

12.4.6.3　　レベル検出選択時の注意

割り込み要求をレベル検出に設定している場合、一度発生した割り込み要求を CPU からの割り込み解除処理以外で取り消さないでください。正常なベクタアドレスが出力されない可能性があります。例えば、レベル割り込み A が発生した場合には、**「12.4.4.3　割り込み検出」**の**図 12.9** にあるよう、本来は当該割り込み処理 A で割り込み発生元の割り込み出力 A をクリアする必要がありますが、別の割り込み処理 B で割り込み出力 A のクリアやマスク処理を行ってしまった場合に割り込み出力 A が過渡的に取り消しされる可能性があります。

本割り込みコントローラが割り込みを受け付け、CPU がベクタアドレスを取得する前に割り込み要求が取り消された場合、同時に他の割り込み要求が発生しているときは、0000 0014h をベクタアドレスとして出力します。このように割り込み要求が過渡的なタイミングで取り下げられたケースを処置するために、CPU の 0000 0014h には復帰命令のみを配置することを推奨します。（プログラム例を参照）

また、多重割り込みを許可している割り込み処理中に、割り込み要求が過渡的なタイミングで取り下げられた場合は、サービス中の割り込み処理に再び分岐します。この割り込み処理で HVA0 レジスタへのライトを行うと、本割り込みコントローラは割り込み処理が終了したと認識するため、CPU が認識している割り込み要因とずれが生じますので、注意してください。

- プログラム例

```
reserved_handler:
subs pc, lr, #4    ; 0000 0014h に配置してください。
```

注 .　プログラムの書式はコンパイラによって異なる場合がありますので、各社コンパイラのマニュアルを確認してください。

12.4.6.4　　IECn レジスタの書き換え時の注意

IECn レジスタを書き換える場合は、必ず割り込み禁止状態で書き換えをしてください。

割り込み禁止は、Arm CPU の CPSR レジスタ I ビットをセット（1）することで行ってください。

12.4.6.5　　ベクタ設定について

本製品は仕様上、SCTLR.[24]VE ビット = 0 の固定ベクタ設定は禁止です。SCTLR.[24]VE ビット = 1 の VIC からのアドレス提供のみ可能です。アドレスは VADn レジスタ（n：ベクタ番号）で設定が可能です。

12.5　Cortex-M3 ネスト型ベクタ割り込みコントローラ（NVIC）（R-IN Engine 搭載製品）

12.5.1　概要

RZ/T1 では Cortex-M3 の割り込みコントローラとして、Cortex-M3 内蔵 NVIC を使用しています。Cortex-M3 の例外処理動作は、Arm 社の下記 URL を参照してください。

http://infocenter.arm.com/help/topic/com.arm.doc.set.cortexm/index.html

12.5.2　ベクタテーブル

12.5.2.1　CM3 割り込みのベクタテーブル

Cortex-M3 に対する割り込みのベクタテーブルを**表 12.6** に示します。RZ/T1 固有の割り込みは Cortex-M3 の例外処理の 16 番以降に割り当てられています。

Ether Switch DLR 割り込み（ベクタ番号 107）など、一部の要因は Cortex-M3 への割り込みと、DMAC 起動要因になる場合で割り込み検出が異なる場合があります。詳細は、**「15.3.4　DMA 転送要求」**および各章の DMA 転送に関する注意事項を参照してください。

CM3 割り込みベクタテーブルの各項目は以下のとおりです。

項目	内容
ベクタ番号	Cortex-M3のNVICにおける割り込みベクタ番号を示します。
要求元	割り込み要求発生元の名称を示します。
要因	割り込み名称を示します。
検出タイプ	各周辺からの割り込みに対する検出タイプを示します。 DMACからの転送完了割り込みを接続する場合は、必ずエッジを選択してください。
DMAC	DMAC起動要因を“○”で示します。
DMAC設定ベクタ番号	DMAC起動要因を選択する場合にDMAC要因選択レジスタに設定するベクタ番号を示します。

表12.6　　CM3割り込みベクタテーブル (1 / 4)

ベクタ番号	要求元	要因		検出タイプ	DMAC	DMAC設定ベクタ番号
1	System	INTCM3	CPU間割り込み	エッジ	×	—
2		—	Reserved	—	—	—
3		—	Reserved	—	—	—
4	外部	IRQ0	IRQ端子割り込み0	レベル／エッジ	○	4 (4h)
5		IRQ1	IRQ端子割り込み1	レベル／エッジ	○	5 (5h)
6		IRQ2	IRQ端子割り込み2	レベル／エッジ	○	6 (6h)
7		IRQ3	IRQ端子割り込み3	レベル／エッジ	○	7 (7h)
8		IRQ4	IRQ端子割り込み4	レベル／エッジ	○	8 (8h)
9		IRQ5	IRQ端子割り込み5	レベル／エッジ	○	9 (9h)
10		IRQ6	IRQ端子割り込み6	レベル／エッジ	○	10 (Ah)
11		IRQ7	IRQ端子割り込み7	レベル／エッジ	○	11 (Bh)
12		IRQ8	IRQ端子割り込み8	レベル／エッジ	○	12 (Ch)
13		IRQ9	IRQ端子割り込み9	レベル／エッジ	○	13 (Dh)
14		IRQ10	IRQ端子割り込み10	レベル／エッジ	○	14 (Eh)
15		IRQ11	IRQ端子割り込み11	レベル／エッジ	○	15 (Fh)
16		IRQ12	IRQ端子割り込み12	レベル／エッジ	○	16 (10h)
17		IRQ13	IRQ端子割り込み13	レベル／エッジ	○	17 (11h)
18		IRQ14	IRQ端子割り込み14	レベル／エッジ	○	18 (12h)
19		IRQ15	IRQ端子割り込み15	レベル／エッジ	○	19 (13h)
20	—	—	Reserved	—	—	—
21	CMT Unit0	CMI0	コンペアマッチ割り込み _ch0	エッジ	○	21 (15h)
22		CMI1	コンペアマッチ割り込み _ch1	エッジ	○	22 (16h)
23	CMT Unit1	CMI2	コンペアマッチ割り込み _ch0	エッジ	○	23 (17h)
24		CMI3	コンペアマッチ割り込み _ch1	エッジ	○	24 (18h)
25	CMTW Unit0	CMWI0	コンペアマッチ割り込み	エッジ	○	25 (19h)
26		IC0I0	インプットキャプチャ 0 割り込み	エッジ	○	26 (1Ah)
27		IC1I0	インプットキャプチャ 1 割り込み	エッジ	○	27 (1Bh)
28		OC0I0	アウトプットコンペア0 割り込み	エッジ	○	28 (1Ch)
29		OC1I0	アウトプットコンペア1 割り込み	エッジ	○	29 (1Dh)
30	CMTW Unit1	CMWI1	コンペアマッチ割り込み	エッジ	○	30 (1Eh)
31		IC0I1	インプットキャプチャ 0 割り込み	エッジ	○	31 (1Fh)
32		IC1I1	インプットキャプチャ 1 割り込み	エッジ	○	32 (20h)
33		OC0I1	アウトプットコンペア0 割り込み	エッジ	○	33 (21h)
34		OC1I1	アウトプットコンペア1 割り込み	エッジ	○	34 (22h)
35	—	—	Reserved	—	—	—
36		—	Reserved	—	—	—
37		—	Reserved	—	—	—
38		—	Reserved	—	—	—
39	CMT Unit2	CMI4	コンペアマッチ割り込み _ch0	エッジ	×	—
40		CMI5	コンペアマッチ割り込み _ch1	エッジ	×	—
41	DMAC	DMASRQ0	DMA転送 ソフトウェア起動（Unit0）	エッジ	○	251 (FBh)
42		DMASRQ1	DMA転送 ソフトウェア起動（Unit1）	エッジ	○	252 (FCh)
43		DMAERR0	DMA転送 転送エラー（Unit0）	エッジ	×	—
44		DMAERR1	DMA転送 転送エラー（Unit1）	エッジ	×	—

表12.6　CM3割り込みベクタテーブル (2 / 4)

ベクタ番号	要求元	要因		検出タイプ	DMAC	DMAC設定ベクタ番号
45	—	—	Reserved	—	—	—
46		—	Reserved	—	—	—
47		—	Reserved	—	—	—
48	Ether PHY	ETHPHYI0	Ether PHY 割り込み0	レベル／エッジ	○	48 (30h)
49		ETHPHYI1	Ether PHY 割り込み1	レベル／エッジ	○	49 (31h)
50		ETHPHYI2	Ether PHY割り込み2	レベル／エッジ	○	50 (32h)
51	—	—	Reserved	—	—	—
52		—	Reserved	—	—	—
53		—	Reserved	—	—	—
54		—	Reserved	—	—	—
55		—	Reserved	—	—	—
56		—	Reserved	—	—	—
57		—	Reserved	—	—	—
58		—	Reserved	—	—	—
59		—	Reserved	—	—	—
60	SCIFA ch0	BRIF0	ブレーク／オーバラン／フレーミングエラー／パリティエラー	レベル	×	—
61		RXIF0	受信FIFOデータフル（RDF）	レベル	○	97 (61h)
62		TXIF0	送信FIFOデータエンプティ（TDFE）	レベル	○	98 (62h)
63		DRIF0	トランスミットエンド／受信データレディ	レベル	×	—
64	SCIFA ch1	BRIF1	ブレーク／オーバラン／フレーミングエラー／パリティエラー	レベル	×	—
65		RXIF1	受信FIFOデータフル（RDF）	レベル	○	101 (65h)
66		TXIF1	送信FIFOデータエンプティ（TDFE）	レベル	○	102 (66h)
67		DRIF1	トランスミットエンド／受信データレディ	レベル	×	—
68	—	—	Reserved	—	—	—
69		—	Reserved	—	—	—
70		—	Reserved	—	—	—
71		—	Reserved	—	—	—
72	RIIC ch0	TEI0	データ送信終了（TEND）	レベル	×	—
73		RXI0	データ受信終了（RDRF）	エッジ	○	122 (7Ah)
74		TXI0	送信データエンプティ（TDRE）	エッジ	○	123 (7Bh)
75		EEI0	停止条件検知／スタート条件検知／NACK検知／アービトレーションロスト／タイムアウト発生	レベル	×	—
76	RIIC ch1	TEI1	データ送信終了（TEND）	レベル	×	—
77		RXI1	データ受信終了（RDRF）	エッジ	○	125 (7Dh)
78		TXI1	送信データエンプティ（TDRE）	エッジ	○	126 (7Eh)
79		EEI1	停止条件検知／スタート条件検知／NACK検知／アービトレーションロスト／タイムアウト発生	レベル	×	—
80	RSPI ch0	SPRI0	受信バッファフル	エッジ	○	80 (50h)
81		SPTI0	送信バッファエンプティ	エッジ	○	81 (51h)
82		SPEI0	モードフォルトエラー／オーバランエラー／パリティエラー	レベル	×	—
83		SPII0	RSPIアイドル	レベル	×	—

表12.6　CM3割り込みベクタテーブル (3 / 4)

ベクタ番号	要求元	要因		検出タイプ	DMAC	DMAC設定ベクタ番号
84	RSPI ch1	SPRI1	受信バッファフル	エッジ	○	84 (54h)
85		SPTI1	送信バッファエンプティ	エッジ	○	85 (55h)
86		SPEI1	モードフォルトエラー／オーバランエラー／パリティエラー	レベル	×	—
87		SPII1	RSPIアイドル	レベル	×	—
88	RSCAN	CANRFI	CAN 受信FIFO	レベル	×	—
89		CANFIR0	CAN0 送受信FIFO受信完了	レベル	×	—
90		CANTI0	CAN0 送信	レベル	×	—
91		CANFIR1	CAN1 送受信FIFO受信完了	レベル	×	—
92		CANTI1	CAN1 送信	レベル	×	—
93		CANGE	CAN グローバルエラー	レベル	×	—
94		CANIE0	CAN0 エラー	レベル	×	—
95		CANIE1	CAN1 エラー	レベル	×	—
96	EtherCAT Slave（オプション）	HWRTOS	HW-RTOS割り込み	レベル	×	—
97		ETHCSI0	EtherCAT Sync0 割り込み	レベル／エッジ（注 3）	○（注 4）	73 (49h)
98		ETHCSI1	EtherCAT Sync1 割り込み	レベル／エッジ（注 3）	○（注 4）	74 (4Ah)
99		ETHCI	EtherCAT 割り込み	レベル／エッジ（注 2）	○（注 4）	75 (4Bh)
100		ETHCSOFI	EtherCAT SOF 割り込み	エッジ	○（注 4）	76 (4Ch)
101		ETHCEOFI	EtherCAT EOF 割り込み	エッジ	○（注 4）	77 (4Dh)
102	Ether MAC	—	Reserved	—	—	—
103		ETHMMAI	Ether MII マネージメントアクセス完了割り込み	エッジ	○（注 4）	64 (40h)
104		ETHPPIT	Ether ポーズパケット送信完了	エッジ	○（注 4）	65 (41h)
105		ETHIT	Ether 送信完了割り込み	エッジ	○（注 4）	66 (42h)
106	Switch with IEEE1588	ETHSWI	Ether SWITCH 割り込み	レベル／エッジ（注 2）	○（注 4）	45 (2Dh)
107		ETHSWDLRI	Ether SWITCH DLR 割り込み	レベル／エッジ（注 2）	○（注 4）	46 (2Eh)
108		ETHSWSOI	Ether SWITCH SYNCOUT 割り込み	エッジ	○（注 4）	47 (2Fh)
109	Ether MAC	ETHRFIV	RX FIFO オーバフロー	エッジ	×	—
110		ETHTFIU	TX FIFO アンダフロー	エッジ	×	—
111		ETHDMAIR	Ether MACDMA 受信完了	レベル／エッジ（注 2）	○（注 4）	51 (33h)
112		ETHDMAIT	Ether MACDMA 送信完了	エッジ	○（注 4）	52 (34h)
113		ETHRFI	受信フレーム正常割り込み	レベル／エッジ（注 2）	○（注 4）	53 (35h)
114		—	Reserved	—	—	—
115		ETHTFIE	TX-FIFO エラー割り込み	レベル	×	—
116		ETHRFE	Ether 受信フレームエラー	レベル	×	—
117		ETHDRIE	MACDMA 受信エラー割り込み	エッジ	×	—

表12.6　CM3割り込みベクタテーブル (4 / 4)

ベクタ番号	要求元	要因		検出タイプ	DMAC	DMAC設定ベクタ番号
118	Ether MAC	ETHDTIE	MACDMA 送信エラー割り込み	エッジ	×	—
119		—	Reserved	—	—	—
120	EtherCAT Slave（オプション）	ETHCRSTI	EtherCAT RESET 割り込み	エッジ	×	—
121		ETHCWDTI	EtherCAT WDT 割り込み	エッジ	×	—
122	Ether MAC	ETHLPIST	MII からのLPI 開始通知割り込み	エッジ	×	—
123		ETHLPIEND	MII からのLPI 終了通知割り込み	エッジ	×	—
124	RAM	ETHRSE1	拡張内蔵SRAM 1bit ECCエラー割り込み（注1）	エッジ	×	—
125		ETHRSE2	拡張内蔵SRAM2bit ECCエラー割り込み（注1）	エッジ	×	—
126	System	ETHCTO0	CTIトリガ出力信号0	エッジ	×	—
127		ETHCTO1	CTIトリガ出力信号1	エッジ	×	—

注.　要求先に“○”の記載がない割り込み要求先は、選択しないでください。
注1.　拡張内蔵SRAM搭載品のみ
注2.　CPUの割り込み要因として用いる場合はレベル検出を、DMA起動要因として用いる場合はエッジ検出を選択してください。
注3.　CPUの割り込み要因として用いる場合は、用途によりレベルまたはエッジ検出を、DMA起動要因として用いる場合はエッジ検出を選択してください。
注4.　DMA転送要求が発生したタイミングで割り込みが発生し、DMA転送完了時に割り込みは発生しません。DMA転送完了は、CHSTAT_nレジスタ ENDビットで確認してください。

12.6　使用上の注意事項

12.6.1　外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合

リセット後の外部端子割り込みの内部レベルは High となっているため、端子の初期入力レベルが Low かつ立ち下がりエッジ、または両エッジで使用される場合は、以下の手順で設定してください。

その他の条件で使用する場合は、**「12.3.3　外部端子割り込み」**の手順で設定してください。

また、本設定完了前に外部端子割り込みへ立ち下がりエッジが入力されないようにしてください。

［IRQ 端子の場合］

1. 該当する IENn ビットを “0” にする (IECn ビットをセットする)。
2. I/O ポートのポート方向レジスタ（PDR）Pmn 方向制御ビットに、“10b（入力）” を設定する。
3. I/O ポート（PmnPFS.ISEL ビット）の設定、および確認を行う（PmnPFS レジスタをリードする)。
4. IRQFLTE.FLTENi ビットを “0” にする。(注 1)
5. IRQFLTC.FCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注 1)
6. IRQFLTE.FLTENi ビットを “1” にする。(注 1)
7. IRQCRi.IRQMD[1:0] ビットで立ち下がりエッジ、または両エッジに設定。
8. 該当する PICn レジスタを “1” にする（エッジ検出の場合)。
9. 該当する IENn ビットを “1” にする。

注 1.　デジタルノイズフィルタを使用する場合のみ設定が必要

［ETH0_INT/ETH1_INT/ETH2_INT 端子の場合］

1. 該当する IENn ビットを “0” にする（IECn ビットをセットする)。
2. I/O ポートのポート方向レジスタ（PDR）Pmn 方向制御ビットに、“10b（入力）” を設定する。
3. I/O ポート（PmnPFS.PSEL[5:0] ビットおよび PMR レジスタ）の設定、および確認を行う（PmnPFS レジスタをリードする)。
4. EPHYFLTE.EFLTENi ビットを “0” にする。(注 1)
5. EPHYFLTC.EFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注 1)
6. EPHYFLTE.EFLTENi ビットを “1” にする。(注 1)
7. EPHYCRi.EPHYMD[1:0] ビットで立ち下がりエッジ、または両エッジに設定。
8. 該当する PICn レジスタを “1” にする（エッジ検出の場合)。
9. 該当する IENn ビットを “1” にする。

注 1.　デジタルノイズフィルタを使用する場合のみ設定が必要

12.6.2　NMI 端子割り込みを立ち下がりエッジで使用する場合

リセット後の NMI 端子の内部レベルは High となっているため、NMI 端子の初期入力レベルが Low かつ立ち下がりエッジで使用される場合は、以下の手順で設定してください。

その他の条件で使用する場合は「12.3.4　NMI 端子割り込み」の手順で設定してください。

また、本設定完了前に NMI 端子へ立ち下がりエッジが入力されないようにしてください。

1. NMICR.NMIMD ビットで検出エッジを立ち上がりエッジ “1” に設定する。
2. I/O ポートの設定（P35PFS.ISEL ビット）、および確認を行う。
3. NMIFLTE.NFLTEN ビットを “0” にする。（注 1）
4. NMIFLTC.NFCLKSEL[1:0] ビットでデジタルノイズフィルタのサンプリングクロックを設定する。（注 1）
5. NMICR.NMIMD ビットで検出エッジを立ち下がりエッジ “0” に設定する。
6. NMICLR.NMICLR ビットに “1” をセットし、NMISR.NMIST フラグを “0” にする。
7. NMIFLTE.NFLTEN ビットを “1” にセットする。（注 1）
8. I/O ポートのポート方向レジスタ（PDR）P35 方向制御ビットに、“10b（入力）” を設定する。

注 1.　デジタルノイズフィルタを使用する場合のみ設定が必要です。

13. 内部バス

13.1 概要

本製品は、2 種類の内部メインバスとメモリバス、および複数の内部周辺バスを有しています。

表 13.1 に内部バスの仕様を、**図 13.1**、**図 13.2** に内部バスの構成図を示します。

表13.1 内部バスの仕様

内部バスの種類		内容
内部メインバス	内部メインバス1	• ICLKに同期して動作 • バスプロトコル：AMBA AXI • 優先順位判定：ラウンドロビン
	内部メインバス2	• ICLKに同期して動作 • バスプロトコル：AMBA AHB • 優先順位判定：固定優先付きラウンドロビン (DMA0最優先)
メモリバス1, 2（R-IN Engine搭載製品のみ）		ICLKに同期して動作
Ethernet用バス（Communicationバス以外は、R-IN Engine搭載製品のみ）	命令バス	ICLKに同期して動作
	オペランドバス	ICLKに同期して動作
	システムバス	ICLKに同期して動作
	Communicationバス	ICLKに同期して動作
	ローカルバス1	ICLKに同期して動作
	ローカルバス2	ICLKに同期して動作
周辺バス1（EtherCAT(オプション)搭載製品のみ）	ECAT	PCLKAに同期して動作
周辺バス2	SCIFA、RSPIa	SERICLKに同期して動作
周辺バス3	GPTa、MTU3a	PCLKCに同期して動作
周辺バス4	CAN、CRC、ECM、DSMIF	PCLKDに同期して動作
周辺バス5	ADC	PCLKHに同期して動作
周辺バス6	ELC、TPU、POE3、PPG、CMT、CMTW、WDTA、IWDTa、RIIC、SSI、DOC、温度センサ	PCLKDに同期して動作
周辺バス7	クロック発生回路、CLMA	PCLKBに同期して動作
外部バス		CKIOに同期して動作
外部Serial Flashバス		ICLKに同期して動作

注 . 周辺バス 4 は、（CAN、CRC、ECM）と DSMIF で内部でバスが分かれています。また、周辺バス 5、6、7 は同じスレーブレイヤで内部メインバス 2 に接続されています。このため、R-IN Engine 搭載品の場合、CAN と DSMIF は、各 CPU コアから同時にアクセスしても待ち合わせは生じません。しかし、ADC（周辺バス 5）と TPUa（周辺バス 6）は、同じスレーブレイヤのため、各 CPU コアから同時にアクセスした場合、待ち合わせが生じます。

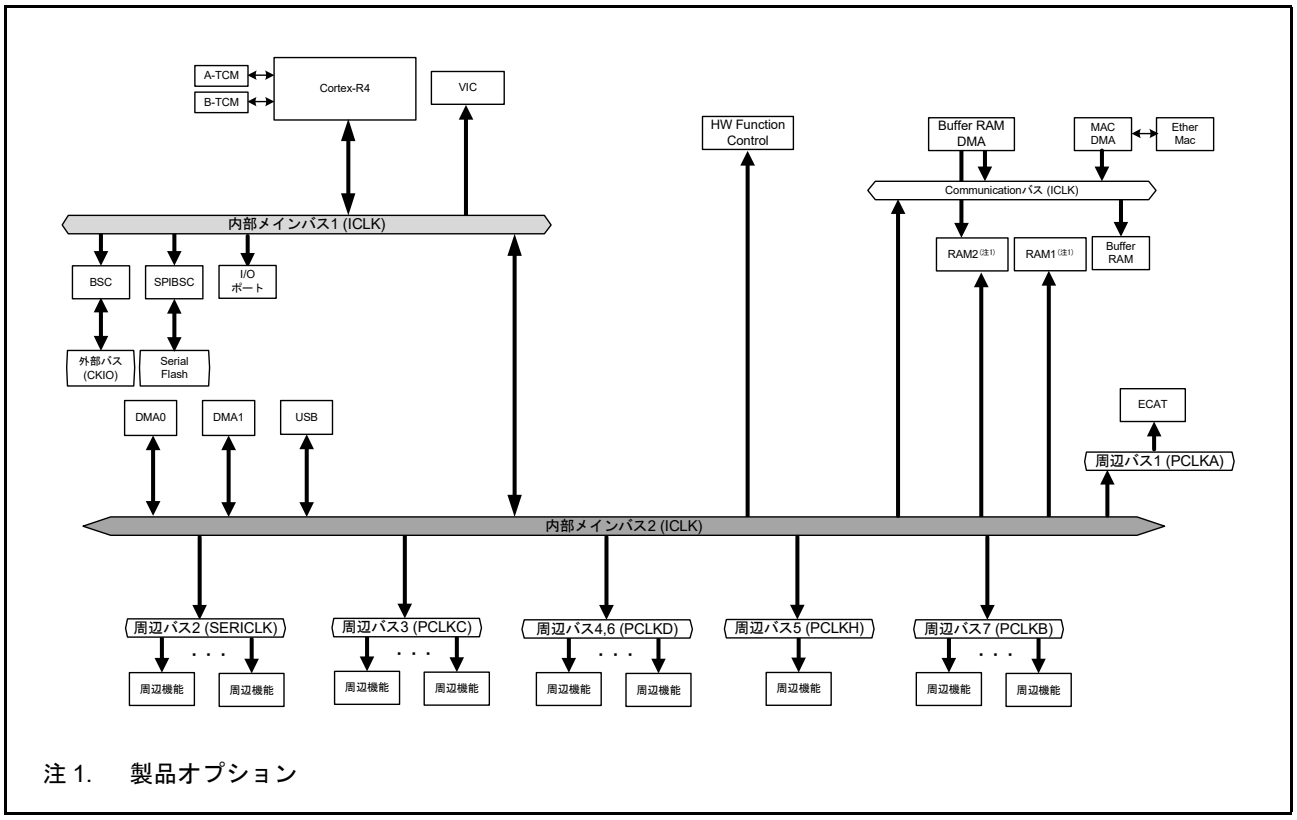
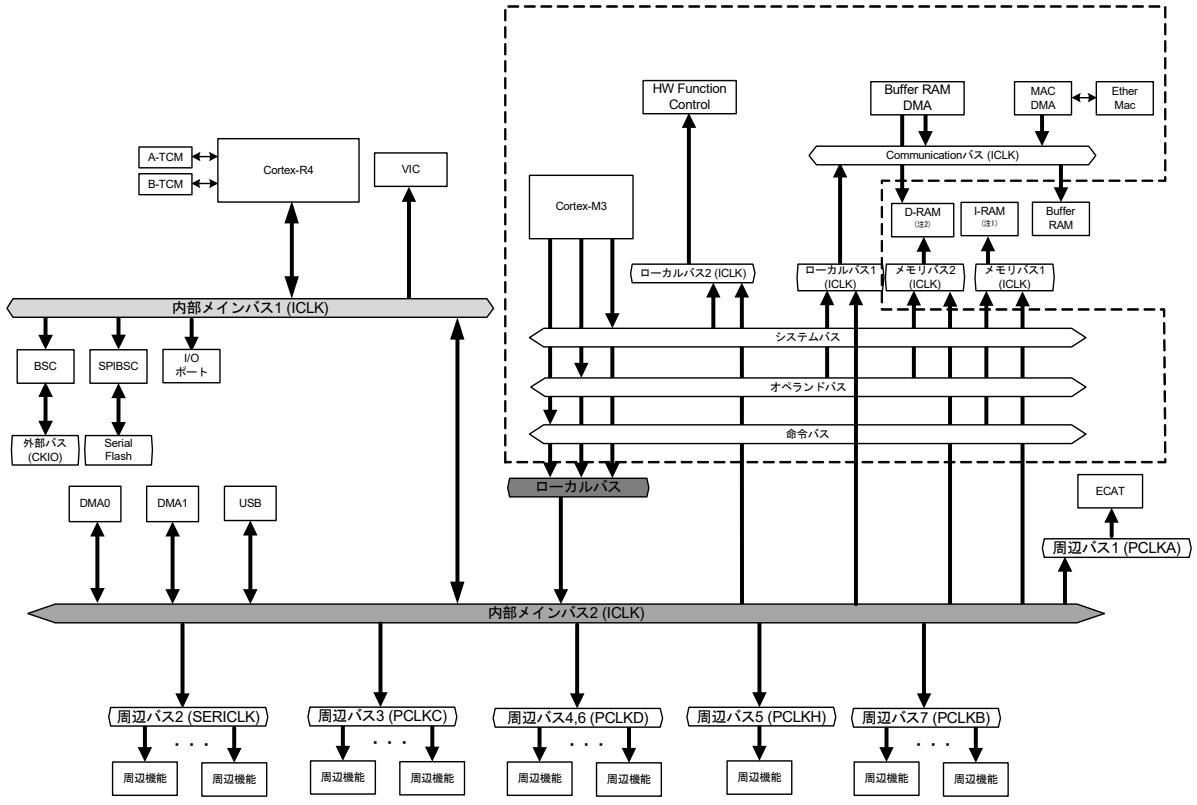

A-TCM
B-TCM
Cortex-R4
VIC
HW Function Control
Buffer RAM DMA
MAC DMA
Ether Mac
Communicationバス (ICLK)
内部メインバス1 (ICLK)
BSC
SPIBSC
I/O ポート
外部バス (CKIO)
Serial Flash
RAM2 (注1)
RAM1 (注1)
Buffer RAM
DMA0
DMA1
USB
ECAT
周辺バス1 (PCLKA)
内部メインバス2 (ICLK)
周辺バス2 (SERICLK)
周辺バス3 (PCLKC)
周辺バス4,6 (PCLKD)
周辺バス5 (PCLKH)
周辺バス7 (PCLKB)
周辺機能
注 1. 製品オプション

図 13.1 バスの構成図



注 1. Instruction RAM（Cortex-R4 からもアクセス可能）
注 2. Data RAM（Cortex-R4 からもアクセス可能）

図 13.2 内部バスの構成図（R-IN Engine 搭載製品）

13.2　内部メインバス

本 LSI の内部メインバス 1、内部メインバス 2 は共にマルチレイヤ構成となっています。各バスマスタが異なるバススレーブにアクセスした場合、各アクセスは並列に実行されます。各バスマスタが同一のバススレーブにアクセスした場合、優先順位判定が行われ、優先順位の高い順にアクセスを行います。

表 13.2 に内部メインバス 1、**表 13.3** に内部メインバス 2 のバスマスタ・バススレーブ間接続を示します。

表 13.2　内部メインバス 1　バスマスタ・バススレーブ間接続

バススレーブ ＼ バスマスタ	CPU(Cortex-R4)	内部メインバス 2
CPU (Cortex-R4)	○	○
I/O ポート	○	○
BSC	○	○
SPIBSC	○	○
VIC	○	○
内部メインバス 2	○	―

○：アクセス可
―：アクセス不可

表 13.3　内部メインバス 2　バスマスタ・バススレーブ間接続

バススレーブ ＼ バスマスタ	内部メインバス 1	DMA0	DMA1	USB	CPU (Cortex-M3) （R-IN Engine 搭載製品）
内部メインバス 1	―	○	○	○	○
DMA0	○	―	―	―	○
DMA1	○	―	―	―	○
命令 RAM	○	○	○	○	○
データ RAM	○	○	○	○	○
BufferRAM	○	○	○	○	○
USB	○	○	○	―	○
周辺バス 1 （EtherCAT(オプション)搭載製品のみ）	○	○	○	―	○
周辺バス 2	○	○	○	―	○
周辺バス 3	○	○	○	―	○
周辺バス 4	○	○	○	―	○
周辺バス 5	○	○	○	―	○
周辺バス 6	○	○	○	―	○
周辺バス 7	○	○	○	―	○

○：アクセス可
―：アクセス不可

14.　バスステートコントローラ

バスステートコントローラは、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

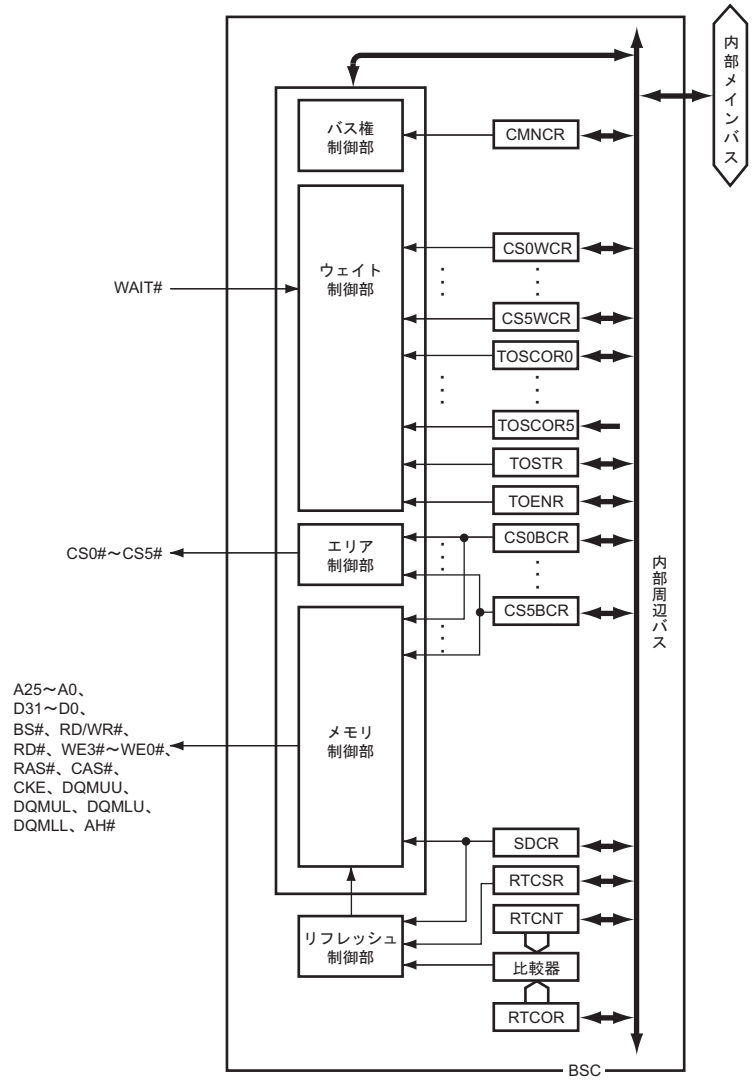
14.1　概要

表 14.1　バスステートコントローラの仕様

	内容
外部アドレス空間	• CS0～CS5の各空間をそれぞれ最大64Mバイトまでサポート • CS空間ごとに以下の設定が可能 SRAMインタフェース、バイト選択付きSRAMインタフェース、バーストROM（クロック同期または非同期）、MPX-I/OおよびSDRAMメモリの指定 データバス幅（8ビット、16ビット、32ビット） リードアクセス、ライトアクセスごとのウェイトステート挿入 以下の5ケースで独立にアイドルサイクルを設定 連続するアクセスがリードーライト（同一空間または別空間）、リードーリード（同一空間または別空間）、および先頭サイクルがライトの場合の5種類
各種インタフェース	SRAMインタフェース SRAMとの直結が可能なインタフェースをサポート
	バーストROM（クロック非同期）インタフェース ページモード機能を有するROMを高速にアクセス可能
	MPX-I/Oインタフェース アドレス／データマルチプレクスが必要な周辺LSIを直結可能
	SDRAMインタフェース 最大2つのCS空間でSDRAMを設定可能（注1） ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能 バンクアクティブモードによる高速アクセスが可能 オートリフレッシュとセルフリフレッシュをサポート パワーダウンモードをサポート MRSコマンド、EMRSコマンド発行をサポート
	バイト選択付きSRAMインタフェース バイト選択付きSRAMとの直結が可能なインタフェースをサポート
	バーストROM（クロック同期）インタフェース クロック同期タイプのバーストROMを直結可能
リフレッシュ機能	オートリフレッシュとセルフリフレッシュをサポート リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能 リフレッシュ回数設定（1、2、4、6、および8）による集中リフレッシュが可能 リフレッシュ用カウンタのインターバルタイマとしての利用 コンペアマッチタイマで割り込み要求発生可能
外部WAIT#端子	長期アクセスウェイト状態を検出可能 CS空間ごとにタイムアウト検出条件を設定可能 タイムアウトを検出すると外部WAIT機能を無効にし、タイムアウト検出エラー要求を発行

注1.　SDRAMを1つ接続する場合は、CS3空間を SDRAM設定としてください。

図 14.1 にバスステートコントローラのブロック図を示します。



CMNCR　　：共通コントロールレジスタ（注 1）
CSnWCR　：CSn 空間ウェイト制御レジスタ（n = 0 ～ 5）
CSnBCR　：CSn 空間バスコントロールレジスタ（n = 0 ～ 5）
SDCR　　：SDRAM コントロールレジスタ
RTCSR　　：リフレッシュタイマコントロール／ステータスレジスタ
RTCNT　　：リフレッシュタイマカウンタ
RTCOR　　：リフレッシュタイムコンスタントレジスタ
TOSCORn　：タイムアウトサイクルコンスタントレジスタ（n = 0 ～ 5）
TOSTR　　：タイムアウトステータスレジスタ
TOENR　　：タイムアウトイネーブルレジスタ

注 1.　CMNCR レジスタについては「15.2.11　共通コントロールレジスタ（CMNCR）」を参照してください。

図 14.1　　バスステートコントローラのブロック図

表 14.2 にバスステートコントローラの入出力端子を示します。

表14.2　　バスステートコントローラの入出力端子

端子名	入出力	機　　能
A25～A0	出力	アドレス出力端子です
D31～D0	入出力	データ入出力端子です
BS#	出力	バスサイクルの開始を示すステータス信号出力端子です
CS0#～CS5#	出力	チップセレクト信号出力端子です
RD/WR#	出力	リードまたはライトアクセスを示すストローブ信号出力端子です SDRAM、およびバイト選択付きSRAM接続時は、WE#端子に接続してください
RD#	出力	リード中を示すストローブ信号出力端子です（リードデータ出力許可信号）
WE3#/DQMUU/AH#	出力	D31～D24に対するライトストローブ信号出力端子です バイト選択付きSRAM接続時は、バイトセレクト端子に接続してください SDRAM接続時は、D31～D24に対するデータマスクイネーブル信号出力端子です MPX-I/Oインタフェース時は、アドレスホールド信号出力端子です
WE2#/DQMUL	出力	D23～D16に対するライトストローブ信号出力端子です バイト選択付きSRAM接続時は、バイトセレクト端子に接続してください SDRAM接続時は、D23～D16に対するデータマスクイネーブル信号出力端子です
WE1#/DQMLU	出力	D15～D8に対するライトストローブ信号出力端子です バイト選択付きSRAM接続時は、バイトセレクト端子に接続してください SDRAM接続時は、D15～D8に対するデータマスクイネーブル信号出力端子です
WE0#/DQMLL	出力	D7～D0に対するライトストローブ信号出力端子です バイト選択付きSRAM接続時は、バイトセレクト端子に接続してください SDRAM接続時は、D7～D0に対するデータマスクイネーブル信号出力端子です
RAS#	出力	SDRAMに対するロウアドレス・ストローブ信号出力端子です。SDRAMのRAS#端子に接続してください
CAS#	出力	SDRAMに対するカラムアドレス・ストローブ信号出力端子です。SDRAMのCAS#端子に接続してください
CKE	出力	SDRAMに対するクロックイネーブル信号出力端子です。SDRAMのCKE端子に接続してください
WAIT#	入力	バスサイクルにウェイトを挿入する外部ウェイト制御信号入力端子です

14.2　エリアの概要

14.2.1　　アドレスマップ

外部アドレス空間に接続されるメモリの種類およびデータバス幅は、CS0 ～ CS5 空間ごとに指定します。外部アドレス空間のアドレスマップを、**表 14.3** に示します。

表 14.3　　アドレスマップ

内部アドレス	空間	メモリ種類
4000 0000h～43FFFFFFh	CS0 ミラー	SRAM インタフェース、バイト選択付き SRAM、バースト ROM（非同期、同期）
4400 0000h～47FF FFFFh	CS1 ミラー	SRAM インタフェース、バイト選択付き SRAM
4800 0000h～4BFF FFFFh	CS2 ミラー	SRAM インタフェース、バイト選択付き SRAM、SDRAM
4C00 0000h～4FFF FFFFh	CS3 ミラー	SRAM インタフェース、バイト選択付き SRAM、SDRAM（注 1）
5000 0000h～53FF FFFFh	CS4 ミラー	SRAM インタフェース、バイト選択付き SRAM、バースト ROM（非同期）
5400 0000h～57FF FFFFh	CS5 ミラー	SRAM インタフェース、バイト選択付き SRAM、MPX-I/O
6000 0000h～63FF FFFFh	CS0	SRAM インタフェース、バイト選択付き SRAM、バースト ROM（非同期、同期）
6400 0000h～67FF FFFFh	CS1	SRAM インタフェース、バイト選択付き SRAM
6800 0000h～6BFF FFFFh	CS2	SRAM インタフェース、バイト選択付き SRAM、SDRAM
6C00 0000h～6FFF FFFFh	CS3	SRAM インタフェース、バイト選択付き SRAM、SDRAM（注 1）
7000 0000h～73FF FFFFh	CS4	SRAM インタフェース、バイト選択付き SRAM、バースト ROM（非同期）
7400 0000h～77FF FFFFh	CS5	SRAM インタフェース、バイト選択付き SRAM、MPX-I/O

注 1.　SDRAM を 1 つ接続する場合は、CS3 空間を SDRAM 設定としてください。

14.2.2　　ブートモード、各エリアのデータバス幅、関連端子設定

ブートモードにより、データバス幅や本モジュール関連端子設定の初期状態が異なります。ブートモードについては「3.　動作モード」を参照してください。

16 ビットバスブート、32 ビットバスブートでは、エリア 0 に接続された ROM から起動しますので、自動的にエリア 0 のバス幅は、16 ビットまたは 32 ビットになります。エリア 1 ～ 5 はバス幅、接続メモリをプログラムで変更可能です。これらのモードではパワーオンリセット直後に、エリア 0 の ROM を読み出すのに必要となるアドレスの一部とデータバスの一部、CS0#、RD# の端子機能のみが初期機能として自動的に選択されますが、それ以外の機能は初期機能が汎用ポートとなり、ソフトウェアで端子機能を設定するまでは使用できません。端子設定が完了するまでは、エリア 0 のリードアクセス以外は行わないでください。

SPI ブートモードでは、SPI 空間に接続されたシリアルメモリからの起動になりますので、エリア 0 ～ 5 の端子機能は、初期状態からソフトウェアで変更可能となります。また、本モジュール関連端子設定は、ソフトウェアでの設定が必要となります。端子設定が完了するまで外部アドレス空間のアクセスを行わないでください。

「表 14.4　ブートモードとエリア別初期状態」にブートモードとエリア別初期状態を示します。

なお、本章に記載しているアクセス波形例では、BS#、RD/WR#、WEn# などの端子も示していますが、これらはマルチファンクションピンコントローラで各端子を有効に設定した場合の例です。たとえば 32 ビットバスブートモードにおいて 16 ビットバス幅を使用する場合は、A1 端子の設定が必要です。また、8 ビットバス幅を使用する場合、A1、A0 端子の設定が必要になります。

端子設定の詳細は、「18.　マルチファンクションピンコントローラ（MPC）」を参照してください。

表14.4　ブートモードとエリア別初期状態

ブートモード	項目	エリア0	エリア1～5
16ビットバスブート	データバス幅	16ビットバス幅に固定。変更不可	初期値は32ビットバス幅。プログラムで変更可能。
	本モジュール関連端子設定	A20～A1、D15～D0、CS0#、RD#の端子機能のみ、自動的に設定されます。 それ以外の端子はプログラムで設定が必要です。	
32ビットバスブート	データバス幅	32ビットバス幅に固定。変更不可。	初期値は32ビットバス幅。プログラムで変更可能。
	本モジュール関連端子設定	A20～A2、D31～D0、CS0#、RD#の端子機能のみ自動的に設定されます。 それ以外の端子はプログラムで設定が必要です。	
SPIブート	データバス幅	初期値は32ビットバス幅。プログラムで変更可能。	
	本モジュール関連端子設定	初期値は汎用ポート機能になります。外部バスアクセスを行う場合、必要端子すべてのプログラム設定が必要です。	

注1.　16ビットバスブートまたは32ビットバスブートモードにおいてA21以上のアドレス線を使用する外部メモリを接続する場合、A21以上のアドレス線に対し基板上でプルダウン処理が必要です。
注2.　使用するメモリタイプによっては、データバス幅が限定されるものがあります。詳細は「14.3.1　CSn空間バスコントロールレジスタ（CSnBCR）（n = 0～5）」 を参照してください。

14.3　レジスタの説明

14.3.1　CSn 空間バスコントロールレジスタ（CSnBCR）（n = 0 ～ 5）

CSnBCR は、各 CS 空間に接続するメモリの種類、データバス幅、およびアクセスサイクル間のウェイト数を設定するレジスタです。

外部メモリアクセスに必要なレジスタの初期設定および端子設定が終了するまでは、該当エリアの外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、**「14.4.10 アクセスサイクル間アイドル」**を参照してください。

アドレス　CS0BCR A000 2004h、CS1BCR A000 2008h、CS2BCR A000 200Ch、CS3BCR A000 2010h、CS4BCR A000 2014h、CS5BCR A000 2018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
リセット後の値	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	TYPE[2:0]			—	BSZ[1:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	1	1（注1）	0（注1）	0	0	0	0	0	0	0	0	0

注1.　16ビットバスブートモードの場合CS0BCRレジスタのBSZ[1:0]ビットのリセット後の値は10b、SPIブート、32ビットバスブートモードの場合は11bになります。CSnBCRレジスタ（n = 1～5）のBSZ[1:0]ビットのリセット後の値は、11bです。

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10-b9	BSZ[1:0]	データバス幅指定ビット	CS空間のデータバス幅を指定します。 b10 b9 00：予約（設定禁止） 01：8ビット 10：16ビット 11：32ビット MPX-I/O時は、アドレスによるバス幅選択。 注1.　エリア5をMPX-I/Oに設定した場合は、本ビットの設定を11bに設定すると、バス幅はCS5WCRのSZSELにしたがったアドレスによりバス幅（8ビットまたは16ビット）が選択されます。また、01b、10bに設定すると固定バス幅としてそれぞれ8ビットまたは16ビットバス幅に設定が可能です。 注2.　16ビットバスブートモードの場合、CS0BCRレジスタのBSZ[1:0]ビットには10bが自動的に書き込まれます。32ビットバスブートモードの場合は、11bが自動的に書き込まれます。 注3.　エリア2またはエリア3をSDRAM空間に設定した場合、バス幅は16ビットまたは32ビットから選択可能です。 注4.　エリア0をクロック同期バーストROM空間に設定した場合は、バス幅は16ビットまたは32ビットから選択可能です。	R/W
b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b14-b12	TYPE[2:0]	空間接続メモリ設定ビット	CS空間に接続するメモリの種類を設定します。 b14 b12 000：SRAMインタフェース 001：バーストROM（クロック非同期） 010：MPX-I/O 011：バイト選択付きSRAM 100：SDRAM 101：予約（設定禁止） 110：予約（設定禁止） 111：バーストROM（クロック同期） エリアごとのメモリタイプは表14.3を参照してください。 注1.　16ビットバスブート、32ビットバスブートで、CS0空間にバーストROMを接続する場合は、バーストROMにあわせてCS0WCRレジスタを設定した後、TYPE[2:0]ビットをバーストROMの設定にしてください。SPIブートモードの場合には、CS0BCR、CS0WCRレジスタを設定した後にアクセスしてください。 注2.　SDRAMに設定する場合、駆動能力制御レジスタ（DSCR）の設定をしてください。詳細については「17.3.6　駆動能力制御レジスタ（DSCR）」を参照してください。	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b18-b16	IWRRS[2:0]	同一CS空間に対するリードーリードサイクル間のアイドルステート挿入指定ビット	CS空間に接続された外部メモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一CS空間でかつリードリードサイクルの場合です。 b18 b16 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入	R/W
b21-b19	IWRRD[2:0]	別CS空間に対するリードーリードサイクル間のアイドルステート挿入指定ビット	CS空間に接続された外部メモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別のCS空間でかつリードーリードサイクルの場合です。 b21 b19 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入	R/W
b24-b22	IWRWS[2:0]	同一CS空間に対するリードーライトサイクル間のアイドルステート挿入指定ビット	CS空間に接続された外部メモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一CS空間でかつリードーライトサイクルの場合です。 b24 b22 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入	R/W

ビット	シンボル	ビット名	機能	R/W
b27-b25	IWRWD[2:0]	別CS空間に対するリードーライトサイクル間のアイドルステート挿入指定ビット	CS空間に接続された外部メモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別のCS空間でかつリードーライトサイクルの場合です。 b27 b25 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入	R/W
b30-b28	IWW[2:0]	ライトーリード／ライトーライトサイクル間アイドル指定ビット	CS空間に接続された外部メモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライトーリードサイクルとライトーライトサイクルの場合です。 b30 b28 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.2　CSn 空間ウェイト制御レジスタ（CSnWCR）（n = 0 ～ 5）

CSnWCR は、外部メモリアクセスに関する各種ウェイトステートの設定を行うレジスタです。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ（CSnBCR）に設定したメモリ種類（TYPE[2:0]）により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR レジスタは、CSnBCR レジスタを設定した後に設定してください。

(1)　SRAM インタフェース、バイト選択付き SRAM、MPX-I/O

- CS0WCR_0

アドレス　CS0WCR_0 A000 2028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—（注1）	BAS	—	—	—（注1）	—（注1）
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SW[1:0]		WR[3:0]				WM	—	—	—	—	HW[1:0]	
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HW[1:0]	RD#、WEn#ネゲート→アドレス、CS0#ネゲート遅延ステート数指定ビット	RD#、WEn#のインアクティブから、アドレス、CS0#のインアクティブまでの遅延ステート数を指定します。 b1 b0 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W
b10-b7	WR[3:0]	アクセスウェイト数指定ビット	リードおよびライトアクセスに必要なウェイト数を指定します。 b10　b7 0000：ウェイト挿入なし 0001：1ウェイト 0010：2ウェイト 0011：3ウェイト 0100：4ウェイト 0101：5ウェイト 0110：6ウェイト 0111：8ウェイト 1000：10ウェイト 1001：12ウェイト 1010：14ウェイト 1011：18ウェイト 1100：24ウェイト 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）	R/W
b12-b11	SW[1:0]	アドレス、CS0#アサート→RD#、WEn#アサート遅延ステート数指定ビット	アドレス、CS0#のアクティブからRD#、WEn#のアクティブまでの遅延サイクルステート数を指定します。 b12 b11 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b17-b16	—（注1）	予約ビット	SRAMインタフェース、バイト選択付きSRAMインタフェース時は0にしてください。	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b20	BAS	バイト選択付きSRAMバイトアクセス選択ビット	バイト選択付きSRAMインタフェース時のWE#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリード、ライトタイミングでアクティブ、RD/WR#はライトアクセス中アクティブ 1：WEn#はリード、ライトアクセス中アクティブ、RD/WR#はライトタイミングでアクティブ	R/W
b21	—（注1）	予約ビット	SRAMインタフェース、バイト選択付きSRAMインタフェース時は0にしてください。	R/W
b31-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　16ビットバスブート、32ビットバスブートモードで、CS0空間にバーストROMを接続し、起動後にバーストROMインタフェースに切り替える場合には、ビット21、20でバースト数の指定、ビット17、16でバーストウェイトサイクル数の指定を行った後に、CS0BCRレジスタのTYPE[2:0]ビットを設定してください（各ビットについては、本項の「(2)　バーストROM（クロック非同期）」、「(4)　バーストROM（クロック同期）」を参照してください）。上記以外の予約ビットへの1書き込みは行わないでください。

- CS1WCR

アドレス　CS1WCR A000 202Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SW[1:0]		WR[3:0]				WM	—	—	—	—	HW[1:0]	
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HW[1:0]	RD#、WEn#ネゲート→アドレス、CS1#ネゲート遅延ステート数指定ビット	RD#、WEn#のインアクティブから、アドレス、CS1#のインアクティブまでの遅延ステート数を指定します。 b1 b0 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W
b10-b7	WR[3:0]	リードアクセスウェイト数指定ビット	リードアクセスに必要なウェイト挿入数を指定します。 b10　b7 0000：ウェイト挿入なし 0001：1ウェイト 0010：2ウェイト 0011：3ウェイト 0100：4ウェイト 0101：5ウェイト 0110：6ウェイト 0111：8ウェイト 1000：10ウェイト 1001：12ウェイト 1010：14ウェイト 1011：18ウェイト 1100：24ウェイト 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）	R/W
b12-b11	SW[1:0]	アドレス、CS1#アサート→RD#、WEn#アサート遅延ステート数指定ビット	アドレス、CS1#がアクティブになってからRD#、WEn#がアクティブになるまでの遅延ステート数を指定します。 b12 b11 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b18-b16	WW[2:0]	ライトアクセスウェイト数設定ビット	ライトアクセスに必要なウェイト挿入数を指定します。 b18 b16 000：WR[3:0]設定（リードアクセスウェイト数）と同じ 001：ウェイト挿入なし 010：1ウェイト 011：2ウェイト 100：3ウェイト 101：4ウェイト 110：5ウェイト 111：6ウェイト	R/W

ビット	シンボル	ビット名	機能	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b20	BAS	バイト選択付きSRAMバイトアクセス選択ビット	バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリード、ライトタイミングでアクティブ、RD/WR#はライトアクセス中アクティブ 1：WEn#はリード、ライトアクセス中アクティブ、RD/WR#はライトタイミングでアクティブ	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- CS2WCR_0、CS3WCR_0

アドレス　CS2WCR_0 A000 2030h、CS3WCR_0 A000 2034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	WR[3:0]				WM	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W
b10-b7	WR[3:0]	アクセスウェイト数指定ビット	リードおよびライトアクセスに必要なウェイト数を指定します。 b10　b7 0000：ウェイト挿入なし 0001：1ウェイト 0010：2ウェイト 0011：3ウェイト 0100：4ウェイト 0101：5ウェイト 0110：6ウェイト 0111：8ウェイト 1000：10ウェイト 1001：12ウェイト 1010：14ウェイト 1011：18ウェイト 1100：24ウェイト 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）	R/W
b19-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b20	BAS	バイト選択付きSRAMバイトアクセス選択ビット	バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリード、ライトタイミングでアクティブ、RD/WR#はライトアクセス中アクティブ 1：WEn#はリード、ライトアクセス中アクティブ、RD/WR#はライトタイミングでアクティブ	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- CS4WCR_0

アドレス　CS4WCR_0 A000 2038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SW[1:0]		WR[3:0]				WM	—	—	—	—	HW[1:0]	
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HW[1:0]	RD#、WEn#ネゲート→アドレス、CS4#ネゲート遅延ステート数指定ビット	RD#、WEn#のインアクティブから、アドレス、CS4#のインアクティブまでの遅延ステート数を指定します。 b1 b0 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W
b10-b7	WR[3:0]	リードアクセスウェイト数指定ビット	リードアクセスに必要なウェイト数を指定します。 b10　b7 0000：ウェイト挿入なし 0001：1ウェイト 0010：2ウェイト 0011：3ウェイト 0100：4ウェイト 0101：5ウェイト 0110：6ウェイト 0111：8ウェイト 1000：10ウェイト 1001：12ウェイト 1010：14ウェイト 1011：18ウェイト 1100：24ウェイト 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）	R/W
b12-b11	SW[1:0]	アドレス、CS4#アサート→RD#、WEn#アサート遅延ステート数指定ビット	アドレス、CS4#のアクティブからRD#、WEn#のアクティブまでの遅延ステート数を指定します。 b12 b11 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b18-b16	WW[2:0]	ライトアクセスウェイト数設定ビット	ライトアクセスに必要なウェイト挿入数を指定します。 b18 b16 000：WR[3:0]設定（リードアクセスウェイト数）と同じ 001：ウェイト挿入なし 010：1ウェイト 011：2ウェイト 100：3ウェイト 101：4ウェイト 110：5ウェイト 111：6ウェイト	R/W

ビット	シンボル	ビット名	機能	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b20	BAS	バイト選択付きSRAMバイトアクセス選択ビット	バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリード、ライトタイミングでアクティブ、RD/WR#はライトアクセス中アクティブ 1：WEn#はリード、ライトアクセス中アクティブ、RD/WR#はライトタイミングでアクティブ	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- CS5WCR

アドレス　CS5WCR A000 203Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	SZSEL	MPXW/BAS	—	WW[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SW[1:0]		WR[3:0]				WM	—	—	—	—	HW[1:0]	
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HW[1:0]	RD#、WEn#→アドレス、CS5#遅延サイクル数指定ビット	エリア5をSRAMインタフェース、またはバイト選択付きSRAMインタフェースに選択した時のRD#、WEn#のインアクティブから、アドレス、CS5#のインアクティブまでの遅延ステート数を指定します。 また、エリア5をMPX-I/Oインタフェースに設定した場合、RD#、WEn#のインアクティブから、CS5#のインアクティブまでの遅延ステート数を指定します。 b1 b0 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W
b10-b7	WR[3:0]	リードアクセスウェイト数指定ビット	リードアクセスに必要なウェイト数を指定します。 b10　b7 0000：ウェイト挿入なし 0001：1ウェイト 0010：2ウェイト 0011：3ウェイト 0100：4ウェイト 0101：5ウェイト 0110：6ウェイト 0111：8ウェイト 1000：10ウェイト 1001：12ウェイト 1010：14ウェイト 1011：18ウェイト 1100：24ウェイト 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）	R/W
b12-b11	SW[1:0]	アドレス、CS5#アサート→RD#、WEn#アサート遅延ステート数指定ビット	エリア5をSRAMインタフェース、またはバイト選択付きSRAMインタフェースに選択した時のアドレス、CS5#のアクティブからRD#、WEn#のアクティブまでの遅延ステート数を指定します。 また、エリア5をMPX-I/Oインタフェースに設定した場合、アドレスサイクル（Ta3）の終了から、RD#、WEn#のアクティブまでの遅延ステート数を指定します。 b12 b11 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b18-b16	WW[2:0]	ライトアクセスウェイト数設定ビット	ライトアクセスに必要なウェイト挿入数を指定します。 b18 b16 000：WR[3:0]設定（リードアクセスウェイト数）と同じ 001：ウェイト挿入なし 010：1ウェイト 011：2ウェイト 100：3ウェイト 101：4ウェイト 110：5ウェイト 111：6ウェイト	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b20	MPXW	MPX-I/Oインタフェースのアドレスサイクルウェイト設定ビット	MPX-I/Oインタフェースのアドレスサイクルに対するウェイトを設定します。本設定は、エリア5をMPX-I/Oに設定したときのみ有効です。 0：ウェイトなし 1：1サイクルウェイト挿入	R/W
	BAS	バイト選択付きSRAMバイトアクセス選択ビット	バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。本設定は、エリア5をバイト選択付きSRAMに設定したときのみ有効です。 0：WEn#はリード、ライトタイミングでアクティブ、RD/WR#はライトアクセス中アクティブ 1：WEn#はリード、ライトアクセス中アクティブ、RD/WR#はライトタイミングでアクティブ	R/W
b21	SZSEL	MPX-I/Oインタフェースのバス幅指定ビット	CS5BCRレジスタのBSZ[1:0]ビットを11bに設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア5をMPX-I/Oに設定したときにのみ有効です。 0：アドレスA14によりバス幅選択 1：アドレスA21によりバス幅選択 SZSELビットとA14、A21によるバス幅選択の関係について示します。	R/W

SZSEL	A14	A21	説明
0	0	影響なし	8ビットバス幅
	1	影響なし	16ビットバス幅
1	影響なし	0	8ビットバス幅
	影響なし	1	16ビットバス幅

b31-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

(2)　バースト ROM（クロック非同期）

- CS0WCR_1

アドレス　CS0WCR_1 A000 2028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	BST[1:0]		—	—	BW[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	W[3:0]				WM	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W
b10-b7	W[3:0]	アクセスウェイト数指定ビット	1回目のアクセスサイクルに挿入するウェイト数を指定します。 b10　b7 0000：ウェイト挿入なし 0001：1ウェイト 0010：2ウェイト 0011：3ウェイト 0100：4ウェイト 0101：5ウェイト 0110：6ウェイト 0111：8ウェイト 1000：10ウェイト 1001：12ウェイト 1010：14ウェイト 1011：18ウェイト 1100：24ウェイト 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b17-b16	BW[1:0]	バーストアクセス時のウェイト数設定ビット	バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイト数を指定します。 b17 b16 00：ウェイト挿入なし 01：1ウェイト 10：2ウェイト 11：3ウェイト	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b21-b20	BST[1:0]	バースト数指定ビット	バースト数指定 16バイト以上のアクセスにおけるバースト数を指定します。BST[1:0]に11b設定を設定しないでください。 注.　詳細は「表14.17　バス幅およびアクセスサイズとバースト数の関係」を参照してください。	R/W
b31-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

バス幅	BST[1:0]	バースト数 （16バイトアクセス）
8ビット	00	16バースト×1回
	01	4バースト×4回
16ビット	00	8バースト×1回
	01	2バースト×4回
	10	4-4または2-4-2バースト
32ビット	xx	4バースト×1回

- CS4WCR_1

アドレス　CS4WCR_1 A000 2038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	BST[1:0]		—	—	BW[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SW[1:0]		W[3:0]				WM	—	—	—	—	HW[1:0]	
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HW[1:0]	RD#、WEn#→アドレス、CS4#遅延サイクル数指定ビット	RD#、WEn#のインアクティブから、アドレス、CS4#のインアクティブまでの遅延ステート数を指定します。 b1 b0 00：0.5ステート 01：1.5ステート 10：2.5ステート 11：3.5ステート	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b10-b7</td><td>W[3:0]</td><td>アクセスウェイト数指定ビット</td><td>1回目のアクセスサイクルに挿入するウェイト数を指定します。
b10　b7
0000：ウェイト挿入なし
0001：1ウェイト
0010：2ウェイト
0011：3ウェイト
0100：4ウェイト
0101：5ウェイト
0110：6ウェイト
0111：8ウェイト
1000：10ウェイト
1001：12ウェイト
1010：14ウェイト
1011：18ウェイト
1100：24ウェイト
1101：予約（設定禁止）
1110：予約（設定禁止）
1111：予約（設定禁止）</td><td>R/W</td></tr>
<tr><td>b12-b11</td><td>SW[1:0]</td><td>アドレス、CS4#アサート→RD#、WEn#アサート遅延ステート数指定ビット</td><td>アドレス、CS4#のアクティブからRD#、WEn#のアクティブまでの遅延ステート数を指定します。
b12 b11
00：0.5ステート
01：1.5ステート
10：2.5ステート
11：3.5ステート</td><td>R/W</td></tr>
<tr><td>b15-b13</td><td>—</td><td>予約ビット</td><td>読むと“0”が読めます。書く場合、“0”としてください。</td><td>R/W</td></tr>
<tr><td>b17-b16</td><td>BW[1:0]</td><td>バーストアクセス時のウェイト数設定ビット</td><td>バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイト数を指定します。
b17 b16
00：ウェイト挿入なし
01：1ウェイト
10：2ウェイト
11：3ウェイト</td><td>R/W</td></tr>
<tr><td>b19-b18</td><td>—</td><td>予約ビット</td><td>読むと“0”が読めます。書く場合、“0”としてください。</td><td>R/W</td></tr>
<tr><td>b21-b20</td><td>BST[1:0]</td><td>バースト数指定ビット</td><td>16バイト以上のアクセスにおけるバースト数を指定します。11bに設定しないでください。
<table><tr><th>バス幅</th><th>BST[1:0]</th><th>バースト数
（16バイトアクセス）</th></tr><tr><td rowspan="2">8ビット</td><td>00</td><td>16バースト×1回</td></tr><tr><td>01</td><td>4バースト×4回</td></tr><tr><td rowspan="3">16ビット</td><td>00</td><td>8バースト×1回</td></tr><tr><td>01</td><td>2バースト×4回</td></tr><tr><td>10</td><td>4-4または2-4-2バースト</td></tr><tr><td>32ビット</td><td>xx</td><td>4バースト×1回</td></tr></table>注.　詳細は「表14.17　バス幅およびアクセスサイズとバースト数の関係」を参照してください。</td><td>R/W</td></tr>
<tr><td>b31-b22</td><td>—</td><td>予約ビット</td><td>読むと“0”が読めます。書く場合、“0”としてください。</td><td>R/W</td></tr>
</table>

(3)　SDRAM（注 1）

- CS2WCR_1

アドレス　CS2WCR_1 A000 2030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	A2CL[1:0]		—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8-b7	A2CL[1:0]	エリア2CAS レイテンシ指定ビット	エリア2のCAS レイテンシを指定します。 b8 b7 00：1 01：2 10：3 11：4	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b11-b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　1エリアのみSDRAMを接続する場合は、エリア3をSDRAM設定としてください。このときエリア2は、SRAMインタフェース設定またはバイト選択付きSRAM設定としてください。

- CS3WCR_1

アドレス　CS3WCR_1 A000 2034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	WTRP[1:0]（注1）		—	WTRCD[1:0]（注1）		—	A3CL[1:0]		—	—	TRWL[1:0]（注1）		—	WTRC[1:0]（注1）	
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

注1.　エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

ビット	シンボル	ビット名	機能	R/W
b1-b0	WTRC[1:0]（注1）	REFコマンド／セルフリフレッシュ解除→ACTV／REF／MRSコマンド間アイドルサイクル数指定ビット	以下のコマンド間の最小アイドルステート数を指定します。 • REFコマンド発行後からACTV／REF／MRSコマンド発行まで • セルフリフレッシュ解除後からACTV／REF／MRSコマンド発行まで エリア2とエリア3の設定は共通となります。 b1 b0 00：2ステート 01：3ステート 10：5ステート 11：8ステート	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4-b3	TRWL[1:0]（注1）	プリチャージ起動待ちサイクル数指定ビット	以下のプリチャージ起動待ちの最小サイクル数を指定します。 • 本LSIがWRITAコマンドを発行してからSDRAM内でオートプリチャージが起動するまでのステート数 WRITAコマンド発行後、同一バンクに対するACTVコマンド発行までのステート数です。なお、SDRAM内でWRITAコマンドを受けてから何ステートでオートプリチャージが起動されるかは、各SDRAMのデータシートを確認してください。そのステート数が、本ビットで指定されるステート数を超えないように本ビットを設定してください。 • 本LSIがWRITコマンドを発行してからPREコマンドを発行するまでのステート数 バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。 エリア2とエリア3の設定は共通となります。 b4 b3 00：ウェイト挿入なし 01：1ステート 10：2ステート 11：3ステート	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8-b7	A3CL[1:0]	エリア3CAS レイテンシ指定ビット	エリア3のCAS レイテンシを指定します。 b8 b7 00：1 01：2 10：3 11：4	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b11-b10	WTRCD[1:0]（注1）	ACTVコマンド→READ（A）／WRIT（A）コマンド間ウェイト数指定ビット	ACTVコマンド発行後、READ（A）／WRIT（A）コマンド発行までの最小ウェイト数を指定します。エリア2とエリア3の設定は、共通となります。 b11 b10 00：ウェイト挿入なし 01：1ウェイト 10：2ウェイト 11：3ウェイト	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14-b13	WTRP[1:0]（注1）	プリチャージ完了待ちステート数設定ビット	以下のプリチャージ完了待ちの最小ステート数を指定します。 • オートプリチャージの起動から同一バンクに対するACTVコマンド発行まで • PRE／PALLコマンド発行から同一バンクに対するACTVコマンド発行まで • パワーダウンモード／ディープパワーダウンモード遷移まで • オートリフレッシュ時のPALLコマンド発行からREFコマンド発行まで • セルフリフレッシュ時のPALLコマンド発行からSELFコマンド発行まで エリア2とエリア3の設定は共通となります。 b14 b13 00：ウェイト挿入なし 01：1ステート 10：2ステート 11：3ステート	R/W
b31-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。
1エリアのみSDRAMを接続する場合は、エリア3をSDRAM設定としてください。このときエリア2は、SRAMインタフェース設定またはバイト選択付きSRAM設定としてください。

(4)　バースト ROM（クロック同期）

- CS0WCR_2

アドレス　CS0WCR_2 A000 2028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	W[3:0]				WM	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	WM	外部ウェイトマスク指定ビット	外部ウェイト入力の有効／無効を指定します。アクセスウェイト数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視	R/W
b10-b7	W[3:0]	アクセスウェイト数指定ビット	1回目のアクセスサイクルに挿入するウェイト数を指定します。 b10　b7 0000：ウェイト挿入なし 0001：1ウェイト 0010：2ウェイト 0011：3ウェイト 0100：4ウェイト 0101：5ウェイト 0110：6ウェイト 0111：8ウェイト 1000：10ウェイト 1001：12ウェイト 1010：14ウェイト 1011：18ウェイト 1100：24ウェイト 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b17-b16	BW[1:0]	バーストウェイト数指定ビット	バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイト数を指定します。 b17 b16 00：ウェイト挿入なし 01：1ウェイト 10：2ウェイト 11：3ウェイト	R/W
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.3　SDRAM コントロールレジスタ（SDCR）

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定するレジスタです。

アドレス　A000 204Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	A2ROW[1:0]		—	A2COL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DEEP	—	RFSH	RMODE	PDOWN	BACTV	—	—	—	A3ROW[1:0]		—	A3COL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	A3COL[1:0]	エリア3のカラムアドレスビット数指定ビット	エリア3に接続するSDRAMのカラムアドレスのビット数を指定します。 b1 b0 00：8ビット 01：9ビット 10：10ビット 11：予約（設定禁止）	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4-b3	A3ROW[1:0]	エリア3のロウアドレスビット数指定ビット	エリア3に接続するSDRAMのロウアドレスのビット数を指定します。 b4 b3 00：11ビット 01：12ビット 10：13ビット 11：予約（設定禁止）	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	BACTV	バンクアクティブモード指定ビット	オートプリチャージモード（READAおよびWRITAコマンドを使用）でのアクセスか、バンクアクティブモード（READおよびWRITコマンドを使用）でのアクセスかを指定します。 0：オートプリチャージモード（READAおよびWRITAコマンドを使用） 1：バンクアクティブモード（READおよびWRITコマンドを使用） 注.　バンクアクティブモードは、エリア3でのみ設定可能です。エリア2およびエリア3ともにSDRAMに設定する場合は、オートプリチャージモードに設定してください。	R/W
b9	PDOWN	パワーダウンモード指定ビット	SDRAMに対するアクセス終了後に、SDRAMをパワーダウンモードにするかどうかを指定します。本ビットを1に設定すると、アクセス終了後CKE端子をロウレベルにしてSDRAMをパワーダウンモードにします。 0：アクセス終了後、SDRAMをパワーダウンモードにしない 1：アクセス終了後、SDRAMをパワーダウンモードにする	R/W

ビット	シンボル	ビット名	機能	R/W
b10	RMODE	リフレッシュモード選択ビット	RFSHビットが1のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSHビットを1かつ本ビットを1に設定すると、その直後にセルフリフレッシュモードに入ります。RFSHビットを1かつ本ビットを0に設定すると、RTCSR、RTCNT、およびRTCORレジスタに設定した内容にしたがいオートリフレッシュを行います。 0：オートリフレッシュを行う 1：セルフリフレッシュを行う	R/W
b11	RFSH	リフレッシュ制御ビット	SDRAMに対するリフレッシュ制御を指定します。 0：リフレッシュしない 1：リフレッシュする	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13	DEEP	ディープパワーダウンモード指定ビット	ローパワーSDRAMに対してのみ有効です。本ビットを1に設定してRFSHビットおよびRMODEビットを1にすると、ディープパワーダウンエントリコマンドを発行して、ローパワーSDRAMをディープパワーダウンモードに遷移させます。 0：セルフリフレッシュモード 1：ディープパワーダウンモード	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b17-b16	A2COL[1:0]	エリア2のカラムアドレスビット数指定ビット	エリア2に接続するSDRAMのカラムアドレスのビット数を指定します。 b17 b16 00：8ビット 01：9ビット 10：10ビット 11：予約（設定禁止）	R/W
b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b20-b19	A2ROW[1:0]	エリア2のロウアドレスビット数指定ビット	エリア2に接続するSDRAMのロウアドレスのビット数を指定します。 b20 b19 00：11ビット 01：12ビット 10：13ビット 11：予約（設定禁止）	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.4　リフレッシュタイマコントロール／ステータスレジスタ（RTCSR）

RTCSR は、SDRAM のリフレッシュに関する各種設定を行うレジスタです。

書き込み時には、書き込みデータの上位 16 ビットを A55Ah としてライトプロテクトを解除してください。

リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0] を 000b 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

アドレス　A000 2050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMF	CMIE	CKS[2:0]			RRC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RRC[2:0]	リフレッシュ回数指定ビット	リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 b2 b0 000：1回 001：2回 010：4回 011：6回 100：8回 101：予約（設定禁止） 110：予約（設定禁止） 111：予約（設定禁止）	R/W
b5-b3	CSK[2:0]	クロックセレクト指定ビット	リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックを選択します。 b5 b3 000：カウントアップ停止 001：CKIO/4 010：CKIO/16 011：CKIO/64 100：CKIO/256 101：CKIO/1024 110：CKIO/2048 111：CKIO/4096	R/W
b6	CMIE	コンペアマッチインタラプトイネーブル指定ビット	RTCSRレジスタのCMFビットが1にセットされたとき、CMFによる割り込み要求を許可するか禁止するかを設定します。 0：CMFによる割り込み要求を禁止 1：CMFによる割り込み要求を許可	R/W
b7	CMF	コンペアマッチフラグ指定ビット	リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致したことを示すステータスフラグです。次の条件でセット／クリアされます。 0：クリア条件：CMF = 1の状態でRTCSRを読み出した後に、CMFに0を書き込んだとき 1：セット条件：RTCNT = RTCORになったとき	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.5　リフレッシュタイマカウンタ（RTCNT）

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを A55Ah としてライトプロテクトを解除してください。

アドレス　A000 2054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0			8ビットのカウンタ	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.6　リフレッシュタイムコンスタントレジスタ（RTCOR）

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR レジスタの CMF ビットが 1 にセットされ、RTCNT レジスタは 0 にクリアされます。

SDCR レジスタの RFSH ビットが 1 にセットされている場合は、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSR レジスタの CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求（BSCCMI）を発生します。割り込み要求は、RTCSR レジスタの CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を、割り込みを用いてカウントすることも可能です。

書き込み時には、書き込みデータの上位 16 ビットを A55Ah としてライトプロテクトを解除してください。

アドレス　A000 2058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0			8ビットのレジスタ	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.7　タイムアウトサイクルコンスタントレジスタ（TOSCORn）（n = 0 ～ 5）

TOSCORn は、CSn 空間ウェイト制御レジスタ（CSnWCR）の WM ビットが 0、かつタイムアウトイネーブルレジスタ（TOENR）の該当ビットが 1 の場合に有効となる、16 ビットのレジスタです。外部ウェイト入力によるウェイト数が TOSCORn レジスタの設定値と一致すると、強制的にウェイト状態を中断（外部ウェイト入力を無効化）してアクセスサイクルを終了し、タイムアウトステータスレジスタ（TOSTR）の該当空間に対するタイムアウトステータスフラグをセットした後、外部 WAIT 端子によるタイムアウト検出エラー要求を発生します。タイムアウト検出エラー要求は、TOENR レジスタの該当ビットを 0、あるいは TOSTR レジスタの該当空間に対するタイムアウトステータスフラグに 0 を書き込むまで保持されます。なお、TOSTR レジスタの該当空間に対するタイムアウトステータスフラグが 1 の状態でもタイムアウト検出機能は有効となり、再びタイムアウトとなった場合、強制的にウェイト状態を中断（外部ウェイト入力を無効化）してアクセスサイクルを終了します。

アドレス　TOSCOR0: A000 2060h、TOSCOR1: A000 2064h、TOSCOR2: A000 2068h、TOSCOR3: A000 206Ch、TOSCOR4: A000 2070h、TOSCOR5: A000 2074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0		16 ビットのレジスタ	外部ウェイト数が、本ビットの設定値と一致した時、タイムアウト割り込みを発生し、強制的にウェイト状態を中断し、アクセスサイクルを終了します。 0000h：65536（外部ウェイト数） 0001h：1 ～ FFFFh：65535	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.8　タイムアウトステータスレジスタ（TOSTR）

TOSTR は、外部ウエイト入力に関するステータスレジスタです。CSn 空間ウェイト制御レジスタ（CSnWCR）の WM ビットが 0、かつタイムアウトイネーブルレジスタ（TOENR）の該当ビットが 1 の場合に、外部ウェイト入力によるウェイト数が TOSCORn レジスタの設定値と一致すると該当空間のタイムアウトステータスフラグがセットされ、タイムアウト検出エラー要求が発生します。タイムアウトステータスフラグは、フラグクリアのための 0 書き込みのみが有効で、1 書き込みは無視されます。

アドレス　A000 2080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CS5TOSTF	CS4TOSTF	CS3TOSTF	CS2TOSTF	CS1TOSTF	CS0TOSTF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0TOSTF	CS0空間タイムアウトステータスフラグ	CS0空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR0）とCS0空間アクセス中に発生した外部ウェイト入力によるウェイト数が一致したことを示すステータスフラグです。 次の条件でセット／クリアされます。 0：クリア条件 CS0TOSTFに0を書き込んだとき 1：セット条件 CS0空間ウェイト制御レジスタ（CS0WCR）のWMビットが0、かつタイムアウトイネーブルレジスタ（TOENR）のCS0TOENビットが1の場合に、外部ウェイト入力によるCS0空間アクセスのウェイト数がTOSCOR0レジスタの設定値と一致したとき	R/W
b1	CS1TOSTF	CS1空間タイムアウトステータスフラグ	CS1空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR1）とCS1空間アクセス中に発生した外部ウェイト入力によるウェイト数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS0TOSTFビットの説明を参照してください。	R/W
b2	CS2TOSTF	CS2空間タイムアウトステータスフラグ	CS2空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR2）とCS2空間アクセス中に発生した外部ウェイト入力によるウェイト数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS0TOSTFビットの説明を参照してください。	R/W
b3	CS3TOSTF	CS3空間タイムアウトステータスフラグ	CS3空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR3）とCS3空間アクセス中に発生した外部ウェイト入力によるウェイト数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS0TOSTFビットの説明を参照してください。	R/W
b4	CS4TOSTF	CS4空間タイムアウトステータスフラグ	CS4空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR4）とCS4空間アクセス中に発生した外部ウェイト入力によるウェイト数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS0TOSTFビットの説明を参照してください。	R/W

ビット	シンボル	ビット名	機能	R/W
b5	CS5TOSTF	CS5空間タイムアウトステータスフラグ	CS5空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR5）とCS5空間アクセス中に発生した外部ウェイト入力によるウェイト数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS0TOSTFビットの説明を参照してください。	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.9　タイムアウトイネーブルレジスタ（TOENR）

TOENRは、タイムアウト検出機能を各空間ごとに有効にするか無効にするかの設定を行います。

アドレス　A000 2084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CS5TOEN	CS4TOEN	CS3TOEN	CS2TOEN	CS1TOEN	CS0TOEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0TOEN	CS0空間タイムアウト検出機能イネーブル	CS0空間のタイムアウト検出機能の許可／禁止を設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可	R/W
b1	CS1TOEN	CS1空間タイムアウト検出機能イネーブル	CS1空間のタイムアウト検出機能の許可／禁止を設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可	R/W
b2	CS2TOEN	CS2空間タイムアウト検出機能イネーブル	CS2空間のタイムアウト検出機能の許可／禁止を設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可	R/W
b3	CS3TOEN	CS3空間タイムアウト検出機能イネーブル	CS3空間のタイムアウト検出機能の許可／禁止を設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可	R/W
b4	CS4TOEN	CS4空間タイムアウト検出機能イネーブル	CS4空間のタイムアウト検出機能の許可／禁止を設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可	R/W
b5	CS5TOEN	CS5空間タイムアウト検出機能イネーブル	CS5空間のタイムアウト検出機能の許可／禁止を設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.3.10　CKIO 制御レジスタ（CKIOSET）

本レジスタは、初期値のまま使用してください。設定する場合は、CKIOSET[3:0] ビットを 0h の設定で使用してください。

CKIOSET の書き込み手順を以下に示します。以下のアクセスを連続で行ってください。

CKIOKEY レジスタに任意のデータを 1byte ライト
CKIOKEY レジスタに任意のデータを 1byte ライト
CKIOSET[3:0] に 0000 0000h をライト

アドレス　A000 2C0Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CKIOSET[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CKIOSET[3:0]		0h（リセット後の値）で使用してください。	R/W
b31-b4	—	予約ビット	書き込む時は常に0 を書き込んでください。	R/W

14.3.11　CKIOSET のプロテクトレジスタ（CKIOKEY）

CKIOKEY は、CKIOSET レジスタのプロテクトレジスタです。CKIOSET へのアクセス方法は、「14.3.10 CKIO 制御レジスタ（CKIOSET）」を参照してください。

アドレス　A000 2CFCh

	b7	b6	b5	b4	b3	b2	b1	b0
	CKIOKEY[7:0]							
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CKIOKEY[7:0]		CKIOSET のプロテクトレジスタ	W

14.4　動作説明

14.4.1　アクセスサイズとデータアライメント

本 LSI では、バイトデータの下位バイト（LSB）が 0 番地側になるリトルエンディアンをサポートしています。

また、データバス幅は、通常メモリ、バイト選択付き SRAM は 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。MPX-I/O では、8 ビットまたは 16 ビット幅固定、もしくはアクセスするアドレスにより 8 ビットまたは 16 ビット可変となります。

なお、データバス幅はブートモードにより異なります。詳細は**「14.2.2　ブートモード、各エリアのデータバス幅、関連端子設定」**を参照してください。

データのアライメントは、各デバイスのデータバス幅に合わせて行われます。したがって、8 ビット幅のデバイスから 32 ビットデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を**表 14.5 ～表 14.7** に示します。

表 14.5　リトルエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストローブ信号			
	D31～D24	D23～D16	D15～D8	D7～D0	WE3#、DQMUU	WE2#、DQMUL	WE1#、DQMLU	WE0#、DQMLL
0番地8ビットアクセス	―	―	―	データ 7～0	―	―	―	アクティブ
1番地8ビットアクセス	―	―	データ 7～0	―	―	―	アクティブ	―
2番地8ビットアクセス	―	データ 7～0	―	―	―	アクティブ	―	―
3番地8ビットアクセス	データ 7～0	―	―	―	アクティブ	―	―	―
0番地16ビットアクセス	―	―	データ 15～8	データ 7～0	―	―	アクティブ	アクティブ
2番地16ビットアクセス	データ 15～8	データ 7～0	―	―	アクティブ	アクティブ	―	―
0番地32ビットアクセス	データ 31～24	データ 23～16	データ 15～8	データ 7～0	アクティブ	アクティブ	アクティブ	アクティブ

表14.6　　リトルエンディアンの16ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31～D24	D23～D16	D15～D8	D7～D0	WE3#、DQMUU	WE2#、DQMUL	WE1#、DQMLU	WE0#、DQMLL
0番地8ビットアクセス		—	—	—	データ 7～0	—	—	—	アクティブ
1番地8ビットアクセス		—	—	データ 7～0	—	—	—	アクティブ	—
2番地8ビットアクセス		—	—	—	データ 7～0	—	—	—	アクティブ
3番地8ビットアクセス		—	—	データ 7～0	—	—	—	アクティブ	—
0番地16ビットアクセス		—	—	データ 15～8	データ 7～0	—	—	アクティブ	アクティブ
2番地16ビットアクセス		—	—	データ 15～8	データ 7～0	—	—	アクティブ	アクティブ
0番地32ビットアクセス	1回目（0番地）	—	—	データ 15～8	データ 7～0	—	—	アクティブ	アクティブ
	2回目（2番地）	—	—	データ 31～24	データ 23～16	—	—	アクティブ	アクティブ

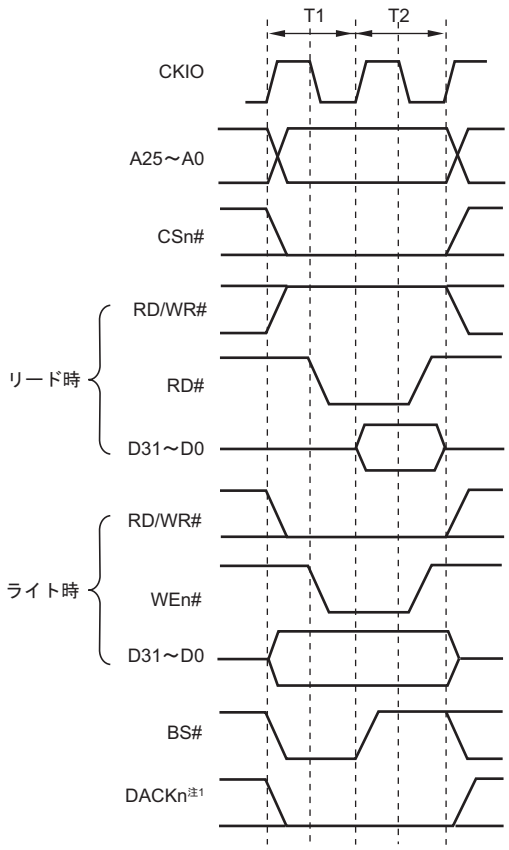
表14.7　　リトルエンディアンの8ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31～D24	D23～D16	D15～D8	D7～D0	WE3#、DQMUU	WE2#、DQMUL	WE1#、DQMLU	WE0#、DQMLL
0番地8ビットアクセス		—	—	—	データ 7～0	—	—	—	アクティブ
1番地8ビットアクセス		—	—	—	データ 7～0	—	—	—	アクティブ
2番地8ビットアクセス		—	—	—	データ 7～0	—	—	—	アクティブ
3番地8ビットアクセス		—	—	—	データ 7～0	—	—	—	アクティブ
0番地16ビットアクセス	1回目（0番地）	—	—	—	データ 7～0	—	—	—	アクティブ
	2回目（1番地）	—	—	—	データ 15～8	—	—	—	アクティブ
2番地16ビットアクセス	1回目（0番地）	—	—	—	データ 7～0	—	—	—	アクティブ
	2回目（1番地）	—	—	—	データ 15～8	—	—	—	アクティブ
0番地32ビットアクセス	1回目（0番地）	—	—	—	データ 7～0	—	—	—	アクティブ
	2回目（1番地）	—	—	—	データ 15～8	—	—	—	アクティブ
	3回目（2番地）	—	—	—	データ 23～16	—	—	—	アクティブ
	4回目（3番地）	—	—	—	データ 31～24	—	—	—	アクティブ

14.4.2　SRAM インタフェース

(1)　基本タイミング

SRAM インタフェースアクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストローブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、**「14.4.8　バイト選択付き SRAM インタフェース」**を参照してください。**図 14.2** に SRAM インタフェースアクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。BS# 信号はバスサイクルの開始を表し、1 ステート間アクティブになります。



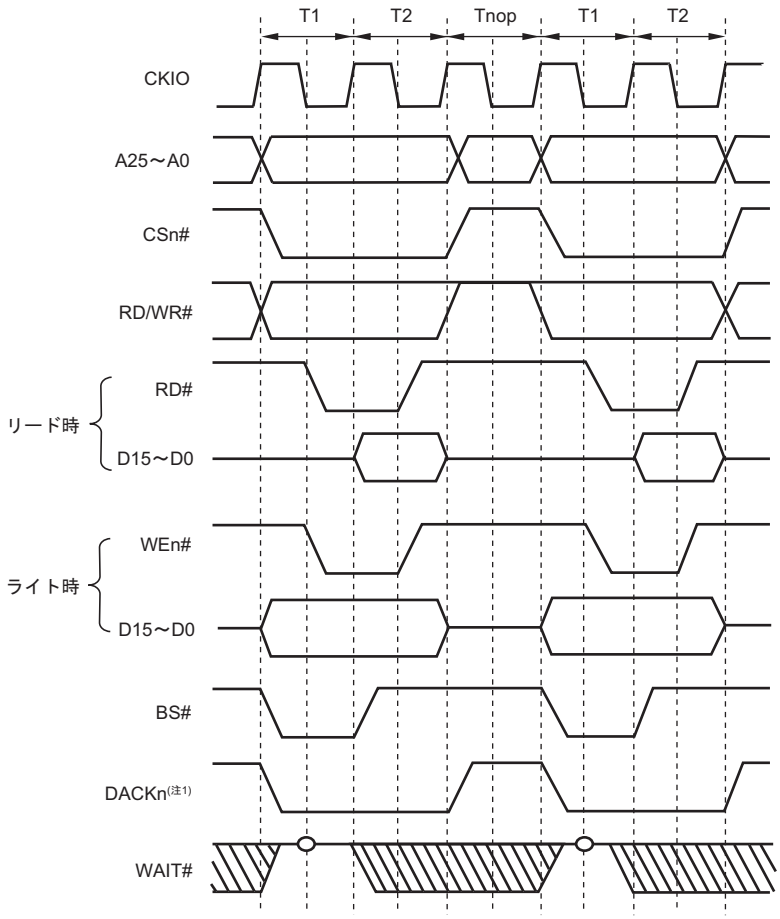
注 1.　DACKn はアクティブロウを指定したときの波形

図 14.2　SRAM インタフェース基本アクセス（アクセスウェイト 0）

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないため、32 ビットデバイスでは 32 ビットを、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの WEn# 信号のみがアクティブになります。

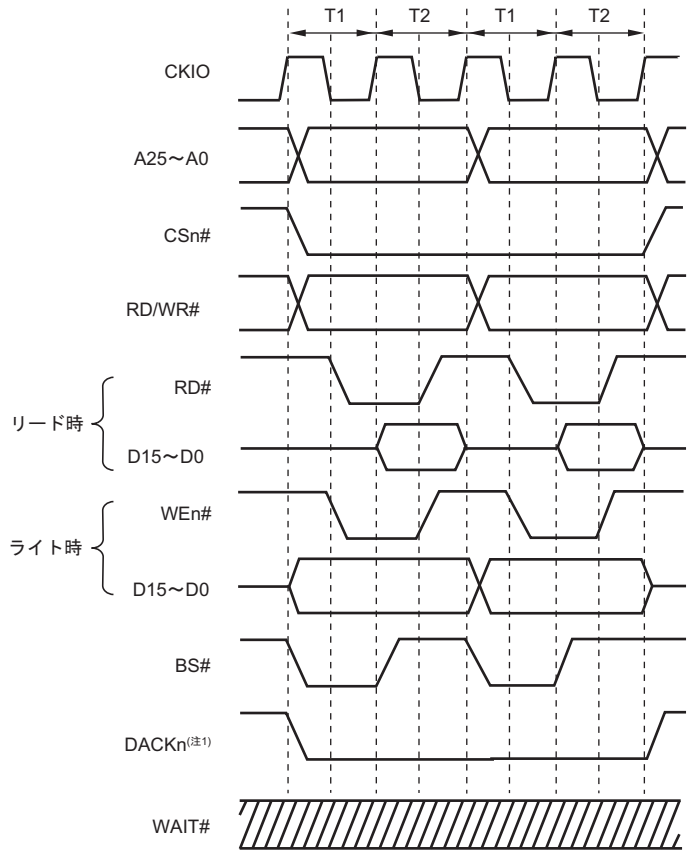
データバスにバッファを設ける場合には、RD# 信号を用いてリードデータの出力制御を行う必要があります。RD/WR# 信号は、アクセスを行っていないときはリード状態（ハイレベル出力）となっているため、これを用いて外付けデータバッファの制御を行うと、信号出力が衝突する危険性があるので注意が必要です。

図 14.3、**図 14.4** に SRAM インタフェースの連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトをサンプリングするために 1 ステート Tnop が挿入されます（**図 14.3**）。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトは無視され Tnop ステートの挿入を抑止することができます（**図 14.4**）。



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.3　SRAM インタフェース連続アクセス例 1
バス幅 16 ビット、32 ビットアクセス、CSnWCR.WM ビット = 0
（アクセスウェイト 0、サイクル間ウェイト 0）



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.4　SRAM インタフェースの連続アクセス例 2
バス幅 16 ビット、32 ビットアクセス、CSnWCR.WM ビット = 1
（アクセスウェイト 0、サイクル間ウェイト 0）

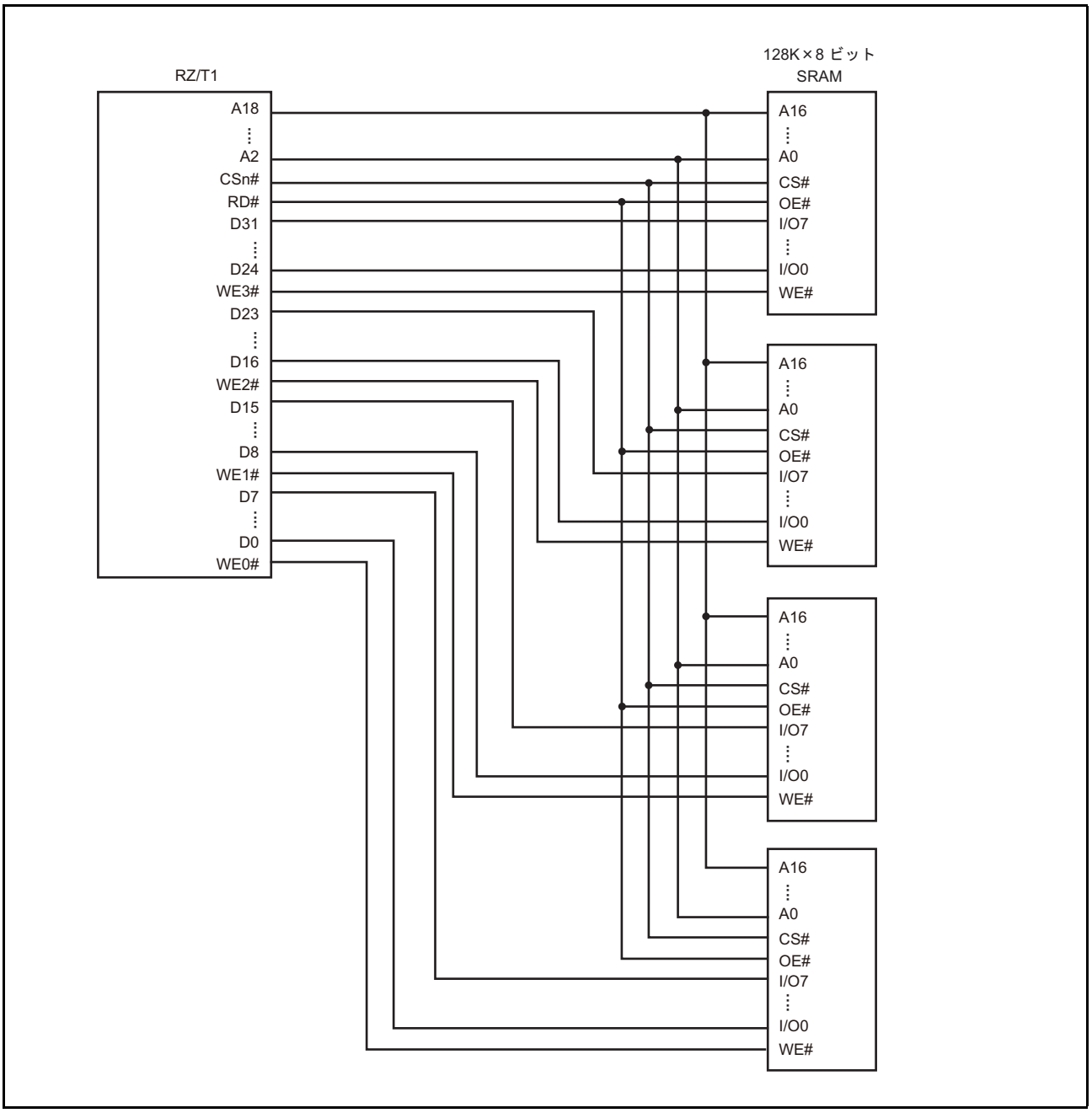


図 14.5 32 ビットデータ幅 SRAM 接続例

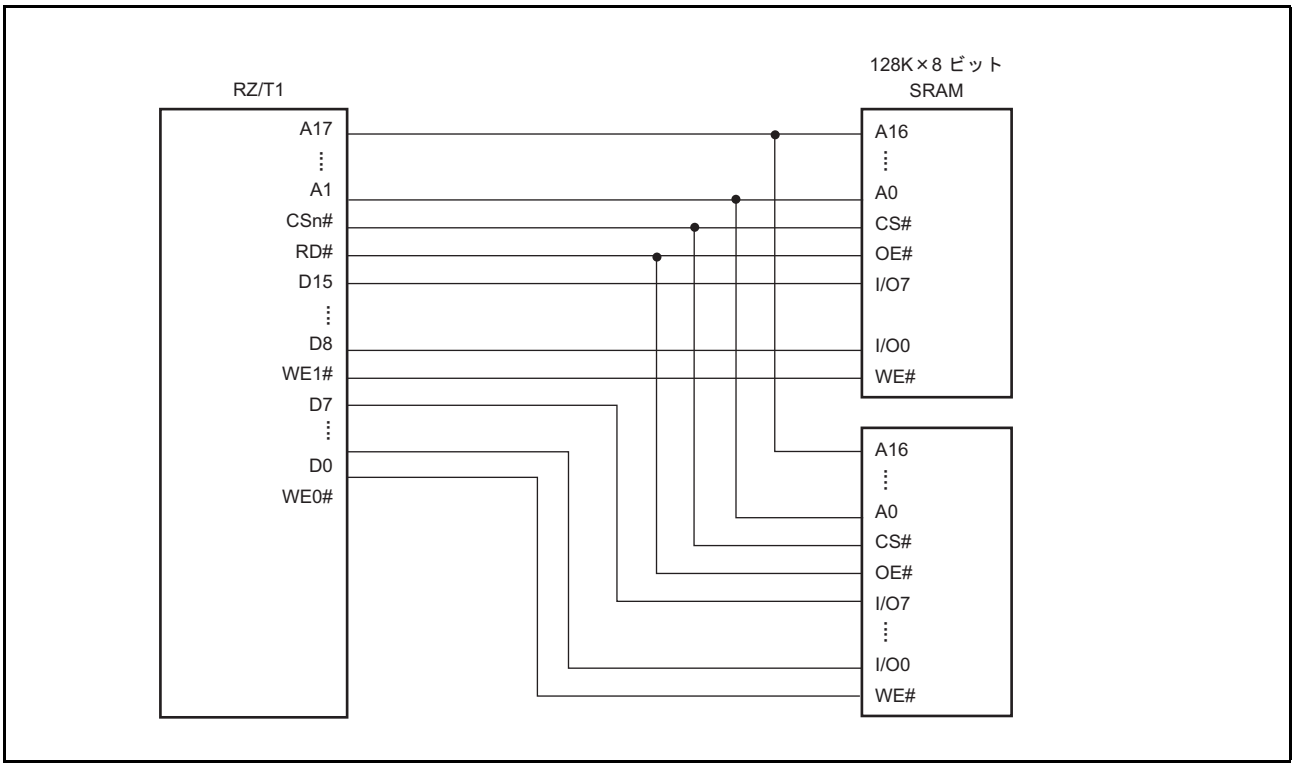


図 14.6 16 ビットデータ幅 SRAM 接続例

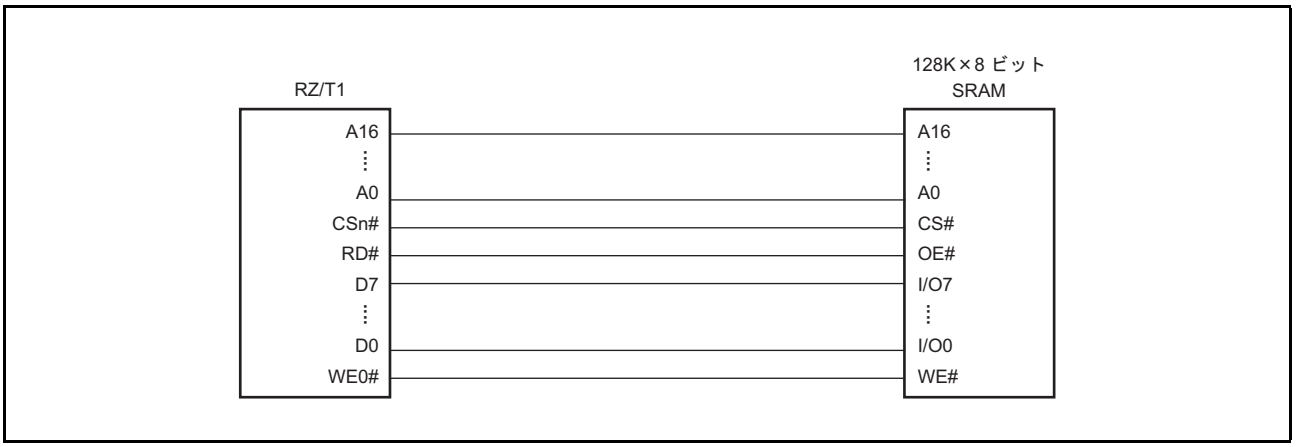
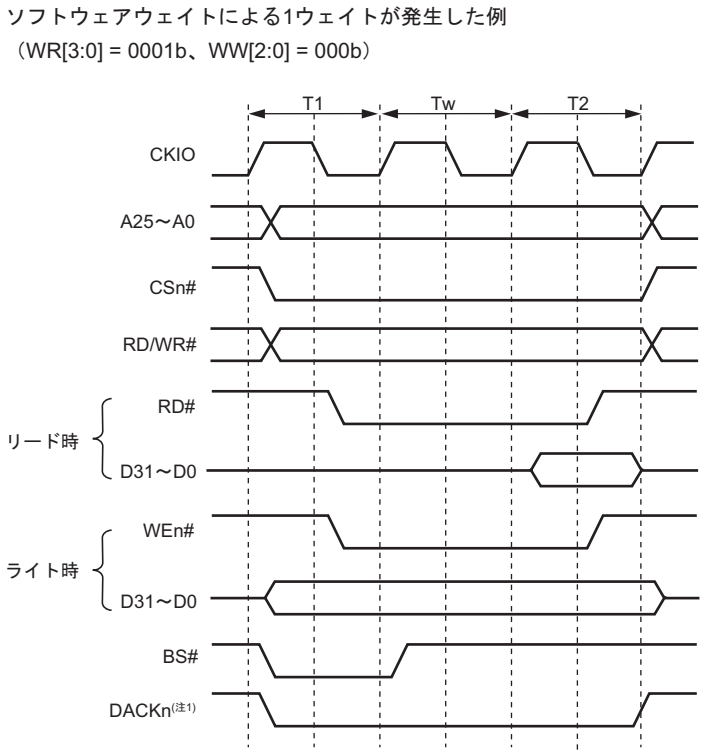


図 14.7 8 ビットデータ幅 SRAM 接続例

14.4.3　アクセスウェイト制御

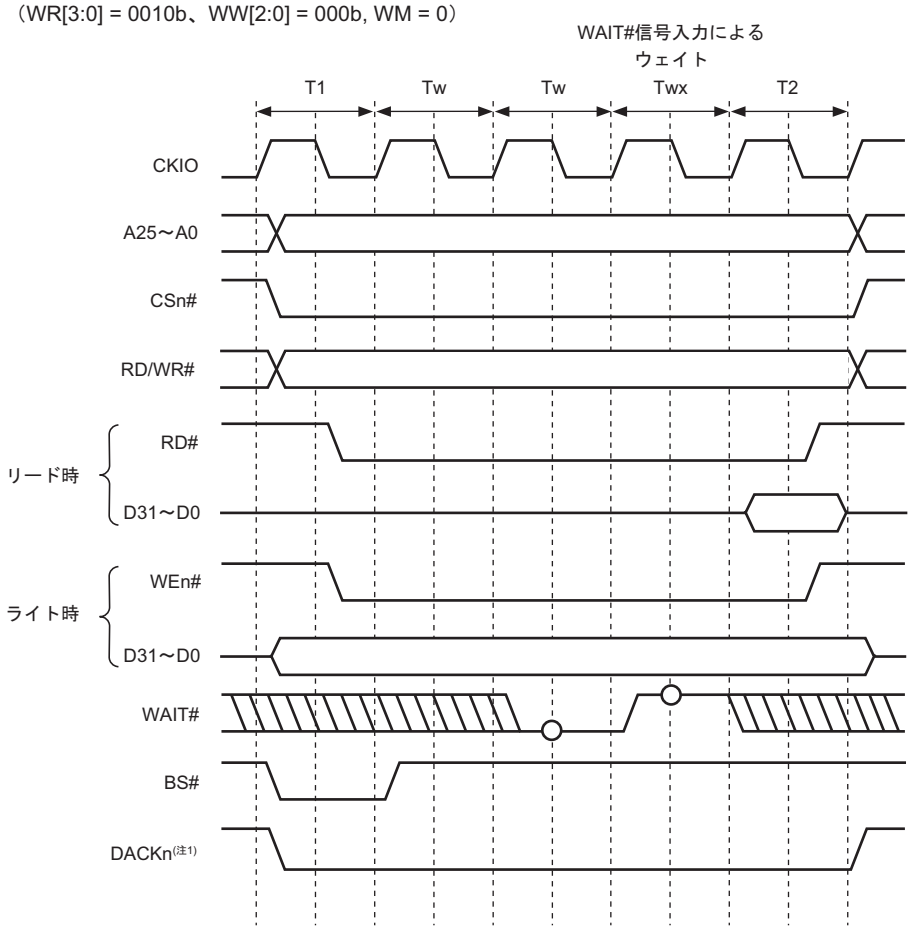
CSnWCR レジスタの WR[3:0] ビットの設定により、SRAM インタフェースアクセスのウェイト挿入を制御できます。エリア 1、4 およびエリア 5 では、リードアクセスとライトアクセスで独立にウェイトを挿入することが可能です。エリア 0、2 およびエリア 3 のアクセスウェイトは、リードおよびライトサイクルで共通となります。**図 14.8** に示す SRAM インタフェースのアクセスでは、Tw ステートがウェイトとして指定数分挿入されます。



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.8　SRAM インタフェースアクセスのウェイトタイミング（ソフトウェアウェイトのみ）

CSnWCR レジスタの WM ビットを 0 にしたときには、外部ウェイト入力 WAIT# 信号もサンプリングされます。WAIT# 信号のサンプリングを図 14.9 に示します。ソフトウェアウェイトとして 2 ウェイトを指定しています。WAIT# 信号は、T1 または Tw ステートから T2 ステートに移行する際、CKIO 信号の立ち下がりでサンプリングされます。

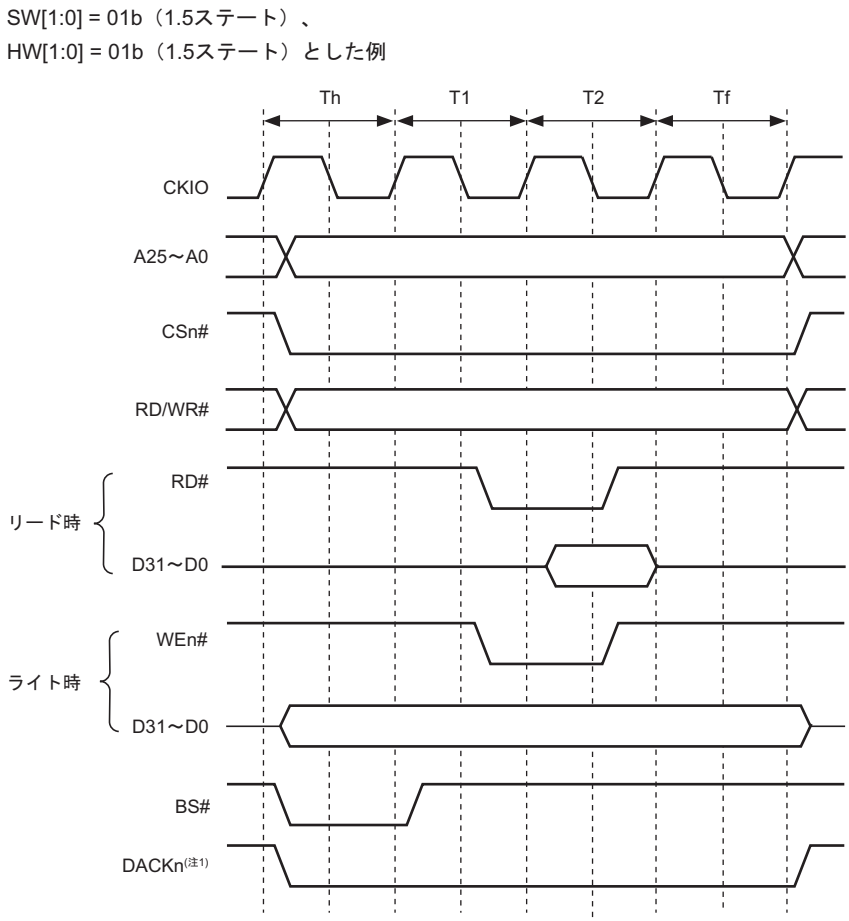


注 1.　DACKn はアクティブロウを指定したときの波形

図 14.9　SRAM インタフェースアクセスのウェイトタイミング（WAIT 信号によるウェイト挿入）

14.4.4　CSn# アサート期間拡張

CSnWCR レジスタの SW[1:0] ビットの設定により、CSn# 信号のアクティブから RD# と WE#n 信号のアクティブまでのステート数を指定できます。また、HW[1:0] ビットの設定により、RD# 信号と WEn# 信号のインアクティブから CSn# 信号のインアクティブまでのステート数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 14.10 に示します。Th および Tf ステートが通常サイクルの前と後ろにそれぞれ付加されています。これらのステートでは、RD# 信号と WEn# 信号以外はアクティブになりますが、RD# 信号と WEn# 信号はアクティブになりません。また、データは Tf ステートまで延長して出力されるため、書き込み動作の遅いデバイスなどに有効です。



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.10　CSn 信号のアクティブ期間拡張

注 .　CS2、CS3 空間はアサート期間を拡張できません。

14.4.5　MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、CS5#、AH#、RD#、および WEn# 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレスが 2 ステート出力された後に、続けて SRAM インタフェースのアクセスが行われます。アドレス出力およびデータ入出力のバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビット可変となります。

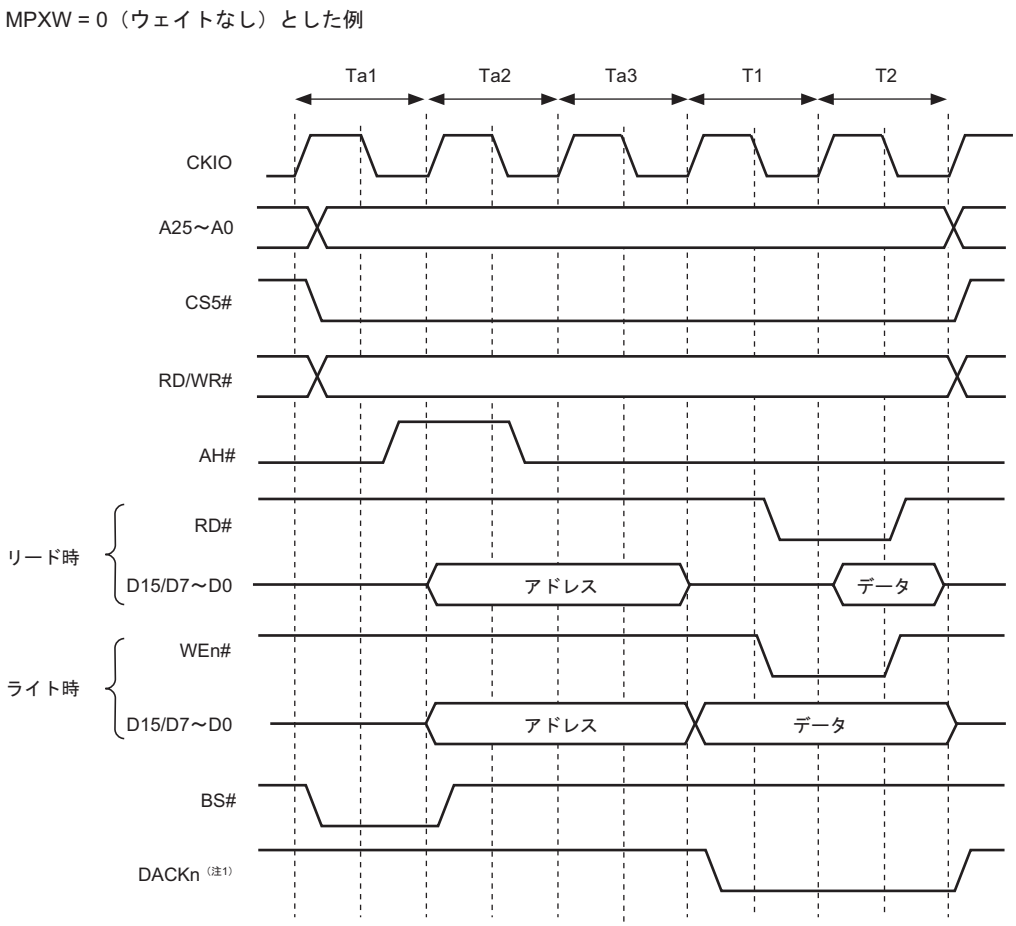
D15 ～ D0 または D7 ～ D0 からのアドレスの出力は Ta2 ステートから Ta3 ステートまで行われ、Ta1 ステートはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR レジスタの MPXW ビットを 1 に設定することにより、アドレス出力は 3 ステートとなります。

RD/WR# 信号は CS5# 信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではロウレベルが出力されます。

データサイクルは、SRAM インタフェースアクセスと同一のサイクルとなります。

CSnWCR レジスタの SW[1:0] の遅延サイクルは、Ta3 と T1 ステートの間に挿入されます。HW[1:0] の遅延サイクルは、T2 ステートの後に付加されます。

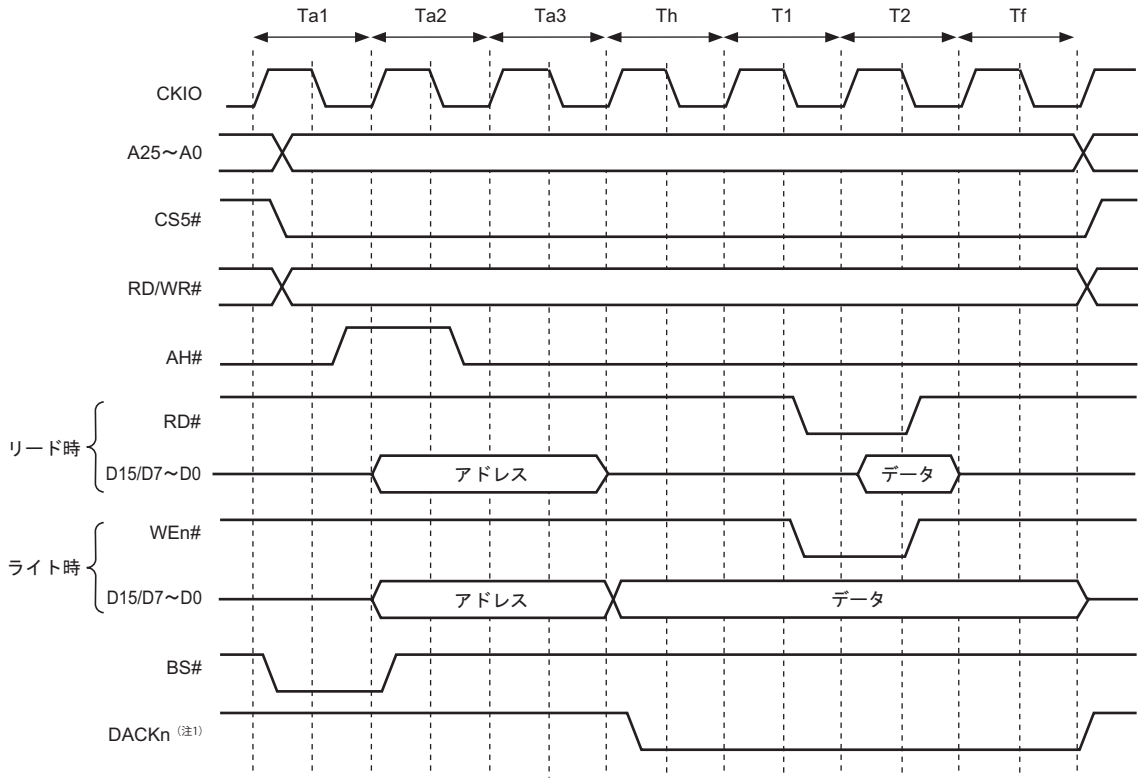
タイミングチャートを**図 14.11 ～図 14.14** に示します。



注 1.　DACKn はアクティブロウを指定したときの波形

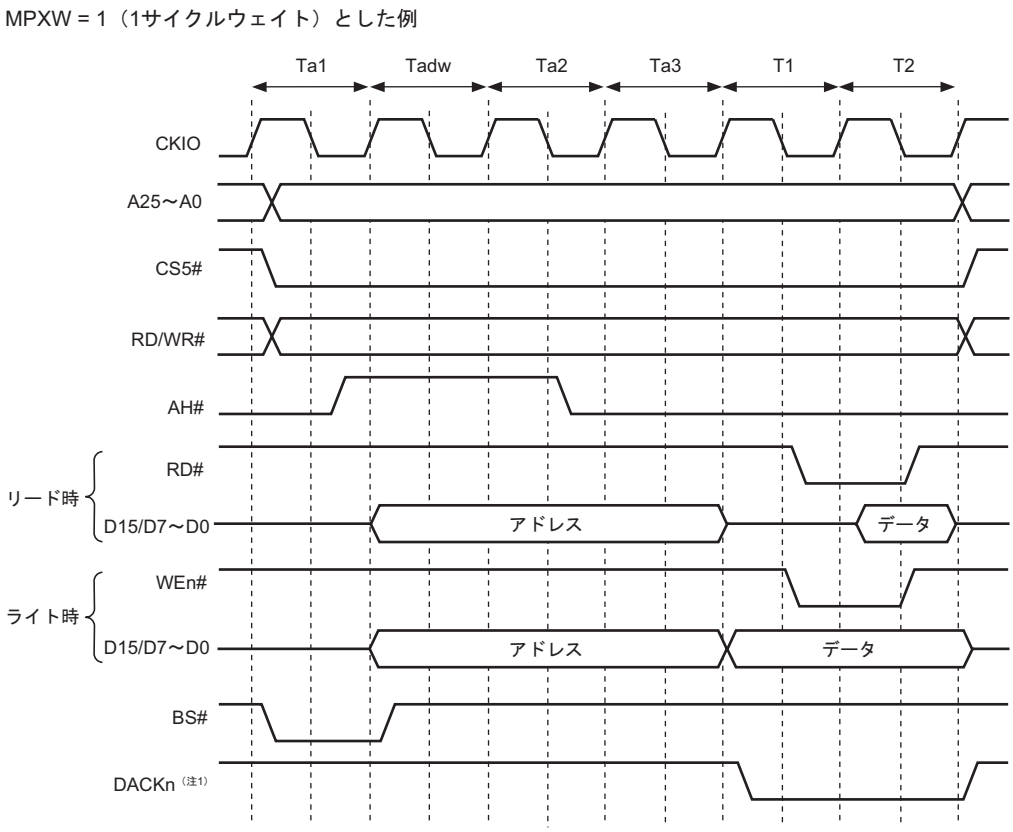
図 14.11　MPX 空間アクセスタイミング（1）
（アドレスサイクルノーウェイト、データサイクルノーウェイト）

MPXW = 0（ウェイトなし）、
SW[1:0] = 01b（1.5ステート）、
HW[1:0] = 01b（1.5ステート）とした例



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.12　MPX 空間アクセスタイミング（2）
（アドレスサイクルノーウェイト、アサート遅延ステート 1.5、データサイクルノーウェイト、遅延ステート 1.5）



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.13　MPX 空間アクセスタイミング（3）
（アドレスサイクルウェイト 1、データサイクルノーウェイト）

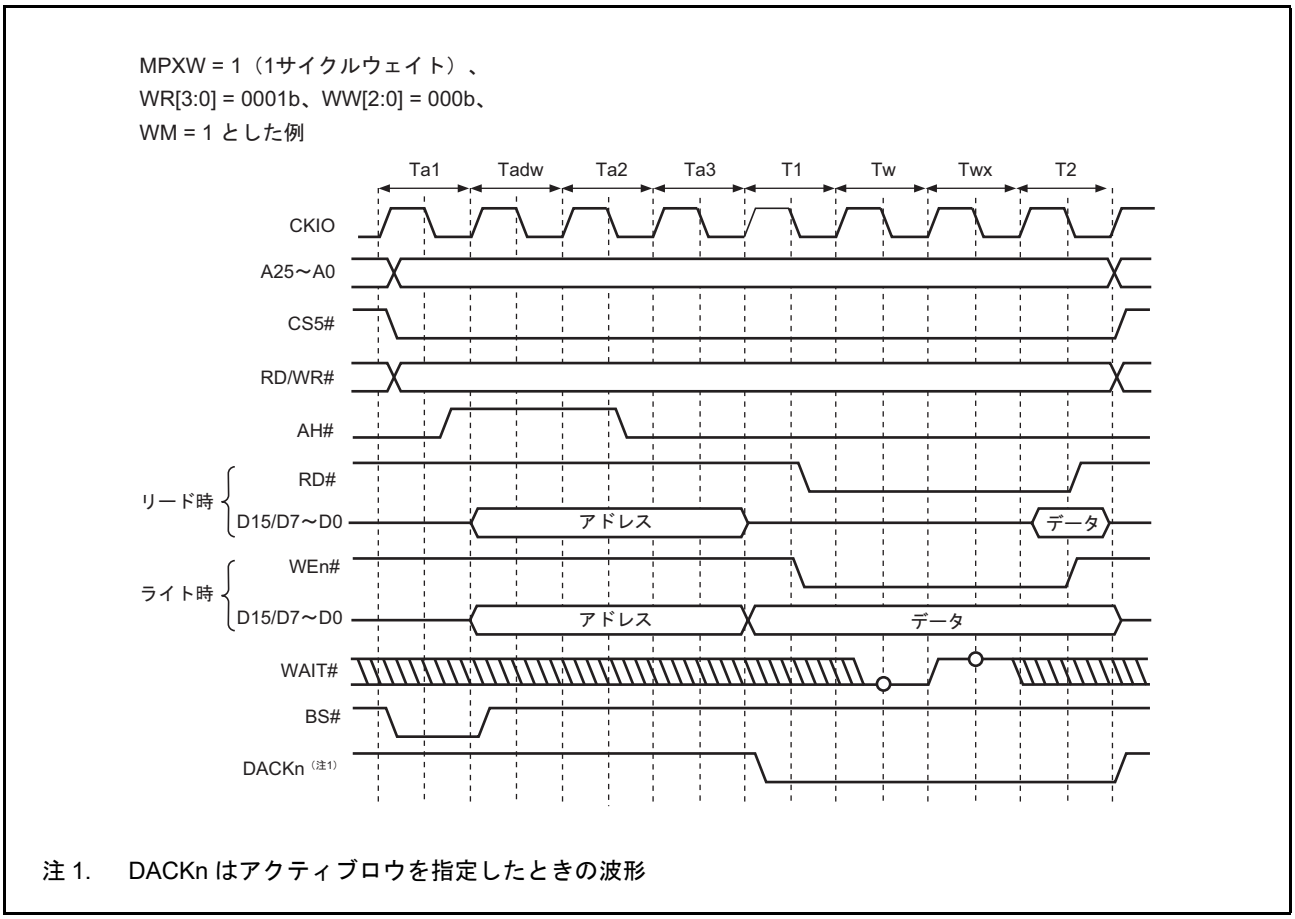


図 14.14　MPX 空間アクセスタイミング（4）
（アドレスサイクルアクセスウェイト 1、データサイクルウェイト 1、外部ウェイト 1）

14.4.6　SDRAM インタフェース

(1)　SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 ／ 12 ／ 13 ビット、カラムアドレスが 8 ／ 9 ／ 10 ビット、バンク数が 4 以下、リードーライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、RAS#、CAS#、RD/WR#、DQMUU、DQMUL、DQMLU、DQMLL、CKE、および CS2# と CS3# です。これらの信号（CS2# と CS3# を除く）は各空間に共通であり、CKE 以外の信号は CS2# または CS3# がアクティブになっているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

RAS#、CAS#、RD/WR#、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ（REF）、セルフリフレッシュ（SELF）、全バンクプリチャージ（PALL）、指定バンクプリチャージ（PRE）、バンクアクティブ（ACTV）、リード（READ）、プリチャージ付きリード（READA）、ライト（WRIT）、プリチャージ付きライト（WRITA）、モードレジスタ書き込み（MRS、EMRS）などをサポートしています。

アクセスするバイトの指定は、DQMUU、DQMUL、DQMLU および DQMLL 信号によって行われます。該当する DQMxx がロウレベルのバイトに対してリード／ライトが行われます。DQMxx とアクセスするバイトの関係は、「14.4.1　アクセスサイズとデータアライメント」を参照してください（x = UU, UL, LU, LL）。

図 14.15、図 14.16 に本 LSI と SDRAM との接続例を示します。

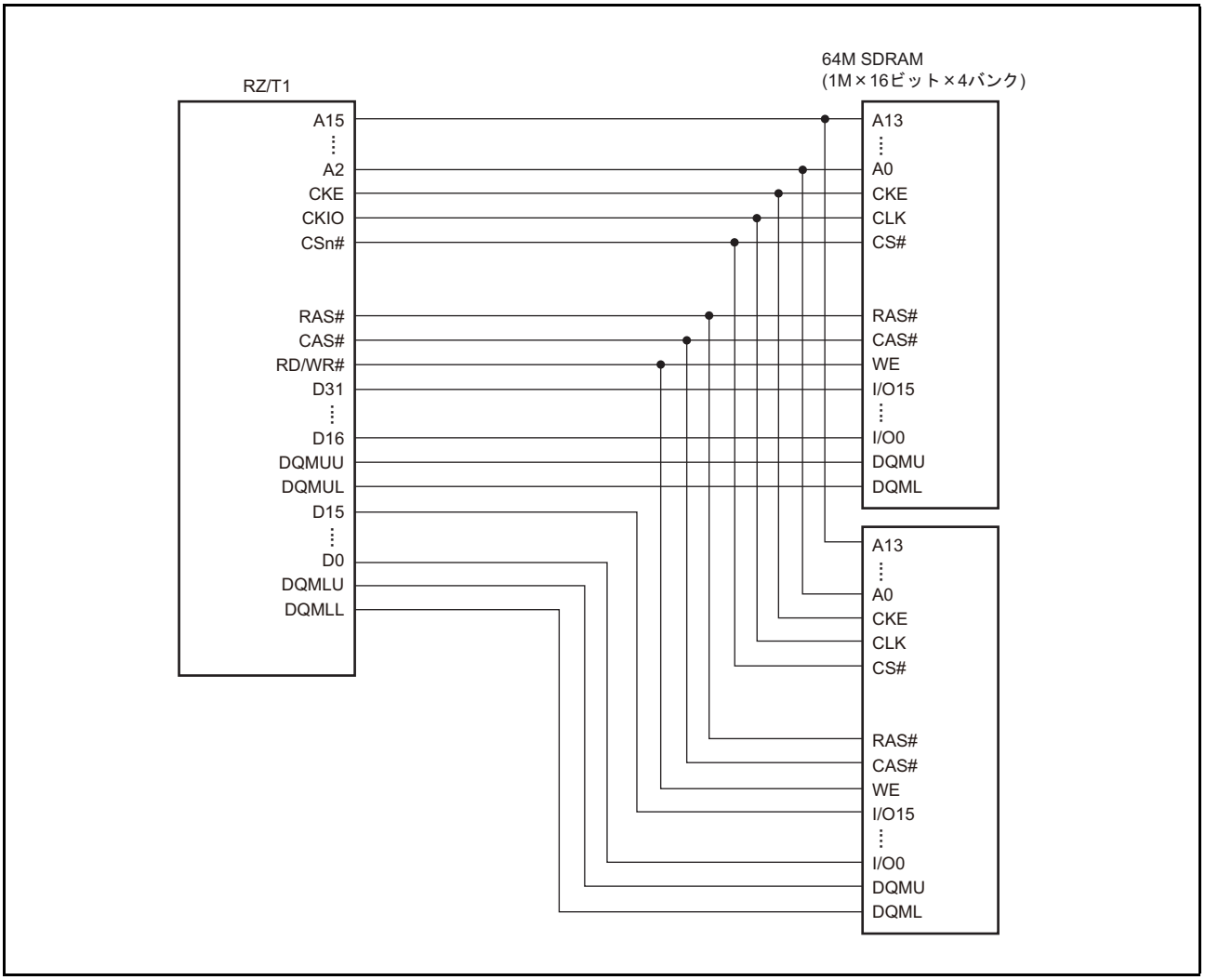


図 14.15　32 ビットデータ幅 SDRAM 接続例

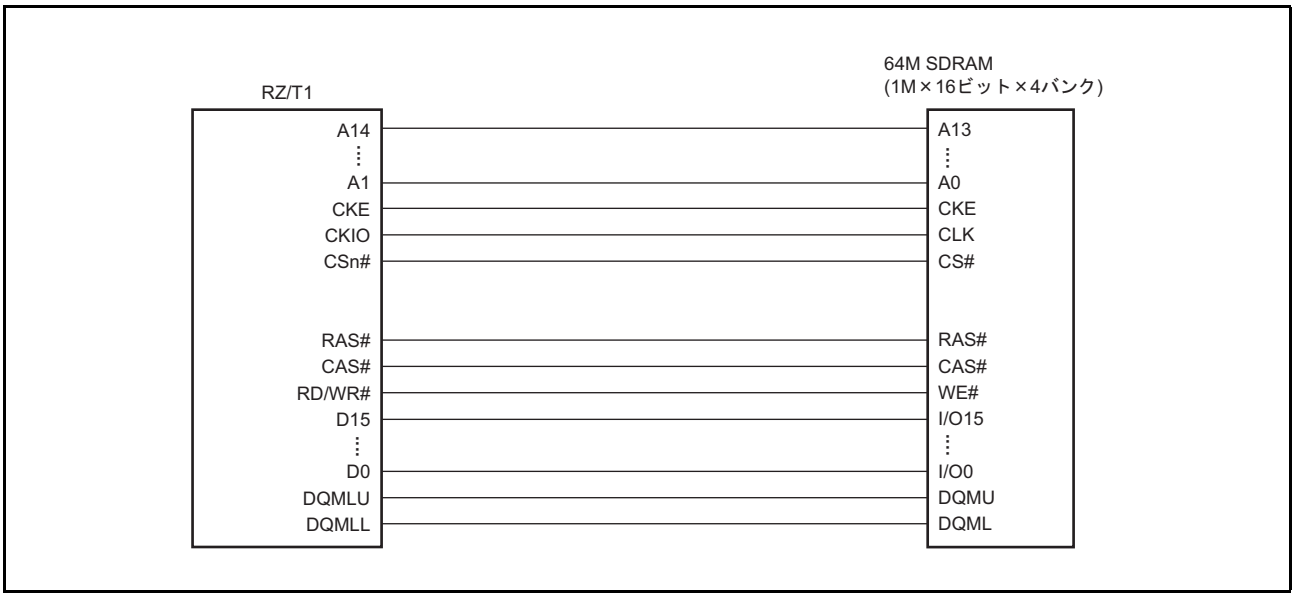


図 14.16　16 ビットデータ幅 SDRAM 接続例

(2)　アドレスマルチプレクス

CSnBCR レジスタの BSZ[1:0] ビット、SDCR レジスタの A2ROW[1:0] ビット、A2COL[1:0] ビット、A3ROW[1:0] ビット、および A3COL[1:0] ビットの設定にしたがって、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。**表 14.8 ～表 14.13** に BSZ[1:0]、A2ROW[1:0] ビット、A2COL[1:0] ビット、A3ROW[1:0] ビット、および A3COL[1:0] ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ～ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットのとき（BSZ[1:0] = 10b）、SDRAM の A0 端子は 16 ビットアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットのとき（BSZ[1:0] = 11b）、SDRAM の A0 端子は 32 ビットアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 14.8　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係（1）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 （32 ビット）	00 （11 ビット）	00 （8 ビット）		
RZ/T1 の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22（注 2）	A22（注 2）	A12 （BA1）	バンク指定
A13	A21（注 2）	A21（注 2）	A11 （BA0）	
A12	A20	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
64M ビット品（512K ワード × 32 ビット × 4 バンク、カラム 8 ビット品）1 個 16M ビット品（512K ワード × 16 ビット × 2 バンク、カラム 8 ビット品）2 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 （32 ビット）	01 （12 ビット）	00 （8 ビット）		
RZ/T1 の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23（注 2）	A23（注 2）	A13 （BA1）	バンク指定
A14	A22（注 2）	A22（注 2）	A12 （BA0）	
A13	A21	A13	A11	アドレス
A12	A20	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
128M ビット品（1M ワード × 32 ビット × 4 バンク、カラム 8 ビット品）1 個 64M ビット品（1M ワード × 16 ビット × 4 バンク、カラム 8 ビット品）2 個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってロウまたはハイに固定されます。
注2.　バンクアドレス指定

表14.9　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（2）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 （32ビット）	01 （12ビット）	01 （9ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24（注2）	A24（注2）	A13 （BA1）	バンク指定
A14	A23（注2）	A23（注2）	A12 （BA0）	
A13	A22	A13	A11	アドレス
A12	A21	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
256Mビット品（2Mワード×32ビット×4バンク、カラム9ビット品）1個 128Mビット品（2Mワード×16ビット×4バンク、カラム9ビット品）2個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 （32ビット）	01 （12ビット）	10 （10ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25（注2）	A25（注2）	A13 （BA1）	バンク指定
A14	A24（注2）	A24（注2）	A12 （BA0）	
A13	A23	A13	A11	アドレス
A12	A22	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		未使用
A0	A10	A0		
接続メモリ例				
512Mビット品（4Mワード×32ビット×4バンク、カラム10ビット品）1個 256Mビット品（4Mワード×16ビット×4バンク、カラム10ビット品）2個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってロウまたはハイに固定されます。
注2.　バンクアドレス指定

表14.10　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（3）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 （32ビット）	10 （13ビット）	01 （9ビット）		
RZ/T1の出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAMの端子	機能
A17	A26	A17		未使用
A16	A25（注2）	A25（注2）	A14（BA1）	バンク指定
A15	A24（注2）	A24（注2）	A13（BA0）	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
512M ビット品（4M ワード × 32 ビット × 4 バンク、カラム 9 ビット品）1 個 256M ビット品（4M ワード × 16 ビット × 4 バンク、カラム 9 ビット品）2 個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってロウまたはハイに固定されます。
注2.　バンクアドレス指定

表14.11　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（4）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10（16ビット）	00（11ビット）	00（8ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21	A21		
A12	A20（注2）	A20（注2）	A11（BA0）	バンク指定
A11	A19	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
16M ビット品（512K ワード × 16 ビット × 2 バンク、カラム 8 ビット品）1 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10（16ビット）	01（12ビット）	00（8ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22（注2）	A22（注2）	A13（BA1）	バンク指定
A13	A21（注2）	A21（注2）	A12（BA0）	
A12	A20	A12	A11	アドレス
A11	A19	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
64M ビット品（1M ワード × 16 ビット × 4 バンク、カラム 8 ビット品）1 個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってロウまたはハイに固定されます。
注2.　バンクアドレス指定

表14.12　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（5）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10（16ビット）	01（12ビット）	01（9ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23（注2）	A23（注2）	A13（BA1）	バンク指定
A13	A22（注2）	A22（注2）	A12（BA0）	
A12	A21	A12	A11	アドレス
A11	A20	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128Mビット品（2Mワード×16ビット×4バンク、カラム9ビット品）1個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10（16ビット）	01（12ビット）	10（10ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24（注2）	A24（注2）	A13（BA1）	バンク指定
A13	A23（注2）	A23（注2）	A12（BA0）	
A12	A22	A12	A11	アドレス
A11	A21	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256Mビット品（4Mワード×16ビット×4バンク、カラム10ビット品）1個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってロウまたはハイに固定されます。
注2.　バンクアドレス指定

表14.13　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（6）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10（16ビット）	10（13ビット）	01（9ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24（注2）	A24（注2）	A14（BA1）	バンク指定
A14	A23（注2）	A23（注2）	A13（BA0）	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256Mビット品（4Mワード×16ビット×4バンク、カラム9ビット品）1個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10（16ビット）	10（13ビット）	10（10ビット）		
RZ/T1の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25（注2）	A25（注2）	A14（BA1）	バンク指定
A14	A24（注2）	A24（注2）	A13（BA0）	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512Mビット品（8Mワード×16ビット×4バンク、カラム10ビット品）1個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってロウまたはハイに固定されます。
注2.　バンクアドレス指定

(3)　バーストリード

本 LSI でバーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. 16 バイト転送、32 バイト転送、64 バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストリードと呼びます。**表 14.14** にアクセスサイズとバースト数の関係を示します。

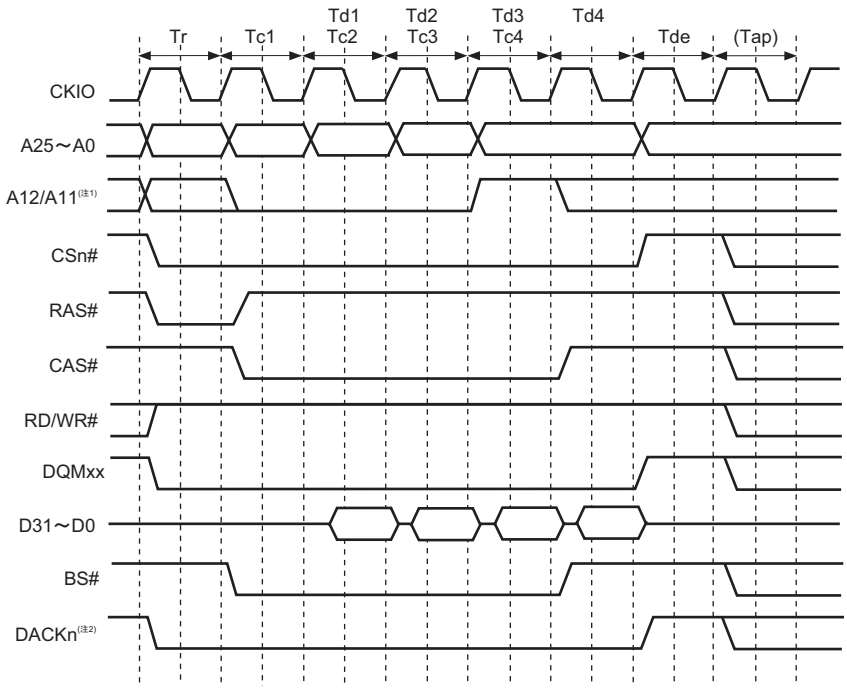
表 14.14　　アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
	32 バイト	16
	64 バイト	32
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4
	32 バイト	8
	64 バイト	16

バーストリード時のタイミングチャートを**図 14.17** と**図 14.18** に示します。バーストリードでは ACTV コマンド出力を行う Tr ステートに続いて、READ コマンドを Tc1、Tc2、Tc3 ステートに、READA コマンドを Tc4 ステートに発行し、Td1 から Td4 ステートの外部クロック（CKIO）の立ち上がりでリードデータを受け取ります。Tap ステートは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つステートであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR レジスタの WTRP[1:0] ビットの指定によって Tap のステート数を決定します。

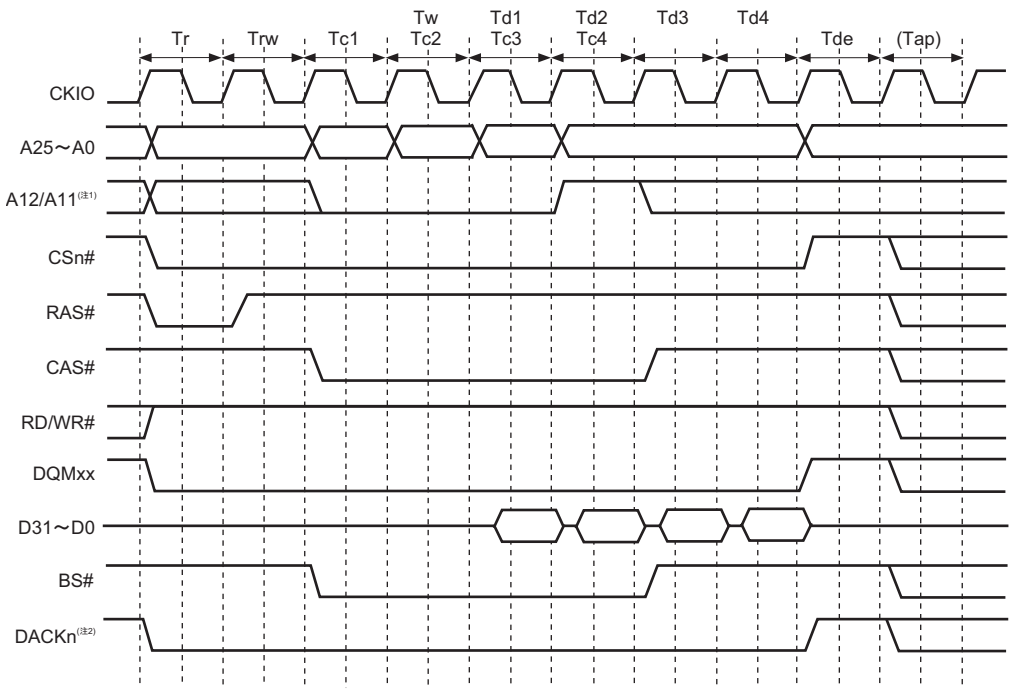
本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR レジスタの各ビットを設定することによりウェイトを挿入することができます。各種ウェイトの設定を行った例が**図 14.18** となります。ACTV コマンド出力（Tr）から READ コマンド出力（Tc1）までのステート数は、CS3WCR レジスタの WTRCD[1:0] ビットによって指定することができます。WTRCD[1:0] の設定が 1 ウェイト以上の場合は、Tr ステートと Tc1 ステートの間に NOP コマンド発行ステート（Trw）が挿入されます。READ コマンド出力（Tc1）からリードデータ取り込み（Td1）までのステート数は、CS2WCR レジスタの A2CL[1:0] ビットおよび CS3WCR レジスタの A3CL[1:0] ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このステート数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様はレイテンシ 3 までですが、本 LSI では、レイテンシ 1 から 4 まで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

Tde ステートは、本 LSI 内部にリードデータを転送するために必要なアイドルステートで、バーストリード、シングルリード時に必ず 1 ステート挿入されます。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.17　バーストリード基本タイミング（CAS レイテンシ 1、オートプリチャージ）



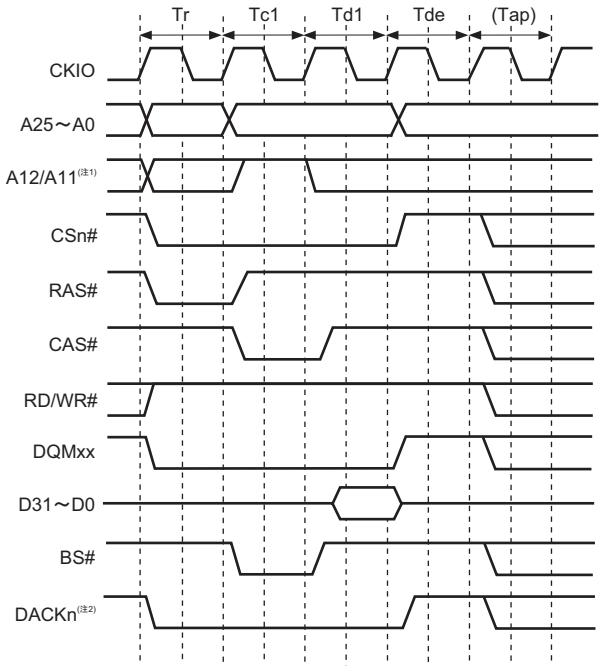
注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.18　バーストリードウェイト指定タイミング
（CAS レイテンシ 2、WTRCD[1:0] = 1 サイクル、オートプリチャージ）

(4)　シングルリード

データバス幅がアクセスサイズ以上のとき、リードアクセスは 1 回で終了します。このように 1 回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図 14.19 に示します。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波

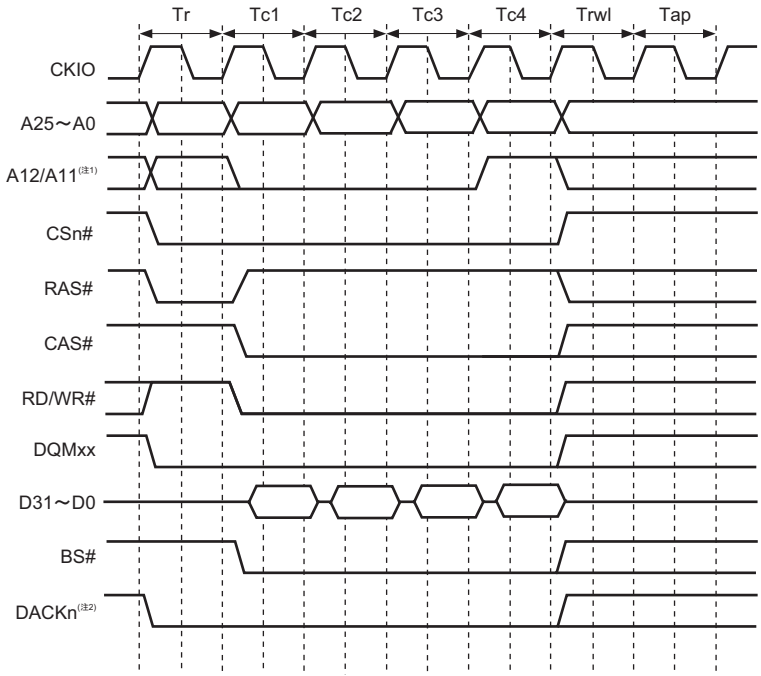
図 14.19　シングルリードの基本タイミング（CAS レイテンシ 1、オートプリチャージ）

(5)　バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. 16 バイト転送、32 バイト転送、64 バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストライトと呼びます。アクセスサイズとバースト数の関係は、**表 14.14** にしたがいます。**図 14.20** にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う Tr ステートに続いて WRIT コマンドを Tc1、Tc2、Tc3 ステートに、オートプリチャージを行う WRITA コマンドを Tc4 ステートに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 ステート、そしてオートプリチャージの完了を待つ Tap ステートが続きます。Tap ステートは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つステートです。Trwl ステートおよび Tap ステートの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 ステートは CS3WCR レジスタの TRWL[1:0] ビット、Tap ステートは CS3WCR レジスタの WTRP[1:0] ビットで指定します。

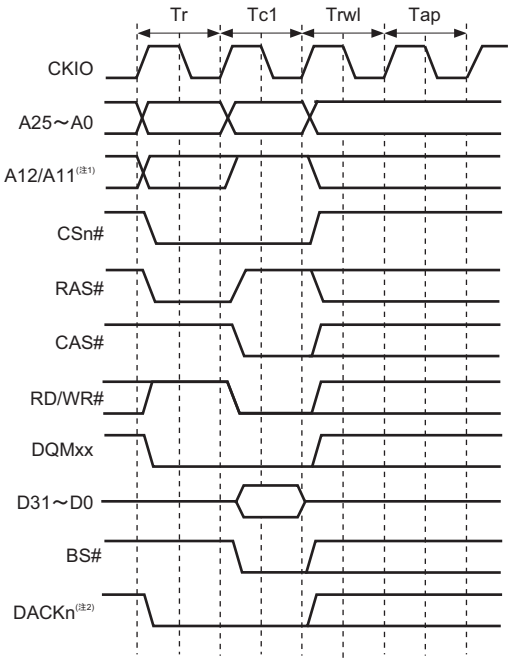


注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.20　バーストライト基本タイミング（オートプリチャージ）

(6)　シングルライト

データバス幅がアクセスサイズ以上のとき、ライトアクセスは 1 回で終了します。このように、1 回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図 14.21 に示します。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.21　シングルライト基本タイミング（オートプリチャージ）

(7)　バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR レジスタの BACTV ビットが 1 の場合、オートプリチャージなしのコマンド（READ または WRIT）を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は SDRAM インタフェースまたはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードにしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクでロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求を受けてからプリチャージを行うため、アクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのステート数は、CS3WCR レジスタの WTRP[1:0] ビットで指定します。

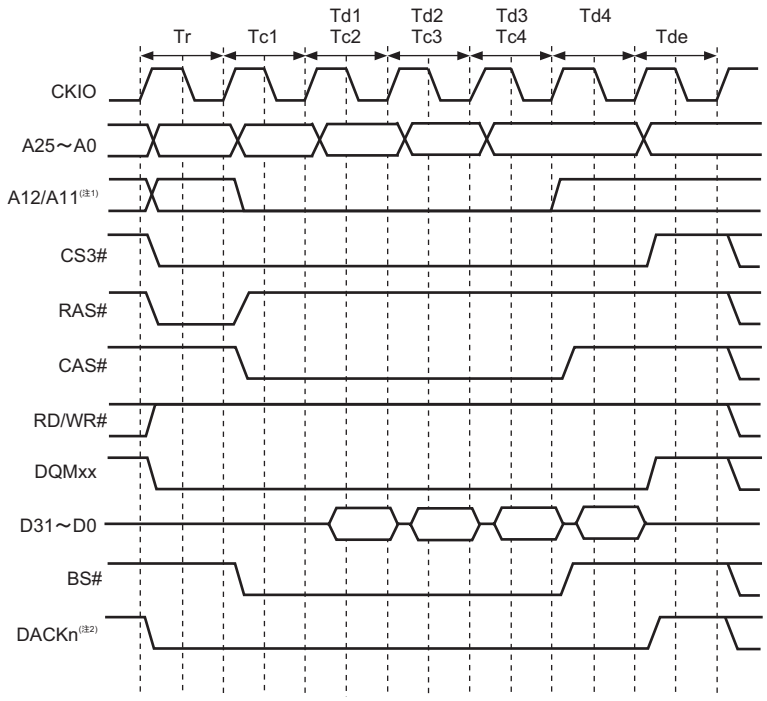
書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後 Trwl ＋ Tap ステート間、同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl ＋ Tap ステート分短縮することができます。

各バンクをアクティブ状態にしておける時間（tRAS）には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 14.22 にオートプリチャージのないバーストリードサイクル、**図 14.23** に同一のロウアドレスに対するバーストリードサイクル、**図 14.24** に異なるロウアドレスに対するバーストリードサイクルを示します。同様に、**図 14.25** にオートプリチャージのないシングルライトサイクル、**図 14.26** に同一のロウアドレスに対するシングルライトサイクル、**図 14.27** に異なるロウアドレスに対するシングルライトサイクルを示します。

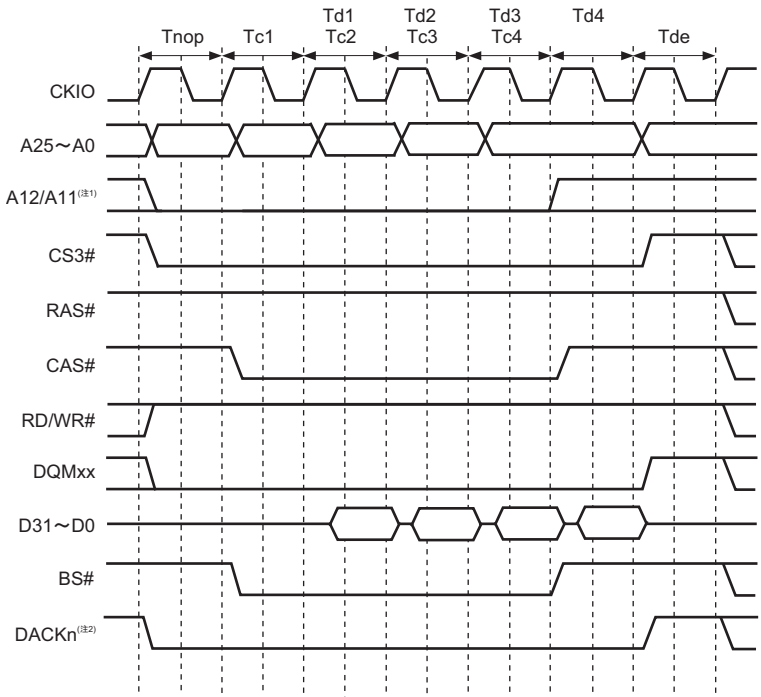
図 14.23 において READ コマンドを発行する Tc ステートに先立って、何も行わない Tnop ステートが挿入されています。これは SDRAM からのデータリード時に、読み出しバイトを指定する DQMxx 信号について、レイテンシ 2 を守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc ステート以降に DQMxx 信号をアクティブにしてもレイテンシ 2 が守られるため、Tnop ステートは挿入されません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、**図 14.22** または**図 14.25** で始まり、**図 14.23** または**図 14.26** を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、**図 14.23** または**図 14.26** の代わりに**図 14.24** または**図 14.27** のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後は、すべてのバンクが非アクティブな状態になります。



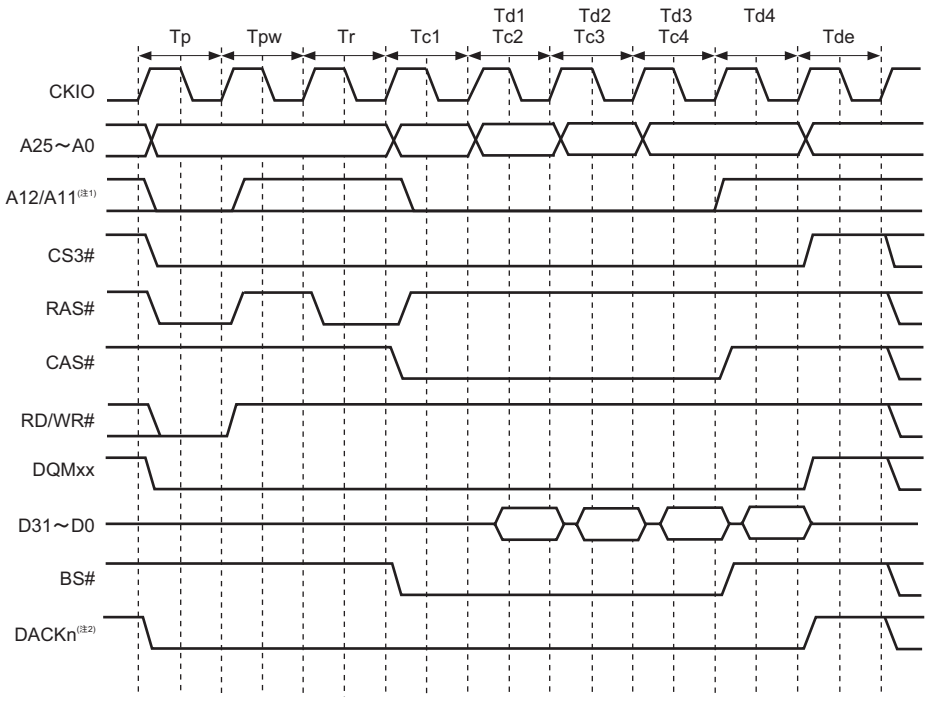
注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.22　バーストリードタイミング（バンクアクティブ、異なるバンク、CAS レイテンシ 1）



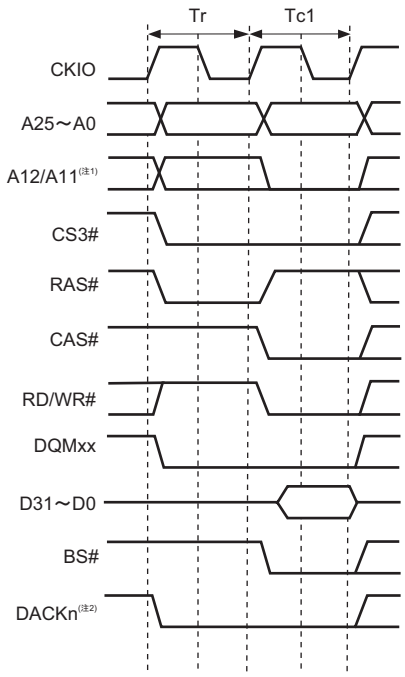
注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.23　バーストリードタイミング（バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1）



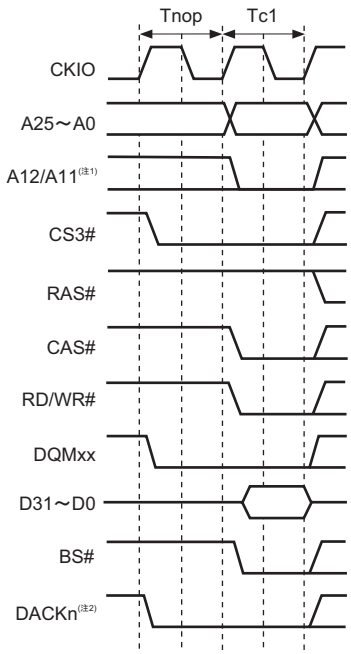
注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.24　バーストリードタイミング
（バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1）



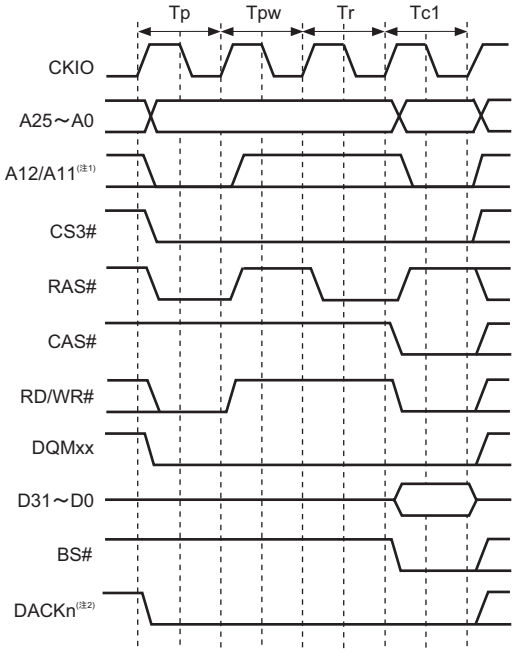
注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.25　シングルライトタイミング（バンクアクティブ、異なるバンク）



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.26　シングルライトタイミング（バンクアクティブ、同一バンクで同一ロウアドレス）



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.27　シングルライトタイミング（バンクアクティブ、同一バンクで異なるロウアドレス）

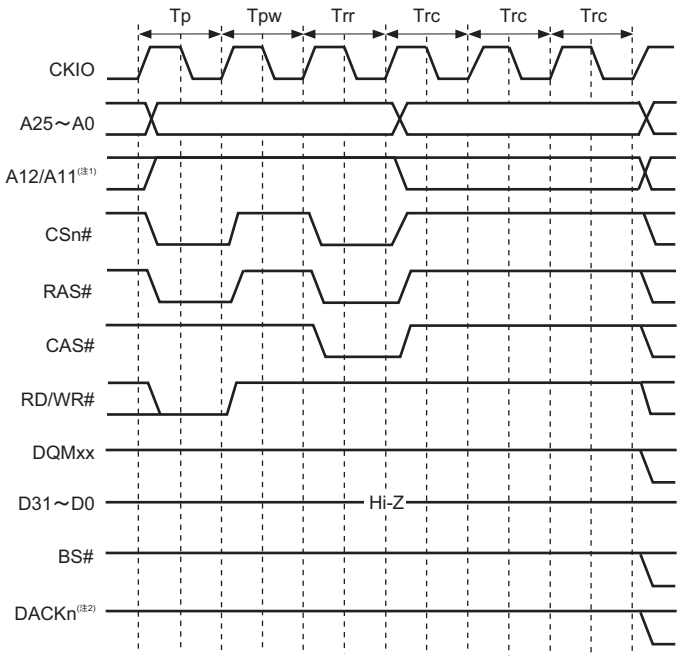
(8) リフレッシュ

本モジュールは、SDRAM のリフレッシュを制御する機能を備えています。SDCR レジスタの RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR レジスタの RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュモードに移行することができます。

(a) オートリフレッシュ

RTCSR レジスタの CKS[2:0] ビットで選択した入力クロックと、RTCOR レジスタに設定した値で決まる間隔で、RTCSR レジスタの RRC[2:0] ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR レジスタの RFSH ビット、および RMODE ビットの設定を行い、次いで RTCSR レジスタの CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] ビットによって入力クロックを選択すると、RTCNT レジスタはそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較され、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT レジスタは 0 にクリアされ、カウントアップが再開されます。

図 14.28 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、Tp ステートで PALL コマンドを発行します。次いで、CS3WCR レジスタの WTRP[1:0] ビットで設定された数のアイドルステート挿入後、Trr ステートで REF コマンドを発行します。Trr ステート後 CS3WCR レジスタの WTRC[1:0] ビットで指定されるステート数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定（tRC）を満たすように WTRC[1:0] ビットを設定する必要があります。CS3WCR レジスタの WTRP[1:0] ビットの設定値が 1 ステート以上の場合は、Tp ステートと Trr ステートの間にアイドルステートが挿入されます。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.28　オートリフレッシュタイミング

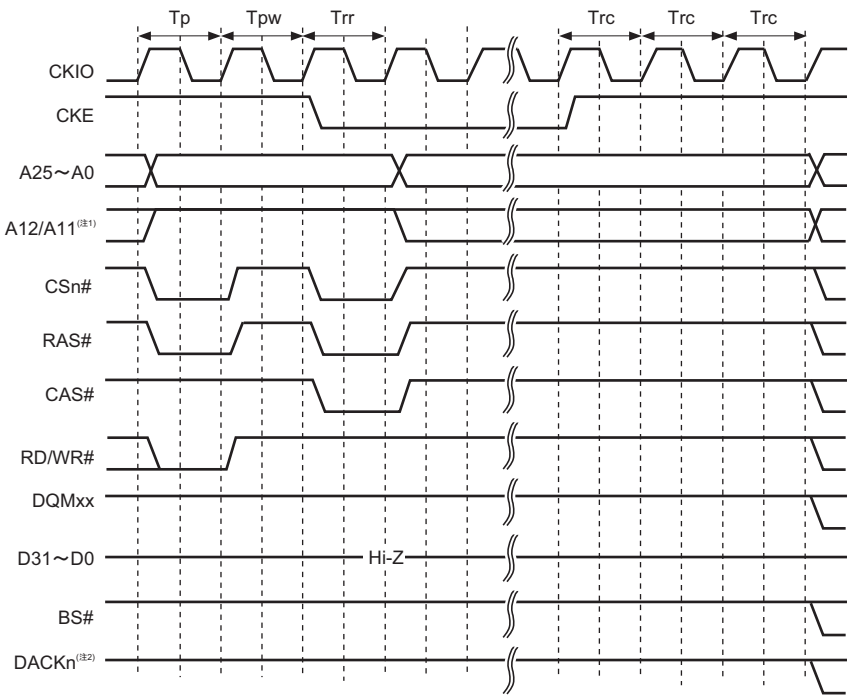
(b)　セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR レジスタの RFSH ビットと RMODE ビットを共に 1 にすることによってセルフリフレッシュに移行します。セルフリフレッシュに移行すると、プリチャージ中のバンクがある場合は、その完了を待った後、Tp ステートで PALL コマンドを発行します。次いで、CS3WCR レジスタの WTRP[1:0] ビットで設定されたアイドルステートを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。RMODE ビットを 0 にすることにより、セルフリフレッシュが解除されます。セルフリフレッシュ解除後、CS3WCR レジスタの WTRC[1:0] ビットで指定したステート間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを**図 14.29** に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値－ 1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI をモジュールストップ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるモジュールストップ状態からの復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合には、本モジュールのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.29　セルフリフレッシュタイミング

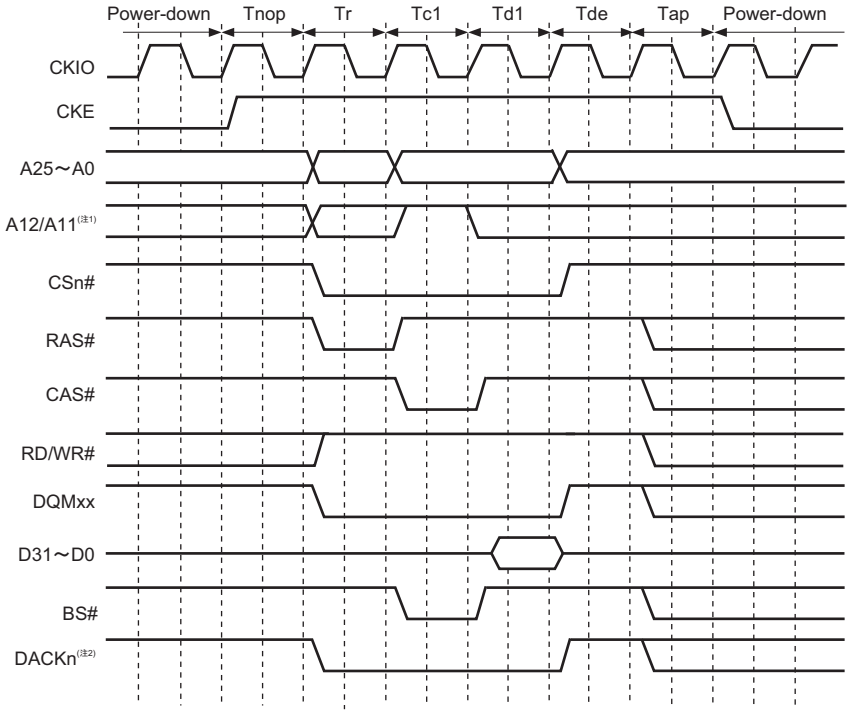
(9)　リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルが起こらないようにする必要があります。

(10) パワーダウンモード

SDCR レジスタの PDOWN ビットを 1 に設定し、SDRAM へのアクセス終了後、CKE 信号を L レベルにすることで、SDRAM をパワーダウンモードに遷移させることができます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するため、CKE をアクティブにするステートが挿入され、1 ステート分オーバヘッドが発生します。**図 14.30** にパワーダウンモードでのアクセスタイミングを示します。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.30　パワーダウンモードでのアクセスタイミング

(11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、使用する SDRAM で規定されたポーズ期間の後に、SDRAM に対してモード設定を行う必要があります。ポーズ間隔は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず本モジュールのレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は CSn#、RAS#、CAS#、および RD/WR# の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X ＋（エリア 2：A000 3000h、エリア 3：A000 4000h 番地）に 16 ビットライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード／シングルライト（バースト長 1）またはバーストリード／バーストライト（バースト長 1）、CAS レイテンシ 2 ～ 3、ラップタイプ = シーケンシャル、およびバースト長 1 を設定するには、**表 14.15** に示すアクセスアドレスに任意のデータを 16 ビットライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 14.15　SDRAM モードレジスタライト時のアクセスアドレス

- **エリア 2 設定**

バーストリード／シングルライト（バースト長 1）の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	A000 3440h	0000440h
	3	A000 3460h	0000460h
32 ビット	2	A000 3880h	0000880h
	3	A000 38C0h	00008C0h

バーストリード／バーストライト（バースト長 1）の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	A000 3040h	0000040h
	3	A000 3060h	0000060h
32 ビット	2	A000 3080h	0000080h
	3	A000 30C0h	00000C0h

- **エリア 3 設定**

バーストリード／シングルライト（バースト長 1）の場合

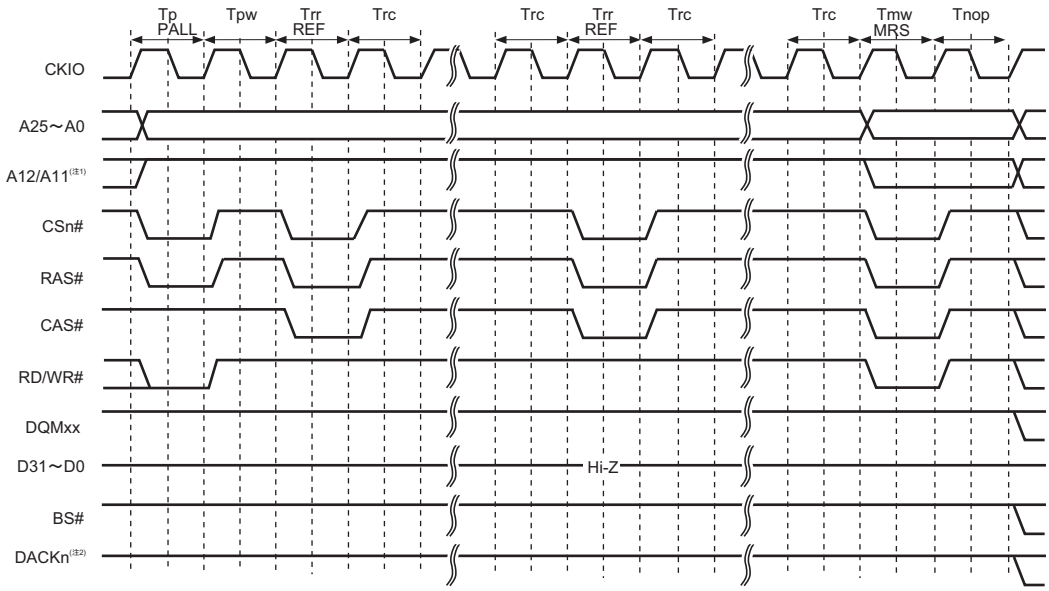
データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	A000 4440h	0000440h
	3	A000 4460h	0000460h
32 ビット	2	A000 4880h	0000880h
	3	A000 48C0h	00008C0h

バーストリード／バーストライト（バースト長 1）の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	A000 4040h	0000040h
	3	A000 4060h	0000060h
32 ビット	2	A000 4080h	0000080h
	3	A0004 0C0h	00000C0h

モードレジスタ設定タイミングを図 14.31 に示します。まず全バンクプリチャージコマンド（PALL）を発行し、次いでオートリフレッシュコマンド（REF）を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド（MRS）を発行します。PALL と 1 回目の REF の間に CS3WCR レジスタの WTRP[1:0] ビットに設定した数のアイドルステートが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR レジスタの WTRC[1:0] ビットに設定した数のアイドルステートが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルステートが挿入されます。

SDRAM は全バンクプリチャージ（PALL）に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.31　SDRAM モードレジスタ書き込みタイミング（JEDEC 準拠）

(12) ローパワー SDRAM

ローパワー SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

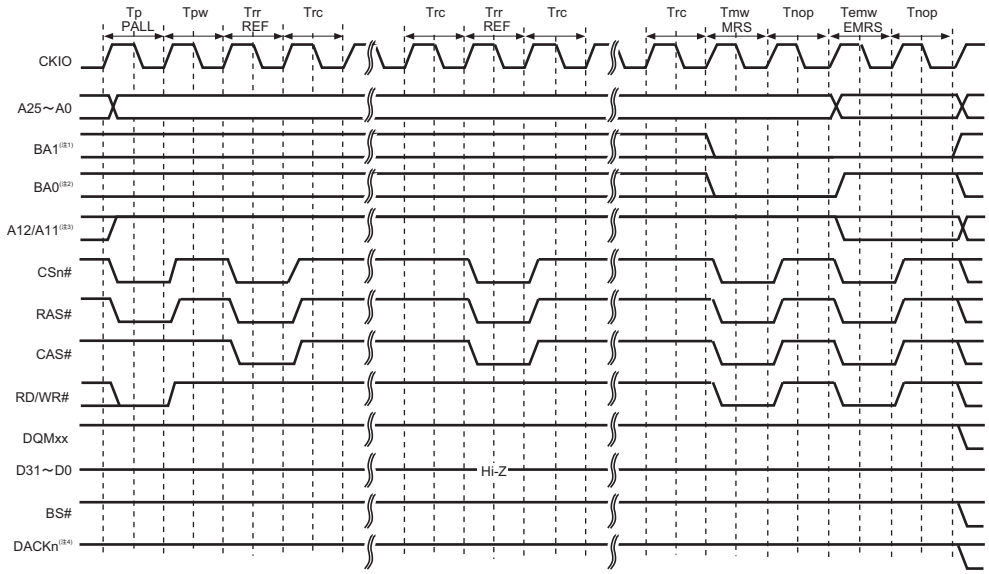
ローパワー SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件（温度）によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー SDRAM のデータシートを参照してください。

ローパワー SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、**表 14.16** にしたがいます。たとえば A000 4XX0h に 0YYY YYYYh のデータを 32 ビットライトすると、CS3 空間に対して PALL → REF×8 → MRS → EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは 0000XX0h に、EMRS 発行時のアドレスは YYYYYYYh になります。また A000 4XX0h に 1YYY YYYYh のデータを 32 ビットライトすると、CS3 空間に対して PALL → MRS → EMRS のシーケンスでコマンドを発行します。

表 14.16　EMRS コマンド発行時の出力アドレス

発行コマンド	アクセスアドレス	アクセスデータ	ライトアクセスサイズ	MRS コマンド時発行アドレス	EMRS コマンド時発行アドレス
CS2　MRS	A000 3XX0h	**** ****h	16 ビット	0000XX0h	--------h
CS3　MRS	A000 4XX0h	**** ****h	16 ビット	0000XX0h	--------h
CS2　MRS＋EMRS（リフレッシュあり）	A000 3XX0h	0YYY YYYYh	32 ビット	0000XX0h	YYYYYYYh
CS3　MRS+EMRS（リフレッシュあり）	A000 4XX0h	0YYY YYYYh	32 ビット	0000XX0h	YYYYYYYh
CS2　MRS＋EMRS（リフレッシュなし）	A000 3XX0h	1YYY YYYYh	32 ビット	0000XX0h	YYYYYYYh
CS3　MRS+EMRS（リフレッシュなし）	A000 4XX0h	1YYY YYYYh	32 ビット	0000XX0h	YYYYYYYh



注 1.　SDRAM の BA1 端子に接続するアドレス端子
注 2.　SDRAM の BA0 端子に接続するアドレス端子
注 3.　SDRAM の A10 端子に接続するアドレス端子
注 4.　DACKn はアクティブロウを指定したときの波形

図 14.32　EMRS コマンド発行タイミング

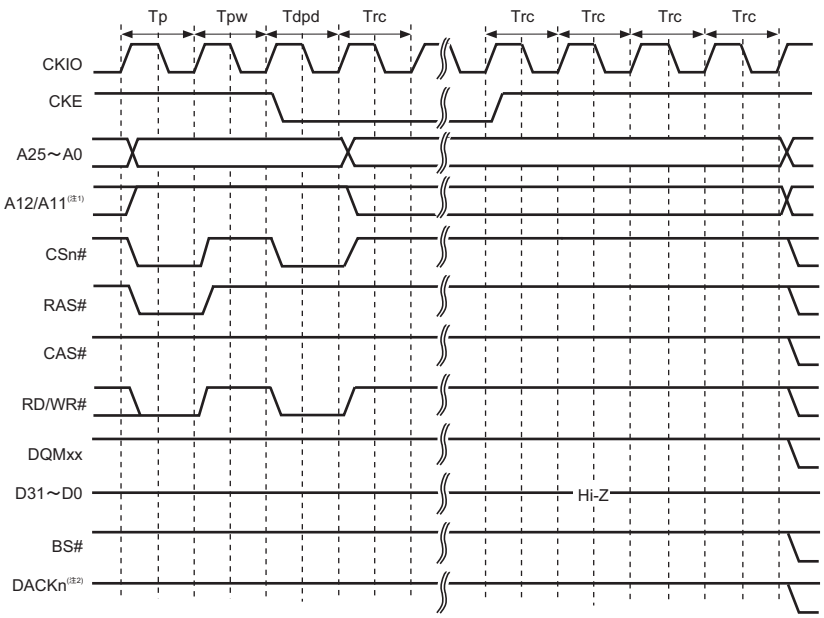
- ディープパワーダウンモード

ローパワー SDRAM には、ディープパワーダウンモードという低消費電力モードもあります。

パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCR レジスタの DEEP ビットを 1、RFSH ビットを 1 に設定した状態で RMODE ビットに 1 を書き込むと、ローパワー SDRAM はディープパワーダウンモードに遷移します。RMODE ビットに 0 を書き込むと CKE 信号がハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。



注 1.　SDRAM の A10 端子に接続するアドレス端子
注 2.　DACKn はアクティブロウを指定したときの波形

図 14.33　ディープパワーダウンモード遷移タイミング

14.4.7　バースト ROM（クロック非同期）インタフェース

バースト ROM（クロック非同期）インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には SRAM インタフェースと同じようなアクセスを行いますが、最初のサイクルを終了する際に RD# 信号をインアクティブにせず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、CKIO 信号の立ち下がりでアドレスが変化します。

最初のアクセスサイクルに対しては、CSnWCR レジスタの W[3:0] ビットに設定された数のウェイトが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR レジスタの BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック非同期）アクセス時は、BS# 信号は最初のアクセスサイクルに対してのみアクティブになります。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

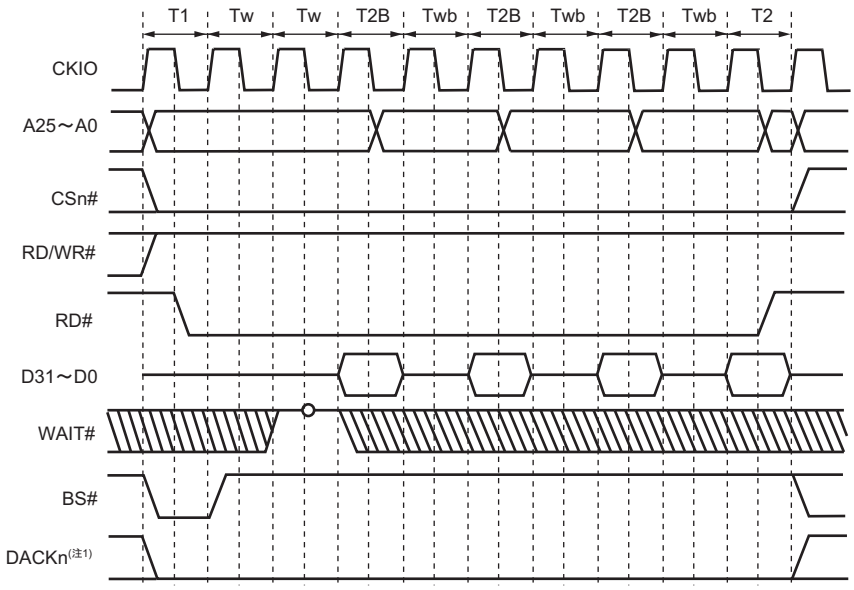
バースト ROM（クロック非同期）インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、SRAM インタフェースと同じアクセスタイミングになります。

表 14.17 にバス幅およびアクセスサイズとバースト数の関係を、**図 14.34** にタイムチャートを示します。

表 14.17　バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0] ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00	16	1
		01	4	4
	32 バイト	00	16	2
		01	4	8
	64 バイト	00	16	4
		01	4	16
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10（注 1）	4	2
			2、4、2	3
	32 バイト	00	8	2
		01	2	8
		10（注 1）	4	4
			2、4、2	6
	64 バイト	00	8	4
		01	2	16
		10（注 1）	4	8
			2、4、2	12
32 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	1	1
	16 バイト	影響なし	4	1
	32 バイト	影響なし	4	2
	64 バイト	影響なし	4	4

注1.　バス幅16ビット、アクセスサイズ16バイト以上、CSnWCR.BST[1:0]が“10b”の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、xxx0h、xxx8h番地の場合4-4バースト（バースト数：4, アクセス回数：2）、xxx4h、xxxCh番地の場合2-4-2バースト（バースト数：2, 4, 2を計3アクセス）アクセスとなります。



注 1.　DACKn はアクティブロウを指定したときの波形

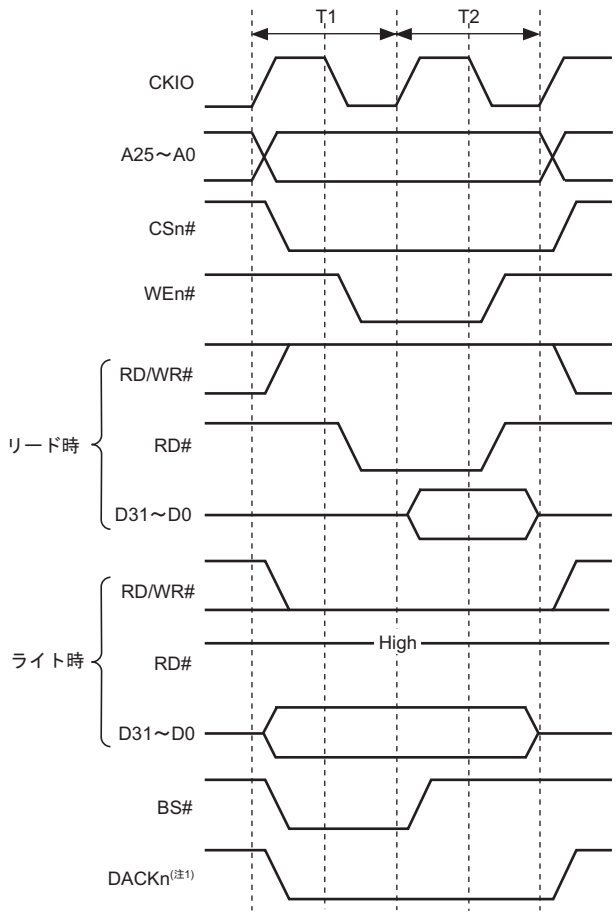
図 14.34　バースト ROM（クロック非同期）アクセス
（バス幅 32 ビット 16 バイト転送（バースト数 4）、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1）

14.4.8　バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子（WEn#）を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB# あるいは LB# のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

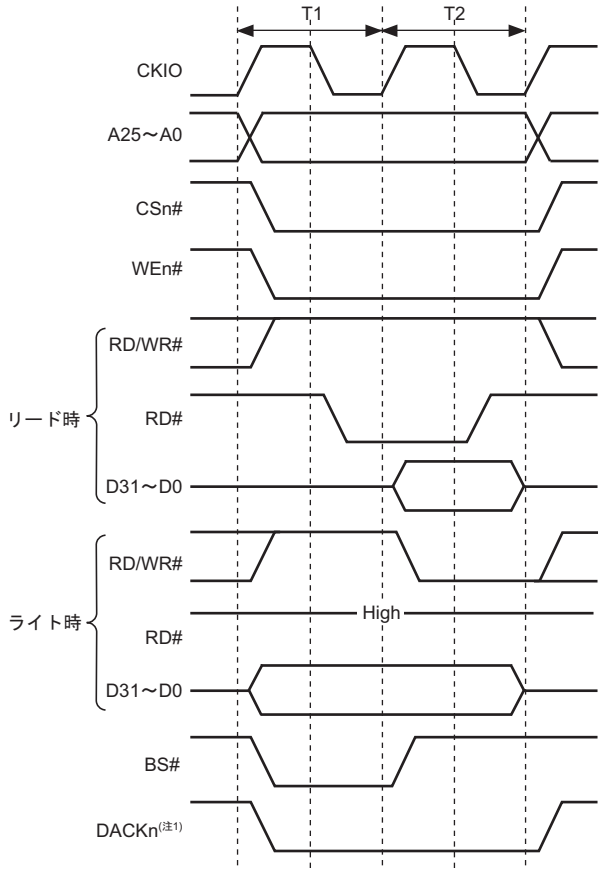
CSnWCR の BAS ビットが 0（リセット後の値）のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、SRAM インタフェースと同一です。一方、リード動作では、WEn# 端子のタイミングが SRAM インタフェースと異なり、WEn# 端子からバイト選択信号を出力します。**図 14.35** に基本アクセスタイミングを示します。特にライト時は、バイト選択端子（WEn#）のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR レジスタの BAS ビットが 1 のとき、WEn# 端子と RD/WR# 端子のタイミングが変化します。**図 14.36** に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子（RD/WR#）のタイミングでメモリに書き込まれます。RD/WR# のインアクティブタイミングに対するライトデータのホールドは、CSnWCR レジスタの HW[1:0] ビットを設定することにより確保してください。**図 14.37** にソフトウェイト設定時のアクセスタイミングを示します。



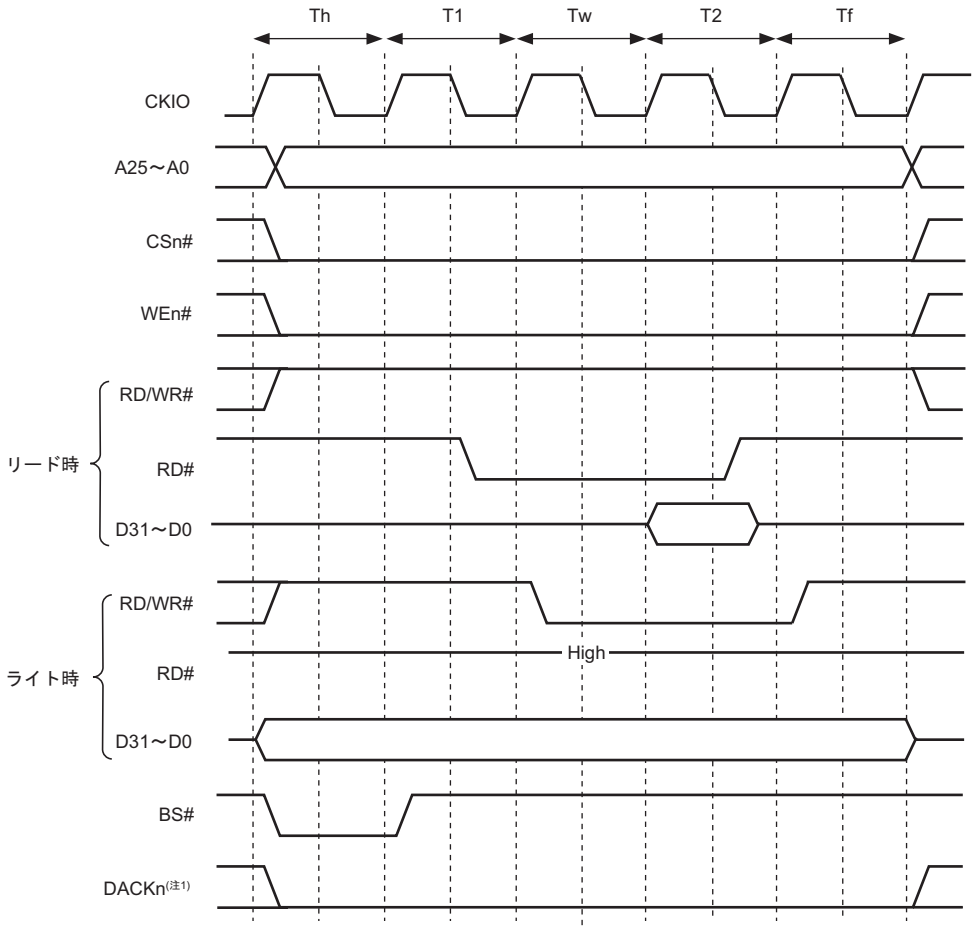
注 1.　DACKn はアクティブロウを指定したときの波形

図 14.35　BAS = 0、バイト選択付き SRAM 基本アクセスタイミング



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.36　BAS = 1、バイト選択付き SRAM 基本アクセスタイミング



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.37　BAS = 1、バイト選択付き SRAM ウェイトタイミング
（SW[1:0] = 01b、WR[3:0] = 0001b、HW[1:0] = 01b）

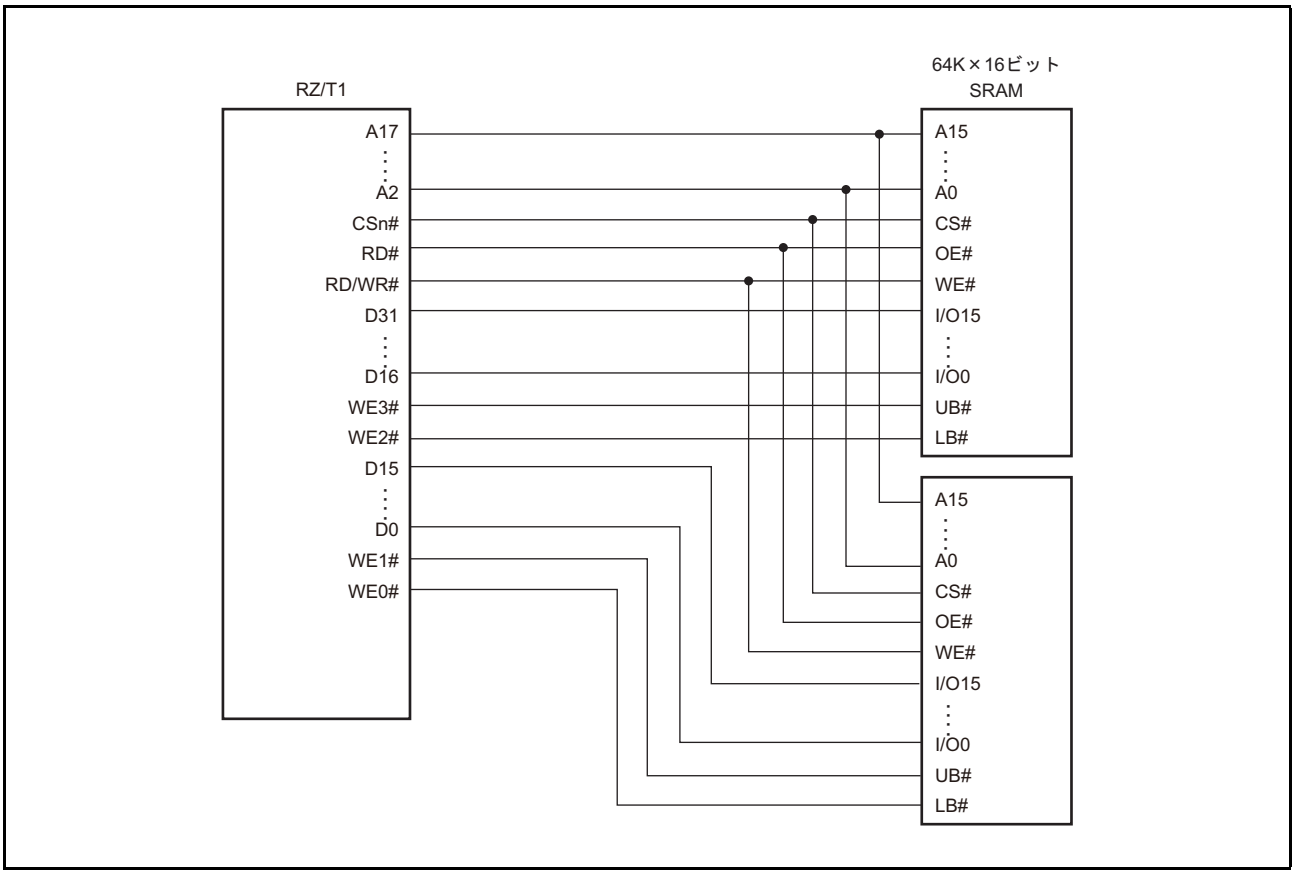


図 14.38　32 ビットデータ幅バイト選択付き SRAM 接続例

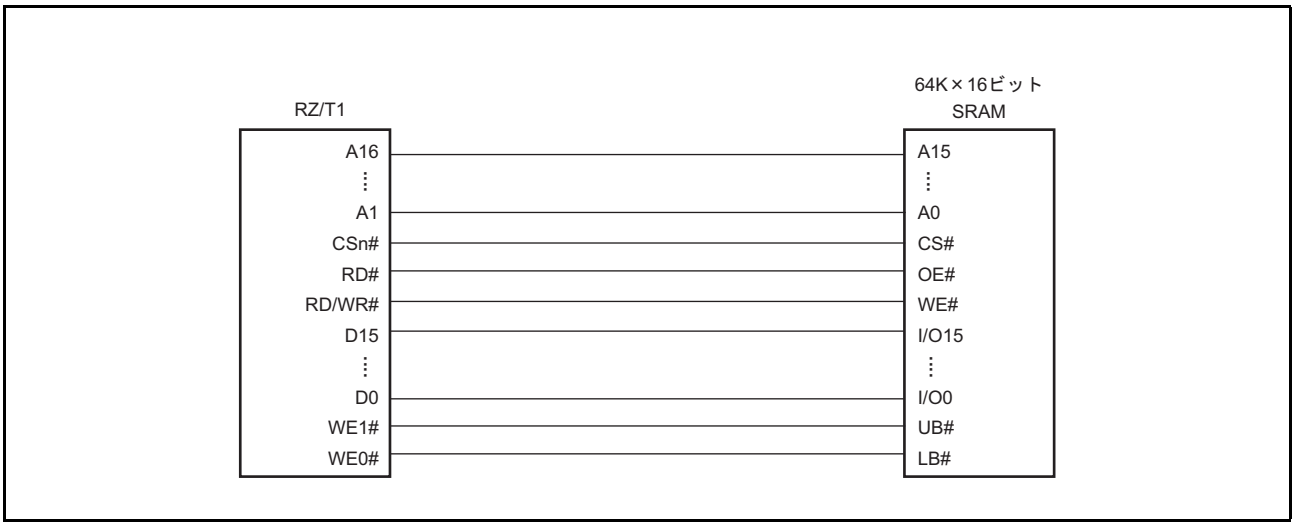


図 14.39　16 ビットデータ幅バイト選択付き SRAM 接続例

14.4.9　バースト ROM（クロック同期）インタフェース

バースト ROM（クロック同期）インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、SRAM インタフェースと同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

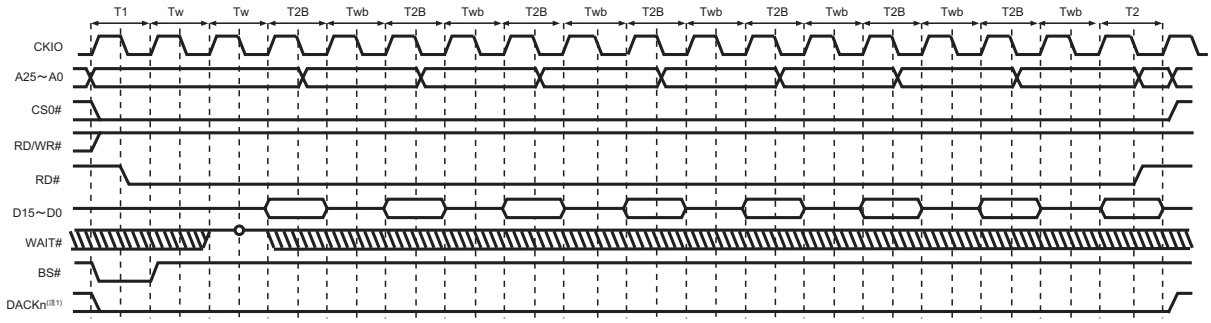
最初のアクセスサイクルに対しては、CS0WCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック同期）アクセス時は、BS# 信号は最初のアクセスサイクルに対してのみアクティブになります。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビット時にはバースト長は 8、バス幅が 32 ビット時はバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。

本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅で 32 ビットアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、16 バイト以上のアクセスサイズのリードを有効に活用することが重要です。ライトアクセス時は、SRAM インタフェースアクセスと同様のタイミングとなります。



注 1.　DACKn はアクティブロウを指定したときの波形

図 14.40　バースト ROM（クロック同期）アクセス
（バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1）

14.4.10　アクセスサイクル間アイドル

LSI の動作周波数の高速化に伴い、低速なデバイスからの出力データバッファのオフが間に合わず、次のサイクルに対するデータ出力と衝突してデバイスの信頼度低下や、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル（ウェイト）を挿入して、データの衝突を回避することが可能です。

アクセスサイクル間アイドルのステート数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0] の各ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライトーリード、ライトーライトの場合
2. 連続するアクセスが別空間でかつリードーライトの場合
3. 連続するアクセスが同一空間でかつリードーライトの場合
4. 連続するアクセスが別空間でかつリードーリードの場合
5. 連続するアクセスが同一空間でかつリードーリードの場合

上記のアクセスサイクル間アイドルサイクル数の指定については、各レジスタの説明を参照してください。

これらのレジスタで指定するアクセスサイクル間アイドル以外に、内部バスとのインタフェースや、マルチプレクスされた端子（WEn#）の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

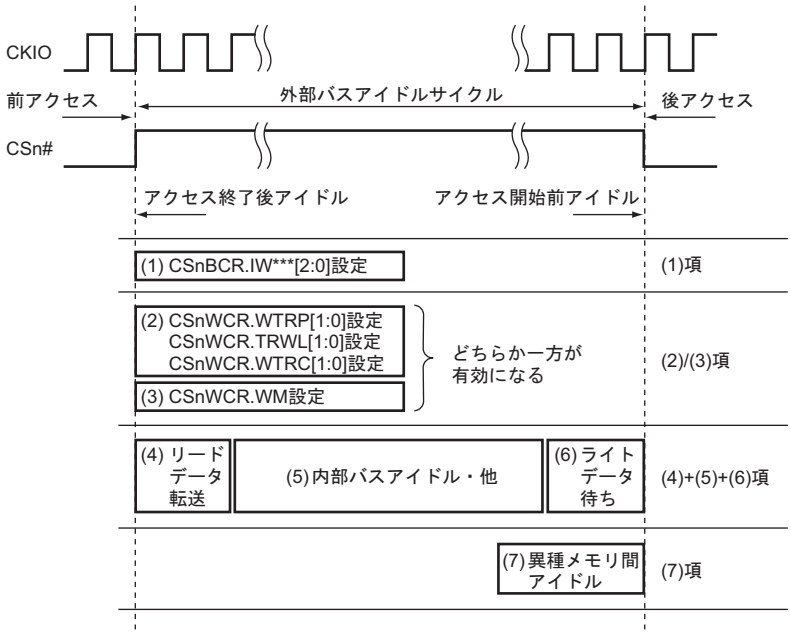
CSn# 信号のインアクティブから CSn# のアクティブまでの外部バスアイドルサイクル数について説明します。

外部バスのアイドルサイクル数を決める項目としては、**表 14.18** の 7 項目があります。これらの関係を**図 14.41** に示します。

表14.18　　アイドルサイクル数を決める項目

項番	内容	説　　明	範囲	注意事項
(1)	CSnBCR.IW***[2:0]設定	アイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえばCS1空間リード後の他CS空間リードの場合に、アイドル数を6サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0]を100bに設定します。シングルアドレス転送以外の時のみ有効となる項目で、アクセス終了後に発生するアイドルステートです。	0～12	連続アクセスできないメモリ種の場合には、0に設定しないようにご注意ください。
(2)	CSnWCRのSDRAM関係設定	SDRAMアクセス時のプリチャージ完了／起動待ち、コマンド間アイドルステート数を指定します。SDRAMアクセス時にのみ有効となる項目で、アクセス終了後に発生するアイドルステートです。	0～3	使用するSDRAMのスペックに合わせて設定してください。
(3)	CSnWCR.WMビット設定	SDRAM以外のメモリでは、外部WAIT#端子入力を有効／無効にする設定ができます。0（外部WAIT#有効）の場合、外部WAIT#端子状態の評価のための1アイドルステートがアクセス終了後に挿入されます。1（無効）の場合には、本アイドルステートは発生しません。	0～1	
(4)	リードデータ転送サイクル	リードアクセスの終了後に発生する1アイドルステートです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]が00b以外の場合にも発生しません。	0～1	SDRAMのリードサイクルでは必ず1アイドルステートが挿入されます。
(5)	内部バスアイドルほか	CPU、ダイレクトメモリアクセスコントローラ（DMA）などからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、本モジュールで分割アクセスを行いますが、分割サイクル間では内部バスアイドルサイクルの影響はありません。	0～	CPU、内部バスおよびCKIOのクロック比によっては内部バスアイドル数が“0”にならない場合があります。
(6)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドルなどが前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません（ライトバッファ効果）。	0～1	ライト→ライトおよびライト→リードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生する場合があります。連続アクセスできない場合は、CSnBCRレジスタなどでサイクル間アイドルの最低数を指定してください。
(7)	異種メモリ間アイドル	兼用端子の最小パルス幅確保のために、メモリの切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリの種類によっては、メモリ種類の切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0～2	メモリ種ごとに決まっています。表14.19を参照してください。

(1) 項、(2) ／ (3) 項（どちらか一方が有効になります)、(4) + (5) + (6) 項（順番に発生するので加算されます）および (7) 項の 4 項目が平行して発生しますので、これらのうち最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1) 項のレジスタ設定を行ってください。



注．　（1）項、（2）／（3）項、（4）+（5）+（6）項、（7）項の 4 項目が、並列に動作してアイドルサイクルが発生します。よって、本 4 項目の中の最大値がアイドルサイクル数になります。

図 14.41　アイドルサイクルの構成

表 14.19　　異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル						
		SRAM	バースト ROM（非同期）	MPX-I/O	バイト SRAM（BAS = 0）	バイト SRAM（BAS = 1）	SDRAM	バースト ROM（同期）
前サイクル	SRAM	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	バースト ROM（非同期）	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	MPX-I/O	1	1	0	1	1	1	1
	バイト SRAM（BAS = 0）	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	バイト SRAM（BAS = 1）	0/1（注 1）	0/1（注 1）	1/2（注 1）	0/1（注 1）	0	0	0/1（注 1）
	SDRAM	1	1	2	1	0	0	1
	バースト ROM（同期）	0	0	1	0	1	1	0

注1.　前のサイクルのCSnWCR.HW[1:0]ビットの設定で、アイドルサイクル数が決まります。HW[1:0]≠00bの場合は左側のアイドルサイクル数、HW[1:0] = 00bの場合は右側のアイドルサイクル数になります。また、前のサイクルがCSnWCR.HW[1:0]ビットの存在しないCSn空間の場合は、右側のアイドルサイクル数になります。

14.4.11 その他

(1) リセット

本モジュールは、チップ全体のリセット（端子リセット、ソフトウェアリセット、ECM リセット）でのみ完全な初期化が行われます。チップ全体のリセットが発生した場合、内部クロックを同期化後、バスサイクル中であってもすべての信号をインアクティブにし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。モジュールストップでは、バスステートコントローラの制御レジスタの初期化は一切行われません。

(2) ライトバッファの注意事項

本モジュールには一段のライトバッファがあるため、ライトサイクルでは外部バスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。外部の低速メモリに対してライト動作を行った後に、内蔵周辺モジュールに対するリードまたはライトを行う場合は、低速メモリへのライトの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

リード動作時、常に動作の完了まで CPU は待たされます。実際のデバイスに対するデータのライトが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーのリードを行うことでライト動作の終了を確認できます。

ダイレクトメモリアクセスコントローラ（DMA）などの別のバスマスタからのアクセスでも、同様に本モジュールのライトバッファは働きます。したがって、DMA 転送を行う場合は、ライトサイクルの完了を待たずに次のリードサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前のライトサイクルが完了するまで次のリードサイクルの開始は待たされます。

なお、ライトバッファの動作中に本モジュールのレジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に本モジュールのレジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に本モジュールのレジスタを変更してください。

15.　DMA コントローラ（DMACAa）

本 LSI は、2 ユニット（DMAC0、DMAC1）の DMAC（Direct Memory Access Controller）を内蔵しています。

DMAC は、CPU を介さずにデータ転送を行います。DMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

15.1　概要

表 15.1 に DMAC の仕様を示します。

表15.1　DMACの仕様

項目		内容	
		DMAC0	DMAC1
チャネル数		16チャネル	16チャネル
アドレス空間		4Gバイト	
DMAC起動要因		外部リクエスト（DREQ）／外部割り込み（IRQ） 内蔵周辺モジュールリクエスト／ソフトウェアリクエスト（注1）	
チャネル優先順位		• チャネル0～7内およびチャネル8～15内は固定優先順位／ラウンドロビンの2種類から選択可能。 • チャネル0～7、チャネル8～15間はラウンドロビンで動作	
転送データ単位		8bit／16bit／32bit／128bit／256bit／512bit	8bit／16bit／32bit／128bit
最大転送サイズ		2^{32} - 1バイト	
転送モード	シングル転送	1回のDMA転送要求に対して、1回のDMA転送を実行	
	ブロック転送	1回のDMAC起動要求に対して、指定した転送サイズ分のDMA転送を実行	
DMAモード	レジスタモード	• DMA転送の設定値：DMAコントローラ内部の制御レジスタ値 • レジスタで指定した転送元／転送先に対するDMA転送	
	リンクモード	• DMA転送の設定値：内蔵RAM、外部メモリに配置したディスクリプタ • ディスクリプタで指定した多様なDMA転送が実現可能（応答性はレジスタモード>リンクモード）	
インターバル機能		DMA転送間隔を指定可能（バス占有率の調整）	
スキップ機能		• DMA転送でアクセスする領域に対し、連続アクセスサイズと離散アクセス（スキップ）サイズをそれぞれ設定可能 • 連続アクセス設定サイズ分転送した後、次にアクセスするアドレスをレジスタで設定したサイズ分、スキップ可能	
サスペンド機能		実行中のDMA転送を一時停止することが可能	
バッファ掃出し機能		DMACを強制停止した際、バッファ内データの掃出しが可能	
割り込み要求		チャネル毎に下記の割り込み要求を持つ • 転送完了（指定転送サイズ完了。チャネルごとにあり。） • 転送エラー（バスエラー。ユニット0とユニット1共に1本ずつの計二本）	

注1.　ソフトウェアリクエストは、割り込みコントローラから内蔵周辺モジュールリクエストの1要因として出力されます。
ソフトウェアリクエストの設定方法は「12.　割り込みコントローラ（ICUA）」を参照してください。

表 15.2 に DMAC の入出力端子を示します。

表15.2　DMACの入出力端子

端子名	入出力	機能
DREQ0	入力	外部デバイスからDMAC0へのDMA転送要求入力
DREQ1	入力	外部デバイスからDMAC0へのDMA転送要求入力
DREQ2	入力	外部デバイスからDMAC1へのDMA転送要求入力
DACK0	出力	DMAC0から外部デバイスへのDMAC転送要求受付出力
DACK1	出力	DMAC0から外部デバイスへのDMAC転送要求受付出力
DACK2	出力	DMAC1から外部デバイスへのDMAC転送要求受付出力
TEND0	出力	DMAC0から外部デバイスへの転送終了出力
TEND1	出力	DMAC0から外部デバイスへの転送終了出力
TEND2	出力	DMAC1から外部デバイスへの転送終了出力

注.　DACK0～DACK2、TEND0～TEND2のアクティブレベルについては「15.2.11　共通コントロールレジスタ（CMNCR）」および「15.3.5　DMAアクノリッジ出力／DMAトランザクション終了出力機能」を参照してください。

15.2　レジスタの説明

15.2.1　ネクストソースアドレスレジスタ n （N0SA_n_N, N0SA_n_W, N1SA_n_N, N1SA_n_W）

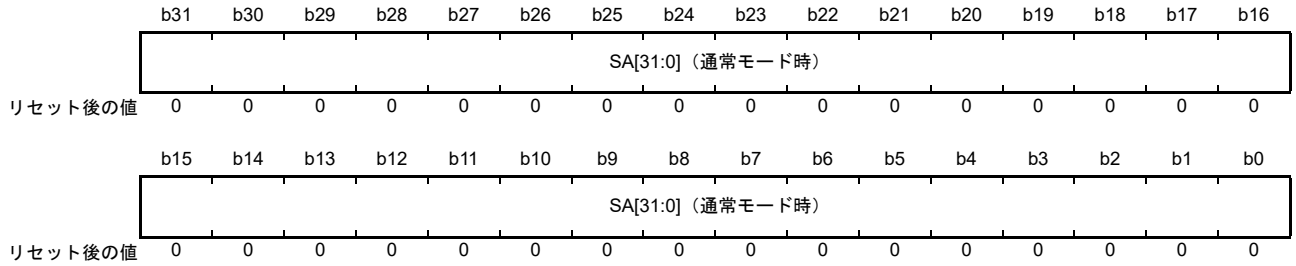
N0SA_n、N1SA_n は、DMA チャネル n の DMA 転送元アドレスを設定するレジスタです（n = 15-0）。
N0SA_n は Next0 Register Set 用、N1SA_n は Next1 Register Set 用です。
Write Only モード（CHCFG_n レジスタ WONLY = 1）時には、ライト・データの設定に使用します。

- N0SA_n_N, N1SA_n_N（通常モード）の場合

アドレス

DMAC0
N0SA_0_N：A006 2000h、N0SA_1_N：A006 2040h、N0SA_2_N：A006 2080h、N0SA_3_N：A006 20C0h、
N0SA_4_N：A006 2100h、N0SA_5_N：A006 2140h、N0SA_6_N：A006 2180h、N0SA_7_N：A006 21C0h、
N0SA_8_N：A006 2400h、N0SA_9_N：A006 2440h、N0SA_10_N：A006 2480h、N0SA_11_N：A006 24C0h、
N0SA_12_N：A006 2500h、N0SA_13_N：A006 2540h、N0SA_14_N：A006 2580h、N0SA_15_N：A006 25C0h
DMAC1
N0SA_0_N：A006 3000h、N0SA_1_N：A006 3040h、N0SA_2_N：A006 3080h、N0SA_3_N：A006 30C0h、
N0SA_4_N：A006 3100h、N0SA_5_N：A006 3140h、N0SA_6_N：A006 3180h、N0SA_7_N：A006 31C0h、
N0SA_8_N：A006 3400h、N0SA_9_N：A006 3440h、N0SA_10_N：A006 3480h、N0SA_11_N：A006 34C0h、
N0SA_12_N：A006 3500h、N0SA_13_N：A006 3540h、N0SA_14_N：A006 3580h、N0SA_15_N：A006 35C0h

DMAC0
N1SA_0_N：A006 200Ch、N1SA_1_N：A006 204Ch、N1SA_2_N：A006 208Ch、N1SA_3_N：A006 20CCh、
N1SA_4_N：A006 210Ch、N1SA_5_N：A006 214Ch、N1SA_6_N：A006 218Ch、N1SA_7_N：A006 21CCh、
N1SA_8_N：A006 240Ch、N1SA_9_N：A006 244Ch、N1SA_10_N：A006 248Ch、N1SA_11_N：A006 24CCh、
N1SA_12_N：A006 250Ch、N1SA_13_N：A006 254Ch、N1SA_14_N：A006 258Ch、N1SA_15_N：A006 25CCh
DMAC1
N1SA_0_N：A006 300Ch、N1SA_1_N：A006 304Ch、N1SA_2_N：A006 308Ch、N1SA_3_N：A006 30CCh、
N1SA_4_N：A006 310Ch、N1SA_5_N：A006 314Ch、N1SA_6_N：A006 318Ch、N1SA_7_N：A006 31CCh、
N1SA_8_N：A006 340Ch、N1SA_9_N：A006 344Ch、N1SA_10_N：A006 348Ch、N1SA_11_N：A006 34CCh、
N1SA_12_N：A006 350Ch、N1SA_13_N：A006 354Ch、N1SA_14_N：A006 358Ch、N1SA_15_N：A006 35CCh

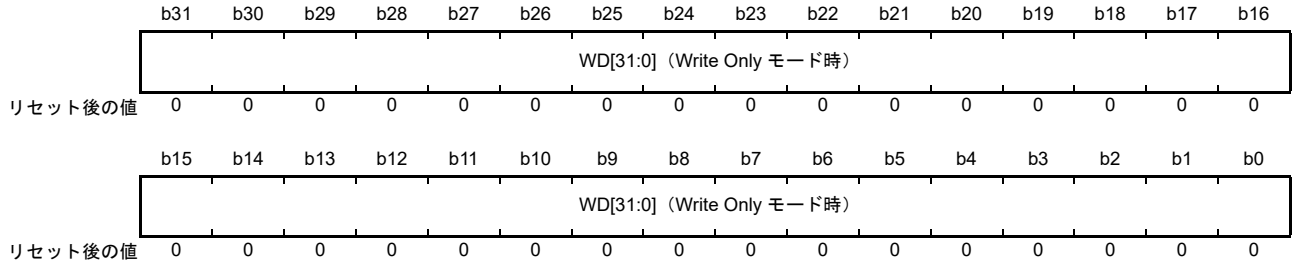


ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]（通常モード時）	ソースアドレス	DMA転送元の開始アドレスを設定します。	R/W

注.　リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0SA_n_N レジスタにセットされます。

- N0SA_n_W, N1SA_n_W（Write Only モード）の場合

アドレス
DMAC0
N0SA_0_W：A006 2000h、N0SA_1_W：A006 2040h、N0SA_2_W：A006 2080h、N0SA_3_W：A006 20C0h、
N0SA_4_W：A006 2100h、N0SA_5_W：A006 2140h、N0SA_6_W：A006 2180h、N0SA_7_W：A006 21C0h、
N0SA_8_W：A006 2400h、N0SA_9_W：A006 2440h、N0SA_10_W：A006 2480h、N0SA_11_W：A006 24C0h、
N0SA_12_W：A006 2500h、N0SA_13_W：A006 2540h、N0SA_14_W：A006 2580h、N0SA_15_W：A006 25C0h
DMAC1
N0SA_0_W：A006 3000h、N0SA_1_W：A006 3040h、N0SA_2_W：A006 3080h、N0SA_3_W：A006 30C0h、
N0SA_4_W：A006 3100h、N0SA_5_W：A006 3140h、N0SA_6_W：A006 3180h、N0SA_7_W：A006 31C0h、
N0SA_8_W：A006 3400h、N0SA_9_W：A006 3440h、N0SA_10_W：A006 3480h、N0SA_11_W：A006 34C0h、
N0SA_12_W：A006 3500h、N0SA_13_W：A006 3540h、N0SA_14_W：A006 3580h、N0SA_15_W：A006 35C0h
DMAC0
N1SA_0_W：A006 200Ch、N1SA_1_W：A006 204Ch、N1SA_2_W：A006 208Ch、N1SA_3_W：A006 20CCh、
N1SA_4_W：A006 210Ch、N1SA_5_W：A006 214Ch、N1SA_6_W：A006 218Ch、N1SA_7_W：A006 21CCh、
N1SA_8_W：A006 240Ch、N1SA_9_W：A006 244Ch、N1SA_10_W：A006 248Ch、N1SA_11_W：A006 24CCh、
N1SA_12_W：A006 250Ch、N1SA_13_W：A006 254Ch、N1SA_14_W：A006 258Ch、N1SA_15_W：A006 25CCh
DMAC1
N1SA_0_W：A006 300Ch、N1SA_1_W：A006 304Ch、N1SA_2_W：A006 308Ch、N1SA_3_W：A006 30CCh、
N1SA_4_W：A006 310Ch、N1SA_5_W：A006 314Ch、N1SA_6_W：A006 318Ch、N1SA_7_W：A006 31CCh、
N1SA_8_W：A006 340Ch、N1SA_9_W：A006 344Ch、N1SA_10_W：A006 348Ch、N1SA_11_W：A006 34CCh、
N1SA_12_W：A006 350Ch、N1SA_13_W：A006 354Ch、N1SA_14_W：A006 358Ch、N1SA_15_W：A006 35CCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	WD[31:0]（Write Onlyモード時）	ライト・データ	Write Onlyモード時のライト・データを設定します。	R/W

注.　リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0SA_n_Wレジスタにセットされます。

15.2.2　ネクストデスティネーションアドレスレジスタ n （N0DA_n, N1DA_n）

N0DA_n、N1DA_n は、DMA チャネル n の DMA 転送先アドレスを設定するレジスタです（n = 15-0）。
N0DA_n は Next0 Register Set 用、N1DA_n は Next1 Register Set 用です。

アドレス
DMAC0
N0DA_0：A006 2004h、N0DA_1：A006 2044h、N0DA_2：A006 2084h、N0DA_3：A006 20C4h、
N0DA_4：A006 2104h、N0DA_5：A006 2144h、N0DA_6：A006 2184h、N0DA_7：A006 21C4h、
N0DA_8：A006 2404h、N0DA_9：A006 2444h、N0DA_10：A006 2484h、N0DA_11：A006 24C4h、
N0DA_12：A006 2504h、N0DA_13：A006 2544h、N0DA_14：A006 2584h、N0DA_15：A006 25C4h
DMAC1
N0DA_0：A006 3004h、N0DA_1：A006 3044h、N0DA_2：A006 3084h、N0DA_3：A006 30C4h、
N0DA_4：A006 3104h、N0DA_5：A006 3144h、N0DA_6：A006 3184h、N0DA_7：A006 31C4h、
N0DA_8：A006 3404h、N0DA_9：A006 3444h、N0DA_10：A006 3484h、N0DA_11：A006 34C4h、
N0DA_12：A006 3504h、N0DA_13：A006 3544h、N0DA_14：A006 3584h、N0DA_15：A006 35C4h
DMAC0
N1DA_0：A006 2010h、N1DA_1：A006 2050h、N1DA_2：A006 2090h、N1DA_3：A006 20D0h、
N1DA_4：A006 2110h、N1DA_5：A006 2150h、N1DA_6：A006 2190h、N1DA_7：A006 21D0h、
N1DA_8：A006 2410h、N1DA_9：A006 2450h、N1DA_10：A006 2490h、N1DA_11：A006 24D0h、
N1DA_12：A006 2510h、N1DA_13：A006 2550h、N1DA_14：A006 2590h、N1DA_15：A006 25D0h
DMAC1
N1DA_0：A006 3010h、N1DA_1：A006 3050h、N1DA_2：A006 3090h、N1DA_3：A006 30D0h、
N1DA_4：A006 3110h、N1DA_5：A006 3150h、N1DA_6：A006 3190h、N1DA_7：A006 31D0h、
N1DA_8：A006 3410h、N1DA_9：A006 3450h、N1DA_10：A006 3490h、N1DA_11：A006 34D0h、
N1DA_12：A006 3510h、N1DA_13：A006 3550h、N1DA_14：A006 3590h、N1DA_15：A006 35D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	DA[31:0]	デスティネーションアドレス	DMA転送先の開始アドレスを設定します。	R/W

注.　リンク・モード転送時は、ディスクリプタ･リード・データが自動的に、N0DA_n レジスタにセットされます。

15.2.3　ネクストトランザクションバイトレジスタ n （N0TB_n, N1TB_n）

N0TB_n、N1TB_n は、DMA チャネル n の総転送バイト数を設定するレジスタです（n = 15-0）。
N0TB_n は Next0 Register Set 用、N1TB_n は Next1 Register Set 用です。

アドレス
DMAC0
N0TB_0：A006 2008h、N0TB_1：A006 2048h、N0TB_2：A006 2088h、N0TB_3：A006 20C8h、
N0TB_4：A006 2108h、N0TB_5：A006 2148h、N0TB_6：A006 2188h、N0TB_7：A006 21C8h、
N0TB_8：A006 2408h、N0TB_9：A006 2448h、N0TB_10：A006 2488h、N0TB_11：A006 24C8h、
N0TB_12：A006 2508h、N0TB_13：A006 2548h、N0TB_14：A006 2588h、N0TB_15：A006 25C8h
DMAC1
N0TB_0：A006 3008h、N0TB_1：A006 3048h、N0TB_2：A006 3088h、N0TB_3：A006 30C8h、
N0TB_4：A006 3108h、N0TB_5：A006 3148h、N0TB_6：A006 3188h、N0TB_7：A006 31C8h、
N0TB_8：A006 3408h、N0TB_9：A006 3448h、N0TB_10：A006 3488h、N0TB_11：A006 34C8h、
N0TB_12：A006 3508h、N0TB_13：A006 3548h、N0TB_14：A006 3588h、N0TB_15：A006 35C8h
DMAC0
N1TB_0：A006 2014h、N1TB_1：A006 2054h、N1TB_2：A006 2094h、N1TB_3：A006 20D4h、
N1TB_4：A006 2114h、N1TB_5：A006 2154h、N1TB_6：A006 2194h、N1TB_7：A006 21D4h、
N1TB_8：A006 2414h、N1TB_9：A006 2454h、N1TB_10：A006 2494h、N1TB_11：A006 24D4h、
N1TB_12：A006 2514h、N1TB_13：A006 2554h、N1TB_14：A006 2594h、N1TB_15：A006 25D4h
DMAC1
N1TB_0：A006 3014h、N1TB_1：A006 3054h、N1TB_2：A006 3094h、N1TB_3：A006 30D4h、
N1TB_4：A006 3114h、N1TB_5：A006 3154h、N1TB_6：A006 3194h、N1TB_7：A006 31D4h、
N1TB_8：A006 3414h、N1TB_9：A006 3454h、N1TB_10：A006 3494h、N1TB_11：A006 34D4h、
N1TB_12：A006 3514h、N1TB_13：A006 3554h、N1TB_14：A006 3594h、N1TB_15：A006 35D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TB[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TB[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TB[31:0]	トランザクションバイト	総転送バイト数を設定します。 注1.　0を設定した状態でDMA転送を開始しないでください。	R/W

注.　リンク・モード転送時は、ディスクリプタ･リード・データが自動的に、N0TB_n レジスタにセットされます。

15.2.4　カレントソースアドレスレジスタ（CRSA_n）

CRSA_n は、DMA チャネル n の DMA 転送元アドレスを表示するレジスタです。（n = 15-0）。

DMA 転送中は、自動的にインクリメントされます（CHCFG_n レジスタの SAD = 1 の場合は固定、CHCFG_n レジスタの WONLY = 1 の場合は不定）。

アドレス
DMAC0
CRSA_0：A006 2018h、CRSA_1：A006 2058h、CRSA_2：A006 2098h、CRSA_3：A006 20D8h、
CRSA_4：A006 2118h、CRSA_5：A006 2158h、CRSA_6：A006 2198h、CRSA_7：A006 21D8h、
CRSA_8：A006 2418h、CRSA_9：A006 2458h、CRSA_10：A006 2498h、CRSA_11：A006 24D8h、
CRSA_12：A006 2518h、CRSA_13：A006 2558h、CRSA_14：A006 2598h、CRSA_15：A006 25D8h
DMAC1
CRSA_0：A006 3018h、CRSA_1：A006 3058h、CRSA_2：A006 3098h、CRSA_3：A006 30D8h、
CRSA_4：A006 3118h、CRSA_5：A006 3158h、CRSA_6：A006 3198h、CRSA_7：A006 31D8h、
CRSA_8：A006 3418h、CRSA_9：A006 3458h、CRSA_10：A006 3498h、CRSA_11：A006 34D8h、
CRSA_12：A006 3518h、CRSA_13：A006 3558h、CRSA_14：A006 3598h、CRSA_15：A006 35D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CRSA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CRSA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	CRSA[31:0]	カレントソースアドレス	次のDMA転送のリード・アドレスを表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード：
Next0/1 レジスタから転送元アドレスをロード。

リンク・モード ：
ディスクリプタ・リード・データから転送元アドレスをロード。（ハードウェアにより自動的にディスクリプタ・リード・データが N0SA_n レジスタへ入力され、転送開始時に CRSA_n レジスタへロードされます。）

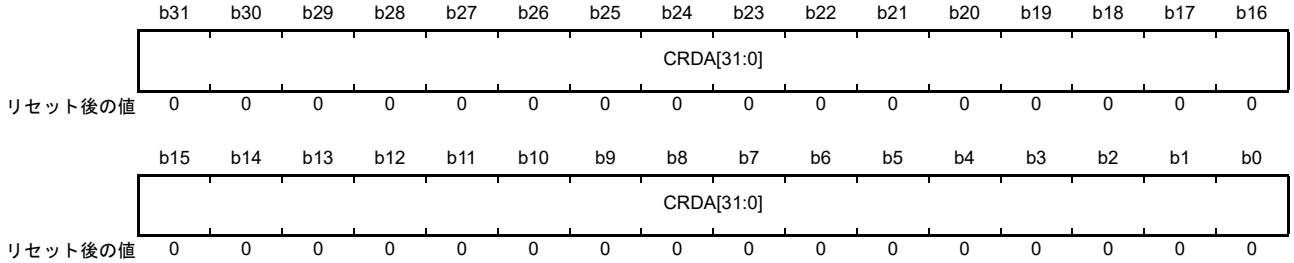
インクリメントは転送元へのリード動作完了時に行われます。

本レジスタは、DMA が停止（CHSTAT_n レジスタの TACT = 0）してからリードしてください。（DMA 動作中の値は参考値として扱ってください。）

15.2.5　カレントデスティネーションアドレスレジスタ（CRDA_n）

CRDA_n は、DMA チャネル n の DMA 転送先アドレスを表示するレジスタです（n = 15-0）。
DMA 転送中は、自動的にインクリメントされます（CHCFG_n レジスタの DAD = 1 の場合は固定）。

アドレス
DMAC0
CRDA_0：A006 201Ch、CRDA_1：A006 205Ch、CRDA_2：A006 209Ch、CRDA_3：A006 20DCh、
CRDA_4：A006 211Ch、CRDA_5：A006 215Ch、CRDA_6：A006 219Ch、CRDA_7：A006 21DCh、
CRDA_8：A006 241Ch、CRDA_9：A006 245Ch、CRDA_10：A006 249Ch、CRDA_11：A006 24DCh、
CRDA_12：A006 251Ch、CRDA_13：A006 255Ch、CRDA_14：A006 259Ch、CRDA_15：A006 25DCh
DMAC1
CRDA_0：A006 301Ch、CRDA_1：A006 305Ch、CRDA_2：A006 309Ch、CRDA_3：A006 30DCh、
CRDA_4：A006 311Ch、CRDA_5：A006 315Ch、CRDA_6：A006 319Ch、CRDA_7：A006 31DCh、
CRDA_8：A006 341Ch、CRDA_9：A006 345Ch、CRDA_10：A006 349Ch、CRDA_11：A006 34DCh、
CRDA_12：A006 351Ch、CRDA_13：A006 355Ch、CRDA_14：A006 359Ch、CRDA_15：A006 35DCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRDA[31:0]	カレントデスティネーションアドレス	次のDMA転送のライト・アドレスを表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード：
Next0/1 レジスタから転送先アドレスをロード。

リンク・モード　：
ディスクリプタ・リード・データから転送先アドレスをロード。（ハードウェアにより自動的にディスクリプタ・リード・データが N0DA_n レジスタへ入力され、転送開始時に CRDA_n レジスタへロードされます。）

インクリメントは転送先へのライト動作完了時に行われます。

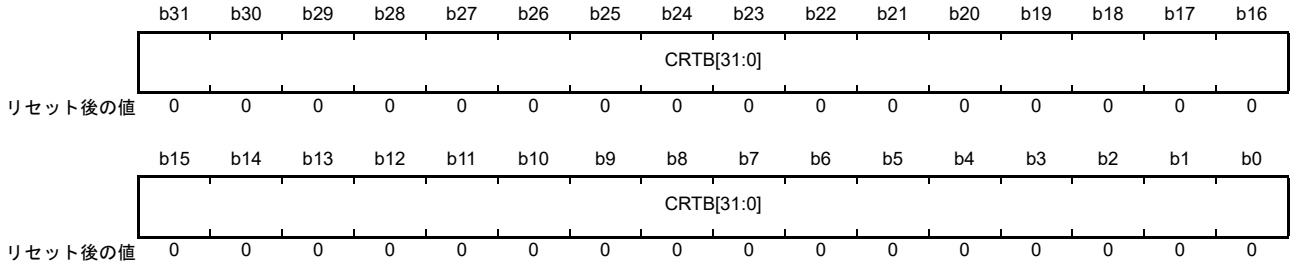
本レジスタは、DMA が停止（CHSTAT_n レジスタの TACT = 0）してからリードしてください。（DMA 動作中の値は参考値として扱ってください。）

15.2.6　カレントトランザクションバイトレジスタ（CRTB_n）

CRTB_n は、DMA チャネル n の総転送バイト数を表示するレジスタです（n = 15-0）。転送終了時には 0 になります。

DMA 転送中は、自動的にデクリメントします。

アドレス
DMAC0
CRTB_0：A006 2020h、CRTB_1：A006 2060h、CRTB_2：A006 20A0h、CRTB_3：A006 20E0h、
CRTB_4：A006 2120h、CRTB_5：A006 2160h、CRTB_6：A006 21A0h、CRTB_7：A006 21E0h、
CRTB_8：A006 2420h、CRTB_9：A006 2460h、CRTB_10：A006 24A0h、CRTB_11：A006 24E0h、
CRTB_12：A006 2520h、CRTB_13：A006 2560h、CRTB_14：A006 25A0h、CRTB_15：A006 25E0h
DMAC1
CRTB_0：A006 3020h、CRTB_1：A006 3060h、CRTB_2：A006 30A0h、CRTB_3：A006 30E0h、
CRTB_4：A006 3120h、CRTB_5：A006 3160h、CRTB_6：A006 31A0h、CRTB_7：A006 31E0h、
CRTB_8：A006 3420h、CRTB_9：A006 3460h、CRTB_10：A006 34A0h、CRTB_11：A006 34E0h、
CRTB_12：A006 3520h、CRTB_13：A006 3560h、CRTB_14：A006 35A0h、CRTB_15：A006 35E0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRTB[31:0]	カレントトランザクションバイト	現在実行しているDMA転送の残りの転送バイト数を表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード：
Next0/1 レジスタから転送バイト数をロード。

リンク・モード：
ディスクリプタ・リード・データから転送バイト数をロード。（ハードウェアにより自動的にディスクリプタ・リード・データが N0TB_n レジスタへ入力され、転送開始時に CRTB_n レジスタへロードされます。）

デクリメントは、転送先へのライト動作完了時に行われます。

本レジスタは、DMA が停止（CHSTAT_n レジスタの TACT = 0）してからリードしてください。（DMA 動作中の値は参考値として扱ってください。）

15.2.7　チャネルステータスレジスタ n （CHSTAT_n）

CHSTAT_n は、DMA チャネル n の状態を表示するレジスタです（n = 15-0）。

アドレス
DMAC0
CHSTAT_0：A006 2024h、CHSTAT_1：A006 2064h、CHSTAT_2：A006 20A4h、CHSTAT_3：A006 20E4h、
CHSTAT_4：A006 2124h、CHSTAT_5：A006 2164h、CHSTAT_6：A006 21A4h、CHSTAT_7：A006 21E4h、
CHSTAT_8：A006 2424h、CHSTAT_9：A006 2464h、CHSTAT_10：A006 24A4h、CHSTAT_11：A006 24E4h、
CHSTAT_12：A006 2524h、CHSTAT_13：A006 2564h、CHSTAT_14：A006 25A4h、CHSTAT_15：A006 25E4h
DMAC1
CHSTAT_0：A006 3024h、CHSTAT_1：A006 3064h、CHSTAT_2：A006 30A4h、CHSTAT_3：A006 30E4h、
CHSTAT_4：A006 3124h、CHSTAT_5：A006 3164h、CHSTAT_6：A006 31A4h、CHSTAT_7：A006 31E4h、
CHSTAT_8：A006 3424h、CHSTAT_9：A006 3464h、CHSTAT_10：A006 34A4h、CHSTAT_11：A006 34E4h、
CHSTAT_12：A006 3524h、CHSTAT_13：A006 3564h、CHSTAT_14：A006 35A4h、CHSTAT_15：A006 35E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DNUM[7:0]								—	—	—	—	—	SWPRQ	DMARQM	INTM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MODE	DER	DW	DL	SR	—	END	ER	SUS	TACT	RQST	EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN	DMA起動許可ビット	DMAチャネルnの動作許可／停止状態を表示します。 0：動作停止状態 1：動作許可状態 セット条件： • CHCTRL_nレジスタのSETENビットに1をライト クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRENビットに1をライト • 転送中にバスエラーを受けた場合 • レジスタ・モードですべてのDMA転送が完了した場合（CHCFG_nレジスタのREN = 0で転送完了） • リンク・モードで、最後のディスクリプタ（LE = 1）のDMA転送（WBD = 0の場合はライトバック）が終了した場合 • リンク・モードのディスクリプタ読み込みで停止（LV = 0、かつCHCFG_nレジスタのDRRP = 0）した場合	R
b1	RQST	DMA転送要求	転送要求を受け付けていることを示すビットです。 0：DMA転送要求を受けていない 1：DMA転送要求を受けている セット条件： • 転送要求を受け付けた場合 クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのSWRSTビットに1をライト • CHCTRL_nレジスタのCLRRQビットに1をライト • シングル転送（CHCFG_nレジスタのTM = 0）モードで、CHCFG_nレジスタのREQDで指定した側の転送実行時 • レジスタ・モードで、すべてのDMA転送が完了した場合（CHCFG_nレジスタのREN = 0で転送完了） • リンク・モードで、最後のディスクリプタ（LE = 1）のDMA転送が終了した場合 • リンク・モード時、ディスクリプタ読み込みで停止（LV = 0、かつCHCFG_nレジスタのDRRP = 0）した場合 • リンク・モード時、CHCFG_nレジスタのDEM = 0の状態で、DMA転送が終了した場合 • マスタ・インタフェースがバスエラーを受けた場合	R

ビット	シンボル	ビット名	機能	R/W
b2	TACT	DMAC動作状態	DMACが動作中であることを示すビットです。チャネルが完全に停止していることを確認するためのビットです。詳細は「15.3.9　DMA転送状態」を参照してください。 0：Channel_nのDMAが停止状態 1：Channel_nのDMAが動作中 セット条件： • CHCTRL_nレジスタのSETENビットに1をライト（ディスクリプタ・リード開始、またはDMA要求待ち） クリア条件： • 内部ステートがアイドル状態（CHSTAT_nレジスタのENがクリアされており、かつすべてのDMA転送が完了）	R
b3	SUS	サスペンド	チャネルが一時停止状態（サスペンド）にあることを示すビットです。詳細は「15.3.10　一時停止（サスペンド）」を参照してください。 0：Channel_nが一時停止状態でない 1：Channel_nが一時停止中 セット条件： • Channel_nのDMA転送実行中にCHCTRL_nレジスタのSETSUSビットに1をライトし、内部がサスペンド状態になったとき クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRSUSビットに1をライト • CHCTRL_nレジスタのCLRENビットに1をライト • CHSTAT_nレジスタのENビットのクリア条件	R
b4	ER	DMAエラー	DMA転送中に、バスエラーが発生した結果、DMAエラー割り込みが発生したことを示します。 0：バスエラーは発生していない 1：バスエラーが発生 セット条件： • バス・サイクルでバスエラーを受けた場合 クリア条件： • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b5	END	DMA転送完了割り込み	DMA転送が完了し、DMA割り込みが発生したことを示すビットです。 0：DMA転送未了 1：DMA転送完了 セット条件： 以下のいずれかの条件成立時 • CHCFG_nレジスタのDEM = 0の場合に、以下の条件を満たした時 ①レジスタ・モードで、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 ②リンク・モードで、ディスクリプタのheaderのWBD = 1で、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 ③リンク・モードで、ディスクリプタのheaderのWBD = 0で、ディスクリプタ・ライト・バックが終了した場合 • リンク・モードで、ディスクリプタ・リード時に、headerのLV = 0、かつCHCFG_nレジスタのDRRP = 0、かつDIM = 0の場合 クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRENDビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b6	—	予約ビット	読むと“0”が読み出されます。	R

ビット	シンボル	ビット名	機能	R/W
b7	SR	Nextレジスタ選択	レジスタ・モード時、選択しているレジスタ・セットを示します。 0：Next0 Register Set 1：Next1 Register Set セット条件： • CHCFG_nレジスタのRSELビットに1をセット クリア条件： • CHCFG_nレジスタのRSELビットを0にクリア	R
b8	DL	ディスクリプタロード	ディスクリプタ・リード状態であることを示します。また、ディスクリプタ・リード時にバスエラーを受けた場合、1を保持します。 0：ディスクリプタ・リード以外 1：（ER = 0時） リンク・モードのディスクリプタ・リード中 （ER = 1時） リンク・モードのディスクリプタ・リード中にバスエラーが発生 セット条件： • リンク・モードのディスクリプタ・リード開始時 クリア条件： 以下のいずれかの条件成立時 • リンク・モードのディスクリプタ・リードがOKレスポンスで終了 • CHCTRL_nレジスタのSWRSTビットに1をライト （バスエラーで1を保持した場合は、SWRSTビットでのみクリアすることができます。）	R
b9	DW	ディスクリプタ ライト・バック	ディスクリプタ・ライト・バック状態であることを示します。また、ディスクリプタ・ライト・バック時にバスエラーを受けた場合、1を保持します。 0：リンク・モードのheaderをライト・バック以外 1：（CHSTAT_nレジスタのER = 0時） リンク・モードのheaderをライト・バック中 （CHSTAT_nレジスタのER = 1時） リンク・モードのheaderをライト・バック中にバスエラーが発生 セット条件： • リンク・モードのheaderをライト・バック開始時 クリア条件： • リンク・モードのheaderライト・バックがOKレスポンスで終了 • CHCTRL_nレジスタのSWRSTビットに1をライト（バスエラーで1を保持した場合は、SWRSTビットでのみクリアすることができます。）	R
b10	DER	ディスクリプタエラー	リードしたディスクリプタが無効（LV = 0）であったことを示します（CHCFG_nレジスタのDIMビットの値には依存しません）。 0：ディスクリプタ・エラー未発生 1：ディスクリプタ・エラー発生 セット条件： • リンク・モード時、CHCFG_nレジスタのDRRP = 0の状態で、リードしたディスクリプタのLVが0 クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRDEビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b11	MODE	DMAモード	DMAモードを示します。CHCFG_nレジスタのDMSビットの設定値を表示します。 0：レジスタ・モード 1：リンク・モード	R
b15-b12	—	予約ビット	読むと“0”が読み出されます。	R

ビット	シンボル	ビット名	機能	R/W
b16	INTM	割り込み要求マスク	DMA割り込み出力の一時マスクの状態を表示します。 1：一時マスク状態 0：一時マスク解除状態 セット条件： • CHCTRL_nレジスタのSETINTMビットに1をライト クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRINTMビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b17	DMARQM	DMA起動要求マスク	DMAリクエストの、一時マスクの状態を示します。 1：一時マスク状態 0：一時マスク解除状態 セット条件： • CHCTRL_nレジスタのSETDMARQMビットのセット クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRDMARQMビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b18	SWPRQ	強制排出要求	強制排出要求状態を表示します。 ソフトウェア強制排出要求（CHCTRL_nレジスタのSETSSWPRQビットで起動した要求）を示します。 1：強制排出要求あり 0：強制排出要求なし セット条件： • CHCTRL_nレジスタのSETSSWPRQビットがセットされた時 クリア条件： 以下のいずれかの条件成立時 • 強制排出によりバッファ内のデータ量が0になった時 • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b23-b19	—	予約ビット	読むと“0”が読み出されます。	R
b31-b24	DNUM	バッファ内データ量	バッファ内の有効データ量を表示します。 DMA転送元からリードして、まだ転送先にライトをしていないデータ量を表示します。（単位：Byte） インクリメント条件： • DMAリード・トランスファ完了時 デクリメント条件： • DMAライト・トランスファ完了時 クリア条件： 以下のいずれかの条件成立時 • ENビットのクリア条件 • CHCTRL_nレジスタのSWRSTビットに1をライト	R

注1.　CHSTAT_nレジスタのERビットがセットされた転送は、その一連の転送が無効であるものとして処理してください。
注2.　DMA転送を中断する場合は、転送要求をマスク、またはクリアするか、CHSTAT_nレジスタのENビットをクリアすることで行ってください（手順は「15.3.11　転送中断」にしたがってください）。
注3.　ソフトウェアによる転送要求を行う場合、前回要求したDMA転送動作が完了（Current Registerなどで確認）してから、DMACソフト起動レジスタ（DMASTG）のDMREQビットをセットしてDMAを起動してください。

15.2.8　DMAC Unit0 要因選択レジスタ i（DMA0SELi）（i = 0 ～ 15）

DMA0SELi レジスタは、DMAC Unit0 のチャネル i（i = 0 ～ 15）の起動トリガ要因を選択するレジスタです。本要因選択で選択される番号は、「表 12.3　Cortex-R4 ／ DMAC 割り込みベクタテーブル」のベクタ番号を参照してください。また、複数の DMA0SELi、DMA1SELi レジスタに同一要因を設定しないでください。同一要因を設定した場合の動作は保証できません。

アドレス　DMA0.DMA0SEL0 A009 4000h、DMA0.DMA0SEL1 A009 4004h、DMA0.DMA0SEL2 A009 4008h、DMA0.DMA0SEL3 A009 400Ch、DMA0.DMA0SEL4 A009 4010h、DMA0.DMA0SEL5 A009 4014h、DMA0.DMA0SEL6 A009 4018h、DMA0.DMA0SEL7 A009 401Ch、DMA0.DMA0SEL8 A009 4020h、DMA0.DMA0SEL9 A009 4024h、DMA0.DMA0SEL10 A009 4028h、DMA0.DMA0SEL11 A009 402Ch、DMA0.DMA0SEL12 A009 4030h、DMA0.DMA0SEL13 A009 4034h、DMA0.DMA0SEL14 A009 4038h、DMA0.DMA0SEL15 A009 403Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	IFC0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	IFC0[7:0]	DMAチャネル要因選択ビット	DMAチャネルのトリガ要因を選択します。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

15.2.9　DMAC Unit1 要因選択レジスタ i（DMA1SELi）（i = 0 ～ 15）

DMA1SELi レジスタは、DMAC Unit1 のチャネル i（i = 0 ～ 15）の起動トリガ要因を選択するレジスタです。本要因選択で選択される番号は、「表 12.3　Cortex-R4 ／ DMAC 割り込みベクタテーブル」のベクタ番号を参照してください。また、複数の DMA0SELi、DMA1SELi レジスタに同一要因を設定しないでください。同一要因を設定した場合の動作は保証できません。

アドレス　DMA1.DMA1SEL0 A009 4040h、DMA1.DMA1SEL1 A009 4044h、DMA1.DMA1SEL2 A009 4048h、DMA1.DMA1SEL3 A009 404Ch、DMA1.DMA1SEL4 A009 4050h、DMA1.DMA1SEL5 A009 4054h、DMA1.DMA1SEL6 A009 4058h、DMA1.DMA1SEL7 A009 405Ch、DMA1.DMA1SEL8 A009 4060h、DMA1.DMA1SEL9 A009 4064h、DMA1.DMA1SEL10 A009 4068h、DMA1.DMA1SEL11 A009 406Ch、DMA1.DMA1SEL12 A009 4070h、DMA1.DMA1SEL13 A009 4074h、DMA1.DMA1SEL14 A009 4078h、DMA1.DMA1SEL15 A009 407Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	IFC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	IFC1[7:0]	DMAチャネル要因選択ビット	DMAチャネルのトリガ要因を選択します。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

15.2.10　DMAC ソフトウェア起動レジスタ（DMASTG）

DMASTG レジスタは、ソフトウエアによる DMAC の起動を制御するレジスタです。

アドレス　DMAC.DMASTG A009 4080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMREQ1	DMREQ0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMREQ0	DMA Unit0 ソフトウェア起動ビット	0：DMA転送要求なし 1：DMA転送要求あり	W
b1	DMREQ1	DMA Unit1 ソフトウェア起動ビット	0：DMA転送要求なし 1：DMA転送要求あり	W
b31-b2	—	予約ビット	書く場合、“0”としてください。	W

DMREQ0、DMREQ1 ビット（DMA Unit 0/1 ソフトウェア起動ビット）

DMA0SELi レジスタ、DMA1SELi レジスタ（i = 0 ～ 15）にソフトウェアによる DMA 起動を選択した後、DMREQ0、DMREQ1 ビットに “1” を書き込むと DMA 転送要求が発生します。

本ビットは書き込みのみ可能です。読むと “0” が読めます。

15.2.11　共通コントロールレジスタ（CMNCR）

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

アドレス　A000 2000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TL2	TL1	TL0	—	AL2	AL1	AL0	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DPRTY[1:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4-b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b8-b5	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b10-b9	DPRTY[1:0]	DMAバースト転送優先順位設定ビット	DMAバースト転送中に対するリフレッシュ要求の優先順位を指定します。 0x：DMAバースト転送中にリフレッシュ要求を受け付ける。 10：DMAバースト転送中にリフレッシュ要求を受け付けない。 11：予約（設定禁止）	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b23-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b24	AL0	アクノリッジレベル設定ビット	DACK0信号のアクティブレベルを指定します。 0：DACK0をロウアクティブ出力 1：DACK0をハイアクティブ出力	R/W
b25	AL1	アクノリッジレベル設定ビット	DACK1信号のアクティブレベルを指定します。 0：DACK1をロウアクティブ出力 1：DACK1をハイアクティブ出力	R/W
b26	AL2	アクノリッジレベル設定ビット	DACK2信号のアクティブレベルを指定します。 0：DACK2をロウアクティブ出力 1：DACK2をハイアクティブ出力	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	TL0	トランスファエンドレベル設定ビット	TEND0信号のアクティブレベルを指定します。 0：TEND0をロウアクティブ出力 1：TEND0をハイアクティブ出力	R/W
b29	TL1	トランスファエンドレベル設定ビット	TEND1信号のアクティブレベルを指定します。 0：TEND1をロウアクティブ出力 1：TEND1をハイアクティブ出力	R/W
b30	TL2	トランスファエンドレベル設定ビット	TEND2信号のアクティブレベルを指定します。 0：TEND2をロウアクティブ出力 1：TEND2をハイアクティブ出力	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

15.2.12　チャネルコントロールレジスタ n （CHCTRL_n）

CHCTRL_n は、DMA チャネル n の DMA 転送動作を制御するレジスタです（n = 15-0）。

本レジスタは、各機能を起動するためのものであり、ライトした値を保持しません。本レジスタをリードすると 0 が読めます。

CLRDMARQM、SETDMARQM ビットによる、強制排出要求、DMA 転送要求入力の一時マスクは、このチャネル n の資源だけをマスクします。

アドレス
DMAC0
CHCTRL_0：A006 2028h、CHCTRL_1：A006 2068h、CHCTRL_2：A006 20A8h、CHCTRL_3：A006 20E8h、
CHCTRL_4：A006 2128h、CHCTRL_5：A006 2168h、CHCTRL_6：A006 21A8h、CHCTRL_7：A006 21E8h、
CHCTRL_8：A006 2428h、CHCTRL_9：A006 2468h、CHCTRL_10：A006 24A8h、CHCTRL_11：A006 24E8h、
CHCTRL_12：A006 2528h、CHCTRL_13：A006 2568h、CHCTRL_14：A006 25A8h、CHCTRL_15：A006 25E8h
DMAC1
CHCTRL_0：A006 3028h、CHCTRL_1：A006 3068h、CHCTRL_2：A006 30A8h、CHCTRL_3：A006 30E8h、
CHCTRL_4：A006 3128h、CHCTRL_5：A006 3168h、CHCTRL_6：A006 31A8h、CHCTRL_7：A006 31E8h、
CHCTRL_8：A006 3428h、CHCTRL_9：A006 3468h、CHCTRL_10：A006 34A8h、CHCTRL_11：A006 34E8h、
CHCTRL_12：A006 3528h、CHCTRL_13：A006 3568h、CHCTRL_14：A006 35A8h、CHCTRL_15：A006 35E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	CLRDMARQM	SETDMARQM	CLRINTM	SETINTM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SETSSWPRQ	—	SETREN	—	—	CLRSUS	SETSUS	CLRDE	—	CLRENDD	CLRRQ	SWRST	—	CLREN	SETEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SETEN	DMA起動許可セット	DMAチャネルnのDMA転送の許可を設定します。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先され、転送は開始しません。 このビットをリードすると0が読めます。 1：DMA転送の許可（CHSTAT_nレジスタのENビットをセット） 0：動作に影響を与えません。 注.　DMAのレジスタを再設定する場合は、CLRENビットをセットし、DMA転送を停止した後、SETENビットをセットしてください。	R/W
b1	CLREN	DMA起動許可クリア	CHSTAT_nレジスタのENビットのクリアを行います（詳細は「15.3.11　転送中断」節参照）。 このビットをリードすると0が読めます。 1：DMA転送の停止（CHSTAT_nレジスタのENビットをクリア） 0：動作に影響を与えません。	R/W
b2	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b3	SWRST	ソフトウェアリセット	CHSTAT_nレジスタの各ビットのクリアを行います（クリアされるビットは、各ビットの説明を参照してください）。このビットのセットは、ENビットが0かつTACTビットが0のときに行ってください。 このビットをリードすると0が読めます。 1：CHSTAT_nレジスタの各ビットのクリア 0：動作に影響を与えません。	R/W
b4	CLRRQ	DMA転送要求クリア	CHSTAT_nレジスタのRQSTビットのクリアを行います。 このビットをリードすると0が読めます。 1：CHSTAT_nレジスタのRQSTビットのクリア 0：動作に影響を与えません。	R/W
b5	CLREND	ENDクリア	CHSTAT_nレジスタのENDビットのクリアを行います。このビットをリードすると0が読めます。 1：ENDビットのクリア 0：動作に影響を与えません。	R/W
b6	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b7	CLRDE	DERクリア	CHSTAT_nレジスタのDER（ディスクリプタ・エラー）ビットのクリアを行います。 このビットをリードすると0が読めます。 1：DERビットのクリア 0：動作に影響を与えません。	R/W
b8	SETSUS	サスペンド要求	CHSTAT_nレジスタのENが1のときに、このビットに1をセットすると、実行中のDMA転送を一時停止（サスペンド）します。 このビットをリードすると0が読めます。 1：実行中のDMA転送の一時停止 0：動作に影響を与えません。	R/W
b9	CLRSUS	サスペンドクリア	CHSTAT_nレジスタのSUSビットが1のときに、このビットに1をセットすると、一時停止（サスペンド）状態を解除します。 このビットをリードすると0が読めます。 1：実行中のDMA転送の一時停止解除 0：動作に影響を与えません。	R/W
b11-b10	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b12	SETREN	RENセット許可	CHCFG_nレジスタのREN（レジスタ・セット許可）ビットをセットします。 このビットをリードすると0が読めます。 1：CHCFG_nレジスタのRENビットをセットします。 0：動作に影響を与えません。	R/W
b13	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b14	SETSSWPRQ	ソフトウェア強制排出要求	バッファ内にあるデータを転送先に強制排出します（「15.3.6　強制排出要求」を参照）。 リードをすると0が読めます。 1：バッファ内にある、まだライトしていないデータを、転送先にライトします。 0：動作に影響を与えません。 デスティネーション側がハードウェア・リクエストを要求する（CHCFGnレジスタ（n = 0-15）のREQD = 1）場合、強制排出は使用できません（ハードウェア的に無効となります）。	R/W
b15	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b16	SETINTM	割り込み要求マスク	DMA転送完了割り込み出力を一時的にマスクします。また、CHSTATnレジスタのINTMビットが1となります。 リードをすると0が読めます。 1：DMA転送完了割り込みをマスクします。 0：動作に影響を与えません。	R/W
b17	CLRINTM	割り込み要求マスククリア	DMA転送完了割り込み出力のマスク状態を解除します。また、CHSTATnレジスタのINTMビットが0となります。 DCTRLレジスタのLVINT = 1、CHSTAT_nレジスタのEND = 1の状態でマスクを解除した場合、DMA転送完了割り込み出力がアクティブになります。（LVINT = 0の場合は、アクティブにはなりません。） リードをすると0が読めます。 1：SETINTMビットでセットしたマスクを解除します。 0：動作に影響を与えません。	R/W
b18	SETDMARQM	DMA起動要求マスク	DMA転送要求入力を一時的にマスクします。また、CHSTATnレジスタのDMARQMビットが1となります。 リードをすると0が読めます。 1：DMA転送要求入力をマスクします。 0：動作に影響を与えません。	R/W
b19	CLRDMARQM	DMA起動要求マスククリア	DMA転送要求入力のマスク状態を解除します。また、CHSTATnレジスタのDMARQMビットが0となります。 リードをすると0が読めます。 1：SETDMARQMビットでセットしたマスク状態を解除します。 0：動作に影響を与えません	R/W
b31-b20	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

15.2.13　チャネルコンフィギュレーションレジスタ n （CHCFG_n）

CHCFG_n は、DMA チャネル n の DMA 転送動作を制御するレジスタです（n = 15-0）。

使用する DMA 転送要因ごとに、検出方法を設定してください。DMA 要求信号の検出については、「15.3.4.1　DMA 転送要求の要因毎の検出動作指定」を参照してください。

アドレス
DMAC0
CHCFG_0：A006 202Ch、CHCFG_1：A006 206Ch、CHCFG_2：A006 20ACh、CHCFG_3：A006 20ECh、
CHCFG_4：A006 212Ch、CHCFG_5：A006 216Ch、CHCFG_6：A006 21ACh、CHCFG_7：A006 21ECh、
CHCFG_8：A006 242Ch、CHCFG_9：A006 246Ch、CHCFG_10：A006 24ACh、CHCFG_11：A006 24ECh、
CHCFG_12：A006 252Ch、CHCFG_13：A006 256Ch、CHCFG_14：A006 25ACh、CHCFG_15：A006 25ECh
DMAC1
CHCFG_0：A006 302Ch、CHCFG_1：A006 306Ch、CHCFG_2：A006 30ACh、CHCFG_3：A006 30ECh、
CHCFG_4：A006 312Ch、CHCFG_5：A006 316Ch、CHCFG_6：A006 31ACh、CHCFG_7：A006 31ECh、
CHCFG_C：A006 342Ch、CHCFG_9：A006 346Ch、CHCFG_10：A006 34ACh、CHCFG_11：A006 34ECh、
CHCFG_12：A006 352Ch、CHCFG_13：A006 356Ch、CHCFG_14：A006 35ACh、CHCFG_15：A006 35ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DMS	REN	RSW	RSEL	SBE	DIM	—	DEM	WONLY	TM	DAD	SAD	DDS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SDS[3:0]				DRRP	AM[2:0]			—	LVL	HIEN	LOEN	REQD	SEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SEL[2:0]	端子選択	DMACのチャネルを設定するビットです。CHCFG_n（n = 0-15）のチャネルとSELで設定するチャネルが等しくなるように、以下の値を設定してください。 例えば、CHCFG_1の場合、SELビットには、001bを設定してください。同様にCHCFG_9の場合もSELビットには001bを設定してください。 DMAC0/1 b2 b0 000：チャネル0/8 001：チャネル1/9 010：チャネル2/10 011：チャネル3/11 100：チャネル4/12 101：チャネル5/13 110：チャネル6/14 111：チャネル7/15	R/W
b3	REQD	DMA起動要求元選択	DMA転送要求入力元（DACKを必要としている内部モジュールや外部デバイス）を指定します。DACK／TENDがアクティブになるタイミングもこのビットの設定で決まります。 0：転送元側のモジュールが要求。DACK／TEND出力はリード時にアクティブ（リセット後の値） 1：転送先側のモジュールが要求。DACK／TEND出力はライト時にアクティブ	R/W
b4	LOEN	‘L’検出許可	DMA要求信号の検出方法を指定します。 LVL = 0の場合： LOEN = 1：DMA転送要求入力に立ち下がりエッジを検出した場合、要求があったと認識します。 LOEN = 0：DMA転送要求入力が立ち下がっても要求を認識しません（リセット後の値）。 LVL = 1の場合： LOEN = 1：DMA転送要求入力にLowレベルを検出した場合、要求があったと認識します。 LOEN = 0：DMA転送要求入力がLowレベルでも要求を認識しません（リセット後の値）。	R/W

ビット	シンボル	ビット名	機能	R/W
b5	HIEN	‘H’検出許可	DMA要求信号の検出方法を指定します。 LVL = 0の場合： HIEN = 1：DMA転送要求入力に立ち上がりエッジを検出した場合、要求があったと認識します。 HIEN = 0：DMA転送要求入力が立ち上がっても要求を認識しません（リセット後の値）。 LVL = 1の場合： HIEN = 1：DMA転送要求入力がHighレベルを検出した場合、要求があったと認識します。 HIEN = 0：DMA転送要求入力がHighレベルでも要求を認識しません（リセット後の値）。	R/W
b6	LVL	レベル検出許可	DMA要求信号の検出方法を指定します。 0：エッジで検出します（リセット後の値） 1：レベルで検出します	R/W
b7	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b10-b8	AM[2:0]	ACKモード	DACK／TEND出力モードを設定します。 b10 b8 000：設定禁止（リセット後の値） 必ず初期設定時に、000b以外の値を設定してください。 001：レベル・モード（DMA転送要求入力がインアテクィブになるまでアクティブ） 01x：バス・サイクル・モード（DMA転送サイクル間アクティブ（内蔵資源を対象としている場合もアクティブになります。）） 1xx：DACK／TEND出力をマスクする。 注．　DACK、TEND出力の条件については「15.3.5　DMAアクノリッジ出力／DMAトランザクション終了出力機能」を参照してください。	R/W
b11	DRRP	ディスクリプタ再読み込み許可	ディスクリプタリード時における、headerのLV = 0の場合の動作を指定します（「15.3.1.2　リンク・モード(1)　リンク・モードの動作フロー」を参照）。 0：CHSTAT_nレジスタのDERビットをセットし、動作を停止します。（リセット後の値） 1：LVが1になるまで同じディスクリプタをリードし続け、LVが1になればそのディスクリプタ値を使ったDMA転送を開始します。ディスクリプタ・リードの間隔は、DSCITVLレジスタで制御します。	R/W
b15-b12	SDS[3:0]	ソースデータサイズ	一度に転送する転送元のデータサイズを設定します。シングル転送の場合、1回の要求で設定値分転送します。ブロック転送の場合、CRTBレジスタが0になるまで転送サイズの設定値×N回の転送を行います。32bit以上の転送においては32bit × N回のバースト転送を行います。 SDS[3]で通常モードとスキップ・モードの切り替えを行います。 0：通常モード（リセット後の値） 1：スキップ・モード SDS[2:0]で転送サイズを設定します。 b14 b12 000：8ビット（リセット後の値） 001：16ビット 010：32ビット 011：設定禁止 100：128ビット（注2） 101：256ビット（DMAC0のみ設定可能） 110：512ビット（DMAC0のみ設定可能）（注1） 111：設定禁止	R/W

ビット	シンボル	ビット名	機能	R/W
b19-b16	DDS[3:0]	デスティネーション データサイズ	一度に転送する転送先のデータサイズを設定します。 DDS[3]で通常モードとスキップ・モードの切り替えを行います。 0：通常モード（リセット後の値） 1：スキップ・モード DDS[2:0]で転送サイズを設定します。 b18 b16 000：8ビット（リセット後の値） 001：16ビット 010：32ビット 011：設定禁止 100：128ビット（注2） 101：256ビット（DMAC0のみ設定可能） 110：512ビット（DMAC0のみ設定可能）（注1） 111：設定禁止	R/W
b20	SAD	ソースアドレス カウント方向	DMAチャネルnの転送元アドレスのカウント方向を設定します。 0：インクリメント（リセット後の値） 1：固定 転送元側でスキップモードを使う場合、SAD = 1（固定）は指定しないでください。また、SAD = 1（固定）を設定した場合は、転送元アドレスがSDS[3:0]ビットで指定されるソースデータサイズのアラインとなるよう設定してください。	R/W
b21	DAD	デスティネーション アドレスカウント方向	DMAチャネルnの転送先アドレスのカウント方向を設定します。 0：インクリメント（リセット後の値） 1：固定 転送先側でスキップモードを使う場合、DAD = 1（固定）は指定しないでください。また、DAD = 1（固定）を設定した場合は、転送先アドレスがDDS[3:0]ビットで指定されるデスティネーションデータサイズのアラインとなるよう設定してください。	R/W
b22	TM	転送モード	DMA転送モードを設定します。 0：シングル転送モード（リセット後の値） 1：ブロック転送モード	R/W
b23	WONLY	ライトオンリーモード	Write Onlyモード（「15.3.1.3　WRITE ONLYモード」参照）を設定します。 0：通常動作（リセット後の値） 1：Write Onlyモード	R/W
b24	DEM	転送完了割り込み マスク	DMA転送完了割り込み検出をマスクします。 DMA転送完了割り込み出力タイミングでこのビットが1の場合、DMA転送完了割り込みをアクティブにしません。また、CHSTAT_nレジスタのENDビットもセットしません。レジスタ・モードの場合、DEMビットは自動的に0クリアされます。リンク・モードの場合はクリアされません。 0：マスクしない（リセット後の値） 1：マスクする クリア条件： DEM = 1でDMA転送完了時	R/W
b25	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b26	DIM	ディスクリプタ割り込 みマスク	ディスクリプタのheaderリード時におけるLV = 0の場合のDMA転送完了割り込みのマスクを設定します。 0：DMA転送完了割り込みをマスクしない。（リセット後の値） 1：DMA転送完了割り込みをマスクする。	R/W
b27	SBE	バッファ掃出し許可	DMA転送中にCHSTAT_nレジスタのENビットを0にした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して（ライト）停止するか否かを選択します。 REQD = 0の場合のみ、掃き出しモードを使用することができます。 0：バッファの掃き出しをせずに転送中止（リセット後の値） 1：バッファを掃き出し転送中止	R/W

ビット	シンボル	ビット名	機能	R/W
b28	RSEL	Nextレジスタ選択	次に実行するNextレジスタ・セットを選択します。このビットはレジスタ・モード時のみ有効です。 RSW = 1の場合、DMA転送完了時に自動的に反転（0の場合1、1の場合0）します。 0：Next0 Register Setを実行する（リセット後の値） 1：Next1 Register Setを実行する 遷移条件： RSW = 1でDMA転送完了時	R/W
b29	RSW	RSEL反転	DMA転送完了後に、RSELビットを自動的に反転（0の場合1、1の場合0）します。このビットはレジスタ・モード時のみ有効です。 0：DMA転送完了後にRSELビットを反転しない（リセット後の値） 1：DMA転送完了後にRSELビットを反転する	R/W
b30	REN	レジスタ・セット許可	DMA転送完了後に、続けてRSELビットで選択されているNextレジスタ・セットのDMA転送を行います。このビットはレジスタ・モード時のみ有効です。 0：続けてDMA転送を実行しない。 1：続けてDMA転送を実行する。 セット条件 以下のいずれかの条件成立時 • 本ビットに1をライト • CHCTRL_nレジスタのSETRENビットに1をライト クリア条件 • 本ビットに0をライト • REN = 1でDMA転送完了時 DMA転送中にRENビットを再セットする場合は、CHCTRL_nレジスタのSETRENビットを使用してください。また、CHCFG_n.DEMビットも再設定し、DMA転送完了割り込み検出をマスクしてください。	R/W
b31	DMS	DMAモード選択	DMAモードを設定します。 0：レジスタ・モード（リセット後の値） 1：リンク・モード	R/W

注1.　転送サイズを512ビットに設定する場合は、転送元／転送先アドレスを512ビットのアラインとなるように設定してください。
注2.　DMAC1を使用時に転送サイズを128ビットに設定する場合は、転送元／転送先アドレスを128ビットのアラインとなるように設定してください。

15.2.14　チャネルインターバルレジスタ n （CHITVL_n）

CHITVL_n は、DMA チャネル n の DMA トランスファ間隔を設定するレジスタです（n = 15-0）。
詳細は、「15.3.7　インターバル・カウント機能」を参照してください。

アドレス
DMAC0
CHITVL_0：A006 2030h、CHITVL_1：A006 2070h、CHITVL_2：A006 20B0h、CHITVL_3：A006 20F0h、
CHITVL_4：A006 2130h、CHITVL_5：A006 2170h、CHITVL_6：A006 21B0h、CHITVL_7：A006 21F0h、
CHITVL_8：A006 2430h、CHITVL_9：A006 2470h、CHITVL_10：A006 24B0h、CHITVL_11：A006 24F0h、
CHITVL_12：A006 2530h、CHITVL_13：A006 2570h、CHITVL_14：A006 25B0h、CHITVL_15：A006 25F0h
DMAC1
CHITVL_0：A006 3030h、CHITVL_1：A006 3070h、CHITVL_2：A006 30B0h、CHITVL_3：A006 30F0h、
CHITVL_4：A006 3130h、CHITVL_5：A006 3170h、CHITVL_6：A006 31B0h、CHITVL_7：A006 31F0h、
CHITVL_8：A006 3430h、CHITVL_9：A006 3470h、CHITVL_10：A006 34B0h、CHITVL_11：A006 34F0h、
CHITVL_12：A006 3530h、CHITVL_13：A006 3570h、CHITVL_14：A006 35B0h、CHITVL_15：A006 35F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ITVL[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ITVL	インターバル	DMA トランスファの転送間隔を設定します。	R/W
b31-b16	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

15.2.15　ネクストリンクアドレスレジスタ n （NXLA_n）

NXLA_n は、DMA チャネル n のリンク・アドレスを設定するレジスタです（n = 15-0）。

アドレス
DMAC0
NXLA_0：A006 2038h、NXLA_1：A006 2078h、NXLA_2：A006 20B8h、NXLA_3：A006 20F8h、
NXLA_4：A006 2138h、NXLA_5：A006 2178h、NXLA_6：A006 21B8h、NXLA_7：A006 21F8h、
NXLA_8：A006 2438h、NXLA_9：A006 2478h、NXLA_10：A006 24B8h、NXLA_11：A006 24F8h、
NXLA_12：A006 2538h、NXLA_13：A006 2578h、NXLA_14：A006 25B8h、NXLA_15：A006 25F8h
DMAC1
NXLA_0：A006 3038h、NXLA_1：A006 3078h、NXLA_2：A006 30B8h、NXLA_3：A006 30F8h、
NXLA_4：A006 3138h、NXLA_5：A006 3178h、NXLA_6：A006 31B8h、NXLA_7：A006 31F8h、
NXLA_8：A006 3438h、NXLA_9：A006 3478h、NXLA_10：A006 34B8h、NXLA_11：A006 34F8h、
NXLA_12：A006 3538h、NXLA_13：A006 3578h、NXLA_14：A006 35B8h、NXLA_15：A006 35F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NXLA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NXLA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NXLA[31:0]	ネクストリンクアドレス	リンク先のアドレスを設定します。下位2ビットは0固定のため、ワード・アラインされたアドレスのみ設定可能です。	R/W
b31-b2				R/W

15.2.16　カレントリンクアドレスレジスタ n （CRLA_n）

CRLA_n は、DMA チャネル n のリンク・アドレスを設定するレジスタです（n = 15-0）。

アドレス
DMAC0
CRLA_0：A006 203Ch、CRLA_1：A006 207Ch、CRLA_2：A006 20BCh、CRLA_3：A006 20FCh、
CRLA_4：A006 213Ch、CRLA_5：A006 217Ch、CRLA_6：A006 21BCh、CRLA_7：A006 21FCh、
CRLA_8：A006 243Ch、CRLA_9：A006 247Ch、CRLA_10：A006 24BCh、CRLA_11：A006 24FCh、
CRLA_12：A006 253Ch、CRLA_13：A006 257Ch、CRLA_14：A006 25BCh、CRLA_15：A006 25FCh
DMAC1
CRLA_0：A006 303Ch、CRLA_1：A006 307Ch、CRLA_2：A006 30BCh、CRLA_3：A006 30FCh、
CRLA_4：A006 313Ch、CRLA_5：A006 317Ch、CRLA_6：A006 31BCh、CRLA_7：A006 31FCh、
CRLA_8：A006 343Ch、CRLA_9：A006 347Ch、CRLA_10：A006 34BCh、CRLA_11：A006 34FCh、
CRLA_12：A006 353Ch、CRLA_13：A006 357Ch、CRLA_14：A006 35BCh、CRLA_15：A006 35FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CRLA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CRLA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	CRLA[31:0]	カレントリンクアドレス	現在実行しているディスクリプタのアドレスを表示します。	R

15.2.17　ソースコンティニュアスレジスタ n （SCNT_n）

SCNT_n は、DMA 転送元へのリード・アクセス時における連続アクセスする空間サイズを設定するレジスタです（n = 15-0）。

本レジスタは、SSKP_n レジスタとペアで使用します（**図 15.1** 参照）。

本レジスタ設定を行う場合、CHCFG_n レジスタの SDS[3] ビットは 1 にしてください。

アドレス
DMAC0
SCNT_0：A006 2200h、SCNT_1：A006 2220h、SCNT_2：A006 2240h、SCNT_3：A006 2260h、
SCNT_4：A006 2280h、SCNT_5：A006 22A0h、SCNT_6：A006 22C0h、SCNT_7：A006 22E0h、
SCNT_8：A006 2600h、SCNT_9：A006 2620h、SCNT_10：A006 2640h、SCNT_11：A006 2660h、
SCNT_12：A006 2680h、SCNT_13：A006 26A0h、SCNT_14：A006 26C0h、SCNT_15：A006 26E0h
DMAC1
SCNT_0：A006 3200h、SCNT_1：A006 3220h、SCNT_2：A006 3240h、SCNT_3：A006 3260h、
SCNT_4：A006 3280h、SCNT_5：A006 32A0h、SCNT_6：A006 32C0h、SCNT_7：A006 32E0h、
SCNT_8：A006 3600h、SCNT_9：A006 3620h、SCNT_10：A006 3640h、SCNT_11：A006 3660h、
SCNT_12：A006 3680h、SCNT_13：A006 36A0h、SCNT_14：A006 36C0h、SCNT_15：A006 36E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SCNT[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCNT[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	SCNT[31:0]	ソース連続アクセスサイズ	DMA転送元へのリード・アクセス時における連続アクセス空間サイズを設定します。（単位：Byte）	R/W

転送元側でスキップ転送を行う場合、CHCFG_n レジスタの SAD ビットを 1（固定）に設定しないでください。また、本レジスタを 0000 0000h にしてスキップ転送を行わないでください。

15.2.18　ソーススキップレジスタ n （SSKP_n）

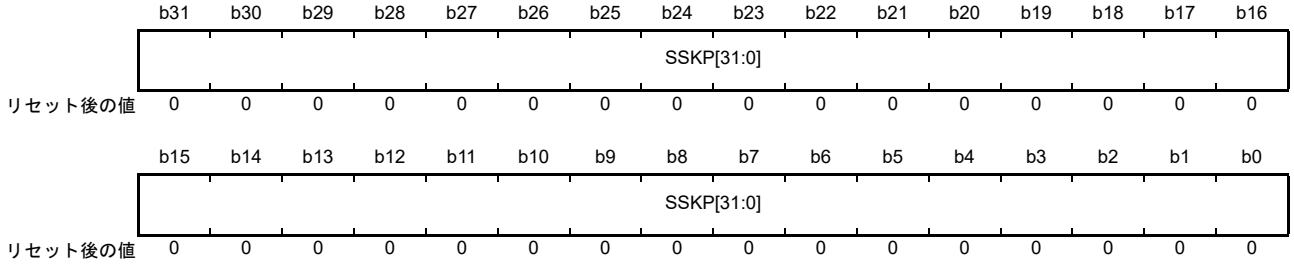
SSKP_n は、DMA 転送元へのリードアクセス時のスキップ量を設定するレジスタです。

DMA 転送元へのリード・アクセス時、SCNT_n レジスタで設定したデータ・サイズ分アクセスした後、本レジスタに設定したサイズ分、次の DMA 転送元アドレスをスキップします（n = 15-0）。

本レジスタは SCNT_n レジスタとペアで使用します（**図 15.1** 参照）。

本レジスタ設定を行う場合、CHCFG_n レジスタの SDS[3] ビットは 1 にしてください。

アドレス
DMAC0
SSKP_0：A006 2204h、SSKP_1：A006 2224h、SSKP_2：A006 2244h、SSKP_3：A006 2264h、
SSKP_4：A006 2284h、SSKP_5：A006 22A4h、SSKP_6：A006 22C4h、SSKP_7：A006 22E4h、
SSKP_8：A006 2604h、SSKP_9：A006 2624h、SSKP_10：A006 2644h、SSKP_11：A006 2664h、
SSKP_12：A006 2684h、SSKP_13：A006 26A4h、SSKP_14：A006 26C4h、SSKP_15：A006 26E4h
DMAC1
SSKP_0：A006 3204h、SSKP_1：A006 3224h、SSKP_2：A006 3244h、SSKP_3：A006 3264h、
SSKP_4：A006 3284h、SSKP_5：A006 32A4h、SSKP_6：A006 32C4h、SSKP_7：A006 32E4h、
SSKP_8：A006 3604h、SSKP_9：A006 3624h、SSKP_10：A006 3644h、SSKP_11：A006 3664h、
SSKP_12：A006 3684h、SSKP_13：A006 36A4h、SSKP_14：A006 36C4h、SSKP_15：A006 36E4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SSKP[31:0]	ソーススキップサイズ	DMA転送元へのリードアクセス時のスキップ量を設定します。（単位：Byte）	R/W

転送元側でスキップ転送を行う場合、CHCFG_n レジスタの SAD ビットを 1（固定）に設定しないでください。

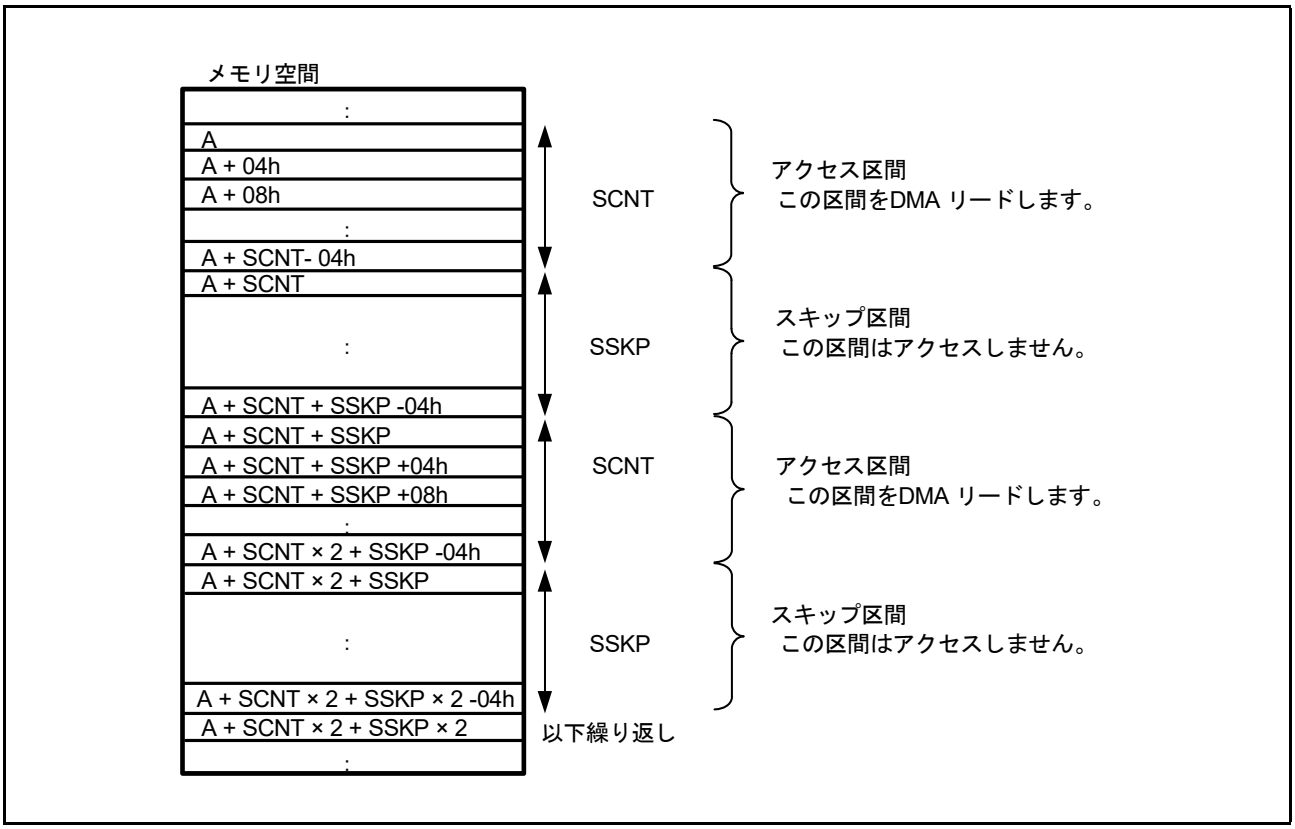


図 15.1　SSKP と SCNT の関係

SCNT、SSKP の値は、ソース・アドレスおよび CHCFG_n レジスタの SDS フィールドの設定値に関係無く設定することができます。DMAC は、CHCFG_n レジスタの SDS フィールドの設定サイズでアクセスし、有効なデータのみバッファに取り込みます。

15.2.19　デスティネーションコンティニュアスレジスタ n （DCNT_n）

DCNT_n は、DMA 転送先へのライト・アクセス時における連続アクセスする空間サイズを設定するレジスタです（n = 15-0）。

本レジスタは、DSKP_n レジスタとペアで使用します（**図 15.2** 参照）。

本レジスタ設定を行う場合、CHCFG_n レジスタの DDS[3] ビットは 1 にしてください。

アドレス
DMAC0
DCNT_0：A006 2208h、DCNT_1：A006 2228h、DCNT_2：A006 2248h、DCNT_3：A006 2268h、
DCNT_4：A006 2288h、DCNT_5：A006 22A8h、DCNT_6：A006 22C8h、DCNT_7：A006 22E8h、
DCNT_8：A006 2608h、DCNT_9：A006 2628h、DCNT_10：A006 2648h、DCNT_11：A006 2668h、
DCNT_12：A006 2688h、DCNT_13：A006 26A8h、DCNT_14：A006 26C8h、DCNT_15：A006 26E8h
DMAC1
DCNT_0：A006 3208h、DCNT_1：A006 3228h、DCNT_2：A006 3248h、DCNT_3：A006 3268h、
DCNT_4：A006 3288h、DCNT_5：A006 32A8h、DCNT_6：A006 32C8h、DCNT_7：A006 32E8h、
DCNT_8：A006 3608h、DCNT_9：A006 3628h、DCNT_10：A006 3648h、DCNT_11：A006 3668h、
DCNT_12：A006 3688h、DCNT_13：A006 36A8h、DCNT_14：A006 36C8h、DCNT_15：A006 36E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DCNT[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DCNT[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	DCNT[31:0]	デスティネーション 連続アクセスサイズ	転送先へのライト・アクセス時における連続アクセス空間サイズを設定します。（単位：Byte）	R/W

デスティネーション側でスキップ転送を行う場合、CHCFG_n レジスタの DAD ビットを 1（固定）に設定しないでください。

また、本レジスタを 0000 0000h にしてスキップ転送を行わないでください。

15.2.20　デスティネーションスキップレジスタ n （DSKP_n）

DSKP_n は、DMA 転送先へのライト・アクセス時におけるスキップ量を設定するレジスタです。

DMA 転送先へのライト・アクセス時、DCNT_n レジスタで設定したデータ・サイズ分アクセスした後、本レジスタに設定したサイズ分、次の DMA 転送先アドレスをスキップします（n = 15-0）。

本レジスタは DCNT_n レジスタとペアで使用します（図 15.2 参照）。

本レジスタ設定を行う場合、CHCFG_n レジスタの DDS[3] ビットは 1 にしてください。

アドレス
DMAC0
DSKP_0：A006 220Ch、DSKP_1：A006 222Ch、DSKP_2：A006 224Ch、DSKP_3：A006 226Ch、
DSKP_4：A006 228Ch、DSKP_5：A006 22ACh、DSKP_6：A006 22CCh、DSKP_7：A006 22ECh、
DSKP_8：A006 260Ch、DSKP_9：A006 262Ch、DSKP_10：A006 264Ch、DSKP_11：A006 266Ch、
DSKP_12：A006 268Ch、DSKP_13：A006 26ACh、DSKP_14：A006 26CCh、DSKP_15：A006 26ECh
DMAC1
DSKP_0：A006 320Ch、DSKP_1：A006 322Ch、DSKP_2：A006 324Ch、DSKP_3：A006 326Ch、
DSKP_4：A006 328Ch、DSKP_5：A006 32ACh、DSKP_6：A006 32CCh、DSKP_7：A006 32ECh、
DSKP_8：A006 360Ch、DSKP_9：A006 362Ch、DSKP_10：A006 364Ch、DSKP_11：A006 366Ch、
DSKP_12：A006 368Ch、DSKP_13：A006 36ACh、DSKP_14：A006 36CCh、DSKP_15：A006 36ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSKP[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSKP[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	DSKP[31:0]	デスティネーション スキップサイズ	DMA転送先へのライト・アクセス時におけるスキップ量を設定します。（単位：Byte）	R/W

デスティネーション側でスキップ転送を行う場合、CHCFG_n レジスタの DAD ビットを 1（固定）に設定しないでください。

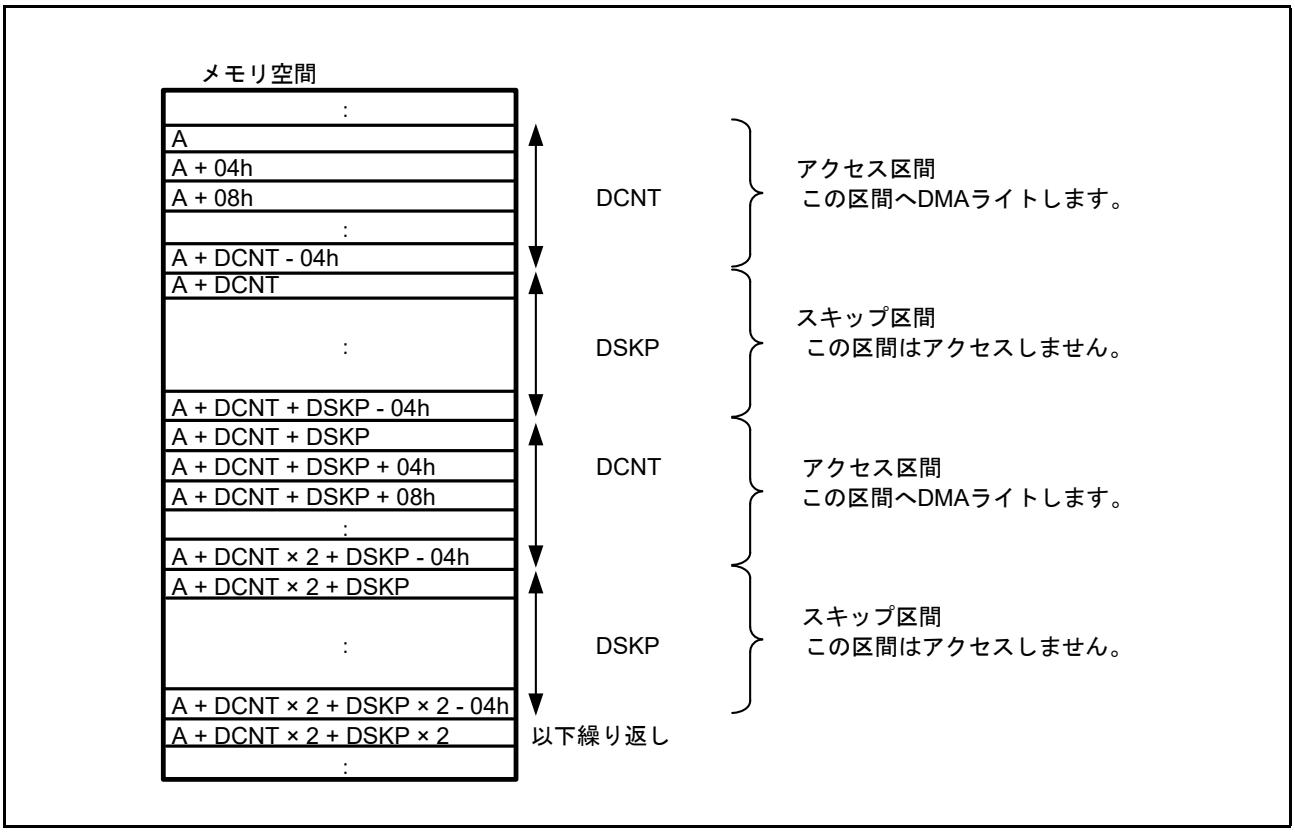


図 15.2　DSKP と DCNT の関係

DCNT、DSKP の値は、ディスティネーション・アドレスおよび CHCFG_n レジスタの DDS フィールドの設定値に関係無く設定することができます。DMAC は、CHCFG_n レジスタの DDS フィールド設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。

15.2.21　DMA コントロールレジスタ（DCTRL_X（X = A, B））

DCTRL_X は、全チャネル（DCTRL_A = チャネル 0 ～ 7、DCTRL_B = チャネル 8 ～ 15）において、チャネル間のアービトレーションを設定するレジスタです。

アドレス　DMAC0
DCTRL_A：A006 2300h、DCTRL_B：A006 2700h
DMAC1
DCTRL_A：A006 3300h、DCTRL_B：A006 3700h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PR	優先順位制御選択	転送優先順位制御モードを設定します（「15.3.3 DMAチャネルの優先順位制御」を参照）。 0：固定優先順位モード 1：ラウンドロビン・モード	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

15.2.22　デスクリプタインターバルレジスタ n （DSCITVL_X（X = A, B））

DSCITVL_X は、全チャネル（DSCITVL_A = チャネル 0 ～ 7、DSCITVL_B = チャネル 8 ～ 15）において、ディスクリプタ・リード間隔を設定するレジスタです。

CHCFG_n レジスタの DRRP ビットを 1 に設定することで、ディスクリプタの LV = 1 となるまでディスクリプタをリードし続けます。本レジスタで、そのリード間隔を設定します。

アドレス　DMAC0
DSCITVL_A：A006 2304h、DSCITVL_B：A006 2704h
DMAC1
DSCITVL_A：A006 3304h、DSCITVL_B：A006 3704h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DITVL								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b15-b8	DITVL	ディスクリプタインターバル	ディスクリプタ・リード間隔を設定します。 （DITVL × 256）サイクルの間隔で、ディスクリプタの再リードを行います。 ディスクリプタ・リード間隔は、DITVL ビットの設定値 × 256 × ICLKの周期 です。	R/W
b31-b16	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

15.2.23　DMA ステータス EN レジスタ（DST_EN_X（X = A, B））

DST_EN_X は、全チャネル（DST_EN_A = チャネル 0 ～ 7、DST_EN_B = チャネル 8 ～ 15）の EN ビットの状態を表示するレジスタです。

このレジスタへライトを行っても、各ビットの値は変化しません。

アドレス
DMAC0
DST_EN_A：A006 2310h、DST_EN_B：A006 2710h
DMAC1
DST_EN_A：A006 3310h、DST_EN_B：A006 3710h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	EN 7/15	EN 6/14	EN 5/13	EN 4/12	EN 3/11	EN 2/10	EN 1/9	EN 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0/8	チャネル0/8EN	DMAチャネル0/8のENビットの状態を表示します。	R
b1	EN1/9	チャネル1/9EN	DMAチャネル1/9のENビットの状態を表示します。	R
b2	EN2/10	チャネル2/10EN	DMAチャネル2/10のENビットの状態を表示します。	R
b3	EN3/11	チャネル3/11EN	DMAチャネル3/11のENビットの状態を表示します。	R
b4	EN4/12	チャネル4/12EN	DMAチャネル4/12のENビットの状態を表示します。	R
b5	EN5/13	チャネル5/13EN	DMAチャネル5/13のENビットの状態を表示します。	R
b6	EN6/14	チャネル6/14EN	DMAチャネル6/14のENビットの状態を表示します。	R
b7	EN7/15	チャネル7/15EN	DMAチャネル7/15のENビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

15.2.24　DMA ステータス ER レジスタ（DST_ER_X（X = A, B））

DST_ER_X は、全チャネル（DST_ER_A = チャネル 0 ～ 7、DST_ER_B = チャネル 8 ～ 15）の ER ビットの状態を表示するレジスタです。

このレジスタへライトを行っても、各ビットの値は変化しません。

アドレス
DMAC0
DST_ER_A：A006 2314h、DST_ER_B：A006 2714h
DMAC1
DST_ER_A：A006 3314h、DST_ER_B：A006 3714h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ER 7/15	ER 6/14	ER 5/13	ER 4/12	ER 3/11	ER 2/10	ER 1/9	ER 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ER0/8	チャネル0/8ER	DMAチャネル0/8のERビットの状態を表示します。	R
b1	ER1/9	チャネル1/9ER	DMAチャネル1/9のERビットの状態を表示します。	R
b2	ER2/10	チャネル2/10ER	DMAチャネル2/10のERビットの状態を表示します。	R
b3	ER3/11	チャネル3/11ER	DMAチャネル3/11のERビットの状態を表示します。	R
b4	ER4/12	チャネル4/12ER	DMAチャネル4/12のERビットの状態を表示します。	R
b5	ER5/13	チャネル5/13ER	DMAチャネル5/13のERビットの状態を表示します。	R
b6	ER6/14	チャネル6/14ER	DMAチャネル6/14のERビットの状態を表示します。	R
b7	ER7/15	チャネル7/15ER	DMAチャネル7/15のERビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

15.2.25　DMA ステータス END レジスタ（DST_END_X（X = A, B））

DST_END_X は、全チャネル（DST_END_A = チャネル 0 ～ 7、DST_END_B = チャネル 8 ～ 15）の END ビットの状態を表示するレジスタです。このレジスタへライトを行っても、各ビットの値は変化しません。

アドレス　DMAC0
DST_END_A：A006 2318h、DST_END_B：A006 2718h
DMAC1
DST_END_A：A006 3318h、DST_END_B：A006 3718h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	END 7/15	END 6/14	END 5/13	END 4/12	END 3/11	END 2/10	END 1/9	END 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	END0/8	チャネル0/8END	DMAチャネル0/8のENDビットの状態を表示します。	R
b1	END1/9	チャネル1/9END	DMAチャネル1/9のENDビットの状態を表示します。	R
b2	END2/10	チャネル2/10END	DMAチャネル2/10のENDビットの状態を表示します。	R
b3	END3/11	チャネル3/11END	DMAチャネル3/11のENDビットの状態を表示します。	R
b4	END4/12	チャネル4/12END	DMAチャネル4/12のENDビットの状態を表示します。	R
b5	END5/13	チャネル5/13END	DMAチャネル5/13のENDビットの状態を表示します。	R
b6	END6/14	チャネル6/14END	DMAチャネル6/14のENDビットの状態を表示します。	R
b7	END7/15	チャネル7/15END	DMAチャネル7/15のENDビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

15.2.26　DMA ステータス SUS レジスタ（DST_SUS_X（X = A, B））

DST_SUS_X は、全チャネル（DST_SUS_A = チャネル 0 ～ 7、DST_SUS_B = チャネル 8 ～ 15）の SUS ビットの状態を表示するレジスタです。このレジスタへライトを行っても、各ビットの値は変化しません。

アドレス
DMAC0
DST_SUS_A：A006 2320h、DST_SUS_B：A006 2720h
DMAC1
DST_SUS_A：A006 3320h、DST_SUS_B：A006 3720h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SUS 7/15	SUS 6/14	SUS 5/13	SUS 4/12	SUS 3/11	SUS 2/10	SUS 1/9	SUS 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SUS0/8	チャネル0/8SUS	DMAチャネル0/8のSUSビットの状態を表示します。	R
b1	SUS1/9	チャネル1/9SUS	DMAチャネル1/9のSUSビットの状態を表示します。	R
b2	SUS2/10	チャネル2/10SUS	DMAチャネル2/10のSUSビットの状態を表示します。	R
b3	SUS3/11	チャネル3/11SUS	DMAチャネル3/11のSUSビットの状態を表示します。	R
b4	SUS4/12	チャネル4/12SUS	DMAチャネル4/12のSUSビットの状態を表示します。	R
b5	SUS5/13	チャネル5/13SUS	DMAチャネル5/13のSUSビットの状態を表示します。	R
b6	SUS6/14	チャネル6/14SUS	DMAチャネル6/14のSUSビットの状態を表示します。	R
b7	SUS7/15	チャネル7/15SUS	DMAチャネル7/15のSUSビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

15.3　動作説明

15.3.1　DMA モード

CHCFG_n レジスタの DMS ビットにより、レジスタ・モードとリンク・モードを切り替えることができます。

表 15.3　DMAモード設定

DMS（CHCFG_n）	機能	用途
0	レジスタ・モード	Next Register Setに設定された値でDMA転送を行います。
1	リンク・モード	ディスクリプタ領域にアクセスし、ディスクリプタに設定された値でDMA転送を実行します。ディスクリプタによる設定、またはコントロールレジスタで停止しない限り、ディスクリプタのリードとDMA転送を繰り返します。

15.3.1.1　レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 セット（Next0 Register Set、Next1 Register Set）設定できます。Next Register Set を選択しての転送や、2 つの Next Register Set を連続して転送することができます。

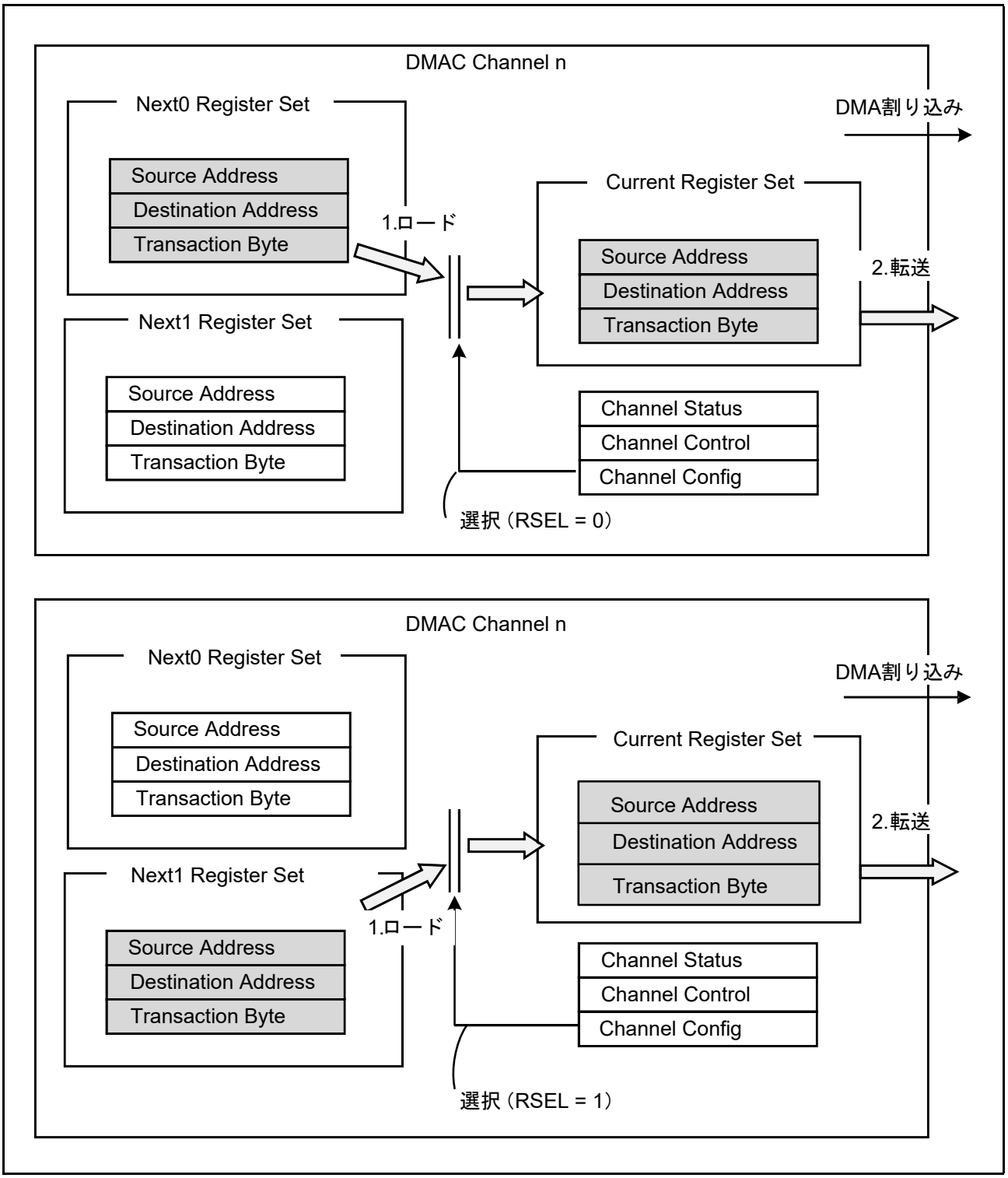


図 15.3　Register 通常モードの概要

図 15.3 は、Next0 Register Set を実行する場合（図上）と、Next1 Register Set を実行する場合（図下）を示しています。

(1) レジスタ・モードの動作フロー

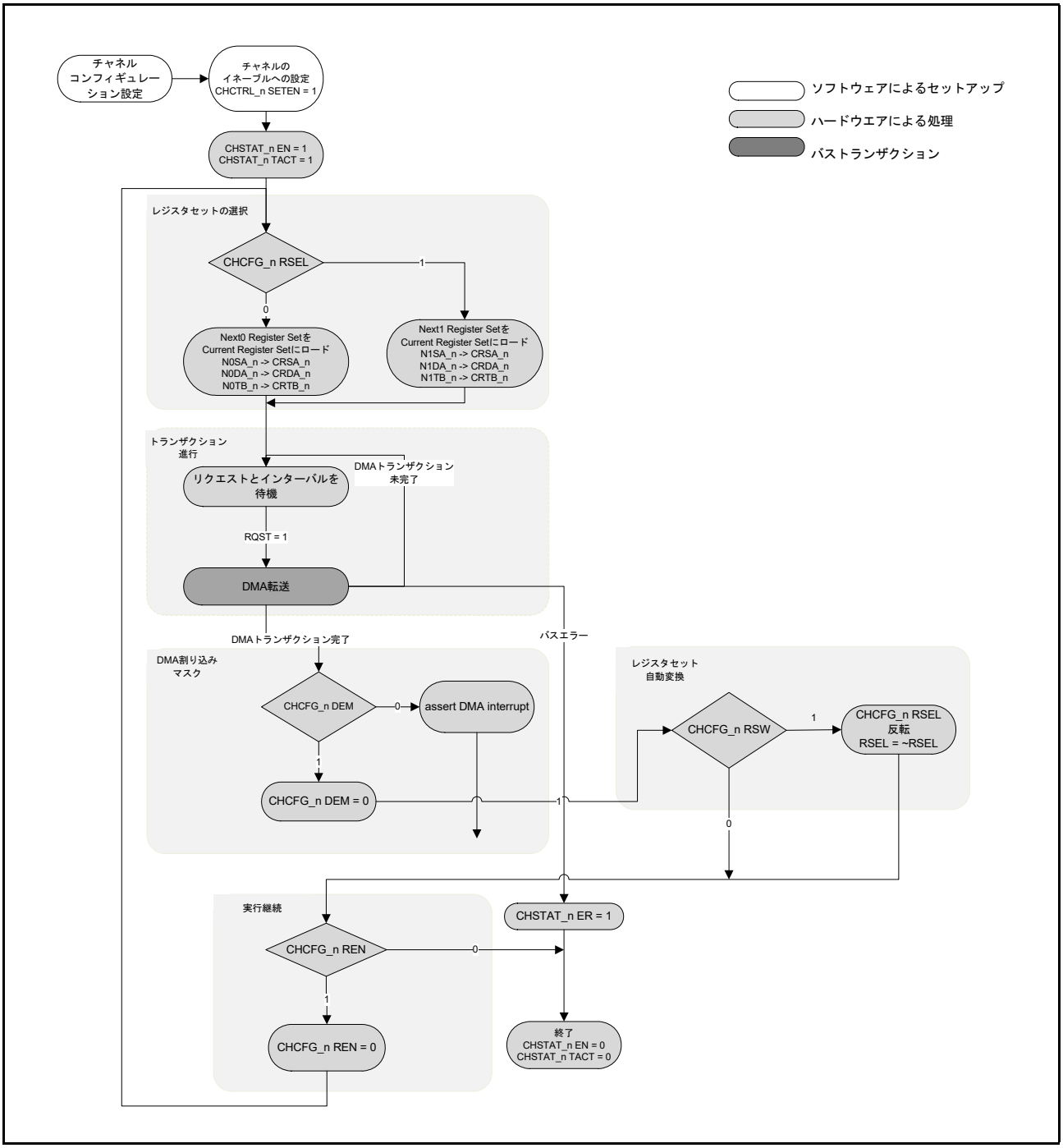


図 15.4 レジスタ・モード・フロー

＜レジスタ・モード・フローの説明＞

1. チャネル設定
   Next0 または Next1 Register Set（転送先アドレス、転送元アドレス、総転送バイト数）を設定します。また、チャネル毎の設定レジスタ CHCTRL_n、CHCFG_n 等で DMA 転送要求の検出方法、DACK/TEND 信号の出力モード、転送量等の設定を行います。
2. レジスタ･セットの選択
   CHCTRL_n レジスタの SETEN ビットに 1 をライトすると､CHSTAT_n レジスタの EN ビットおよび TACT ビットが 1 になり、CHCFG_n レジスタの RSEL ビットで選択した Next Register Set の設定値を Current Register Set にロードします。
3. DMA 転送
   設定した値にしたがって、DMA 転送が行われます。転送の詳細については、**「15.3.2　転送モード」**～**「15.3.11　転送中断」**を参照してください。
4. DMA 転送完了割り込みマスク
   CHCFG_n レジスタの DEM ビットに設定した値により、DMA 転送完了割り込みがマスクされます。DEM = 1 の場合、DMA 転送完了割り込みはマスクされます。また、DMA 転送完了割り込み条件を満たした直後、自動的に DEM ビットは 0 にクリアされます。
5. レジスタ・セットの自動切換え
   CHCFG_n レジスタの RSW ビットに設定された値により、もう一方の Next Register Set に切り替えます。
6. 継続実行
   CHCFG_n レジスタの REN ビットに設定した値により、DMA 転送を連続実行します。REN = 0 の場合、CHSTAT_n レジスタの EN ビットおよび TACT ビットは 0 にクリアされ、DMAC は動作を停止します。REN = 1 の場合、DMA 転送を継続して実行します。また、REN ビットにより DMA 転送が再実行される条件を満たした直後、自動的に REN ビットは 0 にクリアされます。

(2)　レジスタ・モードの設定

- レジスタ・モード設定

実行するレジスタ・セットを選択します。

表 15.4　　レジスタ・モード設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	説明
0	0	Next0 Register Set を実行します
	1	Next1 Register Set を実行します

- DMA 転送完了割り込みマスク設定

DMA 転送完了割り込みをマスクすることができます。

表15.5　DMA転送完了割り込みマスク設定

DEM (CHCFG_n)	説明
0	DMA転送が完了すると、DMA転送完了割り込みを発生します。
1	DMA転送が完了しても、DMA転送完了割り込みを発生しません。 DMA転送完了後に、DEMビットは自動的に0にクリアされます。

- レジスタ・セットの自動実行設定

DMA 転送後に、継続して DMA 転送を実行することができます。

表15.6　レジスタ・セットの自動実行設定

REN (CHCFG_n)	動作	備考
0	RSELビットに設定されているレジスタ・セットのDMA転送が完了すると、ENビットをクリアしてDMA動作を終了します	DMA転送を1回実行したい場合に設定してください。
1	DMA転送完了後に、続けて選択されているレジスタ・セットの内容をDMA転送します。連続転送が成立した場合、RENビットは0にクリアされます。	連続してレジスタ･セットの内容を実行したい場合に設定してください。

- レジスタ・セットの自動切り替え設定

DMA 転送完了後に、次に実行するレジスタ・セットを切り替えることができます。

表15.7　レジスタ・セット自動切り替え設定

RSW (CHCFG_n)	動作	備考
0	DMA転送完了時に、レジスタ・セットの切り替えを行いません。	1つのレジスタ・セットのみを使う場合に設定してください。
1	DMA転送完了時に、自動的にRSELビットを反転して、もう一方のレジスタ・セットを選択します。	レジスタ･セットを切り替える場合に設定してください。

(3)　レジスタ・モードの設定例

- Next0 レジスタ・セットのみを使用する場合

表15.8　レジスタ・モード設定例1

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 （レジスタ・モード）	0 （Next0）	0 （マスクなし）	0 （スイッチなし）	0 （連続実行なし）

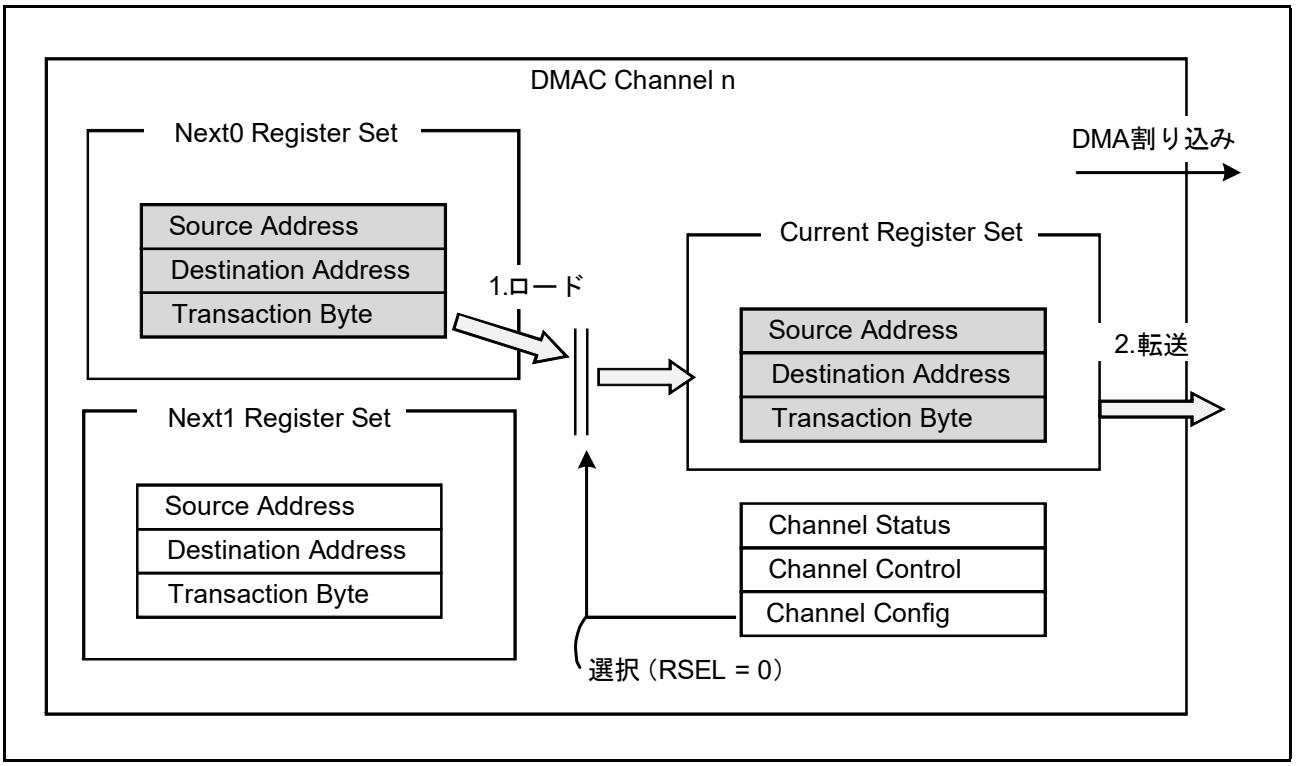


図 15.5　レジスタ・モード設定例 1

1. CHCTRL_n レジスタの SETEN ビットに 1 をライトすることで、CHSTAT_n レジスタの EN ビットが 1 になり、Next0 Register Set が Current Register Set にロードされます。
2. Current Register Set と Channel Register Set の値によって DMA 転送を実行します。
3. CHCFG_n レジスタの DEM ビットが 0 であるため、DMA 転送完了後に DMA 転送完了割り込みが発生します。
4. CHCFG_n レジスタの REN ビットが 0 であるため、CHSTAT_n レジスタの EN ビットが 0 にクリアされ動作を終了します。

- 2 つのレジスタ・セットを連続して使用する場合

表 15.9　レジスタ・モード設定例 2

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 （レジスタ・モード）	0 （Next0）	1 （マスクあり）	1 （スイッチあり）	1 （連続実行あり）

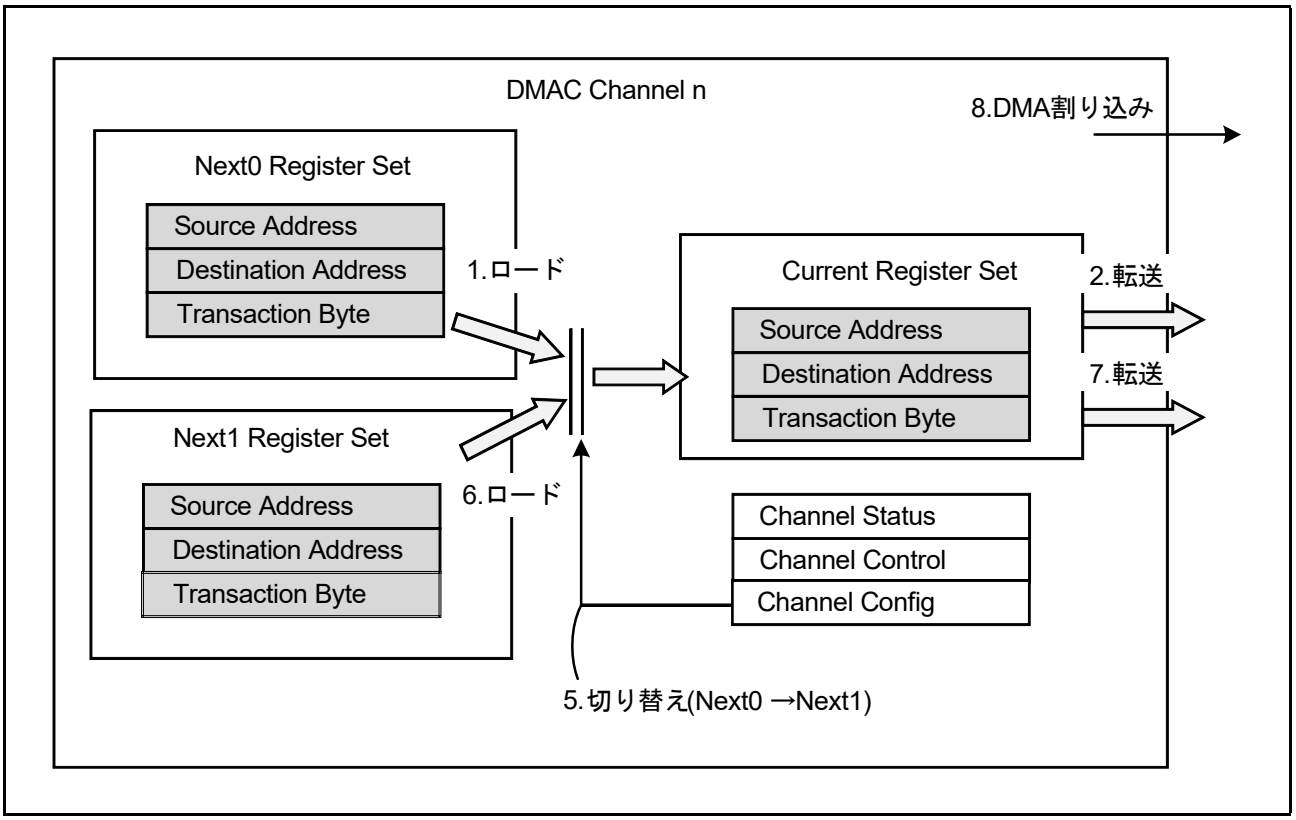


図 15.6　レジスタ・モード設定例 2

1. CHCTRL_n レジスタの SETEN ビットに 1 をライトすることで、CHSTAT_n レジスタの EN ビットが 1 になり、Next0 Register Set が Current Register Set にロードされます。
2. Current Register Set と Channel Register Set の値によって DMA 転送を実行します。
3. CHCFG_n レジスタの DEM ビットが 1 であるため、DMA 転送完了後、DMA 転送完了割り込みは発生しません。また自動的に DEM ビットは 0 にクリアされます。
4. CHCFG_n レジスタの REN ビットが 1 であるため、DMA 転送を継続実行します。また自動的に REN ビットは 0 にクリアされます。
5. CHCFG_n レジスタの RSW ビットが 1 であるため、次に実行するレジスタ･セットを切り替えます（RSEL = 0 → 1）。
6. Next1 Register Set を Current Register Set にロードします。
7. Current Register Set と Channel Register Set の値により DMA 転送を実行します。
8. CHCFG_n レジスタの DEM ビットが 0 であるため、DMA 転送完了後に DMA 転送完了割り込みが発生します。
9. CHCFG_n レジスタの REN ビットが 0 であるため、CHSTAT_n レジスタの EN ビットが自動的に 0 にクリアされ動作を終了します。

15.3.1.2　リンク・モード

リンク・モードは、DMAC 外部の記憶領域に置かれたディスクリプタを設定値としてリードすることで、DMA 転送を実行するモードです。DMAC 内部にはチャネル毎に Next Link Address（NXLA_n）レジスタと Current Link Address（CRLA_n）レジスタがあり、それぞれ、次に実行するディスクリプタ・アドレスの設定と、現在実行中の DMA 転送のディスクリプタ・アドレスの表示に使用されます。

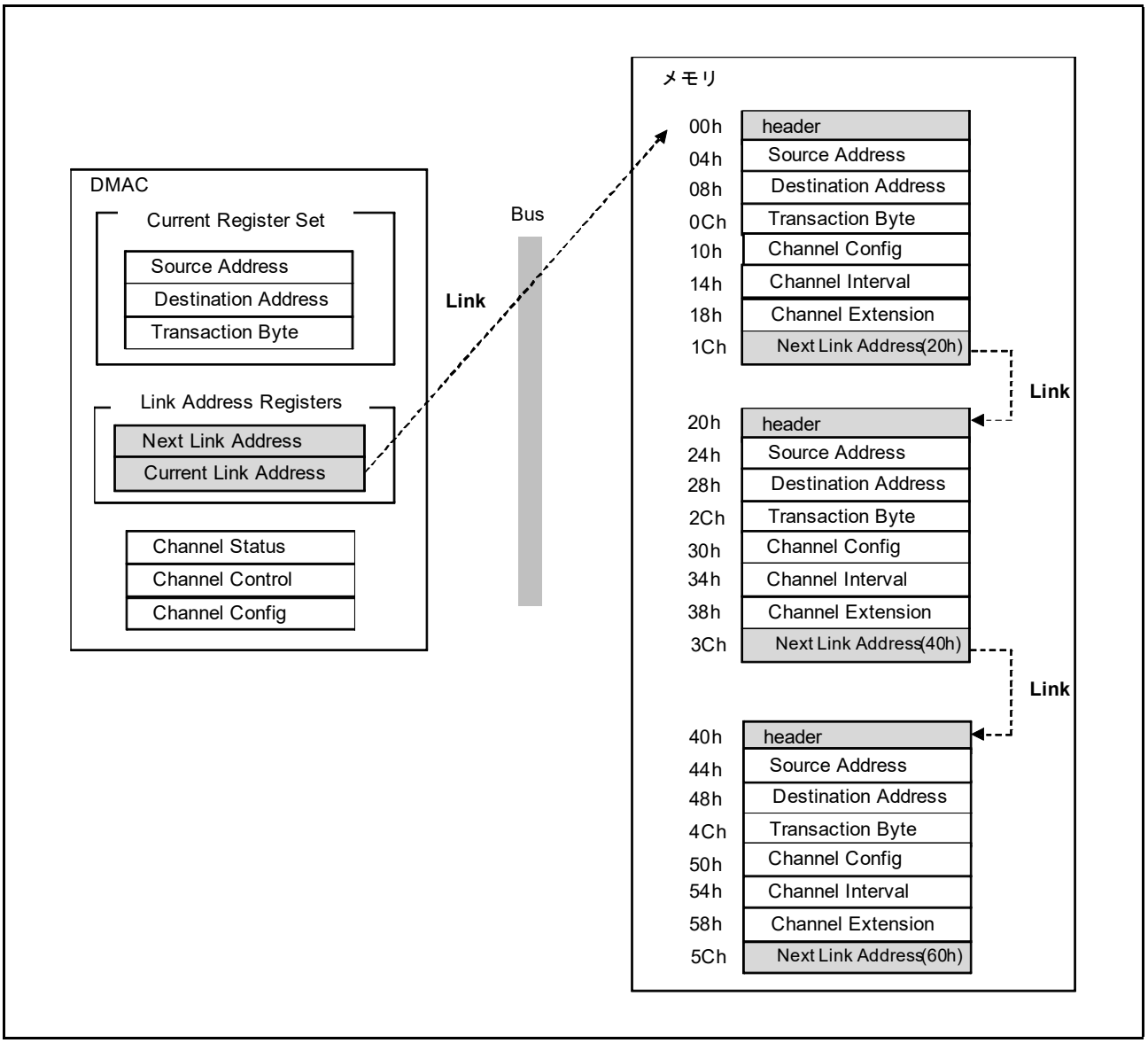


図 15.7　リンク・モードの概要

(1) リンク・モードの動作フロー

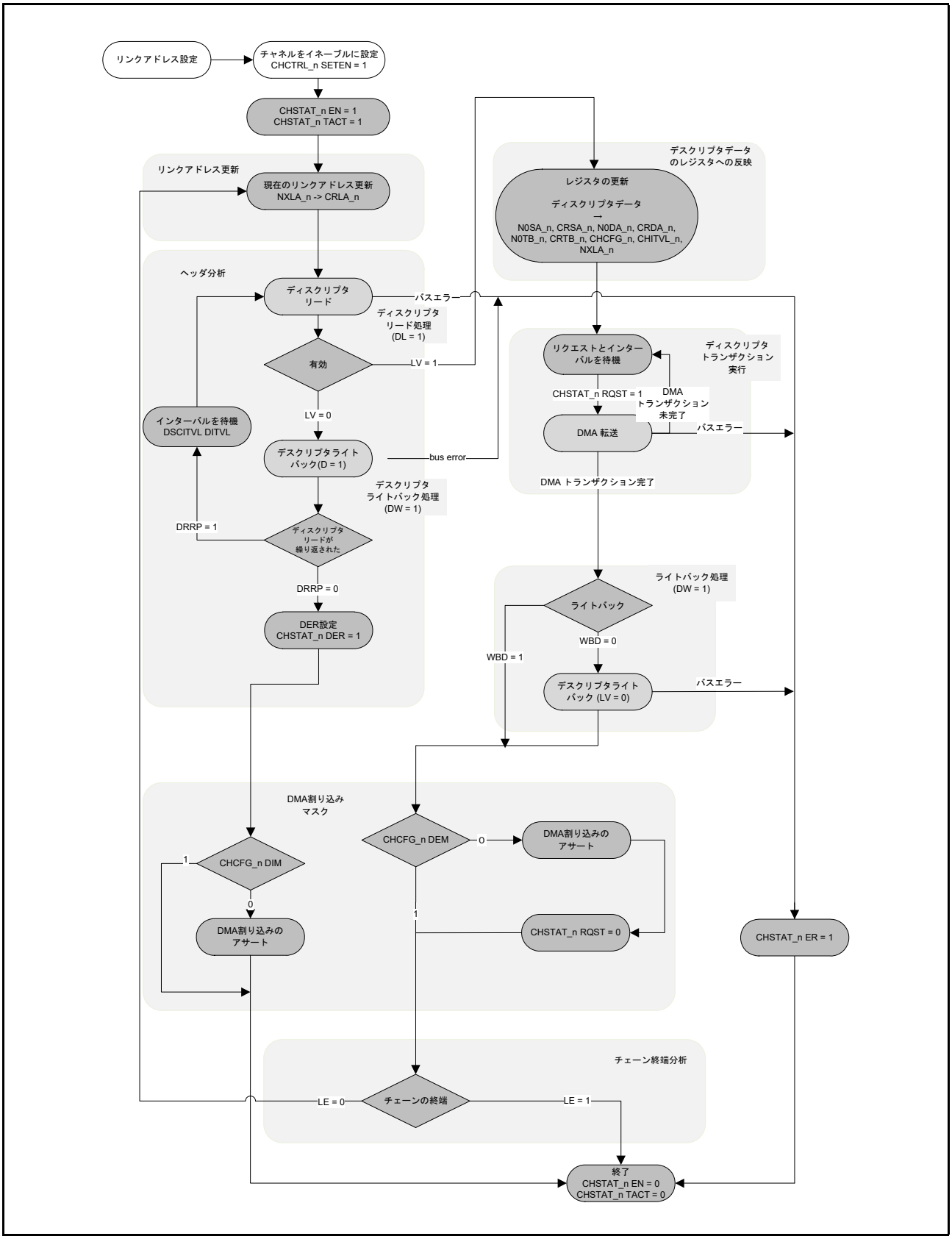


図 15.8　リンク・モードのフロー

＜リンク・モードのフロー説明＞

1. チャネル設定
   NXLA_n レジスタにリンク先の先頭アドレスを設定します。
2. リンク・アドレス更新
   CHCTRL_n レジスタの SETEN ビットに 1 をライトすると、CHSTAT_n レジスタの EN ビットおよび TACT ビットが 1 になり、NXLA_n レジスタに設定したリンク・アドレスが CRLA_n レジスタにロードされます。
3. ディスクリプタ読み出しと header 判定
   ディスクリプタ・リードを開始し、DMAC は header の内容を確認します。LV = 0 の場合、header の D ビットに 1 をライト・バックします。ライト・バック後、CHCFG_n レジスタの DRRP = 1 の場合、DSCITVL レジスタに設定されたサイクル後、再び同じディスクリプタをリードします。DRRP = 0 の場合、CHSTAT_n レジスタの DER = 1 になり終了状態（CHSTAT_n レジスタの EN = 0、TACT = 0）になります。このとき、CHCFG_n レジスタの DIM ビットが 0 ならば、DMA 転送完了割り込みが発生します。
4. ディスクリプタ設定
   LV = 1 の場合は、リードしたディスクリプタのデータが Current Register Set と、Channel Register Set にロードされます。また、NXLA_n レジスタに次のリンク先がロードされます。
5. DMA 転送
   設定された値により、DMA 転送が行われます。転送の詳細については、**「15.3.2　転送モード」**～**「15.3.11　転送中断」**を参照してください。
6. header 書き戻し（ライト・バック）
   header の WBD = 0 の場合、DMAC は header 領域へ LV = 0 をライト・バックします。
7. DMA 割り込みマスク
   CHCFG_n の DEM ビットが 0 の場合、DMA 転送完了割り込みが発生します。
8. リンク終了判定
   header の LE = 1 の場合、CHSTAT_n レジスタの EN ビットおよび TACT ビットは 0 にクリアされ、DMAC は動作を終了します。LE = 0 の場合は、Current Register Set を更新し、次のディスクリプタ・リードを開始します。

(2)　レジスタ設定

- リンク・モード設定

リンク・モードを使用する場合は、CHCFG_n レジスタの DMS ビットを 1 に設定してください。

表 15.10　　リンク・モード設定

DMS（CHCFG_n）	説明
1	リンク・モードで動作します。 ディスクリプタによって、このビットを書き換えることはできません。

- LINK アドレス設定

リンク先を示すレジスタとして、Next Link Address（NXLA_n）レジスタと Current Link Address（CRLA_n）レジスタがあります。

リンク・モードを開始するには、NXLA_n レジスタにリンク先を設定してください。

NXLA_n レジスタは、ディスクリプタ・リード後に、次のリンクに更新されます。また、CRLA_n レジスタは現在実行中のリンク・アドレスを示します。

表 15.11　　リンクアドレス・レジスタ・セット

レジスタ	説明
NXLA_n	次のリンク先の設定、および表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
CRLA_n	現在実行中のリンク先を表示します。このレジスタは読み出しのみ可能です。

(3)　ディスクリプタ設定

DMAC は、複数のディスクリプタ・フォーマットをサポートします。

フォーマットの切り替えは、ディスクリプタの 1word 目（header）の bit[31:28] の DSCFM フィールドで指定します。

以下に、DSCFM ビットの値とディスクリプタ・フォーマットの関係を示します。

表 15.12　　ディスクリプタ・フォーマット

DSCFM	ディスクリプタサイズ	Next Link Address	Channel Interval	Channel Config	Transaction Size	Destination Address	Source Address	header
3	4word	○	— （リロード）	— （リロード）	— （header）	○	○	○ （STS 有）
1	8word	○	○	○	○	○	○	○ （STS 無）
上記以外	設定禁止							

表15.13　「表15.12　ディスクリプタ・フォーマット」中の起動の説明

フィールド	記号	説明	備考
header	○ （STS 有）	headerの[15:0]のSTSフィールドが有効であることを示します。STSフィールドに設定した値を、総転送バイト数（Transaction Size）として使用します。	—
	○ （STS 無）	headerの[15:0]のSTSフィールドは無効です。総転送バイト数は、ディスクリプタのTransaction Sizeを使用します。	
Souce Address	○	Source Addressを指定します。	—
Destination Address	○	Destination Addressを指定します。	—
Transaction Size	○	Transaction Sizeを指定します	—
	— （header）	Transaction Sizeを省略します。headerのSTSフィールドに設定した値を、総転送バイト数（Transaction Size）として使用します。	STSフィールドは16bitであるため、設定できる最大サイズは65535Byteです。
Channel Config Channel Interval	○	Channel Config、Channel Intervalを指定します。	—
	— （reload）	Channel Config、Channel Intervalを省略します。前回の設定値（その時のCHCFG_n、CHITVL_nレジスタの値）を引き続き使用します。	—
Next Link Address	○	本ディスクリプタのDMA転送の後にリードする、次のディスクリプタ・アドレス（Next Link Address）を指定します。	—

DMAC はディスクリプタ・リードして得たデータを、順番に解釈します。DSCFM フィールドで 8word 未満を指定した場合、**「表 15.12　ディスクリプタ・フォーマット」**の『○』の付いたディスクリプタ・データを、メモリ上へ配置してください。

表15.14　ディスクリプタ配置例

DSCFM	アドレス（Link Address + N）							
	+1Ch	+18h	+14h	+10h	+0Ch	+08h	+04h	+00h
3h	—	—	—	—	Next Link Address	Destination Address	Source Address	header
1h	Next Link Address	—	Interval	Config	Transaction Byte	Destination Address	Source Address	header

- header

header は以下に示すように、ディスクリプタの状態等を表します。

この領域は、リンク・モードでの DMA 転送開始前に、DMAC によってリードされます。また、DMA 転送終了後に、転送状況が DMAC によってライト・バックされます。

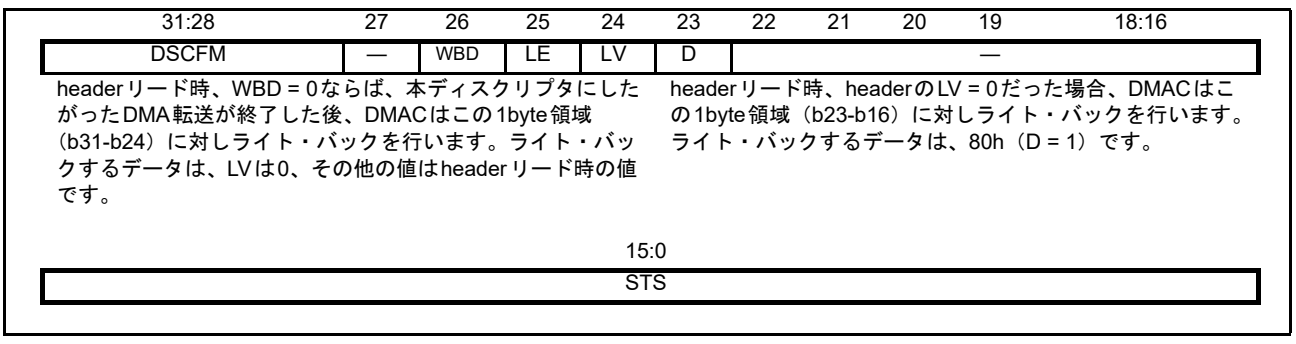


図 15.9　header 領域

表15.15　header領域

ビット位置	ビット名	意味
b15-b0	STS	DSCFM = 3の場合にTransaction Sizeを設定します（単位 : Byte）。設定できる転送バイト数は最大65535 Byteです。 DSCFM = 3の場合、STSビットに0を設定しないでください。0を設定した場合の動作は保証しません。
b22-b16	—	Reserved領域です。0を設定してください。
b23	D	ディスクリプタのアクセス・エラーを示すビットです。ディスクリプタのリード時にLV = 0の場合、DMACは本ビットに対し1をライト・バックします。 0 : ディスクリプタ・エラーなし 1 : ディスクリプタのリード時、LV = 0
b24	LV	このディスクリプタが有効であることを示します。 WBD = 0の場合、DMACがディスクリプタに書かれたDMA転送実行後に0を書き込みます。header設定時には1を設定してください。 0 : ディスクリプタ無効 1 : ディスクリプタ有効
b25	LE	このディスクリプタのDMA転送でリンクが終了することを示します。 リンクの最後を示す場合にこのビットを1に設定してください。 0 : リンク継続 1 : リンク終了
b26	WBD	LVビットのライト・バック実行をマスクします。このビットが1の場合、DMACはライト・バック動作を行いません。 0 : LVビットを0に書き戻す。 1 : LVビットを書き戻さない。
b27	—	Reserved領域です。0を設定してください。
b31-b28	DSCFM	ディスクリプタのフォーマット（ディスクリプタの長さ、組み合わせ）を指定します。 詳細は表15.12を参照してください。

DMA 転送完了処理中（ディスクリプタへのライトバック中）にディスクリプタを追加すると、CPU が LV ビットを 1 にセットするアクセスと、DMAC が D ビットに 1 をライト・バックするアクセスが競合する恐れがあります。これにより、先に書いた側のデータが、後に書いたデータで上書きされてしまいます。

この問題を避けるため、D ビットのバイト・レーンと LV ビットのバイト・レーンは異なる配置になっています。DMAC は D ビットのライト・バックをバイト・ライトで行うため、LV = 1 のセットもバイト・ライトで行ってください。

- header 以外のディスクリプタの設定

header 以外のディスクリプタの各データは、内蔵レジスタの仕様と同じです。内蔵レジスタの仕様は「15.2　レジスタの説明」を参照してください。

ディスクリプタの設定例は「15.5.4　設定例 4（リンク・モード）」を参照してください。

- ディスクリプタ領域と DMA 転送領域

以下に、DMAC がアクセスするディスクリプタ領域と DMA 転送領域の概略を示します。

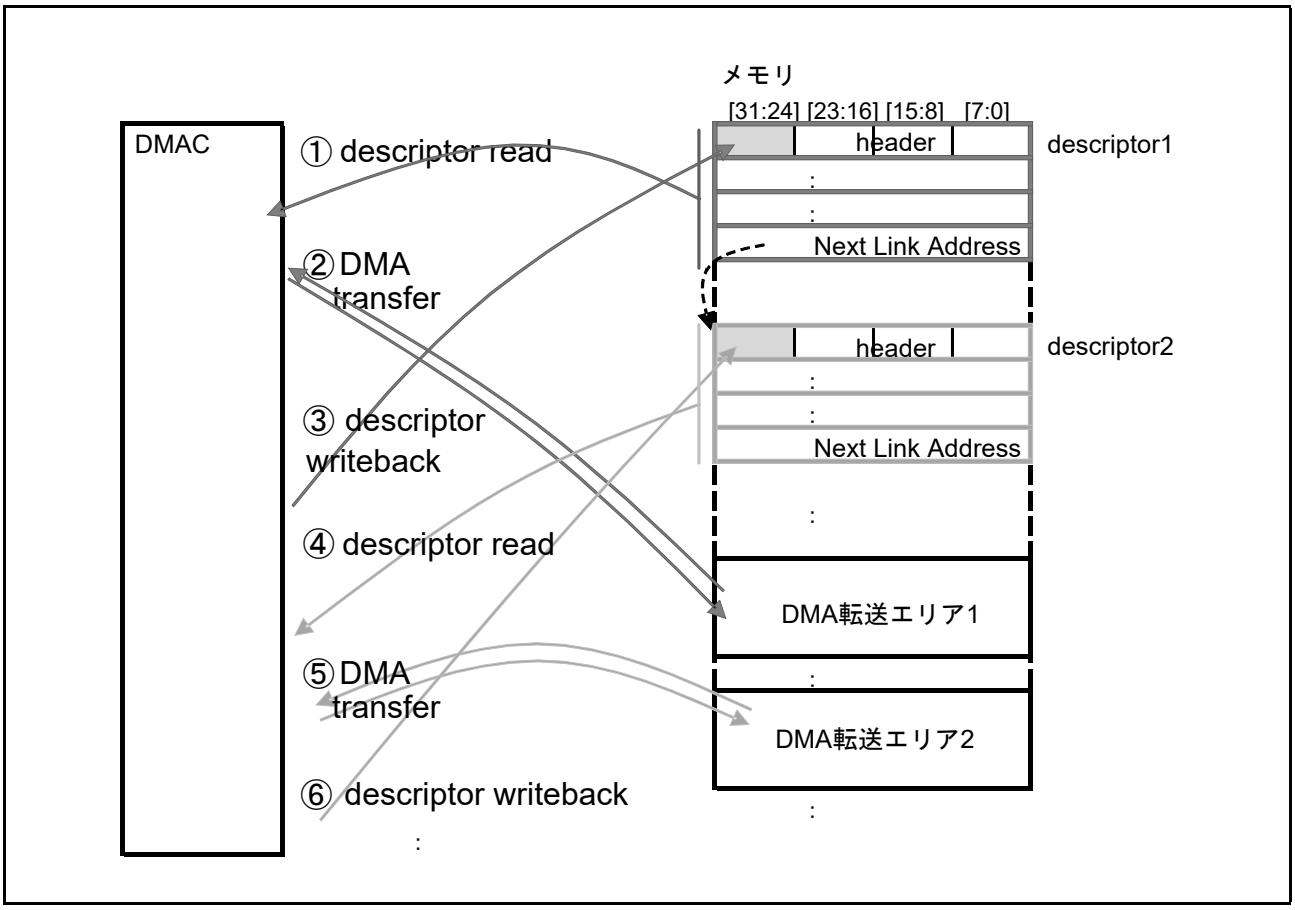


図 15.10　header 領域

①ディスクリプタ・リード
内蔵の NXLA_n レジスタに設定した値を、CRLA_n レジスタにロードし、CRLA_n レジスタの示すメモリ空間（descriptor1）から、ディスクリプタをリード

② DMA 転送
ディスクリプタの header 内の LV ビットが 1 であった場合、ディスクリプタ情報にしたがい、DMA 転送を実行

③ディスクリプタ・ライト・バック
設定バイト数 DMA 転送後、header 内の WBD ビットが 0 であった場合、descriptor1 の header[31:24] に対し、LV ビットは 0、その他のフィールドは①でリードした値をデータとして、バイト・サイズでのライト・バックを実行。

④ディスクリプタ・リード
前回（①）リードしたディスクリプタの header 内の LE ビットが 0 であった場合、ディスクリプタ中の Next Link Address で示されるアドレス（descriptor2）から、次のディスクリプタをリード。

⑤ DMA 転送
ディスクリプタの header 内の LV ビットが 1 であった場合、ディスクリプタ情報にしたがい、DMA 転送を実行

⑥ディスクリプタ・ライト・バック
設定バイト数 DMA 転送後、header 内の WBD ビットが 0 であった場合、descriptor2 の header[31:24] に対し、LV ビット 0、その他のフィールドは④でリードした値をライト・データとして、バイト・サイズでのライト・バックを実行。

以降④～⑥の繰り返し

header の LE = 1、WBD = 0 であった場合、そのディスクリプタ設定での DMA 転送、および header の LV ビットに 0 をライト・バックして終了。

header の LE = 1、WBD = 1 であった場合、そのディスクリプタ設定での DMA 転送を行って終了（ライト・バックは行わない）。

header の LV = 0 であった場合、header の D ビットに 1 をライト・バック。ライト・バック後、CHCFG_n レジスタの DRRP = 1 の場合は、DSCITVL_n レジスタの DITVL フィールドに指定されているインターバル後、再度ディスクリプタをリード。DRRP = 0 の場合は動作を停止。

- ディスクリプタに関する注意事項

- リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア・リクエストとの同期を取ることはできません。このため、ハードウェア・リクエスト（DREQn 端子入力、外部割り込み）を使う場合、CHCTRL_n レジスタの SETEN ビットをセットする前に CHCFG_n レジスタの AM、LVL、HIEN、LOEN、SEL ビットを設定し、かつディスクリプタ中でこれらの設定ビットを変更しないようにしてください。

- ディスクリプタで、CHCFG_n レジスタの DMS フィールドの設定を変更することはできません（常にリンク・モードとなります）。また、ディスクリプタで CHCFG_n レジスタの REN、RSW、RSEL フィールドの設定を変更できますが、動作に影響を与えません。

- DMAC は header の DSCFM フィールドと LV ビットを参照して、そのディスクリプタが有効なのか無効なのかを判断します。このため、ディスクリプタの DSCFM フィールドと LV ビットに相当するメモリ領域を、DMAC がアクセスする前に初期化（DSCFM = 1 または 3、LV = 1）しておいてください。

- DMA の転送設定を読み出し中（ディスクリプタのリード中）に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 のライトは、header 以降のディスクリプタ（Source Address、Destination Address、・・・Next Link Address）を設定した後に行ってください。これは、CPU によるディスクリプタの設定と DMAC のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMAC のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値（Source Address、Destination Address、・・・）を使って DMA 転送してしまうことを防ぐためです。

- header の D ビットへのライト・バック情報を残したい場合、header の LV ビットへの 1 のライトは、バイトアクセスで行ってください。

(4)　LINK 構成例

リンク・モードでは、ディスクリプタを以下のように構成することが可能です。

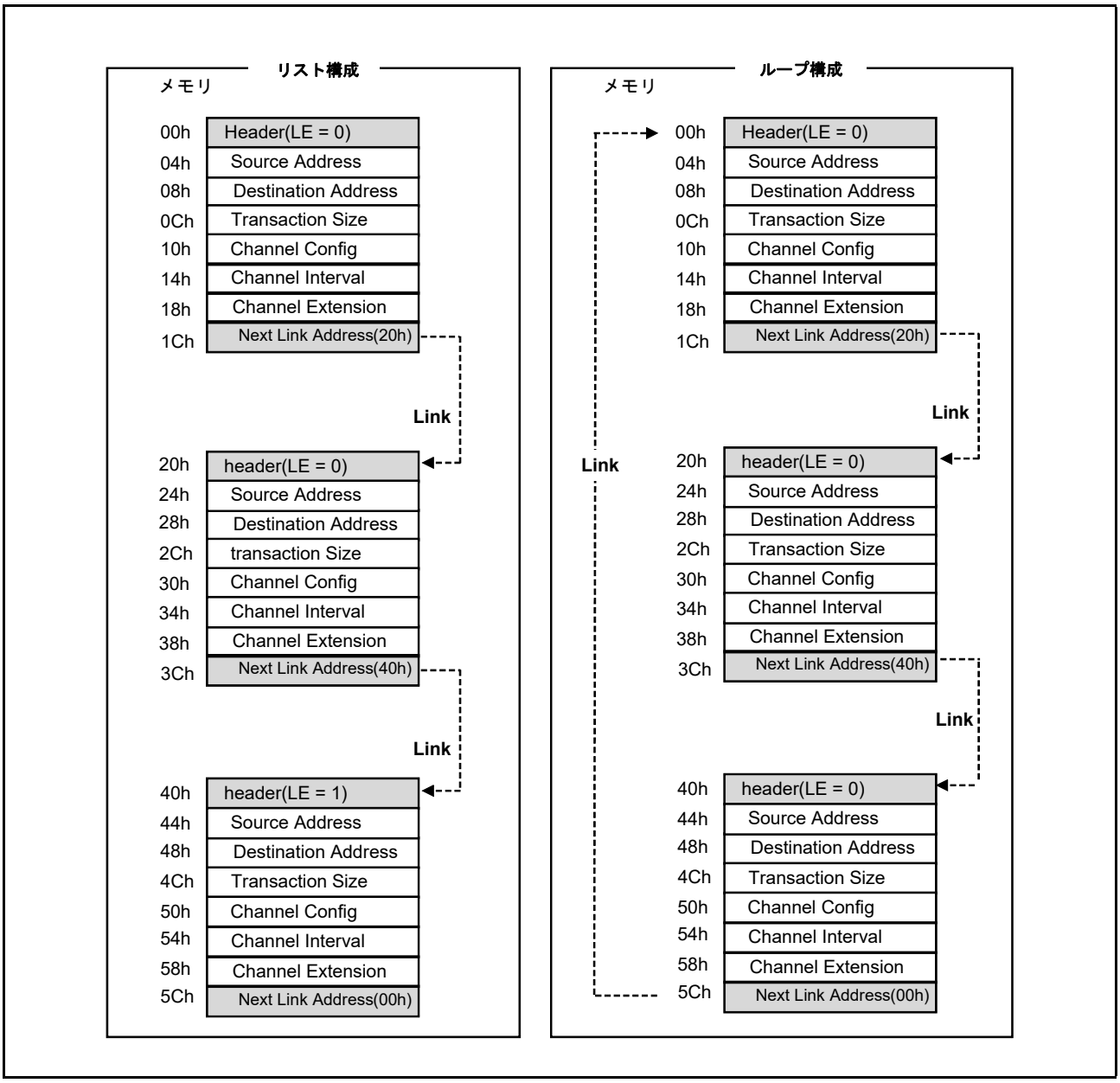


図 15.11　header 領域

- リスト構成

最後のディスクリプタの header にある LE ビットを 1 に設定することで、リンクを終了します。

- ループ構成

最後のディスクリプタのリンク先を、前のディスクリプタのアドレスに設定することで、ディスクリプタをループ構成にすることができます。ループを終了するためには、DMAC がディスクリプタ・リードする前に header の LE ビットを 1 に書き換えるか、転送中断手順にしたがって停止してください。

15.3.1.3　WRITE ONLY モード

CHCFG_n レジスタの WONLY ビットに 1 を設定することで、WRITE ONLY モードになります。

表 15.16　WRITE ONLY モード設定

WONLY（CHCFG_n）	モード	説明
0	通常モード	Next Register Set に設定された値で DMA 転送を行います。
1	WRITE ONLY モード	DMA リード・トランスファを行わず、DMA ライト・トランスファだけ行います。

WRITE ONLY モードでは、DMA 転送でのリード動作を行いません（ディスクリプタのリードは通常モードと同様に行います）。レジスタ・モードでは、NxSA_n レジスタ（RSEL = 0 の場合 x = 0、RSEL = 1 の場合 x = 1）に設定した値をライト・データとして使用します。リンク・モードでは、ディスクリプタの SA フィールドの値をライト・データとして使用します。

本モードはメモリ領域の初期化等に使用してください。

15.3.2　転送モード

シングル転送モードとブロック転送モードをサポートします。

モードの選択は、チャネル毎に CHCFG_n レジスタの TM ビットで設定してください。

表 15.17　基本転送設定

転送モード	TM（CHCFG_n）	機　　能
シングル転送	0	1 回の DMA リクエストに対して、1 回の DMA 転送を実行します。
ブロック転送	1	1 回の DMA リクエストに対して、DMA 転送が完了するまで、転送を実行します。

15.3.2.1　シングル転送モード

DMA 転送要求を受け付けると、CHCFG_n レジスタの REQD ビットで示された側（転送元あるいは転送先）の DMA 転送を 1 回実行し、DACK をアクティブにします。転送要求を受け付ける度に 1 回の転送を行い、この動作を N0TB_n, N1TB_n レジスタから CRTB_n レジスタにロードされた転送サイズ分続けます（チャネル間のアービトレーションは、DMA 転送毎に行います）。

CHCFG_n レジスタの REQD ビットの設定やトランスファ・サイズ（CHCFG_n レジスタの DDS[2:0]、SDS[2:0]）ビットの設定で DACK 出力のタイミングが異なります。詳細は**「15.3.8　転送データサイズによる動作の違い」**を参照してください。

TEND 信号がアクティブになるタイミングは、最後の DMA 転送の DACK 出力がアクティブになるタイミングです。

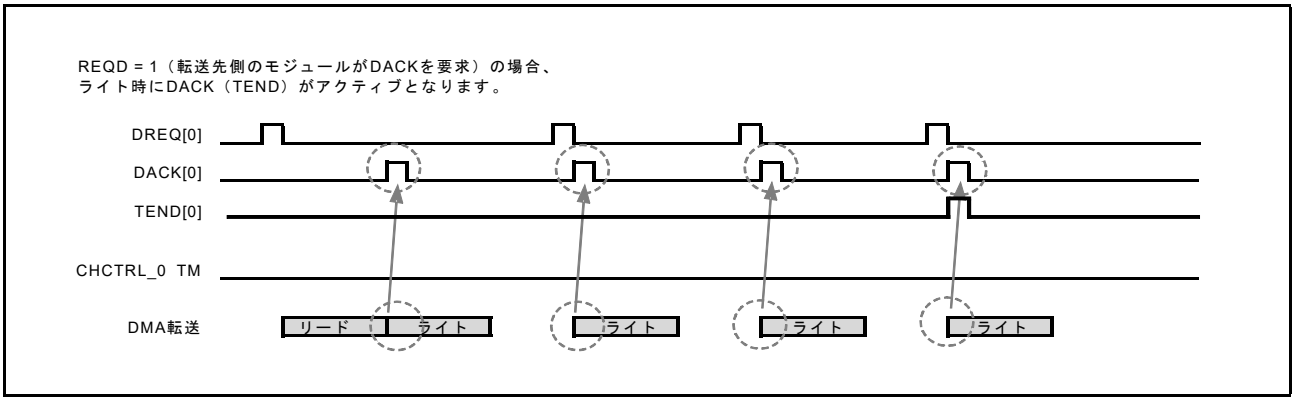


図 15.12　シングル転送モード（REQD = 1、SDS > DDS）

15.3.2.2　ブロック転送モード

DMA 転送要求を 1 度受け付けると、N0TB_n, N1TB_n レジスタから DMA 転送バイト・レジスタ（CRTB_n レジスタ）にロードされたバイト数分の転送が完了（DMA 転送完了）するまで転送を続けます（チャネル間のアービトレーションは、DMA 転送毎に行います）。

TEND 信号がアクティブになるタイミングは、最後の DMA 転送の DACK 出力がアクティブになるタイミングです。

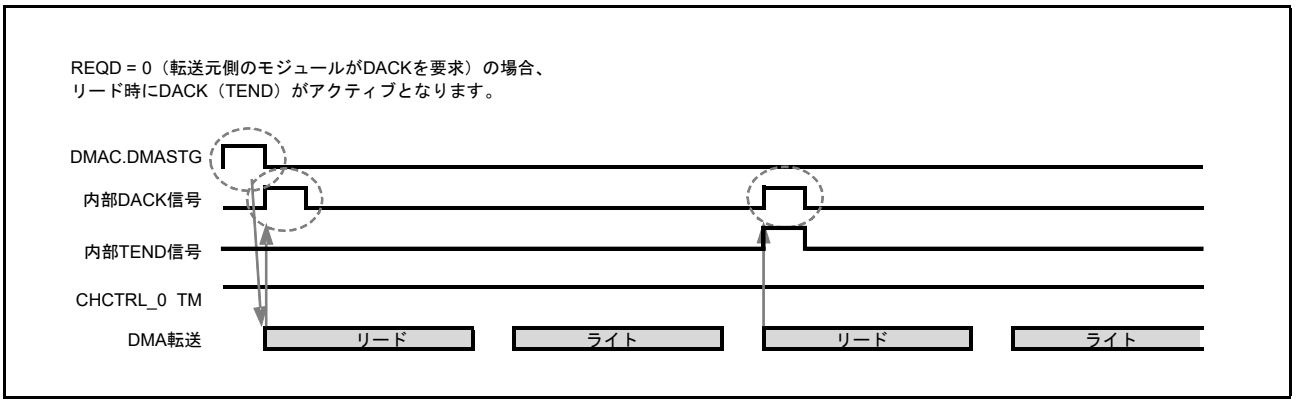


図 15.13　ブロック転送モード（REQD = 0、SDS = DDS）

注.　割り込み要因がDMAC.DMASTGの場合、DACK、TEND信号は内部信号のみアクティブとなります。外部端子からは出力されません。詳細については、「15.3.5　DMAアクノリッジ出力／DMAトランザクション終了出力機能」を参照してください。

15.3.3　DMA チャネルの優先順位制御

チャネル間のアービトレーション方式として、固定優先順位モードとラウンドロビン・モードをサポートしています。モードの選択は、DCTRL レジスタの PR ビットで行います。PR ビットが 0 の場合、固定優先順位モードとなり、PR ビットが 1 の場合、ラウンドロビン・モードとなります。

表 15.18　優先順位制御設定

転送モード	PR（DCTRL）	機能	用途
固定優先順位	0	チャネル0～7／チャネル8～15固定優先順位 CH0(CH8)＞CH1(CH9)＞CH2(CH10)＞CH3(CH11)＞CH4(CH12)＞CH5(CH13)＞CH6(CH14)＞CH7(CH15)	チャネルに優先順位が有る場合に使用してください
ラウンドロビン	1	ラウンドロビンでリクエストを制御します。	各リクエストに対して均等に実行させたい場合に使用してください。

15.3.3.1　固定優先順位モード

固定優先順位モードでは、チャネル 0 ～ 7 内およびチャネル 8 ～ 15 内の優先順位は固定となります。

また、チャネル 0 ～ 7 グループとチャネル 8 ～ 15 グループ間の優先順位はラウンドロビンとなります。

以下の図 15.14 に、リセット直後の優先順位と DMA チャネル 0 の転送が行われた後の優先順位について示します。

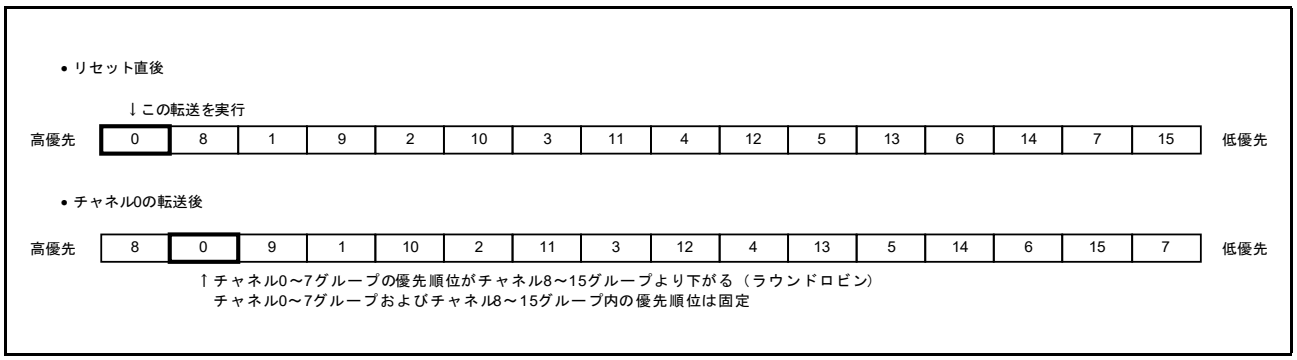


図 15.14　リセット直後の優先順位と DMA チャネル 0 の転送が行われた後の優先順位

DMA 転送要求が複数のチャネルで同時に発生した場合、チャネル番号の小さい DMA 転送要求を優先します。

固定優先順位モードでの DMA 転送実行時に、優先順位の高い他の DMA 転送要求が発生した場合の例を次に示します。

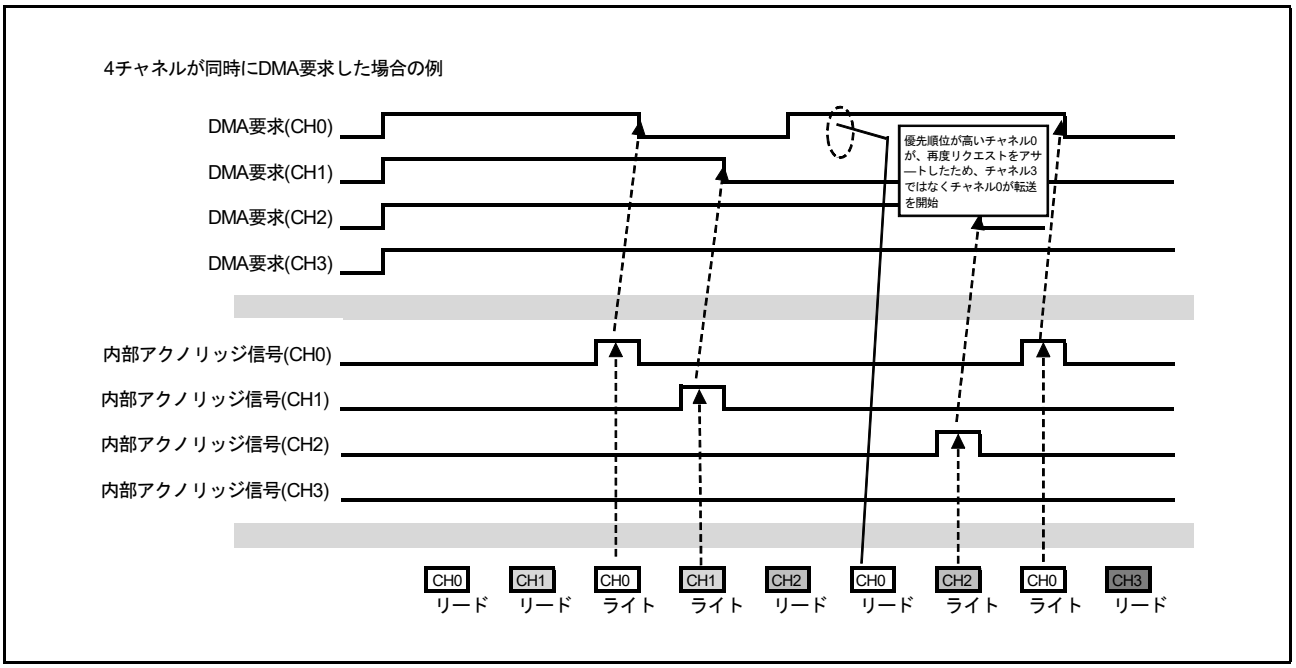


図 15.15　固定優先順位モード（チャネル数 4、REQD = 1 の場合）

注 .　チャネル 0 が最優先で行われますが、チャネル 0 の転送元へのリード動作後、バス調停が行われるため、次に優先順位の高いチャネルの転送が行われます（同一チャネルのリード動作⇒ライト動作の間に別のチャネルのリード動作等が割り込む可能性があります）。

15.3.3.2　ラウンドロビン・モード

ラウンドロビン・モードでは、各チャネルの転送受け付け毎に、直前の転送を行ったチャネルの優先順位が一番低くなるように優先順位を変更します。

以下の図 15.16 に、リセット直後の優先順位と DMA チャネル 2 の転送が行われた後の優先順位について示します。

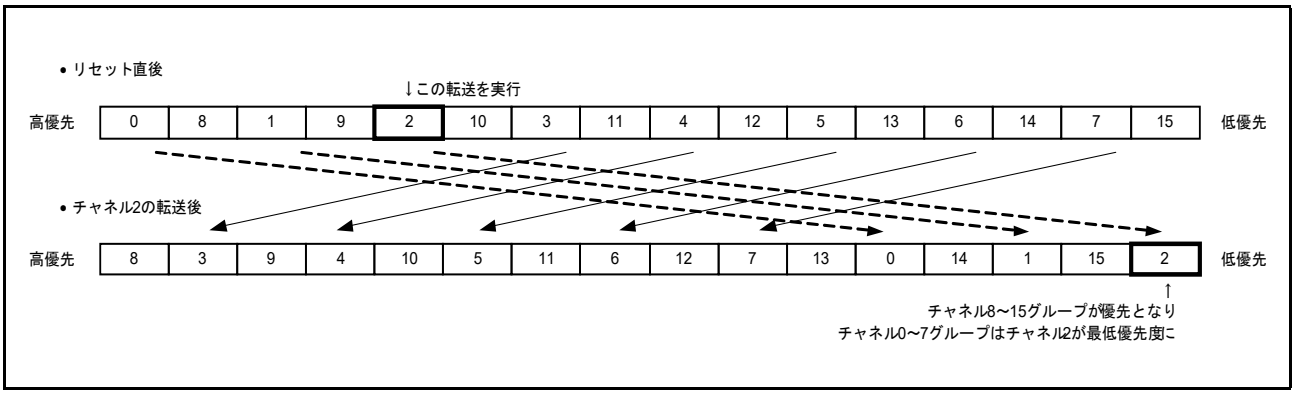


図 15.16　リセット直後の優先順位と DMA チャネル 2 の転送が行われた後の優先順位

ラウンドロビン・モードでの DMA 転送の例を次に示します。

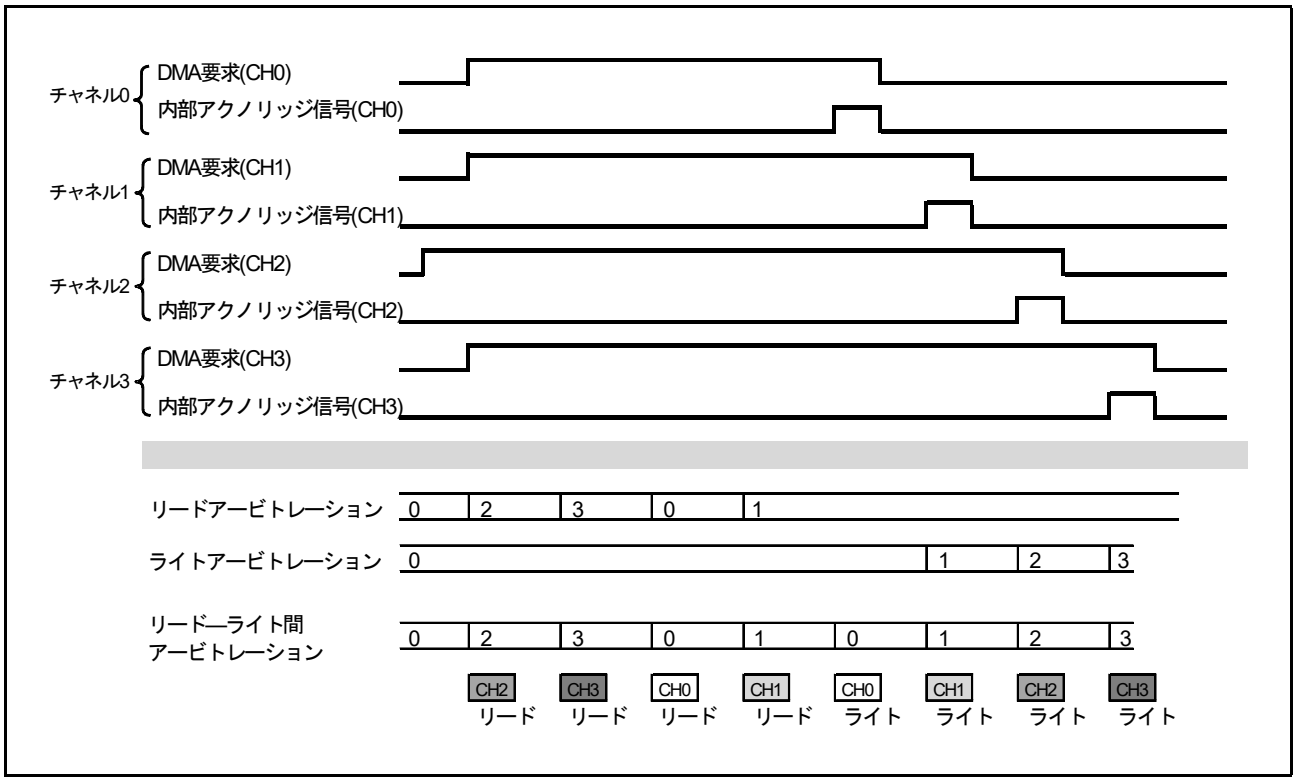


図 15.17　ラウンドロビン・モード（チャネル数 4、REQD = 1 の場合）

注 .　DMAC 内部で、リード・チャネル間のアービトレート、ライト・チャネル間のアービトレートを行い、それらのアービトレート結果の間でさらにアービトレートを行い、バスアクセスを発行します。

15.3.4　DMA 転送要求

DMA 起動要求には、ソフトウェアリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、外部割り込みの 4 種類があります。

外部リクエスト、内蔵周辺モジュールリクエスト、外部割り込み、ソフトウェアリクエストの転送要求元の選択は DMAmSELn（m = 0, 1 n = 0 ～ 15）レジスタで行います。

DMAmSELn（m = 0, 1 n = 0 ～ 15）レジスタの詳細については「15.2.8　DMAC Unit0 要因選択レジスタ i（DMA0SELi）（i = 0 ～ 15）」、および「15.2.9　DMAC Unit1 要因選択レジスタ i（DMA1SELi）（i = 0 ～ 15）」を参照してください。

15.3.4.1　DMA 転送要求の要因毎の検出動作指定

外部リクエスト、内蔵周辺モジュールリクエスト、外部割り込み、ソフトウェアリクエストの DMA 転送要求は、要因によって検出方法が指定されているものがあります。

DMA 転送要因毎に、**表 15.19**、**表 15.20**、**表 15.21** を元に CHCFG_n レジスタの LVL、HIEN、LOEN ビットを設定してください。

エッジ検出の動作は**図 15.18** と**図 15.19**、レベル検出の動作は**図 15.20** と**図 15.21** を参照してください。

表 15.19　DMA 転送要求の要因毎の検出動作指定

DMA 転送要求要因	DMA 転送要求の検出動作指定	DMA アクノリッジ信号の指定
外部リクエスト	立ち上がりエッジ検出 立ち下がりエッジ検出 ハイレベル検出 ロウレベル検出	DMA 転送要求元の仕様に依存
内蔵周辺モジュール リクエスト	DMA 転送要求元の仕様に依存 （表 15.21 参照）	バス・サイクル・モード
外部割り込み	立ち上がりエッジ検出 ハイレベル検出	バス・サイクル・モード
ソフトウェアリクエスト	立ち上がりエッジ検出	バス・サイクル・モード

表 15.20　DMA 転送要求信号の検出方法

モード	LVL （CHCFG_n）	HIEN （CHCFG_n）	LOEN （CHCFG_n）	機能
エッジ 検出	0	0	0	検出無効
			1	立ち下がりエッジ検出
		1	0	立ち上がりエッジ検出
			1	設定禁止
レベル 検出	1	0	0	検出無効
			1	ロウレベル検出
		1	0	ハイレベル検出
			1	設定禁止

表15.21　DMA転送要求検出動作設定表　(1 / 7)

DMA転送要求元	DMA転送要因	転送元	転送先	DMAmSELn[7:0]	CHCFG_n						
					TM	AM[2:0]（注2）	LVL	HIEN	LOEN	REQD	SEL[2:0]
外部DMAリクエスト	DREQ0	任意	任意	F8h	0/1	001/010/100	0/1	10/01		0/1	DMAC0 ch0/8：0h ch1/9：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	DREQ1	任意	任意	F9h							
	DREQ2	任意	任意	FAh							DMAC1 ch8：0h ch9：1h ch10：2h ch11：3h ch12：4h ch13：5h ch14：6h ch15：7h
外部割り込み	IRQ0	任意	任意	04h	0/1	010	0/1（注1）	1（注1）	0（注1）	0/1	DMAC0/1 ch0/8：0h ch1/9：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	IRQ1			05h							
	IRQ2			06h							
	IRQ3			07h							
	IRQ4			08h							
	IRQ5			09h							
	IRQ6			0Ah							
	IRQ7			0Bh							
	IRQ8			0Ch							
	IRQ9			0Dh							
	IRQ10			0Eh							
	IRQ11			0Fh							
	IRQ12			10h							
	IRQ13			11h							
	IRQ14			12h							
	IRQ15			13h							

表15.21　DMA転送要求検出動作設定表　(2 / 7)

DMA転送要求元	DMA転送要因	転送元	転送先	DMAmSELn[7:0]	CHCFG_n						
					TM	AM[2:0]（注2）	LVL	HIEN	LOEN	REQD	SEL[2:0]
CMT Unit0	コンペアマッチ0	任意	任意	15h	0/1	010	0	1	0	0/1	DMAC0/1 ch0/8 ：0h ch1/9 ：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	コンペアマッチ1			16h							
CMT Unit1	コンペアマッチ0	任意	任意	17h	0/1	010	0	1	0	0/1	
	コンペアマッチ1			18h							
CMTW Unit0	コンペアマッチ	任意	任意	19h	0/1	010	0	1	0	0/1	
	インプットキャプチャ0			1Ah							
	インプットキャプチャ1			1Bh							
	アウトプットコンペア0			1Ch							
	アウトプットコンペア1			1Dh							
CMTW Unit1	コンペアマッチ	任意	任意	1Eh	0/1	010	0	1	0	0/1	
	インプットキャプチャ0			1Fh							
	インプットキャプチャ1			20h							
	アウトプットコンペア0			21h							
	アウトプットコンペア1			22h							

表15.21　DMA転送要求検出動作設定表　(3 / 7)

DMA転送要求元	DMA転送要因	転送元	転送先	DMAmSELn[7:0]	CHCFG_n						
					TM	AM[2:0]（注2）	LVL	HIEN	LOEN	REQD	SEL[2:0]
S12ADCa Unit0	AD変換完了	ADDRn	任意	23h	0/1	010	0	1	0	0	DMAC0/1 ch0/8 ：0h ch1/9 ：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	グループB変換完了	ADDRn		24h							
S12ADCa Unit1	AD変換完了	ADDRn	任意	26h	0/1	010	0	1	0	0	
	グループB変換完了	ADDRn		27h							
DMAC0	DMAC0ソフトウェアトリガ	任意	任意	FBh	0/1	010	0	1	0	0/1	
DMAC1	DMAC1ソフトウェアトリガ	任意	任意	FCh	0/1	010	0	1	0	0/1	
USB	FuncDMA要求1	任意(送信時)/D0FIFO(受信時)	D0FIFO(送信時)/任意(受信時)	2Bh	0	010（注3）	1	1	0	0/1	
	Func DMA要求2			2Ch							
Ether Switch with IEEE1588	Ether SWITCH割り込み	任意	任意	2Dh	0/1	010	0	1	0	0/1	
	Ether SWITCH DLR割り込み	任意	任意	2Eh							
	Ether SWITCH SYNCOUT割り込み	任意	任意	2Fh							
Ether PHY	Ether PHY割り込み0	任意	任意	30h	0/1	010	0/1	1	0	0/1	
	Ether PHY割り込み1	任意	任意	31h							
	Ether PHY割り込み2	任意	任意	32h							
Ether MAC	Ether MAC DMA受信完了	任意	任意	33h	0/1	010	0	1	0	0/1	
	Ether MAC DMA送信完了	任意	任意	34h							
	受信フレーム正常割り込み	任意	任意	35h							
MTU3a	TGIA6	任意	任意	36h	0/1	010	0	1	0	0/1	
	TGIB6			37h							
	TGIC6			38h							
	TGID6（注4）			39h							
	TGIA7			3Bh							
	TGIB7			3Ch							
	TGIC7			3Dh							
	TGID7			3Eh							
	TCIV7			3Fh							

表15.21　DMA転送要求検出動作設定表　(4 / 7)

DMA転送要求元	DMA転送要因	転送元	転送先	DMAmSELn[7:0]	CHCFG_n						
					TM	AM[2:0]（注2）	LVL	HIEN	LOEN	REQD	SEL[2:0]
Ether MAC	Ether MII マネージメント・アクセス完了割り込み	任意	任意	40h	0/1	010	0	1	0	0/1	DMAC0/1 ch0/8 ：0h ch1/9 ：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	Ether ポーズ・パケット送信完了割り込み			41h							
	Ether　送信完了割り込み			42h							
EtherCAT Slave（オプション）	Sync0 割り込み	任意	任意	49h	0/1	010	0	1	0	0/1	
	Sync1 割り込み			4Ah							
	EtherCAT割り込み			4Bh							
	SOF割り込み			4Ch							
	EOF割り込み			4Dh							
RSPI チャネル0	受信バッファフル	SPDR	任意	50h	0	010	0	1	0	0	
	送信バッファエンプティ	任意	SPDR	51h	0	010	0	1	0	1	
RSPI チャネル1	受信バッファフル	SPDR	任意	54h	0	010	0	1	0	0	
	送信バッファエンプティ	任意	SPDR	55h	0	010	0	1	0	1	
RSPI チャネル2	受信バッファフル	SPDR	任意	58h	0	010	0	1	0	0	
	送信バッファエンプティ	任意	SPDR	59h	0	010	0	1	0	1	
RSPI チャネル3	受信バッファフル	SPDR	任意	5Ch	0	010	0	1	0	0	
	送信バッファエンプティ	任意	SPDR	5Dh	0	010	0	1	0	1	
SCIFA チャネル0	受信バッファフル	FRDR	任意	61h	0	010	1	1	0	0	
	送信バッファエンプティ	任意	FTDR	62h	0	010	1	1	0	1	
SCIFA チャネル1	受信バッファフル	FRDR	任意	65h	0	010	1	1	0	0	
	送信バッファエンプティ	任意	FTDR	66h	0	010	1	1	0	1	
SCIFA チャネル2	受信バッファフル	FRDR	任意	6Eh	0	010	1	1	0	0	
	送信バッファエンプティ	任意	FTDR	6Fh	0	010	1	1	0	1	
SCIFA チャネル3	受信バッファフル	FRDR	任意	72h	0	010	1	1	0	0	
	送信バッファエンプティ	任意	FTDR	73h	0	010	1	1	0	1	
SCIFA チャネル4	受信バッファフル	FRDR	任意	76h	0	010	1	1	0	0	
	送信バッファエンプティ	任意	FTDR	77h	0	010	1	1	0	1	
RIIC チャネル0	データ受信終了	ICDRR	任意	7Ah	0	010	0	1	0	0	
	送信データエンプティ	任意	ICDRT	7Bh	0	010	0	1	0	1	
RIIC チャネル1	データ受信終了	ICDRR	任意	7Dh	0	010	0	1	0	0	
	送信データエンプティ	任意	ICDRT	7Eh	0	010	0	1	0	1	

表15.21　DMA転送要求検出動作設定表　(5 / 7)

DMA転送要求元	DMA転送要因	転送元	転送先	DMAmSELn[7:0]	CHCFG_n						
					TM	AM[2:0]（注2）	LVL	HIEN	LOEN	REQD	SEL[2:0]
MTU3a	TGIA0	任意	任意	91h	0/1	010	0	1	0	0/1	DMAC0/1 ch0/8 ：0h ch1/9 ：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	TGIB0			92h							
	TGIC0			93h							
	TGID0			94h							
	TGIA1			98h							
	TGIB1			99h							
	TGIA2			9Ch							
	TGIB2			9Dh							
	TGIA3			A0h							
	TGIB3			A1h							
	TGIC3			A2h							
	TGID3			A3h							
	TGIA4			A5h							
	TGIB4			A6h							
	TGIC4			A7h							
	TGID4			A8h							
	TCIV4			A9h							
	TGIU5			AAh							
	TGIV5			ABh							
	TGIW5			ACh							
	TGIA8			ADh							
	TGIB8			AEh							
	TGIC8			AFh							
	TGID8			B0h							

表15.21　DMA転送要求検出動作設定表　(6 / 7)

DMA転送要求元	DMA転送要因	転送元	転送先	DMAmSELn[7:0]	CHCFG_n						
					TM	AM[2:0]（注2）	LVL	HIEN	LOEN	REQD	SEL[2:0]
GPT	GTCIA0	任意	任意	B2h	0/1	010	0	1	0	0/1	DMAC0/1 ch0/8 ：0h ch1/9 ：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	GTCIB0			B3h							
	GTCIC0			B4h							
	GTCID0			B5h							
	GTCIE0			B6h							
	GTCIF0			B7h							
	GDTE0			B8h							
	GTCIV0			B9h							
	GTCIU0			BAh							
	GTCIA1			BBh							
	GTCIB1			BCh							
	GTCIC1			BDh							
	GTCID1			BEh							
	GTCIE1			BFh							
	GTCIF1			C0h							
	GDTE1			C1h							
	GTCIV1			C2h							
	GTCIU1			C3h							
	GTCIA2			C4h							
	GTCIB2			C5h							
	GTCIC2			C6h							
	GTCID2			C7h							
	GTCIE2			C8h							
	GTCIF2			C9h							
	GDTE2			CAh							
	GTCIV2			CBh							
	GTCIU2			CCh							
	GTCIA3			CDh							
	GTCIB3			CEh							
	GTCIC3			CFh							
	GTCID3			D0h							
	GTCIE3			D1h							
	GTCIF3			D2h							
	GDTE3			D3h							
	GTCIV3			D4h							
	GTCIU3			D5h							
	ETGIN			D6h							
	ETGIP			D7h							

表15.21　DMA転送要求検出動作設定表 (7 / 7)

DMA転送要求元	DMA転送要因	転送元	転送先	DMAmSELn[7:0]	CHCFG_n						
					TM	AM[2:0]（注2）	LVL	HIEN	LOEN	REQD	SEL[2:0]
TPUa unit0	TGI0A	任意	任意	D8h	0/1	010	0	1	0	0/1	DMAC0/1 ch0/8 ：0h ch1/9 ：1h ch2/10：2h ch3/11：3h ch4/12：4h ch5/13：5h ch6/14：6h ch7/15：7h
	TGI0B			D9h							
	TGI1A			DDh							
	TGI1B			DEh							
	TGI2A			E1h							
	TGI2B			E2h							
	TGI3A			E5h							
	TGI3B			E6h							
	TGI4A			EAh							
	TGI4B			EBh							
	TGI5A			EEh							
	TGI5B			EFh							
ELC	ELCIRQ1	任意	任意	F2h	0/1	010	0	1	0	0/1	
	ELCIRQ2			F3h							

注1.　外部割り込み（IRQ0～15）のLVL、HIEN、LOENビットの設定は、以下のとおりになります。
IRQCRi （i = 0～15）レジスタの設定は「12.3.1　割り込み要求先の選択」を参照してください。
LVL ：IRQCRiレジスタのレベル／エッジ設定に合わせてください。
HIEN：IRQCRiレジスタの検出レベルに関係なく、1を設定してください。
LOEN：IRQCRiレジスタの検出レベルに関係なく、0を設定してください。
注2.　DACK/TEND信号を使用しない場合、設定値は任意です。
注3.　DACK/TEND信号の使用有無にかかわらず、必ず “010” を設定してください。
注4.　DMA転送要求が発生したタイミングで割り込みが発生し、DMA転送完了時に割り込みは発生しません。DMA転送完了は、CHSTAT_nレジスタENDビットで確認してください。

備考　CHCFG_n レジスタ設定値
TM ビット
0：シングル転送
1：ブロック転送
AM ビット
001：DACK レベル出力
010：DACK バスサイクル出力
100：DACK 出力をマスク
LVL ビット
0：DMA 要求をエッジ検出
1：DMA 要求をレベル検出
REQD ビット
0：リード時、DACK 出力
1：ライト時、DACK 出力

注.　DMAC 要因選択レジスタで選択されたベクタ番号は、各周辺からの割り込み要因ではなく、DMAC 要因選択レジスタで選択されたDMAC各チャネルの転送完了要因が接続されます。
注.　DMACの転送完了割り込みの検出タイプは、必ずPLSnレジスタで、エッジ検出を選択してください。

15.3.4.2　エッジ検出

CHCFG_n レジスタの LVL ビットを 0 に設定することにより、エッジ検出となります。
CHCFG_n レジスタの HIEN ビットを 1 に設定することにより立ち上がりエッジ検出、
LOEN ビットを 1 に設定することにより立ち下がりエッジ検出となります。
DREQn 信号による DMA 要求の場合、DACK または TEND 信号がアクティブになった後、次の DMA 転送を要求するようにしてください。

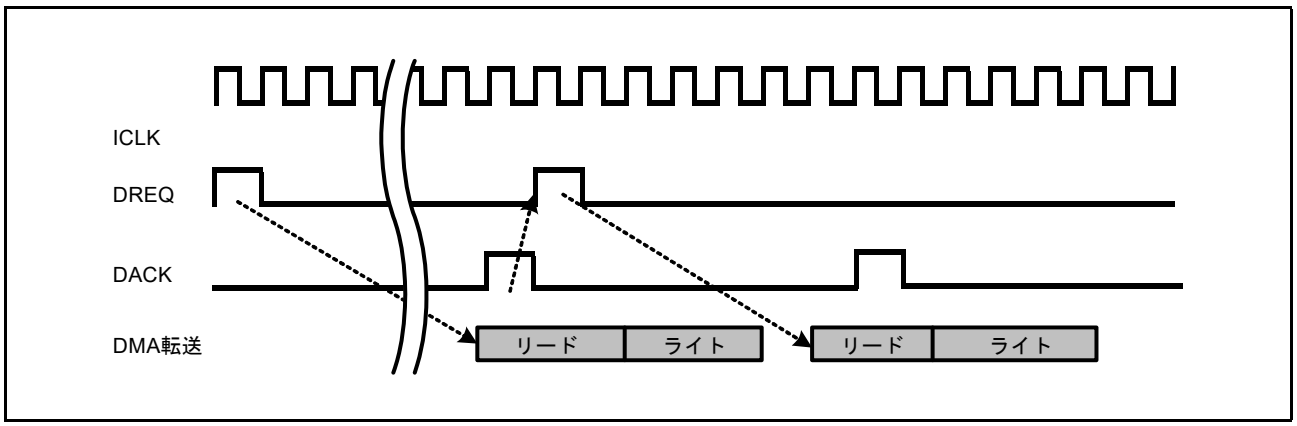


図 15.18　エッジ検出タイミング（立ち上がりエッジ (HIEN = 1)、DACK 出力は リード時アクティブ (REQD = 0)）

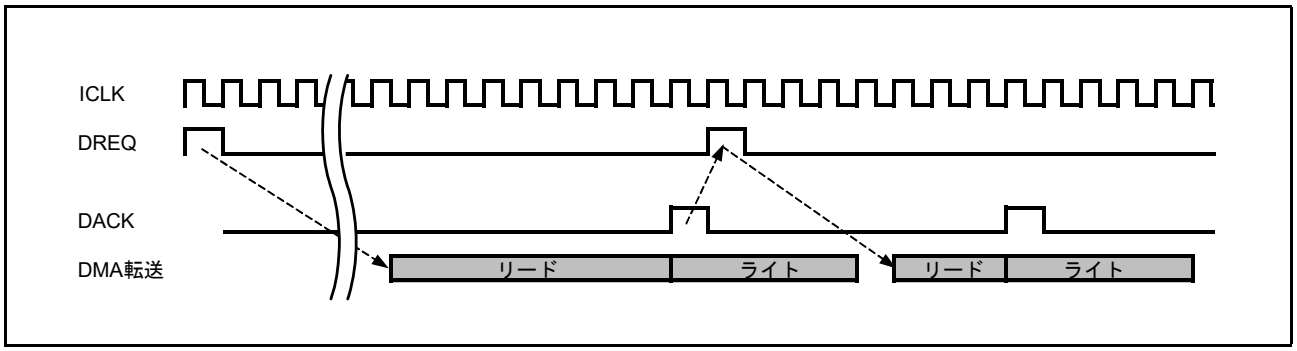


図 15.19　エッジ検出タイミング（立ち上がりエッジ (HIEN = 1)、DACK 出力 はライト時アクティブ (REQD = 1)）

15.3.4.3　レベル検出

CHCFG_n レジスタの LVL ビットを 1 に設定することにより、レベル検出となります。
DMA 転送要求が、連続した 2 クロック（ICLK）以上の期間アクティブ（HIEN、LOEN の設定による）である場合、DMA 要求として認識します。
DACK ／ TEND 信号出力をレベル・モードにした場合、DACK ／ TEND 信号出力は DMA 転送要求がインアクティブになるまで、High レベルになります。
次の DMA 転送を要求する場合、DACK ／ TEND 信号がインアクティブになってから次の DMA 転送を要求してください。

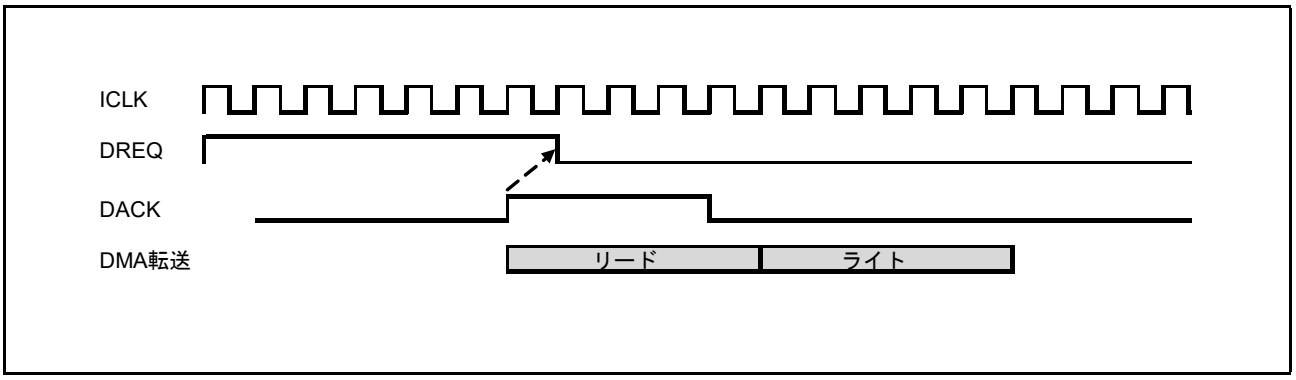


図 15.20　レベル検出タイミング（ハイレベル検出 (HIEN = 1)、DACK 出力はリード時アクティブ (REQD = 0)）

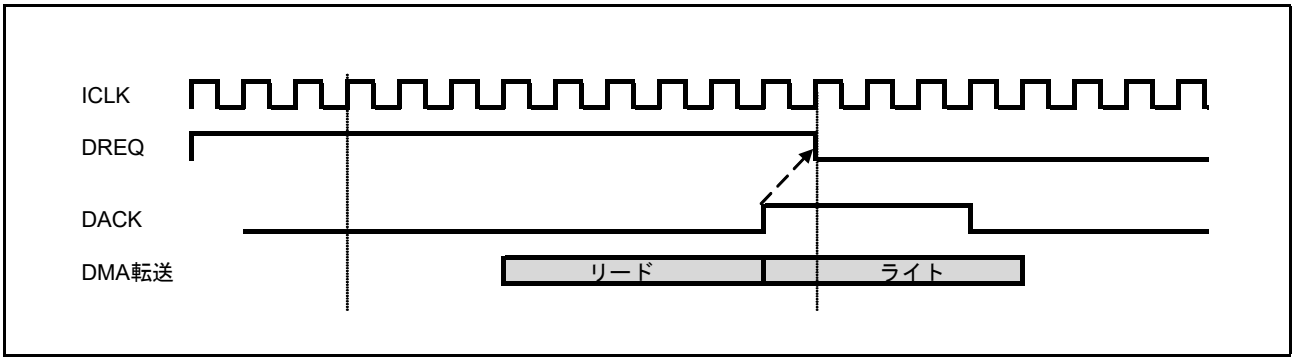


図 15.21　レベル検出タイミング（ハイレベル検出 (HIEN = 1)、DACK 出力はライト時アクティブ (REQD = 1)）

15.3.5　DMA アクノリッジ出力／DMA トランザクション終了出力機能

DMA 転送要求に対する受け付け応答信号として、DMA アクノリッジ信号（DACK）が出力されます。

DMA 転送終了信号（TEND）は、最後の DMA 転送の DACK 信号が出力されるタイミングで、出力されます。

DMA 転送要求に、DREQn 信号を用いる場合は、DMA アクノリッジ信号として DACKn を、DMA トランザクション終了出力信号として TENDn を使用します。

チャネル・コンフィギュレーション・レジスタ（CHCFGn）の AM2-AM0 ビットで、DACKn と TENDn 信号の出力モードを設定します。レベル出力、バス・サイクル出力をサポートしています。

DACK 信号、TEND 信号は以下の条件を満たす場合のみ、外部端子である DACKn、TENDn 端子からアクティブレベルを出力します。DACKn、TENDn 端子を使用する場合は、MPC.P#nPFS.PSEL（# = 0-9, A-R/n = 0-7）とポートモードレジスタ（PMR）を “ 周辺機能として使用 ” の設定にしてください。

- DMA 転送要求要因に DREQn 端子を設定
- DMA 転送元／先を以下のように設定
  - 転送元に外部アドレス空間（CSn）を指定し（転送先は任意）、CHCFG_n.REQD ビットを 0（転送元側のモジュールが要求）に設定
  - 転送先に外部アドレス空間（CSn）を指定し（転送元は任意）、CHCFG_n.REQD ビットを 1（転送先側のモジュールが要求）に設定

  上記以外の場合、アクティブレベルは端子から出力されません。ただし、内部信号は AM[2:0] ビットで設定したタイミングでアクティブになります。

DMA転送要求元	DMA転送要因	転送元	転送先	CHCFG_n		アクティブ信号の外部端子出力	
				AM[2:0]	REQD	DACK信号	TEND信号
外部DMAリクエスト	DREQ0	外部バス	任意	001/010	0	DACK0端子から出力	TEND0端子から出力
		任意	外部バス		1	DACK0端子から出力	TEND0端子から出力
		内部バス	任意		0	—	—
		任意	内部バス		1	—	—
	DREQ1	外部バス	任意	001/010	0	DACK1端子から出力	TEND1端子から出力
		任意	外部バス		1	DACK1端子から出力	TEND1端子から出力
		内部バス	任意		0	—	—
		任意	内部バス		1	—	—
	DREQ2	外部バス	任意	001/010	0	DACK2端子から出力	TEND2端子から出力
		任意	外部バス		1	DACK2端子から出力	TEND2端子から出力
		内部バス	任意		0	—	—
		任意	内部バス		1	—	—
上記以外	上記以外	任意	任意	任意	任意	—	—

— : 端子からアクティブレベルは出力されず、常にインアクティブレベルを保持します。
インアクディブレベルとは、アクノリッジ／トランスファエンドレベル設定ビットで設定したアクティブレベルを反転した信号レベルです。
外部バスは CS0 ～ CS5 空間を、内部バスはそれ以外のアドレス空間を示します。

15.3.5.1　DMA 転送要求の要因毎のアクノリッジ信号／ DMA トランザクション終了信号のモード指定

DMA アクノリッジ信号と DMA トランザクション終了信号は、要因によって出力モードが指定されているものがあります。

DMA 転送要求要因ごとに、**表 15.19**、**表 15.21**、**表 15.22** を元に、チャネル・コンフィギュレーション・レジスタ（CHCFGn）の AM[2:0] ビットで正しい動作を指定してください。

レベル出力の動作は「**図 15.22　DACK ／ TEND 出力タイミング（AM[2:0] = 001, REQD = 0）**」と「**図 15.23　DACK ／ TEND 出力タイミング（AM[2:0] = 001, REQD = 1）**」、バス・サイクル出力の動作は「**図 15.24　バス・サイクル出力タイミング（REQD = 0）**」と「**図 15.25　バス・サイクル出力タイミング（REQD = 1）**」を参照してください。

表 15.22　DACKn／TENDn 端子出力設定

モード	AM[2]（CHCFG_n）	AM[1:0]（CHCFG_n）	REQD（CHCFG_n）	用途
レベル	0	01	0（リード時にアクティブ）	レベルでDACK／TENDを有効にします。 DACK／TEND出力はDMA転送要求がインアクティブになるまでアクティブ状態を保持し続けます。 TEND信号はDMA転送の最終転送時のみアクティブになります。
			1（ライト時にアクティブ）	
バス・サイクル	0	10 11	0（リード時にアクティブ）	バス・サイクルの期間DACK／TEND信号をアクティブにします。 バス・サイクルの終了までDACK／TEND信号をアクティブにしたい場合になどに使用します。 TEND信号はDMA転送の最終転送時のみアクティブになります。
			1（ライト時にアクティブ）	
マスク	1	—	—	DACK／TEND出力をインアクティブ固定にします。 DACK／TEND出力を接続先に通知しない場合等に使用します。

15.3.5.2　レベル出力

CHCFG_n レジスタの AM フィールドを 001 に設定することにより、レベル出力となります。

DACK 出力は、DMA 転送要求をインアクティブにするまでアクティブ状態を保持します。また、最後の DMA 転送であれば、DACK 出力と同じタイミングで TEND 信号を出力（レベル出力）します。

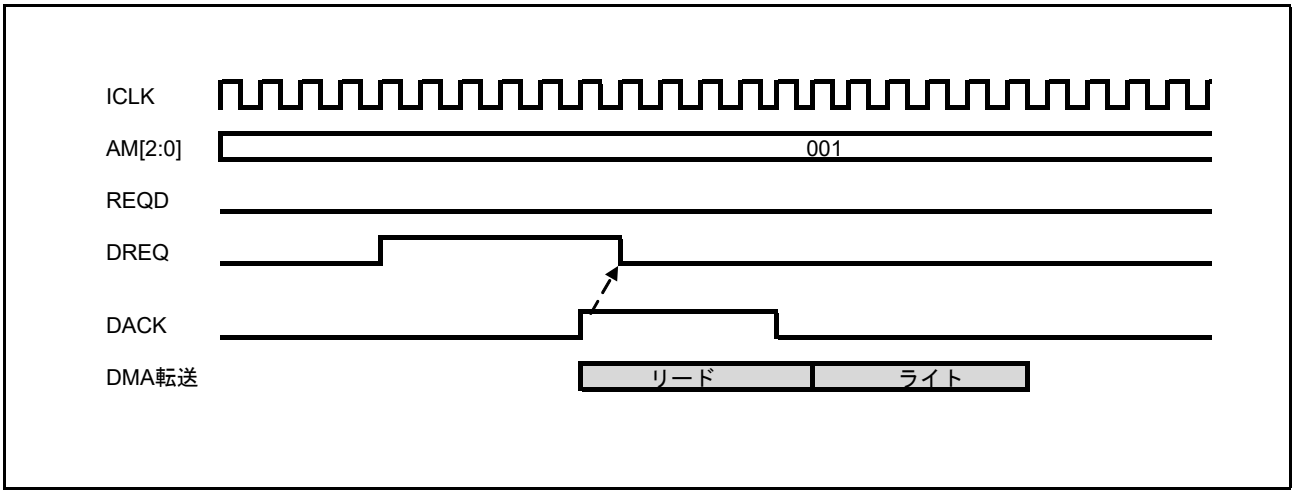


図 15.22　DACK ／ TEND 出力タイミング（AM[2:0] = 001, REQD = 0）

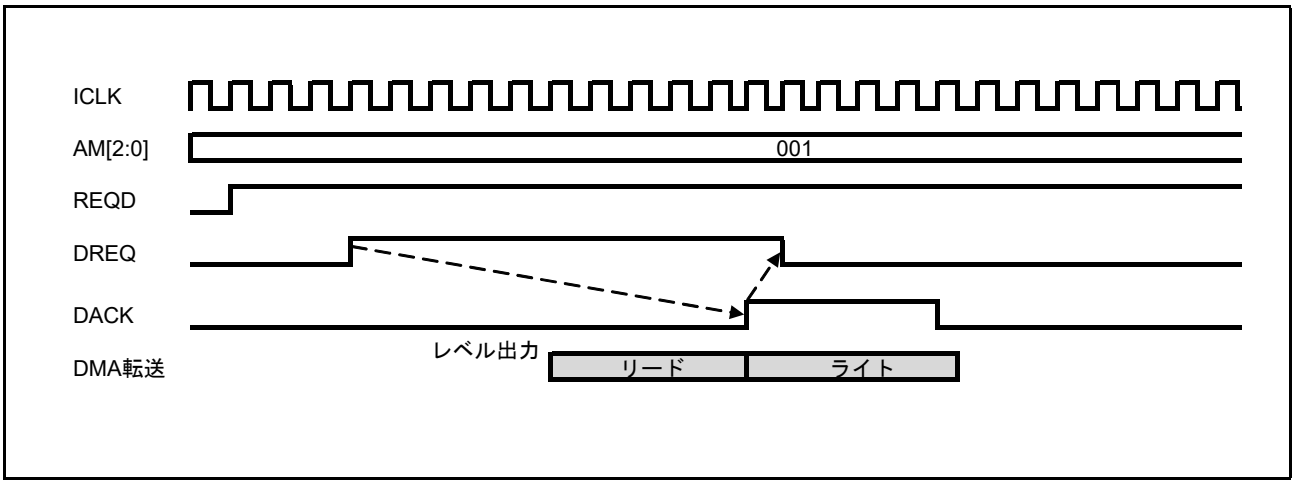


図 15.23　DACK ／ TEND 出力タイミング（AM[2:0] = 001, REQD = 1）

15.3.5.3　バス・サイクル出力

CHCFG_n レジスタの AM フィールドを 010 に設定することにより、バス・サイクル出力となります。バス・サイクルの期間、DACK 出力がアクティブになります。また、最後の DMA 転送であれば、DACK 出力と同じタイミングで TEND 信号をバス・サイクル間出力します。

DACK ／ TEND 信号がアクティブの間、DREQ 信号 を CPU 内部でマスクします。したがって、DREQ 信号をレベル検出にしていた場合でも、出力する側で一旦インアクティブにする必要はありません。

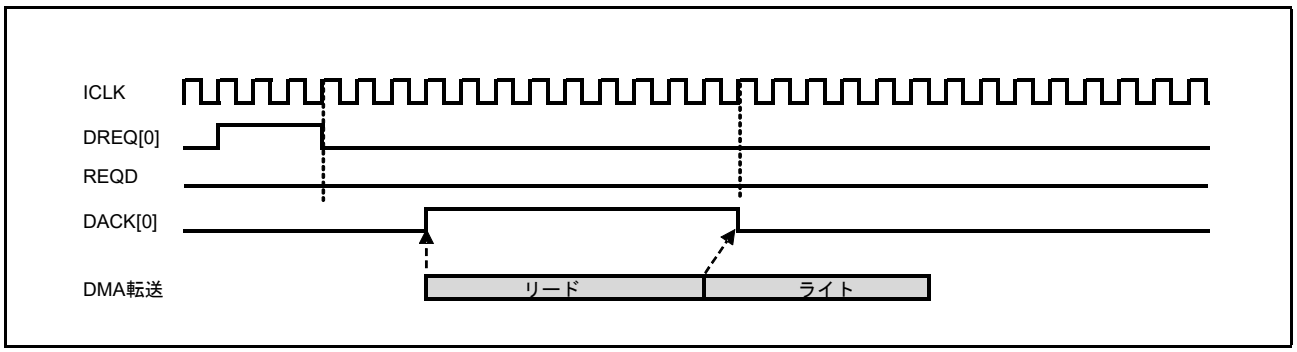


図 15.24　バス・サイクル出力タイミング（REQD = 0）

- CHCFG_n レジスタの REQD = 0（リード時アクティブ）の場合は、バス上でリード・リクエストを出力するタイミングから最後のリード・データの 1 サイクル後までの期間、DACK ／ TEND 出力がアクティブになります。
- DMA 転送要求入力をレベルで検出している場合、バス・サイクル終了後の次のサイクルまで DMA 転送要求入力は無効です。

以下の信号が DACK ／ TEND 出力の立ち上がり・立ち下がりのトリガになります。

立ち上がり：転送開始
立ち下がり：転送終了

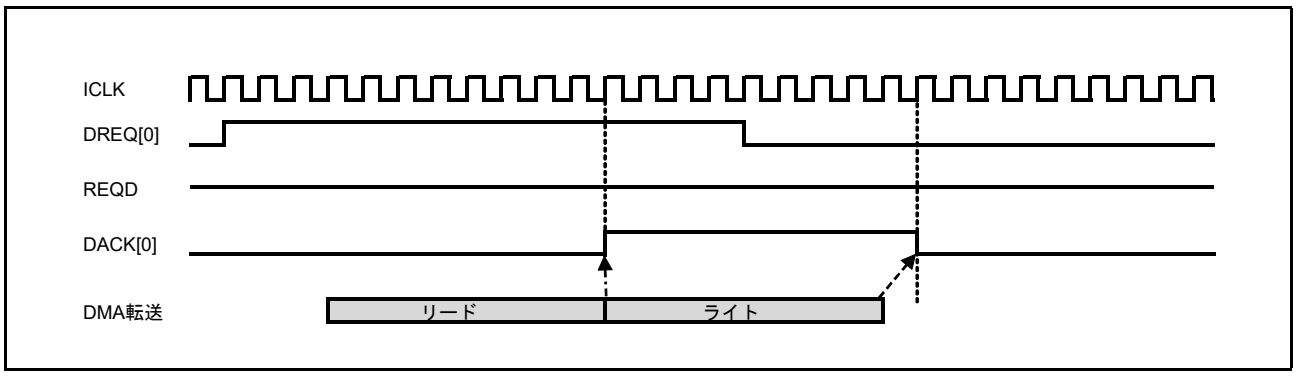


図 15.25　バス・サイクル出力タイミング（REQD = 1）

- CHCFG_n レジスタの REQD = 1（ライト時アクティブ）の場合、ライト・リクエストを出力するタイミングから最後のデータに対するレスポンス後、1 クロック（ICLK）後まで DACK ／ TEND 信号がアクティブになります。
- DMA 転送要求入力をレベルで検出している場合、バス・サイクル終了後の次のサイクルまで DMA 転送要求入力は無効です。

以下の信号が DACK ／ TEND 出力の立ち上がり・立ち下がりのトリガになります。

立ち上がり：転送開始
立ち下がり：転送終了

15.3.6　強制排出要求

強制排出要求が入力されると、バッファ内にある未転送データを DMA 転送先アドレスへ転送します。掃き出し動作が終了した後、DMA 転送を継続します。

以下に強制排出要求の注意点を示します。

- 強制排出要求と DMA 転送要求入力が競合した場合、強制排出動作を優先し、その後 DMA 転送を実行します。

- DMA 転送先側が DMA 転送要求入力を使ったハードウェア・リクエストを使うシステム（CHCFG_n レジスタの REQD = 1）の場合、DMA 転送先側のユニットは、DMA 転送要求をアクティブにしていないにもかかわらずデータが転送されて来るため、バッファ・オーバ・フローなどの誤動作を起こす恐れがあります。このため REQD = 1 の設定では、ハードウェア的に強制排出を行いません。

- 「15.3.11.2　転送中断（バッファ掃き出しあり：SBE = 1）」の掃き出しモード（CHCFG_n レジスタの SBE = 1 で EN ビットをクリア）との違い
掃き出しモード：バッファ内のデータをライト後、DMAC が動作を停止
強制排出要求：掃き出し動作終了後も DMA 転送を継続

15.3.6.1　ソフトウェア強制排出要求

ソフトウェア強制排出要求には CHCTRL_n レジスタの SETSSWPRQ ビットを使用します。
強制排出要求をする場合は、SETSSWPRQ ビットに 1 をライトしてください。DMAC は、バッファ内のデータを DMA 転送先に出力します。

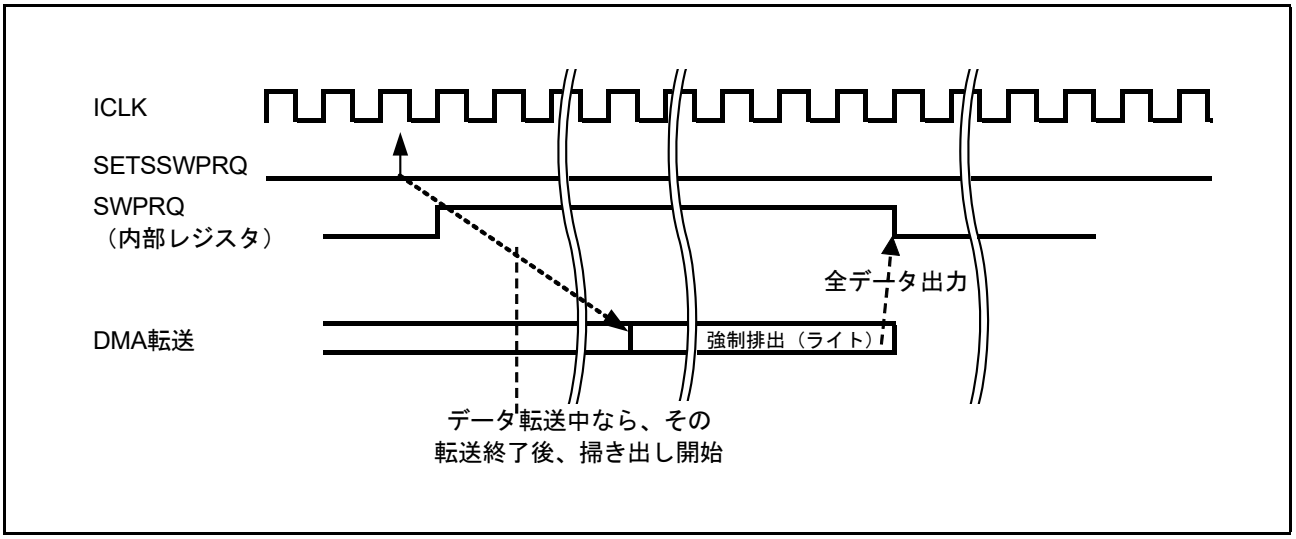


図 15.26　ソフトウェア強制排出タイミング

15.3.7　インターバル・カウント機能

CHITVL_n レジスタの ITVL フィールドの設定によって、DMA 転送の実行間隔を調整することが可能です。

この機能は、DMAC がバスを占有し続けることを無くすための機能です。カウント値が 0 になるまでは、次の DMA 要求に対する DMA 転送を実行しません。

動作例を以下に示します。

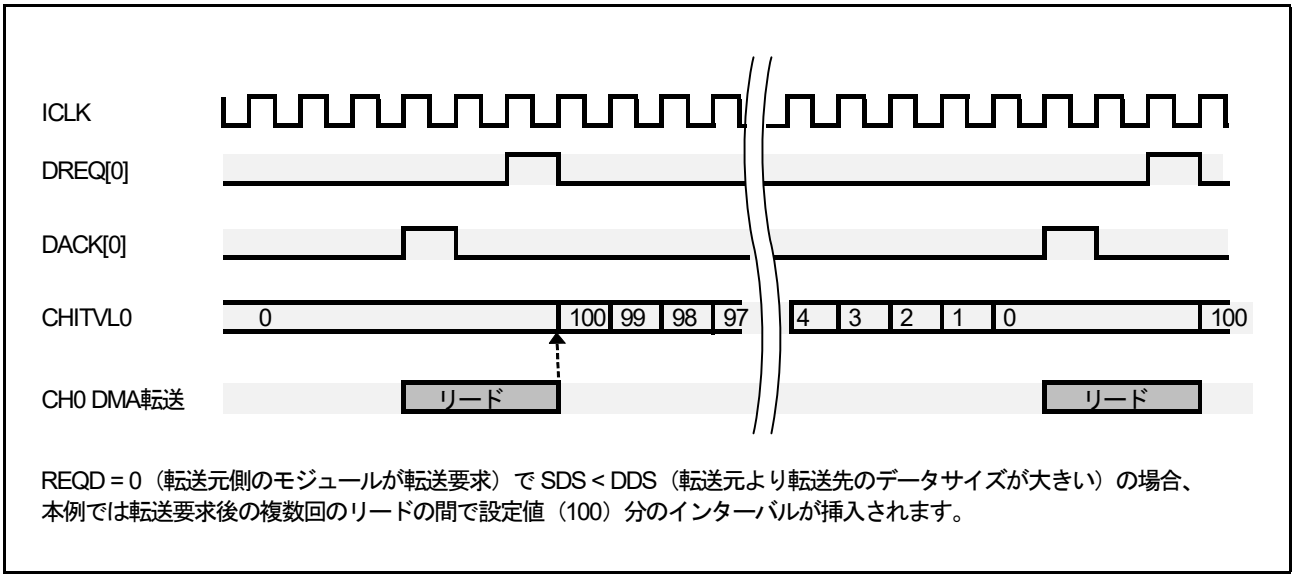


図 15.27　インターバル・カウント（REQD = 0, SDS < DDS）

インターバルは、CHCFG_n レジスタの REQD ビットで指定した側の転送後に挿入されます。

CHCFG_n レジスタの REQD、SDS、DDS ビットの設定値とインターバルの適用されるサイクルの関係を以下に示します。

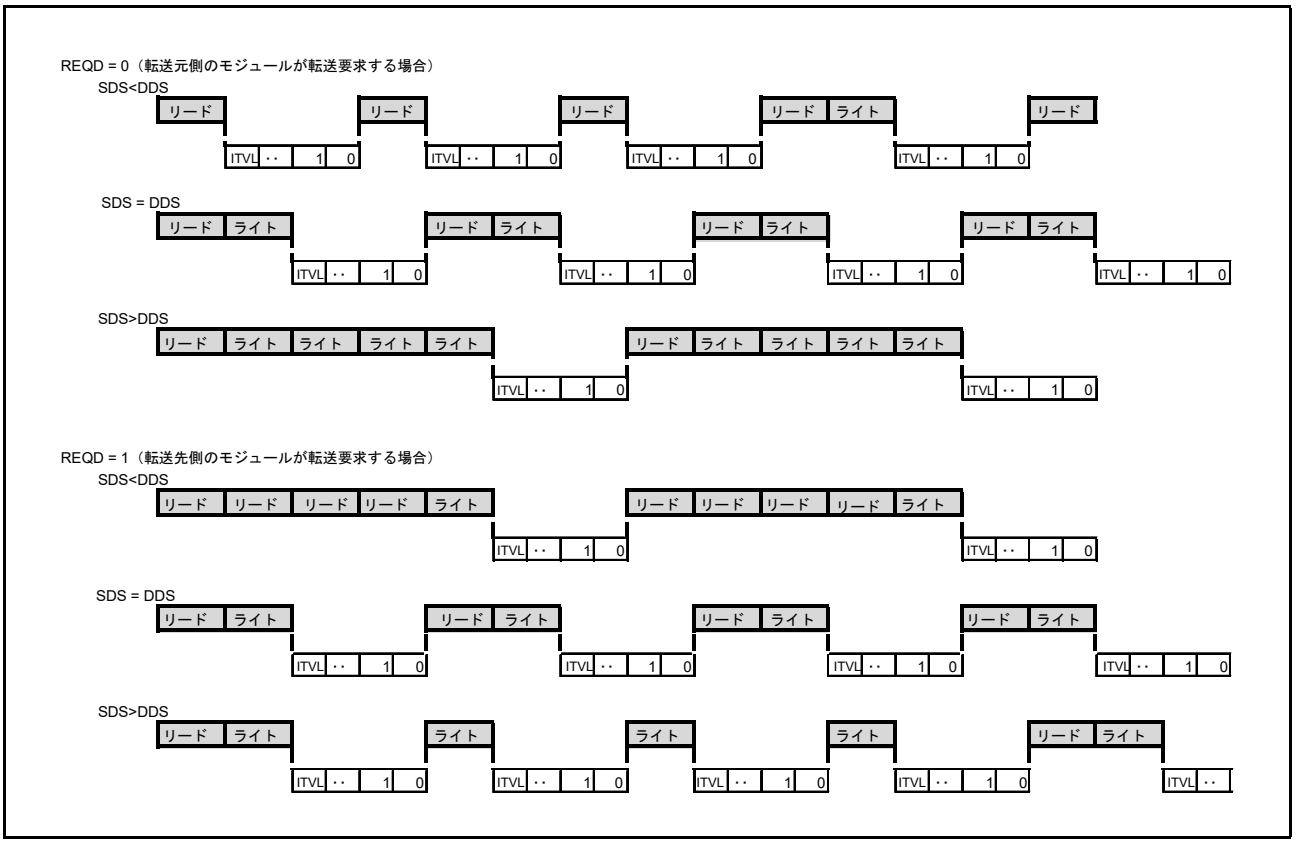


図 15.28　DMA 転送設定とインターバル・カウント

15.3.8　転送データサイズによる動作の違い

15.3.8.1　転送元側の転送データサイズが小さい場合

転送先の転送データサイズが大きいため、転送元に対する複数回のリード動作後、転送先にライト動作が発生します。

転送元が 8bit、転送先が 32bit （CHCFG_n レジスタの SDS = 0、DDS = 2）の場合のタイミング・チャートを以下に示します。（立ち上がりエッジ検出の場合）

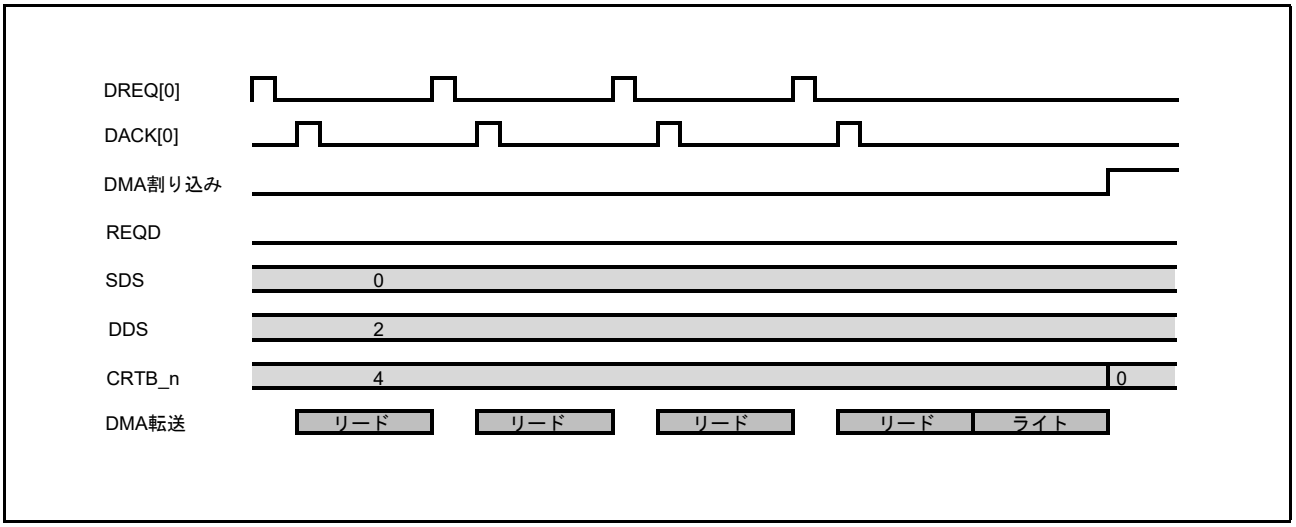


図 15.29　転送元のデータサイズが小さい場合（CHCFGn の LVL = 0，HIEN = 1, REQD = 0, SDS < DDS）

15.3.8.2　転送先の転送データサイズが小さい場合

転送元の転送データサイズが大きいため、転送元に対する 1 回のリード動作後、数回の転送先へのライト動作が発生します。転送元が 64bit、転送先が 16bit （CHCFG_n レジスタの SDS = 3、DDS = 1）の場合のタイミング・チャートを以下に示します。（立ち上がりエッジ検出の場合）

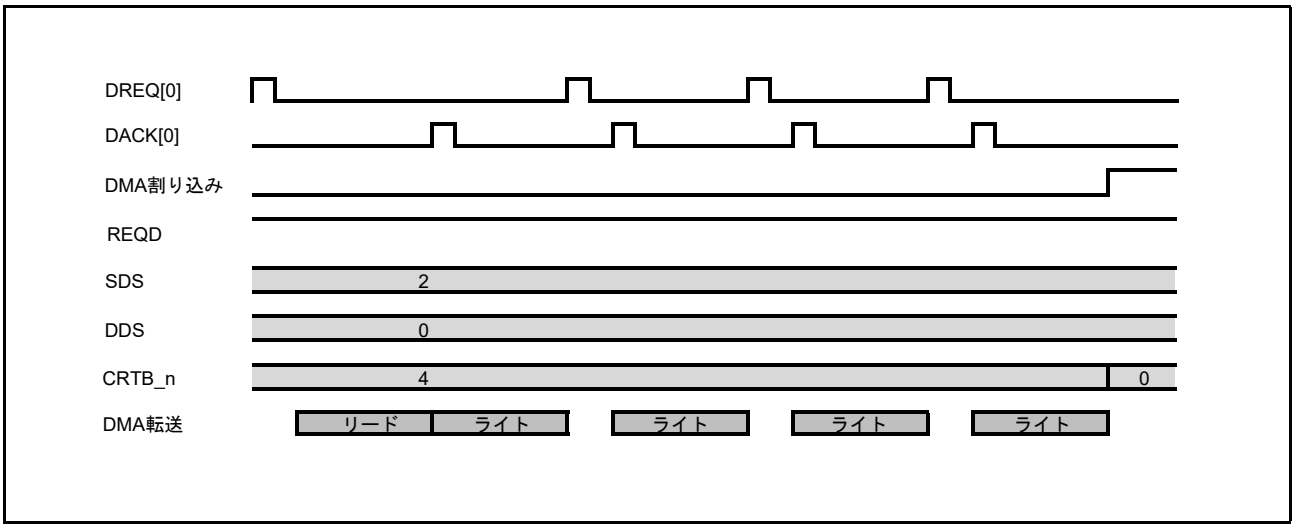


図 15.30　転送先のデータサイズが小さい場合（CHCFG_n の LVL = 0, HIEN = 1, REQD = 1, SDS > DDS）

15.3.8.3　転送元と転送先の転送データサイズが同じ場合

DMA 転送要求を検出するたびに転送元のリード動作と転送先へのライト動作を行います。

転送元と転送先が 8bit （CHCFG_n レジスタの SDS = 0、DDS = 0）の場合のタイミング・チャートを以下に示します。（立ち上がりエッジ検出の場合）

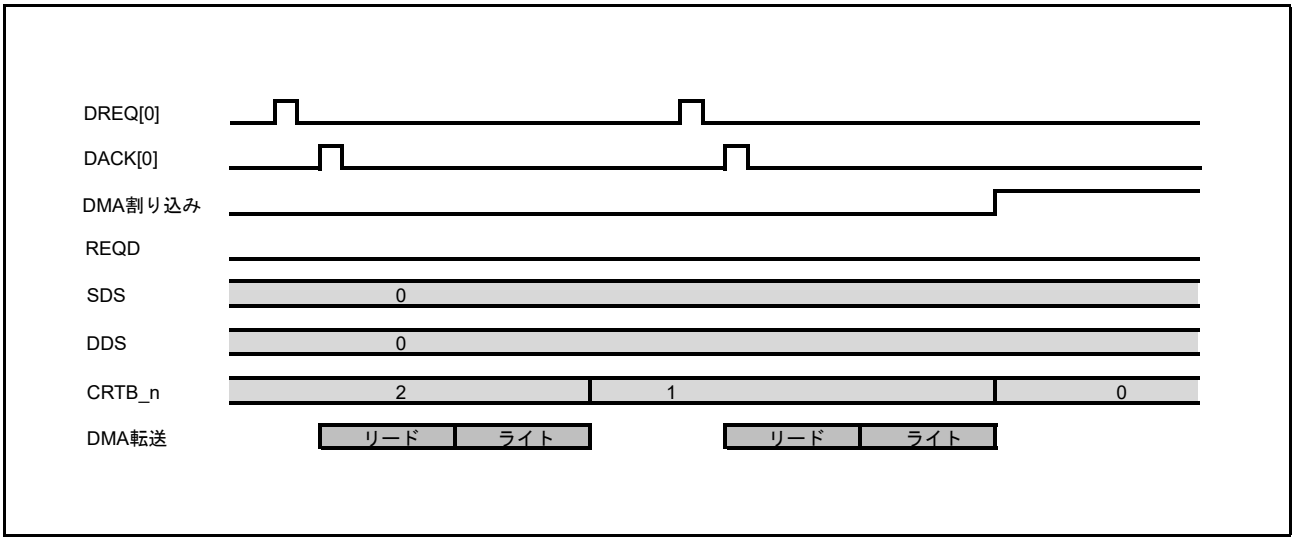


図 15.31　転送元と転送先の転送データ・サイズが同じ場合（CHCFG_n の LVL = 0, HIEN = 1, REQD = 0, SDS = DDS）

15.3.9　DMA 転送状態

CHSTAT_n レジスタは各チャネルの DMA 転送状態を示します。

CHSTAT_n レジスタの TACT ビットはチャネル n が DMA 動作中であることを示します。CHCTRL_n レジスタの SETEN ビットに 1 をライトすることで 1 がセットされます。TACT ビットは、ディスクリプタ・アクセス中や DMA リクエスト待ちの間も 1 のままです。

CHSTAT_n レジスタの EN ビットがクリア（クリア条件に関しては「15.2.7　チャネルステータスレジスタ n （CHSTAT_n）」参照）され、かつ設定回数分の DMA 転送が終了した時点で TACT ビットはクリアされます。

DMA 転送が終了しても、EN ビットがクリアされない状態（レジスタ・モードで CHCFG_n レジスタの REN = 1 の場合や、リンク・モードで次のディスクリプタ・アクセスを行う場合）では、TACT ビットはクリアされません。

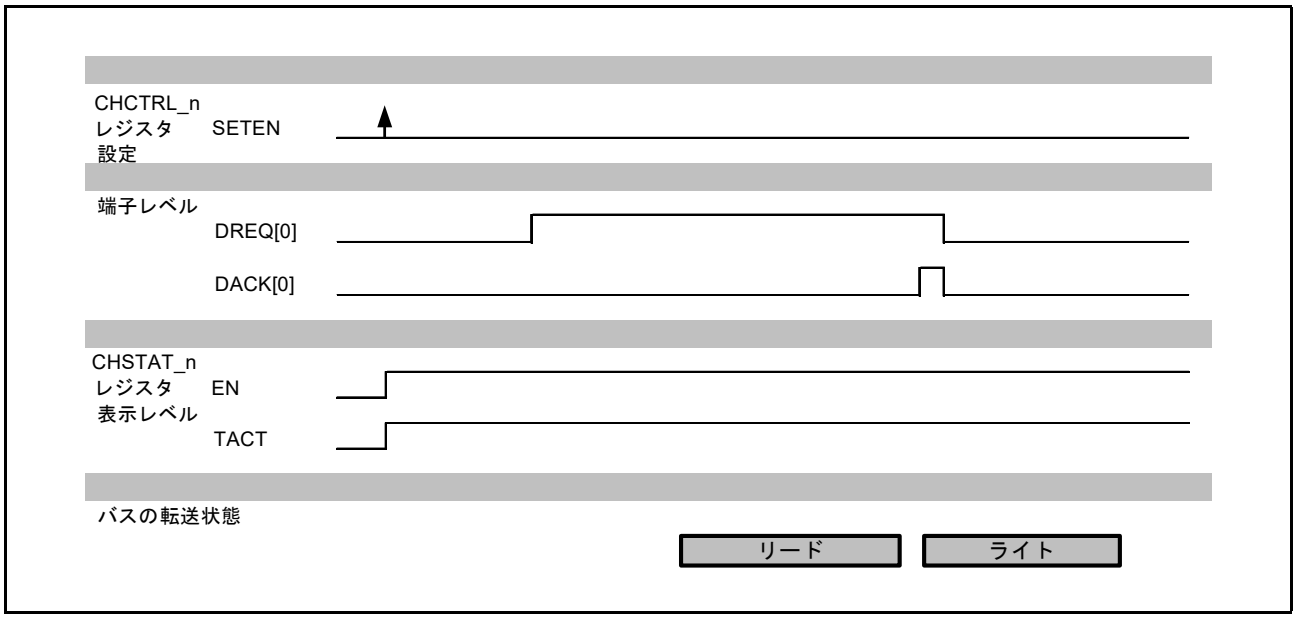


図 15.32　DMAC 状態例 1（ハードウェア・リクエスト）

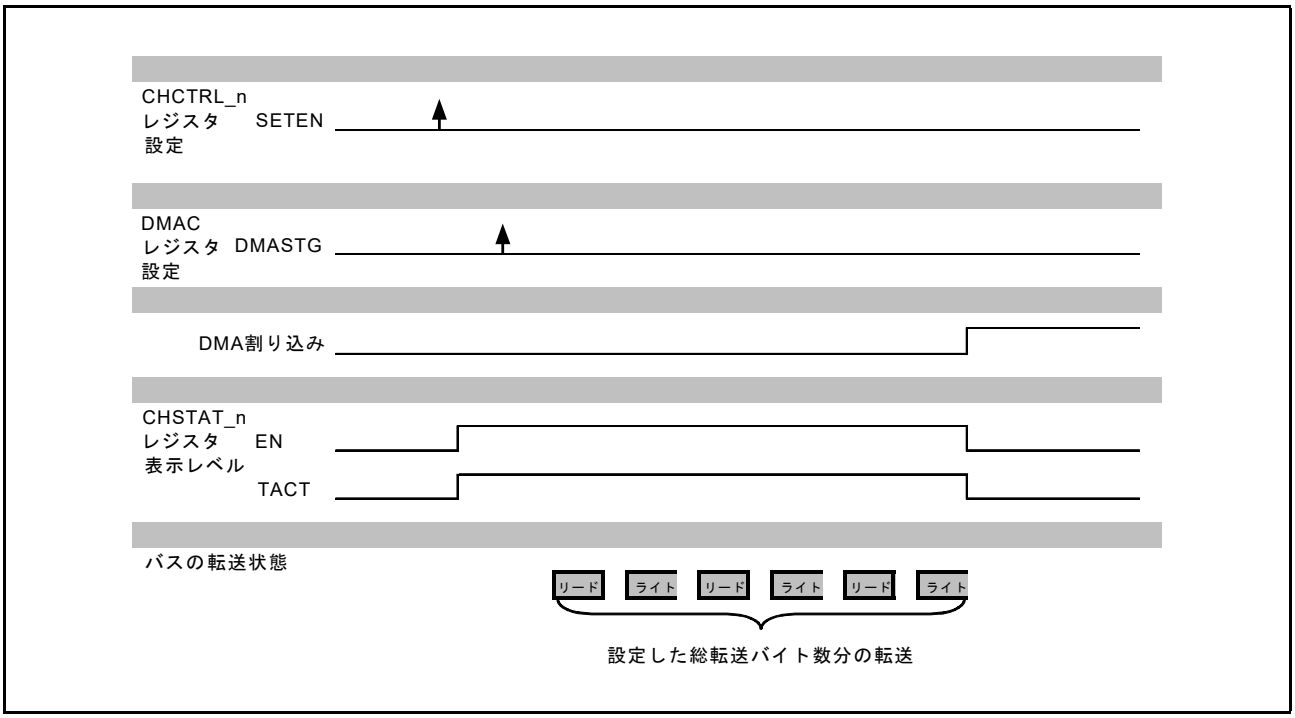


図 15.33　DMAC 状態例 2（ソフトウェア・リクエスト）

15.3.10　一時停止（サスペンド）

CHCTRL_n レジスタの SETSUS ビットで DMA 転送を一時停止することができます。この時、すでに実行されているバス・サイクルがあれば、その完了を待って、一時停止状態になります。CHCTRL_n レジスタの CLRSUS ビットに 1 をライトすることで停止状態から復帰することができます。

一時停止状態であることを確認するためには、CHCTRL_n レジスタの SETSUS ビットをセットした後、CHSTAT_n レジスタの SUS ビット、または DST_SUS レジスタの該当チャネルの SUS ビットが 1 になっていることを確認してください。

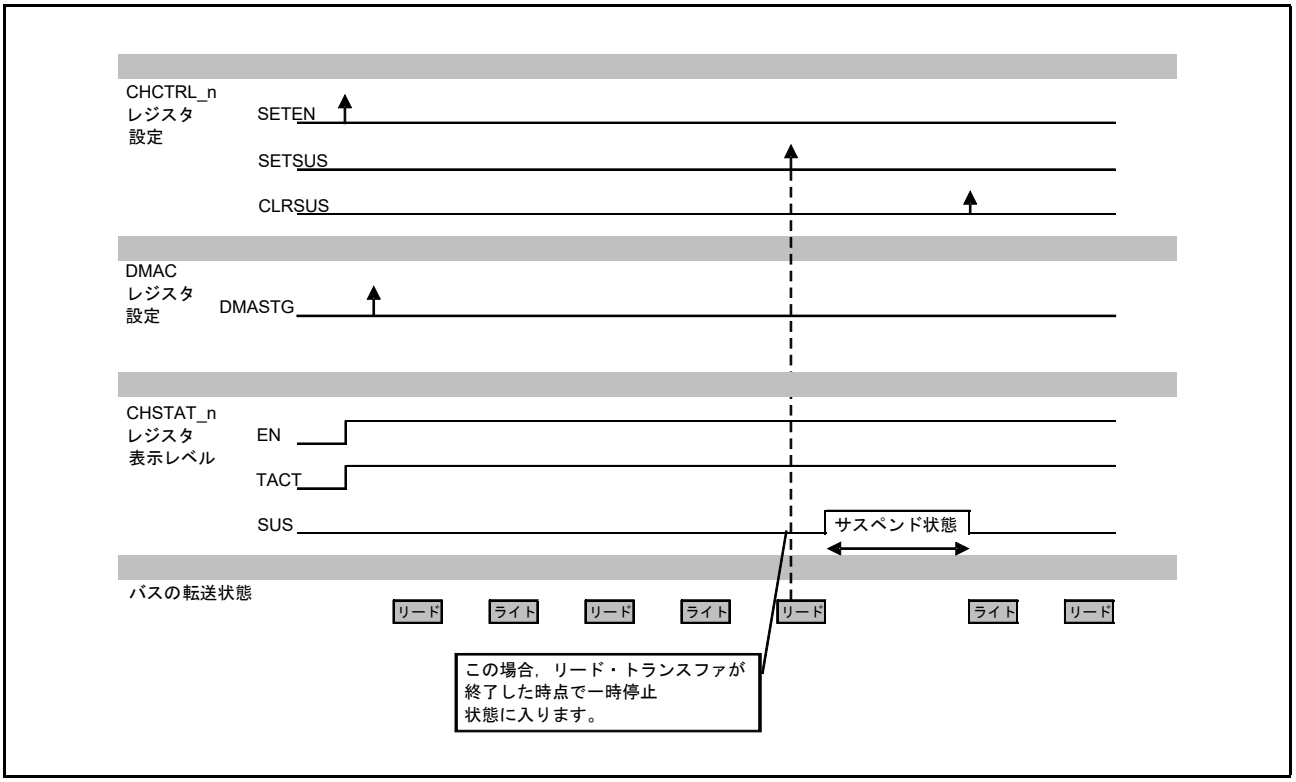


図 15.34　DMAC 一時停止状態（ソフトウェア・リクエスト ブロック転送）

15.3.11　転送中断

DMA転送中にCHCTRL_nレジスタのCLRENビットに1をライトすると､そのチャネルのDMA転送を中断することができます。中断後の処理として、CHCFG_nレジスタのSBEビットで、中断したタイミングでバッファに残ったデータを掃き出すモードと、掃き出しを行わないモードを選択することができます。デフォルトはSBE＝0（掃き出しを行わないモード）です。

このデータを掃き出すモードが有効な場合で、CHCTRL_nレジスタのCLREN＝1で進行中の転送が中断されると、DMACのバッファに残っていたデータを掃き出して、動作を停止します。

15.3.11.1　転送中断（バッファ掃き出しなし：SBE = 0）

DMA転送中にCHCTRL_nレジスタのCLRENビットに1をライトすると、DMA転送を中断して停止します。停止するタイミングはREQDビットに設定した値によります。停止後はCHCTRL_nレジスタのSWRSTビットに1をライトし、DMAC内部状態をクリアしてから、次の転送設定を行ってください。

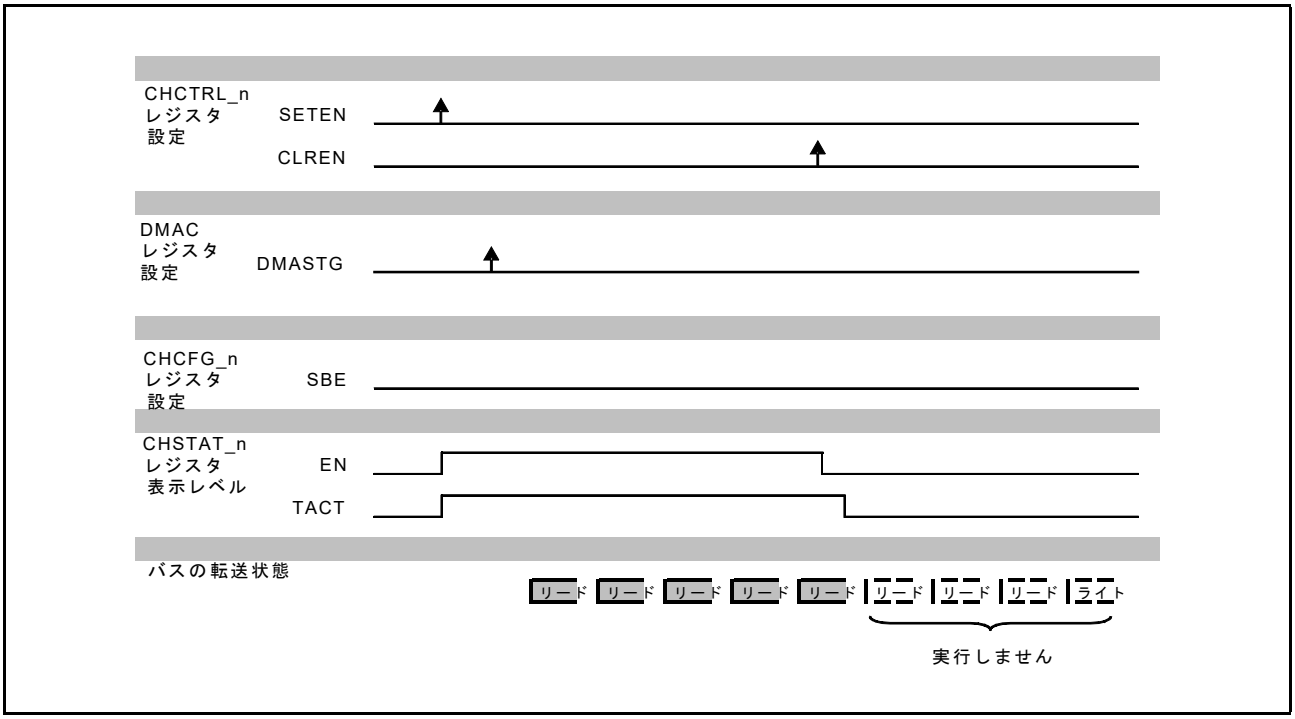


図 15.35　DMA転送中断

- CHSTAT_nレジスタのTACTビットがクリアされた時点でチャネルが完全に停止したことを確認できます。
- DMA転送の途中で中断した場合、DMA転送完了割り込みは発生しません。
- CHCFG_nレジスタのREQD＝0の場合、次のリードが完了した時点で停止します。(ただし、ライトできるデータがバッファ内にある場合はライトして停止します)。
- CHCFG_nレジスタのREQD＝1の場合、次のライトが完了した時点で停止します。

15.3.11.2　転送中断（バッファ掃き出しあり：SBE = 1）

DMA 転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトすると、DMA 転送を中断します。CHCFG_n レジスタの REQD = 0 の場合、すでにリードしたデータを掃き出し（ライト）して DMA 転送を停止します。REQD = 1 では、掃き出しモードは使用できません。

停止後は CHCTRL_n レジスタの SWRST ビットをセットし、DMAC 内部状態をクリアしてから、次の転送設定を行ってください。

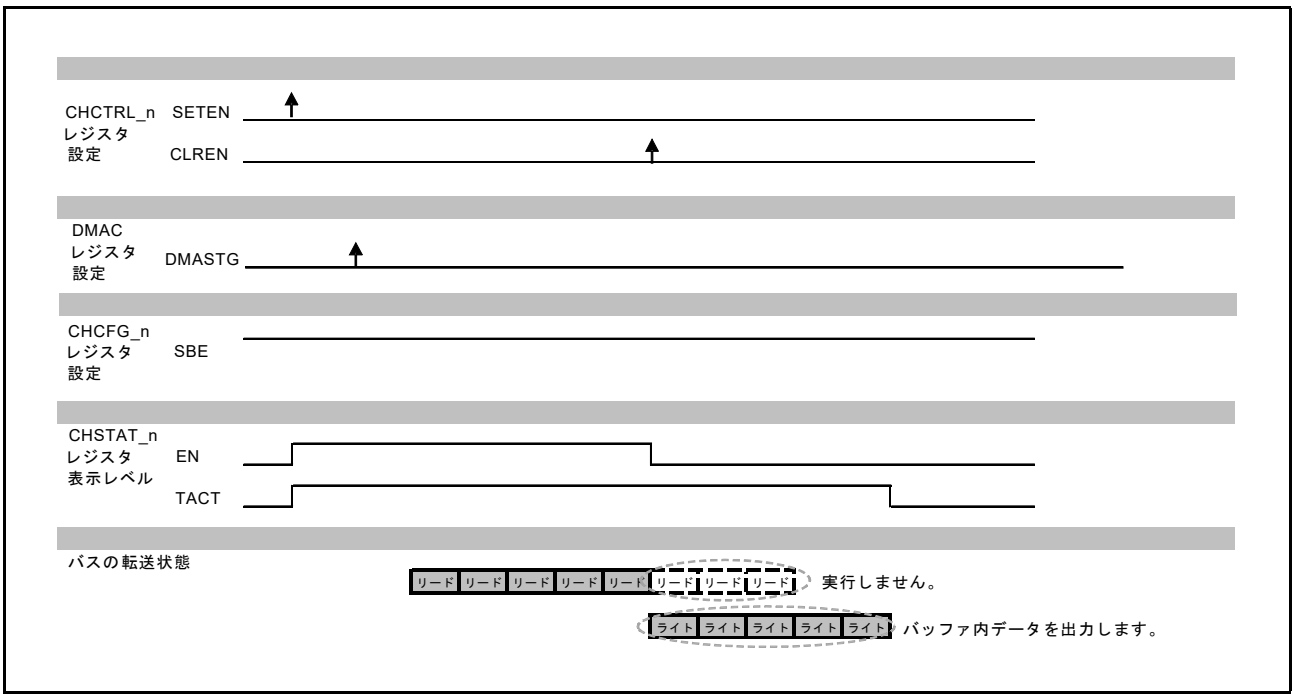


図 15.36　DMA 転送中断（バッファ掃き出しモード）

- 上記は、掃き出しモード（CHCFG_n レジスタの SBE = 1）で、5 回目のリード転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトして転送を中断した場合の例です。リードしたデータをライトして、DMA 転送が停止する様子を示しています。
- CHSTAT_n レジスタの TACT ビットが 0 になった時点でチャネルが完全に停止したことを確認できます。

15.3.11.3　チャネル停止の確認方法

CHCTRL_n レジスタの CLREN ビットに 1 をライトして、CHSTAT_n レジスタの EN ビットが 0 にクリアされても、すでにバス上で転送が実行されている場合、DMAC はすぐに停止することができません。DMA が完全に停止したことを確認するためには、EN ビットが 0 かつ CHSTAT_n レジスタの TACT ビットが 0 であることを確認してください。

15.3.11.4　転送中断手順

以下に転送停止手順を示します。

1. CHCTRL_n レジスタの CLREN ビットへ 1 をライトします。
2. CHCFG_n レジスタの SBE = 0 の場合、CHCFG_n レジスタの REQD ビットの値により停止します。このとき、SBE = 1 の場合は掃き出し状態になります。
3. CHSTAT_n レジスタをリードして TACT ビットが 0 になっていることを確認します。TACT = 0 ならば、DMA が完全に停止したことを意味します。TACT = 1 の場合は、0 になるまでポーリングしてください。
4. 中断後、次の DMA 転送を行う場合、次の転送を開始する直前までに必ず CHCTRL_n レジスタの SWRST（ソフトウェア・リセット）ビットをセットしてください。

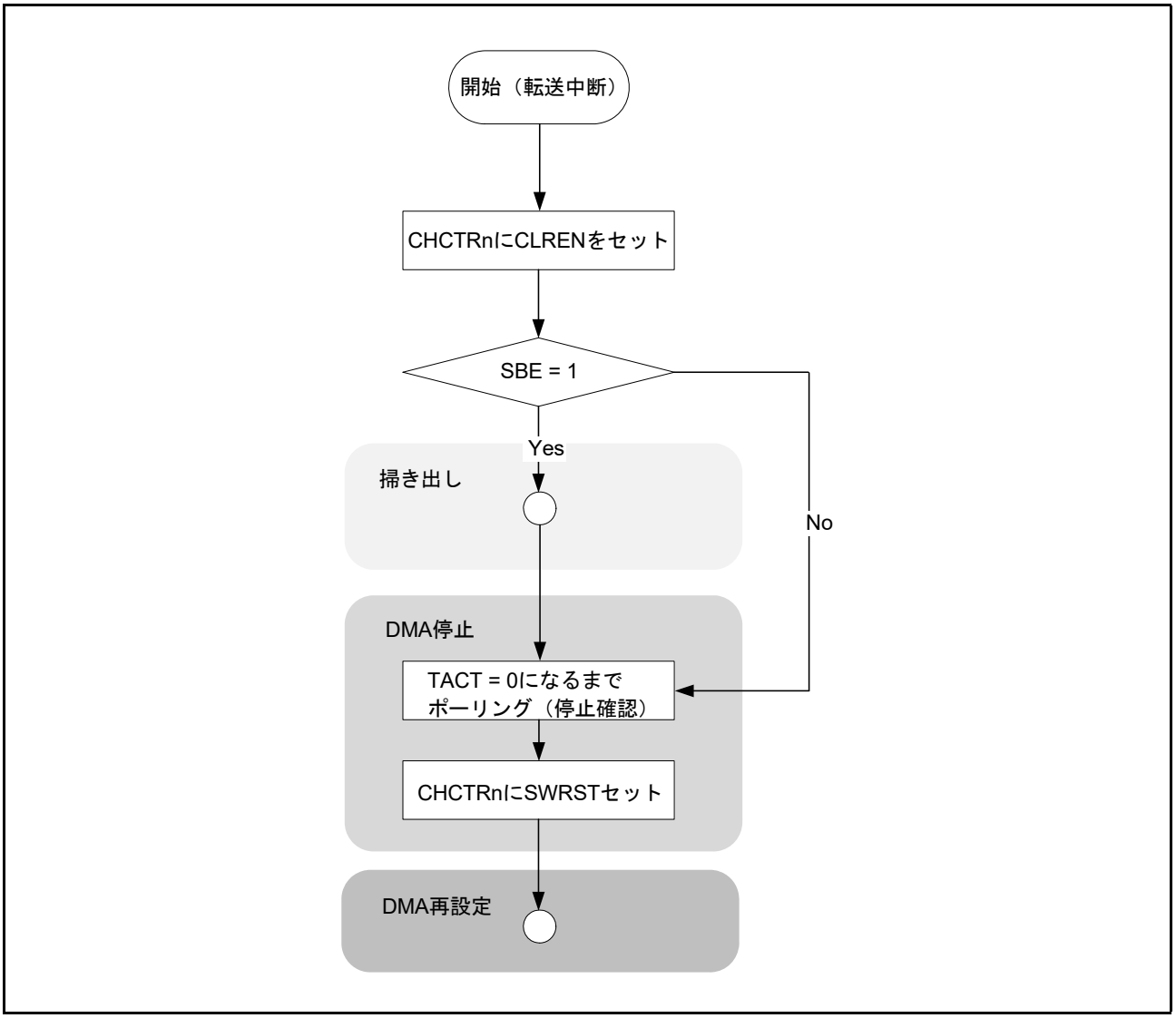


図 15.37　転送中断フロー

15.4　割り込み

15.4.1　割り込み要因

DMAC はチャネル毎に DMA 転送完了割り込みと、DMA エラー割り込みの 2 種類の割り込み要因を持っています。

表 15.23 に各割り込み要因と許可ビット、およびステータスフラグの関係を示します。

表15.23　DMACの割り込み要因

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	出力条件
DMA転送完了割り込み	DMA転送完了	CHCFG_n.DEM	CHSTAT_n.END	CRTB_nレジスタにロードされた総転送バイト数分の転送が完了した時（リンク・モードでライト・バックを行う場合は、ライト・バック後）
	ディスクリプタ無効	CHCFG_n.DIM		リンク・モードにおいて、CHCFG_nレジスタのDRRP = 0、DIM = 0の状態で、リードしたディスクリプタのheaderがLV = 0だった時
DMAエラー割り込み		—（マスク不可）	CHSTAT_n.ER	DMA転送およびディスクリプタ・アクセスに対して、バスエラーを受けた場合

15.4.2　DMA 転送完了割り込み

DMA 転送完了割り込みは、DMA 転送が完了したことを示す割り込み要求信号です。

DMA 転送完了割り込みの各ビットは、各チャネルに対応しています。

CRTB_n レジスタにロードされた総転送バイト数分の転送が完了した場合、CHSTAT_n レジスタの END ビットが 1 にセットされます。この時、CHCFG_n レジスタの DEM = 0 だった場合、DMA 転送完了割り込みを発生します（n = 15-0）。（リンク・モードでライト・バックを行う場合は、ライト・バック後に割り込みが発生します。）

また、リンク・モードにおいて CHCFG_n レジスタの DRRP = 0 の状態で、リードしたディスクリプタの header が LV = 0 だった場合、CHSTAT_n レジスタの DER ビットが 1 にセットされます。この時、CHCFG_n レジスタの DIM = 0 だった場合、DMA 転送完了割り込みを発生します。

注 .　DMAC 要因選択レジスタ（DMA0SELi、DMA1SELi）で選択したベクタ番号は、各周辺からの割り込み要因ではなく、DMAC 要因選択レジスタで選択された DMAC 各チャネルの転送完了要因が接続されます（DMA 要因選択レジスタで選択した割り込みベクタ番号が、DMA 転送完了割り込みのベクタ番号として扱われます）。

注 .　DMAC の転送完了割り込みの検出タイプは、必ず PLSn レジスタで、エッジ検出を選択してください。

詳細については、「12.3.1　割り込み要求先の選択」を参照してください。

15.4.3　DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、バスエラーを受けた場合、本モジュールはエラーと判断し、転送を中止します。バスエラーを受けると、転送中のチャネル n の CHSTAT_n レジスタの EN ビットを 0 にクリアし、ER ビットを 1 にセットします（n = 15-0）。また、DMA エラー割り込みを発生します。

DMA エラー割り込みをマスクすることはできません。

エラーとなった一連の転送はそのデータを保証できません。必ず下記の手順にて、最初から転送をやり直してください。

1. CHCTRL_n レジスタの SWRST ビットを 1 にセット
2. 各レジスタを再設定

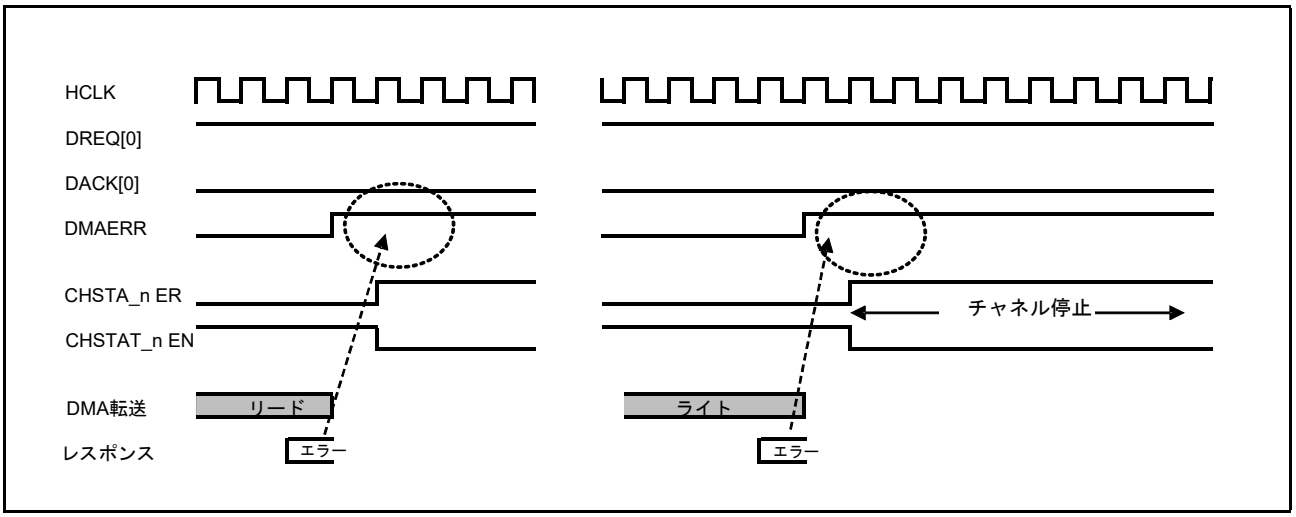


図 15.38　バスエラー応答による停止タイミング

注 .　CPU から DMAC のレジスタにアクセスした際に、バスエラーが起こっても DMA エラー割り込みは発生しません。

15.5　DMA 設定例

以下に、DMA 転送例を示します。各設定例の転送条件は次のとおりです。

表 15.24　DMA転送設定例の転送条件一覧

設定例	DMAモード	転送モード	転送要求
設定例1	レジスタ・モード	シングル転送モード	ハードウェア
設定例2	レジスタ・モード	ブロック転送モード	ソフトウェア
設定例3	レジスタ・モード（連続実行）	ブロック転送モード	ソフトウェア
設定例4	リンク・モード	ブロック転送モード	ソフトウェア

15.5.1　設定例 1（レジスタ・ハードウェア・リクエスト）

レジスタ・モードでハードウェア・リクエストを使った DMA 転送を行う場合の設定例を示します。

表 15.25　DMA転送の設定例1

項目		内容	
使用チャネル		DMAC0　チャネル3	
優先順位制御		固定優先順位	
DMAモード		レジスタ・モード	
転送モード		シングル転送モード	
使用レジスタ・セット		Next0 レジスタ・セット	
転送元／転送先		転送元	転送先
	開始アドレス	6000 0000h	2000 0000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	32ビット	32ビット
DMA転送バイト数		64バイト	
DMA転送要求		ハードウェア（DREQ0）による、立ち上がりエッジ検出	
DMA転送要求元選択		転送元側のモジュールが要求	
DACK／TEND信号		リード時にレベル出力	
DMA転送完了割り込み出力マスク		なし	

設定例 1
N0SA = 6000 0000h（転送元アドレス）
N0D　= 2000 0000h（転送先アドレス）
N0TB = 0000 0040h （転送バイト数）

CHCFG = 0002 2123h （コンフィグ）
CHITVL = 0000 0000h （インターバル）

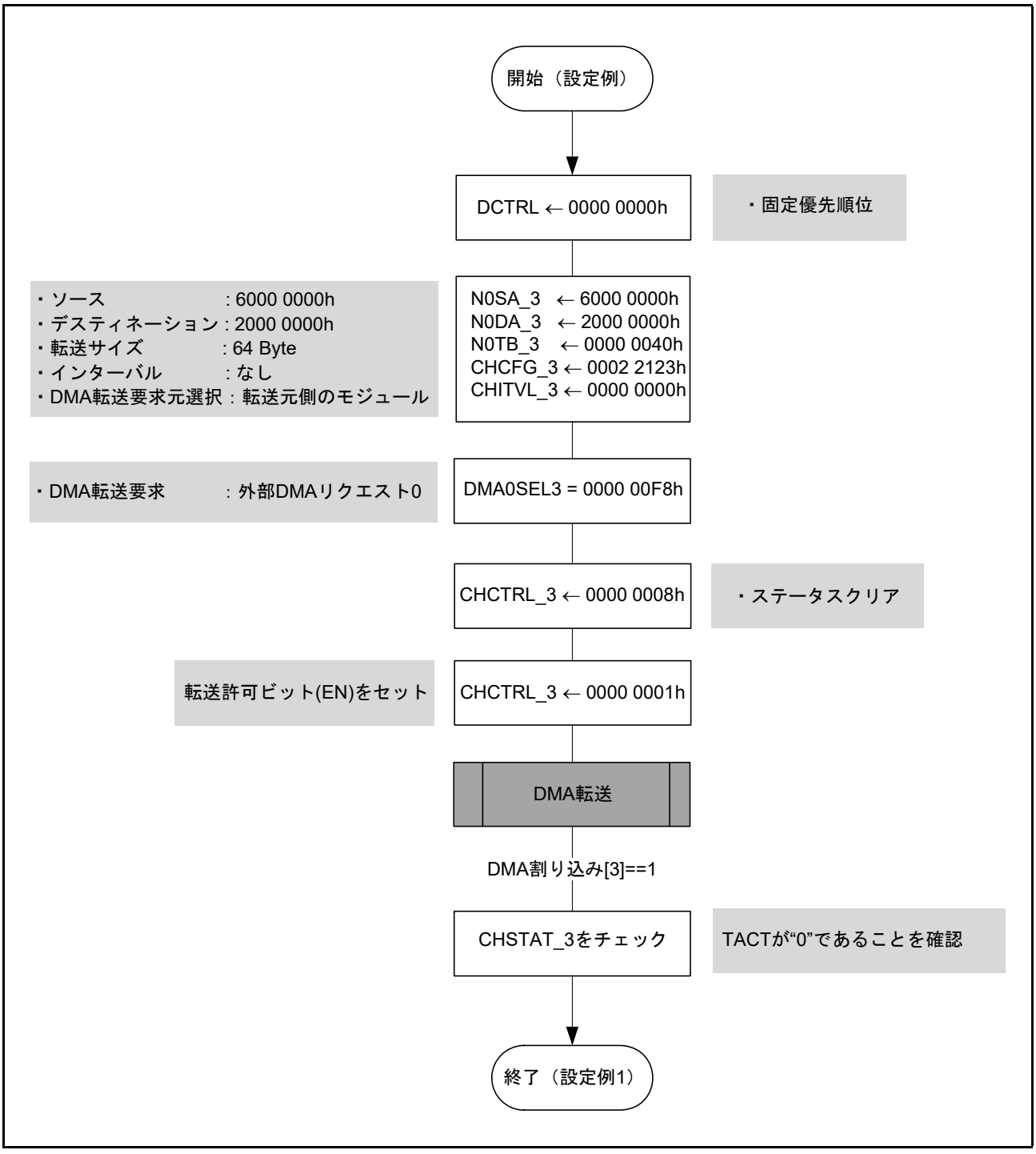


図 15.39　設定例 1

注 .　DMA 割り込み [3] は ch3 に割り当てた DMA 転送要因の割り込みになります。

15.5.2　設定例 2（レジスタ・モード　ソフトウェア・リクエスト）

レジスタ・モードでソフトウェア・リクエストを使った DMA 転送を行う場合の設定例を示します。

表 15.26　DMA転送の設定例2

項目		内容	
使用チャネル		DMAC0　チャネル2	
優先順位制御		ラウンドロビン	
DMAモード		レジスタ・モード	
転送モード		ブロック転送モード	
使用レジスタ・セット		Next1 レジスタ・セット	
転送元／転送先		転送元	転送先
	開始アドレス	0400 0000h	2000 0000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	8ビット	256ビット
DMA転送バイト数		128バイト	
DMA転送要求		ソフトウェア・リクエスト	
DACK／TEND信号		マスク	
DMA転送完了割り込み出力マスク		なし	

設定例 2
DCTRL = 0000 0001h（DMA 設定）

N1SA = 0400 0000h （転送元アドレス）
N1DA = 2000 0000h （転送先アドレス）
N1TB = 0000 0080h （転送バイト数）

CHCFG = 1045 0222h （コンフィグ）
CHITVL = 0000 0000h （インターバル）

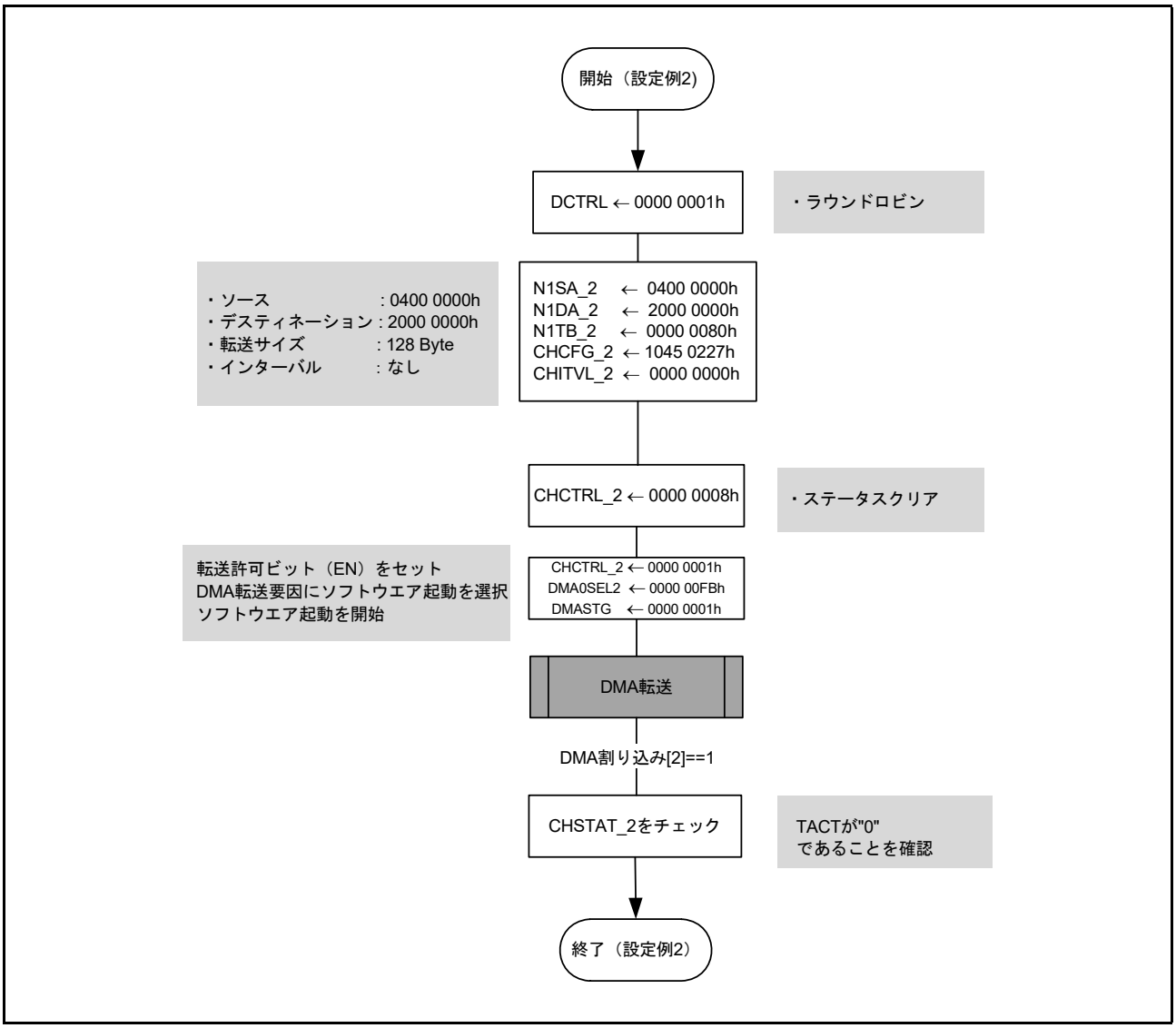


図 15.40　設定例 2

注 .　DMA 割り込み [2] は ch2 に割り当てた DMA 転送要因の割り込みになります。

15.5.3　設定例 3（レジスタ・モード 連続実行）

レジスタ・モードで Next0/1 Register Set を連続して使用し、DMA 転送を行う場合の設定例を示します。

表 15.27　DMA転送の設定例3

項目		内容	
使用チャネル		DMAC0　チャネル1	
優先順位制御		ラウンドロビン	
DMAモード		レジスタ・モード	
転送モード		ブロック転送モード	
使用レジスタ・セット		Next0 レジスタ・セット→ Next1 レジスタ・セット 連続	
転送元／転送先（Next0）		転送元	転送先
	開始アドレス	1111 0000h	2000 0000h
	アドレス方向	固定	固定
	データ・サイズ	32ビット	512ビット
	DMA転送バイト数	512バイト	
転送元／転送先（Next1）		転送元	転送先
	開始アドレス	0400 0000h	1000 0000h
	アドレス方向	固定	固定
	データ・サイズ	32ビット	512ビット
	DMA転送バイト数	2048バイト	
DMA転送要求		ソフトウェア・リクエスト	
DACK／TEND信号		マスク	
DMA転送完了割り込み出力マスク		Next0完了時にマスク	

設定例 3
DCTR　= 0000 0001h（DMA 設定）

N0SA = 1111 0000h （転送元アドレス）
N0DA = 2000 0000h （転送先アドレス）
N0TB = 0000 0200h （転送バイト数）

N1SA = 0400 0000h （転送元アドレス）
N1DA = 1000 0000h （転送先アドレス）
N1TB = 0000 0800h （転送バイト数）

CHCFG = 6176 2007h （コンフィグ）
CHITVL = 0000 0000h （インターバル）

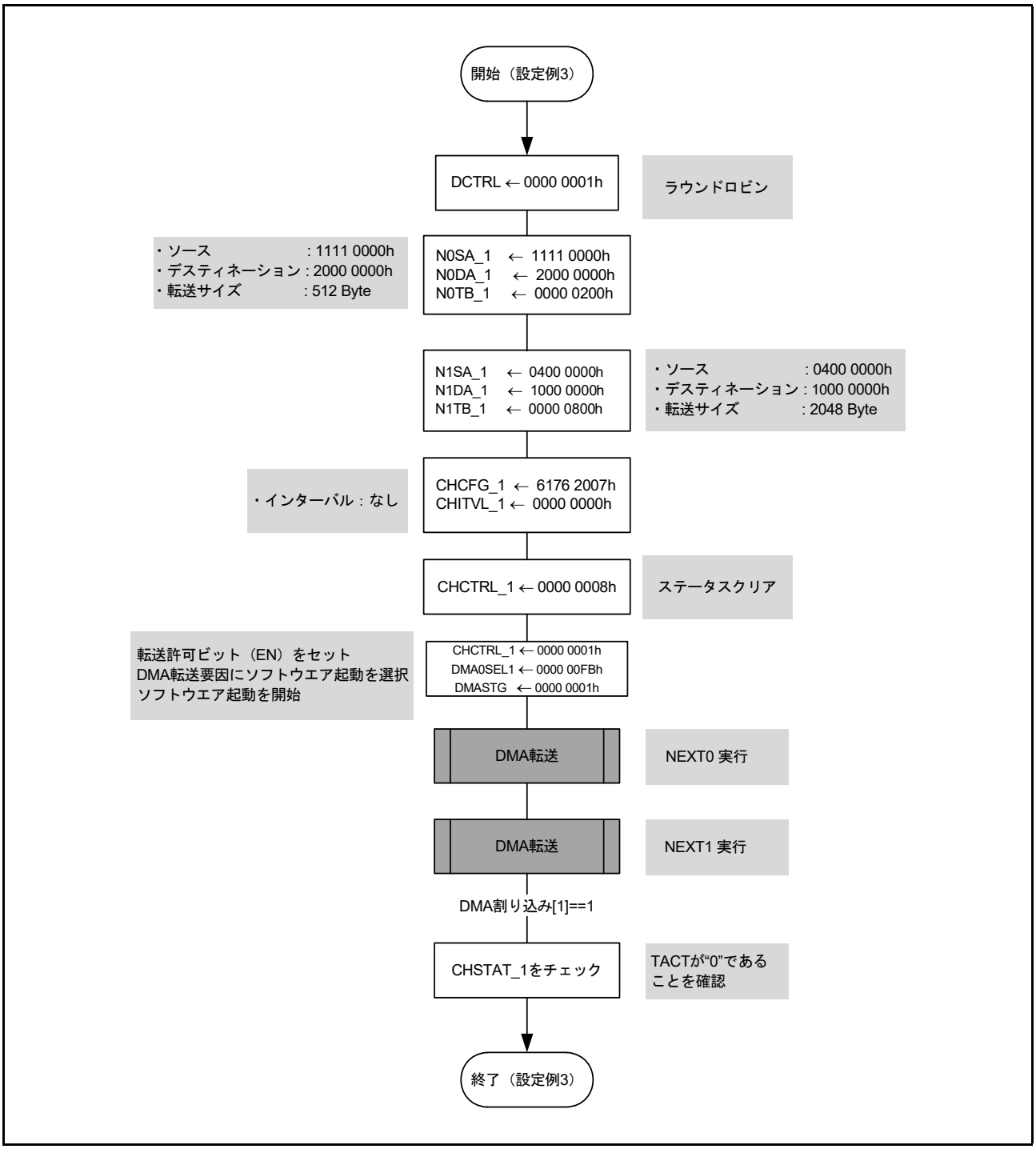


図 15.41　設定例 3

注 .　DMA 割り込み [1] は ch1 に割り当てた DMA 転送要因の割り込みになります。

15.5.4　設定例 4（リンク・モード）

リンク・モードで DMA 転送を行う場合の設定例を示します。

表 15.28　DMA転送の設定例4

項目	内容
使用チャネル	DMAC0　チャネル0
優先順位制御	ラウンドロビン
DMAモード	リンク・モード
転送モード	ブロック転送モード
ディスクリプタ開始アドレス	0080 0000h

表 15.29　DMA転送の設定例4（ディスクリプタ 1）

項目		内容	
ディスクリプタ先頭アドレス		0080 0000h	
次ディスクリプタ先頭アドレス		0080 1000h	
転送モード		ブロック転送モード	
転送元／転送先		転送元	転送先
	開始アドレス	1111 0000h	2000 0000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	32 ビット	32 ビット
DMA転送バイト数		2048 バイト	
DMA転送要求		ソフトウェア・リクエスト	
DACK／TEND信号		マスク	
DMA転送完了割り込み出力マスク		ディスクリプタ 1 でのDMA転送完了時はマスク	
ディスクリプタ・フォーマット		1 （8ワード）	
ディスクリプタのヘッダ			
	LVビットの書き戻し	許可（WBD = 0）	
	次のリンク先	あり（LE = 0）	
	ディスクリプタ有効	有効（LV = 1）	

表15.30　DMA転送の設定例4（ディスクリプタ2）

項目		項目	
ディスクリプタ先頭アドレス		0080 1000h	
次ディスクリプタ先頭アドレス		0080 2000h	
転送モード		ブロック転送モード	
転送元／転送先		転送元	転送先
	開始アドレス	0400 0000h	2000 0000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	256ビット	256ビット
DMA転送バイト数		1024バイト	
DMA転送要求		ソフトウェア・リクエスト	
DACK／TEND信号		マスク	
DMA転送完了割り込み出力マスク		ディスクリプタ2でのDMA転送完了時はマスク	
ディスクリプタ・フォーマット		1（8ワード）	
ディスクリプタのヘッダ			
	LVビットの書き戻し	許可（WBD = 0）	
	次のリンク先	あり（LE = 0）	
	ディスクリプタ有効	有効（LV = 1）	

表15.31　DMA転送の設定例4（ディスクリプタ3）

項目		項目	
ディスクリプタ先頭アドレス		0080 2000h	
次ディスクリプタ先頭アドレス		—	
転送モード		ブロック転送モード	
転送元／転送先		転送元	転送先
	開始アドレス	2000 0000h	0800 2000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	512ビット	512ビット
DMA転送バイト数		4096バイト	
DMA転送要求		ソフトウェア・リクエスト	
DACK／TEND信号		マスク	
DMA転送完了割り込み出力マスク		マスクしない	
ディスクリプタ・フォーマット		1（8ワード）	
ディスクリプタのヘッダ			
	LVビットの書き戻し	許可（WBD = 0）	
	次のリンク先	なし（LE = 1）	
	ディスクリプタ有効	有効（LV = 1）	

設定例 4

DCTRL = 0000 0001h（DMA 設定）

NXLA = 0080 0000h（ディスクリプタ先頭アドレス）

CHCFG = 8000 0000h （コンフィグ）

表15.32　ディスクリプタ設定

項目	ディスクリプタ1	ディスクリプタ2	ディスクリプタ3
header	1100 0000h	1100 0000h	1300 0000h
SA（Source Address）	1111 0000h	0400 0000h	2000 0000h
DA（Destination Address）	2000 0000h	2000 0000h	0800 2000h
TB（transaction Byte）	0000 0800h	0000 0400h	0000 1000h
CFG（Configuration）	8142 2220h	8145 5220h	8046 6220h
ITVL（Interval）	0000 0000h	0000 0000h	0000 0000h
EXT（Extension）	0000 0000h	0000 0000h	0000 0000h
NXLA（Next Link Address）	0080 1000h	0080 2000h	0000 0000h

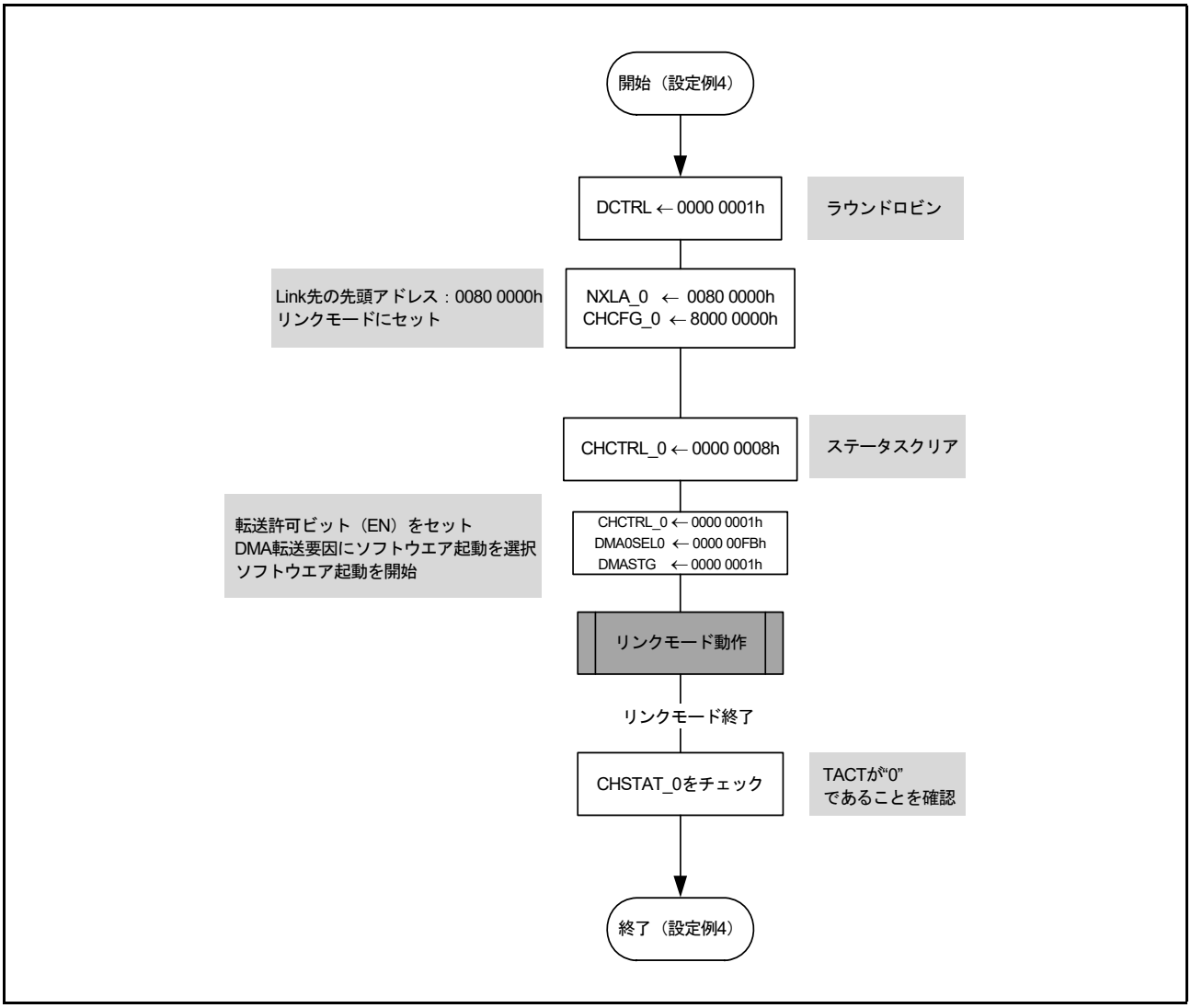


図 15.42　設定例 4

15.5.5　Next レジスタ連続実行設定

レジスタ・モードで 2 つの Next レジスタ・セットを使用して、DMA 転送を継続する場合のフローチャートを示します。一方の Next レジスタの DMA 転送を実行中に、もう一方の Next レジスタの設定を行い、DMA 転送を継続して実行します。

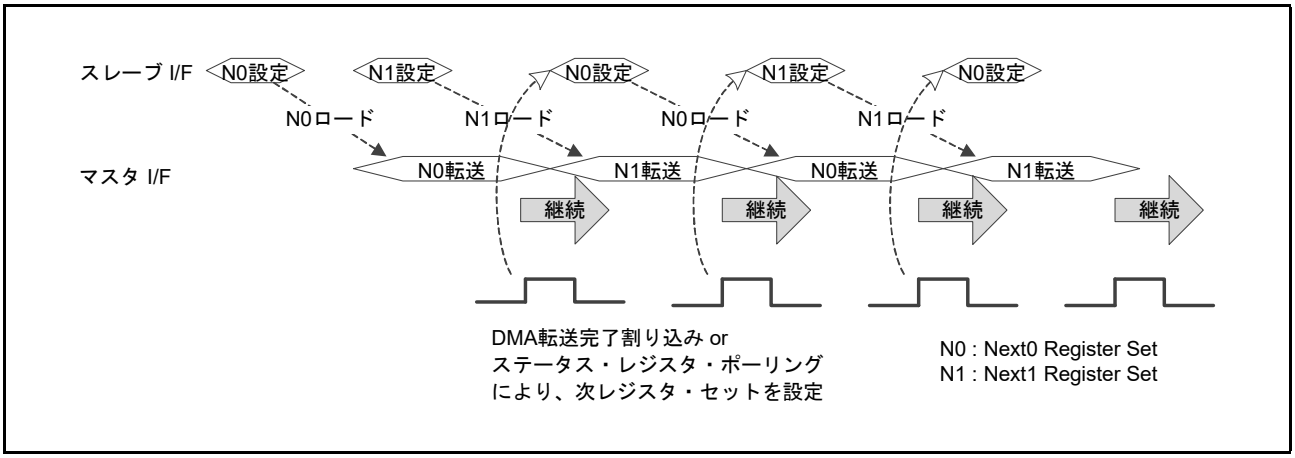


図 15.43　Next レジスタ連続実行イメージ

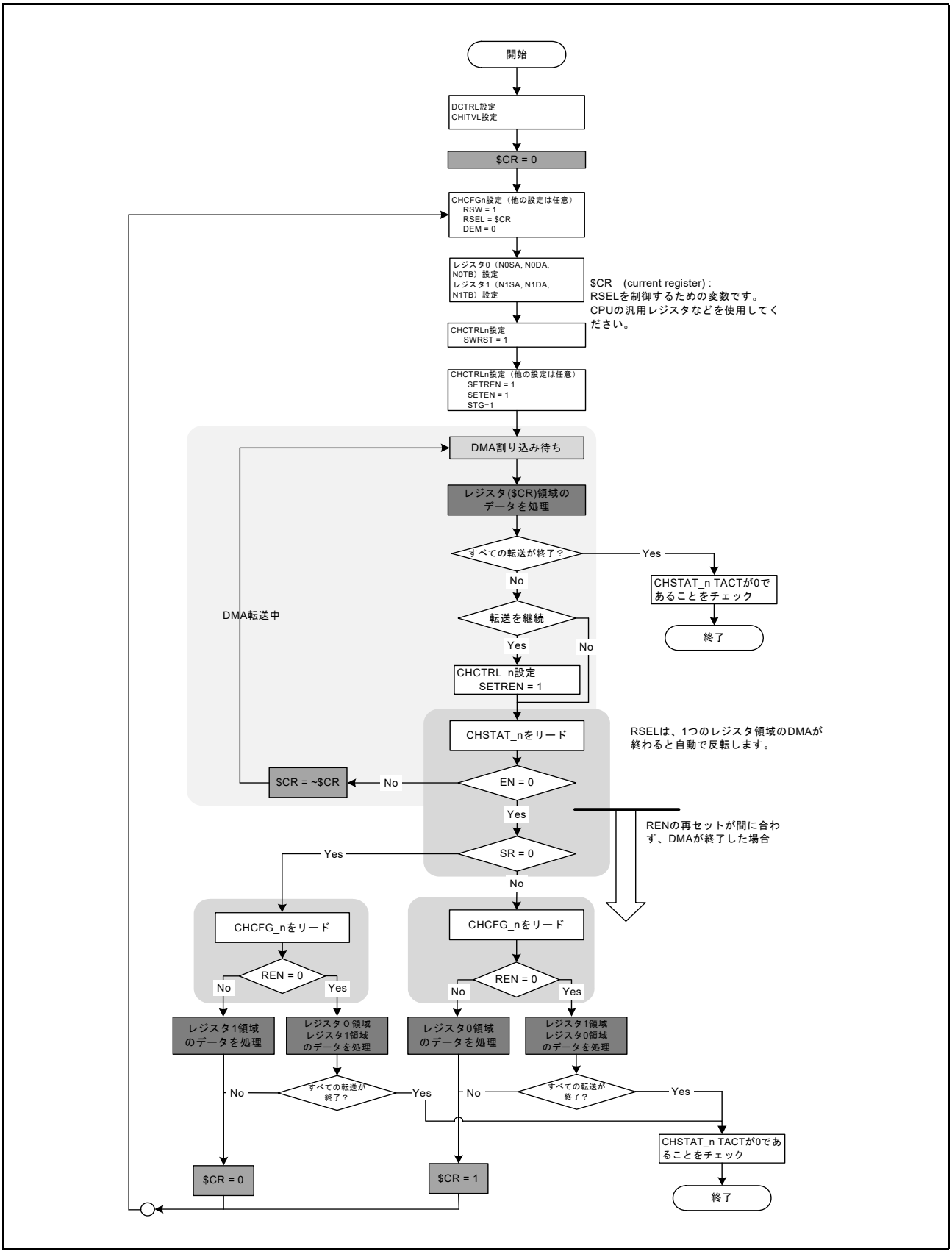


図 15.44　Next レジスタ連続実行の設定例

- 補足
  最初に転送するレジスタ・セット（0（N0SA_n、N0DA_n、N0TB_n レジスタ）、1（N1SA_n、N1DA_n、N1TB_n レジスタ））を汎用レジスタなどに保存してください（このレジスタの値を便宜上 $ CR と呼びます。）。
  1 つのレジスタ・セットの DMA 転送が終わる（DMA 転送完了割り込みが発生）ごとに、CHCFG_n レジスタの REN ビットは自動的に 0 にクリアされます。続けて実行するには、CHCTR_n レジスタの SETREN ビットに 1 をライトしてください。これにより CHCFG_n レジスタの REN ビットもセットされます。

  本モードでは 2 つの Next レジスタを連続して実行しますが、SETREN ビットのセットが DMA 転送完了（次の DMA 転送完了割り込みが発生）までに行われなかった場合、連続実行は止まります。この場合、CHSTAT_n レジスタの SR、EN ビットと、CHCFG_n レジスタの REN ビットをリードすることで、どこまで転送ができたかを確認することができます。再開する場合には上記のフローチャートの手順にしたがって実行してください。

15.6　使用上の注意

以下に、本モジュールの注意事項を示します。

- 転送先と転送元の領域が同じ、または一部を共有するような転送を行った場合、データの一貫性を保証することができません。したがって、転送元と転送先アドレス領域が重複する転送は行わないでください。

- DAD = 1（転送先アドレス固定）、かつ転送先側でスキップ転送を行うことはできません。このような設定で転送を行った場合、動作を保証できません。このような転送は行わないでください。

- SAD = 1（転送元アドレス固定）、かつ転送元側でスキップ転送を行うことはできません。このような設定で転送を行った場合、動作を保証できません。このような転送は行わないでください。

- ハードウェア起動で、REQD = 1（転送先側がハードウェア要求を発行）の時、SBE = 1（掃き出しモード）および強制排出機能は使用できません。ハードウェア的に無効となります。

- 周辺 I/O レジスタ領域の A00E 0000h ～ A010 0000h はアクセスができないため、転送先および転送元に設定した転送を行わないでください。

15.6.1　DACK、TEND 信号分割出力される場合について

8 ビット、または 16 ビットの外部デバイスに 4 バイト以上の転送を行う場合、または 8 ビットの外部デバイスに 2 バイト以上の転送をする場合、DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送が複数のバスサイクルに分割され、かつバスサイクル間で CS 信号がインアクティブになる設定の場合、CS 信号 と同様に DACK 出力および TEND 出力が分割されます。

DACK0 ／ TEND0 の例を**図 15.45** に示します。

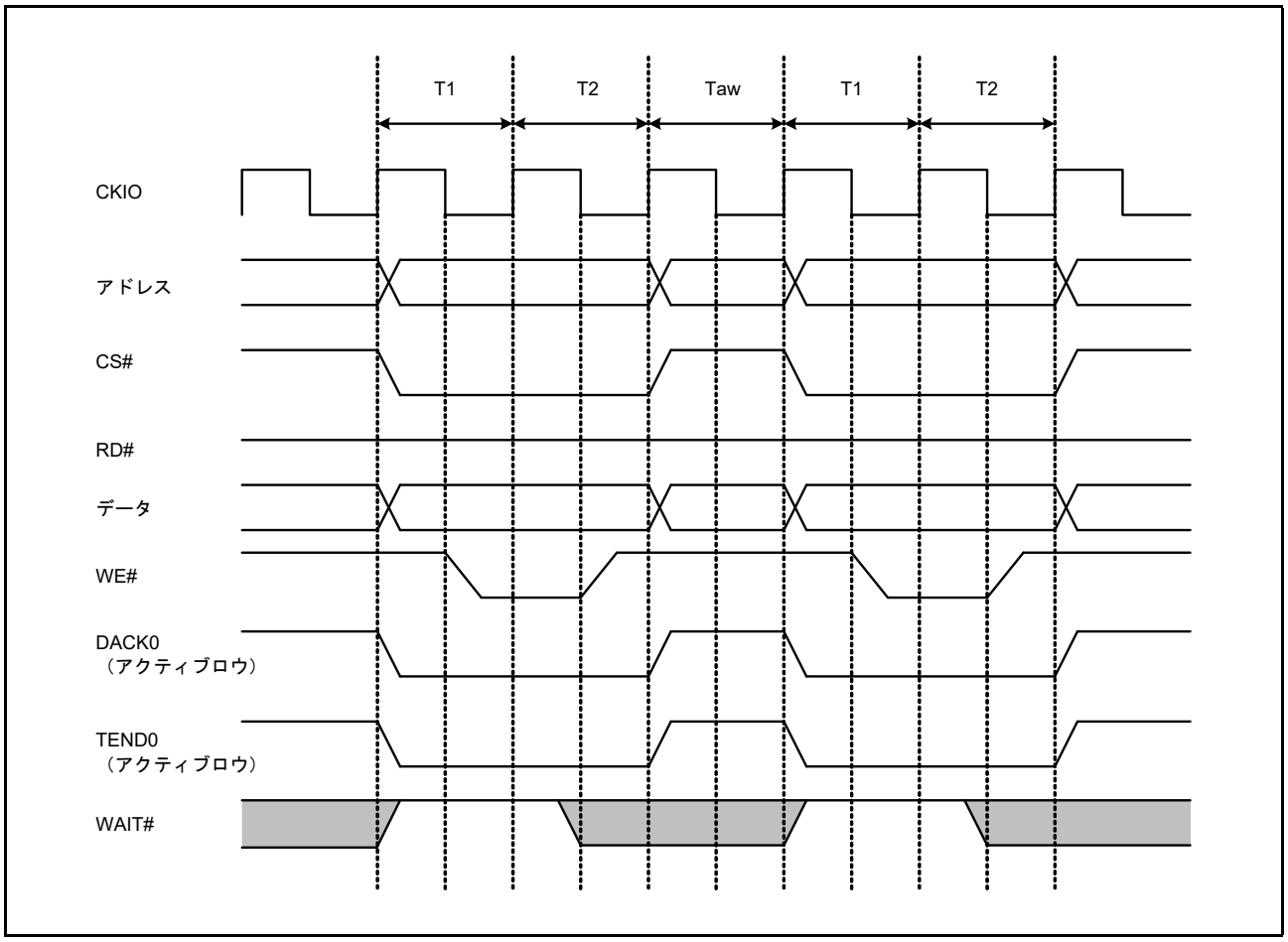


図 15.45　DACK/TEND 分割出力例

15.6.2　TEND 信号が出力されない場合について

CHCFG_n レジスタ内の DDS[3:0]、SDS[3:0]、REQD ビットの組み合わせにより、TEND0 信号 が出力されない場合があるので注意してください。

出力されない組み合わせを**表 15.33** に、動作例を**図 15.46** に示します。

表 15.33　TEND信号の出力設定

CHCFG_n レジスタ			TEND出力
REQD	DDS	SDS	
1	—	—	出力
0	DDS > SDS		出力
	DDS = SDS		出力
	DDS < SDS		未出力

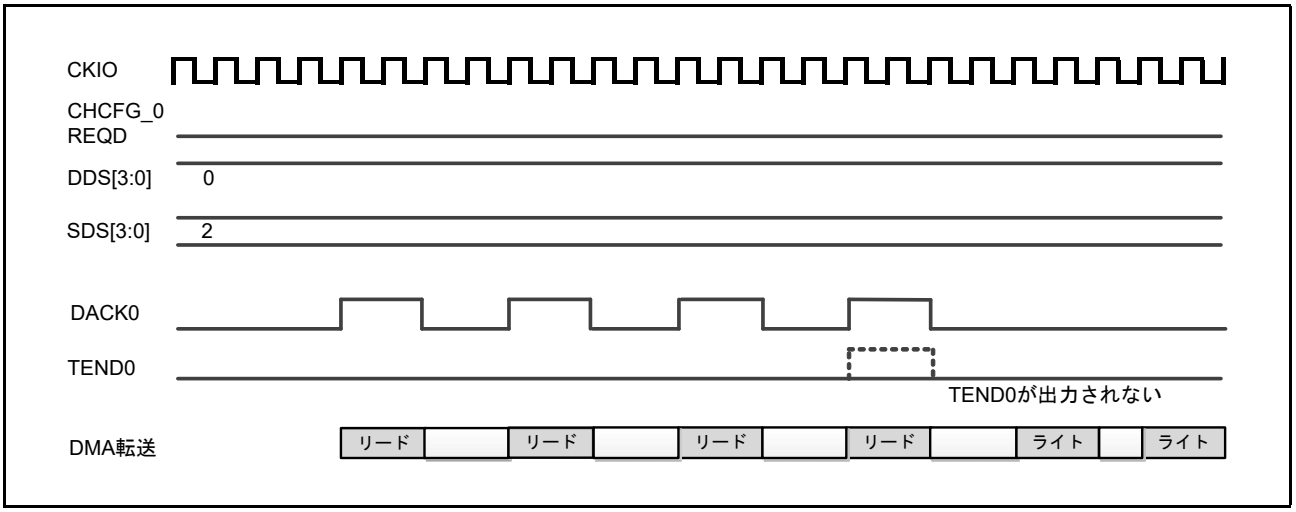


図 15.46　TEND 未出力例

16.　イベントリンクコントローラ（ELC）

16.1　概要

イベントリンクコントローラ（ELC）は、各周辺モジュールが出力するイベントをモジュール間で相互に接続（リンク）します。イベントリンクにより、CPU を介さず直接モジュール間での連携動作が可能になります。

表 16.1 に ELC の仕様を示します。**図 16.1** に ELC のブロック図を示します。

表16.1　ELCの仕様

項目	内容
イベントリンク機能	• 103種類のイベント信号を、直接モジュールへリンク可能 • タイマ系のモジュールは、イベント入力時の動作の選択が可能 • ポートB、ポートEのイベントリンク動作が可能 シングルポート（注1）：指定した1ビットのポートにイベントリンクの動作設定が可能 ポートグループ（注1）：8本あるI/Oポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1.　入力に指定されるシングルポートまたはポートグループでは、接続している信号値の変化によりイベントを発生します。

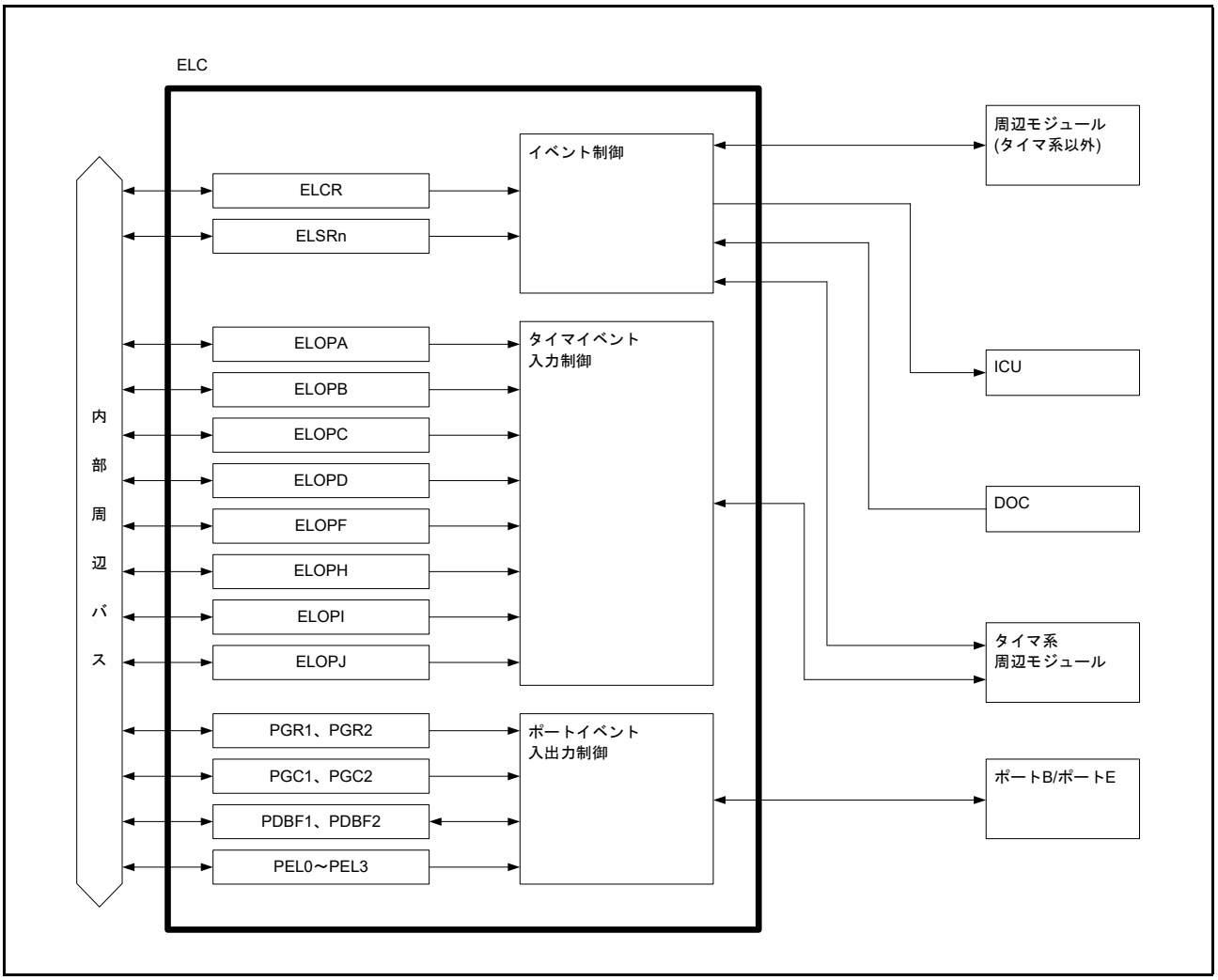


図 16.1　ELC のブロック図（n = 0、3、4、7、10 ～ 13、15、16、18 ～ 28、33、35 ～ 38、41 ～ 45）

16.2　レジスタの説明

16.2.1　イベントリンクコントロールレジスタ（ELCR）

ELCR レジスタは、ELC の動作を制御するレジスタです。

アドレス　A008 0B00h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0：ELC機能は無効 1：ELC機能は有効	R/W

16.2.2　イベントリンク設定レジスタ n（ELSRn）（n = 0、3、4、7、10 ～ 13、15、16、18 ～ 28、33、35 ～ 38、41 ～ 45）

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を**表 16.2** に示します。また、ELSRn レジスタに設定するイベント信号の名称と信号番号の対応を**表 16.3** に示します。

アドレス　ELSR0 A008 0B01h、ELSR3 A008 0B04h、ELSR4 A008 0B05h、ELSR7 A008 0B08h、ELSR10 A008 0B0Bh、ELSR11 A008 0B0Ch、ELSR12 A008 0B0Dh、ELSR13 A008 0B0Eh、ELSR15 A008 0B10h、ELSR16 A008 0B11h (注1)、ELSR18 A008 0B13h、ELSR19 A008 0B14h、ELSR20 A008 0B15h、ELSR21 A008 0B16h、ELSR22 A008 0B17h、ELSR23 A008 0B18h、ELSR24 A008 0B19h、ELSR25 A008 0B1Ah、ELSR26 A008 0B1Bh、ELSR27 A008 0B1Ch、ELSR28 A008 0B1Dh (注1)、ELSR33 A008 0B31h、ELSR35 A008 0B33h、ELSR36 A008 0B34h、ELSR37 A008 0B35h、ELSR38 A008 0B36h、ELSR41 A008 0B39h、ELSR42 A008 0B3Ah、ELSR43 A008 0B3Bh、ELSR44 A008 0B3Ch、ELSR45 A008 0B3Dh

注1.　Encoder I/F 搭載品のみ

	b7	b6	b5	b4	b3	b2	b1	b0
	ELS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	b7　b0 00000000：該当する周辺モジュールへのイベントの出力は無効 00000001～10111101：リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

表16.2　ELSRnレジスタと周辺機能の対応

レジスタ名	周辺機能（モジュール）
ELSR0	MTU0
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	ΔΣIF ユニット0 トリガ0（注1）
ELSR11	ΔΣIF ユニット0 トリガ1（注1）
ELSR12	ΔΣIF ユニット1 トリガ0（注1）
ELSR13	ΔΣIF ユニット1 トリガ1（注1）
ELSR15	S12AD0
ELSR16	Encoder I/F トリガ0（オプション）
ELSR18	割り込み1（ELCIRQ1）
ELSR19	割り込み2（ELCIRQ2）
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3
ELSR28	Encoder I/F トリガ1（オプション）
ELSR33	CMTW0
ELSR35	TPU0
ELSR36	TPU1
ELSR37	TPU2
ELSR38	TPU3
ELSR41	GPT0
ELSR42	GPT1
ELSR43	GPT2
ELSR44	GPT3
ELSR45	S12AD1

注1.　PWMタイマ（MTU3a, GPTa)の山／谷トリガをイベント信号に選択することで山／谷トリガキャプチャ機能を使用可能です。詳細については「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」を参照してください。

表16.3　ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1 / 3)

ELS[7:0]ビットの値	周辺モジュール	ELSR設定イベント信号
01h	マルチファンクションタイマパルスユニット3	MTU0・コンペアマッチ0A
02h		MTU0・コンペアマッチ0B
03h		MTU0・コンペアマッチ0C
04h		MTU0・コンペアマッチ0D
05h		MTU0・コンペアマッチ0E
06h		MTU0・コンペアマッチ0F
07h		MTU0・オーバフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h		MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ1
22h	イーサネットコントローラ	Ether Switch・SYNCOUT
23h		EtherCAT・Sync0（オプション）
24h		EtherCAT・Sync1（オプション）
25h	Encoder I/F	Encoder I/Fイベント1（オプション）
26h		Encoder I/Fイベント2（オプション）
27h		Encoder I/Fイベント3（オプション）
28h		Encoder I/Fイベント4（オプション）
29h		Encoder I/Fイベント5（オプション）
2Ah		Encoder I/Fイベント6（オプション）
2Bh		Encoder I/Fイベント7（オプション）
2Ch		Encoder I/Fイベント8（オプション）
4Eh	I^2Cバスインタフェース	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル
50h		RIIC0・送信データエンプティ
51h		RIIC0・送信終了
52h	シリアルペリフェラルインタフェース	RSPI0・エラー（モードフォルト・オーバラン・パリティエラー）
53h		RSPI0・アイドル
54h		RSPI0・受信データフル
55h		RSPI0・送信データエンプティ
56h		RSPI0・送信完了
58h	12 ビットA/D コンバータ	S12AD0・A/D変換終了

表16.3　ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (2 / 3)

ELS[7:0]ビットの値	周辺モジュール	ELSR設定イベント信号
63h	I/O ポート	入力ポートグループ1・入力エッジ検出
64h		入力ポートグループ2・入力エッジ検出
65h		シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
67h		シングル入力ポート2・入力エッジ検出
68h		シングル入力ポート3・入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント
6Ah	データ演算回路	DOC・データ演算条件成立信号
6Ch	12 ビットA/D コンバータ	S12AD1・A/D変換終了
7Eh	コンペアマッチタイマW	CMTW・チャネル0・コンペアマッチ
80h	汎用PWMタイマ	GPT0・コンペアマッチA
81h		GPT0・コンペアマッチB
82h		GPT0・コンペアマッチC
83h		GPT0・コンペアマッチD
86h		GPT0・オーバフロー
87h		GPT0・アンダフロー
88h		GPT1・コンペアマッチA
89h		GPT1・コンペアマッチB
8Ah		GPT1・コンペアマッチC
8Bh		GPT1・コンペアマッチD
8Eh		GPT1・オーバフロー
8Fh		GPT1・アンダフロー
90h		GPT2・コンペアマッチA
91h		GPT2・コンペアマッチB
92h		GPT2・コンペアマッチC
93h		GPT2・コンペアマッチD
96h		GPT2・オーバフロー
97h		GPT2・アンダフロー
98h		GPT3・コンペアマッチA
99h		GPT3・コンペアマッチB
9Ah		GPT3・コンペアマッチC
9Bh		GPT3・コンペアマッチD
9Eh		GPT3・オーバフロー
9Fh		GPT3・アンダフロー
A0h	マルチファンクションタイマパルスユニット3	MTU6・コンペアマッチ6A信号
A1h		MTU6・コンペアマッチ6B信号
A2h		MTU6・コンペアマッチ6C信号
A3h		MTU6・コンペアマッチ6D信号
A4h		MTU6・オーバフロー信号
A5h		MTU7・コンペアマッチ7A信号
A6h		MTU7・コンペアマッチ7B信号
A7h		MTU7・コンペアマッチ7C信号
A8h		MTU7・コンペアマッチ7D信号
A9h		MTU7・オーバフロー信号
AAh		MTU7・アンダフロー信号

表16.3　ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (3 / 3)

ELS[7:0]ビットの値	周辺モジュール	ELSR設定イベント信号
ACh	16 ビットタイマパルスユニット	TPU0・コンペアマッチA
ADh		TPU0・コンペアマッチB
AEh		TPU0・コンペアマッチC
AFh		TPU0・コンペアマッチD
B0h		TPU0・オーバフロー
B1h		TPU1・コンペアマッチA
B2h		TPU1・コンペアマッチB
B3h		TPU1・オーバフロー
B4h		TPU1・アンダフロー
B5h		TPU2・コンペアマッチA
B6h		TPU2・コンペアマッチB
B7h		TPU2・オーバフロー
B8h		TPU2・アンダフロー
B9h		TPU3・コンペアマッチA
BAh		TPU3・コンペアマッチB
BBh		TPU3・コンペアマッチC
BCh		TPU3・コンペアマッチD
BDh		TPU3・オーバフロー
上記以外は設定しないでください		

16.2.3　イベントリンクオプション設定レジスタ A（ELOPA）

ELOPA レジスタは、MTU0、MTU3 のイベント入力時の動作を設定するレジスタです。ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B1Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU3MD[1:0]		—	—	—	—	MTU0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU0MD[1:0]	MTU0動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントクリア 1 0：インプットキャプチャ（注1） 1 1：イベント無効	R/W
b5-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0：カウントスタート 0 1：カウントクリア 1 0：インプットキャプチャ（注2） 1 1：イベント無効	R/W

注1.　MTU0.TCNT レジスタの値がMTU0.TGRA レジスタにキャプチャされます。
注2.　MTU3.TCNT レジスタの値がMTU3.TGRA レジスタにキャプチャされます。

16.2.4　イベントリンクオプション設定レジスタ B（ELOPB）

ELOPB レジスタは、MTU4 のイベント入力時の動作を設定するレジスタです。ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B20h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MTU4MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントクリア 1 0：インプットキャプチャ（注1） 1 1：イベント無効	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　MTU4.TCNT レジスタの値がMTU4.TGRA レジスタにキャプチャされます。

16.2.5　イベントリンクオプション設定レジスタ C（ELOPC）

ELOPC レジスタは、CMT1 のイベント入力時の動作を設定するレジスタです。ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B21h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMT1MD[1:0]		—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0：カウントスタート 0 1：カウントクリア 1 0：イベントカウンタ 1 1：イベント無効	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

16.2.6　イベントリンクオプション設定レジスタ D（ELOPD）

ELOPD レジスタは、ΔΣIF ユニット 0 トリガ 0、ΔΣIF ユニット 0 トリガ 1、ΔΣIF ユニット 1 トリガ 0、ΔΣIF ユニット 1 トリガ 1 のイベント入力時の動作を設定するレジスタです。

ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B22h

	b7	b6	b5	b4	b3	b2	b1	b0
	DSX1MD[1:0]		DSX0MD[1:0]		DSU1MD[1:0]		DSU0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	DSU0MD[1:0]	ΔΣIF ユニット0 トリガ0イベントリンク選択	b1 b0 0 0：イベントリンク機能有効 0 1：設定禁止 1 0：設定禁止 1 1：イベントリンク機能無効	R/W
b3-b2	DSU1MD[1:0]	ΔΣIF ユニット0 トリガ1イベントリンク選択	b3 b2 0 0：イベントリンク機能有効 0 1：設定禁止 1 0：設定禁止 1 1：イベントリンク機能無効	R/W
b5-b4	DSX0MD[1:0]	ΔΣIF ユニット1 トリガ0イベントリンク選択	b5 b4 0 0：イベントリンク機能有効 0 1：設定禁止 1 0：設定禁止 1 1：イベントリンク機能無効	R/W
b7-b6	DSX1MD[1:0]	ΔΣIF ユニット1 トリガ1イベントリンク選択	b7 b6 0 0：イベントリンク機能有効 0 1：設定禁止 1 0：設定禁止 1 1：イベントリンク機能無効	R/W

16.2.7　ポートグループ指定レジスタ n（PGRn）（n = 1、2）

PGRn レジスタは、入出力ポートのグループ設定をするレジスタです。8 本ある I/O ポート内の個々のポート（1 ビット）に対してグループ指定を行います。1 ～ 8 ビットの任意のポートを同一グループに指定できます。**表 16.4** に PGRn レジスタとポートの対応を示します。

アドレス　PGR1 A008 0B23h、PGR2 A008 0B24h

	b7	b6	b5	b4	b3	b2	b1	b0
	PGRn7	PGRn6	PGRn5	PGRn4	PGRn3	PGRn2	PGRn1	PGRn0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGRn0	ポートグループ指定 n0 ビット	0：ポートグループ指定しない 1：ポートグループ指定する	R/W
b1	PGRn1	ポートグループ指定 n1 ビット		R/W
b2	PGRn2	ポートグループ指定 n2 ビット		R/W
b3	PGRn3	ポートグループ指定 n3 ビット		R/W
b4	PGRn4	ポートグループ指定 n4 ビット		R/W
b5	PGRn5	ポートグループ指定 n5 ビット		R/W
b6	PGRn6	ポートグループ指定 n6 ビット		R/W
b7	PGRn7	ポートグループ指定 n7 ビット		R/W

表 16.4　ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ（PGR）	ポートグループコントロールレジスタ（PGC）	ポートバッファレジスタ（PDBF）
ポート B	PGR1 レジスタ	PGC1 レジスタ	PDBF1 レジスタ
ポート E	PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ

16.2.8　ポートグループコントロールレジスタ n（PGCn）（n = 1、2）

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号入力時のポートから外部へ出力する信号の出力形式を指定するレジスタです。また、入力ポートグループに対して、PDBF レジスタへの上書き有効／無効の指定およびイベント発生条件（外部からの入力する信号の変化）を設定します。

PGRn レジスタとポートの対応については、**表 16.4** を参照してください。

アドレス　PGC1 A008 0B25h、PGC2 A008 0B26h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PGCOn[2:0]			—	PGCOVEn	PGCIn[1:0]	
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCIn[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0：外部入力信号の立ち上がりエッジを検出して、イベント発生 0 1：外部入力信号の立ち下がりエッジを検出して、イベント発生 1 X：外部入力信号の立ち上がり／立ち下がりの両エッジを検出して、イベント発生	R/W
b2	PGCOVEn	PDBF上書き指定ビット	0：PDBFnレジスタへの上書き無効 1：PDBFnレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCOn[2:0]	ポートグループ動作セレクトビット	b6　b4 0 0 0：イベント入力時、0を出力 0 0 1：イベント入力時、1を出力 0 1 0：イベント入力時、トグル（反転）出力 0 1 1：イベント入力時、バッファ値を出力 1 X X：イベント入力時、グループ内でビットローテート出力（MSB→LSBへローテート）	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

X：Don't care

16.2.9　ポートバッファレジスタ n（PDBFn）（n = 1、2）

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、**「16.3.5　I/O ポートのイベント入力動作とイベント発生動作」**を参照してください。

PGRn レジスタとポートの対応については、**表 16.4** を参照してください。

アドレス　PDBF1 A008 0B27h、PDBF2 A008 0B28h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBFn7	PDBFn6	PDBFn5	PDBFn4	PDBFn3	PDBFn2	PDBFn1	PDBFn0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDBFn0	ポートバッファ n0 ビット	ポートの入出力により以下の動作を行います。 • 出力ポートのとき PDBFnに書き込んだ値をPODRに転送します。 • 入力ポートのとき 外部端子の信号値をPDBFnに転送します。 入力ポートグループに指定したビットへの書き込みは無効になります。 詳細は、「16.3　動作説明」を参照してください	R/W
b1	PDBFn1	ポートバッファ n1 ビット		R/W
b2	PDBFn2	ポートバッファ n2 ビット		R/W
b3	PDBFn3	ポートバッファ n3 ビット		R/W
b4	PDBFn4	ポートバッファ n4 ビット		R/W
b5	PDBFn5	ポートバッファ n5 ビット		R/W
b6	PDBFn6	ポートバッファ n6 ビット		R/W
b7	PDBFn7	ポートバッファ n7 ビット		R/W

16.2.10　イベント接続ポート指定レジスタ n（PELn）（n = 0 ～ 3）

PELn レジスタは、イベントをリンクするシングルポートの指定とイベント入力時の動作、およびイベント発生条件を設定するレジスタです。本 LSI では、ポート B、E の内、いずれかのビットに対して、全 4 つのシングルポートを設定できます。

アドレス　PEL0 A008 0B29h、PEL1 A008 0B2Ah、PEL2 A008 0B2Bh、PEL3 A008 0B2Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSMn[1:0]		PSPn[1:0]		PSBn[2:0]		
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PSBn[2:0]	ビット番号指定ビット	8本あるI/Oポートのビット番号を指定	R/W
b4-b3	PSPn[1:0]	ポート番号指定ビット	b4 b3 0 0：設定しないでください 0 1：ポートB（PGR1 レジスタに対応） 1 0：ポートE（PGR2 レジスタに対応） 1 1：設定しないでください	R/W
b6-b5	PSMn[1:0]	イベントリンク指定ビット	• ポート出力設定時：ポート出力データを指定 b6 b5 0 0：イベント入力時、0を出力 0 1：イベント入力時、1を出力 1 X：イベント入力時、トグル（反転）出力 • ポート入力設定時：イベント出力エッジ選択 b6 b5 0 0：立ち上がりエッジを検出して、イベント出力 0 1：立ち下がりエッジを検出して、イベント出力 1 X：立ち上がり／立ち下がりの両エッジを検出して、イベント出力	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

X：Don't care

16.2.11　イベントリンクソフトウェアイベント発生レジスタ（ELSEGR）

ELSEGR レジスタは、ソフトウェアによるイベント発生を制御するレジスタです。

アドレス　A008 0B2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0：通常動作 1：ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0：SEGビットへの書き込み禁止 1：SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0：ELSEGRレジスタへの書き込み許可 1：ELSEGRレジスタへの書き込み禁止	W

SEG ビット（ソフトウェアイベント発生ビット）

WE ビットが “1” の状態で、本ビットに “1” を書き込むとソフトウェアイベントが発生します。

本ビットは読むと “0” が読み出されます。“1” を書き込んでもデータは格納されません。

WE ビット（SEG ビット書き込み許可ビット）

WE ビットが “1” のときのみ、SEG ビットに対する書き込みが可能になります。

[“1” になる条件]

WI ビットに “0”、WE ビットに “1” を書き込んだとき

[“0” になる条件]

WI ビットに “0”、WE ビットに “0” を書き込んだとき

WI ビット（ELSEGR レジスタ書き込み禁止ビット）

WI ビットの書き込み値が “0” のときのみ、ELSEGR レジスタに対する書き込みが可能になります。

読むと “1” が読み出されます。

注 1.　WI ビットと WE ビットを同時に設定した時のみ、WE ビットを更新可能です。
同様に、SEG ビットを更新する際も、WI ビットを同時に設定する必要があります。
(事前に WI ビットと WE ビットを同時に設定し、WE = 1 に設定してから、WI ビットと SEG ビットを設定します。SEG 設定時に WE = 1 であれば WE ビットは 1 を保持します。)
ただし、WI = 1, WE = 0, SEG = 0 の時に、3bit を同時設定してもソフトウェアトリガは出力されません。この 3bit を同時に設定した後であれば、WE = 1 になるため、再度、3bit を同時に設定することでソフトウェアトリガが出力されます。)

16.2.12　イベントリンクオプション設定レジスタ F（ELOPF）

ELOPF レジスタは、TPU0 ～ TPU3 のイベント入力時の動作を設定するレジスタです。
ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B3Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TPU3MD[1:0]		TPU2MD[1:0]		TPU1MD[1:0]		TPU0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPU0MD[1:0]	TPU0動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントクリア 1 0：インプットキャプチャ（注1） 1 1：イベント無効	R/W
b3-b2	TPU1MD[1:0]	TPU1動作選択ビット	b3 b2 0 0：カウントスタート 0 1：カウントクリア 1 0：インプットキャプチャ（注2） 1 1：イベント無効	R/W
b5-b4	TPU2MD[1:0]	TPU2動作選択ビット	b5 b4 0 0：カウントスタート 0 1：カウントクリア 1 0：インプットキャプチャ（注3） 1 1：イベント無効	R/W
b7-b6	TPU3MD[1:0]	TPU3動作選択ビット	b7 b6 0 0：カウントスタート 0 1：カウントクリア 1 0：インプットキャプチャ（注4） 1 1：イベント無効	R/W

注1.　TPU0.TCNT レジスタの値がTPU0.TGRA レジスタにキャプチャされます。
注2.　TPU1.TCNT レジスタの値がTPU1.TGRA レジスタにキャプチャされます。
注3.　TPU2.TCNT レジスタの値がTPU2.TGRA レジスタにキャプチャされます。
注4.　TPU3.TCNT レジスタの値がTPU3.TGRA レジスタにキャプチャされます。

16.2.13　イベントリンクオプション設定レジスタ H（ELOPH）

ELOPH レジスタは、CMTW のチャネル 0 のイベント入力時の動作を設定するレジスタです。
ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B41h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMTW0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMTW0MD[1:0]	CMTW0動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントクリア 1 0：イベントカウンタ 1 1：イベント無効	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

16.2.14　イベントリンクオプション設定レジスタ I（ELOPI）

ELOPI レジスタは、GPT0、GPT1 のイベント入力時の動作を設定するレジスタです。
ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B42h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	GPT1MD[2:0]			—	GPT0MD[2:0]		
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPT0MD[2:0]	GPT0動作選択ビット	b2 b0 0 0 0：カウントスタート 0 0 1：カウントクリア 0 1 0：カウントストップ 0 1 1：インプットキャプチャ（注1） 1 1 1：イベント無効 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	GPT1MD[2:0]	GPT1動作選択ビット	b6 b4 0 0 0：カウントスタート 0 0 1：カウントクリア 0 1 0：カウントストップ 0 1 1：インプットキャプチャ（注2） 1 1 1：イベント無効 上記以外は設定しないでください	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　GPT0.GTCNT レジスタの値がGPT0.GTCCRA レジスタにキャプチャされます。
注2.　GPT1.GTCNT レジスタの値がGPT1.GTCCRA レジスタにキャプチャされます。

16.2.15　イベントリンクオプション設定レジスタ J（ELOPJ）

ELOPJ レジスタは、GPT2、GPT3 のイベント入力時の動作を設定するレジスタです。
ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス　A008 0B43h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	GPT3MD[2:0]			—	GPT2MD[2:0]		
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPT2MD[2:0]	GPT2動作選択ビット	b2 b0 ０００：カウントスタート ００１：カウントクリア ０１０：カウントストップ ０１１：インプットキャプチャ（注1） １１１：イベント無効 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	GPT3MD[2:0]	GPT3動作選択ビット	b6 b4 ０００：カウントスタート ００１：カウントクリア ０１０：カウントストップ ０１１：インプットキャプチャ（注2） １１１：イベント無効 上記以外は設定しないでください	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　GPT2.GTCNT レジスタの値がGPT2.GTCCRA レジスタにキャプチャされます。
注2.　GPT3.GTCNT レジスタの値がGPT3.GTCCRA レジスタにキャプチャされます。

16.3　動作説明

16.3.1　割り込み処理とイベントリンクの関係

本 LSI に内蔵しているモジュールには、割り込み要求ステータスフラグと、これらの割り込みの許可／禁止を制御する許可ビットがあります。各モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグがセットされ、当該割り込み要求が許可のとき、CPU に対して割り込みを要求します。

これに対して、ELC は、EtherMAC、EtherCAT を除く各周辺モジュールで発生する割り込み要求をイベント信号とし、モジュール間を相互に接続（リンク）することにより、CPU を介さず直接モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。EtherMAC、EtherCAT は割り込み信号をイベント信号として使用するため、割り込み制御を許可することが必要です。**図 16.2** に割り込み処理と ELC の関係を示します。

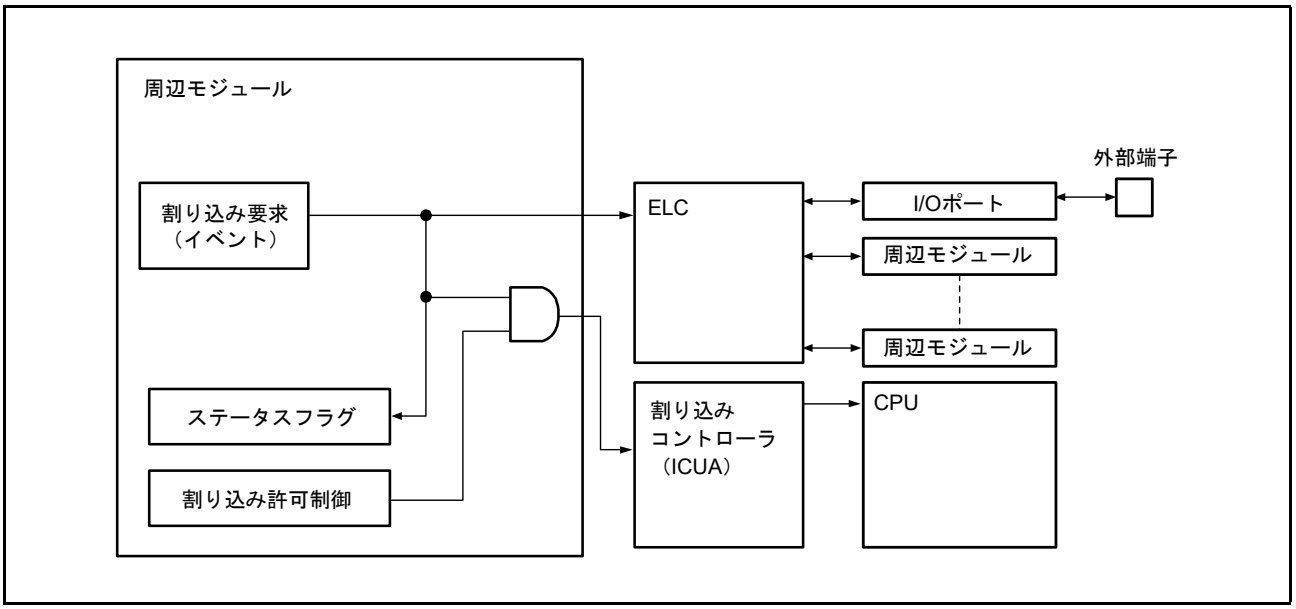


図 16.2　割り込み処理と ELC の関係（EtherMAC、EtherCAT は除く）

16.3.2　イベントのリンク

イベントリンク先のモジュールの ELSRn レジスタにイベントを設定してください。設定したイベントが発生した場合、イベントリンク先のモジュールが ELOPm レジスタ（m =A ～ D、F、H ～ J）に設定した動作を行います。1 つのモジュールに対して 1 種類のイベントのみリンクできます。詳細な動作設定手順は**「16.3.6　イベントリンクの動作設定手順例」**を参照してください。**表 16.5** にイベントを入力したときのモジュール別動作一覧を示します。

表 16.5　イベント入力時のモジュール別動作一覧

モジュール	イベント入力時の動作	
MTUCMT CMTW TPU GPT	ELOPm レジスタ（m = A～C、F、H～J）の設定により以下の動作となります • イベント信号入力により、カウントスタート（MTU、CMT、CMTW、TPU、GPT） • イベント信号入力により、カウントクリア（MTU、CMT、CMTW、TPU、GPT） （タイマのスタートビットが“1”のとき、カウントリスタート動作が可能） • 入力したイベント数をカウント（CMT、CMTW） • イベント信号入力により、キャプチャ動作（MTU、TPU、GPT） • イベント信号入力により、カウントストップ（GPT）	
A/D コンバータ	イベント信号入力により、A/D 変換開始	
DSMIF	山／谷トリガキャプチャ機能（注1）	
I/O ポート（出力）	ポートグループ	• PODR レジスタの値が PGCn レジスタで指定した値に変化 • PDBFn レジスタの値を PODR レジスタに転送 • ビットローテート出力
	シングルポート	PODR レジスタの値が PELn レジスタで指定した値に変化
I/O ポート（入力）	ポートグループ	外部端子の信号値を PDBFn レジスタに転送
	シングルポート	イベントの接続はできません
割り込み制御	CPU へ割り込み要求、DMAC データ転送開始	
Encoder I/F	Encoder I/F で設定したイベント動作	

注1.　詳細については「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」を参照してください。

16.3.3　タイマ系周辺機能のイベント入力時の動作

ELOPm レジスタ（m＝A ～ C、F、H ～ J）によりイベント入力時の動作を設定します。

(1)　カウントスタート動作

イベント入力により、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット（注 1）が “1” にセットされます。カウントスタートビットが “1” の状態で入力されたイベントは、無効です。

(2)　カウントクリア動作

イベント入力により、タイマのカウンタを初期化します。このとき各タイマの制御レジスタのカウントスタートビット（注 1）が “1” にセットされていると、カウント動作を継続しカウントリスタート動作をすることができます。

(3)　イベントカウンタ動作

タイマのクロックソースとして、イベント入力が選択されタイマが動作します。

(4)　インプットキャプチャ動作

イベント入力により、キャプチャ動作します。

(5)　カウントストップ動作

イベント入力により、タイマのカウントをストップします。

注 1.　各タイマ系周辺機能章にあるタイマスタートに関するレジスタの説明を参照してください。

16.3.4　A/D コンバータのイベント入力時の動作

ADCSR.ADST ビット（注 1）が “1” にセットされ、A/D 変換がスタートします。

注 1.　A/D コンバータ章のビット説明を参照してください。

16.3.5　I/O ポートのイベント入力動作とイベント発生動作

I/O ポートは、イベント入力による動作の設定とイベントを発生させる動作の設定ができます。

(1)　シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートへのイベントリンク（シングルポートへのイベントリンク）と、8 本ある I/O ポート内の任意の複数ビットをまとめたグループへのイベントリンク（ポートグループへのイベントリンク）ができます。

シングルポートは、イベント接続が可能な I/O ポート（注 1）内の任意のビットを PELn レジスタで指定します。ポートグループは、イベント接続が可能な I/O ポート（注 1）の任意のビット（1 ビット以上）を PGRn レジスタで指定します。また、グループ指定として、同一 I/O ポート内で入力ポートグループと出力ポートグループ、それぞれ 1 つのグループが設定できます。

当該ビットにシングルポートとポートグループの両方の指定があるとき、入力ポートは、両方の機能が有効となり、出力ポートの場合は、ポートグループの機能のみが有効となります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

注 1.　ポート B、ポート E です。

(2)　シングル入力ポートでのイベント発生動作

PDR レジスタで入力に設定されているシングルポートは当該ポートに接続している外部端子（外部ピン）の信号値の変化により、イベントを発生します。イベント発生条件は、PELn レジスタで設定します。**図 16.3(1)** にシングル入力ポートのイベントリンク動作を示します。

(3)　シングル出力ポートのイベント入力動作

PDR レジスタで出力に設定されているシングルポートにイベントが入力されると、PELn レジスタの設定により、当該ポートに接続している外部端子（外部ピン）の信号が変化します。これにより、当該ポートに接続している外部端子（外部ピン）の信号値が変化します。**図 16.3(2)** にシングル出力ポートのイベントリンク動作を示します。

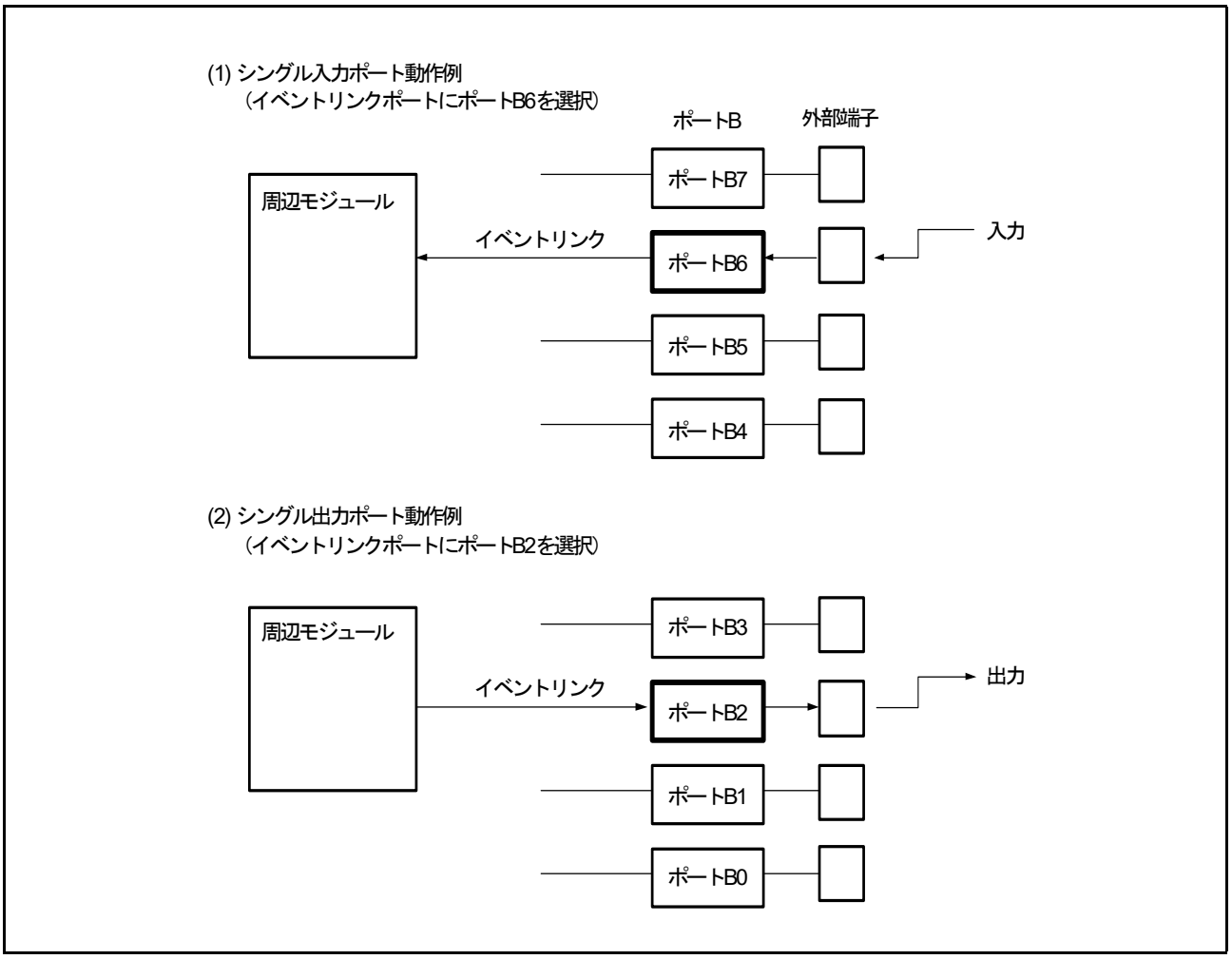


図 16.3　　シングルポートのイベントリンク動作（ポート B の場合）

(4)　入力ポートグループのイベント発生動作

PDR レジスタで入力に設定されているポートグループは当該ポートに接続しているいずれかの外部端子（外部ピン）の信号値の変化により、イベントを発生します。イベント発生条件は PGCn.PGCIn ビットで、設定します。

(5)　入力ポートグループのイベント入力動作

入力ポートグループにイベントが入力されると、イベント入力時の外部端子の信号値が PDBFn レジスタに転送されます。入力ポートグループに指定されたビットのみ転送されます。この状態で、再度入力ポートグループにイベントが入力されると、PGCn.PGCOVEn ビットの設定により以下の動作となります。**図 16.4** に入力ポートグループのイベント入力時の動作を示します。

- PGCn.PGCOVEn = 0（上書き無効）のとき
  前回のイベント入力により PDBFn レジスタに転送された値が CPU によりリードされているとき、外部端子の信号値が PDBFn レジスタに転送されます。リードされていないときは外部端子の信号値は PDBFn レジスタに転送されず、入力したイベントは無効になります。
- PGCn.PGCOVEn = 1（上書き有効）のとき
  入力ポートグループにイベントが入力されると、外部端子の信号値が PDBFn レジスタに転送されます。

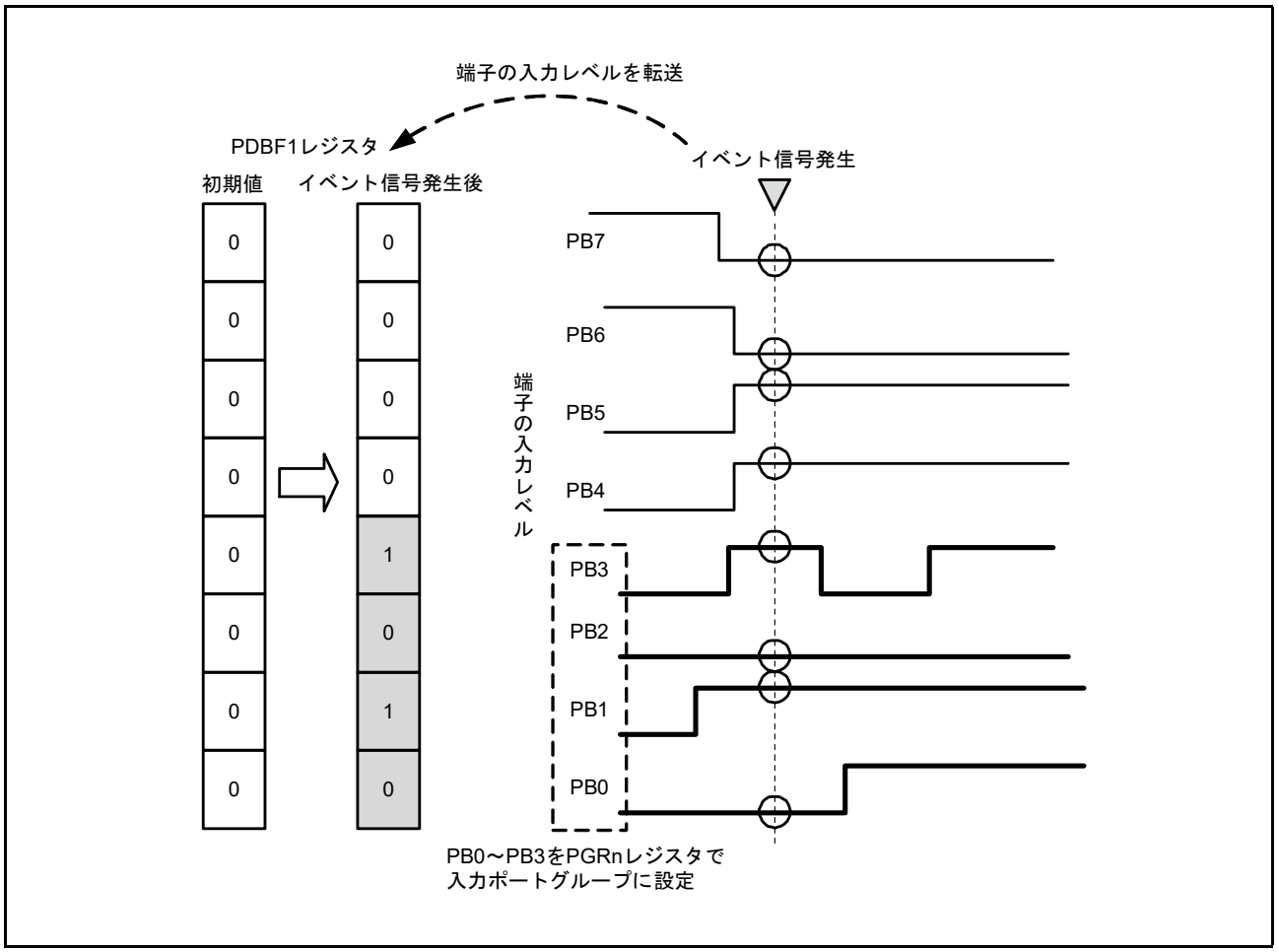


図 16.4　　入力ポートグループのイベント入力時の動作（ポート B の場合）

(6)　出力ポートグループのイベント入力動作

イベント入力時の端子出力は PGCn.PGCOn ビットの設定により、以下のような動作となります。

- PGCn.PGCOn ビットが 000b、001b、010b のとき
  出力ポートグループにイベントが入力されると、PODR レジスタの値が PGCn レジスタで設定された値に変化します。
- PGCn.PGCOn ビットが 011b のとき
  出力ポートグループにイベントが入力されると、PDBFn レジスタの値が PGRn レジスタに設定されているポートの PODR レジスタに転送されます。**図 16.5** に出力ポートグループのイベント入力時の動作を示します（PGCn.PGCOn = 011b のとき）。
- PGCn.PGCOn ビットが 1XXb のとき
  出力ポートグループにイベントが入力されたとき、PDBFn レジスタの値が PGRn レジスタに設定されているポートの PODR レジスタに転送され、当該グループ内で PODR レジスタ値が MSB → LSB にローテートしながら出力します。動作を開始する前に、ポートに出力する初期値を PDBFn レジスタに設定してください。**図 16.6** に出力ポートグループのイベント入力時のビットローテート動作を示します（PGCn.PGCOn = 1XXb のとき）。

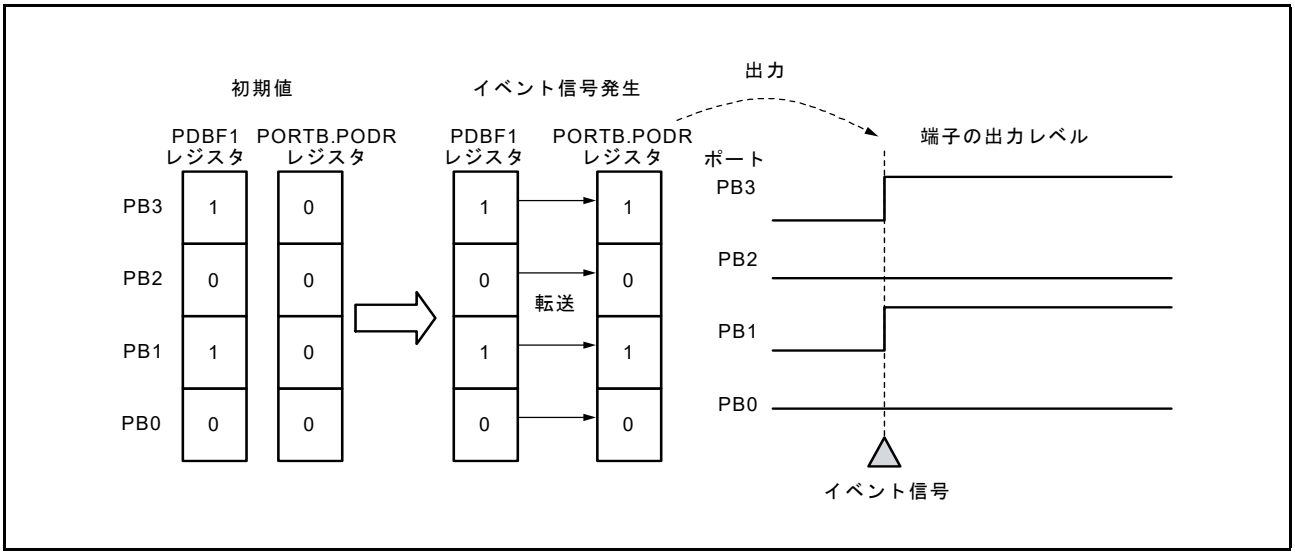


図 16.5　出力ポートグループのイベントリンク動作（ポート B の場合）

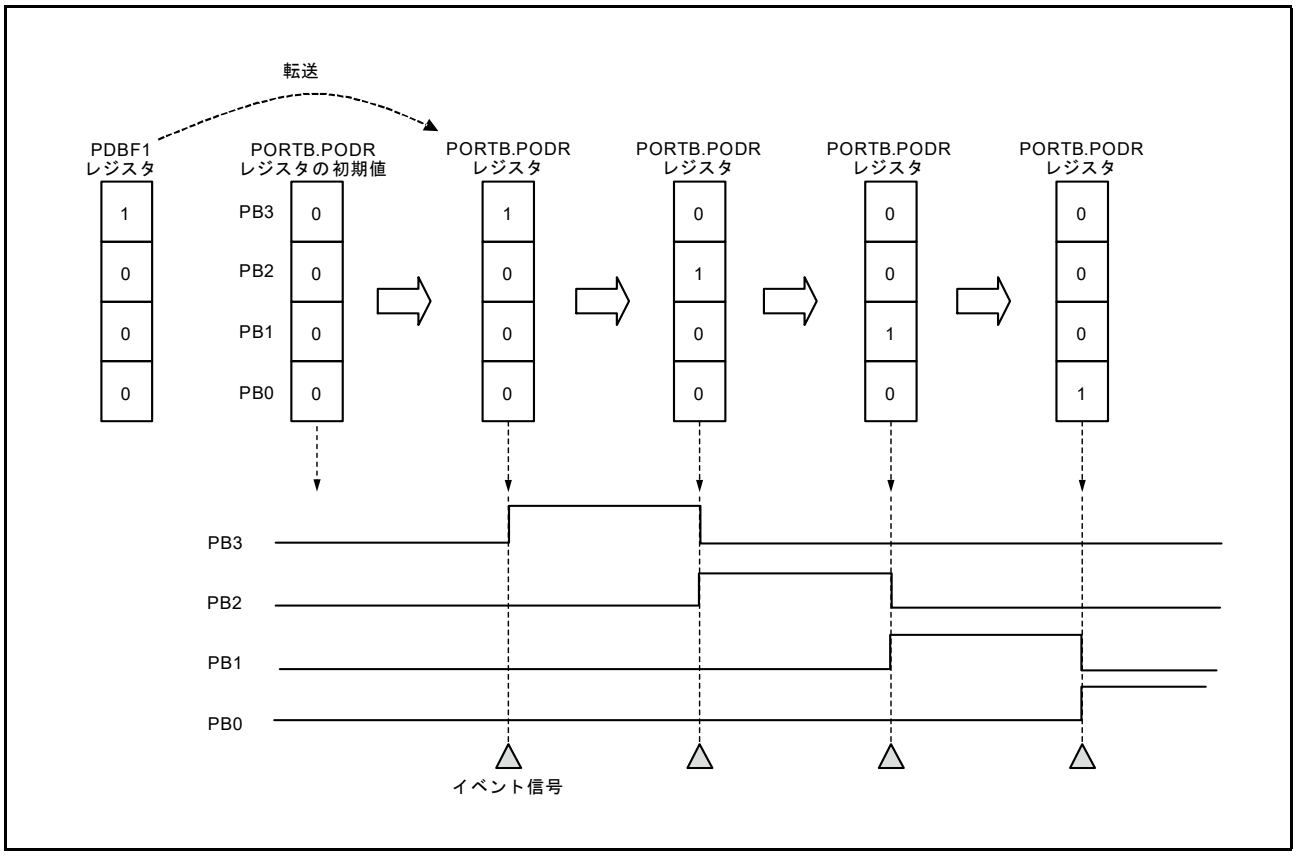


図 16.6　出力ポートグループのビットローテート出力の動作（ポート B の場合）

(7)　PODR レジスタ、PDBFn レジスタへの CPU での書き込み制限

I/O ポートでイベントリンクするとき、CPU による PODR レジスタまたは PDBFn レジスタへの書き込みに以下のような制限があります。

- 入力ポートグループに指定すると、PDBFn レジスタの当該ビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、PODR レジスタの当該ビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへイベント接続設定（ELSRn レジスタの設定）をすると、PODR レジスタの当該ビットへの書き込みは無効になります。

16.3.6　イベントリンクの動作設定手順例

イベントリンク動作手順を以下に示します。

1. イベントをリンクするモジュールの初期設定をします。
2. ポートに対してイベントリンクを設定するときは、対応するポートの以下のレジスタを設定します。

- I/O ポートの設定
  PODR レジスタ :出力に設定したポートの初期値を設定します。
  PDR レジスタ :ポートの入力または出力を設定します。
- ELC の設定
  PGRn レジスタ :ポートグループとして動作させるときに、グループ化の対象となるポート（ビット単位）を設定します。
  PGCn レジスタ :ポートグループとして動作させるときの動作を設定します。
  PELn レジスタ :シングルポートとして動作させるときの対象とするポートとイベント入力の動作およびイベント発生条件の設定をします。

備考：PDBFn レジスタの設定について
①出力ポートグループの場合
PGCn レジスタの設定後に PDBFn レジスタを設定してください。
PODR レジスタの値を変更したいイベントトリガの前であれば、PGCn レジスタの前に設定しても構いません。
②入力ポートグループの場合
PDBFn レジスタの設定は不要です。ただし、リセット後の値 = 0x00 のため、イベント入力で H → L の変化を PDBFn レジスタで確認する場合は、確認したいポートの PDBFn ビットを 1 に設定してください。

3. イベントをリンクするモジュールの ELSRn レジスタに、リンクするイベント信号の番号を設定します。
4. イベントをリンクするモジュールがタイマ系の周辺機能のときは、必要に応じて対応する ELOPm レジスタ（m = A ～ C、F、H ～ J）を設定します。イベントをリンクするモジュールが ΔΣIF のときは、必要に応じて対応する ELOPD レジスタを設定します。
5. ELCR.ELCON ビットを “1” にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効になります。
6. イベント出力元のモジュールの初期設定を行い、起動させます。モジュールから出力されるイベントにより、イベントリンク先のモジュールが事前に設定した動作を開始します。
7. モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn.ELS[7:0] ビットに “0000 0000b” を設定してください。また ELCR.ELCON ビットを “0” にすることにより、全モジュールのイベントリンク動作が停止します。

16.4　使用上の注意事項

16.4.1　ELSR18、ELSR19 レジスタの設定について

割り込みコントローラにイベントリンクする場合、ELSR18、ELSR19 レジスタに設定するイベント信号は 63h ～ BDh の中から指定してください。それ以外の値は、設定禁止です。

16.4.2　出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタの値を変更する場合、PDBFn レジスタを変更した後、ELSRn レジスタを再度設定してください。

16.4.3　クロック設定について

イベントリンクを使用するには ELC の設定の他に ELC と対象モジュールを動作可能状態にしておく必要があります。対象のモジュールがモジュールストップ状態の場合や低消費電力状態の中でモジュールが停止状態となるモード（全モジュールストップモード）の場合では動作できません。

16.4.4　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）により、ELC の動作を禁止／許可することが可能です。初期値では、ELC の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9.　消費電力低減機能」を参照してください。

17. I/O ポート

17.1 概要

I/O ポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は不使用（Hi-Z 入力保護）になっていますが、レジスタの設定により機能を切り替えることができます。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、不使用／入力／出力を指定するポート方向レジスタ（PDR）、出力データを格納するポート出力データレジスタ（PODR）、端子の状態を反映するポート入力データレジスタ（PIDR）、入力プルアップ／プルダウン抵抗の有効／無効を制御するプルアップ／プルダウン制御レジスタ（PCR）、機能端子を指定するポートモードレジスタ（PMR）を備えています。PMR レジスタの詳細については、**「18. マルチファンクションピンコントローラ（MPC）」**を参照してください。

パッケージによって、I/O ポートの構成が異なります。**表 17.1** に I/O ポートの仕様を、**表 17.2** に I/O ポートの機能を示します。

表 17.1 I/O ポートの仕様

ポート シンボル	パッケージ		パッケージ	
	320 ピン	本数	176 ピン	本数
PORT0	P00～P07	8	P00～P07	8
PORT1	P10～P17	8	P10, P13～P17	6
PORT2	P20～P27	8	P20～P27	8
PORT3	P30～P37	8	P30, P33～P37	6
PORT4	P40～P47	8	P40, P42, P43, P47	4
PORT5	P50～P56	7	P51, P54, P56	3
PORT6	P60～P67	8	P60～P65	6
PORT7	P70～P77	8	P70～P77	8
PORT8	P80～P87	8	P82, P85～P87	4
PORT9	P90～P97	8	なし	0
PORTA	PA0～PA7	8	PA0～PA7	8
PORTB	PB0～PB7	8	PB0～PB7	8
PORTC	PC0～PC7	8	PC0～PC3	4
PORTD	PD0～PD7	8	PD5～PD7	3
PORTE	PE0～PE7	8	PE0～PE7	8
PORTF	PF5～PF7	3	PF5～PF6	2
PORTG	PG0～PG7	8	PG0～PG7	8
PORTH	PH0～PH7	8	PH0～PH7	8
PORTJ	PJ0～PJ7	8	なし	0
PORTK	PK0～PK7	8	なし	0
PORTL	PL0～PL7	8	なし	0
PORTM	PM0～PM7	8	なし	0
PORTN	PN0～PN7	8	なし	0
PORTP	PP0～PP7	8	なし	0
PORTR	PR0～PR7	8	なし	0
PORTS	PS0～PS7	8	なし	0
PORTT	PT0～PT7	8	なし	0
PORTU	PU0～PU7	8	なし	0
	ポートの合計数	218	ポートの合計数	102

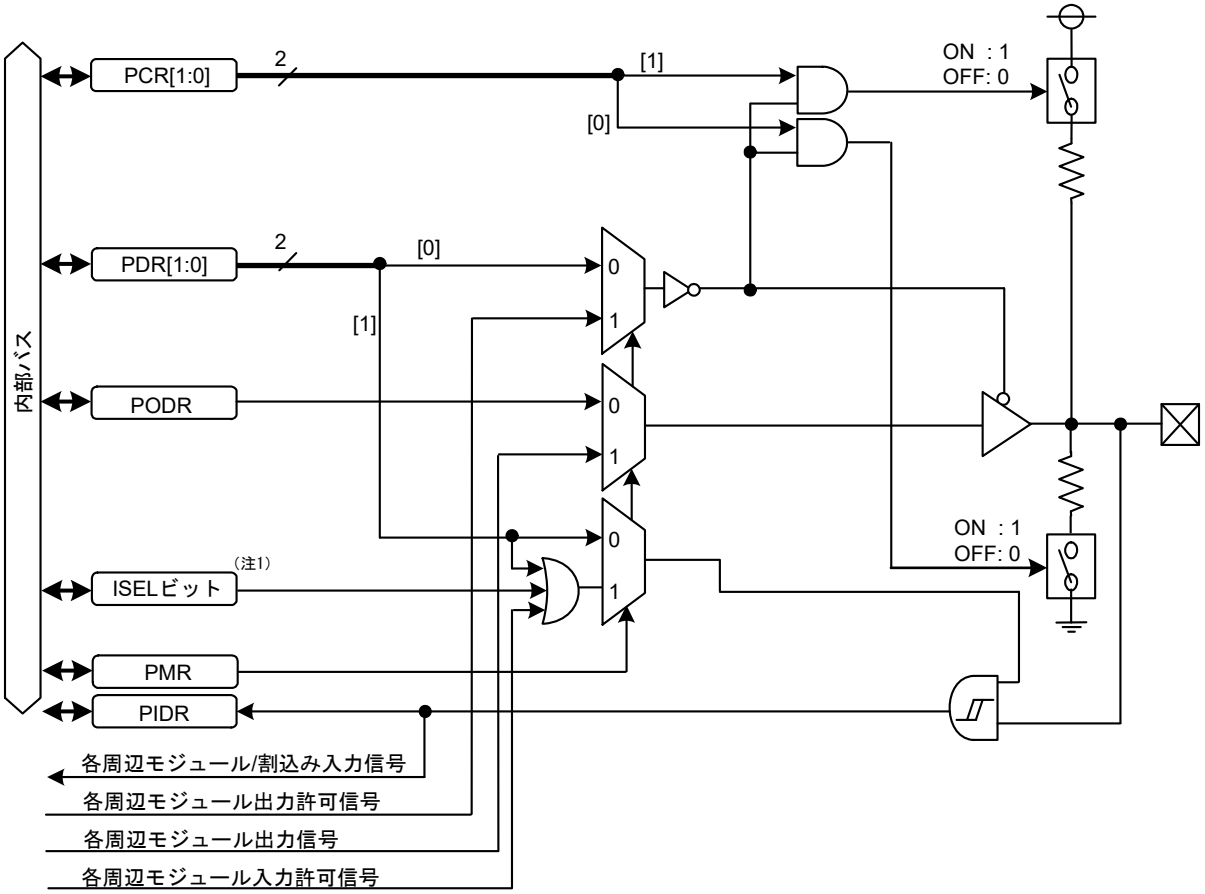
表17.2　I/Oポートの機能

ポートシンボル	ポート	入力プルアップ／プルダウン機能	駆動能力切り替え機能	5Vトレラント	シュミット入力
PORT0	P00～P07	○	—	—	—
PORT1	P10	○	○	—	○
	P11～P17	○	—	—	○
PORT2	P20～P27	○	—	—	○
PORT3	P30	—	—	○	○
	P31～P33, P35～P37	○	—	—	○
	P34	○	—	—	—
PORT4	P40～P47	○	—	—	○
PORT5	P50～P56	○	—	—	○
PORT6	P60～P67	○	—	—	○
PORT7	P70～P77	○	—	—	—
PORT8	P80～P85	○	—	—	○
	P86，P87	○	—	—	○
PORT9	P90～P97	○	—	—	○
PORTA	PA0～PA7	○	—	—	—
PORTB	PB0～PB7	○	—	—	○
PORTC	PC0～PC7	—	—	○	○
PORTD	PD0～PD7	○	—	—	○
PORTE	PE0～PE7	○	—	—	—
PORTF	PF5～PF7	○	—	—	○
PORTG	PG0～PG7	○	—	—	○
PORTH	PH0～PH7	○	—	—	○
PORTJ	PJ0～PJ7	○	—	—	○
PORTK	PK0～PK7	○	—	—	○
PORTL	PL0～PL7	○	—	—	○
PORTM	PM0～PM7	○	—	—	○
PORTN	PN0～PN7	○	—	—	○
PORTP	PP0～PP7	○	—	—	○
PORTR	PR0～PR7	○	—	—	○
PORTS	PS0～PS7	○	—	—	○
PORTT	PT0～PT7	○	—	—	○
PORTU	PU0～PU7	○	—	—	○

入力プルアップ／プルダウン機能、駆動能力切り替え機能は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

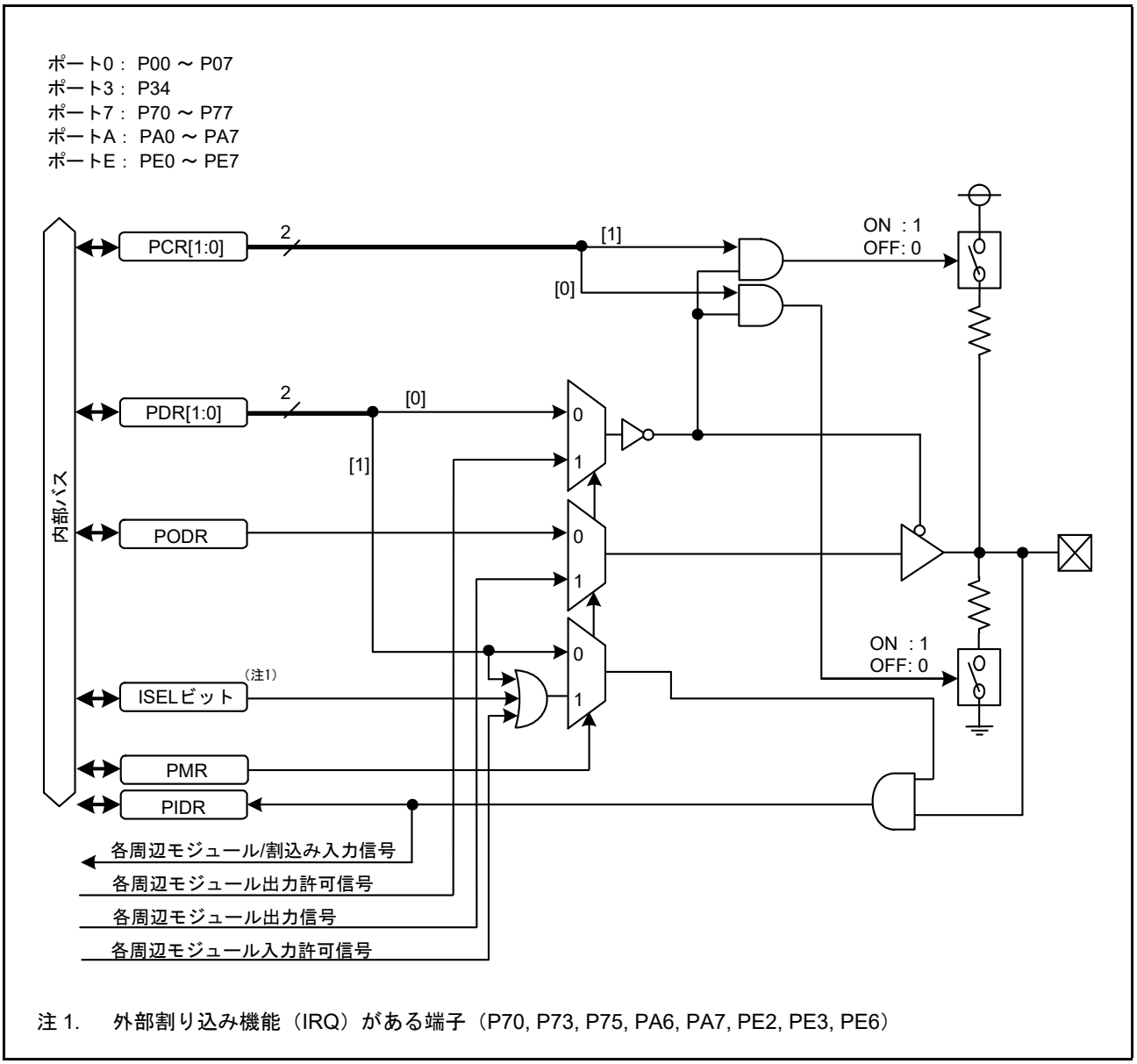
17.2 入出力ポートの構成

ポート1：P11～P17
ポート2：P20～P27
ポート3：P31～P33，P35～P37
ポート4：P40～P47
ポート5：P50～P56
ポート6：P60～P67
ポート8：P80～P85
ポートB：PB0～PB7
ポートF：PF5～PF7
ポートG：PG0～PG7
ポートH：PH0～PH7
ポートJ：PJ0～PJ7
ポートK：PK0～PK7
ポートL：PL0～PL7
ポートM：PM0～PM7
ポートN：PN0～PN7
ポートP：PP0～PP7
ポートR：PR0～PR7
ポートS：PS0～PS7
ポートT：PT0～PT7
ポートU：PU0～PU7



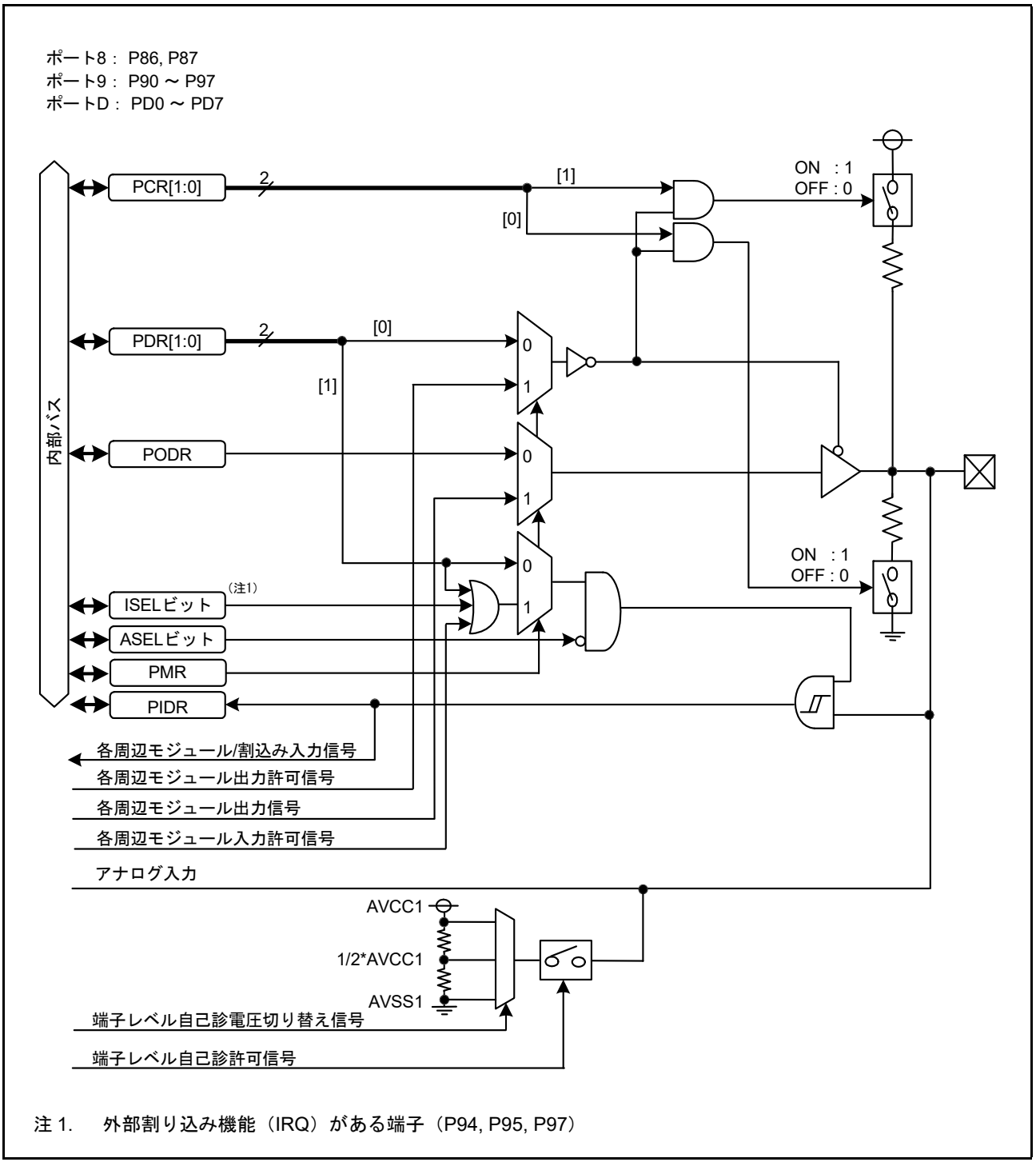
注 1. 外部割り込み機能（NMI，IRQ）がある端子（P11, P21, P22, P24, P32, P35, P44, P50, P51, P55, P66, P67, P80, P83, P85, PB3, PF7, PH4, PJ0, PJ2, PJ3, PJ6, PJ7, PL4, PL7, PM6, PN2, PN4, PN5, PR1, PS1, PS6, PT0, PT3, PU2, PU5）

図 17.1 入出力ポートの構成（1）



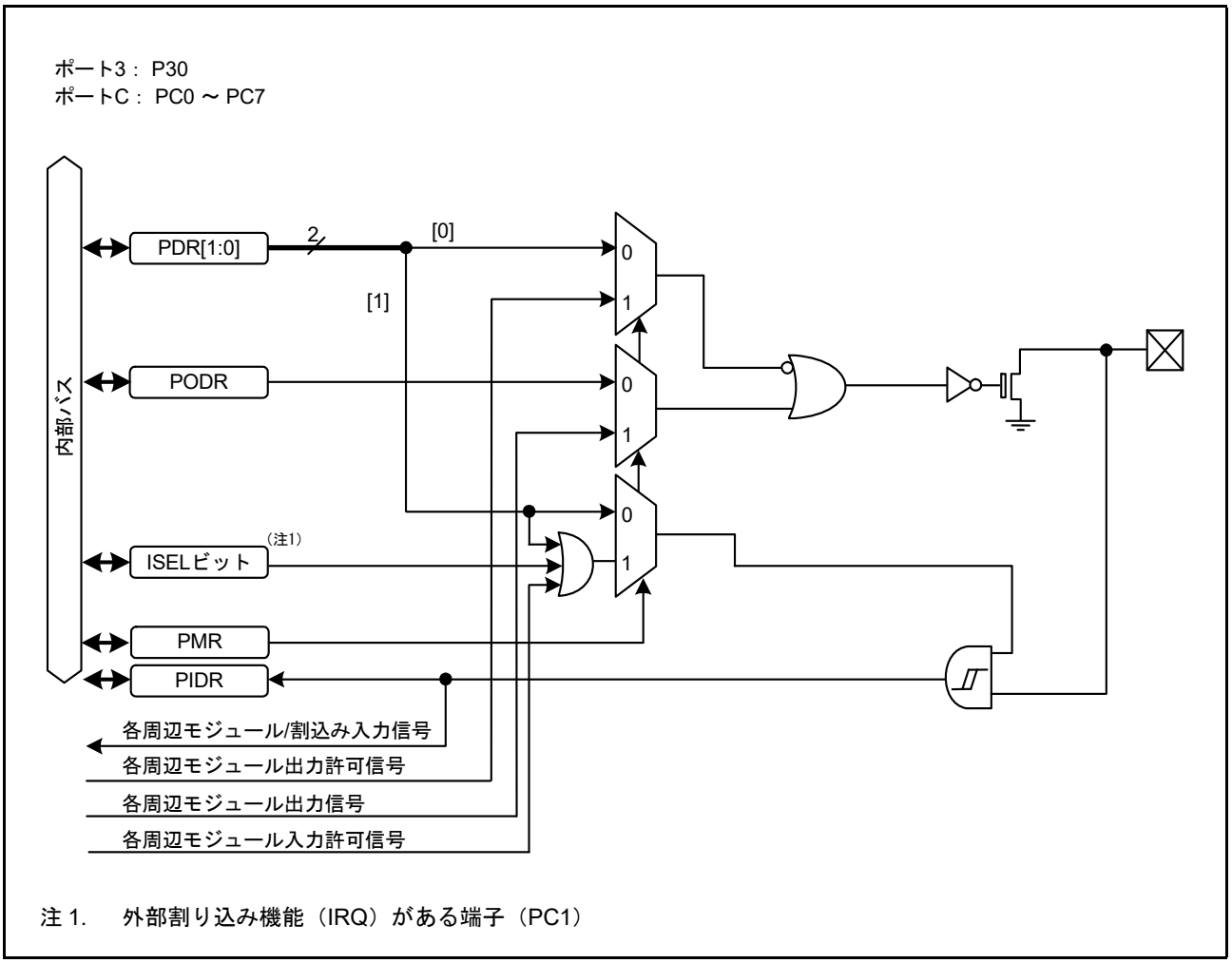
注 1. 外部割り込み機能（IRQ）がある端子（P70, P73, P75, PA6, PA7, PE2, PE3, PE6）

図 17.2 入出力ポートの構成（2）



注 1. 外部割り込み機能（IRQ）がある端子（P94, P95, P97）

図 17.3 入出力ポートの構成（3）



注 1. 外部割り込み機能（IRQ）がある端子（PC1）

図 17.4 入出力ポートの構成（4）

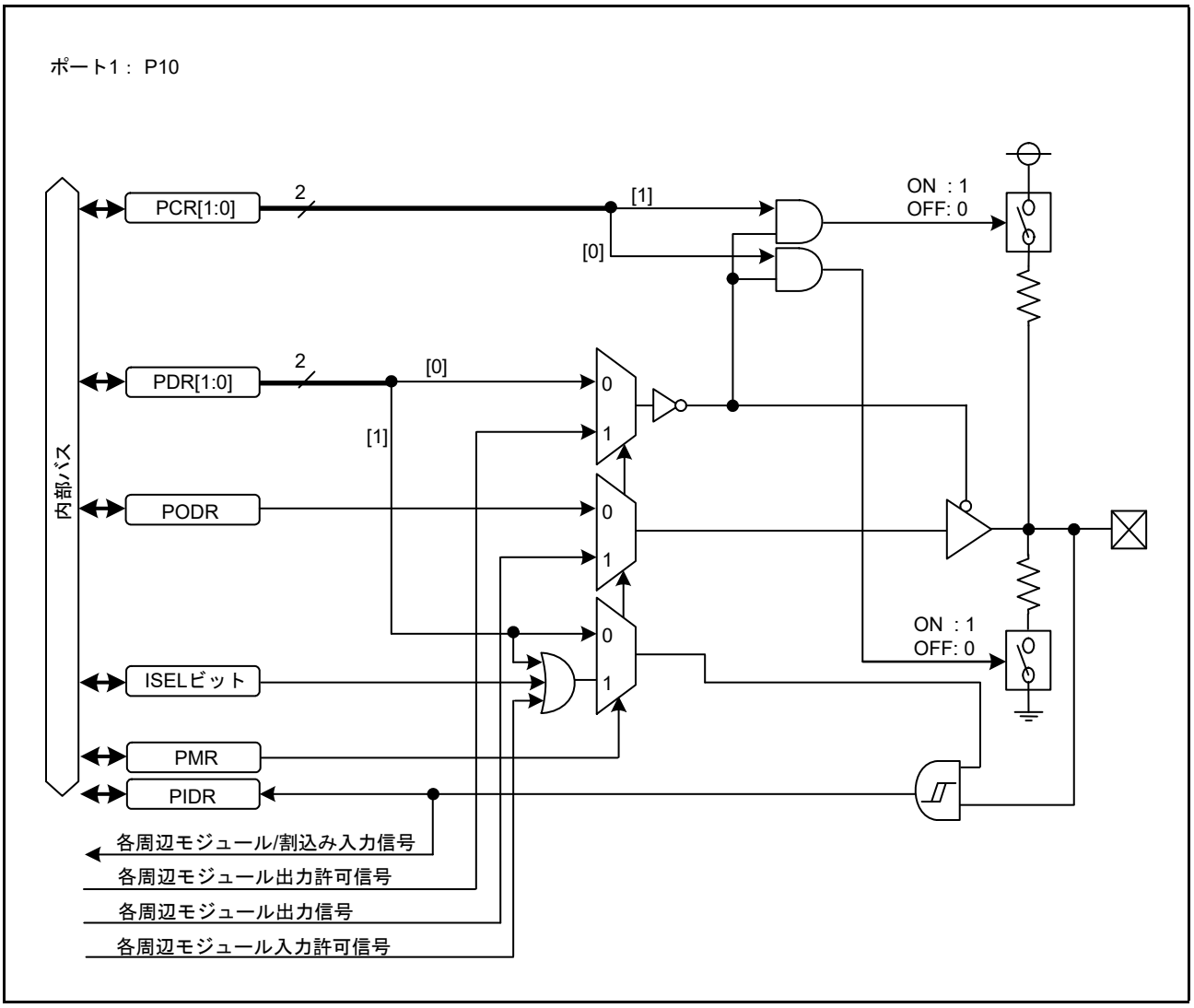


図 17.5 入出力ポートの構成（5）

17.3　レジスタの説明

17.3.1　ポート方向レジスタ（PDR）

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの不使用／入力／出力（入力許可）を指定するレジスタです。“00”（不使用）を設定した場合、入力 Hi-Z 状態から本 LSI を保護することができます。

アドレス　PORT0.PDR A000 0000h、PORT1.PDR A000 0002h、PORT2.PDR A000 0004h、PORT3.PDR A000 0006h、PORT4.PDR A000 0008h、PORT5.PDR A000 000Ah、PORT6.PDR A000 000Ch、PORT7.PDR A000 000Eh、PORT8.PDR A000 0010h、PORT9.PDR A000 0012h、PORTA.PDR A000 0014h、PORTB.PDR A000 0016h、PORTC.PDR A000 0018h、PORTD.PDR A000 001Ah、PORTE.PDR A000 001Ch、PORTF.PDR A000 001Eh、PORTG.PDR A000 0020h、PORTH.PDR A000 0022h、PORTJ.PDR A000 0024h、PORTK.PDR A000 0026h、PORTL.PDR A000 0028h、PORTM.PDR A000 002Ah、PORTN.PDR A000 002Ch、PORTP.PDR A000 002Eh、PORTR.PDR A000 0030h、PORTS.PDR A000 0032h、PORTT.PDR A000 0034h、PORTU.PDR A000 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	B7[1:0]		B6[1:0]		B5[1:0]		B4[1:0]		B3[1:0]		B2[1:0]		B1[1:0]		B0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	B0[1:0]	Pm0方向制御ビット	奇数b 偶数b 0　0：不使用（Hi-Z入力保護） 0　1：設定禁止 1　0：入力（入力ポートとして機能） 1　1：出力（出力ポートとして機能（ポートリード可能））	R/W
b3-b2	B1[1:0]	Pm1方向制御ビット		R/W
b5-b4	B2[1:0]	Pm2方向制御ビット		R/W
b7-b6	B3[1:0]	Pm3方向制御ビット		R/W
b9-b8	B4[1:0]	Pm4方向制御ビット		R/W
b11-b10	B5[1:0]	Pm5方向制御ビット		R/W
b13-b12	B6[1:0]	Pm6方向制御ビット		R/W
b15-b14	B7[1:0]	Pm7方向制御ビット		R/W

m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U

PORTm.PDR レジスタの各ビットは、それぞれポート m の各端子に対応しており、2 ビット単位で指定できます。ただし、176 ピンの製品は、ポート m（ポート 9、J ～ N、P、R ～ U）を “00”（不使用）に設定してください。

P30、PC0 ～ PC7 端子は入力専用のため、PORT3.PDR.B0、PORTC.PDR.Bn （n = 0 ～ 7）ビットには “00”（不使用）または “10”（入力）を書き込んでください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書き込む場合は、必ず “0” を書き込んでください。

17.3.2　ポート出力データレジスタ（PODR）

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

アドレス　PORT0.PODR A000 0040h、PORT1.PODR A000 0041h、PORT2.PODR A000 0042h、PORT3.PODR A000 0043h、PORT4.PODR A000 0044h、PORT5.PODR A000 0045h、PORT6.PODR A000 0046h、PORT7.PODR A000 0047h、PORT8.PODR A000 0048h、PORT9.PODR A000 0049h、PORTA.PODR A000 004Ah、PORTB.PODR A000 004Bh、PORTC.PODR A000 004Ch、PORTD.PODR A000 004Dh、PORTE.PODR A000 004Eh、PORTF.PODR A000 004Fh、PORTG.PODR A000 0050h、PORTH.PODR A000 0051h、PORTJ.PODR A000 0052h、PORTK.PODR A000 0053h、PORTL.PODR A000 0054h、PORTM.PODR A000 0055h、PORTN.PODR A000 0056h、PORTP.PODR A000 0057h、PORTR.PODR A000 0058h、PORTS.PODR A000 0059h、PORTT.PODR A000 005Ah、PORTU.PODR A000 005Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0：Low出力 1：High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U

176 ピンの製品については、ポート m（ポート 9、J ～ N、P、R ～ U）端子のビットは予約ビットです。必ず “0”（Low 出力）を書き込んでください。

P30、PC0 ～ PC7 端子は入力専用のため、PORT3.PODR.B0、PORTC.PODR.Bn （n = 0 ～ 7）ビットは予約ビットです。存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書き込む場合は、必ず “0” を書き込んでください。

17.3.3　ポート入力データレジスタ（PIDR）

PIDR レジスタは、入力ポート端子の状態を反映するレジスタです。

アドレス　PORT0.PIDR A000 0060h、PORT1.PIDR A000 0061h、PORT2.PIDR A000 0062h、PORT3.PIDR A000 0063h、PORT4.PIDR A000 0064h、PORT5.PIDR A000 0065h、PORT6.PIDR A000 0066h、PORT7.PIDR A000 0067h、PORT8.PIDR A000 0068h、PORT9.PIDR A000 0069h、PORTA.PIDR A000 006Ah、PORTB.PIDR A000 006Bh、PORTC.PIDR A000 006Ch、PORTD.PIDR A000 006Dh、PORTE.PIDR A000 006Eh、PORTF.PIDR A000 006Fh、PORTG.PIDR A000 0070h、PORTH.PIDR A000 0071h、PORTJ.PIDR A000 0072h、PORTK.PIDR A000 0073h、PORTL.PIDR A000 0074h、PORTM.PIDR A000 0075h、PORTN.PIDR A000 0076h、PORTP.PIDR A000 0077h、PORTR.PIDR A000 0078h、PORTS.PIDR A000 0079h、PORTT.PIDR A000 007Ah、PORTU.PIDR A000 007Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	0：Low 入力 1：High 入力	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U

PORTm.PDR レジスタが “10” または “11” に設定されている場合、PORTm.PIDR レジスタを読むと、PORTm.PMR レジスタ の値に関係なく端子の状態が読めます。

存在しない端子のビットは予約ビットです。予約ビットに対する読み出し値は不定です。書き込みは無効になります。

17.3.4　ポートモードレジスタ（PMR）

PMR レジスタは、ポートの端子機能を指定するレジスタです。

アドレス　PORT0.PMR A000 0080h、PORT1.PMR A000 0081h、PORT2.PMR A000 0082h、PORT3.PMR A000 0083h、PORT4.PMR A000 0084h、PORT5.PMR A000 0085h、PORT6.PMR A000 0086h、PORT7.PMR A000 0087h、PORT8.PMR A000 0088h、PORT9.PMR A000 0089h、PORTA.PMR A000 008Ah、PORTB.PMR A000 008Bh、PORTC.PMR A000 008Ch、PORTD.PMR A000 008Dh、PORTE.PMR A000 008Eh、PORTF.PMR A000 008Fh、PORTG.PMR A000 0090h、PORTH.PMR A000 0091h、PORTJ.PMR A000 0092h、PORTK.PMR A000 0093h、PORTL.PMR A000 0094h、PORTM.PMR A000 0095h、PORTN.PMR A000 0096h、PORTP.PMR A000 0097h、PORTR.PMR A000 0098h、PORTS.PMR A000 0099h、PORTT.PMR A000 009Ah、PORTU.PMR A000 009Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値（注1）	0	0	0	0	0	0	0	0

注1.　ポート3のPMRレジスタのリセット後の値は18hです。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0端子モード制御ビット	0：汎用入出力ポートとして使用 1：周辺機能として使用	R/W
b1	B1	Pm1端子モード制御ビット		R/W
b2	B2	Pm2端子モード制御ビット		R/W
b3	B3	Pm3端子モード制御ビット		R/W
b4	B4	Pm4端子モード制御ビット		R/W
b5	B5	Pm5端子モード制御ビット		R/W
b6	B6	Pm6端子モード制御ビット		R/W
b7	B7	Pm7端子モード制御ビット		R/W

m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U

PORTm.PMR レジスタの各ビットは、それぞれポート m の各端子に対応しており、1 ビット単位で指定できます。ただし、176 ピンの製品については、ポート m（ポート 9、J ～ N、P、R~U）端子のビットは予約ビットです。必ず “0”（汎用入出力ポート）を書き込んでください。存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書き込む場合は、必ず “0” を書き込んでください。

17.3.5　プルアップ／プルダウン制御レジスタ（PCR）

PCR レジスタは、ポートの入力プルアップ／プルダウン抵抗の有効／ 無効を制御するレジスタです。

汎用ポート、周辺モジュールの端子が入力状態のとき、PORTm.PCR レジスタが “10” のビットに対応する端子の入力プルアップ抵抗が有効になり、“01” のビットに対応する端子は入力プルダウン抵抗が有効になります。

汎用ポート出力、周辺モジュール出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。なお、P30、PC0 ～ PC7 端子には、本機能はありません。

また、リセット中もプルアップ／プルダウン抵抗は無効になります。

アドレス　PORT0.PCR A000 0100h、PORT1.PCR A000 0102h、PORT2.PCR A000 0104h、PORT3.PCR A000 0106h、
PORT4.PCR A000 0108h、PORT5.PCR A000 010Ah、PORT6.PCR A000 010Ch、PORT7.PCR A000 010Eh、
PORT8.PCR A000 0110h、PORT9.PCR A000 0112h、PORTA.PCR A000 0114h、PORTB.PCR A000 0116h、
PORTD.PCR A000 011Ah、PORTE.PCR A000 011Ch、PORTF.PCR A000 011Eh、
PORTG.PCR A000 0120h、PORTH.PCR A000 0122h、PORTJ.PCR A000 0124h、PORTK.PCR A000 0126h、
PORTL.PCR A000 0128h、PORTM.PCR A000 012Ah、PORTN.PCR A000 012Ch、PORTP.PCR A000 012Eh、
PORTR.PCR A000 0130h、PORTS.PCR A000 0132h、PORTT.PCR A000 0134h 、PORTU.PCR A000 0136h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	B7[1:0]		B6[1:0]		B5[1:0]		B4[1:0]		B3[1:0]		B2[1:0]		B1[1:0]		B0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	B0[1:0]	Pm0入力プルアップ／プルダウン抵抗制御ビット	奇数b 偶数b 0　0：入力プルアップ抵抗／プルアップ抵抗無効 0　1：入力プルダウン抵抗有効 1　0：入力プルアップ抵抗有効 1　1：設定禁止	R/W
b3-b2	B1[1:0]	Pm1入力プルアップ／プルダウン抵抗制御ビット		R/W
b5-b4	B2[1:0]	Pm2入力プルアップ／プルダウン抵抗制御ビット		R/W
b7-b6	B3[1:0]	Pm3入力プルアップ／プルダウン抵抗制御ビット		R/W
b9-b8	B4[1:0]	Pm4入力プルアップ／プルダウン抵抗制御ビット		R/W
b11-b10	B5[1:0]	Pm5入力プルアップ／プルダウン抵抗制御ビット		R/W
b13-b12	B6[1:0]	Pm6入力プルアップ／プルダウン抵抗制御ビット		R/W
b15-b14	B7[1:0]	Pm7入力プルアップ／プルダウン抵抗制御ビット		R/W

m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U

存在しない端子のビットは予約ビットです。予約ビットは、読むと “00b” が読めます。書き込む場合は、必ず “00b” を書き込んでください。

17.3.6　駆動能力制御レジスタ（DSCR）

DSCR レジスタは、ポートの駆動能力を制御するレジスタです。

CSn 空間バスコントロールレジスタ（CSnBCR）で SDRAM（TYPE[2:0] ビット = 100b）に設定する場合は本レジスタで CKIO 端子を高駆動出力に設定してください。

アドレス　PORT1.DSCR A000 0142h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	B0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	P10駆動能力制御ビット	0：通常出力 1：高駆動出力	R/W
b15-b1	—	予約ビット	読むと“0” が読めます。書く場合、“0” としてください。	R/W

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

注．　SDRAM を接続する場合は、高駆動出力に設定してください。

17.4 未使用端子の処理

表 17.3 に未使用端子の処理内容を示します。

表17.3 未使用端子の処理内容

端子名	処理内容
MD0, MD1, MD2	—（モード端子として使用）
BSCANP	—（バウンダリスキャン許可端子として使用）
OSCTH	—（クロック入力モード端子として使用）
EXTAL	—（水晶発振子接続端子または外部クロック入力端子として使用）
XTAL	端子を開放（オープン）
ERROROUT#	端子を開放（オープン）
RSTOUT#	端子を開放（オープン）
TRST#	抵抗を介してVSSに接続（プルダウン）、もしくはRES#端子と同じ信号が入力されるようにしてください。
TCK	抵抗を介してVSSに接続（プルダウン）
TMS	抵抗を介してVCCQ33に接続（プルアップ）
ポート34（TDI）	抵抗を介してVCCQ33に接続（プルアップ）
ポート0～9、A～H、J～N、P、R～U（ポート34を除く）（注1）	端子を解放（オープン）、または抵抗を介してVCCQ33に接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）
USB0_DP USB0_DM	端子を開放（オープン）
USB_RREF	端子を開放（オープン）
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREFH1	AVCC1に接続
VREFL1	AVSS1に接続
AN000～AN007	抵抗を介してAVSS0に接続（プルダウン）

注1. 未使用端子とする場合は、ポート方向レジスタ（PDR）の設定をリセット解除後の値である“不使用（Hi-Z入力保護）”に設定してください。

18.　マルチファンクションピンコントローラ（MPC）

18.1　概要

本 LSI は、周辺機能の入出力、および割り込み端子を複数のポートに兼用しています。マルチファンクションピンコントローラ（MPC）は、使用する周辺機能の入出力、および割り込み端子を兼用している複数のポートの中から選択し、選択した端子に機能を割り付けるモジュールです。

表 18.1 に兼用端子構成一覧を示します。パッケージの違いによる端子の有無については、表内に○、×で示します。同一機能を複数の端子で有効にすることは禁止です。

表 18.1　兼用端子構成一覧 (1 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320 ピン	176 ピン
デバッグインタフェース		TDI（入力）	P34	○	○
		TDO（出力）	P33	○	○
		TRACECLK（出力）	P10	○	○
			P70	○	○
			PP7	○	×
		TRACECTL（出力）	P00	○	○
			P71	○	○
			PP6	○	×
		TRACEDATA0（出力）	P72	○	○
			PE0	○	○
			PR0	○	×
		TRACEDATA1（出力）	P73	○	○
			PE1	○	○
			PR1	○	×
		TRACEDATA2（出力）	P74	○	○
			PE2	○	○
			PR2	○	×
		TRACEDATA3（出力）	P75	○	○
			PE3	○	○
			PR3	○	×
		TRACEDATA4（出力）	P76	○	○
			PE4	○	○
			PR4	○	×
		TRACEDATA5（出力）	P77	○	○
			PE5	○	○
			PR5	○	×
		TRACEDATA6（出力）	PA0	○	○
			PE6	○	○
			PR6	○	×
		TRACEDATA7（出力）	PA1	○	○
			PE7	○	○
			PR7	○	×

表18.1　兼用端子構成一覧 (2 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
外部バスコントローラ		A0（出力）	P23	○	○
		A1（出力）	PG0	○	○
		A2（出力）	PG1	○	○
		A3（出力）	PG2	○	○
		A4（出力）	PG3	○	○
		A5（出力）	PG4	○	○
		A6（出力）	PG5	○	○
		A7（出力）	PG6	○	○
		A8（出力）	PG7	○	○
		A9（出力）	PH0	○	○
		A10（出力）	PH1	○	○
		A11（出力）	PH2	○	○
		A12（出力）	PH3	○	○
		A13（出力）	PH4	○	○
		A14（出力）	PH5	○	○
		A15（出力）	PH6	○	○
		A16（出力）	PH7	○	○
		A17（出力）	P20	○	○
		A18（出力）	P25	○	○
		A19（出力）	P26	○	○
		A20（出力）	P27	○	○
		A21（出力）	PA6	○	○
			PD5	○	○
			PT6	○	×
		A22（出力）	PA7	○	○
			PD6	○	○
			PT7	○	×
		A23（出力）	P87	○	○
			PK2	○	×
		A24（出力）	P55	○	×
			PB4	○	○
			PK3	○	×
		A25（出力）	P97	○	×
			PF7	○	×
		D0（入出力）	P00	○	○
		D1（入出力）	P01	○	○
		D2（入出力）	P02	○	○
		D3（入出力）	P03	○	○
		D4（入出力）	P04	○	○
		D5（入出力）	P05	○	○
		D6（入出力）	P06	○	○
		D7（入出力）	P07	○	○
		D8（入出力）	PE0	○	○
		D9（入出力）	PE1	○	○

表18.1　兼用端子構成一覧 (3 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
外部バスコントローラ		D10（入出力）	PE2	○	○
		D11（入出力）	PE3	○	○
		D12（入出力）	PE4	○	○
		D13（入出力）	PE5	○	○
		D14（入出力）	PE6	○	○
		D15（入出力）	PE7	○	○
		D16（入出力）	P70	○	○
		D17（入出力）	P71	○	○
		D18（入出力）	P72	○	○
		D19（入出力）	P73	○	○
		D20（入出力）	P74	○	○
		D21（入出力）	P75	○	○
		D22（入出力）	P76	○	○
		D23（入出力）	P77	○	○
		D24（入出力）	PA0	○	○
		D25（入出力）	PA1	○	○
		D26（入出力）	PA2	○	○
		D27（入出力）	PA3	○	○
		D28（入出力）	PA4	○	○
		D29（入出力）	PA5	○	○
		D30（入出力）	PA6	○	○
		D31（入出力）	PA7	○	○
		CKIO（出力）	P10	○	○
		CS0#（出力）	P21	○	○
		CS1#（出力）	P50	○	×
			PB3	○	○
			PD1	○	×
		CS2#（出力）	P16	○	○
			P45	○	×
		CS3#（出力）	P15	○	○
			PT4	○	×
		CS4#（出力）	P16	○	○
			PD0	○	×
		CS5#（出力）	P17	○	○
			P92	○	×
			PK1	○	×
		RD#（出力）	P22	○	○
		RD/WR#（出力）	P24	○	○
		BS#（出力）	P41	○	×
			P56	○	○
			PT5	○	×
		WAIT#（入力）	P44	○	×
			PC0	○	○
			PD2	○	×

表18.1　兼用端子構成一覧 (4 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
外部バスコントローラ		WE0#/DQMLL（出力）	P36	○	○
		WE1#/DQMLU（出力）	P37	○	○
		WE2#/DQMUL（出力）	P43	○	○
		WE3#/DQMUU/AH#（出力）	P47	○	○
		RAS#（出力）	P13	○	○
			P90	○	×
		CAS#（出力）	P14	○	○
			P91	○	×
			PK0	○	×
		CKE（出力）	P15	○	○
			P46	○	×
ダイレクトメモリアクセスコントローラ	DMAC0	DREQ0（入力）	P65	○	○
			PC6	○	×
			PN7	○	×
		DACK0（出力）	P61	○	○
			P66	○	×
			PP1	○	×
		TEND0（出力）	P60	○	○
			P67	○	×
			PP0	○	×
	DMAC1	DREQ1（入力）	P26	○	○
			PR0	○	×
		DACK1（出力）	P23	○	○
			PP7	○	×
		TEND1（出力）	P25	○	○
			PR1	○	×
	DMAC2	DREQ2（入力）	PA2	○	○
			PT6	○	×
		DACK2（出力）	PA3	○	○
			PT7	○	×
		TEND2（出力）	PA4	○	○
			PT5	○	×

表18.1　兼用端子構成一覧 (5 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
割り込み	NMI	NMI（入力）	P35	○	○
	IRQ0	IRQ0（入力）	P10	○	○
			P70	○	○
			PT0	○	×
	IRQ1	IRQ1（入力）	P21	○	○
			P51	○	○
			PS1	○	×
	IRQ2	IRQ2（入力）	P22	○	○
			PE2	○	○
			PU2	○	×
	IRQ3	IRQ3（入力）	P73	○	○
			PB3	○	○
			PE3	○	○
	IRQ4	IRQ4（入力）	P94	○	×
			PH4	○	○
			PL4	○	×
	IRQ5	IRQ5（入力）	P55	○	×
			P85	○	○
			PN5	○	×
	IRQ6	IRQ6（入力）	PA6	○	○
			PE6	○	○
			PM6	○	×
	IRQ7	IRQ7（入力）	P97	○	×
			PA7	○	○
			PF7	○	×

表18.1　兼用端子構成一覧 (6 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
割り込み	IRQ8	IRQ8（入力）	P50	○	×
			P80	○	×
			PJ0	○	×
	IRQ9	IRQ9（入力）	P11	○	×
			PC1	○	○
			PR1	○	×
	IRQ10	IRQ10（入力）	P32	○	×
			PJ2	○	×
			PN2	○	×
	IRQ11	IRQ11（入力）	P83	○	×
			PJ3	○	×
			PT3	○	×
	IRQ12	IRQ12（入力）	P24	○	○
			P44	○	×
			PN4	○	×
	IRQ13	IRQ13（入力）	P75	○	○
			P95	○	×
			PU5	○	×
	IRQ14	IRQ14（入力）	P66	○	×
			PJ6	○	×
			PS6	○	×
	IRQ15	IRQ15（入力）	P67	○	×
			PJ7	○	×
			PL7	○	×
マルチファンクションタイマユニット3	MTU0	MTIOC0A（入出力）	PE6	○	○
			PP4	○	×
		MTIOC0B（入出力）	PE4	○	○
			PP3	○	×
		MTIOC0C（入出力）	PE5	○	○
			PP2	○	×
		MTIOC0D（入出力）	PE3	○	○
			PP1	○	×
	MTU1	MTIOC1A（入出力）	P72	○	○
			P93	○	×
			PB2	○	○
		MTIOC1B（入出力）	PE0	○	○
			PH3	○	○
	MTU2	MTIOC2A（入出力）	P07	○	○
			PH2	○	○
		MTIOC2B（入出力）	P06	○	○
			PH1	○	○

表18.1　兼用端子構成一覧 (7 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
マルチファンクションタイマユニット3	MTU3	MTIOC3A（入出力）	P05	○	○
			PN7	○	×
		MTIOC3B（入出力）	P16	○	○
			PA2	○	○
			PB7	○	○
		MTIOC3C（入出力）	P04	○	○
			PN6	○	×
		MTIOC3D（入出力）	P15	○	○
			PA1	○	○
			PF6	○	○
	MTU4	MTIOC4A（入出力）	P14	○	○
			PA0	○	○
			PF5	○	○
		MTIOC4B（入出力）	P12	○	×
			P76	○	○
			P86	○	○
		MTIOC4C（入出力）	P13	○	○
			P77	○	○
			P87	○	○
		MTIOC4D（入出力）	P11	○	×
			P75	○	○
			PD7	○	○

表18.1　兼用端子構成一覧 (8 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
マルチファンクションタイマユニット3	MTU5	MTIC5U（入力）	P03	○	○
			P23	○	○
		MTIC5V（入力）	P02	○	○
			P21	○	○
		MTIC5W（入力）	P01	○	○
			PH7	○	○
	MTU6	MTIOC6A（入出力）	P00	○	○
			PN5	○	×
		MTIOC6B（入出力）	PA7	○	○
			PS5	○	×
		MTIOC6C（入出力）	P47	○	○
			PN4	○	×
		MTIOC6D（入出力）	P70	○	○
			PS4	○	×
	MTU7	MTIOC7A（入出力）	PE7	○	○
			PS3	○	×
		MTIOC7B（入出力）	P22	○	○
			PS1	○	×
		MTIOC7C（入出力）	P42	○	○
			PS2	○	×
		MTIOC7D（入出力）	PH6	○	○
			PS0	○	×
	MTU8	MTIOC8A（入出力）	P40	○	○
			PN3	○	×
		MTIOC8B（入出力）	P43	○	○
			PN2	○	×
		MTIOC8C（入出力）	P27	○	○
			PN1	○	×
		MTIOC8D（入出力）	P26	○	○
			PN0	○	×
	MTU	MTCLKA（入力）	P74	○	○
			P95	○	×
			PB1	○	○
		MTCLKB（入力）	P73	○	○
			P94	○	×
			PB0	○	○
		MTCLKC（入力）	P25	○	○
			PE2	○	○
		MTCLKD（入力）	P20	○	○
			PE1	○	○

表18.1　兼用端子構成一覧 (9 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
ポートアウトプットイネーブル3	POE0	POE0#（入力）	P71	○	○
			P96	○	×
			PB5	○	○
	POE4	POE4#（入力）	PR1	○	×
	POE8	POE8#（入力）	PE7	○	○
			PP0	○	×
	POE10	POE10#（入力）	P71	○	○
			P96	○	×
			PB5	○	○
汎用PWMタイマ	GPT0	GTIOC0A（入出力）	P16	○	○
			PA2	○	○
			PB7	○	○
		GTIOC0B（入出力）	P15	○	○
			PA1	○	○
			PF6	○	○
	GPT1	GTIOC1A（入出力）	P14	○	○
			PA0	○	○
			PF5	○	○
		GTIOC1B（入出力）	P13	○	○
			P77	○	○
			P87	○	○
	GPT2	GTIOC2A（入出力）	P12	○	×
			P76	○	○
			P86	○	○
		GTIOC2B（入出力）	P11	○	×
			P75	○	○
			PD7	○	○
	GPT3	GTIOC3A（入出力）	P66	○	×
			PA6	○	○
		GTIOC3B（入出力）	P67	○	×
			PA7	○	○
	GPT	GTETRG（入力）	PC0	○	○
			PA3	○	○
16ビットタイマパルスユニット	TPU0（ユニット0）	TIOCA0（入出力）	P10	○	○
			PT3	○	×
		TIOCB0（入出力）	P06	○	○
			P27	○	○
			PT3	○	×
		TIOCC0（入出力）	P81	○	×
			PE4	○	○
		TIOCD0（入出力）	P22	○	○
			PE6	○	○
			PJ5	○	×

表18.1　兼用端子構成一覧 (10 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
16ビットタイマパルスユニット	TPU1（ユニット0）	TIOCA1（入出力）	P00	○	○
			PT2	○	×
		TIOCB1（入出力）	P07	○	○
			P21	○	○
			PT2	○	×
	TPU2（ユニット0）	TIOCA2（入出力）	P01	○	○
			PA3	○	○
			PT1	○	×
		TIOCB2（入出力）	PE0	○	○
			PT1	○	×
	TPU3（ユニット0）	TIOCA3（入出力）	P02	○	○
			PA4	○	○
			PT0	○	×
		TIOCB3（入出力）	PE1	○	○
			PT0	○	×
		TIOCC3（入出力）	P80	○	×
			PE5	○	○
		TIOCD3（入出力）	P82	○	○
			PE7	○	○
	TPU4（ユニット0）	TIOCA4（入出力）	P03	○	○
			PA5	○	○
			PS7	○	×
		TIOCB4（入出力）	PE2	○	○
			PS7	○	×
	TPU5（ユニット0）	TIOCA5（入出力）	P04	○	○
			P90	○	×
			PS6	○	×
		TIOCB5（入出力）	PE3	○	○
			PS6	○	×
	TPU（ユニット0）	TCLKA（入力）	PB6	○	○
			PG5	○	○
		TCLKB（入力）	PB5	○	○
			PG6	○	○
		TCLKC（入力）	PB1	○	○
			PC6	○	×
			PP3	○	×
		TCLKD（入力）	P44	○	×
			PB0	○	○

表18.1　兼用端子構成一覧 (11 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
16ビットタイマパルスユニット	TPU6（ユニット1）	TIOCA6（入出力）	PL2	○	×
			PR7	○	×
		TIOCB6（入出力）	PK6	○	×
			PR7	○	×
		TIOCC6（入出力）	PN4	○	×
			PU5	○	×
		TIOCD6（入出力）	PN7	○	×
			PU3	○	×
	TPU7（ユニット1）	TIOCA7（入出力）	PL3	○	×
			PR6	○	×
		TIOCB7（入出力）	PK7	○	×
			PR6	○	×
	TPU8（ユニット1）	TIOCA8（入出力）	PL5	○	×
			PR5	○	×
		TIOCB8（入出力）	PK5	○	×
			PR5	○	×
	TPU9（ユニット1）	TIOCA9（入出力）	PL6	○	×
			PR4	○	×
		TIOCB9（入出力）	PL0	○	×
			PR4	○	×
		TIOCC9（入出力）	PU4	○	×
			PN6	○	×
		TIOCD9（入出力）	PU2	○	×
			PN5	○	×
	TPU10（ユニット1）	TIOCA10（入出力）	PR3	○	×
			PU0	○	×
		TIOCB10（入出力）	PL1	○	×
			PR3	○	×
	TPU11（ユニット1）	TIOCA11（入出力）	PP6	○	×
			PR2	○	×
			PU1	○	×
		TIOCB11（入出力）	PK4	○	×
			PR2	○	×
	TPU（ユニット1）	TCLKE（入力）	PM2	○	×
			PR0	○	×
		TCLKF（入力）	PP7	○	×
			PU6	○	×
		TCLKG（入力）	PC5	○	×
			PR0	○	×
		TCLKH（入力）	PC4	○	×
			PP2	○	×
			PP7	○	×

表18.1　兼用端子構成一覧 (12 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
プログラマブルパルスジェネレータ	PPG0	PO0（出力）	P36	○	○
		PO1（出力）	P37	○	○
		PO2（出力）	PG0	○	○
		PO3（出力）	PG1	○	○
		PO4（出力）	PG2	○	○
		PO5（出力）	PG3	○	○
		PO6（出力）	PG4	○	○
		PO7（出力）	PG5	○	○
		PO8（出力）	PG6	○	○
		PO9（出力）	PG7	○	○
		PO10（出力）	PH0	○	○
		PO11（出力）	PH1	○	○
		PO12（出力）	PH2	○	○
		PO13（出力）	PH3	○	○
		PO14（出力）	PH4	○	○
		PO15（出力）	PH5	○	○
	PPG1	PO16（出力）	PM3	○	×
		PO17（出力）	PM4	○	×
		PO18（出力）	PM5	○	×
		PO19（出力）	PM6	○	×
		PO20（出力）	PM7	○	×
		PO21（出力）	PN1	○	×
		PO22（出力）	PP5	○	×
		PO23（出力）	PS6	○	×
		PO24（出力）	PS7	○	×
		PO25（出力）	PT0	○	×
		PO26（出力）	PT1	○	×
		PO27（出力）	PT2	○	×
		PO28（出力）	PT3	○	×
		PO29（出力）	PT4	○	×
		PO30（出力）	PT5	○	×
		PO31（出力）	PK0	○	×

表18.1　兼用端子構成一覧 (13 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
コンペアマッチタイマW	CMTW0	TOC0（出力）	PD7	○	○
			PG2	○	○
		TIC0（入力）	PC7	○	×
			PD5	○	○
	CMTW1	TOC1（出力）	P86	○	○
			PG4	○	○
		TIC1（入力）	PD6	○	○
			PG3	○	○
	CMTW2	TOC2（出力）	P71	○	○
			PF6	○	○
		TIC2（入力）	P72	○	○
			PF5	○	○
	CMTW3	TOC3（出力）	P92	○	×
			PB7	○	○
		TIC3（入力）	P93	○	×
			PB0	○	○

表18.1　兼用端子構成一覧（14 / 22）

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	SCI0	RXD0（入力）	P24	○	○
			P42	○	○
		TXD0（出力）	P23	○	○
			P40	○	○
		SCK0（入出力）	P22	○	○
			P41	○	×
		CTS0#（入出力）	P21	○	○
			P44	○	×
		RTS0#（出力）	P27	○	○
			PH6	○	○
	SCI1	RXD1（入力）	P73	○	○
			PE6	○	○
			PP6	○	×
		TXD1（出力）	P72	○	○
			PE5	○	○
			PR0	○	×
		SCK1（入出力）	P71	○	○
			PE7	○	○
			PP7	○	×
		CTS1#（入出力）	P74	○	○
			PE3	○	○
			PR1	○	×
		RTS1#（出力）	P70	○	○
			PE4	○	○
			PR2	○	×
	SCI2	RXD2（入力）	P92	○	×
			PA4	○	○
			PS6	○	×
		TXD2（出力）	P91	○	×
			PA5	○	○
			PS7	○	×
		SCK2（入出力）	P93	○	×
			PA3	○	○
			PT0	○	×
		CTS2#（入出力）	P95	○	×
			PA6	○	○
			PT3	○	×
		RTS2#（出力）	P94	○	×
			PA7	○	○
			PT1	○	×

表18.1　兼用端子構成一覧 (15 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	SCI3	RXD3（入力）	PB4	○	○
			PJ5	○	×
			PU2	○	×
		TXD3（出力）	PB3	○	○
			PJ4	○	×
			PU3	○	×
		SCK3（入出力）	PB6	○	○
			PJ6	○	×
			PU1	○	×
		CTS3#（入出力）	PB5	○	○
			PJ7	○	×
			PU4	○	×
		RTS3#（出力）	P82	○	○
			PF7	○	×
			PU5	○	×
	SCI4	RXD4（入力）	P84	○	×
			PC3	○	○
			PU7	○	×
		TXD4（出力）	P83	○	×
			P85	○	○
			P90	○	×
			PM0	○	×
		SCK4（入出力）	P82	○	○
			P85	○	○
			PM1	○	×
		CTS4#（入出力）	P81	○	×
			PB1	○	○
			PU6	○	×
		RTS4#（出力）	P80	○	×
			PB6	○	○
			PM2	○	×
I^2Cバスインタフェース	RIIC0	SCL0（入出力）	PC3	○	○
			PC4	○	×
		SDA0（入出力）	PC2	○	○
			PC5	○	×
	RIIC1	SCL1（入出力）	PC0	○	○
			PC6	○	×
		SDA1（入出力）	PC1	○	○
			PC7	○	×

表18.1　兼用端子構成一覧 (16 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
イーサネットコントローラ	Ether0	CLKOUT25M0（出力）	P85	○	○
		ETH0_TXC（入力）	PC2	○	○
		ETH0_TXEN（出力）	P82	○	○
		ETH0_TXER（出力）	PF7	○	×
		ETH0_TXD0（出力）	PD5	○	○
			PJ3	○	×
		ETH0_TXD1（出力）	PD6	○	○
			PJ2	○	×
		ETH0_TXD2（出力）	PJ1	○	×
		ETH0_TXD3（出力）	PJ0	○	×
		ETH0_INT（入力）	P52	○	×
			PA5	○	○
		ETH0_RXC（入力）	PC3	○	○
		ETH0_RXDV（入力）	P80	○	×
			PC3	○	○
		ETH0_RXER（入力）	P81	○	×
			PB4	○	○
		ETH0_RXD0（入力）	P87	○	○
			PJ4	○	×
		ETH0_RXD1（入力）	PB2	○	○
			PJ5	○	×
		ETH0_RXD2（入力）	PJ6	○	×
		ETH0_RXD3（入力）	PJ7	○	×
		ETH0_CRS（入力）	P83	○	×
		ETH0_COL（入力）	P84	○	×
		PHYLINK0（入力）	P50	○	×
			PC1	○	○
		ETH_MDC（出力）	PB6	○	○
		ETH_MDIO（入出力）	PB5	○	○
		ETHSWSECOUT（出力）	P55	○	×
			PA3	○	○
		PHYRESETOUT#（出力）	P17	○	○
			PB3	○	○
			PU6	○	×

表18.1　兼用端子構成一覧 (17 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
イーサネットコントローラ	Ether1	CLKOUT25M1（出力）	P54	○	○
		ETH1_TXC（入力）	P87	○	○
		ETH1_TXEN（出力）	PF5	○	○
		ETH1_TXER（出力）	P17	○	○
			P56	○	○
			PA5	○	○
		ETH1_TXD0（出力）	P86	○	○
		ETH1_TXD1（出力）	PD7	○	○
		ETH1_TXD2（出力）	PD6	○	○
		ETH1_TXD3（出力）	PD5	○	○
		ETH1_INT（入力）	P53	○	×
			PA4	○	○
		ETH1_RXC（入力）	PB2	○	○
		ETH1_RXDV（入力）	PB0	○	○
		ETH1_RXER（入力）	PB1	○	○
		ETH1_RXD0（入力）	PF6	○	○
		ETH1_RXD1（入力）	PB7	○	○
		ETH1_RXD2（入力）	PC0	○	○
			PC2	○	○
		ETH1_RXD3（入力）	PC1	○	○
		ETH1_CRS（入力）	P82	○	○
			PB3	○	○
		ETH1_COL（入力）	PB4	○	○
		PHYLINK1（入力）	P51	○	○
	Ether2	CLKOUT25M2（出力）	PM0	○	×
		ETH2_TXC（入力）	PL1	○	×
		ETH2_TXEN（出力）	PL2	○	×
		ETH2_TXER（出力）	PK4	○	×
		ETH2_TXD0（出力）	PL0	○	×
		ETH2_TXD1（出力）	PK5	○	×
		ETH2_TXD2（出力）	PK7	○	×
		ETH2_TXD3（出力）	PK6	○	×
		ETH2_INT（入力）	PD4	○	×
		ETH2_RXC（入力）	PU1	○	×
		ETH2_RXDV（入力）	PL7	○	×
		ETH2_RXER（入力）	PU0	○	×
		ETH2_RXD0（入力）	PL3	○	×
		ETH2_RXD1（入力）	PL4	○	×
		ETH2_RXD2（入力）	PL5	○	×
		ETH2_RXD3（入力）	PL6	○	×
		ETH2_CRS（入力）	PU2	○	×
		ETH2_COL（入力）	PU3	○	×
		MII2_MDC（出力）	PU4	○	×
		MII2_MDIO（入出力）	PU5	○	×
		PHYRESETOUT2#（出力）	PD3	○	×

表18.1　兼用端子構成一覧 (18 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
イーサキャットスレーブコントローラ（オプション）	Ether0	CATLEDRUN（出力）	PJ7	○	×
			PM4	○	×
		CATIRQ（出力）	PJ6	○	×
			PU7	○	×
		CATLEDSTER（出力）	PJ1	○	×
			PM5	○	×
		CATLEDERR（出力）	PJ0	○	×
			PM1	○	×
		CATLINKACT0（出力）	P83	○	×
			PM6	○	×
		CATLINKACT1（出力）	P84	○	×
			PM7	○	×
		CATSYNC1（出力）	PB2	○	×
			PM2	○	×
		CATSYNC0（出力）	PB4	○	×
			PM3	○	×
		CATLATCH1（入力）	PB2	○	×
			PM2	○	×
		CATLATCH0（入力）	PB4	○	×
			PM3	○	×
		CATI2CCLK（入出力）	PC3	○	×
			PC4	○	×
		CATI2CDATA（入出力）	PC2	○	×
			PC5	○	×
USB2.0ホスト／ファンクションモジュール	USB	USB_VBUSIN（入力）	P30	○	○
			PC6	○	×
		USB_VBUSEN（出力）	P31	○	×
			P43	○	○
			P66	○	×
			P85	○	○
		USB_OVRCUR（入力）	P32	○	×
			P67	○	×
			P70	○	○
			P82	○	○
CANモジュール	CAN0	CRXD0（入力）	P30	○	○
			PC6	○	×
		CTXD0（出力）	P60	○	○
			P67	○	×
	CAN1	CRXD1（入力）	PC3	○	○
			PC7	○	×
		CTXD1（出力）	P61	○	○
			P66	○	×
			PB3	○	○

表18.1　兼用端子構成一覧 (19 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
シリアルペリフェラルインタフェース	RSPI0	RSPCK0（入出力）	P77	○	○
			PE7	○	○
		MOSI0（入出力）	PA0	○	○
			PE5	○	○
		MISO0（入出力）	PA1	○	○
			PE6	○	○
		SSL00（入出力）	P75	○	○
			PE4	○	○
		SSL01（出力）	P76	○	○
			PE3	○	○
		SSL02（出力）	PA2	○	○
			PE2	○	○
		SSL03（出力）	P74	○	○
			PE1	○	○
	RSPI1	RSPCK1（入出力）	PG2	○	○
			PN3	○	×
		MOSI1（入出力）	PG4	○	○
			PN2	○	×
		MISO1（入出力）	PG3	○	○
			PN1	○	×
		SSL10（入出力）	PG5	○	○
			PN0	○	×
		SSL11（出力）	PG6	○	○
			PN4	○	×
シリアルペリフェラルインタフェース	RSPI2	RSPCK2（入出力）	P51	○	○
			P86	○	○
		MOSI2（入出力）	P54	○	○
			PK4	○	×
		MISO2（入出力）	P53	○	×
			PD6	○	○
		SSL20（入出力）	P52	○	×
			PD5	○	○
	RSPI3	RSPCK3（入出力）	PB5	○	○
			PJ1	○	×
		MOSI3（入出力）	PJ0	○	×
			PB4	○	○
		MISO3（入出力）	PB6	○	○
			PJ2	○	×
		SSL30（入出力）	PB2	○	○
			PF7	○	×

表18.1　兼用端子構成一覧 (20 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
クアッドシリアルペリフェラルインタフェース		SPBCLK（出力）	P62	○	○
		SPBMO/SPBIO0（入出力）	P63	○	○
		SPBMI/SPBIO1（入出力）	P64	○	○
		SPBIO2（入出力）	P65	○	○
		SPBIO3（入出力）	P61	○	○
		SPBSSL（出力）	P60	○	○
シリアルサウンドインタフェース	SSI0	SSISCK0（入出力）	P74	○	○
			PS1	○	×
		SSIWS0（入出力）	P76	○	○
			PS2	○	×
		SSITXD0（出力）	P72	○	○
			PS4	○	×
		SSIRXD0（入力）	P73	○	○
			PS3	○	×
		AUDIO_CLK（入力）	PA1	○	○
			PS0	○	×
ΔΣインタフェース		MCLK0（入出力）	PB3	○	○
			PP4	○	×
			PA7	○	○
		MDAT0（入力）	PB4	○	○
			PP5	○	×
			PA6	○	○
		MCLK1（入出力）	P87	○	○
			PP2	○	×
			PA5	○	○
		MDAT1（入力）	PB2	○	○
			PP3	○	×
			PA4	○	○
		MCLK2（入出力）	PD6	○	○
			PP0	○	×
			PA3	○	○
		MDAT2（入力）	PC1	○	○
			PP1	○	×
			PA2	○	○
		MCLK3（入出力）	PD5	○	○
			PN6	○	×
			PA1	○	○
		MDAT3（入力）	PC0	○	○
			PN7	○	×
			PA0	○	○

表18.1　兼用端子構成一覧 (21 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
12ビットA/Dコンバータ	Unit0	ADTRG0（入力）	P17	○	○
			P44	○	×
			PA4	○	○
			PJ3	○	×
	Unit1	AN100（入力）（注1）	P90	○	×
		AN101（入力）（注1）	P91	○	×
		AN102（入力）（注1）	P92	○	×
		AN103（入力）（注1）	P93	○	×
		AN104（入力）（注1）	P94	○	×
		AN105（入力）（注1）	P95	○	×
		AN106（入力）（注1）	P96	○	×
		AN107（入力）（注1）	P97	○	×
		AN108（入力）（注1）	PD0	○	×
		AN109（入力）（注1）	PD1	○	×
		AN110（入力）（注1）	PD2	○	×
		AN111（入力）（注1）	PD3	○	×
		AN112（入力）（注1）	PD4	○	×
		AN113（入力）（注1）	PD5	○	×
		AN114（入力）（注1）	PD6	○	×
		AN115（入力）（注1）	PD7	○	×
		AN1_ANEX0（出力）（注1）	P86	○	×
		AN1_ANEX1（入力）（注1）	P87	○	×
		ADTRG1（入力）	P00	○	×
			P97	○	×
			PL2	○	×
Encoder I/F		ENCIF12（入出力）	P16	○	×
			PK1	○	×
			PN7	○	×
		ENCIF11（入出力）	P15	○	×
			PK0	○	×
			PN6	○	×
		ENCIF10（入出力）	P14	○	×
			PT7	○	×
			PN5	○	×
		ENCIF09（入出力）	P96	○	×
			PT3	○	×
			PN1	○	×
		ENCIF08（入出力）	P94	○	×
			PT1	○	×
			PR1	○	×
		ENCIF07（入出力）	P93	○	×
			PT0	○	×
			PR0	○	×

表18.1　兼用端子構成一覧 (22 / 22)

モジュール／機能	チャネル	端子機能	割り当てポート	パッケージ	
				320ピン	176ピン
Encoder I/F		ENCIF06（入出力）	P91	○	×
			PS6	○	×
			PP6	○	×
		ENCIF05（入出力）	PA2	○	×
			PR7	○	×
		ENCIF04（入出力）	P75	○	×
			PR6	○	×
		ENCIF03（入出力）	P73	○	×
			PR5	○	×
		ENCIF02（入出力）	P72	○	×
			PR4	○	×
		ENCIF01（入出力）	P71	○	×
			PR3	○	×
		ENCIF00（入出力）	P70	○	×
			PR2	○	×

注1.　この端子を使用する場合は、該当端子の設定を不使用かつ汎用入出力ポート設定にしてください（PORTm.PDR.Bnビットを”00”およびPORTm.PMR.Bnビットを”0”にする）。

18.2　レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書き込む場合は、リセット後の値を書いてください。

18.2.1　書き込みプロテクトレジスタ（PWPR）

PWPR レジスタは、PFS レジスタ、および本レジスタの PFSWE ビットに対する書き込みの許可／禁止を設定するレジスタです。

アドレス　A000 02FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	PFSWE	PFS レジスタ書き込み許可ビット	0：PFS レジスタへの書き込みを禁止 1：PFS レジスタへの書き込みを許可	R/W
b7	B0WI	PFSWE ビット書き込み禁止ビット	0：PFSWE ビットへの書き込みを許可 1：PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット（PFS レジスタ書き込み許可ビット）

PFSWE ビットを “1” に設定したときのみ、PmnPFS レジスタ（m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U、n = 0 ～ 7）に対する書き込みが許可されます。

PFSWE ビットを “1” にする場合は、B0WI ビットに “0” を書いた後、PFSWE ビットを “1” にしてください。

B0WI ビット（PFSWE ビット書き込み禁止ビット）

B0WI ビットを “0” に設定したときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.2　P0n 端子機能制御レジスタ（P0nPFS）（n = 0 ～ 7）

P0n 端子機能制御レジスタ（P0nPFS）は、使用する端子の機能を選択するレジスタです。P0nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合は、プロテクトを解除してから行ってください。

アドレス　P00PFS A000 0200h、P01PFS A000 0201h、P02PFS A000 0202h、P03PFS A000 0203h、P04PFS A000 0204h、P05PFS A000 0205h、P06PFS A000 0206h、P07PFS A000 0207h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.2 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

表 18.2　320 ピン FBGA、176 ピン HLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	P00	P01	P02	P03	P04	P05	P06	P07
000000b（リセット後の値）	Hi-Z							
000001b	MTIOC6A	MTIC5W	MTIC5V	MTIC5U	MTIOC3C	MTIOC3A	MTIOC2B	MTIOC2A
000011b	TIOCA1	TIOCA2	TIOCA3	TIOCA4	TIOCA5	—	TIOCB0	TIOCB1
001001b	ADTRG1	—	—	—	—	—	—	—
100010b	D0	D1	D2	D3	D4	D5	D6	D7
100111b	TRACECTL	—	—	—	—	—	—	—

注.　—：設定しないでください。

18.2.3　P1n 端子機能制御レジスタ（P1nPFS）（n = 0 ～ 7）

P1n 端子機能制御レジスタ（P1nPFS）は、使用する端子の機能を選択するレジスタです。P1nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P10PFS A000 0208h、P11PFS A000 0209h、P12PFS A000 020Ah、P13PFS A000 020Bh、P14PFS A000 020Ch、P15PFS A000 020Dh、P16PFS A000 020Eh、P17PFS A000 020Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.3、表 18.4 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.3　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	P10	P11	P12	P13	P14	P15	P16	P17
000000b（リセット後の値）	Hi-Z							
000001b	—	MTIOC4D	MTIOC4B	MTIOC4C	MTIOC4A	MTIOC3D	MTIOC3B	—
000011b	TIOCA0	—	—	—	—	—	—	—
001001b	—	—	—	—	—	—	—	ADTRG0
010010b	—	—	—	—	—	—	—	ETH1_TXER
010110b	—	—	—	—	—	—	—	PHYRESETOUT#
011110b	—	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A	—
100010b	CKIO	—	—	RAS#	CAS#	CS3#	CS4#	CS5#
100011b	—	—	—	—	—	CKE	CS2#	—
100111b	TRACECLK	—	—	—	—	—	—	—
101011b	—	—	—	—	ENCIF10	ENCIF11	ENCIF12	—

注.　—：設定しないでください。

表18.4　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	P10	P13	P14	P15	P16	P17
000000b（リセット後の値）	Hi-Z					
000001b	—	MTIOC4C	MTIOC4A	MTIOC3D	MTIOC3B	—
000011b	TIOCA0	—	—	—	—	—
001001b	—	—	—	—	—	ADTRG0
010010b	—	—	—	—	—	ETH1_TXER
010110b	—	—	—	—	—	PHYRESETOUT#
011110b	—	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A	—
100010b	CKIO	RAS#	CAS#	CS3#	CS4#	CS5#
100011b	—	—	—	CKE	CS2#	—
100111b	TRACECLK	—	—	—	—	—

注.　—：設定しないでください。

18.2.4　P2n 端子機能制御レジスタ（P2nPFS）（n = 0 ～ 7）

P2n 端子機能制御レジスタ（P2nPFS）は、使用する端子の機能を選択するレジスタです。P2nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P20PFS A000 0210h、P21PFS A000 0211h、P22PFS A000 0212h、P23PFS A000 0213h、P24PFS A000 0214h、P25PFS A000 0215h、P26PFS A000 0216h、P27PFS A000 0217h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.5 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.5　320 ピン FBGA、176 ピン HLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
000000b（リセット後の値）	Hi-Z							
000001b	MTCLKD	MTIC5V	—	MTIC5U	—	MTCLKC	MTIOC8D	MTIOC8C
000010b	—	—	MTIOC7B	—	—	—	—	—
000011b	—	TIOCB1	TIOCD0	—	—	—	—	TIOCB0
001010b	—	—	—	—	—	—	—	RTS0#
001011b	—	CTS0#	SCK0	TXD0	RXD0	—	—	—
011000b	—	—	—	DACK1	—	TEND1	DREQ1	—
100010b	A17	CS0#	RD#	A0	RD/WR#	A18	A19	A20

注.　—：設定しないでください。

18.2.5　P3n 端子機能制御レジスタ（P3nPFS）（n = 0 ～ 7）

P3n 端子機能制御レジスタ（P3nPFS）は、使用する端子の機能を選択するレジスタです。P3nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。P35 には周辺機能は割り付けられていません。P35 を NMI 端子として、使用する場合は、「12.3.4　NMI 端子割り込み」を参照してください。

アドレス　P30PFS A000 0218h、P31PFS A000 0219h、P32PFS A000 021Ah、P33PFS A000 021Bh、P34PFS A000 021Ch、P35PFS A000 021Dh、P36PFS A000 021Eh、P37PFS A000 021Fh

	b7	b6	b5	b4	b3	b2	b1	b0	
	—	ISEL	PSEL[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	（注1）
	0	0	1	0	0	1	1	1	（注2）

注1.　P33PFS, P34PFS 以外
注2.　P33PFS, P34PFS

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.6、表 18.7 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子または NMI 入力端子として使用しない 1：IRQn 入力端子または NMI 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子、または NMI 入力端子（P35）として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。NMI 端子として、使用する場合は、「12.3.4　NMI 端子割り込み」を参照してください。

表 18.6　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子						
	P30	P31	P32	P33	P34	P36	P37
000000b（リセット後の値）（注1）	Hi-Z						
000110b	—	—	—	—	—	PO0	PO1
010000b	CRXD0	—	—	—	—	—	—
011001b	USB_VBUSIN	USB_VBUSEN	USB_OVRCUR	—	—	—	—
100010b	—	—	—	—	—	WE0#/DQMLL	WE1#/DQMLU
100111b（リセット後の値）（注2）	—	—	—	TDO	TDI	—	—

注1.　P33、P34 以外
注2.　P33、P34 のみ
注.　—：設定しないでください。

表18.7　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子				
	P30	P33	P34	P36	P37
000000b	Hi-Z				
000110b	—	—	—	PO0	PO1
010000b	CRXD0	—	—	—	—
011001b	USB_VBUSIN	—	—	—	—
100010b	—	—	—	WE0#/DQMLL	WE1#/DQMLU
100111b（リセット後の値）	—	TDO	TDI	—	—

注.　—：設定しないでください。

18.2.6　P4n 端子機能制御レジスタ（P4nPFS）（n = 0 ～ 7）

P4n 端子機能制御レジスタ（P4nPFS）は、使用する端子の機能を選択するレジスタです。P4nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P40PFS A000 0220h、P41PFS A000 0221h、P42PFS A000 0222h、P43PFS A000 0223h、P44PFS A000 0224h、P45PFS A000 0225h、P46PFS A000 0226h、P47PFS A000 0227h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.8、表 18.9 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.8　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	P40	P41	P42	P43	P44	P45	P46	P47
000000b（リセット後の値）	Hi-Z							
000001b	MTIOC8A	—	—	MTIOC8B	—	—	—	MTIOC6C
000010b	—	—	MTIOC7C	—	—	—	—	—
000011b	—	—	—	—	TCLKD	—	—	—
001001b	—	—	—	—	ADTRG0	—	—	—
001010b	TXD0	SCK0	RXD0	—	CTS0#	—	—	—
011001b	—	—	—	USB_VBUSEN	—	—	—	—
100010b	—	—	—	WE2#/DQMUL	—	CS2#	CKE	WE3#/DQMUU/AH#
100011b	—	BS#	—	—	WAIT#	—	—	—

注.　—：設定しないでください。

表18.9　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子			
	P40	P42	P43	P47
000000b（リセット後の値）	Hi-Z			
000001b	MTIOC8A	—	MTIOC8B	MTIOC6C
000010b	—	MTIOC7C	—	—
001010b	TXD0	RXD0	—	—
011001b	—	—	USB_VBUSEN	—
100010b	—	—	WE2#/DQMUL	WE3#/DQMUU/AH#

注.　—：設定しないでください。

18.2.7　P5n 端子機能制御レジスタ（P5nPFS）（n = 0 ～ 6）

P5n 端子機能制御レジスタ（P5nPFS）は、使用する端子の機能を選択するレジスタです。P5nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P50PFS A000 0228h、P51PFS A000 0229h、P52PFS A000 022Ah、P53PFS A000 022Bh、P54PFS A000 022Ch、P55PFS A000 022Dh、P56PFS A000 022Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.10、表 18.11 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.10　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子						
	P50	P51	P52	P53	P54	P55	P56
000000b（リセット後の値）	Hi-Z						
001101b	—	RSPCK2	—	—	MOSI2	—	—
001110b	—	—	SSL20	MISO2	—	—	—
010001b	PHYLINK0	PHYLINK1	ETH0_INT	ETH1_INT	CLKOUT25M1	ETHSWSECOUT	ETH1_TXER
100010b	—	—	—	—	—	—	BS#
100011b	CS1#	—	—	—	—	A24	—

注.　—：設定しないでください。

表18.11　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	P51	P54	P56
000000b（リセット後の値）	Hi-Z		
001101b	RSPCK2	MOSI2	—
010001b	PHYLINK1	CLKOUT25M1	ETH1_TXER
100010b	—	—	BS#

注.　—：設定しないでください。

18.2.8　P6n 端子機能制御レジスタ（P6nPFS）（n = 0 ～ 7）

P6n 端子機能制御レジスタ（P6nPFS）は、使用する端子の機能を選択します。P6nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P60PFS A000 0230h、P61PFS A000 0231h、P62PFS A000 0232h、P63PFS A000 0233h、P64PFS A000 0234h、P65PFS A000 0235h、P66PFS A000 0236h、P67PFS A000 0237h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.12、表 18.13 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.12　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	P60	P61	P62	P63	P64	P65	P66	P67
000000b（リセット後の値）	Hi-Z							
010000b	CTXD0	CTXD1	—	—	—	—	CTXD1	CTXD0
011000b	TEND0	DACK0	—	—	—	DREQ0	DACK0	TEND0
011001b	—	—	—	—	—	—	USB_VBUSEN	USB_OVRCUR
011011b	SPBSSL	SPBIO3	SPBCLK	SPBMO/ SPBIO0	SPBMI/ SPBIO1	SPBIO2	—	—
011110b	—	—	—	—	—	—	GTIOC3A	GTIOC3B

注.　—：設定しないでください。

表18.13　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	P60	P61	P62	P63	P64	P65
000000b（リセット後の値）	Hi-Z					
010000b	CTXD0	CTXD1	—	—	—	—
011000b	TEND0	DACK0	—	—	—	DREQ0
011011b	SPBSSL	SPBIO3	SPBCLK	SPBMO/SPBIO0	SPBMI/SPBIO1	SPBIO2

注.　—：設定しないでください。

18.2.9　P7n 端子機能制御レジスタ（P7nPFS）（n = 0 ～ 7）

P7n 端子機能制御レジスタ（P7nPFS）は、使用する端子の機能を選択するレジスタです。P7nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P70PFS A000 0238h、P71PFS A000 0239h、P72PFS A000 023Ah、P73PFS A000 023Bh、P74PFS A000 023Ch、P75PFS A000 023Dh、P76PFS A000 023Eh、P77PFS A000 023Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.14 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.14　320 ピン FBGA、176 ピン HLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	P70	P71	P72	P73	P74	P75	P76	P77
000000b（リセット後の値）	Hi-Z							
000001b	—	—	MTIOC1A	MTCLKB	MTCLKA	MTIOC4D	MTIOC4B	MTIOC4C
000010b	MTIOC6D	—	—	—	—	—	—	—
000111b	—	POE0#	—	—	—	—	—	—
001000b	—	POE10#	—	—	—	—	—	—
001010b	RTS1#	SCK1	TXD1	RXD1	CTS1#	—	—	—
001101b	—	—	—	—	SSL03	SSL00	SSL01	RSPCK0
010111b	—	—	SSITXD0	SSIRXD0	SSISCK0	—	SSIWS0	—
011001b	USB_OVRCUR	—	—	—	—	—	—	—
011101b	—	TOC2	TIC2	—	—	—	—	—
011110b	—	—	—	—	—	GTIOC2B	GTIOC2A	GTIOC1B
100010b	D16	D17	D18	D19	D20	D21	D22	D23
100111b	TRACECLK	TRACECTL	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3	TRACEDATA4	TRACEDATA5
101011b	ENCIF00	ENCIF01	ENCIF02	ENCIF03	—	ENCIF04	—	—

注.　—：設定しないでください。

18.2.10　P8n 端子機能制御レジスタ（P8nPFS）（n = 0 ～ 7）

P8n 端子機能制御レジスタ（P8nPFS）は、使用する端子の機能を選択するレジスタです。P8nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビット、アナログ入力機能のない端子の ASEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P80PFS A000 0240h、P81PFS A000 0241h、P82PFS A000 0242h、P83PFS A000 0243h、P84PFS A000 0244h、P85PFS A000 0245h、P86PFS A000 0246h、P87PFS A000 0247h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.15、表 18.16 参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

ASEL ビットを “1” にした場合は、ISEL ビットを “1” にしても IRQn 入力端子として機能しません。

ASEL ビット（アナログ入力機能選択ビット）

端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ（PORTm.PMR）で汎用入出力ポートを選択し、ポート方向レジスタ（PORTm.PDR）で不使用としてください。このとき、端子状態を読むことはできません。

表18.15　320ピンFBGA端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	P80	P81	P82	P83	P84	P85	P86	P87
000000b（リセット後の値）	Hi-Z							
000001b	—	—	—	—	—	—	MTIOC4B	MTIOC4C
000011b	TIOCC3	TIOCC0	TIOCD3	—	—	—	—	—
001010b	RTS4#	CTS4#	SCK4	—	—	TXD4	—	—
001011b	—	—	RTS3#	TXD4	RXD4	SCK4	—	—
001110b	—	—	—	—	—	—	RSPCK2	—
010001b	ETH0_RXDV	ETH0_RXER	ETH0_TXEN	ETH0_CRS	ETH0_COL	CLKOUT25M0	ETH1_TXD0	ETH1_TXC
010010b	—	—	ETH1_CRS	—	—	—	—	ETH0_RXD0
010101b	—	—	—	CATLINKACT0（注1）	CATLINKACT1（注1）	—	—	—
011001b	—	—	USB_OVRCUR	—	—	USB_VBUSEN	—	—
011101b	—	—	—	—	—	—	TOC1	—
011110b	—	—	—	—	—	—	GTIOC2A	GTIOC1B
100010b	—	—	—	—	—	—	—	A23
101000b	—	—	—	—	—	—	—	MCLK1

注.　—：設定しないでください。
注1.　EtherCAT（オプション）搭載製品のみ

表18.16　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子			
	P82	P85	P86	P87
000000b（リセット後の値）	Hi-Z			
000001b	—	—	MTIOC4B	MTIOC4C
000011b	TIOCD3	—	—	—
001010b	SCK4	TXD4	—	—
001011b	RTS3#	SCK4	—	—
001110b	—	—	RSPCK2	—
010001b	ETH0_TXEN	CLKOUT25M0	ETH1_TXD0	ETH1_TXC
010010b	ETH1_CRS	—	—	ETH0_RXD0
011001b	USB_OVRCUR	USB_VBUSEN	—	—
011101b	—	—	TOC1	—
011110b	—	—	GTIOC2A	GTIOC1B
100010b	—	—	—	A23
101000b	—	—	—	MCLK1

注.　—：設定しないでください。

18.2.11　P9n 端子機能制御レジスタ（P9nPFS）（n = 0 ～ 7）

P9n 端子機能制御レジスタ（P9nPFS）は、使用する端子の機能を選択するレジスタです。P9nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビット、アナログ入力機能のない端子の ASEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　P90PFS A000 0248h、P91PFS A000 0249h、P92PFS A000 024Ah、P93PFS A000 024Bh、P94PFS A000 024Ch、P95PFS A000 024Dh、P96PFS A000 024Eh、P97PFS A000 024Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.17 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

ASEL ビットを “1” にした場合は、ISEL ビットを “1” にしても IRQn 入力端子として機能しません。

ASEL ビット（アナログ入力機能選択ビット）

端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ（PORTm.PMR）で汎用入出力ポートを選択し、ポート方向レジスタ（PORTm.PDR）で不使用としてください。このとき、端子状態を読むことはできません。

表18.17　320ピンFBGA端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	P90	P91	P92	P93	P94	P95	P96	P97
000000b（リセット後の値）	Hi-Z							
000001b	—	—	—	MTIOC1A	MTCLKB	MTCLKA	—	—
000011b	TIOCA5	—	—	—	—	—	—	—
000111b	—	—	—	—	—	—	POE0#	—
001000b	—	—	—	—	—	—	POE10#	—
001001b	—	—	—	—	—	—	—	ADTRG1
001011b	—	TXD2	RXD2	SCK2	RTS2#	CTS2#	—	—
001100b	TXD4	—	—	—	—	—	—	—
011101b	—	—	TOC3	TIC3	—	—	—	—
100011b	RAS#	CAS#	CS5#	—	—	—	—	A25
101011b	—	ENCIF06	—	ENCIF07	ENCIF08	—	ENCIF09	—

注.　—：設定しないでください。

18.2.12　PAn 端子機能制御レジスタ（PAnPFS）（n = 0 ～ 7）

PAn 端子機能制御レジスタ（PAnPFS）は、使用する端子の機能を選択するレジスタです。PAnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PA0PFS A000 0250h、PA1PFS A000 0251h、PA2PFS A000 0252h、PA3PFS A000 0253h、PA4PFS A000 0254h、PA5PFS A000 0255h、PA6PFS A000 0256h、PA7PFS A000 0257h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.18 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.18　320 ピン FBGA、176 ピン HLFQFP 端子入出力機能レジスタ設定　(1 / 2)

PSEL[5:0] ビット設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
000000b（リセット後の値）	Hi-Z							
000001b	MTIOC4A	MTIOC3D	MTIOC3B	—	—	—	—	—
000010b	—	—	—	—	—	—	—	MTIOC6B
000011b	—	—	—	TIOCA2	TIOCA3	TIOCA4	—	—
001001b	—	—	—	—	ADTRG0	—	—	—
001010b	—	—	—	SCK2	RXD2	TXD2	CTS2#	RTS2#
001101b	MOSI0	MISO0	SSL02	—	—	—	—	—
010001b	—	—	—	—	—	ETH0_INT	—	—
010010b	—	—	—	ETHSWSECOUT	ETH1_INT	ETH1_TXER	—	—
010111b	—	AUDIO_CLK	—	—	—	—	—	—
011000b	—	—	DREQ2	DACK2	TEND2	—	—	—
011110b	GTIOC1A	GTIOC0B	GTIOC0A	GTETRG	—	—	GTIOC3A	GTIOC3B
100010b	D24	D25	D26	D27	D28	D29	D30	D31
100011b	—	—	—	—	—	—	A21	A22
101000b	MDAT3	MCLK3	MDAT2	MCLK2	MDAT1	MCLK1	MDAT0	MCLK0

表18.18　320ピンFBGA、176ピンHLFQFP端子入出力機能レジスタ設定　(2 / 2)

PSEL[5:0]ビット設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
100111b	TRACE DATA6	TRACE DATA7	—	—	—	—	—	—
101011b	—	—	ENCIF05	—	—	—	—	—

注.　—：設定しないでください。

18.2.13　PBn 端子機能制御レジスタ（PBnPFS）（n = 0 ～ 7）

PBn 端子機能制御レジスタ（PBnPFS）は、使用する端子の機能を選択するレジスタです。PBnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PB0PFS A000 0258h、PB1PFS A000 0259h、PB2PFS A000 025Ah、PB3PFS A000 025Bh、PB4PFS A000 025Ch、PB5PFS A000 025Dh、PB6PFS A000 025Eh、PB7PFS A000 025Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.19 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表18.19　320ピンFBGA、176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
000000b（リセット後の値）	Hi-Z							
000001b	MTCLKB	MTCLKA	MTIOC1A	—	—	—	—	MTIOC3B
000011b	TCLKD	TCLKC	—	—	—	TCLKB	TCLKA	—
000111b	—	—	—	—	—	POE0#	—	—
001000b	—	—	—	—	—	POE10#	—	—
001010b	—	—	—	TXD3	RXD3	CTS3#	SCK3	—
001011b	—	CTS4#	—	—	—	—	RTS4#	—
001110b	—	—	SSL30	—	MOSI3	RSPCK3	MISO3	—
010000b	—	—	—	CTXD1	—	—	—	—
010001b	ETH1_RXDV	ETH1_RXER	ETH1_RXC	ETH1_CRS	ETH1_COL	ETH_MDIO	ETH_MDC	ETH1_RXD1
010010b	—	—	ETH0_RXD1	—	ETH0_RXER	—	—	—
010101b	—	—	CATSYNC1（注1）（注2）	PHYRESET OUT#	CATSYNC0（注1）（注2）	—	—	—
010110b	—	—	CATLATCH1（注1）（注2）	—	CATLATCH0（注1）（注2）	—	—	—
011101b	TIC3	—	—	—	—	—	—	TOC3
011110b	—	—	—	—	—	—	—	GTIOC0A
100010b	—	—	—	CS1#	A24	—	—	—
101000b	—	—	MDAT1	MCLK0	MDAT0	—	—	—

注.　—：設定しないでください。
注1.　176ピンは未対応
注2.　EtherCAT（オプション）搭載製品のみ

18.2.14　PCn 端子機能制御レジスタ（PCnPFS）（n = 0 ～ 7）

PCn 端子機能制御レジスタ（PCnPFS）は、使用する端子の機能を選択するレジスタです。PCnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PC0PFS A000 0260h、PC1PFS A000 0261h、PC2PFS A000 0262h、PC3PFS A000 0263h、PC4PFS A000 0264h、PC5PFS A000 0265h、PC6PFS A000 0266h、PC7PFS A000 0267h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.20、表 18.21 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.20　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
000000b（リセット後の値）	Hi-Z							
000011b	—	—	—	—	TCLKH	TCLKG	TCLKC	—
001010b	—	—	—	RXD4	—	—	—	—
001111b	SCL1	SDA1	SDA0	SCL0	SCL0	SDA0	SCL1	SDA1
010000b	—	—	—	CRXD1	—	—	CRXD0	CRXD1
010001b	ETH1_RXD2	ETH1_RXD3	ETH0_TXC	ETH0_RXC	—	—	—	—
010010b	—	PHYLINK0	ETH1_RXD2	ETH0_RXDV	—	—	—	—
010101b	—	—	CATI2CDATA（注1）	CATI2CCLK（注1）	—	—	—	—
010110b	—	—	—	—	CATI2CCLK（注1）	CATI2CDATA（注1）	—	—
011000b	—	—	—	—	—	—	DREQ0	—
011001b	—	—	—	—	—	—	USB_VBUSIN	—
011101b	—	—	—	—	—	—	—	TIC0
011110b	GTETRG	—	—	—	—	—	—	—
100010b	WAIT#	—	—	—	—	—	—	—
101000b	MDAT3	MDAT2	—	—	—	—	—	—

注.　—：設定しないでください。
注1.　EtherCAT（オプション）搭載製品のみ

表18.21　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子			
	PC0	PC1	PC2	PC3
000000b（リセット後の値）	Hi-Z			
001010b	—	—	—	RXD4
001111b	SCL1	SDA1	SDA0	SCL0
010000b	—	—	—	CRXD1
010001b	ETH1_RXD2	ETH1_RXD3	ETH0_TXC	ETH0_RXC
010010b	—	PHYLINK0	ETH1_RXD2	ETH0_RXDV
011110b	GTETRG	—	—	—
100010b	WAIT#	—	—	—
101000b	MDAT3	MDAT2	—	—

注.　—：設定しないでください。

18.2.15　PDn 端子機能制御レジスタ（PDnPFS）（n = 0 ～ 7）

PDn 端子機能制御レジスタ（PDnPFS）は、使用する端子の機能を選択するレジスタです。PDnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。アナログ入力機能のない端子の ASEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PD0PFS A000 0268h、PD1PFS A000 0269h、PD2PFS A000 026Ah、PD3PFS A000 026Bh、PD4PFS A000 026Ch、PD5PFS A000 026Dh、PD6PFS A000 026Eh、PD7PFS A000 026Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	—	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.22、表 18.23 を参照してください。	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ASEL ビット（アナログ入力機能選択ビット）

端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ（PORTm.PMR）で汎用入出力ポートを選択し、ポート方向レジスタ（PORTm.PDR）で不使用としてください。このとき、端子状態を読むことはできません。

表 18.22　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
000000b（リセット後の値）	Hi-Z							
000010b	—	—	—	—	—	—	—	MTIOC4D
001101b	—	—	—	—	—	SSL20	MISO2	—
010001b	—	—	—	—	—	ETH1_TXD3	ETH1_TXD2	ETH1_TXD1
010010b	—	—	—	—	—	ETH0_TXD0	ETH0_TXD1	—
010100b	—	—	—	PHYRESETOUT2#	ETH2_INT	—	—	—
011101b	—	—	—	—	—	TIC0	TIC1	TOC0
011110b	—	—	—	—	—	—	—	GTIOC2B
100010b	—	—	—	—	—	A21	A22	—
100011b	CS4#	CS1#	WAIT#	—	—	—	—	—
101000b	—	—	—	—	—	MCLK3	MCLK2	—

注.　—：設定しないでください。

表18.23　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	PD5	PD6	PD7
000000b（リセット後の値）	Hi-Z		
000010b	—	—	MTIOC4D
001101b	SSL20	MISO2	—
010001b	ETH1_TXD3	ETH1_TXD2	ETH1_TXD1
010010b	ETH0_TXD0	ETH0_TXD1	—
011101b	TIC0	TIC1	TOC0
011110b	—	—	GTIOC2B
100010b	A21	A22	—
101000b	MCLK3	MCLK2	—

注.　—：設定しないでください。

18.2.16　PEn 端子機能制御レジスタ（PEnPFS）（n = 0 ～ 7）

PEn 端子機能制御レジスタ（PEnPFS）は、使用する端子の機能を選択するレジスタです。PEnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PE0PFS A000 0270h、PE1PFS A000 0271h、PE2PFS A000 0272h、PE3PFS A000 0273h、PE4PFS A000 0274h、PE5PFS A000 0275h、PE6PFS A000 0276h、PE7PFS A000 0277h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.24 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.24　320 ピン FBGA、176 ピン HLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
000000b（リセット後の値）	Hi-Z							
000001b	MTIOC1B	MTCLKD	MTCLKC	MTIOC0D	MTIOC0B	MTIOC0C	MTIOC0A	—
000010b	—	—	—	—	—	—	—	MTIOC7A
000011b	TIOCB2	TIOCB3	TIOCB4	TIOCB5	TIOCC0	TIOCC3	TIOCD0	TIOCD3
000111b	—	—	—	—	—	—	—	POE8#
001100b	—	—	—	CTS1#	RTS1#	TXD1	RXD1	SCK1
001110b	—	SSL03	SSL02	SSL01	SSL00	MOSI0	MISO0	RSPCK0
100010b	D8	D9	D10	D11	D12	D13	D14	D15
100111b	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3	TRACEDATA4	TRACEDATA5	TRACEDATA6	TRACEDATA7

注.　—：設定しないでください。

18.2.17　PFn 端子機能制御レジスタ（PFnPFS）（n = 5 ～ 7）

PFn 端子機能制御レジスタ（PFnPFS）は、使用する端子の機能を選択するレジスタです。PFnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PF5PFS: A000 027Dh、PF6PFS: A000 027Eh、PF7PFS: A000 027Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.25、表 18.26 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.25　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子		
	PF5	PF6	PF7
000000b（リセット後の値）	Hi-Z		
000001b	MTIOC4A	MTIOC3D	—
001010b	—	—	RTS3#
001101b	—	—	SSL30
010001b	ETH1_TXEN	ETH1_RXD0	ETH0_TXER
011101b	TIC2	TOC2	—
011110b	GTIOC1A	GTIOC0B	—
100010b	—	—	A25

注.　—：設定しないでください。

表18.26　176ピンHLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子	
	PF5	PF6
000000b（リセット後の値）	Hi-Z	
000001b	MTIOC4A	MTIOC3D
010001b	ETH1_TXEN	ETH1_RXD0
011101b	TIC2	TOC2
011110b	GTIOC1A	GTIOC0B

18.2.18　PGn 端子機能制御レジスタ（PGnPFS）（n = 0 ～ 7）

PGn 端子機能制御レジスタ（PGnPFS）は、使用する端子の機能を選択するレジスタです。PGnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス　PG0PFS A000 0280h、PG1PFS A000 0281h、PG2PFS A000 0282h、PG3PFS A000 0283h、PG4PFS A000 0284h、PG5PFS A000 0285h、PG6PFS A000 0286h、PG7PFS A000 0287h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.27 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

表 18.27　320 ピン FBGA、176 ピン HLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PG0	PG1	PG2	PG3	PG4	PG5	PG6	PG7
000000b（リセット後の値）	Hi-Z							
000011b	—	—	—	—	—	TCLKA	TCLKB	—
000110b	PO2	PO3	PO4	PO5	PO6	PO7	PO8	PO9
001101b	—	—	RSPCK1	MISO1	MOSI1	SSL10	SSL11	—
011101b	—	—	TOC0	TIC1	TOC1	—	—	—
100010b	A1	A2	A3	A4	A5	A6	A7	A8

注.　—：設定しないでください。

18.2.19　PHn 端子機能制御レジスタ（PHnPFS）（n = 0 ～ 7）

PHn 端子機能制御レジスタ（PHnPFS）は、使用する端子の機能を選択するレジスタです。PHnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PH0PFS A000 0288h、PH1PFS A000 0289h、PH2PFS A000 028Ah、PH3PFS A000 028Bh、PH4PFS A000 028Ch、PH5PFS A000 028Dh、PH6PFS A000 028Eh、PH7PFS A000 028Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.28 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.28　320 ピン FBGA、176 ピン HLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PH0	PH1	PH2	PH3	PH4	PH5	PH6	PH7
000000b（リセット後の値）	Hi-Z							
000001b	—	MTIOC2B	MTIOC2A	MTIOC1B	—	—	—	MTIC5W
000010b	—	—	—	—	—	—	MTIOC7D	—
000110b	PO10	PO11	PO12	PO13	PO14	PO15	—	—
001011b	—	—	—	—	—	—	RTS0#	—
100010b	A9	A10	A11	A12	A13	A14	A15	A16

注.　—：設定しないでください。

18.2.20　PJn 端子機能制御レジスタ（PJnPFS）（n = 0 ～ 7）

PJn 端子機能制御レジスタ（PJnPFS）は、使用する端子の機能を選択するレジスタです。PJnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PJ0PFS A000 0290h、PJ1PFS A000 0291h、PJ2PFS A000 0292h、PJ3PFS A000 0293h、PJ4PFS A000 0294h、PJ5PFS A000 0295h、PJ6PFS A000 0296h、PJ7PFS A000 0297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.29 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.29　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PJ0	PJ1	PJ2	PJ3	PJ4	PJ5	PJ6	PJ7
000000b（リセット後の値）	Hi-Z							
000011b	—	—	—	—	—	TIOCD0	—	—
001001b	—	—	—	ADTRG0	—	—	—	—
001011b	—	—	—	—	TXD3	RXD3	SCK3	CTS3#
001101b	MOSI3	RSPCK3	MISO3	—	—	—	—	—
010001b	ETH0_TXD3	ETH0_TXD2	ETH0_TXD1	ETH0_TXD0	ETH0_RXD0	ETH0_RXD1	ETH0_RXD2	ETH0_RXD3
010101b	CATLEDERR（注1）	CATLEDSTER（注1）	—	—	—	—	CATIRQ（注1）	CATLEDRUN（注1）

注.　—：設定しないでください。
注1.　EtherCAT（オプション）搭載製品のみ

18.2.21　PKn 端子機能制御レジスタ（PKnPFS）（n = 0 ～ 7）

PKn 端子機能制御レジスタ（PKnPFS）は、使用する端子の機能を選択するレジスタです。PKnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス　PK0PFS A000 0298h、PK1PFS A000 0299h、PK2PFS A000 029Ah、PK3PFS A000 029Bh、PK4PFS A000 029Ch、PK5PFS A000 029Dh、PK6PFS A000 029Eh、PK7PFS A000 029Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.30 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

表 18.30　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PK0	PK1	PK2	PK3	PK4	PK5	PK6	PK7
000000b（リセット後の値）	Hi-Z							
000011b	—	—	—	—	TIOCB11	TIOCB8	TIOCB6	TIOCB7
000110b	PO31	—	—	—	—	—	—	—
001110b	—	—	—	—	MOSI2	—	—	—
010100b	—	—	—	—	ETH2_TXER	ETH2_TXD1	ETH2_TXD3	ETH2_TXD2
100011b	CAS#	CS5#	A23	A24	—	—	—	—
101011b	ENCIF11	ENCIF12	—	—	—	—	—	—

注.　—：設定しないでください。

18.2.22　PLn 端子機能制御レジスタ（PLnPFS）（n = 0 ～ 7）

PLn 端子機能制御レジスタ（PLnPFS）は、使用する端子の機能を選択するレジスタです。PLnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PL0PFS A000 02A0h、PL1PFS A000 02A1h、PL2PFS A000 02A2h、PL3PFS A000 02A3h、PL4PFS A000 02A4h、PL5PFS A000 02A5h、PL6PFS A000 02A6h、PL7PFS A000 02A7h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.31 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.31　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PL0	PL1	PL2	PL3	PL4	PL5	PL6	PL7
000000b（リセット後の値）	Hi-Z							
000011b	TIOCB9	TIOCB10	TIOCA6	TIOCA7	—	TIOCA8	TIOCA9	—
001001b	—	—	ADTRG1	—	—	—	—	—
010100b	ETH2_TXD0	ETH2_TXC	ETH2_TXEN	ETH2_RXD0	ETH2_RXD1	ETH2_RXD2	ETH2_RXD3	ETH2_RXDV

注.　—：設定しないでください。

18.2.23　PMn 端子機能制御レジスタ（PMnPFS）（n = 0 ～ 7）

PMn 端子機能制御レジスタ（PMnPFS）は、使用する端子の機能を選択するレジスタです。PMnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PM0PFS A000 02A8h、PM1PFS A000 02A9h、PM2PFS A000 02AAh、PM3PFS A000 02ABh、PM4PFS A000 02ACh、PM5PFS A000 02ADh、PM6PFS A000 02AEh、PM7PFS A000 02AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.32 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.32　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子							
	PM0	PM1	PM2	PM3	PM4	PM5	PM6	PM7
000000b（リセット後の値）	Hi-Z							
000011b	—	—	TCLKE	—	—	—	—	—
000110b	—	—	—	PO16	PO17	PO18	PO19	PO20
001100b	TXD4	SCK4	RTS4#	—	—	—	—	—
010100b	CLKOUT25M2	—	—	—	—	—	—	—
010101b	—	—	CATSYNC1（注1）	CATSYNC0（注1）	—	—	—	—
010110b	—	CATLEDERR（注1）	CATLATCH1（注1）	CATLATCH0（注1）	CATLEDRUN（注1）	CATLEDSTER（注1）	CATLINKACT0（注1）	CATLINKACT1（注1）

注.　—：設定しないでください。
注1.　EtherCAT（オプション）搭載製品のみ

18.2.24　PNn 端子機能制御レジスタ（PNnPFS）（n = 0 ～ 7）

PNn 端子機能制御レジスタ（PNnPFS）は、使用する端子の機能を選択するレジスタです。PNnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PN0PFS A000 02B0h、PN1PFS A000 02B1h、PN2PFS A000 02B2h、PN3PFS A000 02B3h、PN4PFS A000 02B4h、PN5PFS A000 02B5h、PN6PFS A000 02B6h、PN7PFS A000 02B7h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.33 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.33　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PN0	PN1	PN2	PN3	PN4	PN5	PN6	PN7
000000b（リセット後の値）	Hi-Z							
000001b	MTIOC8D	MTIOC8C	MTIOC8B	MTIOC8A	MTIOC6C	MTIOC6A	MTIOC3C	MTIOC3A
000011b	—	—	—	—	TIOCC6	TIOCD9	TIOCC9	TIOCD6
000110b	—	PO21	—	—	—	—	—	—
001110b	SSL10	MISO1	MOSI1	RSPCK1	SSL11	—	—	—
011000b	—	—	—	—	—	—	—	DREQ0
101000b	—	—	—	—	—	—	MCLK3	MDAT3
101011b	—	ENCIF09	—	—	—	ENCIF10	ENCIF11	ENCIF12

注.　—：設定しないでください。

18.2.25　PPn 端子機能制御レジスタ（PPnPFS）（n = 0 ～ 7）

PPn 端子機能制御レジスタ（PPnPFS）は、使用する端子の機能を選択するレジスタです。PPnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス　PP0PFS A000 02B8h、PP1PFS A000 02B9h、PP2PFS A000 02BAh、PP3PFS A000 02BBh、PP4PFS A000 02BCh、PP5PFS A000 02BDh、PP6PFS A000 02BEh、PP7PFS A000 02BFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.34 を参照してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

表 18.34　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PP0	PP1	PP2	PP3	PP4	PP5	PP6	PP7
000000b（リセット後の値）	Hi-Z							
000010b	—	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—
000011b	—	—	TCLKH	TCLKC	—	—	TIOCA11	TCLKF
000100b	—	—	—	—	—	—	—	TCLKH
000110b	—	—	—	—	—	PO22	—	—
000111b	POE8#	—	—	—	—	—	—	—
001011b	—	—	—	—	—	—	RXD1	SCK1
011000b	TEND0	DACK0	—	—	—	—	—	DACK1
100111b	—	—	—	—	—	—	TRACECTL	TRACECLK
101000b	MCLK2	MDAT2	MCLK1	MDAT1	MCLK0	MDAT0	—	—
101011b	—	—	—	—	—	—	ENCIF06	—

注.　—：設定しないでください。

18.2.26　PRn 端子機能制御レジスタ（PRnPFS）（n = 0 ～ 7）

PRn 端子機能制御レジスタ（PRnPFS）は、使用する端子の機能を選択するレジスタです。PRnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PR0PFS A000 02C0h、PR1PFS A000 02C1h、PR2PFS A000 02C2h、PR3PFS A000 02C3h、PR4PFS A000 02C4h、PR5PFS A000 02C5h、PR6PFS A000 02C6h、PR7PFS A000 02C7h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.35 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.35　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PR0	PR1	PR2	PR3	PR4	PR5	PR6	PR7
000000b（リセット後の値）	Hi-Z							
000011b	TCLKE	—	TIOCA11	TIOCA10	TIOCA9	TIOCA8	TIOCA7	TIOCA6
000100b	TCLKG	—	TIOCB11	TIOCB10	TIOCB9	TIOCB8	TIOCB7	TIOCB6
000111b	—	POE4#	—	—	—	—	—	—
001011b	TXD1	CTS1#	RTS1#	—	—	—	—	—
011000b	DREQ1	TEND1	—	—	—	—	—	—
100111b	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3	TRACEDATA4	TRACEDATA5	TRACEDATA6	TRACEDATA7
101011b	ENCIF07	ENCIF08	ENCIF00	ENCIF01	ENCIF02	ENCIF03	ENCIF04	ENCIF05

注.　—：設定しないでください。

18.2.27　PSn 端子機能制御レジスタ（PSnPFS）（n = 0 ～ 7）

PSn 端子機能制御レジスタ（PSnPFS）は、使用する端子の機能を選択するレジスタです。PSnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PS0PFS A000 02C8h、PS1PFS A000 02C9h、PS2PFS A000 02CAh、PS3PFS A000 02CBh、PS4PFS A000 02CCh、PS5PFS A000 02CDh、PS6PFS A000 02CEh、PS7PFS A000 02CFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.36 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.36　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PS0	PS1	PS2	PS3	PS4	PS5	PS6	PS7
000000b（リセット後の値）	Hi-Z							
000010b	MTIOC7D	MTIOC7B	MTIOC7C	MTIOC7A	MTIOC6D	MTIOC6B	—	—
000011b	—	—	—	—	—	—	TIOCA5	TIOCA4
000100b	—	—	—	—	—	—	TIOCB5	TIOCB4
000110b	—	—	—	—	—	—	PO23	PO24
001100b	—	—	—	—	—	—	RXD2	TXD2
010111b	AUDIO_CLK	SSISCK0	SSIWS0	SSIRXD0	SSITXD0	—	—	—
101011b	—	—	—	—	—	—	ENCIF06	—

注.　—：設定しないでください。

18.2.28　PTn 端子機能制御レジスタ（PTnPFS）（n = 0 ～ 7）

PTn 端子機能制御レジスタ（PTnPFS）は、使用する端子の機能を選択するレジスタです。PTnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PT0PFS A000 02D0h、PT1PFS A000 02D1h、PT2PFS A000 02D2h、PT3PFS A000 02D3h、PT4PFS A000 02D4h、PT5PFS A000 02D5h、PT6PFS A000 02D6h、PT7PFS A000 02D7h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.37 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.37　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PT0	PT1	PT2	PT3	PT4	PT5	PT6	PT7
000000b（リセット後の値）	Hi-Z							
000011b	TIOCA3	TIOCA2	TIOCA1	TIOCA0	—	—	—	—
000100b	TIOCB3	TIOCB2	TIOCB1	TIOCB0	—	—	—	—
000110b	PO25	PO26	PO27	PO28	PO29	PO30	—	—
001100b	SCK2	RTS2#	—	CTS2#	—	—	—	—
011000b	—	—	—	—	—	TEND2	DREQ2	DACK2
100011b	—	—	—	—	CS3#	BS#	A21	A22
101011b	ENCIF07	ENCIF08	—	ENCIF09	—	—	—	ENCIF10

注.　—：設定しないでください。

18.2.29　PUn 端子機能制御レジスタ（PUnPFS）（n = 0 ～ 7）

PUn 端子機能制御レジスタ（PUnPFS）は、使用する端子の機能を選択するレジスタです。PUnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス　PU0PFS A000 02D8h、PU1PFS A000 02D9h、PU2PFS A000 02DAh、PU3PFS A000 02DBh、PU4PFS A000 02DCh、PU5PFS A000 02DDh、PU6PFS A000 02DEh、PU7PFS A000 02DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.38 を参照してください。	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PSEL[5:0] ビット（端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（割り込み入力機能選択ビット）

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

表 18.38　320 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子							
	PU0	PU1	PU2	PU3	PU4	PU5	PU6	PU7
000000b（リセット後の値）	Hi-Z							
000011b	TIOCA10	TIOCA11	TIOCD9	TIOCD6	TIOCC9	TIOCC6	TCLKF	—
001100b	—	SCK3	RXD3	TXD3	CTS3#	RTS3#	CTS4#	RXD4
010100b	ETH2_RXER	ETH2_RXC	ETH2_CRS	ETH2_COL	MII2_MDC	MII2_MDIO	—	—
010110b	—	—	—	—	—	—	PHYRESETOUT#	CATIRQ（注1）

注.　—：設定しないでください。
注1.　EtherCAT（オプション）搭載製品のみ

18.3　使用上の注意事項

18.3.1　端子入出力機能の設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. 当該端子のポート方向レジスタ（PDR）を “00”、ポートモードレジスタ（PMR）を “0” にして汎用入出力ポートに設定します。
2. 各周辺機能モジュールで、当該端子にアサインする入出力信号を設定します。
3. PWPR.B0WI ビットを “0” にした後、PWPR.PFSWE ビットを “1” に設定することで、Pmn 端子機能制御レジスタ（PmnPFS）（m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U、n = 0 ～ 7）を書き込み可能にします。
4. PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを “0” にして、PmnPFS レジスタへの書き込みを禁止してください。
6. 必要に応じて選択した端子に対する PMR レジスタの該当ビットを “1” にして、周辺機能の端子入出力機能に切り替えます。
7. 必要に応じて PDR レジスタを “10” にすることで、ポート状態をリードできます。

18.3.2　MPC レジスタ設定時の注意事項

1. Pmn 端子機能制御レジスタ（PmnPFS）（m = 0 ～ 9、A ～ H、J ～ N、P、R ～ U、n = 0 ～ 7）を設定するときは、PMR レジスタの当該端子に相当するビットが “0” の状態で設定してください。PMR レジスタの当該ビットが “1” の状態で PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力される可能性があります。また出力機能の場合は意図しないパルスが出力される可能性があります。
2. PmnPFS.ISEL ビットを設定し IRQ、NMI 端子割り込みを使用する場合、当該端子の PMR レジスタの値にかかわらず、**「12.3.3　外部端子割り込み」**の [IRQ 端子の場合] および **「12.3.4　NMI 端子割り込み」**の手順にしたがって設定してください。異なる手順で PmnPFS.ISEL ビットを設定した場合、意図しないエッジが入力され誤動作を起こす可能性があります。
3. PmnPFS レジスタで設定可能な機能以外には設定しないでください。指定機能以外に設定した場合の動作は保証されません。
4. MPC のレジスタ設定で同一の機能を複数の端子に割り当てないでください。
5. ポート 8（P86，P87 のみ）、ポート 9、ポート D は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度を劣化させないために、ポートモードレジスタ（PMR）の当該端子のビットを “0” にし、ポート方向レジスタ（PDR）の当該端子のビットを “00” にして端子を不使用にした後、PmnPFS.ASEL ビットを “1” にしてください。
6. 機能を兼用している端子のポートモードレジスタ（PMR）、ポート方向レジスタ（PDR）、Pmn 端子機能制御レジスタ（PmnPFS）の設定および注意事項を**表 18.39** に示します。端子状態の読み出しは、Pmn 端子機能制御レジスタの ASEL ビットが “0” のとき可能です。PSEL[5:0] ビットの変更は、PMR レジスタの当該端子に相当するビットが “0” のときに行ってください。

表18.39　レジスタの設定

項目	PMR.Bn	PDR.Bn[1:0]	PmnPFS			注意事項
			ASEL	ISEL	PSEL[5:0]	
リセット解除後	0 （注1）	00	0	0	000000b （注1）	リセット解除後は不使用（Hi-z入力保護）状態です
不使用時	0	00	0	0	x	
汎用入出力ポート	0	10/11 （注2）	0	0/1 （注3）	x	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
周辺機能	1	00/10 （注4）	0	0/1 （注3）	周辺機能 （表18.2～表18.38を参照）	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください ポートリード機能（PIDR.Bnビットでポートの端子状態読み出し）と併用する場合は、PDR.Bn[1:0]ビットを“10”にしてください
割り込み入力（NMI，IRQ0～15）	0	10	0	1	x	
アナログ入力	0	00	1	x （注5）	x	アナログ入力端子として使用する場合は、精度を劣化させないために、ポートモードレジスタ（PMR）の当該端子のビットを“0”にし、ポート方向レジスタ（PDR）の当該端子のビットを“00”にして端子を不使用にした後、PmnPFS.ASELビットを“1”にしてください

x：設定不要

注1.　PORT3.PMR，P33PFS.PSEL[5:0]，P34PFS.PSEL[5:0]はリセット解除後の値が異なります。
PSEL[5:0]ビットの詳細は、「18.2.5　P3n端子機能制御レジスタ（P3nPFS）（n = 0～7）」を参照してください。
PORT3.PMRについては、「17.3.4　ポートモードレジスタ（PMR）」を参照してください。

注2.　PDR.Bn[1:0]ビットを“10”にすることで、汎用入力ポートとして機能します。
PDR.Bn[1:0]ビットを“11”にすることで、汎用出力ポートとして機能します。

注3.　PmnPFS.ISELビットを“0”にした場合、IRQ端子として機能しません。
PmnPFS.ISELビットを“1”にすることで、IRQ端子として機能します（IRQ機能を兼用している場合）。

注4.　PDR.Bn[1:0]ビットを“00”にした場合、ポートリード機能（PIDR.Bnビットでポートの端子状態読み出し）は使用できません。
PDR.Bn[1:0]ビットを“10”にすることで、ポート端子の状態を読み出すことができます。

注5.　PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

18.3.3　ポートリード機能を使用する場合の注意事項

周辺機能で端子方向が双方向または出力である機能を使用する場合、端子の PDR レジスタを “00”（初期値）から “10”（入力許可）にすることで、周辺機能を使用しながら PIDR レジスタでポートの端子状態を読み出す（ポートリード機能）ことができます。

周辺機能において端子方向が入力の機能および**表 18.40** に示す入出力の機能は、常に入力が許可されており、PDR レジスタの設定をすることなくポートリード機能と併用することができます。

ただし、該当する外部端子が Hi-z 状態になると貫通電流が流れるため、外部端子が Hi-z 状態になる場合は端子をプルアップもしくはプルダウンして使用してください。

また、**表 18.41** に示す外部バスコントローラ機能を周辺機能として使用する場合、その端子の入力許可／不許可は外部バスコントローラが制御しているため、PDR レジスタを “10”（入力許可）に設定することは禁止です。

表 18.40　常時入力許可機能一覧 (1 / 4)

モジュール/機能	チャネル	端子機能
マルチファンクションタイマユニット3（注1）	MTU0	MTIOC0A（入出力）
		MTIOC0B（入出力）
		MTIOC0C（入出力）
	MTU1	MTIOC1A（入出力）
		MTIOC1B（入出力）
	MTU2	MTIOC2A（入出力）
		MTIOC2B（入出力）
	MTU3	MTIOC3A（入出力）
		MTIOC3B（入出力）
		MTIOC3C（入出力）
		MTIOC3D（入出力）
	MTU4	MTIOC4A（入出力）
		MTIOC4B（入出力）
		MTIOC4C（入出力）
		MTIOC4D（入出力）
	MTU6	MTIOC6A（入出力）
		MTIOC6B（入出力）
		MTIOC6C（入出力）
		MTIOC6D（入出力）
	MTU7	MTIOC7A（入出力）
		MTIOC7B（入出力）
		MTIOC7C（入出力）
		MTIOC7D（入出力）
	MTU8	MTIOC8A（入出力）
		MTIOC8B（入出力）
		MTIOC8C（入出力）
		MTIOC8D（入出力）

表18.40　常時入力許可機能一覧 (2 / 4)

モジュール/機能	チャネル	端子機能
汎用PWM タイマ（注1）	GPT0	GTIOC0A（入出力）
		GTIOC0B（入出力）
	GPT1	GTIOC1A（入出力）
		GTIOC1B（入出力）
	GPT2	GTIOC2A（入出力）
		GTIOC2B（入出力）
	GPT3	GTIOC3A（入出力）
		GTIOC3B（入出力）
16ビットタイマパルスユニット	TPU0（ユニット0）	TIOCA0（入出力）
		TIOCB0（入出力）
		TIOCC0（入出力）
		TIOCD0（入出力）
	TPU1（ユニット0）	TIOCA1（入出力）
		TIOCB1（入出力）
	TPU2（ユニット0）	TIOCA2（入出力）
		TIOCB2（入出力）
	TPU3（ユニット0）	TIOCA3（入出力）
		TIOCB3（入出力）
		TIOCC3（入出力）
		TIOCD3（入出力）
	TPU4（ユニット0）	TIOCA4（入出力）
		TIOCB4（入出力）
	TPU5（ユニット0）	TIOCA5（入出力）
		TIOCB5（入出力）
	TPU6（ユニット1）	TIOCA6（入出力）
		TIOCB6（入出力）
		TIOCC6（入出力）
		TIOCD6（入出力）
	TPU7（ユニット1）	TIOCA7（入出力）
		TIOCB7（入出力）
	TPU8（ユニット1）	TIOCA8（入出力）
		TIOCB8（入出力）
	TPU9（ユニット1）	TIOCA9（入出力）
		TIOCB9（入出力）
		TIOCC9（入出力）
		TIOCD9（入出力）
	TPU10（ユニット1）	TIOCA10（入出力）
		TIOCB10（入出力）
	TPU11（ユニット1）	TIOCA11（入出力）
		TIOCB11（入出力）

表18.40　常時入力許可機能一覧 (3 / 4)

モジュール/機能	チャネル	端子機能
FIFO 内蔵シリアルコミュニケーション インタフェース（SCIFA）	SCI0	RXD0（入力）
		SCK0（入出力）
		CTS0#（入出力）
		RTS0#（出力）
	SCI1	RXD1（入力）
		SCK1（入出力）
		CTS1#（入出力）
		RTS1#（出力）
	SCI2	RXD2（入力）
		SCK2（入出力）
		CTS2#（入出力）
		RTS2#（出力）
	SCI3	RXD3（入力）
		SCK3（入出力）
		CTS3#（入出力）
		RTS3#（出力）
	SCI4	RXD4（入力）
		SCK4（入出力）
		CTS4#（入出力）
		RTS4#（出力）
イーサネットコントローラ	Ether0	ETH_MDIO（入出力）
	Ether2	MII2_MDIO（入出力）
イーサキャットスレーブコントローラ（オプション）	EtherCAT	CATI2CCLK（入出力）
シリアルペリフェラルインタフェース	RSPI0	RSPCK0（入出力）
		MOSI0（入出力）
		MISO0（入出力）
		SSL00（入出力）
	RSPI1	RSPCK1（入出力）
		MOSI1（入出力）
		MISO1（入出力）
		SSL10（入出力）
		SSL11（出力）
	RSPI2	RSPCK2（入出力）
		MOSI2（入出力）
		MISO2（入出力）
		SSL20（入出力）
	RSPI3	RSPCK3（入出力）
		MOSI3（入出力）
		MISO3（入出力）
		SSL30（入出力）
SPI マルチI/Oバスコントローラ		SPBMO/SPBIO0（入出力）
		SPBMI/SPBIO1（入出力）
		SPBIO2（入出力）
		SPBIO3（入出力）

表18.40　常時入力許可機能一覧 (4 / 4)

モジュール/機能	チャネル	端子機能
シリアルサウンドインタフェース	SSI0	SSISCK0（入出力）
		SSIWS0（入出力）
ΔΣインタフェース		MCLK0（入出力）
		MCLK1（入出力）
		MCLK2（入出力）
		MCLK3（入出力）

注1.　POEで端子をHi-z状態にする場合は、入力不許可になるため、外部端子がHi-z状態でも問題ありません。

表18.41　PDR設定禁止機能一覧

モジュール/機能	端子機能
外部バスコントローラ	D0（入出力）
	D1（入出力）
	D2（入出力）
	D3（入出力）
	D4（入出力）
	D5（入出力）
	D6（入出力）
	D7（入出力）
	D8（入出力）
	D9（入出力）
	D10（入出力）
	D11（入出力）
	D12（入出力）
	D13（入出力）
	D14（入出力）
	D15（入出力）
	D16（入出力）
	D17（入出力）
	D18（入出力）
	D19（入出力）
	D20（入出力）
	D21（入出力）
	D22（入出力）
	D23（入出力）
	D24（入出力）
	D25（入出力）
	D26（入出力）
	D27（入出力）
	D28（入出力）
	D29（入出力）
	D30（入出力）
	D31（入出力）
	WAIT#（入力）

18.3.4　MTU, GPT におけるポート設定の注意事項

（1）MTU

MTU を相補 PWM モードまたはリセット同期 PWM モードによる 6 相 PWM 出力を使用する場合、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D のポート設定に制約があります。**「19.　マルチファンクションタイマパルスユニット 3（MTU3a）」**の**「19.6.28　相補 PWM モード／リセット同期 PWM モード使用時におけるポート設定の注意事項」**を参照して各ポートを設定してください。

（2）GPT

GPT チャネル 0 ～ 2 による 6 相 PWM 出力を使用する場合、GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B のポート設定に制約があります。**「21.　汎用 PWM タイマ（GPTa）」**の**「21.9.5　PWM 出力動作モードにおけるポート設定の注意事項」**を参照して各ポートを設定してください。

19.　マルチファンクションタイマパルスユニット 3（MTU3a）

19.1　概要

本 LSI は、8 チャネルの 16 ビットタイマと 1 チャネルの 32 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3（MTU3a）を内蔵しています。

表 19.1 に MTU の仕様を、**表 19.2** に MTU の機能一覧を示します。また、**図 19.1**、**図 19.2** に MTU のブロック図を示します。

表 19.1　MTUの仕様

項目	内容
パルス入出力	最大28本
パルス入力	3本
カウントクロック	チャネルごとに11種類（MTU0は14種類、MTU1、MTU2は12種類、チャネル5は10種類）
動作周波数	PCLKC（150MHz）
設定可能動作	【MTU0～MTU4、MTU6、MTU7、MTU8】 • コンペアマッチによる波形出力 • インプットキャプチャ機能（ノイズフィルタ設定可能） • カウンタクリア動作 • 複数のタイマカウンタ（TCNT）への同時書き込み（MTU8を除く） • コンペアマッチ／インプットキャプチャによる同時クリア（MTU8を除く） • カウンタの同期動作による各レジスタの同期入出力（MTU8を除く） • 同期動作と組み合わせることによる最大12相のPWM出力（MTU8を除く）
	【MTU0、MTU3、MTU4、MTU6、MTU7、MTU8】 • バッファ動作を設定可能
	【MTU1、MTU2】 • 独立に位相計数モードを設定可能 （外部クロック入力に対しノイズフィルタ設定可能） • カスケード接続動作が可能（32ビット）
	【MTU3、MTU4、MTU6、MTU7】 • MTU3/MTU4、およびMTU6/MTU7の連動動作による相補PWM、リセットPWM動作で、6相のポジ／ネガ計12相の出力が可能 • 相補PWMモード時、タイマカウンタの山／谷もしくはバッファレジスタ（MTU4.TGRD、MTU7.TGRD）への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 • 相補PWMモードでダブルバッファ機能を設定可能
	【MTU3、MTU4】 • MTU0と連動させて、相補PWM、リセットPWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で、2種類（チョッピング、レベル）の波形出力が選択可能
	【MTU5】 • デッドタイム補償用カウンタとして使用することが可能
	【MTU0/MTU5、MTU1、MTU2、MTU8】 MTU1、MTU2を組み合わせて、MTU0/MTU5、MTU8と連動させて、32ビット位相計数モードに設定可能
割り込み間引き機能	相補PWMモード時に、カウンタの山／谷での割り込み、およびA/Dコンバータの変換スタートトリガを間引くことが可能
割り込み要因	43種類
バッファ動作	レジスタデータの自動転送（バッファレジスタからタイマレジスタへの転送）
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
	A/D変換開始要求のディレイド機能により、任意のタイミングでA/D変換開始が可能。またPWM出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能

表19.2　MTUの機能一覧 (1 / 3)

項目		MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
カウントクロック（注1）		PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTIOC1A	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB
ジェネラルレジスタ（TGR）		TGRA TGRB TGRE	TGRA TGRB TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	TGRA TGRB
ジェネラルレジスタ／バッファレジスタ		TGRC TGRD TGRF	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	TGRC TGRD
入出力端子		MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	MTIOC8A MTIOC8B MTIOC8C MTIOC8D
カウンタクリア機能		TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	0出力	○	○	○	○	○	—	○	○	○
	1出力	○	○	○	○	○	—	○	○	○
	トグル出力	○	○	○	○	○	—	○	○	○
インプットキャプチャ機能		○	○	○	○	○	○	○	○	○
同期動作		○	○	○	○	○	—	○	○	—
PWMモード1		○	○	○	○	○	—	○	○	—
PWMモード2		○	○	○	—	—	—	—	—	—
相補PWMモード		—	—	—	○	○	—	○	○	—
リセット同期PWMモード		—	—	—	○	○	—	○	○	—
AC同期モータ駆動モード		○	—	—	○	○	—	—	—	—
位相計数モード		—	○	○	—	—	—	—	—	—
バッファ動作		○	—	—	○	○	—	○	○	○
デッドタイム補償用カウンタ機能		—	—	—	—	—	○	—	—	—
DMACの起動		TGRm (m = A～D)のコンペアマッチまたはインプットキャプチャ	TGRm (m = A, B)のコンペアマッチまたはインプットキャプチャ	TGRm (m = A, B)のコンペアマッチまたはインプットキャプチャ	TGRm (m = A～D)のコンペアマッチまたはインプットキャプチャ	TGRm (m = A～D)のコンペアマッチまたはインプットキャプチャと、TCNTオーバフロー／アンダフロー（相補PWMモード時のみ）	TGRm (m = U, V, W)のコンペアマッチまたはインプットキャプチャ	TGRm (m = A～D)のコンペアマッチまたはインプットキャプチャ	TGRm (m = A～D)のコンペアマッチまたはインプットキャプチャと、TCNTオーバフロー／アンダフロー（相補PWMモード時のみ）	TGRm (m = A～D)のコンペアマッチまたはインプットキャプチャ

表19.2　MTUの機能一覧 (2 / 3)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
A/D変換開始トリガ	TGRAのコンペアマッチまたはインプットキャプチャ TGREのコンペアマッチ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー（谷）	—	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー（谷）	—
割り込み要因	7要因 • コンペアマッチ／インプットキャプチャ 0A • コンペアマッチ／インプットキャプチャ 0B • コンペアマッチ／インプットキャプチャ 0C • コンペアマッチ／インプットキャプチャ 0D • コンペアマッチ0E • コンペアマッチ0F • オーバフロー	4要因 • コンペアマッチ／インプットキャプチャ 1A • コンペアマッチ／インプットキャプチャ 1B • オーバフロー • アンダフロー	4要因 • コンペアマッチ／インプットキャプチャ 2A • コンペアマッチ／インプットキャプチャ 2B • オーバフロー • アンダフロー	5要因 • コンペアマッチ／インプットキャプチャ 3A • コンペアマッチ／インプットキャプチャ 3B • コンペアマッチ／インプットキャプチャ 3C • コンペアマッチ／インプットキャプチャ 3D • オーバフロー	5要因 • コンペアマッチ／インプットキャプチャ 4A • コンペアマッチ／インプットキャプチャ 4B • コンペアマッチ／インプットキャプチャ 4C • コンペアマッチ／インプットキャプチャ 4D • オーバフロー／アンダフロー（相補PWMモード時のみ）	3要因 • コンペアマッチ／インプットキャプチャ 5U • コンペアマッチ／インプットキャプチャ 5V • コンペアマッチ／インプットキャプチャ 5W	5要因 • コンペアマッチ／インプットキャプチャ 6A • コンペアマッチ／インプットキャプチャ 6B • コンペアマッチ／インプットキャプチャ 6C • コンペアマッチ／インプットキャプチャ 6D • オーバフロー	5要因 • コンペアマッチ／インプットキャプチャ 7A • コンペアマッチ／インプットキャプチャ 7B • コンペアマッチ／インプットキャプチャ 7C • コンペアマッチ／インプットキャプチャ 7D • オーバフロー／アンダフロー（相補PWMモード時のみ）	5要因 • コンペアマッチ／インプットキャプチャ 8A • コンペアマッチ／インプットキャプチャ 8B • コンペアマッチ／インプットキャプチャ 8C • コンペアマッチ／インプットキャプチャ 8D • オーバフロー
イベントリンク機能（出力）	7要因 • コンペアマッチ0A • コンペアマッチ0B • コンペアマッチ0C • コンペアマッチ0D • コンペアマッチ0E • コンペアマッチ0F • オーバフロー	—	—	5要因 • コンペアマッチ3A • コンペアマッチ3B • コンペアマッチ3C • コンペアマッチ3D • オーバフロー	6要因 • コンペアマッチ4A • コンペアマッチ4B • コンペアマッチ4C • コンペアマッチ4D • オーバフロー • アンダフロー（相補PWMモード時のみ）	—	5要因 • コンペアマッチ6A • コンペアマッチ6B • コンペアマッチ6C • コンペアマッチ6D • オーバフロー	6要因 • コンペアマッチ7A • コンペアマッチ7B • コンペアマッチ7C • コンペアマッチ7D • オーバフロー • アンダフロー（相補PWMモード時のみ）	—
イベントリンク機能（入力）	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントクリア動作	—	—	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントクリア動作	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントクリア動作	—	—	—	—
A/D変換開始要求ディレイド機能	—	—	—	—	• TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—	—	• TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—

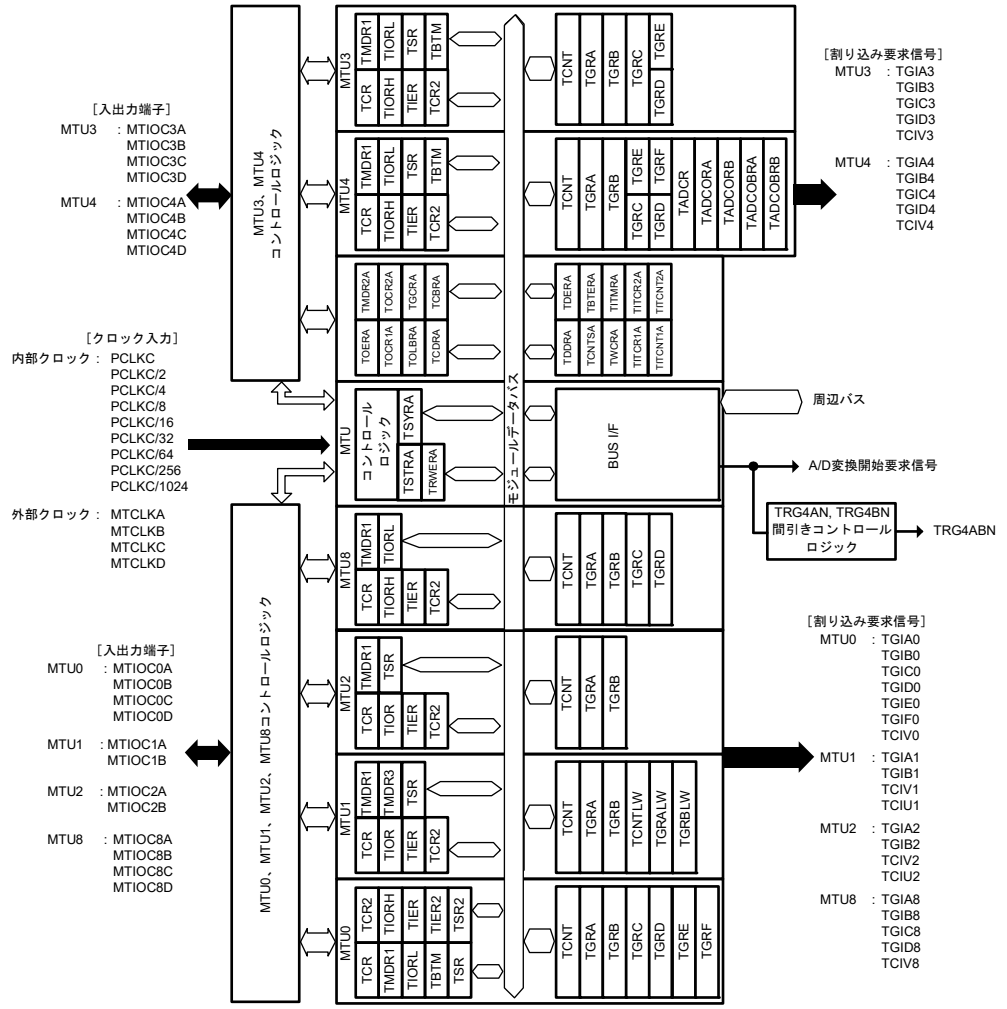
表19.2　MTUの機能一覧 (3 / 3)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
割り込み間引き機能	—	—	—	• TGRAのコンペアマッチ割り込みを間引き	• TCIV割り込みを間引き	—	• TGRAのコンペアマッチ割り込みを間引き	• TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	• TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	• TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	MSTPCRA.MSTPCRA11ビットによるモジュールストップ設定（注2）								

○：可能　—：不可能

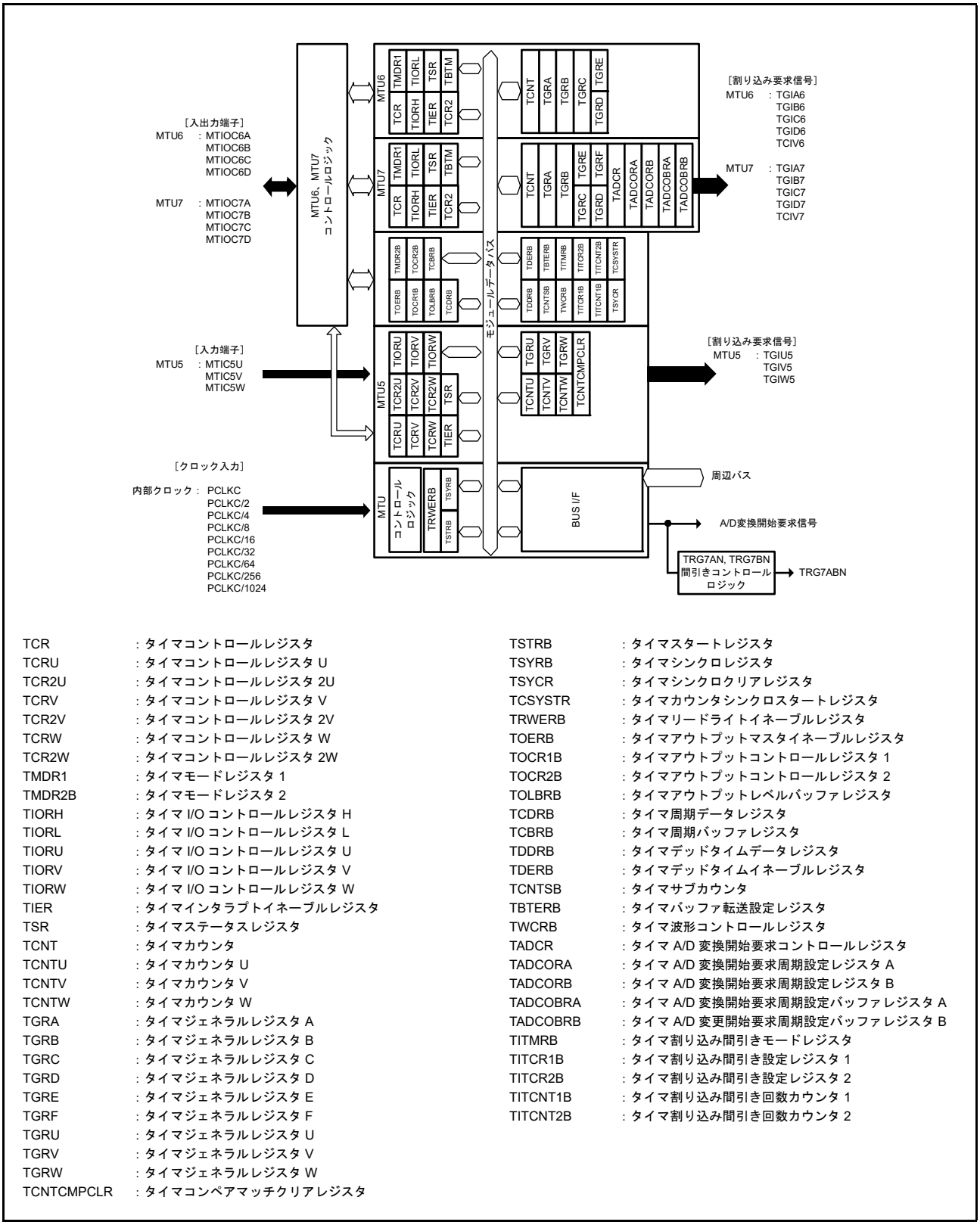
注1.　位相計数モードでは、本表と異なる外部クロックが使用可能となります。詳細については「19.3.6　位相計数モード」を参照してください。

注2.　モジュールストップの詳細については、「9.　消費電力低減機能」を参照してください。



TCR	：タイマコントロールレジスタ
TCR2	：タイマコントロールレジスタ 2
TMDR1	：タイマモードレジスタ 1
TMDR2A	：タイマモードレジスタ 2
TMDR3	：タイマモードレジスタ 3
TIOR	：タイマ I/O コントロールレジスタ
TIORH	：タイマ I/O コントロールレジスタ H
TIORL	：タイマ I/O コントロールレジスタ L
TIER	：タイマインタラプトイネーブルレジスタ
TIER2	：タイマインタラプトイネーブルレジスタ 2
TSR	：タイマステータスレジスタ
TSR2	：タイマステータスレジスタ 2
TBTM	：タイマバッファ動作転送モードレジスタ
TCNT	：タイマカウンタ
TCNTLW	：タイマロングワードカウンタ
TGRA	：タイマジェネラルレジスタ A
TGRALW	：タイマロングワードジェネラルレジスタ A
TGRB	：タイマジェネラルレジスタ B
TGRBLW	：タイマロングワードジェネラルレジスタ B
TGRC	：タイマジェネラルレジスタ C
TGRD	：タイマジェネラルレジスタ D
TGRE	：タイマジェネラルレジスタ E
TGRF	：タイマジェネラルレジスタ F
TSTRA	：タイマスタートレジスタ
TSYRA	：タイマシンクロレジスタ
TRWERA	：タイマリードライトイネーブルレジスタ
TOERA	：タイマアウトプットマスタイネーブルレジスタ
TOCR1A	：タイマアウトプットコントロールレジスタ 1
TOCR2A	：タイマアウトプットコントロールレジスタ 2
TOLBRA	：タイマアウトプットレベルバッファレジスタ
TGCRA	：タイマゲートコントロールレジスタ A
TCNTSA	：タイマサブカウンタ
TCDRA	：タイマ周期データレジスタ
TCBRA	：タイマ周期バッファレジスタ
TDDRA	：タイマデットタイムデータレジスタ
TDERA	：タイマデットタイムイネーブルレジスタ
TBTERA	：タイマバッファ転送設定レジスタ
TWCRA	：タイマ波形コントロールレジスタ
TICCR	：タイマインプットキャプチャコントロールレジスタ
TADCR	：タイマ A/D 変換開始要求コントロールレジスタ
TADCORA	：タイマ A/D 変換開始要求周期設定レジスタ A
TADCORB	：タイマ A/D 変換開始要求周期設定レジスタ B
TADCOBRA	：タイマ A/D 変換開始要求周期設定バッファレジスタ A
TADCOBRB	：タイマ A/D 変換開始要求周期設定バッファレジスタ B
TITMRA	：タイマ割り込み間引きモードレジスタ
TITCR1A	：タイマ割り込み間引き設定レジスタ 1
TITCR2A	：タイマ割り込み間引き設定レジスタ 2
TITCNT1A	：タイマ割り込み間引き回数レジスタ 1
TITCNT2A	：タイマ割り込み間引き回数レジスタ 2

図 19.1　MTU のブロック図（MTU0 ～ MTU4、MTU8）



TCR	：タイマコントロールレジスタ
TCRU	：タイマコントロールレジスタ U
TCR2U	：タイマコントロールレジスタ 2U
TCRV	：タイマコントロールレジスタ V
TCR2V	：タイマコントロールレジスタ 2V
TCRW	：タイマコントロールレジスタ W
TCR2W	：タイマコントロールレジスタ 2W
TMDR1	：タイマモードレジスタ 1
TMDR2B	：タイマモードレジスタ 2
TIORH	：タイマ I/O コントロールレジスタ H
TIORL	：タイマ I/O コントロールレジスタ L
TIORU	：タイマ I/O コントロールレジスタ U
TIORV	：タイマ I/O コントロールレジスタ V
TIORW	：タイマ I/O コントロールレジスタ W
TIER	：タイマインタラプトイネーブルレジスタ
TSR	：タイマステータスレジスタ
TCNT	：タイマカウンタ
TCNTU	：タイマカウンタ U
TCNTV	：タイマカウンタ V
TCNTW	：タイマカウンタ W
TGRA	：タイマジェネラルレジスタ A
TGRB	：タイマジェネラルレジスタ B
TGRC	：タイマジェネラルレジスタ C
TGRD	：タイマジェネラルレジスタ D
TGRE	：タイマジェネラルレジスタ E
TGRF	：タイマジェネラルレジスタ F
TGRU	：タイマジェネラルレジスタ U
TGRV	：タイマジェネラルレジスタ V
TGRW	：タイマジェネラルレジスタ W
TCNTCMPCLR	：タイマコンペアマッチクリアレジスタ
TSTRB	：タイマスタートレジスタ
TSYRB	：タイマシンクロレジスタ
TSYCR	：タイマシンクロクリアレジスタ
TCSYSTR	：タイマカウンタシンクロスタートレジスタ
TRWERB	：タイマリードライトイネーブルレジスタ
TOERB	：タイマアウトプットマスタイネーブルレジスタ
TOCR1B	：タイマアウトプットコントロールレジスタ 1
TOCR2B	：タイマアウトプットコントロールレジスタ 2
TOLBRB	：タイマアウトプットレベルバッファレジスタ
TCDRB	：タイマ周期データレジスタ
TCBRB	：タイマ周期バッファレジスタ
TDDRB	：タイマデッドタイムデータレジスタ
TDERB	：タイマデッドタイムイネーブルレジスタ
TCNTSB	：タイマサブカウンタ
TBTERB	：タイマバッファ転送設定レジスタ
TWCRB	：タイマ波形コントロールレジスタ
TADCR	：タイマ A/D 変換開始要求コントロールレジスタ
TADCORA	：タイマ A/D 変換開始要求周期設定レジスタ A
TADCORB	：タイマ A/D 変換開始要求周期設定レジスタ B
TADCOBRA	：タイマ A/D 変換開始要求周期設定バッファレジスタ A
TADCOBRB	：タイマ A/D 変更開始要求周期設定バッファレジスタ B
TITMRB	：タイマ割り込み間引きモードレジスタ
TITCR1B	：タイマ割り込み間引き設定レジスタ 1
TITCR2B	：タイマ割り込み間引き設定レジスタ 2
TITCNT1B	：タイマ割り込み間引き回数カウンタ 1
TITCNT2B	：タイマ割り込み間引き回数カウンタ 2

図 19.2　MTU のブロック図（MTU5 ～ MTU7）

表 19.3 に MTU で使用する入出力端子を示します。

表19.3　MTUの入出力端子

チャネル	端子名	入出力	機　能
MTU	MTCLKA	入力	外部クロックA入力端子（MTU1／MTU2の位相計数モードA相入力）
	MTCLKB	入力	外部クロックB入力端子（MTU1／MTU2の位相計数モードB相入力）
	MTCLKC	入力	外部クロックC入力端子（MTU2の位相計数モードA相入力）
	MTCLKD	入力	外部クロックD入力端子（MTU2の位相計数モードB相入力）
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力／外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力／外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力／外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU8	MTIOC8A	入出力	MTU8.TGRAのインプットキャプチャ入力／アウトプットコンペア出力端子
	MTIOC8B	入出力	MTU8.TGRBのインプットキャプチャ入力／アウトプットコンペア出力端子
	MTIOC8C	入出力	MTU8.TGRCのインプットキャプチャ入力／アウトプットコンペア出力端子
	MTIOC8D	入出力	MTU8.TGRDのインプットキャプチャ入力／アウトプットコンペア出力端子

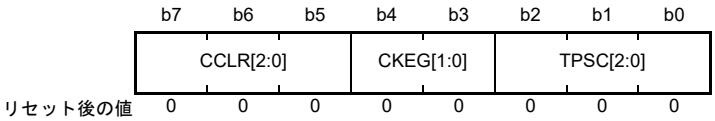
19.2　レジスタの説明

19.2.1　タイマコントロールレジスタ（TCR）

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御するレジスタです。MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCRU ／ V ／ W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

- MTU0、MTU1、MTU2、MTU3、MTU4、MTU6、MTU7、MTU8

アドレス　MTU0.TCR A006 A100h、MTU1.TCR A006 A180h、MTU2.TCR A006 A200h、MTU3.TCR A006 A000h、MTU4.TCR A006 A001h、MTU6.TCR A006 A800h、MTU7.TCR A006 A801h、MTU8.TCR A006 A400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表19.6～表19.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表19.4、表19.5を参照してください	R/W

x：Don’t care

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は**表 19.6 ～表 19.9** を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

入力クロック（MTIOC1A 端子含む）のエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります（例：PCLKC/4 の両エッジ＝PCLKC/2 の立ち上がりエッジ）。MTU1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが PCLKC/2 もしくはそれより遅い場合に有効です。入力クロックに PCLKC/1、あるいは他のチャネルのオーバフロー／アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット（カウンタクリア要因選択ビット）

TCNT のカウンタクリア要因を選択します。詳細は**表 19.4、表 19.5** を参照してください。

- MTU5

アドレス　MTU5.TCRU A006 AA84h、MTU5.TCRV A006 AA94h、MTU5.TCRW A006 AAA4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TPSC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケーラ選択ビット	表19.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPSC[1:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウンタクロックを選択します。詳細は**表** 19.10 を参照してください。

19.2.2　タイマコントロールレジスタ 2（TCR2）

TCR2 レジスタは、TCR と組み合わせて各チャネルの TCNT を制御するレジスタです。MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCR2U ／ V ／ W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

- MTU0、MTU3、MTU4、MTU6、MTU7、MTU8

アドレス　MTU0.TCR2 A006 A128h、MTU3.TCR2 A006 A04Ch、MTU4.TCR2 A006 A04Dh、MTU6.TCR2 A006 A84Ch、MTU7.TCR2 A006 A84Dh、MTU8.TCR2 A006 A406h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

- MTU1、MTU2

アドレス　MTU1.TCR2 A006 A194h、MTU2.TCR2 A006 A20Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCB[1:0]		TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表19.6～表19.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x：Don’t care

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は**表 19.6 ～表 19.9** を参照してください。

PCB[1:0] ビット（位相計数モード機能拡張制御ビット）

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は「**19.3.6　位相計数モード**」を参照してください。

- MTU5

アドレス　MTU5.TCR2U A006 AA85h、MTU5.TCR2V A006 AA95h、MTU5.TCR2W A006 AAA5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CKEG[1:0]		TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表19.10を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウンタクロックを選択します。詳細は**表 19.10** を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

MTIOC1A 端子によるカウントクロックのエッジを選択します。

表19.4　CCLR[2:0]（MTU0、MTU3、MTU4、MTU6、MTU7、MTU8）

チャネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
MTU0 MTU3 MTU4 MTU6 MTU7 MTU8	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	0	TGRDのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。ただし、MTU8を除きます。
注2.　TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNTはクリアされません。

表19.5　CCLR[2:0]（MTU1、MTU2）

チャネル	ビット7	ビット6	ビット5	説明
	予約ビット（注2）	CCLR1	CCLR0	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。
注2.　MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

表19.6　TPSC[2:0],TPSC2[2:0]（MTU0）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKD端子入力でカウント
	0	0	1	×	×	×	内部クロック：PCLKC/2 でカウント
	0	1	0	×	×	×	内部クロック：PCLKC/8 でカウント
	0	1	1	×	×	×	内部クロック：PCLKC/32 でカウント
	1	0	0	×	×	×	内部クロック：PCLKC/256 でカウント
	1	0	1	×	×	×	内部クロック：PCLKC/1024 でカウント
	1	1	0	×	×	×	設定しないでください
	1	1	1	×	×	×	外部クロック：MTIOC1A 端子入力

×：Don't care

表19.7　TPSC[2:0]、TPSC2[2:0]（MTU1）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック：PCLKC/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー／アンダフロー
	0	0	1	×	×	×	内部クロック：PCLKC/2でカウント
	0	1	0	×	×	×	内部クロック：PCLKC/8でカウント
	0	1	1	×	×	×	内部クロック：PCLKC/32でカウント
	1	0	0	×	×	×	内部クロック：PCLKC/1024でカウント
	1	0	1	×	×	×	設定しないでください
	1	1	0	×	×	×	設定しないでください
	1	1	1	×	×	×	設定しないでください

×：Don't care

注.　MTU1が位相計数モード時、この設定は無効になります。

表19.8　TPSC[2:0]、TPSC2[2:0]（MTU2）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック：PCLKC/1024でカウント
	0	0	1	×	×	×	内部クロック：PCLKC/2でカウント
	0	1	0	×	×	×	内部クロック：PCLKC/8でカウント
	0	1	1	×	×	×	内部クロック：PCLKC/32でカウント
	1	0	0	×	×	×	内部クロック：PCLKC/256でカウント
	1	0	1	×	×	×	設定しないでください
	1	1	0	×	×	×	設定しないでください
	1	1	1	×	×	×	設定しないでください

×：Don't care

注.　MTU2が位相計数モード時、この設定は無効になります。

表19.9　TPSC[2:0]、TPSC2[2:0]（MTU3、MTU4、MTU6、MTU7、MTU8）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU3 MTU4 MTU6 MTU7 MTU8	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	内部クロック：PCLKC/256でカウント
	0	0	0	1	0	1	内部クロック：PCLKC/1024でカウント
	0	0	0	1	1	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKB端子入力でカウント
	0	0	1	×	×	×	内部クロック：PCLKC/2でカウント
	0	1	0	×	×	×	内部クロック：PCLKC/8でカウント
	0	1	1	×	×	×	内部クロック：PCLKC/32でカウント
	1	0	0	×	×	×	設定しないでください
	1	0	1	×	×	×	設定しないでください
	1	1	0	×	×	×	設定しないでください
	1	1	1	×	×	×	設定しないでください

×：Don't care

表19.10　TPSC2[2:0]、TPSC[1:0]（MTU5）

チャネル	TCR2[2:0]			TCR[1:0]		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC1	TPSC0	
MTU5	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	1	×	×	内部クロック：PCLKC/2でカウント
	0	1	0	×	×	内部クロック：PCLKC/8でカウント
	0	1	1	×	×	内部クロック：PCLKC/32でカウント
	1	0	0	×	×	内部クロック：PCLKC/256でカウント
	1	0	1	×	×	内部クロック：PCLKC/1024でカウント
	1	1	0	×	×	設定しないでください
	1	1	1	×	×	外部クロック：MTIOC1A端子入力

注.　MTU5では、TCRレジスタのビット7～2は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

19.2.3　タイマモードレジスタ 1（TMDR1）

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、計 8 本の TMDR1 レジスタがあります。TMDR1 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

- MTU0.TMDR1

アドレス　MTU0.TMDR1 A006 A101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BFE	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

- MTU1.TMDR1、MTU2.TMDR1

アドレス　MTU1.TMDR1 A006 A181h、MTU2.TMDR1 A006 A201h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TMDR1、MTU4.TMDR1、MTU6.TMDR1、MTU7.TMDR1、MTU8.TMDR1

アドレス　MTU3.TMDR1 A006 A002h、MTU4.TMDR1 A006 A003h、MTU6.TMDR1 A006 A802h、MTU7.TMDR1 A006 A803h、MTU8.TMDR1 A006 A401h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表 19.11 を参照してください	R/W
b4	BFA	バッファ動作Aビット	0：TGRAとTGRCレジスタは通常動作 1：TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0：TGRBとTGRDレジスタは通常動作 1：TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0：MTU0.TGREとMTU0.TGRFは通常動作 1：MTU0.TGREとMTU0.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MD[3:0] ビット（モード選択ビット）

タイマの動作モードを設定します。**表 19.11** を参照してください。

BFA ビット（バッファ動作 A ビット）

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせてバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC レジスタのインプットキャプチャ／アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIEC ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および 4（MTU6 および 7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFA ビットの設定にしたがい動作します。MTU4.TMDR1（MTU7.TMDR1）の BFA ビットを “0” にしてください。

TGRC レジスタを持たない MTU1、2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、**図 19.50** を参照してください。

BFB ビット（バッファ動作 B ビット）

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせてバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、TGRD レジスタのインプットキャプチャ／アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIED ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および 4（MTU6 および 7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFB ビットの設定にしたがい動作します。MTU4.TMDR1（MTU7.TMDR1）の BFB ビットを “0” にしてください。

TGRD レジスタを持たない MTU1、2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、**図 19.50** を参照してください。

BFE ビット（バッファ動作 E ビット）

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ～ MTU4、MTU6、MTU7、MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

表19.11　MD[3:0]ビットによる動作モードの設定（MTU0～MTU4、MTU6～MTU8）

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU3	MTU4	MTU6	MTU7	MTU8
MD3	MD2	MD1	MD0									
0	0	0	0	通常動作（ノーマルモード）	○	○	○	○	○	○	○	○
0	0	0	1	設定しないでください								
0	0	1	0	PWMモード1	○	○	○	○	○	○	○	
0	0	1	1	PWMモード2	○	○	○					
0	1	0	0	位相計数モード1		○	○					
0	1	0	1	位相計数モード2		○	○					
0	1	1	0	位相計数モード3		○	○					
0	1	1	1	位相計数モード4		○	○					
1	0	0	0	リセット同期PWMモード（注1）				○		○		
1	0	0	1	位相計数モード5		○	○					
1	0	1	x	設定しないでください								
1	1	0	0	設定しないでください								
1	1	0	1	相補PWMモード1（山で転送）（注1）				○		○		
1	1	1	0	相補PWMモード2（谷で転送）（注1）				○		○		
1	1	1	1	相補PWMモード3（山・谷で転送）（注1）				○		○		

x：Don't care

注1.　リセット同期PWMモード、相補PWMモードの設定は、MTU3、6のみ可能です。
MTU3、6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、7の設定は無効となり自動的にMTU3、6の設定にしたがいます。MTU4、7には初期値（通常動作）を設定してください。

19.2.4　タイマモードレジスタ 2（TMDR2A、TMDR2B）

TMDR2 レジスタは、相補 PWM モード 3（山・谷で転送）時、ダブルバッファ機能の設定を行うレジスタです。MTU3（TMDR2A）、MTU6（TMDR2B）に各 1 本、計 2 本の TMDR2 レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

アドレス　MTU.TMDR2A A006 A070h、MTU.TMDR2B A006 A870h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0：ダブルバッファ機能は無効 1：ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DRS ビット（ダブルバッファ選択ビット）

相補 PWM モード時、ダブルバッファ機能の有効／無効を選択します。

19.2.5　タイマモードレジスタ 3（TMDR3）

TMDR3 レジスタは、MTU1 と MTU2 のレジスタを組み合わせて、ロングワードアクセスするかを制御するレジスタです。

MTU1 のみ一本あります。LWA ビットにより、**表 19.12** のように組み合わせてアクセスします。

アドレス　MTU1.TMDR3 A006 A191h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0：16ビットアクセス可能 1：32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	位相計数モードの外部クロック端子を選択 0：外部入力位相クロックはMTCLKA、MTCLKB 1：外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

LWA ビット（ロングワードアクセス制御ビット）

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでアクセスを選択します。本ビットは 32 ビットの位相計数モードのときのみ設定してください。

LWA = 0 の場合、MTU1.TCNTLW ／ MTU1.TGRALW ／ MTU1.TGRBLW レジスタへのアクセスができなくなります。読むと 0000 0000h が読めます。

LWA = 1 の場合、MTU1.TCNT ／ MTU2.TCNT ／ MTU1.TGRA ／ MTU2.TGRA ／ MTU1.TGRB ／ MTU2.TGRB レジスタへのアクセスができなくなります。読むと 0000 0000h が読めます。

LWA = 1 の場合、MTU1 と MTU2 は組み合わせで動作しているのでコントロールレジスタ（TCR、TCR2、TIOR、TMDR1）は MTU1 の設定が優先されます。このとき MTU2 のコントロールレジスタ設定は無効になります。なお、MTU2 のインプットキャプチャとコンペアマッチが無効になり、ELC との連動はできません。

LWA ビットを切り替える場合は、初めに MTU1 と MTU2 のカウンタとジェネラルレジスタを初期化してください。

PHCKSEL ビット（外部入力位相クロック選択ビット）

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、A 相、B 相信号を入力する外部入力クロック端子を選択します。詳細は**「表 19.66　位相計数モードクロック入力端子」**を参照してください。

表19.12　TMDR3レジスタの設定と組み合わせ

レジスタ	TMDR3.LWA = 0		TMDR3.LWA = 1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ（注1）	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタA	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタA	MTU2.TGRA	ワード		
MTU1のジェネラルレジスB	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタB	MTU2.TGRB	ワード		

注1.　LWA = 1にした場合、MTU1のカウンタクロックをMTU2.TCNTのオーバフロー／アンダフローに設定する必要はありません。

19.2.6　タイマ I/O コントロールレジスタ（TIOR）

TIOR レジスタは、TGR レジスタを制御するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 に各 2 本、MTU1、MTU2 に各 1 本、MTU5 には MTU5.TIORU ／ V ／ W の 3 本、計 17 本の TIOR があります。

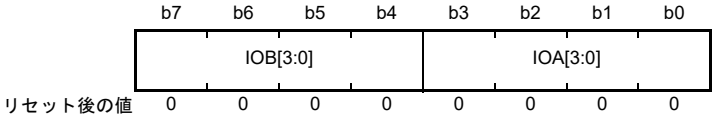
TIOR レジスタは TMDR1 レジスタの設定により影響を受けますので注意してください。

TIOR レジスタで指定した初期出力はカウンタが停止した（TSTRA.CST および TSTRB.CST ビットを “0” にした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが “0” になった時点での出力を指定します。

TGRC レジスタ、あるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH、MTU6.TIORH、MTU7.TIORH、MTU8.TIORH

アドレス　MTU0.TIORH A006 A102h、MTU1.TIOR A006 A182h、MTU2.TIOR A006 A202h、MTU3.TIORH A006 A004h、MTU4.TIORH A006 A006h、MTU6.TIORH A006 A804h、MTU7.TIORH A006 A806h、MTU8.TIORH A006 A402h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/Oコントロール A ビット（注1）	下記の表を参照してください。 MTU0.TIORH：表 19.27　MTU1.TIOR：表 19.29 MTU2.TIOR：表 19.30　MTU3.TIORH：表 19.31 MTU4.TIORH：表 19.33　MTU6.TIORH：表 19.35 MTU7.TIORH：表 19.37　MTU8.TIORH：表 19.39	R/W
b7-b4	IOB[3:0]	I/Oコントロール B ビット（注1）	下記の表を参照してください。 MTU0.TIORH：表 19.13　MTU1.TIOR：表 19.15 MTU2.TIOR：表 19.16　MTU3.TIORH：表 19.17 MTU4.TIORH：表 19.19　MTU6.TIORH：表 19.21 MTU7.TIORH：表 19.23　MTU8.TIORH：表 19.25	R/W

注1.　コンペアマッチで Low 出力／High 出力／トグル出力中に、IOn[3:0]（n = A、B）の値を出力禁止（“0000b” または “0100b”）へ変更すると Hi-Z になります。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL、MTU6.TIORL、MTU7.TIORL、MTU8.TIORL

アドレス　MTU0.TIORL A006 A103h、MTU3.TIORL A006 A005h、MTU4.TIORL A006 A007h、MTU6.TIORL A006 A805h、MTU7.TIORL A006 A807h、MTU8.TIORL A006 A403h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOD[3:0]				IOC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/Oコントロール C ビット（注1）	下記の表を参照してください。 MTU0.TIORL：表19.28　MTU3.TIORL：表19.32 MTU4.TIORL：表19.34　MTU6.TIORL：表19.36 MTU7.TIORL：表19.38　MTU8.TIORL：表19.40	R/W
b7-b4	IOD[3:0]	I/Oコントロール D ビット（注1）	下記の表を参照してください。 MTU0.TIORL：表19.14　MTU3.TIORL：表19.18 MTU4.TIORL：表19.20　MTU6.TIORL：表19.22 MTU7.TIORL：表19.24　MTU8.TIORL：表19.26	R/W

注1.　コンペアマッチでLow出力／High出力／トグル出力中に、IOn[3:0]（n = C、D）の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス　MTU5.TIORU A006 AA86h、MTU5.TIORV A006 AA96h、MTU5.TIORW A006 AAA6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IOC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/Oコントロール C ビット	下記の表を参照してください。 MTU5.TIORU、MTU5.TIORV、MTU5.TIORW：表19.41	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

表19.13　TIORH（MTU0）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ／カウントダウンでインプットキャプチャ

x：Don't care

表19.14　TIORL（MTU0）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ／カウントダウンでインプットキャプチャ

x：Don't care

注1.　MTU0.TMDR1.BFBビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.15　TIOR（MTU1）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		MTU0.TGRCのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x：Don't care

表19.16　TIOR（MTU2）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.17　TIORH（MTU3）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.18　TIORL（MTU3）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFBビットを“1”にしてMTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.19　TIORH（MTU4）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.20　TIORL（MTU4）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ／アウトプットコンペアは発生しません。

表19.21　TIORH（MTU6）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU6.TGRBの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.22　TIORL（MTU6）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU6.TGRDの機能	MTIOC6Dの端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFBビットを“1”にしてMTU6.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.23　TIORH（MTU7）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU7.TGRBの機能	MTIOC7B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.24　TIORL（MTU7）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU7.TGRDの機能	MTIOC7D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFBビットを“1”にしてMTU7.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.25　TIORH（MTU8）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU8.TGRBの機能	MTIOC8B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ／カウントダウンでインプットキャプチャ

x：Don't care

表19.26　TIORL（MTU8）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU8.TGRDの機能	MTIOC8D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU8.TMDR1.BFBビットを“1”にしてMTU8.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.27　TIORH（MTU0）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ／カウントダウンでインプットキャプチャ
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x：Don't care

表19.28　TIORL（MTU0）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRCの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ／カウントダウンでインプットキャプチャ

x：Don't care

注1.　MTU0.TMDR1.BFAビットを“1”にしてMTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.29　TIOR（MTU1）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表19.30　TIOR（MTU2）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.31　TIORH（MTU3）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.32　TIORL（MTU3）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFAビットを“1”にしてMTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.33　TIORH（MTU4）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.34　TIORL（MTU4）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.35　TIORH（MTU6）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU6.TGRAの機能	MTIOC6A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.36　TIORL（MTU6）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU6.TGRCの機能	MTIOC6Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFAビットを“1”にしてMTU6.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.37　TIORH（MTU7）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU7.TGRAの機能	MTIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.38　TIORL（MTU7）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU7.TGRCの機能	MTIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFAビットを“1”にしてMTU7.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.39　TIORH（MTU8）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU8.TGRAの機能	MTIOC8A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表19.40　TIORL（MTU8）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU8.TGRCの機能	MTIOC8C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU8.TMDR1.BFAビットを“1”にしてMTU8.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表19.41　TIORU、TIORV、TIORW（MTU5）

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペアレジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		MTU8.TGRCのコンペアマッチの発生でキャプチャ
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用相補PWMモードの山と谷でキャプチャ

x：Don't care

19.2.7　タイマコンペアマッチクリアレジスタ（TCNTCMPCLR）

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

アドレス　MTU5.TCNTCMPCLR A006 AAB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMPCLR5n ビット（TCNT コンペアクリア 5n ビット）（n = U、V、W）

MTU5.TCNTn と MTU5.TGRn のコンペアマッチ／インプットキャプチャによる、MTU5.TCNTn クリア要求を許可／禁止します。

19.2.8　タイマインタラプトイネーブルレジスタ（TIER）

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ～ MTU8 に各 1 本、計 10 本の TIER レジスタがあります。

- TIER（MTU1、MTU2）

アドレス　MTU1.TIER A006 A184h、MTU2.TIER A006 A204h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- TIER（MTU0、MTU3、MTU6）

アドレス　MTU0.TIER A006 A104h、MTU3.TIER A006 A008h、MTU6.TIER A006 A808h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- TIER（MTU4、MTU7）

アドレス　MTU4.TIER A006 A009h、MTU7.TIER A006 A809h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- TIER（MTU8）

アドレス　MTU8.TIER A006 A404h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0：割り込み要求（TGIA）を禁止 1：割り込み要求（TGIA）を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0：割り込み要求（TGIB）を禁止 1：割り込み要求（TGIB）を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0：割り込み要求（TGIC）を禁止 1：割り込み要求（TGIC）を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0：割り込み要求（TGID）を禁止 1：割り込み要求（TGID）を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み要求（TCIV）を禁止 1：割り込み要求（TCIV）を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0：割り込み要求（TCIU）を禁止 1：割り込み要求（TCIU）を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を禁止 1：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0：A/D変換開始要求の発生を禁止 1：A/D変換開始要求の発生を許可	R/W

n = 4、7

TGIEA、TGIEB ビット（TGR 割り込み許可 A、B ビット）

割り込み要求（TGIn）を許可または禁止します。（n = A、B）

TGIEC、TGIED ビット（TGR 割り込み許可 C、D ビット）

割り込み要求（TGIn）を許可または禁止します。（n = C、D）

MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCIEV ビット（オーバフロー割り込み許可ビット）

割り込み要求（TCIV）を許可または禁止します。

TCIEU ビット（アンダフロー割り込み許可ビット）

割り込み要求（TCIU）を許可または禁止します。

MTU0、MTU3、MTU4、MTU5、MTU6、MTU7、MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

相補 PWM モードで、MTUn.TCNT のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。（n = 4、7）

MTU0 ～ MTU3、MTU6、MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE ビット（A/D 変換開始要求許可ビット）

TGRA レジスタのインプットキャプチャ／コンペアマッチによる A/D コンバータの開始要求の発生を許可または禁止します。

MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

- TIER2（MTU0）

アドレス　MTU0.TIER2 A006 A124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE2	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR割り込み許可Eビット	0：割り込み要求（TGIE）を禁止 1：割り込み要求（TGIE）を許可	R/W
b1	TGIEF	TGR割り込み許可Fビット	0：割り込み要求（TGIF）を禁止 1：割り込み要求（TGIF）を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0：MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を禁止 1：MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット（TGR 割り込み許可 E、F ビット）

MTU0.TCNT と MTU0.TGRn のコンペアマッチによる割り込み要求の発生を許可または禁止します。（n = E、F）

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる割り込み要求の発生を許可または禁止します。

- TIER（MTU5）

アドレス　MTU5.TIER A006 AAB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR割り込み許可5Wビット	0：TGIW5割り込み要求を禁止 1：TGIW5割り込み要求を許可	R/W
b1	TGIE5V	TGR割り込み許可5Vビット	0：TGIV5割り込み要求を禁止 1：TGIV5割り込み要求を許可	R/W
b2	TGIE5U	TGR割り込み許可5Uビット	0：TGIU5割り込み要求を禁止 1：TGIU5割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TGIE5n ビット（TGR 割り込み許可 5n ビット）

割り込み要求（TGIn5）を許可または禁止します。（n = U、V、W）

19.2.9　タイマステータスレジスタ（TSR）

TSR レジスタは、各チャネルのステータスの表示を行うレジスタです。MTU1 ～ MTU7（MTU5 を除く）に各 1 本、計 6 本の TSR レジスタがあります。

- TSR（MTU1、MTU2）

アドレス　MTU1.TSR A006 A185h、MTU2.TSR A006 A205h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
リセット後の値	1	1	0	0	0	0	0	0

- TSR（MTU3、MTU4、MTU6、MTU7）

アドレス　MTU3.TSR A006 A02Ch、MTU4.TSR A006 A02Dh、MTU6.TSR A006 A82Ch、MTU7.TSR A006 A82Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ／アウトプットコンペアフラグA	0：TGRAレジスタのインプットキャプチャまたはコンペアマッチは発生していない 1：TGRAレジスタのインプットキャプチャまたはコンペアマッチが発生	R/W（注1）
b1	TGFB	インプットキャプチャ／アウトプットコンペアフラグB	0：TGRBレジスタのインプットキャプチャまたはコンペアマッチは発生していない 1：TGRBレジスタのインプットキャプチャまたはコンペアマッチが発生	R/W（注1）
b2	TGFC	インプットキャプチャ／アウトプットコンペアフラグC	0：TGRCレジスタのインプットキャプチャまたはコンペアマッチは発生していない 1：TGRCレジスタのインプットキャプチャまたはコンペアマッチが発生	R/W（注1）
b3	TGFD	インプットキャプチャ／アウトプットコンペアフラグD	0：TGRDレジスタのインプットキャプチャまたはコンペアマッチは発生していない 1：TGRDレジスタのインプットキャプチャまたはコンペアマッチが発生	R/W（注1）
b4	TCFV	オーバフローフラグ	0：TCNTのオーバフローがしていない 1：TCNTのオーバフローが発生	R/W（注1）
b5	TCFU	アンダフローフラグ	0：MTU1、MTU2が位相計数モードのとき、TCNTのアンダフローが発生していない 1：MTU1、MTU2が位相計数モードのとき、TCNTのアンダフローが発生	R/W（注1）
b6	—	予約ビット	読むと“1”が読めます。	R
b7	TCFD	カウント方向フラグ	0：TCNTはダウンカウント 1：TCNTはアップカウント	R

注1.　フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。“1”を読み出した後、“0”を書き込む前に次のフラグセットが発生した場合、“0”を書き込んでもフラグはクリアされませんので、再度“1”を読み出して“0”を書き込んでください。

TGFA フラグ（インプットキャプチャ／アウトプットコンペアフラグ A）

TGRA レジスタ のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための “0” ライトのみ可能です。

[“0” になる条件]

- TGFA = 1 の状態で TGFA フラグをリード後、TGFA フラグ に “0” をライトしたとき

[“1” になる条件]

- TGRA レジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき
- TGRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

TGFB フラグ（インプットキャプチャ／アウトプットコンペアフラグ B）

TGRB レジスタ のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための “0” ライトのみ可能です。

[“0” になる条件]

- TGFB = 1 の状態で TGFB フラグをリード後、TGFB フラグに “0” をライトしたとき

[“1” になる条件]

- TGRB レジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき
- TGRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB レジスタに転送されたとき

TGFC フラグ（インプットキャプチャ／アウトプットコンペアフラグ C）

MTU3、MTU4、MTU6、MTU7 の TGRC レジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための “0” ライトのみ可能です。

[“0” になる条件]

- TGFC = 1 の状態で TGFC フラグをリード後、TGFC フラグに “0” をライトしたとき

[“1” になる条件]

- TGRC レジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき
- TGRC レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC レジスタに転送されたとき

MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TGFD フラグ（インプットキャプチャ／アウトプットコンペアフラグ D）

MTU3、MTU4 、MTU6、MTU7 の TGRD レジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための “0” ライトのみ可能です。

[“0” になる条件]

- TGFD = 1 の状態で TGFD フラグをリード後、TGFD フラグに “0” をライトしたとき

[“1” になる条件]

- TGRD レジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき
- TGRD レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD レジスタに転送されたとき

MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCFV フラグ（オーバフローフラグ）

TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための “0” ライトのみ可能です。

［“0” になる条件］

- TCFV = 1 の状態で TCFV フラグをリード後、TCFV フラグに “0” をライトしたとき

［“1” になる条件］

- TCNT の値がオーバフローしたとき（FFFFh → 0000h）

MTU4、MTU7 では相補 PWM モードで MTU4.TCNT、MTU7.TCNT の値がアンダフロー（0001h → 0000h）したときにも TCFV フラグが 1 になります。

TCFU フラグ（アンダフローフラグ）

MTU 1、MTU2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための “0” ライトのみ可能です。

［“0” になる条件］

- TCFU = 1 の状態で TCFU をリード後、TCFU に “0” をライトしたとき

［“1” になる条件］

- TCNT の値がアンダフローしたとき（0000h → FFFFh）

MTU3、MTU4、MTU6、MTU7 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCFD フラグ（カウント方向フラグ）

MTU1 ～ MTU4、MTU6、MTU7 の TCNT のカウント方向を示すステータスフラグです。

19.2.10　タイマバッファ動作転送モードレジスタ（TBTM）

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7 に各 1 本、計 5 本の TBTM レジスタがあります。

- MTU0.TBTM

アドレス　MTU0.TBTM A006 A126h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TBTM、MTU4.TBTM、MTU6.TBTM、MTU7.TBTM

アドレス　MTU3.TBTM A006 A038h、MTU4.TBTM A006 A039h、MTU6.TBTM A006 A838h、MTU7.TBTM A006 A839h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0：TGRCからTGRAへの転送タイミングは各チャネルのコンペアマッチA発生時 1：TGRCからTGRAへの転送タイミングは各チャネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0：TGRDからTGRBへの転送タイミングは各チャネルのコンペアマッチB発生時 1：TGRDからTGRBへの転送タイミングは各チャネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0：MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1：MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TTSA ビット（タイミング選択 A ビット）

各チャネルのバッファ動作時の TGRC レジスタから TGRA レジスタへの転送タイミングを設定します。

なお、PWM モード以外で使用するチャネルでは、TTSA ビットを “1” にしないでください。

TTSB ビット（タイミング選択 B ビット）

各チャネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。

なお、PWM モード以外で使用するチャネルでは、TTSB ビットを “1” にしないでください。

TTSE ビット（タイミング選択 E ビット）

バッファ動作時の MTU0.TGRF から MTU0.TGRE への転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7 では予約ビットです。読むと “0” が読めます。書く場合、“0” にしてください。

なお、PWM モード以外で使用するチャネルでは、TTSE ビットを “1” にしないでください。

19.2.11　タイマインプットキャプチャコントロールレジスタ（TICCR）

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

アドレス　MTU1.TICCR A006 A190h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

I1AE ビット（インプットキャプチャ許可ビット）

MTU2.TGRA のインプットキャプチャ条件に MTIOC1A 端子を追加する／しないを選択します。

I1BE ビット（インプットキャプチャ許可ビット）

MTU2.TGRB のインプットキャプチャ条件に MTIOC1B 端子を追加する／しないを選択します。

I2AE ビット（インプットキャプチャ許可ビット）

MTU1.TGRA のインプットキャプチャ条件に MTIOC2A 端子を追加する／しないを選択します。

I2BE ビット（インプットキャプチャ許可ビット）

MTU1.TGRB のインプットキャプチャ条件に MTIOC2B 端子を追加する／しないを選択します。

19.2.12　タイマシンクロクリアレジスタ（TSYCR）

TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

アドレス　MTU6.TSYCR A006 A850h

	b7	b6	b5	b4	b3	b2	b1	b0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0：MTU2のTGIB2割り込み発生タイミングでのクリア禁止 1：MTU2のTGIB2割り込み発生タイミングでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0：MTU2のTGIA2割り込み発生タイミング（注1）でのクリア禁止 1：MTU2のTGIA2割り込み発生タイミング（注1）でのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0：MTU1のTGIB1割り込み発生タイミング（注1）でのクリア禁止 1：MTU1のTGIB1割り込み発生タイミング（注1）でのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0：MTU1のTGIA1割り込み発生タイミング（注1）でのクリア禁止 1：MTU1のTGIA1割り込み発生タイミング（注1）でのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0：MTU0のTGID0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGID0割り込み発生タイミング（注1）でのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0：MTU0のTGIC0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGIC0割り込み発生タイミング（注1）でのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0：MTU0のTGIB0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGIB0割り込み発生タイミング（注1）でのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0：MTU0のTGIA0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGIA0割り込み発生タイミング（注1）でのクリア許可	R/W

注1.　TIERn.TGIEmビットの設定値によりません。（n = 0、1、2、m = A、B、C、D）

CEnm ビット（クリア許可 nm ビット）（n = 0、1、2、m = A、B、C、D）

MTUn.TGImn 割り込み発生タイミングでのクリア禁止／許可を設定します。

19.2.13　タイマカウンタ（TCNT）

MTU0 ～ MTU7 の TCNT レジスタは、16 ビットの読み出し／書き込み可能なレジスタです。

MTU8 の TCNT レジスタは、32 ビットの読み出し／書き込み可能なレジスタです。

MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 に MTU5.TCNTU ／ V ／ W の 3 本、計 11 本の TCNT があります。

MTU0 ～ MTU4、MTU6、MTU7 の TCNT は、リセット時に 0000h に初期化され、MTU8.TCNT は 0000 0000h に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。MTU0 ～ MTU4、MTU6、MTU7 の TCNT は、常に 16 ビット単位でアクセスしてください。MTU8 の TCNT は、8 ／ 16 ビットのアクセスは禁止で、32 ビット単位でアクセスしてください。

- MTU0.TCNT ～ MTU7.TCNT

アドレス　MTU0.TCNT A006 A106h、MTU1.TCNT A006 A186h、MTU2.TCNT A006 A206h、MTU3.TCNT A006 A010h、MTU4.TCNT A006 A012h、MTU6.TCNT A006 A810h、MTU7.TCNT A006 A812h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

- MTU8.TCNT

アドレス　MTU8.TCNT A006 A408h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTの8/16ビット単位でのアクセスは禁止です。常に32ビット単位でアクセスしてください。

19.2.14　タイマロングワードカウンタ（TCNTLW）

TCNTLW カウンタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TCNT と MTU2.TCNT で構成される、32 ビットの読み出し／書き込み可能なカウンタです。MTU1 に 1 本あります。

TCNTLW カウンタは、リセット時に 0000 0000h に初期化されます。詳細は「19.2.5　タイマモードレジスタ 3（TMDR3）」を参照してください。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

アドレス　MTU1.TCNTLW A006 A1A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

19.2.15　タイマジェネラルレジスタ（TGR）

MTU0 ～ MTU7 の TGR レジスタは、16 ビットの読み出し／書き込み可能なレジスタです。MTU8 の TGR レジスタは、32 ビットの読み出し／書き込み可能なレジスタです。MTU0 に 6 本、MTU1、MTU2 に各 2 本、MTU3、MTU6 に各 5 本、MTU4、MTU7 に各 6 本、MTU5 に 3 本、MTU8 に 4 本、計 39 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア／インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 の TGRC と TGRD レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA － TGRC、TGRB － TGRD になります。

MTU0.TGRE、MTU0.TGRF はコンペアレジスタとして機能し、MTU0.TCNT と MTU0.TGRE が一致したとき、A/D 変換開始要求を発生することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRE － TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW はコンペアマッチ／インプットキャプチャ／外部パルス幅測定兼用のレジスタです。

アドレス　MTU0.TGRA A006 A108h、MTU0.TGRB A006 A10Ah、MTU0.TGRC A006 A10Ch、MTU0.TGRD A006 A10Eh、
MTU0.TGRE A006 A120h、MTU0.TGRF A006 A122h、
MTU1.TGRA A006 A188h、MTU1.TGRB A006 A18Ah、
MTU2.TGRA A006 A208h、MTU2.TGRB A006 A20Ah、
MTU3.TGRA A006 A018h、MTU3.TGRB A006 A01Ah、MTU3.TGRC A006 A024h、MTU3.TGRD A006 A026h、
MTU3.TGRE A006 A072h、
MTU4.TGRA A006 A01Ch、MTU4.TGRB A006 A01Eh、MTU4.TGRC A006 A028h、MTU4.TGRD A006 A02Ah、
MTU4.TGRE A006 A074h、MTU4.TGRF A006 A076h、
MTU5.TGRU A006 AA82h、MTU5.TGRV A006 AA92h、MTU5.TGRW A006 AAA2h、
MTU6.TGRA A006 A818h、MTU6.TGRB A006 A81Ah、MTU6.TGRC A006 A824h、MTU6.TGRD A006 A826h、
MTU6.TGRE A006 A872h、
MTU7.TGRA A006 A81Ch、MTU7.TGRB A006 A81Eh、MTU7.TGRC A006 A828h、MTU7.TGRD A006 A82Ah、
MTU7.TGRE A006 A874h、MTU7.TGRF A006 A876h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、FFFFhです。

アドレス　MTU8.TGRA A006 A40Ch、MTU8.TGRB A006 A410h、MTU8.TGRC A006 A414h、MTU8.TGRD A006 A418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　周期設定をする場合は、「19.6.3　周期設定上の注意事項」を参照してください。

19.2.16　タイマロングワードジェネラルレジスタ n（TGRnLW）（n = A、B）

TGRnLW レジスタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TGRn と MTU2.TGRn で構成される、32 ビットの読み出し／書き込み可能なレジスタです。MTU1 に 2 本あります。

詳細は「19.2.5　タイマモードレジスタ 3（TMDR3）」を参照してください。

TGRnLW レジスタは、TMDR3.LWA = 1 の場合でアウトプットコンペア／インプットキャプチャ兼用のレジスタです。（n = A、B）

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

アドレス　MTU1.TGRALW A006 A1A4h、MTU1.TGRBLW A006 A1A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

19.2.17　タイマスタートレジスタ（TSTR）

TSTRA レジスタは MTU0 ～ MTU4、MTU8 の TCNT の動作／停止を選択するレジスタです。

TSTRB レジスタは MTU6、MTU7 の TCNT の動作／停止を選択するレジスタです。

TSTR レジスタは MTU5 の TCNT の動作／停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

- TSTRA（MTU0、MTU1、MTU2、MTU3、MTU4、MTU8）

アドレス　MTU.TSTRA A006 A080h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	CST8	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：MTU0.TCNTのカウント動作は停止 1：MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0：MTU1.TCNTのカウント動作は停止 1：MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0：MTU2.TCNTのカウント動作は停止 1：MTU2.TCNTはカウント動作	R/W
b3	CST8	カウンタスタート8ビット	0：MTU8.TCNTのカウント動作は停止 1：MTU8.TCNTはカウント動作	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	CST3	カウンタスタート3ビット	0：MTU3.TCNTのカウント動作は停止 1：MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0：MTU4.TCNTのカウント動作は停止 1：MTU4.TCNTはカウント動作	R/W

注．　TCSYSTR レジスタを“1”にしたときは、TSTRA レジスタの対応するビットが自動的に“1”になります。

CSTn ビット（カウントスタート n ビット）（n = 0、1、2、3、4、8）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTRB（MTU6、MTU7）

アドレス　MTU.TSTRB A006 A880h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST7	CST6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	CST6	カウンタスタート6ビット	0：MTU6.TCNTのカウント動作は停止 1：MTU6.TCNTはカウント動作	R/W
b7	CST7	カウンタスタート7ビット	0：MTU7.TCNTのカウント動作は停止 1：MTU7.TCNTはカウント動作	R/W

注.　TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット（カウントスタート n ビット）（n = 6、7）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTR（MTU5）

アドレス　MTU5.TSTR A006 AAB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0：MTU5.TCNTWのカウント動作は停止 1：MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0：MTU5.TCNTVのカウント動作は停止 1：MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0：MTU5.TCNTUのカウント動作は停止 1：MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CSTn5 ビット（カウントスタート n5 ビット）（n = U、V、W）

各 TCNT の動作または停止を選択します。

19.2.18　タイマシンクロレジスタ（TSYR）

TSYRA レジスタは MTU0 ～ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。
TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。
対応するビットを “1” にしたチャネルが同期動作を行います。

- TSYRA（MTU0、MTU1、MTU2、MTU3、MTU4）

アドレス　MTU.TSYRA A006 A081h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：MTU0.TCNTは独立して動作 （TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU0.TCNTは同期動作 （TCNTの同期プリセット／同期クリアが可能）	R/W
b1	SYNC1	タイマ同期1ビット	0：MTU1.TCNTは独立して動作 （TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU1.TCNTは同期動作 （TCNTの同期プリセット／同期クリアが可能）	R/W
b2	SYNC2	タイマ同期2ビット	0：MTU2.TCNTは独立して動作 （TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU2.TCNTは同期動作 （TCNTの同期プリセット／同期クリアが可能）	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	SYNC3	タイマ同期3ビット	0：MTU3.TCNTは独立して動作 （TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU3.TCNTは同期動作 （TCNTの同期プリセット／同期クリアが可能）	R/W
b7	SYNC4	タイマ同期4ビット	0：MTU4.TCNTは独立して動作 （TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU4.TCNTは同期動作 （TCNTの同期プリセット／同期クリアが可能）	R/W

SYNCn ビット（タイマ同期 n ビット）（n = 0、1、2、3、4）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- TSYRB（MTU6、MTU7）

アドレス　MTU.TSYRB A006 A881h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	SYNC6	タイマ同期6ビット	0：MTU6.TCNTは独立して動作 （TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU6.TCNTは同期動作 （TCNTの同期プリセット／同期クリアが可能）	R/W
b7	SYNC7	タイマ同期7ビット	0：MTU7.TCNTは独立して動作 （TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU7.TCNTは同期動作 （TCNTの同期プリセット／同期クリアが可能）	R/W

SYNCn ビット（タイマ同期 n ビット）（n = 6、7）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

19.2.19　タイマカウンタシンクロスタートレジスタ（TCSYSTR）

TCSYSTR レジスタは、カウンタの同期スタートを行うレジスタです。

アドレス　MTU.TCSYSTR A006 A082h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクロスタート 7 ビット	0：MTU7.TCNT をシンクロスタートしない 1：MTU7.TCNT をシンクロスタートする	R/W （注1）
b1	SCH6	シンクロスタート 6 ビット	0：MTU6.TCNT をシンクロスタートしない 1：MTU6.TCNT をシンクロスタートする	R/W （注1）
b2	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b3	SCH4	シンクロスタート 4 ビット	0：MTU4.TCNT をシンクロスタートしない 1：MTU4.TCNT をシンクロスタートする	R/W （注1）
b4	SCH3	シンクロスタート 3 ビット	0：MTU3.TCNT をシンクロスタートしない 1：MTU3.TCNT をシンクロスタートする	R/W （注1）
b5	SCH2	シンクロスタート 2 ビット	0：MTU2.TCNT をシンクロスタートしない 1：MTU2.TCNT をシンクロスタートする	R/W （注1）
b6	SCH1	シンクロスタート 1 ビット	0：MTU1.TCNT をシンクロスタートしない 1：MTU1.TCNT をシンクロスタートする	R/W （注1）
b7	SCH0	シンクロスタート 0 ビット	0：MTU0.TCNT をシンクロスタートしない 1：MTU0.TCNT をシンクロスタートする	R/W （注1）

注1.　レジスタをセットするために“1”を書き込むことのみ可能です。
TCSYSTR レジスタは、“1”を書き込み後、自動的に“0”になります。

SCH7 ビット（シンクロスタート 7 ビット）

MTU7.TCNT のシンクロスタートを制御します。

[“0” になる条件]

- SCH7 = 1 の状態で、TSTRA.CST7 ビットに “1” をセットしたとき

SCH6 ビット（シンクロスタート 6 ビット）

MTU6.TCNT のシンクロスタートを制御します。

[“0” になる条件]

- SCH6 = 1 の状態で、TSTRA.CST6 ビットに “1” をセットしたとき

SCH4 ビット（シンクロスタート 4 ビット）

MTU4.TCNT のシンクロスタートを制御します。

[“0” になる条件]

- SCH4 = 1 の状態で、TSTRA.CST4 ビットに “1” をセットしたとき

SCH3 ビット（シンクロスタート 3 ビット）

MTU3.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH3 = 1 の状態で、TSTRA.CST3 ビットに “1” をセットしたとき

SCH2 ビット（シンクロスタート 2 ビット）

MTU2.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH2 = 1 の状態で、TSTRA.CST2 ビットに “1” をセットしたとき

SCH1 ビット（シンクロスタート 1 ビット）

MTU1.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH1 = 1 の状態で、TSTRA.CST1 ビットに “1” をセットしたとき

SCH0 ビット（シンクロスタート 0 ビット）

MTU0.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH0 = 1 の状態で、TSTRA.CST0 ビットに “1” をセットしたとき

19.2.20　タイマリードライトイネーブルレジスタ（TRWERA、TRWERB）

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を指定するレジスタです。

アドレス　MTU.TRWERA A006 A084h、MTU.TRWERB A006 A884h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0：レジスタのリードライトを禁止する 1：レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。

[“0” になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERA）**

MTUn.TCR、MTUn.TCR2、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERA、MTU.TOCR1A、MTU.TOCR2A、MTU.TGCRA、MTU.TCDRA、MTU.TDDRA と MTUn.TCNT の計 24 レジスタです。（n = 3、4）

- **誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERB）**

MTUn.TCR、MTUn.TCR2、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERB、MTU.TOCR1B、MTU.TOCR2B、MTU.TCDRB、MTU.TDDRB と MTUn.TCNT の計 23 レジスタです。（n = 6、7）

19.2.21　タイマアウトプットマスタイネーブルレジスタ（TOER）

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可／禁止を行うレジスタです。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可／禁止を行うレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4、MTU6、MTU7 において、TOER レジスタは MTU3、MTU4、MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを “0” にした後で設定してください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST0、CST1 ビットを “0” にした後で設定してください（**図 19.44**、**図 19.48** 参照）。

- TOERA

アドレス　MTU.TOERA A006 A00Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

注1.　非アクティブレベルは、タイマアウトプットコントロールレジスタ1/2（TOCR1/2）の設定によります。詳細は、「19.2.22　タイマアウトプットコントロールレジスタ1（TOCR1A、TOCR1B）」、「19.2.23　タイマアウトプットコントロールレジスタ2（TOCR2A、TOCR2B）」を参照してください。なお、相補PWMモード／リセット同期PWMモード以外でMTU出力する場合は“1”に設定してください。“0”に設定した場合はタイマアウトプットコントロールレジスタの設定によって非アクティブレベルが出力されます。

OEnm ビット（マスタ許可 MTIOCnm ビット）（n = 3、4、m = A ～ D）

MTU の MTIOCnm 端子出力を許可／禁止します。

- TOERB

アドレス　MTU.TOERB A006 A80Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

注1.　非アクティブレベルは、タイマアウトプットコントロールレジスタ1/2（TOCR1/2）の設定によります。詳細は、「19.2.22　タイマアウトプットコントロールレジスタ1（TOCR1A、TOCR1B）」、「19.2.23　タイマアウトプットコントロールレジスタ2（TOCR2A、TOCR2B）」を参照してください。なお、相補PWMモード／リセット同期PWMモード以外でMTU出力する場合は“1”に設定してください。“0”に設定した場合はタイマアウトプットコントロールレジスタの設定によって非アクティブレベルが出力されます。

OEnm ビット（マスタ許可 MTIOCnm ビット）（n = 6、7、m = A ～ D）

MTU の MTIOCnm 端子出力を許可／禁止します。

19.2.22　タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）

TOCR1A レジスタは MTU3 と MTU4 を用いた相補 PWM モード／リセット同期 PWM モード時の設定を行うレジスタです。TOCR1B は MTU6 と MTU7 を用いた相補 PWM モード／リセット同期 PWM モード時の設定を行うレジスタです。

アドレス　MTU.TOCR1A A006 A00Eh、MTU.TOCR1B A006 A80Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0（注4）	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット（注1）（注3）	表19.42を参照してください。	R/W
b1	OLSN	出力レベル選択Nビット（注1）（注3）	表19.43を参照してください。	R/W
b2	TOCS	TOC選択ビット	0：TOCR1jの設定を有効にする（j = A、B） 1：TOCR2jの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット（注2）（注4）	0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	PSYE	PWM同期出力許可ビット	0：トグル出力を禁止 1：トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　TOCR1j.TOCSビットを“0”にすることにより、本設定が有効になります。
注2.　TOCR1j.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。
注3.　デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。
注4.　リセット後、1回のみ“1”を書けます。“1”を書いた後は、“0”を書くことはできません。

OLSP ビット（出力レベル選択 P ビット）

リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。

OLSN ビット（出力レベル選択 N ビット）

リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。

TOCS ビット（TOC 選択ビット）

相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1j レジスタと TOCR2j レジスタ（j = A、B）のどちらの設定を有効にするか選択します。

TOCL ビット（TOC レジスタ書き込み禁止ビット）

TOCR1j レジスタ（j = A、B）の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。

PSYE ビット（PWM 同期出力許可ビット）

PWM 周期に同期したトグル出力の許可／禁止を設定します。

表19.42　出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

表19.43　出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

注1.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 19.3 に示します。

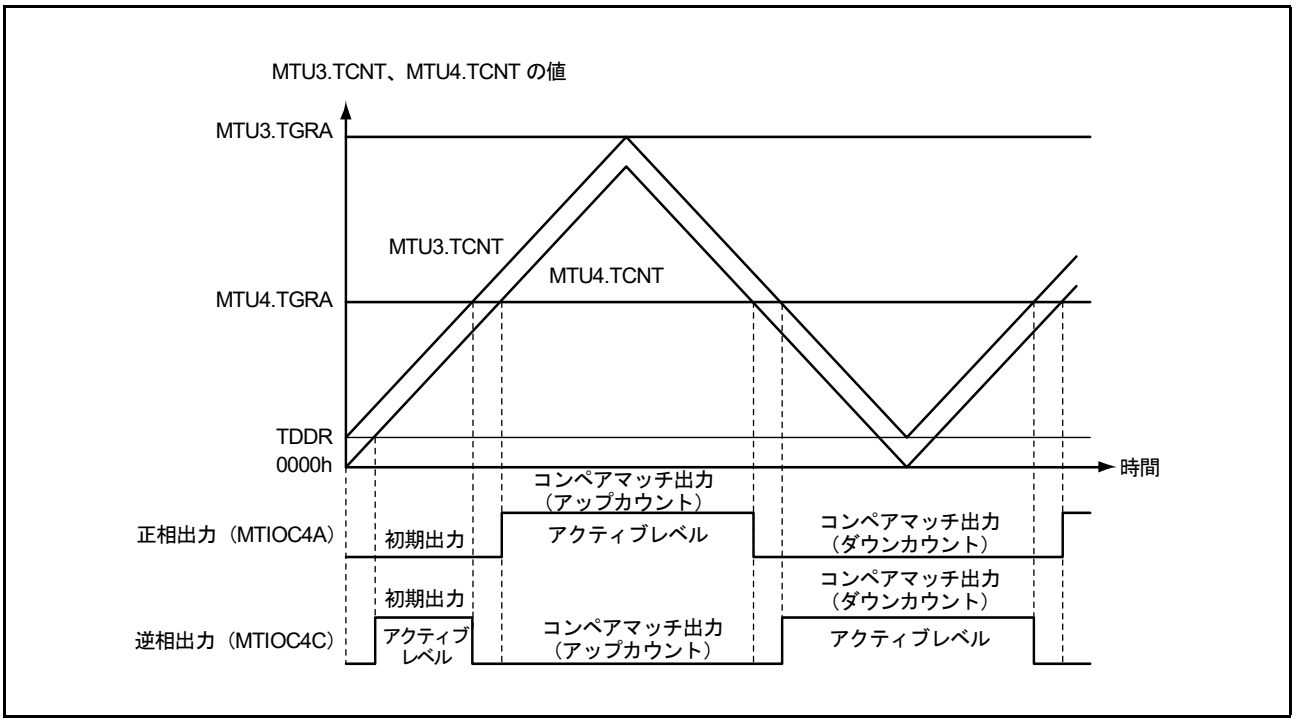


図 19.3　相補 PWM モードの出力レベルの例

19.2.23　タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）

TOCR2A、TOCR2B レジスタは、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行うレジスタです。

アドレス　MTU.TOCR2A A006 A00Fh、MTU.TOCR2B A006 A80Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット（注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC3B／MTIOC6Bの出力レベルを選択します。表19.44を参照してください。	R/W
b1	OLS1N	出力レベル選択1Nビット（注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC3D／MTIOC6Dの出力レベルを選択します。表19.45を参照してください。	R/W
b2	OLS2P	出力レベル選択2Pビット（注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4A／MTIOC7Aの出力レベルを選択します。表19.46を参照してください。	R/W
b3	OLS2N	出力レベル選択2Nビット（注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4C／MTIOC7Cの出力レベルを選択します。表19.47を参照してください。	R/W
b4	OLS3P	出力レベル選択3Pビット（注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4B／MTIOC7Bの出力レベルを選択します。表19.48を参照してください。	R/W
b5	OLS3N	出力レベル選択3Nビット（注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4D／MTIOC7Dの出力レベルを選択します。表19.49を参照してください。	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRjからTOCR2jへのバッファ転送タイミングを選択します。詳細は表19.50を参照してください。	R/W

j = A、B

注1.　TOCR1j.TOCSビットを“1”にすることにより、本設定が有効になります。

注2.　デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。（i = 1、2、3）

表19.44　MTIOCmB出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

m = 3、6

表19.45　MTIOCmD出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

m = 3、6

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表19.46　MTIOCmA出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

m = 4、7

表19.47　MTIOCmC出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

m = 4、7

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表19.48　MTIOCmB出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

m = 4、7

表19.49　MTIOCmD出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

m = 4、7

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表19.50　TOCR2j.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF1	BF0	相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ（TOLBRj）からTOCR2jへ転送しない	バッファレジスタ（TOLBRj）からTOCR2jへ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ（TOLBRj）からTOCR2jへ転送する	MTUm.TCNT、MTUn.TCNTカウンタクリア時にバッファレジスタ（TOLBRj）からTOCR2jへ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ（TOLBRj）からTOCR2jへ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ（TOLBRj）からTOCR2jへ転送する	設定しないでください

n = 4、7　m = 3、6　j = A、B

19.2.24　タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

アドレス　MTU.TOLBRA A006 A036h、MTU.TOLBRB A006 A836h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2jのOLS1Pビットにバッファ転送する値を設定してください。	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2jのOLS1Nビットにバッファ転送する値を設定してください。	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2jのOLS2Pビットにバッファ転送する値を設定してください。	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2jのOLS2Nビットにバッファ転送する値を設定してください。	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2jのOLS3Pビットにバッファ転送する値を設定してください。	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2jのOLS3Nビットにバッファ転送する値を設定してください。	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

j = A、B

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 19.4 に示します。

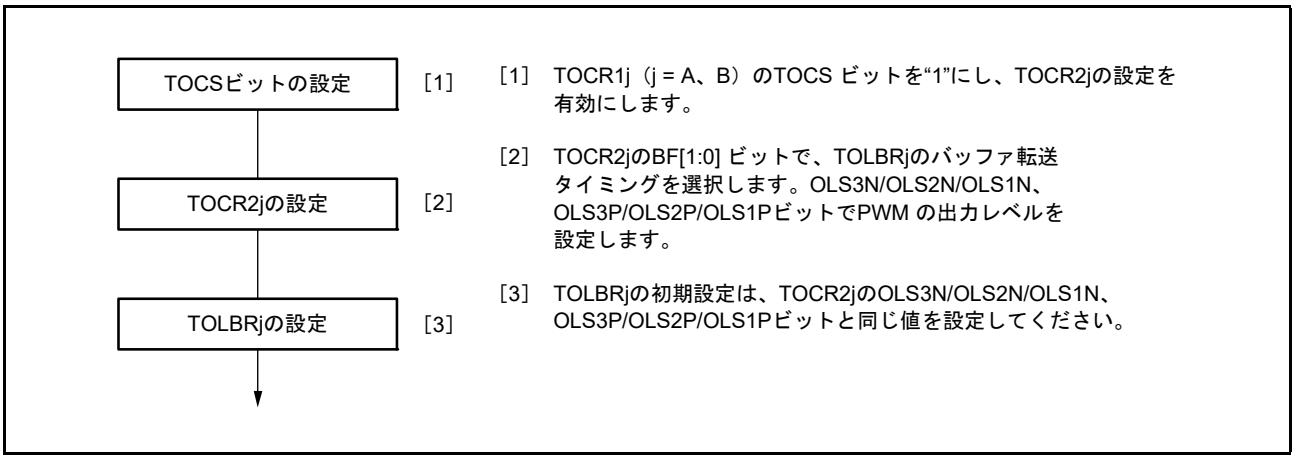


図 19.4　PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

19.2.25　タイマゲートコントロールレジスタ A（TGCRA）

TGCRA レジスタは、リセット同期 PWM モード／相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード／リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

アドレス　MTU.TGCRA A006 A00Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相／逆相の出力相のON／OFFを設定します。これらのビットの設定はTGCRA.FBビットが1のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表19.51を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRAのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM／相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM／相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

UF、VF、WF ビット（出力切り替えビット）

正相／逆相の出力相の ON、OFF を設定します。

FB ビット（外部フィードバック信号許可ビット）

正相／逆相の出力の切り替えを MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCRA レジスタのビット 2 ～ 0 に “0” または “1” を書き込むことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子の出力（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM ／相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM ／相補 PWM 出力するかの選択をします。

BDC ビット（ブラシレス DC モータビット）

TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表19.51　出力レベル選択機能

ビット2	ビット1	ビット0	機能					
WF	VF	UF	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

19.2.26　タイマサブカウンタ（TCNTSA、TCNTSB）

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は 0000h です。

アドレス　MTU.TCNTSA A006 A020h、MTU.TCNTSB A006 A820h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTSA、TCNTSB レジスタの 8 ビット単位でアクセスは禁止です。
常に 16 ビット単位でアクセスしてください。

19.2.27　タイマ周期データレジスタ（TCDRA、TCDRB）

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り換えます（ダウンカウント→アップカウント）。TCDRA、TCDRB レジスタのリセット後の値は FFFFh です。

アドレス　MTU.TCDRA A006 A014h、MTU.TCDRB A006 A814h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCDRA、TCDRB レジスタの 8 ビット単位でのアクセスは禁止です。
常に 16 ビット単位でアクセスしてください。

19.2.28　タイマ周期バッファレジスタ（TCBRA、TCBRB）

TCBRA、TCBRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタで、TCDRA、TCDRB レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA、TCBRB レジスタの値が TCDRA、TCDRB レジスタに転送されます。TCBRA、TCBRB レジスタのリセット後の値は FFFFh です。

アドレス　MTU.TCBRA A006 A022h、MTU.TCBRB A006 A822h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCBRA、TCBRB レジスタの 8 ビット単位でのアクセスは禁止です。
常に 16 ビット単位でアクセスしてください。

19.2.29　タイマデッドタイムデータレジスタ（TDDRA、TDDRB）

TDDRA、TDDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）カウンタをクリアして再スタートするときは、TDDRA（TDDRB）レジスタの値が MTU3.TCNT（MTU6.TCNT）カウンタにロードされカウント動作を開始します。TDDRA、TDDRB レジスタのリセット後の値は FFFFh です。

アドレス　MTU.TDDRA A006 A016h、MTU.TDDRB A006 A816h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TDDRA、TDDRB レジスタの 8 ビット単位でのアクセスは禁止です。
常に 16 ビット単位でアクセスしてください。

19.2.30　タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

アドレス　MTU.TDERA A006 A034h、MTU.TDERB A006 A834h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0：デッドタイムを生成しない 1：デッドタイムを生成する（注1）	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　TDDRA≧1、TDDRB≧1に設定してください。

TDER ビット（デッドタイムイネーブルビット）

デッドタイムの生成をする／しないを設定します。

[“0” になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

19.2.31　タイマバッファ転送設定レジスタ（TBTERA、TBTERB）

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能 1 と連動する／しないを設定するレジスタです。

アドレス　MTU.TBTERA A006 A032h、MTU.TBTERB A006 A832h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ（注1）からテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能1と連動する／しないを設定します。 詳細は表19.52を参照してください。	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　対象バッファレジスタ（TBTERA）
MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBRA
対象バッファレジスタ（TBTERB）
MTU6.TGRC、MTU6.TGRD、MTU7.TGRC、MTU7.TGRD、MTU.TCBRB

表19.52　TBTER.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない。（注1） また、割り込み間引き機能1と連動しない。
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する。
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する。（注2）
1	1	設定しないでください。

注1.　TMDR1.MD[3:0]ビットの設定にしたがい転送します。詳細は「19.3.8　相補PWMモード」を参照してください。
注2.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））のT3AEN、T4VEN（T6AEN、T7VEN）ビットを“0”にしたとき、またはTITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR、T7VCOR））を“0”にしたとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTERA（TBTERB））のBTE1ビットを“0”にする）にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

19.2.32　タイマ波形コントロールレジスタ（TWCRA、TWCRB）

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする／しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

アドレス　MTU.TWCRA A006 A060h、MTU.TWCRB A006 A860h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	SCC	WRE
リセット後の値	0（注2）	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0：TOCR1A,TOCR2A（TOCR1B,TOCR2B）レジスタで設定した初期出力値を出力 1：初期出力を抑止する	R/(W)（注3）
b1	SCC（注1）（注3）	同期クリアコントロールビット	（TWCRB レジスタのみ有効） 0：MTU0、1、2—MTU6、7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア有効 1：MTU0、1、2—MTU6、7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	CCE（注2）	コンペアマッチクリア許可ビット	0：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをしない 1：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする	R/(W)

注1.　TWCRB レジスタのみ有効です、TWCRA レジスタでは予約ビットです。
注2.　相補 PWM モード1のとき以外は、“1”を書かないでください。
注3.　相補 PWM モードのとき以外は、“1”を書かないでください。

WRE ビット（波形保持許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A（TOCR1B、TOCR2B）レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A（TOCR1B、TOCR2B）レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、**図 19.50** を参照してください。

[“1” になる条件]

- WRE = 0 で WRE を読んだ後、WRE に “1” を書いたとき

SCC ビット（同期クリアコントロールビット）（TWCRB レジスタのみ）

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする／しないを設定します。

本機能を使用する際は、MTU6、7 を相補 PWM モードに設定してください。また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の Tb 区間については、**図 19.50** を参照してください。

[“1” になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに “1” を書いたとき

TWCRA レジスタでは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モードで、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする／しないを設定します。

[“1” になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに “1” を書いたとき

19.2.33　ノイズフィルタコントロールレジスタ n（NFCRn）（n = 0 ～ 4、6、7、8、C）

NFCRn レジスタは MTUn の入力端子のノイズフィルタ機能を制御するレジスタです（n = 0 ～ 4, 6, 7, 8）。NFCRC レジスタは MTU の外部クロック入力端子のノイズフィルタ機能を制御するレジスタです。

- NFCRn（n = 0 ～ 4、6、7、8）

アドレス　MTU0.NFCR0 A006 A090h、MTU1.NFCR1 A006 A091h、MTU2.NFCR2 A006 A092h、MTU3.NFCR3 A006 A093h、MTU4.NFCR4 A006 A094h、MTU6.NFCR6 A006 A893h、MTU7.NFCR7 A006 A894h、MTU8.NFCR8 A006 A098h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0：MTIOCnA端子のノイズフィルタは無効 1：MTIOCnA端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0：MTIOCnB端子のノイズフィルタは無効 1：MTIOCnB端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット	0：MTIOCnC端子のノイズフィルタは無効 1：MTIOCnC端子のノイズフィルタを有効	R/W （注1）
b3	NFDEN	ノイズフィルタD許可ビット	0：MTIOCnD端子のノイズフィルタは無効 1：MTIOCnD端子のノイズフィルタを有効	R/W （注1）
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/8 1 0：PCLKC/32 1 1：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　NFCR1 レジスタ、NFCR2 レジスタでは予約ビットです。読むと“0”が読みだされます。書き込みは無効です。

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTIOCnA 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTIOCnB 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTIOCnC 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTIOCnD 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。本ビットを “11b” に設定しカウントソースを外部クロックとした場合、本ビット設定後外部クロックを 2 回入力した後インプットキャプチャ機能に設定してください。

- NFCRC

アドレス　MTU0.NFCRC A006 A099h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCSC[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0：MTCLKA 端子のノイズフィルタは無効 1：MTCLKA 端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0：MTCLKB 端子のノイズフィルタは無効 1：MTCLKB 端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0：MTCLKC 端子のノイズフィルタは無効 1：MTCLKC 端子のノイズフィルタを有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0：MTCLKD 端子のノイズフィルタは無効 1：MTCLKD 端子のノイズフィルタを有効	R/W
b5-b4	NFCSC[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/2 1 0：PCLKC/8 1 1：PCLKC/32	R/W
b7-b6	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTCLKA 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTCLKB 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTCLKC 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTCLKD 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCSC[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

19.2.34　ノイズフィルタコントロールレジスタ 5（NFCR5）

NFCR5 レジスタは MTU5 の入力端子のノイズフィルタ機能を制御するレジスタです。

アドレス　MTU5.NFCR5 A006 A895h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		—	NFWEN	NFVEN	NFUEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0：MTIOC5U端子のノイズフィルタは無効 1：MTIOC5U端子のノイズフィルタを有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0：MTIOC5V端子のノイズフィルタは無効 1：MTIOC5V端子のノイズフィルタを有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0：MTIOC5W端子のノイズフィルタは無効 1：MTIOC5W端子のノイズフィルタを有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/8 1 0：PCLKC/32 1 1：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NFUEN ビット（ノイズフィルタ U 許可ビット）

MTIOC5U 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット（ノイズフィルタ V 許可ビット）

MTIOC5V 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット（ノイズフィルタ W 許可ビット）

MTIOC5W 端子の入力のノイズフィルタ機能の有効／無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

19.2.35　タイマ A/D 変換開始要求コントロールレジスタ（TADCR）

TADCR レジスタは、A/D 変換開始要求の許可／禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する／しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

- TADCR（MTU4）

アドレス　MTU4.TADCR A006 A040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0（注4）	0	0（注4）	0（注4）	0（注4）	0（注4）	0（注4）

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE（注4）	TCIV4割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG4BN）をTCI4V割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTCI4V割り込み間引き機能1と連動する	R/W
b1	ITB3AE（注4）	TGIA3割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG4BN）をTGI3A割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTGI3A割り込み間引き機能1と連動する	R/W
b2	ITA4VE（注4）	TCIV4割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG4AN）をTCI4V割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTCI4V割り込み間引き機能1と連動する	R/W
b3	ITA3AE（注4）	TGIA3割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG4AN）をTGI3A割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTGI3A割り込み間引き機能1と連動する	R/W
b4	DT4BE（注4）	ダウンカウントTRG4BN許可ビット	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b5	UT4BE	アップカウントTRG4BN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b6	DT4AE（注4）	ダウンカウントTRG4AN許可ビット	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b7	UT4AE	アップカウントTRG4AN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA／B転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRBからMTU4.TADCORA、MTU4.TADCORBへの転送タイミングを選択します。詳細は表19.53を参照してください。	R/W

注1.　MTU4.TADCRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
注2.　割り込み間引きが禁止のときTITCR1A.T3AEN, T4VENビットを“0”にしたとき、またはTITCR1A.T3ACOR, T4VCORビットを“0”にしたときは、必ず割り込み間引き機能1と連動しない（MTU4.TADCR.ITA3AE, ITA4VE, ITB3AE, ITB4VEビットを“0”）にしてください。
注3.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注4.　相補PWMモードのとき以外は、“1”を書かないでください。

表19.53　TADCR.BF[1:0]ビットによる転送タイミングの設定（MTU4）

ビット15	ビット14	説明
BF1	BF0	
0	0	周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB）から 周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB）へ転送しない。
0	1	MTU4.TCNTの山で周期設定バッファレジスタから周期設定レジスタへ転送する。（注1）
1	0	MTU4.TCNTの谷で周期設定バッファレジスタから周期設定レジスタへ転送する。（注2）
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する。（注2）

注1.　相補PWMモードではMTU4.TCNTの山およびMTU4.TGRDレジスタの書き込み時、リセット同期PWMモードではMTU3.TCNTがMTU3.TGRAレジスタとコンペアマッチしたとき、PWMモード1／通常動作モードではMTU4.TCNTがMTU4.TGRAレジスタとコンペアマッチしたときに、周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB）へ転送します。

注2.　相補PWMモード以外では設定禁止です。

- TADCR（MTU7）

アドレス　MTU7.TADCR A006 A840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0	0（注4）	0	0（注4）	0（注4）	0（注4）	0（注4）	0（注4）

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE（注4）	TCIV7割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG7BN）をTCI7V割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTCI7V割り込み間引き機能1と連動する	R/W
b1	ITB6AE（注4）	TGIA6割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG7BN）をTGI6A割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTGI6A割り込み間引き機能1と連動する	R/W
b2	ITA7VE（注4）	TCIV7割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG7AN）をTCI7V割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTCI7V割り込み間引き機能1と連動する	R/W
b3	ITA6AE（注4）	TGIA6割り込み間引き連動許可ビット	0：A/D変換の開始要求（TRG7AN）をTGI6A割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTGI6A割り込み間引き機能1と連動する	R/W
b4	DT7BE（注4）	ダウンカウントTRG7BN許可ビット	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b6	DT7AE（注4）	ダウンカウントTRG7AN許可ビット	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b7	UT7AE	アップカウントTRG7AN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA／B転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表19.54を参照してください。	R/W

注1.　MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
注2.　割り込み間引きが禁止のときTITCR1B.T6AEN, T7VENビットを“0”に設定したとき、またはTITCR1B.T6ACOR, T7VCORビットを“0”にしたときは、必ず割り込み間引き機能1と連動しない（MTU7.TADCR.ITA6AE, ITA7VE, ITB6AE, ITB7VEビットを“0”）にしてください。
注3.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注4.　相補PWMモード以外では、“1”を書かないでください。

表19.54　TADCR.BF[1:0]ビットによる転送タイミングの設定（MTU7）

ビット15	ビット14	説明
BF1	BF0	
0	0	周期設定バッファレジスタ（MTU7.TADCOBRA、MTU7.TADCOBRB）から 周期設定レジスタ（MTU7.TADCORA、MTU7.TADCORB）へ転送しない。
0	1	MTU7.TCNTの山で周期設定バッファレジスタから周期設定レジスタへ転送する。(注1)
1	0	MTU7.TCNTの谷で周期設定バッファレジスタから周期設定レジスタへ転送する。(注2)
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する。(注2)

注1.　相補PWMモードではMTU7.TCNTの山およびMTU7.TGRDレジスタの書き込み時、リセット同期PWMモードではMTU6.TCNTがMTU6.TGRAレジスタとコンペアマッチしたとき、PWMモード1／通常動作モードではMTU7.TCNTがMTU7.TGRAレジスタとコンペアマッチしたときに、周期設定バッファレジスタ（MTU7.TADCOBRA、MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA、MTU7.TADCORB）へ転送します。

注2.　相補PWMモード以外では設定禁止です。

19.2.36　タイマ A/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）

TADCORA、TADCORB レジスタは 16 ビットの読み出し／書き込み可能なレジスタで、MTUn.TCNT（n＝4、7）と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA、TADCORB レジスタのリセット後の値は FFFFh です。

アドレス　MTU4.TADCORA A006 A044h、MTU4.TADCORB A006 A046h、MTU7.TADCORA A006 A844h、MTU7.TADCORB A006 A846h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　MTUn.TADCORA、MTUn.TADCORB（n＝4、7）は8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

注1.　割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「19.3.9　(4)　割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は0002h～MTU4：TCDRAの設定値－2、MTU7：TCDRBの設定値－2の値を設定してください。

注2.　割り込み間引き機能2を使用し、かつMTUn.TADCORAレジスタ値とMTUn.TADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能 2、間引き回数が “0” の場合

- MTUn.TADCORA レジスタ値と MTUn.TADCORB レジスタ値との間隔が「4」以上
- MTUn.TADCORA のコンペア間隔が 4PCLKC 以上（MTUn.TADCORA レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）
- MTUn.TADCORB のコンペア間隔が 4PCLKC 以上（MTUn.TADCORB レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）

(2) 間引き機能 2、間引き回数が 1 以上の場合

- MTUn.TADCORA レジスタ値と MTUn.TADCORB レジスタ値との間隔が「2」以上
- MTUn.TADCORB のコンペア間隔が 2PCLKC 以上（MTUn.TADCORB レジスタの更新値を「前値＋ 2 以上」、「前値－ 2 以下」に設定）

19.2.37　タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA、TADCOBRB）

TADCOBRA、TADCOBRB レジスタは 16 ビットの読み出し／書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷で TADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値は FFFFh です。

アドレス　MTU4.TADCOBRA A006 A048h、MTU4.TADCOBRB A006 A04Ah、MTU7.TADCOBRA A006 A848h、MTU7.TADCOBRB A006 A84Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TADCOBRA、TADCOBRB レジスタの 8 ビット単位でのアクセスは禁止です。
常に 16 ビット単位でアクセスしてください。

19.2.38　タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）

TITMRA、TITMRB レジスタは、2 種類の間引き機能を選択するレジスタです。

アドレス　MTU.TITMRA A006 A03Ah、MTU.TITMRB A006 A83Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 詳細は表19.55を参照してください。	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

表19.55　TITMビットによる割り込み間引き機能の設定

ビット0 TITM	説明
0	割り込み間引き機能1（注1）
1	割り込み間引き機能2（注2）

注1.　TITCR1A、TITCR1B レジスタを設定することにより割り込み間引き機能1が有効になります。
注2.　TITCR2A、TITCR2B レジスタを設定することにより割り込み間引き機能2が有効になります。

19.2.39　タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止／許可、割り込み間引き回数の設定を制御します。この設定は TITMRA、TITMRB レジスタを “0” としたときのみ有効になります。また、TITMRA、TITMRB レジスタを “1” とした場合、このレジスタの値はクリアされます。

- TITCR1A

アドレス　MTU.TITCR1A A006 A030h

	b7	b6	b5	b4	b3	b2	b1	b0
	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 割り込み間引き回数設定ビット	TCIV4 割り込みの間引き回数を 0～7 回で設定します。 詳細は表 19.56 を参照してください。	R/W
b3	T4VEN	T4VEN ビット	0：TCIV4 割り込みの間引きを禁止する 1：TCIV4 割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3 割り込み間引き回数設定ビット	TGIA3 割り込みの間引き回数を 0～7 回で設定します。(注1) 詳細は表 19.57 を参照してください。	R/W
b7	T3AEN	T3AEN ビット	0：TGIA3 割り込みの間引きを禁止する 1：TGIA3 割り込みの間引きを許可する	R/W

注1.　割り込み間引き回数を “0” にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VEN ビットを “0” にして間引き回数カウンタ（TITCNT1A）をクリアしてください。

- TITCR1B

アドレス　MTU.TITCR1B A006 A830h

	b7	b6	b5	b4	b3	b2	b1	b0
	T6AEN	T6ACOR[2:0]			T7VEN	T7VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7 割り込み間引き回数設定ビット	TCIV7 割り込みの間引き回数を 0～7 回で設定します。 詳細は表 19.58 を参照してください。	R/W
b3	T7VEN	T7VEN ビット	0：TCIV7 割り込みの間引きを禁止する 1：TCIV7 割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6 割り込み間引き回数設定ビット	TGIA6 割り込みの間引き回数を 0～7 回で設定します。(注1) 詳細は表 19.59 を参照してください。	R/W
b7	T6AEN	T6AEN ビット	0：TGIA6 割り込みの間引きを禁止する 1：TGIA6 割り込みの間引きを許可する	R/W

注1.　割り込み間引き回数を “0” にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VEN ビットを “0” にして間引き回数カウンタ（TITCNT1B）をクリアしてください。

表19.56　T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T4VCOR2	ビット1 T4VCOR1	ビット0 T4VCOR0	説明
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表19.57　T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR2	ビット5 T3ACOR1	ビット4 T3ACOR0	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表19.58　T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T7VCOR2	ビット1 T7VCOR1	ビット0 T7VCOR0	説明
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

表19.59　T6ACOR[2:0]ビットによる割り込み間引き回数の設定

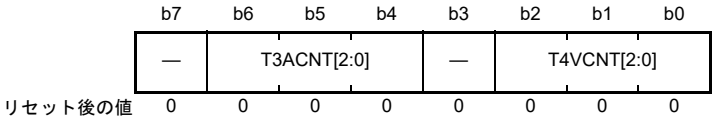
ビット6	ビット5	ビット4	説明
T6ACOR2	T6ACOR1	T6ACOR0	
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

19.2.40　タイマ割り込み間引き回数カウンタ 1（TITCNT1A、TITCNT1B）

TITCNT1A、TITCNT1B レジスタは、8 ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1B は、MTU3.TCNT および MTU4.TCNT（MTU6.TCNT および MTU7.TCNT）のカウント動作停止後も、値を保持します。

- TITCNT1A

アドレス　MTU.TITCNT1A A006 A031h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4割り込み要因が発生したときに1カウントアップします。	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3割り込み要因が発生したときに1カウントアップします。	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

注1.　TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

T4VCNT[2:0] ビット（TCIV4 割り込みカウンタビット）

TITCR1A.T4VEN ビットが “1” の場合、TCIV4 割り込み要因が発生したときに 1 カウントアップします。

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T4VEN ビットが “0” のとき
- TITCR1A.T4VCOR[2:0] ビットが “000b” のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

T3ACNT[2:0] ビット（TGIA3 割り込みカウンタビット）

TITCR1A.T3AEN ビットが “1” の場合、TGIA3 割り込み要因が発生したときに 1 カウントアップします。

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T3AEN ビットが “0” のとき
- TITCR1A.T3ACOR[2:0] ビットが “000b” のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- TITCNT1B

アドレス　MTU.TITCNT1B A006 A831h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T6ACNT[2:0]			—	T7VCNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7割り込み要因が発生したときに1カウントアップします。	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b6-b4	T6ACNT[2:0]	TGIA6割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6割り込み要因が発生したときに1カウントアップします。	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

注1.　TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット（TCIV7 割り込みカウンタビット）

TITCR1B.T7VEN ビットが “1” の場合、TCIV7 割り込み要因が発生したときに 1 カウントアップします。

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T7VEN ビットが “0” のとき
- TITCR1B.T7VCOR[2:0] ビットが “000b” のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット（TGIA6 割り込みカウンタビット）

TITCR1B.T6AEN ビットが “1” の場合、TGIA6 割り込み要因が発生したときに 1 カウントアップします。

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T6AEN ビットが “0” のとき
- TITCR1B.T6ACOR[2:0] ビットが “000b” のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

19.2.41　タイマ割り込み間引き設定レジスタ 2（TITCR2A、TITCR2B）

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN（TRG7AN と TRG7BN）の割り込み間引き回数を設定するレジスタです。

この設定は TITMRA、TITMRB レジスタを “1” にしたときのみ有効になります。

- TITCR2A

アドレス　MTU.TITCR2A A006 A03Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4COR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN／TRG4BN割り込み間引き回数設定ビット	TRG4AN／TRG4BN割り込みの間引き回数を0～7回で設定します。詳細は表19.60を参照してください。	R/W
b7-b3	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

表19.60　TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2 TRG4COR2	ビット1 TRG4COR1	ビット0 TRG4COR0	説明
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

- TITCR2B

アドレス　MTU.TITCR2B A006 A83Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7COR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN／TRG7BN割り込み間引き回数設定ビット	TRG7AN/TRG7BN割り込みの間引き回数を0～7回で設定します。詳細は表19.61を参照してください。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

表19.61　TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR2	TRG7COR1	TRG7COR0	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

19.2.42　タイマ割り込み間引き回数カウンタ 2（TITCNT2A、TITCNT2B）

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN（TITCNT2A）および TRG7AN、TRG7BN（TITCNT2B）が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

- TITCNT2A

アドレス　MTU.TITCNT2A A006 A03Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4CNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN／TRG4BN割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります。	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

TRG4CNT[2:0] ビット（TRG4AN ／ TRG4BN 割り込みカウンタビット）

TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0” になる条件]

- TITMRA.TITM ビットが “0” のとき
- TITCR2A.TRG4COR[2:0] ビットが “000b” のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- TITCNT2B

アドレス　MTU.TITCNT2B A006 A83Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7CNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN／TRG7BN割り込みカウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、TRG7BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BNの割り込みが有効になります。	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

TRG7CNT[2:0] ビット（TRG7AN ／ TRG7BN 割り込みカウンタビット）

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0” になる条件]

- TITMRB.TITM ビットが “0” のとき
- TITCR2B.TRG7COR[2:0] ビットが “000b” のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

19.2.43　バスマスタとのインタフェース

MTU8のタイマカウンタ（MTU8.TCNT）、およびジェネラルレジスタ（MTU8.TGRn）とTMDR3.LWA = 1のときのMTU1.TCNTLW、MTU1.TGRALW、MTU1.TGRBLWレジスタは32ビットのレジスタです。バスマスタとの間のデータバスは32ビット幅なので、32ビット単位での読み出し／書き込みが可能です。8／16ビット単位での読み出し／書き込みはできません。常に32ビット単位でアクセスしてください。

MTU8を除くタイマカウンタ（MTU0.TCNT ～ MTU7.TCNT）、ジェネラルレジスタ（MTU0.TGRn ～ MTU7.TGRn）、タイマサブカウンタ（TCNTSA、TCNTSB）、タイマ周期バッファレジスタ（TCBRA、TCBRB）、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）、タイマ周期データレジスタ（TCDRA、TCDRB）、タイマA/D変換開始要求コントロールレジスタ（MTU4.TADCR、MTU7.TADCR）、タイマA/D変換開始要求周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB）、およびタイマA/D変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB）は16ビットのレジスタです。バスマスタとの間のデータバスは16ビット幅なので、16ビット単位での読み出し／書き込みが可能です。8ビット単位での読み出し／書き込みはできません。常に16ビット単位でアクセスしてください。

上記以外のレジスタは8ビットのレジスタです。CPUとの間のデータバスは16ビット幅なので、16ビット単位での読み出し／書き込みが可能です。また、8ビット単位での読み出し／書き込みもできます。

19.3　動作説明

19.3.1　基本動作

各チャネルには、TCNT と TGR レジスタがあります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1)　カウンタの動作

TSTRA レジスタの CST0 ～ CST4、CST8 ビット、TSTRB レジスタの CST6、CST7 ビット、MTU5.TSTR レジスタの CSTU5、CSTV5、CSTW5 ビットを “1” にすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a)　カウント動作の設定手順例

カウント動作の設定手順例を図 19.5 に示します。

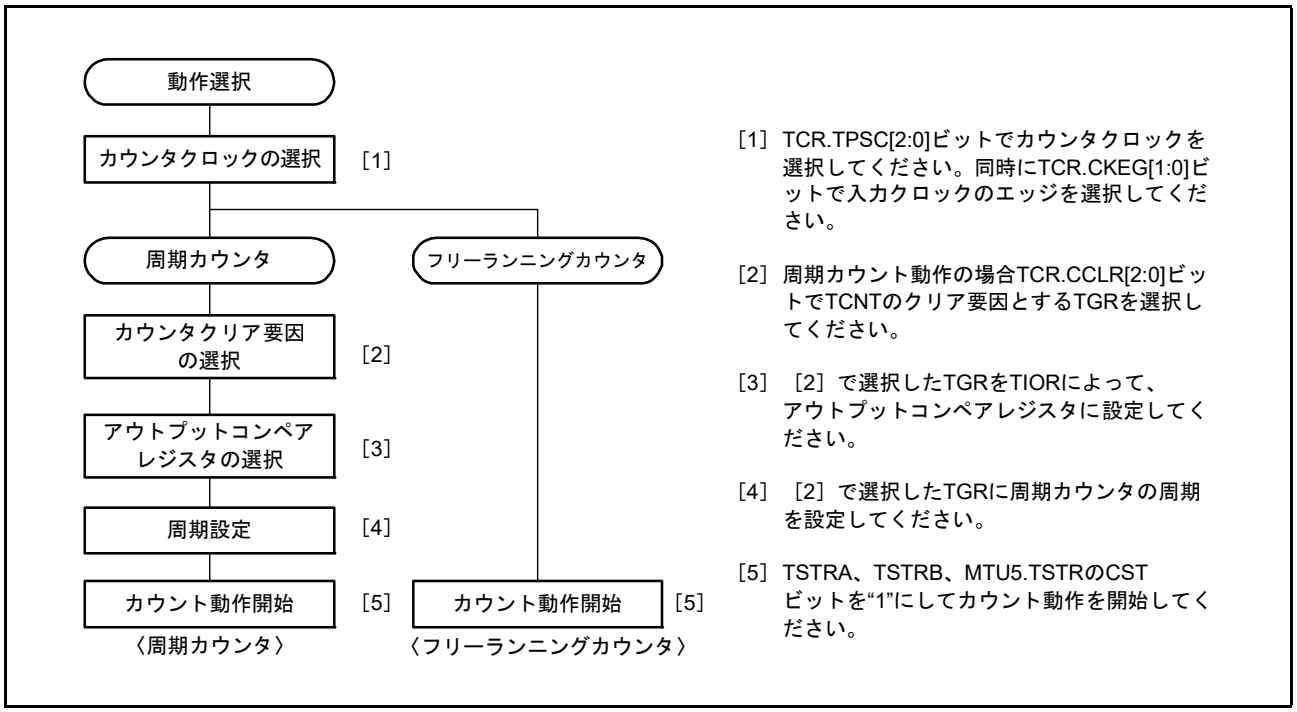


図 19.5　カウント動作設定手順例

(b)　フリーランニングカウント動作と周期カウント動作

MTU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTR レジスタの対応するビットを “1” にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（FFFFh → 0000h）すると、対応する TIER.TCIEV ビットが “1” ならば、MTU は割り込みを要求します。TCNT はオーバフロー後、0000h からアップカウント動作を継続します。

フリーランニングカウンタの動作を**図 19.6** に示します。

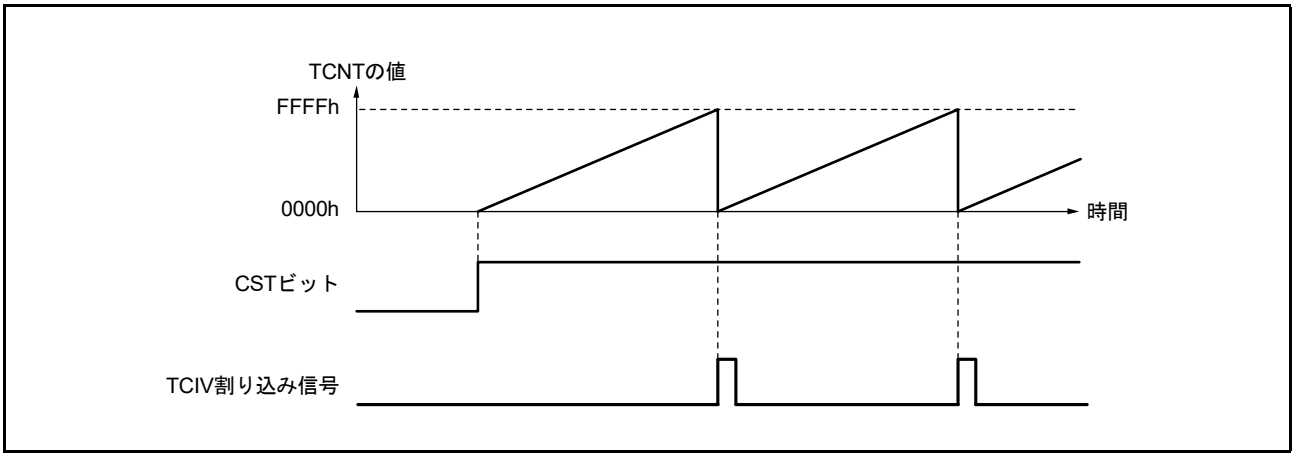


図 19.6　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTR レジスタの対応するビットを “1” にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TCNT は 0000h になります。

このとき対応する TIER.TGIE ビットが “1” ならば、MTU は割り込みを要求します。TCNT はコンペアマッチ後、0000h からアップカウント動作を継続します。

周期カウンタの動作を**図 19.7** に示します。

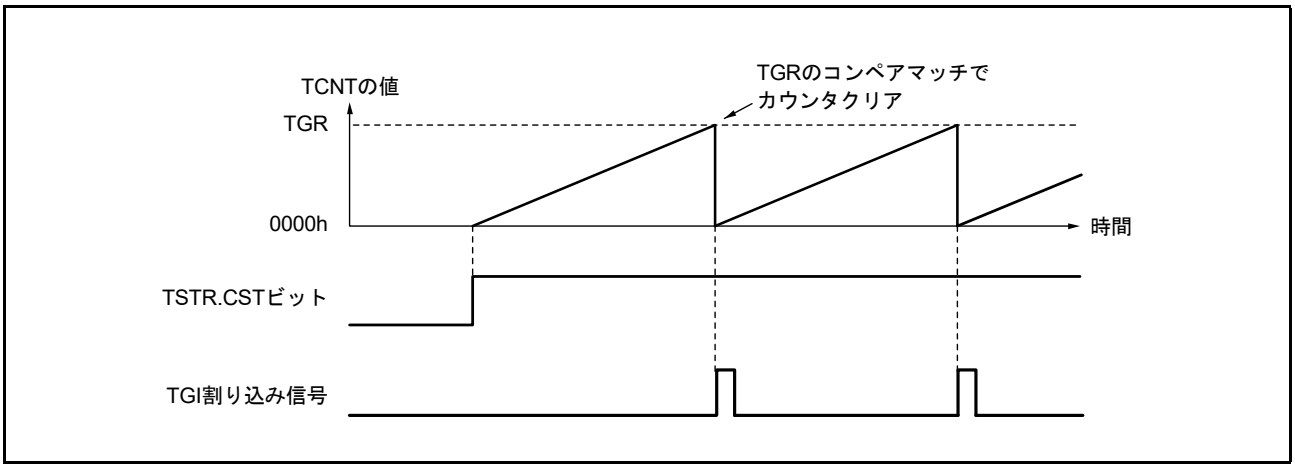


図 19.7　周期カウンタの動作

(2)　コンペアマッチによる波形出力機能

MTU は、コンペアマッチにより対応する出力端子から Low 出力／ High 出力／トグル出力を行うことができます。MTU5 はコンペアマッチ出力動作できません。

(a)　コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 19.8 に示します。

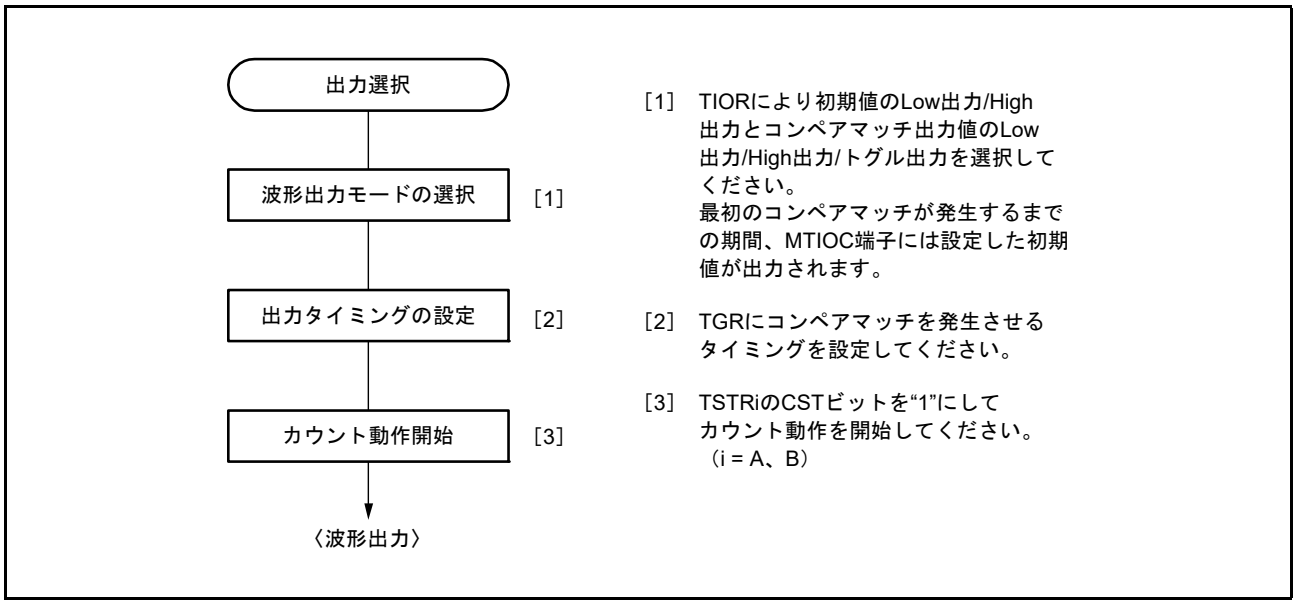


図 19.8　　コンペアマッチによる波形出力動作例

(b)　波形出力動作例

Low 出力／ High 出力例を図 19.9 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

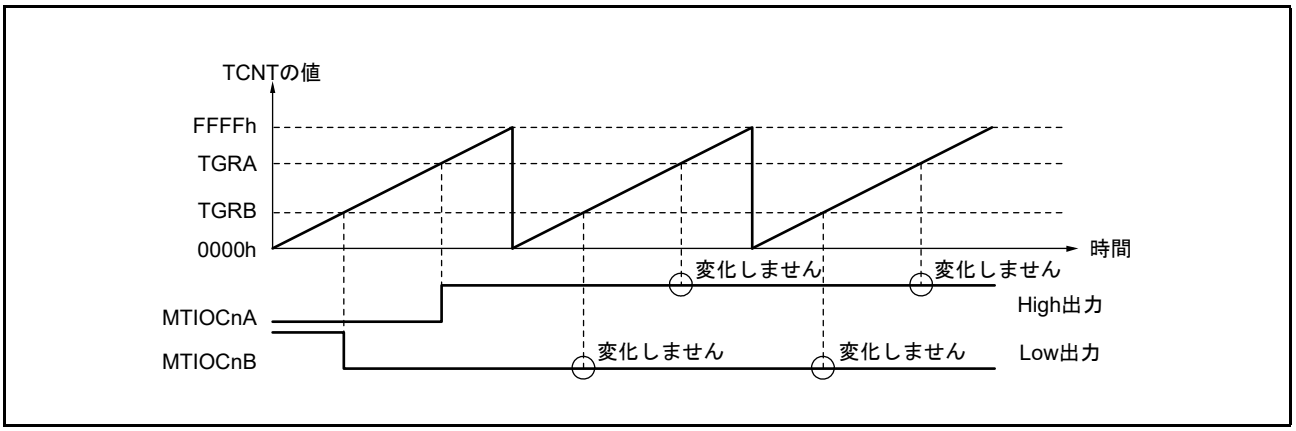


図 19.9　Low 出力／ High 出力の動作例

トグル出力の例を図 19.10 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

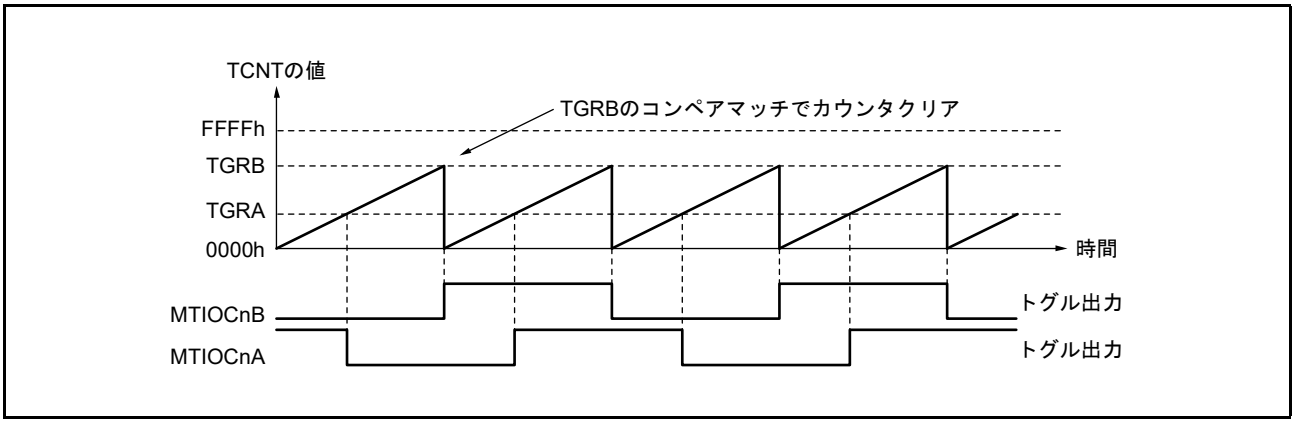


図 19.10　トグル出力の動作例

(3)　インプットキャプチャ機能

MTIOCnm 端子（n = 0 ～ 4、6、7、8、m = A ～ D）、MTIC5U、MTIC5V、MTIC5W 端子の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。また、MTU0、MTU1 は別のチャネルのカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

注 .　MTU0、MTU1 で別のチャネルのカウンタ入力クロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウンタ入力クロックに PCLKC/1 を選択しないでください。PCLKC/1 を選択した場合は、インプットキャプチャは発生しません。

(a)　インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 19.11 に示します。

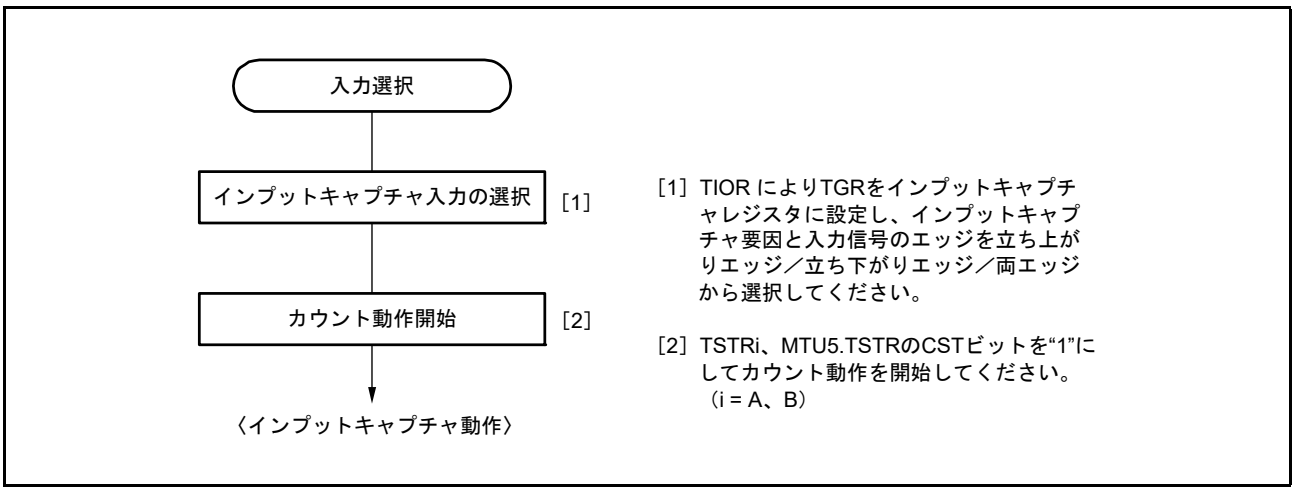


図 19.11　インプットキャプチャ動作の設定例

(b)　インプットキャプチャ動作例

インプットキャプチャ動作例を図 19.12 に示します。

MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また MTIOCnB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です（n = 0 ～ 4、6、7、8）。

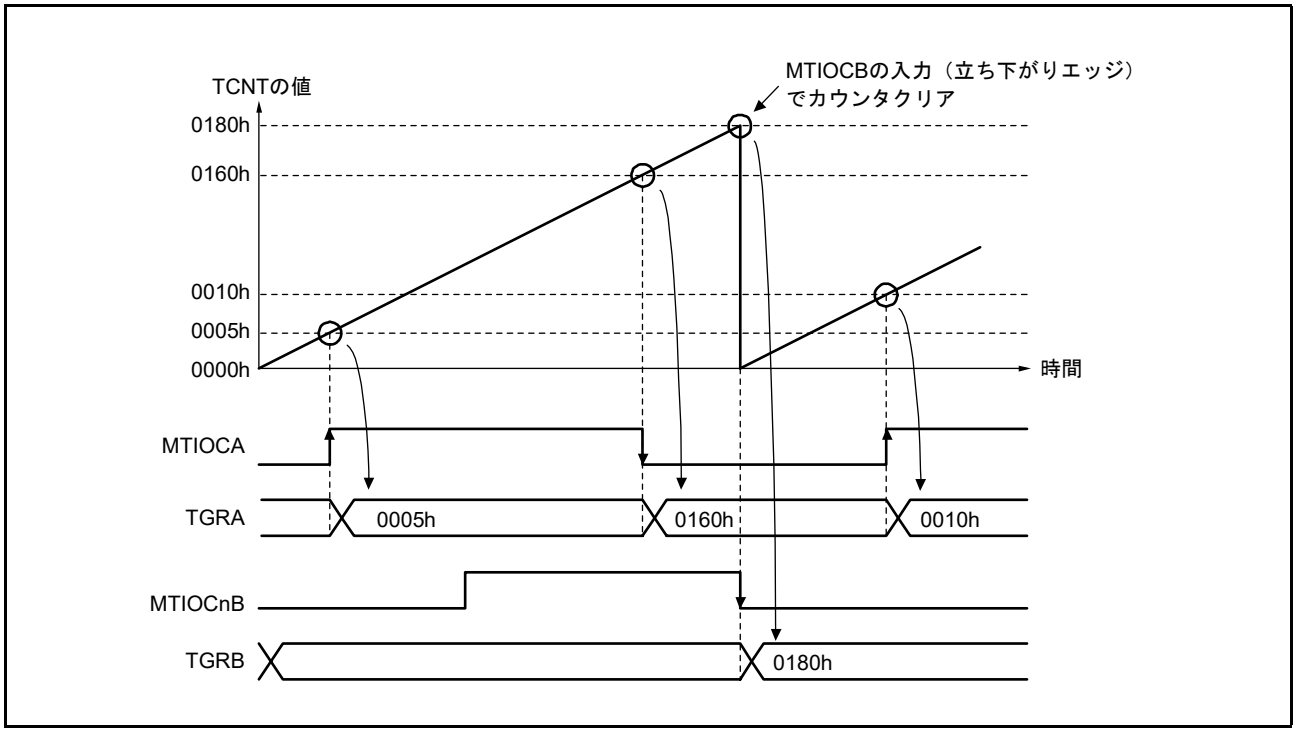


図 19.12　インプットキャプチャ動作例（n = 0 ～ 4、6、7、8）

19.3.2　同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR レジスタの設定によって複数の TCNT を同時に “0” にすることができます（同期クリア）。

同期動作によって、1 つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ～ MTU4、MTU6、MTU7 はすべて同期動作の設定が可能です。

MTU5、MTU8 は同期動作できません。

(1)　同期動作の設定手順例

同期動作の設定手順例を図 19.13 に示します。

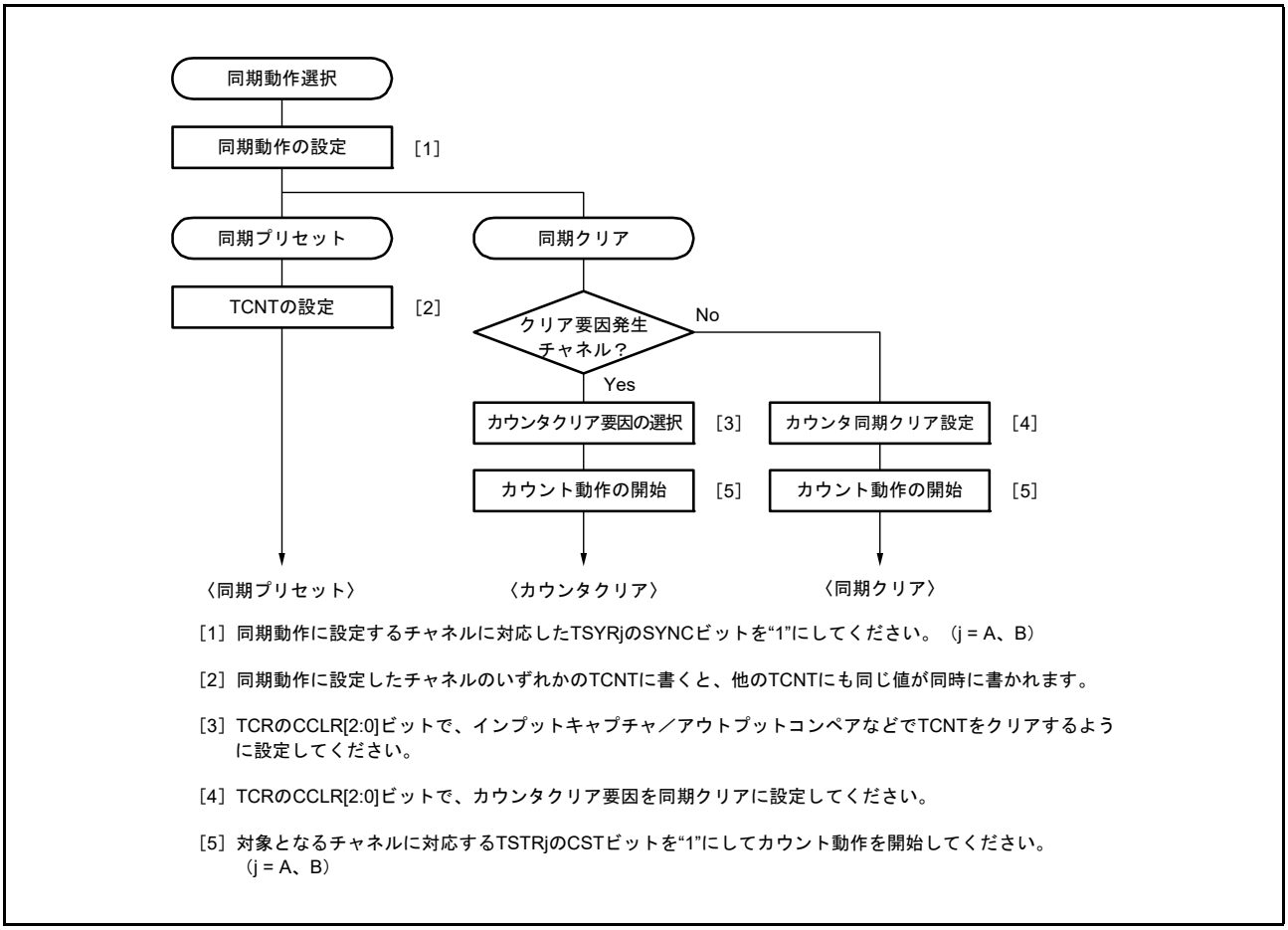


図 19.13　同期動作の設定手順例

(2)　同期動作の例

同期動作の例を**図 19.14** に示します。

MTU0 ～ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ～ MTU2 の TCNT は同期プリセット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、**「19.3.5　PWM モード」**を参照してください。

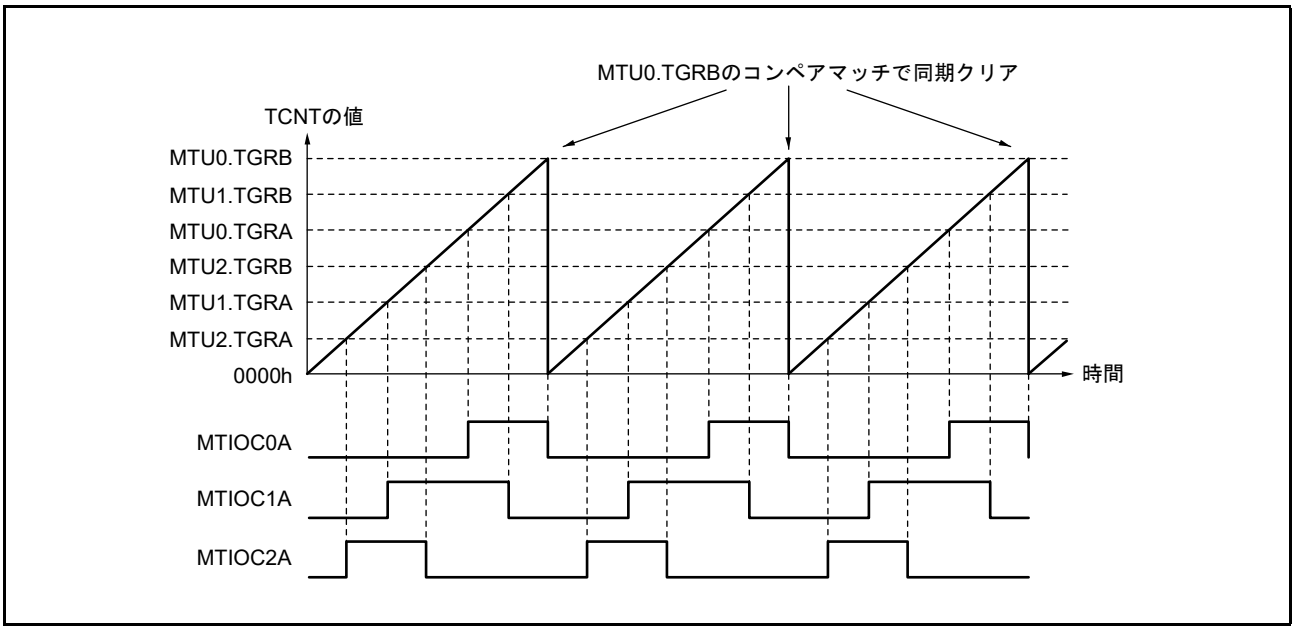


図 19.14　同期動作の動作例

19.3.3　バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注 .　MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 19.62 にバッファ動作時のレジスタの組み合わせを示します。

表 19.62　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD
MTU8	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 19.15 に示します。

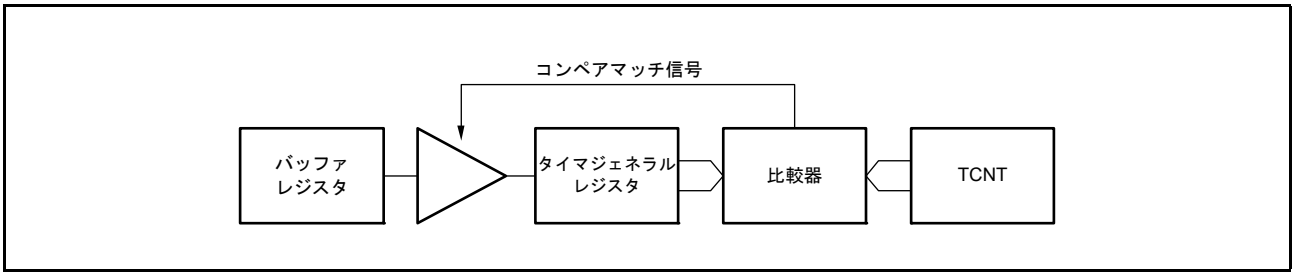


図 19.15　コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 19.16 に示します。

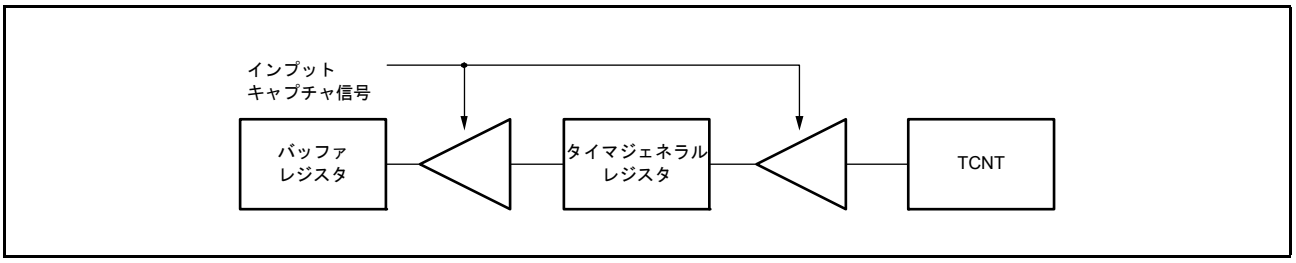


図 19.16　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 19.17 に示します。

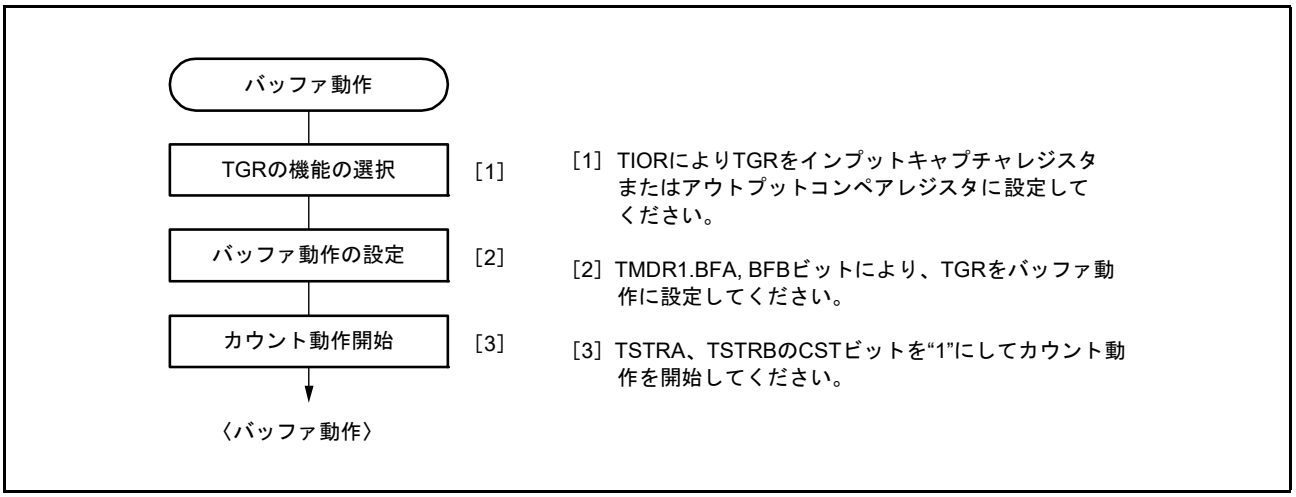


図 19.17　バッファ動作の設定手順例

(2)　バッファ動作例

(a)　TGR がアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRC を TGRA のバッファレジスタとして設定した場合の動作例を図 19.18 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは “0” にしています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「19.3.5　PWM モード」を参照してください。

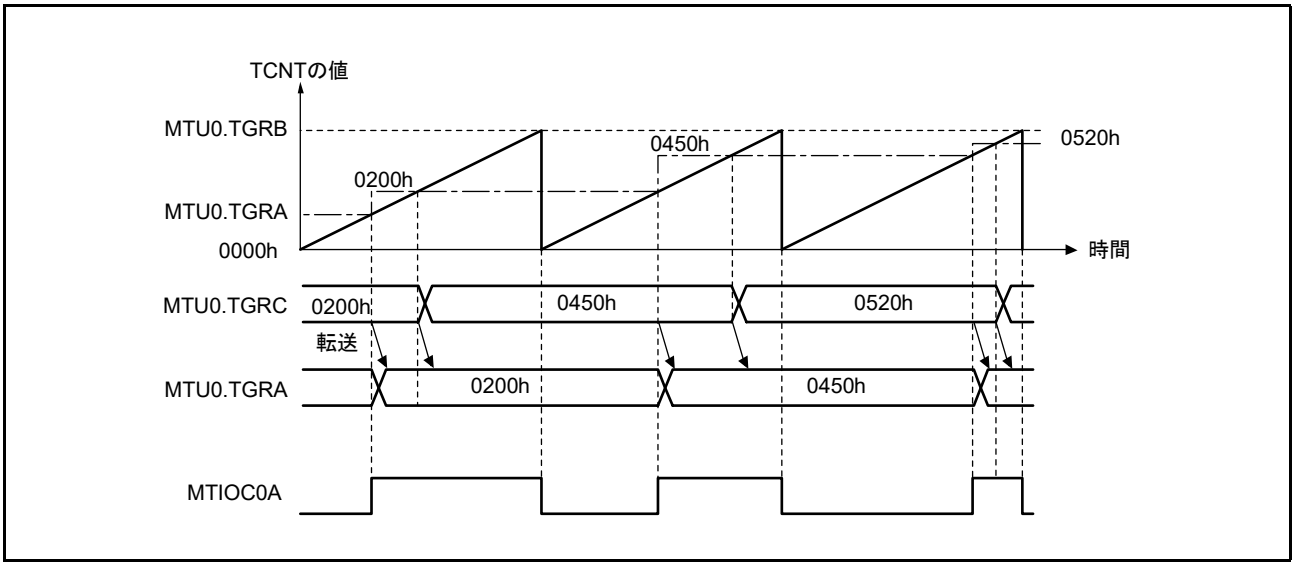


図 19.18　バッファ動作例（1）

(b)　TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRC を TGRA のバッファレジスタとして設定したときの動作例を図 19.19 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ／立ち下がりエッジの両エッジが選択されています（n＝0 ～ 4、6、7、8）。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

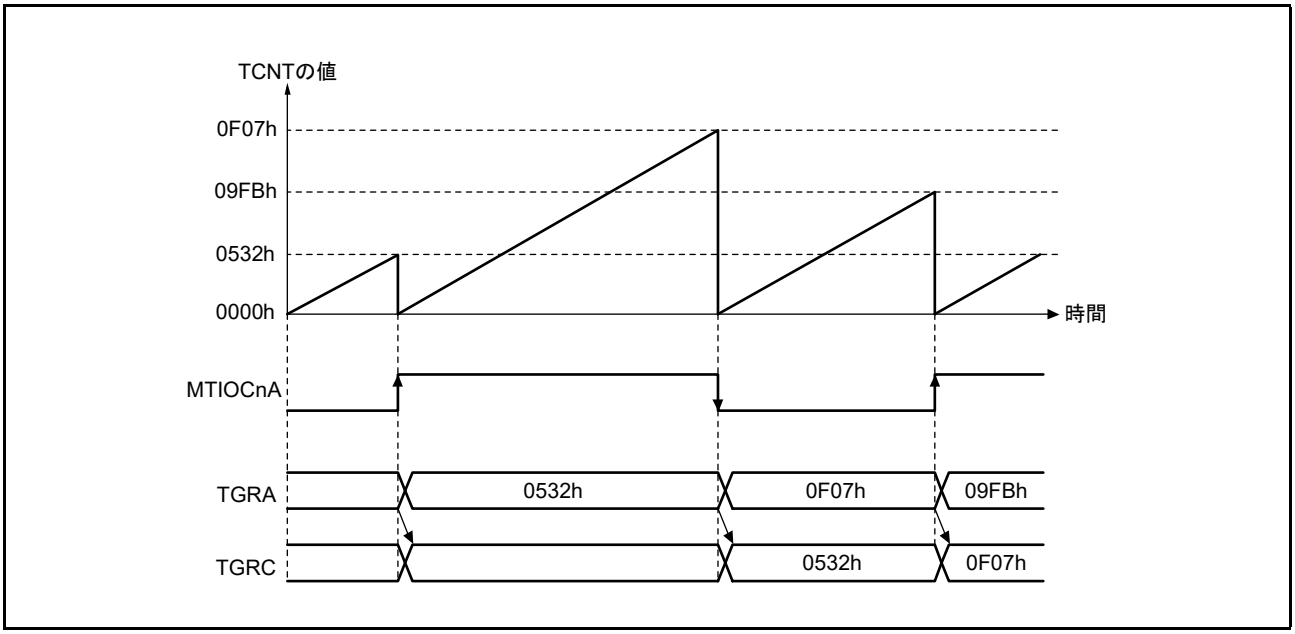


図 19.19　バッファ動作例（2）（n = 0 ～ 4、6、7、8）

(3)　PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ（MTUn.TBTM）（n = 0、3、4、6、7）を設定することで、PWM モード時のみバッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。MTU0 では PWM モード 1、2 時の転送タイミング、MTU3、MTU4、MTU6、MTU7 では PWM モード 1 時の転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（リセット後の値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバフローしたとき（FFFFh → 0000h）
- カウンタ動作中、TCNT に “0000h” が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が “0000h” になったとき

注 .　TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 19.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” にしています。

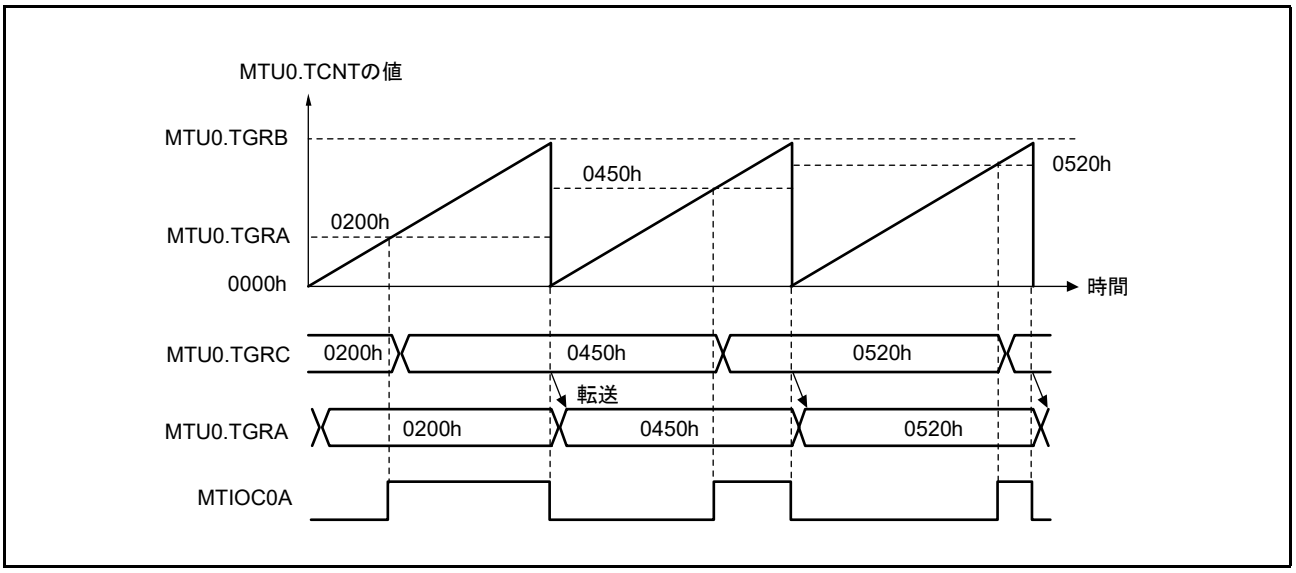


図 19.20　MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

19.3.4　カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

本節では、MTU1.TMDR3.LWA ビットを “0” にした場合の動作について説明します。

この機能は、MTU1 のカウンタクロックを TCR.TPSC[2:0] ビットで MTU2.TCNT のオーバフロー／アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 19.63 にカスケード接続の組み合わせを示します。

注 .　MTU1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 19.63　カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
MTU1 と MTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNT と MTU2.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ（TICCR）で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は**「(4)　カスケード接続動作例 (c)」**を参照してください。カスケード接続時のインプットキャプチャについては**「19.6.21　カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ」**を参照してください。

TICCR レジスタの設定値とインプットキャプチャ入力端子の対応を**表 19.64** に示します。

表 19.64　TICCR レジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
MTU1.TCNT から MTU1.TGRA へのインプットキャプチャ	I2AE ビット = 0（初期値）	MTIOC1A
	I2AE ビット = 1	MTIOC1A、MTIOC2A
MTU1.TCNT から MTU1.TGRB へのインプットキャプチャ	I2BE ビット = 0（初期値）	MTIOC1B
	I2BE ビット = 1	MTIOC1B、MTIOC2B
MTU2.TCNT から MTU2.TGRA へのインプットキャプチャ	I1AE ビット = 0（初期値）	MTIOC2A
	I1AE ビット = 1	MTIOC2A、MTIOC1A
MTU2.TCNT から MTU2.TGRB へのインプットキャプチャ	I1BE ビット = 0（初期値）	MTIOC2B
	I1BE ビット = 1	MTIOC2B、MTIOC1B

(1)　カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 19.21 に示します。

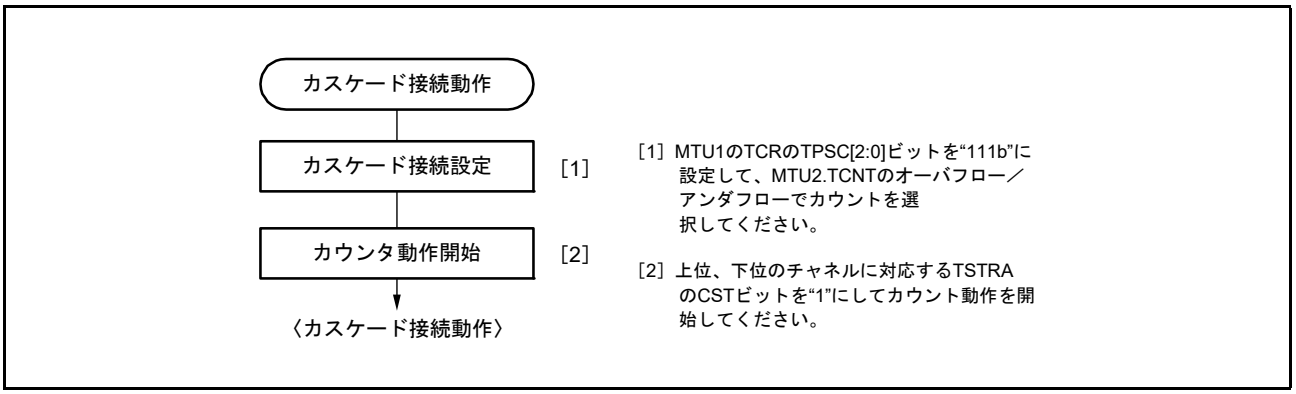


図 19.21　カスケード接続動作設定手順

(2)　カスケード接続動作例（a）

MTU1.TCNT は MTU2.TCNT のオーバフロー／アンダフローでカウント、MTU2 を位相計数モードに設定したときの動作を図 19.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

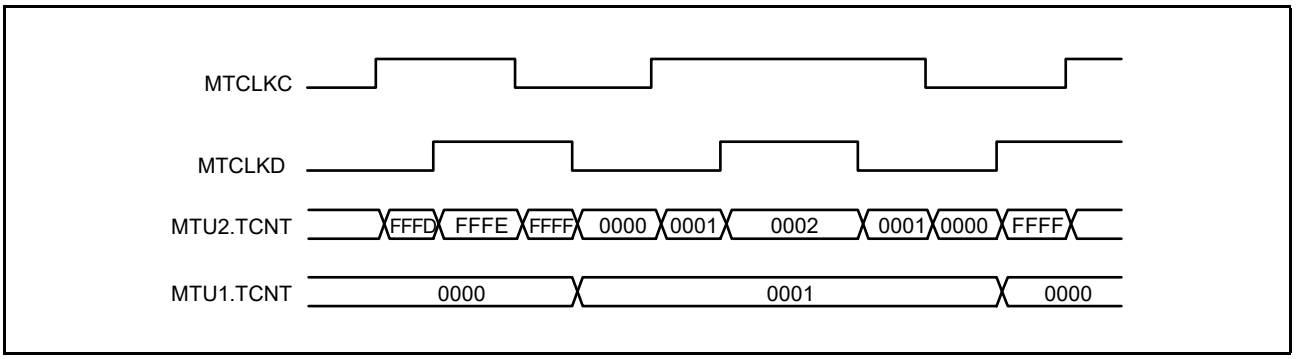


図 19.22　カスケード接続動作例（a）

(3)　カスケード接続動作例（b）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 19.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、（MTIOC1A の）立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、（MTIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA のインプットキャプチャ条件に設定されます。また、MTU2.TGRA のインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

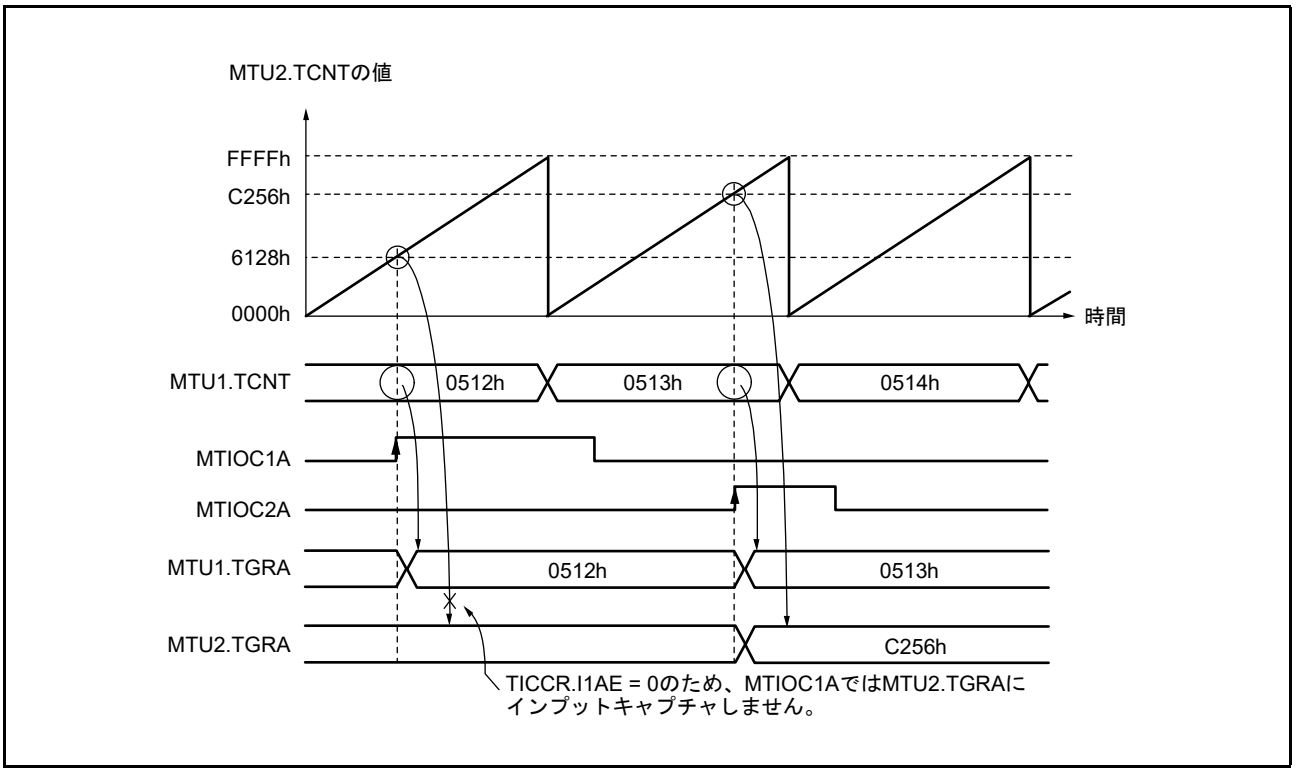
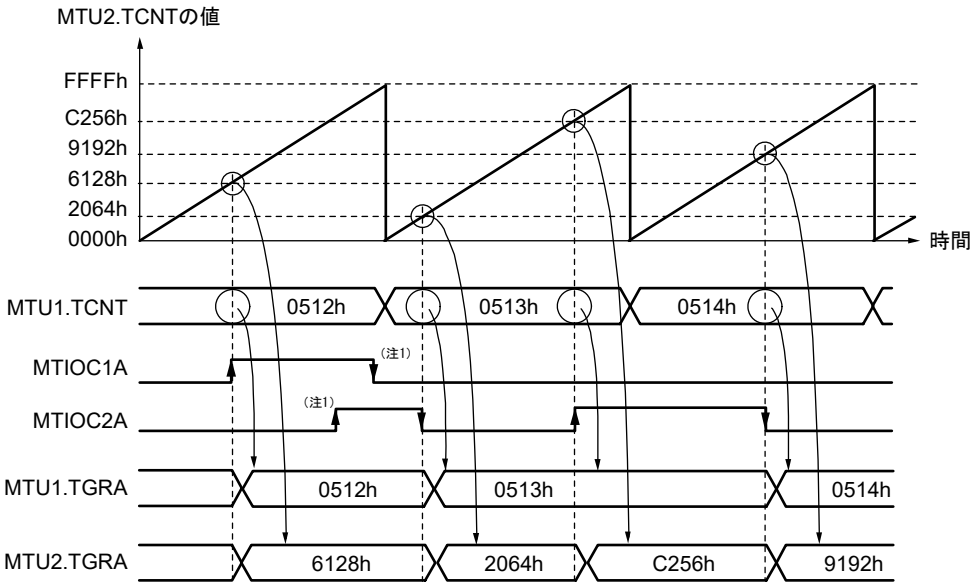


図 19.23　カスケード接続動作例（b）

(4)　カスケード接続動作例（c）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加した場合の動作を**図 19.24** に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA のインプットキャプチャ条件となります。



注 1.　一方の入力端子が High の場合、もう一方の入力端子のエッジはインプットキャプチャ条件になりません。

図 19.24　カスケード接続動作例（c）

(5)　カスケード接続動作例（d）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 19.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、（MTIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを “1” にしても MTIOC2A のエッジが MTU1.TGRA のインプットキャプチャ条件になることはありません。

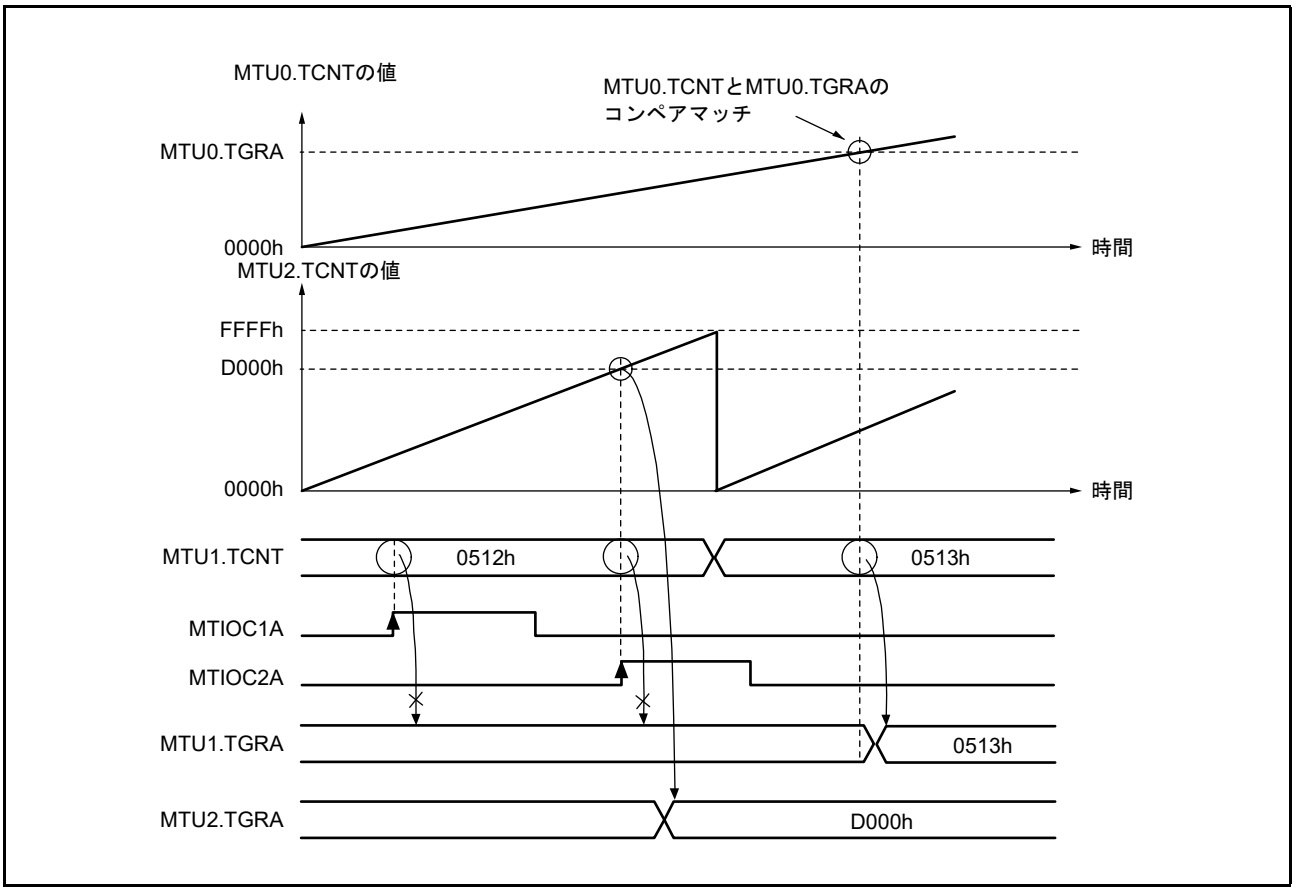


図 19.25　カスケード接続動作例（d）

19.3.5　PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力／ High 出力／トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0 ～ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a)　PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOCnA 端子、MTIOCnC 端子から PWM 波形を出力します。MTIOCnA 端子、MTIOCnC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います（n = 0 ～ 4、6、7）。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 波形出力が可能です。

(b)　PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を**表 19.65** に示します。

表19.65　各PWM出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		

注.　PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1)　PWM モードの設定手順例

PWM モードの設定手順例を図 19.26 に示します。

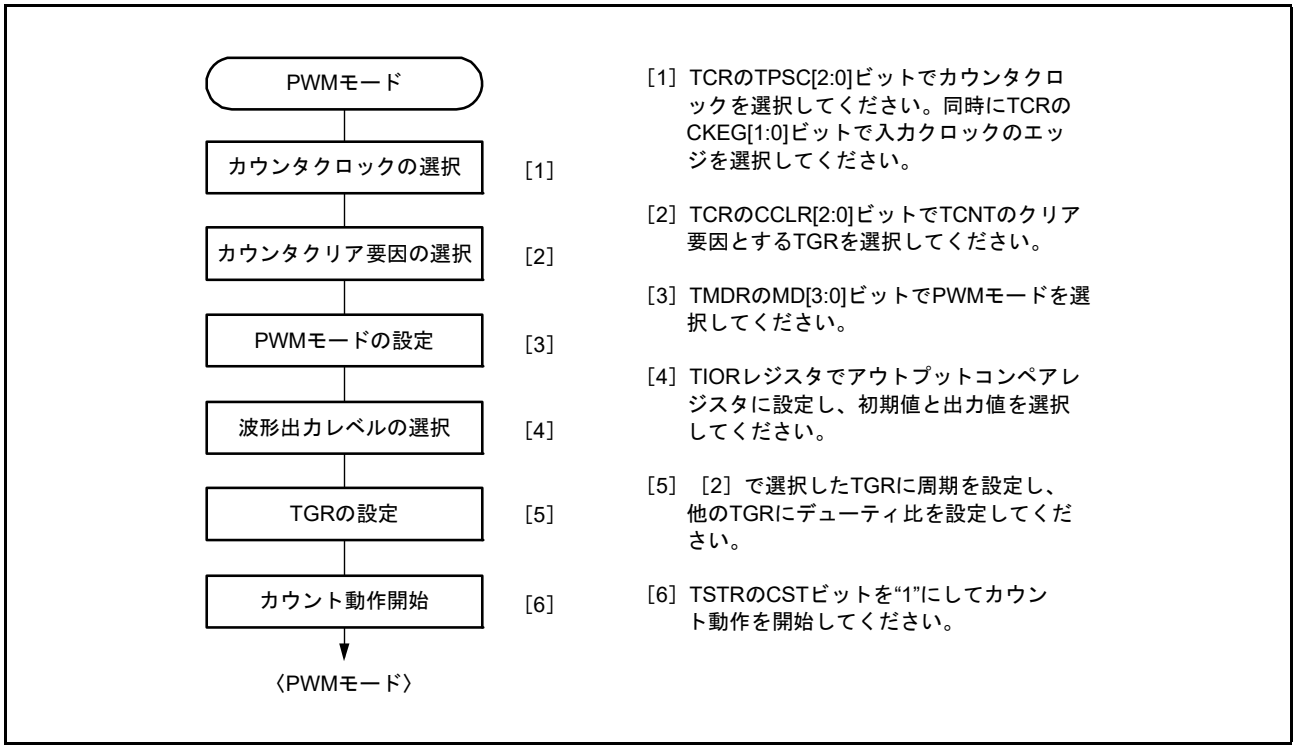


図 19.26　PWM モードの設定手順例

(2)　PWM モードの動作例

PWM モード 1 の動作例を図 19.27 に示します。

この図は、TCNT のクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を “0”、TGRB レジスタの出力値を “1” にした場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティ比になります。

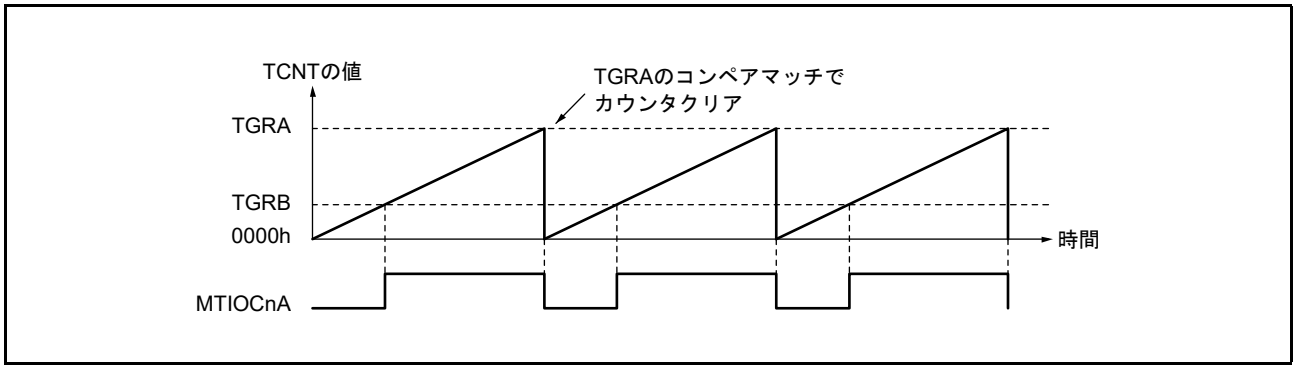


図 19.27　PWM モード 1 の動作例（n = 0 ～ 4、6、7）

PWM モード 2 の動作例を図 19.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）の初期出力値を Low、出力値を High にして 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）に設定した値がデューティ比になります。

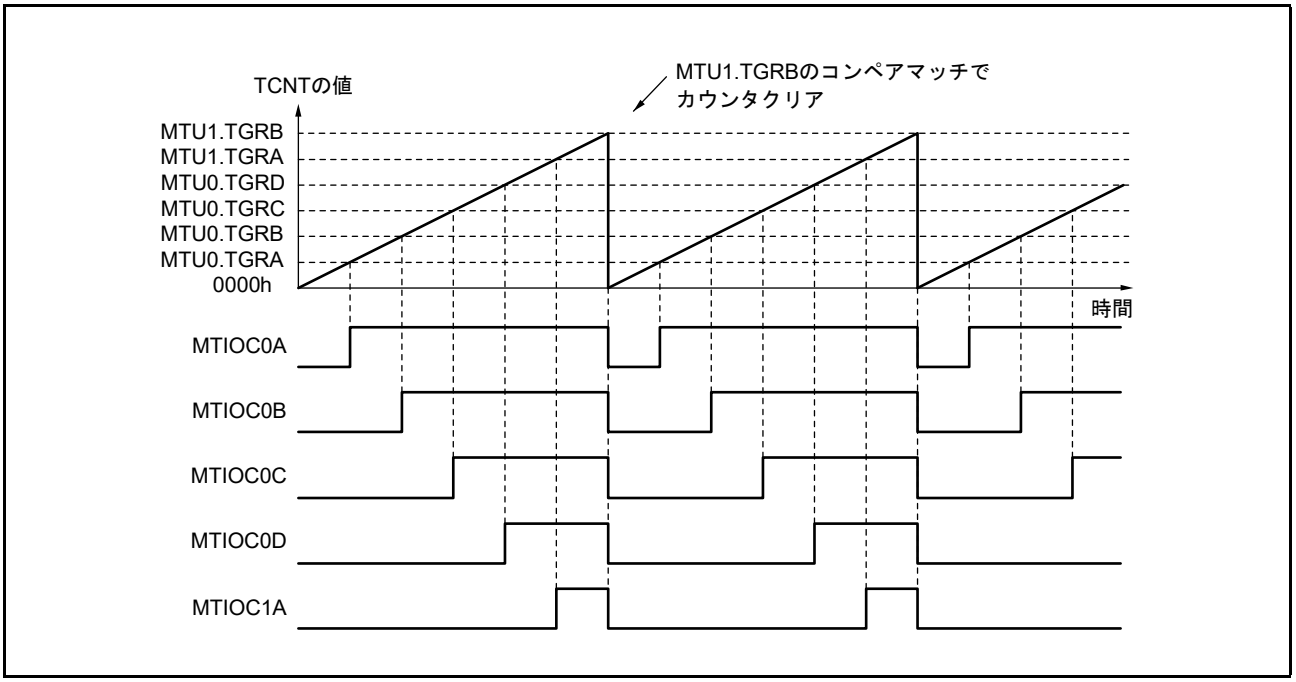


図 19.28　PWM モード 2 の動作例

PWM モードで、デューティ比 0%、デューティ比 100%の PWM 波形を出力する例を図 19.29 に示します。

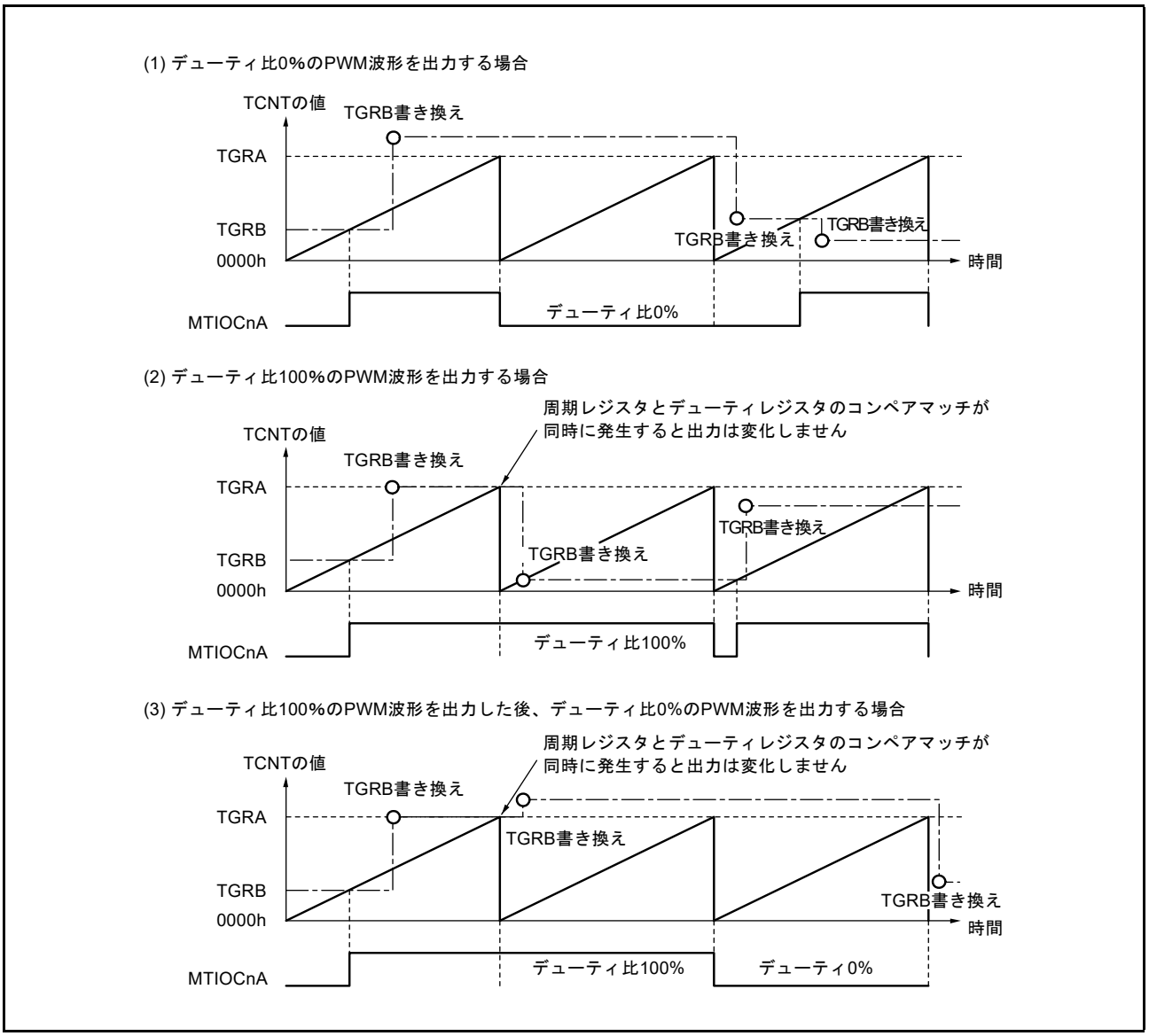


図 19.29　PWM モード動作例（デューティ 0%、デューティ 100%の PWM 波形を出力する例）
（n = 0 ～ 4、6、7）

19.3.6　位相計数モード

位相計数モードでは、MTU1、MTU2 の設定によって、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0] ビット、TCR2.CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップカウンタ／ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0] ビット、TIOR レジスタ、TIER レジスタ、TGR レジスタの機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生したとき、TIER レジスタの TCIEV ビットが “1” の場合、TCIV 割り込みが発生します。また、ダウンカウント時にアンダフローが発生したとき、TIER レジスタの TCIEU ビットが “1” の場合、TCIU 割り込みが発生します。

TSR レジスタの TCFD フラグはカウント方向フラグです。TCFD フラグを読むことにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードは、16 ビット版と 32 ビット版の 2 種類があります。16 ビット版は MTU1 と MTU2 にそれぞれ独立に機能があり、32 ビット版は MTU1.TMDR3.LWA = 1 にして MTU1 と MTU2 を組み合わせて機能します。32 ビット版の場合、TCR、TCR2、TIOR、TIER、TMDR1、TSR レジスタは、MTU1 の制御になります。32 ビット版の設定手順は、**図 19.43** を参照してください。

表 19.66 に外部クロック端子とチャネルの対応を示します。

表 19.66　位相計数モードクロック入力端子

16 ビット／32 ビット	チャネル	TMDR3.PHCKSEL ビット	外部クロック端子	
			A 相	B 相
16 ビット版	MTU1	x（Don’t care）	MTCLKA	MTCLKB
	MTU2	0	MTCLKA	MTCLKB
		1（初期値）	MTCLKC	MTCLKD
32 ビット版	MTU1 と MTU2	0	MTCLKA	MTCLKB
		1（初期値）	MTCLKC	MTCLKD

(1)　位相計数モードの設定手順例

位相計数モードの設定手順例を**図 19.30** に示します。

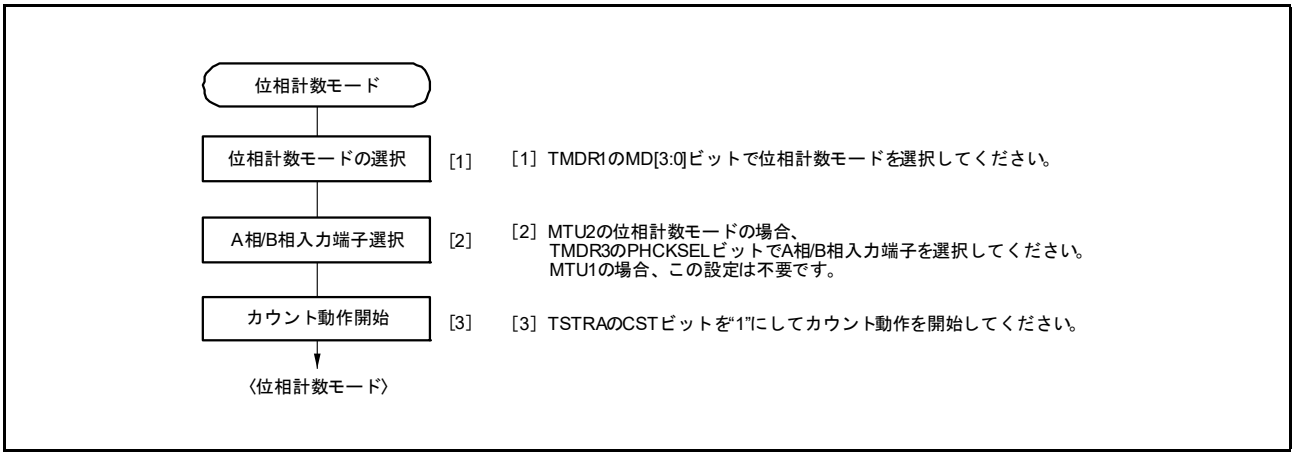


図 19.30　位相計数モードの設定手順例

(2)　位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップ／ダウンカウントします。なお、カウント条件により 5 つのモードがあります。

各モードは TMDR3.PHCKSEL = 1（MTU1 の位相クロックは MTCLKA ／ MTCLKB から入力、MTU2 の位相クロックは MTCLKC ／ MTCLKD から入力）として 16 ビット版を例に説明します。

(a)　位相計数モード 1

位相計数モード 1 の動作例を**図 19.31** に、TCNT のアップ／ダウンカウント条件を**表 19.67** に示します。

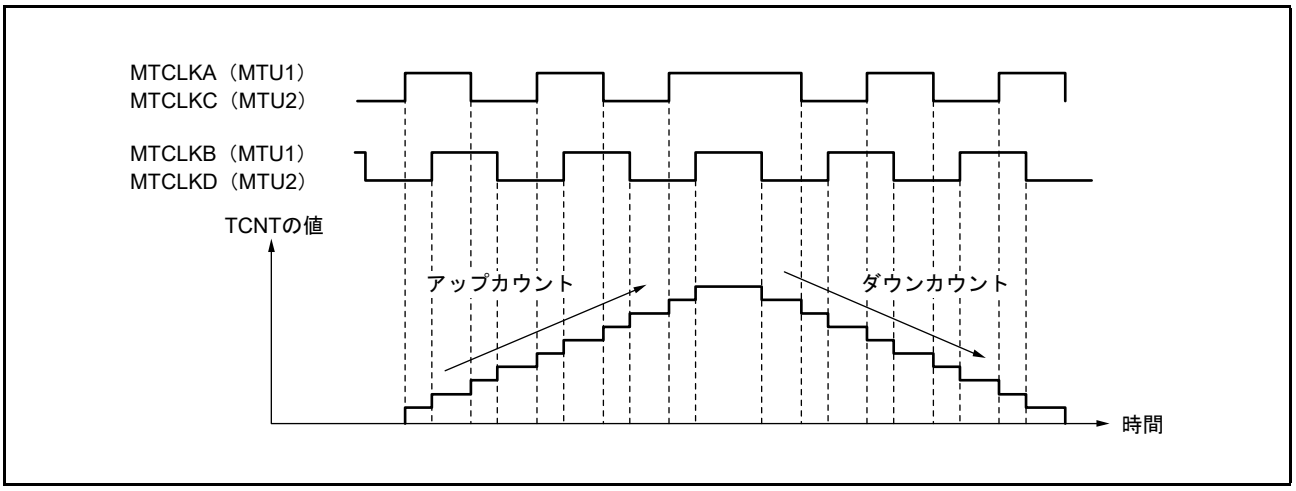


図 19.31　位相計数モード 1 の動作例

表 19.67　位相計数モード1のアップ／ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b)　位相計数モード 2

位相計数モード 2 の動作例を図 19.32 ～図 19.34 に、TCNT のアップ／ダウンカウント条件を表 19.68 に示します。

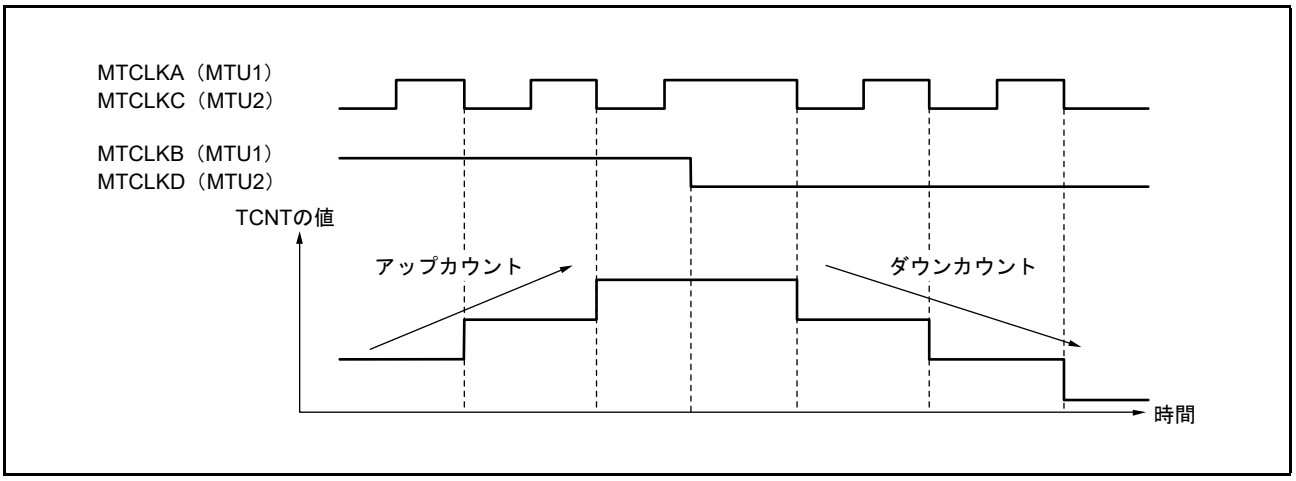


図 19.32　位相計数モード 2 の動作例（MTUn.TCR2.PCB[1:0] = 00 のとき（n = 1、2））

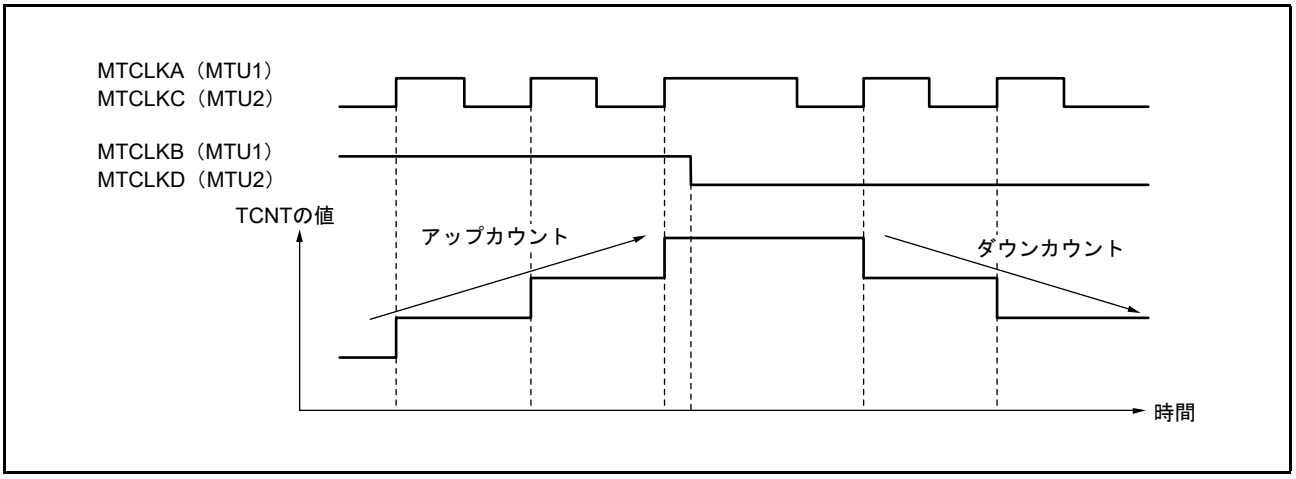


図 19.33　位相計数モード 2 の動作例（MTUn.TCR2.PCB[1:0] = 01 のとき（n = 1、2））

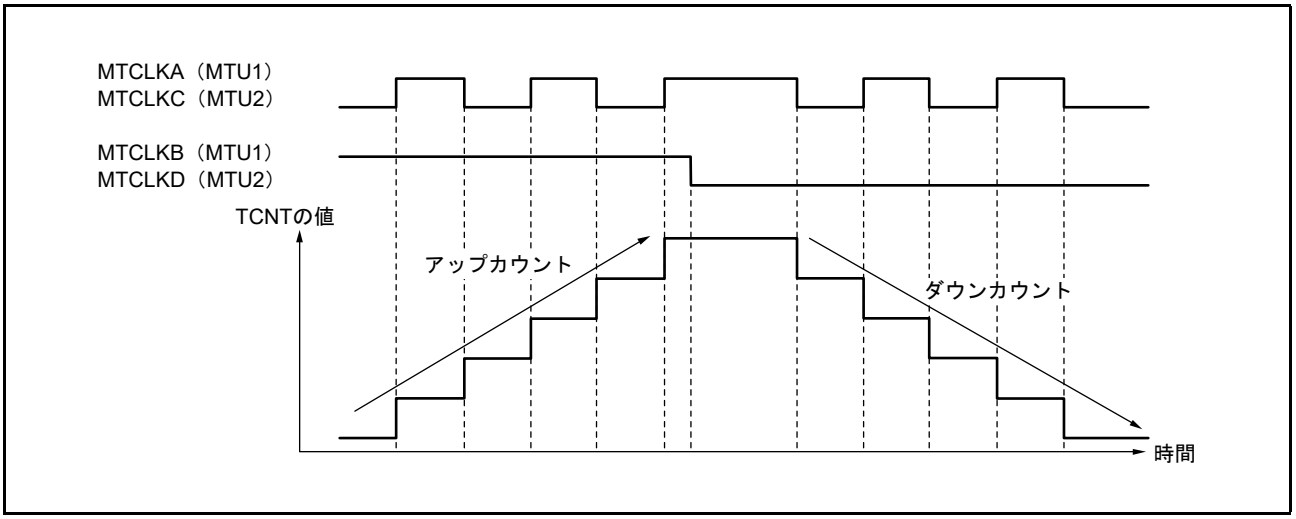


図 19.34　位相計数モード 2 の動作例（MTUn.TCR2.PCB[1:0] = 1x のとき（n = 1、2））

表19.68　位相計数モード2のアップ／ダウンカウント条件

PCB[1:0]	MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	ダウンカウント
01	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	カウントしない（Don't care）
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	アップカウント
	↓	Low	ダウンカウント

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(c)　位相計数モード 3

位相計数モード 3 の動作例を図 19.35 ～図 19.37 に、TCNT のアップ／ダウンカウント条件を表 19.69 に示します。

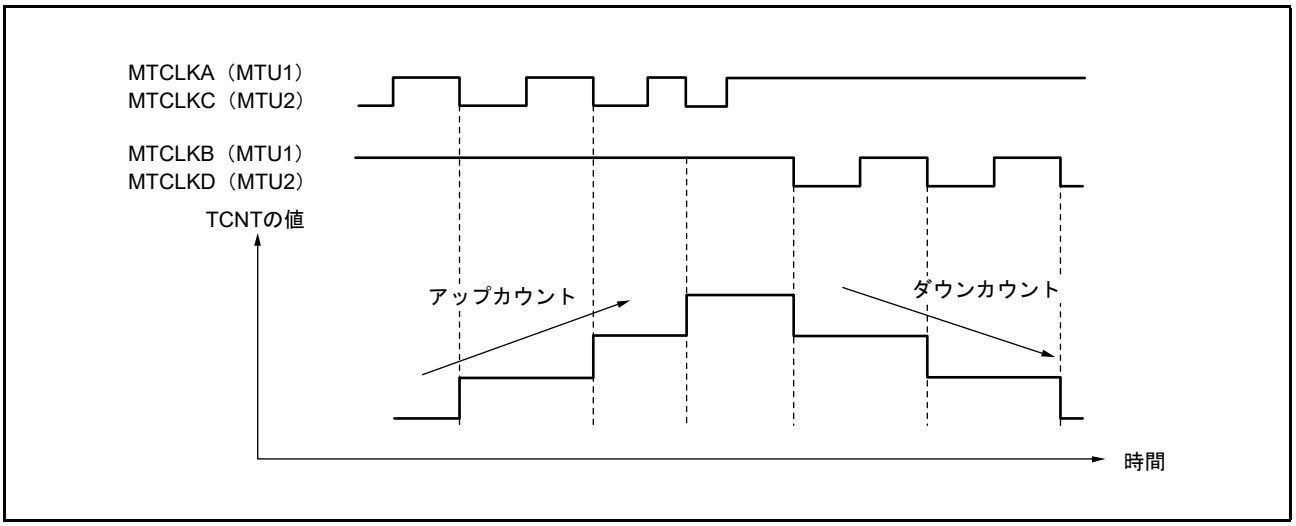


図 19.35　位相計数モード 3 の動作例（MTUn.TCR2.PCB[1:0] = 00 のとき（n = 1、2））

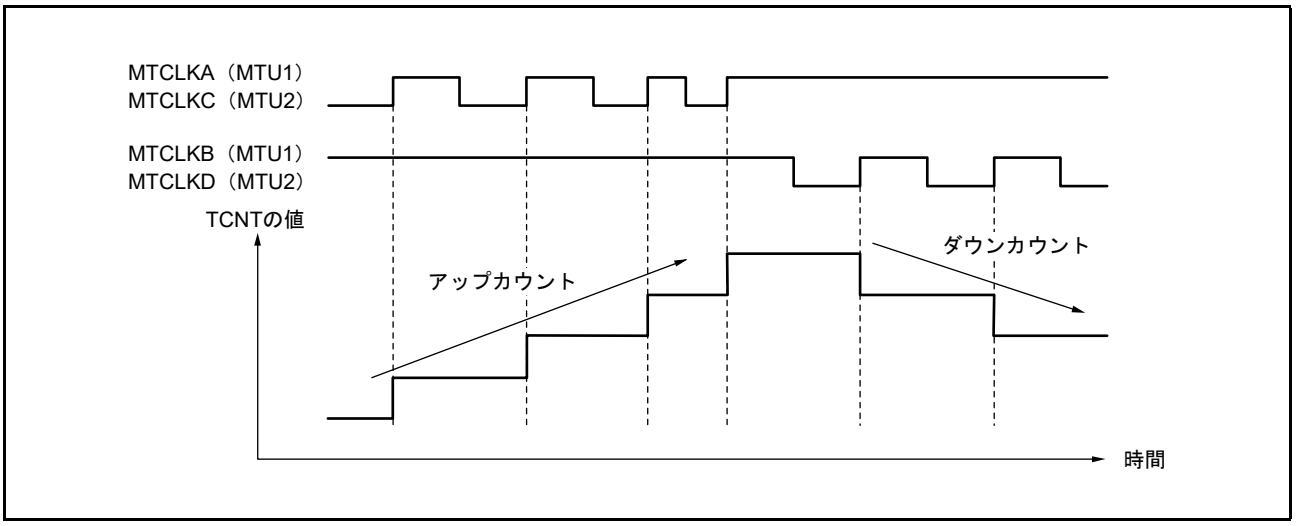


図 19.36　位相計数モード 3 の動作例（MTUn.TCR2.PCB[1:0] = 01 のとき（n = 1、2））

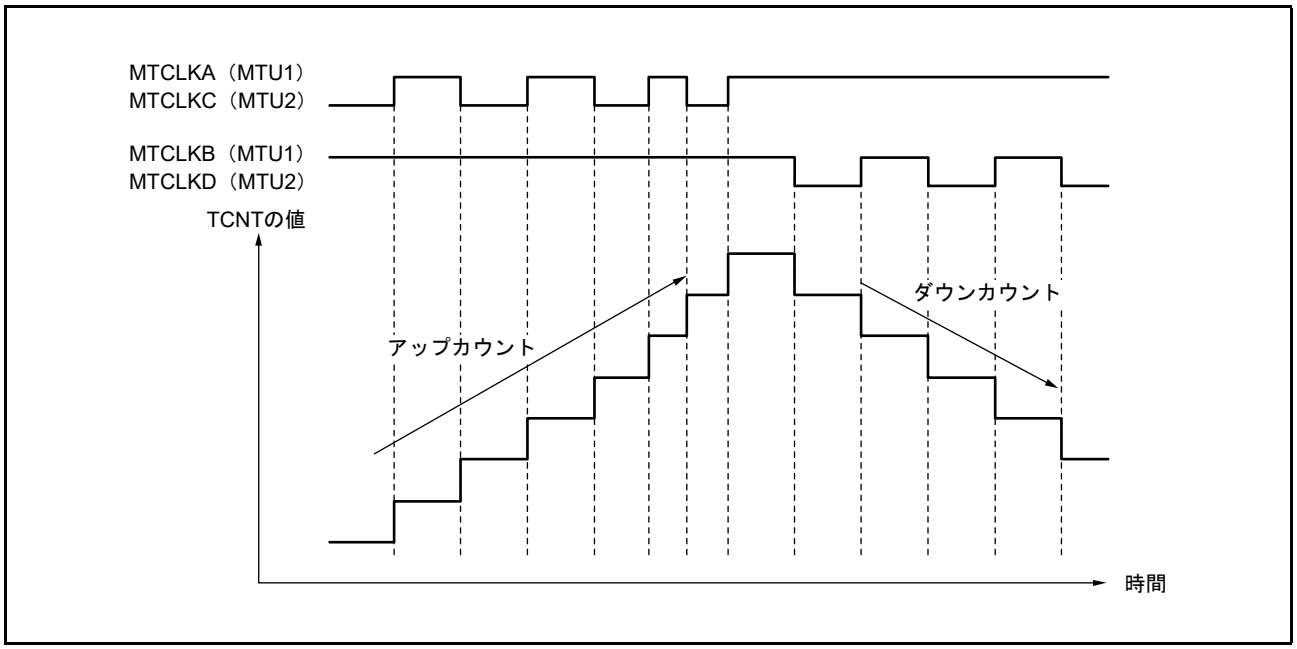


図 19.37　位相計数モード 3 の動作例（MTUn.TCR2.PCB[1:0] = 1x のとき（n = 1、2））

表19.69　位相計数モード3のアップ／ダウンカウント条件

PCB[1:0]	MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	
01	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(d)　位相計数モード4

位相計数モード4の動作例を図19.38に、TCNTのアップ／ダウンカウント条件を表19.70に示します。

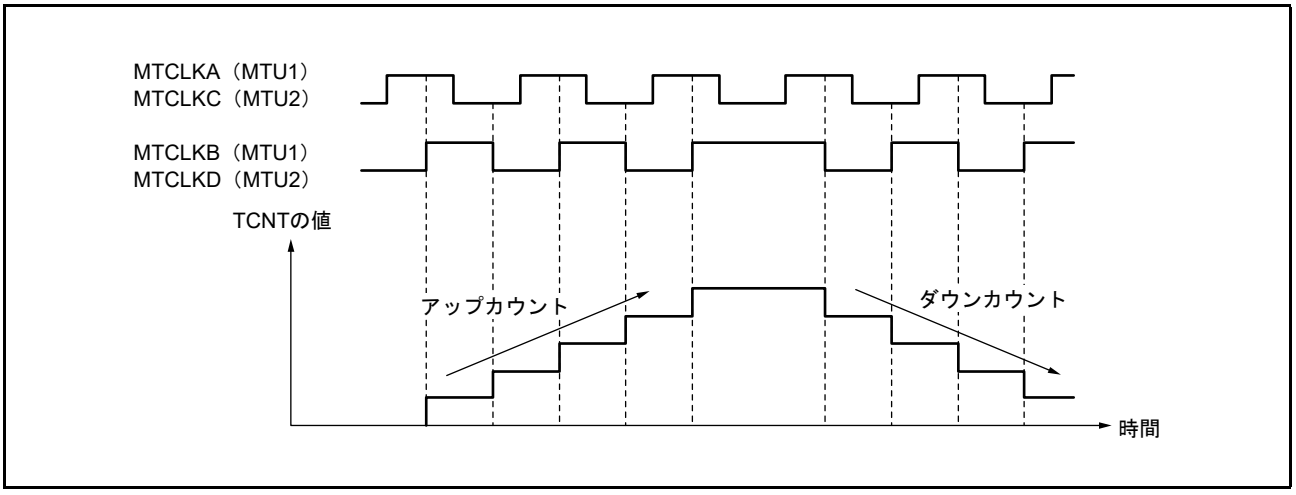


図19.38　位相計モード4の動作例

表19.70　位相計数モード4のアップ／ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない（Don't care）
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない（Don't care）
↓	Low	

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(e)　位相計数モード5

位相計数モード5の動作例を図19.39、図19.40に、TCNTのアップ／ダウンカウント条件を表19.71に示します。

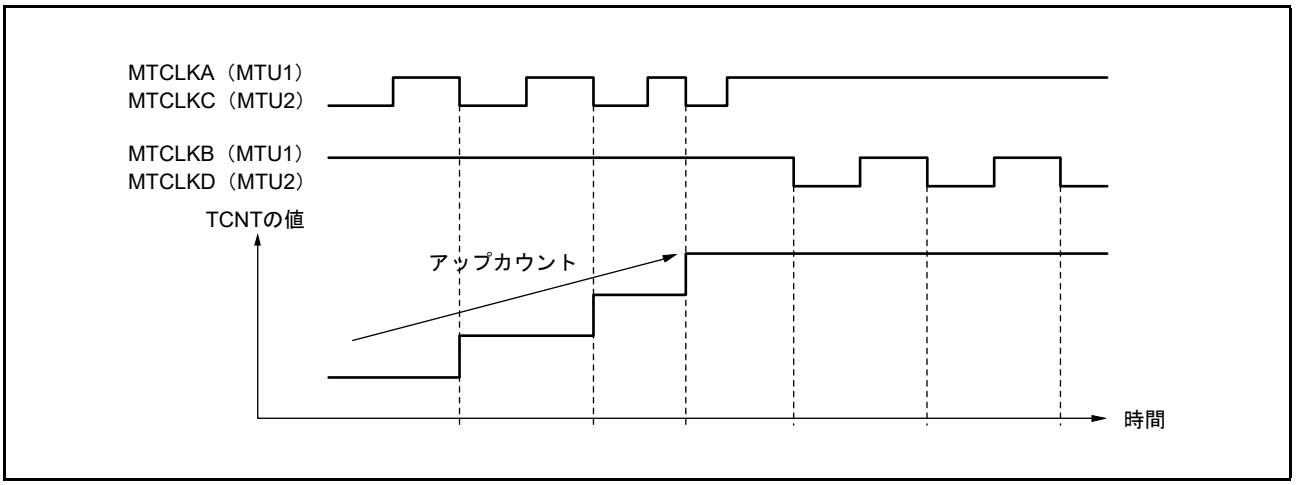


図19.39　位相計モード5の動作例（MTUn.TCR2.PCB1 = 0のとき（n = 1、2））

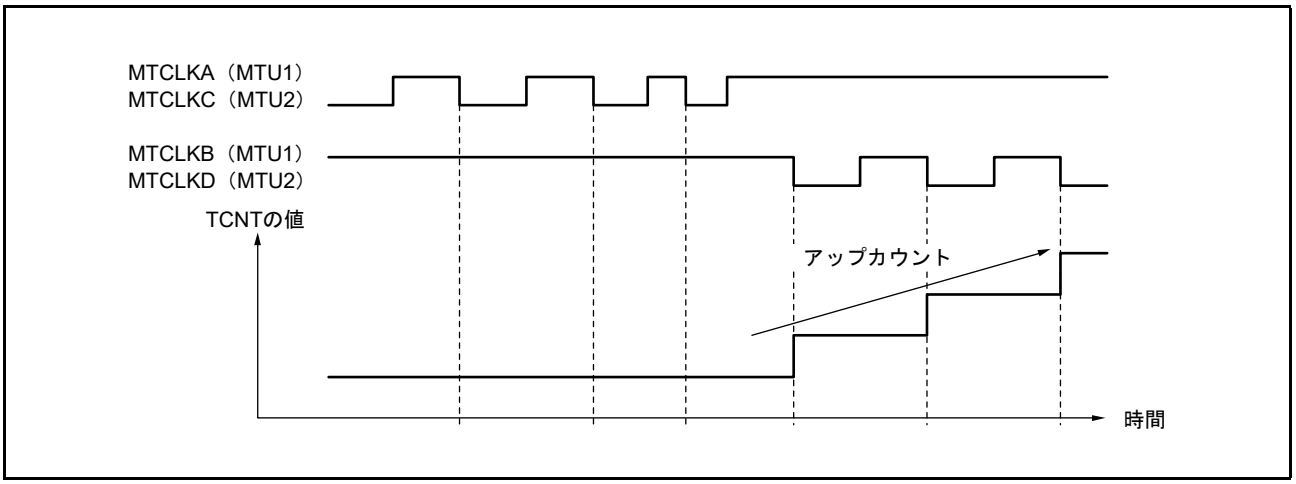


図19.40　位相計モード5の動作例（MTUn.TCR2.PCB1 = 1のとき（n = 1、2））

表19.71　位相計数モード5のアップ／ダウンカウント条件

PCB[1:0]	MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
0x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	アップカウント
1x	High	↑	カウントしない（Don't care）
	Low	↓	アップカウント
	↑	Low	カウントしない（Don't care）
	↓	High	
	High	↓	アップカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(3)　16 ビット位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 19.41 に示します。

MTU1 は位相計数モード 1 に設定し、MTCLKA と MTCLKB にエンコーダパルスの A 相、B 相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と MTU0.TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB はインプットキャプチャ機能で使用し、MTU0.TGRB と MTU0.TGRD をバッファ動作させます。MTU0.TGRB のインプットキャプチャ要因は、MTU1 のカウンタ入力クロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と MTU1.TGRB は、インプットキャプチャ機能に設定し、インプットキャプチャ要因は MTU0 の MTU0.TGRA と MTU0.TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ／ダウンカウンタの値を格納します。

これにより、正確な位置／速度検出を行うことができます。

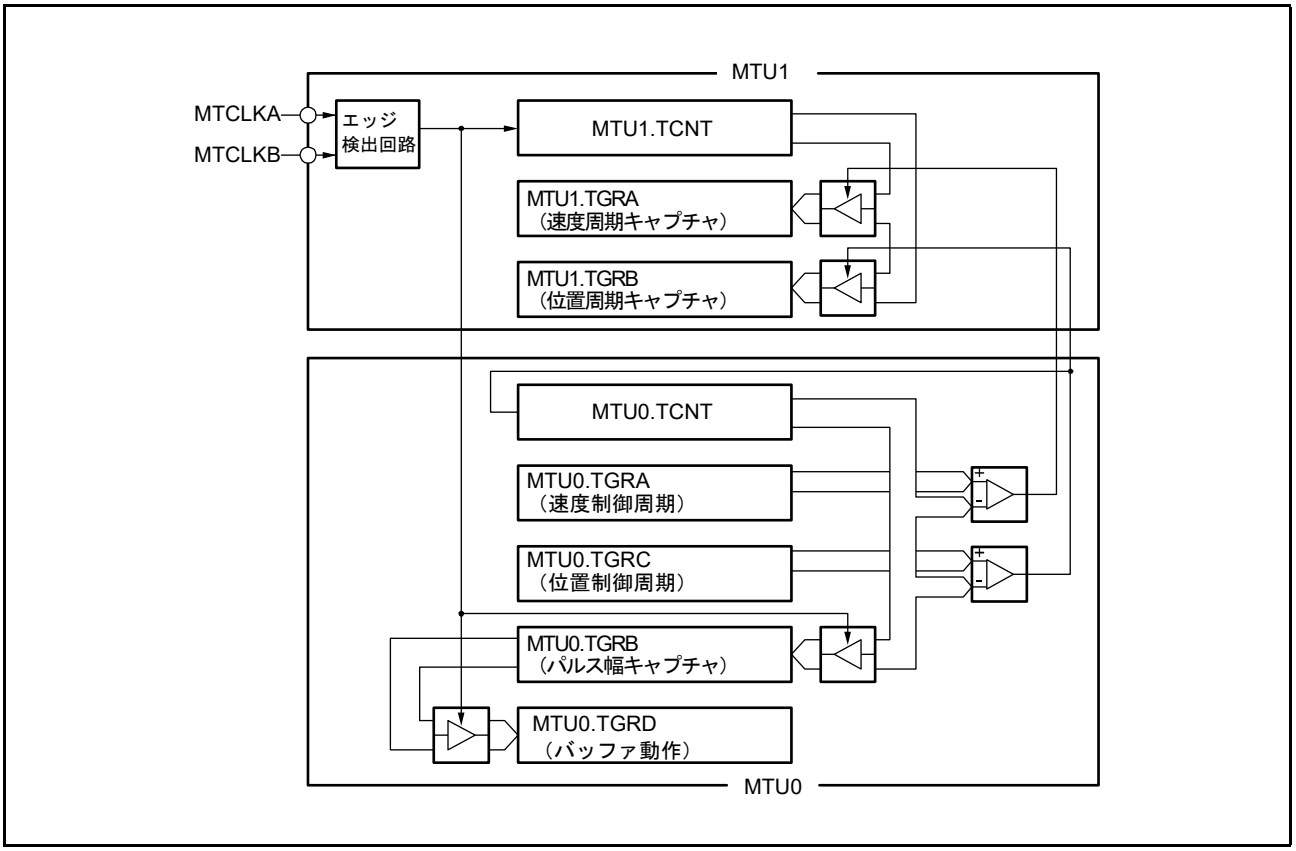


図 19.41　位相計数モードの応用例

(4)　32 ビット位相計数モード応用例

MTU1.TMDR3.LWA = 1 で MTU1 に位相計数モードを設定した場合、**図 19.42** のように MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TMDR1, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、**図 19.43** を参照してください。

カスケード接続 32 ビット位相計数モードは、A 相、B 相と Z 相の三相信号の入力が可能です。A 相 /B 相に外部入力位相クロック MTCLKA/MTCLKB または MTCLKC/MTCLKD、Z 相に MTIOC1A をそれぞれエンコーダパルスの信号とします。A 相 /B 相の外部クロック入力の選択は、**表 19.70** を参照してください。A 相、B 相のパルスによりカウンタイベントを生成し、32 ビットカウンタ MTU1.TCNTLW でカウンタイベントをカウントします。

また、Z 相信号によりインプットキャプチャを発生することができるので、ジェネラルレジスタ（MTU1.TGRALW, MTU1.TGRBLW）にキャプチャされた値から角速度が測定できます。

さらに、MTU8 は制御周期間隔測定チャネルとして使用でき、制御周期間隔でカスケード接続 32 ビット位相計数モードとして動作している MTU1 と MTU2 にコンペアマッチ信号を出力することが可能です。つまり、MTU1 と MTU2 は、MTU8 のコンペアマッチ信号をキャプチャ信号として使用し、制御周期での A 相、B 相パルス回数を測定することが可能です。

MTU0 または MTU5 を Z 相信号パルス測定チャネルに指定した場合、この MTU8.TGRC のコンペアマッチ信号をキャプチャ信号およびクリア信号として MTU0 または MTU5 に入力することができ、これにより制御周期間隔での Z 相カウントが測定できます。

また、組み合わせされている MTU1、MTU2 のカウンタイベント信号を MTU8.TGRD のキャプチャ信号として使用することができ、A 相パルス間隔、B 相パルス間隔、その二相パルス間隔を含めての測定が可能です。この場合は、測定用ジェネラルレジスタ（MTU8.TGRD）をバッファ動作レジスタに設定してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1、MTU2 を接続するカスケード接続機能については、**「19.3.4　カスケード接続動作」**を参照してください。

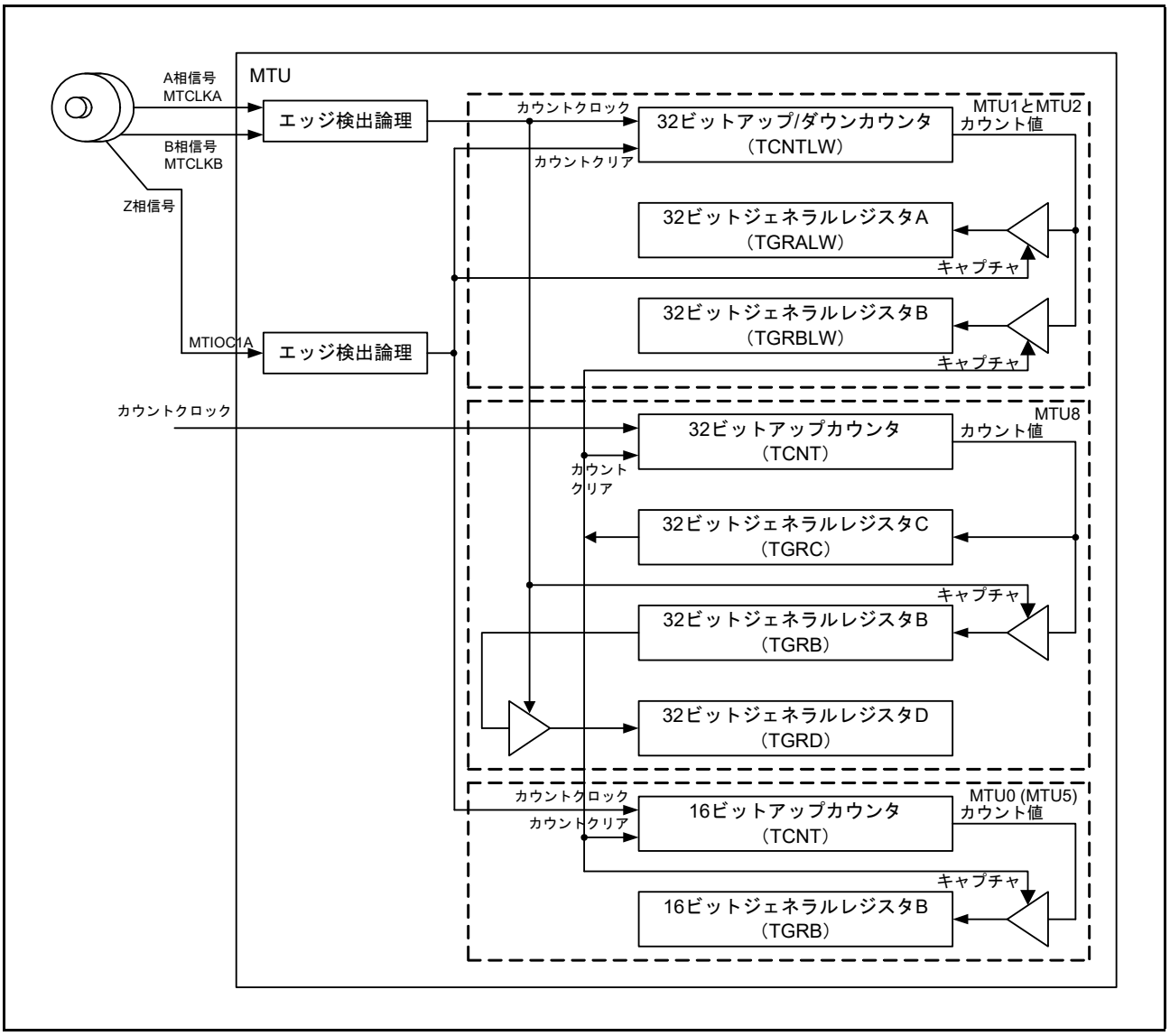


図 19.42　32 ビット位相計数モードの応用例



注．　MTU1.TMDR3.LWA ビットを “1” にセットした場合、カスケード接続に関する制御は、MTU1.TCR、TCR2、TMDR1、TIOR レジスタが有効になり、MTU2 のこれらのレジスタ設定は無効になります。

図 19.43　32 ビット位相計数モードの設定手順

19.3.7　リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 3 相、合計 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6（MTU3.TCNT、MTU6.TCNT）はアップカウンタとして機能します。

使用される PWM 出力端子を**表 19.72** に、使用するレジスタの設定を**表 19.73** に示します。

表19.72　リセット同期PWMモード時の出力端子

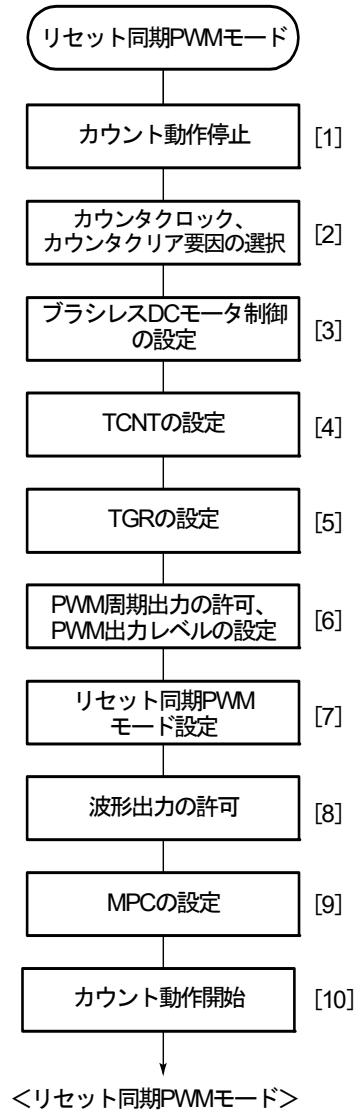
チャネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形）
MTU6	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形）

表19.73　リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	0000hを初期設定
MTU4.TCNT	0000hを初期設定
MTU3.TGRA	MTU3.TCNTのカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	0000hを初期設定
MTU7.TCNT	0000hを初期設定
MTU6.TGRA	MTU6.TCNTのカウント周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1)　リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 19.44 に示します。



[1] タイマスタートレジスタ（TSTRA）のCST3、CST4ビットを“0”にクリアし、タイマカウンタ（TCNT）のカウント動作を停止してください。リセット同期PWMモードの設定はMTU3.TCNT、MTU4.TCNTが停止した状態で行ってください。

[2] タイマコントロールレジスタ（MTU3.TCR）のTPSC[2:0]ビットとCKEG[1:0]ビットでMTU3のカウンタクロックとクロックのエッジを設定してください。CCLR[2:0]ビットでカウンタクリア要因をTGRAのコンペアマッチに設定してください。

[3] ブラシレスDCモータ用の制御をする場合、タイマゲートコントロールレジスタ（TGCRA）のBDCビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[4] MTU3.TCNT、MTU4.TCNTは0000hとしてください。

[5] MTU3.TGRAは周期レジスタです。MTU3.TGRAには周期を設定してください。MTU3.TGRB、MTU4.TGRA、MTU4.TGRBにはPWM出力波形変化タイミングを設定してください。ただし、設定値はMTU3.TCNTとMTU3.TGRAがコンペアマッチする範囲で設定してください。

X ≦ MTU3.TGRA（X：設定値）

[6] タイマアウトプットコントロールレジスタ1（TOCR1A）のPSYEビットでPWM周期に同期したトグル出力の許可／禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。TOCR2A、TOLBRAレジスタによりPWM出力レベルの設定をバッファ動作で行う場合は、図19.3を参照してください。

[7] タイマモードレジスタ（MTU3.TMDR1）のMD[3:0]ビットを1000bにセットしてリセット同期PWMモードと、必要に応じてMTU3.TGRAレジスタのバッファ動作（BFA = 1）、MTU3.TGRCレジスタのバッファ動作（BFB = 1）を設定してください。MTU4.TMDR1には初期値（通常動作、BFA = 0、BFB = 0）を設定してください。

[8] タイマアウトプットマスタイネーブルレジスタ（TOERA）でPWM波形出力端子の出力の許可／禁止を設定してください。

[9] MPCとI/Oポートのポートモードレジスタ（PMR）を設定してください。

[10] TSTRAのCST3ビットを“1”にして、カウント動作を開始してください。

注．　X = MTU3.TGRA すなわち周期 = デューティ比の設定を行うと出力波形は MTU3.TCNT = MTU3.TGRA = X のポイントでトグル動作します。

図 19.44　リセット同期 PWM モードの設定手順例

(2)　リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 19.45 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）はアップカウンタとして動作します。MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）とコンペアマッチするとカウンタはクリアされ 0000h からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

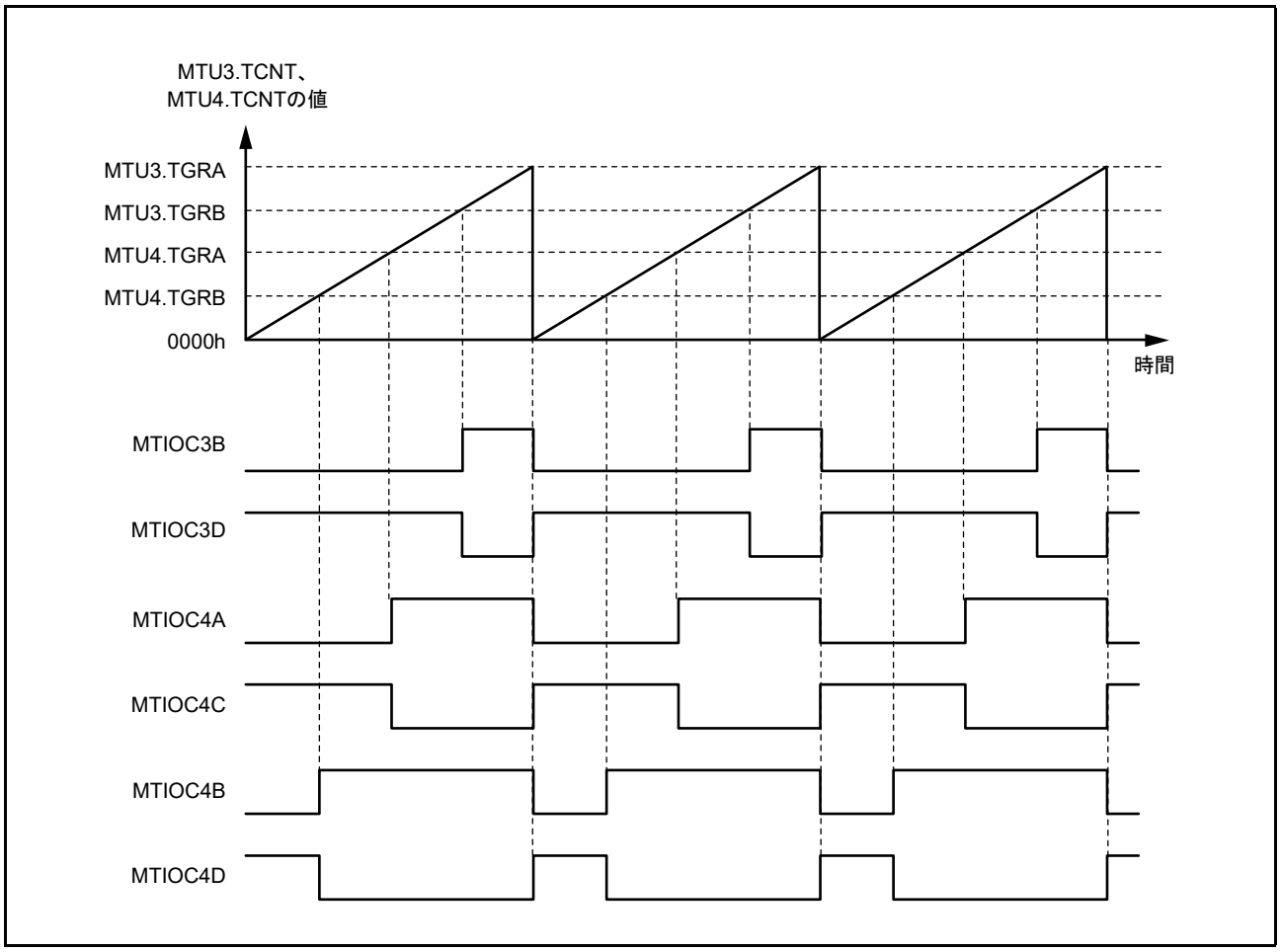


図 19.45　リセット同期 PWM モードの動作例
（MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合）

19.3.8　相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、デッドタイムを設定した PWM 波形（正相・逆相）を各 6 相、合計 12 相出力できます。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ／ダウンカウンタとして機能します。

使用される PWM 出力端子を**表 19.74** に、使用するレジスタの設定を**表 19.75** に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 19.74　相補PWMモード時の出力端子

チャネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3C	入出力ポート（注1）
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形出力）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形出力）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形出力）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6C	入出力ポート（注1）
	MTIOC6D	PWM出力端子4'（PWM出力4とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）

注1.　MTIOC3C、MTIOC6C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表19.75　相補PWMモード時のレジスタ設定（1/2）

チャネル	カウンタ／レジスタ	説明	CPUからの読み出し／書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能（注1）
	TGRA	MTU3.TCNTの上限値を設定（キャリア周期の1/2＋デッドタイム）	TRWERAレジスタの設定によりマスク可能（注1）
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能（注1）
	TGRC	MTU3.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力1／MTU3.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
MTU4	TCNT	0000hを初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能（注1）
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能（注1）
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能（注1）
	TGRC	PWM出力2／MTU4.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力3／MTU4.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
	TGRF	MTU4.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能（注2）
	TGRA	MTU6.TCNTの上限値を設定（キャリア周期の1/2＋デッドタイム）	TRWERBレジスタの設定によりマスク可能（注2）
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能（注2）
	TGRC	MTU6.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力4／MTU6.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
MTU7	TCNT	0000hを初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能（注2）
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能（注2）
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能（注2）
	TGRC	PWM出力5／MTU7.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力6／MTU7.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可／禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可／禁止が可能です。

表19.75　相補PWMモード時のレジスタ設定（2/2）

チャネル	カウンタ／レジスタ	説明	CPUからの読み出し／書き込み
タイマデッドタイムデータレジスタA（TDDRA）		MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERAの設定によりマスク可能（注1）
タイマデッドタイムデータレジスタB（TDDRB）		MTU7.TCNTとMTU6.TCNTのオフセット値（デッドタイムの値）を設定	TRWERBの設定によりマスク可能（注2）
タイマ周期データレジスタA（TCDRA）		MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERAの設定によりマスク可能（注1）
タイマ周期データレジスタB（TCDRB）		MTU7.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERBの設定によりマスク可能（注2）
タイマ周期バッファレジスタA（TCBRA）		TCDRAのバッファレジスタ	読み出し／書き込み可能
タイマ周期バッファレジスタB（TCBRB）		TCDRBのバッファレジスタ	読み出し／書き込み可能
サブカウンタA（TCNTSA）		デッドタイム生成のためのサブカウンタA	読み出しのみ可能
サブカウンタB（TCNTSB）		デッドタイム生成のためのサブカウンタB	読み出しのみ可能
テンポラリレジスタ1A（TEMP1A）		PWM出力1／MTU3.TGRBのテンポラリレジスタA	読み出し／書き込み不可
テンポラリレジスタ1B（TEMP1B）		PWM出力1／MTU3.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可
テンポラリレジスタ2A（TEMP2A）		PWM出力2／MTU4.TGRAのテンポラリレジスタA	読み出し／書き込み不可
テンポラリレジスタ2B（TEMP2B）		PWM出力2／MTU4.TGRAのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可
テンポラリレジスタ3A（TEMP3A）		PWM出力3／MTU4.TGRBのテンポラリレジスタA	読み出し／書き込み不可
テンポラリレジスタ3B（TEMP3B）		PWM出力3／MTU4.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可
テンポラリレジスタ4A（TEMP4A）		PWM出力4／MTU6.TGRBのテンポラリレジスタA	読み出し／書き込み不可
テンポラリレジスタ4B（TEMP4B）		PWM出力4／MTU6.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可
テンポラリレジスタ5A（TEMP5A）		PWM出力5／MTU7.TGRAのテンポラリレジスタA	読み出し／書き込み不可
テンポラリレジスタ5B（TEMP5B）		PWM出力5／MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可
テンポラリレジスタ6A（TEMP6A）		PWM出力6／MTU7.TGRBのテンポラリレジスタA	読み出し／書き込み不可
テンポラリレジスタ6B（TEMP6B）		PWM出力6／MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可／禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可／禁止が可能です。

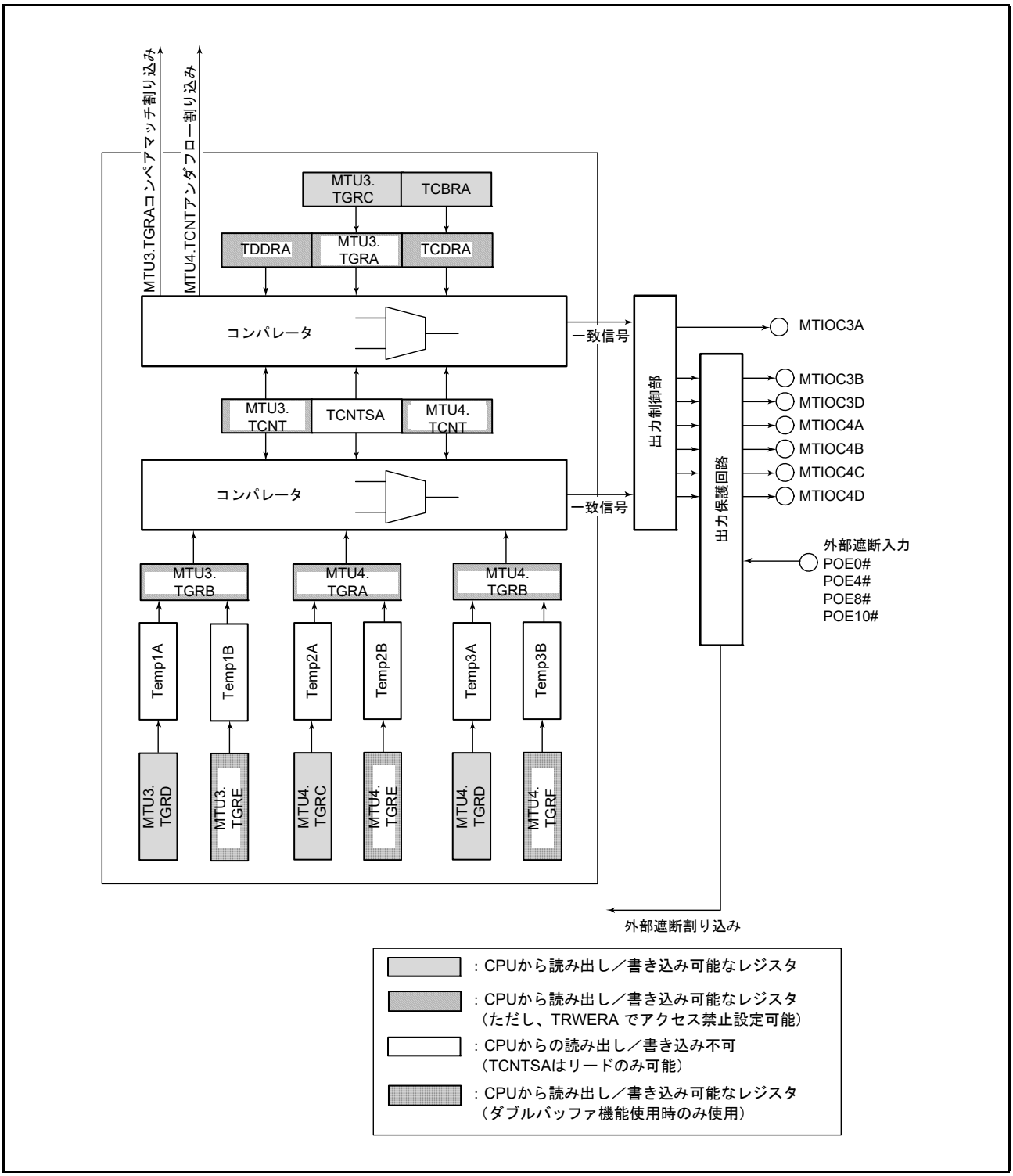


図 19.46　相補 PWM モード時の MTU3、MTU4 ブロック図

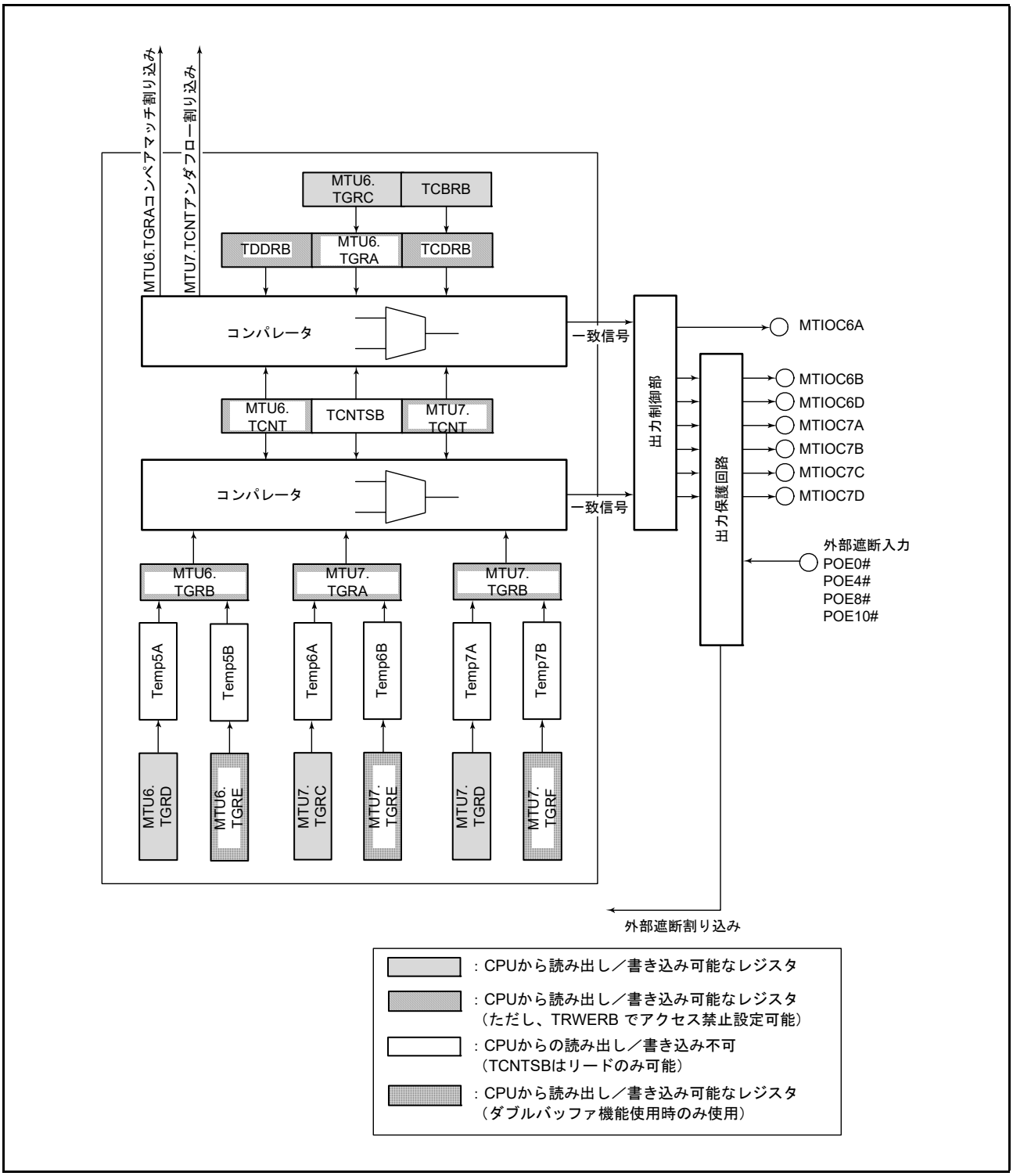


図 19.47　相補 PWM モード時の MTU6、MTU7 ブロック図

(1)　相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 19.48 に示します。

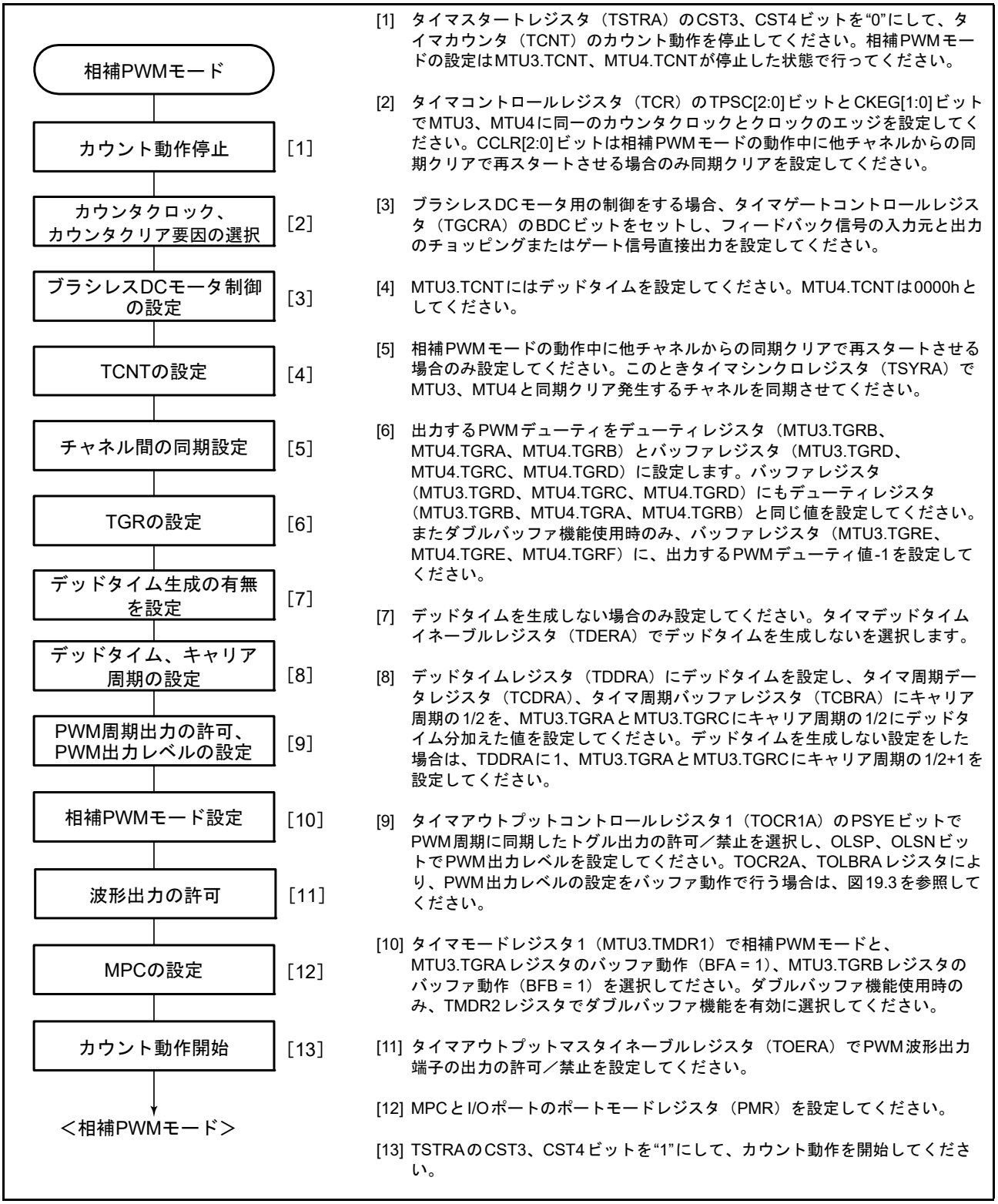


図 19.48　相補 PWM モードの設定手順例

(2)　相補 PWM モードの動作概要

相補 PWM モードでは、3 相（6 本）の PWM 出力が可能です。図 19.49 に相補 PWM モードのカウンタの動作（MTU3、4）を示します。図 19.50 に相補 PWM モードの動作例を示します。

(a)　カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）レジスタの 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT（MTU6.TCNT）は、相補 PWM モードに設定され TSTRA（TSTRB）の CST ビットが “0” のとき、TDDRA（TDDRB）に設定された値が自動的に初期値として設定されます。CST ビットが “1” になると、MTU3.TGRA（MTU6.TGRA）に設定された値までアップカウント動作を行い、MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT（MTU7.TCNT）が 0000h と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT（MTU7.TCNT）は、初期値として 0000h を設定します。CST ビットが “1” に設定されると、MTU3.TCNT（MTU6.TCNT）に同期して動作しアップカウントを行い、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。この後、0000h と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA（TCNTSB）は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がアップカウント時、MTU3.TCNT（MTU6.TCNT）が TCDRA（TCDRB）と一致するとダウンカウントを開始し、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとアップカウントに切り替わります。

また、MTU4.TCNT（MTU7.TCNT）と TDDRA（TDDRB）が一致すると TCNTSA（TCNTSB）は MTU3.TGRA（MTU6.TGRA）の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がダウンカウント時、MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRB）と一致するとアップカウントを開始し、MTU4.TCNT（MTU7.TCNT）が 0000h と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT（MTU6.TCNT）と TCDRA（TCDRB）が一致すると TCNTSA（TCNTSB）は 0000h にクリアされ、カウントを停止します。

TCNTSA（TCNTSB）は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

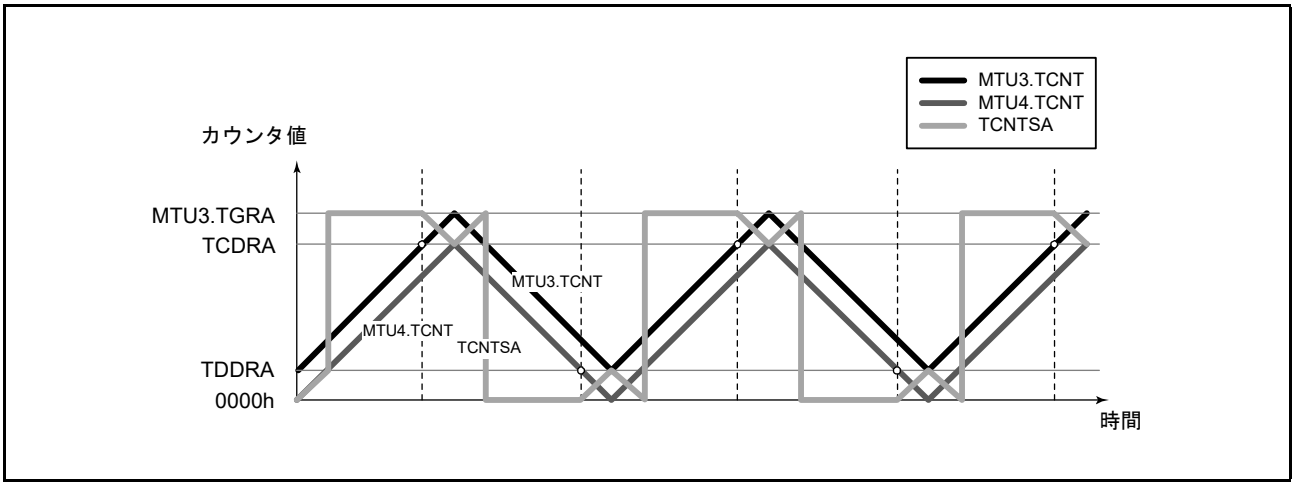


図 19.49　相補 PWM モードのカウンタ動作（MTU3、MTU4）

(b)　レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。**図 19.50** に相補 PWM モードの動作例（MTU3、4）を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB（MTU6.TGRB、MTU7.TGRA、MTU7.TGRB）です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ（TOCR1A、TOCR1B）の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD、MTU7.TGRC、MTU7.TGRD）です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE、MTU7.TGRE、MTU7.TGRF）も使用されます。動作の詳細は「**19.3.8　(2)　(s)　相補 PWM モードのダブルバッファ機能**」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し／書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTSA（TCNTSB）がアップカウント時に MTU3.TGRA（MTU6.TGRA）が一致したとき、またはダウンカウント時に 0000h と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1（TMDR1）の MD[3:0] ビットで選択できます。**図 19.50** は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb（**図 19.50** では Tb1）区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

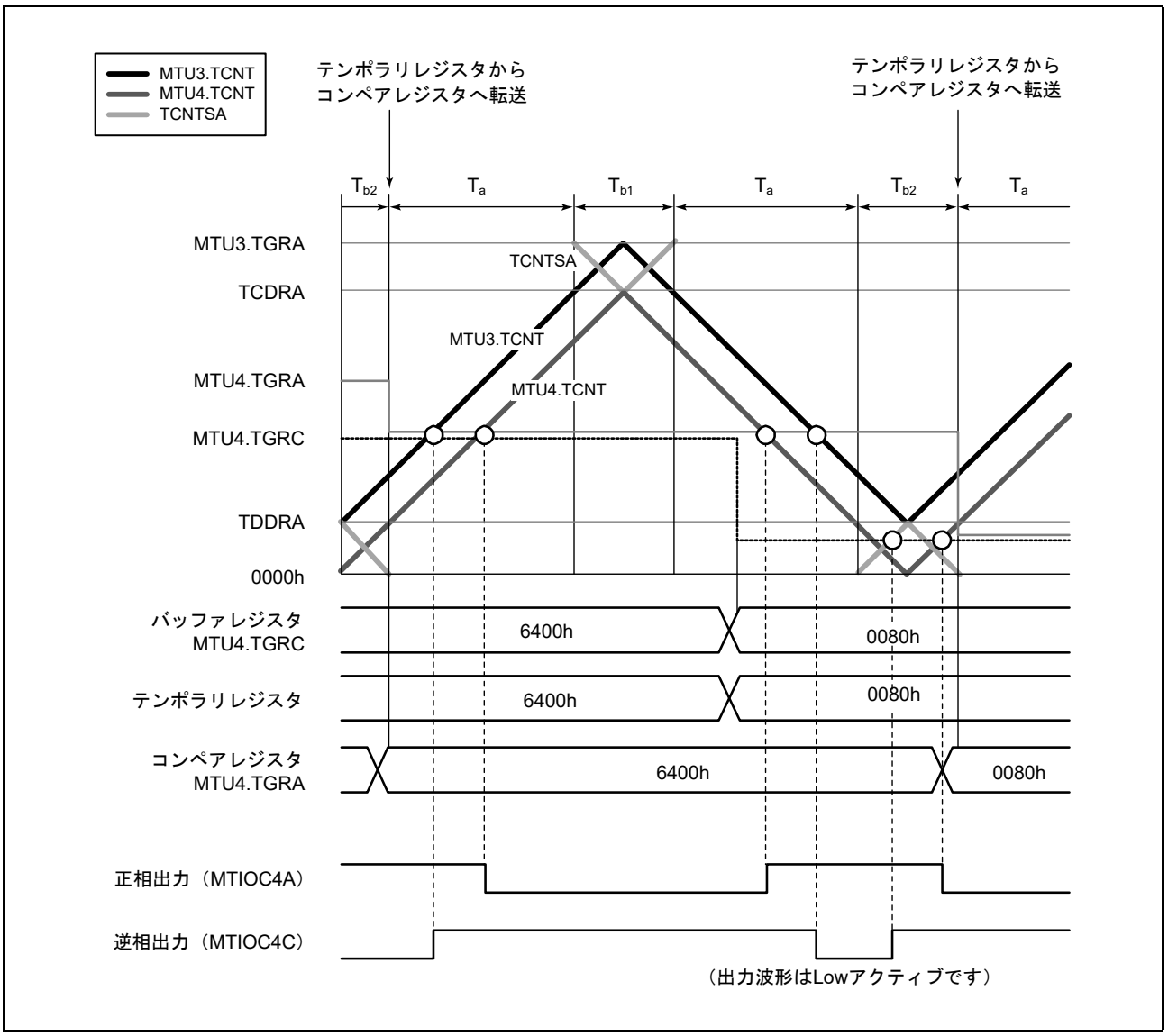


図 19.50　相補 PWM モード動作例（MTU3、MTU4）

(c)　初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ 1（TMDR1）の MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして動作し、PWM キャリア周期の 1/2 ＋デッドタイム Td を設定します。タイマ周期バッファレジスタ（TCBRA、TCBRB）は、タイマ周期データレジスタ（TCDRA、TCDRB）のバッファレジスタとして動作し、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）には、デッドタイム Td を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）の TDER ビットを “0” にし、MTU3.TGRC、MTU3.TGRA（MTU6.TGRC、MTU6.TGRA）には、PWM キャリア周期の 1/2+1 を、TDDRA（TDDRB）を “1” にします。

バッファレジスタ A（MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD、MTU7.TGRC、MTU7.TGRD））の 3 本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B（MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE、MTU7.TGRE、MTU7.TGRF））の 3 本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値－ 1 を設定します。

TDDRA（TDDRB）を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT（MTU7.TCNT）は、相補 PWM モードに設定する前に 0000h にしてください。

表 19.76　初期設定の必要なレジスタとカウンタ

レジスタ／カウンタ	設定値
MTU3.TGRC MTU6.TGRC	PWMキャリア周期の1/2＋デッドタイムTd TDERA／Bでデッドタイム生成をなしに設定した場合はPWMキャリア周期の1/2+1）
TDDRA、TDDRB	デッドタイムTd（TDERA／Bでデッドタイム生成をなしに設定した場合“1”）
TCBRA、TCBRB	PWMキャリア周期の1/2
MTU3.TGRD、MTU4.TGRC、MTU4.TGRD MTU6.TGRD、MTU7.TGRC、MTU7.TGRD	各相のPWMデューティ比の初期値
MTU3.TGRE、MTU4.TGRE、MTU4.TGRF MTU6.TGRE、MTU7.TGRE、MTU7.TGRF	各相のPWMデューティ比の初期値－1（ダブルバッファ機能使用時のみ）
MTU4.TCNT MTU7.TCNT	0000h

注.　MTU3.TGRC（MTU6.TGRC）の設定値は、TCBRA（TCBRB）に設定するPWMキャリア周期の1/2の値とTDDRA（TDDRB）に設定するデッドタイムTdの値の和としてください。ただし、TDERA（TDERB）レジスタでデッドタイム生成をなしに設定した場合は、PWMキャリア周期の1/2+1としてください。

(d)　PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）の OLS1P ～ OLS3P、OLS1N ～ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定／変更は、相補 PWM モードを解除した状態で行ってください。

(e)　デッドタイムの設定

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）に設定します。TDDRA（TDDRB）に設定した値が、MTU3.TCNT（MTU6.TCNT）のカウンタスタート値となり、MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）のノンオーバラップを生成します。TDDRA（TDDRB）の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f)　デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）の TDER ビットを “0” にします。TDERA（TDERB）は、TDER ビット = 1 の状態で TDER ビットを読んだ後、TDER ビットに “0” を書いたときのみ、“0” にできます。

MTU3.TGRA、MTU3.TGRC（MTU6.TGRA、MTU6.TGRC）には PWM キャリア周期の 1/2+1 を設定し、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）を “1” にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 19.51 にデッドタイムを生成しない場合の動作例（MTU3、MTU4）を示します。

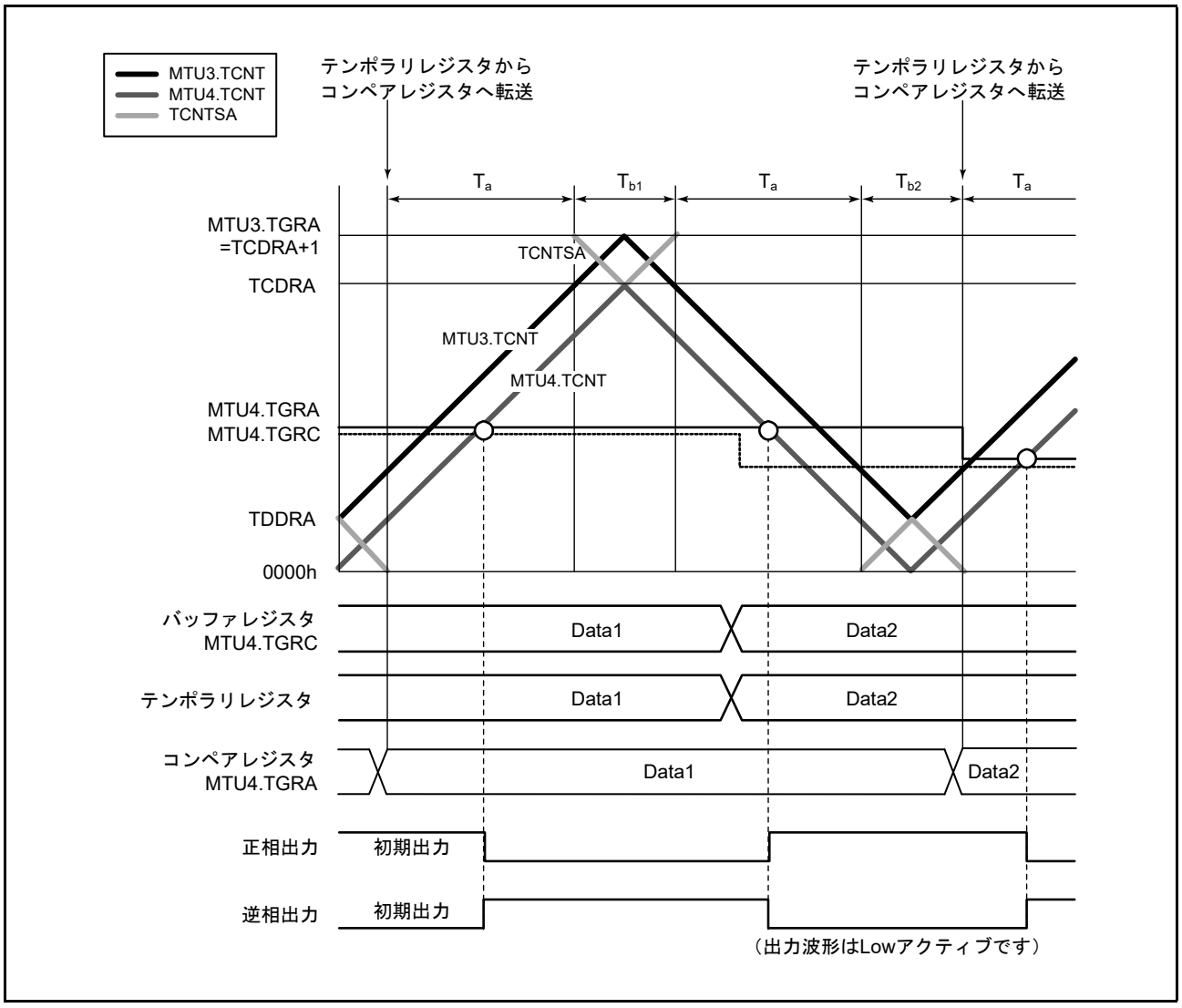


図 19.51　デッドタイムを生成しない場合の動作例（MTU3、MTU4）

(g)　PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を MTU3.TCNT（MTU6.TCNT）の上限値を設定する MTU3.TGRA（MTU6.TGRA）と MTU4.TCNT（MTU7.TCNT）の上限値を設定する TCDRA（TCDRB）の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：MTU3.TGRA（MTU6.TGRA）の設定値 = TCDRA（TCDRB）の設定値＋ TDDRA（TDDRB）の設定値
デッドタイム生成なし：MTU3.TGRA（MTU6.TGRA）の設定値 = TCDRA（TCDRB）の設定値＋ 1

また、TCDRA（TCDRB）レジスタと TDDRA（TDDRB）レジスタの関係が、次の関係になるように設定してください。
TCDRA（TCDRB）の設定値＞ TDDRA（TDDRB）の設定値 × 2 + 2
また、MTU3.TGRA、TCDRA（MTU6.TGRA、TCDRB）の設定は、バッファレジスタの MTU3.TGRC、TCBRA（MTU6.TGRC、TCBRB）に値を設定することで行ってください。MTU3.TGRC、TCBRA（MTU6.TGRC、TCBRB）に設定した値は、タイマモードレジスタ 1（TMDR1）の MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA、TCDRA（MTU6.TGRA、TCDRB）に同時に転送されます。
変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。**図 19.52** に PWM 周期を山で変更する場合の動作例を示します。
なお、各バッファレジスタのデータの更新方法については、次項の**「(h)　レジスタデータの更新」**を参照してください。

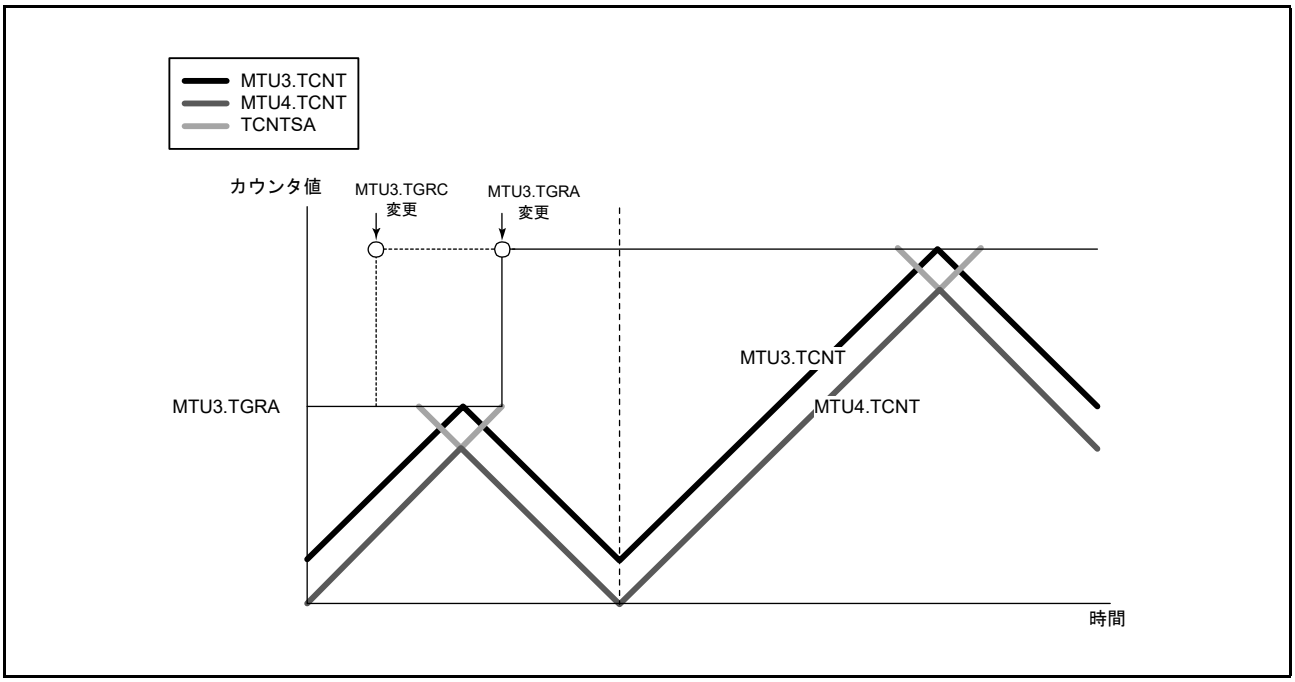


図 19.52　PWM 周期の変更例（MTU3、MTU4）

(h)　レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA（TCNTSB）がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA（TCNTSB）がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA（TCNTSB）が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ 1（TMDR1）の MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。**図 19.53** に相補 PWM モード時のデータ更新例（MTU3、MTU4）を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD（MTU7.TGRD）への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD（MTU7.TGRD）に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD（MTU7.TGRD）のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD（MTU7.TGRD）に書き込み動作を行ってください。また、このとき、MTU4.TGRD（MTU7.TGRD）に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「**19.3.8　(2)　(s)　相補 PWM モードのダブルバッファ機能**」を参照してください。

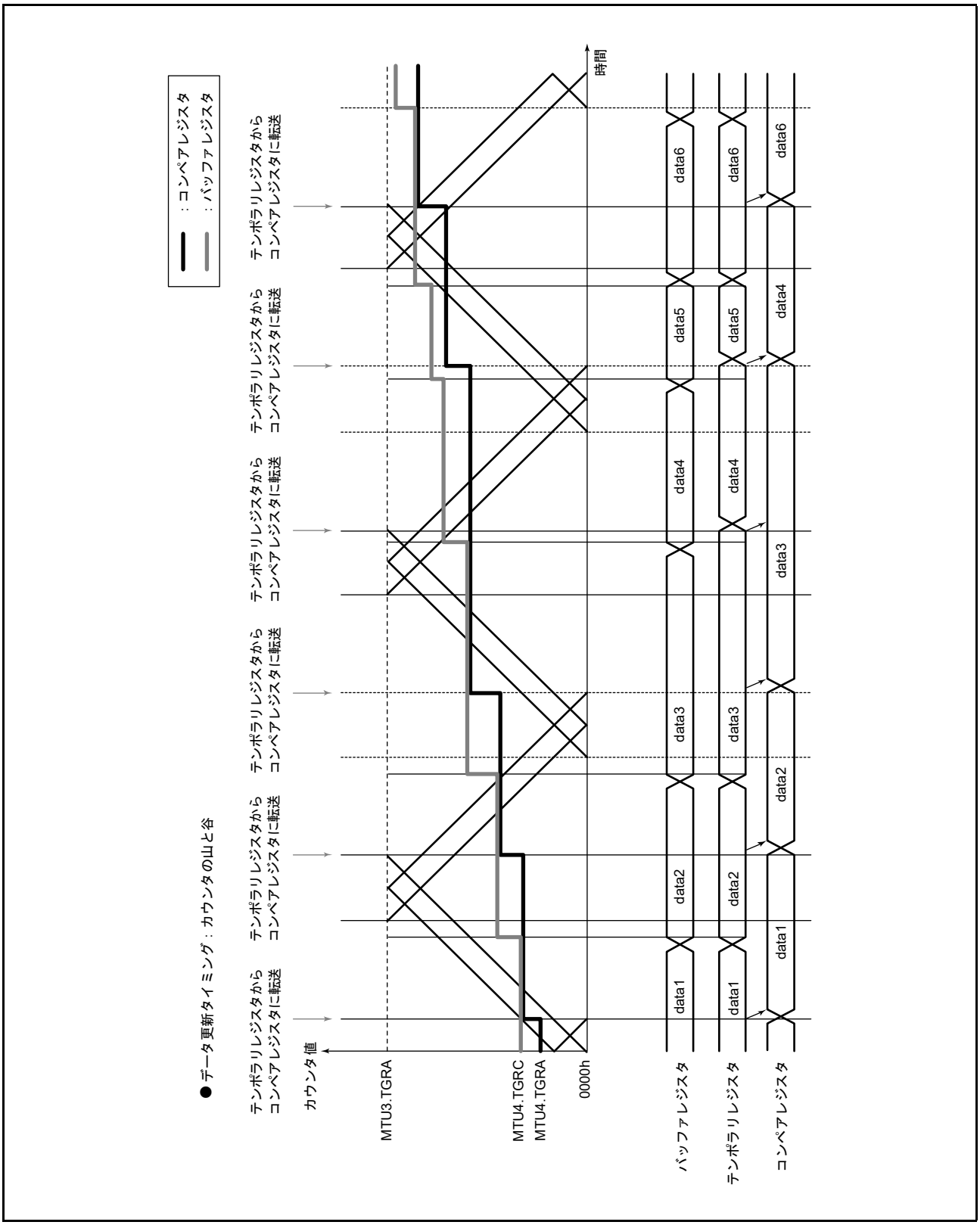


図 19.53　相補 PWM モードのデータ更新例（MTU3、MTU4）

(i)　相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）の OLS1N ～ OLS3N、OLS1P ～ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスの非アクティブレベルで、タイマモードレジスタ 1（TMDR1）で相補 PWM モードを設定してから MTU4.TCNT（MTU7.TCNT）がデッドタイムレジスタ（TDDRA、TDDRB）に設定された値より大きくなるまで出力されます。図 19.54 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA（TDDRB）の値より小さい場合の波形例を図 19.55 に示します。

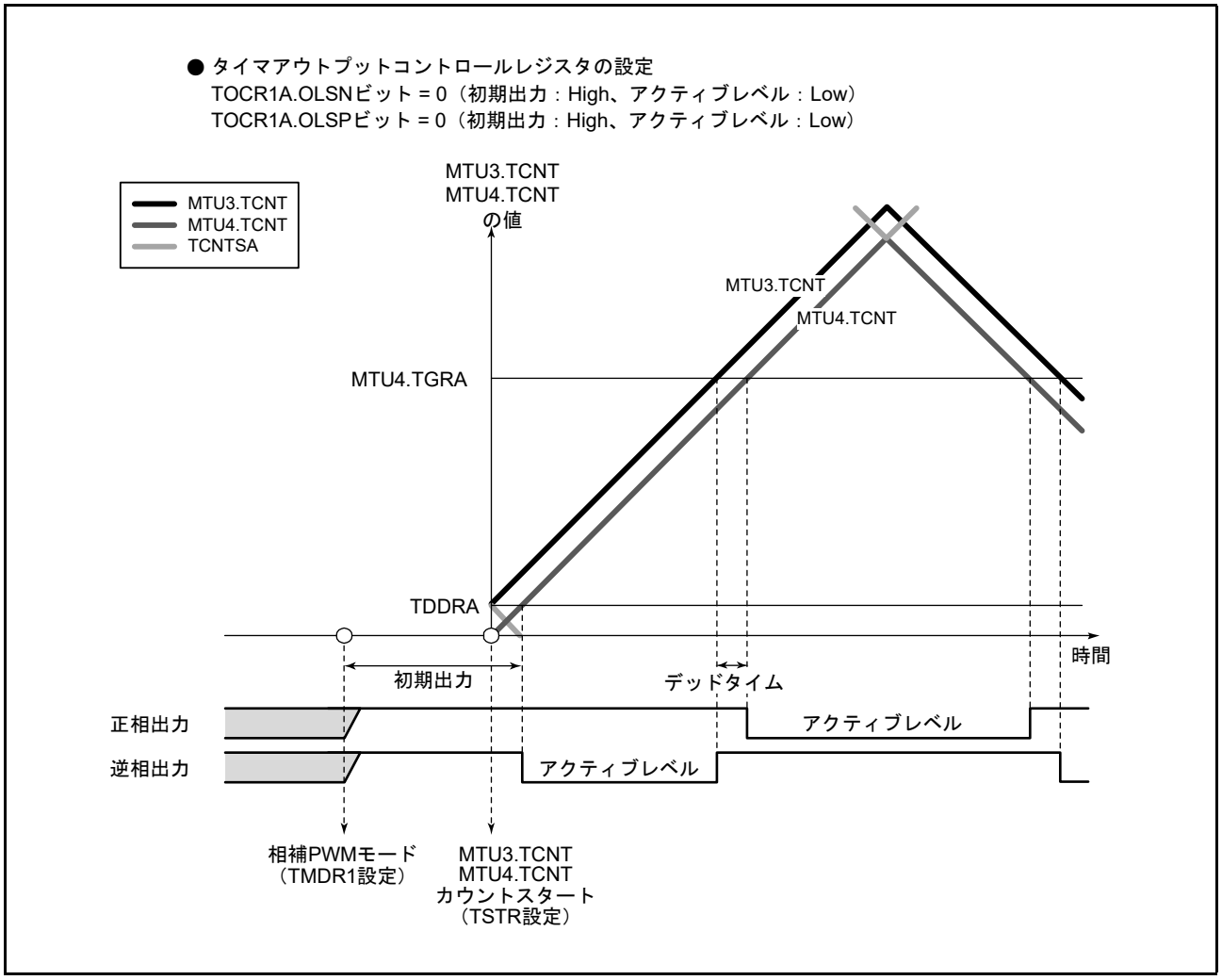


図 19.54　相補 PWM モードの初期出力例（MTU3、MTU4）（1）

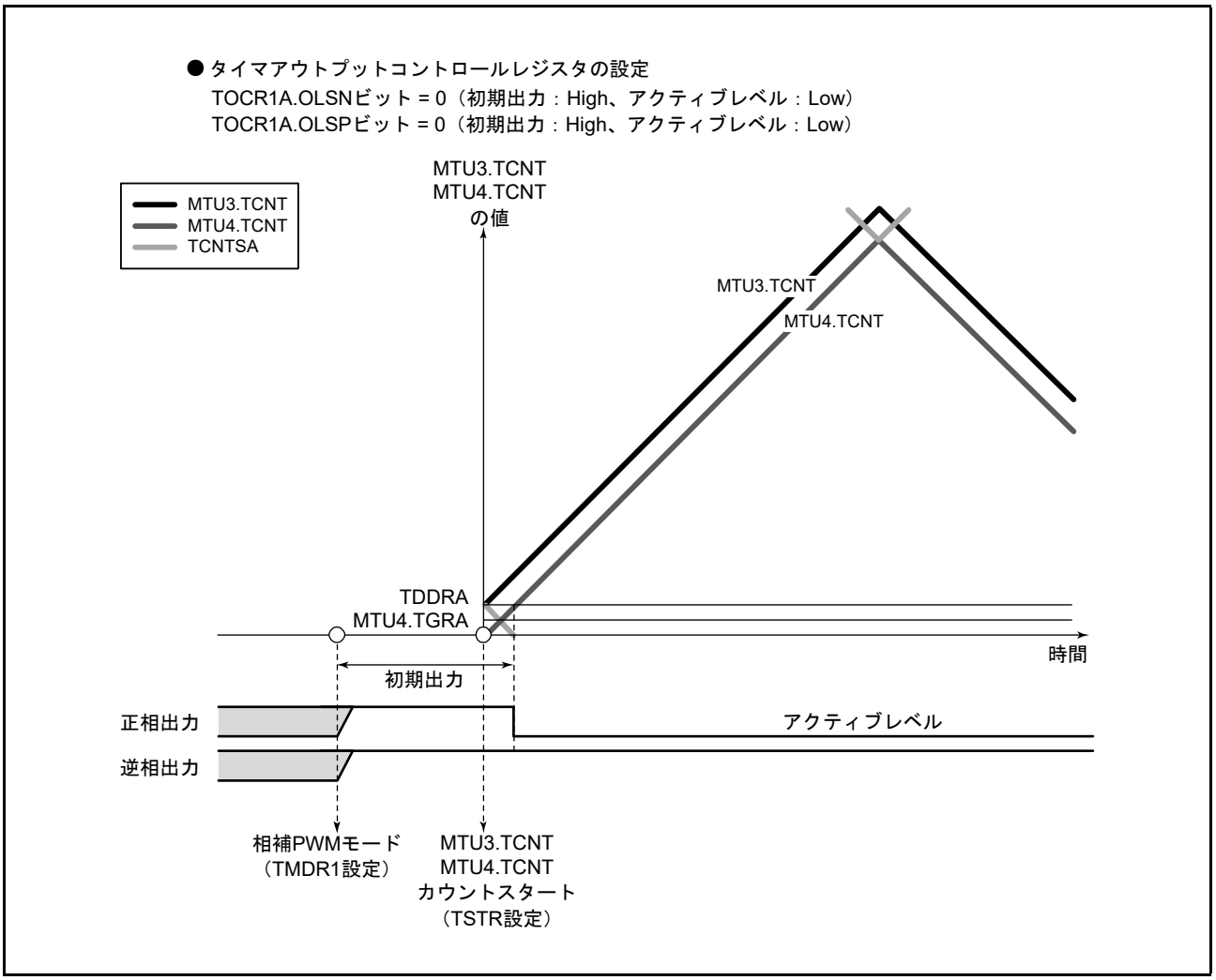


図 19.55　相補 PWM モードの初期出力例（MTU3、MTU4）（2）

(j)　相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、3 相（6 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA（TCNTSB）がカウント動作する期間では、0 ～ 100% まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相／逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。**図 19.56** ～**図 19.58** に相補 PWM モードの波形生成例を示します。

正相／逆相の OFF タイミングは、MTU3.TCNT カウンタとのコンペアマッチで生成され、ON タイミングは MTU3.TCNT のカウンタからデッドタイム分遅れて動作している MTU4.TCNT カウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、**図 19.56** に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 19.57 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、**図 19.58** に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

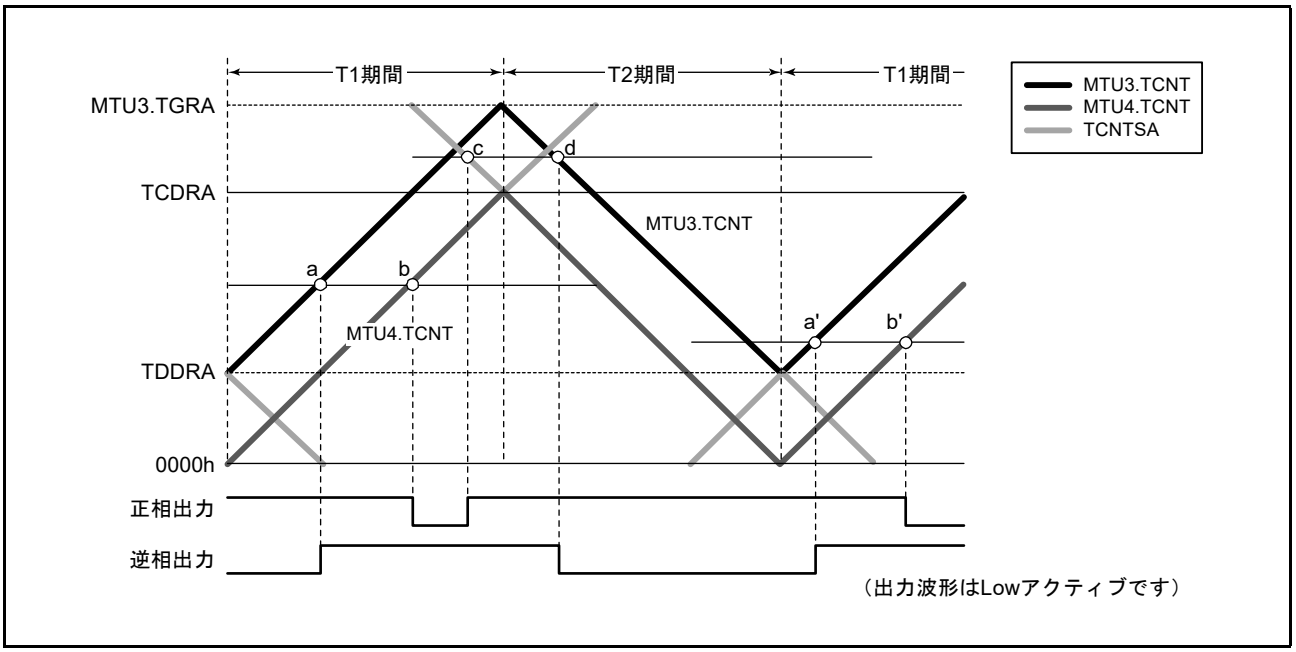


図 19.56　相補 PWM モード波形出力例（MTU3、MTU4）（1）

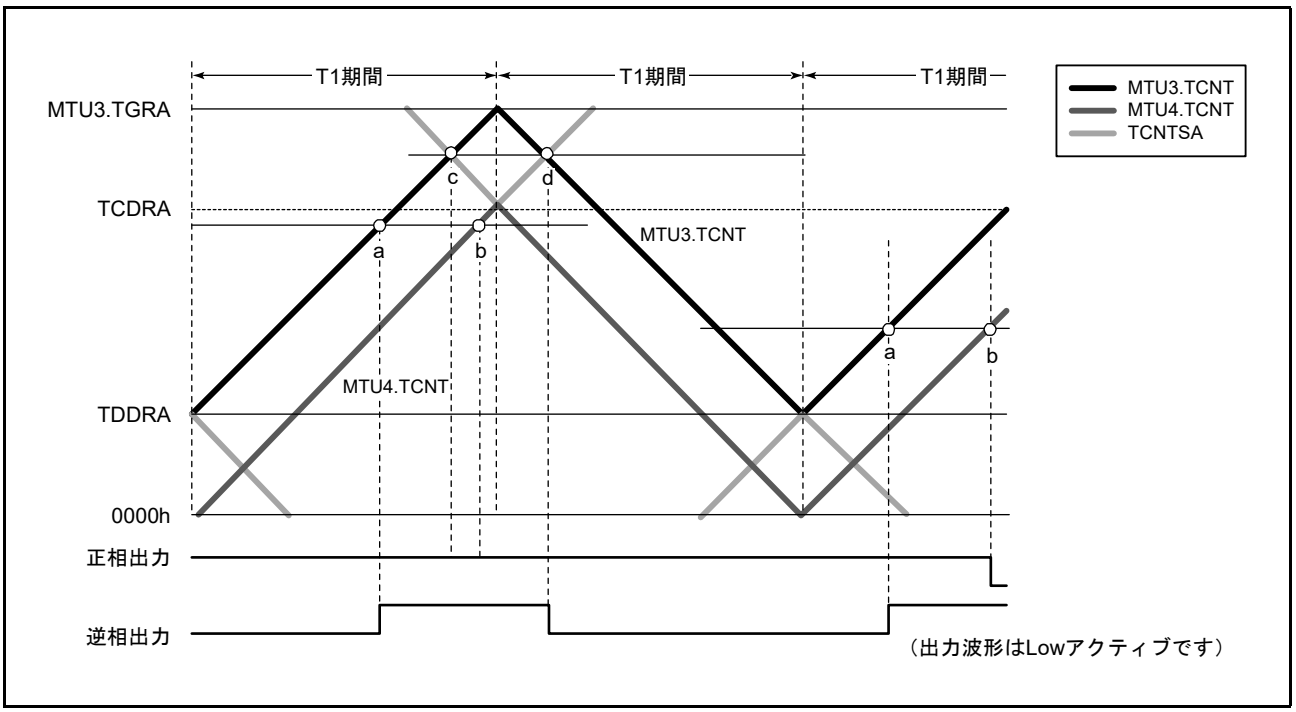


図 19.57　相補 PWM モード波形出力例（MTU3、MTU4）（2）

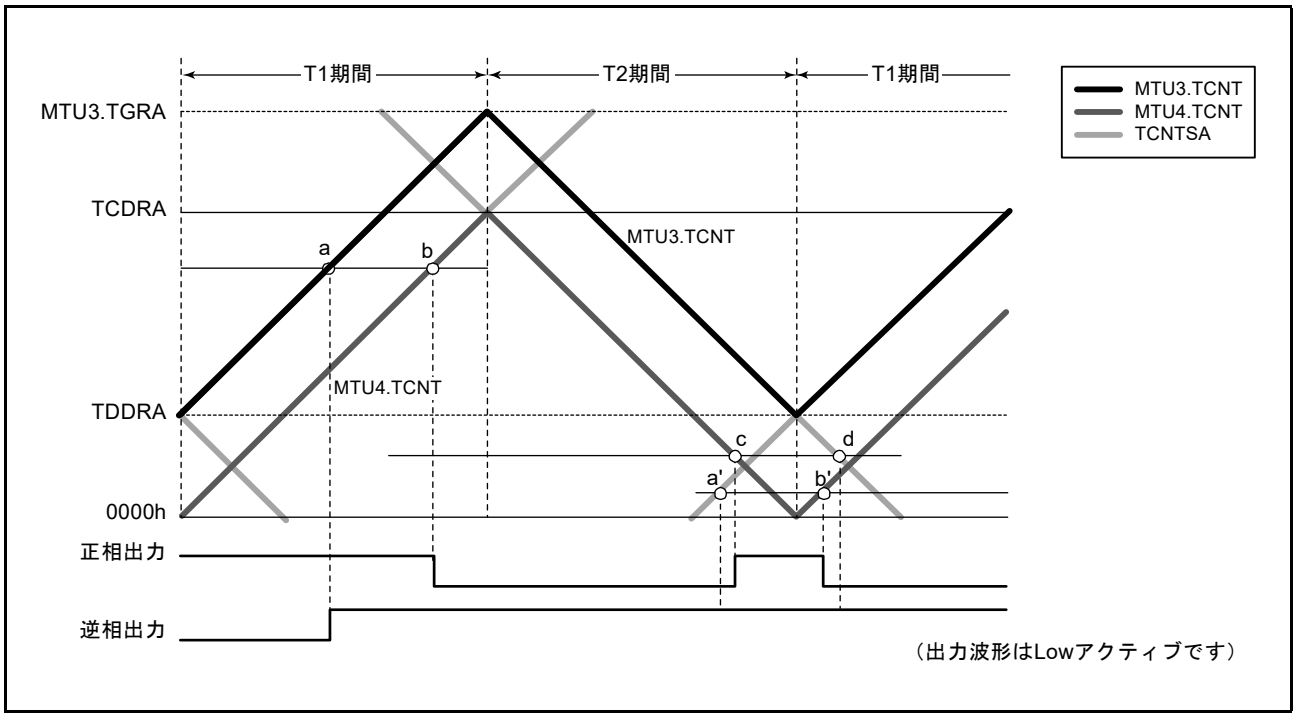


図 19.58　相補 PWM モード波形出力例（MTU3、MTU4）（3）

(k)　相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% を任意に出力可能です。**図 19.59 ～図 19.63** に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を 0000h にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA（MTU6.TGRA）の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

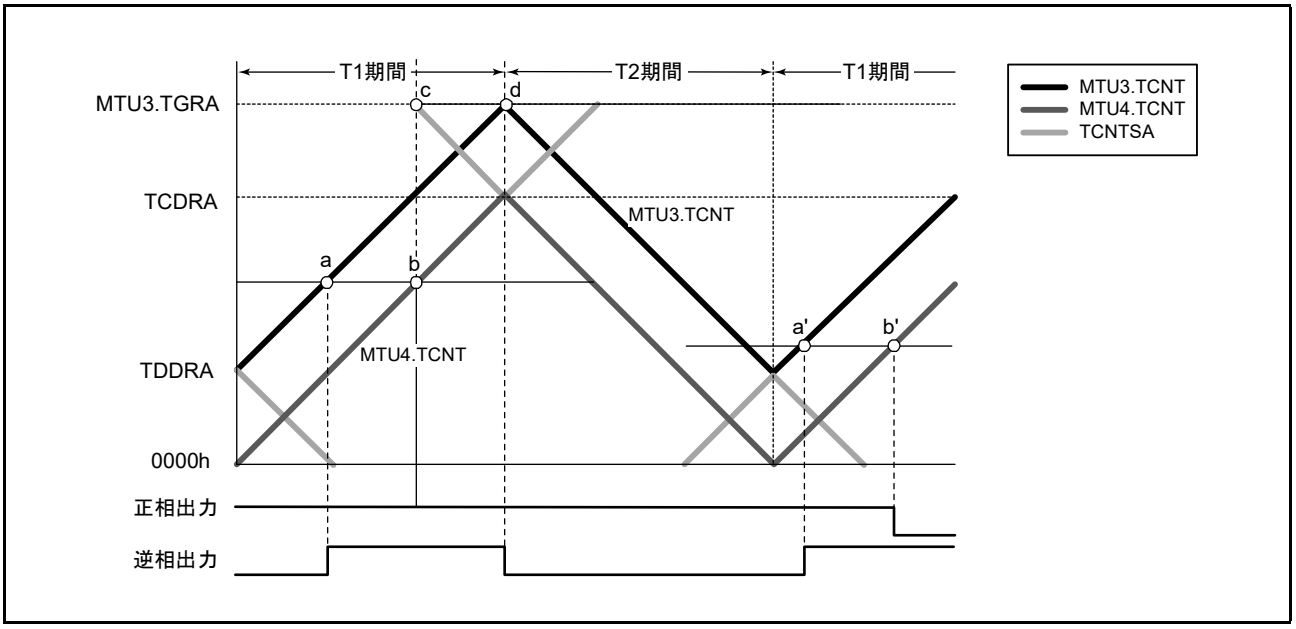


図 19.59　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（1）

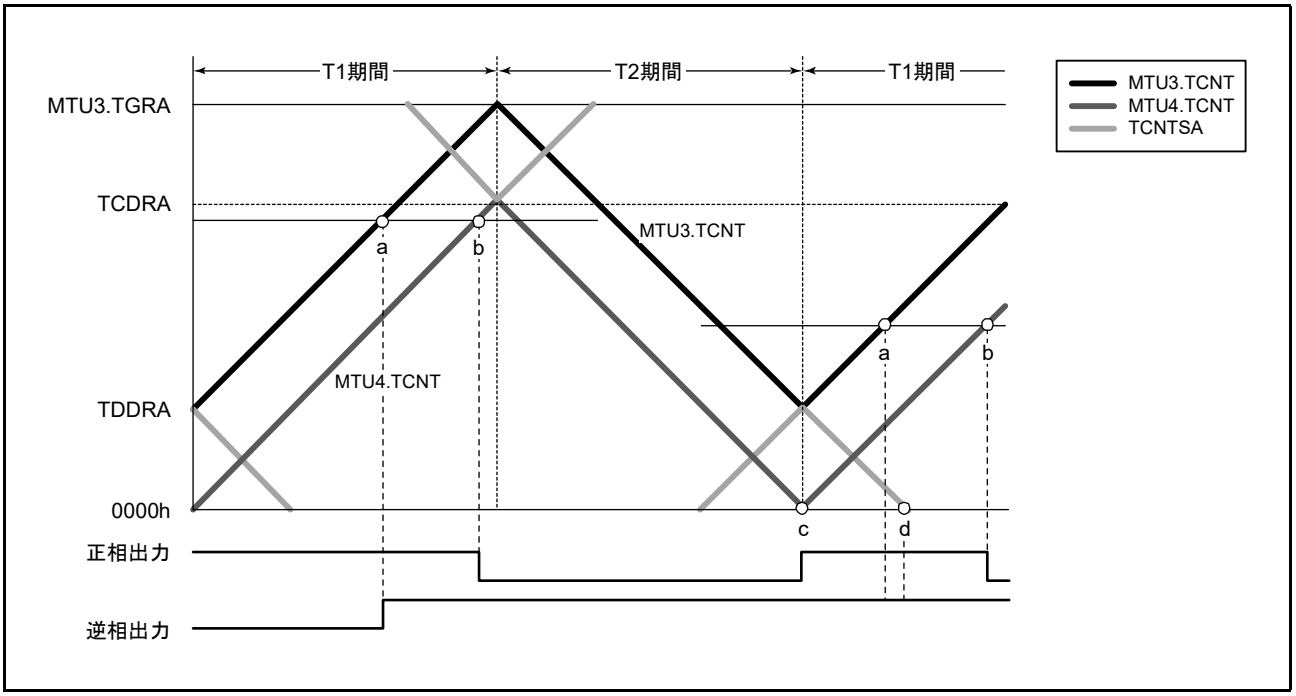


図 19.60　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（2）

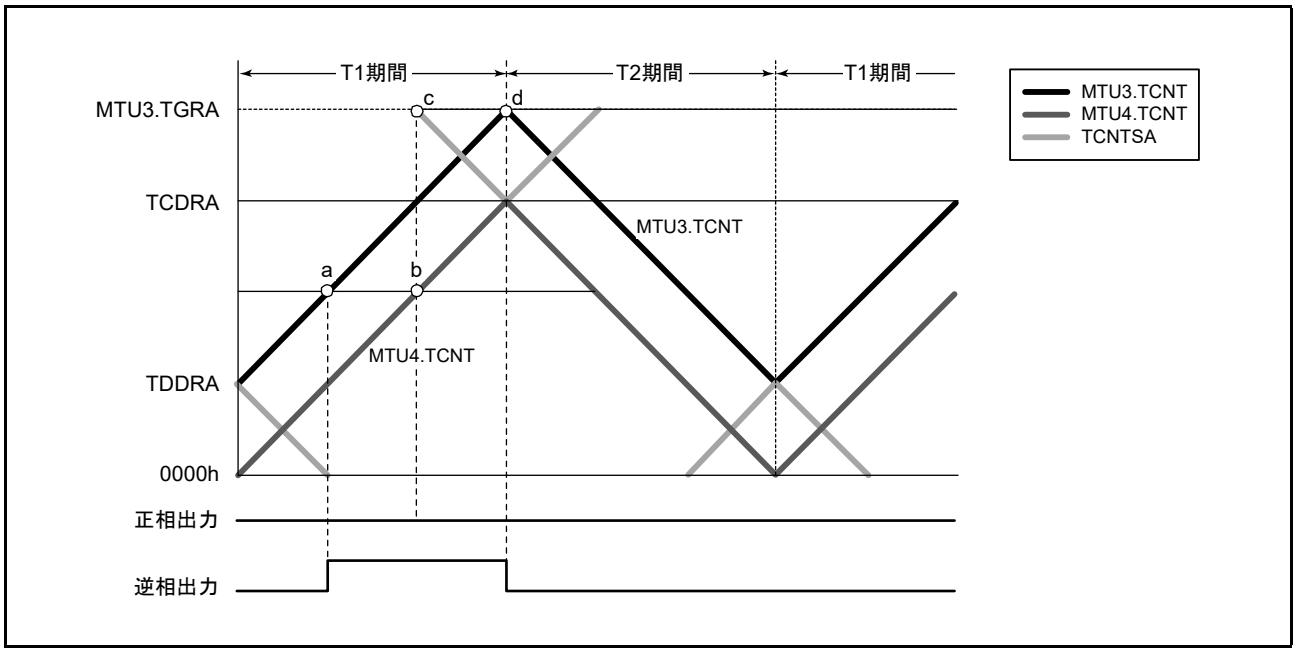


図 19.61　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（3）

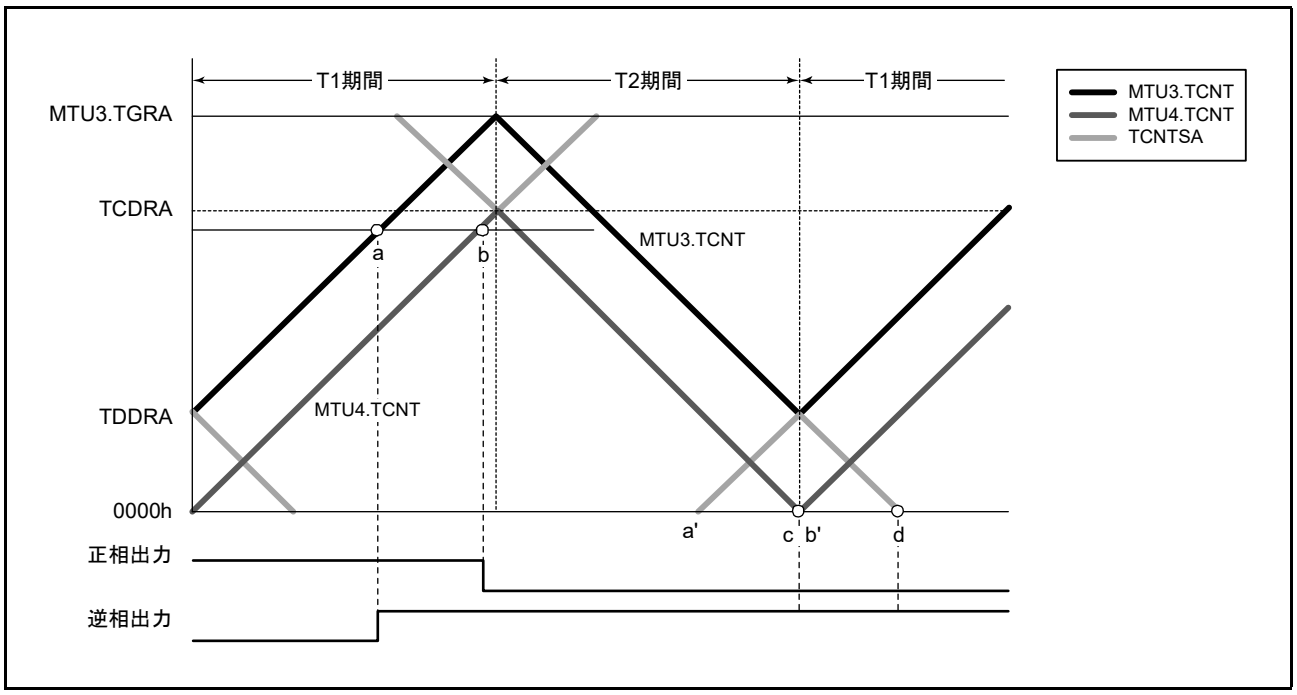


図 19.62　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（4）

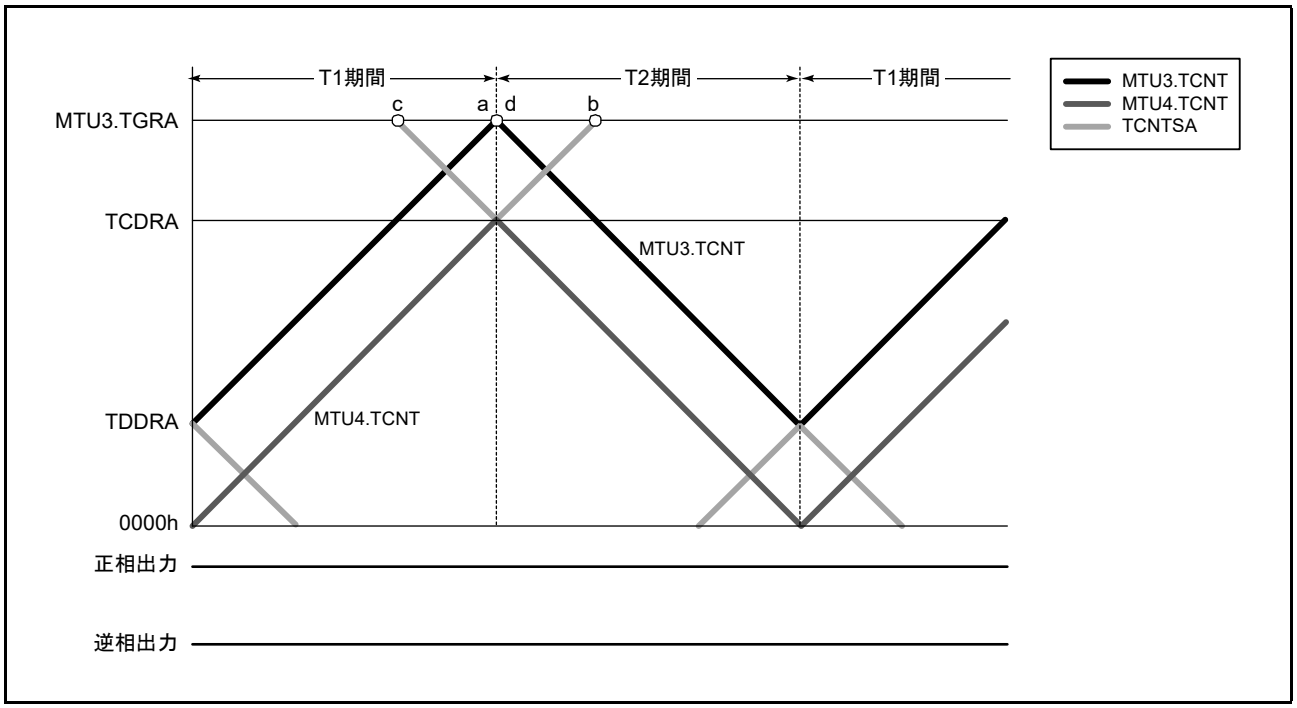


図 19.63　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（5）

(l)　PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）の PSYE ビットを “1” にすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 19.64 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA（MTU6.TCNT と MTU6.TGRA）のコンペアマッチと MTU4.TCNT（MTU7.TCNT）と 0000h のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A（MTIOC6A）端子です。また、初期出力は “High” 出力です。

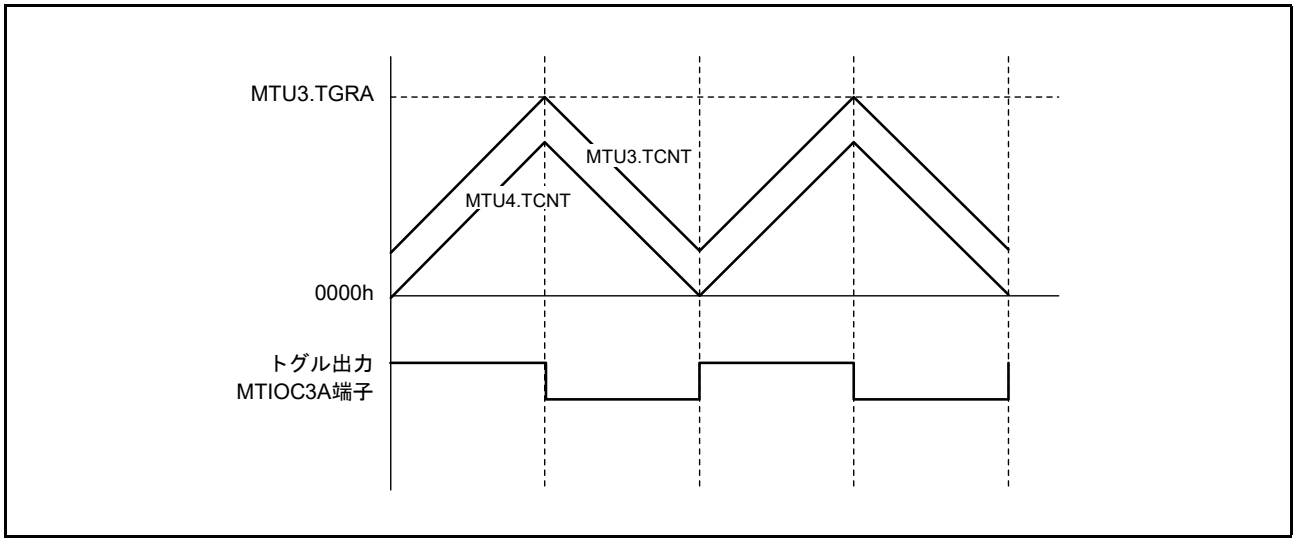


図 19.64　PWM 出力に同期したトグル出力波形例（MTU3、MTU4）

(m)　他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ（TSYRA、TSYRB）により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ（TCR）の CCLR[2:0] ビットにより同期クリアを選択することにより他のチャネルによる MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）のクリアをすることが可能です。

図 19.65 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

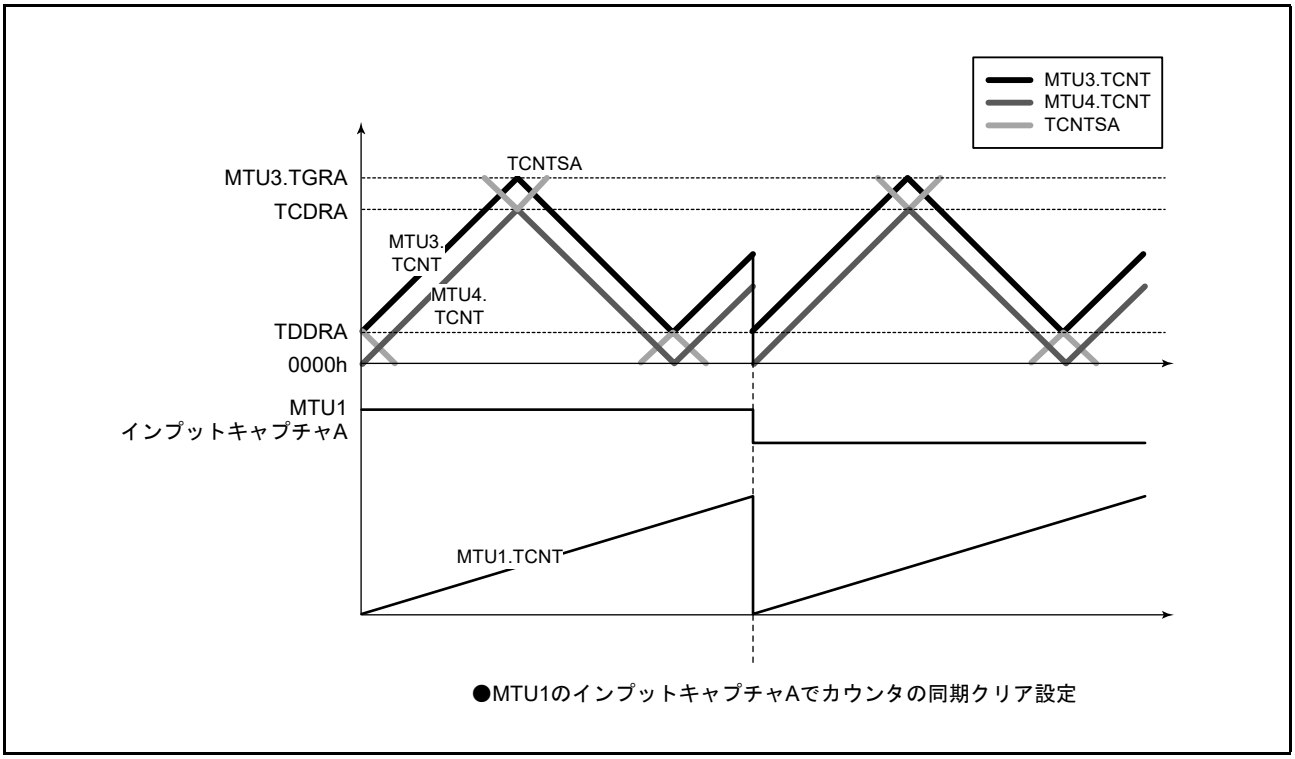


図 19.65　他のチャネルに同期したカウンタクリア（MTU3、MTU4）

(n)　相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA（TWCRB）レジスタの WRE ビットを “1” にすることにより、相補 PWM モードの谷の Tb 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを “1” にすることで初期出力を抑止することができるのは、同期クリアが**図 19.66** の⑩、⑪のような谷の Tb 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A（TOCR1B）レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、**図 19.66** の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4—MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4 ― MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ～ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ～ MTU2 のコンペアマッチ／インプットキャプチャです。

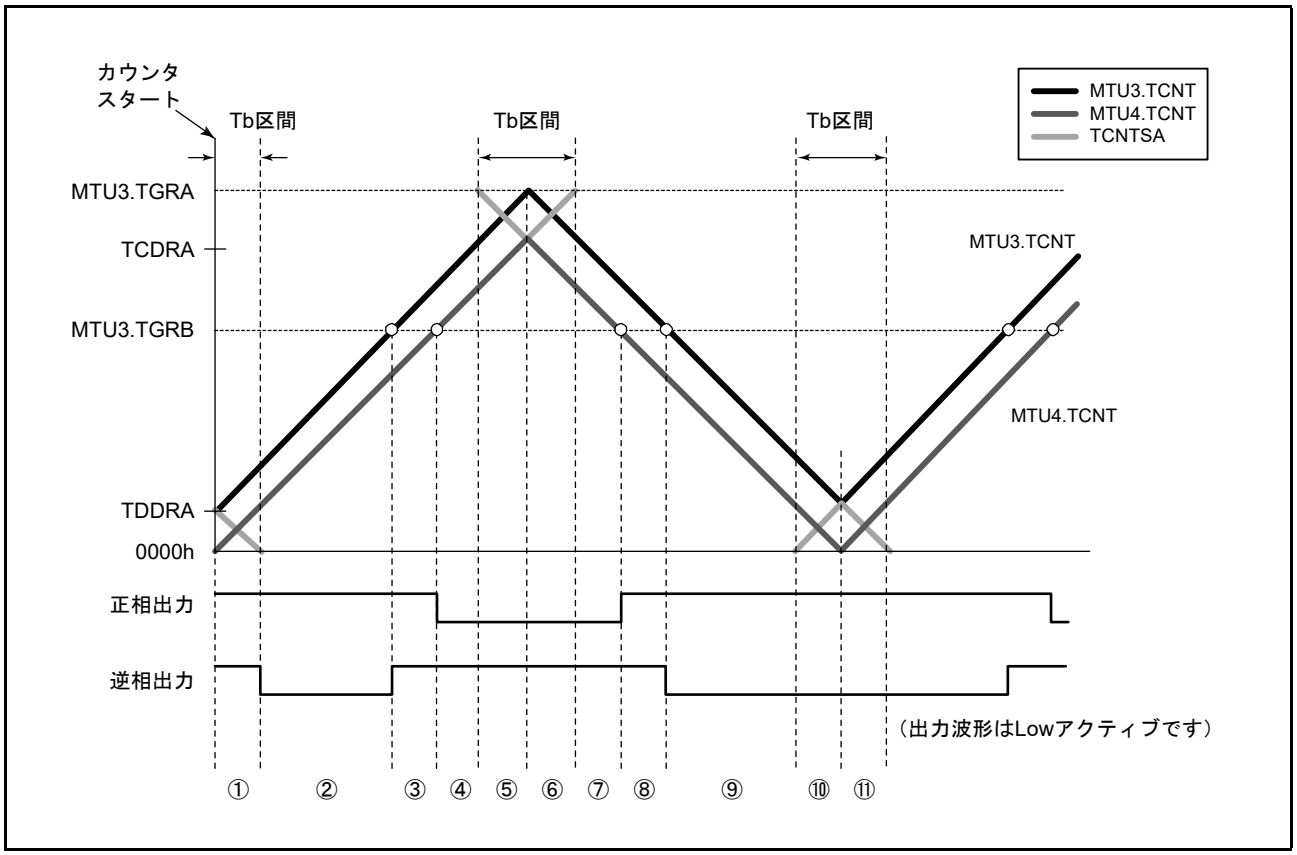


図 19.66　同期カウンタクリアタイミング（MTU3、MTU4）

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
  相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 19.67 に示します。

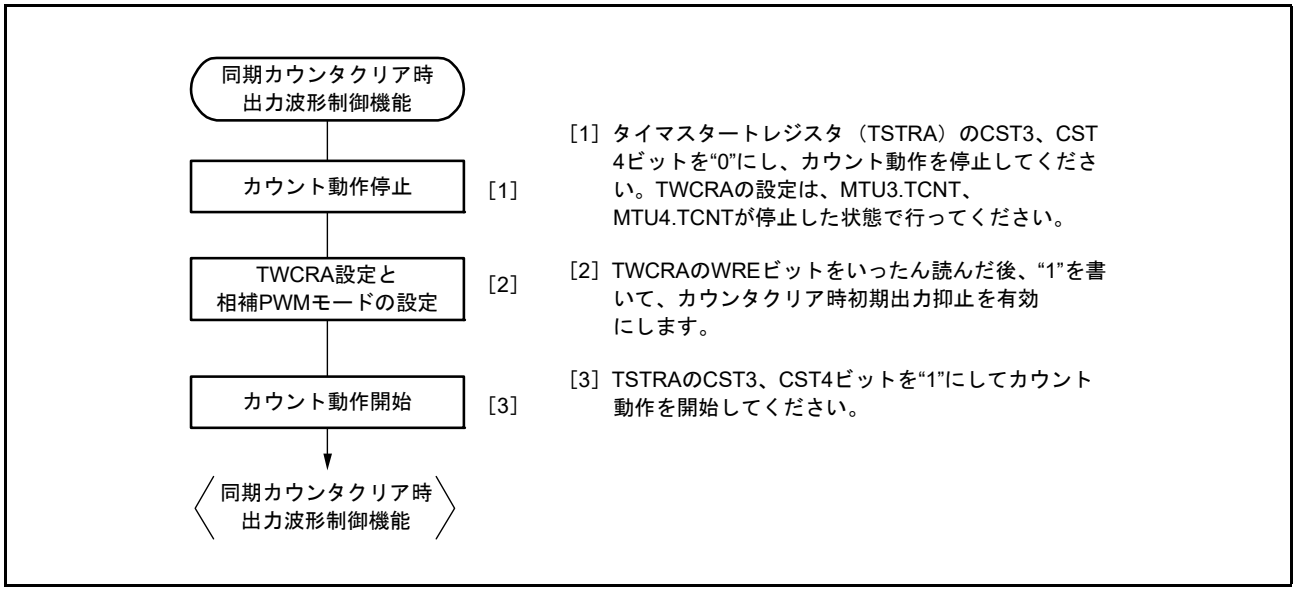


図 19.67　相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例（MTU3、MTU4）

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 19.68 ～図 19.71 に、TWCRA.WRE ビットを “1” にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 19.68 ～図 19.71 の同期カウンタクリアのタイミングは、それぞれ図 19.66 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRB.SCC ビットを “0”、WRE ビットを “1” にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

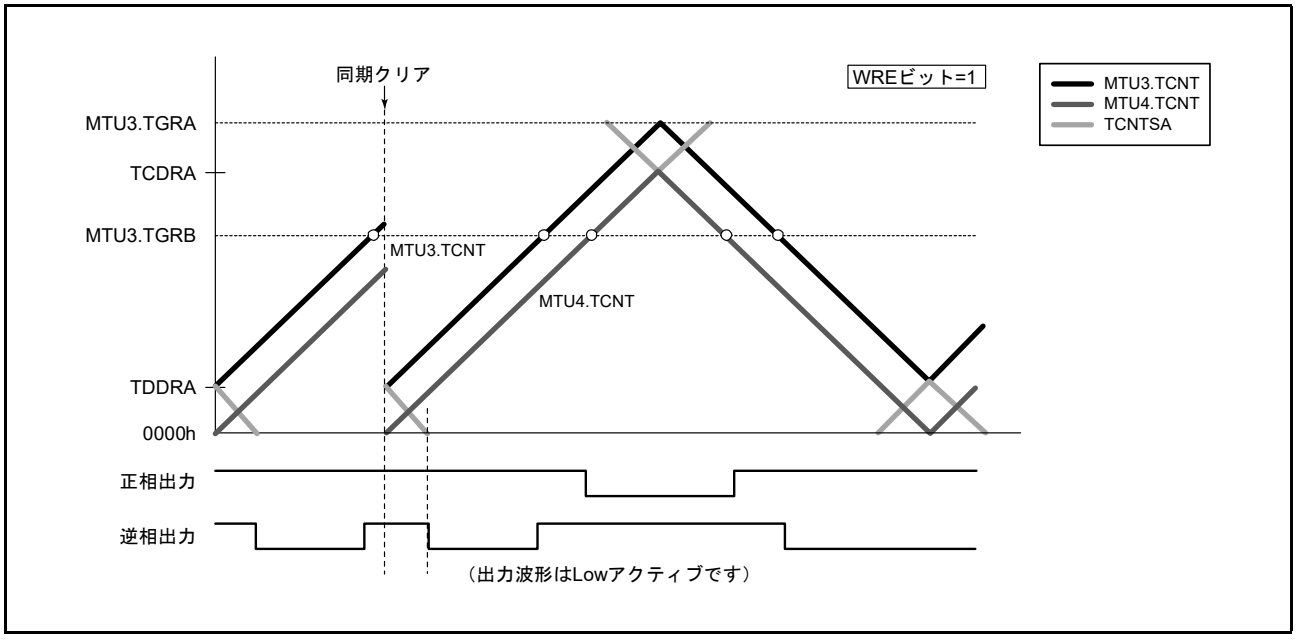


図 19.68　アップカウント中のデッドタイム時に同期クリアが発生した場合
（図 19.66 のタイミング③、TWCRA レジスタの WRE ビット = 1）

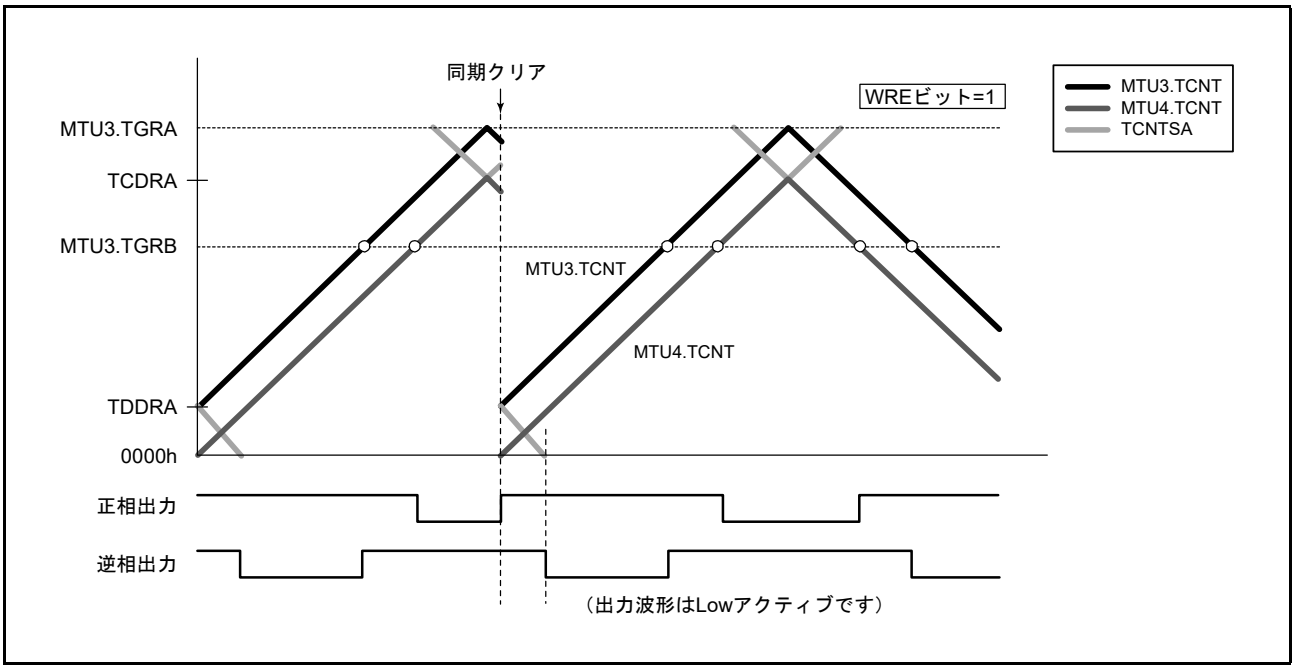


図 19.69　山の Tb 区間で同期クリアが発生した場合
（図 19.66 のタイミング⑥、TWCRA レジスタの WRE ビット = 1）

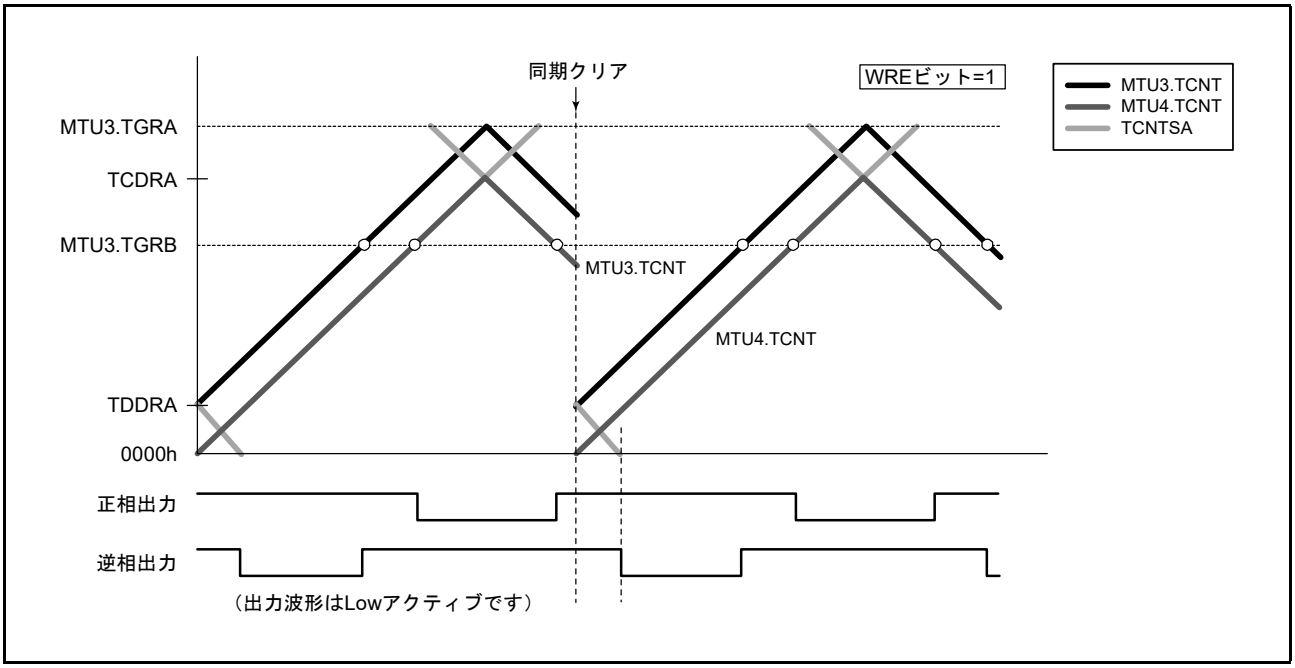


図 19.70　ダウンカウント中のデッドタイム時に同期クリアが発生した場合
（図 19.66 のタイミング⑧、TWCRA レジスタの WRE ビット = 1）

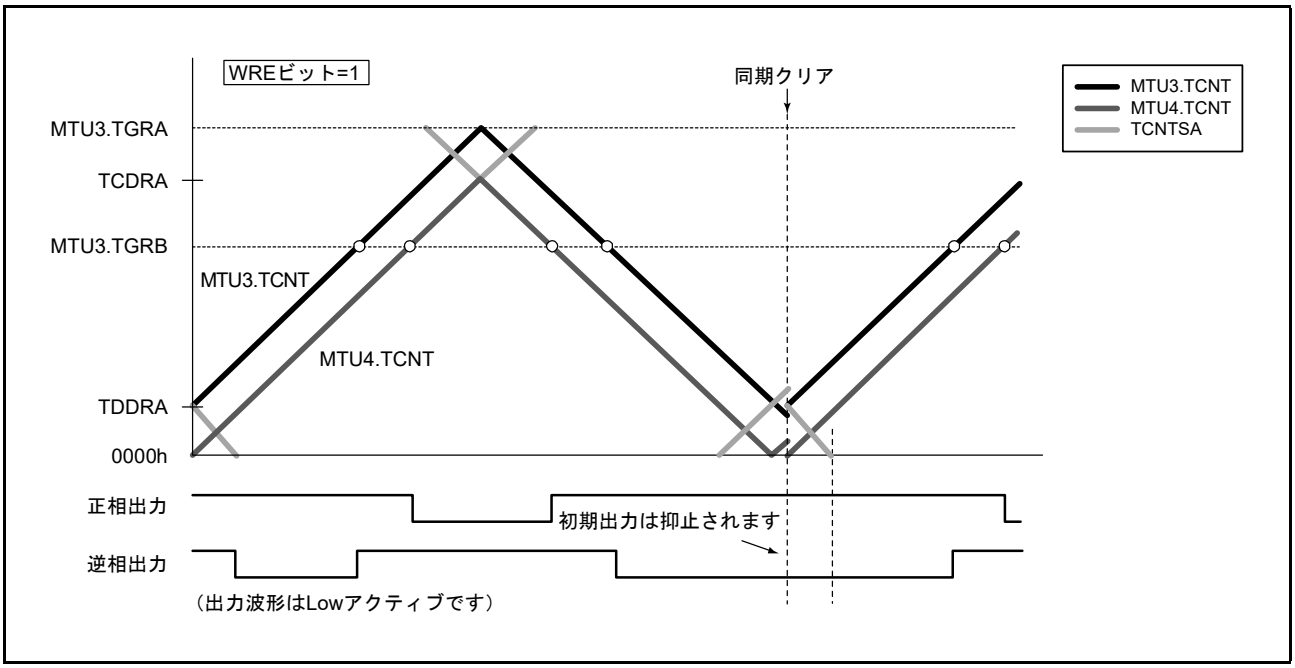


図 19.71　谷の Tb 区間で同期クリアが発生した場合
（図 19.66 のタイミング⑪、TWCRA レジスタの WRE ビット = 1）

(o)　MTU0、1、2 － MTU6、7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを “1” にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、図 19.72 で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、「19.3.10　(2)　MTU6、MTU7 カウンタの同期クリア」を参照してください。

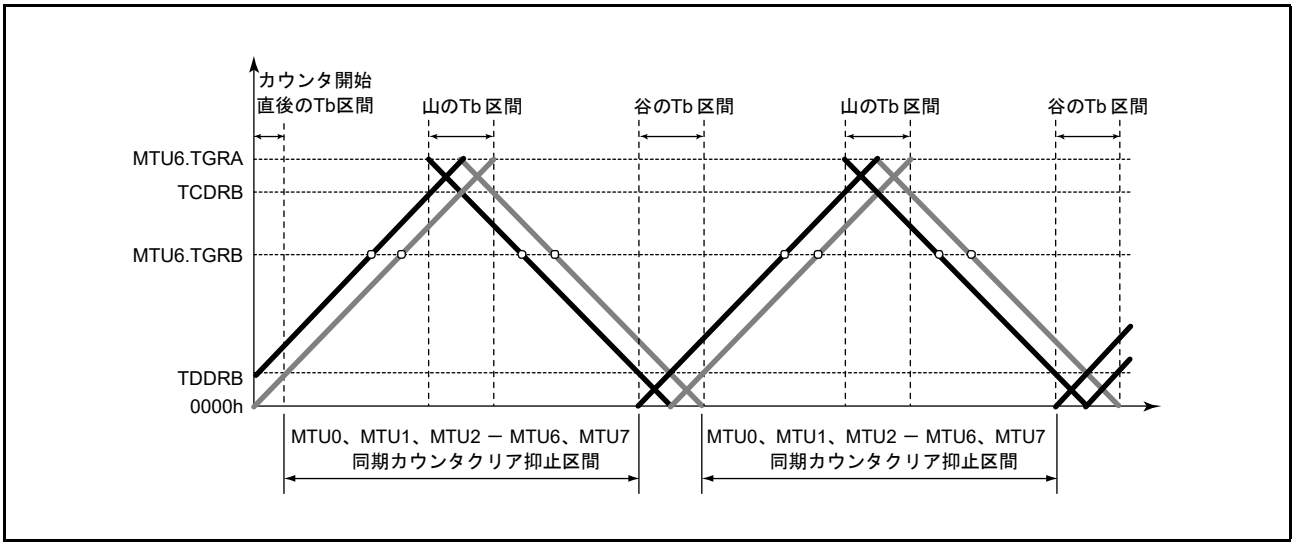


図 19.72　TWCRB.SCC ビットセットによる、MTU0、MTU1、MTU2 － MTU6、MTU7 同期クリア抑止区間

- MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を図 19.73 に示します。



注 1.　TWCRB.SCC ビットの設定はカウンタ動作中に行うことができますが、TWCRB.SCC ビットを “0” から “1” にするタイミングで同期クリアが起こった場合、同期クリアが抑止されないことがあります。
また、TWCRB.SCC ビットを “1” から “0” にするタイミングで同期クリアが起こった場合、同期クリアが抑止されることがあります。

図 19.73　MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

- MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 19.74 ～図 19.77 に、MTU6、MTU7 の TWCRB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2 － MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 19.74 ～図 19.77 の同期カウンタクリアのタイミングは、それぞれ図 19.66 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRB.WRE ビットは “1” にしています。

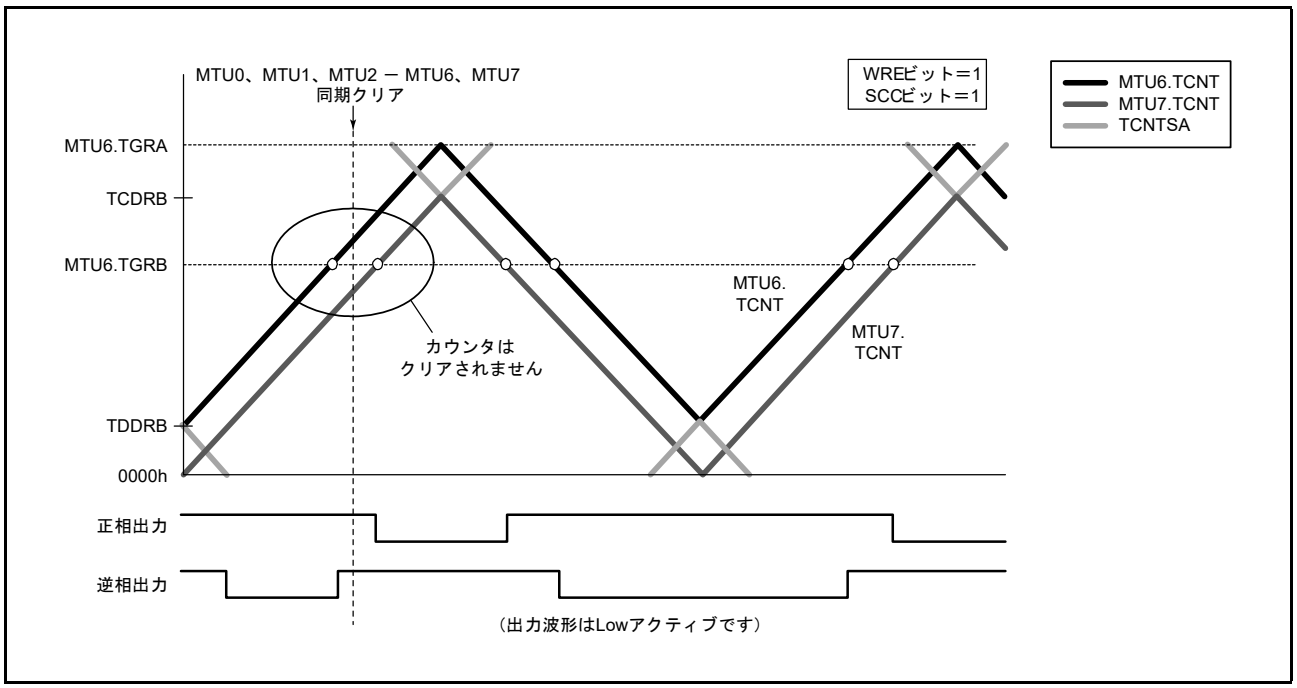


図 19.74　アップカウント中のデッドタイム時に同期クリアが発生した場合（図 19.66 のタイミング③、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

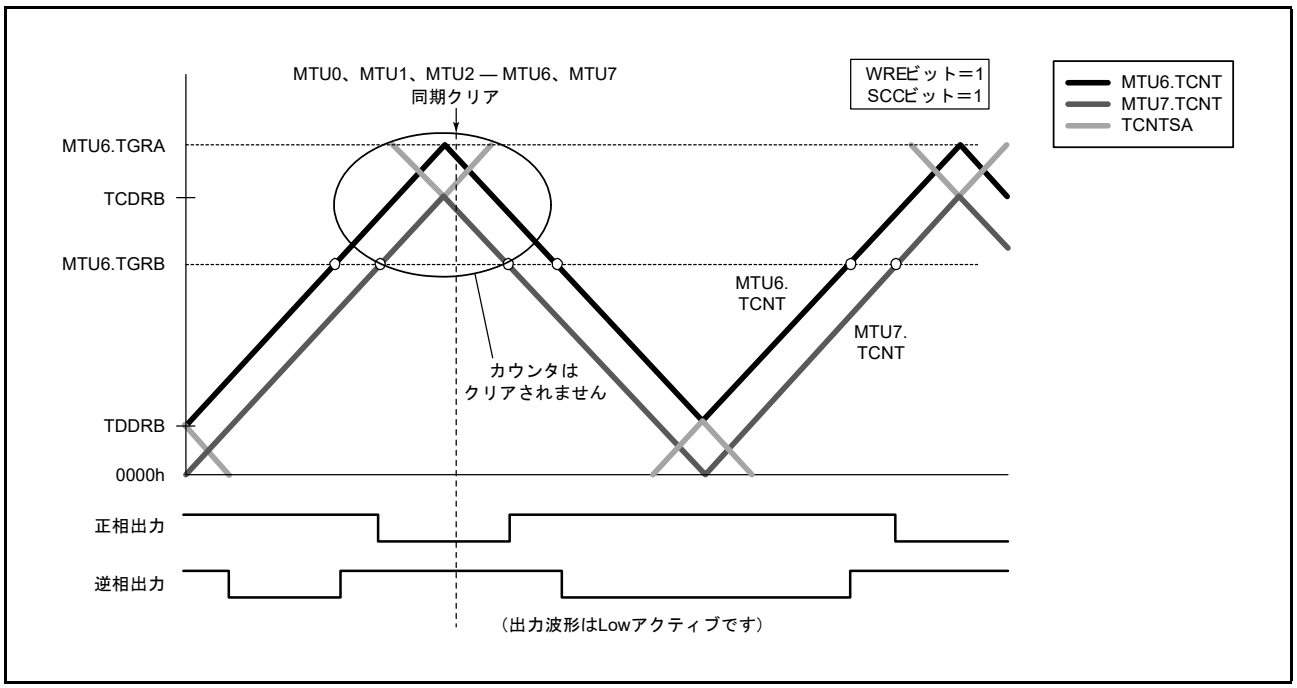


図 19.75　山の Tb 区間で同期クリアが発生した場合（図 19.66 のタイミング⑥、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

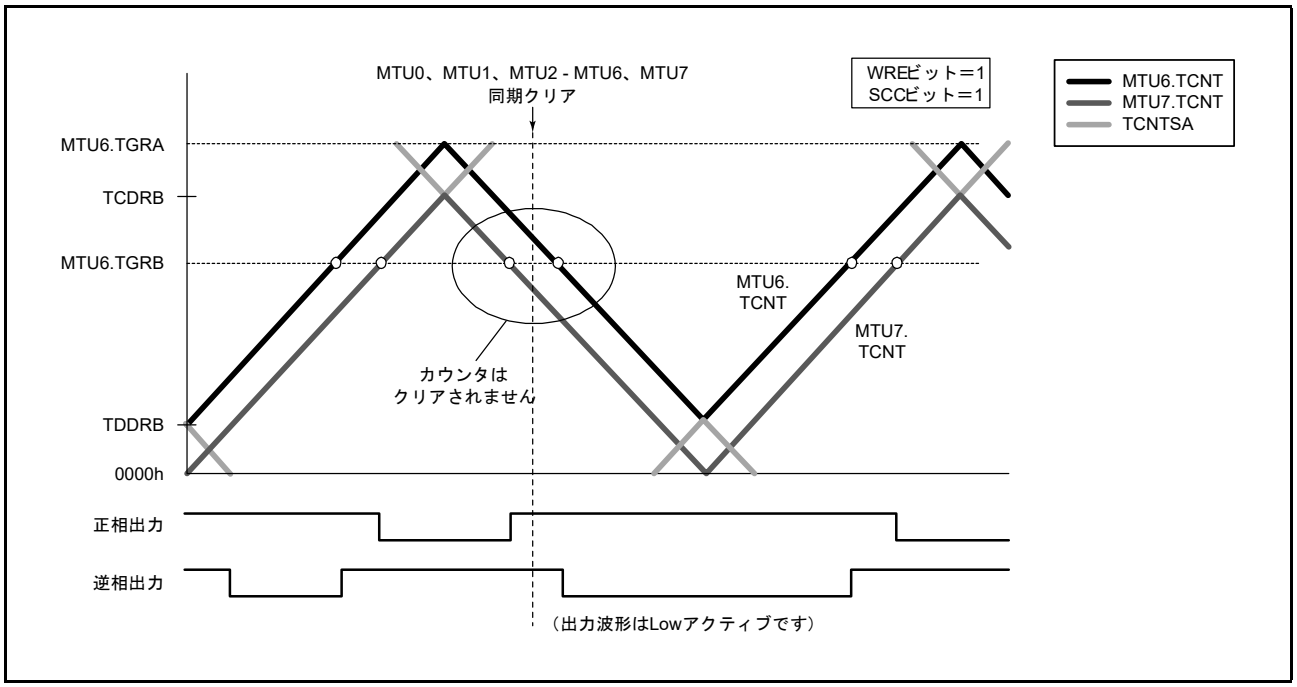


図 19.76　ダウンカウント中のデッドタイム時に同期クリアが発生した場合（図 19.66 のタイミング⑧、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

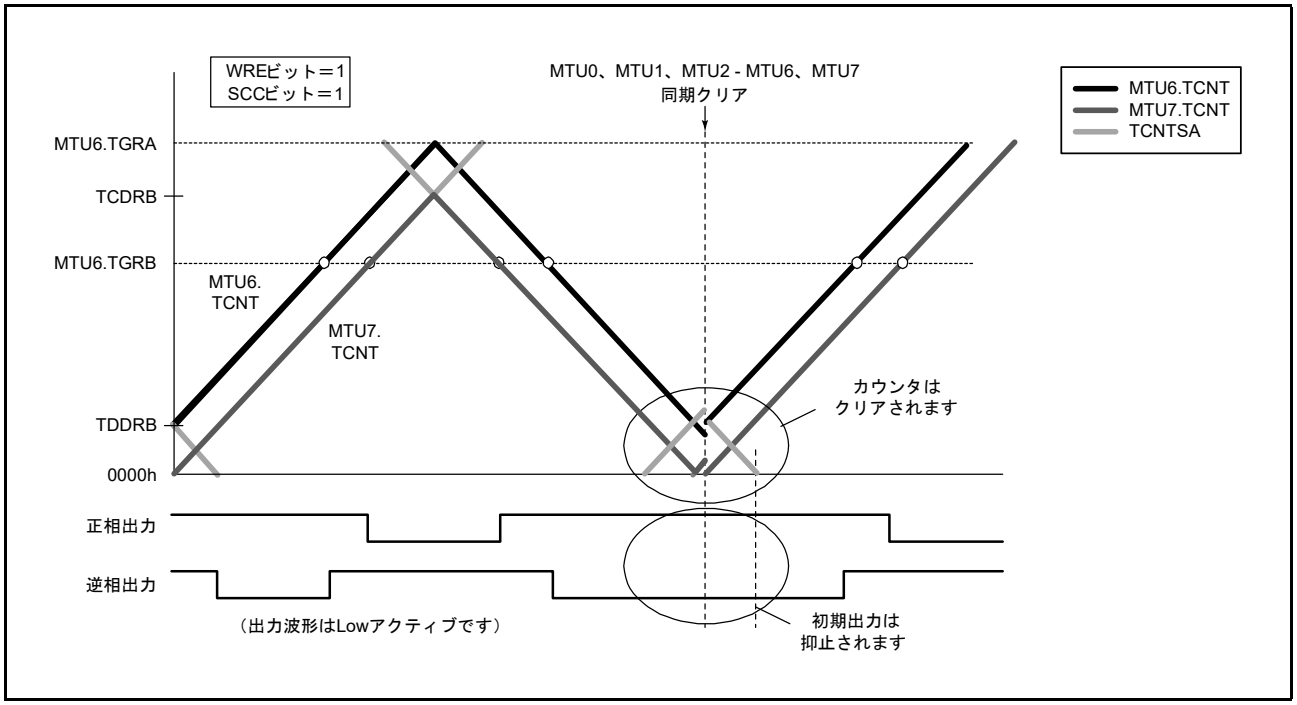


図 19.77　谷の Tb 区間で同期クリアが発生した場合（図 19.66 のタイミング⑪、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

(p)　MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ（TWCRA、TWCRB）の CCE ビットを設定することにより、MTU3.TGRA（MTU6.TGRA）のコンペアマッチで MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）および TCNTSA（TCNTSB）をクリアすることが可能です。

図 19.78 に動作例を示します。

注 1.　相補 PWM モード 1（山で転送）でのみ使用してください。

注 2.　他のチャネルとの同期クリア機能に設定しないでください。（タイマシンクロレジスタ（TSYRA、TSYRB）の SYNC0 ～ SYNC4 ビット、SYNC6, SYNC7 ビットを “1” に、タイマシンクロクリアレジスタ（TSYCR）の CE0A ～ CE0D ビット、CE1A, CE1B ビット、CE2A, CE2B ビットを “1” に設定しないでください。）

注 3.　PWM デューティは、0000h を設定しないでください。

注 4.　タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）の PSYE ビットを “1” に設定しないでください。

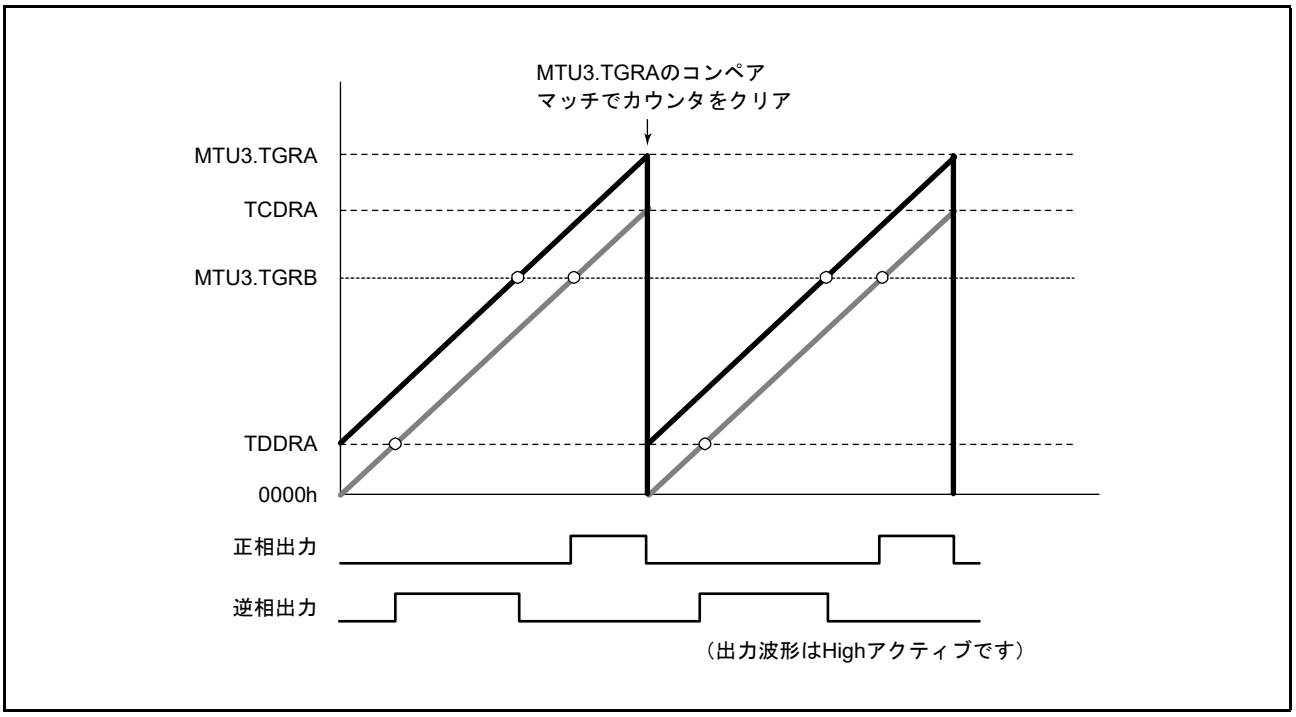


図 19.78　MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q)　AC 同期モータ（ブラシレス DC モータ）の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ（TGCRA）を使ってブラシレス DC モータを簡単に制御することができます。図 19.79 ～図 19.82 に TGCRA レジスタを使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを “0” にします。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します（MPC と I/O ポートのポートモードレジスタ（PMR）で設定してください）。MTIOC0A、MTIOC0B、MTIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON ／ OFF が自動的に切り替わります。

TGCRA.FB ビットが “1” の場合は、TGCRA の UF、VF、WF ビットの各ビットを “0” または “1” にすると、出力の ON ／ OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は TGCRA レジスタの N ビットまたは P ビットを “1” にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが “0” の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ 1A（TOCR1A）の OLSN ビット、OLSP ビットで設定できます。

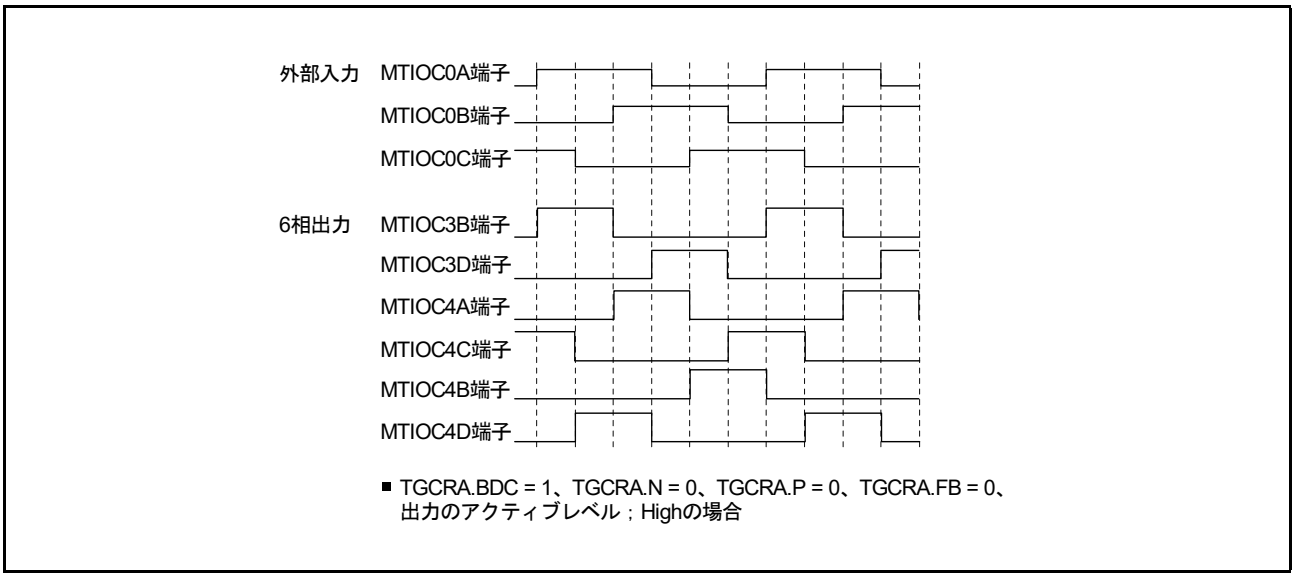


図 19.79　外部入力による出力相の切り替え動作例（1）

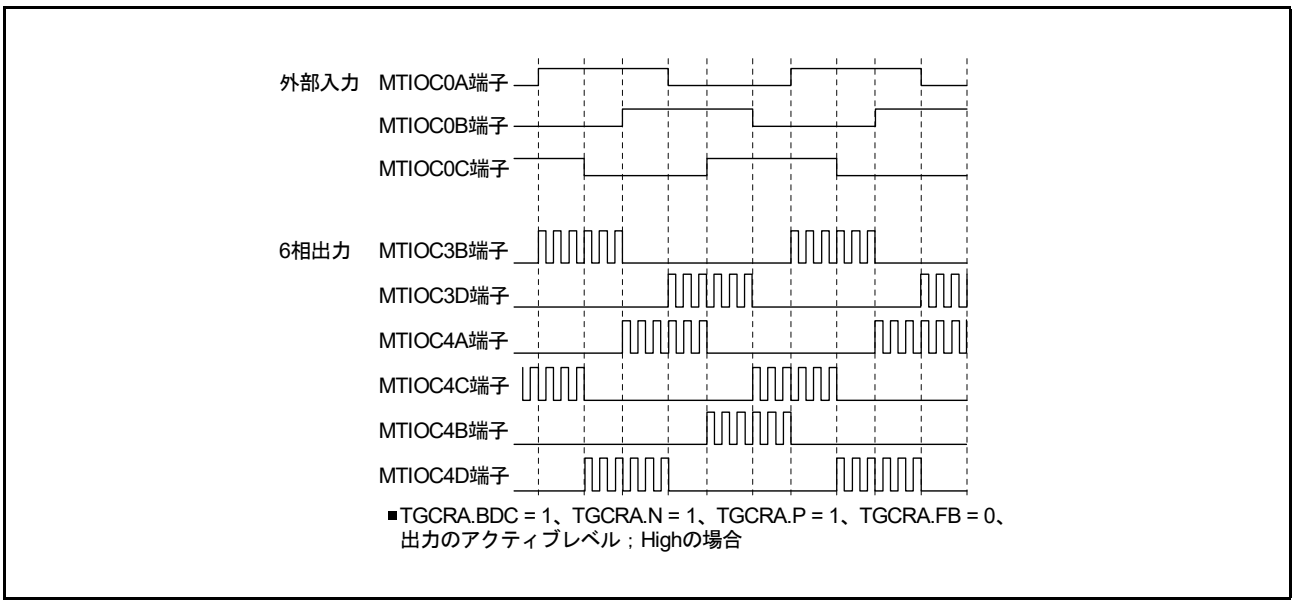


図 19.80　外部入力による出力相の切り替え動作例（2）

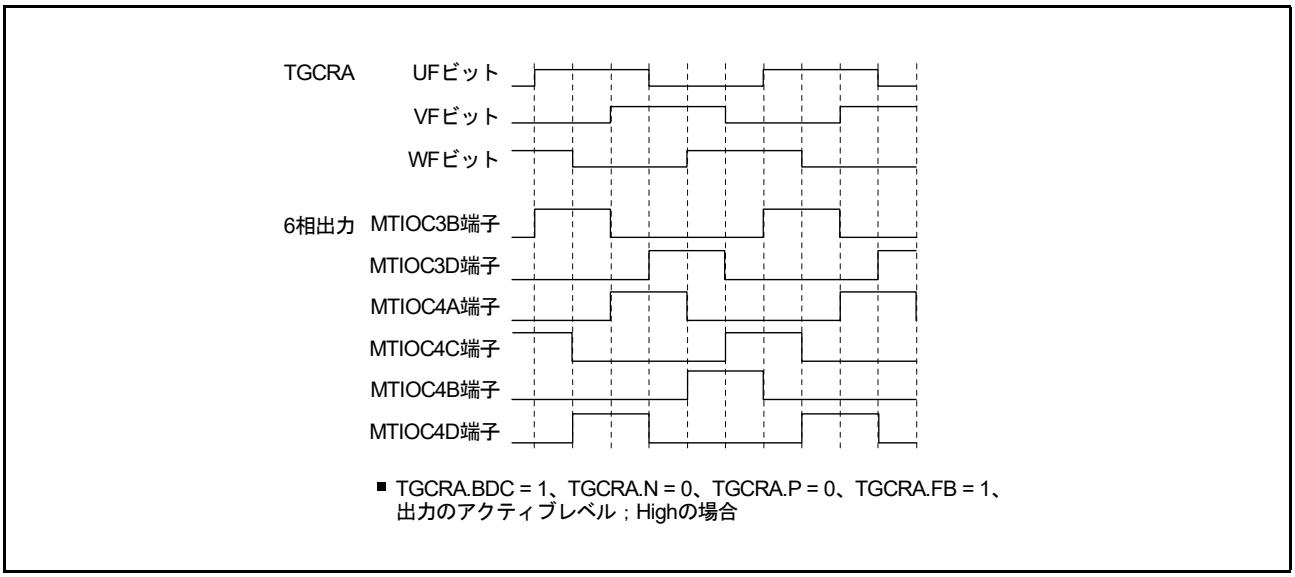


図 19.81　UF、VF、WF ビット設定による出力相の切り替え動作例（1）

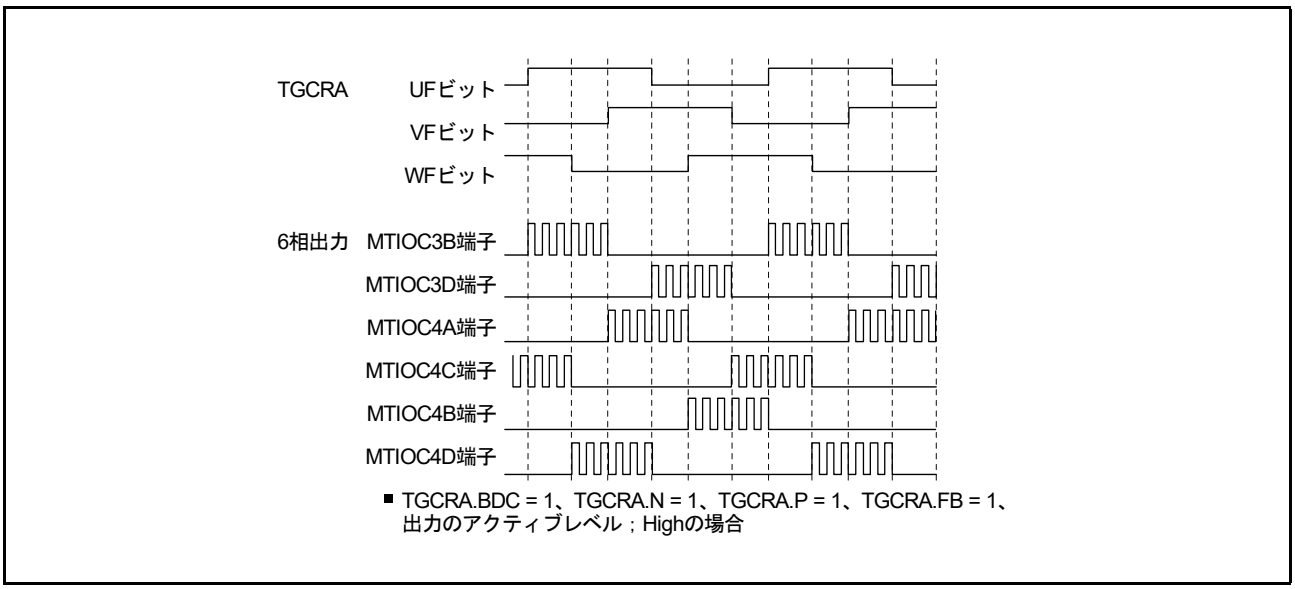


図 19.82　UF、VF、WF ビット設定による出力相の切り替え動作例（2）

(r)　A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA（MTU6.TGRA）のコンペアマッチ、MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）、MTU3、MTU4（MTU6、MTU7）以外のチャネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA（MTU6.TGRA）のコンペアッチを使用して開始要求を設定すると、MTU3.TCNT（MTU6.TCNT）の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ（TIER）の TTGE ビットを “1” にすることで設定できます。MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER（MTU7.TIER）の TTGE2 ビットを “1” にすることで設定できます。

(s)　相補 PWM モードのダブルバッファ機能

相補 PWM モード 3（山・谷で転送）時、タイマモードレジスタ 2（TMDR2A、TMDR2B）の DRS ビットを “1” にすることにより、PWM 変更時の PWM 出力の最小分解能を ±2 から ±1 にすることが可能です。

バッファレジスタ A（MTU3.TGRD、MTU4.TGRC、MTU4.TGRD）を設定する際は、バッファレジスタ B（MTU3.TGRE、MTU4.TGRE、MTU4.TGRF）も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値－ 1 を設定してください。設定手順の詳細は「19.3.8　(1)　相補 PWM モードの設定手順例」を参照してください。

注 .　バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値－ 1 を設定した場合、PWM 出力が非対称になります。

図 19.83 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD（バッファ A）書き込み時に MTU4.TGRD（バッファ A）→ Temp3A（テンポラリ A）、および MTU4.TGRF（バッファ B）→ Temp3B（テンポラリ B）へのデータ転送
- ①のタイミングで Temp3A（テンポラリ A）→ MTU4.TGRB（コンペア）へのデータ転送
- ②のタイミングで Temp3B（テンポラリ B）→ MTU4.TGRB（コンペア）へのデータ転送

山区間（山の Tb 区間）ではコンペアレジスタとテンポラリレジスタ A、谷区間（谷の Tb 区間）ではコンペアレジスタとテンポラリレジスタ B が有効

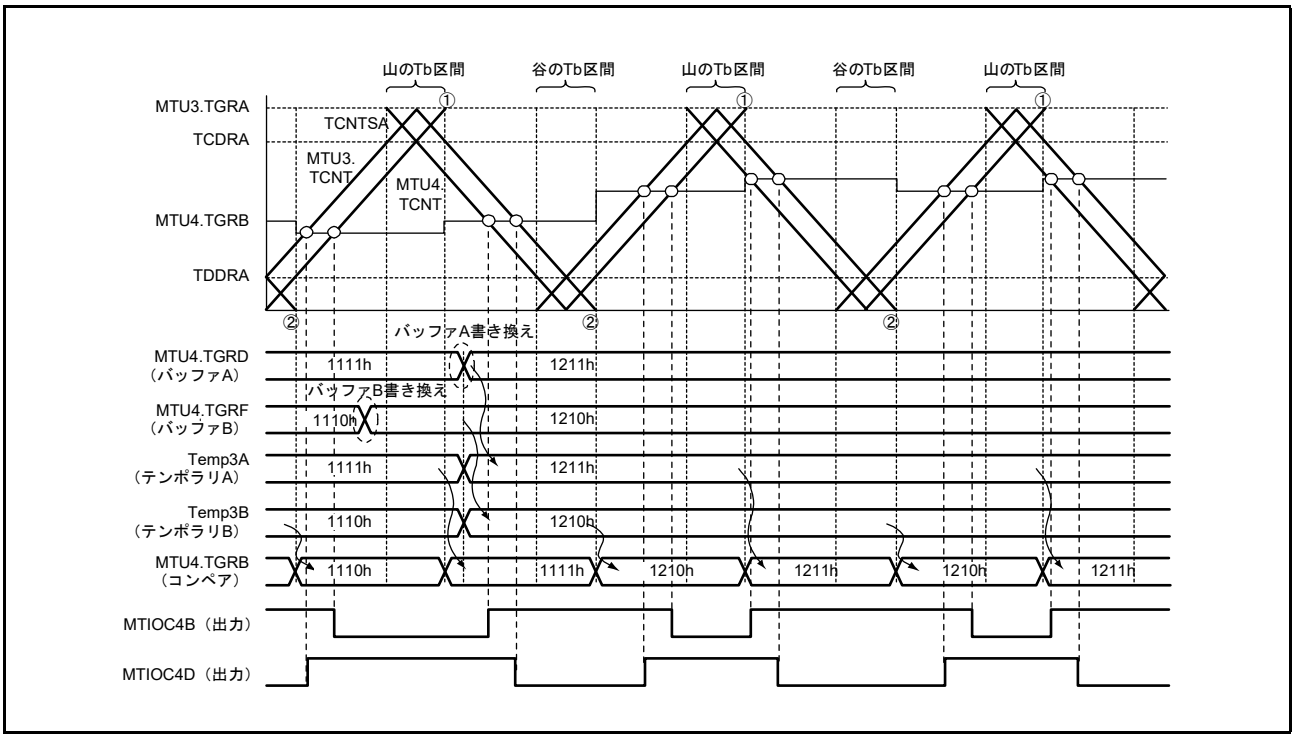


図 19.83　ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA レジスタより小さい場合を図 19.84 に、TCDRA レジスタより大きい場合を図 19.85 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

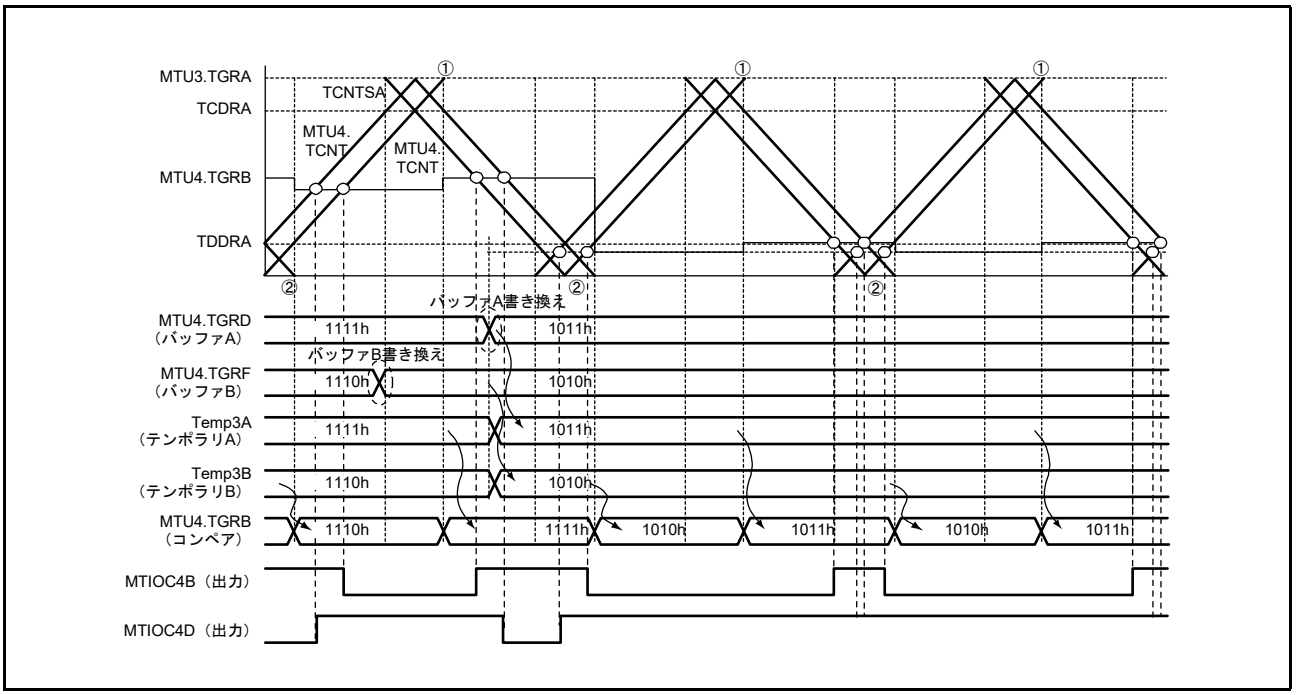


図 19.84　ダブルバッファ機能の動作例（バッファへの書き込み値が TDDRA より小さい場合）

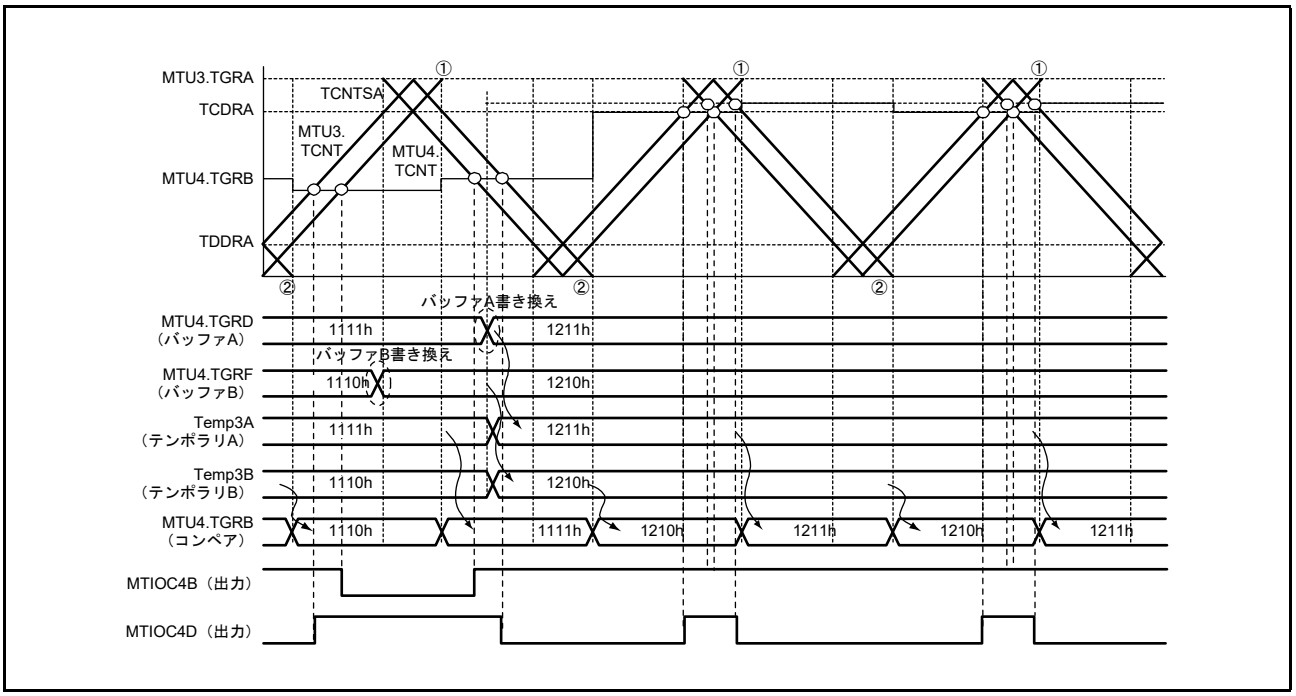


図 19.85　ダブルバッファ機能の動作例（バッファへの書き込み値が TCDRA より大きい場合）

(3)　相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4（MTU6、MTU7）の TGIA3（TGIA6）（山の割り込み）、および TCIV4（TCIV7）（谷の割り込み）は、タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

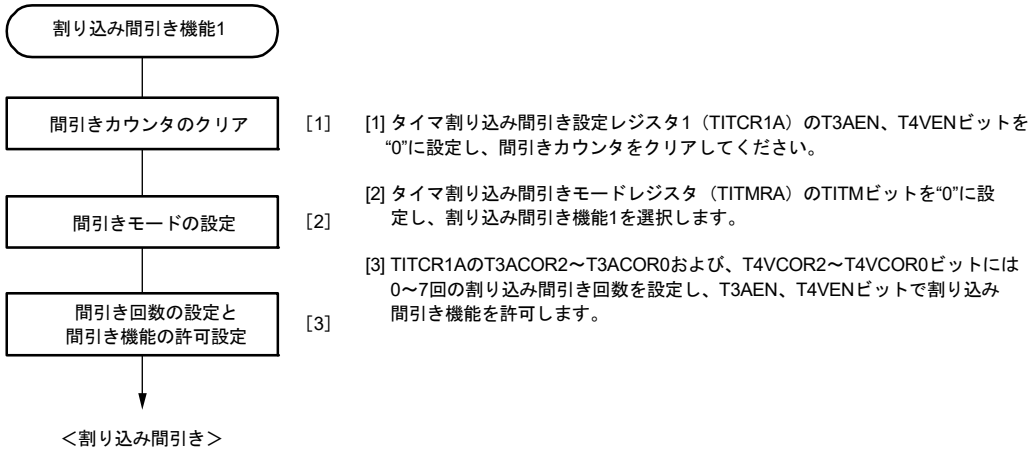
タイマバッファ転送レジスタ（TBTERA、TBTERB）を設定することにより、バッファレジスタからテンポラリレジスタ／コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、**「(c)　割り込み間引きと連動したバッファ転送制御」**を参照してください。

タイマ A/D 変換要求コントロールレジスタ（MTU4.TADCR、MTU7.TADCR）を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については**「19.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。

タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）の設定は、タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）の TITM ビットを “0” にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER、MTU4.TIER（MTU6.TIER、MTU7.TIER）レジスタの設定で TGIA3（TGIA6）と TCIV4（TCIV7）割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN（T6AEN）、T4VEN（T7VEN）ビットを “0” にして、間引きカウンタをクリアしてください。

(a)　割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を**図 19.86** に示します。また、割り込み間引き回数の変更可能期間を**図 19.87** に示します。



注．　TITCR1A レジスタの設定は MTU3.TIER、MTU4.TIER レジスタの設定で TGIA3 と TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを “0” に設定して、間引きカウンタをクリアしてください。

図 19.86　割り込み間引き機能 1 の設定手順例

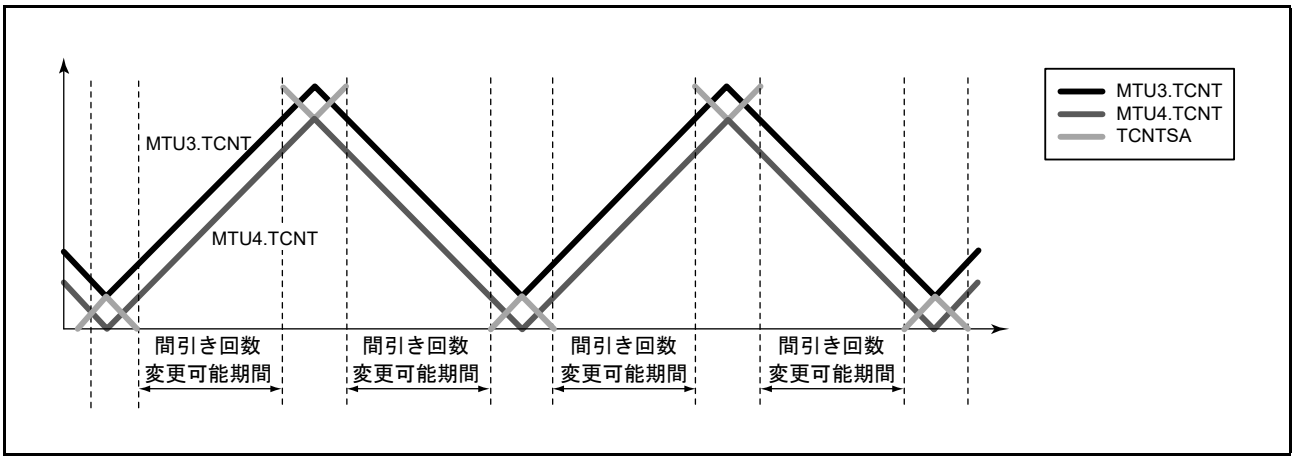


図 19.87　割り込み間引き回数の変更可能期間

(b)　割り込み間引き機能 1 の動作例

タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）の T3ACOR（T6ACOR）ビットで割り込みの間引き回数を 3 回に設定し、T3AEN（T6AEN）ビットを “1” にした場合の、TGIA3（TGIA6）割り込み間引きの動作例を**図 19.88** に示します。

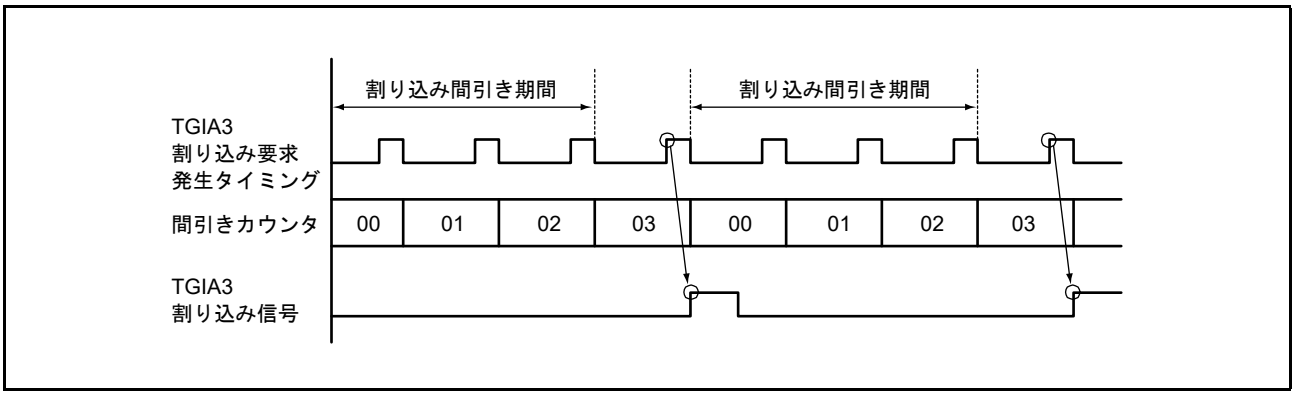


図 19.88　割り込み間引き機能 1 の動作例

(c)　割り込み間引きと連動したバッファ転送制御

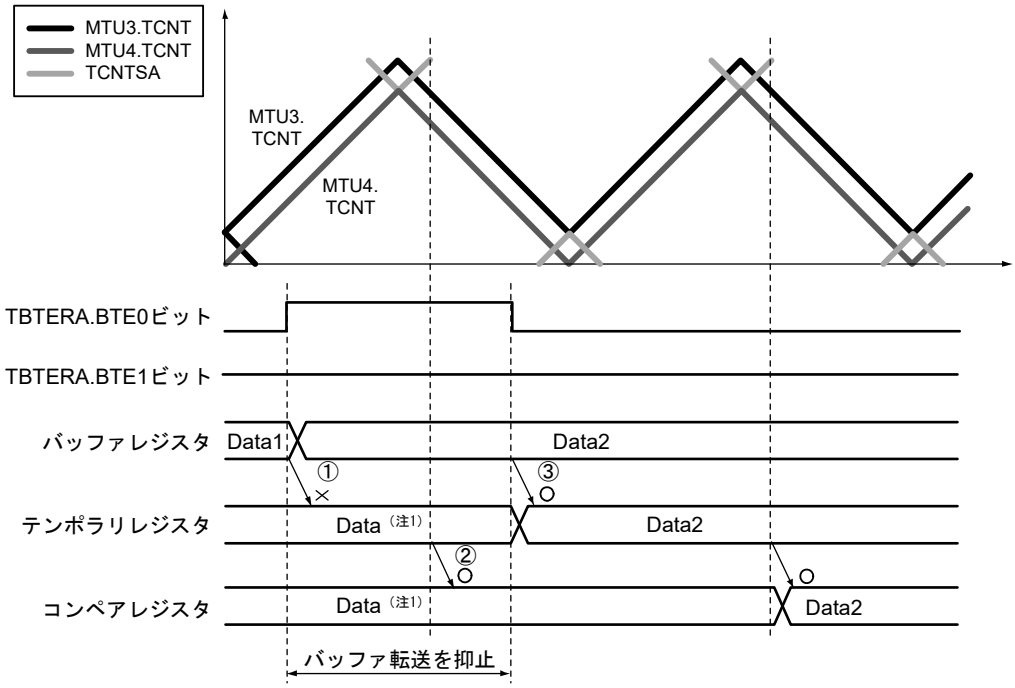
タイマバッファ転送設定レジスタ（TBTERA、TBTERB）の BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑止する設定（BTE[1:0] = 01b）にした場合の動作例を**図 19.89** に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定（BTE[1:0] = 10b）にした場合の動作例を**図 19.90** に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）の T3AEN（T6AEN）ビットを “1” にした場合、T4VEN（T7VEN）ビットを “1” にした場合、TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN、T7VEN）ビットを “1” にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN、T7VEN）ビットの設定とバッファ転送許可期間の関係を**図 19.91** に示します。

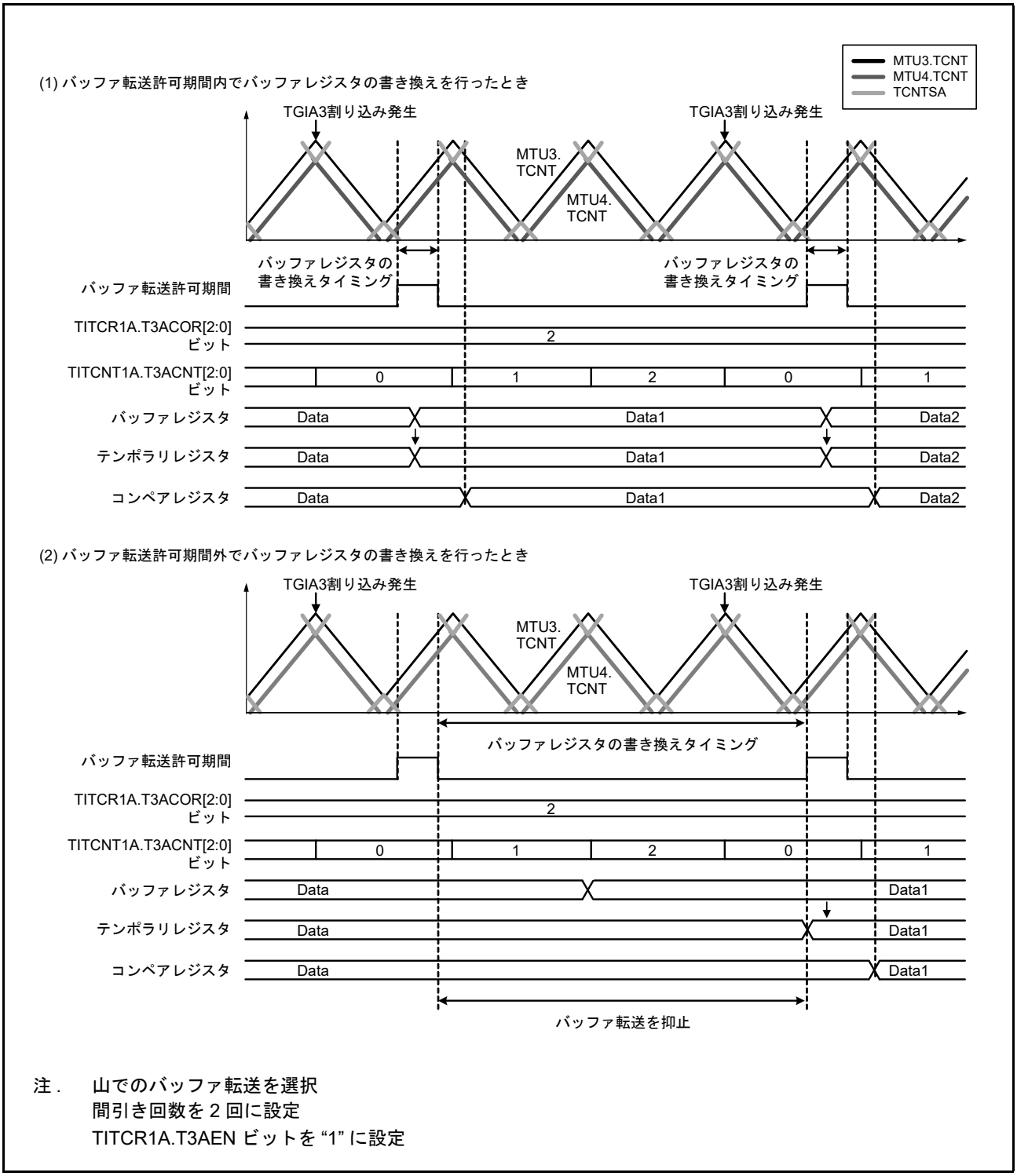
注．　本機能は、割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）の T3AEN、T4VEN（T6AEN、T7VEN）ビットを “0” に設定したとき、または TITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR、T7VCOR））を “0” に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（TBTERA、TBTERB の BTE1 ビットを “0” に設定）してください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。



① バッファ転送を抑止期間中（TBTERAのBTE[1:0]ビットを01bに設定）は、バッファレジスタからテンポラリレジスタへの転送をしません。
② バッファ転送を抑止期間中も、テンポラリレジスタからコンペアレジスタへの転送は行われます。
③ バッファ転送を抑止解除後に、バッファレジスタからテンポラリレジスタへの転送が行われます。

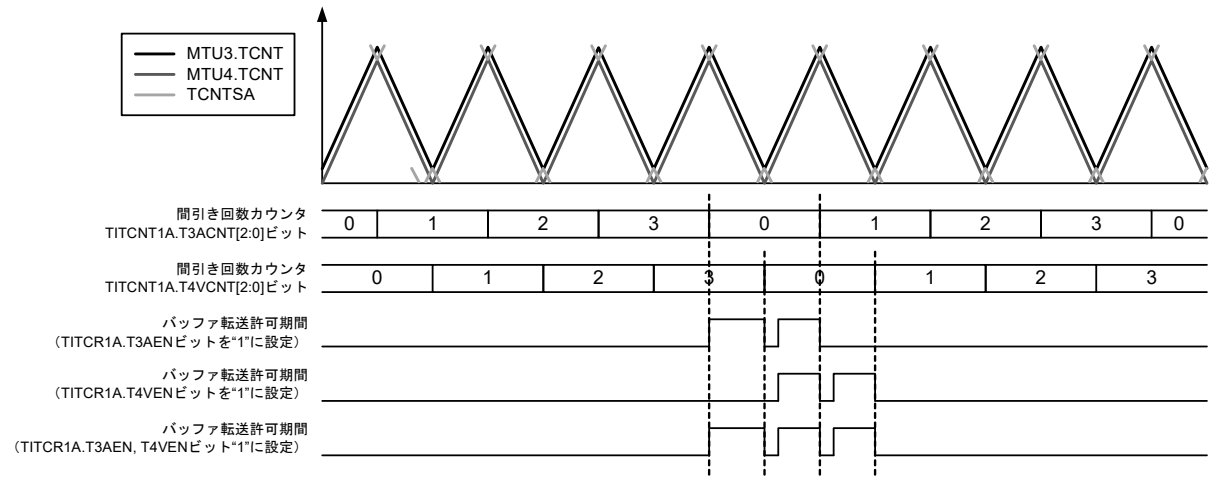
注 1.　山でのバッファ転送を選択時

図 19.89　バッファ転送を抑止する設定（BTE[1:0] = 01b）にした場合の動作例



注．　山でのバッファ転送を選択
　　間引き回数を 2 回に設定
　　TITCR1A.T3AEN ビットを “1” に設定

図 19.90　バッファ転送を割り込み間引きと連動する設定（BTE[1:0] = 10b）にした場合の動作例



注 .　間引き回数を 3 回に設定
　　山・谷にバッファ転送選択時

図 19.91　TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4)　相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a)　レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ（TRWERA、TRWERB）の RWE ビットの設定により CPU からのアクセスの許可／禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR、MTU4.TCR、MTU3.TMDR1、MTU4.TMDR1、MTU3.TIORH、
MTU4.TIORH、MTU3.TIORL、MTU4.TIORL、MTU3.TIER、MTU4.TIER、
MTU3.TCNT、MTU4.TCNT、MTU3.TGRA、MTU4.TGRA、MTU3.TGRB、MTU4.TGRB、
TOERA、TOCR1A、TOCR2A、TGCRA、TCDRA、TDDRA
MTU6.TCR、MTU7.TCR、MTU6.TMDR1、MTU7.TMDR1、MTU6.TIORH、MTU7.TIORH、
MTU6.TIORL、MTU7.TIORL、MTU6.TIER、MTU7.TIER、MTU6.TCNT、MTU7.TCNT、
MTU6.TGRA、MTU7.TGRA、MTU6.TGRB、MTU7.TGRB、
TOERB、TOCR1B、TOCR2B、TCDRB、TDDRB
計 43 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b)　外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、**「20.　ポートアウトプットイネーブル 3（POE3）」**を参照してください。

(c)　発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、本 MCU に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、**「7.4　発振停止検出機能」**を参照してください。

19.3.9　A/D 変換開始要求ディレイド機能

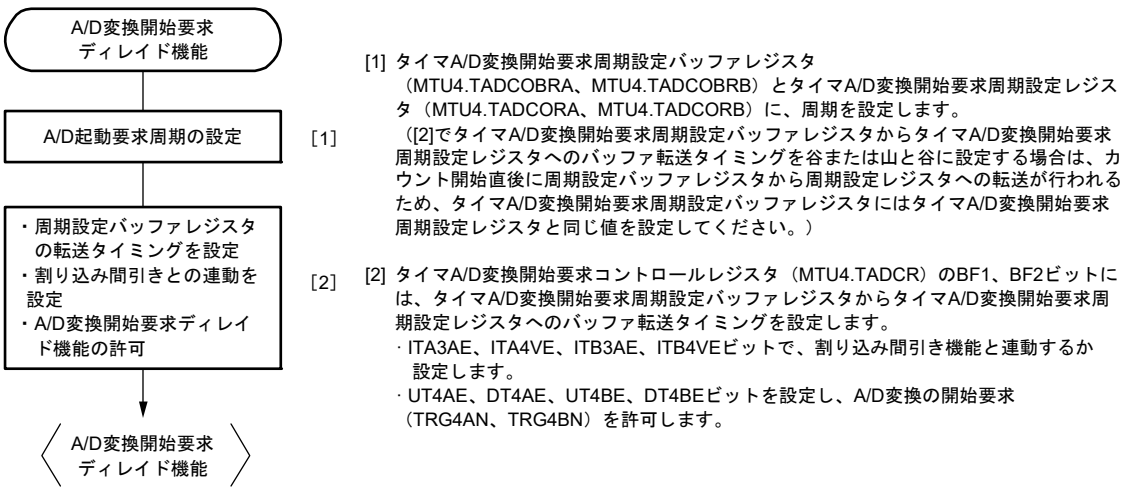
MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR、MTU7.TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB）、タイマ A/D 変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB）を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）が一致したとき、それぞれの A/D 変換の開始要求（TRG4AN、TRG4BN（TRG7AN、TRG7BN））を行います。

また、MTU4.TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE（MTU7.TADCR の ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN、TRG4BN（TRG7AN、TRG7BN））を間引くことが可能です。

(1)　A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 19.92 に示します。



注 .　MTU4.TADCR レジスタの設定は、MTU4.TCNT が停止した状態で行ってください。

注 .　相補 PWM モード以外では、MTU4.TADCR.BF1 ビットを “1” にしないでください。

注 .　相補 PWM モード以外では、ITA3AE、ITA4VE、ITB3AE、ITB4VE、DT4AE、DT4BE を “1” にしないでください。

図 19.92　A/D 変換開始要求ディレイド機能の設定手順例（MTU3、MTU4）

(2)　A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT（MTU7.TCNT）の谷に設定し、MTU4.TCNT（MTU7.TCNT）のダウンカウント時に A/D 変換の開始要求信号（TRG4AN（TRG7AN））を出力する設定にした場合の、A/D 変換の開始要求信号（TRG4AN（TRG7AN））の基本動作例を図 19.93 に示します。

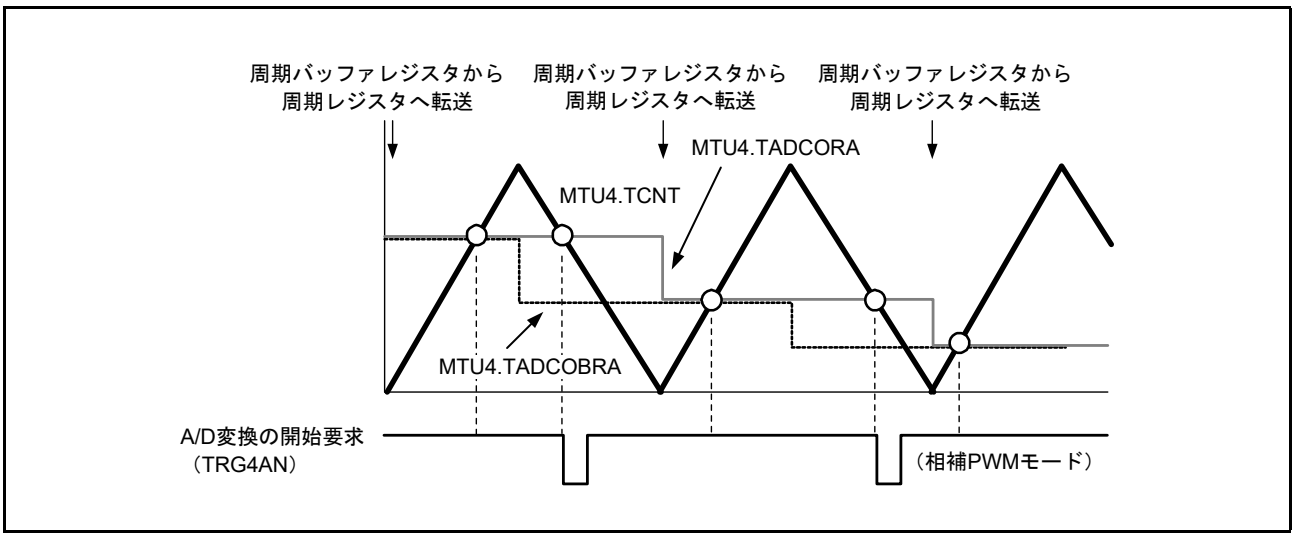


図 19.93　A/D 変換の開始要求信号（TRG4AN）の基本動作例

(3)　バッファ転送

タイマ A/D 起動要求用周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR、MTU7.TADCR）の BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時はタイマジェネラルレジスタ D（MTU4.TGRD、MTU7.TGRD）の書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

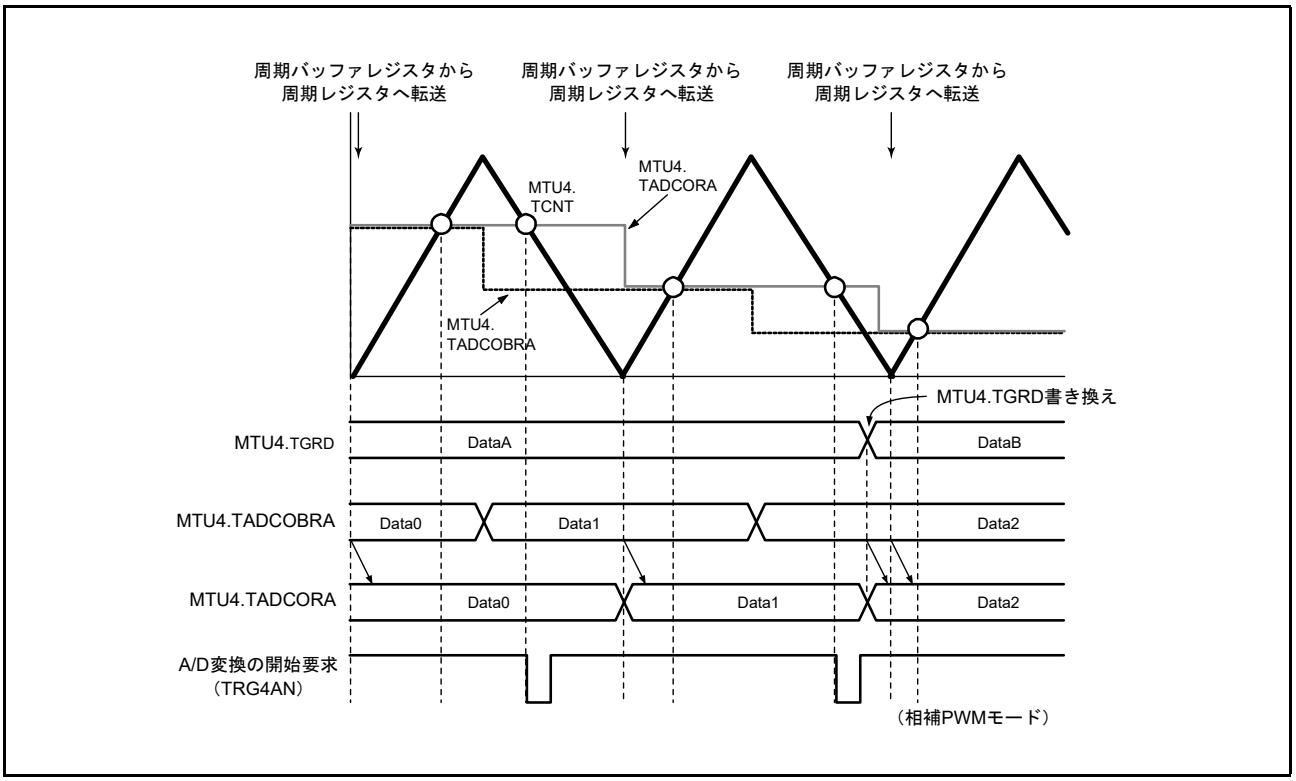


図 19.94　A/D 変換の開始要求信号（TRG4AN）とバッファ転送動作例

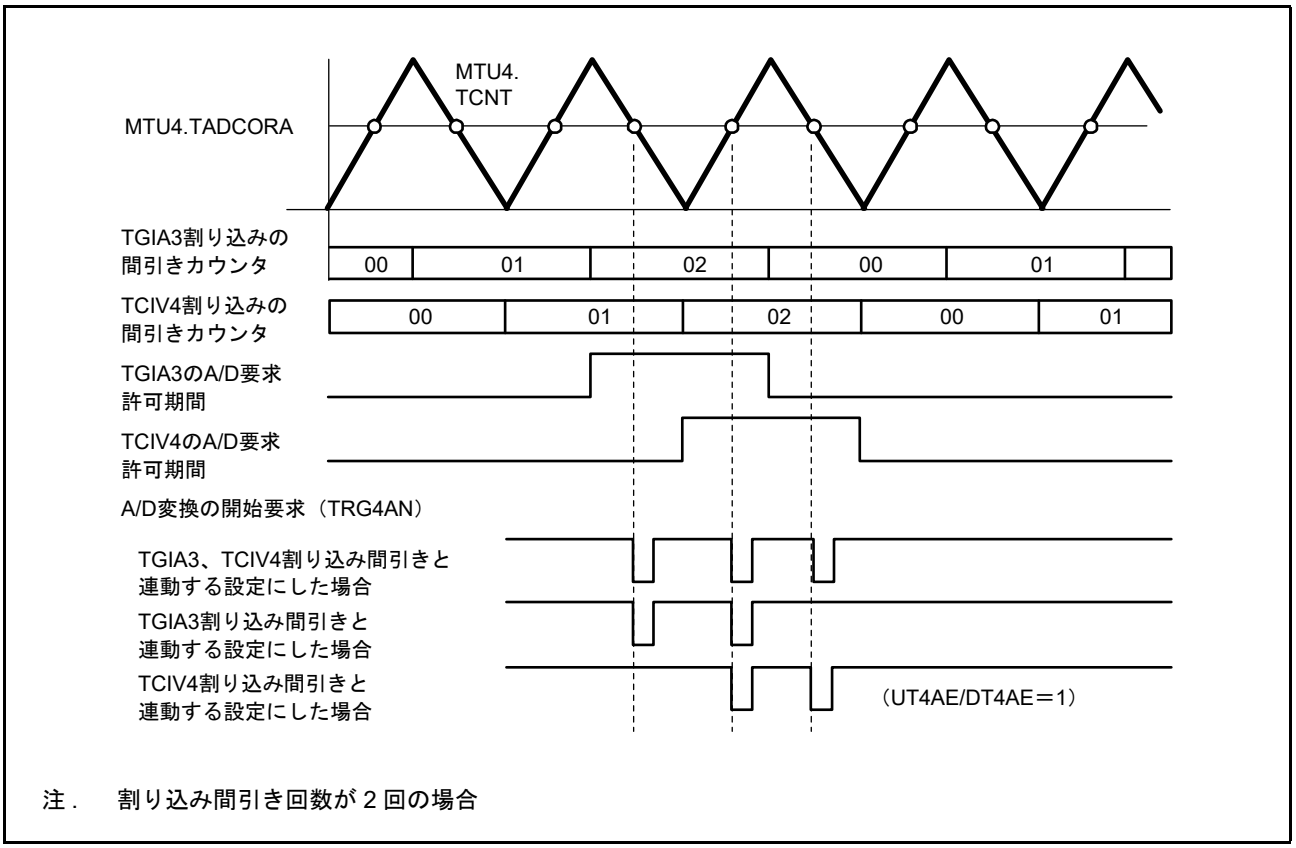
(4)　割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR、MTU7.TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN、TRG4BN（TRG7AN、TRG7BN））を行うことが可能です。

MTU4.TCNT（MTU7.TCNT）のアップカウント時、およびダウンカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 19.95 に示します。

また、MTU4.TCNT（MTU7.TCNT）のアップカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 19.96 に示します。

注 .　本機能は割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））の T3AEN、T4VEN（T6AEN、T7VEN）ビットを “0” にしたとき、または TITCR1A（TITCR1B）レジスタの間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR、T7VCOR））を “0” にしたとき）は、割り込み間引き機能 1 と連動しない（MTU4.TADCR（MTU7.TADCR）レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットを “0” にする）設定にしてください。
また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA、MTU7.TADCORB）には 0002h ～ TCDRA の設定値－ 2（TCDRB の設定値－ 2）の値にしてください。



注 .　割り込み間引き回数が 2 回の場合

図 19.95　割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例（UT4AE、DT4AE = 1）

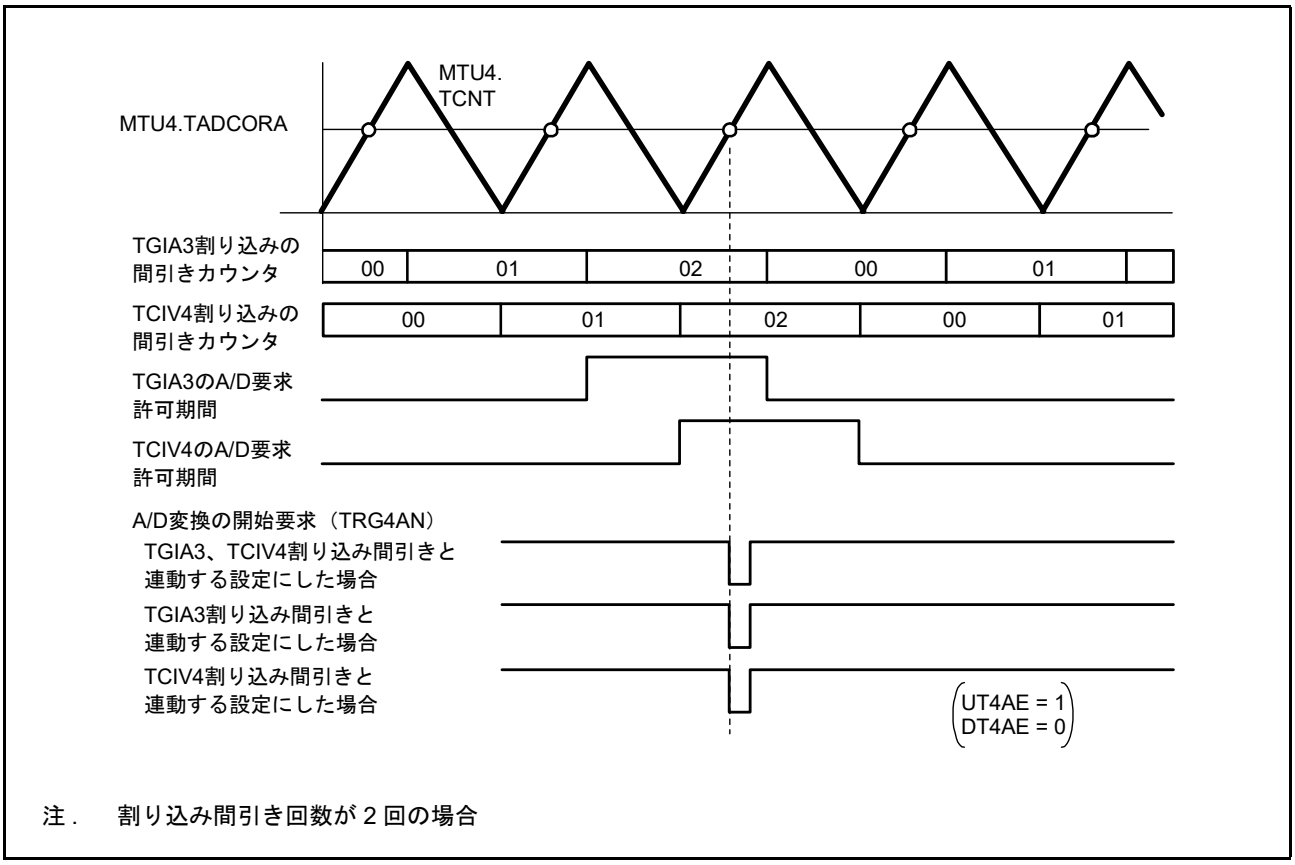


図 19.96　割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例（UT4AE = 1、DT4AE = 0）

(5)　割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能

タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）において TITM ビットを “1” にし、タイマ割り込み間引き設定レジスタ 2（TITCR2A（TITCR2B））において TRG4COR[2:0]（TRG7COR[2:0]）ビットで設定した値（0 ～ 7）から、既存の A/D 変換開始トリガ（TGR4AN および TRG4BN（TGR7AN および TRG7BN））が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN および TRG4BN（TRG7AN および TRG7BN）の割り込みが有効になり、AD 変換開始要求信号（TRG4ABN（TRG7ABN））が出力されます。

この機能は AD 変換開始要求ディレイド機能の使用時のみ有効になります。

(a)　割り込み間引き機能 2 の設定手順例

図 19.97 に割り込み間引き機能 2 の設定手順例を示します。

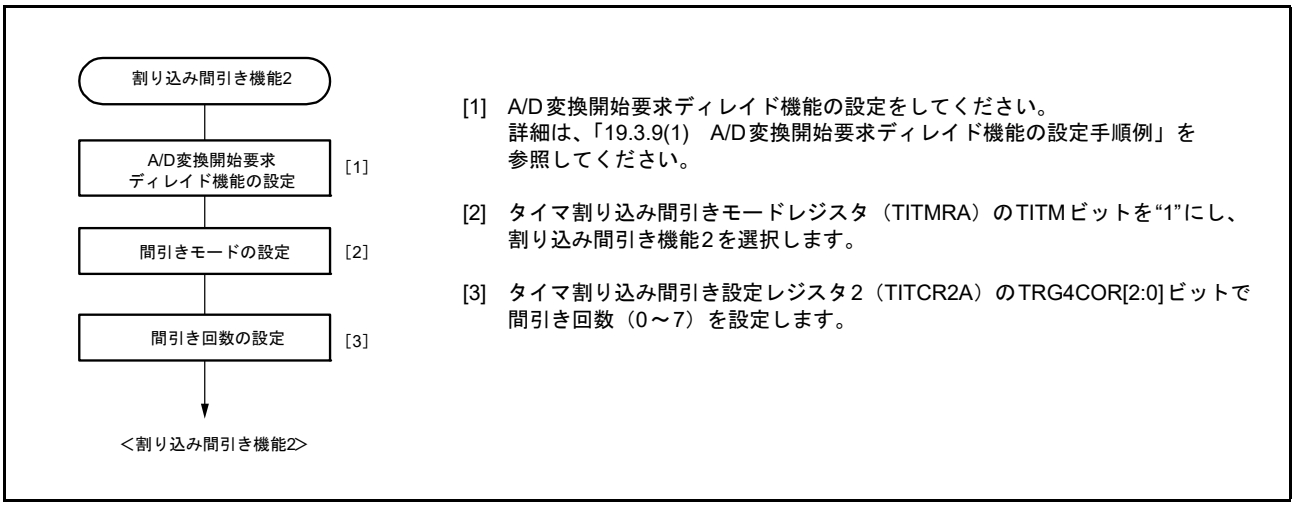


図 19.97　割り込み間引機能 2 の設定手順例

(b)　割り込み間引き機能 2 の動作例

図 19.98 に割り込み間引き機能 2 の動作例を示します。

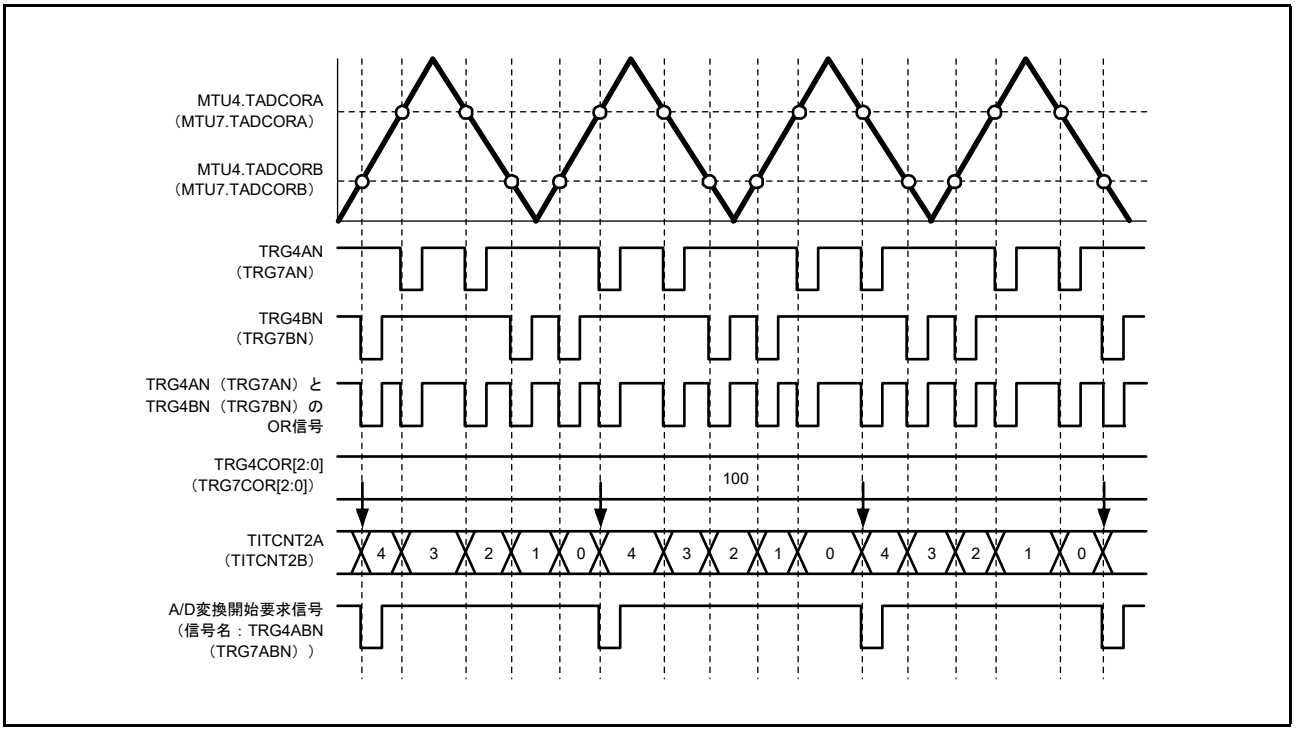


図 19.98　割り込み間引き機能 2 の動作例（間引き回数を 4 回とした場合）

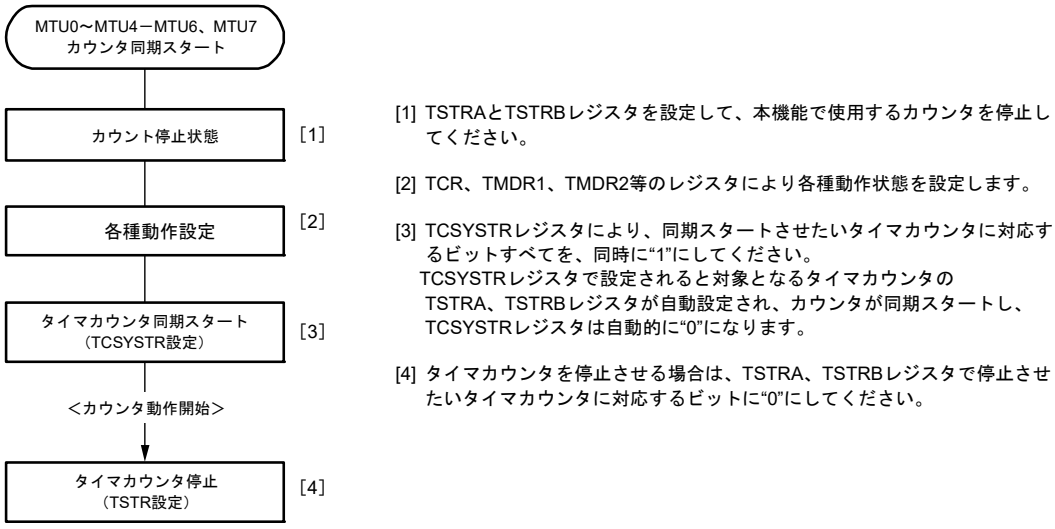
19.3.10　MTU0 ～ MTU4 － MTU6、MTU7 の同期動作

(1)　MTU0 ～ MTU4 － MTU6、MTU7 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ～ MTU4 と MTU6、MTU7 のカウンタを同期スタートすることができます。

(a)　MTU0 ～ MTU4 － MTU6、MTU7 カウンタ同期スタートの設定手順例

カウンタ同期スタートの設定手順例を図 19.99 に示します。



注 .　動作中に TCSYSTR レジスタを “0” にしても、カウンタが停止しません。

注 .　MTU3 と MTU4、MTU6 と MTU7 によるリセット同期 PWM モード、
相補 PWM モードにて同期スタートする場合は、TCSYSTR レジスタの MTU3、MTU4、MTU6、MTU7 に対応するすべてのビットを同時に “1” にしてください。

図 19.99　カウンタ同期スタートの設定手順例

(b)　カウンタ同期スタート動作の例

図 19.100 に、MTU0 ～ MTU4 と MTU6、MTU7 のカウンタ同期スタート動作例を示します。

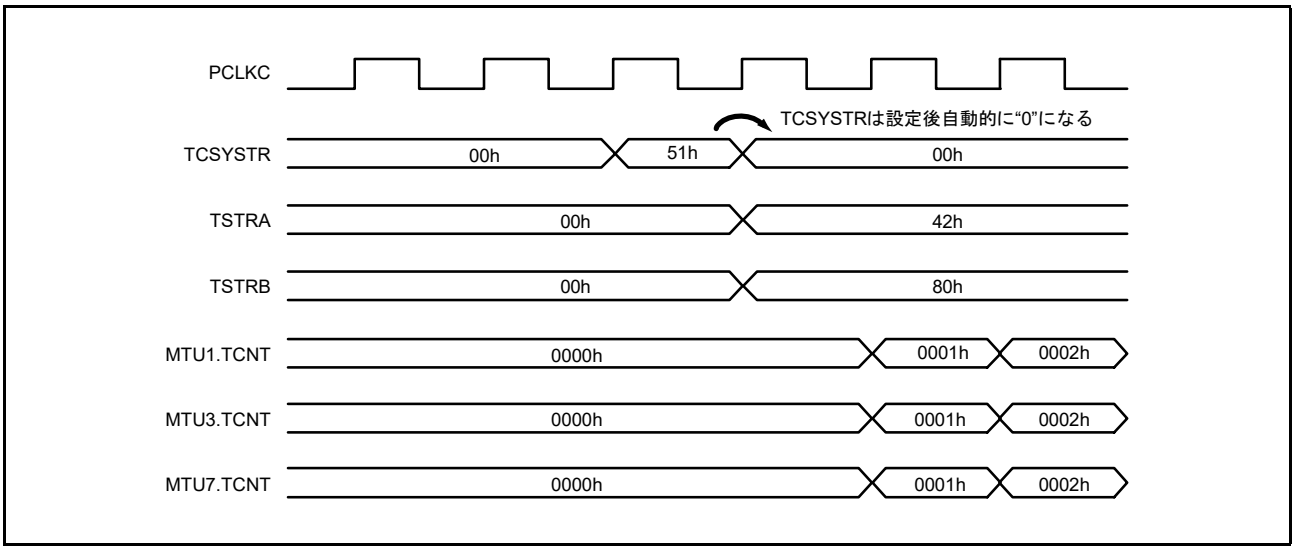


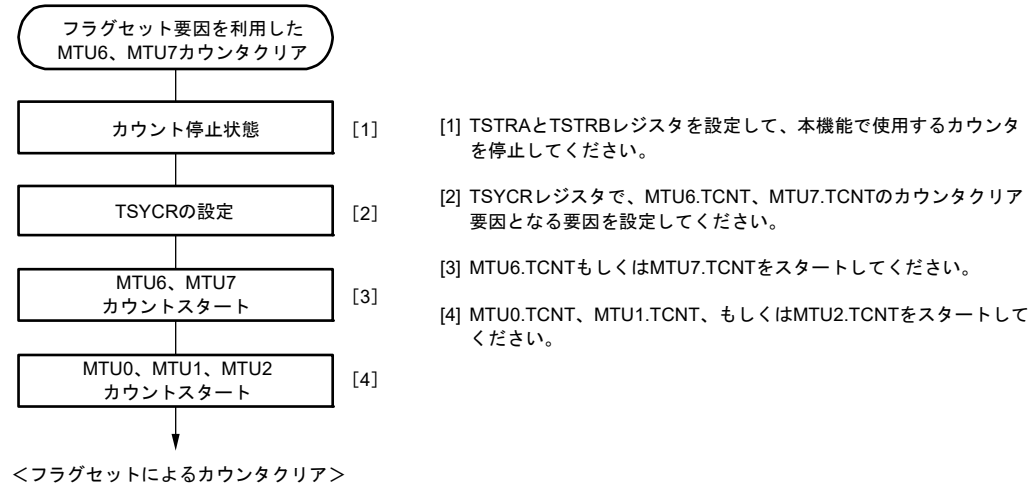
図 19.100　カウンタ同期スタート動作例

(2)　MTU6、MTU7 カウンタの同期クリア

MTU6、MTU7 は TSYCR レジスタを設定することにより、TGImn 割り込み発生タイミング（m = A ～ D、n = 0 ～ 2）を利用して、カウンタクリアすることができます。

(a)　MTU6、MTU7 カウンタの同期クリアの設定手順例

フラグセット要因を利用した MTU6、MTU7 カウンタの同期クリアの設定手順例を図 19.101 に示します。



注．　カウンタ停止時は、TSYCR レジスタの設定内容は無視されます。MTU6.TCNT、MTU7.TCNT スタート後に設定が反映されます。

図 19.101　MTU6、MTU7 カウンタの同期クリアの設定手順例

(b)　MTU6、7 カウンタの同期クリアの動作例

フラグセット要因を利用した MTU6、MTU7 カウンタの同期クリアの動作例を図 19.102、図 19.103 に示します。

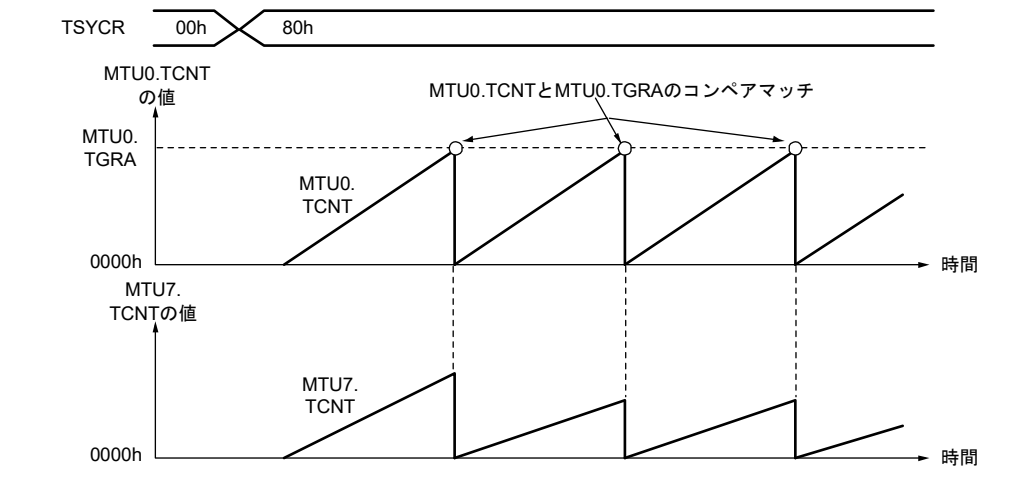


図 19.102　MTU6、MTU7 カウンタの同期クリアの動作例（1）

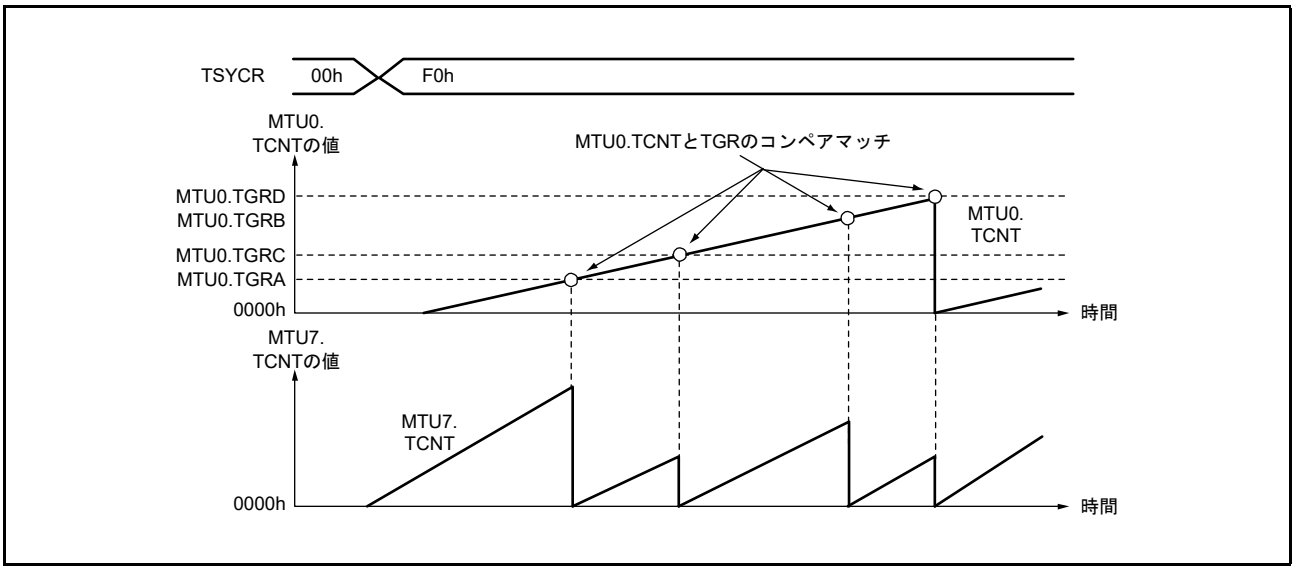
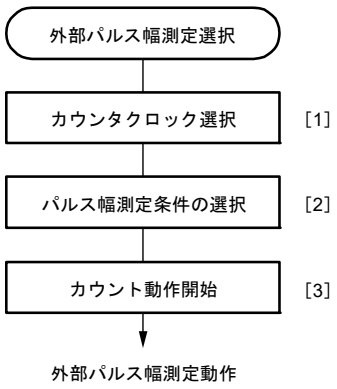


図 19.103　MTU6、MTU7 カウンタの同期クリアの動作例（2）

19.3.11　外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

(1)　外部パルス幅測定の設定手順例



[1] MTU5.TCRU、MTU5.TCRV、MTU5.TCRWレジスタのTPSC1、TPSC0ビットでカウンタクロックを選択します。

[2] MTU5.TIORU、MTU5.TIORV、MTU5.TIORWレジスタにより、パルス幅測定条件をHighレベル／Lowレベルから選択してください。

[3] MTU5.TSTRレジスタのCSTU5、CSTV5、CSTW5ビットを“1”にセットしてカウント動作を開始してください。

注 .　TCNTCMPCLR レジスタの CMPCLR5U、CMPCLR5V、CMPCLR5W ビットを “1” に設定しないでください。

注 .　MTU5.TIER の TGIE5U、TGIE5V、TGIE5W ビットを “1” に設定しないでください。

注 .　TCNT の値は、TGR レジスタへキャプチャされません。

図 19.104　外部パルス幅測定の設定手順例

(2)　外部パルス幅測定動作例

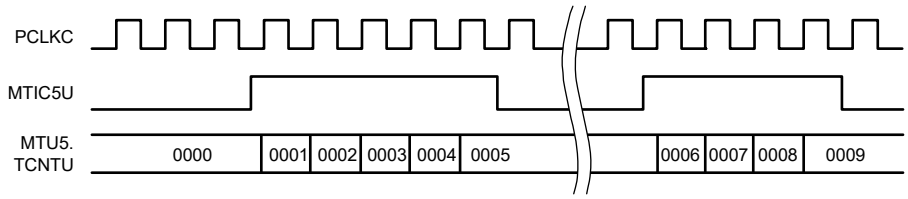


図 19.105　外部パルス幅測定の動作例（High パルス幅測定）

19.3.12　相補 PWM の「山／谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山／谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 19.106 は TCNT がフリーランでクリアせずに使用し、設定した「山／谷」で TGR にキャプチャを行った動作例です。

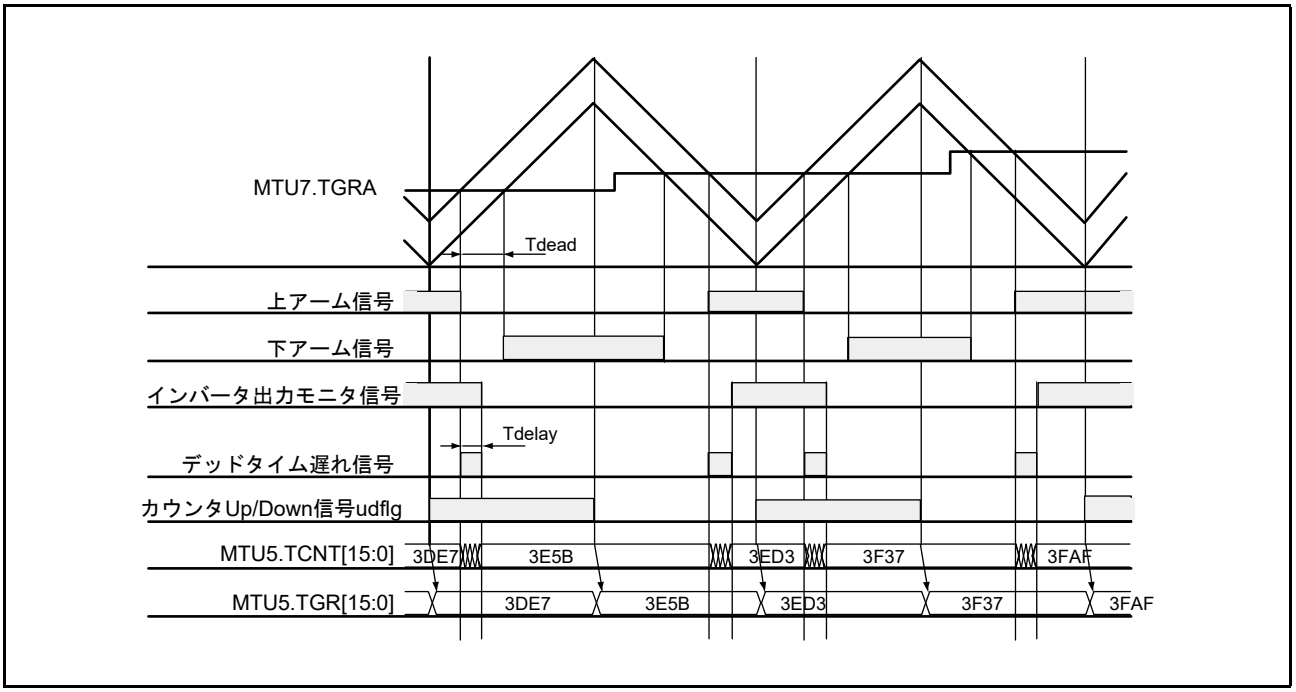


図 19.106　相補 PWM の「山／谷」での TCNT キャプチャ動作

19.3.13　ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ（n＝0 ～ 8、C）にノイズフィルタ機能の有効／ 無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効／ 無効は端子ごとに設定でき、サンプリングクロックの設定はチャネルごとに設定できます。

図 19.107 にノイズフィルタのタイミングを示します。

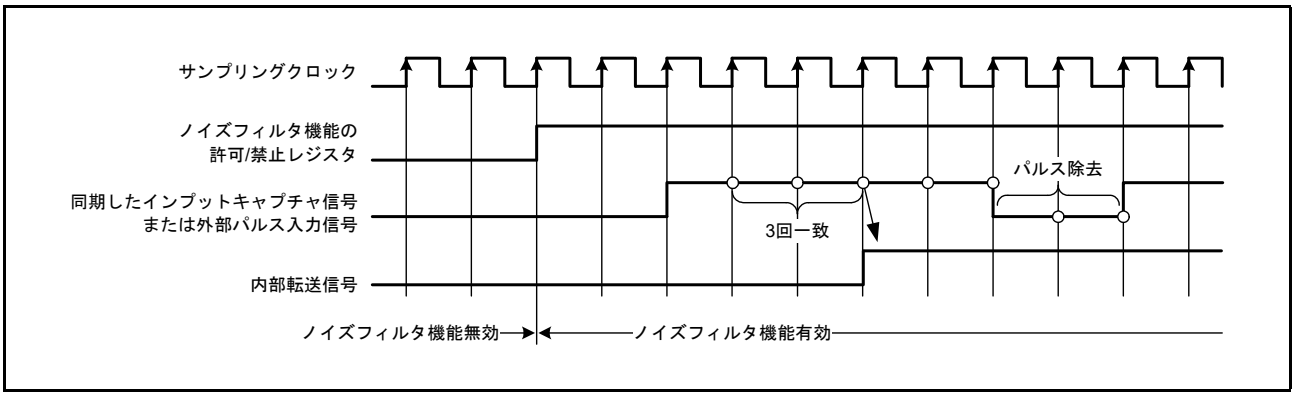


図 19.107　ノイズフィルタのタイミング

19.4　割り込み要因

19.4.1　割り込み要因と優先順位

MTU の割り込み要因には、TGR のインプットキャプチャ／コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用の許可／禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可／禁止ビットが “1” ならば、割り込みを要求します。

割り込み間の優先順位は、割り込みコントローラにより変更可能です。詳細は「**12.　割り込みコントローラ（ICUA）**」を参照してください。**表 19.77** に MTU の割り込み要因の一覧を示します。

表19.77　MTU割り込み要因

チャネル	名称	割り込み要因	DMACの起動	優先順位
MTU0	TGIA0	ch0 インプットキャプチャ／コンペアマッチA割り込み	可能	高
	TGIB0	ch0 インプットキャプチャ／コンペアマッチB割り込み	可能	
	TGIC0	ch0 インプットキャプチャ／コンペアマッチC割り込み	可能	
	TGID0	ch0 インプットキャプチャ／コンペアマッチD割り込み	可能	
	TCIV0	ch0 オーバフロー割り込み	不可能	
	TGIE0	ch0 コンペアマッチE割り込み	不可能	
	TGIF0	ch0 コンペアマッチF割り込み	不可能	
MTU1	TGIA1	ch1 インプットキャプチャ／コンペアマッチA割り込み	可能	
	TGIB1	ch1 インプットキャプチャ／コンペアマッチB割り込み	可能	
	TCIV1	ch1 オーバフロー割り込み	不可能	
	TCIU1	ch1 アンダフロー割り込み	不可能	
MTU2	TGIA2	ch2 インプットキャプチャ／コンペアマッチA割り込み	可能	
	TGIB2	ch2 インプットキャプチャ／コンペアマッチB割り込み	可能	
	TCIV2	ch2 オーバフロー割り込み	不可能	
	TCIU2	ch2 アンダフロー割り込み	不可能	
MTU3	TGIA3	ch3 インプットキャプチャ／コンペアマッチA割り込み	可能	
	TGIB3	ch3 インプットキャプチャ／コンペアマッチB割り込み	可能	
	TGIC3	ch3 インプットキャプチャ／コンペアマッチC割り込み	可能	
	TGID3	ch3 インプットキャプチャ／コンペアマッチD割り込み	可能	
	TCIV3	ch3 オーバフロー割り込み	不可能	
MTU4	TGIA4	ch4 インプットキャプチャ／コンペアマッチA割り込み	可能	
	TGIB4	ch4 インプットキャプチャ／コンペアマッチB割り込み	可能	
	TGIC4	ch4 インプットキャプチャ／コンペアマッチC割り込み	可能	
	TGID4	ch4 インプットキャプチャ／コンペアマッチD割り込み	可能	
	TCIV4	ch4 オーバフロー／アンダフロー割り込み（注1）	可能	
MTU5	TGIU5	ch5 インプットキャプチャ／コンペアマッチU割り込み	可能	
	TGIV5	ch5 インプットキャプチャ／コンペアマッチV割り込み	可能	
	TGIW5	ch5 インプットキャプチャ／コンペアマッチW割り込み	可能	
MTU6	TGIA6	ch6インプットキャプチャ／コンペアマッチA割り込み	可能	
	TGIB6	ch6インプットキャプチャ／コンペアマッチB割り込み	可能	
	TGIC6	ch6インプットキャプチャ／コンペアマッチC割り込み	可能	
	TGID6	ch6インプットキャプチャ／コンペアマッチD割り込み	可能（注2）	
	TCIV6	ch6 オーバフロー割り込み	不可能	
MTU7	TGIA7	ch7インプットキャプチャ／コンペアマッチA割り込み	可能	
	TGIB7	ch7インプットキャプチャ／コンペアマッチB割り込み	可能	
	TGIC7	ch7インプットキャプチャ／コンペアマッチC割り込み	可能	
	TGID7	ch7インプットキャプチャ／コンペアマッチD割り込み	可能	
	TCIV7	ch7オーバフロー／アンダフロー割り込み（注1）	可能	
MTU8	TGIA8	ch8 インプットキャプチャ／コンペアマッチA割り込み	可能	
	TGIB8	ch8 インプットキャプチャ／コンペアマッチB割り込み	可能	
	TGIC8	ch8 インプットキャプチャ／コンペアマッチC割り込み	可能	
	TGID8	ch8 インプットキャプチャ／コンペアマッチD割り込み	可能	
	TCIV8	ch8 オーバフロー割り込み	不可能	低

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。
注1.　相補PWMモード時のみ
注2.　DMA転送要求が発生したタイミングで割り込みが発生し、DMA転送完了時に割り込みは発生しません。DMA転送完了は、CHSTAT_nレジスタ ENDビットで確認してください。

(1)　インプットキャプチャ／コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ／コンペアマッチが発生したとき、TIER.TGIE ビットが “1” であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4、MTU6、MTU7、MTU8 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 33 本のインプットキャプチャ／コンペアマッチ割り込みがあります。MTU0 の MTU0.TGFE、MTU0.TGFF フラグは、インプットキャプチャでは “1” になりません。

(2)　オーバフロー割り込み

各チャネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが “1” であれば、割り込みを要求します。MTU には、各チャネルに 1 本、計 8 本のオーバフロー割り込みがあります。

(3)　アンダフロー割り込み

各チャネルの TCNT のアンダフローが発生したとき、TIER.TCIEU ビットが “1” であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

19.4.2　　DMAC の起動

(1)　DMAC の起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチ割り込み、MTU4、7 のオーバフロー割り込みによって、DMAC を起動することができます。詳細は「15.　DMA コントローラ（DMACAa）」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU8 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が 5 本、MTU5 が 3 本、計 33 本のインプットキャプチャ／コンペアマッチ割り込みを DMAC の起動要因とすることができます。

19.4.3　A/D コンバータの起動

MTU では、次の 3 種類の方法で A/D コンバータを起動することができます。
各割り込み要因と A/D 変換開始要求の対応を、**表 19.78** に示します。

(1)　MTUn.TGRA（n = 0-4, 6, 7）のインプットキャプチャ／コンペアマッチと、相補 PWM モード時の MTUm.TCNT（m = 4, 7）の谷での A/D 起動

チャネル 0-4, 6 および 7 の TGRA のインプットキャプチャ／コンペアマッチによって、A/D コンバータを起動することができます。また、MTUm.TIER の TTGE2 ビットを “1” にした状態で、相補 PWM 動作をさせた場合は、MTUm.TCNT が谷（MTUm.TCNT = 0000h）になったときも A/D コンバータを起動することができます（m = 4, 7）。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAnN（n：0 ～ 4、6、7）を発生します。

- 各チャネルの TGRA のインプットキャプチャ／コンペアマッチが発生したとき、TIER.TTGE ビットが “1” になっていた場合
- MTUm.TIER の TTGE2 ビットが “1” の状態で、相補 PWM 動作をさせ、MTUm.TCNT が谷（MTUm.TCNT = 0000h）になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAnN が選択されていれば、A/D 変換が開始されます。

(2)　MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 起動

MTU0 の MTU0.TCNT と MTU0.TGRE のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D コンバータを起動することができます。

MTU0 の MTU0.TCNT と MTU0.TGRE のコンペアマッチが発生したとき、MTU0.TIER2 の TTGE2 ビットが “1” になっていれば、A/D コンバータに対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3)　A/D 変換開始要求ディレイド機能による A/D 起動（MTU4、MTU7）

A/D 変換開始要求コントロールレジスタ（MTUm.TADCR）の UTmAE、DTmAE、UTmBE、DTmBE ビットを “1” にした場合、MTUm.TADCORA、MTUm.TADCORB と MTUm.TCNT の一致によって、TRGmAN、TRGmBN を発生し、A/D コンバータを起動することができます（m = 4, 7）。また、TRGmAN の発生または TRGmBN の発生にて TRGmABN を出力し、A/D コンバータを起動することができます。また、TRG4AN（TRG7AN）の発生または TRG4BN（TRG7BN）の発生にて TRG4ABN（TRG7ABN）を出力し、A/D コンバータを起動することができます。詳細は**「19.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。

TRGmAN が発生し A/D コンバータ側で MTU の変換開始トリガ TRGmAN が選択されているとき、TRGmBN が発生し A/D コンバータ側で MTU の変換開始トリガ TRGmBN が選択されているとき、TRGmABN が発生し A/D コンバータ側で MTU の変換開始トリガ TRGmABN が選択されているとき、おのおの A/D 変換が開始されます（m = 4, 7）。

表19.78　各割り込み要因とA/D変換開始要求の対応

対象	割り込み要因	A/D変換開始要求
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ／コンペアマッチ	TRGA0N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT（注1）		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ／コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT（注1）		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N
MTU4.TADCORAとMTU4.TCNT	コンペアマッチ	TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNT	コンペアマッチ（割り込み間引き機能2）	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、MTU7.TADCORBとMTU7.TCNT		TRG7ABN

注1.　相補PWMモード時はPWM波形を生成するため、MTU4.TGRA（MTU7.TGRA）はMTU4.TCNT（MTU7.TCNT）だけではなく、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）ともコンペアマッチの検出を行っています。そのため、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）とコンペアマッチが起こった際もTRGA4N（TRGA7N）を発生します。
MTU3、MTU4（MTU6、MTU7）を相補PWMモードで動作させて、A/D変換開始要求を発生させる場合はMTU4.TCNT（MTU7.TCNT）とMTU4.TADCORA／B（MTU7.TADCORA／B）とのコンペアマッチによるA/D変換開始要求を使用してください。

19.5　動作タイミング

19.5.1　入出力タイミング

(1)　TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 19.108、図 19.109 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 19.110 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 19.111 に示します。

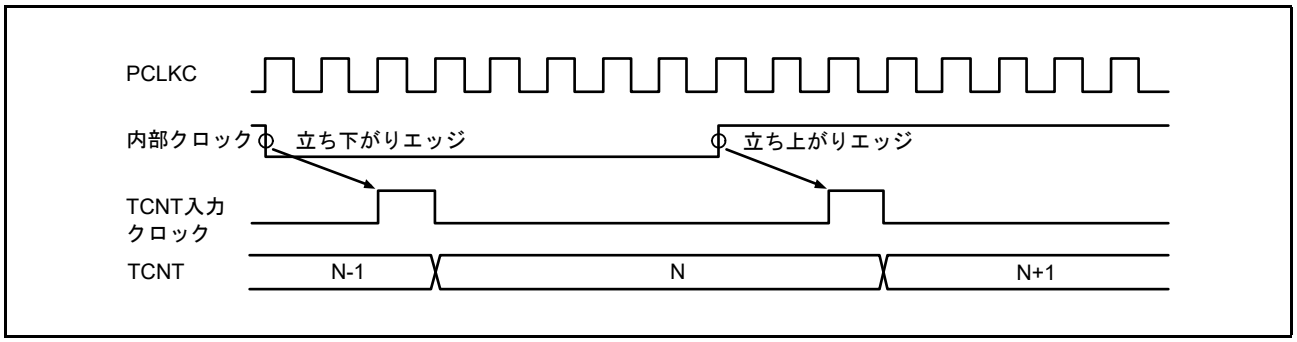


図 19.108　内部クロック動作時のカウントタイミング（MTU0 ～ MTU4、MTU6 ～ MTU8）

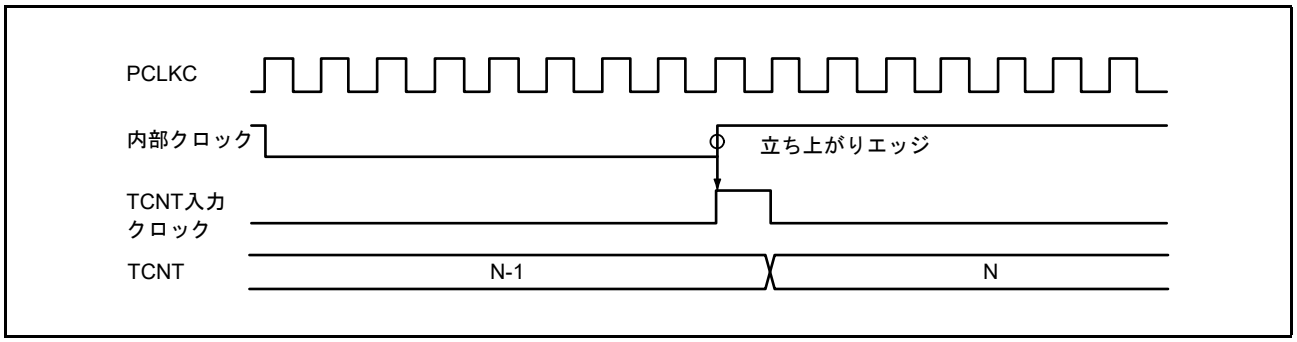


図 19.109　内部クロック動作時のカウントタイミング（MTU5）

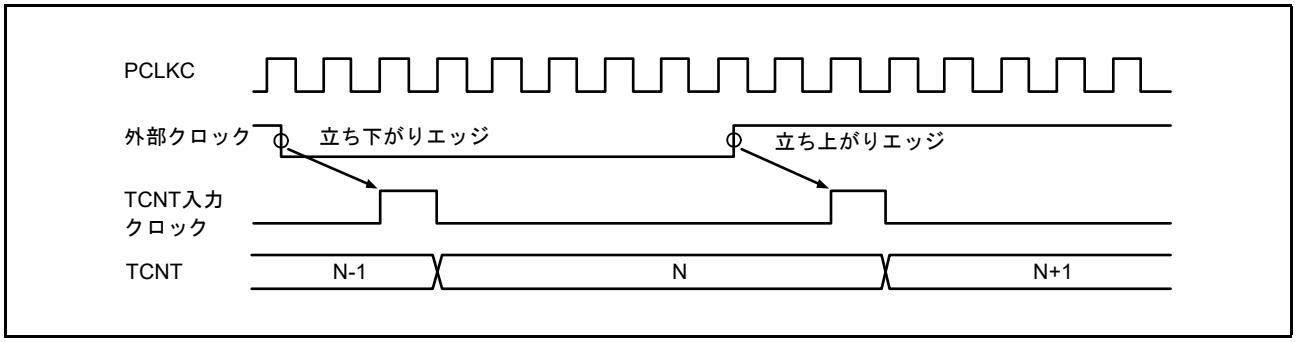


図 19.110　外部クロック動作時のカウントタイミング（MTU0 ～ MTU4、MTU8）

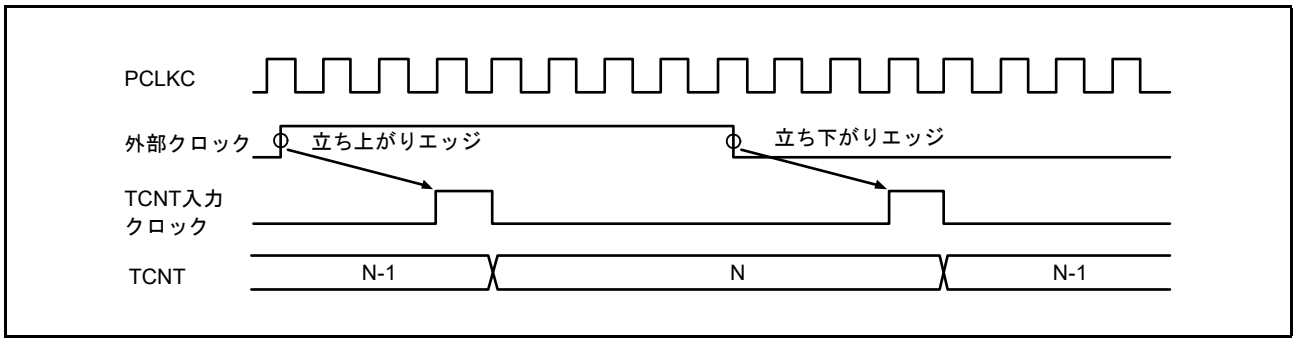


図 19.111　外部クロック動作時のカウントタイミング（位相計数モード）

(2)　アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値が MTIOCnm 端子（n = 0 ～ 4、6、7、8、m = A ～ D）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 19.112 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 19.113 に示します。

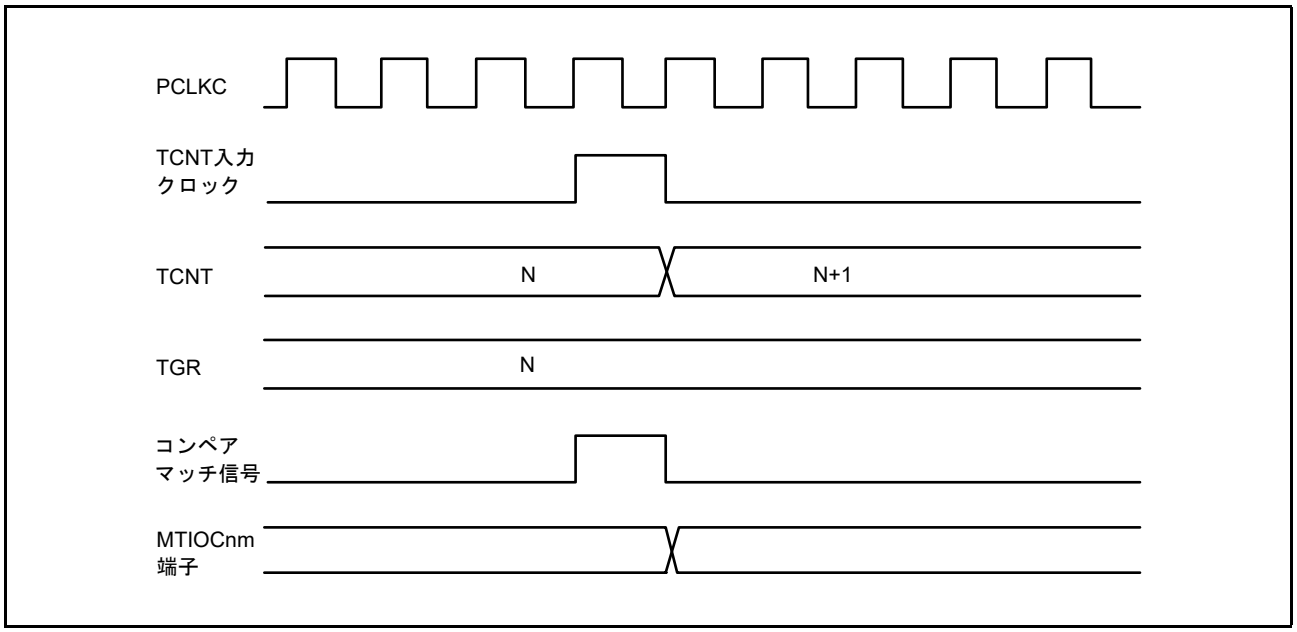


図 19.112　アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）
（n = 0 ～ 4、6、7、8、m = A ～ D）

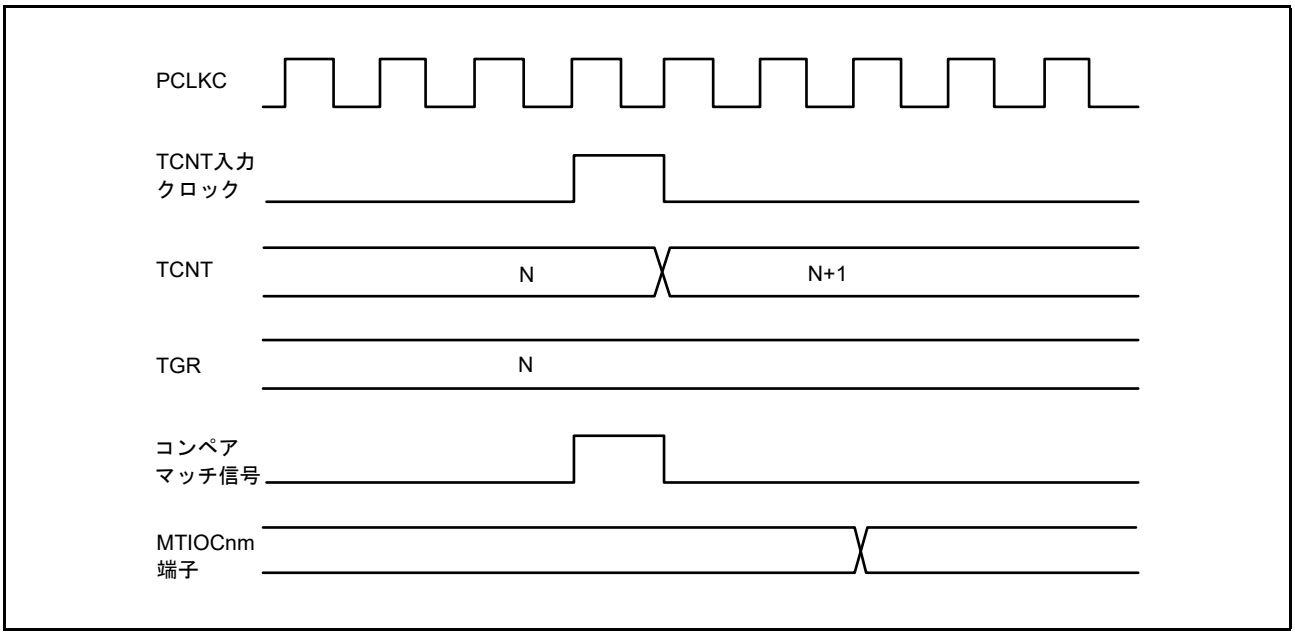


図 19.113　アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）
（n = 0 ～ 4、6、7、8、m = A ～ D）

(3)　インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 19.114 に示します。

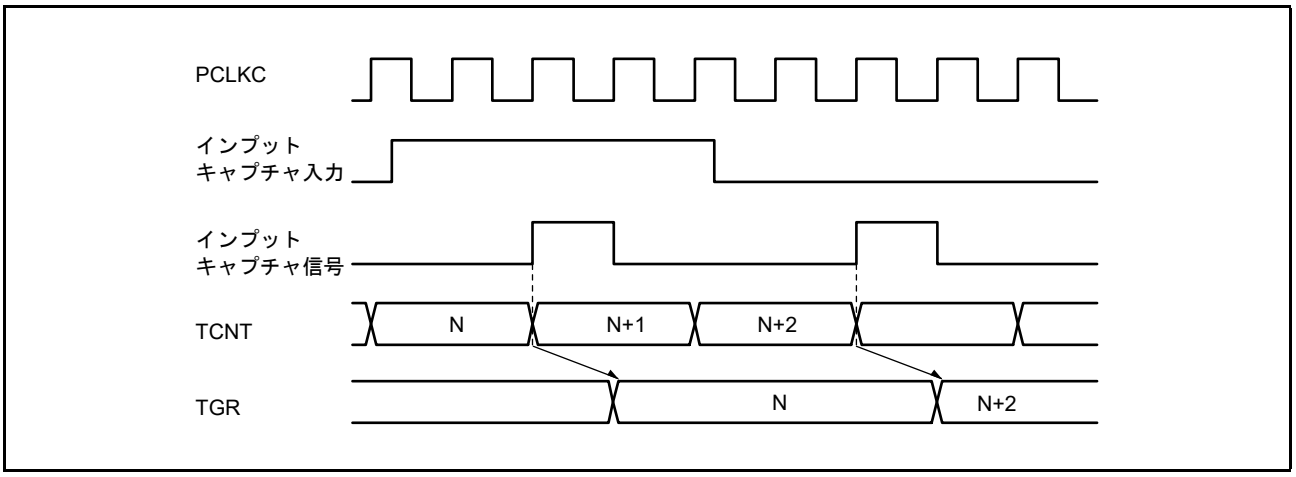


図 19.114　インプットキャプチャ入力信号タイミング

(4)　コンペアマッチ／インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 19.115、図 19.116 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 19.117 に示します。

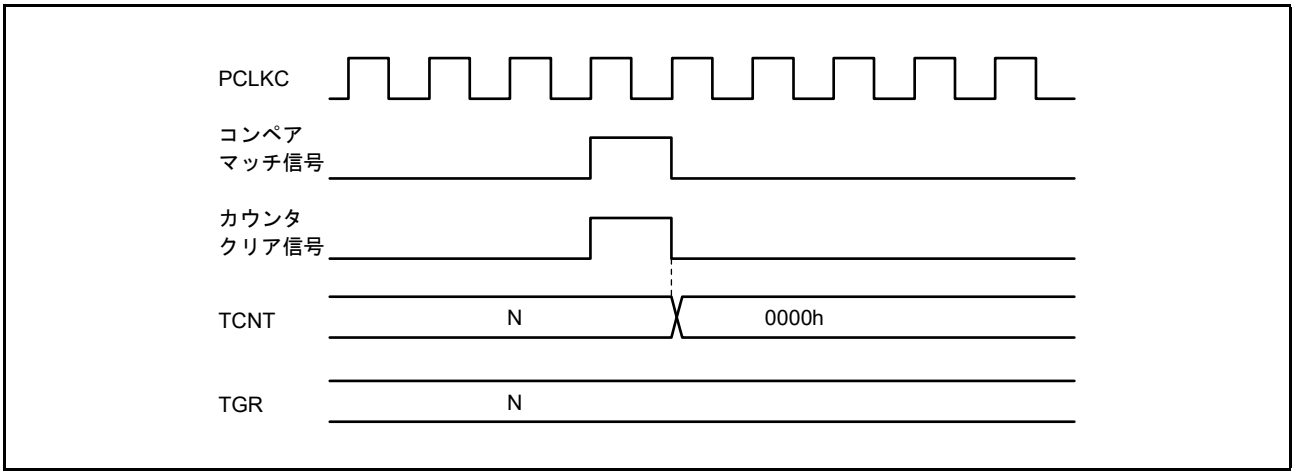


図 19.115　カウンタクリアタイミング（コンペアマッチ）（MTU0 ～ MTU4、MTU6 ～ MTU8）

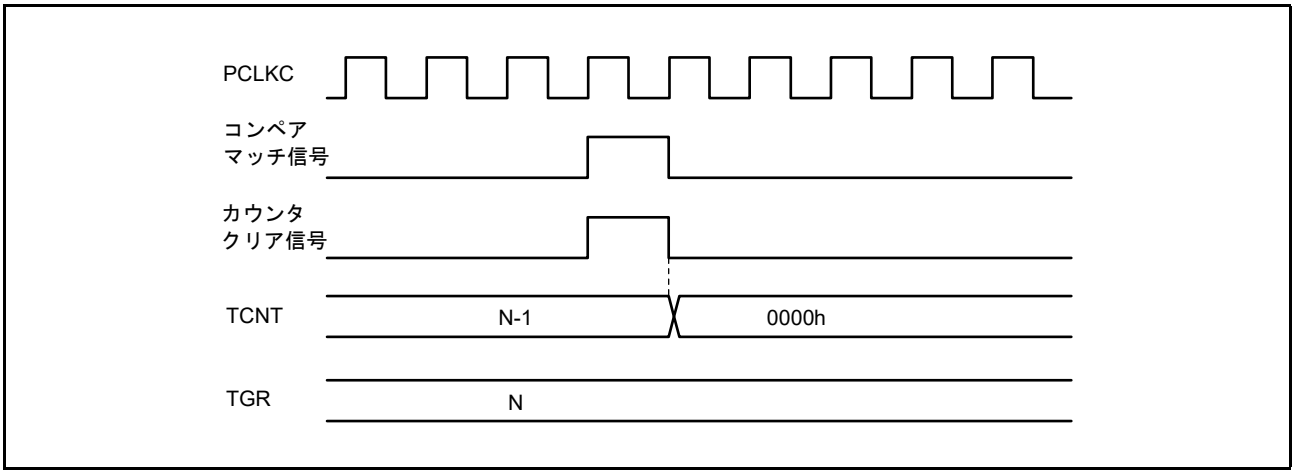


図 19.116　カウンタクリアタイミング（コンペアマッチ）（MTU5）

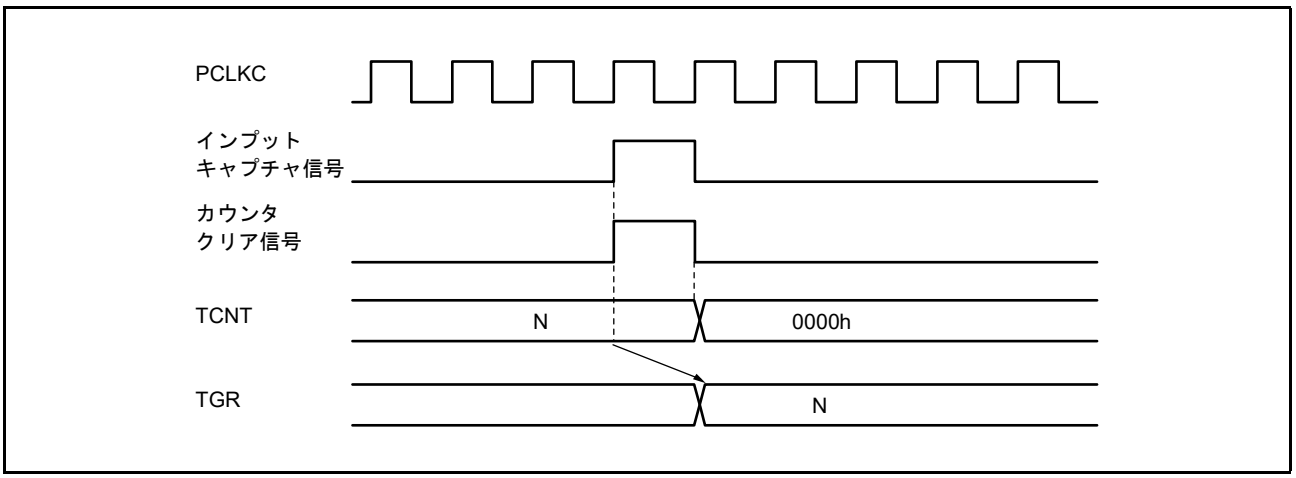


図 19.117　カウンタクリアタイミング（インプットキャプチャ）（MTU0 ～ MTU8）

(5)　バッファ動作タイミング

バッファ動作の場合のタイミングを図 19.118 ～図 19.120 に示します。

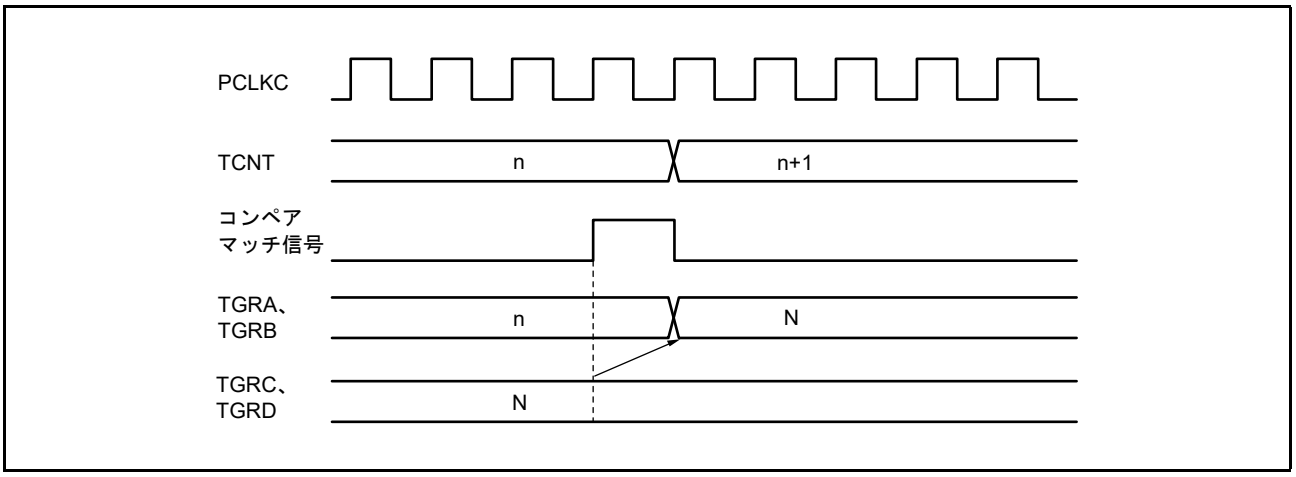


図 19.118　バッファ動作タイミング（コンペアマッチ）

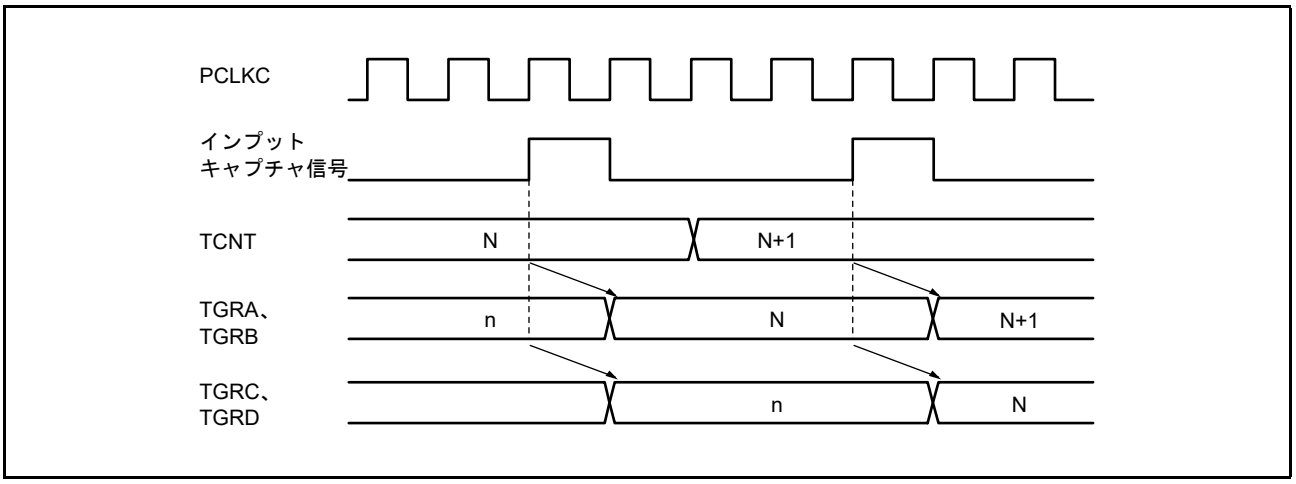


図 19.119　バッファ動作タイミング（インプットキャプチャ）

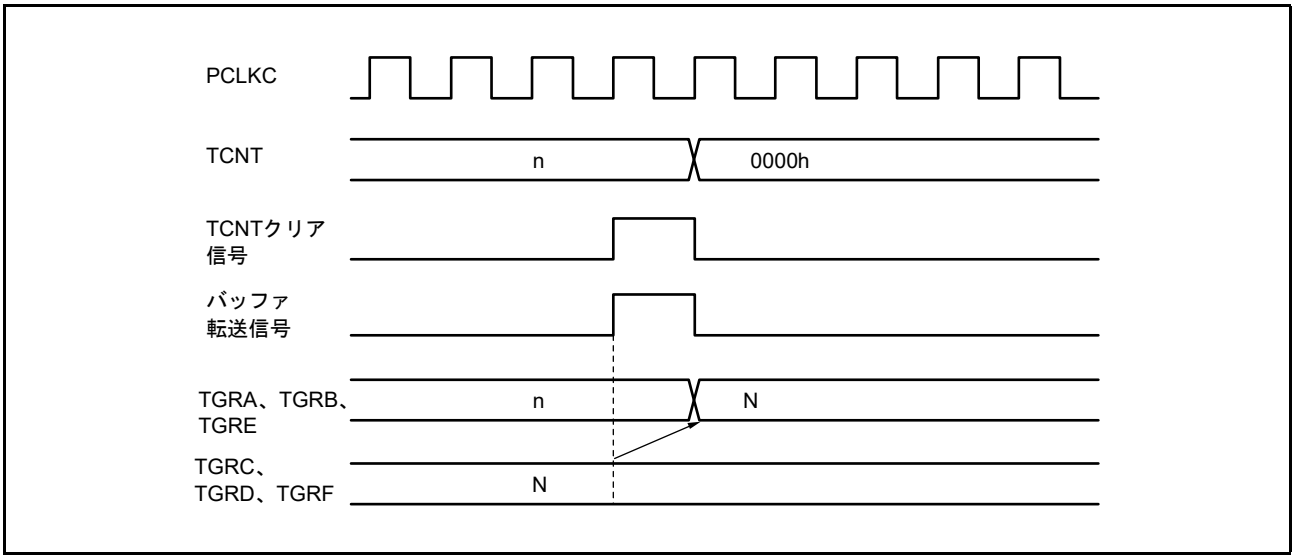


図 19.120　バッファ動作タイミング（TCNT クリア時）

(6)　バッファ転送タイミング（相補 PWM モード時）

相補 PWM モード時のバッファ転送のタイミングを図 19.121 ～図 19.123 に示します。

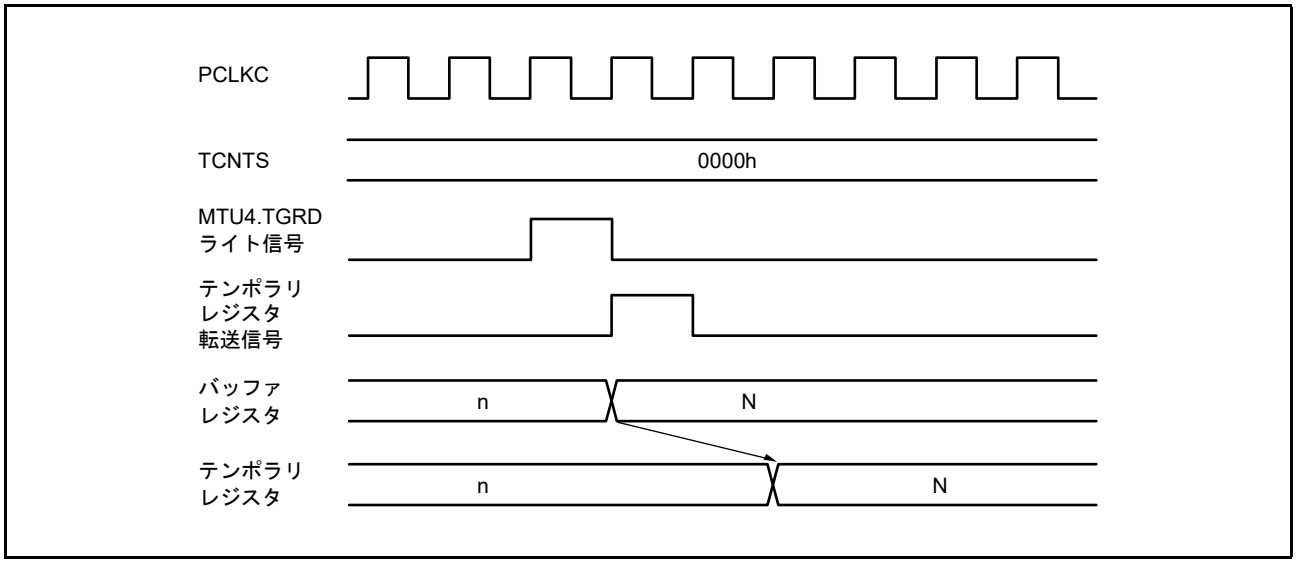


図 19.121　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTSA 停止中）

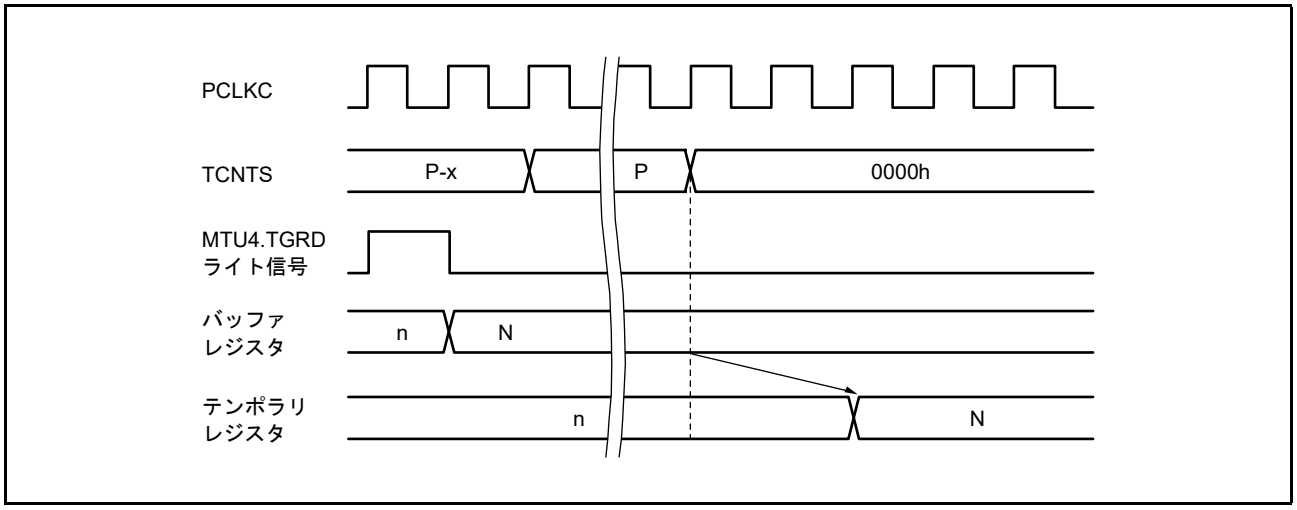


図 19.122　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTSA 動作中）

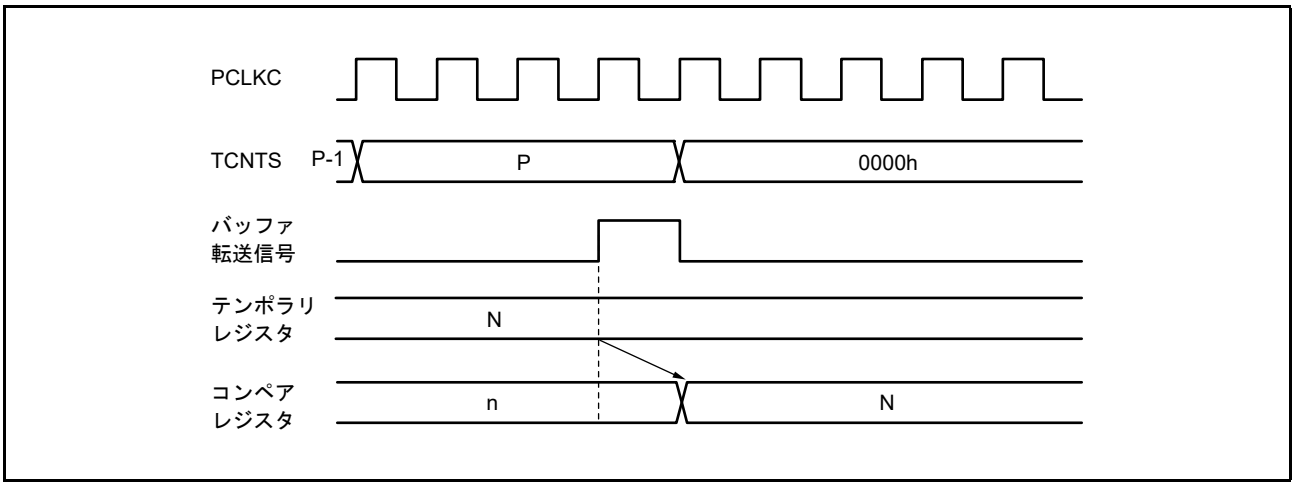


図 19.123　テンポラリレジスタからコンペアレジスタへの転送タイミング

19.5.2　割り込み信号タイミング

(1)　コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 19.124、図 19.125 に示します。

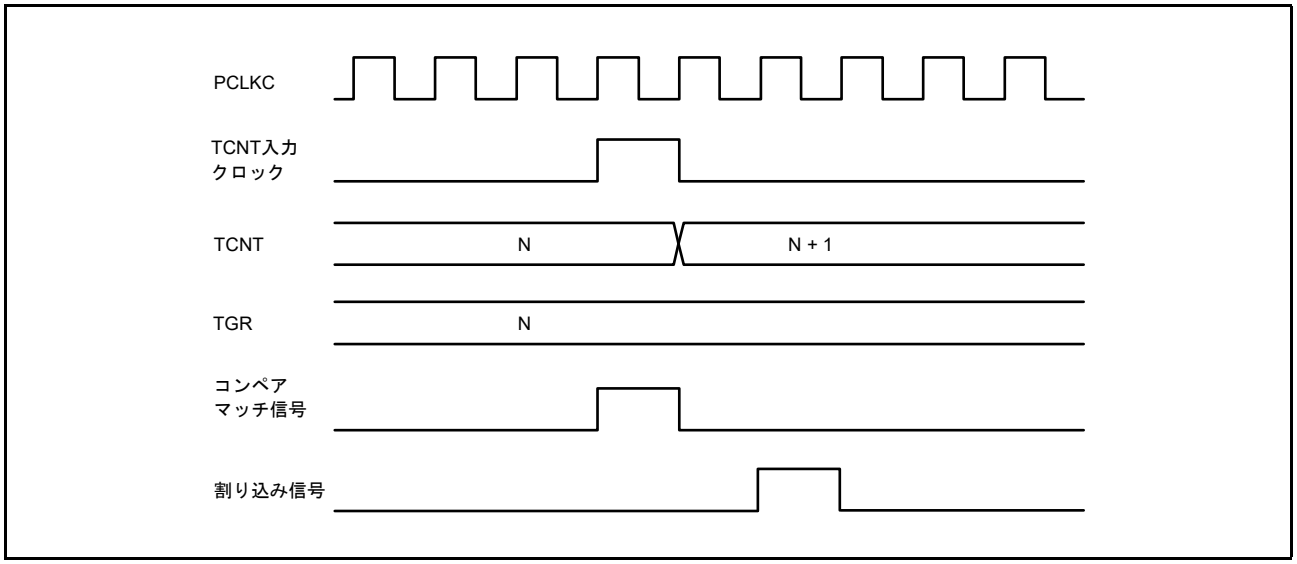


図 19.124　TGI 割り込みタイミング（コンペアマッチ）（MTU0 ～ MTU4、MTU6 ～ MTU8）

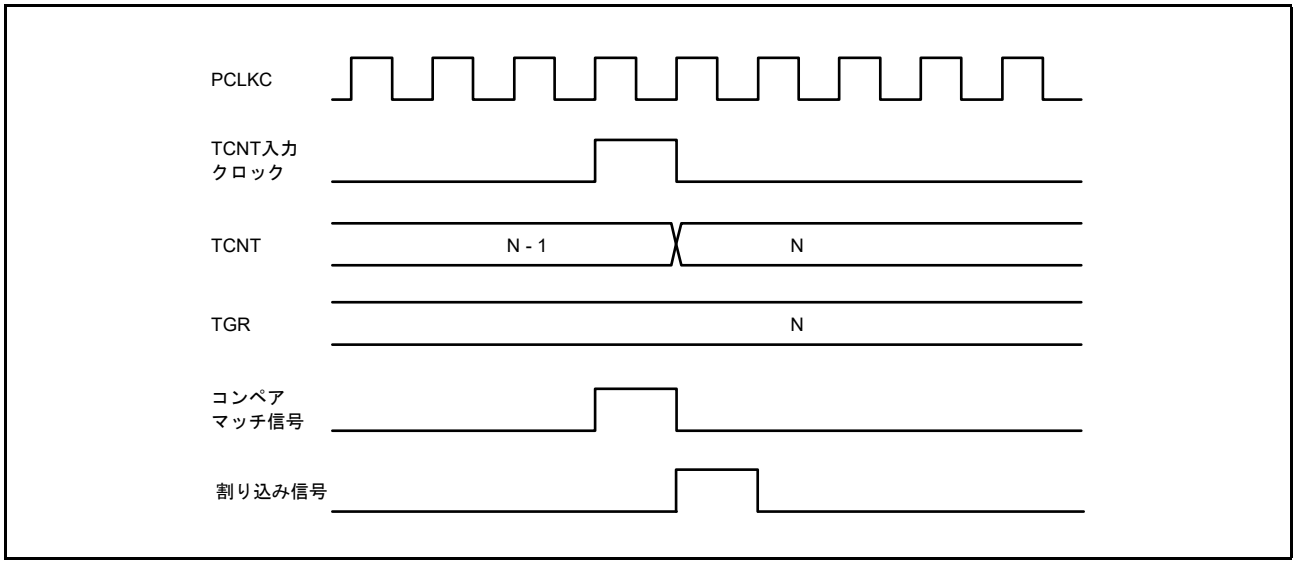


図 19.125　TGI 割り込みタイミング（コンペアマッチ）（MTU5）

(2)　インプットキャプチャ時の TGI 割り込みタイミング

インプットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 19.126、図 19.127 に示します。

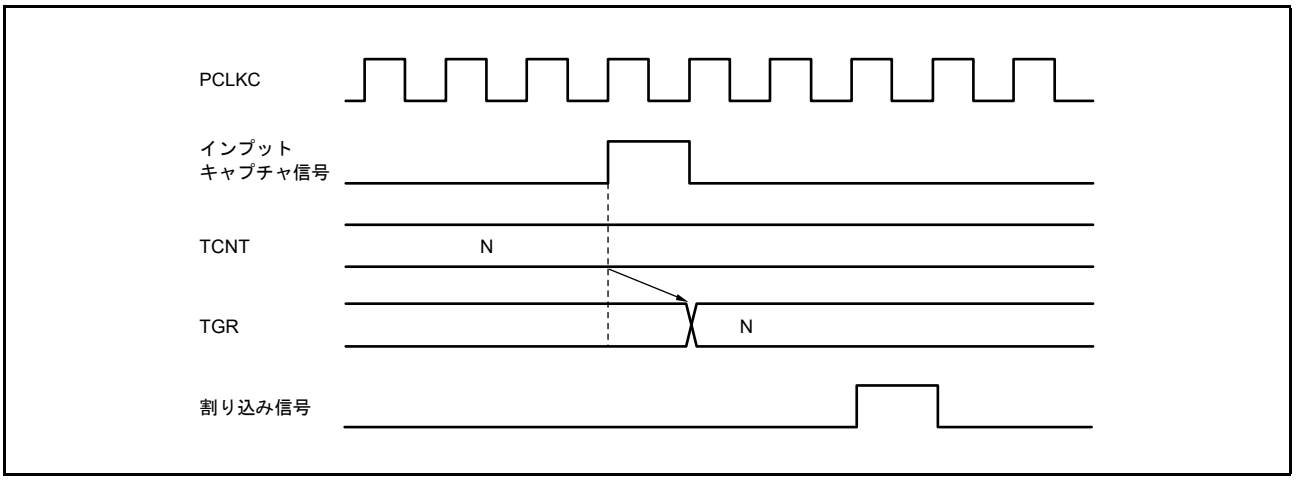


図 19.126　TGI 割り込みタイミング（インプットキャプチャ）（MTU0 ～ MTU4、MTU6 ～ MTU8）

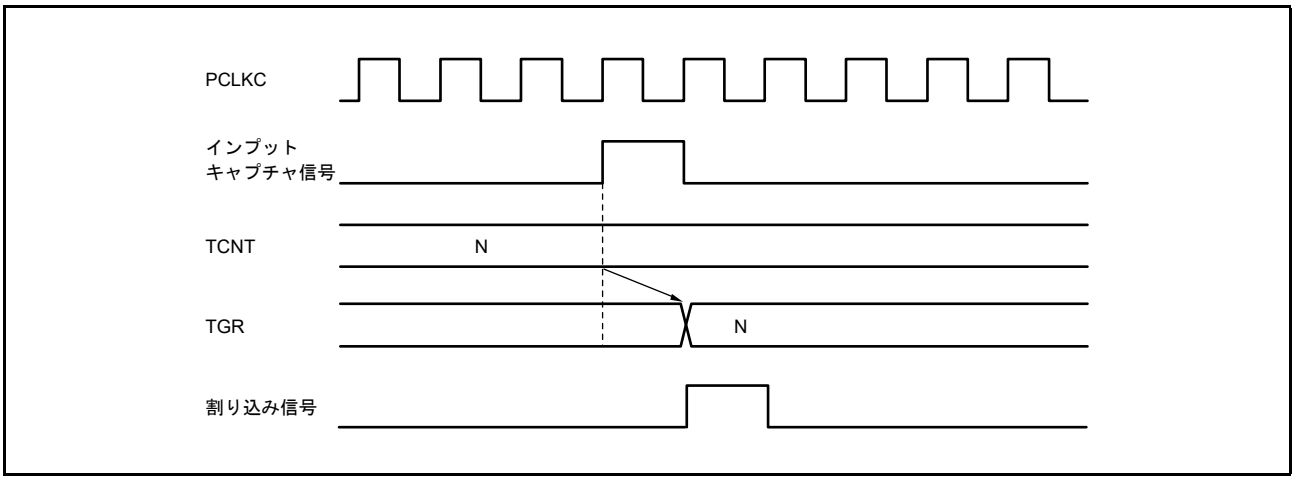


図 19.127　TGI 割り込みタイミング（インプットキャプチャ）（MTU5）

(3)　オーバフロー／アンダフロー時の TCFV ／ TCFU 割り込み要求タイミング

オーバフローが発生したときの TCIV 割り込み要求信号のタイミングを図 19.128 に示します。
アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 19.129 に示します。

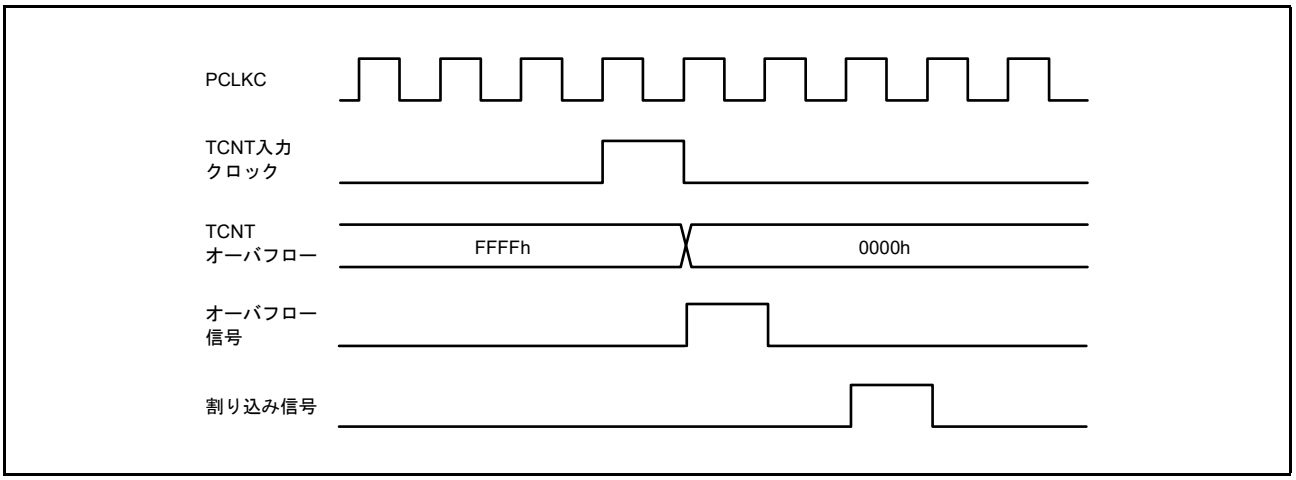


図 19.128　TCIV 割り込みタイミング

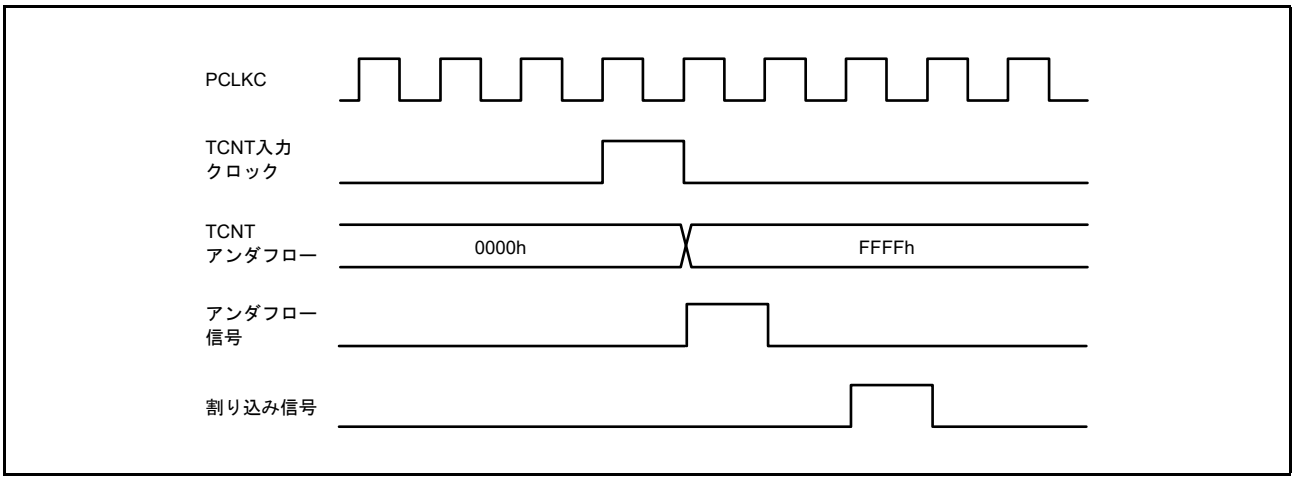


図 19.129　TCIU 割り込みタイミング

19.6　使用上の注意事項

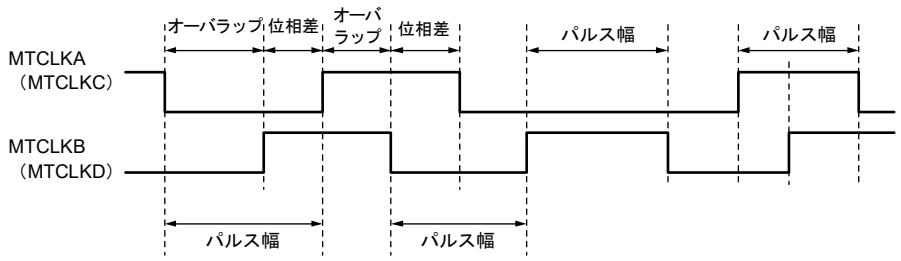
19.6.1　モジュールストップ機能の設定

MTU は、モジュールストップコントロールレジスタにより、MTU の動作禁止／許可を設定することが可能です。初期値では、MTU の動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「9.　消費電力低減機能」**を参照してください。

19.6.2　入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 3PCLKC クロック以上、両エッジの場合は 5PCLKC 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 3PCLKC 以上、パルス幅は 5PCLKC 以上必要です。位相計数モードの入力クロックの条件を**図 19.130** に示します。



注．　位相差、オーバラップ：3PCLKC 以上
　　パルス幅　　：5PCLKC 以上

図 19.130　位相計数モード時の位相差、オーバラップ、およびパルス幅

19.6.3　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- MTU0 ～ MTU4、MTU6 ～ MTU8 の場合

$$f = \frac{CNTCLK}{(N+1)}$$

- MTU5 の場合

$$f = \frac{CNTCLK}{N}$$

f：カウンタ周波数
CNTCLK：TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウンタクロックの周波数
N：TGR の設定値

19.6.4　TCNT への書き込みとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 19.131 に示します。

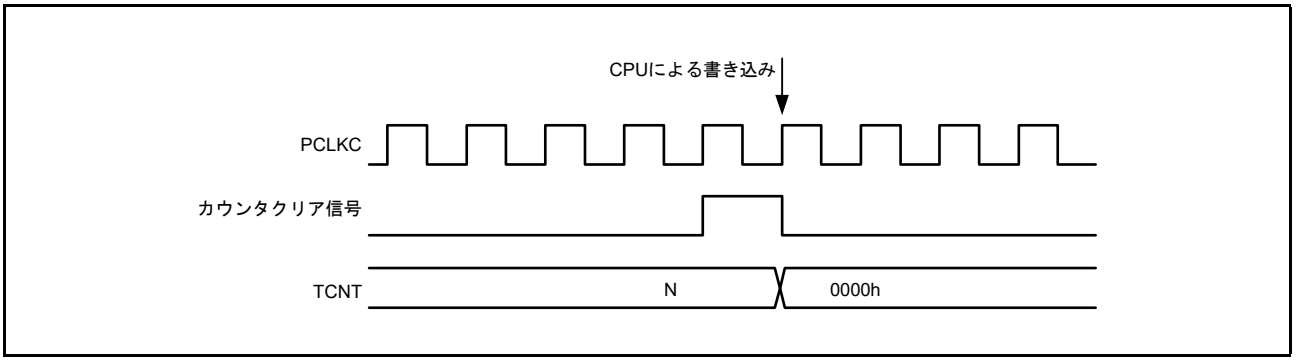


図 19.131　TCNT への書き込みとカウンタクリアの競合

19.6.5　TCNT への書き込みとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 19.132 に示します。

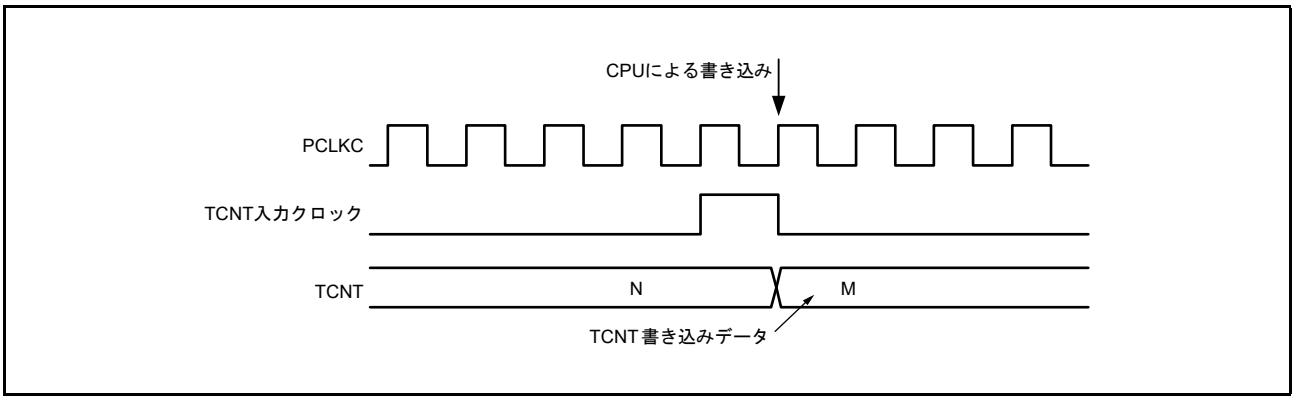


図 19.132　TCNT への書き込みとカウントアップの競合

19.6.6　TGR への書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 19.133 に示します。

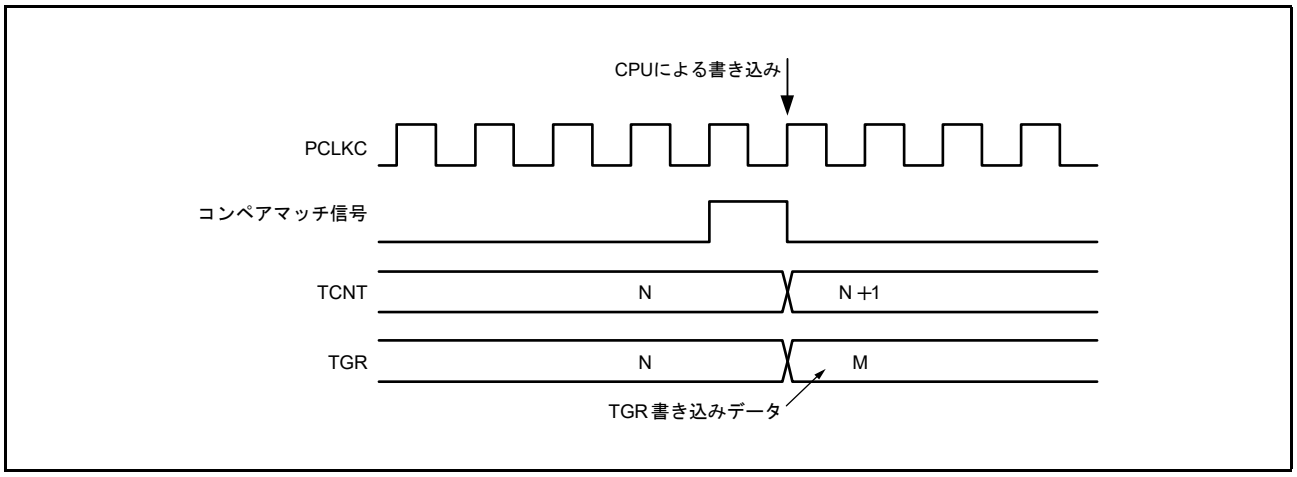


図 19.133　TGR のライトとコンペアマッチの競合

19.6.7　バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 19.134 に示します。

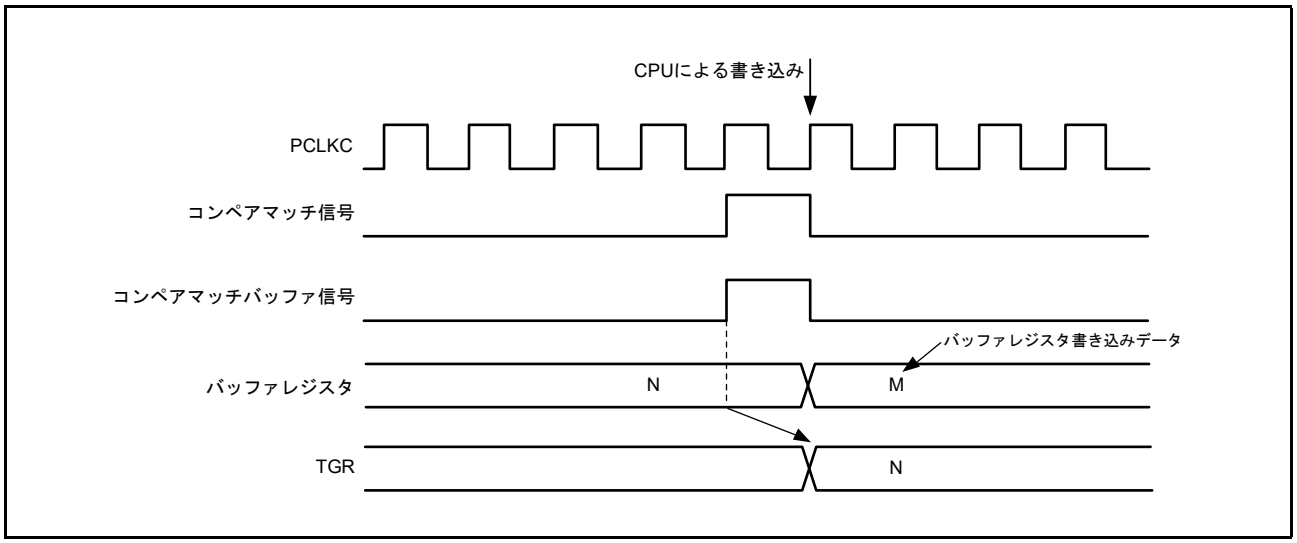


図 19.134　バッファレジスタへの書き込みとコンペアマッチの競合

19.6.8　バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ動作転送モードレジスタ（TBTM）でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR レジスタの書き込みサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 19.135 に示します。

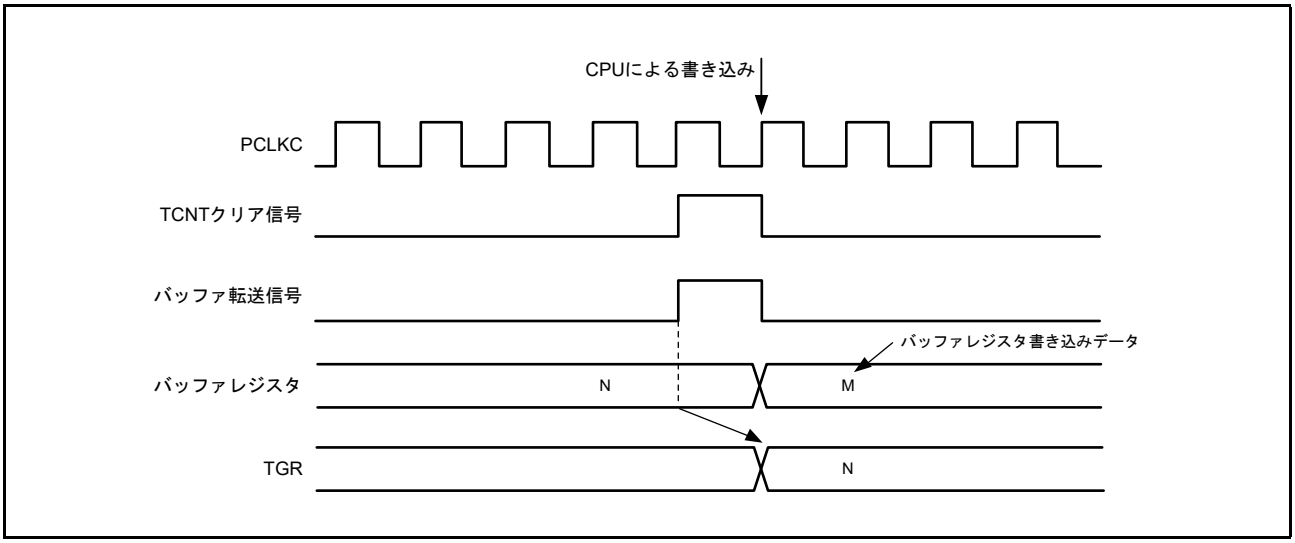


図 19.135　バッファレジスタへの書き込みと TCNT クリアの競合

19.6.9　TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタのリードサイクル中の T1 ステートで読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 19.136 に示します。

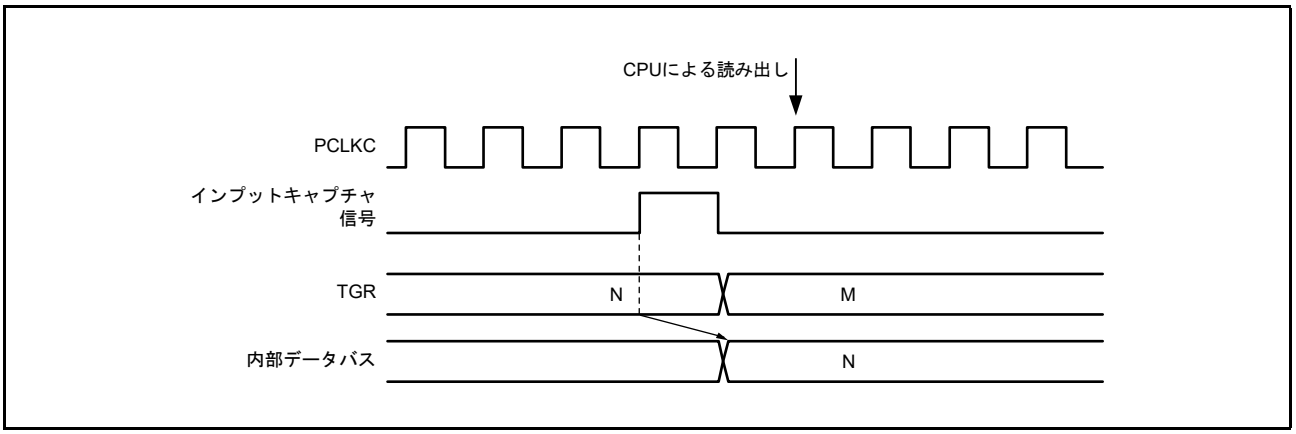


図 19.136　TGR レジスタの読み出しとインプットキャプチャの競合（MTU0 ～ MTU8）

19.6.10　TGR レジスタへの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ～ MTU4、MTU6 ～ MTU8 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 19.137、図 19.138 に示します。

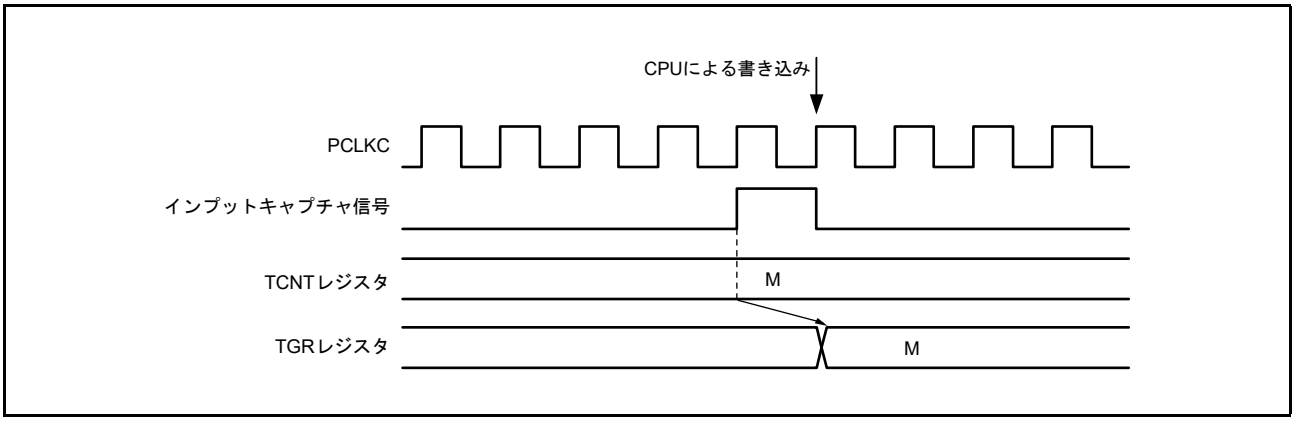


図 19.137　TGR レジスタへの書き込みとインプットキャプチャの競合（MTU0 ～ MTU4、MTU6 ～ MTU8）

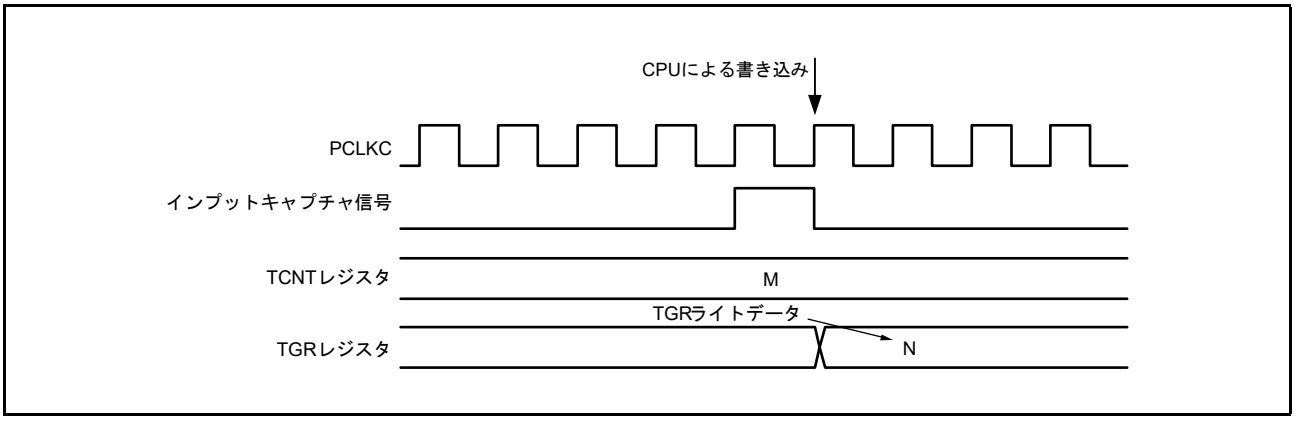


図 19.138　TGR レジスタへの書き込みとインプットキャプチャの競合（MTU5）

19.6.11　バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 19.139 に示します。

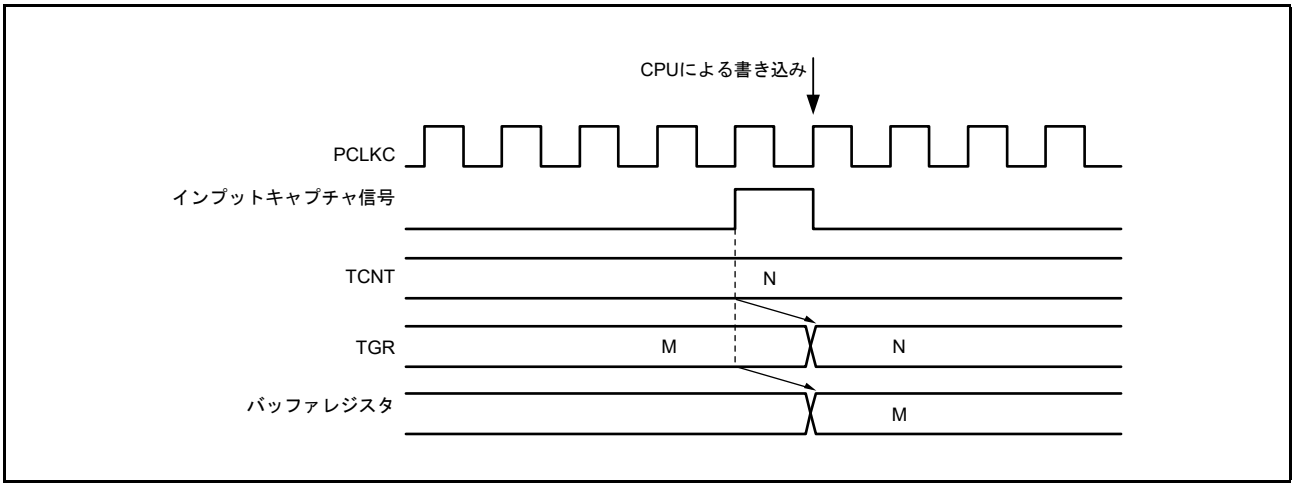


図 19.139　バッファレジスタへの書き込みとインプットキャプチャ競合

19.6.12　カスケード接続における MTU2.TCNT への書き込みとオーバフロー／アンダフローの競合

タイマカウンタ（MTU1.TCNT と MTU2.TCNT）をカスケード接続し、MTU1.TCNT がカウントする瞬間（MTU2.TCNT がオーバフロー／アンダフローする瞬間）と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ～ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ／インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 19.140 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

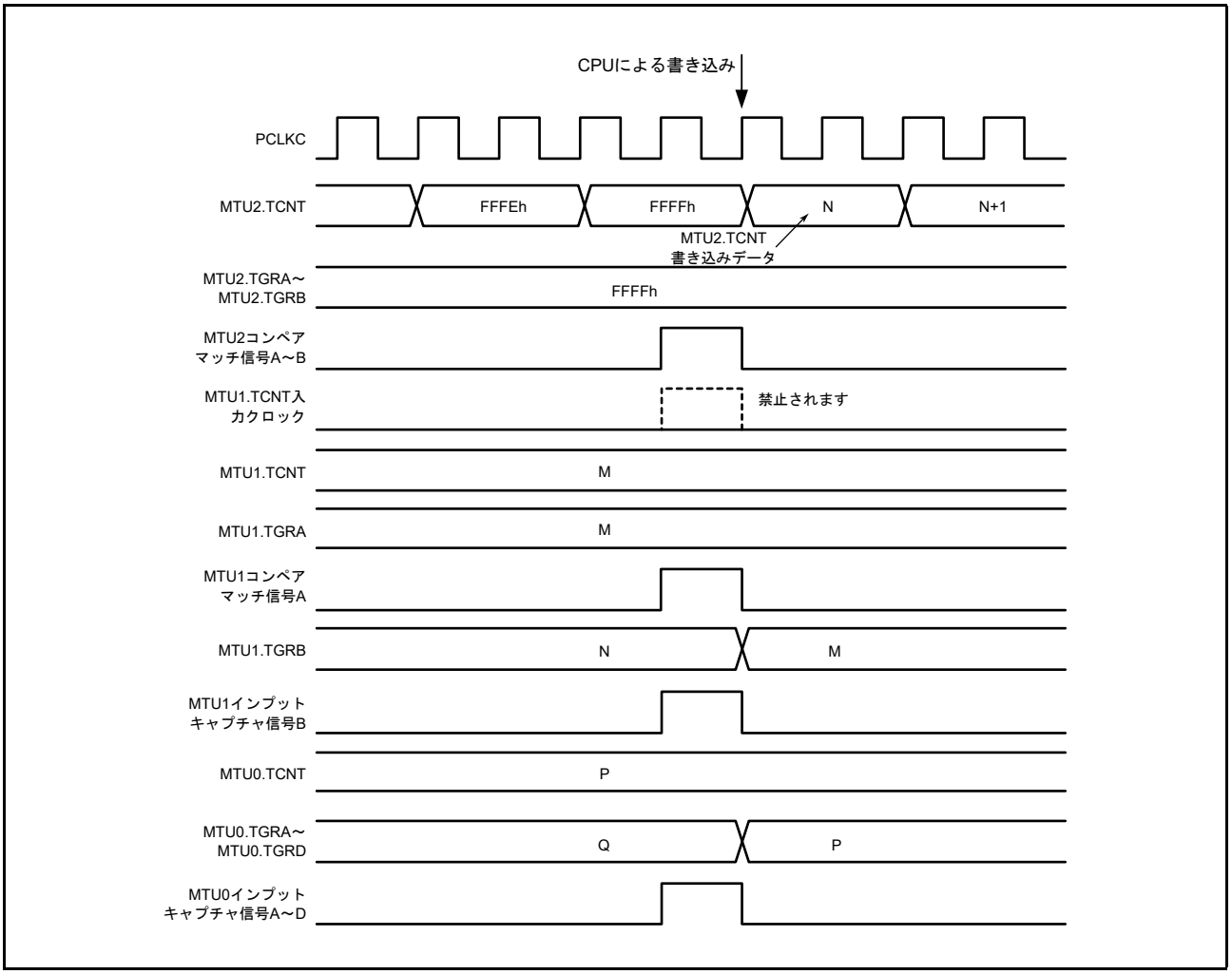


図 19.140　カスケード接続における MTU2.TCNT の書き込みとオーバフロー／アンダフローの競合

19.6.13　相補 PWM モード停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT（MTU6.TCNT）はタイマデッドタイムレジスタ（TDDRA（TDDRB））の値、MTU4.TCNT（MTU7.TCNT）は 0000h になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を**図 19.141** に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）にカウント初期値の設定を行ってください。

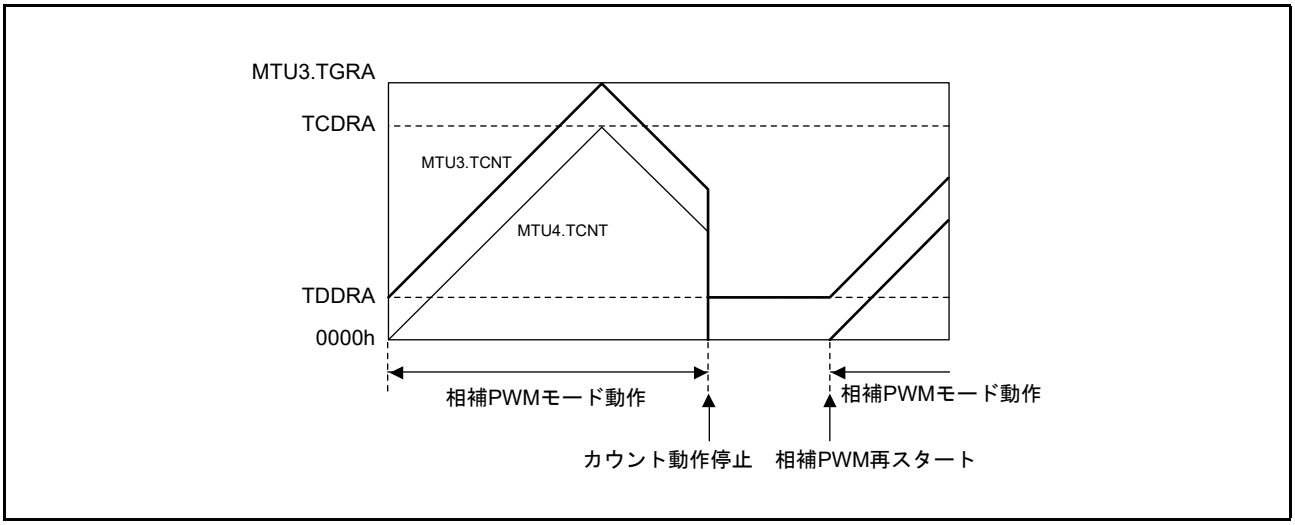


図 19.141　相補 PWM モード停止時のカウンタ値

19.6.14　相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ（MTU3.TGRA、MTU6.TGRA）、タイマ周期データレジスタ（TCDRA、TCDRB）、デューティ設定レジスタ（MTU3.TGRB、MTU3.TGRA、MTU4.TGRB、MTU6.TGRB、MTU7.TGRA、MTU7.TGRB）の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビット、MTU4.TMDR1.BFB（MTU7.TMDR1.BFB）ビットを “0” にしてください。MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビットを “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。同様に、MTU4.TMDR1（MTU7.TMDR1）の BFB ビットを “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1.BFA（MTU6.TMDR1.BFA）ビット、MTU3.TMDR1.BFB（MTU6.TMDR1.BFB）ビットの設定にしたがい動作します。MTU3.TMDR1（MTU6.TMDR1）の BFA ビットを “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能し、さらに TCBRA（TCBRB）は TCDRA（TCDRB）のバッファレジスタとして機能します。

19.6.15　リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にしてください。MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）を “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。

同様に、MTU4.TMDR1（MTU7.TMDR1）の BFB ビットを “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）の設定にしたがい動作します。たとえば、MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）を “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能します。

MTU3.TGRC（MTU6.TGRC）、MTU3.TGRD（MTU6.TGRD）がバッファレジスタとして動作している場合、TGImn 割り込み（m = C、D、n = 3、4 および 6、7）は発生しません。

MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）を “1” にし、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にした場合の MTU3.TGR（MTU6.TGR）、MTU4.TGR（MTU7.TGR）、MTIOC3（MTIOC6）、MTIOC4（MTIOC7）の動作例を図 19.142 に示します。

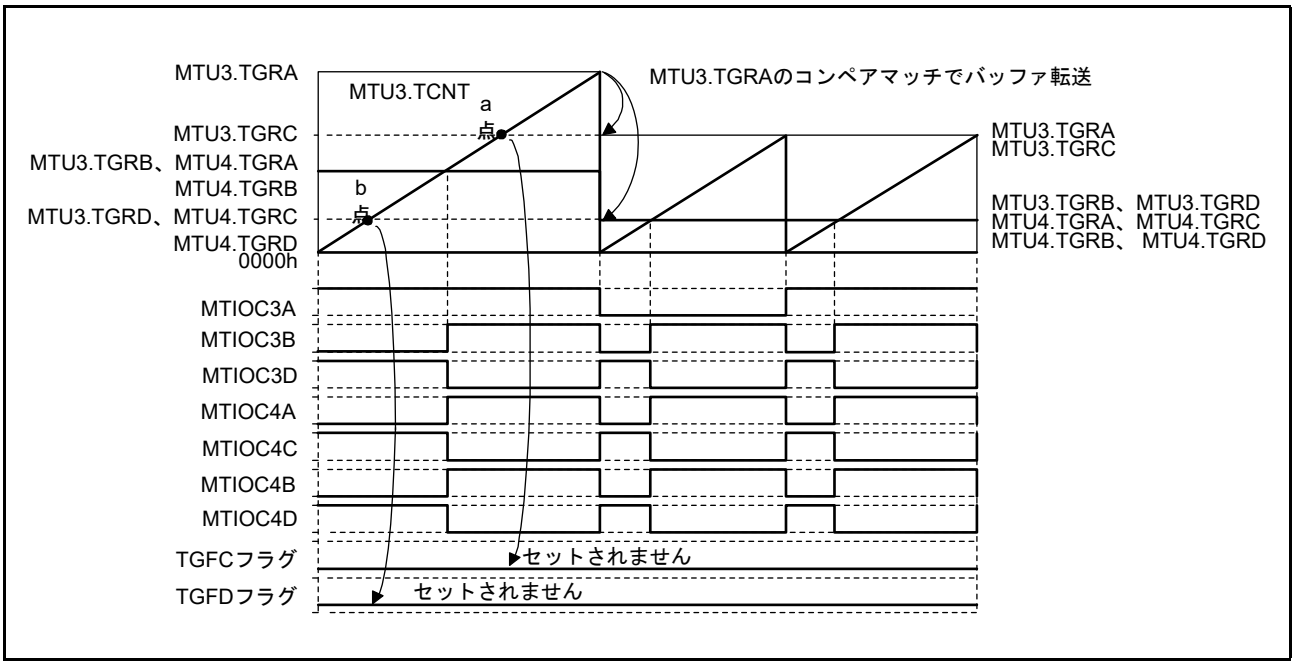


図 19.142　リセット同期 PWM モードのバッファ動作とコンペアマッチ

19.6.16　リセット同期 PWM モードのオーバフロー

リセット同期 PWM モードを設定し、TSTRA（TSTRB）の CST3（CST6）ビットを “1” にすると、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）のカウント動作が開始します。このとき、MTU4.TCNT（MTU7.TCNT）のカウントクロックソースとカウントエッジは MTU3.TCR（MTU6.TCR）の設定にしたがいます。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がアップカウントし FFFFh になると、MTU3.TGRA（MTU6.TGRA）とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）ともにカウントクリアされます。このとき、TCIVn 割り込み（n＝3、4 および 6、7）は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合の TCFV フラグの動作例を図 19.143 に示します。

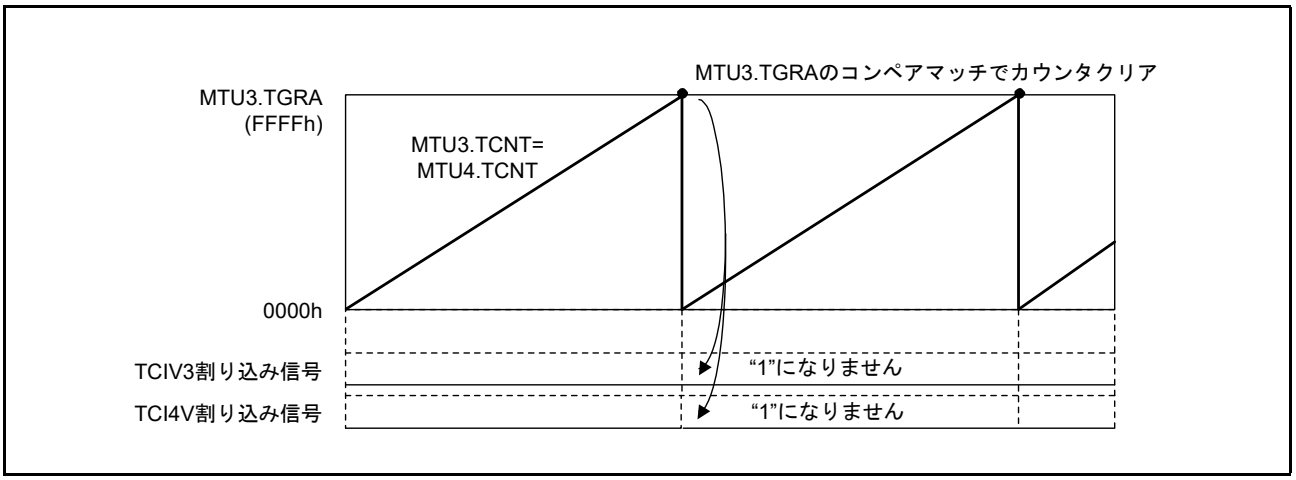


図 19.143　リセット同期 PWM モードのオーバフロー

19.6.17　オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TCIVn 割り込み（n＝0 ～ 4、6 ～ 8）、TCIUn 割り込み（n＝1、2）は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを FFFFh にした場合の動作タイミングを図 19.144 に示します。

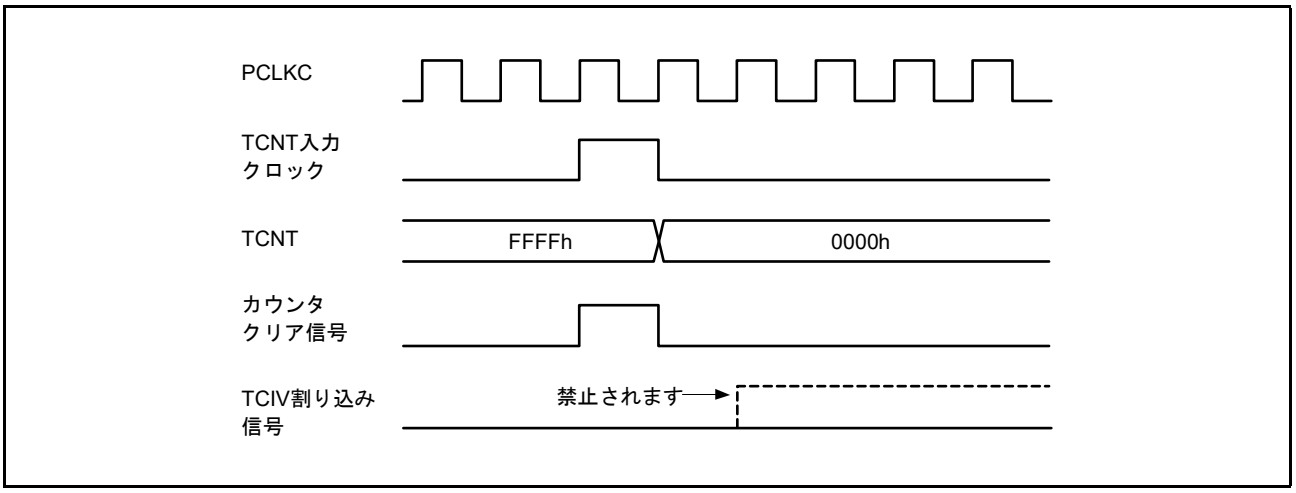


図 19.144　オーバフローとカウンタクリアの競合

19.6.18　TCNT への書き込みとオーバフロー／アンダフローの競合

TCNT の書き込みサイクルで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNT への書き込みが優先されます。TCIVn 割り込み（n＝0 ～ 4、6 ～ 8）、TCIUn 割り込み（n＝1、2）は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 19.145 に示します。

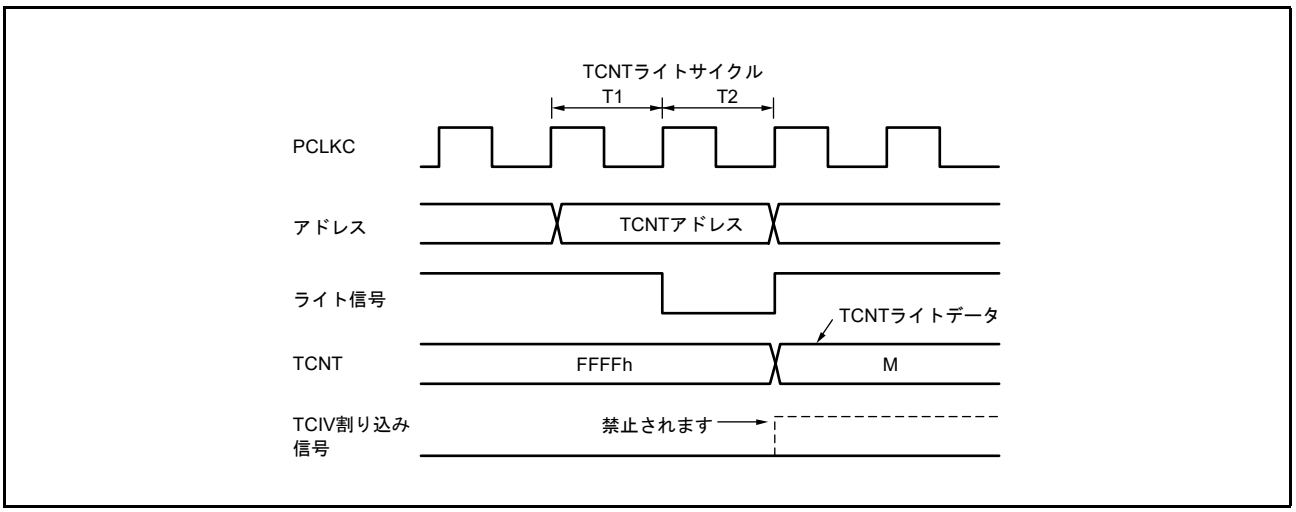


図 19.145　TCNT への書き込みとオーバフローの競合

19.6.19　ノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項

MTU3、MTU4（MTU6、MTU7）の通常動作またはPWMモード1からリセット同期PWMモードへ移行する場合、出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D）をHighの状態にしたままカウンタを止め、リセット同期PWMモードに移行して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期PWMモードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL（MTU6.TIORH、MTU6.TIORL、MTU7.TIORH、MTU7.TIORL）レジスタに“11h”を書いて出力端子をLowに初期化した後、レジスタの初期値“00h”を書いてからモードへの遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったんノーマルモードに遷移してから出力端子をLowへ初期化した後、レジスタの初期値“00h”を書いてからリセット同期PWMモードに遷移してください。

19.6.20　相補PWMモード、リセット同期PWMモードの出力レベル

MTU3、MTU4（MTU6、7MTU）が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはTOCR1A.OLSPビット、TOCR1A.OLSNビット、TOCR1B.OLSPビット、TOCR1B.OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORレジスタは“00h”としてください。

相補PWMモードでTDERA.TDER（TDERB.TDER）ビットを“0”（デッドタイムを生成しない）に設定した場合の逆相の出力レベルは、TOCR1A.OLSN（TOCR1B.OLSN）ビットの設定によらず、TOCR1A.OLSP（TOCR1B.OLSP）ビットの設定による正相出力の反転レベルとなります。

19.6.21　カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ

タイマカウンタ1、2（MTU1.TCNTとMTU2.TCNT）をカスケード接続して、32ビットカウンタとして動作させている場合、MTIOC1AとMTIOC2A、またはMTIOC1BとMTIOC2Bに同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNTに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、またはMTIOC1BとMTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT（上位16ビットのカウンタ）がMTU2.TCNT（下位16ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT = FFF1h、MTU2.TCNT = 0000hの値をMTU1.TGRAとMTU2.TGRA、もしくはMTU1.TGRBとMTU2.TGRBに転送すべきところを誤ってMTU1.TCNT = FFF0h、MTU2.TCNT = 0000hの値を転送します。

MTUでは1本のインプットキャプチャ入力でMTU1.TCNTとMTU2.TCNTを同時にキャプチャできる機能を追加しており、本機能を使用すれば、MTU1.TCNTとMTU2.TCNTのキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は「19.2.11　タイマインプットキャプチャコントロールレジスタ（TICCR）」を参照してください。

19.6.22　割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が “0” の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4PCLKC クロック以上（MTU4.TADCORA レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）
- MTU4.TADCORB のコンペア間隔が 4PCLKC クロック以上（MTU4.TADCORB レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）

(2) 間引き機能 2、間引き回数が “1” 以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2PCLKC 以上（MTU4.TADCORB レジスタの更新値を「前値＋ 2 以上」、「前値－ 2 以下」に設定）

19.6.23　相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。本機能を使用しない場合、POE2.POECR1 レジスタに “00h”、POE2.POECR2 に “00h” を書いてください。

19.6.24　タイマカウンタ（MTU5.TCNT）とタイマジェネラルレジスタ（MTU5.TGR）の注意事項

MTU5.TCNTj（j＝U、V、W）のカウント動作を停止した状態で、MTU5.TGRj（j＝U、V、W）に MTU5.TCNTj（j＝U、V、W）値＋1 の値を設定しないでください。MTU5.TCNTj（j＝U、V、W）のカウント動作を停止した状態で、MTU5.TGRj（j＝U、V、W）に MTU5.TCNTj（j＝U、V、W）値＋1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット（MTU5.TIER.TGIE5j ビット（j＝U、V、W））が “1”（許可）になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが “1”（許可）になっていると、MTU5.TCNTj（j＝U、V、W）カウンタは、コンペアマッチ割り込みの禁止／許可にかかわらず、コンペアマッチが発生すると “0000h” に自動クリアされます。

19.6.25　相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効（TWCR.WRE ビット＝1）である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

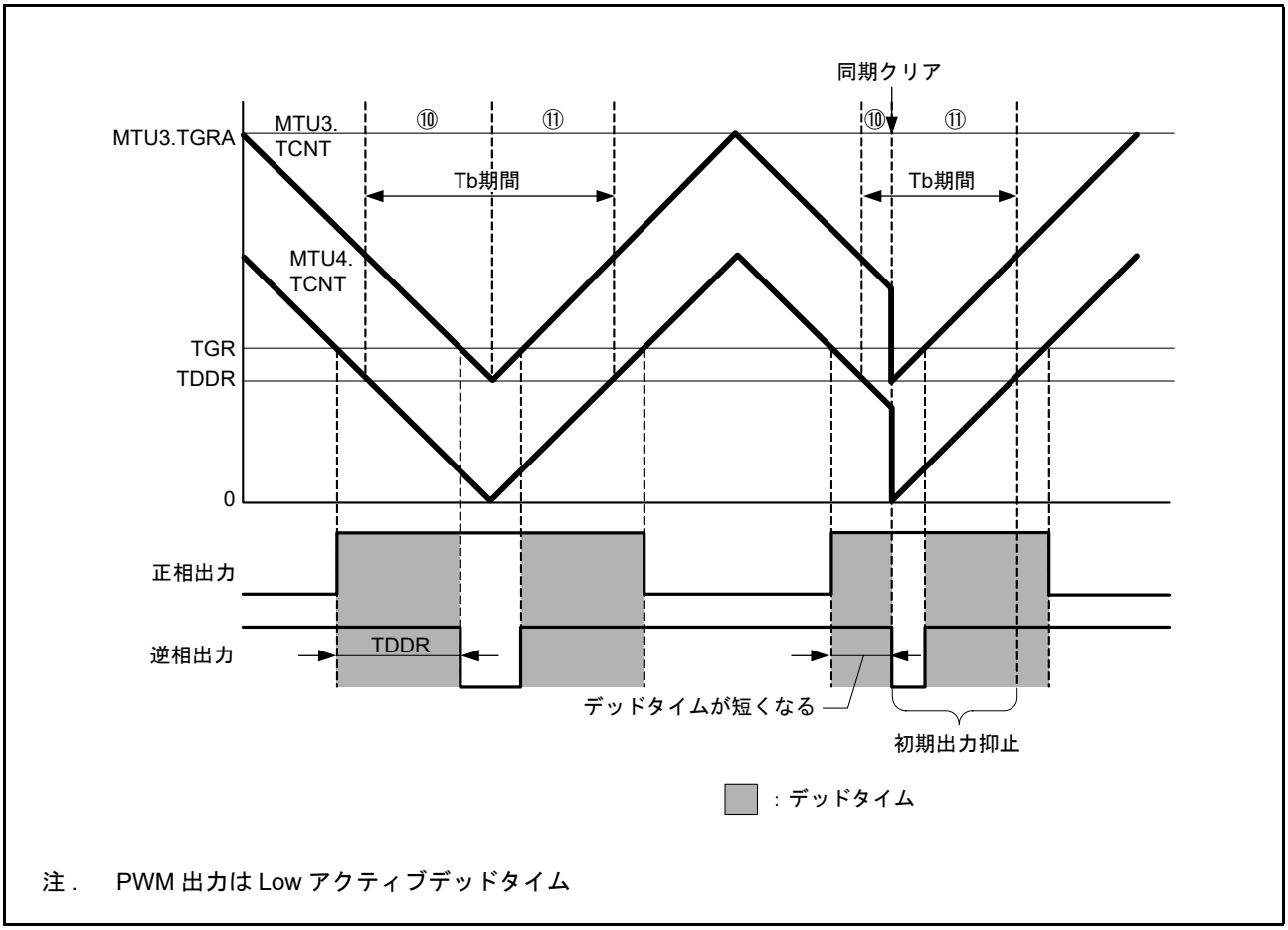
- PWM 出力端子のデッドタイムが短くなる（もしくは消失する）
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1　初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合（図 19.146 参照）

条件 2　初期出力の抑止期間⑩、⑪にて、MTU3.TGRB（MTU6.TGRB）≦ TDDRA（TDDRB）、MTU4.TGRA（MTU7.TGRA）≦ TDDRA（TDDRB）、MTU4.TGRB （MTU7.TGRB）≦ TDDRA（TDDRB）のいずれかが成立する状態で、同期クリアする（図 19.147 参照）

本現象は下記の方法により、回避することができます。

コンペアレジスタ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のすべてが、TDDRA レジスタ（TDDRB レジスタ）の 2 倍以上になるように設定した状態で、同期クリアする



注．　PWM 出力は Low アクティブデッドタイム

図 19.146　同期クリア例（条件 1 の場合）

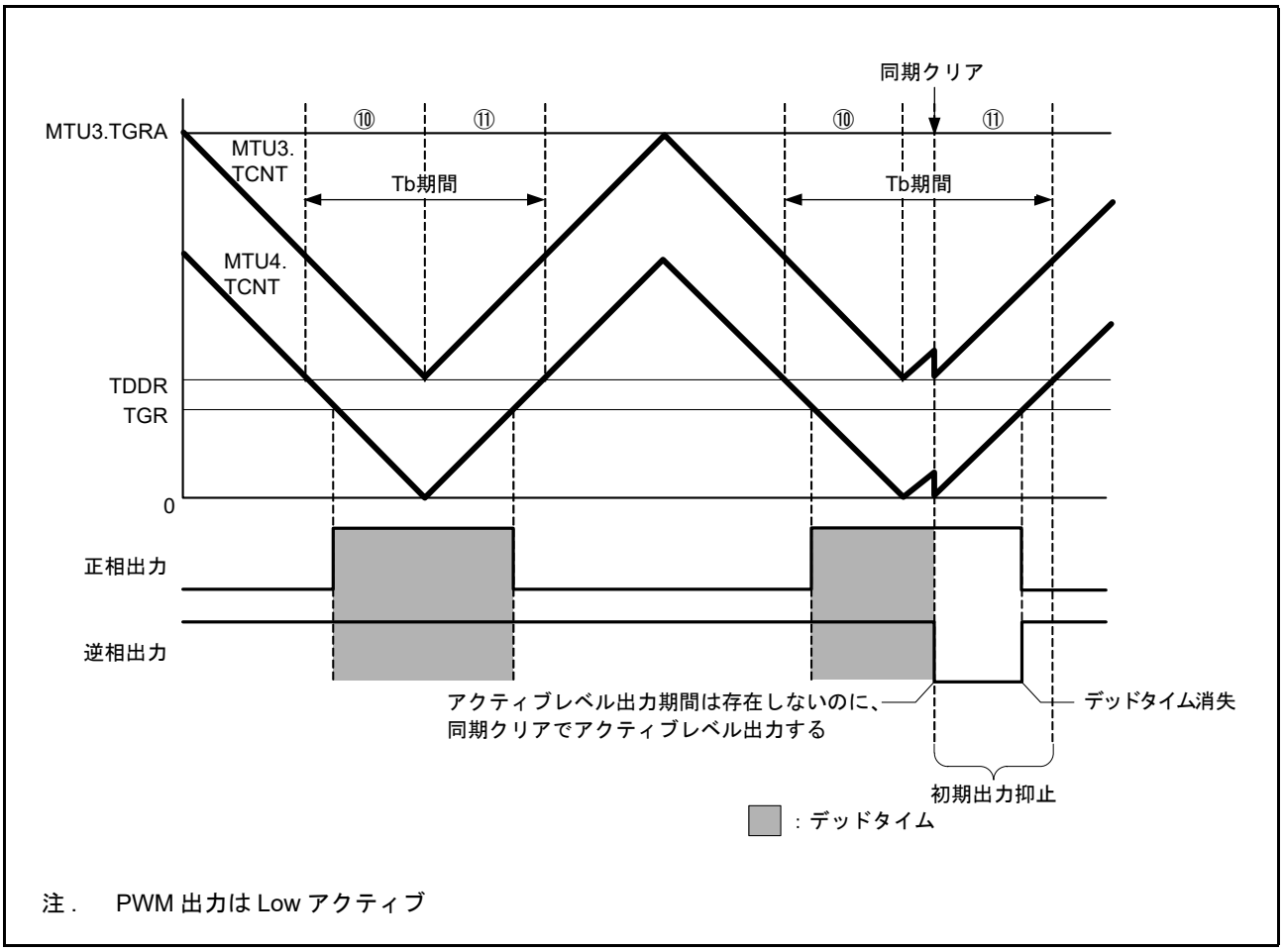


図 19.147　同期クリア例（条件 2 の場合）

19.6.26　ELC イベント入力の時タイマモードレジスタ設定の注意事項

MTU を ELC のアクション動作に設定する場合は、該当チャネルのタイマモードレジスタ（TMDR）は初期値（00h）に設定してください。

19.6.27　コンペアマッチによる割り込み信号の連続出力

TGR レジスタに “0000h”、カウンタクロックを PCLK/1 クロック、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “0000h” のままとなり、割り込み信号は 1 サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2 回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 19.148 に示します。

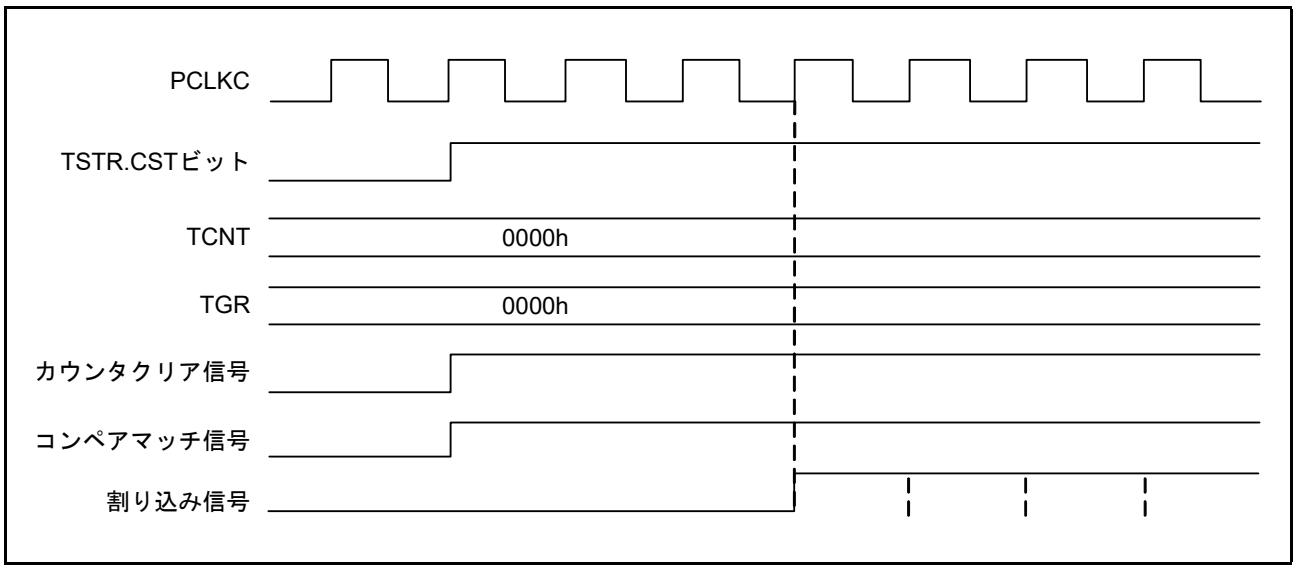


図 19.148　コンペアマッチによる割り込み信号の連続出力

19.6.28　相補 PWM モード／リセット同期 PWM モード使用時におけるポート設定の注意事項

相補 PWM モードまたはリセット同期 PWM モードを使用する場合、チャネル 3 + 4（MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D）とチャネル 6 + 7（MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIO7D）の 6 相 PWM に使用するポートは、**表 19.79** と**表 19.80** のグループで設定してください。

ポートの設定は「18.　マルチファンクションピンコントローラ（MPC）」を参照してください。

表19.79　チャネル3+4の出力端子

ポート グループ	指定ポート					
	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC4B	MTIOC4D
①（注1）	P16	P15	P14	P13	P12	P11
②（注2）	PA2	PA1	PA0	P77	P76	P75
③（注2）	PB7	PF6	PF5	P87	P86	PD7

表19.80　チャネル6+7の出力端子

ポート グループ	指定ポート					
	MTIOC6B	MTIOC6D	MTIOC7A	MTIOC7C	MTIOC7B	MTIOC7D
①（注1）	PS5	PS4	PS3	PS2	PS1	PS0
②（注3）	PA7	P70	PE7	P42	P22	PH6

注1.　本グループは320pin版のみ使用可能です。
注2.　本グループは320pin版、176pin版共に使用可能です。
注3.　本グループは320pin版、176pin版共に使用可能です。また、POE3による端子Hi-Z制御の対象外になります。

19.7　MTU 出力端子の初期化方法

19.7.1　動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（MTU0 ～ MTU4、MTU6 ～ MTU8）
- PWM モード 1（MTU0 ～ MTU4、MTU6、MTU7）
- PWM モード 2（MTU0 ～ MTU2）
- 位相計数モード 1 ～ 5（MTU1、MTU2）
- 相補 PWM モード（MTU3、MTU4、MTU6、MTU7）
- リセット同期 PWM モード（MTU3、MTU4、MTU6、MTU7）

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

19.7.2　動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D）は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3（POE3）を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を**表 19.81** に示します。

表 19.81　モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal：ノーマルモード
PWM1：PWM モード 1
PWM2：PWM モード 2
PCM：位相計数モード 1 ～ 5
CPWM：相補 PWM モード
RPWM：リセット同期 PWM モード

19.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ（TIOR）の設定で端子の出力レベルを選択するモード（Normal、PWM1、PWM2、PCM）に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB ／ MTIOCnD（n = 3、4、6、7）端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- PWM モード 2 では周期レジスタの端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- タイマアウトプットコントロールレジスタ（TOCR1A、TOCR2A、TOCR1B、TOCR2B）の設定で端子の出力レベルを選択するモード（CPWM、RPWM）に移行する場合は、タイマアウトプットマスタイネーブルレジスタ（TOERA、TOERB）で MTU3、MTU4（MTU6、MTU7）を 1 度出力禁止にしてください。このとき、該当端子を出力している他のモジュールがなければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順（TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定（TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定））にしたがい動作させてください。

注．　特に断りがない場合、本項記述中の n にはチャネル番号が入ります。

以下、表 19.81 の組み合わせ No. にしたがい端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1)　ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.149 に示します。

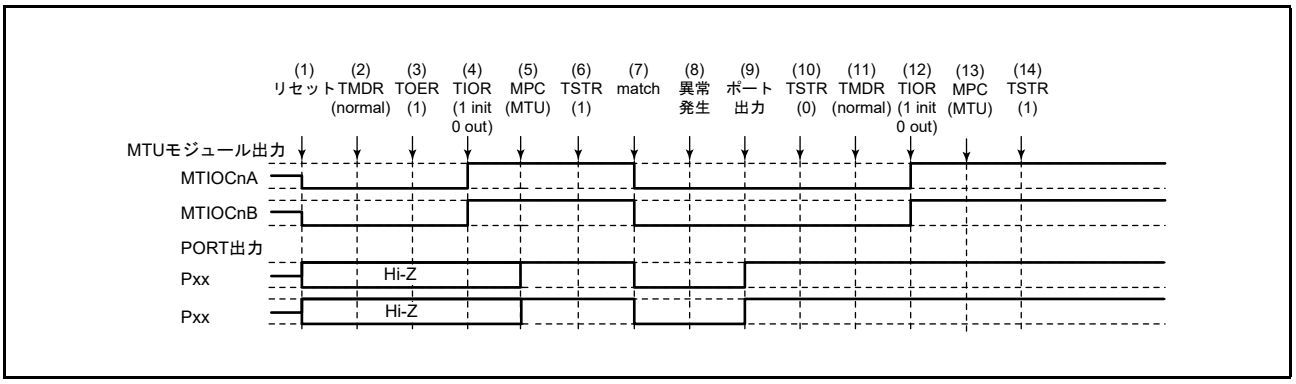


図 19.149　ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
(3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA レジスタでカウント動作を停止します。
(11) ノーマルモードで再スタートする場合は必要ありません。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

(2)　ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.150 に示します。

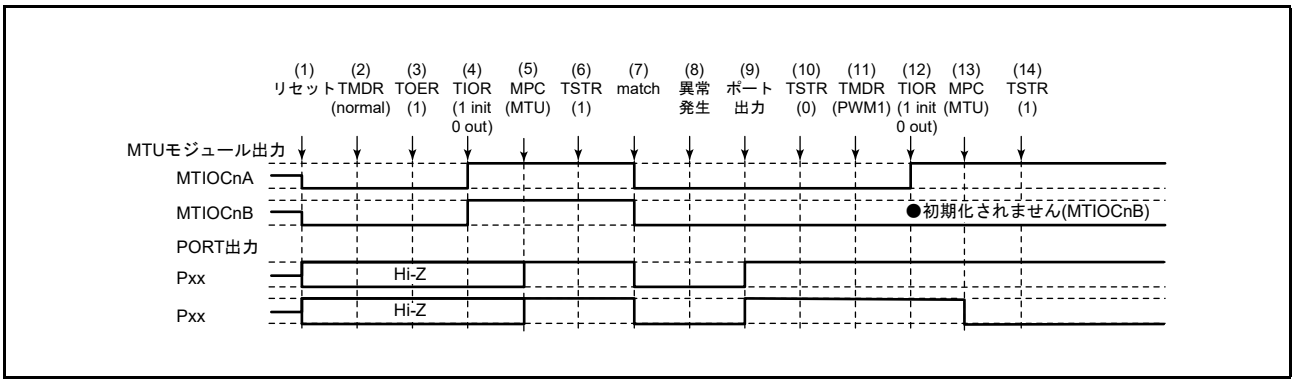


図 19.150　ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 19.149 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(3)　ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 19.151 に示します。

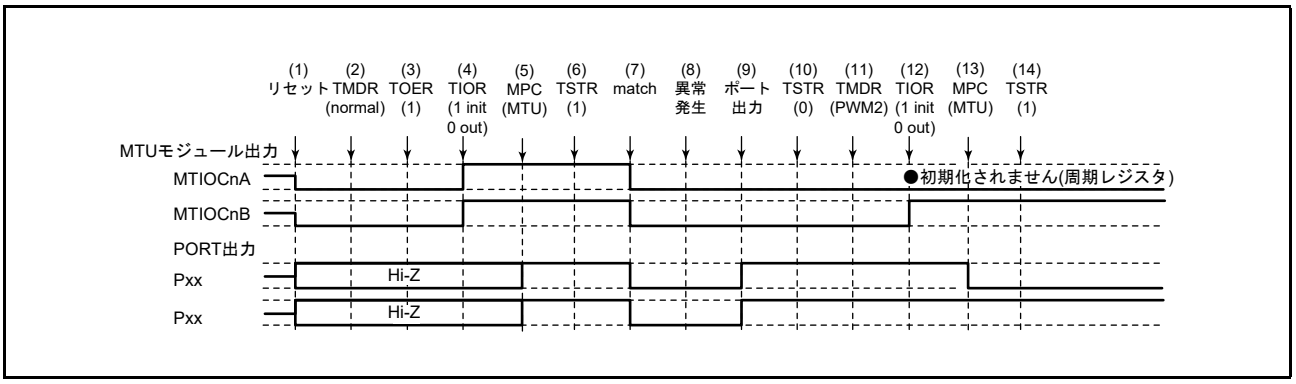


図 19.151　ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（10）は図 19.149 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　PWM モード 2 は MTU0 ～ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4)　ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.152 に示します。

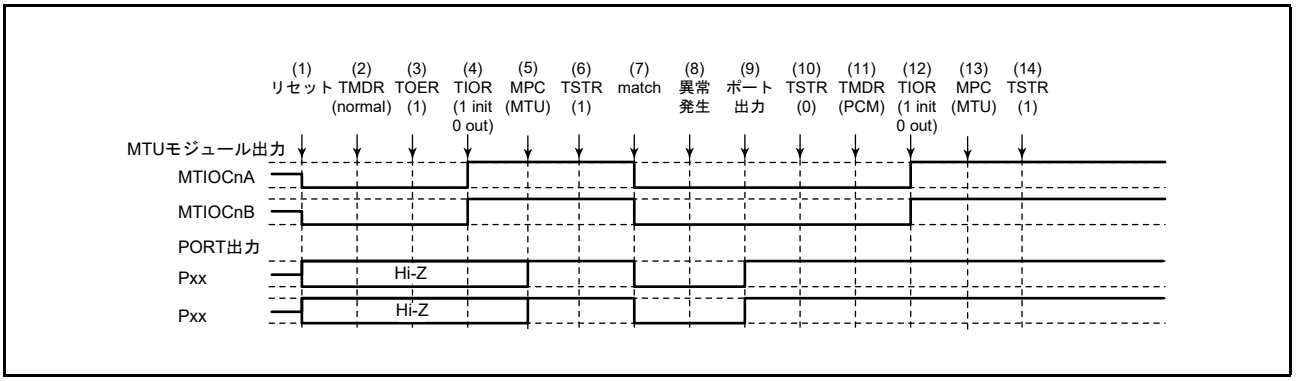


図 19.152　ノーマルモードで異常が発生し、位相計数モードで復帰する場合

（1）～（10）は図 19.149 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5)　ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.153 に示します。

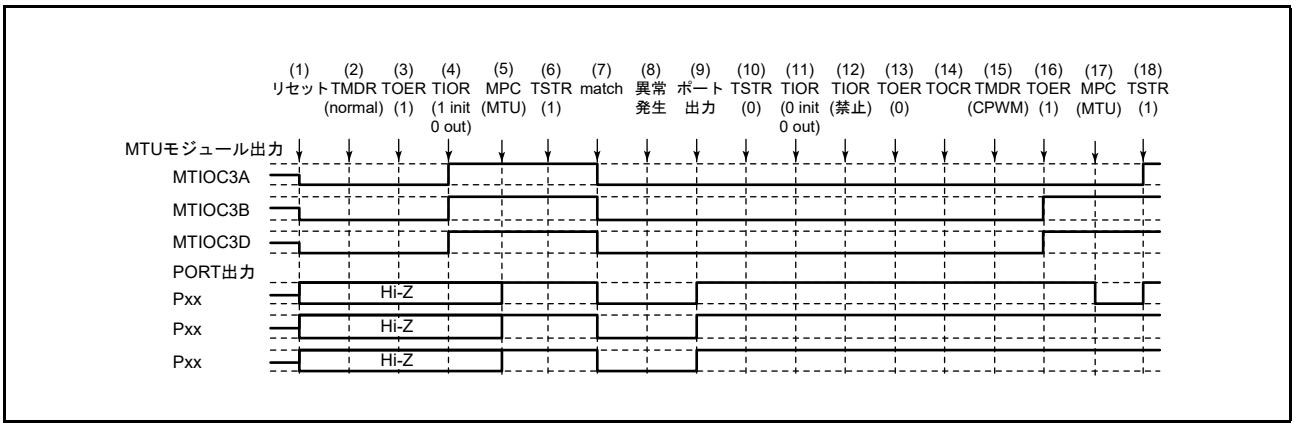


図 19.153　ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 19.149 と共通です。

(11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。

(12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。

(13) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(14) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(18) TSTRA レジスタで再スタートします。

(6)　ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を**図 19.154** に示します。

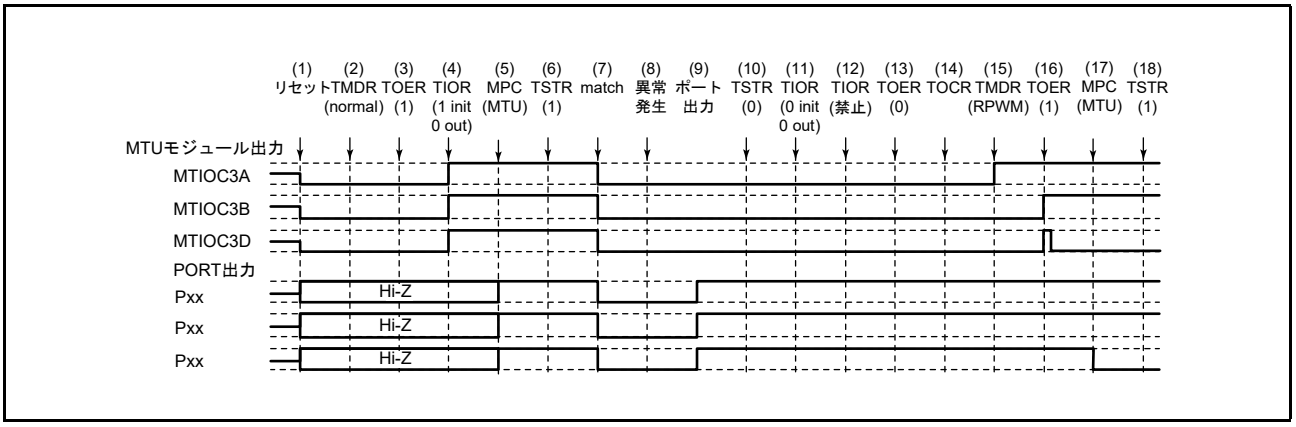


図 19.154　ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（13）は**図 19.149** と共通です。

(14) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(18) TSTRA レジスタで再スタートします。

(7)　PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.155 に示します。

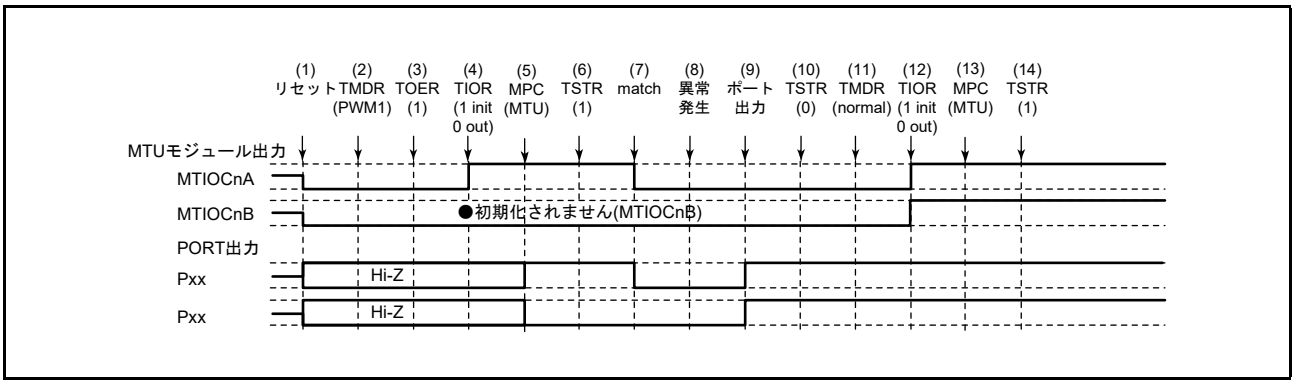


図 19.155　PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 1 を設定してください。
(3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA レジスタでカウント動作を停止します。
(11) ノーマルモードを設定してください。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

(8)　PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.156 に示します。

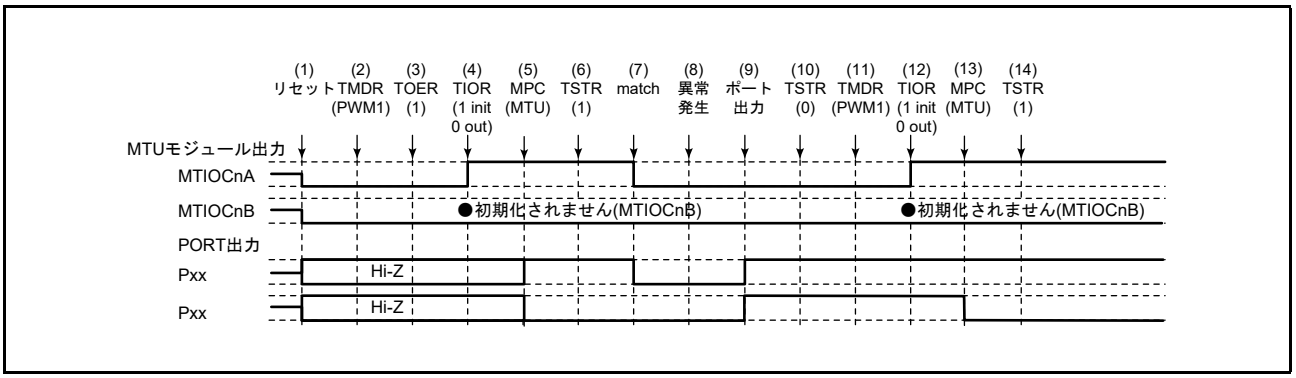


図 19.156　PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 19.155 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(9)　PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 19.157 に示します。

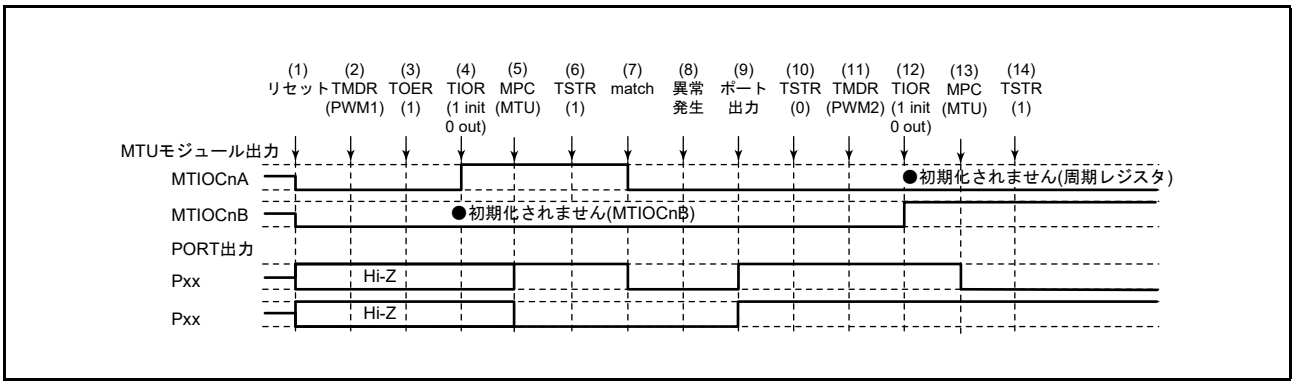


図 19.157　PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（10）は図 19.155 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　PWM モード 2 は MTU0 ～ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.158 に示します。

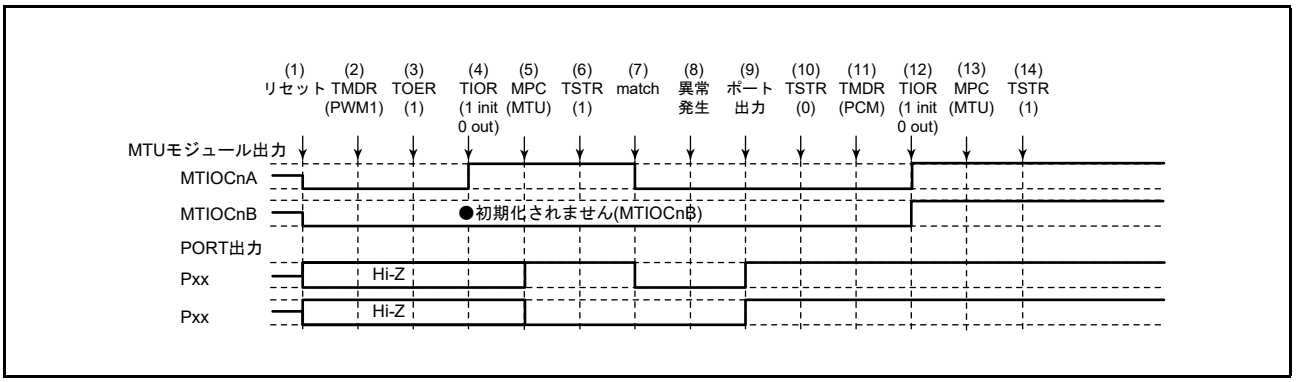


図 19.158　PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

（1）～（10）は図 19.155 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.159 に示します。

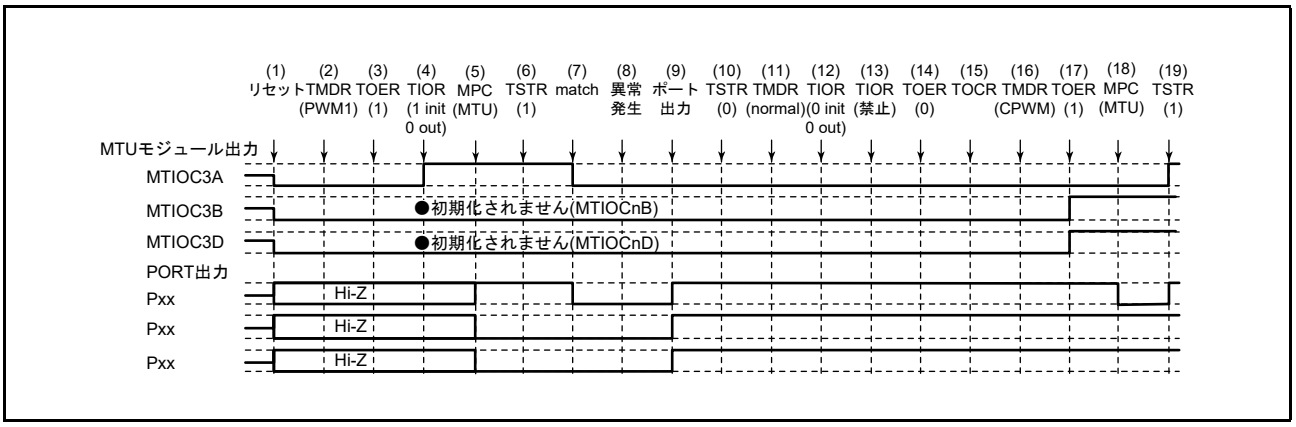


図 19.159　PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 19.155 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。

(13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください

(14) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(15) TOCR1A、TOCR2 レジスタ A で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(19) TSTRA レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 19.160 に示します。

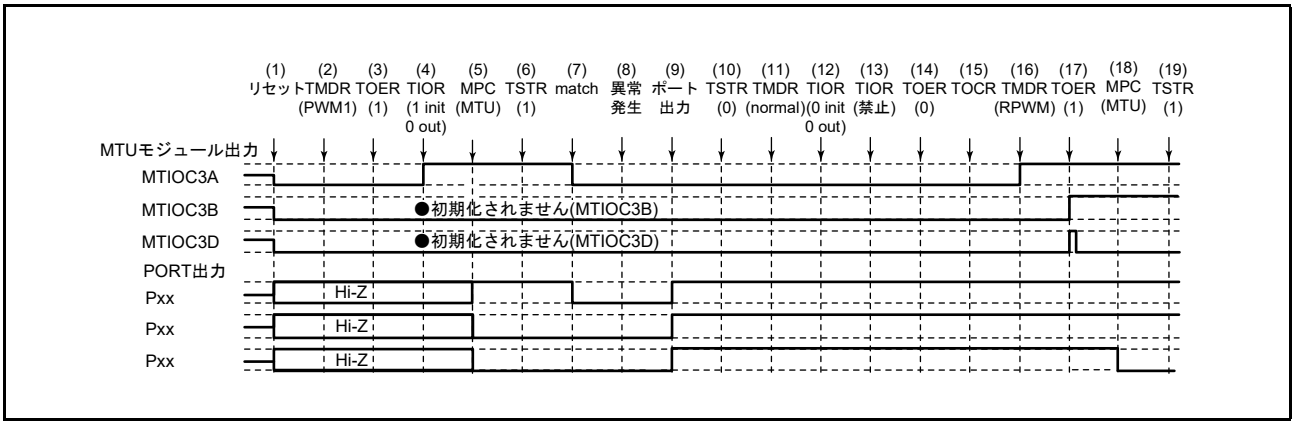


図 19.160　PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（14）は図 19.159 と共通です。

(15) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(19) TSTRA レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.161 に示します。

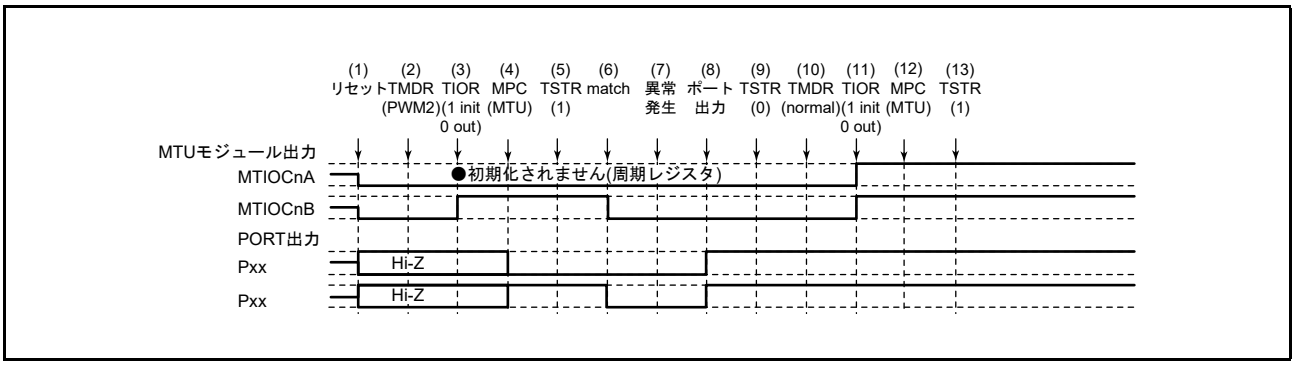


図 19.161　PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 2 を設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOCnA が周期レジスタの場合です）。
(4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードを設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.162 に示します。

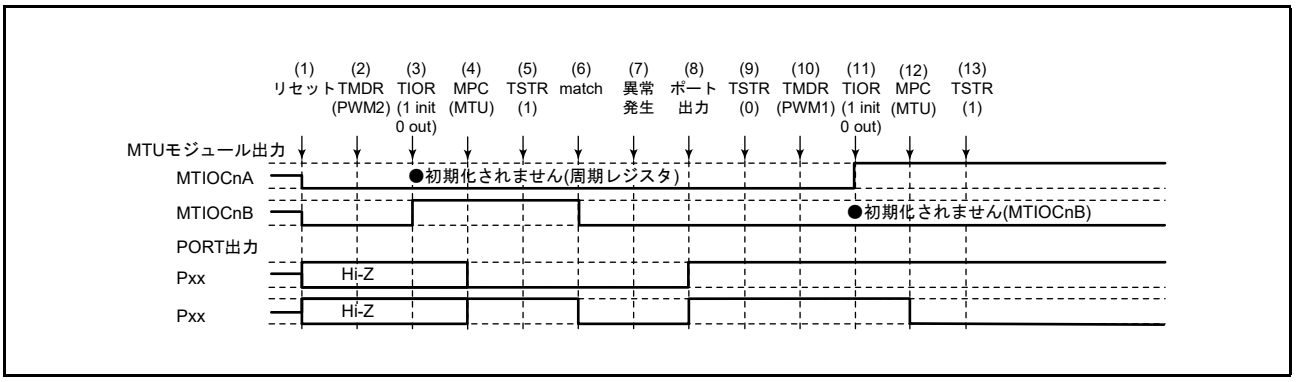


図 19.162　PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 19.161 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 19.163 に示します。

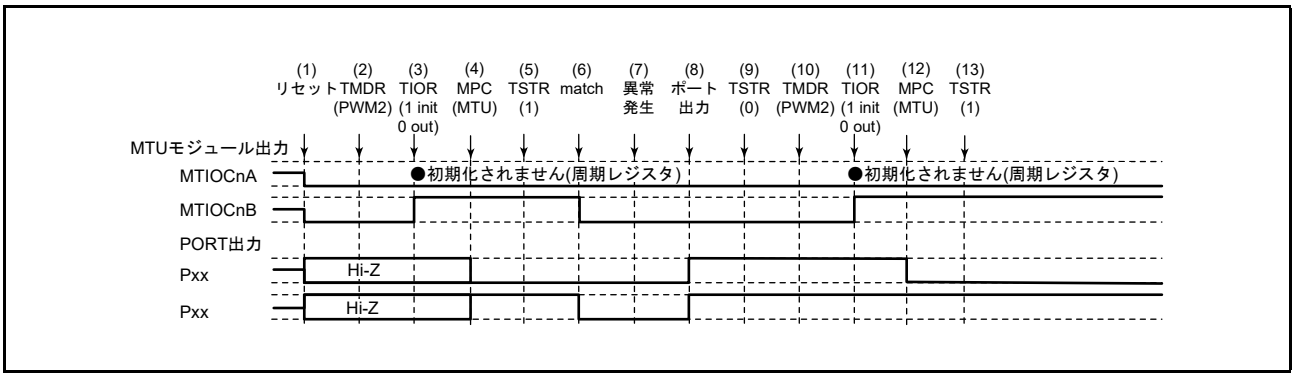


図 19.163　PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 19.161 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.164 に示します。

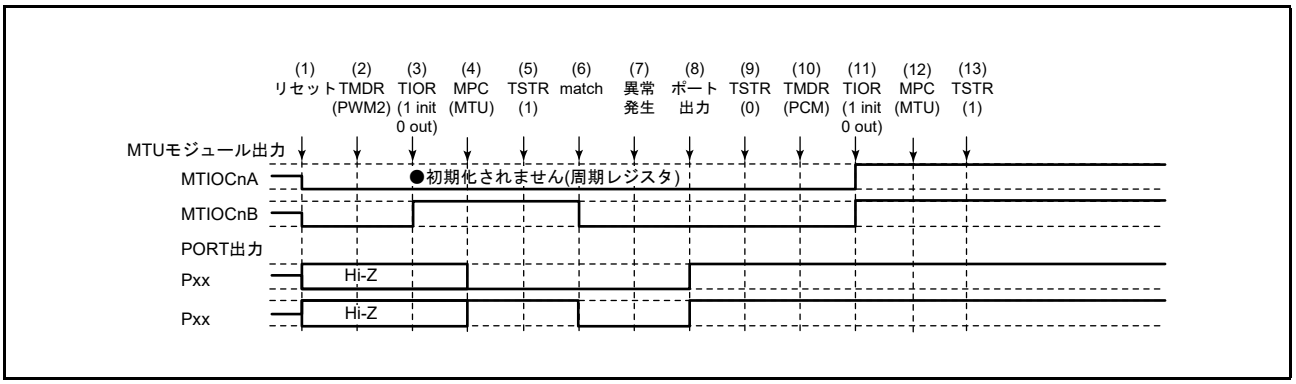


図 19.164　PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 19.161 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.165 に示します。

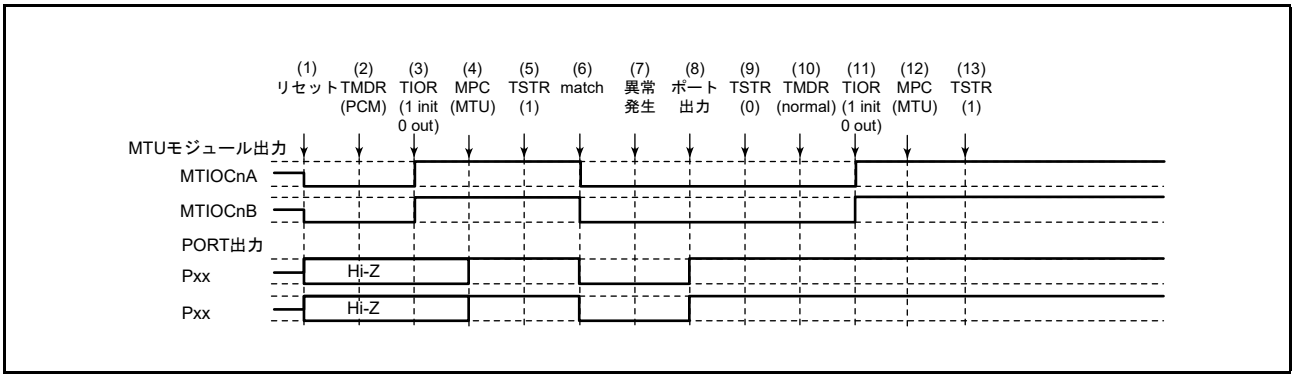


図 19.165　位相計数モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) 位相計数モードを設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードで設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.166 に示します。

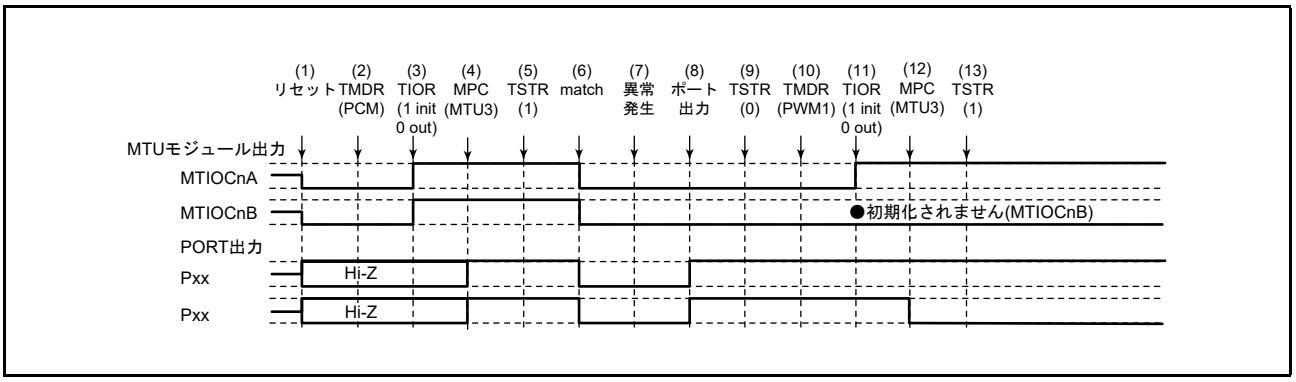


図 19.166　位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 19.165 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 19.167 に示します。

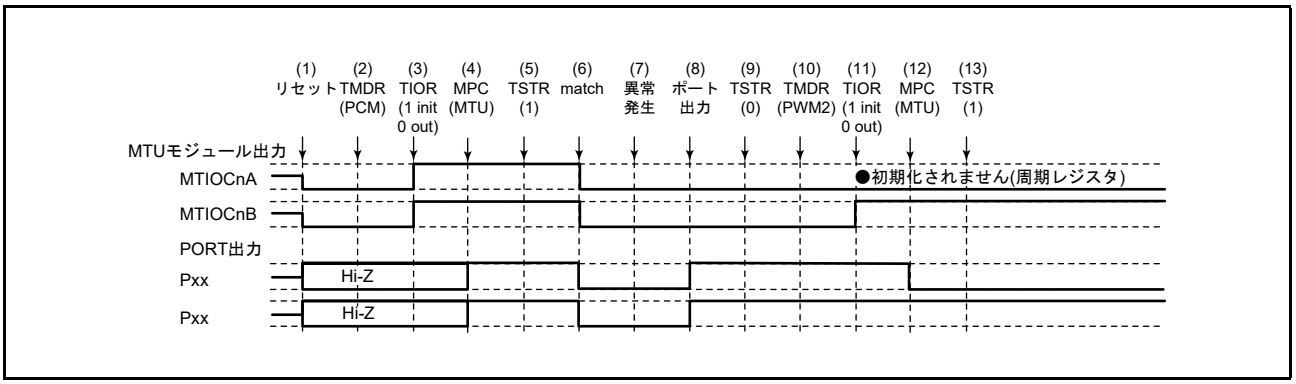


図 19.167　位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 19.165 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.168 に示します。

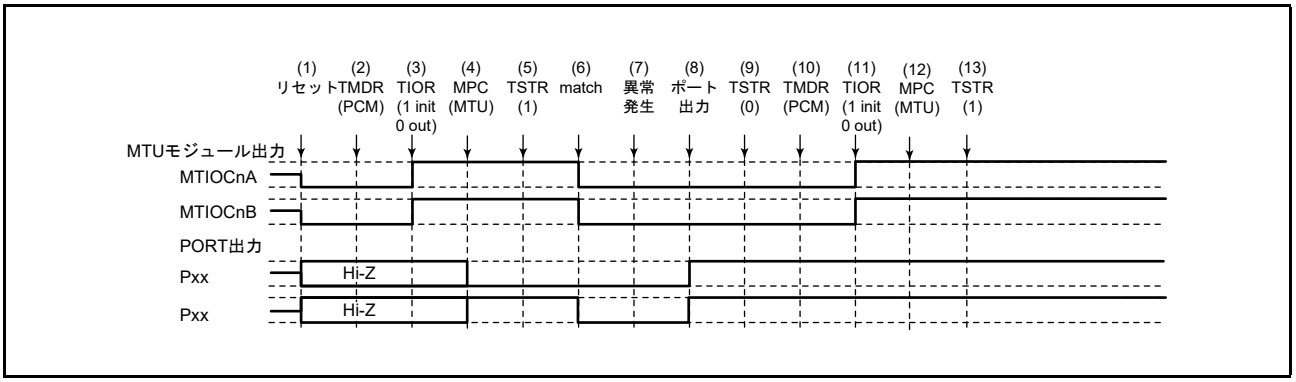


図 19.168　位相計数モードで異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 19.165 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.169 に示します。

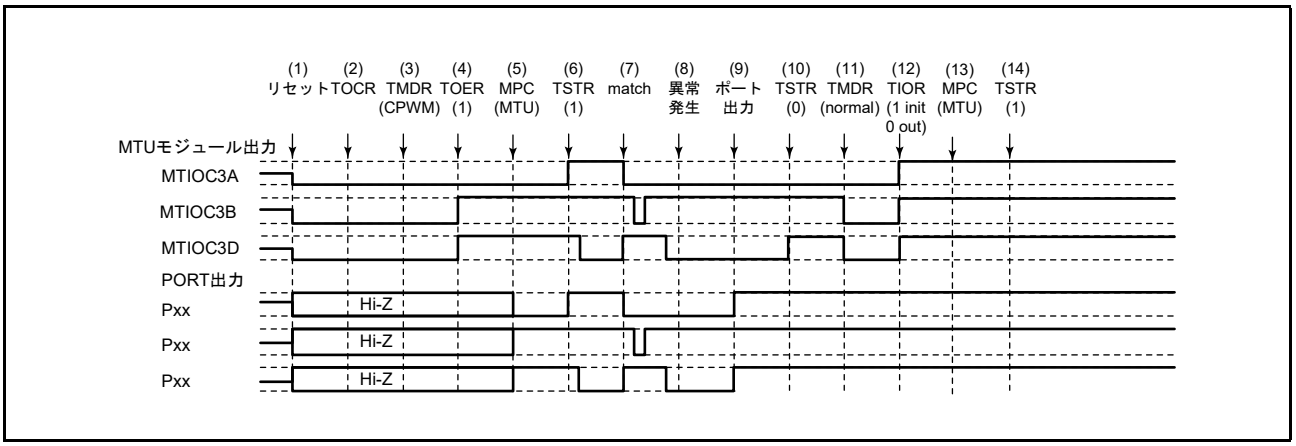


図 19.169　相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
(3) 相補 PWM を設定します。
(4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により相補 PWM 波形を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA レジスタでカウント動作を停止します（MTU 出力は相補 PWM 出力初期値となります）。
(11) ノーマルモードを設定してください（MTU 出力は Low となります）。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.170 に示します。

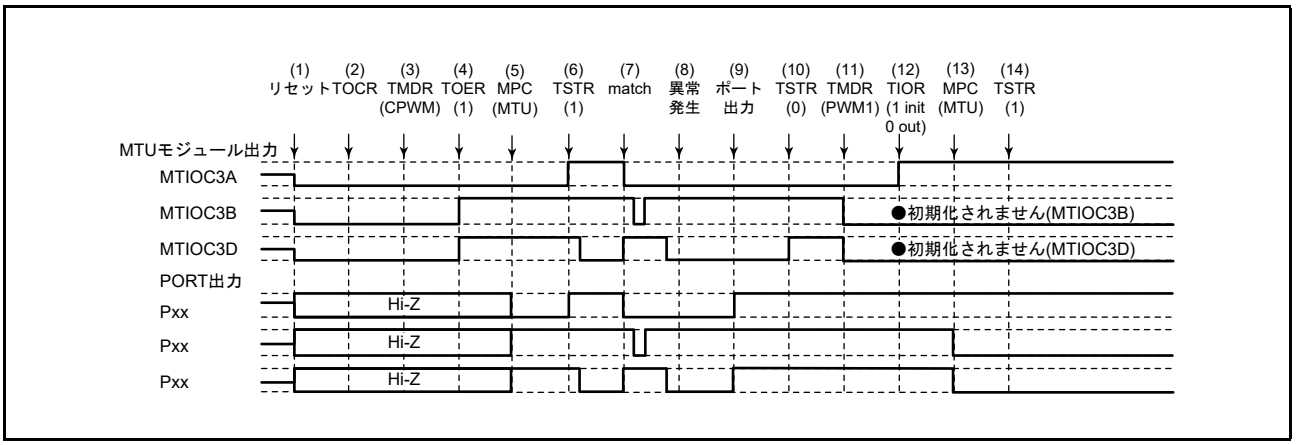


図 19.170　相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 19.169 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は Low となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.171 に示します（周期、デューティ設定をカウンタを止めたときの値から再スタートする場合）。

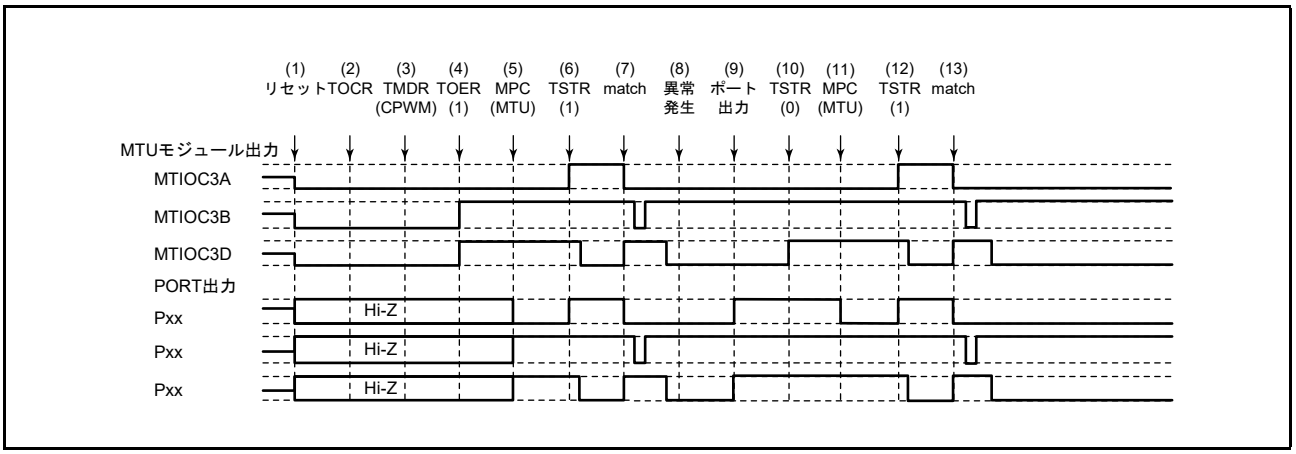


図 19.171　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合（1）

（1）～（10）は図 19.169 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.172 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

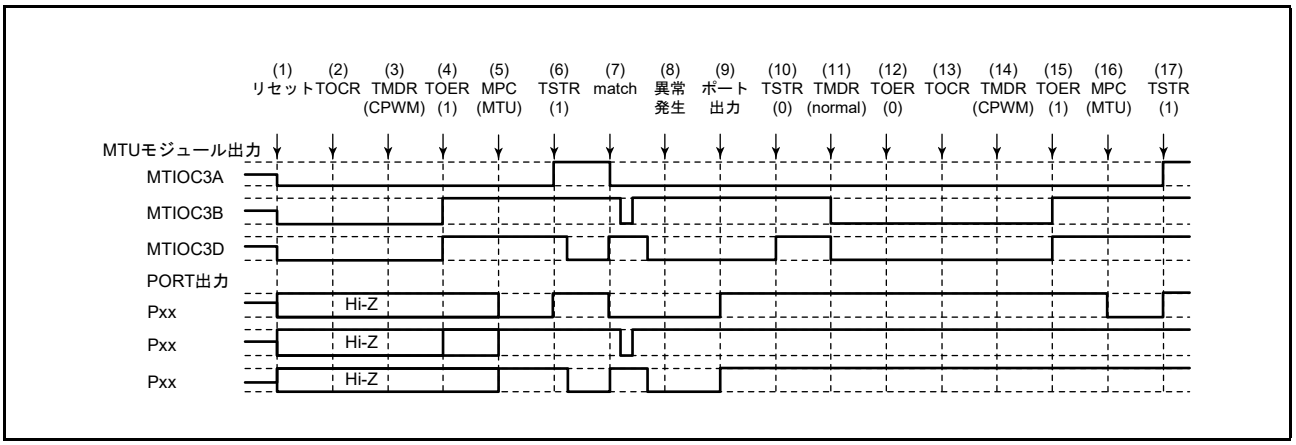


図 19.172　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合（2）

（1）～（10）は図 19.169 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR1A、TOCR2A レジスタで相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 19.173 に示します。

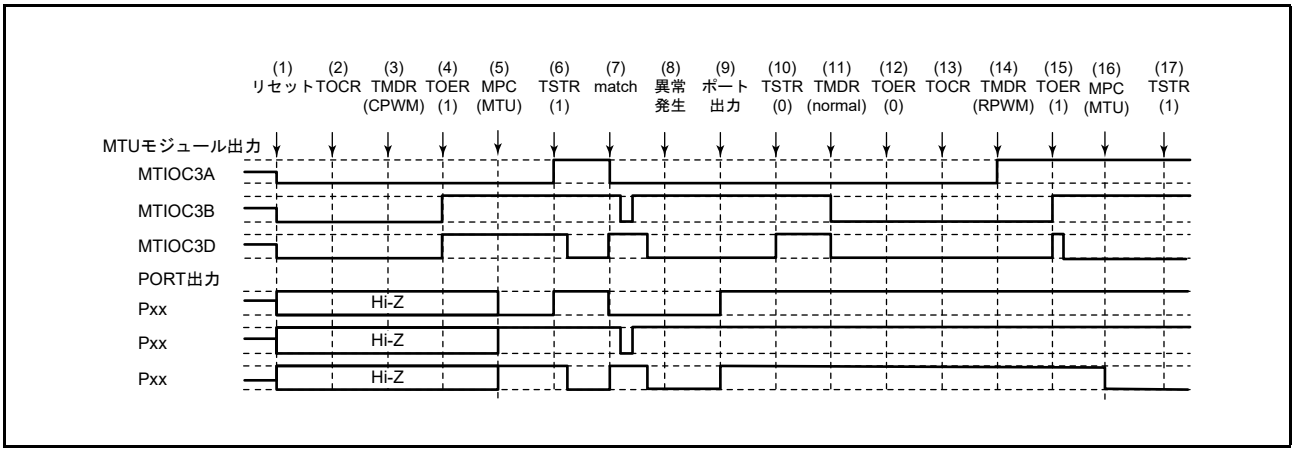


図 19.173　相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（10）は図 19.169 と共通です。

(11) ノーマルモードを設定してください（MTU 出力は Low となります）。

(12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR1A、TOCR2A レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を**図 19.174** に示します。

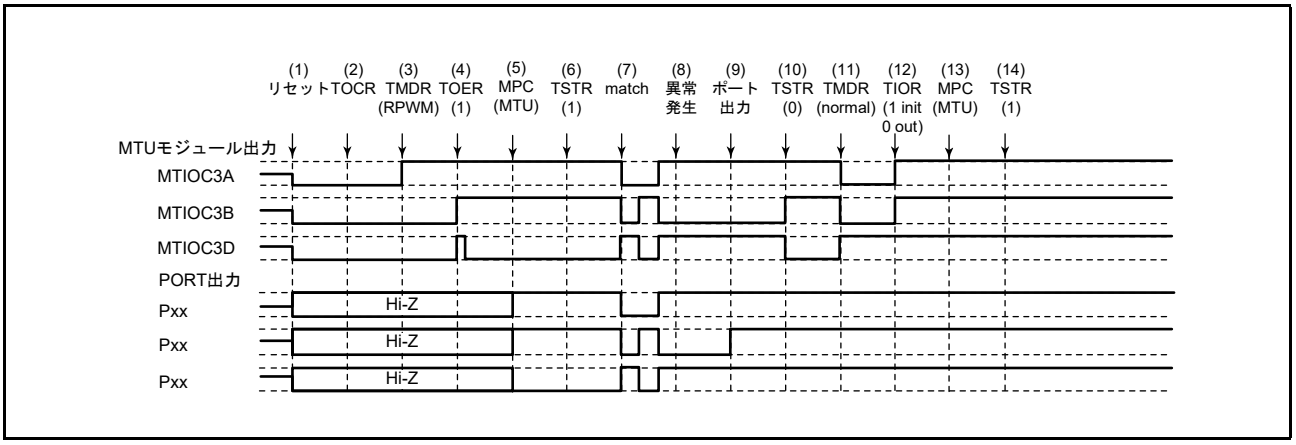


図 19.174　リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
(3) リセット同期 PWM を設定します。
(4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA レジスタでカウント動作を開始します。
(7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA レジスタでカウント動作を停止します（MTU 出力はリセット同期 PWM 出力初期値となります）。
(11) ノーマルモードを設定してください（MTU 出力は正相側が Low、逆相側が High となります）。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.175 に示します。

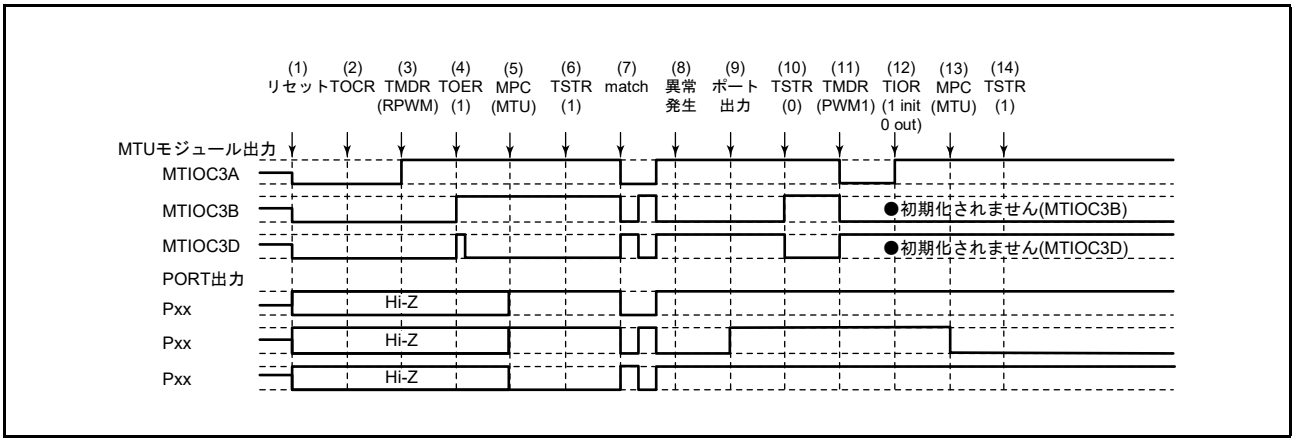


図 19.175　リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 19.174 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は正相側が Low、逆相側が High となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.176 に示します。

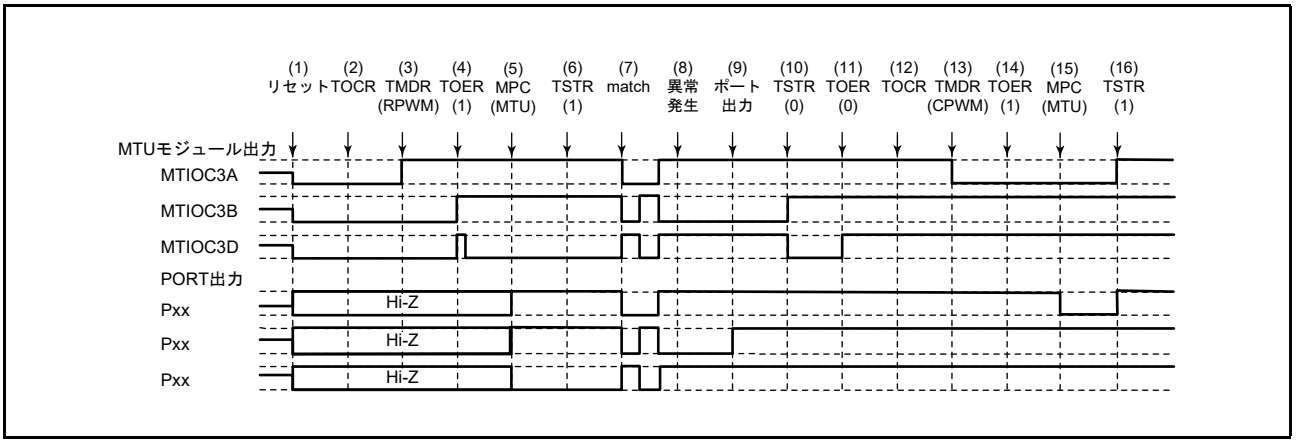


図 19.176　リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 19.174 と共通です。

(11) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(12) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(13) 相補 PWM を設定します（MTU の周期出力端子は Low になります）。

(14) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(15) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(16) TSTRA レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を**図 19.177** に示します。

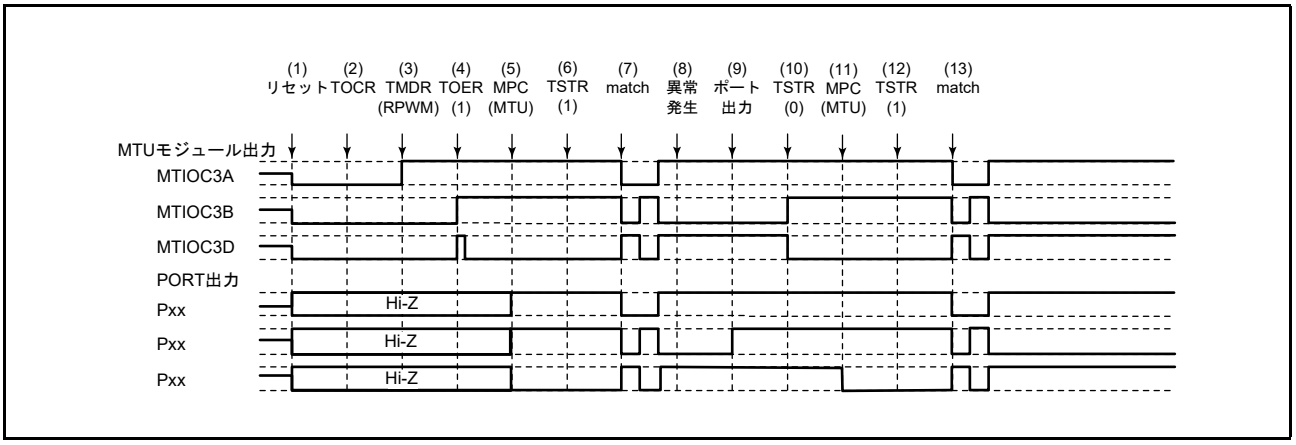


図 19.177　リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（10）は**図 19.174** と共通です。

(11) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

19.8　ELC によるリンク動作

19.8.1　ELC へのイベント信号出力

MTU はイベントリンクコントローラ（ELC）により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

19.8.2　ELC からのイベント信号受信によるアクション動作

MTU はイベントリンクコントローラ（ELC）の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1)　カウントスタート動作

ELC の ELOPA レジスタ、ELOPB レジスタで MTU のカウントスタート動作を選択します。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4 へ機能します。ELSRn レジスタで指定したイベントが発生すると、**表 19.82** に示した TSTR（タイマスタートレジスタ）の CSTn ビットが “1” にセットされ、MTU のカウントがスタートします。

ただし、TSTR（タイマスタートレジスタ）の CSTn ビットが “1” にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。各チャネルに対して使用する TSTR レジスタのビット名は**表 19.82** を参照してください。

表 19.82　ELC とリンク動作するタイマスタートレジスタ

チャネル番号	タイマスタートレジスタ
MTU0	TSTRA.CST0 ビット
MTU3	TSTRA.CST3 ビット
MTU4	TSTRA.CST4 ビット

(2)　インプットキャプチャ動作

ELC の ELOPA レジスタ、ELOPB レジスタで MTU のインプットキャプチャ動作を選択します。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4 へ対応します。ELSRn レジスタで指定したイベントが発生すると、TCNT（タイマカウンタレジスタ）の値を TGR（タイマジェネラルレジスタ）へキャプチャします。イベントリンクによるインプットキャプチャ動作を使用する場合は、MTU の TIOR（タイマ I/O コントロールレジスタ）のビットをインプットキャプチャに設定し、TSTR（タイマスタートレジスタ）の CSTn ビットを “1” にセットしカウンタをスタートさせてください。

このとき TIOCnA 端子（インプットキャプチャ端子）の入力は無効となります。

各チャネルに対して使用する TGR レジスタ、TIOR レジスタのビット名は**表 19.83** を参照してください。

表 19.83　ELC のインプットキャプチャ動作で使用するレジスタの対応

チャネル番号	タイマジェネラルレジスタ	タイマ I/O コントロールレジスタのビット名
MTU0	MTU0.TGRA	MTU0.TIORH.IOA[3:0] ビット
MTU3	MTU3.TGRA	MTU3.TIORH.IOA[3:0] ビット
MTU4	MTU4.TGRA	MTU4.TIORH.IOA[3:0] ビット

(3)　カウントクリア動作

ELC の ELOPA レジスタ、ELOPB レジスタで MTU のカウントクリア動作を選択します。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4 へ対応します。このとき ELSRn レジスタで指定したイベントが発生すると、TCNT（タイマカウンタレジスタ）の値が初期値に書き換わります。TSTR レジスタの CSTn ビットが “1” にセットしていればカウント動作を継続しカウントリスタート動作をすることができます。対応する TSTR レジスタの CSTn ビットは**表 19.82** を参照してください。

19.8.3　ELC からのイベント信号受信によるアクション動作の注意事項

MTU をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1)　カウントスタート動作

TSTRA ／ TSTRB（タイマスタートレジスタ）の CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTRA ／ TSTRB レジスタの CSTn ビットへの書き込みサイクルは行われず、イベント発生による “1” セットが優先されます。

(2)　カウントクリア動作

TCNT（タイマカウンタレジスタ）へのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT への書き込みサイクルは行われず、イベント発生によるカウント値の初期化が優先されます。

また、MTU3、MTU4 の相補 PWM モードを使用する場合、ELC によるカウンタクリア動作は使用しないでください。

20.　ポートアウトプットイネーブル 3（POE3）

ポートアウトプットイネーブル 3（POE3）は、MTU3a の出力端子および GPT の出力端子を各種条件でハイインピーダンス状態にすることができます。

20.1　概要

表 20.1 に POE3 の仕様を、**図 20.1** に POE3 のブロック図を示します。

表20.1　POE3の仕様

<table>
<tr><th>項目</th><th>内容</th></tr>
<tr><td>ハイインピーダンス対象端子</td><td>• MTU3aの出力端子
MTU0端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）
MTU3端子（MTIOC3B、MTIOC3D）
MTU4端子（MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D）
MTU6端子（MTIOC6B、MTIOC6D）
MTU7端子（MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D）
• GPTの出力端子
GPT0端子 （GTIOC0A、GTIOC0B）
GPT1端子 （GTIOC1A、GTIOC1B）
GPT2端子 （GTIOC2A、GTIOC2B）
GPT3端子 （GTIOC3A、GTIOC3B）</td></tr>
<tr><td>ハイインピーダンス発生条件</td><td>• 入力端子の変化
POE0#、POE4#、POE8#、POE10＃端子が入力されたとき（立ち下がりエッジまたはLowサンプリング）
• 出力端子の短絡
以下の組み合わせの出力信号レベル（アクティブレベル）が1サイクル以上一致（短絡）したとき
<table><tr><th></th><th>MTU相補PWM出力端子</th></tr><tr><td>1</td><td>MTIOC3B と MTIOC3D</td></tr><tr><td>2</td><td>MTIOC4A と MTIOC4C</td></tr><tr><td>3</td><td>MTIOC4B と MTIOC4D</td></tr><tr><td>4</td><td>MTIOC6B と MTIOC6D</td></tr><tr><td>5</td><td>MTIOC7A と MTIOC7C</td></tr><tr><td>6</td><td>MTIOC7B と MTIOC7D</td></tr></table><table><tr><th></th><th>GPT出力端子</th></tr><tr><td>1</td><td>GTIOC0A と GTIOC0B</td></tr><tr><td>2</td><td>GTIOC1A と GTIOC1B</td></tr><tr><td>3</td><td>GTIOC2A と GTIOC2B</td></tr></table>• SPOERレジスタ設定をしたとき
• クロック発生回路の発振停止、または発振異常（CLMA0/1）を検出したとき</td></tr>
<tr><td>機能</td><td>• POE0#、POE4#、POE8#、POE10#の各入力端子に立ち下がりエッジ、PCLKD／4 × 16回、PCLKD／16 × 16回、PCLKD／128 × 16回のLowサンプリングの設定が可能です。
• POE0#、POE4#、POE8#、POE10#端子の立ち下がりエッジ、またはLowサンプリングによって、MTU相補PWM出力端子およびMTU0端子、GPT0～3出力端子をハイインピーダンス状態にできます。
• クロック発生回路の発振停止、または発振異常（CLMA0/1）を検出した場合、MTU相補PWM出力端子およびMTU0端子、GPT0～3出力端子をハイインピーダンス状態にできます。
• MTU相補PWM出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子またはGPT0～2出力端子をハイインピーダンス状態にできます。
• POE3のSPOERレジスタの設定により、MTU相補PWM出力端子およびMTU0端子、GPT0～3出力端子をハイインピーダンス状態にできます。
• 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。</td></tr>
</table>

POE3 は図 20.1 のブロック図に示すように、入力レベル検出回路、端子選択回路、出力レベル比較回路、およびハイインピーダンス要求／割り込み要求生成回路から構成されます。

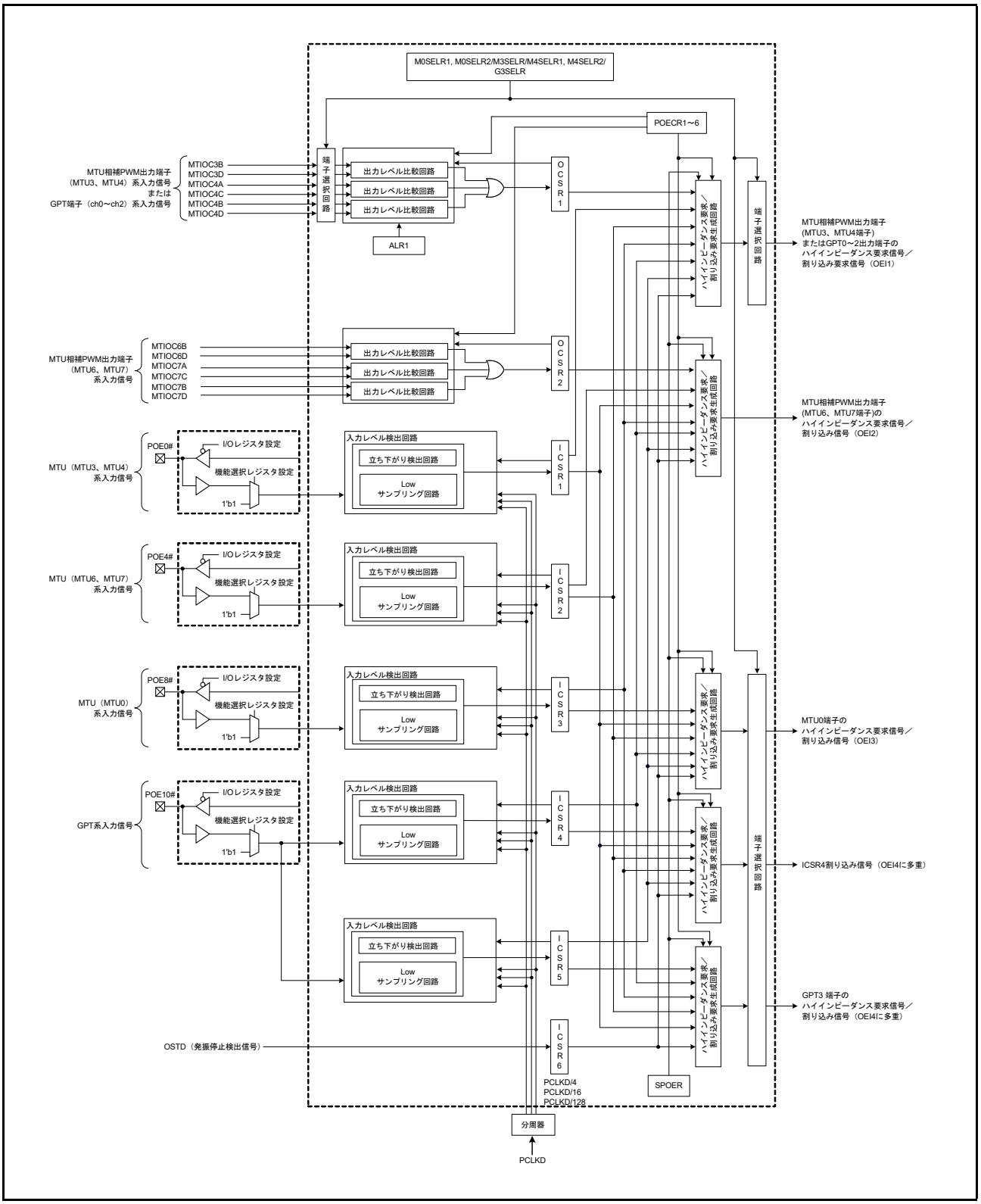


図 20.1　　POE3 のブロック図

表 20.2 に POE3 で使用する入出力端子を示します。

表20.2　POE3の入出力端子

端子名	入出力	機能
POE0#	入力	MTU相補PWM出力端子（MTU3、MTU4端子）をハイインピーダンス状態にする要求信号の入力端子です。レジスタの設定によってMTU0端子、MTU6、MTU7端子、GPT0～3端子もハイインピーダンス状態にできます。
POE4#	入力	MTU相補PWM出力端子（MTU6、MTU7端子）をハイインピーダンス状態にする要求信号の入力端子です。レジスタの設定によってMTU0端子、MTU3、MTU4端子、GPT0～3端子もハイインピーダンス状態にできます。
POE8#	入力	MTU0の端子をハイインピーダンス状態にする要求信号の入力端子です。レジスタの設定によってMTU相補PWM出力端子（MTU3、MTU4端子またはMTU6、MTU7端子）、GPT0～3端子もハイインピーダンス状態にできます。
POE10#	入力	GPT3の端子をハイインピーダンス状態にする要求信号の入力端子です。レジスタの設定によってMTU相補PWM出力端子（MTU3、MTU4端子またはMTU6、MTU7端子）、MTU0端子、GPT0～2端子もハイインピーダンス状態にできます。

表 20.3 に示す端子の組み合わせで出力レベルの比較を行います。

表20.3　端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺クロック（PCLKD）1サイクル以上同時にアクティブレベル出力（注1）が続いた場合、M3SELR／M4SELR1／M4SELR2レジスタで設定したMTU相補PWM出力端子（MTU3、MTU4端子）をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます。 注.　M3SELR, M4SELR1, M4SELR2で選択した端子がMTU3aかGPTかはMPC側で設定します。 注1.　MTUn.TOCR1A.TOCSビットが“0”のときに、MTUn.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTUn.TOCR1A.TOCSビットが“1”のときに、MTUn.TOCR2A.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	
MTIOC6BとMTIOC6D	出力	周辺クロック（PCLKD）1サイクル以上同時にアクティブレベル出力（注1）が続いた場合、MTU相補PWM出力端子（MTU6、MTU7端子）をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます。 注1.　MTUn.TOCR1B.TOCSビットが“0”のときに、MTUn.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTUn.TOCR1B.TOCSビットが“1”のときに、MTUn.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力
MTIOC7AとMTIOC7C	出力	
MTIOC7BとMTIOC7D	出力	
GTIOC0AとGTIOC0B	出力	周辺クロック（PCLKD）1サイクル以上同時にアクティブレベル出力（ALR1.OLSG2B, OLSG2A, OLSG1B, OLSG1A, OLSG0B, OLSG0Aビットが“0”の場合はLow出力、“1”の場合はHigh出力）が続いた場合、M3SELR／M4SELR1／M4SELR2レジスタで設定したGPT出力端子（GPT0～GPT2端子）をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます。 注　M3SELR, M4SELR1, M4SELR2で選択した端子がMTU3aかGPTかはMPC側で設定します。
GTIOC1AとGTIOC1B	出力	
GTIOC2AとGTIOC2B	出力	

20.2　レジスタの説明

POE3 のレジスタは、リセットで初期化されます。

20.2.1　入力レベルコントロール／ステータスレジスタ 1（ICSR1）

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス　A008 0800h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE0F	—	—	—	PIE1	—	—	—	—	—	—	POE0M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 ００：POE0#入力の立ち下がりエッジで要求を受け付け ０１：POE0#入力のLowをPCLKD／4クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け １０：POE0#入力のLowをPCLKD／16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け １１：POE0#入力のLowをPCLKD／128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W （注1）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	PIE1	ポート割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	POE0F	POE0フラグ	0：POE0#端子にハイインピーダンス要求なし 1：POE0#端子にハイインピーダンス要求あり	R/(W) （注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

POE0M[1:0] ビット（POE0 モード選択ビット）

POE0# 端子の入力モードを選択します。

PIE1 ビット（ポート割り込み許可 1 ビット）

POE0F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ（POE0 フラグ）

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

20.2.2　入力レベルコントロール／ステータスレジスタ 2（ICSR2）

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス　A008 0804h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE4F	—	—	—	PIE2	—	—	—	—	—	—	POE4M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE4M[1:0]	POE4 モード選択ビット	b1 b0 0 0：POE4# 入力の立ち下がりエッジで要求を受け付け 0 1：POE4# 入力の Low を PCLKD／4 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE4# 入力の Low を PCLKD／16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE4# 入力の Low を PCLKD／128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	R/W （注 1）
b7-b2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W
b8	PIE2	ポート割り込み許可 2 ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W
b12	POE4F	POE4 フラグ	0：POE4# 端子にハイインピーダンス要求なし 1：POE4# 端子にハイインピーダンス要求あり	R/(W) （注 2）
b15-b13	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注 2.　フラグを “0” にするため、“1” を読んだ後、“0” を書き込むことのみ可能です。

POE4M[1:0] ビット（POE4 モード選択ビット）

POE4# 端子の入力モードを選択します。

PIE2 ビット（ポート割り込み許可 2 ビット）

POE4F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ（POE4 フラグ）

POE4# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

20.2.3　入力レベルコントロール／ステータスレジスタ 3（ICSR3）

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス　A008 0808h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE3	—	—	—	—	—	—	POE8M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0：POE8#入力の立ち下がりエッジで要求を受け付け 0 1：POE8#入力のLowをPCLKD／4クロックごとに16 回サンプリングし、すべてLowだった場合、要求を受け付け 1 0：POE8#入力のLowをPCLKD／16クロックごとに16 回サンプリングし、すべてLowだった場合、要求を受け付け 1 1:POE8#入力のLowをPCLKD／128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W （注1）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	PIE3	ポート割り込み許可3ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	POE8F	POE8フラグ	0：POE8#端子にハイインピーダンス要求なし 1：POE8#端子にハイインピーダンス要求あり	R/(W) （注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

POE8M[1:0] ビット（POE8 モード選択ビット）

POE8# 端子の入力モードを選択します。

PIE3 ビット（ポート割り込み許可 3 ビット）

POE8F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット（POE8 ハイインピーダンス許可ビット）

POE8F フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ（POE8 フラグ）

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

20.2.4　入力レベルコントロール／ステータスレジスタ 4（ICSR4）

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス　A008 0816h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE10F	—	—	POE10E	PIE4	—	—	—	—	—	—	POE10M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 0 0：POE10#入力の立ち下がりエッジで要求を受け付け 0 1：POE10#入力のLowをPCLKD／4クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0：POE10#入力のLowをPCLKD／16クロックごとに16 回サンプリングし、すべてLowだった場合、要求を受け付け 1 1：POE10#入力のLowをPCLKD／128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W （注1）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	PIE4	ポート割り込み許可4ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE10E	POE10ハイインピーダンス許可ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	POE10F	POE10フラグ	0：POE10#端子にハイインピーダンス要求なし 1：POE10#端子にハイインピーダンス要求あり	R/(W) （注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

POE10M[1:0] ビット（POE10 モード選択ビット）

POE10# 端子の入力モードを選択します。

PIE4 ビット（ポート割り込み許可 4 ビット）

POE10F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット（POE10 ハイインピーダンス許可ビット）

POE10F フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE10F フラグ（POE10 フラグ）

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

20.2.5　入力レベルコントロール／ステータスレジスタ 5（ICSR5）

ICSR5 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示します。

アドレス　A008 0818h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE10F	—	—	POE10E	PIE5	—	—	—	—	—	—	POE10M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　ICSR5 レジスタには、ICSR4 レジスタの設定値と同じ値を設定してください。

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 0 0：POE10#入力の立ち下がりエッジで要求を受け付け 0 1：POE10#入力のLowをPCLKD／4クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0：POE10#入力のLowをPCLKD／16クロックごとに16 回サンプリングし、すべてLowだった場合、要求を受け付け 1 1：POE10#入力のLowをPCLKD／128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W （注1）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	PIE5	ポート割り込み許可5ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE10E	POE10ハイインピーダンス許可ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	POE10F	POE10フラグ	0：POE10#端子にハイインピーダンス要求なし 1：POE10#端子にハイインピーダンス要求あり	R/(W) （注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

POE10M[1:0] ビット（POE10 モード選択ビット）

POE10# 端子の入力モードを選択します。

PIE5 ビット（ポート割り込み許可 5 ビット）

POE10F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット（POE10 ハイインピーダンス許可ビット）

POE10F フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。
割り込み出力は、OEI4 に多重されます。

POE10F フラグ（POE10 フラグ）

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

20.2.6　入力レベルコントロール／ステータスレジスタ 6（ICSR6）

ICSR6 レジスタは、発振停止時、または発振異常（CLMA0/1）時の制御、およびステータスを示すレジスタです。

アドレス　A008 081Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTSTF	—	—	OSTSTE	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0：MTU相補PWM出力端子、MTU0端子およびGPT端子をハイインピーダンスにしない 1：MTU相補PWM出力端子、MTU0端子およびGPT端子をハイインピーダンスにする	R/W（注1）
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0：発振停止、または発振異常（CLMA0/1）によるハイインピーダンス要求なし 1：発振停止、または発振異常（CLMA0/1）によるハイインピーダンス要求あり	R/W（注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OSTSTE ビット（OSTST ハイインピーダンス許可ビット）

発振停止検出時、または PLL の発振異常（CLMA0/1）検出時に MTU 相補 PWM 出力端子、MTU0 端子および GPT0 ～ 3 端子をハイインピーダンスにするかしないかを設定します。

OSTSTF フラグ（OSTST ハイインピーダンスフラグ）

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。

発振停止状態になると “1” になります。フラグをクリアするときは、PLL の発信停止／発信異常検出信号がネゲート状態のときに “0” を書いてください。発振停止／発振異常検出信号がアサート中に OSTSTF フラグに “0” を書いても “0” になりません。OSTSTF フラグをクリアした後は “0” になったことを確認してください。

[“1” になる条件]

- 発振停止状態を検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

20.2.7　出力レベルコントロール／ステータスレジスタ 1（OCSR1）

OCSR1 レジスタは、出力レベルの比較許可／禁止、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス　A008 0802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) （注2）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OIE1 ビット（出力短絡割り込み許可 1 ビット）

OSF1 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット（出力短絡ハイインピーダンス許可 1 ビット）

OSF1 フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ（出力短絡フラグ 1）

MTU 相補 PWM 出力端子（MTU3、MTU4 端子）または GPT 出力端子（GPT0 ～ GPT2 端子）の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“1” になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

20.2.8　出力レベルコントロール／ステータスレジスタ 2（OCSR2）

OCSR2 レジスタは、出力レベルの比較許可／禁止、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス　A008 0806h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE2	出力短絡ハイインピーダンス許可2ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	OSF2	出力短絡フラグ2	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) （注2）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OIE2 ビット（出力短絡割り込み許可 2 ビット）

OSF2 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット（出力短絡ハイインピーダンス許可 2 ビット）

OSF2 フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF2 フラグ（出力短絡フラグ 2）

MTU 相補 PWM 出力端子（MTU6、MTU7 端子）の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“1” になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

20.2.9　アクティブレベルレジスタ 1（ALR1）

ALR1 レジスタは、MPC（マルチファンクションピンコントローラ）で選択した MTU 出力または GPT 出力の短絡を、OCSR1 レジスタで検出する場合のアクティブレベルを設定するレジスタです。

アドレス　A008 081Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B/GTIOC0Aアクティブレベル設定ビット	0：Lowアクティブ 1：Highアクティブ	R/W （注1）
b1	OLSG0B	MTIOC3D/GTIOC0Bアクティブレベル設定ビット	0：Lowアクティブ 1：Highアクティブ	R/W （注1）
b2	OLSG1A	MTIOC4A/GTIOC1Aアクティブレベル設定ビット	0：Lowアクティブ 1：Highアクティブ	R/W （注1）
b3	OLSG1B	MTIOC4C/GTIOC1Bアクティブレベル設定ビット	0：Lowアクティブ 1：Highアクティブ	R/W （注1）
b4	OLSG2A	MTIOC4B/GTIOC2Aアクティブレベル設定ビット	0：Lowアクティブ 1：Highアクティブ	R/W （注1）
b5	OLSG2B	MTIOC4D/GTIOC2Bアクティブレベル設定ビット	0：Lowアクティブ 1：Highアクティブ	R/W （注1）
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W （注1）
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、ライトしてもレジスタ値は書き換わりません。

OLSG0A ビット（MTIOC3B/GTIOC0A アクティブレベル設定ビット）

MTIOC3B/GTIOC0A 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット（MTIOC3D/GTIOC0B アクティブレベル設定ビット）

MTIOC3D/GTIOC0B 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット（MTIOC4A/GTIOC1A アクティブレベル設定ビット）

MTIOC4A/GTIOC1A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット（MTIOC4C/GTIOC1B アクティブレベル設定ビット）

MTIOC4C/GTIOC1B 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット（MTIOC4B/GTIOC2A アクティブレベル設定ビット）

MTIOC4B/GTIOC2A 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット（MTIOC4D/GTIOC2B アクティブレベル設定ビット）

MTIOC4D/GTIOC2B 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット（アクティブレベル設定有効ビット）

OLSGnm ビット（n = 0 ～ 2、m = A, B）によるアクティブレベル設定の有効／無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTU.TOCR1A および MTU.TOCR2A レジスタの設定となります。OLSEN ビットが “1” の場合は、MTU 出力のアクティブレベルは OLSGnm ビットの設定となります。

GPT 出力のアクティブレベルは、OLSEN ビットが “1” のときのみ設定可能です。GPT 出力の出力短絡検出を行う場合は OLSEN ビットを “1” にし、OLSGnm ビットで GPT 出力のアクティブレベルを設定してください。

20.2.10　ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）

SPOER レジスタは、端子のハイインピーダンスを制御するレジスタです。

アドレス　A008 080Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	GPT3HIZ	—	MTUCH0HIZ	MTUCH67HIZ	MTUCH34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3、MTU4またはGPT0～GPT2出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b1	MTUCH67HIZ	MTU6、MTU7出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b2	MTUCH0HIZ	MTU0出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	GPT3HIZ	GPT3出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MTUCH34HIZ ビット（MTU3、MTU4 または GPT0 ～ GPT2 出力ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D または GPT 出力端子（GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B））をハイインピーダンス状態にする制御を行います。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- リセット
- “1” の状態を読んだ後、“0” を書いたとき（注 1）

注 1.　クリアする場合は、必ず “1” を読んだ後、“0” を書く必要があります。

MTUCH67HIZ ビット（MTU6、MTU7 出力ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子（MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D）をハイインピーダンス状態にする制御を行います。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- リセット
- “1” の状態を読んだ後、“0” を書いたとき（注 1）

注 1.　クリアする場合は、必ず “1” を読んだ後、“0” を書く必要があります。

MTUCH0HIZ ビット（MTU0 出力ハイインピーダンス許可ビット）

MTU0 の端子をハイインピーダンス状態にする制御を行います。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- リセット
- “1” の状態を読んだ後、“0” を書いたとき（注 1）

注 1.　クリアする場合は、必ず “1” を読んだ後、“0” を書く必要があります。

GPT3HIZ ビット（GPT3 出力ハイインピーダンス許可ビット）

GPT3 端子（GTIOC3A、GTIOC3B）をハイインピーダンス状態にする制御を行います。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- リセット
- “1” の状態を読んだ後、“0” を書いたとき（注 1）

注 1.　クリアする場合は、必ず “1” を読んだ後、“0” を書く必要があります。

20.2.11　ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）

POECR1 レジスタは、MTU0 端子のハイインピーダンスを制御するレジスタです。

アドレス　A008 080Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0Aハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b1	MTU0BZE	MTIOC0Bハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b2	MTU0CZE	MTIOC0Cハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b3	MTU0DZE	MTIOC0Dハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

MTU0AZE ビット（MTIOC0A ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット＝“1” のとき）、POECR5 レジスタで追加選択した ICSRn.POEmF（n＝1, 2, 4, 5、m＝0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0A 出力をハイインピーダンス状態にするかどうか設定します。

MTU0BZE ビット（MTIOC0B ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット＝“1” のとき）、POECR5 レジスタで追加選択した ICSRn.POEmF（n＝1, 2, 4, 5、m＝0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0B 出力をハイインピーダンス状態にするかどうか設定します。

MTU0CZE ビット（MTIOC0C ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット＝“1” のとき）、POECR5 レジスタで追加選択した ICSRn.POEmF（n＝1, 2, 4, 5、m＝0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0C 出力をハイインピーダンス状態にするかどうか設定します

MTU0DZE ビット（MTIOC0D ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット＝“1” のとき）、POECR5 レジスタで追加選択した ICSRn.POEmF（n＝1, 2, 4, 5、m＝0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0D 出力をハイインピーダンス状態にするかどうか設定します。

20.2.12　ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）

POECR2 レジスタは、MTU 相補 PWM 出力端子（MTU3、MTU4、MTU6、MTU7 端子および GPT 端子（GPT0 ～ GPT2））のハイインピーダンスを制御するレジスタです。

アドレス　A008 080Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3BDZE	MTU4ACZE	MTU4BDZE	—	—	—	—	—	MTU6BDZE	MTU7ACZE	MTU7BDZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTIOC7B／7Dハイインピーダンス許可ビット（注2）	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b1	MTU7ACZE	MTIOC7A／7Cハイインピーダンス許可ビット（注2）	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b2	MTU6BDZE	MTIOC6B／6Dハイインピーダンス許可ビット（注2）	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	MTU4BDZE	MTIOC4B／4DおよびGTIOC2A／2Bハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b9	MTU4ACZE	MTIOC4A／4CおよびGTIOC1A／1Bハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b10	MTU3BDZE	MTIOC3B／3DおよびGTIOC0A／0Bハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　MTU6、MTU7を使用しない場合は、“0”に設定してください。

MTU7BDZE ビット（MTIOC7B ／ 7D ハイインピーダンス許可ビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット＝“1” のとき）、POECR4 レジスタで追加選択した ICSRn.POEmF（n＝1, 3 ～ 5、m＝0, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC7B 出力と MTIOC7D 出力をハイインピーダンス状態にするかどうか設定します。

MTU7ACZE ビット（MTIOC7A ／ 7C ハイインピーダンス許可ビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット＝“1” のとき）、POECR4 レジスタで追加選択した ICSRn.POEmF（n＝1, 3 ～ 5、m＝0, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC7A 出力と MTIOC7C 出力をハイインピーダンス状態にするかどうか設定します。

MTU6BDZE ビット（MTIOC6B ／ 6D ハイインピーダンス許可ビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット＝“1” のとき）、POECR4 レジスタで追加選択した ICSRn.POEmF（n＝1, 3 ～ 5、m＝0, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC6B 出力と MTIOC6D 出力をハイインピーダンス状態にするかどうか設定します。

MTU4BDZE ビット（MTIOC4B ／ 4D および GTIOC2A ／ 2B ハイインピーダンス許可ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット = “1” のとき）、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 2 ～ 5、m = 4, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU4 端子の MTIOC4B 出力と MTIOC4D 出力および GPT2 端子の GTIOC2A 出力と GTIOC2B 出力をハイインピーダンス状態にするかどうか設定します。

MTU4ACZE ビット（MTIOC4A ／ 4C および GTIOC1A ／ 1B ハイインピーダンス許可ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット = “1” のとき）、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 2 ～ 5、m = 4, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU4 端子の MTIOC4A 出力と MTIOC4C 出力および GPT1 端子の GTIOC1A 出力と GTIOC1B 出力をハイインピーダンス状態にするかどうか設定します。

MTU3BDZE ビット（MTIOC3B ／ 3D および GTIOC0A ／ 0B ハイインピーダンス許可ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット = “1” のとき）、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 2 ～ 5、m = 4, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC3B 出力と MTIOC3D 出力および GPT0 端子の GTIOC0A 出力と GTIOC0B 出力をハイインピーダンス状態にするかどうか設定します。

20.2.13　ポートアウトプットイネーブルコントロールレジスタ 3（POECR3）

POECR3 レジスタは、GPT 端子（GPT3）のハイインピーダンスを制御するレジスタです。

アドレス　A008 080Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	GPT3ABZE	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	GPT3ABZE	GTIOC3A/3Bハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

GPT3ABZE ビット（GTIOC3A ／ 3B ハイインピーダンス許可ビット）

ICSR5.POE10F フラグ、SPOER.GPT3HIZ ビット、ICSR6.OSTSTF フラグ（OSTSTE ビット = “1” のとき）、POECR6 レジスタで追加選択した ICSRn.POEmF（n = 1 ～ 4、m = 0, 4, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、GPT3 端子の GTIOC3A 出力と GTIOC3B 出力をハイインピーダンス状態にするかどうか設定します。

20.2.14　ポートアウトプットイネーブルコントロールレジスタ 4（POECR4）

POECR4 レジスタは、MTU 相補 PWM 出力端子（MTU3、MTU4、MTU6、MTU7 端子）のハイインピーダンス制御条件を拡張するレジスタです。

ハイインピーダンス制御の対象と条件については、**図 20.2** を参照してください。

アドレス　A008 0810h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IC5ADDMT67ZE	IC4ADDMT67ZE	IC3ADDMT67ZE	—	IC1ADDMT67ZE	—	—	—	IC5ADDMT34ZE	IC4ADDMT34ZE	IC3ADDMT34ZE	IC2ADDMT34ZE	—	—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b2	IC2ADDMT34ZE	MTU3、MTU4ハイインピーダンスPOE4F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b3	IC3ADDMT34ZE	MTU3、MTU4ハイインピーダンスPOE8F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b4	IC4ADDMT34ZE	MTU3、MTU4ハイインピーダンスPOE10F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b5	IC5ADDMT34ZE	MTU3、MTU4ハイインピーダンスPOE10F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する 注.　本ビットには、IC4ADDMT34ZEビットと同じ値を設定してください。	R/W（注1）
b8-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	IC1ADDMT67ZE	MTU6、MTU7ハイインピーダンスPOE0F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b11	IC3ADDMT67ZE	MTU6、MTU7ハイインピーダンスPOE8F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b12	IC4ADDMT67ZE	MTU6、MTU7ハイインピーダンスPOE10F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b13	IC5ADDMT67ZE	MTU6、MTU7ハイインピーダンスPOE10F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する 注.　本ビットには、IC4ADDMT67ZEビットと同じ値を設定してください。	R/W（注1）
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

IC2ADDMT34ZE ビット（MTU3、MTU4 ハイインピーダンス POE4F 追加ビット）

ICSR2.POE4F フラグ（POE4#）を MTU3、MTU4 端子（MTIOC3B ／ MTIOC3D ／ MTIOC4A ／ MTIOC4C ／ MTIOC4B ／ MTIOC4D）または GPT0 ～ GPT2 端子（GTIOC0A ／ GTIOC0B ／ GTIOC1A ／ GTIOC1B ／ GTIOC2A ／ GTIOC2B）のハイインピーダンス制御条件に追加します。

IC3ADDMT34ZE ビット（MTU3、MTU4 ハイインピーダンス POE8F 追加ビット）

ICSR3.POE8F フラグ（POE8#）を MTU3、MTU4 端子（MTIOC3B ／ MTIOC3D ／ MTIOC4A ／ MTIOC4C ／ MTIOC4B ／ MTIOC4D）または GPT0 ～ GPT2 端子（GTIOC0A ／ GTIOC0B ／ GTIOC1A ／ GTIOC1B ／ GTIOC2A ／ GTIOC2B）のハイインピーダンス制御条件に追加します。

IC4ADDMT34ZE ビット（MTU3、MTU4 ハイインピーダンス POE10F 追加ビット）

ICSR4.POE10F フラグ（POE10#）を MTU3、MTU4 端子（MTIOC3B ／ MTIOC3D ／ MTIOC4A ／ MTIOC4C ／ MTIOC4B ／ MTIOC4D）または GPT0 ～ GPT2 端子（GTIOC0A ／ GTIOC0B ／ GTIOC1A ／ GTIOC1B ／ GTIOC2A ／ GTIOC2B）のハイインピーダンス制御条件に追加します。

IC5ADDMT34ZE ビット（MTU3、MTU4 ハイインピーダンス POE10F 追加ビット）

ICSR5.POE10F フラグ（POE10#）を MTU3、MTU4 端子（MTIOC3B ／ MTIOC3D ／ MTIOC4A ／ MTIOC4C ／ MTIOC4B ／ MTIOC4D）または GPT0 ～ GPT2 端子（GTIOC0A ／ GTIOC0B ／ GTIOC1A ／ GTIOC1B ／ GTIOC2A ／ GTIOC2B）のハイインピーダンス制御条件に追加します。

注 .　本ビットには、IC4ADDMT34ZE ビットと同じ値を設定してください。

IC1ADDMT67ZE ビット（MTU6、MTU7 ハイインピーダンス POE0F 追加ビット）

ICSR1.POE0F フラグ（POE0#）を MTU6、MTU7 端子（MTIOC6B ／ MTIOC6D ／ MTIOC7A ／ MTIOC7C ／ MTIOC7B ／ MTIOC7D）のハイインピーダンス制御条件に追加します。

IC3ADDMT67ZE ビット（MTU6、MTU7 ハイインピーダンス POE8F 追加ビット）

ICSR3.POE8F フラグ（POE8#）を MTU6、MTU7 端子（MTIOC6B ／ MTIOC6D ／ MTIOC7A ／ MTIOC7C ／ MTIOC7B ／ MTIOC7D）のハイインピーダンス制御条件に追加します。

IC4ADDMT67ZE ビット（MTU6、MTU7 ハイインピーダンス POE10F 追加ビット）

ICSR4.POE10F フラグ（POE10#）を MTU6、MTU7 端子（MTIOC6B ／ MTIOC6D ／ MTIOC7A ／ MTIOC7C ／ MTIOC7B ／ MTIOC7D）のハイインピーダンス制御条件に追加します。

IC5ADDMT67ZE ビット（MTU6、MTU7 ハイインピーダンス POE10F 追加ビット）

ICSR5.POE10F フラグ（POE10#）を MTU6、MTU7 端子（MTIOC6B ／ MTIOC6D ／ MTIOC7A ／ MTIOC7C ／ MTIOC7B ／ MTIOC7D）のハイインピーダンス制御条件に追加します。

注 .　本ビットには、IC4ADDMT67ZE ビットと同じ値を設定してください。

20.2.15　ポートアウトプットイネーブルコントロールレジスタ 5（POECR5）

POECR5 レジスタは、MTU0 端子のハイインピーダンス制御条件を拡張するレジスタです。
ハイインピーダンス制御の対象と条件については、図 20.2 を参照してください。

アドレス　A008 0812h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IC5ADDMT0ZE	IC4ADDMT0ZE	—	IC2ADDMT0ZE	IC1ADDMT0ZE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b1	IC1ADDMT0ZE	MTU0ハイインピーダンスPOE0F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b2	IC2ADDMT0ZE	MTU0ハイインピーダンスPOE4F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b4	IC4ADDMT0ZE	MTU0ハイインピーダンスPOE10F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b5	IC5ADDMT0ZE	MTU0ハイインピーダンスPOE10F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する 注.　本ビットには、IC4ADDMT0ZEビットと同じ値を設定してください。	R/W（注1）
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

IC1ADDMT0ZE ビット（MTU0 ハイインピーダンス POE0F 追加ビット）

ICSR1.POE0F フラグ（POE0#）を MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）のハイインピーダンス制御条件に追加します。

IC2ADDMT0ZE ビット（MTU0 ハイインピーダンス POE4F 追加ビット）

ICSR2.POE4F フラグ（POE4#）を MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）のハイインピーダンス制御条件に追加します。

IC4ADDMT0ZE ビット（MTU0 ハイインピーダンス POE10F 追加ビット）

ICSR4.POE10F フラグ（POE10#）を MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）のハイインピーダンス制御条件に追加します。

IC5ADDMT0ZE ビット（MTU0 ハイインピーダンス POE10F 追加ビット）

ICSR5.POE10F フラグ（POE10#）を MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）のハイインピーダンス制御条件に追加します。

注.　本ビットには、IC4ADDMT0ZE ビットと同じ値を設定してください。

20.2.16　ポートアウトプットイネーブルコントロールレジスタ 6（POECR6）

POECR6 レジスタは、GPT3 端子のハイインピーダンス制御条件を拡張するレジスタです。
ハイインピーダンス制御の対象と条件については、**図 20.2** を参照してください。

アドレス　A008 0814h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IC4ADDGPT3ZE	IC3ADDGPT3ZE	IC2ADDGPT3ZE	IC1ADDGPT3ZE	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b8-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	IC1ADDGPT3ZE	GPT3ハイインピーダンス POE0F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b10	IC2ADDGPT3ZE	GPT3ハイインピーダンス POE4F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b11	IC3ADDGPT3ZE	GPT3ハイインピーダンス POE8F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b12	IC4ADDGPT3ZE	GPT3ハイインピーダンス POE10F追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

IC1ADDGPT3ZE ビット（GPT3 ハイインピーダンス POE0F 追加ビット）

ICSR1.POE0F フラグ（POE0#）を GPT3 端子（GTIOC3A、GTIOC3B）のハイインピーダンス制御条件に追加します。

IC2ADDGPT3ZE ビット（GPT3 ハイインピーダンス POE4F 追加ビット）

ICSR2.POE4F フラグ（POE4#）を GPT3 端子（GTIOC3A、GTIOC3B）のハイインピーダンス制御条件に追加します。

IC3ADDGPT3ZE ビット（GPT3 ハイインピーダンス POE8F 追加ビット）

ICSR3.POE8F フラグ（POE8#）を GPT3 端子（GTIOC3A、GTIOC3B）のハイインピーダンス制御条件に追加します。

IC4ADDGPT3ZE ビット（GPT3 ハイインピーダンス POE10F 追加ビット）

ICSR4.POE10F フラグ（POE10#）を GPT3 端子（GTIOC3A、GTIOC3B）のハイインピーダンス制御条件に追加します。

20.2.17　GPT3 端子選択レジスタ（G3SELR）

G3SELR は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる GPT3 の端子を選択するレジスタです。

アドレス　A008 0823h



ビット	シンボル	ビット名	機能	R/W
b3-b0	G3ASEL[3:0]	GPT3-A（GTIOC3A）端子選択ビット	b3 b0 0000：PA6 をGTIOC3A端子としてハイインピーダンス制御する 0100：P66 をGTIOC3A端子としてハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）
b7-b4	G3BSEL[3:0]	GPT3-B（GTIOC3B）端子選択ビット	b7 b4 0000：PA7 をGTIOC3B端子としてハイインピーダンス制御する 0100：P67 をGTIOC3B端子としてハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

G3ASEL[3:0] ビット（GPT3-A（GTIOC3A）端子選択ビット）

ハイインピーダンス制御対象となる GTIOC3A 端子を選択します。

G3BSEL[3:0] ビット（GPT3-B（GTIOC3B）端子選択ビット）

ハイインピーダンス制御対象となる GTIOC3B 端子を選択します。

20.2.18　MTU0 端子選択レジスタ 1（M0SELR1）

M0SELR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる MTU0-A ／ B の端子を選択するレジスタです。

アドレス　A008 0824h

	b7	b6	b5	b4	b3	b2	b1	b0
	M0BSEL[3:0]				M0ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M0ASEL[3:0]	MTU0-A（MTIOC0A）端子選択ビット	b3　b0 0000：PE6 を MTIOC0A 端子としてハイインピーダンス制御する 0010：PP4 を MTIOC0A 端子としてハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）
b7-b4	M0BSEL[3:0]	MTU0-B（MTIOC0B）端子選択ビット	b7　b4 0000：PP3 を MTIOC0B 端子としてハイインピーダンス制御する 0001：PE4 を MTIOC0B 端子としてハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

M0ASEL[3:0] ビット（MTU0-A（MTIOC0A）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0A 端子を選択します。

M0BSEL[3:0] ビット（MTU0-B（MTIOC0B）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0B 端子を選択します。

20.2.19　MTU0 端子選択レジスタ 2（M0SELR2）

M0SELR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる MTU0-C ／ D の端子を選択するレジスタです。

アドレス　A008 0825h

	b7	b6	b5	b4	b3	b2	b1	b0
	M0DSEL[3:0]				M0CSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M0CSEL[3:0]	MTU0-C（MTIOC0C）端子選択ビット	b3　b0 0000：PE5 を MTIOC0C 端子としてハイインピーダンス制御する 0010：PP2 を MTIOC0C 端子としてハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）
b7-b4	M0DSEL[3:0]	MTU0-D（MTIOC0D）端子選択ビット	b7　b4 0000：PE3 を MTIOC0D 端子としてハイインピーダンス制御する 0010：PP1 を MTIOC0D 端子としてハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

M0CSEL[3:0] ビット（MTU0-C（MTIOC0C）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0C 端子を選択します。

M0DSEL[3:0] ビット（MTU0-D（MTIOC0D）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0D 端子を選択します。

20.2.20　MTU3 端子選択レジスタ（M3SELR）

M3SELR は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる MTU3-B ／ D の端子または GPT チャネル 0-A/B の端子を選択するレジスタです。MTU3、GPT のどの端子を制御するかは、MPC（マルチファンクションピンコントローラ）で設定します。

アドレス　A008 0826h

	b7	b6	b5	b4	b3	b2	b1	b0
	M3DSEL[3:0]				M3BSEL[3:0]			
リセット後の値	0	1	0	1	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	M3BSEL[3:0]	MTU3-B (MTIOC3B) / GPTチャネル0-A (GTIOC0A)端子選択ビット	b3　b0 0001：P16をハイインピーダンス制御する 0010：PB7をハイインピーダンス制御する 0011：PA2をハイインピーダンス制御する ハイインピーダンス制御を行う場合は、上記以外は設定しないでください。	R/W （注1）
b7-b4	M3DSEL[3:0]	MTU3-D (MTIOC3D) / GPTチャネル0-B (GTIOC0B)端子選択ビット	b7　b4 0001：P15をハイインピーダンス制御する 0011：PF6をハイインピーダンス制御する 0101：PA1をハイインピーダンス制御する ハイインピーダンス制御を行う場合は、上記以外は設定しないでください。	R/W （注1）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

M3BSEL[3:0] ビット（MTU3-B (MTIOC3B) / GPT チャネル 0-A (GTIOC0A) 端子選択ビット）

ハイインピーダンス制御対象となる MTIOC3B/GTIOC0A 端子を選択します。

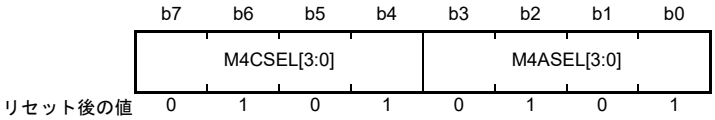
M3DSEL[3:0] ビット（MTU3-D (MTIOC3D) / GPT チャネル 0-B (GTIOC0B) 端子選択ビット）

ハイインピーダンス制御対象となる MTIOC3D/GTIOC0B 端子を選択します。

20.2.21　MTU4 端子選択レジスタ 1（M4SELR1）

M4SELR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる MTU4-A ／ C の端子または GPT チャネル 1-A/B の端子を選択するレジスタです。MTU3、GPT のどの端子を制御するかは、MPC（マルチファンクションピンコントローラ）で設定します。

アドレス　A008 0827h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4ASEL[3:0]	MTU4-A (MTIOC4A) / GPTチャネル1-A (GTIOC1A)端子選択ビット	b3　b0 0001：PA0をハイインピーダンス制御する 0011：PF5をハイインピーダンス制御する 0101：P14をハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）
b7-b4	M4CSEL[3:0]	MTU4-C (MTIOC4C) / GPTチャネル1-B (GTIOC1B)端子選択ビット	b7　b4 0001：P77をハイインピーダンス制御する 0011：P87をハイインピーダンス制御する 0101：P13をハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

M4ASEL[3:0] ビット（MTU4-A (MTIOC4A) / GPT チャネル 1-A (GTIOC1A) 端子選択ビット）

ハイインピーダンス制御対象となる MTIOC4A/GTIOC1A 端子を選択します。

M4CSEL[3:0] ビット（MTU4-C (MTIOC4C) / GPT チャネル 1-B (GTIOC1B) 端子選択ビット）

ハイインピーダンス制御対象となる MTIOC4C/GTIOC1B 端子を選択します。

20.2.22　MTU4 端子選択レジスタ 2（M4SELR2）

M4SELR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる MTU4-B ／ D の端子または GPT チャネル 2-A/B の端子を選択するレジスタです。MTU3、GPT のどの端子を制御するかは、MPC（マルチファンクションピンコントローラ）で設定します。

アドレス　A008 0828h

	b7	b6	b5	b4	b3	b2	b1	b0
	M4DSEL[3:0]				M4BSEL[3:0]			
リセット後の値	0	1	0	1	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	M4BSEL[3:0]	MTU4-B (MTIOC4B) / GPTチャネル2-A (GTIOC2A)端子選択ビット	b3　b0 0000：P86をハイインピーダンス制御する 0011：P76をハイインピーダンス制御する 0101：P12をハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）
b7-b4	M4DSEL[3:0]	MTU4-D (MTIOC4D) / GPTチャネル2-B (GTIOC2B)端子選択ビット	b7　b4 0001：P75をハイインピーダンス制御する 0011：PD7をハイインピーダンス制御する 0101：P11をハイインピーダンス制御する 上記以外は設定しないでください。	R/W （注1）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

M4BSEL[3:0] ビット（MTU4-B (MTIOC4B) / GPT チャネル 2-A (GTIOC2A) 端子選択ビット）

ハイインピーダンス制御対象となる MTIOC4B/GTIOC2A 端子を選択します。

M4DSEL[3:0] ビット（MTU4-D (MTIOC4D) / GPT チャネル 2-B (GTIOC2B) 端子選択ビット）

ハイインピーダンス制御対象となる MTIOC4D/GTIOC2B 端子を選択します。

20.3　動作説明

表 20.4 にハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表20.4　ハイインピーダンス制御の対象と条件 (1 / 2)

端子	条件	条件詳細
MTU3端子または GPT0端子 （MTIOC3B/GTIOC0A、 MTIOC3D/GTIOC0B）	• POE0#端子の入力レベル検出動作 • MTIOC3B/GTIOC0A端子とMTIOC3D/GTIOC0B端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件 • 発振停止／発振異常検出（注1）	MTU3BDZE・ ((POE0F) +(OSF1•OCE1) +(MTUCH34HIZ) +(IC2ADDMT34ZE•POE4F) +(IC3ADDMT34ZE•POE8E•POE8F) +(IC4ADDMT34ZE•ICSR4.POE10E・ICSR4.POE10F) +(IC5ADDMT34ZE•ICSR5.POE10E・ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU4端子または GPT1端子 （MTIOC4A/GTIOC1A、 MTIOC4C/GTIOC1B）	• POE0#端子の入力レベル検出動作 • MTIOC4A/GTIOC1A端子とMTIOC4C/GTIOC1B端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件 • 発振停止／発振異常検出（注1）	MTU4ACZE・ ((POE0F) +(OSF1•OCE1) + (MTUCH34HIZ) +(IC2ADDMT34ZE•POE4F) +(IC3ADDMT34ZE•POE8E•POE8F) +(IC4ADDMT34ZE•ICSR4.POE10E・ICSR4.POE10F) +(IC5ADDMT34ZE•ICSR5.POE10E・ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU4端子または GPT2端子 （MTIOC4B/GTIOC2A、 MTIOC4D/GTIOC2B）	• POE0#端子の入力レベル検出動作 • MTIOC4B/GTIOC2A端子とMTIOC4D/GTIOC2B端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件 • 発振停止／発振異常検出（注1）	MTU4BDZE・ ((POE0F) +(OSF1•OCE1) +(MTUCH34HIZ) +(IC2ADDMT34ZE•POE4F) +(IC3ADDMT34ZE•POE8E•POE8F) +(IC4ADDMT34ZE•ICSR4.POE10E・ICSR4.POE10F) +(IC5ADDMT34ZE•ICSR5.POE10E・ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU6端子 （MTIOC6B、MTIOC6D）	• POE4#端子の入力レベル検出動作 • MTIOC6B端子とMTIOC6D端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件 • 発振停止／発振異常検出（注1）	MTU6BDZE・ ((POE4F +(OSF2•OCE2) +(MTUCH67HIZ) +(IC1ADDMT67ZE•POE0F) +(IC3ADDMT67ZE•POE8E•POE8F) +(IC4ADDMT67ZE•ICSR4.POE10E・ICSR4.POE10F) +(IC5ADDMT67ZE•ICSR5.POE10E・ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU7端子 （MTIOC7A、MTIOC7C）	• POE4#端子の入力レベル検出動作 • MTIOC7A端子とMTIOC7C端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件 • 発振停止／発振異常検出（注1）	MTU7ACZE・ ((POE4F) +(OSF2•OCE2) +(MTUCH67HIZ) +(IC1ADDMT67ZE•POE0F) +(IC3ADDMT67ZE•POE8E•POE8F) +(IC4ADDMT67ZE•ICSR4.POE10E・ICSR4.POE10F) +(IC5ADDMT67ZE•ICSR5.POE10E・ICSR5.POE10F) +(OSTSTE•OSTSTF))

表20.4　ハイインピーダンス制御の対象と条件 (2 / 2)

端子	条件	条件詳細
MTU7端子 （MTIOC7B、MTIOC7D）	• POE4#端子の入力レベル検出動作 • MTIOC7B端子とMTIOC7D端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件 • 発振停止／発振異常検出（注1）	MTU7BDZE• ((POE4F +(OSF2•OCE2) +(MTUCH67HIZ) +(IC1ADDMT67ZE•POE0F) +(IC3ADDMT67ZE•POE8E•POE8F) +(IC4ADDMT67ZE•ICSR4.POE10E• ICSR4.POE10F) +(IC5ADDMT67ZE•ICSR5.POE10E• ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU0端子（ MTIOC0A）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件 • 発振停止／発振異常検出（注1）	MTU0AZE• ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E• ICSR4.POE10F) +(IC5ADDMT0ZE•ICSR5.POE10E• ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU0端子（MTIOC0B）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件 • 発振停止／発振異常検出（注1）	MTU0BZE• ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E• ICSR4.POE10F) +(IC5ADDMT0ZE•ICSR5.POE10E• ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU0端子（MTIOC0C）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件 • 発振停止／発振異常検出（注1）	MTU0CZE• ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E• ICSR4.POE10F) +(IC5ADDMT0ZE•ICSR5.POE10E• ICSR5.POE10F) +(OSTSTE•OSTSTF))
MTU0端子（MTIOC0D）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件 • 発振停止／発振異常検出（注1）	MTU0DZE• ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E• ICSR4.POE10F) +(IC5ADDMT0ZE•ICSR5.POE10E• ICSR5.POE10F) +(OSTSTE•OSTSTF))
GPT3端子 （GTIOC3A、GTIOC3B）	• POE10#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR6で追加された条件 • 発振停止／発振異常検出（注1）	GPT3ABZE• ((ICSR5.POE10F•ICSR5.POE10E) +(GPT3HIZ) +(IC1ADDGPT3ZE•POE0F) +(IC2ADDGPT3ZE•POE4F) +(IC3ADDGPT3ZE•POE8E•POE8F) +(IC4ADDGPT3ZE•ICSR4.POE10E• ICSR4.POE10F) +(OSTSTE•OSTSTF))

注1.　発振異常は、クロックモニタ回路（CLMA0、CLMA1）により検出されます。

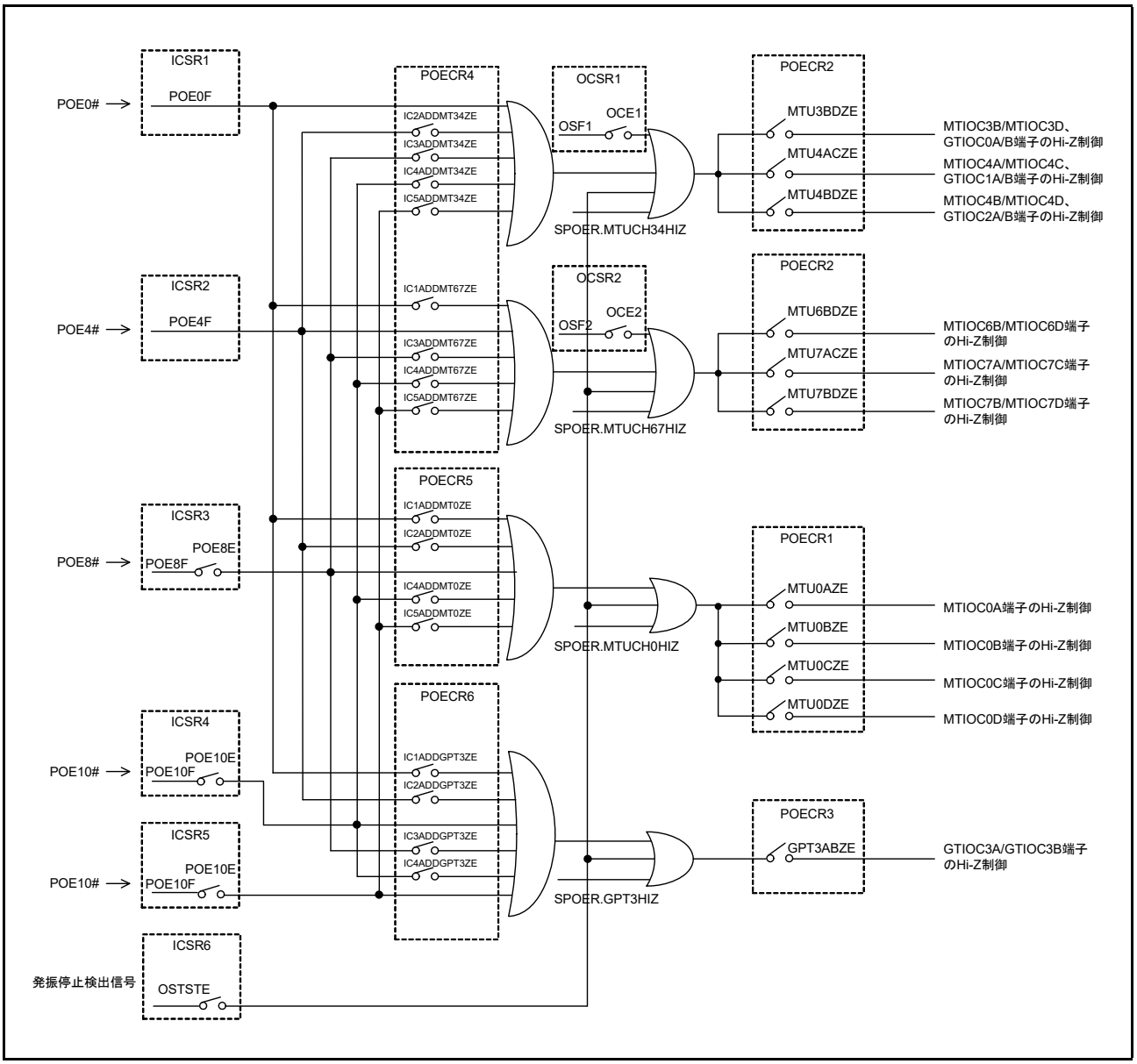


図 20.2　　ハイインピーダンス制御の対象と条件

POECR1 ～ POECR3 レジスタを設定することにより、各端子へのハイインピーダンス要求を制御できます。

POECR4 ～ POECR6 レジスタを設定することにより、MTU3、MTU4 端子、GPT0 ～ GPT2 端子は POE0# 以外を、MTU6、MTU7 端子は POE4# 以外を、MTU0 端子は POE8# 以外を、GPT3 端子は POE10# 以外の入力端子を、ハイインピーダンス制御条件に追加することができます。

たとえば、POECR4.IC2ADDMT34ZE ビットを 1 に設定すると、MTU3、MTU4 端子、GPT0 ～ GPT2 端子は POE4# の検出でもハイインピーダンス要求を出力します。

ICSR3 ～ ICSR6 レジスタを設定することにより、POE8#、POE10#、発振停止／発振異常（CLMA0/1）検出によるハイインピーダンス要求を制御できます（ICSR1、ICSR2 レジスタはハイインピーダンス要求の出力を許可／禁止する制御はありません）。

OCSR1、OCSR2 レジスタを設定することにより、出力レベル比較の結果による MTU3、MTU4 端子、GPT0 ～ GPT2 端子と MTU6、MTU7 端子へのハイインピーダンス要求を制御できます。

20.3.1　MTU ／ GPT 端子選択

RZ/T1 では、MTU ／ GPT 用の各端子機能が各々複数のポートに割り当てられています。どのポートをハイインピーダンス制御対象とするかは POE3 の端子選択レジスタ（G3SELR ／ M0SELR1 ／ M0SELR2 ／ M3SELR ／ M4SELR1 ／ M4SELR2 レジスタ）で選択できます。**表 20.5** に MTU、GPT 端子と選択レジスタの対応表を示します。

なお、MTU ／ GPT として使用する端子は、別途マルチファンクションピンコントローラ（MPC）のレジスタで設定する必要があります。POE3 のレジスタで選択した端子と MPC のレジスタで選択した端子に乖離がないよう注意してください。MPC のレジスタについては、**「18.　マルチファンクションピンコントローラ（MPC）」**を参照してください。

表20.5　MTU／GPT端子と選択レジスタの対応（1 / 2)

MTU／GPT端子機能	対応ポート	選択レジスタ
MTIOC0A	PP4（注1） PE6	M0SELR1
MTIOC0B	PP3（注1） PE4	
MTIOC0C	PP2（注1） PE5	M0SELR2
MTIOC0D	PP1（注1） PE3	
MTIOC3B	P16 PA2 PB7	M3SELR
MTIOC3D	P15 PA1 PF6	
MTIOC4A	P14 PA0 PF5	M4SELR1
MTIOC4C	P13 P77 P87	
MTIOC4B	P12（注1） P76 P86	M4SELR2
MTIOC4D	P11（注1） P75 PD7	
MTIOC6B	PA7（注2） PS5（注1）	—
MTIOC6D	P70（注2） PS4（注1）	
MTIOC7A	PS3（注1） PE7（注2）	
MTIOC7C	P42（注2） PS2（注1）	
MTIOC7B	P22（注2） PS1（注1）	
MTIOC7D	PS0（注1） PH6（注2）	
GTIOC0A	P16 PA2 PB7	M3SELR
GTIOC0B	P15 PA1 PF6	

表20.5　MTU／GPT端子と選択レジスタの対応 (2 / 2)

MTU／GPT端子機能	対応ポート	選択レジスタ
GTIOC1A	P14 PA0 PF5	M4SELR1
GTIOC1B	P13 P77 P87	
GTIOC2A	P12（注1） P76 P86	M4SELR2
GTIOC2B	P11（注1） P75 PD7	
GTIOC3A	P66（注1） PA6	G3SELR
GTIOC3B	P67（注1） PA7	

注1.　320pin版のみ選択可能です。
注2.　POE3によるHi-Z端子制御の対象外となります。Hi-Z制御の対象としてはPS0-PS5の端子です。

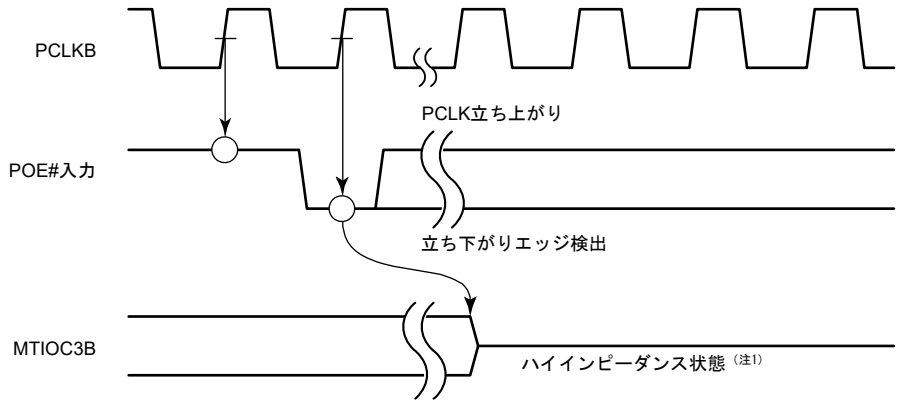
20.3.2　入力レベル検出動作

ICSR1 ～ ICSR5 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10# 端子に発生した場合、MTU 相補 PWM 出力端子（MTU3、MTU4 端子または MTU6、MTU7 端子）および MTU0 端子、GPT 端子をハイインピーダンス状態にします。ただし、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をマルチプレクスしている端子が、MTU、GPT 機能を選択していない場合でもハイインピーダンスになります。

(1)　立ち下がりエッジ検出

POE0#、POE4#、POE8#、POE10# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子がマルチプレクスされている端子をハイインピーダンス状態にします。

POE0#、POE4#、POE8#、POE10# 端子入力から端子のハイインピーダンスまでのタイミング例を図 20.3 に示します。



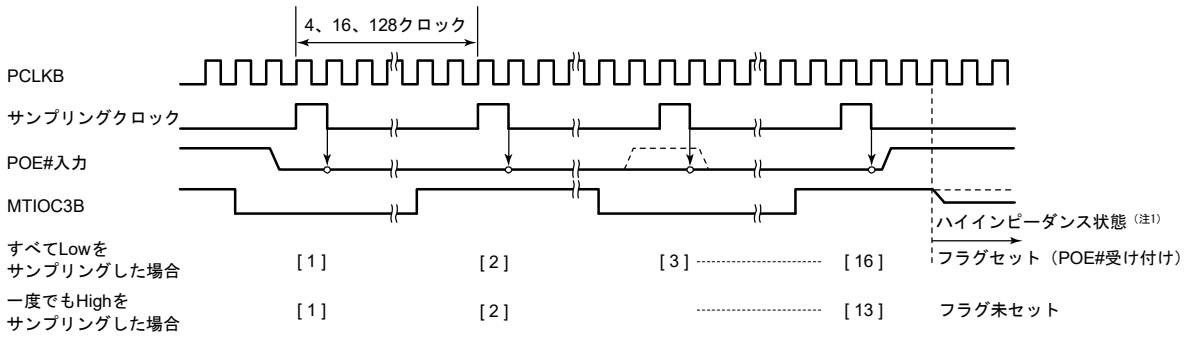
注 1.　その他の端子も同様のタイミングでハイインピーダンス状態になります。

図 20.3　立ち下がりエッジ検出動作

(2)　Low 検出

図 20.4 に Low 検出動作を示します。ICSR1 ～ ICSR5 レジスタで設定したサンプリングクロックで、16 回連続した Low をサンプリングします。このとき、1 度でも High を検出した場合は受け付けられません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子がハイインピーダンス状態になるタイミングは、立ち下がりエッジ検出、Low 検出ともに同じです。



注 1.　その他の端子も同様のタイミングでハイインピーダンス状態になります。

図 20.4　Low 検出動作

20.3.3　出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 20.5 に示します。他の端子の組み合わせについても同様です。

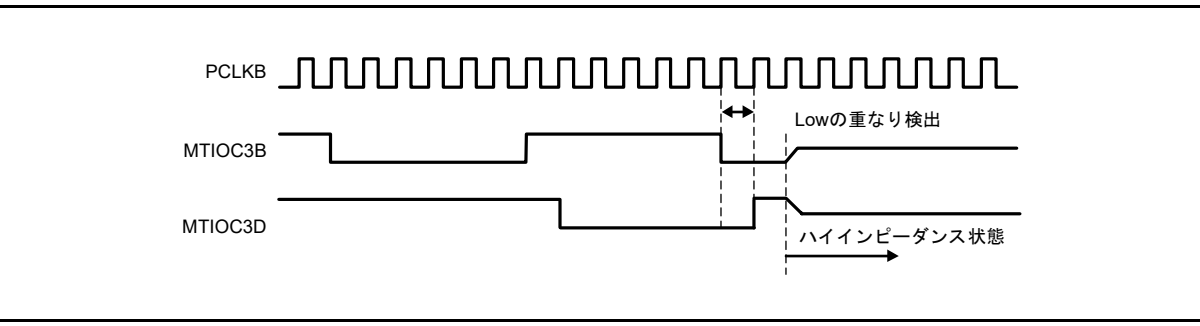


図 20.5　出力レベル検出動作

20.3.4　レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）により、直接、MTU 端子（MTU0、MTU3、MTU4、MTU6、MTU7）および GPT 端子のハイインピーダンス制御をします。

たとえば SPOER.MTUCH34HIZ ビットを “1” にすることで、ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）で設定した MTU3、MTU4 の端子をハイインピーダンス状態にします。

他の端子についても、SPOER レジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

20.3.5　発振停止／発振異常検出検知によるハイインピーダンス制御

入力レベルコントロール／ステータスレジスタ 6（ICSR6）の OSTSTE ビットを設定し、クロック発生回路の発振停止検出回路により、発振停止が検出される、またはクロックモニタ回路 (CLMA0、CLMA1) により発振異常が検出されると、ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）で設定した MTU3、MTU4 または MTU6、MTU7 の端子、ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）で設定した MTU0 の端子、および、ポートアウトプットイネーブルコントロールレジスタ 3（POECR3）で設定した GPT の端子をハイインピーダンス状態にします。

20.3.6　ハイインピーダンス制御条件の追加機能

ポートアウトプットイネーブルコントロールレジスタ 4 ～ 6（POECR4 ～ 6）の設定により、MTU 相補 PWM 出力端子、MTU0 端子、および GPT 端子のハイインピーダンス制御条件を追加することができます。

たとえば、MTU3、MTU4 の端子のハイインピーダンス制御条件に、下記を追加することができます。

- POECR4.IC2ADDMT34ZE ビットを “1” にして、POE4# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを “1” にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを “1” にして、POE10# 端子による入力レベル検出を追加（ICSR4.POE10F）
- POECR4.IC5ADDMT34ZE ビットを “1” にして、POE10# 端子による入力レベル検出を追加（ICSR5.POE10F）

他の端子についても、POECR4 ～ POECR6 レジスタの設定により同様にハイインピーダンス制御条件の追加が行えます。

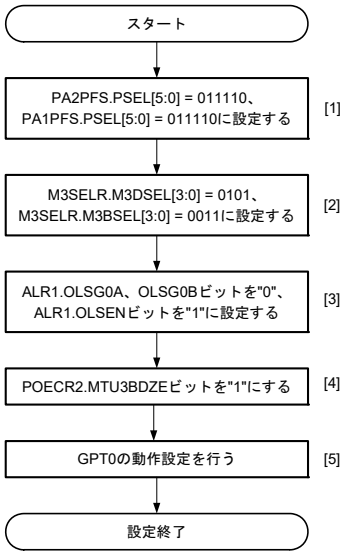
20.3.7　ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE10F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0] ビット、ICSR2.POE4M[1:0] ビット、ICSR3.POE8M[1:0] ビット、ICSR4.POE10M[1:0] ビット、ICSR5.POE10M[1:0] ビットで Low サンプリングに設定している場合には、POE0#、POE4#、POE8#、POE10# 端子から High を入力して High をサンプリングした後でないと、フラグに対して “0” を書いても無効となりフラグは “0” になりません。

出力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを “0” にすることによって解除されます。OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを “0” にする場合は、端子から非アクティブレベルを出力するようにした後にしてください。非アクティブレベル出力は、MTU 内のレジスタ、GPT 内のレジスタ、および ALR1 レジスタを設定することで行うことができます。

20.4　POE3 設定手順

POE3 の設定手順を図 20.6 に示します。例として GPT 0 端子（GTIOC0A ／ GTIOC0B）の出力レベル比較によるハイインピーダンス制御を示します。図 20.6 では GTIOC0A 端子に PA2、GTIOC0B 端子に PA1 を選択します。



あらかじめマルチファンクションピンコントローラ（MPC）のPMRレジスタでGPT0端子（PA2, PA1）を周辺機能に設定したうえで以下の設定を行ってください。

[1]　MPCのPA2PFSレジスタ、PA1PFSレジスタを設定することで、PA2をGTIOC0A端子に、PA1をGTIOC0B端子に選択します。

[2]　M3SELRレジスタを設定することで、GTIOC0BはPA2、GTIOC0AはPA1をハイインピーダンス制御対象にします。

[3]　ALR1.OLSG0A、OLSG0Bビットを"0"、OLSENビットを"1"に設定することで、GTIOC0A、GTIOC0BをLowアクティブにします。

[4]　POECR2.MTU3BDZEビットを"1"に設定することで、GTIOC0A、GTIOC0B端子のハイインピーダンス制御を有効にします。

[5]　GPT0の動作設定を行います。

以上の設定を行った後、GTIOC0A（PA2）とGTIOC0B（PA1）が同時にLowになると、同端子がハイインピーダンスとなり、OCSR1.OSF1ビットがセットされます。ハイインピーダンスの解除方法は、「20.3.7　ハイインピーダンス状態からの解除」を参照してください。

図 20.6　POE3 の設定手順

20.5　割り込み

POE3 は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 20.6 に割り込みの種類と割り込み要求を出す条件を示します。

表 20.6　割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F、OSF1	PIE1•POE0F＋OIE1•OSF1
OEI2	アウトプットイネーブル割り込み2	POE4F、OSF2	PIE2•POE4F＋OIE2•OSF2
OEI3	アウトプットイネーブル割り込み3	POE8F	PIE3•POE8F
OEI4	アウトプットイネーブル割り込み4	ICSR4.POE10F、 ICSR5.POE10F	PIE4•ICSR4.POE10F+ PIE5•ICSR5.POE10F

20.6　使用上の注意事項

20.6.1　MTU ／ GPT 端子非選択時のハイインピーダンス制御

POECR1 ～ POECR3 レジスタにて MTU ／ GPT 端子のハイインピーダンス制御を有効にしハイインピーダンス条件を満たすと、MTU ／ GPT 機能がマルチプレクスされている端子が MTU ／ GPT 機能を選択していない場合でも、端子がハイインピーダンスとなります。

意図しないハイインピーダンスを避けるため、MPC の PmnPFS レジスタで選択した MTU ／ GPT 端子と、POE の端子選択レジスタで選択した MTU ／ GPT 端子に乖離がないよう設定を行ってください。

20.6.2　MTU6 ／ MTU7 未使用時のハイインピーダンス制御

MTU6、MTU7 を使用しない場合は、POECR2.MTU6BDZE, MTU7ACZE, MTU7BDZE ビットを “0” に設定し、ハイインピーダンス制御を無効にしてください。

21.　汎用 PWM タイマ（GPTa）

本 LSI は、4 チャネルの 16 ビットタイマにより構成される汎用 PWM タイマ（GPT）を内蔵しています。GPT は、150MHz まで動作可能です。

21.1　概要

表 21.1 に GPT の仕様を、**表 21.2** に GPT の機能一覧を示します。**図 21.1** に GPT のブロック図を示します。

表21.1　GPTの仕様

項目	内容
機能	• 16ビット×4チャネル • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波） • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア／インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期用レジスタを搭載（オーバフロー／アンダフローで割り込み可能） • それぞれのカウンタを同期動作可能 • 同期動作のモード（同時または任意のタイミングでずらす位相シフトに対応） • PWM動作の際にデッドタイム生成が可能 • 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 • 外部／内部トリガによりカウントスタート／クリア／ストップ可能 • 内部トリガ要因として、ソフトウェア、コンペアマッチ • イベントリンクコントローラ（ELC）の設定により、イベントによるカウントスタート・ストップ、インプットキャプチャ、カウントクリア動作可能 • インプットキャプチャ入力、外部トリガ入力はノイズフィルタ機能を選択可能 • モジュールストップ状態への設定が可能

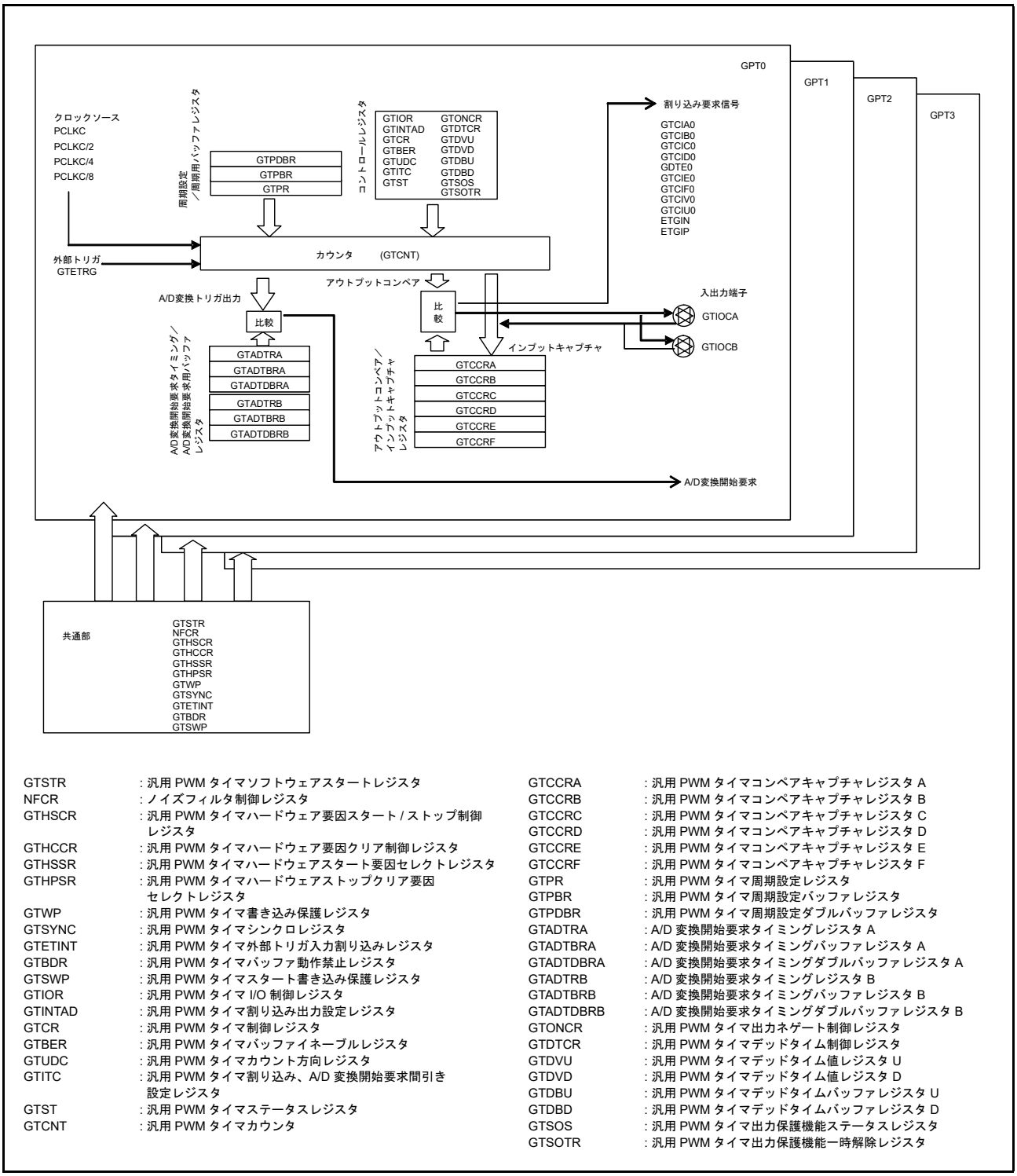
表21.2　GPTの機能一覧 (1 / 2)

項目		GPT0	GPT1	GPT2	GPT3
カウントクロック		PCLKC PCLKC/2 PCLKC/4 PCLKC/8	PCLKC PCLKC/2 PCLKC/4 PCLKC/8	PCLKC PCLKC/2 PCLKC/4 PCLKC/8	PCLKC PCLKC/2 PCLKC/4 PCLKC/8
アウトプットコンペア／インプットキャプチャレジスタ（GTCCR）		GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB
コンペア／バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR	GTPR	GTPR	GTPR
周期設定バッファレジスタ		GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR
入出力端子		GTIOC0A GTIOC0B	GTIOC1A GTIOC1B	GTIOC2A GTIOC2B	GTIOC3A GTIOC3B
外部トリガ入力端子		GTETRG			
カウンタクリア要因		GTPRのコンペアマッチ、インプットキャプチャ、GTETRG端子入力、GTIOC3A/B端子入力、GTIOC3A/Bの内部出力（アウトプットコンペア）			
コンペアマッチ出力	Low出力	○	○	○	○
	High出力	○	○	○	○
	トグル出力	○	○	○	○
インプットキャプチャ機能		○	○	○	○
同期動作		○	○	○	○
位相シフトスタート		○	○	○	○
デッドタイム自動付加機能		○	○	○	○
PWMモード		○	○	○	○
バッファ動作		○	○	○	○
ワンショット動作		○	○	○	○
DMAC		すべての割り込み要因			
A/D変換開始トリガ		GTADTRA、GTADTRBのコンペアマッチ	GTADTRA、GTADTRBのコンペアマッチ	GTADTRA、GTADTRBのコンペアマッチ	GTADTRA、GTADTRBのコンペアマッチ

表21.2　GPTの機能一覧 (2 / 2)

項目	GPT0	GPT1	GPT2	GPT3
割り込み要因	9要因 • GTCCRAコンペアマッチ／インプットキャプチャ（GTCIA0） • GTCCRBコンペアマッチ／インプットキャプチャ（GTCIB0） • GTCCRCコンペアマッチ（GTCIC0） • GTCCRDコンペアマッチ（GTCID0） • デッドタイムエラー（GDTE0） • GTCCREコンペアマッチ（GTCIE0） • GTCCRFコンペアマッチ（GTCIF0） • GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV0） • GTCNTアンダフロー（GTCIU0）	9要因 • GTCCRAコンペアマッチ／インプットキャプチャ（GTCIA1） • GTCCRBコンペアマッチ／インプットキャプチャ（GTCIB1） • GTCCRCコンペアマッチ（GTCIC1） • GTCCRDコンペアマッチ（GTCID1） • デッドタイムエラー（GDTE1） • GTCCREコンペアマッチ（GTCIE1） • GTCCRFコンペアマッチ（GTCIF1） • GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV1） • GTCNTアンダフロー（GTCIU1）	9要因 • GTCCRAコンペアマッチ／インプットキャプチャ（GTCIA2） • GTCCRBコンペアマッチ／インプットキャプチャ（GTCIB2） • GTCCRCコンペアマッチ（GTCIC2） • GTCCRDコンペアマッチ（GTCID2） • デッドタイムエラー（GDTE2） • GTCCREコンペアマッチ（GTCIE2） • GTCCRFコンペアマッチ（GTCIF2） • GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV2） • GTCNTアンダフロー（GTCIU2）	9要因 • GTCCRAコンペアマッチ／インプットキャプチャ（GTCIA3） • GTCCRBコンペアマッチ／インプットキャプチャ（GTCIB3） • GTCCRCコンペアマッチ（GTCIC3） • GTCCRDコンペアマッチ（GTCID3） • デッドタイムエラー（GDTE3） • GTCCREコンペアマッチ（GTCIE3） • GTCCRFコンペアマッチ（GTCIF3） • GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV3） • GTCNTアンダフロー（GTCIU3）
共通割り込み要因	外部トリガ			
割り込み間引き機能	GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV0）／GTCNTアンダフロー（GTCIU0）割り込みを間引き（他の割り込み、およびA/D変換要求との連動機能あり）	GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV1）／GTCNTアンダフロー（GTCIU1）割り込みを間引き（他の割り込み、およびA/D変換要求との連動機能あり）	GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV2）／GTCNTアンダフロー（GTCIU2）割り込みを間引き（他の割り込み、およびA/D変換要求との連動機能あり）	GTCNTオーバフロー（GTPRコンペアマッチ）（GTCIV3）／GTCNTアンダフロー（GTCIU3）割り込みを間引き（他の割り込み、およびA/D変換要求との連動機能あり）
ELC設定によるイベント動作	○	○	○	○
ノイズフィルタ機能	○	○	○	○
モジュールストップの設定	MSTPCRA.MSTPCRA9 ビット			

○：可能、—：不可能



GTSTR	: 汎用 PWM タイマソフトウェアスタートレジスタ
NFCR	: ノイズフィルタ制御レジスタ
GTHSCR	: 汎用 PWM タイマハードウェア要因スタート / ストップ制御レジスタ
GTHCCR	: 汎用 PWM タイマハードウェア要因クリア制御レジスタ
GTHSSR	: 汎用 PWM タイマハードウェアスタート要因セレクトレジスタ
GTHPSR	: 汎用 PWM タイマハードウェアストップクリア要因セレクトレジスタ
GTWP	: 汎用 PWM タイマ書き込み保護レジスタ
GTSYNC	: 汎用 PWM タイマシンクロレジスタ
GTETINT	: 汎用 PWM タイマ外部トリガ入力割り込みレジスタ
GTBDR	: 汎用 PWM タイマバッファ動作禁止レジスタ
GTSWP	: 汎用 PWM タイマスタート書き込み保護レジスタ
GTIOR	: 汎用 PWM タイマ I/O 制御レジスタ
GTINTAD	: 汎用 PWM タイマ割り込み出力設定レジスタ
GTCR	: 汎用 PWM タイマ制御レジスタ
GTBER	: 汎用 PWM タイマバッファイネーブルレジスタ
GTUDC	: 汎用 PWM タイマカウント方向レジスタ
GTITC	: 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ
GTST	: 汎用 PWM タイマステータスレジスタ
GTCNT	: 汎用 PWM タイマカウンタ

GTCCRA	: 汎用 PWM タイマコンペアキャプチャレジスタ A
GTCCRB	: 汎用 PWM タイマコンペアキャプチャレジスタ B
GTCCRC	: 汎用 PWM タイマコンペアキャプチャレジスタ C
GTCCRD	: 汎用 PWM タイマコンペアキャプチャレジスタ D
GTCCRE	: 汎用 PWM タイマコンペアキャプチャレジスタ E
GTCCRF	: 汎用 PWM タイマコンペアキャプチャレジスタ F
GTPR	: 汎用 PWM タイマ周期設定レジスタ
GTPBR	: 汎用 PWM タイマ周期設定バッファレジスタ
GTPDBR	: 汎用 PWM タイマ周期設定ダブルバッファレジスタ
GTADTRA	: A/D 変換開始要求タイミングレジスタ A
GTADTBRA	: A/D 変換開始要求タイミングバッファレジスタ A
GTADTDBRA	: A/D 変換開始要求タイミングダブルバッファレジスタ A
GTADTRB	: A/D 変換開始要求タイミングレジスタ B
GTADTBRB	: A/D 変換開始要求タイミングバッファレジスタ B
GTADTDBRB	: A/D 変換開始要求タイミングダブルバッファレジスタ B
GTONCR	: 汎用 PWM タイマ出力ネゲート制御レジスタ
GTDTCR	: 汎用 PWM タイマデッドタイム制御レジスタ
GTDVU	: 汎用 PWM タイマデッドタイム値レジスタ U
GTDVD	: 汎用 PWM タイマデッドタイム値レジスタ D
GTDBU	: 汎用 PWM タイマデッドタイムバッファレジスタ U
GTDBD	: 汎用 PWM タイマデッドタイムバッファレジスタ D
GTSOS	: 汎用 PWM タイマ出力保護機能ステータスレジスタ
GTSOTR	: 汎用 PWM タイマ出力保護機能一時解除レジスタ

図 21.1　GPT のブロック図

表 21.3 に GPT で使用する入出力端子を示します。

表21.3　GPTの入出力端子

チャネル	端子名	入出力	機能
共通	GTETRG	入力	外部トリガ入力端子
GPT0	GTIOC0A	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC0B	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT1	GTIOC1A	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC1B	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT2	GTIOC2A	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC2B	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT3	GTIOC3A	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC3B	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子

21.2　レジスタの説明

21.2.1　汎用 PWM タイマソフトウェアスタートレジスタ（GTSTR）

GTSTR レジスタは、GPTn.GTCNT カウンタの動作／停止を設定するレジスタです。（n = 0 ～ 3）

アドレス　GPT.GTSTR A006 C000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	GPT0.GTCNTカウントスタートビット	0：カウント停止 1：カウント動作	R/W
b1	CST1	GPT1.GTCNTカウントスタートビット		R/W
b2	CST2	GPT2.GTCNTカウントスタートビット		R/W
b3	CST3	GPT3.GTCNTカウントスタートビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CSTn ビット（GPTn.GTCNT カウントスタートビット）（n = 0 ～ 3）

GPTn.GTCNT カウンタの動作／停止を選択します。

汎用 PWM タイマスタート書き込み保護レジスタ（GTSWP）の SWPn ビットにより、CSTn ビットへの書き込みが禁止されたビットへの書き込みは無視されます。

GTHSCR レジスタで、ハードウェア要因によるカウンタの動作／停止に設定することもできます。ハードウェア要因によるスタートが実行された場合は自動的に “1” に、ハードウェア要因によるストップが実行された場合は自動的に “0” になります。

21.2.2　ノイズフィルタ制御レジスタ（NFCR）

NFCR レジスタは、ノイズフィルタの許可／停止、およびノイズフィルタのサンプリングクロックを選択するレジスタです。

アドレス　GPT.NFCR A006 C002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NFCS3[1:0]		NFCS2[1:0]		NFCS1[1:0]		NFCS0[1:0]		NFB3EN	NFA3EN	NFB2EN	NFA2EN	NFB1EN	NFA1EN	NFB0EN	NFA0EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFA0EN	ノイズフィルタ 0Aイネーブルビット	0：GTIOC0Aのノイズフィルタを停止 1：GTIOC0Aのノイズフィルタを許可	R/W
b1	NFB0EN	ノイズフィルタ 0Bイネーブルビット	0：GTIOC0Bのノイズフィルタを停止 1：GTIOC0Bのノイズフィルタを許可	R/W
b2	NFA1EN	ノイズフィルタ 1Aイネーブルビット	0：GTIOC1Aのノイズフィルタを停止 1：GTIOC1Aのノイズフィルタを許可	R/W
b3	NFB1EN	ノイズフィルタ 1Bイネーブルビット	0：GTIOC1Bのノイズフィルタを停止 1：GTIOC1Bのノイズフィルタを許可	R/W
b4	NFA2EN	ノイズフィルタ 2Aイネーブルビット	0：GTIOC2Aのノイズフィルタを停止 1：GTIOC2Aのノイズフィルタを許可	R/W
b5	NFB2EN	ノイズフィルタ 2Bイネーブルビット	0：GTIOC2Bのノイズフィルタを停止 1：GTIOC2Bのノイズフィルタを許可	R/W
b6	NFA3EN	ノイズフィルタ 3Aイネーブルビット	0：GTIOC3Aのノイズフィルタを停止 1：GTIOC3Aのノイズフィルタを許可	R/W
b7	NFB3EN	ノイズフィルタ 3Bイネーブルビット	0：GTIOC3Bのノイズフィルタを停止 1：GTIOC3Bのノイズフィルタを許可	R/W
b9-b8	NFCS0[1:0]	GPT0ノイズフィルタのサンプリングクロック選択ビット	b9 b8 0 0：PCLKC/1 0 1：PCLKC/4 1 0：PCLKC/32 1 1：カウントソース（ELCイベントを除く）	R/W
b11-b10	NFCS1[1:0]	GPT1ノイズフィルタのサンプリングクロック選択ビット	b11 b10 0 0：PCLKC/1 0 1：PCLKC/4 1 0：PCLKC/32 1 1：カウントソース（ELCイベントを除く）	R/W
b13-b12	NFCS2[1:0]	GPT2ノイズフィルタのサンプリングクロック選択ビット	b13 b12 0 0：PCLKC/1 0 1：PCLKC/4 1 0：PCLKC/32 1 1：カウントソース（ELCイベントを除く）	R/W
b15-b14	NFCS3[1:0]	GPT3ノイズフィルタのサンプリングクロック選択ビット	b15 b14 0 0：PCLKC/1 0 1：PCLKC/4 1 0：PCLKC/32 1 1：カウントソース（ELCイベントを除く）	R/W

NFAnEN ビット（ノイズフィルタ nA イネーブルビット）（n = 0 ～ 3）

GTIOCnA 端子の入力のノイズフィルタ機能の許可／停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタ（GTIOR）の該当端子機能をアウトプットコンペア機能に設定または、GTCR.MD[2:0] ビットでのこぎり波 PWM モード（000b）以外に設定した状態で、本ビットを切り替えてください。

NFBnEN ビット（ノイズフィルタ nB イネーブルビット）（n = 0 ～ 3）

GTIOCnB 端子の入力のノイズフィルタ機能の許可／停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタ（GTIOR）の該当端子機能をアウトプットコンペア機能に設定または、GTCR.MD[2:0] ビットでのこぎり波 PWM モード（000b）以外に設定した状態で、本ビットを切り替えてください。

NFCSn ビット（ノイズフィルタクロックセレクトビット）（n = 0 ～ 3）

ノイズフィルタのサンプリング周期を設定します。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

21.2.3　汎用 PWM タイマハードウェア要因スタート／ストップ制御レジスタ（GTHSCR）

GTHSCR レジスタは、ハードウェア要因による GPTn.GTCNT カウントの動作／停止を設定するレジスタです。（n = 0 ～ 3）

ハードウェア要因による GPTn.GTCNT カウンタのスタートとストップが同時に起きた場合、スタートが優先されます。

アドレス　GPT.GTHSCR A006 C004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CPHW3[1:0]		CPHW2[1:0]		CPHW1[1:0]		CPHW0[1:0]		CSHW3[1:0]		CSHW2[1:0]		CSHW1[1:0]		CSHW0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CSHW0[1:0]	GPT0.GTCNTハードウェア要因カウントスタートビット	00：ハードウェア要因でカウントスタートしない 01：ハードウェア要因の立ち上がりエッジでカウントスタートする 10：ハードウェア要因の立ち下がりエッジでカウントスタートする 11：ハードウェア要因の両エッジでカウントスタートする	R/W
b3-b2	CSHW1[1:0]	GPT1.GTCNTハードウェア要因カウントスタートビット		R/W
b5-b4	CSHW2[1:0]	GPT2.GTCNTハードウェア要因カウントスタートビット		R/W
b7-b6	CSHW3[1:0]	GPT3.GTCNTハードウェア要因カウントスタートビット		R/W
b9-b8	CPHW0[1:0]	GPT0.GTCNTハードウェア要因カウントストップビット	00：ハードウェア要因でカウントストップしない 01：ハードウェア要因の立ち上がりエッジでカウントストップする 10：ハードウェア要因の立ち下がりエッジでカウントストップする 11：ハードウェア要因の両エッジでカウントストップする	R/W
b11-b10	CPHW1[1:0]	GPT1.GTCNTハードウェア要因カウントストップビット		R/W
b13-b12	CPHW2[1:0]	GPT2.GTCNTハードウェア要因カウントストップビット		R/W
b15-b14	CPHW3[1:0]	GPT3.GTCNTハードウェア要因カウントストップビット		R/W

CSHWn[1:0] ビット（GPTn.GTCNT ハードウェア要因カウントスタートビット）（n = 0 ～ 3）

ハードウェア要因で GPTn.GTCNT カウンタをカウントスタートします。

ハードウェア要因でスタートした場合、GTSTR レジスタの対応するビットが自動的に “1” になります。

ハードウェア要因は、GTHSSR レジスタで選択します。

CPHWn[1:0] ビット（GPTn.GTCNT ハードウェア要因カウントストップビット）（n = 0 ～ 3）

ハードウェア要因で GPTn.GTCNT カウンタをカウントストップします。

ハードウェア要因でストップした場合、GTSTR レジスタの対応するビットが自動的に “0” になります。

ハードウェア要因は、GTHPSR レジスタで選択します。

21.2.4　汎用 PWM タイマハードウェア要因クリア制御レジスタ（GTHCCR）

GTHCCR レジスタは、ハードウェア要因による GPTn.GTCNT カウンタのクリアを設定するレジスタです。（n = 0 ～ 3）

ハードウェア要因による GPTn.GTCNT カウンタのクリアを設定した場合、GPTn.GTCNT カウントが動作中（GTSTR.CSTn = 1）の場合でも、停止中（GTSTR.CSTn = 0）の場合でも、ハードウェア要因によるカウンタクリアは実行されます。（n = 0 ～ 3）

アドレス　GPT.GTHCCR A006 C006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CCSW3	CCSW2	CCSW1	CCSW0	CCHW3[1:0]		CCHW2[1:0]		CCHW1[1:0]		CCHW0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCHW0[1:0]	GPT0.GTCNTハードウェア要因カウンタクリアビット	00：ハードウェア要因でカウンタクリアしない 01：ハードウェア要因の立ち上がりエッジでカウンタクリアする 10：ハードウェア要因の立ち下がりエッジでカウンタクリアする 11：ハードウェア要因の両エッジでカウンタクリアする	R/W
b3-b2	CCHW1[1:0]	GPT1.GTCNTハードウェア要因カウンタクリアビット		R/W
b5-b4	CCHW2[1:0]	GPT2.GTCNTハードウェア要因カウンタクリアビット		R/W
b7-b6	CCHW3[1:0]	GPT3.GTCNTハードウェア要因カウンタクリアビット		R/W
b8	CCSW0	GPT0.GTCNTカウンタクリアビット	“1”を書くとカウンタをクリアします。“1”を書き込み後、自動的に“0”に戻ります。読むと“0”が読めます。	R/W
b9	CCSW1	GPT1.GTCNTカウンタクリアビット		R/W
b10	CCSW2	GPT2.GTCNTカウンタクリアビット		R/W
b11	CCSW3	GPT3.GTCNTカウンタクリアビット		R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CCHWn[1:0] ビット（GPTn.GTCNT ハードウェア要因カウンタクリアビット）（n = 0 ～ 3）

ハードウェア要因で GPTn.GTCNT カウンタをカウンタクリアします。

ハードウェア要因は GTHPSR レジスタで選択します。

CCHWn[1:0] ビットを “01b”、“10b”、“11b” にしている間は、繰り返しハードウェア要因を受け付けます。

CCHWn[1:0] ビットを “01b”、“10b”、“11b” にするのと同時に同一チャンネルの GTHSCR.CPHWn[1:0] ビットを “01b”、“10b”、“11b” にする場合は、GPTn.GTCR.TPCS ビットを “00b” にしてから、CCHWn[1:0] ビットと GTHSCR.CPHWn[1:0] ビットを設定してください。

CCSWn ビット（GPTn.GTCNT カウンタクリアビット）（n = 0 ～ 3）

“1” を書くと、GPTn.GTCNT カウンタが “0” になります。“1” を書いた後、自動的に “0” に戻ります。読むと “0” が読めます。

21.2.5　汎用 PWM タイマハードウェアスタート要因セレクトレジスタ（GTHSSR）

GTHSSR レジスタは、GPTn.GTCNT カウンタのカウンタスタートのハードウェア要因を設定するレジスタです。（n = 0 ～ 3）

要因の変更は GTHSCR.CSHWn[1:0] ビットを “0” にしてから行ってください。

アドレス　GPT.GTHSSR A006 C008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSHSL3[3:0]				CSHSL2[3:0]				CSHSL1[3:0]				CSHSL0[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHSL0[3:0]	GPT0.GTCNTハードウェアカウンタスタート要因選択ビット	b3　b0 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １０１０：GTIOC3A内部出力（アウトプットコンペア） １０１１：GTIOC3B内部出力（アウトプットコンペア） １１００：GTETRG端子入力 ハードウェア要因でカウントスタートさせる場合は、上記以外は設定しないでください。	R/W
b7-b4	CSHSL1[3:0]	GPT1.GTCNTハードウェアカウンタスタート要因選択ビット	b7　b4 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １０１０：GTIOC3A内部出力（アウトプットコンペア） １０１１：GTIOC3B内部出力（アウトプットコンペア） １１００：GTETRG端子入力 ハードウェア要因でカウントスタートさせる場合は、上記以外は設定しないでください。	R/W
b11-b8	CSHSL2[3:0]	GPT2.GTCNTハードウェアカウンタスタート要因選択ビット	b11　b8 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １０１０：GTIOC3A内部出力（アウトプットコンペア） １０１１：GTIOC3B内部出力（アウトプットコンペア） １１００：GTETRG端子入力 ハードウェア要因でカウントスタートさせる場合は、上記以外は設定しないでください。	R/W
b15-b12	CSHSL3[3:0]	GPT3.GTCNTハードウェアカウンタスタート要因選択ビット	b15　b12 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １１００：GTETRG端子入力 ハードウェア要因でカウントスタートさせる場合は、上記以外は設定しないでください。	R/W

CSHSLn[3:0] ビット（GPTn.GTCNT ハードウェアカウンタスタート要因選択ビット）（n = 0 ～ 3）

GPTn.GTCNT カウンタのカウンタスタートのハードウェア要因を選択します。

注 .　ハードウェア要因として “1000b” を選択した場合、GPT3.GTIOR.GTIOA[5:0] ビットの b5 = “0”、GPT3.GTONCR.OAE = “0” と設定してください。ハードウェア要因として “1001b” を選択した場合、GPT3.GTIOR.GTIOB[5:0] ビットの b5 = “0”、GPT3.GTONCR.OBE = “0” と設定してください。

21.2.6　汎用 PWM タイマハードウェアストップクリア要因セレクトレジスタ（GTHPSR）

GTHPSR レジスタは、GPTn.GTCNT カウンタのカウンタストップクリアのハードウェア要因を設定するレジスタです。（n = 0 ～ 3）

要因の変更は GTHSCR.CPHWn[1:0] ビット、GTHCCR.CCHWn[1:0] ビットを “0” にしてから行ってください。

アドレス　GPT.GTHPSR A006 C00Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSHPL3[3:0]				CSHPL2[3:0]				CSHPL1[3:0]				CSHPL0[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHPL0[3:0]	GPT0.GTCNTハードウェアカウンタストップクリア要因選択ビット	b3　b0 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １０１０：GTIOC3A内部出力（アウトプットコンペア） １０１１：GTIOC3B内部出力（アウトプットコンペア） １１００：GTETRG端子入力 ハードウェア要因でカウントストップ、カウントクリアさせる場合は、上記以外は設定しないでください。	R/W
b7-b4	CSHPL1[3:0]	GPT1.GTCNTハードウェアカウンタストップクリア要因選択ビット	b7　b4 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １０１０：GTIOC3A内部出力（アウトプットコンペア） １０１１：GTIOC3B内部出力（アウトプットコンペア） １１００：GTETRG端子入力 ハードウェア要因でカウントストップ、カウントクリアさせる場合は、上記以外は設定しないでください。	R/W
b11-b8	CSHPL2[3:0]	GPT2.GTCNTハードウェアカウンタストップクリア要因選択ビット	b11　b8 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １０１０：GTIOC3A内部出力（アウトプットコンペア） １０１１：GTIOC3B内部出力（アウトプットコンペア） １１００：GTETRG端子入力 ハードウェア要因でカウントストップ、カウントクリアさせる場合は、上記以外は設定しないでください。	R/W
b15-b12	CSHPL3[3:0]	GPT3.GTCNTハードウェアカウンタストップクリア要因選択ビット	b15　b12 １０００：GTIOC3A端子入力 １００１：GTIOC3B端子入力 １１００：GTETRG端子入力 ハードウェア要因でカウントストップ、カウントクリアさせる場合は、上記以外は設定しないでください。	R/W

CSHPLn[3:0] ビット（GPTn.GTCNT ハードウェアカウンタストップクリア要因選択ビット）（n = 0 ～ 3）

GPTn.GTCNT カウンタのカウンタストップクリアのハードウェア要因を選択します。

注 .　ストップクリア要因として “1000b” を選択した場合、GPT3.GTIOR.GTIOA[5:0] ビットの b5 = “0”、GPT3.GTONCR.OAE = “0” と設定してください。ストップクリア要因として “1001b” を選択した場合、GPT3.GTIOR.GTIOB[5:0] ビットの b5 = “0”、GPT3.GTONCR.OBE = “0” と設定してください。

21.2.7　汎用 PWM タイマ書き込み保護レジスタ（GTWP）

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可／禁止するレジスタです。

GTWP レジスタの設定で、書き込み許可／禁止が反映されるレジスタは、**「21.7.1　レジスタの書き込み保護」**を参照してください。

アドレス　GPT.GTWP A006 C00Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WP3	WP2	WP1	WP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP0	GPT0 レジスタ書き込み禁止ビット	0：レジスタへの書き込みを許可 1：レジスタへの書き込みを禁止	R/W
b1	WP1	GPT1 レジスタ書き込み禁止ビット		R/W
b2	WP2	GPT2 レジスタ書き込み禁止ビット		R/W
b3	WP3	GPT3 レジスタ書き込み禁止ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

WPn ビット（GPTn レジスタ書き込み禁止ビット）（n = 0 ～ 3）

GPTn のレジスタへの書き込みの許可／禁止を選択します。

21.2.8　汎用 PWM タイマシンクロレジスタ（GTSYNC）

GTSYNC レジスタは、同期クリア／同期動作による GPTn.GTCNT カウンタのクリア要因を設定するレジスタです。書き込みは GPTn.GTCNT カウンタのカウント動作が停止した状態で行ってください。（n = 0 ～ 3）

アドレス　GPT.GTSYNC A006 C00Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC3[1:0]		—	—	SYNC2[1:0]		—	—	SYNC1[1:0]		—	—	SYNC0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SYNC0[1:0]	GPT0.GTCNTカウンタ同期クリア要因選択ビット	b1 b0 0 0：GPT0のクリア要因でGPT0.GTCNTをクリア（同期クリアしない） 0 1：GPT1のクリア要因でGPT0.GTCNTを同期クリア 1 0：GPT2のクリア要因でGPT0.GTCNTを同期クリア 1 1：GPT3のクリア要因でGPT0.GTCNTを同期クリア	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b5-b4	SYNC1[1:0]	GPT1.GTCNTカウンタ同期クリア要因選択ビット	b5 b4 0 0：GPT0のクリア要因でGPT1.GTCNTを同期クリア 0 1：GPT1のクリア要因でGPT1.GTCNTをクリア（同期クリアしない） 1 0：GPT2のクリア要因でGPT1.GTCNTを同期クリア 1 1：GPT3のクリア要因でGPT1.GTCNTを同期クリア	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	SYNC2[1:0]	GPT2.GTCNTカウンタ同期クリア要因選択ビット	b9 b8 0 0：GPT0のクリア要因でGPT2.GTCNTを同期クリア 0 1：GPT1のクリア要因でGPT2.GTCNTを同期クリア 1 0：GPT2のクリア要因でGPT2.GTCNTをクリア（同期クリアしない） 1 1：GPT3のクリア要因でGPT2.GTCNTを同期クリア	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13-b12	SYNC3[1:0]	GPT3.GTCNTカウンタ同期クリア要因選択ビット	b13 b12 0 0：GPT0のクリア要因でGPT3.GTCNTを同期クリア 0 1：GPT1のクリア要因でGPT3.GTCNTを同期クリア 1 0：GPT2のクリア要因でGPT3.GTCNTを同期クリア 1 1：GPT3のクリア要因でGPT3.GTCNTをクリア（同期クリアしない）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SYNCn[1:0] ビット（GPTn.GTCNT カウンタ同期クリア要因選択ビット）（n = 0 ～ 3）

GPTn.GTCNT カウンタをどのチャネルのカウンタのクリア要因でクリアするかを選択します。SYNCn[1:0] ビットを設定する場合は、先に GPTn.GTCR.CCLR[1:0] ビットを “11b”（同期クリア／同期動作をしている他のカウンタのクリア要因でクリア）にしてください。

21.2.9　汎用 PWM タイマ外部トリガ入力割り込みレジスタ（GTETINT）

GTETINT レジスタは、外部トリガ入力端子（GTETRG）による割り込みの許可／禁止を設定するレジスタです。

アドレス　GPT.GTETINT A006 C010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GTETRGEN	GTENFCS[1:0]		—	—	—	—	—	—	—	—	—	—	—	ETINEN	ETIPEN
リセット後の値	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x：不定

- GTENFCS[1:0]

ビット	シンボル	ビット名	機能	R/W
b0	ETIPEN	外部トリガ立ち上がり入力割り込み要求許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	ETINEN	外部トリガ立ち下がり入力割り込み要求許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください。	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14-b13	GTENFCS[1:0]	GTETRGノイズフィルタのサンプリングクロック選択ビット	b14 b13 0 0：PCLKC/1 0 1：PCLKC/2 1 0：PCLKC/4 1 1：PCLKC/32	R/W
b15	GTETRGEN	GTETRGノイズフィルタ許可ビット	0：GTETRGのノイズフィルタを停止 1：GTETRGのノイズフィルタを許可	R/W

ETIPEN ビット（外部トリガ立ち上がり入力割り込み要求許可ビット）

外部トリガ入力の立ち上がりエッジによる割り込み要求の許可／禁止を選択します。

ETINEN ビット（外部トリガ立ち下がり入力割り込み要求許可ビット）

外部トリガ入力の立ち下がりエッジによる割り込み要求の許可／禁止を選択します。

GTENFCS[1:0] ビット（GTETRG ノイズフィルタのサンプリングクロック選択ビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。以下のレジスタやビットは、本ビットの設定後、設定したサンプリング周期の 2 周期分待った後に、GTETRG 要因を選択し、割り込み要求を許可してください。

(1) ハードウェアスタート要因セレクトレジスタ GTHSSR. CSHSLn[3:0] (n = 0~3)

(2) ハードウェアストップ・クリア要因セレクトレジスタ GTHPSR. CSHPLn [3:0] (n = 0~3)

(3) 出力ネゲートコントロールレジスタ GTONCR.NFS[3:0]

(4) 本レジスタの割り込み要求許可ビット ETIPEN 、ETINEN

GTETRGEN ビット（GTETRG ノイズフィルタ許可ビット）

GTETRG 端子の入力のノイズフィルタ機能の許可／停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、以下のようにレジスタやビットを設定し、割り込み要求禁止の状態で本ビットを切り替えてください。

(1) ハードウェアスタート要因セレクトレジスタ GTHSSR. CSHSLn[3:0] ≠ 1100b (n = 0 ～ 3)

(2) ハードウェアストップ・クリア要因セレクトレジスタ GTHPSR. CSHPLn [3:0] ≠ 1100b (n = 0 ～ 3)

(3) 出力ネゲートコントロールレジスタ GTONCR.NFS[3:0] ≠ 0111b

(4) 本レジスタの割り込み要求許可ビット ETIPEN = ETINEN = 0b

21.2.10　汎用 PWM タイマバッファ動作禁止レジスタ（GTBDR）

GTBDR レジスタは、各チャネルのバッファ動作の許可／禁止を一括して設定するレジスタです。GTBDR レジスタの各ビットを “0”（バッファ動作許可）にしても、GTBER レジスタでバッファ動作を有効にしなければバッファ動作は行いません。

アドレス　GPT.GTBDR A006 C014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BD33	BD32	BD31	BD30	BD23	BD22	BD21	BD20	BD13	BD12	BD11	BD10	BD03	BD02	BD01	BD00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD00	GPT0.GTCCRバッファ動作禁止ビット	0：バッファ動作許可 1：バッファ動作禁止	R/W
b1	BD01	GPT0.GTPRバッファ動作禁止ビット		R/W
b2	BD02	GPT0.GTADTRバッファ動作禁止ビット		R/W
b3	BD03	GPT0.GTDVバッファ動作禁止ビット		R/W
b4	BD10	GPT1.GTCCRバッファ動作禁止ビット		R/W
b5	BD11	GPT1.GTPRバッファ動作禁止ビット		R/W
b6	BD12	GPT1.GTADTRバッファ動作禁止ビット		R/W
b7	BD13	GPT1.GTDVバッファ動作禁止ビット		R/W
b8	BD20	GPT2.GTCCRバッファ動作禁止ビット		R/W
b9	BD21	GPT2.GTPRバッファ動作禁止ビット		R/W
b10	BD22	GPT2.GTADTRバッファ動作禁止ビット		R/W
b11	BD23	GPT2.GTDVバッファ動作禁止ビット		R/W
b12	BD30	GPT3.GTCCRバッファ動作禁止ビット		R/W
b13	BD31	GPT3.GTPRバッファ動作禁止ビット		R/W
b14	BD32	GPT3.GTADTRバッファ動作禁止ビット		R/W
b15	BD33	GPT3.GTDVバッファ動作禁止ビット		R/W

BDn0 ビット（GPTn.GTCCR バッファ動作禁止ビット）（n = 0 ～ 3）

GPTn.GTCCRA、GPTn.GTCCRC、GPTn.GTCCRD レジスタを組み合わせたバッファ動作、および GPTn.GTCCRB、GPTn.GTCCRE、GPTn.GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

BDn1 ビット（GPTn.GTPR バッファ動作禁止ビット）（n = 0 ～ 3）

GPTn.GTPR、GPTn.GTPBR、GPTn.GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

BDn2 ビット（GPTn.GTADTR バッファ動作禁止ビット）（n = 0 ～ 3）

GPTn.GTADTRA、GPTn.GTADTBRA、GPTn.GTADTDBRA レジスタを組み合わせたバッファ動作、および GPTn の GTADTRB、GPTn.GTADTBRB、GPTn.GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

BDn3 ビット（GPTn.GTDV バッファ動作禁止ビット）（n = 0 ～ 3）

GPTn.GTDVU、GPTn.GTDBU レジスタを組み合わせたバッファ動作、および GPTn.GTDVD、GPTn.GTDBD レジスタを組み合わせたバッファ動作を禁止します。

21.2.11　汎用 PWM タイマスタート書き込み保護レジスタ（GTSWP）

GTSWP レジスタは、誤書き込みを防ぐため GTSTR レジスタへの書き込み許可／禁止するレジスタです。

アドレス　GPT.GTSWP A006 C018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWP3	SWP2	SWP1	SWP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWP0	GTSTR.CST0 ビット書き込み禁止ビット	0：レジスタへの書き込み許可 1：レジスタへの書き込み禁止	R/W
b1	SWP1	GTSTR.CST1 ビット書き込み禁止ビット		R/W
b2	SWP2	GTSTR.CST2 ビット書き込み禁止ビット		R/W
b3	SWP3	GTSTR.CST3 ビット書き込み禁止ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SWPn ビット（GTSTR.CSTn ビット書き込み禁止ビット）（n = 0 ～ 3）

GTSTR.CSTn ビットへの書き込みを許可／禁止します。

禁止に設定した場合、GTSTR.CSTSn ビットへの書き込みは無視されます。

ただし、GTHSCR レジスタでハードウェア要因によるカウンタの動作／停止を設定している場合、SWPn ビットの設定により GTSTR.CSTn ビットへの書き込みが禁止されていても、ハードウェア要因によるカウンタの動作／停止の状態は GTSTR.CSTn ビットに書き込まれます。

21.2.12　汎用 PWM タイマ I/O 制御レジスタ（GTIOR）

GPTn.GTIOR レジスタは、GTIOCnA、GTIOCnB 端子の機能を設定するレジスタです（n = 0 ～ 3）。GPTn.GTIOR レジスタは、各チャネルに 1 本あります。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTIOR レジスタへの書き込みは無視されます。

アドレス　GPT0.GTIOR A006 C100h、GPT1.GTIOR A006 C180h、GPT2.GTIOR A006 C200h、GPT3.GTIOR A006 C280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OBHLD	OBDFLT	GTIOB[5:0]						OAHLD	OADFLT	GTIOA[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	GTIOA[5:0]	GTIOCnA端子機能選択ビット	表21.4を参照してください。	R/W
b6	OADFLT	GTIOCnA端子カウント停止時の出力値ビット	0：カウント停止時にGTIOCnA端子からLowを出力 1：カウント停止時にGTIOCnA端子からHighを出力	R/W
b7	OAHLD	GTIOCnA端子カウント開始停止時の出力保持ビット	0：カウント開始／停止時のGTIOCnA端子の出力レベルは、レジスタ設定値にしたがう 1：カウント開始／停止時にGTIOCnA端子の出力レベルを保持する	R/W
b13-b8	GTIOB[5:0]	GTIOCnB端子機能選択ビット	表21.4を参照してください。	R/W
b14	OBDFLT	GTIOCnB端子カウント停止時の出力値ビット	0：カウント停止時にGTIOCnB端子からLowを出力 1：カウント停止時にGTIOCnB端子からHighを出力	R/W
b15	OBHLD	GTIOCnB端子カウント開始停止時の出力保持ビット	0：カウント開始／停止時のGTIOCnB端子の出力レベルは、レジスタ設定値にしたがう 1：カウント開始／停止時にGTIOCnB端子の出力レベルを保持する	R/W

注1.　（n = 0～3）

GTIOA[5:0] ビット（GTIOCnA 端子機能選択ビット）

GTIOCnA 端子の機能を選択します。詳細は、**表 21.4** を参照してください。

OADFLT ビット（GTIOCnA 端子カウント停止時の出力値ビット）

カウント停止時に、GTIOCnA 端子から Low を出力するか、High を出力するかを設定します。

OAHLD ビット（GTIOCnA 端子カウント開始停止時の出力保持ビット）

カウント開始／停止時に、GTIOCnA 端子の出力レベルを保持するか、レジスタ設定値にしたがうかを設定します。

[OAHLD ビットを “0” にした場合]

- カウント開始時に、GTIOR レジスタの GTIOA ビットで指定した初期出力値を出力します
- カウント停止時に、OADFLT ビットで指定した値を出力します
- カウント停止中に OADFLT ビットの値を変更した場合は、ただちに出力に反映されます

[OAHLD ビットを “1” にした場合]

- カウント開始／停止時に出力を保持します

GTIOB[5:0] ビット（GTIOCnB 端子機能選択ビット）

GTIOCnB 端子の機能を選択します。詳細は、**表 21.4** を参照してください。

OBDFLT ビット（GTIOCnB 端子カウント停止時の出力値ビット）

カウント停止時に、GTIOCnB 端子から Low を出力するか、High を出力するかを設定します。

OBHLD ビット（GTIOCnB 端子カウント開始停止時の出力保持ビット）

カウント開始／停止時に、GTIOCnB 端子の出力レベルを保持するか、レジスタ設定値にしたがうかを設定します。

[OBHLD ビットを “0” にした場合]

- カウント開始時に、GTIOR レジスタの GTIOB ビットで指定した初期出力値を出力します
- カウント停止時に、OBDFLT ビットで指定した値を出力します
- カウント停止中に OBDFLT ビットの値を変更した場合は、ただちに出力に反映されます

[OBHLD ビットを “1” にした場合]

- カウント開始／停止時に出力を保持します

表21.4　GTIOA[5:0]ビット（GTIOB[5:0]ビット）の設定 (1 / 2)

GTIOA/B[5:0]ビット						機能			
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0
0	0	0	0	0	0	コンペアマッチ	初期出力“Low”	周期の終わりで出力保持	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	0	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力
0	0	0	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	0	0	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	0	0	1	0	0			周期の終わりで“Low”出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	0	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力
0	0	0	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	0	0	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	0	1	0	0	0			周期の終わりで“High”出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	1	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力
0	0	1	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	0	1	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	0	1	1	0	0			周期の終わりでトグル出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	1	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力
0	0	1	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	0	1	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	0	0	0	0		初期出力“High”	周期の終わりで出力保持	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	0	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力
0	1	0	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	1	0	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	0	1	0	0			周期の終わりで“Low”出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	0	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力

表21.4　GTIOA[5:0]ビット（GTIOB[5:0]ビット）の設定 (2 / 2)

GTIOA/B[5:0]ビット						機能			
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0
0	1	0	1	1	0	コンペアマッチ	初期出力“High”	周期の終わりで“Low”出力	GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	1	0	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	1	0	0	0			周期の終わりで“High”出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	1	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力
0	1	1	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	1	1	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	1	1	0	0			周期の終わりでトグル出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	1	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで“Low”出力
0	1	1	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで“High”出力
0	1	1	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
1	x	x	x	0	0	インプットキャプチャ	don’t care		立ち上がりエッジでインプットキャプチャ
1	x	x	x	0	1				立ち下がりエッジでインプットキャプチャ
1	x	x	x	1	0				両エッジでインプットキャプチャ
1	x	x	x	1	1				

注.　x：don't care

注1.　周期の終わりとは、のこぎり波のときはオーバフロー（アップカウント動作時のGTCNT = GTPR）またはアンダフロー（ダウンカウント動作時のGTCNT = 0）、三角波のときは谷（GTCNT = 0）を示します。

注2.　コンペアマッチ動作時、周期の終わりとGTCCRA/B レジスタのコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではb3-b2の設定が優先され、それ以外のモードではb1-b0の設定が優先されます。

注3.　GTIORレジスタでコンペアマッチに設定しただけでは、端子には出力されません。別途、GTONCRレジスタの設定が必要です。

21.2.13　汎用 PWM タイマ割り込み出力設定レジスタ（GTINTAD）

GTINTAD レジスタは、割り込み要求、および A/D 変換開始要求の許可／禁止を設定するレジスタです。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTINTAD レジスタへの書き込みは無視されます。

アドレス　GPT0.GTINTAD A006 C102h、GPT1.GTINTAD A006 C182h、GPT2.GTINTAD A006 C202h、GPT3.GTINTAD A006 C282h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—	GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRAコンペアマッチ／インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	GTINTB	GTCCRBコンペアマッチ／インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b2	GTINTC	GTCCRCコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3	GTINTD	GTCCRDコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b4	GTINTE	GTCCREコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	GTINTF	GTCCRFコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTPRコンペアマッチ割り込み許可ビット	b7 b6 0 0：割り込み要求を禁止 0 1：のこぎり波のときにオーバフロー、三角波のときに（山）で割り込み要求を許可 1 0：のこぎり波のときにアンダフロー、三角波のときに（谷）で割り込み要求を許可 1 1：のこぎり波のときにオーバフロー／アンダフロー両方、三角波のときに（山／谷）両方で割り込み要求を許可	R/W
b10-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b11	EINT	デッドタイムエラー割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b12	ADTRAUEN	GTADTRAコンペアマッチ（アップカウント）A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b13	ADTRADEN	GTADTRAコンペアマッチ（ダウンカウント）A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b14	ADTRBUEN	GTADTRBコンペアマッチ（アップカウント）A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b15	ADTRBDEN	GTADTRBコンペアマッチ（ダウンカウント）A/D変換開始要求許可ビット	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W

GTINTA ビット（GTCCRA コンペアマッチ／インプットキャプチャ割り込み許可ビット）

GTCCRA レジスタのコンペアマッチ／インプットキャプチャによる割り込み要求（GTCIA）を許可／禁止します。

GTINTB ビット（GTCCRB コンペアマッチ／インプットキャプチャ割り込み許可ビット）

GTCCRB レジスタのコンペアマッチ／インプットキャプチャによる割り込み要求（GTCIB）を許可／禁止します。

GTINTC ビット（GTCCRC コンペアマッチ割り込み許可ビット）

GTCCRC レジスタのコンペアマッチによる割り込み要求（GTCIC）を許可／禁止します。

GTINTD ビット（GTCCRD コンペアマッチ割り込み許可ビット）

GTCCRD レジスタのコンペアマッチによる割り込み要求（GTCID）を許可／禁止します。割り込み要求は GTCIC 割り込みとして発生します。

GTINTE ビット（GTCCRE コンペアマッチ割り込み許可ビット）

GTCCRE レジスタのコンペアマッチによる割り込み要求（GTCIE）を許可／禁止します。

GTINTF ビット（GTCCRF コンペアマッチ割り込み許可ビット）

GTCCRF レジスタのコンペアマッチによる割り込み要求（GTCIF）を許可／禁止します。割り込み要求は GTCIE 割り込みとして発生します。

GTINTPR[1:0] ビット（GTPR コンペアマッチ割り込み許可ビット）

GTPR レジスタのコンペアマッチ（GTCNT カウンタのオーバフロー）／ GTCNT カウンタのアンダフローによる割り込み要求（GTCIV ／ GTCIU）を許可／禁止します。

EINT ビット（デッドタイムエラー割り込み許可ビット）

デッドタイムエラー発生による割り込み要求（GDTE）を許可／禁止します。割り込み要求は GDTE 割り込みとして発生します。

ADTRAUEN（GTADTRA コンペアマッチ（アップカウント）A/D 変換開始要求許可ビット）

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可／禁止します。

ADTRADEN（GTADTRA コンペアマッチ（ダウンカウント）A/D 変換開始要求許可ビット）

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可／禁止します。

ADTRBUEN（GTADTRB コンペアマッチ（アップカウント）A/D 変換開始要求許可ビット）

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可／禁止します。

ADTRBDEN（GTADTRB コンペアマッチ（ダウンカウント）A/D 変換開始要求許可ビット）

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可／禁止します。

21.2.14　汎用 PWM タイマ制御レジスタ（GTCR）

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

GTCR レジスタの設定は、GTCNT カウンタの動作が停止した状態で行ってください。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTCR レジスタへの書き込みは無視されます。

アドレス　GPT0.GTCR A006 C104h、GPT1.GTCR A006 C184h、GPT2.GTCR A006 C204h、GPT3.GTCR A006 C284h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CCLR[1:0]		—	—	TPCS[1:0]		—	—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	MD[2:0]	モード選択ビット	b2　b0 ０００：のこぎり波PWMモード（シングル／ダブルバッファ可） ００１：のこぎり波ワンショットパルスモード（バッファ動作固定） １００：三角波PWMモード1（谷16ビット転送）（シングル／ダブルバッファ可） １０１：三角波PWMモード2（山／谷16ビット転送）（シングル／ダブルバッファ可） １１０：三角波PWMモード3（谷32ビット転送）（バッファ動作固定） 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	TPCS[1:0]	タイマプリスケーラ選択ビット	b9 b8 ０ ０：PCLKC（システムクロック） ０ １：PCLKC/2（システムクロック/2） １ ０：PCLKC/4（システムクロック/4） １ １：PCLKC/8（システムクロック/8）	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13-b12	CCLR[1:0]	カウンタクリア要因選択ビット	b13 b12 ０ ０：要因を設定しない ０ １：GTCCRAレジスタのインプットキャプチャでクリア １ ０：GTCCRBレジスタのインプットキャプチャでクリア １ １：同期クリア／同期動作をしている他のカウンタクリア要因でクリア	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MD[2:0] ビット（モード選択ビット）

GPT の動作モードを選択します。

TPCS[1:0] ビット（タイマプリスケーラ選択ビット）

GTCNT カウンタのクロックを選択します。各チャネル独立にクロックソースを選択することができます。

CCLR[1:0] ビット（カウンタクリア要因選択ビット）

GTCNT カウンタのクリア要因を選択します。

同期クリアを選択すると、のこぎり波の場合は、同期クリアを自身のオーバフロー／アンダフローによるクリアと同等として扱い、端子出力／バッファ転送を行います。このとき GTINTAD.GTINTPR[1:0] ビットが “01b” か “10b” か “11b” に設定されていても GTCIV 割り込みは要求しません。三角波の場合は、カウンタのクリアのみ行い、カウンタ値は “0” となりますが、“ 谷 ” として扱いません。

カウンタクリア要因で “01b” または “10b” または “11b” を選択した場合、GPTn.GTCNT カウントが動作中（GTSTR.CSTn = 1）の場合でも、停止中（GTSTR.CSTn = 0）の場合でも、要因によるカウンタクリアは実行されます（n = 0 ～ 3）。また、同期クリア動作時、動作するチャネルの CCLR[1:0] ビットを “01b”、“10b” に設定しないでください。

21.2.15　汎用 PWM タイマバッファイネーブルレジスタ（GTBER）

GTBER レジスタは、バッファ動作の設定を行うレジスタです。

GTBER レジスタの設定は、GTCNT カウンタの動作が停止した状態で行ってください。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTBER レジスタへの書き込みは無視されます。

アドレス　GPT0.GTBER A006 C106h、GPT1.GTBER A006 C186h、GPT2.GTBER A006 C206h、GPT3.GTBER A006 C286h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCRA[1:0]	GTCCRAバッファ動作ビット	b1 b0 0 0：バッファ動作しない 0 1：シングルバッファとして動作する （GTCCRA⇔GTCCRC） 1 x：ダブルバッファとして動作する （GTCCRA⇔GTCCRC⇔GTCCRD）	R/W
b3-b2	CCRB[1:0]	GTCCRBバッファ動作ビット	b3 b2 0 0：バッファ動作しない 0 1：シングルバッファとして動作する （GTCCRB⇔GTCCRE） 1 x：ダブルバッファとして動作する （GTCCRB⇔GTCCRE⇔GTCCRF）	R/W
b5-b4	PR[1:0]	GTPRバッファ動作ビット	b5 b4 0 0：バッファ動作しない 0 1：シングルバッファとして動作する （GTPBR⇒GTPR） 1 x：ダブルバッファとして動作する （GTPDBR⇒GTPBR⇒GTPR）	R/W
b6	CCRSWT	GTCCRA・GTCCRB強制バッファ動作ビット	“1”を書くとGTCCRA、GTCCRBのバッファ転送を強制的に行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	ADTTA[1:0]	GTADTRAバッファ転送タイミング選択ビット	• 三角波の場合 b9 b8 0 0：転送しない 0 1：（山）で転送 1 0：（谷）で転送 1 1：（谷／山）両方で転送 • のこぎり波の場合 b9 b8 0 0：転送しない 0 0以外：アンダフロー（ダウンカウント時）、 オーバフロー（アップカウント時）で転送	R/W
b10	ADTDA	GTADTRAダブルバッファ動作ビット	0：シングルバッファとして動作する （GTADTBRA⇒GTADTRA） 1：ダブルバッファとして動作する （GTADTDBRA⇒GTADTBRA⇒GTADTRA）	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b13-b12	ADTTB[1:0]	GTADTRBバッファ転送タイミング選択ビット	• 三角波の場合 b13 b12 0 0：転送しない 0 1：（山）で転送 1 0：（谷）で転送 1 1：（谷／山）両方で転送 • のこぎり波の場合 b13 b12 0 0：転送しない 0 0以外：アンダフロー（ダウンカウント時）、オーバフロー（アップカウント時）で転送	R/W
b14	ADTDB	GTADTRBダブルバッファ動作ビット	0：シングルバッファとして動作する（GTADTBRB⇒GTADTRB） 1：ダブルバッファとして動作する（GTADTDBRB⇒GTADTBRB→GTADTRB）	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CCRA[1:0] ビット（GTCCRA バッファ動作ビット）

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注 1)

CCRB[1:0] ビット（GTCCRB バッファ動作ビット）

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注 1)

PR[1:0] ビット（GTPR バッファ動作ビット）

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を設定します。

のこぎり波でダウンカウントのときは PR[1:0] ビットを “00b”（バッファ動作しない）に設定してください。

CCRSWT ビット（GTCCRA・GTCCRB 強制バッファ動作ビット）

CCRSWT ビットに “1” を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。“1” を書いた後、自動的に “0” に戻ります。読むと “0” が読めます。

カウント停止中かつコンペマッチ動作設定時のみ有効です。

ADTTA[1:0] ビット（GTADTRA バッファ転送タイミング選択ビット）

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

ADTDA ビット（GTADTRA ダブルバッファ動作ビット）

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

ADTTB[1:0] ビット（GTADTRB バッファ転送タイミング選択ビット）

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

ADTDB ビット（GTADTRB ダブルバッファ動作ビット）

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。

注 1.　のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷 32 ビット転送）の場合、バッファ動作は固定となります。

21.2.16　汎用 PWM タイマカウント方向レジスタ（GTUDC）

GTUDC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）を設定するレジスタです。

- **のこぎり波の場合**

アップカウント動作中に UD ビットを “0” にした場合、オーバフロー（GTCNT カウンタ = GTPR レジスタ）時にカウント方向が切り替わります。

ダウンカウント動作中に UD ビットを “1” にした場合、アンダフロー（GTCNT カウンタ = 0）時にカウント方向が切り替わります。

カウント動作停止中に UDF ビットが “0” の状態で UD ビットを “1” から “0” に変更した場合、最初のカウント動作はアップカウントとなり、オーバフロー（GTCNT カウンタ = GTPR レジスタ）時にカウント方向が切り替わります。

カウント動作停止中に UDF ビットが “0” の状態で UD ビットを “0” から “1” に変更した場合、最初のカウント動作はダウンカウントとなり、アンダフロー（GTCNT カウンタ = 0）時にカウント方向が切り替わります。

カウント動作停止中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウント開始時のカウント方向に反映されます。

- **三角波の場合**

カウント動作中に UD ビット値を変化させてもカウント方向には反映されません。

カウント動作停止中に UDF ビットが “0” の状態で UD 値を変化させても、カウント開始後のカウント方向には反映されません。

カウント動作停止中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウント開始時のカウント方向に反映されます。

アドレス　GPT0.GTUDC A006 C108h、GPT1.GTUDC A006 C188h、GPT2.GTUDC A006 C208h、GPT3.GTUDC A006 C288h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定ビット	0：GTCNTカウンタはダウンカウント 1：GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定ビット	0：強制設定しない 1：強制設定する	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UD ビット（カウント方向設定ビット）

GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定ビット）

GTCNT カウンタ動作開始時のカウント方向を強制的に UD の値に設定します。

カウント動作中の書き込みは常に “0” としてください。

カウント動作停止中に “1” を書いた場合、カウント動作開始までに “0” に戻してください。

21.2.17　汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC）

GTITC レジスタは、GTCNT カウンタのオーバフロー（GTPR レジスタのコンペアマッチ）割り込み（GTCIV）／アンダフロー割り込み（GTCIU）の間引き機能の設定と他の割り込み、および A/D 変換開始要求を GTCIV ／ GTCIU 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。

GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTITC レジスタへの書き込みは無視されます。

アドレス　GPT0.GTITC A006 C10Ah、GPT1.GTITC A006 C18Ah、GPT2.GTITC A006 C20Ah、GPT3.GTITC A006 C28Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRAコンペアマッチ／インプットキャプチャ割り込み連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRBコンペアマッチ／インプットキャプチャ割り込み連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRCコンペアマッチ割り込み連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRDコンペアマッチ割り込み連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCREコンペアマッチ割り込み連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRFコンペアマッチ割り込み連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV／GTCIU割り込み間引き機能選択ビット	b7 b6 0 0：間引きしない 0 1：のこぎり波のときにオーバフロー／アンダフロー両方を、三角波のときに（山）をカウントして間引く 1 0：のこぎり波のときにオーバフロー／アンダフロー両方を、三角波のときに（谷）をカウントして間引く 1 1：のこぎり波のときにオーバフロー／アンダフロー両方を、三角波のときに（谷／山）両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV／GTCIU割り込み間引き回数選択ビット	b10　b8 0 0 0：間引きしない 0 0 1：間引き回数：1回 0 1 0：間引き回数：2回 0 1 1：間引き回数：3回 1 0 0：間引き回数：4回 1 0 1：間引き回数：5回 1 1 0：間引き回数：6回 1 1 1：間引き回数：7回	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	ADTAL	GTADTRA A/D変換開始要求連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14	ADTBL	GTADTRB A/D変換開始要求連動ビット	0：GTCIV／GTCIU割り込み間引き機能と連動しない 1：GTCIV／GTCIU割り込み間引き機能と連動する	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ITLA ビット（GTCCRA コンペアマッチ／インプットキャプチャ割り込み連動ビット）

GTCCRA レジスタのコンペアマッチ／インプットキャプチャ割り込み（GTCIA）を、GTCIV ／ GTCIU 割り込み間引き機能と連動する／しないを設定します。

ITLB ビット（GTCCRB コンペアマッチ／インプットキャプチャ割り込み連動ビット）

GTCCRB レジスタのコンペアマッチ／インプットキャプチャ割り込み（GTCIB）を、GTCIV ／ GTCIU 割り込み間引き機能と連動する／しないを設定します。

ITLC ビット（GTCCRC コンペアマッチ割り込み連動ビット）

GTCCRC レジスタのコンペアマッチ割り込み（GTCIC）を、GTCIV ／ GTCIU 割り込み間引き機能と連動する／しないを設定します。

ITLD ビット（GTCCRD コンペアマッチ割り込み連動ビット）

GTCCRD レジスタのコンペアマッチ割り込み（GTCID）を、GTCIV ／ GTCIU 割り込み間引き機能と連動する／しないを設定します。

ITLE ビット（GTCCRE コンペアマッチ割り込み連動ビット）

GTCCRE レジスタのコンペアマッチ割り込みを（GTCIE）を、GTCIV ／ GTCIU 割り込み間引き機能と連動／しないを設定します。

ITLF ビット（GTCCRF コンペアマッチ割り込み連動ビット）

GTCCRF レジスタのコンペアマッチ割り込みを（GTCIF）を、GTCIV ／ GTCIU 割り込み間引き機能と連動／しないを設定します。

IVTC[1:0] ビット（GTCIV ／ GTCIU 割り込み間引き機能選択ビット）

GTPR レジスタのコンペアマッチ（GTCNT オーバフロー）割り込み（GTCIV）／ GTCNT カウンタのアンダフロー割り込み（GTCIU）の間引き機能を選択します。

IVTT[2:0] ビット（GTCIV ／ GTCIU 割り込み間引き回数選択ビット）

GTPR レジスタのコンペアマッチ（GTCNT オーバフロー）割り込み（GTCIV）／ GTCNT カウンタのアンダフロー割り込み（GTCIU）の間引き回数を選択します。

IVTT[2:0] ビットを変更する場合は、IVTC[1:0] ビットを “00b” にしてから行ってください。

ADTAL ビット（GTADTRA A/D 変換開始要求連動ビット）

GTADTRA レジスタのコンペアマッチでの A/D 変換開始要求を、GTCIVn ／ GTCIUn 割り込み間引き機能と連動する／しないを設定します。（n = 0 ～ 3）

ADTBL ビット（GTADTRB A/D 変換開始要求連動ビット）

GTADTRB レジスタのコンペアマッチでの A/D 変換開始要求を、GTCIVn ／ GTCIUn 割り込み間引き機能と連動する／しないを設定します。（n = 0 ～ 3）

21.2.18　汎用 PWM タイマステータスレジスタ（GTST）

GTST レジスタは、GPT の状態を示します。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTST レジスタへの書き込みは無視されます。

アドレス　GPT0.GTST A006 C10Ch、GPT1.GTST A006 C18Ch、GPT2.GTST A006 C20Ch、GPT3.GTST A006 C28Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	DTEF	ITCNT[2:0]			—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読んだ場合、その値は不定。	R
b10-b8	ITCNT[2:0]	GTCIV／GTCIU割り込み間引き回数カウンタ	タイマ割り込み間引き回数カウンタ	R
b11	DTEF	デッドタイムエラーフラグ	0：デッドタイムエラーの発生なし 1：デッドタイムエラーの発生あり	R
b14-b12	—	予約ビット	読むと“0”が読めます。	R
b15	TUCF	カウント方向フラグ	0：GPTn.GTCNTカウンタはダウンカウント 1：GPTn.GTCNTカウンタはアップカウント	R

ITCNT[2:0] ビット（GTCIV 割り込み間引き回数カウンタ）

GTCIV ／ GTCIU 割り込み間引き機能を使用時（GTITC.IVTC[1:0] ビットを “00b” 以外に設定時）、GTCIV ／ GTCIU 割り込み要因が発生するごとに 1 カウントアップします。

[“0” になる条件]

- GTCIV ／ GTCIU 割り込み間引き機能を未使用時（GTITC.IVTC[1:0] ビットが “00b” のとき、GTITC.IVTT[2:0] ビットが “000b” のとき）
- GTCIV ／ GTCIU 割り込み間引き回数が一致したとき（GTITC.IVTT[2:0] ビットで設定した間引き回数と ITCNT[2:0] ビット値が一致したとき）

DTEF フラグ（デッドタイムエラーフラグ）

デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたことを示すフラグです。

デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期内に戻ると “0” に戻ります。DTEF フラグは読み出しのみ可能です。（“0” 書き込みよって “0” にすることはできません）

DTEF フラグによる割り込みを許可している（GTINTAD.EINT = 1）場合、DTEF フラグが 0 → 1 に変化するたびに GDTE 割り込みが発生します。

[“1” になる条件]

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたとき

[“0” になる条件]

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期内にあるとき

TUCF フラグ（カウント方向フラグ）

GTCNT カウンタのカウント方向を示すフラグです。

21.2.19　汎用 PWM タイマカウンタ（GTCNT）

GTCNT カウンタは、16 ビットの読み出し／書き込み可能なカウンタで、各チャネルに 1 本ずつ計 4 本の GTCNT カウンタがあります。カウント停止時のみ書き込み可能で、カウント動作中は書き込むことはできません。GTCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTCNT カウンタへの書き込みは無視されます。

アドレス　GPT0.GTCNT A006 C10Eh、GPT1.GTCNT A006 C18Eh、GPT2.GTCNT A006 C20Eh、GPT3.GTCNT A006 C28Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

21.2.20　汎用 PWM タイマコンペアキャプチャレジスタ m（GTCCRm）（m = A ～ F）

GTCCRm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、各チャネルに 6 本ずつ計 24 本の GTCCRm レジスタがあります。

GTCCRA レジスタ、GTCCRB レジスタはアウトプットコンペア／インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタ、GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA レジスタ、GTCCRB レジスタのバッファレジスタとして動作することもできます。

GTCCRD レジスタ、GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC レジスタ、GTCCRE レジスタのバッファレジスタ（GTCCRA レジスタ、GTCCRB レジスタのダブルバッファレジスタ）として動作することもできます。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTCCRm レジスタへの書き込みは無視されます。

アドレス　GPT0.GTCCRA A006 C110h、GPT0.GTCCRB A006 C112h、GPT0.GTCCRC A006 C114h、GPT0.GTCCRD A006 C116h、GPT0.GTCCRE A006 C118h、GPT0.GTCCRF A006 C11Ah、GPT1.GTCCRA A006 C190h、GPT1.GTCCRB A006 C192h、GPT1.GTCCRC A006 C194h、GPT1.GTCCRD A006 C196h、GPT1.GTCCRE A006 C198h、GPT1.GTCCRF A006 C19Ah、GPT2.GTCCRA A006 C210h、GPT2.GTCCRB A006 C212h、GPT2.GTCCRC A006 C214h、GPT2.GTCCRD A006 C216h、GPT2.GTCCRE A006 C218h、GPT2.GTCCRF A006 C21Ah、GPT3.GTCCRA A006 C290h、GPT3.GTCCRB A006 C292h、GPT3.GTCCRC A006 C294h、GPT3.GTCCRD A006 C296h、GPT3.GTCCRE A006 C298h、GPT3.GTCCRF A006 C29Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.21　汎用 PWM タイマ周期設定レジスタ（GTPR）

GTPR レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTCNT カウンタのカウント最大値を設定するレジスタです。各チャネルに 1 本ずつ計 4 本の GTPR レジスタがあります。

のこぎり波の場合は、GTPR 値 ×1 がカウント周期になります。三角波の場合は、GTPR 値 × 2 がカウント周期になります。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTPR レジスタへの書き込みは無視されます。のこぎり波でダウンカウント動作中は GTPR レジスタを変更しないでください。

アドレス　GPT0.GTPR A006 C11Ch、GPT1.GTPR A006 C19Ch、GPT2.GTPR A006 C21Ch、GPT3.GTPR A006 C29Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.22　汎用 PWM タイマ周期設定バッファレジスタ（GTPBR）

GTPBR レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTPR レジスタのバッファレジスタとして動作します。各チャネルに 1 本ずつ計 4 本の GTPBR レジスタがあります。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTPBR レジスタへの書き込みは無視されます。

アドレス　GPT0.GTPBR A006 C11Eh、GPT1.GTPBR A006 C19Eh、GPT2.GTPBR A006 C21Eh、GPT3.GTPBR A006 C29Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.23　汎用 PWM タイマ周期設定ダブルバッファレジスタ（GTPDBR）

GTPDBR レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTPBR レジスタのバッファレジスタ（GTPR のダブルバッファレジスタ）として動作します。各チャネルに 1 本ずつ計 4 本の GTPDBR レジスタがあります。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTPDBR レジスタへの書き込みは無視されます。

アドレス　GPT0.GTPDBR A006 C120h、GPT1.GTPDBR A006 C1A0h、GPT2.GTPDBR A006 C220h、GPT3.GTPDBR A006 C2A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.24　A/D 変換開始要求タイミングレジスタ m（GTADTRm）（m = A、B）

GTADTRm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、A/D 変換開始要求のタイミングを設定します。GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を発生します。各チャネルに 2 本ずつ計 8 本の GTADTRm レジスタがあります。GTADTRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTADTRm レジスタへの書き込みは無視されます。

アドレス　GPT0.GTADTRA A006 C124h、GPT1.GTADTRA A006 C1A4h、GPT2.GTADTRA A006 C224h、GPT3.GTADTRA A006 C2A4h、GPT0.GTADTRB A006 C12Ch、GPT1.GTADTRB A006 C1ACh、GPT2.GTADTRB A006 C22Ch、GPT3.GTADTRB A006 C2ACh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.25　A/D 変換開始要求タイミングバッファレジスタ m（GTADTBRm）（m = A、B)

GTADTBRm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。各チャネルに 2 本ずつ計 8 本の GTADTBRm レジスタがあります。GTADTBRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTADTBRm レジスタへの書き込みは無視されます。

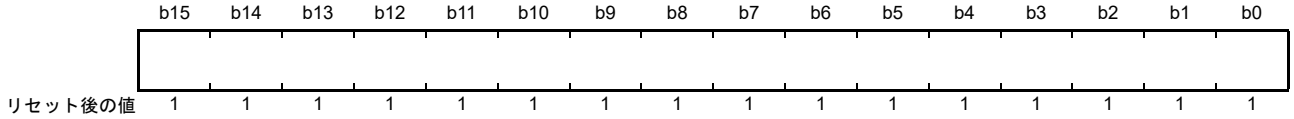
アドレス　GPT0.GTADTBRA A006 C126h、GPT1.GTADTBRA A006 C1A6h、GPT2.GTADTBRA A006 C226h、GPT3.GTADTBRA A006 C2A6h、GPT0.GTADTBRB A006 C12Eh、GPT1.GTADTBRB A006 C1AEh、GPT2.GTADTBRB A006 C22Eh、GPT3.GTADTBRB A006 C2AEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.26　A/D 変換開始要求タイミングダブルバッファレジスタ m（GTADTDBRm）（m = A、B)

GTADTDBRm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTADTBR レジスタのバッファレジスタ（GTADTR のダブルバッファレジスタ）として動作します。各チャネルに 2 本ずつ計 8 本の GTADTDBRm レジスタがあります。GTADTDBRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTADTDBRm レジスタへの書き込みは無視されます。

アドレス　GPT0.GTADTDBRA A006 C128h、GPT1.GTADTDBRA A006 C1A8h、GPT2.GTADTDBRA A006 C228h、GPT3.GTADTDBRA A006 C2A8h、
GPT0.GTADTDBRB A006 C130h、GPT1.GTADTDBRB A006 C1B0h、GPT2.GTADTDBRB A006 C230h、GPT3.GTADTDBRB A006 C2B0h



21.2.27　汎用 PWM タイマ出力ネゲート制御レジスタ（GTONCR）

GTONCR レジスタは、GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート制御を設定するレジスタです。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTONCR レジスタへの書き込みは無視されます。

アドレス　GPT0.GTONCR A006 C134h、GPT1.GTONCR A006 C1B4h、GPT2.GTONCR A006 C234h、GPT3.GTONCR A006 C2B4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OBE	OAE	—	SWN	—	—	—	NFV	NFS[3:0]				NVB	NVA	NEB	NEA
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEA	GTIOCnA端子ネゲート制御許可ビット	0：許可しない 1：許可する	R/W
b1	NEB	GTIOCnB端子ネゲート制御許可ビット	0：許可しない 1：許可する	R/W
b2	NVA	GTIOCnA端子ネゲート値設定ビット	0：ネゲート制御時にGTIOCnA端子を“0”にする 1：ネゲート制御時にGTIOCnA端子を“1”にする	R/W
b3	NVB	GTIOCnB端子ネゲート値設定ビット	0：ネゲート制御時にGTIOCnB端子を“0”にする 1：ネゲート制御時にGTIOCnB端子を“1”にする	R/W
b7-b4	NFS[3:0]	GTIOC出力ネゲート要因選択ビット	b7　b4 0111：GTETRG端子入力 1xxx：ソフトウェア制御（SWNビットによる制御） 上記以外は設定しないでください。	R/W
b8	NFV	ネゲート要因極性選択ビット	0：ネゲート要因が“0”になったときにネゲート制御する 1：ネゲート要因が“1”になったときにネゲート制御する	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	SWN	ソフトウェアネゲート制御ビット	• NFVビットが“0”の場合 0：ネゲート制御する 1：ネゲート制御しない • NFVビットが“1”の場合 0：ネゲート制御しない 1：ネゲート制御する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14	OAE	GTIOCnA端子出力イネーブルビット	0：端子出力しない 1：端子出力する	R/W
b15	OBE	GTIOCnB端子出力イネーブルビット	0：端子出力しない 1：端子出力する	R/W

注1.　n = 0～3

NEA ビット（GTIOCnA 端子ネゲート制御許可ビット）

GTIOCnA 端子出力のネゲート制御を許可します。

NEB ビット（GTIOCnB 端子ネゲート制御許可ビット）

GTIOCnB 端子出力のネゲート制御を許可します。

NVA ビット（GTIOCnA 端子ネゲート値設定ビット）

GTIOCnA 端子出力のネゲート制御時の出力値を設定します。

NVB ビット（GTIOCnB 端子ネゲート値設定ビット）

GTIOCnB 端子出力のネゲート制御時の出力値を設定します。

NFS[3:0] ビット（GTIOC 出力ネゲート要因選択ビット）

GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート要因を選択します。

NFV ビット（ネゲート要因極性選択ビット）

GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート要因の極性を選択します。

SWN ビット（ソフトウェアネゲート制御ビット）

GTIOCnA 端子出力、および GTIOCnB 端子出力をネゲート制御する／しないを設定します。

ネゲート要因としてソフトウェア制御を選択（NFS[3] ビットが “1”）した場合に有効になります。

OAE ビット（GTIOCnA 端子出力イネーブルビット）

GTIOCnA 端子出力をする／しないを選択します。コンペアマッチ設定時（GTIOR.GTIOA[5] ビット = “0”）のときのみ設定が有効になります。

OBE ビット（GTIOCnB 端子出力イネーブルビット）

GTIOCnB 端子出力をする／しないを選択します。コンペアマッチ設定時（GTIOR.GTIOB[13] ビット = “0”）のときのみ設定が有効になります。

21.2.28　汎用 PWM タイマデッドタイム制御レジスタ（GTDTCR）

GTDTCR レジスタは、デッドタイム付き逆相波形用のコンペアマッチ値の自動設定の許可を設定するレジスタです。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTDTCR レジスタへの書き込みは無視されます。

アドレス　GPT0.GTDTCR A006 C136h、GPT1.GTDTCR A006 C1B6h、GPT2.GTDTCR A006 C236h、GPT3.GTDTCR A006 C2B6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0：GTDVU レジスタ、GTDVD レジスタを使用しないで、GTCCRB レジスタを個別に設定する 1：GTDVU レジスタ、GTDVD レジスタを使用して、デッドタイム付き逆相波形用のコンペアマッチ値をGTCCRB レジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	TDBUE	GTDVUバッファ動作許可ビット	0：GTDVU レジスタのバッファ動作を禁止 1：GTDVU レジスタのバッファ動作を許可	R/W
b5	TDBDE	GTDVDバッファ動作許可ビット	0：GTDVD レジスタのバッファ動作を禁止 1：GTDVD レジスタのバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	TDFER	GTDVD設定ビット	0：GTDVU レジスタ、GTDVD レジスタを個別に設定する 1：GTDVU レジスタに書き込んだ値を、GTDVD レジスタにも自動設定する	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TDE ビット（逆相波形設定ビット）

GTDVU レジスタ、GTDVD レジスタを使用する／しないを設定します。GTDVU レジスタ、GTDVD レジスタを使用する場合、正相波形用のコンペアマッチ値（GTCCRA レジスタ）とデッドタイム値（GTDVU レジスタ、GTDVD レジスタ）から算出したデッドタイム付き逆相波形用のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

のこぎり波 PWM モードの場合は TDE ビットの設定は無視され、自動設定されません。

自動設定される GTCCRB レジスタの上限値／下限値は以下となります。算出された GTCCRB レジスタ値が上限値／下限値の範囲外となる場合は、GTCCRB レジスタには上限値／下限値が設定され、GPTn.GTST.DTEF フラグが “1” になります。

- 三角波の場合
  上限値：“GTPR レジスター 1”
  下限値：アップカウント時 “1”、ダウンカウント時 “0”
- のこぎり波ワンショットパルスモードの場合
  上限値：“GTPR レジスタ ”
  下限値：“0”

TDBUE ビット（GTDVU バッファ動作許可ビット）

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDBDE ビット（GTDVD バッファ動作許可ビット）

GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDFER ビットを同時に “1” にした場合、TDFER ビットの設定が優先されます。

TDFER ビット（GTDVD 設定ビット）

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

21.2.29　汎用 PWM タイマデッドタイム値レジスタ m（GTDVm）（m = U、D）

GTDVm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。各チャネルにアップカウント時用の GTDVU レジスタと、ダウンカウント時用の GTDVD レジスタの 2 本ずつ計 8 本の GTDVm レジスタがあります。

周期を超えるデッドタイム値の設定は禁止です。GTCCRB レジスタを読むことで設定された値を読めます。GTDVm レジスタを使用する場合は GTCCRB レジスタへの書き込みは禁止です。値を “0” にすれば、デッドタイムなしの波形が出力されます。

GTDVm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTDVm レジスタへの書き込みは無視されます。

アドレス　GPT0.GTDVU A006 C138h、GPT1.GTDVU A006 C1B8h、GPT2.GTDVU A006 C238h、GPT3.GTDVU A006 C2B8h、
GPT0.GTDVD A006 C13Ah、GPT1.GTDVD A006 C1BAh、GPT2.GTDVD A006 C23Ah、GPT3.GTDVD A006 C2BAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.30　汎用 PWM タイマデッドタイムバッファレジスタ m（GTDBm）（m = U、D）

GTDBm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTDVm レジスタのバッファレジスタとして動作します。各チャネルに 2 本ずつ計 8 本の GTDBm レジスタがあります。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTDBm レジスタへの書き込みは無視されます。

アドレス　GPT0.GTDBU A006 C13Ch、GPT1.GTDBU A006 C1BCh、GPT2.GTDBU A006 C23Ch、GPT3.GTDBU A006 C2BCh、
GPT0.GTDBD A006 C13Eh、GPT1.GTDBD A006 C1BEh、GPT2.GTDBD A006 C23Eh、GPT3.GTDBD A006 C2BEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

21.2.31　汎用 PWM タイマ出力保護機能ステータスレジスタ（GTSOS）

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイム自動設定されている（GTDTCR.TDE ビット = 1）場合のみ有効になります。

アドレス　GPT0.GTSOS A006 C140h、GPT1.GTSOS A006 C1C0h、GPT2.GTSOS A006 C240h、GPT3.GTSOS A006 C2C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
リセット後の値	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS[1:0]	出力保護機能ステータスビット	b1 b0 0 0：通常動作 0 1：保護状態（谷もしくは山の転送でGTCCRA = 0が設定された） 1 0：保護状態（谷の転送でGTCCRA≧GTPRが設定された） 1 1：保護状態（山の転送でGTCCRA≧GTPRが設定された）	R
b7-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b8-b9	—	予約ビット	読む場合、その値は不定です。書き込みは無効になります。	R
b15-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

SOS ビット（出力保護機能ステータスビット）

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「21.7.4 GTIOC 端子出力の出力保護機能」を参照してください。

21.2.32　汎用 PWM タイマ出力保護機能一時解除レジスタ（GTSOTR）

GTSOTR レジスタは、出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除します。

GTSOS.SOS[1:0] ビット＝“10b”（谷の転送で GTCCRA ≧ GTPR となったことを示す保護状態）の場合のみ、解除することができます。他の保護状態の場合には解除されません。GTWP.WPn ビットにより書き込みが禁止されたチャネルの、GTSOTR レジスタへの書き込みは無視されます。

アドレス　GPT0.GTSOTR A006 C142h、GPT1.GTSOTR A006 C1C2h、GPT2.GTSOTR A006 C242h、GPT3.GTSOTR A006 C2C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除ビット	0：保護状態を解除しない 1：保護状態を解除する	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SOTR ビット（出力保護機能一時解除ビット）

出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するか／しないかを設定します。

SOTR ビットを “1” にすると、最初に現れる “ 谷 ” 以降の出力保護機能を解除します。また、SOTR ビットを “0” にすると、最初に現れる “ 谷 ” 以降の出力保護を再開します。

21.3　動作説明

21.3.1　基本動作

各チャネルの 16 ビットタイマは、アップカウント動作、ダウンカウント動作、またはアップ／ダウンカウント動作を行います。タイマ周期は GTPR レジスタによって制御されます。

GTCNT カウンタ値が GTCCRA レジスタ、GTCCRB レジスタの値と一致すると、それぞれ GTIOCnA 出力端子、GTIOCnB 出力端子を変化させることができます（n = 0 ～ 3）。また、GTIOCnA 端子、GTIOCnB 端子を入力として GTCCRA レジスタ、GTCCRB レジスタをインプットキャプチャレジスタとして使用することができます。

GTCCRC レジスタ、GTCCRD レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRE レジスタ、GTCCRF レジスタは GTCCRB レジスタのバッファレジスタとして動作させることができます。

21.3.1.1　カウンタの動作

(1)　周期カウント動作（アップカウント時）

各チャネルのカウンタは、GTSTR.CSTn ビットを “1” にするとアップカウント動作を開始します。GTCNT カウンタ値が GTPR レジスタ値と一致（オーバフロー）したとき、GTINTAD.GTINTPR[0] ビットが “1” ならば、GTCIV 割り込みを要求します。GTCNT カウンタはオーバフロー後、“0000h” からアップカウント動作を継続します。

アップカウント時の周期カウント動作例を図 21.2 に示します。

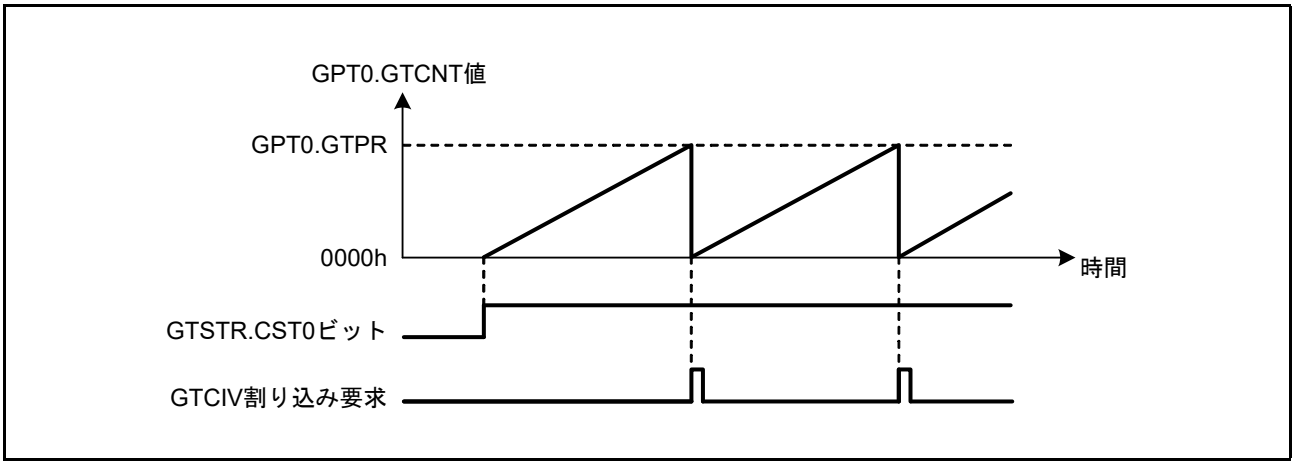


図 21.2　周期カウント動作例（アップカウント時）

アップカウント時の周期カウント動作設定例（アップカウント時）を図 21.3 に示します。

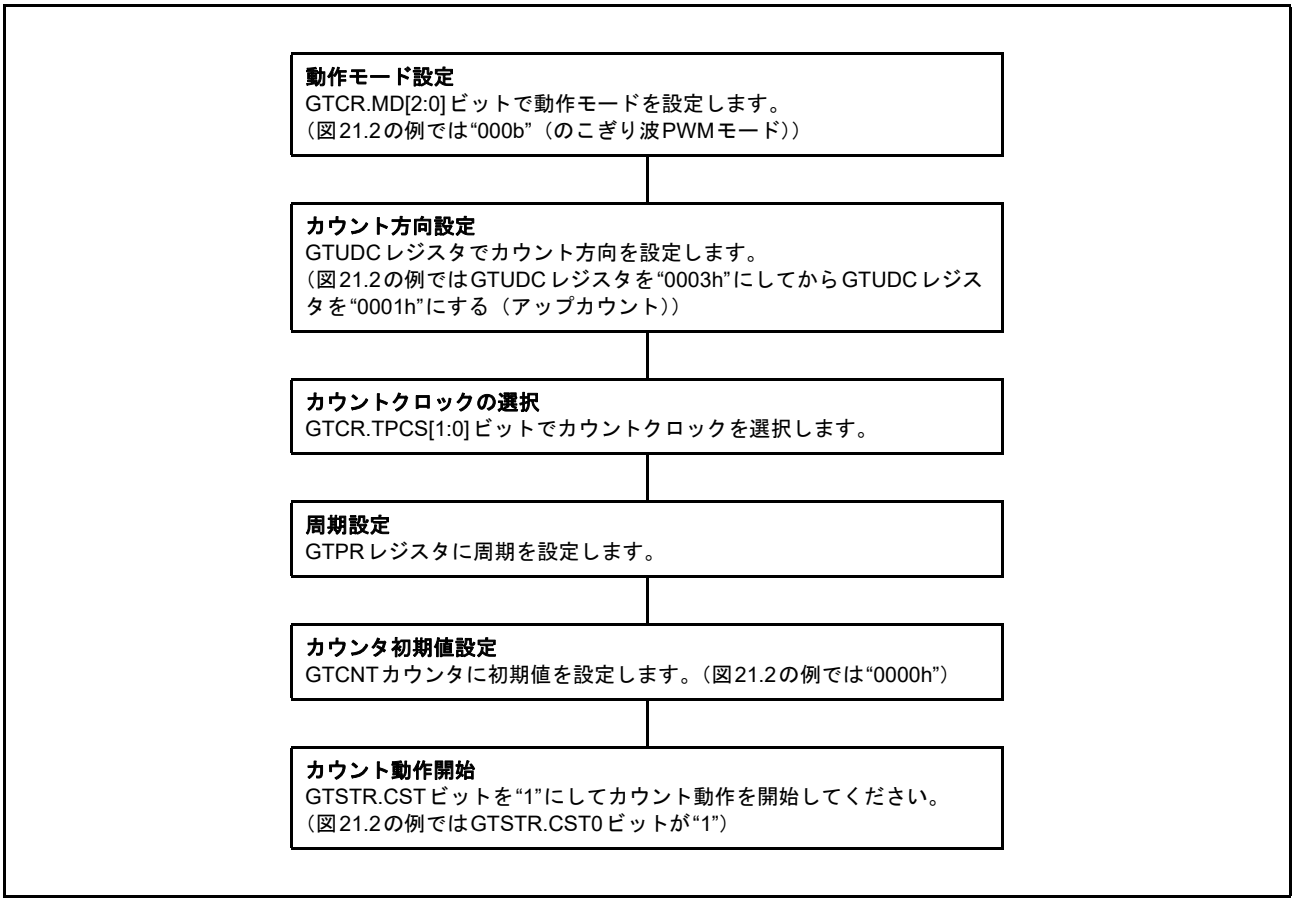


図 21.3　周期カウント動作設定例（アップカウント時）

(2)　周期カウント動作（ダウンカウント時）

各チャネルのカウンタは、GTUDC レジスタを設定することで、ダウンカウント動作を行うことが可能です。GTCNT カウンタ値が “0”（アンダフロー）になったとき、GTINTAD.GTINTPR[1] ビットが “1” ならば、GTCIU 割り込みを要求します。GTCNT カウンタはアンダフロー後、GTPR レジスタ値からダウンカウント動作を継続します。

ダウンカウント時の周期カウント動作例を図 21.4 に示します。

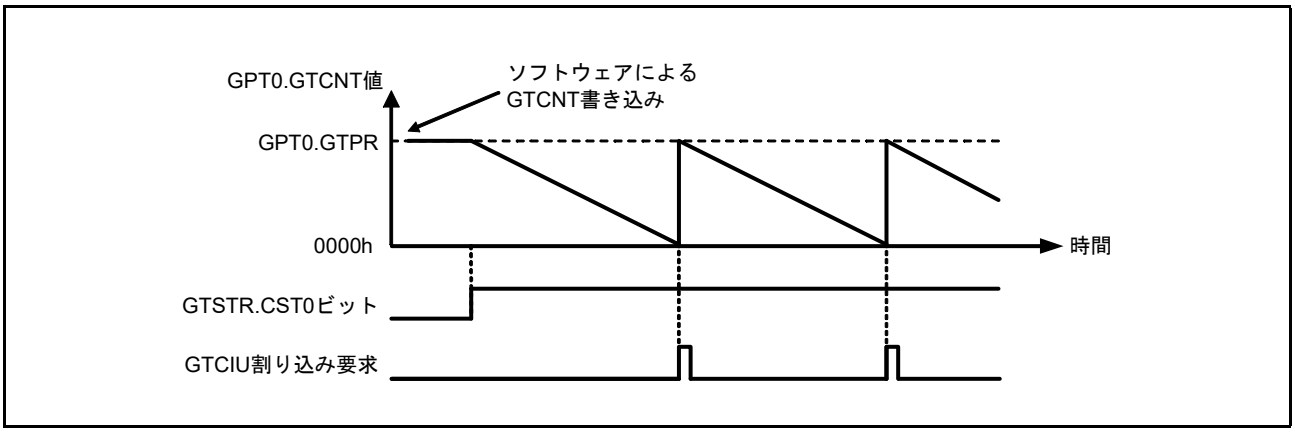


図 21.4　　周期カウント動作例（ダウンカウント時）

ダウンカウント時の周期カウント動作設定例を図 21.5 に示します。

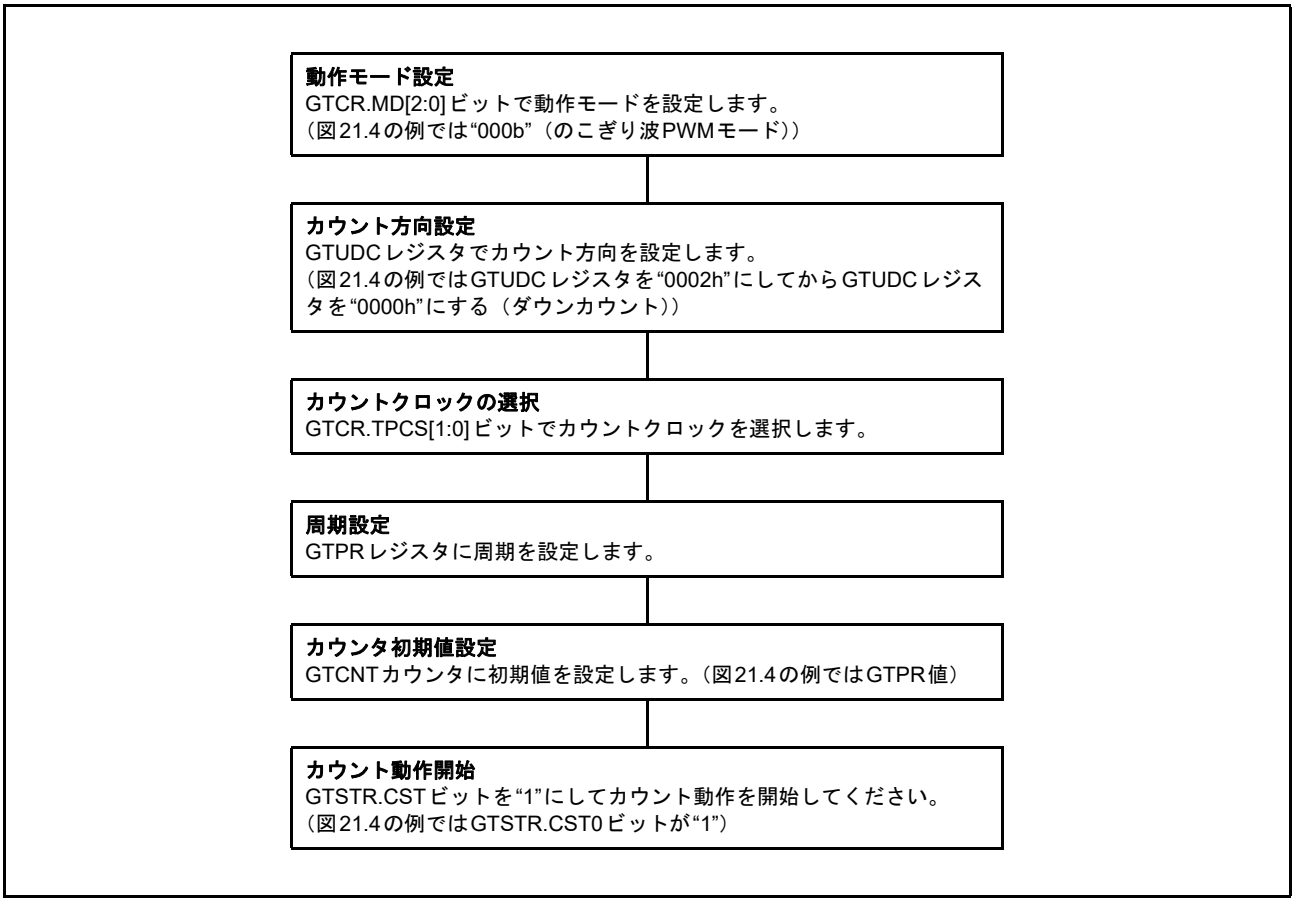


図 21.5　周期カウント動作設定例（ダウンカウント時）

21.3.1.2　コンペアマッチによる波形出力機能

GPTn.GTCNT カウンタ値が GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタの値と一致すると、それぞれ GTIOCnA 出力端子、GTIOCnB 出力端子を Low 出力／ High 出力／トグル出力することができます（n = 0 ～ 3）。

また、GPTn.GTPR により決まる “ 周期の終わり ” でも、GTIOCnA 出力端子、GTIOCnB 出力端子を Low 出力／ High 出力／トグル出力することができます。“ 周期の終わり ” とは、以下を示します。

- のこぎり波でアップカウントの場合 : GPTn.GTCNT カウンタ = GPTn.GTPR レジスタとなったとき（オーバフロー）
- のこぎり波でダウンカウントの場合 : GPTn.GTCNT カウンタ = 0 となったとき（アンダフロー）
- 三角波の場合 : GPTn.GTCNT カウンタ = 0 となったとき（谷）

(1)　Low 出力／ High 出力

GTCCRA レジスタ、GTCCRB レジスタとのコンペアマッチによる Low 出力／ High 出力動作例を図 21.6 に示します。

チャネル 0 をアップカウント動作し、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPT0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

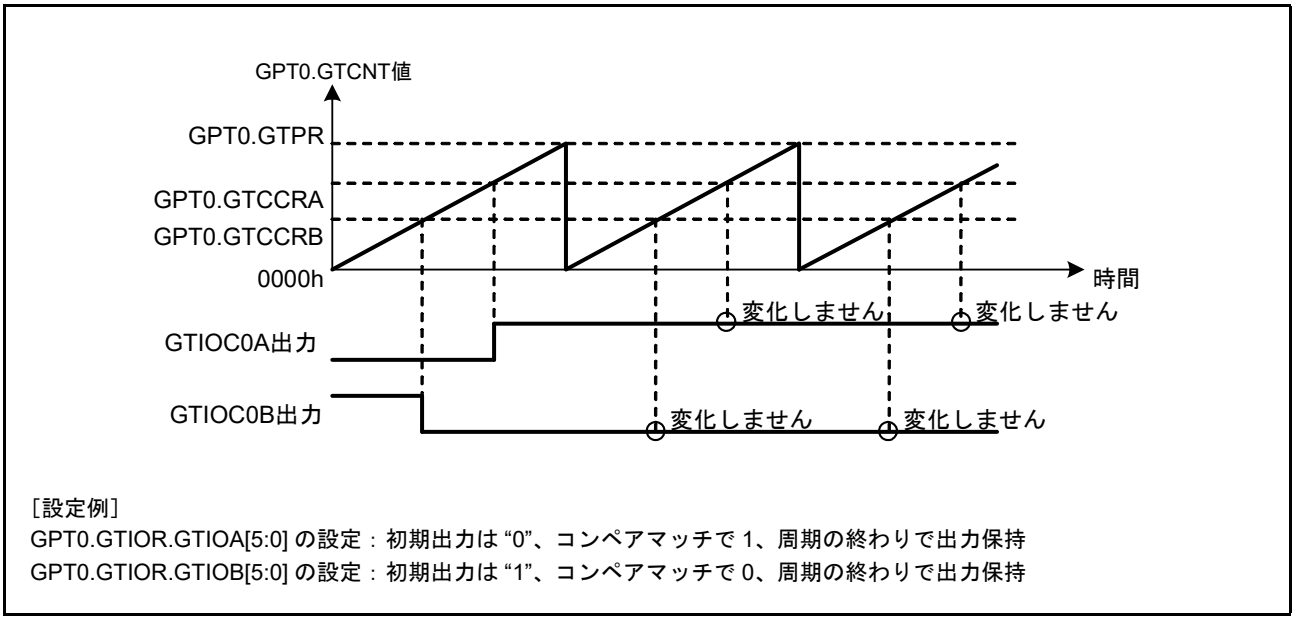


図 21.6　Low 出力／ High 出力動作例

Low 出力／ High 出力動作設定例を図 21.7 に示します。

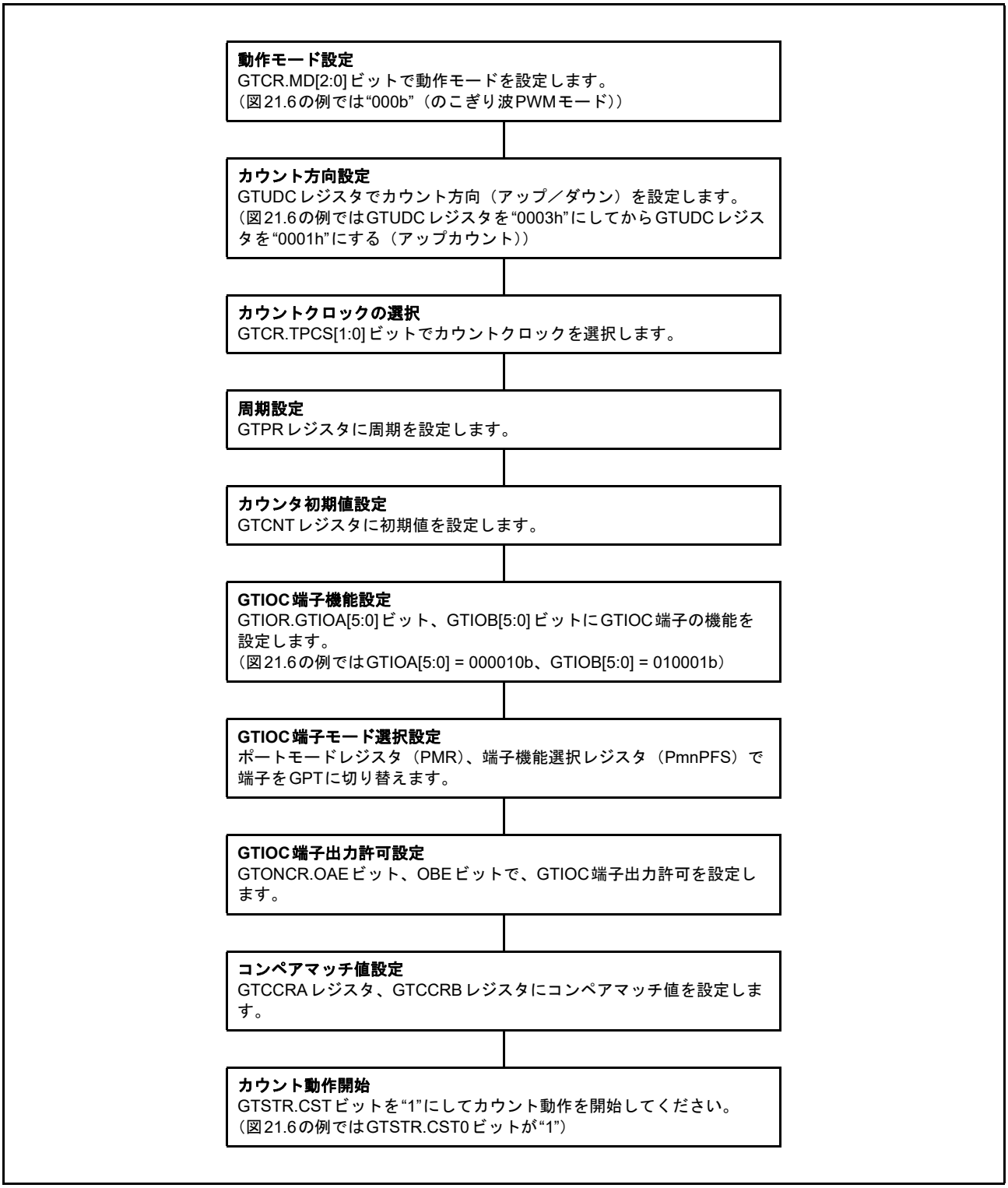


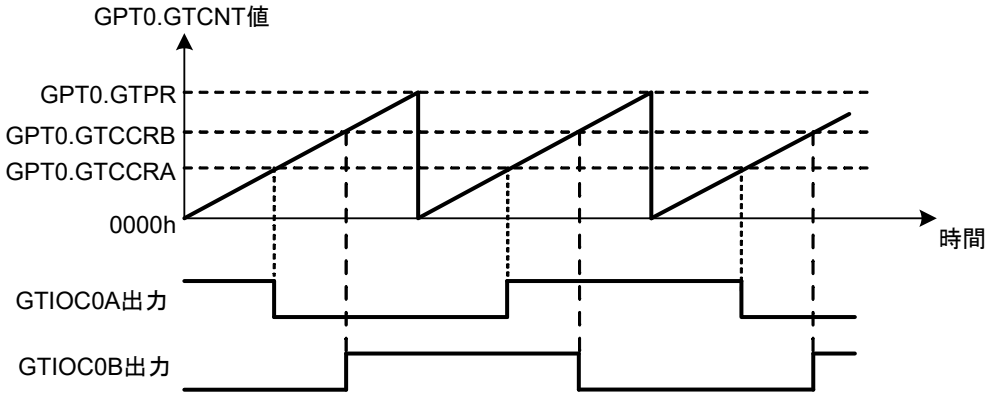
図 21.7　Low 出力／ High 出力動作設定例

(2)　トグル出力

GTCCRA レジスタ、GTCCRB レジスタとのコンペアマッチによるトグル出力動作例を図 21.8、図 21.9 に示します。

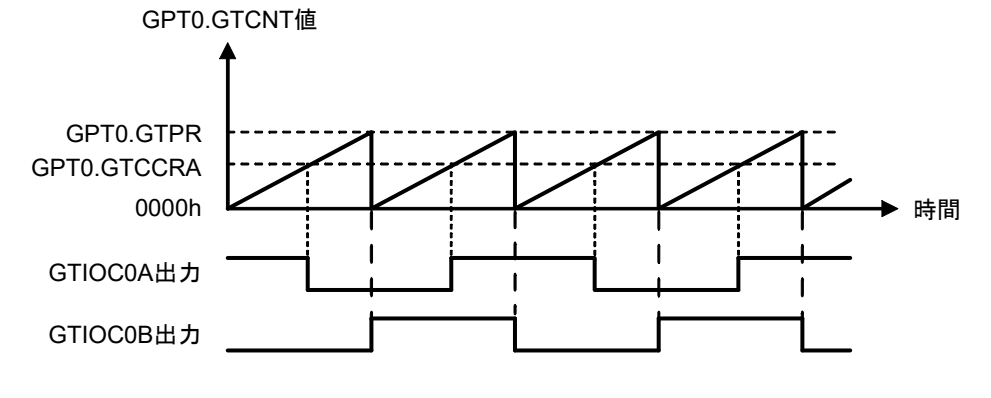
図 21.8 は、チャネル 0 をアップカウント動作し、GPT0.GTCCRA レジスタ、GPT0.GTCCRB レジスタとのコンペアマッチによりそれぞれ GTIOC0A 端子、GTIOC0B 端子をトグル出力となるように設定した場合の例です。

図 21.9 は、チャネル 0 をアップカウント動作し、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。



［設定例］
GPT0.GTIOR.GTIOA[5:0] の設定：初期出力は “1”、コンペアマッチでトグル出力、周期の終わりで出力保持
GPT0.GTIOR.GTIOB[5:0] の設定：初期出力は “0”、コンペアマッチでトグル出力、周期の終わりで出力保持

図 21.8　　トグル出力動作例（1）



［設定例］
GPT0.GTIOR.GTIOA[5:0] の設定：初期出力は “1”、コンペアマッチでトグル出力、周期の終わりで出力保持
GPT0.GTIOR.GTIOB[5:0] の設定：初期出力は “0”、コンペアマッチで出力保持 、周期の終わりでトグル出力

図 21.9　　トグル出力動作例（2）

トグル出力動作設定例を図 21.10 に示します。

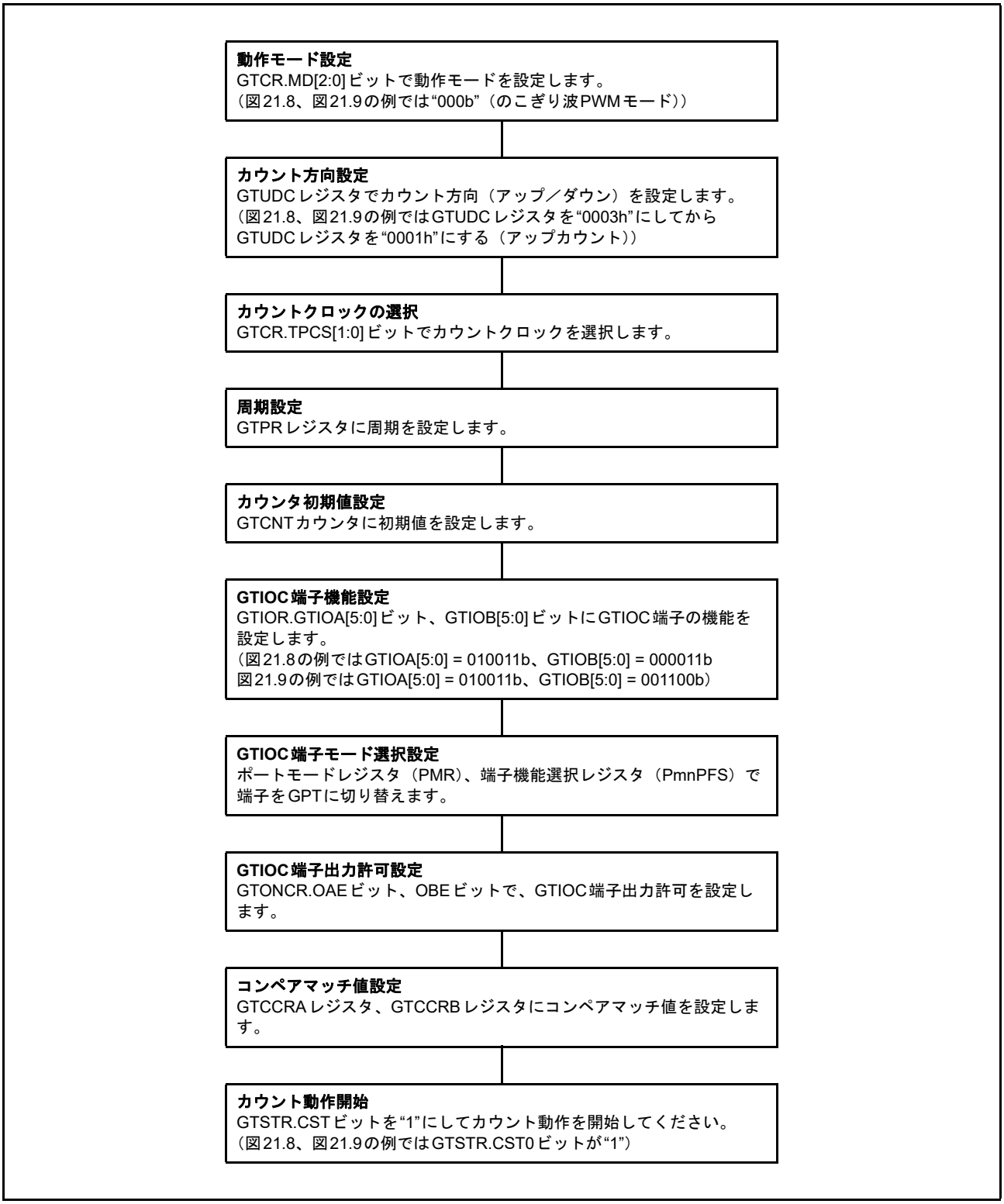


図 21.10　トグル出力動作設定例

21.3.1.3　インプットキャプチャ機能

GTIOCnA 入力端子、GTIOCnB 入力端子のエッジを検出して、GPTn.GTCNT カウンタの値をそれぞれ GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタに転送することができます（n = 0 ～ 3）。検出エッジは、立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。

インプットキャプチャ機能の動作例を図 21.11 に示します。

チャネル 0 をアップカウント動作し、GTIOC0A 入力端子の両エッジでインプットキャプチャ、GTIOC0B 入力端子の立ち上がりエッジでインプットキャプチャとなるように設定した場合の例です。

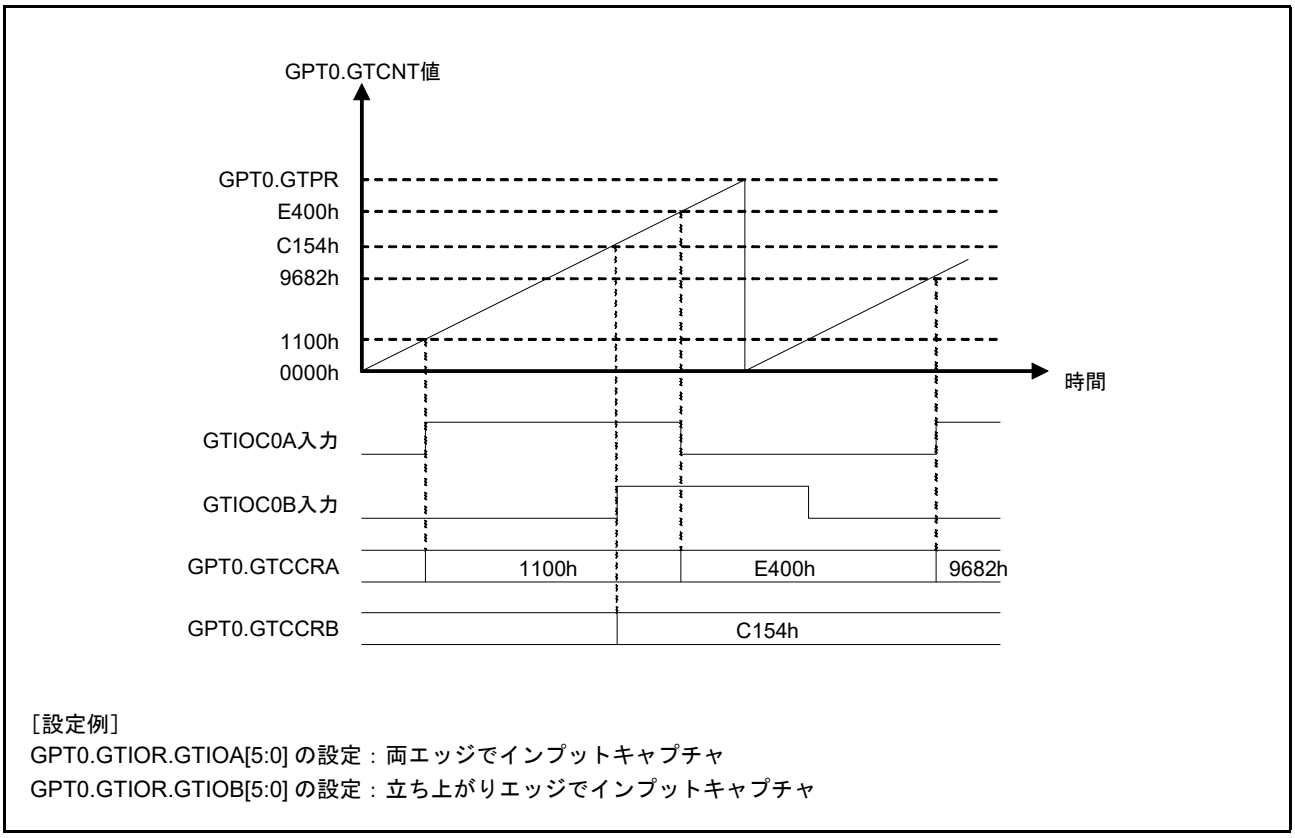


図 21.11　インプットキャプチャ動作例

インプットキャプチャ動作設定例を図 21.12 に示します。

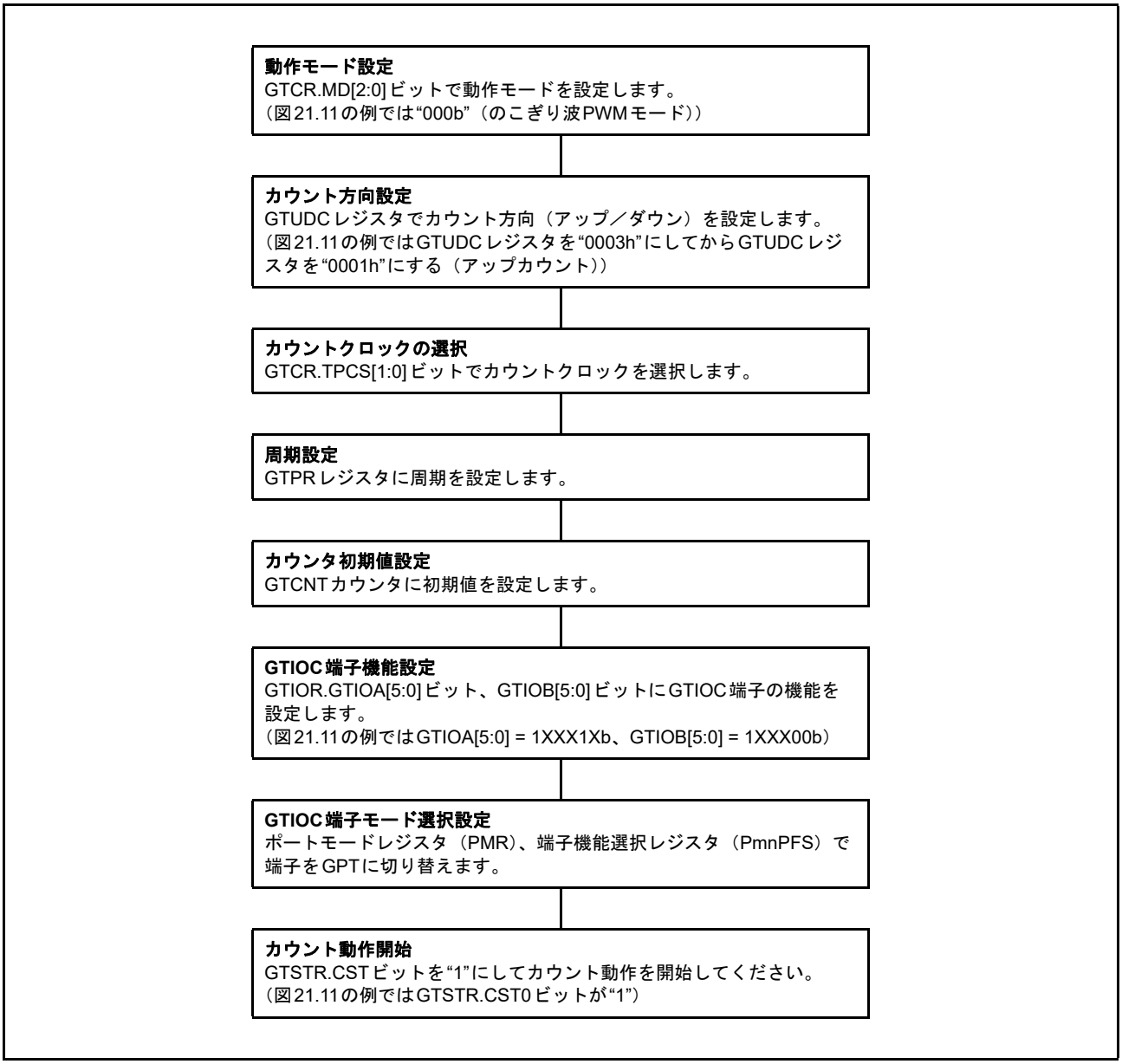


図 21.12　インプットキャプチャ動作設定例

21.3.2　バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTCCRA レジスタと GTCCRC レジスタ、GTCCRD レジスタを組み合わせたバッファ動作
- GTCCRB レジスタと GTCCRE レジスタ、GTCCRF レジスタを組み合わせたバッファ動作
- GTPR レジスタと GTPBR レジスタ、GTPDBR レジスタを組み合わせたバッファ動作
- GTADTRA レジスタと GTADTBRA レジスタ、GTADTDBRA レジスタを組み合わせたバッファ動作
- GTADTRB レジスタと GTADTBRB レジスタ、GTADTDBRB レジスタを組み合わせたバッファ動作

また、GTDTCR レジスタを設定することにより、以下のバッファ動作が可能です。

- GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作
- GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作

21.3.2.1　GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタのバッファレジスタ（GTPR レジスタのダブルバッファレジスタ）として動作します。

バッファ転送のタイミングは、のこぎり波の場合はオーバフロー（アップカウント時）またはアンダフロー（ダウンカウント時）、三角波の場合は谷となります。

GTPR レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

のこぎり波でダウンカウントのときは、バッファ動作の設定は禁止です。バッファ転送のタイミングは、のこぎり波の場合はオーバフローまたはカウントクリア時、三角波の場合は谷となります。

GTPR レジスタのバッファ動作例を図 21.13、図 21.14 に、GTPR レジスタのバッファ動作設定例を図 21.15 に示します。

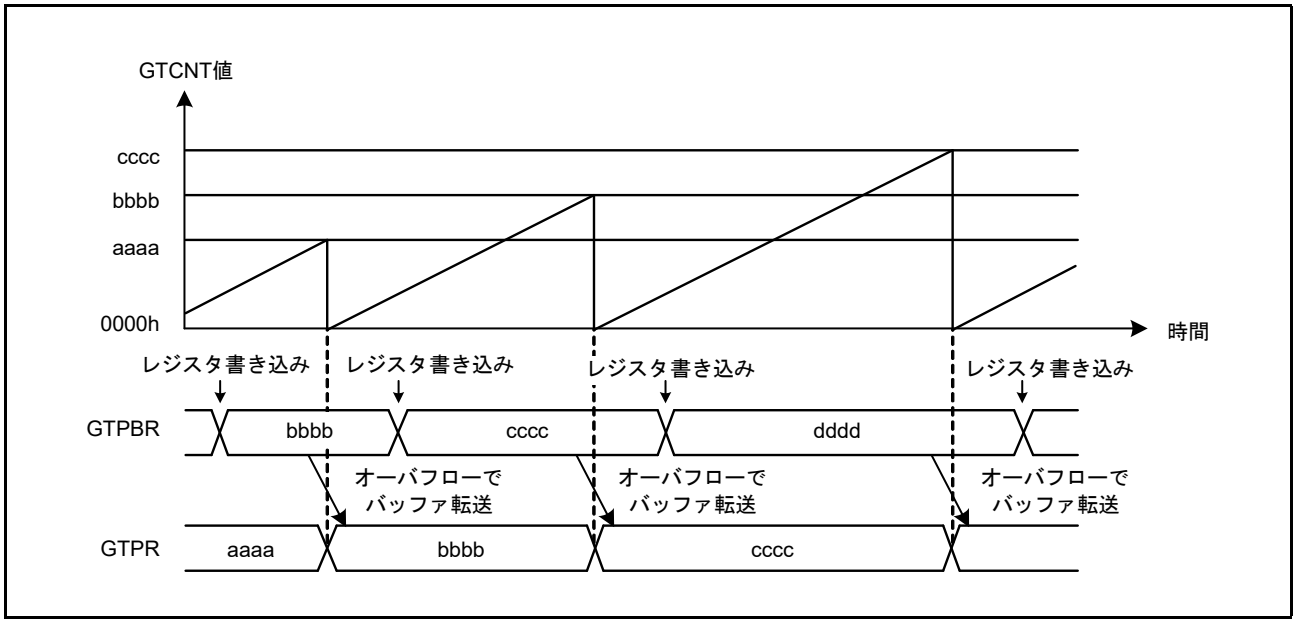


図 21.13　GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

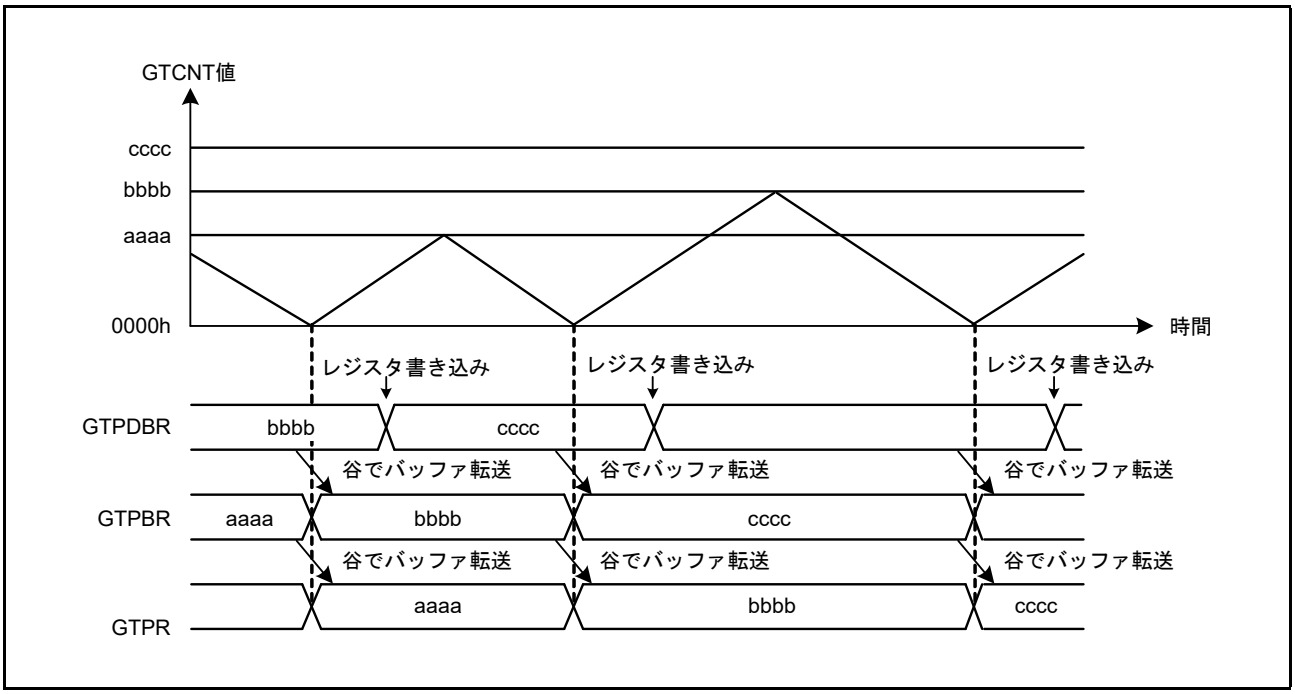


図 21.14　GTPR レジスタのダブルバッファ動作例（三角波の場合）

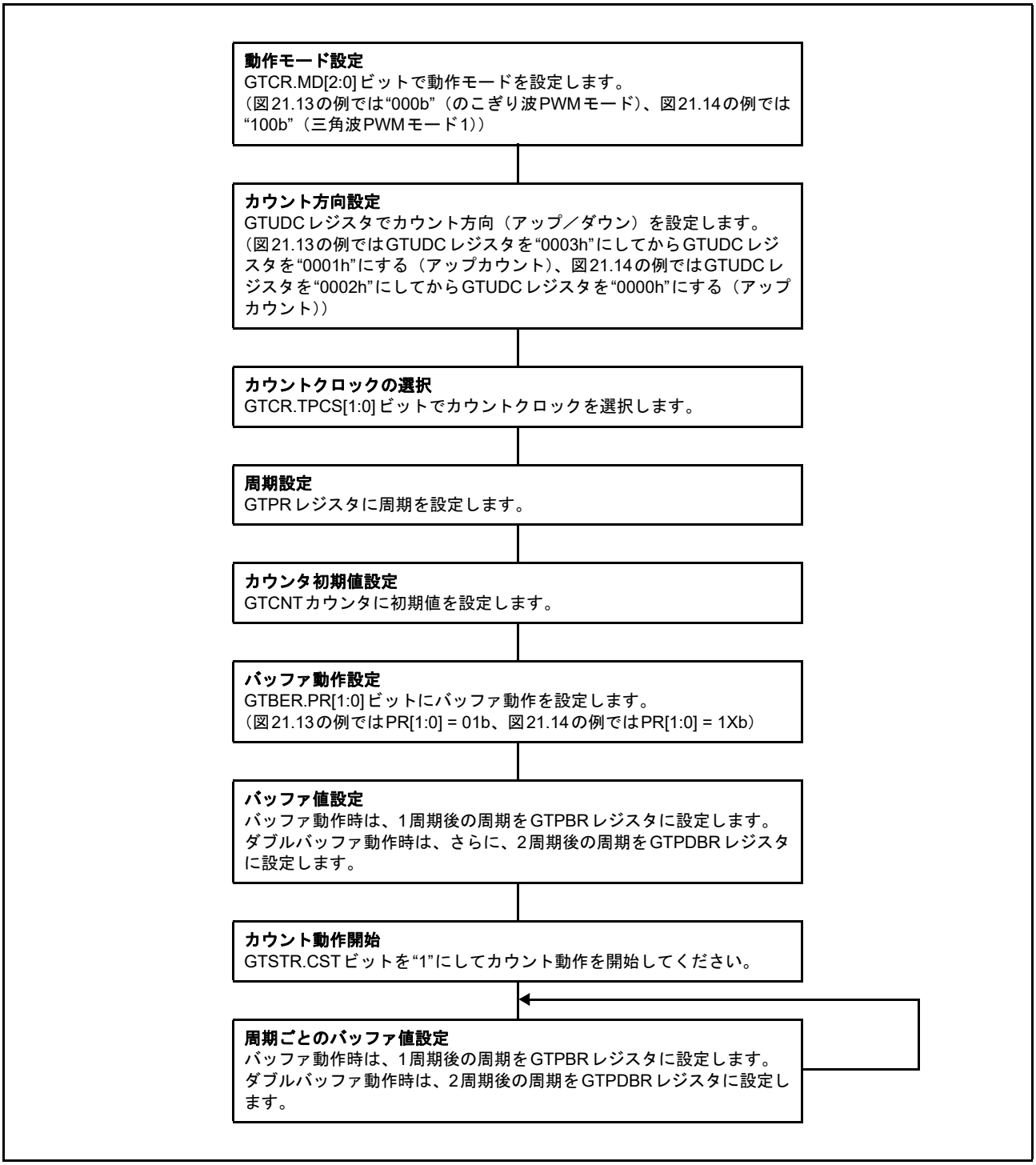


図 21.15　GTPR レジスタのバッファ動作設定例

21.3.2.2　GTCCRA レジスタ、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ（GTCCRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ（GTCCRB レジスタのダブルバッファレジスタ）として動作します。

GTCCRA レジスタ、GTCCRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0] ビット、GTBER.CCRB[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

(1)　GTCCRA レジスタ、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送のタイミングは、のこぎり波の場合はオーバフロー（アップカウント時）またはアンダフロー（ダウンカウント時）、三角波の場合は谷となります。

GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例を図 21.16 ～図 21.18 に、GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例を図 21.19 に示します。

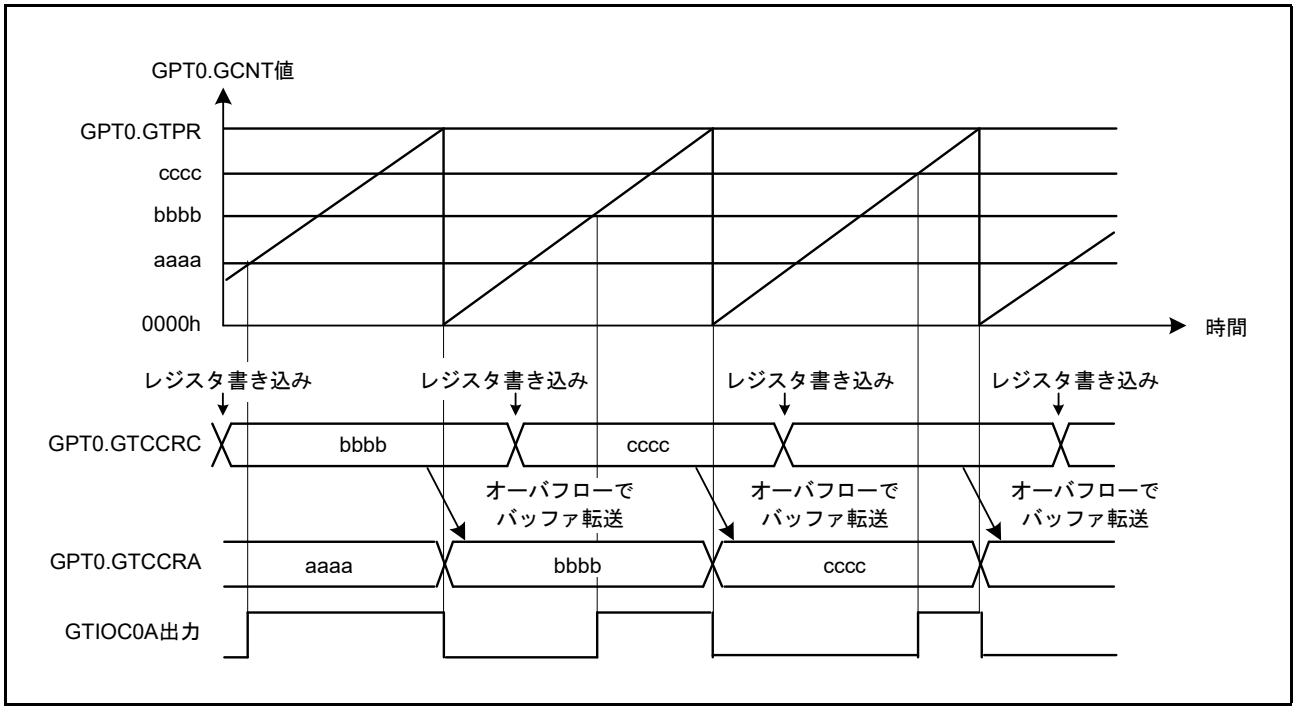


図 21.16　GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例
（アウトプットコンペア、のこぎり波でアップカウント、GTCCRA コンペアマッチで High 出力、周期の終わりで Low 出力の場合）

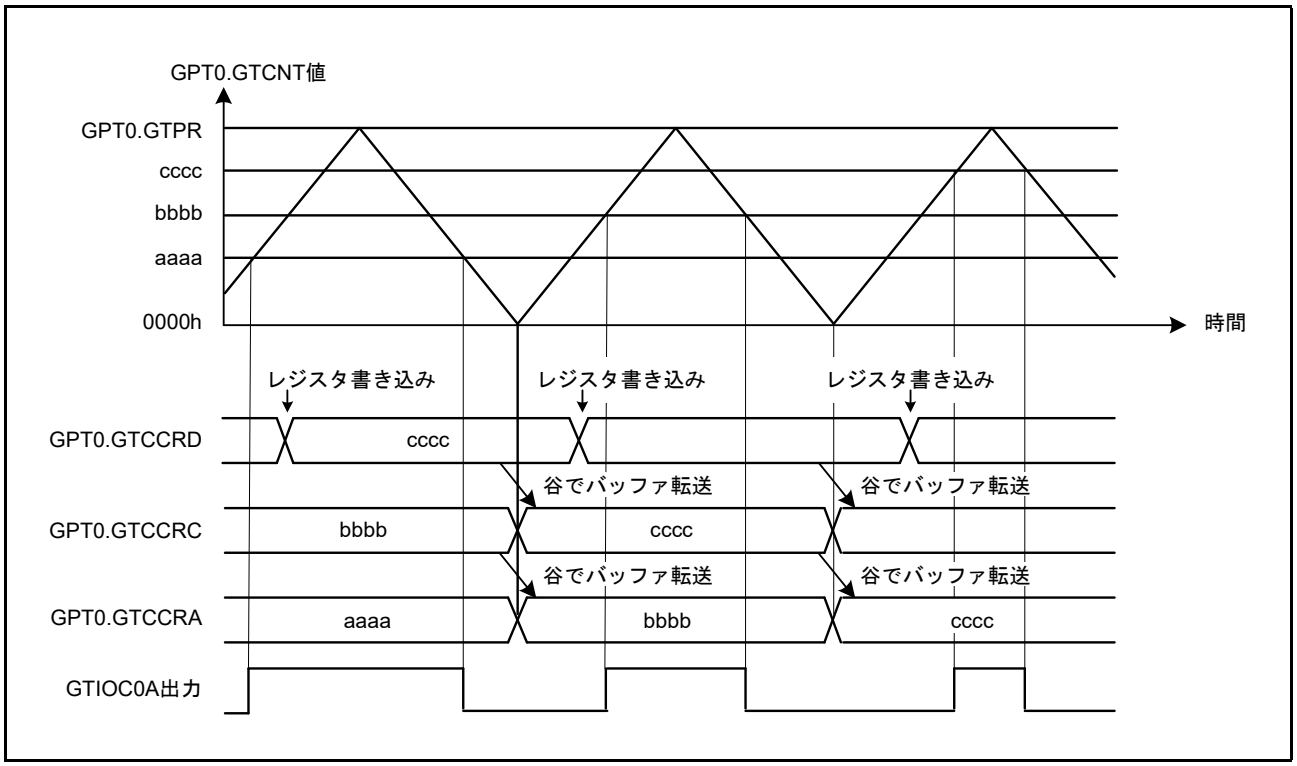


図 21.17　GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
（アウトプットコンペア、三角波、谷でバッファ転送、GTCCRA コンペアマッチでトグル出力、周期の終わりで出力保持の場合）

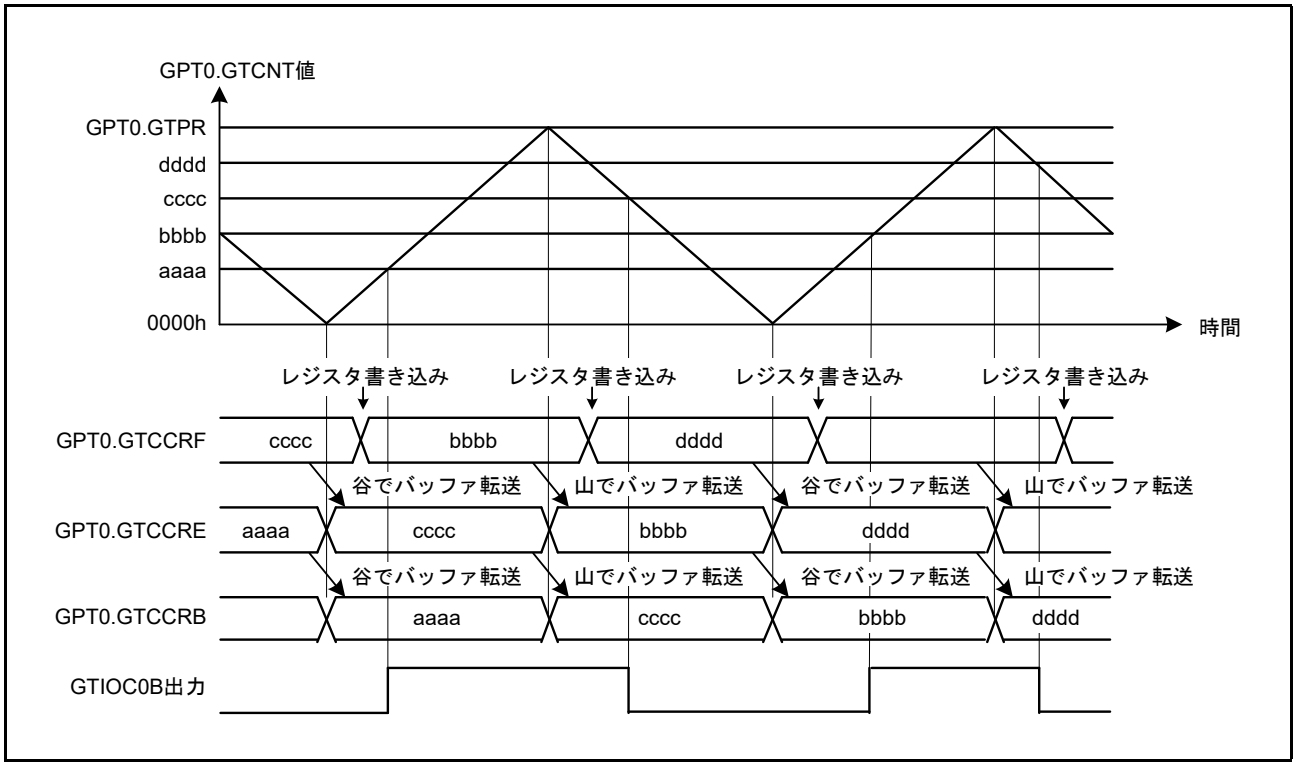


図 21.18　GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
（アウトプットコンペア、三角波、谷／山両方でバッファ転送、GTCCRB コンペアマッチでトグル出力、周期の終わりで出力保持の場合）

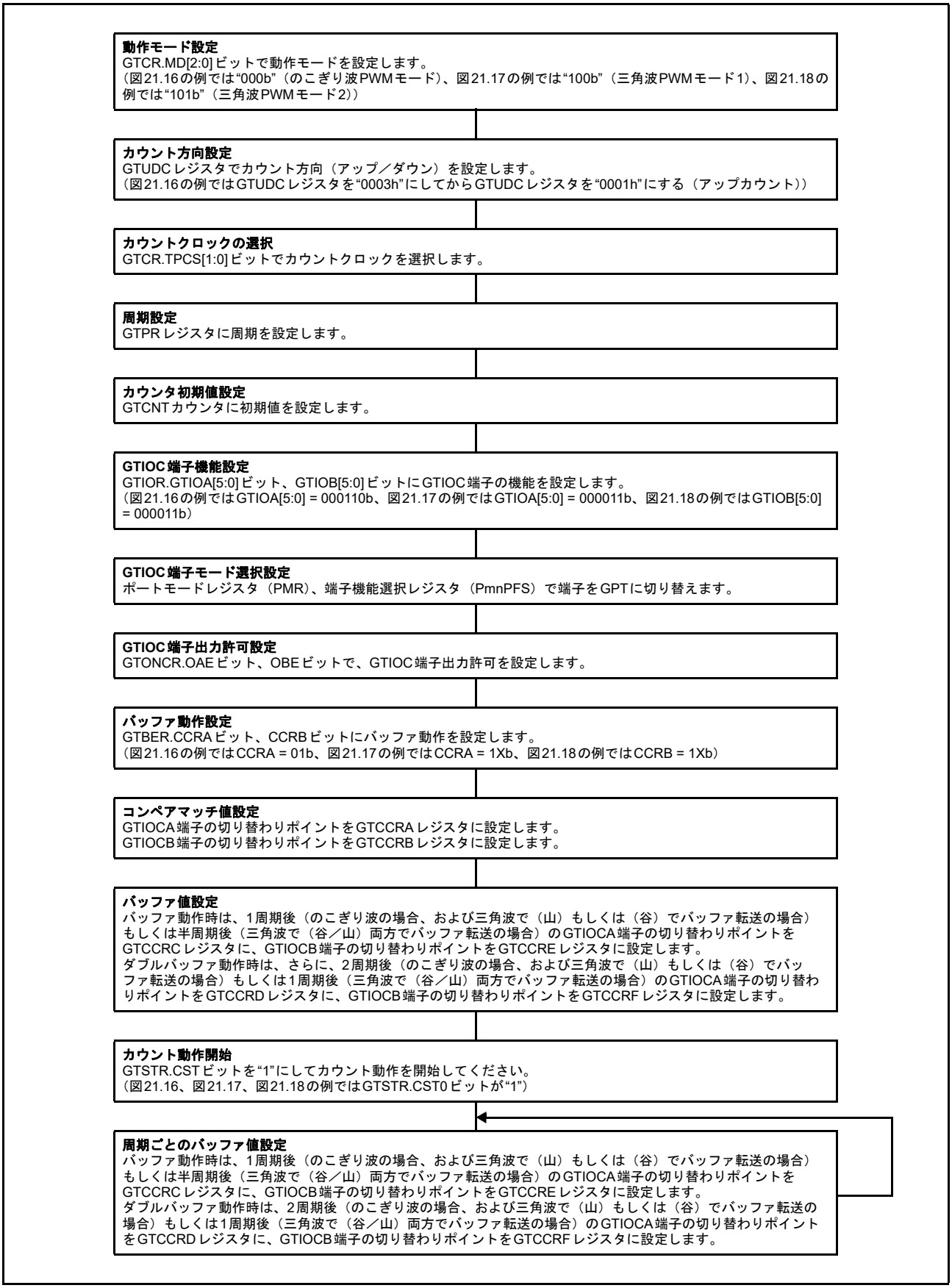


図 21.19　GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

(2)　GTCCRA レジスタ、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNT カウンタの値を GTCCRA レジスタ、GTCCRB レジスタに転送すると同時に、それまで格納されていた GTCCRA レジスタ、GTCCRB レジスタの値をバッファレジスタに転送します。

GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例を図 21.20、図 21.21 に、GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例を図 21.22 に示します。

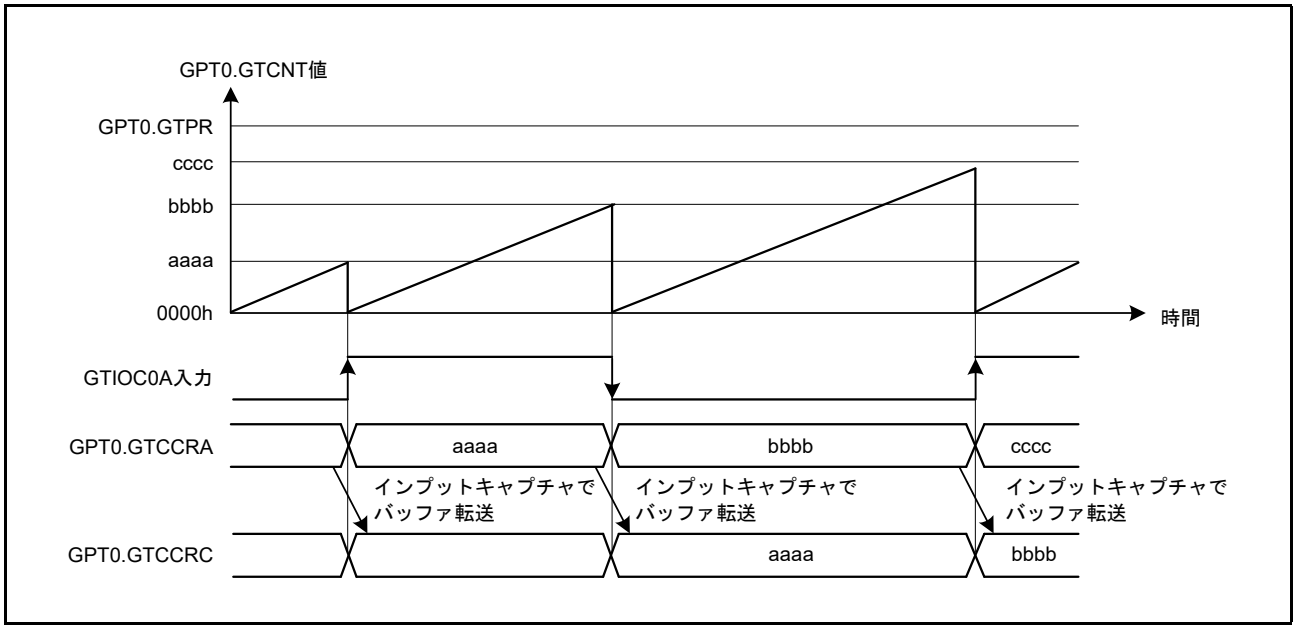


図 21.20　GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例
（GTIOC0A 入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、
GTCCRA レジスタのインプットキャプチャで GTCNT カウンタクリアの場合）

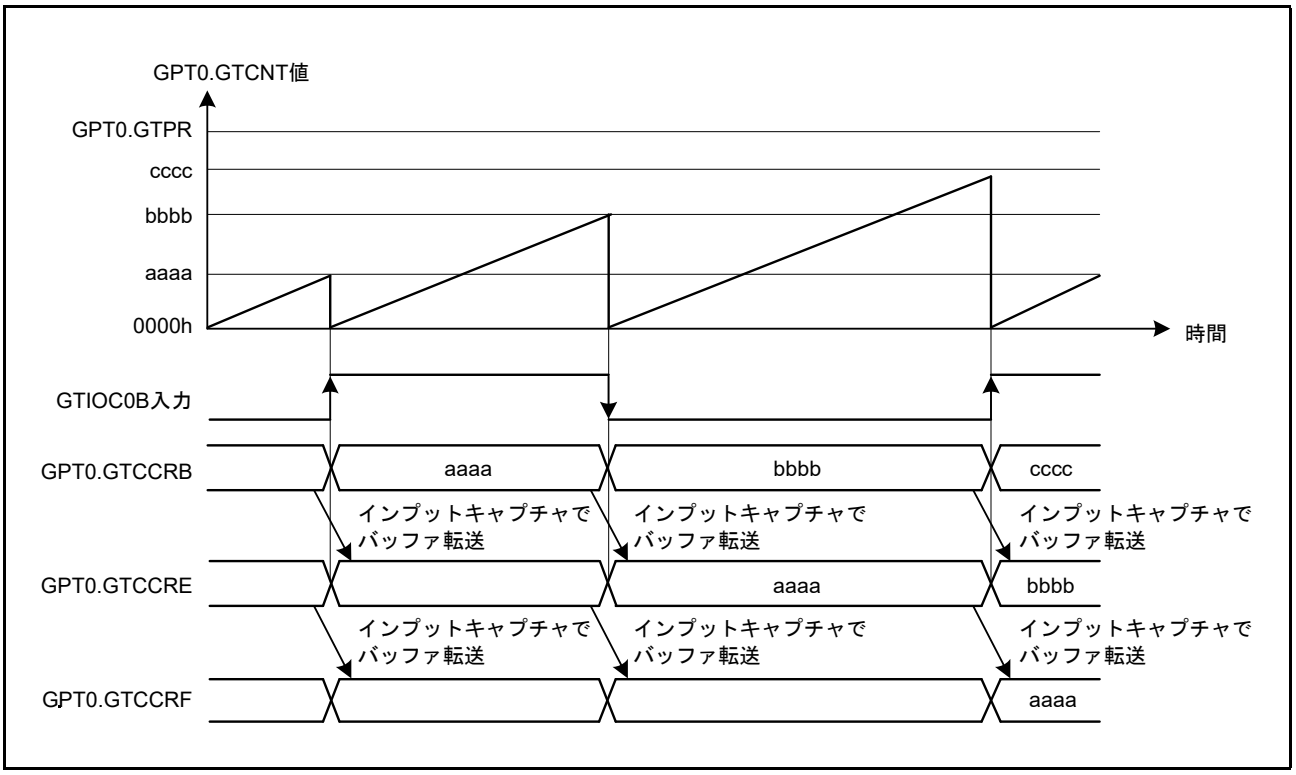


図 21.21　GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
（GTIOC0B 入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、
GTCCRB レジスタのインプットキャプチャで GTCNT カウンタクリアの場合）



図 21.22　GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

21.3.2.3　GTADTRA レジスタ、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA レジスタ、GTADTRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA ビット、GTBER.ADTDB ビットを “1” に、シングルバッファ動作させる場合には “0” にします。GTADTRA レジスタ、GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0] ビット、GTBER.ADTTB[1:0] ビットを “00b” にします。

バッファ転送のタイミングは GTBER.ADTTA[1:0] ビットで設定でき、のこぎり波の場合はオーバフロー（アップカウント時）またはアンダフロー（ダウンカウント時）、三角波の場合は GTBER.ADTTA[1:0] ビットが “01b” のときは山、“10b” のときは谷、“11b” のときは谷／山の両方となります。

GTADTRA レジスタ、GTADTRB レジスタのバッファ動作例を図 21.23 ～図 21.25 に、GTADTRA レジスタ、GTADTRB レジスタのバッファ動作設定例をに図 21.26 示します。

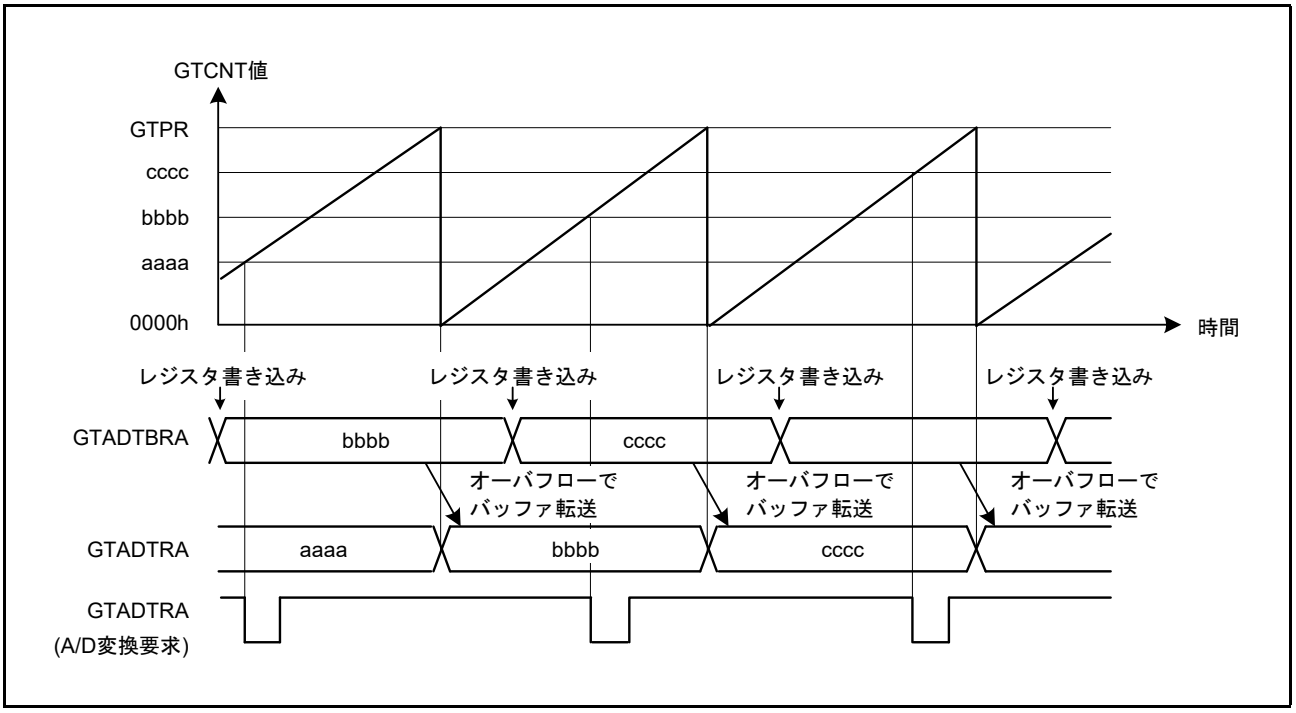


図 21.23　GTADTRA レジスタ、GTADTRB レジスタのバッファ動作例
（のこぎり波でアップカウント、アップカウントで A/D 変換要求発生の場合）

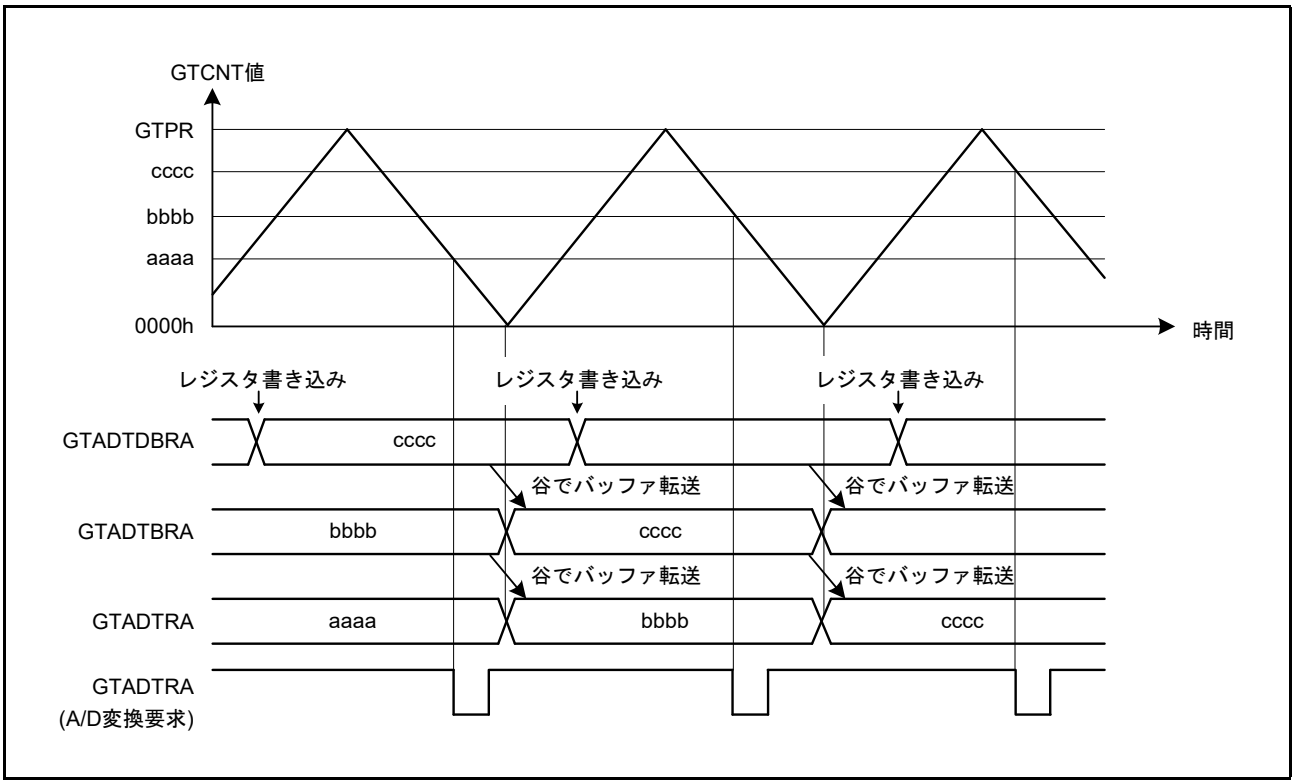


図 21.24　GTADTRA レジスタ、GTADTRB レジスタのダブルバッファ動作例
（三角波、谷でバッファ転送、ダウンカウントで A/D 変換要求発生の場合）

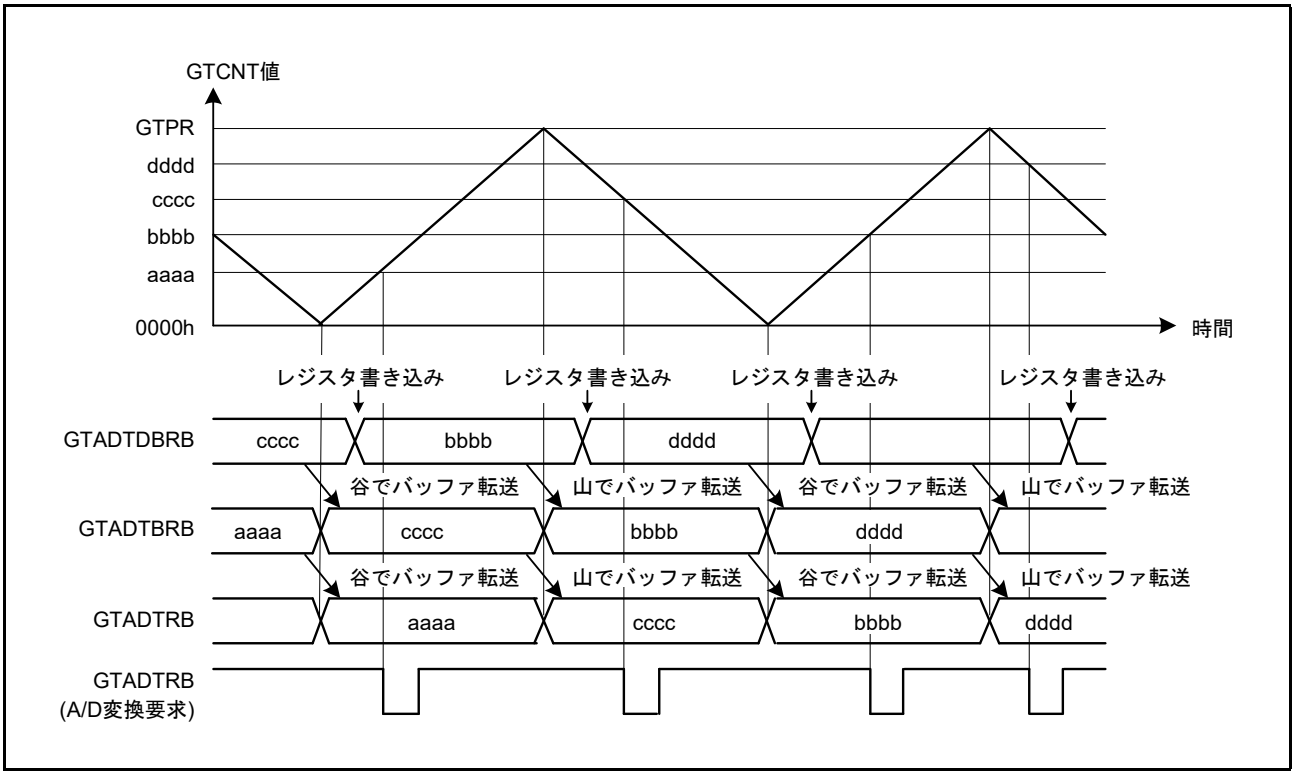


図 21.25　GTADTRA レジスタ、GTADTRB レジスタのダブルバッファ動作例
（三角波、谷／山両方でバッファ転送、アップカウント／ダウンカウント両方で A/D 変換開始要求発生の場合）

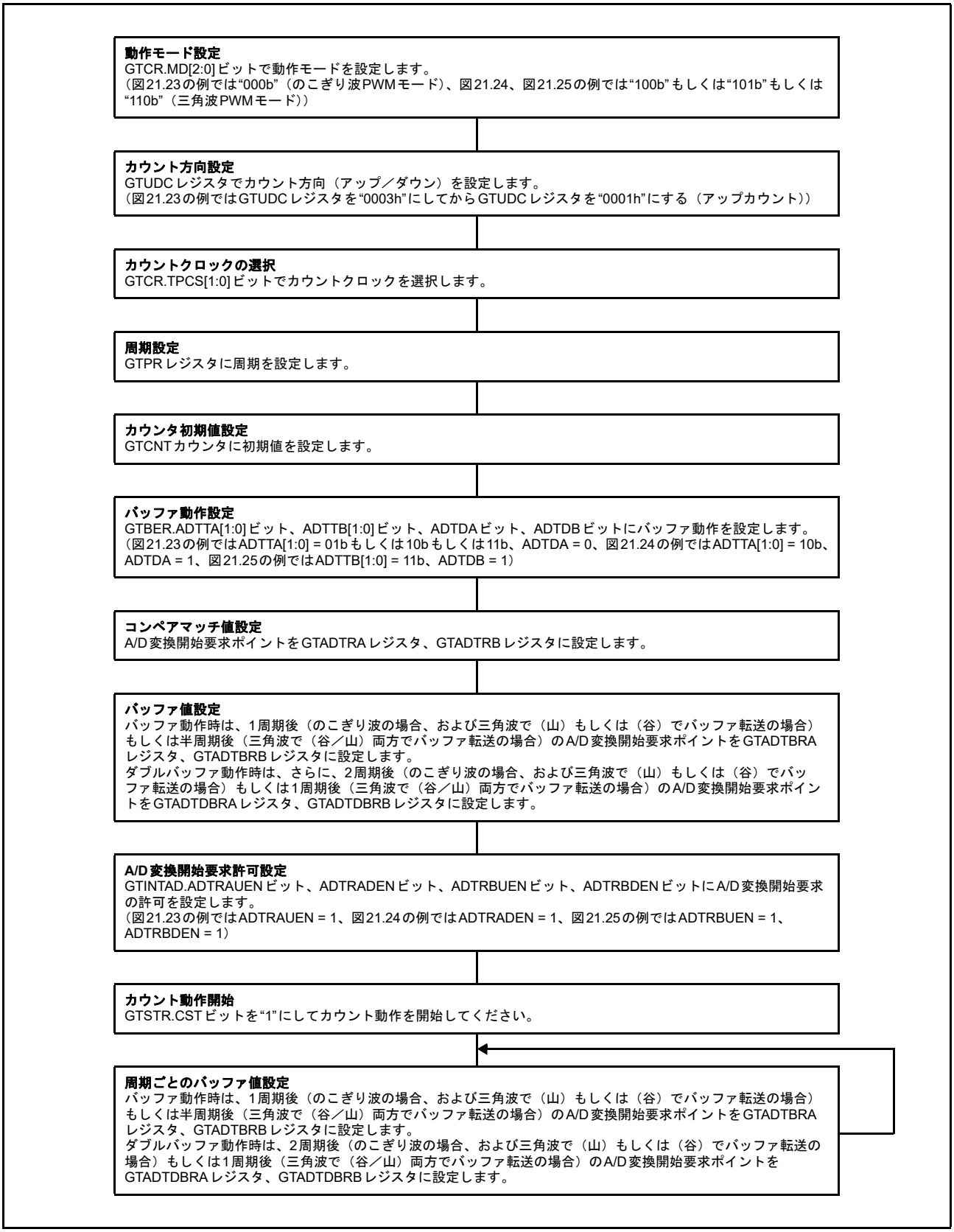


図 21.26　GTADTRA レジスタ、GTADTRB レジスタのバッファ動作設定例

21.3.3　PWM 出力動作モード

GPTn.GTCNT カウンタと GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力することができます（n = 0 ～ 3）。全チャネル独立に動作モードが設定でき、チャネル間の同期動作も可能です。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

(1)　のこぎり波 PWM モード

のこぎり波 PWM モードは、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタをのこぎり波（半波）動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです（n = 0 ～ 3）。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力、を設定することができます。

図 21.27 にのこぎり波 PWM モードの動作例を、図 21.28 にのこぎり波 PWM モードの設定例を示します。

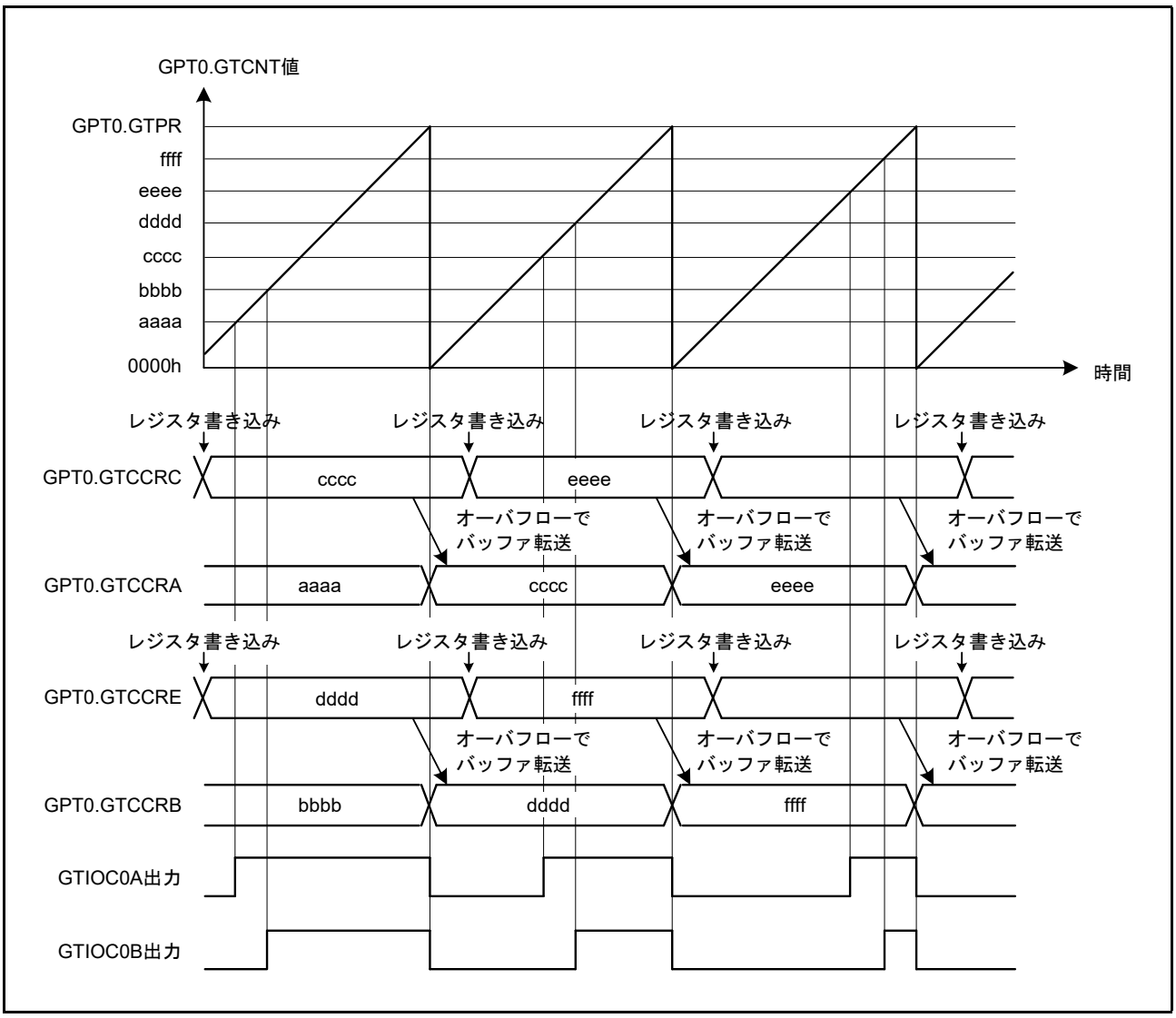


図 21.27　のこぎり波 PWM モード動作例
（アップカウント、バッファ動作、GTCCRA/B コンペアマッチで High 出力、周期の終わりで Low 出力の場合）

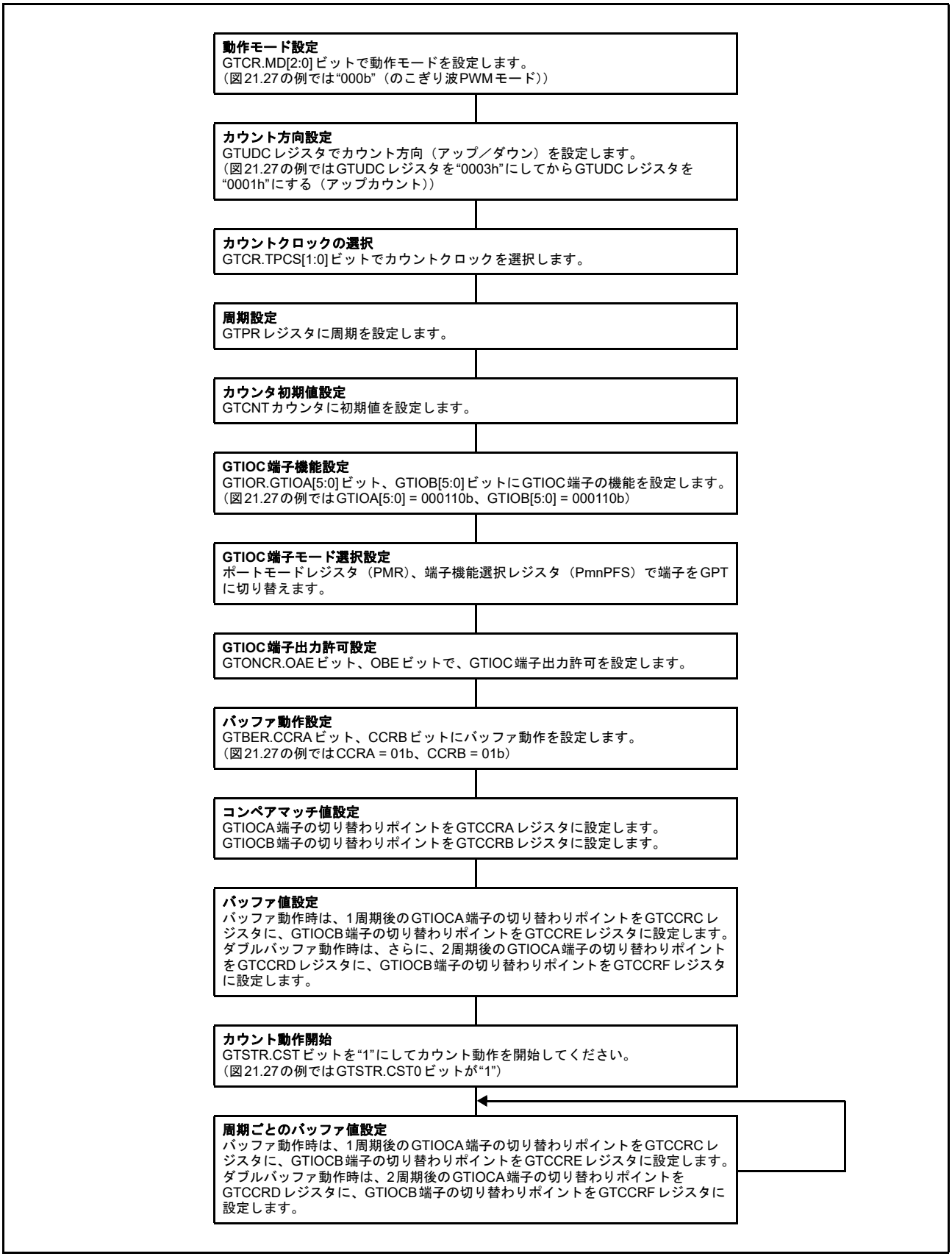


図 21.28　のこぎり波 PWM モード設定例

(2)　のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです（n = 0 ～ 3）。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ、GTCCRE レジスタから GTCCRB レジスタ、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、にバッファ転送され、さらに、GTCCRA レジスタのコンペアマッチでテンポラリレジスタ A から GTCCRA レジスタ、GTCCRB レジスタのコンペアマッチでテンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 21.29 にのこぎり波ワンショットパルスモードの動作例を、**図 21.30** にのこぎり波ワンショットパルスモードの設定例を示します。

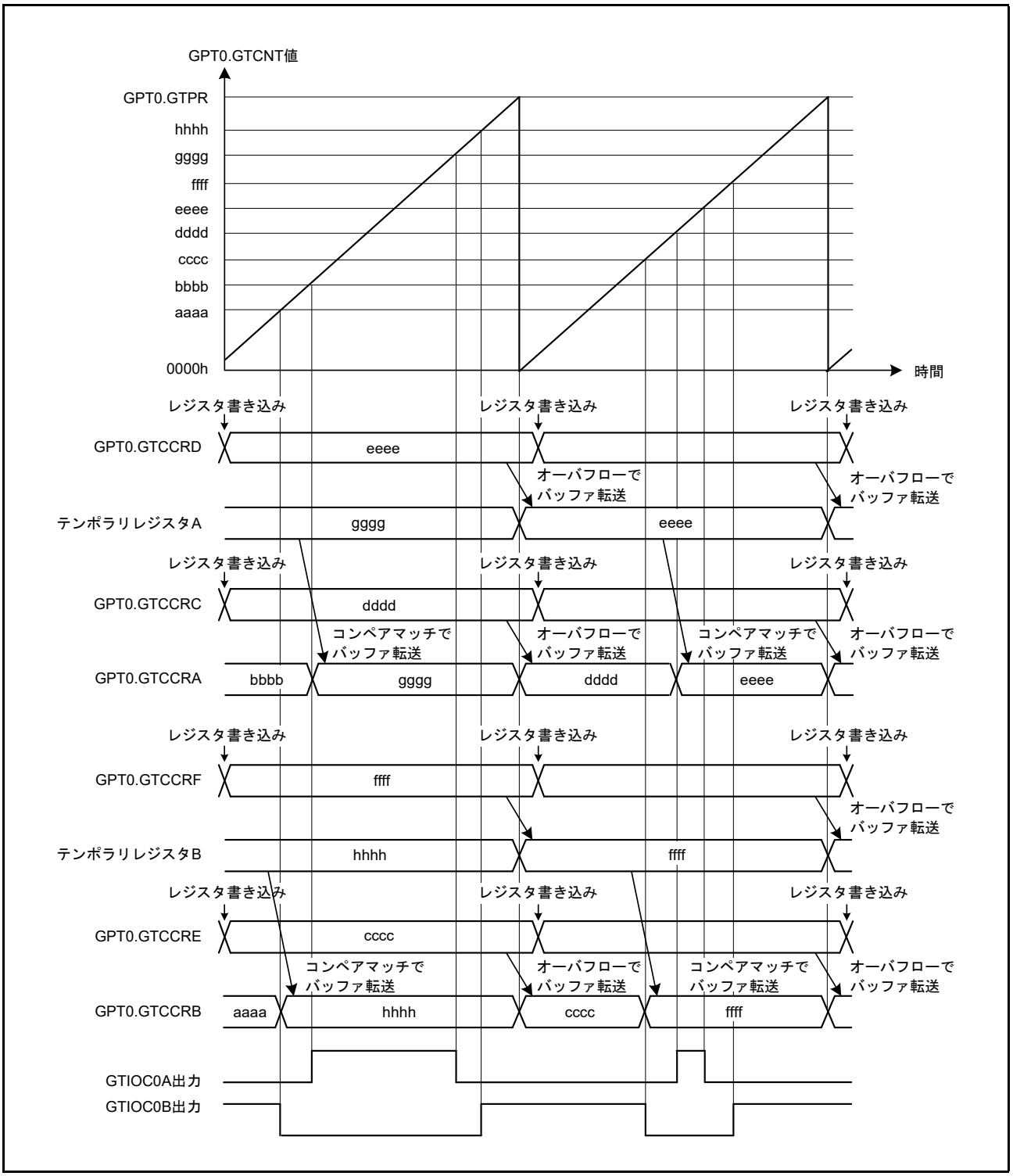


図 21.29　のこぎり波ワンショットパルスモード動作例
（アップカウント、カウント開始時に GTIOC0A = Low 出力／ GTIOC0B = High 出力、
GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合）

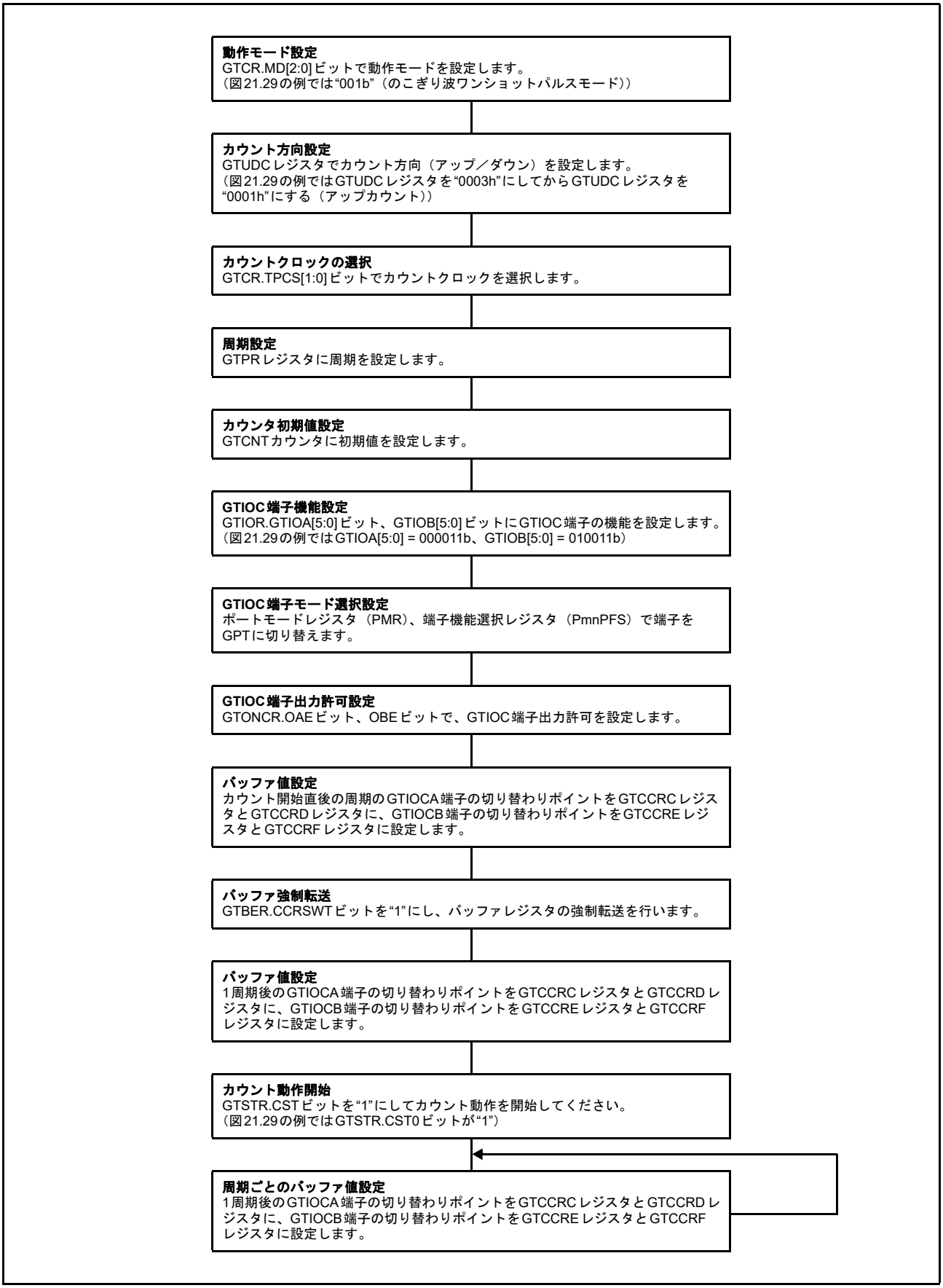


図 21.30　のこぎり波ワンショットパルスモード設定例

(3)　三角波 PWM モード 1（谷 16 ビット転送）

三角波 PWM モード 1 は、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波（全波）動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです（n = 0 ～ 3）。バッファ動作のタイミングは、谷となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することによって、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 21.31 に三角波 PWM モード 1 の動作例を、図 21.32 に三角波 PWM モード 1 の設定例を示します。

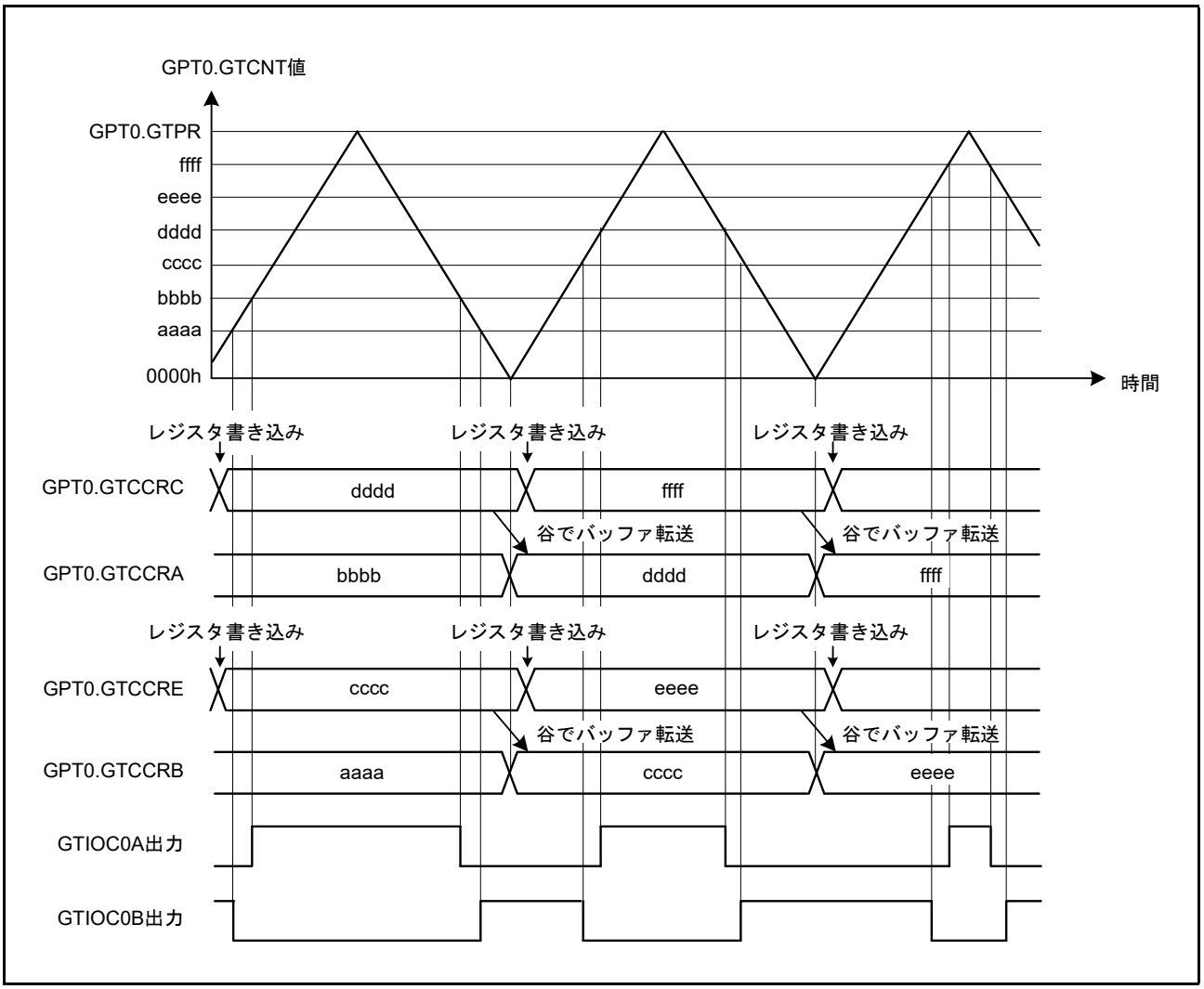


図 21.31　三角波 PWM モード 1 動作例
（バッファ動作、カウント開始時に GTIOC0A = Low 出力／ GTIOC0B = High 出力、GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合）

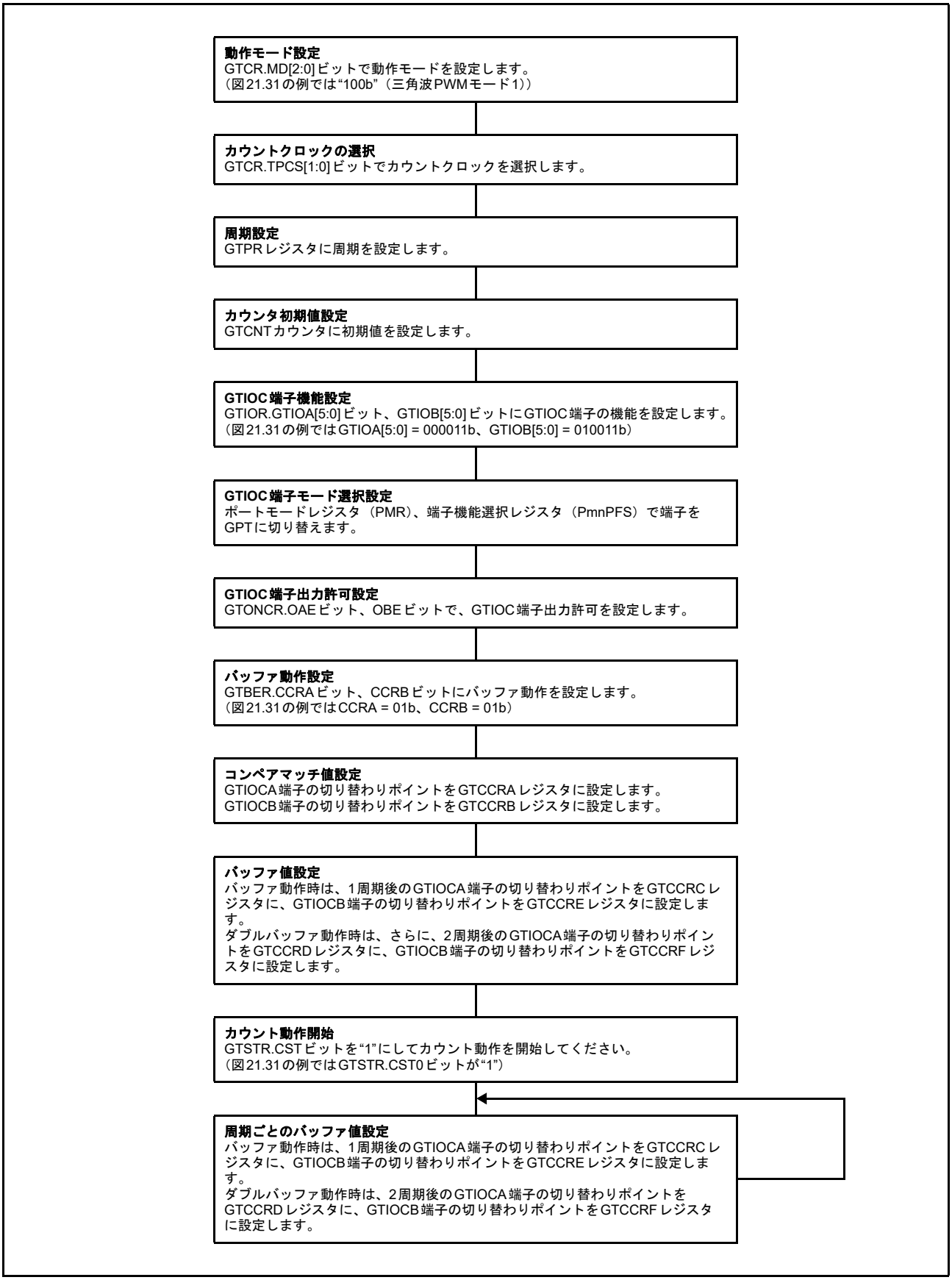


図 21.32　三角波 PWM モード 1 設定例

(4)　三角波 PWM モード 2（山／谷 16 ビット転送）

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波（全波）動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードですが、バッファ動作のタイミングは山／谷の両方となります（n = 0 ～ 3）。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 21.33 に三角波 PWM モード 2 の動作例を、図 21.34 に三角波 PWM モード 2 の設定例を示します。

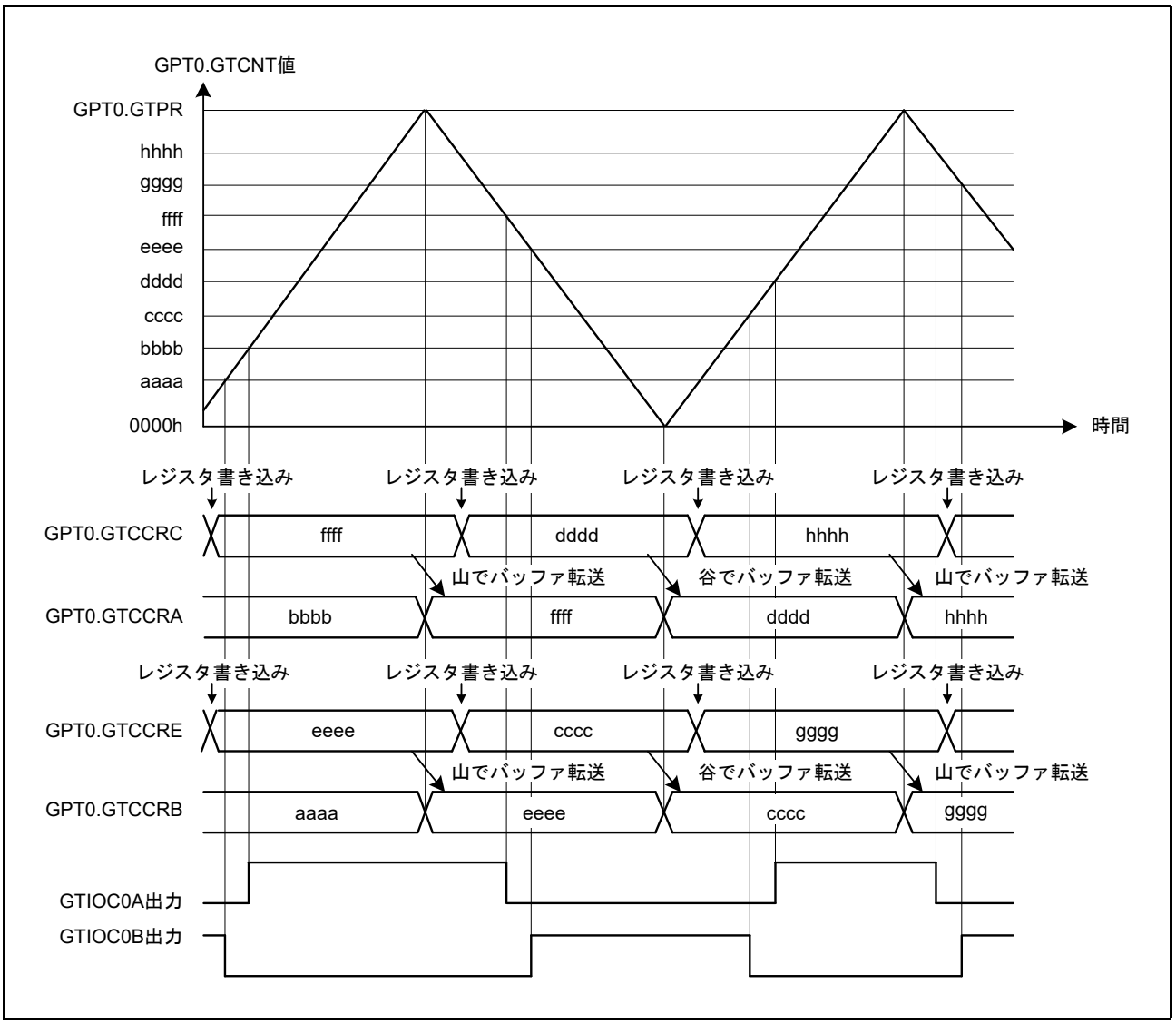


図 21.33　三角波 PWM モード 2 動作例
（バッファ動作、カウント開始時に GTIOC0A = Low 出力／ GTIOC0B = High 出力、
GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合）

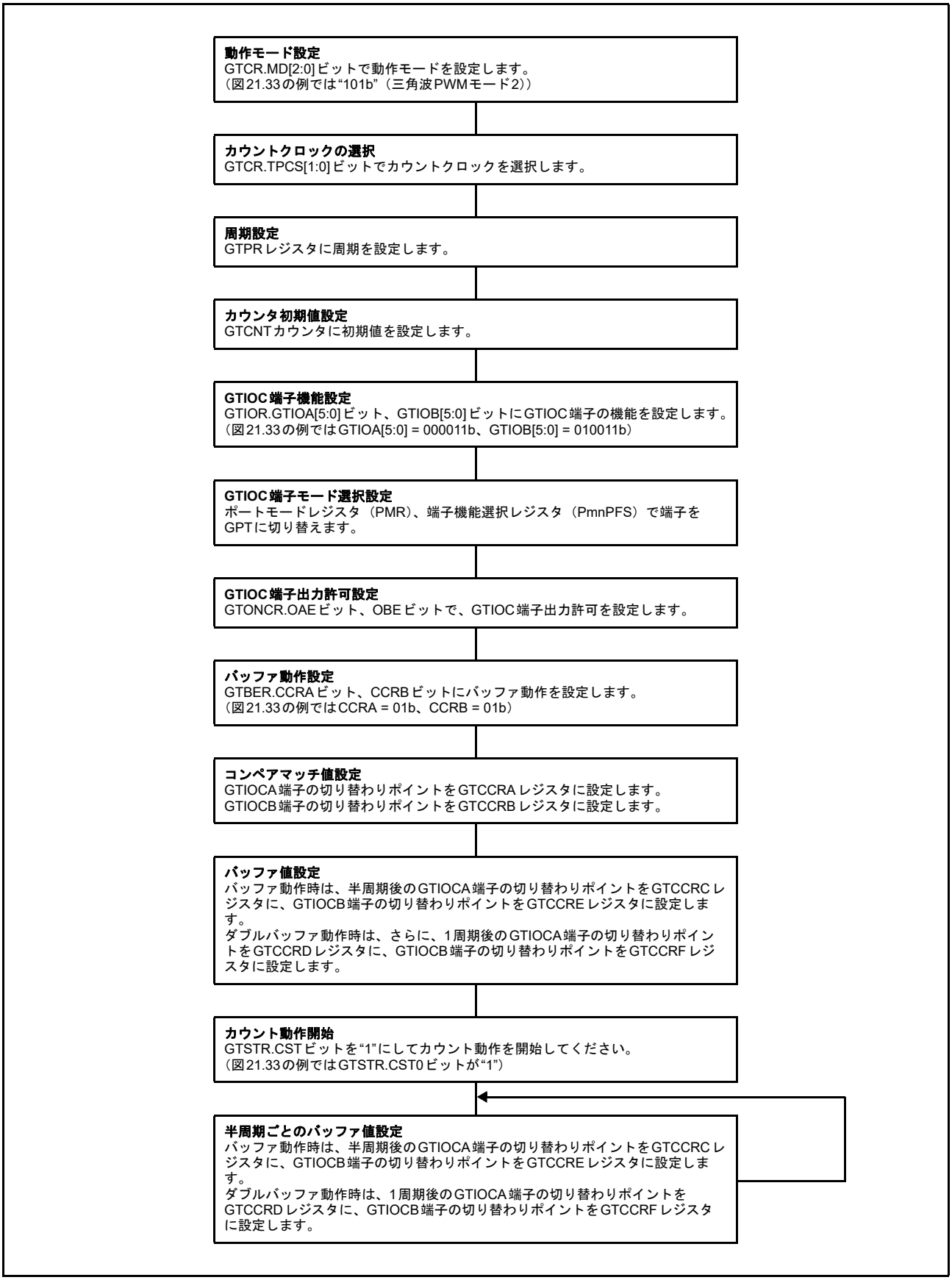


図 21.34　三角波 PWM モード 2 設定例

(5)　三角波 PWM モード 3（谷 32 ビット転送）

三角波 PWM モード 3 は、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波（全波）動作させ、バッファ動作固定で、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです（n = 0 ～ 3）。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC レジスタから GTCCRA レジスタ、GTCCRE レジスタから GTCCRB レジスタ、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、にバッファ転送され、さらに、山で、テンポラリレジスタ A から GTCCRA レジスタ、テンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 21.35 に三角波 PWM モード 3 の動作例を、**図 21.36** に三角波 PWM モード 3 の設定例を示します。

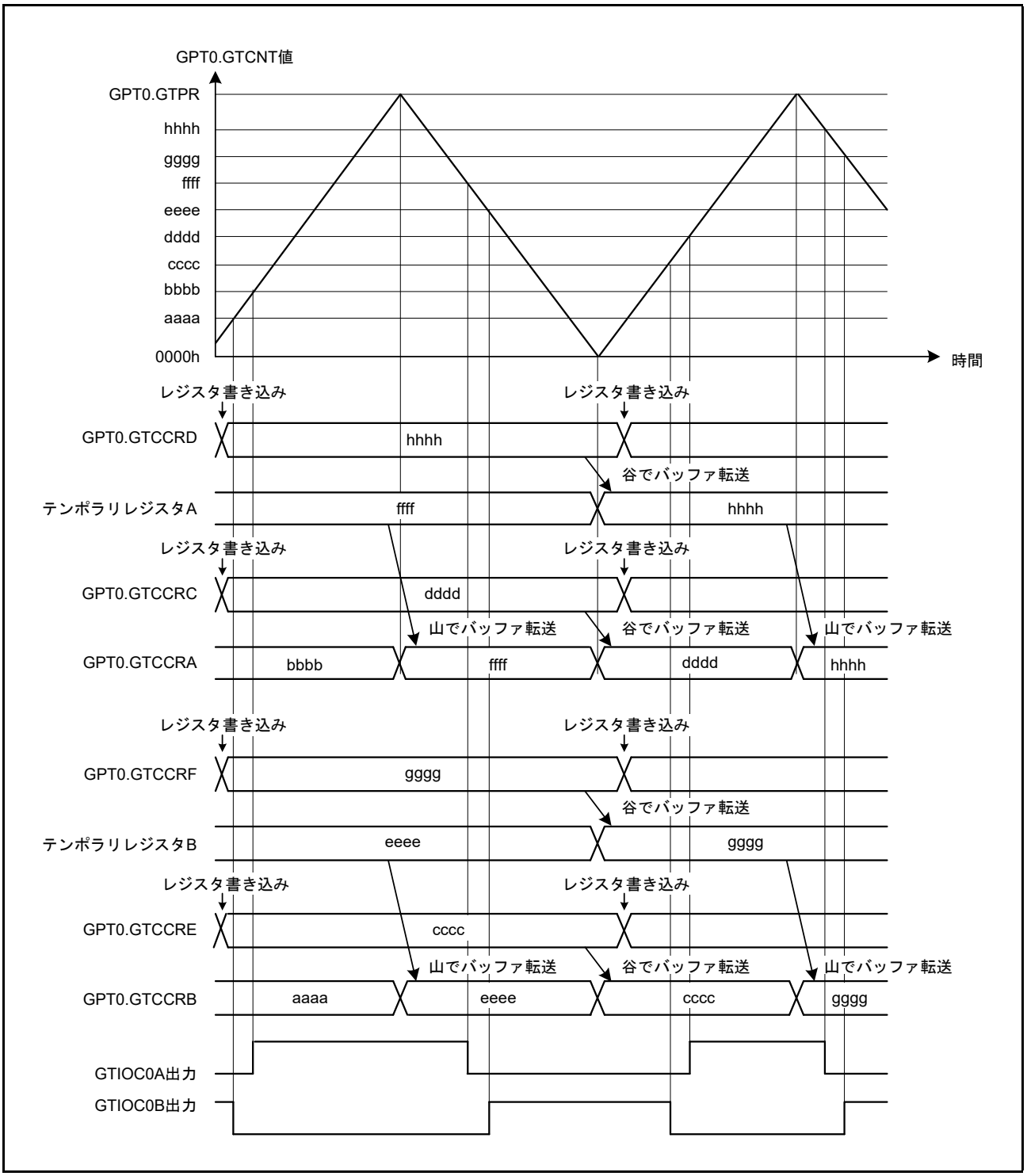


図 21.35　三角波 PWM モード 3 動作例（カウント開始時に GTIOC0A = Low 出力／ GTIOC0B = High 出力、GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合）

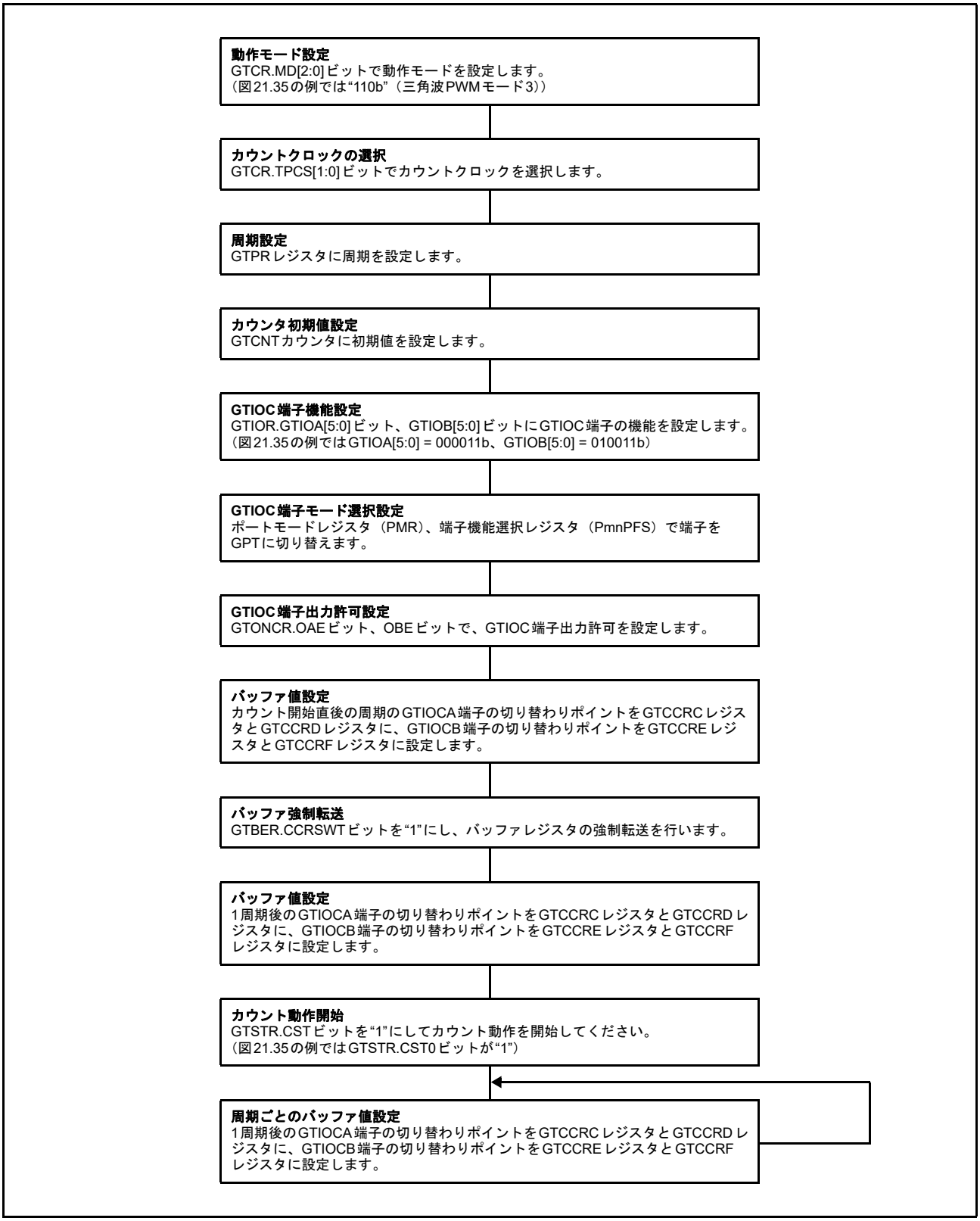


図 21.36　三角波 PWM モード 3 設定例

21.3.4　デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値（GTCCRA レジスタ値）とデッドタイム値（GTDVU レジスタ値、GTDVD レジスタ値）からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは前側／後側で独立に設定でき、逆相波形の前側の切り替わりポイントに対するデッドタイムを GTDVU レジスタで設定し、後側の切り替わりポイントに対するデッドタイムを GTDVD レジスタで設定します。デッドタイムは前側／後側で共通にすることもできます。

また、GTDBU レジスタを GTDVU レジスタのバッファレジスタとして使用することができ、同様に、GTDBD レジスタを GTDVD レジスタのバッファレジスタとして使用することができます。バッファ転送タイミングは周期の終わり（のこぎり波の場合は GTCNT のオーバフロー（アップカウント時）もしくはアンダフロー（ダウンカウント時）、三角波の場合は谷）です。

なお、デッドタイム自動設定機能を使用時は、GTCCRB レジスタへの書き込みは禁止です。また、周期を超えるデッドタイム設定も禁止です。デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。

図 21.37 ～図 21.39 にデッドタイム自動設定機能の動作例を、**図 21.40**、**図 21.41** に設定例を示します。

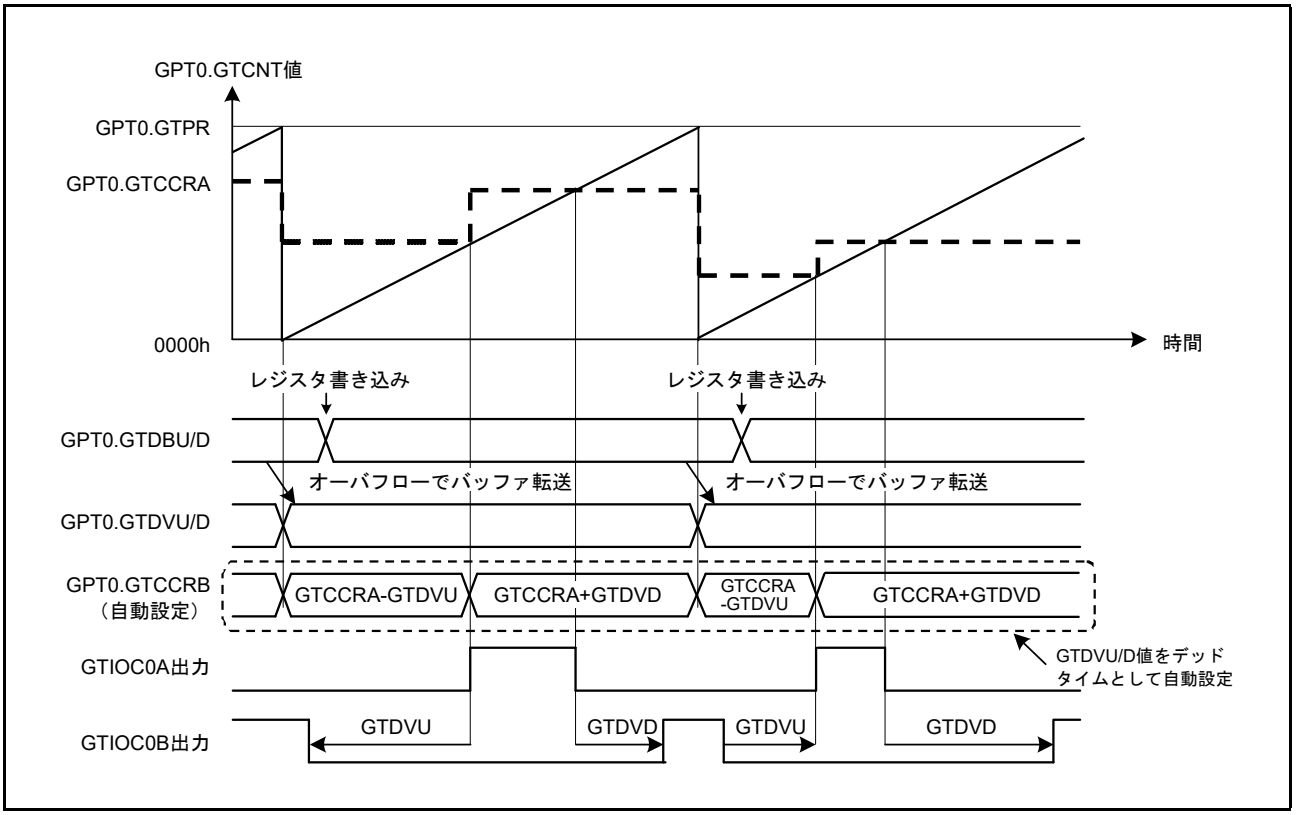


図 21.37　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、GTDVU/D レジスタはバッファ動作、アクティブレベルは “High” の場合）

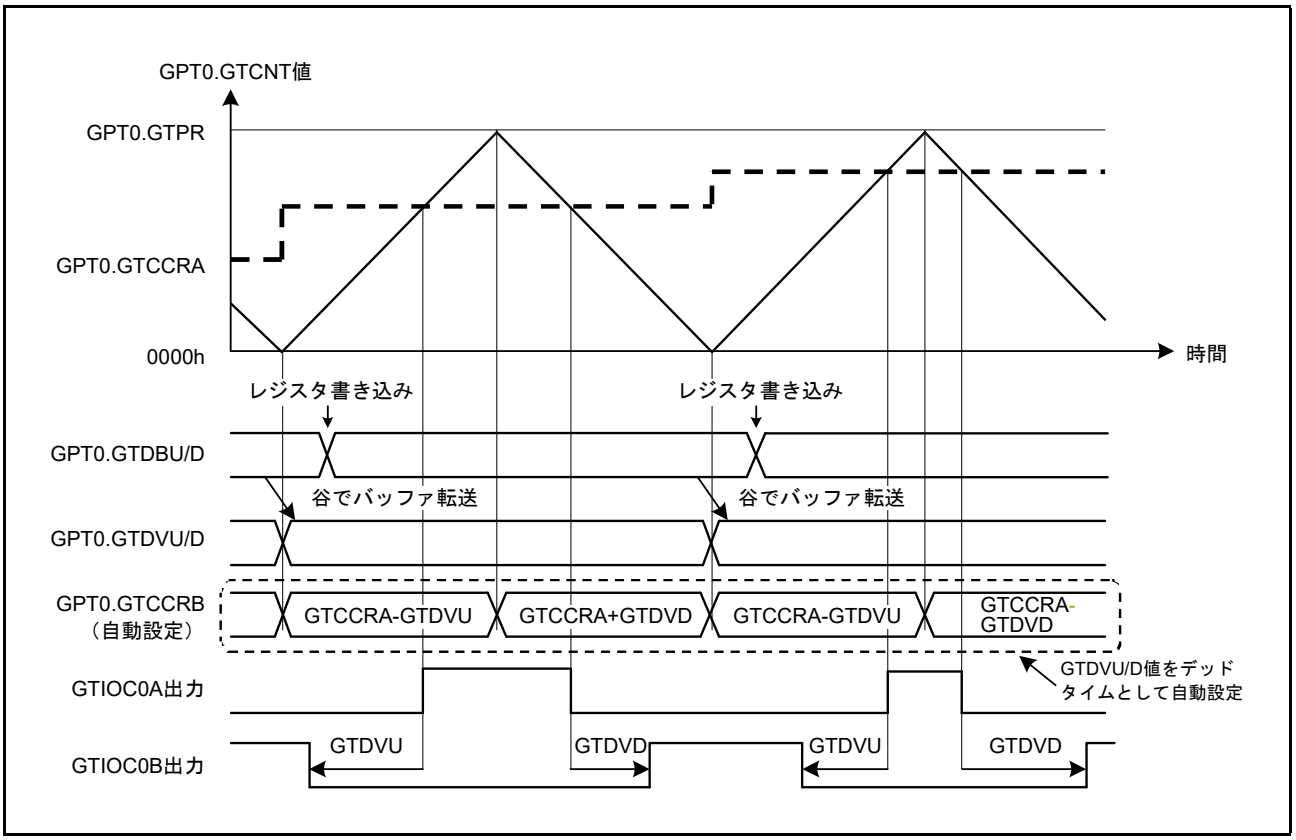


図 21.38　デッドタイム付きコンペアマッチ値の自動設定機能の動作例
（三角波 PWM モード 1、GTDVU/D レジスタはバッファ動作、アクティブレベルは “High” の場合）

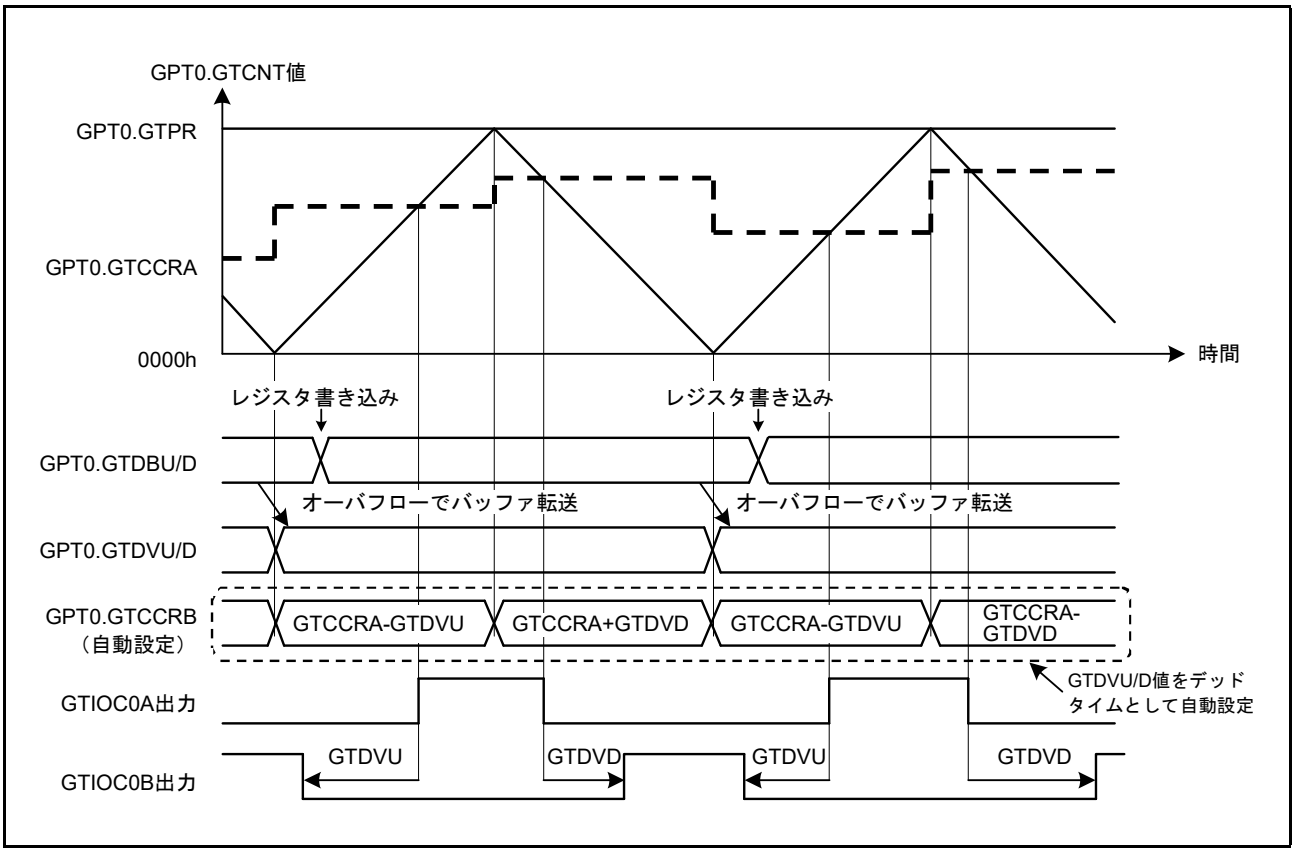


図 21.39　デッドタイム付きコンペアマッチ値の自動設定機能の動作例
（三角波 PWM モード 2/3、GTDVU/D レジスタはバッファ動作、アクティブレベルは “High” の場合）

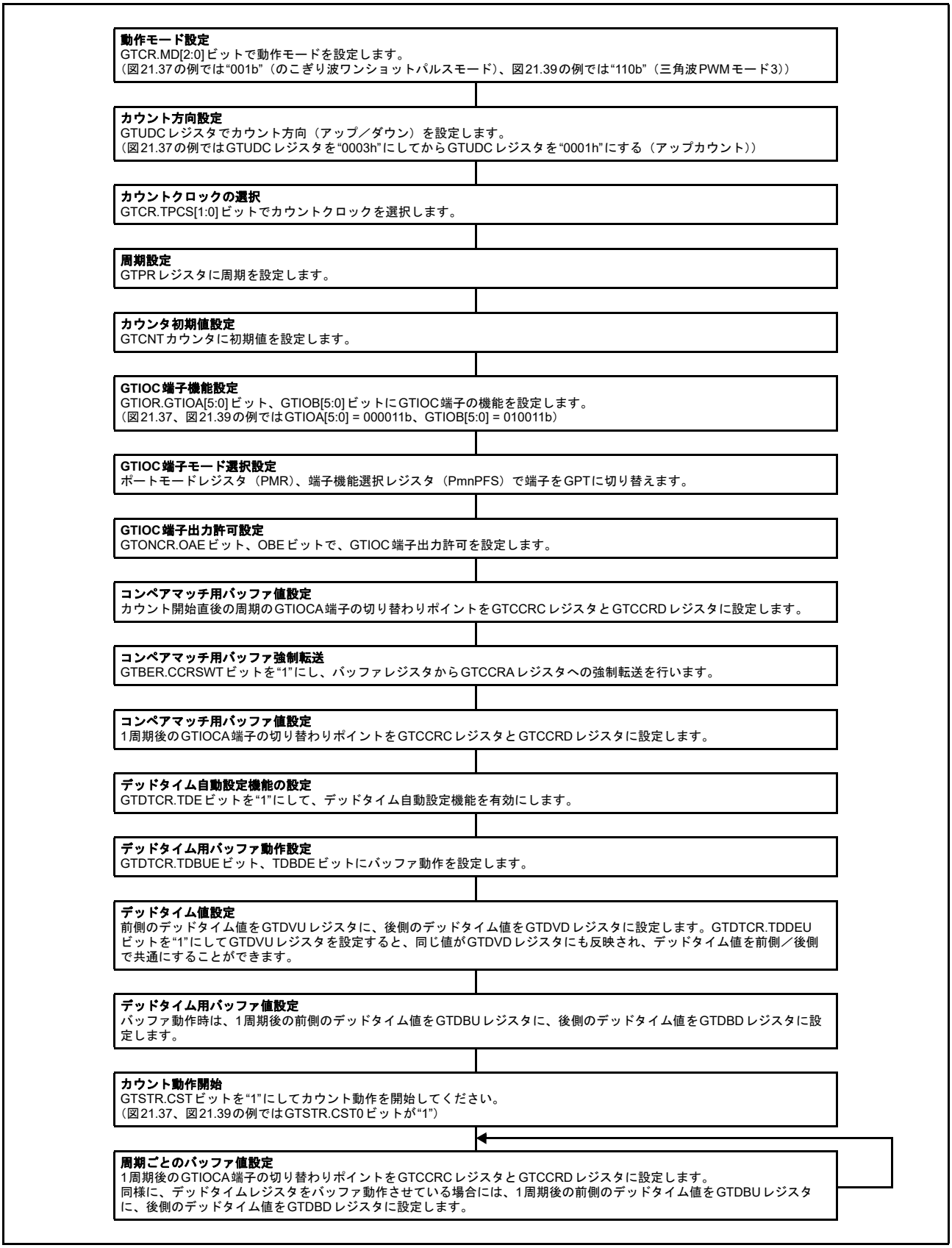


図 21.40　デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時）

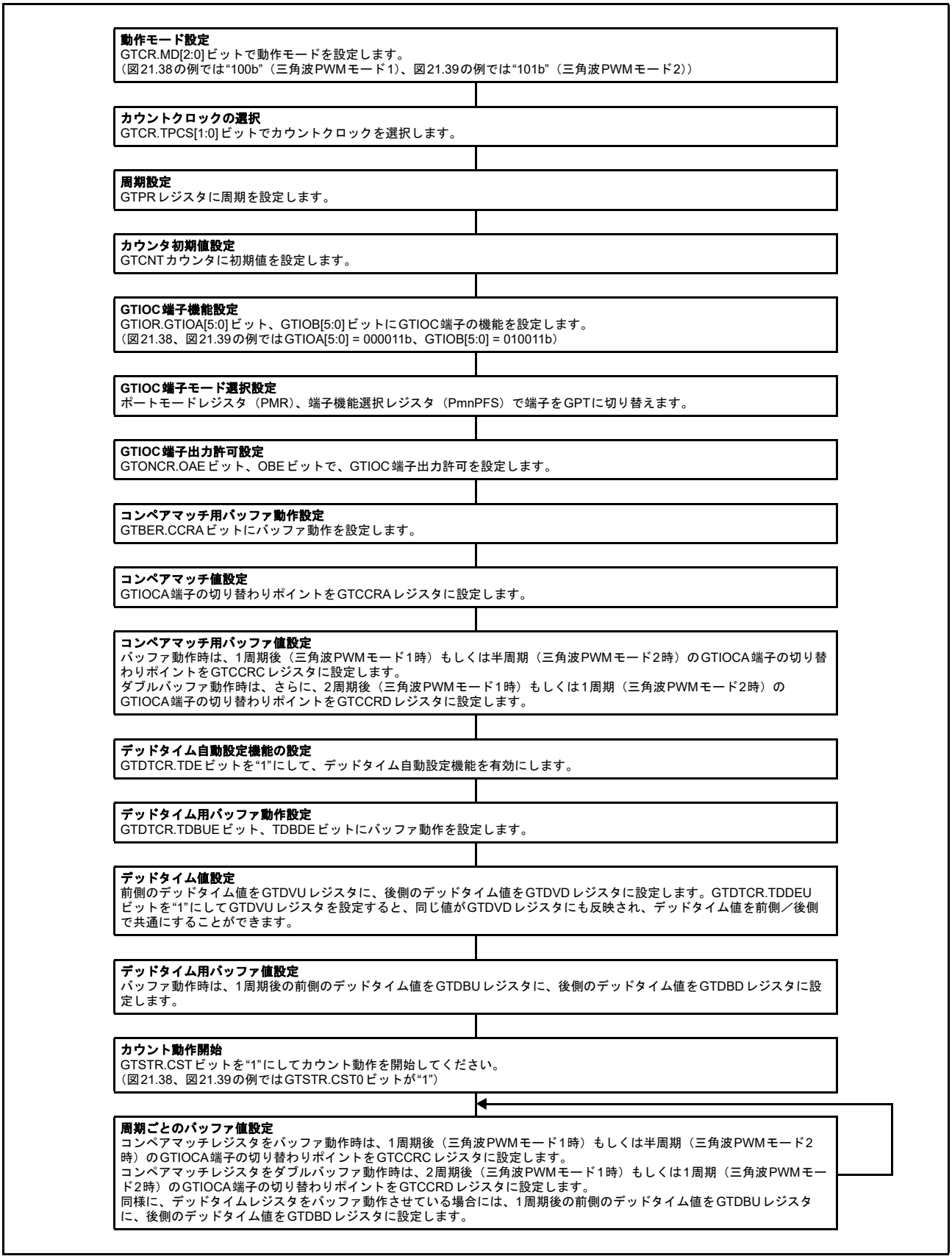


図 21.41　デッドタイム自動設定機能の設定例（三角波 PWM モード 1/2 時）

21.3.5　カウント方向切り替え機能

GTUDC.UD ビットの値を変更することにより、GTCNT カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント動作中に GTUDC.UD ビット値を変更すると、オーバフロー（アップカウント動作中に変更した場合）もしくはアンダフロー（ダウンカウント動作中に変更した場合）発生時にカウント方向が切り替わります。カウント停止中に GTUDC.UDF ビットが “0” の状態で GTUDC.UD ビット値を変更すると、カウント開始時には反映されず、オーバフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウント停止中に GTUDC.UDF ビットを “1” にすると、そのときの GTUDC.UD ビット値がカウント開始時から反映されます。

三角波の場合、カウント動作中に GTUDC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウント停止中に GTUDC.UDF ビットが “0” の状態で GTUDC.UD ビット値を変更しても反映されません。カウント停止中に GTUDC.UDF ビットを “1” にすると、そのときの GTUDC.UD ビット値がカウント開始時から反映されます。

のこぎり波でカウンタ動作中にカウント方向を切り替えた場合、アップカウント時はアップカウント開始後の GTPR レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウント開始前の GTPR レジスタ値がカウント周期に反映されます。

図 21.42 にカウント方向切り替え機能の動作例を示します。

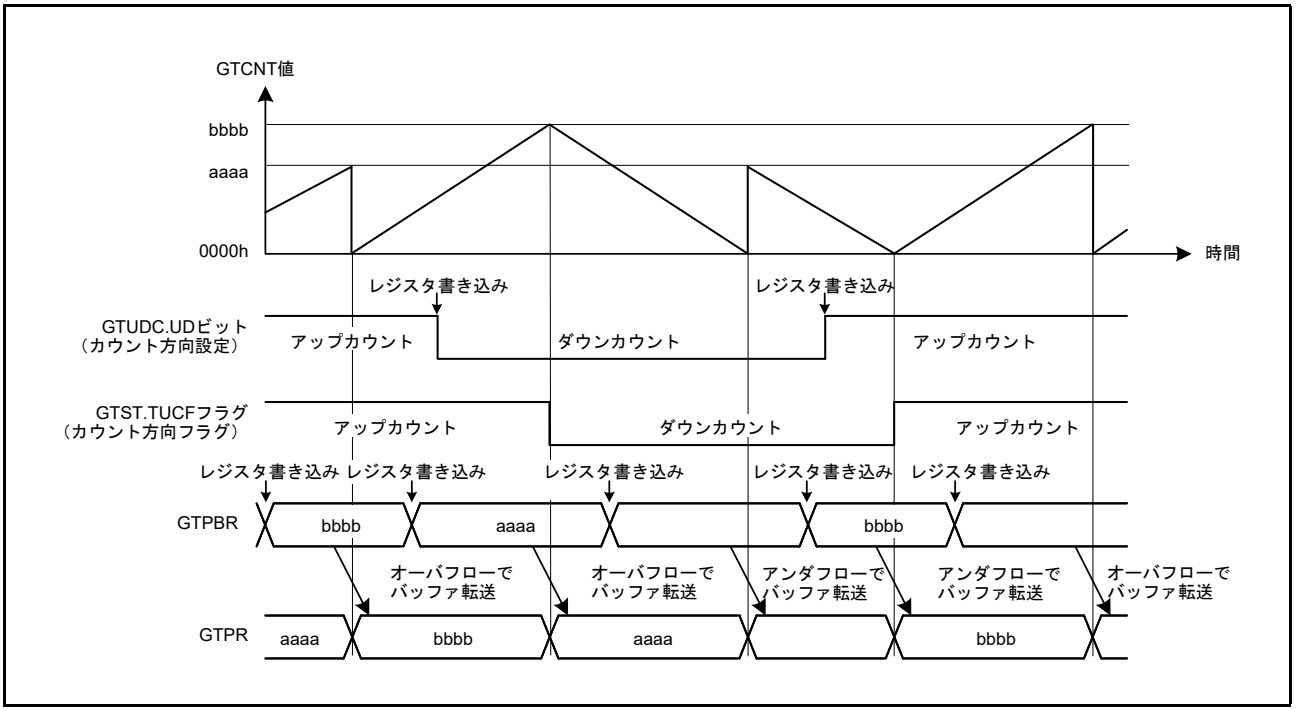


図 21.42　カウント方向切り替え機能の動作例（バッファ動作時）

21.3.6　ハードウェアスタート／ストップ、クリア動作

本 MCU 内蔵のハードウェア要因により、GTCNT カウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、GTETRG 端子入力、GTIOC3A および GTIOC3B 端子入力、GTIOC3A および GTIOC3B 内部出力（アウトプットコンペア）の 4 種類の要因があります。

また、GTCCRA レジスタおよび GTCCRB レジスタのインプットキャプチャによるカウンタクリアも可能です。

21.3.6.1　ハードウェアスタート動作

ハードウェア要因により、GTCNT カウンタのスタート制御が可能です。GTHSSR.CSHSL ビットでカウントをスタートさせるハードウェア要因を選択し、GTHSCR.CSHW ビットでハードウェア要因の切り替わりエッジを指定してカウントスタートを許可します。

図 21.43 にハードウェア要因によるカウントスタートの動作例を、図 21.44 に設定例を示します。

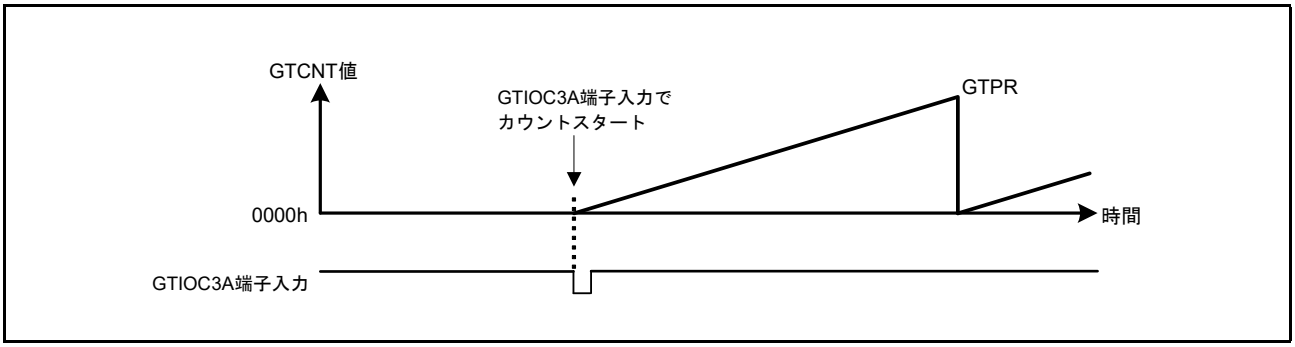


図 21.43　ハードウェア要因によるカウントスタート動作例（GTIOC3A 端子入力によるスタート時）

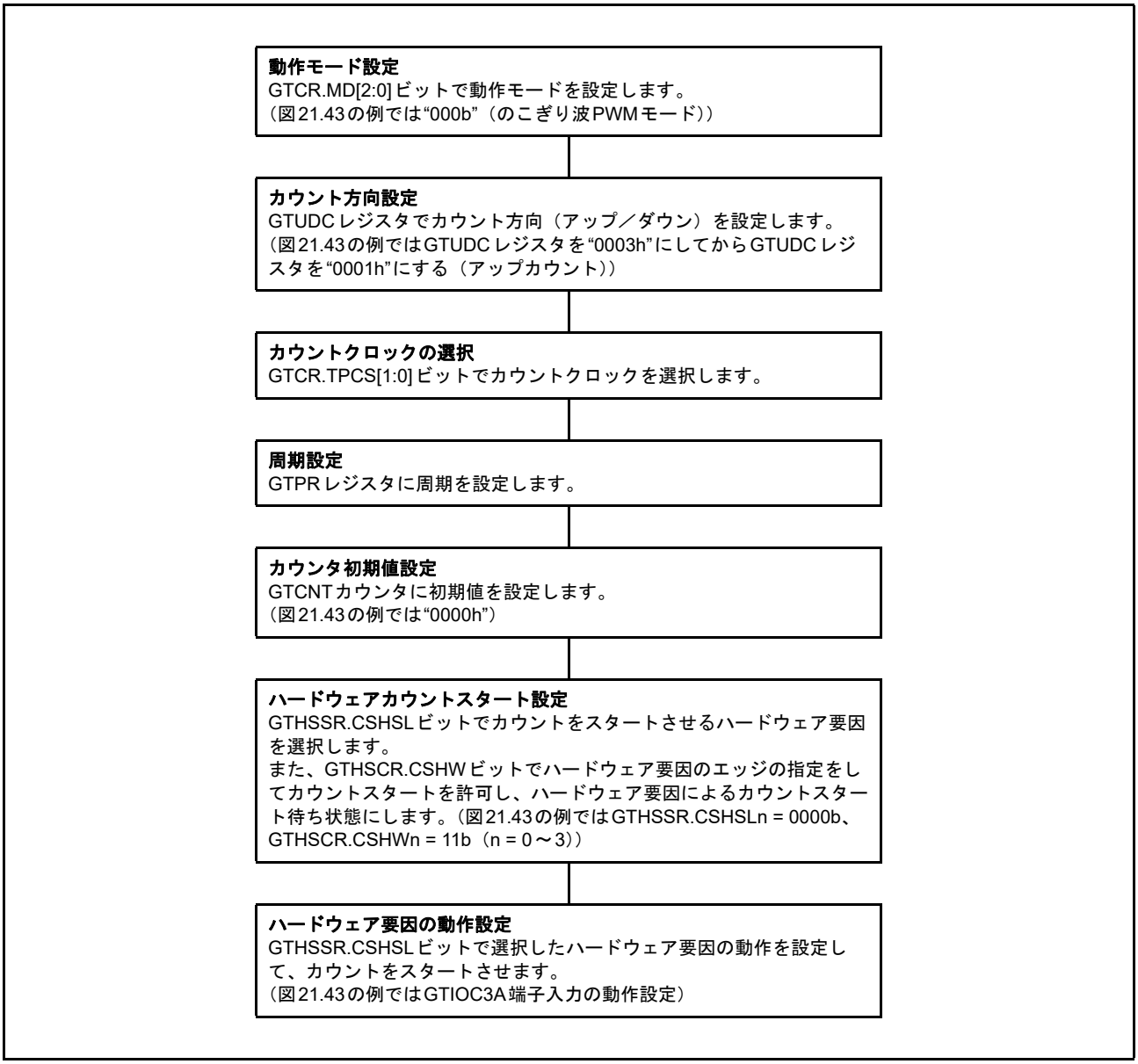


図 21.44　ハードウェア要因によるカウントスタート動作設定例

21.3.6.2　ハードウェアストップ動作

ハードウェア要因により、GTCNT カウンタのストップ制御が可能です。GTHPSR.CSHPL ビットでカウントをストップさせるハードウェア要因を選択し、GTHSCR.CPHW ビットでハードウェア要因の切り替わりエッジを指定してカウントストップを許可します。

図 21.45 にハードウェア要因によるカウントストップの動作例を、**図 21.46** に設定例を示します。GTIOC3A 内部出力（アウトプットコンペア）の両エッジによりストップ、GTIOC3B 内部出力（アウトプットコンペア）の両エッジにより再スタートする例です。

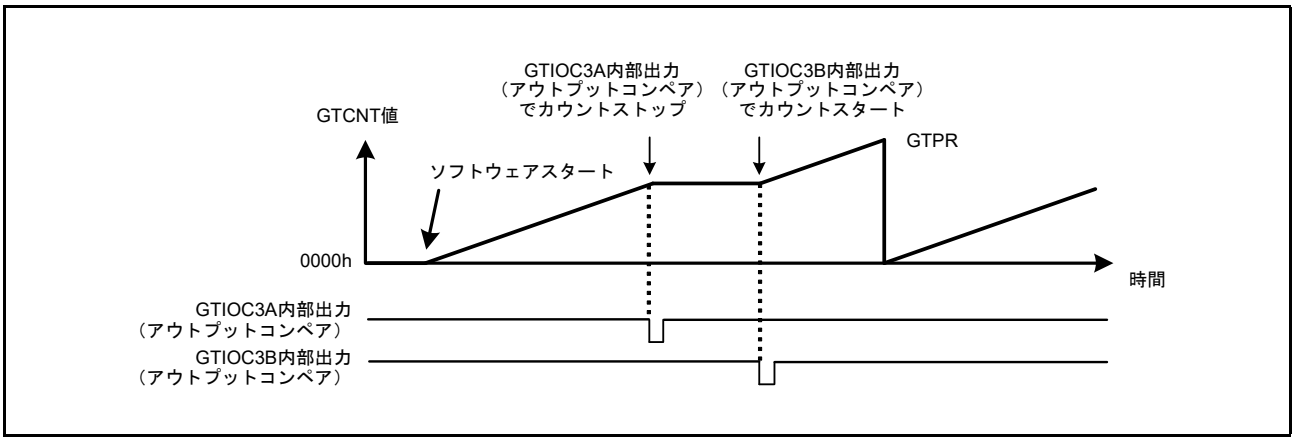


図 21.45　ハードウェア要因によるカウントストップ動作例
（ソフトウェアでスタート、GTIOC3A 内部出力（アウトプットコンペア）でストップ、
GTIOC3B 内部出力（アウトプットコンペア）で再スタート時）

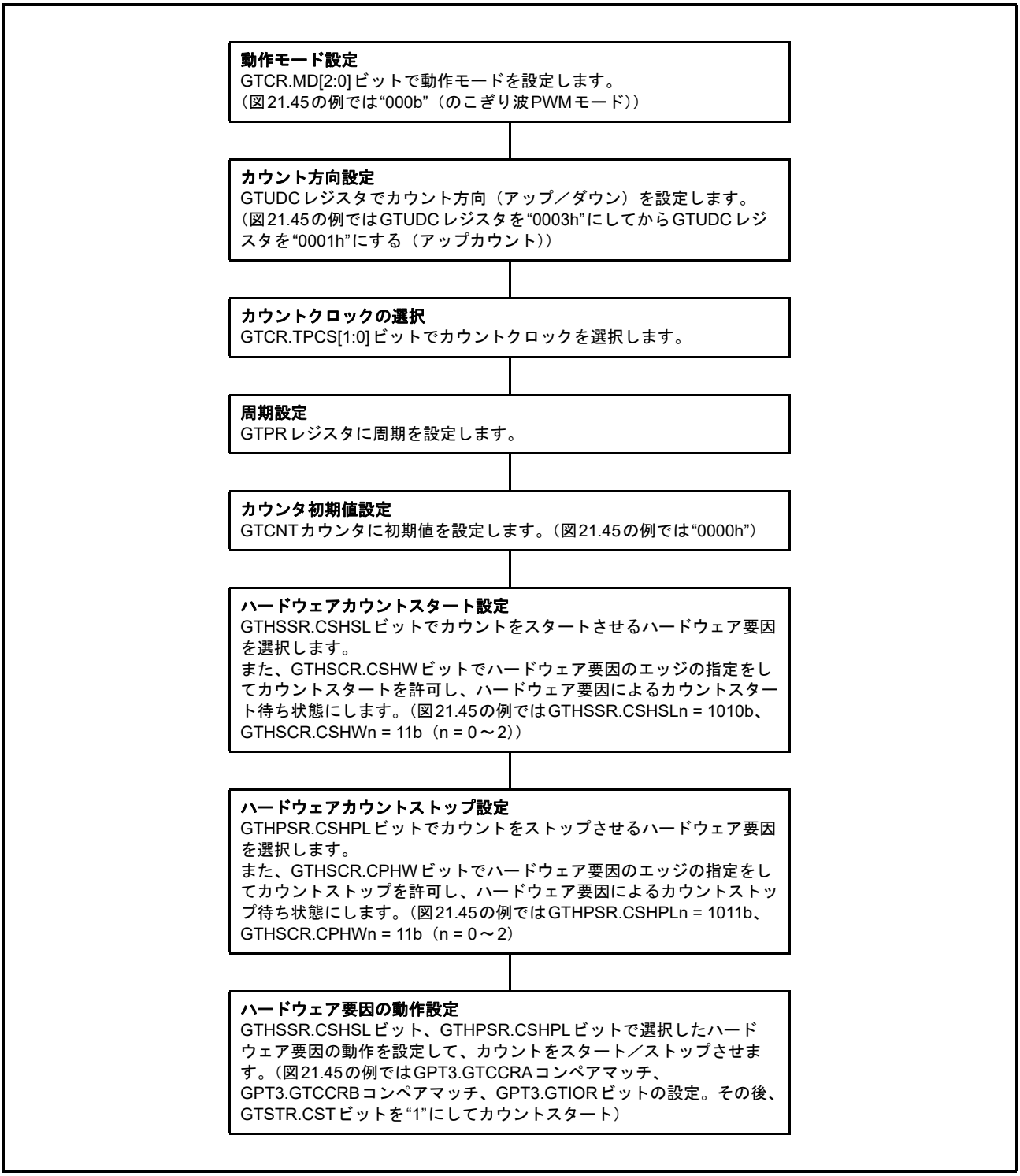


図 21.46　ハードウェア要因によるカウントストップ動作設定例

図 21.47 にハードウェア要因によるカウンタトスタート／ストップの動作例を、図 21.48 に設定例を示します。外部入力トリガ GTETRG が High の区間でカウント動作する例です。

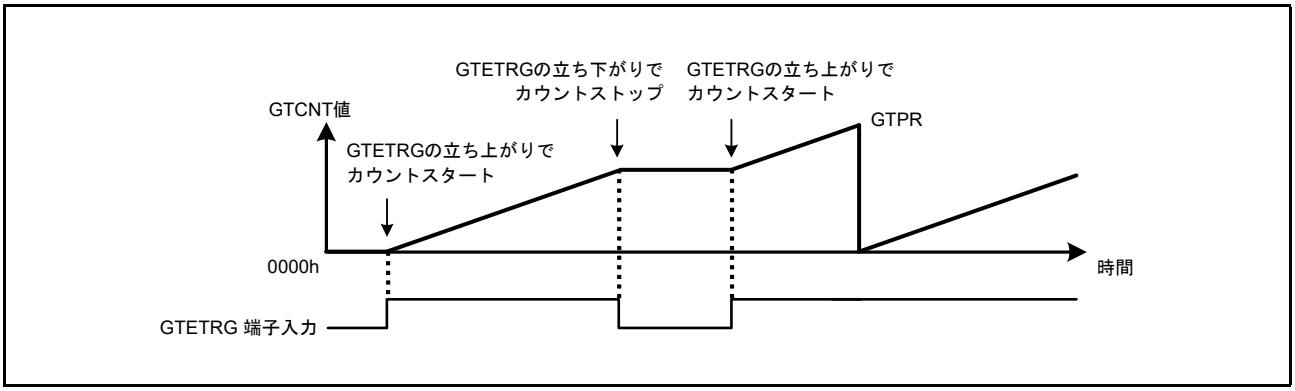


図 21.47　ハードウェア要因によるカウントスタート／ストップ動作例（GTETRG 端子入力の立ち上がりでスタート、GTETRG 端子入力の立ち下がりでストップ時）

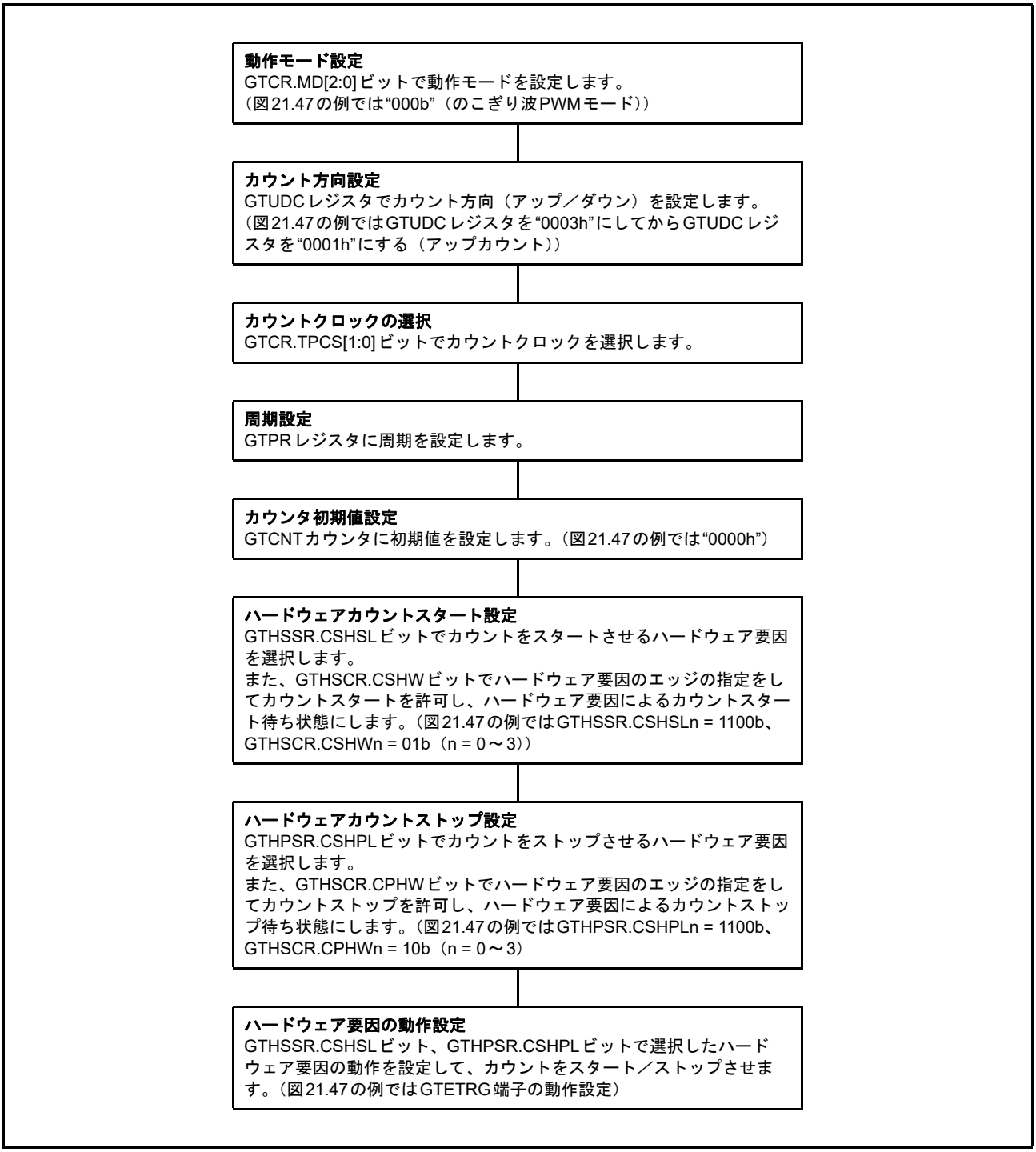


図 21.48　ハードウェア要因によるカウントスタート／ストップ動作設定例

21.3.6.3　ハードウェアクリア動作

ハードウェア要因によって、GTCNT カウンタのクリア制御が可能です。GTHPSR.CSHPL ビットでカウンタをクリアさせるハードウェア要因を選択し、GTHCCR.CCHW ビットでハードウェア要因の切り替わりエッジを指定してカウンタクリアを許可します。

また、GTCR.CCLR[1:0] ビットの設定によって、GTCCRA レジスタおよび GTCCRB レジスタのインプットキャプチャによるカウンタクリアも可能です。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV ／ GTCIU 割り込み（オーバフロー／アンダフロー割り込み）は発生しません。

図 21.49、**図 21.50** にハードウェア要因によるカウンタクリアの動作例を、**図 21.51** に設定例を示します。GTIOC3A 端子入力の両エッジによりスタート、GTIOC3B 端子入力の両エッジによりストップ／クリアする例です。

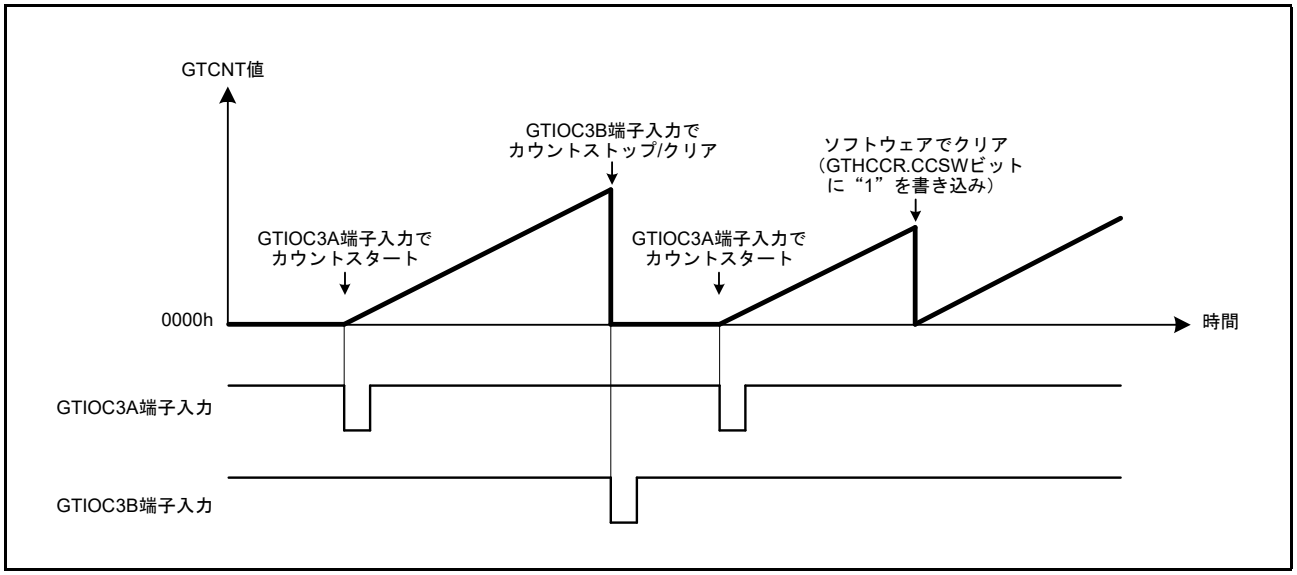


図 21.49　ハードウェア要因によるカウントクリア動作例（のこぎり波でアップカウント、GTIOC3A 端子入力でスタート、GTIOC3B 端子入力でストップ／クリア時）

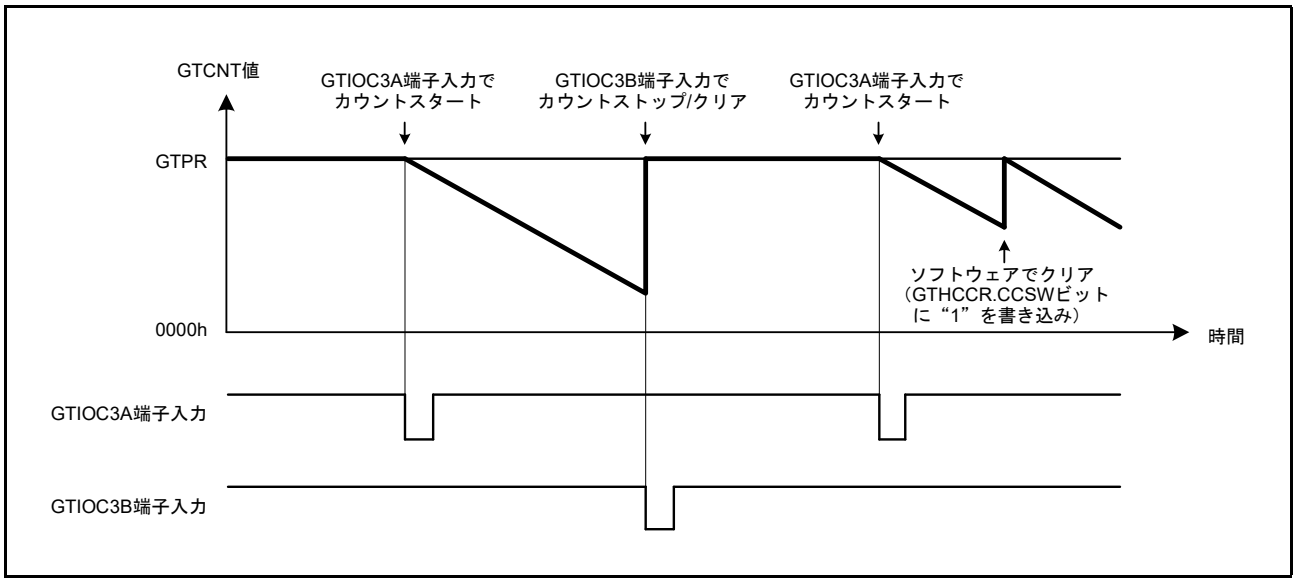


図 21.50　ハードウェア要因によるカウントクリア動作例（のこぎり波でダウンカウント、GTIOC3A 端子入力でスタート、GTIOC3B 端子入力でストップ／クリア時）

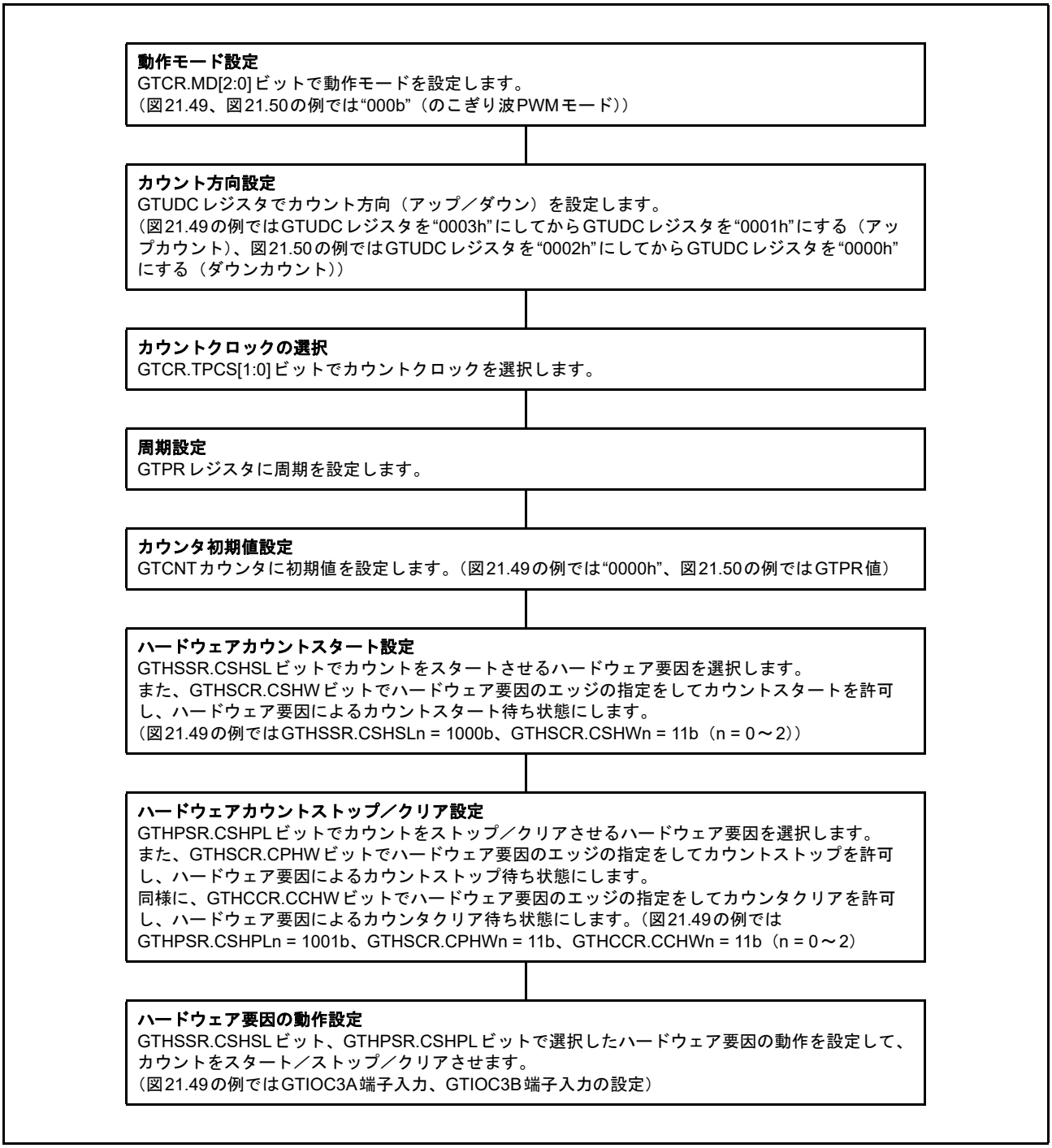


図 21.51　ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因によるカウンタクリアを行っても、GTCIV ／ GTCIU 割り込み（オーバフロー／アンダフロー割り込み）は発生しません。同様に、ソフトウェアでのカウンタクリアを行った場合も、GTCIV ／ GTCIU 割り込みは発生しません。

図 21.52 にハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係を示します。

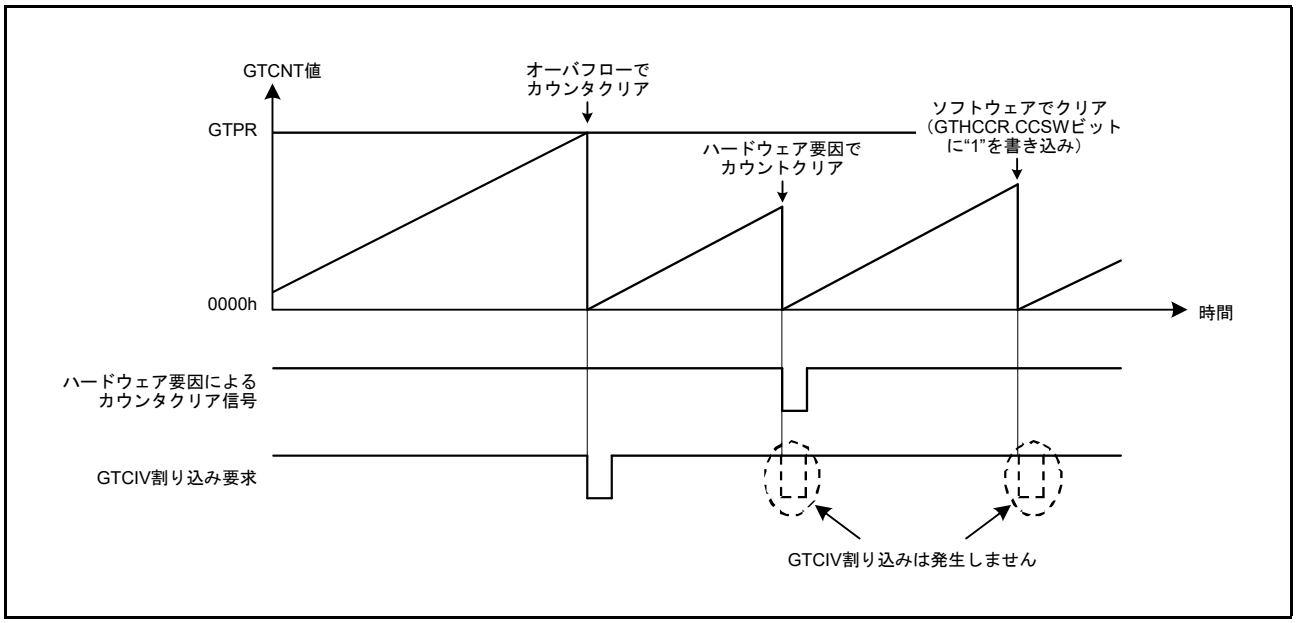


図 21.52　ハードウェア要因によるカウントクリアと GTCIV 割り込みの関係

21.3.7　同期動作

チャネル間の同期動作（同期クリア、同期スタート）が可能です。

21.3.7.1　同期クリア動作

チャネル間の同期クリア制御が可能です。同期クリアさせるチャネルの GTCR.CCLR[1:0] ビットを “11b” にし、GTSYNC.SYNCn[1:0] ビットでどのチャネルのクリア要因で同期クリアするかを設定します n = （0 ～ 3）。

図 21.53 に同期クリアの動作例を、図 21.55 に設定例を示します。GPT0.GTCNT のクリア要因（オーバフロー）により GPT1.GTCNT と GPT2.GTCNT を同期クリアする例です。

なお、同期クリアされたチャネルからの同期クリアは発生しません（同期クリアは伝播しません）。

図 21.54 に同期クリアされたチャネルからの同期クリアの動作例を、図 21.55 に設定例を示します。GPT0.GTCNT のクリア要因（オーバフロー）により GPT1.GTCNT を同期クリア、GPT1.GTCNT のクリア要因（オーバフロー）により GPT2.GTCNT を同期クリアする例です。GPT0.GTCNT のクリア要因（オーバフロー）により同期クリアされた GPT1.GTCNT からの同期クリアは、GPT2.GTCNT には伝播しません。

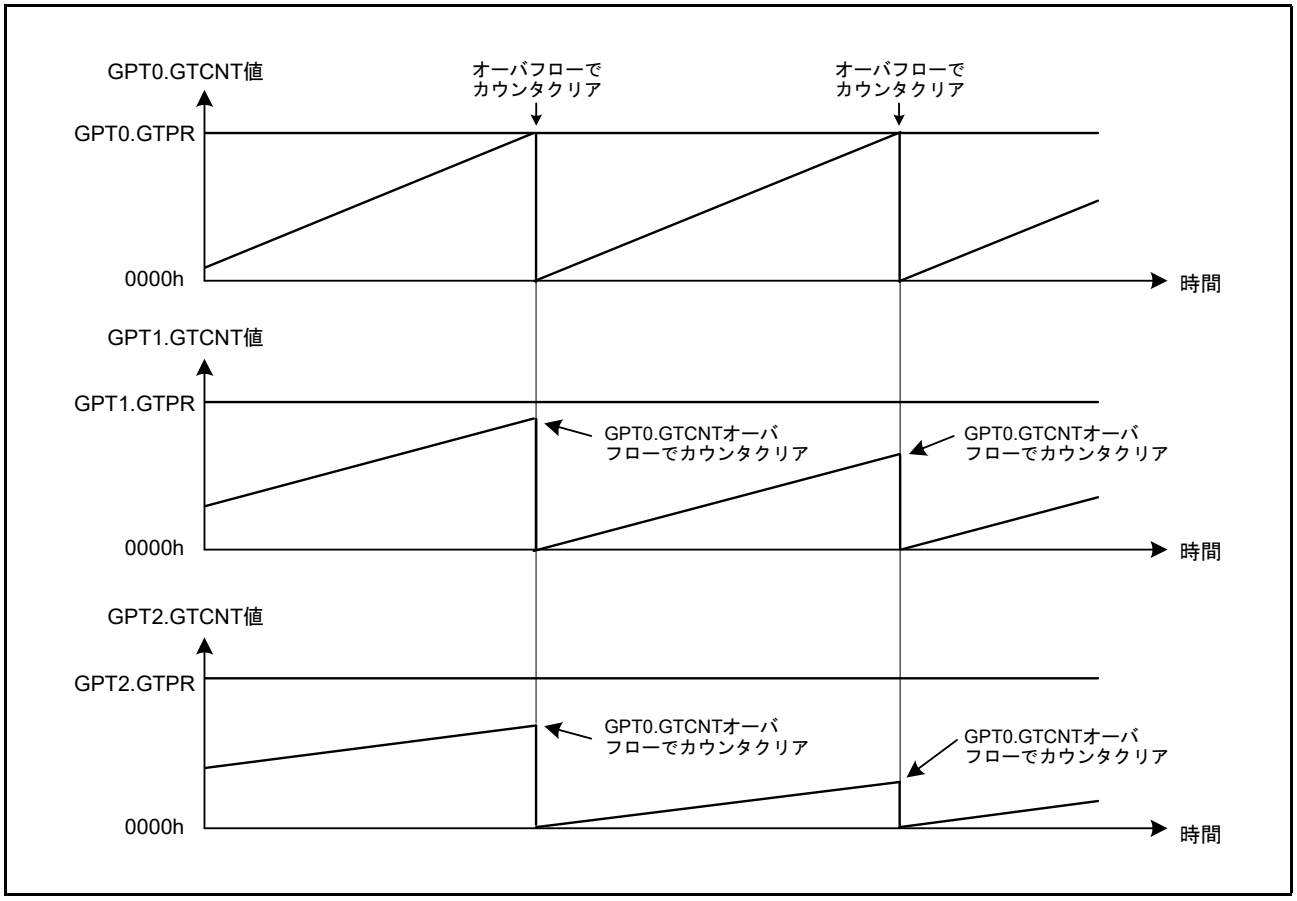


図 21.53　同期クリア動作例
（GPT0.GTCNT のクリア要因で GPT1.GTCNT と GPT2.GTCNT を同期クリア時）

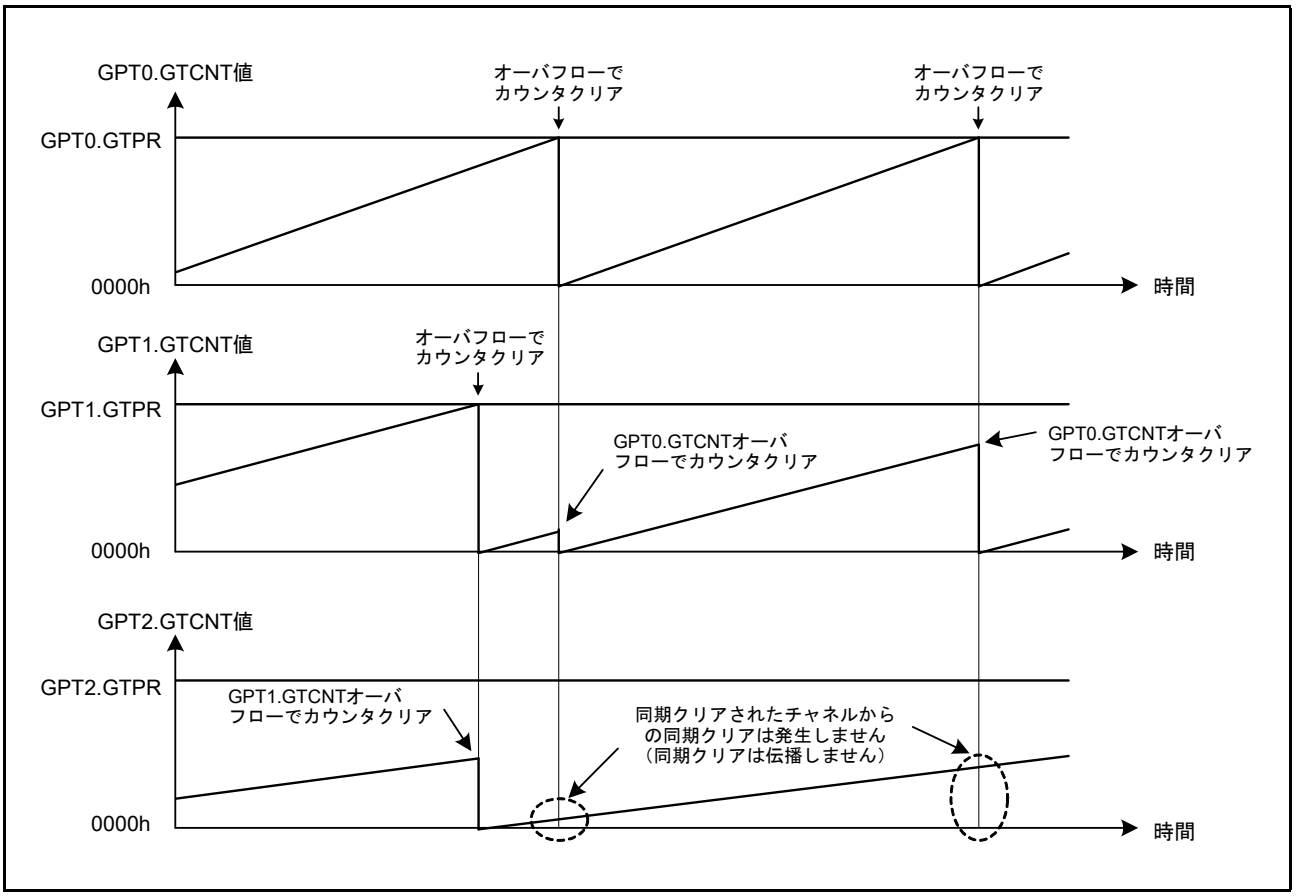


図 21.54　同期クリア動作例（GPT0.GTCNT のクリア要因で GPT1.GTCNT を同期クリア、GPT1.GTCNT のクリア要因で GPT2.GTCNT を同期クリア時）

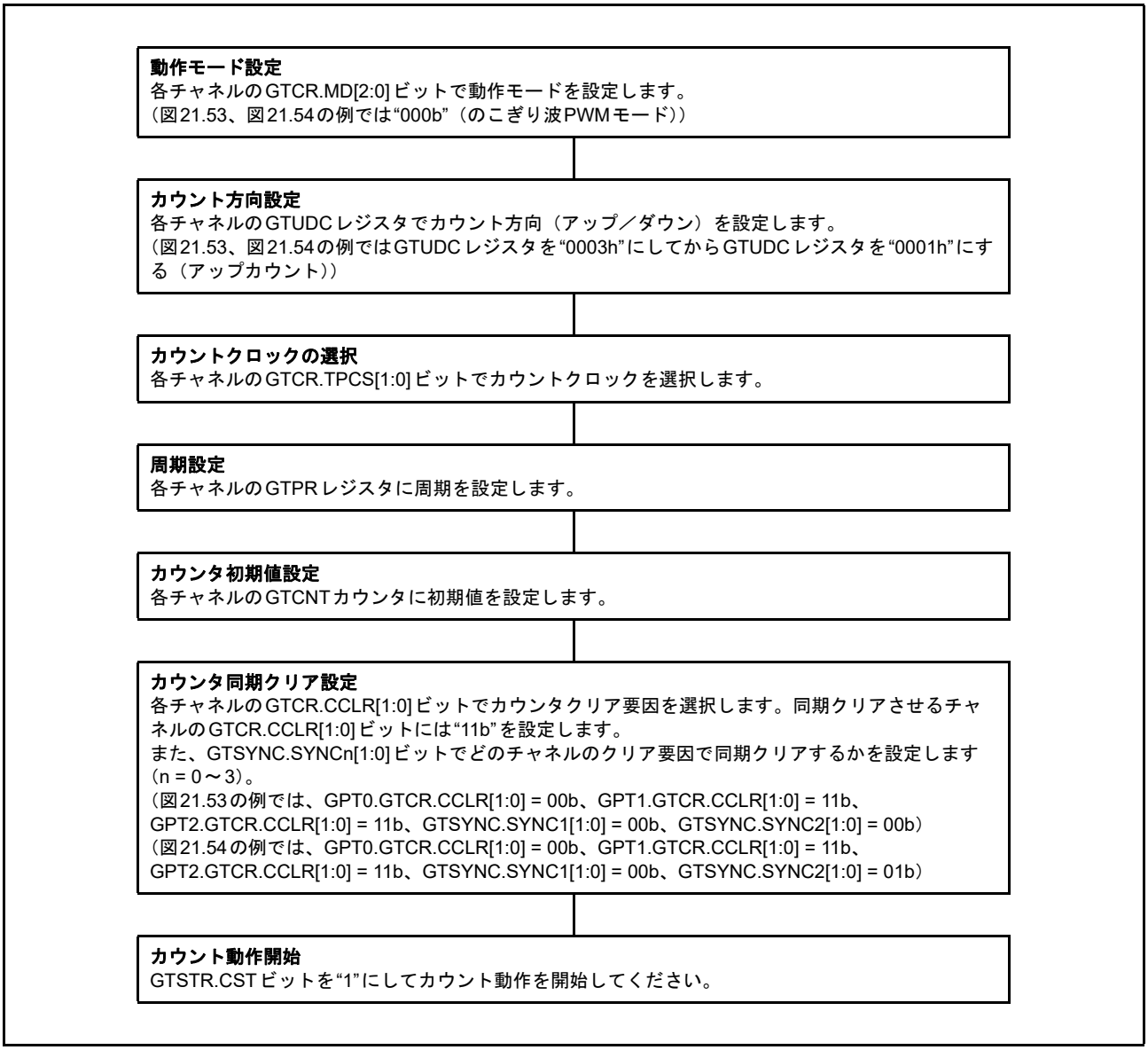


図 21.55　同期クリア動作設定例

21.3.7.2　同期スタート動作

(1)　ソフトウェアによる同時スタート

GTSTR.CSTn ビットを同時に “1” にすることによって、各チャネルのカウント動作を同時に開始することができます（n = 0 ～ 3）。

図 21.56 にソフトウェアによる同時スタート動作例を示します。

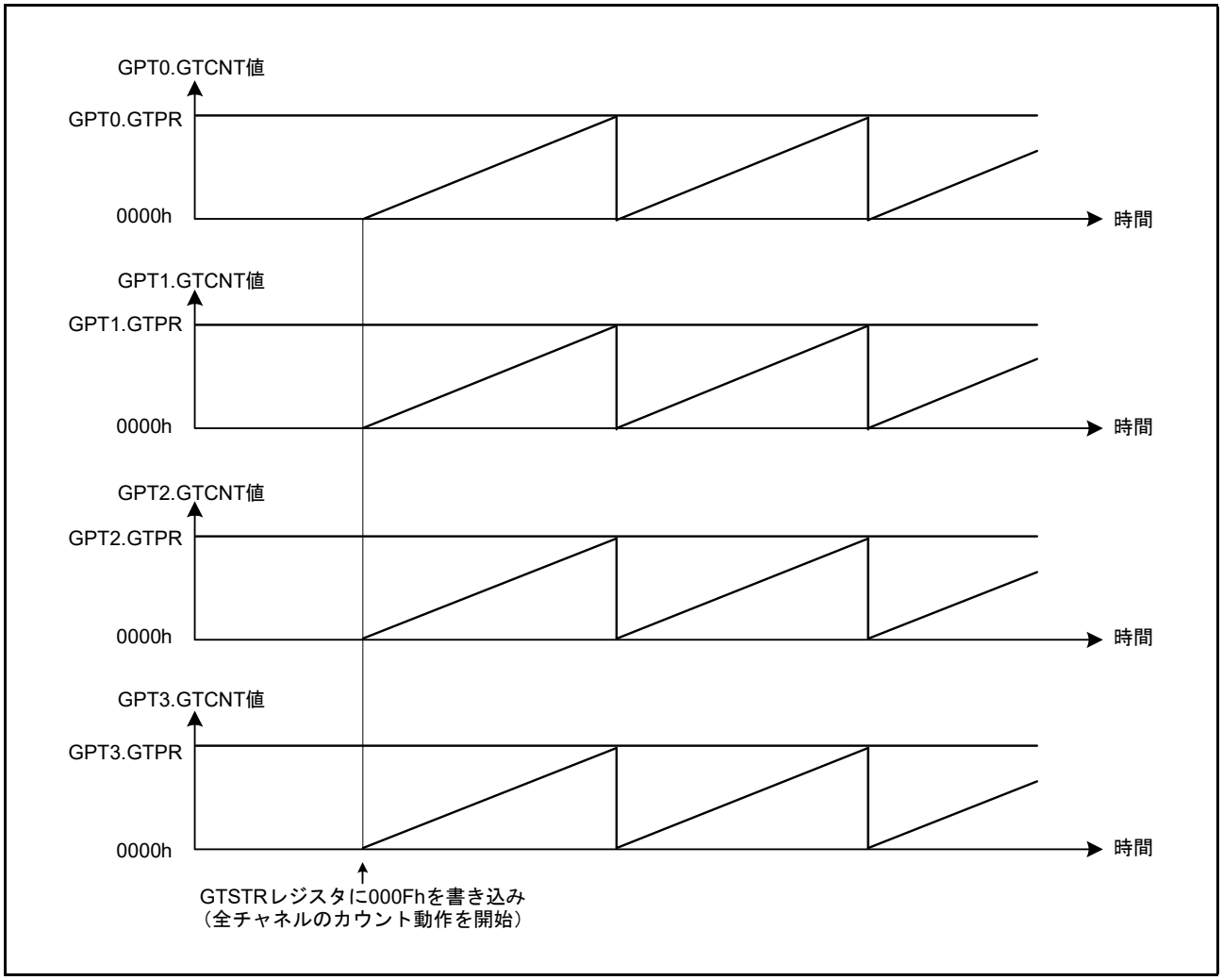


図 21.56　ソフトウェアによる同時スタート動作例（カウント周期（GTPR 値）が同一のとき）

(2)　ソフトウェアによる位相スタート

カウント動作開始前に各チャネルの GTCNT 値を設定しておき、GTSTR.CSTn ビットを同時に “1” にすることにより、各チャネル間に位相差をつけたカウント動作を開始することができます（n = 0 ～ 3）。

図 21.57 にソフトウェアによる位相スタート動作例を示します。

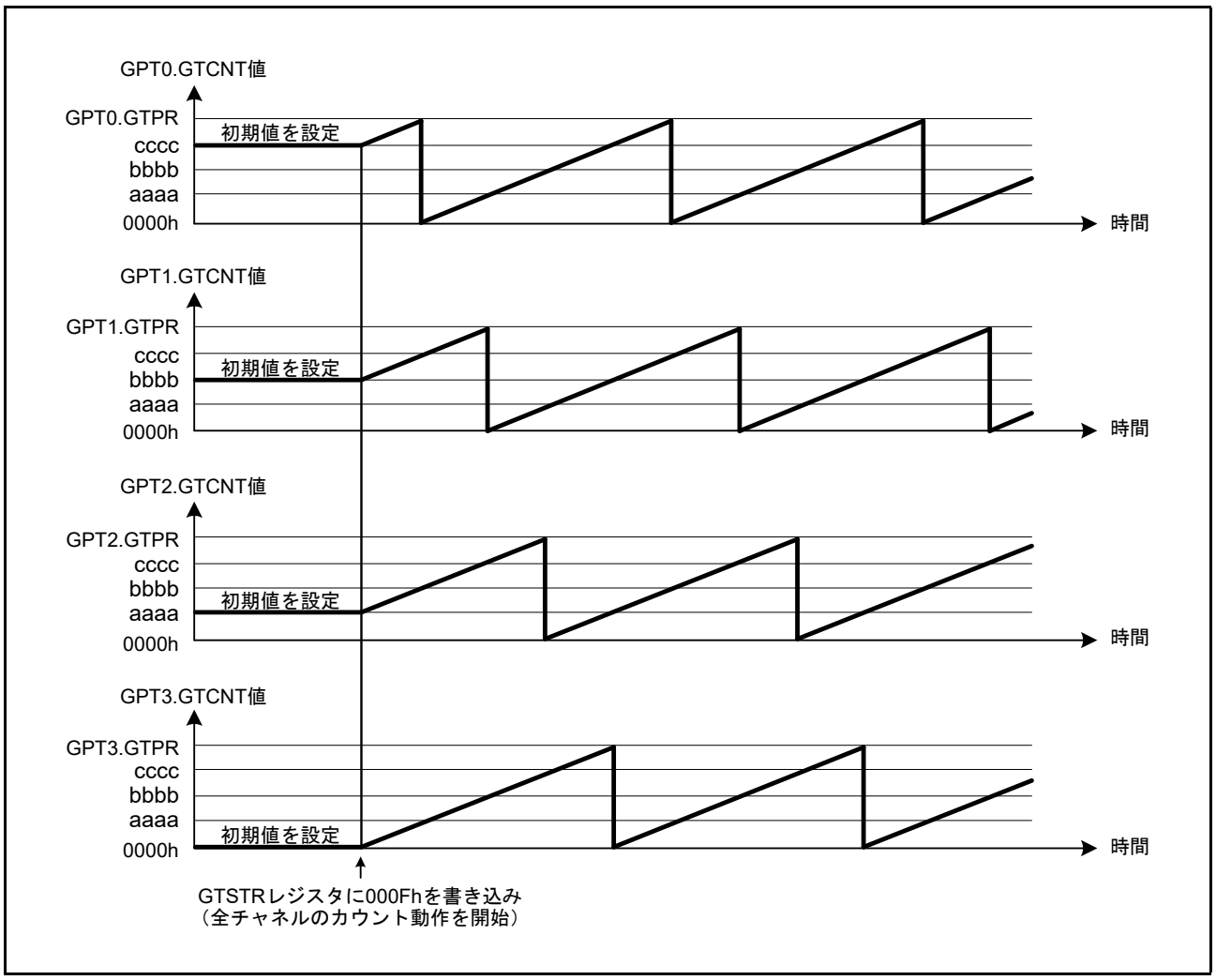


図 21.57　ソフトウェアによる位相スタート動作例（カウント周期（GTPR 値）が同一のとき）

(3)　ハードウェア要因による同時スタート

本 MCU 内蔵のハードウェア要因により、各チャネルのカウント動作を同時に開始することができます。

ハードウェア要因には、GTETRG 端子入力、GTIOC3A および GTIOC3B 端子入力、GTIOC3A および GTIOC3B 内部出力（アウトプットコンペア）の 4 種類の要因があります。

図 21.58 にハードウェア要因による同時スタート動作例を、**図 21.59** に設定例を示します。GTIOC3A 端子入力により全チャネルのカウント動作を開始する例です。

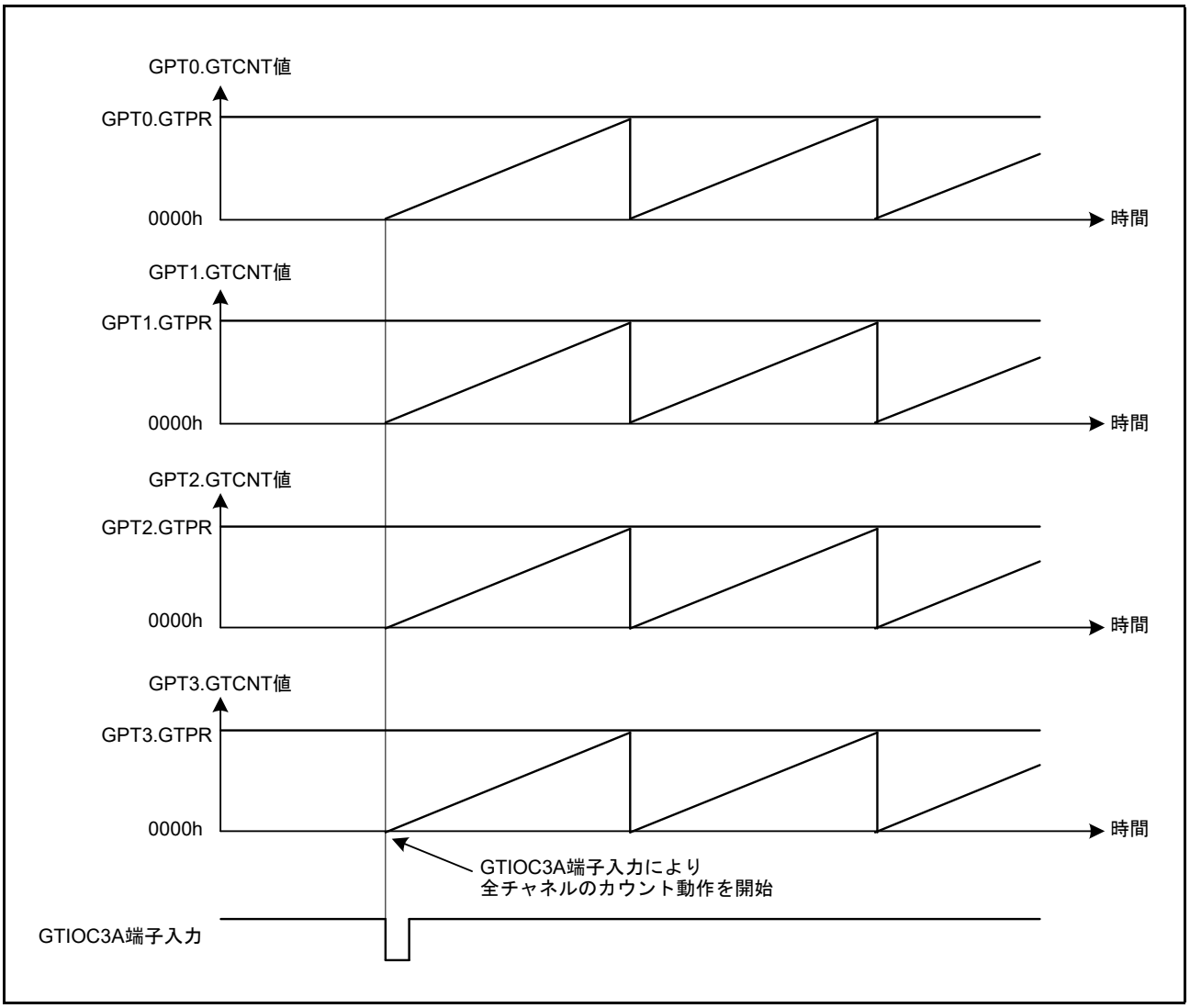


図 21.58　ハードウェア要因による同時スタート動作例（カウント周期（GTPR 値）が同一のとき）

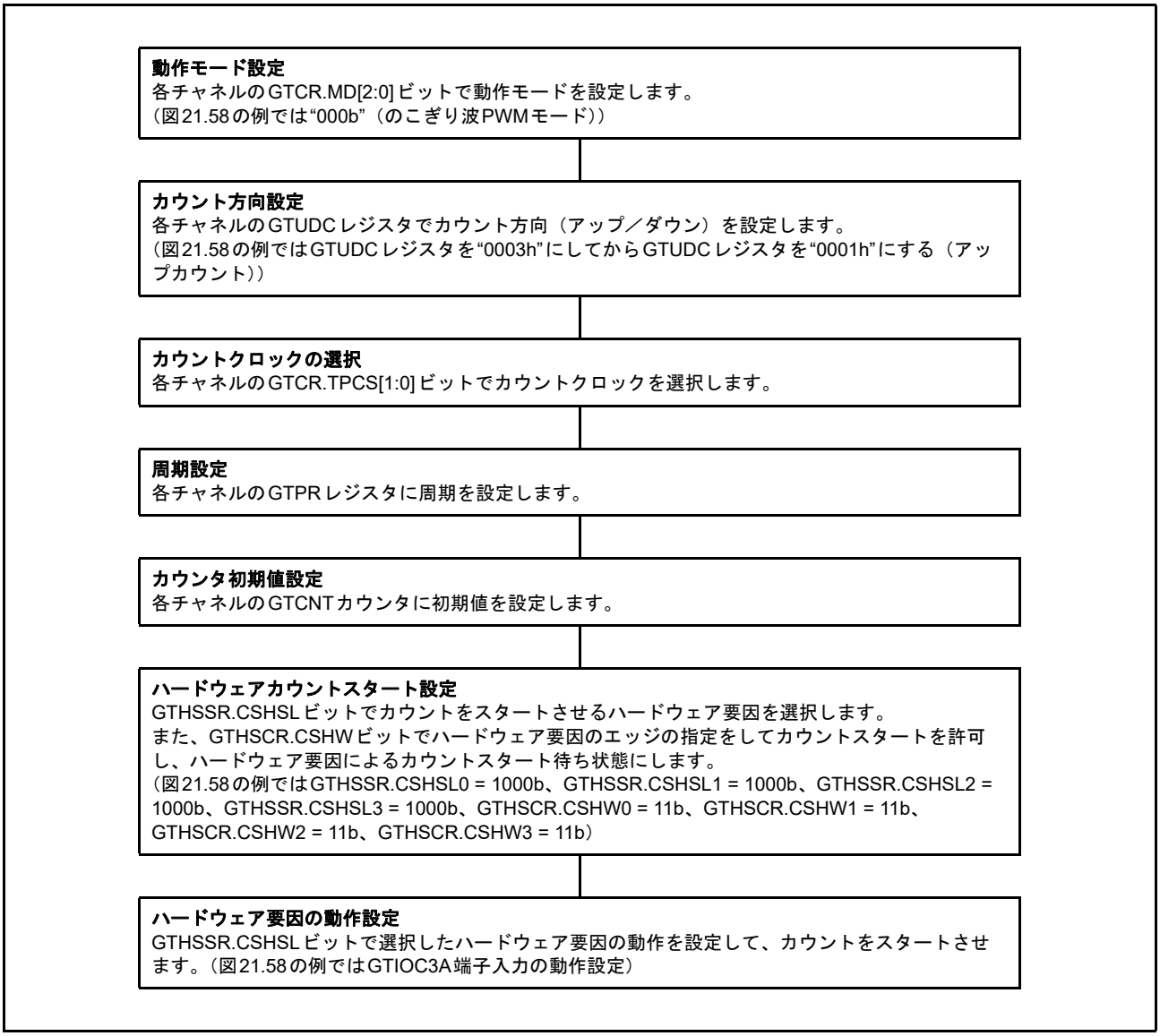


図 21.59　ハードウェア要因による同時スタート設定例

(4)　ハードウェア要因による位相スタート

本 MCU 内蔵のハードウェア要因により、各チャネル間に位相差をつけたカウント動作を開始することができます。

ハードウェア要因には、GTETRG 端子入力、GTIOC3A および GTIOC3B 端子入力、GTIOC3A および GTIOC3B 内部出力（アウトプットコンペア）の 4 種類の要因があります。

図 21.60 にハードウェア要因による位相スタート動作例を、**図 21.61** に設定例を示します。GPT3.GTCNT と GPT0.GTCNT はソフトウェアにより同時にカウント動作を開始、GPT1.GTCNT と GPT2.GTCNT は GTIOC3A および GTIOC3B 内部出力（アウトプットコンペア）によりカウント動作を開始する例です。

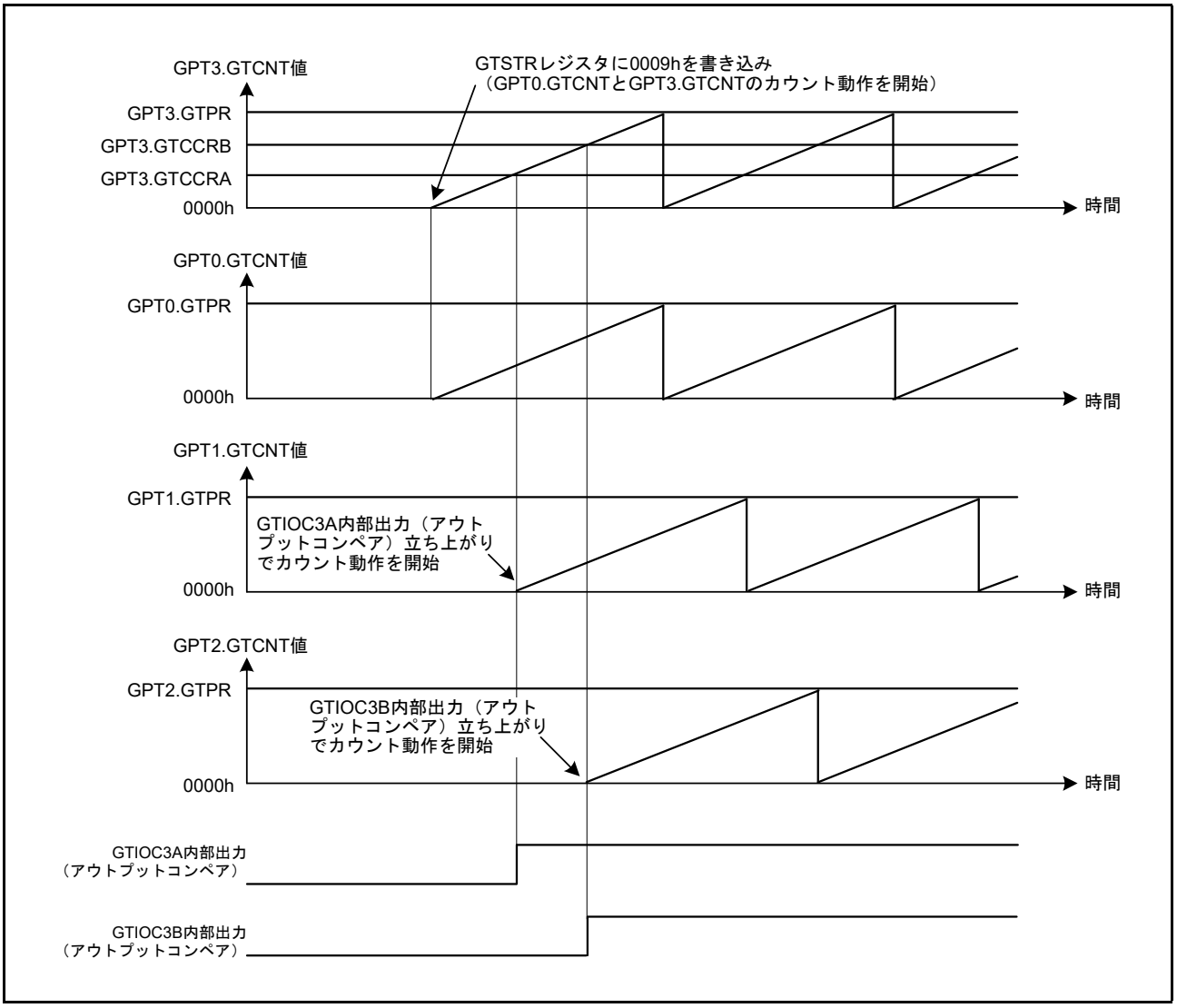


図 21.60　ハードウェア要因による位相スタート動作例（カウント周期（GTPR 値）が同一のとき）

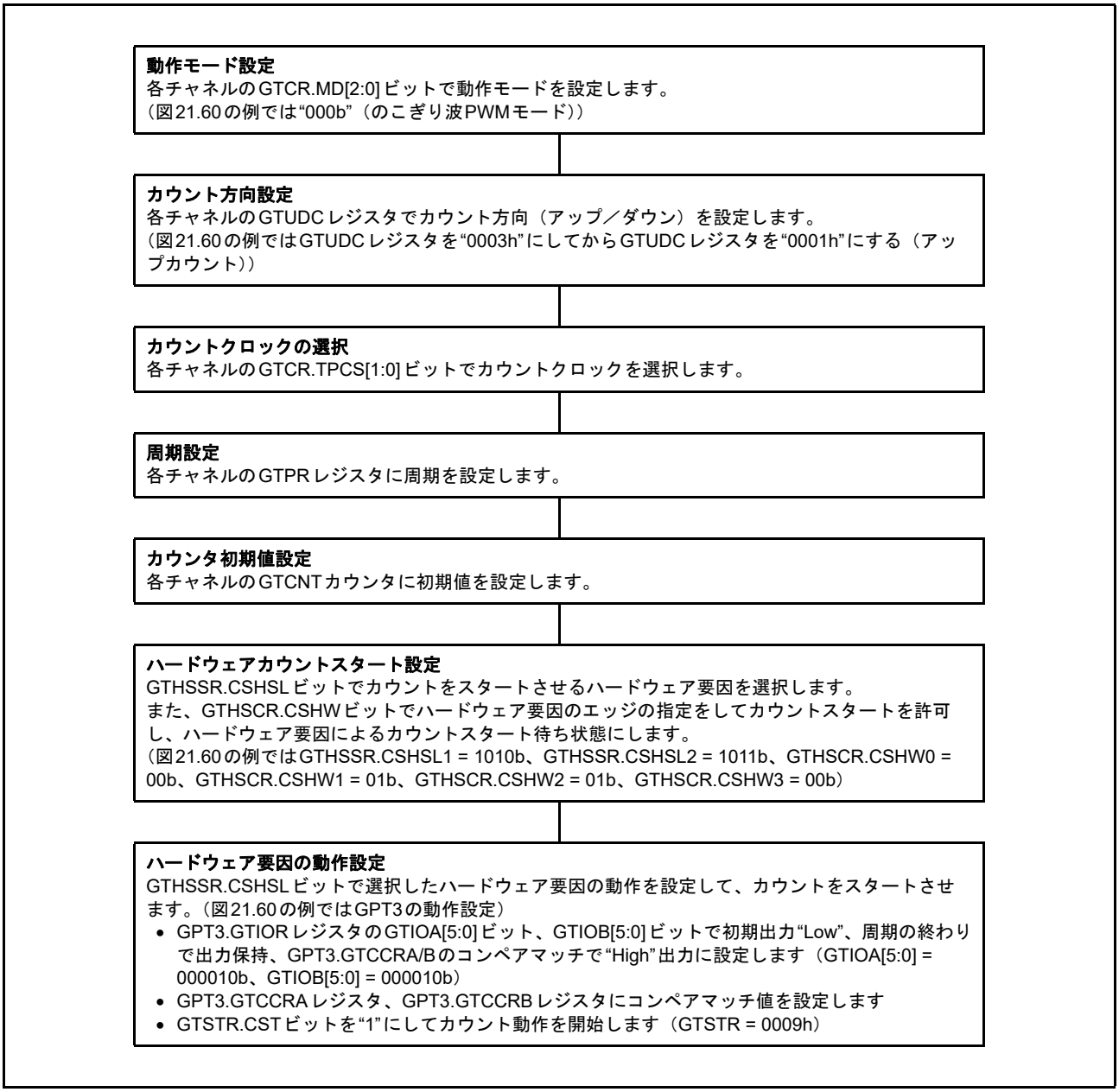


図 21.61　ハードウェア要因による位相スタート設定例

21.3.8　PWM 出力動作例

(1)　同期 PWM 出力

チャネル間の同期動作をすることにより、最大 4 チャネル 8 相の連動した PWM 波形を出力できます。

図 21.62 は、すべてのチャネルを、のこぎり波 PWM モードで同期動作させ、8 相の PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 出力の設定は、初期出力は Low、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。（n = 0 ～ 3）

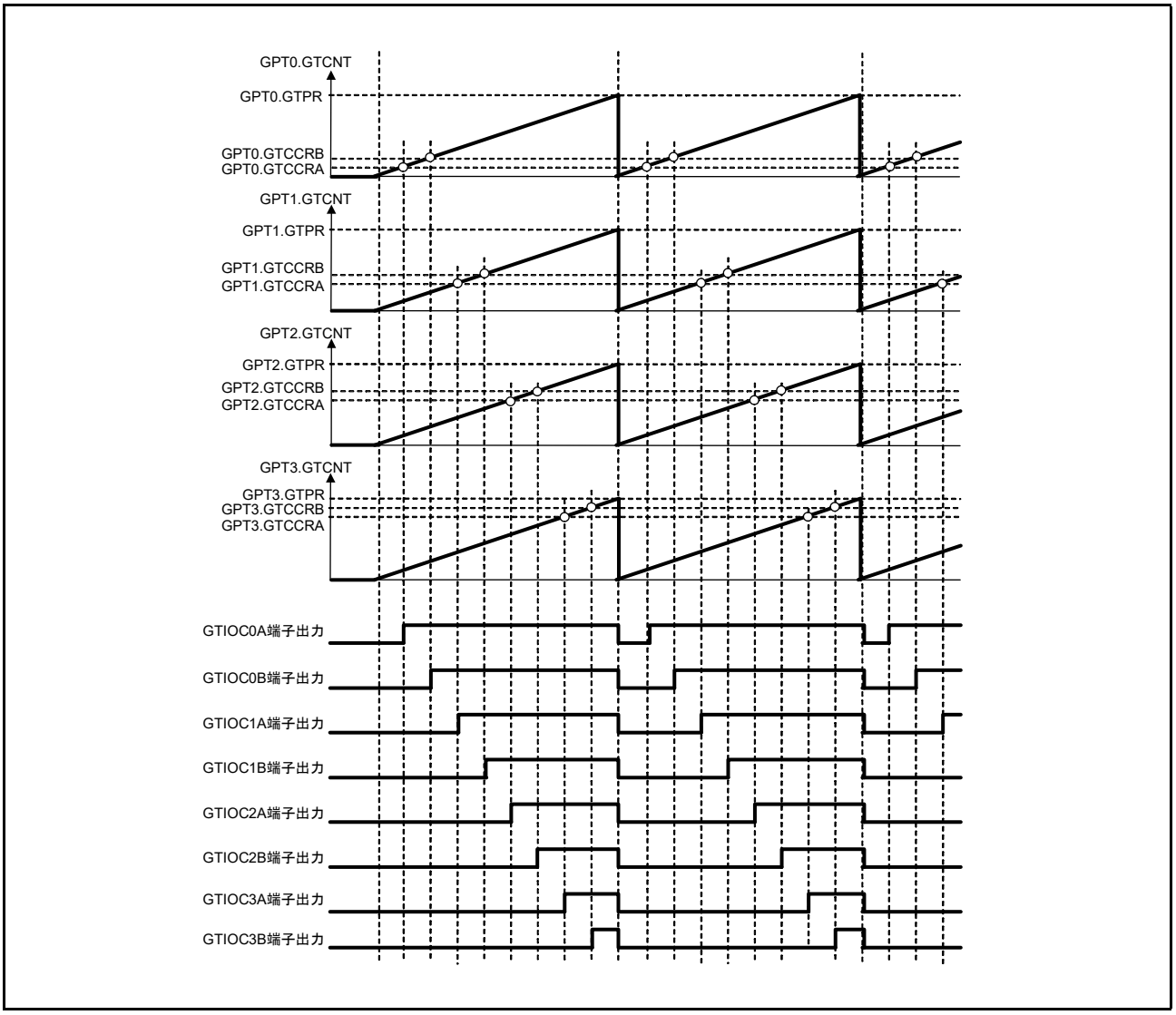


図 21.62　同期 PWM 出力例

(2)　のこぎり波 3 相相補 PWM 出力

図 21.63 は、3 つのチャネルをのこぎり波 PWM モードで同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力とした例です。

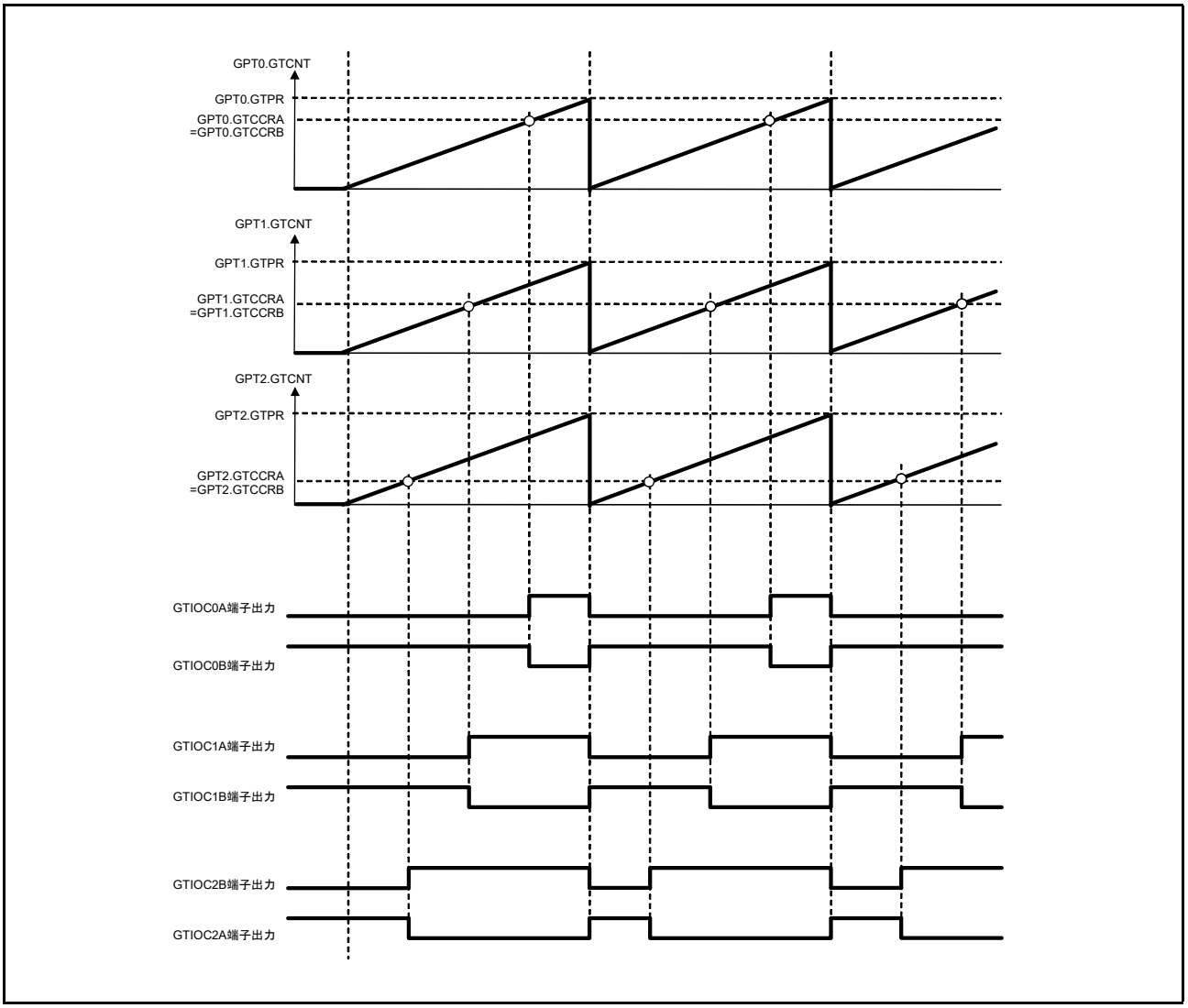


図 21.63　のこぎり波 3 相相補 PWM 出力

(3)　のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.64 は、3 つのチャネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

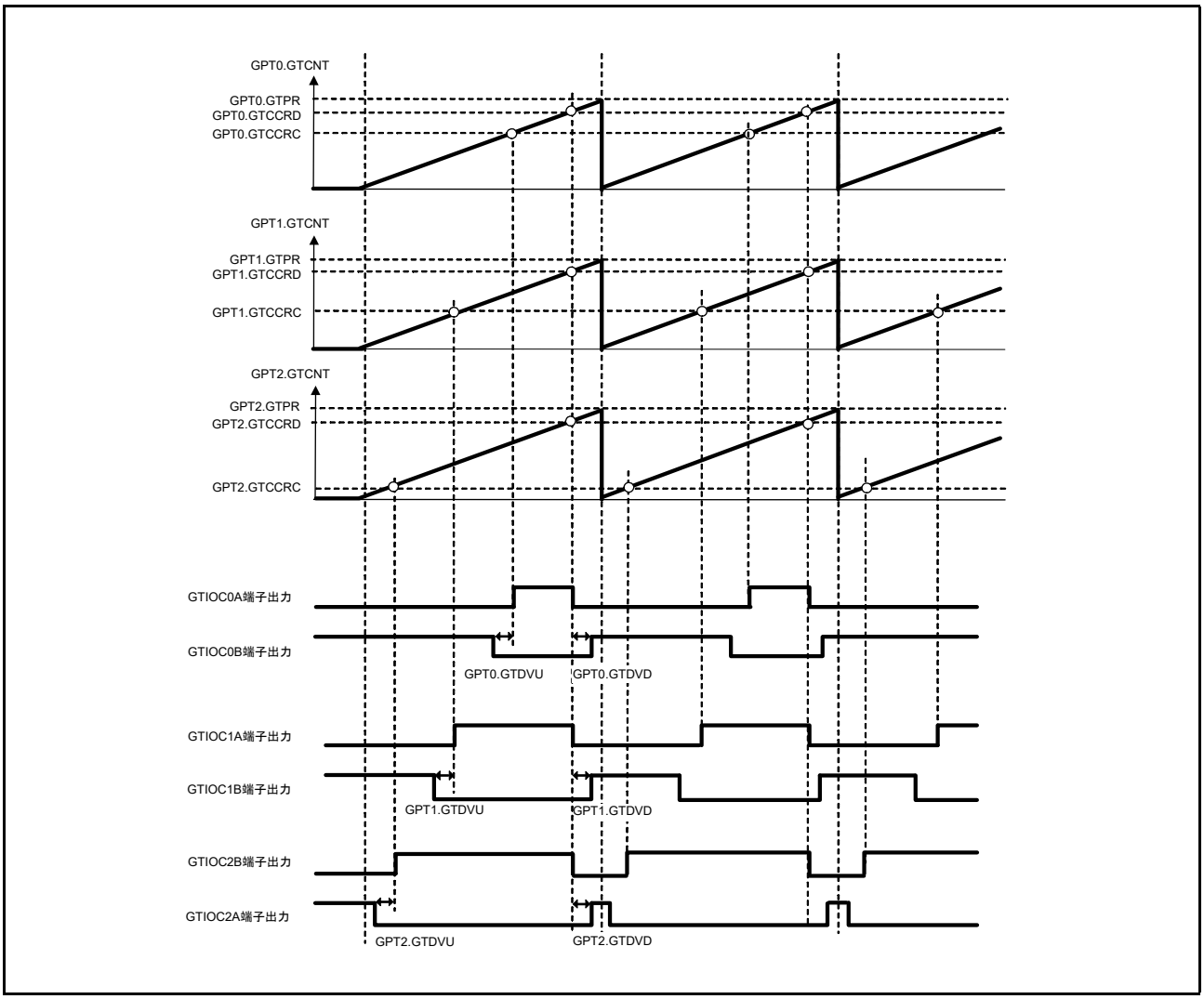


図 21.64　のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

(4)　三角波 3 相相補 PWM 出力

図 21.65 は、3 つのチャネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

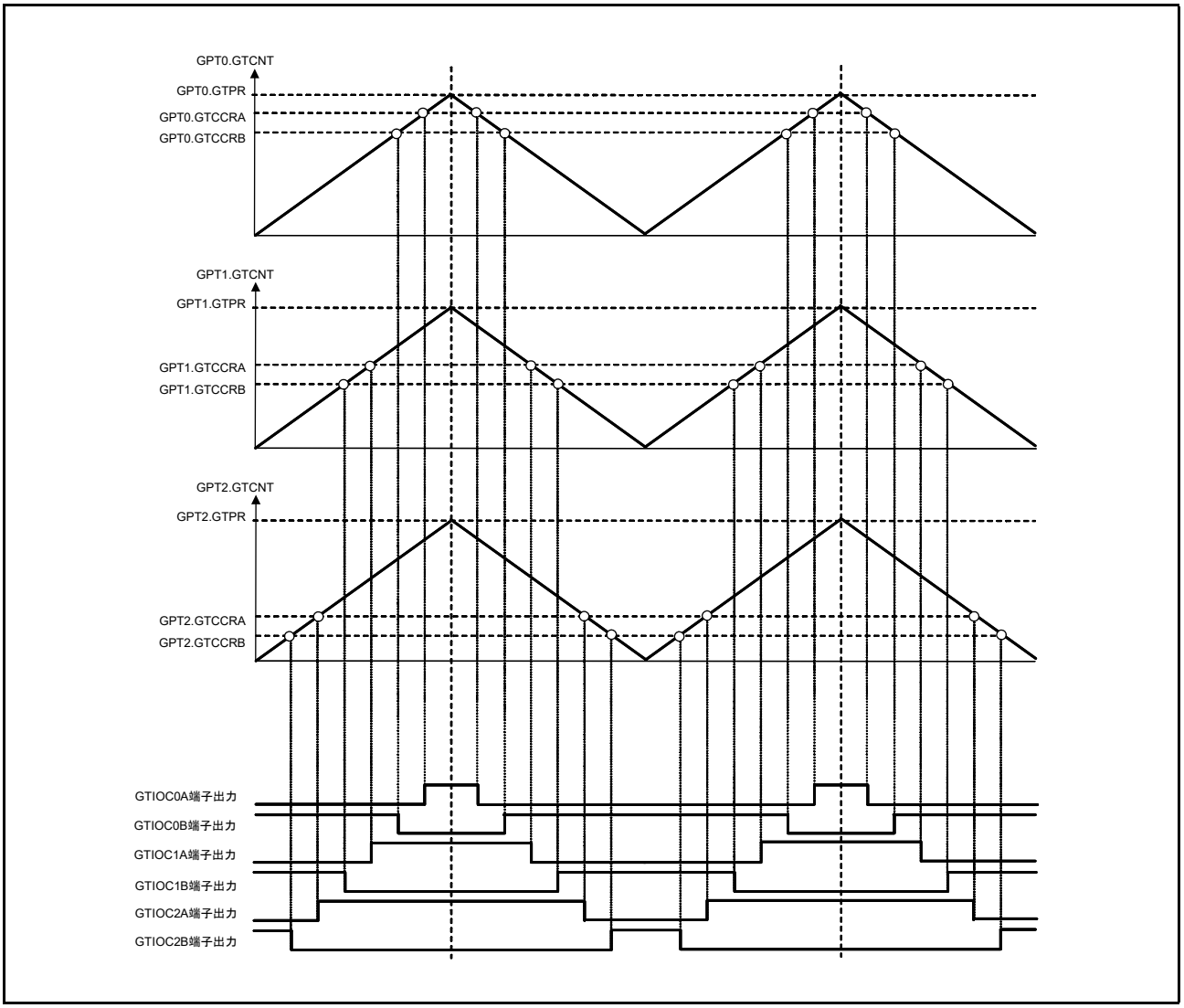


図 21.65　三角波 3 相相補 PWM 出力

(5)　三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.66 は、3 つのチャネルを、デッドタイムを自動設定した三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

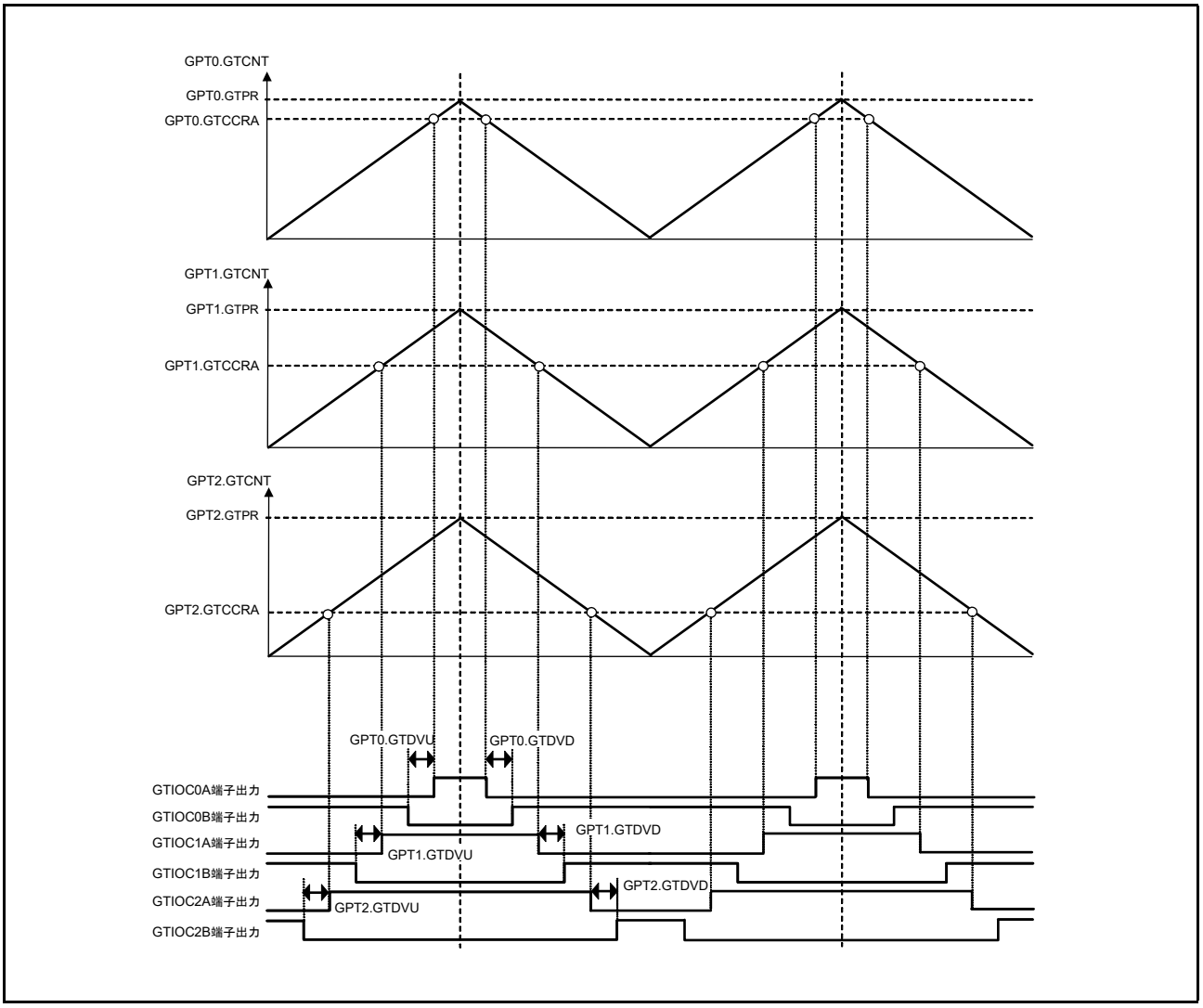


図 21.66　三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

(6)　非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.67 は、3 つのチャネルを、デッドタイムを自動設定した三角波 PWM モード 3 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

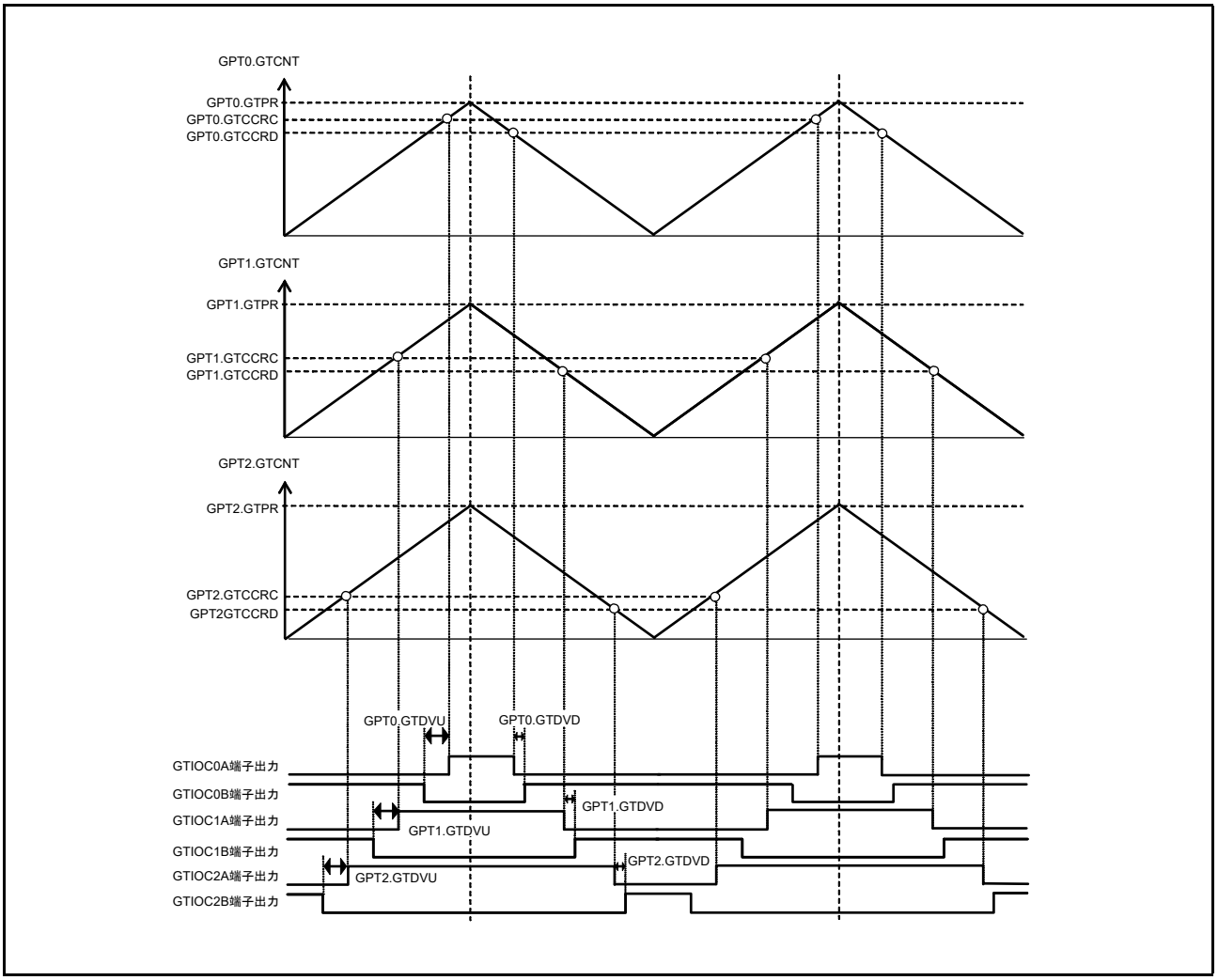


図 21.67　非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

21.3.9　ノイズフィルタ機能

GPT のインプットキャプチャ入力端子と外部トリガ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可／停止およびサンプリングクロックが設定可能です。

図 21.68 にノイズフィルタのタイミングチャートを示します。

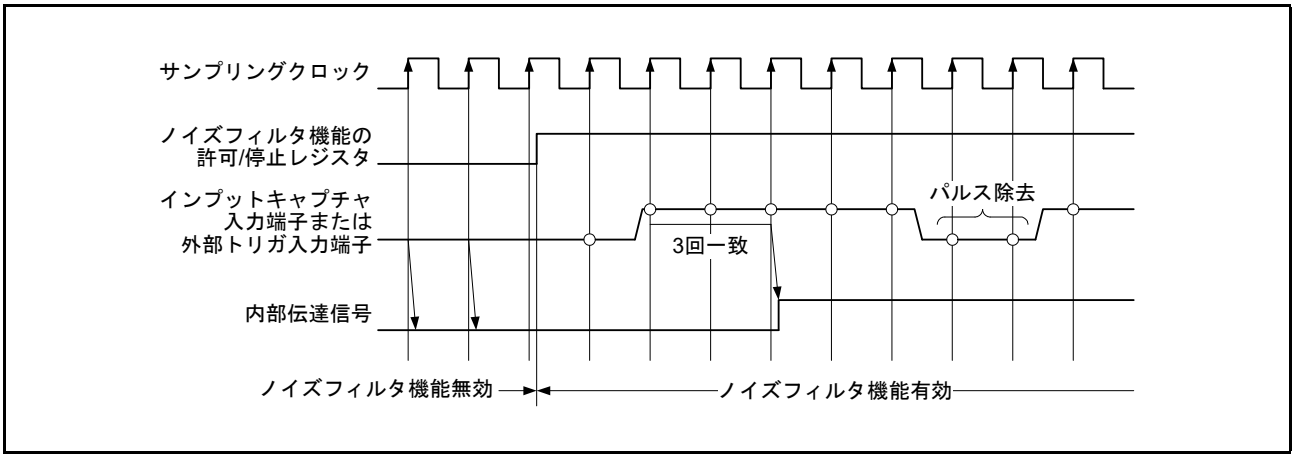


図 21.68　ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力または外部トリガ動作に対するノイズフィルタリングによって最短で「サンプリングサイクル × 2 ＋ PCLKC」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作または外部トリガ動作が行われます。

21.4　割り込み要因

21.4.1　割り込み要因と優先順位

表 21.5 に GPTa の割り込み要因の一覧を示します。

各割り込み要因は、それぞれ専用の割り込み要求発生の制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「12.　割り込みコントローラ（ICUA）」を参照してください。

表21.5　GPTの割り込み要因

チャネル	名称	割り込み要因	DMAC起動
共通	ETGIN	外部トリガ立ち下がり入力	可能
	ETGIP	外部トリガ立ち上がり入力	可能
0	GTCIA0	GPT0.GTCCRAのインプットキャプチャ／コンペアマッチ	可能
	GTCIB0	GPT0.GTCCRBのインプットキャプチャ／コンペアマッチ	可能
	GTCIC0	GPT0.GTCCRCのコンペアマッチ	可能
	GTCID0	GPT0.GTCCRDのコンペアマッチ	可能
	GDTE0	デッドタイムエラー	可能
	GTCIE0	GPT0.GTCCREのコンペアマッチ	可能
	GTCIF0	GPT0.GTCCRFのコンペアマッチ	可能
	GTCIV0	GPT0.GTCNTのオーバフロー（GPT0.GTPRのコンペアマッチ）	可能
	GTCIU0	GPT0.GTCNTのアンダフロー	可能
1	GTCIA1	GPT1.GTCCRAのインプットキャプチャ／コンペアマッチ	可能
	GTCIB1	GPT1.GTCCRBのインプットキャプチャ／コンペアマッチ	可能
	GTCIC1	GPT1.GTCCRCのコンペアマッチ	可能
	GTCID1	GPT1.GTCCRDのコンペアマッチ	可能
	GDTE1	デッドタイムエラー	可能
	GTCIE1	GPT1.GTCCREのコンペアマッチ	可能
	GTCIF	GPT1.GTCCRFのコンペアマッチ	可能
	GTCIV1	GPT1.GTCNTのオーバフロー（GPT1.GTPRのコンペアマッチ）	可能
	GTCIU1	GPT1.GTCNTのアンダフロー	可能
2	GTCIA2	GPT2.GTCCRAのインプットキャプチャ／コンペアマッチ	可能
	GTCIB2	GPT2.GTCCRBのインプットキャプチャ／コンペアマッチ	可能
	GTCIC2	GPT2.GTCCRCのコンペアマッチ	可能
	GTCID2	GPT2.GTCCRDのコンペアマッチ	可能
	GDTE2	デッドタイムエラー	可能
	GTCIE2	GPT2.GTCCREのコンペアマッチ	可能
	GTCIF2	GPT2.GTCCRFのコンペアマッチ	可能
	GTCIV2	GPT2.GTCNTのオーバフロー（GPT2.GTPRのコンペアマッチ）	可能
	GTCIU2	GPT2.GTCNTのアンダフロー	可能
3	GTCIA3	GPT3.GTCCRAのインプットキャプチャ／コンペアマッチ	可能
	GTCIB3	GPT3.GTCCRBのインプットキャプチャ／コンペアマッチ	可能
	GTCIC3	GPT3.GTCCRCのコンペアマッチ	可能
	GTCID3	GPT3.GTCCRDのコンペアマッチ	可能
	GDTE3	デッドタイムエラー	可能
	GTCIE3	GPT3.GTCCREのコンペアマッチ	可能
	GTCIF3	GPT3.GTCCRFのコンペアマッチ	可能
	GTCIV3	GPT3.GTCNTのオーバフロー（GPT3.GTPRのコンペアマッチ）	可能
	GTCIU3	GPT3.GTCNTのアンダフロー	可能

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1) GTCIAn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTA が “1” である場合、以下の条件で割り込みを要求します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタと一致したとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

(2) GTCIBn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTB が “1” である場合、以下の条件で割り込みを要求します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタと一致したとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

(3) GTCICn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTC が “1” である場合、以下の条件で割り込みを要求します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込みを要求しません。

- GTCR.MD[2:0] = “001b”（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = “110b”（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = “01b”、“10b”、“11b”（GTCCRC レジスタがバッファ動作）

(4)　GTCIDn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTD が “1” である場合、以下の条件で割り込みを要求します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込みを要求しません。

- GTCR.MD[2:0] = “001b”（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = “110b”（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = “10b”、“11b”（GTCCRD レジスタがバッファ動作）

(5)　GTCIEn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTE が “1” である場合、以下の条件で割り込みを要求します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込みを要求しません。

- GTCR.MD[2:0] = “001b”（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = “110b”（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = “01b”、“10b”、“11b”（GTCCRE レジスタがバッファ動作）

(6)　GTCIFn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTF が “1” である場合、以下の条件で割り込みを要求します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRF レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込みを要求しません。

- GTCR.MD[2:0] = “001b”（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = “110b”（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = “10b”、“11b”（GTCCRF レジスタがバッファ動作）

(7)　GTCIVn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTPR[0] が “1” である場合、以下の条件で割り込みを要求します。

- のこぎり波の場合、オーバフロー（アップカウント動作中に GTCNT カウンタ値が GTPR レジスタと一致したとき）が発生）
- 三角波の場合、山（GTCNT = GTPR）が発生

(8) GTCIUn 割り込み（n = 0 ～ 3）

GTINTAD レジスタの割り込み許可ビット GTINTPR[1] が “1” である場合、以下の条件で割り込みを要求します。

- のこぎり波の場合、アンダフロー（ダウンカウント動作中に GTCNT カウンタ値が “0” になったとき）が発生）
- 三角波の場合、谷（GTCNT = 0）が発生

(9) ETGIP 割り込み

GTETINT レジスタの割り込み許可ビット ETIPEN が “1” である場合、以下の条件で割り込みを要求します。

- 外部トリガ入力の立ち上がりエッジを検出したとき

(10) ETGIN 割り込み

GTETINT レジスタの割り込み許可ビット ETINEN が “1” である場合、以下の条件で割り込みを要求します。

- 外部トリガ入力の立ち下がりエッジを検出したとき

(11) GDTEn 割り込み（n = 0 ～ 3）

デッドタイムの自動設定がなされているとき、自動付加後のタイマ出力トグルポイントがタイマ周期を超えると GTST.DTEF フラグが “1” になります。このとき、GTINTAD.EINT ビットが “1” であれば、デッドタイムエラー割り込み（GDTE）を要求します。

なお、GTST.DTEF フラグはデッドタイム自動付加後のタイマ出力トグルポイントがタイマ周期内に戻ると “1” から “0” にクリアされます。

21.4.2　DMAC の起動

各チャネルの割り込みによって、DMAC を起動することができます。詳細は「12.　割り込みコントローラ（ICUA）」、「15.　DMA コントローラ（DMACAa）」を参照してください。

21.4.3　割り込み、A/D 変換要求の間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバフロー（GTPR レジスタのコンペアマッチ）（GTCIV）／アンダフロー割り込み（GTCIU）を間引くことができます。また、他の割り込み、および A/D 変換要求を GTCIV ／ GTCIU 割り込み間引き機能と連動して間引くことができます。ただし、デッドタイムエラー割り込みは GTCIV ／ GTCIU 割り込み間引き機能と連動することはできません。

また、三角波で谷／山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV ／ GTCIU 割り込み要求が発生しません。三角波で谷／山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV ／ GTCIU 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバフロー／アンダフロー両方をカウントして間引く場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバフロー／アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV ／ GTCIU 割り込みを使用する場合は、間引き状態を十分検討の上、使用してください。

なお、間引き回数を変更する場合は、間引き機能を一旦解除（GTITC.IVTC[1:0] = 00b）してから行ってください。

間引き機能の動作例を**図 21.69 ～図 21.74** に示します。

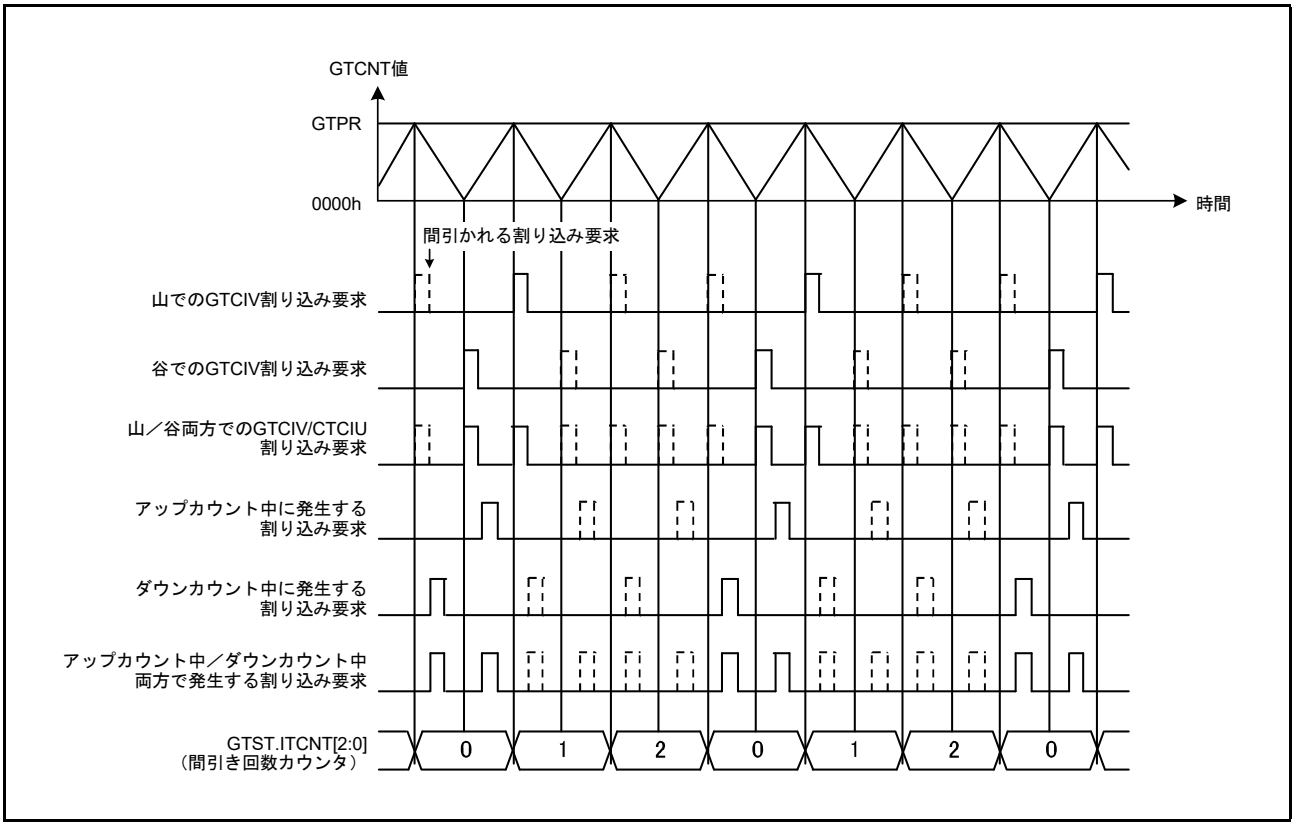


図 21.69　割り込み間引き機能の動作例（三角波、山をカウントして間引き、間引き回数 2 の場合）

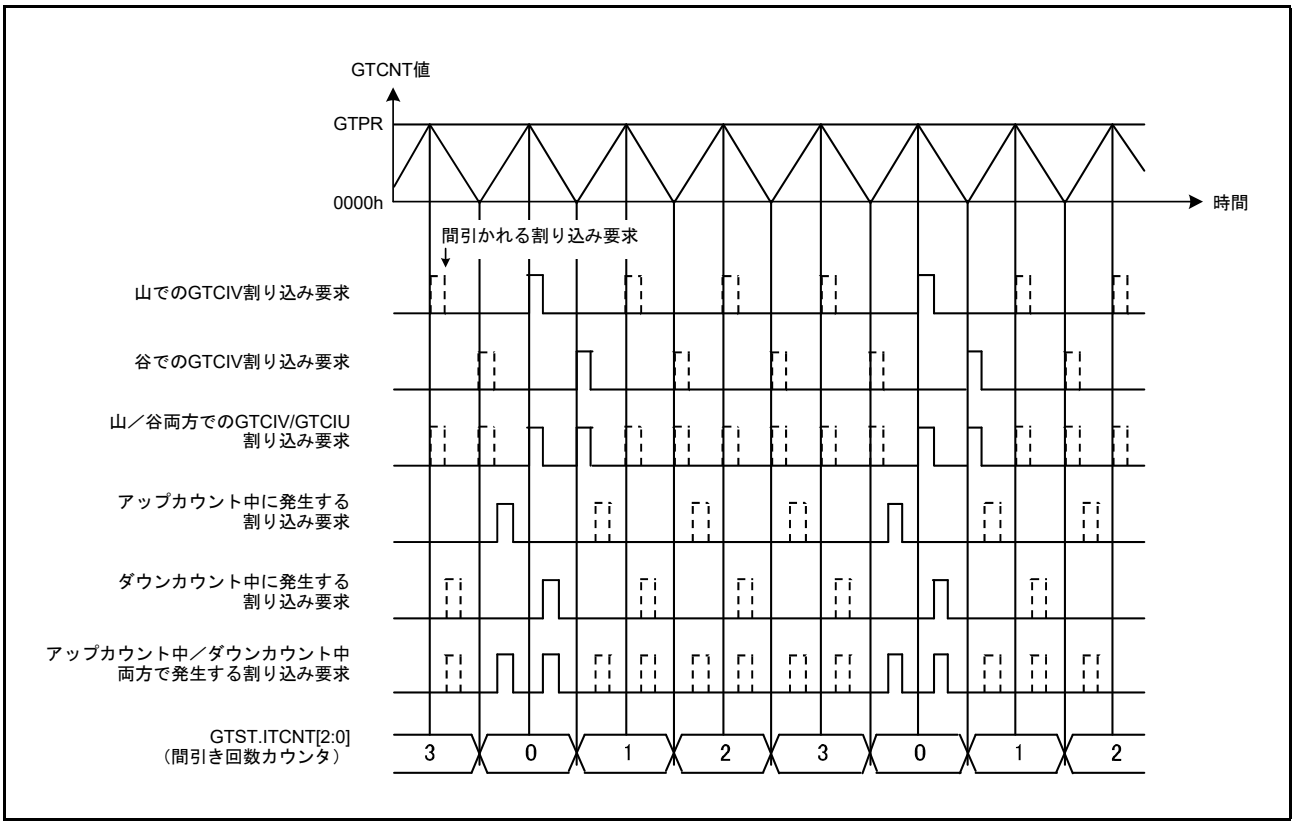


図 21.70　割り込み間引き機能の動作例（三角波、谷をカウントして間引き、間引き回数 3 の場合）

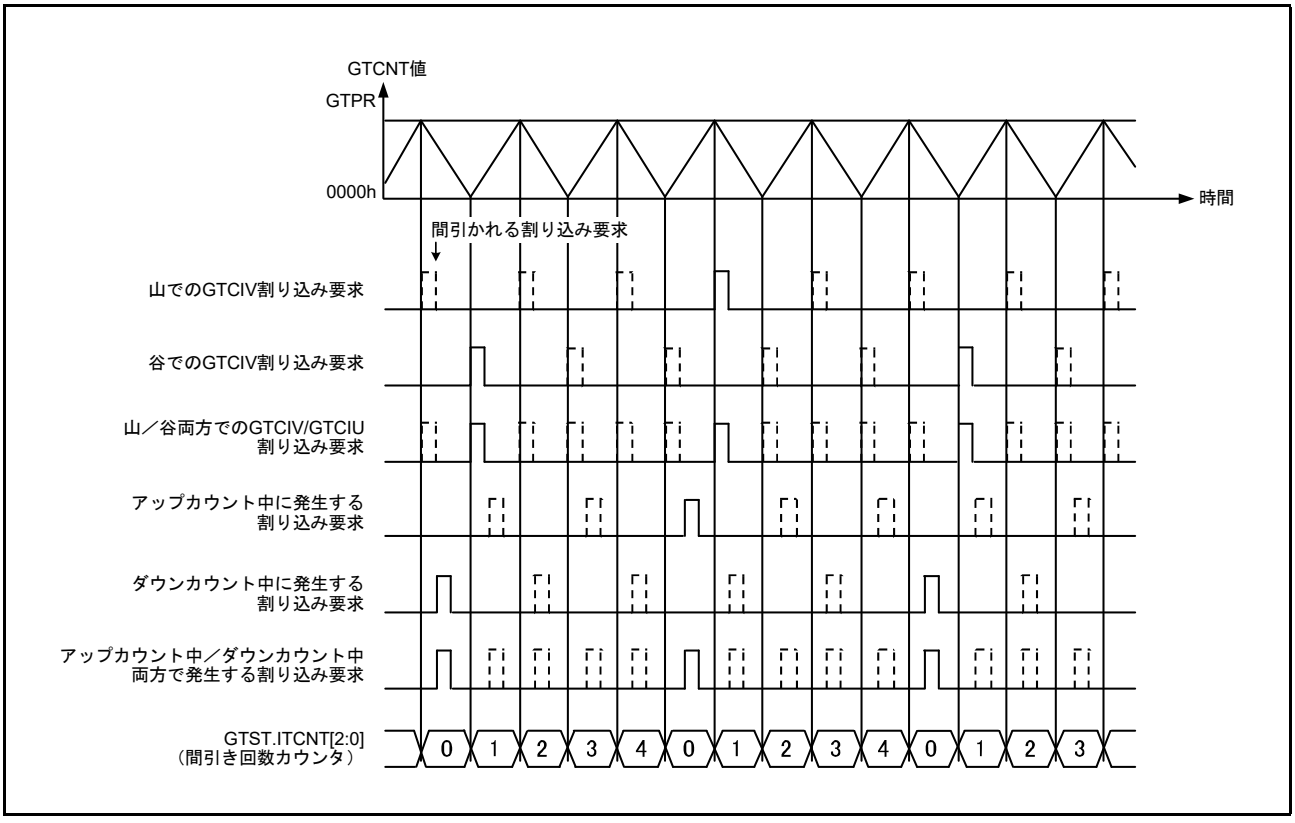


図 21.71　割り込み間引き機能の動作例（三角波、谷／山両方をカウントして間引き、間引き回数 4 の場合）

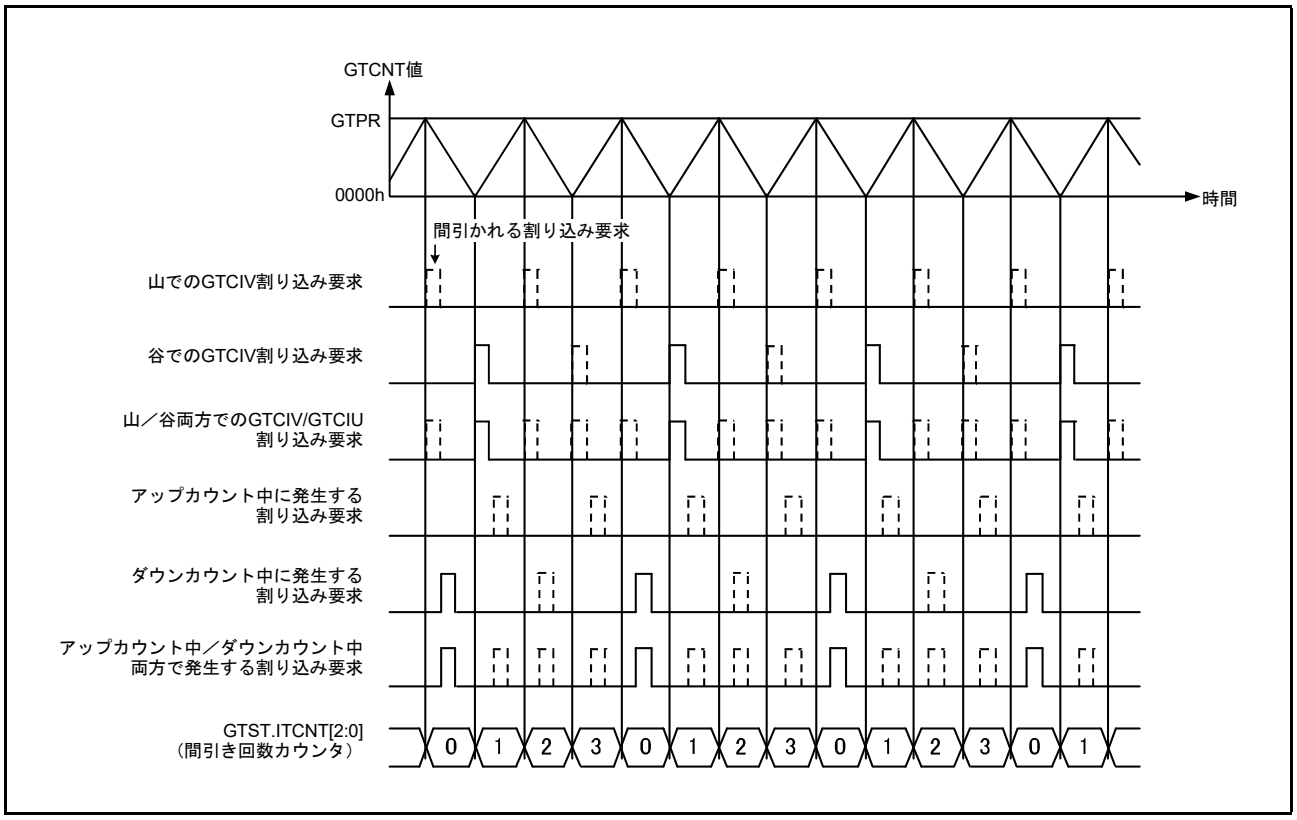


図 21.72　割り込み間引き機能の動作例
（三角波、谷／山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合）

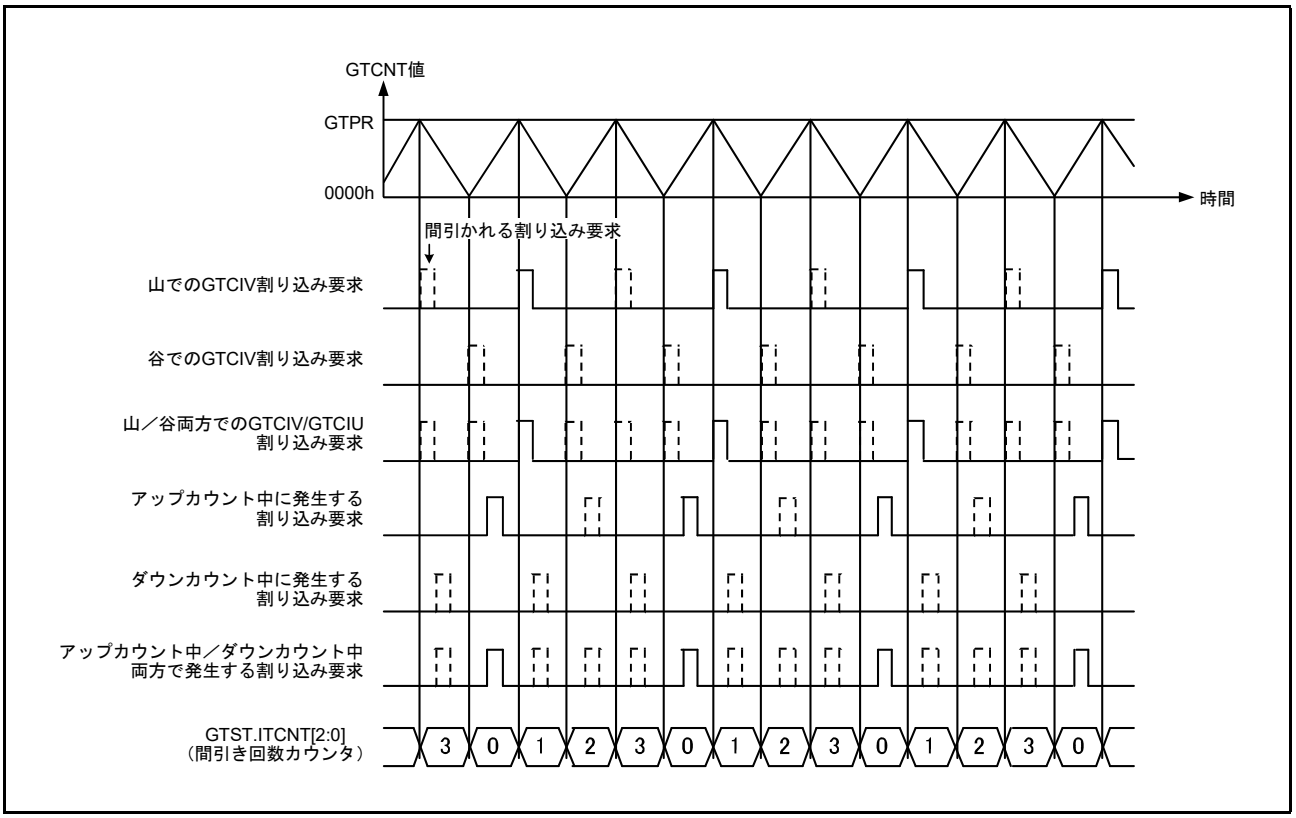


図 21.73　割り込み間引き機能の動作例
（三角波、谷／山両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合）

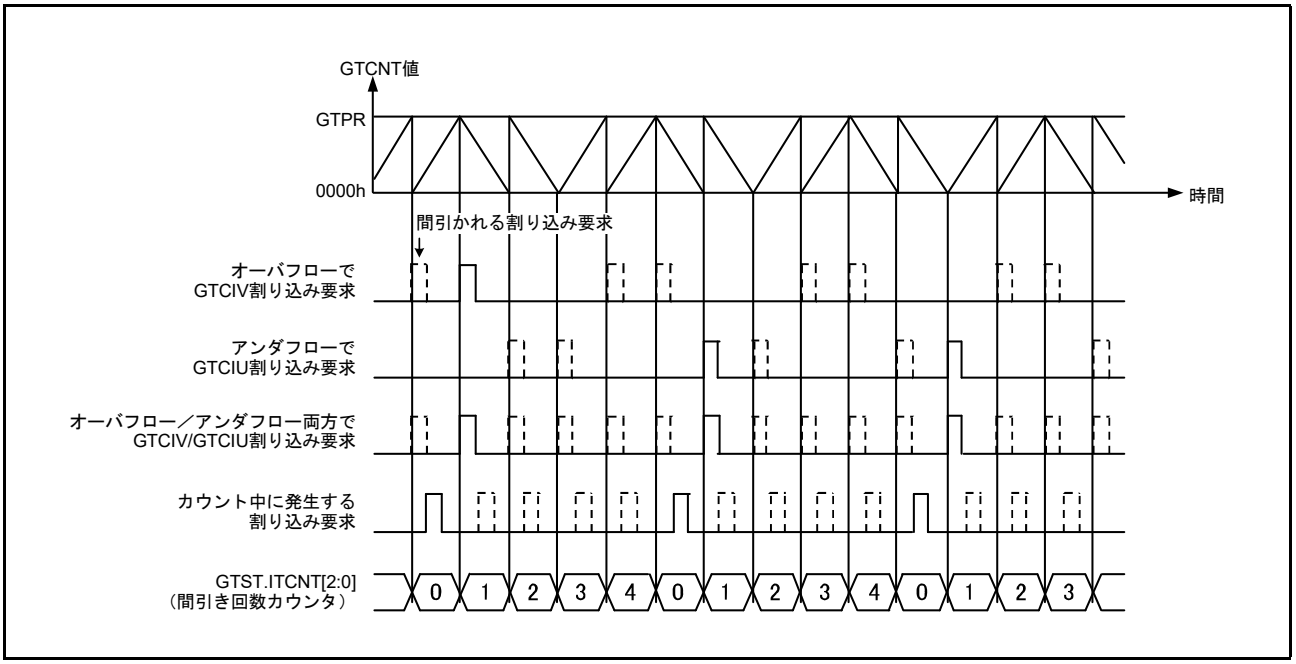


図 21.74　割り込み間引き機能の動作例
（のこぎり波でカウント方向を切替えながら動作、オーバフロー／アンダフロー両方をカウントして間引き、間引き回数 4 の場合）

21.5　A/D 変換開始要求

GTCNT カウンタと GTADTRA レジスタ、GTADTRB レジスタのコンペアマッチで、A/D 変換開始要求を発生させることができます。それぞれアップカウント時のみ、ダウンカウント時のみ、またはアップカウント／ダウンカウント両方で A/D 変換開始要求を発生させることができます。

GTADTRA レジスタ、GTADTRB レジスタにはバッファレジスタがそれぞれ 2 本ずつあり、GTADTRA レジスタと GTADTBRA レジスタ、GTADTDBRA レジスタを組み合わせたバッファ動作、GTADTRB レジスタと GTADTBRB レジスタ、GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

図 21.75 に A/D 変換開始要求の動作例を、図 21.76 に A/D 変換開始要求の動作設定例を示します。

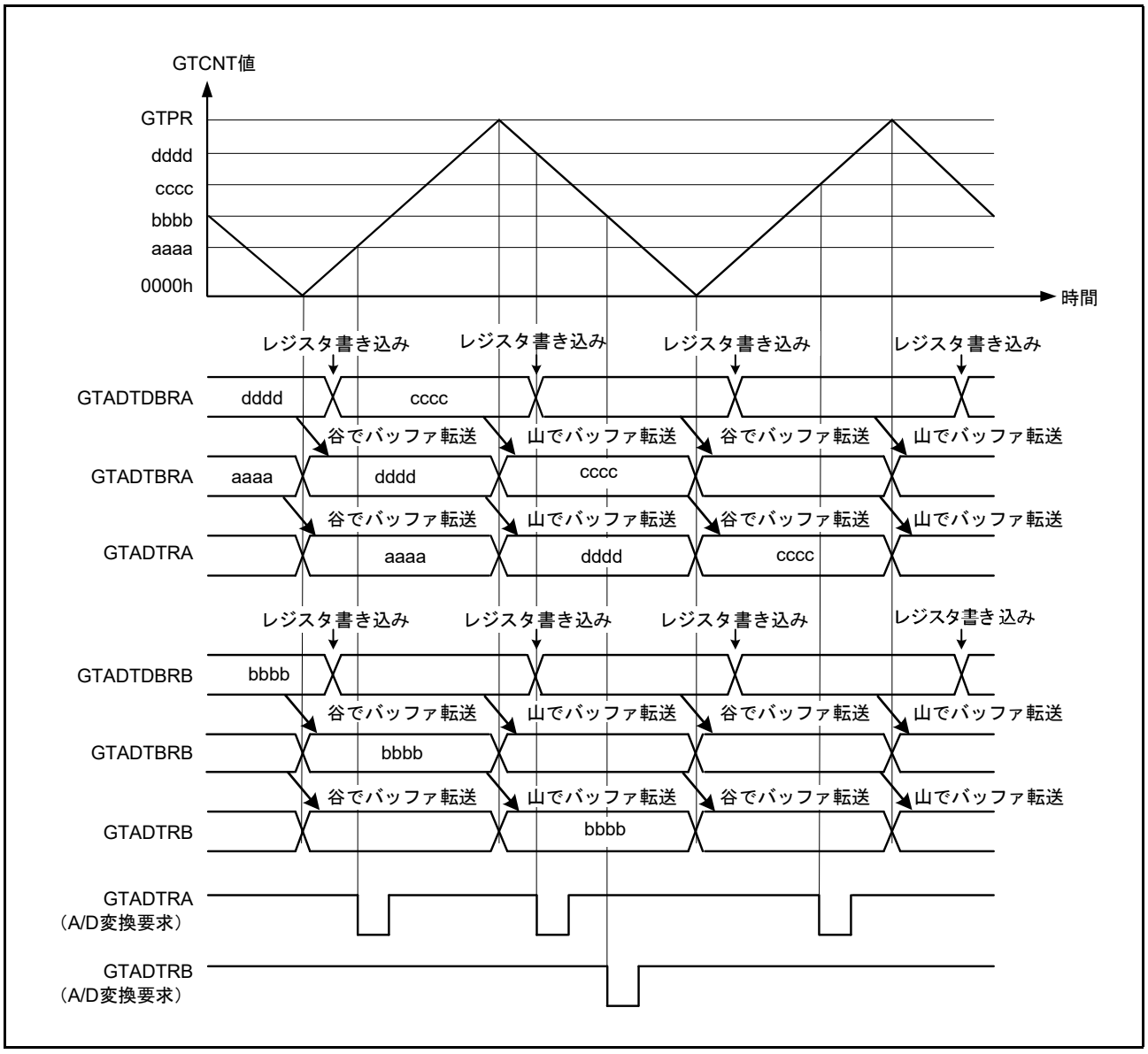


図 21.75　A/D 変換開始要求の動作例
（三角波、ダブルバッファ動作、谷／山両方でバッファ転送、GTADTRA0 はアップカウント／ダウンカウント両方で A/D 変換開始要求、GTADTRB0 はダウンカウントで A/D 変換開始要求を発生の場合）



図 21.76　A/D 変換開始要求タイミング動作設定例

21.6　ELC によるリンク動作

21.6.1　ELC へのイベント信号出力

GPT はイベントリンクコントローラ（ELC）により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

詳細は、「16.　イベントリンクコントローラ（ELC）」を参照してください。

21.6.2　ELC からのイベント信号受信によるアクション動作

GPT はイベントリンクコントローラ（ELC）の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1)　カウントスタート動作

ELC の ELOPI、ELOPJ レジスタで GPT のカウントスタート動作を選択します。ELOPI レジスタは GPT0 ～ 2、ELOPJ レジスタは GPT2 ～ 3 に対応します。ELSRn レジスタで指定したスタートイベントが発生すると、**表 21.6** に示した GTSTR レジスタ（タイマスタートレジスタ）の CSTn ビットが “1” にセットされ、GPT のカウントがスタートします。

ただし、GTSTR レジスタ（タイマスタートレジスタ）の CSTn ビットが “1” にセットされた状態で指定したカウントスタートイベントが発生した場合は、そのイベントは無効となります。各チャネルに対して使用する GTSTR レジスタのビット名は**表 21.6** を参照してください。

表21.6　ELCとリンク動作するタイマスタートレジスタ

チャネル番号	タイマスタートレジスタ
チャネル0	GTSTR.CST0 ビット
チャネル1	GTSTR.CST1 ビット
チャネル2	GTSTR.CST2 ビット
チャネル3	GTSTR.CST3 ビット

(2)　インプットキャプチャ動作

ELC の ELOPI、ELOPJ レジスタで GPT のインプットキャプチャ動作を選択します。ELOPI レジスタは GPT0 ～ 1、ELOPJ レジスタは GPT2 ～ 3 へ対応します。ELSRn レジスタで指定したイベントが発生すると、GTCNT（汎用 PWM タイマカウンタ）の値を GTCCR（汎用 PWM タイマコンペアキャプチャレジスタ）へキャプチャします。イベントリンクによるインプットキャプチャ動作を使用する場合は、GPT の GTIOR レジスタ（汎用 PWM タイマ I/O 制御レジスタ）のビットをインプットキャプチャに設定し、GTSTR レジスタ（タイマスタートレジスタ）の CSTn ビットを “1” にセットしカウンタをスタートさせてください。

このとき GTIOCnA 端子（インプットキャプチャ端子）の入力は無効となります。

各チャネルに対して使用する GTCCR レジスタ、GTIOR レジスタのビット名はを**表 21.7** 参照してください。

表21.7　ELCのインプットキャプチャ動作で使用するレジスタの対応

チャネル番号	タイマジェネラルレジスタ	タイマI/Oコントロールレジスタ
チャネル0	GPT0.GTCCRAビット	GPT0.GTIOR.GTIOA[5:0]ビット
チャネル1	GPT1.GTCCRAビット	GPT1.GTIOR.GTIOA[5:0]ビット
チャネル2	GPT2.GTCCRAビット	GPT2.GTIOR.GTIOA[5:0]ビット
チャネル3	GPT3.GTCCRAビット	GPT3.GTIOR.GTIOA[5:0]ビット

(3)　カウントクリア動作

ELC の ELOPI、ELOPJ レジスタで GPTa のカウントクリア動作を選択します。ELOPI レジスタは GPT0 ～ 1、ELOPJ レジスタは GPT2 ～ 3 へ対応します。このとき ELSRn レジスタで指定したイベントが発生すると、GTCNT カウンタ（タイマカウンタ）の値が初期値に書き換わります。GTSTR レジスタの CSTn ビットが “1” にセットしていればカウント動作を継続しカウントリスタート動作をすることができます。対応する GTSTR レジスタの CSTn ビットは**表 21.6** を参照してください。

(4)　カウントストップ動作

ELC の ELOPI、ELOPJ レジスタで GPTa のカウントストップ動作を選択します。ELOPI レジスタは GPT0 ～ 1、ELOPJ レジスタは GPT2 ～ 3 へ対応します。ELSRn レジスタで指定したイベントが発生すると、**表 21.6** に示した GTSTR レジスタ（タイマスタートレジスタ）の CSTn ビットが “0” にクリアされ、GPTa のカウントがストップします。

ただし、GTSTR レジスタ（タイマスタートレジスタ）の CSTn ビットが “0” にクリアされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

21.6.3　ELC からのイベント信号受信によるアクション動作の注意事項

GPT をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1)　カウントスタート動作

GTSTR カウンタ（タイマスタート）の CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、GTSTR レジスタ（タイマスタートレジスタ）の CSTn ビットへの書き込みが優先されます。

(2)　カウントストップ動作

GTCNT レジスタ（タイマカウンタレジスタ）へのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、GTCNT カウンタ（タイマカウンタ）への書き込みが優先されます。

21.6.4　ノイズフィルタ機能

インプットキャプチャ入力端子、または外部トリガ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可／停止を設定することができます。

ノイズフィルタのサンプリングクロックも、チャネルごとに設定が可能で、カウントソース設定とは異なる（カウンタソース選択場合を除く）周波数でも設定可能です。**図 21.77** にノイズフィルタのタイミング図を示します。

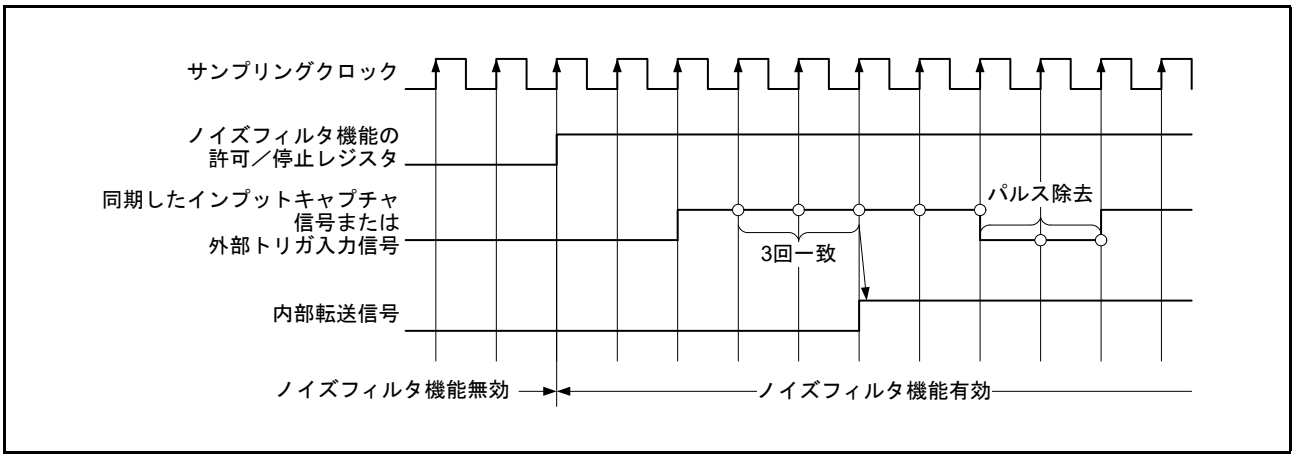


図 21.77　ノイズフィルタのタイミング図

ノイズフィルタ機能を許可した場合に、除去可能なノイズを**表 21.8** に示します。同期したインプットキャプチャ信号、または外部トリガ入力信号が、サンプリングクロックサイクル ×3 より長い場合は除去しません。外部トリガ入力信号が、サンプリングクロックサイクル ×2 より短い場合は除去されます。

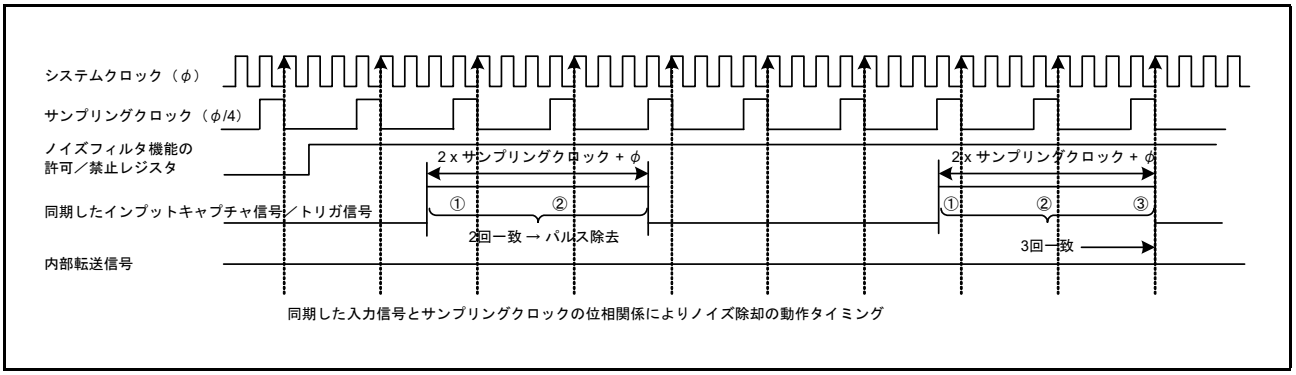


図 21.78　同期した入力信号とサンプリングクロックの位相関係によりノイズ除去の動作タイミング

表21.8　ノイズとサンプリングクロック関係説明表

同期したインプットキャプチャ信号または外部トリガ入力信号	サンプリング一致回数	除去する/除去しない
サンプリングクロックサイクル×3 より長い （イコール含む）	3 回以上（3 回含む）	除去しない
サンプリングクロックサイクル×2 からサンプリングクロックサイクル×3 まで（2 回も3 回もイコール含まない）	3 回または2 回（同期した信号とサンプリングクロック位相関係で決まりますので、両方とも可能）	3 回の場合で除去しない。 2 回の場合は除去する
サンプリングクロックサイクル×2 より短い （イコール含む）	2 回または2 回以下	除去する

21.7　保護機能

21.7.1　レジスタの書き込み保護

レジスタへの誤書き込みを防ぐために、GTWP.WPn ビットの設定でレジスタへの書き込みをチャネルごとに禁止することができます（n = 0 ～ 3）。

書き込み禁止が可能なレジスタは、下記のとおりです。

表21.9　書き込み保護対象レジスタ

レジスタシンボル	レジスタ名
GTIOR	汎用PWM タイマI/O 制御レジスタ
GTINTAD	汎用PWM タイマ割り込み出力設定レジスタ
GTCR	汎用PWM タイマ制御レジスタ
GTBER	汎用PWM タイマバッファイネーブルレジスタ
GTUDC	汎用PWM タイマカウント方向レジスタ
GTITC	汎用PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ
GTST	汎用PWM タイマステータスレジスタ
GTCNT	汎用PWM タイマカウンタ
GTCCRA ～ GTCCRF	汎用PWM タイマコンペアキャプチャレジスタA ～ F
GTPR	汎用PWM タイマ周期設定レジスタ
GTPBR	汎用PWM タイマ周期設定バッファレジスタ
GTPDBR	汎用PWM タイマ周期設定ダブルバッファレジスタ
GTADTRA, GTADTRB	A/D 変換開始要求タイミングレジスタA, B
GTADTBRA, GTADTBRB	A/D 変換開始要求タイミングバッファレジスタA, B
GTADTDBRA, GTADTDBRB	A/D 変換開始要求タイミングダブルバッファレジスタA, B
GTONCR	汎用PWM タイマ出力ネゲート制御レジスタ
GTDTCR	汎用PWM タイマデッドタイム制御レジスタ
GTDVU, GTDVD	汎用PWM タイマデッドタイム値レジスタU, D
GTDBU, GTDBD	汎用PWM タイマデッドタイムバッファレジスタU, D
GTSOS	汎用PWM タイマ出力保護機能ステータスレジスタ
GTSOTR	汎用PWM タイマ出力保護機能一時解除レジスタ

21.7.2　バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBDR レジスタの設定でバッファ動作を禁止することができます。バッファレジスタの書き込み前に GTBDR レジスタの対応するビットを “1”（バッファ動作禁止）にしておき、すべてのバッファレジスタの書き込み終了後に “0”（バッファ動作許可）にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

図 21.79 にバッファ動作の抑止動作例を示します。

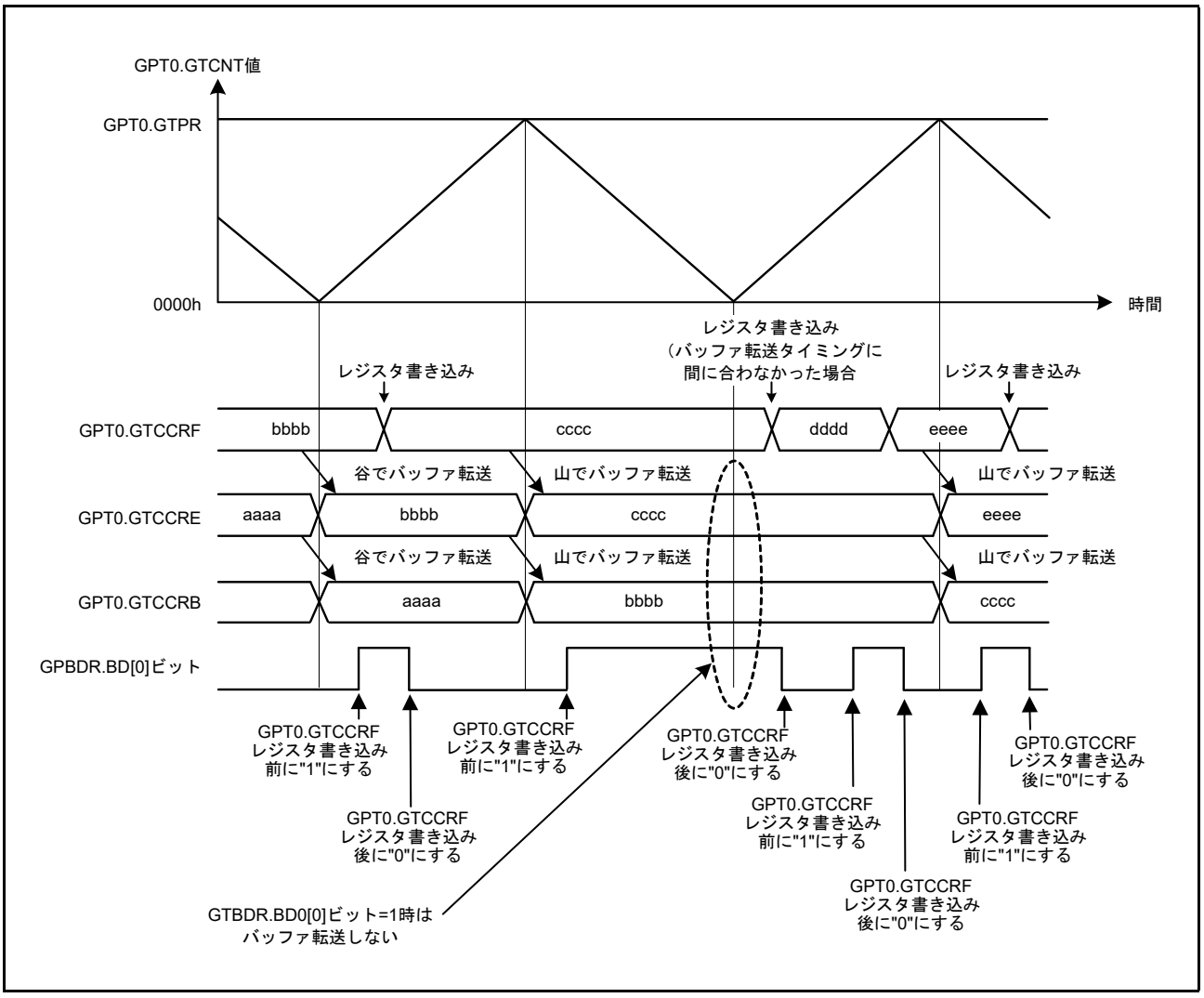


図 21.79　バッファ動作の抑止動作例（三角波、ダブルバッファ動作、谷／山両方でバッファ転送の場合）

21.7.3　GTIOC 端子出力のネゲート制御

システム異常時の保護のため、GTONCR レジスタの設定で GTIOC 端子出力をネゲート制御（非アクティブレベル化）することができます。ネゲート制御要因としては、GTETRG 端子入力、GTONCR.SWN ビットへの書き込みの 3 種類があります。

図 21.80 に GTIOC 端子出力のネゲート制御動作例を示します。

なお、ネゲート制御が行われた場合、ネゲート制御要因が消滅しても同一周期内ではネゲート制御は解除されず、次の周期で解除されます。

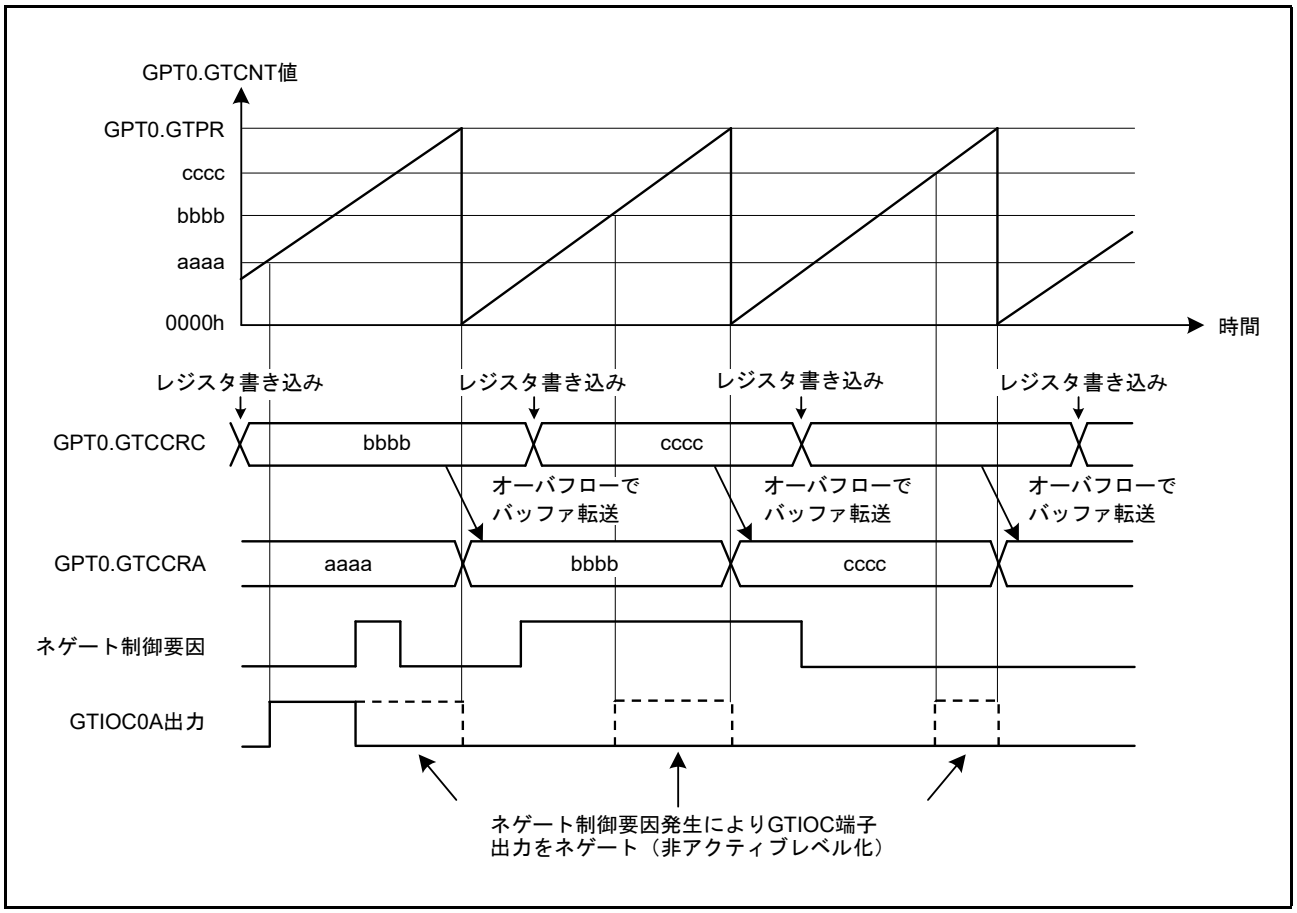


図 21.80　GTIOC 端子出力のネゲート制御動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベルは “High”（GTCCRA コンペアマッチで High 出力、周期の終わりで Low 出力）

21.7.4　GTIOC 端子出力の出力保護機能

GTCCRA レジスタに異常値が設定（0 < GTCCRA < GTPR の範囲外に設定）された場合に備え、三角波 PWM モードでデッドタイム自動設定（GTDTCR.TDE ビットが “1”）をしている場合、GTIOC 端子出力の出力保護機能（抑止機能）が動作します。

出力保護機能の動作状態は、GTSOS.SOS[1:0] ビットを読むことにより確認することができます。

図 21.81 に出力保護機能の状態遷移を示します。

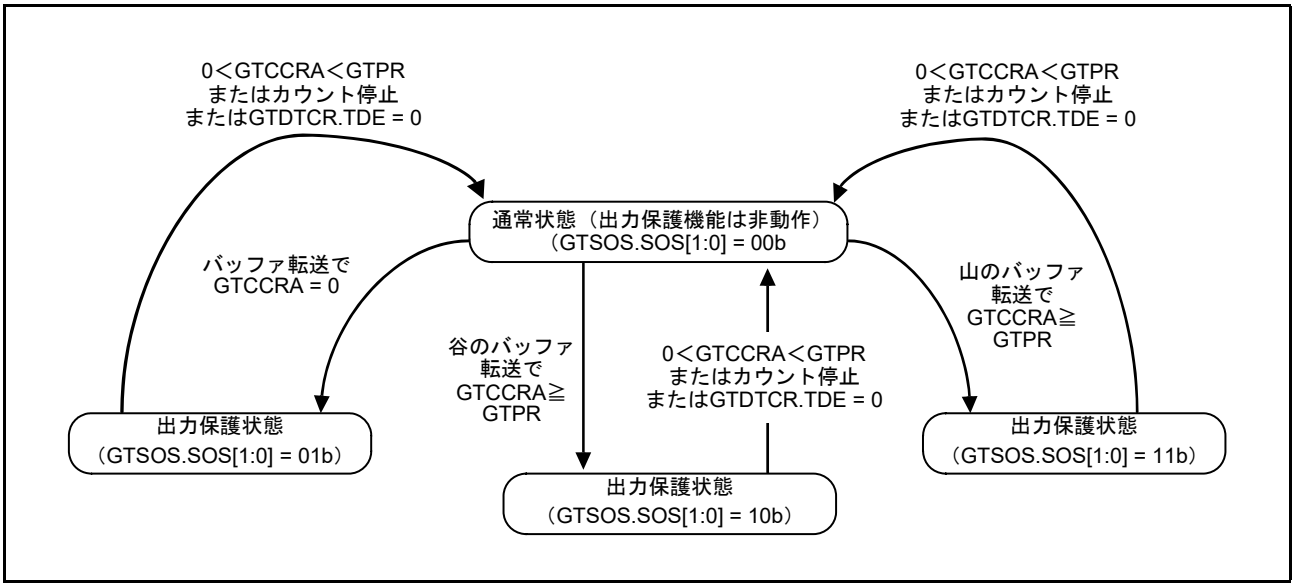
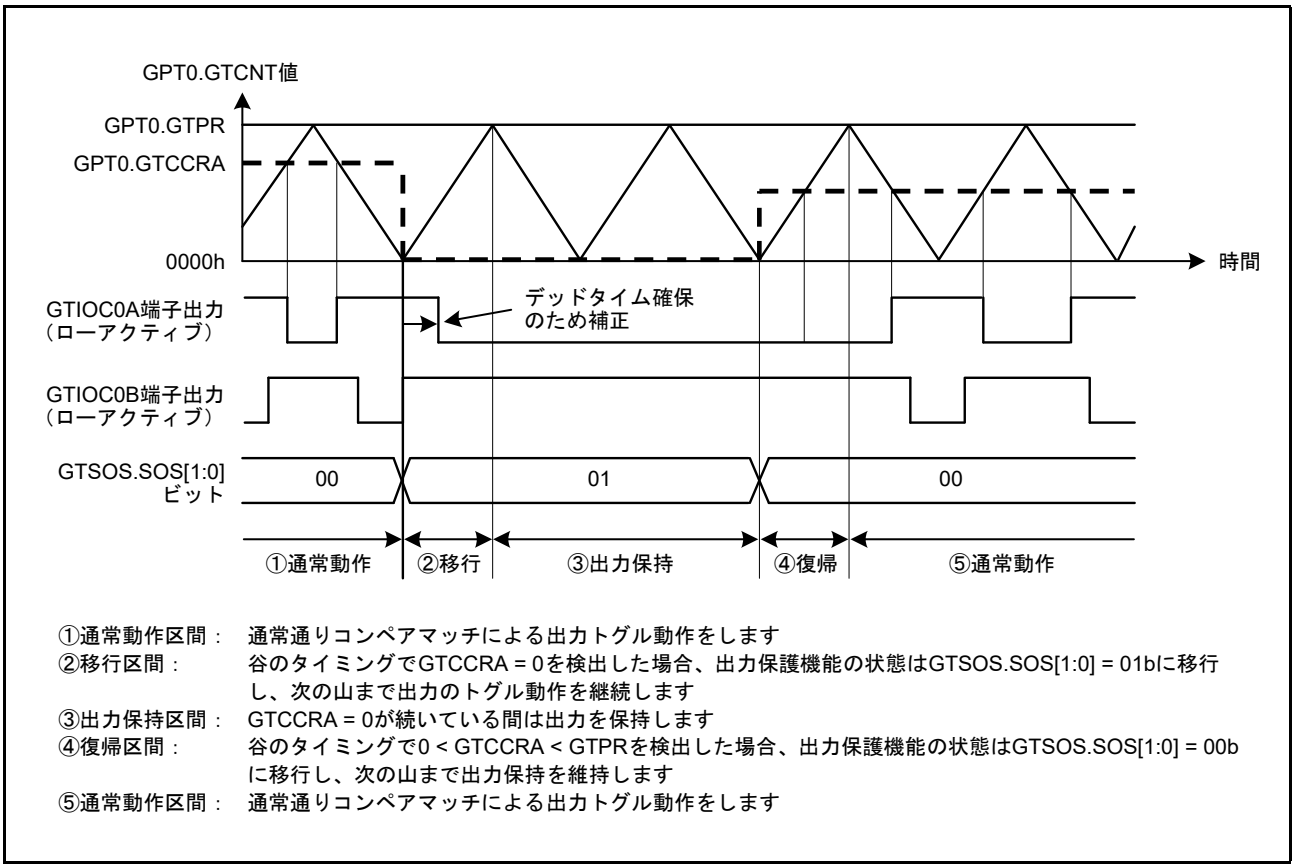


図 21.81　出力保護機能

(1)　バッファ転送で GTCCRA が “0” である場合の出力保護機能

図 21.82、図 21.83 に谷のバッファ転送で GTCCRA が “0” である場合、図 21.84、図 21.85 に山のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例を示します。



①通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします
②移行区間：　谷のタイミングでGTCCRA = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間：　GTCCRA = 0が続いている間は出力を保持します
④復帰区間：　谷のタイミングで0 < GTCCRA < GTPRを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の山まで出力保持を維持します
⑤通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします

図 21.82　谷のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
（谷のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）

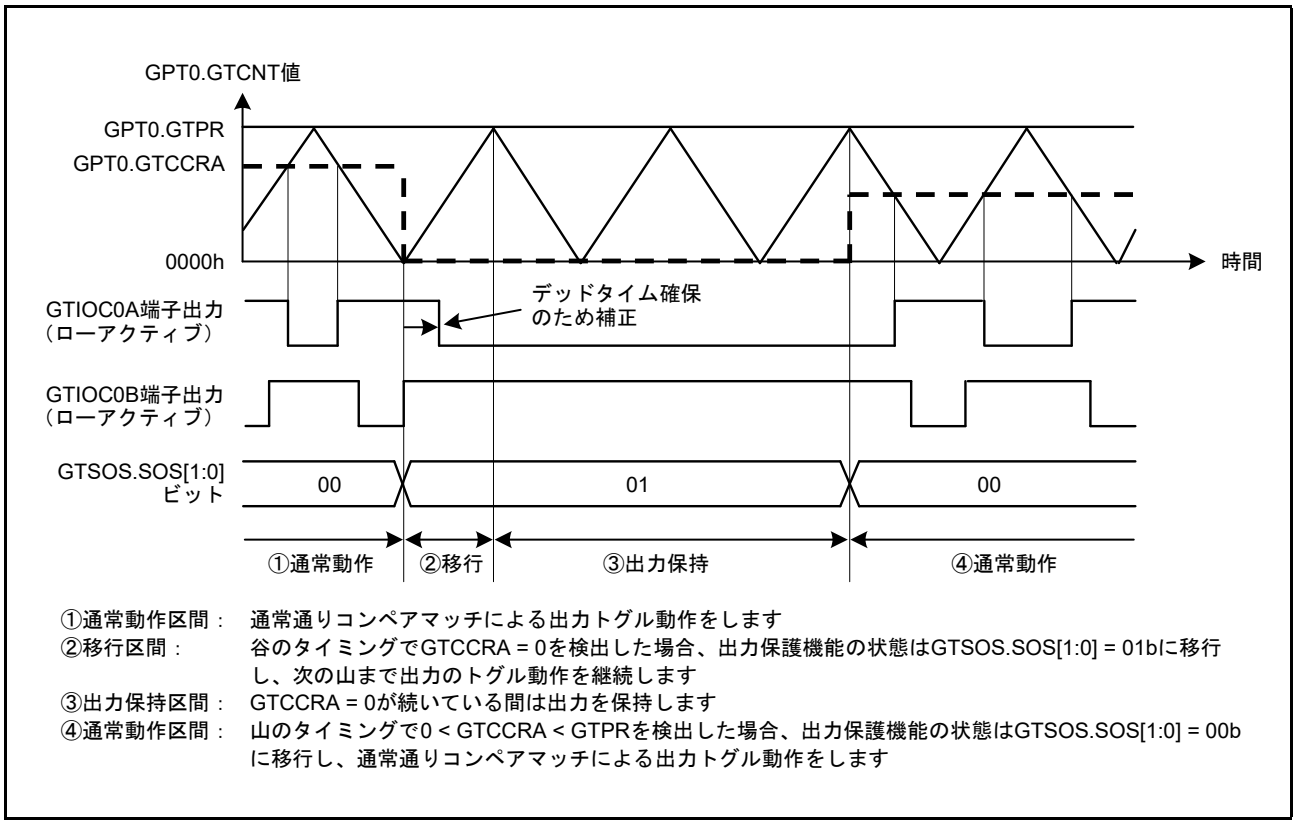
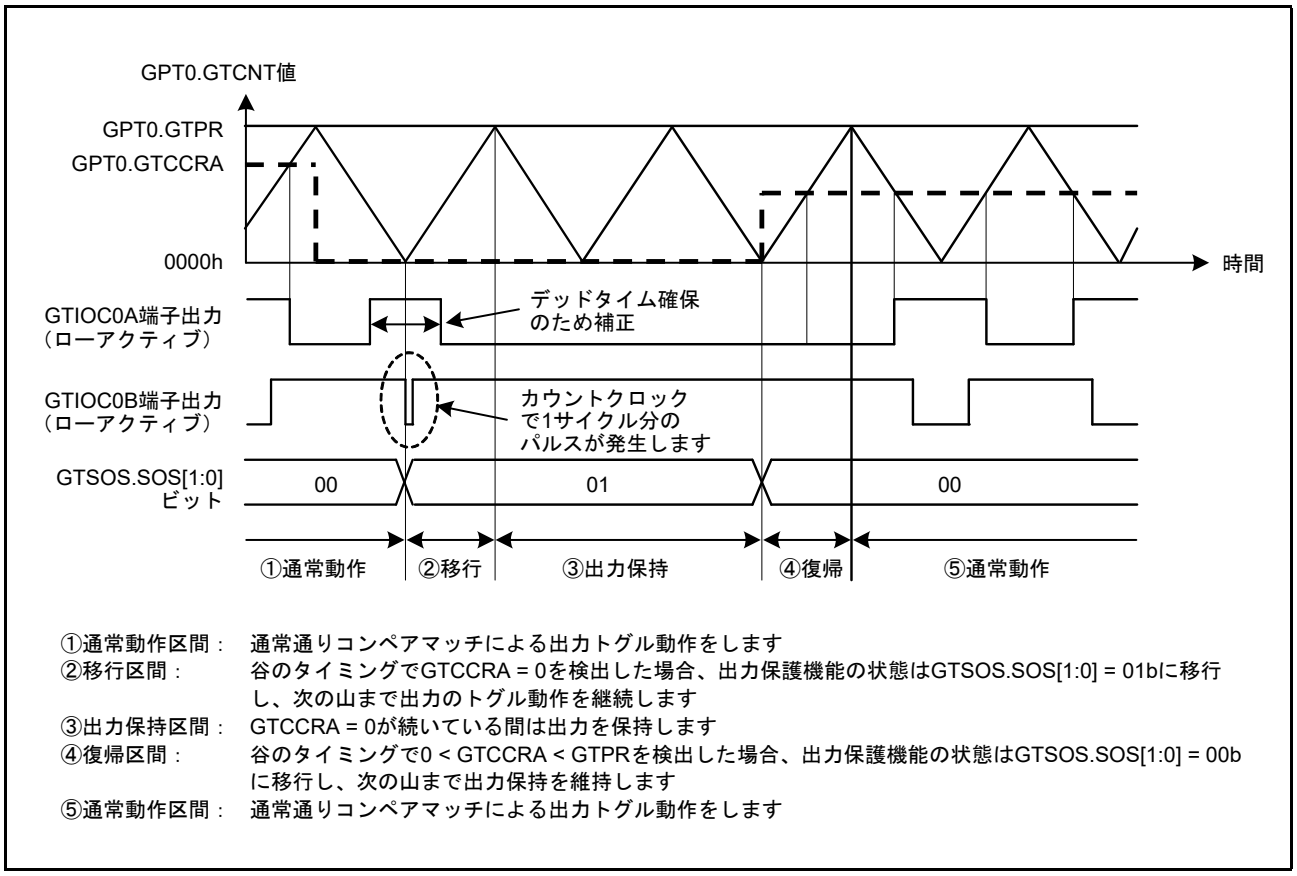
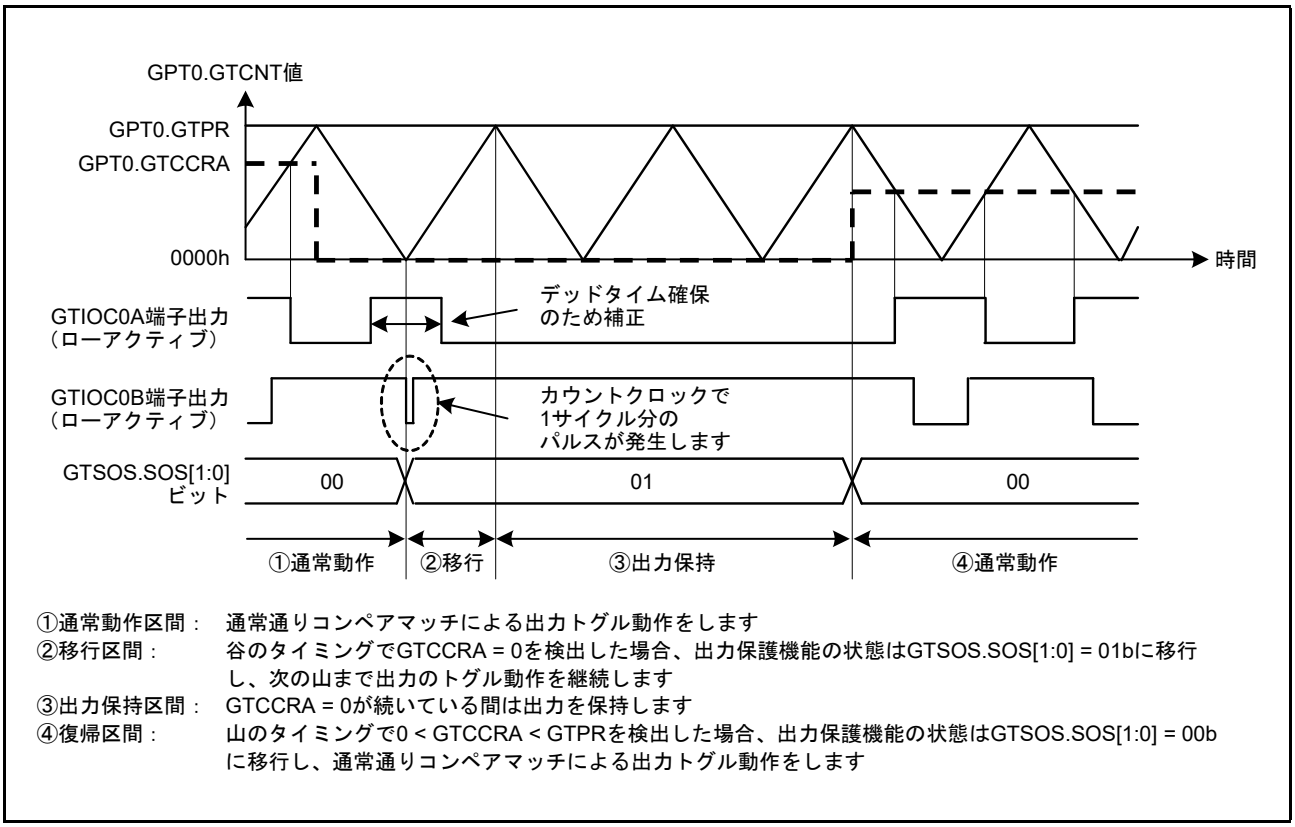


図 21.83　谷のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
（山のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）



①通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします
②移行区間：　谷のタイミングでGTCCRA = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間：　GTCCRA = 0が続いている間は出力を保持します
④復帰区間：　谷のタイミングで0 < GTCCRA < GTPRを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の山まで出力保持を維持します
⑤通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします

図 21.84　山のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
（谷のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）

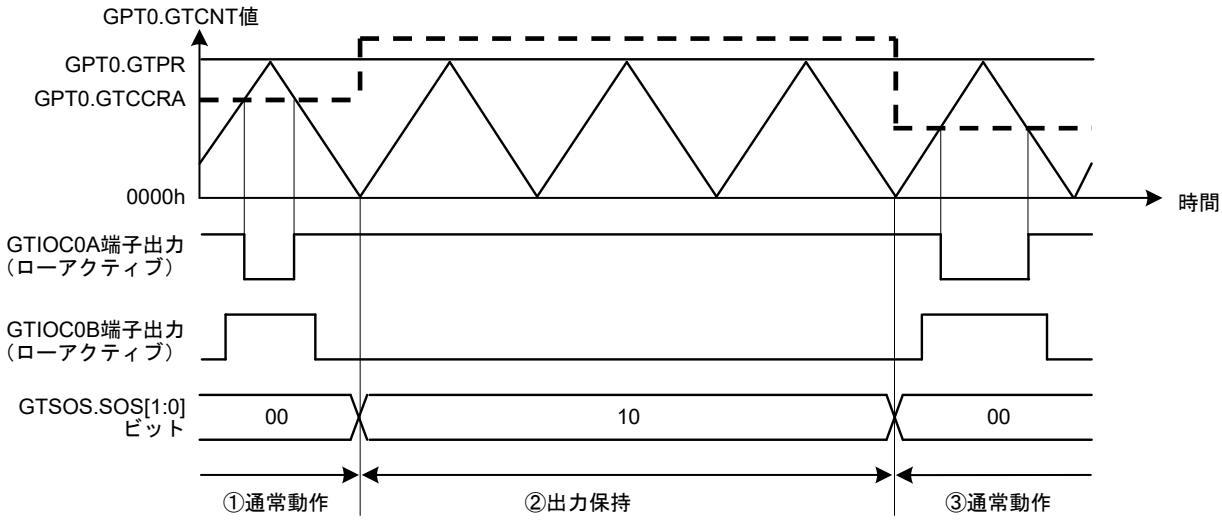


①通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします
②移行区間：　谷のタイミングでGTCCRA = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間：　GTCCRA = 0が続いている間は出力を保持します
④復帰区間：　山のタイミングで0 < GTCCRA < GTPRを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします

図 21.85　山のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
（山のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）

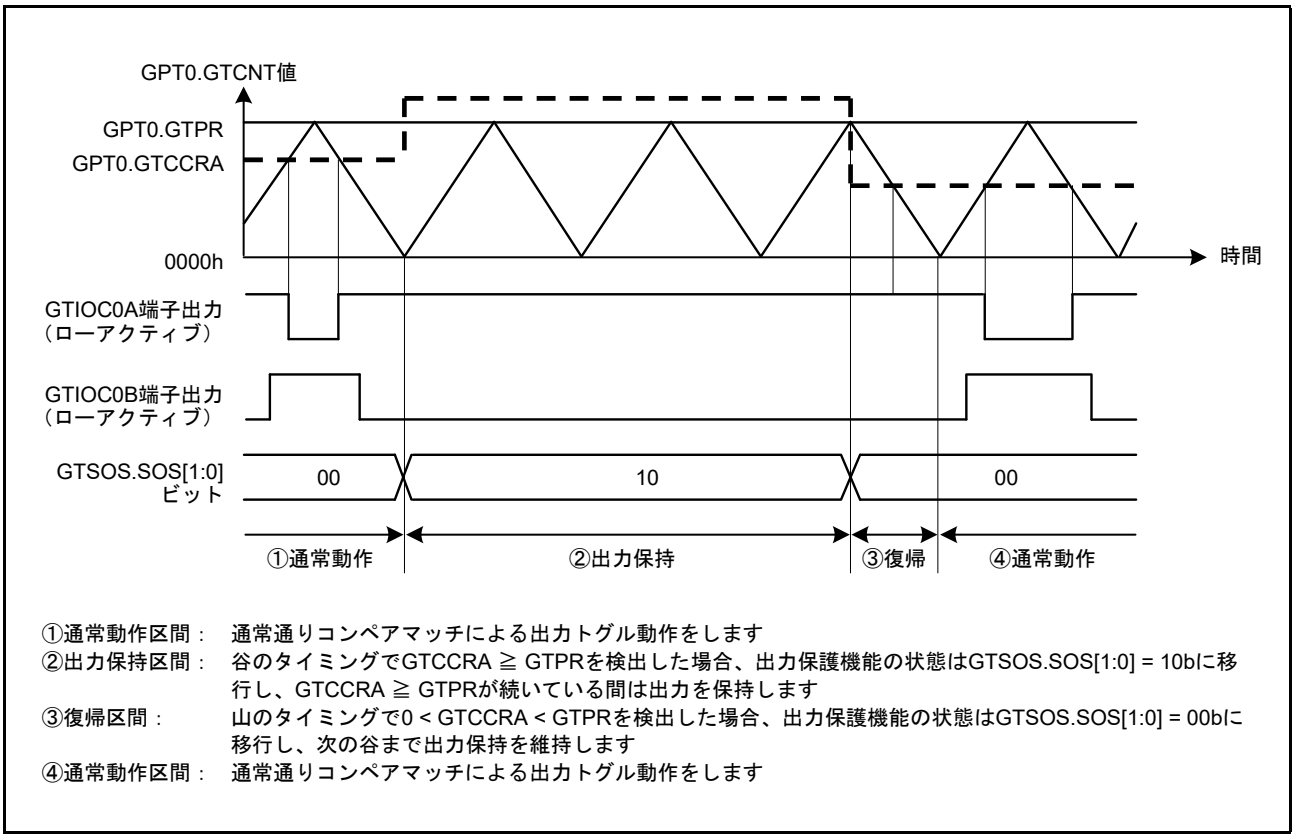
(2)　谷のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能

図 21.86、図 21.87 に谷のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能の動作例を示します。



①通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします
②出力保持区間：　谷のタイミングでGTCCRA ≧ GTPRを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 10bに移行し、GTCCRA ≧ GTPRが続いている間は出力を保持します
③通常動作区間：　谷のタイミングで0 < GTCCRA < GTPRを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします

図 21.86　谷のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能の動作例
（谷のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）



①通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします
②出力保持区間：　谷のタイミングでGTCCRA ≧ GTPRを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 10bに移行し、GTCCRA ≧ GTPRが続いている間は出力を保持します
③復帰区間：　山のタイミングで0 < GTCCRA < GTPRを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の谷まで出力保持を維持します
④通常動作区間：　通常通りコンペアマッチによる出力トグル動作をします

図 21.87　谷のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能の動作例
（山のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）

(3)　山のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能

図 21.88、図 21.89 に山のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能の動作例を示します。

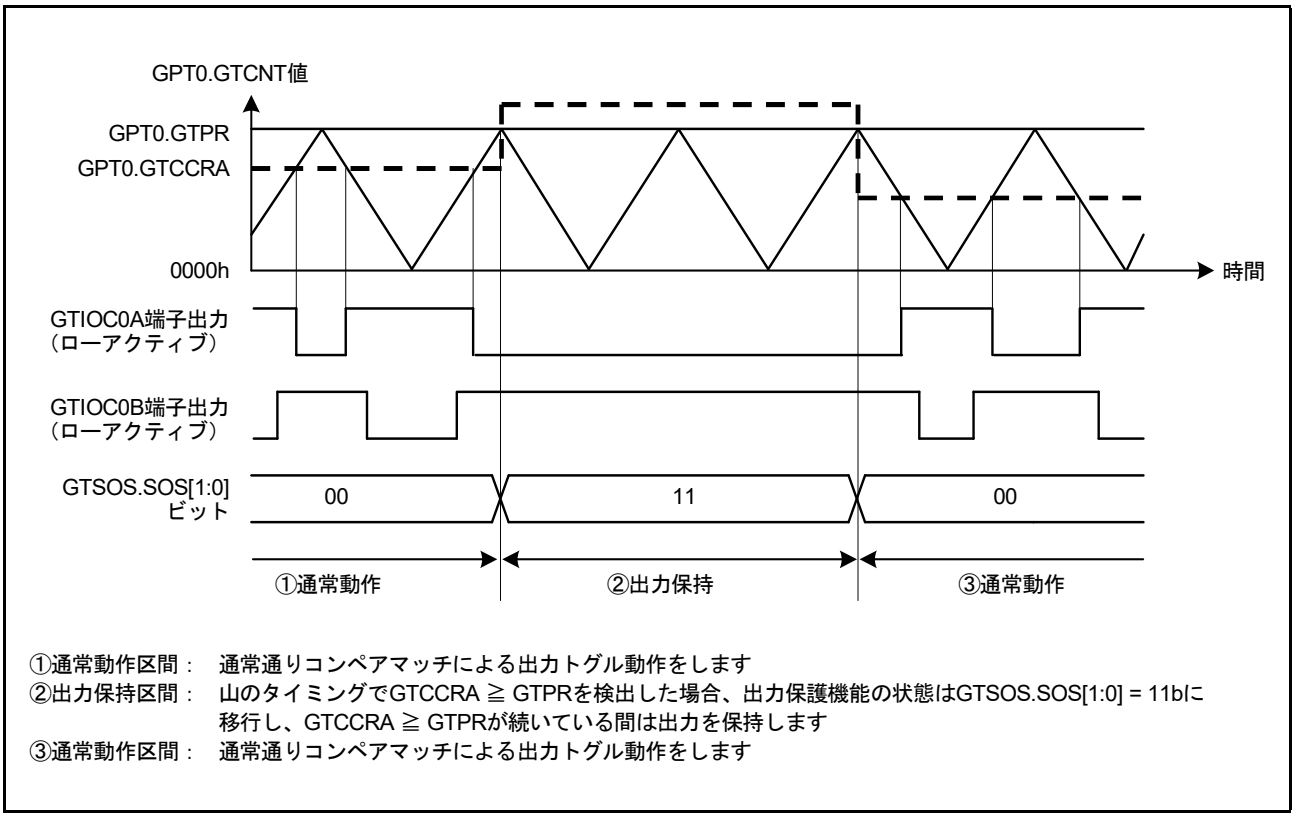


図 21.88　山のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能の動作例
（山のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）

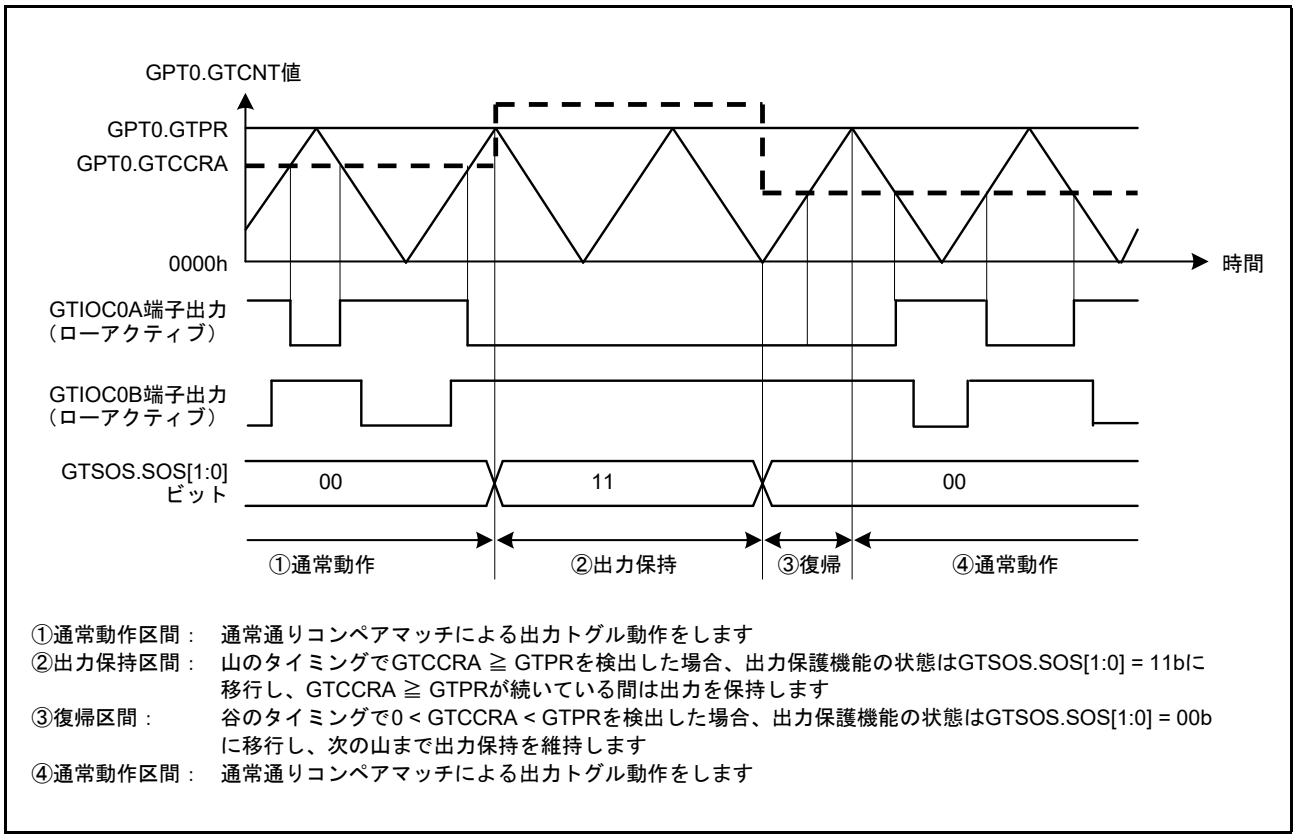


図 21.89　山のバッファ転送で GTCCRA ≧ GTPR が設定された場合の出力保護機能の動作例
（谷のバッファ転送で 0 < GTCCRA < GTPR に復帰、アクティブレベルは “Low” の場合）

(4)　出力保護機能の注意事項

GTCCRA レジスタは 0 < GTCCRA < GTPR の範囲内に設定された状態で、カウント動作を開始してください。

出力保護機能は、カウント動作中に GTCCRA レジスタに異常値が設定（0 < GTCCRA < GTPR の範囲外に設定）された場合にも正相／逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、GTCCRA レジスタに異常値が設定された状態でカウント動作が開始された場合には正常に機能しません。

また、GTCCRA レジスタに GTPR レジスタ設定値以上の値が設定される可能性がある場合でも、以下の条件をすべて満たすように GTCCRA レジスタ、GTDVU レジスタ、GTDVD レジスタ、GTPR レジスタの値を設定してください。

- 山のバッファ転送時は、GTCCRA ＜ GTPR + GTDVD – 1
- 谷のバッファ転送時に GTCCRA = GTPR となる可能性がある場合は、GTDVU ＜ GTPR – 1

21.7.5　POE 機能による GTIOC 端子出力のハイインピーダンス制御

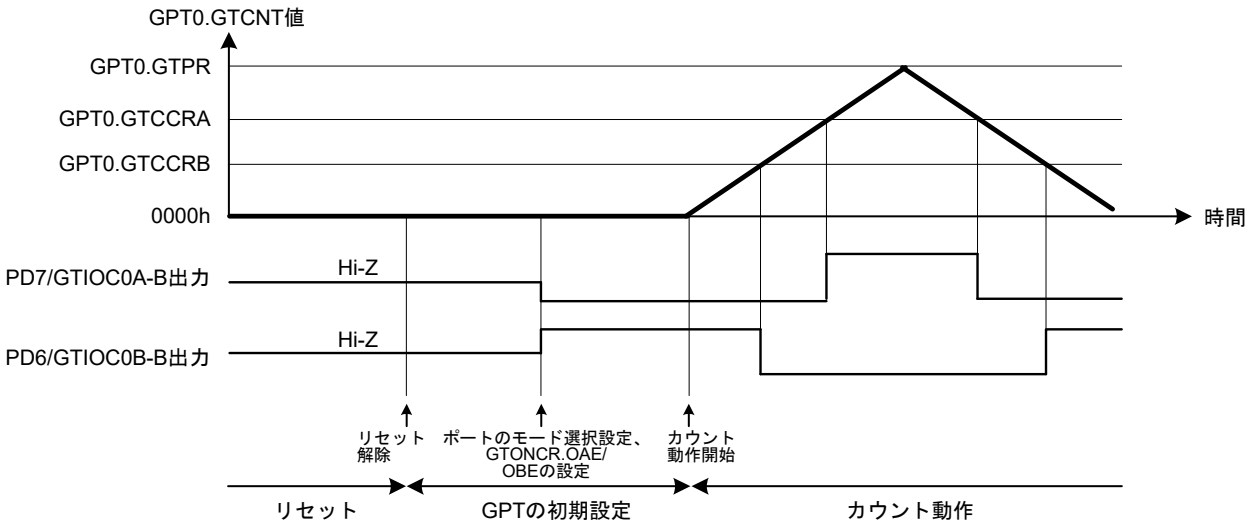
システム異常時の保護のため、ポートアウトプットイネーブル（POE）機能により、GTIOC 端子出力のハイインピーダンス制御が可能です。

詳細は、「20.　ポートアウトプットイネーブル 3（POE3）」を参照してください。

21.8　出力端子の初期化方法

21.8.1　　リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定（PMR レジスタ、PmnPFS レジスタ）、GTIOR レジスタと GTONCR.OAE, OBE ビットの設定を行い、端子設定を GPT 端子出力にした後、カウント動作を開始してください。



[設定例]
GTIOR.GTIOA[5:0] の設定：初期出力 “Low”、周期の終わりで出力保持、コンペアマッチでトグル出力
GTIOR.GTIOB[5:0] の設定：初期出力 “High”、周期の終わりで出力保持、コンペアマッチでトグル出力

図 21.90　リセット後の端子設定例

21.8.2　　動作中の異常などによる端子の初期化

GPT の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

(1) GTIOR レジスタの OAHLD ビット、OBHLD ビットを “1” にしておき、カウント動作停止時に出力を保持
(2) GTIOR レジスタの OAHLD ビット、OBHLD ビットを “0” にし、GTIOR レジスタの OADFLT ビット、OBDFLT ビットに任意の出力値を設定しておき、カウント動作停止時に任意の値を出力
(3) MTU3 と同様に、あらかじめ I/O ポートの PDR レジスタ、PODR レジスタと PMR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTONCR レジスタの OAE ビット、OBE ビットを “0” に、PMR レジスタの当該端子の制御ビットを “0” にして、端子を汎用出力ポートとして任意の値を出力
(4) ポートアウトプットイネーブル 3（POE3）の POE 機能を使用し、出力をハイインピーダンス化

デッドタイムの自動設定を行っている場合は、カウント停止後に GTDTCR.TDE ビットをいったん “0” にしてください。

カウント動作停止時、GPT 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作を停止した場合は、各レジスタを初期化してからカウント動作を再開してください。

21.9　使用上の注意事項

21.9.1　モジュールストップ機能の設定

GPT は、モジュールストップコントロールレジスタにより、GPT の動作禁止／許可を設定することが可能です。初期値では、GPT の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9.　消費電力低減機能」を参照してください。

21.9.2　コンペアマッチ動作時の GTCCRn レジスタの設定（n = A、B、C、D、E、F）

(1)　三角波 PWM モードでデッドタイムの自動設定を行っている場合

GTCCRA レジスタは、GTDVU ＜ GTCCRA、GTDVD ＜ GTCCRA、GTCCRA ＜ GTPR の範囲内に設定してください。

カウント動作中に GTCCRA = 0 もしくは GTCCRA ≧ GTPR が設定されると出力保護機能が動作します。

カウント動作開始時は、GTCCRA レジスタを 0 ＜ GTCCRA ＜ GTPR の範囲内に設定した状態でカウント動作を開始してください。0 ＜ GTCCRA ＜ GTPR の範囲外に設定された状態でカウント動作が開始された場合には出力保護機能は正常に機能しません。

また、以下の条件をすべて満たすようにしてください。

- 山のバッファ転送時は、GTCCRA ＜ GTPR + GTDVD – 1
- 谷のバッファ転送時に GTCCRA = GTPR となる可能性がある場合は、GTDVU ＜ GTPR – 1

詳細は、「21.7.4　GTIOC 端子出力の出力保護機能」を参照してください。

(2)　三角波 PWM モードでデッドタイムの自動設定を行っていない場合

GTCCRA レジスタは、0 ＜ GTCCRA ＜ GTPR の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA ＞ GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 ＜ GTCCRB ＜ GTPR の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB ＞ GTPR が設定されると、コンペアマッチは発生しません。

(3)　のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRC レジスタ、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：GTCCRC ＜ GTCCRD、GTCCRC ＞ GTDVU、GTCCRD ＜ GTPR － GTDVD
- ダウンカウント時：GTCCRC ＞ GTCCRD、GTCCRC ＜ GTPR － GTDVU、GTCCRD ＞ GTDVD

同様に、GTCCRE レジスタ、GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：GTCCRE ＜ GTCCRF、GTCCRE ＞ GTDVU、GTCCRF ＜ GTPR － GTDVD
- ダウンカウント時：GTCCRE ＞ GTCCRF、GTCCRE ＜ GTPR － GTDVU、GTCCRF ＞ GTDVD

(4)　のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC レジスタ、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 ＜ GTCCRC ＜ GTCCRD ＜ GTPR
- ダウンカウント時：GTPR ＞ GTCCRC ＞ GTCCRD ＞ 0

同様に、GTCCRE レジスタ、GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 ＜ GTCCRE ＜ GTCCRF ＜ GTPR
- ダウンカウント時：GTPR ＞ GTCCRE ＞ GTCCRF ＞ 0

(5)　のこぎり波 PWM モードの場合

GTCCRA レジスタは、0 ＜ GTCCRA ＜ GTPR の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA ＞ GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 ＜ GTCCRB ＜ GTPR の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB ＞ GTPR が設定されると、コンペアマッチは発生しません。

21.9.3　　タイマの安全な停止方法

GTSTR レジスタの書き込みによるタイマの停止と GPT のコンペアマッチ割り込みのタイミングが競合した場合、GTSTR レジスタの書き込み後に割り込みが発生する場合があります。

以下の手順でタイマの停止を行うと、停止後にコンペアマッチ割り込みが発生することがなく、安全にタイマを停止させることができます。

(1) ICU の割り込み要求許可レジスタ（IER15 ～ IER18）で割り込み要求を禁止にする
(2) GPT の割り込み出力設定レジスタ（GTINTAD）で割り込み要求を禁止にする
(3) GTSTR レジスタの CSTn ビットを “0” にする

21.9.4　　カウンタの各イベントの優先順序

(1) カウンタ停止時は、カウンタクリアよりもカウンタへの書き込みが優先されます。
(2) CPU 書き込み、CST ビットの自動セット、CST ビット自動リセットが競合した場合の優先順位は、以下になります。

CPU 書き込み＞ CST ビットの自動セット＞ CST ビットの自動リセット

- CST ビットの自動セット
  - ・GTHSCR レジスタと GTHSSR レジスタで設定した要因によるハードウェアスタート
  - ・ELC カウントスタート
- CST ビットの自動リセット
  - ・GTHSCR レジスタと GTHPSR レジスタで設定した要因によるハードウェアストップ
  - ・ELC カウントストップ

21.9.5　PWM 出力動作モードにおけるポート設定の注意事項

チャネル 0 ～ 2 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) を使用した 6 相 PWM 出力を行う場合、6 相 PWM に使用するポートは、表 21.10 のグループで設定してください。

ポートの設定は「18.　マルチファンクションピンコントローラ（MPC）」を参照してください。

表21.10　チャネル0～2の出力端子

ポート グループ	指定ポート					
	GTIOC0A	GTIOC0B	GTIOC1A	GTIOC1B	GTIOC2A	GTIOC2B
①（注1）	P16	P15	P14	P13	P12	P11
②（注2）	PA2	PA1	PA0	P77	P76	P75
③（注2）	PB7	PF6	PF5	P87	P86	PD7

注1.　本グループは320pin版のみ使用可能です。
注2.　本グループは320pin版、176pin版共に使用可能です。

22.　16 ビットタイマパルスユニット（TPUa）

本 LSI は、6 チャネルの 16 ビットタイマで構成される 16 ビットタイマパルスユニット（TPU）を 2 ユニット（ユニット 0、ユニット 1）、合計 12 チャネル（TPU0 ～ TPU11）を内蔵しています。

22.1　概要

表 22.1 に TPU の仕様を、**表 22.2** に TPU（ユニット 0）の機能一覧を、**表 22.3** に TPU（ユニット 1）の機能一覧を示します。

図 22.1 に TPU（ユニット 0）のブロック図を、**図 22.2** に TPU（ユニット 1）のブロック図を示します。

表22.1　TPUの仕様

項目	内容
パルス入出力	最大16本×2ユニット
カウントクロック	各チャネルに7種類または8種類
設定可能動作	• コンペアマッチによる波形出力 • インプットキャプチャ機能（ノイズフィルタ設定可能） • カウンタクリア動作 • 複数のタイマカウンタ（TCNT）への同時書き込み • コンペアマッチ／インプットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大15相 × 2ユニットのPWM出力 • カスケード接続動作 • 内部PWMフィードバック入力選択
チャネル0、3（ユニット0）、 チャネル6、9（ユニット1）	バッファ動作を設定可能
チャネル1、2、4、5（ユニット0）、 チャネル7、8、10、11（ユニット1）	個々に位相計数モードを設定可能
割り込み要因	26種類×2ユニット
バッファ動作	レジスタデータの自動転送
トリガ生成（ユニット0）	プログラマブルパルスジェネレータ（PPG）の出力トリガを生成可能
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
イベントリンク機能（出力）（ユニット0）	イベント6種類をELCに出力可能 • コンペアマッチA（TPU0～3） • コンペアマッチB（TPU0～3） • コンペアマッチC（TPU0、3） • コンペアマッチD（TPU0、3） • オーバフロー（TPU0～3） • アンダフロー（TPU1、2）
イベントリンク機能（入力）（ユニット0）	イベント受付による3種類のうち、いずれかの動作が可能 • カウントスタート動作（TPU0～3） • カウントクリア動作（TPU0～3） • インプットキャプチャ動作（TPU0～3）
消費電力低減機能	ユニットごとにモジュールストップ状態の設定が可能

注.　176ピン版は、1ユニット（ユニット0のみ搭載）

表22.2　　TPU（ユニット0）の機能一覧 (1 / 2)

項目		TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック（注1）		PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 TCLKA TCLKB TCLKC TCLKD	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 TCLKA TCLKB	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/1024 TCLKA TCLKB TCLKC	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024 PCLKD/4096 TCLKA	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/1024 TCLKA TCLKC	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 TCLKA TCLKC TCLKD
タイマジェネラルレジスタ		TGRA TGRB TGRC（注2） TGRD（注2）	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC（注2） TGRD（注2）	TGRA TGRB	TGRA TGRB
入出力端子		TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能		TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	○
PWMモード		○	○	○	○	○	○
位相計数モード		—	○	○	—	○	○
バッファ動作		○	—	—	○	—	—
DMACの起動		TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ
A/D変換開始トリガ		TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	—
PPGトリガ		TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	—	—
割り込み要因		5要因 • コンペアマッチ／インプットキャプチャ 0A • コンペアマッチ／インプットキャプチャ 0B • コンペアマッチ／インプットキャプチャ 0C • コンペアマッチ／インプットキャプチャ 0D • オーバフロー	4要因 • コンペアマッチ／インプットキャプチャ 1A • コンペアマッチ／インプットキャプチャ 1B • オーバフロー • アンダフロー	4要因 • コンペアマッチ／インプットキャプチャ 2A • コンペアマッチ／インプットキャプチャ 2B • オーバフロー • アンダフロー	5要因 • コンペアマッチ／インプットキャプチャ 3A • コンペアマッチ／インプットキャプチャ 3B • コンペアマッチ／インプットキャプチャ 3C • コンペアマッチ／インプットキャプチャ 3D • オーバフロー	4要因 • コンペアマッチ／インプットキャプチャ 4A • コンペアマッチ／インプットキャプチャ 4B • オーバフロー • アンダフロー	4要因 • コンペアマッチ／インプットキャプチャ 5A • コンペアマッチ／インプットキャプチャ 5B • オーバフロー • アンダフロー

表22.2　TPU（ユニット0）の機能一覧 (2 / 2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
イベントリンク機能（出力）	5要因 • コンペアマッチ0A • コンペアマッチ0B • コンペアマッチ0C • コンペアマッチ0D • オーバフロー	4要因 • コンペアマッチ1A • コンペアマッチ1B • オーバフロー • アンダフロー	4要因 • コンペアマッチ2A • コンペアマッチ2B • オーバフロー • アンダフロー	5要因 • コンペアマッチ3A • コンペアマッチ3B • コンペアマッチ3C • コンペアマッチ3D • オーバフロー	—	—
イベントリンク機能（入力）	• カウントスタート動作 • カウントクリア動作 • インプットキャプチャ動作（TGRAにキャプチャ）	• カウントスタート動作 • カウントクリア動作 • インプットキャプチャ動作（TGRAにキャプチャ）	• カウントスタート動作 • カウントクリア動作 • インプットキャプチャ動作（TGRAにキャプチャ）	• カウントスタート動作 • カウントクリア動作 • インプットキャプチャ動作（TGRAにキャプチャ）	—	—
モジュールストップの設定（注3）	MSTPCRA.MSTPCRA8ビット					

○：可能

—：不可能

注1.　位相計数モードでは、本表と異なる外部クロックが使用可能となります。詳細については「22.3.6　位相計数モード」を参照してください。

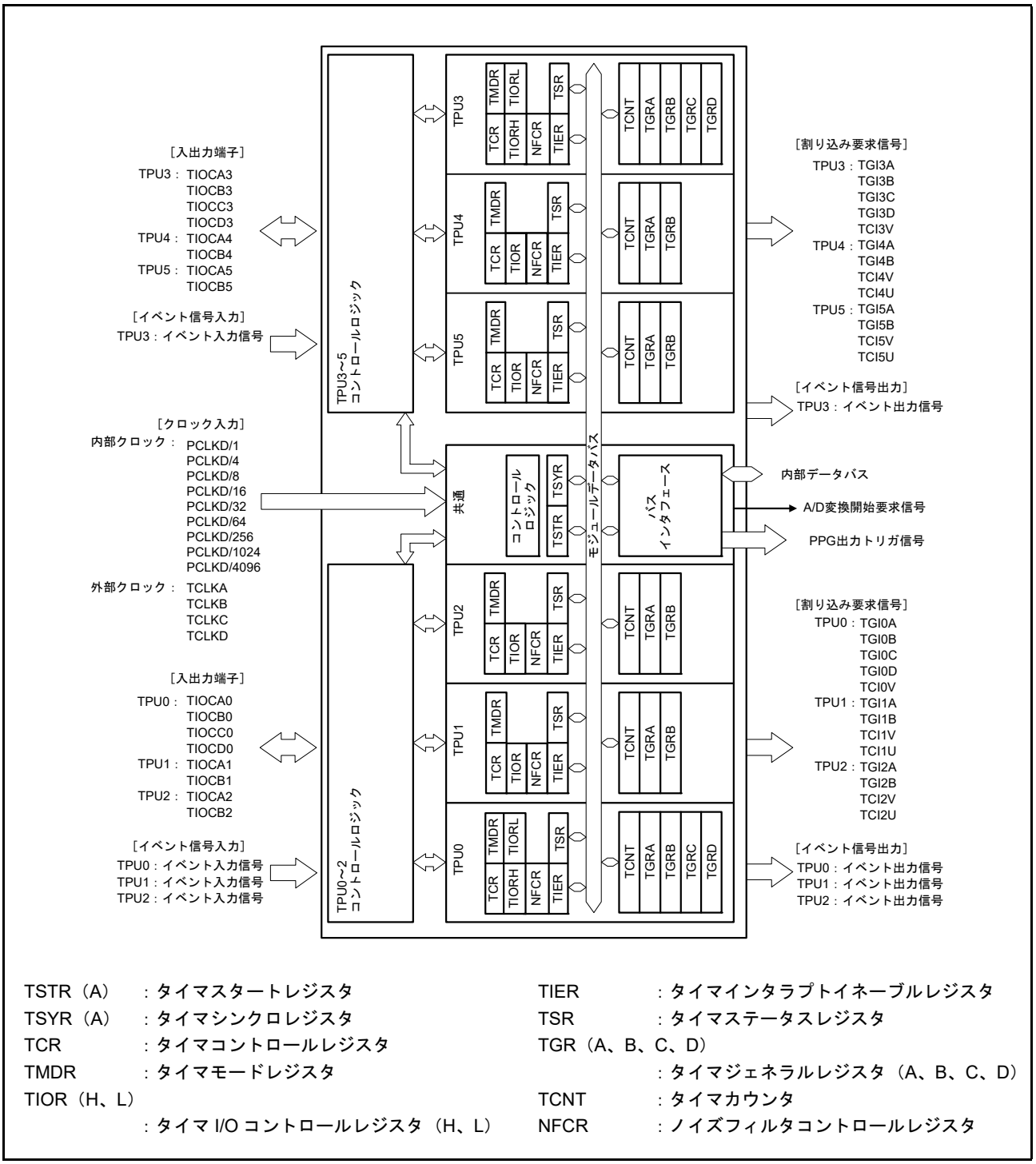
注2.　TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。

注3.　詳細は「9.　消費電力低減機能」を参照してください。

表22.3　　TPU（ユニット1）の機能一覧

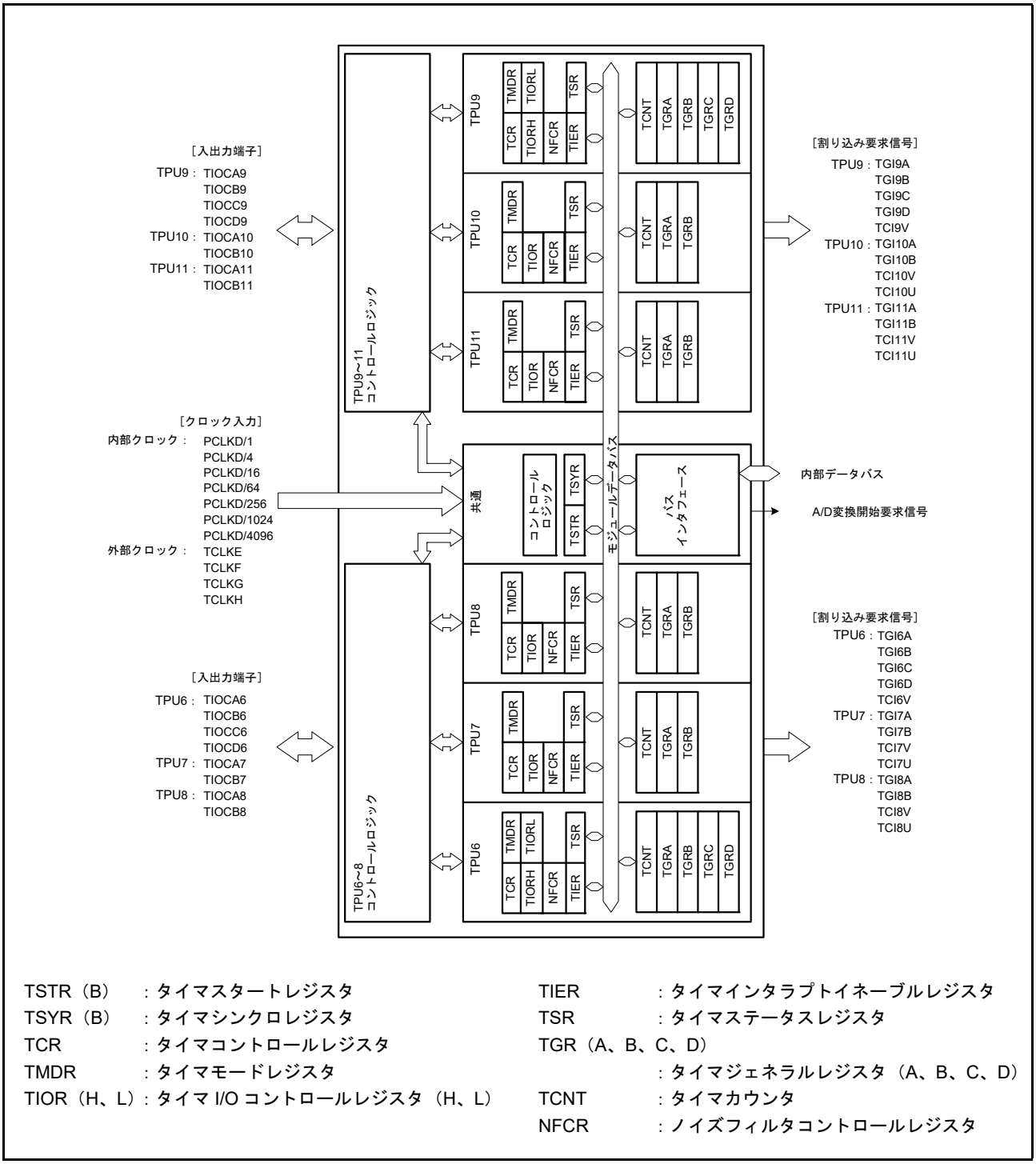
項目		TPU6	TPU7	TPU8	TPU9	TPU10	TPU11
カウントクロック（注1）		PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 TCLKE TCLKF TCLKG TCLKH	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 TCLKE TCLKF	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/1024 TCLKE TCLKF TCLKG	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024 PCLKD/4096 TCLKE	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/1024 TCLKE TCLKG	PCLKD/1 PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 TCLKE TCLKG TCLKH
タイマジェネラルレジスタ		TGRA TGRB TGRC（注2） TGRD（注2）	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC（注2） TGRD（注2）	TGRA TGRB	TGRA TGRB
入出力端子		TIOCA6 TIOCB6 TIOCC6 TIOCD6	TIOCA7 TIOCB7	TIOCA8 TIOCB8	TIOCA9 TIOCB9 TIOCC9 TIOCD9	TIOCA10 TIOCB10	TIOCA11 TIOCB11
カウンタクリア機能		TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ	TGRyのコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	○
PWMモード		○	○	○	○	○	○
位相計数モード		—	○	○	—	○	○
バッファ動作		○	—	—	○	—	—
DMACの起動		—	—	—	—	—	—
A/D変換開始トリガ		TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	—
PPGトリガ		—	—	—	—	—	—
割り込み要因		5要因 • コンペアマッチ／インプットキャプチャ 6A • コンペアマッチ／インプットキャプチャ 6B • コンペアマッチ／インプットキャプチャ 6C • コンペアマッチ／インプットキャプチャ 6D • オーバフロー	4要因 • コンペアマッチ／インプットキャプチャ 7A • コンペアマッチ／インプットキャプチャ 7B • オーバフロー • アンダフロー	4要因 • コンペアマッチ／インプットキャプチャ 8A • コンペアマッチ／インプットキャプチャ 8B • オーバフロー • アンダフロー	5要因 • コンペアマッチ／インプットキャプチャ 9A • コンペアマッチ／インプットキャプチャ 9B • コンペアマッチ／インプットキャプチャ 9C • コンペアマッチ／インプットキャプチャ 9D • オーバフロー	4要因 • コンペアマッチ／インプットキャプチャ 10A • コンペアマッチ／インプットキャプチャ 10B • オーバフロー • アンダフロー	4要因 • コンペアマッチ／インプットキャプチャ 11A • コンペアマッチ／インプットキャプチャ 11B • オーバフロー • アンダフロー
イベントリンク機能（出力）		—	—	—	—	—	—
イベントリンク機能（入力）		—	—	—	—	—	—
モジュールストップの設定		MSTPCRA.MSTPCRA7ビット					

○：可能
—：不可能
注1.　位相計数モードでは、本表と異なる外部クロックが使用可能となります。詳細については「22.3.6　位相計数モード」を参照してください。
注2.　TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。



TSTR（A）　：タイマスタートレジスタ
TSYR（A）　：タイマシンクロレジスタ
TCR　　：タイマコントロールレジスタ
TMDR　　：タイマモードレジスタ
TIOR（H、L）
　　：タイマ I/O コントロールレジスタ（H、L）
TIER　　：タイマインタラプトイネーブルレジスタ
TSR　　：タイマステータスレジスタ
TGR（A、B、C、D）
　　：タイマジェネラルレジスタ（A、B、C、D）
TCNT　　：タイマカウンタ
NFCR　　：ノイズフィルタコントロールレジスタ

図 22.1　　TPU（ユニット 0）のブロック図



TSTR（B）　：タイマスタートレジスタ
TSYR（B）　：タイマシンクロレジスタ
TCR　　：タイマコントロールレジスタ
TMDR　　：タイマモードレジスタ
TIOR（H、L）：タイマ I/O コントロールレジスタ（H、L）
TIER　　：タイマインタラプトイネーブルレジスタ
TSR　　：タイマステータスレジスタ
TGR（A、B、C、D）
　　：タイマジェネラルレジスタ（A、B、C、D）
TCNT　　：タイマカウンタ
NFCR　　：ノイズフィルタコントロールレジスタ

図 22.2　　TPU（ユニット 1）のブロック図

表 22.4 に TPU で使用する入出力端子を示します。

表22.4　　TPUの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	共通	TCLKA	入力	外部クロックA入力端子（TPU1、TPU5の位相計数モードA相入力）
		TCLKB	入力	外部クロックB入力端子（TPU1、TPU5の位相計数モードB相入力）
		TCLKC	入力	外部クロックC入力端子（TPU2、TPU4の位相計数モードA相入力）
		TCLKD	入力	外部クロックD入力端子（TPU2、TPU4の位相計数モードB相入力）
	TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
ユニット1	共通	TCLKE	入力	外部クロックA入力端子（TPU7、TPU11の位相計数モードA相入力）
		TCLKF	入力	外部クロックB入力端子（TPU7、TPU11の位相計数モードB相入力）
		TCLKG	入力	外部クロックC入力端子（TPU8、TPU10の位相計数モードA相入力）
		TCLKH	入力	外部クロックD入力端子（TPU8、TPU10の位相計数モードB相入力）
	TPU6	TIOCA6	入出力	TPU6.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB6	入出力	TPU6.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCC6	入出力	TPU6.TGRCのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCD6	入出力	TPU6.TGRDのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU7	TIOCA7	入出力	TPU7.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB7	入出力	TPU7.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU8	TIOCA8	入出力	TPU8.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB8	入出力	TPU8.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU9	TIOCA9	入出力	TPU9.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB9	入出力	TPU9.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCC9	入出力	TPU9.TGRCのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCD9	入出力	TPU9.TGRDのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU10	TIOCA10	入出力	TPU10.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB10	入出力	TPU10.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
	TPU11	TIOCA11	入出力	TPU11.TGRAのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子
		TIOCB11	入出力	TPU11.TGRBのインプットキャプチャ入力／アウトプットコンペア出力/PWM出力端子

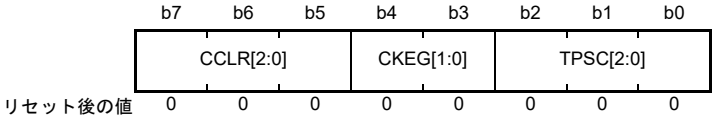
22.2　レジスタの説明

22.2.1　タイマコントロールレジスタ（TCR）

TPU には、各チャネルに 1 本、計 12 本の TCR レジスタがあります。

TCR レジスタは、各チャネルの TCNT カウンタを制御するレジスタです。TCR レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

アドレス　TPU0.TCR A008 0110h、TPU1.TCR A008 0120h、TPU2.TCR A008 0130h、TPU3.TCR A008 0140h、TPU4.TCR A008 0150h、TPU5.TCR A008 0160h、TPU6.TCR A008 0190h、TPU7.TCR A008 01A0h、TPU8.TCR A008 01B0h、TPU9.TCR A008 01C0h、TPU10.TCR A008 01D0h、TPU11.TCR A008 01E0h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表22.5～表22.10を参照してください。	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表22.11を参照してください。	R/W
b7-b5	CCLR[2:0]（注1）	カウンタクリア要因選択ビット	表22.12、表22.13を参照してください。	R/W

注1.　ユニット0のTPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタ、ユニット1のTPU7.TCR、TPU8.TCR、TPU10.TCR、TPU11.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT カウンタのクロックを選択します。各チャネル個々にクロックを選択することができます。

クロックに外部クロックを選択する場合は、該当する端子のポート方向レジスタ（PDR）のビットを “0”（入力ポート）に、ポートモードレジスタ（PMR）のビットを “1”（周辺機能として使用）にしてください。詳細は、「17.　I/O ポート」を参照してください。

CKEG[1:0] ビット（入力クロックエッジ選択ビット）

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります（例：PCLKD/4 の両エッジ＝PCLKD/2 の立ち上がりエッジ）。

内部クロックのエッジ選択は、入力クロックが PCLKD/4、もしくはそれより遅い場合に有効です。入力クロックに PCLKD/1、あるいは他のチャネルのオーバフロー／アンダフローを選択した場合、この設定は無視されます。

CCLR[2:0] ビット（カウンタクリア要因選択ビット）

TCNT カウンタのクリア要因を選択します。

表22.5　TPSC[2:0]ビット（TPU0、TPU6）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0（ユニット0） TPU6（ユニット1）	0	0	0	内部クロック：PCLKD/1でカウント
	0	0	1	内部クロック：PCLKD/4でカウント
	0	1	0	内部クロック：PCLKD/16でカウント
	0	1	1	内部クロック：PCLKD/64でカウント
	1	0	0	外部クロック • TPU0：TCLKA端子入力でカウント • TPU6：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU0：TCLKB端子入力でカウント • TPU6：TCLKF端子入力でカウント
	1	1	0	外部クロック • TPU0：TCLKC端子入力でカウント • TPU6：TCLKG端子入力でカウント
	1	1	1	外部クロック • TPU0：TCLKD端子入力でカウント • TPU6：TCLKH端子入力でカウント

表22.6　TPSC[2:0]ビット（TPU1、TPU7）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1（ユニット0） TPU7（ユニット1）	0	0	0	内部クロック：PCLKD/1でカウント
	0	0	1	内部クロック：PCLKD/4でカウント
	0	1	0	内部クロック：PCLKD/16でカウント
	0	1	1	内部クロック：PCLKD/64でカウント
	1	0	0	外部クロック • TPU1：TCLKA端子入力でカウント • TPU7：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU1：TCLKB端子入力でカウント • TPU7：TCLKF端子入力でカウント
	1	1	0	内部クロック：PCLKD/256でカウント
	1	1	1	• TPU1 TPU2.TCNTカウンタのオーバフロー／アンダフローでカウント • TPU7 TPU8.TCNTカウンタのオーバフロー／アンダフローでカウント

注.　TPU1、TPU7が位相計数モード時、この設定は無効になります。

表22.7　　TPSC[2:0]ビット（TPU2、TPU8）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2 TPU8	0	0	0	内部クロック：PCLKD/1でカウント
	0	0	1	内部クロック：PCLKD/4でカウント
	0	1	0	内部クロック：PCLKD/16でカウント
	0	1	1	内部クロック：PCLKD/64でカウント
	1	0	0	外部クロック • TPU2：TCLKA端子入力でカウント • TPU8：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU2：TCLKB端子入力でカウント • TPU8：TCLKF端子入力でカウント
	1	1	0	外部クロック • TPU2：TCLKC端子入力でカウント • TPU8：TCLKG端子入力でカウント
	1	1	1	内部クロック：PCLKD/1024でカウント

注.　TPU2、TPU8が位相計数モード時、この設定は無効になります。

表22.8　　TPSC[2:0]ビット（TPU3、TPU9）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3 TPU9	0	0	0	内部クロック：PCLKD/1でカウント
	0	0	1	内部クロック：PCLKD/4でカウント
	0	1	0	内部クロック：PCLKD/16でカウント
	0	1	1	内部クロック：PCLKD/64でカウント
	1	0	0	外部クロック • TPU3：TCLKA端子入力でカウント • TPU9：TCLKE端子入力でカウント
	1	0	1	内部クロック：PCLKD/1024でカウント
	1	1	0	内部クロック：PCLKD/256でカウント
	1	1	1	内部クロック：PCLKD/4096でカウント

表22.9　TPSC[2:0]ビット（TPU4、TPU10）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4 TPU10	0	0	0	内部クロック：PCLKD/1でカウント
	0	0	1	内部クロック：PCLKD/4でカウント
	0	1	0	内部クロック：PCLKD/16でカウント
	0	1	1	内部クロック：PCLKD/64でカウント
	1	0	0	外部クロック • TPU4：TCLKA端子入力でカウント • TPU10：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU4：TCLKC端子入力でカウント • TPU10：TCLKG端子入力でカウント
	1	1	0	内部クロック：PCLKD/1024でカウント
	1	1	1	• TPU4 TPU5.TCNTカウンタのオーバフロー／アンダフローでカウント • TPU10 TPU11.TCNTカウンタのオーバフロー／アンダフローでカウント

注.　TPU4、TPU10が位相計数モード時、この設定は無効になります。

表22.10　TPSC[2:0]ビット（TPU5、TPU11）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5 TPU11	0	0	0	内部クロック：PCLKD/1でカウント
	0	0	1	内部クロック：PCLKD/4でカウント
	0	1	0	内部クロック：PCLKD/16でカウント
	0	1	1	内部クロック：PCLKD/64でカウント
	1	0	0	外部クロック • TPU5：TCLKA端子入力でカウント • TPU11：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU5：TCLKC端子入力でカウント • TPU11：TCLKG端子入力でカウント
	1	1	0	内部クロック：PCLKD/256でカウント
	1	1	1	外部クロック • TPU5：TCLKD端子入力でカウント • TPU11：TCLKH端子入力でカウント

注.　TPU5、TPU11が位相計数モード時、この設定は無効になります。

表22.11　CKEG[1:0]ビット

CKEG[1:0]ビット		入力クロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表22.12　CCLR[2:0]ビット（TPU0、TPU3、TPU6、TPU9）

チャネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
（ユニット0）TPU0、TPU3 （ユニット1）TPU6、TPU9	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ／インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ／インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTカウンタをクリア（注2）
	1	0	0	TCNTカウンタのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ／インプットキャプチャでTCNTカウンタクリア（注1）
	1	1	0	TGRDレジスタのコンペアマッチ／インプットキャプチャでTCNTカウンタクリア（注1）
	1	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTカウンタをクリア（注2）

注1.　TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。
注2.　同期動作の設定は、ユニット0のTPUA.TSYRA.SYNCjビット、ユニット1のTPUA.TSYRB.SYNCjビット（j = 0, 3）を“1”にすることによって行います。

表22.13　CCLR[2:0]ビット（TPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11）

チャネル	CCLR[2:0]ビット（注1）			機能
	b7	b6	b5	
（ユニット0）TPU1、TPU2、TPU4、TPU5 （ユニット1）TPU7、TPU8、TPU10、TPU11	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ／インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ／インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTカウンタをクリア（注2）
	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

注1.　ユニット0のTPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタ、ユニット1のTPU7.TCR、TPU8TCR、TPU10.TCR、TPU11.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2.　同期動作の設定は、ユニット0のTPUA.TSYRA.SYNCjビット、ユニット1のTPUA.TSYRB.SYNCjビット（j = 1, 2, 4, 5）を“1”にすることによって行います。

22.2.2　タイマモードレジスタ（TMDR）

TMDR レジスタは、各チャネルの動作モードを設定するレジスタです。

TPU には、各チャネルに 1 本、計 12 本の TMDR レジスタがあります。TMDR レジスタの設定は、TCNT カウンタの動作が停止した状態で行ってください。

アドレス　TPU0.TMDR A008 0111h、TPU1.TMDR A008 0121h、TPU2.TMDR A008 0131h、TPU3.TMDR A008 0141h、TPU4.TMDR A008 0151h、TPU5.TMDR A008 0161h、TPU6.TMDR A008 0191h、TPU7.TMDR A008 01A1h、TPU8.TMDR A008 01B1h、TPU9.TMDR A008 01C1h、TPU10.TMDR A008 01D1h、TPU11.TMDR A008 01E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICSELD	ICSELB	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3（注1） b0 0 0 0 0：通常動作 0 0 1 0：PWMモード1 0 0 1 1：PWMモード2 0 1 0 0：位相計数モード1（注2） 0 1 0 1：位相計数モード2（注2） 0 1 1 0：位相計数モード3（注2） 0 1 1 1：位相計数モード4（注2） 上記以外は設定しないでください	R/W
b4	BFA（注3）	バッファ動作Aビット	0：TPUm.TGRA レジスタは通常動作 1：TPUm.TGRA レジスタと TPUm.TGRC レジスタはバッファ動作 （m = 0, 3, 6, 9）	R/W
b5	BFB（注4）	バッファ動作Bビット	0：TPUm.TGRB レジスタは通常動作 1：TPUm.TGRB レジスタと TPUm.TGRD レジスタはバッファ動作 （m = 0, 3, 6, 9）	R/W
b6	ICSELB	TGRBインプットキャプチャ入力選択ビット	0：インプットキャプチャ入力元はTIOCBn端子 1：インプットキャプチャ入力元はTIOCAn端子（n = 0～11）	R/W
b7	ICSELD（注4）	TGRDインプットキャプチャ入力選択ビット	0：インプットキャプチャ入力元はTIOCDn端子 1：インプットキャプチャ入力元はTIOCCn端子（n = 0, 3, 6, 9）	R/W

注1.　b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2.　TPU0、TPU3、TPU6、TPU9では、位相計数モードの設定はできません。b2は“0”にしてください。
注3.　TGRC レジスタを持たないTPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11では、b4は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注4.　TGRD レジスタを持たないTPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11では、b5、b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

MD[3:0] ビット（モード選択ビット）

タイマの動作モードを設定します。

BFA ビット（バッファ動作 A ビット）

TPUm.TGRA レジスタを通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタを組み合わせてバッファ動作させるかを選択します。（m = 0, 3, 6, 9）

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ／アウトプットコンペアは発生しません。

BFB ビット（バッファ動作 B ビット）

TPUm.TGRB レジスタを通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタを組み合わせてバッファ動作させるかを選択します。（m = 0, 3, 6, 9）

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ／アウトプットコンペアは発生しません。

ICSELB ビット（TGRB インプットキャプチャ入力選択ビット）

TPUm.TGRB レジスタのインプットキャプチャ入力を選択します。この機能を使用して 1 本の TIOCAn 入力端子で入力パルスの High 幅と周期を測定できます。（m = 0 ～ 11）

ICSELD ビット（TGRD インプットキャプチャ入力選択ビット）

TPUm.TGRD レジスタのインプットキャプチャ入力を選択します。（m = 0, 3, 6, 9）

この機能を使用して 1 本の TIOCCn 入力端子で入力パルスの High 幅と周期を測定できます。

22.2.3　タイマ I/O コントロールレジスタ（TIORH、TIORL、TIOR）

TPU には、TPU0、TPU3、TPU6、TPU9 に各 1 本、計 4 本の TIORH レジスタ、TPU0、TPU3、TPU6、TPU9 に各 1 本、計 4 本の TIORL レジスタ、TPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11 に各 1 本、計 8 本の TIOR レジスタがあります。総計 16 本のタイマ I/O コントロールレジスタがあります。

TIORH、TIORL、TIOR レジスタは、TGRA ～ TGRD レジスタを制御します。

TIORH、TIORL、TIOR レジスタは、TMDR レジスタの設定の影響を受けますので注意してください。

詳細は**表 22.14 ～表 22.21** を参照してください。

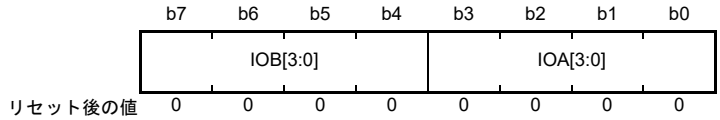
TIORH、TIORL、TIOR レジスタで指定した初期出力は、カウンタのカウント動作が停止した状態（ユニット 0 の TPUA.TSTRA.CSTj ビット、ユニット 1 の TPUA.TSTRB.CSTj ビット（j = 0 ～ 5）が “0”）で有効になります。また、PWM モード 2 の場合の初期出力には、TCNT カウンタが “0” になった時点での出力を指定します。

TGRC レジスタまたは TGRD レジスタをバッファ動作に設定した場合、IOC[3:0] ビットまたは IOD[3:0] ビットで設定したレジスタの機能は無効となり、TGRC レジスタまたは TGRD レジスタはバッファレジスタとして動作します。

TIORH、TIORL、TIOR レジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のポート方向レジスタ（PDR）のビットを “0”（入力ポート）に、ポートモードレジスタ（PMR）のビットを “1”（周辺機能として機能）にしてください。詳細は、**「17.　I/O ポート」**を参照してください。

- TPU0.TIORH、TPU1.TIOR、TPU2.TIOR、TPU3.TIORH、TPU4.TIOR、TPU5.TIOR、TPU6.TIORH、TPU7.TIOR、TPU8.TIOR、TPU9.TIORH、TPU10.TIOR、TPU11.TIOR

アドレス　TPU0.TIORH A008 0112h、TPU1.TIOR A008 0122h、TPU2.TIOR A008 0132h、TPU3.TIORH A008 0142h、TPU4.TIOR A008 0152h、TPU5.TIOR A008 0162h、TPU6.TIORH A008 0192h、TPU7.TIOR A008 01A2h、TPU8.TIOR A008 01B2h、TPU9.TIORH A008 01C2h、TPU10.TIOR A008 01D2h、TPU11.TIOR A008 01E2h

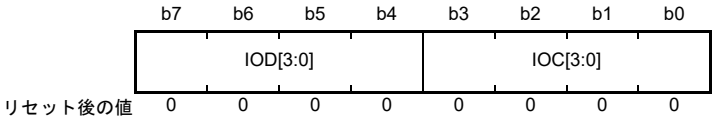


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRA レジスタコントロールビット	表 22.14 ～表 22.19 を参照してください。（注 1）	R/W
b7-b4	IOB[3:0]	TGRB レジスタコントロールビット	表 22.14 ～表 22.19 を参照してください。（注 1）	R/W

注 1.　コンペアマッチで Low／High／トグル出力中に、IOn[3:0] ビット（n = A、B）の値を出力禁止（“0000b” または “0100b”）へ変更すると Hi-Z になります。

- TPU0.TIORL、TPU3.TIORL、TPU6.TIORL、TPU9.TIORL

アドレス　TPU0.TIORL A008 0113h、TPU3.TIORL A008 0143h、TPU6.TIORL A008 0193h、TPU9.TIORL A008 01C3h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRC レジスタコントロールビット	表22.20、表22.21を参照してください。（注1）	R/W
b7-b4	IOD[3:0]	TGRD レジスタコントロールビット	表22.20、表22.21を参照してください。（注1）	R/W

注1.　コンペアマッチでLow／High／トグル出力中に、IOn[3:0]ビット（n = C、D）の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

IOA[3:0] ビット（TGRA レジスタコントロールビット）

TPUm.TGRA レジスタ（m = 0 ～ 11）の機能を選択します。

IOB[3:0] ビット（TGRB レジスタコントロールビット）

TPUm.TGRB レジスタ（m = 0 ～ 11）の機能を選択します。

IOC[3:0] ビット（TGRC レジスタコントロールビット）

TPUm.TGRC レジスタ（m = 0, 3, 6, 9）の機能を選択します。

IOD[3:0] ビット（TGRD レジスタコントロールビット）

TPUm.TGRD レジスタ（m = 0, 3, 6, 9）の機能を選択します。

表22.14　　TPU0.TIORH、TPU6.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m = 0, 6)の機能	TIOCAn端子（n = 0, 6）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1）

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m = 0, 6)の機能	TIOCBn端子（n = 0, 6）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn／TIOCAn端子（注2）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn／TIOCAn端子（注2）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn／TIOCAn端子（注2）、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1）

x：Don't care

注1.　TPUm.TCR.TPSC[2:0]ビットを"000b"とし、TPUm.TCNTカウンタのカウントクロックにPCLKD/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません（m = 1, 7）。

注2.　TPUm.TMDR.ICSELBビットで選択します（m = 0, 6）。

表22.15　　TPU1.TIOR、TPU7.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m = 1, 7)の機能	TIOCAn端子（n = 1, 7）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU1の場合 キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ／インプットキャプチャ TPU0.TGRAレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ • TPU7の場合 キャプチャ入力元はTPU6.TGRAレジスタのコンペアマッチ／インプットキャプチャ TPU6.TGRAレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m = 1, 7)の機能	TIOCBn端子（n = 1, 7）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、両エッジでインプットキャプチャ
1	1	x	x		• TPU1の場合 キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ／インプットキャプチャ TPU0.TGRCレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ • TPU7の場合 キャプチャ入力元はTPU6.TGRCレジスタのコンペアマッチ／インプットキャプチャ TPU6.TGRCレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m = 1, 7）。

表22.16　　TPU2.TIOR、TPU8.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m = 2, 8)の機能	TIOCAn端子（n = 2, 8）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m = 2, 8)の機能	TIOCBn端子（n = 2, 8）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、両エッジでインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m = 2, 8）。

表22.17　TPU3.TIORH、TPU9.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m = 3, 9)の機能	TIOCAn端子（n = 3, 9）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1） • TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1）

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m = 3, 9)の機能	TIOCBn端子（n = 3, 9）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn／TIOCAn端子（注2）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn／TIOCAn端子（注2）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn／TIOCAn端子（注2）、両エッジでインプットキャプチャ
1	1	x	x		• TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1） • TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注1）

x：Don't care

注1.　TPUm.TCR.TPSC[2:0]ビットを"000b"とし、TPUm.TCNTのカウントクロックにPCLKD/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません（m = 4, 10）。

注2.　TPUm.TMDR.ICSELBビットで選択します（m = 3, 9）。

表22.18　　TPU4.TIOR、TPU10.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m = 4, 10)の機能	TIOCAn端子（n = 4, 10）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU4の場合 キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ／インプットキャプチャ TPU3.TGRAレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ • TPU10の場合 キャプチャ入力元はTPU9.TGRAレジスタのコンペアマッチ／インプットキャプチャ TPU9.TGRAレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m = 4, 10)の機能	TIOCBn端子（n = 4, 10）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、両エッジでインプットキャプチャ
1	1	x	x		• TPU4の場合 キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ／インプットキャプチャ TPU3.TGRCレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ • TPU10の場合 キャプチャ入力元はTPU9.TGRCレジスタのコンペアマッチ／インプットキャプチャ TPU9.TGRCレジスタのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m = 4, 10）。

表22.19　　TPU5.TIOR、TPU11.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m = 5, 11)の機能	TIOCAn端子（n = 5, 11）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m = 5, 11)の機能	TIOCBn端子（n = 5, 11）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCBn／TIOCAn端子（注1）、両エッジでインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m = 5, 11）。

表22.20　TPU0.TIORL、TPU6.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRCレジスタ(m = 0, 6)の機能	TIOCCn端子（n = 0, 6）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3）

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRDレジスタ(m = 0, 6)の機能	TIOCDn端子（n = 0, 6）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注2）	キャプチャ入力元はTIOCDn／TIOCCn端子（注4）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn／TIOCCn端子（注4）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn／TIOCCn端子（注4）、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3）

x：Don't care

注1.　TPUm.TMDR.BFAビットを"1"（TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作）にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません（m = 0, 6）。

注2.　TPUm.TMDR.BFBビットを"1"（TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作）にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません（m = 0, 6）。

注3.　TPUm.TCR.TPSC[2:0]ビットを"000b"とし、TPUm.TCNTカウンタのカウントクロックにPCLKD/1を使用した場合は、こ

の設定は無効となり、インプットキャプチャは発生しません（m = 1, 7）。
注4.　TPUm.TMDR.ICSELDビットの設定で選択します（m = 0, 6）。

表22.21　TPU3.TIORL、TPU9.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRCレジスタ (m = 3, 9)の機能	TIOCCn端子（n = 3, 9）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3） TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3）

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRDレジスタ (m = 3, 9)の機能	TIOCDn端子（n = 3, 9）の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注2）	キャプチャ入力元はTIOCDn／TIOCCn端子（注4）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn／TIOCCn端子（注4）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn／TIOCCn端子（注4）、両エッジでインプットキャプチャ
1	1	X	x		TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3） TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント／カウントダウンでインプットキャプチャ（注3）

x：Don’t care
注1.　TPUm.TMDR.BFAビットを“1”（TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作）にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ／アウトプットコンペア

は発生しません（m = 3, 9）。

注2.　TPUm.TMDR.BFBビットを“1”（TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作）にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません（m = 3, 9）。

注3.　TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTのカウントクロックにPCLKD/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません（m = 4, 10）。

注4.　TPUm.TMDR.ICSELDビットの設定で選択します（m = 3, 9）。

22.2.4　タイマ割り込み許可レジスタ（TIER）

TPU には、各チャネルに 1 本、計 12 本の TIER レジスタがあります。

TPUAm.TIER レジスタは、各チャネルの割り込みの許可、禁止を制御するレジスタです（m = 0 ～ 11）。

アドレス　TPU0.TIER A008 0114h、TPU1.TIER A008 0124h、TPU2.TIER A008 0134h、TPU3.TIER A008 0144h、TPU4.TIER A008 0154h、TPU5.TIER A008 0164h、TPU6.TIER A008 0194h、TPU7.TIER A008 01A4h、TPU8.TIER A008 01B4h、TPU9.TIER A008 01C4h、TPU10.TIER A008 01D4h、TPU11.TIER A008 01E4h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA割り込み許可ビット	0：割り込み（TGImA）を禁止 1：割り込み（TGImA）を許可 （m = 0～11）	R/W
b1	TGIEB	TGRB割り込み許可ビット	0：割り込み（TGImB）を禁止 1：割り込み（TGImB）を許可 （m = 0～11）	R/W
b2	TGIEC （注1）	TGRC割り込み許可ビット	0：割り込み（TGImC）を禁止 1：割り込み（TGImC）を許可 （m = 0, 3, 6, 9）	R/W
b3	TGIED （注1）	TGRD割り込み許可ビット	0：割り込み（TGImD）を禁止 1：割り込み（TGImD）を許可 （m = 0, 3, 6, 9）	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み（TCImV）を禁止 1：割り込み（TCImV）を許可 （m = 0～11）	R/W
b5	TCIEU （注2）	アンダフロー割り込み許可ビット	0：割り込み（TCImU）を禁止 1：割り込み（TCImU）を許可 （m = 1, 2, 4, 5, 7, 8, 10, 11）	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b7	TTGE （注3）	A/D変換開始要求許可ビット	0：A/D変換開始要求の発生を禁止 1：A/D変換開始要求の発生を許可	R/W

注1.　ユニット0のTPU1.TIER、TPU2.TIER、TPU4.TIER、TPU5.TIER レジスタ、ユニット1のTPU7.TIER、TPU8.TIER、TPU10.TIER、TPU11.TIER レジスタのb3、b2は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2.　ユニット0のTPU0.TIER、TPU3.TIER レジスタ、ユニット1のTPU6.TIER、TPU9.TIER レジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3.　ユニット0のTPU5.TIER レジスタ、ユニット1のTPU11.TIER レジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TGIEA ビット（TGRA 割り込み許可ビット）

割り込み（TGImA）を許可または禁止します（m = 0 ～ 11）。

TGIEB ビット（TGRB 割り込み許可ビット）

割り込み（TGImB）を許可または禁止します（m = 0 ～ 11）。

TGIEC ビット（TGRC 割り込み許可ビット）

割り込み（TGImC）を許可または禁止します（m = 0, 3, 6, 9）。

TGIED ビット（TGRD 割り込み許可ビット）

割り込み（TGImD）を許可または禁止します（m = 0, 3, 6, 9）。

TCIEV ビット（オーバフロー割り込み許可ビット）

割り込み（TCImV）を許可または禁止します（m = 0 ～ 11）。

TCIEU ビット（アンダフロー割り込み許可ビット）

割り込み（TCImU）を許可または禁止します（m = 1, 2, 4, 5, 7, 8, 10, 11）。

TTGE ビット（A/D 変換開始要求許可ビット）

TPUm.TGRA レジスタ（m = 0 ～ 4、6 ～ 10）のインプットキャプチャ／コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

22.2.5　タイマステータスレジスタ（TSR）

TPU には、各チャネルに 1 本、計 12 本の TSR レジスタがあります。

TPUm.TSR レジスタは、各チャネルのステータスおよび TPUm.TCNT カウンタのカウント方向を表示するレジスタです（m = 0 ～ 11）。

アドレス　TPU0.TSR A008 0115h、TPU1.TSR A008 0125h、TPU2.TSR A008 0135h、TPU3.TSR A008 0145h、TPU4.TSR A008 0155h、TPU5.TSR A008 0165h、TPU6.TSR A008 0195h、TPU7.TSR A008 01A5h、TPU8.TSR A008 01B5h、TPU9.TSR A008 01C5h、TPU10.TSR A008 01D5h、TPU11.TSR A008 01E5h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ／アウトプットコンペアフラグA	0：TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 （m = 0～11）	R/W（注2）
b1	TGFB	インプットキャプチャ／アウトプットコンペアフラグB	0：TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 （m = 0～11）	R/W（注2）
b2	TGFC（注4）	インプットキャプチャ／アウトプットコンペアフラグC	0：TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 （m = 0, 3, 6, 9）	R/W（注2）
b3	TGFD（注4）	インプットキャプチャ／アウトプットコンペアフラグD	0：TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 （m = 0, 3, 6, 9）	R/W（注2）
b4	TCFV	オーバフローフラグ	0：TPUm.TCNTのオーバフローが発生していない 1：TPUm.TCNTのオーバフローが発生 （m = 0～11）	R/W（注2）
b5	TCFU（注3）	アンダフローフラグ	0：TPUm.TCNTのアンダフローが発生していない 1：TPUm.TCNTのアンダフローが発生 （m = 1, 2, 4, 5, 7, 8, 10, 11）	R/W（注2）
b6	—	予約ビット	読むと“1”が読めます。	R
b7	TCFD（注1）	カウント方向フラグ	0：TPUm.TCNTカウンタはダウンカウント 1：TPUm.TCNTカウンタはアップカウント （m = 1, 2, 4, 5, 7, 8, 10, 11）	R

注1.　ユニット0のTPU0.TSR、TPU3.TSRレジスタ、ユニット1のTPU6.TSR、TPU9.TSRレジスタのb7は、予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。
注2.　フラグをクリアするための“0”を書くことのみ可能です。
注3.　ユニット0のTPU0.TSR、TPU3.TSRレジスタ、ユニット1のTPU6.TSR、TPU9.TSRレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注4.　ユニット0のTPU1.TSR、TPU2.TSR、TPU4.TSR、TPU5.TSRレジスタ、ユニット1のTPU7.TSR、TPU8.TSR、TPU10.TSR、TPU11.TSRレジスタのb2、b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TGFA フラグ（インプットキャプチャ／アウトプットコンペアフラグ A）

TPUm.TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m = 0 ～ 11）
[“1” になる条件]

- TPUm.TGRA がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRA になったとき
- TPUm.TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRA に転送されたとき

[“0” になる条件]

- TGFA = 1 を読んだ後、TGFA フラグに “0” を書いたとき

TGFB フラグ（インプットキャプチャ／アウトプットコンペアフラグ B）

TPUm.TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m = 0 ～ 11）
[“1” になる条件]

- TPUm.TGRB がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRB になったとき
- TPUm.TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRB に転送されたとき

[“0” になる条件]

- TGFB = 1 を読んだ後、TGFB フラグに “0” を書いたとき

TGFC フラグ（インプットキャプチャ／アウトプットコンペアフラグ C）

TPUm.TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m = 0, 3, 6, 9）
[“1” になる条件]

- TPUm.TGRC がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRC になったとき
- TPUm.TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRC に転送されたとき

[“0” になる条件]

- TGFC = 1 を読んだ後、TGFC フラグに “0” を書いたとき

TGFD フラグ（インプットキャプチャ／アウトプットコンペアフラグ D）

TPUm.TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m = 0, 3, 6, 9）
[“1” になる条件]

- TPUm.TGRD がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT = TPUm.TGRD になったとき
- TPUm.TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRD に転送されたとき

[“0” になる条件]

- TGFD = 1 を読んだ後、TGFD フラグに “0” を書いたとき

TCFV フラグ（オーバフローフラグ）

TPUm.TCNT（m = 0 ～ 11）のオーバフローの発生を示すステータスフラグです。
[“1” になる条件]

- TPUm.TCNT の値がオーバフローしたとき（FFFFh → 0000h）

[“0” になる条件]

- TCFV = 1 を読んだ後、TCFV フラグに “0” を書いたとき

TCFU フラグ（アンダフローフラグ）

TPUm.TCNT（m = 1, 2, 4, 5, 7, 8, 10, 11）のアンダフローの発生を示すステータスフラグです。
[“1” になる条件]

- TPUm.TCNT の値がアンダフローしたとき（0000h → FFFFh）

[“0” になる条件]

- TCFU = 1 を読んだ後、TCFU フラグに “0” を書いたとき

22.2.6　タイマカウンタ（TCNT）

TPUm.TCNT カウンタは、内部クロックまたは外部イベントをカウントできる 16 ビットのカウンタです（m = 0 ～ 11）。

16 ビット単位で読み出し／書き込みが可能です。

リセット時に “0000h” になります。

アドレス　TPU0.TCNT A008 0116h、TPU1.TCNT A008 0126h、TPU2.TCNT A008 0136h、TPU3.TCNT A008 0146h、TPU4.TCNT A008 0156h、TPU5.TCNT A008 0166h、TPU6.TCNT A008 0196h、TPU7.TCNT A008 01A6h、TPU8.TCNT A008 01B6h、TPU9.TCNT A008 01C6h、TPU10.TCNT A008 01D6h、TPU11.TCNT A008 01E6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

22.2.7　タイマジェネラルレジスタ A（TGRA）
タイマジェネラルレジスタ B（TGRB）
タイマジェネラルレジスタ C（TGRC）
タイマジェネラルレジスタ D（TGRD）

TPU には、TPU0、3、6、9 に各 4 本、TPU1、2、4、5、7、8、10、11 に各 2 本、計 32 本のタイマジェネラルレジスタがあります。

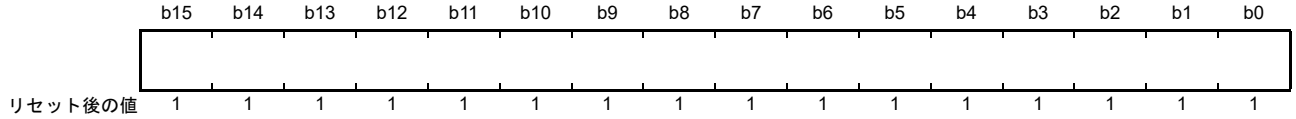
TPUm.TGRA（m = 0 ～ 11）、TPUm.TGRB（m = 0 ～ 11）、TPUm.TGRC（m = 0, 3, 6, 9）、TPUm.TGRD（m = 0, 3, 6, 9）レジスタは、16 ビットのアウトプットコンペア／インプットキャプチャ兼用のレジスタです。

16 ビット単位で読み出し／書き込みが可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

アドレス

TPU0.TGRA A008 0118h、TPU0.TGRB A008 011Ah、TPU0.TGRC A008 011Ch、TPU0.TGRD A008 011Eh、
TPU1.TGRA A008 0128h、TPU1.TGRB A008 012Ah、TPU2.TGRA A008 0138h、TPU2.TGRB A008 013Ah、
TPU3.TGRA A008 0148h、TPU3.TGRB A008 014Ah、TPU3.TGRC A008 014Ch、TPU3.TGRD A008 014Eh、
TPU4.TGRA A008 0158h、TPU4.TGRB A008 015Ah、TPU5.TGRA A008 0168h、TPU5.TGRB A008 016Ah、
TPU6.TGRA A008 0198h、TPU6.TGRB A008 019Ah、TPU6.TGRC A008 019Ch、TPU6.TGRD A008 019Eh、
TPU7.TGRA A008 01A8h、TPU7.TGRB A008 01AAh、TPU8.TGRA A008 01B8h、TPU8.TGRB A008 01BAh、
TPU9.TGRA A008 01C8h、TPU9.TGRB A008 01CAh、TPU9.TGRC A008 01CCh、TPU9.TGRD A008 01CEh、
TPU10.TGRA A008 01D8h、TPU10.TGRB A008 01DAh、TPU11.TGRA A008 01E8h、TPU11.TGRB A008 01EAh



22.2.8　タイマスタートレジスタ（TSTRA, TSTRB）

TSTRA レジスタは、TPU0 ～ 5 の TCNT カウンタの動作／停止を選択するレジスタです。

TSTRB レジスタは、TPU6 ～ 11 の TCNT カウンタの動作／停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタで TPUm.TCNT カウンタのカウントクロックを設定する場合は、TPUm.TCNT カウンタのカウント動作を停止させてから行ってください。

アドレス　TPUA.TSTRA A008 0100h、TPUA.TSTRB A008 0180h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：TCNTカウンタのカウント動作は停止 1：TCNTカウンタはカウント動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CSTn ビット（カウンタスタートビット）（n = 0 ～ 5）

TCNT カウンタの動作／停止を選択します。

CSTn ビットが “1” で、対応する TIOCyn 端子（y = A ～ D、n = 0 ～ 5）が出力状態のときに、CSTn ビットを “0” にするとカウント動作は停止しますが、対応する TIOCyn 端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが “0” のとき、TIORH、TIORL、TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

22.2.9　タイマシンクロレジスタ（TSYRA, TSYRB）

TPUA.TSYRA レジスタは、TPU0 ～ 5 の TCNT カウンタの単独動作または同期動作を選択するレジスタです。また、TPUA.TSYRB レジスタは、TPU6 ～ 11 の TCNT カウンタの単独動作または同期動作を選択するレジスタです。

アドレス　TPUA.TSYRA A008 0101h、TPUA.TSYRB A008 0181h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：TCNTカウンタは単独動作 （TCNTカウンタのプリセット／クリアは、他のチャネルとは無関係） 1：TCNTカウンタは同期動作（注1） （TCNTカウンタの同期プリセット／同期クリアが可能）	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　同期動作の設定には、最低2チャネルのSYNCnビット（n = 0～5）を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

SYNCn ビット（タイマ同期ビット）（n = 0 ～ 5）

TCNT カウンタが他のチャネルの TCNT カウンタと同期動作をするか、単独動作にするかを選択します。

同期動作を選択すると、複数の TCNT カウンタの同期プリセットや、他のチャネルのカウンタクリアによる同期クリアが可能となります。

22.2.10　ノイズフィルタコントロールレジスタ（NFCR）

TPU には、各チャネルに 1 本、計 12 本のノイズフィルタコントロールレジスタがあります。

TPUm.NFCR レジスタは、各チャネルのインプットキャプチャ信号のノイズフィルタを制御するレジスタです。TPUm.NFCR レジスタの設定は、TPUm.TCNT カウンタの動作が停止した状態で行ってください。（m = 0 ～ 11）

アドレス　TPU0.NFCR A008 0108h、TPU1.NFCR A008 0109h、TPU2.NFCR A008 010Ah、TPU3.NFCR A008 010Bh、TPU4.NFCR A008 010Ch、TPU5.NFCR A008 010Dh、TPU6.NFCR A008 0188h、TPU7.NFCR A008 0189h、TPU8.NFCR A008 018Ah、TPU9.NFCR A008 018Bh、TPU10.NFCR A008 018Ch、TPU11.NFCR A008 018Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ許可Aビット	0：TIOCAmのノイズフィルタは停止 1：TIOCAmのノイズフィルタは許可 （m = 0～11）	R/W
b1	NFBEN	ノイズフィルタ許可Bビット	0：TIOCBmのノイズフィルタは停止 1：TIOCBmのノイズフィルタは許可 （m = 0～11）	R/W
b2	NFCEN（注1）	ノイズフィルタ許可Cビット	0：TIOCCmのノイズフィルタは停止 1：TIOCCmのノイズフィルタは許可 （m = 0, 3, 6, 9）	R/W
b3	NFDEN（注1）	ノイズフィルタ許可Dビット	0：TIOCDmのノイズフィルタは停止 1：TIOCDmのノイズフィルタは許可 （m = 0, 3, 6, 9）	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00：PCLKD/1 01：PCLKD/8 10：PCLKD/32 11：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込む場合は、“0”を書き込んでください。	R/W

注1.　ユニット0のTPU1.NFCR、TPU2.NFCR、TPU4.NFCR、TPU5.NFCRレジスタ、ユニット1のTPU7.NFCR、TPU8.NFCR、TPU10.NFCR、TPU11.NFCRレジスタのb2、b3は予約ビットです。読むと“0”が読めます。書き込みはできません。

NFAEN ビット（ノイズフィルタ許可 A ビット）

TIOCAm 端子のノイズフィルタを許可または停止します。（m = 0 ～ 11）

NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ許可 B ビット）

TIOCBm 端子のノイズフィルタを許可または停止します。（m = 0 ～ 11）

NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ許可 C ビット）

TIOCCm 端子のノイズフィルタを許可または停止します。（m = 0, 3, 6, 9）

NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ許可 D ビット）

TIOCDm 端子のノイズフィルタを許可または停止します。（m = 0, 3, 6, 9）

NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロック選択ビット）

ノイズフィルタのサンプリングクロックを選択します。

NFCS[1:0] ビットを “11b” としてカウントソースを選択した場合、サンプリングクロックの対象となるのは、TPSC[2:0] ビットで設定される PCLKD/1 以外の内部クロックおよび外部クロックです。カウンタクロックとサンプリングクロックを両方とも PCLKD/1 にしたい場合は、NFCS[1:0] ビットを “00b” としてください。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号として通過し、一致しない場合は前のレベルを保持します。

NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

22.2.11　PWM フィードバック選択レジスタ（PWMFBSLR）

PWMFBSLR レジスタは、TPU の内部 PWM フィードバック入力機能を制御するレジスタです。

MTU3a、GPTa を使用して生成する PWM 信号出力のいずれかを、本 LSI 内部を経由してインプットキャプチャ入力として取り込み、PWM 波形の周期やデューティの測定が可能です。

アドレス　TPUSL.PWMFBSLR A008 0200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FBSL1[2:0]			—	TPU1EN	—	—	—	FBSL0[2:0]			—	TPU0EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPU0EN	TPU（ユニット0）内部PWM フィードバック許可ビット（注1）	0：禁止（TPUのインプットキャプチャは通常のTIOCAn／TIOCBn端子（n = 0～5）） 1：許可（内部PWMフィードバック入力を選択可）	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4-b2	FBSL0[2:0]	内部PWMフィードバック入力元選択0ビット	100：MTU3およびMTU4 のPWM出力信号（LSI内部） 101：MTU6およびMTU7 のPWM出力信号（LSI内部） 110：GPT0～GPT2 のPWM出力信号（LSI内部） 上記以外は設定しないでください。	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	TPU1EN	TPU（ユニット1）内部PWM フィードバック許可ビット	0：禁止（TPUのインプットキャプチャはTIOCAn／TIOCBn端子（n = 6～11）） 1：許可（内部PWMフィードバック入力を選択可）	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12-b10	FBSL1[2:0]	PWMフィードバック入力元選択1ビット	100：MTU3およびMTU4のPWM出力信号（LSI内部） 101：MTU6およびMTU7のPWM出力信号（LSI内部） 110：GPT0～GPT2 のPWM出力信号（LSI内部） 上記以外は設定しないでください。	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　必ずFBSL0[2:0]、FBSL1[2:0]ビットで使用するPWMフィードバック入力元の選択を有効とした後に、TPUnENビットをセットして内部PWMフィードバック入力を許可してください。リセット後はFBSL0[2:0]、FBSL1[2:0]の設定値は000h（設定禁止）です。TPUnENビットのセットと、FBSL0[2:0]、FBSL1[2:0]の設定を同時に行うことは可能です。

TPUnEN（TPU ユニット n 内部 PWM フィードバック許可ビット）（n = 0, 1）

TPU の内部 PWM フィードバック入力の使用許可を選択します。

許可した場合（= 1b）、FBSLn ビットで選択した PWM 信号が LSI 内部を経由して TPU のインプットキャプチャ信号として入力されます。この場合、TIOCAm 端子、TIOCBm 端子からの入力信号はインプットキャプチャ信号として取り込まれません（n = 0 のとき m = 0 ～ 5、n = 1 のとき m = 6 ～ 11）。

禁止にした場合（= 0b）、TIOCAm 端子、TIOCBm 端子の入力信号がインプットキャプチャ信号として入力されます。

通常のインプットキャプチャとして使用する場合は禁止（= 0b）に設定してください。

本ビットを使用する場合、TPU 各チャネルの TGRA と TGRB をインプットキャプチャに設定してください。

また、本ビットは TPU の動作を停止させた状態で設定してください。

FBSLn（内部 PWM フィードバック入力元選択 n ビット）（n = 0, 1）

TPU に入力される内部 PWM フィードバックの入力元を、MTU3 および MTU4、MTU6 および MTU7、GPT 0 ～ GPT2 から選択します。

TPUnEN ビットを禁止（= 0b）に設定した場合、FBSLn ビットの設定値は無効です。

本ビットを使用する場合、TPU 各チャネルの TGRA と TGRB をインプットキャプチャに設定してください。また、本ビットは TPU の動作を停止させた状態で設定してください。

図 22.3 に PWM フィードバック設定と TPU インプットキャプチャの構成を、また PWM フィードバック設置時の TPU インプットキャプチャ信号と各入出力端子の対応を表 22.22 に示します。

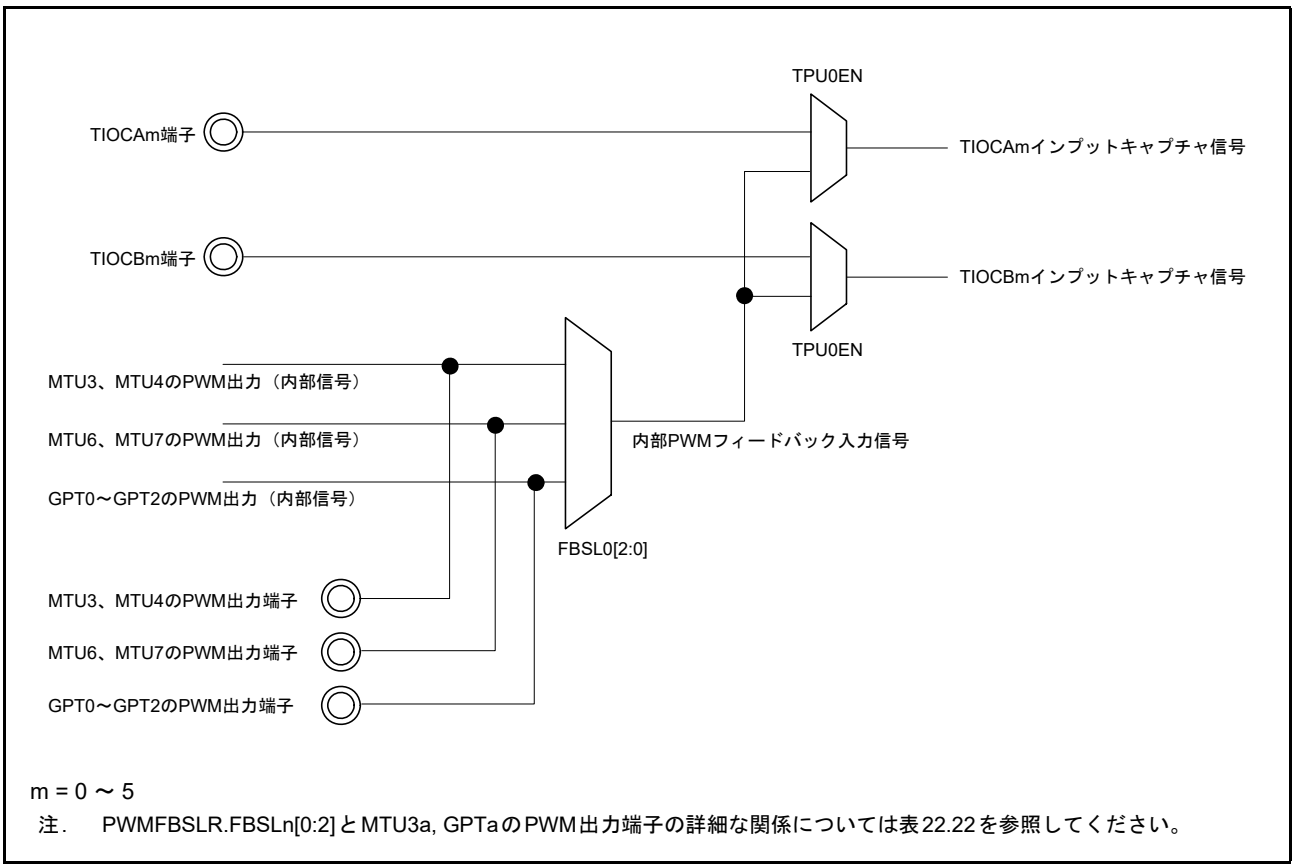


図 22.3　PWM フィードバック設定と TPU インプットキャプチャの構成（ユニット 0 の例）

表22.22　PWMフィードバック設定とTPUインプットキャプチャ入力端子対応表（n = 0, 1）

TPUインプットキャプチャ信号	内部PWMフィードバック入力禁止（TPUnENビット= 0）	内部PWMフィードバック入力許可（TPUnENビット= 1）		
	TPUインプットキャプチャ端子	MTU3, MTU4のPWM出力端子（FBSLn[2:0] = 100b）	MTU6, MTU7のPWM出力端子（FBSLn[2:0] = 101b）	GPT0～GPT2のPWM出力端子（FBSLn[2:0] = 110b）
TIOCA0	TIOCA0	MTIOC3B	MTIOC6B	GTIOC0A
TIOCB0	TIOCB0	MTIOC3B	MTIOC6B	GTIOC0A
TIOCA1	TIOCA1	MTIOC3D	MTIOC6D	GTIOC0B
TIOCB1	TIOCB1	MTIOC3D	MTIOC6D	GTIOC0B
TIOCA2	TIOCA2	MTIOC4A	MTIOC7A	GTIOC1A
TIOCB2	TIOCB2	MTIOC4A	MTIOC7A	GTIOC1A
TIOCA3	TIOCA3	MTIOC4C	MTIOC7C	GTIOC1B
TIOCB3	TIOCB3	MTIOC4C	MTIOC7C	GTIOC1B
TIOCA4	TIOCA4	MTIOC4B	MTIOC7B	GTIOC2A
TIOCB4	TIOCB4	MTIOC4B	MTIOC7B	GTIOC2A
TIOCA5	TIOCA5	MTIOC4D	MTIOC7D	GTIOC2B
TIOCB5	TIOCB5	MTIOC4D	MTIOC7D	GTIOC2B

22.3　動作説明

22.3.1　　概要

各チャネルには、TPUm.TCNT カウンタと TPUm.TGRy レジスタ（y = A ～ D）があります。

TCNT カウンタは、16 ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1)　カウンタの動作

ユニット 0 の TSTRA.CSTj ビット、ユニット 1 の TSTRB.CSTj ビット（j = 0 ～ 5）を “1” にすると、対応するチャネルの TCNT カウンタはカウント動作を開始します。

(a)　カウント動作の設定手順例

カウント動作設定手順例を図 22.4 に示します。

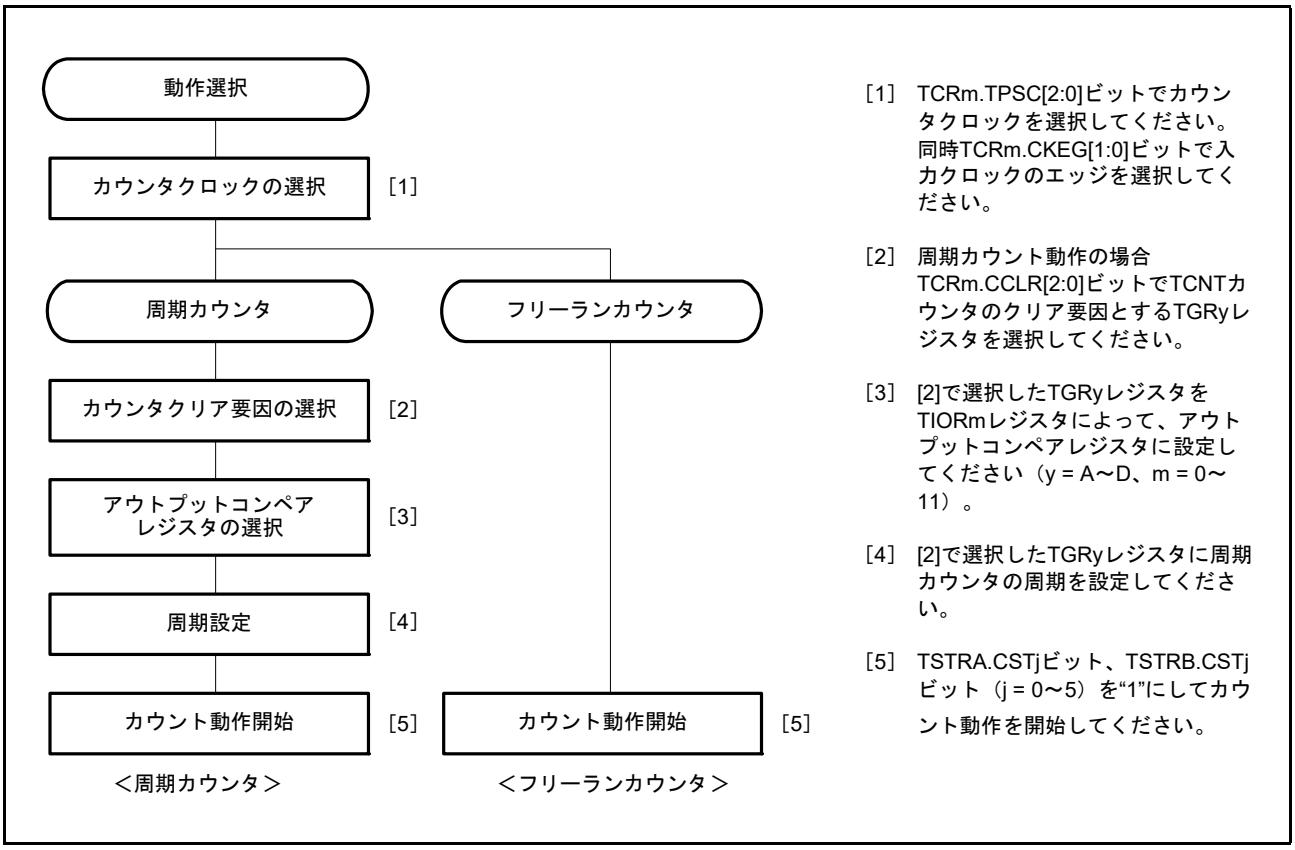


図 22.4　　カウント動作設定手順例

(b)　フリーランカウント動作と周期カウント動作

TPUm.TCNT カウンタは、リセット直後はすべてフリーランカウンタの設定となっており、ユニット 0 の TSTRA またはユニット 1 の TSTRB レジスタの対応するビットを “1” にするとフリーランカウンタとしてアップカウントを開始します。TCNT カウンタがオーバフロー（“FFFFh” → “0000h”）すると、TPU はオーバフロー割り込み（TCImV）を要求します。TCNT カウンタはオーバフロー後、“0000h” からアップカウントを継続します（m = 0 ～ 11）。

フリーランカウンタの動作を図 22.5 に示します。

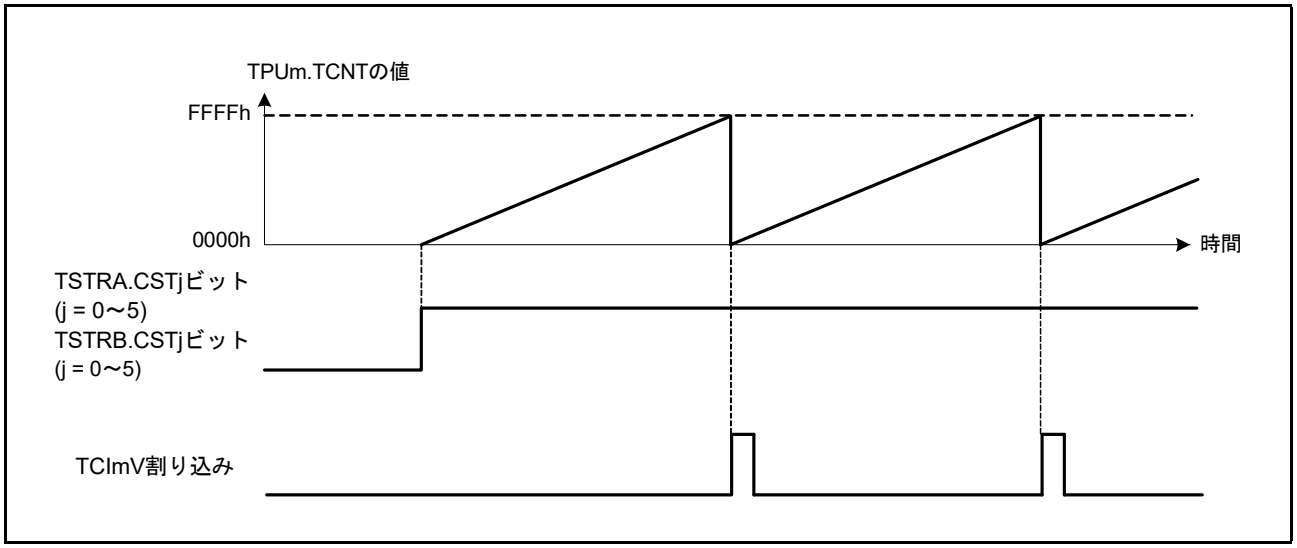


図 22.5　　フリーランカウンタの動作

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT カウンタは周期カウント動作を行います。周期設定用の TPUm.TGRy レジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0] ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB レジスタの対応するビットを “1” にすると、周期カウンタとしてアップカウントを開始します。カウント値が TGRy レジスタの値と一致すると TCNT カウンタは “0000h” になります。

このとき、TPU は TGRy 割り込み（TGImy）を要求します。TCNT カウンタはコンペアマッチ後、“0000h” からアップカウントを継続します（m = 0 ～ 11）。

周期カウンタの動作を図 22.6 に示します。

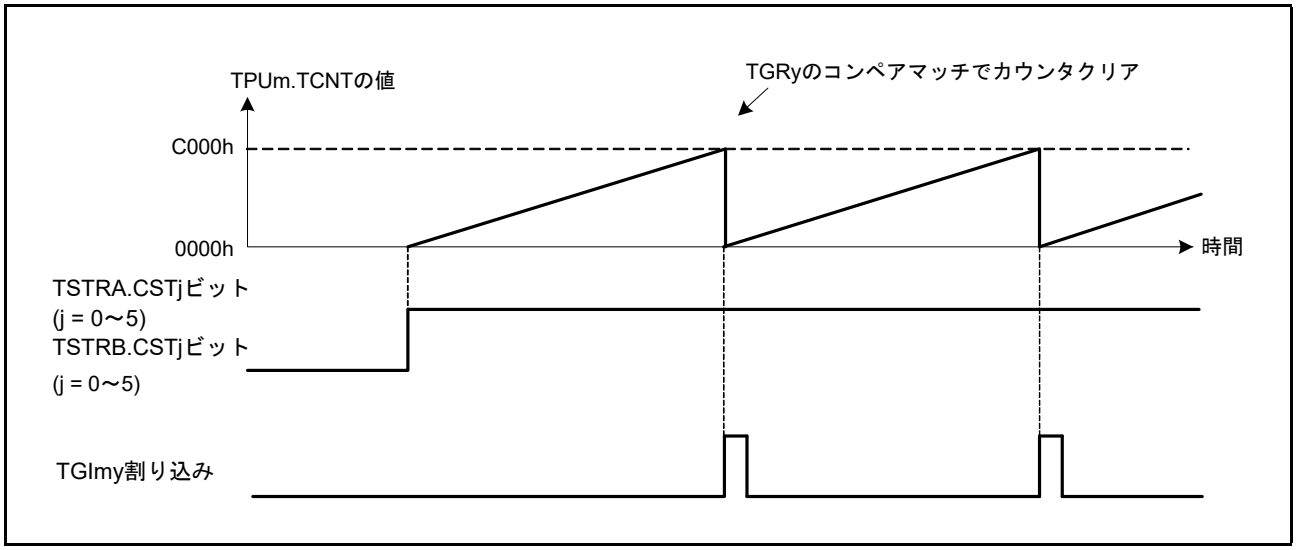


図 22.6　　周期カウンタの動作

(2)　コンペアマッチによる波形出力機能

TPU は、コンペアマッチによって対応する出力端子から Low 出力／ High 出力／トグル出力を行うことができます。

(a)　コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 22.7 に示します。

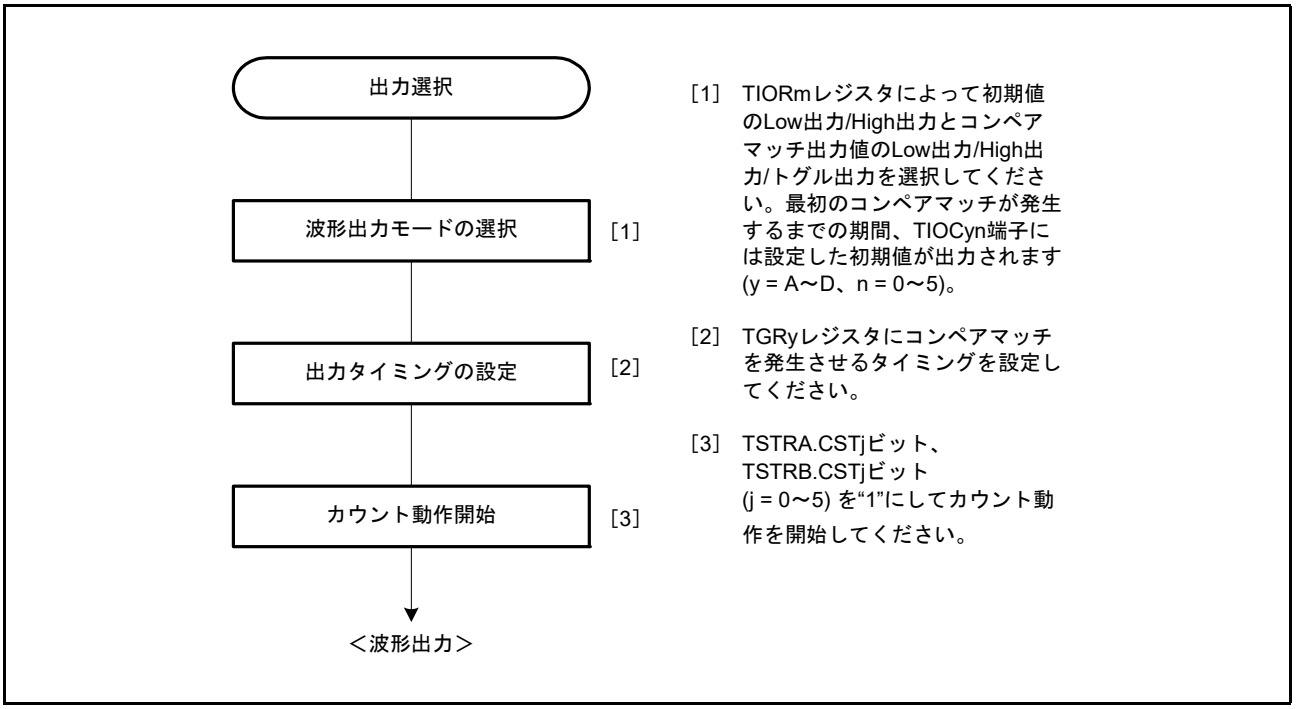


図 22.7　　コンペアマッチによる波形出力動作の設定手順例

(b)　波形出力動作例

Low 出力／ High 出力の動作例を図 22.8 に示します。

TPUm.TCNT をフリーランニングカウント動作とし、コンペアマッチ A で High 出力、コンペアマッチ B で Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません（m = 0 ～ 11）。

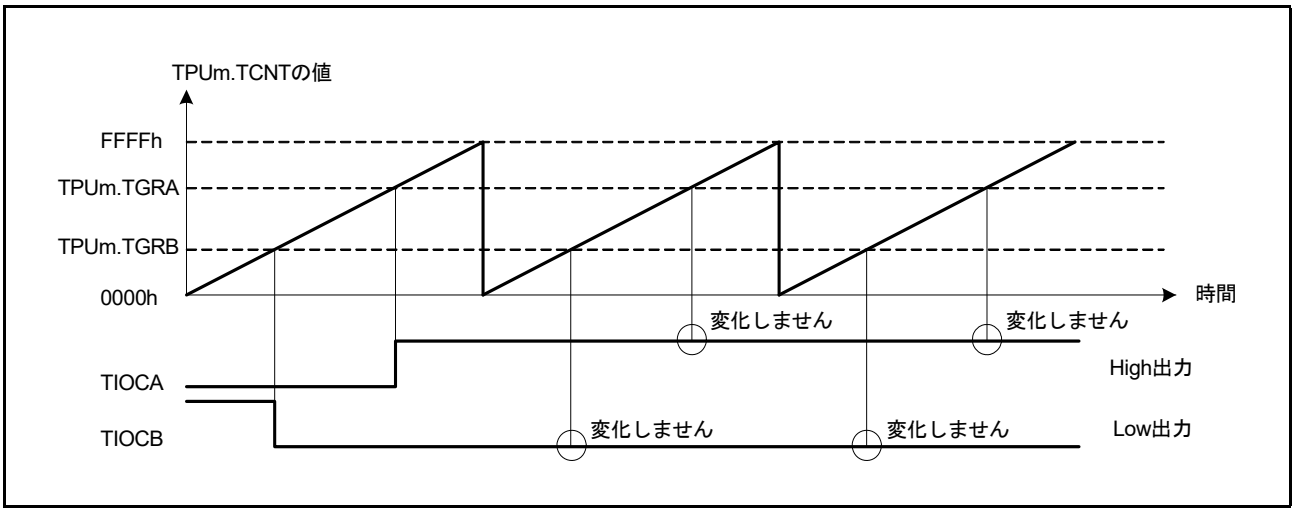


図 22.8　　Low 出力／ High 出力の動作例

トグル出力の動作例を図 22.9 に示します。

TPUm.TCNT カウンタを周期カウント動作（コンペアマッチ B によってカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です（m = 0 ～ 11）。

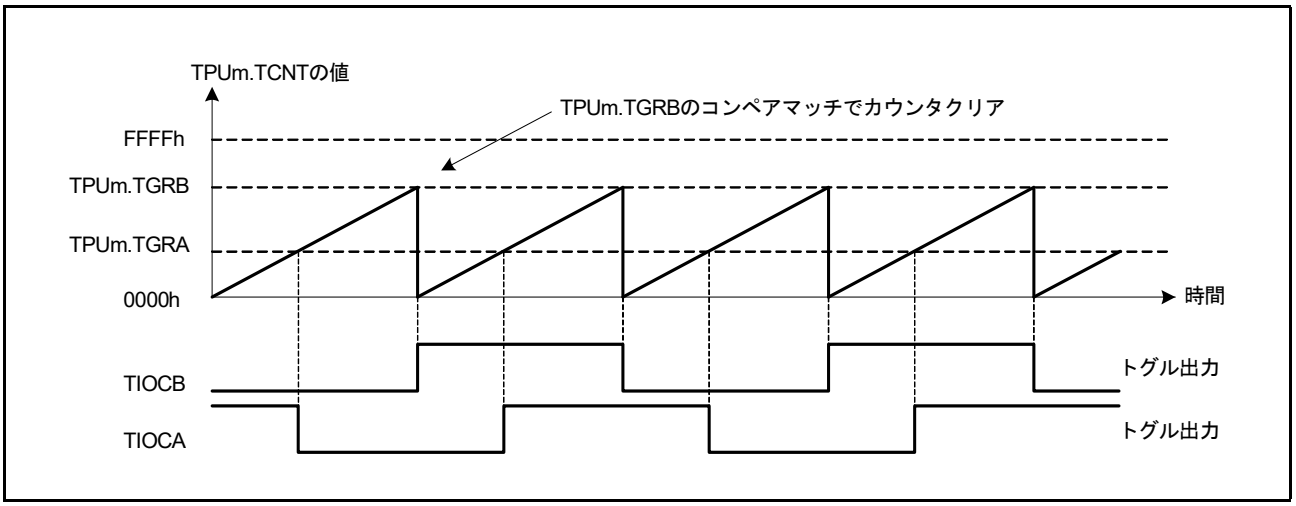


図 22.9　　トグル出力の動作例

(3)　インプットキャプチャ機能

TIOCyn 端子（y = A, B のとき n = 0 ～ 11、y = C, D のとき n = 0, 3, 6, 9）の入力エッジを検出して TCNT カウンタの値を TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。また、ユニット 0 の TPU0、1、3、4、ユニット 1 の TPU6、7、9、10 のカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。また、インプットキャプチャ入力にノイズフィルタをかけることができます。

注 .　カウンタが停止していても、インプットキャプチャは発生し、フラグおよび割り込み信号を生成します。

注 .　TPU0、3、6、9 で別のチャネルのカウンタ入力クロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウンタ入力クロックに PCLKD/1 を選択しないでください。PCLKD/1 を選択した場合は、インプットキャプチャは発生しません。

(a)　インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 22.10 に示します。

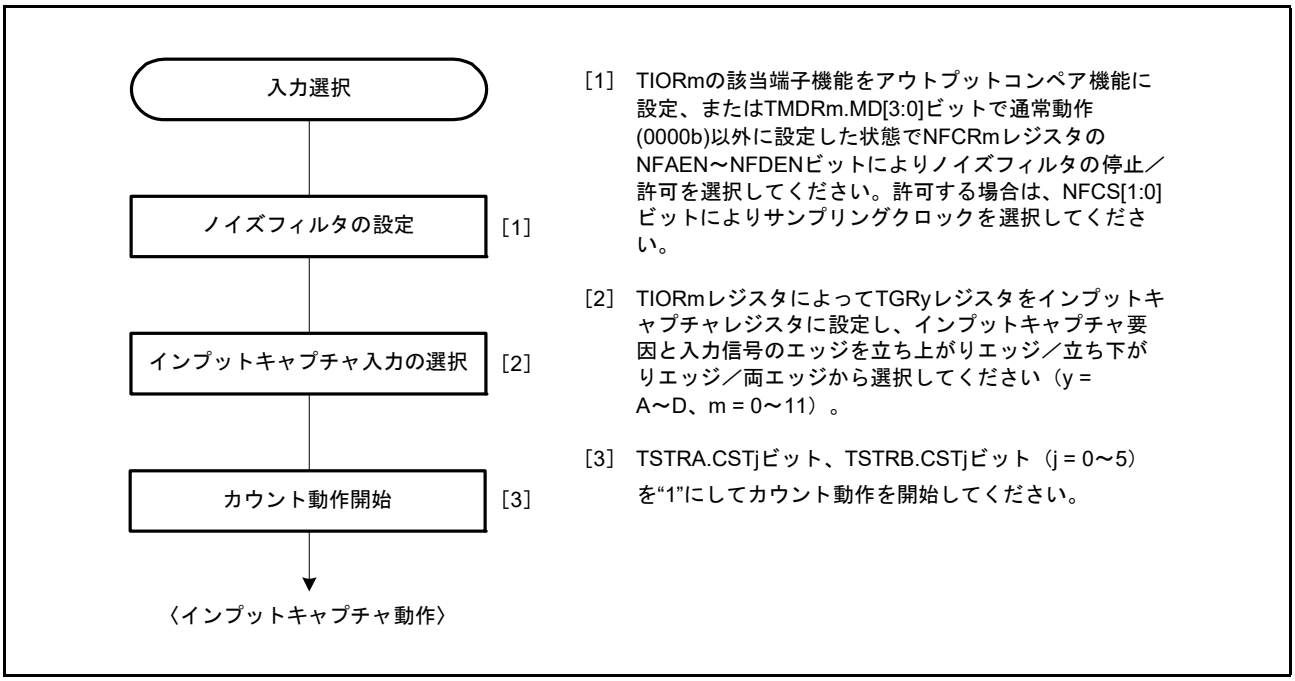


図 22.10　インプットキャプチャ動作の設定手順例

(b)　インプットキャプチャ動作例

ノイズフィルタを停止した場合のインプットキャプチャ動作例を図 22.11 に示します。

TIOCAm 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また TIOCBm 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し（m = 0 ～ 11）、TCNT カウンタは TGRB レジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

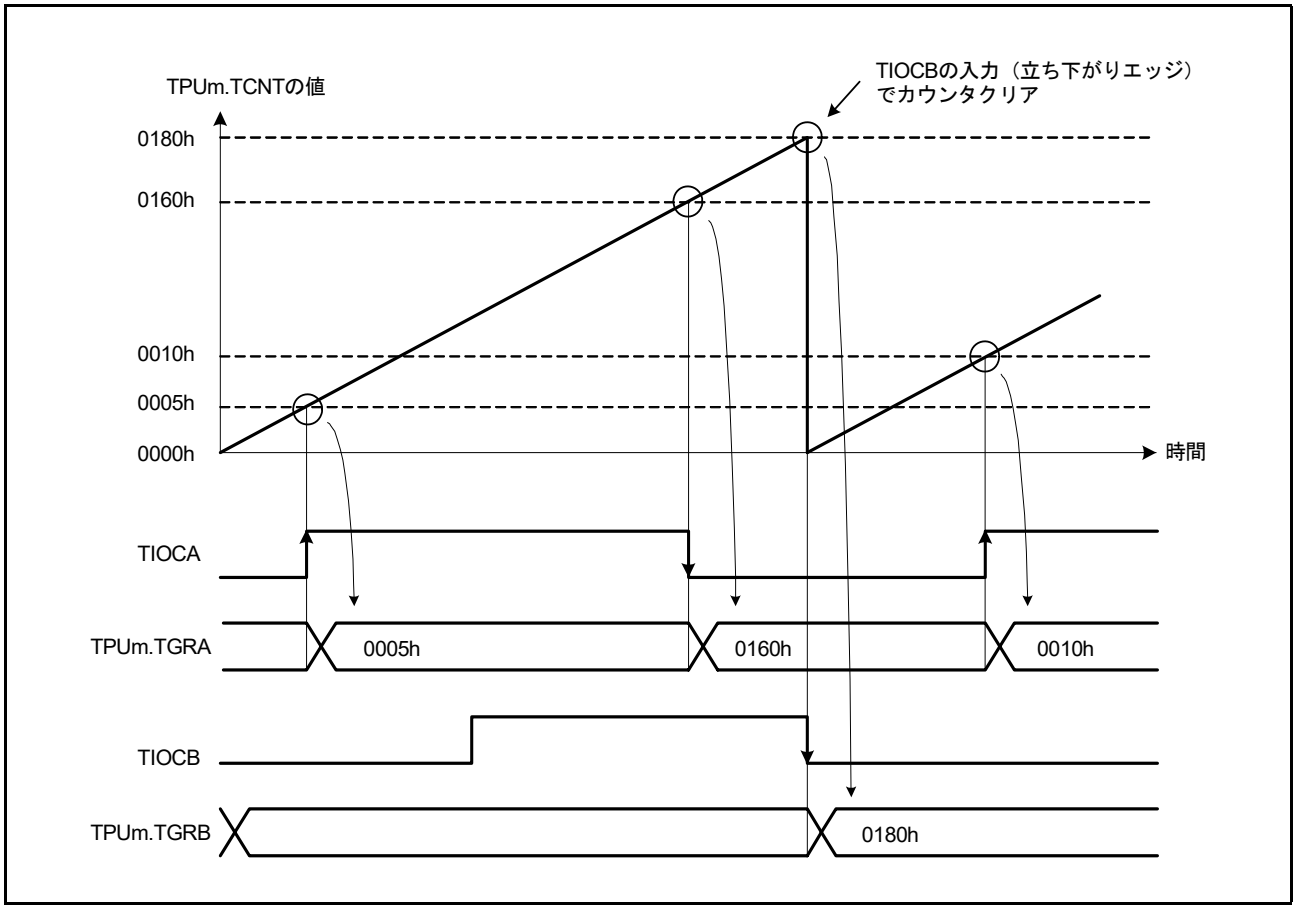


図 22.11　インプットキャプチャ動作例（ノイズフィルタ停止）

ノイズフィルタを許可した場合は、図 22.32 を参照してください。

22.3.2　同期動作

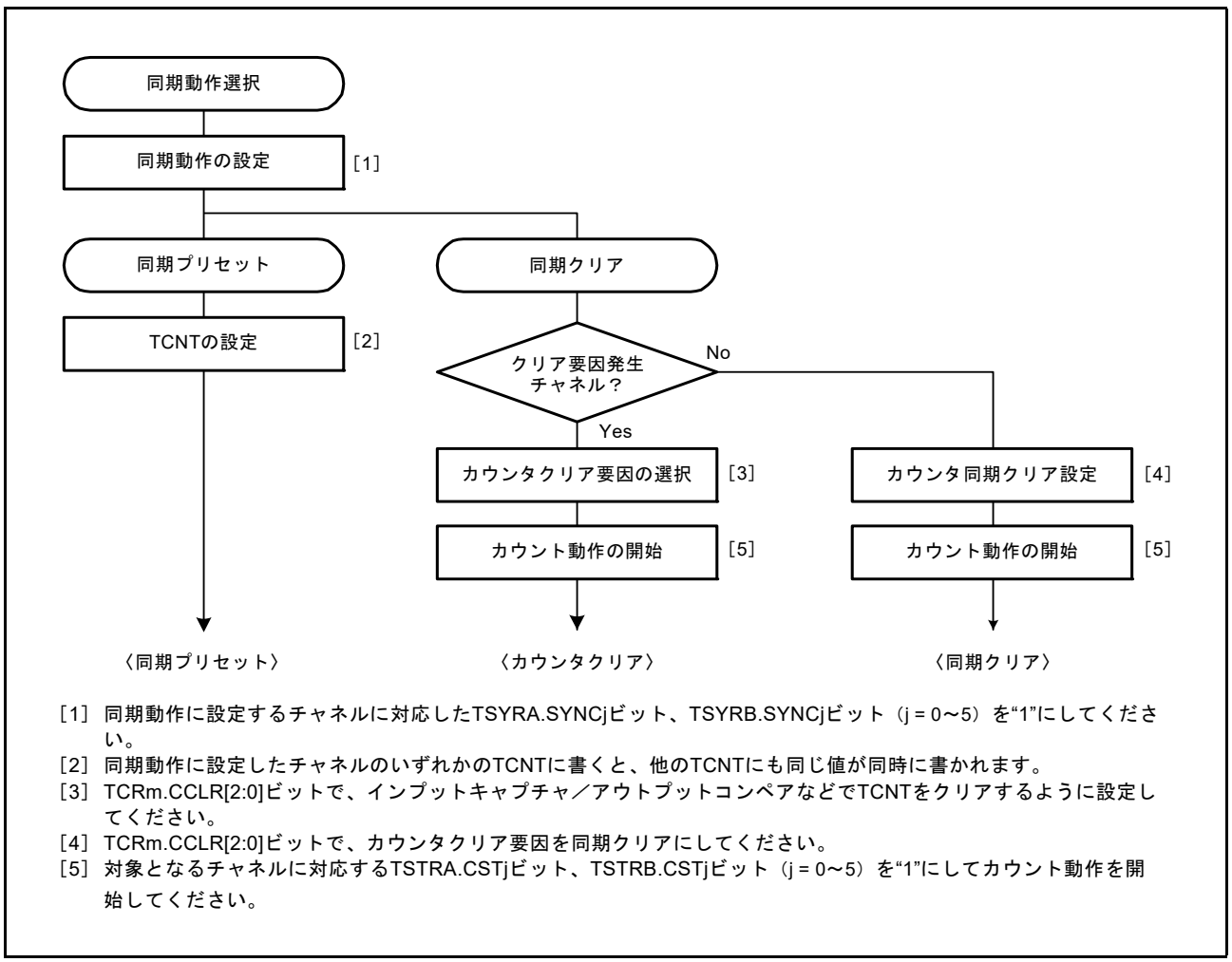
同期動作を使って、同一ユニット内の複数の TCNT カウンタの値を同時に書き換えることができます（同期プリセット）。また、TCR レジスタの設定によって複数の TCNT カウンタを同時にクリアすることができます（同期クリア）。

同期動作によって、1 つのタイムベースに対して TGRy レジスタを増加させることができます。

ユニット 0 の TPU0 ～ 5、またはユニット 1 の TPU6 ～ 11 は全チャネルで同期動作の設定が可能です。

(1)　同期動作の設定手順例

同期動作の設定手順例を図 22.12 に示します。



[1] 同期動作に設定するチャネルに対応したTSYRA.SYNCjビット、TSYRB.SYNCjビット（j = 0～5）を“1”にしてください。
[2] 同期動作に設定したチャネルのいずれかのTCNTに書くと、他のTCNTにも同じ値が同時に書かれます。
[3] TCRm.CCLR[2:0]ビットで、インプットキャプチャ／アウトプットコンペアなどでTCNTをクリアするように設定してください。
[4] TCRm.CCLR[2:0]ビットで、カウンタクリア要因を同期クリアにしてください。
[5] 対象となるチャネルに対応するTSTRA.CSTjビット、TSTRB.CSTjビット（j = 0～5）を“1”にしてカウント動作を開始してください。

図 22.12　同期動作の設定手順例

(2)　同期動作の例

同期動作の動作例を図 22.13 に示します。

TPU0～2 を同期動作かつ PWM モード 1 に設定し、TPU0 のカウンタクリア要因を TPU0.TGRB レジスタのコンペアマッチ、また TPU1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、TPU0 ～ 2 の TCNT は同期プリセット、TPU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「22.3.5　PWM モード」を参照してください。

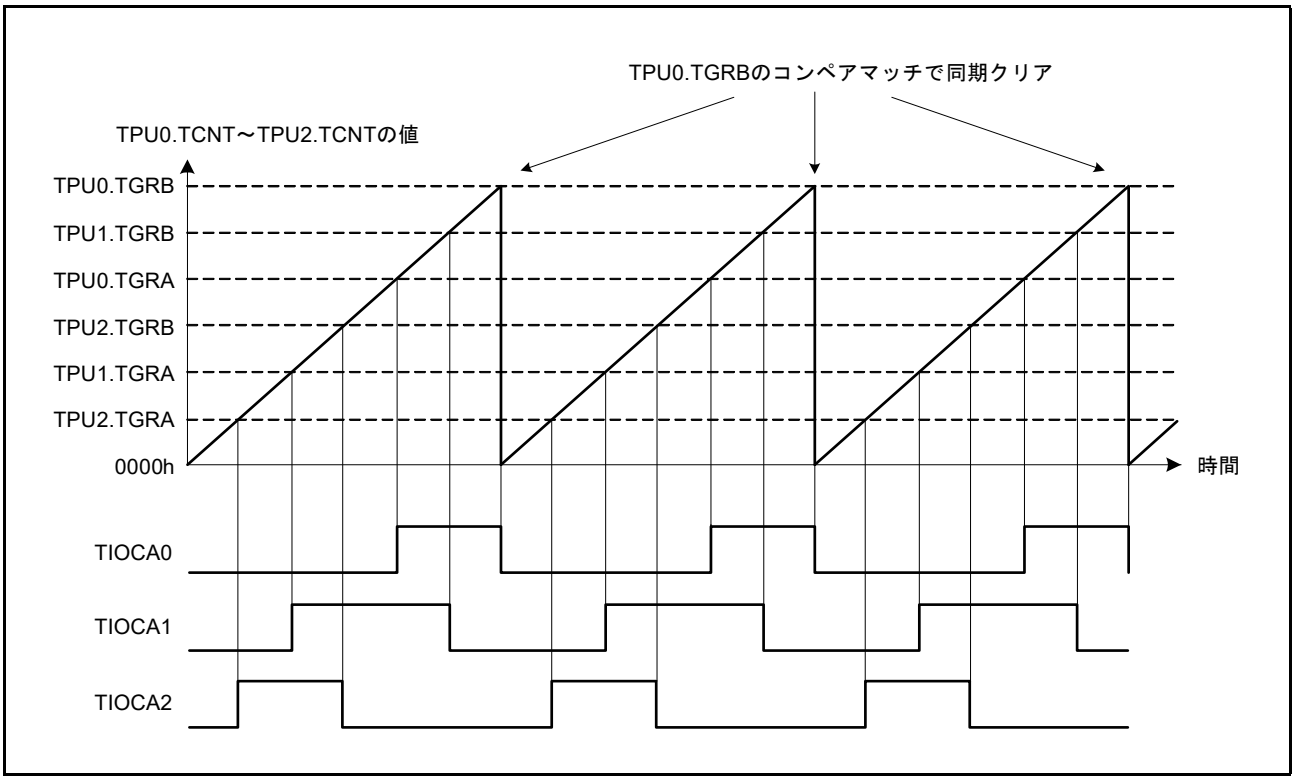


図 22.13　同期動作の動作例

22.3.3　バッファ動作

バッファ動作は、TPU0、3、6、9 が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 22.23 にバッファ動作時のレジスタの組み合わせを示します。

表 22.23　レジスタの組み合わせ

ユニット	チャネル	タイマジェネラルレジスタ	バッファレジスタ
0	TPU0	TPU0.TGRA	TPU0.TGRC
		TPU0.TGRB	TPU0.TGRD
	TPU3	TPU3.TGRA	TPU3.TGRC
		TPU3.TGRB	TPU3.TGRD
1	TPU6	TPU6.TGRA	TPU6.TGRC
		TPU6.TGRB	TPU6.TGRD
	TPU9	TPU9.TGRA	TPU9.TGRC
		TPU9.TGRB	TPU9.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を**図 22.14** に示します。

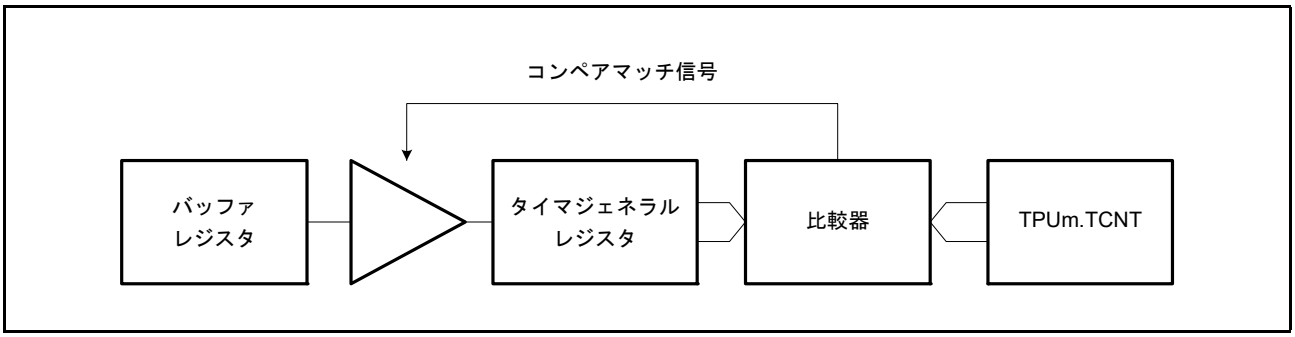


図 22.14　コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT カウンタの値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を**図 22.15** に示します。

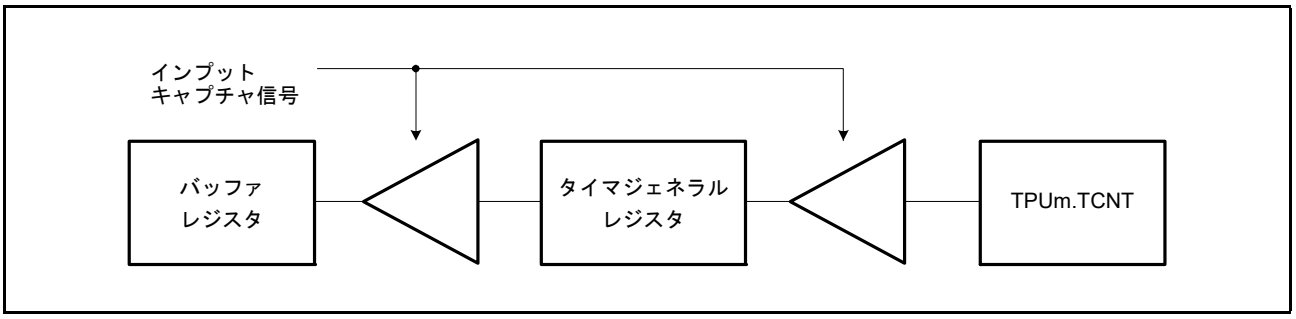


図 22.15　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 22.16 に示します。

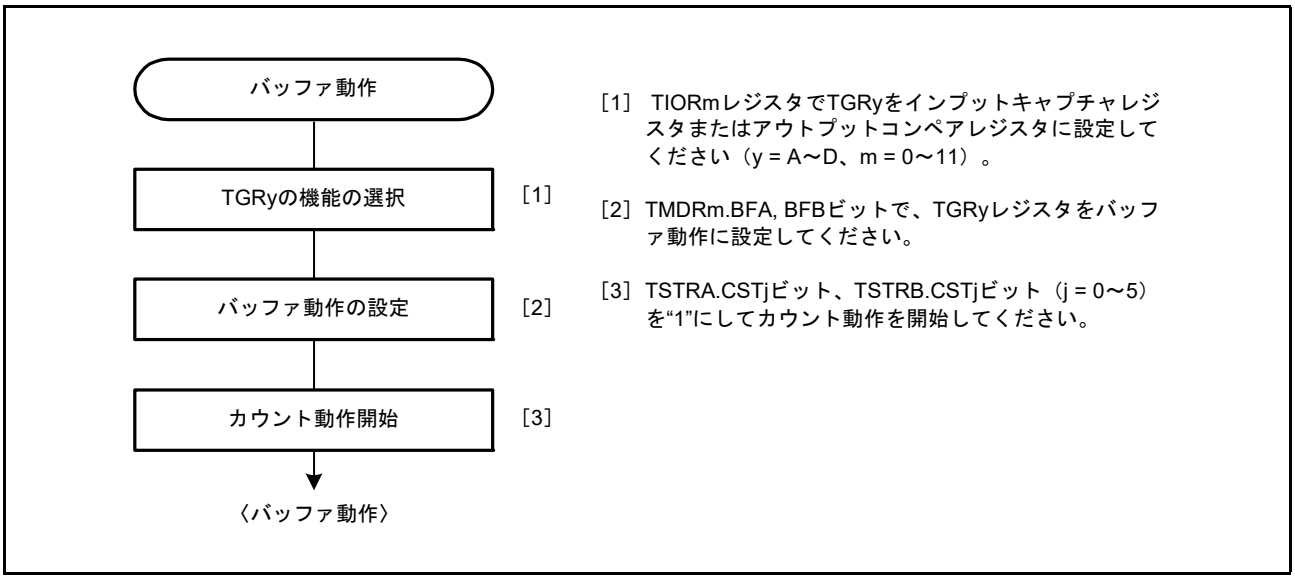


図 22.16　バッファ動作の設定手順例

(2)　バッファ動作例

(a)　TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0 を PWM モード 1 に設定し、TPU0.TGRA レジスタと TPU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 22.17 に示します。TPU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、TPU0.TGRC レジスタの値が TPU0.TGRA レジスタに転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「22.3.5　PWM モード」を参照してください。

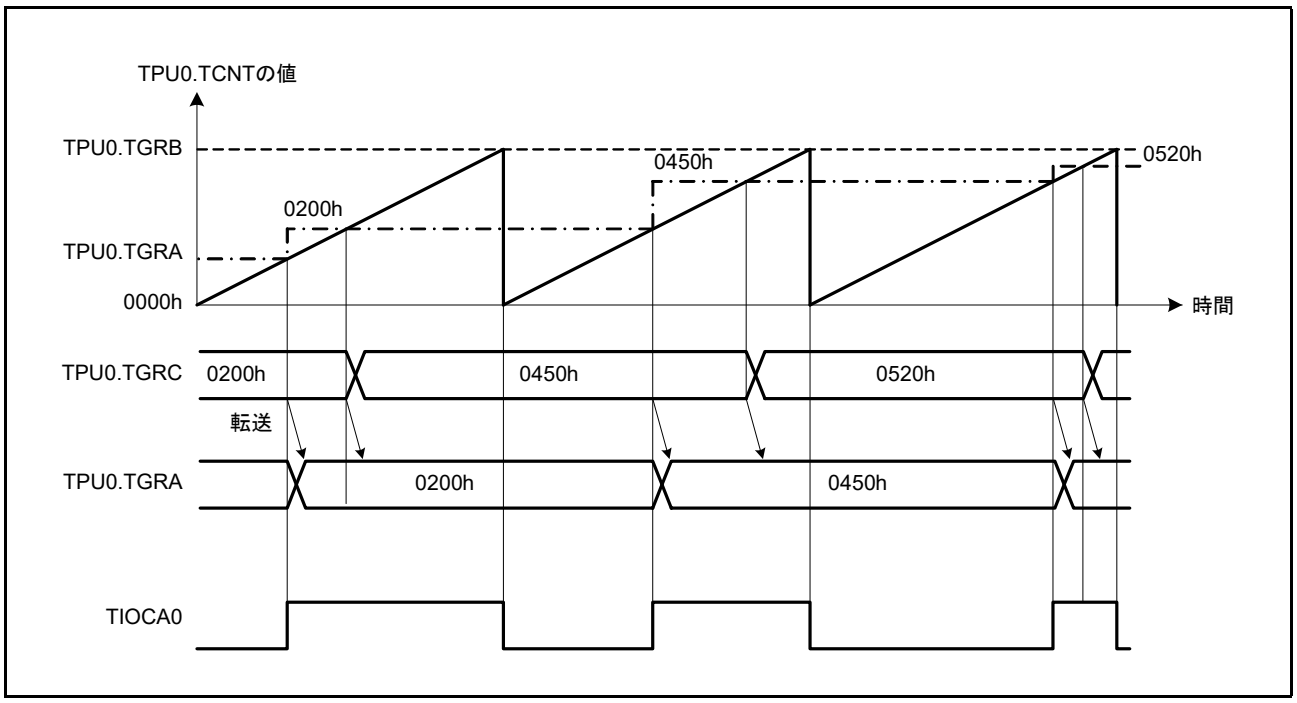


図 22.17　バッファ動作例（1）

(b)　TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 22.18 に示します。

TPUm.TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCAn 端子のインプットキャプチャ入力エッジは立ち上がりエッジ／立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます（m = 0 ～ 11）。

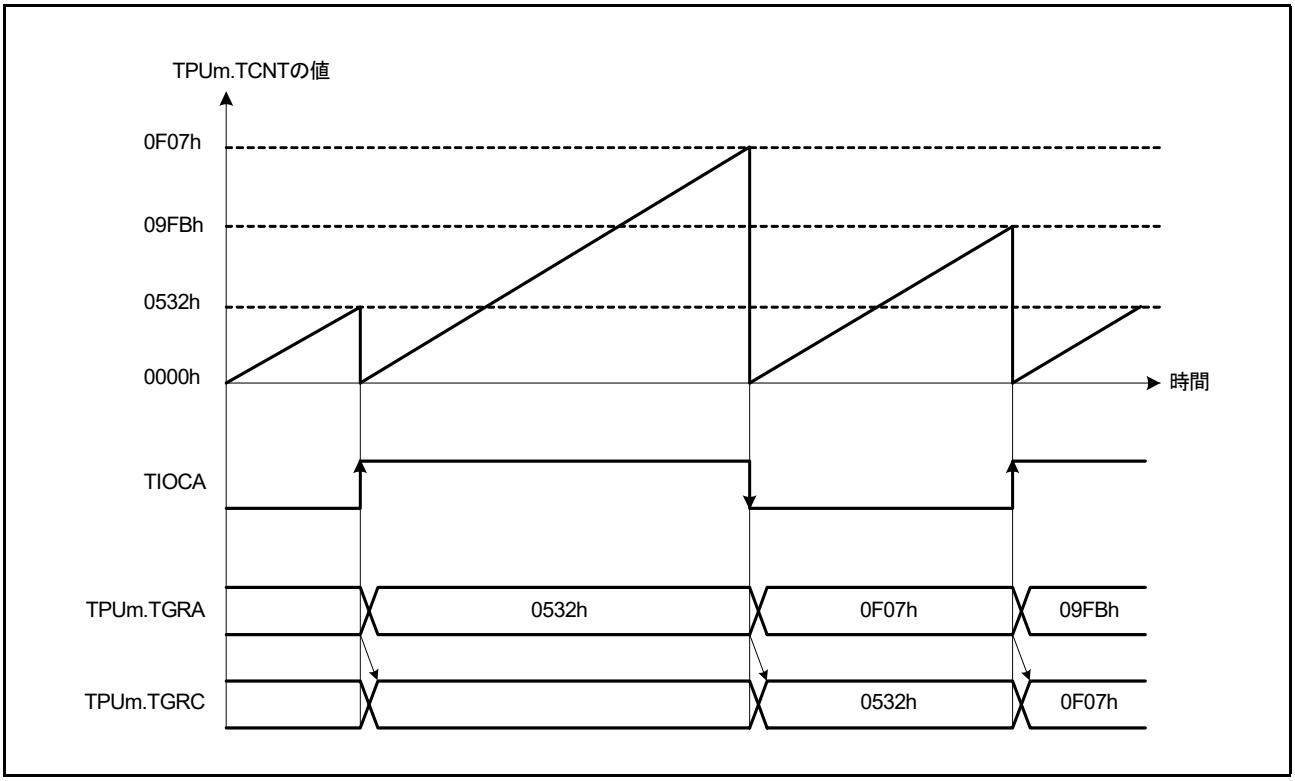


図 22.18　バッファ動作例（2）

22.3.4　　カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

ユニット 0 の場合、TPUm（m = 1, 4）のカウンタクロックを TPUm.TCR.TPSC[2:0]（m = 1, 4）ビットで、TPUn.TCNT（n = 2, 5）カウンタのオーバフロー／アンダフローでカウントに設定することによって動作します。

アンダフローが発生するのは、下位 16 ビットの TPUn.TCNT カウンタが位相計数モードのときのみです。

表 22.24 にカスケード接続組み合わせを示します。

注 1.　TPU1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します（TPU7, 10 についても同様です）。

注 2.　カスケード接続動作でインプットキャプチャを行う場合は必ず、「22.9.16　カスケード接続時におけるインプットキャプチャ動作」を参照してください。

注 3.　32 ビット位相計数モードで動作させたい場合は、下位 16 ビットの TPUn を位相計数モード、上位 16 ビットの TPUm を通常動作に設定してください。

表 22.24　　カスケード接続組み合わせ

ユニット	組み合わせ	上位 16 ビット	下位 16 ビット
0	TPU1 と TPU2	TPU1.TCNT	TPU2.TCNT
	TPU4 と TPU5	TPU4.TCNT	TPU5.TCNT
1	TPU7 と TPU8	TPU7.TCNT	TPU8.TCNT
	TPU10 と TPU11	TPU10.TCNT	TPU11.TCNT

(1)　カスケード接続動作の設定手順例

カスケード接続動作設定手順例を**図 22.19** に示します。

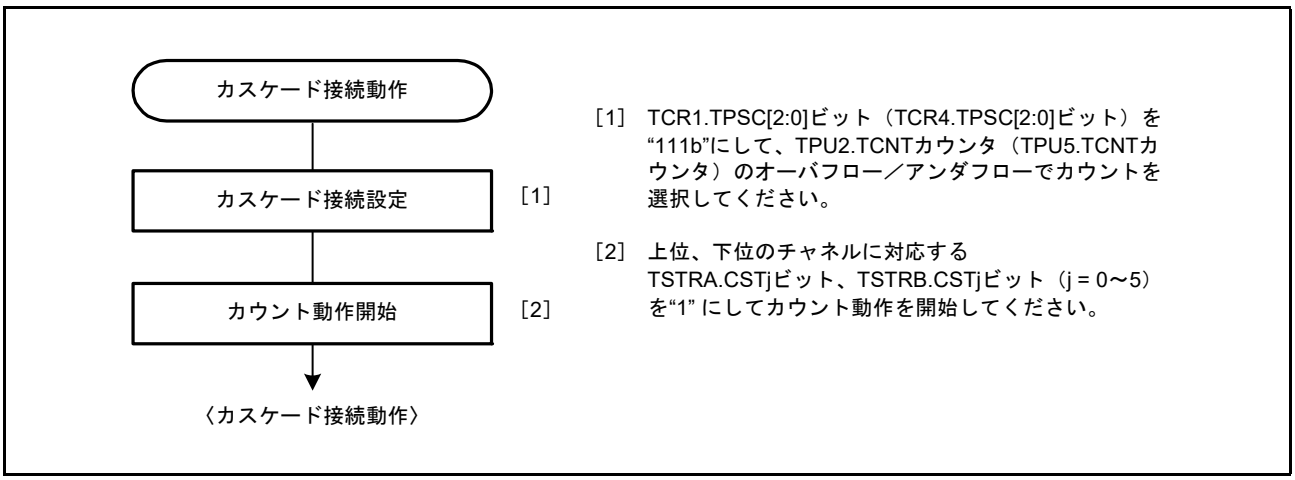


図 22.19　カスケード接続動作設定手順例

(2)　カスケード接続動作例

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー／アンダフローでカウント、TPU1.TGRA レジスタと TPU2.TGRA レジスタをインプットキャプチャレジスタに設定し、TIOCA1 端子と TIOCA2 端子の立ち上がりエッジを選択したときの動作を**図 22.20** に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRA レジスタに上位 16 ビット、TPU2.TGRA レジスタに下位 16 ビットの 32 ビットデータが転送されます。ただし TIOCA1 端子と TIOCA2 端子に同時に立ち上がりエッジを入力しても、LSI 内部の遅延により上位 16 ビットと下位 16 ビットを同時にキャプチャできず値がずれる場合があります。この場合**「22.9.16　カスケード接続時におけるインプットキャプチャ動作」**の内容にしたがいキャプチャ値の読み捨てを行ってください。

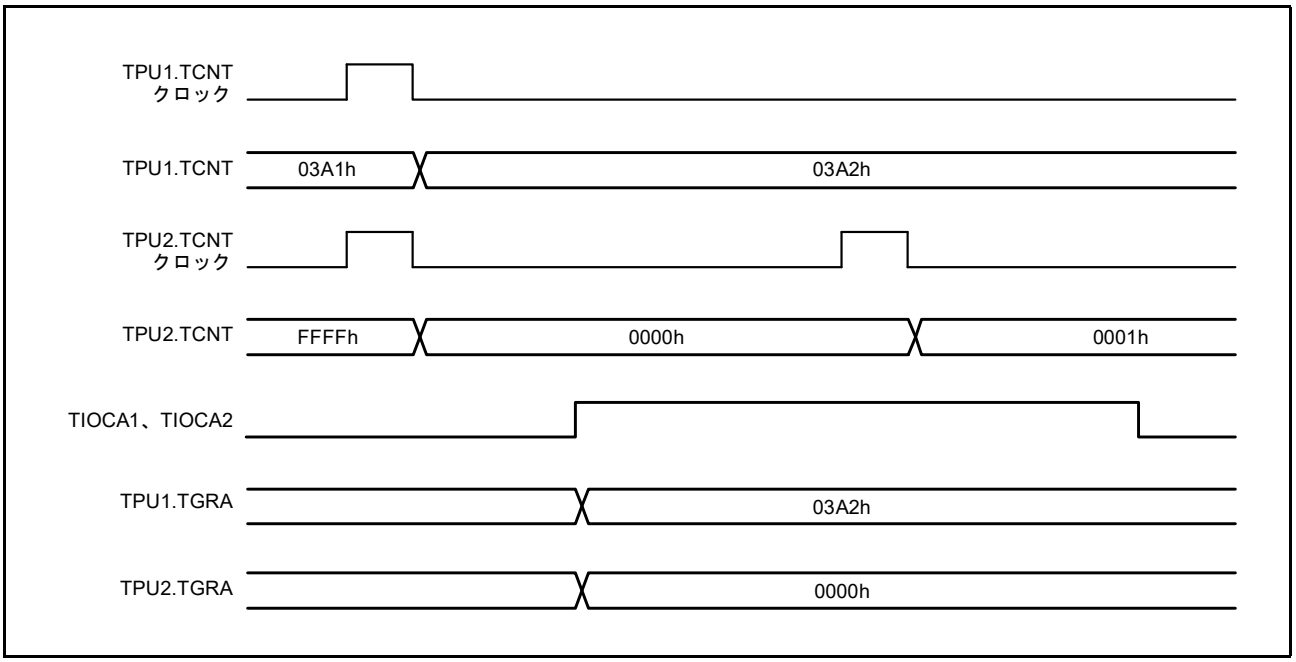


図 22.20　カスケード接続動作例（1）

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー／アンダフローでカウント、TPU2 を位相計数モードに設定したときの動作を**図 22.21** に示します。

TPU1.TCNT カウンタは、TPU2.TCNT カウンタのオーバフローでアップカウント、TPU2.TCNT カウンタのアンダフローでダウンカウントされます。

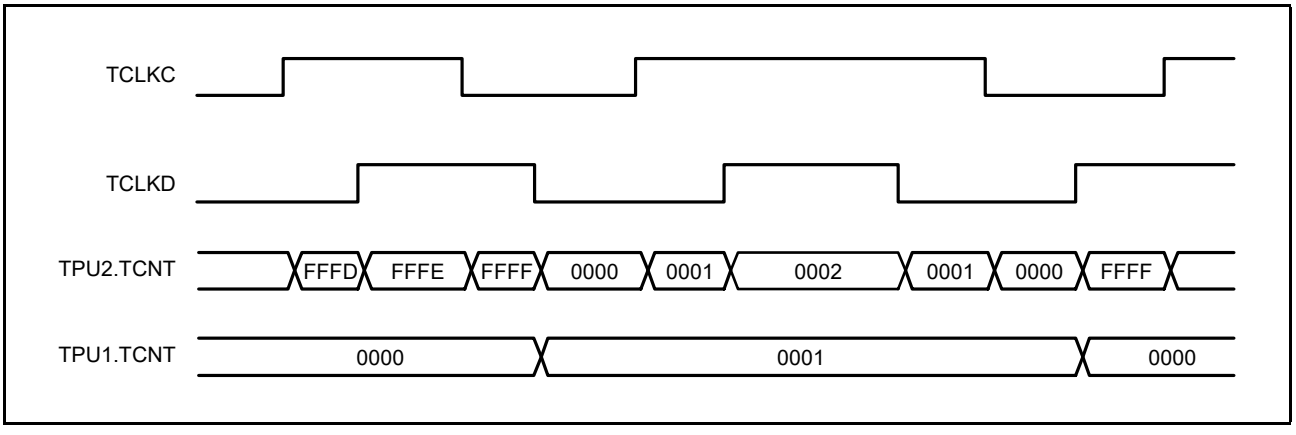


図 22.21　カスケード接続動作例（2）

22.3.5　PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGRy レジスタのコンペアマッチによる出力レベルは Low 出力／ High 出力／トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ比 0 ～ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

1. PWM モード 1

   TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCAn、TIOCCn 端子から PWM 波形を出力します。TIOCAn、TIOCCn 端子からコンペアマッチ A、C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。TIOCAn 端子（TIOCCn 端子）の初期出力値は TIOR.IOA ビット（TIORL.IOC ビット）で設定した値が出力されます。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

   PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

   TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH、TIORL、TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

   PWM モード 2 では、同期動作と併用することにより最大 15 相（× 2 ユニット）の PWM 波形の出力が可能です。

（y = A, B のとき m = 0 ～ 11、y = C, D のとき m = 0, 3, 6, 9）

PWM の出力端子とレジスタの対応を**表 22.25** に示します。

表22.25　　各PWM出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
TPU0	TPU0.TGRA	TIOCA0	TIOCA0
	TPU0.TGRB		TIOCB0
	TPU0.TGRC	TIOCC0	TIOCC0
	TPU0.TGRD		TIOCD0
TPU1	TPU1.TGRA	TIOCA1	TIOCA1
	TPU1.TGRB		TIOCB1
TPU2	TPU2.TGRA	TIOCA2	TIOCA2
	TPU2.TGRB		TIOCB2
TPU3	TPU3.TGRA	TIOCA3	TIOCA3
	TPU3.TGRB		TIOCB3
	TPU3.TGRC	TIOCC3	TIOCC3
	TPU3.TGRD		TIOCD3
TPU4	TPU4.TGRA	TIOCA4	TIOCA4
	TPU4.TGRB		TIOCB4
TPU5	TPU5.TGRA	TIOCA5	TIOCA5
	TPU5.TGRB		TIOCB5
TPU6	TPU6.TGRA	TIOCA6	TIOCA6
	TPU6.TGRB		TIOCB6
	TPU6.TGRC	TIOCC6	TIOCC6
	TPU6.TGRD		TIOCD6
TPU7	TPU7.TGRA	TIOCA7	TIOCA7
	TPU7.TGRB		TIOCB7
TPU8	TPU8.TGRA	TIOCA8	TIOCA8
	TPU8.TGRB		TIOCB8
TPU9	TPU9.TGRA	TIOCA9	TIOCA9
	TPU9.TGRB		TIOCB9
	TPU9.TGRC	TIOCC9	TIOCC9
	TPU9.TGRD		TIOCD9
TPU10	TPU10.TGRA	TIOCA10	TIOCA10
	TPU10.TGRB		TIOCB10
TPU11	TPU11.TGRA	TIOCA11	TIOCA11
	TPU11.TGRB		TIOCB11

注.　PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1)　PWM モードの設定手順例

PWM モードの設定手順例を図 22.22 に示します。

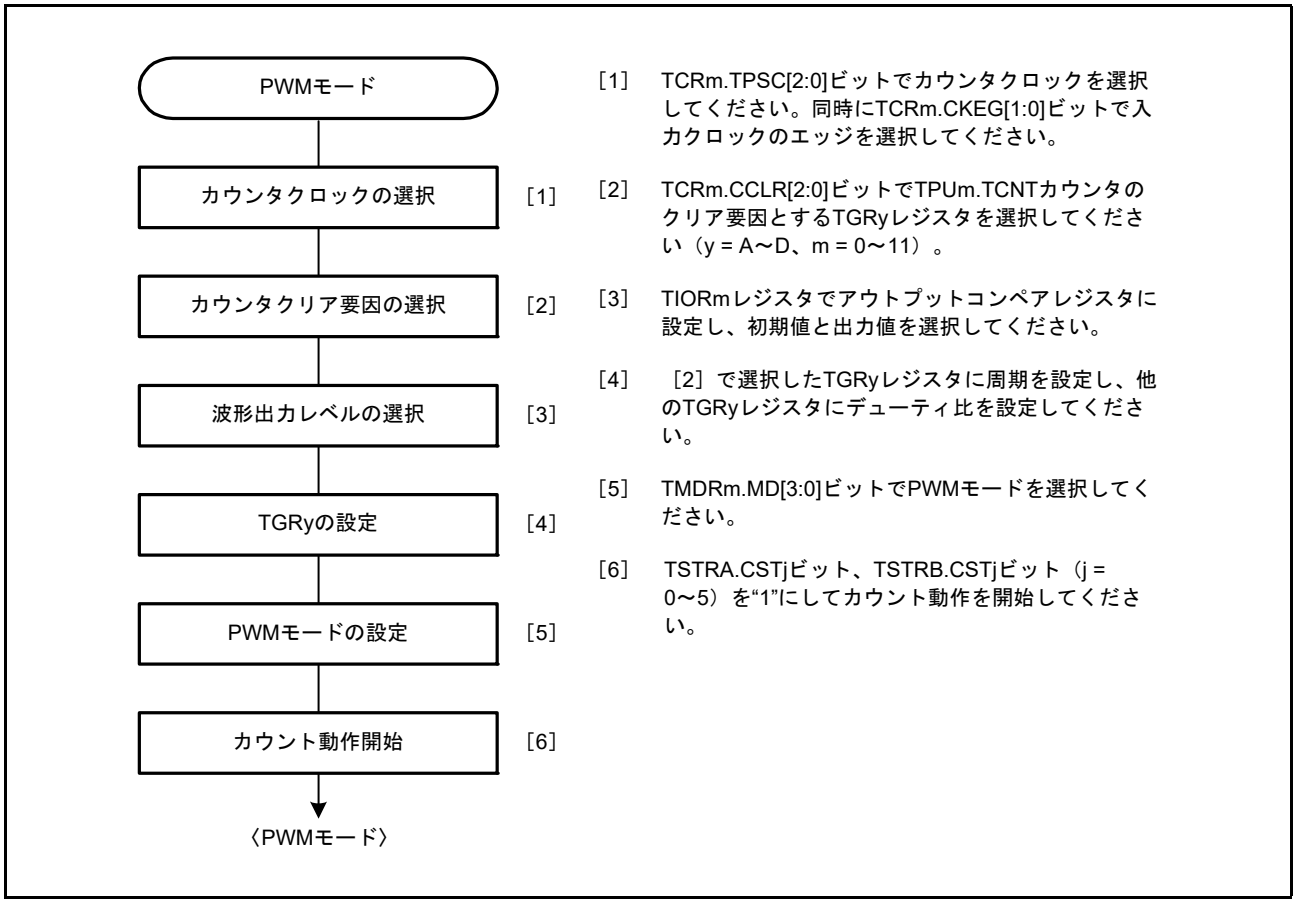


図 22.22　PWM モードの設定手順例

(2)　PWM モードの動作例

PWM モード 1 の動作例を図 22.23 に示します。

この図は、TPUm.TCNT カウンタのクリア要因を TPUm.TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を “0”、TPUm.TGRB レジスタの出力値を “1” に設定した場合の例です（m = 0 ～ 11）。

この場合、TGRA レジスタで周期を設定し、TGRB レジスタでデューティ比を設定しています。

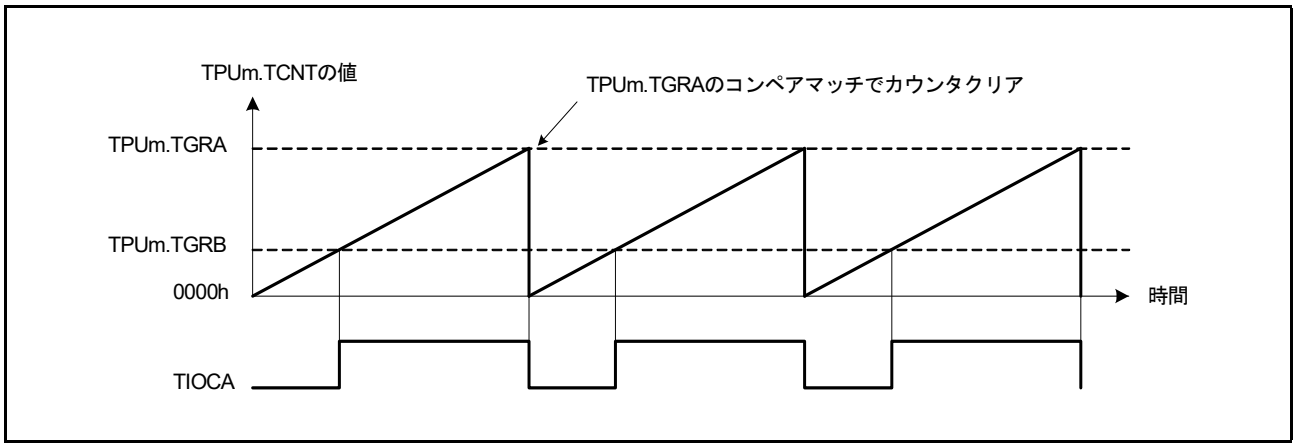


図 22.23　PWM モードの動作例（1）

PWM モード 2 の動作例を図 22.24 に示します。

この図は、TPU0 と 1 を同期動作させ、TPUm.TCNT（m = 0, 1）カウンタのクリア要因を TPU1.TGRB のコンペアマッチとし、他の TPUm.TGRy レジスタ（TPU0.TGRA ～ TPU0.TGRD、TPU1.TGRA）の初期出力値を “Low”、出力値を “High” にして 5 相の PWM 波形を出力させた場合の例です。

この場合、TPU1.TGRB レジスタに設定した値が周期となり、他の TGRy レジスタに設定した値がデューティ比になります。

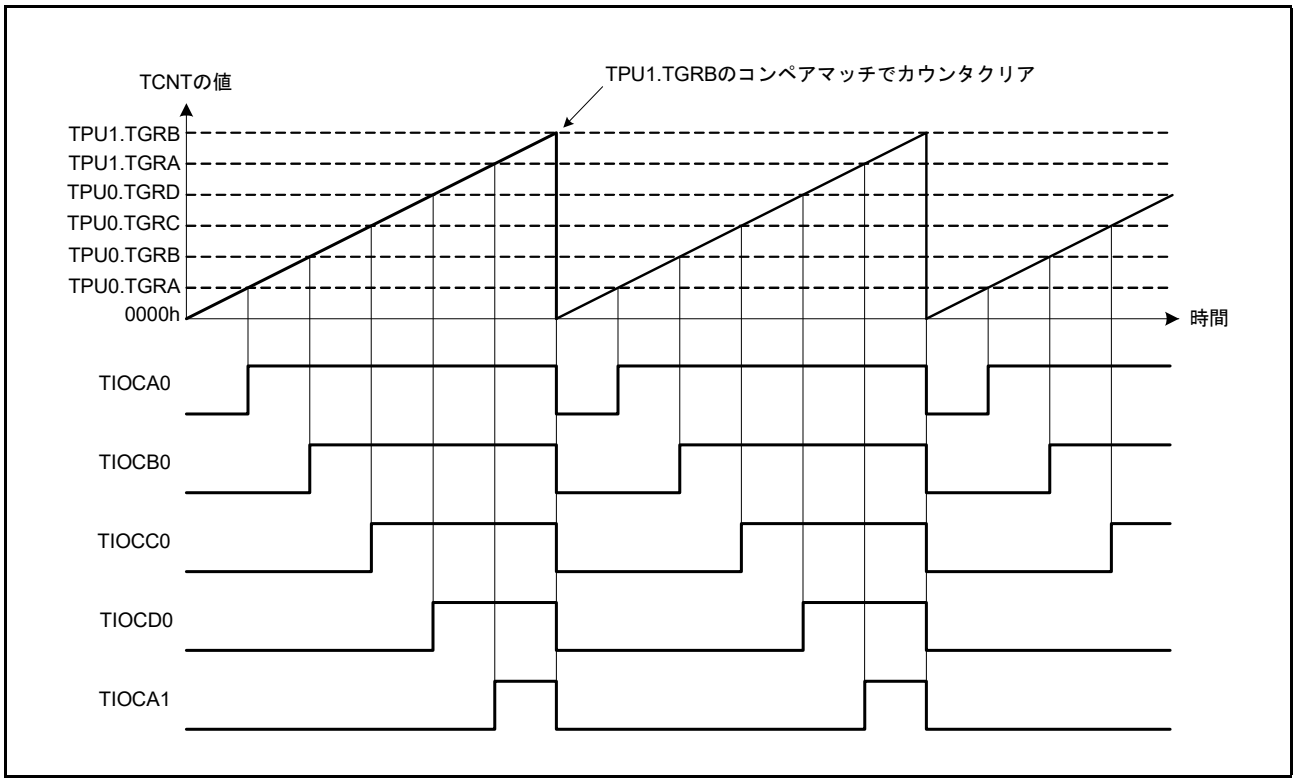


図 22.24　PWM モードの動作例（2）

PWM モードで、デューティ比 0%、デューティ比 100%の PWM 波形を出力する例を図 22.25 に示します。

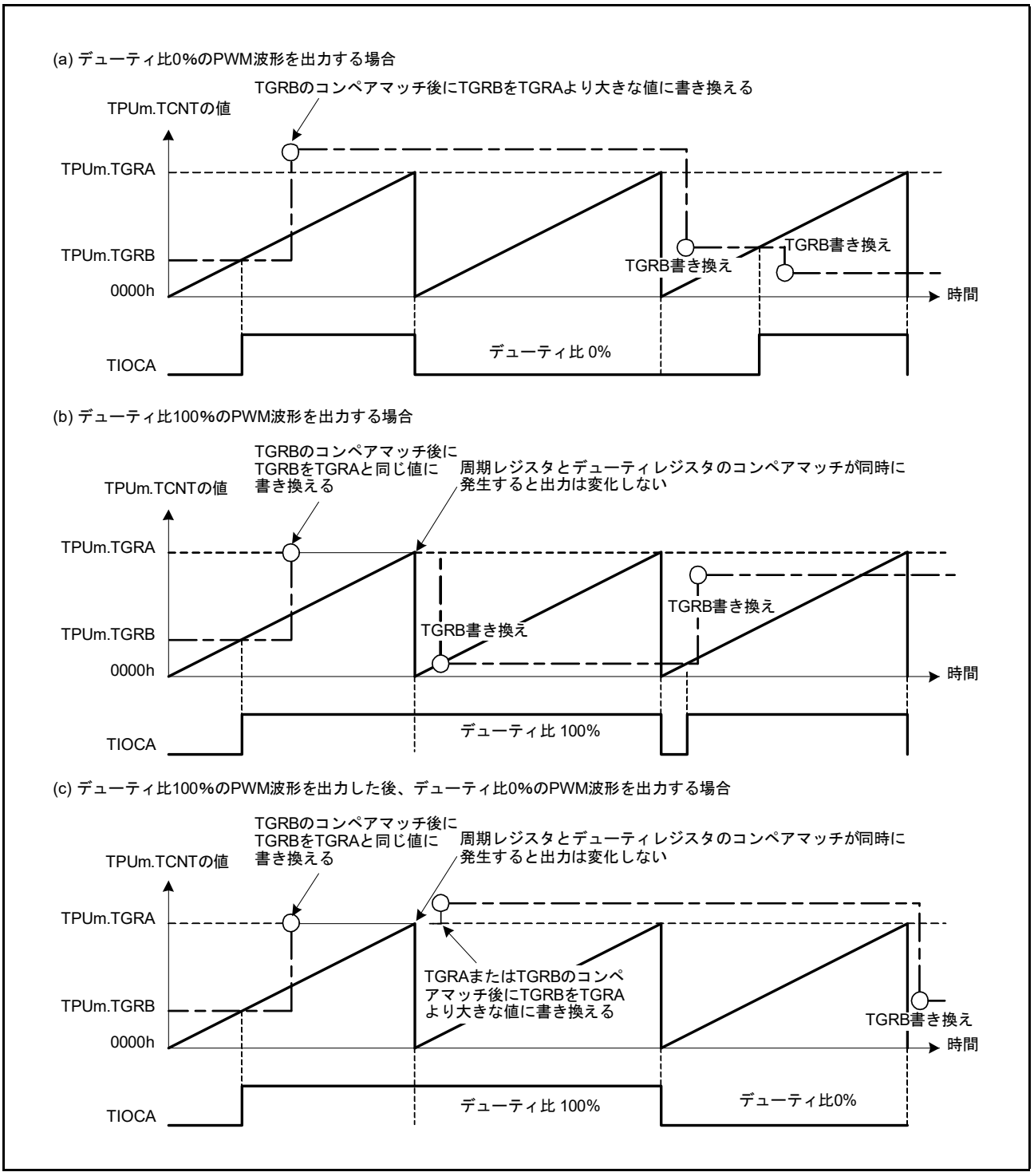


図 22.25　PWM モード動作例（3）

22.3.6　位相計数モード

位相計数モードでは、ユニット 0 はチャネル 1、2、4、5、ユニット 1 はチャネル 7、8、10、11 の設定によって、2 本の外部クロック入力の位相差を検出し、TPUm.TCNT カウンタをアップカウント／ダウンカウントします（m = 1, 2, 4, 5, 7, 8, 10, 11）。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT カウンタはアップカウンタ／ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0] ビットの下位 2 ビット、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタ、TPUm.TIER レジスタ、TPUm.TGRy レジスタの機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生するとすると TCIV 割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU 割り込み要求が発生します。TPUm.TSR.TCFD フラグはカウント方向フラグです。TCFD フラグを読むことにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

表 22.26 に外部クロック端子とチャネルの対応を示します。

表 22.26　位相計数モードクロック入力端子

ユニット	チャネル	外部クロック端子	
		A相	B相
0	TPU1 または TPU5 を位相計数モードとするとき	TCLKA	TCLKB
	TPU2 または TPU4 を位相計数モードとするとき	TCLKC	TCLKD
1	TPU7 または TPU11 を位相計数モードとするとき	TCLKE	TCLKF
	TPU8 または TPU10 を位相計数モードとするとき	TCLKG	TCLKH

(1)　位相計数モードの設定手順例

位相計数モードの設定手順例を**図 22.26** に示します。

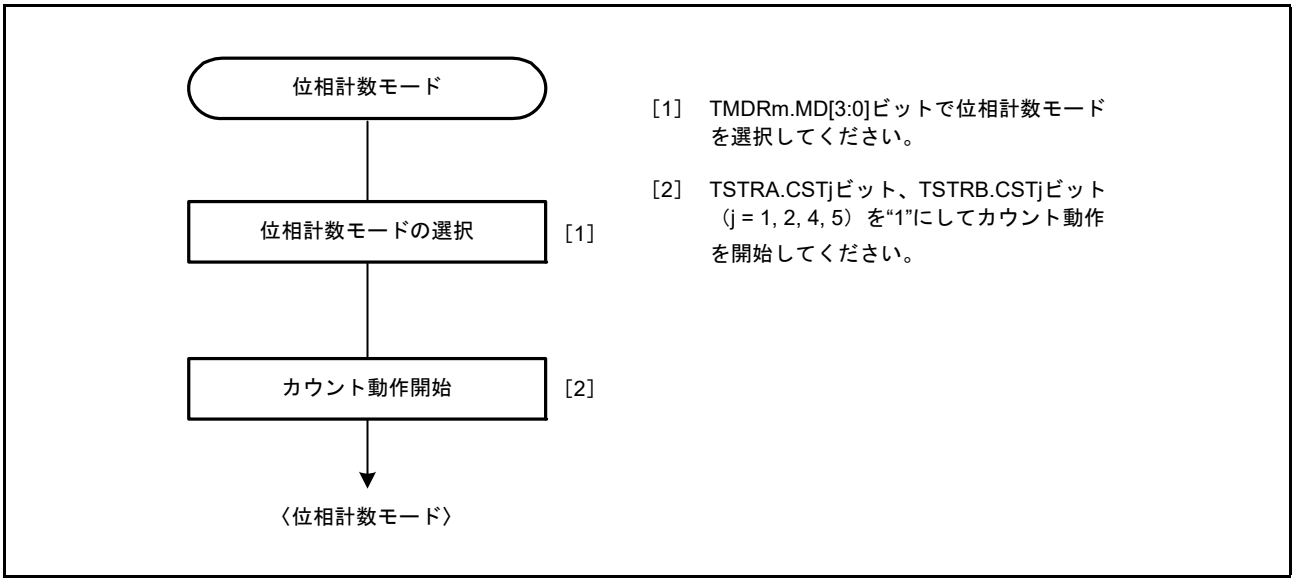


図 22.26　位相計数モードの設定手順例

(2)　位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTPUm.TCNTがアップカウント／ダウンカウントします（m = 1, 2, 4, 5, 7, 8, 10, 11）。なお、カウント条件により4つのモードがあります。

(a)　位相計数モード1

ユニット0の場合の位相計数モード1の動作例を**図22.27**に、TPUm.TCNTのアップカウント／ダウンカウント条件を**表22.27**に示します（m = 1, 2, 4, 5）。

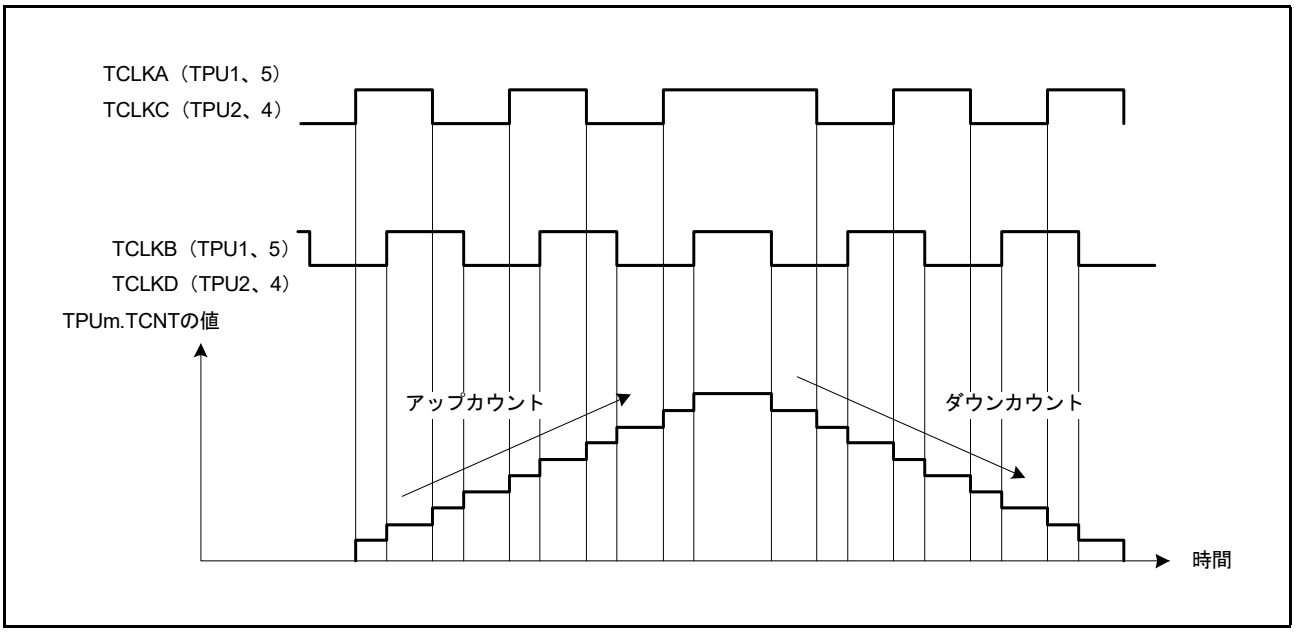


図22.27　位相計数モード1の動作例

表22.27　位相計数モード1のアップカウント／ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4）	TCLKB（TPU1、5） TCLKD（TPU2、4）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(b)　位相計数モード 2

ユニット 0 の場合の位相計数モード 2 の動作例を**図 22.28** に、TPUm.TCNT のアップカウント／ダウンカウント条件を**表 22.28** に示します（m = 1, 2, 4, 5）。

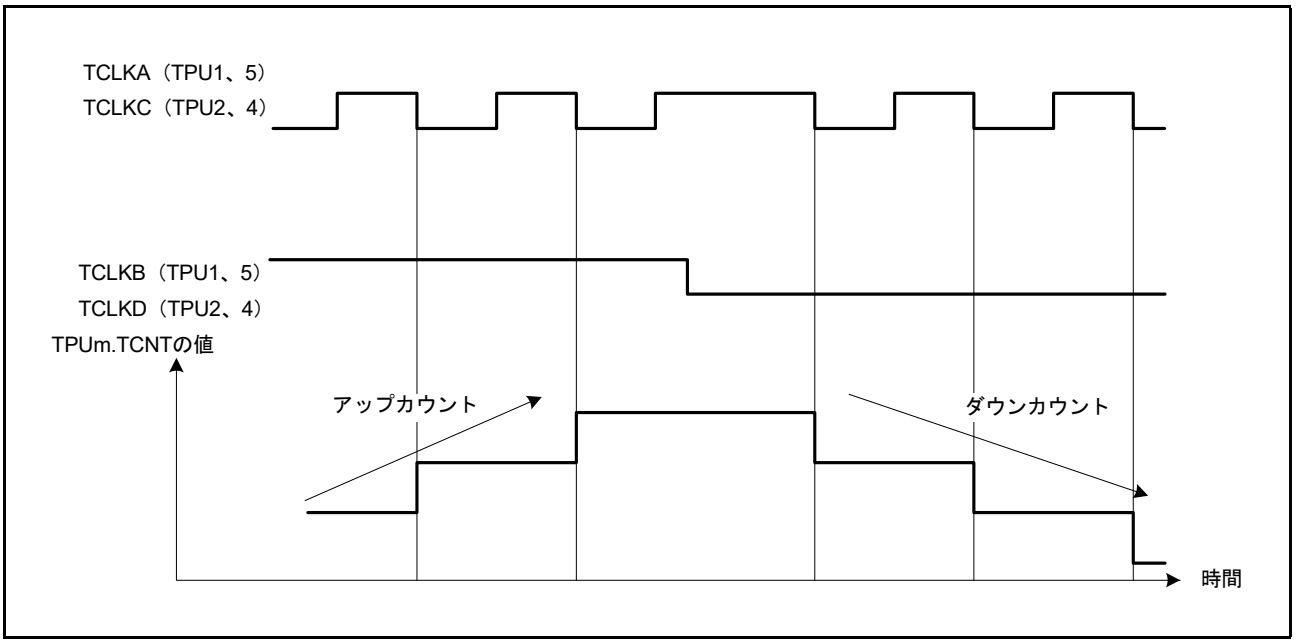


図 22.28　位相計数モード 2 の動作例

表22.28　　位相計数モード2のアップカウント／ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4）	TCLKB（TPU1、5） TCLKD（TPU2、4）	動作内容
High	↑	Don’t care
Low	↓	Don’t care
↑	Low	Don’t care
↓	High	アップカウント
High	↓	Don’t care
Low	↑	Don’t care
↑	High	Don’t care
↓	Low	ダウンカウント

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

(c)　位相計数モード 3

ユニット 0 の場合の位相計数モード 3 の動作例を図 22.29 に、TPUm.TCNT のアップカウント／ダウンカウント条件を表 22.29 に示します（m = 1, 2, 4, 5）。

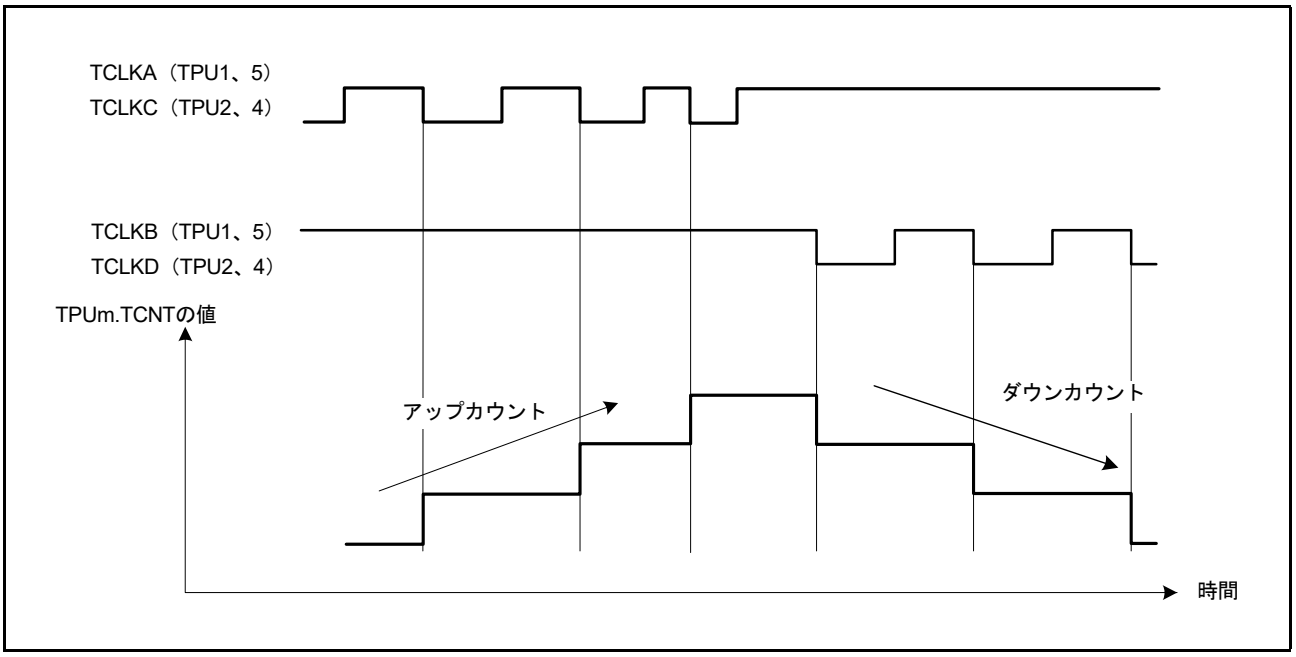


図 22.29　位相計数モード 3 の動作例

表22.29　　位相計数モード3のアップカウント／ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4）	TCLKB（TPU1、5） TCLKD（TPU2、4）	動作内容
High	↑	Don’t care
Low	↓	Don’t care
↑	Low	Don’t care
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	Don’t care
↑	High	Don’t care
↓	Low	Don’t care

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

(d)　位相計数モード 4

ユニット 0 の場合の位相計数モード 4 の動作例を図 22.30 に、TPUm.TCNT のアップカウント／ダウンカウント条件を表 22.30 に示します（m = 1, 2, 4, 5）。

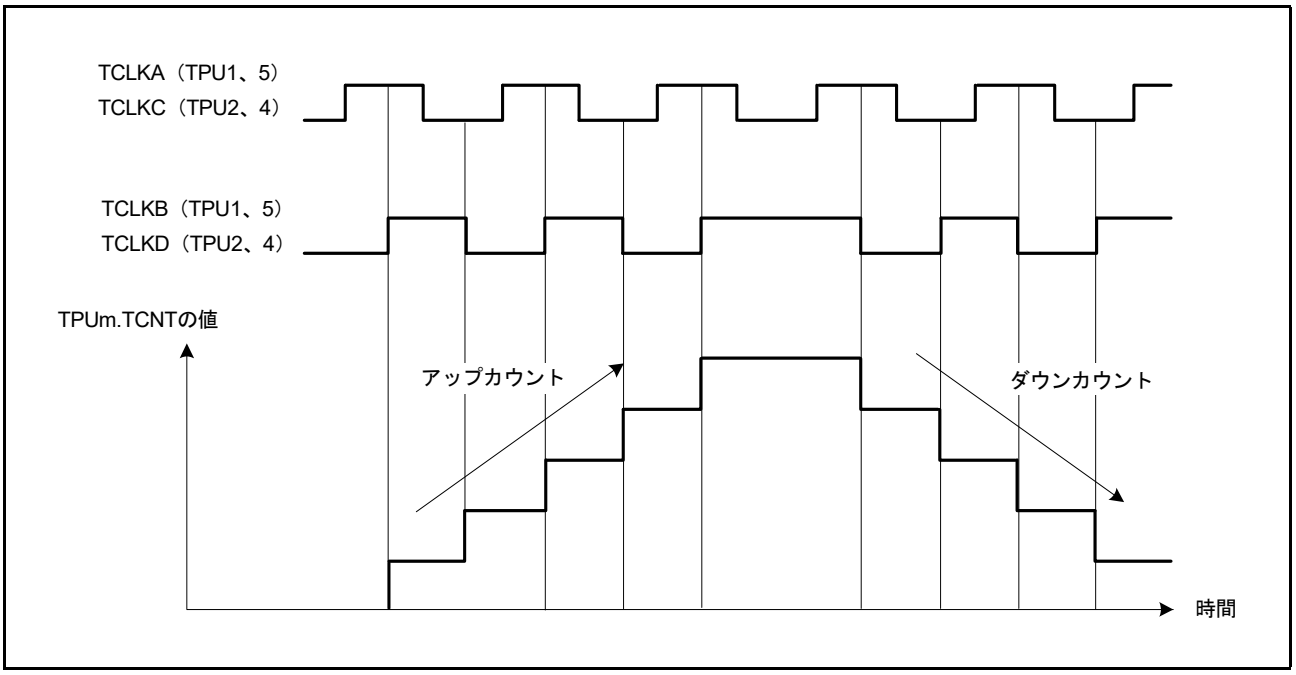


図 22.30　位相計数モード 4 の動作例

表22.30　　位相計数モード4のアップカウント／ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4）	TCLKB（TPU1、5） TCLKD（TPU2、4）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	Don’t care
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	Don’t care
↓	Low	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

22.3.6.1　位相計数モード応用例

TPU1 を位相計数モードに設定し、TPU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 22.31 に示します。

TPU1 は位相計数モード 1 に設定し、TCLKA 端子と TCLKB 端子にエンコーダパルスの A 相、B 相を入力します。

TPU0 は TPU0.TCNT カウンタを TPU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRA レジスタと TPU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TPU0.TGRB レジスタはインプットキャプチャ機能で使用し、TPU0.TGRB レジスタと TPU0.TGRD レジスタをバッファ動作させます。TPU0.TGRB レジスタのインプットキャプチャ要因は、TPU1 のカウンタ入力クロックとし、TPU1.TCNT カウンタのアップカウント／カウントダウンで TPU0 カウント値を TPU0.TGRB レジスタにインプットキャプチャし（一つ前の値は TPU0.TGRD レジスタへ転送）、エッジ間隔を計測することができます（パルス幅計測）。

TPU1 の TPU1.TGRA レジスタと TPU1.TGRB レジスタは、インプットキャプチャ機能に設定し、インプットキャプチャ要因は TPU0 の TPU0.TGRA レジスタと TPU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウント／ダウンカウンタの値を格納します。

これにより、正確な位置／速度検出を行うことができます。

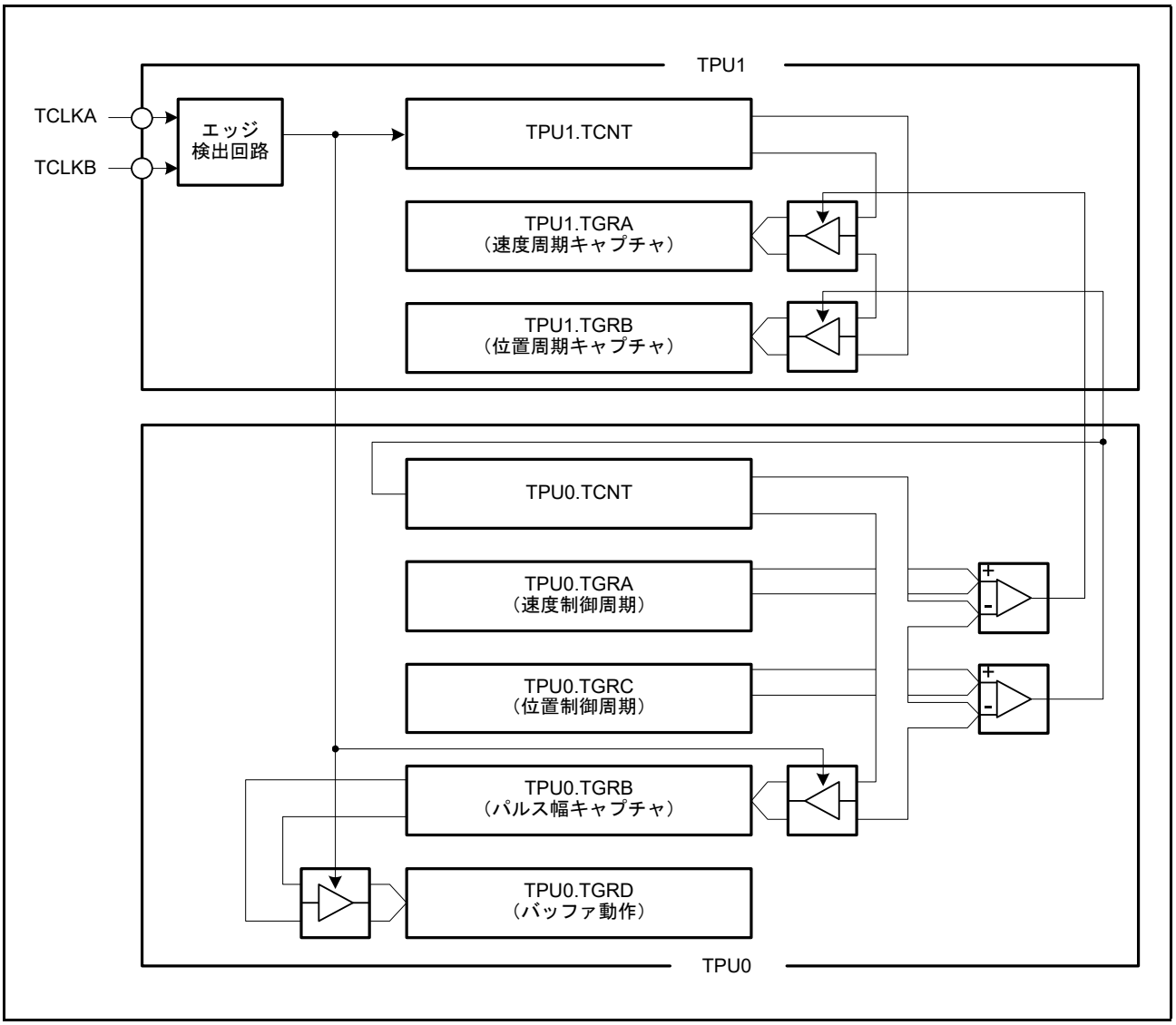


図 22.31　位相計数モードの応用例

22.3.7　ノイズフィルタ機能

TPU のインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング 3 回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可／停止が設定でき、サンプリングクロックは、チャネルごとに設定が可能です。

図 22.32 にノイズフィルタのタイミングチャートを示します。

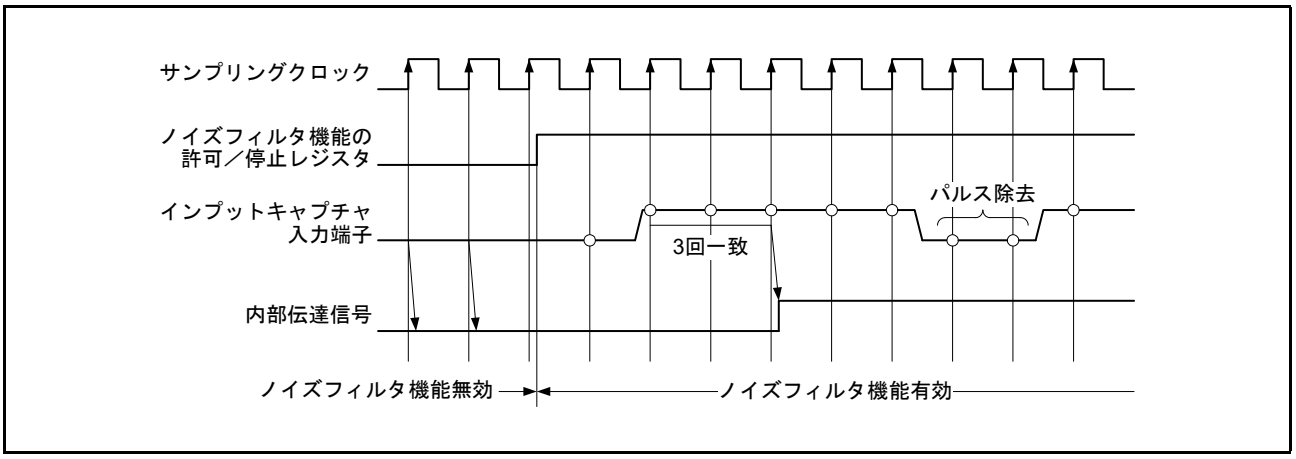


図 22.32　ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力に対するノイズフィルタリングによって最短で「サンプリングサイクル × 2 ＋ PCLKD 」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

22.3.8　内部 PWM フィードバック入力選択機能

内部 PWM フィードバック入力選択機能は、PWMFBSLR.FBSLn（n = 0, 1）で選択した MTU3a、GPTa の端子出力信号を本 LSI 内部を経由して、TPU のインプットキャプチャ入力として使用する機能です。

使用例として PWM 出力に設定した MTU3a、GPTa の端子出力信号を内部 PWM フィードバック入力として選択し、インプットキャプチャした値を用いて PWM 波形の Duty と周期を測定します。

22.3.8.1、22.3.8.2 に内部 PWM フィードバック入力選択機能を使用した PWM 波形測定の設定例を、また 22.3.8.3、22.3.8.4 に通常のインプットキャプチャ機能を用いて、TIOCAm 端子、TIOCBm 端子に外部から入力される PWM 波形測定の設定例を記載します。

22.3.8.1　PWM 1 軸測定の設定例（TPU（ユニット 0）を内部 PWM フィードバック入力に設定）

TPU（ユニット 0）の内部 PWM フィードバック入力元として、MTU3 および MTU4 を選択し本 LSI 内部を経由して PWM 波形を測定することができます。

MTU3 および MTU4 を 6 相 PWM 出力に用いて、TPU（ユニット 0）は MTU3 および MTU4 のキャリア周期に同期して動作開始し、PWM 出力のエッジ検出タイミングでインプットキャプチャしたカウント値から PWM 波形を測定する設定例を下記に示します。

本設定におけるモジュール接続関係は**図 22.33** を参照してください。

前提：内部 PWM フィードバック入力元として使用する PWM タイマ（MTU3、MTU4）は谷→谷でキャリア 1 周期、PWM は Low アクティブの設定で動作中とする。

1. TPU（ユニット 0）の全チャネルのカウント動作を停止。各チャネルの TGRA と TGRB をアウトプットコンペア（インプットキャプチャ禁止）に設定します。
2. TPU（ユニット 0）の各インプットキャプチャ端子のデジタルノイズフィルタを設定します。
3. TPU（ユニット 0）の各チャネルのカウントクロック／クリア条件／動作モードを設定します。
   カウントクロック：PCLKD/1
   クリア条件　　：TGRA のインプットキャプチャでカウンタクリア
   動作モード　　：通常モード
4. TPU（ユニット 0）の全チャネルのカウンタ値を 0000h に設定（クリア）します。
5. TPU（ユニット 0）の各チャネルの TGRA と TGRB をインプットキャプチャ動作に設定します。
   TGRA：立ち上がり検出（逆相チャネルは立ち下がり検出）
   TGRB：立ち下がり検出（逆相チャネルは立ち上がり検出）
6. PWMFBSLR レジスタを下記のように設定します。
   TPU0EN ビット：1b（内部 PWM フィードバック許可）
   FBSL0 ビット：100b（MTU3 および MTU4 の PWM 出力信号）
7. TPU（ユニット 0）の各チャネルの TGRA インプットキャプチャによる割り込みを許可します。
8. MTU3 および MTU4 のキャリア谷をトリガに TPU（ユニット 0）各チャネルをカウント開始します。
9. 各相の PWM 立ち上がりエッジによるインプットキャプチャで割り込み発生、立ち下がりエッジのカウント値と立ち上がりエッジのカウント値からアクティブ期間等を計算可能です。

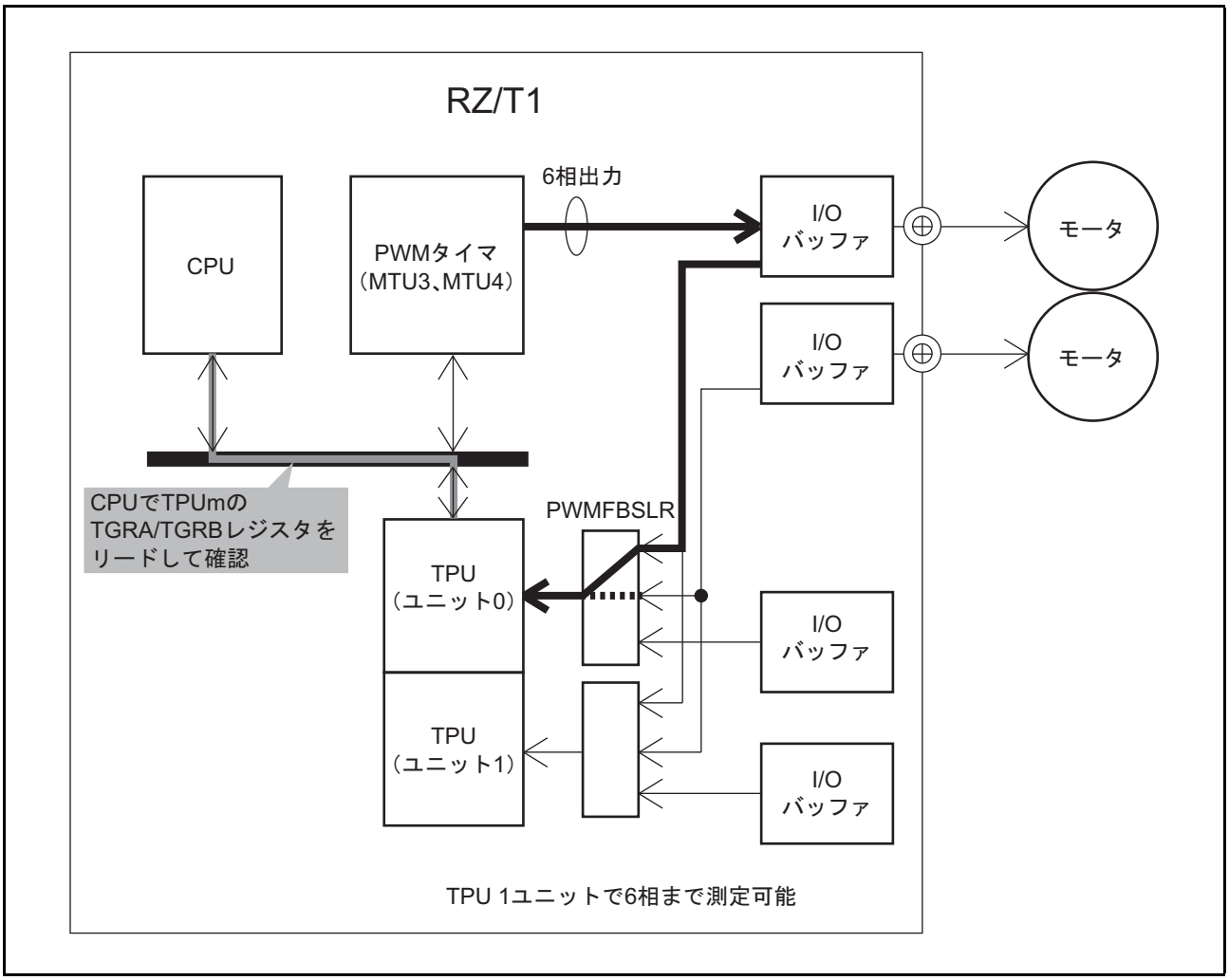


図 22.33　PWM 1 軸測定の設定例の接続図

22.3.8.2　PWM 2軸測定の設定例（TPU（ユニット0）を内部PWMフィードバック入力に設定）

TPU（ユニット0）の内部PWMフィードバック入力元としてMTU3およびMTU4とMTU3およびMTU4を切り替えて選択し、本LSI内部を経由して2軸のPWM波形を測定することができます。

MTU3およびMTU4とMTU6およびMTU7をそれぞれ6相PWM出力に用いて、TPU（ユニット0）はMTU3およびMTU4（またはMTU6およびMTU7）のキャリア周期に同期して動作開始し、PWM出力のエッジ検出タイミングでインプットキャプチャしたカウント値からPWM波形を測定する設定例を下記に示します。

本モジュール、TPU、PWMタイマの接続関係は**図22.34**を参照してください。

前提：内部PWMフィードバック入力元のPWMタイマ（MTU3およびMTU4、MTU6およびMTU7）は谷→谷でキャリア1周期、PWMはLowアクティブの設定で動作中とする

(1) TPU（ユニット0）の全チャネルのカウント動作を停止。各チャネルのTGRAとTGRBをアウトプットコンペア（インプットキャプチャ禁止）に設定。
(2) TPU（ユニット0）の各インプットキャプチャ端子のデジタルノイズフィルタを設定
(3) TPU（ユニット0）の各チャネルのカウントクロック／クリア条件／動作モードを設定
　カウントクロック：PCLKD/1
　クリア条件　　：TGRAのインプットキャプチャでカウンタクリア
　動作モード　　：通常モード
(4) TPU（ユニット0）の全チャネルのカウンタ値を0000hに設定（クリア）
(5) TPU（ユニット0）の各チャネルのTGRAとTGRBをインプットキャプチャ動作に設定
　TGRA：立ち上がり検出（逆相チャネルは立ち下がり検出）
　TGRB：立ち下がり検出（逆相チャネルは立ち上がり検出）
(6) PWMFBSLRレジスタを下記のように設定
　TPU0ENビット：1b（内部PWMフィードバック許可）
　FBSL0ビット：100b（MTU3およびMTU4のPWM出力信号）
(7) TPU（ユニット0）の各チャネルのTGRAインプットキャプチャによる割り込みを許可
(8) MTU3およびMTU4のキャリア谷をトリガにTPU（ユニット0）各チャネルをカウント開始
(9) 各相のPWM立ち上がりエッジによるインプットキャプチャで割り込み発生
　立ち下がりエッジのカウント値と立ち上がりエッジのカウント値からアクティブ期間等を計算可能。
(10) PWMフィードバックの周期とDuty計算後、TPU（ユニット0）全チャネルのカウント動作を停止し、TGRAとTGRBをアウトプットコンペア（インプットキャプチャ禁止）に設定。
　TGRAインプットキャプチャによる割り込みを禁止。
(11) TPU（ユニット0）全チャネルのカウンタ値を0000hに設定（クリア）
(12) TPU（ユニット0）各チャネルのTGRAとTGRBをインプットキャプチャ動作に設定
　TGRA：立ち上がり検出（逆相チャネルは立ち下がり検出）
　TGRB：立ち下がり検出（逆相チャネルは立ち上がり検出）
(13) PWMFBSLRレジスタを下記のとおりに設定
　TPU0ENビット：1b（内部フィードバック許可）
　FBSL0ビット：101b（MTU6およびMTU7　PWM出力信号）
(14) TPU（ユニット0）各チャネルのTGRAインプットキャプチャによる割り込みを許可
(15) MTU6およびMTU7のキャリア谷をトリガにTPU（ユニット0）各チャネルをカウント開始
(16) 各相のPWM立ち上がりエッジによるインプットキャプチャで割り込み発生
　立ち下がりエッジのカウント値と立ち上がりエッジのカウント値からアクティブ期間等を計算可能。
(17) 周期とDuty計算後、必要に応じて上記手順にしたがい入力元を切り替える。

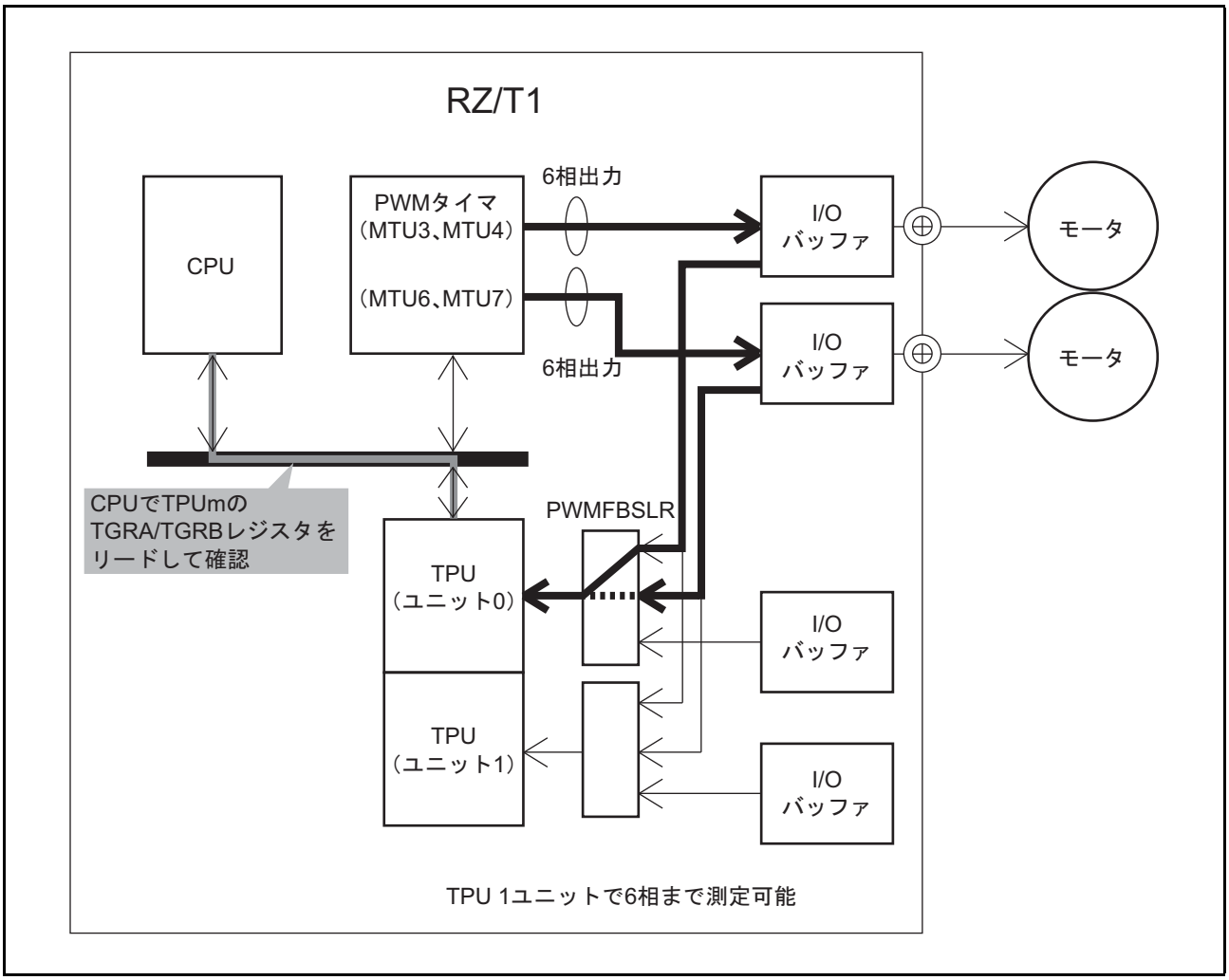


図 22.34　PWM 2 軸測定の設定例の接続図

22.3.8.3　PWM 1 軸測定の設定例（TPU（ユニット 0）をインプットキャプチャ機能として設定）

内部 PWM フィードバック入力選択機能を使用しない場合（PWMFBSLR.TPUnEN ビット = 0）でも、通常のインプットキャプチャ機能を用いて、TIOCAm 端子、TIOCBm 端子に外部から入力される PWM 信号の測定が可能です（n = 0 のとき m = 0 ～ 5、n = 1 のとき m = 6 ～ 11））

MTU3 および MTU4 を PWM 出力に用いて、このときの出力信号を本 LSI 外部から PWM 入力とし、測定用の入力先として TPU（ユニット 0）の TIOCAm 端子、TIOCBm 端子（m = 0 ～ 5）を用いて PWM 波形を測定する設定例を下記に示します。

本設定におけるモジュール接続関係は**図 22.35** を参照してください。

前提：使用する MTU3a、または GPTa は、PWM タイマとして谷→谷でキャリア 1 周期、PWM は Low アクティブに設定され動作中。この PWM 出力信号は本 LSI 外部で TIOCAm 端子、TIOCBm 端子に接続されて信号入力できる構成とする。

(1) TPU（ユニット 0）の全チャネルのカウント動作を停止し、各チャネルの TGRA と TGRB をアウトプットコンペア（インプットキャプチャ禁止）に設定。

(2) TPU（ユニット 0）の各インプットキャプチャ端子のデジタルノイズフィルタを設定

(3) TPU（ユニット 0）の各チャネルのカウントクロック／クリア条件／動作モードを設定
カウントクロック：PCLKD
クリア条件　　：TGRA のインプットキャプチャでカウンタクリア
動作モード　　：通常モード

(4) TPU（ユニット 0）の全チャネルのカウンタ値を 0000h に設定（クリア）

(5) TPU（ユニット 0）の各チャネルの TGRA と TGRB をインプットキャプチャ動作に設定
TGRA：立ち上がり検出（逆相チャネルは立ち下がり検出）
TGRB：立ち下がり検出（逆相チャネルは立ち上がり検出）

(6) PWMFBSLR レジスタを下記のとおりに設定
TPU0EN ビット：0b（内部 PWM フィードバック禁止）
FBSL0 ビット：無効

(7) TPU（ユニット 0）の各チャネルの TGRA インプットキャプチャによる割り込みを許可

(8) 本 LSI 外部から TIOCmA 端子、TIOCmB 端子に入力される PWM 信号のキャリア谷をトリガに TPU（ユニット 0）各チャネルをカウント開始（m = 0 ～ 5）。

(9) 各相の PWM 立ち上がりエッジによるインプットキャプチャで割り込み発生
立ち下がりエッジのカウント値と立ち上がりエッジのカウント値からアクティブ期間等を計算可能。

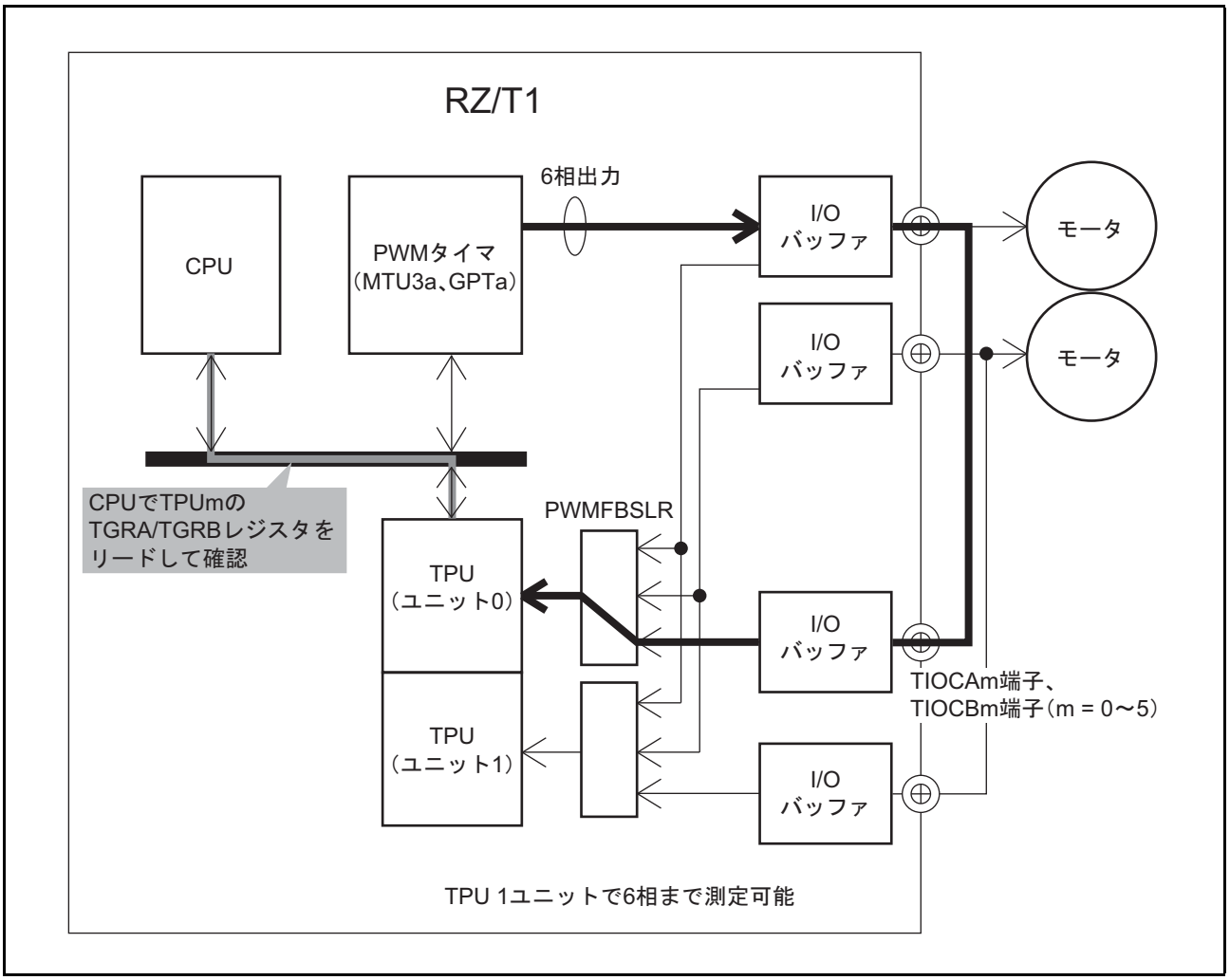


図 22.35　PWM 1 軸測定の設定例の接続図

22.3.8.4　PWM2軸測定の設定例（TPU（ユニット0、ユニット1）をインプットキャプチャ機能として設定）

内部PWMフィードバック入力選択機能を使用しない場合（PWMFBSLR.TPUnENビット＝0）でも、通常のインプットキャプチャ機能を用いて、TIOCAm端子、TIOCBm端子に外部から入力されるPWM信号の測定が可能です（n＝0のとき m＝0 ～ 5、n＝1のとき m＝6 ～ 11）。

MTU3およびMTU4とMTU6およびMTU7をPWM出力に用いて、このときの2軸の出力信号を本LSI外部からPWM入力とし、測定用の入力先をTPU（ユニット0、ユニット1）のTIOCAm端子、TIOCBm端子（m＝0 ～ 11）を用いてPWM波形を測定する設定例を下記に示します。

本設定におけるモジュール接続関係は**図22.36**を参照してください。

前提：使用するMTU3aは、PWMタイマとして谷→谷でキャリア1周期、PWMはLowアクティブに設定され動作中。このPWM出力信号は本LSI外部でTIOCAm端子、TIOCBm端子に接続されて信号入力できる構成とする。

（1）TPU（ユニット0）とTPU（ユニット1）の全チャネルのカウント動作を停止し、各チャネルのTGRAとTGRBをアウトプットコンペア（インプットキャプチャ禁止）に設定。

（2）TPU（ユニット0）とTPU（ユニット1）の各インプットキャプチャ端子のデジタルノイズフィルタを設定

（3）TPU（ユニット0）とTPU（ユニット1）の各チャネルのカウントクロック／クリア条件／動作モードを設定

・ユニット0/1

カウントクロック：PCLKD/1

クリア条件　　：TGRAのインプットキャプチャでカウンタクリア

動作モード　　：通常モード

（4）TPU（ユニット0）とTPU（ユニット1）の全チャネルのカウンタ値を0000hに設定（クリア）

（5）TPU（ユニット0）各チャネルのTGRAとTGRBをインプットキャプチャ動作に設定

・ユニット0/1

TGRA：立ち上がり検出（逆相チャネルは立ち下がり検出）

TGRB：立ち下がり検出（逆相チャネルは立ち上がり検出）

（6）PWMFBSLRレジスタを下記のとおりに設定

・ユニット0

TPU0ENビット：0b（内部フィードバック禁止）

FBSL0ビット：未使用

・ユニット1

TPU1ENビット：0b（内部フィードバック禁止）

FBSL1ビット：未使用

（7）TPU（ユニット0）各チャネルのTGRAインプットキャプチャによる割り込みを許可

（8）TPU（ユニット0）に端子経由で外部からPWM信号を入力するPWMタイマのキャリア谷をトリガにTPU（ユニット0）の各チャネルをカウント開始（注1）

（9）TPU（ユニット1）に端子経由で外部からPWM信号を入力するPWMタイマのキャリア谷をトリガにTPU（ユニット1）の各チャネルをカウント開始（注1）

（10）各相のPWM立ち上がりエッジによるインプットキャプチャで割り込み発生

立ち下がりエッジのカウント値と立ち上がりエッジのカウント値からアクティブ期間等を計算可能。

注1.　（8）と（9）は順番が逆になっても問題ありません。

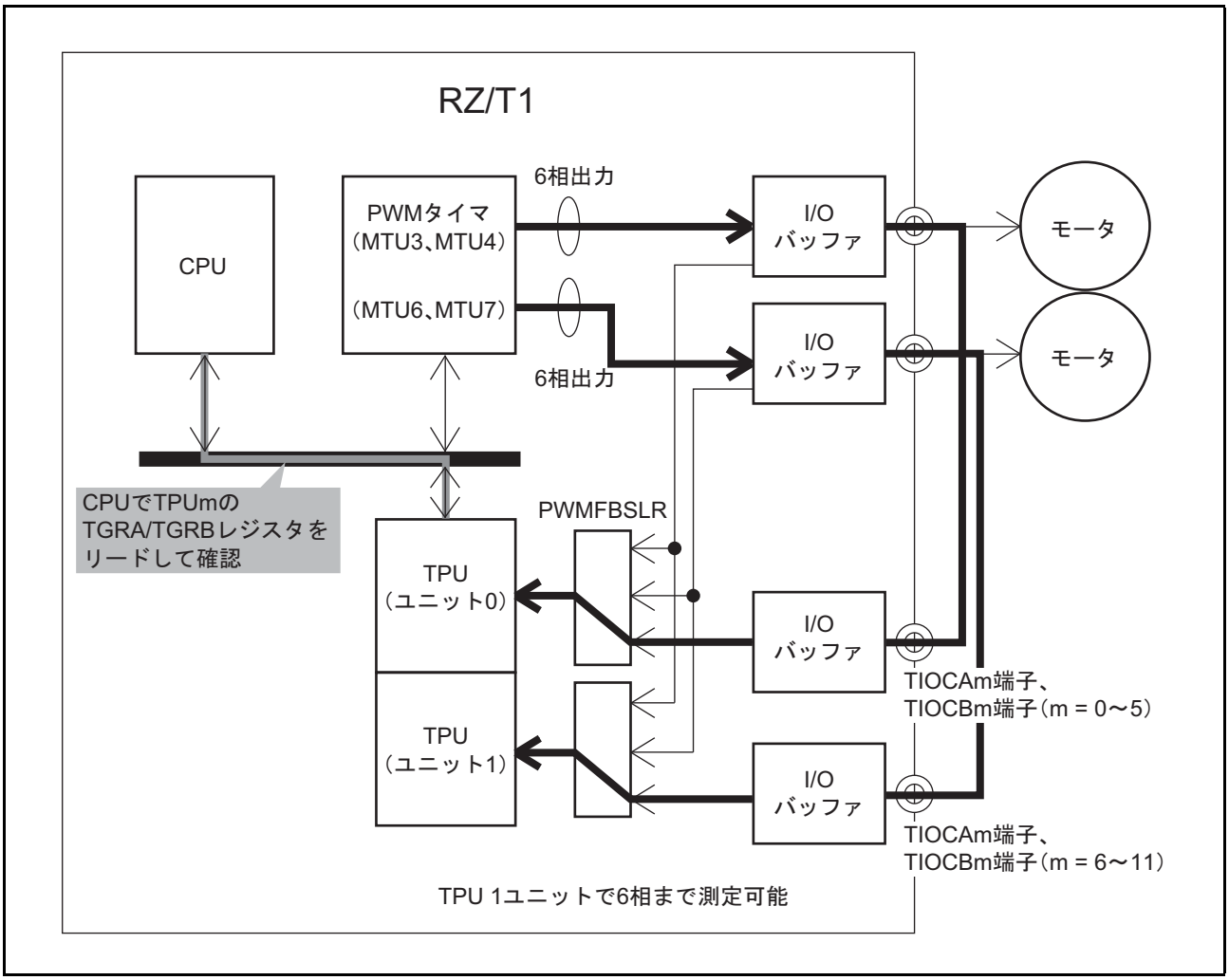


図 22.36　PWM 2 軸測定の設定例の接続図

22.4　割り込み要因

TPU の割り込み要因には、TPUm.TGRy レジスタのインプットキャプチャ／コンペアマッチ、TPUm.TCNT カウンタのオーバフロー、アンダフローの 3 種類があります。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は変更できません。詳細は「12.　割り込みコントローラ（ICUA）」を参照してください。

表 22.31 に TPU の割り込み要因の一覧を示します。

表22.31　TPU割り込み一覧 (1 / 2)

ユニット	チャネル	名称	割り込み要因	DMACの起動
0	TPU0	TGI0A	TPU0.TGRAのインプットキャプチャ／コンペアマッチ	可能
		TGI0B	TPU0.TGRBのインプットキャプチャ／コンペアマッチ	可能
		TGI0C	TPU0.TGRCのインプットキャプチャ／コンペアマッチ	不可能
		TGI0D	TPU0.TGRDのインプットキャプチャ／コンペアマッチ	不可能
		TCI0V	TPU0.TCNTのオーバフロー	不可能
	TPU1	TGI1A	TPU1.TGRAのインプットキャプチャ／コンペアマッチ	可能
		TGI1B	TPU1.TGRBのインプットキャプチャ／コンペアマッチ	可能
		TCI1V	TPU1.TCNTのオーバフロー	不可能
		TCI1U	TPU1.TCNTのアンダフロー	不可能
	TPU2	TGI2A	TPU2.TGRAのインプットキャプチャ／コンペアマッチ	可能
		TGI2B	TPU2.TGRBのインプットキャプチャ／コンペアマッチ	可能
		TCI2V	TPU2.TCNTのオーバフロー	不可能
		TCI2U	TPU2.TCNTのアンダフロー	不可能
	TPU3	TGI3A	TPU3.TGRAのインプットキャプチャ／コンペアマッチ	可能
		TGI3B	TPU3.TGRBのインプットキャプチャ／コンペアマッチ	可能
		TGI3C	TPU3.TGRCのインプットキャプチャ／コンペアマッチ	不可能
		TGI3D	TPU3.TGRDのインプットキャプチャ／コンペアマッチ	不可能
		TCI3V	TPU3.TCNTのオーバフロー	不可能
	TPU4	TGI4A	TPU4.TGRAのインプットキャプチャ／コンペアマッチ	可能
		TGI4B	TPU4.TGRBのインプットキャプチャ／コンペアマッチ	可能
		TCI4V	TPU4.TCNTのオーバフロー	不可能
		TCI4U	TPU4.TCNTのアンダフロー	不可能
	TPU5	TGI5A	TPU5.TGRAのインプットキャプチャ／コンペアマッチ	可能
		TGI5B	TPU5.TGRBのインプットキャプチャ／コンペアマッチ	可能
		TCI5V	TPU5.TCNTのオーバフロー	不可能
		TCI5U	TPU5.TCNTのアンダフロー	不可能

表22.31　TPU割り込み一覧 (2 / 2)

ユニット	チャネル	名称	割り込み要因	DMACの起動
1	TPU6	TGI6A	TPU6.TGRAのインプットキャプチャ／コンペアマッチ	不可能
		TGI6B	TPU6.TGRBのインプットキャプチャ／コンペアマッチ	不可能
		TGI6C	TPU6.TGRCのインプットキャプチャ／コンペアマッチ	不可能
		TGI6D	TPU6.TGRDのインプットキャプチャ／コンペアマッチ	不可能
		TCI6V	TPU6.TCNTのオーバフロー	不可能
	TPU7	TGI7A	TPU7.TGRAのインプットキャプチャ／コンペアマッチ	不可能
		TGI7B	TPU7.TGRBのインプットキャプチャ／コンペアマッチ	不可能
		TCI7V	TPU7.TCNTのオーバフロー	不可能
		TCI7U	TPU7.TCNTのアンダフロー	不可能
	TPU8	TGI8A	TPU8.TGRAのインプットキャプチャ／コンペアマッチ	不可能
		TGI8B	TPU8.TGRBのインプットキャプチャ／コンペアマッチ	不可能
		TCI8V	TPU8.TCNTのオーバフロー	不可能
		TCI8U	TPU8.TCNTのアンダフロー	不可能
	TPU9	TGI9A	TPU9.TGRAのインプットキャプチャ／コンペアマッチ	不可能
		TGI9B	TPU9.TGRBのインプットキャプチャ／コンペアマッチ	不可能
		TGI9C	TPU9.TGRCのインプットキャプチャ／コンペアマッチ	不可能
		TGI9D	TPU9.TGRDのインプットキャプチャ／コンペアマッチ	不可能
		TCI9V	TPU9.TCNTのオーバフロー	不可能
	TPU10	TGI10A	TPU10.TGRAのインプットキャプチャ／コンペアマッチ	不可能
		TGI10B	TPU10.TGRBのインプットキャプチャ／コンペアマッチ	不可能
		TCI10V	TPU10.TCNTのオーバフロー	不可能
		TCI10U	TPU10.TCNTのアンダフロー	不可能
	TPU11	TGI11A	TPU11.TGRAのインプットキャプチャ／コンペアマッチ	不可能
		TGI11B	TPU11.TGRBのインプットキャプチャ／コンペアマッチ	不可能
		TCI11V	TPU11.TCNTのオーバフロー	不可能
		TCI11U	TPU11.TCNTのアンダフロー	不可能

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1)　インプットキャプチャ／コンペアマッチ割り込み

各チャネルの TPUm.TGRy レジスタのインプットキャプチャ／コンペアマッチの発生により、TPUm.TIER.TGIEy ビット（y = A, B, C, D）が “1” なら、TGImy 割り込みを要求します（m = 0 ～ 11）。TPU には、TPU0、3、6、9 に各 4 本、TPU1、2、4、5、7、8、10、11 に各 2 本、計 32 本のインプットキャプチャ／コンペアマッチ割り込みがあります。

(2)　オーバフロー割り込み

各チャネルの TPUm.TCNT カウンタのオーバフローの発生により、TPUm.TIER.TCIEV ビットが “1” なら、TCImV 割り込みを要求します（m = 0 ～ 11）。TPU には、各チャネルに 1 本、計 12 本のオーバフロー割り込みがあります。

(3)　アンダフロー割り込み

各チャネルの TPUm.TCNT カウンタのアンダフローの発生により、TPUm.TIER.TCIEU ビットが “1” なら、TCImU 割り込みを要求します（m = 0 ～ 11）。TPU には、TPU1、2、4、5、7、8、10、11 に各 1 本、計 8 本のアンダフロー割り込みがあります。

22.5　DMAC の起動

各チャネルの TPUm.TGRA、TPUm.TGRB レジスタのインプットキャプチャ／コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「15.　DMA コントローラ（DMACAa）」を参照してください。

TPU では、ユニット 0 の各チャネルに 2 本、計 12 本の TPUm.TGRA、TPUm.TGRB レジスタのインプットキャプチャ／コンペアマッチ割り込みを DMAC の起動要因とすることができます（m = 0 ～ 5）。ユニット 1 は DMAC 起動要因を持ちません。

22.6　A/D コンバータの起動

TPU は、各チャネルの TPUm.TGRA レジスタのインプットキャプチャ／コンペアマッチによって、A/D コンバータを起動することができます（m = 0 ～ 4、6 ～ 10）。

各チャネルの TPUm.TGRA レジスタのインプットキャプチャ／コンペアマッチが発生したとき、TPUm.TIER.TTGE ビットが “1” なら、TPU は A/D コンバータに対して A/D 変換の開始を要求します。（m = 0 ～ 4、6 ～ 10）

なお、対応する A/D コンバータのユニットに関しては「43.　12 ビット A/D コンバータ（S12ADCa）」を参照してください。

22.7　PPG トリガ

ユニット 0 の TPU0 ～ TPU3 は TGRA および TGRB レジスタのインプットキャプチャ／コンペアマッチを、PPG1 の波形生成トリガにすることができます。ユニット 1 は PPG トリガを生成しません。

詳細は「23.　プログラマブルパルスジェネレータ（PPG）」を参照してください。

22.8　動作タイミング

22.8.1　　入出力タイミング

(1)　TPUm.TCNT カウンタのカウントタイミング

内部クロック動作の場合の TPUm.TCNT カウンタのカウントタイミングを図 22.37 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 22.38 に示します（m＝0 ～ 11）。

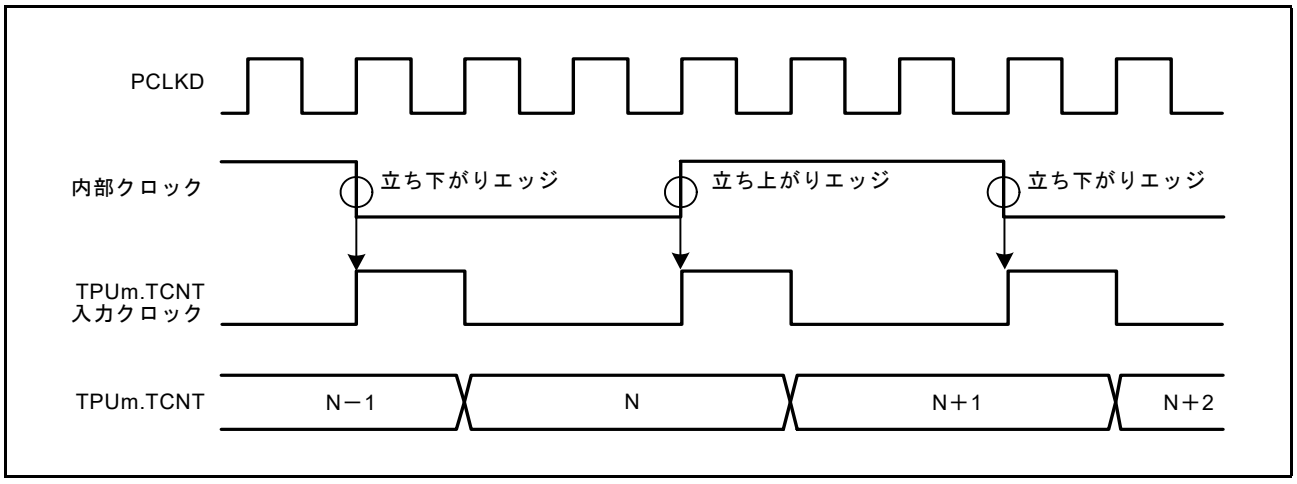


図 22.37　内部クロック動作時のカウントタイミング

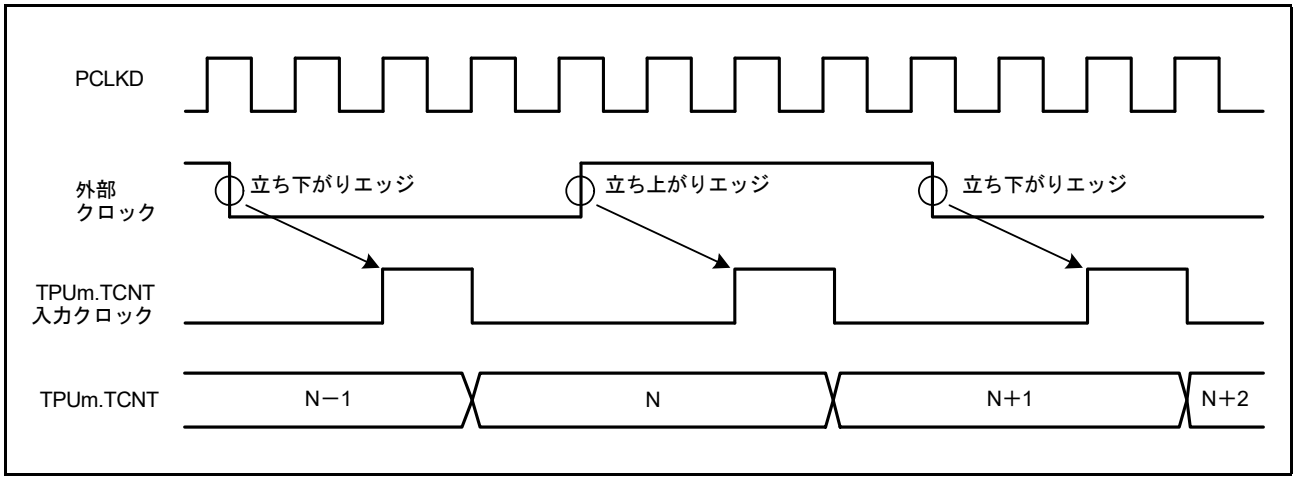


図 22.38　外部クロック動作時のカウントタイミング

(2)　アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNT カウンタと TPUm.TGRy レジスタが一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで設定した出力値がアウトプットコンペア出力端子（TIOCyn（n = 0, 3, 6, 9 の場合 y = A ～ D、n = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）端子）に出力されます。TCNT カウンタと TGRy レジスタが一致した後、TCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを**図 22.39** に示します。

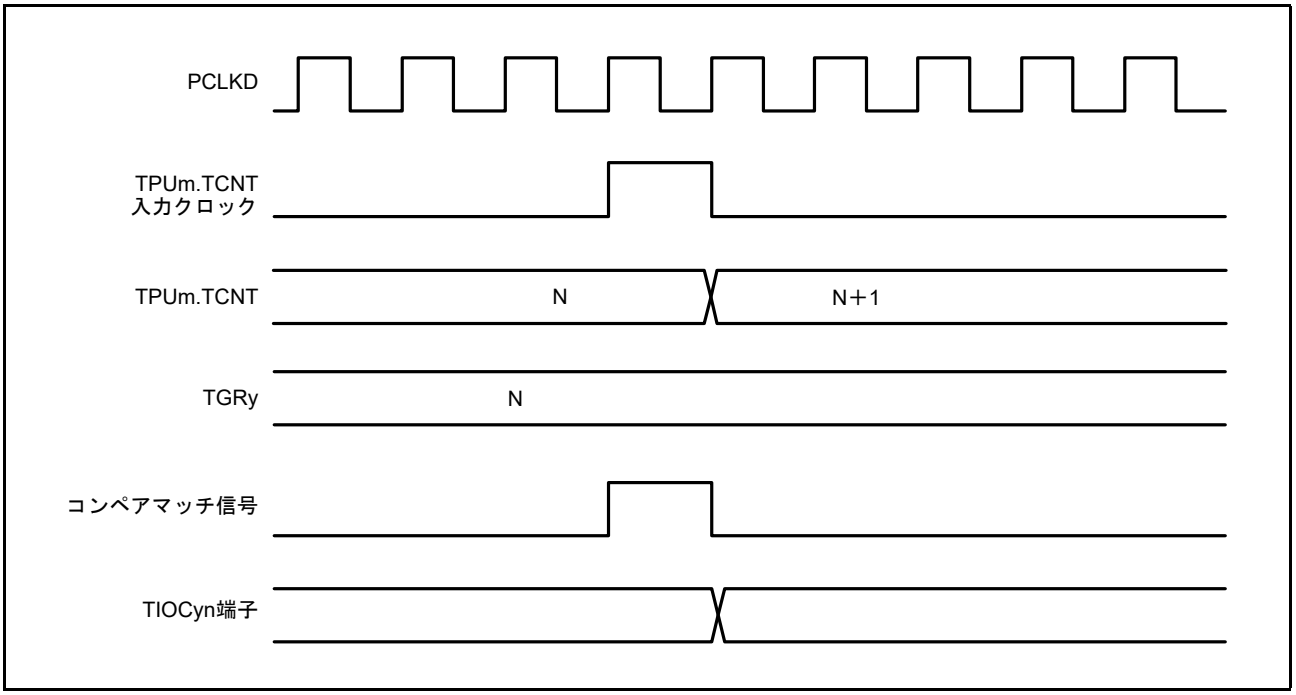


図 22.39　アウトプットコンペア出力タイミング

(3)　インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを**図 22.40** に示します。

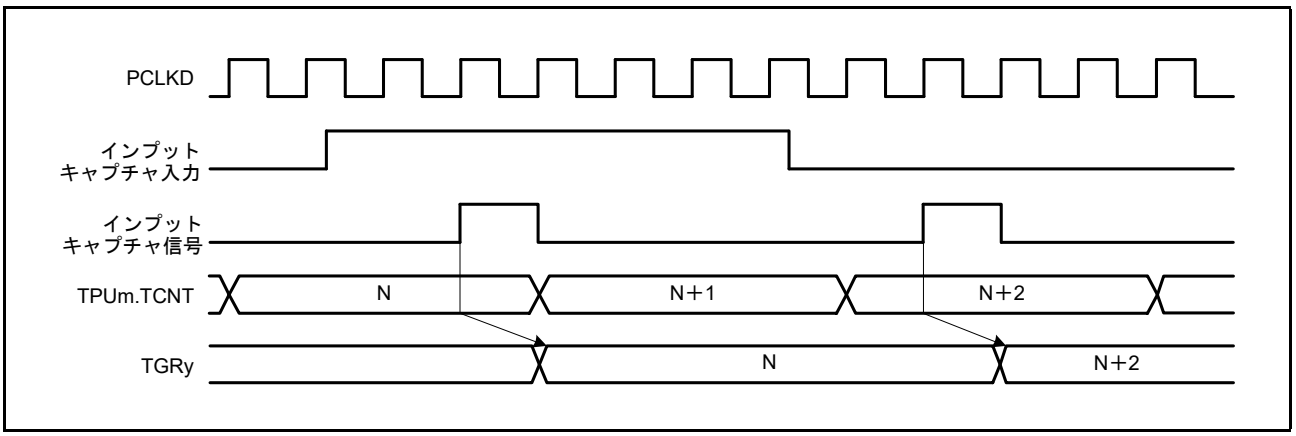


図 22.40　インプットキャプチャ入力信号タイミング

(4)　コンペアマッチ／インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 22.41 に示します。
インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 22.42 に示します。

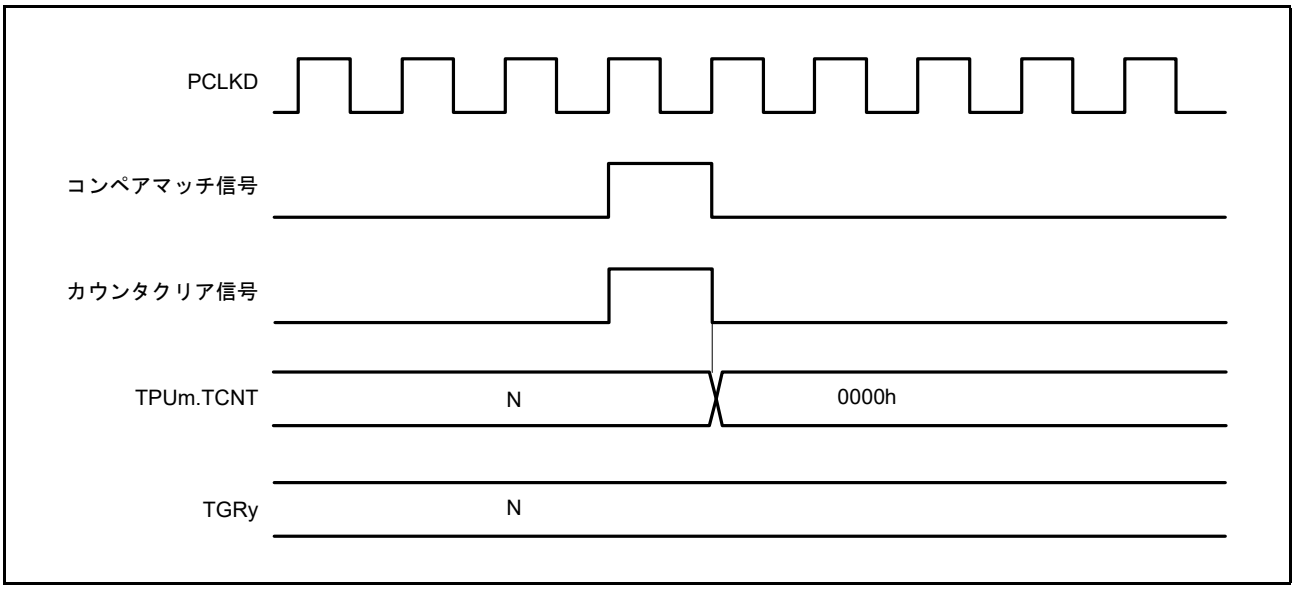


図 22.41　カウンタクリアタイミング（コンペアマッチ）

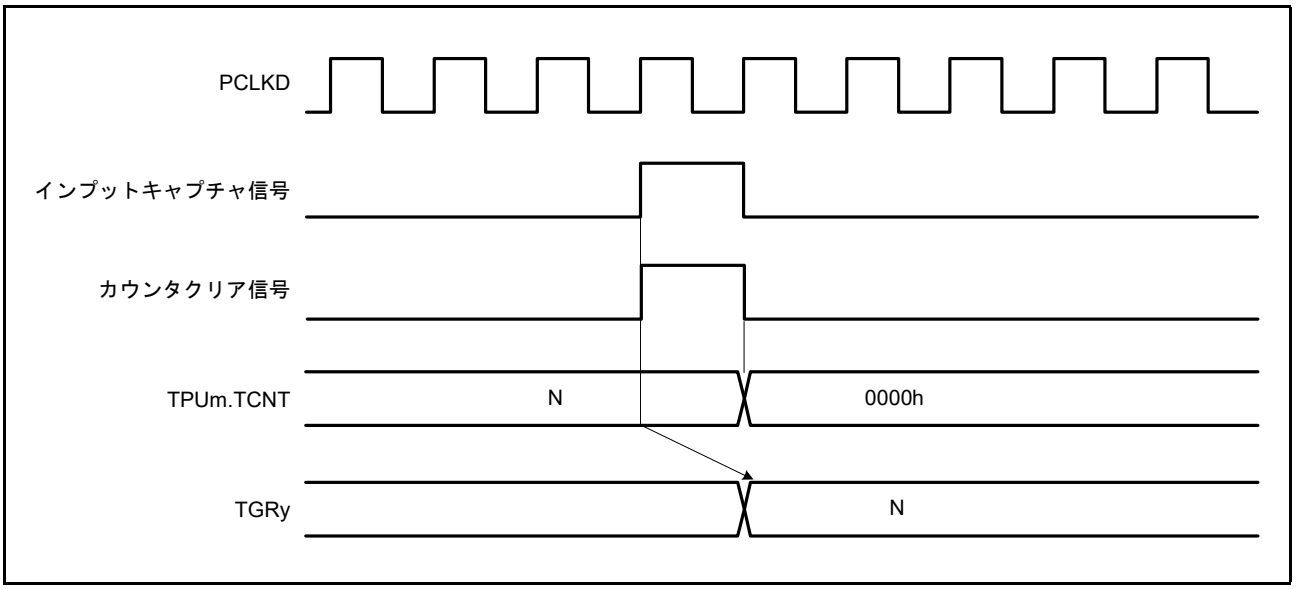


図 22.42　カウンタクリアタイミング（インプットキャプチャ）

(5)　バッファ動作タイミング

バッファ動作の場合のタイミングを図 22.43、図 22.44 に示します。

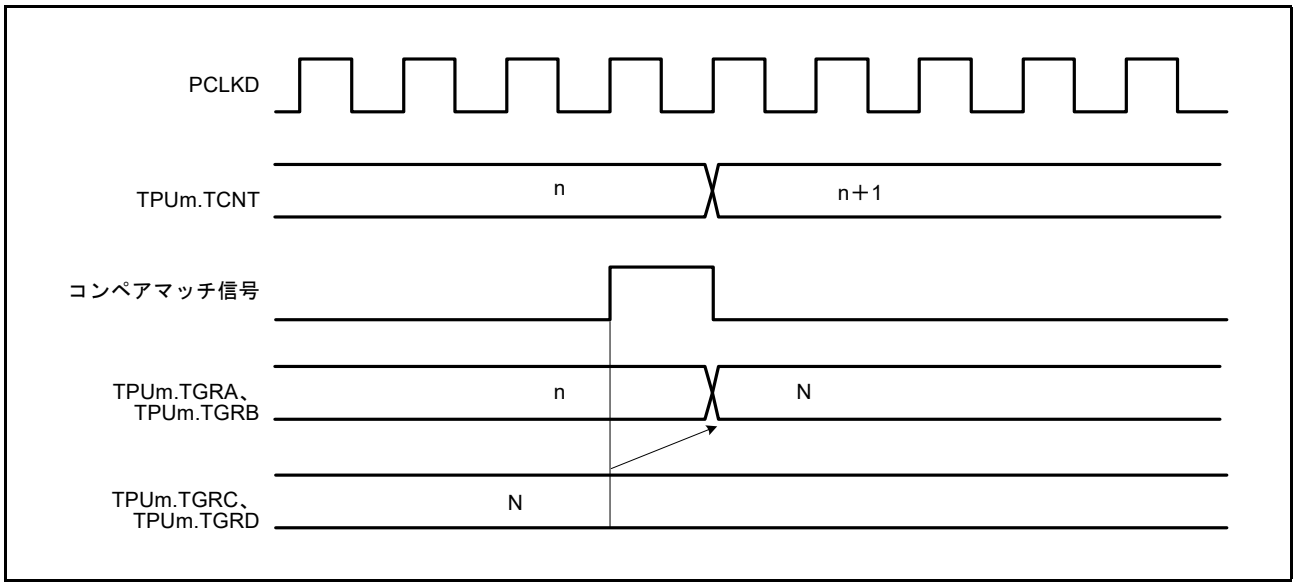


図 22.43　バッファ動作タイミング（コンペアマッチ）

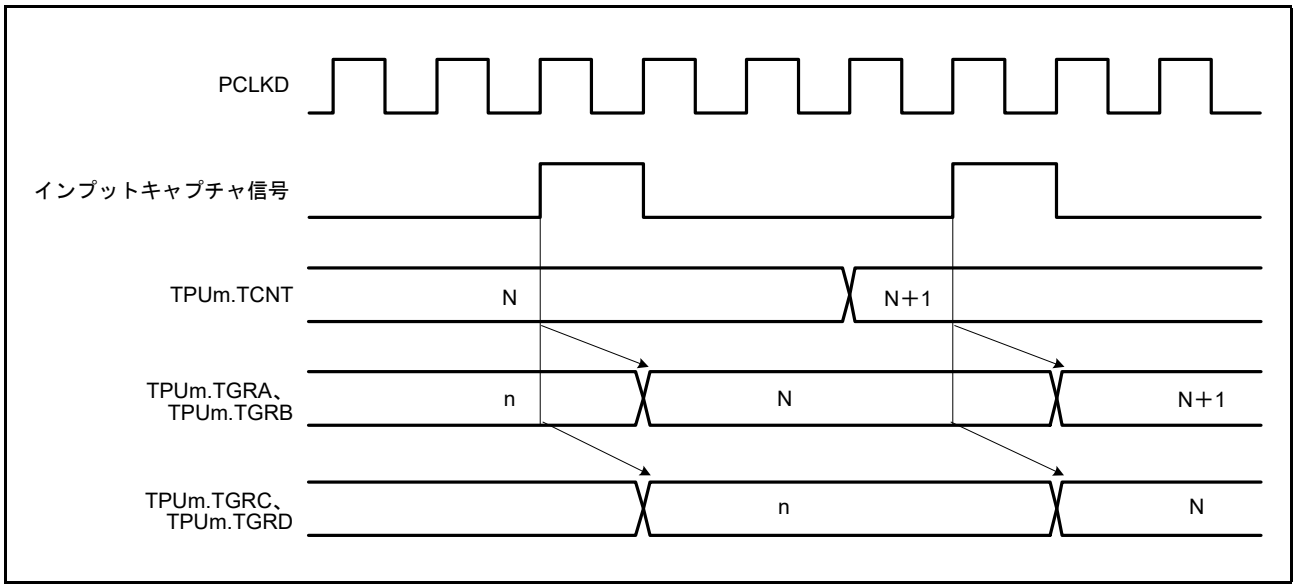


図 22.44　バッファ動作タイミング（インプットキャプチャ）

22.8.2　割り込み信号タイミング

(1)　コンペアマッチ時の割り込み信号のセットタイミング

コンペアマッチの発生による TGImy 割り込み信号のタイミングを図 22.45 に示します（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。

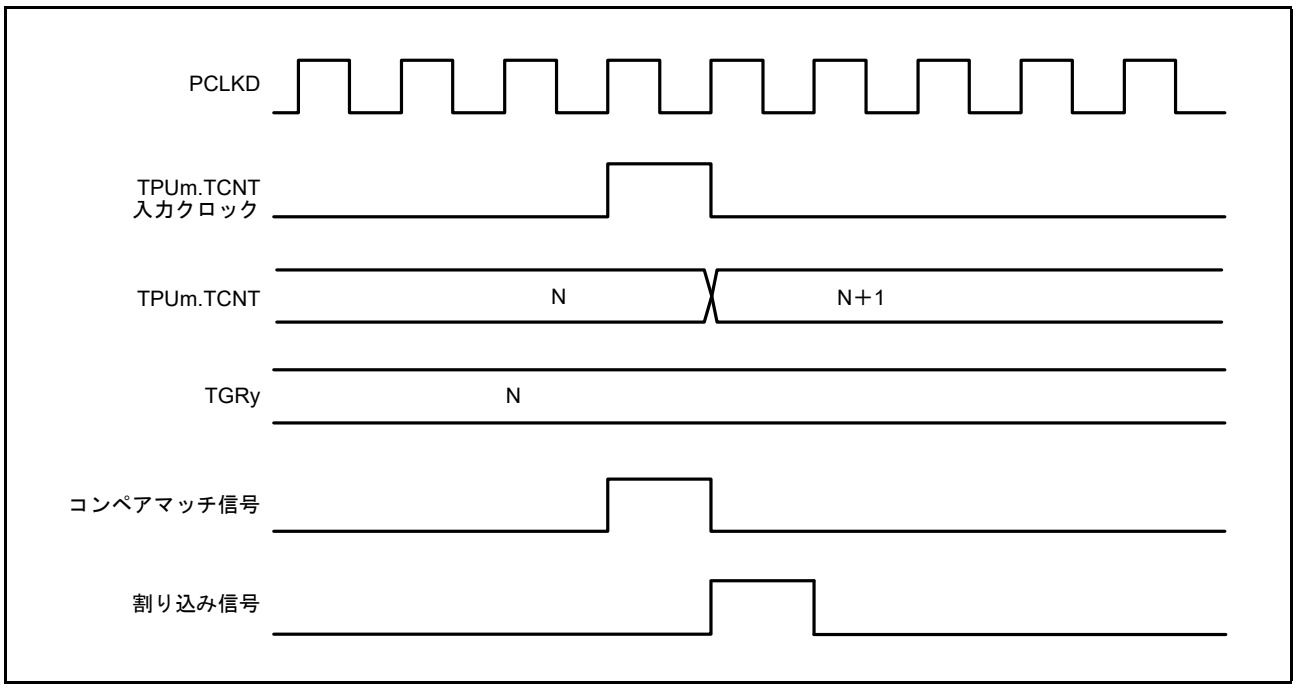


図 22.45　TGImy 割り込みタイミング（コンペアマッチ）

(2)　インプットキャプチャ時の割り込み信号のセットタイミング

インプットキャプチャの発生による TGImy 割り込み信号のタイミングを図 22.46 に示します（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。

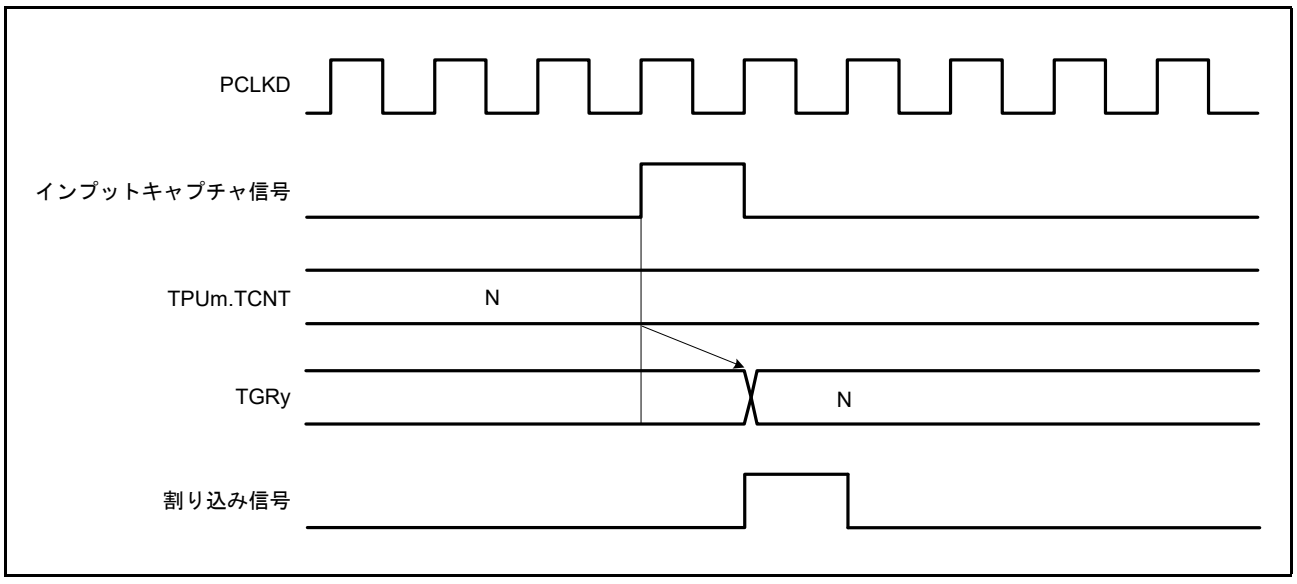


図 22.46　TGImy 割り込みタイミング（インプットキャプチャ）

(3)　TCImV、TCImU 割り込み信号のセットタイミング

オーバフローの発生による TCImV 割り込み信号のタイミングを図 22.47 に示します（m = 0 ～ 11）。

アンダフローの発生による TCInU 割り込み信号のタイミングを図 22.48 に示します（n = 1, 2, 4, 5, 7, 8, 10, 11）。

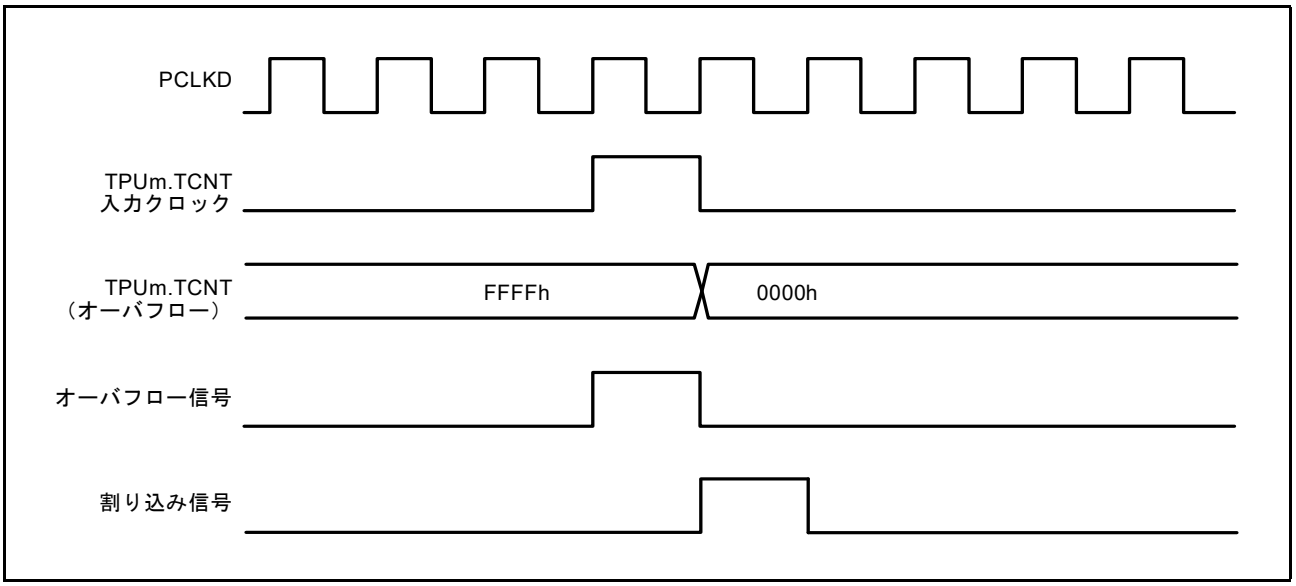


図 22.47　TCImV 割り込みのセットタイミング

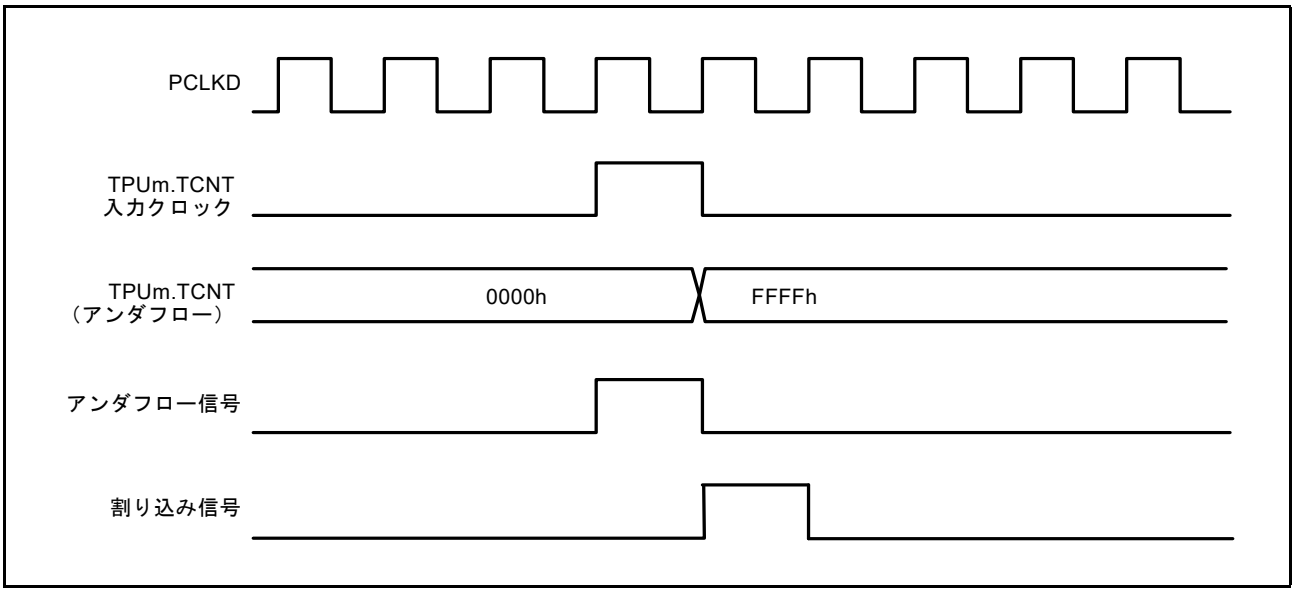


図 22.48　TCImU 割り込みのセットタイミング

22.9　使用上の注意事項

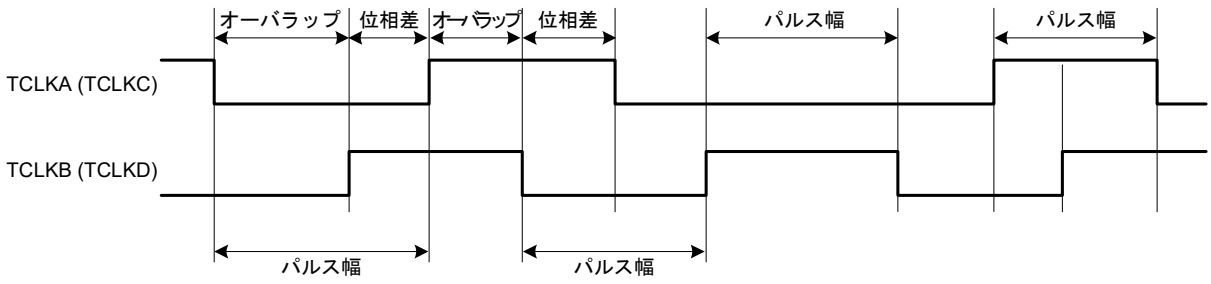
22.9.1　　モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPU の動作禁止／許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「9.　消費電力低減機能」**を参照してください。

22.9.2　　入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5PCLKD 以上、両エッジの場合は 2.5 PCLKD 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 PCLKD 以上、パルス幅は 2.5PCLKD 以上必要です。位相計数モードの入力クロックの条件を**図 22.49** に示します。



注．　位相差、オーバラップ：1.5 PCLKD 以上
　　パルス幅　　：2.5 PCLKD 以上

図 22.49　位相計数モード時の位相差、オーバラップ、およびパルス幅

22.9.3　　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNT カウンタは TPUm.TGRy レジスタの値と一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は以下の式のようになります（m = 0, 3, 6, 9 の場合 y = A ～ D, m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。

$$f = \frac{f_{TCNT_CLK}}{(N+1)}$$

f　　：カウンタ周波数
f_{TCNT_CLK}：カウンタクロックの周波数
N　　：TGRy レジスタの設定値

22.9.4　TPUm.TCNT カウンタへの書き込みとクリアの競合

TPUm.TCNT カウンタのライトサイクルでカウンタクリア信号が発生すると、TPUm.TCNT カウンタへの書き込みは行われずに TPUm.TCNT カウンタのクリアが優先されます。このタイミングを図 22.50 に示します（m = 0 ～ 11）。

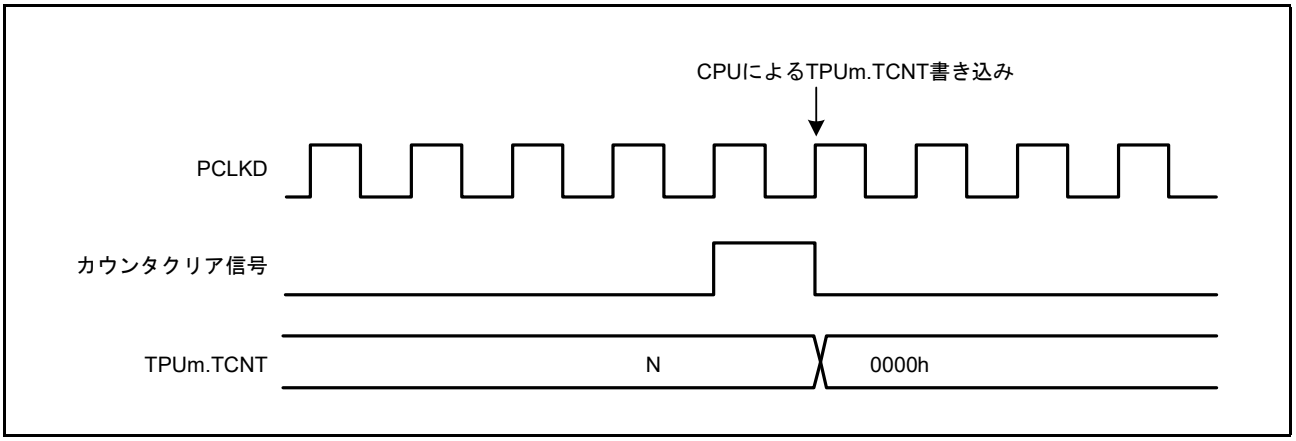


図 22.50　TPUm.TCNT カウンタへの書き込みとクリアの競合

22.9.5　TPUm.TCNT カウンタへの書き込みとカウントアップの競合

TPUm.TCNT カウンタのライトサイクルでカウントアップが発生してもカウントアップされず、TPUm.TCNT カウンタへの書き込みが優先されます。このタイミングを図 22.51 に示します（m = 0 ～ 11）。

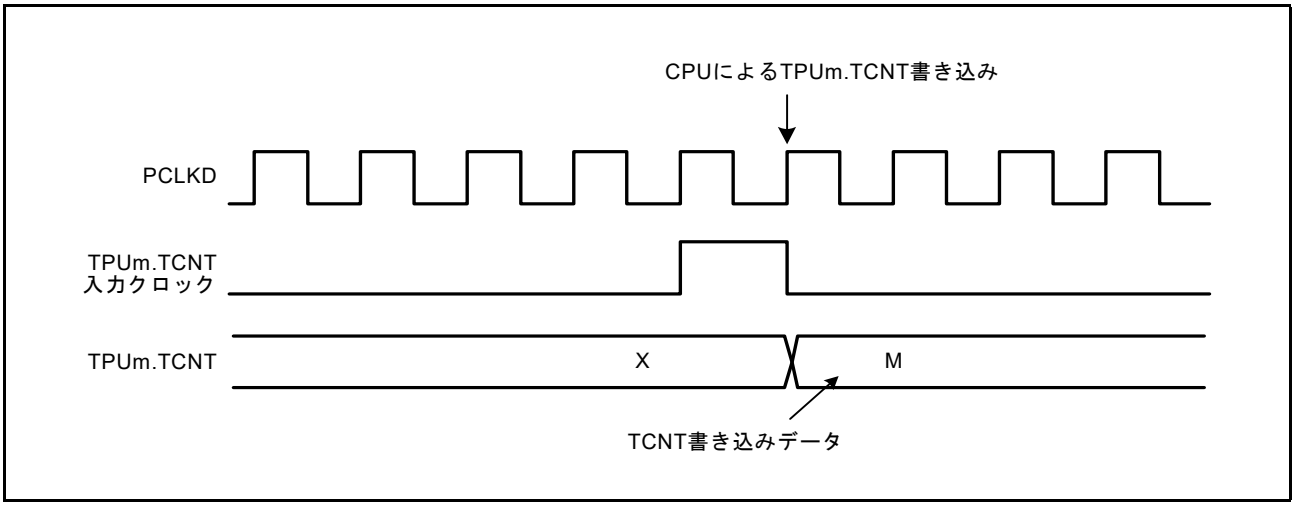


図 22.51　TPUm.TCNT カウンタへの書き込みとカウントアップの競合

22.9.6　TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。

このタイミングを図 22.52 に示します。

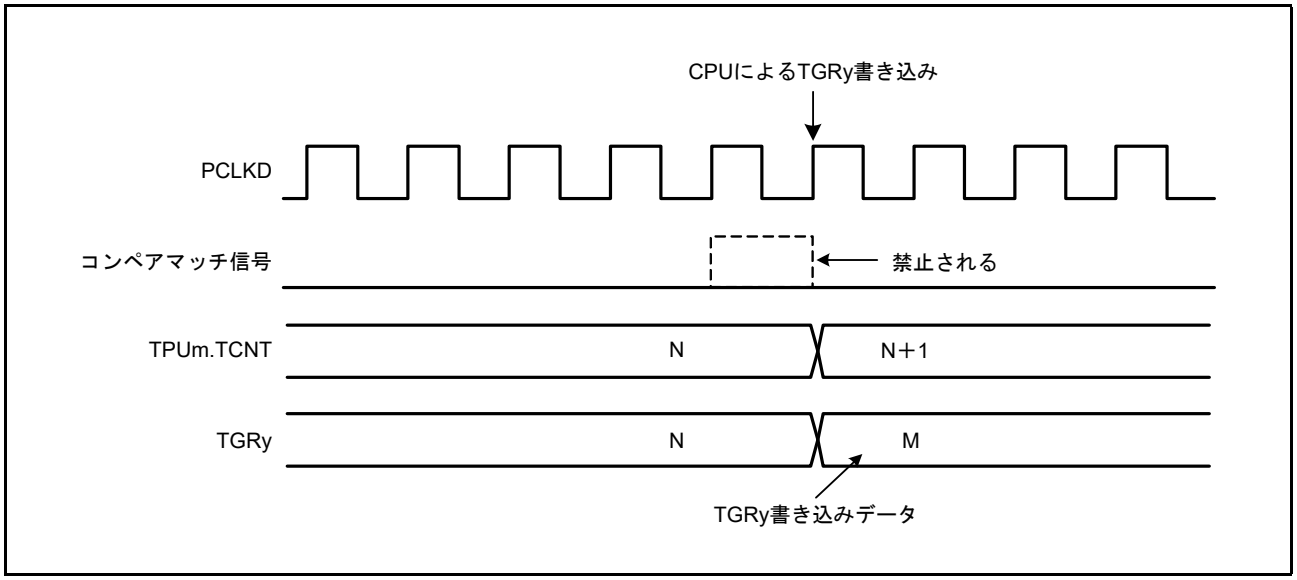


図 22.52　TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

22.9.7　バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。

このタイミングを図 22.53 に示します。

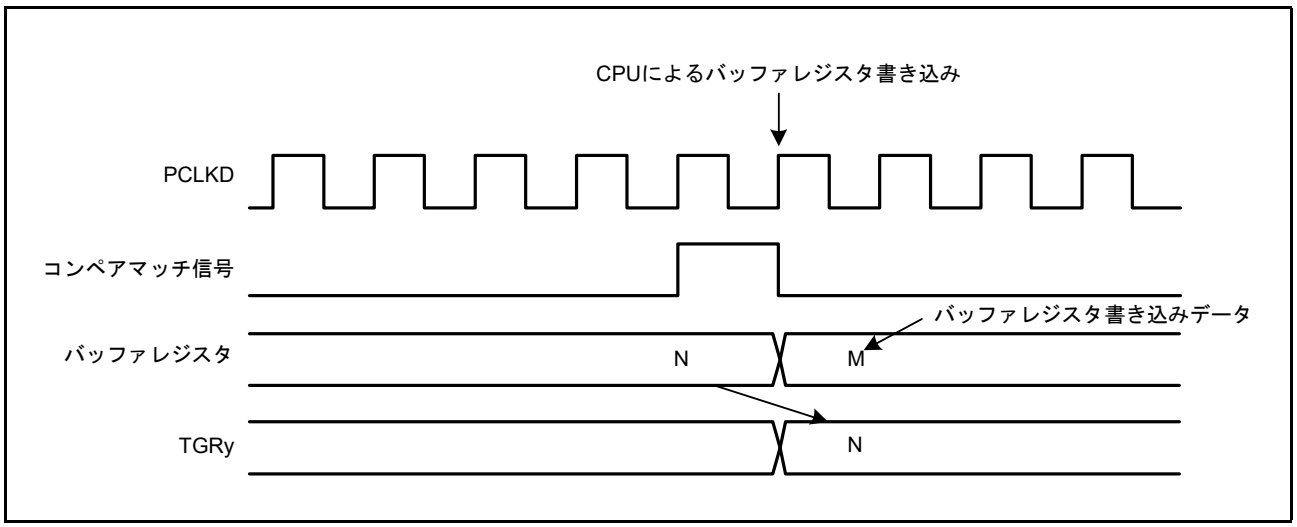


図 22.53　バッファレジスタへの書き込みとコンペアマッチの競合

22.9.8　TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。

このタイミングを図 22.54 に示します。

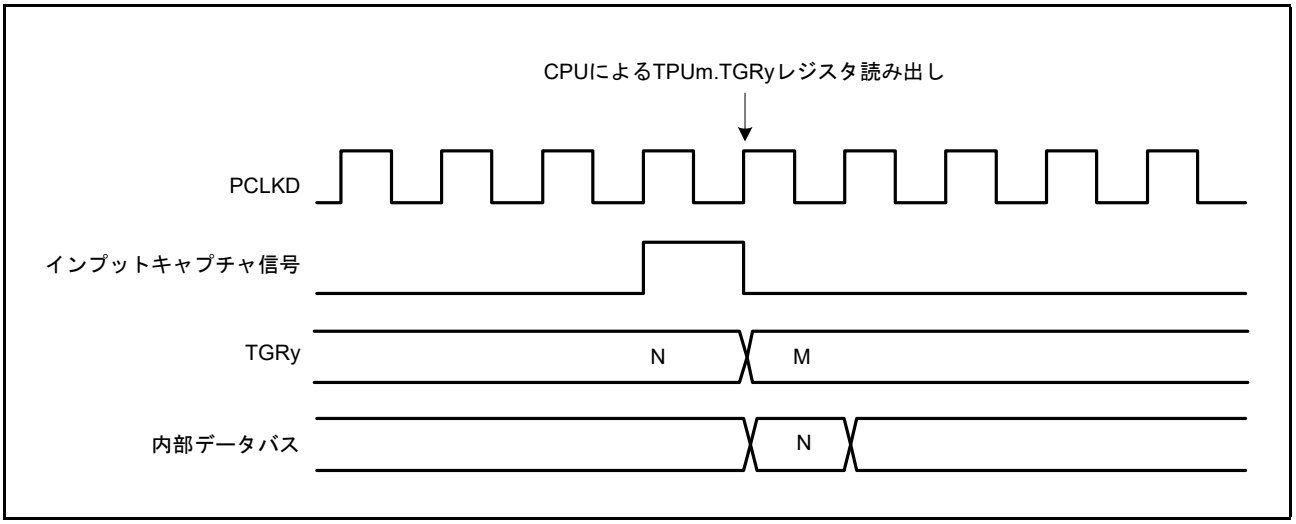


図 22.54　TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

22.9.9　TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。このタイミングを図 22.55 に示します。

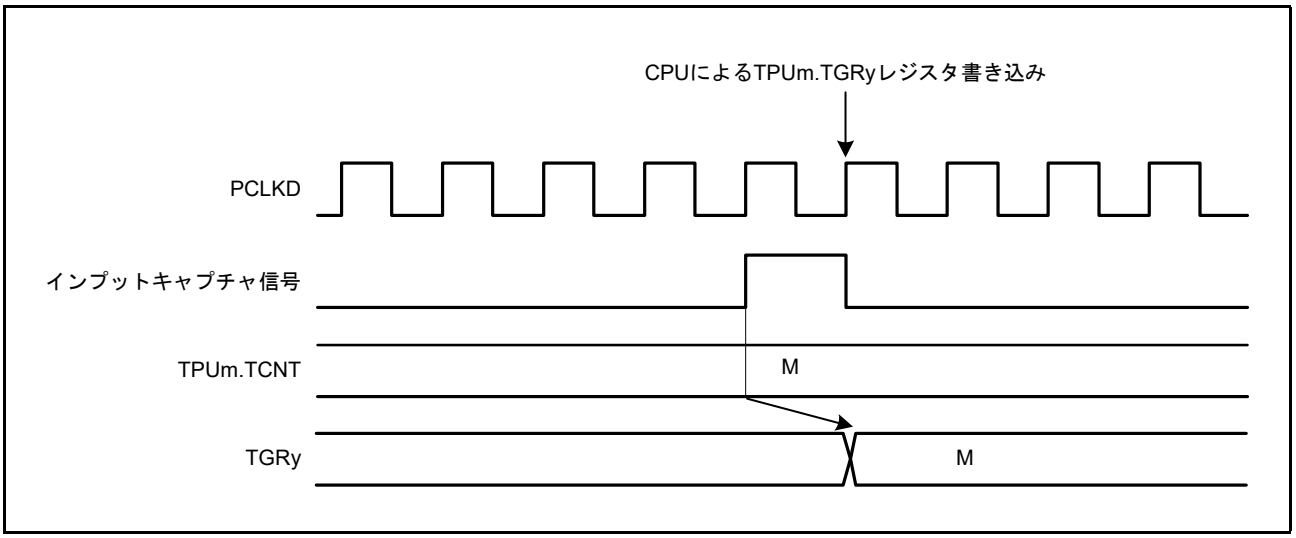


図 22.55　TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

22.9.10　バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタのライトサイクルでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。このタイミングを図 22.56 に示します。

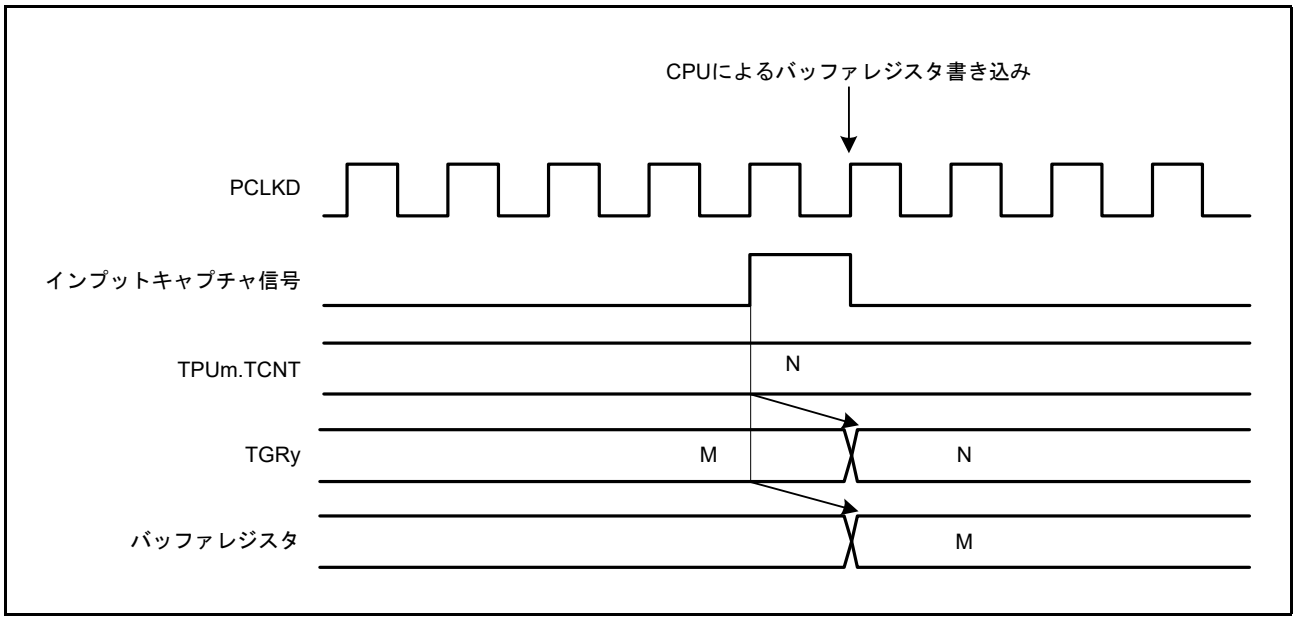


図 22.56　バッファレジスタへの書き込みとインプットキャプチャの競合

22.9.11　オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリア（注 1）が同時に発生すると、TPUm.TCNT カウンタのクリアが行われオーバフロー割り込み（TCImV）／アンダフロー割り込み（TCInU）が発生します（m = 0 ～ 11、n = 1, 2, 4, 5, 7, 8, 10, 11）。

TPUm.TGRy レジスタのコンペアマッチをクリア要因とし、TGRy レジスタを “FFFFh” にした場合の動作タイミングを図 22.57 に示します（m = 0, 3, 6, 9 の場合 y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11 の場合 y = A, B）。

注 1.　カウンタクリアの要因は以下の 4 種類です。
- コンペアマッチ
- インプットキャプチャ
- 同期クリア
- イベント信号によるカウントクリア動作

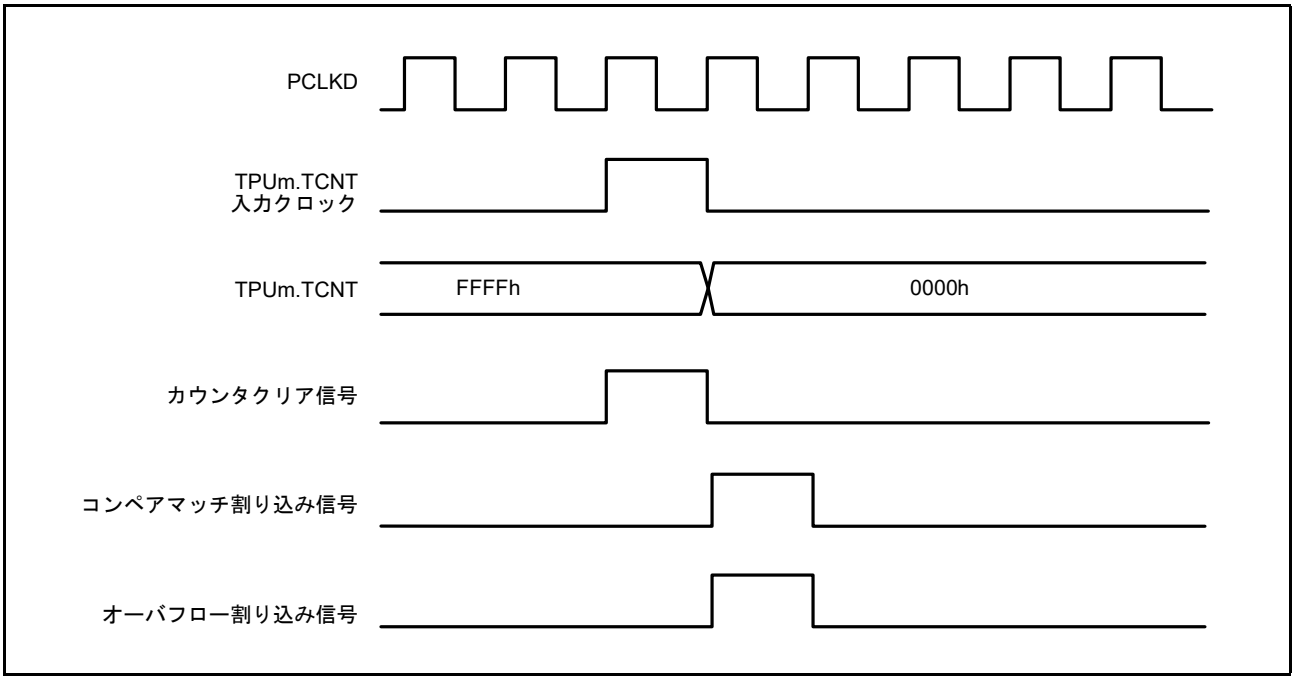


図 22.57　オーバフローとカウンタクリアの競合

22.9.12　TPUm.TCNT カウンタへの書き込みとオーバフロー／アンダフローの競合

TPUm.TCNT カウンタのライトサイクルでアップカウント／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TPUm.TCNT カウンタへの書き込みが優先されます。

TPUm.TCNT カウンタへの書き込みとオーバフロー競合時の動作タイミングを図 22.58 に示します（m＝0 ～ 11）。

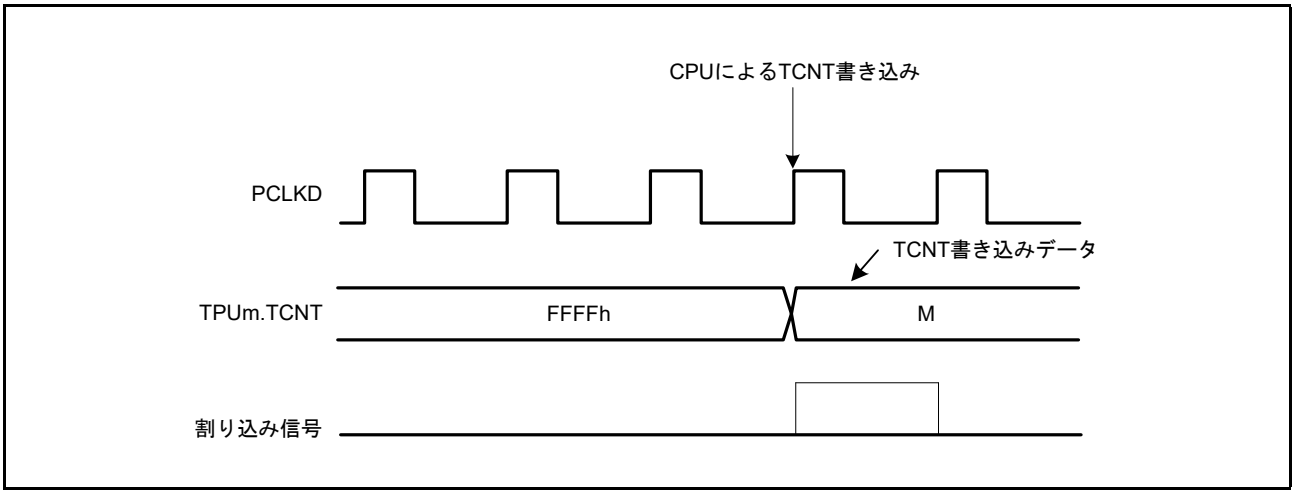


図 22.58　TPUm.TCNT カウンタへの書き込みとオーバフローの競合

22.9.13　コンペアマッチによる割り込み信号の連続出力

TGRy レジスタに “0000h”、カウンタクロックを PCLKD/1、コンペアマッチでカウンタクリアに設定した場合、TCNT は “0000h” のままとなり、割り込み信号は 1 サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2 回目以降のコンペアマッチによる割り込みを認識できなくなります (y = A ～ D)。

コンペアマッチによる割り込み信号の連続出力タイミングを**図 22.59** に示します。

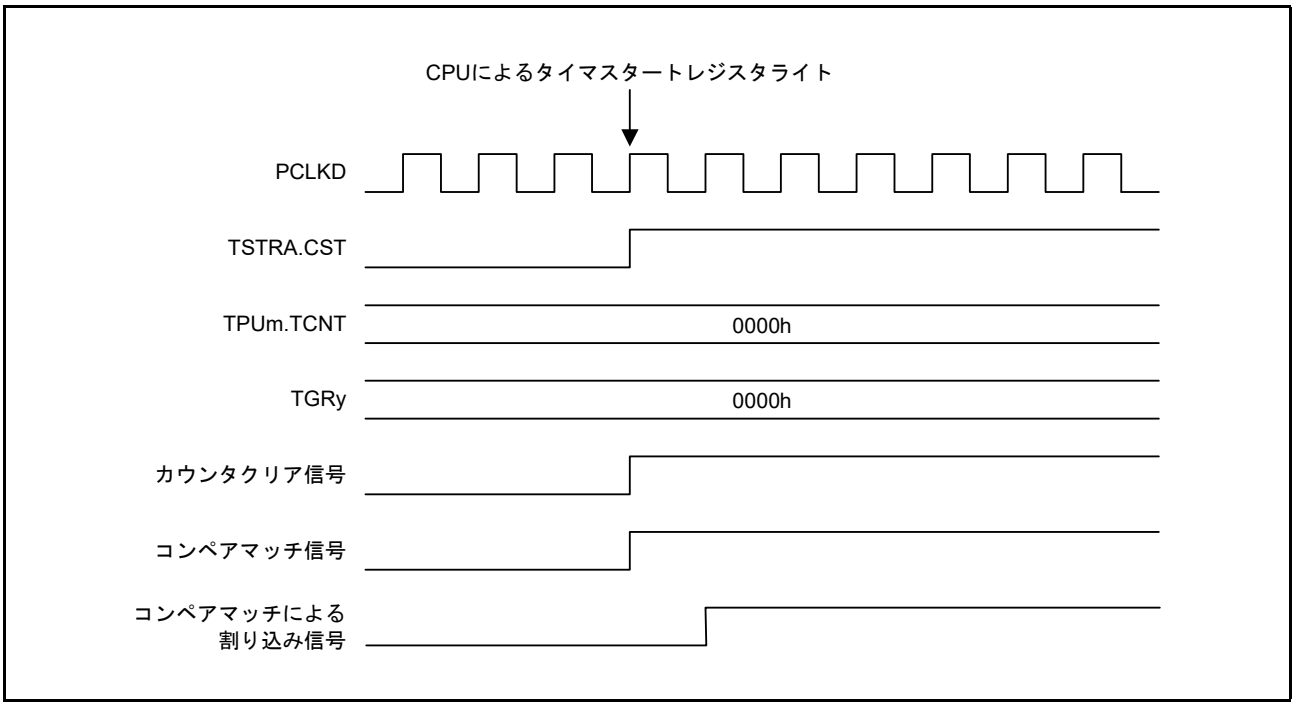


図 22.59　コンペアマッチによる割り込み信号の連続出力

22.9.14　インプットキャプチャによる割り込み信号の連続出力

インプットキャプチャを両エッジ、インプットキャプチャ入力が内部サンプリングによって 1PCLKD サイクルとして検出されるパルス幅の場合、立ち上がりエッジと立ち下がりエッジによるインプットキャプチャが連続して発生するために、割り込み信号は 1 サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2 回目以降のインプットキャプチャによる割り込みを認識できなくなります。

インプットキャプチャによる割り込み信号の連続出力タイミングを**図 22.60** に示します。

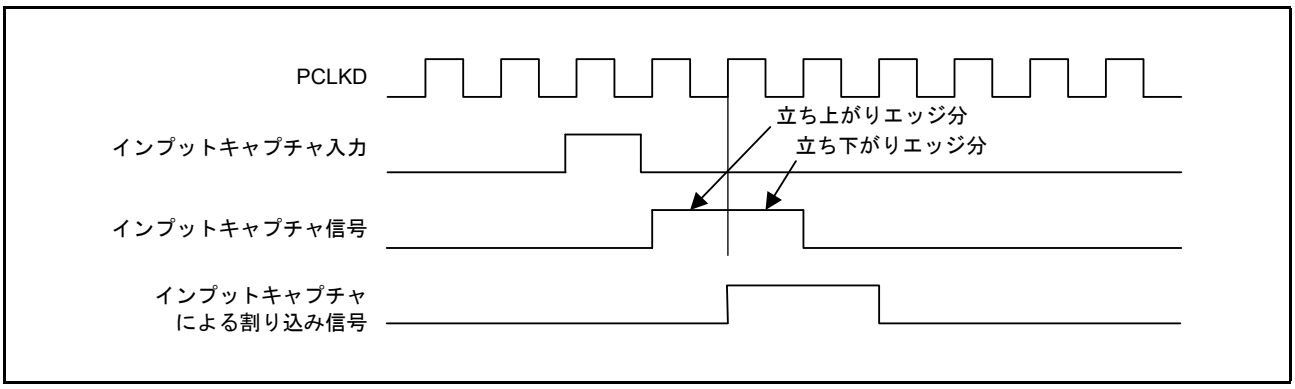


図 22.60　インプットキャプチャによる割り込み信号の連続出力

22.9.15　アンダフローによる割り込み信号の連続出力

位相計数モード 1、TGRy レジスタを “0000h”、カウンタクリア要因をコンペアマッチに設定し、TPUm.TCNT が “0000h” の状態のときに位相計数の対象となる 2 本の外部クロックの同方向のエッジが PCLKD の 2 サイクル内で発生した場合、TPUm.TCNT は “0000h” のままとなり、コンペアマッチ割り込み信号とアンダフロー割り込み信号は、レベル状の連続出力信号となります（y = A ～ D、m = 1, 2, 4, 5, 7, 8, 10, 11）。

これにより、2 回目以降のコンペアマッチとアンダフローによる割り込みを認識できなくなります。

アンダフローによる割り込み信号の連続出力するタイミングを図 22.61 に示します。

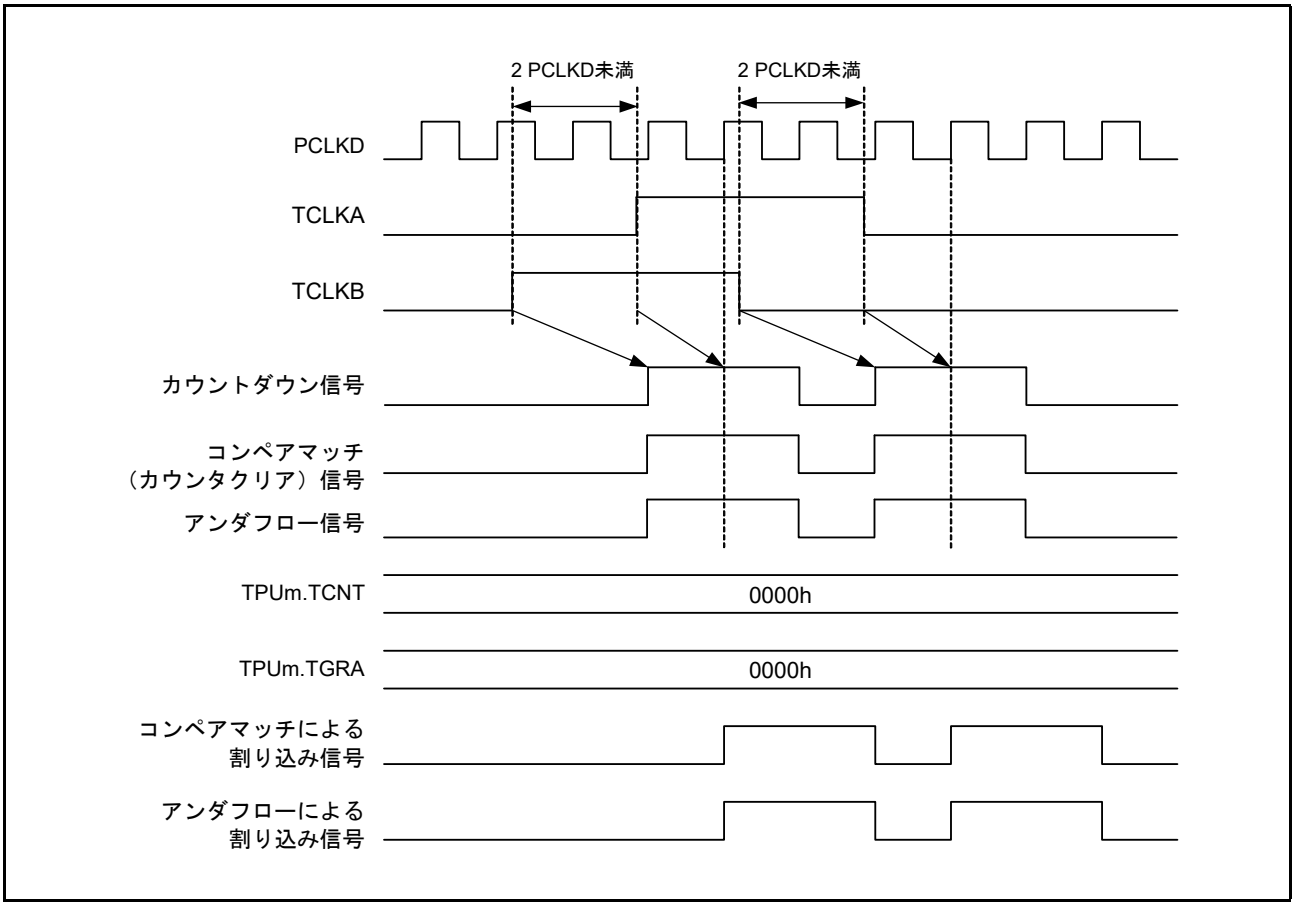


図 22.61　アンダフローによる割り込み信号の連続出力

22.9.16　カスケード接続時におけるインプットキャプチャ動作

2チャネルの16ビットカウンタをカスケード接続して、上位16ビットカウンタTPUm.TCNT（m = 1, 4, 7, 10）と下位16ビットカウンタTPUn.TCNT（n = 2, 5, 8, 11）で32ビットカウンタとして動作させた場合、例えばTIOCAm端子とTIOCAn端子に2本同時に立ち上がりエッジを入力することで、それぞれTPUm.TGRAレジスタへ上位16ビット、TPUn.TGRAレジスタに下位16ビットのデータが転送されます。

ただしTIOCA1端子とTIOCA2端子に立ち上がりエッジを同時入力しても、LSI内部に取り込むまでに遅延差が生じるため、上位16ビットと下位16ビットのキャプチャタイミングが1クロックずれる場合があります。本現象では0000 FFFFhから0001 0000hのように、下位16ビットカウンタのオーバフロータイミングをキャプチャした場合、本来ならキャプチャされた値は0000 FFFFh、または0001 0000hのどちらかになるべきですが0000 0000hまたは0001 FFFFhがキャプチャされる可能性があります。

このため32ビットカウンタとしてインプットキャプチャを使用する場合には、本現象でキャプチャ値がずれる可能性がある下位16ビットカウンタの値が0000h、またはFFFFhの値を示す場合はキャプチャ値を読み捨てるなど無効化の処理を行うようご注意ください。

または同時インプットキャプチャ機能を持つMTU3aを使用することも可能です。詳細は**「19.6.21　カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」**を参照してください。

22.10　イベントリンク動作（ユニット 0 のみ）

22.10.1　　ELC へのイベント信号送信

TPU（ユニット 0）は ELC（イベントリンクコントローラ）により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は該当する TIER0 レジスタの割り込み要求許可ビット（TGIEA/B/C/D、TCIEV/U）の設定に関係なく出力することができます。

各チャネルが送信可能なイベント信号を**表 22.32** に示します。

表22.32　　ELCへ送信するイベント信号の割り込み要因対応表

チャネル番号	コンペアマッチA	コンペアマッチB	コンペアマッチC	コンペアマッチD	オーバフロー	アンダフロー
チャネル 0	○	○	○	○	○	—（注 1）
チャネル 1	○	○	—（注 2）	—（注 2）	○	○
チャネル 2	○	○	—（注 2）	—（注 2）	○	○
チャネル 3	○	○	○	○	○	—（注 1）

○：可能
－：不可
注1.　チャネル0、3はアンダフローしないため対応する割り込み要求信号なし
注2.　チャネル1、2はTGRCとTGRDレジスタがないため対応する割り込み要求信号なし

22.10.2　　ELC からのイベント信号受信

TPU（ユニット 0）は、ELC（イベントリンクコントローラ）のイベントリンク設定レジスタの設定により、3 種類の動作ができます。

(1)　カウントスタート動作

ELC の ELOPF レジスタで TPU のカウントスタート動作が選択された状態でイベント信号を受信すると、TSTRA（タイマスタートレジスタ）の CSTn ビットが “1” にセットされ、カウントがスタートします。

ただし、CSTn ビットが “1” にセットされているチャネルでこのイベントが発生した場合、イベントは無効になります。

各チャネルに対して使用する TSTRA の CSTn ビットを**表 22.33** に示します。

また、カウントスタート動作のタイミングを**図 22.62** に示します。

カウントスタート動作の設定手順の詳細については「**22.3.1　(1)　カウンタの動作**」を参照してください。

表22.33　　チャネルとTSTRAのCSTnビットの対応表

チャネル番号	TSTRAのCSTnビット
チャネル 0	CST0
チャネル 1	CST1
チャネル 2	CST2
チャネル 3	CST3

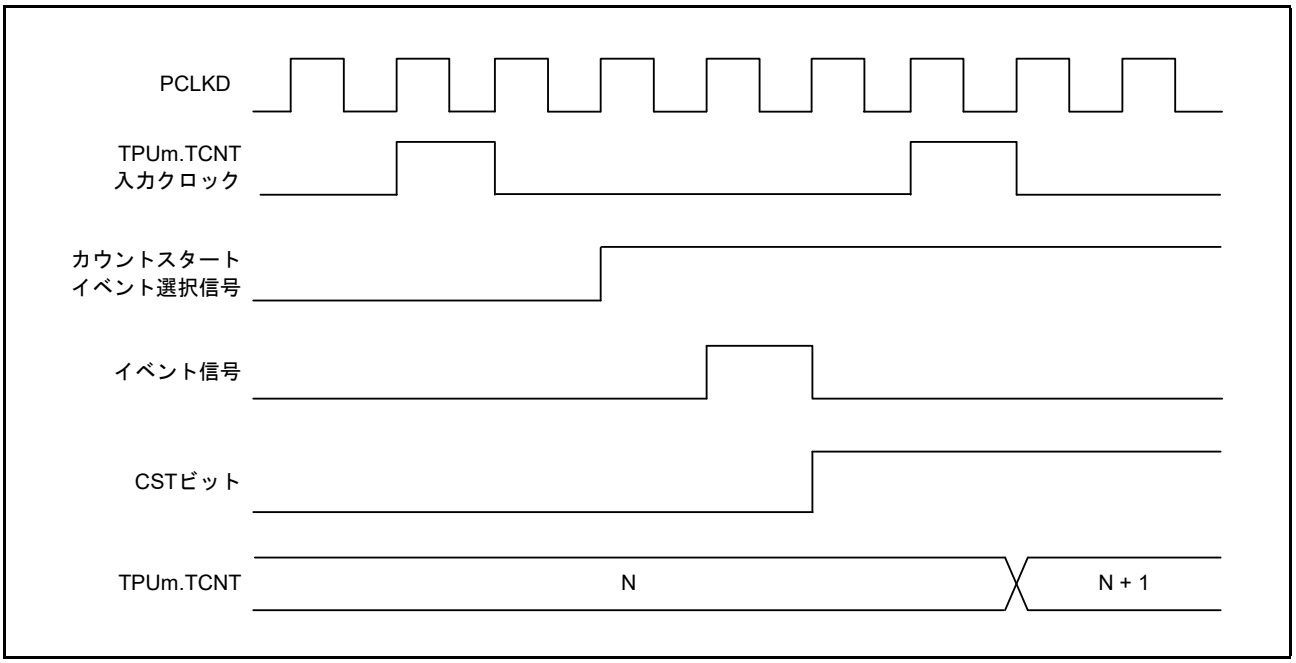


図 22.62　イベント信号受信によるカウントスタート動作

(2)　カウントクリア動作

ELC の ELOPF レジスタで TPU のカウントクリア動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT（タイマカウンタ）の値が初期値（0000h）に書き換わります。このとき、TSTRA（タイマスタートレジスタ）の CSTn ビットが “1” にセットされていればカウント動作を継続しカウントリスタート動作をすることができます。

各チャネルに対して使用する TSTRA の CSTn ビットは**表 22.33** を参照してください。

カウントリスタート動作のタイミングを**図 22.63** に示します。

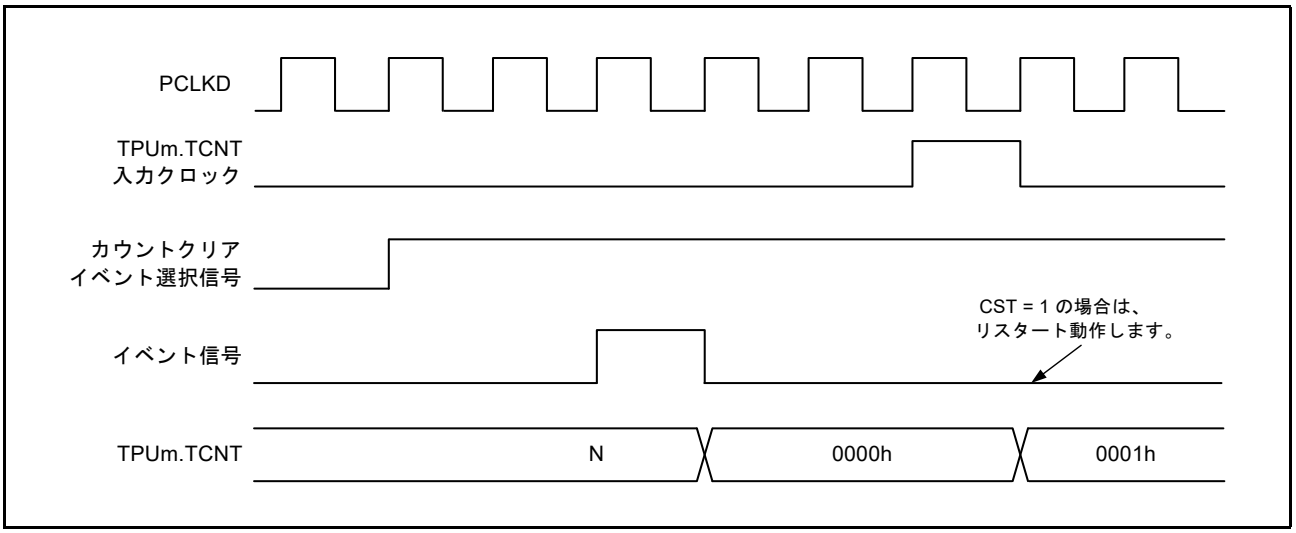


図 22.63　イベント信号受信によるカウントリスタート動作

(3)　インプットキャプチャ動作

ELC の ELOPF レジスタでインプットキャプチャ動作が選択された状態でイベント信号を受信すると、対応するチャネルの TCNT（タイマカウンタ）の値を TGRA（タイマジェネラルレジスタ A）へキャプチャします。イベントリンクによるインプットキャプチャを使用する場合は、TIOR（タイマ I/O コントロールレジスタ）の IOA ビットをインプットキャプチャに設定し、TSTRA（タイマスタートレジスタ）の CSTn ビットを “1” にしてカウントスタートさせてください。

各チャネルに対して使用する TGRA と TIOR のビット名を**表 22.34** に示します。また、各チャネルに対して使用する TSTRA の CSTn ビットは**表 22.33** を参照してください。

インプットキャプチャ動作のタイミングを**図 22.64** に示します。

イベントリンクによるインプットキャプチャ動作が選択されているとき、TIOR の設定と対応する（TIOCAm 端子（インプットキャプチャ端子）入力と他チャネルの特定動作との連動）インプットキャプチャは無効になります（m = 0 ～ 11）。

インプットキャプチャの設定手順の詳細は「22.3.1　(3)　**インプットキャプチャ機能**」を参照してください。

表 22.34　　ELC 動作時のインプットキャプチャ動作で使用する TGR と TIOR

チャネル番号	キャプチャ先のレジスタ名	TIOR のビット名
チャネル 0	TGRA（チャネル 0）	IOA[3:0] ビット（TIORH0）
チャネル 1	TGRA（チャネル 1）	IOA[3:0] ビット（TIOR1）
チャネル 2	TGRA（チャネル 2）	IOA[3:0] ビット（TIOR2）
チャネル 3	TGRA（チャネル 3）	IOA[3:0] ビット（TIORH3）

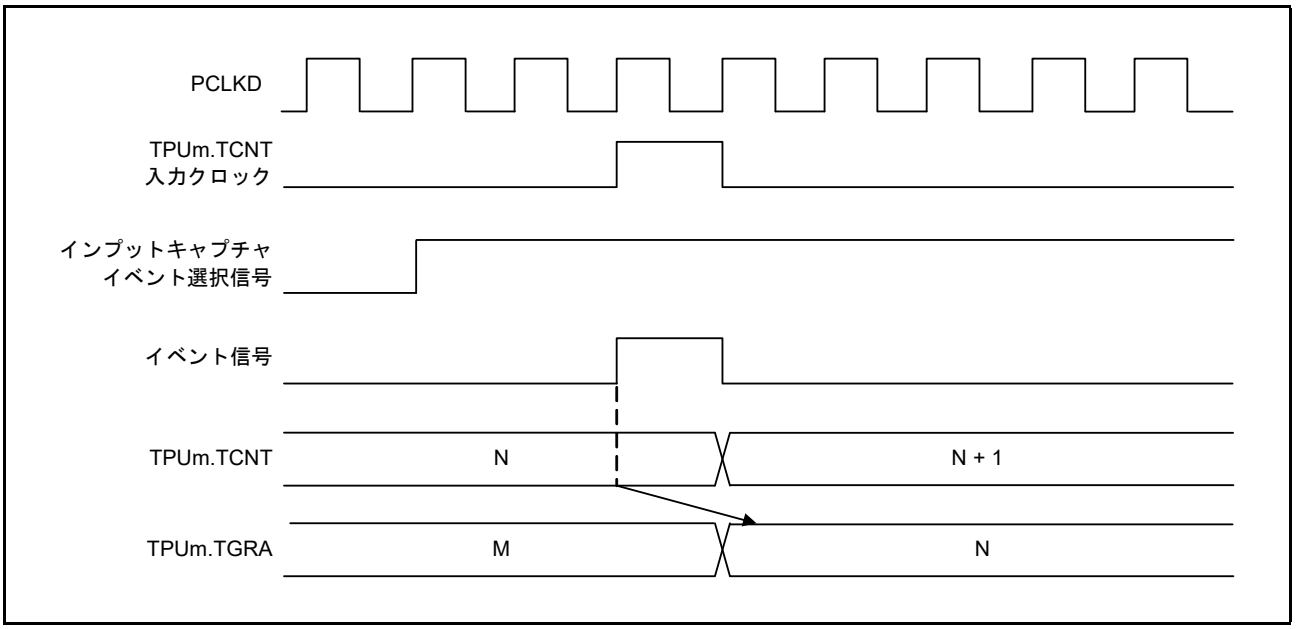


図 22.64　イベント信号受信によるインプットキャプチャ動作

22.10.3　イベントリンク信号受信による動作の注意事項

以下に TPU（ユニット 0）をイベントリンクによる動作で使用するときの注意事項を示します。

(1)　カウントスタート動作

TSTRA（タイマスタートレジスタ）の CSTn ビットへのライトサイクルとカウントスタート動作が競合した場合、TSTRA の CSTn ビットへの書き込みは行われず、イベントによる “1” セットが優先されます。

このタイミングを図 22.65 に示します。

また、イベントリンクによるカウントスタート動作が選択されている時でも、イベント信号が “Low” ならば CPU による TSTRA の CSTn ビットへの書き込みは行われます。

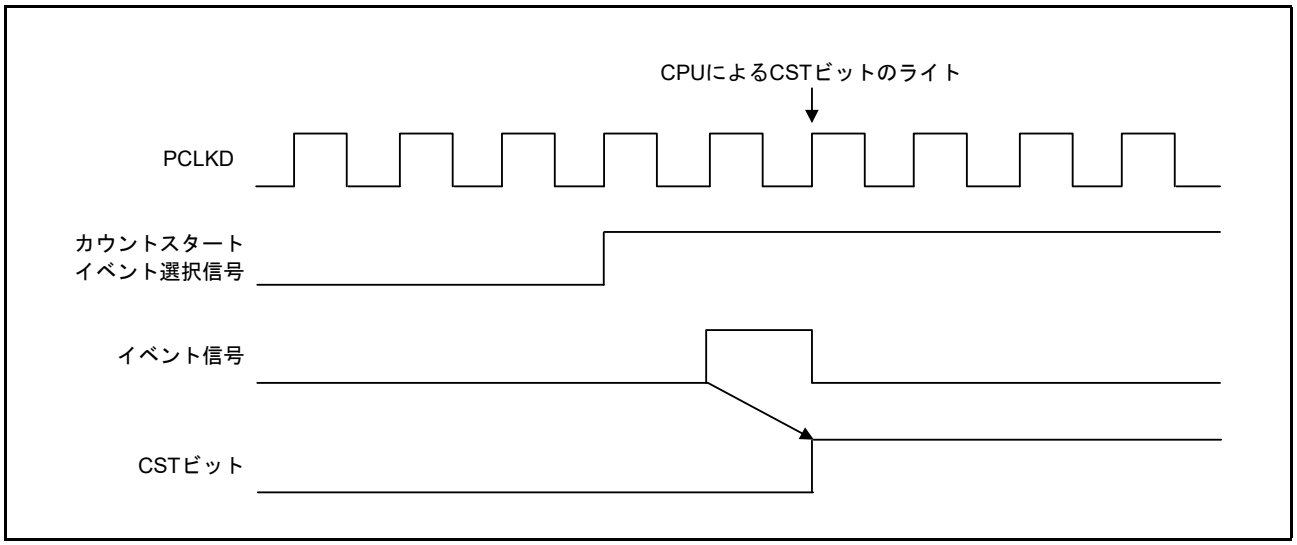


図 22.65　CSTn ビットへのライトサイクルとカウントスタート動作信号の競合

(2)　カウントクリア動作

TCNT（タイマカウンタ）へのライトサイクルとカウントクリア動作が競合した場合、TCNT への書き込みは行われず、カウントクリア動作によるカウント値の初期化が優先されます。

このタイミングを図 22.66 に示します。

また、イベントリンクによるカウントクリア動作をする時でも、イベント信号が “Low” ならば CPU による TCNT への書き込みは行われます。

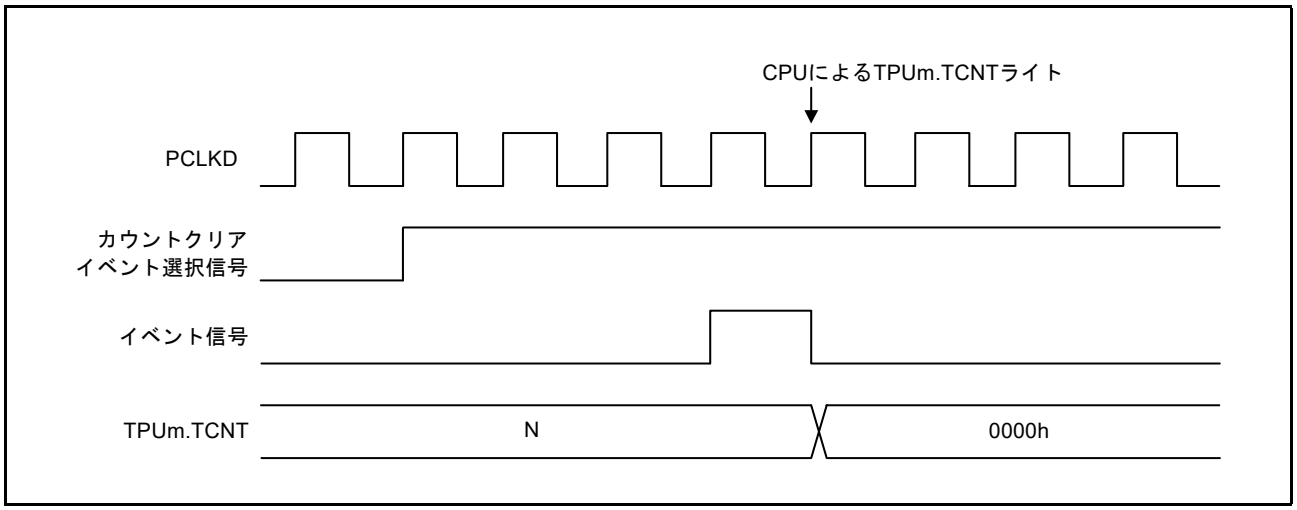


図 22.66　TCNT へのライトサイクルとカウントクリア動作の競合

(3)　インプットキャプチャ動作

TGRy（タイマジェネラルレジスタ）へのリード／ライトサイクルとインプットキャプチャ動作が競合した場合、それぞれ下記の動作になります（y = A ～ D）。

(a)　TGRy へのリードサイクルとインプットキャプチャの競合

内部データバスにはインプットキャプチャ転送前のデータがリードされます。
このタイミングを図 22.67 に示します。

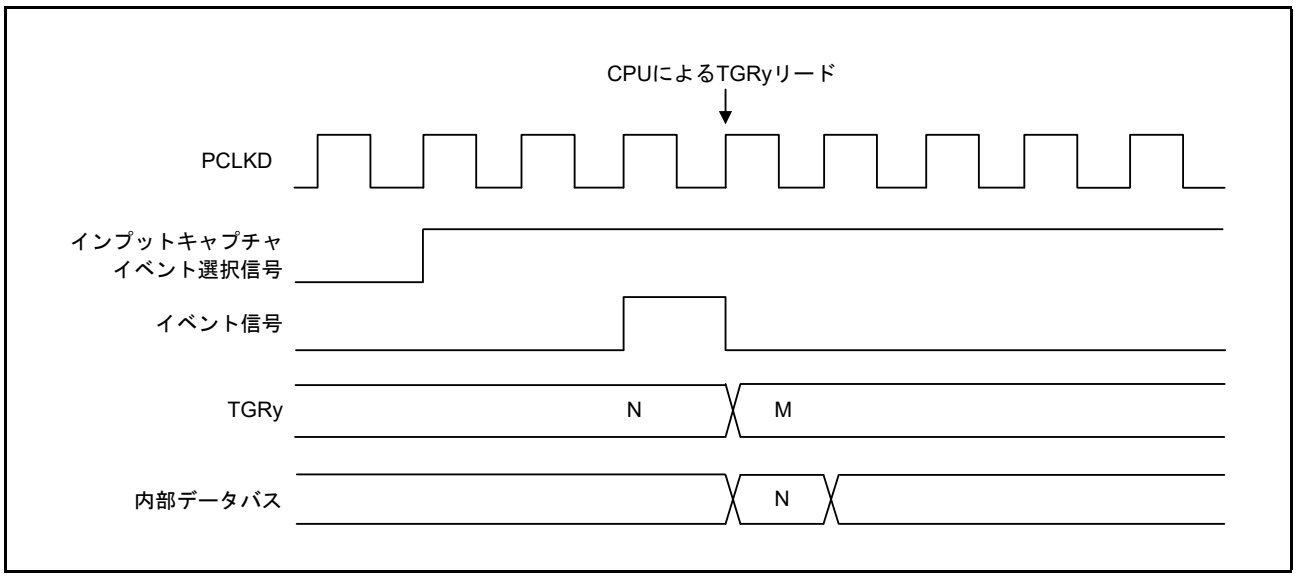


図 22.67　TGRy へのリードサイクルとインプットキャプチャ動作の競合

(b)　TGRy へのライトサイクルとインプットキャプチャの競合

TGRy への書き込みは行われずインプットキャプチャが優先されます。
このタイミングを図 22.68 に示します
また、イベントリンクによるインプットキャプチャ動作が選択されている時でも、イベント信号が “Low” ならば CPU による TGRy への書き込みは行われます。

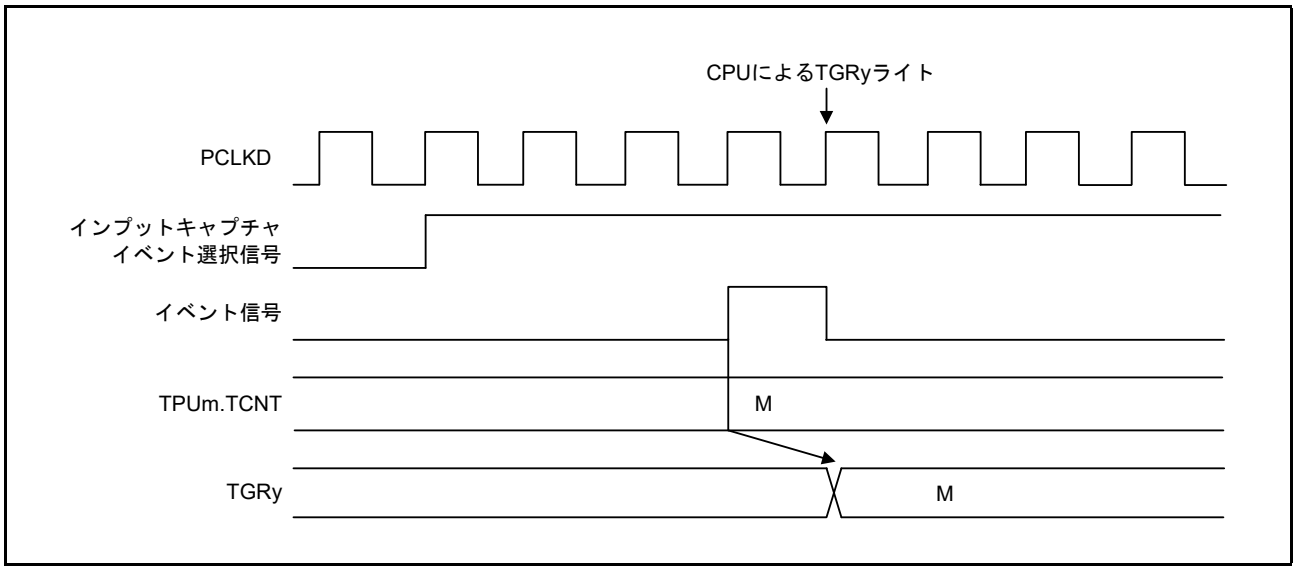


図 22.68　TGRy へのライトサイクルとインプットキャプチャ動作の競合

22.10.4　イベントリンク信号送信動作の注意事項

以下にイベントリンク信号送信動作における注意点を記載します。

(1)　コンペアマッチイベント送信動作

TGRy レジスタを “0000h”、カウンタクロックを PCLKD/1 （TCRn.TPSC[2:0] = 000b）、コンペアマッチでカウンタクリアに設定した場合、TCNT は “0000h” のままとなり、イベント出力信号は 1 サイクルの信号ではなく、レベル上の連続してレベル状の連続出力信号となります（y = A ～ D）。

コンペアマッチによるイベント出力信号の連続出力タイミングを図 22.69 に示します。

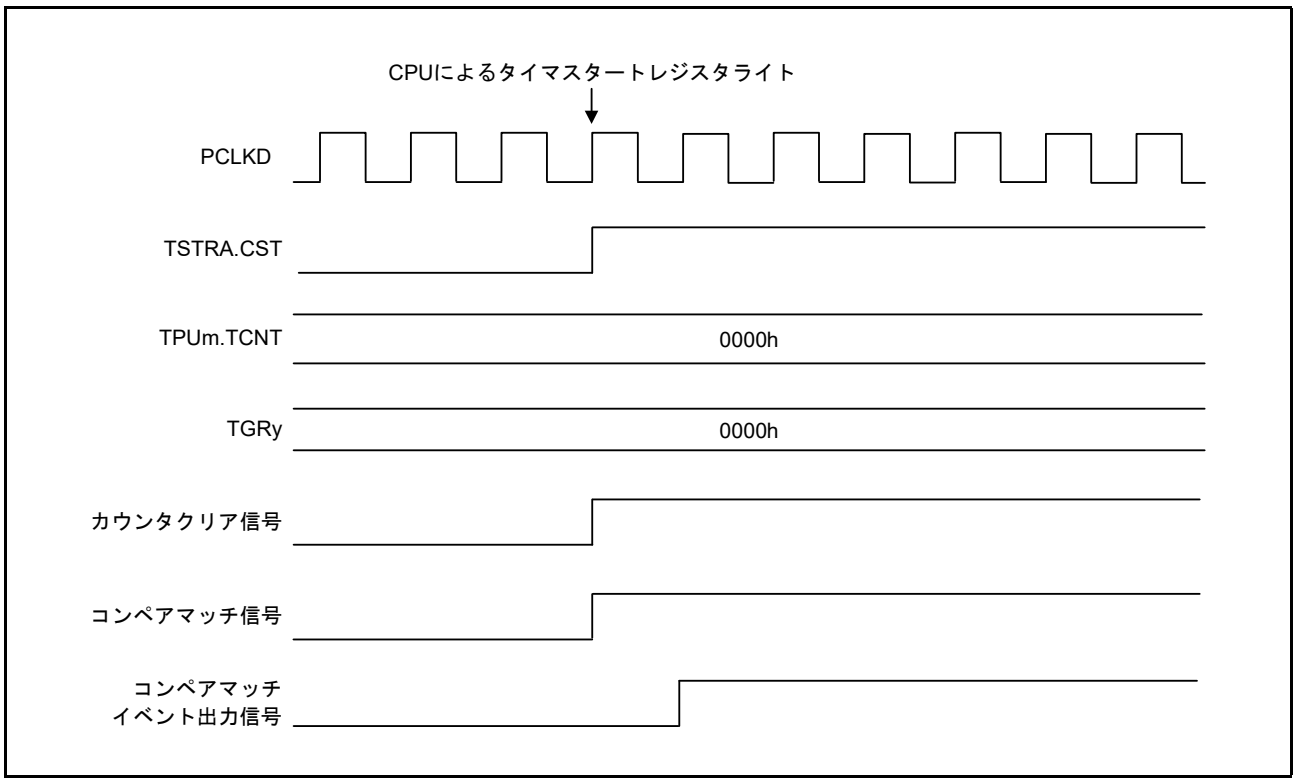


図 22.69　コンペアマッチイベント出力信号の連続出力

(2)　アンダフローイベント送信動作

位相計数モード1、TGRyレジスタを“0000h”、カウンタクリア要因をコンペアマッチに設定し、TCNTが“0000h”の状態の時にカウントダウン（位相計数の対象となる2本の外部クロックの同方向のエッジ）がPCLKDの2サイクル内で発生した場合、TCNTは“0000h”のままとなり、コンペアマッチイベント出力とアンダフローイベント出力がレベル状の連続出力信号となります（y = A ～ D）。

アンダフローによるイベント出力信号の連続出力タイミングを図22.70に示します。

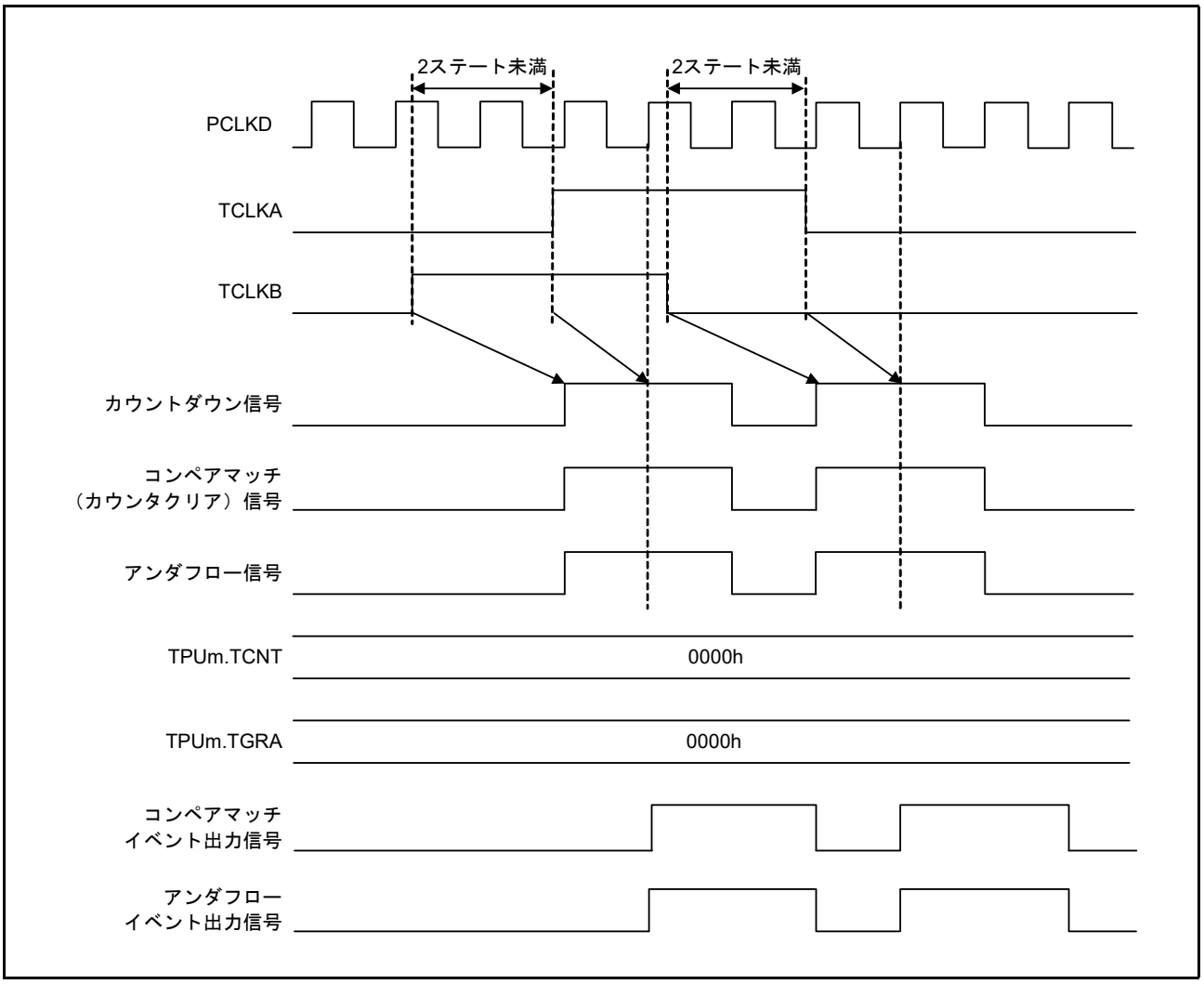


図22.70　アンダフローイベント出力信号の連続出力

23.　プログラマブルパルスジェネレータ（PPG）

プログラマブルパルスジェネレータ（PPG）は、マルチファンクションタイマパルスユニット 3（MTU3a）と 16 ビットタイマパルスユニット（TPUa）をタイムベースとしてパルスを出力します。

PPG は、4 ビットが 1 つのパルス出力グループになっており、1 ユニットあたり 4 グループ（16 ビット）のパルス出力端子で構成されます。

各パルス出力グループは同時に動作させることも、個別に動作させることもできます。

本 LSI は 2 ユニットの PPG（PPG0、PPG1）を内蔵しています。

23.1　概要

表 23.1 に PPG の仕様を、**表 23.2** に PPG 機能一覧を示します。

図 23.1 に PPG のブロック図を示します。

表23.1　PPGの仕様

項目	内容
出力ビット数	最大32ビット（2ユニット使用。1ユニットは最大16ビット）（注1）
パルス出力	• 4グループ ×2ユニットを出力可能 • 出力トリガ信号を選択可能 • ノンオーバラップ動作可能 • 反転出力の指定可能
出力データ転送	DMACとの連携動作可能（MTU3a、TPUaユニット0の割り込み機能を使用時）
消費電力低減機能	ユニットごとにモジュールストップ状態の設定が可能

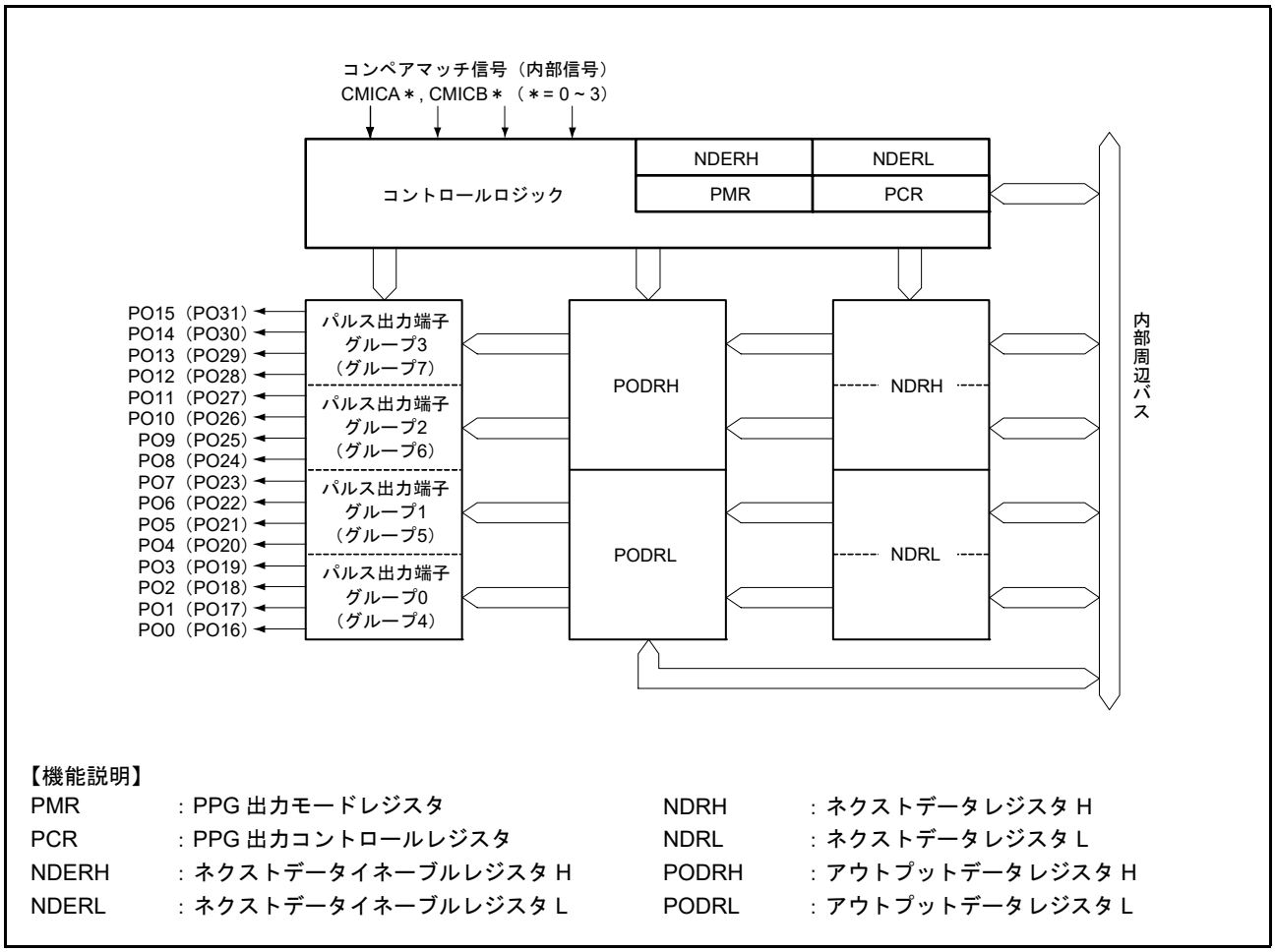
注1.　176ピン版は、1ユニット(ユニット0のみ搭載)

表23.2　PPGの機能一覧

項目			PPG0	PPG1
PPG出力トリガ	MTU3aのチャネル0～3（MTU0～MTU3）	コンペアマッチ	○	○
		インプットキャプチャ	○	○
	TPUa（ユニット0）のチャネル0～3（TPU0～TPU3）	コンペアマッチ	—	○
		インプットキャプチャ	—	○
ノンオーバラップ動作			○	○
出力データ転送	DMAC		○	○
反転出力の指定			○	○
モジュールストップの設定（注1）			MSTPCRA.MSTPCRA6ビット	MSTPCRA.MSTPCRA5ビット

【記号説明】
○：可能
—：不可

注1.　詳細は「9.　消費電力低減機能」を参照してください。



【機能説明】

PMR	：PPG 出力モードレジスタ	NDRH	：ネクストデータレジスタ H
PCR	：PPG 出力コントロールレジスタ	NDRL	：ネクストデータレジスタ L
NDERH	：ネクストデータイネーブルレジスタ H	PODRH	：アウトプットデータレジスタ H
NDERL	：ネクストデータイネーブルレジスタ L	PODRL	：アウトプットデータレジスタ L

図 23.1　PPG のブロック図

表 23.3 に PPG で使用する入出力端子を示します。

表23.3　　PPGの入出力端子

ユニット	端子名	入出力	機能
PPG0	PO0	出力	パルス出力グループ0のパルス出力
	PO1	出力	
	PO2	出力	
	PO3	出力	
	PO4	出力	パルス出力グループ1のパルス出力
	PO5	出力	
	PO6	出力	
	PO7	出力	
	PO8	出力	パルス出力グループ2のパルス出力
	PO9	出力	
	PO10	出力	
	PO11	出力	
	PO12	出力	パルス出力グループ3のパルス出力
	PO13	出力	
	PO14	出力	
	PO15	出力	
PPG1	PO16	出力	パルス出力グループ4のパルス出力
	PO17	出力	
	PO18	出力	
	PO19	出力	
	PO20	出力	パルス出力グループ5のパルス出力
	PO21	出力	
	PO22	出力	
	PO23	出力	
	PO24	出力	パルス出力グループ6のパルス出力
	PO25	出力	
	PO26	出力	
	PO27	出力	
	PO28	出力	パルス出力グループ7のパルス出力
	PO29	出力	
	PO30	出力	
	PO31	出力	

23.2　レジスタの説明

23.2.1　PPG トリガセレクトレジスタ（PTRSLR）

PTRSLR レジスタは、PPG（ユニット 1）のトリガ入力をマルチファンクションタイマパルスユニット 3（MTU3a）または 16 ビットタイマパルスユニット（TPUa）のユニット 0 から選択するレジスタです。

アドレス　PPG1: A008 0520h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PTRSL
リセット後の値	0	0	0	0	0	0	0	1

- PTRSLR

ビット	シンボル	ビット名	機能	R/W
b0	PTRSL	PPG トリガ選択ビット	PPG1の出力トリガをMTU0～3またはTPU0～3から選択します。 0：PPG1のトリガはMTU0～MTU3 1：PPG1のトリガはTPU0～TPU3	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

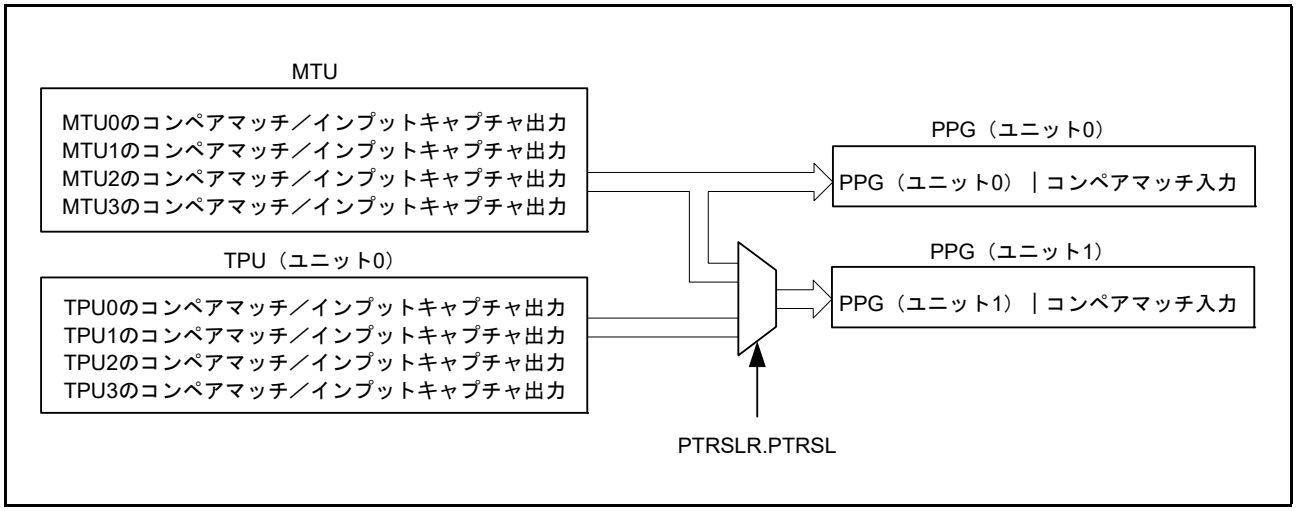


図 23.2　PPG トリガセレクトのブロック図

23.2.2　ネクストデータイネーブルレジスタ H（NDERH）、ネクストデータイネーブルレジスタ L（NDERL）

NDERH レジスタは、パルス出力端子（PO15 ～ PO8）を、NDERL レジスタは、パルス出力端子（PO7 ～ PO0）をビット単位で選択するレジスタです。各パルス出力端子に対応するビットを、データ転送許可に設定することで、各パルス出力端子はパルス出力状態になります。

アドレス　PPG0: A008 0508h
PPG1: A008 0518h

	b7	b6	b5	b4	b3	b2	b1	b0
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　PPG0: A008 0509h、PPG1: A008 0519h

	b7	b6	b5	b4	b3	b2	b1	b0
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
リセット後の値	0	0	0	0	0	0	0	0

- NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER8	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER9	ネクストデータ転送許可ビット		R/W
b2	NDER10	ネクストデータ転送許可ビット		R/W
b3	NDER11	ネクストデータ転送許可ビット		R/W
b4	NDER12	ネクストデータ転送許可ビット		R/W
b5	NDER13	ネクストデータ転送許可ビット		R/W
b6	NDER14	ネクストデータ転送許可ビット		R/W
b7	NDER15	ネクストデータ転送許可ビット		R/W

NDER8 ～ NDER15（ネクストデータ転送許可ビット）

“1” に設定すると、PCR レジスタで選択されたトリガが発生した際、NDRH レジスタの対応するビットから PODRH レジスタにデータが転送されます。“0” のビットは、NDRH レジスタから PODRH レジスタへのデータ転送は行われません。

- NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER0	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER1	ネクストデータ転送許可ビット		R/W
b2	NDER2	ネクストデータ転送許可ビット		R/W
b3	NDER3	ネクストデータ転送許可ビット		R/W
b4	NDER4	ネクストデータ転送許可ビット		R/W
b5	NDER5	ネクストデータ転送許可ビット		R/W
b6	NDER6	ネクストデータ転送許可ビット		R/W
b7	NDER7	ネクストデータ転送許可ビット		R/W

NDER0 ～ NDER7 ビット（ネクストデータ転送許可ビット）

“1” に設定すると、PCR レジスタで選択されたトリガが発生した際、NDRL レジスタの対応するビットから PODRL レジスタにデータが転送されます。“0” のビットは、NDRL レジスタから PODRL レジスタへのデータ転送は行われません。

23.2.3　アウトプットデータレジスタ H（PODRH）、アウトプットデータレジスタ L（PODRL）

PODRH、PODRL レジスタは、パルス出力端子（PO15 ～ PO8、PO7 ～ PO0）から出力される値が格納されるレジスタです。NDERH レジスタでデータ転送許可に設定されているビットは、出力トリガの発生により NDRH レジスタの値が PODRH レジスタの当該ビットに転送されます。NDERL レジスタでテータ転送許可に設定されているビットは、出力トリガの発生により NDRL レジスタの値が PODRL レジスタの当該ビットに転送されます。

アドレス　PPG0: A008 050Ah
PPG1: A008 051Ah

	b7	b6	b5	b4	b3	b2	b1	b0
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　PPG0: A008 050Bh
PPG1: A008 051Bh

	b7	b6	b5	b4	b3	b2	b1	b0
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
リセット後の値	0	0	0	0	0	0	0	0

- PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD8	アウトプットデータレジスタビット	0：POi端子からLowを出力 1：POi端子からHighを出力 （i = 15～8）	R/W
b1	POD9	アウトプットデータレジスタビット		R/W
b2	POD10	アウトプットデータレジスタビット		R/W
b3	POD11	アウトプットデータレジスタビット		R/W
b4	POD12	アウトプットデータレジスタビット		R/W
b5	POD13	アウトプットデータレジスタビット		R/W
b6	POD14	アウトプットデータレジスタビット		R/W
b7	POD15	アウトプットデータレジスタビット		R/W

POD8 ～ POD15 ビット（アウトプットデータレジスタビット）

NDERH レジスタがデータ転送許可に設定されている場合、PPG 動作中、出力トリガの発生により NDRH レジスタの値がこのレジスタの当該ビットに転送されます。NDERH レジスタが “1” に設定されている期間、CPU から本レジスタにはライトできません。NDERH レジスタが “0” に設定されている状態では、パルスの初期出力値を設定することができます。

- PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD0	アウトプットデータレジスタビット	0：POi端子からLowを出力 1：POi端子からHighを出力 （i = 7～0）	R/W
b1	POD1	アウトプットデータレジスタビット		R/W
b2	POD2	アウトプットデータレジスタビット		R/W
b3	POD3	アウトプットデータレジスタビット		R/W
b4	POD4	アウトプットデータレジスタビット		R/W
b5	POD5	アウトプットデータレジスタビット		R/W
b6	POD6	アウトプットデータレジスタビット		R/W
b7	POD7	アウトプットデータレジスタビット		R/W

POD0 ～ POD7 ビット（アウトプットデータレジスタビット）

NDERL レジスタがデータ転送許可に設定されている場合、PPG 動作中、出力トリガの発生により NDRL レジスタの値がこのレジスタの当該ビットに転送されます。NDERL レジスタが “1” に設定されている期間、CPU から本レジスタにはライトできません。NDERL レジスタが “0” に設定されている状態では、パルスの初期出力値を設定することができます。

23.2.4　ネクストデータレジスタ H（NDRH）、ネクストデータレジスタ L（NDRL）

NDRH、NDRL レジスタは、パルス出力端子（PO15 ～ PO8、PO7 ～ PO0）から出力する次の出力データを格納するレジスタです。

アドレス　PPG0：NDRH A008 050Ch、NDRH2 A008 050Eh
PPG1：NDRH A008 051Ch、NDRH2 A008 051Eh

	b7	b6	b5	b4	b3	b2	b1	b0
NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　PPG0：NDRL A008 050Dh、NDRL2 A008 050Fh
PPG1：NDRL A008 051Dh、NDRL2 A008 051Fh

	b7	b6	b5	b4	b3	b2	b1	b0
NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
リセット後の値	0	0	0	0	0	0	0	0

- NDRH

NDRH レジスタのアドレスは、PCR レジスタでパルス出力グループの出力トリガ信号を同一に設定した場合と、異なる出力トリガ信号を選択した場合とで異なります。

(1) パルス出力グループ 2、3 の出力トリガ信号が同一の場合

パルス出力グループ 2、3 の出力トリガ信号を同一にすると、NDRH レジスタの各ビットは、8 ビットすべて同一アドレスにマッピングされるため（注 1）、8 ビット同時にアクセスできます。

- PPG0：NDRH A008 050Ch（グループ 2、3 がマッピングされます）
- PPG1：NDRH A008 051Ch（グループ 6、7 がマッピングされます）

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PCR レジスタで指定した出力トリガ信号により、このレジスタの値が PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b4	NDR12	ネクストデータレジスタビット		R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

注 1.　NDRH レジスタのアドレスが割り当てられていない番地（PPG0：NDRH2 A008 050Eh、PPG1：NDRH2 A008 051Eh）を読み出した場合、FFh が読めます。書き込みは無視されます。

(2) パルス出力グループ 2 とパルス出力グループ 3 で出力トリガ信号が異なる場合

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガ信号を選択した場合、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- PPG0：NDRH A008 050Ch（グループ 3 がマッピングされます）
- PPG1：NDRH A008 051Ch（グループ 7 がマッピングされます）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b4	NDR12	ネクストデータレジスタビット	PCR レジスタで指定した出力トリガ信号により、このレジスタの値が PODRH レジスタの対応するビットに転送されます。	R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

- PPG0：NDRH2 A008 050Eh（グループ 2 がマッピングされます）
- PPG1：NDRH2 A008 051Eh（グループ 6 がマッピングされます）

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PCR レジスタで指定した出力トリガ信号により、このレジスタの値が PODRH レジスタの対応するビットに転送されます。	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

- NDRL

NDRL レジスタのアドレスは、PCR レジスタでパルス出力グループの出力トリガ信号を同一に設定した場合と、異なる出力トリガ信号を選択した場合とで異なります。

(1) パルス出力グループ 0、1 の出力トリガ信号が同一の場合

パルス出力グループ 0、1 の出力トリガ信号を同一にすると、NDRL レジスタの各ビットは、8 ビットすべて同一アドレスにマッピングされるため（注 1）、8 ビット同時にアクセスできます。

- PPG0：NDRL A008 050Dh（グループ 0、1 がマッピングされます）
- PPG1：NDRL A008 051Dh（グループ 4、5 がマッピングされます）

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PCR レジスタで指定した出力トリガ信号により、このレジスタの値が PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b4	NDR4	ネクストデータレジスタビット		R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

注 1.　NDRL レジスタのアドレスが割り当てられていない番地（PPG0：NDRL2 A008 050Fh、PPG1：NDRL2 A008 051Fh）を読み出した場合、FFh が読めます。書き込みは無視されます。

(2) パルス出力グループ 0 とパルス出力グループ 1 で出力トリガ信号が異なる場合

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガ信号を選択した場合、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- PPG0：NDRL A008 050Dh（グループ 1 がマッピングされます）
- PPG1：NDRL A008 051Dh（グループ 5 がマッピングされます）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b4	NDR4	ネクストデータレジスタビット	PCR レジスタで指定した出力トリガ信号により、このレジスタの値が PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

- PPG0：NDRL2 A008 050Fh（グループ 0 がマッピングされます）
- PPG1：NDRL2 A008 051Fh（グループ 4 がマッピングされます）

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PCR レジスタで指定した出力トリガ信号により、このレジスタの値が PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

23.2.5　PPG 出力コントロールレジスタ（PCR）

PCR レジスタは、パルス出力トリガ信号に使用するタイマとそのチャネルをグループ単位で選択するレジスタです。

使用する各タイマのコンペアマッチ信号の種類は PMR レジスタで設定する出力モードによって異なります。詳細は「23.2.6　PPG 出力モードレジスタ（PMR）」を参照してください。

アドレス　PPG0: A008 0506h
PPG1: A008 0516h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

- PPG0.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ0コンペアマッチ選択ビット	b1 b0 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ1コンペアマッチ選択ビット	b3 b2 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ2コンペアマッチ選択ビット	b5 b4 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ3コンペアマッチ選択ビット	b7 b6 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W

- PPG1.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ4コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b1 b0 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b1 b0 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ5コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b3 b2 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b3 b2 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ6コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b5 b4 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b5 b4 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ7コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b7 b6 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b7 b6 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W

23.2.6　PPG 出力モードレジスタ（PMR）

PMR レジスタは、PPG のパルス出力モードと反転出力をグループ単位で設定するレジスタです。

反転出力に設定した場合、PODRH レジスタ、PODRL レジスタの値が “1” のとき当該端子に Low レベルを、PODRH レジスタ、PODRL レジスタの値が “0” のとき当該端子に High レベルを出力します。また、ノンオーバラップ動作に設定した場合、プログラマブルパルスジェネレータ（PPG）は、出力トリガとなる MTU3a または TPUa のコンペアマッチ A、B で出力値を更新します。

詳細は、「23.3.4　パルス出力ノンオーバラップ動作」を参照してください。

アドレス　PPG0: A008 0507h
PPG1: A008 0517h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
リセット後の値	1	1	1	1	0	0	0	0

- PPG0.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ0ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新）（n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b1	G1NOV	グループ1ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新）（n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新 （n = 0～3）	R/W
b2	G2NOV	グループ2ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新）（n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b3	G3NOV	グループ3ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新）（n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b4	G0INV	グループ0出力極性変更ビット	0：反転出力 1：直接出力	R/W
b5	G1INV	グループ1出力極性変更ビット	0：反転出力 1：直接出力	R/W
b6	G2INV	グループ2出力極性変更ビット	0：反転出力 1：直接出力	R/W
b7	G3INV	グループ3出力極性変更ビット	0：反転出力 1：直接出力	R/W

- PPG1.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ4ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n = 0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b1	G1NOV	グループ5ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n = 0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b2	G2NOV	グループ6ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n = 0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b3	G3NOV	グループ7ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n = 0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） （n = 0～3） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b4	G0INV	グループ4出力極性変更ビット	0：反転出力 1：直接出力	R/W
b5	G1INV	グループ5出力極性変更ビット	0：反転出力 1：直接出力	R/W
b6	G2INV	グループ6出力極性変更ビット	0：反転出力 1：直接出力	R/W

ビット	シンボル	ビット名	機能	R/W
b7	G3INV	グループ7出力極性変更ビット	0：反転出力 1：直接出力	R/W

23.3　動作説明

プログラマブルパルスジェネレータ（PPG）概略図を**図 23.3** に示します。

NDERH、NDERL レジスタの各パルス出力端子に対応するビットを “1”（データ転送許可）に設定することにより、各端子はパルス出力状態になります。

初期出力値は、各パルス出力端子に対応する PODRH、PODRL レジスタの初期設定値で決まります。その後、PCR レジスタで出力トリガ信号に指定したコンペアマッチが発生すると、NDRH、NDRL レジスタの値がそれぞれ PODRH、PODRL レジスタに転送され、出力値が更新されます。

次のコンペアマッチが発生するまでに NDRH、NDRL レジスタに出力データを書くことにより、コンペアマッチのたびに 1 ユニットあたり最大 16 ビットのデータを順次出力することができます。

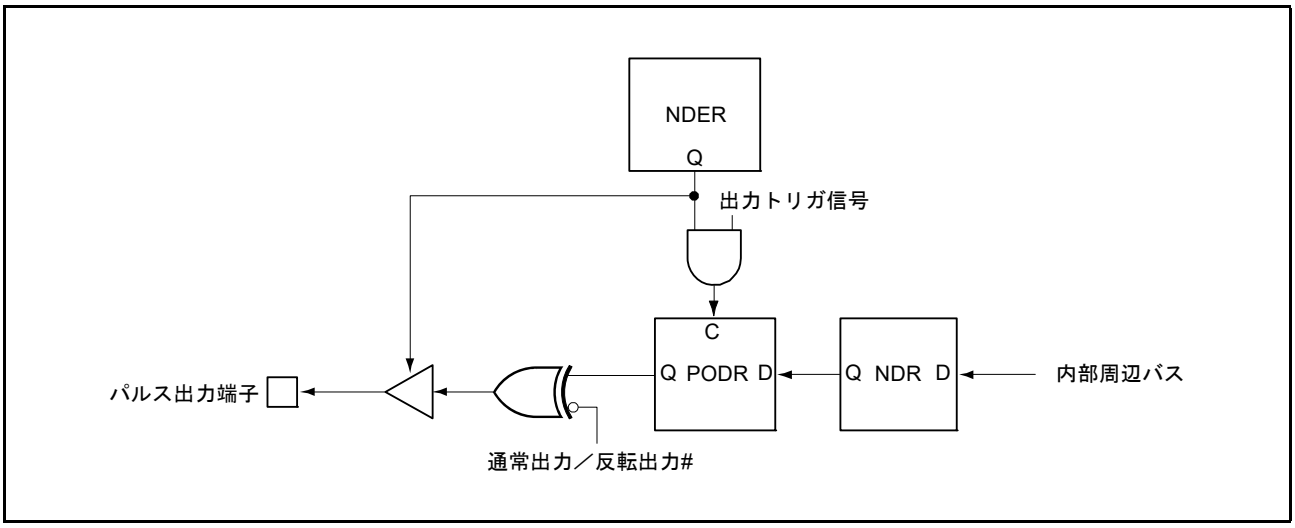


図 23.3　PPG 概要図

23.3.1　出力タイミング

パルス出力許可状態で、指定されたコンペアマッチが発生すると NDRH、NDRL レジスタの内容が PODRH、PODRL レジスタに転送され、その値がパルス出力端子から出力されます。

このタイミングを図 23.4 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

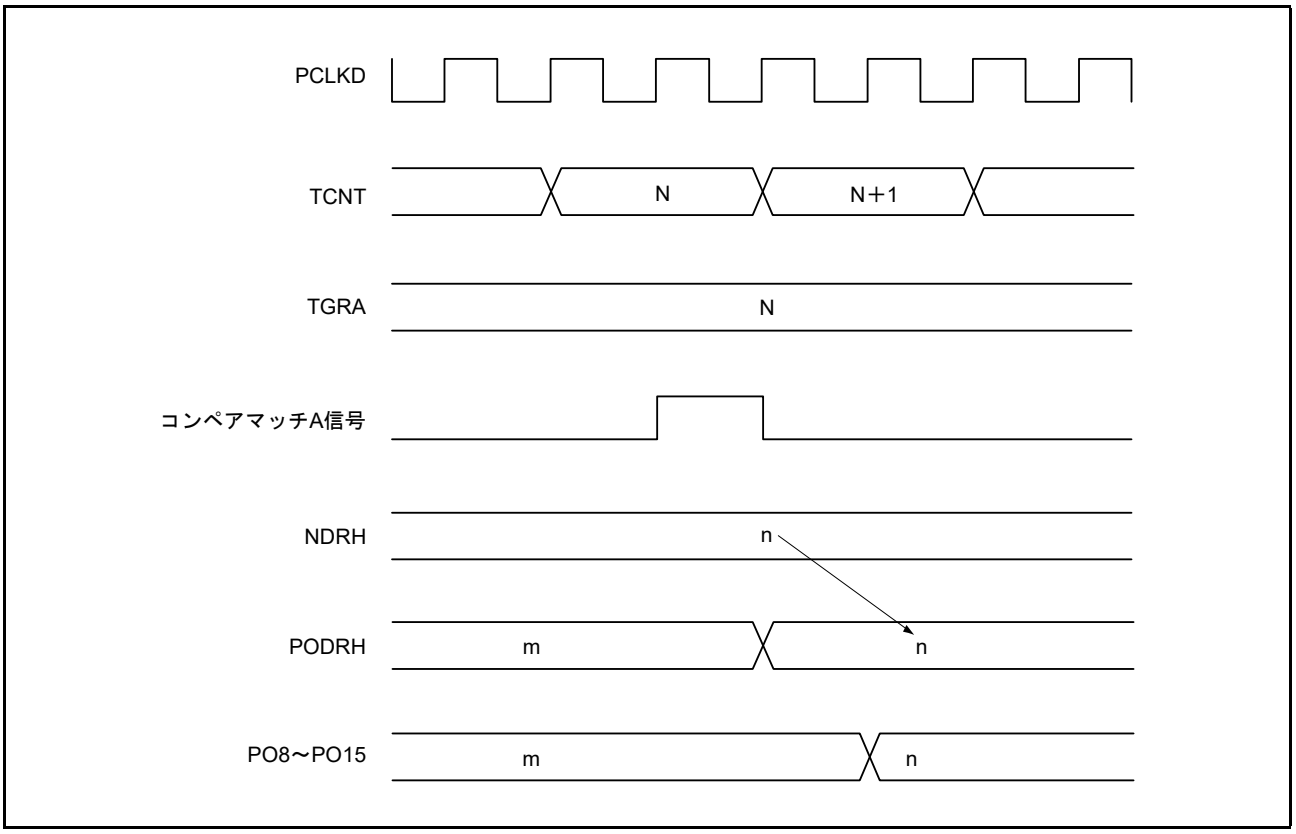


図 23.4　NDR の内容が転送・出力されるタイミング例

23.3.2　通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 23.5 に示します。

（1）PPG の設定

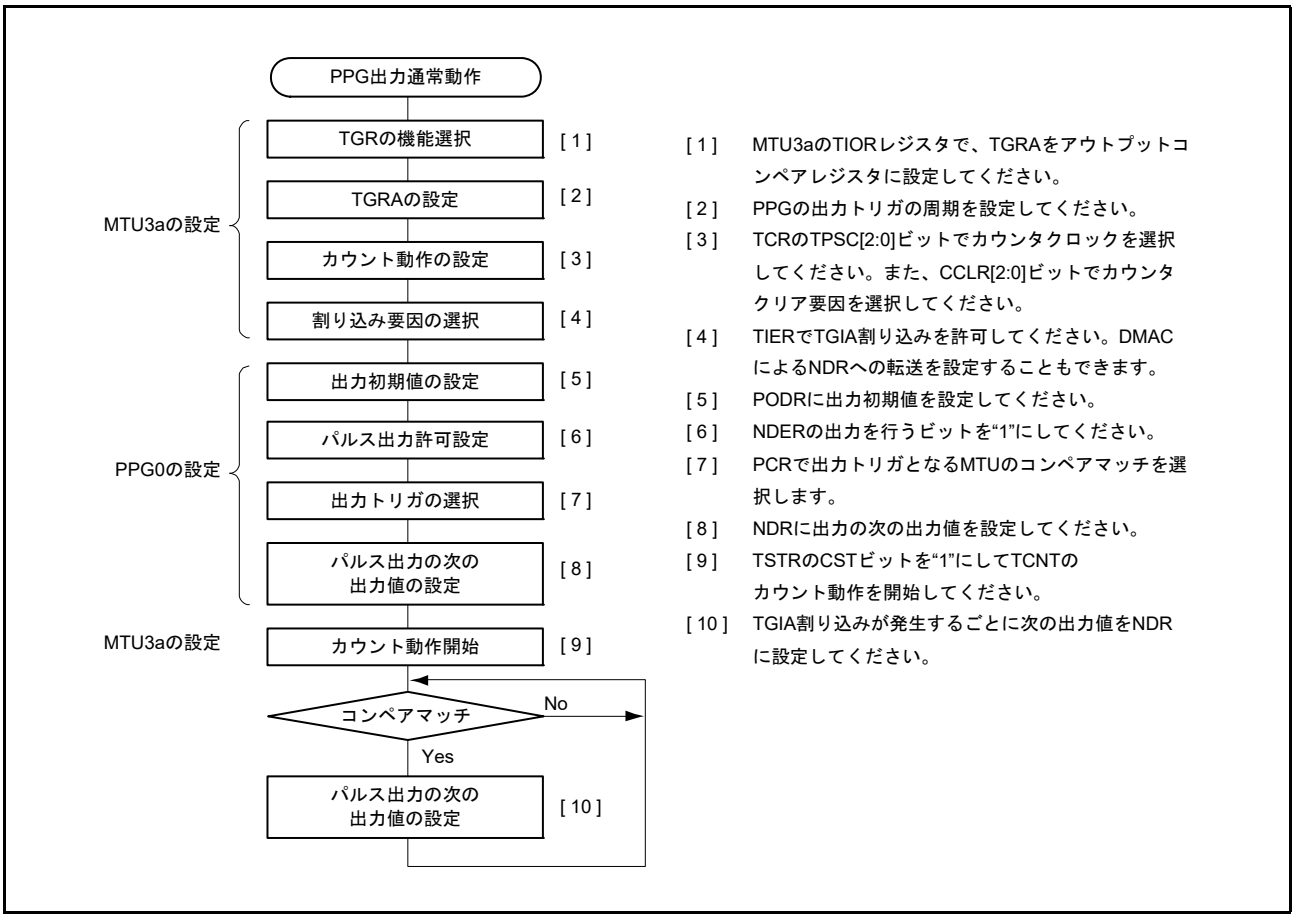


図 23.5　パルス出力通常動作の設定手順例（PPG の設定）

23.3.3　　パルス出力通常動作例（5 相パルス出力例）

パルス出力トリガ信号として MTU1 を使用し PPG0（PO11 ～ PO15）で 5 相パルスを出力させたときの例を図 23.6 に示します。

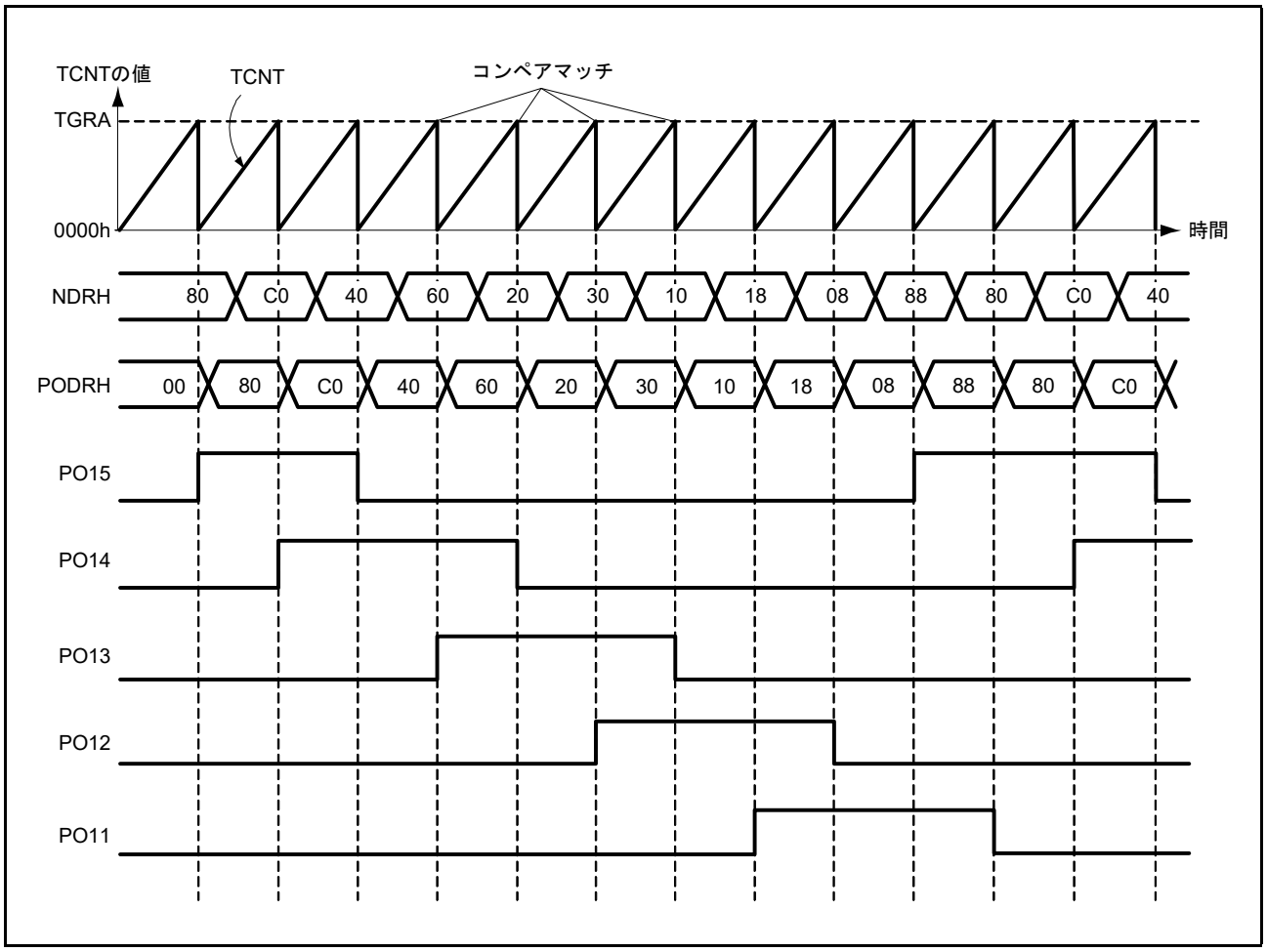


図 23.6　　パルス出力通常動作例（5 相パルス出力例）

1. 出力トリガにする MTU1 の TGRA レジスタをアウトプットコンペアレジスタに設定します。TGRA レジスタに周期を設定し、MTU1.TCR.CCLR ビットによりコンペアマッチ A によるカウンタクリアを選択します。また、MTU1.TIER.TGIEA ビットを “1” に設定し、コンペアマッチ／インプットキャプチャ A（TGIA1）の割り込み要求を許可します。
2. PPG0.NDERH レジスタに F8h を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、出力トリガを上記 1. で選択した MTU1 のコンペアマッチに設定します。PPG0.NDRH レジスタに出力データ 80h を書きます。
3. MTU1 の動作を開始し、コンペアマッチ A が発生すると、PPG0.NDRH レジスタの値が PPG0.PODRH レジスタに転送され出力されます。TGIA1 の割り込み処理で、NDRH レジスタに次の出力データ C0h を書きます。
4. 以後、TGIA1 割り込みで、順次 40h、60h、20h、30h、10h、18h、08h、88h… を書き込むことで、5 相の 1 － 2 相パルス出力を行うことができます。
   TGIA1 の割り込みで DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

23.3.4　　パルス出力ノンオーバラップ動作

ノンオーバラップ動作時の PPGn.NDRH、PPGn.NDRL レジスタから PPGn.PODRH、PPGn.PODRL レジスタへの転送は、以下のようになっています（n = 0、1）。

- コンペアマッチ A では NDRH、NDRL レジスタの内容を、常に PODRH、PODRL レジスタに転送します。
- コンペアマッチ B では NDRH、NDRL レジスタの転送するビットの内容が “0” のときのみ転送を行います。“1” のときは転送を行いません。

したがって、コンペアマッチ A よりも先にコンペアマッチ B を先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。この場合、MTU3a の TGIAm（m = 0 ～ 3）割り込み処理ルーチンで、NDRH、NDRL レジスタに次のデータを書き込み、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまでの間（ノンオーバラップ期間）、NDRH、NDRL レジスタの値を変更しないようにしてください。

ノンオーバラップ時のパルス出力動作を図 23.7 に示します。

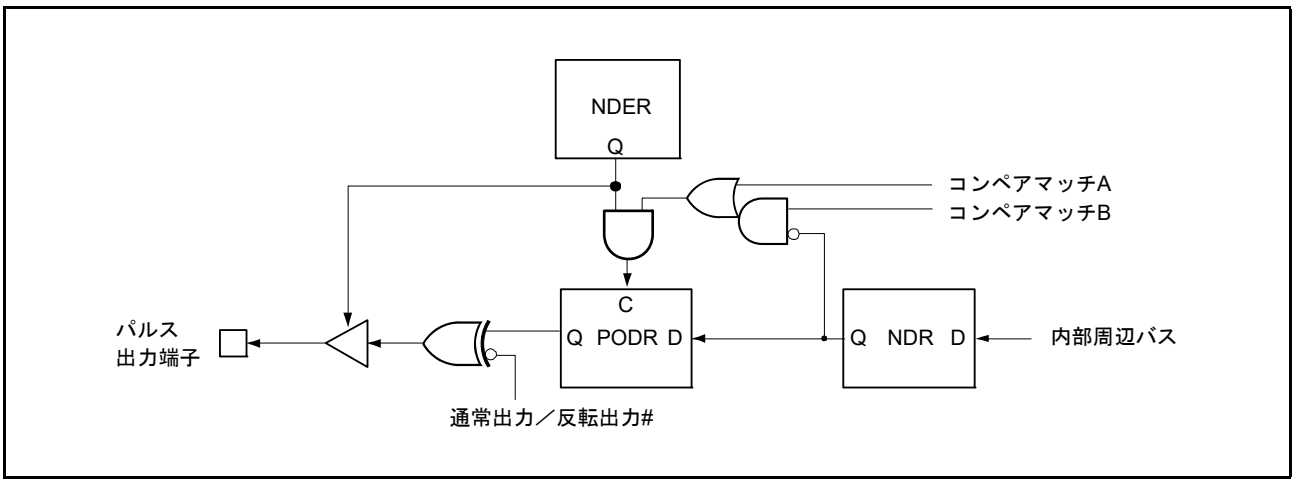


図 23.7　　パルス出力ノンオーバラップ動作

また、TGIAm 割り込みで DMAC を起動することもできます。ただし、この書き込みは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 23.8 に示します。

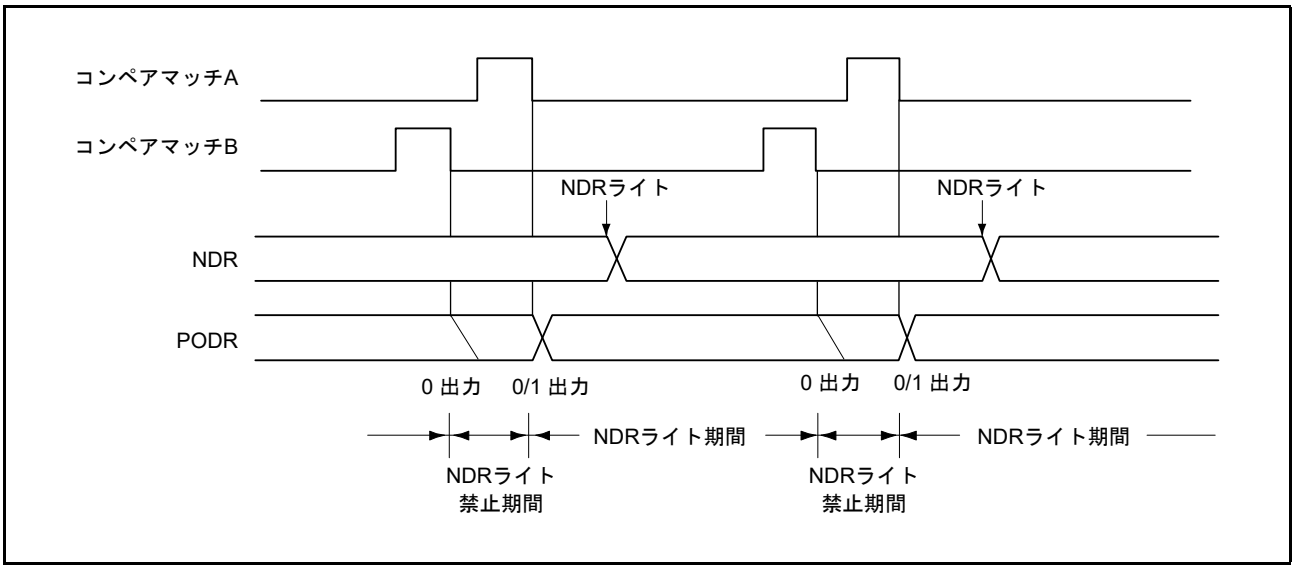


図 23.8　ノンオーバラップ動作と PPGn.NDRH、PPGn.NDRL レジスタ書き込みタイミング

23.3.5　　ノンオーバラップ動作のパルス出力設定手順例

パルス出力ノンオーバラップ動作の設定手順例を図 23.9 に示します。

（1）PPG の設定

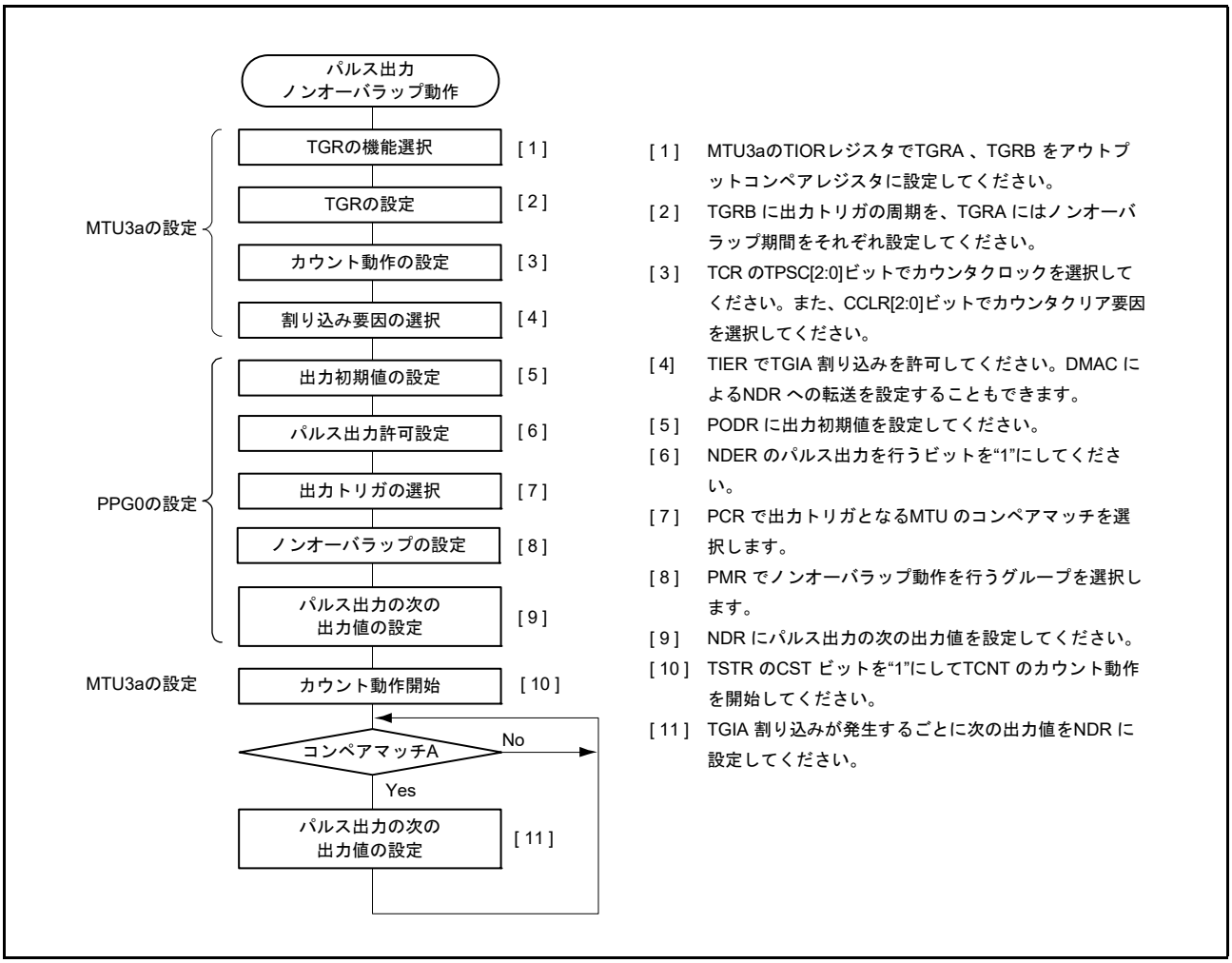


図 23.9　　パルス出力ノンオーバラップ動作の設定手順例（PPG の設定）

23.3.6　　パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）

パルス出力トリガ信号として MTU1 を使用し PPG0（PO8 ～ PO15）で 4 相の相補ノンオーバラップのパルスを出力させたときの例を図 23.10 に示します。

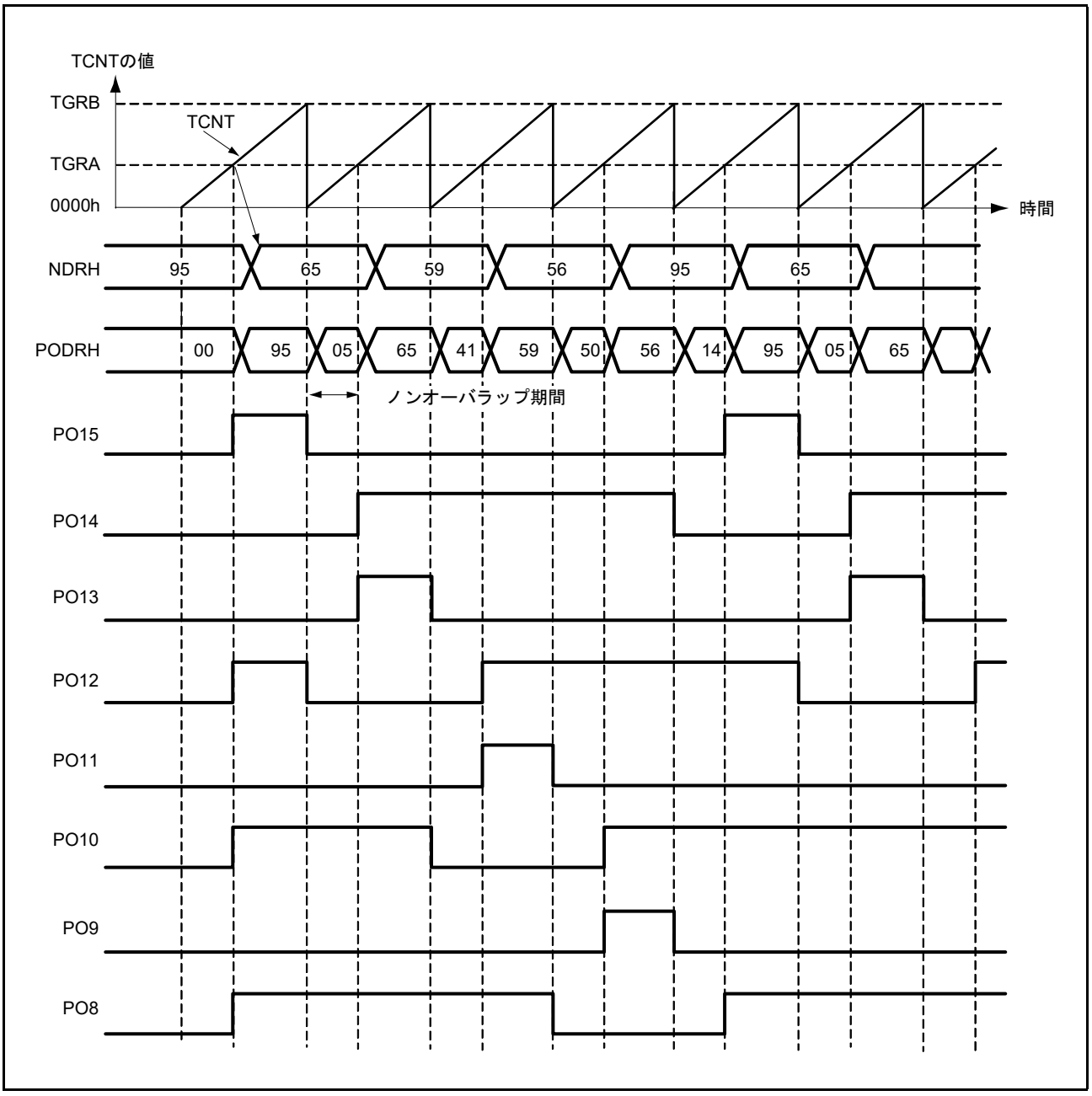


図 23.10　パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力）

1. 出力トリガにする MTU1 の TGRA、TGRB レジスタをアウトプットコンペアレジスタに設定します。
   TGRB レジスタには周期、TGRA レジスタにはノンオーバラップ期間を設定し、MTU1.TCR.CCLR ビットによりコンペアマッチ B によるカウンタクリアを選択します。また、MTU1.TIER.TGIEA ビットを “1” に設定し、コンペアマッチ／インプットキャプチャ A（TGIA1）の割り込み要求を許可します。
2. PPG0.NDERH に FFh を書き込み、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、出力トリガを上記 1. で選択した MTU1 のコンペアマッチに設定します。
   PPG0.PMR.G3NOV、G2NOV ビットをそれぞれ “1” にして、ノンオーバラップ動作を設定します。
   PPG0.NDRH に出力データ 95h を書きます。
3. MTU1 の動作を開始すると、MTU1.TGRB レジスタのコンペアマッチで High 出力→ Low 出力に変化、MTU1.TGRA レジスタのコンペアマッチで Low 出力→ High 出力に変化します（Low 出力→ High 出力の変化は TGRA レジスタの設定値分遅延することになります）。
   TGIA1 の割り込み処理で PPG0.NDRH に次の出力データ 65h を書きます。
4. 以後、TGIA1 割り込みで、順次 59h、56h、95h… を書き込むことで、4 相の相補ノンオーバラップ出力を行うことができます。
   TGIA1 の割り込みで DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

23.3.7　　パルス反転出力

PMR レジスタの G3INV、G2INV、G1INV および G0INV ビットを “0” にすると、PODRH、PODRL レジスタの内容に対する反転値を端子出力することができます。

図 23.10 の設定で、さらに G3INV、G2INV ビットを “0” に設定したときの端子出力の様子を図 23.11 に示します。

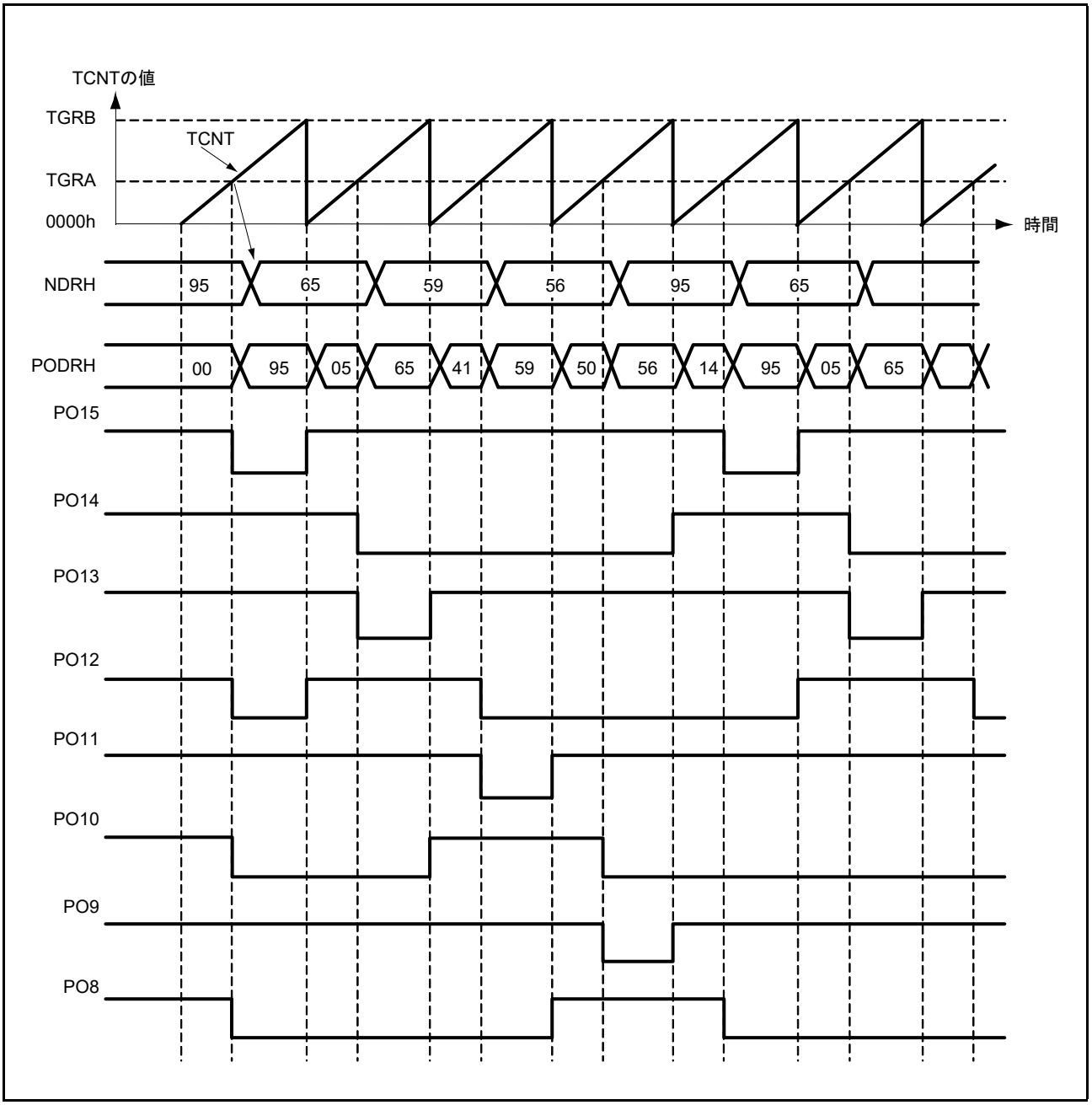


図 23.11　パルス反転出力例

23.3.8　インプットキャプチャによるパルス出力

PPG1 のパルス出力は、MTU3a または TPUa のコンペアマッチだけでなく、インプットキャプチャによっても可能です。PCR レジスタによって選択されたタイマの TGRA レジスタがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャ信号によりパルス出力を行います。

このタイミングを図 23.12 に示します。

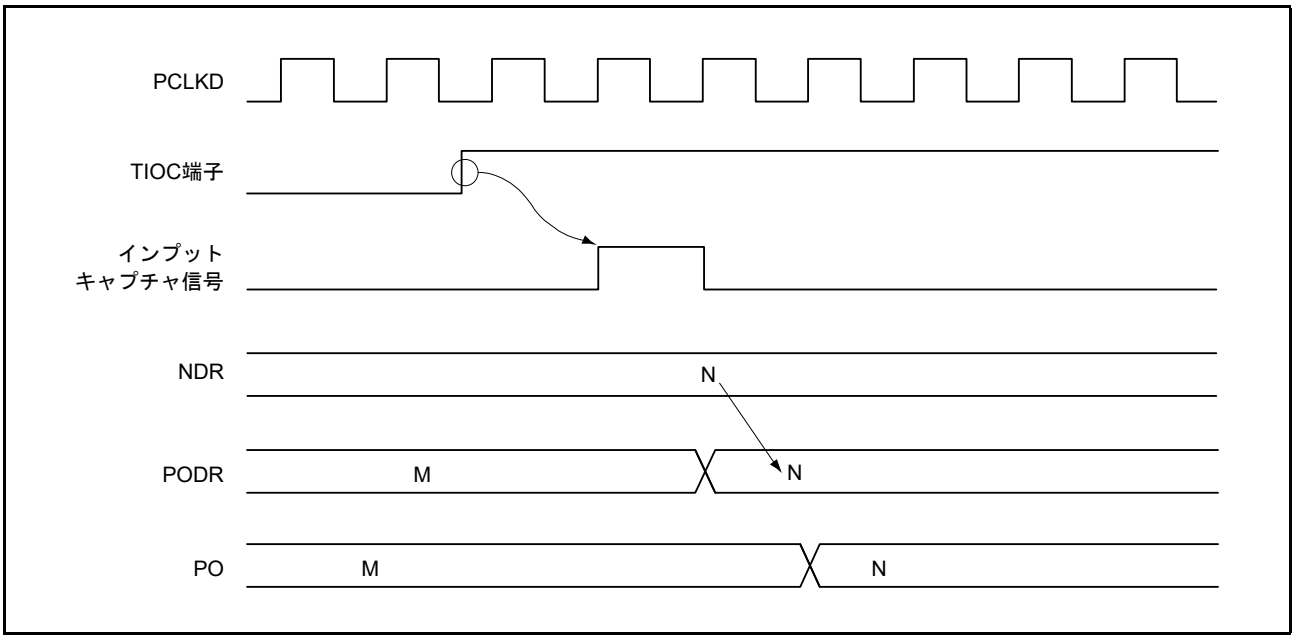


図 23.12　インプットキャプチャによるパルス出力例

23.4　使用上の注意事項

23.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作を禁止／許可に設定することが可能です。

リセット後の値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9.　消費電力低減機能」を参照してください。

24.　コンペアマッチタイマ（CMT）

CMT は、2 チャネルの 16 ビットタイマにより構成されるコンペアマッチタイマ（CMT）で、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

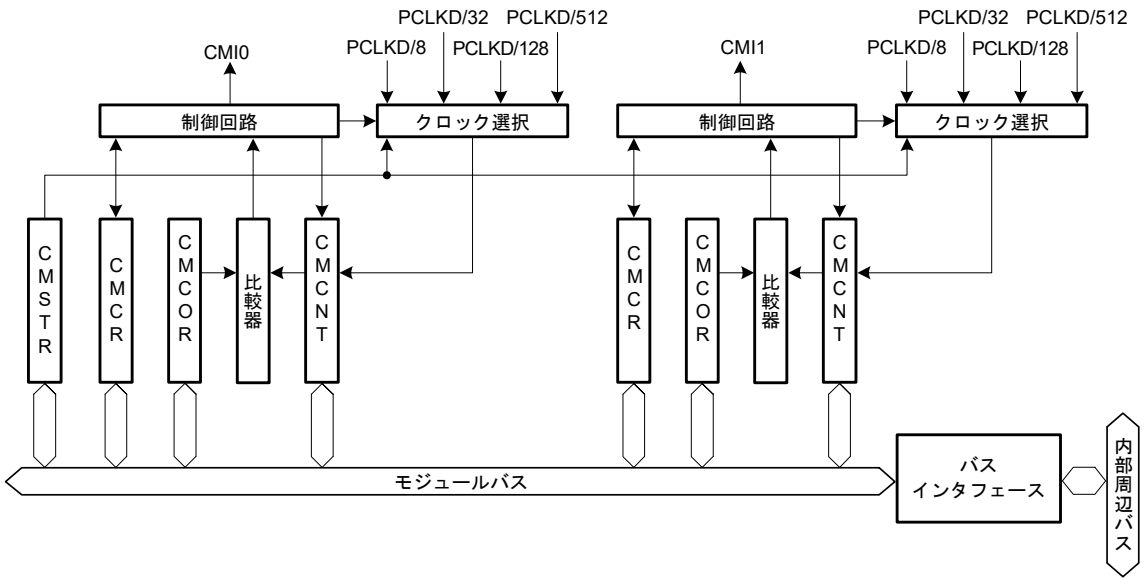
24.1　概要

表 24.1 に CMT の仕様を示します。

図 24.1 に CMT のブロック図を示します。

表24.1　CMTの仕様

項目	機能
内蔵チャネル数	2チャネル × 3ユニット
タイマカウンタ （チャネルごと）	16ビットアップカウンタ （プリスケーラが出力するカウントイネーブルによりカウント） コンペアマッチ後に 0000hに戻る
プリスケーラ （チャネルごと）	9ビットカウンタ（タイマカウンタの動作許可／禁止と連動） • 4種類のカウントイネーブルを出力 PCLKD/8、PCLKD/32、PCLKD/128、PCLDK/512の中から選択可能
イベントリンク機能 （ユニット0のチャネル1のみ）	イベントの受け付けにより3種類の内、何れかの動作が可能 • カウントスタート動作 • イベントカウント動作 • カウントクリア動作 コンペアマッチイベントを発行可能
リセット	非同期リセット



CMSTR　：コンペアマッチタイマスタートレジスタ
CMCR　：コンペアマッチタイマコントロールレジスタ
CMCOR　：コンペアマッチタイマコンスタントレジスタ
CMCNT　：コンペアマッチタイマカウンタ
CMI　：コンペアマッチ割り込み

図 24.1　CMT 各ユニット（ユニット 0 ～ 2）のブロック図

24.2　レジスタの説明

24.2.1　コンペアマッチタイマスタートレジスタ 0（CMSTR0）

ユニット 0 の CMT0.CMCNT カウンタ、CMT1.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス　A008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	CMT0.CMCNTカウンタの動作開始／停止を選択します。本ビットの設定にしたがって、対応するプリスケーラも連動して動作／停止します。 0：CMT0.CMCNTカウンタのカウント動作停止 1：CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	CMT1.CMCNTカウンタの動作開始／停止を選択します。本ビットの設定にしたがって、対応するプリスケーラも連動して動作／停止します。 0：CMT1.CMCNTカウンタのカウント動作停止 1：CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

24.2.2　コンペアマッチタイマスタートレジスタ 1（CMSTR1）

ユニット 1 の CMT2.CMCNT カウンタ、CMT3.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス　A008 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	CMT2.CMCNTカウンタの動作開始／停止を選択します。本ビットの設定にしたがって、対応するプリスケーラも連動して動作／停止します。 0：CMT2.CMCNTカウンタのカウント動作停止 1：CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3ビット	CMT3.CMCNTカウンタの動作開始／停止を選択します。本ビットの設定にしたがって、対応するプリスケーラも連動して動作／停止します。 0：CMT3.CMCNTカウンタのカウント動作停止 1：CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

24.2.3　コンペアマッチタイマスタートレジスタ 2（CMSTR2）

ユニット 2 の CMT4.CMCNT カウンタ、CMT5.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス　A008 0040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR5	STR4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR4	カウントスタート4ビット	CMT4.CMCNTカウンタの動作開始／停止を選択します。本ビットの設定にしたがって、対応するプリスケーラも連動して動作／停止します。 0：CMT4.CMCNTカウンタのカウント動作停止 1：CMT4.CMCNTカウンタのカウント動作開始	R/W
b1	STR5	カウントスタート5ビット	CMT5.CMCNTカウンタの動作開始／停止を選択します。本ビットの設定にしたがって、対応するプリスケーラも連動して動作／停止します。 0：CMT5.CMCNTカウンタのカウント動作停止 1：CMT5.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

24.2.4　コンペアマッチタイマコントロールレジスタ（CMCR）

カウントアップに用いるクロックを設定するレジスタです。

アドレス　CMT0: A008 0002h、CMT1: A008 0008h、CMT2: A008 0022h、CMT3: A008 0028h、CMT4: A008 0042h、CMT5: A008 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	低速周辺モジュールクロック（PCLKD）を分周した内部クロックから、CMTn.CMCNTカウンタに入力するクロックを選択します。 CMSTRm.STRnビットを“1”に設定すると、CKS[1:0]ビットで選択されたクロックにより、対応するCMCNTカウンタがカウントアップ動作を開始します。（m = 0～2、n = 0～5） b1 b0 0 0：PCLKD/8 0 1：PCLKD/32 1 0：PCLKD/128 1 1：PCLKD/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	CMCNTカウンタとCMCORレジスタの値が一致した時のコンペアマッチ割り込み（CMIn）発生の許可／禁止を選択します。（n = 0～5） 0：コンペアマッチ割り込み（CMIn）を禁止 1：コンペアマッチ割り込み（CMIn）を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください。	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

24.2.5　コンペアマッチタイマカウンタ（CMCNT）

CMCNT カウンタは、コンペアマッチタイマの本体であるアップカウンタで、リード／ライト可能です。

CMCR.CKS[1:0] ビットで内部クロックを選択し、CMSTRm.STRn（m = 0 ～ 2, n = 0 ～ 5）ビットを “1” に設定することで内部クロックにより CMCNT カウンタはカウントアップ動作を開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” にクリアされます。このとき、コンペアマッチ割り込み（CMIn）が発生します。（n = 0 ～ 5）

アドレス　CMT0: A008 0004h、CMT1: A008 000Ah、CMT2: A008 0024h、CMT3: A008 002Ah、CMT4: A008 0044h、CMT5: A008 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

24.2.6　コンペアマッチタイマコンスタントレジスタ（CMCOR）

CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定するレジスタで、リード／ライト可能です。

コンペアマッチ周期は次のようになります。

コンペアマッチ周期＝（CMCOR レジスタ設定値 +1）× カウントクロック周期（注 1）

注 1.　CMCR.CKS[1:0] ビットで設定するクロック周期です。

アドレス　CMT0: A008 0006h、CMT1: A008 000Ch、CMT2: A008 0026h、CMT3: A008 002Ch、CMT4: A008 0046h、CMT5: A008 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

24.3　動作説明

24.3.1　周期カウント動作

CMCRn.CKS[1:0] ビットで内部クロックを選択し、CMSTRm.STRn（m = 0 ～ 2, n = 0 ～ 5）ビットを “1” にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” にクリアされます。このとき、コンペアマッチ割り込み（CMIn）が発生します。CMCNT カウンタは “0000h” からカウントアップ動作を再開します。CMCNT カウンタの動作を図 24.2 に示します。

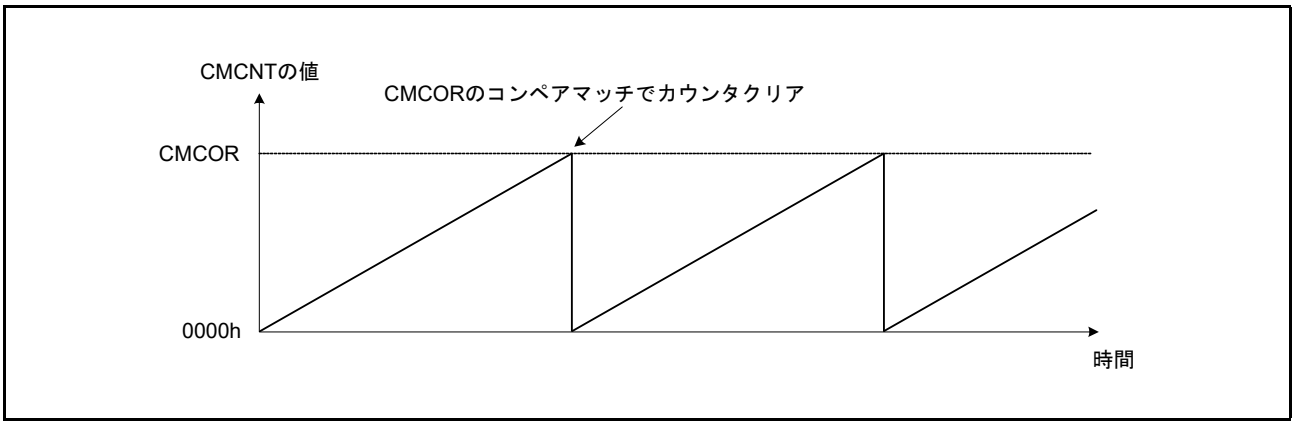


図 24.2　カウンタの動作

24.3.2　CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、低速周辺モジュールクロック（PCLKD）を分周した 4 種類の内部クロック（PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512）からカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 24.3 に示します。

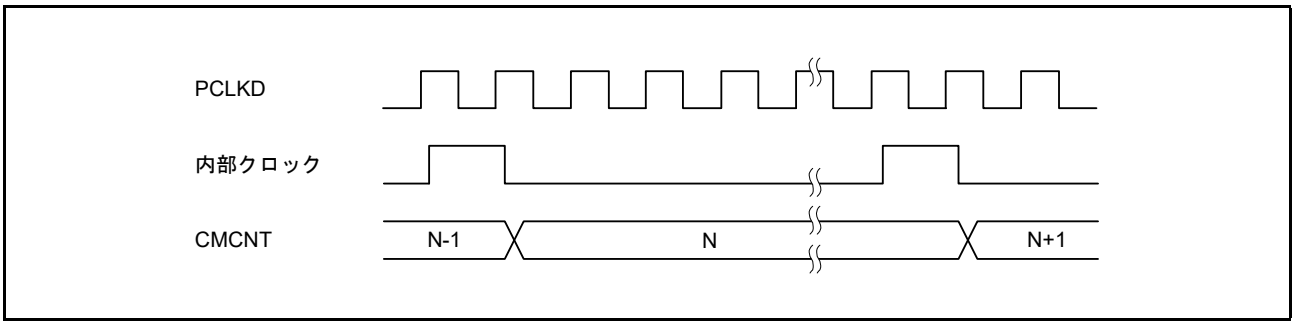


図 24.3　CMCNT カウンタのカウントタイミング

24.4　割り込み

24.4.1　割り込み要因

CMT は、チャネルごとにコンペアマッチ割り込み（CMIn）があり、それぞれ独立なベクタアドレスが割り当てられています。チャネル間の優先順位は割り込みコントローラの設定により変更可能です。

表 24.2　CMT の割り込み要因

名称	割り込み要因
CMI0	CMT0.CMCNT カウンタと CMT0.CMCOR レジスタのコンペアマッチ
CMI1	CMT1.CMCNT カウンタと CMT1.CMCOR レジスタのコンペアマッチ
CMI2	CMT2.CMCNT カウンタと CMT2.CMCOR レジスタのコンペアマッチ
CMI3	CMT3.CMCNT カウンタと CMT3.CMCOR レジスタのコンペアマッチ
CMI4	CMT4.CMCNT カウンタと CMT4.CMCOR レジスタのコンペアマッチ
CMI5	CMT5.CMCNT カウンタと CMT5.CMCOR レジスタのコンペアマッチ

24.4.2　コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み（CMIn）が発生します。

コンペアマッチ信号は、一致した最後のステート（CMCNT カウンタが一致したカウント値を更新するタイミング）で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 24.4 に示します。（n = 0 ～ 5）

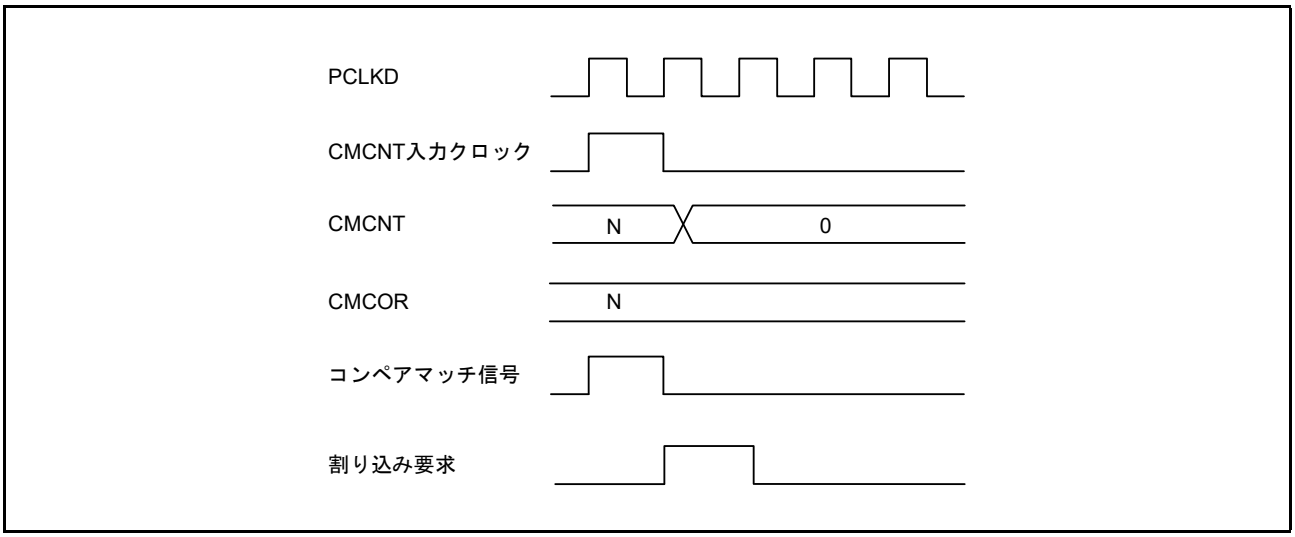


図 24.4　コンペアマッチ割り込みのセットタイミング

24.5　イベントリンク動作

24.5.1　　ELC へのイベント発行

CMT はコンペアマッチが発生すると割り込みを要求しますが、同時にイベントリンクコントローラ（ELC）により、割り込み要求信号をイベント信号として使うことで、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、対応する割り込みの割り込み要求許可ビット（CMT1.CMCR.CMIE ビット）の設定に関係なく出力されます。

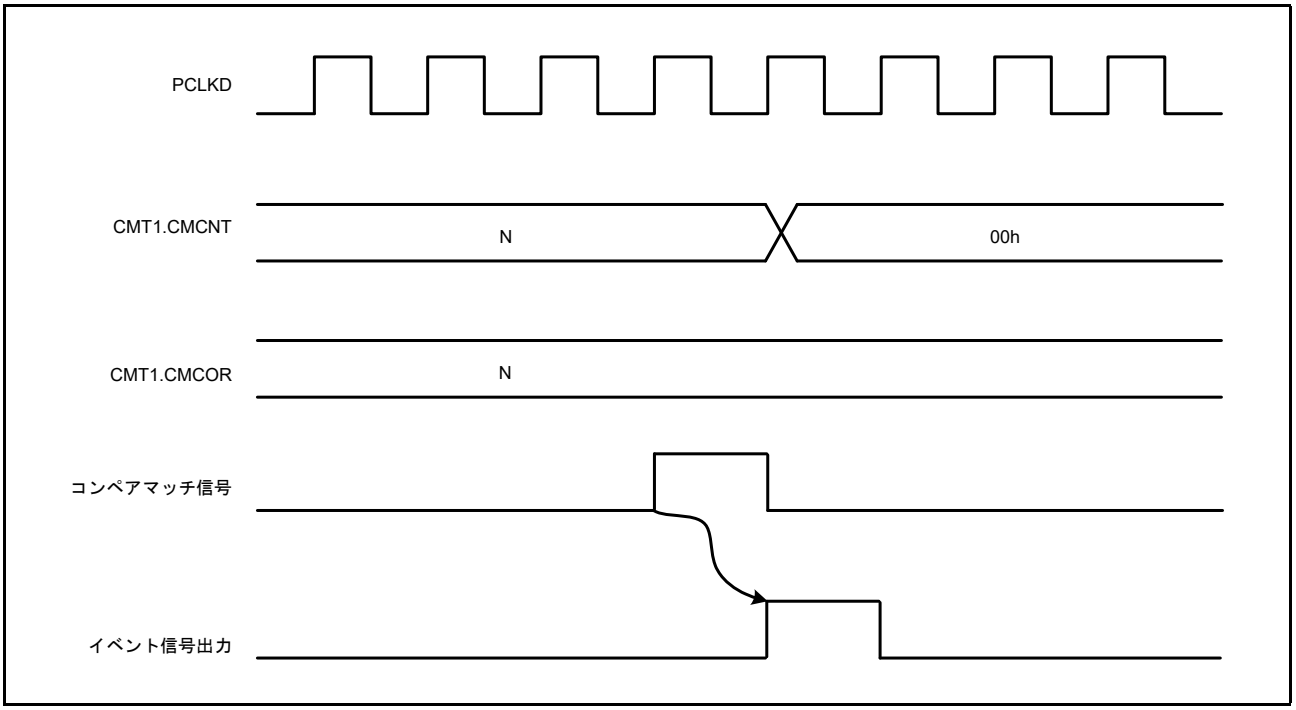


図 24.5　　イベント発行タイミング

24.5.2　ELC からのイベント受け付けによる CMT の動作

CMT はイベントリンクコントローラ（ELC）にあらかじめ設定したイベントにより、次の 3 通りの動作が可能です。

(1)　カウントスタート動作

ELC で CMT のカウントスタート動作を選択した場合、イベントを受け付けると、対応する CMSTR0（コンペアマッチタイマスタートレジスタ 0）の STR1 ビットが “1” にセットされカウントがスタートします。

ただし、CMSTR0.STR1 ビットが “1” にセットされた状態で指定したイベントが発生した場合、そのイベントは無効となります。

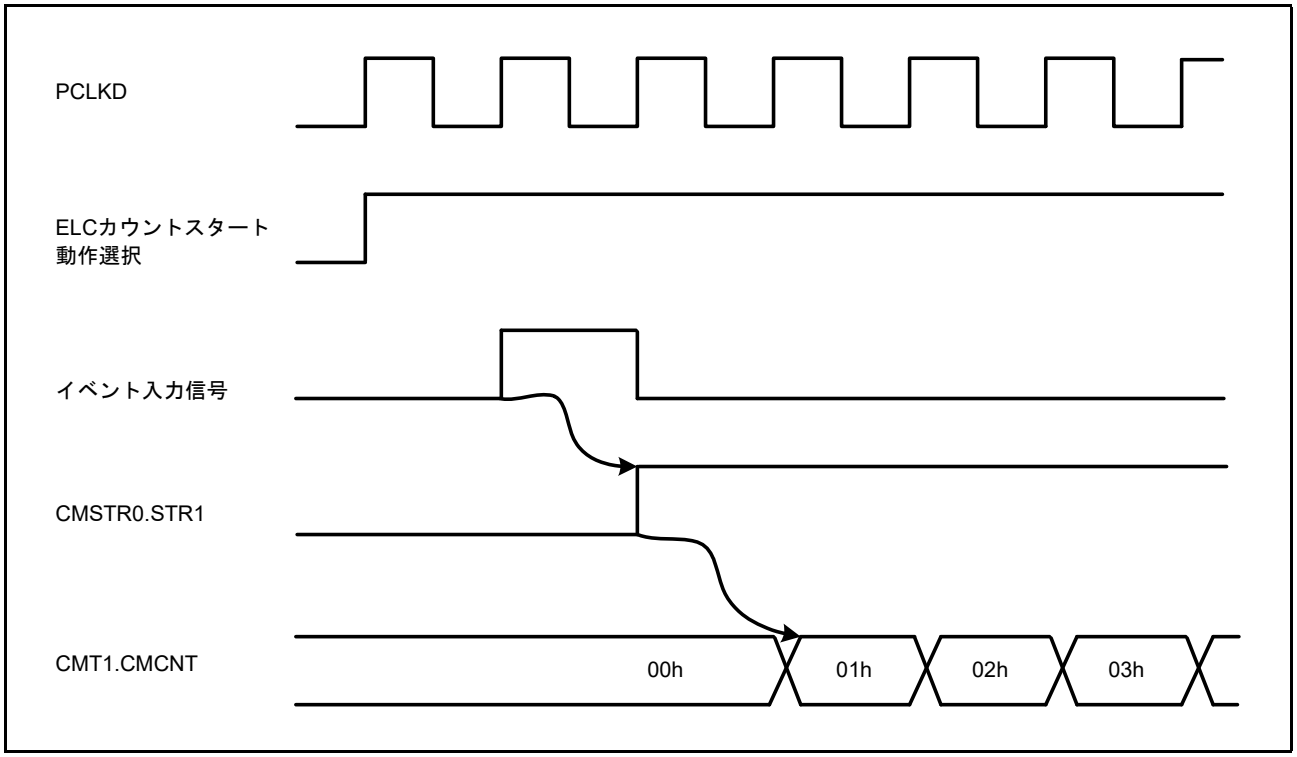


図 24.6　イベント受け付けによるカウントスタート動作

(2)　イベントカウンタ動作

ELC で CMT のイベントカウント動作を選択した場合、イベントを受け付けると、CMT1.CMCR（コンペアマッチタイマコントロールレジスタ）の CKS[1:0] ビットの設定に関係なく、CMT1.CMCNT（コンペアマッチタイマカウンタ）をインクリメントします。イベントを受け付ける前に CMSTR0（コンペアマッチタイマスタートレジスタ 0）の STR1 ビットを “1” にセットしておく必要があります。

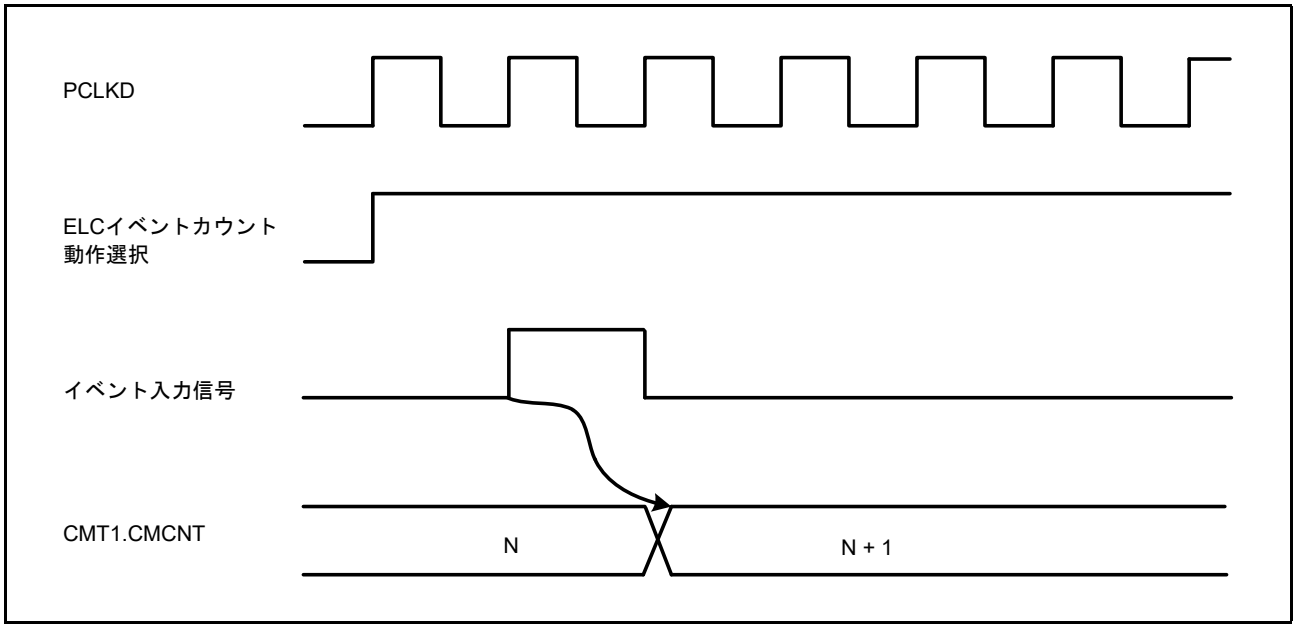


図 24.7　　イベント受け付けによるイベントカウント動作

(3)　カウントクリア動作

ELC で CMT のカウントクリア動作を選択した場合、イベントを受け付けると、CMT1.CMCNT（コンペアマッチタイマカウンタ）の値が初期値に書き換わります。このとき CMSTR0（コンペアマッチタイマスタートレジスタ 0）の STR1 ビットが “1” であればカウント動作を継続しカウントリスタート動作をすることができます。

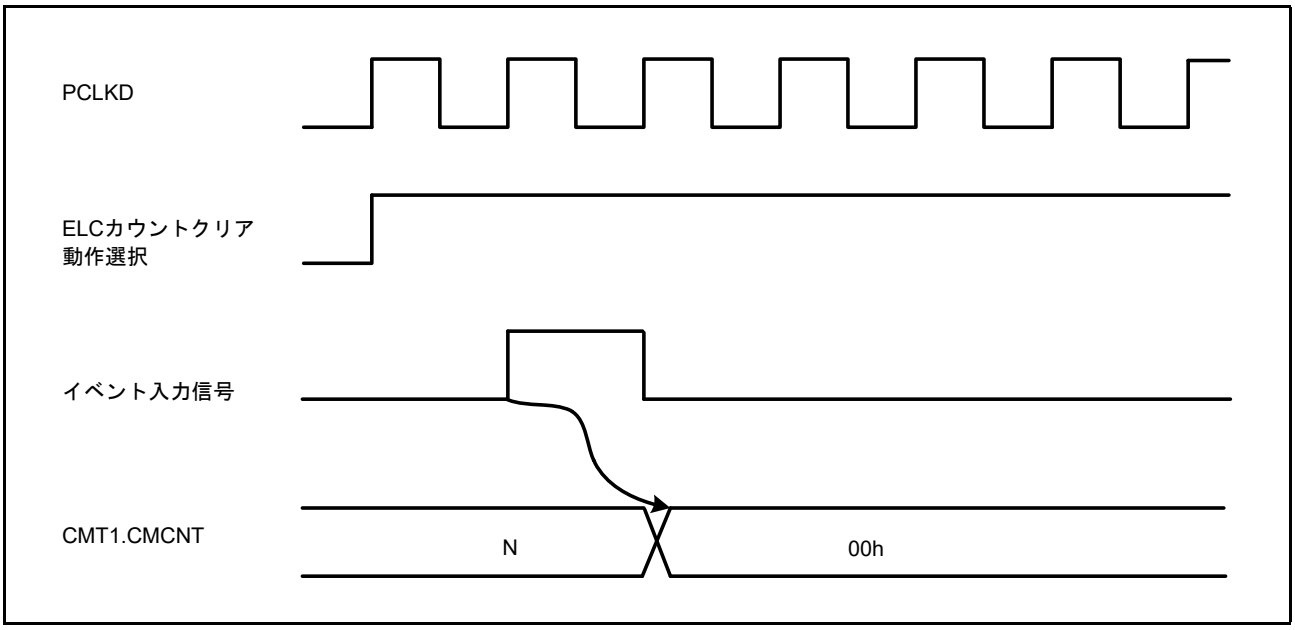


図 24.8　　イベント受け付けによるカウントクリア動作

24.5.3　　イベントリンク動作に関する CMT の注意事項

CMT をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1)　カウントスタート動作

CMSTR0（コンペアマッチタイマスタートレジスタ 0）の STR1 ビットへのライトアクセス中にイベントが発生すると、CMSTR0（コンペアマッチタイマスタートレジスタ 0）の STR1 ビットへの書き込みは行われず、イベント発生による “1” セットが優先されます。

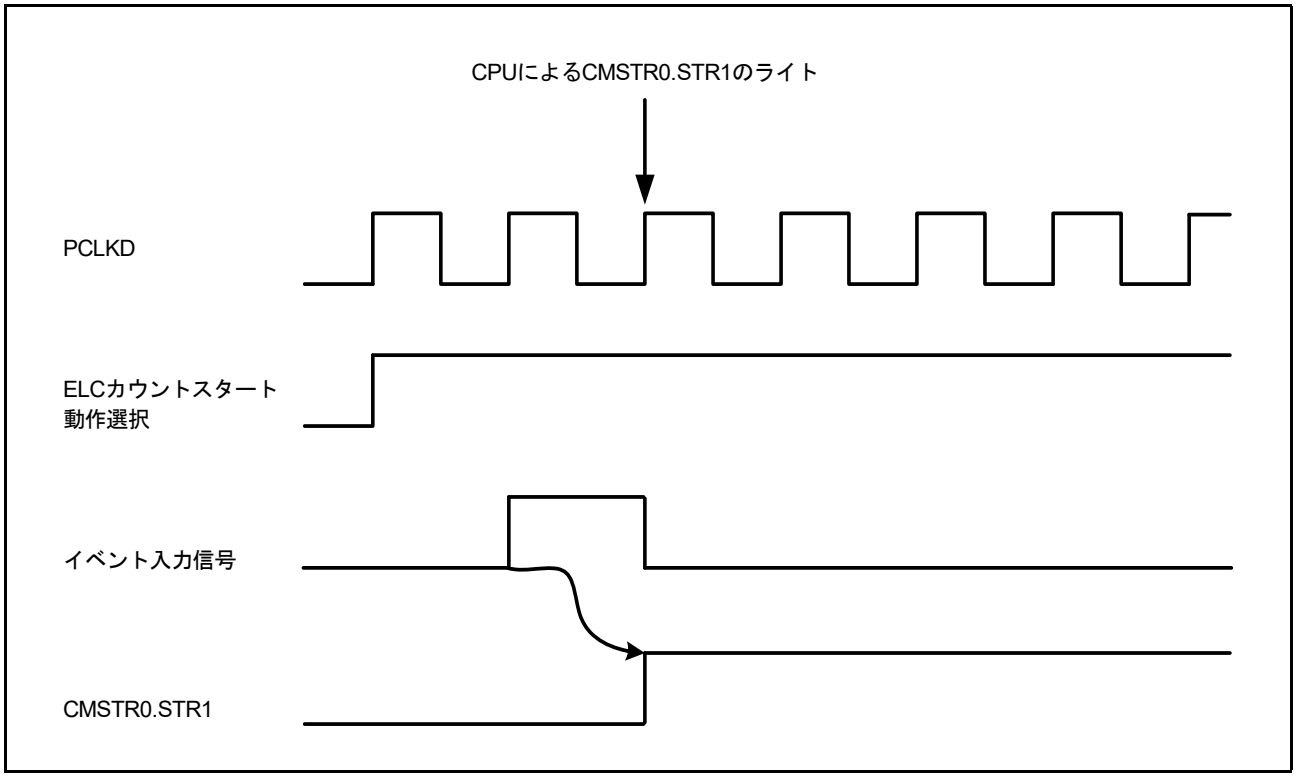


図 24.9　　カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2)　イベントカウンタ動作

CMT1.CMCNT（コンペアマッチタイマカウンタ）へのライトアクセス中にイベントが発生すると、CMT1.CMCNT（コンペアマッチタイマカウンタ）への書き込みは行われず、イベント発生によるカウント動作が優先されます。

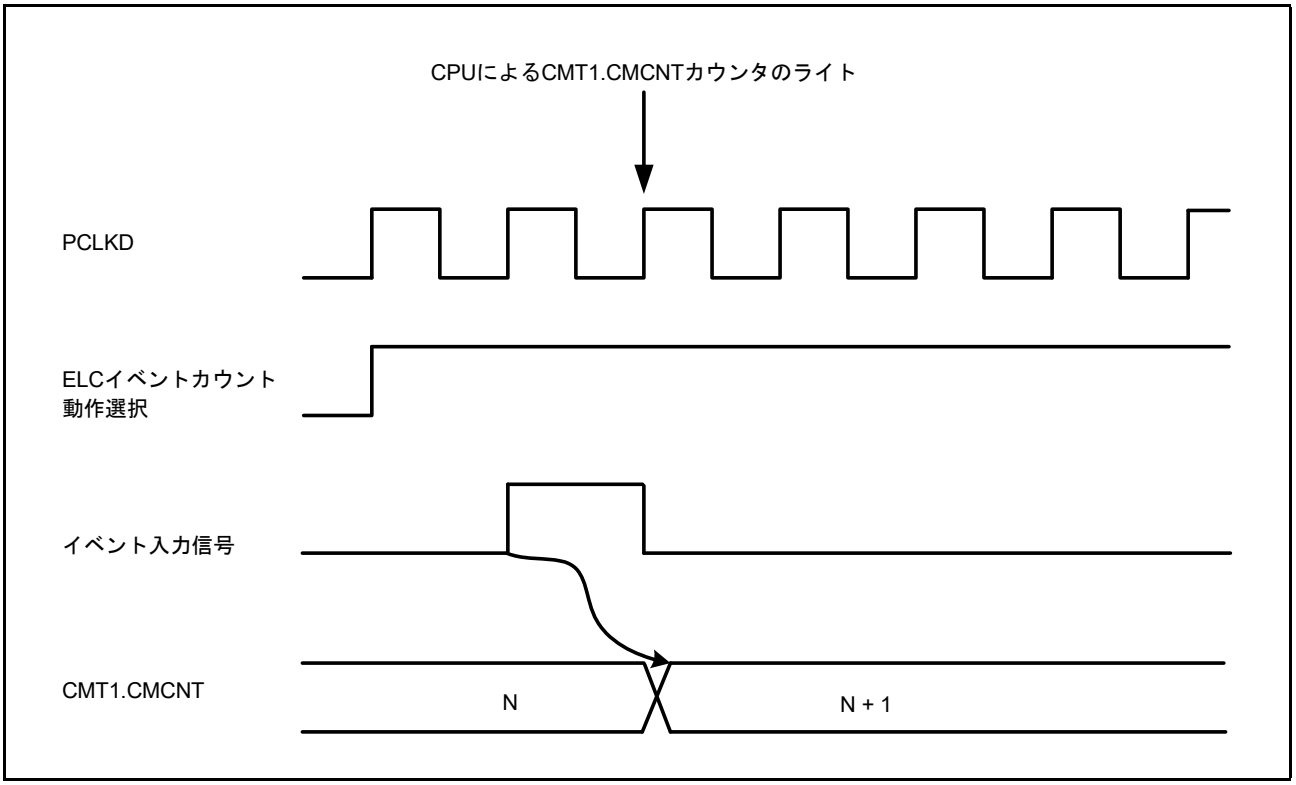


図 24.10　イベントカウント動作でのイベント受け付けとレジスタアクセスの競合

(3)　カウントクリア動作

CMT1.CMCNT（コンペアマッチタイマカウンタ）へのライトアクセス中にイベントが発生すると、CMT1.CMCNT（コンペアマッチタイマカウンタ）への書き込みは行われず、イベント発生によるカウント値の初期化が優先されます。

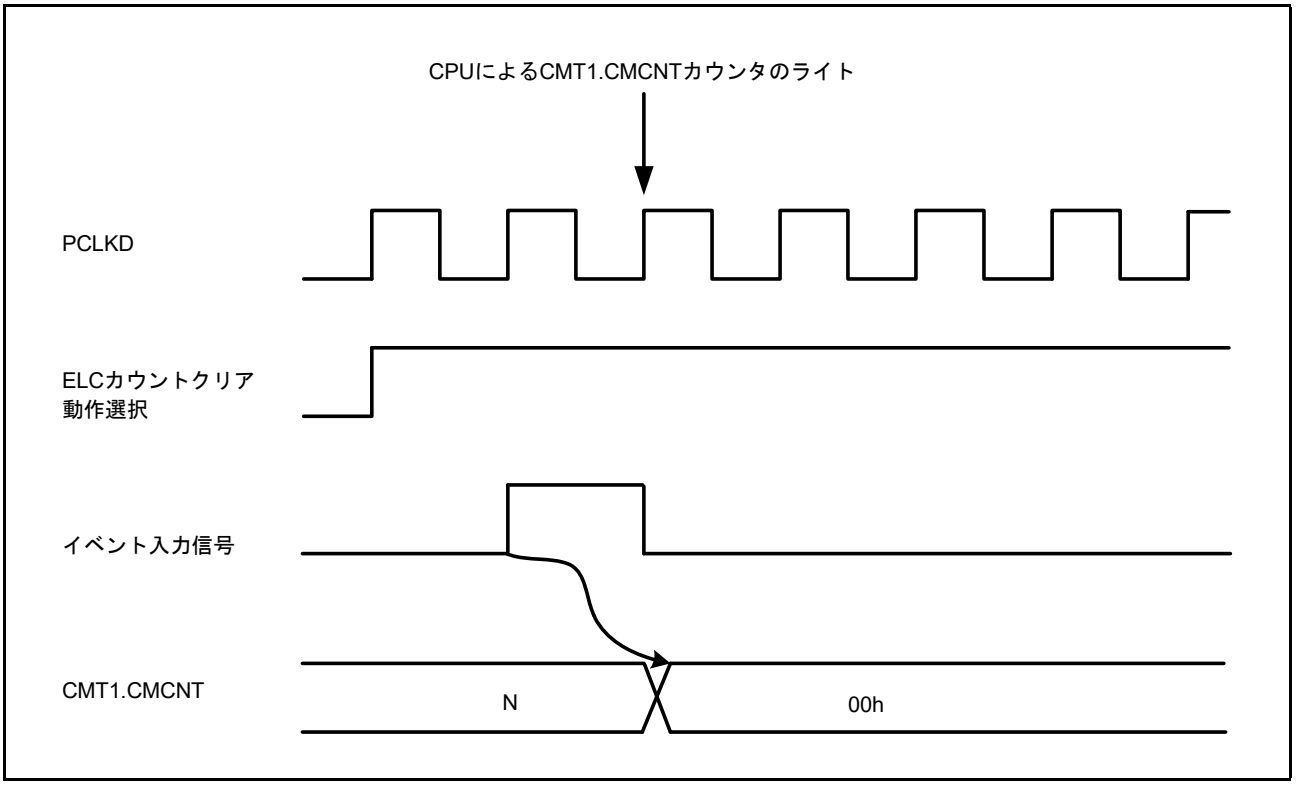


図 24.11　カウントクリア動作でのイベント受け付けとレジスタアクセスの競合

24.6　使用上の注意事項

24.6.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作を禁止／許可することが可能です。リセット後、CMT はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9.　消費電力低減機能」を参照してください。

24.6.2　CMCNT カウンタへの書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 24.12 に示します。

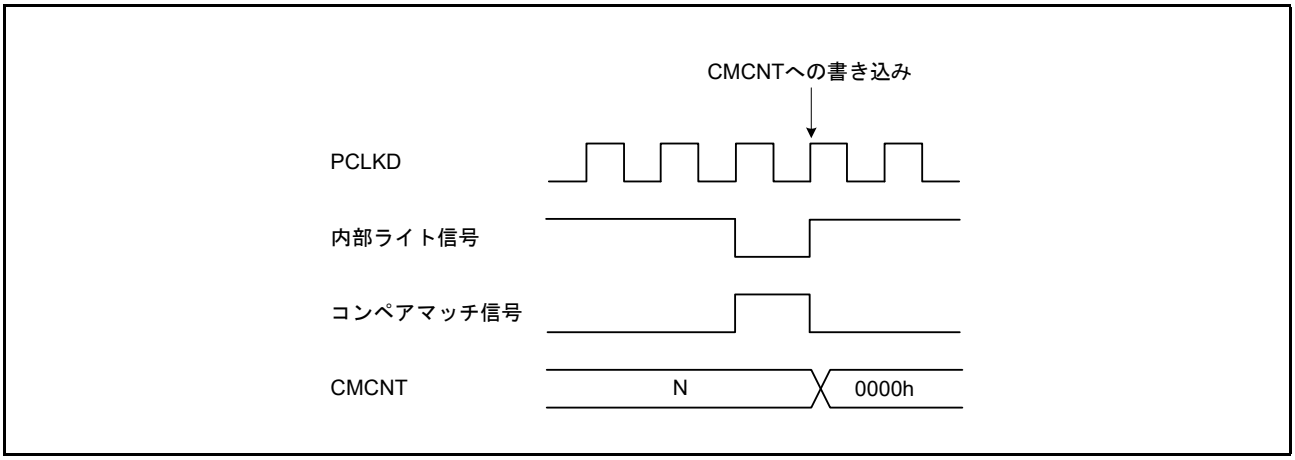


図 24.12　CMCNT カウンタへの書き込みとコンペアマッチの競合

24.6.3　CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへのライト中にカウントアップが発生しても、CMCNT カウンタはカウントアップされずに CMCNT カウンタへの書き込みが優先されます。

このタイミングを図 24.13 に示します。

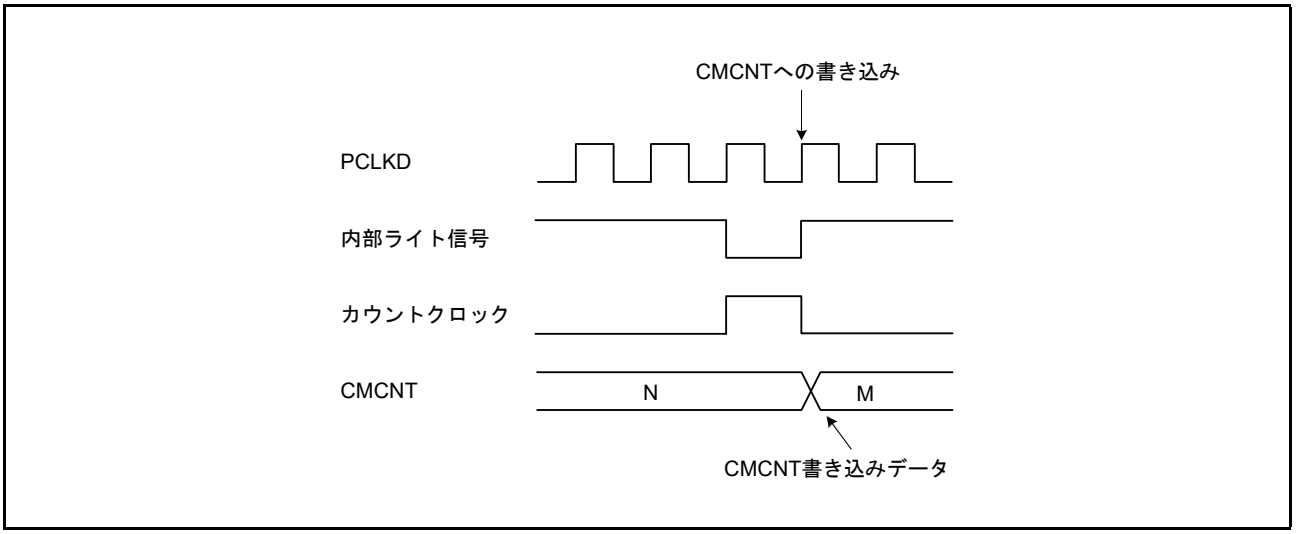


図 24.13　CMCNT カウンタへの書き込みとカウントアップの競合

表24.3　イベントリンク動作／レジスタアクセス／カウンタ状態の競合動作まとめ

イベントリンク動作	レジスタアクセス	CMCNTの状態	実行される動作
カウントスタート	CMSTR0.STR1への書き込み	停止状態	カウントスタート
		コンペアマッチ	カウントスタート
		カウントアップ	カウントスタート
イベントカウント	CMCNTへの書き込み	—	イベントカウント
	CMCORへの書き込み	コンペアマッチ	コンペアマッチ
カウントクリア	CMCNTへの書き込み	コンペアマッチ以外	カウントクリア
	CMCNTへの書き込み	コンペアマッチ	コンペアマッチ
	（レジスタアクセスなし）	コンペアマッチ	コンペアマッチ
（イベントなし）	CMCNTへの書き込み	コンペアマッチ	コンペアマッチ
		カウントアップ	CMCNTへの書き込み
	CMCORへの書き込み	コンペアマッチ	コンペアマッチ

25.　コンペアマッチタイマ W（CMTW）

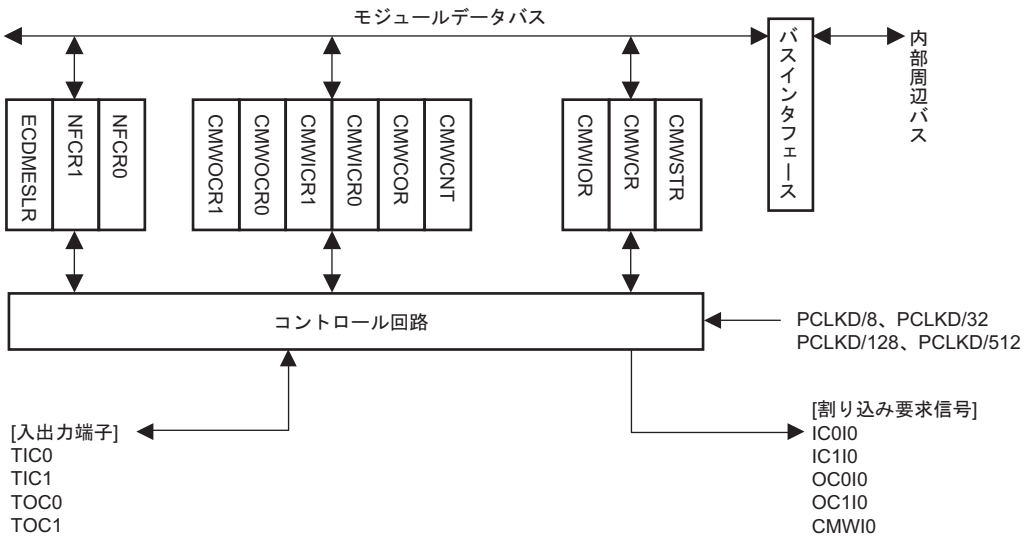
本 LSI は、1 チャネルの 32 ビットタイマにより構成されるコンペアマッチタイマ W（CMTW）を 2 ユニット内蔵しています。CMTW は 32 ビットのカウンタを備え、設定した周期ごとに割り込みを発生させることができます。

25.1　概要

表 25.1 に CMTW の仕様を示します。**図 25.1** に CMTW のブロック図を示します。

表25.1　　CMTWの仕様

項目	機能
チャネル数	1チャネル ×2ユニット
タイマカウンタ	16ビット／32ビット切り替え可能なアップカウンタ （プリスケーラが出力するカウント許可によりカウント） コンペアマッチ後に0000 0000hに戻る
プリスケーラ	9ビットカウンタ（タイマカウンタの動作許可／禁止と連動） • 4種類のカウントイネーブルを出力 PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512の中から選択可能
インプットキャプチャ	最大2本のインプットキャプチャ入力が可能
アウトプットコンペア	最大2本のアウトプットコンペア出力が可能
コンペアマッチ	1本のコンペアマッチが可能
割り込み	• コンペアマッチ割り込み • インプットキャプチャ 0、インプットキャプチャ 1割り込み • アウトプットコンペア0、アウトプットコンペア1割り込み
イベントリンク	イベント受け付けにより以下の3種類の内、いずれかの動作が可能 • カウントスタート動作 • イベントカウント動作 • カウントクリア動作 また、以下のイベントを発行可能 • コンペアマッチイベント
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能



CMWSTR　：タイマスタートレジスタ
CMWCR　：タイマコントロールレジスタ
CMWIOR　：タイマ I/O コントロールレジスタ
CMWCNT　：タイマカウンタ
CMWCOR　：コンペアマッチコンスタントレジスタ
CMWICR0　：インプットキャプチャレジスタ 0
CMWICR1　：インプットキャプチャレジスタ 1
CMWOCR0　：アウトプットコンペアレジスタ 0
CMWOCR1　：アウトプットコンペアレジスタ 1
NFCR0　：デジタルノイズフィルタコントロールレジスタ 0
NFCR1　：デジタルノイズフィルタコントロールレジスタ 1
ECDMESLR　：ECM ダイナミックモードエラー出力選択レジスタ

図 25.1　CMTW（ユニット 0）のブロック図

表 25.2 に CMTW の入出力端子を示します。

表25.2　CMTWの入出力端子

ユニット	端子名	入出力	機能
CMTW0	TIC0	入力	インプットキャプチャ入力0
	TIC1	入力	インプットキャプチャ入力1
	TOC0	出力	アウトプットコンペア出力0
	TOC1	出力	アウトプットコンペア出力1
CMTW1	TIC2	入力	インプットキャプチャ入力2
	TIC3	入力	インプットキャプチャ入力3
	TOC2	出力	アウトプットコンペア出力2
	TOC3	出力	アウトプットコンペア出力3

25.2　レジスタの説明

25.2.1　　タイマスタートレジスタ（CMWSTR）

CMWSTR レジスタは、CMWCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス　CMTW0.CMWSTR A008 0300h、CMTW1.CMWSTR A008 0380h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	カウントスタートビット	0：CMWCNTカウンタはカウントを停止 （カウント動作停止直前の値を保持して、カウント動作を停止） 1：CMWCNTカウンタはカウント動作を開始	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

STR ビット（カウントスタートビット）

タイマカウンタの動作／停止を選択します。STR ビットの設定にしたがって、対応するプリスケーラも連動して動作／停止します。

25.2.2　タイマコントロールレジスタ（CMWCR）

CMWCR レジスタは、カウンタクリア要因、カウンタ入力クロック、および割り込みの禁止／許可の設定を行うレジスタです。

CMWCR レジスタの設定は、タイマカウンタ（CMWCNT）の動作が停止した状態で行ってください。

アドレス　CMTW0.CMWCR A008 0304h、CMTW1.CMWCR A008 0384h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CCLR[2:0]			—	—	—	CMS	—	OC1IE	OC0IE	IC1IE	IC0IE	CMWIE	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：PCLKD/8 0 1：PCLKD/32 1 0：PCLKD/128 1 1：PCLKD/512	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	CMWIE	コンペアマッチ割り込み許可ビット	0：コンペアマッチ割り込み要求（CMWI）を禁止 1：コンペアマッチ割り込み要求（CMWI）を許可	R/W
b4	IC0IE	インプットキャプチャ0割り込み許可ビット	0：インプットキャプチャ0ビットによる割り込み要求（IC0I）を禁止 1：インプットキャプチャ0ビットによる割り込み要求（IC0I）を許可	R/W
b5	IC1IE	インプットキャプチャ1割り込み許可ビット	0：インプットキャプチャ1ビットによる割り込み要求（IC1I）を禁止 1：インプットキャプチャ1ビットによる割り込み要求（IC1I）を許可	R/W
b6	OC0IE	アウトプットコンペア0割り込み許可ビット	0：アウトプットコンペア0ビットによる割り込み要求（OC0I）を禁止 1：アウトプットコンペア0ビットによる割り込み要求（OC0I）を許可	R/W
b7	OC1IE	アウトプットコンペア1割り込み許可ビット	0：アウトプットコンペア1ビットによる割り込み要求（OC1I）を禁止 1：アウトプットコンペア1ビットによる割り込み要求（OC1I）を許可	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	CMS	タイマカウンタサイズビット	0：32ビットカウンタ動作 1：16ビットカウンタ動作	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b13	CCLR[2:0]	カウンタクリアビット	b15 b13 0 0 0：CMWCORレジスタのコンペアマッチでCMWCNTカウンタクリア 0 0 1：クリアしない 0 1 0：クリアしない 0 1 1：クリアしない 1 0 0：CMWICR0レジスタのインプットキャプチャでCMWCNTカウンタクリア 1 0 1：CMWICR1レジスタのインプットキャプチャでCMWCNTカウンタクリア 1 1 0：CMWOCR0レジスタのコンペアマッチでCMWCNTカウンタクリア 1 1 1：CMWOCR1レジスタのコンペアマッチでCMWCNTカウンタクリア	R/W

CKS[1:0] ビット（クロックセレクトビット）

周辺クロック（PCLKD）を分周した 4 種類の内部クロックから CMWCNT カウンタに入力するクロックを選択します。CMWSTR.STR ビットを “1” に設定すると、CMWCNT.CKS[1:0] ビットにより選択されたクロックで CMWCNT カウンタがカウントアップ動作を開始します。

CMWIE ビット（コンペアマッチ割り込み許可ビット）

CMWCNT カウンタと CMWCOR レジスタの値が一致したとき、コンペアマッチ割り込み要求（CMWI）の発生を許可するか禁止するかを選択します。

IC0IE ビット（インプットキャプチャ 0 割り込み許可ビット）

CMWICR0 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ割り込み 0（IC0I）の発生を許可するか禁止するかを選択します。

IC1IE ビット（インプットキャプチャ 1 割り込み許可ビット）

CMWICR1 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ割り込み 1（IC1I）の発生を許可するか禁止するかを選択します。

OC0IE ビット（アウトプットコンペア 0 割り込み許可ビット）

CMWCNT カウンタと CMWOCR0 レジスタの値が一致したとき、アウトプットコンペア割り込み 0（OC0I）の発生を許可するか禁止するかを選択します。

OC1IE ビット（アウトプットコンペア 1 割り込み許可ビット）

CMWCNT カウンタと CMWOCR1 レジスタの値が一致したとき、アウトプットコンペア割り込み 1（OC1I）の発生を許可するか禁止するかを選択します。

CMS ビット（タイマカウンタサイズビット）

タイマカウンタ（CMWCNT）を、16 ビットまたは 32 ビットのどちらのカウンタとして使用するかを選択します。CMS ビットの設定がコンペアマッチコンスタントレジスタ（CMWCOR）、インプットキャプチャレジスタ（CMWICR0、CMWICR1）、アウトプットコンペアレジスタ（CMWOCR0、CMWOCR1）の有効ビットサイズになります。

CCLR[2:0] ビット（カウンタクリアビット）

CMWCNT カウンタのカウンタクリア要因を選択します。

25.2.3　タイマ I/O コントロールレジスタ（CMWIOR）

CMWIOR レジスタは CMWCOR、CMWICR0、CMWICR1、CMWOCR0、CMWOCR1 レジスタを制御するレジスタです。

CMWIOR の設定は、タイマカウンタ（CMWCNT）の動作が停止した状態で行ってください。

アドレス　CMTW0.CMWIOR A008 0308h、CMTW1.CMWIOR A008 0388h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMWE	—	OC1E	OC0E	OC1[1:0]		OC0[1:0]		—	—	IC1E	IC0E	IC1[1:0]		IC0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IC0[1:0]	インプットキャプチャコントロール0ビット	b1 b0 0 0：TIC0端子の立ち上がりエッジでインプットキャプチャ 0 1：TIC0端子の立ち下がりエッジでインプットキャプチャ 1 0：TIC0端子の両エッジでインプットキャプチャ 1 1：設定しないでください	R/W
b3-b2	IC1[1:0]	インプットキャプチャコントロール1ビット	b3 b2 0 0：TIC1端子の立ち上がりエッジでインプットキャプチャ 0 1：TIC1端子の立ち下がりエッジでインプットキャプチャ 1 0：TIC1端子の両エッジでインプットキャプチャ 1 1：設定しないでください	R/W
b4	IC0E	インプットキャプチャ許可0ビット	0：CMWICR0レジスタのインプットキャプチャ動作を禁止 1：CMWICR0レジスタのインプットキャプチャ動作を許可	R/W
b5	IC1E	インプットキャプチャ許可1ビット	0：CMWICR1レジスタのインプットキャプチャ動作を禁止 1：CMWICR1レジスタのインプットキャプチャ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	OC0[1:0]	アウトプットコンペアコントロール0ビット	b9 b8 0 0：出力保持（注1） 0 1：初期出力は“0”出力 コンペアマッチでトグル出力 1 0：初期出力は“1”出力 コンペアマッチでトグル出力 1 1：設定しないでください	R/W
b11-b10	OC1[1:0]	アウトプットコンペアコントロール1ビット	b11 b10 0 0：出力保持（注1） 0 1：初期出力は“0”出力 コンペアマッチでトグル出力 1 0：初期出力は“1”出力 コンペアマッチでトグル出力 1 1：設定しないでください	R/W
b12	OC0E	コンペアマッチ許可0ビット	0：CMWOCR0レジスタによるコンペアマッチ動作を禁止 1：CMWOCR0レジスタによるコンペアマッチ動作を許可	R/W
b13	OC1E	コンペアマッチ許可1ビット	0：CMWOCR1レジスタによるコンペアマッチ動作を禁止 1：CMWOCR1レジスタによるコンペアマッチ動作を許可	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	CMWE	コンペアマッチ許可ビット	0：CMWCORレジスタによるコンペアマッチ動作を禁止 1：CMWCORレジスタによるコンペアマッチ動作を許可	R/W

注1.　リセット後、CMWIORレジスタを設定するまでは“0”が出力されます。

IC0[1:0] ビット（インプットキャプチャコントロール 0 ビット）

CMWICR0 レジスタのインプットキャプチャ動作を選択します。

IC1[1:0] ビット（インプットキャプチャコントロール 1 ビット）

CMWICR1 レジスタのインプットキャプチャ動作を選択します。

IC0E ビット（インプットキャプチャ許可 0 ビット）

CMWICR0 レジスタのインプットキャプチャ動作の禁止／許可を設定します。

IC1E ビット（インプットキャプチャ許可 1 ビット）

CMWICR1 レジスタのインプットキャプチャ動作の禁止／許可を設定します。

OC0[1:0] ビット（アウトプットコンペアコントロール 0 ビット）

CMWOCR0 レジスタによるアウトプットコンペア動作を設定します。

OC1[1:0] ビット（アウトプットコンペアコントロール 1 ビット）

CMWOCR1 レジスタによるアウトプットコンペア動作を設定します。

OC0E ビット（コンペアマッチ許可 0 ビット）

CMWOCR0 レジスタによるコンペアマッチ動作の禁止／許可を設定します。

OC1E ビット（コンペアマッチ許可 1 ビット）

CMWOCR1 レジスタによるコンペアマッチ動作の禁止／許可を設定します。

CMWE ビット（コンペアマッチ許可ビット）

CMWCOR レジスタによるコンペアマッチ動作の禁止／許可を設定します。

25.2.4　タイマカウンタ（CMWCNT）

CMWCNT カウンタは、書き込み／読み出し可能なアップカウンタとして使用します。

カウント動作を開始する前に、タイマコントロールレジスタ（CMWCR）の設定を完了してください。CMWCR.CMS ビットで 16 ビットカウンタ動作とした場合、CMWCNT カウンタの b15 ～ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータを書き込んでください。上位に 0000h 以外の値を設定した場合、本レジスタを読み出した際、0000 FFFFh より大きい値が読み出されることがあります。

なお、STR ビットを “1” にした場合、CMWCNT カウンタはカウント動作を開始し、STR ビットを “0” にした場合、CMWCNT カウンタはカウント動作停止直前の値を保持して停止します。

アドレス　CMTW0.CMWCNT A008 0310h、CMTW1.CMWCNT A008 0390h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

25.2.5　コンペアマッチコンスタントレジスタ（CMWCOR）

CMWCOR レジスタは、書き込み／読み出し可能なレジスタで、タイマカウンタ（CMWCNT）とコンペアマッチするまでの期間を設定するレジスタです。タイマコントロールレジスタ（CMWCR）の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ～ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータで書き込んでください。

コンペアマッチ周期は次のようになります。

コンペアマッチ周期 =（CMWCOR レジスタ設定値 +1）× カウントクロック周期（注 1）

注 1.　CMWCR.CKS[1:0] ビットで設定するクロック周期です。

アドレス　CMTW0.CMWCOR A008 0314h、CMTW1.CMWCOR A008 0394h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

25.2.6　インプットキャプチャレジスタ 0、1（CMWICR0、CMWICR1）

CMWICR0、CMWICR1 レジスタは、インプットキャプチャ時の CMWCNT カウンタ値を格納する読み出し専用のレジスタです。

タイマコントロールレジスタ（CMWCR）の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ～ b0 が有効となります。本レジスタへの書き込みは無効です。

アドレス　CMTW0.CMWICR0 A008 0318h、CMTW0.CMWICR1 A008 031Ch、
CMTW1.CMWICR0 A008 0398h、CMTW1.CMWICR1 A008 039Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

25.2.7　アウトプットコンペアレジスタ 0、1（CMWOCR0、CMWOCR1）

CMWOCR0、CMWOCR1 レジスタは、アウトプットコンペア時のコンペア値を設定する書き込み／読み出し可能なレジスタです。

タイマコントロールレジスタ（CMWCR）の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ～ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータで書き込んでください。

アドレス　CMTW0.CMWOCR0 A008 0320h、CMTW0.CMWOCR1 A008 0324h、
CMTW1.CMWOCR0 A008 03A0h、CMTW1.CMWOCR1 A008 03A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

25.2.8　デジタルノイズフィルタコントロールレジスタ 0（NFCR0）

NFCR0 レジスタは、CMTW0 のインプットキャプチャ信号（TICn, n = 0, 1）のデジタルノイズフィルタを制御するレジスタです。

NFCR0 レジスタの設定は、CMTW0.CMWCNT カウンタの動作が停止した状態で行ってください。

アドレス　CMTW.NFCR0 A008 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NFCS0[1:0]		NF1EN	NF0EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NF0EN	デジタルノイズフィルタ有効0ビット	0：TIC0端子のデジタルノイズフィルタは無効 1：TIC0端子のデジタルノイズフィルタは有効	R/W
b1	NF1EN	デジタルノイズフィルタ有効1ビット	0：TIC1端子のデジタルノイズフィルタは無効 1：TIC1端子のデジタルノイズフィルタは有効	R/W
b3-b2	NFCS0[1:0]	デジタルノイズフィルタクロック選択0ビット	b3 b2 0 0：PCLKD/1 0 1：PCLKD/8 1 0：PCLKD/32 1 1：PCLKD/64	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NF0EN ビット（デジタルノイズフィルタ有効 0 ビット）

TIC0 端子のデジタルノイズフィルタを有効または無効にします。本ビットは、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で切り替えてください。（アウトプットコンペア機能に設定せずに本ビットを切り替えた場合、意図しない内部エッジが発生することがあります。）

NF1EN ビット（デジタルノイズフィルタ有効 1 ビット）

TIC1 端子のデジタルノイズフィルタを有効または無効にします。本ビットは、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で切り替えてください。（アウトプットコンペア機能に設定せずに本ビットを切り替えた場合、意図しない内部エッジが発生することがあります。）

NFCS0[1:0] ビット（デジタルノイズフィルタクロック選択 0 ビット）

CMTW0 のデジタルノイズフィルタのサンプリングクロックを選択します。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号とみなし、一致しない場合は、前のレベルを保持します。

本ビットを設定した後、設定したサンプリング周期の 2 周期分待った後でインプットキャプチャ機能に設定してください。

25.2.9　デジタルノイズフィルタコントロールレジスタ 1（NFCR1）

NFCR1 レジスタは、CMTW1 のインプットキャプチャ信号（TICn, n = 2, 3）のデジタルノイズフィルタを制御します。

NFCR1 レジスタの設定は、CMTW1.CMWCNT カウンタの動作が停止した状態で行ってください。

アドレス　CMTW.NFCR1 A008 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NFCS1[1:0]		NF3EN	NF2EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NF2EN	デジタルノイズフィルタ有効2ビット	0：TIC2端子のデジタルノイズフィルタは無効 1：TIC2端子のデジタルノイズフィルタは有効	R/W
b1	NF3EN	デジタルノイズフィルタ有効3ビット	0：TIC3端子のデジタルノイズフィルタは無効 1：TIC3端子のデジタルノイズフィルタは有効	R/W
b3-b2	NFCS1[1:0]	デジタルノイズフィルタクロック選択1ビット	b3 b2 0 0：PCLKD/1 0 1：PCLKD/8 1 0：PCLKD/32 1 1：PCLKD/64	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NF2EN ビット（デジタルノイズフィルタ有効 2 ビット）

TIC2 端子のデジタルノイズフィルタを有効または無効にします。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NF3EN ビット（デジタルノイズフィルタ有効 3 ビット）

TIC3 端子のデジタルノイズフィルタを有効または無効にします。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCS1[1:0] ビット（デジタルノイズフィルタクロック選択 1 ビット）

CMTW1 のデジタルノイズフィルタのサンプリングクロックを選択します。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号とみなし、一致しない場合は、前のレベルを保持します。

本ビットを設定した後、設定したサンプリング周期の 2 周期分待った後でインプットキャプチャ機能に設定してください。

25.2.10　ECM ダイナミックモードエラー出力選択レジスタ（ECDMESLR）

エラーコントロールモジュール（ECM）ダイナミックモード時のエラー出力を選択するレジスタです。

アドレス　CMTW.ECDMESLR A008 0410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMERSL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMERSL[2:0]	ECMダイナミックモード エラー出力選択ビット	b2 b1 b0 0 0 0：0固定（アウトプットコンペア信号未使用） 0 0 1：CMTW0.CMWCOR0のアウトプットコンペア信号 0 1 0：CMTW0.CMWCOR1のアウトプットコンペア信号 0 1 1：CMTW1.CMWCOR0のアウトプットコンペア信号 1 0 0：CMTW1.CMWCOR1のアウトプットコンペア信号 上記以外は設定禁止	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DMERSL[2:0] ビット（ECM ダイナミックモードエラー出力選択ビット）

ECM ダイナミックモード時のエラー出力をいずれかの CMTW アウトプットコンペア信号から選択します。

ECM ダイナミックモードの詳細は「42.　エラーコントロールモジュール（ECM）」を参照してください。

25.3　動作説明

CMTW は CMWCR レジスタの設定後に CMWSTR.STR ビットを “1” にすることによって、カウント動作を開始します。CMWSTR.STR ビットを “0” にすることによって、CMWCNT カウンタはカウント動作停止直前の値を保持して、カウント動作を停止します。また、CMWIOR レジスタを設定することにより、コンペアマッチ機能、インプットキャプチャ入力機能、およびアウトプットコンペア出力機能を使用することが可能です。

25.3.1　周期カウント動作

CMWCR.CKS[1:0] ビットで内部クロックを選択し、CMWSTR.STR ビットを “1” にすると、選択したクロックによって CMWCNT カウンタはカウントアップ動作を開始します。CMWCR.CCLR[2:0] ビットでカウンタをクリアする条件に設定した場合は、カウンタクリア要因が発生すると CMWCNT カウンタは 0000 0000h にクリアされ、カウントアップを続けます。カウンタをクリアしない条件に設定した場合、オーバフロー発生時（FFFF FFFFh → 0000 0000h（32 ビットカウンタ動作時）／ 0000 FFFFh → 0000 0000h（16 ビットカウンタ動作時））のみ CMWCNT カウンタは 0000 0000h にクリアされ、カウントアップを続けます。

25.3.2　コンペアマッチ機能

CMWCNT カウンタの値が CMWCOR レジスタの値と一致すると、コンペアマッチ割り込み（CMWI）が発生します。また、CMWCR.CCLR[1:0] の設定によって、CMWCNT カウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 000b の場合
   CMWCNT カウンタの値が CMWCOR レジスタの値と一致すると、CMWCNT カウンタは “0000 0000h” にクリアされます。その後、CMWCNT カウンタは “0000 0000h” から再びカウントアップ動作を再開します。
2. CMWCR.CCLR[2:0] ≠ 000b の場合
   CMWCNT カウンタの値が CMWCOR レジスタの値と一致しても、CMWCNT カウンタは “0000 0000h” にクリアされず、CMWCR.CCLR[1:0] で設定されたクリア条件成立時、または “FFFF FFFFh（32 ビットカウンタ動作時）／ ****FFFFh（16 ビットカウンタ動作時）” までカウントアップ動作を続けます。
   その後、CMWCNT カウンタは “0000 0000h” にクリアされ、“0000 0000h” から再びカウントアップ動作を再開します。

コンペアマッチ動作の設定手順例を図 25.2 に示します。

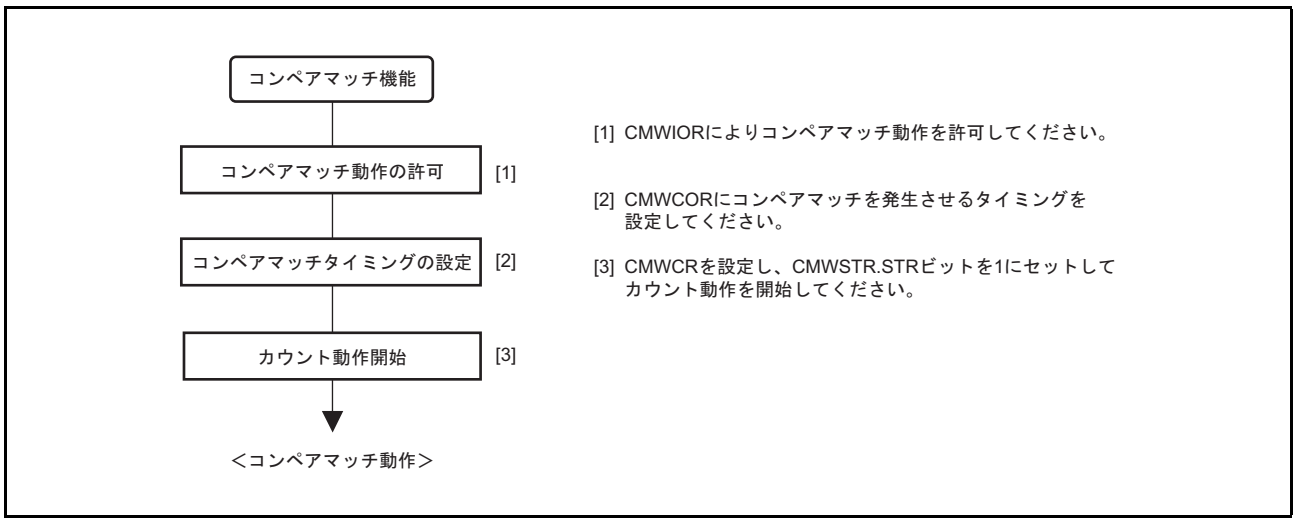


図 25.2　コンペアマッチ動作の設定手順例

CMWCOR レジスタとのコンペアマッチをカウンタクリア要因とした場合の例を図 25.3 に示します。

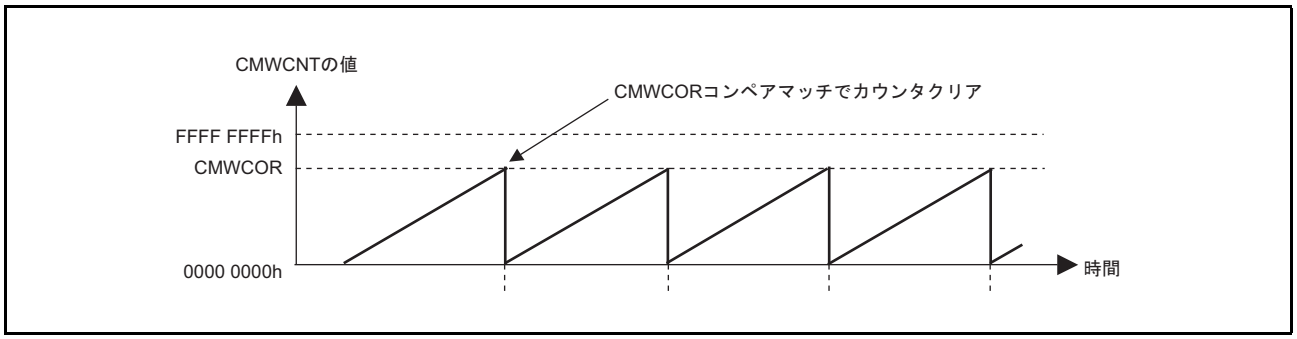


図 25.3　コンペアマッチ動作例

CMWCOR = FFFF FFFFh とし、オーバフロー検出をした場合の例を図 25.4 に示します。

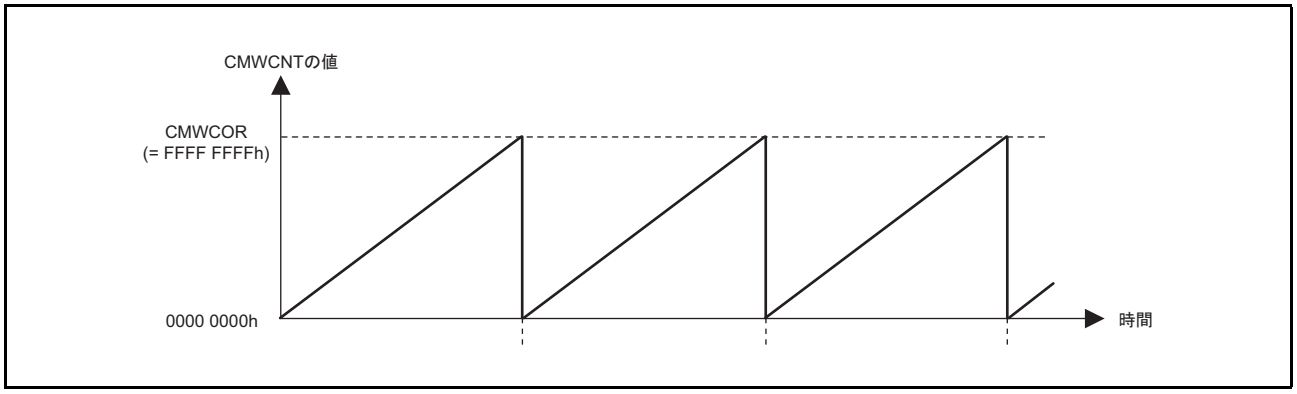


図 25.4　コンペアマッチ動作例（オーバフロー検出時）

25.3.3　アウトプットコンペア機能

アウトプットコンペア機能により、対応する出力端子からトグル出力を行うことができます。また、CMWCNT カウンタの値が CMWOCR0 レジスタまたは CMWOCR1 レジスタの値と一致すると、アウトプットコンペア割り込み（OC0I または OC1I）が発生します。また、CMWCR.CCLR[2:0] の設定によって、CMWCNT カウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 110b の場合
   CMWCNT カウンタの値が CMWOCR0 レジスタの値と一致すると、CMWCNT カウンタは “0000 0000h” にクリアされます。その後、CMWCNT カウンタは “0000 0000h” から再びカウントアップ動作を再開します。
2. CMWCR.CCLR[2:0] = 111b の場合
   CMWCNT カウンタの値が CMWOCR1 レジスタの値と一致すると、CMWCNT カウンタは “0000 0000h” にクリアされます。その後、CMWCNT カウンタは “0000 0000h” から再びカウントアップ動作を再開します。
3. CMWCR.CCLR[2:0] ≠ 110b/111b の場合
   CMWCNT カウンタの値が CMWOCR0/CMWOCR1 レジスタの値と一致しても、CMWCNT カウンタは “0000 0000h” にクリアされず、 CMWCR.CCLR[2:0] で設定されたクリア条件成立時、または “FFFF FFFFh（32 ビットカウンタ動作時）／ **** FFFFh（16 ビットカウンタ動作時）” までカウントアップ動作を続けます。その後、CMWCNT カウンタは “0000 0000h” にクリアされ、“0000 0000h” から再びカウントアップ動作を再開します。

アウトプットコンペア動作の設定手順例を**図 25.5** に示します。

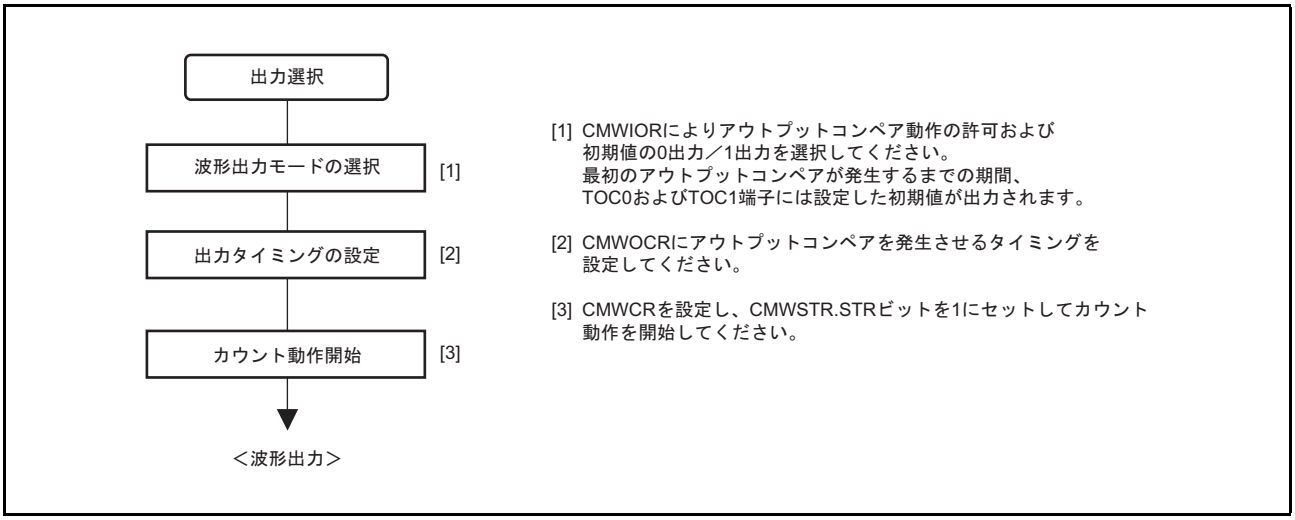


図 25.5　アウトプットコンペア動作の設定手順例

CMWOCR1 レジスタによりカウンタクリア、TOC0 および TOC1 端子をトグル出力とした場合の例を図 25.6 に示します。

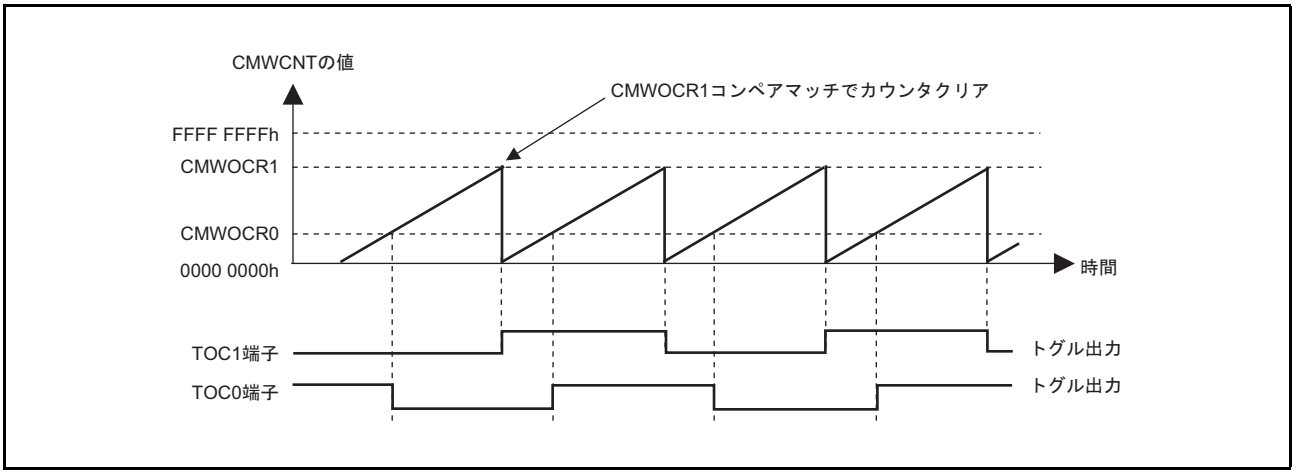


図 25.6　アウトプットコンペア動作例

25.3.4　インプットキャプチャ機能

TIC0、TIC1 端子の入力エッジを検出して CMWCNT カウンタの値を CMWICR0、CMWICR1 レジスタにそれぞれ転送することができます。検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。また、インプットキャプチャ機能により CMWCNT カウンタの値が CMWICR0 または CMWICR1 レジスタに転送されると、インプットキャプチャ割り込み（IC0I または IC1I）が発生します。また、CMWCR.CCLR[2:0] の設定によって、CMWCNT カウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 100b の場合
   インプットキャプチャにより CMWCNT の値が CMWICR0 に転送されると、CMWCNT カウンタは “0000 0000h” にクリアされます。
   その後、CMWCNT カウンタは “0000 0000h” から再びカウントアップ動作を再開します。
2. CMWCR.CCLR[2:0] = 101b の場合
   インプットキャプチャにより CMWCNT の値が CMWICR1 に転送されると、CMWCNT カウンタは “0000 0000h” にクリアされます。
   その後、CMWCNT カウンタは “0000 0000h” から再びカウントアップ動作を再開します。
3. CMWCR.CCLR[2:0] ≠ 100b/101b の場合
   インプットキャプチャにより CMWCNT の値が CMWICR0 または CMWICR1 に転送されても、CMWCNT カウンタは “0000 0000h” にクリアされず、CMWCR.CCLR[2:0] で設定されたクリア条件成立時、または “FFFF FFFFh（32 ビットカウンタ動作時）／ **** FFFFh（16 ビットカウンタ動作時）” までカウントアップ動作を続けます。その後、CMWCNT カウンタは “0000 0000h” にクリアされ、“0000 0000h” から再びカウントアップ動作を再開します。

インプットキャプチャ動作の設定手順例を図 25.7 に示します。

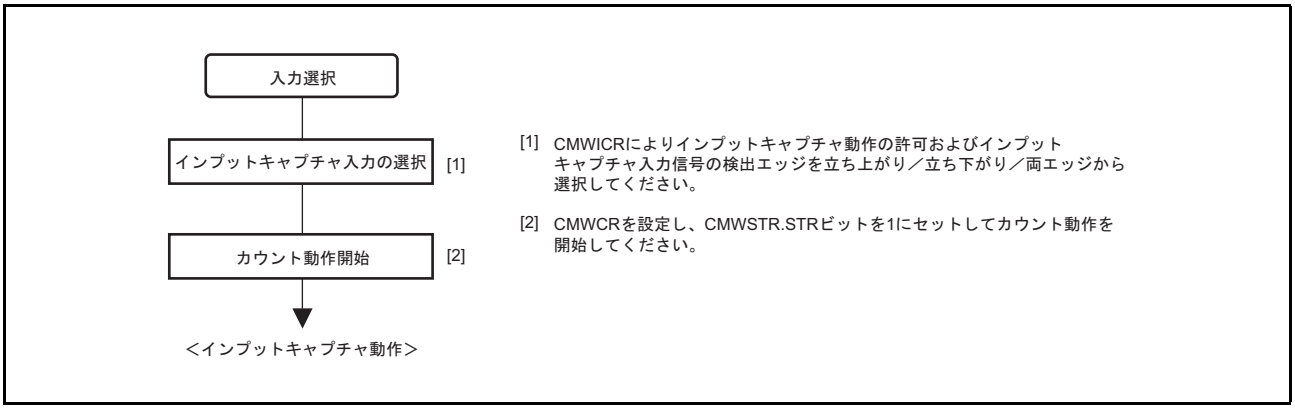


図 25.7　インプットキャプチャ動作の設定手順例

TIC0 端子のインプットキャプチャ入力エッジを立ち上がり／立ち下がりの両エッジ、TIC1 端子を立ち下がりエッジに設定し、CMWICR1 レジスタのインプットキャプチャで CMWCNT カウンタがクリアされるように設定した場合の例を図 25.8 に示します。

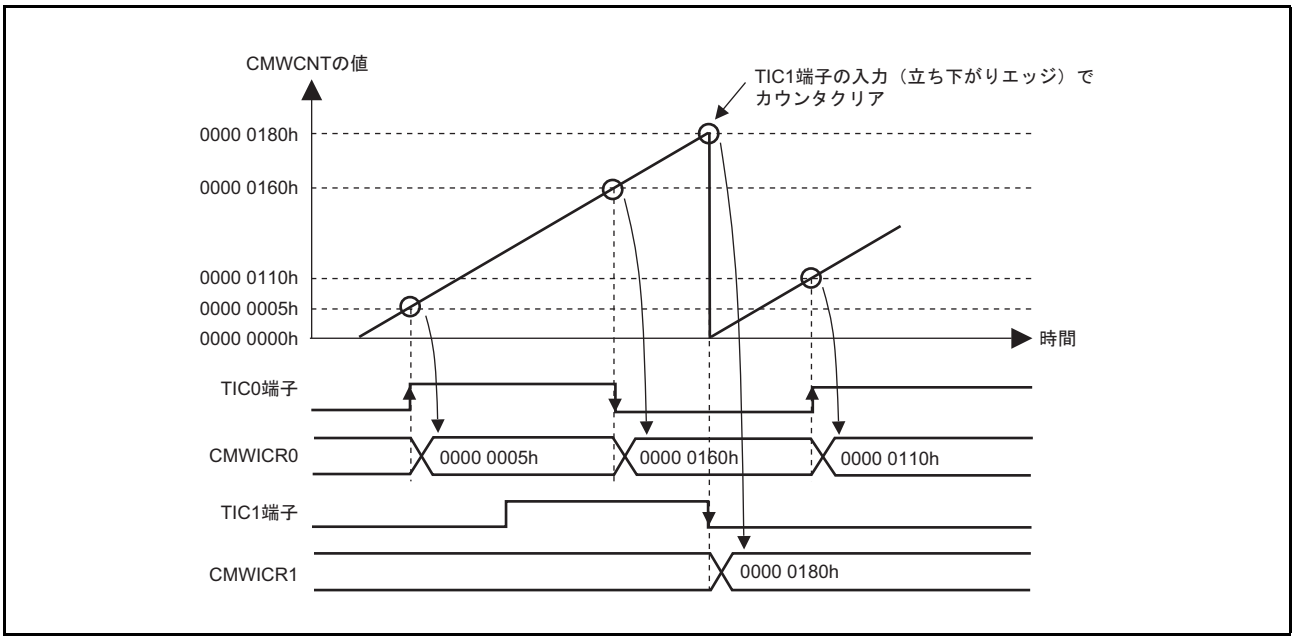


図 25.8　　インプットキャプチャ動作例

25.3.5　カウンタサイズ

CMTW は、カウンタサイズを 16 ビットカウンタと 32 ビットカウンタから選択可能です。カウンタサイズの選択は CMWCR.CMS ビットで行います。32 ビットカウンタとして使う場合、CMWCOR、CMWOCR0、CMWOCR1 レジスタには所望のデータを 32 ビットでセットしてください。CMWICR0、CMWICR1 は 32 ビットすべてが有効な値として読み出されます。16 ビットカウンタとして使う場合、CMWCOR レジスタの値は上位に 0000h を加えた 32 ビットでセットしてください。CMWOCR0、CMWOCR1 レジスタの値は上位に 0000h を加えた 32 ビットでセットしてください。CMWICR0、CMWICR1 レジスタは上位に 0000h を加えた 32 ビットの値が読み出されます。

25.3.6　CMWCNT カウントタイミング

CMWCR.CKS[1:0] ビットで、周辺クロック（PCLKD）を分周して得られた 4 種類のクロック（PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512）のうち 1 つを CMWCR.CKS[1:0] ビットにより選択することができます。**図 25.9** にそのタイミングを示します。

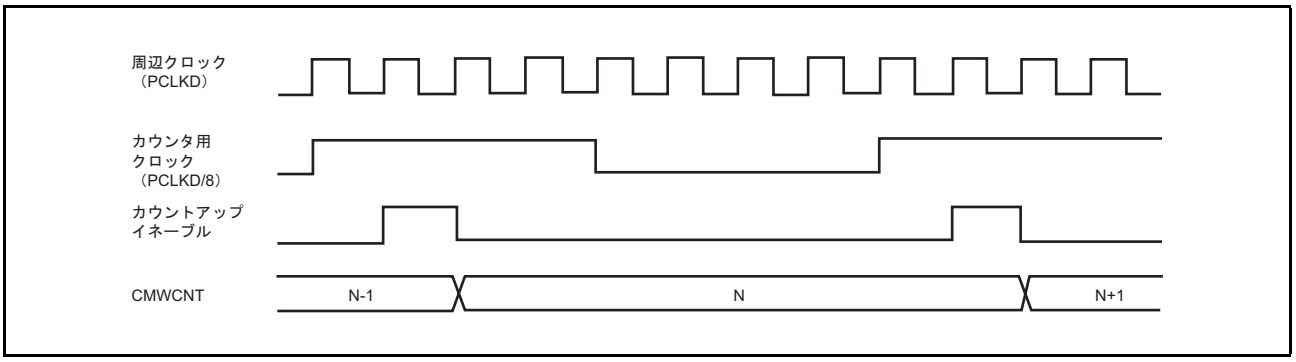


図 25.9　カウントタイミング（PCLKD/8 のとき）

25.3.7　アウトプットコンペア出力タイミング

CMWOCR レジスタと CMWCNT カウンタが一致した最後のステート（CMWCNT カウンタの値が更新されるタイミング）でコンペアマッチ信号が発生します。つまり、CMWOCR レジスタと CMWCNT カウンタの一致後、CMWCNT カウンタのカウント用クロックが入力されないとコンペアマッチ信号は発生しません。コンペアマッチ信号が発生したとき、CMWIOR レジスタの OC0/1 ビットの設定にしたがい、アウトプットコンペア出力端子（TOC 端子）が変化します。アウトプットコンペア出力タイミングを図 25.10 に示します。

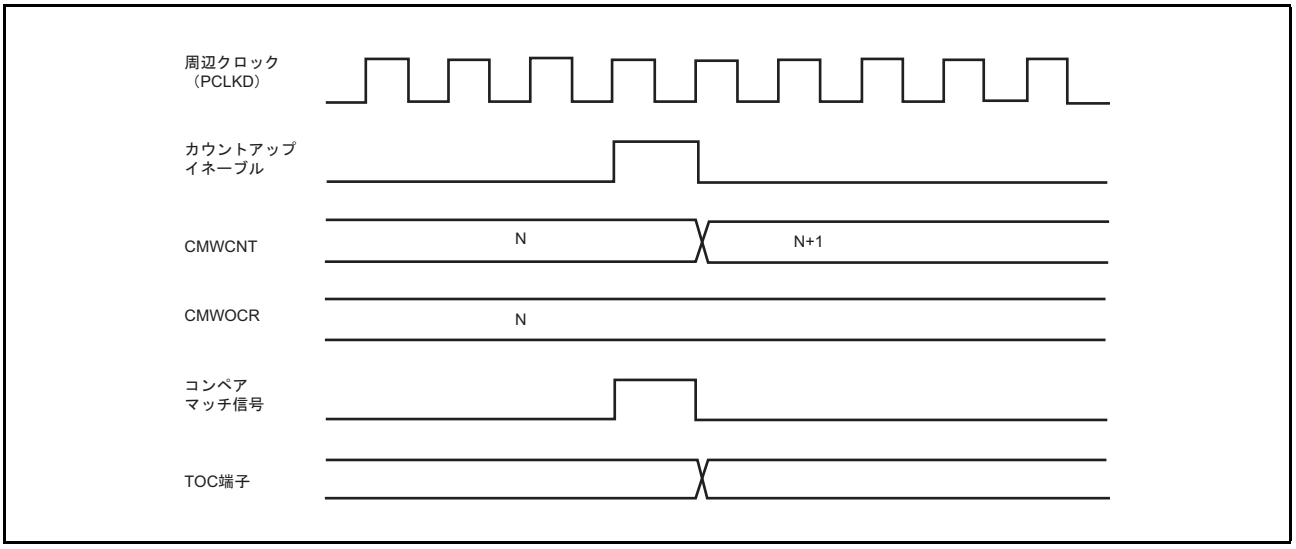


図 25.10　アウトプットコンペア出力タイミング

25.3.8　インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 25.11 に示します。

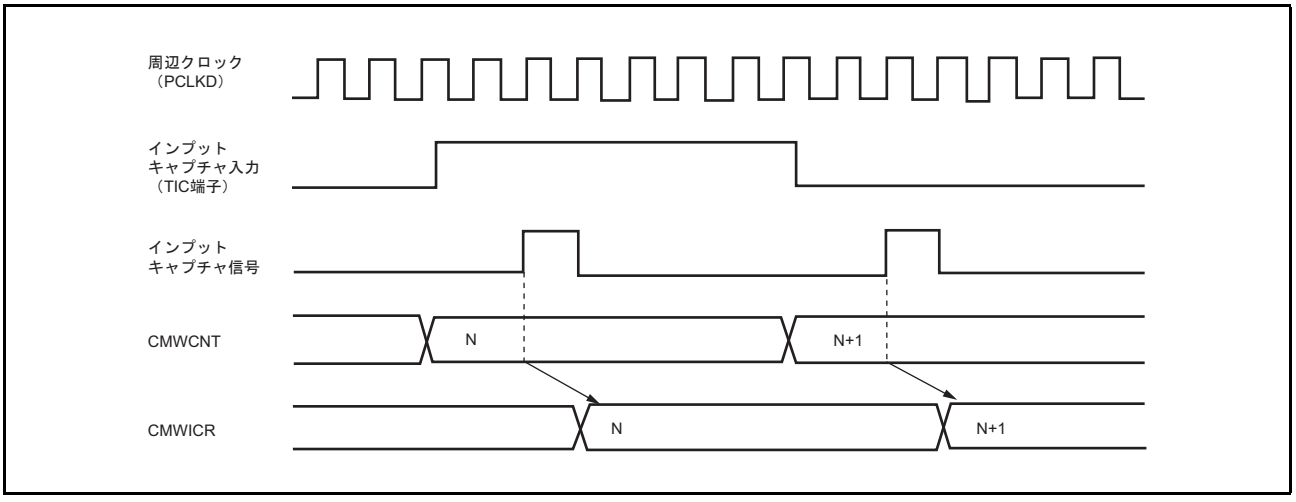


図 25.11　インプットキャプチャ入力信号タイミング

25.3.9　デジタルノイズフィルタ機能

デジタルノイズフィルタ機能は、CMTW のインプットキャプチャ入力信号をサンプリングクロックでサンプリングし、サンプリング 3 回に満たないパルスを除去する機能です。

デジタルノイズフィルタは、端子ごとにデジタルノイズフィルタ機能の有効／無効が設定できます。**図 25.12** にデジタルノイズフィルタのタイミングを示します。

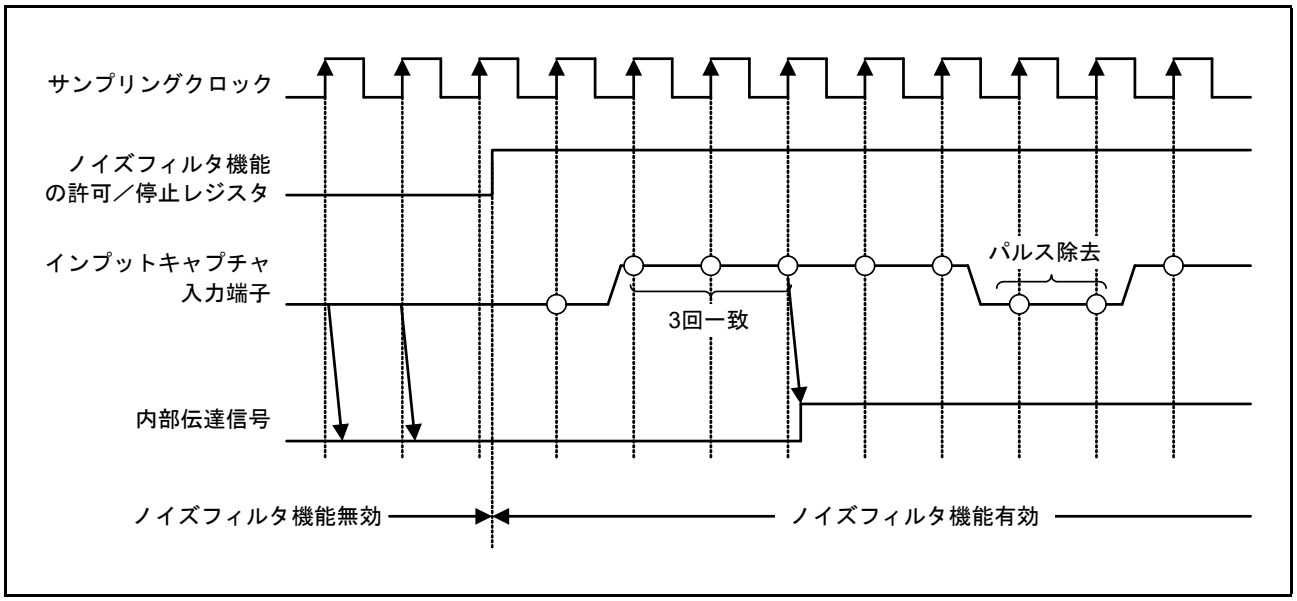


図 25.12　デジタルノイズフィルタ タイミングチャート

デジタルノイズフィルタを有効にした場合は、インプットキャプチャ入力に対するノイズフィルタリングにより最短で「サンプリングサイクル×2＋PCLKD」だけ遅延したデジタルノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

25.3.10　ECM ダイナミックモードエラー出力選択機能

本 LSI は、CMTW のアウトプットコンペア信号を ECM ダイナミックモード時のエラー出力信号として使用します。ECM ダイナミックモード時のエラー出力をいずれかの CMTW のアウトプットコンペア信号から選択します。

ECM に CMTW のアウトプットコンペア信号を出力する場合は、使用する CMTW のチャネルをアウトプットコンペア機能に設定した後、ECDMESLR レジスタを設定してください。

アウトプットコンペア機能の設定方法は「**25.3.3　アウトプットコンペア機能**」を参照してください。

ECM ダイナミックモードの詳細は「**42.　エラーコントロールモジュール（ECM）**」を参照してください。

25.4　割り込み

25.4.1　CMTW の割り込み要因と DMAC

CMTW はインプットキャプチャ割り込み要求（IC0In、IC1In）、アウトプットコンペア割り込み要求（OC0In、OC1In）と、コンペアマッチ割り込み要求（CMWIn）の 5 種類の割り込み要因を持っています。

表 25.3 に各割り込み要因と優先順位を示します。各割り込み要因は、CMWCR レジスタの IC0IE、IC1IE、OC0IE、OC1IE、CMWIE ビットで許可／禁止の設定ができます。各割り込み要求はそれぞれ独立に割り込みコントローラに送られます（n = 0, 1）。

表 25.3　CMTW 割り込み要因

割り込み要因	内容	割り込み許可ビット	DMAC の起動	優先順位
CMWIn	コンペアマッチによる割り込み	CMWIE	可	高
IC0In	インプットキャプチャ 0 による割り込み	IC0IE	可	↕
IC1In	インプットキャプチャ 1 による割り込み	IC1IE	可	
OC0In	アウトプットコンペア 0 による割り込み	OC0IE	可	
OC1In	アウトプットコンペア 1 による割り込み	OC1IE	可	低

25.4.2　コンペアマッチ割り込みの発生タイミング

CMWCNT カウンタと CMWCOR レジスタの値が一致したときに、コンペマッチ割り込み（CMWI）が発生します。コンペアマッチ信号は、一致した最後のステート（CMWCNT カウンタが一致したカウント値を更新するタイミング）で発生します。したがって、CMWCNT カウンタの値と CMWCOR レジスタの値とが一致した後、CMWCNT カウンタ入力クロック（PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512）が発生するまでコンペアマッチ信号は発生しません。**図 25.13** にコンペアマッチ割り込みのセットタイミングを示します。

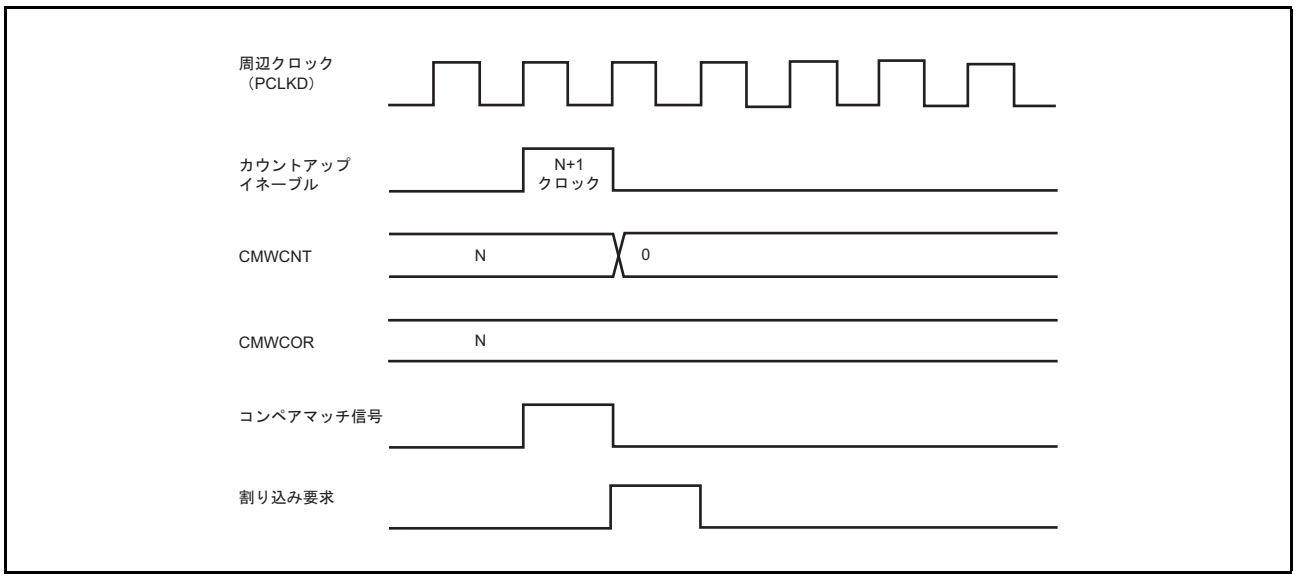


図 25.13　コンペアマッチ割り込みのセットタイミング

25.4.3　アウトプットコンペア割り込みの発生タイミング

図 25.14 にアウトプットコンペア割り込みのセットタイミングを示します。

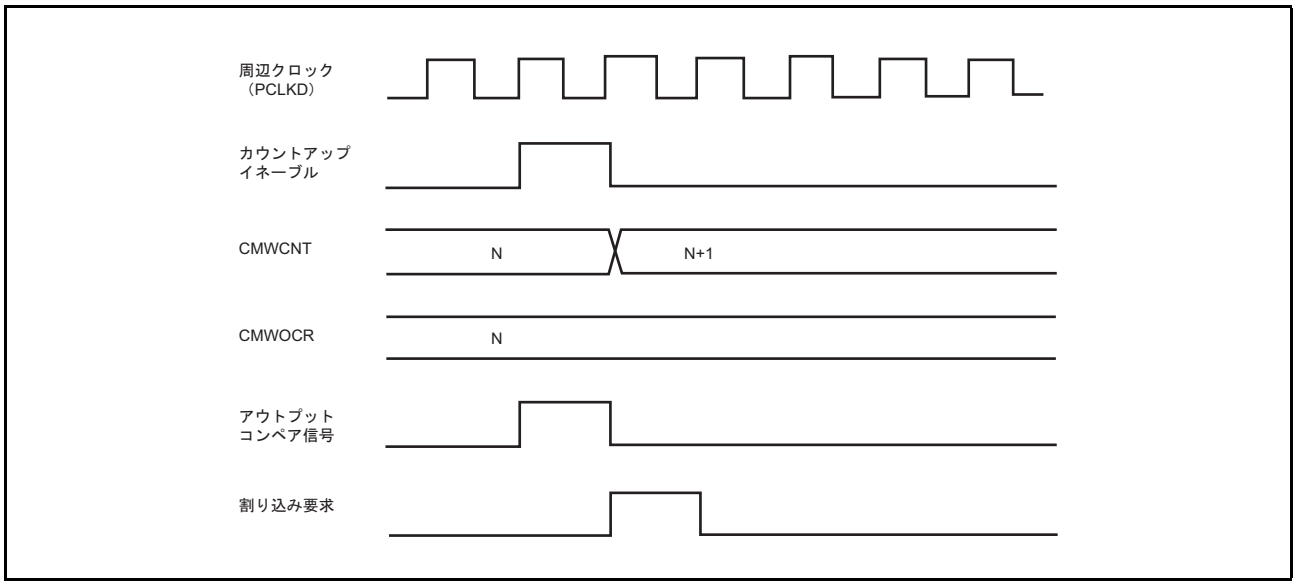


図 25.14　アウトプットコンペア割り込みのセットタイミング

25.4.4　　インプットキャプチャ割り込みの発生タイミング

図 25.15 にインプットキャプチャ割り込みのセットタイミングを示します。

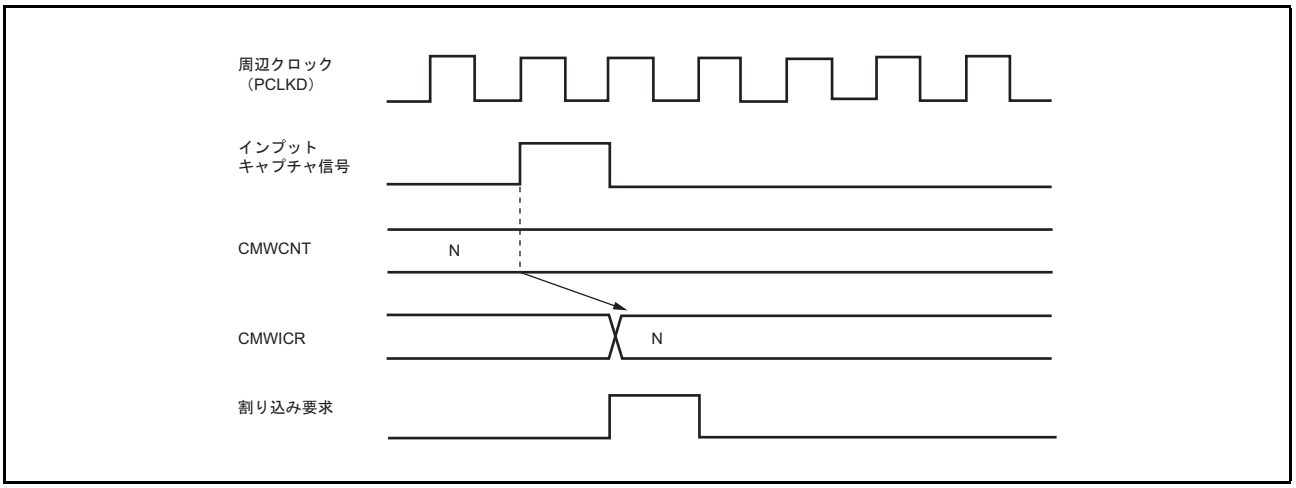


図 25.15　インプットキャプチャ割り込みのセットタイミング

25.5　イベントリンク動作

25.5.1　　ELC へのイベント発行

CMTW は、イベントリンクコントローラ（ELC）に対し以下のイベントを発行することができます。

コンペアマッチイベント

CMTW は、コンペアマッチが発生すると割り込み要求を発生しますが、同時に ELC へコンペアマッチイベントを発行します。このイベントは、対応する割り込みの割り込み要求許可ビット（CMWCR.CMWIE ビット）の設定に関係なく発行されます。

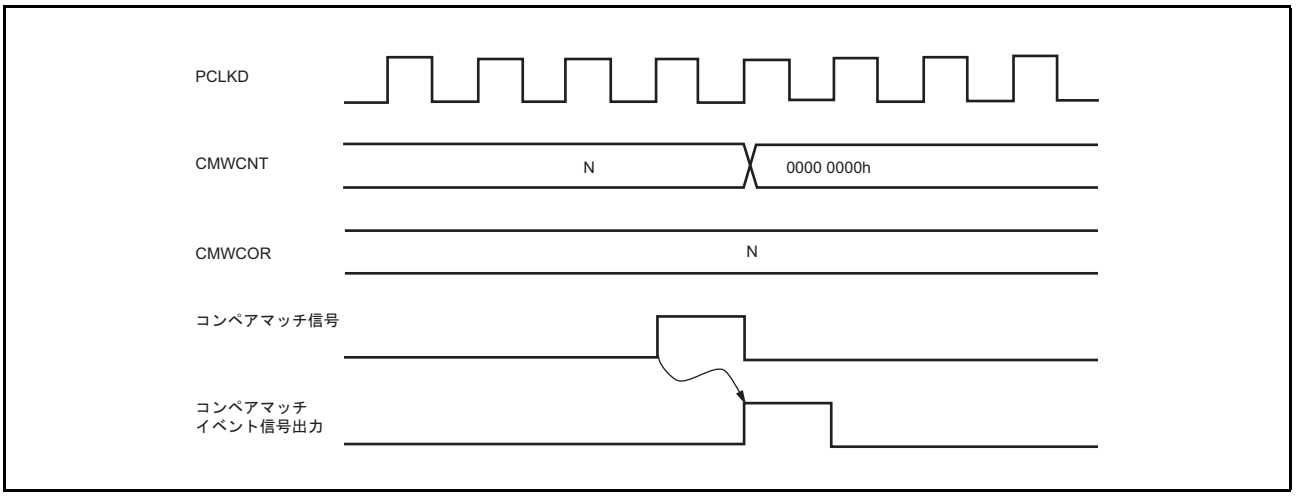


図 25.16　コンペアマッチイベント発行タイミング

25.5.2　ELC からのイベント受け付けによるアクション

イベントリンクコントローラ（ELC）に、CMTW のイベント受け付け時のアクションを設定することで、CMTW は 3 通りの動作をすることができます。

(1) カウントスタート動作

カウントスタート動作のアクションが選択されている時にイベントを受け付けると、CMWSTR（タイマスタートレジスタ）の STR ビットが “1” にセットされカウントがスタートします。

CMWSTR.STR ビットが “1” にセットされた状態でイベントを受け付けた場合は、無視されます。

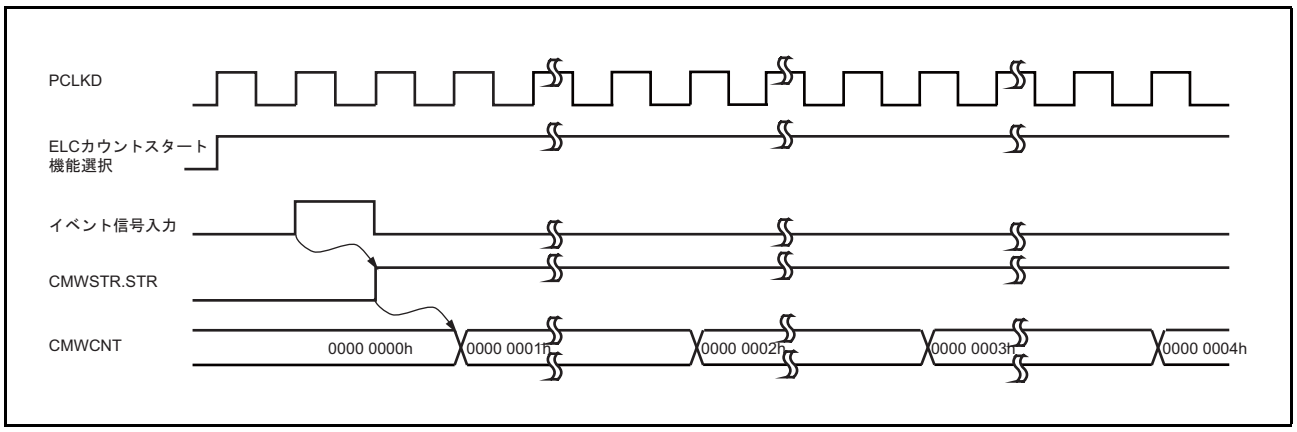


図 25.17　イベント受け付けによるカウントスタート動作

(2) イベントカウント動作

イベントカウント動作のアクションが選択されているときにイベントを受け付けると、CMWCNT（タイマカウンタ）をインクリメントします。イベントを受け付ける前に CMWSTR（タイマスタートレジスタ）の STR ビットを “1” に設定しておく必要があります。

イベントカウント動作では、CMWCR（タイマコントロールレジスタ）の CKS[1:0] ビットの設定は無効です。

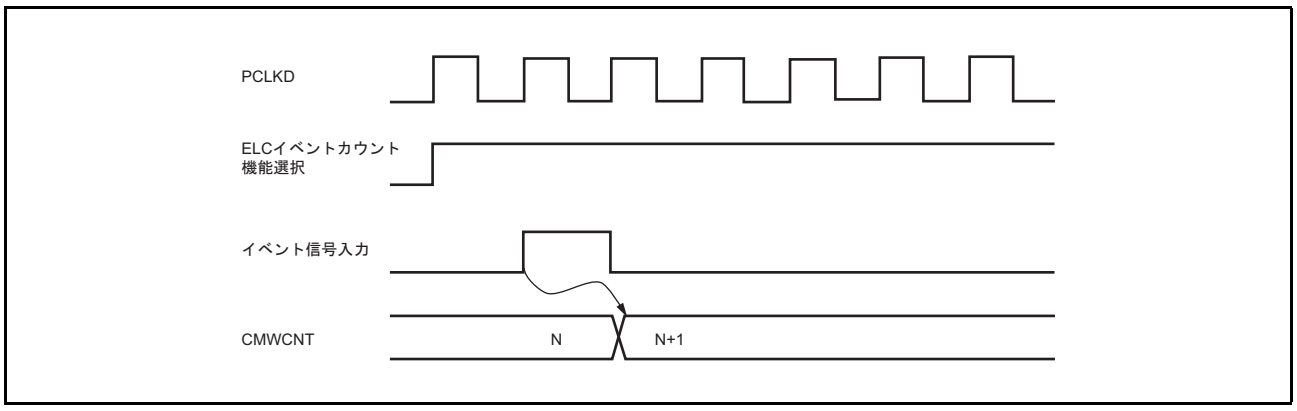


図 25.18　イベント受け付けによるイベントカウント動作

(3) カウントクリア動作

ELC の ELOPH レジスタで CMTW のカウントクリア動作を選択します。ELSRn レジスタで指定したイベントが発生すると、CMWCNT（タイマカウンタ）の値が初期値（0000h）に書き換わります。このとき、CMWSTR（タイマスタートレジスタ）の STR ビットが “1” にセットされていればカウント動作を継続しカウントリスタート動作をすることができます。カウントリスタート動作のタイミングを図 25.19 に示します。

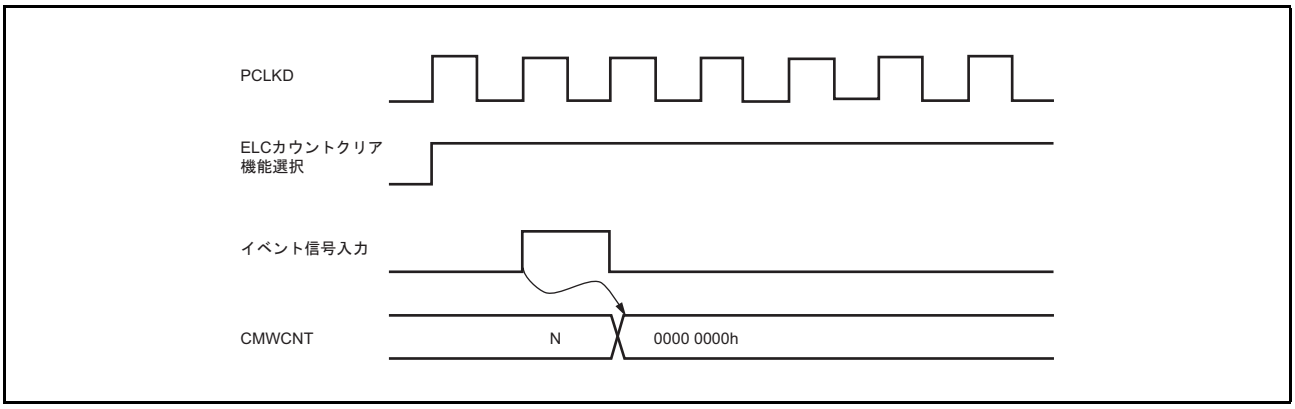


図 25.19　イベント受け付けによるカウントリスタート動作

25.6　使用上の注意事項

25.6.1　　モジュールストップ機能

モジュールストップコントロールレジスタ（MSTPCRA）により、CMTW の動作禁止／許可を設定することが可能です。初期値では CMTW はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9.　**消費電力低減機能**」を参照してください。

25.6.2　　CMWCNT カウンタの書き込みとコンペアマッチの競合

CPU による CMWCNT カウンタへのライト動作中にコンペアマッチ信号が発生した場合、コンペアマッチ割り込み要求は出力されますが、CMWCNT カウンタはカウンタクリアされずに、CPU による CMWCNT カウンタへの書き込みが優先されます。

このタイミングを**図 25.20** に示します。

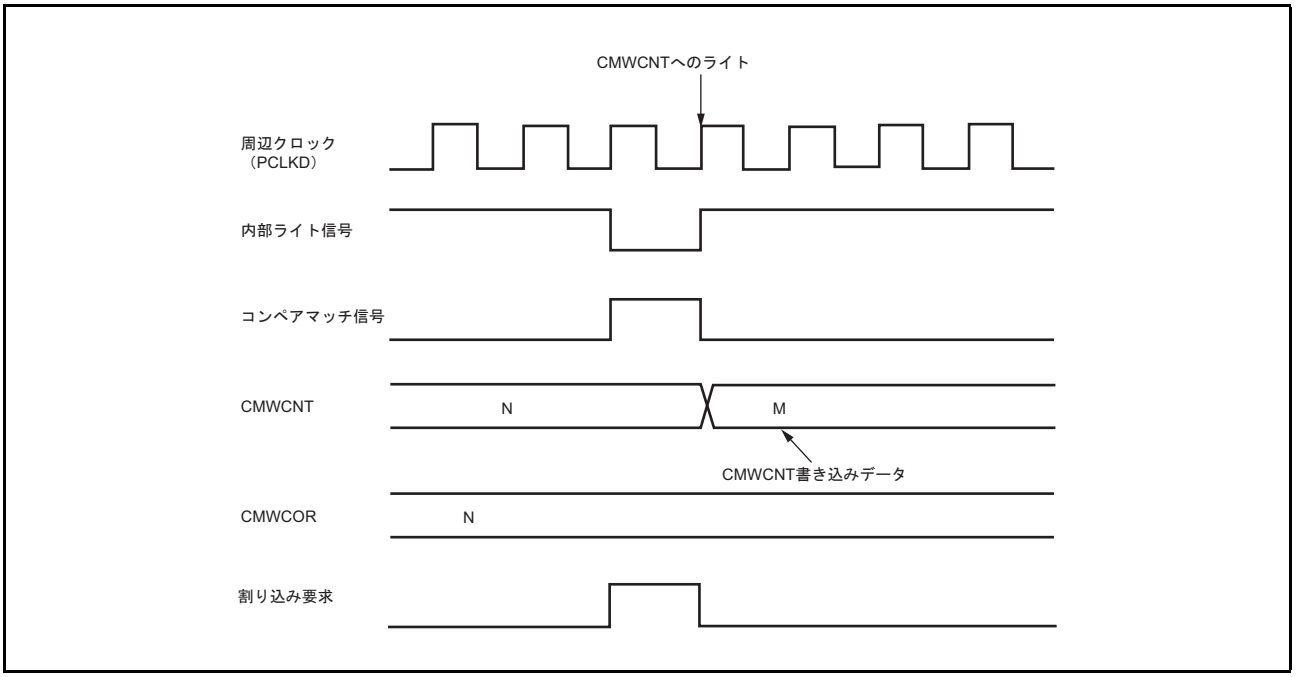


図 25.20　CMWCNT カウンタの書き込みとコンペアマッチの競合

25.6.3　CMWCNT カウンタの書き込みとカウントアップ／カウンタクリアの競合

CPU による CMWCNT カウンタへのライト動作中にカウントアップまたはカウンタクリアが発生しても、CMWCNT カウンタはカウントアップまたはカウンタクリアされず、CPU による CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 25.21 に示します。

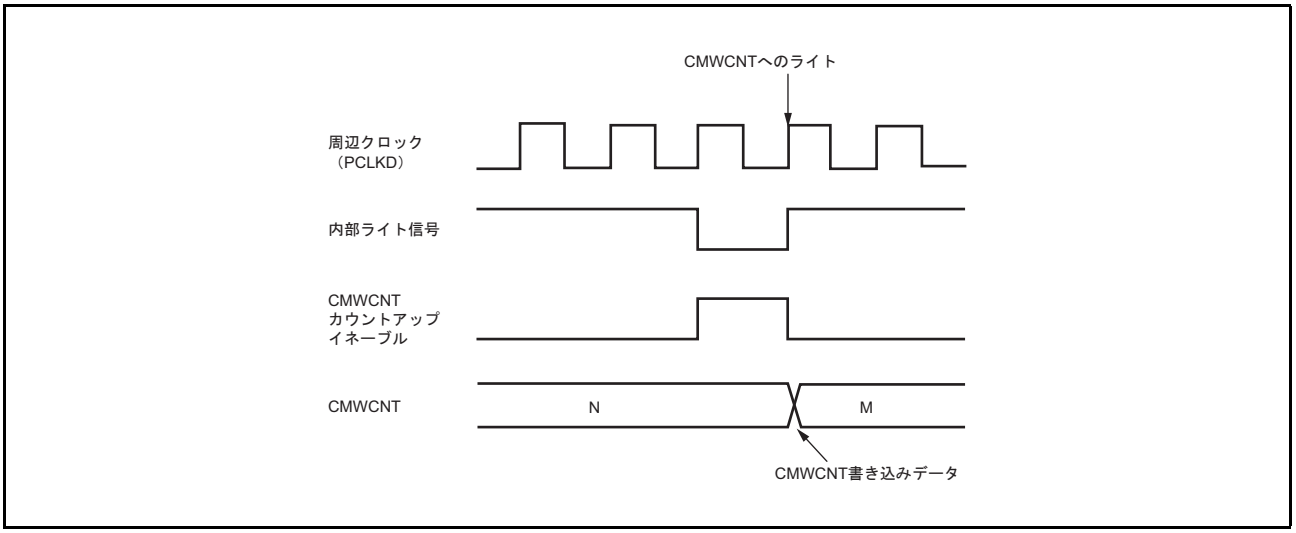


図 25.21　CMWCNT カウンタの書き込みとカウントアップの競合

25.6.4　CMWCOR レジスタの書き込みとコンペアマッチの競合

CPU による CMWCOR レジスタへのライト動作中にコンペアマッチが発生した場合、CPU による CMWCOR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 25.22 に示します。

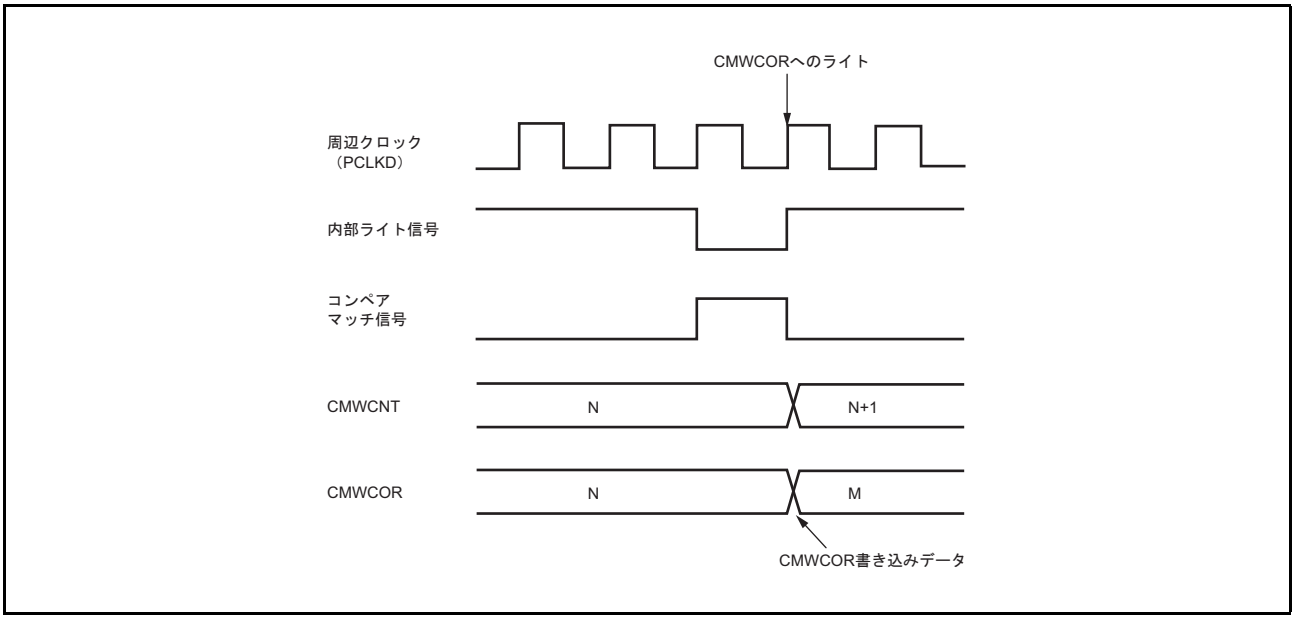


図 25.22　CMWCOR レジスタの書き込みとコンペアマッチの競合

25.6.5　CMWOCR レジスタの書き込みとコンペアマッチの競合

CPU による CMWOCR レジスタへのライト動作中にコンペアマッチが発生した場合、CPU による CMWOCR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 25.23 に示します。

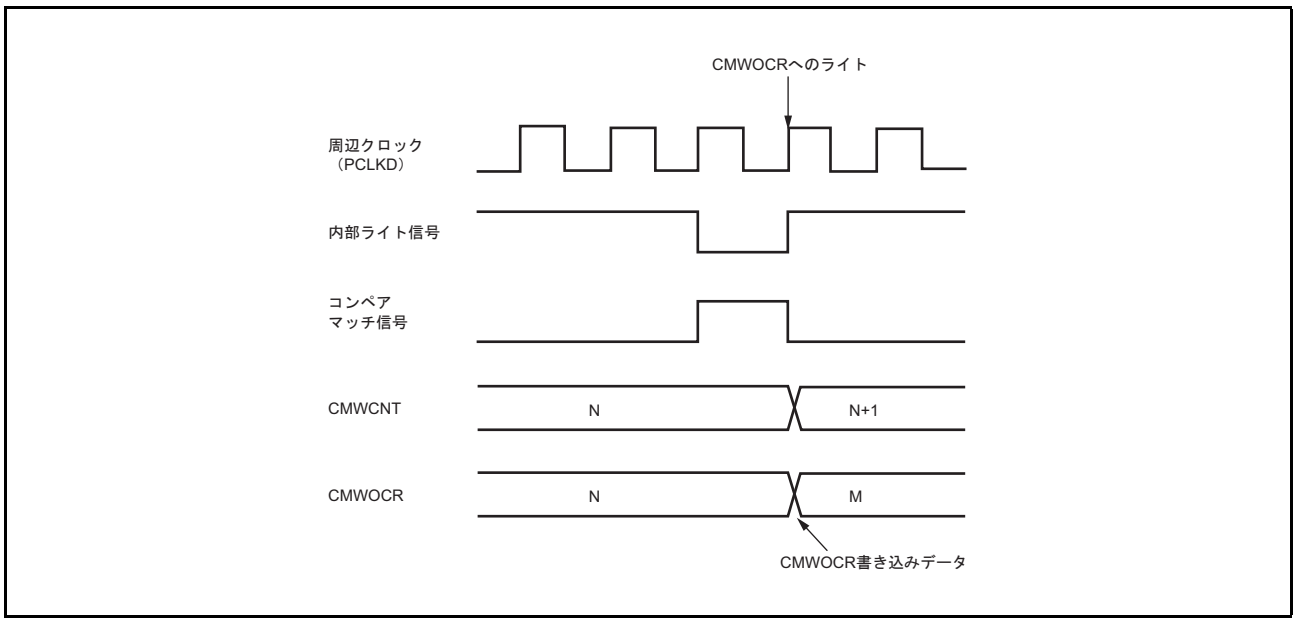


図 25.23　CMWOCR レジスタの書き込みとコンペアマッチの競合

25.6.6　CMWCNT カウンタ読み出しとカウントアップ／カウンタクリアの競合

CMWCNT カウンタのデータの読み出しと同時にカウントアップまたはカウンタクリアが発生した場合、読み出し値はカウントアップまたはカウンタクリア前のカウント値が読み出されます。

CMWCNT カウンタの読み出しとカウントアップが競合した場合のタイミングを図 25.24 に示します。

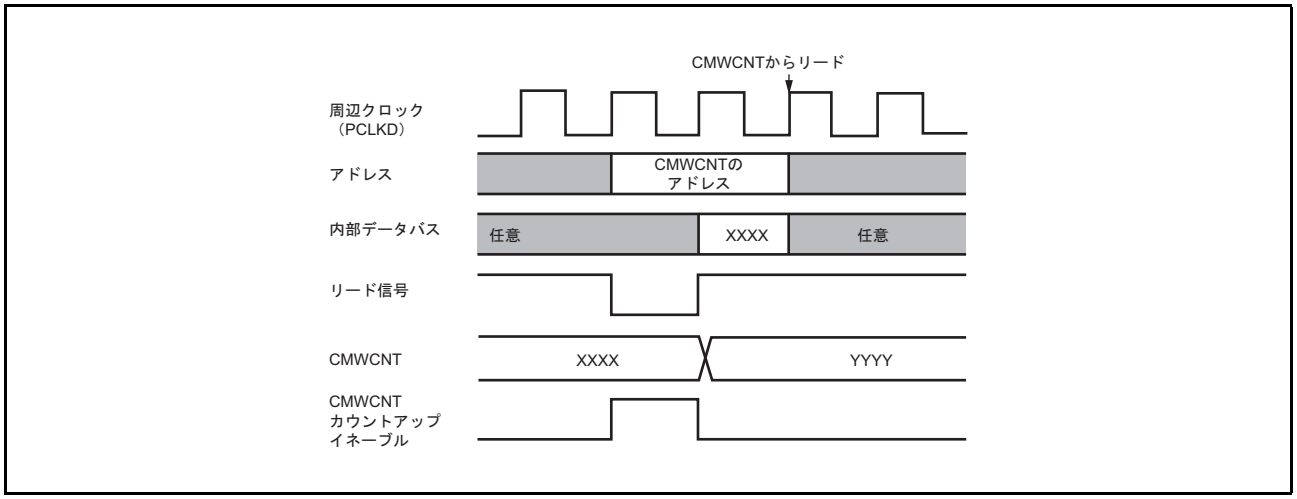


図 25.24　CMWCNT カウンタ読み出しとカウントアップの競合
（データの読み出しとカウントアップが同時に発生した場合）

25.6.7　CMWICR レジスタ読み出しとインプットキャプチャの競合

CMWICR レジスタの読み出しと同時にインプットキャプチャ信号が発生した場合、読み出し値はインプットキャプチャ転送前の値が読み出されます。

CMWICR レジスタの読み出しとインプットキャプチャが競合した場合のタイミングを図 25.25 に示します。

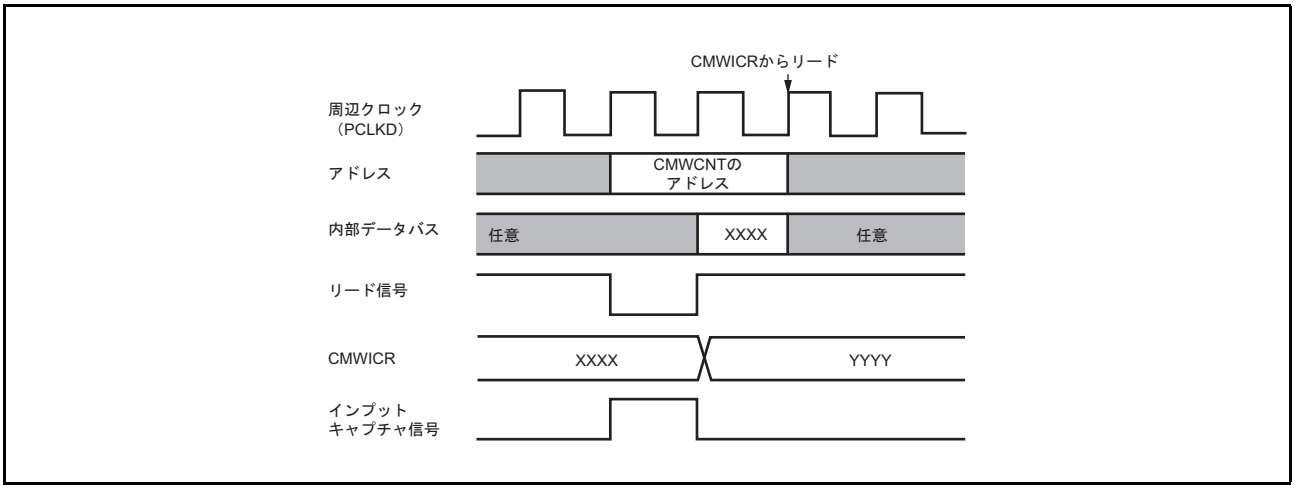


図 25.25　CMWICR レジスタ読み出しとインプットキャプチャの競合
（データの読み出しとインプットキャプチャ信号が同時に発生した場合）

25.6.8　　イベントリンク動作とレジスタアクセスの競合

CMTW をイベントリンクによる動作で使用するときは、以下のことに注意してください。

表 25.4 にイベントリンク動作 / レジスタアクセス／カウンタ状態の競合動作まとめを示します。

(1) カウントスタート動作

CMWSTR（タイマスタートレジスタ）の STR ビットへのライトアクセスとイベントの受け付けが競合すると、CPU による CMWSTR（タイマスタートレジスタ）の STR ビットへの書き込み動作は無視され、イベントの受け付けによる STR ビットへの “1” 動作が優先されます。

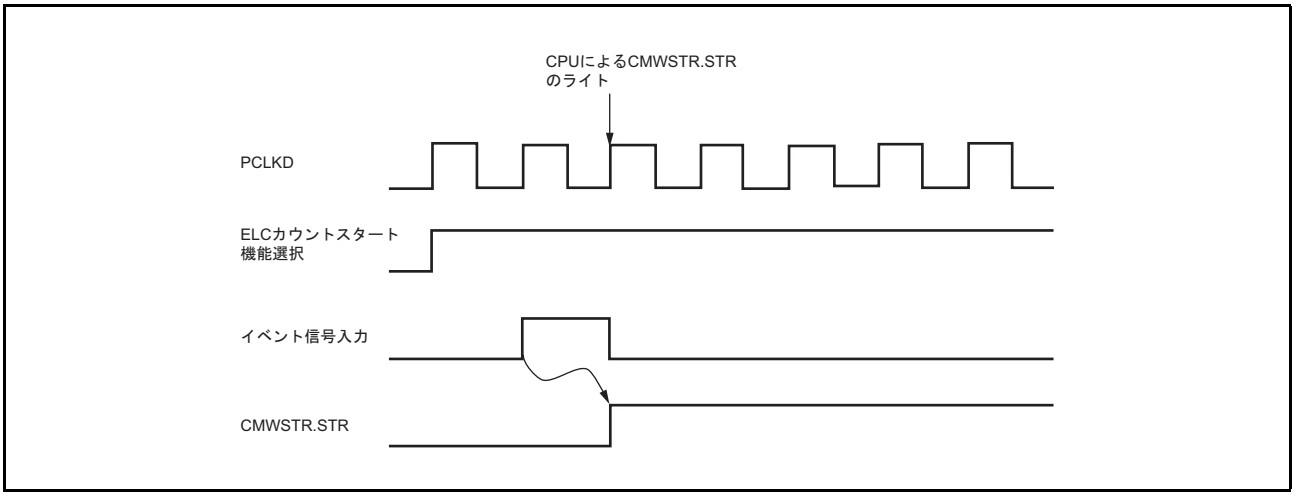


図 25.26　カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2) イベントカウント動作

CMWCNT（タイマカウンタ）へのライトアクセスとイベントの受け付けが競合すると、CPU による CMWCNT（タイマカウンタ）への書き込み動作は無視され、イベントの受け付けによるカウント動作が優先されます。

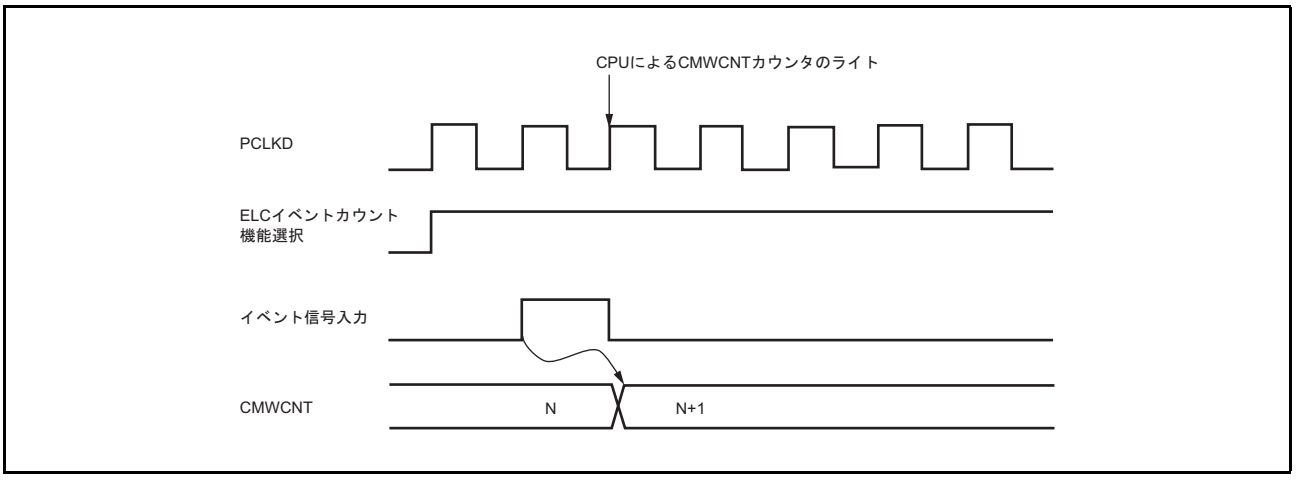


図 25.27　イベントカウント動作でのイベント受け付けとレジスタアクセスの競合

(3) カウントクリア動作

CMWCNT（タイマカウンタ）へのライトアクセスとイベントの受け付けが競合すると、CPU による CMWCNT（タイマカウンタ）への書き込み動作は無視され、イベントの受け付けによるカウント値の初期化が優先されます。

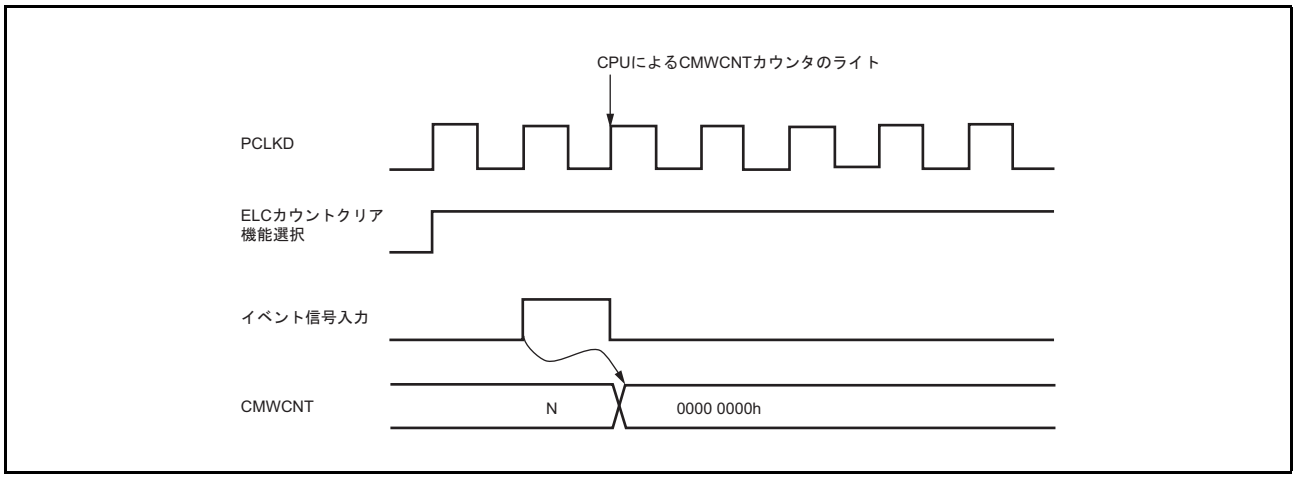


図 25.28　カウントクリア動作でのイベント受け付けとレジスタアクセスの競合

表25.4　　イベントリンク動作／レジスタアクセス／カウンタ状態の競合動作まとめ

イベントリンク動作	レジスタアクセス	CMWCNTの状態	CMWICR0/1の状態	実行される動作
カウントスタート	CMWSTR.STRへの書き込み	停止状態	—	カウントスタート
		動作状態	—	カウントスタート
		コンペアマッチ	—	カウントスタート(CMWSTR.STR = 1を保持)とコンペアマッチ
		カウントアップ	—	カウントスタート(CMWSTR.STR = 1を保持)とカウントアップ
イベントカウント	CMWCNTへの書き込み	—	—	イベントカウント
	CMWCORへの書き込み	コンペアマッチ	—	コンペアマッチ
カウントクリア	CMWCNTへの書き込み	コンペアマッチ以外	—	カウントクリア
	CMWCNTへの書き込み	コンペアマッチ	—	コンペアマッチとカウントクリア
	（レジスタアクセスなし）	コンペアマッチ	—	コンペアマッチとカウントクリア
（イベントなし）	CMWCNTへの書き込み	コンペアマッチ	—	コンペアマッチの割り込み要求を出力/CMWCNTへの書き込み
		カウントアップ	—	CMWCNTへの書き込み
	CMWCORへの書き込み	コンペアマッチ	—	コンペアマッチ
	CMWOCR0への書き込み	アウトプットコンペア0	—	アウトプットコンペア0
	CMWOCR1への書き込み	アウトプットコンペア1	—	アウトプットコンペア1
	CMWCNTの読み出し	カウントアップ	—	カウントアップとその前の値の読み出し
	CMWICR0の読み出し	—	インプットキャプチャ0	インプットキャプチャ0と転送前の値の読み出し
	CMWICR1の読み出し	—	インプットキャプチャ1	インプットキャプチャ1と転送前の値の読み出し

26.　ウォッチドッグタイマ（WDTA）

ウォッチドッグタイマ（WDT）は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローすると、ECM へのエラー通知が発生します。ダウンカウンタのカウント値をリフレッシュすることによりカウント値をリセット後の値に戻し、再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュ（レジスタ書き込み）を行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うと、エラーコントロールモジュール（ECM）へのエラー通知が発生します。これによりリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローの発生、もしくはリフレッシュ可能期間外にリフレッシュを行った場合、WDT はカウントを停止します。カウントは、リフレッシュ実施後に再開します。（リフレッシュ動作については、**「26.3.3　リフレッシュ動作」**を参照してください。）

エラーコントロールモジュール（ECM）については**「42.　エラーコントロールモジュール（ECM）」**を参照してください。

26.1　概要

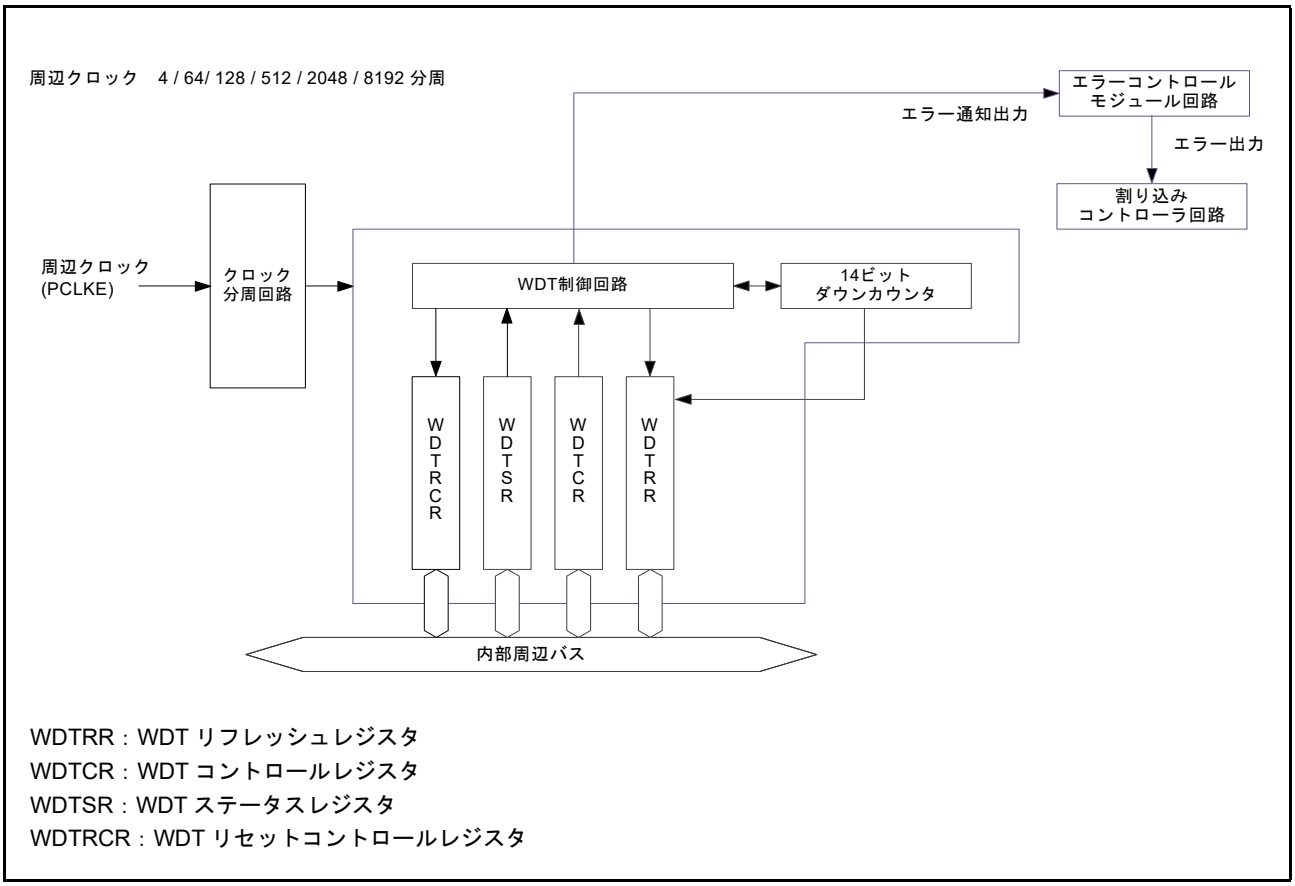
WDT はリセット解除後、リフレッシュ（レジスタ書き込み）によりカウントを開始します。

カウント開始前に WDT コントロールレジスタ（WDTCR）に対して、クロック分周比、ウィンドウ開始／終了位置、タイムアウト期間の各設定を行います。

表 26.1 に WDT の仕様を示します。**図 26.1** に WDT のブロック図を示します。

表 26.1　　WDT の仕様

項目	内容
内蔵チャネル数	1 チャネル（R-IN Engine 搭載製品は 2 チャネル）
カウントソース	周辺クロック（PCLKE）
クロック分周比	4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周
カウント動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	リフレッシュ（WDTRR レジスタに 00h を書き込み後、FFh を書き込む）によりカウント開始
カウント停止条件	• リセット（ダウンカウンタ、レジスタはリセット後の値に戻ります） • アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可期間）
ECM へのエラー通知出力要因	• ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
WDT レジスタ制御	• リフレッシュ動作後のクロック分周比の選択（WDTCR.CKS[3:0] ビット） • ウォッチドッグタイマのタイムアウト期間の選択（WDTCR.TOPS[1:0] ビット） • ウォッチドッグタイマのウィンドウ開始位置の選択（WDTCR.RPSS[1:0] ビット） • ウォッチドッグタイマのウィンドウ終了位置の選択（WDTCR.RPES[1:0] ビット）



WDTRR：WDT リフレッシュレジスタ
WDTCR：WDT コントロールレジスタ
WDTSR：WDT ステータスレジスタ
WDTRCR：WDT リセットコントロールレジスタ

図 26.1　　WDT のブロック図

26.2　レジスタの説明

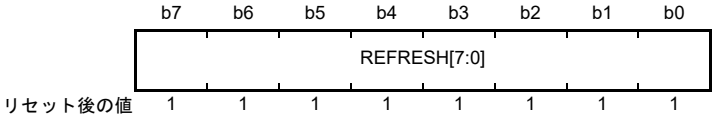
26.2.1　　WDT リフレッシュレジスタ（WDTRR）

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込む（リフレッシュ動作）ことにより WDT のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は 00h を書き込んだ場合は 00h が、00h 以外の値を書き込んだ場合は常に FFh となります。リフレッシュ動作の詳細については、**「26.3.3　リフレッシュ動作」**を参照してください。

アドレス　WDT0.WDTRR A008 0600h、WDT1.WDTRR A008 0620h



注．　WDT1 の場合、“ リセット後の値 ” はソフトウェアリセット 2 解除時の値です。詳細については 「6.　リセット」を参照してください。

ビット	シンボル	ビット名	機能	R/W
b7-b0	REFRESH[7:0]	リフレッシュレジスタ	“00h”書き込んだ後、“FFh”の書き込みでリフレッシュ	R/W

26.2.2　WDT コントロールレジスタ（WDTCR）

WDTCR レジスタは、ダウンカウンタがアンダフローを発生するまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

本レジスタの書き込みには制限があります。詳細については、**「26.3.2　WDTCR レジスタ、WDTRCR レジスタの書き込み制御」**を参照してください。

アドレス　WDT0.WDTCR A008 0602h、WDT1.WDTCR A008 0622h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

注．　WDT1 の場合、“ リセット後の値 ” はソフトウェアリセット 2 解除時の値です。詳細については 「6.　リセット」を参照してください。

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh） （）内の値は、ダウンカウントの開始値です。	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7　b4 0 0 0 1：PCLKE/4 0 1 0 0：PCLKE/64 1 1 1 1：PCLKE/128 0 1 1 0：PCLKE/512 0 1 1 1：PCLKE/2048 1 0 0 0：PCLKE/8192 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を100%、アンダフロー発生時を0%）の100%／75%／50%／25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。 図26.2にRPSS[1:0]、RPES[1:0]ビットの設定値とリフレッシュ許可／禁止期間の関係を示します。 b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W

TOPS[1:0] ビット（タイムアウト期間選択ビット）

ダウンカウンタのアンダフローが発生するまでのタイムアウト期間を、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／ 4096 サイクル／ 8192 サイクル／ 16384 サイクルから選択します。リフレッシュ後アンダフローが発生するまでの時間（周辺クロック（PCLKE））は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 26.2 に WDT の CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト期間、および周辺クロック（PCLKE）数の関係を示します。

CKS[3:0] ビット（クロック分周比選択ビット）

周辺クロック（PCLKE）を分周する分周比設定を 4 分周／ 64 分周／ 128 分周／ 512 分周／ 2048 分周／ 8192 分周から選択します。TOPS[1:0] ビットの設定と合わせて、WDT のカウント期間を周辺クロック（PCLKE）の 4096 ～ 134217728 クロックの間で設定できます。

RPES[1:0] ビット（ウィンドウ終了位置選択ビット）

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より、必ず小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPES[1:0]、RPSS[1:0] ビットで設定したウィンドウ開始／終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 26.3 に TOPS[1:0] ビットの値に対応した、ウィンドウ開始／終了位置のカウンタ値を示します。

RPSS[1:0] ビット（ウィンドウ開始位置選択ビット）

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダフロー発生時を 0%）の 100% ／ 75% ／ 50% ／ 25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 26.2 に RPSS[1:0]、RPES[1:0] ビットの設定値とリフレッシュ許可／禁止期間の関係を示します。

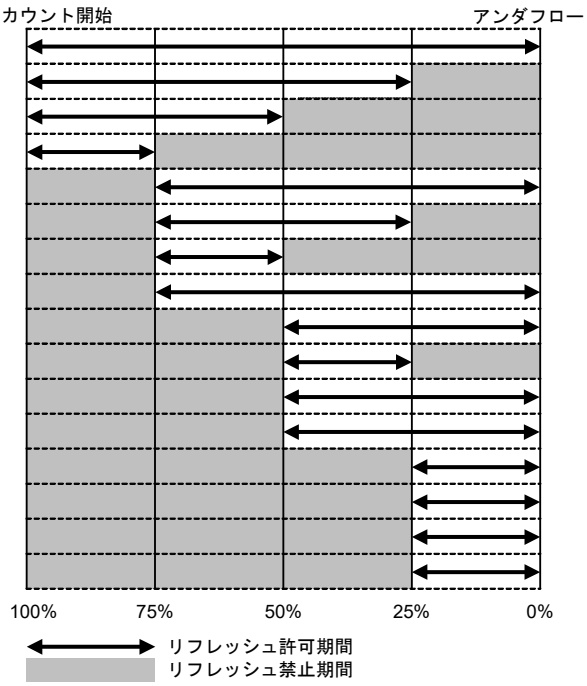
表26.2　　タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	周辺クロック（PCLKE）数 @カウントクロック = PCLKE
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	カウントクロック／4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	カウントクロック／64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	カウントクロック／128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	カウントクロック／512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	カウントクロック／2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	カウントクロック／8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

表26.3　　タイムアウト期間とウィンドウ開始／終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始／終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始（%）	終了（%）
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



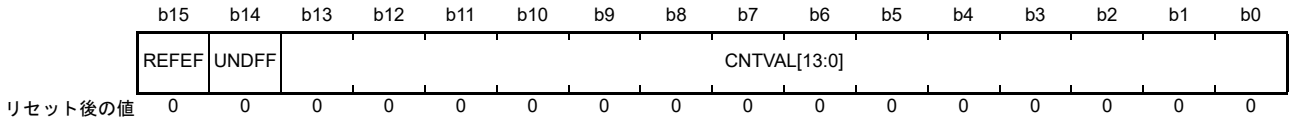
注．　「ウィンドウ終了」≧「ウィンドウ開始」設定を行った場合、「ウィンドウ終了」設定は 0% になります。

図 26.2　　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可／禁止期間

26.2.3　WDT ステータスレジスタ（WDTSR）

WDTSR レジスタは、ダウンカウンタのカウンタ値の表示、およびアンダフロー、リフレッシュエラーの発生状態を表示するレジスタです。

アドレス　WDT0.WDTSR A008 0604h、WDT1.WDTSR A008 0624h



注．　WDT1 の場合、“ リセット後の値 ” はソフトウェアリセット 2 解除時の値です。詳細については 「6.　リセット」を参照してください。

ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R/(W)
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R/(W)

CNTVAL[13:0] ビット（ダウンカウンタ値ビット）

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ（アンダフローフラグ）

ダウンカウンタのアンダフロー発生状態を確認することができます。読み出した値が “1” のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF ビット（リフレッシュエラーフラグ）

リフレッシュエラー（リフレッシュ禁止期間中のリフレッシュ動作）の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

26.2.4　WDT リセットコントロールレジスタ（WDTRCR）

WDTRCR レジスタは、エラーコントロールモジュール（ECM）に対し WDT のダウンカウンタのアンダフロー発生のエラー通知を制御するレジスタです。

本レジスタへの書き込みには制限があります。詳細については、**「26.3.2　WDTCR レジスタ、WDTRCR レジスタの書き込み制御」**を参照してください。

アドレス　WDT0.WDTRCR A008 0606h、WDT1.WDTRCR A008 0626h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

注 .　WDT1 の場合、“ リセット後の値 ” はソフトウェアリセット 2 解除時の値です。詳細については 「6.　リセット」を参照してください。

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ECMへのエラー通知を許可 1：ECMにエラー通知しない	R/W

RSTIRQS ビット（リセット割り込み要求選択ビット）

ダウンカウンタのアンダフロー、またはリフレッシュエラーによるエラーコントロールモジュール（ECM）へのエラー通知制御を行います。

26.3　動作説明

26.3.1　　カウント開始条件の動作

WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）が設定された状態で、WDT リフレッシュレジスタ（WDTRR）へのリフレッシュ動作によりカウントが開始されます。

26.3.1.1　　レジスタ設定

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始／終了位置、タイムアウト期間、また WDTRCR レジスタにエラーコントロールモジュール（ECM）へのエラー通知出力制御の各設定を行います。その後、リフレッシュ動作によりダウンカウンタに WDTCR.TOPS[1:0] ビットで設定された値がセットされ、ダウンカウントを開始します。

以後、プログラムが正常に動作し、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT は ECM へのエラー通知を出力しません。

しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合、ECM へのエラー通知を出力します。

図 26.3 に以下の条件での動作例を示します。

- リセット割り込み要求選択ビット（RSTIRQS）：0b（ECM へのエラー通知許可）
- ウィンドウ開始位置選択ビット（RPSS[1:0]）：10b（75%）
- ウィンドウ終了位置選択ビット（RPES[1:0]）：10b（25%）

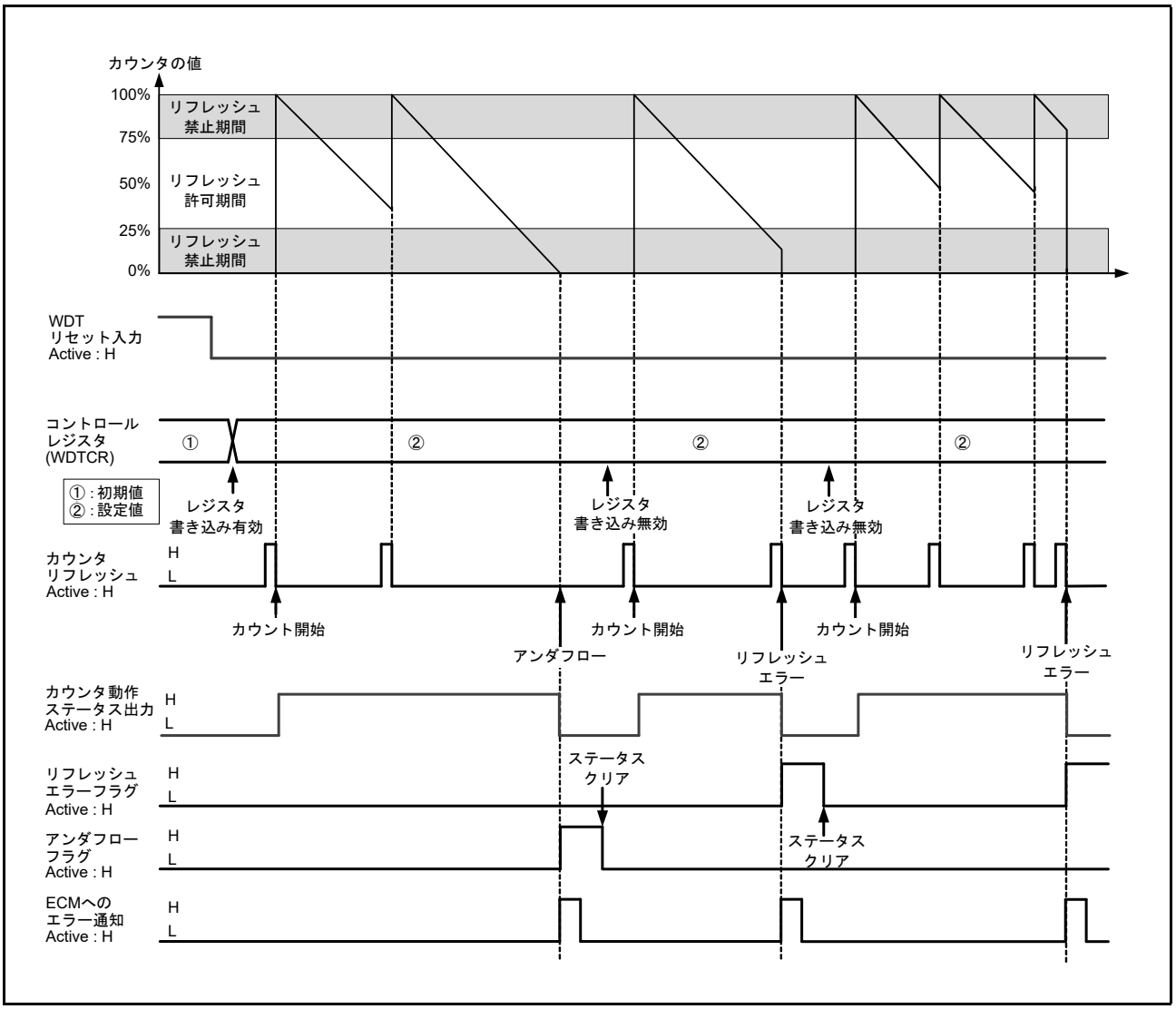


図 26.3　　レジスタスタートモード動作例

26.3.2　WDTCR レジスタ、WDTRCR レジスタの書き込み制御

WDT コントロールレジスタ（WDTCR）への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作（カウントスタート）後、もしくは WDTCR レジスタに書き込み後には、WDT 内部のプロテクト信号が “1” となり、以後 WDTCR レジスタに対する書き込みをプロテクトします。

WDT リセットコントロールレジスタ（WDTRCR）についても、同様に制御されます。

WDT に対するリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 26.4 に WDTCR レジスタ書き込み制御波形を示します。

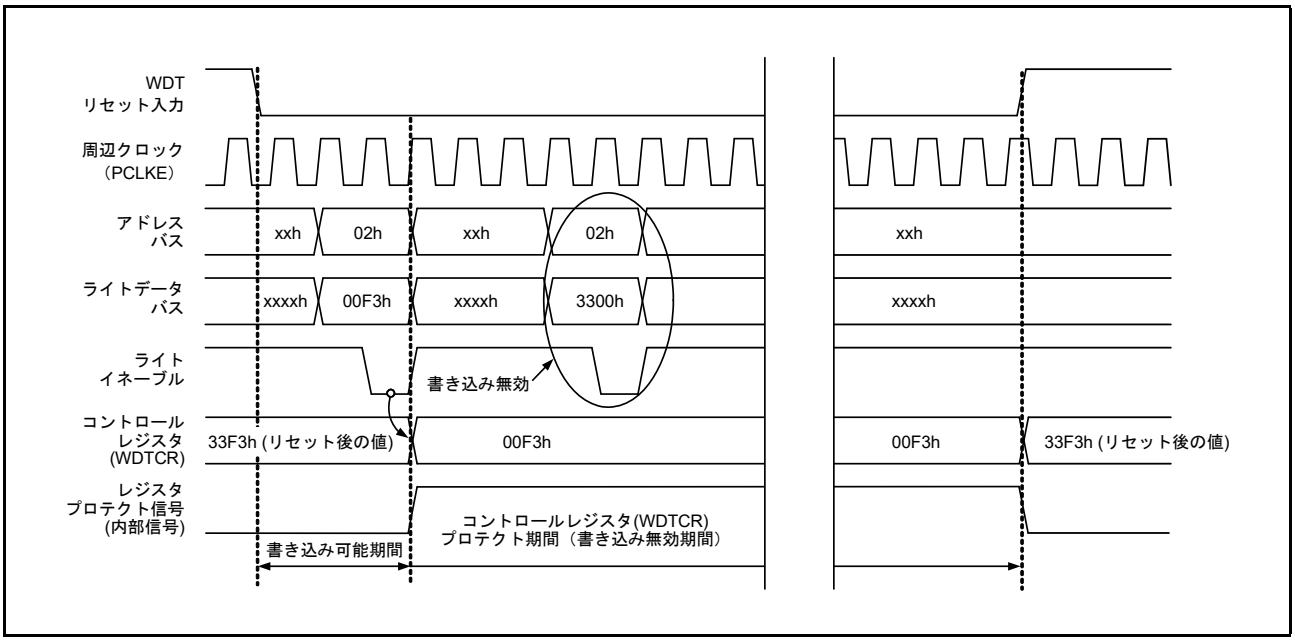


図 26.4　WDTCR レジスタ書き込み制御波形

26.3.3　リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、WDT リフレッシュレジスタ（WDTRR）に “00h” を書き込んだ後、続けて “FFh” を書き込みます。“00h” を書き込んだ後、“FFh” 以外の値を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタに “00h” → “FFh” の順で値を書き込むことにより、リフレッシュを正常に行うことができます。

なお、00ｈ（1 回目）→ 00h（2 回目）の書き込みを行った場合でも、その後 FFh を書き込むことにより、00h → FFh の書き込み動作が成立するため、00h（n-1 回目）→ 00h（n 回目）→ FFh のような書き込み動作も有効となり、リフレッシュを行います。

また、WDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、WDTRR レジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合でも、リフレッシュを行います。

【リフレッシュが有効な書き込み例】

- “00h” → “FFh”
- “00h”（n-1 回目）→ “00h”（n 回目）→ “FFh”
- “00h” →別レジスタへのアクセス、または WDTRR レジスタの読み出し→ “FFh”

【リフレッシュが無効な書き込み例】

- “23h”（“00h” 以外）→ “FFh”
- “00h” → “54h”（“FFh” 以外）
- “00h” → “AAh”（“00h” および “FFh” 以外）→ “FFh”

リフレッシュ動作として、WDTRR レジスタへの 00h の書き込みがリフレッシュ許可期間外であっても、WDTRR レジスタに対する FFh の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立し、リフレッシュを行います。（書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh” の書き込み時に行っています。）

なお、ダウンカウンタがリフレッシュされるタイミングは、WDT リフレッシュレジスタ（WDTRR）に “FFh” を書き込んだ後、カウントサイクル数で最大 4 サイクル必要となります。（1 サイクル間の周辺クロック（PCLKE）数は、クロック分周比選択ビット（WDTCR.CKS[3:0]）の設定値により異なります。）

そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはダウンカウンタがアンダフローする 4 カウント前までに、WDTRR レジスタへの “FFh” 書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット（WDTSR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- 例えば、ウィンドウ開始位置が 1FFFh の 場合、WDTRR レジスタへ 00h の書き込みが 1FFFh よりも前（例えば、2002h）であっても、WDTSR.CNTVAL[13:0] の値が 1FFFh になった後、WDTRR レジスタに FFh を書き込むことで、リフレッシュを行います。
- ウィンドウ終了位置が 1FFFh の場合、WDTRR レジスタに 00h → FFh を書き込んだ直後に、WDTSR.CNTVAL[13:0] の値が 2003h（1FFFh の 4 カウント前）以上であれば、リフレッシュを行います。
- 0000h までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能ですが、この場合 WDTRR レジスタに 00h → FFh を書き込んだ直後に、WDTSR .CNTVAL[13:0] の値が 0003h（アンダフローの 4 カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 26.5 にクロック分周比が PCLKE/64 の WDT リフレッシュ動作波形を示します。

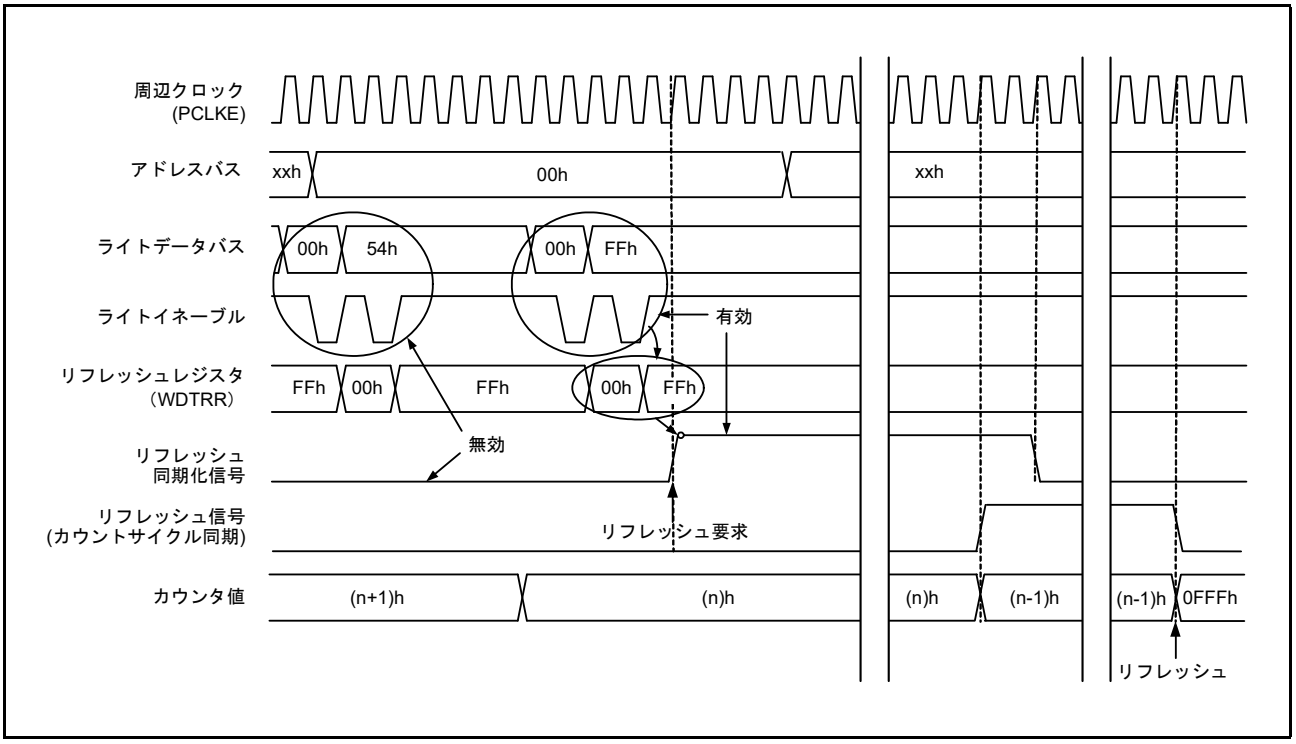


図 26.5　WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b）

26.3.4　ステータスフラグ

リフレッシュエラーフラグ（WDTSR.REFEF）、アンダフローフラグ（WDTSR.UNDFF）は、WDT のエラーコントロールモジュール（ECM）に対するエラー通知が発生した場合のエラー要因を保持します。

リセット解除後、もしくは ECM へのエラー通知発生時に WDTSR.REFEF フラグ、または WDTSR.UNDFF フラグを読み出すことで、ECM に対するエラー通知の発生状態を確認することができます。

各フラグの値をクリアするには “0” を書き込んでください。“1” の書き込みは無効です。

各フラグは、クリアしなくても動作に影響を与えません。クリアしない場合は、次に WDT の ECM に対するエラー通知が発生した時に古いエラー通知はクリアされ、新しい ECM へのエラー通知が書き込まれます。

26.3.5　エラーコントロールモジュール（ECM）へのエラー通知

リセット割り込み選択ビット（WDTRCR.RSTIRQS）を “0” に設定した場合、ダウンカウンタのアンダフローまたはリフレッシュエラーにより、1 カウントサイクル間 ECM に対するエラー通知が発生します。

26.3.6　ダウンカウンタ値の読み出し

WDT はカウンタ値を WDT ステータスレジスタのダウンカウンタ（WDTSR.CNTVAL[13:0] ビット）へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

なお、読み出しには周辺クロック（PCLKE）で最大 4 クロック必要となるため、読み出したカウンタ値は、ダウンカウンタの実際の値に対し、1 カウントずれることがあります。

図 26.6 にクロック分周比が PCLKE/64 のダウンカウンタ値の読み出し処理を示します。

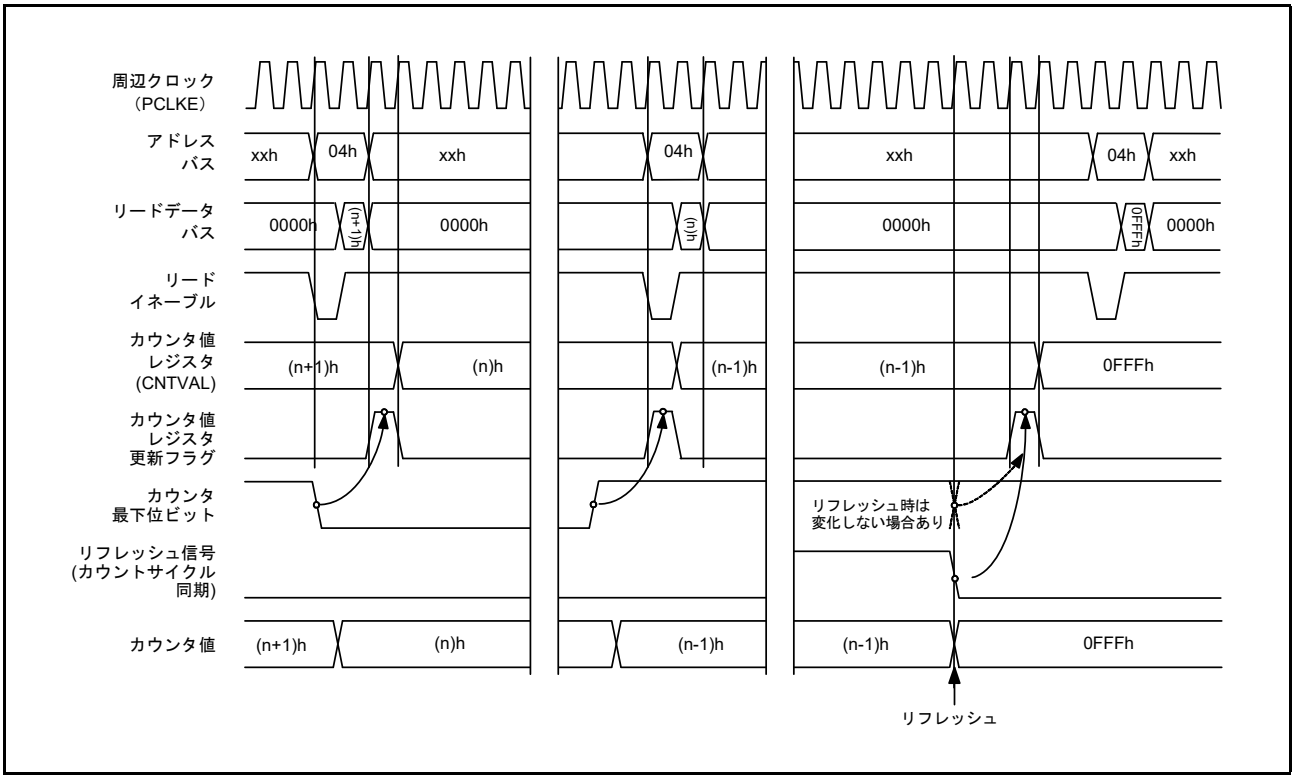


図 26.6　WDT ダウンカウンタ値の読み出し処理
（WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b）

26.4　低消費電力制御

26.4.1　低消費電力モード遷移におけるウォッチドッグタイマの動作

WDT のダウンカウンタが動作している時、Cortex-R4 のスタンバイモード、Cortex-M3 のスリープモードへの遷移時に WDT に対するクロック供給制御が可能です。

表 26.4 に低消費電力モード遷移時の WDT 動作を示します。

表26.4　低消費電力モード遷移時のWDT動作＜低消費電力モード遷移時＞

低消費電力モード	WDT0クロック供給	WDT1クロック供給	WDT0動作	WDT1動作
Cortex-R4スタンバイ	○	○	○	○
Cortex-M3スリープ	○	○	○	○

○：動作

27.　独立ウォッチドッグタイマ（IWDTa）

独立ウォッチドッグタイマ（IWDT）は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローすると、エラーコントロールモジュール（ECM）へのエラー通知が発生します。ダウンカウンタのカウント値をリフレッシュすることによりカウント値をリセット後の値に戻し、再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュ（レジスタ書き込み）を行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うと、ECM へのエラー通知が発生します。これによりリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローの発生、もしくはリフレッシュ可能期間外にリフレッシュを行った場合、IWDT はカウントを停止します。カウントは、リフレッシュ実施後に再開します。（リフレッシュ動作については、**「27.3.3　リフレッシュ動作」**を参照してください。）

エラーコントロールモジュール（ECM）については**「42.　エラーコントロールモジュール（ECM）」**を参照してください。

27.1　概要

IWDT はリセット解除後、リフレッシュ（レジスタ書き込み）によりカウントを開始します。

カウント開始前に IWDT コントロールレジスタ（IWDTCR）に対して、クロック分周比、ウィンドウ開始／終了位置、タイムアウト期間の各設定を行います。

表 27.1 に IWDT の仕様を示します。

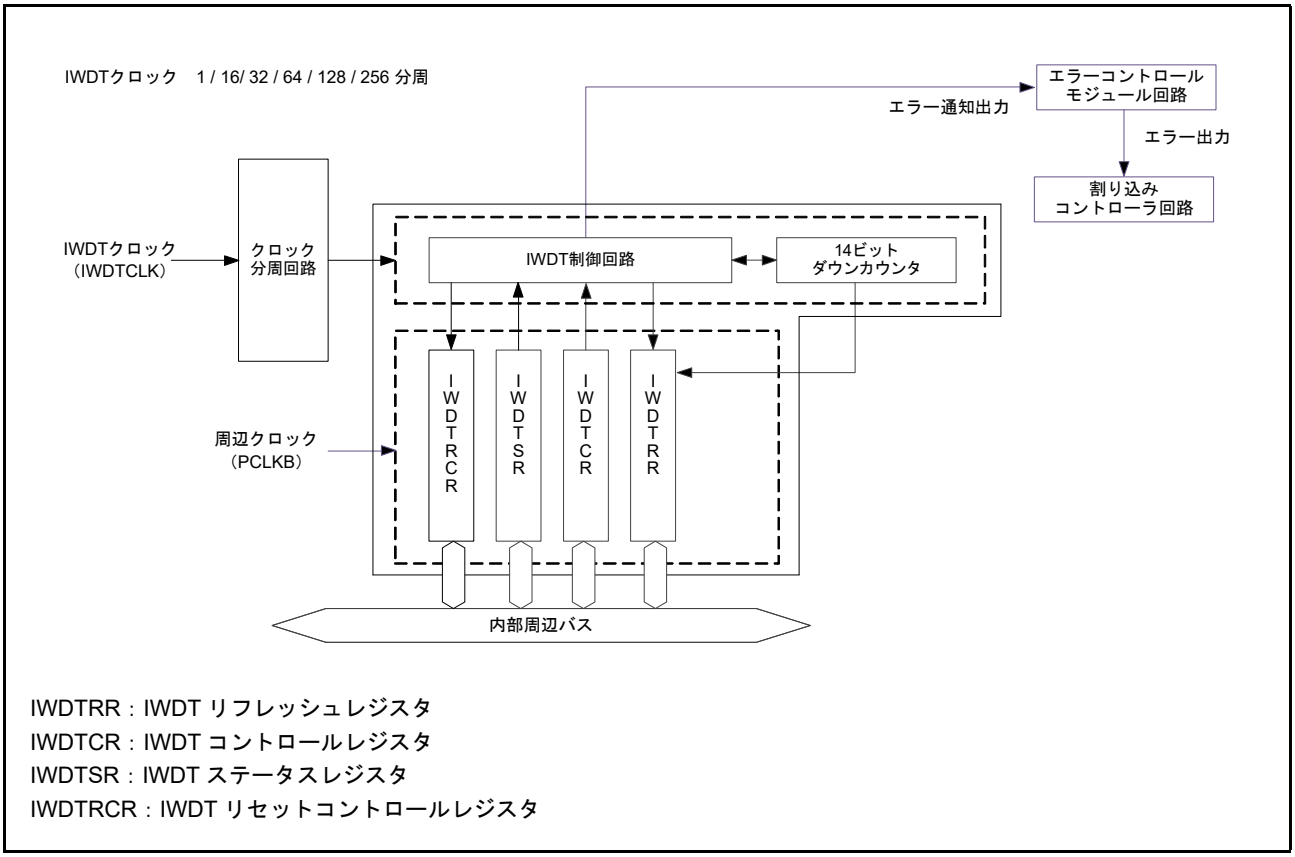
表 27.1　IWDT の仕様

項目	内容
カウントソース	IWDT クロック（IWDTCLK）
クロック分周比	1 分周／16 分周／32 分周／64 分周／128 分周／256 分周
IWDT クロック（IWDTCLK）発振イネーブル	リフレッシュ動作により、IWDT クロック（IWDTCLK）の発振開始
カウント動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	リフレッシュ（IWDTRR レジスタに 00h を書き込み後、FFh を書き込む）によりカウント開始
カウント停止条件	• リセット（ダウンカウンタ、レジスタはリセット後の値に戻ります） • アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可期間）
ECM へのエラー通知出力要因	• ダウンカウンタがアンダフローした場合 • リフレッシュ許可期間以外でリフレッシュを行った場合（リフレッシュエラー）
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
IWDT レジスタ制御	• リフレッシュ動作後のクロック分周比の選択（IWDTCR.CKS[3:0] ビット） • 独立ウォッチドッグタイマのタイムアウト期間の選択（IWDTCR.TOPS[1:0] ビット） • 独立ウォッチドッグタイマのウィンドウ開始位置の選択（IWDTCR.RPSS[1:0] ビット） • 独立ウォッチドッグタイマのウィンドウ終了位置の選択（IWDTCR.RPES[1:0] ビット）

IWDT は、意図せず周辺クロック（PCLKB）が停止した場合でも動作するように、周辺クロック（PCLKB）と IWDT クロック（IWDTCLK）の 2 つのクロックで動作します。バスインタフェース部とレジスタ部は周辺クロック（PCLKB）で動作し、14 ビットのダウンカウンタと制御回路は IWDT クロック（IWDTCLK）で動作します。

周辺クロック（PCLKB）動作ブロックと IWDT クロック（IWDTCLK）動作ブロック間の信号は、同期化回路を介して接続されます。

図 27.1 に IWDT のブロック図を示します。



IWDTRR：IWDT リフレッシュレジスタ
IWDTCR：IWDT コントロールレジスタ
IWDTSR：IWDT ステータスレジスタ
IWDTRCR：IWDT リセットコントロールレジスタ

図 27.1　　IWDT のブロック図

27.2　レジスタの説明

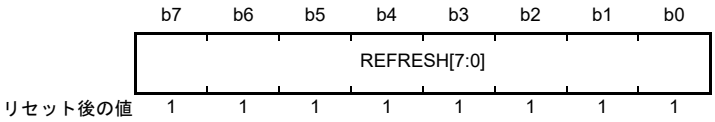
27.2.1　IWDT リフレッシュレジスタ（IWDTRR）

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込む（リフレッシュ動作）ことにより IWDT のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は 00h を書き込んだ場合は 00h が、00h 以外の値を書き込んだ場合は常に FFh となります。リフレッシュ動作の詳細については、**「27.3.3　リフレッシュ動作」**を参照してください。

アドレス　A008 0700h



ビット	シンボル	ビット名	機能	R/W
b7-b0	REFRESH[7:0]	リフレッシュレジスタ	“00h”書き込んだ後、“FFh”の書き込みでリフレッシュ	R/W

27.2.2　IWDT コントロールレジスタ（IWDTCR）

IWDTCR レジスタは、ダウンカウンタがアンダフローを発生するまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

本レジスタの書き込みには制限があります。詳細については、**「27.3.2　IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御」**を参照してください。

アドレス　A008 0702h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh） （ ）内の値は、ダウンカウントの開始値です。	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7　b4 0 0 0 0：IWDTCLK 0 0 1 0：IWDTCLK/16 0 0 1 1：IWDTCLK/32 0 1 0 0：IWDTCLK/64 1 1 1 1：IWDTCLK/128 0 1 0 1：IWDTCLK/256 上記以外の設定は禁止	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W

TOPS[1:0] ビット（タイムアウト期間選択ビット）

ダウンカウンタのアンダフローが発生するまでのタイムアウト期間を、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／ 4096 サイクル／ 8192 サイクル／ 16384 サイクルから選択します。リフレッシュ後アンダフローが発生するまでの時間 IWDT クロック（IWDTCLK）数）は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 27.2 に IWDT の CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト期間、および IWDT クロック（IWDTCLK）数の関係を示します。

CKS[3:0] ビット（クロック分周比選択ビット）

IWDT クロック（IWDTCLK）を分周する分周比設定を 1 分周／ 16 分周／ 32 分周／ 64 分周／ 128 分周／ 256 分周から選択します。TOPS[1:0] ビット設定と合わせて、IWDT のカウント期間を IWDT クロック（IWDTCLK）の 1024 ～ 4194304 クロックの間で設定できます。なお、最低周辺クロック（PCLKB）周波数と最大 IWDT クロック（IWDTCLK）周波数の関係によっては、ダウンカウンタ値が正常に読み出せない場合があります。

RPES[1:0] ビット（ウィンドウ終了位置選択ビット）

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より、必ず小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPES[1:0]、RPSS[1:0] ビットで設定したウィンドウ開始／終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 27.3 に TOPS[1:0] ビットの値に対応した、ウィンドウ開始／終了位置のカウンタ値を示します。

RPSS[1:0] ビット（ウィンドウ開始位置選択ビット）

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダフロー発生時を 0%）の 100% ／ 75% ／ 50% ／ 25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 27.2 に RPSS[1:0]、RPES[1:0] ビットの設定値とリフレッシュ許可／禁止期間の関係を示します。

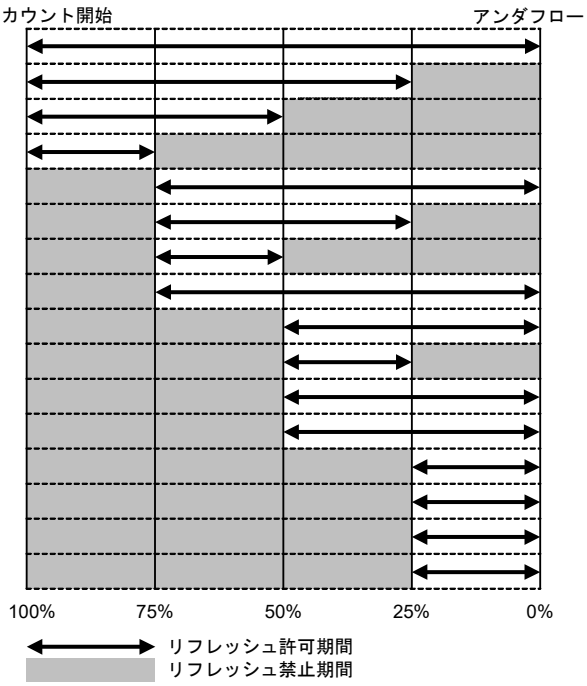
表27.2　　タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDTクロック（IWDTCLK）数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

表27.3　　タイムアウト期間とウィンドウ許可／終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可／終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始（%）	終了（%）
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



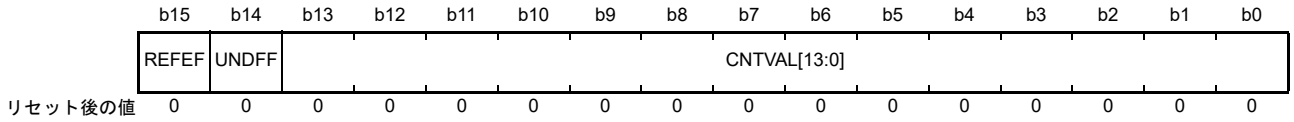
注．　「ウィンドウ終了」≧「ウィンドウ開始」設定を行った場合、「ウィンドウ終了」設定は 0% になります。

図 27.2　　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

27.2.3　IWDT ステータスレジスタ（IWDTSR）

IWDTSR レジスタは、ダウンカウンタのカウンタ値の表示、およびアンダフロー、リフレッシュエラーの発生状態を表示するレジスタです。

アドレス　A008 0704h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R/(W)
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R/(W)

CNTVAL[13:0] ビット（カウンタ値ビット）

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ（アンダフローフラグ）

ダウンカウンタのアンダフロー発生状態を確認することができます。読み出した値が “1” のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF ビット（リフレッシュエラーフラグ）

リフレッシュエラー（リフレッシュ禁止期間中のリフレッシュ動作）の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

27.2.4　IWDT リセットコントロールレジスタ（IWDTRCR）

IWDTRCR レジスタは、エラーコントロールモジュール（ECM）に対し IWDT のダウンカウンタのアンダフロー発生のエラー通知を制御するレジスタです。

本レジスタへの書き込みには制限があります。詳細については、**「27.3.2　IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御」**を参照してください。

アドレス　A008 0706h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ECMへのエラー通知を許可 1：ECMにエラー通知しない	R/W

RSTIRQS ビット（リセット割り込み要求選択ビット）

ダウンカウンタのアンダフロー、またはリフレッシュエラーによるエラーコントロールモジュール（ECM）へのエラー通知制御を行います。

27.3　動作説明

27.3.1　カウント開始条件の動作

IWDT コントロールレジスタ（IWDTCR）、IWDT リセットコントロールレジスタ（IWDTRCR）が設定された状態で、IWDT リフレッシュレジスタ（IWDTRR）へのリフレッシュ動作によりカウントが開始されます。

27.3.1.1　レジスタ設定

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始／終了位置、タイムアウト期間、IWDTRCR レジスタにエラーコントロールモジュール（ECM）へのエラー通知出力制御の各設定を行います。その後、リフレッシュ動作によりダウンカウンタにタイムアウト期間選択ビット（IWDTCR.TOPS[1:0]）で設定された値がセットされ、ダウンカウントを開始します。

以後、プログラムが正常に動作し、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT は ECM へのエラー通知を出力しません。

しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合、ECM へのエラー通知を出力します。

図 27.3 に以下の条件での動作例を示します。

- リセット割り込み要求選択ビット（IWDTRCR.RSTIRQS）：0b（ECM へのエラー通知許可）
- ウィンドウ開始位置選択ビット（IWDTCR.RPSS[1:0]）：“10b”（75%）
- ウィンドウ終了位置選択ビット（IWDTCR.RPES[1:0]）：“10b”（25%）

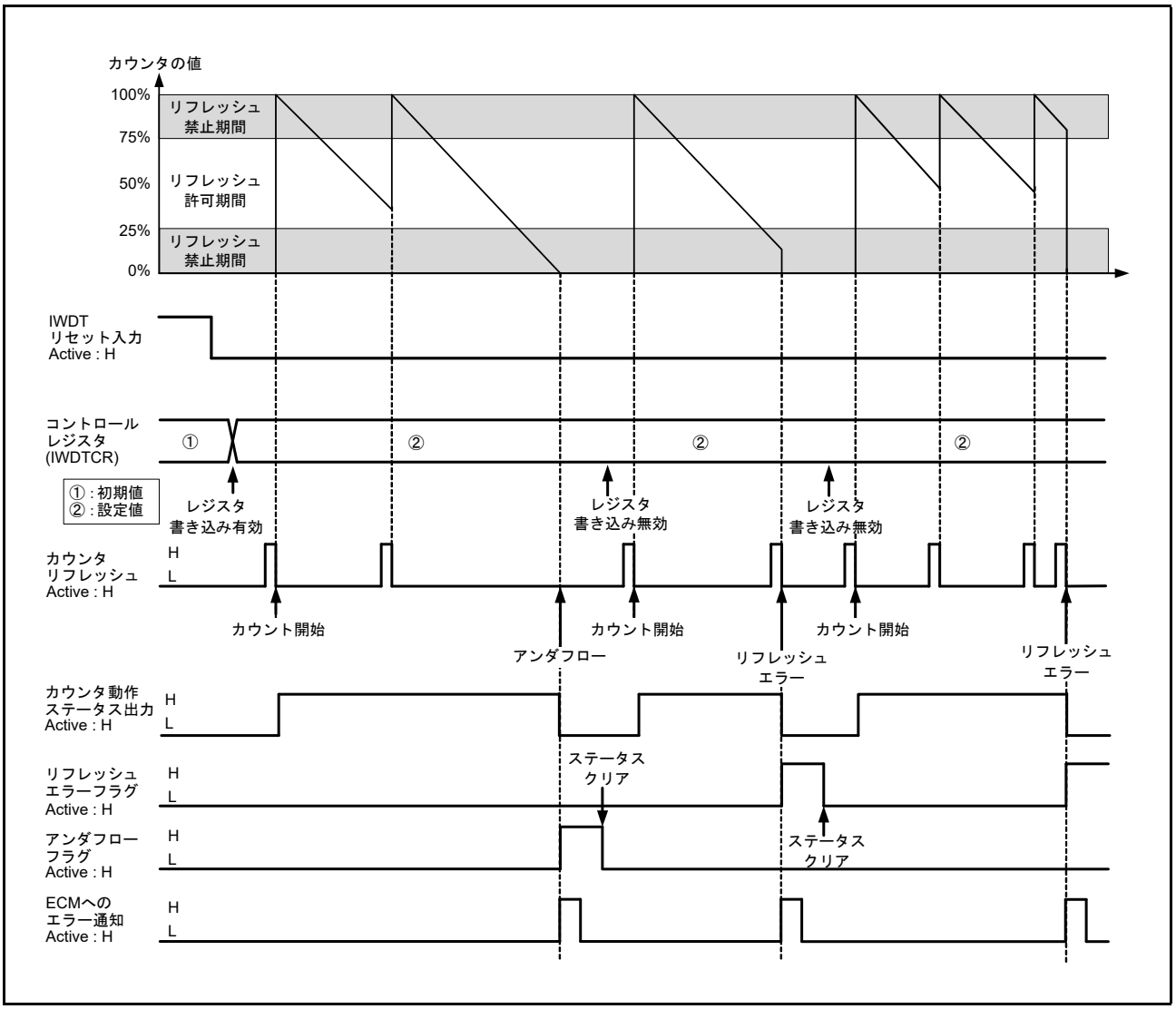


図 27.3　　レジスタスタートモード動作例

27.3.2　IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御

IWDT コントロールレジスタ（IWDTCR）への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作（カウントスタート）後、もしくは IWDTCR レジスタへ書き込み後に、IWDT 内部のプロテクト信号が “1” となり、以後 IWDTCR レジスタに対する書き込みをプロテクトします。

IWDT リセットコントロールレジスタ（IWDTRCR）についても、同様に制御されます。

IWDT に対するリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 27.4 に IWDTCR レジスタ書き込み制御波形を示します。

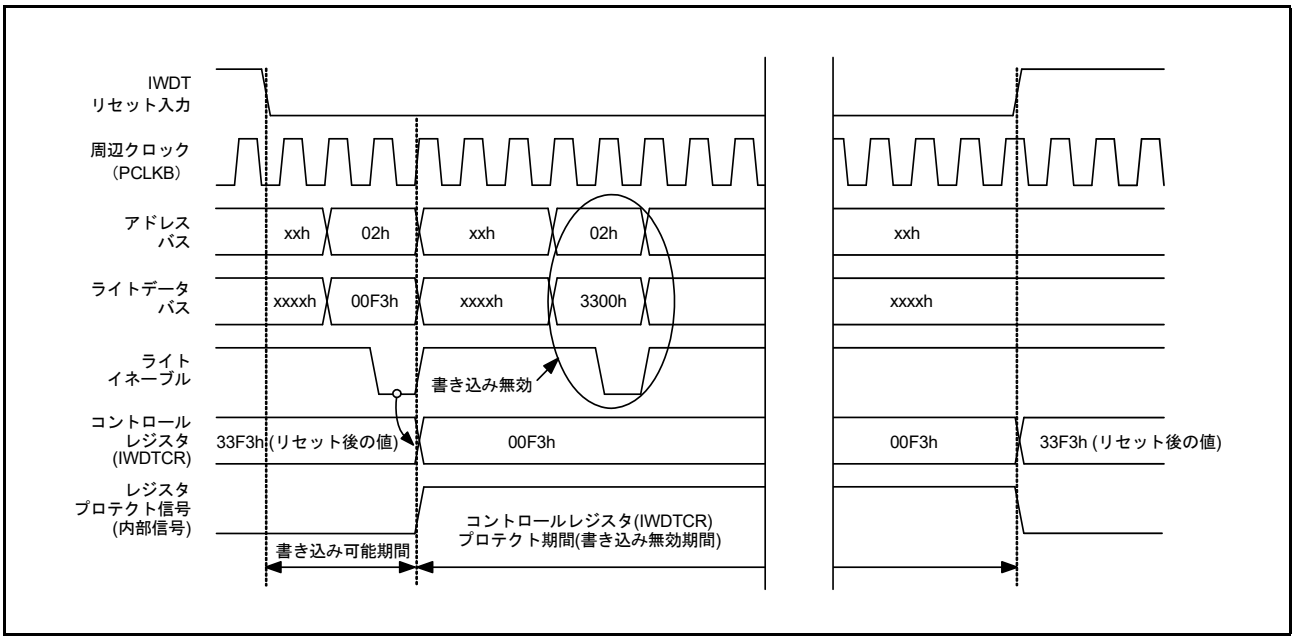


図 27.4　IWDTCR レジスタ書き込み制御波形

27.3.3　リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDT リフレッシュレジスタ（IWDTRR）に “00h” を書き込んだ後、続けて “FFh” を書き込みます。“00h” を書き込んだ後に “FFh” 以外の値を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタに “00h” → “FFh” の順で値を書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1 回目）→ “00h”（2 回目）の書き込みを行った場合でも、その後 “FFh” を書き込むことにより、“00h” → “FFh” の書き込み動作が成立するため、“00h”（n-1 回目）→ “00h”（n 回目）→ “FFh” のような書き込み動作も有効となり、リフレッシュを行います。また、IWDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュが有効な書き込み例】

- “00h” → “FFh”
- “00h”（n-1 回目）→ “00h”（n 回目）→ “FFh”
- “00h” →別レジスタへのアクセス、または IWDTRR レジスタの読み出し→ “FFh”

【リフレッシュが無効な書き込み例】

- “23h”（“00h” 以外）→ “FFh”
- “00h” → “54h”（“FFh” 以外）
- “00h” → “AAh”（“00h” および “FFh” 以外）→ “FFh”

リフレッシュ動作として、IWDTRR レジスタへの “00h” の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへ対する “FFh” の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立しリフレッシュを行います。（書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh” の書き込み時に行っています。）

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに “FFh” を書き込んだ後、カウントサイクル数で最大 4 サイクル必要となります（1 サイクル間の IWDT クロック（IWDTCLK）数は、クロック分周比選択ビット（IWDTCR.CKS[3:0]）の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの “FFh” 書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット（IWDTSR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- 例えば、ウィンドウ開始位置が “1FFFh” の場合、IWDTRR レジスタへの “00h” 書き込みが “1FFFh” よりも前（たとえば “2002h”）であっても、IWDTSR.CNTVAL[13:0] ビットの値が “1FFFh” になった後、IWDTRR レジスタに “FFh” を書き込むことで、リフレッシュを行います。
- ウィンドウ終了位置が “1FFFh” の場合、IWDTRR レジスタに “00h” → “FFh” を書き込んだ直後に、IWDTSR.CNTVAL[13:0] ビットの値が “2003h”（“1FFFh” の 4 カウント前）以上であればリフレッシュを行います。
- “0000h” までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能ですが、この場合、IWDTRR レジスタに “00h” → “FFh” を書き込んだ直後に、IWDTSR.CNTVAL[13:0] ビットの値が “0003h”（アンダフローの 4 カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

  図 27.5 に、周辺クロック（PCLKB）＞ IWDT クロック（IWDTCLK）、クロック分周比：IWDTCLK の IWDT リフレッシュ動作波形を、**図 27.6** に、周辺クロック（PCLKB）＜ IWDT クロック

（IWDTCLK）、クロック分周比：IWDTCLK /16 の IWDT リフレッシュ動作波形を示します。

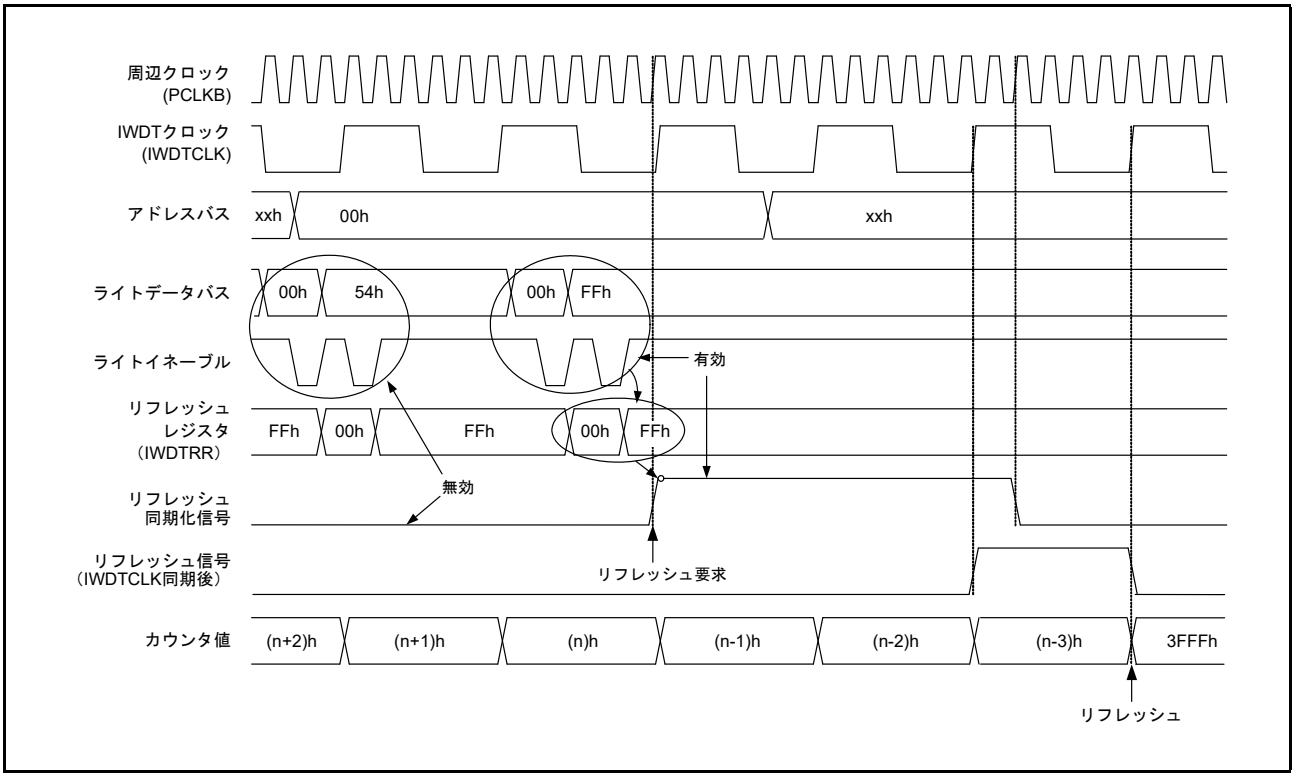


図 27.5　IWDT リフレッシュ動作波形（IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b）

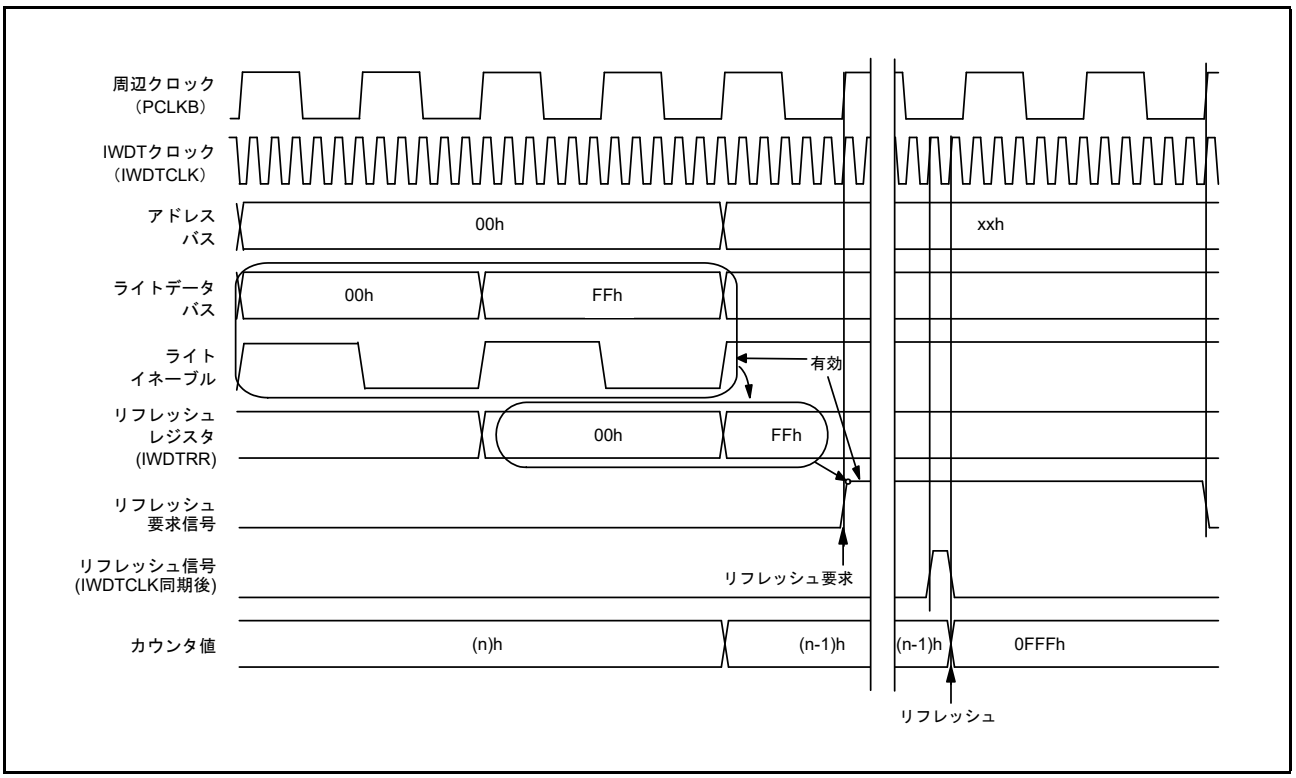


図 27.6　IWDT リフレッシュ動作波形（IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01b）

27.3.4　ステータスフラグ

リフレッシュエラーフラグ（IWDTSR.REFEF）、アンダフローフラグ（IWDTSR.UNDFF）は、IWDT のエラーコントロールモジュール（ECM）に対するエラー通知が発生した場合のエラー要因を保持します。

リセット解除後、もしくは ECM へのエラー通知発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDFF フラグを読み出すことで、ECM に対するエラー通知の発生状態を確認することができます。

各フラグの値を “0” にするには “0” を書き込んでください。“1” の書き込みは無効です。

各フラグは、“0” にしなくても動作に影響を与えません。クリアしない場合は、次に IWDT の ECM に対するエラー通知が発生したときに古いエラー通知はクリアされ、新しい ECM へのエラー通知が書き込まれます。

27.3.5　エラーコントロールモジュール（ECM）へのエラー通知

リセット割り込み選択ビット（IWDTRCR.RSTIRQS）を “0” に設定した場合、ダウンカウンタのアンダフローまたはリフレッシュエラーにより、1 カウントサイクル間 ECM に対するへのエラー通知が発生します。

27.3.6　ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT クロック（IWDTCLK）で動作しているため、カウンタ値を直接読み出すことはできません。このため、IWDT はカウンタ値を周辺クロック（PCLKB）で同期化し、IWDT ステータスレジスタのカウンタ（IWDTSR.CNTVAL[13:0] ビット）に格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック（最大 4 クロック）必要となるため、読み出したカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 27.7 に IWDT ダウンカウンタ値の読み出し処理を示します。

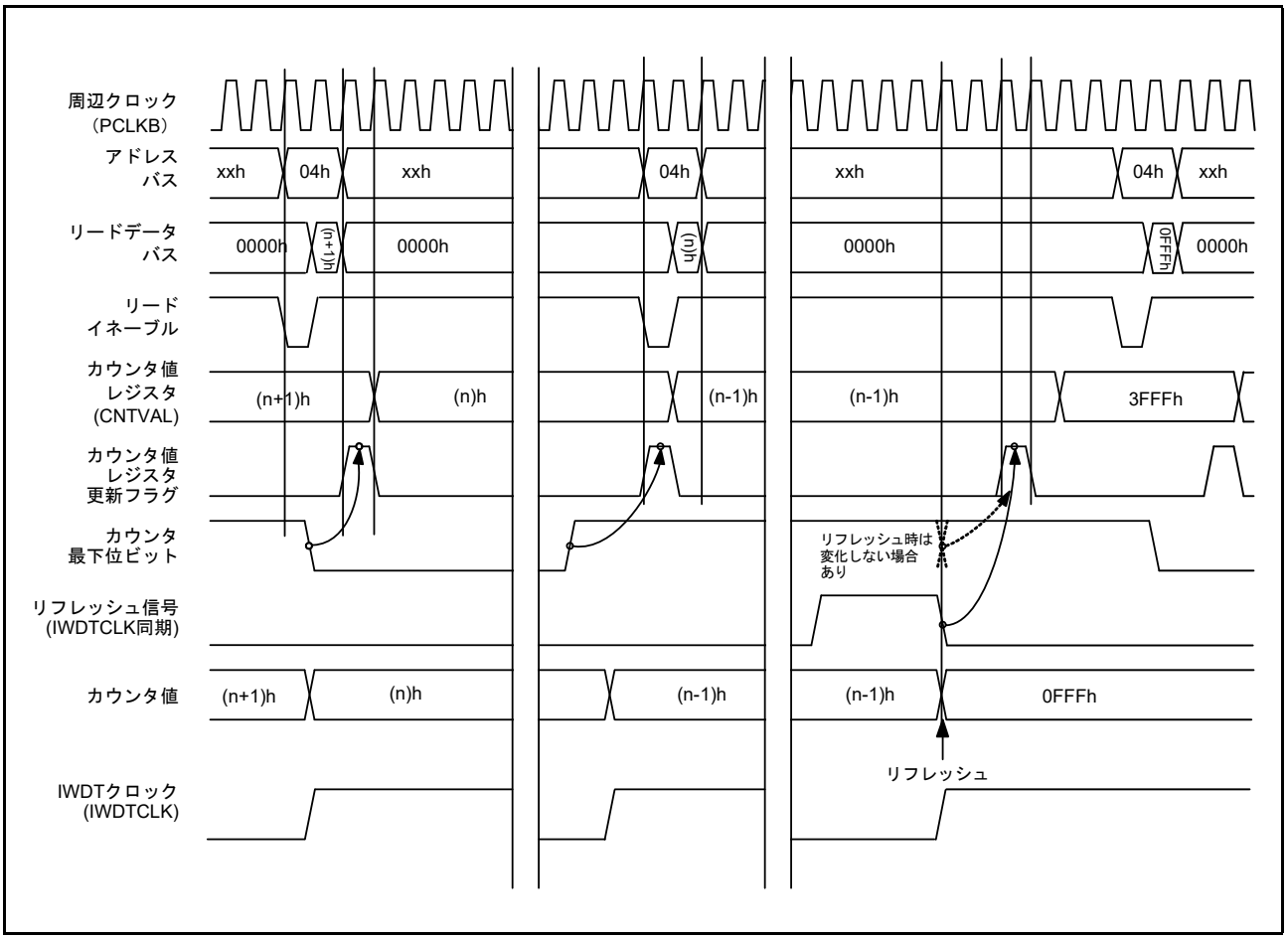


図 27.7　IWDT カウンタ値の読み出し処理
（IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b）

27.4　低消費電力制御

27.4.1　低消費電力モード遷移におけるウォッチドッグタイマの動作

IWDT のダウンカウンタが動作している時、Cortex-R4 のスタンバイモード、Cortex-M3 のスリープモードへの遷移時に IWDT に対するクロック供給制御が可能です。

表 27.4 に低消費電力モード遷移時の IWDT 動作を示します。

表27.4　低消費電力モード遷移時のIWDT動作＜低消費電力モード遷移時＞

低消費電力モード	IWDTクロック供給	IWDT動作
Cortex-R4 スタンバイ	○	○
Cortex-M3 スリープ	○	○

○：動作

28.　イーサネット MAC（ETHERC）

本 LSI はアクセラレータ付きのイーサネット MAC（ETHERC）機能を内蔵しています。

28.1　概要

イーサネット MAC（ETHERC）の機能を**表 28.1** に示します。

表28.1　ETHERCの仕様

項目	内容
機能	• 1ポート(注1) • IEEE802.3対応 • 10BASE、100BASE対応 • 全二重通信と半二重通信対応 • 自動ポーズパケット送信機能 • ポーズパケット受信による自動送信サスペンド機能 • MII／RMIIインタフェース対応
割り込み要因	7種類 • Ether MIIマネージメントアクセス完了割り込み • Etherポーズパケット送信完了割り込み • Ether送信完了割り込み • RX FIFOオーバフロー割り込み • TX FIFOアンダフロー割り込み • TX FIFOエラー割り込み • Ether受信フレームエラー割り込み

注1.　イーサネットスイッチ機能を用いて2ポート対応が可能です。詳細は「28.2.1.4　MACセレクトレジスタ（MACSEL）」を参照してください。

注 .　インタフェースには MII および RMII のみをサポートしているため、1Gbps で動作させることはできません。ただし、イーサネットスイッチと接続して使用する場合には、GMII での接続となるため、1Gbps のモードで使用してください。

図 28.1、**図 28.2** に ETHERC のブロック図を示します。灰色のモジュール／レジスタ等は「**29.　イーサネットスイッチ**」、「**30.　EtherCAT スレーブ・コントローラ（オプション）**」で説明します。

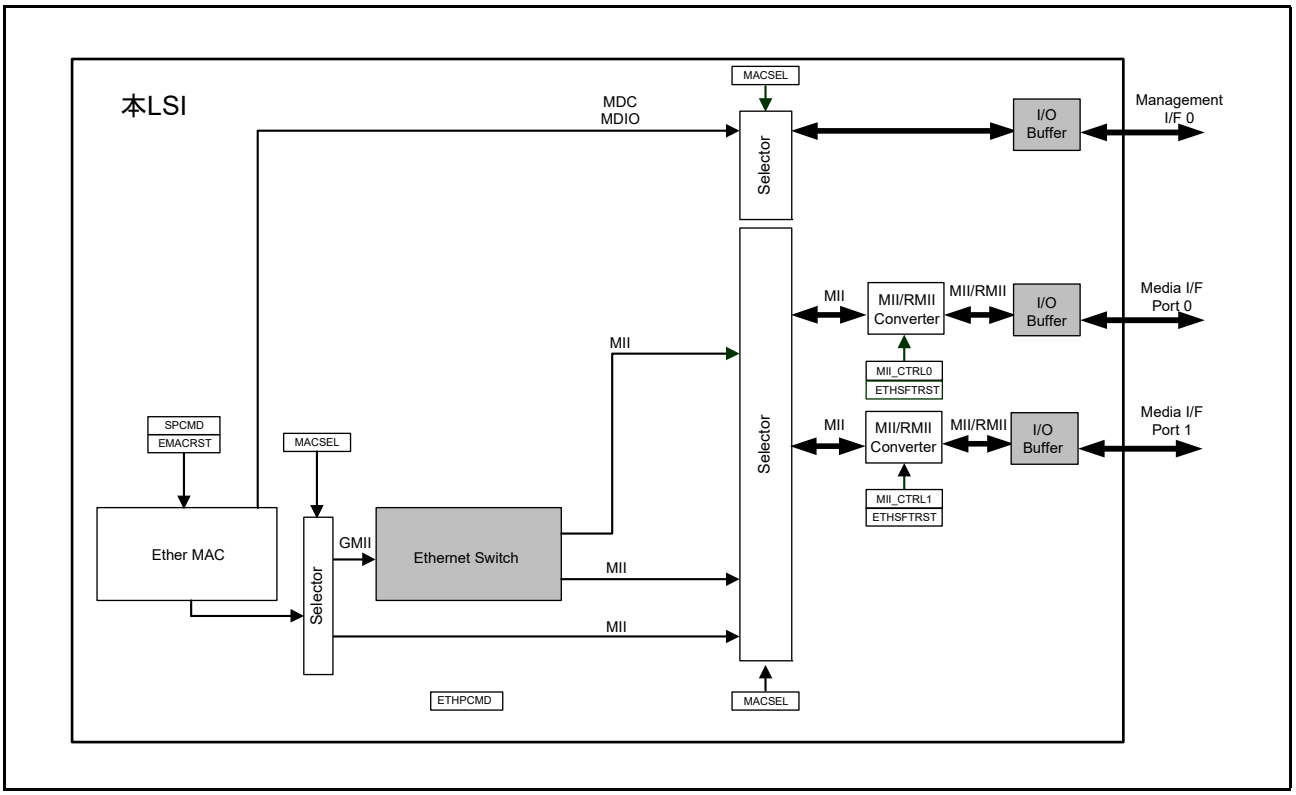


図 28.1 ETHERC のブロック図

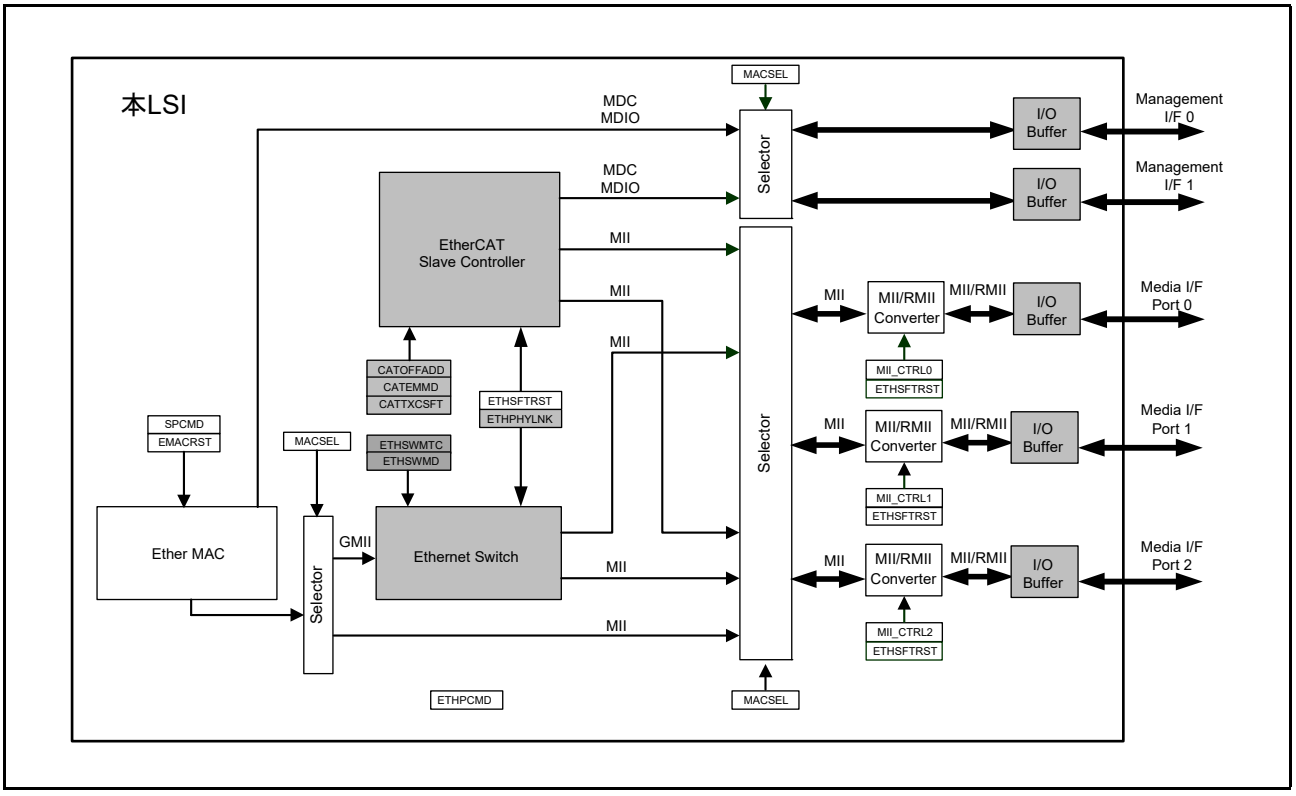


図 28.2 ETHERC のブロック図（EtherCAT（オプション）搭載製品）

表 28.2 に ETHERC の入出力端子を示します。

表28.2　ETHERCの入出力端子

端子名	入出力	機能
ETH0_TXC、 ETH1_TXC、 ETH2_TXC	入力	10M／100M送信クロック（2.5MHz／25MHz）入力端子
ETH0_TXEN、 ETH1_TXEN、 ETH2_TXEN	出力	送信イネーブル信号出力端子
ETH0_TXER、 ETH1_TXER、 ETH2_TXER	出力	送信エラー信号出力端子
ETH0_TXD0～3、 ETH1_TXD0～3、 ETH2_TXD0～3	出力	送信データ信号出力端子
ETH0_RXC、 ETH1_RXC、 ETH2_RXC	入力	受信クロック入力端子
ETH0_RXDV、 ETH1_RXDV、 ETH2_RXDV	入力	受信データイネーブル信号入力端子
ETH0_RXER、 ETH1_RXER、 ETH2_RXER	入力	受信データエラー信号入力端子
ETH0_RXD0～3、 ETH1_RXD0～3、 ETH2_RXD0～3	入力	受信データ信号入力端子
ETH0_CRS、 ETH1_CRS、 ETH2_CRS	入力	キャリアセンス信号入力端子
ETH0_COL、 ETH1_COL、 ETH2_COL	入力	衝突検出信号入力端子
ETH_MDC、 MII2_MDC	出力	マネージメントインタフェースクロック出力端子
ETH_MDIO、 MII2_MDIO	入出力	マネージメントデータ信号入出力端子
PHYLINK0、 PHYLINK1	入力	PHY Link信号入力端子
ETHSWSECOUT	出力	Ether SwitchのSYNCOUT信号出力端子
PHYRESETOUT#、 PHYRESTOUT2#	出力	PHY RESET用出力信号（PHYRESETOUT#：Ether0, Ether1用、 PHYRESETOUT2#：Ether2用）

表 28.3、表 28.4 に機能ごとの入出力端子の分類を示します。

表28.3　ETHERCの機能別入出力端子（MIIモード時）

Media I/F	Port 0	Port 1	Port 2
10M / 100M送信クロック入力	ETH0_TXC	ETH1_TXC	ETH2_TXC
送信イネーブル出力	ETH0_TXEN	ETH1_TXEN	ETH2_TXEN
送信エラー出力	ETH0_TXER	ETH1_TXER	ETH2_TXER
送信データ出力	ETH0_TXD0～3	ETH1_TXD0～3	ETH2_TXD0～3
受信クロック入力	ETH0_RXC	ETH1_RXC	ETH2_RXC
受信データイネーブル入力	ETH0_RXDV	ETH1_RXDV	ETH2_RXDV
受信データエラー入力	ETH0_RXER	ETH1_RXER	ETH2_RXER
受信データ入力	ETH0_RXD0～3	ETH1_RXD0～3	ETH2_RXD0～3
キャリアセンス入力	ETH0_CRS	ETH1_CRS	ETH2_CRS
衝突検出入力	ETH0_COL	ETH1_COL	ETH2_COL

Management I/F	Port 0	Port 1	Port 2
Management I/F clock出力	ETH_MDC		MII2_MDC
Management data入出力	ETH_MDIO		MII2_MDIO

その他	Port 0	Port 1	Port 2
PHY Link入力	PHYLINK0	PHYLINK1	—
EtherSW SYNCOUT出力	ETHSWSECOUT		—
PHY RESET出力	PHYRESETOUT#		PHYRESTOUT2#
Ethernet PHY用外部クロック出力注1	CLKOUT25M0	CLKOUT25M1	CLKOUT25M2

注1.　MIIモード時は 25MHzです。

表28.4　ETHERCの機能別入出力端子（RMIIモード時）

Media I/F	Port 0	Port 1	Port 2
送信イネーブル出力	ETH0_TXEN	ETH1_TXEN	ETH2_TXEN
送信データ出力	ETH0_TXD0、1	ETH1_TXD0、1	ETH2_TXD0、1
キャリアセンス／受信データイネーブル入力	ETH0_RXDV	ETH1_RXDV	ETH2_RXDV
受信データエラー入力	ETH0_RXER	ETH1_RXER	ETH2_RXER
受信データ入力	ETH0_RXD0、1	ETH1_RXD0、1	ETH2_RXD0、1

Management I/F	Port 0	Port 1	Port 2
Management I/F clock出力	ETH_MDC		MII2_MDC
Management data入出力	ETH_MDIO		MII2_MDIO

その他	Port 0	Port 1	Port 2
PHY Link入力	PHYLINK0	PHYLINK1	—
EtherSW SYNCOUT出力	ETHSWSECOUT		—
PHY RESET出力	PHYRESETOUT#		PHYRESTOUT2#
Ethernet PHY用外部クロック出力注1	CLKOUT25M0	CLKOUT25M1	CLKOUT25M2

注1.　RMIIモード時は 50MHzです。

28.2　レジスタの説明

28.2.1　イーサネットインタフェース選択レジスタ

28.2.1.1　システムプロテクトコマンドレジスタ（SPCMD）

SPCMD レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。
詳細は「28.3.6　プロテクトコマンドレジスタ」を参照してください。
SPCMD レジスタは、32 ビット単位でリード／ライトアクセス可能です。

アドレス　ETHERC.SPCMD A00F 2100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTREL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTREL	プロテクト解除許可ビット	プロテクト対象レジスタへのライトアクセスを許可します。特定の命令シーケンスでのみ書き込みが可能です。 1：ライトアクセス許可 0：ライトアクセス禁止（プロテクト状態）	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注.　保護対象レジスタへの書き込みが完了した後は、必ずSPCMD.PROTRELビットをクリア（0）してプロテクト状態にしてください。

28.2.1.2　イーサネット MAC リセットレジスタ（EMACRST）

EMACRST レジスタは、ソフトウェアで ETHERC のリセット状態を制御するレジスタです。リセット解除後の初期値は EMACRST ビット = 0 のため、ETHERC はリセット状態です。EtherMAC の選択、PHY のモード設定後に本レジスタにてリセット状態を解除してください。

動作中に ETHERC にリセットをかける場合は、本レジスタに 0 を書き込み後にソフトウェアで EMACRST ビットをリードし、0 に設定されていることを確認した後に 1 を書き込んでリセット解除状態に設定してください。

このレジスタはシステムプロテクトコマンドレジスタ（SPCMD）で保護されています。このレジスタへ書き込みを行うには SPCMD レジスタで書き込み保護を解除してください。R-IN Engine 搭載製品では、本レジスタで HW-RTOS もリセットされます。

アドレス　ETHERC.EMACRST A00F 2110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EMAC RST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EMACRST	イーサネットMACリセット制御ビット	イーサネットMACのリセット状態の制御を行います。 1：リセット解除状態 0：リセット状態（初期値）	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

28.2.1.3　イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）

ETSPCMD レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。
詳細は「28.3.6　プロテクトコマンドレジスタ」を参照してください。
ETSPCMD レジスタは、32 ビット単位でリード／ライトアクセス可能です。

アドレス　ETHERC.ETSPCMD A00B F000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTREL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTREL	プロテクト解除許可ビット	プロテクト対象レジスタへのライトアクセスを許可します。 特定の命令シーケンスでのみ書き込みが可能です。 1：ライトアクセス許可 0：ライトアクセス禁止（プロテクト状態）	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注.　保護対象レジスタへの書き込みが完了した後は、必ずETSPCMD.PROTRELビットをクリア（0）してプロテクト状態にしてください。

28.2.1.4　MAC セレクトレジスタ（MACSEL）

MACSEL レジスタはイーサネットインタフェースの機能を選択するレジスタです。

このレジスタを書き換える場合は、EMACRST レジスタでイーサネット MAC をリセット状態にしてから書き込みをしてください。またレジスタの設定変更後は、必ず PHY をリセットし、その後 MAC の設定を行ってください。32 ビット単位でリード／ライトアクセス可能です。MAC 機能の構成については、図 28.1、図 28.2 と表 28.5、表 28.6 を参照してください。

このレジスタはイーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）で保護されています。このレジスタへ書き込みを行うには ETSPCMD レジスタで書き込み保護を解除してください。

アドレス　ETHERC.MACSEL A00B F004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MAC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	MAC[2:0]	イーサネットMACモード選択ビット	使用するMACのMedia／Managementインタフェースの機能を選択します。 表28.5、表28.6を参照してください。	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

表28.5　MAC機能の選択方法（EtherCAT（オプション）搭載製品）

MAC[2:0]	Media I/F Port 0	Media I/F Port 1	Media I/F Port 2	Management I/F 0	Management I/F 1
000	Ethernet Switch Port 0	Ethernet Switch Port 1	未使用	EthernetMAC	未使用
001	EtherCAT Slave Port 0	EtherCAT Slave Port 1	EthernetMAC（Switch機能未使用の場合）	EtherCAT	EthernetMAC
011	未使用	Ethernet MAC（Switch機能未使用の場合）	未使用	EthernetMAC	未使用
101	EtherCAT Slave Port 0	EtherCAT Slave Port 1	Ethernet Switch Port 0	EtherCAT	EthernetMAC
上記以外	設定禁止				

表28.6　MAC機能の選択方法

MAC[2:0]	Media I/F Port 0	Media I/F Port 1	Management I/F 0
000	Ethernet Switch Port 0	Ethernet Switch Port 1	EthernetMAC
011	未使用	EthernetMAC（Switch機能未使用の場合）	EthernetMAC
上記以外	設定禁止		

28.2.1.5　MII コントロールレジスタ（MII_CTRLn）（n = 0 ～ 2）

MII_CTRLn レジスタは MII ／ RMII コンバータの制御を行うレジスタです。32 ビット単位でリード／ライトアクセス可能です。

アドレス　ETHERC.MII_CTRL0 A00B F008h、ETHERC.MII_CTRL1 A00B F00Ch、ETHERC.MII_CTRL2 A00B F010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RMII_CRS_MODE	—	FULLD	—	—	—	MODE[4:0]				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	MODE[4:0]	MIIコンバータモード選択ビット	MIIコンバータのモード設定を行います。 b4　b0 x_0000：MIIモード 1_0100：RMIIモード（10Mbps）（注1） 1_0101：RMIIモード（100Mbps）（注1） 上記以外は設定禁止	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	FULLD	Duplex Mode設定ビット	Duplex Modeの設定を行います。 0：half duplex 1：full duplex（初期値）	R/W
b9	—	予約ビット	RMIIモードで使用する場合、必ず“1”に設定してください。	R/W
b10	RMII_CRS_MODE	CRS判定条件選択ビット	キャリアセンス（CRS）信号判定条件を設定します。 RMIIモード時のみ有効となります。 CRS判定条件 0：「CRS | TXEN」 1：「CRS | RXDV | TXEN」（初期値）	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　RMIIモードで使用する場合は b9 を必ず “1” に設定してください。

28.2.1.6　イーサネット周辺リセットレジスタ（ETHSFTRST）

ETHSFTRST レジスタは、ソフトウェアで RMII コンバータ機能、EtherCAT 機能(注 1)、EtherSwitch 機能を含むイーサネット周辺回路のリセット状態を制御するレジスタです。

リセット解除後の初期値は 0 のため、RMII コンバータ、EtherCAT 機能(注 1)、EtherSwitch 機能を含むイーサネット周辺回路はすべてリセット状態です。EtherMAC の選択、PHY のモード設定後に本レジスタにて各リセット状態を解除してください。

動作中にイーサネット周辺回路へリセットをかける場合は、本レジスタに 0 を書き込み後にソフトウェアで対象ビットをリードし、0 に設定されていることを確認してから 1 を書き込んでリセット解除状態に設定してください。

このレジスタはイーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）で保護されています。このレジスタへ書き込みを行うには ETSPCMD レジスタで書き込み保護を解除してください。

注 1.　オプション

アドレス　ETHERC.ETHSFTRST A00B F118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MIICRST	PHYRST2(注1)	PHYRST	SWRST	CATRST(注1)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1.　EtherCAT（オプション）搭載製品のみ

ビット	シンボル	ビット名	機能	R/W
b0	CATRST (注1)	EtherCAT リセット制御ビット（EtherCAT（オプション）搭載製品のみ）	EtherCATのリセットを行います。 1：リセット解除状態 0：リセット状態（初期値）	R/W
b1	SWRST	EtherSwtich リセット制御ビット	EtherSwitchのリセットを行います。 1：リセット解除状態 0：リセット状態（初期値）	R/W
b2	PHYRST	PHYRESETOUT#端子リセット制御ビット	PHYRESETOUT#出力端子のリセットを行います。 EtherCAT（オプション）搭載製品の場合、EtherCATからのRESETOUT信号の機能も機能的にORした状態で出力します。 1：リセット解除状態 0：リセット状態（初期値）	R/W
b3	PHYRST2 (注1)	PHYRESETOUT2#端子リセット制御ビット（EtherCAT（オプション）搭載製品のみ）	PHYRESETOUT2#出力端子のリセットを行います。 1：リセット解除状態 0：リセット状態（初期値）	R/W
b4	MIICRST	RMIIコンバータリセット制御ビット	RMIIコンバータのリセットを行います。 1：リセット解除状態 0：リセット状態（初期値）	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　EtherCAT（オプション）搭載製品以外の製品は、予約ビットです。読むと“0”が読み出されます。書く場合、必ず“0”としてください。

28.2.2　イーサネット MAC 制御レジスタ

28.2.2.1　MIIM レジスタ（GMAC_MIIM）

GMAC_MIIM レジスタは各 Ethernet PHY へのレジスタアクセスを制御するレジスタです。アクセスは、MSTPCRB レジスタの MSTPCRB18 ビットをクリアし、イーサ MAC のモジュールストップ状態を解除した後、以下の手順で行ってください。

Write の場合 :

1. Write オペレーションの開始 : RWDV ビット = 1、PHYADDR[4:0] ビットに PHY アドレス、REGADDR[4:0] ビットに PHY のレジスタアドレス、DATA[15:0] ビットに Write データを設定
2. オペレーションの完了待ち : RWDV ビットの読み出し値が 1 になるまで待つ
3. オペレーションの完了 : RWDV ビットの読み出し値が 1 になると、Write オペレーションが完了

Read の場合 :

1. Read オペレーションの開始 : RWDV ビット = 0、PHYADDR[4:0] ビットに PHY アドレス、REGADDR[4:0] ビットに PHY のレジスタアドレスを設定
2. オペレーションの完了待ち : RWDV ビットの読み出し値が 1 になるまで待つ
3. オペレーションの完了 : RWDV ビットの読み出し値が 1 になり、DATA[15:0] ビットから有効なデータを読み出して、Read オペレーションが完了

注 .　GMAC_MIIM レジスタは、MAC セレクトレジスタ（MACSEL）で EthernetMAC または Ethernet Switch Port が選択されている場合のみ有効です。その他の場合、書き込みは無効で読み出し値も不定になります。

アドレス　ETHERC.GMAC_MIIM A00F 00A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	RWDV	PHYADDR[4:0]					REGADDR[4:0]				
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	DATA[15:0]	データビット	Writeデータ、またはReadデータを示します。	R/W
b20-b16	REGADDR[4:0]	PHYレジスタアドレスビット	アクセス先のPHYのRegister Addressを指定します。 ライトオンリーのビットのため、リード値は不定です。	W
b25-b21	PHYADDR[4:0]	PHYアドレスビット	アクセス先のPHYアドレスを指定します。 ライトオンリーのビットのため、リード値は不定です。	W
b26	RWDV	Read/Writeオペレーションビット	以下の値を書き込むことで、Read/Writeオペレーションが開始します。本ビットを設定する際は、同時に本レジスタ内の他のビットも設定してください。 1：Writeオペレーションを開始 0：Readオペレーションを開始	W
			Read/Writeオペレーションを開始した後に、本ビットの値を読み出すことで、オペレーションのステータスが確認できます。(注1) 1：オペレーションが完了 0：オペレーション実行待ち	R
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　リセット解除後はRWDVビット = 1になりますが、このときのDATA[15:0]ビットは有効な値ではありません。RWDVビットでステータスを確認する場合は、必ずオペレーションの開始処理を行った後に読み出しを行うことで、正常なステータスを確認できます。

28.2.2.2　TX ID レジスタ（GMAC_TXID）

GMAC_TXID レジスタは GMAC_TXRESULT レジスタに対応した送信フレームの ID を示すレジスタです。

送信フレーム結果 ID を確認する場合は、かならず GMAC_TXRESULT レジスタの読み出しより前に本レジスタの読み出しを行ってください。GMAC_TXRESULT レジスタを先に読み出した場合は、送信フレーム結果が更新されるため、本レジスタでは更新後の送信フレーム ID を読み出します。

アドレス　ETHERC.GMAC_TXID A00F 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TXID[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXID[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TXID[31:0]	送信フレームIDビット	TX RESULTレジスタに対応する送信フレームのIDを示します。	R

28.2.2.3　TX RESULT レジスタ（GMAC_TXRESULT）

GMAC_TXRESULT レジスタは送信フレーム結果を示すレジスタです。

GMAC_TXMODE レジスタの TRBMODE[1:0] ビットが “00” または “01” の場合のみ有効です。

送信フレーム結果は、Ether 送信完了割り込み（ETHIT）の発生と同時に送信結果バッファに保持されます。送信結果バッファには、4 フレーム分の情報を保持することが可能です。本レジスタを読み出すことで、送信結果バッファから送信結果が取り出されます。送信結果バッファに保持されているフレーム数は GMAC_TXFIFO.TRBFR[2:0] ビットから取得できます。

4 フレーム保持した状態で送信を行うと、送信結果が不正となり、TX-FIFO エラー割り込み（ETHTFIE）が発生します。本レジスタを有効にしている場合、エラーが発生しないように適宜読み出しを行ってください。

アドレス　ETHERC.GMAC_TXRESULT A00F 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TCMP	TABT	TFAIL	SCOLLIS	MCOLLIS	CSERR	OVERFW	UNDERFW	LCOLLIS	RETRYN[3:0]				FIFOUFLOW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FIFOUFLOW	FIFOアンダフローステータスビット	送信中にFIFOがアンダフローした。	R
b4-b1	RETRYN[3:0]	リトライ回数ステータスビット	リトライ回数	R
b5	LCOLLIS	Late Collision検出ステータスビット	Late Collisionを検出した。	R
b6	UNDERFW	フレーム長アンダフローステータスビット	最少フレーム長より短いフレームが送信FIFOに書かれた。	R
b7	OVERFW	フレーム長オーバフローステータスビット	1,518オクテットを超えるフレームが送信FIFOに書かれた。	R
b8	CSERR	キャリアセンスエラーステータスビット	送信中にキャリアの消失を検出した。	R
b9	MCOLLIS	マルチコリジョン検出ステータスビット	複数回の衝突を経験した。	R
b10	SCOLLIS	シングルコリジョン検出ステータスビット	1回の衝突を経験した。	R
b11	TFAIL	送信フェイルステータスビット	Excessive Collision（再送信が16回連続で失敗）が発生し、送信が失敗した。	R
b12	TABT	送信アボートステータスビット	送信アボートが発生した。	R
b13	TCMP	送信完了ステータスビット	送信完了	R
b31-b14	—	予約ビット	読むと “0” が読めます。	R

28.2.2.4　MODE レジスタ（GMAC_MODE）

GMAC_MODE レジスタは ETHERC の動作モードを制御するレジスタです。

アドレス　ETHERC.GMAC_MODE A00F 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ETHMODE	DUPMODE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b29-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b30	DUPMODE	Duplex Modeビット	1：Full Duplexモードで動作します。イーサネットスイッチと接続して使用する時は、このモードで使用してください。 0：Half Duplexモードで動作します	R/W
b31	ETHMODE	Ethernet Modeビット	1：Giga bit Ethernetモードで動作します。イーサネットスイッチと接続して使用する時は、このモードを使用してください。 0：10/100 Ethernetモードで動作します。イーサネットスイッチと接続せずに使用する時は、このモードを使用してください。	R/W

28.2.2.5　RX MODE レジスタ（GMAC_RXMODE）

GMAC_RXMODE レジスタはフレーム受信動作を制御するレジスタです。受信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。

アドレス　ETHERC.GMAC_RXMODE A00F 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AFILLTEREN	MFILLTEREN	SFRXFIFO	RAMASKEN	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REMPTH[1:0]		RFULLTH[1:0]		RRTTH[2:0]			—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b11-b9	RRTTH[2:0]	RX FIFO Read Trigger Threshold ビット	SFRXFIFO ビットが0 でかつ、FIFO内のデータワード数がこの数値以上になったとき、GMAC_RXFIFO レジスタのRRT ビットが“1”になります。 b11 b10 b9 0 0 0：4ワード 0 0 1：8ワード 0 1 0：16ワード 0 1 1：32ワード 1 0 0：64ワード 1 0 1：128ワード 1 1 0：256ワード 1 1 1：512ワード	R/W
b13-b12	RFULLTH[1:0]	Receive Almost Full Threshold ビット	FIFO内の空きデータワード数がこの数値以下になったとき、GMAC_RXFIFO レジスタのRFULL ビットが“1”になります。 b13 b12 0 0：4ワード 0 1：8ワード 1 0：16ワード 1 1：32ワード	R/W
b15-b14	REMPTH[1:0]	Receive Almost Empty Threshold ビット	FIFO内のデータワード数がこの数値以下になったとき、GMAC_RXFIFO レジスタのREMP ビットが“1”になります。 b15 b14 0 0：4ワード 0 1：8ワード 1 0：16ワード 1 1：32ワード	R/W
b27-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	RAMASKEN	RX Address Mask Enable ビット	1：GMAC_ADRnB レジスタのBITMSK[7:0]で設定可能な機能（Destination Address[7:0]の一致比較マスク機能）を有効にします（n = 0～15） 0：上記機能を無効にします	R/W
b29	SFRXFIFO	Store & Forward For RX FIFO ビット	1：Store & Forward モード RX FIFOにフレームの終わりまで書き込まれてから受信DMAコントローラが動作を開始します 0：Cut Through モード RX FIFOにRRTTH[2:0]ビットで設定したワード数が書き込まれると受信DMAコントローラが動作を開始します	R/W

ビット	シンボル	ビット名	機能	R/W
b30	MFILLTEREN	Multicast Filtering Enableビット	1：MACアドレスレジスタ（GMAC_ADRnA, GMAC_ADRnB）に登録されたマルチキャスト以外のマルチキャストアドレスフレームを破棄します（n = 0-15） 0：すべてのマルチキャストアドレスフレームを取り込みます	R/W
b31	AFILLTEREN	Address Filtering Enableビット	1：アドレスフィルタリングを有効にします(注1) 0：すべてのアドレスのフレームを取り込みます	R/W

注1.　アドレスフィルタリングを有効にした場合でも、MACアドレスレジスタへの登録の有無にかかわらずMAC Control Frame（Pause Packet 等）は常に受信されます。MAC Control Frame はDestinationアドレスが01-80-C2-00-00-01のフレームです。

28.2.2.6　TX MODE レジスタ（GMAC_TXMODE）

GMAC_TXMODE レジスタはフレーム送信動作を制御するレジスタです。送信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。

アドレス　ETHERC.GMAC_TXMODE A00F 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RTRANSDEN	LPTXEN	SF	SPTXEN	RTRANSLC	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TEMPTH[2:0]			TFULLTH[1:0]		—	TRBMODE[1:0]		—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7-b6	TRBMODE[1:0]	Transmission Result Buffer Mode ビット	GMAC_TX RESULT レジスタへ送信結果を書き込む方法を制御します。 b7 b6 0 0：常時書き込み 0 1：エラー時のみ書き込み 1 0：書き込みを行わない 上記以外設定禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10-b9	TFULLTH[1:0]	Transmit Almost Full Threshold ビット	TX FIFO内の空きデータワード数がこの数値以下になったとき、GMAC_TXFIFO レジスタの TFULL ビットが“1”になります。 b10 b9 0 0：4ワード 0 1：8ワード 1 0：16ワード 1 1：32ワード	R/W
b13-b11	TEMPTH[2:0]	Transmit Almost Empty Threshold ビット	TX FIFO内のデータワード数がこの数値以下になったとき、GMAC_TXFIFO レジスタの TEMP ビットが“1”になります。 b13 b12 b11 0 0 0：4ワード 0 0 1：8ワード 0 1 0：16ワード 0 1 1：32ワード 1 0 0：64ワード 1 0 1：128ワード 1 1 0：256ワード 1 1 1：512ワード	R/W
b26-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b27	RTRANSLC	Retransmission at Late Collision ビット	1：Late Collision発生時、再送を行います 0：Late Collision発生時、アボートします	R/W
b28	SPTXEN	Short Packet TX Enable ビット	1：IEEE802.3の規格より短いフレームの送信を可能にします 0：IEEE802.3の規格より短いフレームの送信はできません	R/W
b29	SF	Store & Forward ビット	1：TX FIFOにフレームの終わりまで書き込まれてから送信を開始します TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0：設定禁止	R/W

ビット	シンボル	ビット名	機能	R/W
b30	LPTXEN	Long Packet TX Enableビット	1：IEEE802.3の規格を超えた長さのフレームの送信を可能にします(注1) 0：IEEE802.3の規格を超えた長さのフレームの送信はできません	R/W
b31	RTRANSDEN	No Retransmissionビット	1：衝突時、再送を行いません 0：衝突時、規格どおり再送を行います	R/W

注1.　イーサネットスイッチのマネージメントタグ挿入機能を有効にしている場合（ETHSWMTCレジスタSWTAGENビット = “1”）、フレームの最大サイズ1518バイトを超える可能性があるため、LPTXENビットを“1”に設定する必要があります。ただし、マネージメントタグ挿入分を除くフレームの最大サイズは1518バイトを超えないよう注意してください。詳細については「28.4.7　1518byteを超えるフレームサイズについて」を参照してください。

28.2.2.7　RESET レジスタ（GMAC_RESET）

GMAC_RESET レジスタはソフトウェアで ETHERC モジュールをリセットするトリガレジスタです。

各ビットに 1 をセットすることでモジュールにリセットをかけることが可能です。セット後は各ビットは自動的に 0 に戻ります。

リセットが完了するまでの時間は、下記のように MAC の動作モードに依存します。

- 1Gbps (125MHz) 動作時：60 ns
- 100Mbps (25MHz) 動作時：200 ns
- 10Mbps (2.5MHz) 動作時：2000 ns

アドレス　ETHERC.GMAC_RESET A00F 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALLRST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

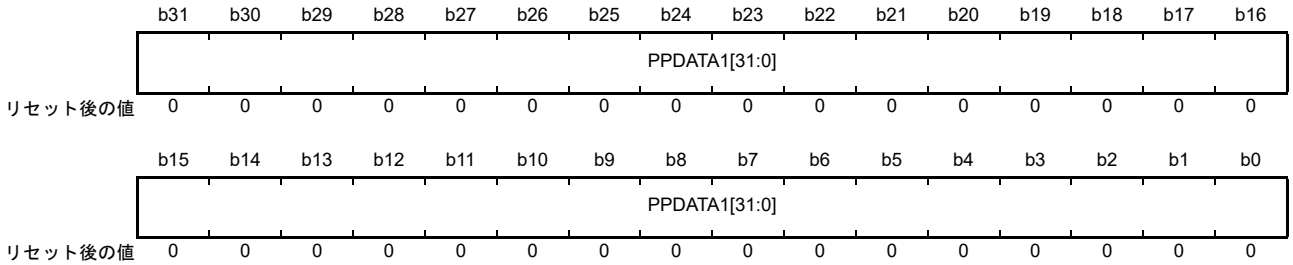
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXRST	—	RXRST	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13	RXRST	RXリセットトリガビット	RX MAC, RX FIFO, RX DMAモジュールをリセットします。 0：何もしない 1：リセット発生	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	TXRST	TXリセットトリガビット	TX MAC, TX FIFO, TX DMAモジュールをリセットします。 0：何もしない 1：リセット発生	R/W
b30-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31	ALLRST	ALLリセットトリガビット	すべてのEthernet MACモジュールをリセットします。 0：何もしない 1：リセット発生	R/W

28.2.2.8　PAUSE パケットデータレジスタ（GMAC_PAUSEn）（n = 1 ～ 5）

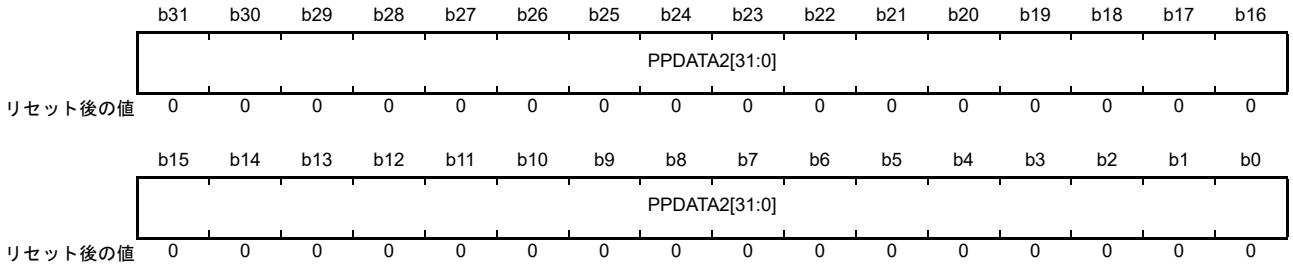
GMAC_PAUSEn レジスタは送信されるポーズパケットの指定を行うレジスタです。

アドレス　ETHERC.GMAC_PAUSE1 A00F 0080h



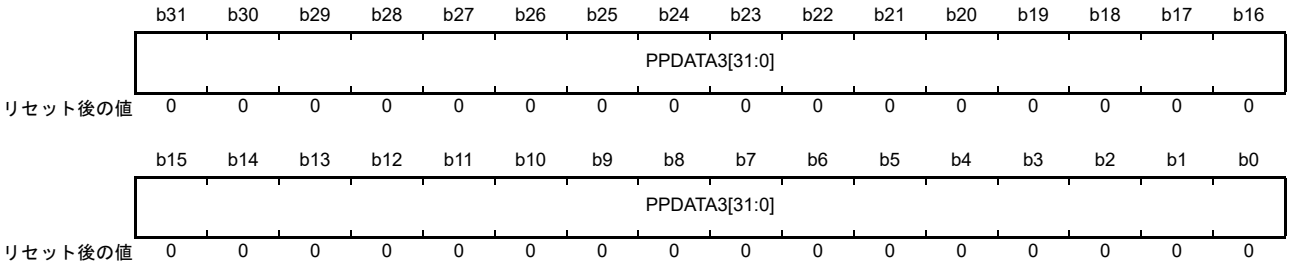
ビット	シンボル	ビット名	機能	R/W
b31-b0	PPDATA1 [31:0]	ポーズパケットデータ1ビット	送出されるポーズパケットの4～1バイト目を指定します。LSBから順に送出されます。	R/W

アドレス　ETHERC.GMAC_PAUSE2 A00F 0084h



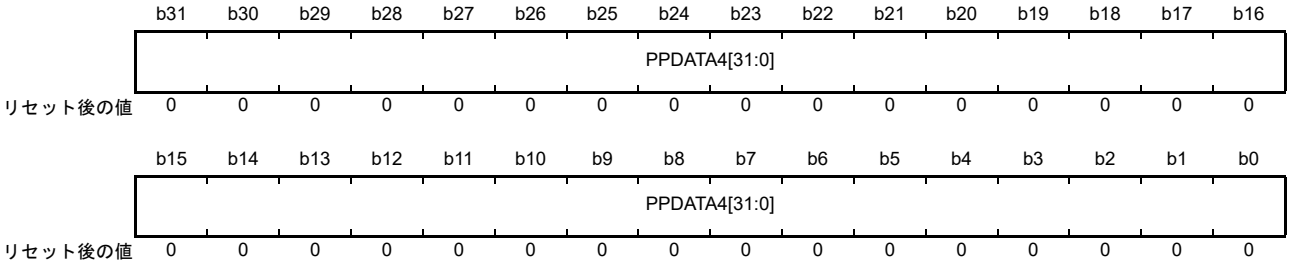
ビット	シンボル	ビット名	機能	R/W
b31-b0	PPDATA2 [31:0]	ポーズパケットデータ2ビット	送出されるポーズパケットの8～5バイト目を指定します。LSBから順に送出されます。	R/W

アドレス　ETHERC.GMAC_PAUSE3 A00F 0088h



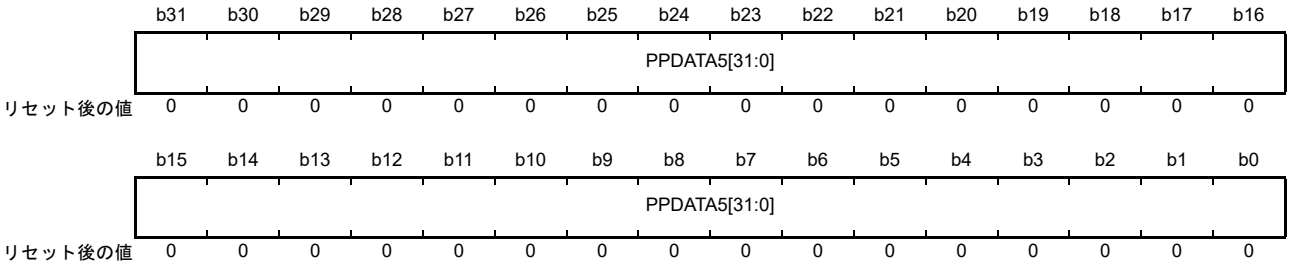
ビット	シンボル	ビット名	機能	R/W
b31-b0	PPDATA3 [31:0]	ポーズパケットデータ3ビット	送出されるポーズパケットの12～9バイト目を指定します。LSBから順に送出されます。	R/W

アドレス　ETHERC.GMAC_PAUSE4 A00F 008Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	PPDATA4 [31:0]	ポーズパケットデータ4ビット	送出されるポーズパケットの16～13バイト目を指定します。LSBから順に送出されます。	R/W

アドレス　ETHERC.GMAC_PAUSE5 A00F 0090h



ビット	シンボル	ビット名	機能	R/W
b31-b0	PPDATA5 [31:0]	ポーズパケットデータ5ビット	送出されるポーズパケットの20～17バイト目を指定します。LSBから順に送出されます。	R/W

28.2.2.9　RX FLOW CONTROL レジスタ（GMAC_FLWCTL）

GMAC_FLWCTL レジスタはポーズパケット受信後の送信サスペンド機能を制御するレジスタです。

本機能が有効の状態でポーズパケットを受信した場合、ポーズパケットで指定された時間だけ送信がサスペンドされます。

アドレス　ETHERC.GMAC_FLWCTL A00F 0098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPRXEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31	PPRXEN	ポーズパケット受信機能許可ビット	1：ポーズパケットの受信機能を有効にします。 0：ポーズパケットの受信機能を無効にします。	R/W

28.2.2.10　PAUSE パケットレジスタ（GMAC_PAUSPKT）

GMAC_PAUSPKT レジスタはポーズパケットの送信を制御するレジスタです。

PPR ビットに “1” を書き込むと、PAUSE パケットデータレジスタ（GMAC_PAUSEn）に設定されたデータが送信されます。送信が完了すると自動的に “0” になります。

アドレス　ETHERC.GMAC_PAUSPKT A00F 009Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31	PPR	ポーズパケット送信トリガビット	ポーズパケットの送信を制御します。 0：何もしない 1：ポーズパケットの送信開始	R/W

28.2.2.11　MACアドレスレジスタ（GMAC_ADRnA, GMAC_ADRnB）（n = 0 ～ 15）

GMAC_ADRnA、GMAC_ADRnB レジスタは MAC アドレスを設定するレジスタです。

最大 16 アドレスを登録することが可能で、GMAC_ADRnB レジスタの BITMSK[7:0] ビットにより、複数アドレスのフィルタリングを行うことも可能です。

- GMAC_ADRnA

アドレス　ETHERC.GMAC_ADR0A A00F 0100h、ETHERC.GMAC_ADR1A A00F 0108h、ETHERC.GMAC_ADR2A A00F 0110h、ETHERC.GMAC_ADR3A A00F 0118h、ETHERC.GMAC_ADR4A A00F 0120h、ETHERC.GMAC_ADR5A A00F 0128h、ETHERC.GMAC_ADR6A A00F 0130h、ETHERC.GMAC_ADR7A A00F 0138h、ETHERC.GMAC_ADR8A A00F 0140h、ETHERC.GMAC_ADR9A A00F 0148h、ETHERC.GMAC_ADR10A A00F 0150h、ETHERC.GMAC_ADR11A A00F 0158h、ETHERC.GMAC_ADR12A A00F 0160h、ETHERC.GMAC_ADR13A A00F 0168h、ETHERC.GMAC_ADR14A A00F 0170h、ETHERC.GMAC_ADR15A A00F 0178h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MADDR4B[7:0]								MADDR3B[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MADDR2B[7:0]								MADDR1B[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	MADDR1B [7:0]	MACアドレスバイト1ビット	取り込むMACアドレスの先頭バイトを示します。	R/W
b15-b8	MADDR2B [7:0]	MACアドレスバイト2ビット	取り込むMACアドレスの先頭バイトから数えて2バイト目を示します。	R/W
b23-b16	MADDR3B [7:0]	MACアドレスバイト3ビット	取り込むMACアドレスの先頭バイトから数えて3バイト目を示します。	R/W
b31-b24	MADDR4B [7:0]	MACアドレスバイト4ビット	取り込むMACアドレスの先頭バイトから数えて4バイト目を示します。	R/W

- GMAC_ADRnB

アドレス　ETHERC.GMAC_ADR0B A00F 0104h、ETHERC.GMAC_ADR1B A00F 010Ch、ETHERC.GMAC_ADR2B A00F 0114h、ETHERC.GMAC_ADR3B A00F 011ch、ETHERC.GMAC_ADR4B A00F 0124h、ETHERC.GMAC_ADR5B A00F 012Ch、ETHERC.GMAC_ADR6B A00F 0134h、ETHERC.GMAC_ADR7B A00F 013Ch、ETHERC.GMAC_ADR8B A00F 0144h、ETHERC.GMAC_ADR9B A00F 014Ch、ETHERC.GMAC_ADR10B A00F 0154h、ETHERC.GMAC_ADR11B A00F 015Ch、ETHERC.GMAC_ADR12B A00F 0164h、ETHERC.GMAC_ADR13B A00F 016Ch、ETHERC.GMAC_ADR14B A00F 0174h、ETHERC.GMAC_ADR15B A00F 017Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	BITMSK[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MADDR6B[7:0]								MADDR5B[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	MADDR5B [7:0]	MACアドレスバイト5ビット	取り込むMACアドレスの先頭バイトから数えて5バイト目を示します。	R/W
b15-b8	MADDR6B [7:0]	MACアドレスバイト6ビット	取り込むMACアドレスの先頭バイトから数えて6バイト目を示します。	R/W
b23-b16	BITMSK[7:0]	ビットマスク指定ビット	Destination Address[7:0]の一致比較にビットごとにマスクします。bit[23:16]がDestination Address[7:0]のビット位置に対応し、0の立っているビットは一致比較の対象から外します。 例えば、マスクレジスタのビットBITMSK[2:0]が0のとき、Destination Address[2:0]は一致比較の対象から外します。すなわちDestination Address [47:3]が一致していればこのフレームを取り込みます。	R/W
b31-b24	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

28.2.2.12　RX FIFO ステータスレジスタ（GMAC_RXFIFO）

GMAC_RXFIFO レジスタは受信 FIFO の状態を示すステータスレジスタです。

アドレス　ETHERC.GMAC_RXFIFO A00F 0200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFULL	REMP	RRT	RSW[11:0]												—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b16-b0	—	予約ビット	読むと“0”が読めます。	R
b28-b17	RSW[11:0]	Stored Words in RX FIFOビット	RX FIFO内に存在するデータのワード数を示します。	R
b29	RRT	RX FIFO Read Triggerビット	RX FIFO内のデータがRX FIFO Read Threshold以上になったとき“1”となります。 （RX FIFO Read ThresholdはGMAC_RX MODEレジスタで設定します）	R
b30	REMP	RX FIFO Almost Emptyビット	RX FIFO内のデータがReceive Almost Empty Threshold以下になったとき“1”となります。 （Receive Almost Empty ThresholdはGMAC_RX MODEレジスタで設定します）	R
b31	RFULL	RX FIFO Almost Fullビット	RX FIFO内のデータがReceive Almost Full Threshold以上になったとき“1”となります。（Receive Almost Full ThresholdはGMAC_RX MODEレジスタで設定します）	R

28.2.2.13　TX FIFO ステータスレジスタ（GMAC_TXFIFO）

GMAC_TXFIFO レジスタは送信 FIFO の状態を示すステータスレジスタです。

アドレス　ETHERC.GMAC_TXFIFO A00F 0204h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TFULL	TEMP	TSTATUS[2:0]			TRBFR[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読むと“0”が読めます。	R
b26-b24	TRBFR[2:0]		送信結果バッファに存在するフレーム数を示します。	R
b29-b27	TSTATUS [2:0]	TX FIFO Status ビット	TX FIFOの状態を示します。ビットの意味は以下のとおりです。 b2 b1 b0 １００：ACC NEW FR： TX FIFOが新しいフレームを受け付けることができる状態にあります。 １０１：WRITE ENABLE： TX FIFOがフレームのデータを継続して受付可能な状態にあります。 １１０：CMPLT： ひとつのフレームの取り込みが完了したことを示します。 １１１：FULL： TX FIFOがFIFOフル状態にあることを示します。 ０ｘｘ：STOP： TX FIFOが停止状態（初期化中を含む）にあることを示します。	R
b30	TEMP	TX FIFO Almost Empty ビット	TX FIFO内のデータがGMAC_TXMODE レジスタのTEMPTH[2:0] ビットで設定されたしきい値以下になったとき“1”となります。	R
b31	TFULL	TX FIFO Almost Full	TX FIFO内の空きデータワード数がGMAC_TXMODE レジスタのTFULLTH[1:0] ビットで設定されたしきい値以下になったとき“1”となります。	R

28.2.2.14　TCPIPACC レジスタ（GMAC_ACC）

GMAC_ACC レジスタは TCPIP アクセラレータの動作を制御するレジスタです。

アドレス　ETHERC.GMAC_ACC A00F 0208h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTCPIPACC	TTCPIPEN	RTCPIPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RTCPIPEN	RX TCPIPアクセラレータ許可ビット	1：RX TCPIP Enable RX TCPIPアクセラレータを有効にします。 0：RX TCPIP Disable RX TCPIPアクセラレータを無効にします。MACヘッダ部のPaddingは挿入されません。	R/W
b1	TTCPIPEN	TX TCPIPアクセラレータ許可ビット	1：TX TCPIP Enable TX TCPIPアクセラレータを有効にします。 0：TX TCPIP Disable TX TCPIPアクセラレータを無効にします。MACヘッダ部のPaddingも無効になります。	R/W
b2	RTCPIPACC	RX TCPIPチェックサム無効ビット	1：RX TCPIPACC Off RX TCPIPアクセラレータのChecksum支援をOffにします。MACヘッダ部のPaddingは挿入されます。 0：RX TCPIPアクセラレータのChecksum支援はOnのままです（初期値）	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

28.2.2.15　RX MAC ENABLE レジスタ（GMAC_RXMAC_ENA）

GMAC_RXMAC_ENA レジスタは受信用 MAC の動作を制御するレジスタです。

アドレス　ETHERC.GMAC_RXMAC_ENA A00F 0220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RMACEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RMACEN	RX MAC ENABLE ビット	1：受信を有効にします（初期値） 0：受信を無効にします	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

28.2.2.16　LPI モード制御レジスタ（GMAC_LPI_MODE）

GMAC_LPI_MODE レジスタは LPI（Low Power Idle）モードの制御をするレジスタです。LPMEN ビットが “1” のとき、GMAC_LPI_TIMING レジスタの LPRDEF ビットで設定した時間以上の送信要求がない場合に、自動的にリンクパートナーに対し LPI 要求が発行されます。LPI 中に送信要求が発生した場合は LPI を終了し、GMAC_LPI_TIMING レジスタの LPWTIME ビットで設定した時間が経過してからフレームが送信されます。

イーサネットスイッチを経由した場合は、本レジスタで LPI モードに設定することは禁止です。

アドレス　ETHERC.GMAC_LPI_MODE A00F 0224h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LPMEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31	LPMEN	Low Power Idle Mode ビット	1：LPIモードで動作します 0：LPIモードで動作しません	R/W

28.2.2.17　LPI CLIENT タイミング制御レジスタ（GMAC_LPI_TIMING）

GMAC_LPI_TIMING レジスタは LPI モードの信号タイミングを制御するレジスタです。
イーサネットスイッチを経由した場合は、本レジスタを使用しません。

アドレス　ETHERC.GMAC_LPI_TIMING A00F 0228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LPRDEF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LPWTIME[15:0]															
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	LPWTIME [15:0]	Low Power Idle Wake time ビット	リンクパートナーに対し、LPI を終了した場合、リンクに IDLE 信号を送出してからフレームをリンクに送出できるまでの時間を設定します。 Giga bit モードの時は 8 ナノ秒単位、100Mbps モードのときは 40 ナノ秒単位。	R/W
b31-b16	LPRDEF [15:0]	Low Power Idle Request Deferral ビット	リンクパートナーに LPI 要求を出す場合の要求を送出するまでの遅延時間を設定します。 Giga bit モードの時は 8 ナノ秒単位、100Mbps モードのときは 40 ナノ秒単位。	R/W

28.2.2.18　受信バッファ情報レジスタ（BUFID）

BUFID レジスタは、受信 Buffer 情報（受信データの有無、受信データが格納された Buffer のアドレス、データのワード数）を示すステータスレジスタです。受信 MACDMA の転送が完了すると、受信 Buffer 情報が書き込まれ、最大 64 個保持されます。受信 Buffer 情報にデータが保持されていると、Ether MACDMA 受信完了割り込み（ETHDMAIR）が発生します。この割り込みは、受信 Buffer 情報を読み出し、NOEMP ビットが “0” になるまでの間、アクティブ状態を保持します。

本レジスタは、リードされるたびに次の受信データの情報が新たに格納されます。次の受信データが空の場合は、“0” が読み出されます。

アドレス　ETHERC.BUFID A00F 1100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NOEMP	—	—	VALID	WORD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ADDR[15:0]	受信バッファアドレスデータビット	受信バッファのアドレス（26～11ビット）	R
b27-b16	WORD[11:0]	受信データワード数ビット	受信データ（受信MAC情報を含む）のワード数	R
b28	VALID	受信データ有効ビット	1: 受信データが有効 0: 受信データが無効	R
b30-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R
b31	NOEMP	受信バッファデータ格納ステータスビット	1: 受信バッファにデータあり 0: 受信バッファにデータなし	R

ADDR[15:0]

ADDR ビットでは、32 ビットアドレス空間を示すことができません。したがって、メモリマップされたバッファにアクセスするには、Buffer RAM の先頭アドレス 0800 0000h でオフセットを行います。

[受信バッファアドレスの算出方法]

1. ADDR ビットの値を取得
2. 値を 11 ビット左シフト
3. 0800 0000h のオフセットを加える

WORD[11:0]

WORD ビットで示されるワード数には、受信フレーム情報も含まれます。したがって、受信フレーム情報の先頭アドレスは、以下の手順で算出します。

[受信フレーム情報の先頭アドレス算出方法]

1. WORD ビットの値を取得
2. 値を 16 ビット右シフト
3. 受信バッファアドレスに、2. でシフト済みのワード数をオフセットとして加える。
4. 受信フレーム情報のサイズ分 （2 ワード）マイナスにオフセット

28.2.3　ハードウェアファンクションコールレジスタ

バッファの獲得と送受信の開始（ハードウェアファンクション）には、ハードウェアファンクションコールレジスタを使用します。引数レジスタ（R4 ～ R7）を設定後、コマンドレジスタ（SYSC）にコマンドを書き込む事で、ハードウェアファンクションが実行されます。ハードウェアファンクションコールレジスタの設定については「28.3.1　ハードウェアファンクション」を参照してください。

注．　ハードウェアファンクション関連レジスタは、ハードウェア OS アクセラレータの制御でも使用されます。

28.2.3.1　ハードウェアファンクションシステムコールレジスタ（SYSC）

SYSC レジスタにコマンドを書き込むことで、対応した機能が実行されます。

アドレス　ETHERC.SYSC A00E F000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSC[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	シンボル	ビット名	機能	R/W
b15-b0	SYSC[15:0]	システムコマンド指定ビット	使用するハードウェアファンクションを指定します。以下の機能が利用可能です。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SYSC[15:0]	機能
5000h	Long Bufferの獲得
5006h	Short Bufferの獲得
5001h	バッファの全解放
5002h	バッファの一部解放
5101h	受信MACDMA機能の有効化
5102h	受信MACDMA機能の無効化
510Bh	受信MACDMAの割り込み制御
510Dh	受信MACDMAのエラー要因取得
5100h	送信MACDMAの転送開始
510Ch	送信MACDMAのエラー要因取得
5211h	バッファ RAM - データ RAM間のDMA転送開始
5212h	バッファ RAMまたはデータ RAMのデータ置換開始
上記以外	設定禁止

28.2.3.2　ハードウェアファンクション引数レジスタ（Rn）（n = 4 ～ 7）

Rn レジスタは、ハードウェアファンクションに渡す引数を書き込むためのレジスタです。使用される引数レジスタは、ハードウェアファンクションにより異なります。詳細については「28.3　動作説明」を参照してください。

- R4

アドレス　ETHERC.R4 A00E F004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R4B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R4B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	シンボル	ビット名	機能	R/W
b31-b0	R4B[31:0]	R4引数指定ビット	ハードウェアファンクションに渡す引数を指定します。	R/W

- R5

アドレス　ETHERC.R5 A00E F008h

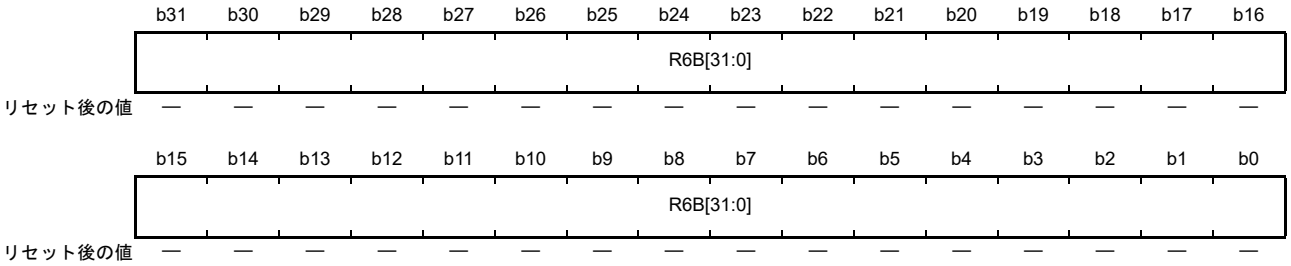
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R5B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R5B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	シンボル	ビット名	機能	R/W
b31-b0	R5B[31:0]	R5引数指定ビット	ハードウェアファンクションに渡す引数を指定します。	R/W

- R6

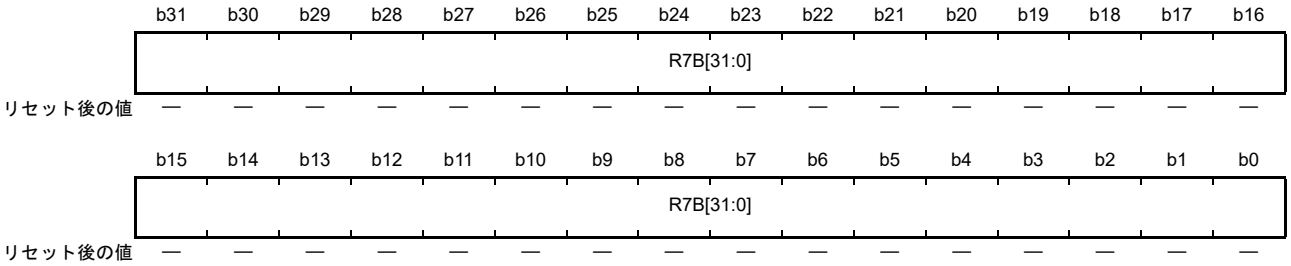
アドレス　ETHERC.R6 A00E F00Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	R6B[31:0]	R6引数指定ビット	ハードウェアファンクションに渡す引数を指定します。	R/W

- R7

アドレス　ETHERC.R7 A00E F010h

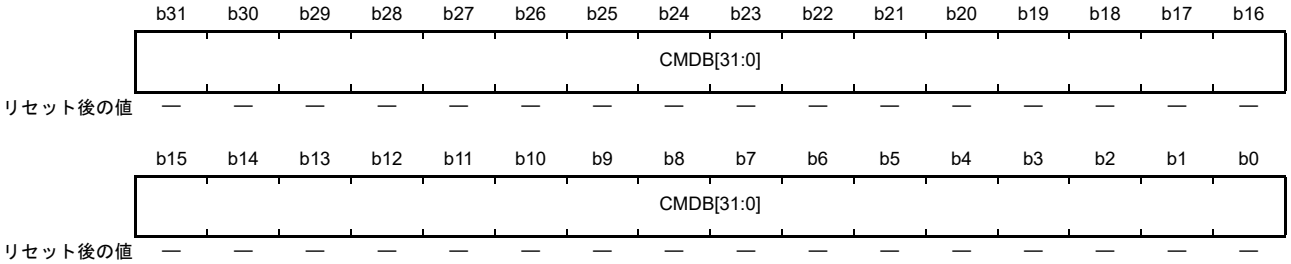


ビット	シンボル	ビット名	機能	R/W
b31-b0	R7B[31:0]	R7引数指定ビット	ハードウェアファンクションに渡す引数を指定します。	R/W

28.2.3.3　ハードウェアファンクションコマンドレジスタ（CMD）

ハードウェアファンクションのコマンドを設定します。

アドレス　A00E F014h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CMDB[31:0]	コマンド設定ビット	ハードウェアファンクションのコマンドを設定します。	R/W

28.2.3.4　ハードウェアファンクション戻り値レジスタ（R0, R1）

R0, R1 レジスタは、ハードウェアファンクションからの戻り値が格納されるレジスタです。R0、R1 レジスタはリードクリアレジスタです。戻り値はハードウェアファンクションに依存します。詳細については「28.3　動作説明」を参照してください。

- R0

アドレス　ETHERC.R0 A00E F020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R0B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R0B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	シンボル	ビット名	機能	R/W
b31-b0	R0B[31:0]	R0戻り値格納ビット	ハードウェアファンクションに渡す引数を指定します。 読むとリードクリアされて“0”が読めます。	R/W

- R1

アドレス　ETHERC.R1 A00E F024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R1B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R1B[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	シンボル	ビット名	機能	R/W
b31-b0	R1B[31:0]	R1戻り値格納ビット	ハードウェアファンクションに渡す引数を指定します。 読むとリードクリアされて“0”が読めます。	R/W

28.2.3.5　ハードウェアファンクションタイプレジスタ（C0TYPE）

ハードウェアファンクションタイプを設定します。

アドレス　A00E 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	C0TYPEB[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	C0TYPEB[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	シンボル	ビット名	機能	R/W
b31-b0	C0TYPEB[31:0]	HWファンクションタイプ設定ビット	ハードウェアファンクションのタイプを設定します。	R/W

28.2.3.6　ハードウェアファンクション状態レジスタ（C0STAT）

ハードウェアファンクションの状態を設定します。

アドレス　A00E 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	C0STATB[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	C0STATB[31:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	シンボル	ビット名	機能	R/W
b31-b0	C0STATB[31:0]	HWファンクション状態設定ビット	ハードウェアファンクションの状態を設定します。	R/W

28.3　動作説明

28.3.1　ハードウェアファンクション

Hardware Function（HWF）は DMA や、Ethernet 通信アクセラレータなど、CPU の負荷を減らすための機能を定義したものです。

Hardware Function は、機能毎に分割されたハードウェアモジュールの組み合わせで構成されており、各ハードウェアモジュールに機能が定義されます。

ハードウェアファンクションとして定義される機能は、以下の 3 つです。

- Buffer Allocator
- MAC DMA Controller
- Buffer RAM DMA Controller

ハードウェアファンクションの概略ブロック図を図 28.3 に示します。図中の実線はデータの流れ、破線はハードウェアファンクションのコマンドインタフェースを示します。

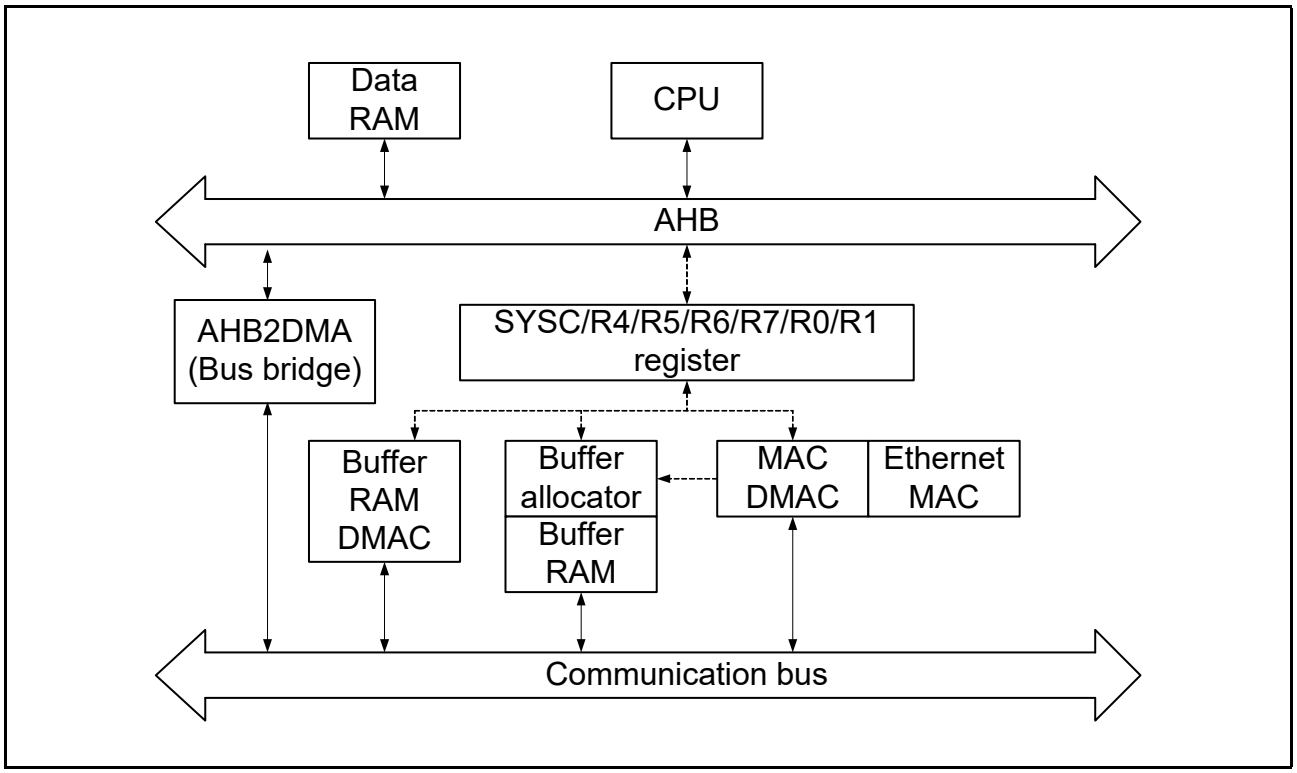


図 28.3　ハードウェアファンクションの概略ブロック図

注 .　R-IN Engine 搭載製品では、ハードウェアリアルタイム OS がディスパッチ禁止状態でハードウェアファンクションコールを実行すると、そのハードウェアファンクションコールは正常に実行されません。このため、ハードウェアファンクションコールは、ハードウェアリアルタイム OS がディスパッチ許可されている状態で実行してください。なお、Cortex-R4 でイーサネット MAC を制御した場合、ハードウェアリアルタイム OS の動作とは同期しないため、ディスパッチ許可／禁止の状態を適切に制御できません。したがって、Cortex-R4 でイーサネット MAC を制御する場合、ハードウェアリアルタイム OS は使用しないでください。

28.3.1.1　初期設定

最初にモジュールストップコントロールレジスタB（MSTPCRB）のMSTPCRB18でモジュールストップ状態の解除を行い、イーサネットMACリセットレジスタ（EMACRST）でイーサネットMACモジュール全体のリセットを解除します。また、イーサネット周辺リセットレジスタ（ETHSFTRST）で各リセット状態を解除してください（EMACRSTとETHSFTRSTの設定順序の規定はありません）。

次に、下記に記載したコマンドを実行し、ハードウェア・ファンクションのセットアップを行います。

ハードウエアセットアップ手順
<1> C0TYPEレジスタに0000 0003hを設定
<2> C0STATレジスタに0000 0003hを設定
<3> CMDレジスタに0000 8004hを設定
　ハードウェアファンクション戻り値レジスタR0のbit31がセットされたことを確認してください。また、ハードウェアファンクション戻り値レジスタR1をクリアするため、R1レジスタをダミーリードしてください。
<4> R0レジスタから、8000 0000hが読み出されるまで待つ
<5> GMAC_RESETレジスタに8000 0000hを設定して、イーサネットMACを初期化

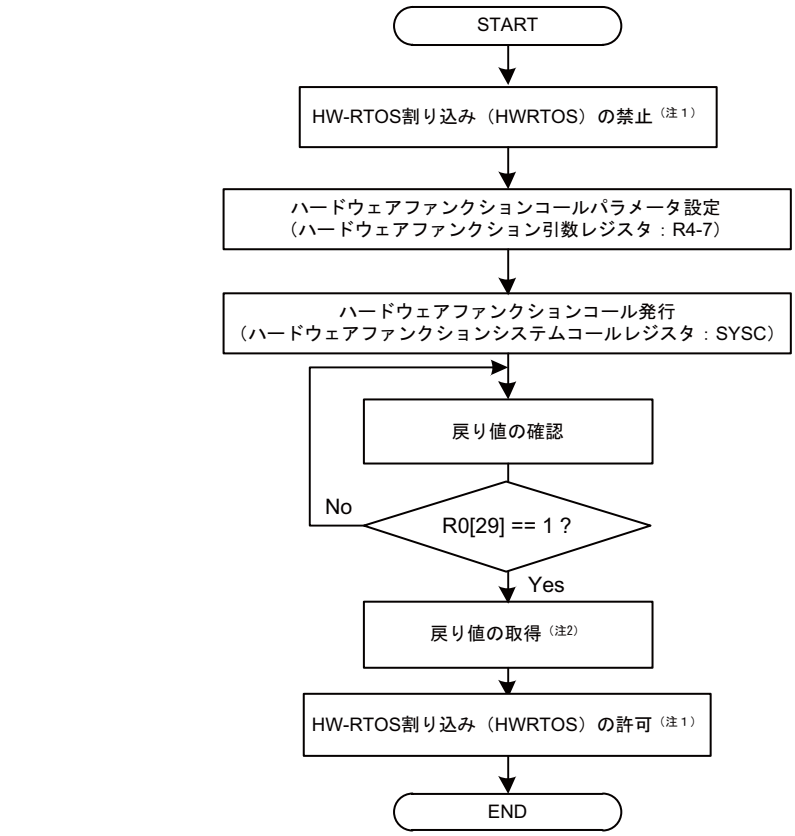
注．　ハードウェアOSアクセラレータ機能を使用する場合には、OSアクセラレータ機能のセットアップで制御しますので、本設定は不要です。（R-IN Engine搭載製品のみ）

セットアップ完了後、下記の各レジスタの初期設定を行います。

- MACアドレスレジスタ（→ 28.2.2.11）
- TX MODEレジスタ（→ 28.2.2.6）
- RX MODEレジスタ（→ 28.2.2.5）

28.3.1.2　ハードウェアファンクションコール発行処理フロー

ハードウェアファンクションを使用する際には、以下のフローチャートにしたがってハードウェアファンクションコールの発行を行ってください。



注1.　ハードウェアリアルタイムOSを使用している場合のみ必要な処理です。
注2.　ハードウェアファンクションはR0、R1レジスタをリードすることで結果レジスタの読み出しを認識します。戻り値としてR1を使用しないシステムコールでも必ずR1レジスタのリードも行ってください。

図 28.4　ハードウェアファンクションコール発行処理フロー

28.3.1.3　Buffer Allocator

(1)　機能概要

Buffer Allocator は、Buffer RAM の管理を行うモジュールです。

Buffer RAM は、Ethernet 通信のスループットを向上するための通信用バッファです。Buffer RAM のサイズは 128KB ですが、Buffer Allocator により動的にメモリ空間の確保／解放を行うため、論理空間としては 128MB の領域を使用しています。

Buffer RAM を使用するには、Buffer Allocator が提供する HW Function Call を行い、必要な領域（以下 Buffer）をあらかじめ確保しなければなりません。確保していない領域に書き込みを行った場合、CPU と MAC DMA コントローラからのアクセスは割り込みを発生します。Buffer RAM DMA コントローラからのアクセスの場合は、HW Function Call の種類により、割り込みを発生するタイプと、戻り値レジスタ R0 に Exception を返すタイプがあります。

また、使用後は、確保しておいた Buffer を再利用するために、Buffer を解放する必要があります。

機能概要は、以下のとおりです。

- 最大 2048 バイトの Long Buffer と、最大 512 バイトの Short Buffer を利用可能
- バッファを確保する際、バイト単位でサイズの指定が可能
- バッファを解放する際、全領域またはバイト単位でサイズの指定が可能（バッファの後方から解放）

Buffer を構成するセグメントは 128 バイト です。Buffer Allocator はこの 128 バイトのセグメントごとに管理を行い、HW Function Call にしたがってこのセグメントを接続し、Buffer として提供します。接続されたセグメントは、連続したアドレスに見えます。

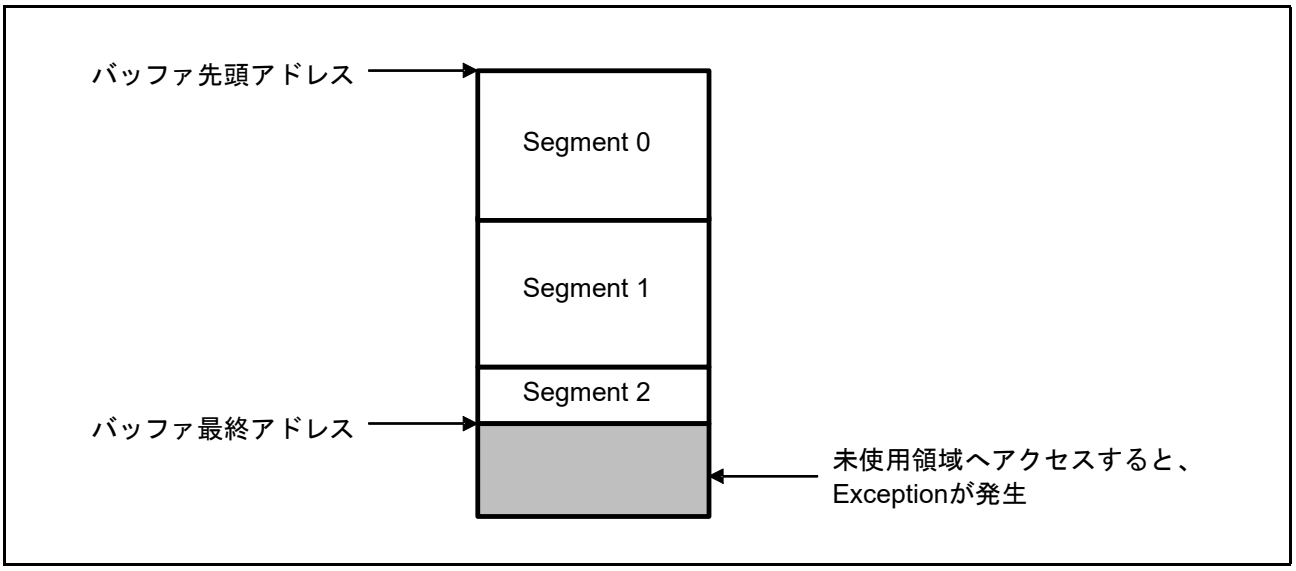


図 28.5　バッファの管理方法

(2)　Buffer 管理オペレーション

この節では、ShortBuffer、LongBuffer の総称をバッファと呼びます。ShortBuffer は最大で 4 個までのセグメント、LongBuffer は最大で 16 個までのセグメントで構成されています。

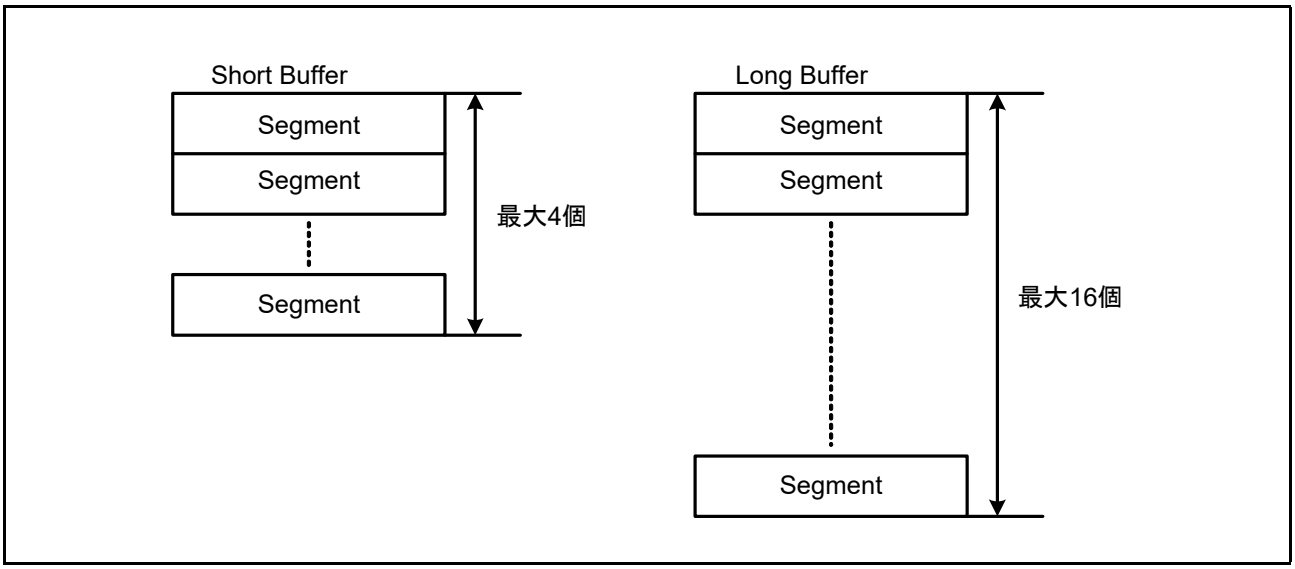


図 28.6　　バッファの構造

(a)　バッファの獲得（HWFNC_ShortBuffer_Get, HWFNC_LongBuffer_Get）

HWFNC_ShortBuffer_Get または HWFNC_LongBuffer_Get ハードウェアファンクションコールを行うことにより、バッファを獲得することができます。バッファのサイズは、ハードウェアファンクションコール時にバイト単位で指定します。バイト数は、セグメント境界（128 バイト）である必要はありません。戻り値はバッファの先頭アドレスになります。

ShortBuffer と LongBuffer の獲得可能な最大個数は**表 28.7** のとおりです。最大個数に満たない場合でも、両者の合計がバッファ RAM の最大サイズ 128KB を超える場合には、バッファの獲得に失敗します。

表 28.7　　バッファの獲得可能数

バッファタイプ	獲得可能な最大個数	備考
Short Buffer	128	最大512セグメント（= 64KB）
Long Buffer	64	最大1024セグメント（= 128KB）

バッファのアドレス構造を以下に示します。バッファを獲得すると、LongBuffer は 0C00 0000h ～ 0FFF FFFFh、ShortBuffer は 0800 0000h ～ 0BFF FFFFh のアドレスを返します。

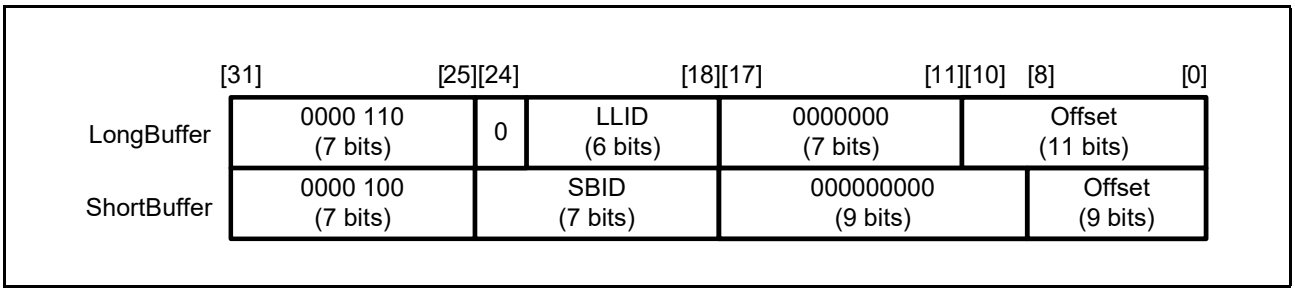


図 28.7　　バッファのアドレス構造

Short Buffer を獲得した場合、ビット [24:18] は SBID（Short Buffer ID）が与えられ、バッファの識別子として使用されます。Offset 部 = 0 をバッファの先頭アドレスとして、バッファ領域が割り当てられます。

LongBuffer を獲得した場合、ビット [23:18] に LLID（Linked LongBuffer ID）が与えられ、バッファの識別子として使用されます。Offset 部 = 0 をバッファの先頭アドレスとして、バッファ領域が割り当てられます。

(b)　バッファの全解放（HWFNC_Buffer_Release）

HWFNC_Buffer_Release ハードウェアファンクションコールを行うことにより、獲得したバッファ全体を解放することができます。ハードウェアファンクションコール時、獲得したバッファの先頭アドレスを指定します。

(c)　バッファの一部解放（HWFNC_Buffer_Return）

HWFNC_Buffer_Return ハードウェアファンクションコールを行うことにより、獲得しているバッファの後半の任意バイトを解放することができます。これは例えば、フレームを受信したとき受信フレームのデータ終了部以降を解放することにより、他のリソースがその部分を利用するなど、バッファを有効に利用するために使用します。このシステムコールを行うとき、バッファの先頭アドレスと、解放する空間の先頭アドレスを引数として与える必要があります。

(d)　バッファのメモリテスト、初期化

Buffer RAM は、リセット時全く割当が行われていませんので、書き込みも読み出しもできません。このため、メモリテストを行いたい場合には、HWFUNC LongBuffer_Get システムコール等を行い、Buffer RAM の全容量分を確保し、メモリに対しアクセスできる状態を作り出します。この後、メモリチェックまたはメモリ内容の初期化を行うことによって実現します。

(e)　Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。

Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。

表28.8　HWFNC_LongBuffer_Get

名称	HWFNC_LongBuffer_Get	
機能	フレームの送受信に使用するLong Bufferを獲得します。バッファは1バイトから2048バイトの間で自由な大きさをバイト単位で獲得することができます。このバッファは主にフレームのデータ部に使用します。獲得したバッファの先頭アドレスが、R1に戻り値として返されます。	
コマンドレジスタ		
SYSC[15:0]	5000h	
引数レジスタ		
R4	[15:0] Buffer Length	必要とするバッファ長。単位バイト。1～2048。
	[23:16]	予約ビットです。常に0を指定してください。
	[31:24]	※本FunctionCallでは使用しません。設定値は無視されます。
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[1:0] Result	0xbかつR0[29] = 1のとき: 成功 10b: Invalid System Call 11b: バッファ不足
	[28:2]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0] Buffer 先頭論理アドレス	[31:27] 00001b [26:24] 100b [23:18] LLID [17: 0] 0

注.　R-IN Engine搭載製品では、ハードウェアリアルタイムOSがディスパッチ禁止状態で本コマンドを発行すると、そのハードウェアファンクションコールは正常に実行されません。このとき、戻り値レジスタR0のビット15:0は、R0[15:0] = FFE7hになります。

表28.9　HWFNC_ShortBuffer_Get

名称	HWFNC_ShortBuffer_Get	
機能	フレームの送受信に使用するShort Bufferを獲得します。バッファは1バイトから512バイトの間で自由な大きさをバイト単位で獲得することができます。このバッファは主にフレームのヘッダ部、ICMP、MAC Management フレームのデータ部等に使用します。獲得したバッファの先頭アドレスが、R1に戻り値として返されます。	
コマンドレジスタ		
SYSC[15:0]	5006h	
引数レジスタ		
R4	[15:0] Buffer Length	必要とするバッファ長。単位バイト。1～512。
	[31:16]	※本FunctionCallでは使用しません。設定値は無視されます。
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[1:0] Result	0xb: 成功 10b: Invalid System Call 11b: バッファ不足
	[28:2]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0] Buffer 先頭論理アドレス	[31:27] 00001b [26:25] 00b [24:18] SBID [17: 0] 0

表28.10　HWFNC_Buffer_Release

名称	HWFNC_Buffer_Releaase	
機能	獲得しているLongBufferまたはShortBufferを解放します。	
コマンドレジスタ		
SYSC[15:0]	5001h	
引数レジスタ		
R4	[31:0] Buffer先頭論理アドレス	解放するバッファの先頭論理アドレス（HWFNC_LongBuffer_Getまたは HWFNC_ShortBuffer_Getを実行したときの戻り値R1）
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[1:0] Result	0xb: 成功 10b: Invalid System Call 11b: 対象アドレスはバッファ未定義
	[28:2]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0]	予約ビットです。常に0となります。

表28.11　HWFNC_Buffer_Return

名称	HWFNC_Buffer_Return	
機能	獲得しているShortBufferまたはLongBufferの後半の一部を開放します。解放したいアドレスを指定すると、そのアドレス以降のバッファが解放されます。アドレスはバイト境界で設定できます。このHWFはフレーム受信時においてフレームが短かったとき、バッファ資源を有効に使うなどに活用します。	
コマンドレジスタ		
SYSC[15:0]	5002h	
引数レジスタ		
R4	[31:0] Buffer先頭論理アドレス	解放するバッファの先頭論理アドレス（HWFNC_LongBuffer_Getまたは HWFNC_ShortBuffer_Getを実行したときの戻り値R1）
R5	[31:0] 解放先頭論理アドレス	解放要求先頭アドレス（このアドレス以降のバッファを解放）
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[2:0] Result	00xb: 成功 010b: Invalid System Call 011b: R4で指定したアドレスはバッファ未定義 100b: R5で指定したアドレスはすでにバッファ解放済み
	[28:3]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0]	予約ビットです。常に0となります。

28.3.1.4　MAC DMA コントローラ

(1)　機能概要

MAC DMA コントローラは、Buffer RAM と Ethernet MAC 間のデータ転送を行うモジュールです。送信時には、Buffer RAM に格納された通信データを Ethernet MAC へ DMA 転送し、受信時は、Ethernet MAC の受信データを Buffer RAM へ DMA 転送することで、通信のスループットを向上させることができます。

図 28.8 に、MACDMA 周辺ブロックと各種割り込み信号を示します。

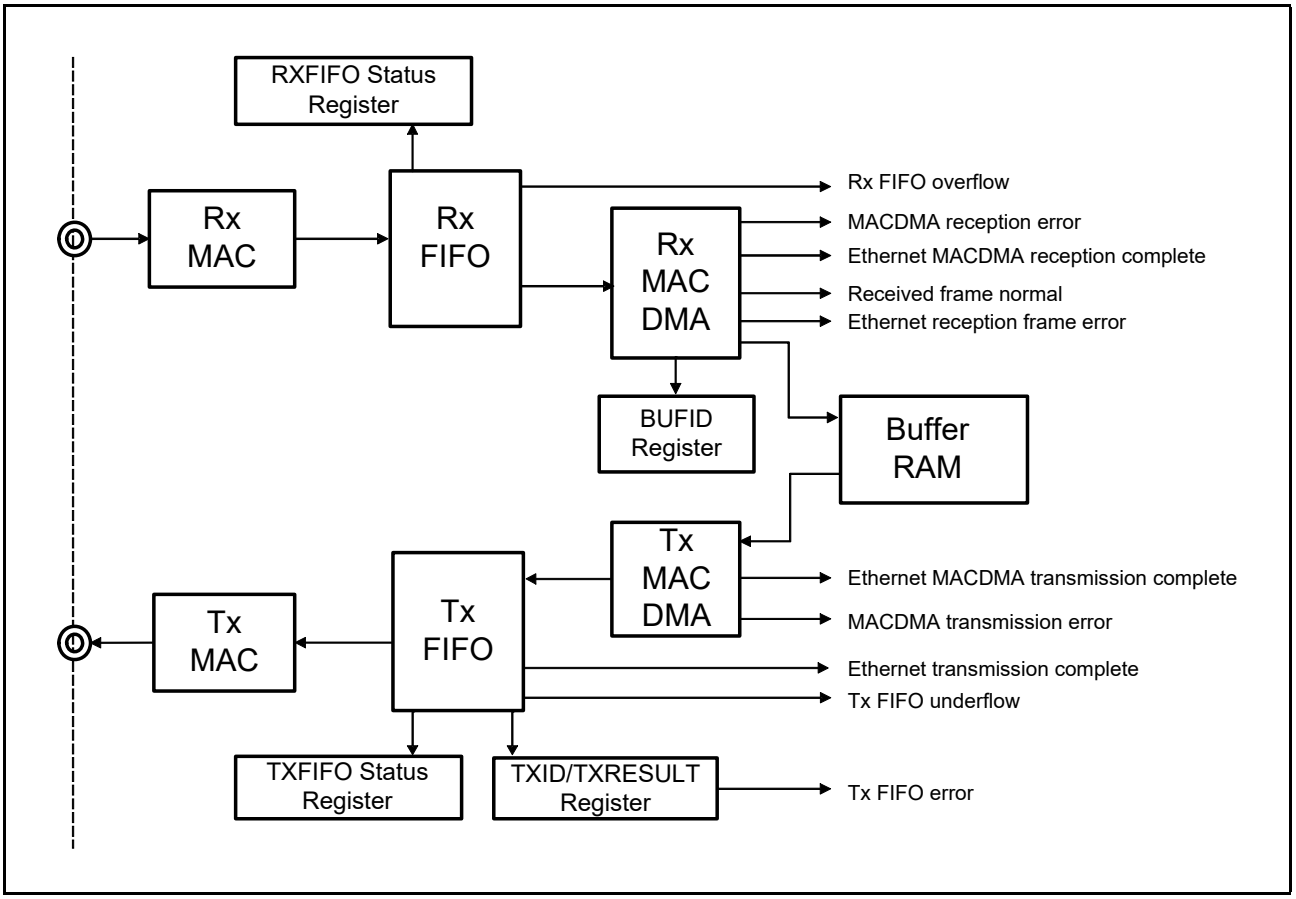


図 28.8　MACDMA 周辺ブロックと割り込み信号

(2)　受信 MAC DMA 機能

図 28.9 に受信 MACDMA の処理概要を示します。受信 MACDMA を動作可能状態にするためには、ハードウェアファンクションコール（HWFNC_MACDMA_RX_Enable）を発行し、受信 MAC DMA をイネーブルにする必要があります。活性化状態は、HWFNC_MACDMA_RX_Disable を発行するまで維持されます。

活性化状態にある受信 MACDMA は、常に MAC の受信 FIFO の状態を監視しています。FIFO に受信フレームが存在するとき、受信 MACDMA は Buffer Allocator に対し 2048 バイトの Long Buffer の獲得要求を行います。LongBuffer が獲得できると、受信 MACDMA は MAC 受信 FIFO からデータを読み出し、獲得した Long Buffer の先頭から順次データを書き込みます。

1 フレームすべてを転送し終わると、受信 MACDMA は受信情報として、受信ワード数（1 ワード 32 ビット）および先頭論理アドレスを BUFID に書き込みます。書き込まれる情報を、**「28.2.2.18　受信バッファ情報レジスタ（BUFID）」**に示します。BUFID は、CPU から読み出すことができ、最大 64 個の情報を蓄えることができます。

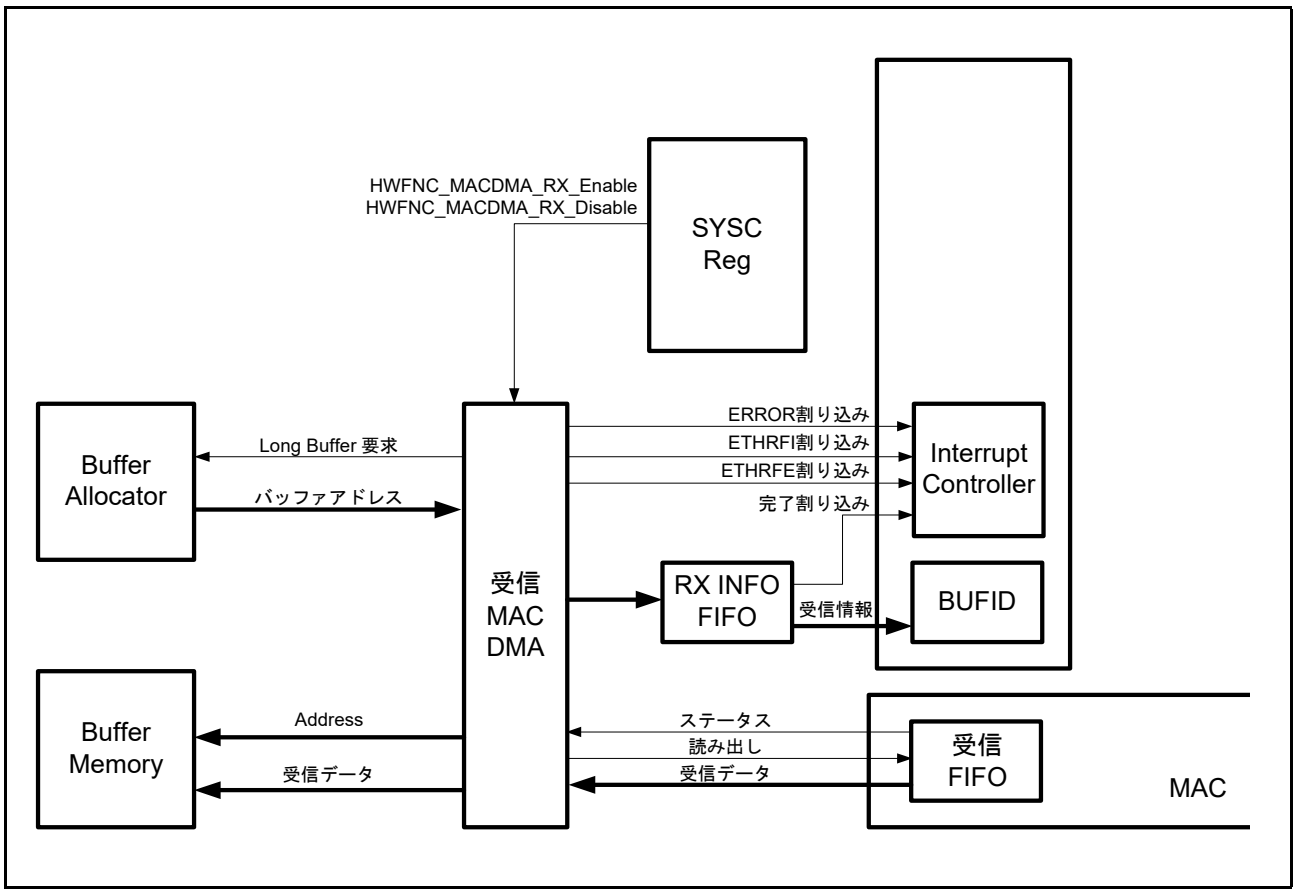


図 28.9　　受信 MACDMA 処理概要

(a)　搭載されている各機能の説明

1-1) バッファの一部解放機能

受信 MACDMA は、受信フレームを正常に転送できた場合、最後に獲得したバッファのうち、受信データが入っていない未使用領域の解放（Buffer Return Function Call）を自動的に行います。ただし未使用領域が 128 バイト（1 セグメント）以下の場合は Buffer Return を行いません。Buffer Return は確保したバッファ領域の一部を解放する Function Call で、確保したバッファをすべて解放する Buffer Release Function Call とは異なります。

1-2) バッファの全解放機能

以下の条件が成り立つ場合、受信 MACDMA は獲得した Buffer の解放（Buffer Release Function Call）を自動的に行います。

① バッファ獲得要求の Function Call を行って失敗（バッファに未使用領域がない）の場合

② 受信フレーム情報の解析の結果、受信したフレームが HWFNC_MACDMA_RX_Control で無効化されていた場合

③ 以下の条件で、HWFNC_MACDMA_RX_Disable を実行した場合

- 受信ワード数が 4092 ワード以下

上記①②の場合、受信フレームはすべて廃棄され、バッファの解放が行われます。③の場合は受信フレームの廃棄処理は行われず（MAC Rx FIFO にデータが残存したまま）バッファの解放のみ行い、直ちに Disable 状態になります。また、①②③いずれの場合も BUFID には受信結果を書き込みません。

1-3) ERROR 割り込み発生機能

受信 MACDMA がある要因により受信動作が継続できなくなった、あるいは正常に受信できなかったことを検知した場合、ERROR 割り込みを発行します。直前に起こった ERROR 割り込みの発生要因は、ハードウェアファンクションコール HWFNC_MACDMA_RX_Errstat を行うことにより知ることができます。

詳細は、「(c)　Hardware Function Call 一覧」を参照してください。

1-4) 受信完了割り込み発生機能

BUFID に 1 フレーム分以上の受信情報が存在するとき、受信完了割り込みがアクティブになります。

受信完了割り込みは、BUFID が empty でない、すなわち 1 フレーム以上の受信情報がある限りアクティブ（状態保持）です。

BUFID を Read し、BUFID が empty になると受信完了割り込みはクリアされます。

1-5) 受信フレームの良否判定機能

受信フレームの良否を判定し、受信フレーム正常割り込み（ETHRFI）、Ether 受信フレームエラー（ETHRFE）を発行します。それぞれ複数の発生要因を持ち、初期状態ではすべての要因で割り込みの発生が許可されています。HWFNC_MACDMA_RX_Control を実行することで、特定の要因を無効化することができます。無効化された要因に該当するフレームは、バッファの全解放機能により破棄されます。

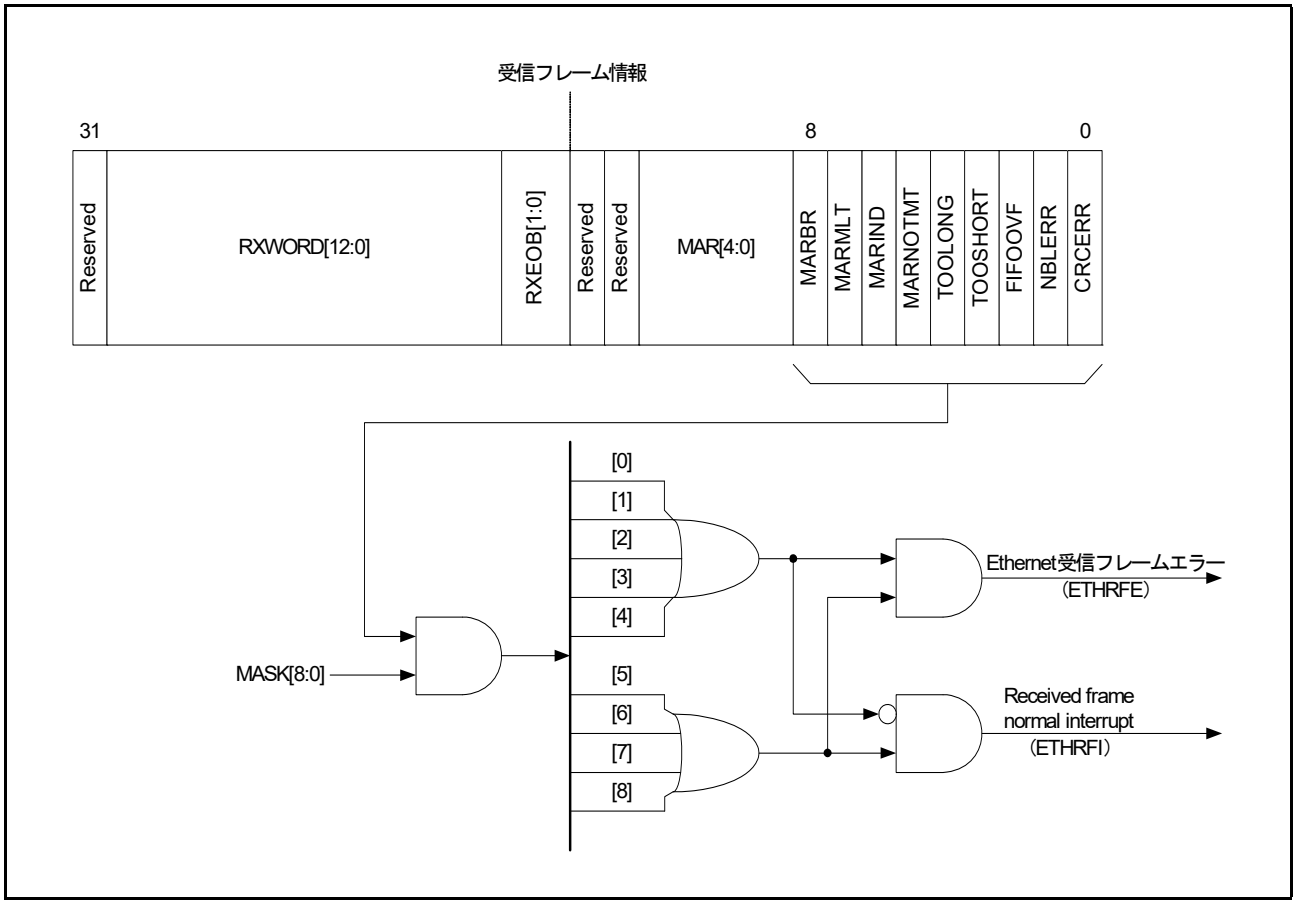


図 28.10　受信フレーム良否判定機能の概念図

(b)　使用方法

2-1) バッファ読み出しと解放手順

受信データが入ったバッファは使用後、必ず解放する必要があります。以下はその手順の一例です。

[バッファ読み出しと解放手順の例]

① BUFID レジスタを Read します。

② Read された BUFID の [27:16] を、16 ビット右シフトすると受信ワード数になります。

③ Read された BUFID の [15:0] は、獲得したバッファ先頭アドレスの [26:11] です。
獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。
[31:27] : 00001b
[26:18] ：BUFID の [15:7] に相当
[17:11] : BUFID の [6:0] に相当
[10: 0] : 常に 0

④ バッファ使用後は、先頭アドレスを引数にして BufferRelease ファンクションコールを発行し、バッファを解放します。

2-2) ERROR 割り込み発生時の処理手順

ERROR 割り込み発生時の処理手順推奨例です。以下、HWFNC_MACDMA_RX_ERRSTAT ファンクションコールで得られる結果（R0[7:0]）を、ERROR Status Read 結果の [7:0] と呼びます。

① ERROR Status Read 結果の [3] = 1（MACDMA Rx 強制終了のファンクションコールを行った)

a) ERROR Status Read 結果の [0] = 1 なら③へ

b) ERROR Status Read 結果の [2:0] = 4 または [2:0] = 0 の場合、割り込み要因は受信中に強制中断されたことによるもので、とくに問題はありません。受信したフレームはすべて破棄され BUFID に情報は書き込まれませんので、特に何もせず通常の処理に戻ります。受信 MAC FIFO には受信中のフレームデータが残っている可能性がありますが、その場合は次回の受信開始前にハードウェアが自動的に読み捨て動作を行います。

② ERROR Status Read 結果の [2] = 1（フレームサイズが 4096 ワード以上)

a) ERROR Status Read 結果の [0] = 1 なら③へ

b) 受信したデータはすべて格納されています。先頭アドレスは BUFID を Read すると得られます。

c) 不要になったバッファは「2-1) バッファ読み出しと解放手順」の【例 2】の方法で Release します。

d) 通常の処理に戻ります。

③ ERROR Status Read 結果の [0] = 1（バッファ残量不足）

a) ERROR Status Read 結果の [2] = 1（受信フレームサイズが 4096 ワード以上）が同時に成立している場合、一時的にバッファが不足したと考えられ、とくに何もする必要はありません。

b) バッファ残量不足が考えられる場合、バッファを解放し空きを作成します。

c) 通常の処理に戻ります。この間、受信フレームを喪失している可能性がありますので注意してください。

(c)　Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。

Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。

Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。

表28.12　HWFNC_MACDMA_RX_Enable

名称	HWFNC_MACDMA_RX_Enable	
機能	受信MAC DMA 機能、すなわちMAC からBuffer Memory にデータを転送する機能をイネーブルにします。受信DMA をイネーブルにすると、転送はMAC 内のFIFO に受信フレームがたまることで自動的に開始されます。また、このときDMA がGet Buffer を実行するため、自動的にバッファを獲得します。	
コマンドレジスタ		
SYSC[15:0]	5101h	
引数レジスタ		
R4	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[0] Result	0: 成功 1: Invalid System Call (注1)
	[28:1]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0]	予約ビットです。常に0となります。

注1.　Disable でない（すでにこのFunction Call を実行している）状態でこのH/W Function をCall したとき、または受信中断後のBuffer Return/Release 動作中にこのH/W Function Call をしたときはInvalidSystem Call となります。

注.　一度に転送できるバイト数は4 ～ 2048バイト です。この範囲を超えるとException が発生します。

表28.13　HWFNC_MACDMA_RX_Disable

名称	HWFNC_MACDMA_RX_Disable
機能	受信MAC DMA 機能をディスエーブルにします。 強制リセットを有効にした場合、受信中のデータは破棄され、BUFIDへの受信情報の格納も行われません。この時、自動でBuffer Releaseが行われます。 強制リセットが無効の場合は、自動でBuffer Releaseは行われません。

コマンドレジスタ

SYSC[15:0]	5102h	

引数レジスタ

R4	[0] 強制リセット	0: 受信中の場合はDisable にしない 1: 受信DMA がEnable である場合、受信中かどうかにかかわらずDisable にする（受信DMAの強制リセット）。すでに受信DMA がDisable になっている場合は何もしない
	[31:1]	※本FunctionCallでは使用しません。設定値は無視されます。
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。

戻り値レジスタ

R0	[1:0] Result	R4[0] = 0の時	00b: 成功 01b: Invalid System Call（使用中または受信中断中） 10b: 受信中につきDisable できなかった 11b: すでにDisable になっている
		R4[0] = 1の時	00b: 成功 01b: Invalid System Call（使用中または受信中断中）
	[28:2]		予約ビットです。常に0となります。
	[29] Complete		0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]		予約ビットです。常に0となります。
R1	[31:0]		予約ビットです。常に0となります。

表28.14　HWFNC_MACDMA_RX_Control

名称	HWFNC_MACDMA_RX_Control	
機能	受信MAC DMAの受信フレーム情報の[8:0]ビットに対応する割り込み要因の許可／禁止を制御します。	
コマンドレジスタ		
SYSC[15:0]	510Bh	
引数レジスタ		
R4	[8:0] 割り込み要因	各ビットに対して許可／禁止を制御します。(注1) 0: 割り込み禁止 1: 割り込み許可（初期値）
	[31:9]	※本FunctionCallでは使用しません。設定値は無視されます。
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[0] Result	0: 成功 1: Invalid System Call
	[28:1]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0]	予約ビットです。常に0となります。

注1.　各割り込み要因の詳細については「図28.10　受信フレーム良否判定機能の概念図」を参照してください。

表28.15　HWFNC_MACDMA_RX_Errstat

名称	HWFNC_MACDMA_RX_Errstat	
機能	受信MACDMAのERROR 割り込み発生要因を取得します。	
コマンドレジスタ		
SYSC[15:0]	510Dh	
引数レジスタ		
R4	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[3:0] Result	[0]: Buffer Get失敗 [1]: 常に0 [2]: 受信データが4096ワード（16KB）を超えている [3]: 強制リセット有効でHWFNC_MACDMA_Rx_Disableを発行
	[28:4]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0]	予約ビットです。常に0となります。

(3)　送信 MAC DMA 機能

(a)　使用方法

送信 MACDMA にはディスクリプタ を使用します。ディスクリプタ は Buffer Memory 中に置きます。すなわちソフトウェアは、前もってハードウェアファンクションコールを使用してディスクリプタ 用の Buffer を獲得する必要があります。このバッファは Long Buffer でも Short Buffer でもかまいません。また、一つのバッファに複数のディスクリプタ が存在してもかまいません。

送信ディスクリプタ の詳細を**「図 28.11　送信ディスクリプタ」**に示します。なおディスクリプタ の先頭アドレスは 64 ビット境界でなければなりません。64 ビット境界でない場合、Invalid System Call となり、戻り値レジスタ R0 にエラー値が格納されます。

ディスクリプタ はアドレスと転送バイト数が 32 ビットずつ連続して書き込まれます。アドレスが FFFF FFFFh であったとき、ディスクリプタ の最後であることを示します。ディスクリプタ のアドレスフィールドは送信すべきデータの先頭アドレスを示し、バイト数はそのアドレスから何バイト転送するかを示しています。DMA はディスクリプタ の先頭にあるアドレスとその次のバイト数を読み込み、指定されたデータを送信 MAC FIFO に書き込みます。これが終わるとディスクリプタ の次に書かれたアドレスとその次のバイト数を読み込み、指定されたデータを送信 MAC FIFO に書き込みます。これがディスクリプタ の最後まで（FFFF FFFFh が読み出されるまで）繰り返されます。

ディスクリプタ 中のアドレス、すなわち転送元開始アドレスはバイト単位で指定できます。また各転送において転送量はバイト単位で指定できます。送信 FIFO に書き込むときにワード境界でない場合、DMA が自動的に詰めながら転送を行います。

送信 MACDMA は、ハードウェアファンクションコール HWFNC_MACDMA_TX_Start を発行することにより開始します。このファンクションコールの発行時、引数レジスタ R4 に送信ディスクリプタ の先頭アドレスを指定する必要があります。

なお、アドレスフィールドが FFFF FFFFh ではなく、かつディスクリプタ のバイト数フィールドに 0 を指定した場合には、アドレスフィールドは無視され、転送は行われません。次のディスクリプタ を読み出します。

アドレスフィールドが不正（バッファ確保領域外など）のとき、あるいは転送バイト数が不正（アクセスすることでバッファ確保領域を超えるなど）の場合には、MACDMA 送信エラー割り込みが発生します。

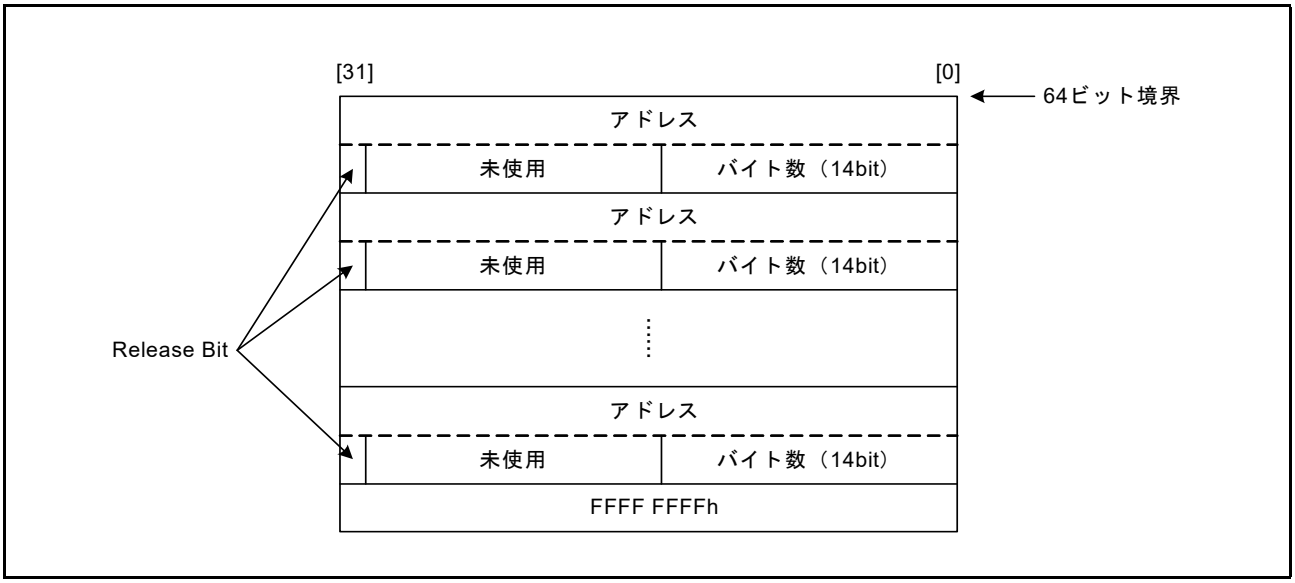


図 28.11　送信ディスクリプタ

(b)　Buffer の自動解放機能について

送信ディスクリプタの Release Bit が 0 の場合、バッファの解放は行いません。Release Bit が 1 の場合、そのディスクリプタで示されるアドレスを先頭とするバッファ領域は、送信完了後に送信 MACDMA によりバッファが自動で解放（Buffer Release Function Call）されます。

(c)　動作事例

図 28.12 は、送信 MACDMA を使用して複数のバッファを結合して送信する動作例です。

Buffer 1、Buffer 2、の 2 つの独立した Buffer は、送信ディスクリプタを連続アドレスに配置することで、送信 MAC DMA で結合して送信されます。「未使用」と書いてある部分はバッファが Segment の途中で終わっている（すなわち 128 バイト 境界で終わっていない）ことを意味します。転送時、各バッファにおける先頭アドレスは必ずしもバッファの先頭アドレスである必要はありません。

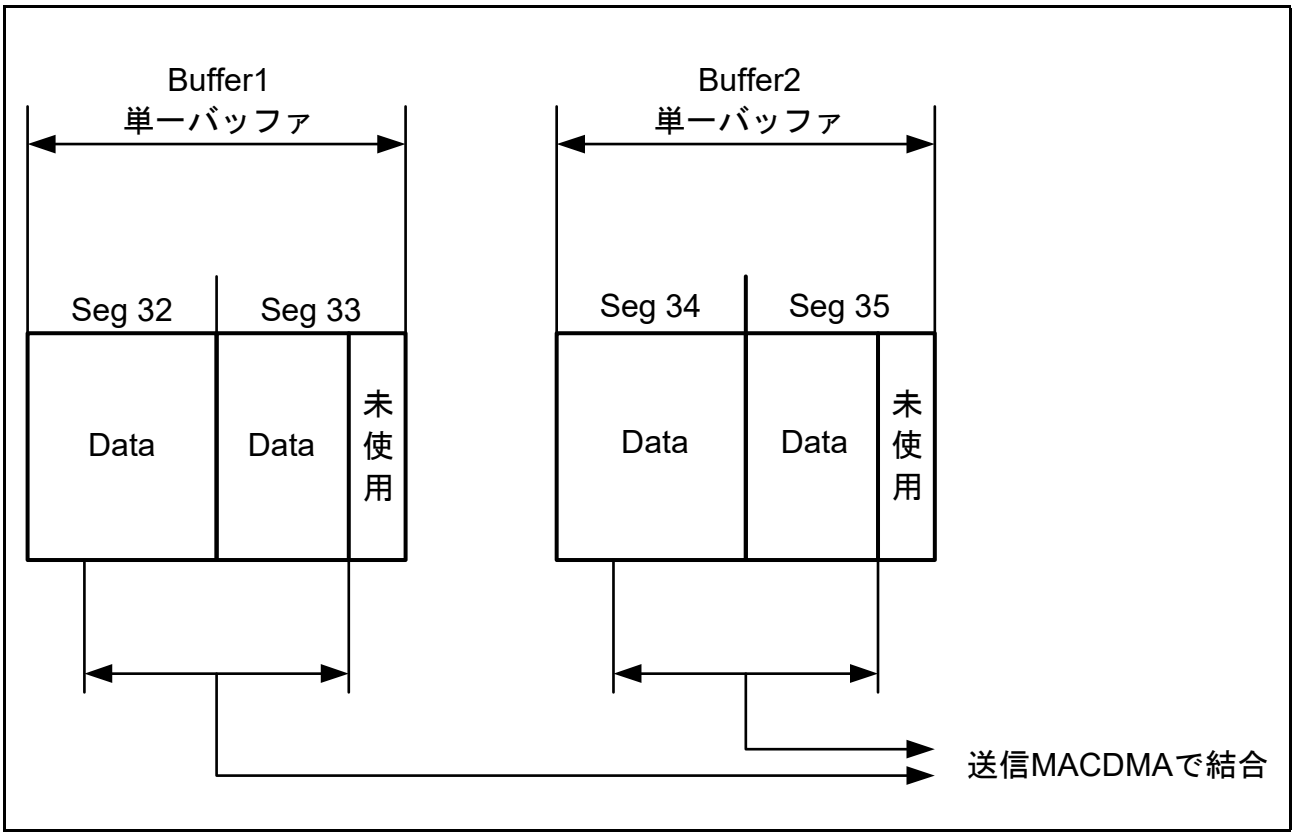


図 28.12　複数バッファを結合して 1 つのフレームとして送信する例

(d)　Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。
Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。
Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。

表28.16　HWFNC_MACDMA_TX_Start

名称	HWFNC_MACDMA_TX_Start	
機能	Buffer Memory からEthernet MACにデータを転送します。送信ディスクリプタ の先頭アドレスをR4 に設定します。転送が終了すると割り込みが発生します。 一度に転送できるバイト数は、1~2048バイトです。	
コマンドレジスタ		
SYSC[15:0]	5100h	
引数レジスタ		
R4	[31:0] ディスクリプタ Address	送信ディスクリプタのアドレス
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[6:0]	予約ビットです。常に0となります。
	[31:7]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[0] Result	0: 成功 1: Invalid System Call
	[28:1]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0]	予約ビットです。常に0となります。

表28.17　HWFNC_MACDMA_TX_Errstat

名称	HWFNC_MACDMA_TX_Errstat	
機能	送信MACDMAのERROR 割り込み発生要因を取得します。	
コマンドレジスタ		
SYSC[15:0]	510Ch	
引数レジスタ		
R4	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R5	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R6	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[1:0] Result	[0]: 0：成功 1：Memory Access Violation ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが64ビット境界でない [1]: 0：成功 1：Memory Access Timeout ・送信用ディスクリプタの最初のアドレスが終了値（FFFF FFFFh） ・Bufferの自動開放機能によるBufferのリリースが失敗
	[28:2]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0]	予約ビットです。常に0となります。

28.3.1.5　バッファ RAM DMA コントローラ

(1)　機能概要

バッファ RAM DMA コントローラは、バッファ RAM とデータ RAM 間のデータ転送を行います。MAC DMA で送信するデータをバッファへ転送したり、MAC DMA で受信したデータをバッファからデータ RAM へ転送したりする場合に使用されます。

(2)　DMA 転送

バッファ RAM DMA コントローラの制御方法を、機能ごとに説明します。

(a)　バッファ RAM ーデータ RAM 間転送

バッファ RAM とデータ RAM 間の転送は、ハードウェアファンクション HWFNC_Direct Memory Transfer を発行することで開始されます。

コマンド発行後は、R0 レジスタの bit 29 から、ハードウェアファンクションコールの発行が完了したことを確認してください。この時点で DMA 転送は完了しています。

(b)　バッファ RAM またはデータ RAM のデータ置換

ハードウェアファンクション HWFNC_Direct Memory Replace を実行することで、Buffer RAM またはデータ RAM 内の領域を、任意の 32 ビットのデータパターンで書き換えることができます。

書き込みを行う領域と書き込みサイズは、128 ビット境界である必要があります。

コマンド発行後は、R0 レジスタの bit 29 から、ハードウェアファンクションコールの発行が完了したことを確認してください。この時点でデータパターンの書き込みは完了しています。

(c)　Hardware Function Call 一覧

Hardware Function Call の一覧を以下に示します。

Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。

Hardware Function Call の動作中にアクセス禁止領域（Buffer RAM 以外の領域、等）へアクセスが発生した場合には、Exception を戻り値レジスタ R0 に返します。

表28.18　HWFNC_Direct_Memory_Transfer

名称	HWFNC_Direct_Memory_Transfer	
機能	Data RAMからBuffer RAMに、またはBuffer RAMからData RAMにデータを転送します。 Buffer RAMからBuffer RAMへの転送はできません。	
コマンドレジスタ		
SYSC[15:0]	5211h	
引数レジスタ		
R4	[31:0] 転送元先頭アドレス	転送元アドレスを指定します。
R5	[31:0] 転送先先頭アドレス	転送先アドレスを指定します。
R6	[31:0] 転送バイト数	転送バイト数を指定します。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[1:0] Result	00b: 成功 01b: Invalid System Call（ Buffer RAM 間の転送を指定された ） 10b: Exception 発生
	[28:2]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0] Exception 発生アドレス	Exception 発生時、発生アドレス。その他の場合はall 0。

表28.19　HWFNC_Direct_Memory_Replace

名称	HWFNC_Direct_Memory_Replace	
機能	Data RAMまたはBuffer RAMの指定されたメモリエリアをあるデータパターンで置き換えます。書き込みワード数は4ワード以上でなければなりません（1ワードは32ビット）。	
コマンドレジスタ		
SYSC[15:0]	5212h	
引数レジスタ		
R4	[31:0] パターン	書き込むデータパターンを指定します。
R5	[31:0] 先頭アドレス	書き込み先の先頭アドレスを指定します。
R6	[31:0] ワード数	書き込むワード数を指定します。
R7	[31:0]	※本FunctionCallでは使用しません。設定値は無視されます。
戻り値レジスタ		
R0	[1:0] Result	00b: 成功 01b: Invalid System Call （設定したアドレスがバイト単位での指定だった。 転送ワード数を3 ワード以下で設定した。） 10b: Exception 発生
	[28:2]	予約ビットです。常に0となります。
	[29] Complete	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
	[31:30]	予約ビットです。常に0となります。
R1	[31:0] Exception 発生アドレス	Exception 発生時、発生アドレス。その他の場合はall 0。

28.3.2　割り込み機能

イーサネット MAC により発生する割り込みを説明します。

表28.20　送信動作に関する割り込み

割り込み名称	シンボル	発生条件／クリア条件
TX FIFOアンダーフロー	ETHTFIU	ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。
TX FIFOエラー割り込み	ETHTFIE	GMAC_TXID/GMAC_TXRESULTレジスタが最大個数（4個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXFIFO.TRBFRビットの値が0になるまでGMAC_TXID/GMAC_TXRESULTレジスタを繰り返し読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。
MACDMA送信エラー割り込み	ETHDTIE	送信MACDMA動作時にエラーが発生したことを示します。 エラー要因は複数ありHWFNC_MACDMA_TX_Errstatでエラー要因を取得します。 送信ディスクリプタを修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。
Ether MACDMA 送信完了	ETHDMAIT	Buffer RAMから送信MACのFIFOへのDMA転送が完了した場合に発生します。このとき、DMA転送は完了していますが、MACの通信動作は完了していません。 パルスで発生するため、要因のクリア処理は不要です。
Ether送信完了割り込み	ETHIT	送信MACにおける通信動作が完了した場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。

表28.21　受信動作に関する割り込み

割り込み名称	シンボル	発生条件／クリア条件
Ether MACDMA 受信完了	ETHDMAIR	受信MACDMA動作が正常に完了した場合に発生します。 BUFIDの受信情報がEmptyになるまでアクティブ状態が保持されます。 BUFIDをリードし、受信情報がEmptyになると要因がクリアされます。
MACDMA受信エラー割り込み	ETHDRIE	受信MACDMA動作時にエラーが発生したことを示します。 エラー要因は複数ありHWFNC_MACDMA_RX_Errstatでエラー要因を取得します。 パルスで発生するため、要因のクリア処理は不要です。
受信フレーム正常割り込み	ETHRFI	受信MACDMA動作が正常に完了し、かつ、受信フレームが正常である場合に発生します。受信フレーム情報を参照することにより、発生要因を特定できます。 BUFIDの受信情報がEmptyになるまでアクティブ状態が保持されます。 BUFIDをリードし、受信情報がEmptyになると要因がクリアされます。
Ether受信フレームエラー	ETHRFE	受信MACDMA動作が正常に完了し、かつ、受信フレームにエラーがある場合に発生します。受信フレーム情報を参照することにより、発生要因を特定できます。 BUFIDの受信情報がEmptyになるまでアクティブ状態が保持されます。 BUFIDをリードし、受信情報がEmptyになると要因がクリアされます。
RX FIFOオーバフロー	ETHRFIV	バッファに十分な空きがない状態でデータを受信し、Rx FIFOがオーバフローした場合に発生します。本エラーが発生した場合、すでに受信データが破棄されている可能性があります。バッファを解放するなどして、受信可能な状態に戻してください。 パルスで発生するため、要因のクリア処理は不要です。

表28.22　その他の動作に関する割り込み

割り込み名称	シンボル	発生条件／クリア条件
Ether MIIマネージメントアクセス完了割り込み	ETHMMAI	MIIマネージメントバスへのリードまたはライトが完了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。
Ether ポーズ・パケット送信完了	ETHPPIT	ポーズパケットの送信が終了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。
MIIからLPI開始通知割り込み	ETHLPIST	リンクパートナーからLPI要求が通知された場合に発生します。パルスで発生するため、要因のクリア処理は不要です。
MIIからのLPI終了通知割り込み	ETHLPIEND	リンクパートナーからLPI要求が解除された場合に発生します。パルスで発生するため、要因のクリア処理は不要です

28.3.3　イーサネットフレーム送信機能

本項では、イーサネットフレームの送信処理に関して説明します。イーサネット MAC では、以下のフローで送信処理を行います。

1. 初期設定（→ 28.3.1.1）
2. 送信処理用バッファの獲得（→ 28.3.3.1）
3. 送信フレーム制御情報を作成（→ 28.3.3.2(1)）
4. イーサネットフレームデータの作成（→ 28.3.3.2(2)）
5. 送信用ディスクリプタの作成（→ 28.3.3.3）
6. DMA の起動コマンドを実行（→ 28.3.3.4）
7. 送信用ディスクリプタにしたがい、MAC 内の FIFO へ DMA 転送
8. 転送データ内に含まれる送信フレーム制御情報にしたがって、MAC がイーサネット送信を開始
9. 送信完了割り込みの発生
10. ステータスチェックなど送信完了後の処理（→ 28.3.3.5）
11. 送信処理用バッファの解放（任意）

各フローの詳細について、以下で説明します。

28.3.3.1　送信処理用バッファの獲得

以下のようにハードウェアファンクションコールレジスタを設定し、送信処理用のバッファを獲得します。

レジスタ	値
SYSC	5000h
R4	確保するメモリブロックサイズ（1～2048バイト）
R5	0（未使用）
R6	0（未使用）
R7	0（未使用）

また、ハードウェアファンクションは以下のように戻り値を返します。

レジスタ	値
R0	0xbかつR0[29] = 1のとき：成功 10b：Invalid System Call 11b：バッファ不足
R1	確保したメモリブロックの先頭アドレス

28.3.3.2　送信データの作成

送信データフォーマットを、図 28.13 に示します。このフレームの先頭アドレスを、送信用ディスクリプタで指定します。

イーサネット MAC では、通常のイーサネットフレームデータの前に、64 ビットの送信フレーム制御情報を付加することで、送信フレームのサイズや各種制御の指示を行います。



図 28.13　送信データフォーマット

注.　必ずこの送信データフォーマットの形式に合わせて使用してください。

(1)　送信フレーム制御情報

送信フレーム制御情報の各フィールドの説明を以下に示します。

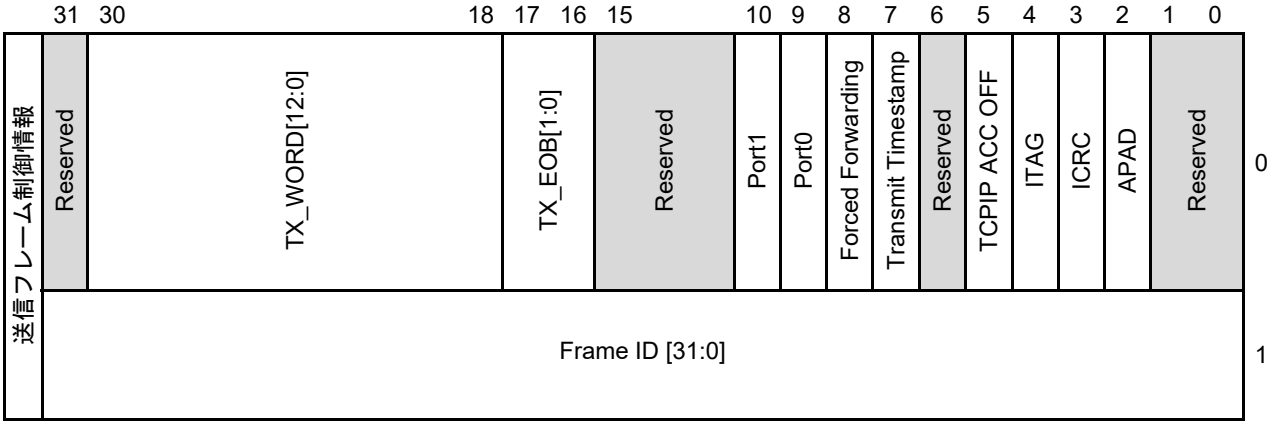


図 28.14　送信フレーム制御情報

注 .　Reserved はどのようなデータでも構いません。

項目	説明
TX_WORD[12:0]	送信するEthernetフレームのワード数を指定します（1ワードは32ビット）。最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。
TX_EOB[1:0]	このフレームの最後の1ワードにおいて、どのオクテットまで有効であるかを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効
Port1(注1)	イーサネットスイッチのForced Forwarding機能を、Port1で許可します。
Port0(注1)	イーサネットスイッチのForced Forwarding機能を、Port0で許可します。
Forced Forwarding(注1)	イーサネットスイッチのForced Forwarding機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。
Transmit Timestamp(注1)	イーサネットスイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。
TCPIP ACC OFF(注2)	1：TCPIPアクセラレータを無効 0：TCPIPアクセラレータを有効
ITAG	このフレームにVLAN TAGを含んでいることを示しています。
ICRC	このフレームはすでにCRCがアタッチされています。 このビットが1のとき、APADは無効になります。
APAD	フレーム長が64オクテットに満たない場合に自動でパディングを行います。
Frame ID[31:0]	任意のフレーム識別子を指定します。

注1.　イーサネットスイッチマネージメントTAG制御レジスタ（ETHSWMTC）で、マネージメントタグの挿入が許可されている場合にのみ有効です。マネージメントタグが挿入されない場合には、無効なフィールドとなります。イーサネットスイッチの詳細については「29.　イーサネットスイッチ」を参照してください。

注2.　以下のフレームを送信する場合は、TCPIPアクセラレータを無効にしてください。
・UDPあるいはTCPパケットを含まないIPv6フレーム
・IEEE802.3 + IEEE802.2（LLC）フレーム

TX_WORD[12:0] と TX_EOB[1:0] を合わせて、TX_LENGH[14:0]（15bit）とした場合、Ethernet フレームの送信サイズ（単位 :byte）より TX_LENGH[14:0] を以下の式で算出することができます。

TCPIPACC Pad Size は、送信 TCPIP アクセラレータ機能が有効（GMAC_ACC.TTCPIPEN = 1）の場合は 2、無効の場合は 0 です。

TX_LENGH [14:0] = (TX Frame Size – TCPIPACC Pad Size + 3) (bytes)

(2)　イーサネットフレーム

送信するイーサネットフレームのデータ形式と各フィールドの説明を以下に示します。

項目	説明
Destination MAC Address	宛先のMACアドレス
Source MAC Address	送信元のMACアドレス
Type/Length	Ethernet Type or Length
VLAN Tag	Tag Protocol Identifier：VLAN Tagを含む場合に使用されます。
VLAN Info	Tag Control Information：VLAN Tagを含む場合に使用されます。
Frame Payload	ペイロード

(a)　送信 TCPIP アクセラレータ機能が有効の場合

送信 TCPIP アクセラレータ機能が有効（GMAC_ACC.TTCPIPEN = 1）の場合は、Type/Length フィールドと Payload の間に 2 バイトの Padding が必要です。

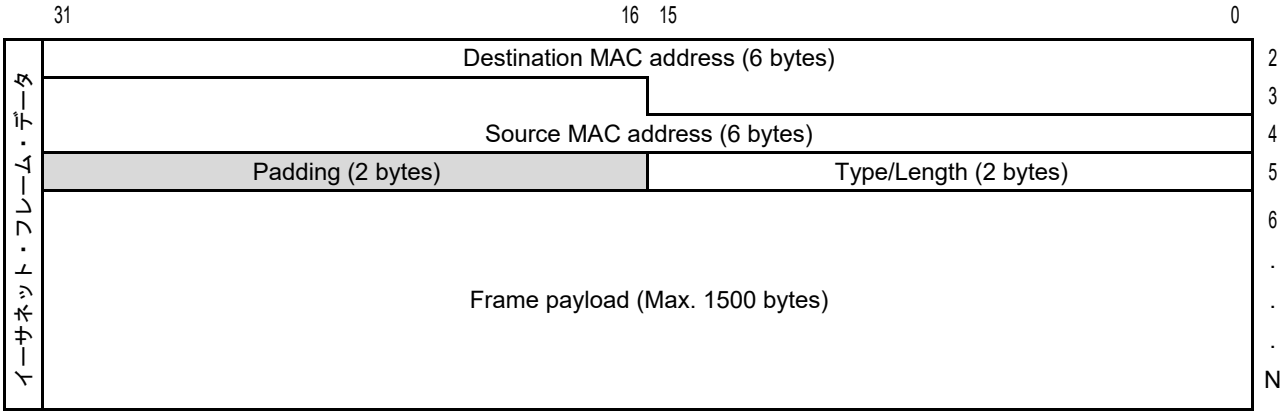


図 28.15　送信データフォーマット（TCPIPACC 有効、VLAN Tag なし）

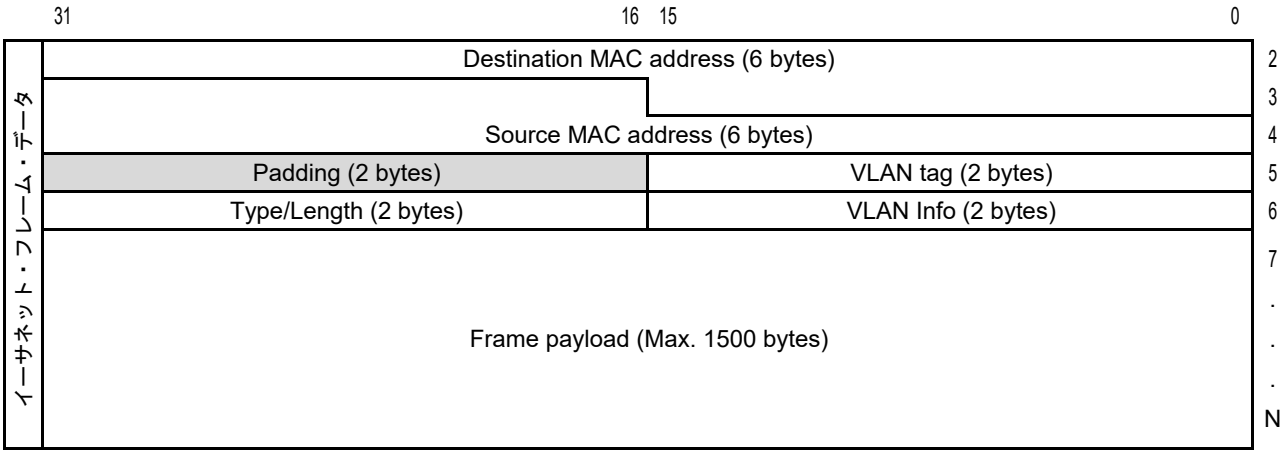


図 28.16　送信データフォーマット（TCPIPACC 有効、VLAN Tag あり）

注 .　Padding (2 byte) は、どのようなデータでも構いません。また Padding (2 byte) は Ethernet フレームの指定サイズ（TX_WORD[12:0], TX_EOB[1:0]）には含まれません。

(b)　送信 TCPIP アクセラレータ機能が無効の場合

送信 TCPIP アクセラレータ機能が無効（GMAC_ACC.TTCPIPEN = 0）の場合のイーサネットフレームを、以下に示します。

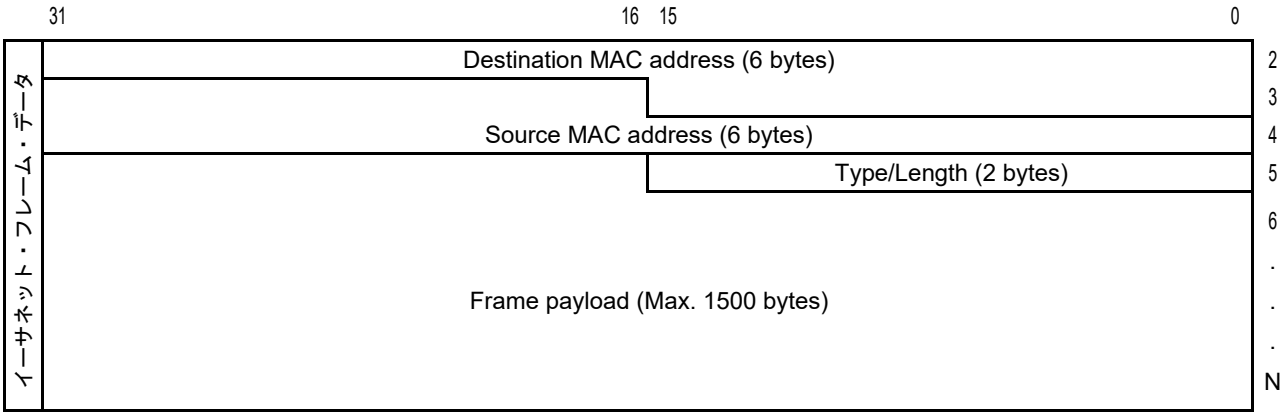


図 28.17　送信データフォーマット（TCPIPACC 無効、VLAN Tag なし）

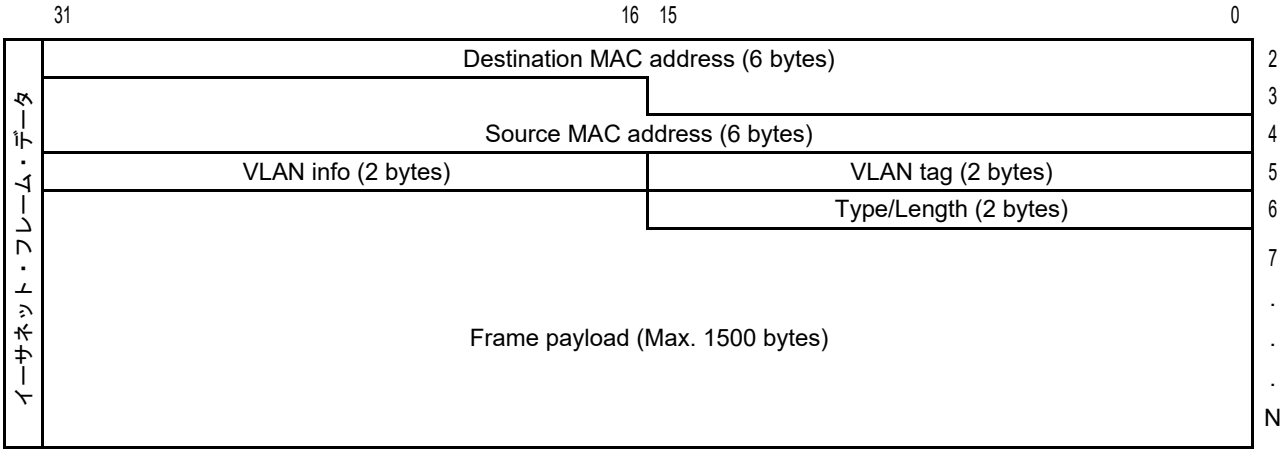


図 28.18　送信データフォーマット（TCPIPACC 無効、VLAN Tag あり）

28.3.3.3　送信処理用ディスクリプタの作成

送信 MAC 用 DMA コントローラで使用するディスクリプタを作成します。ディスクリプタを作成後に、送信 DMA を起動することで、送信処理が開始されます。

送信ディスクリプタの詳細については「28.3.1.4 (3)　送信 MAC DMA 機能」を参照してください。

28.3.3.4　送信処理の開始

以下のようにハードウェアファンクションコールレジスタを設定することで、送信 DMA が起動し、送信が開始されます。

レジスタ	値
SYSC	5100h
R4	送信ディスクリプタアドレス
R5	0（未使用）
R6	0（未使用）
R7	0を設定してください。

またハードウェアファンクションは以下のように戻り値を返します。

レジスタ	値
R0	0 ：成功 1 ：エラー（不正呼び出し）
R1	0固定

28.3.3.5　送信処理の完了

DMA の転送が完了すると Ether MACDMA 送信完了割り込みが発生し、MAC の送信が完了すると Ether 送信完了割り込みが発生します。

すでに獲得した送信処理用バッファを次の送信時に再利用する場合は、送信処理用バッファの獲得は不要です。

28.3.4 イーサネットフレーム受信機能

本項では、イーサネットフレームの受信処理に関して説明します。イーサネット MAC では、以下のフローで受信処理を行います。

1. 初期設定（→ 28.3.4.1）
2. 受信用 MAC の有効化（→ 28.3.4.2）
3. 受信用 DMA の起動（→ 28.3.4.3）
4. フレームの受信とバッファの獲得（→ 28.3.4.4）
5. 受信完了割り込み発生
6. 受信バッファ情報の取得（→ 28.3.4.5）
7. フレームのステータスチェック（→ 28.3.4.6(1)）
8. イーサネットフレームデータの取得（→ 28.3.4.6(2)）
9. 受信処理用バッファの解放

28.3.4.1 初期設定

イーサネットフレーム送信機能の初期設定と同様に MAC のリセット、および各レジスタの初期設定を行います。

28.3.4.2 受信用 MAC の有効化

受信許可レジスタ（GMAC_RXMAC_ENA）を 1 に設定し、受信用 MAC を有効にします。

28.3.4.3 受信用 DMA の起動

以下のようにハードウェアファンクションコールレジスタを設定することで、受信処理用 DMA コントローラを起動します。

レジスタ	値
SYSC	5101h
R4	0（未使用）
R5	0（未使用）
R6	0（未使用）
R7	0を設定してください。

またハードウェアファンクションは以下のように戻り値を返します。

レジスタ	値
R0	0 ：成功 1 ：エラー（不正呼び出し）
R1	0固定

28.3.4.4 フレームの受信とバッファの獲得

フレームの受信が行われた場合、ハードウェアにより自動的に受信処理用バッファが獲得されます。

28.3.4.5　受信バッファ情報の取得

受信完了割り込み等で受信の完了を検出した後、受信バッファ情報レジスタ（BUFID）をリードして、受信データが格納されたバッファのアドレスとサイズを取得します。

アドレス情報の取得後、データの格納されたバッファを参照し、受信フレーム情報とイーサネットフレームデータを取得します。受信データのフォーマットは次節受信データフォーマットを参照してください。

28.3.4.6　受信データフォーマット

イーサネット MAC でフレームを受信する場合、フレームデータの後ろに 64bit の受信フレーム情報が付加されます。この受信フレーム情報から、イーサネットフレームのサイズや、エラー等のステータスを知ることができます。

受信フレーム情報は 64 bit 境界から始まるため、イーサネットフレームの次の Padding サイズは、フレームサイズに応じて変化します。

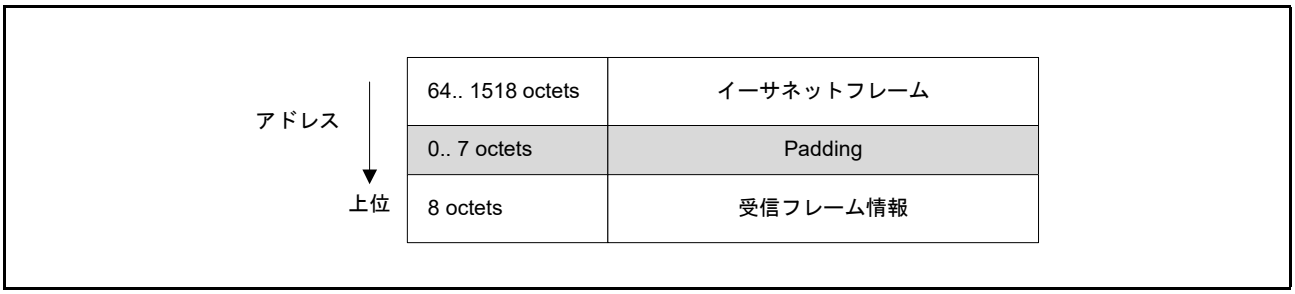


図 28.19　受信データ・フォーマット

(1)　受信フレーム情報

受信フレーム情報の各フィールドの説明を以下に示します。

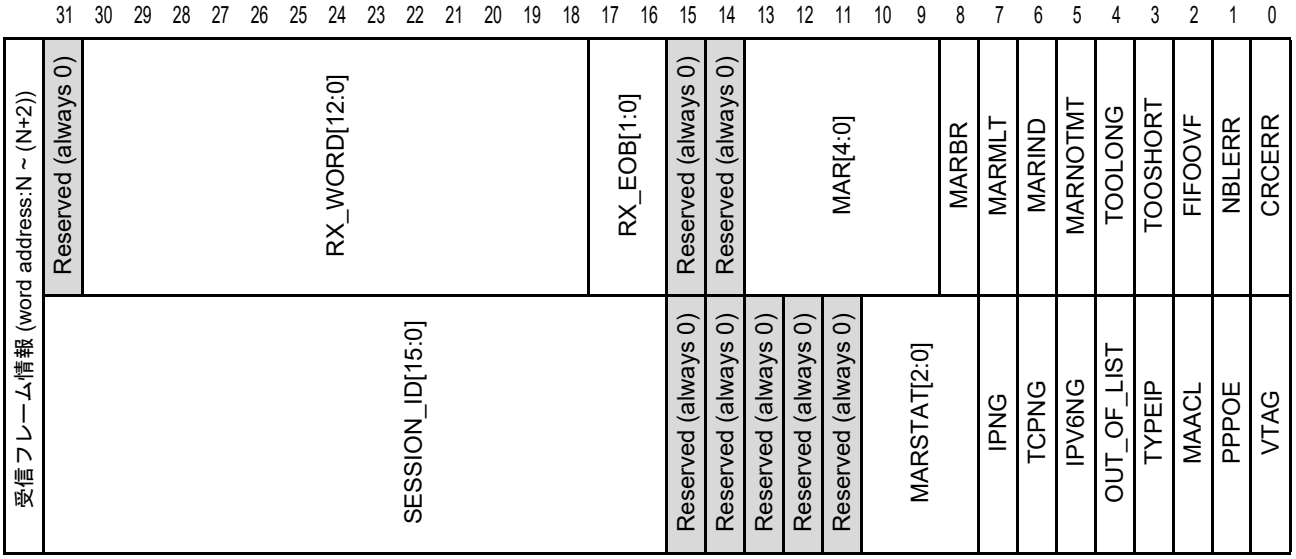


図 28.20　受信フレーム情報

項目	説明
SESSION_ID[15:0]	“1”のときPPPoE Session StageのSession IDを示します。
MARSTAT[2:0]	MARSTAT[2]：“1”のときBroadcast Address MARSTAT[1]：“1”のときMulticast Address MARSTAT[0]：“1”のときIndividual Address
IPNG(注2)	“1”のとき、IPv4ヘッダのチェックサムがTCPIPアクセラレータの計算結果と合わないことを示します。
TCPNG(注2)	“1”のとき、TCPまたはUDPヘッダのチェックサムがTCPIPアクセラレータの計算結果と合わないことを示します。
IPV6NG(注2)	“1”のときIPv6の拡張ヘッダが、ルーティング、Hop-by-Hop、Destination Optのいずれかであり、かつ、ヘッダ長フィールドの値が不正であることを示します。
OUT_OF_LIST(注2)	“1”のときIPv6の拡張ヘッダで下記リスト外のプロトコル番号を検出したことを示します。 06h：TCPヘッダ 11h：UDPヘッダ 00h：Hop-by-Hop 3Ch：Destination Opt 2Ch：フラグメント 2Bh：ルーティング 3Bh：ノーネクストヘッダ 32h：ESPヘッダ 33h：AHヘッダ
TYPEIP(注2)	“1”のとき、IPパケットであることを示します。
MAACL(注2)	“1”のとき802.3（LLC/SNAP）のパケットを示します。
PPPOE(注2)	“1”のときPPPoEのパケットを示します。
VTAG(注2)	“1”のときVLAN Tagを含むパケットを示します。
RX_WORD[12:0]	Ethernet Frameのワード数(注1)
RX_EOB[1:0]	このフレームの最後のワード内で、有効なバイトを示します(注1)。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効
MAR[4:0]	MAR[4:1]：未使用（0固定） MAR[0]：Pause Packetの宛先アドレスの受信を示します。

項目	説明
MARBR	“1”のとき受信フレームがBroadcastアドレスであることを示します。
MARMLT	“1”のとき受信フレームがMulticastアドレスであることを示します。
MARIND	“1”のとき受信フレームがMACアドレスレジスタに登録されたアドレスのパケットであることを示します。
MARNOTMT	受信フレームが本ステーション向けアドレスでないときに“1”になります。
TOOLONG	“1”のとき受信フレームが規定される最大フレーム長（1518オクテット）より長いフレームであることを示します。
TOOSHORT	“1”のとき受信フレームが規定される最少フレーム長（64オクテット）より短いフレームであることを示します。本MACではTOOSHORTパケットは自動的に破棄されるため、TOOSHORTが“1”になるパケットを受信することはありません。
FIFOOVF	“1”のとき受信中にFIFOがオーバフローしたことを示します。このとき、受信フレームのデータは欠損している可能性があります。
NBLERR	“1”のとき受信フレーム中のワードに符号化エラーなどがあることを示します。
CRCERR	“1”のとき受信フレームがCRCエラーであることを示します。

注1.　EthernetフレームのFCS（4 byte）と、受信TCPIPアクセラレータ機能が挿入するMACヘッダのPadding（2 byte）も受信バイト数に含まれます。
注2.　TCPIPアクセラレータを無効にしている場合、これらのフィールドの値は無効です。

RX_WORD[12:0] を上位、RX_EOB[1:0] を下位ビットとして結合したビットを RX_LENGTH [14:0] とした場合、受信したフレームのバイト数は、以下の式で計算されます。

(Ethernet フレームの受信バイト数 (注 1)) = RX_LENGTH [14:0] – 3

以下に例を示します。

- 受信データが 1byte の場合 → RX_WORD = 1h RX_EOB = 0h → 4 – 3 = 1 （byte）
- 受信データが 8byte の場合 → RX_WORD = 2h RX_EOB = 3h → 11 – 3 = 8（byte）
- 受信データが 5byte の場合 → RX_WORD = 2h RX_EOB = 0h → 8 – 3 = 5 （byte）
- 受信データが 9byte の場合 → RX_WORD = 3h RX_EOB =0h → 12 – 3 = 9 （byte）

注 1.　Ethernet フレームの FCS（4byte）と、イーサネット MAC が挿入する MAC ヘッダの Padding（2byte）も受信バイト数に含まれます。

(2)　イーサネットフレーム

受信したイーサネットフレームのデータ形式を以下に示します。
イーサネットスイッチの詳細については「29.　イーサネットスイッチ」を参照してください。

項目	説明
Destination MAC Address	宛先のMACアドレス：イーサネットスイッチマネージメントTAG制御レジスタ（ETHSWMTC）で、マネージメントタグの挿入が許可されている場合には、マネージメントTAG情報が格納されます。
Source MAC Address	送信元のMACアドレス
Type/Length	Ethernet Type or Length
VLAN Tag	Tag Protocol Identifier：VLAN Tagを含む場合に使用されます。
VLAN Info	Tag Control Information：VLAN Tagを含む場合に使用されます。
Frame Payload	ペイロード
FCS	フレームチェックシーケンス：受信TCPIPアクセラレータ機能が有効で、受信パケットにTCP/UDPを含む場合には、FCSフィールドがTCP/UDPのチェックサム値で上書きされます。このチェックサム値は、フラグメント化されたTCP/UDPパケットの合計チェックサム値の計算に利用できます。

(a)　マネージメントタグの挿入が許可されている場合

イーサネットスイッチマネージメント TAG 制御レジスタ（ETHSWMTC）で、マネージメントタグの挿入が許可されている場合、Destination MAC Address [47:0] のフィールドは、以下のように使用されます。

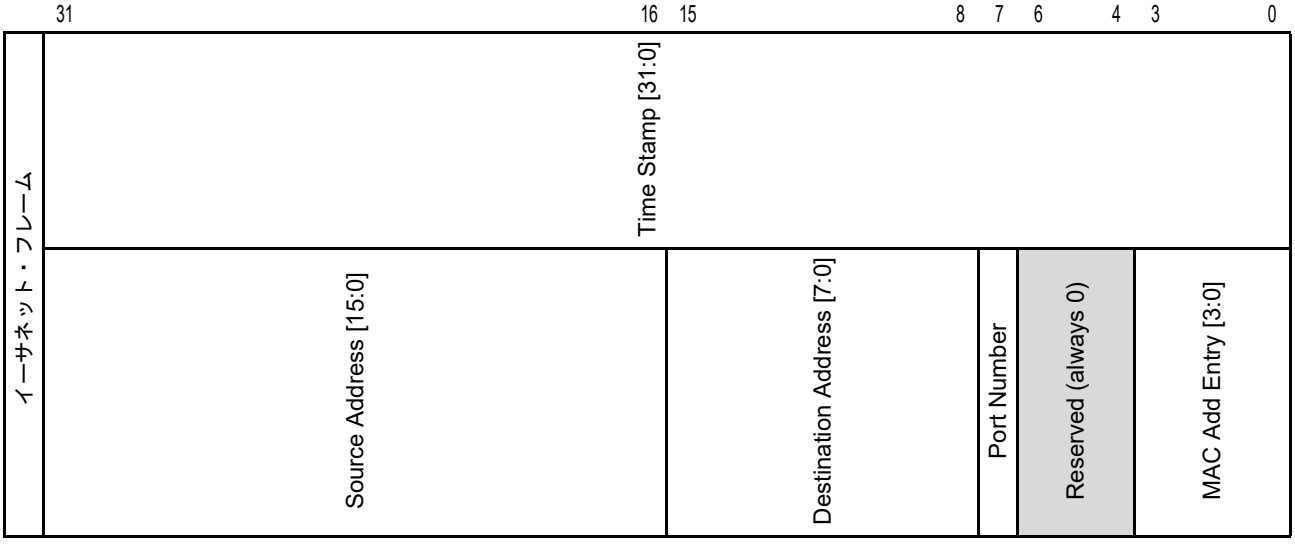


図 28.21　マネージメントタグの挿入が有効時の Destination MAC Address フィールド

項目	説明
Time Stamp [31:0]	受信フレームがポートを通過した際のタイムスタンプ
MAC Add Entry [3:0]	受信したフレームと一致するMACアドレス設定レジスタ（GMAC_ADRnA, GMAC_ADRnB）のインデックス番号 例）値が5の場合 フレームの宛先アドレスはGMAC_ADR5AとGMAC_ADR5Bの設定と対応
Port Number	受信タイムスタンプをつけたポート
Destination MAC Address	宛先のMACアドレス
Source MAC Address	送信元のMACアドレス

注．　GMAC_RXMODE レジスタの AFILLTEREN ビットが 1 の場合、MAC Add Entry フィールドの値が無効になるため、Destination MAC Address の復元はできません。

(b)　受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含まない場合

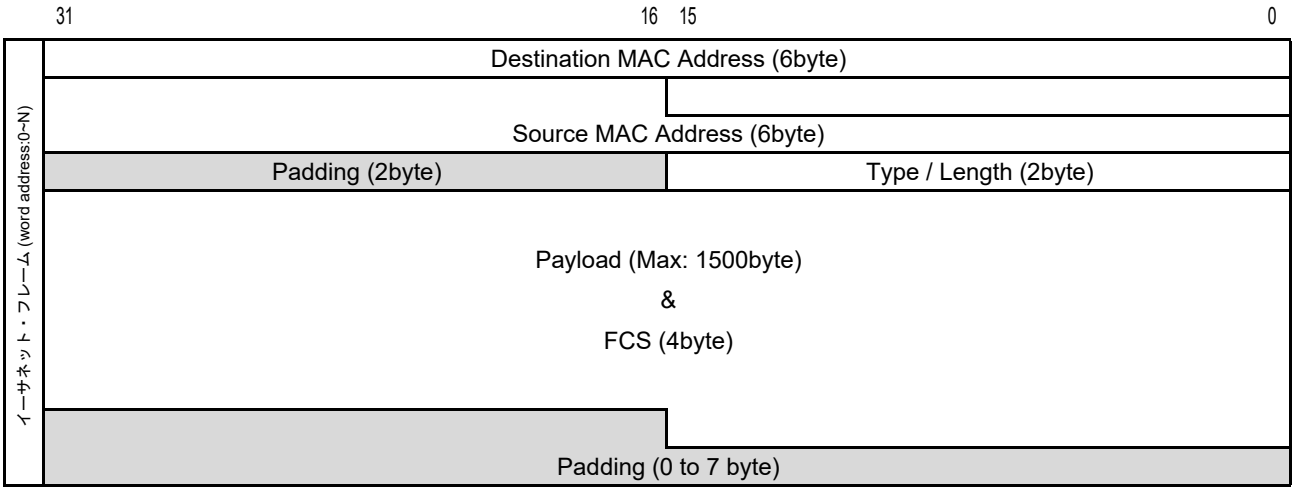


図 28.22　受信イーサネットフレーム（TCPIPACC 有効、VLAN Tag なし、TCP/UDP なし）

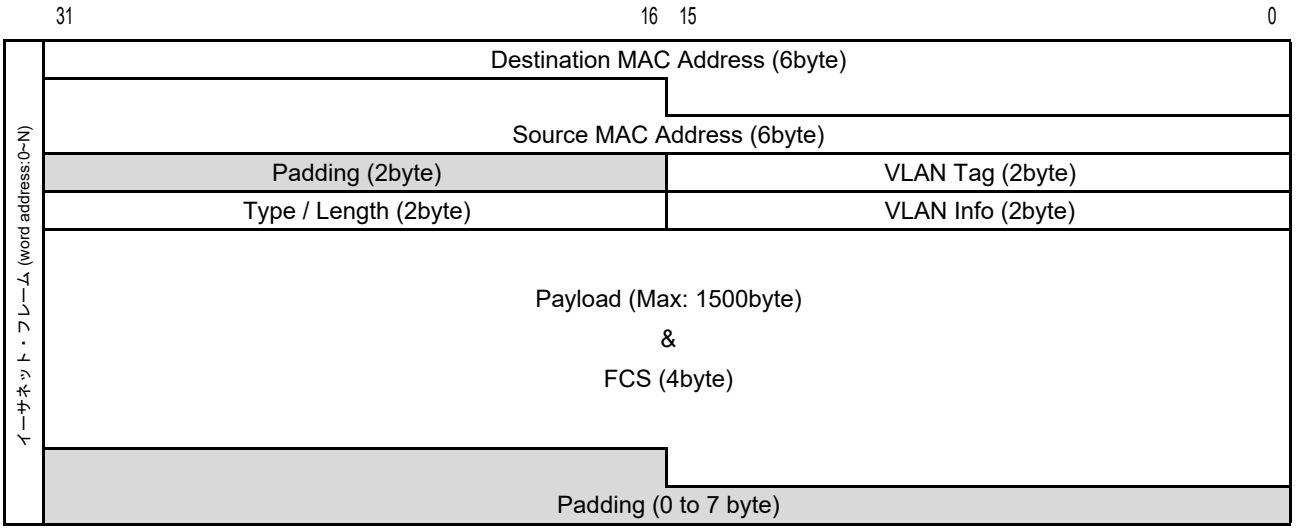


図 28.23　受信イーサネットフレーム（TCPIPACC 有効、VLAN Tag あり、TCP/UDP なし）

(c)　受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含む場合

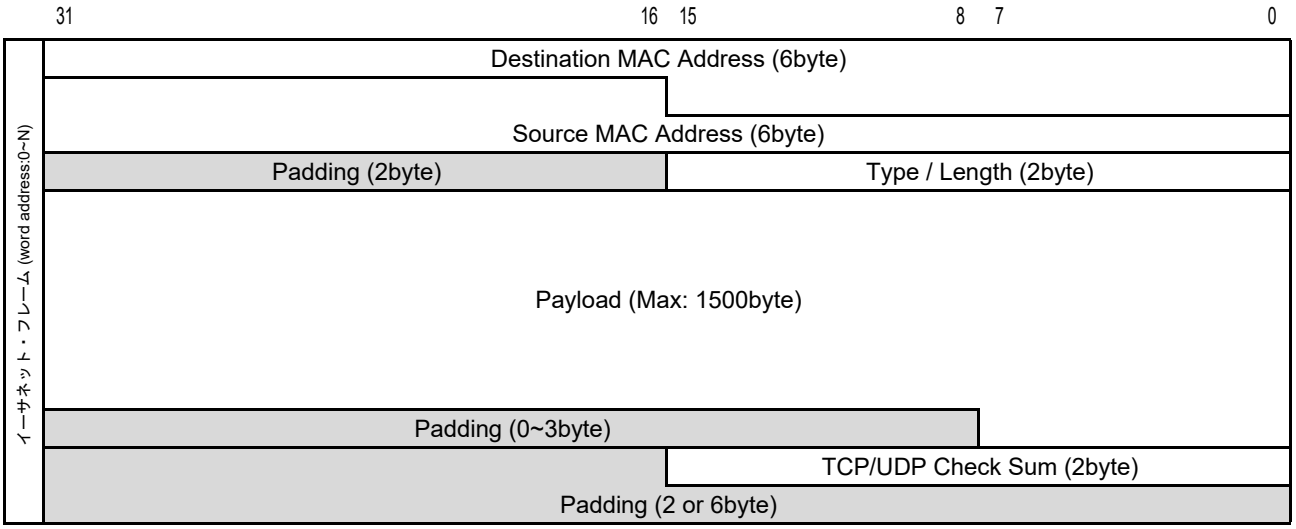


図 28.24　受信イーサネットフレーム（TCPIPACC 有効、VLAN Tag なし、TCP/UDP あり）

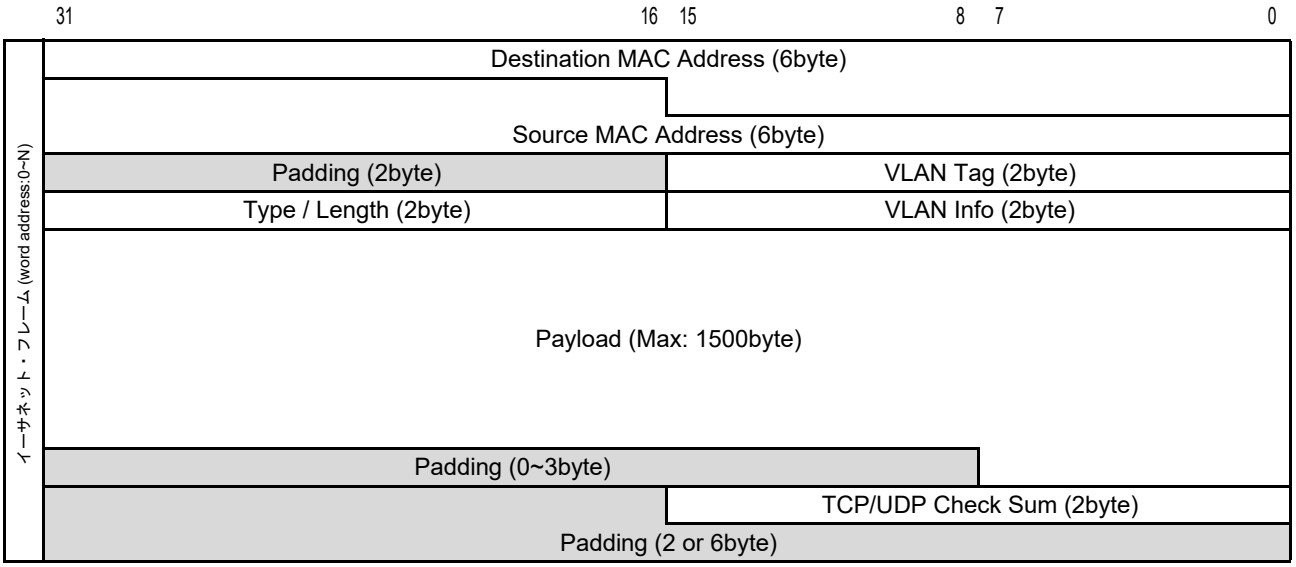


図 28.25　受信イーサネットフレーム（TCPIPACC 有効、VLAN Tag あり、TCP/UDP あり）

(d)　受信 TCPIP アクセラレータ機能が無効の場合

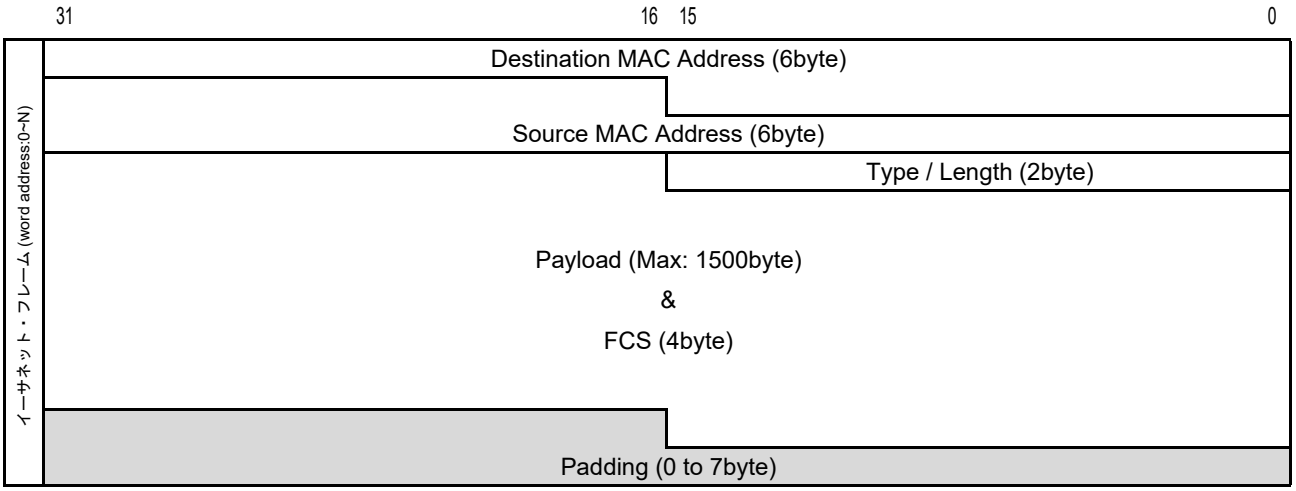


図 28.26　受信イーサネットフレーム（TCPIPACC 無効、VLAN Tag なし）

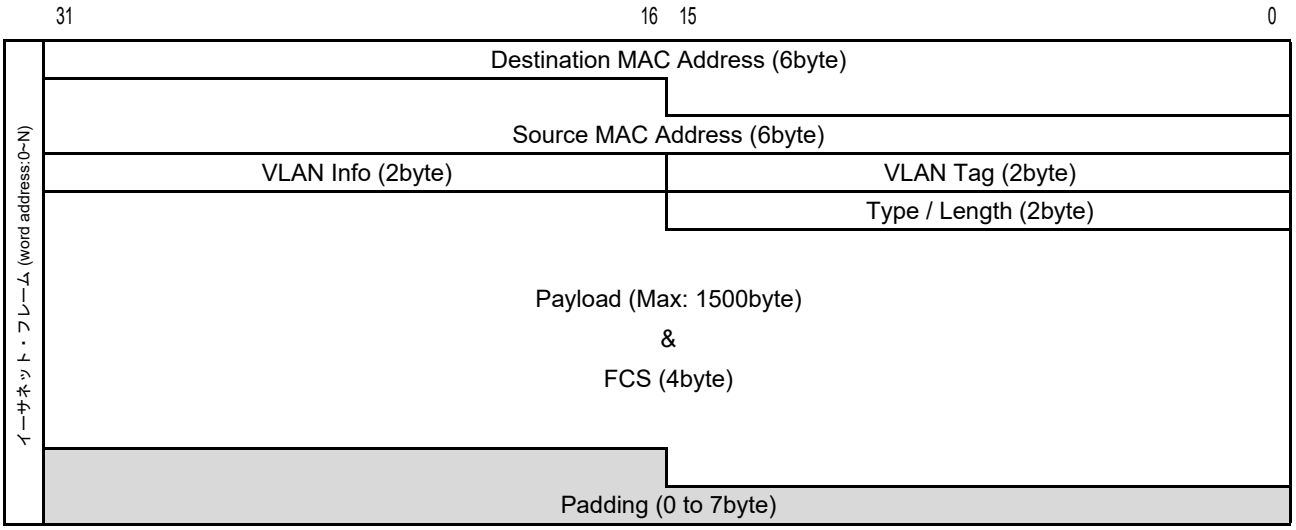


図 28.27　受信イーサネットフレーム（TCPIPACC 無効、VLAN Tag あり）

28.3.5　TCPIP アクセラレータ機能

TCPIP アクセラレータ機能を有効にすることで、送受信時のチェックサム計算をハードウェアで実行することができます。チェックサム計算の対象となるのは、以下の 3 種類のプロトコルです。

- IPv4 ヘッダのチェックサム
- TCP チェックサム
- UDP チェックサム

送信、受信、それぞれにおける TCPIP アクセラレータ使用方法を説明します。

28.3.5.1　TCPIP アクセラレータを使った送信

GMAC_ACC レジスタの TTCPIPEN ビットを 1 に設定することで、送信時の TCPIP アクセラレータ機能が有効になります。この状態で、IPv4、TCP/IP、UDP/IP のいずれかのプロトコルを含むパケットを送信した場合、ハードウェアがチェックサム計算を行い、各プロトコルのチェックサムフィールドを自動的に上書きして送信します。このとき、MAC ヘッダ内に TCPIPACC 用の 2 byte の Padding が必要です。

また、送信フレーム制御情報の TCPIP ACC OFF フィールドに 1 を設定することで、パケット毎に送信 TCPIP アクセラレータ機能を無効にすることも可能です。

フラグメント化されたパケットにおいては、TCP と UDP のチェックサム計算はハードウェアでは行いません。ソフトウェアでチェックサム計算を行ってください。

GMAC_ACC レジスタの TTCPIPEN ビットが 0 の場合には、送信 TCPIP アクセラレータ機能は無効になります。

表 28.23　GMAC_ACC レジスタ設定と送信 TCPIP アクセラレータの動作

GMAC_ACC.TTCPIPEN	送信フレーム制御情報 TCPIP ACC OFF	チェックサム計算 （送信）	TCPIPACC 用の Padding （送信）
0	0	無効	不要
0	1	無効	不要
1	0	有効	要
1	1	無効	要

注 1.　送信パケットの UDP チェックサム計算結果が 0000h の場合には、チェックサムフィールドに FFFFh を書き込みます。

注 2.　IPv4 ヘッダのヘッダ長フィールド値が実際のヘッダの長さと一致していない場合、送信が完了せず正常動作に復帰できない可能性があります。必ず適切な値を設定してください。

28.3.5.2　TCPIPアクセラレータを使った受信

GMAC_ACC レジスタの RTCPIPEN ビットを 1 に設定することで、受信時の TCPIP アクセラレータ機能が有効になります。この状態で IPv4、TCP/IP、UDP/IP のいずれかのプロトコルを含むパケットを受信した場合、ハードウェアでチェックサム計算が行われます。この計算結果がパケット内のチェックサムフィールド値と一致しない場合、受信フレーム情報の IPNG フィールド、TCPNG フィールドにエラー情報が格納されます。

TCPIPACC 有効時、受信フレームの MAC ヘッダ部に TCPIPACC 用の 2 byte の Padding が挿入されます。

受信 TCPIP アクセラレータ機能が有効で、受信パケットに TCP/UDP を含む場合には、FCS フィールドが TCP/UDP のチェックサム値で上書きされます。このチェックサム値は、フラグメント化された TCP/UDP パケットの合計チェックサム値の計算に利用できます。ただし、フラグメントデータの場合には疑似ヘッダのチェックサム値が含まれていないため、疑似ヘッダのチェックサム値はソフトウェアで計算が必要です。

受信フレーム情報の IPNG、IPV6NG、OUT_OF_LIST のいずれかのフィールドが 1 である場合、そのフレームはハードウェアによる TCP/UDP チェックサム計算は行われていません。

また、IPv6 の拡張ヘッダに、フラグメント、ESP、AH のいずれかのプロトコルを含む場合にも、TCP/UDP チェックサム計算は行われません。

GMAC_ACC レジスタの RTCPIPACC ビットが 1 の場合には、チェックサム計算は行われませんが、TCPIPACC 用の Padding は挿入されます。

GMAC_ACC レジスタの RTCPIPEN ビットが 0 の場合には、受信 TCPIP アクセラレータ機能が無効になります。この場合、TCPIPACC 用の Padding は付与されません。

表 28.24　GMAC_ACC レジスタ設定と受信 TCPIP アクセラレータの動作

GMAC_ACC.RTCPIPEN	GMAC_ACC.RTCPIPACC	チェックサム計算（受信）	TCPIPACC 用の Padding（受信）	FCS フィールドをチェックサム計算値で上書き
0	0	無効	なし	しない
0	1	無効	なし	しない
1	0	有効	あり	する
1	1	無効	あり	しない

注 .　受信パケットの UDP ヘッダのチェックサムフィールドが 0000h の場合には、チェックサムの比較は行いません。TCPNG は 0 になります。

28.3.6　プロテクトコマンドレジスタ

プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込みをプロテクトコマンドレジスタで保護しています。ETHERC には以下のプロテクトコマンドレジスタがあります。

- システムプロテクトコマンドレジスタ　（SPCMD）
- イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）

プロテクトコマンドレジスタ SPCMD、ETSPCMD のプロテクト解除許可ビットにセット（1）して、保護を解除しなければ保護対象レジスタへの書き込みが行えません。

プロテクトコマンドレジスタにセット（1）する場合には、以下の特定シーケンスでの書き込みのみ受け付けられます。クリア（0）もしくはリードする場合には、特別なシーケンス等はありません。

(1) プロテクトコマンドレジスタに特定値として、0000 00A5h を書き込む。
(2) プロテクトコマンドレジスタに、期待値の 0000 00001h を書き込む。
(3) プロテクトコマンドレジスタに、反転値の 0000 FFFEh を書き込む。
(4) プロテクトコマンドレジスタに、期待値の 0000 0001h を書き込む。

注 1.　(2)、(3) では、レジスタへの書き込みは行われていません。
注 2.　対象レジスタへの書き込み完了後は、必ずプロテクト解除許可ビットをクリア（0）して保護を有効にしてください。

図 28.28 に状態遷移図を示します。

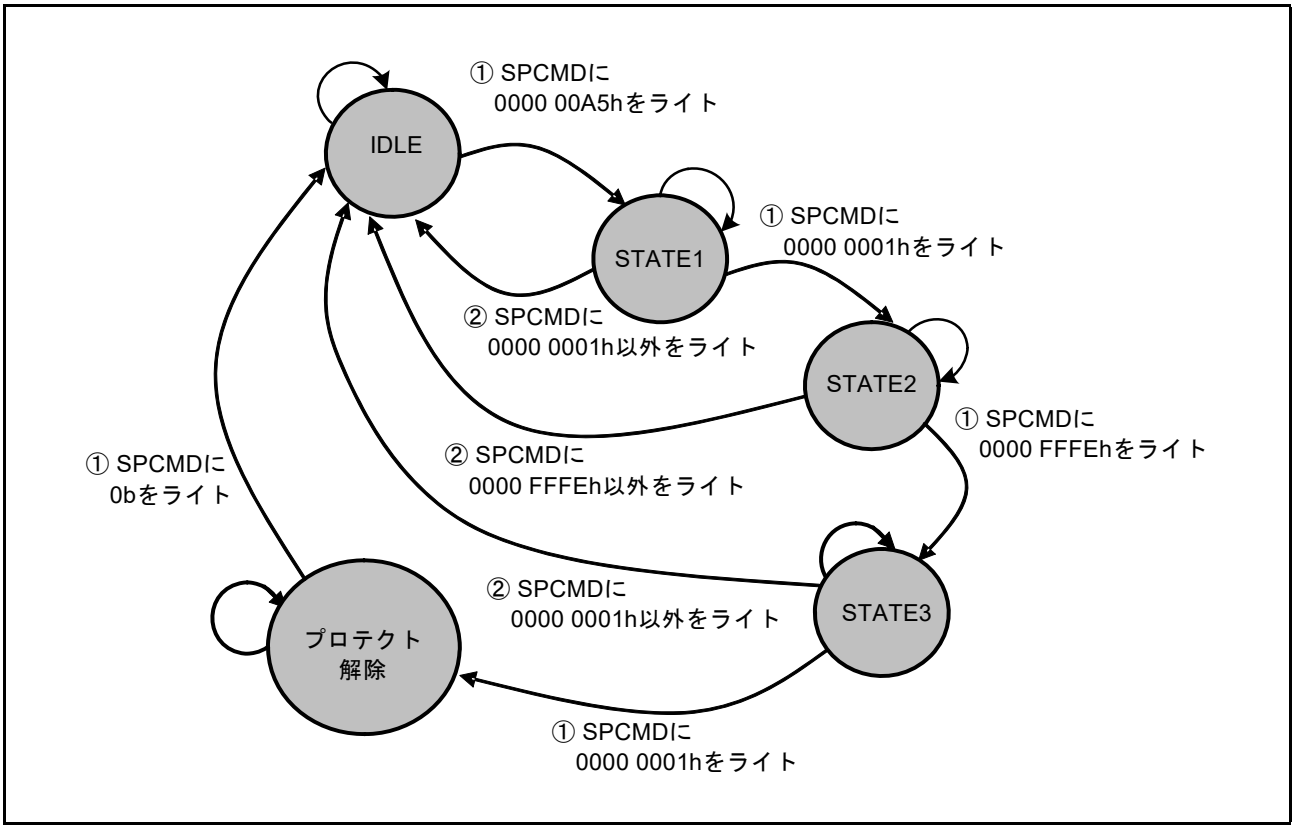


図 28.28　プロテクトコマンドレジスタ状態遷移図（SPCMD の例）

28.4　注意事項

使用時には、以下の事項に注意してください。

28.4.1　送信フレーム内の MAC ヘッダ部に対するパディングの追加

イーサネット MAC では、TCPIP アクセラレータがデータを扱うために、通常 14 バイトの MAC ヘッダに 2 バイトのパディングを加えて、送信フレームを構成しています。

ただし、実際にはこのパディングが送信されることはありません。したがって、送信フレームのデータサイズにも含まれないので、ご注意ください。

詳細は、「28.3.5.1　TCPIP アクセラレータを使った送信」を参照してください。

28.4.2　受信時のチェックサム計算結果のハードウェアによる誤判定

受信パケットに含まれる IPv4 および TCP ヘッダ内のチェックサムフィールド値が 0000h または FFFFh の場合、正常なパケットにもかかわらず受信フレーム情報の IPNG、TCPNG フィールドが 1 になる場合があります。（例：ハードウェアの計算結果は 0000h、ヘッダ内のチェックサムフィールド値は FFFFh）

そのため、下記の両方の条件を満たす場合にはソフトウェアでチェックサム値を確認してください。

- IPNG または TCPNG が 1
- ヘッダ内のチェックサムフィールド値が 0000h または FFFFh

28.4.3　モジュールストップ機能の設定

Ethernet 関連機能は、初期状態は停止状態となっています。使用する場合は MSTPCRB.MSTPCRB16 ～ MSTPCRB19 ビットの設定を行い、モジュールストップを解除してください。ただし、一旦、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2 度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。

28.4.4　受信時のチェックサム計算結果の誤判定

（1）対象：Ethernet Ⅱフレームおよび IEEE802.3 + IEEE802.2（LLC + SNAP）フレーム

以下の条件のフレームを受信した場合、正常なパケットにもかかわらず受信フレーム情報の IPNG あるいは TCPNG フィールドが 1 になる場合があります。この条件に該当する場合は、ソフトウェアでチェックサム値を確認してください。

- IPv4、TCP ヘッダ内のチェックサムフィールド値が 0000h または FFFFh
- IPv6、FCS を除いたフレーム長が 60 バイト以上、TCP または UDP のペイロードが 1 バイトでその後ろのデータが 0 以外
- IPv6、TCP または UDP のチェックサム計算に用いる疑似ヘッダのチェックサム計算値が 21 ビット以上

（2）対象：IEEE802.3 + IEEE802.2（LLC）フレーム

SNAP を持たない IEEE802.3 + IEEE802.2（LLC）フレームを受信した場合、TYPEIP フィールドおよび IPNG フィールドが 1 になる場合があります。この条件に該当する場合は、ソフトウェアで SNAP の有無を確認して、SNAP なしの場合は正常フレームとして扱ってください。

28.4.5　受信 FIFO オーバフロー発生時の受信フレーム情報の誤り

受信 TCPIP アクセラレータ機能を有効にした状態で、受信 FIFO オーバフローが発生した場合、以下のように受信フレーム情報に誤った情報を格納される可能性があります。

- 受信した正常フレームの受信フレーム情報に、その前に受信した受信 FIFO オーバフローフレームのエラー情報が格納される。
- 受信した受信 FIFO オーバフローフレームを正常フレームと認識し､受信フレーム情報に不正値が格納される。

これを回避するために、下記の（1）または（2）のいずれかの方法により回避してください。

（1）受信 TCP/IP アクセラレータ機能を MAC ヘッダ部の Padding 挿入機能も含めて無効にしてください。具体的には、GMAC_ACC レジスタの bit 0 をクリアしてください。

（2）受信 FIFO オーバフロー発生時、受信 FIFO、バッファ RAM に残っているフレームをすべて破棄してください。具体的には、受信 FIFO オーバフロー発生時に以下の処置をとってください。

1. 受信 MAC を停止
2. 受信 FIFO に残っているフレームをすべて破棄
3. バッファ RAM に残っているフレームをすべて破棄
4. 受信 MAC を再起動
5. 少なくとも一度、BUFID の VALID ビットが 1 のフレームを破棄。これは、オーバフロー発生フレームは、FIFO にフレームが残った状態でもレジスタから FIFO Empty が読み出される可能性があるため、一度正常フレームを受信させて、残留しているフレームを破棄するための処置です。

図 28.29 ～図 28.32 に（2）の処理のフローチャート例を示します。

- R-IN Engine 搭載製品で HW-RTOS を使用する場合
  図 28.29：受信 FIFO オーバフロー処理タスク例
  図 28.30：受信処理タスク例

√　受信処理タスクより高優先のオーバフロー処理タスクを用意 √　オーバフローエラー割り込みの HWISR でタスク処理を開始するように設定 √　最後のフレーム破棄は、受信割り込みの HWISR を待って実行

- R-IN Engine 非搭載製品、または R-IN Engine 搭載製品で HW-RTOS を使用しない場合
  図 28.31：受信 FIFO オーバフロー割り込み処理例
  図 28.32：受信処理例

√　最後のフレーム破棄は、受信処理にて実行。オーバフロー復帰処理フラグがセットされている場合には、VALID データを 1 回破棄 √　BUFID のリード～オーバフロー復帰処理フラグチェックの間はオーバフロー割り込みを禁止

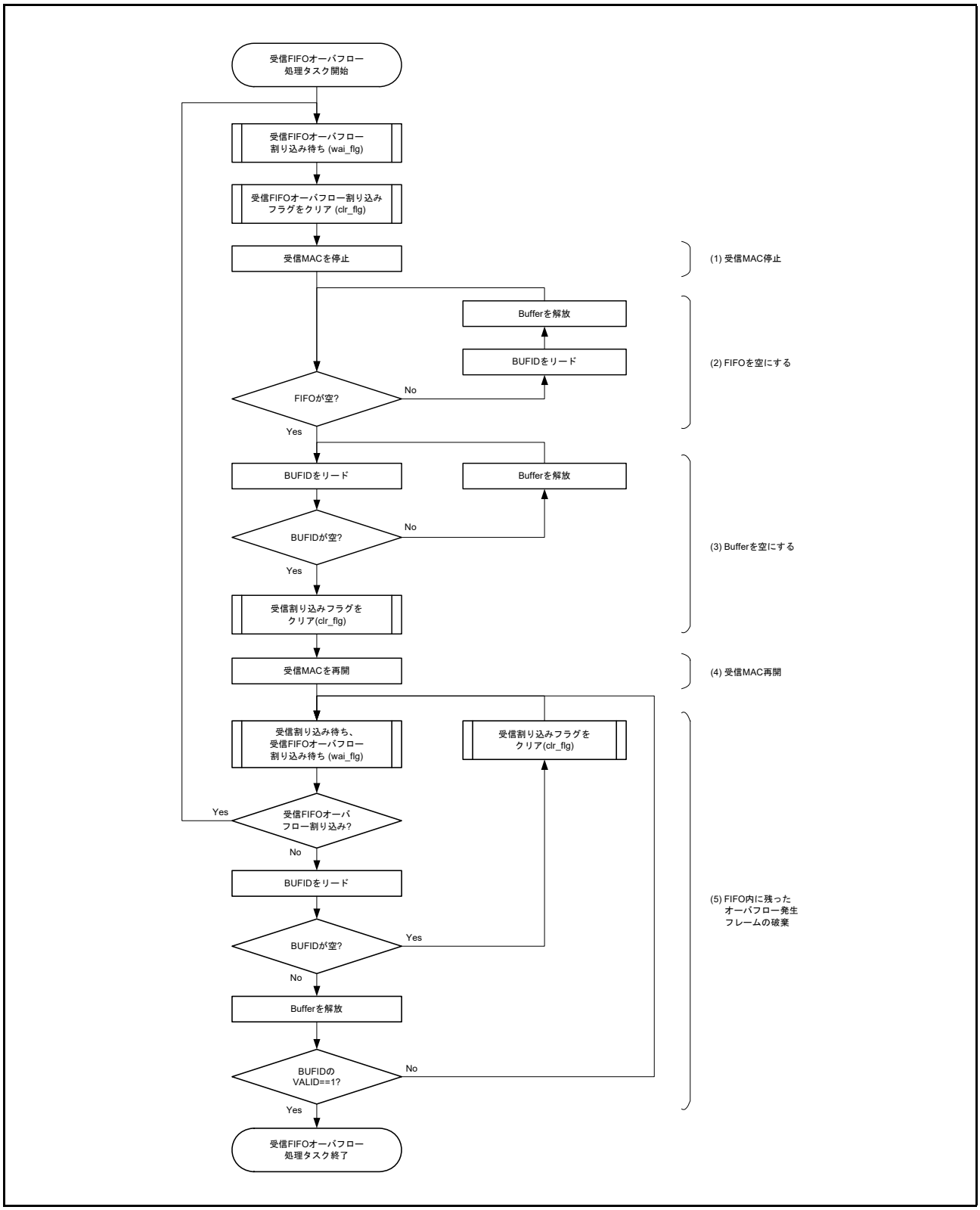


図 28.29　受信 FIFO オーバフロー処理タスク例（HW-RTOS を使用した場合）

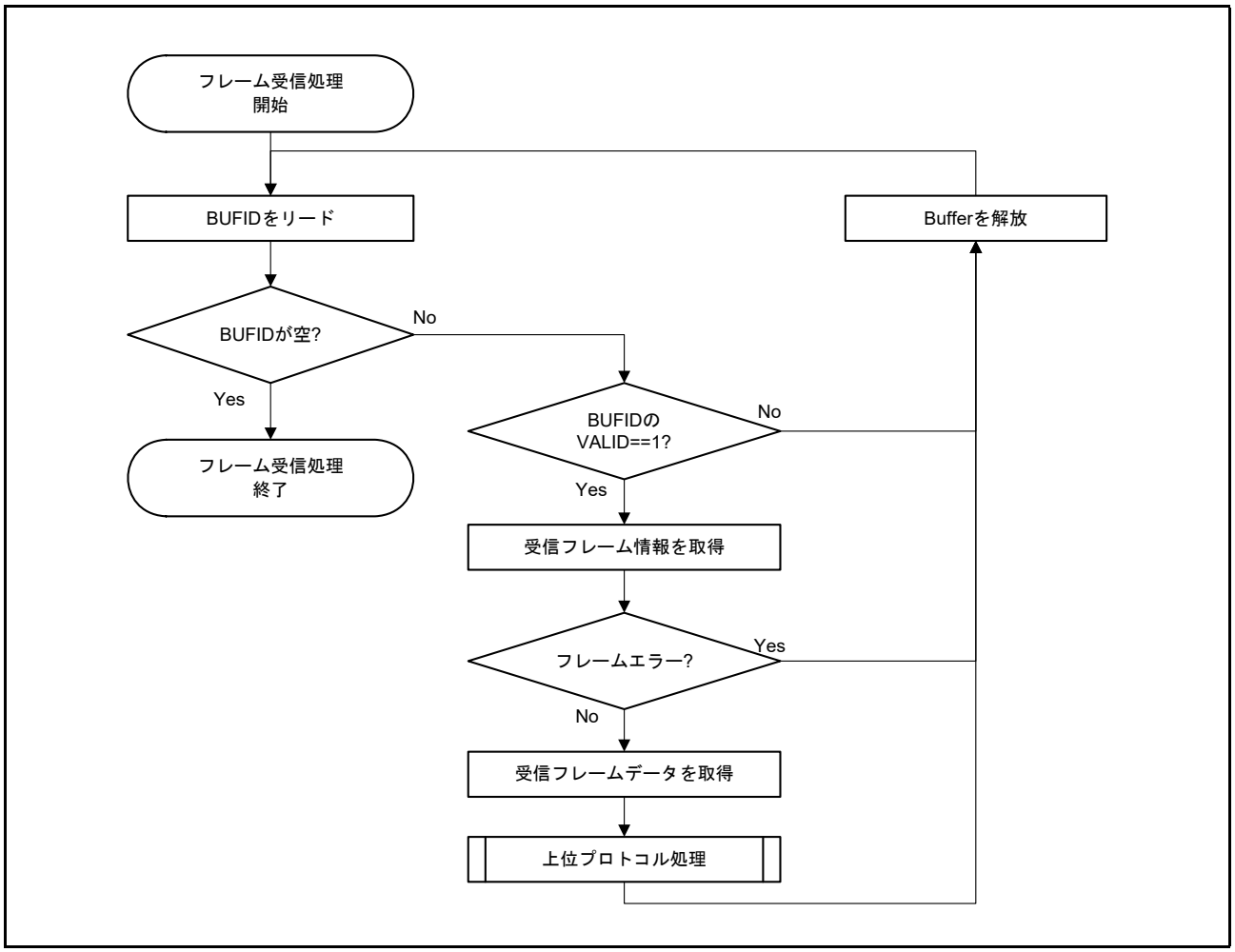
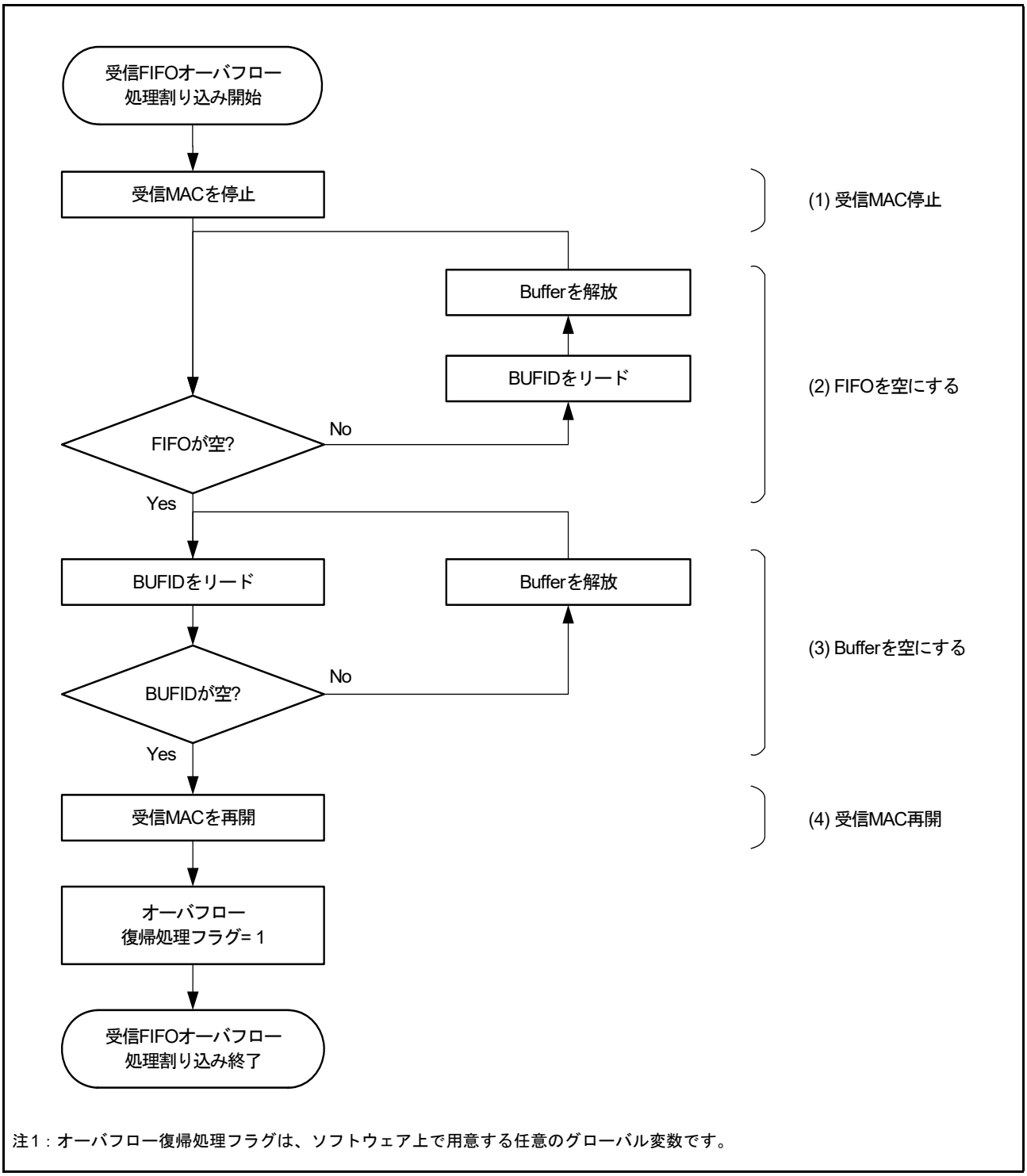
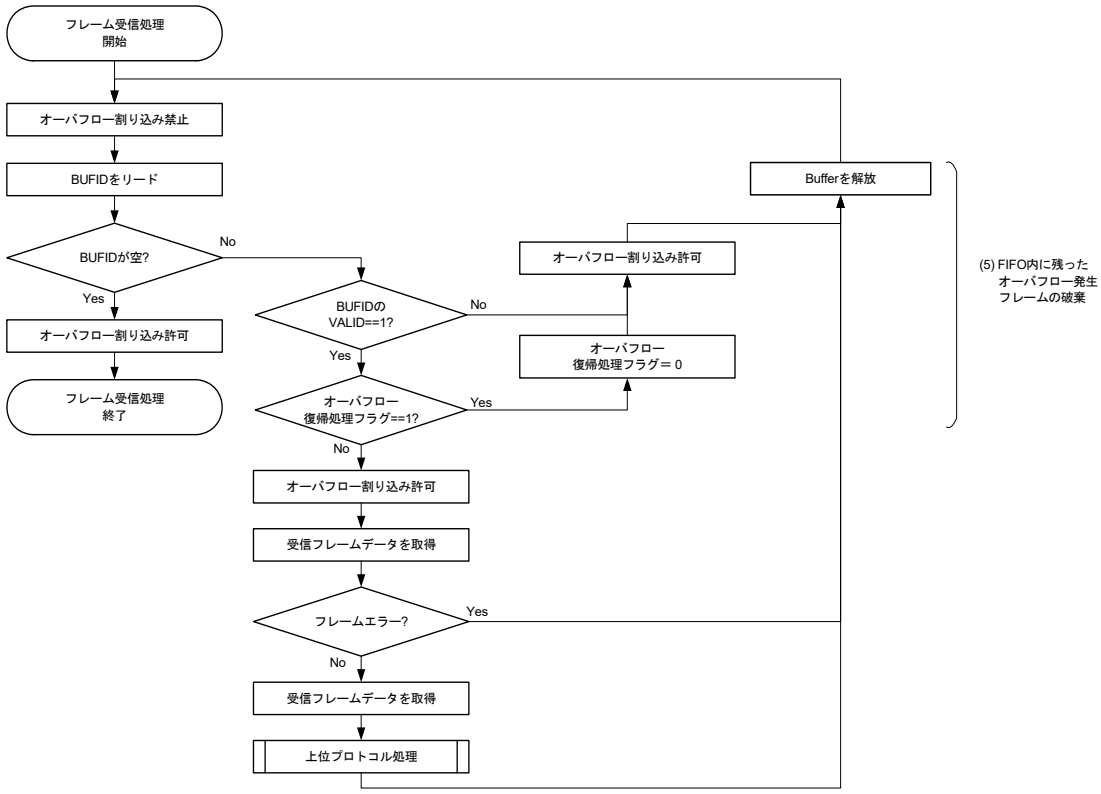


図 28.30　受信処理タスク例（HW-RTOS を使用した場合）



注1：オーバフロー復帰処理フラグは、ソフトウェア上で用意する任意のグローバル変数です。

図 28.31　受信 FIFO オーバフロー割り込み処理例（HW-RTOS を使用しない場合）



注1：オーバフロー復帰処理フラグは、ソフトウェア上で用意する任意のグローバル変数です。

図 28.32　受信処理例（HW-RTOS を使用しない場合）

28.4.6 Padding を含む 64byte を超えるフレーム受信時の受信フレーム情報の誤り

受信 TCPIP アクセラレータ機能を有効にした状態で、以下の条件をすべて満たすフレームを受信した場合、受信したフレームの受信フレーム情報が示す受信ワード数（RX_WORD[12:0]）が 1 ワード増える、または 1 ワード少なくなる可能性があります（1 ワードは 4 byte）。1 ワード少なくなる場合、IP パケットの欠損が生じるデータサイズを示す可能性があります。ただし、受信した IP パケット自体が欠損するわけではありません。

- FCS 含めたフレームサイズが 64 byte を超える。
- TCP/IP あるいは UDP/IP パケットを含む。
- IP パケットと FCS の間に Padding(Trailer) が含まれている。

これを回避するために、下記の（1）または（2）のいずれかの方法により回避してください。

（1）受信 TCP/IP アクセラレータ機能を無効にする、または受信アクセラレータの Checksum 支援を Off にしてください。
具体的には、GMAC_ACC レジスタの bit 0 をクリア、または bit 2 をセットしてください。

（2）データを欠損させないために、IP パケットの場合は受信ワード数を 1 ワード加算して、上位のスタックに引き渡して処理を実施してください。また、上位スタックでは、IP ヘッダの Total length を元に IP パケットのペイロードを取得し、それ以降のデータは破棄してください。受信処理のフローチャート例を**図 28.33** に 示します。

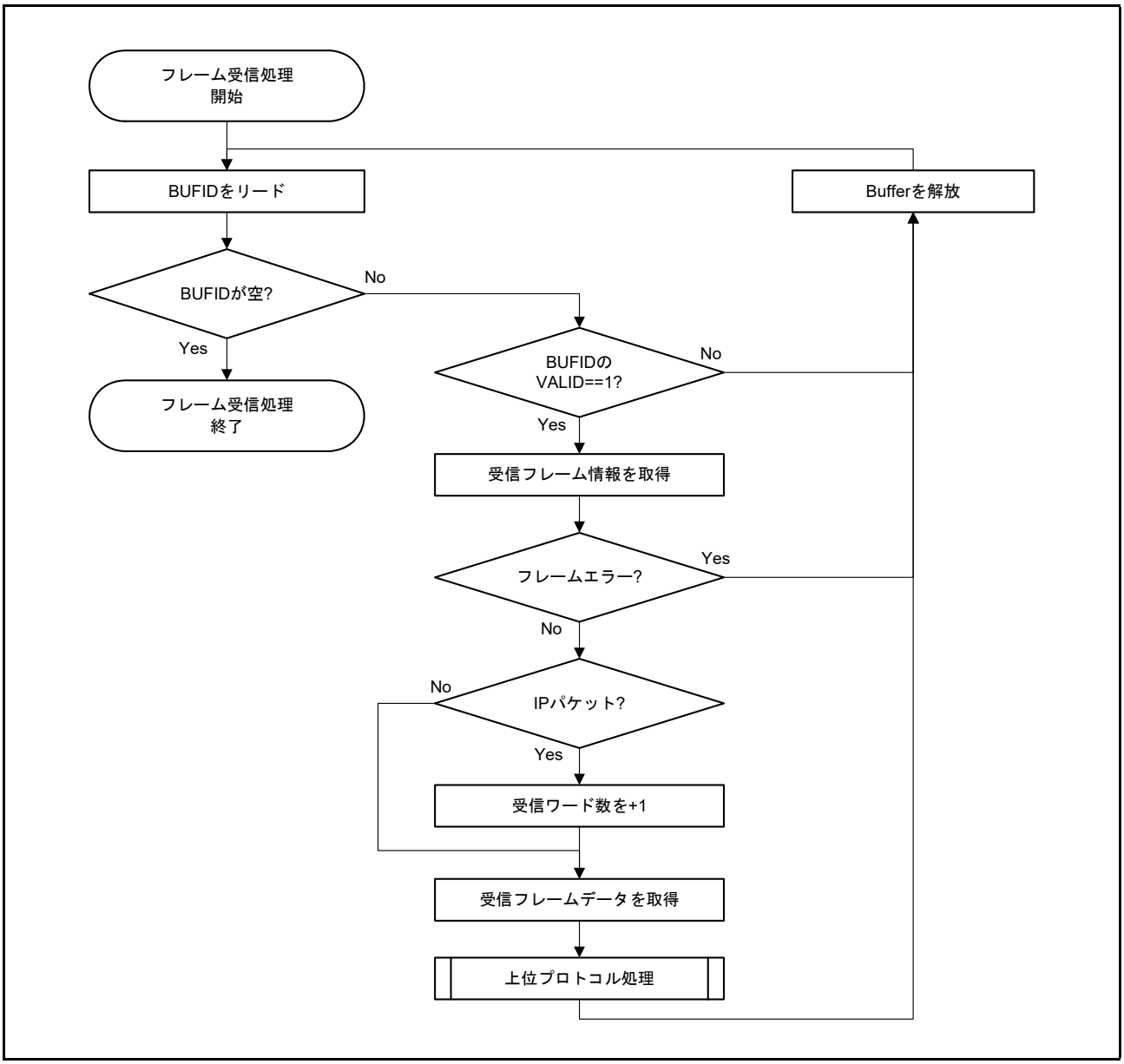


図 28.33　受信処理例

28.4.7　1518byte を超えるフレームサイズについて

本製品は、1518byte を超えるフレームサイズ（Jumbo フレーム）の送受信には対応していません。

28.4.8　ハードウェアリアルタイム OS の使用について

R-IN Engine 搭載製品では、ハードウェアリアルタイム OS がディスパッチ禁止状態でハードウェアファンクションコールを実行すると、そのハードウェアファンクションコールは正常に実行されません。このため、ハードウェアファンクションコールは、ハードウェアリアルタイム OS がディスパッチ許可されている状態で実行してください。なお、Cortex-R4 でイーサネット MAC を制御した場合、ハードウェアリアルタイム OS の動作とは同期しないため、ディスパッチ許可／禁止の状態を適切に制御できません。したがって、Cortex-R4 でイーサネット MAC を制御する場合、ハードウェアリアルタイム OS は使用しないでください。

29.　イーサネットスイッチ

本 LSI は、イーサネットスイッチ機能を内蔵しています。

29.1　概要

本 LSI は、イーサネットスイッチを内蔵しているため、本 LSI の外部にスイッチングハブを使用することなく、ライン型、またはリング型のネットワークトポロジを構築することが可能です。

イーサネットスイッチ使用の有無およびモード設定は、レジスタで制御します。

イーサネットスイッチの仕様を**表 29.1** に示します。

表29.1　イーサネットスイッチの仕様

項目	内容
機能	• 2ポートPHYインタフェース • IEEE802.3対応 • 10BASE、100BASE • 全二重通信と半二重通信対応 • ハードウェアスイッチング、ルックアップ、フィルタリング機能 • フレーム優先順位分類のあるQoS対応 • 優先順位を再配置可能なVLAN Priority（IEEE802.1Q）に基づく優先順位制御機能 • IPv4 DiffServ Code Point Field, IPv6 Class of Serviceに基づく分類および優先順位割り当て機能 • 4つの優先順位のキューを実装 • マルチキャストおよびブロードキャスト対応 • VLANフレーム対応 • IEEE1588対応タイマモジュールを実装 • カットスルー、ハブ機能対応 • デバイスレベルリング（DLR）対応

図 29.1、**図 29.2** にイーサネットインタフェースのブロック図を示します。

灰色のモジュール／レジスタ等は「**28.　イーサネット MAC（ETHERC）**」、「**30.　EtherCAT スレーブ・コントローラ（オプション）**」で説明しますので、イーサネットスイッチを動作させる上で関係するモジュール／レジスタに関しては、該当する章も参照してください。

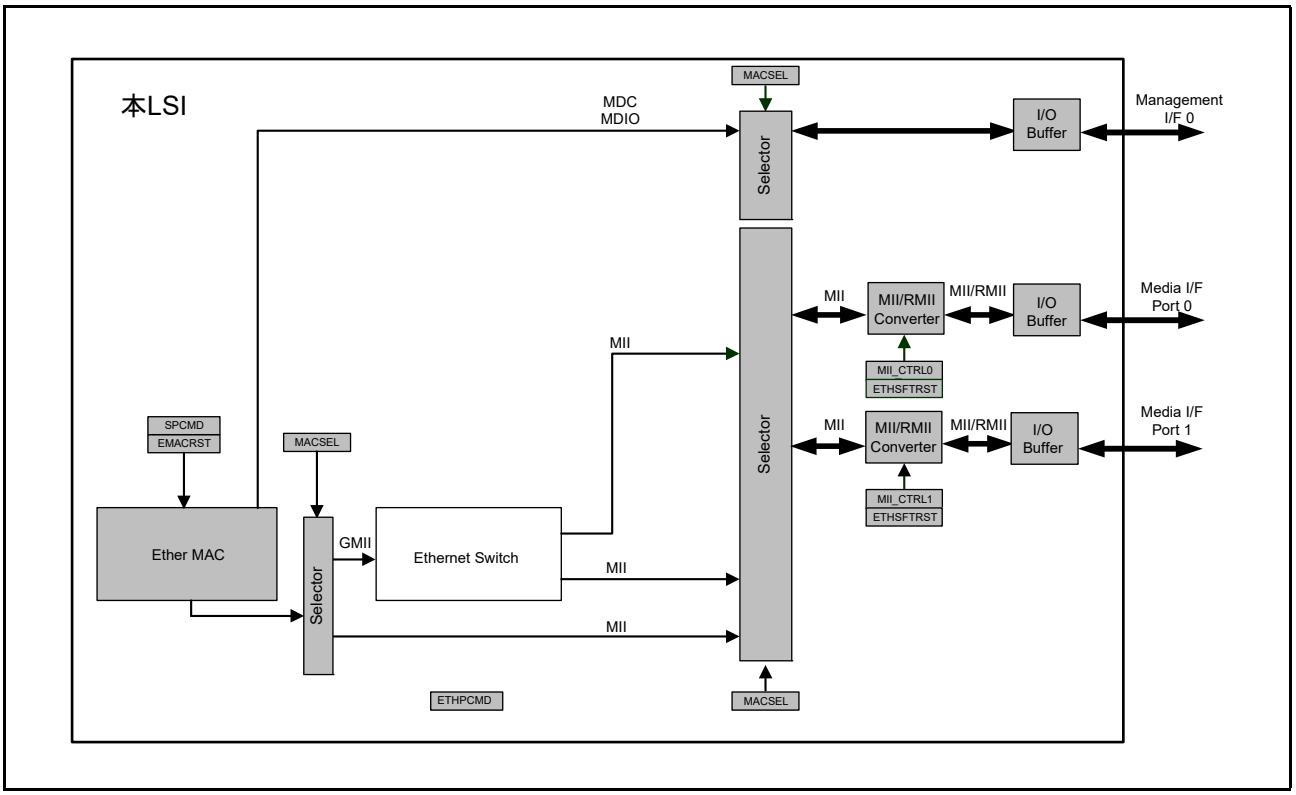


図 29.1 イーサネットインタフェースのブロック図

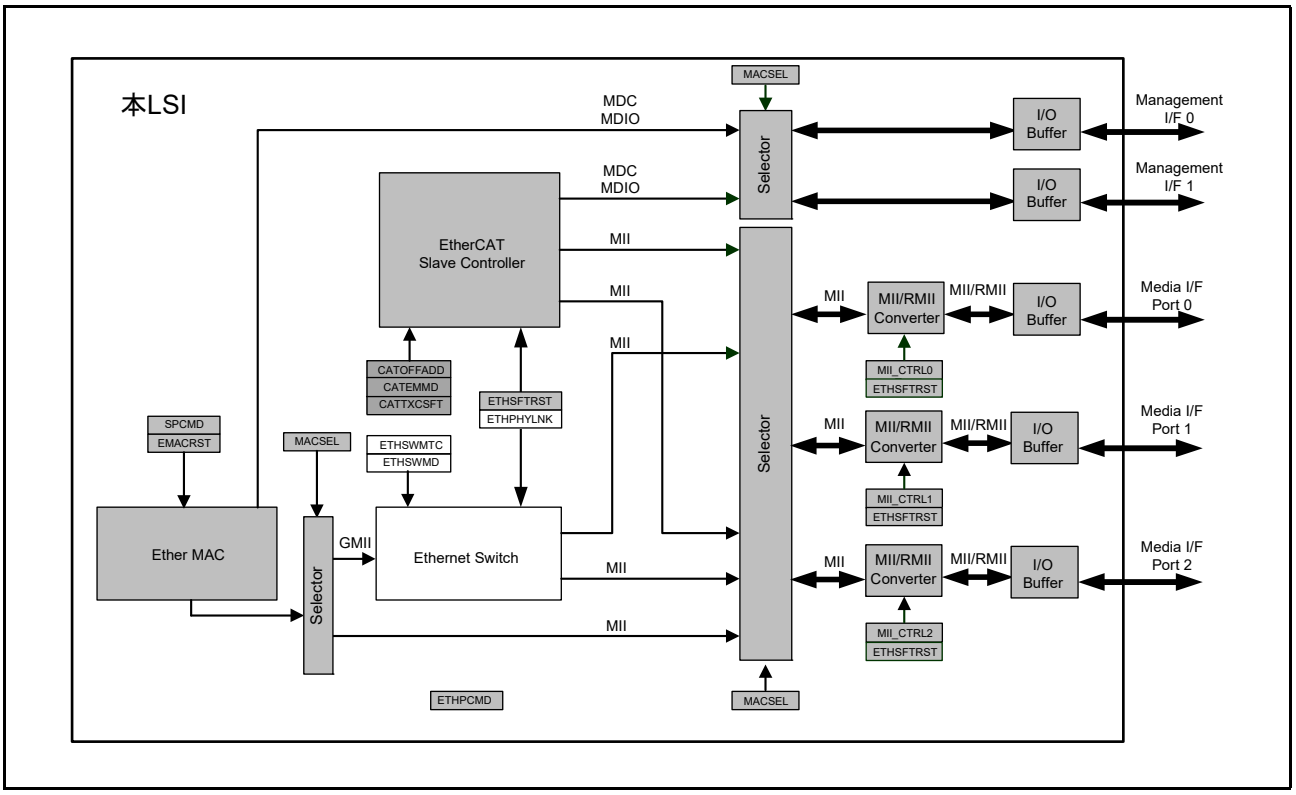


図 29.2 イーサネットインタフェースのブロック図（EtherCAT（オプション）搭載製品）

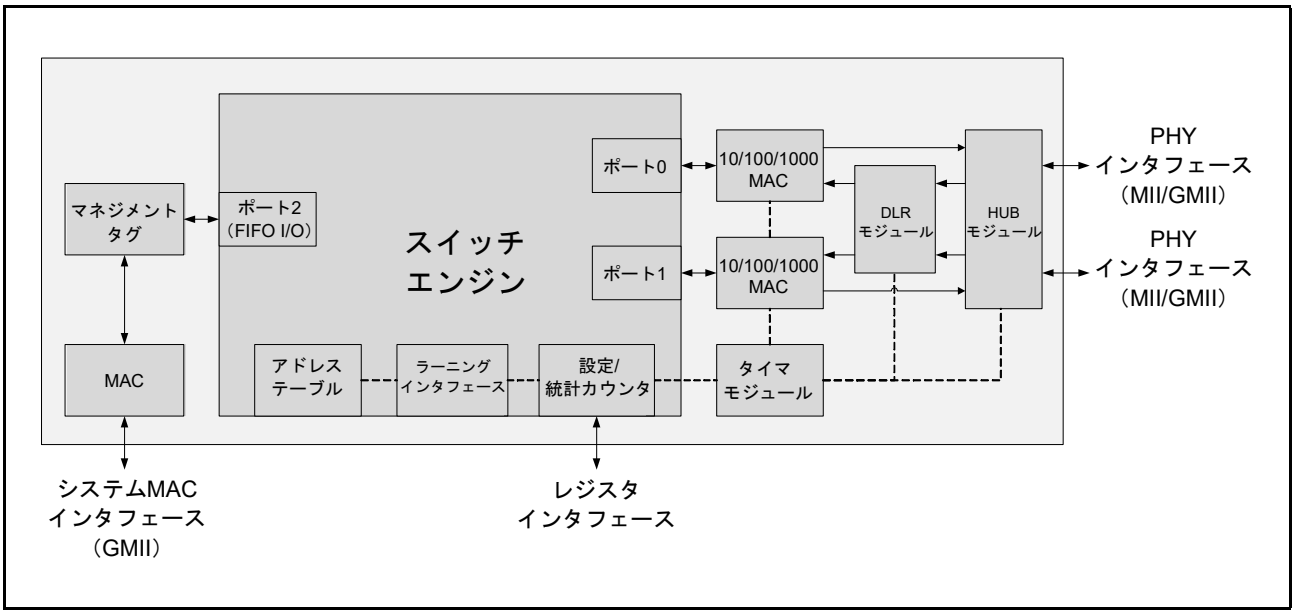


図 29.3 イーサネットスイッチ概略図

29.2　レジスタの説明

29.2.1　動作モード設定レジスタ

29.2.1.1　イーサネット PHY LINK モードレジスタ（ETHPHYLNK）

ETHPHYLNK レジスタは、イーサネットインタフェースの LINK 信号のアクティブレベルを設定するレジスタです。

注 .　本レジスタは、イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です（ETSPCMD レジスタについては、「28.　イーサネット MAC（ETHERC）」を参照してください）。プロテクト解除手順は「28.2.1.3　イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）」を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

アドレス　ETHERSW.ETHPHYLNK A00B F014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CATLINK1（注1）	CATLINK0（注1）	SWLINK1	SWLINK0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0

注1.　EtherCAT（オプション）搭載製品のみ

ビット	シンボル	ビット名	機能	R/W
b0	SWLINK0	EtherSwitch使用時のPHYLINK0端子のアクティブレベル切り替えビット	イーサネットスイッチインタフェースのPHYLINK0端子のアクティブレベルを切り替えます。 0：アクティブハイのPHYLINK信号を接続（初期値） 1：アクティブロウのPHYLINK信号を接続	R/W
b1	SWLINK1	EtherSwitch使用時のPHYLINK1端子のアクティブレベル切り替えビット	イーサネットスイッチインタフェースのPHYLINK1端子のアクティブレベルを切り替えます。 0：アクティブハイのPHYLINK信号を接続（初期値） 1：アクティブロウのPHYLINK信号を接続	R/W
b2	CATLINK0 （注1）	EtherCAT使用時のPHYLINK0端子のアクティブレベル切り替えビット	EtherCATインタフェースのPHYLINK0端子のアクティブレベルを切り替えます。 0：アクティブハイのPHYLINK信号を接続 1：アクティブロウのPHYLINK信号を接続（初期値）	R/W
b3	CATLINK1 （注1）	EtherCAT使用時のPHYLINK1端子のアクティブレベル切り替えビット	EtherCATインタフェースのPHYLINK1端子のアクティブレベルを切り替えます。 0：アクティブハイのPHYLINK信号を接続 1：アクティブロウのPHYLINK信号を接続（初期値）	R/W
b31-b4	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

注1.　EtherCAT（オプション）搭載製品のみです。その他の製品は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください

29.2.1.2　イーサネットスイッチマネージメント TAG 制御レジスタ（ETHSWMTC）

ETHSWMTC レジスタは、イーサネットスイッチ機能使用時のマネージメント TAG 情報を設定するレジスタです。

注 .　本レジスタは、イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です（ETSPCMD レジスタについては、「28.　イーサネット MAC（ETHERC）」を参照してください）。プロテクト解除手順は「28.2.1.3　イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）」を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

アドレス　ETHERSW.ETHSWMTC A00B F110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SWTAGEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWTAGTYP[15:0]															
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	SWTAGTYP[15:0]	イーサネットタイプ指定ビット	マネージメントタグに設定するイーサネットタイプ（Ethernetフレーム内で定義されたフィールド名）を指定します。 初期値は、E001hです。	R/W
b30-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b31	SWTAGEN	マネージメントタグ挿入許可ビット	フレーム内へのマネージメントタグ挿入 0：無効 1：有効	R/W

29.2.1.3　イーサネットスイッチ動作モード設定レジスタ（ETHSWMD）

ETHSWMD レジスタは、イーサネットスイッチ機能使用時の動作モードを設定するレジスタです。

アドレス　ETHERSW.ETHSWMD A00B F114h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	P1HDMODE	—	P0HDMODE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b1	P0HDMODE	ポート0転送モード設定ビット	ポート0の転送モード設定 0：全二重 1：半二重	R/W
b2	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b3	P1HDMODE	ポート1転送モード設定ビット	ポート1の転送モード設定 0：全二重 1：半二重	R/W
b31-b4	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.1.4　ETHER SWITCH 10Mbps ／半二重モード設定レジスタ（ETHSW10HDEN）

イーサネットスイッチを使用して、10Mbps ／半二重通信を行う際、ETHn_RXDV 端子（Read Data Valid）の入力をマスクするレジスタです。

ご使用になる Ethernet PHY によっては、10Mbps ／半二重転送時に、TX（送信データ）を RX（受信データ）にループバックするものがあります。このような Ethernet PHY を使用し、本デバイスのイーサネットスイッチ機能により 2 つのポートでループバックした場合、互いのポート間で転送を繰り返す動作になり、Ethernet の送受信が正常に行われません。

10Mbps ／半二重通信時に、TX（送信データ）を RX（受信データ）にループバックする Ethernet PHY を使用される場合は、必ず本レジスタに “1” をセットして使用してください。

アドレス　A00F 201Ch
Cortex-M3からのアクセスの場合
アドレス　400F 201Ch（R-IN Engine搭載製品）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SW10HDEN1	SW10HDEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SW10HDEN0	EtherSwitchのPort 0用RXDVマスク選択ビット	0：マスク無効 1：マスク有効	R/W
b1	SW10HDEN1	EtherSwitchのPort 1用RXDVマスク選択ビット	0：マスク無効 1：マスク有効	R/W
b31-b2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

29.2.2　スイッチコンフィギュレーションレジスタ

29.2.2.1　ポートイネーブルレジスタ（PORT_ENA）

PORT_ENA レジスタは、イーサネットスイッチの各ポートの許可／禁止を設定するレジスタです。禁止に設定されたポートではフレームの送信が行われません。ただし、フレームの受信は可能です。

アドレス　ETHERSW.PORT_ENA A00C 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2ENA	P1ENA	P0ENA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P0ENA	ポート0許可設定ビット	ポート0の許可設定 0：禁止 1：許可	R/W
b1	P1ENA	ポート1許可設定ビット	ポート1の許可設定 0：禁止 1：許可	R/W
b2	P2ENA	内部インタフェース許可設定ビット	内部インタフェース（ポート2）の許可設定 0：禁止 1：許可	R/W
b31-b3	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.2　ユニキャストデフォルトマスクレジスタ（UCAST_DEFAULT_MASK）

UCAST_DEFAULT_MASK レジスタは、イーサネットスイッチの各ポートのユニキャストフレームのマスク設定を行うレジスタです。フレームのデスティネーションアドレスがユニキャストであり、そのアドレスがアドレステーブルに見つからない場合でも、マスクを有効に設定したポートにはそのフレームが転送されます。

アドレス　ETHERSW.UCAST_DEFAULT_MASK A00C 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2UCASTDM	P1UCASTDM	P0UCASTDM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	P0UCASTDM	ポート0ユニキャストデフォルトマスク設定ビット	ポート0のユニキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのアドレスがアドレステーブルに見つからない場合でも、ポート0にフレームが転送されます。	R/W
b1	P1UCASTDM	ポート1ユニキャストデフォルトマスク設定ビット	ポート1のユニキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのアドレスがアドレステーブルに見つからない場合でも、ポート1にフレームが転送されます。	R/W
b2	P2UCASTDM	内部インタフェースのユニキャストデフォルトマスク設定ビット	内部インタフェース（ポート2）のユニキャストデフォルトマスクの設定 内部インタフェースでは、一般的には不要なユニキャストのトラフィックは受信する必要が無いため、多くの場合、マスク設定をする必要がありません。マスク設定をしない場合には、自身のユニキャストアドレスをスイッチのテーブルに静的に設定する、または過去の転送結果から動的に学習させる、のどちらかが必要です。 0：無効 1：有効 マスクを有効にすると、フレームのアドレスがアドレステーブルに見つからない場合でも、ポート2にフレームが転送されます。	R/W
b31-b3	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.3　ブロードキャストデフォルトマスクレジスタ（BCAST_DEFAULT_MASK）

BCAST_DEFAULT_MASK レジスタは、イーサネットスイッチの各ポートのブロードキャストフレームのマスク設定を行うレジスタです。フレームのデスティネーションアドレスがブロードキャストアドレスの場合、マスク有効に設定したポートにはそのフレームが転送されます。

アドレス　ETHERSW.BCAST_DEFAULT_MASK A00C 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2BCASTDM	P1BCASTDM	P0BCASTDM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P0BCASTDM	ポート0ブロードキャストデフォルトマスク設定ビット	ポート0のブロードキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのデスティネーションアドレスがブロードキャストアドレスの場合、ポート0にフレームが転送されます。	R/W
b1	P1BCASTDM	ポート1ブロードキャストデフォルトマスク設定ビット	ポート1のブロードキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのデスティネーションアドレスがブロードキャストアドレスの場合、ポート1にフレームが転送されます。	R/W
b2	P2BCASTDM	内部インタフェースのブロードキャストデフォルトマスク設定ビット	内部インタフェース（ポート2）のブロードキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのデスティネーションアドレスがブロードキャストアドレスの場合、ポート2にフレームが転送されます。	R/W
b31-b3	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.4　マルチキャストデフォルトマスクレジスタ（MCAST_DEFAULT_MASK）

MCAST_DEFAULT_MASK レジスタは、イーサネットスイッチの各ポートのマルチキャストフレームのマスク設定を行うレジスタです。フレームのデスティネーションアドレスがマルチキャストアドレスの場合、マスクを有効に設定したポートにはそのフレームが転送されます。

アドレス　ETHERSW.MCAST_DEFAULT_MASK A00C 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2MCASTDM	P1MCASTDM	P0MCASTDM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P0MCASTDM	ポート0マルチキャストデフォルトマスク設定ビット	ポート0のマルチキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのデスティネーションアドレスがマルチキャストアドレスの場合、ポート0にフレームが転送されます。	R/W
b1	P1MCASTDM	ポート1マルチキャストデフォルトマスク設定ビット	ポート1のマルチキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのデスティネーションアドレスがマルチキャストアドレスの場合、ポート1にフレームが転送されます。	R/W
b2	P2MCASTDM	内部インタフェースのマルチキャストデフォルトマスク設定ビット	内部インタフェース（ポート2）のマルチキャストデフォルトマスクの設定 0：無効 1：有効 マスクを有効にすると、フレームのデスティネーションアドレスがマルチキャストアドレスの場合、ポート2にフレームが転送されます。	R/W
b31-b3	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.5　入力ラーニングブロッキングレジスタ（INPUT_LEARN_BLOCK）

INPUT_LEARN_BLOCK レジスタは、イーサネットスイッチの各ポートのアドレスラーニング機能とフレームブロッキング機能を設定するレジスタです。

アドレスラーニング機能を無効（ビットを 1）に設定すると、スパニングツリーなどで用いられるブリッジプロトコルデータユニット（Bridge Protocol Data Units：BPDU）フレームのみがラーニングの対象となり、それ以外のすべてのフレームに対してはラーニングを行いません。

フレームブロッキング機能を有効（ビットを 1）に設定すると、BPDU フレームのみ受信されますが、それ以外のすべてのフレームは受信したポートで破棄され、他のポートには転送されません。

アドレス　ETHERSW.INPUT_LEARN_BLOCK A00C 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2LEARNDIS	P1LEARNDIS	P0LEARNDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2BLOCKEN	P1BLOCKEN	P0BLOCKEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P0BLOCKEN	ポート0入力ポートブロッキング機能設定ビット	ポート0の入力ポートブロッキング機能の設定 0：無効 1：有効	R/W
b1	P1BLOCKEN	ポート1入力ポートブロッキング機能設定ビット	ポート1の入力ポートブロッキング機能の設定 0：無効 1：有効	R/W
b2	P2BLOCKEN	内部インタフェースの入力ポートブロッキング機能設定ビット	内部インタフェースポート（ポート2）の入力ポートブロッキング機能の設定 0：無効 1：有効	R/W
b15-b3	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b16	P0LEARNDIS	ポート0アドレスラーニング設定ビット	ポート0のアドレスラーニングの設定 0：有効 1：無効	R/W
b17	P1LEARNDIS	ポート1アドレスラーニング設定ビット	ポート1のアドレスラーニングの設定 0：有効 1：無効	R/W
b18	P2LEARNDIS	内部インタフェースのアドレスラーニング設定ビット	内部インタフェースポート（ポート2）のアドレスラーニングの設定 0：有効 1：無効	R/W
b31-b19	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.6　マネージメントコンフィグレジスタ（MGMT_CONFIG）

MGMT_CONFIG レジスタは、イーサネットスイッチのブリッジマネージメントポートのコンフィギュレーションを行うレジスタです。BPDU フレームを送受信するマネージメントポートやその動作を設定します。本 LSI では、マネージメントポートに内部インタフェースポート（ポート 2）を設定する必要があります。

アドレス　ETHERSW.MGMT_CONFIG A00C 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	P1PORTMASK	P0PORTMASK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRIORITY			—	—	—	—	—	DISCARD	ENABLE	MSGTRANS	—	—	—	PORT	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PORT	マネージメントポート設定ビット	マネージメントポートとして動作するポートを設定します。本LSIでは、マネージメントポートは内部インタフェースポート（ポート2）を設定する必要があるため、必ず10bを設定してください。	R/W
b4-b2	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b5	MSGTRANS	メッセージ転送ステータスビット	マネージメントポートから他のポートにメッセージが転送されたときに1にセットされます。リセットするときは、このビットに0を書き込んでください。	R/W
b6	ENABLE	マネージメントポートへの転送設定ビット	BPDUフレームのマネージメントポートへの転送設定 0：BPDUフレームは特別なフレームと見なさず、他の通常のフレームと同等の方法で転送されます。もしDISCARDビットが1ならばフレームは破棄されます。 1：すべてのBPDUフレームはマネージメントポートに独占的に転送されます。	R/W
b7	DISCARD	BPDUフレーム破棄設定ビット	BPDUフレームの破棄設定 1に設定すると常に破棄されます。もしENABLEビットが1に設定されている場合は、必ず0に設定してください。 0：無効 1：有効	R/W
b12-b8	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b15-b13	PRIORITY	マネージメントフレームのプライオリティ設定ビット	転送されるマネージメントフレームのプライオリティの設定 マネージメントフレームを通常のフレームよりも早く送信したいときに、出力キューの中のプライオリティを上げることができます。	R/W
b16	P0PORTMASK （注1）	ポート0へのマネージメントフレーム転送マスク設定ビット	マネージメントポートからポート0へのマネージメントフレームの転送マスク設定 1に設定するとBPDUフレームのみが強制的にポート0に転送されます。BPDU以外のフレームは、特にこの設定の影響を受けません。 0：無効 1：有効	R/W
b17	P1PORTMASK （注1）	ポート1へのマネージメントフレーム転送マスク設定ビット	マネージメントポートからポート1へのマネージメントフレームの転送マスク設定 1に設定するとBPDUフレームのみが強制的にポート1に転送されます。BPDU以外のフレームは、特にこの設定の影響を受けません。 0：無効 1：有効	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b18	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

注1.　BPDUが転送される場合、マネージメントTAGによるフレーム毎の強制転送よりも優先されます。したがって、マネージメントTAGによる強制転送を使用するときには、PORTMASKは0に設定してください。

29.2.2.7　モードコンフィグレジスタ（MODE_CONFIG）

MODE_CONFIG レジスタは、イーサネットスイッチ内部の統計カウンタをリセットするレジスタです。

アドレス　ETHERSW.MODE_CONFIG A00C 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	STATS RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

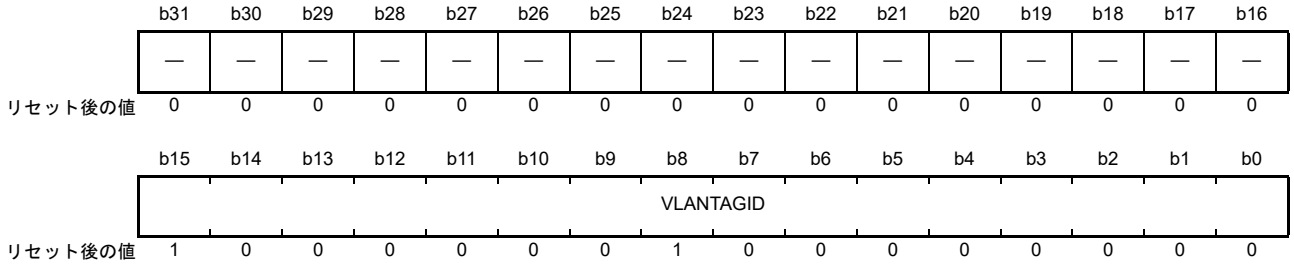
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b31	STATSRESET	統計カウンタリセットビット	レジスタA00C 0300h ～ A00C 0324hに格納されているイーサネットスイッチ内部の統計カウンタをリセットします。このビットに1を書き込むと統計カウンタはリセットされます。その後、このビットも0にクリアされます。	R/W

29.2.2.8　VLAN タグ ID レジスタ（VLAN_TAG_ID）

VLAN_TAG_ID レジスタは、VLAN タグ付きのフレームを識別するために指定する VLAN タグ ID を設定するレジスタです。IEEE802.1Q において、VLAN タグの ID は 8100h と定義されています。本レジスタのリセット後の値は 8100h のため、値を変更しないでください。

アドレス　ETHERSW.VLAN_TAG_ID A00C 0034h



ビット	シンボル	ビット名	機能	R/W
b15-b0	VLANTAGID	識別ID設定ビット	VLANタグとしての識別IDを定義します。IEEE8021.Qにおいて、VLANタグのIDは8100hと定義されているため、リセット後の値からの変更しないでください。	R/W
b31-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.9　出力キューマネージメントステータスレジスタ（OQMGR_STATUS）

OQMGR_STATUS レジスタは、イーサネットスイッチの出力キューの状態を示すステータスレジスタです。

本レジスタに任意の値を書き込むことで、値がラッチされているビット 1 とビット 3 がクリアされます。

アドレス　ETHERSW.OQMGR_STATUS A00C 0080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CELLAVILABLE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	DEQUEGRANT	—	—	MEMFULL_LT	MEMFULL	NOCELL	BUSYINIT
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	BUSYINIT	メモリ初期化ステータスビット	1がセットされていると、イーサネットスイッチ内部のメモリコントローラが、メモリを初期化している状態を示します。リセット後に本ビットがアサートされ、メモリコントローラの初期化が完了すると0になります。 イーサネットスイッチは、メモリコントローラの初期化が完了するまでイネーブルにしないでください。	R/W
b1	NOCELL	メモリセル残数ステータスビット	出力キューのメモリセルの残数がゼロになると1になります。また、リセット後は常に1にセットされるため、初期化が完了すれば（BUSYINITビットが0になれば）、本レジスタに任意の値を書き込んで、このビットをクリアしてください。 動作中に1になった場合は致命的なエラーです。ハードウェアが正常に動作している限り、1になることはありません。何らかの理由により1になった場合は、リセットを実施してください。また、出力キュー最小メモリレジスタ（QMGR_MINCELLS）を大きな値に設定してください。	R/W
b2	MEMFULL	メモリフルステータスビット	現在、メモリフルかどうかを示します。出力キュー最小メモリレジスタ（QMGR_MINCELLS）で設定した最小メモリサイズよりも使用できるメモリ数が少ない場合に1になります。 これはNOCELLと異なりエラーではなく、メモリコントローラは正常に動作し続けています。ただし、メモリオーバフローを避けるため、スイッチは入力ポートの動作を停止します。	R/W
b3	MEMFULL_LT	MEMFULL結果表示ビット	MEMFULLの結果をラッチした値を示します。MEMFULLが1から0に戻ってもMEMFULL_LTビットは1を保持し続けます。 本レジスタに任意の値を書き込むことで、このビットをクリアできます。	R/W
b5-b4	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b6	DEQUEGRANT	デキュー状態表示ビット	現在、入力がデキューされているかどうかを示します。通常は1にセットされており、メモリがフルになれば0になります。	R/W
b15-b7	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b31-b16	CELLAVILABLE	メモリセル数表示ビット	現在利用可能なメモリセル数をリアルタイムに表示します。	R/W

29.2.2.10　出力キュー最小メモリレジスタ（QMGR_MINCELLS）

QMGR_MINCELLS レジスタは、イーサネットスイッチの出力キュー用のメモリの最小限確保しておくべき値を設定するレジスタです。メモリアンダフローが発生しないようにマージンを持った値を設定する必要があります。

アドレス　ETHERSW.QMGR_MINCELLS A00C 0084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MINCELLS				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	MINCELLS	空きセル数の閾値設定ビット	出力キューメモリの空きセル数の閾値を設定します。この値よりも利用できる空きのセル数が少ない場合、スイッチは入力ポートの動作を止め、受信したフレームを破棄します。少なくともフルサイズのフレームが1つは確保できるだけのマージンを持ったサイズを設定してください。メモリアンダフローは致命的なエラーであり、リセットが必要になるので注意してください。 1セルは256Byteから構成されており、初期値は9（2.3Kbyte）です。	R/W
b31-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.11　出力キュー最小メモリ統計レジスタ（QMGR_ST_MINCELLS）

QMGR_ST_MINCELLS レジスタは、イーサネットスイッチの出力キュー用メモリの空きセルの最小値を示すレジスタです。

アドレス　ETHERSW.QMGR_ST_MINCELLS A00C 0088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	STMINCELLS				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	STMINCELLS	最少空きセル数表示ビット	このレジスタがクリアされた後で、イーサネットスイッチが動作している間に、出力キューメモリの空きセルが最も少なくなった時の空きセル数を示します。 任意の値を書き込むことで、レジスタの値は0にリセットされます。	R/W
b31-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.12　出力キュー輻輳ステータスレジスタ（QMGR_CGS_STAT）

QMGR_CGS_STAT レジスタは、イーサネットスイッチの各ポートの輻輳状態（アクセスの集中、混雑状態）を示すレジスタです。

アドレス　ETHERSW.QMGR_CGS_STAT A00C 008Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2CGS	P1CGS	P0CGS
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	P0CGS	ポート0輻輳状態表示ビット	ポート0のキューの輻輳状態を示します。 0：空き 1：輻輳	R
b1	P1CGS	ポート1輻輳状態表示ビット	ポート1のキューの輻輳状態を示します。 0：空き 1：輻輳	R
b2	P2CGS	内部インタフェースポートの輻輳状態表示ビット	内部インタフェースポート（ポート2）のキューの輻輳状態を示します。 0：空き 1：輻輳	R
b31-b3	—	予約ビット	読み出した場合は不定値が読めます。	R

29.2.2.13　キュー内部インタフェースステータスレジスタ（QMGR_IFACE_STAT）

QMGR_IFACE_STAT レジスタは、イーサネットスイッチの各ポートの RX、TX それぞれの FIFO の状態を示すレジスタです。スイッチ内部の信号のハンドシェーク結果を表しています。

アドレス　ETHERSW.QMGR_IFACE_STAT A00C 0090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2RXFIFOAV	P1RXFIFOAV	P0RXFIFOAV
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2TXFIFOST	P1TXFIFOST	P0TXFIFOST
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	P0TXFIFOST	ポート0TX FIFOステータスビット	ポート0のTX FIFOがREADY状態かどうかを示します。 0：READY状態でない 1：READY状態	R
b1	P1TXFIFOST	ポート1TX FIFOステータスビット	ポート1のTX FIFOがREADY状態かどうかを示します。 0：READY状態でない 1：READY状態	R
b2	P2TXFIFOST	内部インタフェースTX FIFOステータスビット	内部インタフェースポート（ポート2）のTX FIFOがREADY状態かどうか示します。 0：READY状態でない 1：READY状態	R
b15-b3	—	予約ビット	読み出した場合は不定値が読めます。	R
b16	P0RXFIFOAV	ポート0RX FIFOステータスビット	ポート0のRX FIFOのデータが使用可能かどうかを示します。 0：使用不可能 1：使用可能	R
b17	P1RXFIFOAV	ポート1RX FIFOステータスビット	ポート1のRX FIFOのデータが使用可能かどうかを示します。 0：使用不可能 1：使用可能	R
b18	P2RXFIFOAV	内部インタフェースRX FIFOステータスビット	内部インタフェースポート（ポート2）のRX FIFOのデータが使用可能かどうかを示します。 0：使用不可能 1：使用可能	R
b31-b19	—	予約ビット	読み出した場合は不定値が読めます。	R

29.2.2.14　キューウェイトレジスタ（QMGR_WEIGHTS）

QMGR_WEIGHTS レジスタは、イーサネットスイッチの出力キューの重み（優先度）を設定するレジスタです。各ポートは 4 本のキューを持ち、それぞれに重みを設定できます。設定した重みはすべてのポートで共通です。

すべてのキューの重みを 0 に設定した場合は、絶対優先で優先度を設定できます。その場合、キュー 3 が最優先キューとなります。

絶対優先で使用しない場合、一般的にはキュー 0, 1, 2, 3 に対して、それぞれ 1, 2, 4, 8 を設定してください。

アドレス　ETHERSW.QMGR_WEIGHTS A00C 0094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	QUEUE3					—	—	—	QUEUE2				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	QUEUE1					—	—	—	QUEUE0				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	QUEUE0	キュー 0に対する重み設定ビット	キュー 0に対する重みを設定します。ビット数は5ビットですが、設定できる値の範囲は0から12です。	R/W
b7-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b12-b8	QUEUE1	キュー 1に対する重み設定ビット	キュー 1に対する重みを設定します。ビット数は5ビットですが、設定できる値の範囲は0から12です。	R/W
b15-b13	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b20-b16	QUEUE2	キュー 2に対する重み設定ビット	キュー 2に対する重みを設定します。ビット数は5ビットですが、設定できる値の範囲は0から12です。	R/W
b23-b21	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b28-b24	QUEUE3	キュー 3に対する重み設定ビット	キュー 3に対する重みを設定します。ビット数は5ビットですが、設定できる値の範囲は0から12です。	R/W
b31-b29	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.2.15　VLAN プライオリティレジスタ n（VLAN_PRIORITYn）（n = 0 ～ 2）

VLAN_PRIORITYn レジスタは、入力フレームの VLAN タグのプライオリティを設定するレジスタです。

イーサネットスイッチにはポート毎に 8 エントリーのプログラマブルプライオリティルックアップテーブルが実装されています。VLAN タグの第 1 オクテットの上位 3 ビットに含まれているプライオリティがルックアップテーブルのインデックスとして使用され、プライオリティをマッピングし直すことができます。

注 .　設定できる値の範囲は各プライオリティに対してそれぞれ 0 から 3 です。3 ビット目は常に 0 を書き込んでください。

アドレス　ETHERSW.VLAN_PRIORITY0 A00C 0100h、ETHERSW.VLAN_PRIORITY1 A00C 0104h、ETHERSW.VLAN_PRIORITY2 A00C 0108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	PRIORITY7			PRIORITY6			PRIORITY5	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRIORITY5	PRIORITY4			PRIORITY3			PRIORITY2			PRIORITY1			PRIORITY0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PRIORITY0	プライオリティ 0設定ビット	入力フレームのVLANタグのプライオリティ 0に対して設定されるプライオリティを設定します。	R/W
b5-b3	PRIORITY1	プライオリティ 1設定ビット	入力フレームのVLANタグのプライオリティ 1に対して設定されるプライオリティを設定します。	R/W
b8-b6	PRIORITY2	プライオリティ 2設定ビット	入力フレームのVLANタグのプライオリティ 2に対して設定されるプライオリティを設定します。	R/W
b11-b9	PRIORITY3	プライオリティ 3設定ビット	入力フレームのVLANタグのプライオリティ 3に対して設定されるプライオリティを設定します。	R/W
b14-b12	PRIORITY4	プライオリティ 4設定ビット	入力フレームのVLANタグのプライオリティ 4に対して設定されるプライオリティを設定します。	R/W
b17-b15	PRIORITY5	プライオリティ 5設定ビット	入力フレームのVLANタグのプライオリティ 5に対して設定されるプライオリティを設定します。	R/W
b20-b18	PRIORITY6	プライオリティ 6設定ビット	入力フレームのVLANタグのプライオリティ 6に対して設定されるプライオリティを設定します。	R/W
b23-b21	PRIORITY7	プライオリティ 7設定ビット	入力フレームのVLANタグのプライオリティ 7に対して設定されるプライオリティを設定します。	R/W
b31-b24	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

n = 0 ～ 2

n = 0 はポート 0、n = 1 はポート 1、n = 2 は内部インタフェースポート（ポート 2）です。

29.2.2.16　IP プライオリティレジスタ n（IP_PRIORITYn）（n = 0 ～ 2）

イーサネットスイッチにはポート毎に、IPv4 および IPv6 の COS （Class of Services）テーブルが実装されています。IPv4 COS テーブルには、フレームに含まれる 6 ビットの DiffServ フィールドがルックアップテーブルのインデックスとして使用され、2 ビットのプライオリティを設定できます。IPv6 COS テーブルには、フレームに含まれる 8 ビットの COS フィールドがルックアップテーブルのインデックスとして使用され、2 ビットのプライオリティを設定できます。本レジスタを用いて COS テーブルの設定および参照を行います。本レジスタへのライト動作で COS テーブルに設定を、リード動作で COS テーブルを参照できます。

アドレス　ETHERSW.IP_PRIORITY0 A00C 0140h、ETHERSW.IP_PRIORITY1 A00C 0144h、ETHERSW.IP_PRIORITY2 A00C 0148h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	READ	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PRIORITY		IPV6SELECT	ADDRESS							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ADDRESS	COSテーブルアドレス指定ビット	COSテーブルのインデックスとなるアドレスを指定します。IPv4の場合は6bit（64エントリ）、IPv6の場合は8bit（256エントリ）です。	R/W
b8	IPV6SELECT	IPv6のCOSテーブル選択ビット	IPv6のCOSテーブルが選択されていることを示します。 0：IPv4のCOSテーブルへアクセスします。ADDRESSビットの有効範囲は、0から63の範囲です。 1：IPv6のCOSテーブルへアクセスします。ADDRESSビットの有効範囲は、0から255の範囲です。	R/W
b10-b9	PRIORITY	COSテーブルプライオリティビット	ライト時は、COSテーブルに書き込むプライオリティの情報を設定します。 リード時は、COSテーブルに書き込まれているプライオリティ情報が読めます。読み込むCOSテーブルのアドレスインデックスは、最後にライト動作をしたアドレスです。	R/W
b30-b11	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b31	READ	COSテーブル動作切り替えビット	COSテーブルへの読み出し／書き込み動作の切り替えを行います。 本レジスタへのライト時： 0：COSテーブルにプライオリティ情報を書き込みます。 1：COSテーブルにプライオリティ情報を書き込みません（変化なし）。 本レジスタへのリード時： COSテーブルから、最後にライト動作を行ったアドレスのプライオリティ情報を読み出します。 COSテーブルからプライオリティ情報を読み出すためには、以下の手順が必要となります。 • 本ビットを1に、IPV6SELECT, ADDRESSビットを所望の値として、ライト動作を実施（読み込むアドレスの確定）。 • リード動作を実施	R/W

n = 0 ～ 2
n = 0 はポート 0、n = 1 はポート 1、n = 2 は内部インタフェースポート（ポート 2）です。

29.2.2.17　プライオリティコンフィギュレーションレジスタ n（PRIORITY_CFGn）（n = 0 ～ 2）

PRIORITY_CFGn レジスタは、受信したフレームに対して、フレーム内のどのプライオリティフィールドを用いて、スイッチ内部でのキューのプライオリティに再配置するか、ポート毎に設定するレジスタです。複数のタイプのプライオリティフィールドを有効にさせている場合、処理の優先度が高い順に、IP プライオリティ（DiffServ/COS）、VLAN プライオリティ、デフォルトのプライオリティの順番でプライオリティの再配置処理が行われます。

アドレス　ETHERSW.PRIORITY_CFG0 A00C 0180h、ETHERSW.PRIORITY_CFG1 A00C 0184h、ETHERSW.PRIORITY_CFG2 A00C 0188h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	DEFAULTPRI			—	—	IPEN	VLANEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLANEN	VLAN プライオリティ許可ビット	ポート n で受信したフレームに対して、VLAN プライオリティを有効にします。 0：VLAN プライオリティは使用しません。フレームの VLAN タグのプライオリティフィールドは無視されます。 1：フレームの VLAN タグのプライオリティフィールドを用いて、スイッチ内のプライオリティを決定します。フレームを受信したポートに対する VLAN_PRIORITYn レジスタの設定にしたがって決定されます。	R/W
b1	IPEN	IP プライオリティ許可ビット	ポート n で受信したフレームに対して、IP プライオリティを有効にします。 0：IP プライオリティは使用しません。フレームの IP Diffserv/COS フィールドは無視されます。 1：フレームの IP DiffServ/COS フィールドを用いて、スイッチ内のプライオリティを決定します。フレームを受信したポートに対する IP_PRIORITYn レジスタの設定にしたがって決定されます。	R/W
b3-b2	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください	R/W
b6-b4	DEFAULTPRI	デフォルトプライオリティ設定ビット	ポート n で受信するフレームのデフォルトのプライオリティを設定します。 IP プライオリティ、VLAN プライオリティのどちらも使用しない場合にこの プライオリティが適用されます。設定できる値の範囲は 0 から 3 です。3 ビット目は常に 0 を書き込んでください。	R/W
b31-b7	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください	R/W

n = 0 ～ 2
n = 0 はポート 0、n = 1 はポート 1、n = 2 は内部インタフェースポート（ポート 2）です。

29.2.2.18　ハブコントロールレジスタ（HUB_CONTROL）

HUB_CONTROL レジスタは、ハブ機能の動作を設定するレジスタです。ハブを有効にすることにより、高速なカットスルーが可能になります。

アドレス　ETHERSW.HUB_CONTROL A00C 01C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	HUBIPG				BROCAFILEN	DIR1TO0EN	DIR0TO1EN	HUBEN
リセット後の値	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0

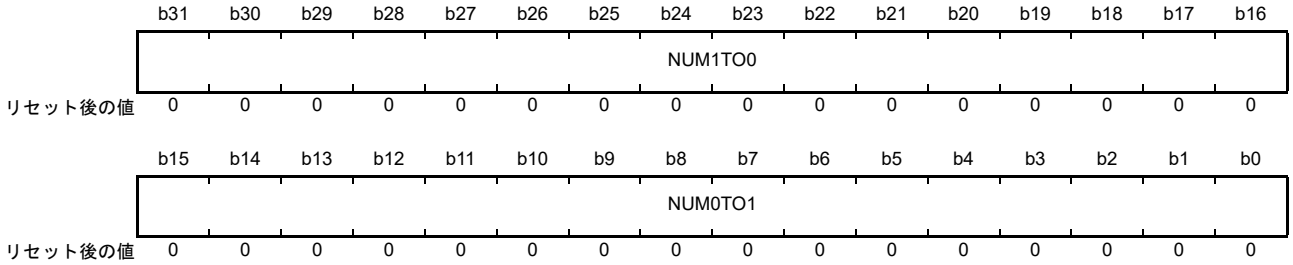
ビット	シンボル	ビット名	機能	R/W
b0	HUBEN	ハブ許可ビット	ハブの有効／無効を設定します。 0：無効 1：有効 注：本ビットが0に設定され、HUB_FLT_MACnhi レジスタのFORCEFOWビットが無効に設定されている場合、ハブはリセットされます。 注：ハブを無効にしても、個々のHUB_FLT_MACnhi レジスタで有効にすることができる強制転送機能は無効になりません。	R/W
b1	DIR0TO1EN	ポート0からのハブ転送許可ビット	ポート0からポート1へのハブによる転送の有効／無効を設定します。 有効に設定した場合、ポート0で受信したすべてのトラフィックは、ハブがアクティブ時、ハブを経由してポート1に転送されます。 0：無効 1：有効	R/W
b2	DIR1TO0EN	ポート1からのハブ転送許可ビット	ポート1からポート0へのハブによる転送の有効／無効を設定します。 有効に設定した場合、ポート1で受信したすべてのトラフィックは、ハブがアクティブ時、ハブを経由してポート0に転送されます。 0：無効 1：有効	R/W
b3	BROCAFILEN	ブロードキャストフィルタ許可ビット	ブロードキャストフィルタを有効／無効にします。有効に設定した場合、ハブはすべてのブロードキャストフレームを転送しません。（通常は有効にする必要があります） 0：無効 1：有効	R/W
b7-b4	HUBIPG	IPGサイズ設定ビット	ハブが連続してフレームを送信するときに、フレーム間に挿入されるIPGのサイズ（オクテット数）を設定します。実際に挿入されるギャップの値に対して、-2の値を設定してください。 デフォルトのイーサネットの場合、IPGは12オクテットなので、このレジスタに10を設定します。有効な値は6から13です。 注：いずれかのポートが半二重で動作している場合、ハブを無効にする必要があります。	R/W
b31-b8	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

注.　DIR1TO0ENビットとDIR0TO1ENビットは同時に有効にすることが可能です。つまり両方向の同時転送が可能です。

29.2.2.19　ハブフレームカウントレジスタ（HUB_STATS）

HUB_STATS レジスタは、一方のポートから他方のポートまでハブを介して転送されたフレームの数を示すレジスタです。転送設定が無効に設定されると（HUB_CONTROL レジスタの DIR1TO0EN ビットあるいは DIR0TO1EN ビットが 0）、そのチャネルのカウンタはクリアされます。

アドレス　ETHERSW.HUB_STATS A00C 01C4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	NUM0TO1	ポート0からの転送フレーム数表示ビット	ポート0からポート1にハブを介して転送されたフレームの数（HUB_CONTROL レジスタの DIR0TO1EN ビットが1のとき）	R
b31-b16	NUM1TO0	ポート1からの転送フレーム数表示ビット	ポート1からポート0にハブを介して転送されたフレームの数（HUB_CONTROL レジスタの DIR1TO0EN ビットが1のとき）	R

29.2.2.20　ハブ入力フィルタ用 MAC アドレス low レジスタ（HUB_FLT_MACnlo）（n = 0 ～ 6）

HUB_FLT_MACnlo レジスタは、ハブでフィルタする MAC アドレスを設定するレジスタです。MAC アドレスの最初の 4 オクテットを HUB_FLT_MACnlo レジスタに、残りの 2 オクテットを HUB_FLT_MACnhi レジスタに設定します。最大 7 個まで MAC アドレスを設定することが可能です。設定した MAC アドレスのいずれかが受信フレームの宛先アドレスと一致する場合、そのフレームはハブを介して転送されません。未使用のレジスタの MAC アドレス設定は 0 にしてください。

アドレス　ETHERSW.HUB_FLT_MAC0lo A00C 01C8h、ETHERSW.HUB_FLT_MAC1lo A00C 01D0h、ETHERSW.HUB_FLT_MAC2lo A00C 01D8h、ETHERSW.HUB_FLT_MAC3lo A00C 01E0h、ETHERSW.HUB_FLT_MAC4lo A00C 01E8h、ETHERSW.HUB_FLT_MAC5lo A00C 01F0h、ETHERSW.HUB_FLT_MAC6lo A00C 01F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MACADD4n								MACADD3n							
リセット後の値	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MACADD2n								MACADD1n							
リセット後の値	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）

注1.　n = 0～5 のリセット後の値は0000 0000hです。
n = 6 のリセット後の値は006C 2101hです。リセット後の値にはビーコンフレームの宛先アドレスが設定されています。DLR機能を使用する時は、このレジスタにビーコンフレームの宛先アドレスが保持されていなければなりません。

ビット	シンボル	ビット名	機能	R/W
b7-b0	MACADD1n	MACアドレスn第1バイト設定ビット	MACアドレスnの第1バイトを設定します。	R/W
b15-b8	MACADD2n	MACアドレスn第2バイト設定ビット	MACアドレスnの第2バイトを設定します。	R/W
b23-b16	MACADD3n	MACアドレスn第3バイト設定ビット	MACアドレスnの第3バイトを設定します。	R/W
b31-b24	MACADD4n	MACアドレスn第4バイト設定ビット	MACアドレスnの第4バイトを設定します。	R/W

n = 0 ～ 6

29.2.2.21　ハブ入力フィルタ用 MAC アドレス high レジスタ（HUB_FLT_MACnhi）（n = 0 ～ 6）

HUB_FLT_MACnhi レジスタは、ハブでフィルタする MAC アドレスを設定するレジスタです。MAC アドレスの最初の 4 オクテットを HUB_FLT_MACnlo レジスタに、残りの 2 オクテットを HUB_FLT_MACnhi レジスタに設定します。最大 7 個まで MAC アドレスを設定することが可能です。設定した MAC アドレスのいずれかが受信フレームの宛先アドレスと一致する場合、そのフレームはハブを介して転送されません。未使用のレジスタの MAC アドレス設定は 0 に、MASKCOMP ビットには 0xFF を設定してください。

アドレス　ETHERSW.HUB_FLT_MAC0hi A00C 01CCh、ETHERSW.HUB_FLT_MAC1hi A00C 01D4h、ETHERSW.HUB_FLT_MAC2hi A00C 01DCh、ETHERSW.HUB_FLT_MAC3hi A00C 01E4h、ETHERSW.HUB_FLT_MAC4hi A00C 01ECh、ETHERSW.HUB_FLT_MAC5hi A00C 01F4h、ETHERSW.HUB_FLT_MAC6hi A00C 01FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	FORCE FOW	MASKCOMP							
リセット後の値	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MACADD6n								MACADD5n							
リセット後の値	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）

注1.　n = 0～5 のリセット後の値は0000 0000hです。
n = 6のリセット後の値は01FF 0100hです。リセット後の値には強制転送の有効、ビーコンフレームの宛先アドレスが設定されています。DLR機能を使用する時は、このレジスタにビーコンフレームの宛先アドレスが保持されていなければなりません。

ビット	シンボル	ビット名	機能	R/W
b7-b0	MACADD5n	MACアドレスn第5バイト設定ビット	MACアドレスnの第5バイトを設定します。	R/W
b15-b8	MACADD6n	MACアドレスn第6バイト設定ビット	MACアドレスnの第6バイトを設定します。 MASKCOMPで0に設定したビットがある場合、本ビットの対応するビットにも 0 を設定する必要があります。	R/W
b23-b16	MASKCOMP	MACアドレスの最終バイトマスク設定ビット	MACアドレスの最終バイト（第6バイト）をビット単位でマスクしてフィルタを実行することができます。この8ビットに対して、1を設定したビットのみがフィルタでの比較対象となり、0を設定したビットは比較されません。実際の処理としては、受信したMACアドレスの最終バイトと本ビットがANDされ、その結果とMACADD6nビットとの比較を行います。したがって、本ビットで0を設定したビットに対応するMACADD6nビットには0を設定してください。	R/W
b24	FORCEFOW	強制転送設定ビット	強制転送の有効／無効を設定します。 0：無効 1：有効 有効に設定すると、MACアドレスが一致するフレームは、フィルタ処理されず、ハブを経由して転送されます。一方、このフレームはスイッチ内部へは転送されません。つまりスイッチ内部のMACで処理される前に強制転送が行われるため、スイッチはこのフレームを受信することはありません。ただし、DLRモジュールはこのフレームを受信することが可能です。 なお、強制転送はハブ機能を無効に設定（HUB_CONTROLレジスタのHUBENビットを0に設定）していても有効に動作します。	R/W
b31-b25	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

n = 0 ～ 6

29.2.2.22　スイッチ統計カウンタ

本 LSI は、イーサネットスイッチで処理するフレームの統計値を以下のレジスタに格納しています。
以下のレジスタは、すべて 32 ビット構成、読み出しのみ可能、リセット後の値 0000 0000h です。

アドレス	略号	内容
A00C 0300h	TOTAL_BYT_FRM	スイッチで処理されかつ廃棄されない受信フレームのバイト数の合計値（TOTAL_FRMで数えたフレームのバイト数の合計）
A00C 0304h	TOTAL_BYT_DISC	スイッチで処理されたが廃棄された受信フレームのバイト数の合計値（TOTAL_DISCで数えたフレームのバイト数の合計）
A00C 0308h	TOTAL_FRM	スイッチで処理されかつ廃棄されない受信フレーム数
A00C 030Ch	TOTAL_DISC	スイッチで処理されたが廃棄された受信フレーム数
A00C 0310h + 0008h*n	ODISCn	出力キューの輻輳によりポートnで廃棄された送信フレーム数
A00C 0314h + 0008h*n	IDISC_BLOCKEDn	ブロッキングモードに設定されているため、ポートnでラーニング後に破棄された受信フレーム数

n = 0 ～ 2
n = 0 はポート 0、n = 1 はポート 1、n = 2 は内部インタフェースポート（ポート 2）です。

29.2.3　ラーニングインタフェースレジスタ

イーサネットスイッチが学習したソースアドレスとポートの情報を、ラーニングインタフェースを通して取得できます。ルックアップテーブルを構築するために使用されます。得られる情報は 2 つのレジスタを通して取得できますが、最初に LRN_REC_A レジスタをリードし、次に LRN_REC_B レジスタをリードしてください。

LRN_REC_B レジスタへのアクセス後、次のラーニング情報が利用可能な場合には、LRN_REC_A レジスタおよび LRN_REC_B レジスタには FIFO からその情報がセットされます。

29.2.3.1　ラーニングレコード A レジスタ（LRN_REC_A）

アドレス　ETHERSW.LRN_REC_A A00C 0500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SRCADD4								SRCADD3							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRCADD2								SRCADD1							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SRCADD1	ソースMACアドレス第1オクテット表示ビット	ソースMACアドレスの第1オクテット	R
b15-b8	SRCADD2	ソースMACアドレス第2オクテット表示ビット	ソースMACアドレスの第2オクテット	R
b23-b16	SRCADD3	ソースMACアドレス第3オクテット表示ビット	ソースMACアドレスの第3オクテット	R
b31-b24	SRCADD4	ソースMACアドレス第4オクテット表示ビット	ソースMACアドレスの第4オクテット	R

29.2.3.2　ラーニングレコードB レジスタ（LRN_REC_B）

アドレス　ETHERSW.LRN_REC_B A00C 0504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	PORT				HASH							
リセット後の値	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRCADD6								SRCADD5							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	SRCADD5	ソースMACアドレス第5オクテット表示ビット	ソースMACアドレスの第5オクテット	R
b15-b8	SRCADD6	ソースMACアドレス第6オクテット表示ビット	ソースMACアドレスの第6オクテット	R
b23-b16	HASH	ソースMACアドレスのハッシュコード表示ビット	ソースMACアドレスに対応するハッシュコード	R
b27-b24	PORT	ポート番号表示ビット	ポート番号	R
b31-b28	—	予約ビット	読み出した場合は不定値が読めます。	R

29.2.3.3　ラーニングデータステータスレジスタ（LRN_STATUS）

LRN_STATUS レジスタは、LRN_REC_A レジスタおよびLRN_REC_B レジスタが有効なデータであるかどうかを示すレジスタです。

アドレス　ETHERSW.LRN_STATUS A00C 0508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LERNAVAL
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	LERNAVAL	ラーニングデータステータスビット	ラーニングデータ有効ステータス 0：無効 1：有効	R
b31-b1	—	予約ビット	読み出した場合は不定値が読めます。	R

29.2.3.4 アドレステーブル（ADR_TABLE）

アドレス・テーブルは、256 エントリのブロックから構成されており、各ブロックにはそれぞれ 64 ビットの情報を含むレコードを 8 個持っています。64 ビット長のレコードには、48 ビットの MAC アドレスと転送に必要な情報や優先度、タイムスタンプの情報が含まれています。MAC アドレスから計算したハッシュコードが、8 エントリから成るブロックのスタートアドレスを指します。アドレステーブルの詳細は、**「29.3.1.4 レイヤ 2 ルックアップエンジン (3) アドレステーブル」**、**「29.4.3 アドレステーブル設定」**を参照してください。

29.2.4　MAC ポートレジスタ

MAC ポートレジスタは、ポート 0 およびポート 1 の MAC に関するレジスタです。レジスタの大部分（コマンドコンフィグレジスタと統計カウンタ以外のレジスタ）はポート 0 とポート 1 で共有されています。ただし、レジスタへのアクセスはポート毎に設定されたアドレスへのアクセスでリードライトが可能です。レジスタ名に “shared” と記載されたレジスタが共有されているレジスタです。

29.2.4.1　コマンドコンフィグレジスタ n（COMMAND_CONFIGn）（n = 0, 1）

COMMAND_CONFIGn レジスタは、MAC の設定やリセットを行うレジスタです。

アドレス　ETHERSW.COMMAND_CONFIG0 A00C 8008h、ETHERSW.COMMAND_CONFIG1 A00C A008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CNTRESET	—	—	—	—	RXERRDISC	—	NOLGTHCHK	CNTRLREMEN	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SWRESET	—	—	—	—	—	—	—	—	—	—	—	RXENA	TXENA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXENA	送信機能許可ビット	送信機能の有効／無効を設定します。 0：無効 1：有効 ソフトウェアリセットにより0にクリアされます。	R/W
b1	RXENA	受信機能許可ビット	受信機能の有効／無効を設定します。 0：無効 1：有効 ソフトウェアリセットにより0にクリアされます。	R/W
b3-b2	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b4	—	予約ビット	読み出した値は不定です。書く場合、“1”としてください。	R/W
b12-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b13	SWRESET	ソフトウェアリセットビット	セルフクリアソフトウェアリセットコマンドです。 1がライトされると、MACの送受信が無効になり、受信バッファがクリアされます。ソフトウェアリセットシーケンスが完了した後、本ビットは自動的に0に戻ります。 注：ビットが自動的に0に戻るのは両方のMACのライン側のクロックが供給されている場合のみです。ライン側のクロックが供給されていない場合、0を書き込むことで本ビットを0にクリアしてください。	R/W
b22-b14	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b23	CNTRLREMEN	コントロールフレーム許可ビット	MACコントロールフレームの有効／無効を設定します。 0：オペコードが0001h以外のMACコントロールフレームは破棄されます。 1：オペコードが0001h以外のMACコントロールフレームは受信され、他のポートに転送されます。	R/W
b24	NOLGTHCHK	ペイロード長チェック設定ビット	ペイロード長チェックの有効／無効を設定します。 0：有効（デバッグ用） 1：無効 注：本LSIでは常に1を書き込んでください。	R/W
b25	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b26	RXERRDISC	受信エラーフレーム破棄設定ビット	受信エラーフレーム破棄の有効／無効を設定します。 0：エラーフレームはRX_ERがアサートされた状態で、他のポートに転送されます（デバッグ用）。 1：エラーで受信したフレームはコアで破棄され、他のポートに転送されません。 注：本LSIでは常に1を書き込んでください。	R/W
b30-b27	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b31	CNTRESET	カウンタリセットビット	セルフクリアカウンタリセットコマンドです。 1がライトされると、統計カウンタはすべて0になります。 その後、本ビットは自動的に0に戻ります。 注：本レジスタはMAC0とMAC1で共有されていませんが、このビットだけ例外でMAC0とMAC1のいずれかのレジスタで本ビットに1をライトすると、両方のMACの統計カウンタがクリアされます。	R/W

n = 0, 1
n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。

29.2.4.2　最大フレーム長レジスタ n（FRM_LENGTHn）（shared）（n = 0, 1）

FRM_LENGTHn レジスタは、最大フレーム長を設定するレジスタです。MAC の受信回路でフレーム長をチェックするために使用します。リセット後の値は、単一の VLAN タグ付きのフレームを許容できる 1522 に設定されています。タグのフレキシビリティを持たせるために、1536 程度に設定しても構いません。設定可能な最大値は 1700 です。

アドレス　ETHERSW.FRM_LENGTH0 A00C 8014h、ETHERSW.FRM_LENGTH1 A00C A014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FRMLEN													
リセット後の値	0	0	0	0	0	1	0	1	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	FRMLEN	最大フレーム長設定ビット	最大フレーム長	R/W
b31-b14	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

n = 0, 1
n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。

29.2.4.3 FIFO バッファスレッショルドレジスタ n（shared）（n = 0, 1）

FIFO バッファスレッショルドレジスタ n は、MAC の FIFO バッファのスレッショルドを設定するレジスタで、オーバフロー、アンダフローの管理を行います。基本的には、リセット後の値から変更する必要はありません。

アドレス	略号	初期値	R/W	内容
A00C 801Ch + 2000h*n	RX_SECTION_EMPTYn	0000 0000h	R	受信バッファがフルに近い状態を示すためのスレッショルドです。一般的にPauseフレームの送信に使用されますが、0が設定されている場合は生成されません。本LSIでは0から変更できません。
A00C 8020h + 2000h*n	RX_SECTION_FULLn	0000 0000h	RW	受信バッファから読み出すのに十分なエントリがあるかどうかを示すためのスレッショルドです。0の場合、ストアアンドフォワードとなります。本LSIでは常に0を設定してください。
A00C 8024h + 2000h*n	TX_SECTION_EMPTYn	0000 0048h	RW	送信FIFOがフルに近い状態を示すためのスレッショルドです。
A00C 8028h + 2000h*n	TX_SECTION_FULLn	0000 0014h	RW	送信FIFOからフレームを送信を開始するのに十分なエントリがあるかどうかを示すためのスレッショルドです。
A00C 802Ch + 2000h*n	RX_ALMOST_EMPTYn	0000 0008h	R	受信バッファが空になる前の、まだ読みだされていないエントリのスレッショルドです。FIFOアンダフローの回避に使用されます。 本LSIでは値の変更はできません。
A00C 8030h + 2000h*n	RX_ALMOST_FULLn	0000 0005h	R	受信バッファがフルになる前の、まだ書き込みされていないエントリのスレッショルドです。FIFOオーバフローの回避に使用されます。 本LSIでは値の変更はできません。
A00C 8034h + 2000h*n	TX_ALMOST_EMPTYn	0000 0004h	R	送信FIFOが空になる前の、まだ読みだされていないエントリのスレッショルドです。FIFOアンダフローの回避に使用されます。 本LSIでは値の変更はできません。
A00C 8038h + 2000h*n	TX_ALMOST_FULLn	0000 0010h	R	送信FIFOがフルになる前の、まだ書き込みされていないエントリのスレッショルドです。FIFOオーバフローの回避に使用されます。 本LSIでは値の変更はできません。

n = 0, 1
n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。

29.2.4.4　MAC ステータスレジスタ n（MAC_STATUSn）（shared）（n = 0, 1）

MAC_STATUSn レジスタは、MAC の通信設定状態を示すレジスタです。

アドレス　ETHERSW.MAC_STATUS0 A00C 8058h、ETHERSW.MAC_STATUS1 A00C A058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	HDPP1	—	SPEED P1	—	HDPP0	—	SPEED P0	—	—	—	—	—	—	—	—
リセット後の値	x	0	x	0	x	0	x	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読み出した場合は不定値が読めます。	R
b8	SPEEDP0	MACポート0のリンク速度設定ビット	MACポート0のリンク速度の設定値 0：10/100Mbps 1：1Gbps	R
b9	—	予約ビット	読み出した場合は不定値が読めます。	R
b10	HDPP0	MACポート0のDuplex設定ビット	MACポート0のDuplexの設定値 0：全二重 1：半二重	R
b11	—	予約ビット	読み出した場合は不定値が読めます。	R
b12	SPEEDP1	MACポート1のリンク速度設定ビット	MACポート1のリンク速度の設定値 0：10/100Mbps 1：1Gbps	R
b13	—	予約ビット	読み出した場合は不定値が読めます。	R
b14	HDPP1	MACポート1のDuplex設定ビット	MACポート1のDuplexの設定値 0：全二重 1：半二重	R
b31-b15	—	予約ビット	読み出した場合は不定値が読めます。	R

n = 0, 1

n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。

29.2.4.5　送信 IPG 長レジスタ n（TX_IPG_LENGTHn）（shared）（n = 0, 1）

TX_IPG_LENGTHn レジスタは、送信時のパケット間ギャップ（IPG）を設定するレジスタです。

アドレス　ETHERSW.TX_IPG_LENGTH0 A00C 805Ch、ETHERSW.TX_IPG_LENGTH1 A00C A05Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TXIPGLEN				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	TXIPGLEN	パケット間ギャップ値設定ビット	送信時のパケット間ギャップ（IPG）の値（バイト時間）を設定します。設定できる値の範囲は8～27です。8未満または27を超える値が設定されている場合は、12に設定されます。	R/W
b31-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

n = 0, 1

n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。

29.2.4.6　MAC 受信／送信統計カウンタ

本 LSI は、イーサネットスイッチで処理するフレームの統計値をポート毎にレジスタに格納しています。
以下のレジスタは、すべて 32 ビット構成、読み出しのみ可能、リセット後の値 0000 0000h です。

(1)　受信統計カウンタ

アドレス	略号	内容
A00C 8100h + 2000h*n	etherStatsOctets_n	ポートnで受信した、フレームのオクテットの総数（正常、異常フレーム両方を含む）
A00C 8104h + 2000h*n	OctetsOK_n	ポートnで受信した、正常フレームのみのオクテットの総数。MIBカウンタのifInOctetsの代わりとなるものです。
A00C 8108h + 2000h*n	aAlignmentErrors_n	ポートnで受信した、フレームがRX_DVのアサートが解除されても、SDFが検出されない場合のフレーム数
A00C 810Ch + 2000h*n	aPAUSEMACCtrlFrames_n	ポートnで受信した、正常なポーズフレームの数
A00C 8110h + 2000h*n	FramesOK_n	ポートnで受信した、正常なフレームの数
A00C 8114h + 2000h*n	CRCErrors_n	ポートnで受信した、CRCは異常であるが、長さは正常であるフレームの数
A00C 8118h + 2000h*n	VLANOK_n	ポートnで受信した、正常なVLANタグを持つフレームの数
A00C 811Ch + 2000h*n	ifInErrors_n	ポートnで以下の受信エラーを起こしたフレームの数 • FIFOオーバフロー • CRCエラー • ペイロード長エラー • Jabberやサイズオーバエラー • PHYのエラー（RX_ERのアサート）
A00C 8120h + 2000h*n	ifInUcastPkts_n	ポートnで受信した、正常ユニキャストフレームの数
A00C 8124h + 2000h*n	ifInMulticastPkts_n	ポートnで受信した、正常マルチキャストフレームの数
A00C 8128h + 2000h*n	ifInBroadcastPkts_n	ポートnで受信した、正常ブロードキャストフレームの数
A00C 812Ch + 2000h*n	etherStatsDropEvents_n	ポートnでFIFO不足により受信できなかったフレームの数
A00C 8130h + 2000h*n	etherStatsPkts_n	ポートnで受信した、全フレーム（正常、異常両方含む）
A00C 8134h + 2000h*n	etherStatsUndersizePkts_n	ポートnで受信した、64バイト以下でかつ正常なCRCを持つフレームの数。ただし、24バイト以下のフレームは含みません。
A00C 8138h + 2000h*n	etherStatsPkts64Octets_n	ポートnで受信した、64バイトの長さのフレームの数
A00C 813Ch + 2000h*n	etherStatsPkts65to127Octets_n	ポートnで受信した、65バイト以上、127バイト以下の長さのフレームの数
A00C 8140h + 2000h*n	etherStatsPkts128to255Octets_n	ポートnで受信した、128バイト以上、255バイト以下の長さのフレームの数
A00C 8144h + 2000h*n	etherStatsPkts256to511Octets_n	ポートnで受信した、256バイト以上、511バイト以下の長さのフレームの数
A00C 8148h + 2000h*n	etherStatsPkts512to1023Octets_n	ポートnで受信した、512バイト以上、1023バイト以下の長さのフレームの数
A00C 814Ch + 2000h*n	etherStatsPkts1024to1518Octets_n	ポートnで受信した、1024バイト以上、1518バイト以下の長さのフレームの数
A00C 8150h + 2000h*n	etherStatsPkts1519toMax_n	ポートnで受信した、1519バイト以上、最大フレーム長レジスタ（FRM_LENTGHn）の値以下の長さのフレームの数
A00C 8154h + 2000h*n	etherStatsOversizePkts_n	ポートnで受信した、最大フレーム長レジスタ（FRM_LENGTHn）の値を超える長さのフレームの数。CRCは正常。
A00C 8158h + 2000h*n	etherStatsJabbers_n	ポートnで受信した、最大フレーム長レジスタ（FRM_LENGTHn）の値を超える長さのフレームの数。CRCは異常。
A00C 815Ch + 2000h*n	etherStatsFragments_n	ポートnで受信した、64バイト以下でかつ異常なCRCを持つフレームの数。ただし、24バイト以下のフレームは含みません。また、DLRのビーコンフレームもカウントします。
A00C 8160h + 2000h*n	aMACControlFramesReceived_n	ポートnで受信した、タイプが0x8808を持つ正常フレームの数

アドレス	略号	内容
A00C 8164h + 2000h*n	aFrameTooLong_n	ポートnで受信した、最大フレーム長レジスタ（FRM_LENGTHn）の値を超える長さのフレームの数。正常および異常の両方を含む。
A00C 816Ch + 2000h*n	StackedVLANOK_n	ポートnで受信した、スタックVLANタグをもつ正常フレームの数

n = 0, 1
n = 0 は ポート 0、n = 1 は ポート 1 です。

(2)　送信統計カウンタ

アドレス	略号	内容
A00C 8180h + 2000h*n	TXetherStatsOctets_n	ポートnで送信した、フレームのオクテットの総数（正常、異常フレーム両方を含む）
A00C 8184h + 2000h*n	TxOctetsOK_n	ポートnで送信した、正常フレームのみのオクテットの総数
A00C 818Ch + 2000h*n	TXaPAUSEMACCtrlFrames_n	ポートnで送信した、正常なポーズフレームの数
A00C 8190h + 2000h*n	TxFramesOK_n	ポートnで送信した、正常なフレームの数
A00C 8194h + 2000h*n	TxCRCErrors_n	ポートnで送信した、CRCは異常であるが、長さは正常であるフレームの数
A00C 8198h + 2000h*n	TxVLANOK_n	ポートnで送信した、正常なVLANタグを持つフレームの数
A00C 819Ch + 2000h*n	ifOutErrors_n	ポートnで送信エラーを起こしたフレームの数 • TX_ER • フレーム長エラー
A00C 81A0h + 2000h*n	ifUcastPkts_n	ポートnで送信した、正常ユニキャストフレームの数
A00C 81A4h + 2000h*n	ifMulticastPkts_n	ポートnで送信した、正常マルチキャストフレームの数
A00C 81A8h + 2000h*n	ifBroadcastPkts_n	ポートnで送信した、正常ブロードキャストフレームの数
A00C 81ACh + 2000h*n	TXetherStatsDropEvents_n	ポートnで送信した、サイズが足りないフレームの数。FIFO不足か半二重通信時のコリジョンが原因。
A00C 81B0h + 2000h*n	TXetherStatsPkts_n	ポートnで送信した、全フレーム（正常、異常両方含む）の数
A00C 81B4h + 2000h*n	TXetherStatsUndersizePkts_n	ポートnで送信した、64バイト以下でかつ正常なCRCを持つフレームの数。（基本的には発生しません）
A00C 81B8h + 2000h*n	TXetherStatsPkts64Octets_n	ポートnで送信した、64バイトの長さのフレームの数
A00C 81BCh + 2000h*n	TXetherStatsPkts65to127Octets_n	ポートnで送信した、65バイト以上、127バイト以下の長さのフレームの数
A00C 81C0h + 2000h*n	TXetherStatsPkts128to255Octets_n	ポートnで送信した、128バイト以上、255バイト以下の長さのフレームの数
A00C 81C4h + 2000h*n	TXetherStatsPkts256to511Octets_n	ポートnで送信した、256バイト以上、511バイト以下の長さのフレームの数
A00C 81C8h + 2000h*n	TXetherStatsPkts512to1023Octets_n	ポートnで送信した、512バイト以上、1023バイト以下の長さのフレームの数
A00C 81CCh + 2000h*n	TXetherStatsPkts1024to1518Octets_n	ポートnで送信した、1024バイト以上、1518バイト以下の長さのフレームの数
A00C 81D0h + 2000h*n	TXetherStatsPkts1519toMax_n	ポートnで送信した、1519バイト以上、最大フレーム長レジスタ（FRM_LENGTHn）の値以下の長さのフレームの数
A00C 81D4h + 2000h*n	TXetherStatsOversizePkts_n	ポートnで送信した、最大フレーム長レジスタ（FRM_LENGTHn）の値を超える長さのフレームの数。CRCは正常。
A00C 81D8h + 2000h*n	TXetherStatsJabbers_n	ポートnで送信した、最大フレーム長レジスタ（FRM_LENGTHn）の値を超える長さのフレームの数。CRCは異常。
A00C 81DCh + 2000h*n	TXetherStatsFragments_n	ポートnで送信した、64バイト以下でかつエラーがアサートされたフレームの数
A00C 81E0h + 2000h*n	aMACControlFrames_n	ポートnで送信した、タイプが0x8808を持つ正常フレームの数

アドレス	略号	内容
A00C 81E4h + 2000h*n	TXaFrameTooLong_n	ポートnで送信した、最大フレーム長レジスタ（FRM_LENGTHn）の値を超える長さのフレームの数。正常および異常の両方を含む。
A00C 81ECh + 2000h*n	aMultipleCollisions_n	ポートnにおいて、コリジョンが複数回発生した後で、転送が成功したフレームの数。半二重通信のときのみ有効。
A00C 81F0h + 2000h*n	aSingleCollisions_n	ポートnにおいて、1回のコリジョンが1回発生した後で、転送が成功したフレームの数。半二重通信のときのみ有効。
A00C 81F4h + 2000h*n	aLateCollisions_n	ポートnにおいて、レイトコリジョンによりエラーで送出されたフレームの数。半二重通信のときのみ有効。
A00C 81F8h + 2000h*n	aExcessCollisions_n	ポートnにおいて、過剰なコリジョン（16回の送信失敗）により破棄したフレームの数。半二重通信のときのみ有効。

n = 0, 1
n = 0 は ポート 0、n = 1 は ポート 1 です。

29.2.5　タイマモジュールレジスタ

イーサネットスイッチにはタイムスタンプ機能に使用するタイマモジュールを内蔵しています。タイマモジュールレジスタは、その設定や状態を示すレジスタです。

29.2.5.1　タイマモジュールコンフィグレジスタ（TSM_CONFIG）

TSM_CONFIG レジスタは、タイマ機能で発生したイベントによる割り込みの発生を制御するレジスタです。

アドレス　ETHERSW.TSM_CONFIG A00C C004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IRQTXENAP1	IRQTXENAP0	—	—	—	—	—	—	—	IRQTEST	IRQTIMOVER	IRQEVTPERD	IRQEVTOFF	IRQENA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IRQENA	タイマ割り込み設定ビット	タイマ割り込みの有効／無効を設定します。他のビットを1に設定していても、このビットを1に設定しなければ割り込みは発生しません。 0：無効 1：有効	R/W
b1	IRQEVTOFF	オフセット補正完了割り込み設定ビット	タイマにオフセット補正が完了したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b2	IRQEVTPERD	nsタイマ割り込み設定ビット	nsタイマが1秒に達したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b3	IRQTIMOVER	オーバフロー割り込み設定ビット	タイマがオーバフローしたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b4	IRQTEST	テスト用割り込み設定ビット	ソフトウェアのテスト用に割り込みの発生を制御します。 0：通常動作 1：ライトと同時に割り込みが発生します。	R/W
b11-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください	R/W
b12	IRQTXENAP0	ポート0送信タイムスタンプキャプチャ割り込み設定ビット	ポート0の送信タイムスタンプキャプチャによる割り込みの発生を有効／無効に設定します。 0：無効 1：有効（割り込みが発生します） 有効に設定すると、ポートの送信タイムスタンプレジスタに新しいタイムスタンプが格納された時に、割り込みが発生します。	R/W
b13	IRQTXENAP1	ポート1送信タイムスタンプキャプチャ割り込み設定ビット	ポート1の送信タイムスタンプキャプチャによる割り込みの発生を有効／無効に設定します。 0：無効 1：有効（割り込みが発生します） 有効に設定すると、ポートの送信タイムスタンプレジスタに新しいタイムスタンプが格納された時に、割り込みが発生します。	R/W
b31-b14	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.5.2　タイマ割り込みステータス／アクノリッジレジスタ（TSM_IRQ_STAT_ACK）

TSM_IRQ_STAT_ACK レジスタは、タイマによる割り込みのステータス確認を行うレジスタです。

本レジスタを読み出すことでステータスの確認ができます。1 が割り込みが発生したことを表し、0 が発生していないことを表します。

本レジスタに 1 を書き込むことで、割り込みはクリアされます。また、同時にビットの値はクリアされます。

アドレス　ETHERSW.TSM_IRQ_STAT_ACK A00C C008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IRQTXP1	IRQTXP0	—	—	—	—	—	—	—	IRQTEST	IRQTIMOVER	IRQEVTPERD	IRQEVTOFF	IRQENA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IRQENA	タイマ割り込みステータスビット	タイマ割り込みが発生していることを示します。	R/W
b1	IRQEVTOFF	オフセット加算割り込みステータスビット	タイマのオフセット加算による割り込みが発生していることを示します。	R/W
b2	IRQEVTPERD	nsタイマ割り込みステータスビット	nsタイマが1秒に達したときの割り込みが発生していることを示します。	R/W
b3	IRQTIMOVER	オーバフロー割り込みステータスビット	タイマのオーバフロー割り込みが発生していることを示します。	R/W
b4	IRQTEST	テスト用割り込みステータスビット	ソフトウェアのテスト用割り込みが発生していることを示します。	R/W
b11-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b12	IRQTXP0	ポート0送信タイムスタンプキャプチャ割り込みステータスビット	ポート0の送信タイムスタンプキャプチャ割り込みが発生していることを示します。	R/W
b13	IRQTXP1	ポート1送信タイムスタンプキャプチャ割り込みステータスビット	ポート1の送信タイムスタンプキャプチャ割り込みが発生していることを示します。	R/W
b31-b14	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.5.3　ポートタイムスタンプコントロール／ステータスレジスタ （PORTn_CTRL）（n = 0, 1）

PORTn_CTRL レジスタは、ポート n で取得されたタイムスタンプのレジスタへの格納方法の設定や格納されたタイムスタンプの状態を示すレジスタです。

アドレス　ETHERSW.PORT0_CTRL A00C C020h、ETHERSW.PORT1_CTRL A00C C028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TSKEEP	TSOVR	TSVALID
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSVALID	タイムスタンプステータスビット	格納されているタイムスタンプの状態を示します。 0：タイムスタンプは無効 1：タイムスタンプは有効 任意の値を書き込むと、本ビットはクリアされます。	R/W
b1	TSOVR	タイムスタンプ上書きステータスビット	新しいタイムスタンプが、最後に保存されたタイムスタンプを上書きしたことを示します。 0：タイムスタンプは上書きされていない 1：タイムスタンプは上書きされている 有効なタイムスタンプが格納されており（TSVALID = 1）、ソフトウェアがその値を読み取る前に別のタイムスタンプが受信されるとき、本ビットは1になります。 任意の値を書き込むと、本ビットはクリアされます。 TSKEEPビットが設定されると、TSVALIDが1のときに新しいタイムスタンプを受信しても、そのタイムスタンプは無視されたことを示します。	R/W
b2	TSKEEP	タイムスタンプ動作設定ビット	新しいタイムスタンプを受け取ったとき、タイムスタンプレジスタに格納されるタイムスタンプを設定します。 0：新しいタイムスタンプを上書きします 1：最後のタイムスタンプを保持します このビットが1に設定されると、格納されていたタイムスタンプが保持され、ソフトウェアがタイムスタンプを処理して、TSVALIDビットを0にするまで、新しいタイムスタンプは無視されます。	R/W
b31-b3	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

n = 0, 1
n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。

29.2.5.4　ポートタイムスタンプレジスタ（PORTn_TIME）（n = 0, 1）

PORTn_TIME レジスタは、ポート n で取得されたタイムスタンプを格納するレジスタです。

アドレス　ETHERSW.PORT0_TIME A00C C024h、ETHERSW.PORT1_TIME A00C C02Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSREG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSREG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TSREG	タイムスタンプ格納ビット	ポートnで取得されたタイムスタンプ	R

n = 0, 1

n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。

29.2.5.5　タイマコントロールレジスタ（ATIME_CTRL）

ATIME_CTRL レジスタは、タイマ割り込みイベントの設定とタイマの制御を行うレジスタです。

アドレス　ETHERSW.ATIME_CTRL A00C C120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PLUS1	CAPTR	—	RST	—	—	—	EVTPERIRST	EVTPERIENA	—	EVTOFFENA	—	TMENA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMENA	タイマ動作制御ビット	0：タイマは、現在の値で停止します 1：タイマのカウントアップ開始	R/W
b1	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b2	EVTOFFENA	オフセット補正イベント設定ビット	オフセット補正イベントの有効／無効を設定します。 0：オフセット補正は行われません。 1：オフセット補正が行われます。オフセット補正が完了したとき、TSM_CONFIG レジスタにより割り込みの発生設定がされていれば、オフセット補正割り込みを発生し、本ビットは0にクリアされます。再びオフセット補正を行う場合は、再び1にセットする必要があります。 注：タイマ・オフセット値は事前に設定する必要があります。	R/W
b3	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b4	EVTPERIENA	周期イベント設定ビット	1秒単位の周期イベントの有効／無効を設定します。 0：周期イベントは発生しません。 1：1秒単位の周期イベントが発生します。TSM_CONFIG レジスタにより割り込み発生設定がされていれば、スイッチ割り込みによる周期イベント割り込みも発生します。 注：タイマ周期の値は事前に設定する必要があります。	R/W
b5	EVTPERIRST	周期イベントタイマのリセット設定ビット	周期イベントタイマのリセットを設定します。 0：タイマはラップアラウンドするまでカウントアップします。 1：タイマのカウント値が1秒に達すると、タイマは0にリセットされます。	R/W
b8-b6	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b9	RST	タイマリセットビット	1を書き込むとタイマをゼロにリセットします。 カウンタイネーブルには影響しません。カウンタが有効になっている場合、1を書き込むと、タイマはゼロにリセットされ、そこからカウントを開始します。	R/W
b10	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b11	CAPTR	タイマ値キャプチャビット	1を書き込むと現在のタイマの値をキャプチャします。 キャプチャが完了すると、本ビットはクリアされ、ATIME レジスタと ATIME_SEC レジスタから時間を読み取ることができます。	R/W
b12	PLUS1	タイマカウンタインクリメント設定ビット	1を書き込むとタイマカウンタを1つインクリメントします。 完了すると本ビットはクリアされます。	R/W
b31-b13	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

注1.　ビット12, 11, 9は、コマンド用ビットであり、直接対応するイベントを起動するために使用することができます。コマンドビットをセットする時は、レジスタに設定されている他のビットの値を保持する必要はありません（つまりread-modify-writeは不要です）。コマンドが完了すると、各ビットは0になります。コマンドビットのいずれかが0でない場合、他のビットの値は無視されます。
注2.　タイマが停止している間は、タイマの値を正確にキャプチャできません。キャプチャされた値は不正です。

29.2.5.6　タイマナノセコンドレジスタ（ATIME）

ATIME レジスタは、ナノ秒（ns）タイマの値を示すレジスタです。ナノ秒タイマの時間の設定およびキャプチャした時間を取得することができます。

アドレス　ETHERSW.ATIME A00C C124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TMR	nsタイマ設定ビット	ナノ秒タイマの設定値および読み取り値を表します。 本レジスタへの書き込み時： タイマに時間を設定します。 本レジスタへの読み出し時： 最後にキャプチャした値を返します。現在の値を読み取るには、ATIME_CTRLレジスタのキャプチャコマンド（CAPTRビット）を先に発行する必要があります。値の単位はナノ秒（ns）です。	R/W

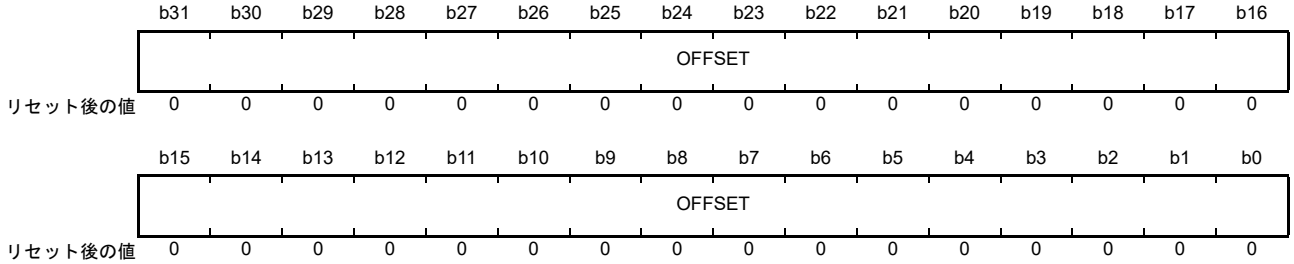
注.　このレジスタに書き込む前に、秒の値をATIME_SECレジスタに設定しておく必要があります。

29.2.5.7　タイマオフセット補正レジスタ（ATIME_OFFSET）

ATIME_OFFSET レジスタは、オフセット補正を行うために使用される値を設定します。オフセットの補正の方法は 2 種類あり、本レジスタに設定する値が異なります。

本レジスタへの書き込みでオフセット補正が開始されるため、補正の方法を確定させるために、先に ATIME_OFFS_CORR レジスタに値を設定しておく必要があります。

アドレス　ETHERSW.ATIME_OFFSET A00C C128h



ビット	シンボル	ビット名	機能	R/W
b31-b0	OFFSET	オフセット補正値設定ビット	オフセット補正を行うために使用される値を設定します。 • ATIME_OFFS_CORR レジスタがゼロの場合 オフセットさせたい値を書き込んでください。値の単位はナノ秒です。 本レジスタに値を書き込むと、書き込まれた値がすぐに現在のタイマの値に加算されます。負の値が書き込まれたときは、タイマの値は減算されます。 • ATIME_OFFS_CORR レジスタがゼロでない場合 オフセット補正を行う回数を書き込んでください。 本レジスタに値を書き込むと、オフセット補正が開始されますが、書き込まれた値はすぐに現在のタイマの値に加算されません。オフセット補正が行われると、本レジスタの値は1つデクリメントされます。0になるまでオフセット補正とレジスタのデクリメントを繰り返し、0になるとオフセット補正は終了し、レジスタは0にリセットされます。 オフセットの間隔は、ATIME_OFFS_CORR レジスタで、オフセット値はATIME_INC レジスタで指定します。	R/W

29.2.5.8　タイマ周期イベント生成レジスタ（ATIME_EVT_PERIOD）

ATIME_EVT_PERIOD レジスタは、周期イベントを発生させる周期の値を設定するレジスタです。ナノ秒（ns）タイマはこの時間に達した時、周期イベントが発生し、ナノ秒タイマが再起動します。値の単位はナノ秒（nsec）です。リセット後の値は 10^9 [nsec] = 1[sec] です。

アドレス　ETHERSW.ATIME_EVT_PERIOD A00C C12Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TIMPEREVET															
リセット後の値	0	0	1	1	1	0	1	1	1	0	0	1	1	0	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TIMPEREVET															
リセット後の値	1	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TIMPEREVET	イベント周期設定ビット	周期イベントの周期。3B9A CA00h（1sec）を設定する必要があります。	R/W

注.　周期イベントは1秒に固定されており、この値から変更できません。変更した場合、正常にタイマが動作しなくなります。

29.2.5.9　タイマドリフト補正レジスタ（ATIME_CORR）

ATIME_CORR レジスタは、ドリフト補正で適用される補正周期をクロックサイクル数で設定するレジスタです。補正量は ATIME_INC レジスタで指定します。

アドレス　ETHERSW.ATIME_CORR A00C C130h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	DRIFCORVAL														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DRIFCORVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	DRIFCORVAL	ドリフト補正周期設定ビット	ドリフト補正が行われる周期。100MHz（10ns）のクロックサイクル数で設定してください。例えば、1msec間隔でドリフト補正を行う場合、10^5（0001 86A0h）を設定します（補正間隔は、実際のアプリケーションに応じて、適切な値を設定してください）。	R/W
b31	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

注.　補正値は、マスタとスレーブの発振器の間の周波数偏差（ppm）の逆数です。値の単位はクロックサイクルです。ナノ秒でありません。

29.2.5.10　タイマインクリメントレジスタ（ATIME_INC）

ATIME_INC レジスタは、タイマのオフセット補正およびドリフト補正に使用される補正量を設定するレジスタです。

アドレス　ETHERSW.ATIME_INC A00C C134h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	OFFSCORRINC						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CORRINC							—	CLKPERD						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CLKPERD	クロック周期設定ビット	タイムスタンプ採取用のクロックの周期をナノ秒で設定します。必ず10ns（001010b）を設定してください。本LSIでは100MHzで動作しており、他の値に変更できません。タイマは、クロックサイクルごとに、この値の時間だけ増加します。	R/W
b7	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b14-b8	CORRINC	クロック周期の補正量設定ビット	ドリフト補正におけるクロック周期の補正量を設定します。 ATIME_CORR レジスタで設定された補正周期ごとにこの値が加算されます。このビットの値がCLKPERDビットの値よりも小さい場合、タイマのカウントは遅くなります。CLKPERDビットの値よりも大きい場合、タイマのカウントは早くなります。	R/W
b15	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b22-b16	OFFSCORRINC	オフセット補正の補正量設定ビット	オフセット補正における補正量を設定します。 ATIME_OFFS_CORR レジスタで設定されたクロックサイクル数ごとにこの値が加算されます。	R/W
b31-b23	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.5.11　タイマセコンドレジスタ（ATIME_SEC）

ATIME_SEC レジスタは、秒（s）タイマの値を表すレジスタです。秒タイマの時間の設定およびキャプチャした時間を取得することができます。ナノ秒タイマが 10^9[nsec] に達したときに秒タイマはインクリメントされます。

アドレス　ETHERSW.ATIME_SEC A00C C138h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SECTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SECTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	SECTIM	秒タイマ設定ビット	秒タイマの設定値および読み取り値を表します。 本レジスタへの書き込み時： タイマに時間を設定します。ただし、本レジスタに書き込んだ時点では、本レジスタの更新は行われず、ローカルレジスタに値を格納しています。その後ATIME レジスタに書き込まれると、ローカルレジスタの値が本レジスタに取り込まれます。 本レジスタへの読み出し時： 最後にキャプチャした値を返します。現在の値を読み取るには、ATIME_CTRL レジスタのキャプチャコマンド（CAPTR ビット）を先に発行する必要があります。値の単位は秒（sec）です。	R/W

29.2.5.12　タイマオフセット補正カウントレジスタ（ATIME_OFFS_CORR）

ATIME_OFFS_CORR レジスタは、オフセット補正を適用する間隔を設定するレジスタです。ATIME_OFFSET レジスタとともに使用され、オフセット追加による時間の変化を長期間に分散させることにより、時間の急激な変化を避け、ジッタを小さく抑えることが可能です。

アドレス　ETHERSW.ATIME_OFFS_CORR A00C C13Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	OFFCOR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OFFCOR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	OFFCOR	オフセット補正の適用間隔設定ビット	オフセット補正の適用間隔を設定します。100MHzのクロックのサイクル数で指定します。	R/W

29.2.5.13　タイマ出力許可レジスタ（SWTMEN）

SWTMEN レジスタは、時刻同期タイマパルス出力（SYNCOUT 信号）の許可を設定するレジスタです。本レジスタは、32 ビット単位でリード／ライトアクセス可能です。

注 .　必ず以下のレジスタを事前に設定した後、本レジスタで出力許可にしてください。
SWTMSTSEC, SWTMSTNS, SWTMPSEC, SWTMPNS, SWTMWTH

アドレス　ETHERSW.SWTMEN A00B F200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OUTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OUTEN	SYNCOUT信号出力設定ビット	SYNCOUT信号の出力の許可設定を行います。 0：出力禁止 1：出力許可	R/W
b31-b1	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.5.14　タイマセコンド開始設定レジスタ（SWTMSTSEC）

SWTMSTSEC レジスタは、秒単位の SYNCOUT 出力の開始時間を設定するレジスタです。

アドレス　ETHERSW.SWTMSTSEC A00B F204h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMSTSEC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMSTSEC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TMSTSEC	SYNCOUT信号出力の開始時間設定ビット	秒単位のSYNCOUT信号出力の開始時間を設定します。	R/W

29.2.5.15　タイマナノセコンド開始設定レジスタ（SWTMSTNS）

SWTMSTNS レジスタは、ナノ秒単位の SYNCOUT 信号出力の開始時間を設定するレジスタです。

アドレス　ETHERSW.SWTMSTNS A00B F208h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMSTNS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMSTNS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TMSTNS	SYNCOUT信号出力の開始時間設定ビット	ナノ秒単位のSYNCOUT信号出力の開始時間を設定します。	R/W

29.2.5.16　タイマセコンド周期設定レジスタ（SWTMPSEC）

SWTMPSEC レジスタは、秒単位の SYNCOUT 信号出力の周期を設定するレジスタです。

アドレス　ETHERSW.SWTMPSEC A00B F20Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMPSEC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMPSEC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TMPSEC	SYNCOUT信号出力の周期設定ビット	秒単位のSYNCOUT信号出力の周期を設定します。	R/W

29.2.5.17　タイマナノセコンド周期設定レジスタ（SWTMPNS）

SWTMPNS レジスタは、ナノ秒単位の SYNCOUT 信号出力の周期を設定するレジスタです。本レジスタは ATIME_EVT_PREIOD レジスタで設定した 1 秒に対して周期の分周関係になる値を設定してください。

注 1.　必ず SYNCOUT 信号を出力許可に設定する前に、本レジスタの設定を行ってください。

注 2.　本レジスタは 30ns 以上の値を設定してください。

アドレス　ETHERSW.SWTMPNS A00B F210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMPNS															
リセット後の値	0	0	1	1	1	0	1	1	1	0	0	1	1	0	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMPNS															
リセット後の値	1	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TMPNS	SYNCOUT信号出力の周期設定ビット	ナノ秒単位のSYNCOUT信号出力の周期を設定します。 10nsの倍数で設定してください。	R/W

29.2.5.18　タイマパルス幅設定レジスタ（SWTMWTH）

SWTMWTH レジスタは、SYNCOUT 信号出力のパルス幅を設定するレジスタです。SYNCOUT 信号を割り込み信号として使用する場合は、リセット後の値から変更しないでください。SYNCOUT 信号を外部信号として使用する場合は、適切な幅を設定してください。

注 1.　必ず SYNCOUT 信号を出力許可に設定する前に、本レジスタの設定を行ってください。

アドレス　ETHERSW.SWTMWTH A00B F214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMWTH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMWTH	SYNCOUT信号出力のパルス幅設定ビット	SYNCOUT信号出力のパルス幅を設定します。10nsの倍数で設定してください。 本レジスタを0hに設定した場合、SYNCOUT信号は0固定になります。	R/W
b31-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.5.19　タイマセコンド時刻保持レジスタ（SWTMLATSEC）

SWTMLATSEC レジスタは、SYNCOUT 信号の立ち上がり時に、スイッチ内蔵の IEEE1588 タイマの sec カウント値を保存するレジスタです。SYNCOUT 信号が立ち上がる度にレジスタの値を更新します。

アドレス　ETHERSW.SWTMLATSEC A00B F22Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMLATSEC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMLATSEC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TMLATSEC	SECカウント値保持ビット	SYNCOUT信号の立ち上がり時の秒カウント値をラッチします。	R

29.2.5.20　タイマナノセコンド時刻保持レジスタ（SWTMLATNS）

SWTMLATNS レジスタは、SYNCOUT 信号の立ち上がり時に、スイッチ内蔵の IEEE1588 タイマの ns カウント値を保存するレジスタです。SYNCOUT 信号が立ち上がる度にレジスタの値を更新します。

アドレス　ETHERSW.SWTMLATNS A00B F230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMLATNS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMLATNS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TMLATNS	nsカウント値保持ビット	SYNCOUT信号の立ち上がり時のナノ秒カウント値をラッチします。	R

29.2.6　DLR モジュールレジスタ

29.2.6.1　DLR コントロールレジスタ（DLR_CONTROL）

DLR_CONTROL レジスタは、DLR の設定を行うレジスタです。

アドレス　ETHERSW.DLR_CONTROL A00C E000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CYCMCLK								—	—	—	BECTIMOUT	—	—	—	DLRENA
リセット後の値	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLRENA	DLR機能設定ビット	DLR機能を有効／無効に設定します。 0：無効 1：有効	R/W
b3-b1	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b4	BECTIMOUT	ビーコンフレーム処置ビット	不正なタイムアウトタイマの値を持つビーコンフレームを無視することができます。 タイムアウトタイマの値が200マイクロ秒から500ミリ秒の範囲に含まれていない場合、そのビーコンフレームは無視され、パラメータはローカルデバイスに取り込まれません。ただし、このビットの設定にかかわらず、タイムアウトタイマの値が不正である場合は、常にその値がINV_TMOUTレジスタに取り込まれます。無視したフレームは、通常通りハブを通して転送されます。 0：無視しない 1：無視する	R/W
b7-b5	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b15-b8	CYCMCLK	クロック数設定ビット	1マイクロ秒に必要なクロック数を設定します。 本LSIのDLRモジュールは75MHzで動作しますので、常に4Bhを設定してください。リセット後の値から変更が必要です。	R/W
b31-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.6.2　DLR ステータスレジスタ（DLR_STATUS）

DLR_STATUS レジスタは、DLR リングノードのステータスを示すレジスタです。

アドレス　ETHERSW.DLR_STATUS A00C E004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NETTOPGY								—	—	—	—	—	—	LINSTAP1	LINSTAP0
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	0（注1）	0（注1）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CURRSTA								—	—	—	—	—	—	BEAREV1	BEAREV0
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	0	0

x：不定

注1.　リセットが解除されると、PHYLINK0、PHYLINK1 端子の端子レベルをラッチした値がリードできます。

ビット	シンボル	ビット名	機能	R/W
b0	BEAREV0	ポート0ビーコンフレーム受信ステータスビット	ポート0でアクティブスーパバイザからビーコンフレームを受信したことを示します。 0：未受信 1：受信	R
b1	BEAREV1	ポート1ビーコンフレーム受信ステータスビット	ポート1でアクティブスーパバイザからビーコンフレームを受信したことを示します。 0：未受信 1：受信	R
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R
b15-b8	CURRSTA	ローカルノードステータスビット	ローカルノードの現在の状態を示します。 0h：IDLE_STATE 1h：NORMAL_STATE 2h：FAULT_STATE その他：未使用	R
b16	LINSTAP0	ポート0リンク状態表示ビット	ポート0のリンク状態を示します。 0：リンクダウン 1：リンクアップ	R
b17	LINSTAP1	ポート1リンク状態表示ビット	ポート1のリンク状態を示します。 0：リンクダウン 1：リンクアップ	R
b23-b18	—	予約ビット	読み出した場合は不定値が読めます。	R
b31-b24	NETTOPGY	ネットワークトポロジ表示ビット	現在のネットワークトポロジを示します。 0h：ライントポロジ（ローカルノードがIDLE状態） 1h：リングトポロジ（ローカルノードがIDLE状態ではない） その他：未使用	R

29.2.6.3　DLR イーサタイプレジスタ（DLR_ETH_TYP）

DLR_ETH_TYP レジスタは、DLR フレームを検出するためのイーサネットタイプを設定するレジスタです。この値と受信フレームのタイプフィールドを比較し、DLR フレームの検出を行います。

アドレス　ETHERSW.DLR_ETH_TYP A00C E008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ETHTYPDLR															
リセット後の値	1	0	0	0	0	0	0	0	1	1	1	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	ETHTYPDLR	イーサネットタイプ設定ビット	DLRフレームを検出するためのイーサネットタイプを設定します。	R/W
b31-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.6.4　DLR 割り込みコントロールレジスタ（DLR_IRQ_CTRL）

DLR_IRQ_CTRL レジスタは、DLR よる割り込みの発生を制御するレジスタです。

アドレス　ETHERSW.DLR_IRQ_CTRL A00C E00Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ATOMICAND	ATOMICOR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQFRMDSP1	IRQFRMDSP0	IRQBECENA1	IRQBECENA0	IRQINVTMREN	IRQIPADDREN	IRQSUPIGENA	IRQLINKENA1	IRQLINKENA0	IRQSUPENA	IRQBECTOUT1	IRQBECTOUT0	IRQSTOPP1	IRQSTOPP0	IRQFLUENA	IRQCHNGENA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IRQCHNGENA	状態変化時の割り込み制御ビット	ローカルのビーコンベースのDLRリングノードで状態の変化が発生したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。 注：割り込みサービスルーチンは、ビーコンフレームのパラメータを再読み込みしてからビットをクリアする必要があります。	R/W
b1	IRQFLUENA	ラーニングテーブルに関する割り込み制御ビット	ローカルMACアドレスをラーニングテーブルから消去する必要があるときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b2	IRQSTOPP0	ポート0ネイバーチェックタイムアウトに対する割り込み制御ビット	ポート0に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があるときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b3	IRQSTOPP1	ポート1ネイバーチェックタイムアウトに対する割り込み制御ビット	ポート1に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があるときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b4	IRQBECTOUT0	ポート0ビーコンタイムアウトタイマに対する割り込み制御ビット	ポート0でビーコンタイムアウトタイマがタイムアウトを起こしたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b5	IRQBECTOUT1	ポート1ビーコンタイムアウトタイマに対する割り込み制御ビット	ポート1でビーコンタイムアウトタイマがタイムアウトを起こしたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b6	IRQSUPENA	リングスーパバイザ変更時の割り込み制御ビット	リングスーパバイザが変更されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b7	IRQLINKENA0	ポート0リンク状態変化時の割り込み制御ビット	ポート0のリンク状態が変化したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b8	IRQLINKENA1	ポート1リンク状態変化時の割り込み制御ビット	ポート1のリンク状態が変化したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W

ビット	シンボル	ビット名	機能	R/W
b9	IRQSUPIGENA	ビーコンフレーム検出時の割り込み制御ビット	現在のリングスーパバイザより低い優先順位、あるいは優先順位が同じ場合にはより小さい値のMACアドレスを持つビーコンフレームが検出されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b10	IRQIPADDREN	IPアドレス変更時の割り込み制御ビット	リングスーパバイザから出力されたビーコンフレーム内のIPアドレスが変更されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b11	IRQINVTMREN	ビーコンタイムアウトタイマ割り込み制御ビット	ビーコンタイムアウトタイマの値が既定の範囲から外れたフレームを検出したときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b12	IRQBECENA0	ポート0ビーコンフレーム検出割り込み制御ビット	ポート0においてビーコンフレームが検出されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b13	IRQBECENA1	ポート1ビーコンフレーム検出割り込み制御ビット	ポート1においてビーコンフレームが検出されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b14	IRQFRMDSP0	ポート0フレーム破棄時の割り込み制御ビット	ポート0においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b15	IRQFRMDSP1	ポート1フレーム破棄時の割り込み制御ビット	ポート1においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたときの割り込みの発生を制御します。 0：割り込みは発生しません。 1：割り込みが発生します。	R/W
b29-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b30	ATOMICOR	レジスタ書き込みOR演算設定ビット	レジスタ書き込み時に、本ビットの設定値と本レジスタのイネーブル設定ビットがOR演算されて書き込まれます。 0：通常のライト動作 1：すべてのビットが1に設定されます。	R/W
b31	ATOMICAND	レジスタ書き込みAND演算設定ビット	レジスタ書き込み時に、本ビットの設定値と本レジスタのイネーブル設定ビットがAND演算されて書き込まれます。 0：すべてのビットが0にクリアされます。 1：通常のライト動作	R/W

29.2.6.5　DLR 割り込みステータス／アクノリッジレジスタ（DLR_IRQ_STAT_ACK）

DLR_IRQ_STAT_ACK レジスタは、DLR 割り込みのステータスを示すレジスタです。

本レジスタをリードすることでステータスの確認ができます。1 がイベントが発生したことを表し、0 が発生していないことを表します。

本レジスタに 1 を書き込むことで割り込みはクリアされます。また、同時にビットの値はクリアされます。

アドレス　ETHERSW.DLR_IRQ_STAT_ACK A00C E010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRMDISP1	FRMDISP0	BECFRAP1	BECFRAP0	INVTMR	IPCHANEVET	SUPIGNBEC	LINKSTAP1	LINKSTAP0	SUPRCHAG	BECTMRP1	BECTMRP0	STOPNBCHK1	STOPNBCHK0	FLUEVENT	STACHANGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STACHANGE	DLRリングノードステータスビット	ローカルのビーコンベースのDLRリングノードで状態の変化が発生したことを示します。	R/W
b1	FLUEVENT	ローカルMACアドレスイベントビット	ローカルMACアドレスをラーニングテーブルから消去する必要があることを示します。	R/W
b2	STOPNBCHK0	ポート0ネイバーチェックタイムアウトタイマイベントビット	ポート0に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があることを示します。	R/W
b3	STOPNBCHK1	ポート1ネイバーチェックタイムアウトタイマイベントビット	ポート1に対して、ネイバーチェックタイムアウトタイマの動作を停止させる必要があることを示します。	R/W
b4	BECTMRP0	ポート0ビーコンタイムアウトタイマステータスビット	ポート0でビーコンタイムアウトタイマがタイムアウトを起こしたことを示します。	R/W
b5	BECTMRP1	ポート1ビーコンタイムアウトタイマステータスビット	ポート1でビーコンタイムアウトタイマがタイムアウトを起こしたことを示します。	R/W
b6	SUPRCHAG	リングスーパバイザ変更ステータスビット	リングスーパバイザが変更されたことを示します。	R/W
b7	LINKSTAP0	ポート0リンク状態ステータスビット	ポート0のリンク状態が変化したことを示します。	R/W
b8	LINKSTAP1	ポート1リンク状態ステータスビット	ポート1のリンク状態が変化したことを示します。	R/W
b9	SUPIGNBEC	ビーコンフレーム検出表示ビット	現在のリングスーパバイザより低い優先順位、あるいは優先順位が同じ場合にはより小さい値のMACアドレスを持つビーコンフレームが検出されたことを示します。	R/W
b10	IPCHANEVET	IPアドレス変更表示ビット	リング・スーパバイザ出力されたビーコンフレーム内のIPアドレスが変更されたことを示します。	R/W
b11	INVTMR	ビーコンタイムアウトタイマステータスビット	ビーコンタイムアウトタイマが既定の範囲外の値のフレームを検出したことを示します。	R/W
b12	BECFRAP0	ポート0ビーコンフレームステータスビット	ポート0においてビーコンフレームが検出されたことを示します。	R/W
b13	BECFRAP1	ポート1ビーコンフレームステータスビット	ポート1においてビーコンフレームが検出されたことを示します。	R/W
b14	FRMDISP0	ポート0フレームステータスビット	ポート0においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたことを示します。	R/W
b15	FRMDISP1	ポート1フレームステータスビット	ポート1においてローカルアドレスと送信元アドレスが一致することによりフレームが破棄されたことを示します。	R/W
b31-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

注.　各ビットに記載のイベントが発生すると、DLR_IRQ_CONTROL レジスタの設定にかかわらず、該当イベントのビットは1にラッチされます。

29.2.6.6　DLR ローカル MAC アドレス low レジスタ（LOC_MAClo）

LOC_MAClo レジスタは、ループフィルタで使用されるローカル MAC アドレスを指定するレジスタです。LOC_MAClo レジスタには、MAC アドレスの最初の 4 オクテットを、LOC_MAChi レジスタに、残りの 2 オクテットを設定します。

アドレス　ETHERSW.LOC_MAClo A00C E014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MACADD4								MACADD3							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MACADD2								MACADD1							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	MACADD1	ローカルMACアドレス第1バイト設定ビット	ローカルMACアドレスの第1バイトを設定します。	R/W
b15-b8	MACADD2	ローカルMACアドレス第2バイト設定ビット	ローカルMACアドレスの第2バイトを設定します。	R/W
b23-b16	MACADD3	ローカルMACアドレス第3バイト設定ビット	ローカルMACアドレスの第3バイトを設定します。	R/W
b31-b24	MACADD4	ローカルMACアドレス第4バイト設定ビット	ローカルMACアドレスの第4バイトを設定します。	R/W

29.2.6.7　DLR ローカル MAC アドレス high レジスタ（LOC_MAChi）

LOC_MAChi レジスタは、ループフィルタで使用されるローカル MAC アドレスを指定するレジスタです。LOC_MAClo レジスタには、MAC アドレスの最初の 4 オクテットを、LOC_MAChi レジスタに、残りの 2 オクテットを設定します。

アドレス　ETHERSW.LOC_MAChi A00C E018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MACADD6								MACADD5							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	MACADD5	ローカルMACアドレス第5バイト設定ビット	ローカルMACアドレスの第5バイトを設定します。	R/W
b15-b8	MACADD6	ローカルMACアドレス第6バイト設定ビット	ローカルMACアドレスの第6バイトを設定します。	R/W
b31-b16	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

29.2.6.8　DLR スーパバイザ MAC アドレス low レジスタ（SUPR_MAClo）

SUPR_MAClo レジスタは、ビーコンフレームの宛先アドレスフィールドから抽出されたアクティブリングスーパバイザの MAC アドレスの最初の 4 オクテットを示すレジスタです。

アドレス　ETHERSW.SUPR_MAClo A00C E020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MACADD4								MACADD3							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MACADD2								MACADD1							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	MACADD1	アクティブリングスーパバイザMACアドレス第1バイト設定ビット	アクティブリングスーパバイザのMACアドレスの第1バイトを示します。	R
b15-b8	MACADD2	アクティブリングスーパバイザMACアドレス第2バイト設定ビット	アクティブリングスーパバイザのMACアドレスの第2バイトを示します。	R
b23-b16	MACADD3	アクティブリングスーパバイザMACアドレス第3バイト設定ビット	アクティブリングスーパバイザのMACアドレスの第3バイトを示します。	R
b31-b24	MACADD4	アクティブリングスーパバイザMACアドレス第4バイト設定ビット	アクティブリングスーパバイザのMACアドレスの第4バイトを示します。	R

29.2.6.9　DLR スーパバイザ MAC アドレス high レジスタ（SUPR_MAChi）

SUPR_MAChi レジスタは、ビーコンフレームの宛先アドレスフィールドから抽出されたアクティブなリングスーパバイザの MAC アドレスの最後の 2 オクテットを示すレジスタです。また、スーパバイザの優先順位も示します。

アドレス　ETHERSW.SUPR_MAChi A00C E024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	SUPRPRE							
リセット後の値	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MACADD6								MACADD5							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	MACADD5	アクティブリングスーパバイザMACアドレス第5バイト設定ビット	アクティブリングスーパバイザのMACアドレスの第5バイトを示します。	R
b15-b8	MACADD6	アクティブリングスーパバイザMACアドレス第6バイト設定ビット	アクティブリングスーパバイザのMACアドレスの第6バイトを示します。	R
b23-b16	SUPRPRE	リングスーパバイザ優先順位値表示ビット	リングスーパバイザの優先順位値を示します。	R
b31-b24	—	予約ビット	読み出した場合は不定値が読めます。	R

29.2.6.10　DLR リングステータス／VLAN レジスタ（STATE_VLAN）

STATE_VLAN レジスタは、DLR のリングの状態と VLAN ID を示すレジスタです。ビーコンフレームのリングステートフィールド、VLAN コントロールインフォメーションフィールドから抽出されます。

アドレス　ETHERSW.STATE_VLAN A00C E028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	VLANCI															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VLANVALID	RINGSTATE							
リセット後の値	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	RINGSTATE	DLRリングステータスビット	DLRのリングの状態を示します。ビーコンフレームのリング状態（Ring State）フィールドの値です。 1h：RING_NORMAL_STATE 2h：RING_FAULT_STATE その他：未使用	R
b8	VLANVALID	VLANステータスビット	VLANが有効であることを示します。有効である場合、VLANCIビットには有効なVLAN IDが含まれています。 0：無効 1：有効	R
b15-b9	—	予約ビット	読み出した場合は不定値が読めます。	R
b31-b16	VLANCI	VLANタグコントロールフィールド表示ビット	802.1Q VLANタグのコントロールフィールドを示します。ビーコンフレームのVLANコントロールインフォメーションフィールドの値です。DLRのVLAN IDを含みます。	R

29.2.6.11　DLR ビーコンタイムアウトタイマレジスタ（BEC_TMOUT）

BEC_TMOUT レジスタは、ビーコンフレームのタイムアウトタイマ値を示すレジスタです。ビーコンフレームのビーコンタイムアウトフィールドから抽出されます。

アドレス　ETHERSW.BEC_TMOUT A00C E02Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BECTMOUT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BECTMOUT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	BECTMOUT	ビーコンタイムアウトタイマ値表示ビット	ビーコンタイムアウトタイマ値を示します。単位はマイクロ秒[µsec]です。 DLR_CONTROL レジスタのビット4 （BECTIMOUT ビット）が1にセットされている場合、不正なタイムアウトタイマの値は、このレジスタに書き込まれません。また、状態遷移も考慮されません。 正常な期待値は200マイクロ秒から、500ミリ秒の範囲内です。一般的な値は1960マイクロ秒です。	R

29.2.6.12　DLR ビーコンインターバルレジスタ（BEC_INTRVL）

BEC_INTRVL レジスタは、ビーコンフレームの間隔を示すレジスタです。ビーコンフレームのビーコンインターバルフィールドから抽出されます。

アドレス　ETHERSW.BEC_INTRVL A00C E030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BECINTVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BECINTVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	BECINTVAL	ビーコンフレーム間隔表示ビット	ビーコンフレームの間隔を示します。単位はマイクロ秒[µsec]です。 期待値は100マイクロ秒から、100ミリ秒の範囲内です。 一般的な値は400マイクロ秒です。	R

29.2.6.13　DLR スーパバイザ IP アドレスレジスタ（SUPR_IPADR）

SUPR_IPADR レジスタは、リングスーパバイザの IP アドレスを示すレジスタです。ビーコンフレームのソース IP アドレスフィールドから抽出されます。

アドレス　ETHERSW.SUPR_IPADR A00C E034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SPVIP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPVIP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	SPVIP	リングスーパバイザIPアドレス表示ビット	リングスーパバイザのIPアドレスを示します。 スーパバイザがIPアドレスを持っていない場合には0hを受信します。	R

29.2.6.14　DLR サブタイプ／プロトコルバージョンレジスタ（ETH_STYP_VER）

ETH_STYP_VER レジスタは、DLR メッセージの情報を示すレジスタです。ビーコンフレームの対応するフィールドから抽出されます。

アドレス　ETHERSW.ETH_STYP_VER A00C E038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	SOURP							
リセット後の値	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DLRRINGVER								DLRRINGTPY							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DLRRINGTPY	リングサブタイプ表示ビット	DLRメッセージのリングサブタイプを示します。期待値は02hです。	R
b15-b8	DLRRINGVER	リングプロトコルバージョン表示ビット	DLRメッセージのリングプロトコルバージョンを示します。期待値は0x01です。	R
b23-b16	SOURP	送信元ポート表示ビット	DLRメッセージの送信元ポートを示します。期待値は00hです。	R
b31-b24	—	予約ビット	読み出した場合は不定値が読めます。	R

29.2.6.15　DLR ビーコン不正タイムアウトタイマレジスタ（INV_TMOUT）

INV_TMOUT レジスタは、規定の範囲外のタイムアウトタイマ値を示すレジスタです。既定の範囲外である不正なタイムアウトタイマ値を持つビーコンフレームを受信したときに、そのタイムアウトタイマ値が抽出され、本レジスタに格納されます。

アドレス　ETHERSW.INV_TMOUT A00C E03Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	INVBECTMOUT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INVBECTMOUT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	INVBECTMOUT	タイムアウトタイマ値表示ビット	既定の範囲外である不正なタイムアウトタイマ値を持つフレームのタイムアウトタイマ値を示します。単位はマイクロ秒[μsec]です。200マイクロ秒から500ミリ秒の範囲に無いビーコンタイムアウトタイマ値が対象となります。範囲外のビーコンタイムアウトタイマ値を持つフレームを受信する度に、常にこのレジスタは新しい値に更新されます。IRQ_STAT_ACKレジスタのビット11が1にアサートされているとき、本レジスタに含まれている値は有効です。	R

29.2.6.16　DLR シーケンス ID レジスタ（SEQ_ID）

SEQ_ID レジスタは、ビーコンフレームのシーケンス ID を示すレジスタです。ビーコンフレームのシーケンス ID フィールドから抽出されます。

アドレス　ETHERSW.SEQ_ID A00C E040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SEQID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SEQID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	SEQID	シーケンスID表示ビット	ポート0かポート1で受信した直近のビーコンフレームのシーケンスIDを示します。不正なタイムアウトタイマ値のためフレームが無視された場合、そのシーケンスIDは本レジスタには格納されません。	R

29.2.6.17 DLR MAC 統計カウンタ

本 LSI は、DLR モジュールで処理するビーコンフレームの統計値を以下のレジスタに格納しています。
レジスタは、すべて 32 ビット構成、読み出しのみ可能、リセット後の値 0000 0000h です。

アドレス	略号	内容
A00C E060h + 0010h*n	RX_STATn	ポートnで受信した、ビーコンフレームの数 デスティネーションアドレス、イーサタイプ、DLRフレームタイプ、CRCが一致するビーコンフレームの数をカウントします。不一致の場合はカウントされません。 DLRモジュールがオフにされると、カウンタはクリアされます。
A00C E064h + 0010h*n	RX_ERR_STATn	ポートnで受信した、CRCエラーのビーコンフレームの数 デスティネーションアドレス、イーサタイプ、DLRフレームタイプが一致するが、CRCエラーであるビーコンフレームの数をカウントします。 DLRモジュールがオフにされると、カウンタはクリアされます。
A00C E068h + 0010h*n	TX_STATn	ポートnからポートmにハブを通って転送されるビーコンフレームの数 DLRモジュールがオフにされると、カウンタはクリアされます。

n = 0, 1
n = 0 は MAC ポート 0、n = 1 は MAC ポート 1 です。
n = 0 のとき m = 1、n = 1 のとき m = 0 です。

29.3 機能説明

29.3.1 スイッチングエンジン

29.3.1.1 概要

イーサネットスイッチは、以下の機能を実装しています。

- 入力フレーム解析と優先度の抽出
- 出力ポート判定
- フレームキューイング
- 出力キューのスケジューリング

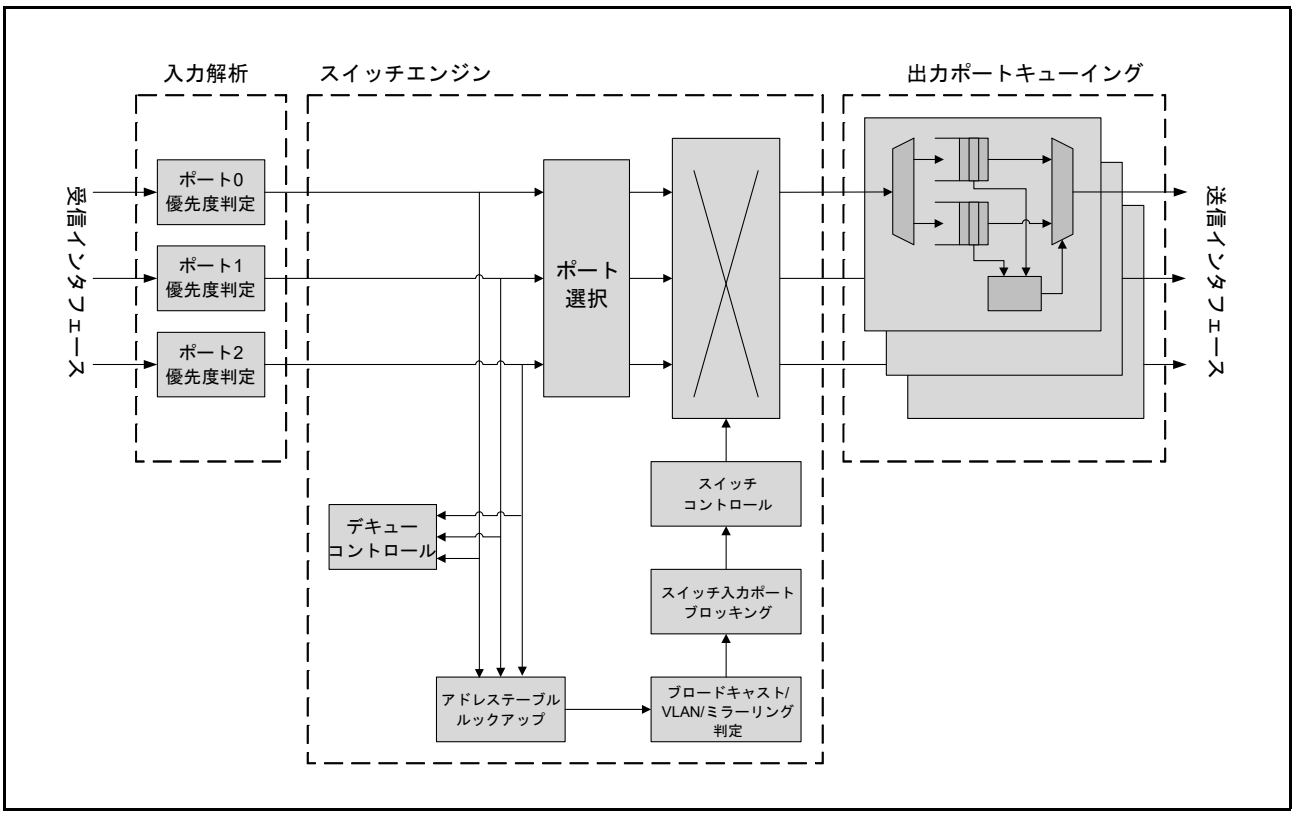


図 29.4 スイッチエンジン概略図

29.3.1.2　フレームの分類と優先度処理

(1)　概要

入力ポートでフレームが受信されると、フレームのタイプを判定し、タイプごとに分類するために、MAC アドレスや VLAN タグ、IP ヘッダなどの幾つかの情報がフレームから抽出されます。

フレームは最大 8 段階の優先度で分類されており（VLAN の場合）、その優先度は、任意の出力の優先度にマッピングし直すことが可能です。フレームは出力ポートにおいて、優先度に応じたキューに格納されます。フレームがポートに割り当てられた出力キューよりも高い優先度を持つ場合、フレームは最も優先度の高いキューに格納されます。

(2)　VLAN プライオリティルックアップ

各ポートには、8 エントリーのプログラム可能な優先度テーブルが実装されています。VLAN_PRIORITYn レジスタにポート n（n = 0 ～ 2）に対する優先度のマッピングが含まれており、3 ビットの VLAN プライオリティフィールドで最終的な優先度をマッピングすることができます。

マッピングテーブルのインデックスは、VLAN タグデータの第一オクテットのビット 7-5 の 3 ビットで構成されています。LSB がビット 5、MSB がビット 7 です。

マッピング先の優先度は 4 段階で、値が 0 の時が最も優先度が低く、3 の時が最も優先度が高くなります。

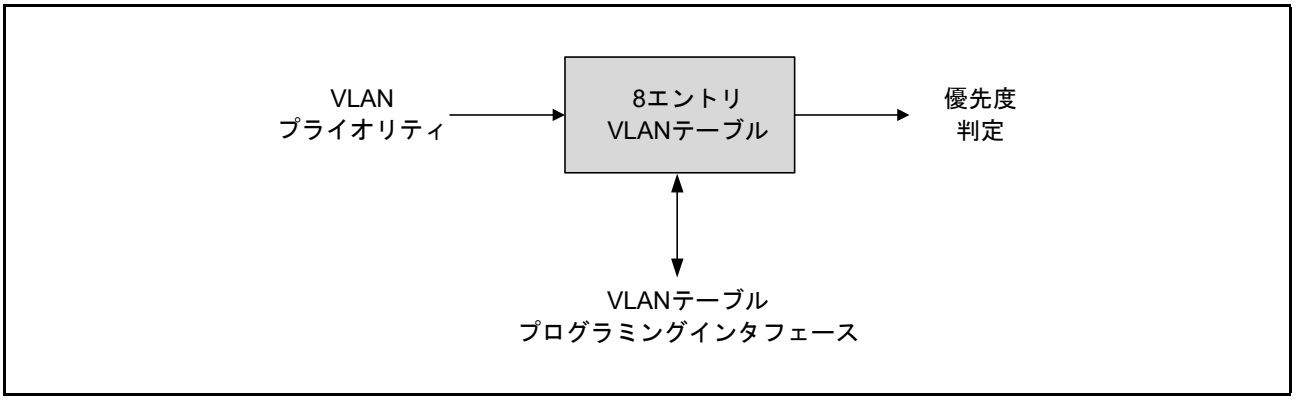


図 29.5　VLAN プライオリティテーブルの概要

(3)　IPv4/IPv6 プライオリティルックアップ

IPv4 と IPv6 の両方のフレームの優先度の分類が可能です。ポート毎に IPv4 のフレームに対して 64 エントリのルックアップテーブルが、IPv6 のフレームに対しては 256 エントリのルックアップテーブルが実装されています。IP_PRIORITYn レジスタによりルックアップテーブルを設定します。

IPv4 の COS（Class of Service）テーブルのエントリでは、6 ビットの DiffServ フィールドを入力として、テーブルは 2 ビットの優先度を返します。

IPv6 の COS テーブルのエントリでは、8 ビットの Class of Service フィールドを入力として、テーブルは 2 ビットの優先度を返します。

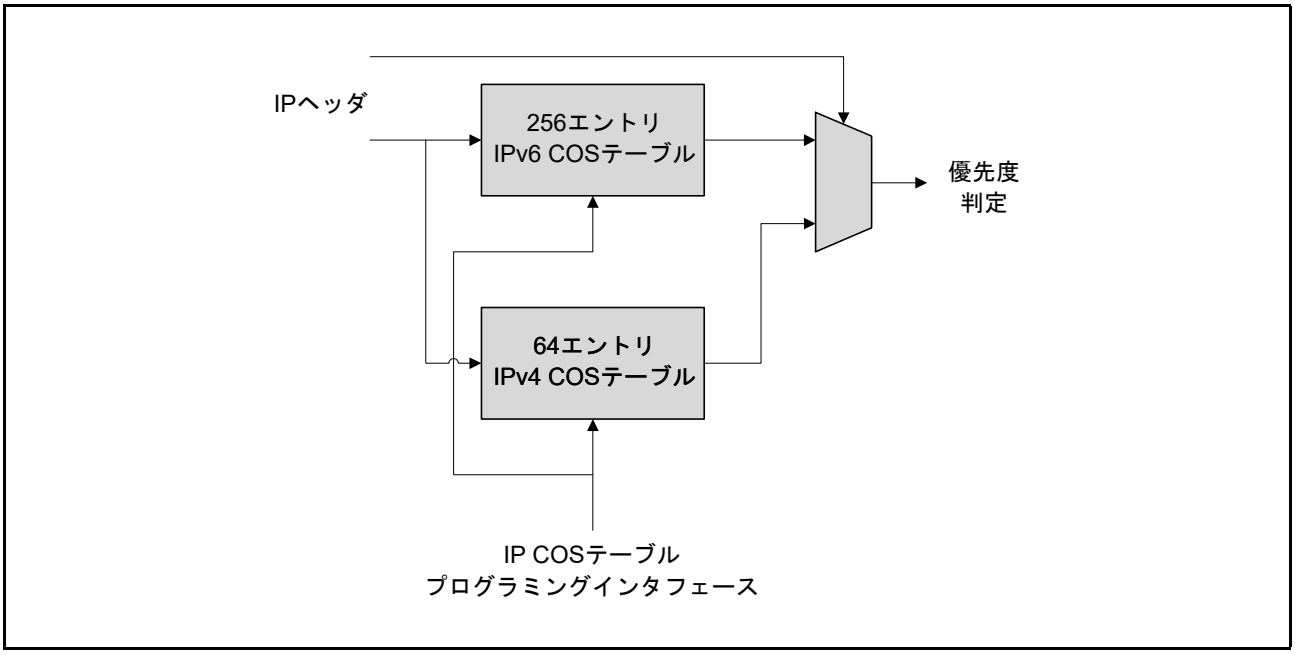


図 29.6　　IP COS テーブルの概要

(4)　優先度判定

PRIORITY_CFGn レジスタにプログラミングすることで、ポート毎に独立して、優先度の判定が可能となります。PRIORITY_CFGn レジスタで、VLAN や IP や MAC アドレスに基づいた優先度の分類を有効に、あるいは無効に設定することができます。

優先度は以下のルールにしたがって判定され、有効にされている分類方法やフレームで見つかるフィールドにより処理が異なります。

① IP プライオリティによる優先度判定を有効にし、かつ IP ヘッダが見つかった場合、IP_PRIORITYn レジスタにより、優先度がマッピングされます。
②①でなく、VLAN プライオリティによる優先度判定を有効にし、かつ VLAN タグが見つかった場合、VLAN_PRIORITYn レジスタにより、優先度がマッピングされます。
③上記①②でない場合、PRIORITY_CFG レジスタに設定されているデフォルトの優先度が使用されます。

29.3.1.3　入力ポートの選択

ポート選択回路では、常時ポーリングによりすべての入力ポートをチェックして、利用可能なデータが存在しないか確認しています。もしデータがあれば、そのポートが選択され、フレームがそのポートから読み込まれます。フレームの読み込み後は、たとえそのポートにさらにデータがあった場合でも、別のポートが選択されます。

つまり、MAC のような FIFO 入力インタフェースで動作するアプリケーションにとって、連続でフレームをスイッチに送信することはできません。フレームを 1 つ送信した後は、再度ポートが選択されるのを待たなければなりません。

29.3.1.4　レイヤ 2 ルックアップエンジン

(1)　概要

ハッシュコードは、フレームの宛先 MAC アドレスを使用して計算されます。ハッシュコードはテーブルのエントリ（アドレス）として用いられます。テーブルには、各ハッシュ値に対して、MAC アドレスとその宛先のポート番号や有効性情報が含まれています。

1 つのハッシュコード値で複数の MAC アドレスを表すことができるため、メモリにはハッシュコードのポインタ毎に、最大 8 つの MAC アドレスのエントリを実装しています。その 8 エントリにはリニアサーチが適用されます。

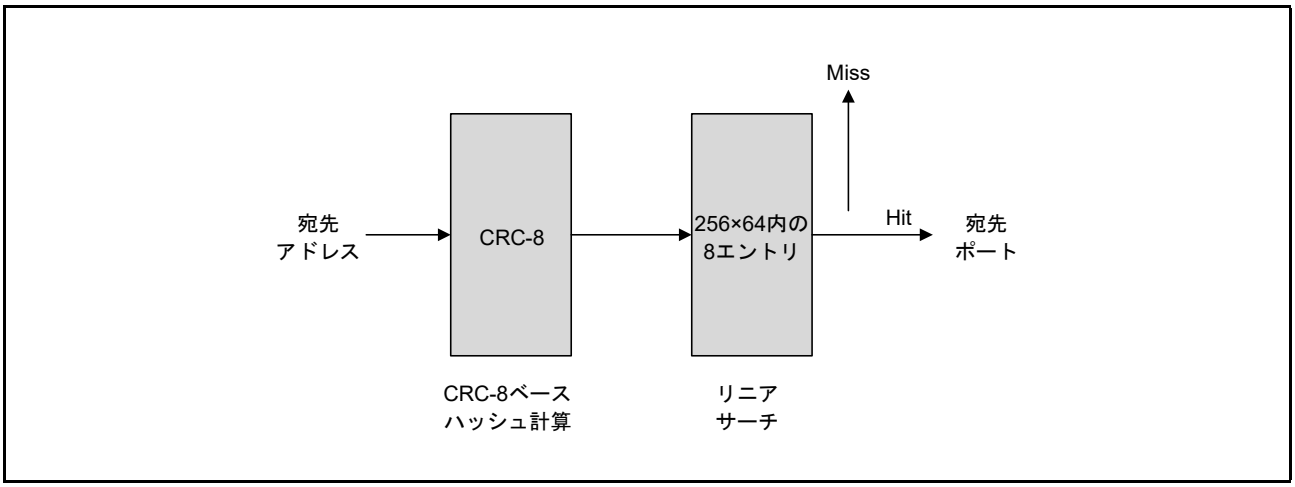


図 29.7　ポートルックアップ概要

(2)　ハッシュコード

最大 2048 エントリの MAC アドレステーブル用に、8 ビットのハッシュ値が MAC アドレスの最下位の 24 ビット（または全 48 ビット）から計算されます。ハッシュコードは、CRC-8 を使用しています。

$x8 + x2 + x + 1$　（07h）

8 ビット CRC は、256 エントリまでのより小さなアドレステーブルにも使用されます。その場合、すべてのハッシュ値は直接メモリ内の 1 エントリを指し、8 エントリから構成されるブロックはお互いに重なっています。

注 .　本 LSI のアドレステーブのサイズは、256 エントリです。

(3)　アドレステーブル

アドレステーブルは複数のブロックから構成されており、各ブロックにはそれぞれ 64 ビットの情報を含むレコードを 8 個持っています。64 ビット長のレコードには、48 ビットの MAC アドレスと転送に必要な情報や優先度、タイムスタンプの情報が含まれています。8 エントリから成るブロックのスタートのアドレスは、MAC アドレスから計算したハッシュコードになります。

レコードには 2 つのタイプが存在します。

- 動的レコード：動的エントリは MAC アドレスとともに、10 ビットのタイムスタンプ、転送先のポート番号で構成されます。エントリは受信フレームのラーニング機能により生成され、フレームを特定のポートに転送させることができます。動的エントリは、更新されなければ、エージング機能により消去されます。
- 静的マルチポート／優先度レコード：アドレステーブルに静的エントリを書き込むこともできます。静的エントリは、MAC アドレスとともに、優先度、複数の転送先ポート番号（ポートビットマスク）で構成されます。MAC アドレスはユニキャストでもマルチキャストでも構いません。このレコードは、例えば、特定のマルチキャストのドメインにあるポートを加えるような場合や、MAC アドレスベースで優先度をフレームに割り付ける場合に使用することができます。エージング機能もラーニング機能も静的レコードに対しては無視されます。

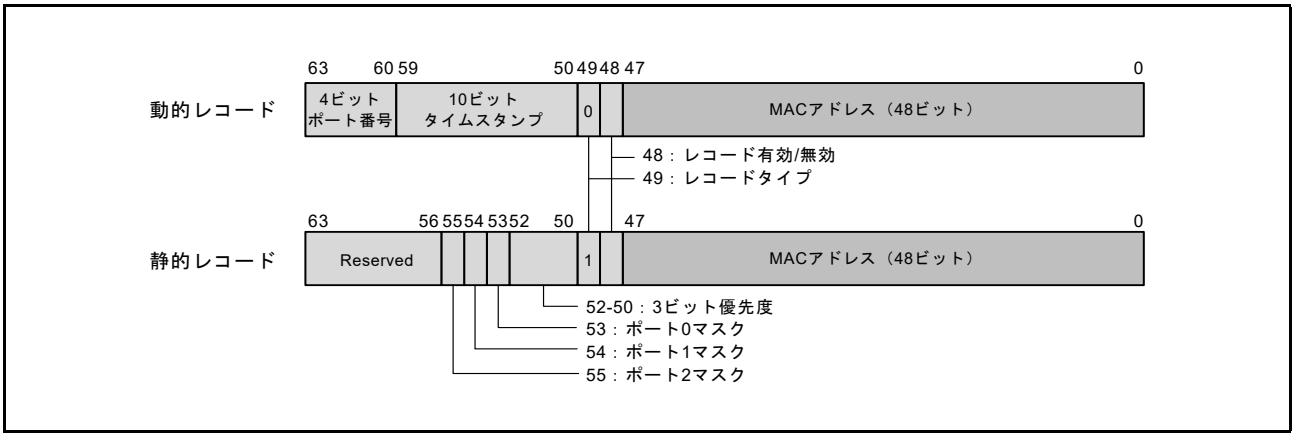


図 29.8　　アドレステーブルのレコードタイプ

レコードのビット 49 により、動的あるいは静的のタイプを識別しています。

0 の場合、動的エントリと解釈され、10 ビットのタイムスタンプと 4 ビットのポート番号が含まれます。

1 の場合、静的エントリと解釈され、3 ビットのプライオリティと 3 ビットのポートビットマスクが含まれます。ポートビットマスクは、ポート 0 がビット 53、ポート 1 がビット 54、内部ポート（ポート 2）がビット 55 になります。ポートビットマスクが 1 であるすべてのポートにフレームは転送されます。ただし、送信元のポートには、ポートビットマスクが 1 の場合でも再転送されることはありません。

29.3.1.5　ラーニングインタフェース

ラーニングインタフェースは、ルックアップテーブルを構築するために必要な情報をソフトウェアに提供するためのインタフェースです。複数のエントリを格納する FIFO バッファを実装しています。

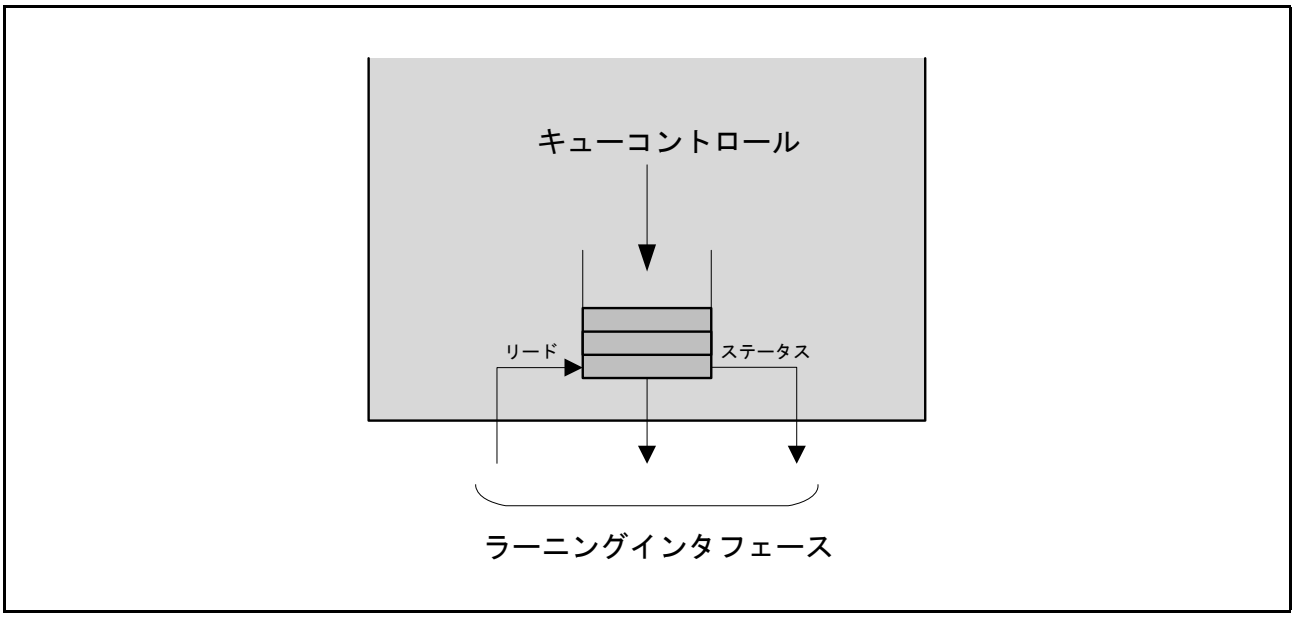


図 29.9　ラーニングインタフェースの概要

スイッチで受信されたフレームごとに、2 つの 32 ビットのレコード（レコード A とレコード B）が FIFO に書き込まれます。レコード A が先に書き込まれ、その後にレコード B が書き込まれます。

レコード A と B には、フレームの送信元 MAC アドレスとそのアドレスから計算された 8 ビットのハッシュコード、送信元のポート番号が含まれています。MAC アドレスは第 1 オクテットがレコード A のビット 7-0、第 6 オクテットがレコード B のビット 15-8 になります。

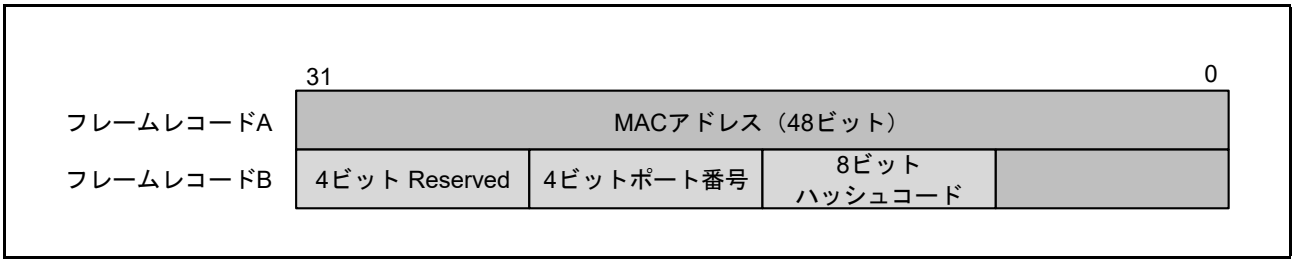


図 29.10　レコードのフォーマット

ソフトウェアは、LRN_REC_A レジスタおよび LRN_REC_B レジスタを使用して、これらのレコードを読み取ることができます。

29.3.1.6　フレーム転送処理

(1)　概要

フレームが処理されるとき、48 ビットの送信元 MAC アドレスと宛先 MAC アドレスが抽出されます。アドレステーブルは、宛先 MAC アドレスに対して検索されます。以下のルールが上から下へ順に適用されます。

①宛先アドレスが見つかった場合、そのアドレステーブルエントリで指定されたポート（複数可）にフレームは転送されます。
②①を満たさないが、宛先アドレスがユニキャストの場合、UCAST_DEFAULT_MASK レジスタで指定されたすべてのポートにフレームは転送されます。
③①を満たさないが、宛先アドレスがブロードキャストの場合、BCAST_DEFAULT_MASK レジスタで指定されたすべてのポートにフレームは転送されます。
④①を満たさないが、宛先アドレスがマルチキャストの場合、MCAST_DEFAULT_MASK レジスタで指定されたすべてのポートにフレームは転送されます。
⑤①～④の条件を満たさない場合、BCAST_DEFAULT_MASK レジスタで指定されたすべてのポートにフレームは転送されます。

アドレステーブルには静的エントリを保持することができます。静的エントリにもマルチキャストアドレスを登録することが可能です。したがって、特定のマルチキャストアドレスの転送は、MCAST_DEFAULT_MASK レジスタの設定でなく、静的エントリを使用することによって実現することも可能です。

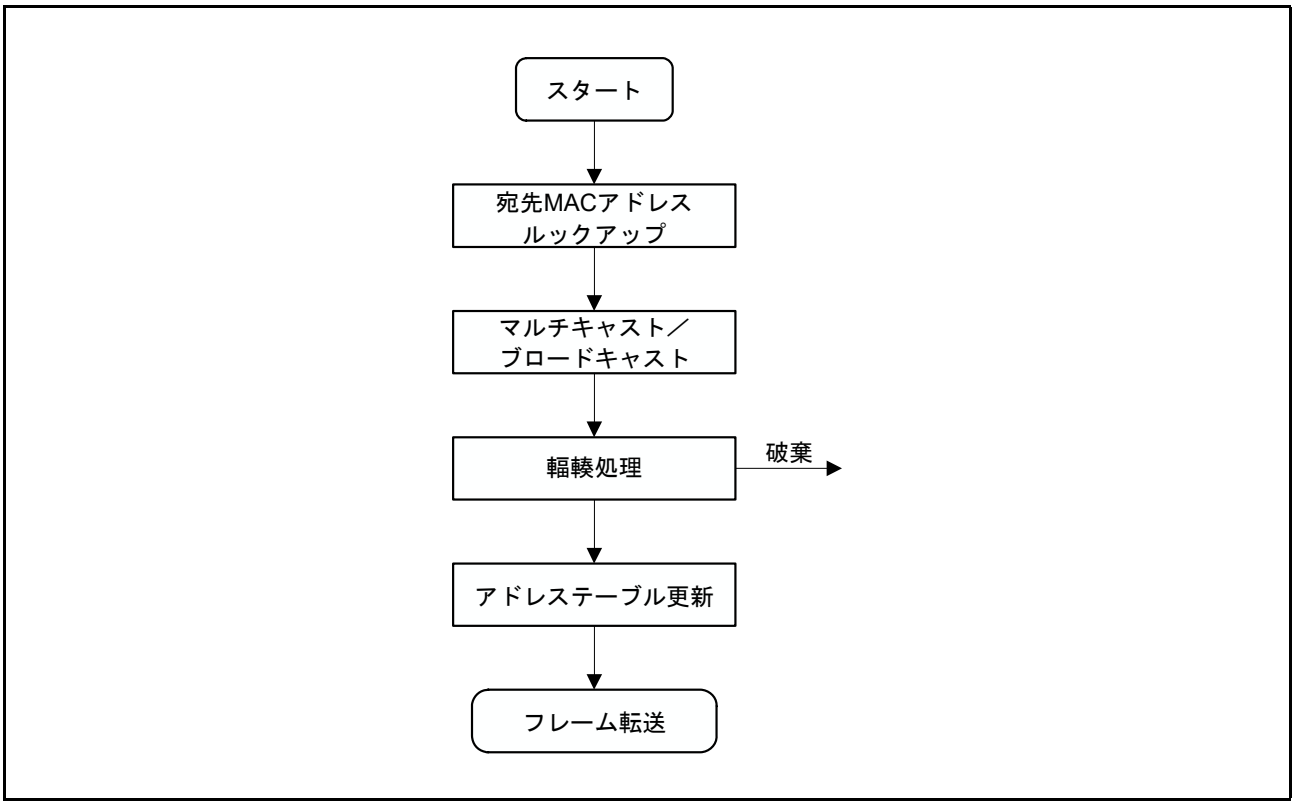


図 29.11　フレーム転送処理の概要

(2) 輻輳の処理

(a) 概要

輻輳処理機能は、出力ポートが使用可能な状態では無いが、データをそのポートに送る必要がある場合に使用します。「使用可能な状態」とは、PORT_ENA レジスタによりポートが有効に設定されており、そのポートの出力キューがフルサイズのフレームを 1 つ格納できるだけの空きを持っている状態として定義します。

輻輳の処理においては、フレームの処理を続けるべきか破棄すべきかが、以下のルールにしたがって決まります。

(b) 単一の宛先（1 入力→ 1 出力）

出力ポートが有効で、かつフレームを受け入れることができれば、フレームは正常に転送されます。それ以外の場合、フレームは破棄されます。

(c) 複数の宛先（フラッディング）

ブロードキャストやマルチキャスト、フラッディング処理の後に、フレームは複数の出力ポートに転送される必要があります。

- 出力無効ポートがある場合、すべての無効ポートは出力のリストから削除されます。
- 出力の輻輳が発生して、いずれかの出力ポートがフレームを受け入れることができない場合（ポートの出力キューマネージメントによって示される）、そのポートは出力のリストから削除されます。

出力リストから削除した後に、出力リストに出力可能なポートが残っていない場合、フレームは入力から読み込まれた後で廃棄されます。そのポートに対応するフレーム廃棄カウンタ（ODISCn）がインクリメントされます。

(3) ブリッジプロトコルフレーム処理

スパニングツリープロトコルのようなブリッジ制御プロトコルを実装するには、以下の制御が、プロトコル・フレーム処理機能によって実行されます。

(a) 入力ポートブロッキング

入力ポートブロッキング機能は、アドレスラーニング後のフレーム転送を回避するために使用されます。INPUT_LEARN_BLOCK レジスタにより有効／無効の設定ができます。もしフレームがブロックされるべきポートで受信され、かつそのフレームがブリッジプロトコルでない場合、フレームは破棄の対象となり、出力ポートに転送されません。

(b) 入力ポートラーニングの無効

ソフトウェアの処理負荷を低減するために、INPUT_LEARN_BLOCK レジスタにより、ポートをラーニング対象外に設定することができます。あるポートでラーニングが無効に設定されている場合、そのポートでは受信フレームの送信元アドレスの抽出は行われません。例外として BPDU フレームは、常にその送信元アドレスが抽出され、ラーニングインターフェイスに転送されます。

(c) マネージメントポート（内部ポート）への転送

MGMT_CONFIG レジスタのビット 6 を有効に設定していると、ブリッジプロトコルのフレームは、常にマネージメントポート（内部ポート）に転送されます。アドレスルックアップでの検出結果や、他の転送処理機能による結果に影響されません。

ブリッジプロトコルのフレームは、次のいずれかの宛先アドレスを持つことで識別されます。

- 01-80-c2-00-00-00 ～ 01-80-c2-00-00-0F （Spanning Tree, IEEE 802.1d）
- 01-80-c2-00-00-10 （Bridge Management Address, 802.1d）
- 01-80-c2-00-00-20 ～ 01-80-c2-00-00-2F （Generic Attribute Registration Protocol, 802.1d）

(d) マネージメントフレームの転送

マネージメントポート（内部ポート）がフレームを送信した場合、MGMT_CONFIG レジスタのビット 17 およびビット 16 のポートマスク設定にしたがって、フレームは転送されます。ハンドシェークのメカニズムも実装されており（MGMT_CONFIG レジスタのビット 5）、マネージメントフレームに対して、フレーム単位でポートマスクの設定を変更することが可能です。

(4) 強制転送

転送処理により決められた転送方法を無効にして、特定のポートにフレームを強制的に転送させることもできます。この機能は一般的にマネージメントフレームに対して使用されます。マネージメントフレームにはマルチキャストアドレスが使用されますが、特定の出力ポートにのみ転送させる必要があります。

スイッチアプリケーションの実装に依存して、以下の 2 つの方法が存在します。

- BPDU が転送されると、MGMT_CONFIG レジスタで定義されたポートマスクを使用することができます。アプリケーションは、スイッチに BPDU フレームを転送する前にレジスタを設定する必要があります。その後、BPDU の送信完了を知らせるビット 5 がセットされれば、ポートマスク設定をクリアすることができます。
- 内部ポートとイーサネットスイッチ間で使用できるマネージメントタグを使用することで、フレーム単位で強制転送の設定が可能です。MGMG_CONFIG レジスタを使用したハンドシェークが不要となるため、こちらの方が好ましい方法です。

上記の 2 つの転送方法の違いは、前者は BPDU フレームのみが強制転送の対象になりますが、後者はすべてのフレームに対して強制転送が可能です。

注 . マネージメントタグによる強制転送を使用する場合は、MGMT_CONFIG レジスタのビット 17 とビット 16 は常に 0 に設定してください。MGMT_CONFIG の設定が優先され、マネージメントタグの設定が上書きされてしまいます。

29.3.1.7　出力フレームキューイング

(1)　概要

メモリコントローラは、複数の出力ポートに対して任意のサイズのフレームを格納するため、共有メモリアーキテクチャを採用しています。

各出力ポートは最大 4 つの優先度のキューを持つことができます。メモリコントローラは、1 つの入力ポート（ライトポート）と、仮想的にフレームを複製する機能を持つ出力ポートを複数（マルチリードポート）持ちます。

メモリは小さなセルに分割され、大小のフレームに対しても効果的にメモリ領域を共有できます。小さなフレームが格納される場合でも大きな未使用領域が残らないようにしています。

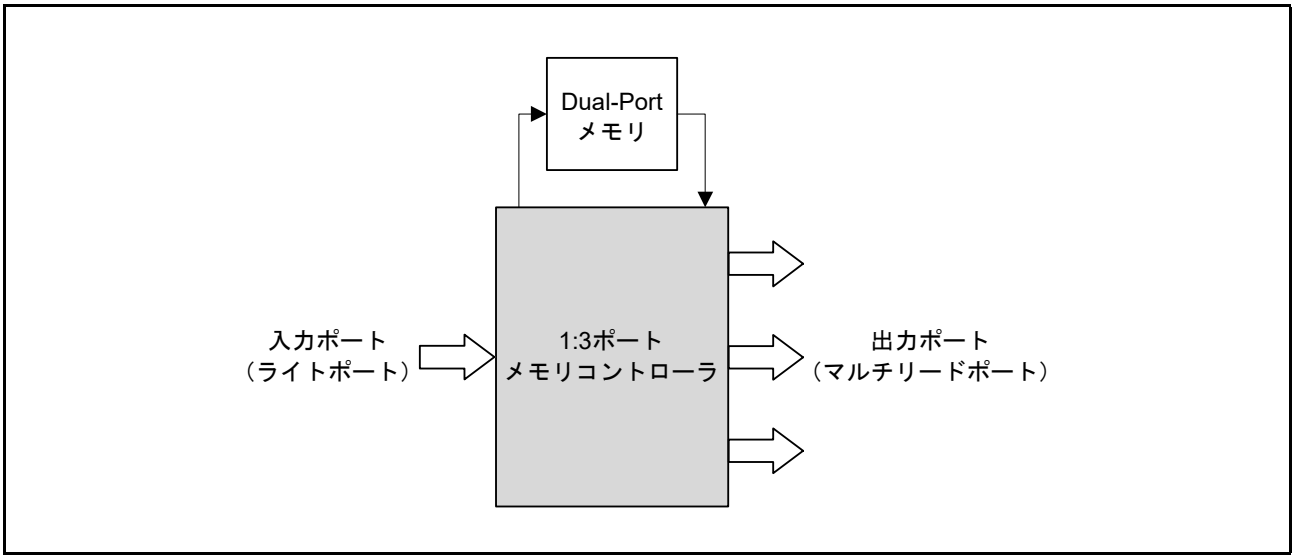


図 29.12　出力ポートのメモリコントローラの概要

(2)　機能

- 1 つのライトポートと複数のリードポートから成るメモリコントローラを搭載
- 8KB の共有メモリを 256 バイトのセルに分割
- 入力ポートからメモリへの書き込み時に、複数宛先への同時書き込みが可能（仮想フレーム複製）
- 時分割多重方式によるマルチリードポートを搭載し、複数の出力ポートで同時にフレームを出力することが可能
- 出力ポートごとに 4 段階のプライオリティのキューを実装
- バックプレッシャーとオーバフロー保護のための輻輳情報を利用可能
- メモリステータスの統計情報を利用可能

(3)　実装

メモリマネージャは、出力ポート 0 と 1 のすべてのキューに対して 8K バイトの共有メモリを実装しています。内部ポートであるポート 2 は、共有メモリから独立して動作する FIFO キューを有します。したがって、内部ポートでソフトウェアの処理が遅いことにより輻輳が発生したとしても、ポート 0 と 1 の間の転送は 影響を受けません。

29.3.2　カットスルー対応ハブモジュール

イーサネットスイッチは、カットスルーに対応したハブモジュールを備えています。このモジュールを使用することでポート 0 とポート 1 の間でスイッチエンジンを介さずに高速にフレームの転送を行うことができます。

ハブモジュールはスイッチエンジンの MAC とイーサネット PHY の間の MII のレベルで動作します。ハブモジュールはポート 0、ポート 1 のそれぞれからくるパケットに対しても、また片方のポートのみ機能を有効にすることもできます。片方のポートに対して有効にした場合、一方向がカットスルー転送されるのに対して、他方向はストアアンドフォワード転送されることになります。ハブモジュールの動作方向の設定や機能自体の有効／無効設定は、ソフトウェアによって制御することができます。

ハブモジュールが有効に設定された場合、受信したすべてのフレームは、完全に受信が完了する前に、即座に反対のポートに転送されます（カットスルー転送）。一部の特定の管理フレームは、通常のストアアンドフォワード転送でスイッチ本体を経由する必要がありますが、ハブモジュールに含まれるフィルタを設定することで、カットスルー転送をしないようにできます。

29.3.2.1　通常スイッチモードの動作

通常のスイッチングモードでは、MAC とイーサネット PHY は直接接続され、データはそのままスイッチで送受信されます。スイッチエンジンはポート間のすべてのフレームの転送処理を担います。

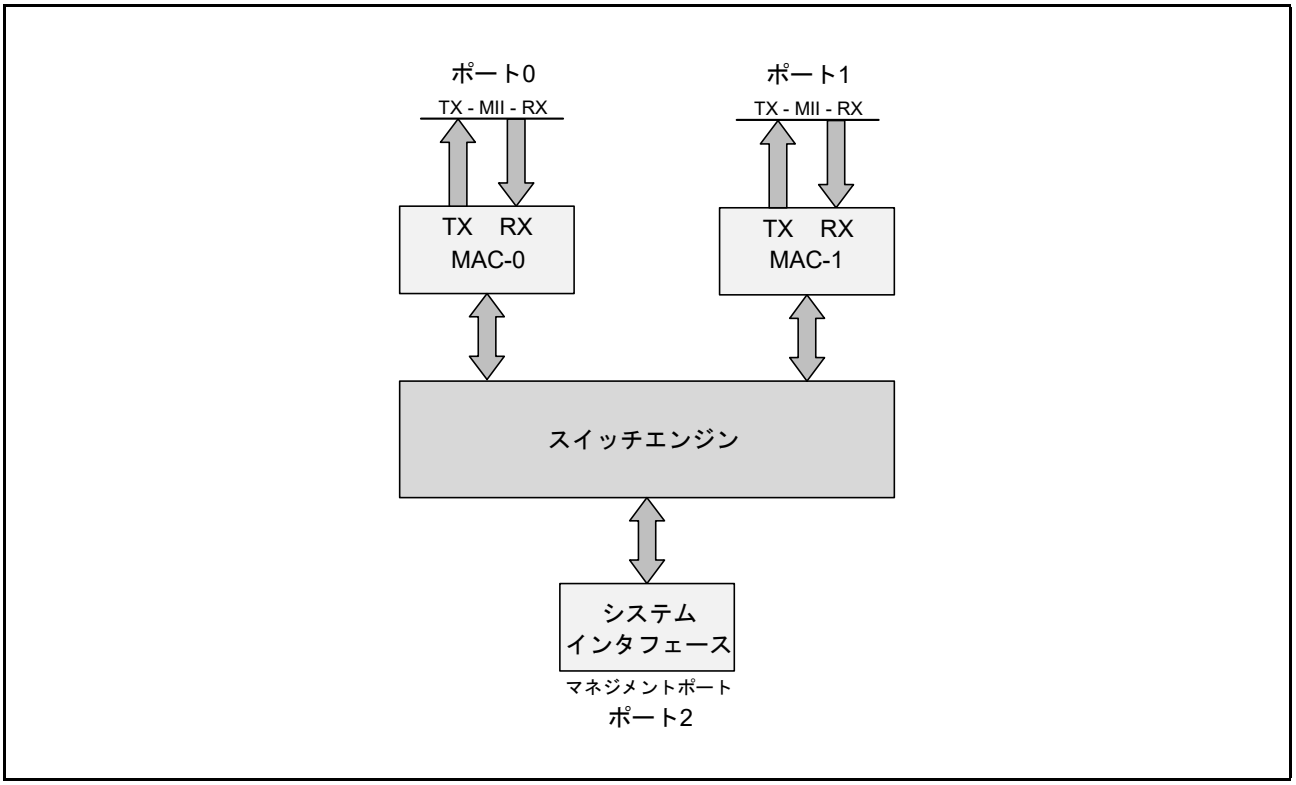


図 29.13　通常のスイッチモード動作

29.3.2.2 ポート 0 からポート 1 の方向のハブ機能

ポート 0 からポート 1 の方向にハブ機能が有効である場合、データパスは、次のように PHY インタフェースの部分で変更されます。

- ポート 0 の受信 PHY インタフェースは、スイッチとハブの両方の受信インタフェースに接続されます。ハブはポート 1 の送信インタフェースに受信フレームを送ります。フィルタリングメカニズムが、フレームの重複を避けるために実装されています。
- スイッチはポート 0 にフレームを通常どおり送信でき、ポート 0 からのすべてのトラフィックを受信し続けることができます。
- スイッチはポート 1 からフレームを通常どおり受信します。
- スイッチがポート 1 に送信するときには、フレームの重複を避ける必要があります。フレームがハブを経由して、すでに転送された場合や、送信キューにキューイングされている場合に、そのフレームを重複させないことを保証しなければなりません。アドレスフィルタテーブルは、この目的でも使用されます。
- IEEE1588 のフレームは、プロトコルを正しく動作させるため、ハブを通過してはいけません（コレクションフィールドの更新のため）。

ハブ機能が有効な場合でも、受信したフレームはスイッチに送信され、スイッチ内部でそのフレームの転送方法が決定されます。しかし、ハブが転送したポートと同じポートに対して転送が発生する場合は、フレームは破棄されます。つまり、内部ポート（ポート 2）へのデータの転送が発生し得ます。スイッチとハブの双方から送信されるフレームの調停には FIFO が用いられます。

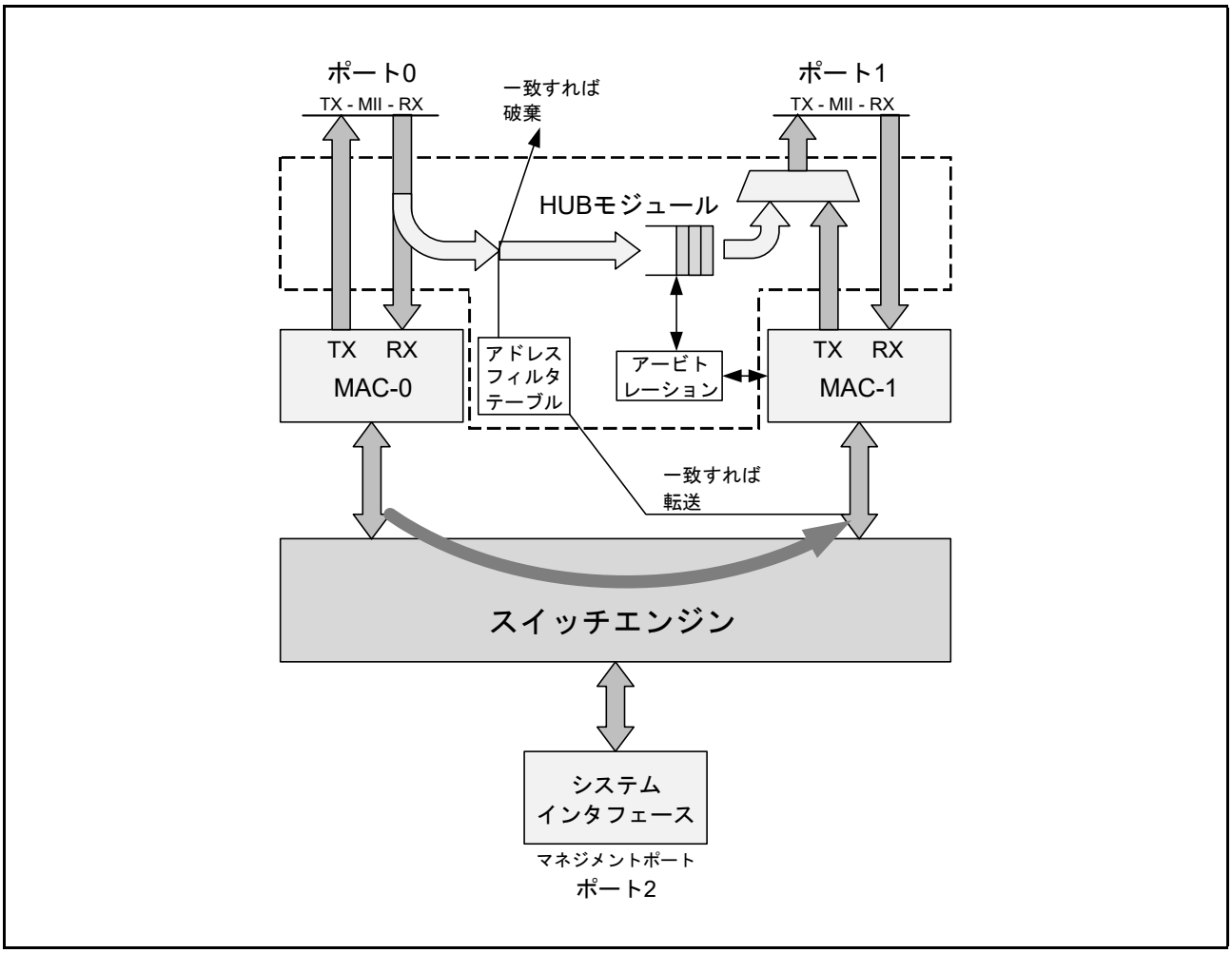


図 29.14 ポート 0 からポート 1 の転送が有効にされたハブの動作

29.3.2.3　ポート 1 からポート 0 方向のハブ機能

ポート 1 からポート 0 の方向にハブ機能が有効になっている場合、データパスはポート 1 から受信し、直接ポート 0 に送信するように、PHY インタフェース・レベルで変更されます。ポート 0 において、スイッチとハブの双方からの送信は調停されます。動作はポート 0 からポート 1 の方向のハブ機能と同じです。

ハブ機能は各方向を個別に有効にすることもできますし、同時に両方を有効にすることもできます。

29.3.2.4　ハブ受信フィルタリング

ハブ機能を有効にする場合、ハブモジュールの受信インターフェイスは、以下のフレームをハブを介して転送してはいけません。

- ローカルシステムのユニキャスト MAC アドレスと一致するユニキャスト MAC 宛先アドレスを持つフレーム
- IEEE1588 フレーム
- スイッチを介して伝播させるべきでないローカルの管理フレーム（例えば、MAC ポーズフレーム）

ハブ受信フィルタは MAC 宛先アドレスに対してフィルタリングします。最大 7 個の MAC アドレスをフィルタ用に登録することができます。さらにはフィルタできるアドレスの範囲を広げるためにアドレスの最終バイトをマスクする機能や、フィルタではなく、反対に強制的に転送させる機能も備えています（HUB_FLT_MACnlo/HUB_FLT_MACnhi レジスタ参照）。

フィルタの設定によりハブとスイッチでの転送動作が異なります。

表 29.2　フィルタ設定によるハブとスイッチの動作

強制転送 アドレスの一致／不一致		無効		有効（注1）	
		一致	不一致	一致	不一致
ハブ機能有効	ハブ	転送しない	カットスルー転送	カットスルー転送	強制転送無効のフィルタ動作
	スイッチ	ストアアンドフォワード転送（注2）	転送しない	—（注3）	
ハブ機能無効	ハブ	転送しない	転送しない	カットスルー転送	
	スイッチ	ストアアンドフォワード転送（注2）	ストアアンドフォワード転送（注2）	—（注3）	

注1.　DLRのビーコンフレームでの使用を想定しています。
注2.　PHYポート間で転送される場合です。アドレステーブルやデフォルトマスクの設定によっては、転送が発生しない場合があります。
注3.　スイッチに入る前にフレームは破棄されます。

- フレームの強制転送機能が無効時

  受信したフレームの宛先アドレスがフィルタに登録されているアドレスと一致した場合、ハブはそのフレームを他方のポートに転送しません。しかし、スイッチ内でポート 0 とポート 1 の間の転送が発生するときは、そのフレームを他方のポートに転送します。

  受信したフレームの宛先アドレスがフィルタに登録されているアドレスと一致しなかった場合、ハブはフレームを他方のポートに転送します。一方、スイッチは他方のポートに転送しません。これにより、フレームの重複を防いでいます。

- フレームの強制転送機能が有効時
  受信したフレームの宛先アドレスがフィルタに登録されているアドレスと一致した場合、ハブ機能が無効に設定されている場合でも、常にハブは他方のポートにフレームを転送します。一般的に強制転送はビーコンフレームに使用されます。DLR 機能が有効な場合には、DLR モジュールでビーコンフレームを処理できますが、スイッチに取り込まれる前に廃棄されます。これもフレームの重複を防ぐためです。

マネージメントポート（ポート 2）は、フレーム・フィルタリングの影響を受けず、常に両方の MAC ポートからのフレームを受信します。

ローカルシステムのユニキャストアドレスに加えて、IEEE1588 のフレームや強制転送無効時にハブで転送させるべきではないフレームの宛先アドレス（マルチキャストアドレス）を含めるように、フィルタアドレスを設定する必要があります。以下に関係するアドレスの例を示します。詳細はそれぞれの規格書を参照願います。

表29.3　PTPv2マルチキャストドメイン：Layer2

名称	MACアドレスマッピング
Normal messages	01-1b-19-00-00-00
Peer delay messages	01-80-c2-00-00-0e

表29.4　PTPマルチキャストドメイン：UDP/IP

名称	IPアドレス	MACアドレスマッピング
Default PTP domain	224.0.1.129	01-00-5e-00-01-81
Alternate PTP domain1	224.0.1.130	01-00-5e-00-01-82
Alternate PTP domain2	224.0.1.131	01-00-5e-00-01-83
Alternate PTP domain3	224.0.1.132	01-00-5e-00-01-84

表29.5　管理フレームドメイン

名称	IP アドレス	MACアドレスマッピング
Generic Switch Management	224.0.0.0	01-00-5e-00-00-00
IGMP	224.0.0.1	01-00-5e-00-00-01

表29.6　スイッチ管理フレームドメイン

名称	MACアドレスマッピング
Spanning Tree, IEEE 802.1d	01-80-c2-00-00-00 ～ 01-80-c2-00-00-0F
Bridge Management Address, 802.1d	01-80-c2-00-00-10
GARP	01-80-c2-00-00-20 ～ 01-80-c2-00-00-2F
MAC Layer Control Frames （Pause）	01-80-c2-00-00-01

表29.7　DLRマルチキャストドメイン

名称	MACアドレスマッピング
Beacon Frame	01-21-6C-00-00-01
Neighbor Check Request, Neighbor Check Response, Sign ON	01-21-6C-00-00-02
Announce, Locate Fault	01-21-6C-00-00-03

上記に基づき、表 29.8 に示すアドレスを最低限含むようにハブモジュールの初期設定を行う必要があります。アドレスとマスクの値は HUB_FLT_MACnlo/HUB_FLT_MACnhi レジスタを使用してプログラムします。MAC アドレスの第 1 バイトは HUB_FLT_MACnlo レジスタの bit7-0 に設定する必要があります。マスクの値は、受信したフレームのアドレスの最終バイトに対して AND 演算され、そのアドレスと設定したアドレスの比較が行われます。

強制転送は、常にハブを経由してフレームを転送させる必要がある場合のみ、1 を設定してください。強制伝送は、ハブの有効／無効設定に関係なく動作します。つまり、ハブを無効にして、特定のフレームのみをカットスルー転送させることができます。

アプリケーションによって明示的に要求されない場合、ブロードキャストフレームはハブを経由して転送するべきではありません。ブロードキャストアドレスはフィルタテーブルに入力する必要はありません。フィルタリングは HUB_CONTROL レジスタ内の制御ビットで有効にすることができます。

表 29.8　代表的なハブの MAC フィルタ設定

MAC アドレス	マスク	強制転送	備考
01-80-c2-00-00-00	C0h	0	フィルタの範囲：01-80-c2-00-00-{00..3F} HUB_FLT_MACnlo／hi レジスタ設定は次のようになります。 HUB_FLT_MACnlo = 00C2 8001h HUB_FLT_MACnhi = 00C0 0000h
01-1b-19-00-00-00	FFh	0	フィルタの範囲：このアドレスのみ（PTPv2）
01-00-5e-00-01-80	F8h	0	フィルタの範囲：01-00-5e-00-01-{80..87}(224.0.1.{128..135})
01-00-5e-00-00-00	FCh	0	フィルタの範囲：01-00-5e-00-00-{00..03} (224.0.0.{0..3})
<ローカル・ノード・ ユニキャスト・アドレス>	FFh	0	ローカルノードだけに転送されるフレームが不必要に転送されることを避けるために入力する必要があります。
01-21-6C-00-00-01	FFh	1	ビーコンフレームはハブを経由して強制転送しなければなりません。 HUB_FLT_MAC6lo／hi レジスタに設定してください。 HUB_FLT_MAC6lo = 006C 2101h HUB_FLT_MAC6hi = 01FF 0100h

29.3.2.5　ハブモジュールの強制転送

フィルタのエントリ毎に、強制転送ビット（HUB_FLT_MACnhi レジスタのビット 24）を設定できます。このビットにより、ハブモジュールはフレームをフィルタリングではなく、フレームを強制的に転送する機能に変わります。アドレスが一致し、かつそのアドレスエントリの強制転送ビットがセットされている場合、フレームはハブを介して転送され（カットスルー）ます。一方、MAC ／スイッチの方に送られるフレームは、MAC ／スイッチに取り込まれる前に廃棄されます。強制転送はハブのイネーブル制御（HUB_COTNROL レジスタのビット 0）に依存せず、常に行われます。

この動作モードではスイッチに取り込まれる前にフレームが廃棄されるため、強制転送されたフレームはスイッチでは処理できません。したがって、そのフレームに対するアドレスのラーニングは行われません。また、ポート 2 を介してローカルアプリケーションに転送することもできません。これは、通常のハブの動作とは異なります。通常のハブの動作はすべてのフレームがスイッチに取り込まれますが、転送されたポートのライン側でのフレームの重複を回避するため、転送されたポートでのみフレームの廃棄が行われます。

なお、次節で説明する DLR モジュールは強制転送されたフレームも正常に受信することができます。これは、DLR モジュールが MAC ／スイッチの前に配置され、フレームの廃棄の影響を受けないためです。したがって、一般的に強制転送は、DLR のビーコンフレームに対して使用されることを想定しています。DLR モジュールでビーコンフレームを処理することにより、アプリケーションへの負荷を抑えることが可能になります。

29.3.2.6　　ループフィルタ処理

ハブモジュールにはループフィルタが内蔵されており、特定の送信元アドレスを持つフレームを受信ポートで廃棄することができます。これにより特定の送信元アドレスを持つフレームがハブやスイッチを通過することを防ぐことができます。この機能は一般的にリング接続されたアプリケーションで必要とされる機能です。ローカルノードから送信されたフレームがリングを通過して再度ローカルノードに到達する可能性があるため、ループフィルタがそのフレームを破棄すれば、ハブでもスイッチでも二度とそのフレームの処理が行われず、ネットワーク上から完全にフレームが取り除くことができます。

ループフィルタで処理するローカル・ノードの MAC アドレスは DLR モジュールの LOC_MAClo ／ hi レジスタで設定することができます。

29.3.3　　DLR モジュール

デバイスレベルリング（DLR）モジュールにより、スイッチコアのポート 0 とポート 1 の受信パス上でビーコンベースのノードとしてビーコンフレームの処理ができます。

DLR モジュールは、ハブモジュールとスイッチモジュールとの間に挿入されています。DLR モジュールでは、両方の外部ポートからの受信パスでビーコンフレームの検出を行い、フレームがスイッチモジュールに入る前にフレームの破棄を行います。すべてのビーコンフレームのパラメータは DLR モジュールで解析され、ソフトウェアでアクセスできるようにローカルのレジスタに保存されます。

ビーコンベースのノードに対して、割り込みを通して CPU に任意のリングの状態の変化を知らせることができます。このことで、いつでも受信したビーコンフレームのパラメータを読み取ることが可能です。

送受信されたビーコンフレーム数の統計カウンタも実装されています。

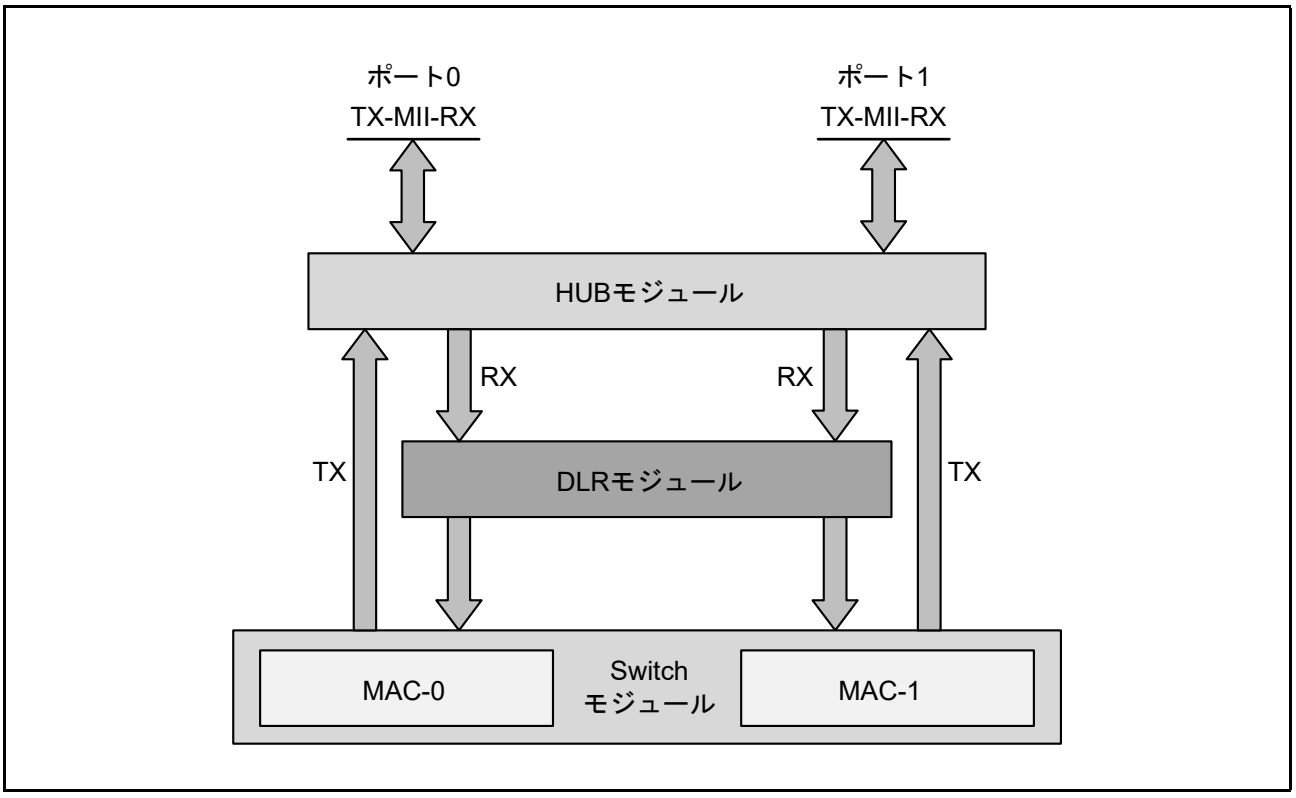
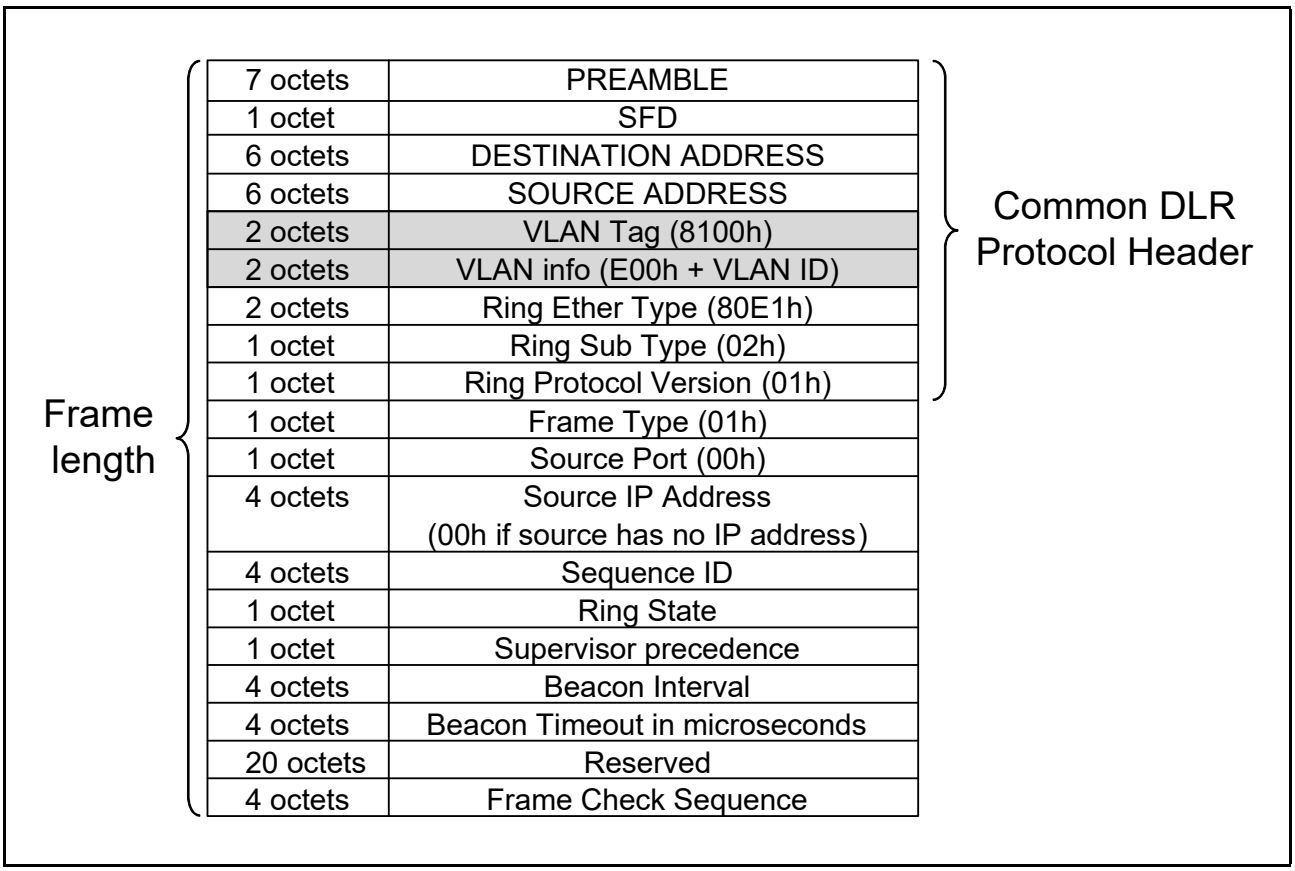


図 29.15　ハブモジュールと DLR モジュールとの接続イメージ

29.3.3.1　ビーコンフレームのフォーマット

DLR ネットワークの中で、アクティブリングスーパバイザは、ビーコン間隔（デフォルトでは 400 マイクロ秒）毎に一つのビーコンフレームを両方のイーサネットポートから送信します。DLR フレームは、802.1Q のフレームフォーマットを使用します。フレームは最も高い優先順位（7）で送信されます。ビーコンフレームは、プリアンブルと SFD を除く 64 バイトの DLR フレームであり、以下のフィールドで構成されます。



7 octets	PREAMBLE
1 octet	SFD
6 octets	DESTINATION ADDRESS
6 octets	SOURCE ADDRESS
2 octets	VLAN Tag (8100h)
2 octets	VLAN info (E00h + VLAN ID)
2 octets	Ring Ether Type (80E1h)
1 octet	Ring Sub Type (02h)
1 octet	Ring Protocol Version (01h)
1 octet	Frame Type (01h)
1 octet	Source Port (00h)
4 octets	Source IP Address (00h if source has no IP address)
4 octets	Sequence ID
1 octet	Ring State
1 octet	Supervisor precedence
4 octets	Beacon Interval
4 octets	Beacon Timeout in microseconds
20 octets	Reserved
4 octets	Frame Check Sequence

図 29.16　ビーコンフレームフォーマット

ビーコンフレームは DLR モジュールで処理され、ソフトウェアでアクセスできるようにするために、そのパラメータがローカルレジスタに保存されます。**表 29.9** は、ビーコンフレームのフィールドとリングノードで値を格納しているレジスタ名を示しています。

表29.9　ビーコンフレームフィールドの定義

フィールド	説明	レジスタ名
宛先アドレス	ビーコンフレームの宛先MACアドレスは、01-21-6C-00-00-01の固定マルチキャストアドレスです。これは、ビーコンフレームにのみ使用される排他的なMACアドレスです。カットスルー転送はこのアドレスとの一致に基づいて行われます。	—
送信元アドレス	スーパバイザの送信元MACアドレスです。48ビットアドレスが、2つのレジスタに格納されます。	SUPR_MAClo／hi
VLAN タグ	802.1Qにより、DLRメッセージは送信元MACアドレスの後に2オクテットのVLANタグ（8100h）を含んでいます。	—
VLAN情報	16ビットの情報フィールドは、優先順位フィールドとVLAN_IDが含まれています。VLAN IDは、リングスーパバイザで設定され、リングノードで受信されます。利用可能なVLAN IDが存在しない場合、VLAN IDのデフォルト値は0です。市販のスイッチがリング内に使用されていない限り、デフォルトのVLAN IDは変更する必要がありません。	STATE_VLANのビット31-16 ただし、ビット8が1のとき、値は有効になります
リングイーサタイプ	DLRフレーム用のイーサタイプは80E1hです。	—
リングサブタイプ	DLRメッセージ用のリングサブタイプの値は常に02hです。	ETH_STYP_VERのビット7-0
リングプロトコルバージョン	DLRメッセージのプロトコルバージョンです。	ETH_STYP_VERのビット15-8
フレームタイプ	ビーコンフレームのフレームタイプの値は常に01hです。	—
ソースポート	ビーコンフレームの送信元ポートの値は常に0hです。	ETH_STYP_VERのビット23-16
ソース IPアドレス	スーパーバイザのIPアドレスです。利用可能なIPアドレスがない場合、IPアドレスのデフォルト値は0です。	SUPR_IPADR
シーケンスID	フレームのシーケンス識別番号です。	SEQ_ID
リング状態	リングスーパバイザが送信したリングネットワークの状態です。	STATE_VLANのビット7-0
スーパバイザの優先順位	リングスーパバイザの優先順位値には、リングスーパバイザに割り当てられた優先順位値が含まれています。複数のスーパバイザが有効な場合、最も優先順位が高いスーパーバイザを一つ選択することができます。リング・スーパバイザの優先順位値は0～255の範囲内で任意の値を指定できます。数値が大きいほど優先順位が高いことを示します。	SUPR_MAChiのビット23-16
ビーコン間隔	リングスーパーバイザがビーコンフレームを送信する間隔です。単位はマイクロ秒です。有効な値は最小100マイクロ秒から最大100ミリ秒の範囲内です。代表的な値は400マイクロ秒です。	BEC_INTRVL
ビーコンタイムアウト	ビーコンフレームのタイムアウトを検出し、その対応を行う前に待機しなければならない時間をマイクロ秒の単位で示します。有効な値は最小200マイクロ秒から最大500ミリ秒の範囲内です。代表的な値は1960マイクロ秒です。	BEC_TMOUT
フレームチェックシーケンス	フレームのCRC値です。	—

29.3.3.2 リングノードの機能説明

リングノードの CPU がビーコンフレームの処理に負荷がかからないように、ビーコンフレームは DLR モジュールで検出され、解析が行われます。ビーコンベースのノードを構成するために、リングの状態に変化があれば、割り込みを通じて CPU に通知されます。

受信したビーコンフレームのパラメータを任意のタイミングで読み取ることも可能です。統計カウンタも実装されており、送受信されたビーコンフレームの数を確認することもできます。

(1) 初期設定

DLR モジュールを設定する手順は以下になります。

- ビーコン送信先アドレスの下位 4 バイト（006C 2101h）を HUB_FLT_MAC6lo レジスタに設定します。この値は HUB_FLT_MAC6lo レジスタの初期値です。
- ビーコン送信先アドレスの上位 2 バイトと強制転送有効設定（01FF 0100h）を HUB_FLT_MAC6hi レジスタに設定します。この値は HUB_FLT_MAC6hi レジスタの初期値です。なお、マスクビットは FFh です。
- ローカルデバイスのユニキャストアドレスの下位 4 バイトをループ・フィルタで使用される DLR モジュールの LOC_MAClo レジスタに設定します。
- ローカルデバイスのユニキャストアドレスの上位 2 バイトをループ・フィルタで使用される DLR モジュールの LOC_MAChi レジスタに設定します。
- DLR のイーサネットフレームタイプの値である 80E1h を DLR_ETH_TYP レジスタに設定します。この値は DLR_ETH_TYP レジスタの初期値です。
- DLR_CONTROL レジスタを介して DLR モジュールを有効に設定します。1 マイクロ秒をカウントするために必要なクロックサイクル数もこのレジスタに設定します。本 LSI の DLR モジュールは 75MHz で動作しますので、常に 4Bh を設定してください。リセット後の値から変更が必要です。
- ソフトウェアの要求に応じて DLR_IRQ_CTRL レジスタで任意の割り込み要因を有効／無効に設定します。

(2)　スタートアップ

スタートアップにおいて、リングノードは IDLE_STATE になり、ネットワークをリニアトポロジモードと見なします。ローカルリングノードの現在の状態やその他のステータス・ビットは DLR_STATUS レジスタに格納されており、ソフトウェアからアクセスできます。

DLR_CONTROL レジスタのビット 4 で不正なタイマ値を無視するように設定し、不正なタイマ値が格納されたビーコンフレームを受信すると、そのフレームは無視されます。一方、DLR_CONTROL レジスタのビット 4 の設定にかかわらず、INV_TMOUT レジスタには不正なタイマ値が格納されます。
DLR_IRQ_CTRL レジスタのビット 11 を有効にすることで、割り込みを発生させることもできます。

どちらかのポートを介してビーコンフレームを受信すると、リングノードは FAULT_STATE 状態に遷移し、ネットワークをリングトポロジモードと見なします。DLR_IRQ_CTRL レジスタのビット 1 を有効に設定することにより割り込みが生成され、MAC アドレスラーニングテーブルをフラッシュする必要性があることと、状態の遷移が発生したことを CPU に通知します。リングスーパバイザのすべてのパラメータがレジスタに保存され、ソフトウェアからアクセスが可能になります。ただし以下のパラメータは、
IDLE_STATE から FAULT_STATE への状態遷移中のみ保存されます。

- スーパーバイザの MAC アドレス：SUPR_MAClo/hi レジスタに格納されます。
- スーパーバイザの優先順位の値：SUPR_MAChi に格納されます。
- VLAN ID：STATE_VLAN レジスタに格納されます。
- ビーコンタイムアウトタイマー値：BEC_TMOUT レジスタに格納されます。

スーパーバイザーの IP アドレスはいつでも変更することが認められます。新しい IP アドレスは、常に古い IP アドレスを置き換えます。DLR_IRQ_CTRL レジスタのビット 10 を有効にすることで、IP アドレスの変更を示す割り込みが生成されます。

現在のスーパバイザよりも優先度が高いスーパバイザか、同じ優先度でも MAC アドレスが大きい別のスーパバイザからビーコンフレームを受信すると、新しいビーコンフレームのパラメータによって、すべての古い値が置き換えられます。DLR_IRQ_CTRL レジスタのビット 6 を有効にすることで、スーパバイザの変更を示す割り込みが生成されます。リングノードは FAULT_STATE 状態を続けます。

現在のスーパバイザよりも優先度が低いスーパバイザか、同じ優先度でも MAC アドレスが小さい別のスーパバイザからビーコンフレームを受信した場合、そのビーコンフレームは無視されます。
DLR_IRQ_CTRL レジスタのビット 9 を有効にすることで、ビーコンフレームが無視されたことを示す割り込みが生成されます。リングノードは FAULT_STATE 状態を続けます。

リングスーパーバイザは通常時にビーコンフレーム内のパラメータを変更することは行いません。パラメータを変更する必要がある場合は、スーパーバイザが新しいパラメータのビーコンフレームを送信する前に、スーパバイザは少なくとも 2 回のビーコン・タイムアウト期間でビーコンフレームの送信を停止します。

両方のポートでビーコンタイムアウトタイマがタイムアウトすることにより、ローカルノードの状態が IDLE_STATE に戻る場合、DLR_IRQ_CTRL レジスタのビット 4 とビット 5 を有効にすることで、割り込みが生成されます。現在の割り込みの状態はソフトウェアからアクセス可能です。両方のポートでビーコンタイムアウトが発生しており、MAC アドレスラーニングテーブルの消去と DLR_IRQ_STAT_ACK レジスタの状態を変更する必要があります。

両方のポートでビーコンフレームを受信し、アクティブリングスーパバイザからリング状態フィールドが RING_STATE_NORMAL にセットされたビーコンフレームを、どちらか一方のポートで受信すれば、ローカルノードは NORMAL_STATE に状態遷移します。割り込みステータスビットは状態の変化が発生したことを示し、それにより、ユニキャストの MAC アドレスラーニングテーブルを消去する必要があります。また、ソフトウェアでネイバーチェックタイムアウトタイマを動かしていた場合には、それを止める必要があります。

注．　ネイバーチェック処理用のネイバーチェックタイムアウトタイマ（100 ミリ秒）は、ソフトウェアで実装する必要があります。ソフトウェアはタイマを停止させるために、DLR_IRQ_STAT_ACK レジスタのビット 3 およびビット 2 を利用することができます。

(3)　故障検出

以下のイベントはリングノードが NORMAL_STATE から他の状態に移行する原因になります。

- RING_FAULT_STATE に状態パラメータが設定されたビーコンフレームを受信した場合。
  DLR_IRQ_STAT_ACK レジスタは、ビット 0 がセットされ、ノードの状態が変化したことを示します。割り込みの発生を有効にした場合には割り込みも発生します。
- 現在のアクティブリングスーパバイザとは異なる MAC アドレスを持つビーコンフレームか、優先順位がより高いビーコンフレームを受信した場合。
  状態の変化に加えて、DLR_IRQ_STAT_ACK レジスタのビット 6 がセットされ、スーパバイザが変更されたことを示します。
- ビーコンタイムアウトタイム値で指定された期間に両方のポートでビーコンフレームが受信できなかった場合。
  ノードの状態は IDLE_STATE に遷移します。さらに、DLR_IRQ_STAT_ACK レジスタのビット 5 およびビット 4 がセットされ、両方のポートでビーコンタイムアウトタイマがタイムアウトしたことを示します。
- ビーコンタイムアウトタイム値で指定された期間に、一方のポートでビーコンフレームが受信できなかった場合。
  ノードの状態は FAULT_STATE に遷移します。さらに、DLR_IRQ_STAT_ACK レジスタのビット 5 あるいはビット 4 のどちらかのビットがセットされ、そのポートでビーコンタイムアウトタイマがタイムアウトしたことを示します。

(4)　エラー処理

DLR ノードは以下のエラー状態を処理することができます。

- ビーコンフレームに CRC エラーが検出された場合。
  ビーコンフレームに CRC エラーが検出されると、DLR ノードでビーコンフレームの処理がされず、スイッチに入る前にフレームは破棄されます。エラーがあるビーコンフレームのパラメータはレジスタに格納されません。一方、ビーコンフレームに CRC エラーがある場合でも、ハブでは CRC のチェックが行われないため、そのビーコンフレームはハブを経由して転送されます。CRC エラーのビーコンフレームは統計カウンタ RX_ERR_STAT0/1 でカウントされます。
- ビーコンフレームのタイムアウトタイマ値が不正な範囲の値である場合。
  ビーコンフレームのタイムアウトタイマ値の有効範囲は 200 マイクロ秒から 500 ミリ秒の間です。スーパバイザからのビーコンフレームが、不正なビーコンタイムアウト値を持つ場合、DLR_CONTROL レジスタのビット 4 が設定されていると、そのフレームは無視され、スイッチに入る前に破棄されます。この設定にかかわらず、不正なビーコンタイムアウト値を持つフレームは常に検出され、INV_TMOUT レジスタにその不正なタイムアウト値が格納されます。DLR_IRQ_CTRL レジスタのビット 11 がセットされている場合には割り込みも生成されます。

本ドキュメントでは、主に本 LSI に搭載した DLR モジュールについて説明しています。DLR の詳細に関しては、ODVA の仕様書を参照してください。

29.3.4　IEEE1588 タイマ＆コントロールモジュール

29.3.4.1　概要

タイマ＆コントロールモジュール（TSM）は、IEEE1588 を実装するために使用できる時刻調整可能なタイマを備えています。IEEE1588 を使用することで、このタイマのローカル時刻をリモートのマスタクロックと同期させることができます。（ただし、PTP のようなプロトコルに対応したソフトウェアが必要です）

また、本モジュールは、外部ポートの MAC/ PHY インタフェースで採取されるすべてのフレームのタイムスタンプの基準となる時刻を提供します。タイムスタンプにより、時刻同期プロトコル（例えば、IEEE1588 高精度時刻プロトコル：PTP）を使うことができ、ネットワーク内の分散クロックを共通のマスタクロックに同期させることができます。

29.3.4.2　IEEE1588 メッセージフォーマット

(1)　送信時のカプセル化

高精度時刻プロトコル（PTP）のデータグラムは、UDP/IP を使用したイーサネットフレームにカプセル化されています。また PTPv2 では UDP/IP に加えて、Layer2 のイーサネットフレームに直接記述されています。一般的にマルチキャストアドレスが使用され、同期化のメッセージを効果的に分配しています。

- UDP/IP
  IEEE1588 のメッセージ（version1 および 2）は UDP/IP のマルチキャストメッセージを用いて送信することができます。**表 29.10** の IP マルチキャストグループが PTP 用に定義されています。**表 29.10** には RFC1112 による MAC 層のマルチキャストアドレスマッピングも併せて示しています。

表29.10　UDP/IPマルチキャストドメイン

名称	IPアドレス	MACアドレスマッピング
Default PTP domain	224.0.1.129	01-00-5e-00-01-81
Alternate PTP domain1	224.0.1.130	01-00-5e-00-01-82
Alternate PTP domain2	224.0.1.131	01-00-5e-00-01-83
Alternate PTP domain3	224.0.1.132	01-00-5e-00-01-84

表29.11　UDPのポート番号

メッセージタイプ	UDPポート	備考
event	319	SYNCとDELAY_REQUESTメッセージに対して使用されます。
general	320	上記以外のメッセージに対して使用されます。 （FOLLOW-UPやDELAY-RESPONSE等）

- ネイティブイーサネット（Layer2）
  UDP/IP フレームに加えて、IEEE1588 Version2 ではネイティブのイーサネットフレームのフォーマットも定義されています。そのイーサタイプは 88F7h です。イーサネットフレームのペイロードに直接、PTPv2 のヘッダから始まる PTP のデータグラムが含まれます。
  また、PTPv2 ではピアディレイメカニズムが追加されています。それにより、複数のノードを経由するパスに沿って、個別の Point-to-Point リンク間の遅延を測定できます。PTPv2 では以下のマルチキャストドメインも追加されています。

表29.12　PTPv2のマルチキャストドメイン

名称	MACアドレス
Normal messages	01-1b-19-00-00-00
Peer delay messages	01-80-c2-00-00-0e

(2)　PTP ヘッダ

すべての PTP フレームは共通のヘッダを含みます。ヘッダにはプロトコルのバージョンとメッセージのタイプが含まれます。メッセージのタイプには、さらにメッセージの内容が定義されています。複数のオクテットからなるフィールドは、すべてビッグエンディアンで送信されます。バージョンのフィールドの最後の 4 ビットは、PTPv1 と PTPv2 の両方のヘッダに対して同じ位置になります。これにより、メッセージの最初の 2 バイトを検査することで、正確にバージョンを識別することができます。

注 .　PTP フレームの内容の詳細な意味に関しては、IEEE1588 の仕様書を参照してください。本書では、使用されている用語を理解する上で役立つ関連情報の幾つかに絞って記載しています。PTPv1 は IEEE1588 規格のバージョン 1 を指しており、PTPv2 は IEEE1588 規格のバージョン 2 を指しています。

- PTPv1 のヘッダ

表29.13　共通PTPv1メッセージヘッダ

Bits								Octets	Offset
7	6	5	4	3	2	1	0		
versionPTP = 0x0001								2	0
versionNetwork								2	2
subdomain								16	4
messageType								1	20
sourceCommunicationTechnology								1	21
sourceUuid								6	22
sourcePortId								2	28
sequenceId								2	30
control								1	32
0x00								1	33
flags								2	34
reserved								4	36

メッセージのタイプは表 29.14 に示すように messageType と control フィールドでエンコードされています。

表29.14　PTPv1メッセージタイプ識別

messageType	control	メッセージ名	メッセージ
0x01	0	SYNC	eventメッセージ
0x01	1	DELAY_REQ	eventメッセージ
0x02	2	FOLLOW_UP	generalメッセージ
0x02	3	DELAY_RESP	generalメッセージ
0x02	4	MANAGEMENT	generalメッセージ
other	other		reserved

- PTPv2 のヘッダ

表29.15　共通PTPv2メッセージヘッダ

Bits								Octets	Offset
7	6	5	4	3	2	1	0		
ransportSpecific				messageId				1	0
reserved				versionPTP = 0x2				1	1
messageLength								2	2
domainNumber								1	4
reserved								1	5
flags								2	6
correctionField								8	8
reserved								4	16
sourcePortIdentity								10	20
sequenceId								2	30
control								1	32
logMeanMessageInterval								1	33

メッセージのタイプは**表 29.16** に示すように messageId フィールドでエンコードされています。

表29.16　PTPv2メッセージタイプ識別

messageId	メッセージ名	メッセージ
0x0	SYNC	eventメッセージ
0x1	DELAY_REQ	eventメッセージ
0x2	PATH_DELAY_REQ	eventメッセージ
0x3	PATH_DELAY_RESP	eventメッセージ
0x4 - 0x7		reserved
0x8	FOLLOW_UP	generalメッセージ
0x9	DELAY_RESP	generalメッセージ
0xa	PATH_DELAY_FOLLOW_UP	generalメッセージ
0xb	ANNOUNCE	generalメッセージ
0xc	SIGNALING	generalメッセージ
0xd	MANAGEMENT	generalメッセージ

PTPv2 の flags フィールドには、one-step/two-step を含むメッセージのタイプの詳細が含まれています。flags フィールドは 2 オクテットからなり、reserved のビットは 0 がセットされています。

表29.17　PTPv2メッセージflagsフィールド定義

Octet Offset	bit	名称	内容
6 （first）	0	ALTERNATE_MASTER	IEEE 1588 Clause 17.4を参照してください。
	1	TWO_STEP	0：one-step clock 1：two-step clock
	2	UNICAST	0：マルチキャストアドレス 1：ユニキャストアドレス
	3-4	reserved	
	5	profile specific	
	6	profile specific	
	7	reserved	

注.　フレームやフィールドの詳細はIEEE1588の規格書を参照してください。

29.3.4.3　時刻調整機能付きタイマモジュール

(1)　概要

時刻調整機能付きタイマモジュール（TSM）は、フリーランカウンタ（FRC）を搭載しています。これを使用して、送受信フレームに対するタイムスタンプが生成されます。本 LSI の FRC は 100MHz のクロックで動作しており、時刻の分解能としては 10ns です。

専用の時刻補正回路により、タイマをリモートマスタと同期させることができ、ローカルのシステムに時刻同期されたリファレンスを提供することができます。

タイマは、ナノ秒タイマと秒タイマの 2 つからなります。ナノ秒タイマが 10^9 に到達すると割り込みを発生させることができます。

タイマの現在の時刻を基に、時刻同期した任意周期のパルス信号を生成することが可能です。本 LSI 外部のシステムに時刻リファレンスを提供することも可能です。

(2)　タイマモジュールの構成

時刻調整機能付きタイマモジュールは、プログラマブルなカウンタ／アキュムレータと、2 つの補正カウンタで構成されています。カウンタの周期とカウント値の増加の割合を自由に設定できます。それによりタイマを微調整することが可能です。

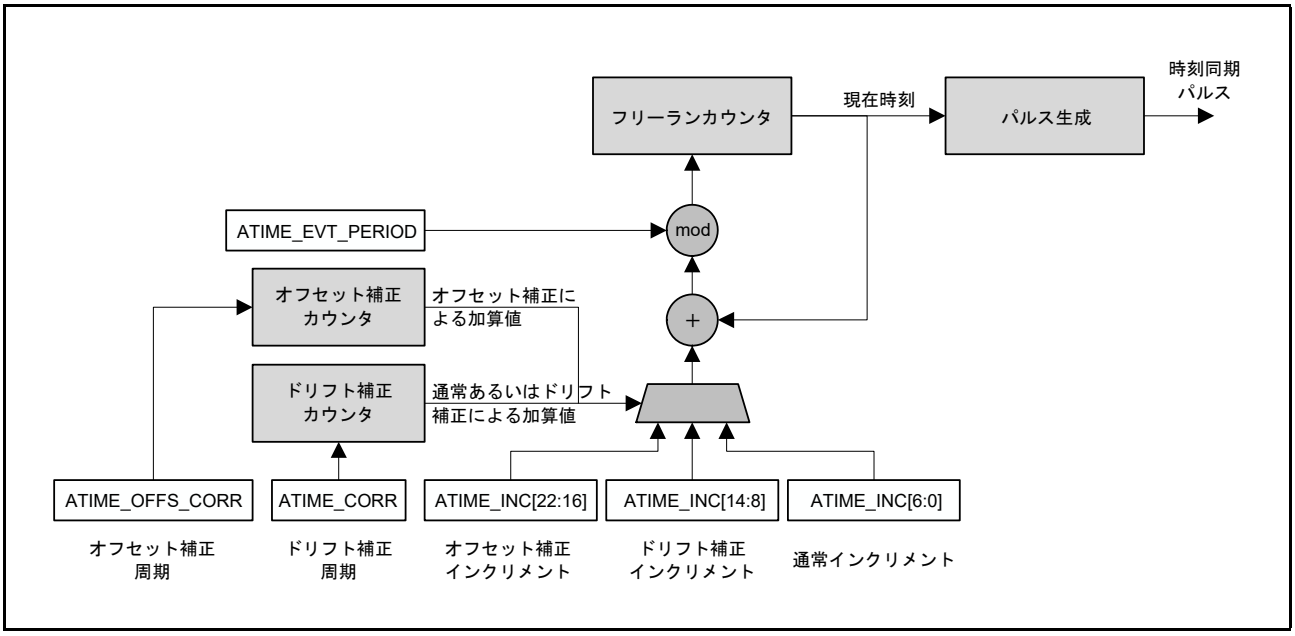


図 29.17　時刻調整機能付きタイマの構成図

(3)　通常のタイマ動作

フリーランカウンタ（時刻タイマ）は、現在の時刻を生成し続けます。ATIME_INC レジスタのビット 6-0 で定義されたクロックの周期に基づいて、クロックサイクルごとに一定の値を現在の時刻に加算します。正確な時間を実現するために、ATIME_INC レジスタのビット 6-0 には 10ns を表す 001010b 以外設定しないでください。

ATIME_EVT_PERIOD レジスタに設定した周期はモジュロを表し、カウンタを循環させるときに使用されます。値は 10^9 を設定し、それ以外の値は設定しないでください。これによりタイムスタンプはナノ秒として使用することができます。

(4)　ドリフト補正

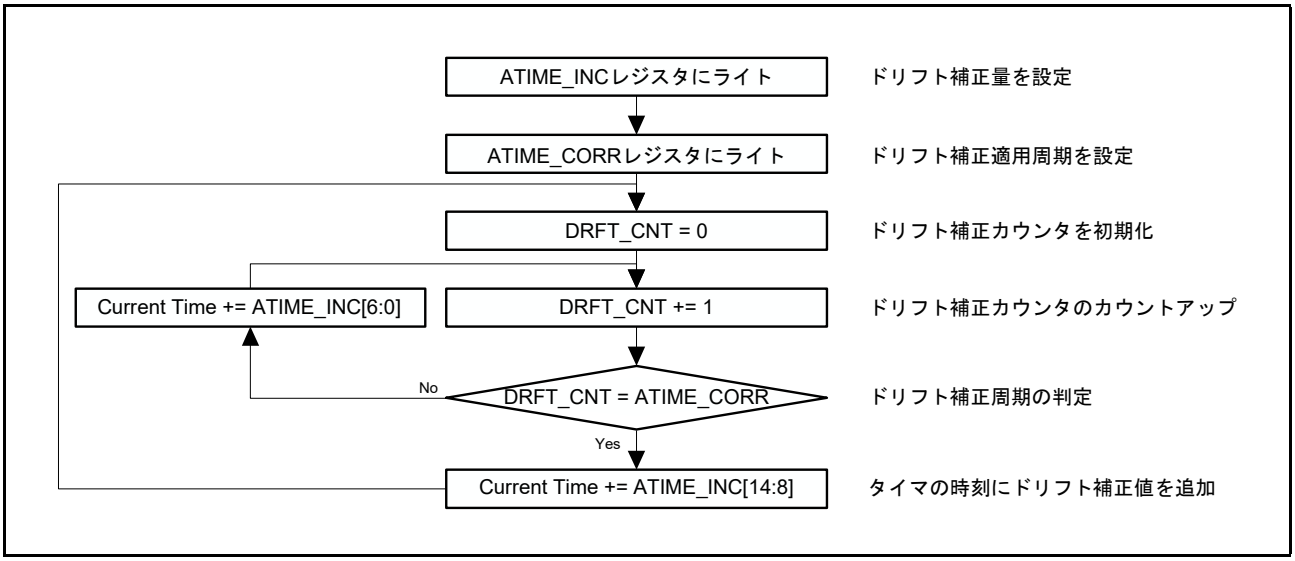


図 29.18　ドリフト補正

ドリフト補正カウンタはフリーランカウンタ（時刻タイマ）とは完全に独立して動作し、クロックサイクル毎に 1 を加算します。ドリフト補正カウンタが ATIME_CORR レジスタで設定された値に達すると、補正カウンタは再起動され、フリーランカウンタは一度だけ通常の値でなく、補正した値をインクリメントします。通常の値と補正した値のインクリメント値は、ATIME_INC レジスタで設定します。タイマをスピードアップさせるためには、補正したインクリメント値を通常のインクリメント値より大きく設定します。タイマをスピードダウンさせるためには、補正したインクリメント値を通常のインクリメント値より小さく設定します。補正カウンタは補正量ではなく、何クロックサイクル毎に補正を実施するかを定義します。クロック周波数に依存せず、1ns の単位で非常に精細な補正を低ジッタで行うことができます。

(5)　オフセット補正

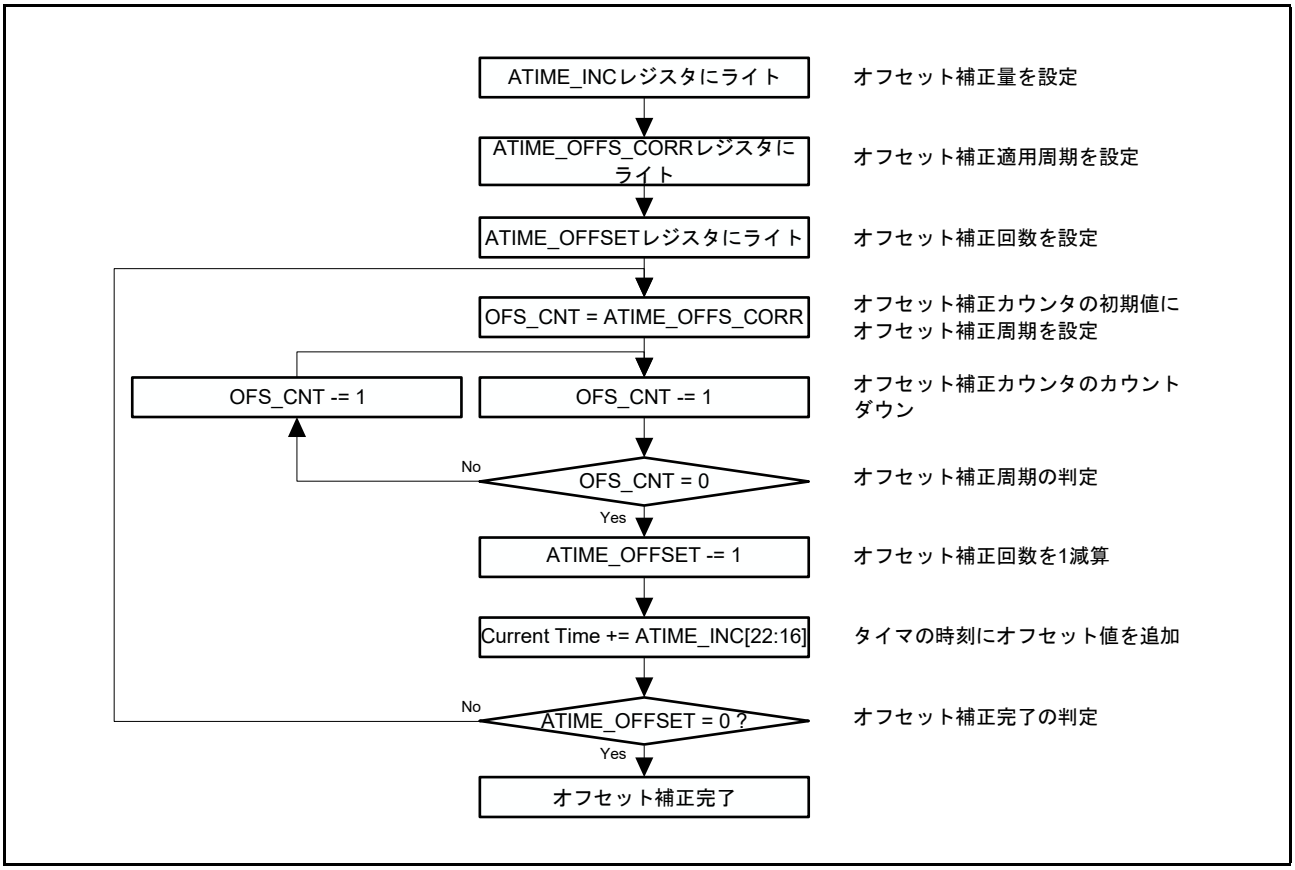


図 29.19　オフセット補正（ATIME_OFFS_CORR がゼロでない場合）

オフセット補正カウンタはフリーランカウンタ（時刻タイマ）とは完全に独立して動作します。オフセット補正カウンタに値がロードされると、クロックサイクル毎に 1 を減算します。ATIME_OFFS_CORR レジスタに書き込んだ値が、カウンタにロードされます。ただし、オフセット補正値が ATIME_OFFSET レジスタに書き込まれるまで、タイマは起動しません（つまり ATIME_OFFSET レジスタに値を書き込む前に、ATIME_OFFS_CORR レジスタに値を書き込む必要があります）。

ATIME_OFFSET レジスタに値が書き込まれると、オフセット補正カウンタに ATIME_OFFS_CORR レジスタの値がロードされ、カウント動作を開始します。カウント値がゼロに達すると、ATIME_OFFSET レジスタの値を 1 減算し、ATIME_INC レジスタのビット [22:16] で定義されたオフセット値を時刻タイマにインクリメントします。もし、ATIME_OFFSET の値がゼロでなければ、オフセット補正カウンタは ATIME_OFFS_CORR レジスタの値を再度ロードして、ATIME_OFFSET の値がゼロになるまで同じ処置を繰り返します。ゼロに達すると、これ以上補正は実行されません。

この補正方法では、時間の急激な変化を引き起こすことなく、タイマの時間をシフトさせることができます。オフセット補正が完了すると、ATIME_OFFSET レジスタはゼロになり、必要に応じてオフセットイベント割り込みを発生させることができます。

オフセット補正タイマを用いて時間をかけてオフセット補正を行う代わりに、現在の時刻を直ちにオフセット値分だけ変更することができます。これにより、タイマの値を現在の時間＋オフセット時間にジャンプさせることができます。ATIME_OFFS_CORR レジスタにゼロをセットし、ATIME_OFFSET レジスタにオフセット値を書き込むことで実現可能です。正の値でも負の値でもタイマのオフセット値として使用することができます。

(6)　パルス信号生成機能

本 LSI は、タイマの現在時刻の出力値を基に、任意周期のパルス信号（SYNCOUT 信号）を生成することができます。

表29.18　　パルス信号生成パラメーター覧

パラメータ	関連レジスタ	説明
パルス生成動作許可	SWTMEN	パルス出力の許可／停止を設定できます。
パルス出力開始時刻	SWTMSTSEC SWTMSTNS	出力開始時刻を秒単位とナノ秒単位でそれぞれ指定することが可能です。出力開始時刻を指定後、SWTMEN レジスタを 1 にセットしてパルス生成動作を許可することにより、現在時間が設定した出力開始時刻を超えるとパルスの出力が開始されます。指定した出力開始時刻よりも後でパルス生成動作の許可を行った場合、パルスは出力されません。
パルス周期	SWTMPSEC SWTMPNS	出力するパルスの周期を秒単位とナノ秒単位でそれぞれ指定します。SWTMPNS レジスタの設定においては、ATIME_EVT_PERIOD レジスタで設定した 1 秒に対して自然数の分周関係になる値を設定する必要があります。また、値は 10ns の倍数で指定してください。パルス生成動作を許可する前に設定する必要があります。
パルス幅	SWTMWTH	出力するパルスのハイ幅を ns 単位で指定します。値は 10ns の倍数で指定してください。設定したパルス幅が、パルス周期よりも大きい場合、出力はハイレベルで固定されます。パルス幅を 0 に設定した場合、パルスは生成されず、出力はローレベルで固定されます。パルス生成動作を許可する前に設定する必要があります。
立ち上がり時刻保持	SWTMLATSEC SWTMLATNS	パルス出力の立ち上がりの時間がレジスタに格納されます。パルスの立ち上がりが発生する度にレジスタは更新されます。

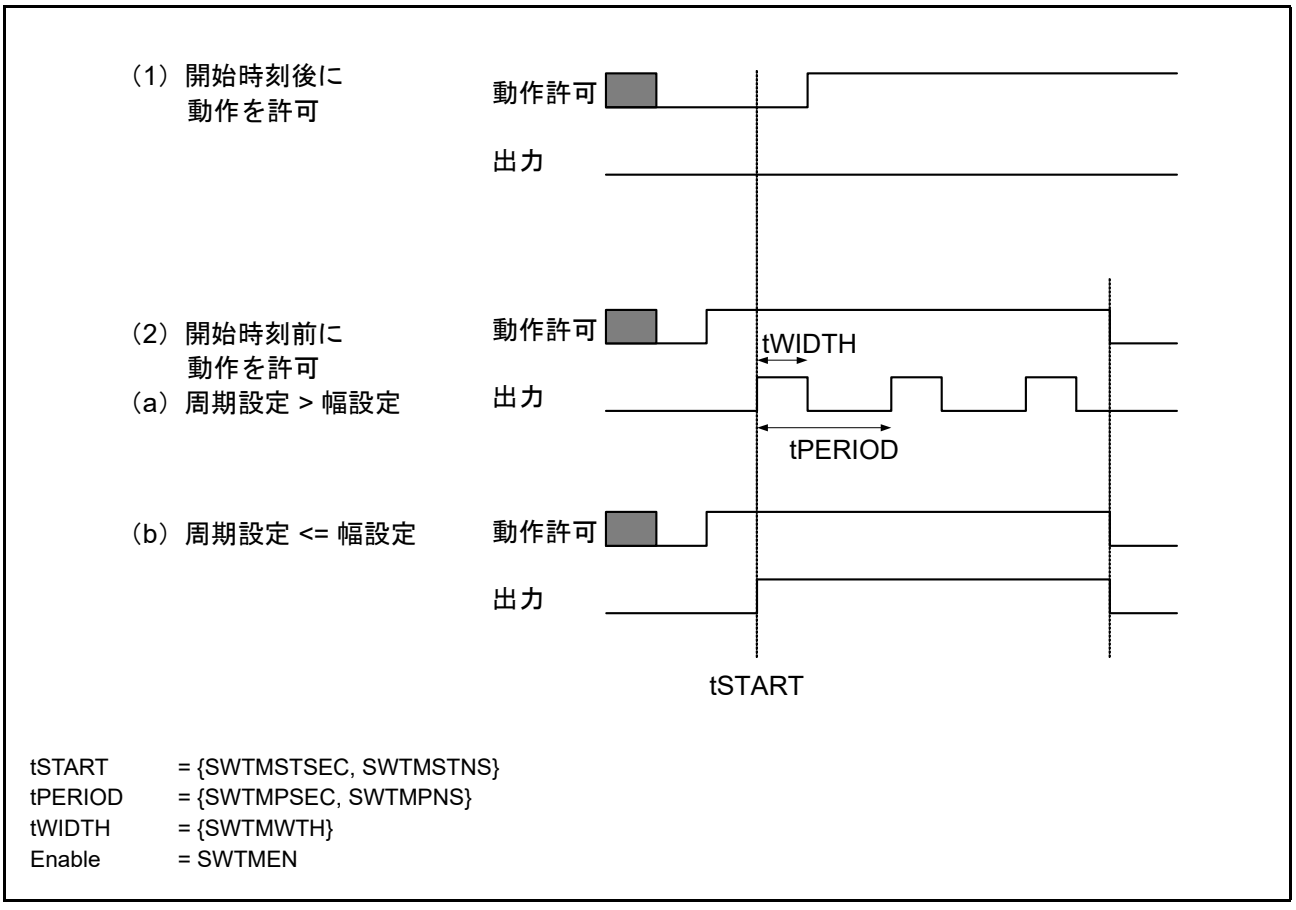


図 29.20　パルス信号生成機能のタイミングチャート

29.3.4.4 タイムスタンプ処理

(1) 受信タイムスタンプ処理

ポート 0 あるいはポート 1 でフレームが受信されると、フレームの SFD が PHY インタフェースで検出されるタイミングで、タイマの現在時刻に基づいたタイムスタンプが採取されます。そのタイムスタンプはフレームと共にスイッチモジュール内に転送され、スイッチの内部ポート（マネジメントポート）でアクセスすることができます。採取したタイムスタンプを使用することで、PTP のようなプロトコルを実装することが可能です。タイムスタンプの情報は、フレーム内部に専用のタグとして埋め込まれています。

(2) 送信タイムスタンプ処理

フレームがポート 0 あるいはポート 1 から PHY に転送される時、タイムスタンプも採取されます。送信タイムスタンプは、各ポート毎に用意されているタイムスタンプレジスタ（PORTn_TIME）に保存されます。内部ポートでは、フレーム毎に特別な制御情報を付与し、送信タイムスタンプを採取するフレームを制限することができます。タイムスタンプはすべてのフレームではなく、特定のイベント・フレームだけに採取できます。

29.3.4.5 トランスペアレントクロックのサポート

(1) 概要

End-to-End のトランスペアレントクロックを実装するために必要な機能が実装されています。

(2) コレクションフィールド更新の実装

送信される Layer2 PTP フレーム（イーサタイプが 0x88F7 のフレーム）内のコレクションフィールドを自動で更新することが可能です。一方、UDP/IP フレーム内の PTP メッセージは自動更新できません。

コレクションフィールドの更新を行うモジュールはイベントメッセージのみを処理します。イベントメッセージの検出には、PTP ヘッダ内のメッセージタイプフィールドを確認して、タイプが 4 よりも小さいフレームを抽出しています。つまり、イベントフレームではないフォローアップメッセージは処理されません。したがって、SYNC フレームで検出されるコレクションフィールドのみを自動的に更新することができます。これにより two-step のマスタ - スレーブノードだけではなく one-step でのコレクションフィールド更新をサポートします。

End-to-End の実装においては、SYNC と DELAY_REQ メッセージのコレクションフィールドは、ノードの通過時間（送信された時間－入力された時間）だけ更新されます。

コレクションフィールドの更新はポート 0 とポート 1 の間で転送されたフレームのみ行われます。内部ポート、あるいは内部ポートから送受信されるフレームは変更されません。

29.3.5　マネージメントポート（内部ポート）専用フレームタグ

イーサネットスイッチと内部イーサネット MAC の間で、フレームに関するある情報（例えば制御情報やタイムスタンプ情報）を伝達する必要があります。これを実現するために、その情報をマネージメントタグとしてフレームに付加することが可能です。タグが追加されたフレームをイーサネットスイッチと内部イーサネット MAC 間で転送することが可能です。タグが追加されたフレームはイーサネットスイッチと内部イーサネット MAC 間の転送時のみに使用され、受信側に取り込まれると、そのタグに含まれる情報を取得後、タグは取り除かれます。

29.3.5.1　マネージメントタグのフォーマット

追加の制御情報やタイムスタンプの情報は、任意の値を設定可能なフレームタイプのタグとして、フレームのソースアドレスフィールドの直後に追加されます。もし VLAN タグのような別のタグが存在している場合、その別のタグよりも前の位置にタグは追加されます。タグには以下の情報が含まれています。

- ControlTag：フレーム内に追加の制御情報が存在することを示す識別子です。ETHSWMTC レジスタで値を設定します。サイズは 2 オクテットです。
- ControlData：フレームの制御情報です。サイズは 2 オクテットです。
- ControlData2：送信と受信により機能が異なり、受信時にはタイムスタンプの情報を、送信時には送信ポートの指定を行います。サイズは 4 オクテットです。

ControlData2 以後に元のフレームが続きます。例えば、VLAN タグは ControlData2 の後に付きます。

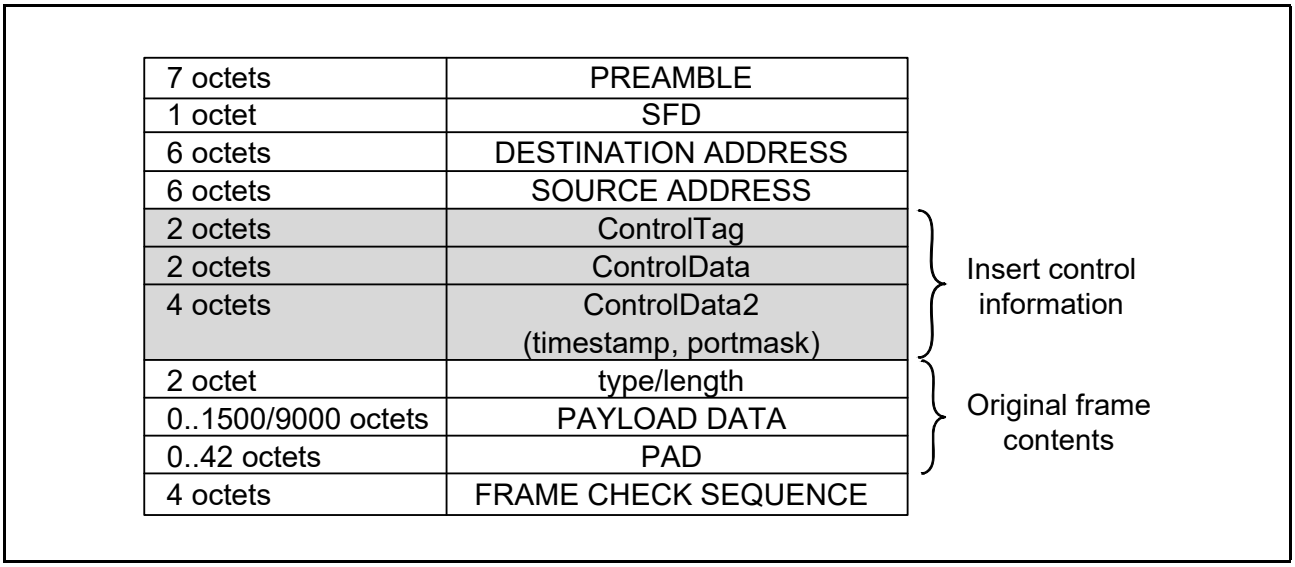


図 29.21　内部ポートにおけるマネージメントタグ付きのフレームのフォーマット

タグが追加されると、CRC は再計算され、受信時の CRC を置き換えます。

バイトオーダーに関しては、ControlData の第一オクテットは上位側バイト（ビット 15-8）、第二オクテットは下位側バイト（ビット 7-0）です。ControlData2 の第一オクテットは最上位側バイト（ビット 31-24）、第四オクテットは最下位側バイト（ビット 7-0）です。

29.3.5.2　送信処理（スイッチから内部イーサネット MAC への転送）

スイッチが内部イーサネット MAC にフレームを送信する際、ETHSWMTC レジスタのビット 31 により、タグ追加機能が有効に設定されている場合、以下の情報がすべてのフレームに追加されます。

表29.19　マネージメントフレームタグ（スイッチから内部イーサネットMACへの転送時）

フィールド	ビット	内容
ControlData	0	フレームが受信された外部ポートの番号を示します。 0：ポート0 1：ポート1
	15-1	Reserved
ControlData2	31-0	フレームの受信タイムスタンプを示します。 32ビットのナノ秒での値です。フレームを受信したポートにおいて、フレームのSFDが検出されたときの時間を示しています。

29.3.5.3　受信処理（内部イーサネット MAC からスイッチへの転送）

内部イーサネット MAC からスイッチへフレームが転送される際、ETHSWMTC レジスタのビット 31 により、タグ追加機能が有効に設定されている場合、内部イーサネット MAC は以下の情報を含んだマネージメントタグをすべてのフレームに追加します。スイッチはマネージメントタグ付きのフレームを受信すると、タグの内容を取得後、タグをフレームから削除します。

表29.20　マネージメントフレームタグ（内部イーサネットMACからスイッチへの転送時）

フィールド	ビット	内容
ControlData	0	強制転送を指定します。 0：強制転送無効。通常の転送処理が行われます。 1：強制転送有効。ControlData2のビット1-0で指定されたすべてのポートにフレームを転送します。
	1-2	Reserved
	3	送信タイムスタンプ採取対象のフレームとして指定します。 1にセットされると、ポートから送信される時に、そのポートに対応するポートタイムスタンプレジスタ（PORTn_TIMEレジスタ）に格納されます。
	15-4	Reserved
ControlData2	1-0	宛先ポートマスク設定です。ControlDataのビット0で強制転送が有効に設定された場合のみ意味を持ちます。フレームを転送させるポートを指定します。同時に複数のポートに強制転送させることも可能です。ビット0がポート0、ビット1がポート1に対応します。それぞれ以下の設定が可能です。 0：そのポートにフレームを強制転送させません。 1：そのポートにフレームを強制転送させます。
	31-2	Reserved

29.3.5.4　マネージメントタグ機能の設定

フレームへマネージメントタグを挿入／除去する機能は、ETHSWMTC レジスタにより有効にすることができます。有効にすると、スイッチから内部イーサネット MAC へ転送されるフレームに自動的にタグが挿入されます。一方、内部イーサネット MAC からスイッチに転送されるフレームにもタグが挿入されます。スイッチではタグが見つかれば、その情報を取得後、タグを取り除き、通常の送信処理を行います。

注．　タグの識別子には、ネットワーク上で使用されないタイプ値（例えば、初期値である E001h）を設定しなければなりません。内部イーサネット MAC におけるマネージメントタグの扱いは、「28.　イーサネット MAC（ETHERC）」を参照してください。

29.4　コントロールソフトウェアの概要

29.4.1　概要

イーサネットスイッチは、ポート間でフレームを転送するためのハードウェアです。転送処理では宛先MACアドレスの検索とBPDUのような特殊な転送が必要なフレームのフィルタが行われます。

ソフトウェアでは、スイッチの初期化とスイッチを動作させるためのタスクを実行させる必要があります。そのタスクとして最低限必要なものはラーニングテーブルを管理するタスクです。

IEEE1588のタイムスタンプやDLRを使用する際には、さらにそれらを動作させるためのソフトウェアが必要になります。また、スパニングツリーのような更なる上位層のプロトコルも必要に応じて実装する必要がります。

本節ではスイッチを動作させるために必要とされる最低限のスイッチの初期設定とラーニングテーブルの管理方法について説明します。

29.4.2　スイッチの初期化

イーサネットスイッチの初期化は以下の手順で行ってください。

- MSTPCRBレジスタの設定を行い、モジュールストップの解除、およびイーサスイッチをリセット
- アドレステーブルのクリア
- マネージメントポート（内部ポート）の設定
- スイッチのポートの設定
- ポート上のMACの設定
- ハブモジュールの設定
- タイマモジュールの設定
- DLRモジュールの設定

表29.21にアドレステーブルの初期設定例を示します。また、**表29.22**にスイッチを動作させるために必要な最低限の初期設定例を示します。なお、タイマモジュールに関しては、補正は未実行、DLRモジュールも無効の状態としています。これらに関しては、PTPやDLRプロトコル等の上位のプロトコルにおいて適切な値を設定してください。

表29.21　アドレステーブルの初期設定例

アドレス	レジスタ	設定例	内容
A00C 4000h ~ A00C 47FCh（4バイト単位）	ADR_TABLE	0000 0000h	アドレステーブルの全エントリを0に初期化します。
A00C 4000h + Unicast MACアドレスのHash値×8h	ADR_TABLE	0403 0201h	ユニキャストアドレスを静的エントリとして設定します。設定例はMACアドレスが01-02-03-04-05-06の場合です。優先度は0でポート2のみマスクしています。 動的に設定する場合、本設定は不要です。
上記アドレスの+4h	ADR_TABLE	0083 0605h	

表29.22　スイッチエンジンの初期設定例

アドレス	レジスタ	設定例	内容
A00B F110h	ETHSWMTC	0000 E001h	マネージメントタグを使用しません。使用する場合は、8000 E001hを設定してください。なお、本レジスタへの書き込みは、システムプロテクトコマンドレジスタを使用してプロテクトの解除が必要です。
A00B F114h	ETHSWMD	0000 0000h	全二重の10/100Mbpsのモードに設定します。なお、本レジスタへの書き込みは、システムプロテクトコマンドレジスタを使用してプロテクトの解除が必要です。
A00B F118h	ETHSFTRST	0000 0006h	EtherSwitchモジュールとPHYRESET#端子のリセットを解除します。本レジスタへライトするには、システムプロテクトコマンドレジスタを使用してプロテクトの解除が必要です。
A00C 000Ch	UCAST_DEFAULT_MASK	0000 0007h	未知のユニキャストフレームの転送をマスクします。未知のユニキャストフレームを受信すると、このマスクで設定したすべてのポートに転送されます。アドレステーブルの初期化が完了すれば、マスクのリストからマネージメントポート（内部ポート）を取り除いても構いません。それによりローカルシステムへの不要なユニキャストの転送を避けることができます。ただし、アドレステーブルにローカルシステムのユニキャストアドレスを設定しておく必要があります。アドレステーブルの初期化中に静的に設定するか、ローカルシステムから少なくとも1フレーム送信して動的にラーニング機能を動かした後にマスク設定を変更する必要があります。
A00C 0014h	BCAST_DEFAULT_MASK	0000 0007h	ブロードキャストフレームを転送させるポートを設定します。
A00C 0018h	MCAST_DEFAULT_MASK	0000 0007h	アドレステーブルで検出できなかったマルチキャストフレームを転送させるポートを設定します。
A00C 0020h	MGMT_CONFIG	000 0042h	BPDUフレームの受信を有効（ビット6 = 1）にしてマネージメントポート（ポート2）に転送させます。 もしマネージメントフレームを破棄させる必要がある場合、ビット7を1に設定してください。
A00C 0100h A00C 0104h A00C 0108h	VLAN_PRIORITY0 VLAN_PRIORITY1 VLAN_PRIORITY2	006D B688h	ポート毎に、VLANプライオリティを4つのキューにマッピングします。本設定ではVLANプライオリティの0～3は、キュー0～3に、4～7は3にマッピングしています。
A00C 0180h A00C 0184h A00C 0188h	PRIORITY_CFG0 PRIORITY_CFG1 PRIORITY_CFG2	000 0001h	ポート毎に、VLANプライオリティによる出力キューのマッピングを有効にします。またデフォルトのプライオリティを0に設定します。
A00C 0080h	OQMGR_STATUS	0000 0000h	出力キューを有効にします。メモリセルの初期化中はビット1が1になっているため、ビット1が0になった時にレジスタを0にクリアしてください。
A00C 0088h	QMGR_ST_MINCELLS	0000 0000h	メモリ空き状態の最小値情報をクリアします。
A00C 0094h	QMGR_WEIGHTS	0804 0201h	出力キューに重みを設定します。
A00C 0008h	PORT_ENA	0000 0007h	スイッチのすべてのポートを有効にします。

表29.23　MACの初期設定例

アドレス	レジスタ	設定例	内容
A00C 801Ch A00C A01Ch	RX_SECTION_EMPTY0 RX_SECTION_EMPTY1	0000 0000h	値の変更はできません。
A00C 8020h A00C A020h	RX_SECTION_FULL0 RX_SECTION_FULL1	0000 0000h	値の変更はできません。
A00C 8024h A00C A024h	TX_SECTION_EMPTY0 TX_SECTION_EMPTY1	0000 0048h	MACには128段のFIFOが実装されています。送信FIFOのエントリがこの閾値を上回れば、内部から送信FIFOへのデータの転送が止まります。TXオーバフローを防ぐための閾値です。65以上の値を設定してください。
A00C 8028h A00C A028h	TX_SECTION_FULL0 TX_SECTION_FULL1	0000 0014h	送信FIFOが送信を開始するために必要なエントリ数を設定します。17以上の値を設定してください。
A00C 802Ch A00C A02Ch	RX_ALMOST_EMPTY0 RX_ALMOST_EMPTY1	0000 0008h	値の変更はできません。
A00C 8030h A00C A030h	RX_ALMOST_FULL0 RX_ALMOST_FULL1	0000 0005h	値の変更はできません。
A00C 8034h A00C A034h	TX_ALMOST_EMPTY0 TX_ALMOST_EMPTY1	0000 0004h	値の変更はできません。
A00C 8038h A00C A038h	TX_ALMOST_FULL0 TX_ALMOST_FULL1	0000 0010h	値の変更はできません。
A00C 8014h A00C A014h	FRM_LENGTH0 FRM_LENGTH1	0000 05F2h	受信フレームサイズの最大許容値を設定します。設定例ではVLANタグが1つ付いたフレームに対応できる1522を設定しています。余裕を持たせて1536程度に設定しても構いません。
A00C 8008h A00C A008h	COMMAND_CONFIG0 COMMAND_CONFIG1	0580 0013h	MACの送受信を有効にします。

表29.24　HUBの初期設定例

アドレス	レジスタ	設定例	内容
A00C 01C8h	HUB_FLT_MAC0lo	00C2 8001h	スパニングツリー等のスイッチマネージメントフレームの設定例です。01-80-c2-00-00-{00.3F}のMACアドレスをフィルタします。
A00C 01CCh	HUB_FLT_MAC0hi	00C0 0000h	
A00C 01D0h	HUB_FLT_MAC1lo	0019 1B01h	PTPv2のNormal messageの設定例です。01-1b-19-00-00-00のMACアドレスをフィルタします。
A00C 01D4h	HUB_FLT_MAC1hi	00FF 0000h	
A00C 01D8h	HUB_FLT_MAC2lo	005E 0001h	PTPのUDP/IPメッセージの設定例です。01-00-5e-00-01-{80..87}のMACアドレスをフィルタします。
A00C 01DCh	HUB_FLT_MAC2hi	00F8 8001h	
A00C 01E0h	HUB_FLT_MAC3lo	005E 0001h	マネージメントフレームの設定例です。01-00-5e-00-00-{00..03}のMACアドレスをフィルタします。
A00C 01E4h	HUB_FLT_MAC3hi	00FC 0000h	
A00C 01E8h	HUB_FLT_MAC4lo	0403 0201h	ユニキャストアドレスを設定します。設定例は01-02-03-04-05-06の場合です。
A00C 01ECh	HUB_FLT_MAC4hi	00FF 0605h	
A00C 01F0h	HUB_FLT_MAC5lo	0000 0000h	未使用時の設定例です。
A00C 01F4h	HUB_FLT_MAC5hi	00FF 0000h	
A00C 01F8h	HUB_FLT_MAC6lo	006C 2101h	DLRのビーコンフレームの設定例です。01-21-6C-00-00-01のMACアドレスのフレームを強制転送します。
A00C 01FCh	HUB_FLT_MAC6hi	01FF 0100h	
A00C 01C0h	HUB_CONTROL	0000 00AFh	ハブを有効にします。ハブを使用しない場合は、0000 00A0hを設定してください。

表29.25　タイマモジュールの初期設定例

アドレス	レジスタ	設定例	内容
A00C C004h	TSM_CONFIG	0000 300Bh	ナノ秒タイマの1秒到達割り込み（ビット2）と、テスト用割り込み（ビット4）以外の割り込み発生を許可します。
A00C C008h	TSM_IRQ_STAT_ACK	0000 301Fh	すべての割り込みをクリアします。
A00C C138h	ATIM_SEC	0000 0000h	タイマを初期化します。ATIMEの前に設定します。
A00C C124h	ATIME	0000 0000h	タイマを初期化します。
A00C C12Ch	ATIME_EVT_PERIOD	3B9A CA00h	1秒を設定します。
A00C C134h	ATIME_INC	0000 0808h	クロック周期の設定です。補正は未適用です。
A00C C130h	ATIME_CORR	0000 0000h	ドリフト補正未適用です。
A00C C120h	ATIME_CTRL	0000 00A1h	タイマを始動します。補正は未適用です。
A00C C020h A00C C028h	PORT0_CTRL PORT1_CTRL	0000 0000h	タイムスタンプコントロール／ステータスレジスタをクリアします。

表29.26　DLRモジュールの初期設定例

アドレス	レジスタ	設定例	内容
A00C E000h	DLR_CONTROL	0000 6400h	タイムアウトタイマのクロック周期を設定します。DLR機能は無効にしています。
A00C E008h	DLR_ETH_TYP	0000 80E1h	DLRフレームのイーサタイプを設定します。
A00C E00Ch	DLR_IRQ_CTRL	0000 0000h	DLR割り込みを発生させません。
A00C E010h	DLR_IRQ_STAT_ACK	0000 FFFFh	すべての割り込みをクリアします。
A00C E014h	LOC_MAClo	0403 0201h	ユニキャストアドレスを設定します。設定例は01-02-03-04-05-06の場合です。
A00C E018h	LOC_MAChi	0000 0605h	

29.4.3　アドレステーブル設定

29.4.3.1　アドレステーブルのエントリブロックの定義

イーサーネットスイッチがフレームを受信すると、スイッチはアドレステーブルを検索し、フレームを転送する宛先のポートを検出します。転送処理自体にソフトウェアは関係せず、すべてハードウェアで処理されます。しかしながら、ソフトウェアには、アドレステーブルの初期化とその管理が求められます。ソフトウェアのタスクのプライオリティは低くても問題ありませんが、スイッチが動作している間は常に、そのタスクは、ラーニングデータをチェックし、MAC アドレスのアドレステーブルへの追加や、長時間使用されない古いエントリの削除を行う必要があります。

ハードウェアは、アドレステーブルの検索を即座に行うためにハッシュ値を使用します。ハッシュ値はアドレステーブルからエントリを検索するためのアドレステーブル内のスタートアドレスとして使用されます。スタートアドレスから続く 8 エントリがリニアサーチの対象となり、MAC アドレスの検出が行われます。これはブロックエントリーと呼ばれる仕組みです。

アドレステーブルが小さい場合、1 ハッシュ値毎の 8 エントリのブロックはオーバラップして配置されています。しかし、ハードウェアはそれを区別せず、常にハッシュ値で示された最初のエントリから始まる 8 エントリを検索します。これにより、小さなテーブルでも 1 つのブロックに含まれるハッシュ単位のエントリを減らす必要なく、効率的にアドレスの保存ができます。

アドレステーブルのレイアウトの原理を図 29.22 に示します。これを理解した上で、ラーニング機能とエージング機能のソフトウェアを記述してください。

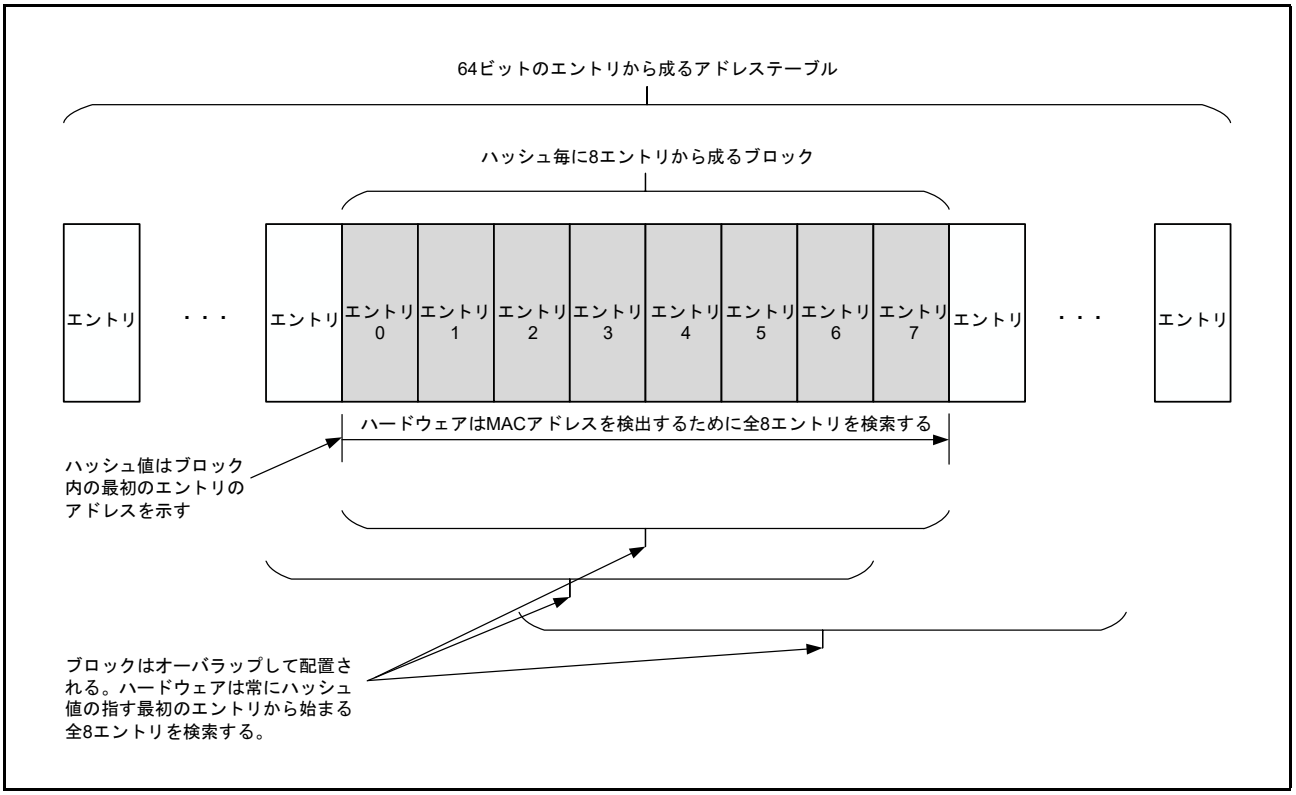


図 29.22　アドレステーブルのエントリとハッシュブロックの定義

29.4.3.2　アドレスラーニング

アドレステーブルは、スイッチの転送時に、フレームがどのポートに転送されるべきかを把握するために使用されます。フレームを受信すると、ハードウェアは自動的にアドレステーブルを検索します。ソフトウェアはテーブルを最新の状態に保ち、ハードウェアによって使用される転送情報をテーブルに挿入する必要があります。

ソフトウェアによるラーニング管理機能は、低プライオリティで動作させるバックグラウンドタスクです。継続的にラーニングデータを検査し（つまり、受信フレームの発信元アドレスとポート番号の情報を抽出し）、新しいアドレスが見つかればアドレステーブルを更新します。

ラーニング機能は以下のステップで実行します。

- ラーニングインタフェース（LRN_REC_A/B レジスタ経由）からデータをリードします。データレコードにはハッシュ値が含まれ、ハッシュ値はアドレステーブルのエントリを検出するためのスタートアドレスとして使用されます。
- ハッシュ値によるスタートアドレスから、8 エントリを検索し、エントリがすでにテーブルに存在していれば、エージング時間を更新してください（あるいはポート番号の変更があった場合にはポート番号を更新してください）。
- エントリがアドレステーブルの 8 エントリのどこにも見つからなければ、そのエントリは新しいエントリとして追加する必要があります。新しいエントリの追加は、8 エントリの中の未使用のエントリにするか、現在のエントリにランダム、もしくはもっとも古いエントリに上書きします。

図 29.23 に個々のステップとアドレステーブルの管理機能がどのように実装されるべきかを示します。これを参考にアドレスラーニングタスクを実装してください。

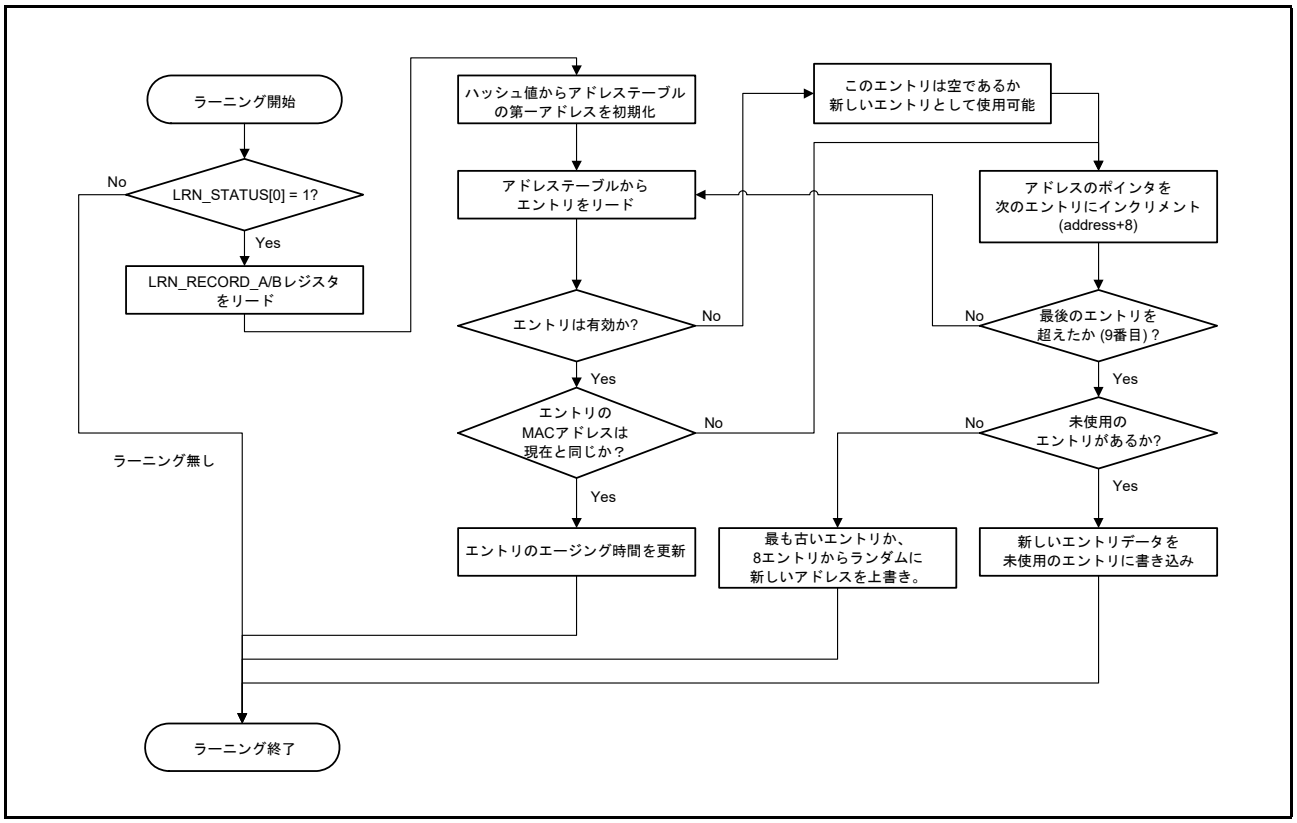


図 29.23　アドレスラーニングフロー

29.4.4 モジュールストップ機能の設定

Ether Switch 機能は、初期状態は停止状態になっています。使用する場合は、MSTPCRB.MSTPCRB14 ビットの設定を行い、モジュールストップを解除してください。ただし、一旦、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2 度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。

30.　EtherCAT スレーブ・コントローラ（オプション）

30.1　概要

EtherCAT スレーブ・コントローラ（EtherCAT Slave Controller : ESC）は、Beckhoff Automation 社製の「EtherCAT Slave Controller IP Core」を採用しています。

ESC は、EtherCAT フィールドバスとスレーブアプリケーションの間のインタフェースとして、EtherCAT 通信処理を行います。

表30.1　EtherCATスレーブ・コントローラの仕様

項目		内容
ポート数		2
FMMU		8
SyncManager		8
プロセスデータ RAM [Kbyte]		8
分散クロック（Distributed Clock）		64bit
EBus		なし
プロセスデータインタフェース （PDI）		
	Digital I/O	なし
	SPI Slave	なし
	HOST CPU I/F	On-chip bus

図 30.1 に EtherCAT スレーブ・コントローラのブロック図を示します。

図中の白色のレジスタ／モジュールの説明を本章で行います。灰色のモジュール／レジスタ等は「28. イーサネット MAC（ETHERC）」、「29.　イーサネットスイッチ」で説明しますので、EthreCAT スレーブ・コントローラを動作させる上で関係するモジュール／レジスタに関しては、該当する章も参照してください。

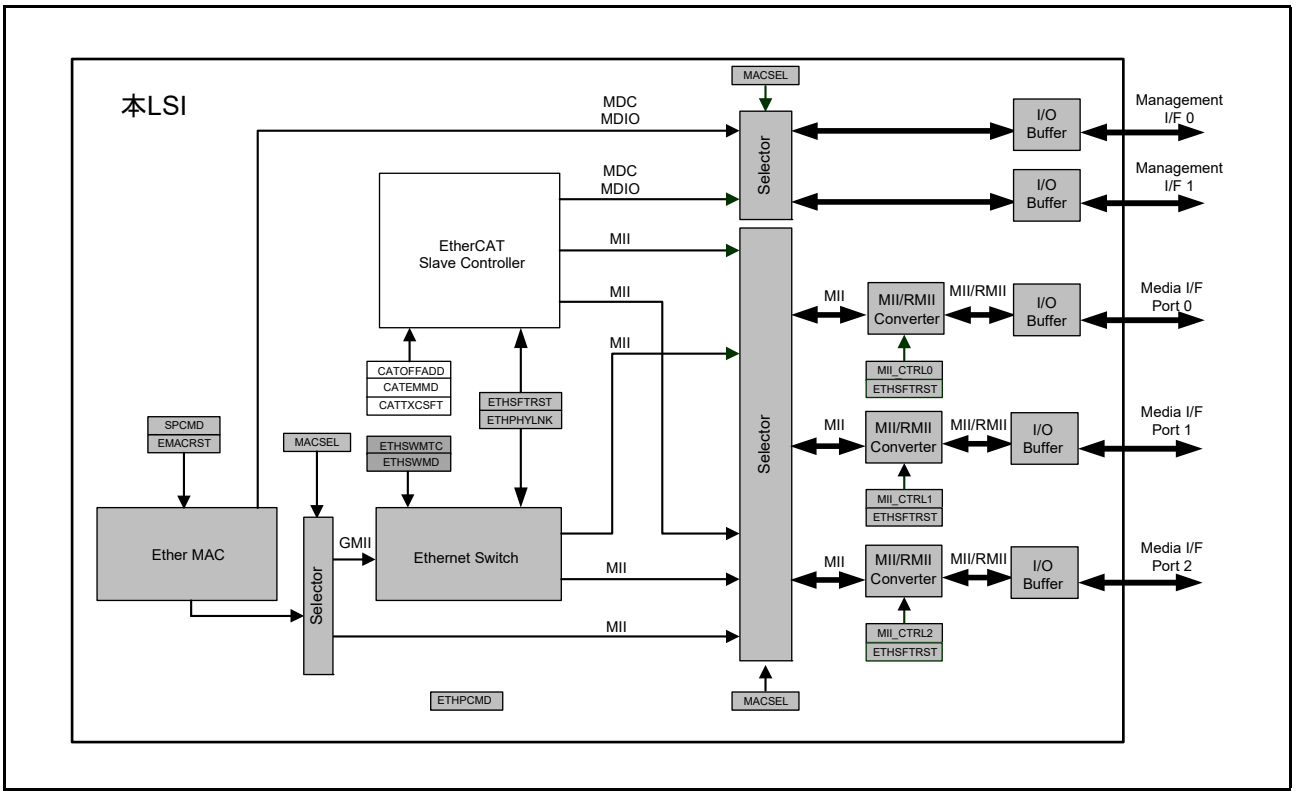


図 30.1　EtherCAT スレーブ・コントローラのブロック図

表 30.2 に EtherCAT スレーブ・コントローラの入出力端子を示します。

表30.2　EtherCATスレーブ・コントローラの入出力端子（PHYのMII端子を除く）

端子名	入出力	機能	アクティブ
CATLEDRUN	出力	EtherCAT RUN LED信号出力端子	ハイ
CATIRQ	出力	EtherCAT IRQ信号出力端子	ハイ
CATLEDSTER	出力	EtherCAT Dual-colorステートLED信号出力端子	ハイ
CATLEDERR	出力	EtherCAT Error LED信号出力端子	ハイ
CATLINKACT0	出力	EtherCAT Link ／ Activity LED信号出力端子（ポート0）	ハイ
CATLINKACT1	出力	EtherCAT Link ／ Activity LED信号出力端子（ポート1）	ハイ
CATSYNC0	出力	EtherCAT SYNC0信号出力端子	ハイ
CATSYNC1	出力	EtherCAT SYNC1信号出力端子	ハイ
CATLATCH0	入力	EtherCAT LATCH0信号入力端子	ハイ
CATLATCH1	入力	EtherCAT LATCH1信号入力端子	ハイ
CATI2CCLK	出力	EtherCAT EEPROM I²Cクロック出力端子	—
CATI2CDATA	入出力	EtherCAT EEPROM I²Cデータ信号入出力端子	—

30.2　機能概要

EtherCAT スレーブ・コントローラ（ESC）の代表的な機能と本 LSI でサポートしている内容について示します。EtherCAT および ESC の詳細な仕様は、EtherCAT Technology Group （ETG）から入手できる文書（ETG.1000 EtherCAT Specification 他）や Beckhoff Automation 社の EtherCAT Slave Controller IP Core （v2.04）のデータシートを参照してください。

表30.3　EtherCATスレーブ・コントローラの代表的な機能と本LSIでのサポート (1 / 3)

項目	内容	サポート
EtherCAT Protocol	• Ether Type：88A4hのフレームの処理 • UDP/IPにカプセル化されたEtherCATフレームの処理 • VLAN Tag付きのEtherCATフレームの処理 • 通常のEthernetフレームの処理	○
アドレッシングモード	デバイスアドレッシング • 自動インクリメント・アドレス • コンフィギュアド・ステーション・アドレス • ブロードキャストアドレス	○
	論理アドレッシング	○
ワーキングカウンタ	リード／ライトの数を管理	○
EtherCATコマンドタイプ	マスタからスレーブに対するアドレッシングモード毎に用意されたコマンドの処理	○
ループコントロール	ESC内のループの処理と状態の表示	○
シャドー・バッファ	レジスタのリード／ライト時のシャドー・バッファ機能	○
循環フレーム	障害時の循環フレームの処理	○
リンク検出	リンクMII信号（PHYのリンク信号）	○
	MIリンク・ディテクション&コンフィギュレーション （マネージメント・インタフェース経由でのPHYレジスタモニタ）	×
	エンハンスド・リンク・ディテクション （MIIのRXエラーモニタによる通信状態のモニタ）	○
FIFOサイズ削減	伝搬遅延削減のためのRX FIFOサイズの削減	○
Ethernet物理層	MII	○
	EBUS	×
	Back-to-Back MII接続	○
	MIIマネージメント・インタフェース	○
	MIIマネージメント・インタフェースによるPHYレジスタ操作	○
	PHYアドレスオフセット設定	○
	マニュアルTXクロックシフト補償	○
	自動TXクロックシフト補償	○
FMMU	論理アドレスと物理アドレスのマッピング機能	○
SyncManager	バッファモード	○
	メールボックス・モード	○
	バッファへのリード／ライト完了時の割り込みやラッチイベントの生成	○
	メールボックス通信のやり直し	○
	PDIによるSyncManager無効化	○

表30.3　EtherCATスレーブ・コントローラの代表的な機能と本LSIでのサポート (2 / 3)

項目	内容	サポート
分散クロック（Distributed Clocks）	伝搬遅延、ドリフト補正を考慮したクロック同期	○
	同期出力信号（SYNC0/1信号） • サイクリック・モード • シングルショット・モード • サイクリック・アクノリッジ・モード • シングルショット・アクノリッジ・モード	○
	入力イベント（LATCH0/1信号）に対するタイムスタンプ • シングルイベントモード • 連続モード • SyncManagerイベントモード（デバッグ用）	○
	同期割り込みの生成	○
	デジタル出力更新／入力サンプリングの同期化	×
	SYNC信号／LATCH信号のECATあるいはPDIに排他制御	○
	PDIによるシステム時刻の管理	×
	通信タイミング • フリーラン • 出力イベント同期 • SYNC信号同期	○
EtherCATステートマシン	EtherCATステートマシンの制御／状態表示／エラーコード表示	○
	デバイス・エミュレーション	×
SII EEPROM	SII EEPROMへのコマンド	○
	SII EEPROMのエラー状態	○
	SII EEPROMアクセス端子	○
	EEPROMサイズ選択	○
	EEPROMエミュレーション	×
割り込み	ALイベント要求（PDI割り込み）	○
	ECATイベント要求（ECAT割り込み）	○
ウォッチドッグ	プロセスデータ・ウォッチドッグ機能	○
	PDIウォッチドッグ機能	○
エラーカウンタ	ポートエラー・カウンタ	○
	転送RXエラーカウンタ	○
	ECATプロセッシングユニットエラー・カウンタ	○
	PDIエラーカウンタ	○
	ロストリンク・カウンタ	○
	ウォッチドッグ・カウンタ：プロセスデータ	○
	ウォッチドッグ・カウンタ：PDI	○
LED信号	RUN LED信号	○
	ERR LED信号	○
	STATE LED and STATE_RUN LED信号	○
	LINK／ACT LED信号	○
	Portエラー LED信号	×
	RUN／ERR LEDのオーバライド機能	○
Process Data Interface（PDI）	デジタルI/O	×
	SPI	×
	8b／16ビット 同期／非同期 マイコン・インタフェース	×
	オンチップ・バス	○
	汎用I/O	×

表30.3　EtherCATスレーブ・コントローラの代表的な機能と本LSIでのサポート (3 / 3)

項目	内容	サポート
ライトプロテクション	レジスタ領域（0000h-0FFFh）に対するライトプロテクション	○
	ユーザRAMやプロセスデータRAMを含む全領域（0000h-2FFFh）に対するライトプロテクション	○
ESCリセット	マスタやPDI経由でのESCのリセット	○

30.3　レジスタの説明

30.3.1　EtherCAT PHY オフセット・アドレス設定レジスタ（CATOFFADD）

EtherCAT 使用時の PHY のオフセット・アドレスを設定します。
32 ビット単位でリード／ライト可能です。

注 .　本レジスタは、イーサネット・システム・プロテクト・コマンド・レジスタ（ETSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です（ETSPCMD レジスタについては、「28.　イーサネット MAC（ETHERC）」を参照してください）。プロテクト解除手順は「28.2.1.3　イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）」を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

アドレス　A00B F100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	OADD4	OADD3	OADD2	OADD1	OADD0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b4-b0	OADD4-OADD0	PHYオフセットアドレス設定ビット	EtherCATのPHYのオフセット・アドレスを設定します。	R/W
b31-b5	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

30.3.2　EtherCAT 動作モード設定レジスタ（CATEMMD）

EtherCAT 使用時の EEPROM メモリサイズを設定します。
本レジスタは、32 ビット単位でリード／ライト・アクセス可能です。

注 .　本レジスタは、イーサネット・システム・プロテクト・コマンド・レジスタ（ETSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順は「28.2.1.3　イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）」を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

アドレス　A00B F104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEPROMSIZE
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	EEPROMSIZE	EEPROMメモリサイズ指定ビット	EtherCATのEEPROMメモリのサイズを設定します。 0：16Kビット以下 1：32Kビット－4Mビット	R/W
b31-b1	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

30.3.3　EtherCAT TXC シフト設定レジスタ（CATTXCSFT）

EtherCAT の TXC の遅延時間を設定します。
本レジスタは、32 ビット単位でリード／ライト・アクセス可能です。

注 .　本レジスタは、イーサネット・システム・プロテクト・コマンド・レジスタ（ETSPCMD）を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順は「28.2.1.3　イーサネットシステムプロテクトコマンドレジスタ（ETSPCMD）」を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

アドレス　A00B F10Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TXSFT11	TXSFT10	TXSFT01	TXSFT00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	TXSFT01, TXSFT00	ETH0_TXCの遅延時間設定ビット	EtherCATのETH0_TXCの遅延時間を設定します。 00：0ns 01：10ns 10：20ns 11：30ns	R/W
b3-b2	TXSFT11, TXSFT10	ETH1_TXCの遅延時間設定ビット	EtherCATのETH1_TXCの遅延時間を設定します。 00：0ns 01：10ns 10：20ns 11：30ns	R/W
b31-b4	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

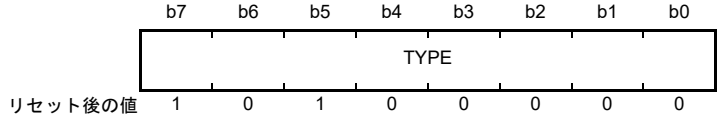
30.4　ESC 情報レジスタ

表中の ECAT はマスタからのアクセス、PDI はローカル CPU からのアクセスを意味します。

30.4.1　タイプ・レジスタ（TYPE）

EtherCAT スレーブ・コントローラのタイプを示します。

アドレス　A00D 0000h

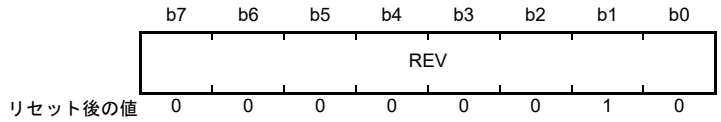


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	TYPE	スレーブコントローラタイプ表示ビット	EtherCATコントローラのタイプ	R	R

30.4.2　リビジョン・レジスタ（REVISION）

EtherCAT スレーブ・コントローラのリビジョンを示します。

アドレス　A00D 0001h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	REV	スレーブコントローラタイプ表示ビット	コントローラのリビジョン表示ビット	R	R

30.4.3　ビルド・レジスタ（BUILD）

EtherCAT スレーブ・コントローラのビルド番号を示します。

アドレス　A00D 0002h

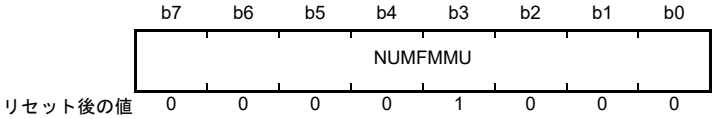


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	BUILD	スレーブコントローラのビルド番号表示ビット	EtherCATスレーブ・コントローラのビルド番号	R	R

30.4.4　FMMU サポート・レジスタ（FMMU_NUM）

サポートしている FMMU チャネル数を示します。

アドレス　A00D 0004h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	NUMFMMU	FMMUチャネル数表示ビット	サポートFMMUチャネルの数	R	R

30.4.5　SyncManager サポート・レジスタ（SYNC_MANAGER）

サポートしている SyncManager チャネル数を示します。

アドレス　A00D 0005h

	b7	b6	b5	b4	b3	b2	b1	b0
	NUMSYNC							
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	NUMSYNC	SyncManagerチャネル数表示ビット	サポートSyncManagerはチャネルの数	R	R

30.4.6　RAM サイズ・レジスタ（RAM_SIZE）

サポートしているプロセスデータ RAM のサイズを示します。

アドレス　A00D 0006h

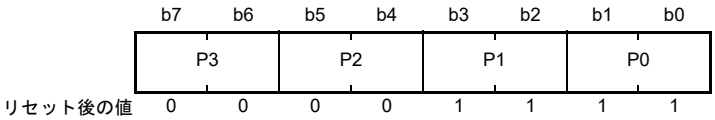
	b7	b6	b5	b4	b3	b2	b1	b0
	RAMSIZE							
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	RAMSIZE	プロセスデータRAMサイズ表示ビット	プロセスデータRAMのサイズ（単位：Kbyte）	R	R

30.4.7　ポート・ディスクリプタ・レジスタ（PORT_DESC）

ポートの設定を示します。

アドレス　A00D 0007h



ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	P0	ポート0設定ビット	ポート0の設定：本LSIではMII接続（11）固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R
b3-b2	P1	ポート1設定ビット	ポート1の設定：本LSIではMII接続（11）固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R
b5-b4	P2	ポート2設定ビット	ポート2の設定：本LSIでは実装されていません。 （00）固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R
b7-b6	P3	ポート3設定ビット	ポート3の設定：本LSIでは実装されていません。 （00）固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R

30.4.8　ESC フィーチャー・サポート・レジスタ（FEATURE）

サポートする機能を示します。

アドレス　A00D 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	FSCONFIG	RWSUPP	LRW	DCSYNC	FCS	LINKDECMII	—	—	DCWID	DC	—	FMMU
リセット後の値	x	x	x	x	0	0	0	1	1	1	x	x	1	1	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	FMMU	FMMU操作指定ビット	FMMU操作： 0：ビットオリエント 1：バイトオリエント	R	R
b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b2	DC	分散クロック指定ビット	分散クロック： 0：使用不可能 1：使用可能	R	R
b3	DCWID	分散クロック幅指定ビット	分散クロック （幅）： 0：32 bit 1：64 bit	R	R
b5-b4	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b6	LINKDECMII	エンハンスドリンクディテクション指定ビット	MIIにおけるエンハンスド・リンク・ディテクション 0：使用不可能 1：使用可能	R	R
b7	FCS	FCSエラー指定ビット	FCSエラーの個別取扱い 0：未サポート 1：サポート。誤ったFCSおよび追加のニブルを持つフレームは、転送RXエラーカウンタで別々にカウントされます。	R	R
b8	DCSYNC	DC SYNC指定ビット	エンハンスドDC SYNC アクティベーション 0：利用不可能 1：利用可能	R	R
b9	LRW	LRWコマンドサポート指定ビット	EtherCAT LRW コマンド・サポート 0：サポート 1：未サポート	R	R
b10	RWSUPP	コマンドサポート指定ビット	EtherCAT リード/ライト・コマンド・サポート(BRW, APRW, FPRW): 0：サポート 1：未サポート	R	R
b11	FSCONFIG	FMMU／SyncManager指定ビット	固定FMMU／SyncManager設定 0：可変設定 1：固定設定	R	R
b15-b12	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.5　ステーションアドレス設定レジスタ

30.5.1　コンフィギュアド・ステーション・アドレス・レジスタ（STATION_ADR）

ノードアドレッシングに使用するアドレスを示します。

アドレス　A00D 0010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NODADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	NODADDR	ノードアドレッシング アドレス表示ビット	ノードアドレッシング（FPxxコマンド）に使用するアドレス	R	R/W

30.5.2　コンフィギュアド・ステーション・エイリアス・レジスタ（STATION_ALIAS）

ノードアドレッシングに使用するエイリアス・アドレスを示します。

アドレス　A00D 0012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NODALIADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	NODALIADDR	エイリアスアドレス表示ビット	ノードアドレッシング（FPxxコマンド）に使用するエイリアス・アドレス拡張ESC DLコントロール・レジスタ（ESC_EX_DL_CONTROL：0102h）のビット8を1にセットすることによりエイリアスを使用できます。	R/W	R

注.　EEPROMをロードするまでの初期値は0です。その後EEPROMのアドレス0004hに格納されている値になります。電源投入またはリセット後の最初のEEPROMロード時のみ値が取り込まれます。

30.6　ライトプロテクション設定レジスタ

30.6.1　ライト・レジスタ・イネーブル・レジスタ（WR_REG_ENABLE）

レジスタへのライトが保護されている状態で一時的にプロテクションを解除するために使用します。

アドレス　A00D 0020h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ENABLE
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ENABLE	レジスタライト保護解除ビット	レジスタへのライトが保護されているとき（ライト・レジスタ・プロテクション・レジスタ（WR_REG_PROTECT：0021h）のビット0が1）に、このノードの任意のレジスタへのライト動作を許可する場合、ライト命令と同じフレーム上で本ビットに任意の値を書き込む必要があります。このフレームが通過した後も、ライト保護は有効のままです（ライトプロテクトレジスタが変更されていない場合）。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.6.2　ライト・レジスタ・プロテクション・レジスタ（WR_REG_PROTECT）

レジスタへのライトを保護します。A00D 0000h ～ A00D 0FFFh のレジスタがライト保護されます（ただし、WR_REG_ENABLE レジスタ（0020h）と ESC_WR_ENABLE レジスタ（0030h）を除く）。

アドレス　A00D 0021h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PROTECT
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PROTECT	レジスタライト保護指定ビット	レジスタへのライト保護 0：保護を無効にします。 1：保護を有効にします。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.6.3　ESC ライト・イネーブル・レジスタ（ESC_WR_ENABLE）

ESC ライト・プロテクションでレジスタ／メモリへのライトが保護されている状態で、一時的にプロテクションを解除するために使用します。

アドレス　A00D 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ENABLE
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ENABLE	レジスタ／メモリライト保護解除ビット	ESCライト・プロテクションによりライトが保護されているとき（ESCライト・プロテクション・レジスタ（ESC_WR_PROTECT：0031h）のビット0が1）に、このノードの任意のレジスタへのライト動作を許可する場合、ライト命令と同じフレーム上で本ビットに任意の値を書き込む必要があります。このフレームが通過した後も、ライト保護は有効のままです（ESCライトプロテクトレジスタが変更されていない場合）。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.6.4　ESC ライト・プロテクション・レジスタ（ESC_WR_PROTECT）

レジスタへのライトを保護します。プロセスデータ RAM を含めた A00D 0000h ～ A00D 2FFFh のレジスタ／メモリがライト保護されます（ただし、WR_REG_ENABLE レジスタ（0020h）と ESC_WR_ENABLE レジスタ（0030h）を除く）。

アドレス　A00D 0031h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PROTECT
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PROTECT	レジスタ／メモリライト保護指定ビット	レジスタ／プロセス・メモリへのライト保護 0：保護を無効にします。 1：保護を有効にします。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.7　データリンク層設定レジスタ

30.7.1　ESC リセット ECAT レジスタ（ESC_RESET_ECAT）

EtherCAT スレーブ・コントローラを ECAT（マスタ）からソフトリセットします。

ライトの時 : ESC_RESET_ECAT_W

アドレス　A00D 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	RESET_ECAT							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	RESET_ECAT	ソフトリセット設定ビット	本レジスタに52h （“R”）、45h （“E”）、53h （“S”）を連続してライトすると、リセットが有効になります。	R	R/W

リードの時 : ESC_RESET_ECAT_R

アドレス　A00D 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RESET_ECAT	
リセット後の値	x	x	x	x	x	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	RESET_ECAT	リセット進捗ステータスビット	リセット手順の進捗状況 01：52hをライトした後 10：45hをライトした後 （先に52hがライトされている場合） 00：その他	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

30.7.2　ESC リセット PDI レジスタ（ESC_RESET_PDI）

EtherCAT スレーブ・コントローラを PDI からソフトリセットします。

ライトの時 : ESC_RESET_PDI_W

アドレス　A00D 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	RESET_PDI							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	RESET_PDI	ソフトリセット設定ビット	本レジスタに52h （“R”）、45h （“E”）、53h （“S”）を連続してライトすると、リセットが有効になります。	R/W	R

リードの時 : ESC_RESET_PDI_R

アドレス　A00D 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RESET_PDI	
リセット後の値	x	x	x	x	x	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	RESET_PDI	リセット進捗ステータスビット	リセット手順の進捗状況 01：52hをライトした後 10：45hをライトした後 （先に52hがライトされている場合） 00：その他	R/W	R
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.7.3　ESC DL コントロール・レジスタ（ESC_DL_CONTROL）

EtherCAT スレーブ・コントローラ内のループのコントロール、RX FIFO のサイズやステーション・エイリアスの使用の有無を行います。

アドレス　A00D 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	STAALIAS	—	—	—	—	—	RXFIFO		
リセット後の値	x	x	x	x	x	x	x	0	x	x	x	x	x	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LP3		LP2		LP1		LP0		—	—	—	—	—	—	TEMPUSE	FWDRULE
リセット後の値	1	1	0	0	0	0	0	0	x	x	x	x	x	x	0	1

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	FWDRULE	転送ルール指定ビット	転送ルールの設定 0：EtherCATフレームは処理されます。EtherCATでないフレームは処理せずに転送します。 1：EtherCATフレームは処理されます。EtherCATでないフレームは破棄されます。 転送ルールにかかわらず、送信元MACアドレスはすべてのフレームに対して変更されます（SOURCE_MAC[1]が1に設定されます（ローカル管理アドレス））。	R	R/W
b1	TEMPUSE	ビット15-8の一時使用設定ビット	ビット15-8の設定の一時使用 0: 常に使用 1: 約1秒間使用し、直前の設定に戻します	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b9-b8	LP0	ループポート0設定ビット	ループポート0の設定 00：オート 01：オートクローズ 10：オープン 11：クローズ	R	R/W
b11-b10	LP1	ループポート1設定ビット	ループポート1の設定 00：オート 01：オートクローズ 10：オープン 11：クローズ	R	R/W
b13-b12	LP2	ループポート2設定ビット	ループポート2の設定（本LSIではポート2は使用できません） 00：オート 01：オートクローズ 10：オープン 11：クローズ	R	R/W
b15-b14	LP3	ループポート3設定ビット	ループポート3の設定（本LSIではポート3は使用できません） 00：オート 01：オートクローズ 10：オープン 11：クローズ	R	R/W
b18-b16	RXFIFO	RX FIFOサイズ指定ビット	RX FIFOサイズを設定します。FIFOサイズを小さくすることで、転送時間を短くすることができます。 0-3：40 ns短縮 4-6：変更なし 7：デフォルト	R	R/W
b23-b19	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ビット	シンボル	ビット名	機能	PDI	ECAT
b24	STAALIAS	ステーションエイリアス状態指定ビット	ステーション・エイリアス： 0：ステーション・エイリアスを無視します。 1：エイリアスは、設定されたすべてのアドレスコマンドタイプに使用することができます（FPRD, FPWR, …）。	R	R/W
b31-b25	—	予約ビット	読み出した場合は不定値が読めます。	R	R

注.　ループ構成の変更は、ポートで現在受信または送信されているフレームが通過した後で行われます。
注.　RX FIFOサイズを削減するためには、EtherCATのネットワークに接続されているすべてのスレーブやマスタのクロックを高精度にする必要があります。デフォルトでは100ppmで十分ですが、RX FIFOのサイズを0-3に設定した場合、25ppmの精度が必要です。

30.7.4　フィジカル・リード／ライト・オフセット・レジスタ（PHYSICAL_RW_OFFSET）

R/W コマンドにおけるリードアドレスとライトアドレスのオフセットを設定します。

アドレス　A00D 0108h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RWOFFSET															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	RWOFFSET	リード／ライトアドレス間のオフセット設定ビット	リードアドレスとライトアドレス間のR/Wコマンド（FPRW, APRW）のオフセットです。 RD_ADR = ADR（リードはそのADRに対して実行します） WR_ADR = ADR + R/W オフセット（ライトはそのADR＋本レジスタの設定値だけオフセットしたアドレスにライトします）	R	R/W

30.7.5　ESC DL ステータス・レジスタ（ESC_DL_STATUS）

EtherCAT スレーブ・コントローラの状態を示します。

アドレス　A00D 0110h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	COMP3	LP3	COMP2	LP2	COMP1	LP1	COMP0	LP0	PHYP3	PHYP2	PHYP1	PHYP0	—	ENHLINKD	PDIWDST	PDIOPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	x	1	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PDIOPE	PDI／EEPROMのロード状態表示ビット	PDIの動作／EEPROMのロード状態 0：EEPROMがロードされず、PDIは動作不能（プロセス・データ RAMにアクセス不可） 1：EEPROMが正しくロードされており、PDIは動作可能（プロセス・データ RAMにアクセス可能）	R	R (ack)
b1	PDIWDST	ウォッチドッグステータスビット	PDIウォッチドッグ・ステータス 0：ウォッチドッグのタイムアウト 1：ウォッチドッグのリロード	R	R (ack)
b2	ENHLINKD	エンハンスドリンクディテクション設定表示ビット	エンハンスド・リンク・ディテクションの設定 0：すべてのポートで無効化 1：少なくとも1つのポートに対して有効化 注.　EEPROMのアドレス0000hのビット9の値がセットされます。電源投入またはリセット後の最初のEEPROMからのロード時のみ取り込まれます。	R	R (ack)
b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R (ack)
b4	PHYP0	ポート0のリンク状態表示ビット	ポート0上の物理的なリンク 0：リンクなし 1：リンク検出	R	R (ack)
b5	PHYP1	ポート1のリンク状態表示ビット	ポート1上の物理的なリンク 0：リンクなし 1：リンク検出	R	R (ack)
b6	PHYP2	ポート2のリンク状態表示ビット	ポート2上の物理的なリンク（本LSIではポート2は使用できません） 0：リンクなし 1：リンク検出	R	R (ack)
b7	PHYP3	ポート3のリンク状態表示ビット	ポート3上の物理的なリンク（本LSIではポート3は使用できません） 0：リンクなし 1：リンク検出	R	R (ack)
b8	LP0	ループポート0状態表示ビット	ループポート0 0：オープン 1：クローズ	R	R (ack)
b9	COMP0	ポート0の通信状態表示ビット	ポート0上の通信 0：安定した通信なし 1：通信確立	R	R (ack)
b10	LP1	ループポート1状態表示ビット	ループポート1 0：オープン 1：クローズ	R	R (ack)
b11	COMP1	ポート1の通信状態表示ビット	ポート1上の通信 0：安定した通信なし 1：通信確立	R	R (ack)
b12	LP2	ループポート2状態表示ビット	ループポート2（本LSIではポート2は使用できません） 0：オープン 1：クローズ	R	R (ack)

ビット	シンボル	ビット名	機能	PDI	ECAT
b13	COMP2	ポート2の通信状態表示ビット	ポート2上の通信（本LSIではポート2は使用できません） 0：安定した通信なし 1：通信確立	R	R (ack)
b14	LP3	ループポート3状態表示ビット	ループポート3（本LSIではポート3は使用できません） 0：オープン 1：クローズ	R	R (ack)
b15	COMP3	ポート3の通信状態表示ビット	ポート3上の通信状態（本LSIではポート3は使用できません） 0：安定した通信なし 1：通信確立	R	R (ack)

注.　ECATから本レジスタをリードすると、ECATイベント・リクエスト・レジスタ（ECAT_EVENT_REQ：0210h）のビット2をクリアします。

30.8　アプリケーション層設定レジスタ

30.8.1　AL コントロール・レジスタ（AL_CONTROL）

マスタによって要求されるステートマシンの遷移状態を示します。また、スレーブからのエラー・インディケーションをアクノリッジします。

アドレス　A00D 0120h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	DEVICEID	ERRINDACK	INISTATE			
リセット後の値	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	1

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	INISTATE	ステートマシン状態の変更指定ビット	デバイス・ステート・マシンの状態遷移を変更します 1：Initステート要求 3：Bootstrapステート要求 2：Pre-Operationalステート要求 4：Safe-Operationalステート要求 8：Operationalステート要求	R (clear)	R/(W)
b4	ERRINDACK	エラーインディケーションアクノリッジビット	エラー・インディケーションのアクノリッジ（応答） 0：ALステータス・レジスタのエラー・インディケーションをアクノリッジしない。 1：ALステータス・レジスタのエラー・インディケーションをアクノリッジする。	R (clear)	R/(W)
b5	DEVICEID	デバイスID要求ビット	デバイスID要求 0：要求なし 1：要求あり	R (clear)	R/(W)
b15-b6	—	予約ビット	読み出した場合は不定値が読めます。	R (clear)	R/(W)

注.　ECATから本レジスタをライトした後は、PDIから本レジスタをリードしてください。PDIからリードしていない場合、ECATから本レジスタを再度ライトすることができません。PDIからリードすると、ALイベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）のビット0をクリアします。

30.8.2　AL ステータス・レジスタ（AL_STATUS）

スレーブアプリケーションの状態を示します。

アドレス　A00D 0130h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	DEVICEID	ERR	ACTSTATE			
リセット後の値	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	1

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	ACTSTATE	ステートマシンの状態表示ビット	デバイス・ステート・マシンの実際の状態: 1：Initステート 3：Request Bootstrapステート 2：Pre-Operationalステート 4：Safe-Operationalステート 8：Operationalステート	R/(W)	R (ack)
b4	ERR	エラー状態表示ビット	エラー・インジケータ 0：デバイスは要求されたステートになっている。あるいはコマンドにクリアされている状態。 1：デバイスは要求されたステートになっていない。あるいはローカルアクションの結果として状態が変更された。	R/(W)	R (ack)
b5	DEVICEID	デバイスIDロード状態表示ビット	デバイスIDのロード状態 0：デバイスIDのロード失敗 1：デバイスIDのロード完了	R/(W)	R(ack)
b15-b6	—	予約ビット	読み出した場合は不定値が読めます。	R/(W)	R (ack)

注.　ECATから本レジスタをリードすると、ECATエベント・リクエスト・レジスタ（ECAT_EVENT_REQ：0210h）のビット3をクリアします。

30.8.3　AL ステータス・コード・レジスタ（AL_STATUS_CODE）

スレーブアプリケーションからのエラーコードを示します。

アドレス　A00D 0134h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	STATUSCODE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	STATUSCODE	エラーコード表示ビット	ALステータス・コード	R/W	R

30.8.4　RUN LED オーバライド・レジスタ（RUN_LED_OVERRIDE）

RUN LED 端子の制御をオーバライドします。

アドレス　A00D 0138h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OVERRIDEEN	LEDCODE			
リセット後の値	x	x	x	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能		PDI	ECAT
b3-b0	LEDCODE	LEDコード表示ビット	LEDコード 0h：オフ 1h-Ch：フラッシュ 1x – 12x Dh：ブリンク Eh：フリッカ Fh：点灯	（FSMステート） （1-Init） （4-SafeOp 1x） （2-PreOp） （3-Bootrap） （8-Op） 備考：ALステータス・レジスタ（AL_STATUS）のビット3-0。	R/W	R/W
b4	OVERRIDEEN	オーバライド設定ビット	オーバライド・イネーブル: 0：オーバライドを無効にします。 1：オーバライドを有効にします。		R/W	R/W
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。		R/W	R/W

注.　ビット4（オーバライド・イネーブル）は、ALステータス・レジスタを適切な値に変更するとクリアされます。
通常、RUN LEDはALステータス・レジスタ（AL_STATUS：0130h）により自動的に制御されます。したがって、一般的なステートマシンの状態を示すためにはRUN LEDのオーバライドは必要ありません。
例えば、特定のスレーブの位置を表すために、特殊な点灯をさせるような使い方ができます。

30.8.5　ERR LED オーバライド・レジスタ（ERR_LED_OVERRIDE）

エラー LED 端子の制御をオーバライドします。

アドレス　A00D 0139h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OVERRIDEEN	LEDCODE			
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	LEDCODE	LEDコード表示ビット	LEDコード 0h：オフ 1h-Ch：フラッシュ 1x – 12x Dh：ブリンク Eh：フリッカ Fh：点灯	R/W	R/W
b4	OVERRIDEEN	オーバライド設定ビット	オーバライド・イネーブル: 0：オーバライドを無効にします。 1：オーバライドを有効にします。	R/W	R/W
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W	R/W

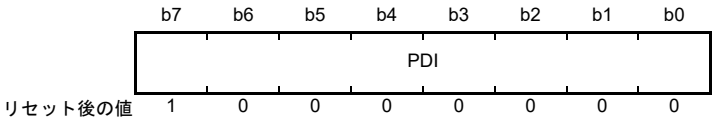
注.　ビット4（オーバライド・イネーブル）は、新たにエラーが発生するとクリアされます。
ESCは以下の条件に対しては自動的にエラー LEDの制御を行います。それ以外のエラーに関しては、本レジスタを使用して、アプリケーションでエラー LEDを制御する必要があります。
・SII EEPROMロードエラー
・PDIウォッチドッグ・タイムアウト

30.9　PDI 設定レジスタ

30.9.1　PDI コントロール・レジスタ（PDI_CONTROL）

PDI の種類を示します。

アドレス　A00D 0140h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	PDI	PDIの種類表示ビット	プロセスデータインタフェース。本LSIでは以下の値を示します。 80h：オンチップ・バス	R	R

30.9.2　ESC コンフィギュレーション・レジスタ（ESC_CONFIG）

EtherCAT スレーブ・コントローラの構成を示します。

アドレス　A00D 0141h

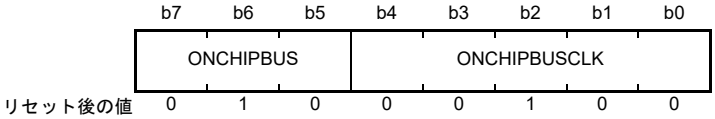
	b7	b6	b5	b4	b3	b2	b1	b0
	ENLP3	ENLP2	ENLP1	ENLP0	DCLATCH	DCSYNC	ENLALLP	DEVEMU
リセット後の値	0	0	0	0	1	1	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	DEVEMU	デバイスエミュレーション設定表示ビット	デバイス・エミュレーション（ALステータスコントロール） 0：ALステータス・レジスタは、PDIで設定します。 1：ALステータス・レジスタは、ALコントロール・レジスタに書き込まれた値を自動的に設定します。	R	R
b1	ENLALLP	全ポートのエンハンスドリンクディテクション設定表示ビット	すべてのポートに対するエンハンスド・リンク・ディテクションの設定 0：無効（EEPROMのアドレス0のビット15-12が0の場合） 1：すべてのポートで有効	R	R
b2	DCSYNC	SYNC出力ユニット状態表示ビット	分散クロックのSYNC出力ユニットの設定。本LSIでは1固定です。 0：無効（パワーセーブ） 1：有効	R	R
b3	DCLATCH	ラッチ入力ユニット設定表示ビット	分散クロックのラッチ入力ユニットの設定。本LSIでは1固定です。 0：無効（パワーセーブ） 1：有効	R	R
b4	ENLP0	ポート0のエンハンスドリンクディテクション設定表示ビット	ポート0のエンハンスド・リンク・ディテクションの設定 0：無効（EEPROMのアドレス0のビット9が0の場合） 1：有効	R	R
b5	ENLP1	ポート1のエンハンスドリンクディテクション設定表示ビット	ポート1のエンハンスド・リンク・ディテクションの設定 0：無効（EEPROMのアドレス0のビット9が0の場合） 1：有効	R	R
b6	ENLP2	ポート2のエンハンスドリンクディテクション設定表示ビット	ポート2のエンハンスド・リンク・ディテクションの設定（本LSIではポート2は使用できません） 0：無効（EEPROMのアドレス0のビット9が0の場合） 1：有効	R	R
b7	ENLP3	ポート3のエンハンスドリンクディテクション設定表示ビット	ポート3のエンハンスド・リンク・ディテクションの設定（本LSIではポート3は使用できません） 0：無効（EEPROMのアドレス0のビット9が0の場合） 1：有効	R	R

30.9.3　PDI コンフィギュレーション・レジスタ（PDI_CONFIG）

PDI の構成を示します。

アドレス　A00D 0150h

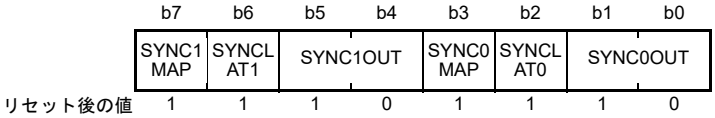


ビット	シンボル	ビット名	機能	PDI	ECAT
b4-b0	ONCHIPBUSCLK	オンチップバスクロック表示ビット	オンチップ・バスのクロックを示します。本LSIでは常に4（100MHz）を示します。	R	R
b7-b5	ONCHIPBUS	オンチップバスの種類表示ビット	オンチップ・バスの種類を示します。本LSIでは常に010を示します。	R	R

30.9.4　SYNC/LATCH PDI コンフィギュレーション・レジスタ（SYNC_LATCH_CONFIG）

SYNC 出力／ LATCH 入力の設定を示します。

アドレス　A00D 0151h



ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	SYNC0OUT	SYNC0の極性表示ビット	SYNC0出力ドライバ／極性を示します。本LSIでは常に10（プッシュプル アクティブハイ）を示します。	R	R
b2	SYNCLAT0	SYNC0／LATCH0表示ビット	SYNC0／LATCH0設定の設定を表します。本LSIでは常に1を示します（注1）。 0：LATCH0 入力 1：SYNC0出力	R	R
b3	SYNC0MAP	SYNC0状態のマッピング状態表示ビット	ALイベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）のビット2にSYNC0状態のマッピングの有効／無効を示します。本LSIでは常に1（有効）です。 0：無効 1：有効	R	R
b5-b4	SYNC1OUT	SYNC1の極性表示ビット	SYNC1出力ドライバ／極性を示します。本LSIでは常に10（プッシュプル アクティブハイ）を示します。	R	R
b6	SYNCLAT1	SYNC1／LATCH1表示ビット	SYNC1／LATCH1の設定を表します。本LSIでは常に1を示します。（注1） 0：LATCH1 入力 1：SYNC1 出力	R	R
b7	SYNC1MAP	SYNC1状態のマッピング状態表示ビット	ALイベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）のビット3にSYNC1状態のマッピングの有効／無効を示します。本LSIでは常に1（有効）です。 0：無効 1：有効	R	R

注1.　常にSYNC出力を表していますが、LATCH入力も使用できます。SYNC出力とLATCH入力の切り替えは、MPC機能の設定で切り替えてください。

30.9.5　拡張 PDI コンフィギュレーション・レジスタ（EXT_PDI_CONFIG）

PDI の構成を示します。

アドレス　A00D 0152h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATABUSWID	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	DATABUSWID	PDIデータバス幅表示ビット	PDIのデータ・バス幅を示します。本LSIでは0（4バイト）を示します。 00：4バイト 01：1バイト 10：2バイト 11：リザーブ	R	R
b15-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.10　割り込み設定レジスタ

30.10.1　ECAT イベント・マスク・レジスタ（ECAT_EVENT_MASK）

EtherCAT マスタにスレーブのイベントを伝えるために、ECAT イベント・リクエスト（ECAT 割り込み）が使用されます。本レジスタで ECAT イベント・リクエスト・レジスタ（ECAT_EVENT_REQ：0210h）の各イベントに対してマスクを設定します。本レジスタと ECAT イベント・リクエスト・レジスタの AND が行われ、それが割り込みに使用されます。

アドレス　A00D 0200h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECATEVMASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	ECATEVMASK	イベントリクエスト マスク設定ビット	0：対応するECATイベント・リクエスト・レジスタ（ECAT_EVENT_REQ：0210h）のビットがマップされません。 1：対応するECATイベント・リクエスト・レジスタのビットがマップされます。	R	R/W

30.10.2　AL イベント・マスク・レジスタ（AL_EVENT_MASK）

スレーブアプリケーションに ESC の割り込みを伝えるために、AL イベント・リクエスト（PDI 割り込み）が使用されます。本レジスタで AL イベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）の各イベントに対してマスクを設定します。本レジスタと AL イベント・リクエスト・レジスタの AND が行われ、それが割り込みに使用されます。

アドレス　A00D 0204h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALEVMASK															
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALEVMASK															
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	ALEVMASK	イベントリクエスト マスク設定ビット	0：対応するALイベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）のビットがマップされません。 1：対応するALイベント・リクエスト・レジスタのビットがマップされます。	R/W	R

30.10.3　ECAT イベント・リクエスト・レジスタ（ECAT_EVENT_REQ）

ECAT イベント・リクエスト（ECAT 割り込み）の要因を示します。

アドレス　A00D 0210h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SMSTA7	SMSTA6	SMSTA5	SMSTA4	SMSTA3	SMSTA2	SMSTA1	SMSTA0	ALSTA	DLSTA	—	DCLATCH
リセット後の値	x	x	x	x	0	0	0	0	0	0	0	0	0	0	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	DCLATCH	DCラッチイベント状態表示ビット	DCラッチのイベント 0：DCラッチ入力変更なし 1：少なくとも一つのDCラッチ入力変更 ECATからECATコントロールラッチユニットに対してDCラッチのイベント時間をリードすることにより、本ビットはクリアされます。そのためラッチ0/1ステータス・レジスタ（DC_LATCH_STAT0/1：09AEh:09AFh）はイベントを示しません。	R	R
b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b2	DLSTA	DLステータスイベント状態表示ビット	DLステータスのイベント 0：DLステータス変更なし 1：DLステータス変更 ECATからDLステータス・レジスタ（ESC_DL_STATUS：0110h:0111h）をリードすることにより、本ビットはクリアされます。	R	R
b3	ALSTA	ALステータスイベント状態表示ビット	ALステータスのイベント 0：ALステータス変更なし 1：ALステータス変更 ECATからALステータス・レジスタ（AL_STATUS：0130h:0131h）をリードすることにより、本ビットはクリアされます。	R	R
b4	SMSTA0	SyncManager0のステータス表示ビット	SyncManager0ステータスのミラー値: 0：Syncチャンネル0イベントなし 1：Syncチャンネル0イベントペンディング	R	R
b5	SMSTA1	SyncManager1のステータス表示ビット	SyncManager1ステータスのミラー値: 0：Syncチャンネル1イベントなし 1：Syncチャンネル1イベントペンディング	R	R
b6	SMSTA2	SyncManager2のステータス表示ビット	SyncManager2ステータスのミラー値: 0：Syncチャンネル2イベントなし 1：Syncチャンネル2イベントペンディング	R	R
b7	SMSTA3	SyncManager3のステータス表示ビット	SyncManager3ステータスのミラー値: 0：Syncチャンネル3イベントなし 1：Syncチャンネル3イベントペンディング	R	R
b8	SMSTA4	SyncManager4のステータス表示ビット	SyncManager4ステータスのミラー値: 0：Syncチャンネル4イベントなし 1：Syncチャンネル4イベントペンディング	R	R
b9	SMSTA5	SyncManager5のステータス表示ビット	SyncManager5ステータスのミラー値: 0：Syncチャンネル5イベントなし 1：Syncチャンネル5イベントペンディング	R	R
b10	SMSTA6	SyncManager6のステータス表示ビット	SyncManager6ステータスのミラー値: 0：Syncチャンネル6イベントなし 1：Syncチャンネル6イベントペンディング	R	R
b11	SMSTA7	SyncManager7のステータス表示ビット	SyncManager7のステータスのミラー値: 0：Syncチャンネル7イベントなし 1：Syncチャンネル7イベントペンディング	R	R
b15-b12	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.10.4　AL イベント・リクエスト・レジスタ（AL_EVENT_REQ）

AL イベント・リクエスト（PDI 割り込み）の要因を示します。

アドレス　A00D 0220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SMINT7	SMINT6	SMINT5	SMINT4	SMINT3	SMINT2	SMINT1	SMINT0	—	WDPD	—	SYNCACT	DCSYNC1STA	DCSYNC0STA	DCLATCH	ALCTRL
リセット後の値	0	0	0	0	0	0	0	0	x	0	x	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ALCTRL	ALコントロールイベント状態表示ビット	ALコントロールイベント 0：ALコントロール・レジスタ変化なし 1：ALコントロール・レジスタにライトされた PDIからALコントロール・レジスタ（AL_CONTROL：0120h:0121h）をリードすることにより、本ビットはクリアされます。	R	R
b1	DCLATCH	DCラッチイベント状態表示ビット	DCラッチイベント 0：DCラッチ入力変化なし 1：少なくとも一つのDCラッチ入力が変化 PDIからPDIコントロールラッチユニットに対してDCラッチのイベント時刻をリードすることにより、本ビットはクリアされます。そのためラッチ0/1ステータス・レジスタ（DC_LATCH_STAT0/1：09AEh:09AFh）はイベントを示しません。	R	R
b2	DCSYNC0STA	DC SYNC0状態表示ビット	DC SYNC0の状態 PDIからSYNC0ステータス・レジスタ（DC_SYNC0_STAT：098Eh）をリードすることにより、本ビットはクリアされます。	R	R
b3	DCSYNC1STA	DC SYNC1状態表示ビット	DC SYNC1の状態 PDIからSYNC1ステータス・レジスタ（DC_SYNC1_STAT：098Fh）をリードすることにより、本ビットはクリアされます。	R	R
b4	SYNCACT	SyncManagerアクティベイト表示ビット	SyncManagerアクティベイト・レジスタ（SMm_ACT：0806h+8H*m）変化 0：SyncManagerに変化なし 1：少なくとも一つのSyncManagerが変化 PDIからSyncManagerアクティベイト・レジスタ（SMm_ACT）をリードすることにより、本ビットはクリアされます。	R	R
b5	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b6	WDPD	ウォッチドッグプロセスデータ表示ビット	ウォッチドッグ•プロセスデータ 0：有効 1：タイムアウト PDIからウォッチドッグ・ステータス・プロセスデータ・レジスタ（WDS_DATA：0440h）をリードすることにより、本ビットはクリアされます。	R	R
b7	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b8	SMINT0	SyncManager0割り込みステータスビット	SyncManager0割り込み（SyncManagerステータス・レジスタ（0805h）のビット0 or 1） 0：SyncManager0割り込みなし 1：SyncManager0割り込みペンディング	R	R

ビット	シンボル	ビット名	機能	PDI	ECAT
b9	SMINT1	SyncManager1割り込みステータスビット	SyncManager1割り込み（SyncManagerステータス・レジスタ（080Dh）のビット0 or 1） 0：SyncManager1割り込みなし 1：SyncManager1割り込みペンディング	R	R
b10	SMINT2	SyncManager2割り込みステータスビット	SyncManager2割り込み（SyncManagerステータス・レジスタ（0815h）のビット0 or 1） 0：SyncManager2割り込みなし 1：SyncManager2割り込みペンディング	R	R
b11	SMINT3	SyncManager3割り込みステータスビット	SyncManager3割り込み（SyncManagerステータス・レジスタ（081Dh）のビット0 or 1） 0：SyncManager3割り込みなし 1：SyncManager3割り込みペンディング	R	R
b12	SMINT4	SyncManager4割り込みステータスビット	SyncManager4割り込み（SyncManagerステータス・レジスタ（0825h）のビット0 or 1） 0：SyncManager4割り込みなし 1：SyncManager4割り込みペンディング	R	R
b13	SMINT5	SyncManager5割り込みステータスビット	SyncManager5割り込み（SyncManagerステータス・レジスタ（082Dh）のビット0 or 1） 0：SyncManager5割り込みなし 1：SyncManager5割り込みペンディング	R	R
b14	SMINT6	SyncManager6割り込みステータスビット	SyncManager6割り込み（SyncManagerステータス・レジスタ（0835h）のビット0 or 1） 0：SyncManager6割り込みなし 1：SyncManager6割り込みペンディング	R	R
b15	SMINT7	SyncManager7割り込みステータスビット	SyncManager7割り込み（SyncManagerステータス・レジスタ（083Dh）のビット0 or 1） 0：SyncManager7割り込みなし 1：SyncManager7割り込みペンディング	R	R
b31-b16	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.11　エラーカウンタ設定レジスタ

30.11.1　Rx エラーカウンタ n・レジスタ（RX_ERR_COUNTn）

受信フレームのエラーの数をカウントします。

アドレス　A00D 0300h + 0002h*n

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXERRCNT								INVFRMCNT							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	INVFRMCNT	無効なフレームのカウント値表示ビット	ポートn における無効なフレームのカウント値 FFhに達するとカウントは停止します。 RXエラー関係のカウンタ（RX_ERR_COUNTn、FWD_RX_ERR_COUNTn）の一つにライトすれば、クリアされます。	R	R/W (clr)
b15-b8	RXERRCNT	受信フレームのエラー数カウント値表示ビット	ポートn における受信エラーのカウント値 FFhに達するとカウントは停止します。MII インタフェースのRX ERRの数をカウントします。 RXエラー関係のカウンタ（RX_ERR_COUNTn、FWD_RX_ERR_COUNTn）の一つにライトすれば、クリアされます。	R	R/W (clr)

n = 0-1
n = 0 はポート 0、n = 1 はポート 1

30.11.2　フォワード Rx エラーカウンタ n・レジスタ（FWD_RX_ERR_COUNTn）

転送エラーの数をカウントします。

アドレス　A00D 0308h + 0001h*n

	b7	b6	b5	b4	b3	b2	b1	b0
	FWDERRCNT							
リセット後の値	0	0	0	0	0	0	0	0

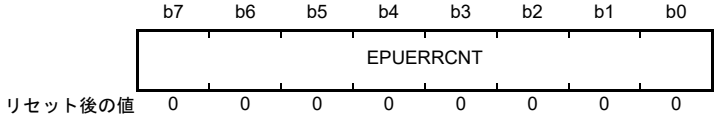
ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	FWDERRCNT	転送エラー数のカウント値表示ビット	ポートnにおける転送された受信エラーフレームのカウント値 FFhに達するとカウントは停止します。 RXエラー関係のカウンタ（RX_ERR_COUNTn、FWD_RX_ERR_COUNTn）の一つにライトすれば、クリアされます。	R	R/W (clr)

n = 0-1
n = 0 はポート 0、n = 1 はポート 1

30.11.3　ECAT プロセッシング・ユニット・エラーカウンタ・レジスタ（ECAT_PROC_ERR_COUNT）

ECAT プロセッシング・ユニットを通るフレームのエラーをカウントします。

アドレス　A00D 030Ch

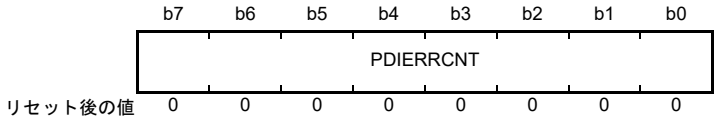


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	EPUERRCNT	プロセッシングユニットエラーカウント値表示ビット	ECAT プロセッシング・ユニット・エラーカウント値。 FFhに達するとカウントは停止します。プロセッシング・ユニットを通るフレームのエラーをカウントします。 本レジスタをライトすると、本レジスタはクリアされます。	R	R/W (clr)

30.11.4　PDI エラー・カウンタ・レジスタ（PDI_ERR_COUNT）

PDI のアクセスエラーをカウントします。

アドレス　A00D 030Dh

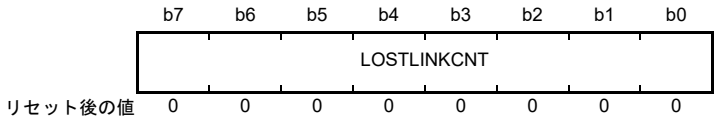


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	PDIERRCNT	PDIエラーカウント値表示ビット	PDIエラーのカウント値 FFhに達するとカウントは停止します。PDIのアクセスでインタフェースエラーが発生すれば、カウントします。 本レジスタをライトすると、本レジスタはクリアされます。	R	R/W (clr)

30.11.5　ロストリンク・カウンタ n・レジスタ（LOST_LINK_COUNTn）

ポートにおけるロストリンクをカウントします。

アドレス　A00D 0310h + 0001h*n



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	LOSTLINKCNT	ロストリンクカウント値表示ビット	ポートn におけるロストリンクのカウント値 FFhに達するとカウントは停止します。ポートループがAutoまたはAuto-Closeの時のみカウントします。 オープンであるポートのロストリンクのみカウントされます。 ロストリンクカウンタレジスタの一つにライトすると、本レジスタはクリアされます。	R	R/W (clr)

n = 0-1

n = 0 はポート 0、n = 1 はポート 1

30.12　ウォッチドッグ設定レジスタ

30.12.1　ウォッチドッグ・ディバイダ・レジスタ（WD_DIVIDE）

ウォッチドッグの基本インクリメントとなる 25MHz に対する分周比を設定します。

アドレス　A00D 0400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WDDIV															
リセット後の値	0	0	0	0	1	0	0	1	1	1	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	WDDIV	ウォッチドッグクロック分周比設定ビット	25MHzに対するウォッチドッグのクロックの分周比を設定します。 設定した値+2で分周した周期が、基本のウォッチドッグ・インクリメントとなります。デフォルト値は100µs = 2498です。	R	R/W

30.12.2　ウォッチドッグ・タイム PDI・レジスタ（WDT_PDI）

PDI ウォッチドッグのオーバフロー時間を設定します。

アドレス　A00D 0410h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WDTIMPDI															
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	WDTIMPDI	ウォッチドッグのオーバフロー時間設定ビット	PDIウォッチドッグのオーバフロー時間を基本ウォッチドッグ・インクリメントの数で設定します。 デフォルト値は、ウォッチドッグ・ディバイダでの設定値が100µsの場合、100µs × 1000 = 100msのウォッチドッグ・オーバフローとなります。 0を設定すると、ウォッチドッグは無効になります。PDIアクセスごとにウォッチドッグはリスタートします。	R	R/W

30.12.3　ウォッチドッグ・タイム・プロセス・データ・レジスタ（WDT_DATA）

プロセスデータ・ウォッチドッグのオーバフロー時間を設定します。

アドレス　A00D 0420h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WDTIMPD															
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	WDTIMPD	ウォッチドッグのオーバフロー時間設定ビット	プロセスデータ・ウォッチドッグのオーバフロー時間を基本ウォッチドッグ・インクリメントの数で設定します。デフォルト値は、ウォッチドッグ・ディバイダでの設定値が100µsの場合、100µs × 1000 = 100msのウォッチドッグ・オーバフローとなります。すべてのSyncManagerに対してウォッチドッグは1つです。0を設定すると、ウォッチドッグは無効になります。SyncManagerのウォッチドッグ・トリガ・イネーブルビットへのライトアクセスごとにウォッチドッグはリスタートします。	R	R/W

30.12.4　ウォッチドッグ・ステータス・プロセス・データ・レジスタ（WDS_DATA）

プロセスデータ・ウォッチドッグの状態を示します。

アドレス　A00D 0440h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WDSTAPD
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

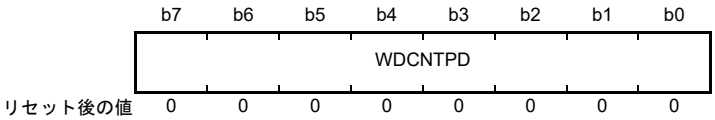
x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	WDSTAPD	ウォッチドッグの状態表示ビット	SyncManagerによってトリガされるプロセスデータ・ウォッチドッグの状態を示します。 0：プロセスデータ・ウォッチドッグがタイムアウト 1：プロセスデータ・ウォッチドッグはアクティブか無効 本レジスタをリードすることにより、ALイベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）のビット6がクリアされます。	R (ack)	R
b15-b1	—	予約ビット	読み出した場合は不定値が読めます。	R (ack)	R

30.12.5　ウォッチドッグ・カウンタ・プロセス・データ・レジスタ（WDC_DATA）

プロセスデータ・ウォッチドッグのタイムアウトのカウント数を示します。

アドレス　A00D 0442h

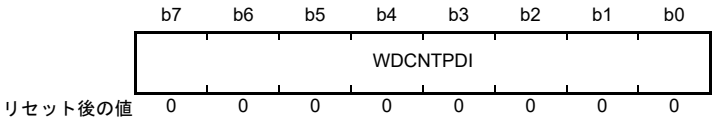


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	WDCNTPD	ウォッチドッグのカウント値表示ビット	プロセスデータ・ウォッチドッグのカウント値 FFhに達するとカウントは停止します。プロセスデータ・ウォッチドッグがタイムアウトするとカウントします。 ウォッチドッグ・カウンタ・レジスタ（WDC_DATA、WDC_PDI：0442h:0443h）のいずれかにライトすれば、カウンタはクリアされます。	R	R/W (clr)

30.12.6　ウォッチドッグ・カウンタ PDI・レジスタ（WDC_PDI）

PDI ウォッチドッグのタイムアウトのカウント数を示します。

アドレス　A00D 0443h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	WDCNTPDI	ウォッチドッグのカウント値表示ビット	PDIウォッチドッグのカウント値 FFhに達するとカウントは停止します。PDIウォッチドッグがタイムアウトするとカウントします。 ウォッチドッグ・カウンタ・レジスタ（WDC_DATA、WDC_PDI：0442h:0443h）のいずれかにライトすれば、カウンタはクリアされます。	R	R/W (clr)

30.13　SII EEPROM インタフェース設定レジスタ

EEPROM コンフィギュレーション・レジスタ（EEP_CONF：0500h）のビット 0 が 0、かつ EEPROM PDI アクセス・ステート・レジスタ（EEP_PDI_ACCESS：0501h）のビット 0 が 0 の場合、EtherCAT が SII EEPROM インタフェースをコントロールします。それ以外の場合は、PDI から EEPROM インタフェースをコントロールします。

30.13.1　EEPROM コンフィギュレーション・レジスタ（EEP_CONF）

EEPROM へのアクセス権について設定します。

アドレス　A00D 0500h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FORCE ECAT	CTRLP DI
リセット後の値	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	CTRLPDI	PDIによるEEPROM制御設定ビット	EEPROMのコントロールをPDIに持たせるか否かを指定します。 0：PDIがEEPROMをコントロールしない 1：PDIがEEPROMをコントロールする	R	R/W
b1	FORCEECAT	EEPROMへのアクセス権変更設定ビット	ECATからのアクセスに強制的に変更します。 0：現状から変更なし 1：EEPROM PDIアクセス・ステート・レジスタ（EEP_PDI_ACCESS：0501h）のビット0を0にリセットします。つまり、PDIからのEEPROMアクセス権を解放します。	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.13.2　EEPROM PDI アクセス・ステート・レジスタ（EEP_STATE）

PDI から EEPROM へのアクセス権を設定します。

アドレス　A00D 0501h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PDIAC CESS
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PDIACCESS	EEPROMへのアクセス権設定ビット	EEPROMへのアクセス件を設定します。 0：PDIはEEPROMアクセスを解放します。 1：PDIはEEPROMアクセスを取得します。 PDIからのライトはEEPROMコンフィギュレーション・レジスタ（EEP_CONF：0500h）のビット0が1、かつビット1が0のときのみ可能です。	R/(W)	R
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/(W)	R

30.13.3　EEPROM コントロール／ステータス・レジスタ（EEP_CONT_STAT）

EEPROM へのアクセスの設定とステータスを示します。

アドレス　A00D 0502h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BUSY	WRENERR	ACKCMDERR	LOADSTA	CKSUMERR	COMMAND			PROMSIZE	READBYTE	—	—	—	—	—	ECATWREN
リセット後の値	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ECATWREN	ライトイネーブルビット	ECATライト・イネーブル（注2） 0：ライト要求は無効 1：ライト要求は有効 PDIがEEPROMをコントロールしている場合、このビットは常に1です。	R	R/(W)
b5-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b6	READBYTE	EEPROMリードバイト表示ビット	サポートするEEPROMリードバイトを示します。 0：4バイト 1：8バイト	R	R
b7	PROMSIZE	EEPROMのアルゴリズム表示ビット	選択されたEEPROMのアルゴリズムを示します。 0：1アドレスバイト（1KBit -16KBit EEPROMs） 1：2アドレスバイト（32KBit - 4MBit EEPROMs）	R	R
b10-b8	COMMAND	コマンド設定／表示ビット	コマンド（注2） ライト：下記のコマンドを開始します。 リード：現在実行中のコマンドを示します。 コマンド： 000：コマンドなし／EEPROMアイドル状態（エラービットをクリアします） 001：リード 010：ライト 100：リロード その他：リザーブ／無効なコマンド（実行しないでください）	R/(W)	R/(W)
b11	CKSUMERR	チェックサムエラー表示ビット	ESCの設定エリア内でのチェックサムエラーを示します。 0：チェックサムは問題なし 1：チェックサムエラー	R	R
b12	LOADSTA	EEPROMローディング状態表示ビット	EEPROMローディング状態を示します。 0：EEPROMのロードが完了し、デバイス情報は問題なし 1：EEPROMがロードされておらず、デバイス情報を利用できない（EEPROMはロード中または失敗で終了）。	R	R
b13	ACKCMDERR	アクノリッジ／コマンドのエラー表示ビット	アクノリッジ／コマンドのエラーを示します。（注1） 0：エラーなし 1：EEPROMアクノリッジ欠落、あるいは無効なコマンド	R	R
b14	WRENERR	ライトイネーブルエラー表示ビット	ライト・イネーブルのエラーを示します。（注1） 0：エラーなし 1：ライトイネーブルなしでのライトコマンド	R	R
b15	BUSY	EEPROMインタフェース状態表示ビット	EEPROMインタフェースのビジー状態を示します。 0：アイドル状態 1：ビジー状態	R	R

ライトアクセスは EEPROM インタフェースの割り当てに依存します（ECAT/PDI）。一般的に、EEPROM インタフェースがビジーの場合（ビット 15 が 1）、ライトアクセスはブロックされます。

注1.　コマンド・ビットb10-b8に“000”（あるいは他の有効コマンド）をライトすると、エラービットはクリアされます。
注2.　ECATライト・イネーブル・ビットb0は、次のフレームのSOFでセルフクリアされます。また、コマンド・ビットb10-b8も、コマンド実行後（EEPROMのビジーが終了後）にセルフクリアされます。
コマンド・ビットb10-b8に“000”をライトするとエラービットb14, b13がクリアされます。アクノリッジ／コマンド・エラービットb13が1の場合、コマンド・ビットb10-b8のコマンドは無視されます。

30.13.4　EEPROM アドレス・レジスタ（EEP_ADR）

アクセスする EEPROM のアドレスを設定します。

アドレス　A00D 0504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ADDRESS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRESS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	ADDRESS	EEPROMアドレス設定ビット	EEPROM アドレス 0：第1ワード（= 16ビット） 1：第2ワード ・・・ 実際に使用されるEEPROMアドレスビットは以下になります。 [9:0]：最大 16 kBit のEEPROMサイズ [17:0]：32 kBit – 4 MbitのEEPROMサイズ	R/(W)	R/(W)

ライトアクセスは EEPROM インタフェースの割り当てに依存します（ECAT/PDI）。一般的に、EEPROM インタフェースがビジーの場合（EEPROM コントロール／ステータス・レジスタ（EEP_CONT_STAT：0502h）のビット 15 が 1）、ライトアクセスはブロックされます。

30.13.5　EEPROM データ・レジスタ（EEP_DATA）

EEPROM へのライトデータを設定します。あるいは EEPROM からのリードデータを示します。ライトは 1 ワード単位、リードは 2 ワード単位です。

アドレス　A00D 0508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	HIDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LODATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	LODATA	EEPROMへのライトデータ設定ビット	EEPROMへのライトデータ、あるいはEEPROMからのリードデータ（下位2バイト）	R/(W)	R/(W)
b31-b16	HIDATA	EEPROMからのリードデータ表示ビット	EEPROMからのリードデータ（上位2バイト）	R	R

ライトアクセスは EEPROM インタフェースの割り当てに依存します（ECAT/PDI）。一般的に、EEPROM インタフェースがビジーの場合（EEPROM コントロール／ステータス・レジスタ（EEP_CONT_STAT：0502h）のビット 15 が 1）、ライトアクセスはブロックされます。

30.14　MII マネージメント・インタフェース設定レジスタ

30.14.1　MII マネージメント・コントロール／ステータス・レジスタ（MII_CONT_STAT）

MII マネージメント・インタフェースの設定とステータスを示します。

アドレス　A00D 0510h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BUSY	CMDERR	READERR	—	—	—	COMMAND		PHYOFFSET					MILINK	PDICTRL	WREN
リセット後の値	0	0	0	x	x	x	0	0	0	0	0	0	0	0	1	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	WREN	ライトイネーブルビット	ライト・イネーブル 0：無効 1：有効 PDIがMIIマネージメント・インタフェースをコントロールしている場合、このビットは常に1です。	R	R/(W)
b1	PDICTRL	PDI制御可否表示ビット	MIIマネージメント・インタフェースのPDIによるコントロールの可否を示します。 0：ECATによるコントロールのみ 1：PDIによるコントロール可能 MIIマネージメントECATアクセス・ステート・レジスタ（MII_ECAT_ACS_STAT：0516h）、およびMIIマネージメントPDIアクセス・ステート・レジスタ（MII_PDI_ACS_STAT：0517h）により制御されます。	R	R
b2	MILINK	リンクディテクション使用状態表示ビット	MIリンク・ディテクションの使用可否 0：使用不可 1：使用可能	R	R
b7-b3	PHYOFFSET	PHYアドレスオフセット表示ビット	PHYアドレスオフセットを示します。	R	R
b9-b8	COMMAND	コマンドビット	コマンド ライト：以下のコマンドを開始します。 リード：現在実行中のコマンドを示します。 コマンド： 00：コマンドなし／MIアイドル状態（エラービットをクリアします） 01：リード 10：ライト その他：リザーブ／無効なコマンド（実行しないでください）	R/(W)	R/(W)
b12-b10	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b13	READERR	リードエラー表示ビット	リードエラー発生の有無を示します。 0：リードエラーなし 1：リードエラー発生（PHYあるいはレジスタは利用不可） 本ビットは本レジスタにライトすることでクリアされます。	R/(W)	R/(W)
b14	CMDERR	コマンドエラー表示ビット	コマンドエラーの発生の有無を示します。 0：最後のコマンドは成功 1：無効なコマンドあるいはライトイネーブルなしのライトコマンド 有効なコマンドを実行するか、コマンド・ビット9-8に“00”を書き込むことで本ビットはクリアされます。	R	R
b15	BUSY	MIIマネージメント状態表示ビット	MIIマネージメント・インタフェースがビジーであることを示します。 0：アイドル状態 1：ビジー状態	R	R

ライトアクセスはマネージメント・インタフェースの割り当てに依存します（ECAT/PDI）。一般的に、マネージメント・インタフェースがビジーの場合（本レジスタのビット b15 が 1）、ライトアクセスはブロックされます。

注.　ライト・イネーブル・ビットb0は、次のフレームのSOF（あるいはPDIアクセスの終わり）でセルフクリアされます。また、コマンド・ビットb9-b8も、コマンド実行後（ビジーが終了後）にセルフクリアされます。
コマンド・ビットに“00”をライトするとエラービットb14-b13がクリアされます。コマンド実行後は、コマンド・ビットはクリアされます。

30.14.2　PHY アドレス・レジスタ（PHY_ADR）

PHY アドレスを設定します。

アドレス　A00D 0512h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PHYADDR				
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b4-b0	PHYADDR	PHYアドレス設定ビット	PHYアドレス	R/(W)	R/(W)
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ライトアクセスはマネージメント・インタフェースの割り当てに依存します（ECAT/PDI）。一般的に、マネージメント・インタフェースがビジーの場合（MII マネージメント・コントロール／ステータス・レジスタ（MII_CONT_STAT : 0510h）のビット 15 が 1）、ライトアクセスはブロックされます。

30.14.3　PHY レジスタ・アドレス・レジスタ（PHY_REG_ADR）

PHY レジスタのアドレスを設定します。

アドレス　A00D 0513h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PHYREGADDR				
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b4-b0	PHYREGADDR	PHYアドレス設定ビット	PHY レジスタのアドレス	R/(W)	R/(W)
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ライトアクセスはマネージメント・インタフェースの割り当てに依存します（ECAT/PDI）。一般的に、マネージメント・インタフェースがビジーの場合（MII マネージメント・コントロール／ステータス・レジスタ（MII_CONT_STAT : 0510h）のビット 15 が 1）、ライトアクセスはブロックされます。

30.14.4　PHY データ・レジスタ（PHY_DATA）

PHY レジスタに書き込むデータを設定します。あるいは PHY レジスタから読み込んだデータを示します。

アドレス　A00D 0514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PHYREGDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	PHYREGDATA	PHY レジスタデータ表示／設定ビット	PHY レジスタのリード／ライトデータ	R/(W)	R/(W)

ライトアクセスはマネージメント・インタフェースの割り当てに依存します（ECAT/PDI）。一般的に、マネージメント・インタフェースがビジーの場合（MII マネージメント・コントロール／ステータス・レジスタ（MII_CONT_STAT：0510h）のビット 15 が 1）、ライトアクセスはブロックされます。

30.14.5　MII マネージメント ECAT アクセス・ステート・レジスタ（MII_ECAT_ACS_STAT）

MII マネージメント・インタフェースのアクセス権を設定します。

アドレス　A00D 0516h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ACSMII
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ACSMII	MII マネージメントインタフェースへのアクセス権設定ビット	MII マネージメント・インタフェースへのアクセス権 0：PDI による MII マネージメント・インタフェースのアクセスを許可 1：ECAT による MII マネージメント・インタフェースの排他的アクセス	R	R/(W)
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ライトアクセスは MII マネージメント PDI アクセス・ステート・レジスタ（MII_PDI_ACS_STAT：0517h）のビット 0 が 0 の場合のみ可能です。

30.14.6　MII マネージメント PDI アクセス・ステート・レジスタ（MII_PDI_ACS_STAT）

MII マネージメント・インタフェースのアクセス権を設定します。

アドレス　A00D 0517h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FORPDI	ACSMII
リセット後の値	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ACSMII	MIIマネージメントインタフェースのアクセス権変更ビット	MIIマネージメント・インタフェースへのアクセス権 0：ECATによるMIIマネージメント・インタフェースのアクセス 1：PDIによるMIIマネージメント・インタフェースへのアクセス	R/(W)	R
b1	FORPDI	PDIによるアクセス状態変更ビット	PDIによるアクセス状態の強制変更（ビット0の強制変更） 0：本レジスタのビット0を変更しない 1：本レジスタのビット0を0にリセット（ECATにアクセス権を変更）	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

PDI からのビット 0 へのライトアクセスは、以下の 2 つの条件を満たす場合のみ可能です。

- MIIマネージメントECATアクセス・ステート・レジスタ（MII_ECAT_ACS_STAT：0516h）のビット0
- MIIマネージメントPDIアクセス・ステート・レジスタ（MII_PDI_ACS_STAT：0517h）のビット1が0

30.15　FMMU 設定レジスタ

30.15.1　FMMU ロジカル・スタート・アドレス・レジスタ m（FMMUm_L_START_ADR）

FMMU の対象となる EtherCAT アドレス空間の論理スタートアドレスを設定します。

アドレス
A00D 0600h：FMMU0_L_START_ADR
A00D 0610h：FMMU1_L_START_ADR
A00D 0620h：FMMU2_L_START_ADR
A00D 0630h：FMMU3_L_START_ADR
A00D 0640h：FMMU4_L_START_ADR
A00D 0650h：FMMU5_L_START_ADR
A00D 0660h：FMMU6_L_START_ADR
A00D 0670h：FMMU7_L_START_ADR

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LSTAADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LSTAADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	LSTAADR	論理スタートアドレス設定ビット	EtherCATアドレス空間における論理アドレスの始点を設定します。	R	R/W

m = 0-7

30.15.2　FMMU 長・レジスタ m（FMMUm_LEN）

FMMU の対象となるエリアのサイズをバイトで指定します。

アドレス
A00D 0604h：FMMU0_LEN
A00D 0614h：FMMU1_LEN
A00D 0624h：FMMU2_LEN
A00D 0634h：FMMU3_LEN
A00D 0644h：FMMU4_LEN
A00D 0654h：FMMU5_LEN
A00D 0664h：FMMU6_LEN
A00D 0674h：FMMU7_LEN

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FMMULEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	FMMULEN	エリアサイズ指定ビット	エリアのサイズをバイト単位で設定します。 FMMUで設定する論理アドレスの終点 − FMMUで設定する論理アドレスの始点 ＋ 1	R	R/W

m = 0-7

30.15.3　FMMU ロジカル・スタート・ビット・レジスタ m（FMMUm_L_START_BIT）

FMMU の対象となる論理スタートアドレスにおけるスタートビットを設定します。

アドレス
A00D 0606h：FMMU0_L_START_BIT
A00D 0616h：FMMU1_L_START_BIT
A00D 0626h：FMMU2_L_START_BIT
A00D 0636h：FMMU3_L_START_BIT
A00D 0646h：FMMU4_L_START_BIT
A00D 0656h：FMMU5_L_START_BIT
A00D 0666h：FMMU6_L_START_BIT
A00D 0676h：FMMU7_L_START_BIT

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LSTABIT		
リセット後の値	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b2-b0	LSTABIT	スタートビット設定ビット	FMMUの対象となる論理スタートアドレスにおけるスタートビットを設定します。	R	R/W
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

30.15.4　FMMU ロジカル・ストップ・ビット・レジスタ m（FMMUm_L_STOP_BIT）

FMMU の対象となる論理最終アドレスにおける最終ビットを設定します。

アドレス
A00D 0607h：FMMU0_L_STOP_BIT
A00D 0617h：FMMU1_L_STOP_BIT
A00D 0627h：FMMU2_L_STOP_BIT
A00D 0637h：FMMU3_L_STOP_BIT
A00D 0647h：FMMU4_L_STOP_BIT
A00D 0657h：FMMU5_L_STOP_BIT
A00D 0667h：FMMU6_L_STOP_BIT
A00D 0677h：FMMU7_L_STOP_BIT

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LSTPBIT		
リセット後の値	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b2-b0	LSTPBIT	最終ビット設定ビット	FMMUの対象となる論理最終アドレスにおける最終ビットを設定します。	R	R/W
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

30.15.5　FMMU フィジカル・スタート・アドレス・レジスタ m（FMMUm_P_START_ADR）

FMMU の論理スタートアドレスにマッピングされる ESC の物理スタートアドレスを設定します。

アドレス
A00D 0608h：FMMU0_P_START_ADR
A00D 0618h：FMMU1_P_START_ADR
A00D 0628h：FMMU2_P_START_ADR
A00D 0638h：FMMU3_P_START_ADR
A00D 0648h：FMMU4_P_START_ADR
A00D 0658h：FMMU5_P_START_ADR
A00D 0668h：FMMU6_P_START_ADR
A00D 0678h：FMMU7_P_START_ADR

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PHYSTAADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	PHYSTAADR	物理スタートアドレス設定ビット	論理スタートアドレスにマッピングされる物理スタートアドレスを設定します。ベースアドレス（A00D 0000h）に対するオフセットで設定します。	R	R/W

m = 0-7

30.15.6　FMMU フィジカル・スタート・ビット・レジスタ m（FMMUm_P_START_BIT）

FMMU の論理スタートアドレスのスタートビットにマッピングされる ESC の物理スタートアドレスのスタートビットを設定します。

アドレス
A00D 060Ah：FMMU0_P_START_BIT
A00D 061Ah：FMMU1_P_START_BIT
A00D 062Ah：FMMU2_P_START_BIT
A00D 063Ah：FMMU3_P_START_BIT
A00D 064Ah：FMMU4_P_START_BIT
A00D 065Ah：FMMU5_P_START_BIT
A00D 066Ah：FMMU6_P_START_BIT
A00D 067Ah：FMMU7_P_START_BIT

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PHYSTABIT		
リセット後の値	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b2-b0	PHYSTABIT	物理スタートビット設定ビット	論理スタートアドレスのスタートビットにマッピングされる物理スタートアドレスのスタートビットを設定します。	R	R/W
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

30.15.7　FMMU タイプ・レジスタ m（FMMUm_TYPE）

FMMU のアクセスタイプを設定します。

アドレス
A00D 060Bh：FMMU0_TYPE
A00D 061Bh：FMMU1_TYPE
A00D 062Bh：FMMU2_TYPE
A00D 063Bh：FMMU3_TYPE
A00D 064Bh：FMMU4_TYPE
A00D 065Bh：FMMU5_TYPE
A00D 066Bh：FMMU6_TYPE
A00D 067Bh：FMMU7_TYPE

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	WRITE	READ
リセット後の値	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	READ	リードアクセスの マッピング設定ビット	リードアクセスに対するマッピングを設定します。 0：無効 1：有効	R	R/W
b1	WRITE	ライトアクセスの マッピング設定ビット	ライトアクセスに対するマッピングを設定します。 0：無効 1：有効	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

30.15.8　FMMU アクティベイト・レジスタ m（FMMUm_ACT）

FMMU の有効／無効を設定します。

アドレス
A00D 060Ch：FMMU0_ACT
A00D 061Ch：FMMU1_ACT
A00D 062Ch：FMMU2_ACT
A00D 063Ch：FMMU3_ACT
A00D 064Ch：FMMU4_ACT
A00D 065Ch：FMMU5_ACT
A00D 066Ch：FMMU6_ACT
A00D 067Ch：FMMU7_ACT

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ACTIVATE
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ACTIVATE	FMMUの有効／無効設定 ビット	FMMUの有効／無効を設定します。 0：無効 1：有効	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

30.16　SyncManager 設定レジスタ

30.16.1　SyncManager フィジカル・スタート・アドレス・レジスタ m（SMm_P_START_ADR）

SyncManager に割り当てるエリアの物理スタートアドレスを設定します。

アドレス
A00D 0800h：SM0_P_START_ADR
A00D 0808h：SM1_P_START_ADR
A00D 0810h：SM2_P_START_ADR
A00D 0818h：SM3_P_START_ADR
A00D 0820h：SM4_P_START_ADR
A00D 0828h：SM5_P_START_ADR
A00D 0830h：SM6_P_START_ADR
A00D 0838h：SM7_P_START_ADR

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SMSTAADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	SMSTAADDR	物理スタートアドレス設定ビット	SyncManagerに割り当てるエリアの物理スタートアドレスを設定します。	R	R/(W)

m = 0-7

SyncManager が無効の時（SyncManager アクティベイト・レジスタ m（SMm_ACT：0806h+8*m）のビット 0 が 0）のみ、本レジスタにライトすることができます。

30.16.2　SyncManager 長・レジスタ m（SMm_LEN）

SyncManager に割り当てるエリアのサイズをバイトで設定します。

アドレス
A00D 0802h：SM0_LEN
A00D 080Ah：SM1_LEN
A00D 0812h：SM2_LEN
A00D 081Ah：SM3_LEN
A00D 0822h：SM4_LEN
A00D 082Ah：SM5_LEN
A00D 0832h：SM6_LEN
A00D 083Ah：SM7_LEN

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SMLEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	SMLEN	エリアサイズ設定ビット	SyncManagerに割り当てるバイト数を設定します。1より大きな値を設定してください。そうでなければ、SyncManagerは有効になりません。	R	R/(W)

m = 0-7

SyncManager が無効の時（SyncManager アクティベイト・レジスタ m（SMm_ACT：0806h+8*m）のビット 0 が 0）のみ、本レジスタにライトすることができます。

30.16.3　SyncManager コントロール・レジスタ m（SMm_CONTROL）

SyncManager の動作を設定します。

アドレス
A00D 0804h：SM0_CONTROL
A00D 080Ch：SM1_CONTROL
A00D 0814h：SM2_CONTROL
A00D 081Ch：SM3_CONTROL
A00D 0824h：SM4_CONTROL
A00D 082Ch：SM5_CONTROL
A00D 0834h：SM6_CONTROL
A00D 083Ch：SM7_CONTROL

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WDTRGEN	IRQPDI	IRQECAT	DIR		OPEMODE	
リセット後の値	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	OPEMODE	動作モード設定ビット	動作モード 00：バッファモード（3バッファモード） 10：メールボックス・モード（シングルバッファモード） その他：リザーブ	R	R/(W)
b3-b2	DIR	転送方向設定ビット	転送方向 00：リード（ECAT：リードアクセス、PDI：ライトアクセス） 01：ライト（ECAT：ライトアクセス、PDI：リードアクセス） その他：リザーブ	R	R/(W)
b4	IRQECAT	ECATイベント割り込み設定ビット	ECATイベント・リクエスト・レジスタ（ECAT_EVENT_REQ：0210h）による割り込み（ECAT割り込み）の設定 0：無効 1：有効	R	R/(W)
b5	IRQPDI	ALイベント割り込み設定ビット	ALイベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）による割り込み（PDI割り込み）の設定 0：無効 1：有効	R	R/(W)
b6	WDTRGEN	ウォッチドッグトリガ設定ビット	ウォッチドッグトリガの設定 0：無効 1：有効	R	R/(W)
b7	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

SyncManager が無効の時（SyncManager アクティベイト・レジスタ m（SMm_ACT：0806h+8*m）のビット 0 が 0）のみ、本レジスタにライトすることができます。

30.16.4　SyncManager ステータス・レジスタ m（SMm_STATUS）

SyncManager の状態を示します。

アドレス
A00D 0805h：SM0_STATUS
A00D 080Dh：SM1_STATUS
A00D 0815h：SM2_STATUS
A00D 081Dh：SM3_STATUS
A00D 0825h：SM4_STATUS
A00D 082Dh：SM5_STATUS
A00D 0835h：SM6_STATUS
A00D 083Dh：SM7_STATUS

	b7	b6	b5	b4	b3	b2	b1	b0
	WRBUF	RDBUF	BUFFERED		MAILBOX	—	INTRD	INTWR
リセット後の値	0	0	1	1	0	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	INTWR	ライト完了割り込み状態表示ビット	ライト完了割り込みを示します。 0：バッファの先頭バイトがリードされたことを示します（割り込みはクリアされます）。 1：バッファのライトがエラー無く完了したことを示します。	R	R
b1	INTRD	リード完了割り込み状態表示ビット	リード完了割り込みを示します。 0：バッファの先頭バイトがライトされたことを示します（割り込みはクリアされます）。 1：バッファのリードがエラー無く完了したことを示します。	R	R
b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b3	MAILBOX	メールボックス状態表示ビット	メールボックス・モードにおけるメールボックスの状態を示します。 0：メールボックス空 1：メールボックスフル バッファモード時は未使用	R	R
b5-b4	BUFFERED	バッファ状態表示ビット	バッファモードにおけるバッファの状態を示します（最後にライトしたバッファを示します） 00：1番目のバッファ 01：2番目のバッファ 10：3番目のバッファ 11：バッファはライトされていません。 メールボックス・モード時は未使用	R	R
b6	RDBUF	リード状態表示ビット	バッファがリード中であることを示します。	R	R
b7	WRBUF	ライト状態表示ビット	バッファがライト中であることを示します。	R	R

m = 0-7

30.16.5　SyncManager アクティベイト・レジスタ m（SMm_ACT）

SyncManager の動作を設定します。

アドレス
A00D 0806h：SM0_ACT
A00D 080Eh：SM1_ACT
A00D 0816h：SM2_ACT
A00D 081Eh：SM3_ACT
A00D 0826h：SM4_ACT
A00D 082Eh：SM5_ACT
A00D 0836h：SM6_ACT
A00D 083Eh：SM7_ACT

	b7	b6	b5	b4	b3	b2	b1	b0
	LATCH PDI	LATCH ECAT	—	—	—	—	REPEA TREQ	SMEN
リセット後の値	0	0	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SMEN	SyncManager有効／無効設定ビット	SyncManagerの有効／無効設定 0：無効。SyncManagerのコントロールなしでメモリへアクセスします。 1：有効。SyncManagerは有効となり、コンフィギュレーションで設定されたメモリ領域をコントロールします。	R(ack)	R/W
b1	REPEATREQ	リピートリクエストビット	リピートリクエスト リピートリクエストのトグルは、メールボックス再試行が必要であることを意味します（主にECATリードメールボックスと組み合わせて使用）。	R(ack)	R/W
b5-b2	—	予約ビット	読み出した場合は不定値が読めます。	R(ack)	R
b6	LATCHECAT	ECATのラッチイベント指定ビット	ECATにおけるラッチイベント 0：なし 1：EtherCATマスターがバッファの交換を行うと、ラッチイベントを生成します。	R(ack)	R/W
b7	LATCHPDI	PDIのラッチイベント指定ビット	PDIにおけるラッチイベント 0：なし 1：PDIがバッファーの交換を行うか、バッファのスタートアドレスをアクセスすることで、ラッチイベントを生成します。	R(ack)	R/W

m = 0 ～ 7

アクティベーションを変更したすべての SyncManager で PDI から本レジスタをリードすると、AL イベント・リクエスト・レジスタ（AL_EVENT_REQ：0220h）のビット 4 はクリアされます。

30.16.6　SyncManager PDI コントロール・レジスタ m（SMm_PDI_CONT）

PDI から SyncManager の動作を設定します。

アドレス
A00D 0807h：SM0_PDI_CONT
A00D 080Fh：SM1_PDI_CONT
A00D 0817h：SM2_PDI_CONT
A00D 081Fh：SM3_PDI_CONT
A00D 0827h：SM4_PDI_CONT
A00D 082Fh：SM5_PDI_CONT
A00D 0837h：SM6_PDI_CONT
A00D 083Fh：SM7_PDI_CONT

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	REPEATACK	DEACTIVE
リセット後の値	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	DEACTIVE	SyncManager動作表示／設定ビット	SyncManagerを非アクティブにします: リード： 0：通常動作。SyncManagerは有効です。 1：SyncManagerは無効になり、リセットされています。SyncManagerはメモリ領域へのアクセスをロックします。 ライト： 0：SyncManagerを有効にします。 1：SyncManagerの無効にします。 注.　1をライトする場合、現在処理されているフレームが通過した後に行われます。	R/W	R
b1	REPEATACK	リピートアクノリッジビット	リピートアクノリッジ 本ビットがSyncManagerアクティベイト・レジスタ（SMm_ACT：0806h+8*m）のビット1（リピートリクエスト）と同じ値が設定されている場合、PDIはリピートリクエストをアクノリッジします。	R/W	R
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

30.17　分散クロック設定レジスタ

30.17.1　　DC レシーブ・タイム設定レジスタ

30.17.1.1　　レシーブ・タイム・ポート 0 レジスタ（DC_RCV_TIME_PORT0）

本レジスタへのライトにより、すべてのポートでフレームの受信時刻をラッチします。本レジスタをリードすると、ポート 0 でラッチされたフレームの受信時刻を示します。

アドレス　A00D 0900h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RCVTIME0															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVTIME0															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	RCVTIME0	受信時刻表示／ラッチビット	ライト： 本レジスタへBWR、APWR（任意のアドレス）、FPWR（指定アドレス）コマンドでライトすると、各ポートでフレームの受信を開始したとき（プリアンブルの最初のスタートビット）のローカル時刻をラッチします。 リード： 本レジスタへのライトアクセスを含む直近のフレームの受信を開始したときのローカル時刻を示します。 注．　本レジスタへのライト命令が含まれたフレームと同じフレームでタイムスタンプをリードすることはできません。	R	R/W

30.17.1.2　レシーブ・タイム・ポート 1 レジスタ（DC_RCV_TIME_PORT1）

ポート 1 でラッチされたフレームの受信時刻を示します。

アドレス　A00D 0904h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RCVTIME1															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVTIME1															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	RCVTIME1	受信時刻表示ビット	レシーブ・タイム・ポート0レジスタ（DC_RCV_TIME_PORT0：0900h）へのBWR, APWR, FPWRコマンドを含むフレームがポート1で受信を開始したとき（プリアンブルの最初のスタートビット）のローカル時刻を示します。	R	R

30.17.2　タイム・ループ・コントロール・ユニット設定レジスタ

30.17.2.1　システム・タイム・レジスタ（DC_SYS_TIME）

システム時刻のローカルコピーを示します。

アドレス　A00D 0910h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ECATからのアクセス リード： フレームがリファレンス・クロックを通過したときのシステム時刻のローカルコピーを示します。伝搬遅延も考慮されています。フレームの始まり（SOF）でラッチされた時刻を示します。 ライト： ライトされた値は、システム時刻のローカルコピーと比較され、その結果がタイム・コントロール・ループ・ユニットに入力されます。	R	R/W
			PDIからのアクセス リード： システム時刻のローカルコピーを示します。本レジスタの最初のバイトを読んだ時にラッチされた時刻を示します。	R	R

30.17.2.2　レシーブ・タイム ECAT プロセッシング・ユニット・レジスタ（DC_RCV_TIME_UNIT）

EtherCAT プロセッシング・ユニットでラッチされたフレームの受信時刻を示します。

アドレス　A00D 0918h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	RCVTIMEEPU															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	RCVTIMEEPU															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RCVTIMEEPU															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVTIMEEPU															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	RCVTIMEEPU	受信時刻表示ビット	レシーブ・タイム・ポート0レジスタ（DC_RCV_TIME_PORT0：0900h）へのライトアクセスを含むフレームがEtherCATプロセッシング・ユニットで受信を開始したとき（プリアンブルの最初のスタートビット）のローカル時刻を示します。	R	R

ポート 0 がオープンであれば、本レジスタはレシーブ・タイム・ポート 0 レジスタ（DC_RCV_TIME_PORT0：0900h）を 64 ビットで表したものになります。

30.17.2.3　システム・タイム・オフセット・レジスタ（DC_SYS_TIME_OFFSET）

システム時刻とローカル時刻の間の時刻の差分（オフセット）を示します。

アドレス　A00D 0920h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIMOFST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIMOFST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIMOFST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

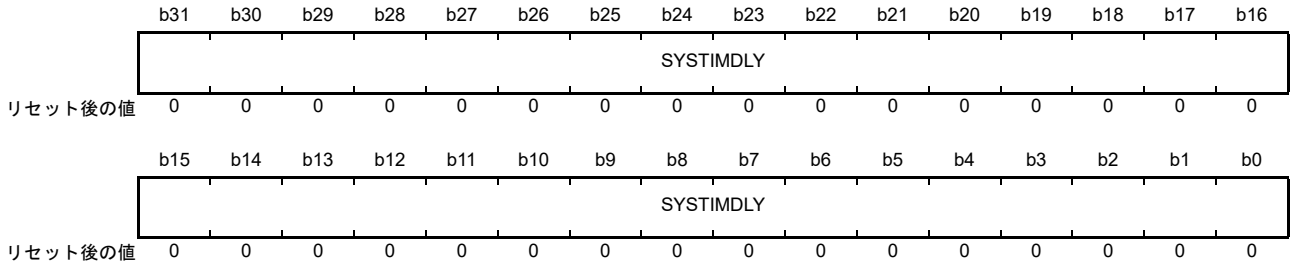
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIMOFST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIMOFST	システム時刻－ローカル時刻差分表示ビット	システム時刻とローカル時刻の間の時刻の差分を示します。この値がローカルタイムに加算されてローカルでのシステム時刻となります。	R	R/W

30.17.2.4　システム・タイム・ディレイ・レジスタ（DC_SYS_TIME_DELAY）

リファレンスクロックとスレーブ（ESC）間の伝搬遅延を示します。

アドレス　A00D 0928h

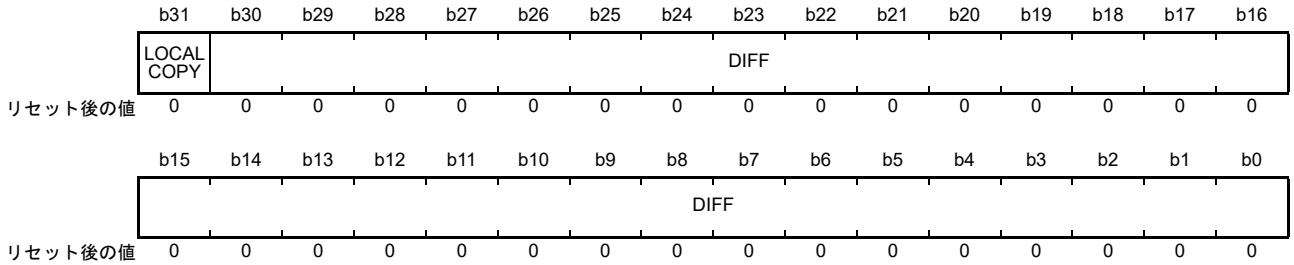


ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	SYSTIMDLY	伝搬遅延表示ビット	リファレンスクロックとESCの間の伝搬遅延を示します。	R	R/W

30.17.2.5　システム・タイム・ディフ・レジスタ（DC_SYS_TIME_DIFF）

システム時刻のローカルコピーと受信したシステム時刻の間の差分の平均を示します。

アドレス　A00D 092Ch



ビット	シンボル	ビット名	機能	PDI	ECAT
b30-b0	DIFF	システム時刻の平均値表示ビット	システム時刻のローカルコピーと受信したシステム時刻の間の差分への平均値を示します。	R	R
b31	LOCALCOPY	システム時刻の大小関係表示ビット	システム時刻のローカルコピーと受信したシステムコピーの値の大小関係を示します。 0：システム時刻のローカルコピー ≧ 受信したシステム時刻 1：システム時刻のローカルコピー ＜ 受信したシステム時刻	R	R

30.17.2.6　スピード・カウンタ・スタート・レジスタ（DC_SPEED_COUNT_START）

システム時刻のローカルコピーのドリフト補正のバンド幅を設定します。

アドレス　A00D 0930h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPDCNTSTRT														
リセット後の値	x	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b14-b0	SPDCNTSTRT	ドリフト補正バンド幅設定ビット	システム時刻のローカルコピーを調整するために使用されるバンド幅を設定します。（大きな値を設定すると、バンド幅は小さくなり、スムーズに調整ができます。） ライトアクセスにより、システムタイム・ディフ・レジスタ（DC_SYS_TIME_DIFF：092Ch）とスピード・カウンタ・ディフ・レジスタ（DC_SPEED_COUNT_DIFF：0932h）がリセットされます。 有効な値の範囲は0080h～3FFFhです。	R	R/W
b15	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

30.17.2.7　スピード・カウンタ・ディフ・レジスタ（DC_SPEED_COUNT_DIFF）

ローカルクロックの周期とリファレンスクロックのクロック周期の偏差を示します。

アドレス　A00D 0932h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPDCNTDIFF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	SPDCNTDIFF	クロック周期の偏差表示ビット	ローカルクロックの周期とリファレンスクロックのクロック周期の偏差を示します。2の補数で表されます。 範囲：±（スピード・カウント・スタートの値 – 7Fh）	R	R

30.17.2.8　システム・タイム・ディフ・フィルタ深さレジスタ（DC_SYS_TIME_DIFF_FIL_DEPTH）

受信したシステム・タイムの偏差を平均化するためのフィルタの深さを設定します。

アドレス　A00D 0934h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SYSTIMDEP			
リセット後の値	x	x	x	x	0	1	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	SYSTIMDEP	フィルタ深さ設定ビット	受信したシステム・タイムの偏差を平均化するためのフィルタの深さを設定します。 ライトアクセスにより、システムタイム・ディフ・レジスタ（DC_SYS_TIME_DIFF：092Ch）がリセットされます。	R	R/W
b7-b4	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

30.17.2.9　スピード・カウンタ・フィルタ深さレジスタ（DC_SPEED_COUNT_FIL_DEPTH）

クロック周期の偏差を平均化するためのフィルタの深さを設定します。

アドレス　A00D 0935h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CLKPERDEP			
リセット後の値	x	x	x	x	1	1	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	CLKPERDEP	フィルタ深さ設定ビット	クロック周期の偏差を平均化するためのフィルタの深さを設定します。 ライトアクセスにより、内部スピード・カウンタ・フィルタがリセットされます。	R	R/W
b7-b4	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

30.17.3　サイクリック・ユニット・コントロール設定レジスタ

30.17.3.1　サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT）

SYNC、ラッチユニットを ECAT/PDI のどちらでコントロールするかを設定します。

アドレス　A00D 0980h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LATCH1	LATCH0	—	—	—	SYNCOUT
リセット後の値	x	x	0	0	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNCOUT	SYNC出力ユニットのコントロール設定ビット	SYNC出力ユニットのコントロールを設定します。 0：ECATコントロール 1：PDIコントロール	R	R/W
b3-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b4	LATCH0	ラッチ入力ユニット0のコントロール設定ビット	ラッチ入力ユニット0のコントロールを設定します。 0：ECATコントロール 1：PDIコントロール 注.　ラッチ割り込みは、この設定に応じてECAT/PDIに伝えられます。	R	R/W
b5	LATCH1	ラッチ入力ユニット1のコントロール設定ビット	ラッチ入力ユニット1のコントロールを設定します。 0：ECATコントロール 1：PDIコントロール 注.　ラッチ割り込みは、この設定に応じてECAT/PDIに伝えられます。	R	R/W
b7-b6	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.17.4　SYNC 出力ユニット設定レジスタ

30.17.4.1　アクティベーション・レジスタ（DC_ACT）

SYNC 出力の有効／無効の設定を行います。

アドレス　A00D 0981h

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGPULSE	NEARFUTURE	STARTTIME	EXTSTARTTIME	AUTOACT	SYNC1	SYNC0	SYNCACT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNCACT	Sync出力ユニット有効／無効設定ビット	Sync出力ユニットの有効／無効を設定します。 0：無効 1：有効 注.　スタートタイムをライトした後に1をライトしてください。	R/(W)	R/(W)
b1	SYNC0	SYNC0出力設定ビット	SYNC0出力の使用を設定します。 0：未使用 1：SYNC0パルス出力を生成します。	R/(W)	R/(W)
b2	SYNC1	SYNC1出力設定ビット	SYNC1出力の使用を設定します。 0：未使用 1：SYNC1パルス出力を生成します。	R/(W)	R/(W)
b3	AUTOACT	SYNC出力ユニット有効／無効設定ビット	スタート・タイム・サイクリック・オペレーション・レジスタ（DC_CYC_START_TIME：0990h）にライトすることで自動的にSYNC出力ユニットを有効にするかどうかを設定します。 0：無効 1：有効。スタートタイムをライトした後に自動的に本レジスタのビット0に1が設定されます。	R/(W)	R/(W)
b4	EXTSTARTTIME	スタートタイムサイクリックオペレーション拡張設定ビット	スタート・タイム・サイクリック・オペレーションを拡張させます。 0：拡張なし 1：32 bitでライトされたスタートタイムを64 bitに拡張します。	R/(W)	R/(W)
b5	STARTTIME	スタートタイムの妥当性チェックビット	スタートタイムの妥当性をチェックします。 0：無効。スタートタイムに到達した場合、Sync信号を生成します。 1：スタートタイムがニア・フューチャーの範囲外の場合、すぐにSync信号を生成します。	R/(W)	R/(W)
b6	NEARFUTURE	ニアフューチャー範囲設定ビット	ニア・フューチャーの範囲を設定します。 0：2^{63} nsの範囲（DCのビット幅の半分） 1：2^{31} nsの範囲（約2.1秒）	R/(W)	R/(W)
b7	DBGPULSE	デバッグパルス設定ビット	SYNC信号デバッグパルスを発生します。 0：無効 1：本レジスタのビット2と1の設定に応じて、即時にSYNC0とSYNC1端子にシングルデバッグピングを生成します。 このビットはセルフクリアで、リードは常に0です。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 0 の設定により決まります。

30.17.4.2　SYNC 信号パルス長レジスタ（DC_PULSE_LEN）

SYNC 信号のパルス長を示します。

アドレス　A00D 0982h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PULSELEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	PULSELEN	SYNC信号のパルス長表示ビット	SYNC信号のパルス長を示します（10ns単位）。 0はアクノリッジ・モードです。アクノリッジ・モードではSYNC0/SYNC1ステータス・レジスタ（DC_SYNC0/1_STAT：098Eh：098Fh）をリードすることでSYNC信号はクリアされます。	R	R

30.17.4.3　アクティベーション・ステータス・レジスタ（DC_ACT_STAT）

SYNC 出力のアクティベーションの状態を示します。

アドレス　A00D 0984h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	START TIME	SYNC1 ACT	SYNC0 ACT
リセット後の値	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNC0ACT	SYNC0の状態表示ビット	SYNC0のアクティベーションの状態を示します。 0：最初のSYNC0パルスはペンディングしていない。 1：最初のSYNC0パルスはペンディングしている。	R	R
b1	SYNC1ACT	SYNC1の状態表示ビット	SYNC1のアクティベーションの状態を示します。 0：最初のSYNC1パルスはペンディングしていない。 1：最初のSYNC1パルスはペンディングしている。	R	R
b2	STARTTIME	妥当性結果表示ビット	SYNC出力ユニットが有効の時、スタートタイム・サイクリック・オペレーション・レジスタ（DC_CYC_START_TIME：0990h）の妥当性チェックの結果を示します。 0：スタートタイムはニア・フューチャーの範囲内 1：スタートタイムはニア・フューチャーの範囲外	R	R
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.17.4.4　SYNC0 ステータス・レジスタ（DC_SYNC0_STAT）

SYNC0 出力のステータスを示します。アクノリッジ・モードで使用されます。

アドレス　A00D 098Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SYNC0 STA
リセット後の値	x	x	x	x	x	x	x	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNC0STA	SYNC0状態表示ビット	アクノリッジ・モード用のSYNC0の状態を示します。 アクノリッジ・モードでPDIから本レジスタをリードすることにより、SYNC0はクリアされます。アクノリッジ・モードでのみ使用します。	R(ack)	R
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.17.4.5　SYNC1 ステータス・レジスタ（DC_SYNC1_STAT）

SYNC1 出力のステータスを示します。アクノリッジ・モードで使用されます。

アドレス　A00D 098Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SYNC1 STA
リセット後の値	x	x	x	x	x	x	x	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNC1STA	SYNC1状態表示ビット	アクノリッジ・モード用のSYNC1の状態を示します。 アクノリッジ・モードでPDIから本レジスタをリードすることにより、SYNC1はクリアされます。アクノリッジ・モードでのみ使用します。	R(ack)	R
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.17.4.6　スタート・タイム・サイクリック・オペレーション／ネクスト SYNC0 パルス・レジスタ（DC_CYC_START_TIME）

ライトでサイクル動作のスタート時刻を設定します。リードで次の SYNC0 パルスのシステム時刻を示します。

アドレス　A00D 0990h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	STATIM	スタート時刻設定／ システム時刻表示ビット	ライト： サイクリック動作のスタートタイム（システム時刻において）をnsの単位で設定します。 リード： 次のSYNC0パルスのシステム時刻をnsの単位で示します。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 0 の設定により決まります。SYNC アクティベーション・レジスタ（DC_ACT：0981h）のビット 0 が 0 の場合のみライト可能です。

オートアクティベーションが有効である場合、一つのフレーム内に下位 32 ビットのみライトされていれば、上位 32 ビットも自動的に拡張されます。

30.17.4.7　ネクスト SYNC1 パルス・レジスタ（DC_NEXT_SYNC1_PULSE）

次の SYNC1 パルスのシステム時刻を示します。

アドレス　A00D 0998h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYNC1PULSE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYNC1PULSE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYNC1PULSE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC1PULSE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYNC1PULSE	SYNC1パルスのシステム時刻表示ビット	次のSYNC1パルスのシステム時刻をnsの単位で示します。	R	R

30.17.4.8　SYNC0 サイクル・タイム・レジスタ（DC_SYNC0_CYC_TIME）

連続する SYNC0 パルス間の時間を設定します。

アドレス　A00D 09A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYNC0CYC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC0CYC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	SYNC0CYC	連続するSYNC0パルス間の時間設定ビット	2つの連続するSYNC0パルス間の時間をns単位で設定します。 0の場合はシングルショットモードです。シングルショットモードではSYNC0パルスを1度だけ生成します。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 0 の設定により決まります。

30.17.4.9　SYNC1 サイクル・タイム・レジスタ（DC_SYNC1_CYC_TIME）

SYNC1 パルスと SYNC0 パルス間の時間を設定します。

アドレス　A00D 09A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYNC1CYC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC1CYC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	SYNC1CYC	SYNC1パルスとSYNC0パルス間の時間設定ビット	SYNC1パルスとSYNC0パルス間の時間をns単位で設定します。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 0 の設定により決まります。

30.17.5　Latch 入力ユニット設定レジスタ

30.17.5.1　ラッチ 0 コントロール・レジスタ（DC_LATCH0_CONT）

ラッチ 0 入力のエッジの機能を設定します。

アドレス　A00D 09A8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NEGEDGE	POSEDGE
リセット後の値	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	POSEDGE	ラッチ0ポジティブエッジの機能設定ビット	ラッチ0のポジティブエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ）	R/(W)	R/(W)
b1	NEGEDGE	ラッチ0ネガティブエッジの機能設定ビット	ラッチ0のネガティブエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ）	R/(W)	R/(W)
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R/(W)	R

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 4 の設定により決まります。

30.17.5.2　ラッチ 1 コントロール・レジスタ（DC_LATCH1_CONT）

ラッチ 1 入力のエッジの機能を設定します。

アドレス　A00D 09A9h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NEGEDGE	POSEDGE
リセット後の値	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	POSEDGE	ラッチ1ポジティブエッジの機能設定ビット	ラッチ1のポジティブエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ）	R/(W)	R/(W)
b1	NEGEDGE	ラッチ1ネガティブエッジの機能設定ビット	ラッチ1のネガティブエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ）	R/(W)	R/(W)
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R/(W)	R

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 5 の設定により決まります。

30.17.5.3　ラッチ 0 ステータス・レジスタ（DC_LATCH0_STAT）

ラッチ 0 入力の状態を示します。

アドレス　A00D 09AEh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PINSTATE	EVENTNEG	EVENTPOS
リセット後の値	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	EVENTPOS	ラッチ0ポジティブエッジのイベント表示ビット	ラッチ0入力のポジティブエッジのイベントを示します。 0：ポジティブエッジが検出されない、あるいは連続モード。 1：ポジティブエッジはシングルイベントモードのみ検出。 ラッチ0タイム・ポジティブ・エッジ・レジスタ（DC_LATCH0_TIME_POS：09B0h）をリードすることでフラグはクリアされます。	R	R
b1	EVENTNEG	ラッチ0ネガティブエッジのイベント表示ビット	ラッチ0入力のネガティブエッジのイベントを示します。 0：ネガティブエッジが検出されない、あるいは連続モード。 1：ネガティブエッジはシングルイベントモードのみ検出。 ラッチ0タイム・ネガティブ・エッジ・レジスタ（DC_LATCH0_TIME_NEG：09B8h）をリードすることでフラグはクリアされます。	R	R
b2	PINSTATE	ラッチ0入力端子状態表示ビット	ラッチ0入力端子の状態を示します。	R	R
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.17.5.4　ラッチ 1 ステータス・レジスタ（DC_LATCH1_STAT）

ラッチ 1 入力の状態を示します。

アドレス　A00D 09AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PINSTATE	EVENTNEG	EVENTPOS
リセット後の値	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	EVENTPOS	ラッチ1ポジティブエッジのイベント表示ビット	ラッチ1入力のポジティブエッジのイベントを示します。 0：ポジティブエッジが検出されない、あるいは連続モード。 1：ポジティブエッジはシングルイベントモードのみ検出。 ラッチ1タイム・ポジティブ・エッジ・レジスタ（DC_LATCH1_TIME_POS：09C0h）をリードすることでフラグはクリアされます。	R	R
b1	EVENTNEG	ラッチ1ネガティブエッジのイベント表示ビット	ラッチ1入力のネガティブエッジのイベントを示します。 0：ネガティブエッジが検出されない、あるいは連続モード。 1：ネガティブエッジはシングルイベントモードのみ検出。 ラッチ1タイム・ネガティブ・エッジ・レジスタ（DC_LATCH1_TIME_NEG：09C8h）をリードすることでフラグはクリアされます。	R	R
b2	PINSTATE	ラッチ1入力端子状態表示ビット	ラッチ1入力端子の状態を示します。	R	R
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.17.5.5　ラッチ 0 タイム・ポジティブ・エッジ・レジスタ（DC_LATCH0_TIME_POS）

ラッチ 0 入力端子のポジティブエッジで取得されるシステム時刻を示します。

アドレス　A00D 09B0h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ0入力端子のポジティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ0ステータス・レジスタ（DC_LATCH0_STAT：09AEh）のビット0をクリアします。	R(ack)	R(ack)

ビット 7-0 がリードされる時、ビット 63-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

ラッチ 0 ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 4 の設定により決まります。

30.17.5.6　ラッチ 0 タイム・ネガティブ・エッジ・レジスタ（DC_LATCH0_TIME_NEG）

ラッチ 0 入力端子のネガティブエッジで取得されるシステム時刻を示します。

アドレス　A00D 09B8h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ0入力端子のネガティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ0ステータス・レジスタ（DC_LATCH0_STAT：09AEh）のビット1をクリアします。	R(ack)	R(ack)

ビット 7-0 がリードされる時、ビット 63-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

ラッチ 0 ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 4 の設定により決まります。

30.17.5.7　ラッチ 1 タイム・ポジティブ・エッジ・レジスタ（DC_LATCH1_TIME_POS）

ラッチ 1 入力端子のポジティブエッジで取得されるシステム時刻を示します。

アドレス　A00D 09C0h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ1入力端子のポジティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ1ステータス・レジスタ（DC_LATCH1_STAT：09AFh）のビット0をクリアします。	R(ack)	R(ack)

ビット 7-0 がリードされる時、ビット 63-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

ラッチ 1 ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 5 の設定により決まります。

30.17.5.8　ラッチ 1 タイム・ネガティブ・エッジ・レジスタ（DC_LATCH1_TIME_NEG）

ラッチ 1 入力端子のネガティブエッジで取得されるシステム時刻を示します。

アドレス　A00D 09C8h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ1入力端子のネガティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ1ステータス・レジスタ（DC_LATCH1_STAT：09AFh）のビット1をクリアします。	R(ack)	R(ack)

ビット 7-0 がリードされる時、ビット 63-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

ラッチ 1 ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT：0980h）のビット 5 の設定により決まります。

30.17.6　SyncManager イベント・タイム設定レジスタ

30.17.6.1　EtherCAT バッファ・チェンジ・イベント・タイム・レジスタ（DC_ECAT_CNG_EV_TIME）

SyncManager による ECAT イベント（バッファの交換）を引き起こすフレームを受信開始したローカルの時刻を示します。

アドレス　A00D 09F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECATCHANGE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECATCHANGE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	ECATCHANGE	ローカル時刻表示ビット	一つ以上のSyncManagerによって、ECATイベント（バッファの交換）を引き起こすフレームを受信開始したローカルの時刻を示します。	R	R

ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

30.17.6.2　PDI バッファ・スタート・イベント・タイム・レジスタ（DC_PDI_START_EV_TIME）

SyncManager による PDI イベント（バッファのスタートアドレスへのアクセス）が発生したときのローカル時刻を示します。

アドレス　A00D 09F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PDISTART															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDISTART															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	PDISTART	ローカル時刻表示ビット	一つ以上のSyncManagerによって、PDIイベント（バッファのスタートアドレスへのアクセス）が発生したときのローカル時刻を示します。	R	R

ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

30.17.6.3　PDI バッファ・チェンジ・イベント・タイム・レジスタ（DC_PDI_CNG_EV_TIME）

SyncManager による PDI イベント（バッファの交換）が発生したときのローカル時刻を示します。

アドレス　A00D 09FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PDICHANGE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDICHANGE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	PDICHANGE	ローカル時刻表示ビット	一つ以上のSyncManagerによって、PDIイベント（バッファの交換）が発生したときのローカル時刻を示します。	R	R

ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

30.18　その他のレジスタ

30.18.1　プロダクト ID レジスタ（PRODUCT_ID）

プロダクト ID を示します。

アドレス　A00D 0E00h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	PROID	プロダクトID表示ビット	プロダクト ID	R	R

30.18.2　ベンダ ID レジスタ（VENDOR_ID）

ベンダ ID を示します。

アドレス　A00D 0E08h

	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	VENDORID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VENDORID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	VENDORID	ベンダID表示ビット	ベンダID	R	R
b63-b32	—	予約ビット	読み出した場合は不定値が読めます。	R	R

30.18.3　ユーザ RAM（USER_RAM）

IP コアのコンフィギュレーションに依存する機能のサポートの有無を示します。A00D 0F80h から A00D 0FFFh までの 128 ビットのサイズです。初期値が 1 の機能がサポートされています。ただし、ビット 7-0 はユーザ RAM 内で定義されたビット数を表しており、本 LSI では 33h を示します。

ビット位置	説明	初期値
7-0	拡張された機能定義のビット数。本LSIでは51ビットです。	33h
8	拡張DLコントロール・レジスタ（0102h:0103h）	1
9	ALステータス・コード・レジスタ（0134h:0135h）	1
10	ECATイベント・マスク（0200h:0201h）	1
11	コンフィギュアド・ステーション・エイリアス（0012h:0013h）	1
12	汎用入力（0F18h:0F1Fh）	0
13	汎用出力（0F10h:0F17h）	0
14	ALイベント・マスク（0204h:0207h）	1
15	フィジカル・リード／ライト・オフセット（0108h:0109h）	1
16	ウォッチドッグ・ディバイダ・書き込み可能（0400h:0401h）と ウォッチドッグ PDI（0410h:0f11h）	1
17	ウォッチドッグ・カウンタ（0442h:0443h）	1
18	ライトプロテクション（0020h:0031h）	1
19	リセット（0040h:0041h）	1
20	Reserved	0
21	DC SyncManagerイベント・タイム（09F0h:09FFh）	1
22	ECATプロセッシング・ユニット／PDIエラーカウンタ（030Ch:030Dh）	1
23	EEPROMサイズ設定可能（0502hのビット7） 0：EEPROMサイズは16Kビットまでのサイズに固定されます 1：EEPROMサイズ変更可能	1
26-24	Reserved	0
27	ロストリンク・カウンタ（0310h:0313h）	1
28	MIIマネージメント・インタフェース（0510h:0515h）	1
29	エンハンスド・リンク・ディテクションMII	1
30	エンハンスド・リンク・ディテクションEBUS	0
31	RUN LED	1
32	リンク／アクティビティ LED	1
33	Reserved	0
35-34	Reserved	1
36	Reserved	0
37	Reserved	1
38	PDIに割り当てられたDCタイム・ループ・コントロール	0
39	MIによるリンク検出と構成（MIリンク・ディテクション・アンド・コンフィギュレーション）	0
40	PDIによるMIコントロール	1
41	自動TXシフト	1
42	EEPROMエミュレーション	0
49-43	Reserved	0
50	ERR LED, RUN/ERR LEDオーバライド	1
その他	Reserved	Reserved

30.18.4　プロセスデータ RAM（DATA_RAM）

プロセスデータ RAM は、プロセスデータ、Mailbox に使用されます。A00D 1000h から A00D 2FFFh までの 8KB のサイズです。

EEPROM が正常にロードされた場合のみ（ESC DL ステータス・レジスタ（ESC_DL_STATUS：0110h）のビット 0 が 1 の場合のみ）、プロセスデータ RAM はアクセス可能になります。

30.18.5　モジュールストップ機能の設定

EtherCAT 機能は、初期状態は停止状態となっています。使用する場合は MSTPCRB.MSTPCRB15 ビットの設定を行い、モジュールストップを解除してください。ただし、一旦、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2 度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。

30.19　初期設定

EtherCAT の初期化は以下の手順で行ってください。

- CATOFFADD レジスタで PHY のオフセット・アドレスを設定
- CATEMMD レジスタで EEPROM のサイズを設定
- CATTXCSFT レジスタで TXC 端子の遅延時間を設定
- MSTPCRB レジスタの MSTPCRB15 でモジュールストップの解除
- ETHSFTRST レジスタの CATRST と PHYRST で ESC と PHY のリセットを解除

リセットが解除されると、ESC は自動的に EEPROM のデータのロードを行い起動します。

30.20　リセット回路の構成

ESC のリセット回路の構成を図 30.2 に示します。ECAT によるリセット要求（0040h）あるいは PDI によるリセット要求（0041h）を受けると、ESC は停止し、ESC からのリセット出力が 1 になります。ESC からのリセット出力により PHYRESETOUT# 端子がローレベルになり、外部に接続した Ethernet PHY がリセットされます。同時に ETHCRSTI 割り込みが発生します。

ESC のリセットを解除するためには、ETHCRSTI 割り込み検出後に、ETHSFTRST レジスタの CATRST ビットを 1 → 0 → 1 に切り替える必要があります。なお、ESC のリセット入力が 1 → 0 になるタイミングで ESC のリセット出力が 0 になります。ESC のリセット入力が 0 → 1 になるタイミングで ESC が再起動を始め、EEPROM のロードが開始されます。EEPROM のロードは約 1 ms で完了します。Ethernet PHY の再起動は必ず ESC の起動が完了した後になるように Ethernet PHY のリセット解除のタイミングを設定してください。タイミングチャートを図 30.3 に示します。

また、ECAT/PDI によるリセット要求（0040h / 0041h）でなく、ETHSFTRST レジスタの CATRST ビットにて ESC をリセットすることも可能です。この場合、自動的に PHYRESETOUT# 端子はローレベルにならないため、予め ETHSFTRST レジスタの PHYRST ビットで Ethernet PHY をリセット状態にしておいてください。タイミングチャートを図 30.4 に示します。

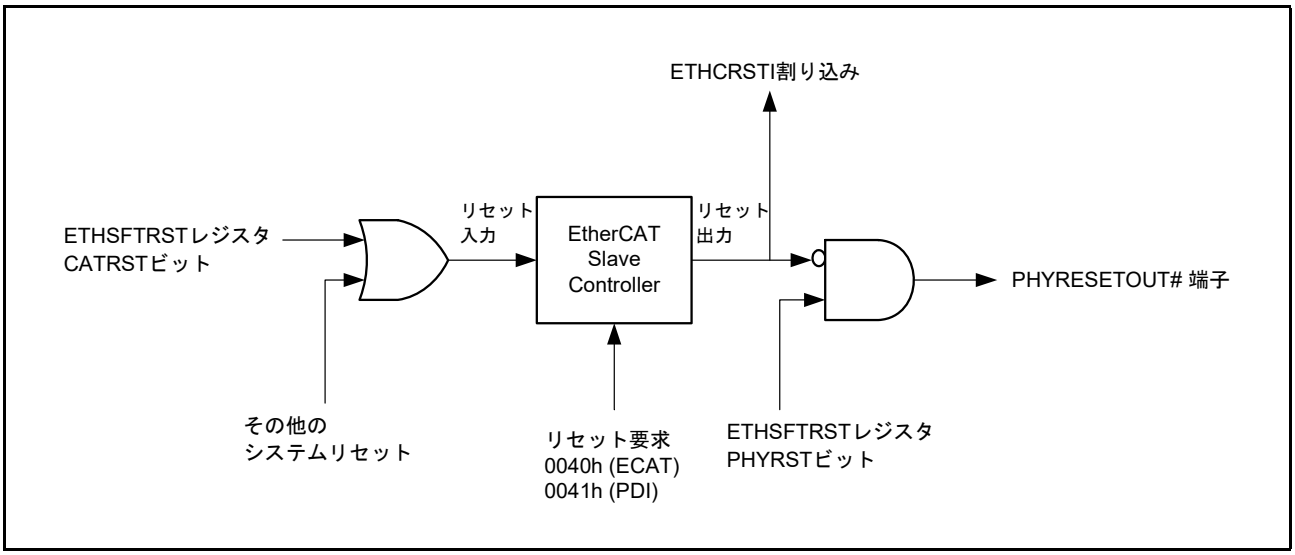


図 30.2　EtherCAT スレーブ・コントローラのリセット回路の構成

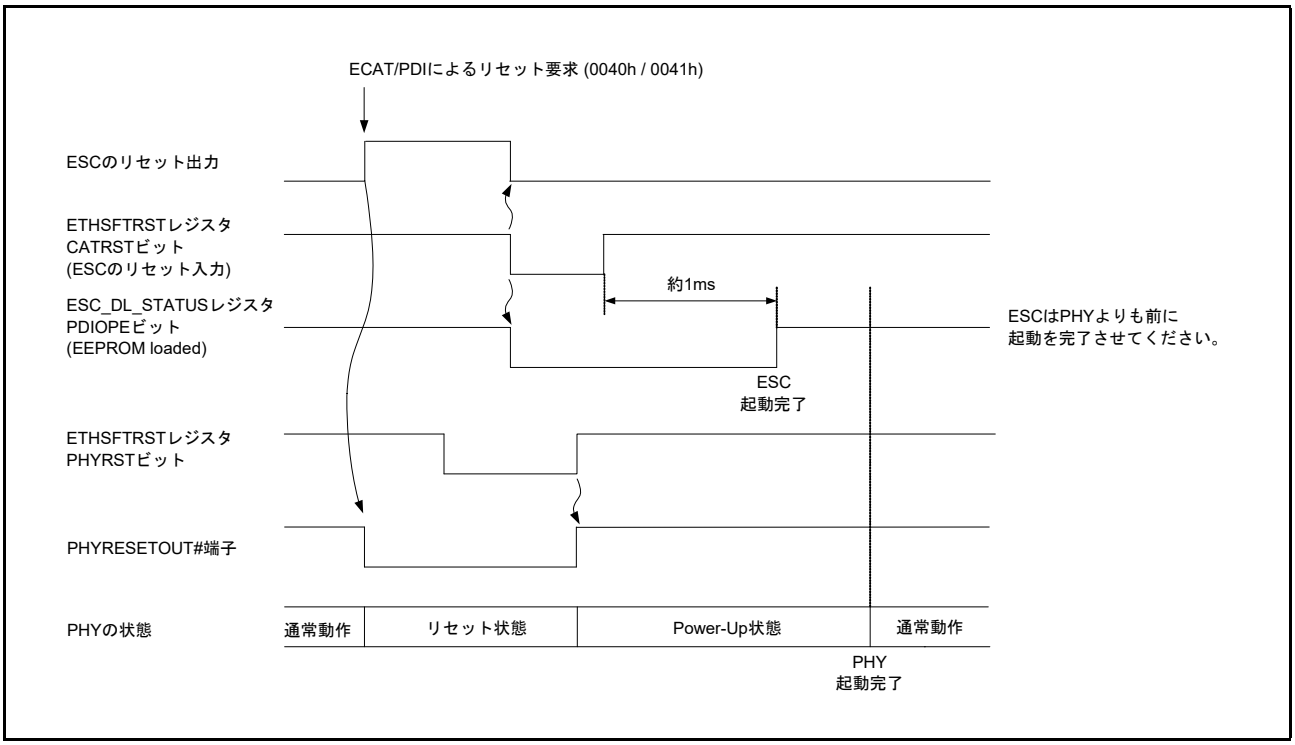


図 30.3　EtherCAT スレーブ・コントローラのリセットタイミング（ECAT / PDI によるリセット要求時）

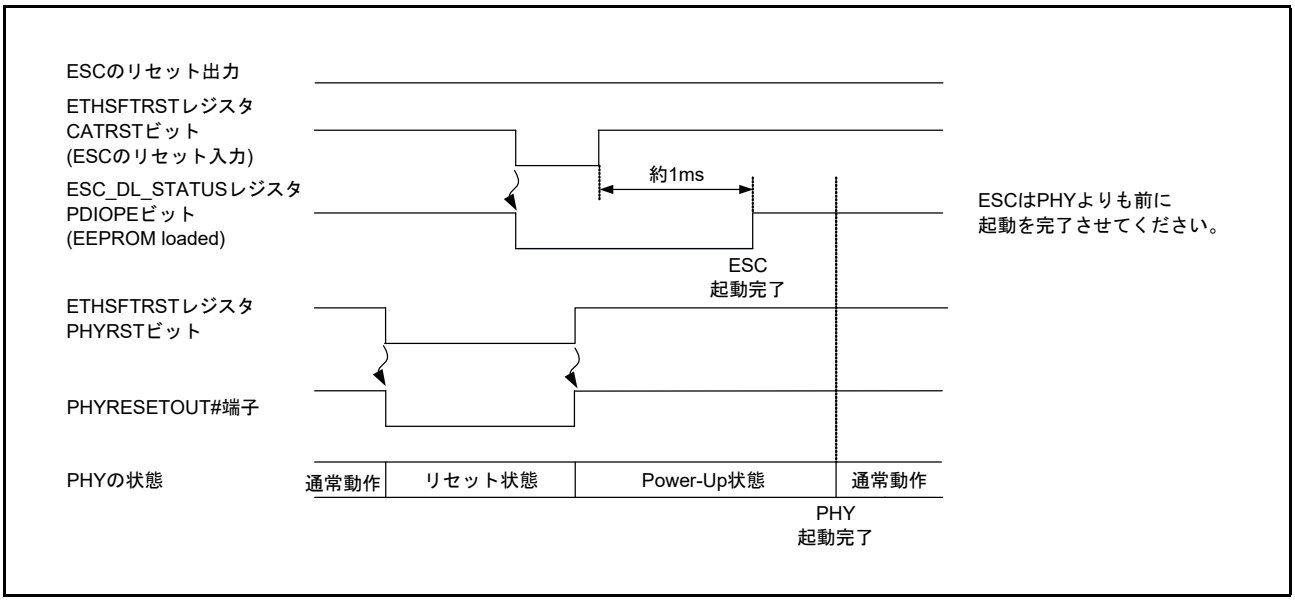


図 30.4　EtherCAT スレーブ・コントローラのリセットタイミング（ETHSFTRST レジスタの CATRST ビットでのリセット時）

31.　USB2.0HS ホストモジュール（USBh）

31.1　概要

本 LSI の USB は、USB2.0 ホストモジュールおよび USB2.0 ファンクションモジュールをもつデュアル・ロール・デバイスです。ただし、ID ステータス検出機能を持っていないため、On-the-Go（OTG）機能には対応していません。

本 LSI は、ホスト機能とファンクション機能の 2 つの機能に対して 1 つの USB ポートを共有しており、ポート接続経路選択入力信号ビット（PHYSET1.P1PORTSEL[1:0] ビット）により、ホスト機能とファンクション機能とを切り替えて使用する事が可能です。

ホスト機能とファンクション機能とは排他的に動作するため、動的には切り替わりません。

本章では、ホストコントローラについて説明します。

USB2.0 ホスト機能

- Universal Serial Bus Specification Revision 2.0 準拠
- Open Host Controller Interface（OHCI）Specification for USB Rev 1.0a 準拠
- Enhanced Host Controller Interface（EHCI）Specification for USB Rev 1.0 準拠
- USB2.0 High-Speed（480Mbps）／ Full-Speed（12Mbps）の転送をサポート

注．　Low-Speed（1.5Mbps）には対応していません。

- USB2.0 コンプライアンステスト機能をサポート

図 31.1 に USB のブロック図を示します。

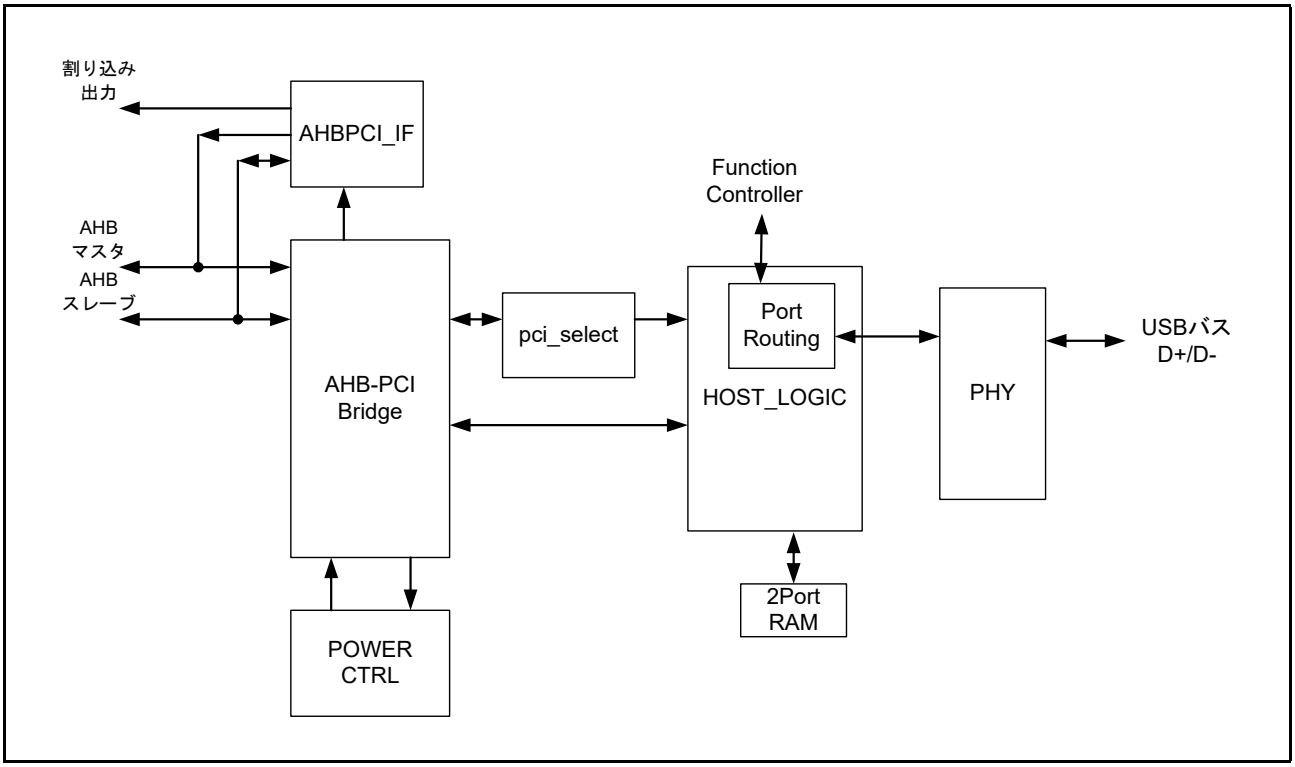


図 31.1　　USB のブロック図

(1)　Host Logic

EHCI ／ OHCI 規格に準拠した USB2.0 ホスト・ロジックです。リスト処理回路・シリアルパラレル回路・USB Buffer の制御回路などを持ち、USB の High-Speed 転送／ Full-Speed 転送を行います。

(2)　UTMI+ Transceiver

UTMI+ 規格に準拠したインタフェースをもつ USB2.0 UTMI Transceiver でハードマクロです。

(3)　AHB-PCI Bridge

AHB バスサイクルとホスト・ロジックへの PCI バスサイクルを変換するモジュールです。CPU から Bridge 内やホスト・ロジックへのレジスタアクセスは、Bridge の Slave インタフェースを介して行われます。ホスト・ロジックが PCI がマスタとなるアクセスは、Bridge の Master インタフェースを介して AHB バスに伝達されます。

31.1.1　USB ホストコントローラ使用時の注意事項

USB ホストコントローラを使用するにあたっての注意事項を以下に示します。

31.1.1.1　全般について

(1)　クロック停止以外の PCLKA/USBPCLK/USBMCLK の動的な変更には対応しておりません。
(2)　Isochronous 転送を使用する場合は、想定した性能を満たすことをアプリケーションレベルの性能評価によりご確認ください。
(3)　USB ホストコントローラは、4 本の割り込み要因を 1 本にまとめて出力します。詳細は、**「31.6　割り込みについて」**を参照してください。
(4)　割り込みをクリアするレジスタアクセスから、実際の割り込みのクリアまでの時間が長くなる場合があります。対処方法については、**「31.6.3　割り込み信号のクリアに要する時間について」**を参照してください。

31.1.1.2　AHB インタフェースについて

(1)　USB ホストコントローラに対する AHB Slave アクセスは、32bit アクセスのみです。8/16bit でのアクセスはできません。
(2)　HRESP = RETRY を使用した WAIT モード使用時は、AHB Bridge 内のモード切り替えレジスタを最初にアクセスしてください。
・AHB_BUS_CTR レジスタ bit17 SMODE_READY_CTR ビット
(3)　クロック停止中にレジスタアクセスを行った場合の Read データ／ Write データは保証外です。

31.1.1.3　操作方法について

(1)　操作フローを以下に示します。

- 初期設定：**「31.8　操作手順」**
- AHB 空間と PCI 空間のマッピング方法：**「31.4.1　レジスタアクセス」**

31.2　レジスタマッピング

31.2.1　　レジスタマッピング

レジスタは、大きく以下の 3 つの領域に分割されます。

1. OHCI ／ EHCI Operational Registers 領域
2. PCI Configuraiton Space 領域
3. AHB-PCI Bridge PCI Communication 領域

各 PCI Configuration Space 領域へのアクセスは、AHB-PCI Bridge Register の AHBPCI_WIN1_CTR レジスタの操作が必要です。また、AHB 空間におけるレジスタマッピングとは別に、USB ホストコントローラ内部の PCI 空間上に OHCI ／ EHCI Operational Registers、PCI Communication Space 等のアドレスを正しくマッピングしてください。各レジスタへのアクセス、アドレスマッピング方法については**「31.4　レジスタアクセスについて」**を参照してください。

アドレス入力範囲は A004 0000h ～ A005 FFFFh です。ただし、A005 0C00h ～ A005 FFFFh は Reserved 領域のためアクセスしないでください。

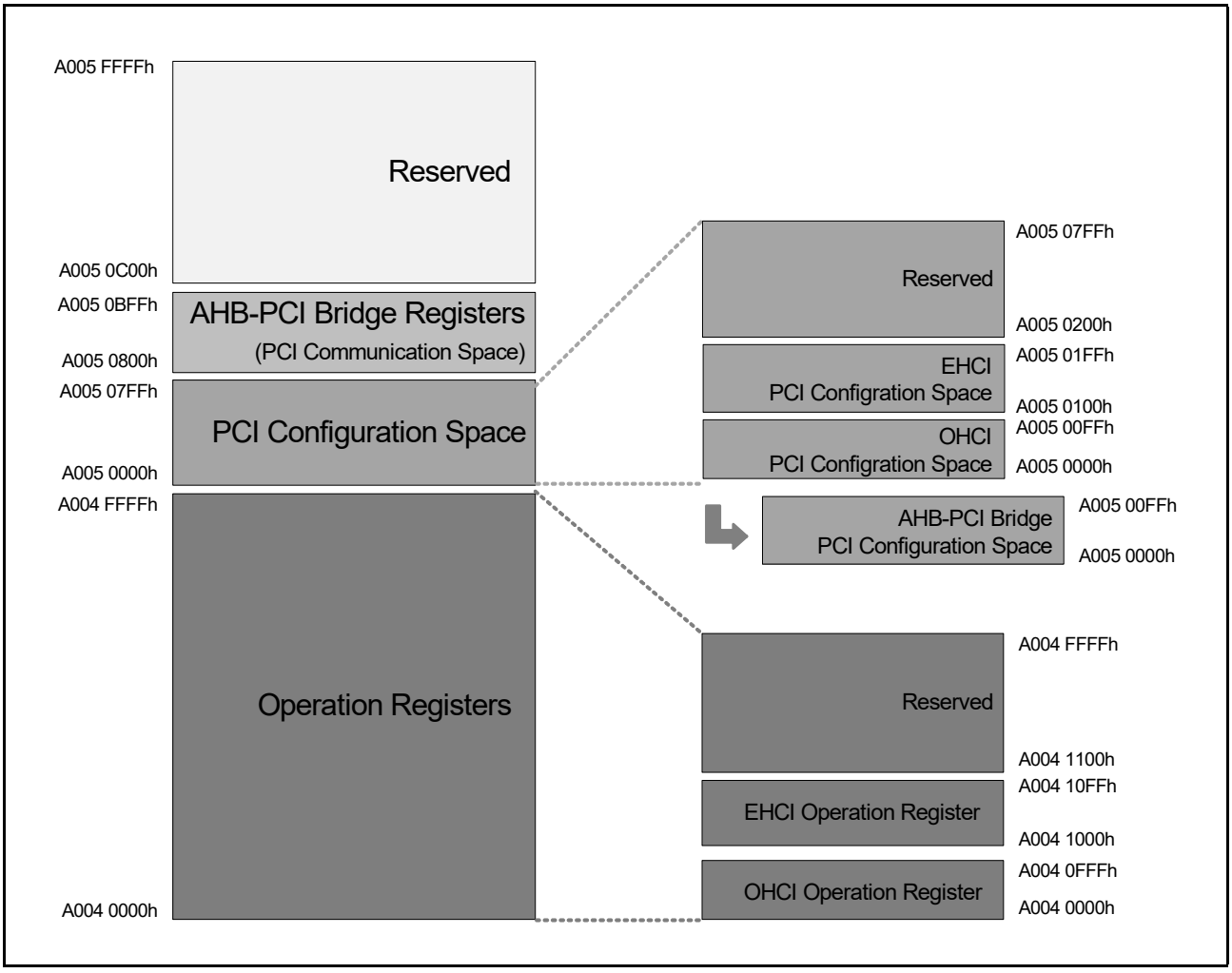


図 31.2　　レジスタマッピングイメージ

表31.1　レジスタマッピングー覧表 (1 / 2)

アドレス	レジスタ名	シンボル
A004 0000h	HcRevision	HcRevision
A004 0004h	HcControl	HcControl
A004 0008h	HcCommandStatus	HcCommandStatus
A004 000Ch	HcInterruptStatus	HcIntStatus
A004 0010h	HcInterruptEnable	HcIntEnable
A004 0014h	HcInterruptDisable	HcIntDisable
A004 0018h	HcHCCA	HcHCCA
A004 001Ch	HcPeriodicCurrentED	HcPeriodCurED
A004 0020h	HcControlHeadED	HcContHeadED
A004 0024h	HcControlCurrentED	HcContCurrentED
A004 0028h	HcBulkHeadED	HcBulkHeadED
A004 002Ch	HcBulkCurrentED	HcBulkCurrentED
A004 0030h	HcDoneHead	HcDoneHead
A004 0034h	HcFmInterval	HcFmInterval
A004 0038h	HcFmRemaining	HcFmRemaining
A004 003Ch	HcFmNumber	HcFmNumber
A004 0040h	HcPeriodicStart	HcPeriodicStart
A004 0044h	Reserved	—
A004 0048h	HcRhDescriptorA	HcRhDescriptorA
A004 004Ch	HcRhDescriptorB	HcRhDescriptorB
A004 0050h	HcRhStatus	HcRhStatus1_A, HcRhStatus1_B
A004 0054h	HcRhPortStatus1	HcRhPortStatus1_A, HcRhPortStatus1_B
A004 0058Ch ～ A004 0FFCh	Reserved	—
A004 1000h	HCIVERSION / CAPLENGTH	CAPL_VERSION
A004 1004h	HCSPARAMS	HCSPARAMS
A004 1008h	HCCPARAMS	HCCPARAMS
A004 100Ch	HCSP_PORTROUTE	HCSP_PORTROUTE
A004 1010h ～ A004 101Ch	Reserved	—
A004 1020h	USBCMD	USBCMD
A004 1024h	USBSTS	USBSTS
A004 1028h	USBINTR	USBINTR
A004 102Ch	FRINDEX	FRINDEX
A004 1030h	CTRLDSSEGMENT	CTRLDSSEGMENT
A004 1034h	PERIODICLISTBASE	PERIODICLIST
A004 1038h	ASYNCLISTADDR	ASYNCLISTADDR
A004 103Ch ～ A004 105Ch	Reserved	—
A004 1060h	CONFIGFLAG	CONFIGFLAG
A004 1064h	PORTSC1	PORTSC1
A004 1068h ～ A004FFFCh	Reserved	—
A005 0000h ～ A005 07FCh	PCI Configuration Space （AHB-PCI Bridge / OHCI / EHCI ）	—
A005 0800h	PCIAHB_WIN1_CTR	PCIAHB_WIN1_CTR
A005 0804h	Reserved	—
A005 0808h ～ A005 080Ch	Reserved	—
A005 0810h	AHBPCI_WIN1_CTR	AHBPCI_WIN1_CTR

表31.1　　レジスタマッピングー覧表　(2 / 2)

アドレス	レジスタ名	シンボル
A005 0814h	AHBPCI_WIN2_CTR	AHBPCI_WIN2_CTR
A005 0818h ～ A005 081Ch	Reserved	—
A005 0820h	PCI_INT_ENABLE	PCI_INT_ENABLE
A005 0824h	PCI_INT_STATUS	PCI_INT_STATUS
A005 0828h ～ A005 082Ch	Reserved	—
A005 0830h	AHB_BUS_CTR	AHB_BUS_CTR
A005 0834h	USBCTR	USBCTR
A005 0838h ～ A005 083Ch	Reserved	—
A005 0840h	PCI_ARBITER_CTR	PCI_ARBITER_CTR
A005 0844h	Reserved	—
A005 0848h	PCI_UNIT_REV	PCI_UNIT_REV
A005 084Ch ～ A005 FFFCh	Reserved	—

31.2.2　PCI Configuration Space for AHB-PCI Bridge

AHB-PCI Bridge における PCI-Configuration Space のレジスタマッピングを**表 31.2** に示します。

表31.2　　AHB-PCI Bridgeにおける PCI Configuration Space

Offset	31 24	23 16	15 8	7 0	略称
000h	Device ID		Vendor ID		VID_DID_A
004h	Status		Command		CMND_STS_A
008h	Class Code			Revision ID	REVID_CC_A
00Ch	BIST	Header Type	Latency Timer	Cache Line Size	CLS_LT_HT_BIST_A
010h	AHB-PCI Bridge Registers Base Address				BASEAD_A
014h	PCI-AHB Window1 Base Address				WIN1_BASEAD
01Ch	Reserved				—
020h					
024h					
028h					
02Ch	Subsystem ID		Subsystem Vendor ID		SSVID_SSID_A
030h	Reserved				—
034h					
038h					
03Ch	Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line	INTR_LINE_PIN_A
040h	Reserved				—
…					
0FCh					

31.2.3　PCI Configuration Space for OHCI ホスト・ロジック

ホスト・ロジック（OHCI）における PCI-Configuration Space のレジスタマッピングを 表 31.3 に示します。

表31.3　OHCIにおけるPCI Configuration Space

Offset	31 24	23 16	15 8	7 0	略称
000h	Device ID		Vendor ID		VID_DID_O
004h	Status		Command		CMND_STS_O
008h	Class Code			Revision ID	REVID_CC_O
00Ch	BIST	Header Type	Latency Timer	Cache Line Size	CLS_LT_HT_BIST_O
010h	OHCI Base Address				BASEAD_O
014h	Reserved				—
018h					
01Ch					
020h					
024h					
028h					
02Ch	Subsystem ID		Subsystem Vendor ID		SSVID_SSID_O
030h	Expansion ROM Base Address				EROM_BASEAD
034h	Reserved			Cap_ptr	CAPPTR
038h	Reserved				—
03Ch	Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line	INTR_LINE_PIN_O
040h	PMC		Next_Item_Ptr	Cap_ID	CAPID_NIP_PMCAP
044h	Data	PMCSR_BSE	PMCSR		PMC_STS_PMCSR
048h - 0DCh	Reserved				—
0E0h	EXT1				EXT1
0E4h	EXT2				EXT2
0E8h - 0ECh	Reserved				—
0F0h	Reserved				—
0F4h	Reserved				—
0F8h - 0FCh	Reserved				—

31.2.4　PCI Configuration Space for EHCI ホスト・ロジック

ホスト・ロジック（EHCI）における PCI-Configuration Space のレジスタマッピングを 表 31.4 に示します。

表31.4　EHCIにおけるPCI Configuration Space

Offset	31 24	23 16	15 8	7 0	略称
100h	Device ID		Vendor ID		VID_DID_E
104h	Status		Command		CMND_STS_E
108h	Class Code			Revision ID	REVID_CC_E
10Ch	BIST	Header Type	Latency Timer	Cache Line Size	CLS_LT_HT_BIST_E
110h	EHCI Base Address				BASEAD_E
114h	Reserved				—
118h					
11Ch					
120h					
124h					
128h					
12Ch	Subsystem ID		Subsystem Vendor ID		SSVID_SSID_E
130h	Expansion ROM Base Address				EROM_BASEAD_E
134h	Reserved			Cap_ptr	CAPPTR_E
138h	Reserved				—
13Ch	Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line	INTR_LINE_PIN_E
140h	PMC		Next_Item_Ptr	Cap_ID	CAPID_NIP_PMCAP_E
144h	Data	PMCSR_BSE	PMCSR		PMC_STS_PMCSR_E
148h	Reserved				—
～					
15Ch					
160h	PORTWAKECAP		FLAD	SBRN	SBRN_FLADJ_PW
164h - 1DCh	Reserved				—
1E0h	EXT1				EXT1_E
1E4h	EXT2				EXT2_E
1E8h - 1ECh	Reserved				—
1F0h	Reserved				—
1F4h	Reserved				—
1F8h - 1FCh	Reserved				—

31.3　レジスタの説明

レジスタ機能の詳細について説明します。

31.3.1　OHCI Operational レジスタ

OHCI Operation レジスタは、PHY 内蔵 PLL 起動後にアクセスしてください。詳細は、**「図 31.13　初期設定シーケンス」**を参照してください。

31.3.1.1　HcRevision レジスタ

アドレス　A004 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	Revision[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Revision[7:0]	HCIリビジョン	ホスト・ロジックにインプリメントされたHCI仕様のバージョンを示すビットです。 本ホスト・ロジックはOHCI規格1.0aに準拠しているため10hを示します。	R
b31-b8	—	予約ビット	Don't care	R

31.3.1.2　HcControl レジスタ

アドレス　A004 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RWE	RWC	—	HCFS[1:0]		BLE	CLE	IE	PLE	CBSR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CBSR[1:0] （ControlBulk ServiceRatio）	Control／Bulk転送サービス比規定ビット	Control転送とBulk転送のサービス比を規定するビットです。 Periodicリスト処理の際、本ビットで規定されるサービス比を維持し、転送を行います。 CBSR: 00 → Bulk ED：Control ED サービス比 1：1 01 → 2：1 10 → 3：1 11 → 4：1	R/W
b2	PLE （PeriodicList Enable）	Periodicリスト設定ビット	Periodicリスト処理の実行を設定するビットです。 本ビットへの設定値は、次のフレームから有効になります。 0：Periodicリスト処理を行わない 1：Periodicリスト処理を行う	R/W
b3	IE （Isochronous Enable）	Isochronous ED処理設定ビット	Isochronous ED処理の実行を設定するビットです。 本ビットへの設定値は、次のフレームから有効になります。 リスト処理中にIsochronous EDを発見した場合に、本ビットをチェックしIsochronous EDの処理実行を選択します。 0：Isochronous転送の処理を行わない 1：Isochronous転送の処理を行う	R/W
b4	CLE （ControlList Enable）	Controlリスト処理設定ビット	Controlリスト処理の実行を設定するビットです。 本ビットへの設定値は、次のフレームから有効になります。 なお、Controlリストを修正する場合には、必ず本ビットが0でなければなりません。 0：Controlリスト処理を行わない 1：Controlリスト処理を行う	R/W
b5	BLE （BulkList Enable）	Bulkリスト処理設定するビット	Bulkリスト処理の実行を設定するビットです。 本ビットの設定値は、次のフレームから有効になります。 なお、Bulkリストを修正する場合には、必ず本ビットが0でなければなりません。 0：Bulkリスト処理を行わない 1：Bulkリスト処理を行う	R/W

ビット	シンボル	ビット名	機能	R/W
b7-b6	HCFS[1:0]（Host Controller Functional State）	ホスト・ロジック動作ステートビット	ホスト・ロジックの動作ステートを示すビットです。 USB Operationalに遷移すると1msで区切られたフレームの管理を開始します。 この動作ステートはUSB Suspend時のRemoteWakeUpによるUSB Resumeの遷移以外は常にソフトウェアにより制御されます。 ハードウェアリセット後、本ビットはUSB Reset状態になりますが、ソフトウェアリセット後はUSB Suspendに遷移します。 b7 b6 00：USB Reset 01：USB Resume 10：USB Operational 11：USB Suspend	R/W
b8	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b9	RWC（RemoteWake UpConnect）	RemoteWakeUpサポート設定ビット	ホスト・ロジックによるRemoteWakeUpサポートを設定するビットです。 RemoteWakeUpをシステムでサポートする場合は、初期化処理で本ビットをセットしてください。 0：RemoteWakeUpをサポートしない 1：RemoteWakeUpをサポートする	R/W
b10	RWE（RemoteWake UpEnable）	PMEアサート制御ビット	PMEのアサート制御ビットです。 本ビットが1にセットされている場合、HcInterruptStatusレジスタ bit3 RDビットが1にセットされるとPMEがアサートされます。 0：Resume検出でPMEをアサートしない（PME無効） 1：Resume検出でPMEをアサートする（PME有効）	R/W
b31-b11	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.1.3　HcCommandStatus レジスタ

アドレス　A004 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	OCR	BLF	CLF	HCR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HCR（HostController Reset）	ホスト・ロジックソフトウェアリセット起動ビット	ホスト・ロジックのソフトウェアリセットを起動するためのビットです。 本ビットをセットすると、ホスト・ロジックの機能ステートにかかわらずUSB Suspendに遷移します。	W
b1	CLF（ControlList Filled）	Controlリスト TDビット	Controlリスト上にTDが存在するかどうかを示すビットです。 ホスト・ロジックはControlリストの先頭EDの処理を始めるとき、本ビットをチェックします。 ホスト・ロジックは本ビットが0の場合、リスト処理を開始しません。1ならばControlリスト処理を開始し、本ビットに0をセットします。ホスト・ロジックはリストにTDを見つけた場合、本ビットに再度1をセットし、Controlリスト処理を継続します。 ホスト・ロジックによるリスト処理が完了したとき本ビットは0になりますが、リストにTDが見つからない場合、またはソフトウェアが本ビットに1をセットしない場合、本ビットは0のままとなり、リスト処理は停止します。 なお、リストを再構築しリスト処理を実施する場合は、HcCommandレジスタのbit4 CLEビットをセットしリスト処理を開始する前に本ビットをセットしてください。	R/W
b2	BLF（BulkListFilled）	Bulkリスト TDビット	Bulkリスト上にTDが存在するかどうかを示すビットです。 ホスト・ロジックはBulkリストの先頭EDの処理を始めるとき、本ビットをチェックします。 ホスト・ロジックは本ビットが0の場合は、リスト処理を開始しません。1ならばBulkリスト処理を開始し、本ビットに0をセットします。ホスト・ロジックはリストにTDを見つけた場合、本ビットに再度1をセットし、Bulkリスト処理を継続します。 ホスト・ロジックによるリスト処理が完了したとき本ビットは0になりますが、リストにTDが見つからない場合、またはソフトウェアが本ビットに1をセットしない場合、本ビットは0のままとなり、リスト処理は停止します。 なお、リストを再構築しリスト処理を実施する場合には、HcCommandレジスタのbit5 BLEビットをセットしリスト処理を開始する前に本ビットをセットしてください。	R/W
b3	OCR（Ownership ChangeRequest）	ホスト・ロジック制御権変更ビット	ホスト・ロジックの制御権を変更するためのビットです。 （詳細は、OHCIの規格を確認してください。）	W
b15-b4	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b17-b16	SOC[1:0]（Scheduling OverrunCount）	スケジュールオーバラン数カウントビット	スケジュールオーバラン数をカウントするためのビットです。 スケジュールオーバランのたびにカウントアップします。11bまでインクリメントすると、00bに戻ります。 HcInterruptStatusレジスタのbit0 SOビットがセットされた状態でもカウントアップは続けます。	R
b31-b18	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.1.4　HcInterruptStatus レジスタ

アドレス　A004 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SO（Scheduling Overrun）	USBスケジュールオーバランビット	フレームにおいてUSBスケジュールがオーバランした事を示すビットです。 USBスケジュールがオーバランした場合、次のフレームのHccaFrameNumber更新後にセットされます。本ビットがセットされるときにはHcCommandStatusレジスタのbit[17:16] SOCビットもインクリメントされます。 本ビットに1を書き込む事で割り込みはクリアされます。 0：SO割り込みは発生していない 1：SO割り込みが発生している	R/W
b1	WDH（Writeback Done Head）	ホスト・ロジックHccaDoneHead更新ビット	ホスト・ロジックがHccaDoneHeadの内容を更新した事を示すビットです。 ホスト・ロジックはHccaDoneHeadを更新した直後に本ビットをセットし、クリアするまでHccaDoneHeadの更新は行いません。 本ビットに1を書き込む事で割り込みはクリアされます。 0：WDH割り込みは発生していない 1：WDH割り込みが発生している	R/W
b2	SF（StartOf Frame）	HccaFrameNumber更新ビット	各フレームの開始時にHccaFrameNumberを更新した事を示すビットです。 ホスト・ロジックはSOFパケットの送出と共にHccaFrameNumberの更新を行い、本ビットをセットします。 本ビットに1を書き込む事で割り込みはクリアされます。 0：SF割り込みは発生していない 1：SF割り込みが発生している	R/W
b3	RD（Resume Detected）	Resume検出ビット	Resumeを検出した事を示すビットです。 USB上のデバイスがResume信号をアサートしていることを検出したときにセットされます。ソフトウェアによりUSB Resumeが発行された場合には、本ビットはセットされません。 本ビットに1を書き込む事で割り込みはクリアされます。 0：RD割り込みは発生していない 1：RD割り込みが発生している	R/W
b4	UE（Unrecoverable Error）	USB無関係システムエラー検出ビット	USBに関係のないPCIバス上のシステムエラーを検出したことを示すビットです。 本ビットに1を書き込む事で割り込みはクリアされます。 0：UE割り込みは発生していない 1：UE割り込みが発生している	R/W
b5	FNO（Frame Number Overflow）	FrameNumberビットMSB変化ビット	HcFmNumberレジスタ bit[15:0] FrameNumberビットのMSBが変化した事を示すビットです。 FrameNumberビットのMSBが0→1/1→0に変化するフレームにおいて、HccaFrameNumberの更新後にセットされます。 本ビットに1を書き込む事で割り込みはクリアされます。 0：FNO割り込みは発生していない 1：FNO割り込みが発生している	R/W

ビット	シンボル	ビット名	機能	R/W
b6	RHSC（RootHub Status Change）	HcRhStatus／HcRhPortStatus レジスタステータスビット	HcRhStatus レジスタまたはHcRhPortStatus レジスタの状態が変化した事を示すビットです。 ハードウェア要因によりHcRhStatus レジスタまたはHcRhPortStatus レジスタが変化した場合にセットされます。 本ビットに1を書き込むことで割り込みはクリアされます。 0：RHSC割り込みは発生していない 1：RHSC割り込みが発生している	R/W
b31-b7	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.1.5　HcInterruptEnable レジスタ

アドレス　A004 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MIE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOE（Scheduling Overrun Enable）	SO割り込み要因イネーブルビット	SOを割り込み要因として有効にするためのビットです。 本ビットに1を書き込む事でセットする事ができます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：SO割り込み有効	R/W
b1	WDHE（Writeback DoneHead Enable）	WDH割り込み要因イネーブルビット	WDHを割り込み要因として有効にするためのビットです。 本ビットに1を書き込む事でセットする事ができます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：WDH割り込み有効	R/W
b2	SFE（StartOf Frame Enable）	SF割り込み要因イネーブルビット	SFを割り込み要因として有効にするためのビットです。 本ビットに1を書き込む事でセットする事ができます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：SF割り込み有効	R/W
b3	RDE（Resume Detected Enable）	RD割り込み要因イネーブルビット	RDを割り込み要因として有効にするためのビットです。 本ビットに1を書き込む事でセットする事ができます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：RD割り込み有効	R/W
b4	UEE（UnrecoverableError Enable）	UE割り込み要因イネーブルビット	UEを割り込み要因として有効にするためのビットです。 本ビットに1を書き込む事でセットする事ができます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：UE割り込み有効	R/W
b5	FNOE（Frame Number Overflow Enable）	FNO割り込み要因イネーブルビット	FNOを割り込み要因として有効にするためのビットです。 本ビットに1を書き込む事でセットする事ができます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：FNO割り込み有効	R/W
b6	RHSCE（RootHub Status Change Enable）	RHSC割り込み要因イネーブルビット	RHSCを割り込み要因として有効にするためのビットです。 本ビットに1を書き込む事でセットする事ができます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：RHSC割り込み有効	R/W
b30-b7	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MIE（Master Interrupt Enable）	割り込み7要因イネーブルビット	本レジスタのbit[6:0]で設定された割り込み要因を有効にするためのビットです。 本ビットが0の場合、すべての割り込みはマスクされます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：設定された割り込みは有効	R/W

31.3.1.6　HcInterruptDisable レジスタ

アドレス　A004 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MID	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOD（Scheduling Overrun Disable）	SO割り込み要因ディセーブルビット	SOを割り込み要因から無効にするためのビットです。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：SOを割り込み要因から無効に	R/W
b1	WDHD（Writeback DoneHead Disable）	WDH割り込み要因ディセーブルビット	WDHを割り込み要因から無効にするためのビットです。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：WDHを割り込み要因から無効に	R/W
b2	SFD（StartOf Frame Disable）	SF割り込み要因ディセーブルビット	SFを割り込み要因から無効にするためのビットです。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：SFを割り込み要因から無効に	R/W
b3	RDD（Resume Detected Disable）	RD割り込み要因ディセーブルビット	RDを割り込み要因から無効にするためのビットです。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：RDを割り込み要因から無効に	R/W
b4	UED（UnrecoverbleError Disable）	UE割り込み要因ディセーブルビット	UEを割り込み要因から無効にするためのビットです。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：UEを割り込み要因から無効に	R/W
b5	FNOD（Frame Number Overflow Disable）	FNO割り込み要因ディセーブルビット	FNOを割り込み要因から無効にするためのビットです。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：FNOを割り込み要因から無効に	R/W
b6	RHSCD（RootHub Status Change Disable）	RHSC割り込み要因ディセーブルビット	RHSCを割り込み要因から無効にするためのビットです。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：RHSCを割り込み要因から無効に	R/W
b30-b7	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MID（MasterInterruptDisable）	割り込み7要因ディセーブルビット	HcInterruptEnable bit[6:0]で設定された割り込み要因を無効にするビットです。 本ビットが0の場合、すべての割り込みはマスクされます。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0：何もしない 1：設定された割り込みを無効にする	R/W

31.3.1.7　HcHCCA レジスタ

アドレス　A004 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	HcHCCA[23:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	HcHCCA[23:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b8	HcHCCA [23:0]	RAMベースアドレス設定ビット	Host Controller Communication Areaとして割り当てられたRAMのベースアドレスを設定するためのビットです。 初期化時に設定してください。ホスト・ロジックはHCCAとして本ビットで指定するベースアドレスから256バイトの領域を要求します。	R/W

31.3.1.8　HcPeriodicCurrentED レジスタ

アドレス　A004 001Ch

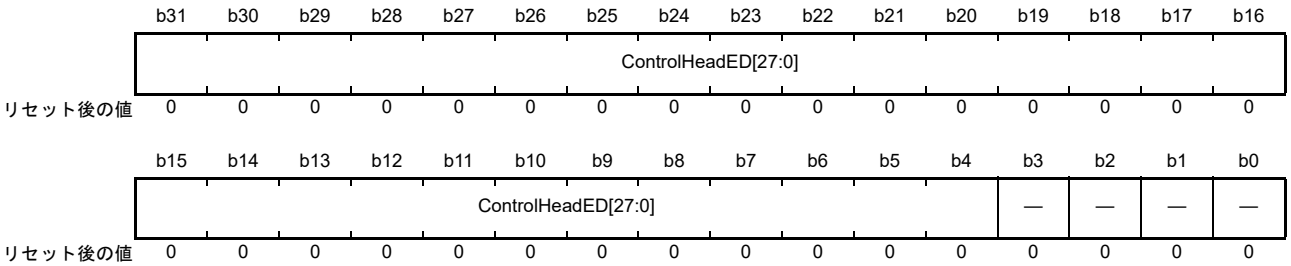
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PeriodicCurrentED[27:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PeriodicCurrentED[27:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	Don't care	R
b31-b4	Periodic CurrentED [27:0]	ED物理アドレスビット	現在処理しているPeriodicリスト上のEDの物理アドレスを示すビットです。 ホスト・ロジックはEDのリスト処理が完了すると、本ビットを更新します。	R

31.3.1.9　HcControlHeadED レジスタ

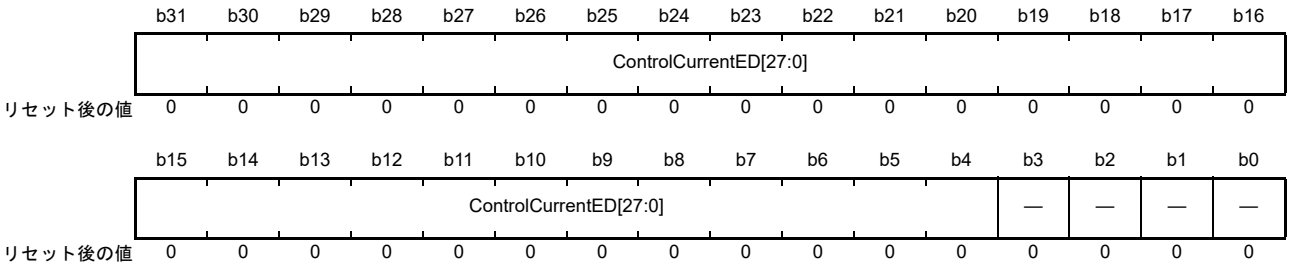
アドレス　A004 0020h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b4	ControlHeadED [27:0]	先頭ED物理アドレス指定ビット	Controlリストの先頭EDの物理アドレスを指定するためのビットです。 Control転送を行うため、HcControlレジスタ のCLEビットをセットする前に本ビットを設定してください。	R/W

31.3.1.10　HcControlCurrentED レジスタ

アドレス　A004 0024h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b4	Control CurrentED [27:0]	ED物理アドレスビット	Controlリストにおいて現在処理中のEDの物理アドレスを示すビットです。 ホスト・ロジックはControl ED処理完了のたびに本ビット値を更新します。 新規でリストを構築する場合、本ビットはリストの末尾を示す0000 0000hに設定します。転送を一度中断し再開する際に、ControlCurrentEDのリンクポインタが示すEDが存在することを保証してください。	R/W

31.3.1.11　HcBulkHeadED レジスタ

アドレス　A004 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BulkHeadED[27:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BulkHeadED[27:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b4	BulkHeadED [27:0]	先頭ED物理アドレス指定ビット	Bulkリストの先頭EDの物理アドレスを指定するためのビットです。 Bulk転送を行うため、HcControlレジスタ bit5 BLEビットをセットする前に設定してください。	R/W

31.3.1.12　HcBulkCurrentED レジスタ

アドレス　A004 002Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BulkCurrentED[27:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BulkCurrentED[27:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b4	BulkCurrent ED [27:0]	ED物理アドレスアドレスビット	Bulkリストにおいて現在処理中のEDの物理アドレスアドレスを示すビットです。 ホスト・ロジックはBulk ED処理完了のたびに本ビット値を更新します。 新規でリストを構築する場合、本ビットはリストの末尾を示す0000 0000hに設定します。 転送を一度中断し再開する際に、BulkCurrentEDのリンクポインタが示すEDが存在することを保証してください。	R/W

31.3.1.13　HcDoneHead レジスタ

アドレス　A004 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DoneHead[27:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DoneHead[27:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	Don't care	R
b31-b4	DoneHead [27:0]	HcDoneHead物理アドレスビット	ホスト・ロジックのHcDoneHeadの物理アドレスを示すビットです。 Doneキューに追加される最後に完了したTDの物理アドレスを示します。	R

31.3.1.14　HcFmInterval レジスタ

アドレス　A004 0034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FIT	FSMPS[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FI[13:0]													
リセット後の値	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b13-b0	FI[13:0]（Frame Interval）	フレーム長設定ビット	本ビットはFS転送で使用するフレームの長さ（bit time）を設定するため使用します。 USB規格の1フレーム（= 1ms）を満たすため、本ビットは2EDFhに設定してください。	R/W
b15-b14	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b30-b16	FSMPS[14:0]（FSLagest DataPacket）	FSt転送最大パケットサイズ指定ビット	スケジュールオーバランを起こさずに送受信できる最大のデータ量を設定するビットです。現在のフレーム位置と設定値を比較し、フレームのどこまでが転送開始可能か判断します。システムバスの能力などにより異なるため、この値はドライバから設定します。	R/W
b31	FIT（Frame Interval Toggle）	フレーム同期ビット	本ビットは、ソフトウェアとホスト・ロジック間のフレーム設定値の同期を取るために使用します。 FIビットを更新する際、ソフトウェアで本ビットをトグルしてください。 ホスト・ロジックはFIビットをロードするとき、HcFmRemainingレジスタのbit31 FRTビットにFITの値を反映します。FIビットを書き込む際に設定した本ビットの値と、読み出したFRTビットの値を比較する事で、新たに設定したFIビットが反映されたか確認する事ができます。	R/W

31.3.1.15　HcFmRemaining レジスタ

アドレス　A004 0038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FRT	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FR[13:0]													
リセット後の値	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b13-b0	FR[13:0]（Frame Remaining）	ダウンカウンタフレームビット	本ビットは、14bitのダウンカウンタにおけるフレームの現在値を示します。 経過時刻と共に、本ビットの値はカウントダウンします。 0000hになるとフレームの値を再ロードするため、HcFmIntervalレジスタのbit[13:0] FIビットの値を本ビットにコピーし、再びカウントダウンします。	R
b30-b14	—	予約ビット	Don't care	R
b31	FRT（Frame Remaining Toggle）	フレーム同期ビット	本ビットは、ソフトウェアとホスト・ロジック間のフレーム設定値の同期を取るために使用します。 FRビットが0000hになった時、ホスト・ロジックはHcFmInterval レジスタ bit[13:0] FIビット値をFRビットにコピーしますが、あわせてHcFmIntervalレジスタのbit31 FITビットの値を本ビットにコピーします。 FITビットと本ビットの値を比較する事により、ソフトウェアはFIビットへの設定値がFRビットに設定された事を確認する事ができます。	R

31.3.1.16　HcFmNumber レジスタ

アドレス　A004 003Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FrameNumber[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	Frame Number[15:0]	経過フレーム数ビット	本ビットは経過したフレーム数を示します。 HcFmRemaining bit[13:0]レジスタ FRビットが0000hになると、本ビットはカウントアップします。	R
b31-b16	—	予約ビット	Don't care	R

31.3.1.17　HcPeriodicStart レジスタ

アドレス　A004 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PeriodicStart[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	PeriodicStart [13:0]	Periodic リスト処理開始時間	ホスト・ロジックがフレーム内でPeriodic リスト処理を開始する時間を示します。 ホスト・ロジックの初期化時に、ソフトウェアにより本ビットの値を設定してください。設定した値よりもHcFmRemaining レジスタ bit[13:0] FR ビットの値が大きいときはPeriodic リストに対しNonPeriodic リストが優先されます。 この設定値は、HcFmInterval レジスタ bit[13:0] FI ビットの90%程度に設定することがOHCI 規格で推奨されています。推奨値は2A2Fh です。	R/W
b31-b14	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.1.18　HcRhDescriptorA レジスタ

アドレス　A004 0048h

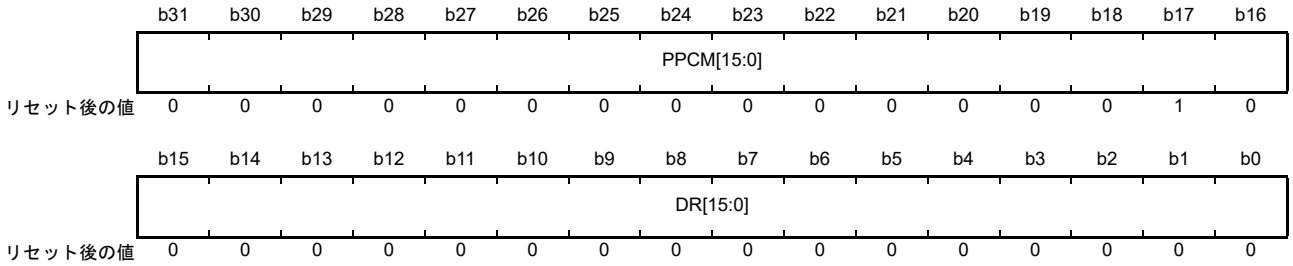
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	POTPGT[7:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	NOCP	OCPM	DT	NPS	PSM	NDP[7:0]							
リセット後の値	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	NDP[7:0]（Number Downstream Port）	ダウンストリームポート数	ホスト・ロジックのルートハブによりサポートされるダウンストリームポート数を規定するビットです。	R
b8	PSM（Power Switching Mode）	パワースイッチ制御ビット	ルートハブの各ポートに対するパワースイッチの制御方法を設定するビットです。 HcRhDescriptorB レジスタ bit[31:16] PPCM ビットがセットされている場合、各ポートはSet／ClearPortPowerだけに応答します。クリアされている場合はSet／ClearGlobalPowerによって制御されます。 本ビットは、NPS ビットがクリアされている場合のみ有効になります。 0：すべてのポートは同時に電源制御される 1：ポートは個別に電源制御される	R/W
b9	NPS（NoPower Switching）	電源制御ビット	ポートの電源制御方法を設定するビットです。 0：ポートの電源はOn／Offのスイッチが可能 1：ホスト・ロジックが動作中は常にパワーオンされる	R/W
b10	DT（Device Type）	デバイスタイプ	ルートハブが複合デバイスでない事を示します。 ルートハブは複合デバイスである事を認められていないため、本ビットは常に0が読めます。	R
b11	OCPM（Over Current Protection Mode）	過電流状態通知ビット	ルートハブの過電流状態の通知方法を設定するビットです。 本ビットは、PSM ビットと同じモードを反映している必要があります。 本ビットは、NOCP ビットがクリアされている場合のみ有効になります。 0：過電流状態は全ポート一括で通知される 1：過電流状態はポート単位で通知される	R/W
b12	NOCP（NoOver Current Protection）	過電流機能サポートビット	ルートハブの過電流機能をサポートするかどうかを設定するビットです。 0：過電流状態をサポートする 1：過電流状態はサポートされない	R/W
b23-b13	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b24	POTPGT[7:0]（PowerOn ToPower GoodTime）	wait時間	ルートハブのポートに電源が供給されてからソフトウェアがアクセスするまでにwaitしなければならない時間を設定します。 時間単位は2msです。したがって、待機時間はPOTPGT × 2msとなります。	R/W

31.3.1.19　HcRhDescriptorB レジスタ

アドレス　A004 004Ch



ビット	シンボル	ビット名	機能	R/W
b0	DR[15:0]（Device Removable）	デバイスリムーブバルビット	ルートハブの各ポートがリムーバブル（取り外し可能）であるかを示すビットです。 各ビットは各ポート専用になっています。 USBホストコントローラはポート1のみです。	R
b1				R/W
b15-2				R

bit	value	説明
0	—	Reserved
1	0	ポート1に接続されているデバイスは取り外し不可
	1	ポート1に接続されているデバイスは取り外し可能
[15:2]	—	Reserved

ビット	シンボル	ビット名	機能	R/W
b16	PPCM[15:0]（PortPower ControlMask）	電源制御コマンドビット	各ポートの電源制御コマンドを設定するビットです。 HcRhDescriptorA レジスタ bit8 PSM ビットがセットされているとき有効になります。 各ビットは各ポート専用になっています。 USBホストコントローラはポート1のみです。	R
b17				R/W
b31-b18				R

bit	value	説明
0	—	Reserved
1	0	全ポート一括（Set/ClearGlobalPower）で制御されます。
	1	ポート1は個別（Set/ClearPortlPower）で制御されます。
[15:2]	—	Reserved

31.3.1.20　HcRhStatus_A、HcRhStatus_B レジスタ

(1)　HcRhStatus_A レジスタ

アドレス　A004 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCIC	SGP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCI	CGP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CGP（Clear Global Power）	グローバルパワークリアビット	本ビットに1をセットすると、ポートへの電源をOFFします。 電源がOFFになるポートは、HcRhDescriptorA レジスタ bit8 PSMビットと、HcRhDescriptorB レジスタ bit[31:16] PPCMビットの設定で決まります。 USBホストコントローラはポート1のみです。 value / PSM / PPCM[1] / 説明 0 / — / — / No Change 1 / 0 / — / HcRhPortStatus1 レジスタのPPSビットをクリア 1 / 0 / HcRhPortStatus1 レジスタのPPSビットをクリア 1 / No Change	W
b1	OCI（OverCurrent Indicator）	過電流状態インジケータビット	グローバル過電流検出モードにおいて、過電流状態を示すビットです。 ポート単位の過電流時には、本ビットは常に0を示します。 0：ポート状態は正常 1：ポートは過電流状態	R
b14-b2	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b15	SRWE（SetRemote Wakeup Enable）	DRWEビットイネーブルビット	DRWEビットをセットするためのビットです。 本ビットをセットするとDRWEビットをセットする事ができます。 0の書き込みでは何も影響しません。	W
b16	SGP（SetGlobal Power）	ポート電源設定ビット	本ビットに1をセットすると、ポートへの電源をONします。 電源がONになるポートは、HcRhDescriptorA レジスタ bit8 PSMビットと、HcRhDescriptorB レジスタ bit[31:16] PPCMビットの設定で決まります。 USBホストコントローラはポート1のみです。 value / PSM / PPCM[1] / 説明 0 / — / — / No Change 1 / 0 / — / HcRhPortStatus1 レジスタのPPSビットをセット 1 / 0 / HcRhPortStatus1 レジスタのPPSビットをセット 1 / No Change	W

ビット	シンボル	ビット名	機能	R/W
b17	OCIC（OverCurrent Indicate Change）	OCIビット変化通知ビット	OCIビットに変化があった事を通知するためのビットです。 OCIビットに変化があった場合にセットされます。本ビットがセットされているときに1を書き込むと、本ビットをクリアする事ができます。 0を書き込んでも影響しません。 0：OverCurrent状態に何もしない 1：OverCurrent状態に変化あり	R/W
b30-b18	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31	CRWE（Clear Remote Wakeup Enable）	DRWEビットクリアビット	DRWEビットをクリアするためのビットです。 本ビットをセットするとDRWEビットをクリアする事ができます。 0を書き込んでも影響しません。	W

(2)　HcRhStatus_B レジスタ

アドレス　A004 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCIC	LPSC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCI	LPS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPS（LocalPower Status）	ローカルパワーステータスビット	LocalPowerStatusをサポートしていないため、本ビットは常に0が読めます。	R
b1	OCI（OverCurrent Indicator）	過電流状態インジケータビット	グローバル過電流検出モードにおいて、過電流状態を示すビットです。 ポート単位の過電流時には、本ビットは常に0を示します。 0：ポート状態は正常 1：ポートは過電流状態	R
b14-b2	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b15	DRWE（DeviceRemote WakeupEnable）	デバイスリモート起動イネーブルビット	RemoteWakeupイベントとしてHcRhPortStatus1レジスタ bit16 CSCビットを含むかどうかを設定するビットです。 本ビットがセットされているときにConnectStatusChangeイベントが発生した場合、USB SuspendからUSB Resumeステートに遷移し、ResumeDetect割り込みを発生させます。 0：ConnectStatusChangeはRemoteWakeup要因でない 1：ConnectStatusChangeはRemoteWakeup要因である	R
b16	LPSC（LocalPower StatusChange）	ローカルパワーステータスチェンジビット	LocalPowerStatusをサポートしていないため、本ビットは常に0として読み出されます。	R
b17	OCIC（OverCurrent IndicateChange）	OCIビット変化通知ビット	OCIビットに変化があった事を通知するためのビットです。 OCIビットに変化があった場合にセットされます。本ビットがセットされているときに1を書き込むと、本ビットをクリアする事ができます。 0を書き込んでも影響しません。 0：OverCurrent状態に何もしない 1：OverCurrent状態に変化あり	R/W
b30-b18	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31	CRWE（ClearRemote WakeupEnable）	DRWEビットクリアビット	DRWEビットをクリアするためのビットです。 本ビットをセットするとDRWEビットをクリアする事ができます。 0を書き込んでも影響しません。	W

31.3.1.21　HcRhPortStatus1_A、HcRhPortStatus1_B レジスタ

(1)　HcRhPortStatus1_A レジスタ

アドレス　A004 0054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PRSC	OCIC	PSSC	PESC	CSC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CPP	SPP	—	—	—	SPR	CSS	SPS	SPE	CPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPE （ClearPortEnable）	PESビットクリアビット	PESビットをクリアするためのビットです。 1を書き込むとポートをDisableに移行します。0の書き込みは影響しません。	W
b1	SPE （SetPortEnable）	PESビットイネーブルビット	PESビットをセットするためのビットです。 1を書き込むとポートをEnableに移行します。0の書き込みは影響しません。 注1.　ポート状態の遷移は、HcRhPortStatus1_Aレジスタ bit4 SPRビットで行ってください。OHCI規格ではSPEビットによるポートEnableへの遷移をサポートしていますが、USB規格ではサポートしていません。	W
b2	SPS （SetPortSupend）	ポート状態Suspend遷移ビット	ポート状態をSuspendに遷移させるためのビットです。 1を書き込むとポートをSuspendに移行します。0の書き込みは影響しません。 CCSビットがクリアされているときに本ビットへの書き込みを行うと、CSCビットをセットしドライバにディスコネクトポートをSuspendしようとしたことを通知します。	W
b3	CSS （ClearSuspend Status）	Suspendクリアビット	Suspendを終了させResumeシーケンスを起動させるためのビットです。 1を書き込むとResumeシーケンスを起動します。0の書き込みは影響しません。 PSSビットがセットされているときのみResumeが起動します。	W
b4	SPR （SetPortReset）	ポートリセット発行ビット	ダウンストリームポートに対しポートリセットを発行するためのビットです。 本ビットに1を書き込むと10msのポートリセットが起動します。 CCSビットがクリアされているときに、本ビットへの書き込みを行うとPRSビットへの書き込みができませんが、CSCビットをセットし、ソフトウェアに対しデバイスが接続されていないとポートをリセットしようとしたことを通知します。 0の書き込みは影響しません。	W
b7-b5	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b8	SPP （SetPortPower）	ポートパワーオンビット	ポート毎のパワー制御が行われている場合に、ポートパワーをオンにするビットです。 1を書き込むとポートをオンします。0の書き込みは影響しません。	W
b9	CPP （ClearPortPower）	ポートパワークリアビット	ポートごとのパワー制御が行われている場合に、ポートパワーをオフするためのビットです。 1を書き込むとポートをオフします。0の書き込みは影響しません。	W
b15-b10	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

ビット	シンボル	ビット名	機能	R/W
b16	CSC（ConnectStatus Change）	CCSビットステータスビット	CCSビットが変化したことを示すビットです。 ホスト・ロジックは、CCSがデバイスのConnect／Disconnectにより変化するときに本ビットをセットします。 また、Disconnect中にポートリセット・ポートSuspend・ポート有効化の要求があった場合も、ソフトウェアにデバイス接続確認をさせるため、本ビットをセットします。 ソフトウェアにより1がセットされると本ビットはクリアされます。 0：CCSに何もしない 1：CCSに変化あり	R/W
b17	PESC（PortEnable StatusChange）	PESビットステータスビット	PESビットが変化したことを示すビットです。 過電流状態・Disconnect・パワーオフ・Babbleエラーなどハードウェアイベントによりポートが変化した場合にセットされるビットです。ソフトウェアにより1がセットされると本ビットはクリアされます。 0：PES状態に何もしない 1：PES状態に変化あり	R/W
b18	PSSC（PortSuspend StatusChange）	RESUMEシーケンス終了ビット	RESUMEシーケンスが終了した事を示すビットです。 ハードウェアによるすべてのRESUME処理が終了した場合にセットされます。 ソフトウェアにより1がセットされると本ビットはクリアされます。 また本ビットは、PRSCビットがセットされているときにクリアされます。 0：RESUMEが未了 1：RESUMEが完了	R/W
b19	OCIC（OverCurrent IndicateChange）	過電流状態検出ビット	ポートの過電流状態を検出した場合にセットされるビットです。 本ビットは、過電流状態をポート単位に通知する設定（HcRhDescriptorA レジスタのOCPM = 1）されているときだけ有効になります。 ソフトウェアにより1がセットされると本ビットはクリアされます。 0：OverCurrent状態に何もしない 1：OverCurrent状態に変化あり	R/W
b20	PRSC（PortReset StatusChange）	ポートリセット完了ビット	ポートリセットが完了した事を示すビットです。 本ビットは、ホスト・ロジックにより10msのハードウェアリセットが終了したときにセットされます。 ソフトウェアにより1がセットされると、本ビットはクリアされます。 0：ポートリセット未了、またはPRSビットに何もしない 1：ポートリセットが完了	R/W
b31-b21	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

(2)　HcRhPortStatus1_B レジスタ

アドレス　A004 0054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PRSC	OCIC	PSSC	PESC	CSC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LSDA	PPS	—	—	—	PRS	POCI	PSS	PES	CCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCS（Current Connect Status）	接続ステータス反映ビット	ダウンストリームポートの現在の接続ステータスを反映するビットです。 0：デバイスが接続されていない 1：デバイスが接続されている	R
b1	PES（PortEnable Status）	ポート状態イネーブルステータスビット	ポート状態が有効か無効かを示すビットです。 過電流状態・Disconnect検出・パワーオフ・Babbleエラーなどを検出すると、ホスト・ロジックが自動的にクリアします。このとき、PESCビットがセットされます。 CCSビットがクリアされているとき（デバイス未接続状態）、本ビットはをセットすることはができません。 本ビットは、ポートリセット完了時、またはポートSuspend完了時にホスト・ロジックによってセットされます。 0：ポート状態は無効 1：ポート状態は有効	R
b2	PSS（Port Suspend Status）	Suspend／Resumeステータスビット	ポート状態がSuspendかResumeシーケンス中である事を示すビットです。 SPSビットへの書き込みでセットされます。 CCSビットがクリアされているとき（デバイス未接続状態）、本ビットはセットすることができません。 また本ビットは以下のタイミングでクリアされます。 • Resumeシーケンスが完了し、PSSCビットがセットされるとき • ポートリセットが完了し、PRSCビットがセットされるとき • USB RESUMEステートにいるとき 0：ポートは通常転送状態 1：ポートはSuspend中	R
b3	POCI（PortOver Current Indicator）	ダウンストリームポート過電流検出ビット	ダウンストリームポートが過電流状態になった事を示すビットです。 本ビットは、過電流状態をポート単位に報告する設定（HcRhDescriptorA レジスタのOCPM = 1）されているときだけ有効になります。全ポート一括で通知する設定になっている場合、本ビットは0bに設定されます。 0：ポートは通常状態 1：ポートは過電流状態	R
b4	PRS（PortReset Status）	ポートリセットステータスビット	本ビットは、ポートリセット状態を示します。 10msのポートリセットが完了するとPRSCビットのセットとともにクリアされます。CCSビットがクリアされているとき（デバイス未接続状態）、本ビットはセットすることができません。 0：ポートリセット中ではない 1：ポートリセット中	R
b7-b5	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b8	PPS（PortPower Status）	電源ステータスビット	ポートの電源ステータスを示すビットです。 本ビットは、過電流が検出されるとクリアされます。 0：ポートパワーオフ 1：ポートパワーオン	R

ビット	シンボル	ビット名	機能	R/W
b9	LSDA（LowSpeed Device Attached）	デバイススピードビット	ポートに接続されたデバイススピードを示すビットです。 このステータスビットはCCSビットがセットされているときのみ有効になります。 0：FSデバイスが接続 1：LSデバイスが接続	R
b15-b10	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b16	CSC（Connect Status Change）	CCSビットステータスビット	CCSビットが変化したことを示すビットです。 ホスト・ロジックは、CCSがデバイスのConnect／Disconnectにより変化するときに本ビットをセットします。 また、Disconnect中にポートリセット・ポートSuspend・ポート有効化の要求があった場合も、ソフトウェアにデバイス接続確認をさせるため、本ビットをセットします。 ソフトウェアにより1がセットされると本ビットはクリアされます。 0：CCSに何もしない 1：CCSに変化あり	R/W
b17	PESC（PortEnable Status Change）	PESビットステータスビット	PESビットが変化したことを示すビットです。 過電流状態・Disconnect・パワーオフ・Babbleエラーなどハードウェアイベントによりポートが変化した場合にセットされるビットです。ソフトウェアにより1がセットされると本ビットはクリアされます。 0：PES状態に何もしない 1：PES状態に変化あり	R/W
b18	PSSC（Port Suspend Status Change）	RESUMEシーケンス終了ビット	RESUMEシーケンスが終了した事を示すビットです。 ハードウェアによるすべてのRESUME処理が終了した場合にセットされます。 ソフトウェアにより1がセットされると本ビットはクリアされます。 また本ビットは、PRSCビットがセットされているときにクリアされます。 0：RESUMEが未了 1：RESUMEが完了	R/W
b19	OCIC（OverCurrent Indicate Change）	過電流状態検出ビット	ポートの過電流状態を検出した場合にセットされるビットです。 本ビットは、過電流状態をポート単位に通知する設定（HcRhDescriptorA レジスタのOCPM = 1）されているときだけ有効になります。 ソフトウェアにより1がセットされると本ビットはクリアされます。 0：OverCurrent状態に何もしない 1：OverCurrent状態に変化あり	R/W
b20	PRSC（PortReset Status Change）	ポートリセット完了ビット	ポートリセットが完了した事を示すビットです。 本ビットは、ホスト・ロジックにより10msのハードウェアリセットが終了したときにセットされます。 ソフトウェアにより1がセットされると、本ビットはクリアされます。 0：ポートリセット未了、またはPRSビットに何もしない 1：ポートリセットが完了	R/W
b31-b21	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.2　EHCI Operational レジスタ

EHCI Operation レジスタは、PHY 内蔵 PLL 起動後にアクセスしてください。詳細は、**「図 31.13　初期設定シーケンス」**を参照してください。

31.3.2.1　HCIVERSION ／ CAPLENGTH レジスタ

アドレス　A004 1000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Interface Version Number[15:0]															
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	Capability Registers Length[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Registers Length [7:0]	ホスト・ロジック Operational Register開始アドレス	ホスト・ロジックのOperational Registerの開始アドレスを示します。 ホスト・ロジックは、Operation Registerは20hから始まるため、20hを示します。	R
b15-b8	—	予約ビット	Don't care	R
b31-b16	Interface Version Number [15:0]	EHCIバージョン	ホスト・ロジックがサポートするEHCIのバージョンを示します。 ホスト・ロジックは、EHCI Rev1.0に準拠しているため、0100hを示します。	R

31.3.2.2　HCSPARAMS レジスタ

アドレス　A004 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	Debug Port Number[3:0]				—	—	—	P_INDICATOR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	N_CC[3:0]				N_PCC[3:0]				Port Routing Rules	—	—	PPC	N_PORTS[3:0]			
リセット後の値	0	0	0	1	0	0	0	1	1	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	N_PORTS [3:0]（Number of Ports）	ダウンストリームポート数	ホスト・ロジックで使用する物理的なダウンストリームポート数を示すビットです。 PCI Configuration EXT1 レジスタ bit[1:0] Port_no ビットの設定値が反映されます。 USBホストコントローラは1ポートのため、1hを示します。	R
b4	PPC（Port Power Control）	ポートパワー制御ビット	ホスト・ロジックのポートパワー制御方法を示すビットです。 USBホストコントローラは、電源供給制御をサポートするため、1を示します。	R
b6-b5	—	予約ビット	Don't care	R
b7	Port Routing Rules	ポートルートルール	各ポートがどのようにOHCIホスト・ロジックにマッピングされているかを示すビットです。 ホスト・ロジックは、HCSP_PORTROUTE レジスタの内容がマッピング方法を示すため、1hを示します。	R
b11-b8	N_PCC[3:0]（Number of Ports per Companion Controller）	ポート数	1基のOHCIホスト・ロジックによってサポートされるポート数を示すビットです。 本ビットには、PCI Configuration EXT1 レジスタ bit[1:0] Port_no ビットの設定値が反映されます。 USBホストコントローラは1ポートのため、1hを示します。	R
b15-b12	N_CC[3:0]（Number of Companion Controller）	OHCIホスト・ロジック数	EHCIホスト・ロジックに関連するOHCIホスト・ロジックの数を示すビットです。 ホスト・ロジックは1基のOHCIホスト・ロジックを搭載しているため、1hを示します。	R
b16	P_INDICATOR	ポート・インジケータ制御サポートビット	ホスト・ロジックがポート・インジケータ制御をサポートするかどうかを示すビットです。 ホスト・ロジックはポート・インジケータ制御をサポートしないため、0を示します。	R
b19-b17	—	予約ビット	Don't care	R
b23-b20	Debug Port Number[3:0]	デバッグ用ポート番号	ホスト・ロジックのポートがデバッグ用ポートであることを示すビットです。 ホスト・ロジックはデバッグポートを持たないため、0000bを示します。	R
b31-b24	—	予約ビット	Don't care	R

31.3.2.3　HCCPARAMS レジスタ

アドレス　A004 1008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EECP[7:0]								IST[3:0]				—	ASPC	PFLF	AC64
リセット後の値	1	1	1	0	1	0	0	0	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	AC64	メモリポインタ選択ビット	データ構造が、32bit・アドレスのメモリポインタと64bit・アドレスのメモリポインタのどちらを使用するかを示すビットです。 ホスト・ロジックは32bit・アドレスのメモリポインタを使用するデータ構造であるため、0を示します。64bitはサポートしていません。	R
b1	PFLF	プログラミングフレームリストフラグ	ソフトウェアが使用できるフレームリストサイズに対する設定を示すビットです。 ホスト・ロジックは1を示します。 1に設定されている場合、USBCMDレジスタ bit[3:2] Frame List Size経由で使用可能なフレームリストサイズを設定でき、4Kバイトよりも小さなフレームリストサイズが設定可能です。	R
b2	ASPC	Asynchronousスケジュール Parkサポート可否ビット	Asynchronousスケジュールにおいて、High Speed QH （Queue Head）に対するParkモードのサポート可否を示すビットです。 ホスト・ロジックは上記機能をサポートしているため、1を示します。	R
b3	—	予約ビット	Don't care	R
b7-b4	IST[3:0]	Isochronousデータ構造しきい値	ホスト・ロジックはフレーム全体のIsochronousデータ構造のキャッシュをサポートしないため、0hを示します。	R
b15-b8	EECP[7:0]（EHCI Extend Capabilities Pointer）	オフセットアドレスビット	EHCI拡張機能レジスタ（EHCI Extend Capabilities Registers）のオフセットアドレスを示すビットです。EHCI Configuration SpaceのE8hに拡張レジスタが存在することを示します。 ホスト・ロジックはレガシー機能をサポートしていないため、本ビットの読み出しは意味を持ちません。	R
b31-b16	—	予約ビット	Don't care	R

31.3.2.4　HCSP_PORTROUTE レジスタ

アドレス　A004 100Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Companion Port Route[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Companion Port Route[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	Companion Port Route[31:0]	OHCIホストのポート表示ビット	OHCIホスト・ロジックが担当するポートを示すビットです。 ホスト・ロジックはOHCIホスト・ロジックを1基搭載しているため、0000 0000hを示します。	R

31.3.2.5　USBCMD レジスタ

アドレス　A004 1020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	Interrupt Threshold Control[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	Asynchronous Schedule Park Mode Enable	—	ASPMC[1:0]		Light Host Controller Reset	Interrupt on Async Advance Doorbell	ASPME	Periodic Schedule Enable	Frame List Size[1:0]		HCRESET	RS
リセット後の値	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RS （Run／Stop）	EHCIホスト・ロジック実行・停止ビット	EHCIホスト・ロジックを実行・停止させるビットです。 本ビットを1にセットすると、ホスト・ロジックが動作を開始します。 本ビットに1がセットされている限り、ホスト・ロジックは実行し続けます。 なお、本ビットは、ホスト・ロジックがHalt状態のときに、1にセットしてください。 USBSTS レジスタ ビット12 HCHaltedビットは、ホスト・ロジックがトランザクションを終了し、停止状態に入ったことを示します。 0：停止（ホスト・ロジックはトランザクションを完了し、Haltしています） 1：実行（ホスト・ロジックはスケジュールを実行します）	R/W
b1	HCRESET （Host Controller Reset）	ホスト・ロジック初期化ビット	ホスト・ロジックを初期化するビットです。 本ビットを1にセットすると、ホスト・ロジックは、内部のパイプラインやステートマシンを初期化します。USB上の通信は直ちに停止します。このとき、ダウンストリームポートにUSB Resetは発行されません。 本リセットにより、PCI Configuration Registerは初期化されませんが、EHCI Operation Registerは、初期化され、Port Ownerは、OHCIに戻ります。 本ビットはリセットの完了時にホスト・ロジックにより、自動的に0にクリアされます。ソフトウェアによる0書き込みにより、リセットを中止することはできません。 本ビットはUSBSTS レジスタ 12 HCHalted = 1のときにセットしてください。	R/W
b3-b2	Frame List Size[1:0]	フレームリストサイズ	フレームリストサイズを指定するビットです。 本ビットの設定値が、FRINDEX レジスタのFrame List Cuurent indexのサイズを決定します。 b3 b2 00：1024 elements （4096 バイト） 01：512 elements （2048 バイト） 10：256 elements （1024バイト） 11：Reserved	R/W
b4	Periodic Schedule Enable	Periodicスケジュールイネーブルビット	Periodicリスト処理を進めるかスキップするかを設定するビットです。 0：Periodicリスト処理を進めない（スキップする） 1：PERIODICLISTBASE レジスタを使用してPeriodicリスト処理を進める。 注.　0 の状態で、USBデータ転送を行う場合は、EXT1 レジスタ b12 ビットを0 に設定してください。詳細は「31.3.3.12　Offset E0h レジスタ（EXT1）」を参照してください。	R/W

ビット	シンボル	ビット名	機能	R/W
b5	ASPME	非同期スケジュールイネーブルビット	Asynchronousリスト処理を進めるかスキップするかを設定するビットです。 0：Asynchronousリスト処理を進めない（スキップする） 1：ASYNCLISTADDRレジスタを使用してAsynchronousリスト処理を進める。	R/W
b6	Interrupt on Async Advance Doorbell	Doorbellビット	ソフトウェアがDoorbellとして使用するビットです。 次のQH（Queue）処理に進むときに割り込みを発生させたい場合、本ビットに1をセットします。 USBINTRレジスタ　ビット5 Interrupt on Async Advance Enableが1にセットされている場合、本ビットに1をセットした次の割り込みタイミングで、割り込みが発生します。 USBINTRレジスタ　ビット5 Interrupt on Async Advance Enableが0のときに本ビットをセットした場合の動作は保証しません。 本ビットのクリアはホスト・ロジックにより行われます。 ホスト・ロジックは、1つのQHの処理が正常に完了すると本ビットを0にクリアし、USBSTSレジスタ　ビット5 Interrupt on Async Advanceビットに1をセットします。	R/W
b7	Light Host Controller Reset	Light Host Controller Reset実行ステータスビット	Light Host Controller Resetの実行ステータスを示すビットです。 ホスト・ロジックは、Light Host Controller Resetをサポートしないため、0固定です。	R
b9-b8	ASPMC[1:0]	非同期Schedule Parkトランザクション数	1つのQH（Queue Head）から連続実行可能なトランザクション数を設定するビットです。 1h～3hまでが有効な値となります。 本ビットは、ビット11 Asynchronous Schedule Park Mode Enableが1のとき有効になります。	R/W
b10	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b11	Asynchronous Schedule Park Mode Enable	Parkモードイネーブルビット	Parkモードの有効／無効を設定するビットです。 0：無効 1：有効	R/W
b15-b12	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b23-b16	Interrupt Threshold Control[7:0]	ホスト・ロジック割り込み発生最大レート	ホスト・ロジックが割り込みを発生するまでの最大レートを示します。 以下に示した値以外の書き込みは保証しません。 00h：Reserved 01h：1 micro-frame 02h：2 micro-frames 04h：4 micro-frames 08h：8 micro-frames （1 ms） 10h：16 micro-frames （2 ms） 20h：32 micro-frames （4 ms） 40h：64 micro-frames （8 ms）	R/W
b31-b24	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.2.6　USBSTS レジスタ

アドレス　A004 1024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Asynchronous Schedule Status	Periodic Schedule Status	Reclamation	HCHalted	—	—	—	—	—	—	Interrupt on Async Advance	Host System Error	Frame List Rollover	Port Change Detect	USBERRINT	USBINT
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBINT（USB Interrupt）	USB転送完了ビット	USB転送が完了したことを示すビットです。 ホスト・ロジックは以下の条件が発生した場合、本ビットに1をセットします。 • USB転送が完了したとき • ショートパケットを受信したとき また、USB転送がエラーで完了してもTDのIOC （Interrupt On Complete）に1がセットされている場合、本ビットに1がセットされます。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。 0：USB転送は完了していない 1：USB転送が完了	R/W
b1	USBERRINT（USB Error Interrupt）	USBトランザクションステータスビット	USBトランザクションがエラーで完了したことを示すビットです。 ホスト・ロジックはUSBトランザクションがエラーで完了したとき、本ビットに1をセットします。本ビットがセットされるエラーとして、エラーカウンタがアンダフローした場合などがあります。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。 0：USBトランザクションは正常 1：USBトランザクションがエラーで完了	R/W
b2	Port Change Detect	ポート状態変化検出ビット	ポート状態に変化が生じたことを示すビットです。 ホスト・ロジックは、PORTSC[n]レジスタ　ビット13 Port Ownerが0にセットされているいずれかのポートにおいて、以下の条件が1つでも満たされた時、本ビットに1をセットします。 [1セット条件] • PORTSC[n]レジスタ　ビット1 Connect Status Changeビットが0→1に変化 （デバイスのConnect／Disconnectを検出したとき） • PORTSC[n]レジスタ　ビット3 Port Enable／Disable Changeビットが0→1に変化 （ポートのEnable状態が変化したとき） • PORTSC[n]レジスタ　ビット5 Over-current Change Changeビットが0→1に変化 （過電流状態を検出したとき） • PORTSC[n]レジスタ　ビット6 Force Port Resumeビットが0→1に変化 （Suspendされているポートで J-Kの遷移が検出されたとき） ソフトウェアが1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。	R/W

ビット	シンボル	ビット名	機能	R/W
b3	Frame List Rollover	Frame List Rolloverビット	FRINDEXレジスタのFrame Indexビットが最大値から000hに戻った（rollover）ときに、ホスト・ロジックは本ビットを1にセットします。最大値（rolloverは生じる値）は、USBCMDレジスタ　ビット[3:2] Frame List Sizeに依存します。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません 0：フレームリストが000hに戻っていない 1：フレームリストが000hに戻った	R/W
b4	Host System Error	ホストシステムエラービット	ホスト・ロジックに深刻なエラーが発生した場合、本ビットに1がセットされます。 例としてPCIシステム上でパリティエラーが発生した場合などがあります。本エラーが発生した場合、ホスト・ロジックはそれ以降のTDを実行しないように、USBCMDレジスタ　ビット0 RSビットを0にクリアします。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。 0：システムエラーは発生していない 1：システムエラー発生	R/W
b5	Interrupt on Async Advance	Async Advance割り込みステータスビット	Async Advance割り込みステータスを示すビットです。 ホスト・ロジックはQHをフェッチすると、USBCMDレジスタ　ビット6 Interrupt on Async Advance Doorbell （IAAD）ビットをチェックします。IAADビットに1がセットされていた場合、ホスト・ロジックはQHの処理が正常に完了するとIAADビットをクリアし、本ビットをセットします。 USBINTRレジスタ　ビット5 Interrupt on Async Advance Enableが1にセットされている場合、本ビットに1がセットされた次の割り込みタイミングで本要因による割り込みが発生します。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。 0：Async Advance割り込みは発生していない 1：Async Advance割り込み状態を検出	R/W
b11-b6	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b12	HCHalted	EHCIホスト・ロジックステータスビット	本ビットは、USBCMDレジスタ　ビット0 RSビットが1の場合、0を示します。 ホスト・ロジック、またはソフトウェアによりRSビットに0がセットされると、EHCIホスト・ロジックは実行を停止し、本ビットはホスト・ロジックによって1がセットされます。 0：EHCIホスト・ロジックは実行中 1：EHCIホスト・ロジックは停止中	R
b13	Reclamation	Asyncronousスケジュール空き検出ビット	空のAsyncronousスケジュールを検出するために使用するビットです。 ホスト・ロジックは、リセット後またはH = 1のQHをフェッチした場合に本ビットを0にクリアします。 また、ホスト・ロジックは、Asynchronousトランザクションを実行するとき、または開始イベントを検知したときに本ビットを1にセットします。 ホスト・ロジックは、本ビットが0の状態でH = 1bのQHをフェッチした場合、Async Sched Sleepingモードに移行します。	R
b14	Periodic Schedule Status	Periodicスケジュールステータスビット	現在のPeriodicスケジュールの状態を示すビットです。 Periodicスケジュールは、本ビットおよびUSBCMDレジスタ　ビット4 Periodic Schedule Enableが同じ値の場合に有効（1）／無効（0）のどちらかになります。 0：Periodicスケジュールが無効 1：Periodicスケジュールが有効	R
b15	Asynchronous Schedule Status	Asynchronousスケジュールステータスビット	現在のAsynchronousスケジュールの状態を示すビットです。 Asynchronousスケジュールは、本ビットおよびUSBCMDレジスタ　ビット5 ASPMEが同じ値の場合に有効（1）／無効（0）のどちらかになります。 0：Asynchronousスケジュールが無効 1：Asyncrhonousスケジュールが有効	R
b31-b16	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.2.7　USBINTR レジスタ

アドレス　A004 1028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	Interrupt on Async Advance Enable	Host System Error Enable	Frame List Rollover Enable	Port Change Interrupt Enable	USB Error Interrupt Enable	USB Interrupt Enable
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USB Interrupt Enable	USB Interruptイネーブルビット	USBSTSレジスタ　ビット0 USBINTの有効／無効を設定します。 割り込みのクリアはUSBINTで行ってください。 0：無効 1：有効	R/W
b1	USB Error Interrupt Enable	USB Error Interruptイネーブルビット	USBSTSレジスタ　ビット1 USBERRINTの有効／無効を設定します。 割り込みのクリアはUSBERRINTで行ってください。 0：無効 1：有効	R/W
b2	Port Change Interrupt Enable	Port Change Interruptイネーブルビット	USBSTSレジスタ　ビット2 Port Change Detectの有効／無効を設定します。 割り込みのクリアはPort Change Detectで行ってください。 0：無効 1：有効	R/W
b3	Frame List Rollover Enable	Frame List Rolloveイネーブルビット	USBSTSレジスタ　ビット3 Frame List Rolloverの有効／無効を設定します。 割り込みのクリアはFrame List Rolloverで行ってください。 0：無効 1：有効	R/W
b4	Host System Error Enable	Host System Errorイネーブルビット	USBSTSレジスタ　ビット4 Host System Errorの有効／無効を設定します。 割り込みのクリアはHost System Errorで行ってください。 0：無効 1：有効	R/W
b5	Interrupt on Async Advance Enable	Interrupt on Async Advanceイネーブルビット	USBSTSレジスタ　ビット5 Interrupt on Async Advanceの有効／無効を設定します。 割り込みのクリアはInterrupt on Async Advanceで行ってください。 0：無効 1：有効	R/W
b31-b6	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.2.8　FRINDEX レジスタ

アドレス　A004 102Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	Frame Index[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	Frame Index[13:0]	フレームインデックス	ホスト・ロジックが、Periodicフレームリストにインデックスを付けるため使用するビットです。 本ビットの値は、マイクロフレームの終わりでインクリメントされます。 本ビットの[N:3]は、Frame List Current indexとして使用されます。これは次のインデックスに移る前に、現在のフレームリストに8回アクセスすることを意味しています。Nの値は、USBCMDレジスタ　ビット[3:2] Frame List Sizeビットの設定値で以下のように決まります。 Frame List Size / Number Elements / N 00 / (1024) / 12 01 / (512) / 11 10 / (256) / 10 11 / Reserved 本レジスタへのアクセスは、ホスト・ロジックが停止状態（USBSTSレジスタ　ビット12 HCHalted = 1）の時のみとしてください。 なお、本ビットの設定値は、SOFトークンのSOFフレーム番号に反映されます。	R/W
b31-b14	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.2.9　CTRLDSSEGMENT レジスタ

アドレス　A004 1030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CTRLDSSEGMENT[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTRLDSSEGMENT[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	CTRLDSSEGMENT[31:0]	—	ホスト・ロジックは、64 ビットアドレス方式ををサポートしていないため、本レジスタは使用しません。したがって、本レジスタにはアクセスしないでください。	R

31.3.2.10　PERIODICLISTBASE レジスタ

アドレス　A004 1034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BaseAddress(Low)[21:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BaseAddress(Low)[21:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b12	BaseAddress(Low)[21:0]	Periodic フレームリスト先頭アドレス	システムメモリ上にあるPeriodic フレームリストの先頭アドレスを示すビットです。 ソフトウェアは、ホスト・ロジックがリスト処理を開始する前に本レジスタをロードします。 ホスト・ロジックは、本ビットとFRINDEXレジスタ　ビット[13:0] Frame Indexにより、処理するフレームリストを決定します。 Periodicフレームリストのアドレスは、4Kバイトでアラインしてください。 動作中にこれらのビットを変更した場合の動作は保証しません。	R/W

31.3.2.11　ASYNCLISTADDR レジスタ

アドレス　A004 1038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LPL[26:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LPL[26:0]											—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b5	LPL[26:0]（Link Pointer Low）	Asynchronous Queue Head リンクポインタアドレス	次に処理されるAsynchronous Queue Headのシステムメモリ上のアドレスを示すビットです。 Aynnchronous Queue Headのアドレスは、32バイトでアラインしてください。	R/W

31.3.2.12　CONFIGFLAG レジスタ

アドレス　A004 1060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF（Configure Flag）	ポートルーティング制御回路構成フラグ	ポートルーティング制御回路が、デフォルトでOHCI / EHCIのどちらをルーティングするかを制御するビットです。 ソフトウェアは、ホスト・ロジックをコンフィグレーションする過程の最後で本ビットに1をセットします。 0：ポートルーティング制御回路はデフォルトで各ポートを OHCI ホスト・ロジックにルーティングします。 1：ポートルーティング制御回路はデフォルトで各ポートをEHCI ホスト・ロジックにルーティングします。	R/W
b31-b1	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.2.13　PORTSC1 レジスタ

アドレス　A004 1064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	WKOC_E	WKDSCNNT_E	WKCNNT_E	Port Test Control [3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Port Indicator Control[1:0]		Port Owner	PP	Line Status[1:0]		—	Port Reset	Suspend	Force Port Resume	Over-current Change	Over-current Active	Port Enable/ Disable Change	Port Enabled/ Disabled	Connect Status Change	Current Connect Status
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	Current Connect Status	ポート接続ステータスビット	ポートの接続ステータスを示すビットです。 ホスト・ロジックは、デバイスの接続を検出すると本ビットに1をセットします。 また、デバイスが接続されていない状態でもPort Test Control[3:0] = 0101b （Test FORCE_ENABLE）の場合、1をセットします。 一方、デバイスの切断を検出すると0をセットします。 なお、PPビットが0、またはPort Ownerビットが0の場合、本ビットは0になります。 0：ポートにデバイスが接続されていない 1：ポートにデバイスが接続されている	R
b1	Connect Status Change	Connect Status Change ビット	ビット0 Current Connect Statusビットが変化したことを示すビットです。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません PPビットが0の場合、本ビットは0になります。 0：何もしない 1：ビット0 Current Connect Statusビットが変化した	R/W
b2	Port Enabled／Disabled	ポートEnable／Disable ステータスビット	ポートのEnable／Disableステータスを示すビットです。 ホスト・ロジックは、ポートをリセットし、接続されたデバイスがHSデバイスと認識した場合、ポートをEnableにし、本ビットに1をセットします。ソフトウェアで本ビットに1をセットすることはできません。 ホスト・ロジックはデバイスの切断またはその他のエラーを検出した場合、ポートをDisableにし、本ビットを0にクリアします。 また、ソフトウェアによる0書き込みによってもポートはDisableになります。ただし、本ビットへの書き込みは、ポートの状態が実際に変化するまでは反映されません。 ポートがDisalbeの場合、ポートリセットを除き、ダウンストリームポートへのデータ転送はブロックされます。 PPビットが0の場合、本ビットは0になります。 なお、Port Test Control[3:0] = 0101b （Test FORCE_ENABLE）の場合、ポートの状態に関係なくポートはEnableとなり、本ビットに1がセットされます。 0：ポートがDisable 1：ポートがEnable	R/W
b3	Port Enable／Disable Change	ポートEnable／Disable ステータス変化ビット	ポートのEnable／Disableステータスに変化があったことを示すビットです。 ホスト・ロジックがFrame Babbleを検出したとき、ポートをDisableにし、本ビットに1をセットします。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません また、PPビットが0の場合、本ビットは0になります。 0：何もしない 1：ポートのEnableステータスからDisableステータスに遷移した	R/W

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b4</td><td>Over-current Active</td><td>ポート過電流ステータスビット</td><td>ポートの過電流ステータスを示すビットです。
ホスト・ロジックが過電流を検出すると、ビット12 PPビットとその関連ビットをクリアし、本ビットに1bをセットします。
本ビットは過電流状態が解除されると自動的に1→0にクリアされます。
0：ポートは過電流状態ではない
1：ポートは過電流状態である</td><td>R</td></tr>
<tr><td>b5</td><td>Over-current Change</td><td>Over-current Changeビット</td><td>ビット4 Over-current Activeビットが変化したことを示すビットです。
1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。
0：何もしない
1：ビット4 Over-current Activeビットが変化</td><td>R/W</td></tr>
<tr><td>b6</td><td>Force Port Resume</td><td>ポートResume検出フラグ</td><td>ポートがResume状態を検出したことを示すビットです。
ポートがSuspend中にJからK Stateへの遷移を検知した場合（RemoteWakeUp）、ホスト・ロジックは、本ビットとUSBSTSレジスタ ビット2 Port Change Detectビットに1をセットします。また、レジューム信号を出力するために、本ビットに1をセットします。この場合、Port Change Detectビットはセットしてはいけません。
本ビットが1の間、Resume信号（FS K State）がUSBポートにドライブされます。適切な時間が経過した後、本ビットを0にクリアしてください。
本ビットが1のときに0を書き込むことで、ポートはHS Idle状態に復帰します。復帰するまで本ビットには1が維持されます。
また、PPビットが0の場合、本ビットは0になります。
0：Resume （K-state）が検出／出力されていない
1：Resume （K-state）が検出／出力された</td><td>R/W</td></tr>
<tr><td>b7</td><td>Suspend</td><td>ポートSuspendビット</td><td>ポートのSuspend状態を示すビットです。
0：ポートはSuspend中ではない
1：ポートはSuspend中である

本ビットと ビット2 Port Enabled／Disabledビットにより、ポートの状態は以下のようになります。
<table><tr><th>Port Enabled/Disabled</th><th>Suspend</th><th>ポート状態</th></tr><tr><td>0</td><td>X</td><td>無効</td></tr><tr><td>1</td><td>0</td><td>有効</td></tr><tr><td>1</td><td>1</td><td>Suspend</td></tr></table>
Suspend状態では、ポートリセットを除き、ダウンストリームポートへのデータ転送はこのポートでブロックされます。データ転送中に本ビットに1がセットされた場合、現在の転送終了後に、ステータスの反映およびデータ転送がブロックされます。
本ビットへの1のセットは、ソフトウェアより行います。ソフトウェアによる1のセットは、ホスト・ロジックのレジスタがPPビット = 1かつPort Ownerビット = 0かつCurrent Connect Statusビット = 1の場合のみ可能です。
本ビットは、以下の場合、無条件で0にクリアされます。
• ソフトウェアでForce Port Resumeビットを0にクリアした場合
• ソフトウェアでPort Resetビットを1にセットした場合
また、PPビットが0の場合、本ビットは0になります。</td><td>R/W</td></tr>
</table>

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b8</td><td>Port Reset</td><td>ポートリセットステータスビット</td><td>ポートのリセットステータスを示すビットです。
0：ポートはリセット中ではない
1：ポートはリセット中である
本ビットが0の状態で1を書き込むと、USB2.0規格で定義されたBus Resetのシーケンスが開始されます。Bus Resetシーケンスを終了させるため、本ビットに0を書き込む必要があります。ただしUSB2.0規格に基づき、Bus Resetシーケンスが完了するまで十分に長い時間、本ビットを1に保持してください。
USBSTSレジスタ　ビット12 HCHaltedが1の場合、ポートをリセットしないでください。
なお、本ビットは、PPビット、Port Ownerビット、Current Connect Statusビットの何れかが以下の状態の場合、0となります。
• PPビット = 0
• Port Ownerビット = 1
• Current Connect Statusビット = 0</td><td>R/W</td></tr>
<tr><td>b9</td><td>—</td><td>予約ビット</td><td>書き込み時は、“0”を書き込んでください。</td><td>R/W</td></tr>
<tr><td>b11-b10</td><td>Line Status[1:0]</td><td>D+／D-論理レベル</td><td>現在のUSBポートのD+／D-の論理レベルを示すビットです。
（ビット11:D+／ビット10:D-）
本ビットは、ポートリセットやポートをイネーブルにするシーケンスの前にLSデバイスを検出するために使用します。
したがって、ビット3 Port Enable／Disableビット = 0かつ ビット0 Current Connect Status = 1のときのみ、本ビットは有効になります。
なお、PPビットが0の場合、本ビットは0になります。
<table>
<tr><th>bit11（D+）</th><th>bit10（D-）</th><th>USB State</th><th>Interpretation</th></tr>
<tr><td>0</td><td>0</td><td>SE0</td><td>LSデバイスではない。
EHCIポートリセット実行へ移行。</td></tr>
<tr><td>0</td><td>1</td><td>K State</td><td>LSデバイスが接続された。
ポート所有権をEHCIからOHCIに開放する。</td></tr>
<tr><td>1</td><td>0</td><td>J State</td><td>LSデバイスではない。
EHCIポートリセット実行へ移行。</td></tr>
<tr><td>1</td><td>1</td><td>未定義</td><td>LSデバイスではない。
EHCIポートリセット実行へ移行。</td></tr>
</table></td><td>R</td></tr>
<tr><td>b12</td><td>PP
（Port Power）</td><td>ポート電源供給制御ビット</td><td>ポートに対する電源供給を制御します。
本ビットが0の場合、ポートに電源が供給されていないため、ポートは機能せず、接続／切断を認識しません。
本ビットに1がセットされている状態で過電流が検出されると、ホスト・ロジックによって本ビットは0にクリアされ、ポートへの電源の供給が停止されます。
0：ポートに電源供給していない
1：ポートに電源供給している
なお、本ビットの機能は、HCSPARAMSレジスタ　ビット4 PPCビットの値に依存します。
<table>
<tr><th>PPC</th><th>PP</th><th>Function</th></tr>
<tr><td>0</td><td>1</td><td>本ビットは1固定となり、ポートには常に電源が供給されます。</td></tr>
<tr><td>1</td><td>0/1</td><td>ポートへの電源供給は、本ビットにしたがいます。</td></tr>
</table></td><td>R/W</td></tr>
<tr><td>b13</td><td>Port Owner</td><td>ポート所有権ビット</td><td>ポートの所有権がOHCI / EHCIのどちらにあるのかを示すビットです。
0：ポートの所有権はEHCI
1：ポートの所有権はOHCI
CONFIGFLAGレジスタ　ビット0 CFビットが0→1に変化すると、本ビットは0にクリアされます。また、CFビットが0の場合、本ビットは1になります。
ソフトウェアは、接続されたデバイスがHigh Speedデバイスでない場合、ポートの所有権をOHCIに渡すため、本ビットに1をセットします。</td><td>R/W</td></tr>
</table>

ビット	シンボル	ビット名	機能	R/W
b15-b14	Port Indicator Control[1:0]	—	ホスト・ロジックはPort Indicator Controlをサポートしないため、00bを示します。 本ビットへの書き込みは影響しません。	R
b19-b16	Port Test Control[3:0]	端子テスト制御ビット	テストモードを制御するビットです。 テストモードの詳細はUSB2.0 Specification Chapter7を参照してください。 Port Test Control[3:0] / Mode 0000b: Normal 0001b: Test J_STATE 0010b: Test K_STATE 0011b: Test SE0_NAK 0100b: Test Packet 0101b: Test FORCE_ENABLE 上記以外: Reserved	R/W
b20	WKCNNT_E（Wake on Connect Enable）	デバイス接続検知イネーブルビット	本ビットに1を書き込むことで、デバイスの接続をWakeUpイベントとして検知することができます。本ビットはホスト・ロジックの動作に影響を与えません。 PPビットが0の場合、本ビットは0になります。	R/W
b21	WKDSCNNT_E（Wake on Disconnect Enable）	デバイス切断探知イネーブルビット	本ビットに1を書き込むことで、デバイスの切断をWakeUpイベントとして検知することができます。本ビットはホスト・ロジックの動作に影響を与えません。 PPビットが0の場合、本ビットは0になります。	R/W
b22	WKOC_E（Wake on Over-current Enable）	過電流状態探知イネーブルビット	本ビットに1を書き込むことで、過電流状態をWakeUpイベントとして検知することができます。本ビットはホスト・ロジックの動作に影響を与えません。 PPビットが0の場合、本ビットは0になります。	R/W
b31-b23	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.3　OHCI 用 PCI Configuration レジスタ

31.3.3.1　Offset 00h レジスタ（Vendor ID・Device ID）

アドレス　A005 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Device ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Vendor ID[15:0]															
リセット後の値	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	Vendor ID[15:0]	デバイスベンダー ID	デバイスのベンダーを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Device ID[15:0]	デバイス ID	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R

31.3.3.2　Offset 04h レジスタ（Command・Status）

アドレス　A005 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing[1:0]		Data Parity Error Detected	Fast Back to Back Capable	—	—	Capabilities List	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

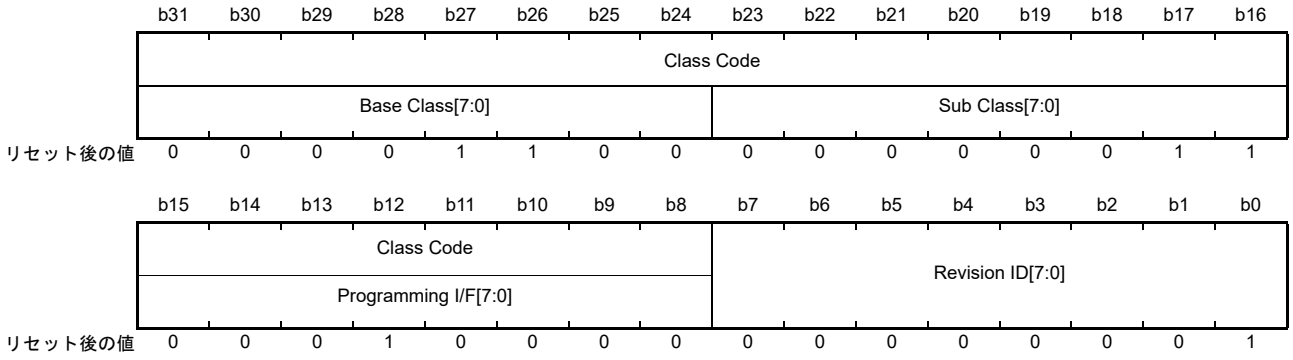
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	Fast Back to Back Enable	SERR Enable	Wait Cycle Control	Parity Error Response	VGA Palette Snoop	Memory Write and Invalidate Enable	Special Cycle	Bus Master	Memory Space	I/O Space
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I/O Space	I/O空間アクセス イネーブルビット	I/O空間へのアクセスイネーブルビットです。 ホスト・ロジックはI/Oアクセスを受け付けないため常に0になります。	R
b1	Memory Space	メモリ空間アクセス イネーブルビット	メモリ空間へのアクセスイネーブルビットです。PCI規格におけるメモリアクセスを行うためのEnable信号であり、レジスタアクセスを行う場合、1に設定してください。 ホスト・ロジックの初期設定時に1を設定してください。	R/W
b2	Bus Master	バスMasterイネーブル ビット	バスMasterのイネーブルビットです。 PCIバスに対しMasterアクセスを行うためのEnable信号であり、システムバスのSRAMにアクセスする場合、1に設定してください。 ホスト・ロジックの初期設定時に1を設定してください。	R/W
b3	Special Cycle	Special Cycleイネーブル ビット	Special Cycleのイネーブルビットです。 ホスト・ロジックはSpecial Cycleに対応しないため常に0になります。	R
b4	Memory Write and Invalidate Enable	Memory Write and Invalidateイネーブル ビット	Memory Write and Invalidateのイネーブルビットです。 USBホストコントローラではリセット後の値0のままとしてください。 0：Memory write and invalidateコマンドは無効 1：Memory write and invalidateコマンドは有効	R/W
b5	VGA Palette Snoop	VGA Palette Snoop イネーブルビット	VGA Palette Snoopのイネーブルビットです。 ホスト・ロジックはVGA Palette Snoopに対応しないため常に0になります	R
b6	Parity Error Response	Parity Error応答イネーブル ビット	Parity Error応答のイネーブルビットです。 0：PERR0をアサートしない 1：PERR0をアサートする Parity Error検出時、本ビットが0に設定されている場合でも、Detected parity errorビットは1にセットされます。	R/W
b7	Wait Cycle Control	Wait Cycle Control イネーブルビット	Wait Cycle Controlのイネーブルビットです。 ホスト・ロジックはAddress／Data Steppingに対応しないため常に0になります。	R
b8	SERR Enable	システムエラー応答 イネーブルビット	システムエラー応答のイネーブルビットです。 0：SERR0をアサートしない 1：SERR0をアサートする システムエラーをSERR信号に伝達させる場合は1に設定してください。	R/W
b9	Fast Back to Back Enable	Fast Back to Back イネーブルビット	Fast Back to Backのイネーブルビットです。 ホスト・ロジックはFast Back to Backに対応していないため常に0になります。	R
b19-b10	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b20	Capabilities List	Power Management Mode サポートビット	Power Management Modeサポートを示すビットです。常に1に固定になります。	R

ビット	シンボル	ビット名	機能	R/W
b22-b21	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b23	Fast Back to Back Capable	Fast Back to Back対応ビット	Fast Back to Backに対応しているかを示すビットです。 Fast Back to Backに対応しないため0固定となります。	R
b24	Data Parity Error Detected	データパリティエラー検出フラグ	Mastar動作時にパリティエラーを検出した場合にセットされます。PCIバスからの1書き込みによりクリアされます。Parity Error Responseビットが Disableの場合は0固定になります。	R/W
b26-b25	Devsel Timing[1:0]	DEVSEL応答速度	DEVSEL応答速度を示すビットです。01b（中速応答）固定になります。	R
b27	Signaled Target Abort	Slave／Target Abort ステータスビット	Slave／Target Abortのステータスビットです。Slave動作において、ホスト・ロジックがアクセスされたバスサイクルをTarget Abortによって終了させた場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b28	Received Target Abort	Mastar／Target Abort ステータスビット	Mastar／Target Abortのステータスビットです。Mastar動作において、ホスト・ロジックが実行していたバスサイクルがTarget Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みでクリアされます。	R/W
b29	Received Master Abort	Mastar／Mastar Abort ステータスビット	Mastar／Mastar Abortのステータスビットです。Mastar動作において、ホスト・ロジックが実行していたバスサイクルがMASTER Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b30	Signaled System Error	SERRステータスビット	SERRのステータスビットです。システムエラーが発生した場合に1がセットされます。 PCIバスからの1書き込みによりクリアされます。	R/W
b31	Detected Parity Error	パリティエラーステータスビット	パリティエラーのステータスビットです。アドレスまたはデータパリティエラーを検知した場合にセットされます。PCIバスからの1書き込みによりクリアされます。	R/W

31.3.3.3　Offset 08h レジスタ（Revision ID・Class Code）

アドレス　A005 0008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Revision ID[7:0]	ホスト・ロジックリビジョンビット	ホスト・ロジックのリビジョンを示すビットです。 01hを示します。	R
b15-b8	Programming I/F[7:0]	PCI規格プログラム・インタフェースビット	PCI規格におけるプログラム・インタフェースを示すビットです。 OHCIを示す10hを示します。	R
b23-b16	Sub Class[7:0]	PCI規格サブクラスビット	PCI規格におけるサブクラスを示すビットです。 USBデバイスを示す03hを示します。	R
b31-b24	Base Class[7:0]	PCI規格基本クラスビット	PCI規格における基本クラスを示すビットです。 シリアル周辺バスのコントローラを示す0Chを示します。	R

31.3.3.4　Offset 0Ch レジスタ（Cache Line Size・Latency Timer・Header Type・BIST）

アドレス　A005 000Ch

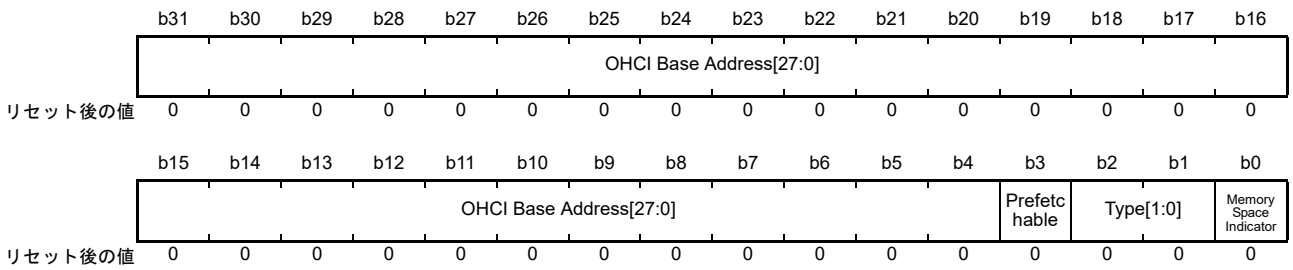
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BIST[7:0]								Header Type[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Latency Timer[7:0]								Cache Line Size[7:0]							
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Cache Line Size[7:0]	Cache Line Size	Cache Line Sizeをシステムに通知するためのビットです。	R/W
b9-b8	Latency Timer[7:0]	Latency Timer	Latency Timerをシステムに通知するためのビットです。 最下位2 ビットは00b固定です。	R
b15-b10				R/W
b23-b16	Header Type[7:0]	Header Type	Header Typeをシステムに通知するためのビットです。 ヘッダタイプがType0のため ビット[22:16]は00h固定です。 MultiFunctionデバイスのため ビット 23は1固定です。	R
b31-b24	BIST[7:0]	セルフテストビット	セルフテスト用のビットです。 ホスト・ロジックはセルフテストに対応しないため、常に00hです。	R

31.3.3.5　Offset 10h レジスタ（OHCI Base Address）

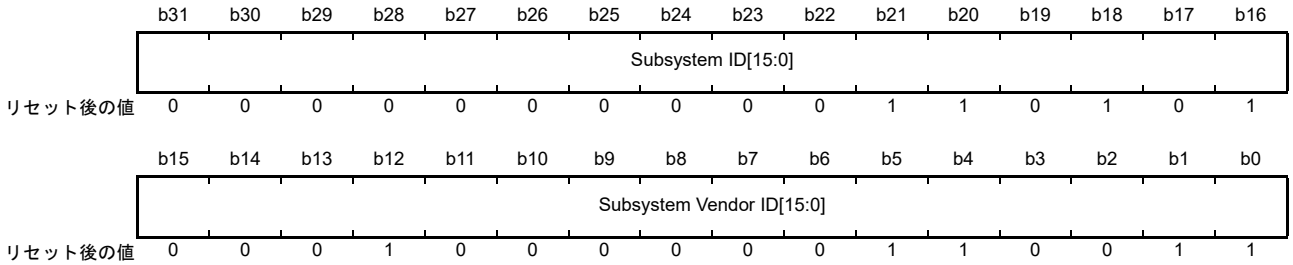
アドレス　A005 0010h



ビット	シンボル	ビット名	機能	R/W
b0	Memory Space Indicator	Memory Spaceインジケータ	OHCI Operational Resisterがシステムメモリ空間にマッピングされることを示します。 0固定になります。	R
b2-b1	Type[1:0]	ベースアドレスタイプ	OHCI Operational Registerのベースアドレスが32 ビット幅であり、32 ビットメモリ空間の任意の位置に配置可能であるを示します。00b固定になります。	R
b3	Prefetchable	プリフェッチ設定ビット	ホスト・ロジックはメモリリードサイクルにおけるプリフェッチをサポートしていないため、0固定になります。	R
b11-b4	OHCI Base Address [27:0]	OHCI ベースアドレス	ビット[31:12]にてOperational Registerのアドレスを指定します。初期化時にシステムにより決定されたOperational Registerのベースアドレス値を設定してください。ビット[11:4]はOperational Registerが4K バイトのアドレス空間を持つこと示し、00h固定になります。	R
b31-b12				R/W

31.3.3.6　Offset 2Ch レジスタ（Subsystem Vendor ID・Subsystem ID）

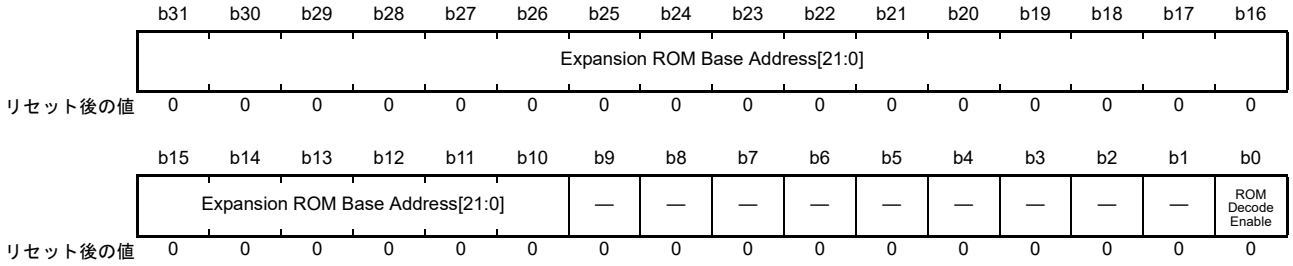
アドレス　A005 002Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	Subsystem Vendor ID [15:0]	サブシステムベンダID	デバイスのベンダーを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Subsystem ID[15:0]	サブシステムID	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R

31.3.3.7　Offset 30h レジスタ（Expansion ROM Base Address）

アドレス　A005 0030h



ビット	シンボル	ビット名	機能	R/W
b0	ROM Decode Enable	拡張ROM デコードイネーブル	拡張ROMのデコードは禁止のため、常に0が読み出されます。 書き込みはできません。	R
b9-b1	—	予約ビット	Don't care	R
b31-b10	Expansion ROM Base Address [21:0]	拡張ROM ベースアドレス	拡張ROMのデコードは禁止のため、常に000000hが読み出されます。 書き込みはできません。	R

31.3.3.8　Offset 34h レジスタ（Capability Pointer）

アドレス　A005 0034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	Capability Pointer[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Pointer[7:0]	Capability Identifierポインタ	Capability Identifierへのポインタを示します。 ホスト・ロジックでは、40hに実装されているため、40hを示します。	R
b31-b8	—	予約ビット	Don't care	R

31.3.3.9　Offset 3Ch レジスタ（Interrupt Line・Interrupt Pin・Min gnt・Max Latency）

アドレス　A005 003Ch

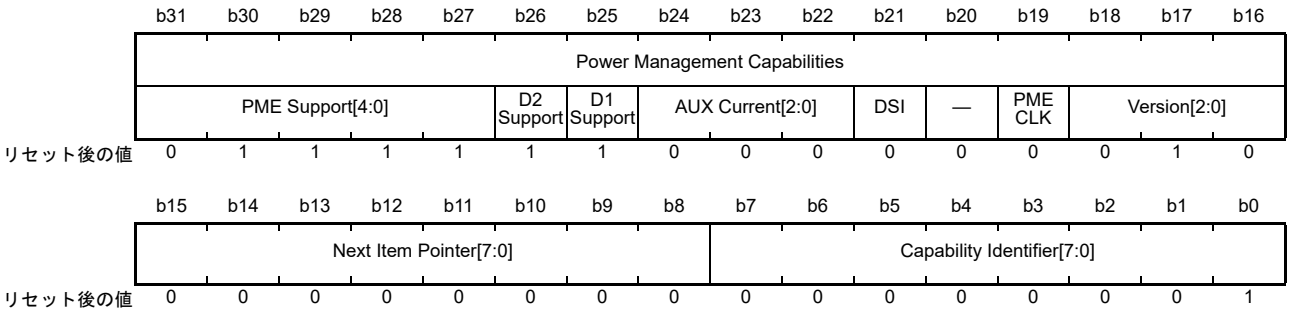
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Max Latency[7:0]								Min Gnt[7:0]							
リセット後の値	0	0	1	0	1	0	1	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Interrupt Pin[7:0]								Interrupt Line[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Interrupt Line[7:0]	割り込みライン	割り込みラインを示します。 USBホストコントローラではリセット後の値00hのまま固定としてください。	R/W
b15-b8	Interrupt Pin[7:0]	割り込み出力端子	割り込み出力端子を示します。INTAであるため01h固定になります。	R
b23-b16	Min Gnt[7:0]	最小バースト転送時間	最小バースト転送時間を示します。 ホスト・ロジックでは01hに実装されているため、01hを示します。	R
b31-b24	Max Latency[7:0]	PCIバス最大獲得頻度	PCIバスの最大獲得頻度を示します。 ホスト・ロジックでは2Ahに実装されているため、2Ahを示します。	R

31.3.3.10　Offset 40h レジスタ（Capability Identifier・Next Item Pointer・Power Management Capabilities）

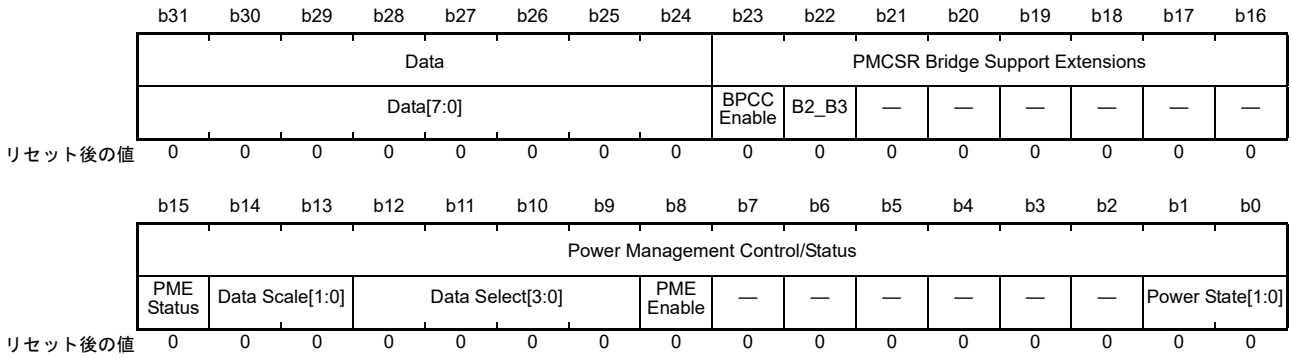
アドレス　A005 0040h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Identifier [7:0]	PCI Power Management Register ID	PCI Power Management Register IDを示すビットです。 01hの固定値です。	R
b15-b8	Next Item Pointer[7:0]	Next Item不存在ビット	Next Itemが存在しないことを示すビットです。 00hの固定値です。	R
b18-b16	Version[2:0]	バージョン	「PCI power management interface specification release 1.1」に準拠していることを示します。010b固定値です。	R
b19	PME CLK	USBPCLK不要ビット	PME割り込み生成にUSBPCLKが必要でない事を示します。 0固定です。	R
b20	—	予約ビット	Don't care	R
b21	DSI	Power Management初期化不要ビット	Power Management使用の際に特殊な初期化が必要でない事を示します。 0固定です。	R
b24-b22	Aux Current[2:0]	電流設定値	3.3V補助電源に必要な電流の設定値を示します。 D3 Coldステートからの PME割り込み発生をサポートしておりません。 000b固定値を示します。	R
b25	D1 Support	PCI Power State D1対応ビット	PCI Power StateのD1に対応している事を示します。 1固定を示します。	R
b26	D2 Support	PCI Power State D2対応ビット	PCI Power StateのD2に対応している事を示します。 1固定を示します。	R
b30-b27	PME Support[4:0]	PME割り込みサポートビット	PCI Power Stateのすべてのステート（D0～D3）でPME割り込み発生をサポートする事を示します。1111bの固定値を示します。	R
b31		D3 Cold状態サポートビット	D3 Cold状態をサポートしているかを示します。 D3 Cold状態をサポートしないため0の固定値を示します。	R

31.3.3.11　Offset 44h レジスタ（Power Management Control ／ Status・PMCSR Bridge Support Extensions）

アドレス　A005 0044h



ビット	シンボル	ビット名	機能	R/W
b1-b0	Power State[1:0]	PCI Power Statusビット	PCIのPower Statusを示すビットです。 [1:0]の状態により以下の状態となります。 b1 b0 00：D0 State 01：D1 State 10：D2 State 11：D3 hot State	R/W
b7-b2	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b8	PME Enable	PMEイネーブルビット	PMEの使用を設定するビットです。 1に設定するとPower Managementからの復帰時にPME割り込みを発生します。	R/W
b12-b9	Data Select[3:0]	データ選択フィールド	0hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b14-b13	Data Scale[1:0]	データスケールフィールド	00bを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b15	PME Status	PME割り込みステータスビット	PMEの割り込みステータスを示します。 PMEの発生条件になると1がセットされます。 ［PME発生条件］ HcControlレジスタ　ビット10 RWEビットが1にセットされている状態で、HcInterruptStatusレジスタ ビット3 RDビットに1がセットされたとき。 PCIバスから1を書き込むと0にクリアされます。	R/W
b21-b16	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b22	B2_B3	Bridge用ビット	0を示します。 Bridge用のビットでありホスト・ロジックは未対応です。	R
b23	BPCC Enable	BPCCイネーブルビット	0を示します。 Bridge用のビットでありホスト・ロジックは未対応です。	R
b31-b24	Data[7:0]	データフィールド	00hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R

31.3.3.12　Offset E0h レジスタ（EXT1）

本レジスタは、EHCI コンフィグレーション空間にある EXT1 レジスタと同一です。

したがって、EHCI Configuration レジスタのオフセットアドレスによっても本レジスタはアクセス可能です。

アドレス　A005 00E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	potpgt								Hyper Speed transfer Control #2					—	—	—
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	1	0	1	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	Hyper Speed transfer Control #1	PSD	—	—	—	—	ID_Write _Enable	—	—	—	—	—	Port_no	
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	Port_no	USBダウンストリームポート数	有効なUSBダウンストリームポート数を設定します。 設定値 / 有効なポート 01b / Port1 10b / Port1およびPort2 上記以外 / Reserved USBホストコントローラではリセット後の値1hのままとしてください。	R/W
b6-b2	—	予約ビット	リセット後の値から変更しないでください。	R/W
b7	ID_Write _Enable	書き込み保護制御ビット	Subsystem ID, Subsystem Vendor ID, Max Latency, Min Gntの書き込み保護制御を行います。 0：書き込み不可 1：書き込み可能	R/W
b11-b8	—	予約ビット	リセット後の値から変更しないでください。	R/W
b12	PSD	Periodic スケジュールディセーブルビット	0：USBCMD.Periodic Schedule Enableビットを0の設定でUSBデータ転送する場合は必ず0をセットしてください。 1：設定なし（初期値） Periodic Schedule Enableビットが1の時は本ビットの値は任意です。	R/W
b13	Hyper Speed transfer Control #1（HS Async OUT advance Mode）	Hyper-Speed転送モード機能設定ビット	Asynchronous OUT転送に対するHyper-Speed転送モード機能を設定します。 1で本機能が有効（転送レート向上）になります。	R/W
b18-b14	—	予約ビット	リセット後の値から変更しないでください。	R/W
b23-b19	Hyper Speed transfer Control #2	HS Asynchronous FIFO threshold設定フィールド	02h （HS Asynchronous FIFO threshold = 64バイト）以外設定禁止です。	R/W
b31-b24	Potpgt	POTPGT設定フィールド	OHCI HcRhDescriptorA レジスタ　ビット[31:24] PPOTPGTビットの設定をします。POTPGTとは、ルートハブのポートに電源が供給されてからソフトウェアがアクセスするまでにwaitしなければならない時間です。	R/W

31.3.3.13　Offset E4h レジスタ （EXT2）

本レジスタは、EHCI コンフィグレーション空間にある EXT2 レジスタと同一です。

したがって、EHCI Configuration レジスタのオフセットアドレスによっても本レジスタはアクセス可能です。

ただし、ビット 0（EHCI_mask ビット）は OHCI 側からのみ Write 可能です。

アドレス　A005 00E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAM Connect Check Result	RAM Connect Check END Flag	RUN RAM Connect Check
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Hyper Speed transfer Control #3	EHCI_mask
リセット後の値	0	1	1	0	1	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	EHCI_mask	EHCIホスト・ロジックマスクビット	EHCIホスト・ロジックの有効／無効を設定します。 0：EHCIホスト・ロジックはEnable 1：EHCIホスト・ロジックはDisable 本ビットを1にセットするとEHCIのPCI Configuration空間およびメモリ空間へのレジスタアクセスは無効となるため、EHCIホスト・ロジックは動作しません。	R/W
b1	Hyper Speed transfer Control #3	Hyper-Speed転送モード設定ビット	Asynchronous IN／OUT転送に対するHyper-Speed転送モード機能を設定します。 1で本機能が有効（転送レート向上）になります。	R/W
b15-b2	—	予約ビット	リセット後の値から変更しないでください。	R/W
b16	RUN RAM Connect Check	RAM接続チェック回路起動ビット	RAM接続チェック回路の起動ビットです。 RAM接続チェック開始時に1をセットします。チェック完了後も本ビットはクリアされません。再度チェックを実行する場合には、本ビットに0を書き込んでビットをクリアし、再度1を書き込んでチェックを行ってください。 本ビットが0→1になると接続チェック回路がリセットされ、RAM Connect Check END Flagビットおよび RAM Connect Check Resultビットがクリアされます。	R/W
b17	RAM Connect Check END Flag	RAM接続チェック終了フラグ	RAM接続チェックの終了を示すビットです。 0：接続チェック未実施／未了 1：接続チェック終了 RUN RAM Connect Checkを0→1に設定後、RAMの接続チェックが開始され一定時間経過（約2μs）すると本ビットがセットされます。	R
b18	RAM Connect Check Result	RAM接続チェック結果ビット	RAM接続チェックのチェック結果を示すビットです。 0：接続チェックNG 1：接続チェックOK RAM Connect Check END Flagビットが1の場合のみ有効です。 一度接続チェックを行うとRUN RAM Connect Checkビットが0→1となるまで値はクリアされません。	R
b31-b19	—	予約ビット	リセット後の値から変更しないでください。	R/W

31.3.4　EHCI 用 PCI Configuration レジスタ

31.3.4.1　Offset 00h レジスタ（Vendor ID・Device ID）

アドレス　A005 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Device ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Vendor ID[15:0]															
リセット後の値	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	Vendor ID[15:0]	ベンダー ID	デバイスのベンダーを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Device ID[15:0]	デバイス ID	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R

31.3.4.2　Offset 04h レジスタ（Command・Status）

アドレス　A005 0104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing[1:0]		Data Parity Error Detected	Fast Back to Back Capable	—	Capable66 MHz	Capabilities List	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

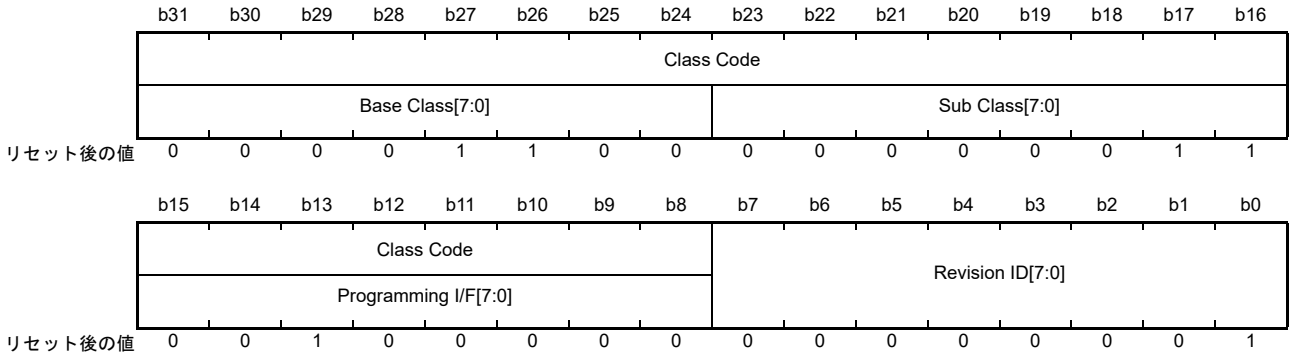
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	Fast Back to Back Enable	SERR Enable	Wait Cycle Control	Parity Error Response	VGA Palette Snoop	Memory Write and Invalidate Enable	Special Cycle	Bus Master	Memory Space	I/O Space
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I/O Space	I/O空間アクセスイネーブルビット	I/O空間へのアクセスイネーブルビットです。 ホスト・ロジックはI/Oアクセスを受け付けないため、常に0になります。	R
b1	Memory Space	メモリ空間アクセスイネーブルビット	メモリ空間へのアクセスイネーブルビットです。PCI規格におけるメモリアクセスを行うためのEnable信号であり、レジスタアクセスを行う場合、1に設定してください。 ホスト・ロジックの初期設定時に1を設定してください。	R/W
b2	Bus Master	バスMasterイネーブルビット	バスMasterのイネーブルビットです。 PCIバスに対しMasterアクセスを行うためのEnable信号であり、システムバスのSRAMにアクセスする場合、1に設定してください。 ホスト・ロジックの初期設定時に1を設定してください。	R/W
b3	Special Cycle	Special Cycleイネーブルビット	Special Cycleのイネーブルビットです。 ホスト・ロジックはSpecial Cycleに対応しないため、常に0になります。	R
b4	Memory Write and Invalidate Enable	Memory Write and Invalidateイネーブルビット	Memory Write and Invalidateのイネーブルビットです。 USBホストコントローラではリセット後の値0のままとしてください。 0：Memory write and invalidateコマンドは無効 1：Memory write and invalidateコマンドは有効	R/W
b5	VGA Palette Snoop	VGA Palette Snoopイネーブルビット	VGA Palette Snoopのイネーブルビットです。 ホスト・ロジックはVGA Palette Snoopに対応しないため常に0になります。	R
b6	Parity Error Response	Parity Error応答イネーブルビット	Parity Error応答のイネーブルビットです。 0：PERR0をアサートしない 1：PERR0をアサートする Parity Error検出時、本ビットが0に設定されている場合でも、Detected Parity Errorビットは1に設定されます。	R/W
b7	Wait Cycle Control	Wait Cycle Controlイネーブルビット	Wait Cycle Controlのイネーブルビットです。 ホスト・ロジックはAddress／Data Steppingに対応しないため常に0になります。	R
b8	SERR Enable	システムエラー応答イネーブルビット	システムエラー応答のイネーブルビットです。 0：SERR0をアサートしない 1：SERR0をアサートする システムエラーをSERR信号に伝達させる場合には1に設定してください。	R/W
b9	Fast Back to Back Enable	Fast Back to Backイネーブルビット	Fast Back to Backのイネーブルビットです。 ホスト・ロジックはFast Back to Backに対応していないため常に0になります。	R
b19-b10	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b20	Capabilities List	Power Management Mode サポートビット	Power Management Modeをサポートすることを示すビットです。1固定になります。	R

ビット	シンボル	ビット名	機能	R/W
b21	Capable66MHz	66MHz動作可能ビット	66MHzで動作可能かどうかを示すビットです。 33MHzでのみ動作するため、0固定になります。	R
b22	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b23	Fast Back to Back Capable	Fast Back to Back対応ビット	Fast Back to Backに対応しているかを示すビットです。 Fast Back to Backに対応しないため0固定になります。	R
b24	Data Parity Error Detected	パリティエラー検出ビット	Mastar動作時にパリティエラーを検出した場合にセットされます。PCIバスからの1書き込みによりクリアされます。Parity Error ResponseビットがDisableの場合は0固定になります。	R/W
b26-b25	Devsel Timing[1:0]	DEVSEL応答速度ビットフィールド	DEVSEL応答速度を示すビットです。01b（中速応答）固定になります。	R
b27	Signaled Target Abort	Slave／Target Abortステータスビット	Slave／Target Abortのステータスビットです。Slave動作において、ホスト・ロジックが、アクセスされたバスサイクルをTarget Abortによって終了させた場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b28	Received Target Abort	Mastar／Target Abortステータスビット	Mastar／Target Abortのステータスビットです。Mastar動作において、ホスト・ロジックが実行していたバスサイクルがTarget Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みでクリアされます。	R/W
b29	Received Master Abort	Mastar／Mastar Abortステータスビット	Mastar／Mastar Abortのステータスビットです。Mastar動作において、ホスト・ロジックが実行していたバスサイクルがMaster Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b30	Signaled System Error	SERRステータスビット	SERRのステータスビットです。システムエラーが発生した場合にセットされます。 PCIバスからの1書き込みによりクリアされます。	R/W
b31	Detected Parity Error	パリティエラーステータスビット	パリティエラーのステータスビットです。アドレスまたはデータパリティエラーを検知した場合にセットされます。PCIバスからの1書き込みによりクリアされます。	R/W

31.3.4.3　Offset 08h レジスタ（Revision ID・Class Code）

アドレス　A005 0108h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Revision ID[7:0]	ホスト・ロジックリビジョン	ホスト・ロジックのリビジョンを示すビットです。 01h固定になります。	R
b15-b8	Programming I/F[7:0]	PCI規格プログラム・インタフェースビットフィールド	PCI規格におけるプログラム・インタフェースを示すビットです。 EHCIを示す20hを示します。	R
b23-b16	Sub Class[7:0]	PCI規格サブクラス	PCI規格におけるサブクラスを示すビットです。 USBデバイスを示す03hを示します。	R
b31-b24	Base Class[7:0]	PCI規格基本クラス	PCI規格における基本クラスを示すビットです。 シリアル周辺バスのコントローラを示す0Chを示します。	R

31.3.4.4　Offset 0Ch レジスタ（Cache Line Size・Latency Timer・Header Type・BIST）

アドレス　A005 010Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BIST[7:0]								Header Type[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Latency Timer[7:0]								Cache Line Size[7:0]							
リセット後の値	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Cache Line Size[7:0]	Cache Line Size	Cache Line Sizeをシステムに通知するためのビットです。	R/W
b9-b8	Latency Timer[7:0]	Latency Timer	Latency Timerをシステムに通知するためのビットです。 最下位2 ビットは00b固定です。	R
b15-b10				R/W
b23-b16	Header Type[7:0]	Header Type	Header Typeをシステムに通知するためのビットです。 ヘッダタイプがType0のため ビット[22:16]は00h固定になります。 MultiFunctionは非対応のため ビット 23は0固定になります。	R
b31-b24	BIST[7:0]	セルフテスト用フィールド	セルフテスト用のビットです。 ホスト・ロジックはセルフテストに対応しないため、常に00hになります。	R

31.3.4.5　Offset 10h レジスタ（EHCI Base Address）

アドレス　A005 0110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EHCI Base Address[27:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EHCI Base Address[27:0]												Prefetchable	Type[1:0]		Memory Space Indicator
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	Memory Space Indicator	システムメモリ空間インジケータ	EHCI Operational Resisterがシステムメモリ空間にマッピングされることを示します。0固定になります。	R
b2-b1	Type[1:0]	ベースアドレス配置タイプ	EHCI Operational Registerのベースアドレスが32 ビット幅であり、32 ビットメモリ空間の任意の位置に配置可能であることを示します。00b固定になります。	R
b3	Prefetchable	プリフェッチサポートビット	ホスト・ロジックはメモリリードサイクルにおけるプリフェッチをサポートしていないため、0固定になります。	R
b7-b4	EHCI Base Address [27:0]	EHCIベースアドレス	ビット[31:8]にてOperational Registerのアドレスを指定します。初期化時にシステムにより決定されたOperational Registerのベースアドレス値を設定してください。ビット[7:4]はOperational Registerが256 バイトのアドレス空間を持つこと示し、0h固定になります。	R
b31-b8				R/W

31.3.4.6　Offset 2Ch レジスタ（Subsystem Vendor ID・Subsystem ID）

アドレス　A005 012Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Subsystem ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Subsystem Vendor ID[15:0]															
リセット後の値	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	Subsystem Vendor ID [15:0]	サブシステムベンダー ID	デバイスのベンダーを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Subsystem ID[15:0]	サブシステムID	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R

31.3.4.7　Offset 30h レジスタ（Expansion ROM Base Address）

アドレス　A005 0130h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Expansion ROM Base Address[21:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Expansion ROM Base Address[21:0]						—	—	—	—	—	—	—	—	—	ROM Decode Enable
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ROM Decode Enable	ROMデコードイネーブル	拡張ROMのデコードは禁止のため、常に0が読み出されます。 書き込みアクセスはできません。	R
b9-b1	—	予約ビット	Don't care	R
b31-b10	Expansion ROM Base Address[21:0]	拡張ROMベースアドレス	拡張ROMのデコードは禁止のため、常に000000hが読み出されます。 書き込みアクセスはできません。	R

31.3.4.8　Offset 34h レジスタ（Capability Pointer）

アドレス　A005 0134h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	Capability Pointer[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Pointer[7:0]	Capability Identifierへのポインタ	Capability Identifierへのポインタを示します。 ホスト・ロジックでは、40hに実装されているため、40hを示します。	R
b31-b8	—	予約ビット	Don't care	R

31.3.4.9　Offset 3Ch レジスタ（Interrupt Line・Interrupt Pin・Min gnt・Max Latency）

アドレス　A005 013Ch

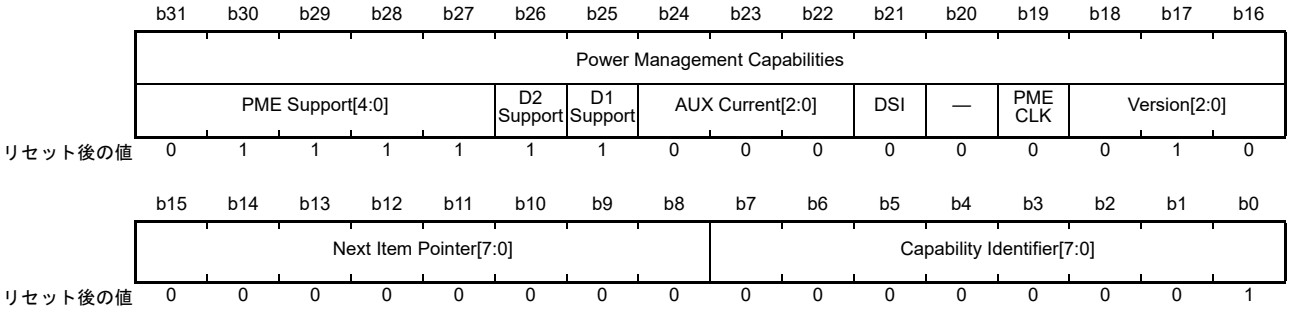
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Max Latency[7:0]								Min Gnt[7:0]							
リセット後の値	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Interrupt Pin[7:0]								Interrupt Line[7:0]							
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	Interrupt Line[7:0]	割り込みライン	割り込みラインを示します。 USBホストコントローラではリセット後の値00hのまま固定としてください。	R/W
b15-b8	Interrupt Pin[7:0]	割り込み出力端子	割り込み出力端子を示します。INTBであるため02h固定になります。	R
b23-b16	Min Gnt[7:0]	最小バースト転送時間	最小バースト転送時間を示します。 ホスト・ロジックでは10hに実装されているため、10hを示します。	R
b31-b24	Max Latency[7:0]	PCIバス最大獲得頻度	PCIバスの最大獲得頻度を示します。 ホスト・ロジックでは22hに実装されているため、22hを示します。	R

31.3.4.10　Offset 40h レジスタ（Capability Identifier・Next Item Pointer・Power Management Capabilities）

アドレス　A005 0140h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Identifier [7:0]	Power Management Register ID	Power Management Register IDを示すビットです。 01hの固定値を示します。	R
b15-b8	Next Item Pointer[7:0]	Next Itemポインタ	Next Itemが存在しないことを示すビットです。 00h固定になります。	R
b18-b16	Version[2:0]	PCIバージョン	「PCI power management interface specification release 1.1」に準拠していることを示します。010b固定になります。	R
b19	PME CLK	USBPCLKPCLK必要性ビット	PME割り込み生成にUSBPCLKPCLKが必要でない事を示します。 0固定になります。	R
b20	—	予約ビット	—	R
b21	DSI	特殊初期化必要性ビット	Power Management使用の際に特殊な初期化が必要でない事を示します。 0固定になります。	R
b24-b22	Aux Current[2:0]	電流設定値	3.3V補助電源に必要な電流の設定値を示します。 D3 Coldステートからの PME割り込み発生をサポートしておりません。 したがって、000b固定になります。	R
b25	D1 Support	PCI Power State D1サポートビット	PCI Power StateのD1に対応している事を示します。 1固定になります。	R
b26	D2 Support	PCI Power State D2サポートビット	PCI Power StateのD2に対応している事を示します。 1固定になります。	R
b30-b27	PME Support[4:0]	PME割り込みサポートビットフィールド	PCI Power Stateのすべてのステート（D0～D3）でPME割り込み発生をサポートする事を示します。 1111b固定になります。	R
b31		D3 Cold状態サポートビット	D3 Cold状態をサポートしているかを示します。 D3 Cold状態をサポートしないため0固定になります。	R

31.3.4.11　Offset 44h レジスタ（Power Management Control ／ Status・PMCSR Bridge Support Extensions）

アドレス　A005 0144h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Data								PMCSR Bridge Support Extensions							
	Data[7:0]								BPCC Enable	B2_B3	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Power Management Control/Status															
	PME Status	Data Scale[1:0]		Data Select[3:0]				PME Enable	—	—	—	—	—	—	Power State[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	Power State[1:0]	PCI Power Statusビット	PCIのPower Statusを示すビットです。 [1:0]の状態により以下の状態になります。 b1 b0 00：D0 State 01：D1 State 10：D2 State 11：D3 hot State	R/W
b7-b2	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b8	PME Enable	PMEイネーブル	外部端子PMEの使用を設定するビットです。 1に設定するとPower Managementからの復帰時にPME割り込みを発生します。	R/W
b12-b9	Data Select[3:0]	データ選択フィールド	0hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b14-b13	Data Scale[1:0]	データスケールフィールド	00bを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b15	PME Status	PME割り込みステータスビット	PMEの割り込みステータスを示します。 PMEが発生する条件になると1がセットされます。 PCIバスから1を書き込むと0にクリアされます。	R/W
b21-b16	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b22	B2_B3	Bridge用ビット	0を示します。 Bridge用のビットであり、ホスト・ロジックは未対応です。	R
b23	BPCC Enable	BPCCイネーブル	0を示します。 Bridge用のビットであり、ホスト・ロジックは未対応です。	R
b31-b24	Data[7:0]	PCI規格オプションフィールド	00hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R

31.3.4.12　Offset 60h レジスタ（SBRN・FLADJ・PORTWAKECAP）

アドレス　A005 0160h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORTWAKECAP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FLADJ[7:0]								SBRN[7:0]							
リセット後の値	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SBRN[7:0]	Serial Bus Release Number	Serial Bus Release Numberを示します。 20h固定になります。	R
b13-b8	FLADJ[7:0]	1マイクロフレーム長	1マイクロフレームの長さを16HS bit time単位で調整します。 リセット後の値は20h（60000d HS bit time）を示します。	R/W
b15-b14				R
b31-b16	PORTWAKECAP[15:0]	Wakeupイベントマスクフィールド	本ビットは、接続されるデバイスのうち、どのポートをWakeupイベントとして使用するかをマスクするために使用します。本ビット操作は、ホスト・ロジックの動作に影響しません。 USBホストコントローラでは、ポート数は1ポートなので本レジスタを使用する必要はありません。	R/W

31.3.4.13　Offset E0h レジスタ（EXT1）

本レジスタは、OHCI コンフィグレーション空間にある EXT1 レジスタと同一のため、OHCI Configuration レジスタの項を参照してください。

31.3.4.14　Offset E4h レジスタ（EXT2）

本レジスタは、OHCI コンフィグレーション空間にある EXT2 レジスタと同一のため、OHCI Configuration レジスタの項を参照してください。

ただし、ビット 0（EHCI_mask ビット）は EHCI 側からアクセスできません。

31.3.5　AHB-PCI Bridge 用 PCI Configuration レジスタ

31.3.5.1　Offset 00h レジスタ（Vendor ID・Device ID）

アドレス　A005 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DEVICE_ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VENDOR_ID[15:0]															
リセット後の値	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	VENDOR_ID [15:0]	ベンダー ID	デバイスのベンダーを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。 本レジスタをリードした場合、1033hが読み出されます。	R
b31-b16	DEVICE_ID [15:0]	デバイスID	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R

31.3.5.2　Offset 04h レジスタ（Command・Status）

アドレス　A005 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DETPERR	SIGSERR	REMABORT	RETABORT	SIGTABORT	DEVTIM[1:0]		MDPERR	FBTBCAP	—	CAP66M	CAPLIST	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FBTBEN	SERREN	STEPCTR	PERREN	VGAPSNP	MWINVEN	SPECIALC	MASTEREN	MEMEN	IOEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOEN	I/O空間アクセスイネーブルビット	I/O空間へのアクセスイネーブルビットです。 本ビットは0固定です。	R
b1	MEMEN	PCI Slave動作設定ビット	PCI Slave動作を設定します。 USBホストコントローラでは初期設定時に1をセットしてください。 0：メモリ・サイクル受信不可（リセット後の値） 1：メモリ・サイクル受信可	R/W
b2	MASTEREN	PCI Master動作設定ビット	PCI Master動作を設定します。 USBホストコントローラでは初期設定時に1をセットしてください。 0：Master動作禁止（リセット後の値） 1：Master動作許可	R/W
b3	SPECIALC	Special Cycleイネーブルビット	Special Cycleのイネーブルビットです。 本ビットは0固定です。	R
b4	MWINVEN	Memory Write and Invalidateイネーブルビット	Memory Write and Invalidateのイネーブルビットです。 本ビットは0固定です。	R
b5	VGAPSNP	VGA Palette Snoopイネーブルビット	VGA Palette Snoopのイネーブルビットです。 本ビットは0固定です。	R
b6	PERREN	パリティエラー検出動作設定ビット	パリティエラー検出時の動作を設定します。 USBホストコントローラでは初期設定時に1をセットしてください。 0：何もしない（リセット後の値） 1：PERR#をアサートする	R/W
b7	STEPCTR	Address Stepping制御ビット	Address Stepping制御ビットです。 本ビットは0固定です。（Address Steppingを行わない）	R
b8	SERREN	システムエラー検出動作設定ビット	システムエラー検出時の動作を設定します。 USBホストコントローラでは初期設定時に1をセットしてください。 0：何もしない（リセット後の値） 1：SERR#をアサートする	R/W
b9	FBTBEN	Fast Back to Backイネーブルビット	Fast Back to Backのイネーブルビットです。 本ビットは0固定です。	R
b19-b10	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b20	CAPLIST	Capabilities List対応ビット	Capabilities Listに対応しているかを示すビットです。 本ビットは0固定です。（Capabilities List非対応）	R
b21	CAP66M	66MHz動作対応ビット	66MHz動作に対応しているかを示すビットです。 本ビットは0固定です。（66MHz非対応）	R
b22	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b23	FBTBCAP	Fast Back to Back対応ビット	Fast Back to Backに対応しているかを示すビットです。 本ビットは0固定です。（Fast Back to Back非対応）	R

ビット	シンボル	ビット名	機能	R/W
b24	MDPERR	パリティエラー検出フラグ	Mastar動作時にパリティエラーを検出した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0：パリティエラー未検出 1：パリティエラー検出	R/W
b26-b25	DEVTIM[1:0]	DEVSEL応答速度	DEVSEL応答速度を示すビットです。 01b（Medium Mode）になります。	R
b27	SIGTABORT	Slave Target Abort ステータスビット	Slave Target Abortのステータスビットです。 Target Abortを送信した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0：Target Abortを送信していない 1：Target Abortを送信した	R/W
b28	RETABORT	Master Target Abort ステータスビット	Master Target Abortのステータスビットです。 Target Abortを受信した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0：Target Abortを受信していない 1：Target Abortを受信した	R/W
b29	REMABORT	Master Abortステータスビット	Master Abortのステータスビットです。 Master Abortを受信した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0：Master Abortを受信していない 1：Master Abortを受信した	R/W
b30	SIGSERR	SERRステータスビット	SERRのステータスビットです。 システムエラーが発生した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0：SERR#をアサートしていない 1：SERR#をアサートした	R/W
b31	DETPERR	パリティエラーステータスビット	パリティエラーのステータスビットです。 アドレスまたはデータパリティエラーを検知した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0：パリティエラー未検出 1：パリティエラー検出	R/W

31.3.5.3　Offset 08h レジスタ（Revision ID・Class Code）

アドレス　A005 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CLASS_CODE[23:0]															
リセット後の値	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLASS_CODE[23:0]								REVISION_ID[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	REVISION_ID[7:0]	リビジョンID	01hを示します。	R
b31-b8	CLASS_CODE[23:0]	CLASS CODE	060000hを示します。	R

31.3.5.4　Offset 0Ch レジスタ（Cache Line Size・Latency Timer・Header Type・BIST）

アドレス　A005 000Ch

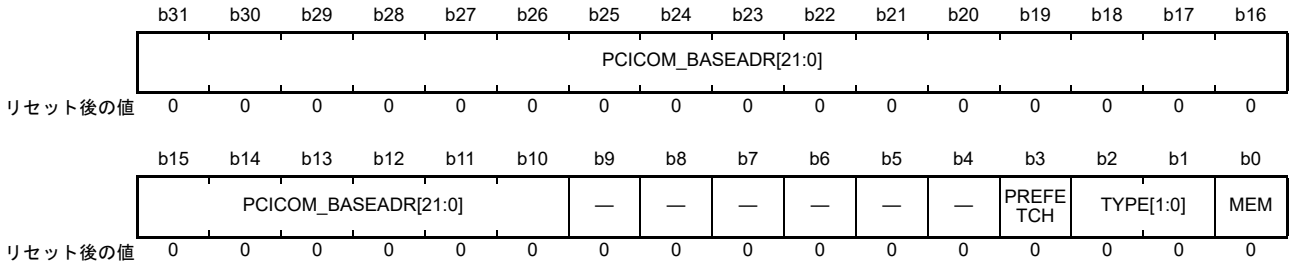
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BIST[7:0]								HEADER_TYPE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LATENCY_TIMER[7:0]								CACHE_LINE_SIZE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CACHE_LINE_SIZE[7:0]	CACHE LINE SIZE	00h（Cache未サポート）を示します。	R
b15-b8	LATENCY_TIMER[7:0]	Latency Timer	Latency Timerをシステムに通知するためのビットです。 USBホストコントローラではLatency Timerを使用しないため、リセット後の値00hのままとしてください。	R/W
b23-b16	HEADER_TYPE[7:0]	HEADER TYPE	00h（Single Function Device）を示します。	R
b31-b24	BIST[7:0]	BIST	00h（BIST未実装）を示します。	R

31.3.5.5　Offset 10h レジスタ（AHB-PCI Bridge Base Address）

アドレス　A005 0010h



ビット	シンボル	ビット名	機能	R/W
b0	MEM	ベースアドレス指定メモリ空間ビット	ベースアドレスで指定するビットがメモリ空間であることを示すビットです。 本ビットは0固定です。	R
b2-b1	TYPE[1:0]	ベースアドレス Type	ベースアドレス Typeを示すビットです。 本ビットは00b（4Gバイト空間の任意の領域に配置可能）を示します。	R
b3	PREFETCH	データ・プリフェッチ可・不可ビット	データ・プリフェッチの可・不可を示すビットです。 本ビットは0固定です。（データ・プリフェッチ不可）	R
b9-b4	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b10	PCICOM_BASEADR[21:0]	AHB-PCI Bridge PCI Communication Register領域ベースアドレス	AHB-PCI Bridge PCI Communication Register領域のベースアドレスを設定します。 1Kバイト空間を要求するため、上位24 ビットがベースアドレスになります。	R/W

31.3.5.6　Offset 14h レジスタ（PCI-AHB WIN1 Base Address）

アドレス　A005 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PCI_WIN1_BASEADR [3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PREFETCH	TYPE[1:0]		MEM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MEM	ベースアドレス指定メモリ空間ビット	ベースアドレスで指定するフィールドがメモリ空間であることを示すビットです。 本ビットは0固定です。	R
b2-b1	TYPE[1:0]	ベースアドレス Type	ベースアドレス Typeを示すビットです。 本ビットは00b（4Gバイト空間の任意の領域に配置可能）を示します。	R
b3	PREFETCH	データ・プリフェッチ可・不可ビット	データ・プリフェッチの可・不可を示すビットです。 本ビットは1固定です。（データ・プリフェッチ可能）	R
b27-b4	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b28	PCI_WIN1_BASEADR[3:0]	PCI-AHB Window1ベースアドレス	PCI-AHB Window1のベースアドレスを設定します。 PCI-AHB Window 1空間はUSBCTR レジスタ　ビット[11:10] PCI_AHB_WIN1_SIZEにより1Gバイトの領域にアクセス可能となります。 PCI-AHB Window 1空間 / AHB_BASEADR[31:28] 1G バイト / 上位2bit[31:30]がベースアドレス それ以外のビットは、0でマスクされます。 レジスタの設定方法については、「31.4.1　レジスタアクセス」を参照してください。	R/W

31.3.5.7　Offset 2Ch レジスタ（Subsystem Vendor ID・Subsystem ID）

アドレス　A005 002Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SUBSYS_ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SUBSYS_VENDOR_ID[15:0]															
リセット後の値	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	SUBSYS_VENDOR_ID[15:0]	サブシステムベンダー ID	1033hを示します。	R
b31-b16	SUBSYS_ID[15:0]	サブシステムID	0000hを示します。	R

31.3.5.8　Offset 3Ch レジスタ（Interrupt Line・Interrupt Pin・Min gnt・Max Latency）

アドレス　A005 003Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MAX_LAT[7:0]								MIN_GNT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT_PIN[7:0]								INT_LINE[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	INT_LINE[7:0]	割り込みライン	割り込みラインを設定します。 USBホストコントローラではリセット後の値00hのままとしてください。	R
b15-b8	INT_PIN[7:0]	割り込み端子フィールド	01h（INTA#を使用）を示します。	R
b23-b16	MIN_GNT[7:0]	レイテンシ・タイマー要求フィールド	02h（レイテンシ・タイマー要求 16バースト）を示します。	R
b31-b24	MAX_LAT[7:0]	バス使用頻度要求フィールド	00h（バス使用頻度の要求なし）を示します。	R

31.3.6　AHB-PCI Bridge PCI Communication レジスタ

31.3.6.1　PCIAHB_WIN1_CTR レジスタ

本レジスタは、ホスト・ロジックから AHB へアクセスする際の設定を行います。

アドレス　A005 0800h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AHB_BASEADR[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PREFETCH[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PREFETCH [1:0]	AHBバス先読み設定ビットフィールド	ホスト・ロジックからのリード要求に対して、AHBバスに対する先読みを設定します。 USBホストコントローラでは初期設定時に11bに設定して、変更しないでください。 b1 b0 00：先読み禁止 01：先読み許可（Max4バーストまで） 10：先読み許可（Max8バーストまで） 11：先読み許可（Max16バーストまで）	R/W
b27-b2	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b28	AHB_ BASEADR [3:0]	AHBバスベースアドレス	ホスト・ロジックからPCI-AHB Window1へアクセスする際のAHBバスのベースアドレスを設定します。 PCI-AHB Window 1空間はUSBCTR レジスタ　ビット[11:10] PCI_AHB_WIN1_SIZEにより1G バイトの領域にアクセス可能になります。 リセット後の値0000bから変更しないでください。 PCI-AHB Window 1空間 / AHB_BASEADR[31:28] 1G バイト / 上位2bit[31:30]がベースアドレス レジスタの設定方法については、「31.4.1　レジスタアクセス」を参照してください。	R/W

31.3.6.2　AHBPCI_WIN1_CTR レジスタ

PCI Configuration Space へのアクセスに必要な設定を行います。

アドレス　A005 0810h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PCIWIN1_BASEADR[20:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCIWIN1_BASEADR[20:0]					—	—	—	—	—	—	—	PCICMD[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b3-b1	PCICMD[2:0]	PCIバスサイクルタイプ	PCIバスのサイクルタイプを設定します。 USBホストコントローラでは初期設定時に101bを設定して、変更しないでください。 b3 b1 000：Interrupt Acknowledge / Special Cycle 001：IO Read / IO Write 011：Memory Read / Memory Write 101：Configuration Read / Configuration Write 110：Memory Read Multiple / Memory Write 111：Memory Read Line / Memory Write 上記以外は設定禁止	R/W
b10-b4	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b11	PCIWIN1_BASEADR[20:0]	PCIバスベースアドレス	AHBからAHB-PCI Window 1エリアへのアクセス時のPCIバスのベースアドレスを設定します。 本レジスタは、ホスト・ロジックおよびAHB-PCI BridgeのPCI Configuration Spaceにアクセスする際、設定が必要です。設定方法については「31.4.1.1　PCI Configuration レジスタアクセス」を参照してください。	R/W

31.3.6.3　AHBPCI_WIN2_CTR レジスタ

OHCI Operational Registers 領域へのアクセスに必要な設定を行います。

アドレス　A005 0814h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PCIWIN2_BASEADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BURST_EN	—	PCICMD[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b3-b1	PCICMD[2:0]	PCIバスサイクルタイプ	PCIバスのサイクルタイプを設定します。 USBホストコントローラでは初期設定時に011bを設定して、変更しないでください。 b3 b1 001：IO Read / IO Write 011：Memory Read / Memory Write 110：Memory Read Multiple / Memory Write 111：Memory Read Line / Memory Write 上記以外は設定禁止	R/W
b4	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b5	BURST_EN	PCIバスバースト転送イネーブルビット	PCIバスへのバースト転送を許可します。 USBホストコントローラでは初期設定時に0を設定して、変更しないでください。 0：バースト禁止 1：バースト許可	R/W
b15-b6	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b31-b16	PCIWIN2_BASEADR[15:0]	PCIバスベースアドレス	AHBからAHB-PCI Window 2エリアへのアクセス時のPCIバスのベースアドレスを設定します。本レジスタは、OHCI Operational Register領域へのアクセスに使用します。設定方法は「31.4.1.1　PCI Configuration レジスタアクセス」を参照してください。	R/W

31.3.6.4　PCI_INT_ENABLE レジスタ

PCI_INT_STATUS レジスタのそれぞれの割り込み要因に対して有効／無効の選択をします。無効にした場合は、その割り込み要因が発生し、PCI_INT_STATUS レジスタの当該ビットに 1 がセットされても割り込み信号はアサートしません。

アドレス　A005 0820h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	USBH_PMEEN	—	USBH_INTBEN	USBH_INTAEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PCIAHB_WIN2_INTEN	PCIAHB_WIN1_INTEN	—	—	—	—	—	—	RESERR_INTEN	SIGSERR_INTEN	PERR_INTEN	REMABORT_INTEN	RETABORT_INTEN	SIGTABORT_INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SIGTABORT_INTEN	SIGTABORT割り込みイネーブルビット	PCI_INT_STATUS ビット0 SIGTABORT_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b1	RETABORT_INTEN	RETABORT割り込みイネーブルビット	PCI_INT_STATUS ビット1 RETABORT_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b2	REMABORT_INTEN	REMABORT割り込みイネーブルビット	PCI_INT_STATUS ビット2 REMABORT_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b3	PERR_INTEN	PERR割り込みイネーブルビット	PCI_INT_STATUS ビット3 PERR_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b4	SIGSERR_INTEN	SIGSERR割り込みイネーブルビット	PCI_INT_STATUS ビット4 SIGSERR_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b5	RESERR_INTEN	RESERR割り込みイネーブルビット	PCI_INT_STATUS ビット5 RESERR_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b11-b6	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b12	PCIAHB_WIN1_INTEN	PCIAHB_WIN1割り込みイネーブルビット	PCI_INT_STATUS ビット12 PCIAHB_WIN1_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b13	PCIAHB_WIN2_INTEN	PCIAHB_WIN2割り込みイネーブルビット	PCI_INT_STATUS ビット13 PCIAHB_WIN2_INTの有効／無効を選択します。 0：無効 1：有効	R/W
b15-b14	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b16	USBH_INTAEN	USBH割り込みイネーブルビット	PCI_INT_STATUS ビット16 USBH_INTAの有効／無効を選択します。 0：無効 1：有効	R/W

ビット	シンボル	ビット名	機能	R/W
b17	USBH_INTBEN	USBH割り込みイネーブルビット	PCI_INT_STATUS ビット17 USBH_INTBの有効／無効を選択します。 0：無効 1：有効	R/W
b18	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b19	USBH_PMEEN	USBH_PMEイネーブルビット	PCI_INT_STATUS ビット19 USBH_PMEの有効／無効を選択します。 0：無効 1：有効	R/W
b31-b20	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.6.5　PCI_INT_STATUS レジスタ

AHB-PCI Bridge の割り込み要因の状態、およびホスト・ロジックからの割り込み信号の状態を示します。

アドレス　A005 0824h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	USBH_PME	—	USBH_INTB	USBH_INTA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PCIAHB_WIN2_INT	PCIAHB_WIN1_INT	—	—	—	—	—	—	RESERR_INT	SIGSERR_INT	PERR_INT	REMABORT_INT	RETABORT_INT	SIGTABORT_INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SIGTABORT_INT	Target Abort通知ビット	PCIターゲット動作時にTarget Abortを通知したことを示します。 本ビットは1を書き込むことでクリアされます。 0：Target Abortを通知していない 1：Target Abortを通知した	R/W
b1	RETABORT_INT	Target Abort受信ビット	PCI Master動作時にTarget Abortを受信したことを示します。 本ビットは1を書き込むことでクリアされます。 0：Target Abortを受信していない 1：Target Abortを受信した	R/W
b2	REMABORT_INT	MasterAbort受信ビット	PCI Master動作時にMasterAbortを受信したことを示します。 本ビットは1を書き込むことでクリアされます。 0：Master Abortを受信していない 1：Master Abortを受信した	R/W
b3	PERR_INT	PERR#入出力割り込み要因ステータスビット	PERR#入力および出力による割り込み要因の状態を示します。 本ビットは1を書き込むことでクリアされます。 0：PERR#がアサートしていない 1：PERR#がアサートした	R/W
b4	SIGSERR_INT	SERR#出力割り込み要因ステータスビット	SERR#出力による割り込み要因の状態を示します。 本ビットは1を書き込むことでクリアされます。 0：SERR#をアサートしていない 1：SERR#をアサートした	R/W
b5	RESERR_INT	SERR#入力割り込み要因ステータスビット	SERR#入力による割り込み要因の状態を示します。 本ビットは1を書き込むことでクリアされます。 0：SERR#アサートを検出していない 1：SERR#アサートを検出した	R/W
b11-b6	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b12	PCIAHB_WIN1_INT	AHBバスエラー発生フラグ	PCIAHB Window 1におけるAHBバスエラーが発生したことを示します。 本ビットは1を書き込むことでクリアされます。 0：AHBバスエラーが発生していない 1：AHBバスエラーが発生した	R/W
b13	PCIAHB_WIN2_INT	AHBバスエラー発生フラグ	PCIAHB Window 2におけるAHBバスエラーが発生したことを示します。 本ビットは1を書き込むことでクリアされます。 0：AHBバスエラーが発生していない 1：AHBバスエラーが発生した	R/W
b15-b14	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b16	USBH_INTA	ホスト・ロジックINTA#割り込みステータスビット	ホスト・ロジックからのINTA#割り込みの状態を示します。 割り込みのクリアはホスト・ロジックで行ってください。 0：INTA割り込みなし 1：INTA割り込みあり	R

ビット	シンボル	ビット名	機能	R/W
b17	USBH_INTB	ホスト・ロジックINTB#割り込みステータスビット	ホスト・ロジックからのINTB#割り込みの状態を示します。 割り込みのクリアはホスト・ロジックで行ってください。 0：INTB割り込みなし 1：INTB割り込みあり	R
b18	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b19	USBH_PME	ホスト・ロジックPME#割り込みステータスビット	ホスト・ロジックからのPME#割り込みの状態を示します。 割り込みのクリアはホスト・ロジックで行ってください。 0：PME割り込みなし 1：PME割り込みあり	R
b31-b20	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.6.6　AHB_BUS_CTR レジスタ

ホスト・ロジックの AHB Master ／ Slave 機能の設定を行います。

アドレス　A005 0830h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMODE_READY_CTR	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MMODE_HBUSREQ	—	—	—	—	MMODE_WR_INCR	MMODE_BYTE_BURST	MMODE_HTRANS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MMODE_HTRANS	HTRANS信号動作モード設定ビット	AHB Master動作時のHTRANS信号の動作モードを設定します。 USBホストコントローラでは初期設定時に1を設定して、変更しないでください。 0：サイクル分割時、連続でNONSEQを出力する 1：サイクル分割時、IDLEを追加して再度HBUSREQでバスを要求する	R/W
b1	MMODE_BYTE_BURST	バースト転送制御ビット	AHB Master動作時の16 ビット／8 ビット転送におけるバーストの転送を制御します。 USBホストコントローラでは初期設定時に1を設定して、変更しないでください。 0：16 ビット／8 ビット時のバースト転送許可 1：16 ビット／8 ビット時のバースト転送禁止	R/W
b2	MMODE_WR_INCR	不定長バースト転送使用条件設定ビット	AHB Master動作時のライト転送における不定長バースト転送使用条件を設定します。 USBホストコントローラでは初期設定時に1を設定して、変更しないでください。 0：転送数が4/8/16以外はINCRを使用 1：INCR4/8/16を使用し、残りが2～3ビートの時にINCRを使用	R/W
b6-b3	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b7	MMODE_HBUSREQ	HBUSREQディアサートタイミング設定ビット	AHB Master動作時のHBUSREQのディアサートタイミングを設定します。 USBホストコントローラでは初期設定時に1を設定して、変更しないでください。 0：サイクルの最後のアドレスフェーズでディアサート 1：最初のHGRANT = 1 & HREADY = 1でディアサート	R/W
b16-b8	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b17	SMODE_READY_CTR	Wait動作制御ビット	AHB Slave動作時のWait動作制御を行います。 RETRY/SPLITを使用するシステムでは、本ビットを0に設定してください。 初期設定時以外で値を変更しないでください。 0：Wait制御はHRESP = RETRYで行う 1：Wait制御はHREADY = 0で行う	R/W
b31-b18	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.6.7　USBCTR レジスタ

ホスト・ロジックに対する設定を行います。

アドレス　A005 0834h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PCI_AHB_WIN1_SIZE[1:0]		PCI_AHB_WIN2_EN	—	—	—	—	—	—	—	PCICLK_MASK	USBH_RST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	USBH_RST	リセット信号制御ビット	ホスト・ロジックに供給されるリセット信号を制御します。 ホスト・ロジックへのアクセスは、リセット解除後、最大3CLK@USBPCLK後から有効になります。 0：ホスト・ロジックリセット解除 1：ホスト・ロジックリセット発行	R/W
b1	PCICLK_MASK	PCIクロック供給マスクビット	ホスト・ロジックのPCIクロックの供給を停止します。 本レジスタを1にセットした場合、ホスト・ロジックへのアクセスはできませんのでご注意ください。 0：PCIクロック供給 1：PCIクロック停止	R/W
b8-b2	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b9	PCI_AHB_WIN2_EN	PCI-AHB Window2イネーブルビット	PCI-AHB Window2の動作許可を制御します。 詳細は、「31.4.1　レジスタアクセス」を参照してください。 0：PCI-AHB Window2 使用不可 上記以外設定しないでください。設定を変更した場合の動作保証はできません。	R/W
b11-b10	PCI_AHB_WIN1_SIZE[1:0]	PCI-AHB Window1領域	PCI-AHB Window1の領域を制御します。 詳細は、「31.4.1　レジスタアクセス」を参照してください。 初期設定時以外で値を変更しないでください。 b11 b10 10：1Gバイト	R/W
b31-b12	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W

31.3.6.8　PCI_ARBITER_CTR レジスタ

PCI バスのアービトレーション機能の設定を行います。

アドレス　A005 0840h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCIBP_MODE	—	—	—	—	—	—	—	—	—	—	PCIREQ1	PCIREQ0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCIREQ0	PCI Bus Request信号マスクビット0	本ユニットのPCI Bus Request信号の有効／無効を選択します。 USBホストコントローラでは初期設定時に1を設定して、変更しないでください。 0：Request信号を無効とする 1：Request信号を有効とする	R/W
b1	PCIREQ1	PCI Bus Request信号マスクビット1	ホスト・ロジックからのPCI Bus Request信号の有効／無効を選択します。 USBホストコントローラでは初期設定時に1を設定して、変更しないでください。 0：Request信号を無効とする 1：Request信号を有効とする	R/W
b11-b2	—	予約ビット	書き込み時は、“0”を書き込んでください。	R/W
b12	PCIBP_MODE	Master設定ビット	PCIバスのBus Parking時のMasterを設定します。 USBホストコントローラでは初期設定時に1を設定して、変更しないでください。 0：Bus Parking Masterは本ユニットとする 1：Bus Parking Masterは最後にアクセスしたMasterを選択する	R/W
b31-b13	—	予約ビット	リセット後の値から変更しないでください。	R/W

31.3.6.9　PCI_UNIT_REV レジスタ

AHB-PCI Bridge マクロのバージョンを表示します。

アドレス　A005 0848h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Major Revision ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Minor Revision ID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	Minor Revision ID [15:0]	Minor Revision ID	本ユニットのMinor Revision IDを示します。	R
b31-b16	Major Revision ID [15:0]	Major Revision ID	本ユニットのMajor Revision IDを示します。	R

31.4　レジスタアクセスについて

31.4.1　　レジスタアクセス

レジスタへのアクセスは、内部の PCI バス経由で行います。AHB バスでのアクセスを正しく行うためには、AHB バスのメモリ空間と USB ホストコントローラ内部の PCI バスのメモリ空間を正しくマッピングしてください（「31.8.1.1　**初期設定例**」を参照）。また、PCI は、PCI バスの転送設定や PCI Memory Space 上でベースアドレスの設定を行う PCI Configuration Space と、実際のデータ転送を行う PCI Memory Space の 2 つの空間を持ちます。

AHB からホスト・ロジックへのアクセス、およびホスト・ロジックから AHB への Master アクセスは、AHBPCI Bridge が持つ Window 領域を通じて行います。レジスタ領域および各 Window 領域との関係を**図 31.3**、**表 31.5** を用いて説明します。

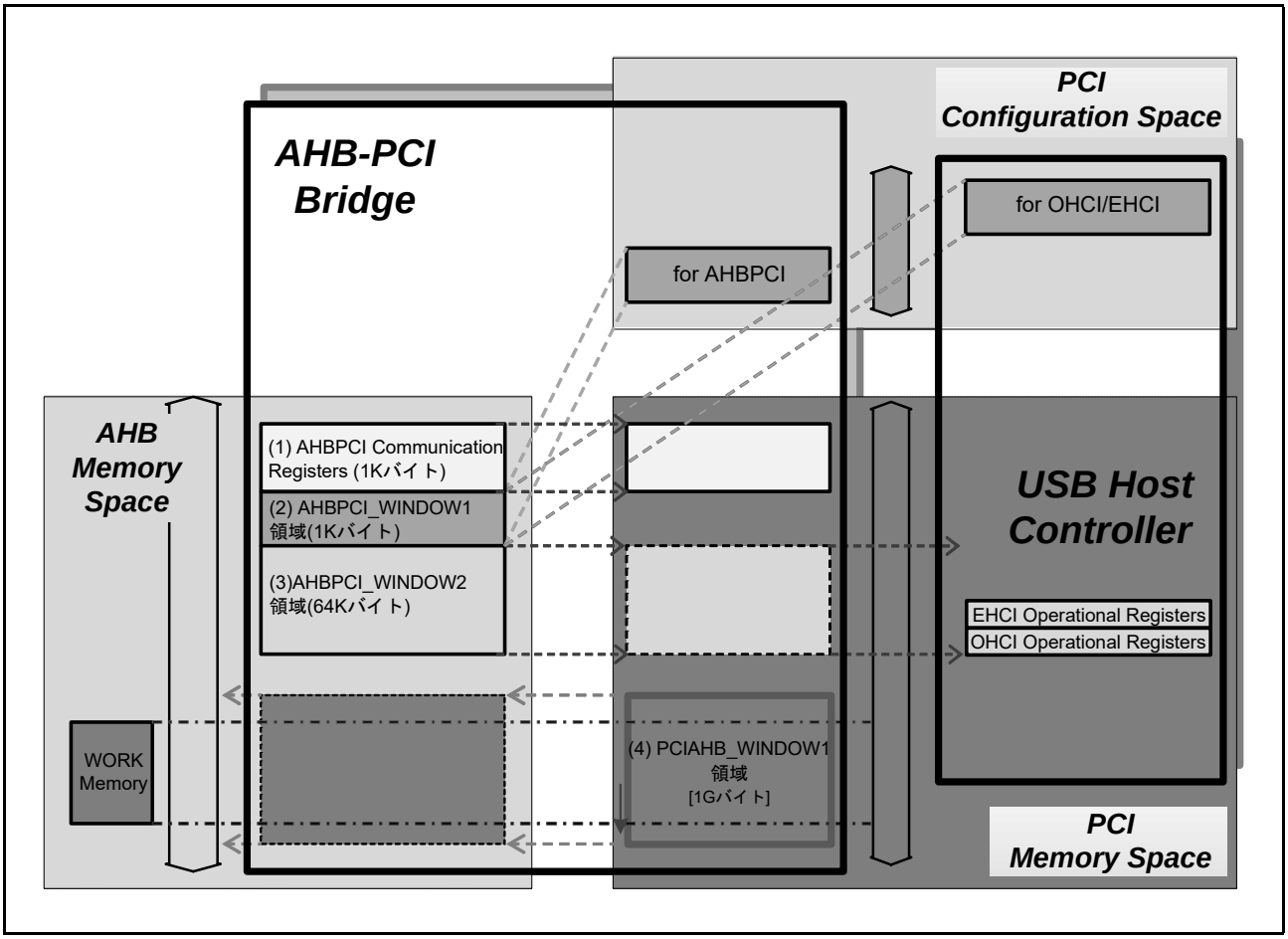


図 31.3　　AHB と PCI 空間のマッピングイメージ

表31.5　　各領域の説明

AHB領域名	サイズ	説明
(1) AHBPCI Commucation Registers	1Kバイト	AHBの各種設定、および各Window領域のベースアドレス設定を行います。 本領域は、PCI Memory Space上にもマッピングされるため、他の領域と重複しないようにマッピングしてください。
(2) AHBPCI_WINDOW1領域	1Kバイト	PCI Configuration Registersには本領域を通じてアクセスします。 OHCI /EHCI Configurationレジスタにアクセスするか、AHBPCI Bridgeのレジスタにアクセスするかは、AHBPCI_WIN1_CTR レジスタで切り替えます。
(3) AHBPCI_WINDOW2領域	64Kバイト	OHCI /EHCI Operational Registerには本領域を通じてアクセスします。
(4) PCIAHB_WINDOW1領域	1Gバイト	ホスト・ロジックは本領域を通じてAHBバス上のWork Memoryにアクセスします。 USBCTR レジスタでサイズを変更可能です。

AHBPCI Communication Registers と AHBPCI_WINDOW2 領域 （OHCI / EHCI Operational Registers)、および PCIAHB_WINDOW1 領域は、PCI Memory Space 上で、領域が重複しないように設定してください。

通常は、AHB Memory Space と、PCI Memory Space を同一アドレスにマッピングするのが容易ですが、AHB バスのメモリマップにより、上記の領域が重複する場合は、PCI Configuration Registers の設定（OHCI ／ EHCI ／ AHBPCI Base Address）により、PCIAHB_WINDOW1 領域との重複を避けてベースアドレスを設定してください。この場合のマッピングイメージを図 31.4 に示します。

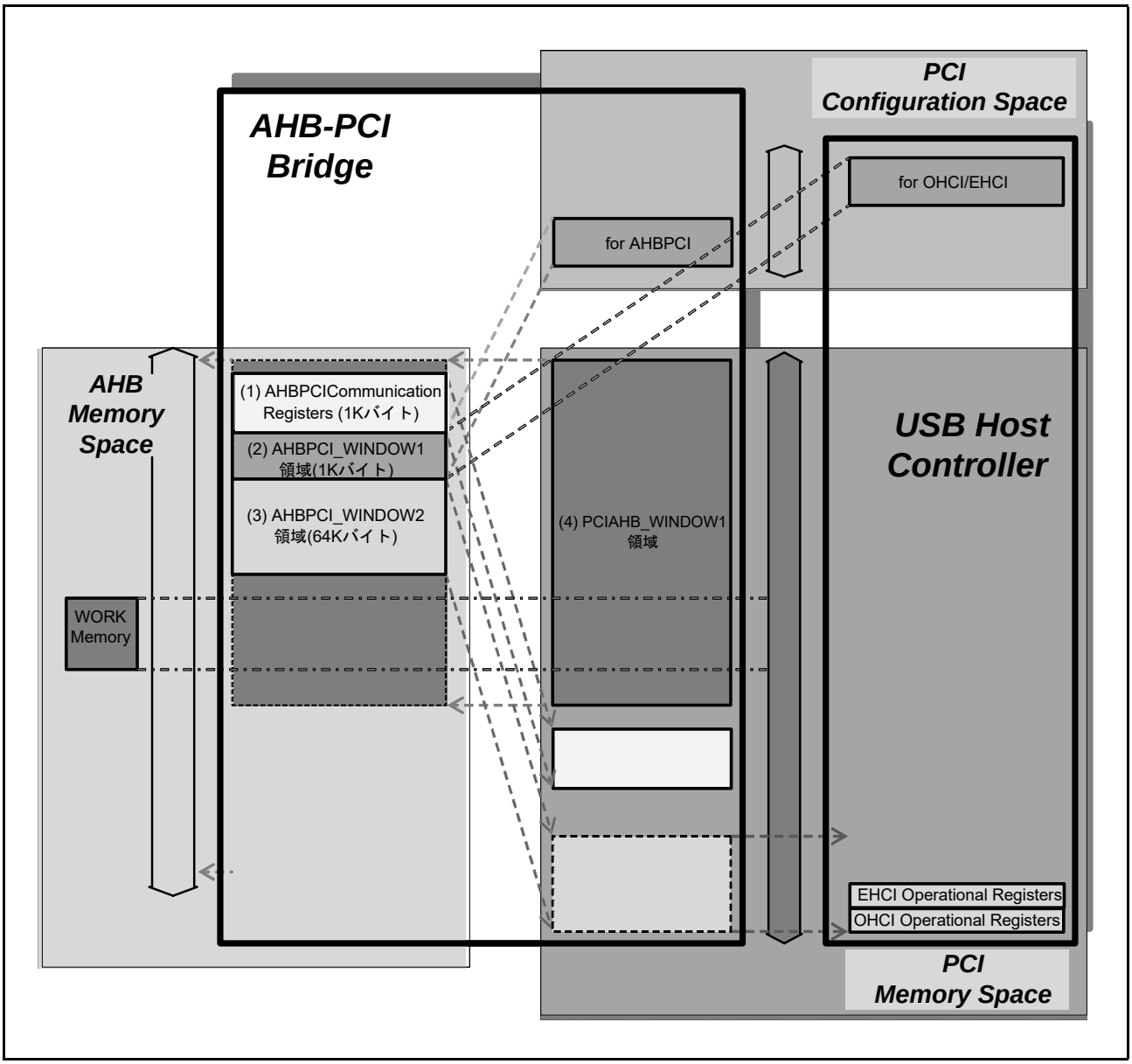


図 31.4 AHB と PCI 空間のマッピングイメージ（領域が重複する場合）

次に、AHB 空間と PCI 空間をマッピングするために設定するレジスタと、それらの設定値が示す値との関係を、図 31.5、表 31.6 を用いて説明します。

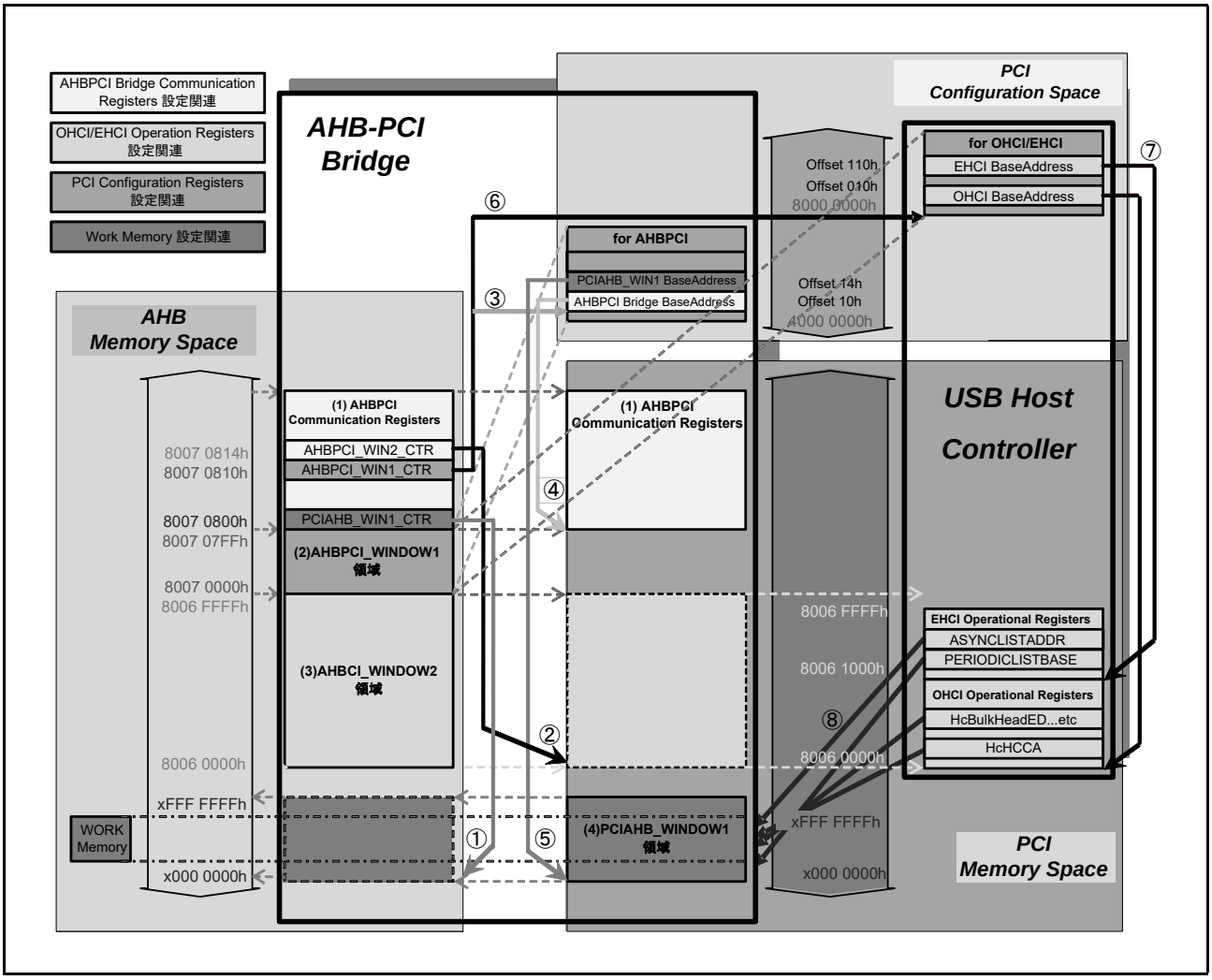


図 31.5　　アドレス設定レジスタ値と AHB/PCI 空間のマッピングの関係図

表31.6　アドレス設定レジスタ値の説明

レジスタ	説明
① PCIAHB_WIN1_CTR	ホスト・ロジックがPCIAHB_WINDOW1領域に対するMasterアクセスを行った場合に、AHBバスのアドレスは、本レジスタで設定したベースアドレスに変換されます。 通常、使用するWork Memoryを含んだ領域を設定します。
②AHBPCI_WIN2_CTR	AHBPCI_WINDOW2領域に対してアクセスを行った場合に、PCIバスのアドレスは、本レジスタで設定したベースアドレスに変換されます。 通常は、AHBPCI_WINDOW2領域と同じ値を設定すれば問題ありませんが、①で設定したWork Memoryを含んだ領域と重複する場合は、重複を避けるようにマッピングしてください。
③AHBPCI_WIN1_CTR	本レジスタのベースアドレスを4000 0000hに設定した場合、PCI Configuration Register for AHBPCIにアクセスします。
④AHBPCI Bridge Base Address	PCI空間上におけるAHB-PCI Bridgeのベースアドレスを設定します。PCIバスから本レジスタにアクセスすることはありませんが、他の領域の重複を避けるように設定してください。
⑤ PCIAHB_WIN1 Base Address	PCI空間上におけるPCIAHB_WINDOW1領域のベースアドレスを設定します。 通常、①と同じベースアドレスを設定します。
⑥AHBPCI_WIN1_CTR	本レジスタのベースアドレスを8000 0000hに設定した場合、PCI Configuration Register for OHCI／EHCIにアクセスします。
⑦OHCI ／EHCI Base Address	PCI空間上におけるOHCI／EHCI Operational Registersのベースアドレスを設定します。 通常OHCI Base Addressは、②で設定したベースアドレスと同じ値を設定します。 EHCI Base Addressは、②で設定したベースアドレスに1000hのオフセットを与えたものになります。
⑧OHCI／EHCI Operational Registers各種レジスタ	①～⑦の設定が完了することで、ホスト・ロジックがPCIを経由してAHBのWork RAM上に展開されたデータ（Descrptorなど）にアクセスすることができます。 WorkRAMに存在するデータのアドレスを指定するレジスタには、以下があります。 ●OHCI／EHCI Operational Register • HcHCCA レジスタ • HcPeriodicCurrentED レジスタ • HcControlHeadED レジスタ • HcControlCurrentED レジスタ • HcBulkHeadED レジスタ • HcBulkCurrentED レジスタ • HcDoneHead レジスタ ●EHCI Operational Register • PERIODICLISTBASE レジスタ • ASYNCLISTADDR レジスタ

31.4.1.1　PCI Configuration レジスタアクセス

PCI Configuration Space のレジスタアクセスは、AHB-PCI Window1 エリア（アドレス 10000h ～ 107FFh : 2K バイト空間）を通して行います。その際、AHBPCI_WIN1_CTR レジスタを正しく設定してください。以下に OHCI/EHCI、および AHB-PCI Bridge の各 PCI Configuration Space にアクセスする際の、AHBPCI_WIN1_CTR レジスタの設定方法を示します。

表31.7　AHBPCI_WIN1_CTRレジスタ設定

アクセス対象領域	AHBPCI_WIN1_CTR レジスタ設定値	
	PCIWIN1_BASEADR[31:11]	PCICMD[2:0]
OHCI／EHCI PCI Configuration Space	ビット 31 のみ 1 にセット	101b
AHB-PCI Bridge PCI Configuration Space	ビット 30 のみ 1 にセット	

31.4.1.2　OHCI ／ EHCI Operational レジスタアクセス

OHCI ／ EHCI Operational Registers 領域にレジスタアクセスする際は、PCI 空間のアドレスマッピングの設定の他、OHCI ／ EHCI PCI Configuration Space、および AHBPCI_WIN2_CTR レジスタの設定が必要です。以下に必要な設定を示します。

表31.8　OHCI／EHCI Operational Registers領域アクセスに必要な設定

設定箇所	設定
OHCI／EHCI PCI Configuration Space Offset 04h （Command Status） bit1 Memory Space	1 （メモリ空間へのアクセス許可）
AHBPCI_WIN2_CTR レジスタ bit[3:1] PCICMD[2:0]	011b （Memory Read ／ Memory Write）

31.5　クロック系統

31.5.1　外部供給クロック

USB ホストコントローラは RZ/T1 内部から以下 3 本のクロックが供給されます。

表31.9　外部供給クロック一覧

クロック信号	機能	周波数
PCLKA	AHBクロック Power Management用AHBクロック	150MHz
USBMCLK	リファレンスクロック	50MHz
USBPCLK	USBホストコントローラ内部PCIクロック	30MHz

31.5.2　クロック系統図

図 31.6 にクロック系統図を示します。

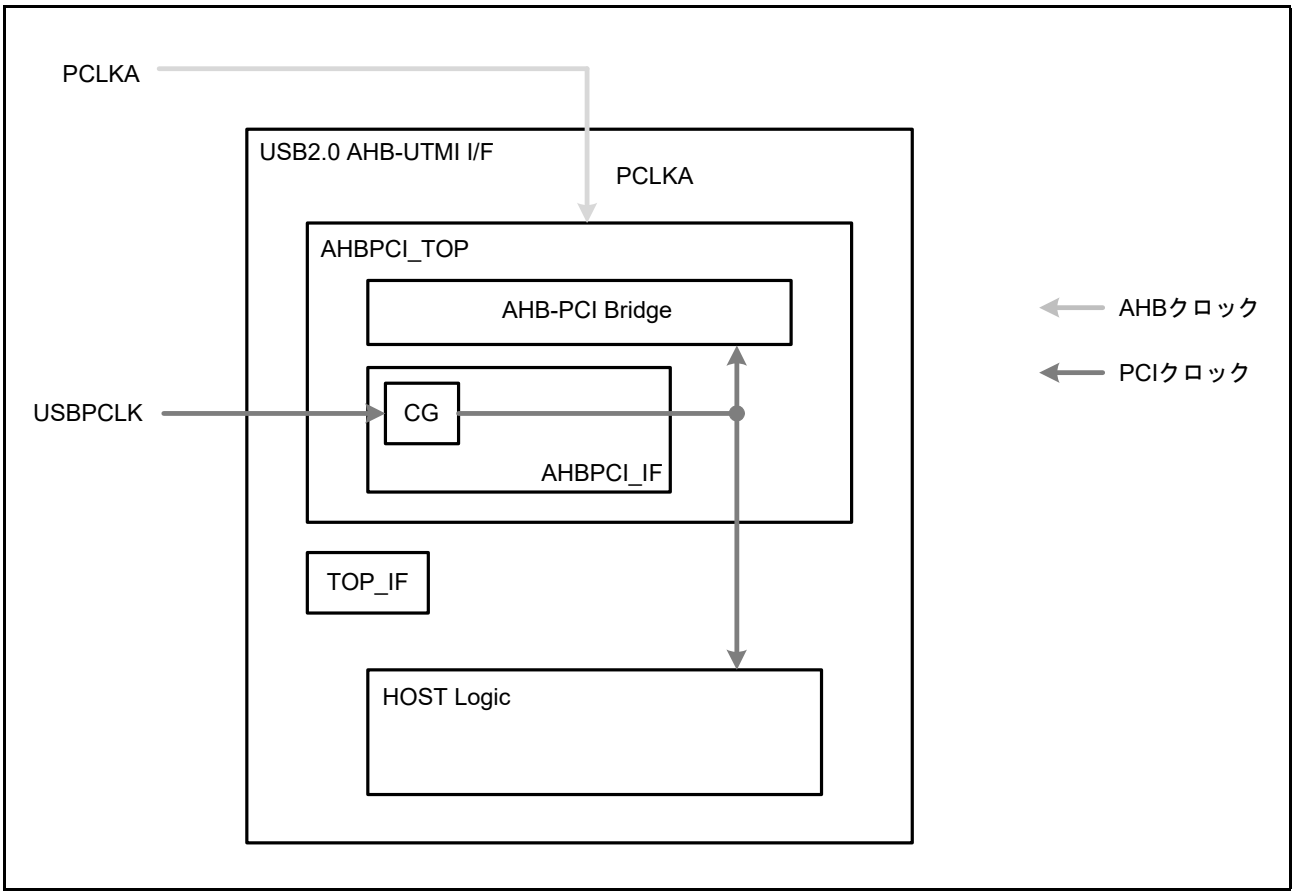


図 31.6　クロック系統図

31.6　割り込みについて

31.6.1　割り込み制御レジスタ

31.6.1.1　U2H_INT 制御レジスタ

AHB-PCI Bridge が発生する割り込みです。割り込みステータス確認・クリア、割り込みイネーブルの設定は、いずれも AHB-PCI Bridge が持つレジスタで行います。

表31.10　U2H_INT制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	PCI_INT_STATUS レジスタ
割り込みイネーブル設定	PCI_INT_ENABLE レジスタ

31.6.1.2　U2H_OHCI_INT 制御レジスタ

ホスト・ロジックからの INTA 割り込みです。各割り込みの制御は、基本的にホスト・ロジックが持つレジスタで行いますが、割り込み信号をアサートするには AHB-PCI Bridge の割り込みイネーブルも有効にしてください。

表31.11　U2H_OHCI_INT制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	HcInterruptStatus レジスタ
割り込みイネーブル設定	HcInterruptEnable レジスタ HcInterruptDisable レジスタ PCI_INT_ENABLE レジスタ（ビット 16 USBH_INTAEN）

31.6.1.3　U2H_EHCI_INT 制御レジスタ

ホスト・ロジックからの INTB 割り込みです。各割り込みの制御は、基本的にホスト・ロジックが持つレジスタで行いますが、割り込み信号をアサートするには AHB-PCI Bridge の割り込みイネーブルも有効にしてください。

表31.12　U2H_EHCI_INT制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	USBSTS レジスタ
割り込みイネーブル設定	USBINTR レジスタ PCI_INT_ENABLE レジスタ（ビット 17 USBH_INTBEN）

31.6.1.4　U2H_PME_INT 制御レジスタ

ホスト・ロジックからの PME 割り込みです。各割り込みの制御は、基本的にホスト・ロジックが持つレジスタで行いますが、割り込み信号をアサートするには AHB-PCI Bridge の割り込みイネーブルも有効にしてください。

表31.13　U2H_PME_INT制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	PCI Configuration レジスタ for OHCI／EHCI offset 44h
割り込みイネーブル設定	PCI Configuration レジスタ for OHCI／EHCI offset 44h PCI_INT_ENABLE レジスタ（ビット 19 USBH_PMEEN）

31.6.2　U2H_BIND_INT

U2H_BIND_INT 割り込み信号は、各割り込み要因信号（U2H_INT, U2H_OHCI_INT, U2H_EHCI_INT, U2H_PME_INT）の論理和をとった信号です。

U2H_PME_INT ／ U2H_OHCI_INT ／ U2H_EHCI_INT 信号のステータスは、AHB-PCI Bridge の PCI_INT_STATUS レジスタに反映されますので、同レジスタをリードすることにより、割り込み要因の確認が可能です。

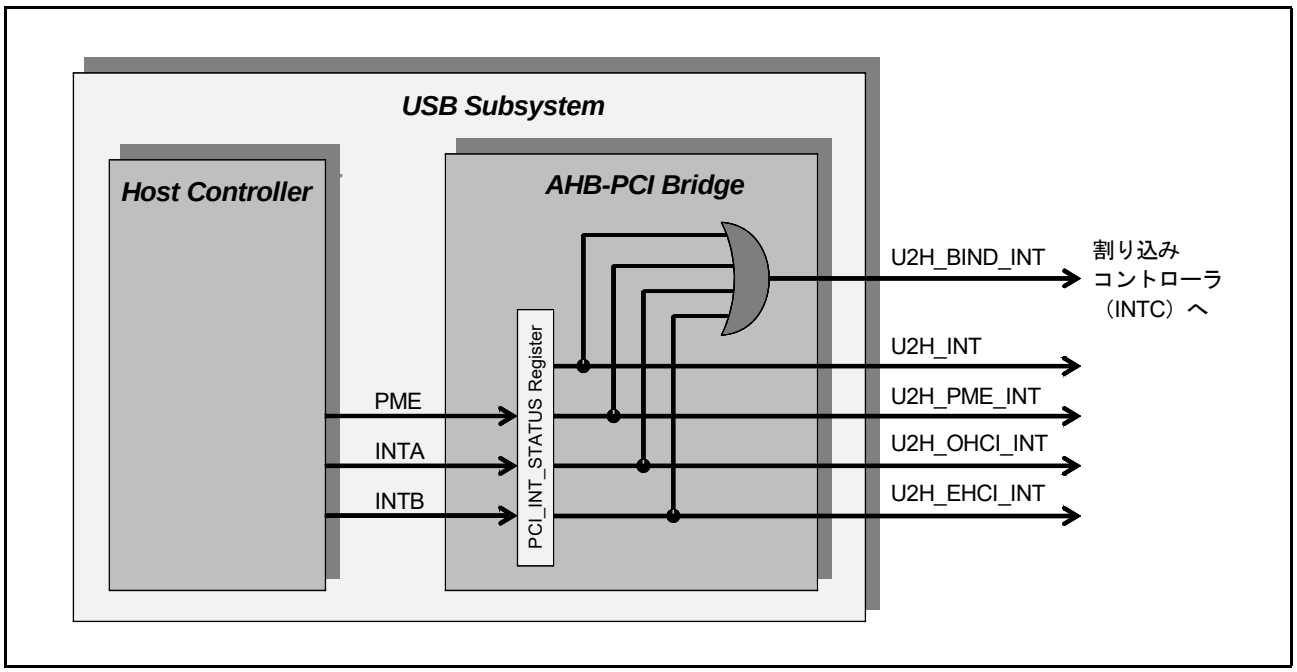


図 31.7　割り込み信号集約イメージ

31.6.3　　割り込み信号のクリアに要する時間について

USB ホストコントローラが発生する割り込みは、AHB Bridge が Posted Write を行うため、内部バスのアクセス状況によっては、割り込み要因のクリアを行うレジスタアクセスから、実際の割り込みのクリアまでの時間が長くなり、同一のステータス割り込みを複数回認識してしまう可能性があります。（**「図 31.8　割り込みのクリア時間」**を参照してください。）

レジスタクリアアクセス完了後から、次の割り込みを認識するまでに、誤認識を行わない対策を行ってください。

一例として、割り込み要因のクリアを行うレジスタアクセス（①）後に、ホスト・ロジックへレジスタアクセス（②）を行ってください。①が完了するまで②を WAIT（SHREADY/MHREADY = 0 または RETRY 応答）するため、②のレジスタアクセス完了時点で割り込みが確実にクリアされます。

(1) ホスト・ロジック

U2H_OHCI_INT ／ U2H_EHCI_INT ／ U2H_PME_INT のクリアを行うレジスタアクセス完了から割り込みのクリアまでに時間を要する場合があります。

PCLKA = 150MHz の場合、通常は 300ns 程度ですが、内部 PCI バス上で Master 転送中の場合、ワーストケースとして 36CLK@USBPCLK+3CLK@PCLKA+2CLK@12MHz となり、USBPCLK = 30MHz の場合、約 1.4µs となります。

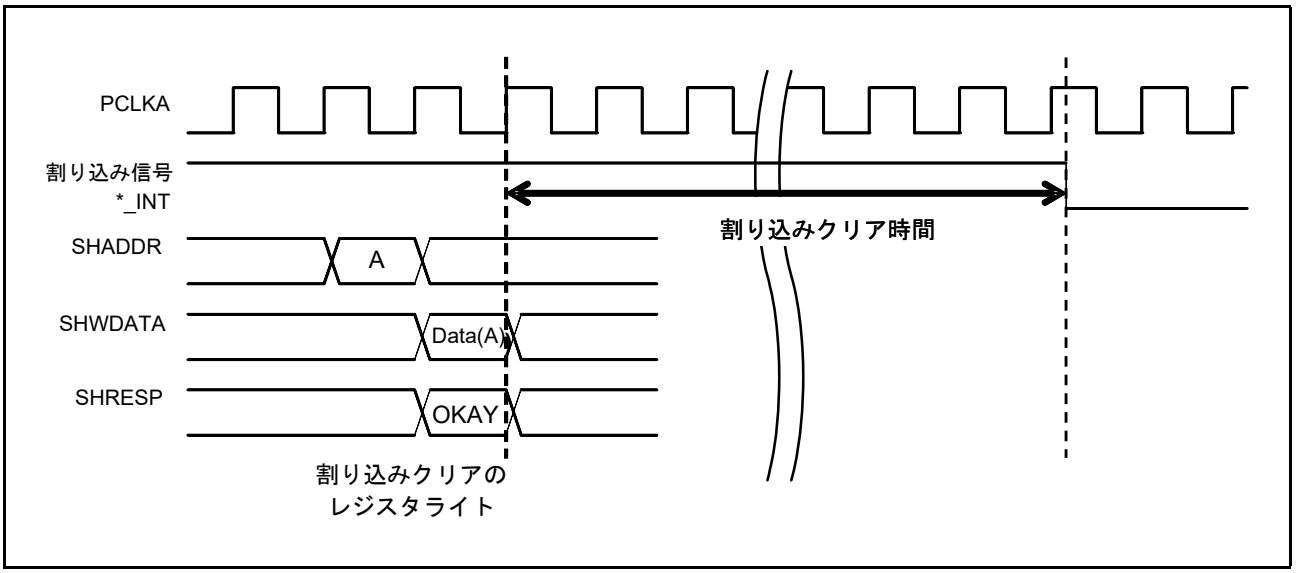


図 31.8　　割り込みのクリア時間

31.7　過電流制御と VBUS 制御について

31.7.1　過電流制御について

USB ポートの過電流検出と VBUS 制御を行うための外部回路制御に用いる USB_OVRCUR ／ USB_VBUSEN 信号の動作を説明します。

31.7.1.1　USB_OVRCUR と USB_VBUSEN 信号の意味

USB_OVRCUR と USB_VBUSEN 信号の意味は、**表 31.14** のとおりです。

表 31.14　USB_OVRCURとUSB_VBUSEN

端子	入出力	レベル	意味
USB_OVRCUR	入力	1	過電流を検出していない
		0	過電流を検出した
USB_VBUSEN	出力	1	VBUSへの電源供給ON
		0	VBUSへの電源供給OFF

31.7.1.2　USB_VBUSEN 出力信号のアサート／ディアサート条件

USB_OVRCUR と USB_VBUSEN のアサート／ディアサート時のタイミングチャートを**図 31.9** に示します。

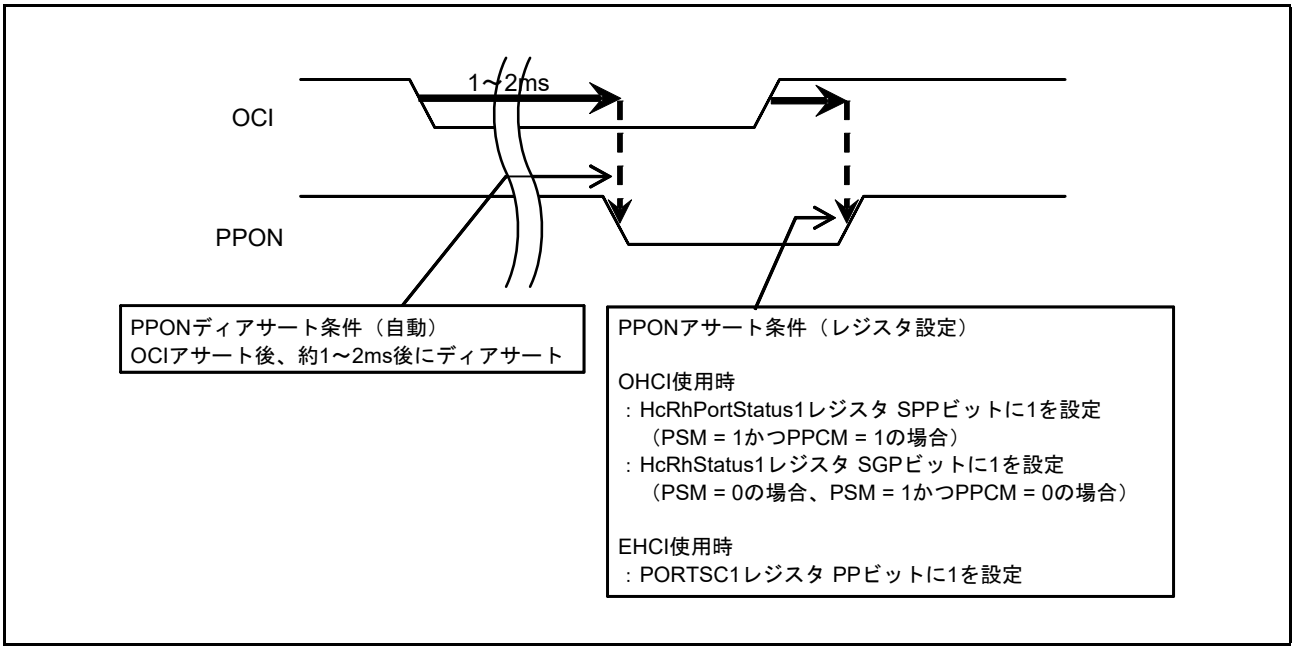


図 31.9　USB_OVRCUR と USB_VBUSEN のアサート／ディアサートタイミングチャート

USB_OVRCUR がディアサートされても、USB_VBUSEN は自動的にアサートされません。USB_OVRCUR がディアサート後に、ソフトウェアでポートパワービットを設定することで USB_VBUSEN がアサートされます。

31.7.2　VBUS 制御について

周辺回路との接続構成にも依存しますが、USB_OVRCUR ／ USB_VBUSEN 端子とハイサイドスイッチを接続することにより、USB ポートを未使用時に VBUS を停止して電力を削減することが可能になります。

USB_VBUSEN、VBUS の関係は以下のようになります。

表31.15　USB_VBUSENとVBUSの関係

USB_VBUSEN	VBUS
0	停止
1	動作

PCI Configuration レジスタと OHCI Operational レジスタにより、USB_OVRCUR アサート時の USB_VBUSEN 動作が異なります。以下にその関係を示します。

表31.16　レジスタ設定とUSB_VBUSENとの関係

OHCI Operational Register				USB_VBUSEN 出力端子動作
HcRhDescriptorA レジスタ			HcRhDescriptorB レジスタ	
NOCP ビット	NPS ビット	PSM ビット	PPCM[1] ビット	
1	—	—	—	1 固定
—	1	—	—	1 固定
0	0	0	—	USB_OVRCUR アサート（0）によりディアサート（0）されます
		1	0	
			1	

注.　NPS = 1 の場合、ホスト・ロジックは過電流を検出しますがUSB_VBUSENをディアサートしません。

31.7.3　PPON1 の初期設定について

HcRhDescriptorA レジスタの NOCP、NPS ビットの設定を行わずリセット後の設定で使用する通常ケースの場合、PPON1（PortPower）の ON/OFF 制御は、以下に示す OHCI/EHCI Operational レジスタの Port 制御レジスタにより行います。以下のビット（SPP, SGP, PP）のどれか 1 つでも 1（ON）にすると、PPON1 は ON 状態になります。

また通常ケースの場合、過電流を検出すると以下のビット（SPP、SGP、PP）は 0 にクリアされます。

レジスタ		ビット	シンボル
OHCI 使用時	HcRhPortStatus1 レジスタ	8	SPP
	HcRhPortStatus レジスタ	16	SGP （注 1）
EHCI 使用時	PORTSC1 レジスタ	12	PP

注1.　1Port版の場合、通常は使用しません。
本ビットによるPPON制御を行う場合、「PSM = 0」または「PSM = 1 かつPPCM = 0」のビット状態にしてください。

一方、NOCP ビットまたは NPS ビットを 1 にすることで、上記 Port 毎の Port Power ビットに関係なく PPON1 は ON 状態になります。

上述した 5 つの PPON1 制御ビット（SPP, SGP, PP, NOCP, NPS ビット）の初期状態は、すべて 0（OFF）となっていますが、初期設定時に ON（1）にする場合は以下のフローにしたがってください。

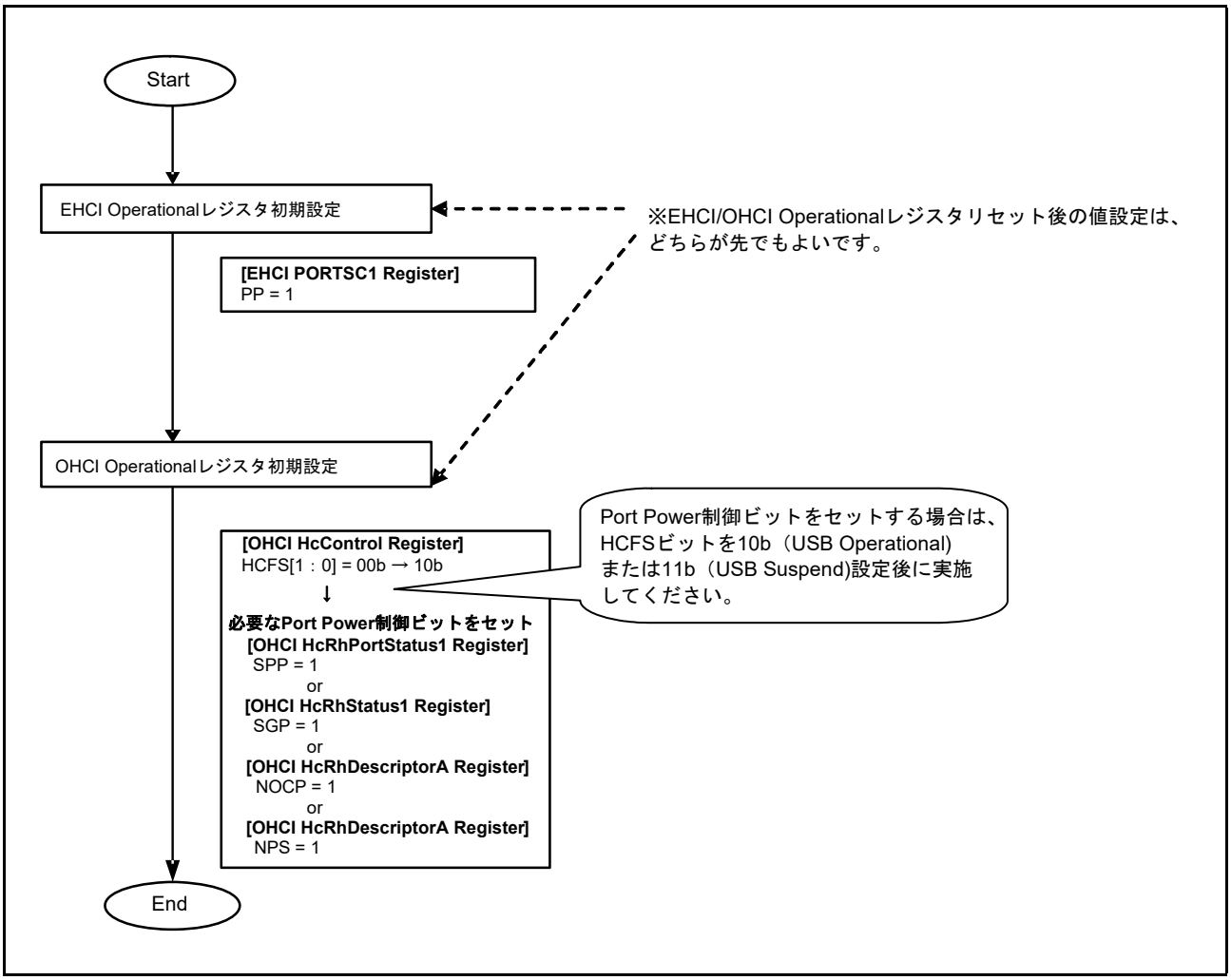


図 31.10　PPON1 の初期設定フロー

31.7.4　USB_VBUSEN の過電流検知に関するフロー

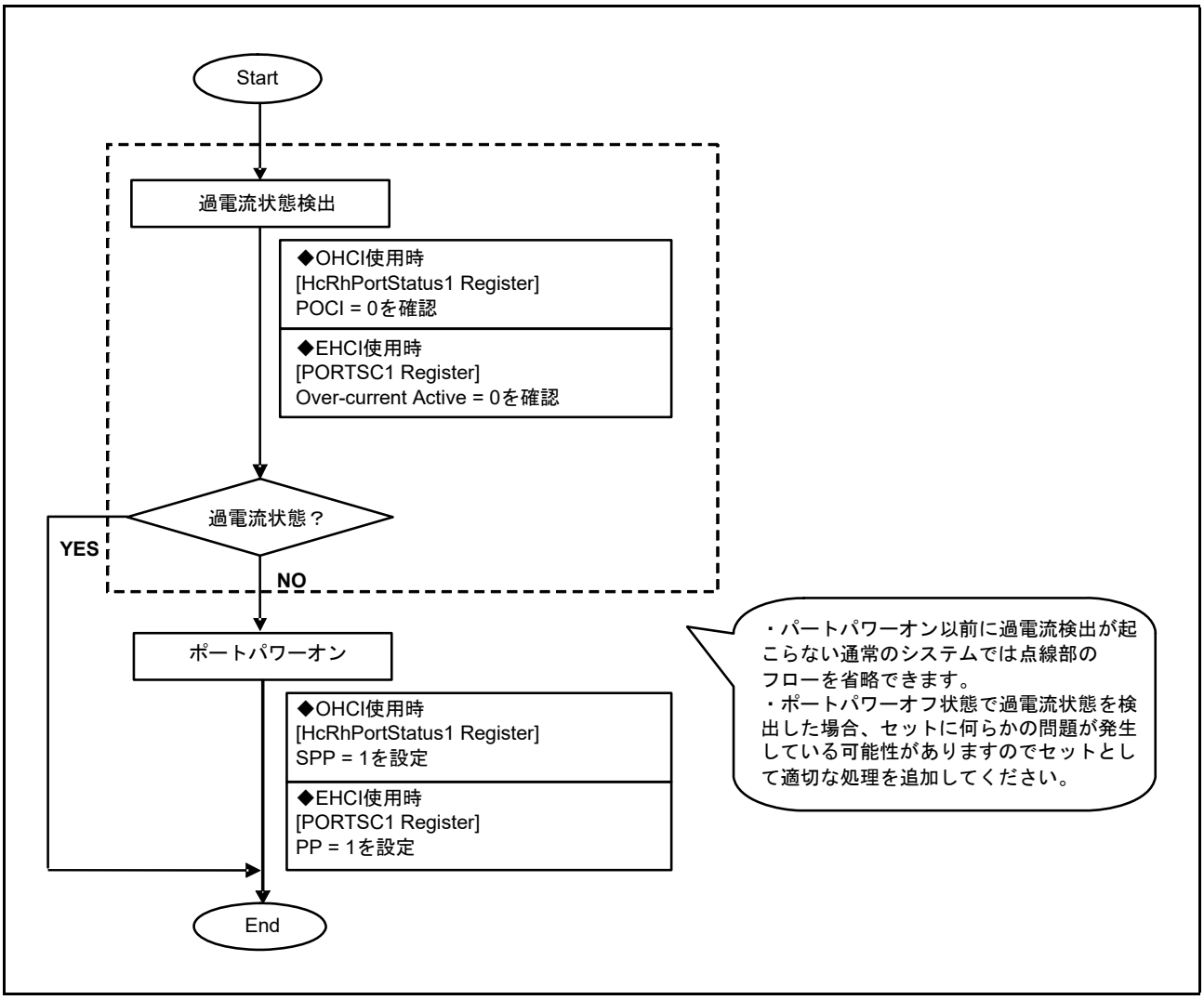


図 31.11　USB_VBUSEN 時の過電流検知に関するフロー

31.7.5　USB_VBUSEN セットフロー

システム起動時に、USB_OVRCUR がアクティブ（0）状態である可能性があるシステムの USB_VBUSEN セットフローを示します。

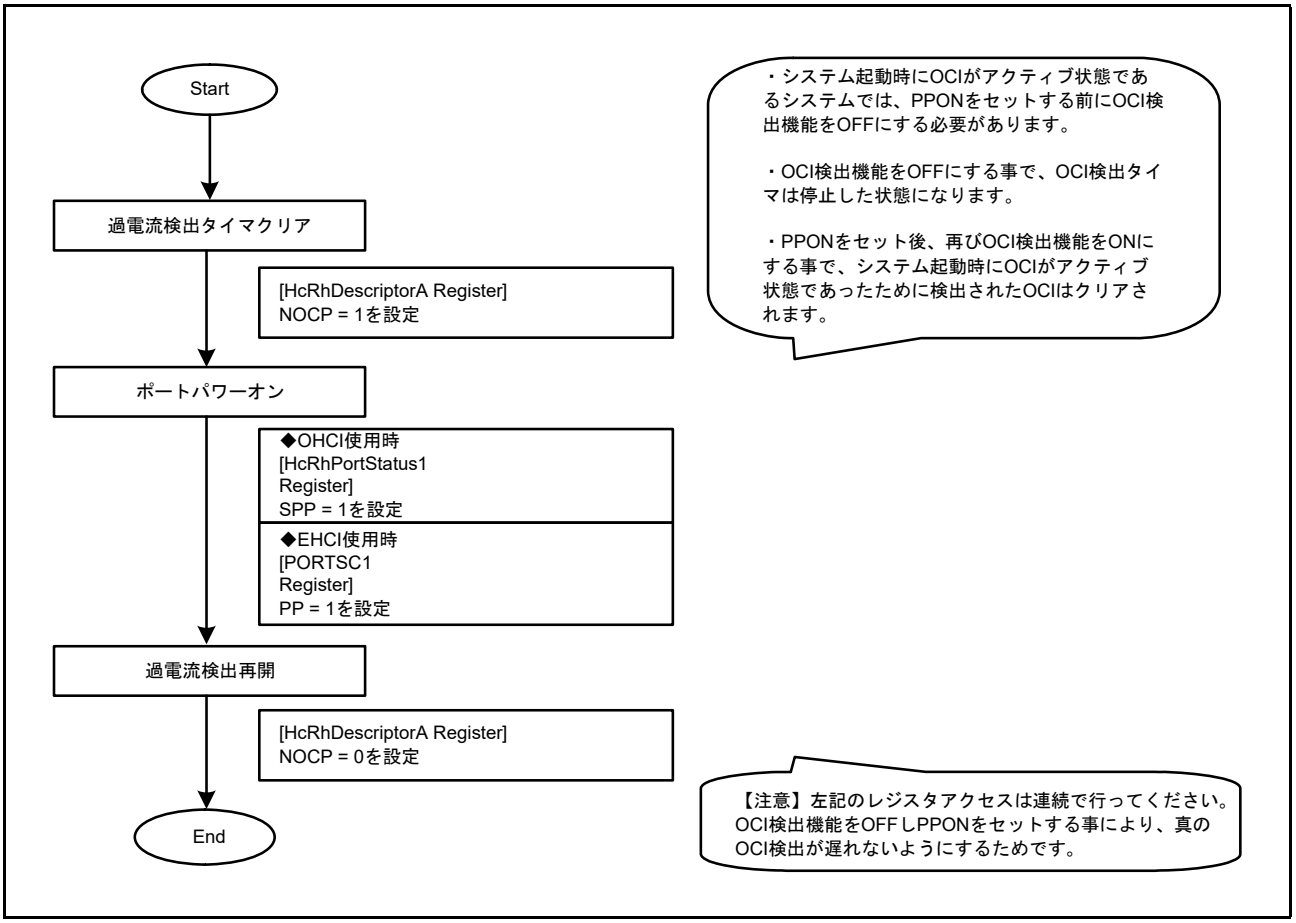


図 31.12　USB_VBUSEN セットフロー

31.8　操作手順

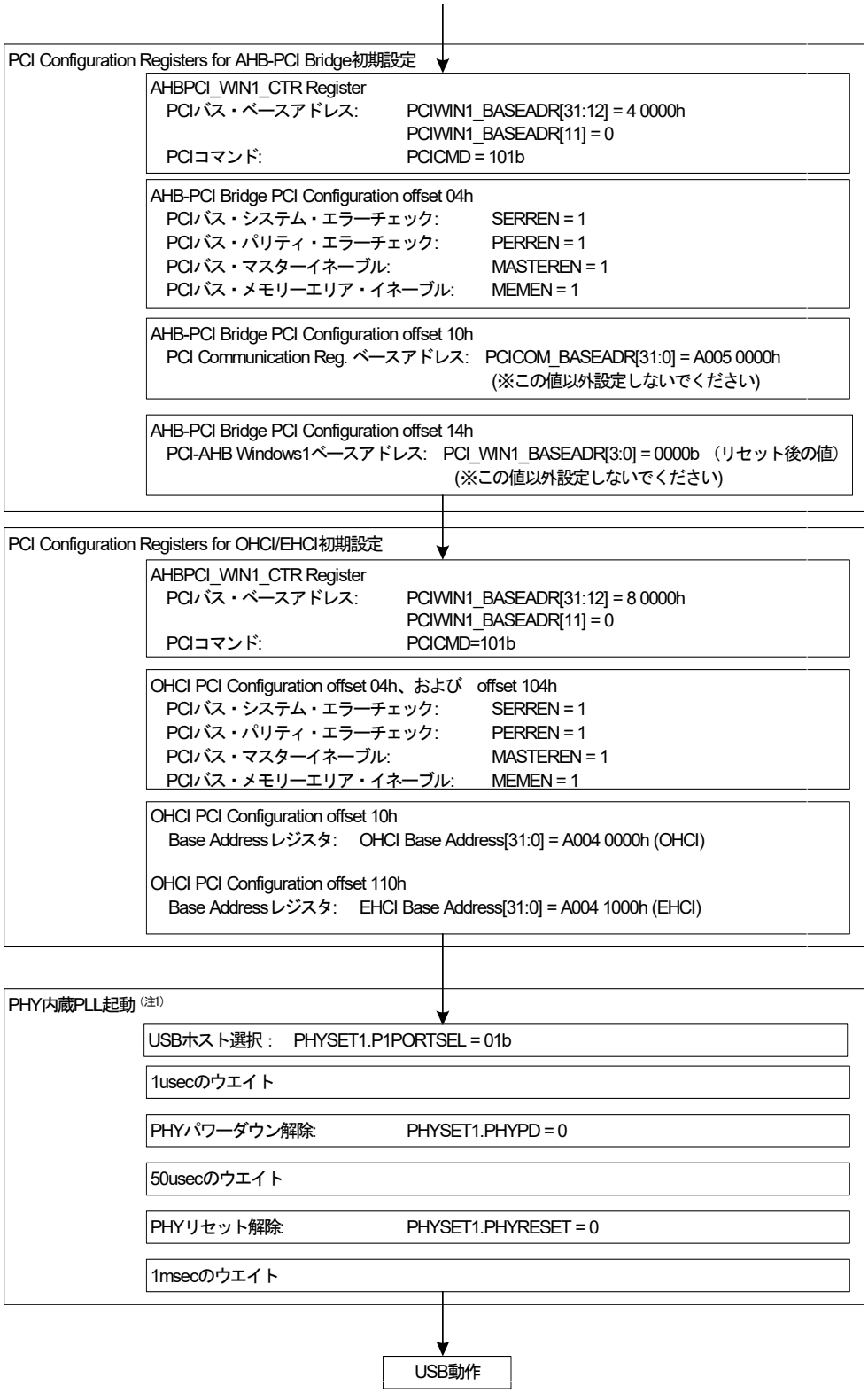
31.8.1　初期設定シーケンス

31.8.1.1　初期設定例

ここでは、以下の機能を実現するための設定例を示します。

- AHB-PCI Window2 レジスタを通して OHCI ／ EHCI Operational Registers にアクセス
- ホスト・ロジックから AHB バス上へのデータ転送





注 1.　PHY 内蔵 PLL を一度起動した後に、PHY パワーダウン（PHYSET1.PHYPD ビット = 1）、PHY リセット（PHYSET1.PHYRESET ビット = 1）を設定して、PHY 内蔵 PLL を動作停止にすることは禁止です。

図 31.13　初期設定シーケンス

31.8.2　USB ホスト転送フロー

USB ホスト転送フローについては、以下の OHCI ／ EHCI の仕様にしたがって制御してください。

- Open Host Controller Interface Specification for USB Rev 1.0a
- Enhanced Host Controller Interface Specification for Universal Serial Bus Revision 1.0

ここでは、DMA の停止に関する補足事項について説明します。

31.8.2.1　DMA 転送の停止

AHB-PCI Bridge には DMA の使用を制御する機能はありません。Master として起動した PCI バスサイクルをそのまま AHB バスに DMA 転送として出力します。

DMA 転送は、以下の 2 つの場合に行われます。

(1) 現在の Frame Number をメモリに書き込む場合
(2) リスト処理を行うためにメモリ上に展開されたディスクリプタ、およびデータに対する Read ／ Write を行う場合

注 .　Frame Number の書き込みは、USB ステートが Operational の場合、フレーム周期ごとに自動で行われます。

DMA 転送を停止する場合、USB ステートを Suspend または Reset 状態にしてください。

(2) のリスト処理のみを中断する場合、リスト処理のイネーブルビット（HcControl レジスタ BLE ／ CLE ／ IE ／ PLE）をクリアすることで次のフレームからリスト処理が停止します。

32.　USB2.0HS ファンクションモジュール（USBf）

32.1　概要

本 LSI の USB は、USB2.0 ホストモジュールおよび USB2.0 ファンクションモジュールをもつデュアル・ロール・デバイスです。ただし、ID ステータス検出機能を持っていないため、On-the-Go（OTG）機能には対応していません。

本 LSI は、ホスト機能とファンクション機能の 2 つの機能に対して 1 つの USB ポートを共有しており、ポート接続経路選択入力信号ビット（PHYSET1.P1PORTSEL[1:0] ビット）により、ホスト機能とファンクション機能とを切り替えて使用する事が可能です。

ホスト機能とファンクション機能とは排他的に動作するため、動的には切り替わりません。

本章では、ファンクションコントローラについて説明します。

USBf ファンクションは、USB 規格 Rev.2.0 の Hi-Speed 転送、Full-Speed 転送に対応しています。

本 LSI は、USB 規格で定義されている全転送タイプに対応しています。また、データ転送用に 8K バイトのバッファメモリを内蔵しており、最大 10 本の PIPE を使用できます。また、PIPE1-9 に対しては、ユーザーシステムに合わせた、任意のエンドポイント番号の割り付けが可能です。CPU バスインタフェースとは独立したローカルバスインタフェースで、専用 DMA インタフェースを備え、高速大容量データ転送を要求されるシステムに適しています。

表 32.1　USB の仕様

項目	説明
USB Hi-Speed 対応	• USB ファンクションコントローラーを内蔵
USB 全転送タイプに対応	• アイソクロナス転送対応を含む USB 全転送タイプに対応 ・コントロール転送 ・バルク転送 ・インタラプト転送（High Bandwidth は非対応） ・アイソクロナス転送（High Bandwidth は非対応）
バスインタフェース	• DMA インタフェースを 2ch 内蔵 － CPU とは独立した DMAC インタフェースを選択可能 • 内蔵 FIFO へのアクセスは 60M バイト／秒の高速データ転送が可能（32 ビットバス幅時）
パイプコンフィグレーション	• USB 通信用バッファメモリを 8K バイト内蔵 • 最大 10 本の PIPE を選択可能（デフォルトコントロール PIPE を含む） • プログラマブルな PIPE 構成 • PIPE1-9 は任意のエンドポイント番号を割り付け可能 • 各 PIPE の設定可能な転送条件 PIPE0：コントロール転送、64 バイト固定シングルバッファ PIPE1～2：バルク転送 ／ アイソクロナス転送、連続転送モード、 バッファサイズはプログラマブル（最大 2K バイトでダブルバッファ指定可能） PIPE3～5：バルク転送、連続転送モード、 バッファサイズはプログラマブル（最大 2K バイトでダブルバッファ指定可能） PIPE6～9：インタラプト転送、64 バイト固定シングルバッファ
ファンクション機能の特長	• Hi-Speed 転送（480Mbps）と Full-Speed 転送（12Mbps）に対応 • リセットハンドシェイク自動応答による、Hi-Speed 動作、もしくは Full-Speed 動作を自動認識 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • NAK 応答割り込み機能（NRDY） • SOF 補間機能
その他の機能	• トランザクションカウントによるトランスファー終了機能 • BRDY 割り込みイベント通知タイミング変更機能（BFRE） • DxFIFO ポートで指定した PIPE のデータ読み出し後の自動バッファメモリクリア機能（DCLRM） • トランスファー終了による応答 PID の NAK 設定機能（SHTNAK） • セルフパワードのみ対応（バスパワード非対応）

図 32.1 に USB のブロック図を示します。

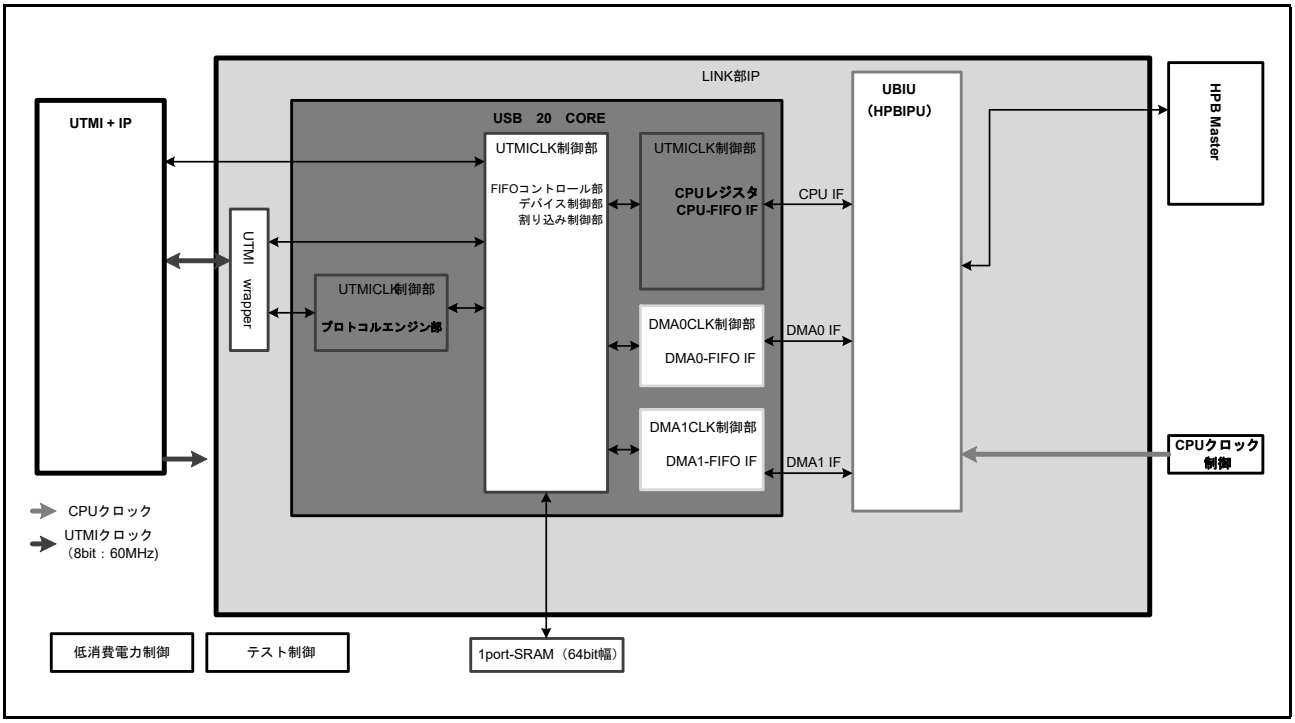


図 32.1　　USB のブロック図

USB バス上に接続されているホストコントローラーとデータ送受信を行う場合は、PIPE ごとに割り当てを行ったバッファメモリを使用します。本コントローラーが、バッファメモリに格納されているデータを USB データパケットに変換し、USB バス上にシリアル出力を行い、また、USB バス上のデータパケットを入力し、バッファメモリへデータ格納することで、相互通信が可能になります。

32.1.1　機能概要

32.1.1.1　USB 転送 Speed 認識

ハードウェアが、USB 転送 Speed を自動認識します。

32.1.1.2　バスインタフェース

(1)　FIFO バッファメモリアクセス方法

本コントローラーは、USB データ転送用の FIFO バッファメモリへのアクセス方法として以下の 2 種類に対応しています。CPU （DMAC）から FIFO ポートアクセス（読み出し／書き込み）を行うことにより、FIFO バッファメモリからの読み出し（または FIFO バッファメモリへの書き込み）を行うことが出来ます。

1. CPU アクセス
   FIFO ポートアドレスを指定し、データを FIFO バッファメモリに書き込み、もしくは FIFO バッファメモリから読み出してください。
2. DMA アクセス
   CPU 内蔵 DMAC、もしくは専用 DMAC から、FIFO ポートアドレスを指定し、データを本コントローラーの FIFO バッファメモリに書き込み、もしくは FIFO バッファメモリから読み出してください。

USB データ通信はリトルエンディアンで行われます。FIFO ポートアクセスにはバイトエンディアンスワップ機能があり、16bit/32bit アクセスの場合には、レジスタ設定によるエンディアン切り替えができます。

32.1.1.3　USB イベント

本コントローラーは、USB 動作上のイベントを割り込みによりユーザーシステムに通知します。また、DMA インタフェースを選択した PIPE のバッファメモリへのアクセスが可能なことを、UCL_Dx_DREQ（割り込み要因 [43]、割り込み要因 [44]）信号をアサートすることにより通知します。

ソフトウエアの設定により種類別、要因別に割り込み通知の可否を選択することができます。

32.1.1.4　USB データ転送

本コントローラーは、USB 通信のコントロール転送、バルク転送、インタラプト転送、およびアイソクロナス転送の全種類のデータ転送が可能です。各転送タイプに対する PIPE のリソースは以下のとおりです。

コントロール転送専用 PIPE; 1 本
インタラプト転送専用 PIPE; 4 本
バルク転送専用 PIPE; 3 本
バルク転送もしくはアイソクロナス転送選択 PIPE; 2 本

PIPE は、ユーザーシステムに合わせて転送タイプ、エンドポイント番号、マックスパケットサイズ等の USB 転送に必要な設定を行ってください。

また、本コントローラーは、8K バイトのバッファメモリを内蔵しています。バルク転送専用 PIPE、およびバルク転送もしくはアイソクロナス転送選択 PIPE に対しては、ユーザーシステムによるバッファメモリの割り当てやバッファ動作モードなどの設定を行ってください。バッファ動作モード設定は、ダブルバッファ構成やデータパケットの連続転送機能により、少ない割り込み回数で、高速なデータ転送が可能です。

CPU、および DMA コントローラーからのバッファメモリへのアクセスは、3 本の FIFO ポートレジスタを通して行います。

32.1.1.5　DMAC（ダイレクトメモリアクセスコントローラー）からのアクセス用機能

本コントローラーは、2 チャンネルの DMA インタフェースを備えており、以下のような機能を有しています。

(1) 転送終了信号によるトランスファー終了通知機能
(2) Zero-Length パケット受信時の FIFO バッファ自動クリア機能
(3) トランザクションカウンタ機能によるトランスファー終了機能

32.2　レジスタの説明

32.2.1　システムコンフィグレーションコントロール

32.2.1.1　システムコンフィグレーションコントロールレジスタ 0（SYSCFG0）

アドレス　A006 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	HSE	—	DRPD	DPRPU	—	—	—	USBE
H/W リセット後の値	x	x	x	x	x	x	x	0	0	0	1	0	x	x	x	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b0	USBE	USBブロック動作許可	USBブロックの動作禁止／許可を指定します。 0：USBブロック動作禁止 1：USBブロック動作許可	R/W	R
b3-b1	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b4	DPRPU	D+ライン抵抗制御	Function Controller機能用D+ラインPullUpの禁止／許可を指定します。 0：Pull Up禁止 1：Pull Up許可	R/W	R
b5	DRPD	D+／D-ライン抵抗制御	初期化時に、必ず0に設定してください。	R/W	R
b6	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b7	HSE	Hi-Speed動作許可	Hi-Speed動作禁止／許可を指定します。 0：Hi-Speed動作禁止 （Full-Speed） 1：Hi-Speed動作許可 （コントローラーが通信Speedを検出）	R/W	R
b15-b8	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注.　本レジスタへの書き込みは、UTMIクロック（USB内蔵PLLのクロック出力）が停止時でも可能です。しかしUTMIクロックが停止時に設定された値は、UTMIクロックが発振されてから、設定値が反映されます。

USB ブロック動作許可ビット（USBE）

本ビットを設定することにより、USB ブロックの動作許可、禁止を行います。

“USBE = 1” から “USBE = 0” に変更した場合、本コントローラーは**表 32.2** に示すビットを初期化します。

表32.2　“USBE = 0”書き込みにより初期化されるレジスター覧

レジスタ名	ビット名
SYSSTS0	LNST
DVSTCTR0	RHST
INTSTS0	DVSQ
USBADDR	USBADDR
USBREQ	bRequest bmRequestType
USBVAL	wValue
USBINDX	wIndex
USBLENG	wLength

本ビットの変更は、“SUSPM = 1”、かつ UTMI クロックが発振した後に行ってください。

D+, D- ライン抵抗制御 （DRPD、DPRPU）

「表 32.3　USB データバス抵抗の制御」に USB データバスの抵抗についての設定を示します。DRPD ビットおよび DPRPU ビットで USB データバスの抵抗選択を行ってください。

表32.3　USB データバス抵抗の制御

設定内容		USB データバス抵抗制御		
DRPD	DPRPU	D- Line	D+ Line	Remarks
0	0	Open	Open	
0	1	Open	Pull-Up	Function Controller として動作させる場合はこの設定にしてください
1	0	Pull-Down	Pull-Down	設定禁止
1	1	Pull-Down	Pull-Up	設定禁止

- Function Controller 機能用 D+Pull Up 抵抗制御 （DPRPU）

本ビットを “1” に設定すると、本コントローラーは D+ ラインを 3.3V に Pull Up し、USB ホストに対してアタッチを通知することができます。

また、本ビットを “1” から “0” に変更することにより、本コントローラーは D+ ラインの Pull Up を解消しますので、USB ホストに対してデタッチしたと見せることができます。

本レジスタはレジスタ PHYSET1.PHYVBUSIN と同時に制御してください。

Hi-Speed 動作許可ビット（HSE）

本ビットを “1” に設定することにより、Hi-Speed 動作を許可します。“HSE = 1” を設定した場合、本コントローラーは Reset Handshake の結果にしたがい、Hi-Speed または Full-Speed 動作を行います。

“HSE = 0” を設定した場合、本コントローラーは Full-Speed 動作を行います。

“HSE = 1” を設定した場合、本コントローラーは Reset Handshake Protocol を実行し、その結果にしたがい自動的に Hi-Speed または Full-Speed 動作を行います。

本ビットの書き換えは、“DPRPU = 0” の時に行ってください。

32.2.1.2　システムコンフィグレーションコントロールレジスタ 1（SYSCFG1）

アドレス　A006 0002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BWAIT[5:0]					
H/W リセット後の値	x	x	0	0	0	0	0	0	x	x	0	0	1	1	1	1
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b5-b0	BWAIT[5:0]	CPUバスアクセスウエイトの指定	本コントローラに対するアクセスウエイト数を指定 b5　b0 000000：0ウエイト（アクセスサイクル2） ：　： 000010：2ウエイト（アクセスサイクル4） ：　： 000100：4ウエイト（アクセスサイクル6） ：　： 001111：15ウエイト（アクセスサイクル17） （リセット後の値） ：　： 111111：63ウエイト（アクセスサイクル65）	R/W	R
b15-b6	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

CPU アクセスウエイト指定ビット （BWAIT）

本コントローラの A006 0004h アドレス以降のレジスタに連続アクセスする場合、67ns 以上の時間を確保する必要があります。

本制約を満たすために、CPU クロックの周波数によりウエイト制御する必要があります。リセット後の値は最大値（17 クロックサイクル）のため、最適な設定値を選択してください。

なお、本設定は、FIFO ポートレジスタへのアクセスのウェイトと共通です。FIFO ポートへの最大アクセススピードは以下のとおりです。

MBW = “10b”（32bit 幅）：max 60MBytes/sec

MBW = “01b”（16bit 幅）：max 30MBytes/sec

MBW = “00b”（8bit 幅）：max 15MBytes/sec

32.2.1.3　システムコンフィグレーションステータスレジスタ（SYSSTS0）

アドレス　A006 0004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	
H/W リセット後の値	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	LNST[1:0]	USBデータラインステータスモニター	USBライン状態が表示されます。	R	W
b15-b2	—	予約ビット	読み出した場合、不定値が読み出せます。	R	—

ラインステータスモニタビット （LNST）

表 32.4 に本コントローラーの USB データバスラインステータス表を示します。本コントローラーは、SYSSTS0 レジスタの LNST ビットに USB データバスのラインステータス（D+ ライン、および D- ライン）をモニタします。

LNST ビットの参照は “USBE = 1” 設定後、アタッチ処理（“DPRPU = 1” 設定）以後に行ってください。

表32.4　USBデータバスラインステータス表

LNST[1]	LNST[0]	Full-Speed 動作時	Hi-Speed 動作時	Chirp 動作時（注1）
0	0	SE0	Squelch（注2）	Squelch（注2）
0	1	J State	Unsquelch（注3）	Chirp J（注4）
1	0	K State	Invalid	Chirp K（注5）
1	1	SE1	Invalid	Invalid

注1.　Chirp：Hi-Speed 動作許可の状態（HSE = “1”）で、リセットハンドシェイクプロトコル実行中
注2.　Squelch：SE0、もしくは Idle 状態
注3.　Unsquelch：Hi-Speed J State、もしくは Hi-Speed K State
注4.　Chirp J：Chirp J State
注5.　Chirp K：Chirp K State

32.2.2　USB 信号制御

32.2.2.1　デバイスステートコントロールレジスタ 0（DVSTCTR0）

アドレス　A006 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST[2:0]		
H/W リセット後の値	x	x	x	x	x	0	0	0	0	0	0	0	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	RHST[2:0]	リセットハンドシェイク	リセットハンドシェイクの状態を表示します。	R	W
b7-b3	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	WKUP	ウェイクアップ出力	リモートウェイクアップ（レジューム信号出力）禁止／許可を指定します。本ビットには、1書き込みのみ可能です。 0：リモートウェイクアップ信号非出力 1：リモートウェイクアップ信号出力	R/W	R/W
b15-b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

リセットハンドシェイクステータスビット （RHST）

Reset Handshake の結果を本ビットに表示します。**表 32.5** に Reset Handshake 結果一覧を示します。

表32.5　Reset Handshakeステータス表

バスの状態	RHSTビットの値
Powered 時 or Disconnect 時	000b
ResetHandshake 中	100b
Full-Speed 接続時	010b
Hi-Speed 接続時	011b

“HSE = 1” を設定している場合、本コントローラーが USB バスリセットを検出すると、本ビットは “100b” を示します。その後、本コントローラーが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは “011b” を示します。ChirpK 出力後、2.5ms 以内に Hi-Speed に確定しなければ、本ビットは “010b” を示します。

“HSE = 0” を設定している場合、本コントローラーが USB バスリセットを検出すると、本ビットは “010b” を示します。

本コントローラーが USB バスリセットを検出後、RHST ビットが “010b” または “011b” に確定した時点で、DVST 割り込みが発生します。

リモートウェイクアップ（レジューム信号出力）禁止／許可ビット （WKUP）

本ビットを “1” に設定すると、本コントローラーは USB バスにリモートウェイクアップ信号を出力します。

本コントローラーは、リモートウェイクアップ信号の出力時間を管理しています。ソフトウエアが WKUP ビットに “1” を設定すると、本コントローラーは 10ms の “K-State” を出力し、その後、ハードウエアで自動的に “WKUP = 0” にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、サスペンド状態を検出した直後に “WKUP = 1” を書き込んでも、本コントローラーは 2ms 待ってから “K-State” を出力します。

WKUP ビットへの “1” 書き込みは、デバイスステートがサスペンド （“DVSQ = 1xxb”）であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。

WKUP ビットを “1” に設定する場合は、サスペンド中であっても内部クロックを停止しないでください（“SUSPM = 1” の状態で “WKUP = 1” を書き込んでください）。

32.2.3　テストモード

32.2.3.1　USB テストモードレジスタ（TESTMODE）

アドレス　A006 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
H/W リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	UTST[3:0]	テストモード	※ テストモードビットの説明を参照してください。	R/W	R
b15-b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

テストモードビット（UTST）

本ビットに値を書き込むことにより、Hi-Speed 動作時の USB テスト信号出力を行います。**表 32.6** に本コントローラーのテストモード動作表を示します。

表32.6　テストモード動作表

テストモード	**UTST**ビット設定
通常動作	0000b
Test_J	0001b
Test_K	0010b
Test_SE0_NAK	0011b
Test_Packet	0100b
Test_Force_Enable	—
Reserved	0101b-0111b

Hi-Speed 通信時の USB ホストからの SetFeature リクエストにしたがって本ビットを書き込んでください。

本ビットに “0001h”~“0100h” を設定している時には、本コントローラーはサスペンド状態に遷移しません。

テストモード設定後、通常の USB 通信を行う場合は、ハードウェアリセットを実施してください。

32.2.4　DMA-FIFO バスアクセス制御

D0FBCFG レジスタは、DMA0-FIFO のバスアクセス制御を、D1FBCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。

32.2.4.1　DMA0-FIFO バスコンフィグレーションレジスタ（D0FBCFG）
DMA1-FIFO バスコンフィグレーションレジスタ（D1FBCFG）

アドレス　D0FBCFG：A006 0010h
D1FBCFG：A006 0012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DFACC[1:0]		—	—	—	—	—	—	—	TENDE	—	—	—	—
H/W リセット後の値	x	x	0	0	x	x	x	x	x	x	x	0	x	x	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b4	TENDE	TENDx_N信号許可	TENDx_N信号の入力許可を行います。 0：TENDx_N信号禁止 1：TENDx_N信号許可 DFACC = “01b”もしくは“10b”設定時は、0を設定してください。	R/W	R
b11-b5	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13-b12	DFACC[1:0]	DMAx-FIFOアクセスモード	当該FIFOポートのアクセスモードを指定 b13 b12 00：サイクルスチルモード（リセット後の値） 01：16バイト連続アクセスモード 10：32バイト連続アクセスモード 11：無効	R/W	R
b15-b14	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

TENDx_N 入力信号の許可ビット （TENDE）

DMA による FIFO ライトアクセス時に、TEND 入力の許可／禁止を選択します。

DFACC = “01b” もしくは “10b” 設定時は、0 を設定してください。

DMA 転送の FIFO アクセスモード選択ビット（DFACC）

本ビットは、DMA 転送を行う場合の転送モードを指定します。

(a) サイクルスチールモード設定時、FIFO バッファへのアクセスには DxFIFO ポートを使用してください。

(b) 16 バイト／32 バイト連続アクセスモード設定時、FIFO バッファへのアクセスには DxFIFO 連続転送ポートを使用してください。また、DxFIFOSEL の MBW ビットには “10b”（32 ビット幅）のみ設定可能です。

32.2.5　FIFO ポート

32.2.5.1　CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO）

アドレス　CFIFO：A006 0014h
D0FIFO：A006 0018h
D1FIFO：A006 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FIFOPORT[31:0]															
H/Wリセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバスリセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIFOPORT[31:0]															
H/Wリセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバスリセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	ビット名	機能	S/W	H/W
b31-b0	FIFOPORT[31:0]	FIFOポート	本ビットにアクセスすることにより、FIFOバッファからの受信データ読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。	R/W	R/W

- FIFO ポート制御

本コントローラーの送受信バッファメモリは FIFO 構造 （FIFO バッファ）になっています。FIFO バッファへのアクセスは FIFO ポートレジスタを使用してください。FIFO ポートは CFIFO ポート、D0FIFO ポート、および D1FIFO ポートの 3 ポートがあります。また、連続転送用に DxFIFO 連続転送ポートがあります。各 FIFO ポートは、FIFO バッファへのデータ読み書きを行うポートレジスタ （CFIFO、D0FIFO、および D1FIFO）、FIFO ポートに割り当てる PIPE を選択するレジスタ （CFIFOSEL、D0FIFOSEL、および D1FIFOSEL）、コントロールレジスタ （CFIFOCTR、D0FIFOCTR、および D1FIFOCTR）で構成されます。

各 FIFO ポートには、以下に示す制約があります。

(1) DCP 用 FIFO バッファへのアクセスは CFIFO ポートを通して行ってください。

(2) DFACC = “00b”（サイクルスチールモード）設定時の DMA 転送による FIFO バッファアクセスは、DxFIFO ポートを通して行ってください。

(3) DFACC = “01b” もしくは “10b”（16 バイト／32 バイト連続アクセスモード）設定時の DMA 転送による FIFO バッファアクセスは、DxFIFO 連続転送ポートを通して行ってください。

(4) CPU による DxFIFO ポートアクセスも可能です。

(5) FIFO ポート固有の機能を使用する場合は、CURPIPE ビットに設定する PIPE 番号 （選択 PIPE）を変更できません。（DMA 転送機能使用時等）

(6) FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。

(7) 同一 PIPE を別々の FIFO ポートに割り当てないでください。

(8) FIFO バッファの状態には、アクセス権が CPU 側にある場合と SIE 側にある場合の 2 種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からのアクセスはできません。

FIFO ポートビット （CFIFO、D0FIFO、および D1FIFO）

ソフトウェアが本レジスタにアクセスすることにより、本コントローラーは各選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の CURPIPE ビットで PIPE 番号に割り当てた FIFO バッファへのアクセスを行います。

本レジスタへのアクセスは、各コントロールレジスタ （CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY ビットが “1” を示している（または本コントローラーが UCL_Dx_DREQ（割り込み要因 [43]、割り込み要因 [44]）出力をアサートしている）時のみ可能です。

本レジスタの有効ビットは、MBW ビットの設定値、および、BIGEND ビットの設定値により異なります。有効ビットを、**表 32.7** から**表 32.9** に示します。

表32.7　32bitアクセス（MBW = “10”）時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表32.8　16bitアクセス（MBW = “01”）時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+1 アドレス	N+0 アドレス	書き込み：無効 読み出し：禁止（注 1）	
1	書き込み：無効 読み出し：禁止（注 1）		N+0 アドレス	N+1 アドレス

表32.9　8bitアクセス（MBW = “00”）時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+0 アドレス	書き込み：無効 読み出し：禁止（注 1）		
1	書き込み：無効 読み出し：無効（注 1）			N+0 アドレス

注1.　無効レジスタへのワードリードまたはバイトリードは禁止です。

32.2.5.2　CFIFO ポート選択レジスタ（CFIFOSEL）

アドレス　A006 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	MBW[1:0]		—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
H/W リセット後の値	0	0	x	x	0	0	x	0	x	x	0	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定	CFIFOポートにアクセスするPIPE番号を指定します。 b3　b0 0000：DCP 0001：PIPE1 0010：PIPE2 ：　： 1000：PIPE8 1001：PIPE9	R/W	R
b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	ISEL	DCP選択時のFIFOポートアクセス方向	CURPIPEビットにDCP選択時のFIFOポートアクセス方向を指定します。 0：バッファメモリ読み出し選択 1：バッファメモリ書き込み選択	R/W	R
b7-b6	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	BIGEND	FIFOポートエンディアン制御	CFIFOポートのバイトエンディアンを指定します。 0：リトルエンディアン 1：ビッグエンディアン	R/W	R
b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b11-b10	MBW[1:0]	CFIFOポートアクセスビット幅	CFIFOポートへのアクセスビット幅を指定します。 b11b10 00：8ビット幅 01：16ビット幅 10：32ビット幅 11：設定禁止	R/W	R
b13-b12	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14	REW	バッファポインタリワインド	バッファポインタのリワインドを行う場合に“1”を指定します。読み出した場合は、0が読めます。 0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R/W	R
b15	RCNT	リードカウントモード	CFIFOCTRのDTLNの読み出しモードを指定します。 0：全受信データ読み出しでDTLNビットクリア 1：受信データ読み出し毎にDTLNビットカウントダウン	R/W	R

FIFO ポートアクセスパイプ指定ビット （CURPIPE）

CFIFO ポート経由で、データの読み出しまたは書き込みを行う PIPE 番号を設定してください。

本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込んだ値と読み出した値が一致することを確認した後、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタ、および D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

DCP 選択時の FIFO ポートアクセス方向指定ビット （ISEL）

指定 PIPE が DCP の時に、本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスする事ができます。

本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。

CFIFO ポート バイトエンディアンを制御ビット （BIGEND）

本ビットに CFIFO ポートのバイトエンディアンを設定してください。

詳細は、 FIFO ポートビット （CFIFO、D0FIFO、および D1FIFO）を参照してください。

CFIFO ポートアクセスビット幅 （MBW）

本ビットに CFIFO ポートへのアクセスビット幅を設定してください。

CURPIPE ビットに指定した PIPE が受信方向の場合、本ビットを設定後、読み出しを開始した時には、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、指定 PIPE が受信方向の場合、一旦 CURPIPE ビットの値を異なる値に設定した後、CURPIPE ビットと MBW ビットを同時に設定してください。CURPIPE ビットの変更手順は、CURPIPE ビットの説明にしたがってください。

指定 PIPE が送信方向の場合、バッファメモリへの書き込み処理実行中に 8bit 幅から 16bit 幅／ 32bit 幅、または 16 bit 幅から 32bit 幅へのビット幅切り替えは行えません。

16bit 幅／ 32bit 幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

バッファポインタリワインド（REW）

選択 PIPE が受信方向の場合、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は、読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

リードカウントモード（RCNT）

本ビットに “0” を設定した場合、CURPIPE ビットで PIPE（指定 PIPE）に割り付けた FIFO バッファの全受信データ読み出し終了時（ダブルバッファの場合は一面分の読み出し終了時）に、本コントローラーは CFIFOCTR レジスタの DTLN ビットを “0” にクリアします。

本ビットに “1” を設定した場合、指定 PIPE に割り付けた FIFO バッファから受信データ読み出し毎に、本コントローラーは CFIFOCTR レジスタの DTLN ビットをカウントダウンします。

32.2.5.3　D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL）

アドレス　D0FIFOSEL：A006 0028h
D1FIFOSEL：A006 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]		—	BIGEND	—	—	—	—	CURPIPE[3:0]			
H/W リセット後の値	0	0	0	0	0	0	x	0	x	x	x	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定	b3　b0 0000：指定なし 0001：PIPE1 0010：PIPE2 ：　： 1000：PIPE8 1001：PIPE9	R/W	R
b7-b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	BIGEND	FIFOポートエンディアン制御	CFIFOポートのバイトエンディアンを指定します。 0：リトルエンディアン 1：ビッグエンディアン	R/W	R
b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b11-b10	MBW[1:0]	FIFOポートアクセスビット幅	FIFOポートへのアクセスビット幅を指定します。 b11b10 00：8ビット幅 01：16ビット幅 10：32ビット幅 11：設定禁止	R/W	R
b12	DREQE	UCL_Dx_DREQ信号出力許可	UCL_Dx_DREQ（割り込み要因[43]、割り込み要因[44]）信号出力禁止／許可を指定します。 0：出力禁止 1：出力許可	R/W	R
b13	DCLRM	指定パイプのデータ読み出し後自動バッファメモリクリアモード	指定PIPEのデータ読み出し後自動バッファメモリクリアの禁止／許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可	R/W	R
b14	REW	バッファポインタリワインド	バッファポインタのリワインドを行う場合に“1”を指定します。読み出した場合は、0が読めます。 0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R/W	R
b15	RCNT	リードカウントモード	Dx_FIFOCTRのDTLNの読み出しモードを指定します。 0：全受信データ読み出しでDTLNビットクリア 1：受信データ読み出し毎にDTLNビットカウントダウン	R/W	R

FIFO ポートアクセスパイプ指定ビット （CURPIPE）

DxFIFO ポート経由で、データの読み出しまたは書き込みを行う PIPE 番号を設定してください。

本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

DxFIFO ポート バイトエンディアンを制御ビット （BIGEND）

本ビットに DxFIFO ポートのバイトエンディアンを設定してください。

詳細は、**FIFO ポートビット （CFIFO、D0FIFO、および D1FIFO）**を参照してください。

DxFIFO ポートアクセスビット幅 （MBW）

本ビットに DxFIFO ポートへのアクセスビット幅を設定してください。

CURPIPE ビットに指定した PIPE が受信方向の場合、本ビットを設定後、読み出しを開始した時には、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、指定 PIPE が受信方向の場合、一旦 CURPIPE 値を異なる値に設定してから、CURPIPE 値と MBW 値を同時に設定してください。CURPIPE 値の変更手順は、CURPIPE ビットの説明にしたがってください。

詳細は、**FIFO ポートアクセスパイプ指定ビット （CURPIPE）**を参照してください。

UCL_Dx_DREQ 出力禁止／許可ビット （DREQE）

本ビットに、UCL_Dx_DREQ 信号の出力禁止／許可を設定してください。

UCL_Dx_DREQ 信号の出力を許可する場合、CURPIPE ビット設定後に本ビットに “1” を設定してください。

CURPIPE ビットの設定を変更するときは、本ビットに “0” を設定した後で変更してください。

自動 FIFO バッファクリア 禁止／許可ビット （DCLRM）

指定 PIPE のデータ読み出し後、自動 FIFO バッファクリアの禁止／許可を設定してください。本ビットに “1” を設定した場合、指定 PIPE に割り当てた FIFO バッファが空の状態で Zero-Length packet を受信した時、または “BFRE = 1” 設定時にショートパケットを受信し、データ読出しを完了した時に、本コントローラが FIFO バッファへの “BCLR = 1” 処理を行います。

“BRDYM = 1” に設定して本コントローラーを使用する時には、必ず本ビットに “0” を設定してください。

バッファポインタリワインド（REW）

選択 PIPE が受信方向の場合、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は、読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

リードカウントモード（RCNT）

本ビットに “0” を設定した場合、CURPIPE ビットで PIPE（指定 PIPE）に割り付けた FIFO バッファの全受信データ読み出し終了時（ダブルバッファの場合は一面分の読み出し終了時）に、本コントローラーは DxFIFOCTR レジスタの DTLN ビットを “0” にクリアします。

本ビットに “1” を設定した場合、指定 PIPE に割り付けた FIFO バッファからの受信データ読み出し毎に、本コントローラーは DxFIFOCTR レジスタの DTLN ビットをカウントダウンします。

32.2.5.4　CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR）

アドレス　CFIFOCTR：A006 0022h
D0FIFOCTR：A006 002Ah
D1FIFOCTR：A006 002Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
H/W リセット後の値	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b11-b0	DTLN[11:0]	受信データ長	受信データ長が表示されます。	R	W
b12	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13	FRDY	FIFOポートレディ	FIFOポートにアクセス可能かどうかが表示されます。 0：FIFOポートアクセス不可 1：FIFOポートアクセス可能	R	W
b14	BCLR	CPUバッファクリア	当該PIPEのCPU側のFIFOバッファをクリアする場合に“1”を指定します。1書き込みのみ可能です。読み出した場合は、0が読めます。 0：無効 1：CPU側バッファメモリクリア	R/W	R
b15	BVAL	バッファメモリ有効フラグ	CURPIPEビットに指定したPIPE（当該PIPE）のCPU側のFIFOバッファの書き込み終了時に“1”を指定します。1書き込みのみ可能です。 0：無効 1：書き込み終了	R/W	R/W

受信データ長ビット （DTLN）

受信データ長を示します。FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値によって以下のように異なります。

(1) “RCNT = 0” 設定時 :

CPU （DMAC）が FIFO バッファ 1 面分の受信データの読み出しを完了するまで、受信データ長を本ビットに示します。

“BFRE = 1” 設定時には、読み出しが完了しても “BCLR = 1” を行うまで、本コントローラーは受信データ長を保持し ます。

(2) “RCNT = 1” 設定時 :

読み出し毎に本コントローラーは DTLN ビットの表示をダウンカウントします。

（“MBW = 00” 設定時は -1、“MBW = 01b” 設定時は -2、“MBW = 10b” 設定時は -4 ずつダウンカウント）

1 面分の FIFO バッファ読み出し完了時に、本コントローラーは “DTLN = 0” を示します。ただし、ダブルバッファ設定時、かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前に、もう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に、後の 1 面分の受信データ長を DTLN ビットに示します。

“RCNT = 1” 設定時に、FIFO バッファ読み出しの途中で本ビットの値を読み出す時は、FIFO ポートへのリードサイクル後、150ns 後までに本ビットの値が更新されます。

FIFO ポートレディビット （FRDY）

CPU （DMAC）からの FIFO ポートへのアクセス可否を、本ビットに示します。

以下の場合、本コントローラーは “FRDY = 1” を示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、“BCLR = 1” を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

(1) 指定 PIPE にアサインされている FIFO バッファが空の状態で Zero-Length パケット受信した場合

(2) “BFRE = 1” 設定時に、ショートパケットを受信し、データ読み出しを完了した時

CPU バッファクリアビット （BCLR）

本ビットに “1” を設定すると、本コントローラーは指定 PIPE にアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。

指定 PIPE にアサインされている FIFO バッファがダブルバッファの設定の場合で、両面共に読み出し可能状態である場合でも、本コントローラーは片面の FIFO バッファのみをクリアします。

指定 PIPE が DCP の場合、FIFO バッファが CPU 側、SIE 側にかかわらず、“BCLR = 1” の設定により、本コントローラーは FIFO バッファをクリアします。SIE 側のバッファをクリアする時には、DCP の PID ビットを必ず “NAK” に設定した後で “BCLR = 1” にしてください。

指定 PIPE が DCP 以外の場合、本ビットへの “1” 書き込みは、本コントローラーが “FRDY = 1” を示している時に実施してください。また、BCLR 実行後に FRDY ビットを確認する場合には、BCLR 実行後 80ns 以上間隔を空けて、FRDY を参照してください。

バッファメモリ有効フラグ （BVAL）

CURPIPE ビットに指定した PIPE（指定 PIPE）が送信方向の時、以下の場合に本ビットに “1” を設定してください。本コントローラーは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

(1) ショートパケットの送信を行いたい時、データ書き込み終了時に本ビットに “1” を設定

(2) Zero-Length パケットの送信を行いたい時、FIFO へデータを書き込む前に本ビットに “1” を設定

(3) 連続転送モードの PIPE に対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに “1” を設定

非連続転送モードの PIPE に対して MaxPacketSize 分のデータを書き込むと、本コントローラーが本ビットを “1” にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

指定 PIPE が送信方向の場合、BVAL ビットと BCLR ビットに同時に “1” を書き込んだ場合、本コントローラーはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

本ビットへの “1” 書き込みは、本コントローラーが “FRDY = 1” を示している時に実施してください。また、BVAL 実行後に FRDY ビットを確認する場合は、BVAL 実行後 80ns 以上間隔を空けて、FRDY を参照してください。

指定 PIPE が受信方向の時は、本ビットへの “1” 書き込みを行わないでください。

32.2.6　割り込み許可

32.2.6.1　割り込み許可レジスタ 0（INTENB0）

アドレス　A006 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
H/W リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	BRDYE	バッファレディ割り込み許可	BRDY割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b9	NRDYE	バッファノットレディ応答割り込み許可	NRDY割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b10	BEMPE	バッファエンプティ割り込み許可	BEMP割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b11	CTRE	コントロール転送ステージ遷移割り込み許可	CTRT割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b12	DVSE	デバイスステート遷移割り込み許可	DVST割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b13	SOFE	フレーム番号更新割り込み許可	SOF割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b14	RSME	レジューム割り込み許可	RESM割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b15	VBSE	VBUS割り込み許可	VBINT割り込み検出時のUSB割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R

32.2.6.2　BRDY 割り込み許可レジスタ（BRDYENB）

アドレス　A006 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBRDYE[9:0]									
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBRDYE [9:0]	各パイプのBRDY割り込み許可	各PIPEのBRDY割り込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注.　ビット番号がPIPE番号に該当します。

各パイプの BRDY 割り込み許可ビット （PIPEBRDYE）

本レジスタに “1” を設定した PIPE に対して、BRDY 割り込みを検出した場合に、BRDYSTS レジスタの PIPEBRDY ビットの対応するビットを “1” にセットすると共に、INTSTS0 レジスタの BRDY ビットを “1” にセットし、INT_N（割り込み要因 [42]）端子から割り込みをアサートします。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが “1” を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを “0” から “1” に変更すれば、本コントローラーは INT_N 端子から割り込みをアサートします。

32.2.6.3　NRDY 割り込み許可レジスタ（NRDYENB）

アドレス　A006 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPENRDYE[9:0]									
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPENRDYE[9:0]	各パイプのNRDY割り込み許可	各PIPEのNRDY割り込み検出の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注.　ビット番号がPIPE番号に該当します。

各パイプの NRDY 割り込み許可ビット （PIPENRDYE）

本レジスタに “1” を設定した PIPE に対して、NRDY 割り込みを検出した場合に、NRDYSTS レジスタの PIPENRDY ビットの対応するビットを “1” にセットすると共に、INTSTS0 レジスタの NRDY ビットに “1” をセットし、INT_N 端子から割り込みをアサートします。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが “1” を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを “0” から “1” に変更すれば、本コントローラーは INT_N 端子から割り込みをアサートします。

32.2.6.4　BEMP 割り込み許可レジスタ（BEMPENB）

アドレス　A006 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBEMPE[9:0]									
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBEMPE [9:0]	各パイプのBEMP割り込み許可	各PIPEのBEMP割り込み検出の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注.　ビット番号がPIPE番号に該当します。

各パイプの BEMP 割り込み許可ビット（PIPEBEMPE）

本レジスタに “1” を設定した PIPE に対して、BEMP 割り込みを検出した場合に、BEMPSTS レジスタの PIPEBEMP ビットの対応するビットを “1” にセットすると共に、INTSTS0 レジスタの BEMP ビットに “1” をセットし、INT_N 端子から割り込みをアサートします。

BEMPSTS レジスタの PIPEBEMP ビットの少なくともひとつのビットが “1” を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを “0” から “1” に変更すれば、本コントローラーは INT_N 端子から割り込みをアサートします。

32.2.7　SOF 制御レジスタ

32.2.7.1　SOF ピンコンフィグレーションレジスタ（SOFCFG）

アドレス　A006 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	BRDYM	INTL	EDGESTS	—	—	—	—
H/W リセット後の値	x	x	x	x	x	x	x	0	x	0	0	0	0	0	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b4	EDGESTS	割り込みエッジ処理ステータス	割り込みエッジ処理ステータスが表示されます。 0：割り込みエッジ動作していない 1：割り込みエッジ動作中	R	W
b5	INTL	割り込み出力センス設定	USB割り込みの割り込み出力センスを指定します。 0：エッジセンス 1：レベルセンス	R/W	R
b6	BRDYM	PIPEBRDY割り込みステータスクリアタイミング設定	PIPEBRDY割り込みステータスをクリアするタイミングを指定します。 0：SWがステータスをクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりHWがステータスをクリア 本ビットは初期設定（通信前）時のみ設定できます。 通信後の設定変更はできません。	R/W	R
b15-b7	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　“BRDYM = 1”を設定する場合は、“INTL = 1”（レベルセンス）を設定してください。
注2.　“INTL = 0”を設定時に、割り込みステータスをクリア後、システムクロックを停止する（“SUSPM = 0”を設定）場合は、“EDGESTS = 0”を確認した後で、“SUSPM = 0”を書き込んでください。

32.2.8　割り込みステータス

32.2.8.1　割り込みステータスレジスタ 0（INTSTS0）

アドレス　A006 0040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
H/W リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	1	x	x	x	x	x	0	0	1	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	コントロール転送ステージが表示されます。 b2 b0 000：アイドルまたはセットアップステージ 001：コントロールリードデータステージ 010：コントロールリードステータスステージ 011：コントロールライトデータステージ 100：コントロールライトステータスステージ 101：コントロールライト（NoData）ステータスステージ 110：コントロール転送シーケンスエラー 111：Reserved	R	W
b3	VALID	USBリクエスト受信	USBリクエスト受信検出有無が表示されます。書き込む場合、0書き込みのみ可能です。 0：未検出 1：セットアップパケット受信	R/W	W
b6-b4	DVSQ[2:0]	デバイスステート	デバイスステートが表示されます。 b6 b4 000：Poweredステート 001：Defaultステート 010：Addressステート 011：Configuredステート 1xx：Suspendedステート	R	W
b7	VBSTS	VBUS入力ステータス	VBUS端子の入力状態が表示されます。 0：VBUS端子が“L”レベル 1：VBUS端子が“H”レベル	R	W
b8	BRDY	BRDY割り込みステータス	BRDY割り込みステータスが表示されます。 0：BRDY割り込み非発生 1：BRDY割り込み発生	R	W
b9	NRDY	NRDY割り込みステータス	NRDY割り込みステータスが表示されます。 0：NRDY割り込み非発生 1：NRDY割り込み発生	R	W
b10	BEMP	BEMP割り込みステータス	BEMP割り込みステータスが表示されます。 0：BEMP割り込み非発生 1：BEMP割り込み発生	R	W
b11	CTRT	コントロール転送ステージ遷移割り込みステータス	コントロール転送ステージ遷移割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0：コントロール転送ステージ遷移割り込み非発生 1：コントロール転送ステージ遷移割り込み発生	R/W	W
b12	DVST	デバイスステート遷移割り込みステータス	デバイスステート遷移割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0：デバイスステート遷移割り込み非発生 1：デバイスステート遷移割り込み発生	R/W	W

ビット	シンボル	ビット名	機能	S/W	H/W
b13	SOFR	フレーム番号更新割り込みステータス	フレーム番号更新割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0：SOF割り込み非発生 1：SOF割り込み発生	R/W	W
b14	RESM	レジューム割り込みステータス	レジューム検出割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0：レジューム割り込み非発生 1：レジューム割り込み発生	R/W	W
b15	VBINT	VBUS変化検出割り込みステータス	VBUS変化検出割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0：VBUS割り込み非発生 1：VBUS割り込み発生	R/W	W

注1.　VBINTビット、RESMビット、SOFRビット、DVSTビット、またはCTRTビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。“0”を示しているステータスビットへの“0”書き込みは行わないでください。

注2.　本コントローラーは本レジスタのVBINTビット、RESMビットが示すステータス変化をクロック停止中 （“SUSPM = 0”）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

バッファレディ割り込みステータスビット （BRDY）

BRDYENB レジスタの PIPEBRDYE ビットに “1” を設定した PIPE に対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが “1” の状態になった時 （ソフトウェアが BRDY 割り込み通知を許可した PIPE のうち、少なくともひとつに対し本コントローラーが BRDY 割り込み状態を検出した時）に、本ビットに “1” を示します。

PIPEBRDY ステータスのアサート条件は、BRDYSTS レジスタを参照してください。

ソフトウェアが、PIPEBRDYE ビットで許可を設定している PIPE に対応する PIPEBRDY ビットのすべてに “0” を書き込むと、本コントローラーは本ビットを “0” にクリアします。

ソフトウェアで本ビットに “0” を書き込んでも、本ビットの “0” クリアを行うことはできません。

バッファノットレディ割り込みステータスビット （NRDY）

NRDYENB レジスタの PIPENRDYE ビットに “1” を設定した PIPE に対応する BNRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが “1” の状態になった時 （ソフトウェアが NRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本コントローラーが NRDY 割り込み状態を検出した時）に、本ビットに “1” を示します。

PIPENRDY ステータスのアサート条件は、NRDYSTS レジスタを参照してください。

ソフトウェアが、PIPENRDYE ビットで許可を設定している PIPE に対応する PIPENRDY ビットのすべてに “0” を書き込むと、本コントローラーは本ビットを “0” にクリアします。

ソフトウェアで本ビットに “0” を書き込んでも、本ビットの “0” クリアを行うことはできません。

バッファエンプティ割り込みステータスビット （BEMP）

BEMPENB レジスタの PIPEBEMPE ビットに “1” を設定した PIPE に対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが “1” の状態になった時 （ソフトウェアが BEMP 割り込み通知を許可した PIPE のうち少なくともひとつに対し本コントローラーが BEMP 割り込み状態を検出した時）に、本ビットに “1” を示します。

PIPEBEMP ステータスのアサート条件は、BEMPSTS レジスタを参照してください。

ソフトウェアが、PIPEBEMPE ビットで許可を設定している PIPE に対応する PIPEBEMP ビットすべてに “0” を書き込むと、本コントローラーは本ビットを “0” にクリアします。

ソフトウェアで本ビットに “0” を書き込んでも、本ビットの “0” クリアを行うことはできません。

コントロール転送ステージ遷移割り込みステータスビット （CTRT）

本コントローラーがコントロール転送のステージ遷移を検出したときに、本コントローラーは CTSQ ビットの値を更新し、本ビットに “1” を表示します。

本割り込みが発生した時には、本コントローラがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

デバイスステート遷移割り込みステータスビット （DVST）

本コントローラーがデバイスステートの変化を検出したときに、本コントローラーは DVSQ ビットの値を更新し、本ビットに “1” を表示します。

本割り込みが発生した時には、本コントローラが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

フレーム番号更新割り込みステータスビット （SOFR）

本コントローラーが本ビットに “1” を示す条件は、以下のとおりです。

フレームナンバーの更新時に本コントローラーは、本ビットに “1” を示します。（本割り込みは、1ms 毎に検出します。）

USB HOST からの SOF パケットが破損した時でも、内部補間により、本コントローラーは SOFR 割り込みを検出します。

レジューム割り込みステータスビット （RESM）

本コントローラーが Suspend 状態 （DVSQ = 1xxb）であり、かつ、DP 端子の立ち下がりを検出したときに、本ビットに “1” を表示します。

VBUS 変化割り込みステータスビット （VBINT）

VBUS 端子入力値の変化 （High から Low への変化、および Low から High への変化）を検出したときに、本ビットに “1” を表示します。本コントローラーは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

32.2.8.2　BRDY 割り込みステータスレジスタ（BRDYSTS）

アドレス　A006 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBRDY[9:0]									
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBRDY [9:0]	各パイプのBRDY割り込みステータス	各PIPEのBRDY割り込みステータスを示します。書き込む場合、0書き込みのみ可能です。 0：割り込み非発生 1：割り込み発生	R/W	W
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　ビット番号がPIPE番号に該当します。
注2.　“BRDYM = 0”の設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。
注3.　“BRDYM = 0”の設定の場合、本割り込みのクリアは、必ずFIFOアクセスを行う前に実施してください。

各パイプの BRDY 割り込みステータスビット （PIPEBRDY）

本コントローラが、ある PIPE に対して BRDY 割り込みを検出した場合に、BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに “1” を示します。このとき、ソフトウェアによって BRDYENB レジスタの対応するビットに “1” が設定されている場合、本コントローラーは INTSTS0 レジスタの BRDY ビットに “1” を示します。

BRDY 割り込みは、BRDYM ビットおよび各 PIPE の BFRE ビットの設定により、発生条件およびクリア方法が異なります。

- “BRDYM = 0 かつ BFRE = 0” 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になった事を示す割り込みになります。

本コントローラーは、以下に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガー発生 PIPE に対応する PIPEBRDY ビットに “1” を表示します。

（1）送信方向に設定した PIPE の場合

(a)　ソフトウェアがDIRビットを“0”から“1”に変更した時

(b)　当該PIPEに割り付けたFIFOバッファへのCPUからの書き込みが不可状態 （BSTSビット読み出し値が“0”の時）で、本コントローラーが当該PIPEのパケット送信を完了した時
連続送受信モードに設定した場合には、FIFOバッファ一面分のデータの送信完了時に要求トリガが発生します。

(c)　FIFOバッファをダブルバッファに設定し、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空の時
FIFOバッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。

(d)　転送TYPEがIsochronousのPIPEにおいて、ハードウェアによるバッファフラッシュが発生した時

(e)　ACLRMビットに“1”を書き込むことより、FIFOバッファが書き込み不可状態から書き込み可能状態になった時
DCPに対しては（コントロール転送でのデータ送信においては）要求トリガは発生しません。

(2) 受信方向に設定したPIPEの場合

(a)　当該PIPEに割り付けたFIFOバッファに対するCPUからの読み出しが不可状態の時（BSTSビット読み出し値が“0”の時）に、パケット受信が正常に完了し、FIFOバッファが読み出し可能状態になった時
データPIDミスマッチのトランザクションに対しては、要求トリガは発生しません。
連続送受信モードの場合、MaxPacketSizeのデータサイズで、まだバッファに空きがある場合には要求トリガは発生しません。
ショートパケットを受信した場合には、FIFOバッファに空きがあっても要求トリガは発生します。
トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。
この時、FIFOバッファにまだ空きがあっても要求トリガは発生します。

(b)　FIFOバッファをダブルバッファに設定し、FIFOバッファ読出し完了時にもう一方のFIFOバッファも読出し可能状態であった時
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読出し完了になるまで要求トリガは発生しません。
コントロール転送のステータスステージでの通信では、本割り込みは発生しません。
ソフトウェアは、本ビットの該当PIPEに対応するビットに“0”を書き込むことにより、該当PIPEのPIPEBRDY割り込みステータスを“0”にクリアすることができます。この時、他のPIPEに対応するビットには“1”を書き込んでください。
本割り込みステータスのクリアは、必ずFIFOバッファへのアクセスを行う前に実施してください。

- “BRDYM = 0 かつ BFRE = 1” 設定時

この設定の場合、本コントローラーは、受信 PIPE において 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの該当 PIPE に対応するビットに “1” を示します。

本コントローラーは、以下のいずれかの時に 1 トランスファーにおける最後のデータを受信したと判定します。
(1) Zero-Length パケットを含むショートパケットを受信した時
(2) トランザクションカウンタ （TRNCNT ビット）を使用し、TRNCNT ビット設定値分のパケットを受信した時

上記判定条件を満たした後、そのデータの読み出しが完了した時に、本コントローラーは 1 トランスファー分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN ビットが 0 の状態になった時点で、本コントローラーは 1 トランスファー分の全データ読み出し完了と判断します。
この場合、次のトランスファーを開始するためには、対応する FIFOCTR レジスタの BCLR ビットにソフトウェアで “1” を書き込んでください。

本設定の場合、本コントローラーは送信 PIPE に対して BRDY 割り込みを検出しません。

ソフトウェアは、本ビットの該当 PIPE に対応するビットに “0” を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを “0” にクリアすることができます。この時、他の PIPE に対応するビットには “1” を書き込んでください。

本モードを使用する時は、トランスファー分の処理を終了するまで BFRE ビットの設定値を変更しないでください。
途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応する PIPE の FIFO バッファをすべてクリアしてください。

- “BRDYM = 1 かつ BFRE = 0” 設定時

この設定の場合、本ビットの値は各 PIPE の BSTS ビットに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって本コントローラーが “1”、“0” を示します。

(1) 送信方向に設定した PIPE の場合
FIFO ポートにデータが書き込み可能な状態であれば “1” を示し、書き込み不可の状態になれば “0” を示します。
ただし、DCP の送信 PIPE が書き込み可能であっても、BRDY 割り込みはアサートされません。
(2) 受信方向に設定した PIPE の場合
FIFO ポートにデータが読出し可能な状態であれば “1” を表示し、すべてのデータを読み出したら （読出し不可の状態になったら）“0” を示します。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアが “BCLR = 1” を書き込むまで該当ビットには “1” が示され BRDY 割り込みはアサートされ続けます。

本設定時、ソフトウェアでは、本ビットの “0” クリアを行うことはできません。

BRDYM = “1” 設定時は、BFRE ビットは必ずすべて（全 PIPE）“0” に設定してください。
BRDYM = “1” 設定時は、INTL ビットは必ず “1”（レベル制御）に設定してください。

32.2.8.3　NRDY割り込みステータスレジスタ（NRDYSTS）

アドレス　A006 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPENRDY[9:0]									
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPENRDY[9:0]	各パイプのNRDY割り込みステータス	各PIPEのNRDY割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0：割り込み非発生 1：割り込み発生	R/W	W
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　ビット番号がPIPE番号に該当します。
注2.　本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。

各パイプのNRDY割り込みステータスビット（PIPENRDY）

ソフトウェアで“PID＝BUF”に設定したPIPEに対して、本コントローラが内部NRDY割り込み要求を発生させた場合に、NRDYSTSレジスタのPIPENRDYビットの対応するビットに“1”を示します。このとき、ソフトウェアによってNRDYENBレジスタの対応するビットに“1”が設定されている場合、本コントローラーはINTSTS0レジスタのNRDYビットに“1”を示します。

本コントローラが、あるPIPEに対して内部NRDY割り込み要求を発生させる条件を以下に示します。

ただし、コントロール転送ステータスステージ実行時は割り込み要求を発生させません。

（1）送信方向PIPEの場合

(a)　当該PIPEのPIDビットが“BUF”（“01”）に設定されている場合に、FIFOバッファに送信データがない状態でIN Tokenを受信した時

IN Token受信時に本コントローラーはNRDY割り込み要求を発生させPIPENRDYビットに“1”を示します。

割り込み発生PIPEの転送TYPEがIsochronousの場合、本コントローラーはZero-Lengthパケットを送信し、OVRNビットに“1”を示します。

（2）受信方向 PIPE の場合

(a)　当該PIPEのPIDビットが“BUF”（“01”）に設定されている場合にFIFOバッファに空きがない状態でOUTトークンを受信した時

割り込み発生PIPEの転送TYPEがIsochronousの場合、OUTトークン受信時に本コントローラーはNRDY割り込み要求を発生させ、PIPENRDYビットに“1”を示し、OVRNビットに“1”を示します。

割り込み発生PIPEの転送TYPEがIsochronous以外の場合、本コントローラーは、OUTトークンに続くデータ受信後、NAK Handshakeを送信する時にNRDY割り込み要求を発生させ、PIPENRDYビットに“1”を示します。

ただし、再送時 （DATA-PIDミスマッチ発生時）には、NRDY割り込み要求を発生しません。

また、DATAパケットにエラーがある場合にも、発生しません。

(b)　当該PIPEのPIDビットが“BUF”（“01”）に設定されている場合に、FIFOバッファに空きがない状態でPINGトークンを受信した時

PINGトークン受信時に本コントローラーはNRDY割り込み要求を発生させPIPENRDYビットに“1”を示します。

(c)　転送TYPEがIsochronousのPIPEにおいて、当該PIPEのPIDビットが“BUF”（“01”）に設定されている場合に、インターバルフレーム内に正常受信されなかった時

SOF受信のタイミングで本コントローラーは、NRDY割り込み要求を発生させ、PIPENRDYビットに“1”を示します。

32.2.8.4　BEMP 割り込みステータスレジスタ（BEMPSTS）

アドレス　A006 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBEMP[9:0]									
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBEMP [9:0]	各パイプのBEMP割り込みステータス	各PIPEのBEMP割り込みステータスを示します。書き込む場合は、0書き込みのみ可能です。 0：割り込み非発生 1：割り込み発生	R/W	W
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　ビット番号がPIPE番号に該当します。
注2.　本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。

各パイプの BEMP 割り込みステータスビット （PIPEBEMP）

“PID = BUF” に設定した PIPE に対して、本コントローラが、BEMP 割り込みを検出した場合に、本コントローラーは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに “1” を示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに “1” が設定されている場合、本コントローラーは INTSTS0 レジスタの BEMP ビットに “1” を示します。

以下の場合に、本コントローラーは内部 BEMP 割り込み要求を発生します。

(1) 送信方向 PIPE において、送信完了時 （Zero-Length パケットの送信時を含む）に、対応する PIPE の FIFO バッファが空の時
シングルバッファ設定時、DCP 以外の PIPE に対しては、BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生します。
ただし、以下の場合は内部 BEMP 割り込み要求を発生しません。

(a)　ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア （DMAC）がCPU側のFIFOバッファに対する書き込みを開始している場合

(b)　ACLRMビットまたはBCLRビットに“1”を書き込むことによるバッファクリア （エンプティ）

(c)　コントロール転送Statusステージの IN転送 （Zero-Lengthパケット送信）時

（2）受信方向 PIPE の場合

MaxPacketSize の設定値より大きなデータサイズを正常受信した時

この場合、本コントローラーは、BEMP 割り込み要求を発生し、PIPEBEMP ビットの対応するビットに “1” を示します。また、受信データを破棄し、対応する PIPE の PID ビットを “STALL”（“11”）に変更し STALL 応答を行います。

ただし、以下の場合は内部 BEMP 割り込み要求を発生しません。

(a)　受信データにCRCエラー、またはビットスタッフィングエラー等を検出した時

(b)　SETUPトランザクション実行時

本ビットに “0” を書き込むことにより、ステータスをクリアすることができます。

本ビットに “1” を書き込んでも、何もしません。

32.2.9　フレーム番号レジスタ

32.2.9.1　フレームナンバレジスタ（FRMNUM）

アドレス　A006 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
H/W リセット後の値	0	0	x	x	x	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号を示します。	R	W
b13-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14	CRCE	CRCエラー検出ステータス	Isochronous転送を行っているPIPEに対するCRCエラー検出ステータスを示します。書き込む場合、0書き込みのみ可能です。 0：エラーなし 1：エラー発生	R/W	W
b15	OVRN	オーバラン／アンダラン検出ステータス	Isochronous転送を行っているPIPEに対するオーバラン／アンダランエラー検出の有無を示します。書き込む場合、0書き込みのみ可能です。 0：エラーなし 1：エラー発生	R/W	W

注1.　OVRNビットはデバッグ用のビットです。システムとしてはオーバラン・アンダランが発生しないようにタイミング設計を行ってください。

フレーム番号ビット （FRNM）

本コントローラーは 1ms に 1 回の SOF 発行タイミング、または、SOF 受信時に本ビットを更新し、フレーム番号を示します。

ソフトウェアで本ビットを読み出す場合には、2 度読み出し一致を確認してください。

CRC エラー検出ステータスビット （CRCE）

転送 TYPE が Isochronous の PIPE において、本コントローラーが CRC エラーやビットスタッフィングエラーを検出したときに、“1” を示します。

ソフトウェアで本ビットに “0” を書き込むことにより、本ビットを “0” にクリアすることができます。この時、OVRN を同時にクリアしたくない場合には 80h を書き込んでください。

CRC エラーの検出時、本コントローラーは内部 NRDY 割り込み要求を発生します。詳細は、**各パイプの NRDY 割り込み許可ビット** （PIPENRDYE）を参照してください。

オーバラン／アンダラン検出ステータスビット （OVRN）

転送 TYPE が Isochronous の PIPE において、本コントローラーがオーバランまたはアンダランを検出したときに、“1” を示します。

オーバランまたはアンダラン検出時に、本コントローラーは内部 NRDY 割り込み要求を発生します。詳細は、**各パイプの NRDY 割り込み許可ビット** （PIPENRDYE）を参照してください。

ソフトウェアで、本ビットに “0” を書き込むことにより、“0” にクリアすることができます。この時、CRCE を同時にクリアしたくない場合には、40h を書き込んでください。

以下の（1）～（2）いずれかの場合に、“1” を示します。

（1）転送 TYPE が Isochronous の送信方向 PIPE において、FIFO バッファに送信データの書き込みが完了していない状態で IN Token を受信した時

（2）転送 TYPE が Isochronous の受信方向 PIPE において、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信した時

32.2.9.2　μフレームナンバレジスタ（UFRMNUM）

アドレス　A006 004Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
H/W リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	UFRNM[2:0]	マイクロフレーム	マイクロフレーム番号を示します。	R	W
b15-b3	—	予約ビット	読んだ場合、不定値が読めます。	R	—

マイクロフレーム番号ビット（UFRNM）

Hi-Speed 通信の場合、本コントローラーは本ビットにマイクロフレーム番号を示します。Hi-Speed 状態以外の場合、00h を示します。

ソフトウェアで本ビットを読み出す場合には、2 度読み出し一致を確認してください。

32.2.10　USB アドレス

32.2.10.1　USB アドレスレジスタ（USBADDR）

アドレス　A006 0050h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
H/W リセット後の値	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b6-b0	USBADDR [6:0]	USBアドレス	Hostから割り付けられたUSBアドレス確認を示します。	R	R/W
b15-b7	—	予約ビット	読み出した場合、不定値が読めます。	R	—

USB アドレスビット（USBADDR）

本コントローラーが SetAddress リクエストを正常に処理した時、受信した USB アドレスを示します。

本コントローラーが USB バスリセットを検出した時、本コントローラーは本ビットに 00h を示します。

32.2.11　USB リクエストレジスタ

USB リクエストレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。受信した USB リクエストの値が格納されます。

32.2.11.1　USB リクエストタイプレジスタ（USBREQ）

アドレス　A006 0054h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	bRequest[7:0]								bmRequestType[7:0]							
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	bmRequestType[7:0]	リクエストタイプ	USB リクエスト bmRequestType の値	R	W
b15-b8	bRequest[7:0]	リクエスト	USB リクエスト bRequest の値	R	W

USB リクエストタイプビット（bmRequestType）

SETUP トランザクションで受信した USB リクエストデータ値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

USB リクエストビット （bRequest）

SETUP トランザクションで受信した USB リクエストデータ値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

32.2.11.2　USB リクエストバリューレジスタ（USBVAL）

アドレス　A006 0056h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	wValue[15:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	wValue[15:0]	バリュー	USBリクエストwValueの値	R	W

バリュービット（wValue）

USB リクエスト wValue の値を読み出すためのビットです。b7-0 が下位バイトです。

SETUP トランザクションで受信した USB リクエスト wValue の値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

32.2.11.3　USB リクエストインデックスレジスタ（USBINDX）

アドレス　A006 0058h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	wIndex[15:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	wIndex[15:0]	インデックス	USBリクエストwIndexの値	R	W

インデックスビット（wIndex）

USB リクエスト wIndex の値を読み出すためのビットです。b7-0 が下位バイトです。

SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

32.2.11.4　USB リクエストレングスレジスタ（USBLENG）

アドレス　A006 005Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	wLength[15:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	wLength[15:0]	レングス	USBリクエストwLengthの値	R	W

レングスビット（wLength）

USB リクエスト wLength の値を読み出すためのビットです。b7-0 が下位バイトです。

SETUP トランザクションで受信した USB リクエスト wLength の値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

32.2.12　DCP コンフィグレーション

32.2.12.1　DCP マックスパケットサイズレジスタ（DCPMAXP）

アドレス　A006 005Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	MXPS[6:0]						
H/W リセット後の値	0	0	0	0	x	x	x	x	x	1	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b6-b0	MXPS[6:0]	マックスパケットサイズ	DCPの最大データペイロード（マックスパケットサイズ）を指定します。	R	R/W
b15-b7	—	予約ビット	読み出した場合、不定値が読み出せます。	R	—

マックスパケットサイズビット（MXPS）

DCP の最大データペイロード（マックスパケットサイズ）を本ビットに設定してください。

リセット後の値は、40h（64Bytes）です。

MXPS ビットの設定は、USB 規格に準拠した値を設定してください。

MXPS ビットの設定は、“PID = NAK”、および CURPIPE ビットの設定前に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

“MXPS = 0” の設定での FIFO バッファへの書き込み、または “PID = BUF” の設定は行わないでください。

32.2.12.2　DCP コントロールレジスタ（DCPCTR）

アドレス　A006 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
H/W リセット後の値	0	0	0	0	0	x	x	0	0	1	0	0	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	PID[1:0]	応答PID	本ビットによりコントロール転送における本コントローラーの応答を制御します。 b1 b0 00：NAK応答 01：BUF応答（バッファ状態にしたがう） 10：STALL応答 11：STALL応答	R/W	R/W
b2	CCPL	コントロール転送終了許可	本ビットを1にすることによりコントロール転送のステータスステージの終了許可を設定します。 0：コントロール転送終了不許可 1：コントロール転送終了許可	R/W	R/W
b4-b3	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	PBUSY	PIPEビジー	当該PIPEを現在USBバスで使用中かどうかを示します。 0：当該PIPEをUSBバスにて未使用 1：当該PIPEをUSBバスにて使用中	R	W
b6	SQMON	シーケンストグルビットモニター	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値を示します。 0：DATA0 1：DATA1	R	W
b7	SQSET	トグルビットセット	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA1に設定する事ができます。読み出した場合、0が読めます。書き込む場合、1書き込みのみ可能です。 0：書き込み無効 1：DATA1指定	R/W	R
b8	SQCLR	トグルビットクリア	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA0に設定する事ができます。読み出した場合、0が読めます。書き込む場合、1書き込みのみ可能です。 0：書き込み無効 1：DATA0指定	R/W	R
b10-b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b11			書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b12			書き込む場合は0を書いてください。	R/W	—
b14-b13			書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b15	BSTS	バッファステータス	DCP FIFOバッファへのアクセス可否ステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R	W

応答 PID ビット （PID）

本ビットに対し、コントロール転送のデータステージ、またはステータスステージ実行時、ソフトウェアで本ビットを “NAK” から “BUF” に変更してください。

以下の場合、本コントローラーが本ビットの値を変更します。

(1) SETUP パケットを受信した時に、本コントローラーは本ビットを “NAK” （“00”）に変更します。この時、本コントローラーは “VALID = 1” を表示し、ソフトウェアで “VALID = 0” を設定するまでは本ビットの変更を行うことはできません。

(2) ソフトウェアが本ビットに “BUF” を設定しているときに、本コントローラーが MaxPacketSize を超えるデータを受信した場合、“PID = STALL（11）” を示します。

(3) コントロール転送シーケンスエラーを検出した場合、“PID = STALL（1x）” を示します。

(4) USB バスリセットを検出した場合、“PID = NAK” を示します。

SET_ADDRESS リクエスト処理（自動処理）時、本コントローラーは本ビットの設定値を参照しません。

コントロール転送終了許可ビット （CCPL）

対応する PID ビットが “BUF” のときに、本ビットに “1” を設定すると、本コントローラーはコントロール転送のステータスステージを完了します。

即ち、コントロールリード転送時では USB Host からの OUT トランザクションに対して ACK Handshake を送信し、コントロールライト、およびノーデータコントロール転送時では、USB Host からの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時、本ビットの設定値に関係なく本コントローラーは SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、本コントローラーは本ビットを “1” から “0” に変更します。

“VALID = 1” のとき、ソフトウェアで本ビットの “1” 書き込みを行うことは出来ません。

PIPE ビジービット （PBUSY）

本コントローラーは、当該 PIPE の USB トランザクションを開始したときに本ビットを “0” から “1” に変更します。ひとつのトランザクションが終了したときに本ビットを “1” から “0” に変更します。

ソフトウェアで “PID = NAK” を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することが出来ます。

シーケンストグルビットのモニタービット （SQMON）

当該 PIPE のシーケンストグルビットの期待値を示します。

トランザクションが正常処理すると本コントローラーは本ビットをトグルさせます。
ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

SETUP パケットの正常受信時に、“1” にセット （期待値を DATA1 に設定）します。
本コントローラーはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また、正常終了してもトグルさせません。

シーケンストグルビットのセットビット （SQSET）

本ビットに “1” を設定すると、本コントローラーは当該 PIPE のシーケンストグルビットの期待値を DATA1 に設定します。本コントローラーは、常に本ビットに “0” を表示します。

SQCLR ビットと SQSET ビットを同時に “1” を設定しないでください。

本ビットへの “1” 設定は、“PID = NAK”、および “CURPIPE ビットを設定する前に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットに “1” を設定する場合には “PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

シーケンストグルビットのクリアビット （SQCLR）

本ビットに “1” を設定すると本コントローラーは当該 PIPE のシーケンストグルビットの期待値を DATA0 に設定します。本コントローラーは、常に本ビットに “0” を表示します。

SQCLR ビットと SQSET ビットを同時に “1” を設定しないでください。

本ビットへの “1” 設定は、“PID = NAK”、および CURPIPE ビットの設定前に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットに “1” を設定する場合には、“PBUSY = 0” を確認してから変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

バッファステータスビット （BSTS）

DCP に割り付けた FIFO バッファに対し、CPU からのアクセスが可能かどうかを示します。

本ビットの意味は、ISEL ビットの設定値により以下のように異なります。

(1) “ISEL = 0” のとき : 受信データの読み出しが可能かどうかを示します。

(2) “ISEL = 1” のとき : 送信データの書き込みが可能かどうかを示します。

32.2.13　パイプコンフィグレーションレジスタ

PIPE1-9 の設定は、PIPESEL レジスタ、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPExCTR レジスタ、PIPExTRE レジスタ、および PIPExTRN レジスタで行ってください。

PIPESEL レジスタで使用する PIPE を選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタで、各 PIPE の機能設定を行います。なお、PIPExCTR レジスタ、PIPExTRE レジスタ、および PIPExTRN レジスタは、PIPESEL レジスタによる PIPE 選択とは無関係に設定可能です。

32.2.13.1　パイプウィンドウ選択レジスタ（PIPESEL）

アドレス　A006 0064h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
H/W リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	PIPESEL [3:0]	パイプウィンドウ選択	アドレス68h-6Ehのレジスタに対するPIPE指定を行います。 b3　b0 0000：未選択 0001：PIPE1 0010：PIPE2 0011：PIPE3 0100：PIPE4 0101：PIPE5 0110：PIPE6 0111：PIPE7 1000：PIPE8 1001：PIPE9	R/W	R
b15-b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　“PIPESEL = 0000b”設定時は、PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、およびPIPEPERIレジスの各ビットからはすべて“0”が読み出されます。“PIPESEL = 0000b”設定時のアドレス68h-6Ehのレジスタに対する書き込みは無効です。

パイプウィンドウ選択ビット （PIPESEL）

本ビットに “0001b” ～ “1001b” を設定すると、本コントローラーはアドレス A006 0068h 番地～ A006 006Eh 番地のレジスタに対応する PIPE の情報、および設定値を示します。本ビットへの PIPE 指定設定後、ソフトウェアでアドレス A006 0068h 番地～ A006 006Eh 番地に設定する値は、本コントローラーによって対応する PIPE の転送方法に反映されます。

ソフトウェアで本ビットに “0000b” を設定すると、本コントローラーはアドレス A006 0068h 番地～ A006 006Eh 番地のレジスタに ALL“0” を表示します。この時、ソフトウェアによるアドレス A006 0068h 番地～ A006 006Eh 番地への書き込みは無効です。

32.2.13.2　パイプコンフィグレーションレジスタ（PIPECFG）

アドレス　A006 0068h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]		—	—	—	BFRE	DBLB	CNTMD	SHTNAK	—	—	DIR	EPNUM[3:0]			
H/W リセット後の値	0	0	x	x	x	0	0	0	0	x	x	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	EPNUM[3:0]	エンドポイント番号	当該PIPEのエンドポイント番号を指定します。	R/W	R
b4	DIR	転送方向	当該PIPEの転送方向を指定します。 0：受信方向 1：送信方向	R/W	R
b6-b5	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b7	SHTNAK	トランスファー終了時のPIPE禁止	当該PIPEが受信方向の場合、トランスファー終了時にPIDをNAKに変更するかどうかを指定します。 0：トランスファー終了時にPIPE継続 1：トランスファー終了時にPIPE禁止	R/W	R
b8	CNTMD	連続転送モード	当該PIPEを連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード	R/W	R
b9	DBLB	ダブルバッファモード	当該PIPEが使用するFIFOバッファがシングルバッファかダブルバッファかを指定します。 0：シングルバッファ 1：ダブルバッファ	R/W	R
b10	BFRE	BRDY割り込み動作指定	当該PIPE に関するBRDY割り込みの通知タイミングを指定します。 0：データ送受信時にBRDY割り込み通知 1：データ読み出し完了時にBRDY割り込み通知	R/W	R
b13-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b15-b14	TYPE[1:0]	転送タイプ	PIPESELビットに指定したPIPE（当該PIPE）の転送タイプを指定します。 b15 b14 00：PIPE使用不可 01：バルク転送 10：インタラプト転送 11：アイソクロナス転送	R/W	R

エンドポイント番号ビット （EPNUM）

ソフトウェアで本ビットに選択 PIPE に対するエンドポイント番号を設定してください。
ただし、“0000b” の設定は、未使用 PIPE を意味します。

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で実施してください。

選択 PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビットと EPNUM ビットの設定の組み合わせが他の PIPE 設定と重複しないようにして設定してください。
（“EPNUM = 0000b” （選択 PIPE は未使用）の設定は重複可能です）

転送方向ビット （DIR）

ソフトウェアで本ビットに “0” を設定している場合、本コントローラーは選択 PIPE を受信方向に、本ビットに “1” を設定している場合、本コントローラーは選択 PIPE を送信方向に使用します。

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で実施してください。
また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで “ACLRM = 1”、“ACLRM = 0” を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

トランスファー終了時の PIPE 禁止ビット （SHTNAK）

本ビットは、選択 PIPE が PIPE1 ～ PIPE5 であり、かつ、受信方向である場合に有効なビットです。
受信方向 PIPE に対してソフトウェアで本ビットに “1” を設定している場合、本コントローラーは、選択 PIPE に対しトランスファーの終了を判定したときに選択 PIPE に対応する PID ビットを “NAK” に変更します。本コントローラーは、以下（1）または（2）の条件が満たされた時にトランスファー終了と判定します。
(1) ショートパケットデータ （Zero-Length パケットを含む）を正常に受信した時
(2) トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信した時

本ビットの変更は、“PID = NAK” の状態で実施してください。

選択 PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

送信方向 PIPE に対しては、本ビットを “0” に設定してください。

連続転送モードビット （CNTMD）

本ビットは、選択 PIPE が PIPE1 ～ PIPE5 であり、かつ、選択 PIPE の転送タイプを bulk に設定しているの場合に有効なビットです。

本ビットの設定値によって、本コントローラーは選択 PIPE に割り当てられた FIFO バッファに対する送受信完了判定を行います。**表 32.10** を参照してください。

表32.10　CNTMDビット設定値とFIFOバッファに対する送受信完了判定方法の関係

CNTMDビット設定値	読み出し可能状態、送信可能状態の判定方法
0	受信方向設定時（“DIR = 0”）FIFOバッファ読み出しが可能状態になる条件： 本コントローラーが1パケット受信した時
	送信方向設定時（“DIR = 1”）FIFOバッファ送信が可能状態になる条件： 以下（1）、（2）のいずれかを満たした時 （1）ソフトウェア （またはDMAC）でマックスパケットサイズ分のデータをFIFOバッファに書き込んだ。 （2）ソフトウェア（またはDMAC）でショートパケット分のデータ （0バイトの場合を含む）をFIFOバッファに書き込み、“BVAL = 1”を書き込んだ。
1	受信方向設定時（“DIR = 0”）FIFOバッファ読み出しが可能状態になる条件： （1）選択PIPEに割り当てられたFIFOバッファに受信したデータのバイト数と、割り当てられたバイト数（（BUFSIZE + 1）*64）が等しくなったとき （2）本コントローラーがZero-Lengthパケット以外のショートパケットを受信したとき （3）選択PIPEに割り当てられたFIFOバッファにすでにデータが格納されている状態で、本コントローラーがZero-Lengthパケットを受信したとき （4）ソフトウェアが選択PIPEに対して設定したトランザクションカウンター回数分のパケットを受信した時
	送信方向設定時（“DIR = 1”）FIFOバッファ送信が可能状態になる条件： 以下（1）～（3）のいずれかを満たしたとき （1）ソフトウェア（またはDMAC）で書き込んだデータ数が、選択PIPEに割り当てられたFIFOバッファサイズ1面分と等しくなったとき （2）ソフトウェア（またはDMAC）で選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 （0バイトの場合を含む）をFIFOバッファに書き込み、“BVAL = 1”を書き込んだ時 （3）ソフトウェア（またはDMAC）で選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 （0バイトの場合を含む）をFIFOバッファに書き込み、最後の書き込みと同時にDENDx_N信号をアサートした時

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定状態で実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで “ACLRM = 1”、“ACLRM = 0” を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

ダブルバッファモードビット （DBLB）

本ビットは、選択 PIPE が PIPE1 ～ PIPE5 の場合に有効なビットです。

ソフトウェアで本ビットに “1” を設定している場合、本コントローラーは選択 PIPE に対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

本コントローラーが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

(BUFSIZE+1)*64*(DBLB+1) [バイト]

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで “ACLRM = 1”、“ACLRM = 0” を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

BRDY 割り込み動作指定ビット （BFRE）

本ビットは、選択 PIPE が PIPE1 ～ PIPE5 の場合に有効なビットです。

ソフトウェアで本ビットに “1” を設定し、かつ、選択 PIPE を受信方向で使用している （“DIR ビット = 0” に設定している）場合、本コントローラーは、トランスファーの終了を検出し、そのパケットを読み出し終えた時に BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生した場合、ソフトウェアは “BCLR = 1” の書き込み処理を行う必要があります。“BCLR = 1” を行うまでは選択 PIPE に割り付けられた FIFO バッファは、受信可能状態になりません。

ソフトウェアが本ビットに “1” を設定し、かつ、選択 PIPE の選択 PIPE を送信方向で使用している（“DIR ビット = 1” に設定している）場合、本コントローラーは BRDY 割り込みを発生しません。

詳細は、PIPEBRDY 割り込みレジスタを参照してください。

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで “ACLRM = 1”、“ACLRM = 0” を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

転送タイプビット （TYPE）

PIPESEL ビットに設定した PIPE （選択 PIPE）の USB 転送タイプを本ビットに設定してください。

選択 PIPE と本ビットに設定可能な転送タイプの一覧を**表 32.11** に示します。

表32.11　選択PIPEとTYPEビットに設定可能な転送タイプの一覧

選択PIPE	TYPEビット	USB転送TYPE
PIPE1、または PIPE2	“01b”、または “11b”	bulk 転送、または isochronous 転送
PIPE3 ～ PIPE5	“01b”	bulk 転送
PIPE6 ～ PIPE9	“10b”	interrupt 転送

“PID = BUF” に設定 （選択 PIPE を使用した USB 通信を開始）する前に、必ず本ビットを “00b” 以外の値に設定してください。

本ビットの変更は、選択 PIPE の PID ビットが “NAK” 状態の時に行ってください。選択 PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットを変更する場合は、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

32.2.13.3　パイプバッファ指定レジスタ（PIPEBUF）

アドレス　A006 006Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	BUFSIZE[4:0]					—	—	BUFNMB[7:0]							
H/W リセット後の値	x	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	BUFNMB[7:0]	バッファ番号	当該PIPE のFIFOバッファ番号を指定します。 （4h - 80h）	R/W	R
b9-b8	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14-b10	BUFSIZE[4:0]	バッファサイズ	PIPESELビットに指定したPIPE（当該PIPE）のFIFOバッファサイズを指定します。 00h：64バイト 01h：128バイト … 1Fh：2Kバイト	R/W	R
b15	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　本レジスタの各ビットの変更は、ソフトウェアが“PID = NAK”、およびCURPIPEビットにPIPE未設定の状態で実施してください。
注2.　選択PIPEのPIDビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを“NAK”に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

バッファ番号ビット （BUFNMB）

当該 PIPE に割り付ける FIFO バッファのうち、先頭のブロック番号を指定してください。

本コントローラーが選択 PIPE に対して割り当てる FIFO バッファのブロックは以下のとおりです。

ブロック番号：BUFNMB ～ブロック番号 :BUFNMB + (BUFSIZE + 1)*(DBLB + 1)-1

本ビットへは搭載メモリサイズの範囲を超えないように設定してください。（8K バイトの場合は 0 [00h] から 8192 [0x80]）ただし、以下の条件を守ってください。

00h は DCP 専用です。

04h は PIPE6 専用です。ただし PIPE6 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE6 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE6 に対し “BUFNMB = 04h” を自動的に割り付けます。

“05h は PIPE7 専用です。ただし PIPE7 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE7 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE7 に対し “BUFNMB = 05h” を自動的に割り付けます。

06h は PIPE8 専用です。ただし PIPE8 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE8 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE8 に対し “BUFNMB = 06h” を自動的に割り付けます。

07h は PIPE9 専用です。ただし PIPE9 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE9 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE9 に対し “BUFNMB = 07h” を自動的に割り付けます。

バッファサイズビット （BUFSIZE）

当該 PIPE に割り付ける FIFO バッファサイズを、本ビットに指定してください。

単位はブロック数であり、1 ブロックは 64 バイトです。

ソフトウェアで “DBLB = 1” を設定している場合、本コントローラーは選択 PIPE に対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

本コントローラーが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

(BUFSIZE + 1)*64*(DBLB + 1) [バイト]

本ビットへは以下の範囲の値を設定してください。

(1) 選択 PIPE が PIPE1 ～ PIPE5 の場合 ; 0h から 1Fh の値を設定可能です。

(2) 選択 PIPE が PIPE6 ～ PIPE9 の場合 ; 0h のみを設定可能です。

“CNTMD = 1” で使用する場合には、BUFSIZE ビットには MaxPacketSize の整数倍の値を設定してください。

32.2.13.4　パイプマックスパケットサイズレジスタ（PIPEMAXP）

アドレス　A006 006Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MXPS[10:0]										
H/W リセット後の値	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b10-b0	MXPS[10:0]	マックスパケットサイズ	当該PIPEの最大データペイロード（マックスパケットサイズ）を指定します。 PIPE6 - 9は01 h– 40hバイトまで設定可能です。	R/W	R
b15-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　* MXPSビットのリセット後の値は、PIPESELレジスタのPIPESELビットでPIPEを選択していないときは“00h”、PIPEを選択している時は“40h”を示します。

マックスパケットサイズビット（MXPS）

選択 PIPE の最大データペイロード（マックスパケットサイズ）を本ビットに設定してください。

PIPE1, 2 に対しては 1 バイト（1h）～ 1024 バイト（400h）の値を設定可能です。

PIPE3 ～ 5 に対しては 8 バイト（8h）、16 バイト（10h）、32 バイト（20h）、64 バイト（40h）、512 バイト（200h）の値を設定可能です。([2:0] のビットはありません。)

PIPE6 ～ 9 に対しては 1 バイト（1h）～ 64 バイト（40h）の値を設定可能です。

リセット後の値は、040h（64 バイト）です。

MXPS ビットの設定は、転送タイプ毎に USB 規格に準拠した値を設定してください。

MXPS ビットの設定は、“PID = NAK”、および CURPIPE ビットを設定する前に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

“MXPS = 0” の設定での FIFO バッファへの書き込み、または “PID = BUF” の設定は行わないでください。

32.2.13.5　パイプ周期制御レジスタ（PIPEPERI）

アドレス　A006 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
H/W リセット後の値	x	x	x	0	x	x	x	x	x	x	x	x	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔	当該PIPEの転送インターバルタイミングをフレームタイミングの2のn乗で指定します。	R/W	R
b11-b3	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b12	IFIS	アイソクロナスINバッファフラッシュ	PIPESELビットに指定したPIPE（当該PIPE）がアイソクロナスIN転送の場合に、バッファフラッシュ有無を指定します。 0：バッファフラッシュしない 1：バッファフラッシュする	R/W	R
b15-b13	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

インターバルエラー検出間隔ビット （IITV）

本ビットに、インターバルエラー検出間隔をフレームタイミングの 2 の n 乗で指定してください。

本ビットの設定は、“PID = NAK”、および CURPIPE ビットに設定する前に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、“PID = NAK” 設定後 “ACLRM = 1” をセットし、Interval タイマの初期化を行ってください。

PIPE3 ～ 5 に対しては、本ビットは存在しません。PIPE3 ～ 5 に対応する本ビットの位置には “0” を設定してください。

選択 PIPE の転送 TYPE が Isochronous の場合に、本ビットへの設定が可能です。

（1）選択 PIPE が Isochronous-OUT 転送 PIPE の場合

IITV ビットに設定した Interval 毎の （マイクロ）フレーム中に DATA パケットを受信しなかった時、本コントローラは NRDY 割り込みを発生します。

DATA パケットに CRC エラー等のエラーが発生し受信できなかった時、または （ソフトウェア（DMAC）が FIFO バッファからデータを読み出すのが遅いなどの原因で）FIFO バッファがフルのために本コントローラーがデータを受信できなかったときにも NRDY 割り込みを発生します。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに割り込みを発生します。

ただし、“IITV = 0” 以外の時には、インターバルのカウント開始後のインターバル毎の SOF パケット受信時に NRDY 割り込みを発生します。

インターバルタイマ起動後、ソフトウェアで PID ビットを “NAK” に設定した場合、本コントローラーは SOF パケットを受信しても NRDY 割り込みを発生しません。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。

(a)　“IITV = 0” の時: 選択 PIPE の PID ビットを “BUF” に変更した時点でインターバルのカウントを開始します。



図 32.2　“IITV = 0” の場合の （マイクロ）フレームと Token 受信期待有無の関係

(b)　“IITV = 0”以外の時: 選択PIPEのPIDビットを“BUF”に変更した後、最初のDATAパケット正常受信完了時点からインターバルのカウントを開始します。

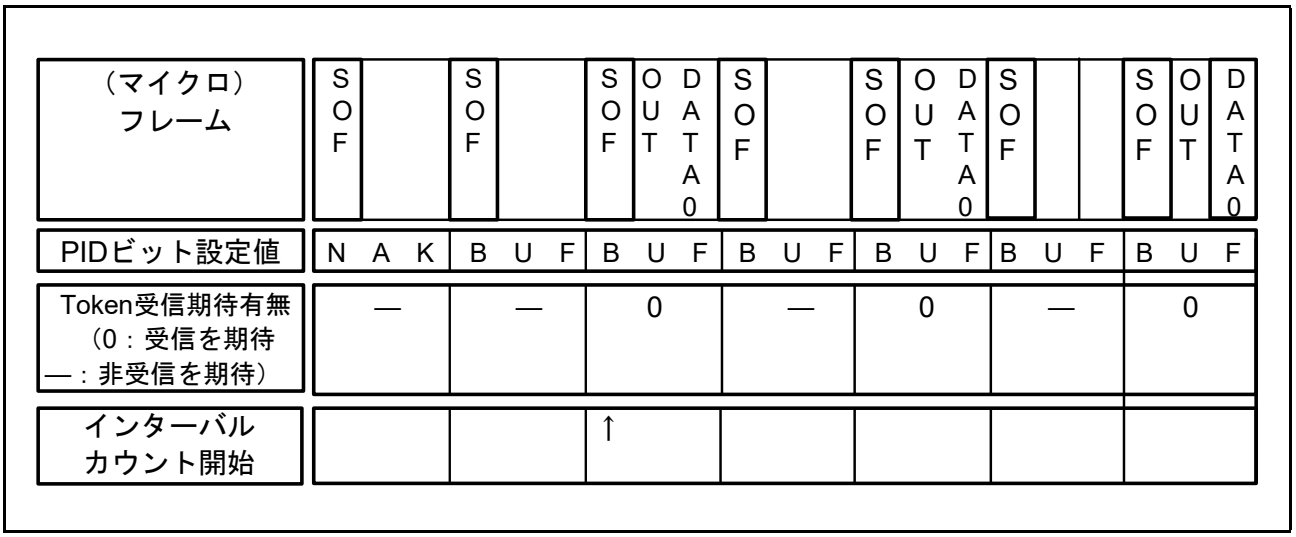


図 32.3　“IITV = 1” の場合の（マイクロ）フレームと Token 受信期待有無の関係

（2）選択 PIPE が Isochronous-IN 転送 PIPE の場合

“IFIS = 1” と組み合わせて使用します。“IFIS = 0” の場合には IITV ビットへの設定値とは関係なく、受信した Token に応答してデータパケットを送信します。

“IFIS = 1” を設定している場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定した Interval 毎の （マイクロ）フレーム中に IN-Token を受信しなかった時、本コントローラーは FIFO バッファをクリアします。

IN-Token に CRC エラー等のバスエラーが発生したため、本コントローラーが正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。（OUT 時と同様です）

インターバルカウントのクリア条件は以下（1）、（2）または（3）の場合です。

（1） 本コントローラーが HW リセットされた場合 （この時、IITV ビットへの設定値も “0” にクリアされます。）

（2） ソフトウェアで “ACLRM = 1” を設定した場合

（3） 本コントローラが USB バスリセットを検出した場合

アイソクロナス IN バッファフラッシュビット （IFIS）

選択 PIPE の転送 TYPE が Isochronous、かつ転送方向が IN 転送の場合において、IITV ビットに設定した Interval 毎の （マイクロ）フレーム中に USB HOST から IN-Token を本コントローラーが受信しなかった場合に、本コントローラーが自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時 （“DBLB = 1” 設定時）、本コントローラーがクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN-Token を受信するはずの （マイクロ）フレーム直後の SOF パケット受信時です。また、SOF パケットが破損した場合でも、内部補間機能により SOF を受信すべきタイミングにクリアします。

選択 PIPE の転送 TYPE が Isochronous 以外の場合は、本ビットへは “0” を設定してください。

32.2.14　パイプコントロールレジスタ

32.2.14.1　PIPE1コントロールレジスタ（PIPE1CTR）
PIPE2コントロールレジスタ（PIPE2CTR）
PIPE3コントロールレジスタ（PIPE3CTR）
PIPE4コントロールレジスタ（PIPE4CTR）
PIPE5コントロールレジスタ（PIPE5CTR）

アドレス
PIPE1CTR：A006 0070h
PIPE2CTR：A006 0072h
PIPE3CTR：A006 0074h
PIPE4CTR：A006 0076h
PIPE5CTR：A006 0078h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
H/W リセット後の値	0	0	0	0	x	0	0	0	0	0	0	x	x	x	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	PID[1:0]	応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 b1 b0 00：NAK応答 01：BUF応答（バッファ状態にしたがう） 10：STALL応答 11：STALL応答	R/W	R/W
b4-b2	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	PBUSY	PIPEビジー	当該PIPEをUSBバスで使用中かどうかを示します。 0：当該PIPEをUSBバスで未使用 1：当該PIPEをUSBバスで使用	R	W
b6	SQMON	トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値を示します。 0：DATA0 1：DATA1	R	W
b7	SQSET	トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに“1”を指定します。読み出すと0が読めます。書き込む場合、1書き込みのみ可能です。 0：書き込み無効 1：DATA1指定	R/W	R
b8	SQCLR	トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに“1”を指定します。読み出すと0が読めます。書き込む場合、1書き込みのみ可能です。 0：書き込み無効 1：DATA0指定	R/W	R
b9	ACLRM	自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止／許可を指定します。 0：禁止 1：許可（全バッファ初期化）	R/W	R

ビット	シンボル	ビット名	機能	S/W	H/W
b10	ATREPM	自動応答モード	当該PIPEの自動応答禁止／許可を指定します。 0：自動応答禁止 1：自動応答許可（送信時Zero-length Packet応答、受信時NAK応答しNRDY割り込み発生）	R/W	R
b12-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13	—	予約ビット	書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b14	INBUFM	送信バッファモニタ	当該PIPEが送信方向の場合に、当該PIPEのFIFOバッファステータスを示します。 0：FIFOバッファに送信可能データなし 1：FIFOバッファに送信可能データあり	R	W
b15	BSTS	バッファステータス	当該PIPEのFIFOバッファステータスを示します。 0：バッファアクセス不可 1：バッファアクセス可	R	W

応答 PID ビット （PID）

本ビットに対し、ソフトウェアで各 PIPE における本コントローラーの応答を設定してください。

本ビットのデフォルト値は “NAK” です。当該 PIPE で USB 転送を行う場合には本ビットを “BUF” に変更してください。PID ビットの設定値毎の本コントローラーの基本動作 （通信パケットにエラーがない場合の動作）は**表 32.12** のとおりです。

当該 PIPE が USB 通信中に、ソフトウェアで本ビットを “BUF” から “NAK” に変更する場合、“NAK” を書き込んだ後、実際に当該 PIPE の USB 転送が “NAK” 状態に遷移したことを確認するため、“PBUSY = 0” であることを確認してください。ただし、本コントローラーが本ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、本コントローラーが本ビットの値を変更します。

(1) 当該 PIPE が受信方向の場合、かつソフトウェアが当該 PIPE の SHTNAK ビットに “1” を設定している場合、本コントローラーがトランスファー終了を認識した時に、“PID = NAK” を表示します。

(2) 当該 PIPE に対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本コントローラーは “PID = STALL (11b)” を表示します。

(3) USB バスリセットを検出した場合、本コントローラーは “PID = NAK” を示します。

“PID = NAK (“00b”)” の状態から “PID = STALL” 状態にする場合には、“10b” を書き込んでください。

BUF (“01b”) 状態から STALL 状態にする場合には、“11b” を書き込んでください。

STALL (“11b”) から NAK 状態にする場合には、一旦 “10b” を書き込んでから “00b” を書き込んでください。

STALL 状態から BUF 状態に変更する場合は、一旦 NAK 状態に変更し、その後、BUF 状態に変更してください。

表32.12　PIDビットによる本コントローラーの動作一覧

PIDビット設定値	転送TYPE（TYPEビット設定値）	転送方向（DIRビット設定値）	本コントローラーの動作
“00b (NAK)”	Bulk (“TYPE = 01b”)、または Interrupt (“TYPE = 10b”)	設定値に依存しない	USB HostからのTokenにNAK応答を行う
	Isochronous (“TYPE = 11b”)	受信方向（“DIR = 0”）	USB Hostからの Tokenに無応答を行う
		送信方向（“DIR = 1”）	USB Hostからの Tokenに対しZero-Lengthパケットを送信する。
“01b (BUF)”	Bulk (“TYPE = 01b”)	受信方向（“DIR = 0”）	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信しACKまたはNYET応答を行う。受信可能な状態でなければNAK応答を行う。 USB HostからのPING Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばACK応答を行う。受信可能な状態でなければNAK応答を行う。
	Interrupt (“TYPE = 10”b)	受信方向（“DIR = 0”）	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う。
	Bulk (“TYPE = 01b”)、または Interrupt (“TYPE = 10b”)	送信方向（“DIR = 1”）	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければNAK応答を行う。
	Isochronous (“TYPE = 11b”)	受信方向（“DIR = 0”）	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する。
		送信方向（“DIR = 1”）	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する。
“10b (STALL)”、または “11b (STALL)”	Bulk (“TYPE = 01b”)、または Interrupt (“TYPE = 10”)	設定値に依存しない	USB HostからのTokenにSTALL応答を行う。
	Isochronous (“TYPE = 11b”)	設定値に依存しない	USB Hostからの Tokenに無応答を行う。

PIPE ビジービット （PBUSY）

本コントローラーは、当該 PIPE の USB トランザクションを開始したときに本ビットを “0” から “1” に変更します。ひとつのトランザクションが正常終了したときに本ビットを “1” から “0” に変更します。

ソフトウェアで “PID＝NAK” を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することが出来ます。

シーケンストグルビットのモニタービット （SQMON）

当該 PIPE のシーケンストグルビットの期待値を示します。

当該 PIPE の転送 TYPE が Isochronous 転送以外の場合、トランザクションが正常処理すると、本コントローラーは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時は、本ビットをトグルさせません。

シーケンストグルビットのセットビット （SQSET）

ソフトウェアで本ビットに “1” を設定すると、当該 PIPE のシーケンストグルビットの期待値を DATA1 に設定します。本ビットは常に “0” を示します。

SQSET ビットへの “1” 設定は、“PID = NAK” 設定時に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットに “1” を設定する場合は、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

シーケンストグルビットのクリアビット （SQCLR）

ソフトウェアで本ビットに “1” を設定すると当該 PIPE のシーケンストグルビットの期待値を DATA0 に設定します。本ビットは、常に “0” を示します。

SQCLR ビットへの “1” 設定は、“PID = NAK” で実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットに “1” を設定する場合は、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

自動バッファクリアモードビット （ACLRM）

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに “1”、“0” を連続して書き込んでください。

本ビットに “1”、“0” を連続して設定した場合に本コントローラーがクリアする内容を**表 32.13** に示します。また、この処理が必要なケースを**表 32.14** に示します。

表32.13　“ACLRM = 1”設定時に本コントローラーがクリアされる内容

番号	ACLRMビット操作によるクリア内容
(1)	当該PIPEに割り付けたFIFOバッファのすべての内容 （ダブルバッファ設定時はFIFOバッファを2面ともクリア）
(2)	当該PIPEの転送TYPEがIsochronous転送の場合、インターバルカウント値

表32.14　“ACLRM = 1”設定が必要なケース

番号	クリアが必要なケース
(1)	当該PIPEに割り付けたFIFOバッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFREビットの設定変更時
(4)	DBLBビットの設定変更時
(5)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、“PID = NAK”、および当該 PIPE を CURPIPE ビットに設定する前に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットを変更する場合は、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

自動応答モードビット （ATREPM）

当該 PIPE の転送 TYPE を “Bulk” に設定している場合、本ビットへの “1” 設定が可能です。

本ビットに “1” を設定した場合、USB HOST からの Token に対し、本コントローラーは以下のように応答します。

(1) 当該 PIPE が Bulk-IN 転送 （“TYPE = 01b” かつ “DIR = 1” を設定）の場合

“ATREPM = 1” かつ “PID = BUF” を設定している場合、IN-Token に対して本コントローラーは Zero-Length パケットを送信します。

USB Host からの ACK 受信の度に （1 トランザクションは IN-Token 受信→ Zero Length パケット送信→ ACK 受信）、本コントローラーはシーケンストグルビット （DATA-PID）の更新 （トグル）を行います。

BRDY 割り込み、BEMP 割り込みは発生しません。

(2) 当該 PIPE が Bulk-OUT 転送 （“TYPE = 01b” かつ “DIR = 0” を設定）の場合

“ATREPM = 1” かつ “PID = BUF” を設定している場合、OUT-Token （または PING-Token）に対して本コントローラは NAK 応答を行い、NRDY 割り込みを発生します。

本ビットの変更は、“PID = NAK” 設定時に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合は、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットを “1” に設定して USB 通信を行う場合、必ず FIFO バッファは空の状態で設定をしてください。本ビットを “1” に設定して USB 通信を行っている期間は、FIFO バッファへの書き込みを行わないでください。

当該 PIPE の転送 TYPE が Isochronous 転送の場合、本ビットには必ず “0” を設定してください。

送信バッファモニタビット （INBUFM）

当該 PIPE を送信方向 （“DIR = 1”）に設定している場合に、ソフトウェア （または DMAC）により少なくとも 1 面分のデータを FIFO バッファに書き込んだ時に、“1” を示します。

書き込みが完了している面の FIFO バッファ上のデータを本コントローラーがすべて送信完了した時に、本コントローラーは本ビットに “0” を表示します。ダブルバッファ使用時 （“DBLB = 1” 設定時）には、本コントローラーが 2 面分のデータを送信完了しかつソフトウェア （または DMAC）が 1 面分のデータ書き込みを完了していない時に、本ビットに “0” を表示します。

当該 PIPE を受信方向 （“DIR = 0”）に設定している場合には、本ビットは BSTS ビットと同じ値を示します。

バッファステータスビット （BSTS）

当該 PIPE に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを示すビットです。

本ビットの意味は、DIR ビット、BFRE ビット、および DCLRM ビットの設定値により以下のように異なります。

表32.15　BSTSビットの動作

DIRビット設定値	BFREビット設定値	DCLRMビット設定値	BSTSビットの意味
0	0	0	“FIFOバッファからの受信データの読み出しが可能になったときに“1”を示し、データの読み出しが完了したときに“0”を示します。
		1	この組み合わせは設定禁止です。
	1	0	“FIFOバッファからの受信データの読み出しが可能になったとき”に“1”を示し、データの読み出しが完了した後でソフトウェアで“BCLR = 1”を書き込んだときに“0”を示します。
		1	“FIFOバッファからの受信データの読み出しが可能になったとき”に“1”を示し、データの読み出しが完了したときに“0”を示します。
1	0	0	“FIFOバッファへの送信データの書き込みが可能になったとき”に“1”を示し、データの書き込みが完了したときに“0”を示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

32.2.14.2　PIPE6コントロールレジスタ（PIPE6CTR）
PIPE7コントロールレジスタ（PIPE7CTR）
PIPE8コントロールレジスタ（PIPE8CTR）
PIPE9コントロールレジスタ（PIPE9CTR）

アドレス　PIPE6CTR：A006 007Ah
PIPE7CTR：A006 007Ch
PIPE8CTR：A006 007Eh
PIPE9CTR：A006 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
H/W リセット後の値	0	x	0	0	x	x	0	0	0	0	0	x	x	x	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	PID[1:0]	応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 b1 b0 00：NAK応答 01：BUF応答（バッファ状態にしたがう） 10：STALL応答 11：STALL応答	R/W	R/W
b4-b2	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	PBUSY	PIPEビジー	当該PIPEを現在USBバスで使用中かどうかを示します。 0：当該PIPEをUSBバスにて未使用 1：当該PIPEをUSBバスにて使用	R	W
b6	SQMON	トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値を示します。 0：DATA0 1：DATA1	R	W
b7	SQSET	トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに“1”を指定します。読み出した場合、0が読めます。書き込む場合は、1を書き込んでください。 0：書き込み無効 1：DATA1指定	R/W	R
b8	SQCLR	SQCLR トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに“1”を指定します。読み出した場合、0が読めます。書き込む場合は、1を書き込んでください。 0：無効 1：DATA0指定	R/W	R
b9	ACLRM	自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止／許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可（全バッファ初期化）	R/W	R
b12-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13	—	予約ビット	書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b14	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b15	BSTS	BSTS バッファステータス	当該PIPEのFIFOバッファステータスを示します。 0：バッファアクセス不可 1：バッファアクセス可	R	W

以下のビットについては、「32.2.14.1　PIPE1 コントロールレジスタ（PIPE1CTR）PIPE2 コントロールレジスタ（PIPE2CTR）PIPE3 コントロールレジスタ（PIPE3CTR）PIPE4 コントロールレジスタ（PIPE4CTR）PIPE5 コントロールレジスタ（PIPE5CTR）」の各ビット説明を参照してください。

- 応答 PID ビット (PID)
- PIPE ビジービット (PBUSY)
- バッファステータスビット (BSTS)
- シーケンストグルビットのモニタービット （SQMON）
- シーケンストグルビットのセットビット （SQSET）
- シーケンストグルビットのクリアビット（SQCLR）

自動バッファクリアモードビット （ACLRM）

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに “1”、“0” を連続して書き込んでください。

本ビットに “1”、“0” を連続して設定した場合、当該 PIPE に割り付けた FIFO バッファのすべての内容がクリアされます。当該項目のクリアが必要なケースについて表 32.17 に示します。

表32.16　“ACLRM = 1”設定時に本コントローラーがクリアされる内容

番号	ACLRMビット操作によるクリア内容
(1)	当該PIPEに割り付けたFIFOバッファのすべての内容

表32.17　“ACLRM = 1”設定が必要なケース

番号	クリアが必要なケース
(1)	当該PIPEに割り付けたFIFOバッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値をリセットする場合
(3)	BFREビットの設定値変更時
(4)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、“PID = NAK” および当該 PIPE を CURPIPE ビットを設定する前に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

32.2.15　トランザクションカウンタ

32.2.15.1　PIPE1 トランザクションカウンタ許可レジスタ（PIPE1TRE）
PIPE2 トランザクションカウンタ許可レジスタ（PIPE2TRE）
PIPE3 トランザクションカウンタ許可レジスタ（PIPE3TRE）
PIPE4 トランザクションカウンタ許可レジスタ（PIPE4TRE）
PIPE5 トランザクションカウンタ許可レジスタ（PIPE5TRE）

アドレス　PIPE1TRE：A006 0090h
PIPE2TRE：A006 0094h
PIPE3TRE：A006 0098h
PIPE4TRE：A006 009Ch
PIPE5TRE：A006 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
H/W リセット後の値	x	x	x	x	x	x	0	0	x	x	x	x	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	TRCLR	トランザクションカウンタクリア	本ビットに“1”を設定することによりトランザクションカウンタを0にクリアすることができます。読み出した場合、0が読めます。書き込む場合は、1を書き込んでください。 0：無効 1：カレントカウンタクリア	R/W	R
b9	TRENB	トランザクションカウンタ許可	トランザクションカウンタ無効／有効を指定します。 0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1.　本レジスタの各ビットの変更は、“PID = NAK”時に実施してください。
対応するPIPEのPIDビットを“BUF”から“NAK”へ変更したあとで各ビットの設定値を変更する場合は、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを“NAK”に変更した場合は、ソフトウェアによるPBUSYビットの確認は必要ありません。

トランザクションカウンタクリアビット（TRCLR）

ソフトウェアで本ビットに“1”を設定すると、本コントローラーは当該 PIPE に対応するトランザクションカウンタの現在のカウント値をクリアし、本ビットに“0”を示します。

トランザクションカウンタ許可ビット（TRENB）

受信 PIPE に対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で本ビットに “1” を設定すると、本コントローラーは、TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

(1) 連続送受信モード使用（“CNTMD = 1” 設定）時、受信完了時に FIFO バッファがフルの状態でなくても、CPU 側にトグルさせます。

(2) “SHTNAK = 1” 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応する PIPE の PID ビットを “NAK” に変更します。

(3) “DENDE = 1” かつ “PKTMD = 0” 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し、最後のデータを読み出す時に DEND 信号をアサートします。

(4) “BFRE = 1” 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し、最後のデータを読み出し終えた時に、BRDY 割り込みをアサートします。

送信 PIPE については、本ビットに “0” を設定してください。

トランザクションカウント機能を使用しない場合は、本ビットに “0” を設定してください。

トランザクションカウント機能を使用する場合、本ビットに “1” を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウントの対象となる最初のパケットを受信する前に本ビットに “1” を設定してください。

32.2.15.2　PIPE1 トランザクションカウンタレジスタ（PIPE1TRN）
PIPE2 トランザクションカウンタレジスタ（PIPE2TRN）
PIPE3 トランザクションカウンタレジスタ（PIPE3TRN）
PIPE4 トランザクションカウンタレジスタ（PIPE4TRN）
PIPE5 トランザクションカウンタレジスタ（PIPE5TRN）

アドレス　PIPE1TRN：A006 0092h
PIPE2TRN：A006 0096h
PIPE3TRN：A006 009Ah
PIPE4TRN：A006 009Eh
PIPE5TRN：A006 00A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRNCNT[15:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	TRNCNT [15:0]	トランザクションカウンタ	Write時：当該PIPEが受信すべき総パケット数（トランザクション回数）を設定します。 Read時： “TRENB = 0”の場合: 設定したトランザクション回数を示します。 “TRENB = 1”の場合: カウント中のトランザクション回数を示します。	R/W	R/W

トランザクションカウンタビット（TRNCNT）

受信 PIPE に対して、ソフトウェアで本ビットに受信すべき総パケット数を設定した後で TRENB ビットに “1” を設定すると、本コントローラーはトランザクションカウンタクリアビット（TRCLR）の制御を行います。

“TRENB = 0” の場合、本ビットに、ソフトウェアが設定したトランザクション回数を示します。
“TRENB = 1” の場合、本ビットに、カウント中のトランザクション回数を示します。

本コントローラーは、受信時の状態が以下（a）から（c）をすべて満たしたときに TRNCNT ビットの値を 1 インクリメントします。

(a)　“TRENB = 1”である
(b)　パケット受信時に（TRNCNT設定値 ≠ 現在のカウント値+1）である
(c)　受信したパケットのペイロードがMXPSビットへの設定値と一致した

本コントローラーは、以下（1）、（2）、または（3）のいずれかの条件が満たされたときに TRNCNT ビットの値を 0 にクリアします。

（1）以下（a）から（c）の条件がすべて満たされた時
(a)　“TRENB = 1”である
(b)　パケット受信時に（TRNCNT設定値 = 現在のカウント値+1）である
(c)　受信したパケットのペイロードがMXPSビットへの設定値と一致した

（2）以下（a）および（b）の条件がすべて満たされた時
(a)　“TRENB = 1”である
(b)　ショートパケットを受信した

（3）以下（a）の条件がすべて満たされた時
(a)　ソフトウェアでTRCLRビットに“1”を設定した

送信 PIPE については、本ビットに “0” を設定してください。
トランザクションカウント機能を使用しない場合は、本ビットに “0” を設定してください。

本ビットの変更は、“PID = NAK”、かつ “TRENB = 0” 設定時に実施してください。
対応する PIPE の PID ビットを “BUF” から “NAK” に変更してから本ビットを変更する場合には、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
本ビットの値を変更する場合は、“TRENB = 1” を設定する前に “TRCLR = 1” を実施してください。

32.2.16　ローパワーステータスレジスタ（LPSTS）

アドレス　A006 0102h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SUSPM	—	—	—	—	—	—	—	—	—	—	—	—	—	—
H/W リセット後の値	x	0	x	0	x	x	x	0	x	x	x	x	0	x	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b13-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14	SUSPM	UTMI SuspendM制御	UTMIへのSuspendM信号の制御をします。 0：UTMI サスペンドモード 1：UTMI 通常モード	R/W	R/W
b15	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

UTMI SuspendM 制御ビット（SUSPM）

本 USBf モジュールは、SUSPM レジスタにより、USB-PHY 内蔵 PLL からのクロック出力制御を行っています。このため、“SUSPM = 0” の状態では本 USBf モジュールへのクロックが停止します。

本ビットに “1” を設定後は、UTMI クロックが安定するまで 100us 以上待つようにしてください。

SUSPM ビットが “0” の時（UTMI クロックが停止している時）は、本コントローラへの書き込みはできません。読み出しは可能です。ただし、**表 32.18** に示すレジスタは SUSPM ビットが “0” のときでも書き込み可能です。

表32.18　“SUSPM = 0”時に、ソフトウエアによる書き込みが可能なレジスター覧

アドレス	レジスタ名
A006 0000h	SYSCFG0
A006 0002h	SYSCFG1
A006 0102h	LPSTS

ただし、UTMI クロックが停止（“SUSPM = 0”）時に SYSCFG0 レジスタへの書き込んだ設定値は、UTMI クロックが発振（“SUSPM = 1”）してから、設定値が反映されます。

32.2.17　FIFO 連続転送ポート

32.2.17.1　D0FIFO 連続転送ポートレジスタ n（D0FIFOBn）（n = 0 ～ 7）
D1FIFO 連続転送ポートレジスタ n（D1FIFOBn）（n = 0 ～ 7）

アドレス　D0FIFOBn：A006 0160h
D1FIFOBn：A006 0180h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FIFOPORT[31:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIFOPORT[31:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	ビット名	機能	S/W	H/W
b31-b0	FIFOPORT [31:0]	FIFOポート	本ビットにアクセスすることにより、FIFOバッファからの受信データ読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。	R/W	R/W

FIFO ポート制御

DFACC = “01b” もしくは “10b”（16 バイト／ 32 バイト連続アクセスモード）設定時、DxFIFO バッファへのアクセスは DxFIFO 連続転送ポートレジスタを使用してください。

32.2.18　PHY 設定レジスタ 1

32.2.18.1　PHY 設定レジスタ 1（PHYSET1）

アドレス　A006 01A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	PHYVBUSIN	PHYRESET	PHYPD	P1PORTSEL[1:0]	
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	P1PORTSEL[1:0]	ポート接続経路選択入力信号	b1 b0 00：Non-Drive 01：USB ホスト機能 10：設定不可 11：USB ファンクション機能	R/W	R/W
b2	PHYPD	USB PHYのパワーダウン信号	0：ノーマルモード 1：パワーダウンモード	R/W	R/W
b3	PHYRESET	USB PHYのリセット	0：リセット解除 1：リセットアサート	R/W	R/W
b4	PHYVBUSIN	USB PHYへのVBUS入力設定	本設定によりD+ Pull Up抵抗が有効になります。 0：VBUS入力なし（D+_Pull Up抵抗無効） 1：VBUS入力あり（D+_Pull Up抵抗有効）	R/W	R/W
b15-b5	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注.　一度PHY-PLLを起動した後にPHY-PLLをパワーダウンにすることは禁止です。

P1PORTSEL[1:0]

ポート接続経路選択入力信号です。
00b: Non-Drive
01b: USB ホスト機能
10b: 設定不可
11b: USB ファンクション機能

PHYPD

USB PHY のパワーダウン信号です。
0: ノーマルモード
1: パワーダウンモード

PHYRESET

USB PHY のリセット入力です。
0: リセット解除
1: リセットアサート

PHYVBUSIN

USB PHY への VBUS 入力設定です。本設定により D+ Pull Up 抵抗が有効になります。

0: VBUS 入力なし（D+_Pull Up 抵抗無効）

1: VBUS 入力あり（D+_Pull Up 抵抗有効）

32.3　動作説明

32.3.1　システム制御および発振制御

本章では、本コントローラーの初期設定に必要なレジスタ操作、および消費電力制御を行うために必要なレジスタを説明します。起動シーケンスは以下のとおりです。

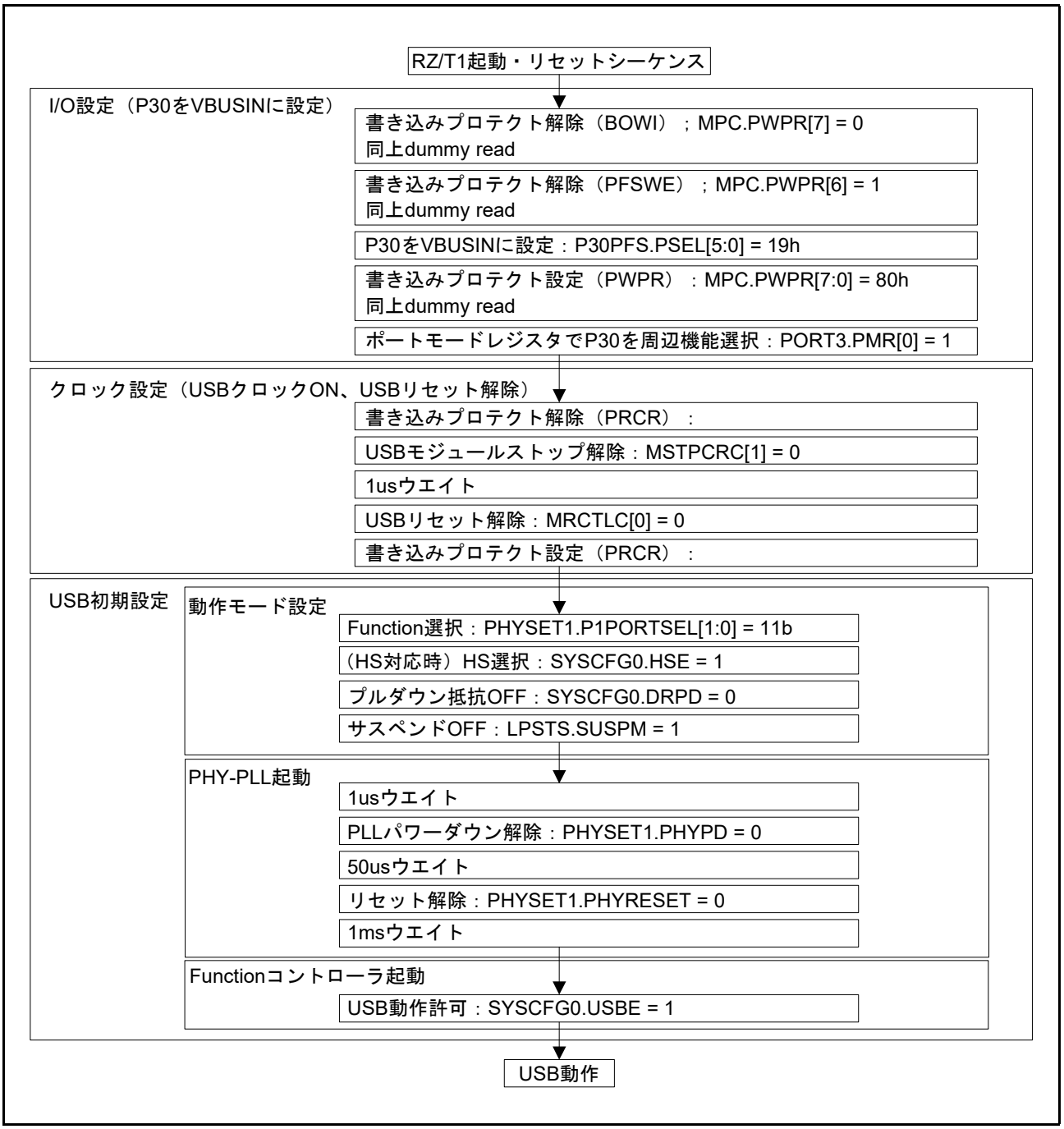


図 32.4　起動シーケンス

32.3.2　リセット

表 32.19 に本コントローラーのリセット種別の一覧表を示します。なお、各リセット動作後のレジスタ初期化状態については、「5.　I/O レジスタ」を参照してください。

表32.19　リセット種別一覧表

名称	操作
USBバスリセット	本コントローラーがD+、D-ラインから自動検出

32.3.3　USB データバス抵抗制御

本コントローラーは、USB2.0-PHY の D+ 信号の Pull Up 抵抗の制御を行います。SYSCFG0 レジスタの DPRPU、DRPD ビットの設定により D+ の Pull Up を設定してください。

USB Host への接続を認識した後で、SYSCFG0 レジスタの DPRPU ビットを “1” に設定し、D+ を Pull Up してください。
同時に、PHYSET1.PHYVBUSIN を “1” に設定してください。

本コントローラーは D+、D- 信号の終端抵抗（Hi-Speed 動作時）と出力抵抗（Full-Speed 動作時）を内蔵しています。PC との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム時に本コントローラーが自動的に行います。

また、PC と通信中に SYSCFG0 レジスタの DPRPU ビットに “0” を設定した場合は、USB データラインのプルアップ抵抗（もしくは終端抵抗）をディセーブルにしますので、ホストコントローラーにデバイス切断を通知することができます。　その際、同時に、PHYSET1.PHYVBUSIN を “0” に設定してください。

32.3.4　クロック供給

表 32.20 に本コントローラーに必要な 2 本のクロックを示します。

表32.20　クロック入力一覧表

入力クロック名	機能
CPUクロック （CPUCLK）	CPUクロック入力 クロック周波数について制限はありません。
PHYクロック （UTMIクロック）	PHYクロック入力 60MHzが内部供給されます。

32.3.5　クロック停止時の注意点

- PHY クロックは、SUSPM レジスタ制御によりサスペンド中に停止させることができます。
- ただし、USB サスペンド中に停止させる場合は、レジュームでの再供給が必要です。PHY クロックはレジューム割り込み発生から再供給までを 5.5ms 以内で行う必要があります。
- USB-PHY 内蔵 PLL 起動後に、PHY パワーダウン（PHYSET1.PHYDP）、PHY リセット（PHYSET1.PHYRESET）を設定して USB-PHY 内蔵 PLL を STOP することは禁止です。
- USB-Function 未使用時には、USB モジュールストップ設定（MSTPCRC[1] = 1）、USB リセット設定（MRCTLC[0] = 1）を行ってください。

32.4　割り込み機能

32.4.1　割り込み機能概要

表 32.21 に本コントローラーの割り込み機能一覧表を示します。

表32.21　割り込み機能一覧表

ビット	割り込み名称	割り込み要因	関連ステータス
VBINT	VBUS割り込み	VBUS入力端子の状態変化を検出した時 （“L”→“H”、“H”→“L”の両方の変化）	VBSTS
RESM	レジューム割り込み	サスペンド状態においてUSBバスの状態変化を検出した時 （J-State→K-State、もしくはJ-State→SE0）	—
SOFR	フレーム番号更新割り込み	SOFRM = 0の場合：フレーム番号の異なるSOFパケットを受信した時 SOFRM = 1の場合：μフレーム番号0の時のSOFをパケット破損などで受信できなかった時	—
DVST	デバイスステート遷移割り込み	デバイスステートの遷移を検出した時 USBバスリセット検出 サスペンド状態検出 Set Addressリクエストの受信 Set Configurationリクエストの受信	DVSQ
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移を検出した時 セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	CTSQ
BEMP	バッファエンプティ割り込み	バッファメモリ中の全データを送信しバッファが空になった時 マックスパケットサイズを超えたパケットを受信した時	PIPEBEMP
NRDY	バッファノットレディ割り込み	“PID = BUF”設定時かつバッファメモリが送受信可能な状態ではない状態でトークンを受信した時 アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生した時 アイソクロナス転送でデータ受信時にインターバルエラーが発生した時	PIPENRDY
BRDY	バッファレディ割り込み	バッファがレディ（リード、もしくはライト可能状態）になった時	PIPEBRDY

表 32.22 に本コントローラーの USBf 割り込み出力動作表を示します。複数の割り込み要因が発生した場合に、USBf 割り込み出力の方法を、SOFCFG レジスタの INTL ビットにより設定できます。ユーザーシステムに合わせて USBf 割り込み出力の動作設定を行ってください。

表32.22　USBf割り込み出力動作表

USBf割り込み出力端子動作 / INTL設定	発生した割り込み要因が1つの場合	発生した割り込み要因が複数の場合
エッジセンス（“INTL = 0”）	要因解除まで“L”レベル出力	1つの要因が解除されると48MHzで32クロック時間ネゲート（“H”パルス出力）
レベルセンス（“INTL = 1”）	要因解除まで“L”レベル出力	すべての要因解除まで“L”レベル出力

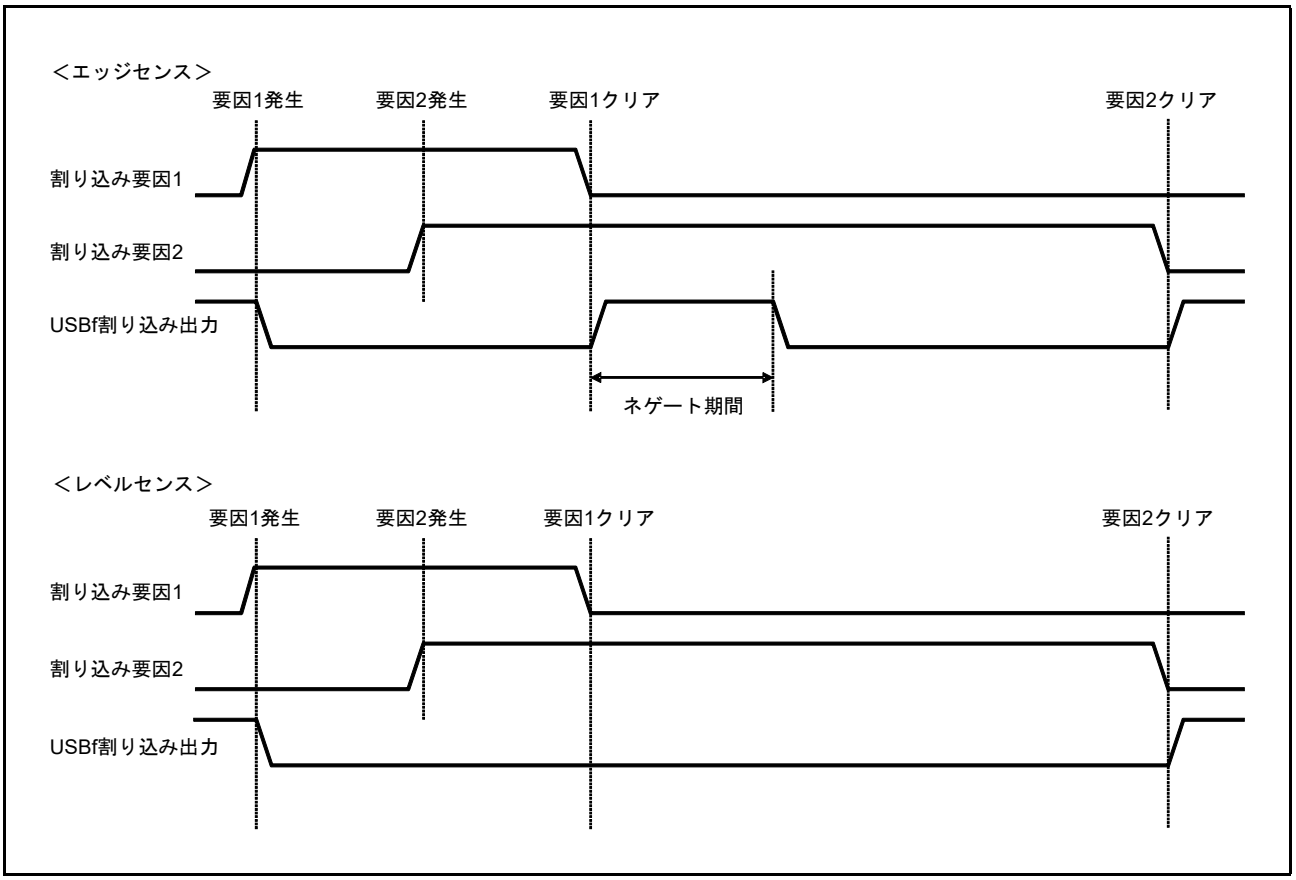


図 32.5　USBf 割り込み出力動作図

図 32.6 に本コントローラーの割り込み関連図を示します。

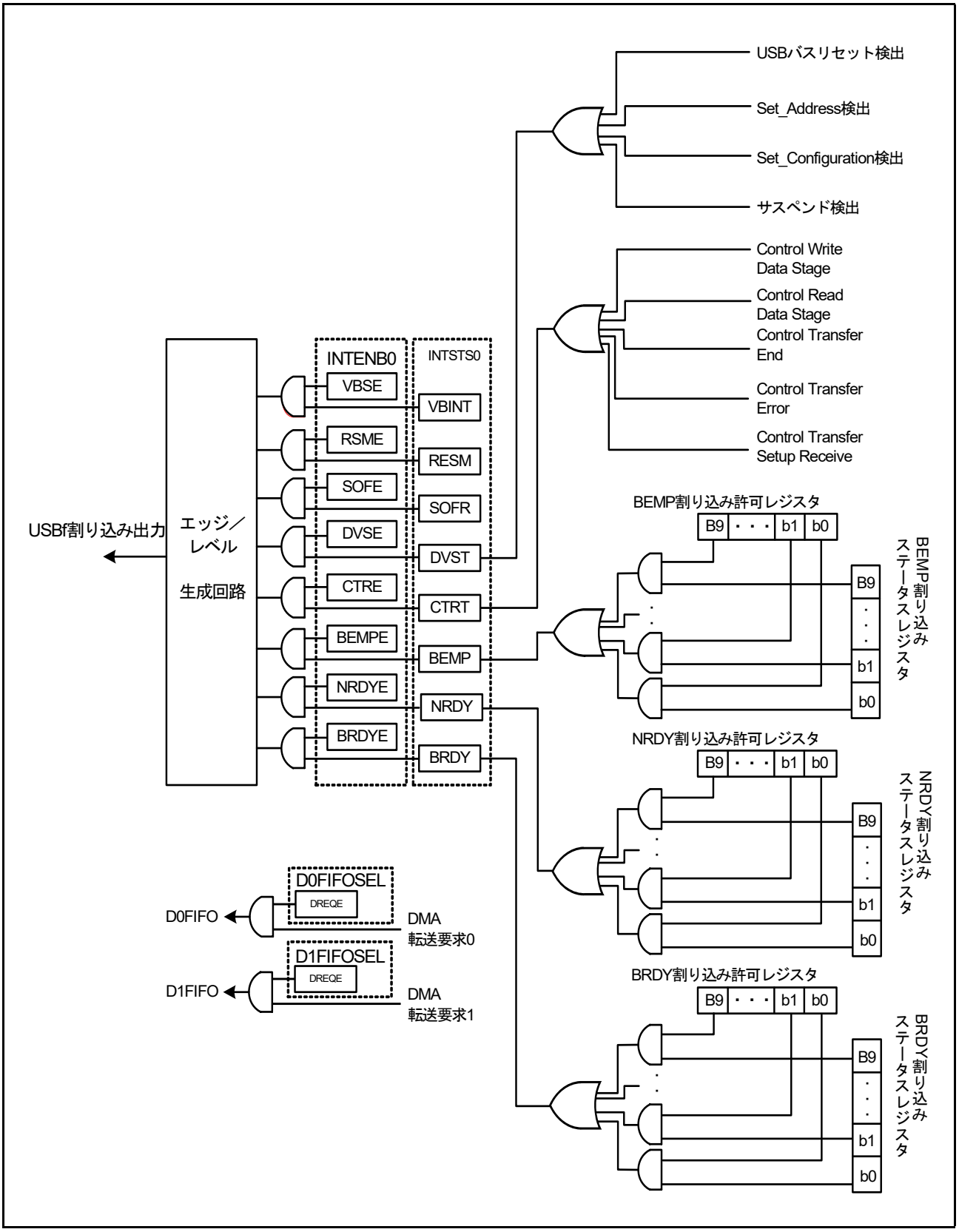
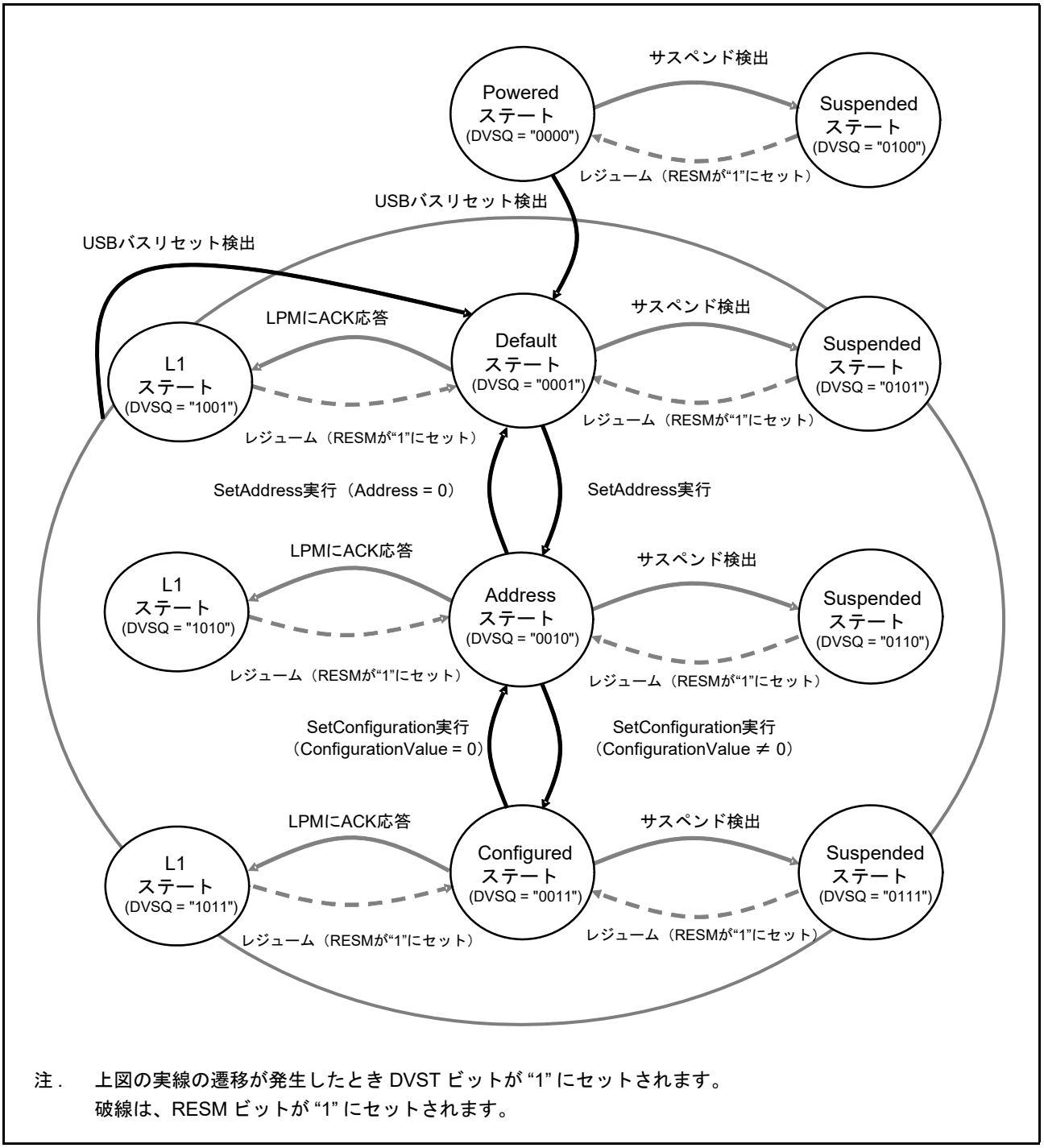


図 32.6　　割り込み関連図

32.4.2　デバイスステート遷移割り込み

図 32.7 に本コントローラーのデバイスステート遷移図を示します。本コントローラーは、デバイスステートを管理し、デバイスステート遷移割り込みを発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットで確認できます。

Default ステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。



注．　上図の実線の遷移が発生したとき DVST ビットが “1” にセットされます。
　　破線は、RESM ビットが “1” にセットされます。

図 32.7　デバイスステート遷移図

32.4.3　コントロール転送ステージ遷移割り込み

図 32.8 に本コントローラーのコントロール転送ステージ遷移図を示します。本コントローラーは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みを発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットで確認できます。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが “1xb”（STALL）になります。

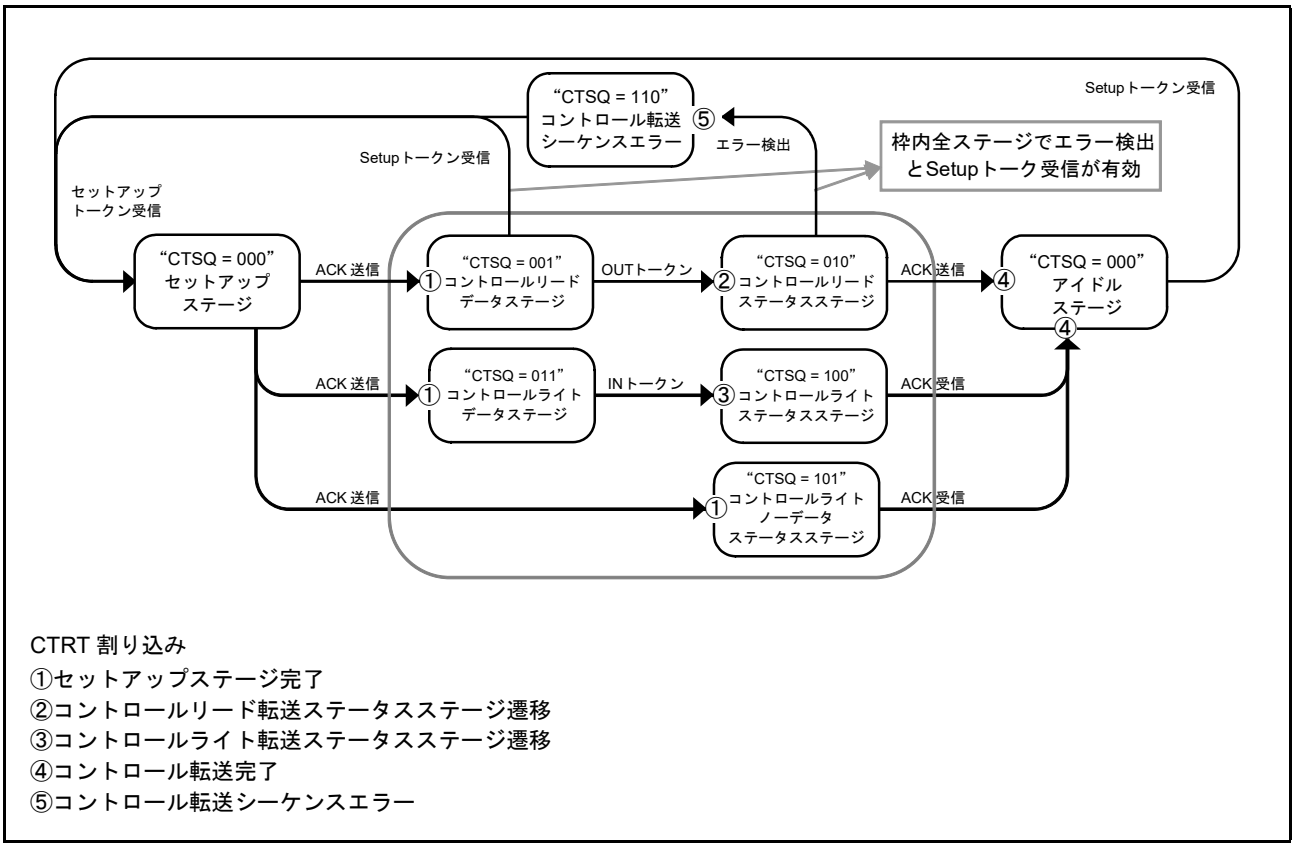
(1) コントロールリード転送時
- (a) データステージの IN トークンに対して、一度もデータ転送していない状態で OUT、もしくは PING トークンを受信
- (b) ステータスステージで IN トークンを受信
- (c) ステータスステージでデータパケットが “DATAPID = DATA0” のパケットを受信

(2) コントロールライト転送時
- (a) データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- (b) データスステージで最初のデータパケットが “DATAPID = DATA0” のパケットを受信
- (c) ステータスステージで OUT、もしくは PING トークンを受信

(3) コントロールライトノーデータ転送時
- (a) ステータスステージで OUT または PING トークンを受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を越えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（“SERR = 1” 設定）は、“CTSQ = 110b” の値がユーザーシステムから “CTRT = 0” 書き込み（割り込みステータスクリア）するまで保持されます。このため、“CTSQ = 110b” が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。（セットアップステージ完了は、本コントローラーで保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します。）



CTRT 割り込み
①セットアップステージ完了
②コントロールリード転送ステータスステージ遷移
③コントロールライト転送ステータスステージ遷移
④コントロール転送完了
⑤コントロール転送シーケンスエラー

図 32.8　　コントロール転送ステージ遷移図

32.5　パイプコントロール

表 32.23 に本コントローラーの PIPE 設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理 PIPE で、データ通信を行います。本コントローラーにはデータ転送用に 10 本の PIPE があります。各 PIPE は、ユーザーシステムの仕様に合わせて設定をしてください。

表32.23　PIPE設定項目一覧表

レジスタ名	ビット名	設定内容	備考
PIPECFG	TYPE	転送Typeを指定	PIPE1-9：設定可
	BFRE	BRDY割込モードを選択	PIPE1-5：設定可
	DBLB	ダブルバッファを選択	PIPE1-5：設定可
	CNTMD	連続転送もしくは非連続転送を選択	PIPE1-2：バルク転送選択時のみ設定可 PIPE3-5：設定可
	DIR	転送方向を選択	INまたはOUT設定可
	EPNUM	エンドポイント番号	PIPE1-9：設定可 PIPE使用時は“0000”以外に設定
	SHTNAK	トランスファー終了時のPIPE禁止選択	PIPE1-2：バルク転送選択時のみ設定可 PIPE3-5：設定可
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP：設定不可（256バイト固定） PIPE1-5：設定可（最大2Kバイトまで指定可） PIPE6-9：設定不可（64バイト固定）
	BUFNMB	バッファメモリ番号	DCP：設定不可（領域0-3hex固定） PIPE1-5：設定可（領域8-80hexで指定可） PIPE6-9：設定不可（領域4-7hex固定）
DCPMAXP PIPEMAXP	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	PIPE1-2：アイソクロナス転送選択時のみ設定可 PIPE3-5：設定不可 PIPE6-9：設定不可
	IITV	インターバルカウンタ	PIPE1-2：アイソクロナス転送選択時のみ設定可 PIPE3-5：設定不可 PIPE6-9：設定不可
DCPCTR PIPExCTR	BSTS	バッファステータス	DCPはISELビットにより、受信／送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	PIPE3-5のみ搭載
	ATREPM	自動応答モード	PIPE1-5：設定可
	ACLRM	自動バッファクリア	PIPE1-9：設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	PIPEビジー確認	
	PID	応答PID	
PIPExTRE	TRENB	トランザクションカウント許可	PIPE1-5：設定可
	TRCLR	カレントトランザクションカウンタのクリア	PIPE1-5：設定可
PIPExTRN	TRNCNT	トランザクションカウンタ	PIPE1-5：設定可

32.5.1　マックスパケットサイズ設定

DCPMAXP レジスタ、および PIPEMAXP レジスタの MXPS ビットで各 PIPE のマックスパケットサイズを設定します。DCP、および PIPE1-5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。PIPE6-9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始 （“PID = BUF” を設定）する前に設定してください。

DCP: Hi-Speed 動作時は “64” を設定してください。

DCP: Full-Speed 動作時は “8”、“16”、“32”、“64” から選択して設定してください。

PIPE 1-5: Hi-Speed バルク転送時は、“512” を設定してください。

PIPE 1-5: Full-Speed バルク転送時は、“8”、“16”、“32”、“64” から選択して設定してください。

PIPE 1-2: Hi-Speed アイソクロナス転送時は、“1” から “1024” の値を設定してください。

PIPE 1-2: Full-Speed アイソクロナス転送時は、“1” から “1023” の値を設定してください。

PIPE 6-9: “1” から “64” の値を設定してください。

インタラプト転送およびアイソクロナス転送の Highband-Width は未対応です。

32.5.2　応答 PID

DCPCTR レジスタ、および PIPExCTR レジスタの PID ビットで PIPE の応答 PID を設定してください。

（1）応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

(a)　NAK設定:発生したトランザクションに対して常に“NAK応答”します。

(b)　BUF設定:バッファメモリの状況に応じてトランザクションに応答します。

(c)　STALL設定:発生したトランザクションに対して常に“STALL応答”します。

セットアップトランザクションに対しては、PID ビットの設定値にかかわらず、常に “ACK 応答 ” し、レジスタに USB リクエストを格納します。

トランザクション結果によっては、本コントローラーによる PID ビットへの書き込みが発生する場合があります。

本コントローラーにより PID ビットへの書き込みが発生するのは下記の場合です。

- H/W が応答 PID を設定する場合

(a)　NAK設定:

（ア）SETUP トークンを正常に受信した時 （DCP のみ）

（イ）バルク転送時に PIPECFG レジスタの SHTNAK ビットを “1” に設定し、ショートパケットを受信した時

（ウ）バルク転送時に SHTNAK ビットを “1” に設定し、トランザクションカウンタが終了した時

(b)　BUF設定:コントローラーによるBUF書き込みはありません。

(c)　STALL設定:

（ア）受信データパケットでマックスパケットサイズオーバエラーを検出した時

（イ）コントロール転送シーケンスエラーを検出した時

32.5.3　パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可（“PID = NAK”）である時のみ書き換えが可能です。図 32.9 に USB 通信許可（“PID = BUF”）状態からパイプコントロールレジスタの切り替え手順を示します。

USB 通信許可（“PID = BUF”）状態では設定禁止であるレジスタ

- DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR ビット、SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPExCTR レジスタの ATREPM ビット、ACLRM ビット、SQCLR ビット、SQSET ビット
- PIPExTRE レジスタ、PIPExTRN レジスタの各ビット

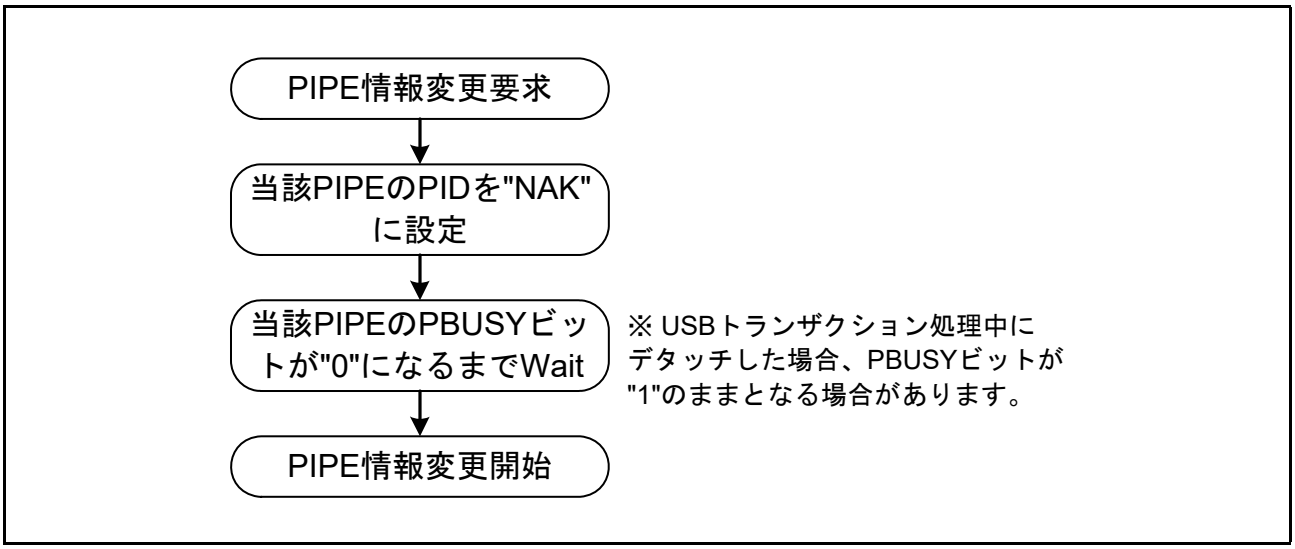


図 32.9　USB 通信許可（“PID = BUF”）状態からの PIPE 情報変更手順

また、パイプコントロールレジスタの以下のビットは、CPU/DMA0/DMA1-FIFO-PORT のいずれの CURPIPE にも設定されていない PIPE 情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPExCTR レジスタ、ACLRM ビット

PIPE 情報を変更する場合には、CURPIPE の設定を変更 PIPE 以外にしておいてください。なお、DCP については PIPE 情報修正後、BCLR ビットでバッファのクリア処理をしてください。

32.5.4　データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本コントローラーによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタ、および PIPExCTR レジスタの SQMON ビットで確認できます。データ送信時は、ACK ハンドシェイク受信タイミングで、データ受信時は、ACK ハンドシェイク送信タイミングで、シーケンスビットが切り替わります。また、DCPCTR レジスタ、および PIPExCTR レジスタの SQCLR ビット、SQSET ビットでデータ PID シーケンスビットを変更可能です。

また、コントロール転送では、ステージ遷移時に本コントローラーが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ClearFeature リクエストの受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定 PIPE は SQSET ビットによるシーケンスビット操作を行うことはできません。

32.6　FIFO バッファ

本章では本コントローラーに内蔵する FIFO バッファに関する動作を説明します。

32.6.1　FIFO バッファ割り当て

図 32.10 に本コントローラーの FIFO バッファのメモリマップ例を示します。FIFO バッファは、ユーザーシステムの制御用 CPU と本コントローラーが共用する領域です。FIFO バッファの状況には、アクセス権がユーザーシステム（CPU 側）にある場合と、本コントローラー（SIE 側）にある場合があります。

FIFO バッファは、PIPE ごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数（PIPEBUF レジスタの BUFNMB ビット、および BUFSIZE ビットで指定）で設定します。PIPExCFG レジスタの CNTMD ビットで連続転送モードを選択した場合、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また、PIPExCFG レジスタの DBLB ビットでダブルバッファを選択した場合には、同一 PIPE に対して PIPEBUF レジスタの BUFSIZE ビットで指定したメモリ領域が 2 面分割り当てられます。

FIFO バッファへのアクセス（データ読み書き）は、2 本の FIFO ポートを使用します。FIFO ポートに割り当てる PIPE は、C/DxFIFOSEL レジスタの CURPIPE ビットで PIPE 番号を指定します。

各 PIPE の FIFO バッファステータスは、DCPCTR レジスタ、および PIPExCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、C/DxFIFOCTR レジスタの FRDY ビットで確認できます。

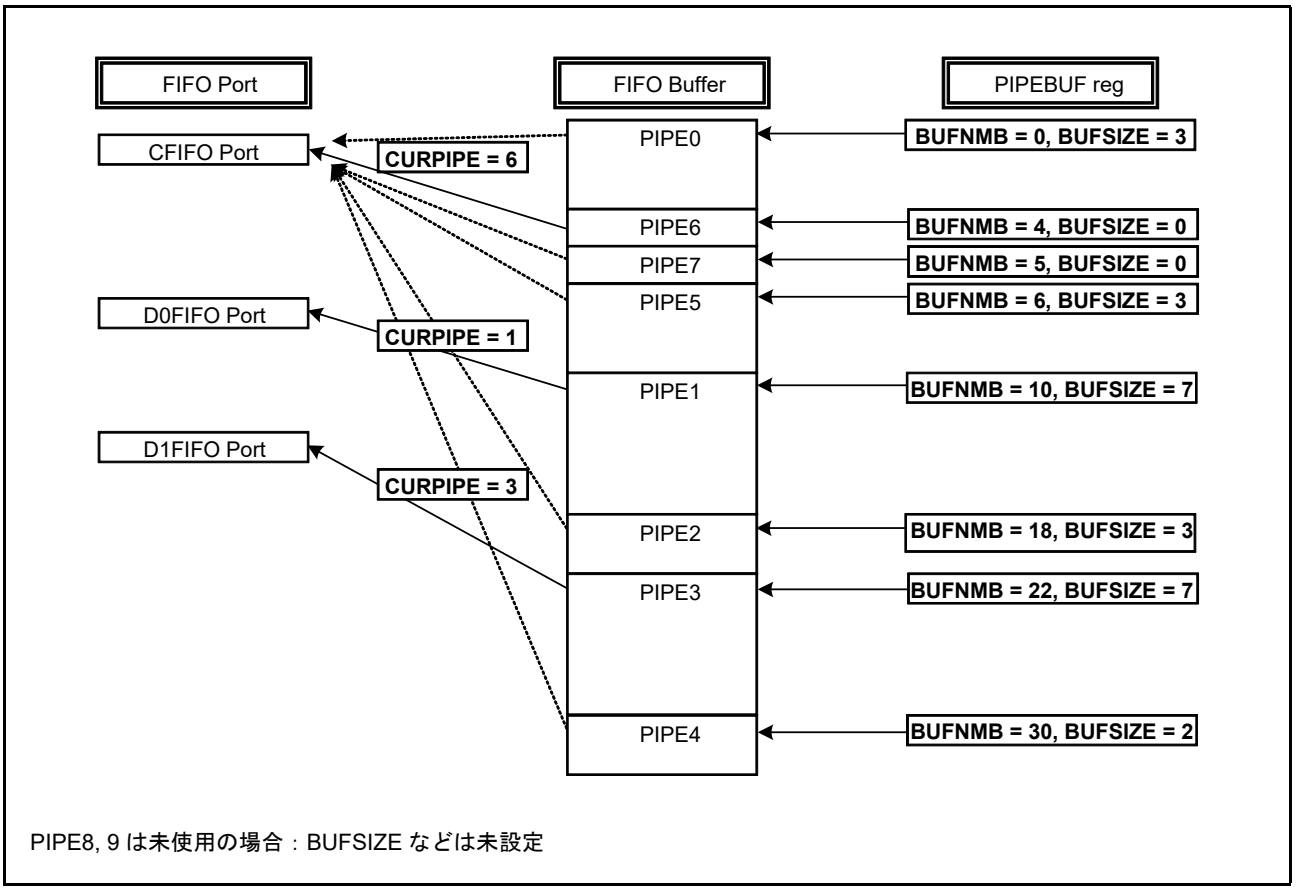


図 32.10　FIFO バッファのメモリマップ例

32.6.2　FIFOバッファクリア

「表32.24　FIFOバッファクリアー覧表」に本コントローラーによるFIFOバッファのクリアー覧表を示します。FIFOバッファは以下の3ビットによってクリアできます。

表32.24　FIFOバッファクリアー覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTRレジスタ DxFIFOCTRレジスタ	DxFIFOSELレジスタ	PIPExCTRレジスタ
機能	CPU側FIFOバッファをクリアします。	指定PIPEのデータを読み出した後で、自動でFIFOバッファをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	“1”ライトでクリア	“1”モード有効 “0”モード無効	“1”モード有効 “0”モード無効

32.7　FIFOポートの機能

本章ではFIFOポートに関する機能の説明をします。**表32.25**に本コントローラーのFIFOポート機能設定表を示します。データ書き込み時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的にUSBバスに送信可能な状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、C/DxFIFOCTRレジスタのBVALビットによる書き込み終了設定（DMA転送時にはDMACのTEND信号設定（詳細は、**「15.　DMAコントローラ（DMACAa）」**の章を参照願います））が必要です。また、Zero-Lengthパケットの送信は、同レジスタのBCLRビットによるバッファクリアの上、BVALビットによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Lengthパケット受信時（DTLN = 0）、データは読み出せませんので、同レジスタのBCLRビットによるバッファクリアが必要です。受信データ長は、C/DxFIFOCTRレジスタのDTLNビットで確認します。

表32.25　FIFOポート機能設定表

レジスタ名	ビット名	機能	備考
C/DxFIFOSEL	RCNT	DTLN読み出しモード選択	
	REW	バッファメモリリワインド（再読み出し、再書き込み）	
	DCLRM	指定PIPEの受信データ読み出し後自動クリア	DxFIFO専用
	DREQE	DREQ信号アサート	DxFIFO専用
	MBW	FIFOポートアクセスビット幅	
	BIGEND	FIFOポートエンディアン選択	
	ISEL	FIFOポートアクセス方向	DCP専用
	CURPIPE	カレントPIPE選択	
C/DxFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU側バッファメモリクリア	
	FRDY	FIFOポートレディーモニタ	
	DTLN	受信データ長確認	

32.7.1　FIFOポート選択

表32.26に各FIFOポートで選択可能なPIPE表を示します。C/DxFIFOSELレジスタのCURPIPEビットにて、アクセスするPIPEを選択します。PIPE選択後、書き込んだCURPIPE値が正しく読み出せたことを確認してから（前回のPIPE番号が読み出された場合には、本コントローラがPIPE変更処理中である事を示します）、“FRDY = 1”を確認しFIFOポートへアクセスしてください。**図32.11**にFIFOポートアクセス時のPIPEの切り替え手順を示します。

また、MBWビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCPの場合はISELビットの設定にしたがいます。その他のPIPEは、PIPExCFGレジスタのDIRビットにしたがいます。

表32.26　PIPE別FIFOポートアクセス表

PIPE	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
PIPE1~PIPE9	CPUアクセス	CFIFOポートレジスタ
	DMAアクセス	DxFIFOポートレジスタ

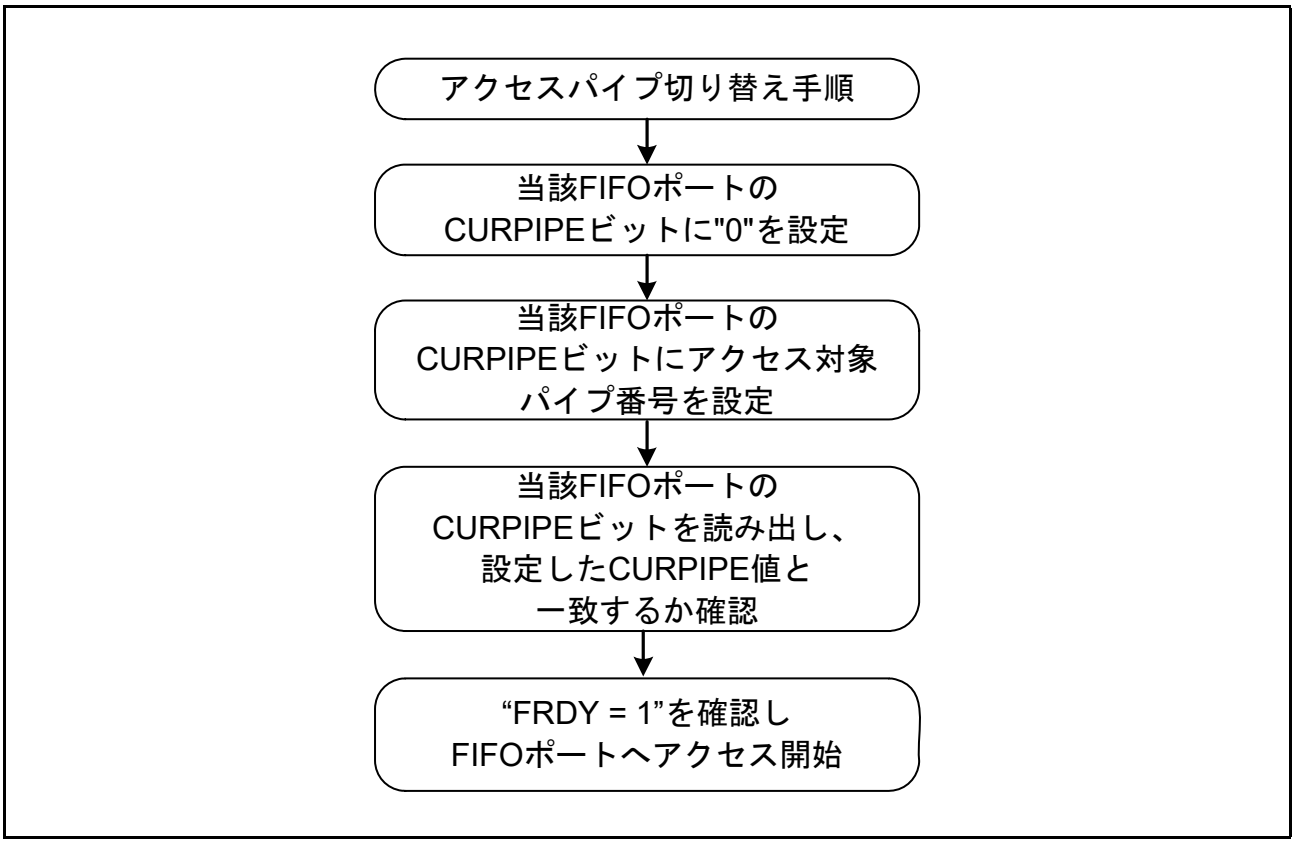


図 32.11　FIFO ポートアクセス時の PIPE 切り替え手順

32.7.2　DxFIFO 自動クリアモード（DxFIFO ポート読み出し方向）

本コントローラーは、DxFIFOSEL レジスタの DCLRM ビットに “1” を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該 PIPE のバッファメモリを自動的にクリアします。

表 32.27 に各設定での、パケット受信とソフトウエアによるバッファメモリクリア処理の関連表を示します。

表 32.27 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要な、どのような状態においても、DCLRM ビットを使用することでソフトウエアによるバッファクリアが不要になり、ソフトウエアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表32.27　パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定 / パケット受信時のバッファ状態	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

32.7.3　BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により、DMA 転送を使用している場合に、最終データを受信したときのみに割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウントの終了を示します。“BFRE = 1” に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DnFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 32.28 に本コントローラーの BRDY 割り込み発生タイミングを示します。

表32.28　BRDY割り込み発生タイミング表

レジスタ設定 / パケット受信時のバッファ状態	BFRE = “0”	BFRE = “1”
バッファフル（通常のパケット受信）	パケット受信時	発生しない
Zero-Lengthパケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

BFRE ビット機能はバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には BFRE ビットは “0” に固定してください。

32.8　コントロール転送（DCP）

コントロール転送のデータステージのデータ転送は、デフォルトコントロール PIPE（DCP）を使用します。DCP のバッファメモリは、コントロールリード、およびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

32.8.1　セットアップステージ

本コントローラーは、本コントローラーに対する正常なセットアップパケットに対して、必ず ACK 応答します。セットアップステージでの本コントローラーの動作を以下に示します。

(1) 新しいセットアップパケットを受信すると、本コントローラーは、以下のビットをセットします。
  (a)　INTSTS0 レジスタの VALID ビットを“1”にセット
  (b)　DCPCTR レジスタの PID ビットを“NAK”にセット
  (c)　DCPCTR レジスタの CCPL ビットを“0”にセット
(2) セットアップパケットに引き続き、データパケット受信すると、本コントローラーは、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、必ず “VALID = 0” を設定後に行ってください。“VALID = 1” 状態では “PID = BUF” 設定が行えず、データステージを終了することができません。
VALID ビットの機能により、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本コントローラーは、受信した USB リクエストの方向ビット（bmRequestType の bit8）、およびリクエストデータ長（wLength）を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本コントローラーのステージ管理については**図 32.8** を参照してください。

32.8.2　データステージ

受信した USB リクエストに対応したデータ転送を DCP で行ってください。DCP バッファメモリにアクセスする前に、CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。
DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。
データ転送の完了は、BRDY 割り込み、または BEMP 割り込みによって検出します。コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。
Hi-Speed 動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

32.8.3　ステータスステージ

DCPCTR レジスタの PID ビットが “PID = BUF” の状態で、CCPL ビットに “1” を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向にしたがい、本コントローラーが自動的にステータスステージを実行します。具体的には以下のとおりです。

(1) コントロールリード転送の場合：

USB Host Controller からの Zero-Length パケットを受信し、ACK 応答を送信します。

(2) コントロールライト転送、ノーデータコントロール転送の場合：

本コントローラーは Zero-Length パケットの送信を行い、USB Host Controller からの ACK 応答を受信します。

32.8.4　コントロール転送自動応答機能

本コントローラーは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに以下のエラーがある場合は、ソフトウェアによる応答が必要です。

(1) bmRequestType ≠ “00h”
(2) wIndex ≠ “00h”
(3) wLength ≠ “00h”
(4) wValue ＞ “7Fh”
(5) DVSQ ＝ “011b (Configured)”

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

32.9　バルク転送（PIPE1-5）

バルク転送は、バッファメモリの使用方法（シングル／ダブルバッファ設定、もしくは連続／非連続転送モード設定）の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態はコントローラーが管理し、PING パケット／ NYET ハンドシェイクには自動応答します。

32.9.1　NYET ハンドシェイク制御

表 32.29 にバルク転送およびコントロール転送における受信トークンに対する応答一覧表を示します。本コントローラーは、バルク転送、およびコントロール転送において、OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない場合に NYET 応答を行います。ただし、ショートパケット受信時は、この条件の場合でも NYET 応答をせずに ACK 応答を行います。

表 32.29　受信トークンに対する応答一覧表

PID ビット設定値	バッファメモリの状態	受信トークン	応答	備考
NAK / STALL	—	SETUP	ACK	—
	—	IN/OUT / PING	NAK / STALL	—
BUF	—	SETUP	ACK	—
	RCV-BRDY（注 1）	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY（注 2）	OUT	NYET	データパケット受信
	RCV-BRDY（注 2）	OUT（Short）	ACK	データパケット受信
	RCV-BRDY（注 2）	PING	ACK	
	RCV-NRDY（注 3）	OUT / PING	NAK	
	TRN-BRDY（注 4）	IN	DATA0 / 1	データパケット送信
	TRN-NRDY（注 5）	IN	NAK	

注1.　RCV-BRDY: OUT/PING トークン受信時にバッファメモリに2パケット分以上の空き領域がある。
注2.　RCV-BRDY: OUT トークン受信時にバッファメモリに1パケット分の空き領域しかない。
注3.　RCV-NRDY: PING トークン受信時にバッファメモリに空き領域がない。
注4.　TRN-BRDY: IN トークン受信時にバッファメモリに送信データがある。
注5.　TRN-NRDY: IN トークン受信時にバッファメモリに送信データがない。

32.10　インタラプト転送（PIPE6-9）

本コントローラーは、ホストコントローラーが管理している周期にしたがってインタラプト転送を行います。インタラプト転送の場合、PING パケットを無視（無応答）します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

なお、本コントローラーは、インタラプト転送の High-Bandwidth 転送には対応していません。

32.11　アイソクロナス転送（PIPE1-2）

本コントローラーは、アイソクロナス転送に対して以下の機能を備えています。

(1) アイソクロナス転送のエラー情報通知
(2) インターバルカウンタ（IITV ビット指定）
(3) アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
(4) アイソクロナス IN 転送バッファフラッシュ機能（IFIS ビット指定）
(5) SOF パルス出力機能

本コントローラーは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

32.11.1　アイソクロナス転送のエラー検出

本コントローラーは、アイソクロナス転送のエラー発生をソフトウェアが管理するために、以下のエラー情報の検出機能を持っています。**表 32.30**、および**表 32.31** にエラーを確認する順番と発生する割り込みについて示します。

(1) PID エラー
受信パケットの PID が不正な場合。
(2) CRC エラー、ビットスタッフィングエラー
受信パケットの CRC にエラーがあった場合。またはビットスタッフィングが不正な場合。
(3) マックスパケットサイズオーバ
受信パケットのデータサイズがマックスパケットサイズの設定値を越えていた。
(4) オーバラン、アンダランエラー
IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータがない場合。
OUT 方向（受信）の転送時に OUT トークンを受信したがバッファメモリに空き領域が無い場合。
(5) インターバルエラー
以下の場合にインターバルエラーとします。
(a)　アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合。
(b)　アイソクロナスOUT転送でインターバルフレームにOUTトークンを受信できなかった場合。

表32.30　トークン送受信時のエラー検出

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	割り込み発生せず（破損パケットとして無視）
3	オーバラン、アンダランエラー	NRDY割り込みを発生し、OVRNビットをセットします。 INトークンに対して、Zero-Lengthパケットを送信します。OUTトークンに対してデータパケットを受信しません。
4	インターバルエラー	NRDY割り込みを発生します。

表32.31　データパケット受信時のエラー検出

検出の優先順位	エラー種別	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	NRDY割り込みを発生し、CRCEビットをセットします。
3	マックスパケットサイズオーバエラー	BEMP割り込みを発生し、PIDを“STALL”にセットします。

32.11.2　DATA-PID

本コントローラーはHigh-Bandwidth転送には対応していません。受信したPIDに対する対応を以下に示します。

（1）IN方向：

(a)　DATA0：データパケットのPIDとして送信します。

(b)　DATA1：送信しません。

(c)　DATA2：送信しません。

(d)　mDATA：送信しません。

（2）OUT方向（Full-Speed動作時）：

(a)　DATA0：データパケットのPIDとして正常受信します。

(b)　DATA1：データパケットのPIDとして正常受信します。

(c)　DATA2：パケットを無視します。

(d)　mDATA：パケットを無視します。

（3）OUT方向（Hi-Speed動作時）：

(a)　DATA0：データパケットのPIDとして正常受信します。

(b)　DATA1：データパケットのPIDとして正常受信します。

(c)　DATA2：データパケットのPIDとして正常受信します。

(d)　mDATA：データパケットのPIDとして正常受信します。

32.11.3　インターバルカウンタ

32.11.3.1　動作概要

PIPEPERIレジスタのIITVビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、表32.32の機能を実現します。

表32.32　インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウントは、SOFの受信または補完されたSOFで行いますので、SOFが破損しても等時性を保つことができます。設定できるフレーム間隔は2^{IITV}（μ）フレームです。

32.11.3.2　インターバルカウンタの初期化

本コントローラーは、以下の条件でインターバルカウンタを初期化します。

(1) H/W リセット
　IITV ビットが初期化されます。
(2) ACLRM ビットによるバッファメモリのクリア
　IITV ビットは初期化されませんがカウントは初期化されます。
(3) USB バスリセット

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、以下の条件でインターバルのカウントを開始します。

(1) “PID = BUF” 状態で IN トークンに対して、データを送信後の SOF 受信
(2) “PID = BUF” 状態で OUT トークンのデータを受信後の SOF 受信

なお、以下の条件ではインターバルカウンタは初期化されません。

(1) PID を NAK または STALL に設定した場合
　インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
(2) USB バスリセット、USB サスペンド
　IITV ビットは初期化されません。SOF を受信すると、受信前の値からカウントを開始します。

32.11.4　アイソクロナス転送送信データセットアップ

本コントローラーのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 32.12 に本コントローラーで、“IITV = 0（毎フレーム）” を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

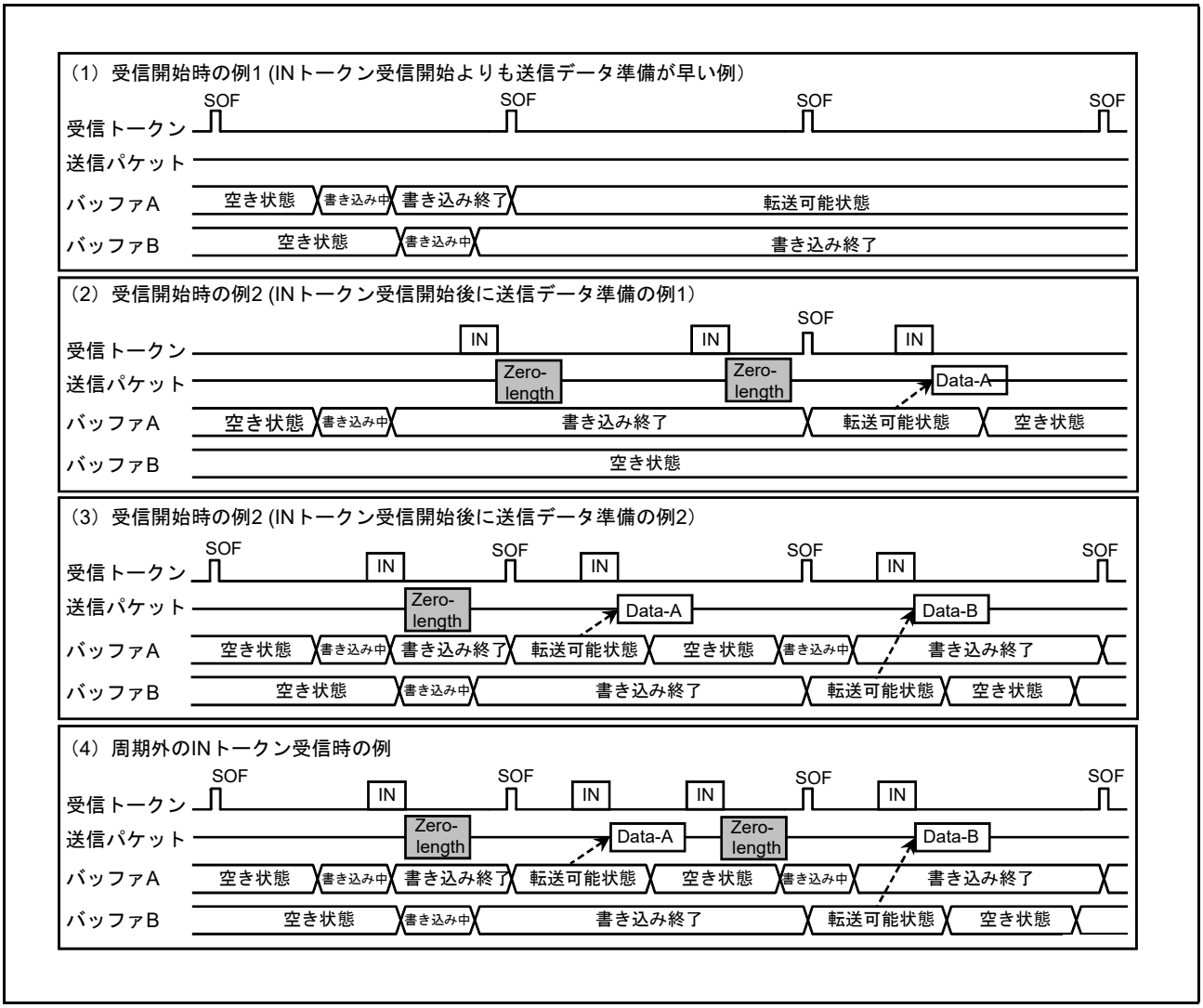


図 32.12　データセットアップ機能動作例

32.11.5　アイソクロナス転送送信バッファフラッシュ

本コントローラーは、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず、次フレームの（μ）SOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態にします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、（μ）SOFパケット受信で破棄されていないバッファメモリを転送可能状態にします。

バッファフラッシュ機能はIITVビット設定値により動作開始タイミングが異なります。

（1）IITV = 0の場合

PIPEが有効となった次のフレームからバッファフラッシュ動作します。

（2）IITV = 0以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図32.13に本コントローラーのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態にしたがい、書き込みデータの送出もしくはアンダランエラーとしてZero-Lengthパケットを送出します。

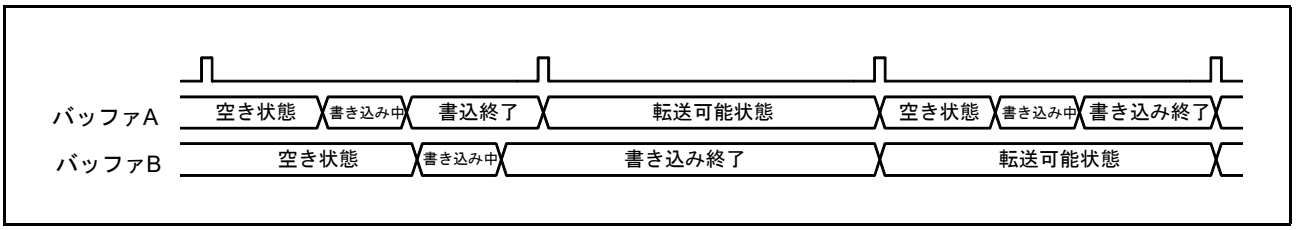


図32.13　バッファフラッシュ機能動作例

図32.14に本コントローラーのインターバルエラー発生例を示します。インターバルエラーは以下の5種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーの場合、IN転送時にバッファフラッシュ機能が動作し、OUT転送時はNRDY割り込みが発生します。

受信パケットエラーなどのNRDY割り込みとオーバランエラーとの区別はOVRNビットで判断してください。

図中網掛けのトークンに対しては、バッファメモリの状態に応じた応答になります。

（1）IN方向：

(a)　バッファ転送可能状態であればデータ転送し正常応答

(b)　バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

（2）OUT方向：

(a)　バッファ受信可能状態であればデータ受信し正常応答

(b)　バッファ受信不能状態であればデータ破棄しオーバランエラー

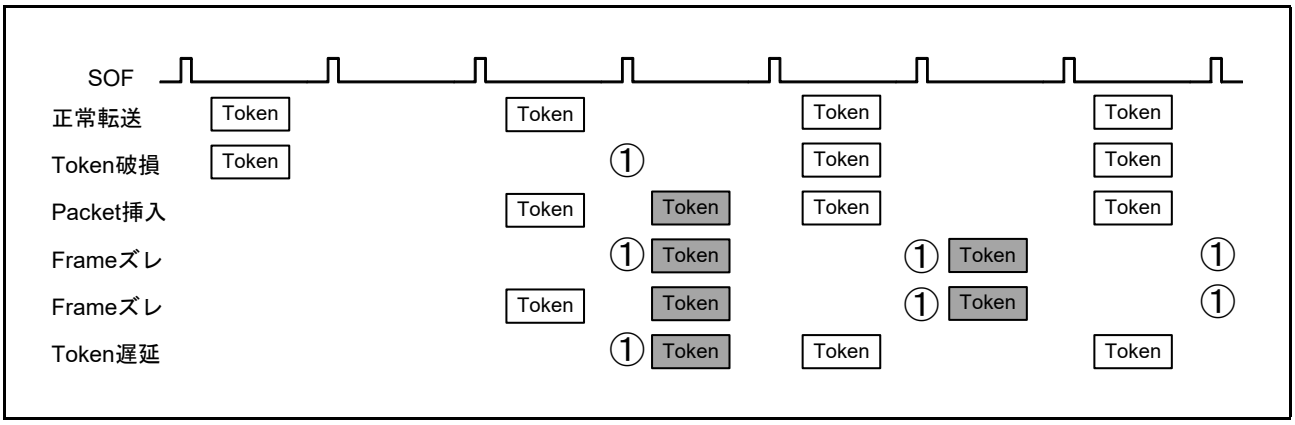


図 32.14　“IITV = 1” の時のインターバルエラー発生例

32.12　SOF 補間機能

SOF パケットの破損、もしくは欠落のために 1ms（Full-Speed 動作時）または 125us（Hi-Speed 動作時）間隔で受信できなかった場合に、コントローラー内部で SOF を補間します。SOF 補間動作の開始は “USBE = 1” かつ “SUSPM = 1” かつ SOF パケット受信となります。また、以下の条件で補間機能が初期化されます。

(1) H/W リセット
(2) USB バスリセット
(3) サスペンド検出

また、SOF 補間は次の仕様で動作します。

(1) フレーム間隔（125us または 1ms）はリセットハンドシェイクプロトコルの結果にしたがう。
(2) SOF パケット受信までは補間機能は動作しない。
(3) 最初の SOF パケット受信後は、内部クロック 48MHz で 125us もしくは 1ms をカウントし補間する。
(4) 2 回目以降の SOF パケットを受信後は、前回の受信間隔を用いて補間する。
(5) サスペンド時、および USB バスリセット受信中は補間しない。
（Hi-Speed 動作時のサスペンド移行では最終パケットから 3ms 間は補間を継続します）

SOF 補間機能は次の機能で動作します。

(1) フレーム番号、およびマイクロフレーム番号の更新
(2) SOFR 割り込み、および µSOF ロック
(3) SOF パルス出力
(4) アイソクロナス転送インターバルカウント

Full-Speed 動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。

Hi-Speed 動作時に µSOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。

ただし、“ µFRNM = 000b” の µSOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する “ µFRNM = 000b” 以外の µSOF パケットが正常に受信されても FRNM ビットは更新されません。

33.　FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）を 5 チャネル内蔵しています。SCIFA は、各チャネルとも独立に送信と受信用に 16 段の FIFO バッファを内蔵し、効率的かつ高速な連続通信を可能にしています。

33.1　概要

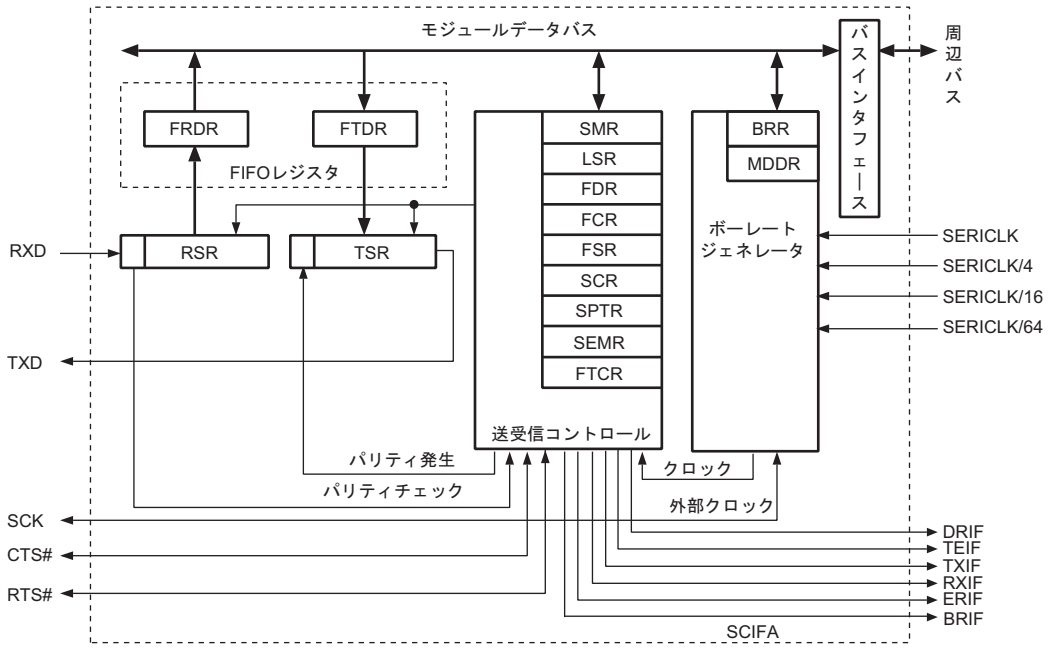
表 33.1 に SCIFA の仕様を示します。

表33.1　SCIFAの仕様

項目		内容
チャネル		5チャネル
シリアル通信方式		調歩同期式、クロック同期式
転送速度		内蔵ボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		送信部：16段のFIFOバッファによる連続送信が可能 受信部：16段のFIFOバッファによる連続受信が可能
データ転送		LSBファースト／MSBファースト選択可能
割り込み要因		6要因 • トランスミットエンド（TEIF） • 送信FIFOデータエンプティ（TXIF） • 受信FIFOデータフル（RXIF） • 受信データレディ（DRIF）（注1） • フレーミングエラーまたはパリティエラー（ERIF） • ブレークまたはオーバラン（BRIF）
調歩同期式モード	キャラクタ長	7ビット／8ビット
	送信ストップビット	1ビット／2ビット
	パリティ機能	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出	パリティエラー、オーバランエラー、フレーミングエラーを受信エラーとして検出
	ハードウェアフロー制御	CTS#端子、RTS#端子を用いた送受信制御が可能
	ブレーク検出	ハードウェアによるブレーク信号検出機能
	クロックソース	内部クロック／外部クロックから選択
	ノイズ除去	RXD端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	キャラクタ長	8ビット
	受信エラー検出	オーバランエラーを受信エラーとして検出
	クロックソース	内部クロック／外部クロックから選択
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注1.　調歩同期式モードのときのみ有効

図 33.1 に SCIFA のブロック図を示します。



RSR　：レシーブシフトレジスタ
FRDR　：レシーブ FIFO データレジスタ
TSR　：トランスミットシフトレジスタ
FTDR　：トランスミット FIFO データレジスタ
SMR　：シリアルモードレジスタ
SCR　：シリアルコントロールレジスタ
FSR　：シリアルステータスレジスタ
MDDR　：モジュレーションデューティレジスタ
BRR　：ビットレートレジスタ
SPTR　：シリアルポートレジスタ
FCR　：FIFO コントロールレジスタ
FDR　：FIFO データ数レジスタ
LSR　：ラインステータスレジスタ
SEMR　：シリアル拡張モードレジスタ
FTCR　：FIFO トリガコントロールレジスタ

図 33.1　SCIFA のブロック図

表 33.2 に SCIFA の入出力端子を示します。

表 33.2　SCIFA の入出力端子

名称	端子名	入出力	機　能
シリアルクロック端子	SCK	入出力	送受信クロック入出力／汎用出力
受信データ端子	RXD	入力	受信データ入力
送信データ端子	TXD	出力	送信データ出力
送受信開始制御端子	CTS#	入出力	ハードウェアフロー制御用入力（送信可信号）／汎用出力
	RTS#	出力	ハードウェアフロー制御用出力（送信要求信号）／汎用出力

注.　各端子名のチャネルは省略して表記しています。

33.2　レジスタの説明

33.2.1　レシーブシフトレジスタ（RSR）

RSR レジスタは、受信したシリアルデータを一時格納するレジスタです。SCIFA は、RXD 端子に入力されたシリアルデータを RSR レジスタに格納します。1 バイトのデータ受信が終了すると、データは自動的にレシーブ FIFO データレジスタ（FRDR）に転送されます。

CPU から直接 RSR レジスタの読み出し／書き込みはできません。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

33.2.2　レシーブ FIFO データレジスタ（FRDR）

FRDR レジスタは、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。SCIFA は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ（RSR）から FRDR レジスタに受信したシリアルデータを転送し、受信動作を完了します。16 バイトの受信データの格納が終了するまで、連続した受信動作が可能です。レシーブ FIFO データレジスタに受信データがない状態で FRDR レジスタを読み出した場合、不定値が読めます。

FRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

CPU は FRDR レジスタに対する読み出しはできますが、書き込みはできません。

アドレス　SCIFA0.FRDR A006 500Ah、SCIFA1.FRDR A006 540Ah、SCIFA2.FRDR A006 580Ah、SCIFA3.FRDR A006 5C0Ah、SCIFA4.FRDR A006 600Ah

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

33.2.3　トランスミットシフトレジスタ（TSR）

SCIFA は、トランスミット FIFO データレジスタ（FTDR）から送信データをいったん TSR レジスタに転送し、TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータを送信後、自動的に FTDR レジスタから TSR レジスタに次の送信データを転送し、送信を開始します。

CPU から、直接 TSR レジスタの読み出し／書き込みはできません。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

33.2.4　トランスミットFIFOデータレジスタ（FTDR）

FTDRレジスタは、シリアル送信データを格納する8ビット16段のFIFOレジスタです。SCIFAは、トランスミットシフトレジスタ（TSR）の空を検出すると、FTDRレジスタに書き込まれた送信データをTSRレジスタに転送してシリアル送信を開始します。FTDRレジスタの送信データが空になるまで連続してシリアル送信ができます。FTDRレジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXIF）要求が発生したときに行ってください。

FTDRレジスタが送信データでいっぱい（16バイト）になると、次のデータを書き込むことができません。書き込みを行ってもデータは無視されます。

CPUはFTDRレジスタに対する書き込みはできますが、読み出しはできません。

アドレス　SCIFA0.FTDR A006 5006h、SCIFA1.FTDR A006 5406h、SCIFA2.FTDR A006 5806h、SCIFA3.FTDR A006 5C06h、SCIFA4.FTDR A006 6006h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

33.2.5　シリアルモードレジスタ（SMR）

SMRレジスタは、SCIFAのシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SMRレジスタは、常にCPUによる読み出し／書き込みが可能です。

アドレス　SCIFA0.SMR A006 5000h、SCIFA1.SMR A006 5400h、SCIFA2.SMR A006 5800h、SCIFA3.SMR A006 5C00h、SCIFA4.SMR A006 6000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CM	CHR	PE	PM	STOP	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：SERICLKクロック（注1） 0 1：SERICLK/4クロック（注1） 1 0：SERICLK/16クロック（注1） 1 1：SERICLK/64クロック（注1）	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	STOP	ストップビットレングスビット	0：1ストップビット 1：2ストップビット	R/W
b4	PM	パリティモードビット	0：偶数パリティ 1：奇数パリティ	R/W
b5	PE	パリティ許可ビット	0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可	R/W
b6	CHR	キャラクタレングスビット	0：8ビットデータ 1：7ビットデータ（注2）	R/W
b7	CM	コミュニケーションモードビット	0：調歩同期式モード 1：クロック同期式モード	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　SERICLK：周辺クロック
注2.　7ビットデータを選択した場合、トランスミットFIFOデータレジスタのMSB（b7）は送信されません。

CKS[1:0] ビット（クロックセレクト選択ビット）

内蔵ボーレートジェネレータの内部クロックソースを選択します。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「33.2.8 ビットレートレジスタ（BRR）」を参照してください。

STOP ビット（ストップビットレングスビット）

調歩同期式モードでのストップビットの長さを 1 ビット／2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合、ストップビットは付加されませんので、このビットの設定は無効です。なお、受信時は STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。

ストップビットの 2 ビット目が “1” の場合はストップビットとして扱いますが、“0” の場合は次の送信キャラクタのスタートビットとして扱います。

注 .　STOP ビットが “1” で送信時は、送信キャラクタの最後尾に 1 ビットの “1”（ストップビット）を付加して送信します。

注 .　STOP ビットが “2” で送信時は、送信キャラクタの最後尾に 2 ビットの “1”（ストップビット）を付加して送信します。

PM ビット（パリティモードビット）

パリティチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。本ビットの設定は、調歩同期式モード、かつ本レジスタの PE ビットに “1” を設定したときのみ有効になります。クロック同期式モード、または調歩同期式モードでパリティの付加、およびチェックを禁止している場合、本ビットの指定は無効です。

注 .　偶数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の “1” の数の合計が偶数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の “1” の数の合計が偶数かどうかをチェックします。

注 .　奇数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の “1” の数の合計が奇数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の “1” の数の合計が奇数かどうかをチェックします。

PE ビット（パリティイネーブル許可ビット）

調歩同期式モードでの送信時のパリティビット付加、受信時のパリティビットチェックの許可／禁止を選択します。クロック同期式モードでは、本ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。

注 .　本ビットに “1” をセットすると、送信時には PM ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが PM ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。

CHR ビット（キャラクタレングスビット）

調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

CM ビット（コミュニケーションモードビット）

SCIFA の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

33.2.6　シリアルコントロールレジスタ（SCR）

SCR レジスタは、SCIFA の送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。SCR レジスタは、常に CPU による読み出し／書き込みが可能です。

アドレス　SCIFA0.SCR A006 5004h、SCIFA1.SCR A006 5404h、SCIFA2.SCR A006 5804h、SCIFA3.SCR A006 5C04h、SCIFA4.SCR A006 6004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	（調歩同期式モードの場合） b1 b0 0 0：内部クロック／SCK端子は、入力端子（入力信号は無視）。SCK端子の状態はSPTRのSCKIOビット、SCKDTビットに依存します。 0 1：内部クロック／SCK端子はクロック出力（ビットレートの16倍または8倍の周波数のクロックを出力） 1 0：外部クロック／SCK端子はクロック入力（ビットレートの16倍または8倍の周波数のクロックを入力） 1 1：設定しないでください （クロック同期式モードの場合） b1 b0 0 0：内部クロック／SCK端子は同期クロック出力 0 1：内部クロック／SCK端子は同期クロック出力 1 0：外部クロック／SCK端子は同期クロック入力 1 1：設定しないでください	R/W
b2	TEIE（注1）	トランスミットエンドインタラプト許可ビット	0：トランスミットエンド割り込み（TEIF）要求を禁止 1：トランスミットエンド割り込み（TEIF）要求を許可	R/W
b3	REIE	レシーブエラーインタラプト許可ビット	0：受信エラー割り込み（ERIF）要求、ブレーク割り込み（BRIF）要求を禁止 1：受信エラー割り込み（ERIF）要求、ブレーク割り込み（BRIF）要求を許可	R/W
b4	RE	レシーブ許可ビット	0：受信動作を禁止 1：受信動作を許可	R/W
b5	TE	トランスミット許可ビット	0：送信動作を禁止 1：送信動作を許可	R/W
b6	RIE	レシーブインタラプト許可ビット	0：受信FIFOデータフル割り込み（RXIF）要求、受信データレディ割り込み（DRIF）要求、受信エラー割り込み（ERIF）要求、およびブレーク割り込み（BRIF）要求を禁止 1：受信FIFOデータフル割り込み（RXIF）要求、受信データレディ割り込み（DRIF）要求、受信エラー割り込み（ERIF）要求、およびブレーク割り込み（BRIF）要求を許可	R/W
b7	TIE	トランスミットインタラプト許可ビット	0：送信FIFOデータエンプティ割り込み（TXIF）要求を禁止 1：送信FIFOデータエンプティ割り込み（TXIF）要求を許可	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　TEIF割り込み要求を解除するには、TENDフラグの“1”を読み出した後、“0”にクリアするか、TEIEビットを“0”にしてください。

CKE[1:0] ビット（クロック許可ビット）

SCIFA のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。本ビットで SCK 端子をシリアルクロック出力端子にするか、シリアルクロック入力端子にするかを選択します。クロック同期式モードで、SCK 端子を同期クロック出力に設定する場合は、SMR レジスタの CM ビットを “1” に設定してから本ビットを設定してください。設定内容を**表 33.15** に示します。

REIE ビット（レシーブエラーインタラプト許可ビット）

受信エラー割り込み（ERIF）要求、ブレーク割り込み（BRIF）要求の許可／禁止を設定します。本ビットの設定は RIE ビットが “0” のときのみ有効です。

注 .　ERIF 割り込み要求の解除は、FSR レジスタの ER ビットの “1” を読み出した後、“0” にクリアするか、本レジスタの RIE、REIE ビットを共に “0” にクリアすることで行います。BRIF 割り込み要求の解除は、FSR レジスタの BRK ビット、LSR レジスタの ORER フラグの “1” を読み出した後、“0” にクリアするか、本レジスタの RIE、REIE ビットを共に “0” にクリアすることで行います。

RE ビット（レシーブ許可ビット）

シリアル受信動作の許可／禁止を設定します。

注 .　本ビットを “0” に設定しても FSR レジスタの DR、ER、BRK、RDF、FER、PER、LSR レジスタの ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

注 .　受信動作を許可した状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出すると、シリアル受信を開始します。なお、本ビットを “1” にセットする前に必ずシリアルモードレジスタ（SMR）、FIFO コントロールレジスタ（FCR）の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。

TE ビット（トランスミット許可ビット）

シリアル送信動作の許可／禁止を設定します。

注 .　送信動作を許可した状態で、FTDR レジスタに送信データを書き込むとシリアル送信を開始します。なお、本ビットを “1” にセットする前に、必ず SMR レジスタおよび FCR レジスタの設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

RIE ビット（レシーブインタラプト許可ビット）

シリアルステータスレジスタ（FSR）の RDF フラグが “1” にセットされたときの受信 FIFO データフル割り込み（RXIF）要求、FSR レジスタの DR フラグが “1” にセットされたときの受信データレディ割り込み（DRIF）要求、FSR レジスタの ER フラグが “1” にセットされたときの受信エラー割り込み（ERIF）要求、および FSR レジスタの BRK フラグまたはラインステータスレジスタ（LSR）の ORER フラグが “1” にセットされたときのブレーク割り込み（BRIF）要求の許可／禁止を設定します。

注 .　RXIF 割り込み要求の解除は、FSR レジスタの DR または RDF フラグの “1” を読み出した後、“0” にクリアするか、本ビットを “0” にクリアすることで行えます。DRIF 割り込み要求の解除は、FSR レジスタの DR フラグの “1” を読み出した後、“0” にクリアするか、本レジスタの RIE ビットを “0” にクリアすることで行います。受信エラー割り込み (ERIF) 要求、およびブレーク割り込み (BRIF) 要求の解除は、本レジスタの RIE ビット、および REIE ビットを共に “0” にクリアすることで行います。

TIE ビット（トランスミットインタラプト許可ビット）

トランスミット FIFO データレジスタ（FTDR）からトランスミットシフトレジスタ（TSR）へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ（FSR）の TDFE フラグが “1” にセットされたときの、送信 FIFO データエンプティ割り込み（TXIF）要求の許可／禁止を設定します。

注 .　TXIF 割り込み要求の解除は、FTDR レジスタに指定した送信トリガ数より多い量の送信データを書き込み、FSR レジスタの TDFE フラグの “1” を読み出した後、TDFE フラグを “0” にクリアするか、または本ビットを “0” にクリアすることで行うことができます。

33.2.7　シリアルステータスレジスタ（FSR）

FSR レジスタは、16 ビットのレジスタです。下位 8 ビットは SCIFA の動作状態を示すステータスフラグです。

FSR レジスタは常に CPU から読み出し／書き込みができます。ただし、本レジスタの ER、TEND、TDFE、BRK、RDF、DR ビット（各ステータスフラグ）に “1” を書き込むことはできません。また、これらのビットを “0” にクリアする場合は、あらかじめ “1” を読み出しておく必要があります。さらに、b3（FER）、および b2（PER）は読み出し専用であり、書き込むことはできません。

アドレス　SCIFA0.FSR A006 5008h、SCIFA1.FSR A006 5408h、SCIFA2.FSR A006 5808h、SCIFA3.FSR A006 5C08h、SCIFA4.FSR A006 6008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	レシーブデータレディフラグ	0：受信中であるか、正常に受信完了後、FRDR レジスタに受信データが残っていないことを表示 1：次の受信データが受信されていないことを表示	R/(W)（注1）
b1	RDF	受信FIFOデータフルフラグ	0：FRDR レジスタの受信データ数が指定受信トリガ数より少ないことを表示 1：FRDR レジスタの受信データ数が指定受信トリガ数以上であることを表示	R/(W)（注1）
b2	PER	パリティエラーフラグ	0：次にFRDR レジスタから読み出す受信データにパリティエラーが発生しなかったことを表示 1：次にFRDR レジスタから読み出す受信データにパリティエラーが発生したことを表示	R
b3	FER	フレーミングエラーフラグ	0：次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生しなかったことを表示 1：次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生したことを表示	R
b4	BRK	ブレーク検出フラグ	0：ブレーク信号なし 1：ブレーク信号を受信（注2）	R/(W)（注1）
b5	TDFE	トランスミットFIFOデータエンプティフラグ	0：FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数より多いことを表示 1：FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数以下であること（注3）を表示	R/(W)（注1）
b6	TEND	トランスミットエンドフラグ	0：送信待機中または送信中であることを表示 1：送信が終了したことを表示	R/(W)（注1）
b7	ER	受信エラーフラグ	0：受信中、または正常に受信が完了したことを表示 1：受信時にフレーミングエラーまたはパリティエラーが発生したことを表示	R/(W)（注1）
b15-b8	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

注1.　フラグをクリアするため、“1” を読み出した後に “0” を書き込むことのみ可能です。
注2.　ブレーク信号が検出されると、検出後のFRDR レジスタへの受信データ（00h）の転送は停止します。ブレークが終了し、受信信号がマーク状態（ハイレベル）になると、受信データの転送を再開します。
注3.　FTDR レジスタは16バイトのFIFO レジスタのため、TDFE = 1の状態で書き込むことができるデータの最大数は「16から未送信データ数を引いた数」になります。それ以上のデータを書き込んでもデータは無視されます。FTDR レジスタのデータ数はFDR レジスタの上位8ビットで示されます。

DR ビット（レシーブデータレディビットフラグ）

調歩同期式モードで、レシーブ FIFO データレジスタ（FRDR）に指定した受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU（注 1）の時間経過後も次のデータが受信されていないことを示します。クロック同期式モードの場合はセットされません。

[“1” になる条件]

- FRDR レジスタのデータ数が指定した受信トリガ数未満（注 2）であり、最後のストップビットから 15ETU 時間経過（注 1）後も次のデータが受信されないとき

[“0” になる条件]

以下のいずれかの条件成立時

- DR = 1 の状態を読み出した後、DR フラグに “0” を書き込んだとき
- FRDR レジスタ内の受信データをすべて読み出したとき

注 1.　8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。（ETU：Element Time Unit：要素時間単位）

注 2.　FRDR レジスタ内の受信データをすべて読み出した場合は “0” になる条件が優先されます。

注 .　SCR の RE ビットを 0 にクリアしたときには、DR ビットは影響を受けず以前の状態を保持します。

RDF ビット（受信 FIFO データフルビットフラグ）

受信データがレシーブ FIFO データレジスタ（FRDR）に転送され、FRDR のデータ数が指定した受信トリガ数以上になったことを示します。

[“1” になる条件]

- 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納されるとき（注 1）

[“0” になる条件]

- RDF = 1 を読み出した後、FRDR レジスタの受信データ数が指定受信トリガ数より少なくなるまで FRDR レジスタを読み出し、本ビットに “0” を書き込んだとき

注 1.　FRDR レジスタは 16 バイトの FIFO レジスタであるため、本ビットが “1” のときに読み出すことができるデータの最大数は、指定受信トリガ数となります。FRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。FRDR レジスタの受信データ数は FDR レジスタの下位 8 ビットで示されます。

PER ビット（パリティエラー表示ビットフラグ）

調歩同期式モードで、レシーブ FIFO データレジスタ（FRDR）から読み出したデータにパリティエラーがあったかどうかを表示します。

[“1” になる条件]

- 次の FRDR レジスタの読み出しデータにパリティエラーあり

[“0” になる条件]

- 次の FRDR レジスタの読み出しデータにパリティエラーなし

FER ビット（フレーミングエラー表示ビットフラグ）

調歩同期式モードで、レシーブ FIFO データレジスタ（FRDR）から読み出したデータにフレーミングエラーがあったかどうかを表示します。

[“1” になる条件]

- 次の FRDR レジスタの読み出しデータにフレーミングエラーあり

[“0” になる条件]

- 次の FRDR レジスタの読み出しデータにフレーミングエラーなし

BRK ビット（ブレーク検出ビットフラグ）

受信データにブレーク信号が検出されたことを示します。

[“1” になる条件]

- フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上、受信データがスペース 0（Low）の場合

[“0” になる条件]

- BRK = 1 の状態を読み出した後、BRK フラグに “0” を書き込んだとき

TDFE ビット（送信トランスミット FIFO データエンプティビットフラグ）

トランスミット FIFO データレジスタ（FTDR）からトランスミットシフトレジスタ（TSR）にデータが転送され、FTDR レジスタのデータ数が指定した送信トリガ数以下になり、FTDR レジスタへの送信データの書き込みが許可されることを示します。

[“1” になる条件]

以下のいずれかの条件成立時

- SCR.TE ビットが “0” のとき
- FTDR レジスタに書き込んだ送信データ数が指定した送信トリガ数以下のとき

[“0” になる条件]

- TDFE = 1 の状態を読み出した後、TDFE ビットに “0” を書き込んだとき

TEND ビット（トランスミットエンドビットフラグ）

送信データの最後のビットを送出時に、FTDR レジスタに有効なデータがなく、送信が終了したことを示します。

[“1” になる条件]

- 1 バイトのシリアル送信データの最後のビットを送出した際、FTDR レジスタに送信データがないとき

[“0” になる条件]

以下のいずれかの条件成立時

- FTDR レジスタへの送信データ書き込み
- TEND = 1 の状態を読み出した後、TEND フラグに “0” を書き込んだとき

ER ビット（受信エラービットフラグ）

フレーミングエラー、またはパリティを付加したデータの受信時にパリティエラーが発生したことを示します。（注 1）

[“1” になる条件]

以下のいずれかの条件成立時

- 1 回のデータ受信の終わりで受信データのストップビットが “1” であるかどうかをチェックし、ストップビットが “0” だったとき（注 2）
- 受信時の受信データとパリティビットを合わせた “1” の数が、シリアルモードレジスタ（SMR）の PM ビットで指定した偶数パリティ／奇数パリティの設定値と一致しなかったとき

[“0” になる条件]

- ER = 1 の状態を読み出した後、“0” を書き込んだとき

注 1.　SCR レジスタの RE ビットを “0” にクリアした場合、本ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは FRDR レジスタに転送され受信動作は継続します。FRDR レジスタから読み出したデータに受信エラーが含まれるかどうかは、FSR レジスタの FER ビットと PER ビットで判定できます。

注 2.　2 ストップモードのときは第 1 ストップビットのみチェックし、第 2 ストップビットはチェックされません。

33.2.8　ビットレートレジスタ（BRR）

BRR レジスタは、シリアルモードレジスタ（SMR）の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

BRR レジスタは MDDR レジスタと同一のアドレスに配置されており、SEMR.MDDRS = 0 の場合に選択され、CPU による読み出し／書き込みが可能です。SCR レジスタの TE = RE = 0 の状態で書いてください。

アドレス　SCIFA0.BRR A006 5002h、SCIFA1.BRR A006 5402h、SCIFA2.BRR A006 5802h、SCIFA3.BRR A006 5C02h、SCIFA4.BRR A006 6002h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

BRR レジスタの設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$N = \frac{SERICLK}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$N = \frac{SERICLK}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$N = \frac{SERICLK}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$N = \frac{SERICLK}{16 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

【クロック同期式モード】

$$N = \frac{SERICLK}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート（bit/s）
N：BRR レジスタの設定値（0 ≦ N ≦ 255）（電気的特性を満足する設定値としてください）
SERICLK：周辺モジュール用動作周波数（MHz）
n：ボーレートジェネレータ入力クロック（n = 0、1、2、3）（n とクロックの関係は、表 33.3 を参照してください）

注．　ビットレートは、MDDR レジスタにより補正することができます。詳細は、「33.2.9　モジュレーションデューティレジスタ（MDDR）」を参照してください。

表33.3　SMRレジスタの設定

n	クロック	SMR.CKS[1:0]ビットの設定値	
		b1	b0
0	SERICLK	0	0
1	SERICLK/4	0	1
2	SERICLK/16	1	0
3	SERICLK/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの16倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの8倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの16倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{(N + 1) \times B \times 16 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの8倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

表 33.4 に調歩同期式モードの BRR レジスタの設定例を、表 33.5 にクロック同期式モードの BRR レジスタの設定例を示します。

表33.4　ビットレートに対するBRRレジスタの設定例（調歩同期式モード）

ビットレート（bps）	SERICLK (MHz)					
	120			150		
	n	N	誤差（%）	n	N	誤差（%）
150						
300	3	194	0.16	3	243	0.06
600	3	97	-0.35	3	121	0.06
1200	2	194	0.16	2	243	0.06
2400	2	97	-0.35	2	121	0.06
4800	1	194	0.16	1	243	0.06
9600	1	97	-0.35	1	121	0.06
14400	1	64	0.16	1	80	0.47
19200	0	194	0.16	0	243	0.06
28800	0	129	0.16	0	162	-0.15
31250	0	119	0	0	149	0
38400	0	97	-0.35	0	121	0.06
115200				0	40	-0.76
500000						

注.　SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“0”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
誤差は、1%以内になるように設定してください。
また、空欄のビットレート設定については、MDDRレジスタを使用することで設定が可能です。詳細は「33.2.9　モジュレーションデューティレジスタ（MDDR）」と表33.10 を参照してください。

表33.5　ビットレートに対するBRRレジスタの設定例（クロック同期式モード）

ビットレート（bps）	SERICLK (MHz)			
	120		150	
	n	N	n	N
250				
500				
1000				
2500	3	187	3	233
5000	3	93	3	116
10000	2	187	2	233
25000	2	74	2	93
50000	1	149	1	187
100000	1	74	1	93
250000	0	119	0	149
500000	0	59	0	74
1000000	0	29	0	37
2500000	0	11	0	14
5000000	0	5	0	7

空欄：設定できません。
注.　誤差は、1%以内になるように設定してください。

表 33.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを、**表 33.7** にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、**表 33.8** に外部クロック入力時の調歩同期式モードの最大ビットレートを、**表 33.9** に外部クロック入力時のクロック同期式モードの最大ビットレートを示します。

表33.6　ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（調歩同期式モード）

SERICLK (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
120	15000000	0	0
150	18750000	0	0

注.　SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“1”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが1/2になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“0”にしたときは、ビットレートが1/4になります。

表33.7　ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（クロック同期式モード）

SERICLK（MHz）	非連続送信／受信時			連続送信／受信時		
	最大ビットレート（bit/s）	設定値		最大ビットレート（bit/s）	設定値	
		n	N		n	N
120	30000000	0	0	15000000	0	1
150	37500000	0	0	18750000	0	1

表33.8　外部クロック入力時の最大ビットレート（調歩同期式モード）

SERICLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
120	30	3750000
150	37.5	4687500

注.　SEMR.ABCS0 ビット = 1 のときの例です。ABCS0 ビット = 0にしたときは、ビットレートが1/2 になります。

表33.9　外部クロック入力時の最大ビットレート（クロック同期式モード）

SERICLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
120	10	10000000
150	12.5	12500000

33.2.9　モジュレーションデューティレジスタ（MDDR）

MDDR レジスタは、BRR レジスタにより調整されたビットレートを補正するためのレジスタです。MDDR レジスタのリセット後の値は “FFh” です。SEMR.BRME ビットが “1” にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に MDDR/256 に補正します。MDDR レジスタの設定値とビットレート B の関係を下記の計算式に示します。MDDR レジスタは BRR レジスタと同一のアドレスに配置されており、SEMR.MDDRS ビット = 1 の場合に選択されます。SCR レジスタの TE = RE = 0 の場合のみライト可能です。ビット 7 は “1” に固定されています。

アドレス　SCIFA0.MDDR A006 5002h、SCIFA1.MDDR A006 5402h、SCIFA2.MDDR A006 5802h、SCIFA3.MDDR A006 5C02h、SCIFA4.MDDR A006 6002h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

ビットレートモジュレーション機能使用時の MDDR レジスタの設定値とビットレート B の関係は以下の計算式になります。

【調歩同期式モード】

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$B = \frac{SERICLK \times 10^6}{64 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$B = \frac{SERICLK \times 10^6}{32 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$B = \frac{SERICLK \times 10^6}{32 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$B = \frac{SERICLK \times 10^6}{16 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

【クロック同期式モード】

$$B = \frac{SERICLK \times 10^6}{8 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

調歩同期式モードでビットレートモジュレーション機能を使用した場合のビットレート平均誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)} - 1 \right\} \times 100$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)} - 1 \right\} \times 100$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)} - 1 \right\} \times 100$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{SERICLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)} - 1 \right\} \times 100$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

B：ビットレート（bit/s）
N：BRR レジスタの設定値（0 ≦ N ≦ 255）（電気的特性を満足する設定値としてください）
SERICLK：周辺モジュール用動作周波数（MHz）
MDDR：MDDR レジスタの設定値（128 ≦ MDDR ≦ 255）
n：ボーレートジェネレータ入力クロック（n = 0、1、2、3）（n とクロックの関係は、表 33.3 を参照してください）

表33.10　ビットレートに対するBRR、MDDRレジスタの設定例（調歩同期式モード）

ビットレート（bps）	SERICLK（MHz）							
	120				150			
	n	N	MDDR	誤差（%）	n	N	MDDR	誤差（%）
150	3	205	135	-0.003	3	247	130	-0.018
300	3	176	232	0.001	3	205	216	-0.003
600	2	205	135	-0.003	3	102	216	-0.003
1200	2	176	232	0.001	2	205	216	-0.003
2400	1	205	135	-0.003	2	102	216	-0.003
4800	1	176	232	0.001	1	205	216	-0.003
9600	0	205	135	-0.003	1	102	216	-0.003
14400	0	176	174	0.001	0	205	162	-0.003
19200	0	176	232	0.001	0	205	216	-0.003
28800	0	117	232	0.001	0	102	162	-0.003
31250	0	59	128	0.000	0	74	128	0.000
38400	0	73	194	0.007	0	102	216	-0.003
115200	0	21	173	-0.009	0	23	151	0.003
500000	0	6	239	0.028	0	6	191	-0.077

注.　SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“0”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
誤差は、1%以内になるように設定してください。

33.2.10　FIFO コントロールレジスタ（FCR）

FCR レジスタは、トランスミット FIFO データレジスタ（FTDR）およびレシーブ FIFO データレジスタ（FRDR）のデータ数のリセット、トリガ数の設定を行うレジスタです。また、本レジスタ設定により、ループバックテストを行うことができます。

FCR レジスタは、常に CPU による読み出し／書き込みが可能です。

アドレス　SCIFA0.FCR A006 500Ch、SCIFA1.FCR A006 540Ch、SCIFA2.FCR A006 580Ch、SCIFA3.FCR A006 5C0Ch、SCIFA4.FCR A006 600Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RSTRG[2:0]			RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOOP	ループバックテストビット	0：ループバックテストを禁止 1：ループバックテストを許可	R/W
b1	RFRST	レシーブFIFOデータレジスタリセットビット	0：通常動作 1：FRDRレジスタをリセット	R/W
b2	TFRST	トランスミットFIFOデータレジスタリセットビット	0：通常動作 1：FTDRレジスタをリセット	R/W
b3	MCE	モデムコントロール許可ビット	0：モデム信号を禁止（注1） 1：モデム信号を許可	R/W
b5-b4	TTRG[1:0]	トランスミットFIFOデータ数トリガ選択ビット	b5 b4 0 0：8（8）（注2） 0 1：4（12）（注2） 1 0：2（14）（注2） 1 1：0（16）（注2）	R/W
b7-b6	RTRG[1:0]	レシーブFIFOデータ数選択トリガビット	（調歩同期式モードの場合） b7 b6 0 0：1 0 1：4 1 0：8 1 1：14 （クロック同期式モードの場合） b7 b6 0 0：1 0 1：2 1 0：8 1 1：14	R/W
b10-b8	RSTRG[2:0]	RTS#出力アクティブトリガ数選択ビット	b10 b8 0 0 0：15 0 0 1：1 0 1 0：4 0 1 1：6 1 0 0：8 1 0 1：10 1 1 0：12 1 1 1：14	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　CTS#の入力レベルは送信動作に影響しません。また、RTS#の入力レベルは受信動作に影響しません。
注2.　（　）内の数値はTDFEフラグが“1”にセットされ、送信FIFOデータエンプティ割り込み（TXIF）要求が発生するときのFTDRレジスタの空きバイト数を意味します。

LOOP ビット（ループバックテストビット）

送信出力端子（TXD）と受信入力端子（RXD）、RTS# 端子と CTS# 端子を内部で接続しループバックテストを行います。

RFRST ビット（レシーブ FIFO データレジスタリセットビット）

レシーブ FIFO データレジスタ（FRDR）内の受信データを無効にし、データを空の状態にします。なお “1” にセットした後は、必ずこのビットを “0” にしてください。

TFRST ビット（トランスミット FIFO データレジスタリセットビット）

トランスミット FIFO データレジスタ（FTDR）内の送信データを無効にし、データが空の状態にします。なお、“1” にセットした後は、必ずこのビットを “0” にしてください。

MCE ビット（モデムコントロール許可ビット）

モデムコントロール信号 CTS#、RTS# の許可／禁止を設定します。

クロック同期モードの場合、本ビットは、常に 0 にしてください。

TTRG[1:0] ビット（トランスミット FIFO データ数トリガ選択ビット）

シリアルステータスレジスタ（FSR）の TDFE フラグをセットする基準となる送信データ数（指定送信トリガ数）を設定します。トランスミット FIFO データレジスタ（FTDR）に格納された送信データ数が本ビットで設定するトリガ数以下になったとき TDFE フラグは “1” にセットされ、送信 FIFO データエンプティ割り込み（TXIF）要求が発生します。

本ビットの設定は、FTCR レジスタの TTRGS ビットが “0” の場合に有効です。FTCR レジスタの TTRGS ビットが “1” の場合は、FTCR レジスタの TFTC[4:0] ビットの設定が有効になります。

RTRG[1:0] ビット（レシーブ FIFO データ数選択トリガビット）

シリアルステータスレジスタ（FSR）の RDF フラグをセットする基準となる受信データ数（指定受信トリガ数）を設定します。レシーブ FIFO データレジスタ（FRDR）に格納された受信データ数が本ビットで設定するトリガ数以上になったとき、RDF フラグは “1” にセットされ、受信 FIFO データフル割り込み（RXIF）要求が発生します。

本ビットの設定は、FTCR レジスタの RTRGS ビットが “0” の場合に有効です。FTCR レジスタの RTRGS ビットが “1” の場合には、FTCR レジスタの RFTC[4:0] ビットの設定が有効になります。

RSTRG[2:0] ビット（RTS# 出力アクティブトリガ数選択ビット）

レシーブ FIFO データレジスタ（FRDR）内に格納された受信データ数が本ビットで設定するトリガ数以上になったとき、RTS# 信号は High になります。

本ビットは調歩同期式モードにおいて、本レジスタの MCE ビットでモデム信号を許可した場合のみ有効です。

33.2.11　FIFO データ数レジスタ（FDR）

FDR レジスタは、トランスミット FIFO データレジスタ（FTDR）とレシーブ FIFO データレジスタ（FRDR）に格納されているデータ数を示します。

上位 8 ビットで FTDR レジスタの送信データ数を、下位 8 ビットで FRDR レジスタの受信データ数を示すレジスタです。FDR レジスタは、常に CPU から読み出しはできますが、書き込みはできません。

アドレス　SCIFA0.FDR A006 500Eh、SCIFA1.FDR A006 540Eh、SCIFA2.FDR A006 580Eh、SCIFA3.FDR A006 5C0Eh、SCIFA4.FDR A006 600Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	T[4:0]					—	—	—	R[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	FRDR格納受信データ数ビット	FRDRレジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと“0”が読めます。	R
b12-b8	T[4:0]	FTDR格納未送信データ数ビット	FTDRレジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと“0”が読めます。	R

R[4:0] ビット

FRDR レジスタに格納された受信データ数を示します。

“00h” は受信データがないことを、“10h” は受信データがすべて FRDR レジスタに格納されていることを示します。

T[4:0] ビット

FTDR レジスタに格納された未送信データ数を示します。

“00h” は送信データがないことを、“10h” は送信データがすべて FTDR レジスタに格納されていることを示します。

33.2.12　シリアルポートレジスタ（SPTR）

SPTR レジスタは、SCIFA の端子にマルチプレクスされたポートの入出力およびデータを制御するレジスタです。

SPTR レジスタは、常に CPU による読み出し／書き込みが可能です。

注．　SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます（詳細は、各ビットの説明を参照してください）。これらのビットに対し 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

アドレス　SCIFA0.SPTR A006 5010h、SCIFA1.SPTR A006 5410h、SCIFA2.SPTR A006 5810h、SCIFA3.SPTR A006 5C10h、SCIFA4.SPTR A006 6010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTS2IO	RTS2DT	CTS2IO	CTS2DT	SCKIO	SCKDT	SPB2IO	SPB2DT
リセット後の値	0	0	0	0	0	0	0	0	0	x	0	x	0	x	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	SPB2DT	シリアルポートブレークデータ選択ビット	SPB2IO ビット、SCR.TE ビットと組み合わせて、TXD 端子を制御します。表 33.13 を参照してください。	R/W
b1	SPB2IO	シリアルポートブレーク入出力ビット	SPB2DT ビット、SCR.TE ビットとあわせて、TXD 端子を制御します。	R/W
b2	SCKDT	SCK ポートデータ選択ビット	SCKIO ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 33.15 を参照してください。	R/W
b3	SCKIO	SCK ポート入出力ビット	SCKDT ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 33.15 を参照してください。	R/W
b4	CTS2DT	CTS#ポートデータ選択ビット	CTS2IO ビット、FCR.MCE ビットと組み合わせて CTS#端子を制御します。表 33.12 を参照してください。	R/W
b5	CTS2IO	CTS#ポート出力指定ビット		R/W
b6	RTS2DT	RTS#ポートデータ選択ビット	RTS2IO ビット、FCR.MCE ビットと組み合わせて RTS#端子を制御します。表 33.11 を参照してください。	R/W
b7	RTS2IO	RTS#ポート出力指定ビット		R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPB2DT ビット（シリアルポートブレークデータ選択ビット）

SCR.TE ビットが “0” のときに、TXD 端子の出力レベルを指定するビットです。本ビットを読み出した場合、SPB2IO ビットの設定値にかかわらず、RXD 端子への入力状態が読めます。ただし、MPC（マルチファンクションピンコントローラ）で RXD 端子機能を選択しておく必要があります。

SPB2IO ビット（シリアルポートブレーク入出力ビット）

SPB2DT ビット、SCR レジスタの TE ビットとあわせて、TXD 端子を制御します。

SCKDT ビット（SCK ポートデータ選択ビット）

本ビットを読み出した場合、SCKIO ビットの設定値にかかわらず、SCK 端子の状態が読めます（SCK 端子が入力の場合、入力信号自体は無効（意味を持たない）ですが、端子状態は読めます）。ただし、MPC（マルチファンクションピンコントローラ）で SCK 端子機能を選択しておく必要があります。

SCKIO ビット（SCK ポート入出力ビット）

SCK 端子の入出力状態を指定します。SCKDT ビット、SMR レジスタの CM ビット、SCR レジスタの CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。

CTS2DT ビット（CTS# ポートデータ選択ビット）

本ビットを読み出した場合、CTS2IO ビットの設定値にかかわらず、CTS# 端子の状態が読めます。ただし、MPC（マルチファンクションピンコントローラ）で CTS# 端子機能を選択しておく必要があります。

RTS2DT ビット（RTS# ポートデータ選択ビット）

本ビットを読み出した場合、RTS2IO ビットの設定値にかかわらず、RTS# 端子の状態が読めます。ただし、MPC（マルチファンクションピンコントローラ）で RTS# 端子機能を選択しておく必要があります。

表33.11　RTS#端子状態

FCR.MCEビットの設定値	RTS2IOビットの設定値	RTS2DTビットの設定値	RTS#端子の状態
0	0	×	設定しないでください（注1）
0	1	0	Low出力
0	1	1	High出力
1	×	×	モデムコントロール出力

×：Don’t care

注1.　RTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表33.12　CTS#端子状態

FCR.MCEビットの設定値	CTS2IOビットの設定値	CTS2DTビットの設定値	CTS#端子の状態
0	0	×	設定しないでください（注1）
0	1	0	Low出力
0	1	1	High出力
1	×	×	モデムコントロール入力

×：Don’t care

注1.　CTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表33.13　TXD端子状態

SCR.TEビットの設定値	SPB2IOビットの設定値	SPB2DTビットの設定値	TXD端子の状態
0	0	×	設定しないでください
0	1	0	Low出力
0	1	1	High出力
1	×	×	送信データ出力

×：Don’t care

33.2.13　ラインステータスレジスタ（LSR）

LSR レジスタは、16 ビットのレジスタです。PER ビットと FER ビットはレシーブ FIFO データレジスタの受信エラー数を示します。ORER ステータスフラグに “1” を書き込むことはできません。ORER ビットを “0” にクリアするには、あらかじめ “1” を読み出しておく必要があります。

アドレス　SCIFA0.LSR A006 5012h、SCIFA1.LSR A006 5412h、SCIFA2.LSR A006 5812h、SCIFA3.LSR A006 5C12h、SCIFA4.LSR A006 6012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PER[3:0]				—	—	FER[3:0]				—	ORER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバランエラーフラグ	0：受信中、または正常に受信が完了したことを表示 1：受信時にオーバランエラーが発生したことを表示	R/(W) （注1）
b1	—	予約ビット	読むと “0” が読めます。	R
b5-b2	FER[3:0]	フレーミングエラー数ビット	レシーブFIFOデータレジスタ（FRDR）に格納されている受信データでフレーミングエラーが発生しているデータ数を示します。	R
b7-b6	—	予約ビット	読むと “0” が読めます。	R
b11-b8	PER[3:0]	パリティエラー数ビット	レシーブFIFOデータレジスタ（FRDR）に格納されている受信データでパリティエラーが発生しているデータ数を示します。	R
b15-b12	—	予約ビット	読むと “0” が読めます。	R

注1.　フラグをクリアするため、“1” を読み出した後に “0” を書き込むことのみ可能です。

ORER ビット（オーバランエラービットフラグ）

受信時にオーバランエラーが発生して異常終了したことを示します。本ビットはシリアルコントロールレジスタ（SCR）の RE ビットを 0 にクリアしても影響を受けず以前の状態を保持します。レシーブ FIFO データレジスタ（FRDR）はオーバランエラーが発生する前の受信データを保持し、後から受信したデータは失われます。さらに、ORER = 1 の状態で、以降のシリアル受信を続けることはできません。

[“1” になる条件]

- 受信 FIFO がフルの状態（16 バイトのデータが受信された状態）で次のシリアル受信を完了したとき

[“0” になる条件]

- ORER = 1 の状態を読み出した後、“0” を書き込んだとき

注．　クロック同期モードで内部クロックを選択した場合は、受信データ数を制御できるため、オーバランエラーは発生しません。

FER[3:0] ビット（フレーミングエラー数ビット）

FSR レジスタの ER ビットがセットされた後、ビット 5 ～ 2 の値がフレーミングエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがフレーミングエラーをともなう場合、FER[3:0] は “0000” を表示します。

PER[3:0] ビット（パリティエラー数ビット）

FSR レジスタの ER ビットがセットされた後、ビット 11 ～ 8 の値がパリティエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがパリティエラーをともなう場合、PER[3:0] は “0000” を表示します。

33.2.14　シリアル拡張モードレジスタ（SEMR）

SEMR レジスタは、LSB ファースト／MSB ファースト、ノイズ除去機能の許可、ボーレートジェネレータ通常／倍速モード、ビットレートモジュレーションの許可、モジュレーションデューティレジスタ選択、サンプリング回数の設定を行うレジスタです。

アドレス　SCIFA0.SEMR A006 5014h、SCIFA1.SEMR A006 5414h、SCIFA2.SEMR A006 5814h、SCIFA3.SEMR A006 5C14h、SCIFA4.SEMR A006 6014h

	b7	b6	b5	b4	b3	b2	b1	b0
	BGDM	—	BRME	MDDRS	DIR	NFEN	—	ABCS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ABCS0	調歩同期式基本クロック選択ビット	0：転送レートの16倍の周波数を基本クロックとして動作 1：転送レートの8倍の周波数を基本クロックとして動作	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	NFEN	ノイズ除去機能許可ビット	0：RxD端子のノイズ除去機能無効 1：RxD端子のノイズ除去機能有効	R/W
b3	DIR	データトランスファディレクション選択ビット	0：FTDRレジスタの内容をLSBファーストで送信 受信データをLSBファーストでFRDRレジスタに格納 1：FTDRレジスタの内容をMSBファーストで送信 受信データをMSBファーストでFRDRレジスタに格納	R/W
b4	MDDRS	モジュレーションデューティレジスタ選択ビット	0：BRRレジスタのアクセスが可能 1：MDDRレジスタのアクセスが可能	R/W
b5	BRME	ビットレートモジュレーション許可ビット	0：ビットレートモジュレーション機能を禁止 1：ビットレートモジュレーション機能を許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b7	BGDM	ボーレートジェネレータ倍速モード選択ビット	0：ボーレートジェネレータ通常モード ボーレートジェネレータは、クロックソースの2分周で動作 1：ボーレートジェネレータ倍速モード ボーレートジェネレータは、クロックソース（分周なし）で動作	R/W

ABCS0 ビット（調歩同期式基本クロック選択ビット）

調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。

本ビットの設定は、調歩同期式モード（SMR レジスタの CM ビット＝0）のときのみ有効です。

NFEN ビット（ノイズ除去機能許可ビット）

RxD 端子への入力に対してノイズ除去を行います。なお、調歩同期式モードのみ有効です。詳細は「33.7 ノイズ除去機能」を参照してください。

クロック同期モードの場合、本ビットは、必ず “0” にしてください。

DIR ビット（データトランスファディレクション選択ビット）

シリアル通信フォーマットを選択します。送信／受信フォーマットが 8 ビットの場合（注 1）のみ有効です。

注 1.　8 ビットデータ長の調歩同期式モードまたはクロック同期式モード

MDDRS ビット（モジュレーションデューティレジスタ選択ビット）

アクセスを可能にするレジスタを選択します。

BRME ビット（ビットレートモジュレーション許可ビット）

ビットレートモジュレーション機能の禁止／許可を設定します。

BGDM ビット（ボーレートジェネレータ倍速モード選択ビット）

ボーレートジェネレータの動作モードを選択します。本ビットを “1” にすると、SCIFA 内部のボーレートジェネレータが倍速モードで動作します。本ビットの設定は、調歩同期式モード（SMR.CM = 0）かつクロックソースを内部クロック（SCR.CKE[1:0] = 00）に設定したときのみ有効です。この設定以外のときは通常モードを使用してください。

33.2.15　FIFO トリガコントロールレジスタ（FTCR）

FTCR レジスタは、FIFO トリガを設定する 16 ビットのレジスタです。FTCR レジスタは常に CPU から読み出し／書き込みが可能です。

アドレス　SCIFA0.FTCR A006 5016h、SCIFA1.FTCR A006 5416h、SCIFA2.FTCR A006 5816h、SCIFA3.FTCR A006 5C16h、SCIFA4.FTCR A006 6016h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTRGS	—	—	RFTC[4:0]					TTRGS	—	—	TFTC[4:0]				
リセット後の値	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	TFTC[4:0]	送信FIFOデータ数トリガ設定ビット	00h設定時、送信データトリガ数は“0”になり、0Fh設定時は15になります。本ビットを10h～1Fhに設定しないでください。	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	TTRGS	送信トリガ選択ビット	0：FCR.TTRG[1:0]ビットが有効 1：FTCR.TFTC[4:0]ビットが有効	R/W
b12-b8	RFTC[4:0]	受信FIFOデータ数トリガ設定ビット	01h設定時、受信データトリガ数は“1”になり、10h設定時は16になります。本ビットを00hおよび11h～1Fhに設定しないでください。	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	RTRGS	受信トリガ選択ビット	0：FCR.RTRG[1:0]ビットが有効 1：FTCR.RFTC[4:0]ビットが有効	R/W

TFTC[4:0] ビット（送信 FIFO データ数トリガ設定ビット）

シリアルステータスレジスタ（FSR）の TDFE フラグをセットする基準となる送信データ数（指定送信トリガ数）を設定します。

トランスミット FIFO データレジスタ（FTDR）に格納された送信データ数が設定トリガ数以下になったとき TDFE フラグをセットし、送信 FIFO データエンプティ割り込み（TXIF）要求が発生します。

RFTC[4:0] ビット（受信 FIFO データ数トリガ設定ビット）

シリアルステータスレジスタ（FSR）の RDF フラグをセットする基準となる受信データ数（指定受信トリガ数）を設定します。

レシーブ FIFO データレジスタ（FRDR）に格納された受信データ数が、設定トリガ数以上になったとき RDF フラグをセットし、受信 FIFO データフル割り込み（RXIF）要求が発生します。

33.3　動作説明

33.3.1　概要

SCIFA は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信／受信のそれぞれに 16 段の FIFO バッファを内蔵しているため、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として RTS#、CTS# 信号を用意しています。

送受信フォーマットの選択は、シリアルモードレジスタ（SMR）で行います。これを**表 33.14** に示します。また、SCIFA のクロックソースは、シリアルコントロールレジスタ（SCR）の CKE[1:0] ビットで設定できます。これを**表 33.15** に示します。

(1)　調歩同期式モード

- データ長：7 ビット／8 ビットから選択可能
- パリティの付加、および 1 ビット／2 ビットのストップビットの付加を選択可能
  （これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、受信 FIFO データフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- FIFO データ数レジスタ（FDR）に送信／受信時の FIFO 格納データ数を表示
- SCIFA のクロックソース：内部クロック／外部クロックから選択可能
  内部クロックを選択した場合：SCIFA はボーレートジェネレータのクロックで動作し、ビットレートの 16 倍（または 8 倍）のクロックを出力することが可能
  外部クロックを選択した場合：ビットレートの 16 倍（または 8 倍）のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2)　クロック同期式モード

- 送信／受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出が可能
- SCIFA のクロックソース：内部クロック／外部クロックから選択可能
  内部クロックを選択した場合：SCIFA はボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
  外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表33.14　SMR レジスタの設定値とSCIFA送信／受信フォーマット

SMR レジスタ				モード	SCIFA送信／受信フォーマット		
b7	b6	b5	b3		データ長	パリティビット	ストップビット長
CM	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	×	×	×	クロック同期式モード	8 ビット	なし	なし

×：Don't care

表33.15　SMR、SCR、SPTR レジスタの設定値とSCIFAのクロックソースの選択

SMR レジスタ	SCR レジスタ		SPTR レジスタ		モード	クロックソース	SCK端子の機能
b7	b1	b0	b3	b2			
CM	CKE[1:0]		SCKIO	SCKDT			
0	0	0	0	×	調歩同期式モード	内部	入力端子（入力信号は無効）（初期状態）
			1	0			SCK端子の状態Low
			1	1			SCK端子の状態High
		1	×	×			ビットレートの16/8倍のクロックを出力（注1）
	1	0	×	×		外部	ビットレートの16/8倍のクロックを入力（注2）
		1	×	×		設定禁止	
1	0	×	×	×	クロック同期式モード	内部	同期クロックを出力
	1	0	×	×		外部	同期クロックを入力
		1	×	×		設定禁止	

×：Don't care

注1.　SEMR.ABCS0 = 0：ビットレートの16倍の周波数クロックを出力
　　SEMR.ABCS0 = 1：ビットレートの8倍の周波数クロックを出力

注2.　SEMR.ABCS0 = 0：ビットレートの16倍の周波数クロックを入力
　　SEMR.ABCS0 = 1：ビットレートの8倍の周波数クロックを入力

33.3.2　調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットをデータに付加したキャラクタを送信／受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIFA 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっているため、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 33.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（High）に保たれています。SCIFA は通信回線を監視し、スペース（Low）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（Low）から始まり、データ（LSB ファースト時：最下位ビットから）、パリティビット（High ／ Low）、最後にストップビット（High）の順で構成されます。

調歩同期式モードでは、SCIFA は受信時にスタートビットの立ち下がりエッジで同期化を行います。SCIFA は、データを 1 ビット期間の 16/8 倍のクロックの 8 番目（注 1）でサンプリングするため、各ビットの中央で通信データが取り込まれます。

注 1.　SEMR.ABCS0 ビット = “0” のとき、1 ビット期間の 16 倍の周波数クロックの 8 番目でサンプリングします。SEMR.ABCS0 ビット = “1” のときは、1 ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします。

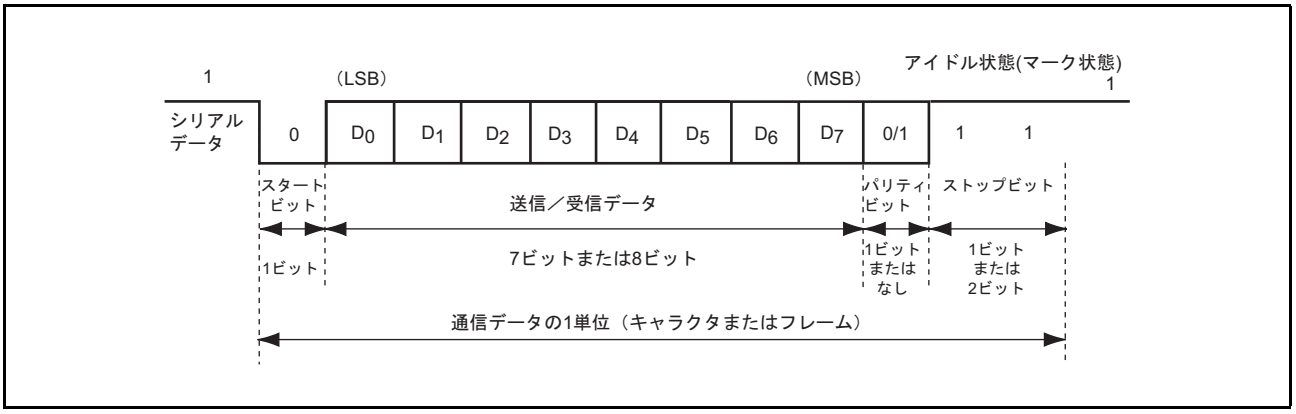


図 33.2　調歩同期式通信のデータフォーマット
（8 ビットデータ／パリティあり／2 ストップビット／LSB ファーストの例）

(1)　送信／受信フォーマット

設定可能な送信／受信フォーマットを、**表 33.16** に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ（SMR）の設定により選択できます。

表33.16　　シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定			シリアル送信／受信フォーマットとフレーム長
CHR	PE	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	START 8ビットデータ STOP
		1	START 8ビットデータ STOP STOP
	1	0	START 8ビットデータ P STOP
		1	START 8ビットデータ P STOP STOP
1	0	0	START 7ビットデータ STOP
		1	START 7ビットデータ STOP STOP
	1	0	START 7ビットデータ P STOP
		1	START 7ビットデータ P STOP STOP

START　　：スタートビット
STOP　　：ストップビット
P　　：パリティビット

(2)　クロック

SCIFA の送受信クロックは、シリアルモードレジスタ（SMR）の CM ビット、シリアルコントロールレジスタ（SCR）の CKE[1:0] ビット、およびシリアル拡張モードレジスタ（SEMR）の ACS0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIFA のクロックソースの選択については**表 33.15** を参照してください。

外部クロックを SCK 端子に入力する場合は、使用するビットレートの 16/8 倍の周波数を入力してください。

内部クロックで動作させる場合、SCK 端子からクロックを出力することができます。このとき出力されるクロックはビットレートの 16/8 倍の周波数です。

(3)　データの送信／受信動作

- SCIFA 初期化（調歩同期式モード）

データの送信／受信前には、まずシリアルコントロールレジスタ（SCR）の TE ビットおよび RE ビットを “0” にクリアした後、以下の順で SCIFA を初期化してください。

動作モードや通信フォーマットを変更する場合には、必ず SCR レジスタの TE ビットおよび RE ビットを “0” にクリアしてから次の手順で変更を行ってください。TE ビットを “0” にクリアすると、トランスミットシフトレジスタ（TSR）は初期化されます。しかし、TE ビットと RE ビットを “0” にクリアしても、シリアルステータスレジスタ（FSR）、トランスミット FIFO データレジスタ（FTDR）、レシーブ FIFO データレジスタ（FRDR）は初期化されず、これらのレジスタの内容は保持されますのでご注意ください。TE ビットの “0” クリアは、送信データをすべて送信し、FSR レジスタの TEND フラグがセットされた後に行ってください。TE ビットは送信中でも “0” クリア可能ですが、TE ビットを “0” クリアした後の送信データ（TXD 端子の出力レベル）は、SPTR.SPB2IO、SPB2DT ビットの設定値によって決まります。また再度 TE ビットを “1” にセットして送信を開始する前に FCR レジスタの TFRST ビットを “1” にセットして FTDR レジスタをリセットしてください。

外部クロックを使用している場合、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。**図 33.3** に SCIFA 初期化（調歩同期式モード）のフローチャートの例を示します。

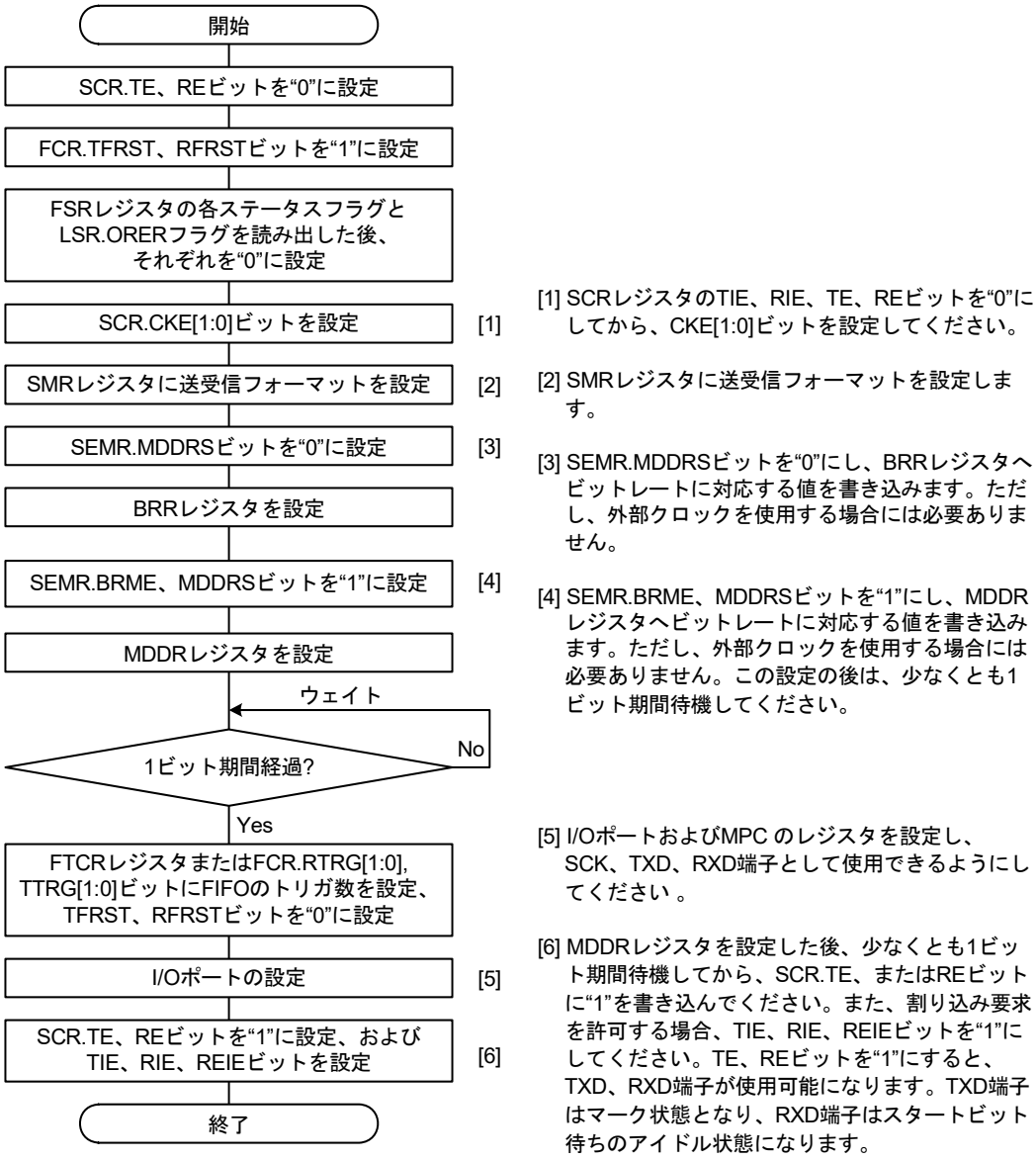
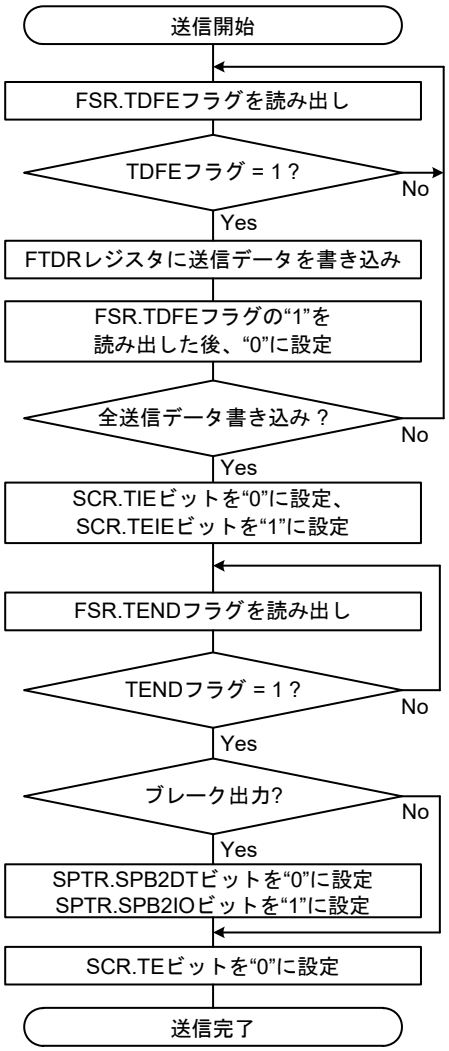


図 33.3　SCIFA 初期化（調歩同期式モード）のフローチャートの例

- シリアルデータ送信（調歩同期式モード）

図 33.4 にシリアル送信のフローチャートの例を示します。
SCIFA の送信を可能にした後、シリアルデータ送信は以下の手順で行ってください。



[1]
[2]
[3]
[4]
[5]

[1] SCIFAの状態を確認して、送信データを書き込み：
FSRレジスタを読み出して、TDFEフラグが“1”であることを確認した後、FTDRレジスタに送信データを書き込みます。書き込み可能な送信データ数は「16 - FDR.T[4:0]」になります。
TDFEフラグが“0”から“1”に変化したことはTXIF割り込み要求により知ることができます。

[2] シリアル送信の継続手順(CPUでFTDRレジスタに書き込む場合)：
シリアル送信を続けるときには、FSRのTDFEフラグが“1”であることを確認した後、“0”を書き込んでください。

[3] シリアル送信の終了手順（TXIF、TEIF割り込み使用時）：
最終送信データをFTDRレジスタに書き込んだ後、SCRレジスタのTIEビットを“0”に、TEIEビットを“1”にします。DMACを起動してFTDRレジスタに送信データを書き込む場合は、転送終了割り込みを許可に設定しておき、最終送信データをFTDRレジスタに書き込んだ時にCPU割り込み要求を発生させ、CPU割り込み処理にてTIE、TEIEビットの書き換えを行ってください。
TXIF、TEIF割り込み要求を使用しない場合は本手順は不要です。

[4] シリアル送信の終了確認：
FSRレジスタを読み出して、TENDフラグが“1”になったことを確認します。
TENDフラグが“1”になったことはTEIF割り込み要求により知ることができます。

[5] シリアル送信時にブレーク出力：
シリアル送信時にブレークを出力するときには、SPTRレジスタのSPB2DTビットを“0”に、SPB2IOビットを“1”にした後に、SCR.TEビットを“0”にします。(注1)

なお、ステップ[1]において、FDR.T[4:0]フラグ（FTDRレジスタに格納された未送信データ数）により、書き込み可能なデータバイト数を確認することができます。

注 1.　SPTR レジスタの SPB2DT ビットを読み出すと、RXD 端子への入力状態が読めます。SPTR レジスタの SPB2DT ビット、SPB2IO ビットを 1 ビット単位で書き込む場合、リード・モディファイ・ライトされ、SPB2DT ビットに意図した値が書き込まれない場合があります。このため、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

図 33.4　シリアル送信のフローチャートの例

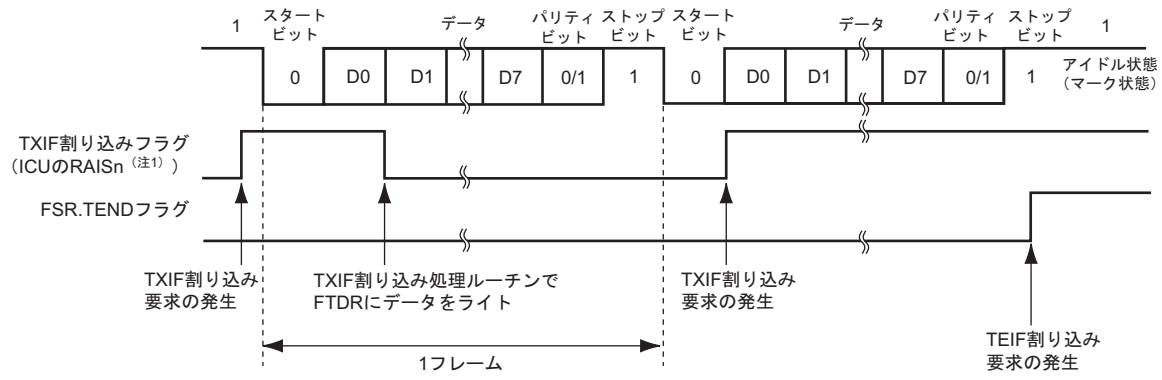
SCIFA は、シリアル送信時、以下のように動作します。

1. SCIFA は、TXIF 割り込み処理ルーチンでトランスミット FIFO データレジスタ（FTDR）にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ（TSR）にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ（FSR）の TDFE フラグが 1 にセットされていることを確認してください。書き込み可能な送信データバイト数は（16 －未送信データ数）です。
2. FTDR レジスタから TSR レジスタにデータを転送し、送信を開始すると、FTDR レジスタの送信データがなくなるまで連続して送信動作を実行します。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ（FCR）または FIFO トリガコントロールレジスタ（FTCR）で設定した送信トリガ数以下になると、TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ（SCR）の TIE ビットが “1” にセットされていると送信 FIFO データエンプティ割り込み（TXIF）要求が発生します。

   シリアル送信データは、以下の順に TXD 端子から出力されます。

   (a)　スタートビット：1 ビット“0”が出力されます。
   (b)　送信データ　　：8 ビットまたは 7 ビットのデータが LSB から順に出力されます（LSB ファースト時）。
   (c)　パリティビット：1 ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます（なお、パリティビットを出力しないフォーマットも選択できます）。
   (d)　ストップビット：1 ビットまたは 2 ビットの“1”（ストップビット）が出力されます。
   (e)　マーク状態　　：次の送信を開始するスタートビットを出力するまで“1”を出力し続けます。
3. SCIFA は、ストップビットを送出するタイミングで FTDR レジスタの送信データをチェックします。データがあると、FTDR レジスタから TSR レジスタにデータを転送し、ストップビットを出力した後、次のフレームのシリアル送信を開始します。送信するデータがない場合は FSR レジスタの TEND フラグに “1” をセットし、ストップビットを出力した後、“1” を連続して出力するマーク状態（High）になります。

調歩同期式モードでの送信時の動作例を**図 33.5** に示します。



注 1.　対応する割り込み番号は、「12.　割り込みコントローラ（ICUA）」を参照してください。

図 33.5　送信時の動作例（8 ビットデータ／パリティあり／1 ストップビット／LSB ファーストの例）

4. モデムコントロールを許可した場合、CTS# 端子への入力レベルによって送信を停止／再開することができます。CTS# 端子に High が入力されると、送信中のときは 1 フレームの送信終了後マーク状態（High）になります。CTS# 端子に Low が入力されると、次の送信データがスタートビットを先頭に出力されます。モデムコントロールを使用した動作例を図 33.6 に示します。

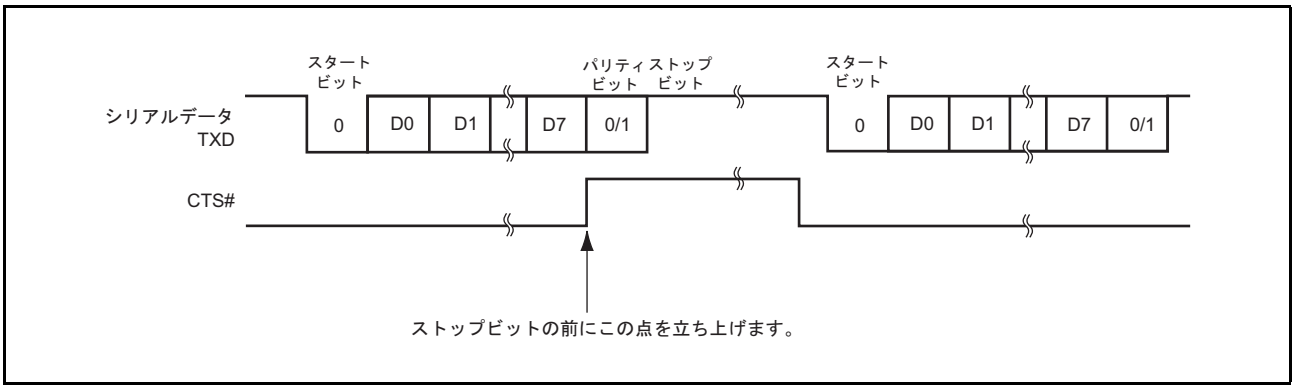
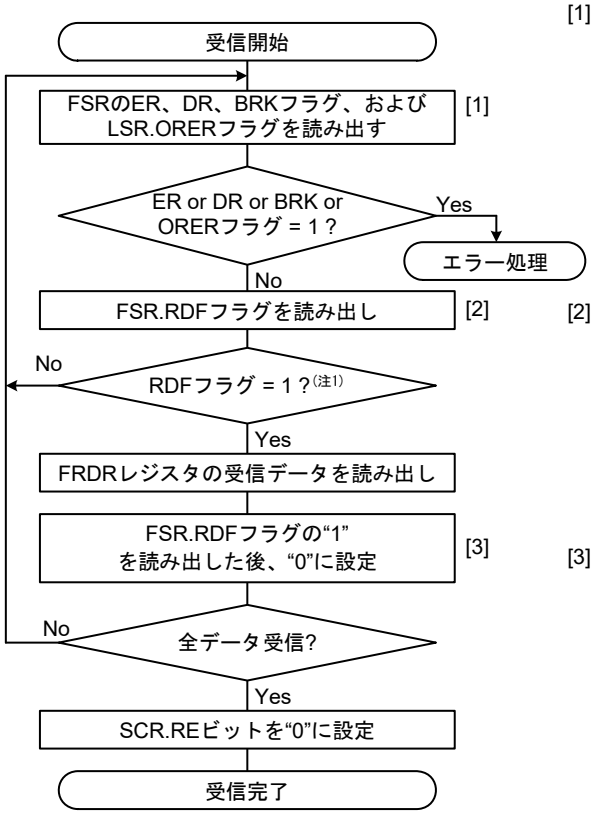


図 33.6　モデムコントロールを使用した動作例（CTS#）

- シリアルデータ受信（調歩同期式モード）

図 33.7、図 33.8 にシリアル受信のフローチャートの例を示します。
SCIFA を受信許可に設定した後、次の手順でシリアルデータ受信を行ってください。



[1] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、FSRレジスタの
ER、DR、BRKフラグ、およびLSR.ORERフラグを読み出して
エラーを判定し、所定のエラー処理を行った後、
ER、DR、BRK、ORERの各フラグをすべて“0”にしてください。
また、フレーミングエラー時にRXD端子の値を読み出すことで
ブレークの検出ができます。
エラーが発生したことは、BRIF、ERIF、DRIF割り込み要求により知ることができます。

[2] SCIFAの状態を確認して受信データを読み出し：
FSRレジスタを読み出して、RDFフラグが“1”であることを確認した後、FRDRレジスタに格納した受信データのうち、少なくとも受信データトリガ数分のデータを読み出します。読み出し可能な受信データバイト数は、FDR.R[4:0]フラグにより確認できます。
RDFフラグが“0”から“1”に変化したことは、RXIF割り込み要求により知ることができます。

[3] シリアル受信の継続手順（CPUでFRDRレジスタから読み出す場合）：
シリアル受信を続けるときには、FSR.RDFフラグが“1”であることを確認した後、“0”を書き込んでください。

注 1.　全受信データ数は受信データトリガ数の整数倍にしてください。整数倍でない場合、ステップ [1] に戻り無限ループになりますので、別途タイマ等を用いてタイムアウト処理を行ってください。

図 33.7　シリアル受信のフローチャートの例（1）

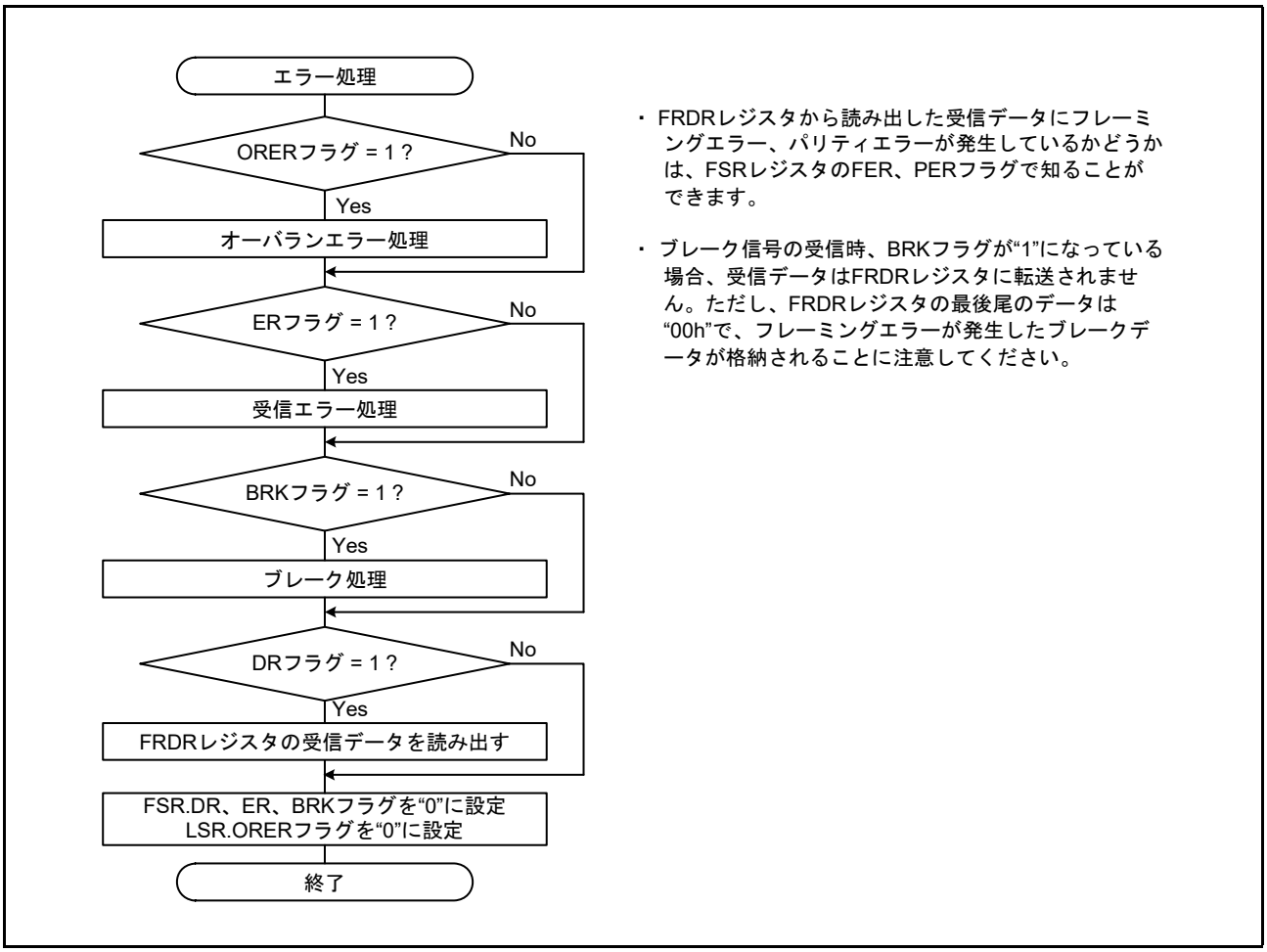


図 33.8　　シリアル受信のフローチャートの例（2）

SCIFA は受信時、以下のように動作します。

1. SCIFA は通信回線を監視し、スタートビットの “0” を検出すると内部を同期化し、受信を開始します。
2. 受信したデータを RSR レジスタに LSB から MSB の順に格納します（LSB ファースト時）。
3. パリティビットおよびストップビットを受信します。
   受信後、SCIFA は以下のチェックを行います。
   (a) ストップビットチェック　：ストップビットが“1”かどうかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
   (b) 受信データをレシーブシフトレジスタ（RSR）からレシーブFIFOデータレジスタ（FRDR）に転送できる状態かどうかをチェックします。
   (c) パリティビットチェック：パリティビットが期待値かどうかをチェックします。
   (d) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが“0”かどうかをチェックします。
   (e) ブレークチェック　　：ブレーク状態がセットされていないことを示すBRKフラグが“0”かどうかをチェックします。

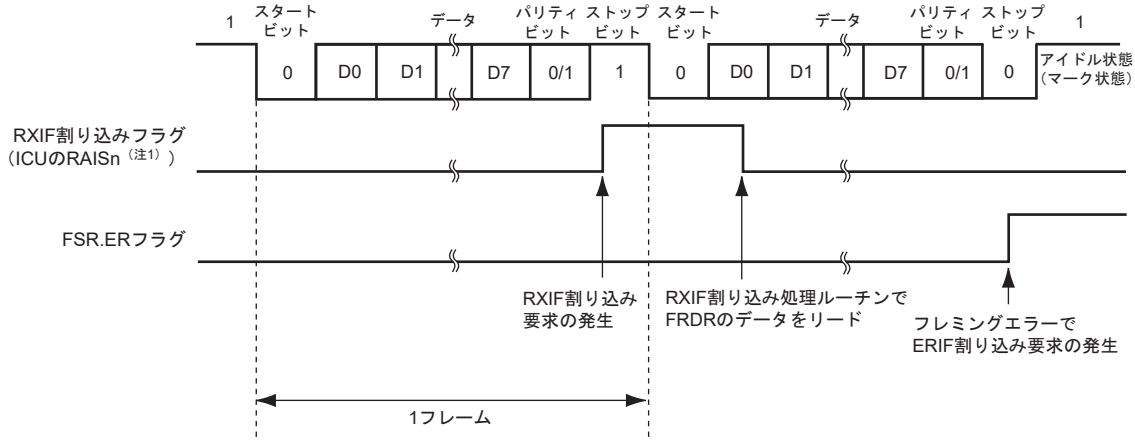
以上のチェックがすべてパスしたとき、FRDR レジスタに受信データが格納されます。

注．　パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. 指定受信トリガ数以上の受信データ数がレシーブ FIFO データレジスタ（FRDR）に格納され、RDF フラグが “1” になったとき、SCR レジスタの RIE ビットが “1” にセットされていると、受信 FIFO データフル割り込み（RXIF）要求が発生します。また、FRDR レジスタのデータが指定受信トリガ数未満の場合、SCR レジスタの RIE ビットが “1” にセットされていると、最後のストップビットから 15ETU 時間経過（注 1）後も次のデータが受信されないとき（FSR レジスタの DR フラグが “1”）、受信データレディ割り込み（DRIF）要求を発生します。また、FSR レジスタの ER フラグが “1” になったとき、SCR レジスタの RIE ビットまたは REIE ビットが “1” にセットされていると、受信エラー割り込み（ERIF）要求を発生します。さらに、FSR レジスタの BRK フラグまたは ORER フラグが “1” になったとき、SCR レジスタの RIE ビットまたは REIE ビットが “1” にセットされていると、ブレーク受信割り込み（BRIF）要求を発生します。

注 1.　8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。（ETU：Element Time Unit：要素時間単位）

調歩同期式モード受信時の動作例を図 33.9 に示します。



注 1.　対応する割り込み番号は、「12.　割り込みコントローラ（ICUA）」を参照してください。

図 33.9　SCIFA の受信時の動作例
（8 ビットデータ／パリティあり／1 ストップビット／LSB ファーストの例）

5. モデムコントロールが有効の場合、FRDR レジスタに空きがあることを示す RTS# 信号を出力します。RTS# 端子が Low のときは受信可能です。RTS# 端子が High のときは FRDR レジスタのデータが RTS# 出力アクティブトリガ設定数以上となり、FRDR レジスタに余裕ができるまで次データの送信を待って欲しい状態であることを示します。モデムコントロール使用時の動作例を例を図 33.10 に示します。

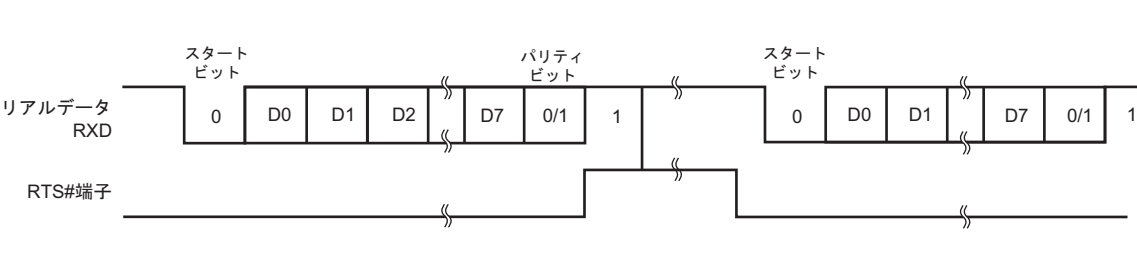


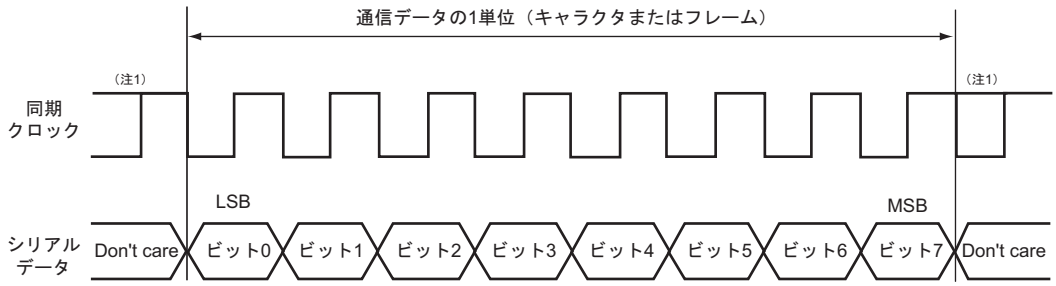
図 33.10　モデムコントロールを使用した動作例（RTS#）

33.3.3　クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCIFA 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部は、それぞれ 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 33.11 に示します。



注 1.　連続送信／受信のとき以外はハイレベル

図 33.11　クロック同期式通信のデータフォーマット（LSB ファースト時）

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力され、MSB 出力後の通信回線の状態は MSB の状態を保ちます（LSB ファースト時）。

クロック同期式モードでは、SCIFA は同期クロックの立ち上がりに同期してデータを受信します。

(1)　送信／受信フォーマット

8 ビットデータ固定です。

パリティビットは付加できません。

(2)　クロック

SCIFA の送受信クロックは、シリアルモードレジスタ（SMR）の CM ビット、シリアルコントロールレジスタ（SCR）の CKE[1:0] ビット、およびシリアル拡張モードレジスタ（SEMR）の ACS0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。

内部クロックで動作させる場合、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときには High に固定されます。受信動作のみの場合、内部クロックを選択すると SCR レジスタの RE ビットが “1” の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3)　データの送信／受信動作

- SCIFA の初期化（クロック同期式モード）

データの送信／受信前にシリアルコントロールレジスタ（SCR）の TE、RE ビットを “0” にクリアした後、以下の手順で SCIFA を初期化してください。

また、モードや通信フォーマットを変更する場合も、必ず TE、RE ビットを “0” にクリアした後、以下の手順で変更してください。TE ビットを “0” にクリアするとトランスミットシフトレジスタ（TSR）が初期化されます。RE ビットを “0” にクリアしても、RDF、PER、FER、ORER の各フラグ、およびレシーブ FIFO データレジスタ（FRDR）の内容は保持されますので注意してください。

図 33.12 に SCIFA 初期化フローチャートの例を示します。

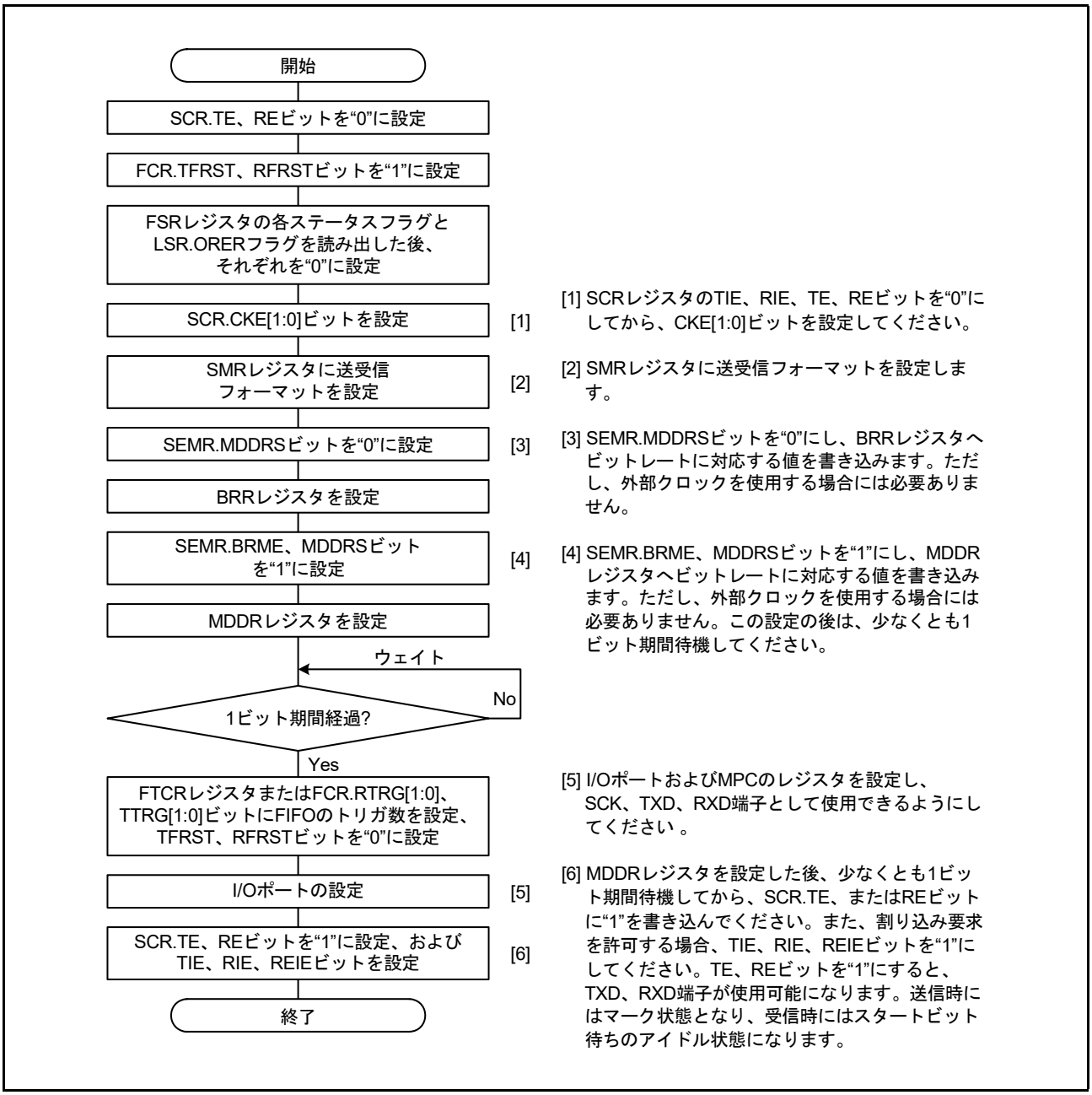
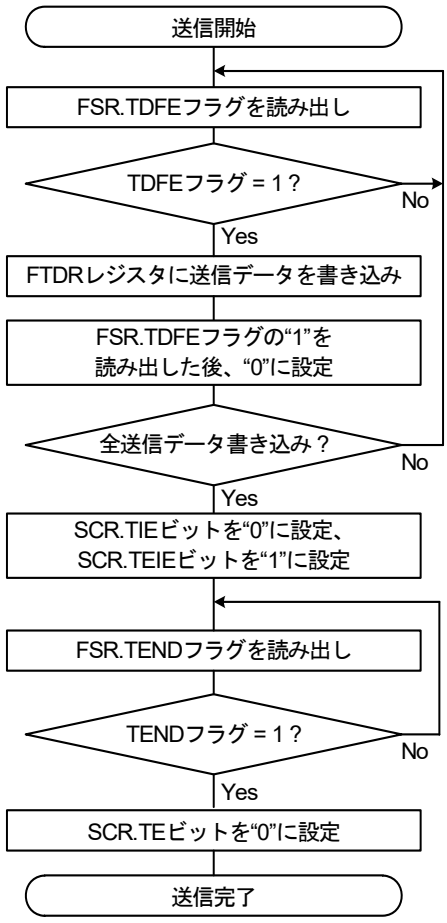


図 33.12　SCIFA 初期化フローチャートの例

- シリアルデータ送信（クロック同期式モード）

図 33.13 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFA を送信動作可能状態に設定した後、以下の手順で行ってください。



[1] SCIFAの状態を確認して、送信データを書き込み：
FSRレジスタを読み出して、TDFEフラグが“1”であることを確認した後、FTDRレジスタに送信データを書き込みます。
書き込み可能な送信データ数は「16 - FDR.T[4:0]」になります。
TDFEフラグが“0”から“1”に変化したことはTXIF割り込み要求により知ることができます。

[2] シリアル送信の継続手順(CPUでFTDRレジスタに書き込む場合)：
シリアル送信を続けるときには、FSR.TDFEフラグが“1”であることを確認した後、“0”を書き込んでください。

[3] シリアル送信の終了手順（TXIF、TEIF割り込み使用時）：
最終送信データをFTDRレジスタに書き込んだ後、SCR.TIEビットを“0”に、TEIEビットを“1”にします。
DMACを起動してFTDRレジスタに送信データを書き込む場合は、転送終了割り込みを許可に設定しておき、最終送信データをFTDRレジスタに書き込んだ時にCPU割り込み要求を発生させ、CPU割り込み処理にてTIE、TEIEビットの書き換えを行ってください。
TXIF、TEIF割り込み要求を使用しない場合は本手順は不要です。

[4] シリアル送信の終了確認：
FSRレジスタを読み出して、TENDフラグが“1”になったことを確認します。
TENDフラグが“1”になったことはTEIF割り込み要求により知ることができます。

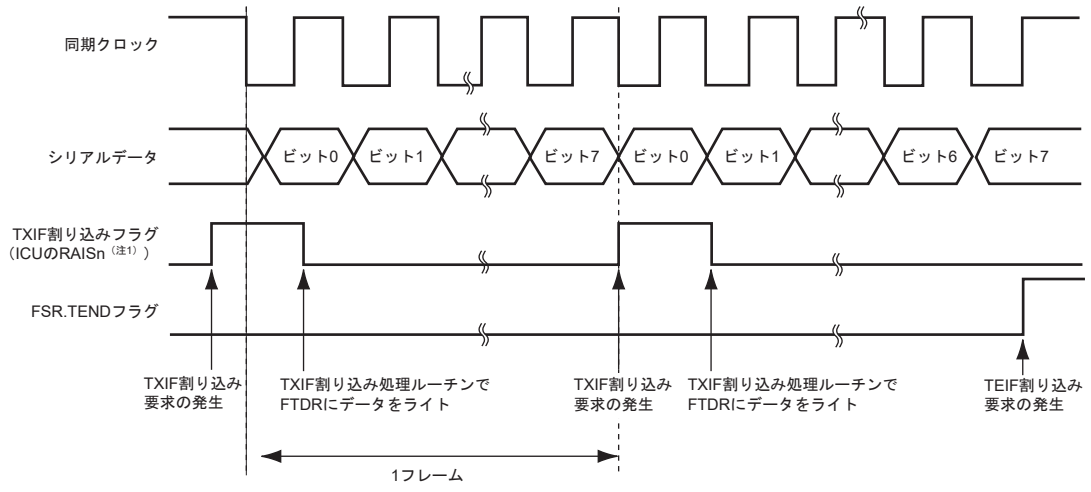
なお、ステップ[1]において、FDR.T[4:0]フラグ（FTDRレジスタに格納された未送信データ数）により、書き込み可能なデータバイト数を確認することができます。

図 33.13　シリアル送信のフローチャートの例

SCIFA はシリアル送信時、以下のように動作します。

1. TXIF 割り込み処理ルーチンでトランスミット FIFO データレジスタ（FTDR）にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ（TSR）にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ（FSR）の TDFE フラグが “1” にセットされていることを確認してください。書き込み可能な送信データバイト数は（16 －未送信データ数）です。
2. FTDR レジスタから TSR レジスタへデータが転送され、送信を開始すると、FTDR レジスタに送信データがなくなるまで連続して送信動作を続けます。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ（FCR）、または FIFO トリガコントロールレジスタ（FTCR）で設定した送信トリガ数以下になると、FSR レジスタの TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ（SCR）の TIE ビットに “1” がセットされていると、送信 FIFO データエンプティ割り込み（TXIF）要求が発生します。
   クロック出力モードに設定した場合、SCIFA は同期クロックを 8 パルス出力します。外部クロックに設定した場合、入力クロックに同期してデータを出力します。シリアル送信データは、LSB（b0）～ MSB（b7）の順に TXD 端子から出力されます（LSB ファースト時）。
3. SCIFA は、最終ビットを送出するタイミングで FTDR レジスタの送信データをチェックします。送信データがある場合、FTDR レジスタから TSR レジスタにデータを転送し、次のフレームのシリアル送信を開始します。データがない場合は、FSR レジスタの TEND フラグを “1” にセットし、最終ビットを出力した後、TXD 端子は最終データの出力レベルを保持します。
4. シリアル送信終了後、SCK 端子は High 固定になります。

図 33.14 に SCIFA の送信時の動作例を示します。



注 1.　対応する割り込み番号は、「12.　割り込みコントローラ（ICUA）」を参照してください。

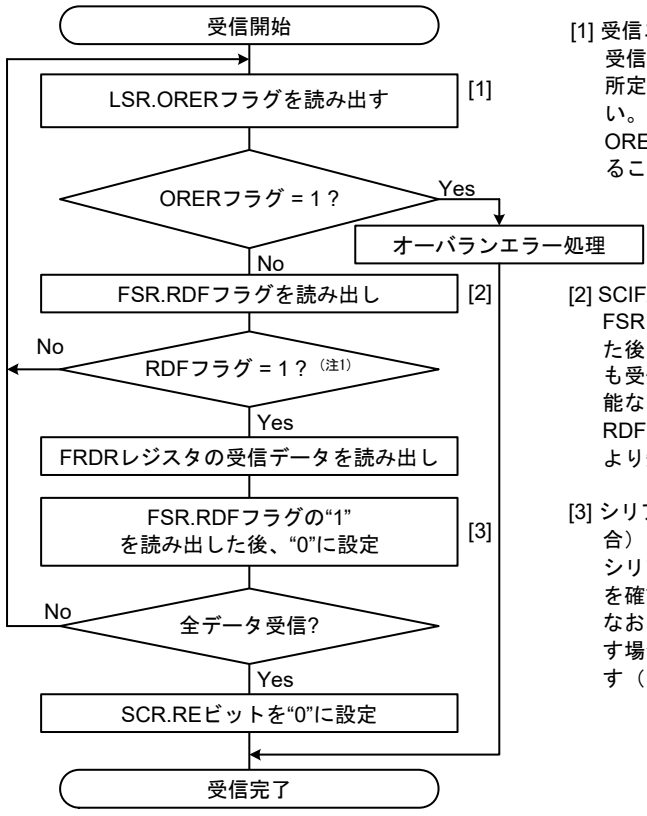
図 33.14　SCIFA の送信時の動作例（LSB ファースト時）

- シリアルデータ受信（クロック同期式モード）

図 33.15 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFA を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIFA の初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り替える際は、必ず、ラインステータスレジスタ（LSR）の ORER、PER、FER の各フラグが “0” にクリアされていることを確認してください。



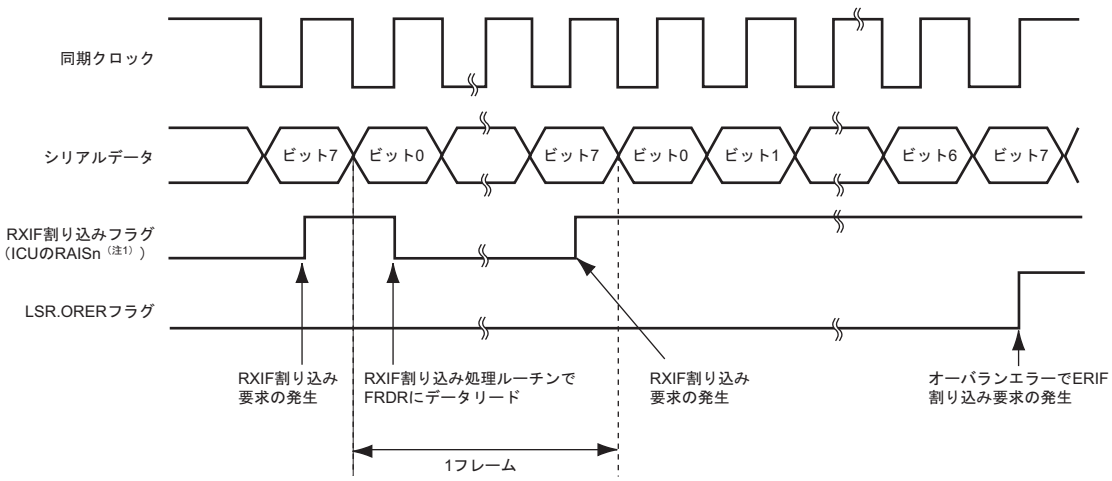
注 1.　全受信データ数は受信データトリガ数の整数倍にしてください。整数倍でない場合、ステップ [1] に戻り無限ループになりますので、別途タイマ等を用いてタイムアウト処理を行ってください。

図 33.15　シリアル受信のフローチャートの例

SCIFA はシリアル受信時、以下のように動作します。

1. 同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシーブシフトレジスタ（RSR）に LSB から MSB の順に格納します（LSB ファースト時）。受信後、SCIFA は受信データを RSR レジスタから FRDR レジスタに転送できる状態かどうか確認します。転送できる状態であれば、FRDR レジスタに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作は行われません。
3. 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、RDF フラグが “1” になったとき、シリアルコントロールレジスタ（SCR）の RIE ビットが “1” にセットされている場合は、受信 FIFO データフル割り込み（RXIF）要求が発生します。また、ラインステータスレジスタ（LSR）の ORER フラグが “1” になったとき、SCR レジスタの RIE ビットまたは REIE ビットが “1” にセットされている場合は、ブレーク割り込み（BRIF）要求が発生します。

図 33.16 に SCIFA の受信時の動作例を示します。



注 1.　対応する割り込み番号は、「12.　割り込みコントローラ（ICUA）」を参照してください。

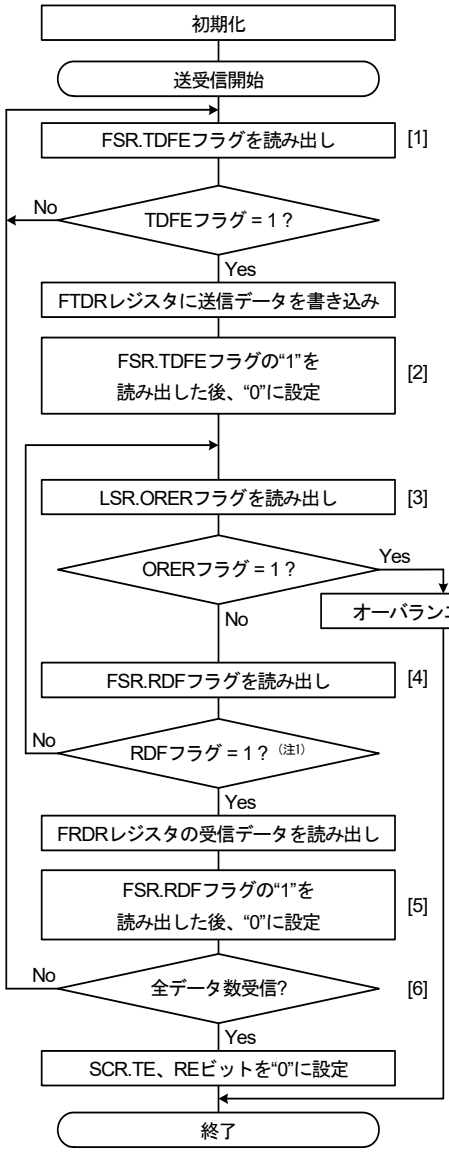
図 33.16　SCIFA の受信時の動作例（LSB ファースト時）

- シリアルデータ送受信同時動作（クロック同期式モード）

図 33.17 にシリアル送受信同時動作のフローチャートの例を示します。

送受信同時動作においては、受信データ数＝送信データ数＝FTDR レジスタへ書き込む送信データ数になります。

シリアルデータの送受信同時動作は、SCIFA を送受信動作可能状態に設定した後、以下の手順で行ってください。



[1] SCIFAの状態を確認して送信データを書き込み：
FSRレジスタを読み出して、TDFEフラグが“1”であることを確認した後、FTDRレジスタに送信データを書き込みます。
TDFEフラグが“0”から“1”に変化したことはTXIF割り込み要求により知ることができます。

[2] シリアル送信の継続手順(CPUでFTDRに書き込む場合)：
シリアル送信を続けるときには、FSR.TDFEフラグが“1”であることを確認した後、“0”を書き込んでください。

[3] 受信エラー処理：
受信エラーが発生したときには、LSR.ORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは受信を再開できません。
ORERフラグが“1”になったことは、BRIF割り込み要求により知ることができます。

[4] SCIFAの状態を確認して受信データを読み出し：
FSRレジスタを読み出してRDFフラグが“1”であることを確認した後、FRDRレジスタの受信データを読み出します。
RDFフラグが“0”から“1”に変化したことは、RXIF割り込み要求により知ることができます。

[5] シリアル受信の継続手順（CPUでFRDRレジスタから読み出す場合）：
シリアル受信を続けるときには、FSR.RDFフラグが“1”であることを確認した後、“0”を書き込んでください。
なお、DMACを起動してFRDRレジスタから受信データを読み出す場合、RDFフラグは自動でクリアされるため、本手順は不要です（フラグの操作は禁止です）。

[6] シリアル送受信の継続手順（補足）：
シリアル送受信を続けるときには、FRDRレジスタがオーバフローしてORERフラグが“1”になる前にFRDRを読み出し、RDFフラグを“0”にするようにしてください。また、FTDRレジスタに書き込んだ最後のデータの最終ビットを送信する前に、FTDRレジスタにデータを書き込み、TDFEフラグを“0”にするようにしてください。
なお、DMACを起動してFTDRレジスタへのデータ書き込み、FRDRレジスタからのデータ読み出しを行う場合、TDFE、RDFフラグは自動でクリアされるため、本手順は不要です（フラグの操作は禁止です）。

注 .　送信、または受信動作から送受信同時動作に切り替える時には TE ビットと RE ビットを “0” にしてから TE ビットと RE ビットを同時に “1” にしてください。

注 1.　全受信データ数は受信データトリガ数の整数倍にしてください。整数倍でない場合、ステップ [1] に戻り無限ループになりますので、別途タイマ等を用いてタイムアウト処理を行ってください。

図 33.17　シリアルデータ送受信フローチャートの例

33.4　ビットモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。SMR レジスタの CKS[1:0] ビットで指定した内部クロックの 256 クロックに対し、MDDR レジスタで指定した個数のクロックだけを平均的な間隔になるように有効にすることによってビットレートを補正します。

調歩同期式モード時に CKS[1:0] ビットで SERICLK を選択し、BRR = 0、MDDR = 160 に設定した例を、図 33.18 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されます。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

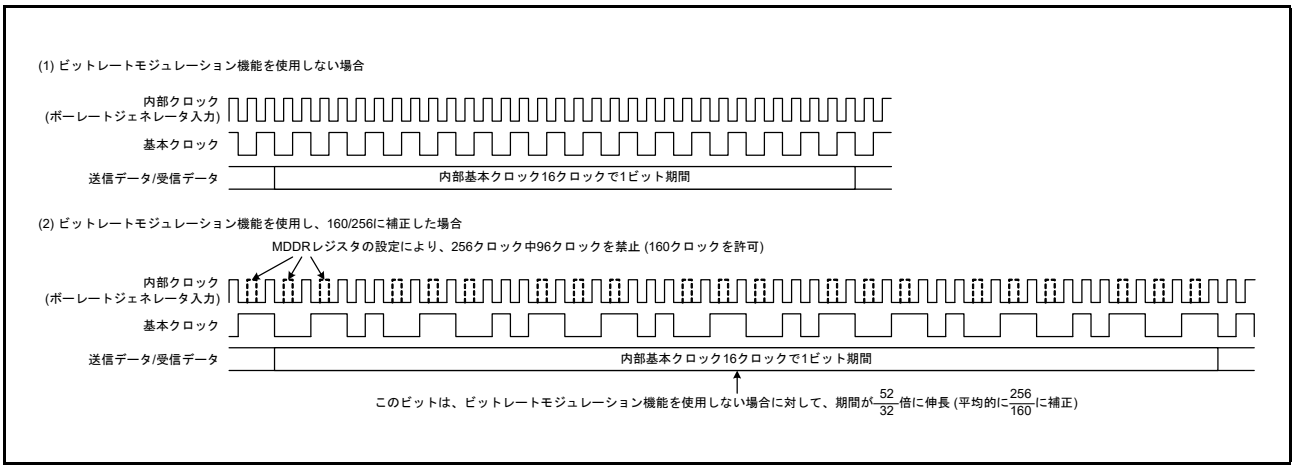


図 33.18　ビットレートモジュレーション機能使用時の内部基本クロックの例

33.5　割り込み要因

SCIFA は、送信 FIFO データエンプティ割り込み（TXIF）要求、受信エラー割り込み（ERIF）要求、受信 FIFO データフル割り込み（RXIF）要求、ブレーク割り込み（BRIF）要求、トランスミットエンド割り込み（TEIF）、受信データレディ割り込み（DRIF）要求の 6 種類の割り込み要因を持っています。TEIF 割り込みと DRIF 割り込み、ERIF 割り込みと BRIF 割り込みのベクタ番号はそれぞれ兼用になっています。

表 33.17 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR レジスタの TIE、RIE、REIE、TEIE ビットで許可／禁止を設定できます。また、各割り込み要求は、それぞれ独立に割り込みコントローラに入力されます。

送信の結果、FTDR レジスタに書き込んだ送信データ数が、指定送信トリガ数以下のとき、シリアルステータスレジスタ（FSR）の TDFE フラグが “1” にセットされ、TXIF 割り込み要求が発生します。

指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、FSR レジスタの RDF フラグが “1” にセットされると、RXIF 割り込み要求が発生します。

FRDR レジスタのデータ数が指定受信トリガ数未満の場合、最後のストップビットから 15ETU の時間経過（注 1）後も次のデータが受信されないと、FSR レジスタの DR フラグが “1” にセットされ、DRIF 割り込み要求が発生します。クロック同期モードの場合、DRIF 割り込み要求は発生しません。

FSR レジスタの BRK フラグまたは LSR レジスタの ORER フラグが “1” にセットされると BRIF 割り込み要求が発生します。

FSR レジスタの ER フラグが “1” にセットされると ERIF 割り込み要求が発生します。

FSR レジスタの TEND フラグが “1” にセットされると TEIF 割り込み要求が発生します。

SCR レジスタの RIE ビットを “0” に設定し、REIE ビットを “1” に設定すると RXIF、DRIF 割り込み要求は発生せず、ERIF、BRIF 割り込み要求だけが発生します。

なお、TXIF 割り込みは送信データの書き込みが可能なことを示し、RXIF 割り込みは FRDR レジスタに受信データがあることを示しています。

注 1.　8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。（ETU：Element Time Unit：要素時間単位）

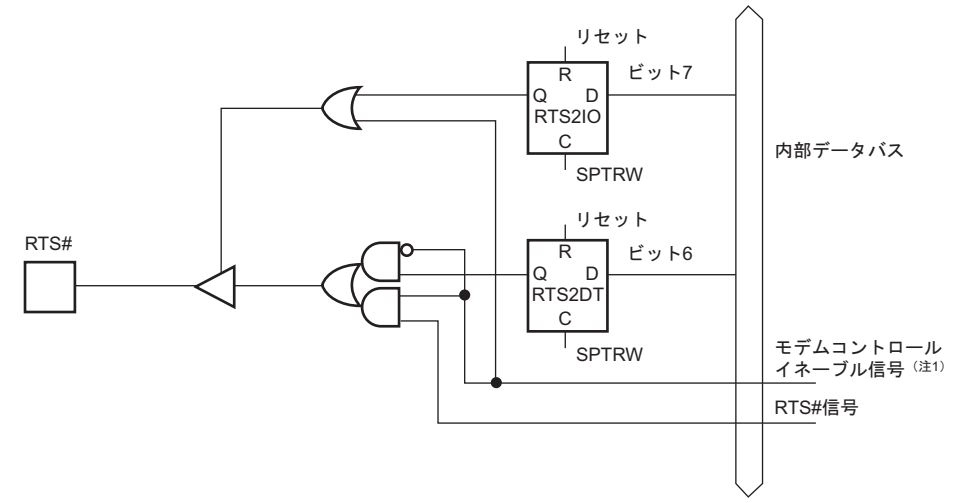
表 33.17　SCIFA 割り込み要因

名称	レベル／エッジ	割り込み要因	割り込み許可ビット	DMAC の起動	優先順位
BRIF	レベル	ブレーク（BRK）またはオーバラン（ORER）による割り込み	RIE または REIE	不可	高
ERIF	レベル	フレーミングエラーまたはパリティエラー（ER）による割り込み	RIE または REIE	不可	
RXIF	レベル	受信 FIFO データフル（RDF）による割り込み	RIE	可	
TXIF	レベル	送信 FIFO データエンプティ（TDFE）による割り込み	TIE	可	
TEIF	レベル	トランスミットエンド（TEND）による割り込み	TEIE	不可	
DRIF	レベル	受信データレディ（DR）による割り込み	RIE	不可	低

注.　TEIF 割り込みと DRIF 割り込みのベクタ番号は兼用です。

33.6　シリアルポートレジスタ（SPTR）と SCIFA 関連の端子との関係

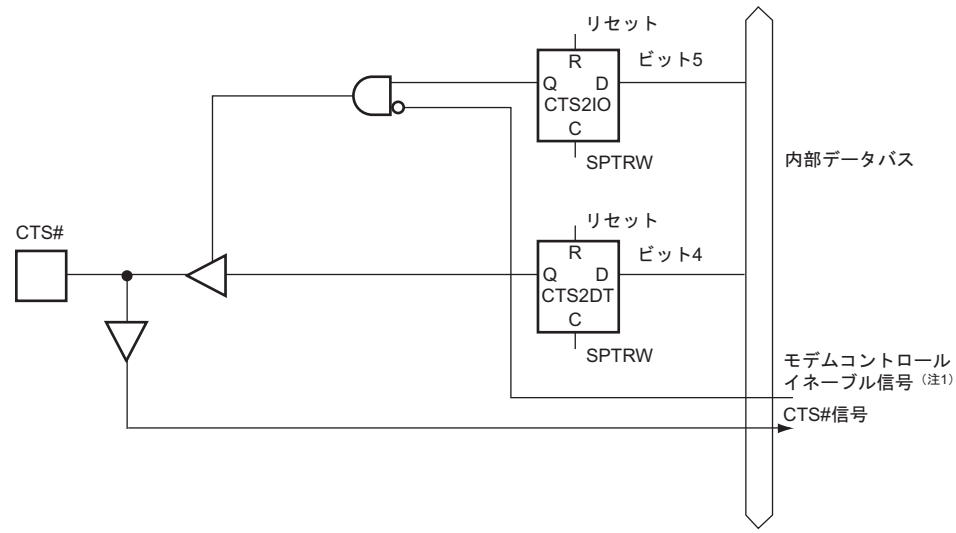
SPTR レジスタと SCIFA 関連の端子との関係を図 33.19 ～図 33.22 に示します。



SPTRW：SPTR ライト

注 1.　FCR の MCE ビットで、RTS# 端子の機能をモデムコントロールに設定する信号です。

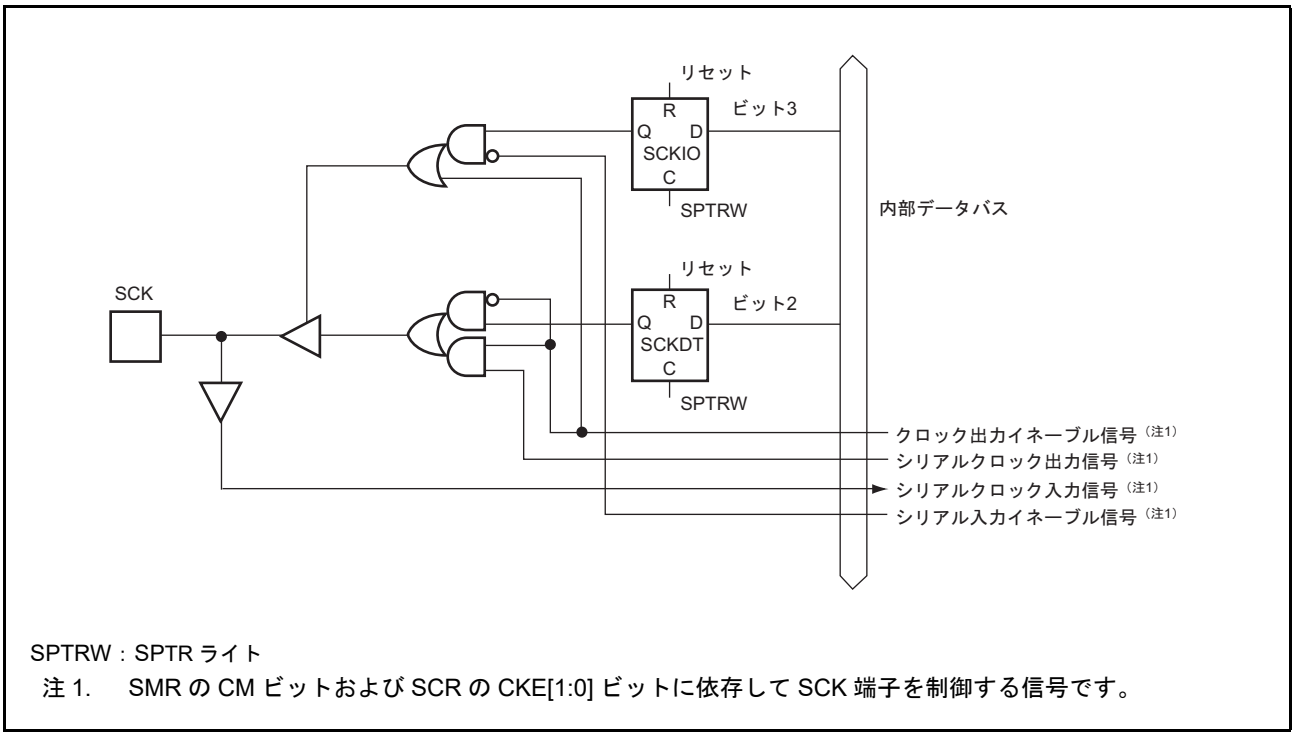
図 33.19　SPTR レジスタの RTS2IO ビット、RTS2DT ビットと RTS# 端子との関係



SPTRW：SPTR ライト

注 1.　FCR の MCE ビットで、CTS# 端子の機能をモデムコントロールに設定する信号です。

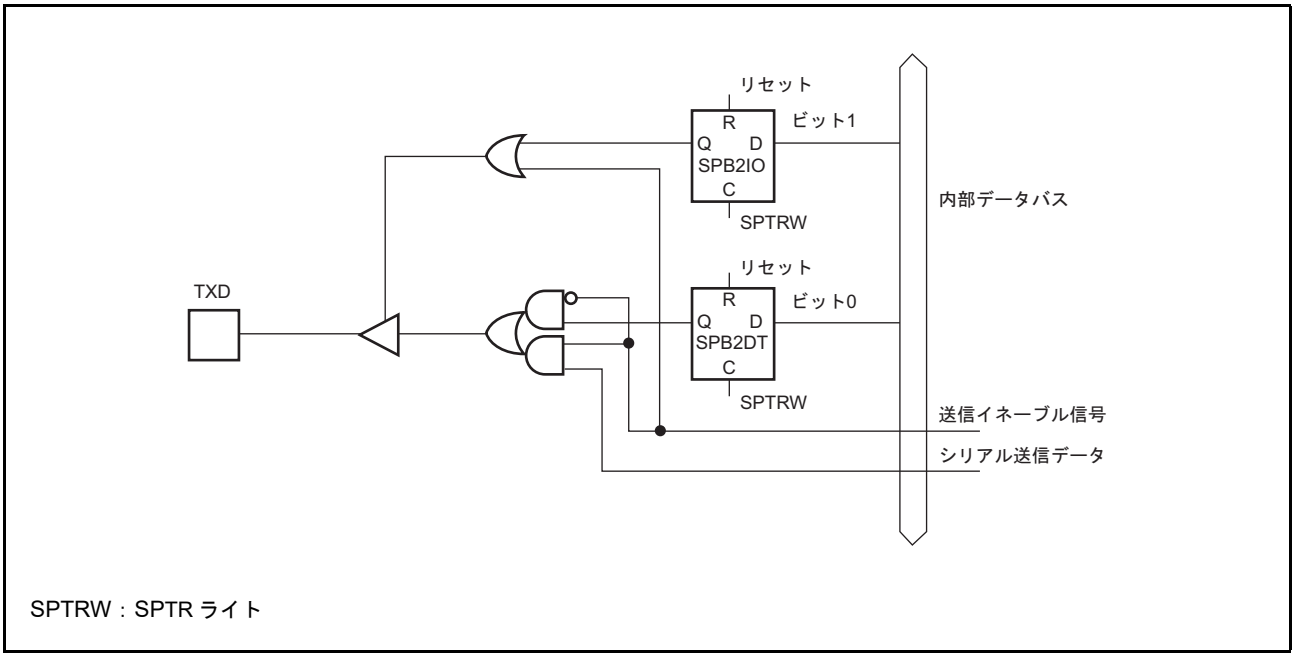
図 33.20　SPTR レジスタの CTS2IO ビット、CTS2DT ビットと CTS# 端子との関係



SPTRW：SPTR ライト

注 1.　SMR の CM ビットおよび SCR の CKE[1:0] ビットに依存して SCK 端子を制御する信号です。

図 33.21　SPTR レジスタの SCKIO ビット、SCKDT ビットと SCK 端子との関係



SPTRW：SPTR ライト

図 33.22　SPTR レジスタの SPB2IO ビット、SPB2DT ビットと TXD 端子との関係

33.7　ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 33.23 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号、および 2 段のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられます。一致しない場合は前の値を保持します。（ノイズフィルタのサンプリングで使われるクロックで 3 回サンプリングした値が一致した場合、有効な受信信号として認識し、3 回サンプリングした値が一致しない場合はノイズとして判断し、受信信号として認識しません）。

調歩同期式モード時は、受信信号 RxDn 端子の入力にノイズ除去機能を使用することが可能です。RXDn 端子の受信レベルは、基本クロック（転送レートの 16 倍、8 倍、または 4 倍（注 1）のクロック）でノイズフィルタのフリップフロップ回路に取り込まれます。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.RE = 0 にした場合、ノイズフィルタは “0” を RxDn の内部信号に出力します。受信停止中も内部の一致検出回路は動作を続け、受信再開と同時に直前の 3 回のサンプリング結果を出力します。

注 1.　SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも “0” のときは、ビットレートの 16 倍の周波数、SEMR.ABCS0 ビットまたは SEMR.BGDM ビットのいずれか一方が “1” のときは、ビットレートの 8 倍の周波数、SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも “1” のときは、ビットレートの 4 倍の周波数になります。

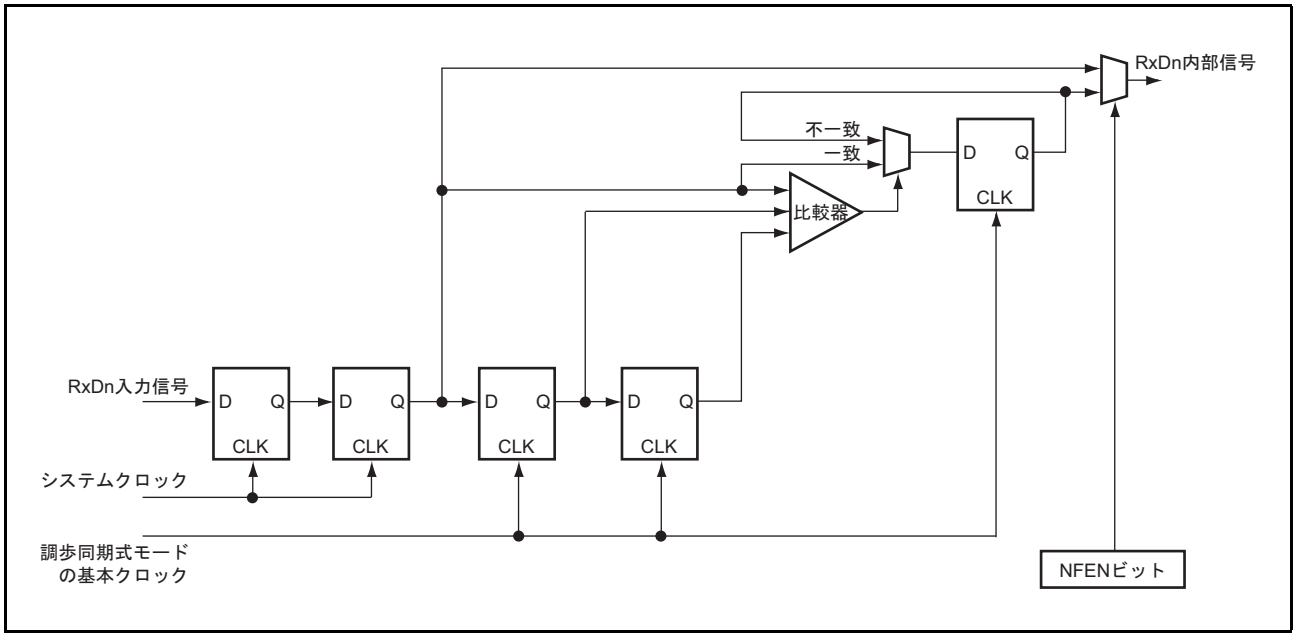


図 33.23　デジタルノイズフィルタ回路のブロック図

33.8　使用上の注意事項

SCIFA を使用する際は、以下のことに注意してください。

33.8.1　FTDR レジスタへの書き込みと TDFE フラグ

シリアルステータスレジスタ（FSR）の TDFE フラグは、トランスミット FIFO データレジスタ（FTDR）に書き込まれた送信データバイト数が FIFO コントロールレジスタ（FCR）の TTRG[1:0] または FIFO トリガコントロールレジスタ（FTCR）の TFTC[4:0] ビットで設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは FTDR レジスタの空バイト数分、書き込むことができるため、効率のよい連続送信が可能です。

ただし、FTDR レジスタに書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは “1” を読み出した後 “0” にクリアしても再び “1” にセットされます。

DMAC による FTDR レジスタへのデータ書き込み時は、DMAC 転送終了時も FSR.TDFE フラグは “1” のままですが、FSR.TDFE フラグとは関係なく DMAC 転送を行うことができます。

FTDR レジスタの送信データバイト数は、FIFO データ数レジスタ（FDR）の上位 8 ビットで確認することができます。

33.8.2　FRDR レジスタの読み出しと RDF フラグ

シリアルステータスレジスタ（FSR）の RDF フラグは、レシーブ FIFO データレジスタ（FRDR）の受信データバイト数が FIFO コントロールレジスタ（FCR）の RTRG[1:0] または FIFO トリガコントロールレジスタ（FTCR）の RFTC[4:0] ビットで設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを FRDR レジスタから読み出すことで、効率のよい連続受信が可能です。

ただし、FRDR レジスタのデータバイト数が受信トリガ数を上回る場合、RDF フラグは、“1” を読み出した後 “0” にクリアしても再び “1” にセットされます。

DMAC による FRDR レジスタからのデータ読み出し時は、DMAC 転送終了時も FSR.RDF フラグは “1” のままですが、FSR.RDF フラグとは関係なく DMAC 転送を行うことができます。

FRDR レジスタの受信データバイト数は、FIFO データ数レジスタ（FDR）の下位 8 ビットで確認することができます。

33.8.3　ブレークの検出と処理

フレーミングエラー（FER）検出時に RXD 端子の値を直接読み出すことで、ブレーク信号を検出できます。ブレーク時は、RXD 端子からの入力がすべて Low になります。このため、シリアルステータスレジスタ（FSR）の FER フラグが “1” にセットされ、またパリティエラーフラグ（PER）も “1” にセットされる場合があります。

SCIFA は、ブレーク信号を検出すると FRDR レジスタへの受信データの転送は停止しますが、受信動作は継続します。

33.8.4　SPTR レジスタへの書き込み

SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます（詳細は、**「33.2.12　シリアルポートレジスタ（SPTR）」**の各ビットの説明を参照してください）。これらのビットに 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

33.8.5　ブレークの送出

TXD 端子の出力信号は、シリアルポートレジスタ（SPTR）の SPB2IO ビットと SPB2DT ビットで決まります。これを利用してブレーク信号を送出することができます。

SCIFA の初期化から SCR レジスタの TE ビットを “1” にセット（送信可能）するまで、TXD 端子は送信データ出力端子として機能しません。この間の TXD 端子状態は SPB2DT ビットの値で代替されます。このため、最初は SPTR レジスタの SPB2IO と SPB2DT ビットを “1”（High 出力）に設定しておきます（マーク状態（High））。

シリアル送信時にブレーク信号を送出するためには、SPTR レジスタの SPB2IO ビットに “1” をセット、SPB2DT ビットを “0” にクリア（Low を指定）した後、SCR レジスタの TE ビットを 0 にクリア（送信停止）します。TE ビットを “0” にクリアすると、送信部は現在の送信状態とは無関係に初期化され、TXD 端子から Low が出力されます。

33.8.6　調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIFA は転送レートの 16 倍（注 1）の周波数の基本クロックで動作しています。受信時は、基本クロックの 8 クロック目（注 1）の立ち上がりエッジで受信データを内部に取り込みます。このタイミングを図 33.24 に示します。

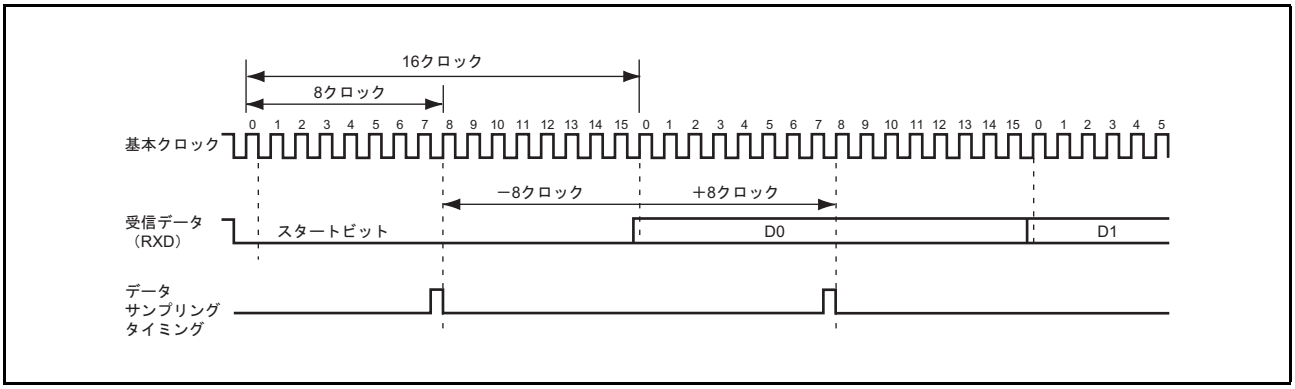


図 33.24　調歩同期式モードでの受信データサンプリングタイミング

注 1.　SEMR.ABCS0 ビット = 0 のときの例です。ABCS0 ビット = 1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \{(0.5 - \frac{1}{2N}) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\} \times 100[\%] \quad \text{…式（1）}$$

M：受信マージン（%）
N：ビットレートに対するクロック周波数の比（N = 16）
D：クロックデューテイ（D = 0 ～ 1.0）
L：フレーム長（L = 9 ～ 12）
F：クロック周波数の偏差の絶対値

式（1）で、F = 0、D = 0.5 とすると、受信マージンは式（2）より 46.875%となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \text{…式（2）}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際は 20 ～ 30%の余裕を持たせてください。

33.8.7　シリアルステータスレジスタ（FSR）の FER フラグおよび PER フラグの注意事項

シリアルステータスレジスタ（FSR）の FER フラグおよび PER フラグは、次に読み出すレシーブ FIFO データレジスタ（FRDR）のステータスフラグです。CPU によりレシーブ FIFO データレジスタを読み出すと、受信データのフレーミングエラーおよびパリティエラーのフラグはクリアされます。受信データのフレーミングエラーおよびパリティエラーの状態を確認する場合は、シリアルステータスレジスタの読み出し後にレシーブ FIFO データレジスタを読み出してください。

33.8.8　クロック同期式モードにおける外部クロック入力時の注意事項

シリアルコントロールレジスタ（SCR）の TE = 1、RE = 1 の設定は、外部クロック（SCK）が “0”（Low）から “1”（High）になった後、周辺動作クロックが 4 クロック以上入力された後に行ってください。

また、外部クロック（SCK）を入力する（通信を開始する）場合、SCR レジスタの TE = 1、RE = 1 に設定し、外部クロックの 1 周期以上の時間経過後に入力してください。

33.8.9　モジュールスタンバイモードの設定

SCIFA はスタンバイコントロールレジスタにより、本モジュールの動作禁止／許可を設定することが可能です。初期値は、SCIFA の動作停止です。モジュールスタンバイモードを解除することにより、各レジスタのアクセスが可能となります。詳細は「9.　**消費電力低減機能**」を参照してください。

33.8.10　クロック同期式モードで内部クロック選択時における受信動作の注意事項

クロック同期式モードで内部クロックを選択して受信を行う場合、レシーブ FIFO データレジスタ (FRDR) に格納されるデータ数が指定した受信トリガ数以上になると、RDF フラグをセットして RXIF 割り込み要求が発生すると共に、同期クロックの出力が停止し、シリアルデータの受信動作が停止します。FRDR レジスタからデータを読み出し、FRDR レジスタに格納されたデータ数が指定受信トリガ数未満になると、同期クロックの出力を開始し、シリアルデータの受信動作を再開します。また、クロック同期式モードで内部クロックを選択して受信を行う場合、オーバランエラーは発生しないため、ORER フラグは “1” にセットされません。このため、オーバラン（ORER フラグ）を割り込み要因とする BRIF 割り込みは利用できません。

33.8.11　SCIFA 初期化時の注意事項

SCIFA の初期化の際、シリアルコントロールレジスタ（SCR）の TE ビットおよび RE ビットを “0” にクリアする場合は、各ビットを同時に “0” とするか、先に RE ビットを “0” としてください。

TE ビットのみを先に “0” とした場合、RE ビット = “1” で受信動作許可となるため、意図せず受信動作を開始する可能性があるため注意が必要です。

34.　I²C バスインタフェース（RIICa）

本 LSI は、2 チャネルの I²C バスインタフェース（RIIC）を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス（Inter-IC-Bus）インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

34.1　概要

表 34.1 に RIIC の仕様を、**図 34.1** に RIIC のブロック図を、**図 34.2** に入出力端子の外部回路接続例（I²C バス構成例）を示します。**表 34.2** に RIIC で使用する入出力端子を示します。

表34.1　RIICの仕様 (1 / 2)

項目	内容
通信フォーマット	• I²Cバスフォーマット • マスタ／スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応（～400kbps）
SCLクロック	マスタ時、SCLクロックのデューティ比を4%～96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション／リスタートコンディション／ストップコンディションの自動生成、 スタートコンディション（リスタートコンディション含む）／ストップコンディション検出可能
スレーブアドレス	• 異なるスレーブアドレスを3種類まで設定可能 • 7ビット／10ビットアドレスフォーマット対応（混在可能） • ジェネラルコールアドレス検出、デバイスIDアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	• 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	• 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能（マルチマスタ対応） • マスタアービトレーションロスト スタートコンディション発行時、SDA信号とSDAライン上の信号の状態が不一致のとき検出 バスビジー中にスタートコンディションを発行したとき検出 マスタ送信時、送信データとSDAライン上の信号の状態が不一致のとき検出 • NACK送信アービトレーションロスト ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致のとき検出 • スレーブアービトレショーンロスト スレーブ送信時、送信データとSDAライン上の信号の状態が不一致のとき検出
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	4種類 • 通信エラー／イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出（リスタートコンディション含む） ストップコンディション検出 • 受信データフル（スレーブアドレス一致時含む） • 送信データエンプティ（スレーブアドレス一致時含む） • 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能
RIICの動作モード	• 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

表34.1　RIICの仕様 (2 / 2)

項目	内容
イベントリンク機能（出力）	4種類 • 通信エラー／イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出（リスタートコンディション含む） ストップコンディション検出） • 受信データフル（スレーブアドレス一致時含む） • 送信データエンプティ（スレーブアドレス一致時含む） • 送信終了

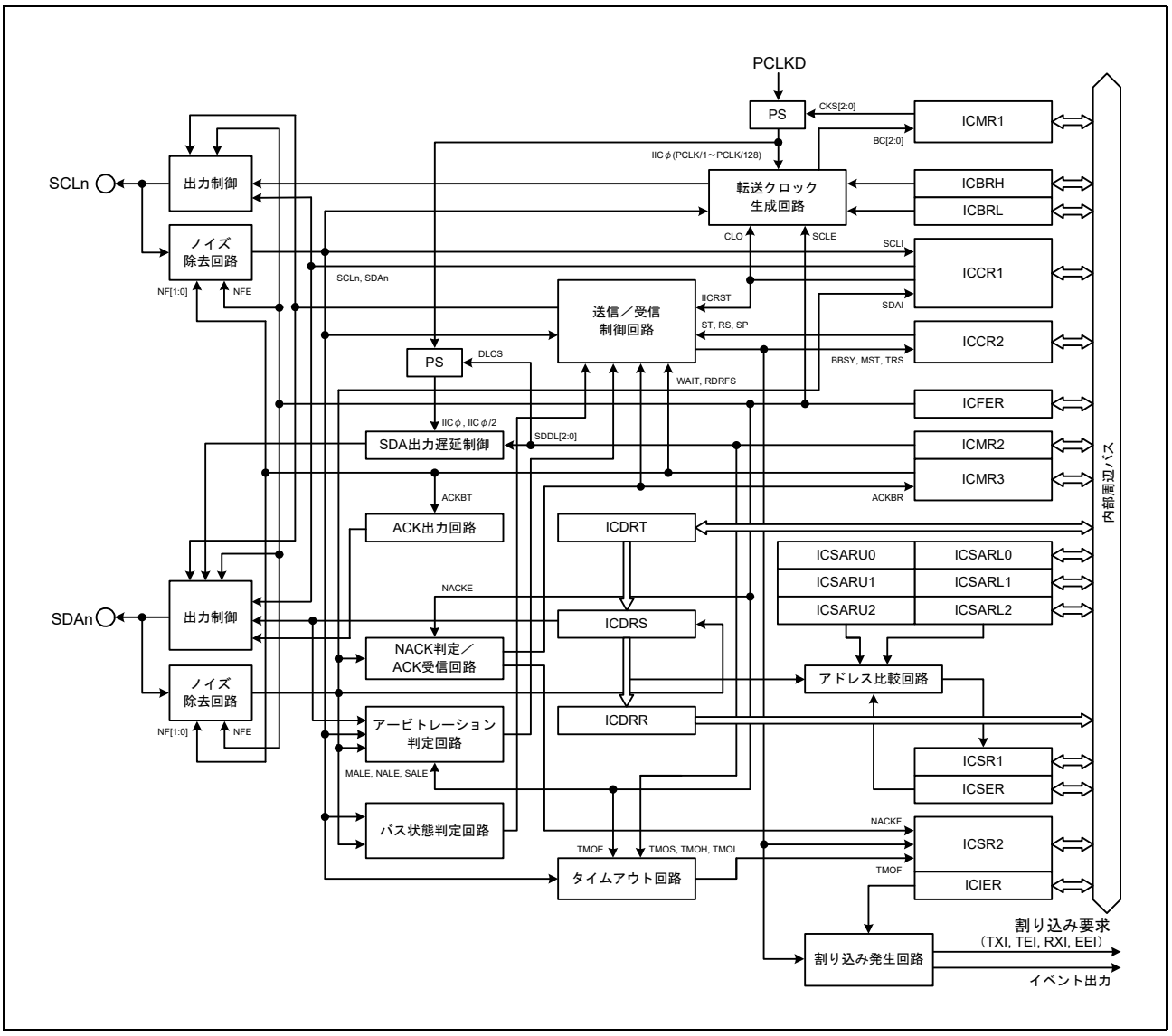


図 34.1　RIIC のブロック図

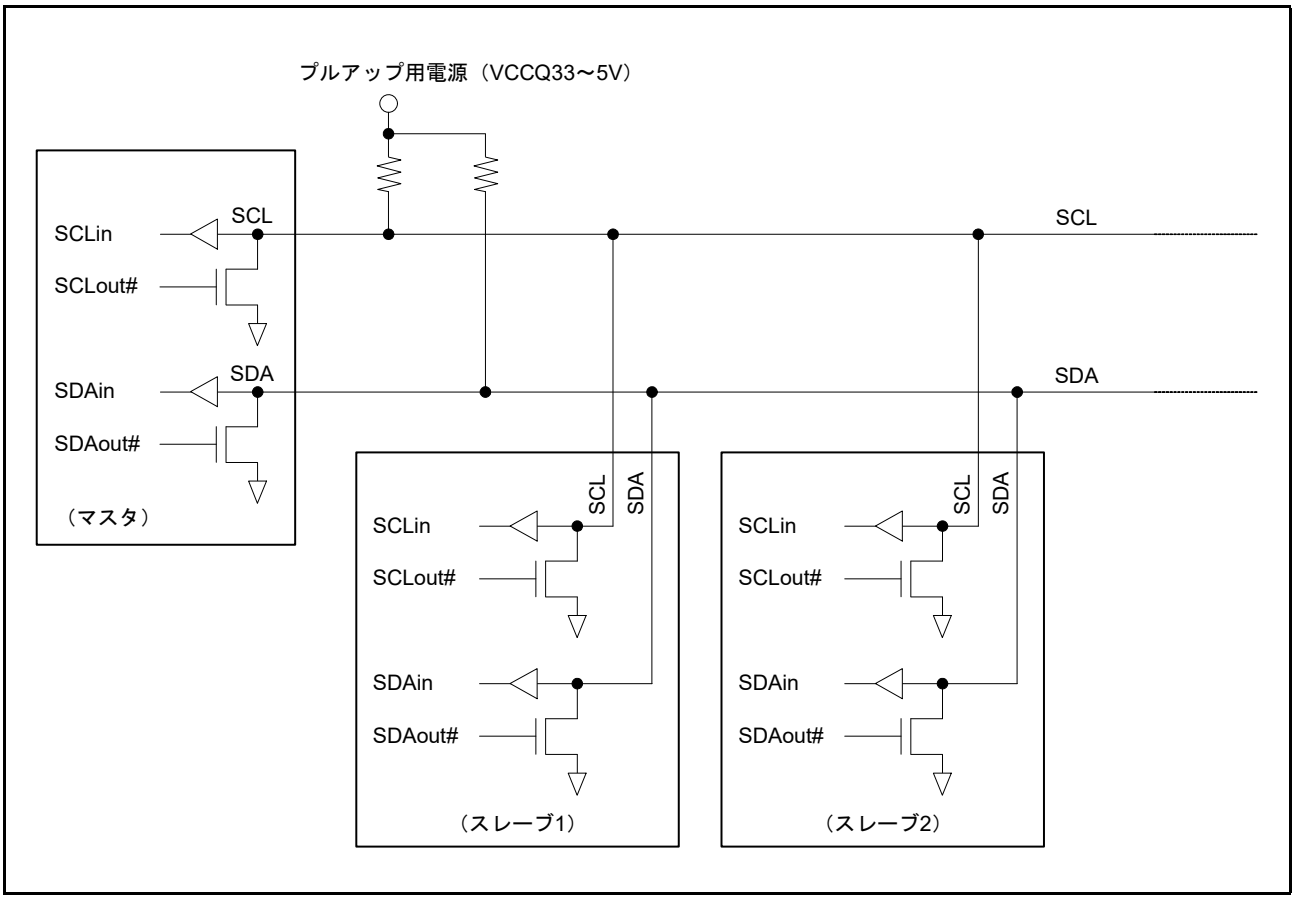


図 34.2　入出力端子の外部回路接続例（I2C バス構成例）

RIIC の各信号の入力レベルは、CMOS レベルです。

表 34.2　RIICの入出力端子

チャネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0 シリアルクロック入出力端子
	SDA0	入出力	RIIC0 シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1 シリアルクロック入出力端子
	SDA1	入出力	RIIC1 シリアルデータ入出力端子

34.2　レジスタの説明

34.2.1　I²C バスコントロールレジスタ 1（ICCR1）

ICCR1 レジスタは、RIIC が出力する SDAn 信号、SCLn 信号を制御するレジスタです（n = 0, 1）。

アドレス　RIIC0.ICCR1　A008 0900h , RIIC1.ICCR1　A008 0940h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0：SDAnラインはLow 1：SDAnラインはHigh	R
b1	SCLI	SCLラインモニタビット	0：SCLnラインはLow 1：SCLnラインはHigh	R
b2	SDAO	SDA出力制御／モニタビット	• リード時 0：SDAn端子出力がLow 1：SDAn端子出力がHigh • ライト時 0：SDAn端子出力をLowにする 1：SDAn端子出力をハイインピーダンスに変更（外部プルアップ抵抗によりHigh出力）	R/W
b3	SCLO	SCL出力制御／モニタビット	• リード時 0：SCLn端子出力がLow 1：SCLn端子出力がHigh • ライト時 0：SCLn端子出力をLowにする 1：SCLn端子出力をハイインピーダンスに変更（外部プルアップ抵抗によりHigh出力）	R/W
b4	SOWP	SCLO／SDAOライトプロテクトビット	0：SCLO、SDAOビットの書き換え許可 1：SCLO、SDAOビットを保護（読むと常に“1”が読めます）	R/W
b5	CLO	SCLクロック追加出力ビット	0：SCLクロックを追加で出力しない（通常状態） 1：SCLクロックを追加で出力する（1クロック出力後、自動的に“0”になる）	R/W
b6	IICRST	I²Cバスインタフェース内部リセットビット	0：RIICリセット、内部リセット解除 1：RIICリセット、内部リセット状態（ビットカウンタのクリア、SCLn/SDAn出力ラッチを解除）	R/W
b7	ICE	I²Cバスインタフェース許可ビット	0：禁止（SCLn、SDAn端子非駆動状態） 1：許可（SCLn、SDAn端子駆動状態）（IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択）	R/W

SDAO ビット（SDA 出力制御／モニタビット）、SCLO ビット（SCL 出力制御／モニタビット）

RIIC が出力する SDAn 信号、SCLn 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも “0” を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを 1 クロック単位で追加出力する機能で、デバッグ時または異常処理時に使用します。

通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、**「34.11.2　SCL クロック追加出力機能」**を参照してください。

IICRST ビット（I²C バスインタフェース内部リセットビット）

RIIC の内部状態をリセットします。

IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。**表 34.3** に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ（ICMR1.BC[2:0] ビット）、I²C バスシフトレジスタ（ICDRS）、I²C バスステータスレジスタ（ICSR1、ICSR2）および内部状態をリセットします。各レジスタのリセット状況については、**「34.13　リセットと各コンディション発行時のレジスタおよび機能の状態」**を参照してください。

動作中（ICE ビット = 1 の状態）、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子／SDAn 端子をハイインピーダンスにしてバスを解放することができます。

注 .　スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 34.3　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット（I²C バスインタフェース許可ビット）

SCLn、SDAn 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については**「表 34.3　RIIC のリセットの種類」**を参照してください。

RIIC を使用するときは、ICE ビットを “1” に設定してください。ICE ビットが “1” のとき、SCLn、SDAn 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを “0” に設定してください。ICE ビットが “0” のとき、SCLn、SDAn 端子非駆動状態になります。

34.2.2　I²C バスコントロールレジスタ 2（ICCR2）

ICCR2 レジスタは、スタート／リスタート／ストップコンディション発行を制御するレジスタです。

アドレス　RIIC0.ICCR2　A008 0901h, RIIC1.ICCR2　A008 0941h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b1	ST	スタートコンディション発行要求ビット	0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b5	TRS	送信／受信モードビット	0：受信モード 1：送信モード	R/W （注1）
b6	MST	マスタ／スレーブモードビット	0：スレーブモード 1：マスタモード	R/W （注1）
b7	BBSY	バスビジー検出フラグ	0：I²Cバスが解放状態（バスフリー状態） 1：I²Cバスが占有状態（バスビジー状態）	R

注1.　ICMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ST ビット（スタートコンディション発行要求ビット）

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが “1” になるとスタートコンディションの発行を要求し、BBSY フラグが “0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、**「34.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件] 以下のいずれかの条件成立時

- “0” を書いたとき
- スタートコンディションの発行が完了したとき（スタートコンディションを検出したとき）
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ST ビットは、BBSY フラグが “0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。
BBSY フラグが “1”（バスビジー）のとき、ST ビットを “1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、**「34.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

- ICCR2.BBSY フラグが “1” の状態で、“1” を書いたとき（ICCR2.BBSY フラグが “0” の状態では、“1” を書き込めません）

[“0” になる条件] 以下のいずれかの条件成立時

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき（スタートコンディションを検出したとき）
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ストップコンディション発行中に RS ビットを “1” にしないでください。

注 .　リスタートコンディションを発行する場合、マスタ送信モードで発行することを推奨します。スレーブモードで RS ビットに “1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションは発行されずに RS ビットは “1” のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、**「34.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

- ICCR2.BBSY フラグが “1” でかつ ICCR2.MST ビットが “1” の状態で、“1” を書いたとき

[“0” になる条件] 以下のいずれかの条件成立時

- “0” を書いたとき
- ストップコンディションの発行が完了したとき（ストップンディションを検出したとき）
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　BBSY フラグ = 0（バスフリー）のとき書き込みはできません。

注 .　リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット（送信／受信モードビット）

送信／受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行／検出および R/W# ビットの値で “1” または “0” になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］以下のいずれかの条件成立時

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（BBSY フラグが “0”（バスフリー）、ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき（RS ビットが “1” の状態で、リスタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］以下のいずれかの条件成立時

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき（ジェネラルコールアドレス含む）
- スレーブモード時、リスタートコンディションを検出したとき（ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションを検出したとき）
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

R/W# は、送信データに含まれるビットで、送信／受信の方向を示します。R/W# = 1 の場合、スレーブデバイスからマスタデバイス、R/W# = 0 の場合、マスタデバイスからスレーブデバイスにデータを転送します。

MST ビット（マスタ／スレーブモードビット）

マスタモード／スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行／検出などで “1” または “0” になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。

ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］以下のいずれかの条件成立時

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（BBSY フラグが “0”（バスフリー）、ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］以下のいずれかの条件成立時

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ（バスビジー検出フラグ）

I²C バスの占有（バスビジー）／解放状態（バスフリー）を示します。

SCLn ラインが High の状態で SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCLn ラインが High の状態で SDAn ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき “0” になります。

［“1” になる条件］

- スタートコンディションを検出したとき

［“0” になる条件］以下のいずれかの条件成立時

- ストップコンディションを検出後、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

34.2.3　I²C バスモードレジスタ 1（ICMR1）

ICMR1 レジスタは、ダウンカウントを行うカウンタのビット数、および基準クロックソースを設定するレジスタです。

アドレス　RIIC0.ICMR1　A008 0902h, RIIC1.ICMR1　A008 0942h

	b7	b6	b5	b4	b3	b2	b1	b0
	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2　b0 0 0 0：9ビット 0 0 1：2ビット 0 1 0：3ビット 0 1 1：4ビット 1 0 0：5ビット 1 0 1：6ビット 1 1 0：7ビット 1 1 1：8ビット	R/W （注1）
b3	BCWP	BCライトプロテクトビット	0：BC[2:0]の値を設定許可（読むと“1”が読めます）	R/W （注1）
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロックソース（IICφ）を選択します。 b6　b4 0 0 0：PCLKD/1クロック 0 0 1：PCLKD/2クロック 0 1 0：PCLKD/4クロック 0 1 1：PCLKD/8クロック 1 0 0：PCLKD/16クロック 1 0 1：PCLKD/32クロック 1 1 0：PCLKD/64クロック 1 1 1：PCLKD/128クロック	R/W
b7	MTWP	MST／TRSライトプロテクトビット	0：ICCR2.MST, TRSビットへの書き込み禁止 1：ICCR2.MST, TRSビットへの書き込み許可	R/W

注1.　BC[2:0]ビットを書き換える場合は、BCWPビットへの“0”書き込みと同時に行ってください。

BC[2:0] ビット（ビットカウンタ）

SCLn ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常はアクセスする必要はありません。

なお、書く場合には転送するデータのビット数＋ 1 を指定し（データにアクノリッジ 1 ビットが付加されて転送される）、転送フレーム間でかつ SCLn ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出（リスタートコンディション含む）で自動的に “000b” に戻ります。

34.2.4　I²C バスモードレジスタ 2（ICMR2）

ICMR2 レジスタは、タイムアウト検出機能および SDA 出力遅延機能に関する各種設定を行うレジスタです。

アドレス　RIIC0.ICMR2　A008 0903h, RIIC1.ICMR2 A008 0943h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0：SCLnラインがLowでカウント禁止 1：SCLnラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0：SCLnラインがHighでカウント禁止 1：SCLnラインがHighでカウント有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCS = 0（IICϕ）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICϕの1サイクル 0 1 0：IICϕの2サイクル 0 1 1：IICϕの3サイクル 1 0 0：IICϕの4サイクル 1 0 1：IICϕの5サイクル 1 1 0：IICϕの6サイクル 1 1 1：IICϕの7サイクル • ICMR2.DLCS = 1（IICϕ/2）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICϕの1～2サイクル 0 1 0：IICϕの3～4サイクル 0 1 1：IICϕの5～6サイクル 1 0 0：IICϕの7～8サイクル 1 0 1：IICϕの9～10サイクル 1 1 0：IICϕの11～12サイクル 1 1 1：IICϕの13～14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0：SDA出力遅延カウンタのクロックソースに内部基準クロック（IICϕ）を選択 1：SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周（IICϕ/2）を選択（注1）	R/W

注1.　SCLがLowのときのみDLCS = 1（IICϕ/2）の設定が有効になります。SCL = HighのときDLCS = 1の設定は無効となり内部基準クロック（IICϕ）となります。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット = 1）にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCLn ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック（IICϕ）をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「34.11.1　タイムアウト検出機能」を参照してください。

TMOL ビット（タイムアウト L カウント制御ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット = 1）に SCLn ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット（タイムアウト H カウント制御ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット = 1）に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス規格（データ有効時間／アクノリッジ有効時間（注 1）内）かつ SCL クロックの Low 幅－データセットアップ時間：250ns の範囲内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「34.5　SDA 出力遅延機能」を参照してください。

注 1.　データ有効時間／アクノリッジ有効時間
900ns（～ 400kbps：ファストモード [Fm]）

34.2.5　I²C バスモードレジスタ 3（ICMR3）

ICMR3 レジスタは、デジタルノイズフィルタやアクノリッジ、WAIT の設定を行うレジスタです。

アドレス　RIIC0.ICMR3　A008 0904h, RIIC1.ICMR3　A008 0944h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0：1IICφ以下のノイズを除去（フィルタは1段） 0 1：2IICφ以下のノイズを除去（フィルタは2段） 1 0：3IICφ以下のノイズを除去（フィルタは3段） 1 1：4IICφ以下のノイズを除去（フィルタは4段）	R/W
b2	ACKBR	受信アクノリッジビット	0：アクノリッジビットに“0”を受信（ACK受信） 1：アクノリッジビットに“1”を受信（NACK受信）	R
b3	ACKBT	送信アクノリッジビット	0：アクノリッジビットに“0”を送出（ACK送信） 1：アクノリッジビットに“1”を送出（NACK送信）	R/W （注1）
b4	ACKWP	ACKBTライトプロテクトビット	0：ACKBTビットへの書き込み禁止 1：ACKBTビットへの書き込み許可	W （注1）
b5	RDRFS	RDRFフラグセットタイミング選択ビット	0：SCLクロックの9クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLowにホールドしない） 1：SCLクロックの8クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLowにホールドする） LowホールドはACKBTビットを書き込むことにより、9クロック後に解除されます。	R/W （注2）
b6	WAIT	WAITビット	0：WAITなし （9クロック目と1クロック目の間をLowにホールドしない） 1：WAITあり （9クロック目と1クロック目の間をLowにホールドする） Lowホールドは、ICDRRレジスタの読み出しで解除されます。	R/W （注2）
b7	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

注1.　ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。
注2.　WAITビットおよびRDRFSビットは、受信モードのみ有効です。送信モード時は無効です。

NF[1:0] ビット（ノイズフィルタ段数選択ビット）

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「34.6　デジタルノイズフィルタ回路」を参照してください。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1” になる条件]

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “1”（ノットアクノリッジ）を受信したとき

[“0” になる条件] 以下のいずれかの条件成立時

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “0”（アクノリッジ）を受信したとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

［“1” になる条件］

- ACKWP ビットが “1” の状態で “1”（ノットアクノリッジ）を書いたとき

［“0” になる条件］以下のいずれかの条件成立時

- ACKWP ビットが “1” の状態で “0”（アクノリッジ）を書いたとき
- ストップコンディションの発行を検出したとき（ICCR2.SP ビットが “1” の状態でストップコンディションを検出したとき）
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドします。Low ホールドは ACKBT ビットを書き込むことによって、9 クロック目以降に解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK（ACKBT ビットが “0”）または NACK（ACKBT ビットが “1”）を送出する処理が可能です。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ（ICDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注 .　WAIT ビットを “0” にする場合は、ICDRR レジスタを先に読み出した後、“0” を書き込んでください。

34.2.6　I²C バスファンクション許可レジスタ（ICFER）

ICFER レジスタは、各種アービトレーション機能などの設定を行うレジスタです。

アドレス　RIIC0.ICFER　A008 0905h, RIIC1.ICFER　A008 0945h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0：タイムアウト検出機能無効 1：タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0：マスタアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う）	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0：NACK送信アービトレーションロスト検出禁止 1：NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0：NACK受信時、転送を中断しない（転送中断禁止） 1：NACK受信時、転送を中断する（転送中断許可）	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0：SCL同期回路無効 1：SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TMOE ビット（タイムアウト検出機能有効ビット）

タイムアウト検出機能の有効／無効を選択します。

タイムアウト検出機能の詳細については、**「34.11.1　タイムアウト検出機能」**を参照してください。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

マスタモード時にアービトレーションロスト検出機能の有効／無効を決定します。通常は“1”にしてください。

マスタアービトレーションロスト検出機能の詳細については**「34.9.1　マスタアービトレーションロスト検出機能（MALE ビット）」**を参照してください。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

NACK 送信アービトレーションロスト検出機能の詳細については**「34.9.2　NACK 送信アービトレーションロスト検出機能（NALE ビット）」**を参照してください。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

スレーブアービトレーションロスト検出機能の詳細については「34.9.3　スレーブアービトレーションロスト検出機能（SALE ビット）」を参照してください。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。

NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが “0” のとき、受信アクノリッジの内容にかかわらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「34.8.2　NACK 受信転送中断機能」を参照してください。

SCLE ビット（SCL 同期回路有効ビット）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は “1” にしてください。

SCLE ビットを “0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIIC は SCLn ラインの状態にかかわらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

SCL 同期回路機能の詳細については「34.4　SCL 同期回路」を参照してください。

34.2.7　I²C バスステータス許可レジスタ（ICSER）

ICSER レジスタは、スレーブアドレスの許可やデバイス ID アドレス検出などを設定するレジスタです。

アドレス　RIIC0.ICSER　A008 0906h, RIIC1.ICSER　A008 0946h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0 許可ビット	0：ICSARL0、ICSARU0の設定値は無効 1：ICSARL0、ICSARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1 許可ビット	0：ICSARL1、ICSARU1の設定値は無効 1：ICSARL1、ICSARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2 許可ビット	0：ICSARL2、ICSARU2の設定値は無効 1：ICSARL2、ICSARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0：デバイスIDアドレス検出は無効 1：デバイスIDアドレス検出は有効	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

SARyE ビット（スレーブアドレスレジスタ y 許可ビット）（y = 0 ～ 2）

ICSARLy、ICSARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを “1” にすると、ICSARLy、ICSARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを “0” にすると、ICSARLy、ICSARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット（ジェネラルコールアドレス許可ビット）

ジェネラルコールアドレス（0000 000b ＋ 0[W]：All“0”）を受信した場合、無視するかどうかを選択します。

GCAE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は ICSARLy、ICSARUy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出許可ビット）

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（1111 100b）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0”[W] のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、**「34.7.3　デバイス ID アドレス検出機能」**を参照してください。

34.2.8　I²C バス割り込み許可レジスタ（ICIER）

ICIER レジスタは、RIIC に関する割り込み要求の許可／禁止を設定するレジスタです。

アドレス　RIIC0.ICIER　A008 0907h, RIIC1.ICIER　A008 0947h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0：タイムアウト割り込み（TMOI）要求の禁止 1：タイムアウト割り込み（TMOI）要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0：アービトレーションロスト割り込み（ALI）要求の禁止 1：アービトレーションロスト割り込み（ALI）要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0：スタートコンディション検出割り込み（STI）要求の禁止 1：スタートコンディション検出割り込み（STI）要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0：ストップコンディション検出割り込み（SPI）要求の禁止 1：ストップコンディション検出割り込み（SPI）要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0：NACK受信割り込み（NAKI）要求の禁止 1：NACK受信割り込み（NAKI）要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0：受信データフル割り込み（RXI）要求の禁止 1：受信データフル割り込み（RXI）要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0：送信終了割り込み（TEI）要求の禁止 1：送信終了割り込み（TEI）要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0：送信データエンプティ割り込み（TXI）要求の禁止 1：送信データエンプティ割り込み（TXI）要求の許可	R/W

TMOIE ビット（タイムアウト割り込み要求許可ビット）

ICSR2.TMOF フラグが “1” になったとき、タイムアウト割り込み（TMOI）要求の許可／禁止を選択します。TMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み要求許可ビット）

ICSR2.AL フラグが “1” になったとき、アービトレーションロスト割り込み（ALI）要求の許可／禁止を選択します。ALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み要求許可ビット）

ICSR2.START フラグが “1” になったとき、スタートコンディション検出割り込み（STI）要求の許可／禁止を選択します。STI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み要求許可ビット）

ICSR2.STOP フラグが “1” になったとき、ストップコンディション検出割り込み（SPI）要求の許可／禁止を選択します。SPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット（NACK 受信割り込み要求許可ビット）

ICSR2.NACKF フラグが “1” になったとき、NACK 受信割り込み（NAKI）要求の許可／禁止を選択します。NAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット（受信データフル割り込み要求許可ビット）

ICSR2.RDRF フラグが “1” になったとき、受信データフル割り込み（RXI）要求の許可／禁止を選択します。

TEIE ビット（送信終了割り込み要求許可ビット）

ICSR2.TEND フラグが “1” になったとき、送信終了割り込み（TEI）要求の許可／禁止を選択します。TEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット（送信データエンプティ割り込み要求許可ビット）

ICSR2.TDRE フラグが “1” になったとき、送信データエンプティ割り込み（TXI）要求の許可／禁止を選択します。

34.2.9　I²C バスステータスレジスタ 1（ICSR1）

ICSR1 レジスタは、各種アドレスの検出状態を示すステータスレジスタです。

アドレス　RIIC0.ICSR1　A008 0908h, RIIC1.ICSR1　A008 0948h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0：スレーブアドレス0未検出 1：スレーブアドレス0検出	R/(W) （注1）
b1	AAS1	スレーブアドレス1検出フラグ	0：スレーブアドレス1未検出 1：スレーブアドレス1検出	R/(W) （注1）
b2	AAS2	スレーブアドレス2検出フラグ	0：スレーブアドレス2未検出 1：スレーブアドレス2検出	R/(W) （注1）
b3	GCA	ジェネラルコールアドレス検出フラグ	0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出	R/(W) （注1）
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0：デバイスIDアドレス未検出 1：デバイスIDアドレス検出 • スタートコンディション直後の第1フレームがデバイスIDアドレス（1111 100b）＋0[W]と一致した場合	R/(W) （注1）
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

注1.　“0”のみ書けます。

AASy フラグ（スレーブアドレス y 検出フラグ）（y = 0 ～ 2）

[“1” になる条件]

【7 ビットアドレスフォーマット選択時：ICSARUy.FS ビット ＝0】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが ICSARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時：ICSARUy.FS ビット ＝1】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0b ＋ ICSARUy.SVA[1:0] と一致し、それに続くアドレスが ICSARLy レジスタと一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時：ICSARUy.FS ビット ＝0】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが ICSARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時：ICSARUy.FS ビット ＝1】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0b ＋ ICSARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0b ＋ ICSARUy.SVA[1:0] と一致し、それに続くアドレスが ICSARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ（ジェネラルコールアドレス検出フラグ）

［“1” になる条件］

- ICSER.GCAE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.GCAE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ（デバイス ID アドレス検出フラグ）

［“1” になる条件］

- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）＋ 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）＋ 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

34.2.10　I²C バスステータスレジスタ 2（ICSR2）

ICSR2 レジスタは、各種コンディション検出状態を示すステータスレジスタです。

アドレス　RIIC0.ICSR2　A008 0909h, RIIC1.ICSR2　A008 0949h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0：タイムアウト未検出 1：タイムアウト検出	R/(W) （注1）
b1	AL	アービトレーションロストフラグ	0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり	R/(W) （注1）
b2	START	スタートコンディション検出フラグ	0：スタートコンディション未検出 1：スタートコンディション検出	R/(W) （注1）
b3	STOP	ストップコンディション検出フラグ	0：ストップコンディション未検出 1：ストップコンディション検出	R/(W) （注1）
b4	NACKF	NACK検出フラグ	0：NACK未検出 1：NACK検出	R/(W) （注1）
b5	RDRF	受信データフルフラグ	0：ICDRR レジスタに受信データなし 1：ICDRR レジスタに受信データあり	R/(W) （注1）
b6	TEND	送信終了フラグ	0：データ送信中 1：データ送信終了	R/(W) （注1）
b7	TDRE	送信データエンプティフラグ	0：ICDRT レジスタに送信データあり 1：ICDRT レジスタに送信データなし	R

注1.　“0”のみ書けます。

TMOF フラグ（タイムアウト検出フラグ）

SCLn ラインの状態が一定期間変化しない場合、タイムアウトを認識し、本フラグが “1” になります。

［“1” になる条件］

- ICFER.TMOE ビットが “1”（タイムアウト検出機能有効）、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCLn ラインの状態に変化がないとき

［“0” になる条件］以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDAn ラインのレベルを監視し、出力データと SDAn ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

［“1” になる条件］以下のいずれかの条件成立時

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき（内部 SDA 出力が High 出力（SDAn 端子はハイインピーダンス）で、SDAn ラインに Low を検出したとき）
- ICCR2.ST ビットが “1”（スタートコンディション発行要求）の状態でスタートコンディションを検出したとき、出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが “1” の状態で ICCR2.ST ビットを “1”（スタートコンディション発行要求）に設定したとき

【NACK 送信アービトレーションロスト検出有効時：ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

［“0” になる条件］以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 34.4　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST = 1の状態でスタートコンディション検出時に出力したSDA信号とSDAnライン上の信号の状態が不一致のとき
					ICCR2.BBSY = 1の状態でICCR2.ST = 1にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x：Don’t care

START フラグ（スタートコンディション検出フラグ）

[“1” になる条件]

- スタートコンディション（リスタートコンディション含む）を検出したとき

[“0” になる条件] 以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

[“1” になる条件]

- ストップコンディションを検出したとき

[“0” になる条件] 以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 検出フラグ）

[“1” になる条件]

- ICFER.NACKE ビットが “1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

[“0” になる条件] 以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信／受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ（受信データフルフラグ）

[“1” になる条件] 以下のいずれかの条件成立時

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで “1” になります。
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが “0” のとき

[“0” になる条件] 以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ（送信終了フラグ）

［“1” になる条件］

- TDRE フラグが “1” の状態で、SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］以下のいずれかの条件成立時

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ（送信データエンプティフラグ）

［“1” になる条件］以下のいずれかの条件成立時

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが “1” になったとき（“1” 書き込みを含む）
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

［“0” になる条件］以下のいずれかの条件成立時

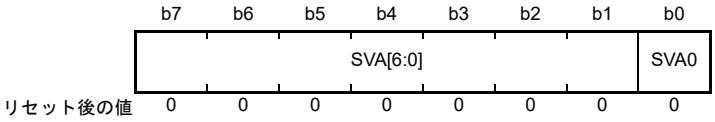
- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが “0” になったとき（“0” 書き込みを含む）
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ICFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このとき、TDRE フラグが “0” の状態（次の送信データがすでに書き込まれている状態）の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは “1” になりません。

34.2.11　I²C スレーブアドレスレジスタ Ly（ICSARLy）（y = 0 ～ 2）

ICSARLy レジスタは、スレーブアドレスを設定するレジスタです。

アドレス　RIIC0.ICSARL0 A008 090Ah, RIIC1.ICSARL0 A008 094Ah, RIIC0.ICSARL1 A008 090Ch, RIIC1.ICSARL1 A008 094Ch, RIIC0.ICSARL2 A008 090Eh, RIIC1.ICSARL2 A008 094Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10 ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7 ビットアドレス／ 10 ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（ICSARUy.FS ビット = 1）、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが “1”（ICSARLy、ICSARUy レジスタ有効）でかつ ICSARUy.FS ビットが “1” のとき設定値が有効になり、ICSARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

SVA[6:0] ビット（7 ビットアドレス／ 10 ビットアドレス下位ビット）

7 ビットアドレスフォーマット選択時（ICSARUy.FS ビット = 0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（ICSARUy.FS ビット = 1）、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが “0” のとき設定値は無視されます。

34.2.12　I²C スレーブアドレスレジスタ Uy（ICSARUy）（y = 0 ～ 2）

ICSARUy レジスタは、スレーブアドレスのフォーマットを設定するレジスタです。

アドレス　RIIC0.ICSARU0 A008 090Bh, RIIC1.ICSARU0 A008 094Bh, RIIC0.ICSARU1 A008 090Dh, RIIC1.ICSARU1 A008 094Dh, RIIC0.ICSARU2 A008 090Fh, RIIC1.ICSARU2 A008 094Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット／10ビットアドレスフォーマット選択ビット	0：7ビットアドレスフォーマット選択 1：10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

FS ビット（7 ビット／10 ビットアドレスフォーマット選択ビット）

スレーブアドレス y（ICSARLy、ICSARUy レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが “1”（ICSARLy、ICSARUy レジスタ有効）でかつ ICSARUy.FS ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、ICSARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび ICSARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが “1”（ICSARLy、ICSARUy レジスタ有効）でかつ ICSARUy.FS ビットが “1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、ICSARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが “0”（ICSARLy、ICSARUy レジスタ無効）のとき ICSARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット（10 ビットアドレス上位ビット）

10 ビットアドレスフォーマット選択時（FS ビット = 1）、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが “1”（ICSARLy、ICSARUy レジスタ有効）でかつ ICSARUy.FS ビットが “1” のとき設定値が有効になり、ICSARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

34.2.13　I²C バスビットレート Low レジスタ（ICBRL）

ICBRL レジスタは、SCL クロックの Low 幅、および SDA 信号追加する遅延サイクルを設定するためのレジスタです。

アドレス　RIIC0.ICBRL　A008 0910h, RIIC1.ICBRL A008 0950h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRL[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ICBRL レジスタは、SCL 自動 Low ホールド発生時（「34.8　SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注 1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICϕ）で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可（ICFER.NFE ビット = 1）した場合、ICBRL レジスタは、ノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

注 1.　データセットアップ時間（tSU:DAT）
100ns（～ 400kbps：ファストモード [Fm]）

34.2.14　I²C バスビットレート High レジスタ（ICBRH）

ICBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース（IICϕ）で High 幅をカウントします。

アドレス　RIIC0.ICBRH　A008 0911h, RIIC1.ICBRH A008 0951h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRH[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

デジタルノイズフィルタ回路の使用を許可（ICFER.NFE ビット＝1）した場合、ICBRH レジスタは、ノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

転送速度 = 1/{[(ICBRH+1) ＋ (ICBRL+1)]/IICϕ（注 1） ＋ SCLn ライン立ち上がり時間 [tr] ＋ SCLn ライン立ち下がり時間 [tf]}

デューティ比 = {SCLn ライン立ち上がり時間 [tr]（注 2） ＋ (ICBRH+1)/IICϕ}/{SCLn ライン立ち下がり時間 [tf]（注 2） ＋ (ICBRL+1)/IICϕ}

注 1.　IICϕ = ICMR1.CKS[2:0] 設定値

注 2.　SCLn ライン立ち上がり時間 [tr]、SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 34.5 に示します。

表 34.5　転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度（kbps）	動作周波数PCLKD（MHz）		
	75		
	CKS[2:0]	ICBRH	ICBRL
10	111b	26（FAh）	30（FEh）
50	101b	20（F4h）	23（F7h）
100	100b	19（F3h）	23（F7h）
400	010b	11（EBh）	24（F8h）

注.　SCLnラインの立ち上がり時間（tr）を300ns、SCLnラインの立ち下がり時間（tf）を300nsとして計算した場合の設定例です。SCLnライン立ち上がり時間（tr）、SCLnライン立ち下がり時間（tf）の規格値についてはNXP社のI²Cバス規格書を参照してください。

34.2.15　I²C バス送信データレジスタ（ICDRT）

ICDRT レジスタは、送信データを格納するレジスタです。

アドレス　RIIC0.ICDRT　A008 0912h, RIIC1.ICDRT A008 0952h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

I2C バスシフトレジスタ（ICDRS）の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し／書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに 1 回だけ行ってください。

34.2.16　I²C バス受信データレジスタ（ICDRR）

ICDRR レジスタは、受信データを格納するレジスタです。

アドレス　RIIC0.ICDRR　A008 0913h, RIIC1.ICDRR A008 0953h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

1 バイトのデータの受信が終了すると、受信したデータは I2C バスシフトレジスタ（ICDRS）から ICDRR レジスタへ転送され、次のデータを受信可能にします。

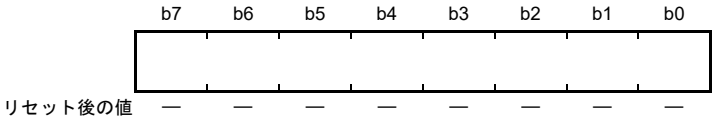
ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み（RXI）要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま（ICSR2.RDRF フラグが “1” の状態のまま）次の受信データを受け取ると、RIIC は RDRF フラグを次に “1” になるタイミングの 1 つ手前の SCLn クロックで自動的に Low ホールドを行います。

34.2.17　I²C バスシフトレジスタ（ICDRS）

ICDRS レジスタは、データを送信／受信するためのシフトレジスタです。



送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDAn 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

34.3　動作説明

34.3.1　通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 34.3 に I²C バスフォーマットを、**図 34.4** に I²C バスタイミングを示します。

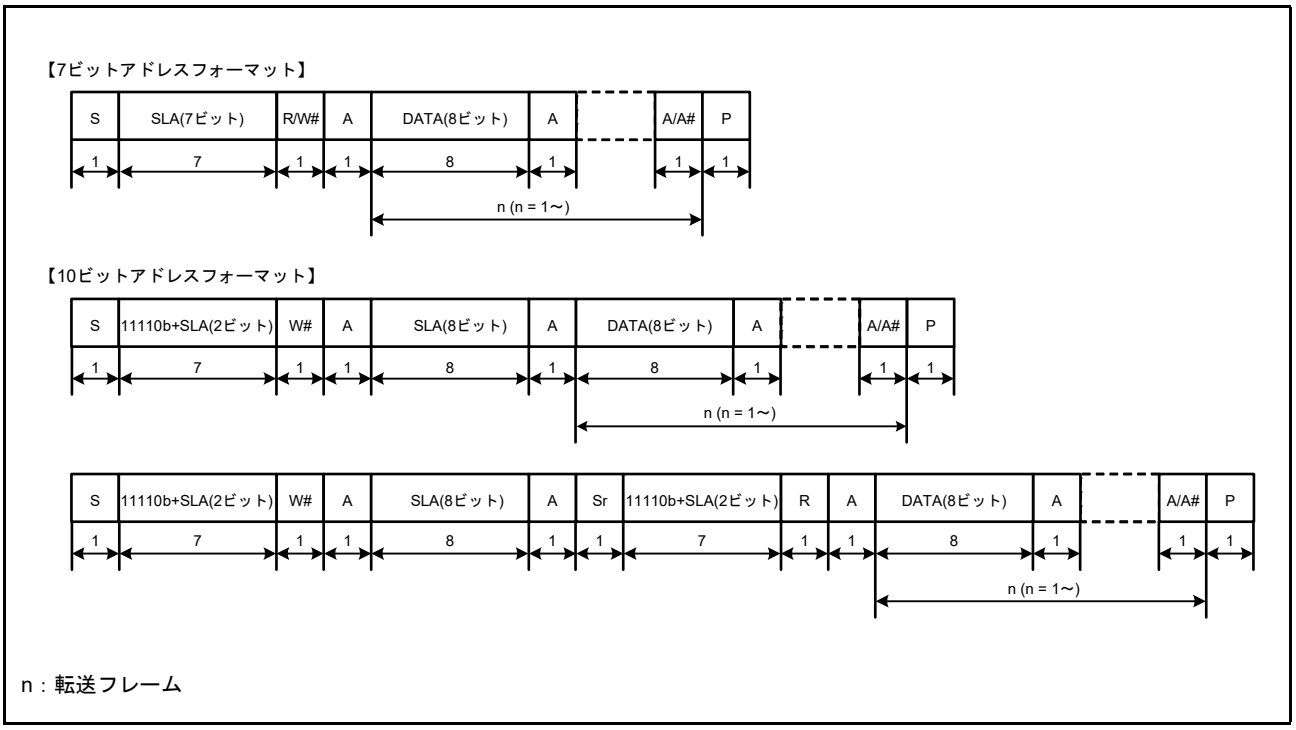


図 34.3　I²C バスフォーマット

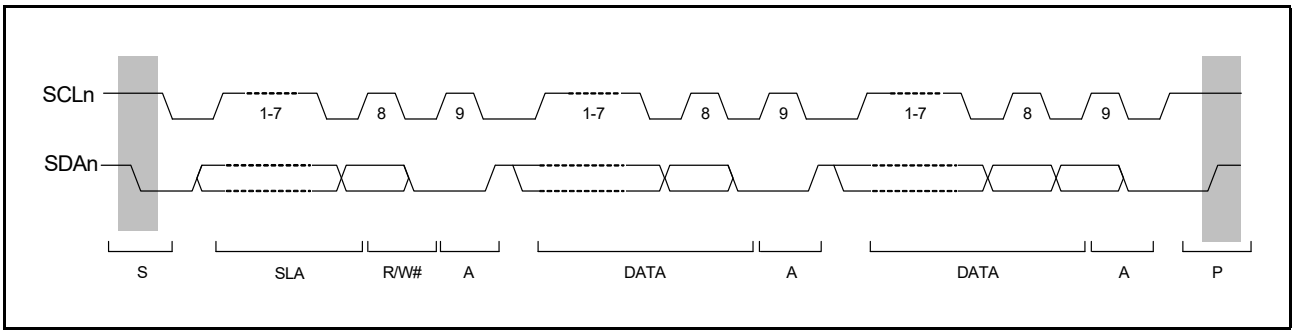


図 34.4　I2C バスタイミング（SLA = 7 ビットの場合）

S　：スタートコンディションを示します。マスタデバイスのSCLnラインがHighの状態でSDAnラインがHighからLowに変化します。

SLA　：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#　：送信／受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A　：アクノリッジを示します。受信デバイスがSDAnラインをLowにします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

A#　：ノットアクノリッジを示します。受信デバイスがSDAnラインをHighにします。

Sr　：リスタートコンディションを示します。SCLnラインがHighの状態でセットアップ時間経過後にSDAnラインはHighからLowに変化します。

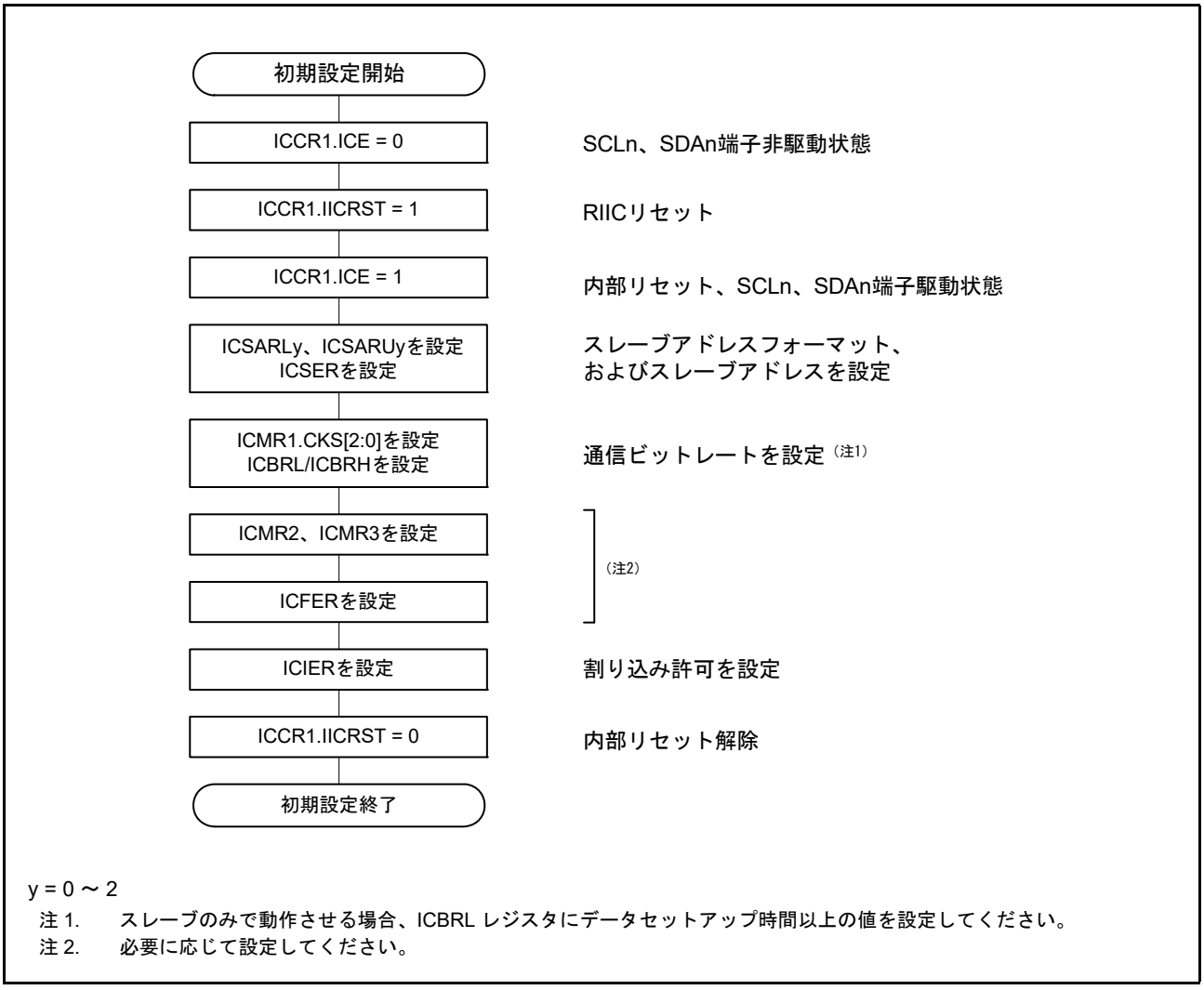
DATA　：送受信データを示します。送受信するデータのビット長はICMR1.BC[2:0]で設定します。

P　：ストップコンディションを示します。SCLnラインがHighの状態でSDAnラインはLowからHighに変化します。

34.3.2　初期設定

データの送信／受信を開始する場合、図 34.5 に示す手順にしたがって RIIC を初期化してください。

ICCR1.ICE ビットを “0”（SCLn、SDAn 端子非駆動状態）にしたまま ICCR1.IICRST ビットを “1”（RIIC リセット）にした後、ICCR1.ICE ビットを “1”（内部リセット）にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、ICSARLy、ICSARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ（y = 0 ～ 2）を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については図 34.5 参照）。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを “0”（RIIC リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。



y = 0 ～ 2

注 1.　スレーブのみで動作させる場合、ICBRL レジスタにデータセットアップ時間以上の値を設定してください。

注 2.　必要に応じて設定してください。

図 34.5　RIIC の初期化フローチャート例

34.3.3　マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 34.6 にマスタ送信の使用例を、図 34.7 ～図 34.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) 初期設定を行います。詳細は「34.3.2　初期設定」を参照してください。

(2) ICCR2.BBSY フラグを読み出しバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると、BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき、ST ビットが “1” の状態で出力した SDA 信号と SDAn ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また、ICSR2.TDRE は、TRS ビットが “1” になることにより自動的に “1” になります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は、R/W# ビット = 0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき、ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているため、ストップコンディションを発行してください。ストップコンディションの発行は、ICCR2.SP ビットに “1” を書くことで行われます。
なお、10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット＋ W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) ICSR2.TDRE フラグが “1” であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間、RIIC は自動的に SCLn ラインを Low にホールドします。

(5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが “1” になるまで待ってから ICCR2.SP ビットに “1” を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に “0” になり、ICSR2.STOP フラグが “1” になります。

(7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

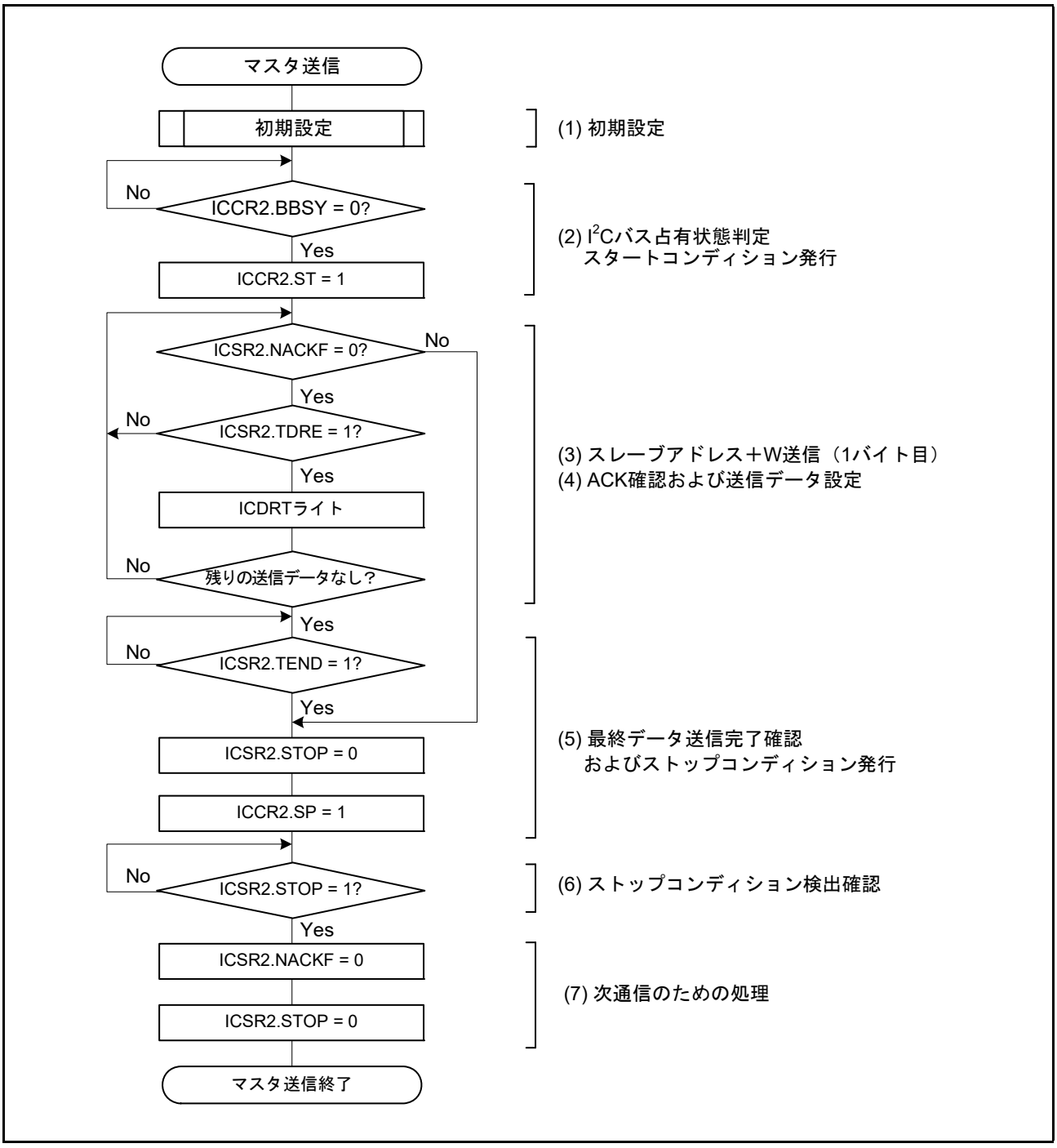


図 34.6　マスタ送信のフローチャート例

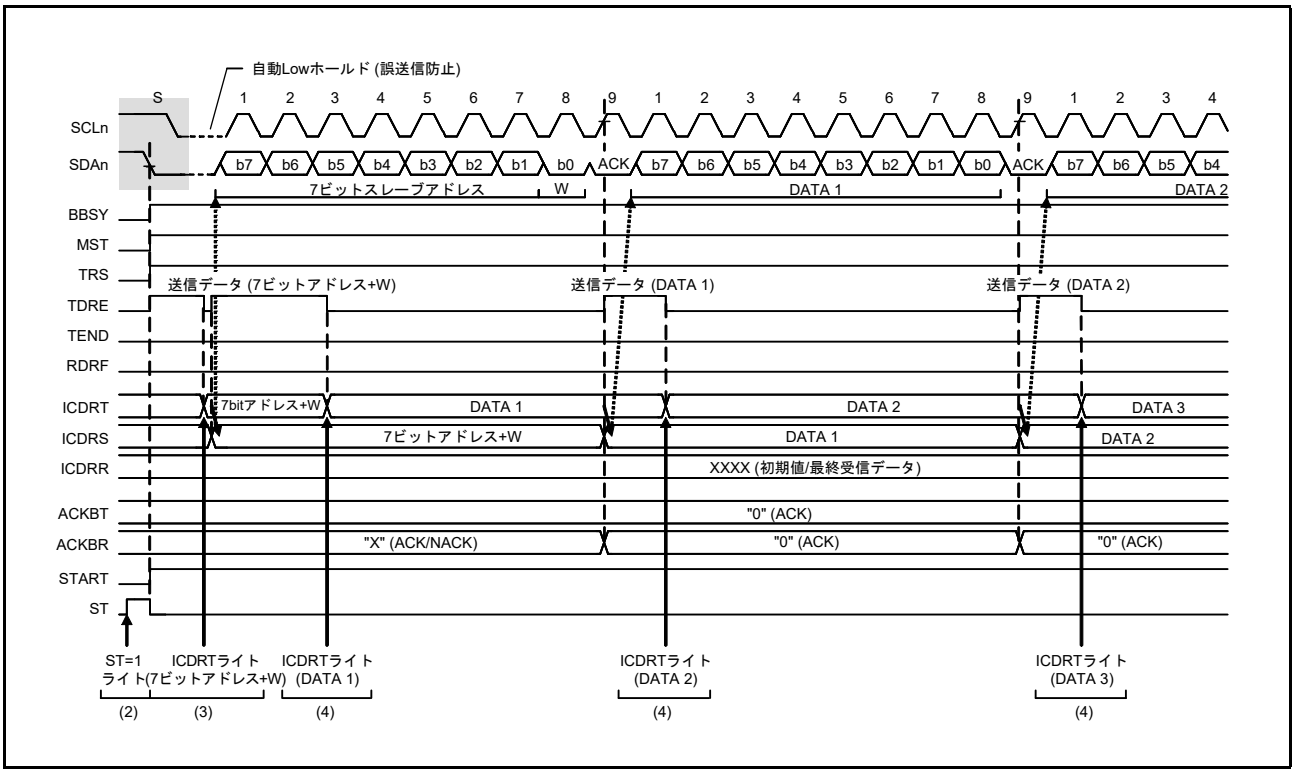


図 34.7　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

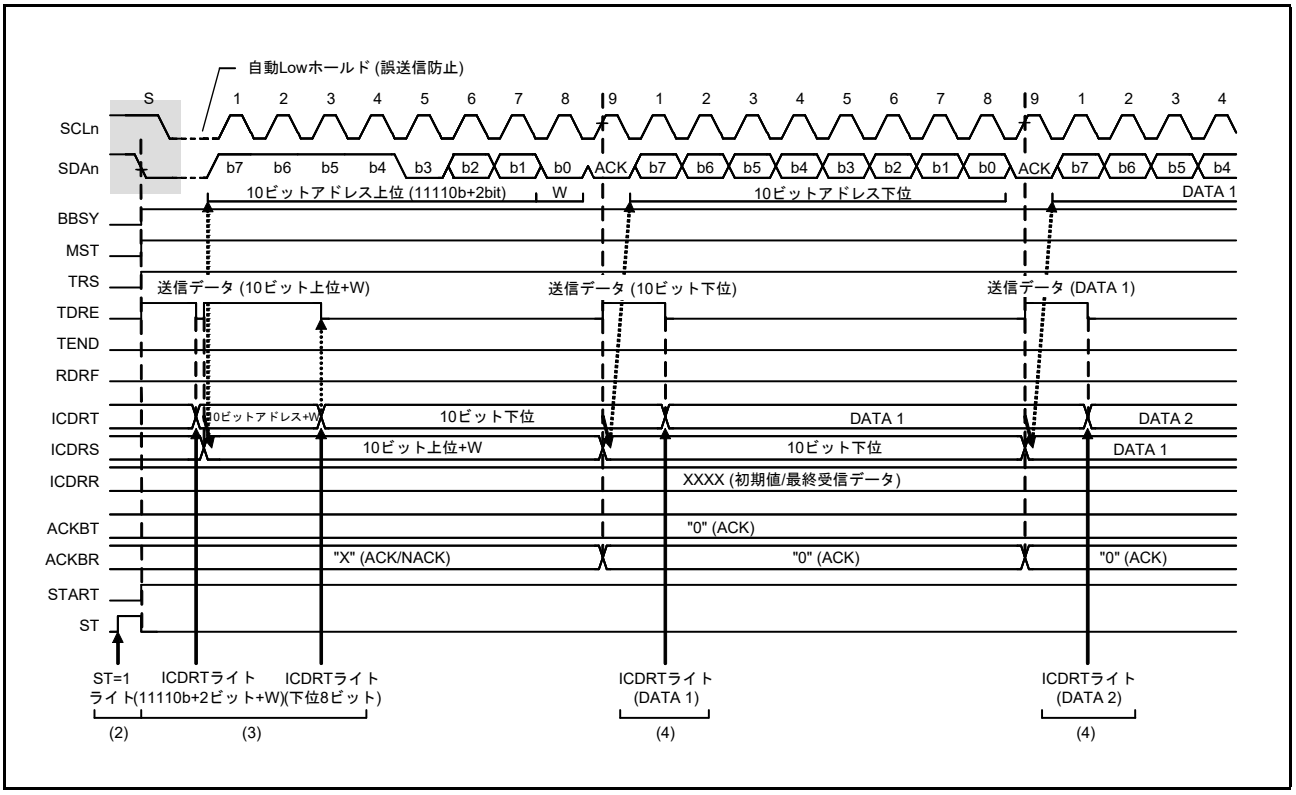


図 34.8　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

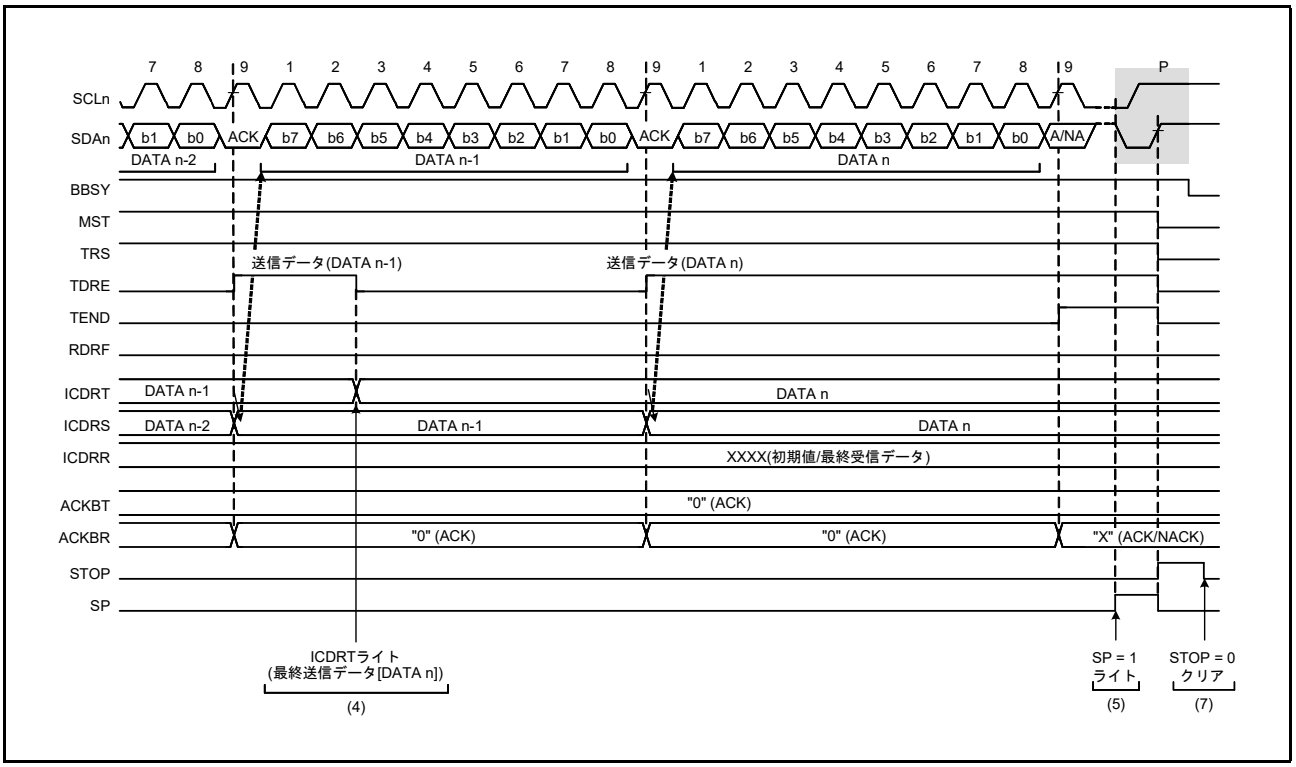


図 34.9　マスタ送信の動作タイミング（3）

34.3.4　マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 34.10、**図 34.11** にマスタ受信の使用例（7 ビットアドレスフォーマットの場合）を、**図 34.12** ～**図 34.14** にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

(1) 初期設定を行います。詳細は**「34.3.2　初期設定」**を参照してください。

(2) ICCR2.BBSY フラグを読み出しバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき、ST ビットが “1” の状態で出力した SDA 信号と SDAn ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット = 1 により自動的に “1” になります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信モードに移行します。このとき TDRE フラグは “0” に、ICSR2.RDRF フラグは自動的に “1” になります。

このとき、ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているため、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット＋ R を送信することで、マスタ受信モードに移行します。

(4) ICSR2.RDRF フラグが “1” であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが “1” になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。次の受信バイトが最終バイト－ 1 の場合、ICDRR レジスタ（最終バイト－ 2 バイト目）を読む前に ICMR3.WAIT ビットを “1”（WAIT あり）にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを “1”（NACK）にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCLn ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

(6) ICMR3.RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを “1”（NACK）にしてください。

(7) ICDRR レジスタ（最終バイトー 1 バイト目）を読み出した後、ICSR2.RDRF フラグが “1” であることを確認してから、ICCR2.SP ビットに “1” を書いて（ストップコンディション発行要求）、ICDRR レジスタ（最終バイト）を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCLn ラインの Low ホールド解除後にストップコンディションを発行します。

(8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが “1” になります。

(9) ICSR2.STOP フラグが “1” であることを確認した後、次の通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

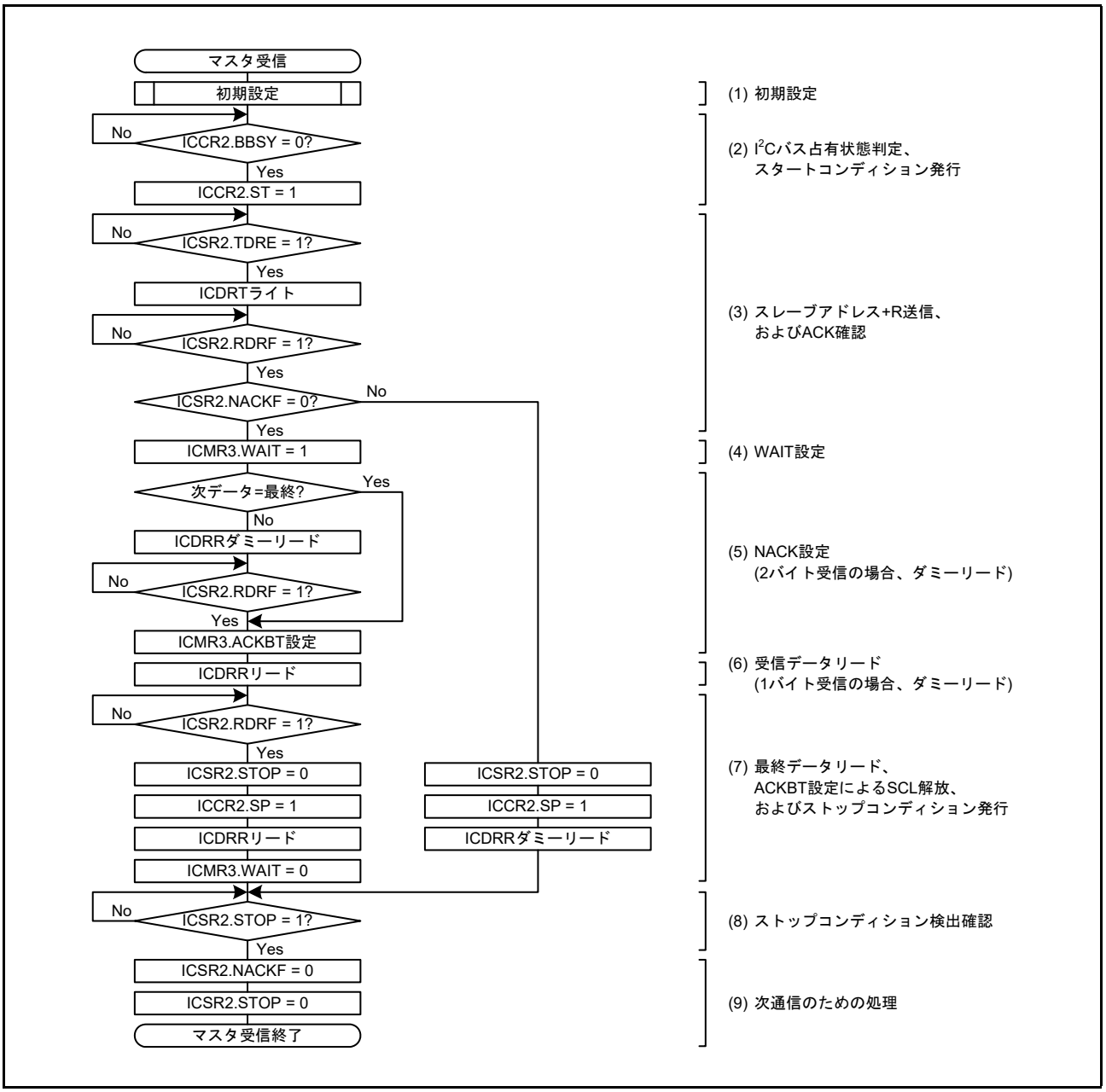


図 34.10　マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合、2 バイト以下の場合）

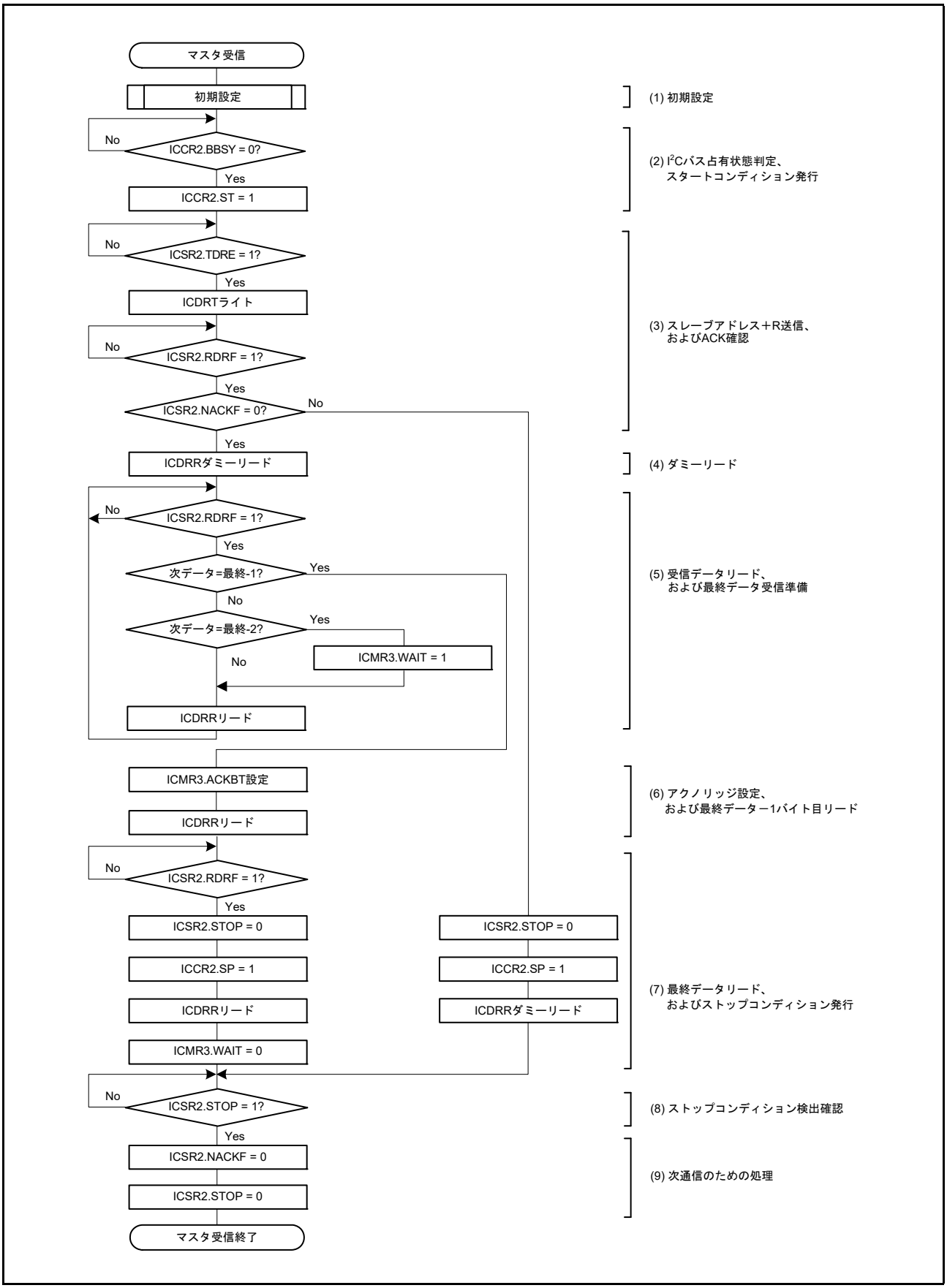


図 34.11　マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）

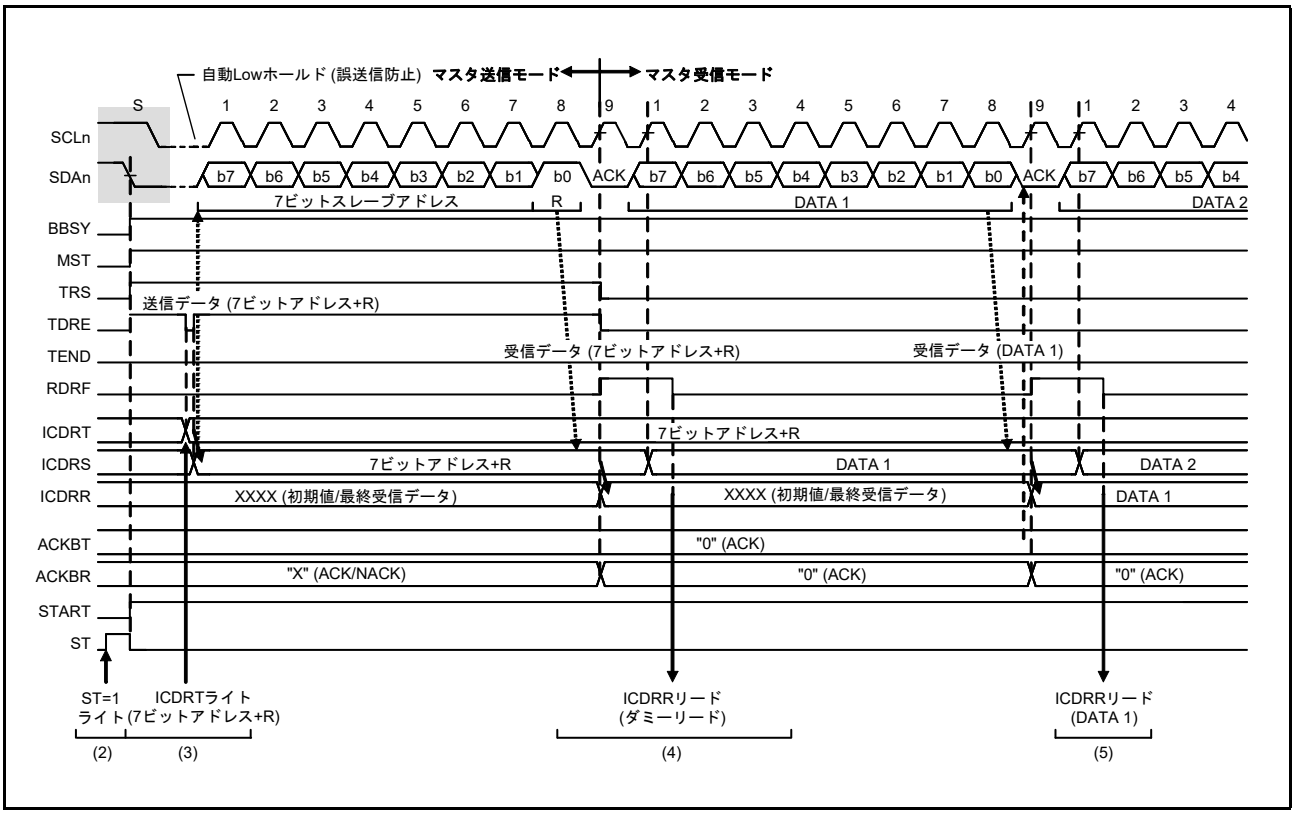


図 34.12　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき）

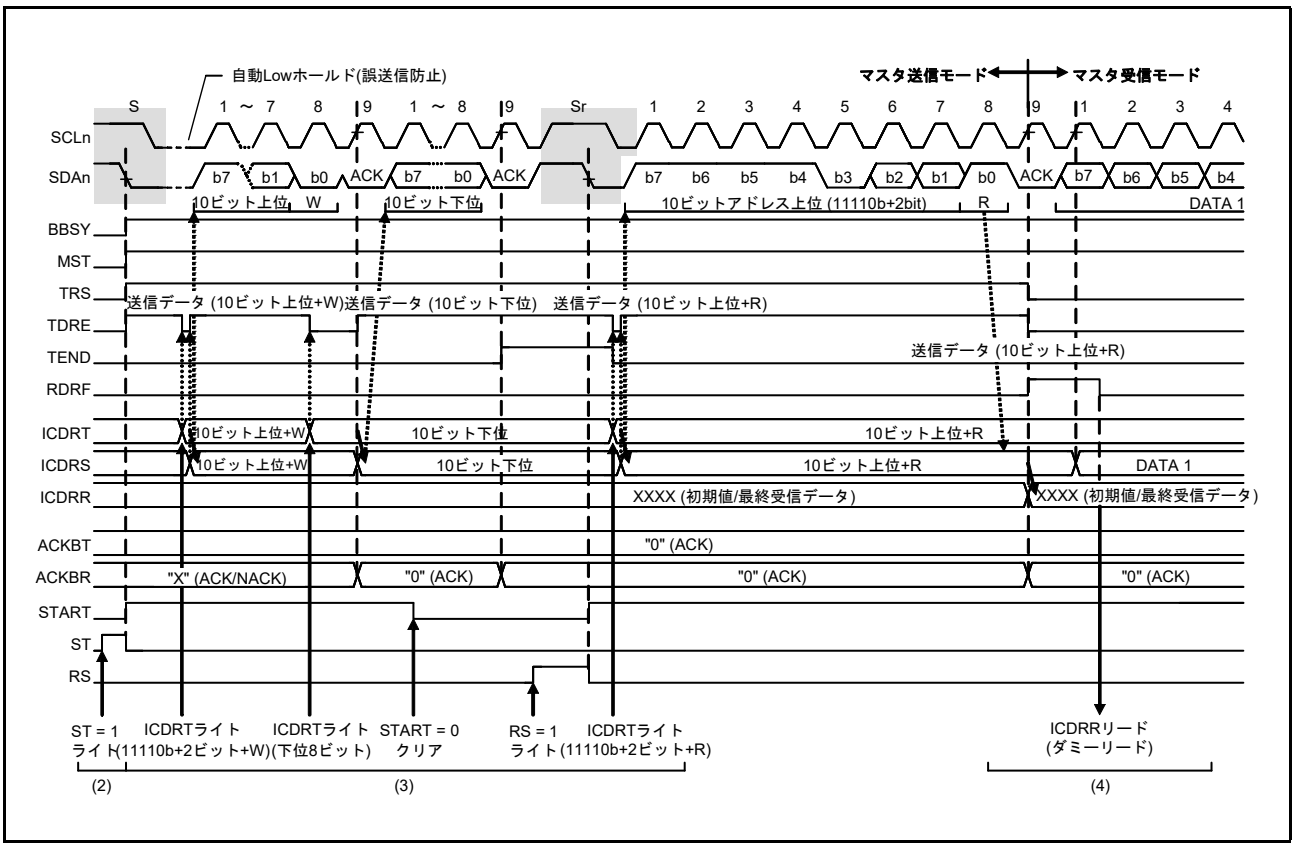


図 34.13　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS = 0 のとき）

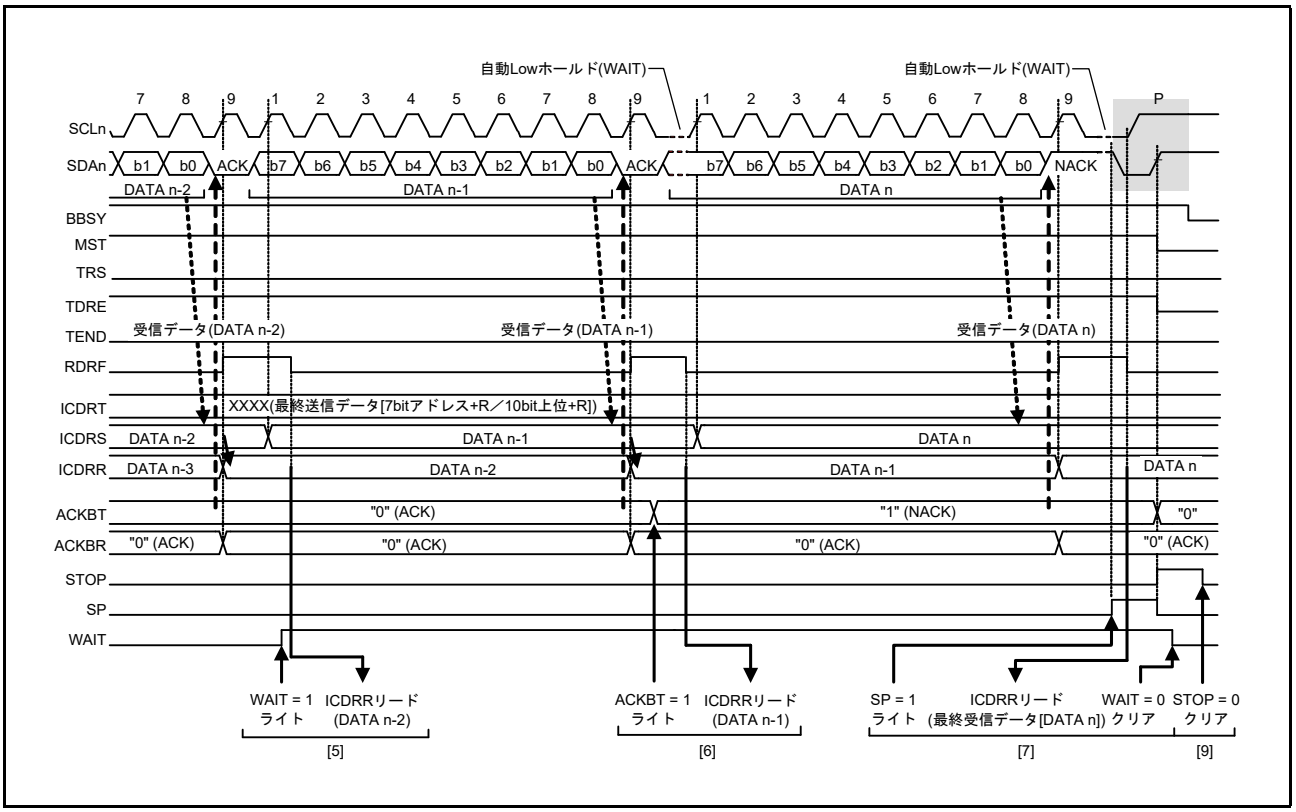


図 34.14　マスタ受信の動作タイミング（3）（RDRFS = 0 のとき）

34.3.5　スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 34.15 にスレーブ送信の使用例を示します。**図 34.16**、**図 34.17** にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) 初期設定を行います。詳細は**「34.3.2　初期設定」**を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまでスレーブ受信モードで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.GCA, AASy ビット（y = 0 ～ 2）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに対し、ICMR3.ACKBT ビットに設定した値を返信します。7 ビットアドレスフォーマット時は、このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。また、10 ビットアドレスフォーマット時はスレーブアドレス一致後、ICSR2.STOP フラグが “0” かつ ICSR2.RDRF フラグが “1” であることを確認して、ICDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは下位 8 ビットアドレスになります）。ダミーリード後、リスタートコンディションを検出し再びデータを受信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。

(4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。
ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降、SCLn ラインを Low にホールドします。

(5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。

(6) RIIC はストップコンディションを検出すると、ICSR1.GCA, AASy ビット（y = 0 ～ 2）、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。

(7) ICSR2.STOP フラグが “1” であることを確認した後、次の通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

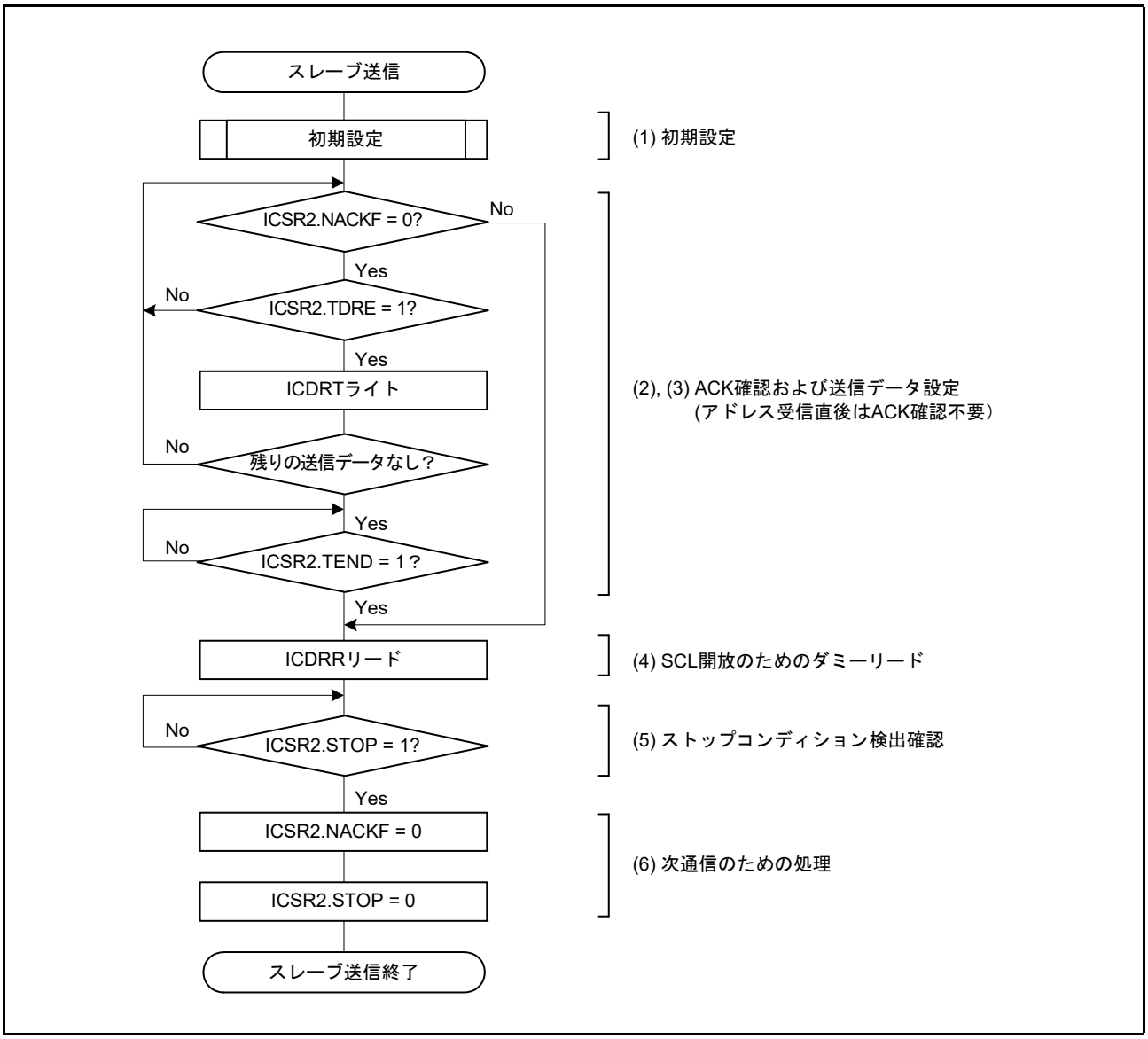


図 34.15　スレーブ送信のフローチャート例

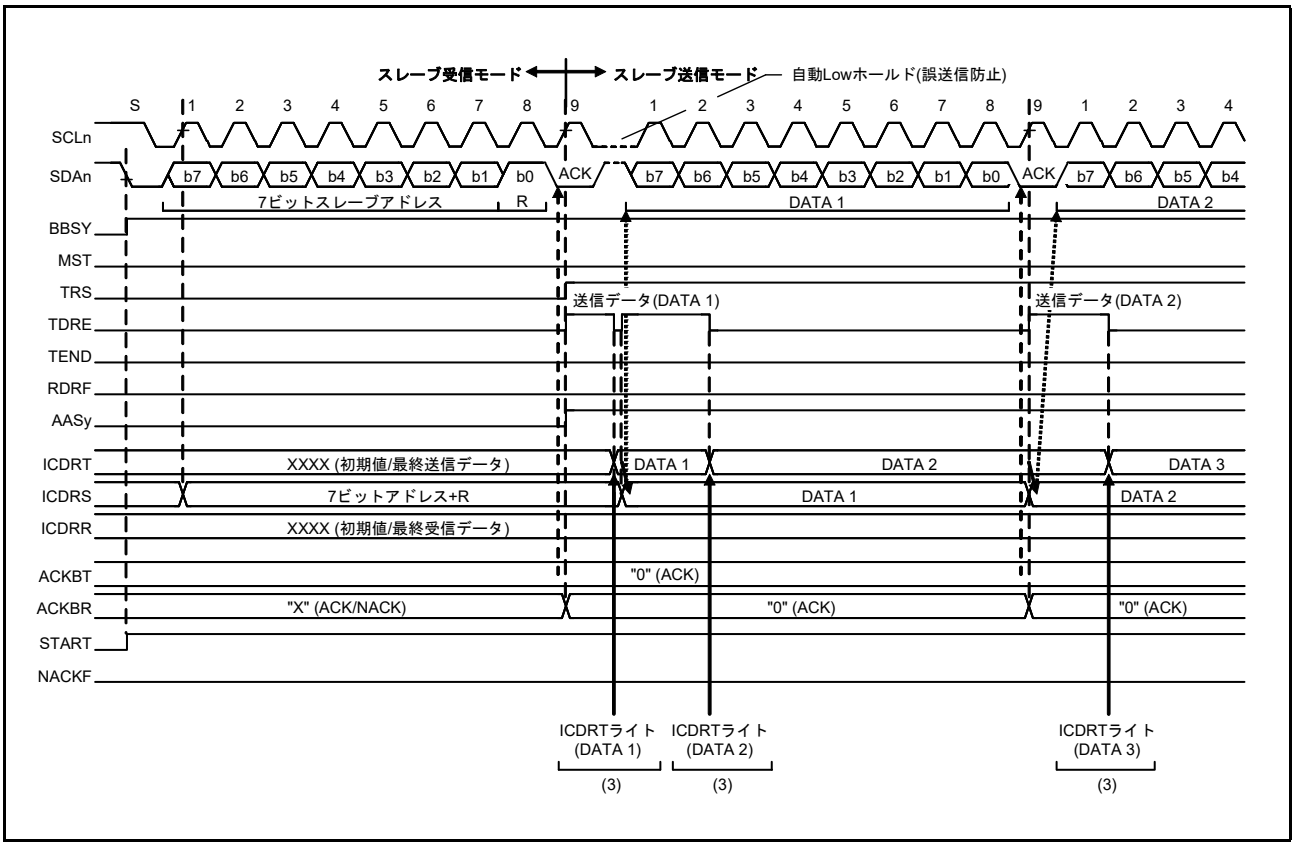


図 34.16　スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

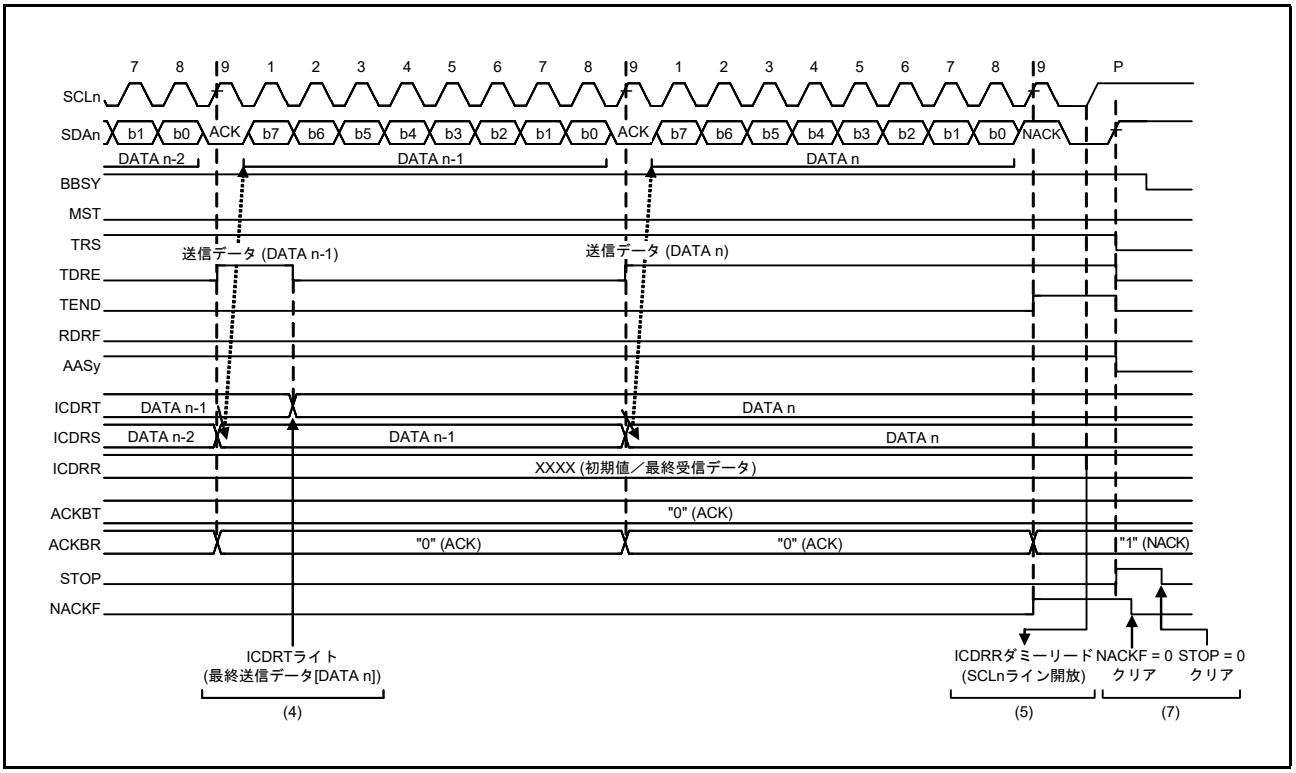


図 34.17　スレーブ送信の動作タイミング（2）

34.3.6　スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 34.18 にスレーブ受信の使用例を**図 34.19**、**図 34.20** にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) 初期設定を行います。詳細は**「34.3.2　初期設定」**を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまでスレーブ受信モードで待機状態となります。

(2) スレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.GCA, AASy ビット（y = 0 ～ 2）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに対し、ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。

(3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス＋ R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。ダミーリード後、RIIC は RDRF フラグを “0” にし、受信動作を開始します。

(4) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが “1” になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL クロック立ち下がりで、SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、RIIC は SCLn ラインを開放します。ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると、ICSR1.GCA, AASy ビット（y = 0 ～ 2）を自動的に “0” にします。

(6) ICSR2.STOP フラグが “1” であることを確認した後、次の通信のために ICSR2.STOP フラグを “0” にしてください。

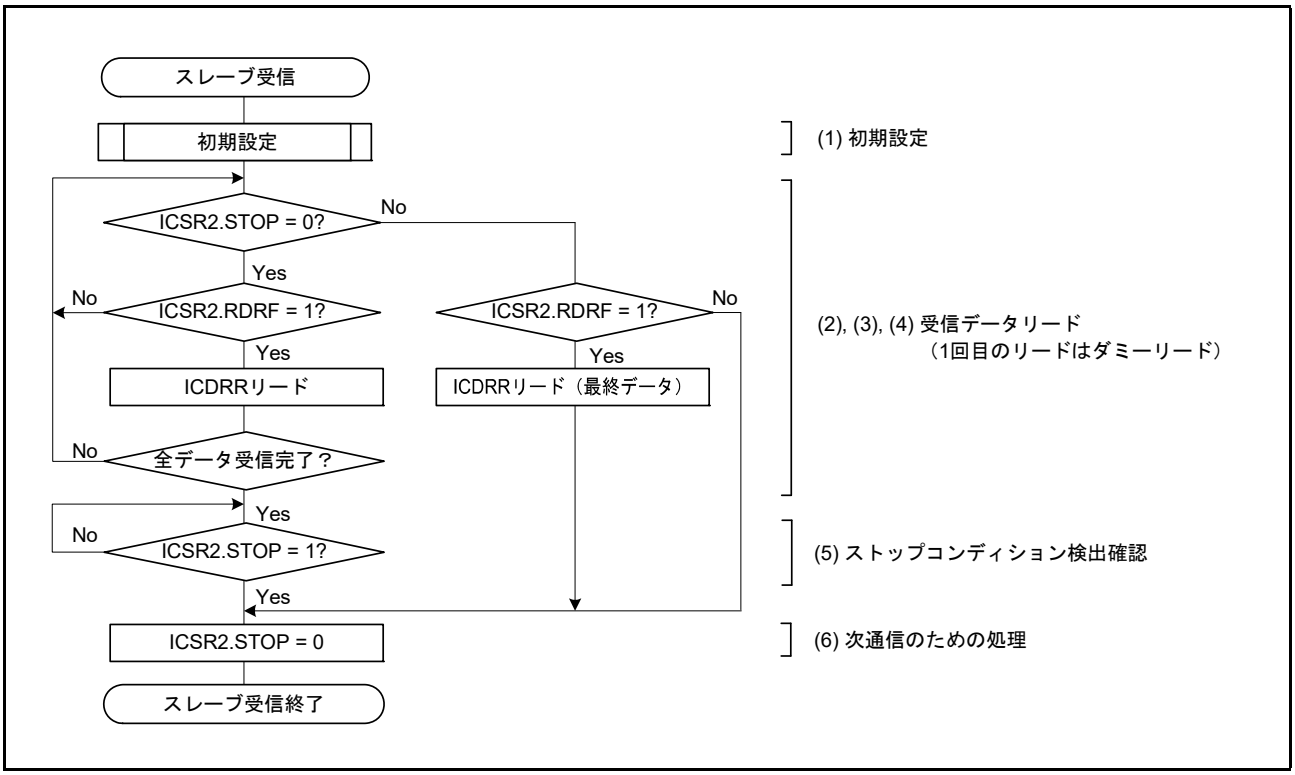


図 34.18　スレーブ受信のフローチャート例

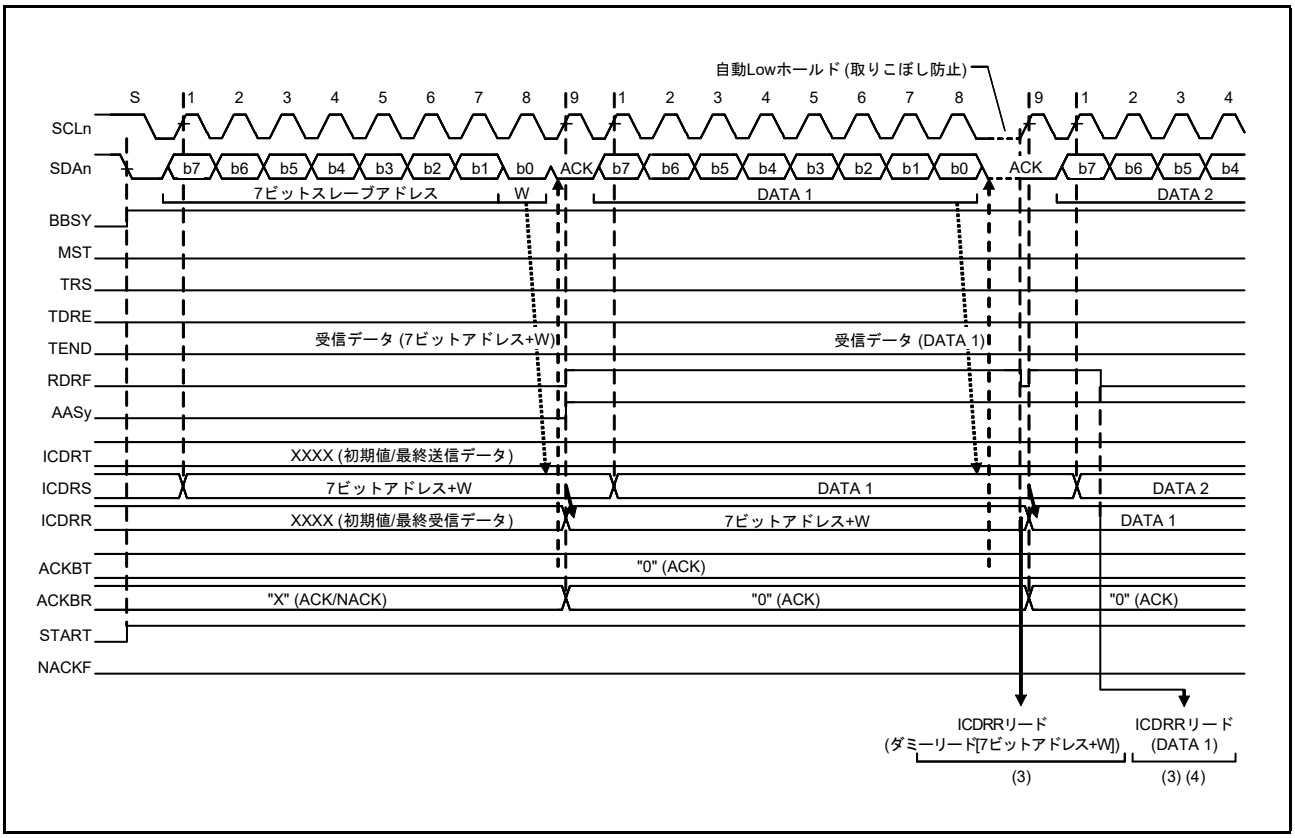


図 34.19　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき）

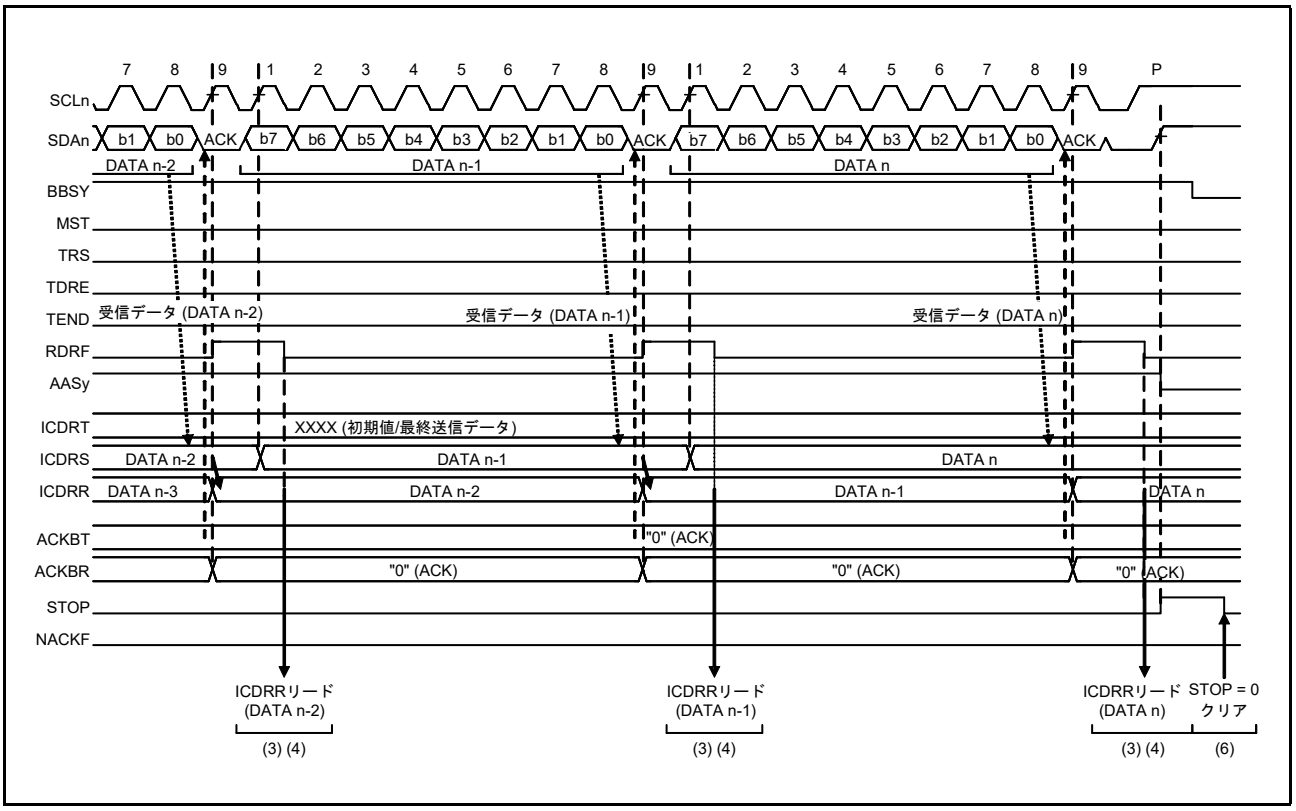


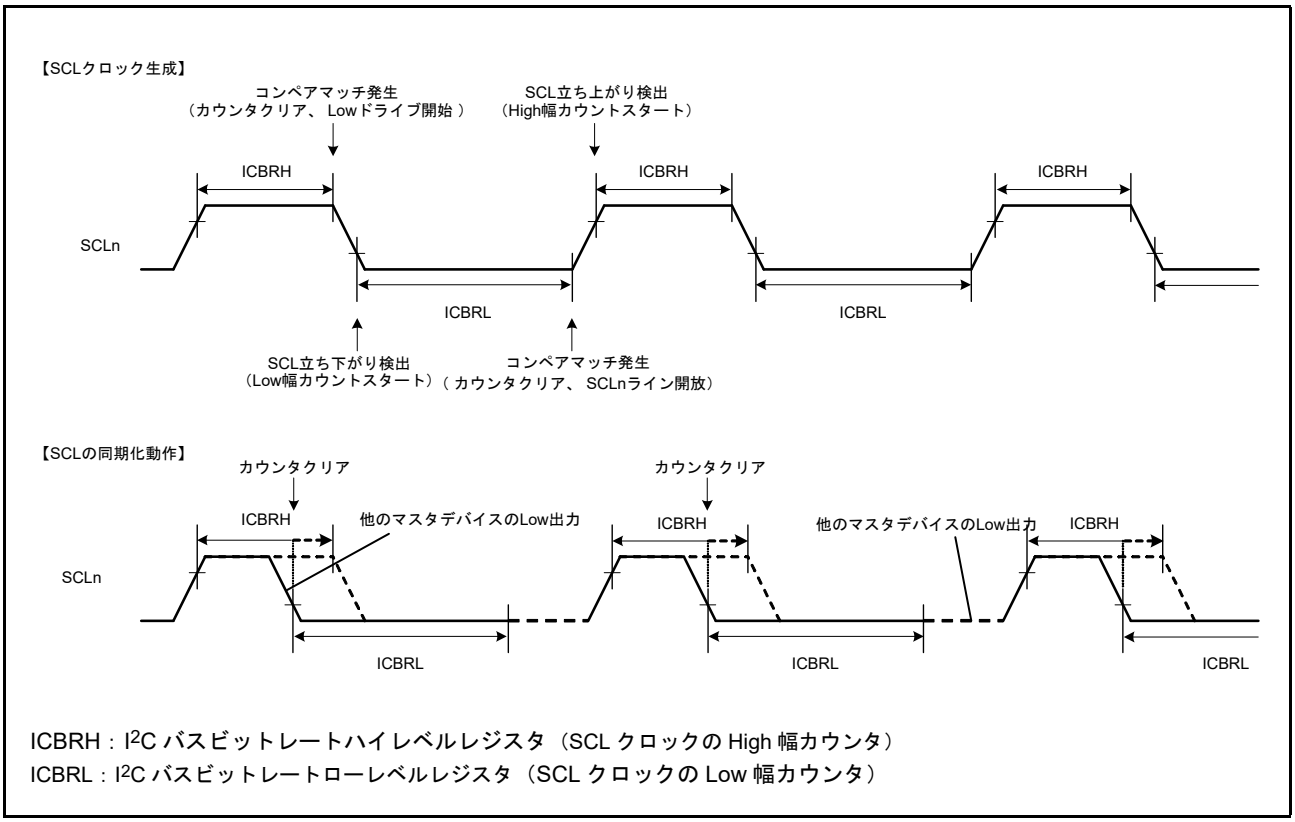
図 34.20　スレーブ受信の動作タイミング（2）（RDRFS = 0 のとき）

34.4　SCL 同期回路

RIIC は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCLn ラインを Low にドライブして立ち下げ、SCL クロックを生成します。また、SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放し、SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC が SCLn ラインの立ち上がりを検出し、ICBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCLn ラインの Low ドライブと同時に ICBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき、他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL クロックが立ち上がります。そのため、SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが “1” のとき有効です。



ICBRH：I²C バスビットレートハイレベルレジスタ（SCL クロックの High 幅カウンタ）
ICBRL：I²C バスビットレートローレベルレジスタ（SCL クロックの Low 幅カウンタ）

図 34.21　RIIC の SCL クロック生成および SCL 同期化動作

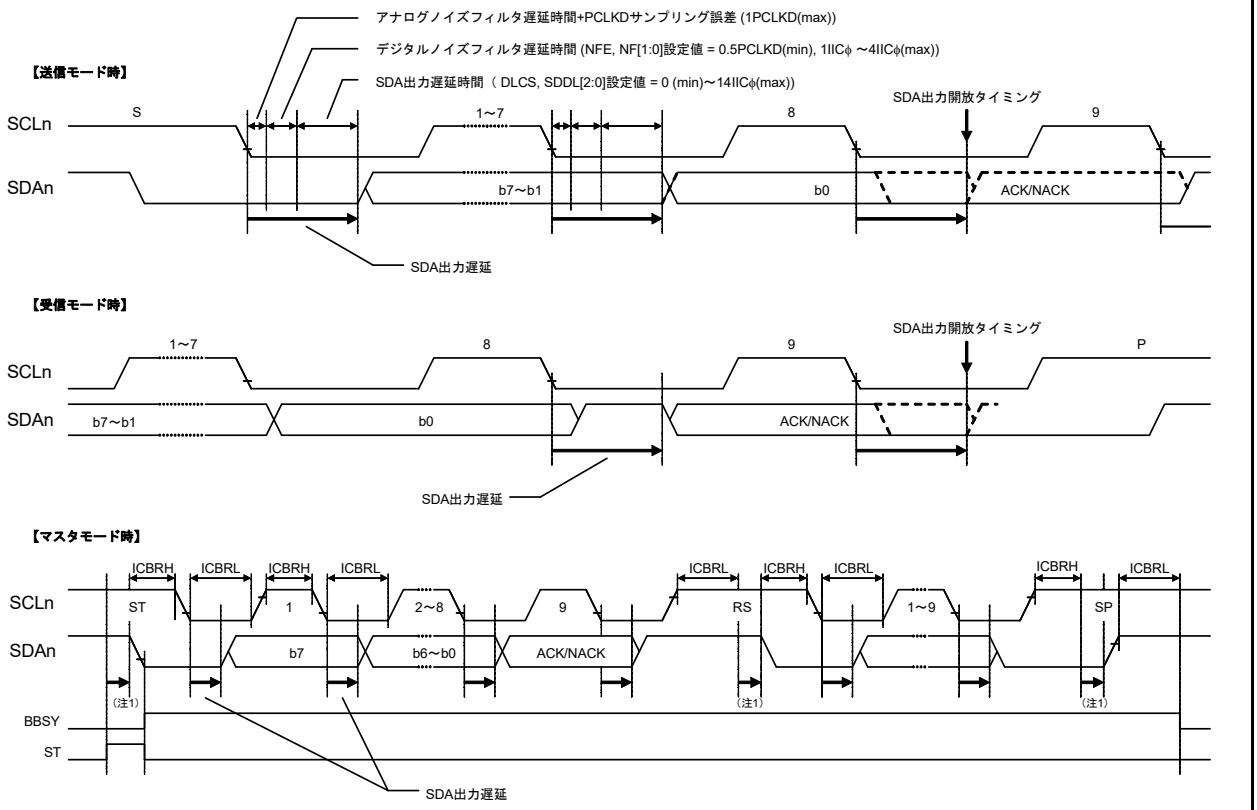
34.5　SDA 出力遅延機能

RIIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（開始／再開始／停止）、データ出力、ACK ／ NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能です。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが “000b” 以外）のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック（IICϕ）、またはその 2 分周クロック（IICϕ/2）をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力（発行動作（開始／再開始／停止）、データ出力、ACK ／ NACK 出力）を行います。



注 1.　スタートコンディション（ST）、リスタートコンディション（RS）、ストップコンディション（SP）発行時は DLCS, SDDL[2:0] 設定値分の遅延

図 34.22　SDA 出力遅延タイミング

34.6　デジタルノイズフィルタ回路

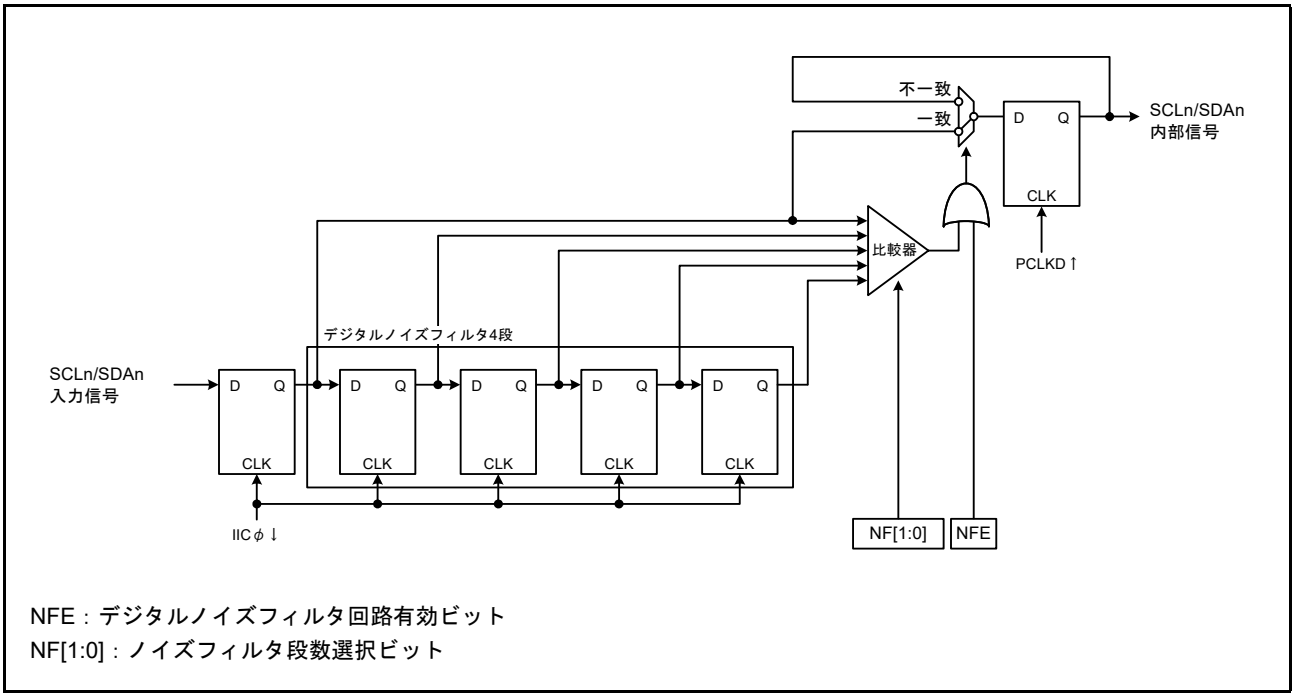
SCLn 端子および SDAn 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 34.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IICϕ ～ 4IICϕ サイクル分となります。

SCLn 端子入力信号（または SDAn 端子入力信号）は IICϕ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLKD = 4MHz 時の 400kbps 通信のような内部動作クロック（PCLKD）と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止（ICFER.NFE ビット = 0）し、アナログノイズフィルタ回路のみを使用することが可能です。



NFE：デジタルノイズフィルタ回路有効ビット
NF[1:0]：ノイズフィルタ段数選択ビット

図 34.23　デジタルノイズフィルタ回路のブロック図

34.7　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

34.7.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット（y = 0 ～ 2）が “1” のとき、ICSARUy ／ ICSARLy レジスタ（y = 0 ～ 2）に設定されたスレーブアドレスを検出することができます。

RIIC は、設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.AASy フラグ（y = 0 ～ 2）を “1” にし、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み（RXI）または送信データエンプティ割り込み（TXI）を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 34.24 ～図 34.26 に AASy フラグが “1” になるタイミングを示します。

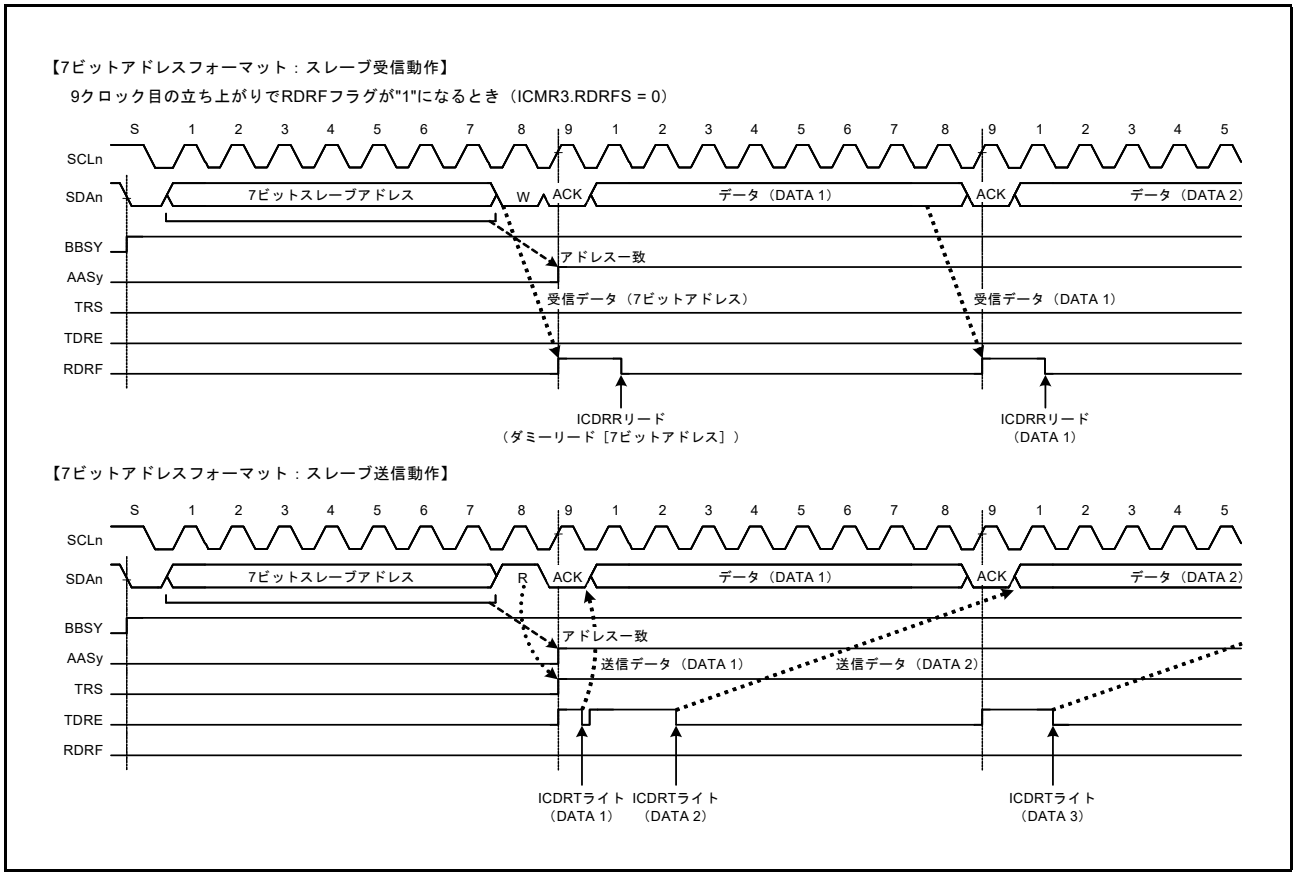


図 34.24　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

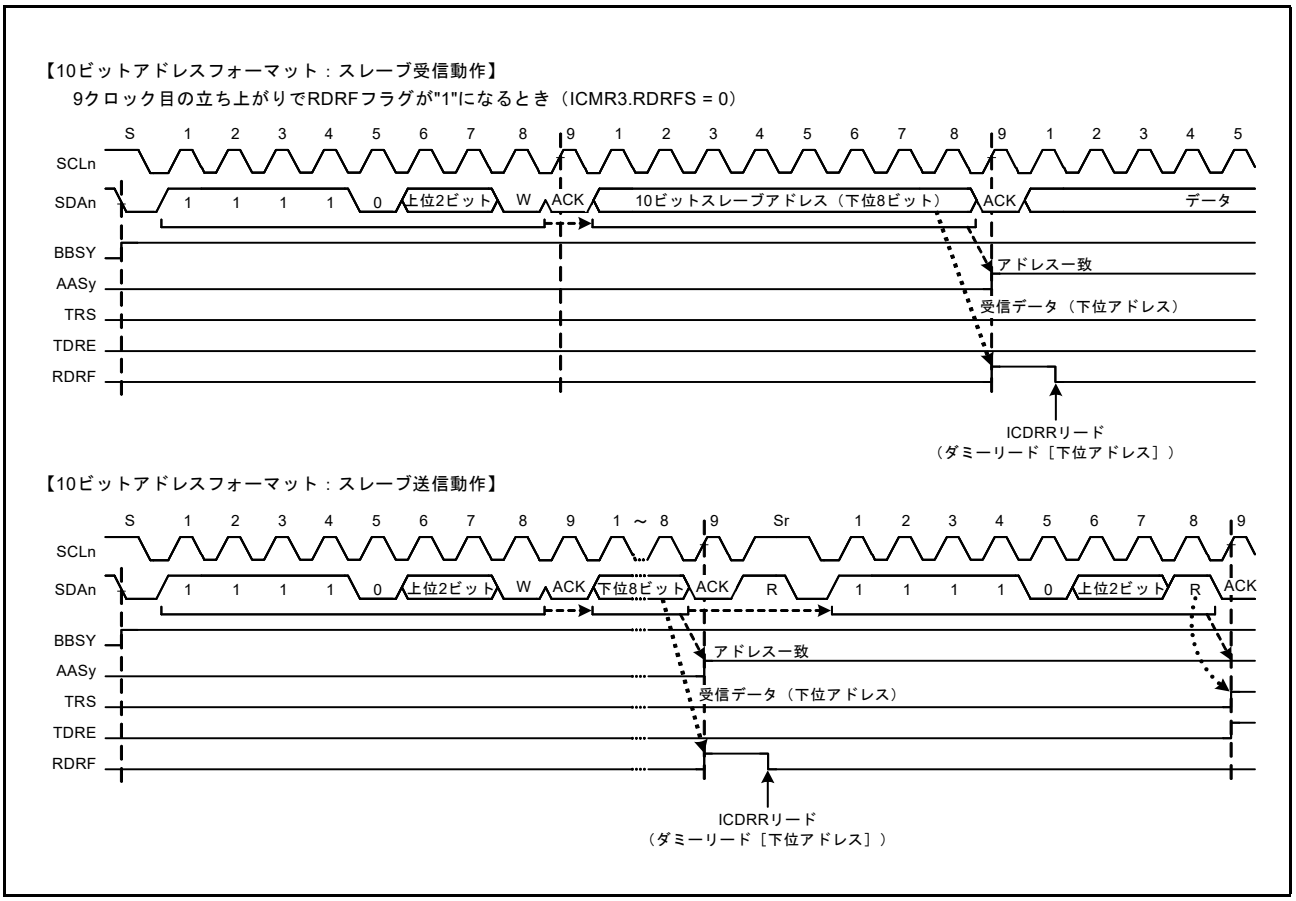


図 34.25　10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

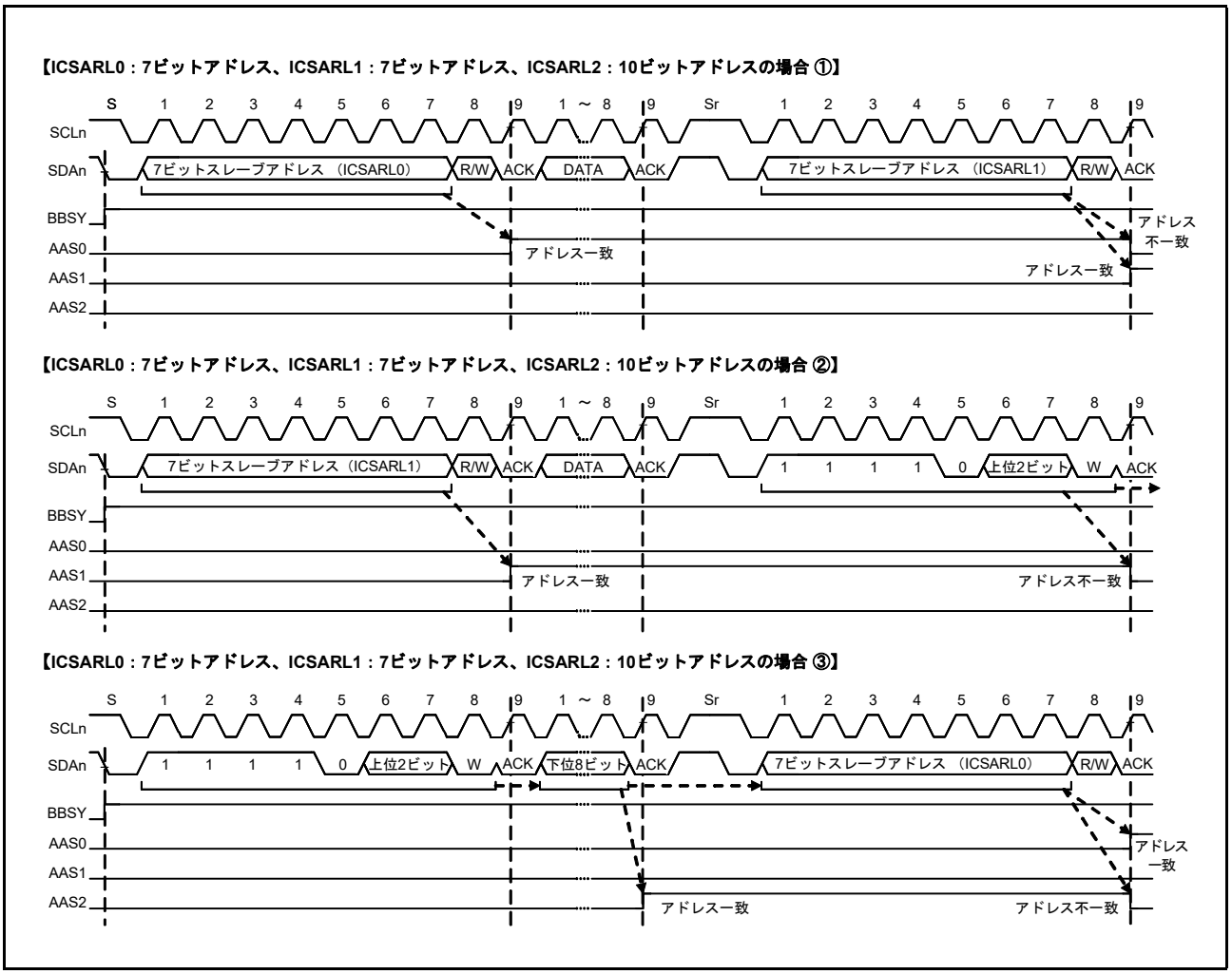


図 34.26　7 ビット／ 10 ビットアドレスフォーマット混在時に AASy フラグが “1” または “0” になるタイミング

34.7.2　ジェネラルコールアドレス検出機能

RIIC は、ジェネラルコールアドレス（0000 000b ＋ 0[W]）の検出機能を備えています。ICSER.GCAE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディション、またはリスタートコンディション後のアドレスが 0000 000b ＋ 1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグを “1” にし、同時に ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み（RXI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

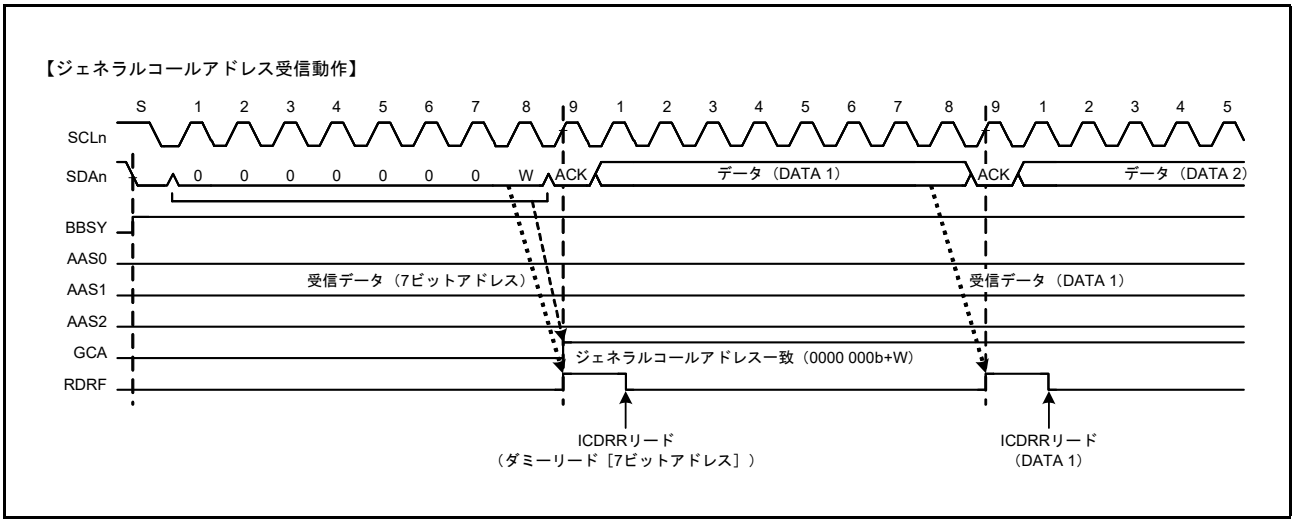


図 34.27　ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

34.7.3　デバイス ID アドレス検出機能

RIIC は、I²C バス（Rev.03）に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき SCL クロックの 8 クロック目の立ち上がりで ICSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ（y = 0 ～ 2）が “1” になります。

その後、スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス（1111 100b）と一致し、続く R/W# ビットが “1” のとき、RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致、あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にします。その際、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス（1111 100b）と一致し、かつ R/W# ビットが “0” のとき、DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE = 1 を確認後、DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後に、ホストに送信するデバイス ID フィールドとして必要な情報（3 バイト分：メーカ [12 ビット] ＋部品識別 [9 ビット] ＋リビジョン [3 ビット]）は、通常の送信データと同様にあらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

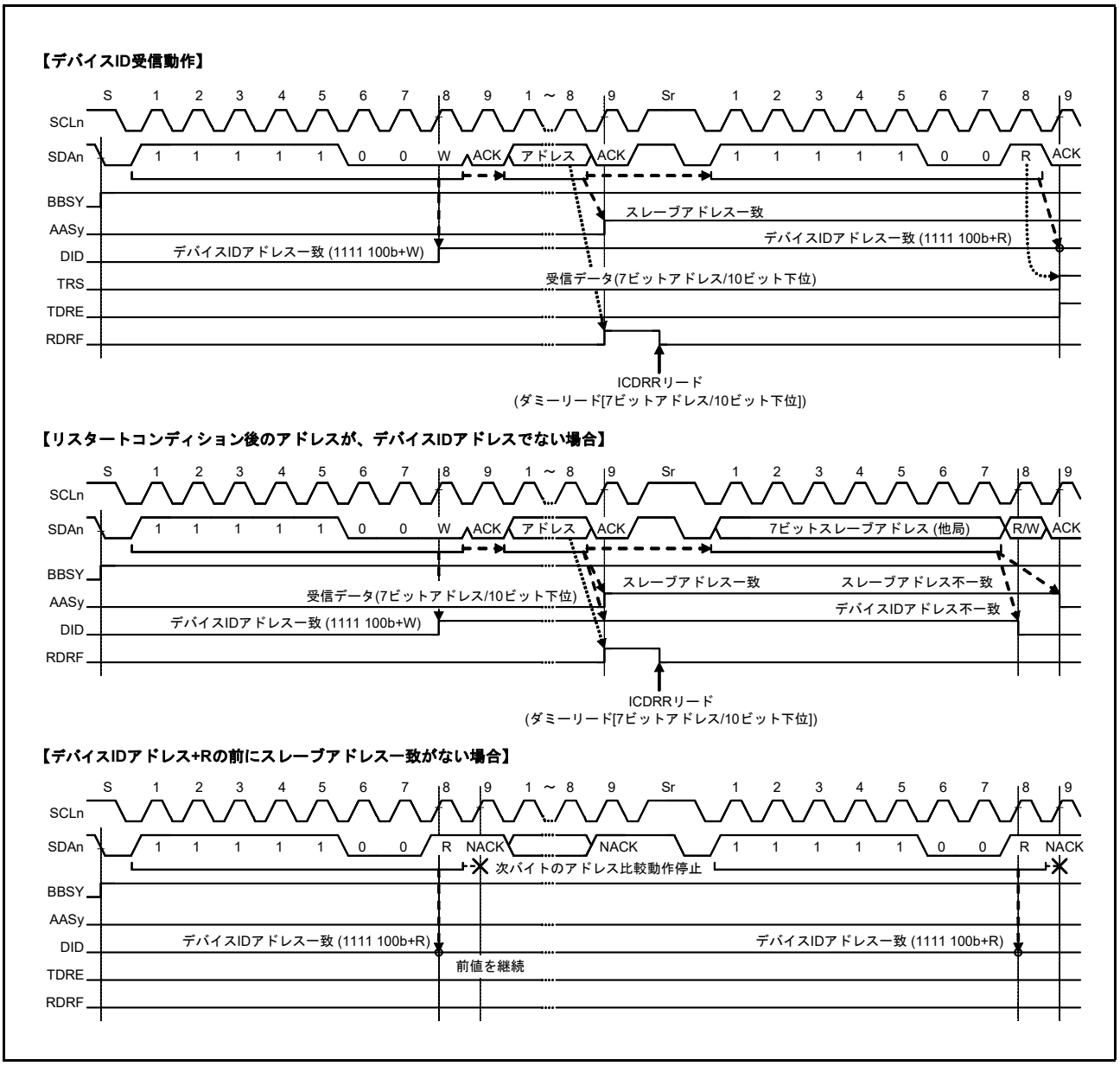


図 34.28　デバイス ID アドレス受信時の AASy、DID フラグセット／クリアタイミング

34.8　SCL の自動 Low ホールド機能

34.8.1　送信データ誤送信防止機能

RIIC は、送信モード時（ICCR2.TRS ビット = 1）、シフトレジスタ（ICDRS レジスタ）が空の状態でかつ送信データ（ICDRT レジスタ）が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間、Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の Low 区間

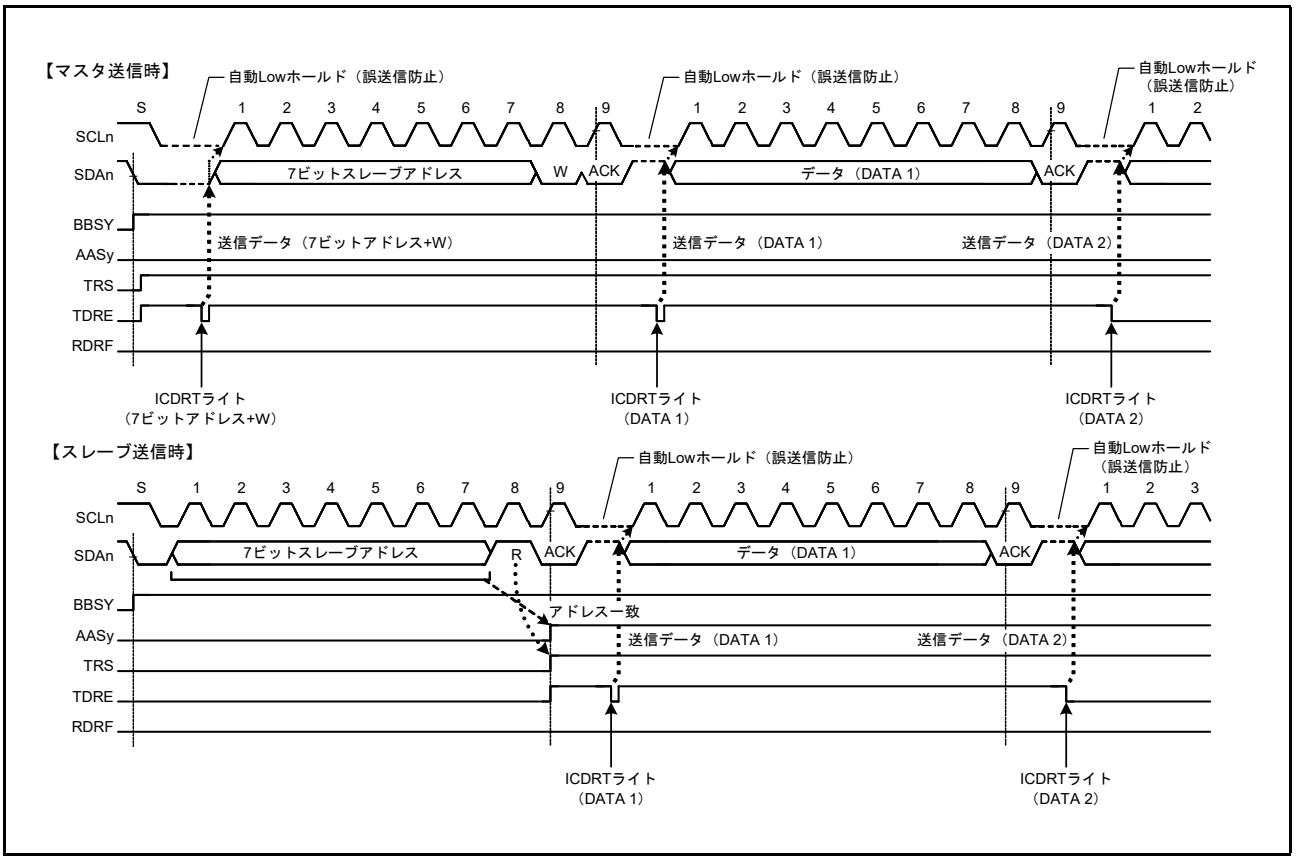


図 34.29　送信モードの自動 Low ホールド動作

34.8.2　NACK 受信転送中断機能

RIIC は送信モード時（ICCR2.TRS ビット ＝1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKE ビットが “1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（ICSR2.TDRE フラグ ＝0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次の送信データの MSB が “0” のときの SDAn ライン Low 出力固定を防止することができます。

なお、NACK 受信転送中断機能で転送動作が中断された場合（ICSR2.NACKF フラグ ＝1）、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

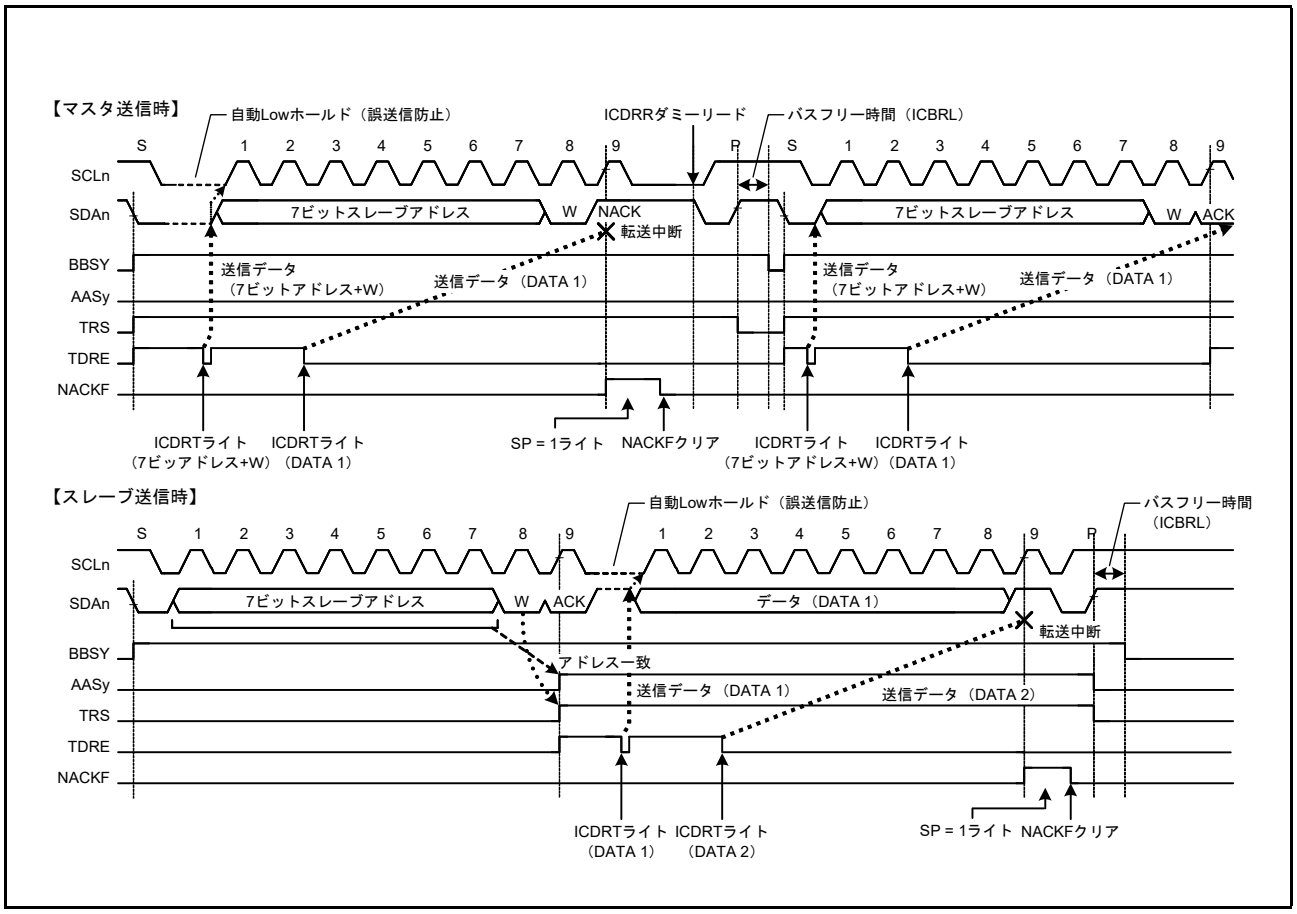


図 34.30　NACK 受信時の転送中断動作（NACKE = 1 のとき）

34.8.3　受信データ取りこぼし防止機能

RIICは、受信モード時（ICCR2.TRSビット ＝0）、受信データフル（ICSR2.RDRFフラグ ＝1）の状態で受信データ（ICDRRレジスタ）の読み出しが1転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的にSCLnラインのLowホールドを行い、受信データの取りこぼしを未然に防止します。

この自動Lowホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効です。ストップコンディション後、自スレーブアドレスと不一致の場合にはこのLowホールドは行わないため、他の通信を阻害しません。

また、RIICではICMR3.WAIT, RDRFSビットの組み合わせによりLowホールドを行う区間を選択することができます。

(1)　WAITビットによる1バイト受信動作／自動Lowホールド機能

ICMR3.WAITビットを“1”にすると、RIICはWAITビット機能による1バイト受信動作になります。ICMR3.RDRFSビットが“0”のとき、SCLクロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的にICMR3.ACKBTビットの内容が送出されます。9クロック目の立ち下がりを検出するとWAITビット機能により、自動的にSCLnラインをLowにホールドします。このLowホールドはICDRRレジスタの読み出しによって解除されます。そのため、1バイトごとの受信動作が可能になります。

なお、WAITビット機能は、マスタ受信モード時またはスレーブ受信モード時で、かつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

(2)　RDRFSビットによる1バイト受信動作（ACK/NACK送出制御）／自動Lowホールド機能

ICMR3.RDRFSビットを“1”にすると、RIICはRDRFSビット機能による1バイト受信動作になります。RDRFSビットを“1”にすると、受信データフルフラグ（ICSR2.RDRFフラグ）が“1”になるタイミングがSCLクロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCLnラインをLowにホールドします。このLowホールドはICMR3.ACKBTビットへの書き込みによって解除され、ICDRRレジスタの読み出しでは解除されません。そのため、1バイトごとに受信したデータの内容に応じたACK/NACK送出の受信動作が可能となります。

なお、RDRFSビット機能は、マスタ受信モード時またはスレーブ受信モード時で、かつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

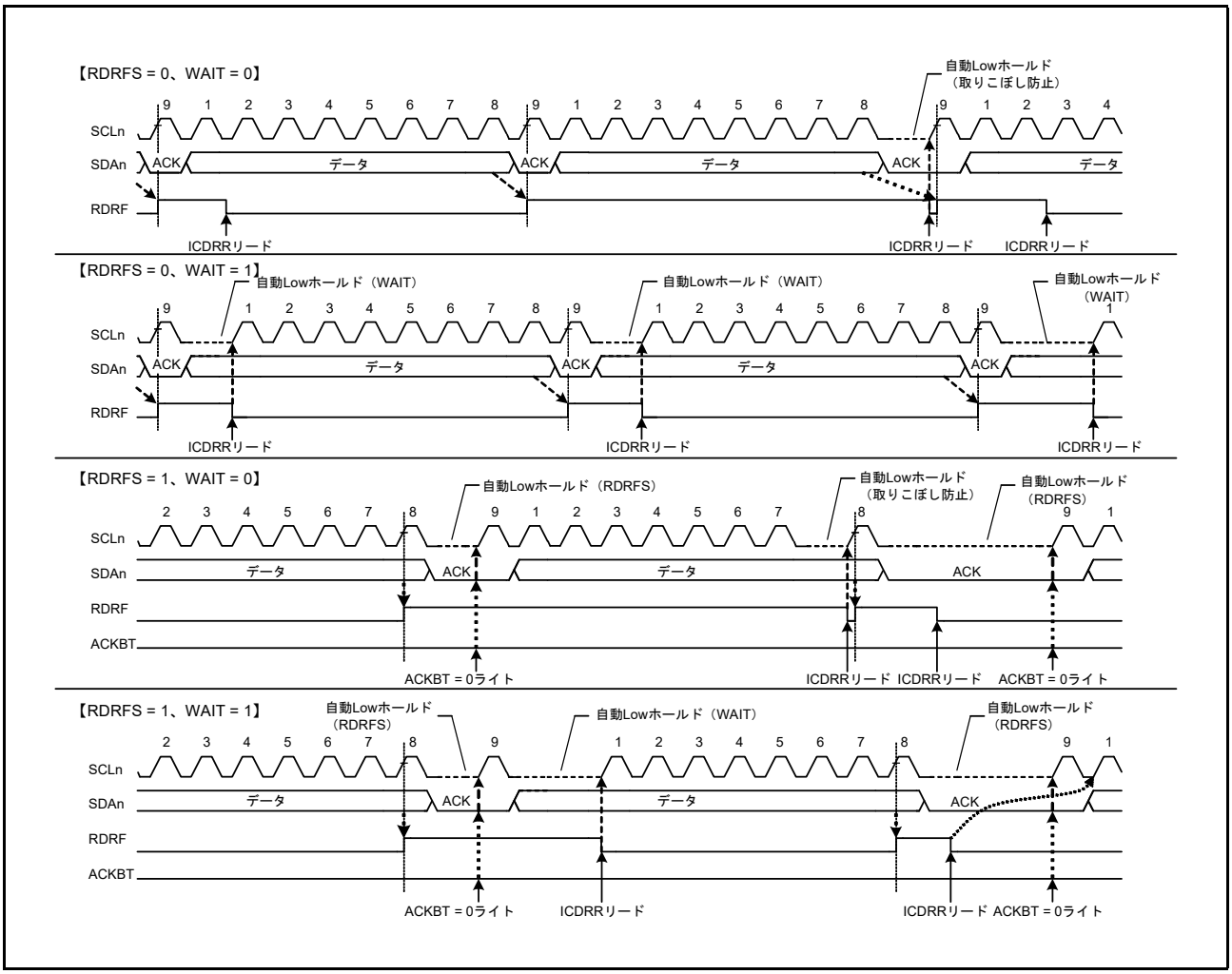


図 34.31　受信モードの自動 Low ホールド動作（RDRFS、WAIT ビット）

34.9　アービトレーションロスト検出機能

RIIC には I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

34.9.1　マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際、SDAn ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に ICCR2.BBSY フラグが “1”（バスビジー中）のときに ICCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

また、スタートコンディション発行が正常に行われ、アドレス送信を含む送信データ（SDA 信号）と SDAn ラインに不一致が生じた場合（SDA 出力が High 出力（SDAn 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このとき、ジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なお、マスタアービトレーションロスト検出は、ICFER.MALE ビットが “1”（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ ＝0の状態でICCR2.STビット ＝1によるスタートコンディション発行時にSDA信号とSDAn ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグ ＝1 で ICCR2.ST ビットを “1” にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（ICCR2.MST, TRS ビット ＝11b）、アクノリッジを除く送信データ（SDA 信号）と SDAn ライン上の信号の状態が不一致のとき

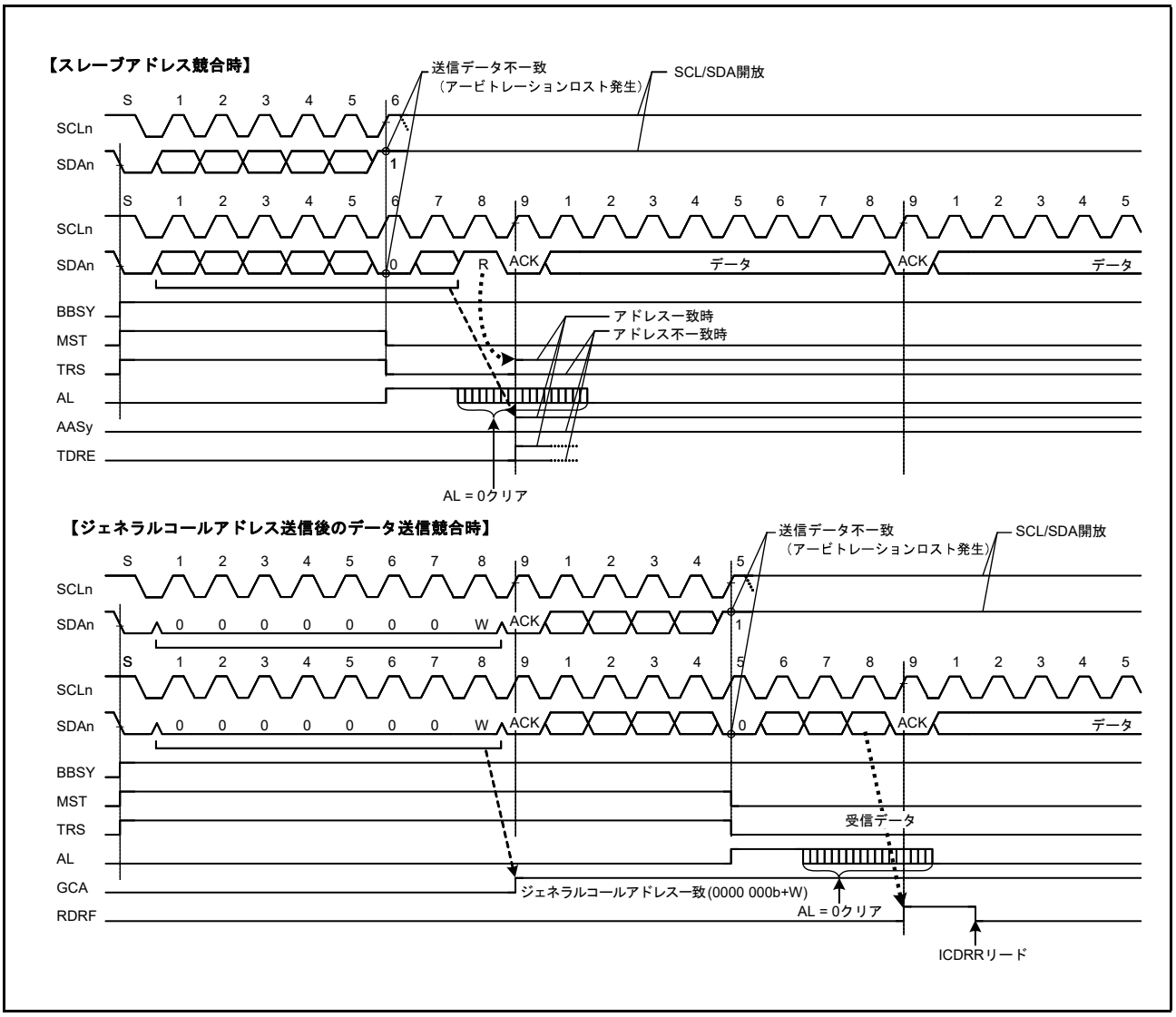


図 34.32　マスタアービトレーションロスト検出動作例（MALE = 1 のとき）

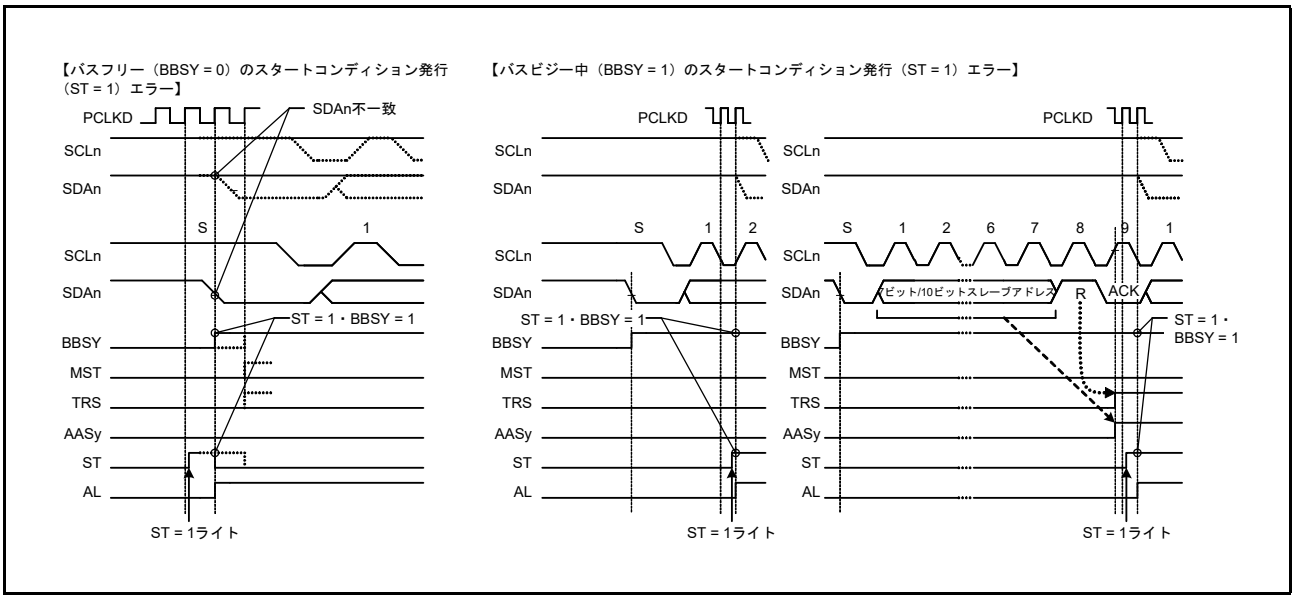


図 34.33　スタートコンディション発行時のアービトレーションロスト（MALE = 1 のとき）

34.9.2　NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時で NACK 送信時に出力した SDA 信号と SDAn ライン上の信号の状態が不一致の場合（SDA 出力が High 出力（SDAn 端子はハイインピーダンス）で、SDAn ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて、2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが、1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 34.34 に NACK 送信アービトレーションロスト検出動作例を示します。

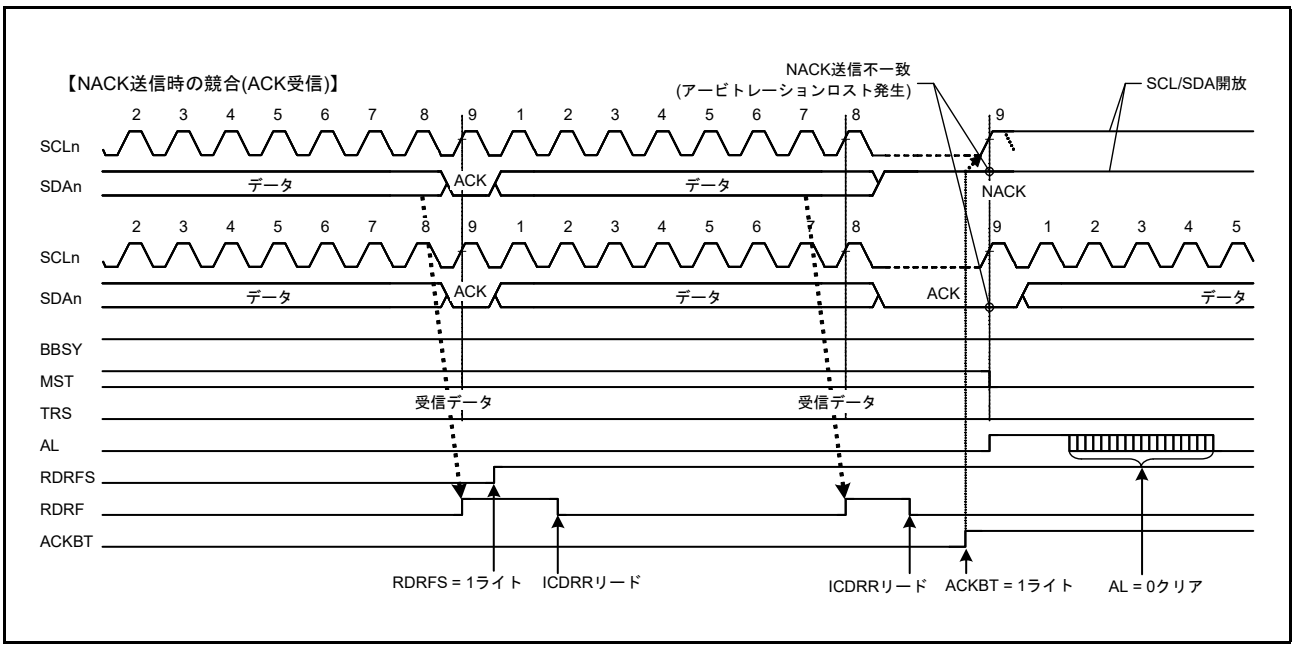


図 34.34　NACK 送信アービトレーションロスト検出動作例（NALE = 1 のとき）

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このとき、マスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストは発生しません。そのため、マスタ A、マスタ B ともにバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このとき、マスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC は、このような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

なお、NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが “1”（NACK 送信アービトレーションロスト検出許可）の状態で、以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

- NACK 送信時（ICMR3.ACKBT ビット ＝1）、出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき（ACK を受信したとき）

34.9.3　スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（出力した SDA 信号）と SDAn ライン上の信号の状態に不一致が生じた場合（出力した SDA 出力が High 出力（SDAn 端子はハイインピーダンス）で、SDAn ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

なお、スレーブアービトレーションロスト検出は、ICFER.SALE ビットが “1”（スレーブアービトレーションロスト検出許可）の状態で、以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

- スレーブ送信モード時（ICCR2.MST, TRS ビット ＝01b）、アクノリッジを除く送信データ（出力した SDA 信号）と SDAn ライン上の信号の状態が不一致のとき

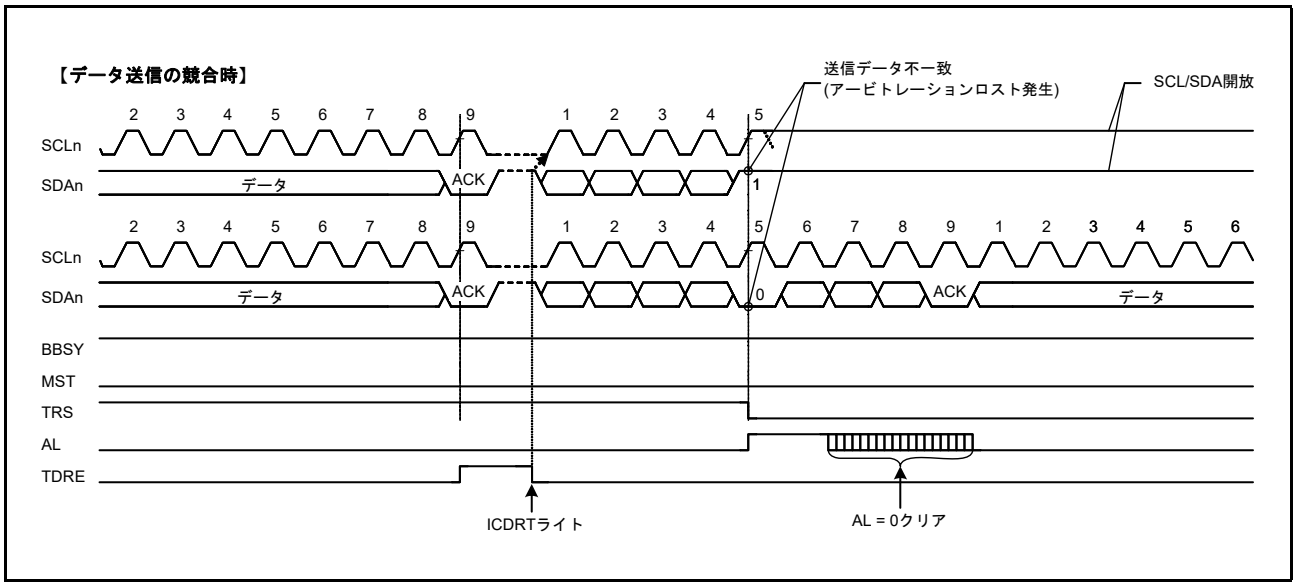


図 34.35　スレーブアービトレーションロスト検出動作例（SALE = 1 のとき）

34.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能

34.10.1　スタートコンディション発行動作

RIIC は、ICCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ ICCR2.BBSY フラグが “0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスにしたがって行われます。

［スタートコンディション発行動作］

（1）SDAn ラインを立ち下げ（High から Low に遷移）
（2）ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
（3）SCLn ラインを立ち下げ（High から Low に遷移）
（4）SCLn ラインの Low を検出後、ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

34.10.2　リスタートコンディション発行動作

RIIC は ICCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にするとリスタートコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1”（バスビジー）の状態でかつ ICCR2.MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスにしたがって行われます。

［リスタートコンディション発行動作］

（1）SDAn ラインを開放
（2）ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保
（3）SCLn ラインを開放（Low から High に遷移）
（4）SCLn ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
（5）SDAn ラインを立ち下げ（High から Low に遷移）
（6）ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
（7）SCLn ラインを立ち下げ（High から Low に遷移）
（8）SCLn ラインの Low を検出後、ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

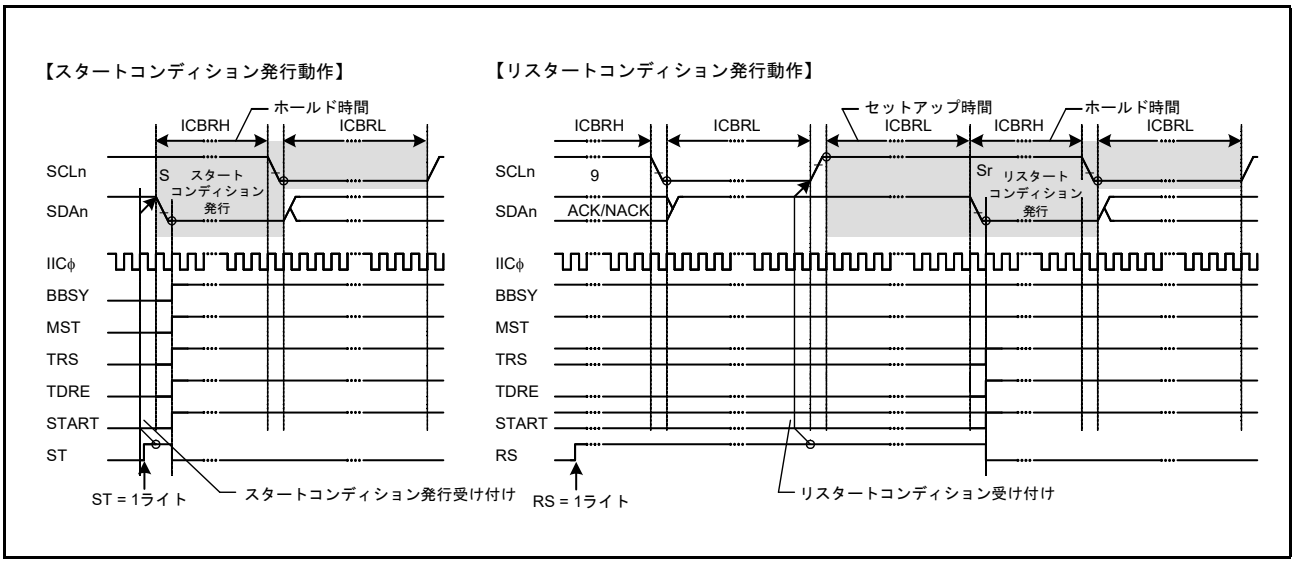


図 34.36　スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

34.10.3　ストップコンディション発行動作

RIIC は、ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1”（バスビジー）の状態でかつ ICCR2.MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスにしたがって行われます。

［ストップコンディション発行動作］

- SDAn ラインを立ち下げ（High から Low に遷移）
- ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保
- SCLn ラインを開放（Low から High に遷移）
- SCLn ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDAn ラインを開放（Low から High に遷移）
- ICBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

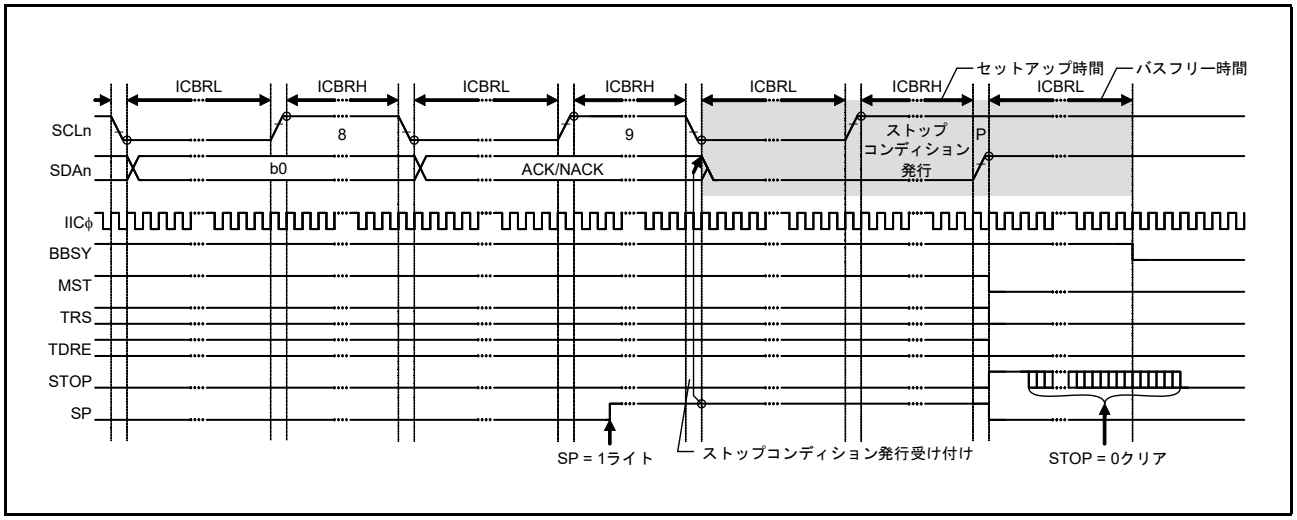


図 34.37　ストップコンディション発行動作タイミング（SP ビット）

34.11　バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDAn ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCLn ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC リセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCLn ライン／ SDAn ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

34.11.1　タイムアウト検出機能

RIIC は、SCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCLn ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが “1” のとき有効で、以下の期間に SCLn ラインの Low 固定または High 固定のバスハングアップを検出します。

- マスタモード（ICCR2.MST ビット ＝1）で、バスビジー（ICCR2.BBSY フラグ＝1）
- スレーブモード（ICCR2.MST ビット ＝0）で、自スレーブアドレス一致（ICSR1 レジスタ≠ 00h）かつバスビジー（ICCR2.BBSY フラグ ＝1）
- スタートコンディション発行要求中（ICCR2.ST ビット＝1）で、バスフリー（ICCR2.BBSY フラグ＝0）

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック（IICϕ）をカウントソースとして動作し、ロングモード選択時（ICMR2.TMOS ビット＝0）16 ビットカウンタ、ショートモード選択時（TMOS ビット＝1）14 ビットカウンタとなります。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

注．　タイムアウト検出機能を使用するときは、「34.2.4　I²C バスモードレジスタ 2（ICMR2）」、「34.3　動作説明」、「34.3.2　初期設定」を参照してください。

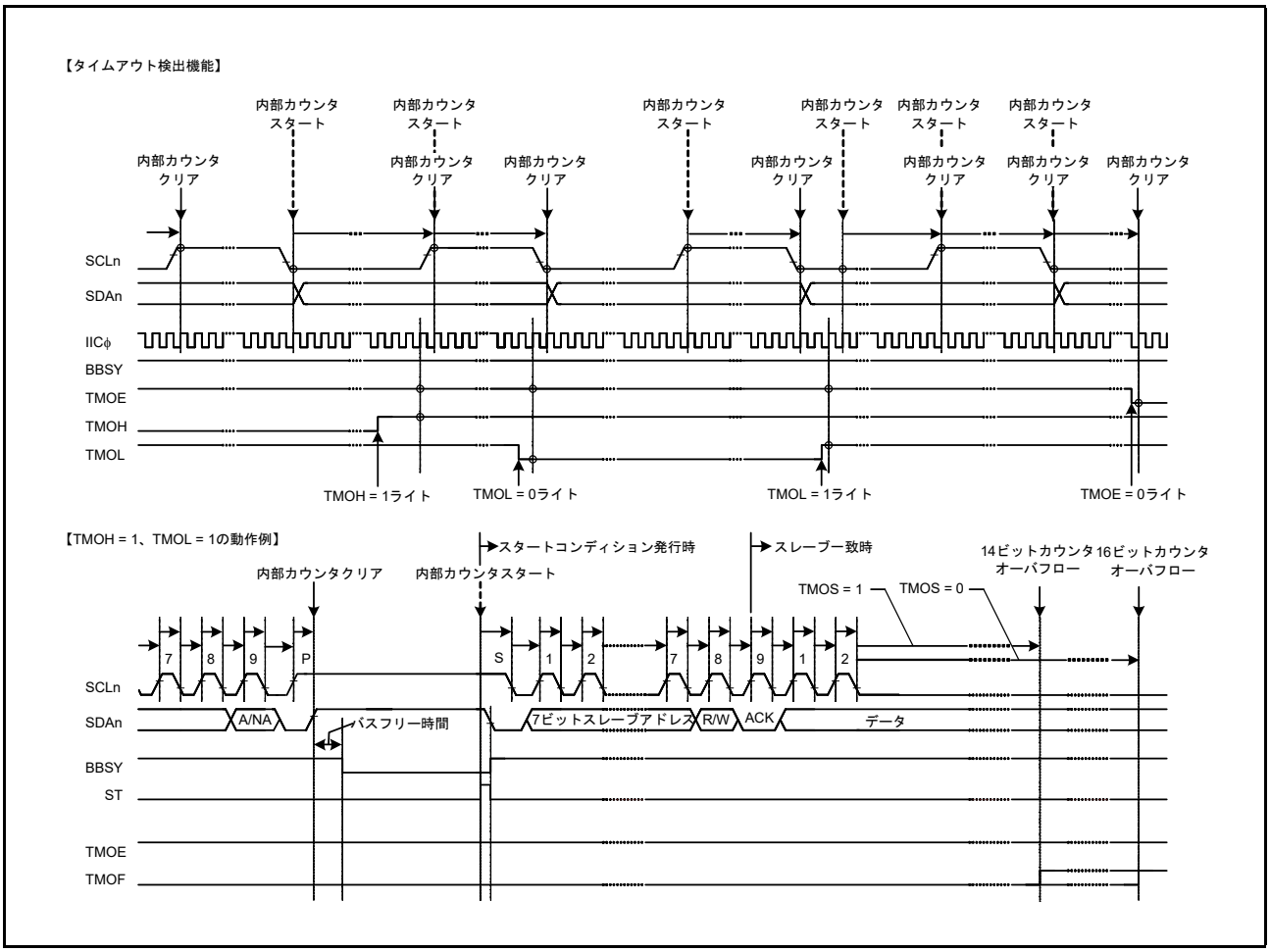


図 34.38　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

34.11.2　SCL クロック追加出力機能

RIIC は、マスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時に、スレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できない場合、スレーブデバイスの SDAn ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを “1” にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。そのためソフトウェアで CLO ビットが “0” であることを確認後 “1” を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時に、ノイズ等の影響によりスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップの場合、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDAn ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDAn ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDAn ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを “0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALE ビットが “1”（マスタアービトレーションロスト検出許可）の場合、ICCR1.SDAO ビットの値と SDAn ラインが不一致だとアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの出力条件]

- バスフリー状態（ICCR2.BBSY フラグ = 0）またはマスタモード（ICCR2.MST ビット = 1、BBSY フラグ = 1 の状態）のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 34.39 に SCL クロック追加出力機能（CLO ビット）を示します。

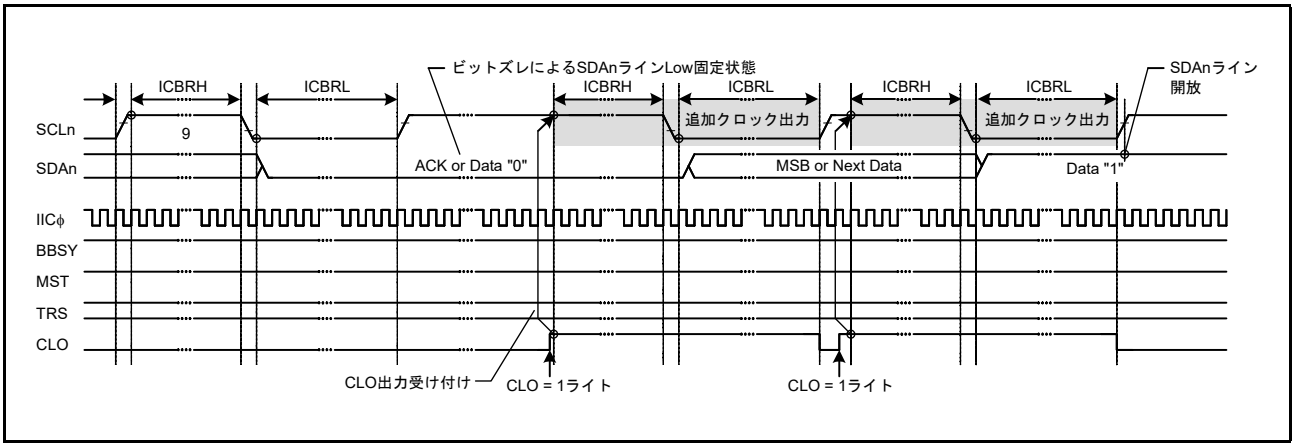


図 34.39　SCL クロック追加出力機能（CLO ビット）

34.11.3　RIIC リセット、内部リセット

RIIC は、RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は、ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCLn 端子／ SDAn 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なお、スレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用しないでください。また、RIIC リセット（ICCR1.ICE, IICRST ビット = 01b）中は、スタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、**「34.13　リセットと各コンディション発行時のレジスタおよび機能の状態」**を参照してください。

34.12　割り込み要因

RIIC の割り込み要因には、通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の 4 種類があります。

表 34.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DMAC を起動してデータ転送を行うことができます。

表34.6　割り込み要因

名称	割り込み要因	割り込みフラグ	DMACの起動	割り込み条件
EEI	通信エラー／イベント発生	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI（注1）	受信データフル	—	可能	RDRF = 1かつRIE = 1
TXI（注2）	送信データエンプティ	—	可能	TDRE = 1かつTIE = 1
TEI（注3）	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注.　CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延時間があります。割り込みフラグをクリアまたはマスクした場合は、再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1.　RXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注2.　TXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ = 1）で自動的に“0”になります。

注3.　TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ = 1）で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

34.13　リセットと各コンディション発行時のレジスタおよび機能の状態

RIICは、リセット、およびRIICリセット、内部リセットのリセット機能を持っています。表34.7にリセットと各コンディション発行時のレジスタおよび機能の状態を示します。

表34.7　　リセットと各コンディション発行時のレジスタおよび機能

		チップリセット	RIICリセット（ICEビット = 0、IICRSTビット = 1）	内部リセット（ICEビット = 1、IICRSTビット = 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
ICCR1	ICE、IICRST	リセット	保持	保持	保持	保持
	SCLO、SDAO		リセット	リセット		
	それ以外			保持		
ICCR2	BBSY	リセット	リセット	保持	保持	保持
	ST			リセット	リセット	保持
	それ以外					リセット
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	それ以外			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3		リセット	リセット	保持	保持	保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TDRE、TEND	リセット	リセット	リセット	保持	リセット
	START				保持	
	STOP				保持	保持
	それ以外				保持	保持
ICSARL0、1、2 ICSARU0、1、2		リセット	リセット	保持	保持	保持
ICBRH、ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	動作	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

34.14　イベントリンク出力機能

RIIC0 はイベントリンクコントローラ（ELC）に対して次の要因によってイベント出力を行います。

(1) 通信エラー／イベント

通信エラー／イベント発生すると、ELC を介して他のモジュールにイベント信号として出力します。

(2) 受信データフル

受信データフルになると、ELC を介して他のモジュールにイベント信号として出力します。

(3) 送信データエンプティ

送信データエンプティになると、ELC を介して他のモジュールにイベント信号として出力します。

(4) 送信終了

送信終了すると、ELC を介して他のモジュールにイベント信号として出力します。

34.14.1　割り込み処理とイベントリンクの関係

RIIC の割り込みには、通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の 4 種類があり、それぞれに割り込み許可／禁止を制御する許可ビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

割り込み要因については、**表 34.6** を参照してください。

34.15　使用上の注意事項

34.15.1　　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、モジュールストップ状態への遷移／解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、**「9.　消費電力低減機能」**を参照してください。

35.　CAN インタフェース（RSCAN）

本章では、CAN インタフェース（RSCAN）全般について説明します。

35.1　概要

35.1.1　機能概要

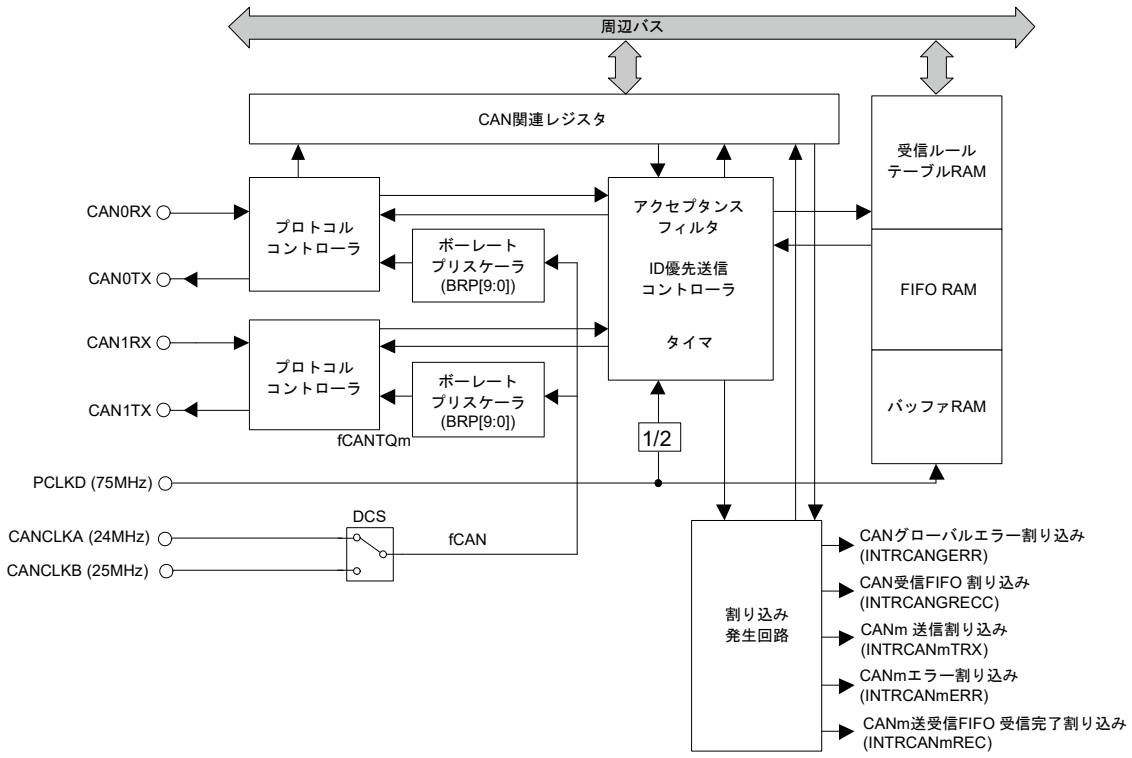
本 LSI は、ISO11898-1 仕様に準拠した CAN コントローラを 2 チャネル（CAN0、CAN1）搭載した CAN インタフェース（RSCAN）を 1 ユニット内蔵しています。表 35.1 に RSCAN の仕様、図 35.1 に RSCAN のブロック図を示します。

表35.1　RSCANの仕様 (1 / 2)

項目	仕様
チャネル数	2
プロトコル	ISO11898-1仕様準拠（標準フレーム／拡張フレーム）
通信速度	• 最大1Mbps 通信速度（CANmビットタイムクロック）= $\frac{1}{\text{CANm ビットタイム}}$ CANmビットタイム = CANmTq × 1ビット分のTq数 CANmTq = $\frac{\text{（RSCAN0CmCFG レジスタの BRP[9:0] ビット＋ 1）}}{\text{fCAN}}$ m = 0, 1（チャネル番号） Tq：Time quantum（1ビットのTq = 1 + TSEG1 + TSEG2） fCAN：CANクロック（RSCAN0GCFGレジスタのDCSビットで選択したクロック）の周波数
バッファ	合計160バッファ • 各チャネル専用：32バッファ（16バッファ × 2チャネル） 送信バッファ：16バッファ／1チャネル 送信キュー：1本／1チャネル（送信バッファと共用、最大16バッファ割り当て可能） • チャネル間共用：128バッファ（64バッファ × 2チャネル） 受信バッファ：32バッファ（16バッファ × 2チャネル） 受信FIFOバッファ：8本（1本あたり最大128バッファ割り当て可能） 送受信FIFOバッファ：3本／1チャネル（1本あたり最大128バッファ割り当て可能） • ECC内蔵
受信機能	• データフレームとリモートフレームを受信可能 • 受信するIDフォーマット（標準ID、拡張ID、両方）を選択可能 • FIFOごとの割り込み許可／禁止設定可能 • ミラー機能（自送信メッセージの受信機能） • タイムスタンプ機能（メッセージの受信時間を16ビットタイマ値で記録）
受信フィルタ機能	• 合計128個の受信ルールで受信メッセージを選別可能 • チャネルごとに0～128個の範囲で受信ルール数を設定可能 • アクセプタンスフィルタ処理:各受信ルールごとにID、マスク設定可能 • DLCフィルタ処理:各受信ルールごとにDLCフィルタチェック可能
受信メッセージ転送機能	• ルーティング機能 受信メッセージを任意のバッファへ転送する機能（転送可能バッファ数：8） 転送先:受信バッファ、受信FIFOバッファ、送受信FIFOバッファ • ラベル付加機能 受信バッファおよびFIFOバッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	• データフレームとリモートフレームを送信可能 • 送信するIDフォーマット（標準ID、拡張ID、両方）を選択可能 • 送信バッファ、送受信FIFOバッファごとに割り込み許可／禁止設定可能 • ID優先送信または送信バッファ番号優先送信を選択可能 • 送信アボート機能（フラグでアボート完了を確認可能） • ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能（送受信FIFOバッファの送信モードまたはゲートウェイモード）

表35.1　RSCANの仕様 (2 / 2)

項目	仕様
送信キュー機能	格納された全メッセージがID優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	• バスオフ状態からの復帰方法を選択可能 • ISO11898-1仕様準拠 • バスオフ開始でチャネル待機モードへ自動遷移 • バスオフ終了でチャネル待機モードへ自動遷移 • プログラムによる要求によってチャネル待機モードへ遷移 • プログラムによる要求によってエラーアクティブ状態へ遷移（バスオフ強制復帰機能）
エラー状態の監視	• CANプロトコルエラー（スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー、バスドミナントロック）を監視 • エラー状態の遷移を検出（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） • エラーカウンタの読み出し • DLCエラーを監視
割り込み要因	8本 • グローバル割り込み（2本） CAN受信FIFO割り込み CANグローバルエラー割り込み • チャネル割り込み（各チャネルごとに3本ずつ）（m = 0, 1） CANm送信割り込み（CANm送信完了、CANm送信アボートなど） CANm送受信FIFO受信完了割り込み CANmエラー割り込み（バスエラー、バスロックなど）
エラー要因	バッファ RAMのECCエラーを検出し、エラーコントロールモジュール（ECM）へ通知 • RSCAN RAMのECC 1ビットエラー • RSCAN RAMのECC 2ビットエラー • RSCANオーバフローエラー
消費電力低減機能	モジュールストップ状態への設定が可能
CANクロックソース	PLL0分周のCANCLKA（24MHz）かメインクロックのCANCLKB（25MHz）を選択可能
テスト機能	ユーザ評価用テスト機能 • リッスンオンリモード • セルフテストモード0（外部ループバック） • セルフテストモード1（内部ループバック） • RAMテスト（読み書きテスト） • チャネル間通信テスト



m = 0, 1：チャネル番号
BRP[9:0]：RSCAN0CmCFG レジスタのビット
DCS：RSCAN0GCFG レジスタのビット
fCANTQm：CANmTq クロック
fCAN：CAN クロック

図 35.1　RSCAN のブロック図

表 35.2 に RSCAN で使用する入出力端子を示します。

表35.2　RSCANの入出力端子

チャネル	端子名	入出力	機能
CAN0	CRXD0	入力	CAN0受信データ入力端子
	CTXD0	出力	CAN0送信データ出力端子
CAN1	CRXD1	入力	CAN1受信データ入力端子
	CTXD1	出力	CAN1送信データ出力端子

本章で使用する添字の意味について、表 35.3 に示します。

表35.3　添字

添字	意味
m	本章では、RSCAN のチャネル数を「m」（m = 0, 1）で識別します。たとえば、チャネルmステータスレジスタはRSCAN0CmSTS と記述します。
j	受信ルールテーブルを関係するレジスタを「j」（j = 0 ~ 15）で識別します。たとえば、受信ルールID レジスタはRSCAN0GAFLIDj と記述します。
k	送受信FIFO バッファ番号を「k」（チャネル0：k = 0～2、チャネル1：k = 3～5）で識別します。たとえば、送受信FIFO バッファコンフィグレーション／ 制御レジスタはRSCAN0CFCCk と記述します。
x	受信FIFOバッファ番号を「x」（x = 0 ~ 7）で識別します。たとえば、受信FIFOバッファステータスレジスタは、RSCAN0RFSTSx と記述します。
q	受信バッファの番号を「q」（チャネル0：q = 0～15、チャネル1：q = 16～31）で識別します。たとえば、受信バッファ ID レジスタはRSCAN0RMIDq で記述します。
p	送信バッファの番号を「p」（チャネル0：p = 0～15、チャネル1：p = 16～31）で識別します。たとえば、送信バッファ制御レジスタはRSCAN0TMCp と記述します。
r	CAN 用RAM テスト番号を「r」（r = 0 ~ 63）で識別します。たとえば、RAM テストページアクセスレジスタはRSCAN0RPGACCr と記述します。
z	CAN用ECCエラーアドレスレジスタ番号を「z」（z = 0～7）で識別します。

35.2　レジスタの説明

35.2.1　チャネルコンフィグレーションレジスタ（RSCAN0CmCFG）（m = 0, 1）

RSCAN0CmCFG レジスタは、各チャネルのクロックタイミング設定を制御するレジスタです。

このレジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、**「35.9.1　初期設定」**を参照してください。

アドレス　RSCAN.RSCAN0C0CFG A007 8000h、RSCAN.RSCAN0C1CFG A007 8010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	SJW[1:0]		—	TSEG2[2:0]			TSEG1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	プリスケーラ分周比設定ビット	設定値をP（0～1023）とすると、ボーレートプリスケーラはfCANをP+1で分周します。	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19-b16	TSEG1[3:0]	タイムセグメント1制御ビット	b19 b18 b17 b16 0 0 1 1：4 Tq 0 1 0 0：5 Tq 0 1 0 1：6 Tq 0 1 1 0：7 Tq 0 1 1 1：8 Tq 1 0 0 0：9 Tq 1 0 0 1：10 Tq 1 0 1 0：11 Tq 1 0 1 1：12 Tq 1 1 0 0：13 Tq 1 1 0 1：14 Tq 1 1 1 0：15 Tq 1 1 1 1：16 Tq 上記以外は設定禁止	R/W
b22-b20	TSEG2[2:0]	タイムセグメント2制御ビット	b22 b21 b20 0 0 1：2 Tq 0 1 0：3 Tq 0 1 1：4 Tq 1 0 0：5 Tq 1 0 1：6 Tq 1 1 0：7 Tq 1 1 1：8 Tq 上記以外は設定禁止	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b25-b24	SJW[1:0]	再同期ジャンプ幅制御ビット	b25 b24 0 0：1 Tq 0 1：2 Tq 1 0：3 Tq 1 1：4 Tq	R/W
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

BRP[9:0] ビット（プリスケーラ分周比設定ビット）

CAN クロック（fCAN）をボーレートプリスケーラ（(BRP[9:0]) + 1）で分周したクロックが CANmTq クロック（fCANTQm）になり、CANmTq クロックの 1 クロックが 1 Time Quantum（Tq）になります（m = 0, 1）。

TSEG1[3:0] ビット（タイムセグメント 1 制御ビット）

プロパゲーションタイムセグメント（PROP_SEG）とフェーズバッファセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。

4 ～ 16Tq の値が設定可能です。

TSEG2[2:0] ビット（タイムセグメント 2 制御ビット）

フェーズバッファセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。

2 ～ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

SJW[1:0] ビット（再同期ジャンプ幅制御ビット）

再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。Tq 値については BRP[9:0] ビットの説明を参照してください。

35.2.2　チャネル制御レジスタ（RSCAN0CmCTR）（m = 0, 1）

RSCAN0CmCTR レジスタは各チャネルの動作モード、割り込み設定を制御するレジスタです。

アドレス　RSCAN.RSCAN0C0CTR A007 8004h、RSCAN.RSCAN0C1CTR A007 8014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CHMDC[1:0]	モード選択ビット	b1　b0 0　0：チャネル通信モード 0　1：チャネルリセットモード 1　0：チャネル待機モード 上記以外は設定禁止	R/W
b2	CSLPR	チャネルストップモードビット	0：チャネルストップモードではない 1：チャネルストップモード	R/W
b3	RTBO	バスオフ強制復帰ビット	RTBOビットを“1”にすると、バスオフから強制的に復帰します。 常に“0”が読めます。	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	BEIE	バスエラー割り込み許可ビット	0：バスエラー割り込み禁止 1：バスエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット	0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット	0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット	0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット	0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバロードフレーム送信割り込み許可ビット	0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット	0：バスロック割り込み禁止 1：バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット	0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可	R/W
b16	TAIE	送信アボート割り込み許可ビット	0：送信アボート割り込み禁止 1：送信アボート割り込み許可	R/W
b20-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b22-b21	BOM[1:0]	バスオフ復帰モード選択ビット	b22　b21 0　0：ISO11898-1仕様準拠 0　1：バスオフ開始でチャネル待機モードへ遷移 1　0：バスオフ終了でチャネル待機モードへ遷移 1　1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移	R/W
b23	ERRD	エラー表示モード選択ビット	0：RSCAN0CmERFL レジスタのビット14～8がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示	R/W
b24	CTME	通信テストモード許可ビット	0：通信テストモード禁止 1：通信テストモード許可	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b25	CTMS[1:0]	通信テストモード選択ビット	b26 b25 0　0：標準テストモード 0　1：リッスンオンリモード 1　0：セルフテストモード0（外部ループバックモード） 1　1：セルフテストモード1（内部ループバックモード）	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CHMDC[1:0] ビット（モード選択ビット）

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、「35.4.2　チャネルモード」を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを “1” にすることで遷移します。CHMDC[1:0] ビットを “11b” には設定しないでください。BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に “10b” になります。

CSLPR ビット（チャネルストップモードビット）

“1” にすると、チャネルストップモードになります。
“0” にすると、チャネルストップモードは解除されます。
このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

RTBO ビット（バスオフ強制復帰ビット）

バスオフ状態時 “1” にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00h” になり、RSCAN0CmSTS レジスタの BOSTS フラグは “0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCAN0CmCTR レジスタの BOM[1:0] ビットが “00b”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CANm ビットタイムの遅延が発生します。このビットはチャネル通信モードで “1” を書いてください。

BEIE ビット（バスエラー割り込み許可ビット）

BEIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BEF フラグが “1” になった場合、CANm エラー割り込み要求（バスエラー割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

EWIE ビット（エラーワーニング割り込み許可ビット）

EWIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの EWF フラグが “1” になった場合、CANm エラー割り込み要求（エラーワーニング割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

EPIE ビット（エラーパッシブ割り込み許可ビット）

EPIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの EPF フラグが “1” になった場合、CANm エラー割り込み要求（エラーパッシブ割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

BOEIE ビット（バスオフ開始割り込み許可ビット）

BOEIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BOEF フラグが “1” になった場合、CANm エラー割り込み要求（バスオフ開始割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

BORIE ビット（バスオフ復帰割り込み許可ビット）

BORIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BORF フラグが “1” になった場合、CANm エラー割り込み要求（バスオフ復帰割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

OLIE ビット（オーバロードフレーム送信割り込み許可ビット）

OLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの OVLF フラグが “1” になった場合、CANm エラー割り込み要求（オーバロードフレーム割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

BLIE ビット（バスロック割り込み許可ビット）

BLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BLF フラグが “1” になった場合、CANm エラー割り込み要求（バスロック割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

ALIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの ALF フラグが “1” になった場合、CANm エラー割り込み要求（アービトレーションロスト割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

TAIE ビット（送信アボート割り込み許可ビット）

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、CANm 送信割り込み要求（送信アボート割り込み）が発生します。このビットはチャネルリセットモードで書き換えてください。

BOM[1:0] ビット（バスオフ復帰モード選択ビット）

RSCAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが “00b” の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RSCAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを “10b”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが “01b” の場合、RSCAN モジュールがバスオフ状態に達すると、RSCAN0CmCTR レジスタ（m = 0, 1）の CHMDC[1:0] ビットが “10b” になり、チャネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00h” になります。

BOM[1:0] ビットが “10b” の場合、RSCAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10b” になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00h” になります。

BOM[1:0] ビットが “11b” の場合、RSCAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10b” にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00h” になります。しかし、CHMDC[1:0] ビットを “10b” にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RSCAN モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0] ビットが “01b” のとき : バスオフ開始時、または BOM[1:0] ビットが “10b” のとき : バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャネルリセットモードで書き換えてください。

ERRD ビット（エラー表示モード選択ビット）

RSCAN0CmERFL レジスタのビット 14 ～ 8 の表示モードを制御します。

“0” にすると最初に発生したエラーのフラグのみ “1” になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて “1” になります。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャネルリセットモードまたはチャネル待機モードで書き換えてください。

CTMS[1:0] ビット（通信テストモード選択ビット）

通信テストモードを選択するビットです。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0” になります。

35.2.3　チャネルステータスレジスタ（RSCAN0CmSTS）（m = 0, 1）

RSCAN0CmSTS レジスタは、各チャネルの通信状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0C0STS A007 8008h、RSCAN.RSCAN0C1STS A007 8018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CRSTSTS	チャネルリセットステータスフラグ	0：チャネルリセットモードではない 1：チャネルリセットモード	R
b1	CHLTSTS	チャネル待機ステータスフラグ	0：チャネル待機モードではない 1：チャネル待機モード	R
b2	CSLPSTS	チャネルストップステータスフラグ	0：チャネルストップモードではない 1：チャネルストップモード	R
b3	EPSTS	エラーパッシブステータスフラグ	0：エラーパッシブ状態ではない 1：エラーパッシブ状態	R
b4	BOSTS	バスオフステータスフラグ	0：バスオフ状態ではない 1：バスオフ状態	R
b5	TRMSTS	送信ステータスフラグ	0：バスアイドルまたは受信中 1：送信中またはバスオフ状態	R
b6	RECSTS	受信ステータスフラグ	0：バスアイドルまたは送信中またはバスオフ状態 1：受信中	R
b7	COMSTS	通信ステータスフラグ	0：通信可能な状態ではない 1：通信可能な状態	R
b15-b8	—	予約ビット	読むと“0”が読めます。	R
b23-b16	REC[7:0]	受信エラーカウンタ	受信エラーカウンタ（REC）の値が読めます。	R
b31-b24	TEC[7:0]	送信エラーカウンタ	送信エラーカウンタ（TEC）の値が読めます。	R

CRSTSTS フラグ（チャネルリセットステータスフラグ）

チャネルリセットモードに遷移すると “1” になります。チャネル通信モードまたはチャネル待機モードに遷移すると “0” になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1” のままです。

CHLTSTS フラグ（チャネル待機ステータスフラグ）

チャネル待機モードに遷移すると “1” になります。チャネル待機モード以外のモードに遷移すると “0” になります。

CSLPSTS フラグ（チャネルストップステータスフラグ）

チャネルストップモードに遷移すると、“1” になります。チャネルストップモードから復帰すると “0” になります。

EPSTS フラグ（エラーパッシブステータスフラグ）

エラーパッシブ状態（（128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット））になると、“1” になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0” になります。

BOSTS フラグ（バスオフステータスフラグ）

バスオフ状態（TEC[7:0] ビット＞ 255）になると “1” になります。バスオフ状態以外になると “0” になります。

TRMSTS フラグ（送信ステータスフラグ）

送信を開始すると “1” になります。バスオフ状態では “1” のままです。バスアイドル状態になるか、または受信を開始すると “0” になります。

RECSTS フラグ（受信ステータスフラグ）

受信を開始すると “1” になります。バスアイドル状態になるか、または送信を開始すると “0” になります。

COMSTS フラグ（通信ステータスフラグ）

通信準備が整ったことを示すビットです。

チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャネルリセットモードまたはチャネル待機モード時は、“0” になります。

REC[7:0] ビット（受信エラーカウンタ）

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

TEC[7:0] ビット（送信エラーカウンタ）

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

35.2.4　チャネルエラーフラグレジスタ（RSCAN0CmERFL）（m = 0, 1）

RSCAN0CmERFL レジスタは、各チャネルのエラー状態を示すステータスレジスタです。

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” を書いても “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。チャネルリセットモード時、“0” になります。

RSCAN0CmERFL レジスタのビット 14 ～ 8 に関して、RSCAN0CmCTR レジスタの ERRD ビットを “0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、対応するフラグは “1” になります。

アドレス　RSCAN.RSCAN0C0ERFL A007 800Ch、RSCAN.RSCAN0C1ERFL A007 801Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEF	バスエラーフラグ	0：チャネルバスエラーは未検出 1：チャネルバスエラー検出	R/W （注1）
b1	EWF	エラーワーニングフラグ	0：エラーワーニング未検出 1：エラーワーニング検出	R/W （注1）
b2	EPF	エラーパッシブフラグ	0：エラーパッシブ未検出 1：エラーパッシブ検出	R/W （注1）
b3	BOEF	バスオフ開始フラグ	0：バスオフ開始未検出 1：バスオフ開始検出	R/W （注1）
b4	BORF	バスオフ復帰フラグ	0：バスオフ復帰未検出 1：バスオフ復帰検出	R/W （注1）
b5	OVLF	オーバロードフラグ	0：オーバロード未検出 1：オーバロード検出	R/W （注1）
b6	BLF	バスロックフラグ	0：チャネルバスロック未検出 1：チャネルバスロック検出	R/W （注1）
b7	ALF	アービトレーションロストフラグ	0：アービトレーションロスト未検出 1：アービトレーションロスト検出	R/W （注1）
b8	SERR	スタッフエラーフラグ	0：スタッフエラー未検出 1：スタッフエラー検出	R/W （注1）
b9	FERR	フォームエラーフラグ	0：フォームエラー未検出 1：フォームエラー検出	R/W （注1）
b10	AERR	ACKエラーフラグ	0：ACKエラー未検出 1：ACKエラー検出	R/W （注1）
b11	CERR	CRCエラーフラグ	0：CRCエラー未検出 1：CRCエラー検出	R/W （注1）
b12	B1ERR	レセシブビットエラーフラグ	0：レセシブビットエラー未検出 1：レセシブビットエラー検出	R/W （注1）
b13	B0ERR	ドミナントビットエラーフラグ	0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出	R/W （注1）
b14	ADERR	ACKデリミタエラーフラグ	0：ACKデリミタエラー未検出 1：ACKデリミタエラー検出	R/W （注1）

ビット	シンボル	ビット名	機能	R/W
b15	—	予約ビット	読むと“0”が読めます。	R
b30-b16	CRCREG [14:0]	CRC演算データ	送信メッセージまたは受信メッセージを基に計算したCRC値を表示します。	R
b31	—	予約ビット	読むと“0”が読めます。	R

注1.　このフラグビットへの書き込みは、“0”書き込み（ステータスクリア）のみ可能です。“1”を書き込んだ場合、書き込み前のステータスを保持し値は変化しません。

BEF フラグ（バスエラーフラグ）

RSCAN0CmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

EWF フラグ（エラーワーニングフラグ）

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビット が 95 を超えるまでは “1” にはなりません。

EPF フラグ（エラーパッシブフラグ）

エラーパッシブ状態（REC[7:0] または TEC[7:0] ビット＞ 127）になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

BOEF フラグ（バスオフ開始フラグ）

バスオフ状態（TEC[7:0] ビット＞ 255）になると、“1” になります。RSCAN0CmCTR レジスタ（m = 0, 1）の BOM[1:0] ビットが “01b”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1” になります。

BORF フラグ（バスオフ復帰フラグ）

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” になりません。

- RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “01b”（チャネルリセットモード）に設定した場合
- RSCAN0CmCTR レジスタの RTBO ビットを “1”（バスオフからの強制復帰）に設定した場合
- RSCAN0CmCTR レジスタの BOM[1:0] ビットを “01b”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが “11b”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを “10b”（チャネル待機モード）に設定した場合

OVLF フラグ（オーバロードフラグ）

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BLF フラグ（バスロックフラグ）

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを “1” から “0” にした後、レセシブビットを検出
- BLF ビットを “1” から “0” にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

ALF フラグ（アービトレーションロストフラグ）

アービトレーションロストを検出すると “1” になります。

SERR フラグ（スタッフエラーフラグ）

スタッフエラーを検出すると “1” になります。

FERR フラグ（フォームエラーフラグ）

フォームエラーを検出すると “1” になります。

AERR フラグ（ACK エラーフラグ）

ACK エラーを検出すると “1” になります。

CERR フラグ（CRC エラーフラグ）

CRC エラーを検出すると “1” になります。

B1ERR フラグ（レセシブビットエラーフラグ）

レセシブを送信したにもかかわらずドミナントを検出すると “1” になります。

B0ERR フラグ（ドミナントビットエラーフラグ）

ドミナントを送信したにもかかわらずレセシブを検出すると “1” になります。

ADERR フラグ（ACK デリミタエラーフラグ）

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

CRCREG[14:0] フラグ（CRC 演算データ）

RSCAN0CmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

35.2.5　グローバルコンフィグレーションレジスタ（RSCAN0GCFG）

RSCAN0GCFG レジスタは、RSCAN 全体のクロックやインターバルタイマなどの設定を制御するレジスタです。

RSCAN0GCFG レジスタはグローバルリセットモードで書き換えてください。

アドレス　RSCAN.RSCAN0GCFG A007 8084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ITRCP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSBTCS[2:0]			TSSS	TSP[3:0]				—	—	—	DCS	MME	DRE	DCE	TPRI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位選択ビット	0：ID優先 1：送信バッファ番号優先	R/W
b1	DCE	DLCチェック許可ビット	0：DLCチェック禁止 1：DLCチェック許可	R/W
b2	DRE	DLC置換許可ビット	0：DLC置換禁止 1：DLC置換許可	R/W
b3	MME	ミラー機能許可ビット	0：ミラー機能禁止 1：ミラー機能許可	R/W
b4	DCS	CANクロック源選択ビット	0：CANCLKA (24MHz) 1：CANCLKB (25MHz)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b11-b8	TSP[3:0]	タイムスタンプクロック源分周ビット	b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 0 1 1 1：128分周 1 0 0 0：256分周 1 0 0 1：512分周 1 0 1 0：1024分周 1 0 1 1：2048分周 1 1 0 0：4096分周 1 1 0 1：8192分周 1 1 1 0：16384分周 1 1 1 1：32768 分周	R/W
b12	TSSS	タイムスタンプソース選択ビット	0：PCLKD (75MHz)/2（注1） 1：ビットタイムクロック（DCSビットで選択したクロック）	R/W
b15-b13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット	b15 b14 b13 0 0 0：チャネル0ビットタイムクロック 0 0 1：チャネル1ビットタイムクロック 上記以外は設定禁止	R/W
b31-b16	ITRCP[15:0]	インターバルタイマプリスケーラ設定ビット	設定値をMとするとPCLKD (75MHz)をM分周します。 インターバルタイマを使用する場合、“0000h”を設定しないでください。	R/W

注1.　タイムスタンプのカウントソースにPCLKD/2を設定するときは、TSBTCS[2:0]を“000b”にしてください。

TPRI ビット（送信優先順位選択ビット）

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール（ISO11898-1 仕様）に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

DCE ビット（DLC チェック許可ビット）

“1” にすると、DLC チェック機能が使用できます。RSCAN0GAFLP0j レジスタの GAFLDLC[3:0] ビットを “0000b” にしてから、RSCAN0GCFG レジスタの DCE ビットを “0” にしてください。

DRE ビット（DLC 置換許可ビット）

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00h” が格納されます。

DCE ビットが “1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

MME ビット（ミラー機能許可ビット）

“1” にすると、ミラー機能が使用できます。

DCS ビット（CAN クロック源選択ビット）

“0” のとき、CANCLKA（24MHz）が CAN クロック（fCAN）のクロック源になります。

“1” のとき、CANCLKB（25MHz）が CAN クロック（fCAN）のクロック源になります。

TSP[3:0] ビット（タイムスタンプクロック源分周ビット）

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TSSS ビット（タイムスタンプソース選択ビット）

タイムスタンプカウンタのクロック源を選択します。

TSBTCS[2:0] ビット（タイムスタンプクロック源選択ビット）

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャネルの選択ができます。

ITRCP[15:0] ビット（インターバルタイマプリスケーラ設定ビット）

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「35.6.3.1　インターバル送信機能」を参照してください。

35.2.6　グローバル制御レジスタ（RSCAN0GCTR）

RSCAN0GCTR レジスタは、RSCAN 全体の動作モードやグローバル割り込みの制御をするレジスタです。

アドレス　RSCAN.RSCAN0GCTR A007 8088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	GMDC[1:0]	グローバルモード選択ビット	b1　b0 0　0：グローバル動作モード 0　1：グローバルリセットモード 1　0：グローバルテストモード 上記以外は設定禁止	R/W
b2	GSLPR	グローバルストップモードビット	0：グローバルストップモードではない 1：グローバルストップモード	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0：DLCエラー割り込み禁止 1：DLCエラー割り込み許可	R/W
b9	MEIE	FIFOメッセージロスト割り込み許可ビット	0：FIFOメッセージロスト割り込み禁止 1：FIFOメッセージロスト割り込み許可	R/W
b10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット	0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	TSRST	タイムスタンプカウンタリセットビット	TSRSTビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

GMDC[1:0] ビット（グローバルモード選択ビット）

RSCAN モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、**「35.4.1　グローバルモード」**を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを “1” にすることで遷移します。

GSLPR ビット（グローバルストップモードビット）

“1” にすると、グローバルストップモードになります。

“0” にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

DEIE ビット（DLC エラー割り込み許可ビット）

DEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの DEF フラグが “1” になった場合、CAN グローバルエラー割り込み要求（DLC エラー割り込み）が発生します。このビットはグローバルリセットモードで書き換えてください。

MEIE ビット（FIFO メッセージロスト割り込み許可ビット）

MEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの MES フラグが “1” になった場合、CAN グローバルエラー割り込み要求（FIFO メッセージロスト割り込み）が発生します。このビットはグローバルリセットモードで書き換えてください。

THLEIE ビット（送信履歴バッファオーバフロー割り込み許可ビット）

THLEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの THLES フラグが “1” になった場合、CAN グローバルエラー割り込み要求（送信履歴バッファオーバフロー割り込み）が発生します。このビットはグローバルリセットモードで書き換えてください。

TSRST ビット（タイムスタンプカウンタリセットビット）

タイムスタンプカウンタをリセットするために使用します。“1” にすると RSCAN0GTSC レジスタが “0000h” になります。

35.2.7　グローバルステータスレジスタ（RSCAN0GSTS）

RSCAN0GSTS レジスタは、RSCAN 全体の動作状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0GSTS A007 808Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	GRSTSTS	グローバルリセットステータスフラグ	0：グローバルリセットモードではない 1：グローバルリセットモード	R
b1	GHLTSTS	グローバルテストステータスフラグ	0：グローバルテストモードではない 1：グローバルテストモード	R
b2	GSLPSTS	グローバルストップステータスフラグ	0：グローバルストップモードではない 1：グローバルストップモード	R
b3	GRAMINIT	CAN用RAMクリアステータスフラグ	0：CAN用RAMクリア完了 1：CAN用RAMクリア中	R
b31-b4	—	予約ビット	読むと“0”が読めます。	R

GRSTSTS フラグ（グローバルリセットステータスフラグ）

グローバルリセットモードに遷移すると “1” になります。

グローバルリセットモード以外のモードに遷移すると “0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

GHLTSTS フラグ（グローバルテストステータスフラグ）

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると “0” になります。

GSLPSTS フラグ（グローバルストップステータスフラグ）

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GRAMINIT フラグ（CAN 用 RAM クリアステータスフラグ）

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

35.2.8　グローバルエラーフラグレジスタ（RSCAN0GERFL）

RSCAN0GERFL レジスタは、RSCAN 全体のエラー状態を示すステータスレジスタです。
RSCAN0GERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

アドレス　RSCAN.RSCAN0GERFL A007 8090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEF	DLCエラーフラグ	0：DLCエラーなし 1：DLCエラー	R/W （注1）
b1	MES	FIFOメッセージロストステータスフラグ	0：FIFOメッセージロストエラーなし 1：FIFOメッセージロストエラー	R
b2	THLES	送信履歴バッファオーバフローステータスフラグ	0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー	R
b31-b3	—	予約ビット	読むと“0”が読めます。	R

注1.　このフラグビットへの書き込みは、“0”書き込み（ステータスクリア）のみ可能です。“1”を書き込んだ場合、書き込み前のステータスを保持し値は変化しません。

DEF フラグ（DLC エラーフラグ）

DLC チェックでエラーが検出されると、“1” になります。“0” を書き込むことでクリア可能です。

MES フラグ（FIFO メッセージロストステータスフラグ）

RSCAN0RFSTSx レジスタ（x = 0 ~ 7）の RFMLT フラグまたは RSCAN0CFSTSk レジスタ（チャネル 0：k = 0 ~ 2、チャネル 1：k = 3 ～ 5）の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

THLES フラグ（送信履歴バッファオーバフローステータスフラグ）

RSCAN0THLSTSm レジスタ（m = 0, 1）の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

35.2.9　グローバル TX 割り込みステータスレジスタ 0（RSCAN0GTINTSTS0）

RSCAN0GTINTSTS0 レジスタは、RSCAN 全体の CANm 送信割り込み状態を示すステータスレジスタです（m = 0, 1）。

アドレス　RSCAN.RSCAN0GTINTSTS0 A007 8460h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSIF0	チャネル0送信バッファ割り込みステータスフラグ	0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり	R （注1）
b1	TAIF0	チャネル0送信バッファ送信アボート割り込みステータスフラグ	0：送信バッファ送信アボート割り込み要求なし 1：送信バッファ送信アボート割り込み要求あり	R （注1）
b2	TQIF0	チャネル0送信キュー割り込みステータスフラグ	0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり	R （注1）
b3	CFTIF0	チャネル0送受信FIFO送信割り込みステータスフラグ	0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり	R （注1）
b4	THIF0	チャネル0送信履歴割り込みステータスフラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R （注1）
b7-b5	—	予約ビット	読むと“0”が読めます。	R
b8	TSIF1	チャネル1送信バッファ割り込みステータスフラグ	0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり	R （注1）
b9	TAIF1	チャネル1送信バッファ送信アボート割り込みステータスフラグ	0：送信バッファ送信アボート割り込み要求なし 1：送信バッファ送信アボート割り込み要求あり	R （注1）
b10	TQIF1	チャネル1送信キュー割り込みステータスフラグ	0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり	R （注1）
b11	CFTIF1	チャネル1送受信FIFO送信割り込みステータスフラグ	0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり	R （注1）
b12	THIF1	チャネル1送信履歴割り込みステータスフラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R （注1）
b31-b13	—	予約ビット	読むと“0”が読めます。	R

注1.　本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

TSIFm ビット（チャネル m 送信バッファ割り込みステータスフラグ）（m = 0, 1）

RSCAN0TMIEC0 レジスタの TMIE ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCAN0TMSTSp （チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）レジスタの TMTRF[1:0] フラグが “10b”（送信完了、アボート要求なし）、または “11b”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグをすべて “00b” にすると、このフラグは “0” になります。また TMIE ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット（チャネル m 送信バッファ送信アボート割り込みステータスフラグ）（m = 0, 1）

RSCAN0CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCAN0TMSTSp（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）レジスタの TMTRF[1:0] フラグが “01b”（送信アボート完了）になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグをすべて “00b” にすると、このフラグは “0” になります。

TQIFm ビット（チャネル m 送信キュー割り込みステータスフラグ）（m = 0, 1）

RSCAN0TXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCAN0TXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCAN0TXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット（チャネル m 送受信 FIFO 送信割り込みステータスフラグ）（m = 0, 1）

RSCAN0CFCCk （チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）レジスタの CFTXIE ビットが “1”（送受信 FIFO 送信割り込み許可）、かつ RSCAN0CFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット（チャネル m 送信履歴割り込みステータスフラグ）（m = 0, 1）

RSCAN0THLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCAN0THLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCAN0THLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

35.2.10　グローバルタイムスタンプカウンタレジスタ（RSCAN0GTSC）

RSCAN0GTSC レジスタは、タイムスタンプカウンタの値を示す 32 ビットカウンタです。

アドレス　RSCAN.RSCAN0GTSC A007 8094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ値ビット	タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000h～FFFFh	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

TS[15:0] ビット（タイムスタンプ値ビット）

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN0GCFG レジスタの TSSS ビットが “0”（PCLKD/2）の場合 :
  グローバル動作モードへ遷移したときに、カウント開始。
  グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm ビットタイムクロック）の場合 :
  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

35.2.11　受信ルールエントリ制御レジスタ（RSCAN0GAFLECTR）

RSCAN0GAFLECTR レジスタは、受信ルールテーブルを制御するレジスタです。

アドレス　RSCAN.RSCAN0GAFLECTR A007 8098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット	ページ0（00000b）からページ7（00111b）の範囲で選択	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	AFLDAE	受信ルールテーブル書き込み許可ビット	0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

AFLPN[4:0] ビット（受信ルールテーブルページ番号設定ビット）

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000b” ～ “00111b” 以外の値を設定しないでください。

AFLDAE ビット（受信ルールテーブル書き込み許可ビット）

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ “1” にしてください。

35.2.12　受信ルールコンフィグレーションレジスタ 0（RSCAN0GAFLCFG0）

RSCAN0GAFLCFG0 レジスタは、各チャネルの受信ルール設定を制御するレジスタです。

RSCAN0GAFLCFG0 レジスタはグローバルリセットモードで書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数 128 を超えない。

アドレス　RSCAN.RSCAN0GAFLCFG0 A007 809Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	RNC1[7:0]	チャネル1用ルール数設定ビット	チャネル1の受信ルール数を設定してください。	R/W
b31-b24	RNC0[7:0]	チャネル0用ルール数設定ビット	チャネル0の受信ルール数を設定してください。	R/W

RNC1[7:0] ビット（チャネル 1 用ルール数設定ビット）

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。

00h ～ 80h 以外の値を設定しないでください。

RNC0[7:0] ビット（チャネル 0 用ルール数設定ビット）

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。

00h ～ 80h 以外の値を設定しないでください。

35.2.13　受信ルール ID レジスタ（RSCAN0GAFLIDj）（j = 0 ~ 15）

RSCAN0GAFLIDj レジスタは、受信ルールの ID、フレームフォーマットを制御するレジスタです。

RSCAN0GAFLIDj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

アドレス：RSCAN.RSCAN0GAFLID0 A007 8500h、RSCAN.RSCAN0GAFLID1 A007 8510h、RSCAN.RSCAN0GAFLID2 A007 8520h、RSCAN.RSCAN0GAFLID3 A007 8530h、RSCAN.RSCAN0GAFLID4 A007 8540h、RSCAN.RSCAN0GAFLID5 A007 8550h、RSCAN.RSCAN0GAFLID6 A007 8560h、RSCAN.RSCAN0GAFLID7 A007 8570h、RSCAN.RSCAN0GAFLID8 A007 8580h、RSCAN.RSCAN0GAFLID9 A007 8590h、RSCAN.RSCAN0GAFLID10 A007 85A0h、RSCAN.RSCAN0GAFLID11 A007 85B0h、RSCAN.RSCAN0GAFLID12 A007 85C0h、RSCAN.RSCAN0GAFLID13 A007 85D0h、RSCAN.RSCAN0GAFLID14 A007 85E0h、RSCAN.RSCAN0GAFLID15 A007 85F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLID[28:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	GAFLID[28:0]	ID設定ビット	受信ルールのIDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください。	R/W
b29	GAFLLB	受信ルール対象メッセージ選択ビット	0：他のCANノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時	R/W
b30	GAFLRTR	RTR選択ビット	0：データフレーム 1：リモートフレーム	R/W
b31	GAFLIDE	IDE選択ビット	0：標準ID 1：拡張ID	R/W

GAFLID[28:0] ビット（ID 設定ビット）

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

GAFLLB ビット（受信ルール対象メッセージ選択ビット）

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLRTR ビット（RTR 選択ビット）

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLIDE ビット（IDE 選択ビット）

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

35.2.14　受信ルールマスクレジスタ（RSCAN0GAFLMj）（j = 0 ~ 15）

RSCAN0GAFLMj レジスタは、受信ルールのマスク設定を制御するレジスタです。

RSCAN0GAFLMj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

アドレス　RSCAN.RSCAN0GAFLM0 A007 8504h、RSCAN.RSCAN0GAFLM1 A007 8514h、RSCAN.RSCAN0GAFLM2 A007 8524h、RSCAN.RSCAN0GAFLM3 A007 8534h、RSCAN.RSCAN0GAFLM4 A007 8544h、RSCAN.RSCAN0GAFLM5 A007 8554h、RSCAN.RSCAN0GAFLM6 A007 8564h、RSCAN.RSCAN0GAFLM7 A007 8574h、RSCAN.RSCAN0GAFLM8 A007 8584h、RSCAN.RSCAN0GAFLM9 A007 8594h、RSCAN.RSCAN0GAFLM10 A007 85A4h、RSCAN.RSCAN0GAFLM11 A007 85B4h、RSCAN.RSCAN0GAFLM12 A007 85C4h、RSCAN.RSCAN0GAFLM13 A007 85D4h、RSCAN.RSCAN0GAFLM14 A007 85E4h、RSCAN.RSCAN0GAFLM15 A007 85F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM[28:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLIDM[28:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	GAFLIDM [28:0]	IDマスクビット	0：対応するIDビットを比較しない 1：対応するIDビットを比較する	R/W
b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b30	GAFLRTRM	RTRマスクビット	0：RTRビットを比較しない 1：RTRビットを比較する	R/W
b31	GAFLIDEM	IDEマスクビット	0：IDEビットを比較しない 1：IDEビットを比較する	R/W

GAFLIDM[28:0] ビット（ID マスクビット）

受信ルールの対応する ID ビットをマスクするビットです。

GAFLRTRM ビット（RTR マスクビット）

受信ルールの RTR ビットをマスクするビットです。

GAFLIDEM ビット（IDE マスクビット）

“1” にすると、RSCAN0GAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

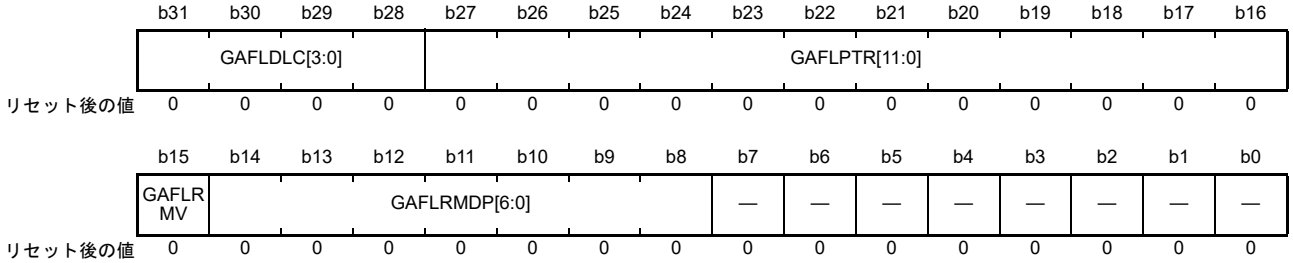
“0” にすると、 すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

35.2.15　受信ルールポインタ 0 レジスタ（RSCAN0GAFLP0j）（j = 0 ~ 15）

RSCAN0GAFLP0j レジスタは、受信メッセージの最小データ長やラベル、受信バッファの設定を制御するレジスタです。

RSCAN0GAFLP0j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

アドレス　RSCAN.RSCAN0GAFLP00 A007 8508h、RSCAN.RSCAN0GAFLP01 A007 8518h、RSCAN.RSCAN0GAFLP02 A007 8528h、RSCAN.RSCAN0GAFLP03 A007 8538h、RSCAN.RSCAN0GAFLP04 A007 8548h、RSCAN.RSCAN0GAFLP05 A007 8558h、RSCAN.RSCAN0GAFLP06 A007 8568h、RSCAN.RSCAN0GAFLP07 A007 8578h、RSCAN.RSCAN0GAFLP08 A007 8588h、RSCAN.RSCAN0GAFLP09 A007 8598h、RSCAN.RSCAN0GAFLP010 A007 85A8h、RSCAN.RSCAN0GAFLP011 A007 85B8h、RSCAN.RSCAN0GAFLP012 A007 85C8h、RSCAN.RSCAN0GAFLP013 A007 85D8h、RSCAN.RSCAN0GAFLP014 A007 85E8h、RSCAN.RSCAN0GAFLP015 A007 85F8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14-b8	GAFLRMDP[6:0]	受信バッファ番号選択ビット	受信メッセージを格納する受信バッファの番号を設定	R/W
b15	GAFLRMV	受信バッファ許可ビット	0：受信バッファを使用しない 1：受信バッファを使用する	R/W
b27-b16	GAFLPTR[11:0]	受信ルールラベル設定ビット	12ビットのラベル情報を設定	R/W
b31-b28	GAFLDLC[3:0]	受信ルールDLC設定ビット	b31 b30 b29 b28 0 0 0 0：DLCチェックしない 0 0 0 1：1 データバイト 0 0 1 0：2 データバイト 0 0 1 1：3 データバイト 0 1 0 0：4 データバイト 0 1 0 1：5 データバイト 0 1 1 0：6 データバイト 0 1 1 1：7 データバイト 1 X X X：8 データバイト	R/W

GAFLRMDP[6:0] ビット（受信バッファ番号選択ビット）

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCAN0RMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

GAFLRMV ビット（受信バッファ許可ビット）

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLPTR[11:0] ビット（受信ルールラベル設定ビット）

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLDLC[3:0] ビット（受信ルール DLC 設定ビット）

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000b” を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

35.2.16　受信ルールポインタ 1 レジスタ（RSCAN0GAFLP1j）（j = 0 ~ 15）

RSCAN0GAFLP1j レジスタは、フィルタを通過した受信メッセージを格納する FIFO バッファの設定を制御するレジスタです。

RSCAN0GAFLP1j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

アドレス　RSCAN.RSCAN0GAFLP10 A007 850Ch、RSCAN.RSCAN0GAFLP11 A007 851Ch、RSCAN.RSCAN0GAFLP12 A007 852Ch、RSCAN.RSCAN0GAFLP13 A007 853Ch、RSCAN.RSCAN0GAFLP14 A007 854Ch、RSCAN.RSCAN0GAFLP15 A007 855Ch、RSCAN.RSCAN0GAFLP16 A007 856Ch、RSCAN.RSCAN0GAFLP17 A007 857Ch、RSCAN.RSCAN0GAFLP18 A007 858Ch、RSCAN.RSCAN0GAFLP19 A007 859Ch、RSCAN.RSCAN0GAFLP110 A007 85ACh、RSCAN.RSCAN0GAFLP111 A007 85BCh、RSCAN.RSCAN0GAFLP112 A007 85CCh、RSCAN.RSCAN0GAFLP113 A007 85DCh、RSCAN.RSCAN0GAFLP114 A007 85ECh、RSCAN.RSCAN0GAFLP115 A007 85FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	GAFLFDP[17:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLFDP[17:0]								GAFLFDPr[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	GAFLFDPr [7:0]	受信FIFOバッファ x選択ビット	（ビット位置が対象となる受信FIFOバッファ番号xになります） 0：受信FIFOバッファを選択しない 1：受信FIFOバッファを選択する	R/W
b25-b8	GAFLFDP [17:0]	送受信FIFOバッファ k選択ビット	（ビット位置-8が対象となる送受信FIFOバッファ番号kになります） 0：送受信FIFOバッファを選択しない 1：送受信FIFOバッファを選択する	R/W
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

GAFLFDP[17:0]、GAFLFDPr[7:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN0GAFLP0j（j = 0 ～ 15）レジスタの GAFLRMV ビットを “1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCAN0CFCCk（k = 0 ～ 5）レジスタの CFM[1:0] ビットを “00b”（受信モード）または “10b”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

35.2.17　受信バッファナンバレジスタ（RSCAN0RMNB）

RSCAN0RMNB レジスタは、RSCAN モジュール全体の受信バッファ数を制御するレジスタです。
RSCAN0RMNB レジスタはグローバルリセットモードで書き換えてください。

アドレス　RSCAN.RSCAN0RMNB A007 80A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	NRXMB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	NRXMB[7:0]	受信バッファ数設定ビット	受信バッファ数を設定する。 0～32の範囲で設定してください。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NRXMB[7:0] ビット（受信バッファ数設定ビット）

RSCAN モジュール全体の受信バッファ数を設定します。最大値は 32（各チャネルで 16）です。
“0” を設定すると、受信バッファは使用できません。

35.2.18　受信バッファ新データレジスタ 0（RSCAN0RMND0）

RSCAN0RMND0 レジスタは、受信バッファの受信完了状態を示すステータスレジスタです。

RSCAN0RMND0 レジスタは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

アドレス RSCAN.RSCAN0RMND0 A007 80A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RMNSq_h(q = 31～16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMNSq_l(q = 15～0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	RMNSq_l	受信バッファ受信完了フラグ q_l（q = 15～0）	0：受信バッファ qに新しいメッセージなし 1：受信バッファ qに新しいメッセージあり	R/W
b31-b16	RMNSq_h	受信バッファ受信完了フラグ q_h（q = 31～16）	0：受信バッファ qに新しいメッセージなし 1：受信バッファ qに新しいメッセージあり	R/W

RMNSq_l, RMNSq_h フラグ（チャネル 0：q = 0 ～ 15、チャネル 1：q = 16 ～ 31）

対応する受信バッファにメッセージを格納する処理が始まると “1” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。メッセージ格納中は “0” にできません。メッセージを格納する時間は PCLKD の 10 クロック分です。

グローバルリセットモード時、“0” になります。

35.2.19　受信バッファ ID レジスタ（RSCAN0RMIDq）（q = 0 ~ 31）

RSCAN0RMIDq レジスタは、受信バッファに格納されたメッセージの ID、フレームフォーマットの状態を示すステータスレジスタです（チャネル 0：q = 0 ～ 15、チャネル 1：q = 16 ～ 31）。

アドレス　RSCAN.RSCAN0RMID0 A007 8600h、RSCAN.RSCAN0RMID1 A007 8610h、RSCAN.RSCAN0RMID2 A007 8620h、RSCAN.RSCAN0RMID3 A007 8630h、RSCAN.RSCAN0RMID4 A007 8640h、RSCAN.RSCAN0RMID5 A007 8650h、RSCAN.RSCAN0RMID6 A007 8660h、RSCAN.RSCAN0RMID7 A007 8670h、RSCAN.RSCAN0RMID8 A007 8680h、RSCAN.RSCAN0RMID9 A007 8690h、RSCAN.RSCAN0RMID10 A007 86A0h、RSCAN.RSCAN0RMID11 A007 86B0h、RSCAN.RSCAN0RMID12 A007 86C0h、RSCAN.RSCAN0RMID13 A007 86D0h、RSCAN.RSCAN0RMID14 A007 86E0h、RSCAN.RSCAN0RMID15 A007 86F0h、RSCAN.RSCAN0RMID16 A007 8700h、RSCAN.RSCAN0RMID17 A007 8710h、RSCAN.RSCAN0RMID18 A007 8720h、RSCAN.RSCAN0RMID19 A007 8730h、RSCAN.RSCAN0RMID20 A007 8740h、RSCAN.RSCAN0RMID21 A007 8750h、RSCAN.RSCAN0RMID22 A007 8760h、RSCAN.RSCAN0RMID23 A007 8770h、RSCAN.RSCAN0RMID24 A007 8780h、RSCAN.RSCAN0RMID25 A007 8790h、RSCAN.RSCAN0RMID26 A007 87A0h、RSCAN.RSCAN0RMID27 A007 87B0h、RSCAN.RSCAN0RMID28 A007 87C0h、RSCAN.RSCAN0RMID29 A007 87D0h、RSCAN.RSCAN0RMID30 A007 87E0h、RSCAN.RSCAN0RMID31 A007 87F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RMIDE	RMRTR	—	RMID[28:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMID[28:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	RMID[28:0]	受信バッファ IDデータビット	受信メッセージの標準ID／拡張IDが読めます。 標準IDの場合は、b10～b0を読んでください。b28～b11は“0”が読めます。	R
b29	—	予約ビット	読むと“0”が読めます。	R
b30	RMRTR	受信バッファ RTRビット	0：データフレーム 1：リモートフレーム	R
b31	RMIDE	受信バッファ IDEビット	0：標準ID 1：拡張ID	R

RMID[28:0] ビット（受信バッファ ID データビット）

受信バッファに格納されたメッセージの ID を示します。

RMRTR ビット（受信バッファ RTR ビット）

受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RMIDE ビット（受信バッファ IDE ビット）

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

35.2.20　受信バッファポインタレジスタ（RSCAN0RMPTRq）（q = 0 ~ 31）

RSCAN0RMPTRq レジスタは、受信バッファに格納されたメッセージのデータ長、ラベル情報、タイムスタンプ値を示すステータスレジスタです（チャネル 0：q = 0 ～ 15、チャネル 1：q = 16 ～ 31）。

アドレス　RSCAN.RSCAN0RMPTR0 A007 8604h、RSCAN.RSCAN0RMPTR1 A007 8614h、RSCAN.RSCAN0RMPTR2 A007 8624h、RSCAN.RSCAN0RMPTR3 A007 8634h、RSCAN.RSCAN0RMPTR4 A007 8644h、RSCAN.RSCAN0RMPTR5 A007 8654h、RSCAN.RSCAN0RMPTR6 A007 8664h、RSCAN.RSCAN0RMPTR7 A007 8674h、RSCAN.RSCAN0RMPTR8 A007 8684h、RSCAN.RSCAN0RMPTR9 A007 8694h、RSCAN.RSCAN0RMPTR10 A007 86A4h、RSCAN.RSCAN0RMPTR11 A007 86B4h、RSCAN.RSCAN0RMPTR12 A007 86C4h、RSCAN.RSCAN0RMPTR13 A007 86D4h、RSCAN.RSCAN0RMPTR14 A007 86E4h、RSCAN.RSCAN0RMPTR15 A007 86F4h、RSCAN.RSCAN0RMPTR16 A007 8704h、RSCAN.RSCAN0RMPTR17 A007 8714h、RSCAN.RSCAN0RMPTR18 A007 8724h、RSCAN.RSCAN0RMPTR19 A007 8734h、RSCAN.RSCAN0RMPTR20 A007 8744h、RSCAN.RSCAN0RMPTR21 A007 8754h、RSCAN.RSCAN0RMPTR22 A007 8764h、RSCAN.RSCAN0RMPTR23 A007 8774h、RSCAN.RSCAN0RMPTR24 A007 8784h、RSCAN.RSCAN0RMPTR25 A007 8794h、RSCAN.RSCAN0RMPTR26 A007 87A4h、RSCAN.RSCAN0RMPTR27 A007 87B4h、RSCAN.RSCAN0RMPTR28 A007 87C4h、RSCAN.RSCAN0RMPTR29 A007 87D4h、RSCAN.RSCAN0RMPTR30 A007 87E4h、RSCAN.RSCAN0RMPTR31 A007 87F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RMDLC[3:0]				RMPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	RMTS[15:0]	受信バッファタイムスタンプデータビット	受信メッセージのタイムスタンプ値が読めます。	R
b27-b16	RMPTR[11:0]	受信バッファラベルデータビット	受信メッセージのラベル情報が読めます。	R
b31-b28	RMDLC[3:0]	受信バッファ DLCデータビット	b31 b30 b29 b28 0 0 0 0：データバイトなし 0 0 0 1：1データバイト 0 0 1 0：2データバイト 0 0 1 1：3データバイト 0 1 0 0：4データバイト 0 1 0 1：5データバイト 0 1 1 0：6データバイト 0 1 1 1：7データバイト 1 X X X：8データバイト	R

RMTS[15:0] ビット（受信バッファタイムスタンプデータビット）

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

RMPTR[11:0] ビット（受信バッファラベルデータビット）

受信バッファに格納されたメッセージのラベル情報を示します。

RMDLC[3:0] ビット（受信バッファ DLC データビット）

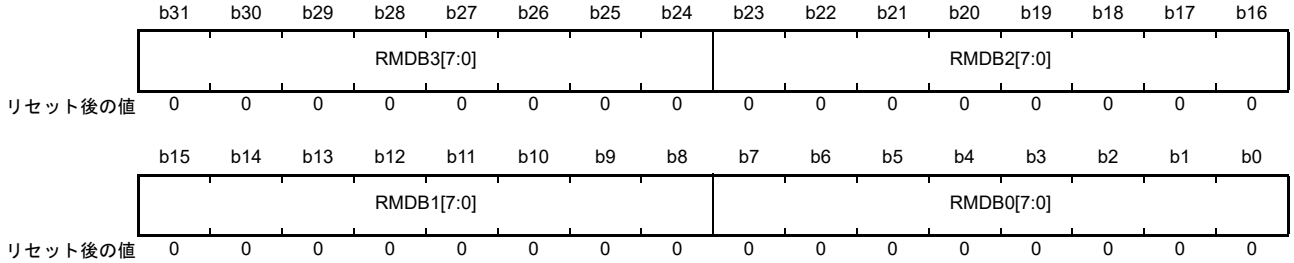
受信バッファに格納されたメッセージのデータ長を示します。

35.2.21　受信バッファデータフィールド 0 レジスタ（RSCAN0RMDF0q）（q = 0 ~ 31）

RSCAN0RMDF0q レジスタは、受信バッファのデータを格納するデータレジスタです（チャネル 0：q = 0 ～ 15、チャネル 1：q = 16 ～ 31）。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス　RSCAN.RSCAN0RMDF00 A007 8608h、RSCAN.RSCAN0RMDF01 A007 8618h、RSCAN.RSCAN0RMDF02 A007 8628h、RSCAN.RSCAN0RMDF03 A007 8638h、RSCAN.RSCAN0RMDF04 A007 8648h、RSCAN.RSCAN0RMDF05 A007 8658h、RSCAN.RSCAN0RMDF06 A007 8668h、RSCAN.RSCAN0RMDF07 A007 8678h、RSCAN.RSCAN0RMDF08 A007 8688h、RSCAN.RSCAN0RMDF09 A007 8698h、RSCAN.RSCAN0RMDF010 A007 86A8h、RSCAN.RSCAN0RMDF011 A007 86B8h、RSCAN.RSCAN0RMDF012 A007 86C8h、RSCAN.RSCAN0RMDF013 A007 86D8h、RSCAN.RSCAN0RMDF014 A007 86E8h、RSCAN.RSCAN0RMDF015 A007 86F8h、RSCAN.RSCAN0RMDF016 A007 8708h、RSCAN.RSCAN0RMDF017 A007 8718h、RSCAN.RSCAN0RMDF018 A007 8728h、RSCAN.RSCAN0RMDF019 A007 8738h、RSCAN.RSCAN0RMDF020 A007 8748h、RSCAN.RSCAN0RMDF021 A007 8758h、RSCAN.RSCAN0RMDF022 A007 8768h、RSCAN.RSCAN0RMDF023 A007 8778h、RSCAN.RSCAN0RMDF024 A007 8788h、RSCAN.RSCAN0RMDF025 A007 8798h、RSCAN.RSCAN0RMDF026 A007 87A8h、RSCAN.RSCAN0RMDF027 A007 87B8h、RSCAN.RSCAN0RMDF028 A007 87C8h、RSCAN.RSCAN0RMDF029 A007 87D8h、RSCAN.RSCAN0RMDF030 A007 87E8h、RSCAN.RSCAN0RMDF031 A007 87F8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB0[7:0]	受信バッファデータバイト 0	受信バッファに格納されたメッセージのデータが読めます。	R
b15-b8	RMDB1[7:0]	受信バッファデータバイト 1		R
b23-b16	RMDB2[7:0]	受信バッファデータバイト 2		R
b31-b24	RMDB3[7:0]	受信バッファデータバイト 3		R

35.2.22　受信バッファデータフィールド 1 レジスタ（RSCAN0RMDF1q）（q = 0 ~ 31）

RSCAN0RMDF1q レジスタは受信バッファのデータを格納するデータレジスタです（チャネル 0：q = 0 ～ 15、チャネル 1：q = 16 ～ 31）。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス：RSCAN.RSCAN0RMDF10 A007 860Ch、RSCAN.RSCAN0RMDF11 A007 861Ch、RSCAN.RSCAN0RMDF12 A007 862Ch、RSCAN.RSCAN0RMDF13 A007 863Ch、RSCAN.RSCAN0RMDF14 A007 864Ch、RSCAN.RSCAN0RMDF15 A007 865Ch、RSCAN.RSCAN0RMDF16 A007 866Ch、RSCAN.RSCAN0RMDF17 A007 867Ch、RSCAN.RSCAN0RMDF18 A007 868Ch、RSCAN.RSCAN0RMDF19 A007 869Ch、RSCAN.RSCAN0RMDF110 A007 86ACh、RSCAN.RSCAN0RMDF111 A007 86BCh、RSCAN.RSCAN0RMDF112 A007 86CCh、RSCAN.RSCAN0RMDF113 A007 86DCh、RSCAN.RSCAN0RMDF114 A007 86ECh、RSCAN.RSCAN0RMDF115 A007 86FCh、RSCAN.RSCAN0RMDF116 A007 870Ch、RSCAN.RSCAN0RMDF117 A007 871Ch、RSCAN.RSCAN0RMDF118 A007 872Ch、RSCAN.RSCAN0RMDF119 A007 873Ch、RSCAN.RSCAN0RMDF120 A007 874Ch、RSCAN.RSCAN0RMDF121 A007 875Ch、RSCAN.RSCAN0RMDF122 A007 876Ch、RSCAN.RSCAN0RMDF123 A007 877Ch、RSCAN.RSCAN0RMDF124 A007 878Ch、RSCAN.RSCAN0RMDF125 A007 879Ch、RSCAN.RSCAN0RMDF126 A007 87ACh、RSCAN.RSCAN0RMDF127 A007 87BCh、RSCAN.RSCAN0RMDF128 A007 87CCh、RSCAN.RSCAN0RMDF129 A007 87DCh、RSCAN.RSCAN0RMDF130 A007 87ECh、RSCAN.RSCAN0RMDF131 A007 87FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RMDB7[7:0]								RMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMDB5[7:0]								RMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB4[7:0]	受信バッファデータバイト4	受信バッファに格納されたメッセージのデータが読めます。	R
b15-b8	RMDB5[7:0]	受信バッファデータバイト5		R
b23-b16	RMDB6[7:0]	受信バッファデータバイト6		R
b31-b24	RMDB7[7:0]	受信バッファデータバイト7		R

35.2.23　受信 FIFO バッファコンフィグレーション／制御レジスタ（RSCAN0RFCCx）（x = 0 ~ 7）

RSCAN0RFCCx レジスタは、受信 FIFO バッファ割り込みや受信 FIFO バッファ段数を制御するレジスタです。

アドレス　RSCAN.RSCAN0RFCC0 A007 80B8h、RSCAN.RSCAN0RFCC1 A007 80BCh、RSCAN.RSCAN0RFCC2 A007 80C0h、RSCAN.RSCAN0RFCC3 A007 80C4h、RSCAN.RSCAN0RFCC4 A007 80C8h、RSCAN.RSCAN0RFCC5 A007 80CCh、RSCAN.RSCAN0RFCC6 A007 80D0h、RSCAN.RSCAN0RFCC7 A007 80D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信FIFOバッファ許可ビット	0：受信FIFOバッファを使用しない 1：受信FIFOバッファを使用する	R/W
b1	RFIE	受信FIFO割り込み許可ビット	0：受信FIFO割り込み禁止 1：受信FIFO割り込み許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10-b8	RFDC[2:0]	受信FIFOバッファ段数設定ビット	b10 b9 b8 0 0 0：0メッセージ 0 0 1：4メッセージ 0 1 0：8メッセージ 0 1 1：16メッセージ 1 0 0：32メッセージ 1 0 1：48メッセージ 1 1 0：64メッセージ 1 1 1：128メッセージ	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	RFIM	受信FIFO割り込み要因選択ビット	0：RFIGCV[2:0]ビットで設定した条件に達したときに発生 1：1メッセージ受信完了ごとに発生	R/W
b15-b13	RFIGCV[2:0]	受信FIFO割り込み要求発生タイミング選択ビット	b15 b14 b13 0 0 0：FIFOバッファに 1/8 までメッセージ格納時 0 0 1：FIFOバッファに 2/8 までメッセージ格納時 0 1 0：FIFOバッファに 3/8 までメッセージ格納時 0 1 1：FIFOバッファに 4/8 までメッセージ格納時 1 0 0：FIFOバッファに 5/8 までメッセージ格納時 1 0 1：FIFOバッファに 6/8 までメッセージ格納時 1 1 0：FIFOバッファに 7/8 までメッセージ格納時 1 1 1：FIFOバッファがフルのとき	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RFE ビット（受信 FIFO バッファ許可ビット）

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCAN0RFSTSx レジスタの RFEMP フラグが “1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RFIE ビット（受信 FIFO 割り込み許可ビット）

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFDC[2:0] ビット（受信 FIFO バッファ段数設定ビット）

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000b” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット（受信 FIFO 割り込み要因選択ビット）

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIGCV[2:0] ビット（受信 FIFO 割り込み要求発生タイミング選択ビット）

RFIM ビットを “0” にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0] の設定）に対する分数で指定します。

RFDC[2:0] ビットを “001b”（4 メッセージ）に設定した場合は、RFIGCV[2:0] ビットを “001b”、“011b”、“101b”、または “111b” にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

35.2.24　受信 FIFO バッファステータスレジスタ（RSCAN0RFSTSx）（x = 0 ~ 7）

RSCAN0RFSTSx レジスタは、受信 FIFO バッファの空き状態や未読メッセージ数などの状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0RFSTS0 A007 80D8h、RSCAN.RSCAN0RFSTS1 A007 80DCh、RSCAN.RSCAN0RFSTS2 A007 80E0h、RSCAN.RSCAN0RFSTS3 A007 80E4h、RSCAN.RSCAN0RFSTS4 A007 80E8h、RSCAN.RSCAN0RFSTS5 A007 80ECh、RSCAN.RSCAN0RFSTS6 A007 80F0h、RSCAN.RSCAN0RFSTS7 A007 80F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP	受信FIFOバッファ空ステータスフラグ	0：受信FIFOバッファに未読メッセージあり 1：受信FIFOバッファに未読メッセージなし（バッファ空）	R
b1	RFFLL	受信FIFOバッファフルステータスフラグ	0：受信FIFOバッファフルではない 1：受信FIFOバッファフル	R
b2	RFMLT	受信FIFOメッセージロストフラグ	0：受信FIFOメッセージロストなし 1：受信FIFOメッセージロスト	R/W （注1）
b3	RFIF	受信FIFO割り込み要求フラグ	0：受信FIFO割り込み要求なし 1：受信FIFO割り込み要求あり	R/W （注1）
b7-b4	—	予約ビット	読むと“0”が読めます。	R
b15-b8	RFMC[7:0]	受信FIFO未読メッセージ数表示カウンタ	受信FIFOバッファに格納された未読メッセージ数を示します。	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

RFEMP フラグ（受信 FIFO バッファ空ステータスフラグ）

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCAN0RFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

RFFLL フラグ（受信 FIFO バッファフルステータスフラグ）

受信 FIFO バッファに格納されたメッセージ数が、RSCAN0RFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると “0” になります。また、RSCAN0RFCCx レジスタの RFE ビットが “0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に “0” になります。

RFMLT フラグ（受信 FIFO メッセージロストフラグ）

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFIF フラグ（受信 FIFO 割り込み要求フラグ）

RSCAN0RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFMC[7:0] フラグ（受信 FIFO 未読メッセージ数表示カウンタ）

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN0RFCCx レジスタの RFE ビットを “0” にすると、“00h” になります。

35.2.25　受信 FIFO バッファポインタ制御レジスタ（RSCAN0RFPCTRx）（x = 0 ~ 7）

RSCAN0RFPCTRx レジスタは、受信 FIFO バッファのポインタを制御するレジスタです。

アドレス　RSCAN.RSCAN0RFPCTR0 A007 80F8h、RSCAN.RSCAN0RFPCTR1 A007 80FCh、RSCAN.RSCAN0RFPCTR2 A007 8100h、RSCAN.RSCAN0RFPCTR3 A007 8104h、RSCAN.RSCAN0RFPCTR4 A007 8108h、RSCAN.RSCAN0RFPCTR5 A007 810Ch、RSCAN.RSCAN0RFPCTR6 A007 8110h、RSCAN.RSCAN0RFPCTR7 A007 8114h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	RFPC[7:0]	受信FIFOポインタ制御ビット	“FFh”を書くと、受信FIFOバッファの次の未読メッセージにリードポインタが移動します。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

RFPC[7:0] ビット（受信 FIFO ポインタ制御ビット）

RFPC[7:0] ビットに “FFh” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0RFSTSx レジスタの RFMC[7:0] ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RSCAN0RFID、RSCAN0RFPTR、RSCAN0RFDF0、RSCAN0RFDF1 レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FFh” を書いてください。

なお、“FFh” の書き込みは、RSCAN0RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）で、RSCAN0RFSTSx レジスタの RFEMP フラグが “0” 未読メッセージあり）のときに行ってください。

35.2.26　受信 FIFO バッファアクセス ID レジスタ（RSCAN0RFIDx）（x = 0 ~ 7）

RSCAN0RFIDx レジスタは、受信 FIFO バッファに格納されたメッセージの ID、フレームフォーマットの状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0RFID0 A007 8E00h、RSCAN.RSCAN0RFID1 A007 8E10h、RSCAN.RSCAN0RFID2 A007 8E20h、RSCAN.RSCAN0RFID3 A007 8E30h、RSCAN.RSCAN0RFID4 A007 8E40h、RSCAN.RSCAN0RFID5 A007 8E50h、RSCAN.RSCAN0RFID6 A007 8E60h、RSCAN.RSCAN0RFID7 A007 8E70h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFIDE	RFRTR	—	RFID[28:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFID[28:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	RFID[28:0]	受信FIFOバッファ IDデータビット	受信メッセージの標準ID／拡張IDが読めます。 標準IDの場合は、b10～b0を読んでください。b28～b11は“0”が読めます。	R
b29	—	予約ビット	読むと“0”が読めます。	R
b30	RFRTR	受信FIFOバッファ RTRビット	0：データフレーム 1：リモートフレーム	R
b31	RFIDE	受信FIFOバッファ IDEビット	0：標準ID 1：拡張ID	R

RFID[28:0] ビット（受信 FIFO バッファ ID データビット）

受信 FIFO バッファに格納されたメッセージの ID を示します。

RFRTR ビット（受信 FIFO バッファ RTR ビット）

受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RFIDE ビット（受信 FIFO バッファ IDE ビット）

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

35.2.27　受信 FIFO バッファアクセスポインタレジスタ（RSCAN0RFPTRx）（x = 0 ~ 7）

RSCAN0RFPTRx レジスタは、受信 FIFO バッファに格納されたメッセージのデータ長、ラベル情報、タイムスタンプ値を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0RFPTR0 A007 8E04h、RSCAN.RSCAN0RFPTR1 A007 8E14h、RSCAN.RSCAN0RFPTR2 A007 8E24h、RSCAN.RSCAN0RFPTR3 A007 8E34h、RSCAN.RSCAN0RFPTR4 A007 8E44h、RSCAN.RSCAN0RFPTR5 A007 8E54h、RSCAN.RSCAN0RFPTR6 A007 8E64h、RSCAN.RSCAN0RFPTR7 A007 8E74h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFTS[15:0]	受信FIFOバッファタイムスタンプデータビット	受信メッセージのタイムスタンプ値が読めます。	R
b27-b16	RFPTR[11:0]	受信FIFOバッファラベルデータビット	受信メッセージのラベル情報が読めます。	R
b31-b28	RFDLC[3:0]	受信FIFOバッファ DLCデータビット	b31 b30 b29 b28 0 0 0 0 : 0データバイト 0 0 0 1 : 1データバイト 0 0 1 0 : 2データバイト 0 0 1 1 : 3データバイト 0 1 0 0 : 4データバイト 0 1 0 1 : 5データバイト 0 1 1 0 : 6データバイト 0 1 1 1 : 7データバイト 1 X X X : 8データバイト	R

RFTS[15:0] ビット（受信 FIFO バッファタイムスタンプデータビット）

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

RFPTR[11:0] ビット（受信 FIFO バッファラベルデータビット）

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFDLC[3:0] ビット（受信 FIFO バッファ DLC データビット）

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

35.2.28　受信 FIFO バッファアクセスデータフィールド 0 レジスタ（RSCAN0RFDF0x）（x = 0 ~ 7）

RSCAN0RFDF0x レジスタは、受信 FIFO バッファのデータを格納するデータレジスタです。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス　RSCAN.RSCAN0RFDF00 A007 8E08h、RSCAN.RSCAN0RFDF01 A007 8E18h、RSCAN.RSCAN0RFDF02 A007 8E28h、RSCAN.RSCAN0RFDF03 A007 8E38h、RSCAN.RSCAN0RFDF04 A007 8E48h、RSCAN.RSCAN0RFDF05 A007 8E58h、RSCAN.RSCAN0RFDF06 A007 8E68h、RSCAN.RSCAN0RFDF07 A007 8E78h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFDB3[7:0]								RFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFDB1[7:0]								RFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB0[7:0]	受信FIFOバッファデータバイト0	受信FIFOバッファに格納されたメッセージのデータが読めます。	R
b15-b8	RFDB1[7:0]	受信FIFOバッファデータバイト1		R
b23-b16	RFDB2[7:0]	受信FIFOバッファデータバイト2		R
b31-b24	RFDB3[7:0]	受信FIFOバッファデータバイト3		R

35.2.29　受信 FIFO バッファアクセスデータフィールド 1 レジスタ（RSCAN0RFDF1x）（x = 0 ~ 7）

RSCAN0RFDF1x レジスタは、受信 FIFO バッファのデータを格納するデータレジスタです。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス　RSCAN.RSCAN0RFDF10 A007 8E0Ch、RSCAN.RSCAN0RFDF11 A007 8E1Ch、RSCAN.RSCAN0RFDF12 A007 8E2Ch、RSCAN.RSCAN0RFDF13 A007 8E3Ch、RSCAN.RSCAN0RFDF14 A007 8E4Ch、RSCAN.RSCAN0RFDF15 A007 8E5Ch、RSCAN.RSCAN0RFDF16 A007 8E6Ch、RSCAN.RSCAN0RFDF17 A007 8E7Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFDB7[7:0]								RFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFDB5[7:0]								RFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB4[7:0]	受信FIFOバッファデータバイト4	受信FIFOバッファに格納されたメッセージのデータが読めます。	R
b15-b8	RFDB5[7:0]	受信FIFOバッファデータバイト5		R
b23-b16	RFDB6[7:0]	受信FIFOバッファデータバイト6		R
b31-b24	RFDB7[7:0]	受信FIFOバッファデータバイト7		R

35.2.30　送受信 FIFO バッファコンフィグレーション／制御レジスタ（RSCAN0CFCCk）（k = 0 ~ 5）

RSCAN0CFCCk レジスタは、送受信 FIFO バッファの設定を制御するレジスタです（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。

アドレス　RSCAN.RSCAN0CFCC0 A007 8118h、RSCAN.RSCAN0CFCC1 A007 811Ch、RSCAN.RSCAN0CFCC2 A007 8120h、RSCAN.RSCAN0CFCC3 A007 8124h、RSCAN.RSCAN0CFCC4 A007 8128h、RSCAN.RSCAN0CFCC5 A007 812Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CFITT[7:0]								CFTML[3:0]				CFITR	CFITSS	CFM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFE	送受信FIFOバッファ許可ビット	0：送受信FIFOバッファを使用しない 1：送受信FIFOバッファを使用する	R/W
b1	CFRXIE	送受信FIFO受信割り込み許可ビット	0：送受信FIFO受信割り込み禁止 1：送受信FIFO受信割り込み許可	R/W
b2	CFTXIE	送受信FIFO送信割り込み許可ビット	0：送受信FIFO送信割り込み禁止 1：送受信FIFO送信割り込み許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10-b8	CFDC[2:0]	送受信FIFOバッファ段数設定ビット	b10 b9 b8 0 0 0：0メッセージ 0 0 1：4メッセージ 0 1 0：8メッセージ 0 1 1：16メッセージ 1 0 0：32メッセージ 1 0 1：48メッセージ 1 1 0：64メッセージ 1 1 1：128メッセージ	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	CFIM	送受信FIFO割り込み要因選択ビット	0： • 受信モード、ゲートウェイモード時 受信メッセージ数がCFIGCV[2:0]ビットで設定した条件に達したとき、FIFO受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO送信割り込み要求発生 1： • 受信モード、ゲートウェイモード時 1メッセージ受信ごとにFIFO受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1メッセージ送信が完了するごとにFIFO送信割り込み要求発生	R/W
b15-b13	CFIGCV[2:0]	送受信FIFO受信割り込み要求発生タイミング選択ビット	b15 b14 b13 0 0 0：FIFOバッファに 1/8 までメッセージ格納時 0 0 1：FIFOバッファに 2/8 までメッセージ格納時 0 1 0：FIFOバッファに 3/8 までメッセージ格納時 0 1 1：FIFOバッファに 4/8 までメッセージ格納時 1 0 0：FIFOバッファに 5/8 までメッセージ格納時 1 0 1：FIFOバッファに 6/8 までメッセージ格納時 1 1 0：FIFOバッファに 7/8 までメッセージ格納時 1 1 1：FIFOバッファがフルのとき	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	CFM[1:0]	送受信FIFOモード選択ビット	b17 b16 0　0：受信モード 0　1：送信モード 1　0：ゲートウェイモード 上記以外は設定禁止	R/W
b18	CFITSS	送受信FIFOインターバルタイマクロックソース選択ビット	0：CFITRビットで選択したクロックソース 1：関連チャネルのビットタイムクロック	R/W
b19	CFITR	送受信FIFOインターバルタイマ分解能選択ビット	0：PCLKD/2をITRCP[15:0]ビットで分周したクロック 1：PCLKD/2をITRCP[15:0]ビットの値× 10で分周したクロック	R/W
b23-b20	CFTML[3:0]	送信バッファリンク設定ビット	送受信FIFOバッファにリンクさせる送信バッファ番号を設定してください。	R/W
b31-b24	CFITT[7:0]	メッセージ送信間隔設定ビット	設定値：00h～FFh	R/W

CFE ビット（送受信 FIFO バッファ許可ビット）

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時 : グローバルリセットモード
- 送信モードまたはゲートウェイモード時 : チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード : グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード : チャネル通信モードまたはチャネル待機モード

CFRXIE ビット（送受信 FIFO 受信割り込み許可ビット）

このビットを “1” に設定し、RSCAN0CFSTSk レジスタの CFRXIF フラグが “1” になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが “0” の状態で、CFRXIE ビットを書き換えてください。

CFTXIE ビット（送受信 FIFO 送信割り込み許可ビット）

このビットを “1” に設定し、RSCAN0CFSTSk レジスタの CFTXIF フラグが “1” になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFDC[2:0] ビット（送受信 FIFO バッファ段数設定ビット）

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000b” に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット（送受信 FIFO 割り込み要因選択ビット）

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット（送受信 FIFO 受信割り込み要求発生タイミング選択ビット）

CFM[1:0] ビットを “00b”（受信モード）または “10b”（ゲートウェイモード）に、CFIM ビットを “0” にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。

CFDC[2:0] ビットを “001b”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを “001b”、“011b”、“101b”、または “111b” にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFM[1:0] ビット（送受信 FIFO モード選択ビット）

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFITSS ビット（送受信 FIFO インターバルタイマクロックソース選択ビット）

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1” のとき、FIFO にリンクしているチャネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITSS ビットを書き換えてください。

CFITR ビット（送受信 FIFO インターバルタイマ分解能選択ビット）

CFITSS ビットが “0” のとき、有効です。

“0” のとき、インターバルタイマクロックソースは、PCLKD/2 を RSCAN0GCFG レジスタの ITRCP[15:0] ビットで分周したクロックとなります。

“1” のとき、インターバルタイマクロックソースは、PCLKD/2 を RSCAN0GCFG レジスタの ITRCP[15:0] ビットの値 ×10 で分周したクロックとなります。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITR ビットを書き換えてください。

CFTML[3:0] ビット（送信バッファリンク設定ビット）

CFM[1:0] ビットを “01b”（送信モード）または “10b”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあります（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。FIFO バッファ k にリンクされる実際の送信バッファ番号 p を、**表 35.4** に示します。

送受信 FIFO バッファ k と送信バッファ p の動作については、**「35.6　送信機能」**を参照してください。

CFDC[2:0] ビットを “001b” 以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファにすでに割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

表 35.4　CFTML[3:0] ビットの設定値によって送受信 FIFO バッファ k にリンクされる送信バッファ p

CFTML[3:0] ビットの設定値 （送信受信 FIFOk ごとに設定）	送受信 FIFO バッファに リンクされる送信バッファ p (p = 0 ～ 31)	
	チャネル 0 （m = 0）	チャネル 1（m = 1）
0000b	送信バッファ 0	送信バッファ 16
0001b	送信バッファ 1	送信バッファ 17
0010b	送信バッファ 2	送信バッファ 18
0011b	送信バッファ 3	送信バッファ 19
0100b	送信バッファ 4	送信バッファ 20
0101b	送信バッファ 5	送信バッファ 21
0110b	送信バッファ 6	送信バッファ 22
0111b	送信バッファ 7	送信バッファ 23
1000b	送信バッファ 8	送信バッファ 24
1001b	送信バッファ 9	送信バッファ 25
1010b	送信バッファ 10	送信バッファ 26
1011b	送信バッファ 11	送信バッファ 27
1100b	送信バッファ 12	送信バッファ 28
1101b	送信バッファ 13	送信バッファ 29
1110b	送信バッファ 14	送信バッファ 30
1111b	送信バッファ 15	送信バッファ 31

CFITT[7:0] ビット（メッセージ送信間隔設定ビット）

CFM[1:0] ビットを “01b”（送信モード）または “10b”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0] ビットを書き換えてください。

35.2.31　送受信 FIFO バッファステータスレジスタ（RSCAN0CFSTSk）（k = 0 ~ 5）

RSCAN0CFSTSk レジスタは、送受信 FIFO バッファの状態を示すステータスレジスタです（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。

アドレス　RSCAN.RSCAN0CFSTS0 A007 8178h、RSCAN.RSCAN0CFSTS1 A007 817Ch、RSCAN.RSCAN0CFSTS2 A007 8180h、RSCAN.RSCAN0CFSTS3 A007 8184h、RSCAN.RSCAN0CFSTS4 A007 8188h、RSCAN.RSCAN0CFSTS5 A007 818Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFMC[7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CFEMP	送受信FIFOバッファ空ステータスフラグ	0：送受信FIFOバッファにメッセージあり 1：送受信FIFOバッファにメッセージなし（バッファ空）	R
b1	CFFLL	送受信FIFOバッファフルステータスフラグ	0：送受信FIFOバッファフルではない 1：送受信FIFOバッファフル	R
b2	CFMLT	送受信FIFOメッセージロストフラグ	0：送受信FIFOメッセージロストなし 1：送受信FIFOメッセージロスト	R/W（注1）
b3	CFRXIF	送受信FIFO受信割り込み要求フラグ	0：送受信FIFO受信割り込み要求なし 1：送受信FIFO受信割り込み要求あり	R/W（注1）
b4	CFTXIF	送受信FIFO送信割り込み要求フラグ	0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり	R/W（注1）
b7-b5	—	予約ビット	読むと“0”が読めます。	R
b15-b8	CFMC[7:0]	送受信FIFOメッセージ数表示カウンタ	送受信FIFOバッファに格納されたメッセージ数を示します。	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

CFEMP フラグ（送受信 FIFO バッファ空ステータスフラグ）

次の条件で、CFEMP フラグは “1” になります。

- CFM[1:0] ビットが “00b” の場合：
  全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが “01b” または “10b” の場合：
  すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：
  送信アボート中でないとき

次の条件で、CFEMP フラグは “0” になります。

- CFM[1:0] ビットが “00b” または “10b” の場合：
  受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが “01b” の場合：
  RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いてから、RSCAN0CFPCTRk レジスタに “FFh” を書いたとき

CFFLL フラグ（送受信 FIFO バッファフルステータスフラグ）

次の条件で、CFFLL フラグは “1” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは “0” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCAN0CFCCk レジスタの CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合 : 送信アボート中でないとき
- CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
  CFM[1:0] ビットが “01b” または “10b” の場合：チャネルリセットモード

CFMLT フラグ（送受信 FIFO メッセージロストフラグ）

次の条件で、CFMLT フラグは “1” になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは “0” になります。

- CFMLT フラグへの “0” 書き込み
- CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01b” または “10b” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ（送受信 FIFO 受信割り込み要求フラグ）

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00b” または “10b” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01b” または “10b” の場合：チャネルリセット・モード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFTXIF フラグ（送受信 FIFO 送信割り込み要求フラグ）

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0]ビットが“01b”または“10b”で、RSCAN0CFCCkレジスタのCFIMビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00b” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01b” または “10b” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）

CFMC[7:0] ビットが示す値は、RSCAN0CFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01b”（送信モード）の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00b”（受信モード）の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10b”（ゲートウェイモード）の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00b” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01b” または “10b” の場合 : チャネルリセットモード

35.2.32　送受信 FIFO バッファポインタ制御レジスタ（RSCAN0CFPCTRk）（k = 0 ~ 5）

RSCAN0CFPCTRk レジスタは送受信 FIFO バッファのポインタを制御するレジスタです（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。

アドレス　RSCAN.RSCAN0CFPCTR0 A007 81D8h、RSCAN.RSCAN0CFPCTR1 A007 81DCh、RSCAN.RSCAN0CFPCTR2 A007 81E0h、RSCAN.RSCAN0CFPCTR3 A007 81E4h、RSCAN.RSCAN0CFPCTR4 A007 81E8h、RSCAN.RSCAN0CFPCTR5 A007 81ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CFPC[7:0]	送受信FIFOポインタ制御ビット	• 受信モード時 “FFh”を書くと、送受信FIFOバッファの次の未読メッセージにリードポインタが移動します。 • 送信モード時 “FFh”を書くと、送受信FIFOバッファの次の段にライトポインタが移動します。 • ゲートウェイモード時 設定しないでください。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

CFPC[7:0] ビット（送受信 FIFO ポインタ制御ビット）

- 受信モード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “00b”）のとき：
  CFPC[7:0] ビットに “FFh” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0CFSTSk レジスタの CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FFh” を書いてください。
  なお、“FFh” の書き込みは RSCAN0CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCAN0CFSTSk レジスタの CFEMP フラグが “0”（メッセージあり）のときに行ってください。
- 送信モード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01b”）のとき：
  CFPC[7:0] ビットに “FFh” を書くと、RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FFh” を書いてください。
  なお、“FFh” の書き込みは、RSCAN0CFCCk レジスタの CFE ビットが “1” で、RSCAN0CFSTSk レジスタの CFFLL フラグが “0”（フルではない）のときに行ってください。
- ゲートウェイモード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “10b”）のとき：
  設定しないでください。

35.2.33　送受信 FIFO バッファアクセス ID レジスタ（RSCAN0CFIDk）（k = 0 ~ 5）

RSCAN0CFIDk レジスタは、送受信 FIFO バッファに格納された受信メッセージの ID、データフォーマットを示すステータスレジスタです（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01b”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00b”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10b”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

アドレス　RSCAN.RSCAN0CFID0 A007 8E80h、RSCAN.RSCAN0CFID1 A007 8E90h、RSCAN.RSCAN0CFID2 A007 8EA0h、RSCAN.RSCAN0CFID3 A007 8EB0h、RSCAN.RSCAN0CFID4 A007 8EC0h、RSCAN.RSCAN0CFID5 A007 8ED0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CFIDE	CFRTR	THLEN	CFID[28:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFID[28:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	CFID[28:0]	送受信FIFOバッファ IDデータ設定ビット	• CFM[1:0]ビットが“01b”（送信モード）時 標準IDまたは拡張IDを設定してください。標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください。 • CFM[1:0]ビットが“00b”（受信モード）時 受信メッセージの標準IDまたは拡張IDが読めます。標準IDの場合、b10～b0を読んでください。b28～b11は“0”が読めます。	R/W
b29	THLEN	送信履歴データ格納許可ビット	CFM[1:0]ビットが“01b”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する	R/W
b30	CFRTR	送受信FIFOバッファ RTRビット	0：データフレーム 1：リモートフレーム	R/W
b31	CFIDE	送受信FIFOバッファ IDEビット	0：標準ID 1：拡張ID	R/W

CFID[28:0] ビット（送受信 FIFO バッファ ID データ設定ビット）

CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

THLEN ビット（送信履歴データ格納許可ビット）

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01b”（送信モード）のときに、有効になります。

CFRTR ビット（送受信 FIFO バッファ RTR ビット）

CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

CFIDE ビット（送受信 FIFO バッファ IDE ビット）

CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

35.2.34　送受信 FIFO バッファアクセスポインタレジスタ（RSCAN0CFPTRk）（k = 0 ~ 5）

RSCAN0CFPTRk レジスタは、送受信 FIFO バッファに格納された受信メッセージのデータ長、ラベル情報、タイムスタンプ値を示すステータスレジスタです（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01b”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00b”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10b”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

アドレス　RSCAN.RSCAN0CFPTR0 A007 8E84h、RSCAN.RSCAN0CFPTR1 A007 8E94h、RSCAN.RSCAN0CFPTR2 A007 8EA4h、RSCAN.RSCAN0CFPTR3 A007 8EB4h、RSCAN.RSCAN0CFPTR4 A007 8EC4h、RSCAN.RSCAN0CFPTR5 A007 8ED4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CFDLC[3:0]				CFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CFTS[15:0]	送受信FIFOバッファタイムスタンプデータ表示ビット	CFM[1:0]ビットが“00b”（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。	R/W
b27-b16	CFPTR[11:0]	送受信FIFOバッファラベルデータ表示ビット	• CFM[1:0]ビットが“01b”（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0]のみ有効です。 • CFM[1:0]ビットが“00b”（受信モード）時 受信メッセージのラベル情報が読めます。	R/W
b31-b28	CFDLC[3:0]	送受信FIFOバッファ DLCデータ表示ビット	b31 b30 b29 b28 0 0 0 0：0 データバイト 0 0 0 1：1 データバイト 0 0 1 0：2 データバイト 0 0 1 1：3 データバイト 0 1 0 0：4 データバイト 0 1 0 1：5 データバイト 0 1 1 0：6 データバイト 0 1 1 1：7 データバイト 1 X X X：8 データバイト	R/W

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00b” のときに、有効になります。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01b” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFDLC[3:0] ビット

CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

35.2.35　送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（RSCAN0CFDF0k）（k = 0 ~ 5）

RSCAN0CFDF0k レジスタは送受信 FIFO バッファのデータを格納するデータレジスタです（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

CFM[1:0] ビットが “10b”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

アドレス　RSCAN.RSCAN0CFDF00 A007 8E88h、RSCAN.RSCAN0CFDF01 A007 8E98h、RSCAN.RSCAN0CFDF02 A007 8EA8h、RSCAN.RSCAN0CFDF03 A007 8EB8h、RSCAN.RSCAN0CFDF04 A007 8EC8h、RSCAN.RSCAN0CFDF05 A007 8ED8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CFDB3[7:0]								CFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDB1[7:0]								CFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB0[7:0]	送受信FIFOバッファデータバイト0	• CFM[1:0]ビットが“01b”（送信モード）時 送受信FIFOバッファのデータを設定してください。 • CFM[1:0]ビットが“00b”（受信モード）時 送受信FIFOバッファに格納されたメッセージのデータが読めます。	R/W
b15-b8	CFDB1[7:0]	送受信FIFOバッファデータバイト1		R/W
b23-b16	CFDB2[7:0]	送受信FIFOバッファデータバイト2		R/W
b31-b24	CFDB3[7:0]	送受信FIFOバッファデータバイト3		R/W

35.2.36　送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（RSCAN0CFDF1k）（k = 0 ~ 5）

RSCAN0CFDF1k レジスタは、送受信 FIFO バッファのデータを格納するデータレジスタです（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

CFM[1:0] ビットが “10b”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

アドレス　RSCAN.RSCAN0CFDF10 A007 8E8Ch、RSCAN.RSCAN0CFDF11 A007 8E9Ch、RSCAN.RSCAN0CFDF12 A007 8EACh、RSCAN.RSCAN0CFDF13 A007 8EBCh、RSCAN.RSCAN0CFDF14 A007 8ECCh、RSCAN.RSCAN0CFDF15 A007 8EDCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CFDB7[7:0]								CFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDB5[7:0]								CFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB4[7:0]	送受信FIFOバッファデータバイト4	• CFM[1:0]ビットが“01b”（送信モード）時 送受信FIFOバッファのデータを設定してください。 • CFM[1:0]ビットが“00b”（受信モード）時 送受信FIFOバッファに格納されたメッセージのデータが読めます。	R/W
b15-b8	CFDB5[7:0]	送受信FIFOバッファデータバイト5		R/W
b23-b16	CFDB6[7:0]	送受信FIFOバッファデータバイト6		R/W
b31-b24	CFDB7[7:0]	送受信FIFOバッファデータバイト7		R/W

35.2.37　FIFO エンプティステータスレジスタ（RSCAN0FESTS）

RSCAN0FESTS レジスタは、受信 FIFOx（x = 0 ～ 7）、送受信 FIFOk（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）が空き状態かどうかを示すステータスレジスタです。

RSCAN0FESTS レジスタは、グローバルリセットモード時、“03FF FFFFh” になります。

アドレス　RSCAN.RSCAN0FESTS A007 8238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RF0EMP	受信FIFOバッファエンプティステータスフラグ	0：受信FIFOバッファ xに未読メッセージあり 1：受信FIFOバッファ xに未読メッセージなし （x = 0 ~ 7）	R
b1	RF1EMP			R
b2	RF2EMP			R
b3	RF3EMP			R
b4	RF4EMP			R
b5	RF5EMP			R
b6	RF6EMP			R
b7	RF7EMP			R
b8	CF0EMP	送受信FIFOバッファエンプティステータスフラグ	0：送受信FIFOバッファ kにメッセージあり 1：送受信FIFOバッファ kにメッセージなし （k = 0 ~ 5）	R
b9	CF1EMP			R
b10	CF2EMP			R
b11	CF3EMP			R
b12	CF4EMP			R
b13	CF5EMP			R
b16-b14	—	予約ビット	読むと“1”が読めます。	R
b31-b17	—	予約ビット	読むと“0”が読めます。	R

RFxEMP フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFEMP フラグが “1”（未読メッセージなし）になると、RFxEMP フラグは “1” になります。RFEMP フラグが “0”（未読メッセージあり）になると、RFxEMP フラグは “0” になります。

CFkEMP フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（メッセージなし）になると、CFkEMP フラグは “1” になります。CFEMP フラグが “0”（メッセージあり）になると、CFkEMP フラグは “0” になります。

35.2.38　FIFO フルステータスレジスタ（RSCAN0FFSTS）

RSCAN0FFSTS レジスタは、受信 FIFOx（x = 0 ～ 7）、送受信 FIFOk（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）がバッファフルかどうかを示すステータスレジスタです。

RSCAN0FFSTS レジスタは、グローバルリセットモード時、“0000 0000h” になります。

アドレス　RSCAN.RSCAN0FFSTS A007 823Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0FLL	受信FIFOバッファフルステータスフラグ	0：受信FIFOバッファ x はフルではない 1：受信FIFOバッファ xはフル （x = 0 ~ 7）	R
b1	RF1FLL			R
b2	RF2FLL			R
b3	RF3FLL			R
b4	RF4FLL			R
b5	RF5FLL			R
b6	RF6FLL			R
b7	RF7FLL			R
b8	CF0FLL	送受信FIFOバッファフルステータスフラグ	0：送受信FIFOバッファ k はフルではない 1：送受信FIFOバッファ kはフル （k = 0 ~ 5）	R
b9	CF1FLL			R
b10	CF2FLL			R
b11	CF3FLL			R
b12	CF4FLL			R
b13	CF5FLL			R
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)

RFxFLL フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFFLL フラグが “1”（バッファフル）になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0”（バッファフルでない）になると、RFxFLL フラグは “0” になります。

CFkFLL フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFFLL フラグが “1”（バッファフル）になると、CFkFLL フラグは “1” になります。

CFFLL フラグが “0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは “0” になります。

35.2.39　FIFO メッセージロストステータスレジスタ（RSCAN0FMSTS）

RSCAN0FMSTS レジスタは、受信 FIFOx（x = 0 ～ 7）、送受信 FIFOk（チャネル 0：k = 0 ～ 2、チャネル 1：k = 3 ～ 5）がメッセージロスト状態かどうかを示すステータスレジスタです。

RSCAN0FMSTS レジスタは、グローバルリセットモード時、“0000 0000h” になります。

アドレス　RSCAN.RSCAN0FMSTS A007 8240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0MLT	受信FIFOバッファメッセージロストステータスフラグ	0：受信FIFOバッファ xメッセージロストなし 1：受信FIFOバッファ xメッセージロスト （x = 0 ~ 7）	R
b1	RF1MLT			R
b2	RF2MLT			R
b3	RF3MLT			R
b4	RF4MLT			R
b5	RF5MLT			R
b6	RF6MLT			R
b7	RF7MLT			R
b8	CF0MLT	送受信FIFOバッファメッセージロストステータスフラグ	0：送受信FIFOバッファ kメッセージロストなし 1：送受信FIFOバッファ kメッセージロスト （k = 0 ~ 5）	R
b9	CF1MLT			R
b10	CF2MLT			R
b11	CF3MLT			R
b12	CF4MLT			R
b13	CF5MLT			R
b31-b14	—	予約ビット	読むと“0”が読めます。	R

RFxMLT フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFMLT フラグが “1”（メッセージロスト）になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

CFkMLT フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFMLT フラグが “1”（メッセージロスト）になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

35.2.40　受信 FIFO バッファ割り込みフラグステータスレジスタ（RSCAN0RFISTS）

RSCAN0RFISTS レジスタは、受信 FIFO バッファ割り込みの有無を示すフラグレジスタです。
RSCAN0RFISTS レジスタは、グローバルリセットモード時、“0000 0000h” になります。

アドレス　RSCAN.RSCAN0RFISTS A007 8244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0IF	受信FIFOバッファ割り込み要求ステータスフラグ	0：受信FIFOバッファ x割り込み要求なし 1：受信FIFOバッファ x割り込み要求あり （x = 0 ~ 7）	R
b1	RF1IF			R
b2	RF2IF			R
b3	RF3IF			R
b4	RF4IF			R
b5	RF5IF			R
b6	RF6IF			R
b7	RF7IF			R
b31-b8	—	予約ビット	読むと“0”が読めます。	R

RFxIF フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFIF フラグが “1”（割り込み要求あり）になると、RFxIF フラグは “1” になります。RFIF フラグを “0” にすると、RFxIF フラグは “0” になります。

35.2.41　送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ（RSCAN0CFRISTS）

RSCAN0CFRISTS レジスタは、送受信 FIFO バッファ受信割り込みの有無を示すフラグレジスタです。
RSCAN0CFRISTS レジスタは、グローバルリセットモード時、“0000 0000h” になります。

アドレス　RSCAN.RSCAN0CFRISTS A007 8248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0RXIF	送受信FIFOバッファ受信割り込み要求ステータスフラグ	0：送受信FIFOバッファ k受信割り込み要求なし 1：送受信FIFOバッファ k 受信割り込み要求あり （k = 0 ~ 5）	R
b1	CF1RXIF			R
b2	CF2RXIF			R
b3	CF3RXIF			R
b4	CF4RXIF			R
b5	CF5RXIF			R
b31-b6	—	予約ビット	読むと“0”が読めます。	R

CFkRXIF フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFRXIF フラグが “1”（割り込み要求あり）になると、CFkRXIF フラグは “1” になります。CFRXIF フラグを “0” にすると、CFkRXIF フラグは “0” になります。

35.2.42　送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ（RSCAN0CFTISTS）

RSCAN0CFTISTS レジスタは、送受信 FIFO バッファ送信割り込みの有無を示すフラグレジスタです。
RSCAN0CFTISTS レジスタは、グローバルリセットモード時、“0000 0000h” になります。

アドレス　RSCAN.RSCAN0CFTISTS A007 824Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0TXIF	送受信FIFOバッファ 送信割り込み要求ステータスフラグ	0：送受信FIFOバッファ k 送信割り込み要求なし 1：送受信FIFOバッファ k 送信割り込み要求あり （k = 0 ~ 5）	R
b1	CF1TXIF			R
b2	CF2TXIF			R
b3	CF3TXIF			R
b4	CF4TXIF			R
b5	CF5TXIF			R
b31-b6	—	予約ビット	読むと“0”が読めます。	R

CFkTXIF フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFTXIF フラグが “1”（割り込み要求あり）になると、CFkTXIF フラグは “1” になります。CFTXIF フラグを “0” にすると、CFkTXIF フラグは “0” になります。

35.2.43　送信バッファ制御レジスタ（RSCAN0TMCp）（p = 0 ~ 31）

RSCAN0TMCp レジスタは送信バッファの設定を制御するレジスタです（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

RSCAN0TMCp レジスタが次の条件を満たす場合は、“00h” にしてください。

- RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN0TMCp レジスタ（p = m × 16 + CFTML[3:0] ビットの値）（チャネル 0：m = 0, k = 0 ～ 2、チャネル 1：m = 1, k = 3 ～ 5）
- RSCAN0TXQCCm レジスタの TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN0TMCp レジスタ（p = (m × 16 + 15) ～ (m × 16 + 15 - TXQDC[3:0] ビットの値)）

RSCAN0TMCp レジスタのビットは、チャネルリセットモード時に “0” になります。RSCAN0TMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

アドレス　RSCAN.RSCAN0TMC0 A007 8250h、RSCAN.RSCAN0TMC1 A007 8251h、RSCAN.RSCAN0TMC2 A007 8252h、RSCAN.RSCAN0TMC3 A007 8253h、RSCAN.RSCAN0TMC4 A007 8254h、RSCAN.RSCAN0TMC5 A007 8255h、RSCAN.RSCAN0TMC6 A007 8256h、RSCAN.RSCAN0TMC7 A007 8257h、RSCAN.RSCAN0TMC8 A007 8258h、RSCAN.RSCAN0TMC9 A007 8259h、RSCAN.RSCAN0TMC10 A007 825Ah、RSCAN.RSCAN0TMC11 A007 825Bh、RSCAN.RSCAN0TMC12 A007 825Ch、RSCAN.RSCAN0TMC13 A007 825Dh、RSCAN.RSCAN0TMC14 A007 825Eh、RSCAN.RSCAN0TMC15 A007 825Fh、RSCAN.RSCAN0TMC16 A007 8260h、RSCAN.RSCAN0TMC17 A007 8261h、RSCAN.RSCAN0TMC18 A007 8262h、RSCAN.RSCAN0TMC19 A007 8263h、RSCAN.RSCAN0TMC20 A007 8264h、RSCAN.RSCAN0TMC21 A007 8265h、RSCAN.RSCAN0TMC22 A007 8266h、RSCAN.RSCAN0TMC23 A007 8267h、RSCAN.RSCAN0TMC24 A007 8268h、RSCAN.RSCAN0TMC25 A007 8269h、RSCAN.RSCAN0TMC26 A007 826Ah、RSCAN.RSCAN0TMC27 A007 826Bh、RSCAN.RSCAN0TMC28 A007 826Ch、RSCAN.RSCAN0TMC29 A007 826Dh、RSCAN.RSCAN0TMC30 A007 826Eh、RSCAN.RSCAN0TMC31 A007 826Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTR	送信要求ビット	0：送信を要求しない 1：送信を要求する	R/W （注1）
b1	TMTAR	送信アボート要求ビット	0：送信アボートを要求しない 1：送信アボートを要求する	R/W （注1）
b2	TMOM	ワンショット送信許可ビット	0：ワンショット送信禁止 1：ワンショット送信許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

TMTR ビット（送信要求ビット）

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “00b” のときに、TMTR ビットを “1” に設定してください。

TMTAR ビット（送信アボート要求ビット）

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMOM ビット（ワンショット送信許可ビット）

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN0TMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

35.2.44　送信バッファステータスレジスタ（RSCAN0TMSTSp）（p = 0 ~ 31）

RSCAN0TMSTSp レジスタは、送信バッファの状態を示すステータスレジスタです（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

RSCAN0TMSTSp レジスタのビットは、チャネルリセットモード時に “0” になります。

アドレス: RSCAN.RSCAN0TMSTS0 A007 82D0h、RSCAN.RSCAN0TMSTS1 A007 82D1h、RSCAN.RSCAN0TMSTS2 A007 82D2h、RSCAN.RSCAN0TMSTS3 A007 82D3h、RSCAN.RSCAN0TMSTS4 A007 82D4h、RSCAN.RSCAN0TMSTS5 A007 82D5h、RSCAN.RSCAN0TMSTS6 A007 82D6h、RSCAN.RSCAN0TMSTS7 A007 82D7h、RSCAN.RSCAN0TMSTS8 A007 82D8h、RSCAN.RSCAN0TMSTS9 A007 82D9h、RSCAN.RSCAN0TMSTS10 A007 82DAh、RSCAN.RSCAN0TMSTS11 A007 82DBh、RSCAN.RSCAN0TMSTS12 A007 82DCh、RSCAN.RSCAN0TMSTS13 A007 82DDh、RSCAN.RSCAN0TMSTS14 A007 82DEh、RSCAN.RSCAN0TMSTS15 A007 82DFh、RSCAN.RSCAN0TMSTS16 A007 82E0h、RSCAN.RSCAN0TMSTS17 A007 82E1h、RSCAN.RSCAN0TMSTS18 A007 82E2h、RSCAN.RSCAN0TMSTS19 A007 82E3h、RSCAN.RSCAN0TMSTS20 A007 82E4h、RSCAN.RSCAN0TMSTS21 A007 82E5h、RSCAN.RSCAN0TMSTS22 A007 82E6h、RSCAN.RSCAN0TMSTS23 A007 82E7h、RSCAN.RSCAN0TMSTS24 A007 82E8h、RSCAN.RSCAN0TMSTS25 A007 82E9h、RSCAN.RSCAN0TMSTS26 A007 82EAh、RSCAN.RSCAN0TMSTS27 A007 82EBh、RSCAN.RSCAN0TMSTS28 A007 82ECh、RSCAN.RSCAN0TMSTS29 A007 82EDh、RSCAN.RSCAN0TMSTS30 A007 82EEh、RSCAN.RSCAN0TMSTS31 A007 82EFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTSTS	送信バッファ送信ステータスフラグ	0：送信中ではない 1：送信中	R
b2-b1	TMTRF[1:0]	送信バッファ送信結果フラグ	b2　b1 0　0：送信中、または送信要求なし 0　1：送信アボート完了 1　0：送信完了（送信アボート要求なし） 1　1：送信完了（送信アボート要求あり）	R/W
b3	TMTRM	送信バッファ送信要求ステータスフラグ	0：送信要求なし 1：送信要求あり	R
b4	TMTARM	送信バッファ送信アボート要求ステータスフラグ	0：送信アボート要求なし 1：送信アボート要求あり	R
b7-b5	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

TMTSTS フラグ（送信バッファ送信ステータスフラグ）

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

TMTRF[1:0] フラグ（送信バッファ送信結果フラグ）

送信バッファからの送信結果を示します。

00b：送信中または送信要求なし。

01b：送信バッファからの送信がアボートされた。

10b：RSCAN0TMCp レジスタの TMTAR ビットが “0”（送信アボートを要求しない）で、送信が完了した。

11b：RSCAN0TMCp レジスタの TMTAR ビットが “1”（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで “00b” を書いてください。“00b” 以外の値は書かないでください。

TMTRM フラグ（送信バッファ送信要求ステータスフラグ）

RSCAN0TMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。
RSCAN0TMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTARM フラグ（送信バッファ送信アボート要求ステータスフラグ）

RSCAN0TMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。
RSCAN0TMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

35.2.45　送信バッファ送信要求ステータスレジスタ 0（RSCAN0TMTRSTS0）

RSCAN0TMTRSTS0 レジスタは、送信バッファの送信要求状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0TMTRSTS0 A007 8350h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMTRSTSp (p = 31～16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMTRSTSp (p = 15～0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = 15～0）	0：送信要求なし 1：送信要求あり	R
b31-b16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = 31～16）	0：送信要求なし 1：送信要求あり	R

TMTRSTSp フラグ（p = 0 ~ 31）（送信バッファ送信要求ステータスフラグ p）

RSCAN0TMCp レジスタの TMTR ビットの状態を示します（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

TMTR ビットを “1”（送信を要求する）にすると、対応する TMTRSTSp フラグは “1” になります。

TMTR ビットが “0”（送信を要求しない）になると、対応する TMTRSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 35.5 にビット配置を示します。

表35.5　TMTRSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	16
. .	. .	. .
30	1	30
31	1	31

35.2.46　送信バッファ送信アボート要求ステータスレジスタ 0（RSCAN0TMTARSTS0）

RSCAN0TMTARSTS0 レジスタは、送信バッファ送信アボート要求の状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0TMTARSTS0 A007 8360h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMTARSTSp (p = 31～16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMTARSTSp (p = 15～0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = 15～0）	0：送信アボート要求なし 1：送信アボート要求あり	R
b31-b16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = 31～16）	0：送信アボート要求なし 1：送信アボート要求あり	R

TMTARSTSp フラグ（送信バッファ送信アボート要求ステータスフラグ p）（p = 0 ~ 31）

RSCAN0TMCp レジスタの TMTAR ビットの状態を示します（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

TMTAR ビットを “1”（送信アボートを要求する）にすると、対応する TMTARSTSp フラグは “1” になります。

TMTAR ビットが “0”（送信アボートを要求しない）になると、対応する TMTARSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 35.6 にビット配置を示します。

表35.6　TMTARSTSpビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	16
. .	. .	. .
30	1	30
31	1	31

35.2.47　送信バッファ送信完了ステータスレジスタ 0（RSCAN0TMTCSTS0）

RSCAN0TMTCSTS0 レジスタは、送信バッファ送信完了要求の状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0TMTCSTS0 A007 8370h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMTCSTSp (p = 31～16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMTCSTSp (p = 15～0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMTCSTSp	送信バッファ送信完了ステータスフラグp（p = 15～0）	0：送信未完了 1：送信完了	R
b31-b16	TMTCSTSp	送信バッファ送信完了ステータスフラグp（p = 31～16）	0：送信未完了 1：送信完了	R

TMTCSTSp フラグ（送信バッファ送信完了ステータスフラグ p）（p = 0 ~ 31）

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “10b”（送信完了、送信アボート要求なし）または “11b”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは “1” になります（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

TMTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00b” にしてください。また、チャネルリセットモード時、“0” になります。

表 35.7 にビット配置を示します。

表35.7　TMTCSTSpビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	16
. .	. .	. .
30	1	30
31	1	31

35.2.48　送信バッファ送信アボートステータスレジスタ 0（RSCAN0TMTASTS0）

RSCAN0TMTASTS0 レジスタは、送信バッファ送信アボート要求の状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0TMTASTS0 A007 8380h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMTASTSp (p = 31～16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMTASTSp (p = 15～0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = 15～0）	0：送信アボートなし 1：送信アボートあり	R
b31-b16	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = 31～16）	0：送信アボートなし 1：送信アボートあり	R

TMTASTSp フラグ（送信バッファ送信アボートステータスフラグ p）（p = 0 ~ 31）

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01b”（送信アボート完了）になると、対応する TMTASTSp フラグは “1” になります（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00b” にしてください。また、チャネルリセットモード時、“0” になります。

表 35.8 にビット配置を示します。

表35.8　TMTASTSpビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	16
. .	. .	. .
30	1	30
31	1	31

35.2.49　送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0（RSCAN0TMIEC0）

RSCAN0TMIEC0 レジスタは、送信バッファ割り込み要求の許可／禁止を設定するレジスタです。

アドレス　RSCAN.RSCAN0TMIEC0 A007 8390h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMIEp (p = 31～16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMIEp (p = 15～0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TMIEp	送信バッファ割り込み許可ビットp（p = 15～0）	0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可	R/W
b31-b16	TMIEp	送信バッファ割り込み許可ビットp（p = 31～16）	0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可	R/W

TMIEp ビット（送信バッファ割り込み許可ビット p）（p = 0 ~ 31）

このビットを “1” に設定し、対応する送信が完了した場合、CANm 送信割り込み要求（送信バッファ割り込み）が発生します（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

このビットは対応する RSCAN0TMSTSp レジスタの TMTRM フラグが “0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは “0” にしてください。

表 35.9 にビット配置を示します。

表35.9　TMIEpビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	16
. .	. .	. .
30	1	30
31	1	31

35.2.50　送信バッファ ID レジスタ（RSCAN0TMIDp）（p = 0 ~ 31）

RSCAN0TMIDp レジスタは送信するメッセージの ID、データフォーマットを制御するレジスタです（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネル m（m = 0, 1）の送信バッファ p（p = m × 16 + 15）のみに書き込みをしてください。

アドレス　RSCAN.RSCAN0TMID0 A007 9000h、RSCAN.RSCAN0TMID1 A007 9010h、RSCAN.RSCAN0TMID2 A007 9020h、RSCAN.RSCAN0TMID3 A007 9030h、RSCAN.RSCAN0TMID4 A007 9040h、RSCAN.RSCAN0TMID5 A007 9050h、RSCAN.RSCAN0TMID6 A007 9060h、RSCAN.RSCAN0TMID7 A007 9070h、RSCAN.RSCAN0TMID8 A007 9080h、RSCAN.RSCAN0TMID9 A007 9090h、RSCAN.RSCAN0TMID10 A007 90A0h、RSCAN.RSCAN0TMID11 A007 90B0h、RSCAN.RSCAN0TMID12 A007 90C0h、RSCAN.RSCAN0TMID13 A007 90D0h、RSCAN.RSCAN0TMID14 A007 90E0h、RSCAN.RSCAN0TMID15 A007 90F0h、RSCAN.RSCAN0TMID16 A007 9100h、RSCAN.RSCAN0TMID17 A007 9110h、RSCAN.RSCAN0TMID18 A007 9120h、RSCAN.RSCAN0TMID19 A007 9130h、RSCAN.RSCAN0TMID20 A007 9140h、RSCAN.RSCAN0TMID21 A007 9150h、RSCAN.RSCAN0TMID22 A007 9160h、RSCAN.RSCAN0TMID23 A007 9170h、RSCAN.RSCAN0TMID24 A007 9180h、RSCAN.RSCAN0TMID25 A007 9190h、RSCAN.RSCAN0TMID26 A007 91A0h、RSCAN.RSCAN0TMID27 A007 91B0h、RSCAN.RSCAN0TMID28 A007 91C0h、RSCAN.RSCAN0TMID29 A007 91D0h、RSCAN.RSCAN0TMID30 A007 91E0h、RSCAN.RSCAN0TMID31 A007 91F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMIDE	TMRTR	THLEN	TMID[28:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMID[28:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	TMID[28:0]	送信バッファ IDデータ設定ビット	標準IDまたは拡張IDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください。	R/W
b29	THLEN	送信履歴データ格納許可ビット	0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する	R/W
b30	TMRTR	送信バッファ RTRビット	0：データフレーム 1：リモートフレーム	R/W
b31	TMIDE	送信バッファ IDEビット	0：標準ID 1：拡張ID	R/W

TMID[28:0] ビット（送信バッファ ID データ設定ビット）

送信バッファから送信するメッセージの ID を設定します。

THLEN ビット（送信履歴データ格納許可ビット）

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファ・タイプ）が送信履歴バッファに格納されます。

TMRTR ビット（送信バッファ RTR ビット）

送信バッファから送信するメッセージのデータフォーマットを設定します。

TMIDE ビット（送信バッファ IDE ビット）

送信バッファから送信するメッセージの ID フォーマットを設定します。

35.2.51　送信バッファポインタレジスタ（RSCAN0TMPTRp）（p = 0 ~ 31）

RSCAN0TMPTRp レジスタは、送信されるメッセージのデータ長、ラベル情報を制御するレジスタです（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネル m（m = 0, 1）の送信バッファ p（p = m × 16 + 15）のみに書き込みをしてください。

アドレス　RSCAN.RSCAN0TMPTR0 A007 9004h、RSCAN.RSCAN0TMPTR1 A007 9014h、RSCAN.RSCAN0TMPTR2 A007 9024h、RSCAN.RSCAN0TMPTR3 A007 9034h、RSCAN.RSCAN0TMPTR4 A007 9044h、RSCAN.RSCAN0TMPTR5 A007 9054h、RSCAN.RSCAN0TMPTR6 A007 9064h、RSCAN.RSCAN0TMPTR7 A007 9074h、RSCAN.RSCAN0TMPTR8 A007 9084h、RSCAN.RSCAN0TMPTR9 A007 9094h、RSCAN.RSCAN0TMPTR10 A007 90A4h、RSCAN.RSCAN0TMPTR11 A007 90B4h、RSCAN.RSCAN0TMPTR12 A007 90C4h、RSCAN.RSCAN0TMPTR13 A007 90D4h、RSCAN.RSCAN0TMPTR14 A007 90E4h、RSCAN.RSCAN0TMPTR15 A007 90F4h、RSCAN.RSCAN0TMPTR16 A007 9104h、RSCAN.RSCAN0TMPTR17 A007 9114h、RSCAN.RSCAN0TMPTR18 A007 9124h、RSCAN.RSCAN0TMPTR19 A007 9134h、RSCAN.RSCAN0TMPTR20 A007 9144h、RSCAN.RSCAN0TMPTR21 A007 9154h、RSCAN.RSCAN0TMPTR22 A007 9164h、RSCAN.RSCAN0TMPTR23 A007 9174h、RSCAN.RSCAN0TMPTR24 A007 9184h、RSCAN.RSCAN0TMPTR25 A007 9194h、RSCAN.RSCAN0TMPTR26 A007 91A4h、RSCAN.RSCAN0TMPTR27 A007 91B4h、RSCAN.RSCAN0TMPTR28 A007 91C4h、RSCAN.RSCAN0TMPTR29 A007 91D4h、RSCAN.RSCAN0TMPTR30 A007 91E4h、RSCAN.RSCAN0TMPTR31 A007 91F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMDLC[3:0]				—	—	—	—	TMPTR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	TMPTR[7:0]	送信バッファラベルデータ設定ビット	送信履歴バッファに格納するラベル情報を設定してください。	R/W
b27-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b28	TMDLC[3:0]	送信バッファ DLC データ設定ビット	b31 b30 b29 b28 0 0 0 0：0データバイト 0 0 0 1：1データバイト 0 0 1 0：2データバイト 0 0 1 1：3データバイト 0 1 0 0：4データバイト 0 1 0 1：5データバイト 0 1 1 0：6データバイト 0 1 1 1：7データバイト 1 × × ×：8データバイト	R/W

TMPTR[7:0] ビット（送信バッファラベルデータ設定ビット）

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

TMDLC[3:0] ビット（送信バッファ DLC データ設定ビット）

RSCAN0TMIDp レジスタの TMRTR ビットが “0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

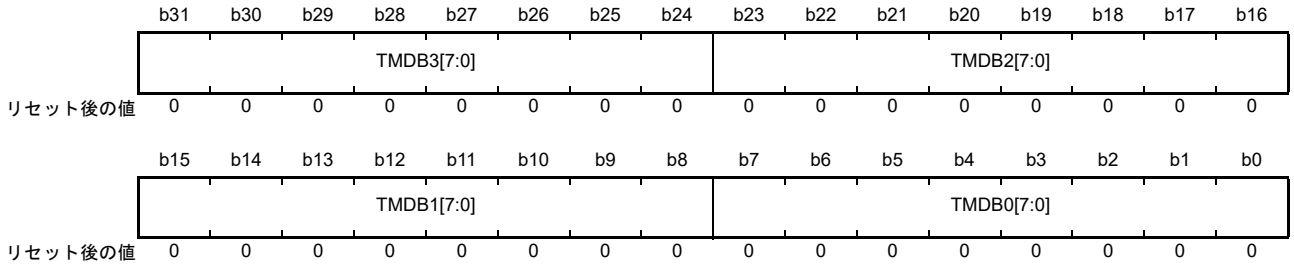
TMRTR ビットが “1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

35.2.52　送信バッファデータフィールド 0 レジスタ（RSCAN0TMDF0p）（p = 0 ~ 31）

RSCAN0TMDF0p レジスタは送信バッファから送信されるデータを書き込むデータレジスタです（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネル m（m = 0, 1）の送信バッファ p（p = m × 16 + 15）のみに書き込んでください。

アドレス　RSCAN.RSCAN0TMDF00 A007 9008h、RSCAN.RSCAN0TMDF01 A007 9018h、RSCAN.RSCAN0TMDF02 A007 9028h、RSCAN.RSCAN0TMDF03 A007 9038h、RSCAN.RSCAN0TMDF04 A007 9048h、RSCAN.RSCAN0TMDF05 A007 9058h、RSCAN.RSCAN0TMDF06 A007 9068h、RSCAN.RSCAN0TMDF07 A007 9078h、RSCAN.RSCAN0TMDF08 A007 9088h、RSCAN.RSCAN0TMDF09 A007 9098h、RSCAN.RSCAN0TMDF010 A007 90A8h、RSCAN.RSCAN0TMDF011 A007 90B8h、RSCAN.RSCAN0TMDF012 A007 90C8h、RSCAN.RSCAN0TMDF013 A007 90D8h、RSCAN.RSCAN0TMDF014 A007 90E8h、RSCAN.RSCAN0TMDF015 A007 90F8h、RSCAN.RSCAN0TMDF016 A007 9108h、RSCAN.RSCAN0TMDF017 A007 9118h、RSCAN.RSCAN0TMDF018 A007 9128h、RSCAN.RSCAN0TMDF019 A007 9138h、RSCAN.RSCAN0TMDF020 A007 9148h、RSCAN.RSCAN0TMDF021 A007 9158h、RSCAN.RSCAN0TMDF022 A007 9168h、RSCAN.RSCAN0TMDF023 A007 9178h、RSCAN.RSCAN0TMDF024 A007 9188h、RSCAN.RSCAN0TMDF025 A007 9198h、RSCAN.RSCAN0TMDF026 A007 91A8h、RSCAN.RSCAN0TMDF027 A007 91B8h、RSCAN.RSCAN0TMDF028 A007 91C8h、RSCAN.RSCAN0TMDF029 A007 91D8h、RSCAN.RSCAN0TMDF030 A007 91E8h、RSCAN.RSCAN0TMDF031 A007 91F8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB0[7:0]	送信バッファデータバイト 0	送信バッファのデータを設定してください。	R/W
b15-b8	TMDB1[7:0]	送信バッファデータバイト 1		R/W
b23-b16	TMDB2[7:0]	送信バッファデータバイト 2		R/W
b31-b24	TMDB3[7:0]	送信バッファデータバイト 3		R/W

35.2.53　送信バッファデータフィールド 1 レジスタ（RSCAN0TMDF1p）（p = 0 ~ 31）

RSCAN0TMDF1p レジスタは送信バッファから送信されるデータを書き込むデータレジスタです（チャネル 0：p = 0 ～ 15、チャネル 1：p = 16 ～ 31）。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネル m（m = 0, 1）の送信バッファ p（p = m × 16 + 15）のみに書き込んでください。

アドレス　RSCAN.RSCAN0TMDF10 A007 900Ch、RSCAN.RSCAN0TMDF11 A007 901Ch、RSCAN.RSCAN0TMDF12 A007 902Ch、RSCAN.RSCAN0TMDF13 A007 903Ch、RSCAN.RSCAN0TMDF14 A007 904Ch、RSCAN.RSCAN0TMDF15 A007 905Ch、RSCAN.RSCAN0TMDF16 A007 906Ch、RSCAN.RSCAN0TMDF17 A007 907Ch、RSCAN.RSCAN0TMDF18 A007 908Ch、RSCAN.RSCAN0TMDF19 A007 909Ch、RSCAN.RSCAN0TMDF110 A007 90ACh、RSCAN.RSCAN0TMDF111 A007 90BCh、RSCAN.RSCAN0TMDF112 A007 90CCh、RSCAN.RSCAN0TMDF113 A007 90DCh、RSCAN.RSCAN0TMDF114 A007 90ECh、RSCAN.RSCAN0TMDF115 A007 90FCh、RSCAN.RSCAN0TMDF116 A007 910Ch、RSCAN.RSCAN0TMDF117 A007 911Ch、RSCAN.RSCAN0TMDF118 A007 912Ch、RSCAN.RSCAN0TMDF119 A007 913Ch、RSCAN.RSCAN0TMDF120 A007 914Ch、RSCAN.RSCAN0TMDF121 A007 915Ch、RSCAN.RSCAN0TMDF122 A007 916Ch、RSCAN.RSCAN0TMDF123 A007 917Ch、RSCAN.RSCAN0TMDF124 A007 918Ch、RSCAN.RSCAN0TMDF125 A007 919Ch、RSCAN.RSCAN0TMDF126 A007 91ACh、RSCAN.RSCAN0TMDF127 A007 91BCh、RSCAN.RSCAN0TMDF128 A007 91CCh、RSCAN.RSCAN0TMDF129 A007 91DCh、RSCAN.RSCAN0TMDF130 A007 91ECh、RSCAN.RSCAN0TMDF131 A007 91FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TMDB7[7:0]								TMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMDB5[7:0]								TMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB4[7:0]	送信バッファデータバイト 4	送信バッファのデータを設定してください。	R/W
b15-b8	TMDB5[7:0]	送信バッファデータバイト 5		R/W
b23-b16	TMDB6[7:0]	送信バッファデータバイト 6		R/W
b31-b24	TMDB7[7:0]	送信バッファデータバイト 7		R/W

35.2.54　送信キューコンフィグレーション／制御レジスタ（RSCAN0TXQCCm）（m = 0, 1）

RSCAN0TXQCCm レジスタは、各チャネルの送信キュー設定を制御するレジスタです。

アドレス　RSCAN.RSCAN0TXQCC0 A007 83A0h、RSCAN.RSCAN0TXQCC1 A007 83A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TXQIM	TXQIE	TXQDC[3:0]				—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXQE	送信キュー許可ビット	0：送信キューを使用しない 1：送信キューを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b11-b8	TXQDC[3:0]	送信キュー段数設定ビット	設定値をg（g = 2 ~ 15）とすると、g+1の送信キューを使用できます。 “0”を設定すると、送信キューは使用できません。 “1”は設定しないでください。	R/W
b12	TXQIE	送信キュー割り込み許可ビット	0：送信キュー割り込み禁止 1：送信キュー割り込み許可	R/W
b13	TXQIM	送信キュー割り込み要因選択ビット	0：送信完了によって送信キューが空になったときに発生 1：1メッセージ送信完了ごとに発生	R/W
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TXQE ビット（送信キュー許可ビット）

“1” にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010b” 以上に設定してから TXQE ビットを “1” にしてください。

TXQDC[3:0] ビット（送信キュー段数設定ビット）

送信キューに割り付ける送信バッファの数を設定します。**表 35.10** に示すように、送信キューは、送信バッファ番号の大きい方から順に 15 ～ 0（CAN0）、または 31 ～ 16（CAN1）まで順番に割り付けられます。バッファの割り当て例については、**「35.6　送信機能」**の**図 35.9** を参照してください。このビットはチャネルリセットモード時にのみ書き換えてください。

表 35.10　各チャネル の送信キューに割り当てられる送信バッファ p

TXQDC[3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p (p = 0～31)	
	チャネル**0**（**m = 0**）	チャネル**1**（**m = 1**）
0000b	設定しないでください	設定しないでください
0001b	設定しないでください	設定しないでください
0010b	送信バッファ 15 ～ 13	送信バッファ 31 ～ 29
0011b	送信バッファ 15 ～ 12	送信バッファ 31 ～ 28
0100b	送信バッファ 15 ～ 11	送信バッファ 31 ～ 27
0101b	送信バッファ 15 ～ 10	送信バッファ 31 ～ 26
0110b	送信バッファ 15 ～ 9	送信バッファ 31 ～ 25
0111b	送信バッファ 15 ～ 8	送信バッファ 31 ～ 24
1000b	送信バッファ 15 ～ 7	送信バッファ 31 ～ 23
1001b	送信バッファ 15 ～ 6	送信バッファ 31 ～ 22
1010b	送信バッファ 15 ～ 5	送信バッファ 31 ～ 21
1011b	送信バッファ 15 ～ 4	送信バッファ 31 ～ 20
1100b	送信バッファ 15 ～ 3	送信バッファ 31 ～ 19
1101b	送信バッファ 15 ～ 2	送信バッファ 31 ～ 18
1110b	送信バッファ 15 ～ 1	送信バッファ 31 ～ 17
1111b	送信バッファ 15 ～ 0	送信バッファ 31 ～ 16

TXQIE ビット（送信キュー割り込み許可ビット）

TXQIE ビットを “1” に設定し、TXQIM ビットで選択した要因が発生すると、CANm 送信割り込み要求（送信キュー割り込み）が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを “0” にしてください。

TXQIM ビット（送信キュー割り込み要因選択ビット）

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

35.2.55　送信キューステータスレジスタ（RSCAN0TXQSTSm）（m = 0, 1）

RSCAN0TXQSTSm レジスタは、送信キューの状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0TXQSTS0 A007 83C0h、RSCAN.RSCAN0TXQSTS1 A007 83C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFLL	TXQEMP
リセット後の値	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	1

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	TXQEMP	送信キュー空ステータスフラグ	0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）	R
b1	TXQFLL	送信キューフルステータスフラグ	0：送信キューフルではない 1：送信キューフル	R
b2	TXQIF	送信キュー割り込み要求フラグ	0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり	R/W （注1）
b7-b3	—	予約ビット	読むと“0”が読めます。	R
b12-b8	—	予約ビット	読むと不定値が読めます。	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

TXQEMP フラグ（送信キュー空ステータスフラグ）

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは “0” になります。

次の条件で、“1” になります。

- TXQE ビットを “0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

TXQFLL フラグ（送信キューフルステータスフラグ）

送信キューに設定したメッセージ数と、RSCAN0TXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で “0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQIF フラグ（送信キュー割り込み要求フラグ）

RSCAN0TXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。TXQIF フラグは、RSCAN0TXQCCm レジスタの TXQE ビットを “0”（送信キューを使用しない）にしても “0” になりません。

35.2.56　送信キューポインタ制御レジスタ（RSCAN0TXQPCTRm）（m = 0, 1）

RSCAN0TXQPCTRm レジスタは、送信キューのポインタを制御するレジスタです。

アドレス　RSCAN.RSCAN0TXQPCTR0 A007 83E0h、RSCAN.RSCAN0TXQPCTR1 A007 83E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TXQPC[7:0]	送信キューポインタ制御ビット	“FFh”を書くと、送信キューのライトポインタを次のキューバッファに移動します。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

TXQPC[7:0] ビット（送信キューポインタ制御ビット）

TXQPC[7:0] ビットに “FFh” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN0TMIDp、RSCAN0TMPTRp、RSCAN0TMDF0p、RSCAN0TMDF1p レジスタ（p = 15、31）に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FFh” を書いてください。

なお、“FFh” の書き込みは、RSCAN0TXQCCm レジスタの TXQE ビットが “1”（送信キューを使用する）で、RSCAN0TXQSTSm レジスタの TXQFLL フラグが “0”（フルではない）の場合にのみ行ってください。

35.2.57　送信履歴コンフィグレーション／制御レジスタ（RSCAN0THLCCm）（m = 0, 1）

RSCAN0THLCCm レジスタは、送信履歴の設定を制御するレジスタです。

アドレス　RSCAN.RSCAN0THLCC0 A007 8400h、RSCAN.RSCAN0THLCC1 A007 8404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THLE	送信履歴バッファ許可ビット	0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	THLIE	送信履歴割り込み許可ビット	0：送信履歴割り込み禁止 1：送信履歴割り込み許可	R/W
b9	THLIM	送信履歴割り込み要因選択ビット	0：送信履歴バッファに12データ格納されたとき 1：1送信履歴データの格納完了時	R/W
b10	THLDTE	送信履歴対象バッファ選択ビット	0：送受信FIFO、送信キューからのエントリ 1：送信バッファ、送受信FIFO、送信キューからのエントリ	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

THLE ビット（送信履歴バッファ許可ビット）

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

THLIE ビット（送信履歴割り込み許可ビット）

THLIE ビットを “1” に設定し、THLIM ビットで選択した要因が発生した場合、CANm 送信割り込み要求（送信履歴割り込み）が発生します。THLE ビットが “0” の状態でのみ、THLIE ビットを書き換えてください。

THLIM ビット（送信履歴割り込み要因選択ビット）

送信履歴割り込み要因を選択します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLDTE ビット（送信履歴対象バッファ選択ビット）

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

35.2.58　送信履歴ステータスレジスタ（RSCAN0THLSTSm）（m = 0, 1）

RSCAN0THLSTSm レジスタは、送信履歴の状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0THLSTS0 A007 8420h、RSCAN.RSCAN0THLSTS1 A007 8424h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	THLMC[4:0]					—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	THLEMP	送信履歴バッファ空ステータスフラグ	0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）	R
b1	THLFLL	送信履歴バッファフルステータスフラグ	0：送信履歴バッファフルではない 1：送信履歴バッファフル	R
b2	THLELT	送信履歴バッファオーバフローフラグ	0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー	R/W （注1）
b3	THLIF	送信履歴割り込み要求フラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R/W （注1）
b7-b4	—	予約ビット	読むと“0”が読めます。	R
b12-b8	THLMC[4:0]	送信履歴バッファ未読数カウンタ	送信履歴バッファに格納された未読データ数を示します。	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

THLEMP フラグ（送信履歴バッファ空ステータスフラグ）

送信履歴データが 1 つでも送信履歴バッファへ格納されると “0” になります。

送信履歴バッファのすべてのデータを読むと “1” になります。RSCAN0THLCCm レジスタの THLE ビットを “0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1” になります。

THLFLL フラグ（送信履歴バッファフルステータスフラグ）

送信履歴バッファに 16 個のデータが格納されると、“1” になります。格納数が 16 個より少なくなると “0” になります。RSCAN0THLCCm レジスタの THLE ビットが “0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0” になります。

THLELT フラグ（送信履歴バッファオーバフローフラグ）

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき “1” になります。この場合、新しいデータは破棄されます。プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLIF フラグ（送信履歴割り込み要求フラグ）

RSCAN0THLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）

送信履歴バッファ内の未読データ数を示します。

35.2.59　送信履歴アクセスレジスタ（RSCAN0THLACCm）（m = 0, 1）

RSCAN0THLACCm レジスタは、送信履歴バッファに格納された送信履歴データの状態を示すステータスレジスタです。

アドレス　RSCAN.RSCAN0THLACC0 A007 9800h、RSCAN.RSCAN0THLACC1 A007 9804h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TID[7:0]								—	BN[3:0]				BT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BT[2:0]	バッファタイプデータ表示ビット	b2 b1 b0 0 0 1：送信バッファ 0 1 0：送受信FIFOバッファ 1 0 0：送信キュー	R
b6-b3	BN[3:0]	バッファ番号データ表示ビット	送信元の送信バッファ／送受信FIFO／送信キュー番号が読めます。	R
b7	—	予約ビット	読むと“0”が読めます。	R
b15-b8	TID[7:0]	ラベルデータ表示ビット	格納されたデータのラベル情報が読めます。	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

BT[2:0] ビット（バッファタイプデータ表示ビット）

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

BN[3:0] ビット（バッファ番号データ表示ビット）

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

TID[7:0] ビット（ラベルデータ表示ビット）

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

35.2.60　送信履歴ポインタ制御レジスタ（RSCAN0THLPCTRm）（m = 0, 1）

RSCAN0THLPCTRm レジスタは、送信履歴のポインタを制御するレジスタです。

アドレス　RSCAN.RSCAN0THLPCTR0 A007 8440h、RSCAN.RSCAN0THLPCTR1 A007 8444h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	THLPC[7:0]	送信履歴リストポインタ制御ビット	“FFh”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

THLPC[7:0] ビット（送信履歴リストポインタ制御ビット）

THLPC[7:0] ビットに “FFh” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN0THLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RSCAN0THLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FFh” を書いてください。

なお、”FFh” の書き込みは、RSCAN0THLCCm レジスタの THLE ビットが “1”（送信履歴バッファを使用する）で、RSCAN0THLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

35.2.61　グローバルテストコンフィグレーションレジスタ（RSCAN0GTSTCFG）

RSCAN0GTSTCFG レジスタは、RSCAN 全体のテスト設定を制御するレジスタです。
RSCAN0GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

アドレス　RSCAN.RSCAN0GTSTCFG A007 8468h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0ICBCE	CAN0チャネル間通信テスト許可ビット	0：CAN0チャネル間通信テスト禁止 1：CAN0チャネル間通信テスト許可	R/W
b1	C1ICBCE	CAN1チャネル間通信テスト許可ビット	0：CAN1チャネル間通信テスト禁止 1：CAN1チャネル間通信テスト許可	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b22-b16	RTMPS[6:0]	RAMテストページ設定ビット	ページ0（00h）～28（1Ch）ページの範囲で設定	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

C0ICBCE ビット（CAN0 チャネル間通信テスト許可ビット）

“1” にすると、チャネル 0 のチャネル間通信テストが許可になります。

C1ICBCE ビット（CAN1 チャネル間通信テスト許可ビット）

“1” にすると、チャネル 1 のチャネル間通信テストが許可になります。

RTMPS[6:0] ビット（RAM テストページ設定ビット）

RAM テスト時、RAM テスト対象となるページ番号を設定します。00h ～ 1Ch 以外の値を設定しないでください。

35.2.62　グローバルテスト制御レジスタ（RSCAN0GTSTCTR）

RSCAN0GTSTCTR レジスタは、RAM テスト、チャネル間通信テストの動作を制御するレジスタです。

アドレス　RSCAN.RSCAN0GTSTCTR A007 846Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICBCTME	チャネル間通信テスト許可ビット	0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	RTME	RAMテスト許可ビット	0：RAMテスト禁止 1：RAMテスト許可	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ICBCTME ビット（チャネル間通信テスト許可ビット）

“1” にすると、RSCAN0GTSTCFG レジスタの CmICBCE ビット（m = 0, 1）を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

RTME ビット（RAM テスト許可ビット）

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

1. RSCAN0GCTR レジスタの GMDC[1:0] ビットを “10b”（グローバルテストモード）にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

RTME ビットへの書き込みは、グローバルロックキーレジスタ（RSCAN0GLOCKK）でプロテクトの解除が必要です。

35.2.63　グローバルロックキーレジスタ（RSCAN0GLOCKK）

RSCAN0GLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。
プロテクト解除データについては、「35.9.4.2　**プロテクト解除手順**」を参照してください。

アドレス　RSCAN.RSCAN0GLOCKK A007 847Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	LOCK[15:0]	ロックキービット	テストモードの保護を解除するためのキービット	W （注1）
b31-b16	—	予約ビット	書く場合、“0”としてください。	W

注1.　RSCAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

LOCK[15:0] ビット（ロックキービット）

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN0GTSTCTR レジスタの RTME ビットへの “1” 書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（A007 8000h ～ A007 84FFh）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

35.2.64　RAM テストページアクセスレジスタ（RSCAN0RPGACCr）（r = 0 ~ 63）

RSCAN0RPGACCr レジスタは、RAM データへのテストアクセスを制御するレジスタです。

RSCAN0RPGACCr レジスタは、グローバルテストモードでかつ RSCAN0GTSTCTR レジスタの RTME ビットが “1”（RAM テスト許可）の状態で書き換えてください。

RTME ビットが “1” のときに、RSCAN0RPGACCr レジスタへの読み書きができます。

アドレス

RSCAN.RSCAN0RPGACC0 A007 9900h、RSCAN.RSCAN0RPGACC1 A007 9904h、
RSCAN.RSCAN0RPGACC2 A007 9908h、RSCAN.RSCAN0RPGACC3 A007 990Ch、
RSCAN.RSCAN0RPGACC4 A007 9910h、RSCAN.RSCAN0RPGACC5 A007 9914h、
RSCAN.RSCAN0RPGACC6 A007 9918h、RSCAN.RSCAN0RPGACC7 A007 991Ch、
RSCAN.RSCAN0RPGACC8 A007 9920h、RSCAN.RSCAN0RPGACC9 A007 9924h、
RSCAN.RSCAN0RPGACC10 A007 9928h、RSCAN.RSCAN0RPGACC11 A007 992Ch、
RSCAN.RSCAN0RPGACC12 A007 9930h、RSCAN.RSCAN0RPGACC13 A007 9934h、
RSCAN.RSCAN0RPGACC14 A007 9938h、RSCAN.RSCAN0RPGACC15 A007 993Ch、
RSCAN.RSCAN0RPGACC16 A007 9940h、RSCAN.RSCAN0RPGACC17 A007 9944h、
RSCAN.RSCAN0RPGACC18 A007 9948h、RSCAN.RSCAN0RPGACC19 A007 994Ch、
RSCAN.RSCAN0RPGACC20 A007 9950h、RSCAN.RSCAN0RPGACC21 A007 9954h、
RSCAN.RSCAN0RPGACC22 A007 9958h、RSCAN.RSCAN0RPGACC23 A007 995Ch、
RSCAN.RSCAN0RPGACC24 A007 9960h、RSCAN.RSCAN0RPGACC25 A007 9964h、
RSCAN.RSCAN0RPGACC26 A007 9968h、RSCAN.RSCAN0RPGACC27 A007 996Ch、
RSCAN.RSCAN0RPGACC28 A007 9970h、RSCAN.RSCAN0RPGACC29 A007 9974h、
RSCAN.RSCAN0RPGACC30 A007 9978h、RSCAN.RSCAN0RPGACC31 A007 997Ch、
RSCAN.RSCAN0RPGACC32 A007 9980h、RSCAN.RSCAN0RPGACC33 A007 9984h、
RSCAN.RSCAN0RPGACC34 A007 9988h、RSCAN.RSCAN0RPGACC35 A007 998Ch、
RSCAN.RSCAN0RPGACC36 A007 9990h、RSCAN.RSCAN0RPGACC37 A007 9994h、
RSCAN.RSCAN0RPGACC38 A007 9998h、RSCAN.RSCAN0RPGACC39 A007 999Ch、
RSCAN.RSCAN0RPGACC40 A007 99A0h、RSCAN.RSCAN0RPGACC41 A007 99A4h、
RSCAN.RSCAN0RPGACC42 A007 99A8h、RSCAN.RSCAN0RPGACC43 A007 99ACh、
RSCAN.RSCAN0RPGACC44 A007 99B0h、RSCAN.RSCAN0RPGACC45 A007 99B4h、
RSCAN.RSCAN0RPGACC46 A007 99B8h、RSCAN.RSCAN0RPGACC47 A007 99BCh、
RSCAN.RSCAN0RPGACC48 A007 99C0h、RSCAN.RSCAN0RPGACC49 A007 99C4h、
RSCAN.RSCAN0RPGACC50 A007 99C8h、RSCAN.RSCAN0RPGACC51 A007 99CCh、
RSCAN.RSCAN0RPGACC52 A007 99D0h、RSCAN.RSCAN0RPGACC53 A007 99D4h、
RSCAN.RSCAN0RPGACC54 A007 99D8h、RSCAN.RSCAN0RPGACC55 A007 99DCh、
RSCAN.RSCAN0RPGACC56 A007 99E0h、RSCAN.RSCAN0RPGACC57 A007 99E4h、
RSCAN.RSCAN0RPGACC58 A007 99E8h、RSCAN.RSCAN0RPGACC59 A007 99ECh、
RSCAN.RSCAN0RPGACC60 A007 99F0h、RSCAN.RSCAN0RPGACC61 A007 99F4h、
RSCAN.RSCAN0RPGACC62 A007 99F8h、RSCAN.RSCAN0RPGACC63 A007 99FCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDTA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDTA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RDTA[31:0]	RAMデータテストアクセスビット	CAN用RAMデータの読み書きができます。	R/W

35.2.65　RSCAN ECC コントロールレジスタ（ECCRCANCTL）

ECCRCANCTL レジスタは RSCAN の ECC のモードを制御するレジスタです。
ビット 7, 3 の設定（書き込み）は RSCAN が動作していない時に行ってください。
また、ビット 7 への書き込みは EMCA1, EMCA0 ビットを “01b” にして実行してください。

アドレス　RSCAN.ECCRCANCTL A007 B000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECDEDF7	ECSEDF7	ECDEDF6	ECSEDF6	ECDEDF5	ECSEDF5	ECDEDF4	ECSEDF4	ECDEDF3	ECSEDF3	ECDEDF2	ECSEDF2	ECDEDF1	ECSEDF1	ECDEDF0	ECSEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EMCA1	EMCA0	—	—	ECOVFF	ECER2C	ECER1C	—	ECTHM	ECERVF	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—

ビット	シンボル	ビット名	機能	R/W
b0	ECEMF	ECC エラー表示フラグ	本ビットは現在読み出しているデータに対してエラーが存在することを示すフラグです。本ビットはRAMを読み出すごとに更新されます。RAMを初期化する前にリードすると、本ビットがセットされる可能性があります。スルーモード許可選択（ECTHM = 1）時、およびデコード回路入力データに1ビットエラーがない時も本ビットはクリアされます。 0：現在読み出しているRAMデータには、ビットエラーが存在していない。 1：現在読み出しているRAMデータには、ビットエラーが存在する。	R
b1	ECER1F	1 ビットエラー検出／訂正フラグビット	本ビットはエラー判定許可状態（ECTHM = 0）でRAMへのリードアクセス時に1ビットエラーが検出されたことを示すフラグです。クリアの際にはECER1C ビット（ビット9）へ1書き込みを行ってください。スルーモード許可選択 （ECTHM = 1）時も本ビットはクリアされます。 0：本ビットクリア後、1ビットエラーは発生していない。 1：1ビットエラーが発生したことがある。	R
b2	ECER2F	2 ビットエラー検出フラグビット	本ビットはエラー判定許可状態（ECTHM = 0）でRAMへのリードアクセス時に2ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み要求信号許可状態（EC2EDIC = 1）で、本フラグがセットされるとECC2 ビットエラー割り込み（INTECCDCNRAM）が発生します。クリアの際にはECER2C ビット（ビット10）へ1書き込みを行ってください。スルーモード許可選択 （ECTHM = 1）時も本ビットはクリアされます。本ビットがセットされた状態で再度2ビットのビットエラーが検出されても割り込み要求信号は発生しません。 0：本ビットクリア後、2ビットエラーは発生していない。 1：2ビットエラーが発生したことがある。	R
b3	EC1EDIC	1ビットエラー検出割り込み制御ビット	本ビットは1 ビットエラー検出時にECMへECC 1ビットエラー要因信号を出力するかを制御するビットです。 0：1ビットエラー検出時にエラー要因を発生させない。 1：1ビットエラー検出時にエラー要因を出力する。	R/W
b4	EC2EDIC	2ビットエラー検出割り込み制御ビット	本ビットは2 ビットエラー検出時にECMへECC 2ビットエラー要因信号を出力するかを制御するビットです。 0：2ビットエラー検出時にエラー要因を発生させない。 1：2ビットエラー検出時にエラー要因を出力する。	R/W
b5	EC1ECP	1ビットエラー訂正許可ビット	本ビットはECC エラー検出／訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1ビットエラー検出時にエラー訂正を行う。 1：1ビットエラー検出時にエラー訂正を行わない。	R/W

ビット	シンボル	ビット名	機能	R/W
b6	ECERVF	ECCエラー判定許可フラグビット	エラー判定の許可／禁止を選択します。このビットの書き込み時はEMCA1, EMCA0 = 0, 1を同時に書き込む必要があります。 0：エラー判定禁止 1：エラー判定許可	R/W
b7	ECTHM	ECC 機能スルーモード選択ビット	本ビットは、ECC 機能の有効／無効を設定するビットです。セット“1”することで、ECC 機能を無効にする事ができます。このビットの書き込み時はEMCA1, EMCA0 = 0, 1を同時に書き込む必要があります。 0：スルーモード禁止（通常動作モード） 1：スルーモード許可（ECC機能無効）	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	ECER1C	1 ビットECC エラー検出訂正累積フラグクリアビット	本ビットはECER1F（ビット1）の1 ビットエラー検出／訂正フラグをクリアするためのビットです。読み出すと常に0が読みだされます。0書き込みは無効です。ECER1Fビットがセットされている際に、本ビットに1書き込みを行うことでECER1Fビットがクリアされます。1書き込みとECER1Fのセット要因が競合した際には本ビットの書き込みが優先されます。	R/W （注1）
b10	ECER2C	2 ビットECC エラー検出フラグクリアビット	本ビットはECER2F（ビット2）の2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に0が読みだされます。0書き込みは無効です。ECER2Fビットがセットされている際に、本ビットに1書き込みを行うことでECER2Fビットがクリアされます。1書き込みとECER2Fのセット要因が競合した際には本ビットの書き込みが優先されます。	R/W （注1）
b11	ECOVFF	ECCオーバフロー検出フラグ	すべてのECCRCANEADzレジスタ（z = 0～7）にエラー検出アドレスが格納されている状態でECCエラーを検出するとセットされ、RSCAN オーバフローエラー要因を出力します。 0：ECCオーバフローは検出されていない。 1：ECCオーバフローが検出された。	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14	EMCA0	ECCモード選択ビットへのアクセス制御ビット0	本ビットはECTHM（ビット7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本ビットのデータ値が01bのとき、ビット7、ビット6への書き込みが可能になります。	R/W （注1）
b15	EMCA1	ECCモード選択ビットへのアクセス制御ビット1		R/W （注1）
b31-b16	ECDEDFz	ECC 2ビットエラー検出フラグ	ECCRCANEADzレジスタ（z = 0～7）に格納されたエラーが2ビットエラーかどうかを示します。 0：2ビットエラーは発生していない 1：2ビットエラーが発生した	R
	ECSEDFz	ECC 1ビットエラー検出フラグ	ECCRCANEADzレジスタ（z = 0～7）に格納されたエラーが1ビットエラーかどうかを示します。 0：1ビットエラーは発生していない 1：1ビットエラーが発生した	R

注1.　リード値は常に0が読み出されます。
注.　ビット2, 1をクリアする場合には、ECCエラー表示フラグ（ECEMF）がセットされていない時にクリアする必要があります。
ビット2, 1をクリアする場合にはRAM初期化後にクリアすることを推奨します。

ECERVF ビット（ECC エラー判定許可フラグビット）

エラー判定の許可／禁止を制御します。本ビットへ書き込むときは EMCA1,EMCA0 ビット = 0, 1 を同時に書き込んでください。ただし ECTHM ビットをセットしてスルーモード許可としている場合は、エラー判定が禁止となります。**表 35.11** に ECERVF ビット、ECTHM ビットとエラー判定状態の関係を示します。

表35.11　ECERVF, ECTHMビットとエラー判定状態

ECTHMビット	ECERVFビット	エラー判定状態
0	0	エラー判定禁止
0	1	エラー判定許可
1	0	エラー判定禁止（スルーモード）
1	1	エラー判定禁止（スルーモード）

ECOVFF ビット（ECC オーバフロー検出フラグ）

すでにすべての ECCRCANEADz レジスタ（z = 0 ～ 7）にエラー検出アドレスが格納されている状態で、新たに ECC エラーを検出すると本ビットがセットされ、エラーコントロールモジュール（ECM）に対し RSCAN オーバフローエラー信号を出力します。ECM の詳細については、**「42.　エラーコントロールモジュール（ECM）」**を参照してください。

本ビットがセットされた状態でさらにオーバフローエラーを検出すると、再度 RSCAN オーバフローエラー信号を出力します。

本ビットをクリアするには、ECER2C ビットと ECER1C ビットの両方に “1” を書き込んでください。

ECDEDFz ビット（ECC 2 ビットエラー検出フラグ）（z = 0 ～ 7）

ECC エラーを検出し、検出アドレスを ECCRCANEADz レジスタへ格納した際のエラーが 2 ビットエラーかどうかを示すフラグビットです。

ECC オーバフロー検出時（ECOVFF ビット = 1）は、発生したエラーが 2 ビットエラーであっても本ビットはセットされません。

本ビットをクリアするには、ECER2C ビットと ECER1C ビットの両方に “1” を書き込んでください。

ECSEDFz ビット（ECC 1 ビットエラー検出フラグ）（z = 0 ～ 7）

ECC エラーを検出し、検出アドレスを ECCRCANEADz レジスタへ格納した際のエラーが 1 ビットエラーかどうかを示すフラグビットです。ECC オーバフロー検出時（ECOVFF ビット = 1）は、発生したエラーが 1 ビットエラーであっても本ビットはセットされません。

本ビットをクリアするには、ECER2C ビットと ECER1C ビットの両方に “1” を書き込んでください。

35.2.66　RSCAN ECC エラーアドレスレジスタ z（ECCRCANEADz）（z = 0 ～ 7）

ECCRCANEADz は ECC エラー発生時に、自動的にエラー発生アドレスの値を格納・保持するリード専用レジスタです（z = 0 ～ 7）。ECC エラー判定が許可された状態で ECC エラーが発生すると、エラーが検出されたバッファ RAM アドレスを z = 0 から順にキャプチャします。

注 1.　1 度 ECCRCANEADz レジスタに格納されたアドレスと同じ ECC エラーが検出されたときには、検出アドレスは破棄されます。

注 2.　1 ビットエラーが複数回発生し、すべての ECCRCANEADz レジスタが 1 ビットエラー検出アドレスのみを格納した場合には、さらに 2 ビットエラー検出によるオーバフローが起きると 2 ビットエラー検出アドレスが ECCRCANEAD7 レジスタに上書きされ値を保持します。
すべての ECCRCANEADz レジスタに、2 ビットエラー検出アドレスのみが格納された状態で 1 ビットエラー検出によるオーバフローが発生しても、1 ビットエラー検出アドレスは破棄されます。

アドレス　RSCAN.ECCRCANEAD0 A007 B010h、RSCAN.ECCRCANEAD1 A007 B014h、RSCAN.ECCRCANEAD2 A007 B018h、RSCAN.ECCRCANEAD3 A007 B01Ch、RSCAN.ECCRCANEAD4 A007 B020h、RSCAN.ECCRCANEAD5 A007 B024h、RSCAN.ECCRCANEAD6 A007 B028h、RSCAN.ECCRCANEAD7 A007 B02Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ECEADz[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	ECEADz [10:0]	ECCエラーアドレス格納ビットz	RSCANのバッファ RAMに対するECC エラーを検出した場合、エラー検出したRAMアドレスを格納・保持します。ECCRCANCTL.ECDEDFzビット、ECSEDFzビットで、アドレス格納したECCエラーが1ビットエラーか2ビットエラーかを判定することができます。	R
b31-b11	—	予約ビット	読むと“0”が読めます。	R

35.3　割り込み要因

RSCAN モジュールには割り込みコントローラへ接続される 8 本の割り込みがあり、グローバル割り込みとチャネル割り込みに分類されます。また各 8 本の割り込みは RSCAN モジュール内で、複数の割り込み要因に小分類されます。**表 35.12** に CAN 割り込み要因一覧を示します。

- グローバル割り込み（2 本）
  1. CAN 受信 FIFO 割り込み
  2. CAN グローバルエラー割り込み
- チャネル割り込み（各チャネル m ごとに 3 本ずつの計 6 本）（m = 0, 1）
  1. CANm 送信割り込み
     - CANm 送信完了割り込み
     - CANm 送信アボート割り込み
     - CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時）
     - CANm 送信履歴割り込み
     - CANm 送信キュー割り込み
  2. CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時）
  3. CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが “1”（割り込み要求あり）になります。その場合、割り込み許可ビットを “1”（割り込み許可）にしていると、RSCAN モジュールから割り込みコントローラへ割り込み要求が出力されます。（割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。）

割り込み要求フラグを “0”（割り込み要求なし）にするか、割り込み許可ビットを “0”（割り込み禁止）にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

図 35.2 に CAN グローバル割り込みブロック図を、**図 35.3** に CAN チャネル割り込みブロック図を示します。

表35.12　CAN割り込み要因一覧

	割り込み要因		対応する割り込み要求フラグ	対応する割り込み許可ビット
グローバル割り込み	受信FIFO	受信FIFO 0	RSCAN0RFSTS0レジスタのRFIFフラグ	RSCAN0RFCC0レジスタのRFIEビット
		受信FIFO 1	RSCAN0RFSTS1レジスタのRFIFフラグ	RSCAN0RFCC1レジスタのRFIEビット
		受信FIFO 2	RSCAN0RFSTS2レジスタのRFIFフラグ	RSCAN0RFCC2レジスタのRFIEビット
		受信FIFO 3	RSCAN0RFSTS3レジスタのRFIFフラグ	RSCAN0RFCC3レジスタのRFIEビット
		受信FIFO 4	RSCAN0RFSTS4レジスタのRFIFフラグ	RSCAN0RFCC4レジスタのRFIEビット
		受信FIFO 5	RSCAN0RFSTS5レジスタのRFIFフラグ	RSCAN0RFCC5レジスタのRFIEビット
		受信FIFO 6	RSCAN0RFSTS6レジスタのRFIFフラグ	RSCAN0RFCC6レジスタのRFIEビット
		受信FIFO 7	RSCAN0RFSTS7レジスタのRFIFフラグ	RSCAN0RFCC7レジスタのRFIEビット
	グローバルエラー		RSCAN0GERFLレジスタのDEFフラグ RSCAN0GERFLレジスタのMESフラグ RSCAN0GERFLレジスタのTHLESフラグ	RSCAN0GCTRレジスタのDEIEビット RSCAN0GCTRレジスタのMEIEビット RSCAN0GCTRレジスタのTHLEIEビット
チャネル割り込み（m = 0, 1）	CANm送信	CANm送信完了	RSCAN0TMSTSpレジスタのTMTRF[1:0]フラグ	RSCAN0TMIEC0レジスタのTMIEビット
		CANm送信アボート	RSCAN0TMSTSpレジスタのTMTRF[1:0]フラグ	RSCAN0CmCTRレジスタのTAIEビット
		CANm送受信FIFO送信完了	RSCAN0CFSTSkレジスタのCFTXIFフラグ	RSCAN0CFCCkレジスタのCFTXIEビット
		CANm送信キュー	RSCAN0TXQSTSmレジスタのTXQIFフラグ	RSCAN0TXQCCmレジスタのTXQIEビット
		CANm送信履歴	RSCAN0THLSTSmレジスタのTHLIFフラグ	RSCAN0THLCCmレジスタのTHLIEビット
	CANm送受信FIFO受信完了		RSCAN0CFSTSkレジスタのCFRXIFフラグ	RSCAN0CFCCkレジスタのCFRXIEビット
	CANmエラー		RSCAN0CmERFLレジスタのBEFフラグ RSCAN0CmERFLレジスタのALFフラグ RSCAN0CmERFLレジスタのBLFフラグ RSCAN0CmERFLレジスタのOVLFフラグ RSCAN0CmERFLレジスタのBORFフラグ RSCAN0CmERFLレジスタのBOEFフラグ RSCAN0CmERFLレジスタのEPFフラグ RSCAN0CmERFLレジスタのEWFフラグ	RSCAN0CmCTRレジスタのBEIEビット RSCAN0CmCTRレジスタのALIEビット RSCAN0CmCTRレジスタのBLIEビット RSCAN0CmCTRレジスタのOLIEビット RSCAN0CmCTRレジスタのBORIEビット RSCAN0CmCTRレジスタのBOEIEビット RSCAN0CmCTRレジスタのEPIEビット RSCAN0CmCTRレジスタのEWIEビット

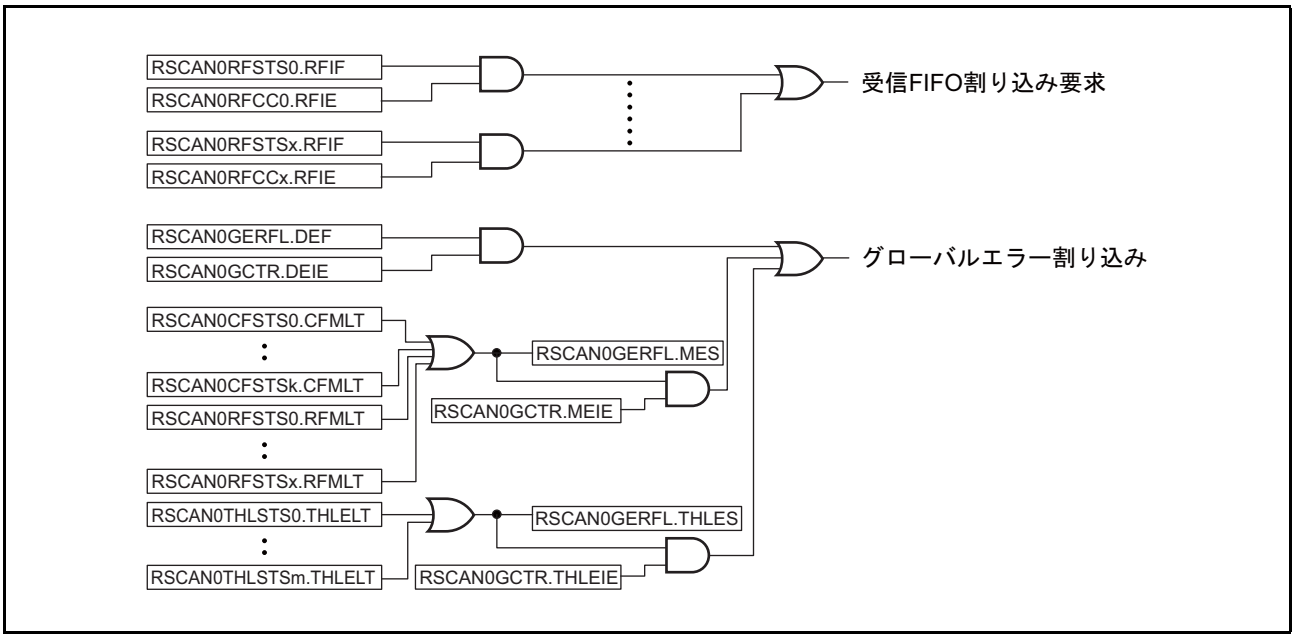


図 35.2　CAN グローバル割り込みブロック図

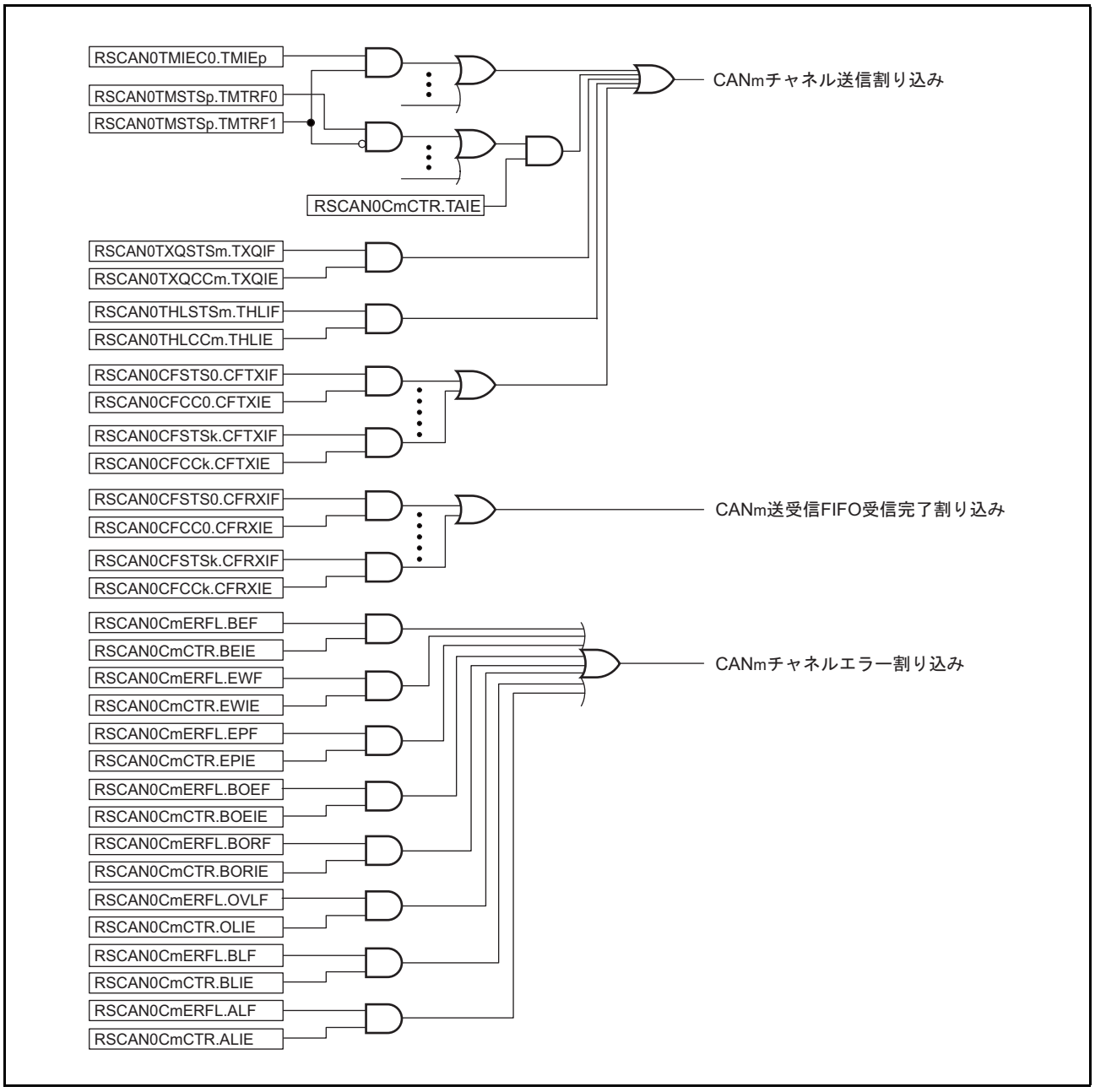


図 35.3　CAN チャネル割り込みブロック図

35.4　CAN モード

RSCAN モジュールには、RSCAN モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャネル状態を制御するチャネルモードが 4 種類あります。「35.4.1　グローバルモード」にグローバルモード、「35.4.2　チャネルモード」にチャネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャネルストップモード : チャネルのクロックが停止する。
- チャネルリセットモード : チャネルの初期設定を行う。
- チャネル待機モード : CAN 通信を停止させたり、チャネルのテストを許可する。
- チャネル通信モード : CAN 通信を行う。

35.4.1　グローバルモード

図 35.4 にグローバルモードの遷移図を示します。

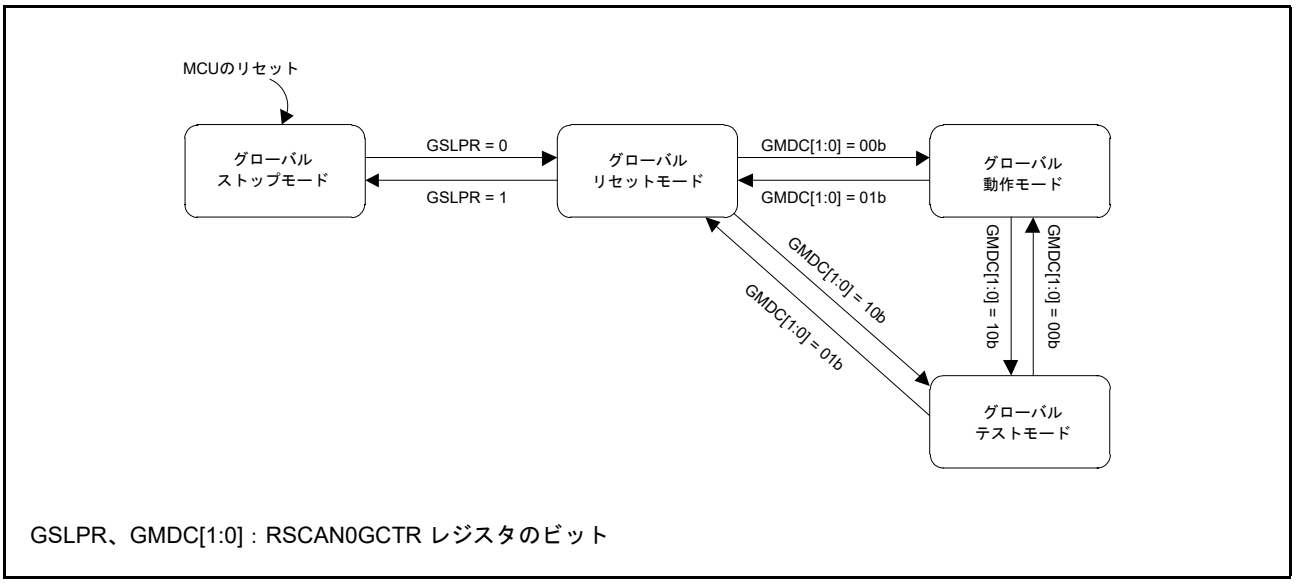


図 35.4　グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化する場合があります。**表 35.13** にグローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化を示します。

表35.13　グローバルモード設定（GMDC[1:0]、GSLPRビット）によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード			
	GMDC[1:0] = 00b GSLPR = 0 （グローバル動作）	GMDC[1:0] = 10b GSLPR = 0 （グローバルテスト）	GMDC[1:0] = 01b GSLPR = 0 （グローバルリセット）	GMDC[1:0] = 01b GSLPR = 1 （グローバルストップ）
チャネル通信	チャネル通信	チャネル待機	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

注1.　GMDC[1:0]ビットとGSLPRビットは、RSCAN0GCTRレジスタのビット。

表 35.14 にグローバルモードの遷移時間を示します。

表35.14　グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	PCLKDの3クロック
グローバルリセット	グローバルストップ	PCLKDの3クロック
グローバルリセット	グローバルテスト	PCLKDの10クロック
グローバルリセット	グローバル動作	PCLKDの10クロック
グローバルテスト	グローバルリセット	PCLKDの3クロック
グローバルテスト	グローバル動作	PCLKDの3クロック
グローバル動作	グローバルリセット	PCLKDの3クロック
グローバル動作	グローバルテスト	CANmフレームの2つ分（注1）

注1.　使用チャネルの内、最も遅い通信速度のCANmフレーム（1メッセージ）時間になります。

35.4.1.1　グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCAN0GCTR レジスタの GSLPR ビットを “1”（グローバルストップモード）にすると、各 RSCAN0CmCTR レジスタの CSLPR ビットが “1”（チャネルストップモード）になります（m = 0, 1）。すべてのチャネルが強制的にチャネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

35.4.1.2　グローバルリセットモード

グローバルリセットモードで RSCAN モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。**表 35.17** と **表 35.18** に初期化されるレジスタ一覧を示します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを “01b” に設定すると、各 RSCAN0CmCTR レジスタ（m = 0, 1）の CHMDC[1:0] ビットが “01b”（チャネルリセットモード）になります。すべてのチャネルが強制的にチャネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャネルリセットモードまたはチャネルストップモードであるチャネルはモード遷移しません（CHMDC[1:0] ビットがすでに “01b” に設定されているため）。

35.4.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを “10b” に設定すると、各 RSCAN0CmCTR レジスタの CHMDC[1:0] ビットが “10b”（チャネル待機モード）になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバルテストモードになります。チャネルストップモード、チャネルリセットモード、またはチャネル待機モードであるチャネルは、モード遷移しません。

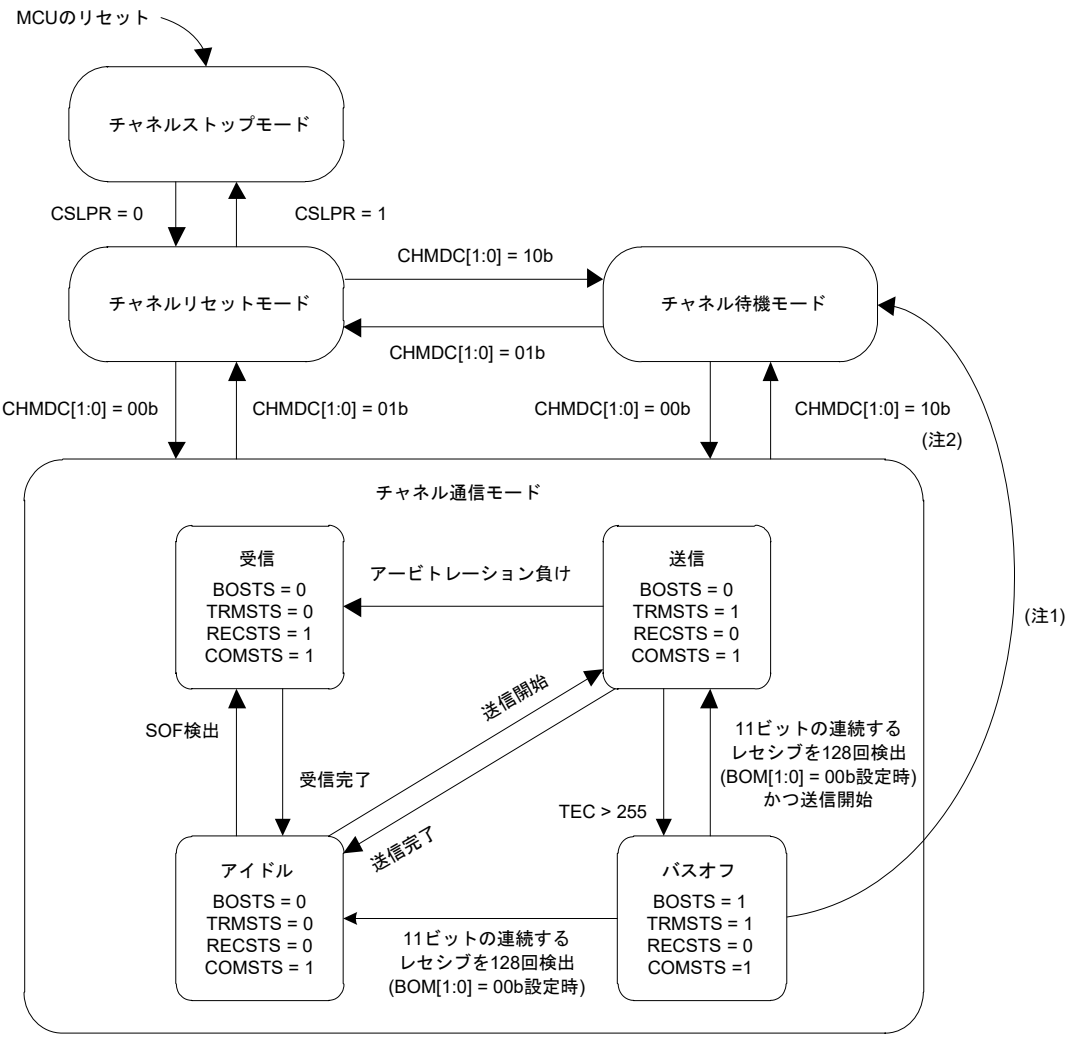
35.4.1.4 グローバル動作モード

グローバル動作モードでは RSCAN モジュールが動作します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを “00b” にすると、グローバル動作モードに遷移します。

35.4.2　チャネルモード

図 35.5 にチャネルモードの状態遷移図を示します。表 35.15 にチャネルモードの遷移時間 を示します。



CHMDC[1:0]、CSLPR、BOM[1:0]：RSCAN0CmCTR レジスタのビット（m = 0, 1）
BOSTS、TRMSTS、RECSTS、COMSTS：RSCAN0CmSTS レジスタのビット

注 1.　バスオフ状態から待機モードへの遷移タイミング
- BOM[1:0] = 01b の場合：TEC > 255 になると、チャネル待機モードへ遷移
- BOM[1:0] = 10b の場合：11 ビットの連続するレセシブを 128 回検出したとき、チャネル待機モードへ遷移
- BOM[1:0] = 11b の場合：CHMDC[1:0] ビットを “10b” にすると、チャネル待機モードへ遷移

注 2.　CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。

図 35.5　チャネルモードの状態遷移図

表35.15　チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	PCLKDの3クロック
チャネルリセット	チャネルストップ	PCLKDの3クロック
チャネルリセット	チャネル待機	3CANmビットタイム
チャネルリセット	チャネル通信	2CANmビットタイム
チャネル待機	チャネルリセット	PCLKDの3クロック
チャネル待機	チャネル通信	3 CANmビットタイム
チャネル通信	チャネルリセット	PCLKDの3クロック
チャネル通信	チャネル待機	CANmフレーム（1メッセージ）の2つ分

35.4.2.1　チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの 読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、MCU のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、RSCAN0CmCTR レジスタ（m = 0, 1）の CSLPR ビットを “1”（チャネルストップモード）にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えないでください。

35.4.2.2　チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。**表 35.17** に初期化されるレジスタ一覧を示します。

CAN 通信中に RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “01b”（チャネルリセットモード）にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。**表 35.16** に CAN 通信中に CHMDC[1:0] ビットを “01b”（チャネルリセットモード）に設定したときの動作を示します。

35.4.2.3　チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 35.16 に CAN 通信中に CHMDC[1:0] ビットを “10b”（チャネル待機モード）に設定したときの動作を示します。

表35.16　チャネルリセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット（CHMDC[1:0] = “01b”）	受信の終了を待たずにチャネルリセットモードに遷移（注1）	送信の終了を待たずにチャネルリセットモードに遷移（注1）	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機（注3）（CHMDC[1:0] = “10b”）	受信の終了を待ってチャネル待機モードに遷移（注2）	送信の終了を待ってチャネル待機モードに遷移	【BOM[1:0]ビットが “00b”の場合】 バスオフ復帰後のみ、チャネル待機モード遷移（CHMDC[1:0] = “10b”）が実行される 【BOM[1:0]ビットが “01b”の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0]ビットが “10b”の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0]ビットが “11b”の場合】 CHMDC[1:0]ビットに “10b”が設定されるとすぐにチャネル待機モードに遷移（バスオフ復帰の終了は待たない）

注1.　通信が終了した後にチャネルリセットモードへ遷移するには、まずCHMDC[1:0]ビットを“10b”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットを“01b”に設定してください。
注2.　CANバスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出するとRSCAN0CmERFLレジスタのBLFフラグが“1”になるので、CANバスの状態を確認できます。
注3.　チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードでRSCAN0CmCFGレジスタを設定してからチャネル待機モードへ遷移してください。

35.4.2.4　チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “00b” にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCAN0CmSTS レジスタ（m = 0, 1）の COMSTS フラグが “1”（通信可能な状態）になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

35.4.2.5　バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールにしたがってバスオフ状態に遷移します。
バスオフ状態からの復帰条件は、RSCAN0CmCTR レジスタの BOM[1:0] ビットで設定します（m = 0, 1）。

- BOM[1:0] ビットが “00b” のとき：
  CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化され、RSCAN0CmERFL レジスタの BORF フラグが “1”（バスオフ復帰検出）になり、CANm エラー割り込み要求（バスオフ復帰割り込み）が発生します。バスオフ状態で、RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “10b”（チャネル待機モード）にすると、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。
- BOM[1:0] ビットが “01b” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10b” になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化されます。BORF フラグは “1” になりません。またバスオフ復帰割り込み要求は発生しません。
- BOM[1:0] ビットが “10b” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10b” になり、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化され、BORF フラグが “1” になり、CANm エラー割り込み要求（バスオフ復帰割り込み）が発生します。
- BOM[1:0] ビットが “11b” のとき：
  バスオフ状態時に、CHMDC[1:0] ビットを “10b” にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化されます。BORF フラグは “1” になりません。またバスオフ復帰割り込み要求は発生しません。
  ただし、CHMDC[1:0] ビットを “10b” にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグが “1” になり、CANm エラー割り込み要求（バスオフ復帰割り込み）が発生します。

RSCAN モジュールによるチャネル待機モードへの遷移と、プログラムによる CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0] ビットを “01b” または “10b” に設定した場合のチャネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが “00b”（チャネル通信モード）のときのみ発生します。

また、RSCAN0CmCTR レジスタの RTBO ビットを “1” にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに “1” を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは “1” になりません。TEC[7:0] ビットと REC[7:0] ビットは “00h” に初期化されます。RTBO ビットは、BOM[1:0] ビットが “00b” のときのみ “1” を書いてください。バスオフ状態以外で、RTBO ビットに “1” を書いても無視され、RTBO ビットは直ちに “0” になります。

表35.17　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧

レジスタ	ビット／フラグ
RSCAN0CmCTR レジスタ	CTMS[1:0], CTME, CHMDC[1:0]
RSCAN0CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0]
RSCAN0CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCAN0CFCCk レジスタ	送受信FIFOバッファが送信モードまたはゲートウェイモード時: CFE
RSCAN0CFSTSk レジスタ	送受信FIFOバッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCAN0CFTISTS レジスタ	CFkTXIF
RSCAN0TMCp レジスタ	TMOM, TMTAR, TMTR
RSCAN0TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCAN0TMTRSTS0 レジスタ	TMTRSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTARSTS0 レジスタ	TMTARSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTCSTS0 レジスタ	TMTCSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTASTS0 レジスタ	TMTASTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TXQCCm レジスタ	TXQE
RSCAN0TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCAN0THLCCm レジスタ	THLE
RSCAN0THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCAN0GTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m = 0, 1）

注1.　チャネル数：m = 0, 1
注2.　送受信FIFOバッファ番号：k = 0～2（チャネル0）、3～5（チャネル1）
注3.　送信バッファ番号：p = 0～15（チャネル0）、16～31（チャネル1）

表35.18　グローバルリセットモードでのみ初期化されるレジスター覧

レジスタ	ビット／フラグ
RSCAN0GSTS レジスタ	GHLTSTS
RSCAN0GERFL レジスタ	THLES, MES, DEF
RSCAN0GTSC レジスタ	TS[15:0]
RSCAN0RMND0 レジスタ	RMNSq
RSCAN0RFCCx レジスタ	RFE
RSCAN0RFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCAN0CFCCk レジスタ	送受信FIFOが受信モード時: CFE
RSCAN0CFSTSk レジスタ	送受信FIFOバッファが受信モード時: CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCAN0FESTS レジスタ	CFkEMP, RFxEMP
RSCAN0FFSTS レジスタ	CFkFLL, RFxFLL
RSCAN0FMSTS レジスタ	CFkMLT, RFxMLT
RSCAN0RFISTS レジスタ	RFxIF
RSCAN0CFRISTS レジスタ	CFkRXIF
RSCAN0GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE, C4ICBCE, C5ICBCE
RSCAN0GTSTCTR レジスタ	RTME, ICBCTME

注1.　受信バッファ番号：q = 0～15（チャネル0）、16～31（チャネル1）
注2.　受信FIFOバッファ番号：x = 0～7

35.5　受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信 :
  全チャネルで共有する受信バッファは、0 ～ 31 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信 :
  全チャネルで共有する受信 FIFO バッファが 8 本と、各チャネル専用の送受信 FIFO バッファが 1 チャネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

35.5.1　受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャネルにつき最大 128 で、モジュール全体では、64 × チャネル数 となります（本モジュールは 2 チャネル搭載しているため、最大 128 ルール登録できます）。受信ルールは各チャネルごとに設定してください。他のチャネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。図 35.6 に受信ルール登録の説明図を示します。

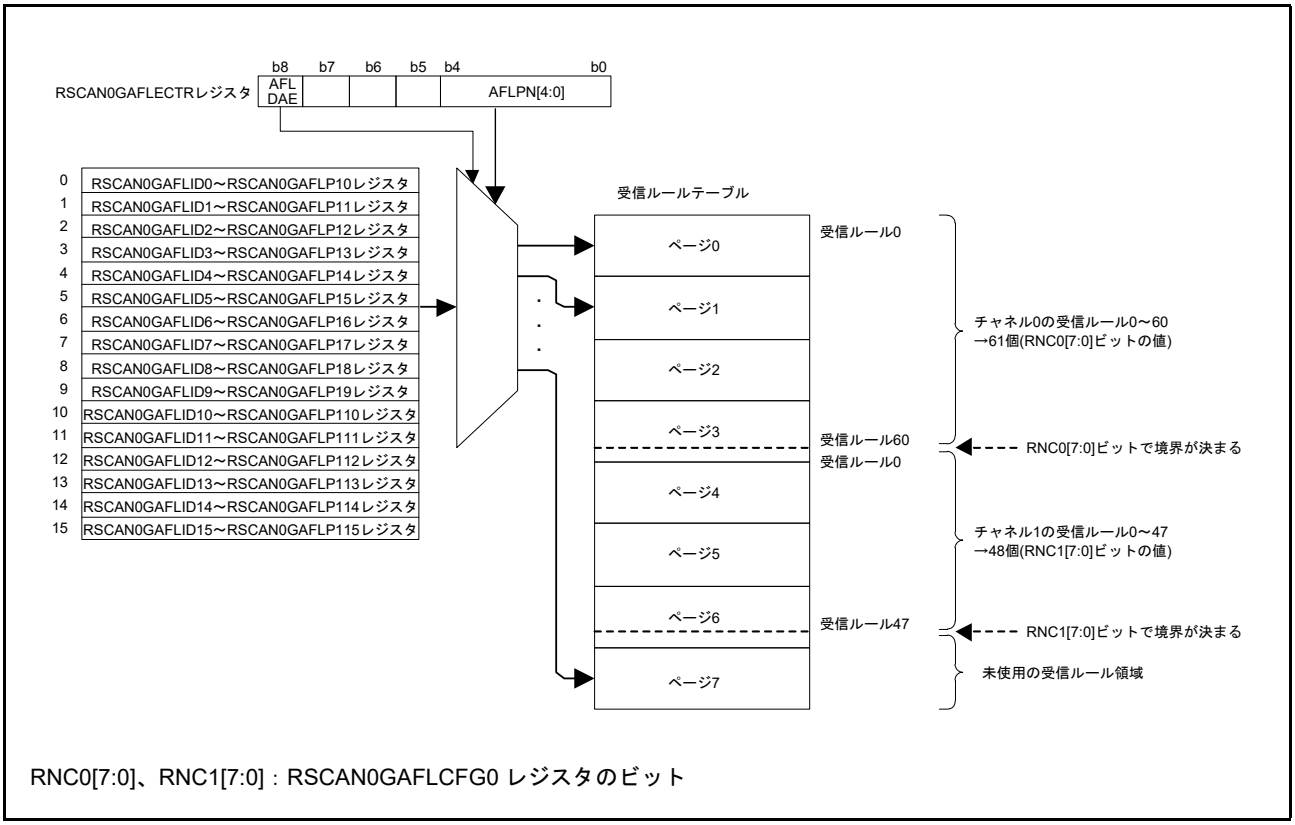


図 35.6　受信ルール登録（チャネル 0,1 を設定する場合）

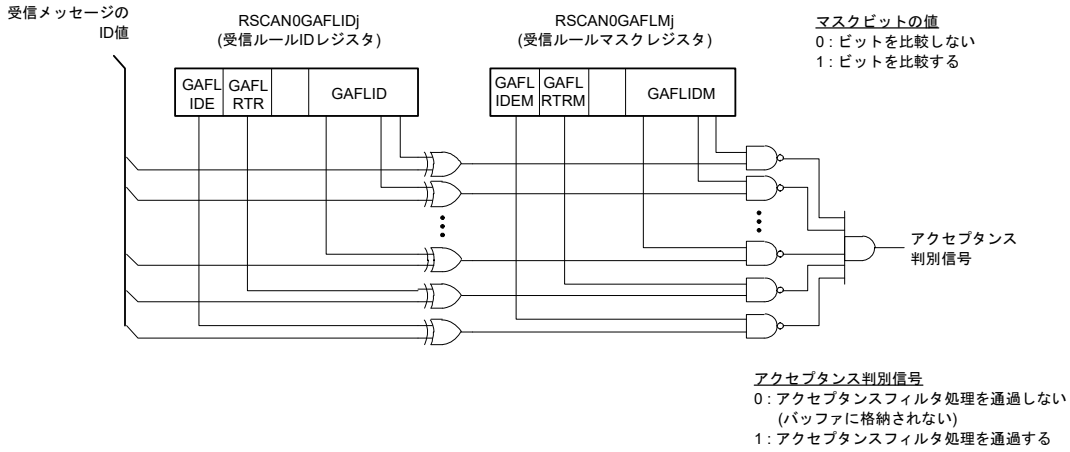
注 .　各チャネルの受信ルールは、連続して設定してください。
チャネル 0 の受信ルールとチャネル 1 の受信ルールを交互に設定することはできません。

各受信ルールは RSCAN0GAFLIDj、RSCAN0GAFLMj、RSCAN0GAFLP0j、RSCAN0GAFLP1j レジスタ（j = 0 ~ 15）の 16 バイトで構成されています。RSCAN0GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCAN0GAFLMj レジスタではマスク設定、RSCAN0GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCAN0GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

35.5.1.1　アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCAN0GAFLMj レジスタで “0”（ビットを比較しない）にしたビットに対応する受信メッセージの ID データ、IED ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。



j = 0~15
GAFLIDE、GAFLRTR、GAFLID : RSCAN0GAFLIDj レジスタのビット
GAFLIDEM、GAFLRTRM、GAFLIDM : RSCAN0GAFLMj レジスタのビット（マスクビット）

図 35.7　アクセプタンスフィルタ機能

35.5.1.2　DLC フィルタ処理

RSCAN0GCFG レジスタの DCE ビットを “1”（DLC チェック許可）にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN0GCFG レジスタの DRE ビットが “0”（DLC 置換禁止）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN0GCFG レジスタの DRE ビットが “1”（DLC 置換許可）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00h” が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN0GERFL レジスタの DEF フラグが “1”（DLC エラー）となります。

35.5.1.3　ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN0GAFLP0j レジスタ（j = 0 ~ 15）の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN0GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

35.5.1.4　ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN0GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

35.5.1.5　ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCAN0GCFG レジスタの MME ビットを “1”（ミラー機能許可）にすることで使用可能になります。

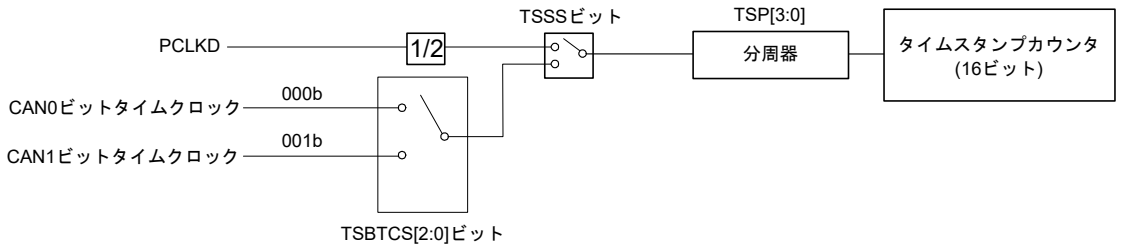
ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCAN0GAFLIDj レジスタの GAFLLB ビットを “0” にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを “1” にした受信ルールがデータ処理に使用されます。

35.5.1.6　タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF（スタートオブフレーム）のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCAN0GCFG レジスタの TSBTCS[2:0]、TSSS ビットで、PCLKD/2 または CANm ビットタイムクロック（m = 0, 1）から選択できます。選択したクロック源を RSCAN0GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックをクロック源として使用する場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。PCLKD/2 をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は RSCAN0GCTR レジスタの TSRST ビットを “1” にすると、“0000h” にリセットされます。



TSBTCS[2:0]、TSSS、TSP[3:0]：RSCAN0GCFG レジスタのビット

注．　タイムスタンプのカウントソースに PCLKD/2 を設定するときは、TSBTCS[2:0] を “000b” にしてください。

図 35.8　タイムスタンプ機能のブロック図

35.6　送信機能

送信の種類には、次の 3 つがあります。

- 送信バッファによる送信：
  1 チャネルにつき 16 バッファあります。
- 送受信 FIFO バッファ（送信モード）による送信：
  1 チャネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：
  1 チャネルにつき最大 16 の送信バッファを送信キューに割り付けできます。送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

表 35.19　各チャネルに割り当てられる送信バッファ p（p = 0～31）

チャネル	送信バッファの割り当て
CAN0	送信バッファ 0 ～ 15
CAN1	送信バッファ 16 ～ 31

表 35.20　各チャネルに割り当てられる送受信FIFOバッファ k（k = 0～5）

チャネル	送受信**FIFO**バッファの割り当て
CAN0	送受信 FIFO バッファ 0 ～ 2
CAN1	送受信 FIFO バッファ 3 ～ 5

図 35.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。



図 35.9　送信キューの割り付けと送受信 FIFO バッファのリンク

35.6.1　送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の 2 つから選択することができます。

- ID 優先　（TPRI ビットが “0”）
- 送信バッファ番号優先　（TPRI ビットが “1”）

RSCAN0GCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを “0” にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを “1” にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

35.6.2　送信バッファを用いた送信

送信バッファの送信要求ビット（RSCAN0TMCp レジスタの TMTR ビット）を “1”（送信を要求する）にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCAN0TMSTSp レジスタ（p = 0 ~ 31）の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは “10b”（送信完了 : 送信アボート要求なし）または “11b”（送信完了 : 送信アボート要求あり）になります。

35.6.2.1　送信アボート機能

RSCAN0TMSTSp レジスタの TMTRM ビットが “1”（送信要求あり）である送信バッファにおいて、RSCAN0TMCp レジスタの TMTAR ビットを “1”（送信アボートを要求する）にすると、送信要求が取り消されます。送信アボートが完了すると、RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01b”（送信アボート完了）になり、送信要求が取り消されます（TMTRM ビットが “0” になる）。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを “1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

35.6.2.2　ワンショット送信機能（再送信禁止機能）

RSCAN0TMCp レジスタの TMOM ビットを “1”（ワンショット送信許可）にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは “10b” または “11b” になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは “01b”（送信アボート完了）になります。

35.6.3　FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RSCAN0CFCCk レジスタ（k = 0 ~ 5）の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCAN0CFCCk レジスタの CFE ビットを “1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

35.6.3.1　インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN0CFCCk レジスタの CFE ビットを “1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを “0” にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCAN0CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに “00h” を設定してください。

RSCAN0CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを “00b” にすると PCLKD/2 を ITRCP[15:0] ビットの値で分周したクロック、“10b” にすると PCLKD/2 を ITRCP[15:0] ビットの値 ×10 で分周したクロック、“x1b” にすると CANm ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが “00b” の場合（fPBA は PCLKD の周波数）：

$$\frac{1}{fPBA} \times 2 \times M \times N$$

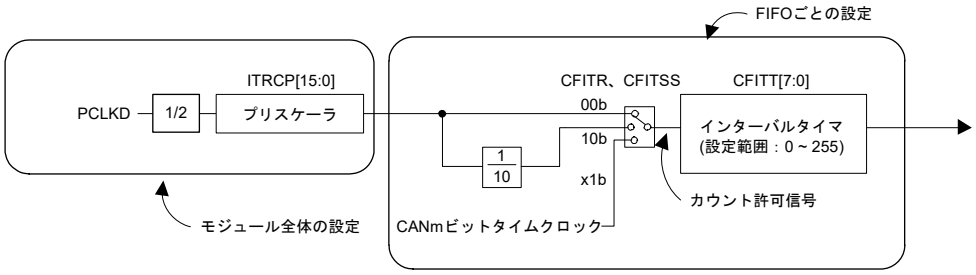
- CFITR、CFITSS ビットが “10b” の場合 :

$$\frac{1}{fPBA} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが “x1b” の場合（fCANBIT は CANm ビットタイムクロックの周波数）：

$$\frac{1}{fCANBIT} \times N$$

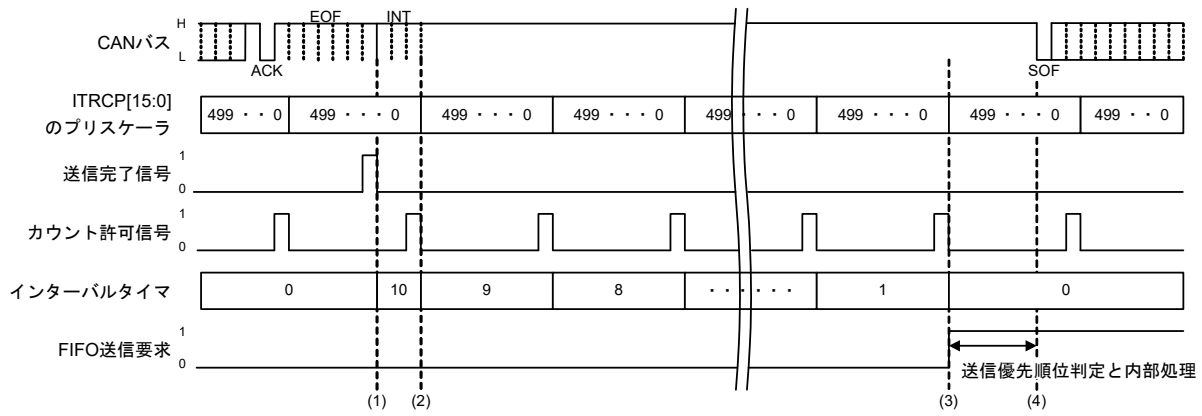
図 35.10 にインターバルタイマのブロック図を示します。



ITRCP[15:0]：RSCAN0GCFG レジスタのビット
CFITR、CFITSS、CFITT[7:0]：RSCAN0CFCCk レジスタのビット
m = 0, 1、k = 0 ～ 5

図 35.10　インターバルタイマのブロック図

図 35.11 にインターバルタイマのタイミング図を示します。



$$\text{インターバル時間(理論値)} = \frac{2}{f_{PBA}} \times (\text{ITRCP[15:0]ビットの設定値}) \times \text{CFITT[7:0]ビットの設定値}$$

fPBA：PCLKD の周波数
ITRCP[15:0]：RSCAN0GCFG レジスタのビット（上図は、設定値を “500” とした場合）
CFITT[7:0]：RSCAN0CFCCk レジスタのビット（上図は、設定値を “10” とした場合）

図 35.11　インターバルタイマのタイミング図

1. 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケーラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの 1 カウント分の誤差が発生します。
2. 次のカウント許可信号で、インターバルタイマは “1” 減算されます。
3. インターバルタイマが “0” になると、送受信 FIFO バッファから送信要求が出されます。
4. 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャネルで発生すると、最大で PCLKD の 582 クロック分遅延する場合があります。

35.6.4 送信キューによる送信

送信キューは 1 チャネルごとに 3 ～ 16 バッファまで割り付けられ、送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウになります（m = 0, 1）。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2 つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN0TXQCCm レジスタの TXQE ビットを “0” にすると、送信キューが使用不可になります。TXQE ビットを “0” にするとき、次に示すタイミングで RSCAN0TXQSTSm レジスタの TXQEMP フラグは “1”（送信キュー空）になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを “0” にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを “1” にする前に、TXQEMP フラグが “1” になったことを確認してください。

35.6.5　送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 16 個の送信履歴データを格納できます。

RSCAN0THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCAN0CFIDk レジスタ（k = 0 ~ 5）の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の 150 クロック分遅延する場合があります。

- バッファタイプ　001b: 送信バッファ
010b : 送受信 FIFO バッファ
100b : 送信キュー
- バッファ番号　送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。
これはバッファタイプに依存します。**表 35.21** を参照してください。
- ラベルデータ　送信メッセージのラベル情報

表 35.21　送信履歴データのバッファ番号

バッファタイプ バッファ番号	001b	010b	100b
0000b	送信バッファ 16 × m + 0	RSCAN0CFCCk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号 （k = 0 ~ 5）	送信を行った送信キューに割り付けられた送信バッファの番号
0001b	送信バッファ 16 × m + 1		
0010b	送信バッファ 16 × m + 2		
0011b	送信バッファ 16 × m + 3		
0100b	送信バッファ 16 × m + 4		
0101b	送信バッファ 16 × m + 5		
0110b	送信バッファ 16 × m + 6		
0111b	送信バッファ 16 × m + 7		
1000b	送信バッファ 16 × m + 8		
1001b	送信バッファ 16 × m + 9		
1010b	送信バッファ 16 × m + 10		
1011b	送信バッファ 16 × m + 11		
1100b	送信バッファ 16 × m + 12		
1101b	送信バッファ 16 × m + 13		
1110b	送信バッファ 16 × m + 14		
1111b	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN0THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとすると、バッファがオーバフローし、新しいデータは破棄されます。

35.7　ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャネルから送信することができます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットを “10b”（ゲートウェイモード）に設定した送受信 FIFO バッファを RSCAN0GAFLP1j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます（j = 0 ～ 15）。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

35.8　テスト機能

テスト機能は、通信テストとグローバルテストの 2 つに分類できます。

- 通信テスト : チャネルごとに行うテスト
  - 標準テストモード
  - リッスンオンリモード
  - セルフテストモード 0（外部ループバックモード）
  - セルフテストモード 1（内部ループバックモード）
- グローバルテスト : モジュール全体で行うテスト
  - RAM テスト（読み書きテスト）
  - チャネル間通信テスト

35.8.1　標準テストモード

標準テストモードでは、CRC テストを行うことができます。

35.8.2　リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 35.12 にリッスンオンリモード選択時の接続を示します。

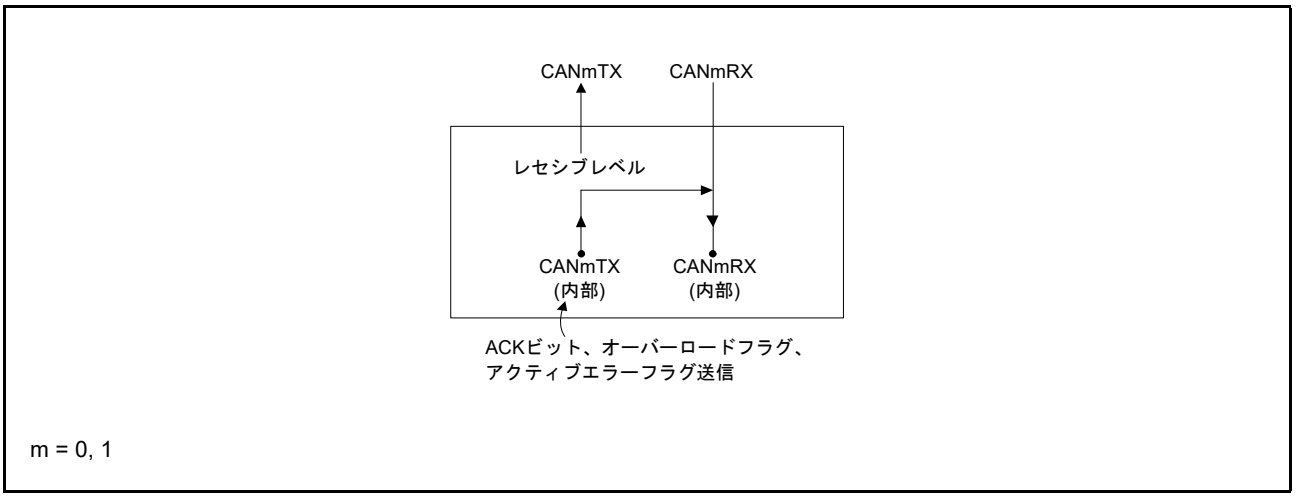


図 35.12　リッスンオンリモード選択時の接続

35.8.3　セルフテストモード（ループバックモード）

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RSCAN0GAFLIDj レジスタ（j = 0 ~ 15）の GAFLLB ビットを “0”（他の CAN ノードが送信したメッセージを受信時）にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

35.8.3.1　セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 35.13 にセルフテストモード 0 選択時の接続を示します。

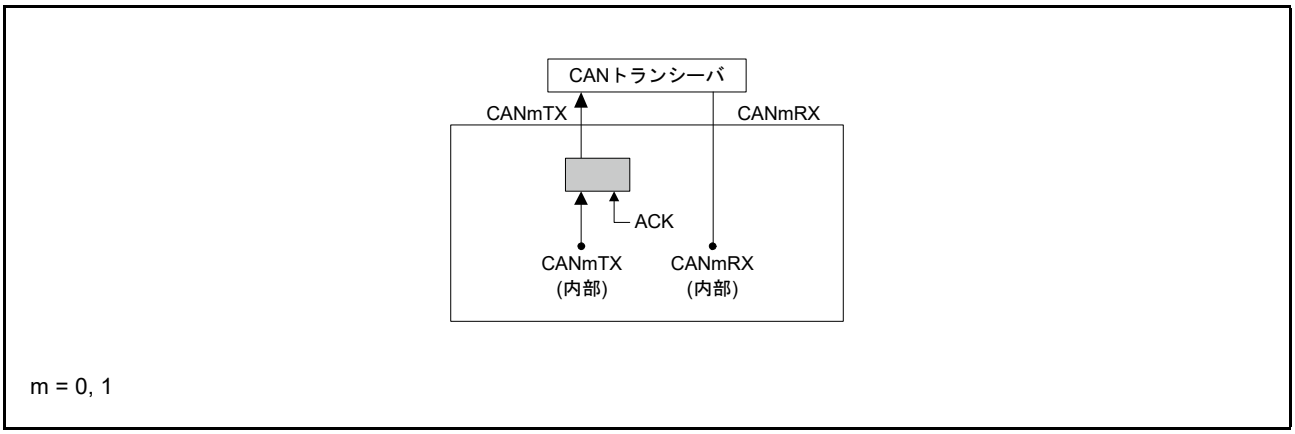


図 35.13　セルフテストモード 0 選択時の接続

35.8.3.2　セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANmTX 端子（m = 0, 1）から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 35.14 にセルフテストモード 1 選択時の接続を示します。

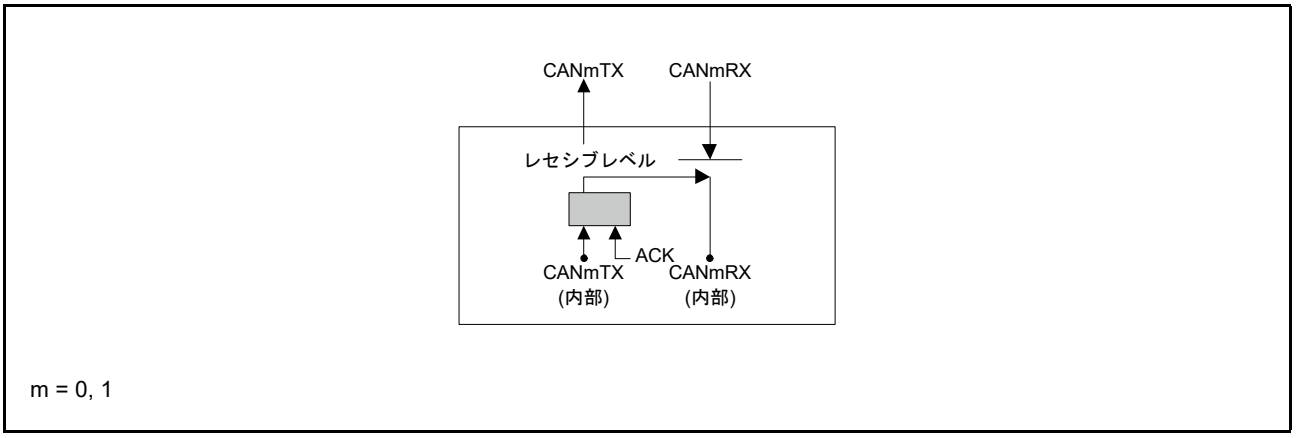


図 35.14　セルフテストモード 1 選択時の接続

35.8.4　RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCAN0GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCAN0RPGACCr レジスタ（r = 0 ~ 63）から読み出し／書き込みができます。有効な総 RAM サイズは、14592 バイト（3900h）です。

35.8.5　チャネル間通信テスト

チャネル間通信テスト機能を使用すると、CAN チャネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャネルは外部の CAN バスから切り離されます。

各チャネルに対して送受信の設定を行ってから、チャネル通信モードで送受信を開始してください。テストに参加しないチャネルは、チャネル待機モードにしてください。

図 35.15 にチャネル間通信テスト接続図を示します。

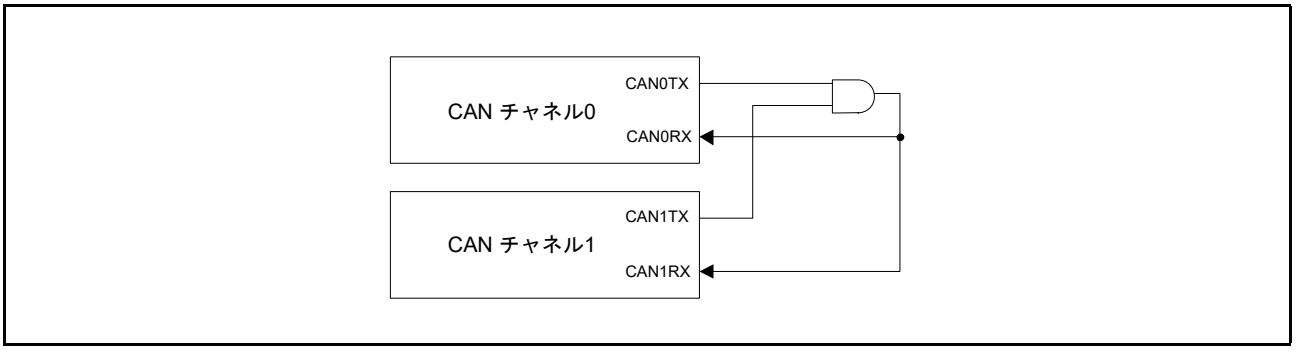


図 35.15　チャネル間通信テスト接続図

35.9　RSCAN の設定手順

35.9.1　初期設定

MCU のリセット後に RSCAN モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、PCLKD の 7298 サイクルです。RAM の初期化中は、RSCAN0GSTS レジスタの GRAMINIT フラグが “1”（CAN 用 RAM クリア中）になり、初期化が終了すると “0”（CAN 用 RAM クリア完了）になります。GRAMINIT フラグが “0” になった後に CAN の設定を行ってください。**図 35.16** に MCU のリセット後の設定手順を示します。

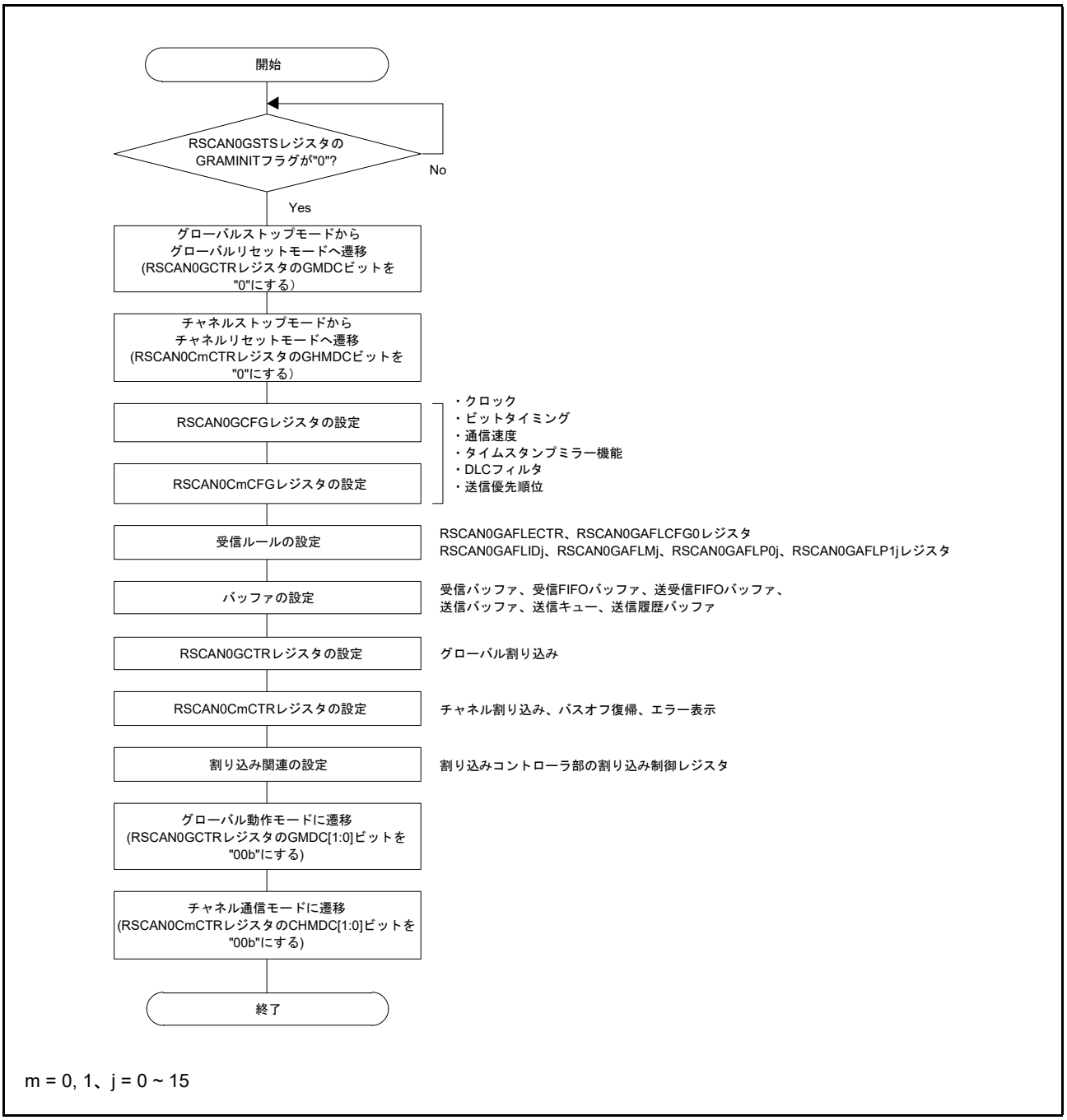


図 35.16　MCU のリセット後の設定手順

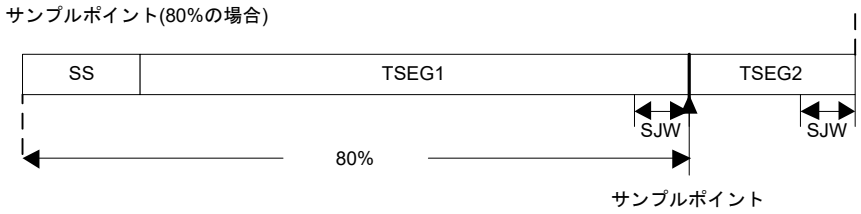
35.9.1.1　クロックの設定

RSCAN モジュールのクロック源である CAN クロック（fCAN）を設定します。RSCAN0GCFG レジスタの DCS ビットで、CANCLKA (24MHz)、または CANCLKB (25MHz) を選択します。

35.9.1.2　ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャネルごとに RSCAN0CmCFG レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum（以下 Tq）単位で調整できます。1Tq は、RSCAN0GCFG レジスタの DCS ビットで選択したクロックを RSCAN0CmCFG レジスタの BRP[9:0] ビットで分周したクロック（CANmTq クロック）の周期になります。

図 35.17 にビットタイミング図を示します。**表 35.22** にビットタイミングの設定例を示します。



SS = 1Tq 固定
TSEG1 = 4 ~ 16Tq の範囲で設定
TSEG2 = 2 ~ 8Tq の範囲で設定
SJW = 1 ~ 4Tq の範囲で設定
SS + TSEG1 + TSEG2 = 8 ~ 25Tq の範囲で設定
TSEG1 > TSEG2 ≧ SJW

・SS（シンクロナイゼーションセグメント）:
インターフレームスペース中に、レセシブからドミナントへのエッジをモニタして同期をとるセグメントです。
インターフレームスペース (Interframe Space) は、インターミッション (Intermission)、サスペンドトランスミッション (Suspend Transmission)、バスアイドル (Bus Idle) で構成されます。バスアイドル中では、全ノードが送信を開始することができます。

・TSEG1 （タイムセグメント 1）:
CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、CAN バス上の遅延、入力コンパレータ遅延および出力ドライバ遅延の総和の 2 倍になります。

・TSEG2 （タイムセグメント 2）:
周波数の誤差によるフェーズエラーを補償するセグメントです。

・SJW（リシンクロナイゼーションジャンプ幅）:
フェーズエラーによっておこる位相誤差を補償するために、タイムセグメントを延長または短縮する長さです。

図 35.17　ビットタイミング図

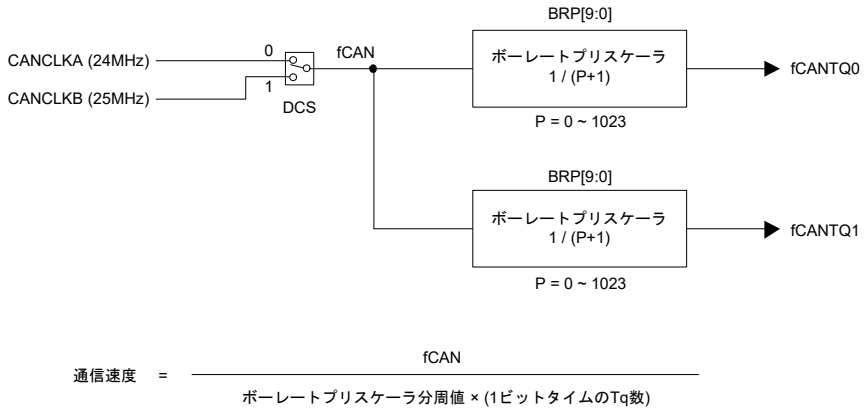
表35.22　ビットタイミングの設定例

1ビット	設定値（Tq）				サンプルポイント（%） ※図35.17を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
12Tq	1	8	3	1	75.00
	1	9	2	1	83.33
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00
24Tq	1	15	8	1	66.67
	1	16	7	1	70.83
25Tq	1	16	8	1	68.00

35.9.1.3　通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケーラ分周値（RSCAN0CmCFG レジスタの BRP[9:0] ビット）、および 1 ビットタイムの Tq 数を用いてチャネルごとに設定します。

図 35.18 に CAN クロック制御ブロック図、**表 35.23** に通信速度の設定例を示します。



m = 0, 1
DCS：RSCAN0GCFG レジスタのビット
BRP[9:0]：RSCAN0CmCFG レジスタのビット
fCAN：CAN クロック

図 35.18　CAN クロック制御ブロック図

表 35.23　通信速度の設定例

通信速度 \ fCAN	25MHz	24MHz
1Mbps	25Tq（1）	8Tq（3） 12Tq（2） 24Tq（1）
500kbps	25Tq（2） 10Tq（5）	8Tq（6） 12Tq（4） 24Tq（2）
250kbps	25Tq（4） 10Tq（10）	8Tq（12） 12Tq（8） 24Tq（4）
125kbps	25Tq（8） 10Tq（20）	8Tq（24） 12Tq（16） 24Tq（8）

注.　（　）内の数字はボーレートプリスケーラ分周値

35.9.1.4　受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCAN0GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ～ 7 を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可／禁止を設定します。

図 35.19 に受信ルール設定手順について示します。

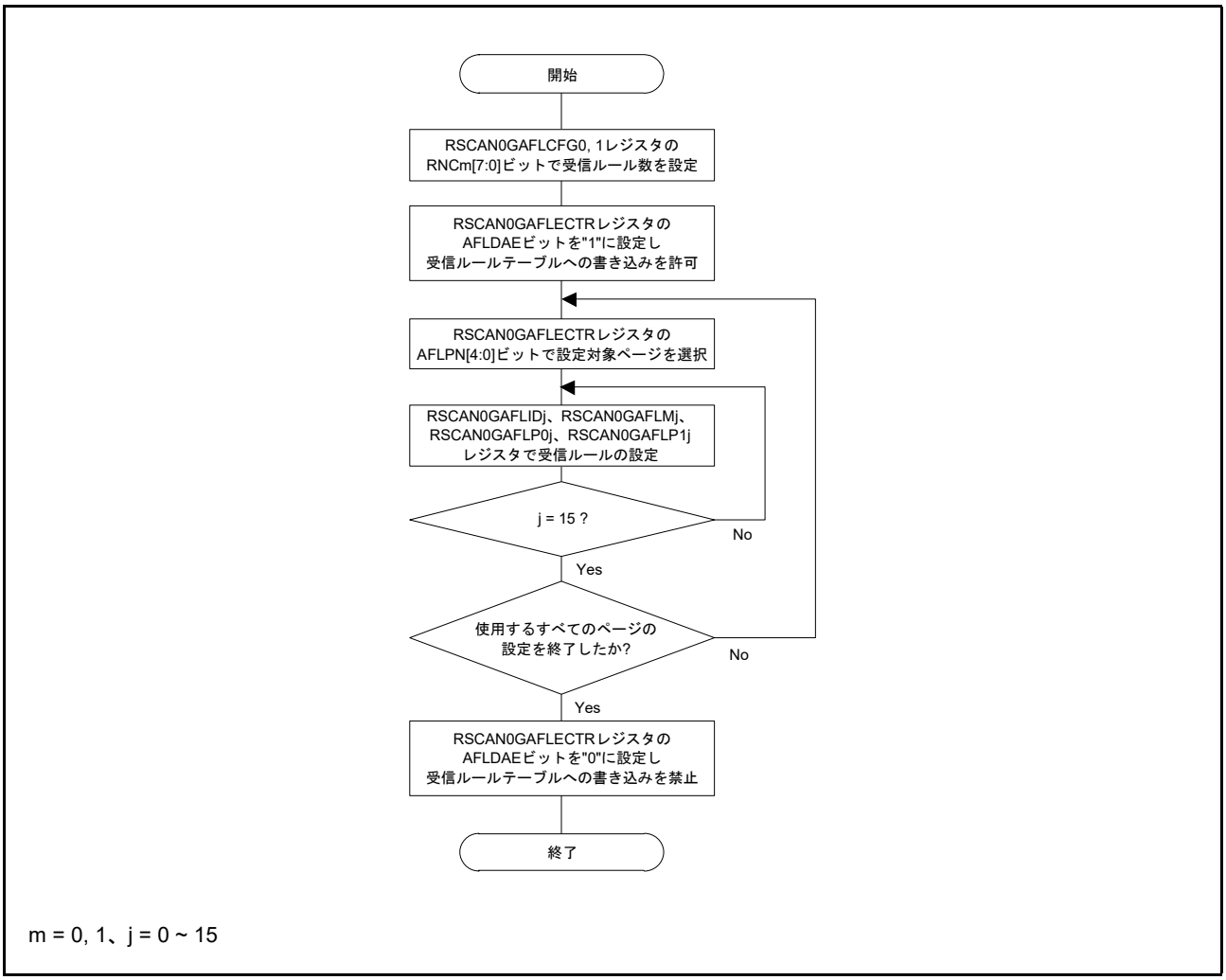


図 35.19　受信ルール設定手順

35.9.1.5　　バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 35.20 にバッファの構成を示します。図 35.21 に各種バッファの設定手順を示します。

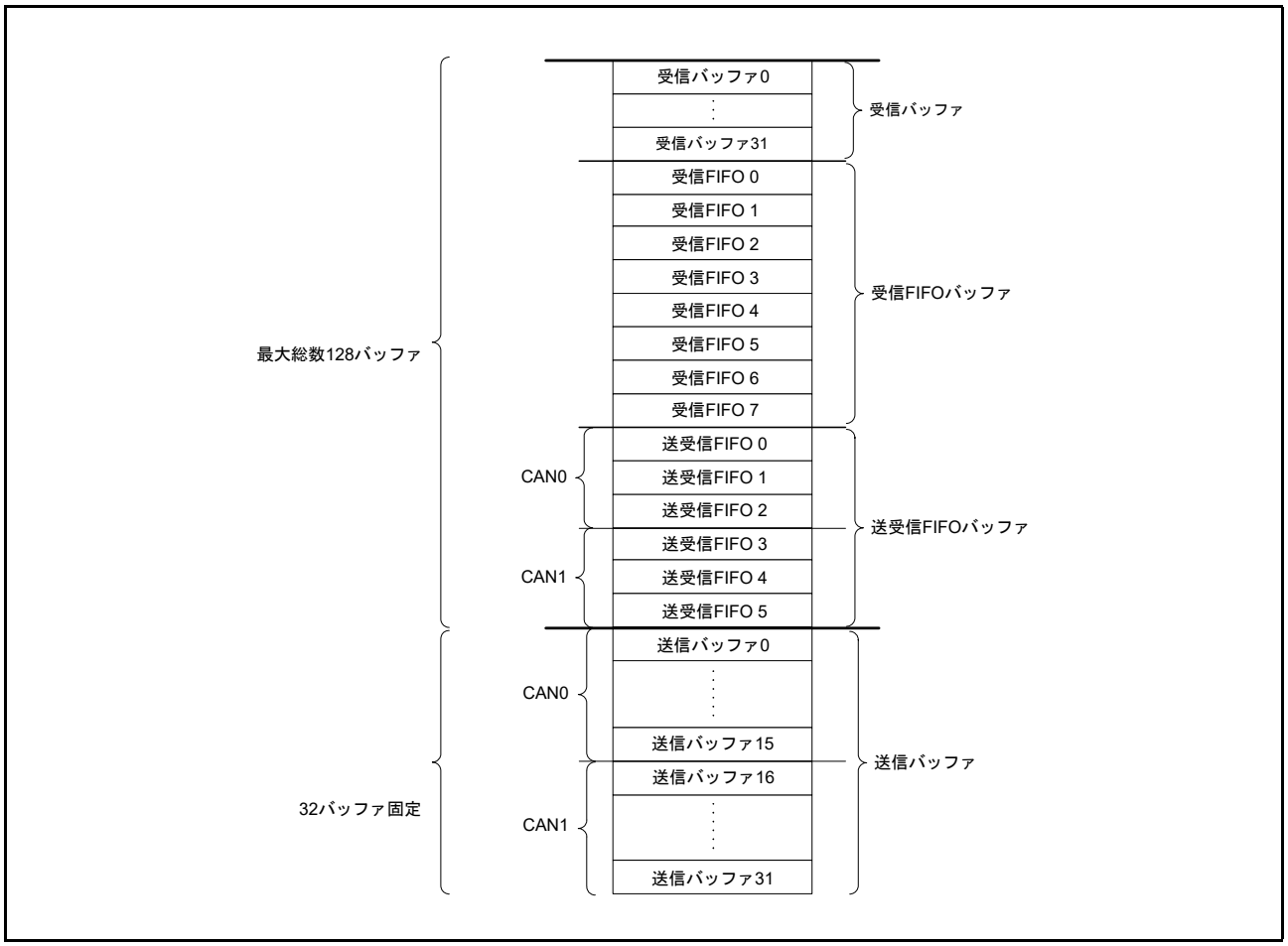


図 35.20　バッファの構成

注 .　受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。

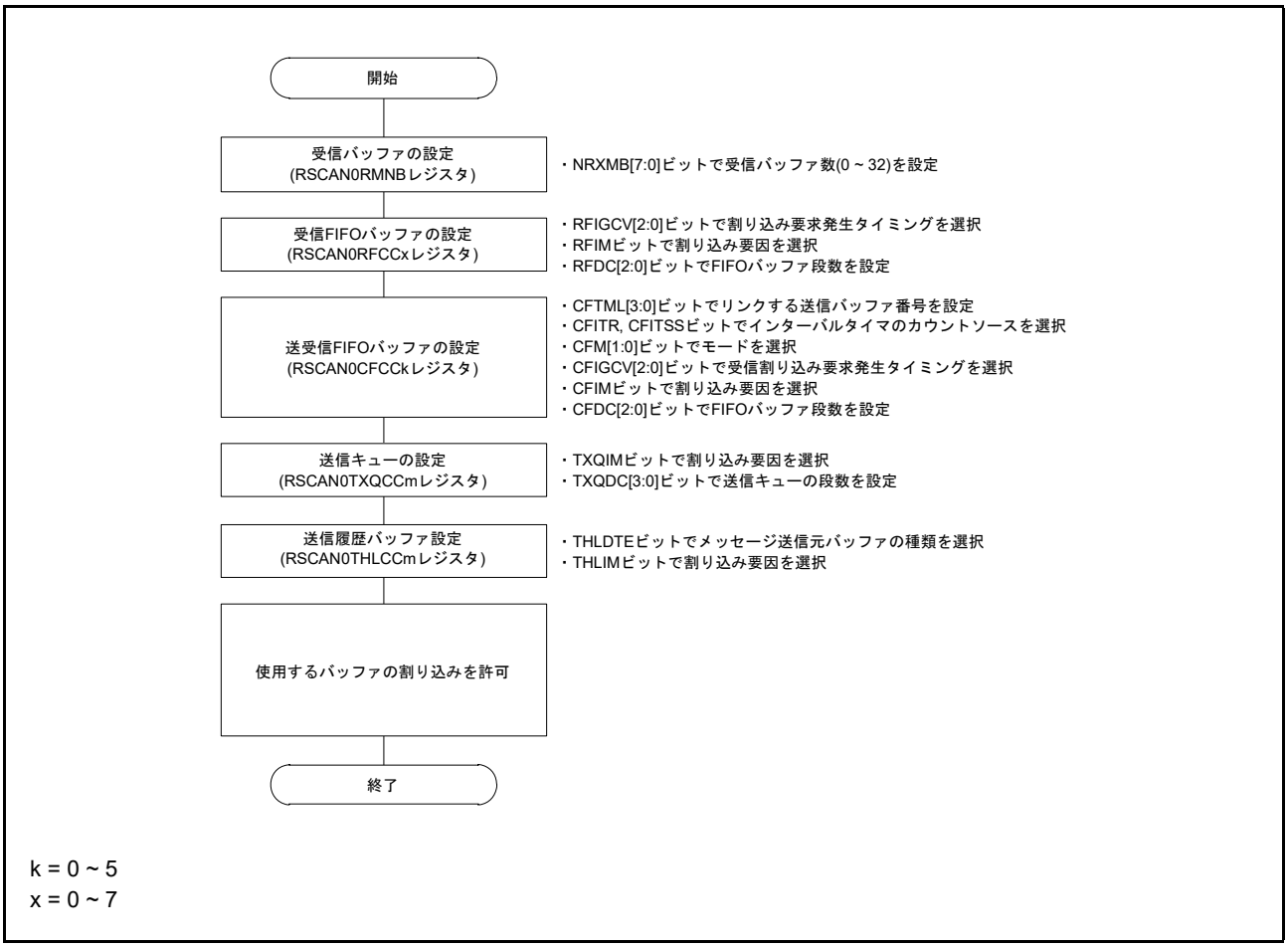


図 35.21　各種バッファの設定手順

35.9.2　受信手順

35.9.2.1　受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCAN0RMND0 レジスタの RMNSq フラグ（q = 0 ～ 31）が “1”（受信バッファ q に新しいメッセージあり）になります。メッセージは RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDF0q、RSCAN0RMDF1q レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。**図 35.22** に受信バッファの読み出し手順を示します。

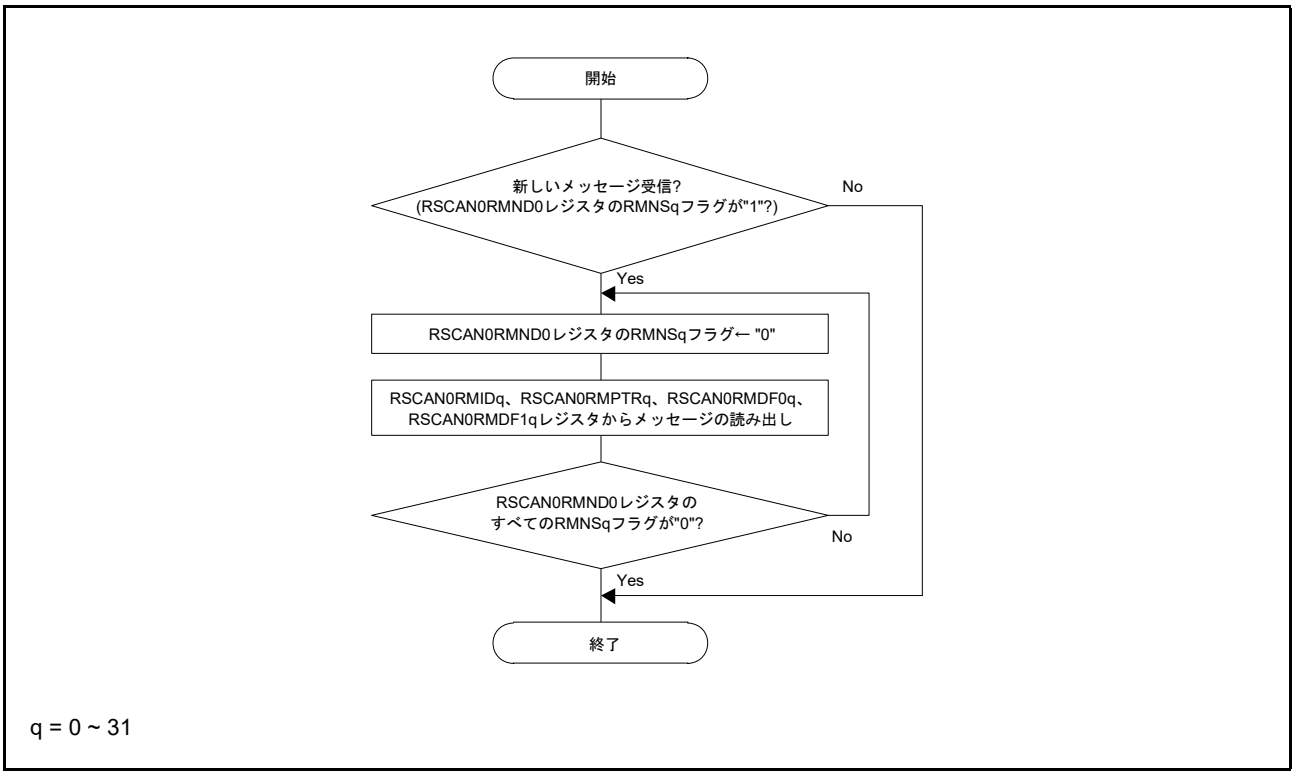
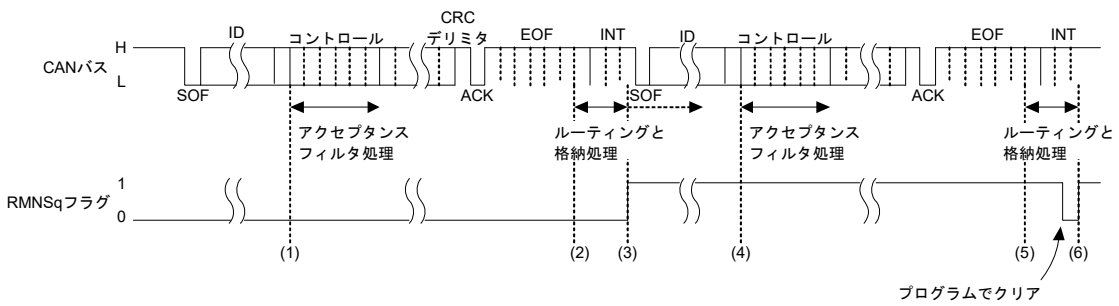


図 35.22　受信バッファの読み出し手順



q = 0 ~ 31
RMNSq：RSCAN0RMND0 レジスタのフラグ

図 35.23　受信バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RSCAN0RMND0 レジスタの RMNSq フラグが “1”（受信バッファに新しいメッセージあり）になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。
4. 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
5. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
6. 対応する RMNSq フラグを “0”（受信バッファに新しいメッセージなし）にクリアした場合、メッセージの格納処理が始まると、再度 “1” になります。RMNSq フラグが “1” のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを “0” にできません。

35.9.2.2　FIFO バッファの読み出し手順

受信メッセージが 1 つ以上の受信 FIFO バッファまたは、受信モード／ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ（RSCAN0RFSTSx レジスタ（x = 0 ~ 7）の RFMC[7:0] ビットまたは RSCAN0CFSTSk レジスタ（k = 0 ~ 5）の CFMC[7:0] ビット）の値が 1 加算されます。このとき、RSCAN0RFCCx レジスタの RFIE ビット（受信 FIFO 割り込み許可ビット）や RSCAN0CFCCk レジスタの CFRXIE ビット（送受信 FIFO 受信割り込み許可ビット）を “1” にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタから、送受信 FIFO バッファの場合は RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値（RSCAN0RFCCx レジスタの RFDC[2:0] ビットまたは RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した値）に一致したとき、RFFLL フラグまたは CFFLL フラグが “1”（FIFO バッファフル）になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCAN0RFSTSx レジスタの RFEMP フラグまたは RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（FIFO バッファ空）になります。

割り込み要求フラグ（RSCAN0RFSTSx レジスタの RFIF フラグまたは RSCAN0CFSTSk レジスタの CFRXIF フラグ）が “1”（割り込み要求あり）の状態で RFE ビットや CFE ビットを “0”（FIFO バッファを使用しない）にすると、割り込み要求フラグは自動的に “0” になりません。割り込み要求フラグはプログラムで “0” にしてください。

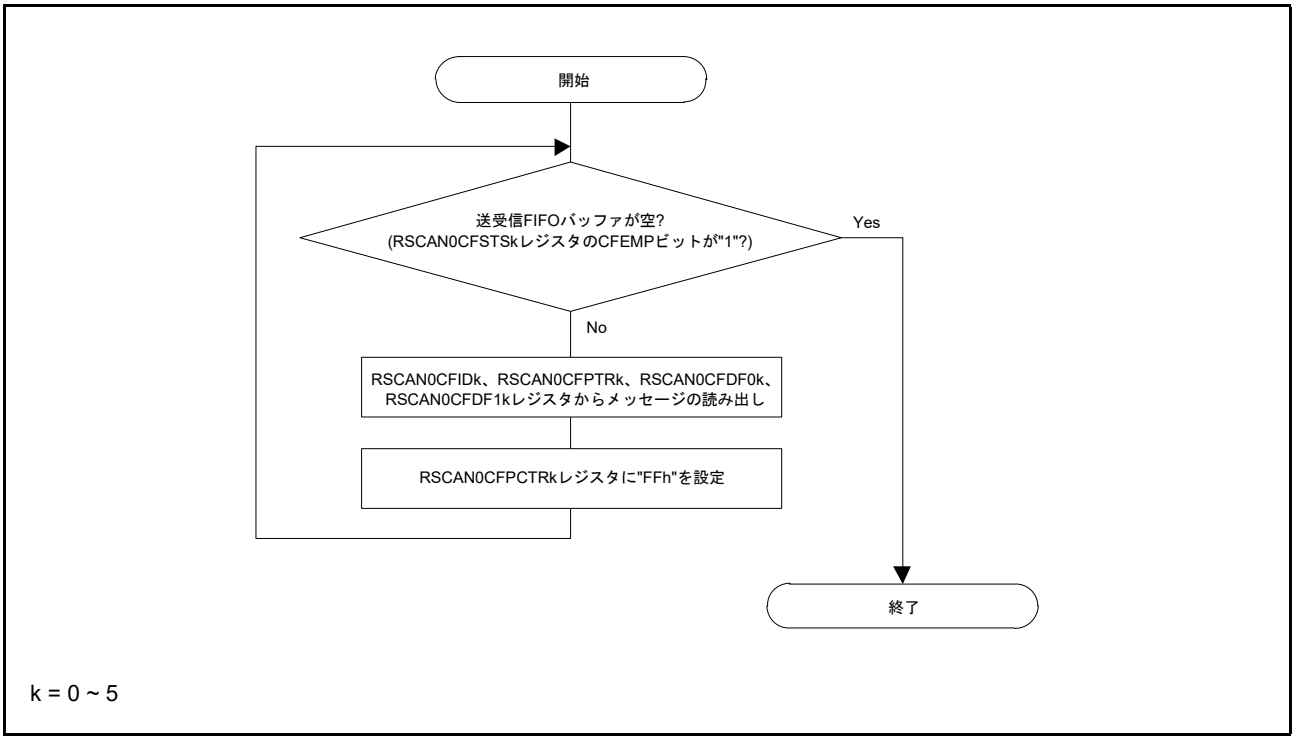
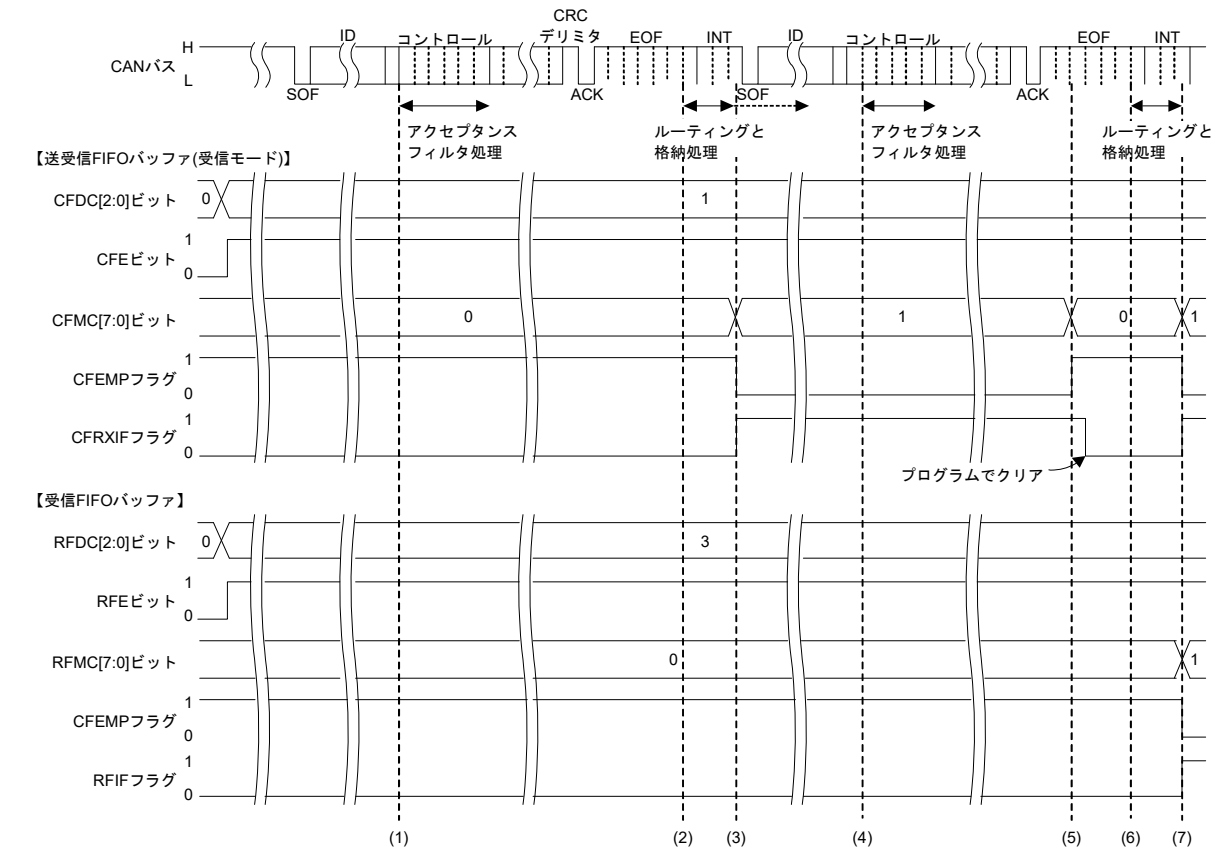


図 35.24　送受信 FIFO バッファの読み出し手順



k = 0 ~ 5、x = 0 ~ 7
CFDC[2:0]、CFE：RSCAN0CFCCk レジスタのビット
CFMC[7:0]、CFEMP、CFRXIF：RSCAN0CFSTSk レジスタのフラグ
RFDC[2:0]、RFE：RSCAN0RFCCx レジスタのビット
RFMC[7:0]、CFEMP、RFIF：RSCAN0RFSTSx レジスタのフラグ

図 35.25　FIFO バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過し、かつ RSCAN0CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCAN0CFCCk レジスタの CFDC[2:0] ビットの値が “001b” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて “01h” になります。RSCAN0CFCCk レジスタの CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCAN0CFSTSk レジスタの CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。CFRXIF フラグはプログラムで “0” にできます。
4. 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

5. RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから受信メッセージを読み出し、RSCAN0CFPCTRk レジスタに “FFh” を書きます。それにより、RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 減算されて “00h” になり、RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。
6. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
7. DLC フィルタ処理を通過し、かつ CFE ビットが “1”（送受信 FIFO バッファを使用する）、CFDC[2:0] ビットの値が “001b” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが 1 加算されて “01h” になります。CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。
   また、RSCAN0RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）、RSCAN0RFCCx レジスタの RFDC[2:0] ビットの値が “001b” 以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCAN0RFSTSx レジスタの RFMC[7:0] ビットが 1 加算されて “01h” になります。RSCAN0RFCCx レジスタの RFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCAN0RFSTSx レジスタの RFIF フラグが “1”（受信 FIFO 割り込み要求あり）になります。

35.9.3　送信手順

35.9.3.1　送信バッファからの送信手順

図 35.26 に送信バッファからの送信手順を示します。

図 35.27 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 35.28 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

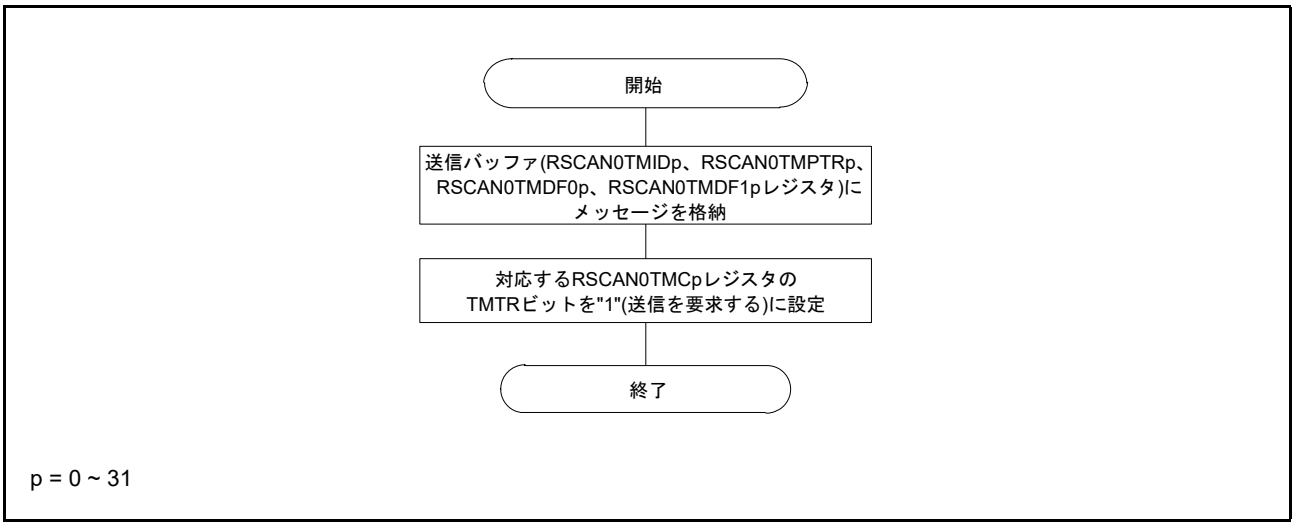
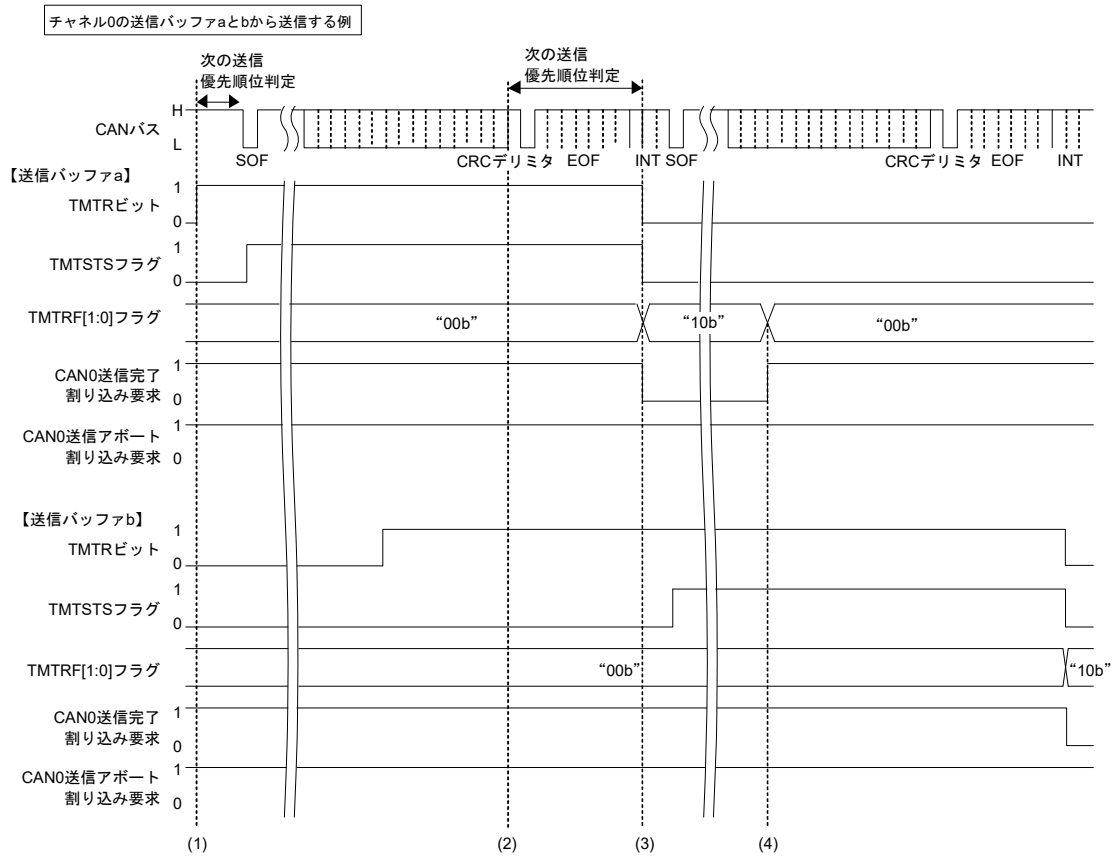


図 35.26　送信バッファからの送信手順

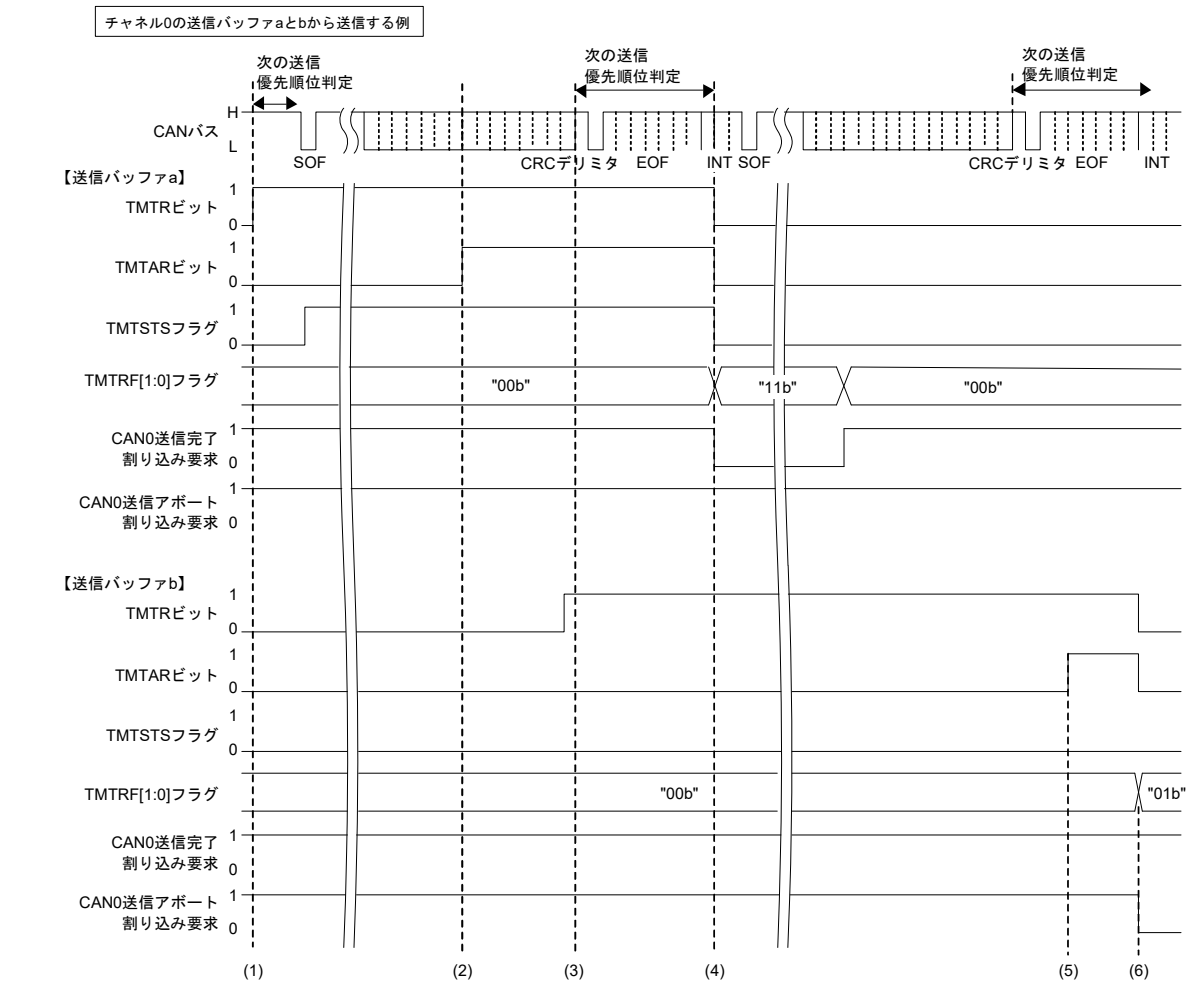


a = 0 ~ 31、b = 0 ~ 31
TMTR : RSCAN0TMCp レジスタのビット
TMTSTS、TMTRF[1:0] : RSCAN0TMSTSp レジスタのフラグ

図 35.27　送信バッファの送信タイミング図（正常に送信完了時）

1. CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。
2. CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
3. 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは “10b”（送信完了（送信アボート要求なし））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは “0” になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00b”（送信中または送信要求なし）にしてください。
4. 次の送信を開始する前に、TMTRF[1:0] フラグを “00b” にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを “1”（送信を要求する）にしてください。TMTRF[1:0] フラグが “00b” のときのみ、TMTR ビットを “1” に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは “0” になります。送信の優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。



a = 0 ~ 31、b = 0 ~ 31
TMTR、TMTAR : RSCAN0TMCp レジスタのビット
TMTSTS、TMTRF[1:0] : RSCAN0TMSTSp レジスタのフラグ

図 35.28　送信バッファの送信タイミング図（送信アボート完了時）

1. CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。
2. 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを “1”（アボート要求する）にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

3. CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
4. 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは “11b”（送信完了（送信アボート要求あり））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは “0” になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00b”（送信中または送信要求なし）にしてください。
5. CAN バス上に他の CAN ノードが送信している場合（TMTSTS フラグは “0”）、対応するチャネルが優先順位判定中に TMTAR ビットを “1” にすると、TMTR ビットを “0” にできません。
6. 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが “01b” になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは “01b” になります。このとき、TMTR ビットと TMTAR ビットは “0” になります。RSCAN0CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00b” にしてください。

CAN チャネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは “0” になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

35.9.3.2　送受信 FIFO バッファからの送信手順

図 35.29 に送受信 FIFO バッファからの送信手順を示します。

図 35.30 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 35.31 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

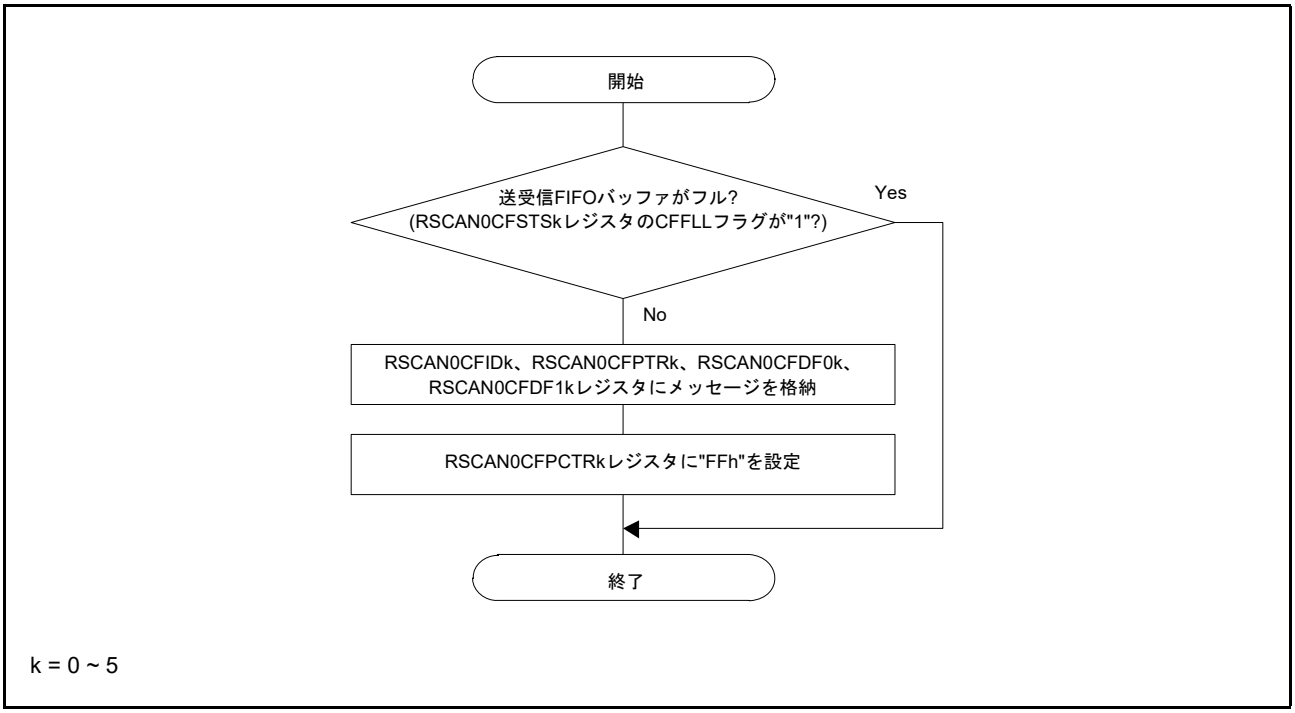
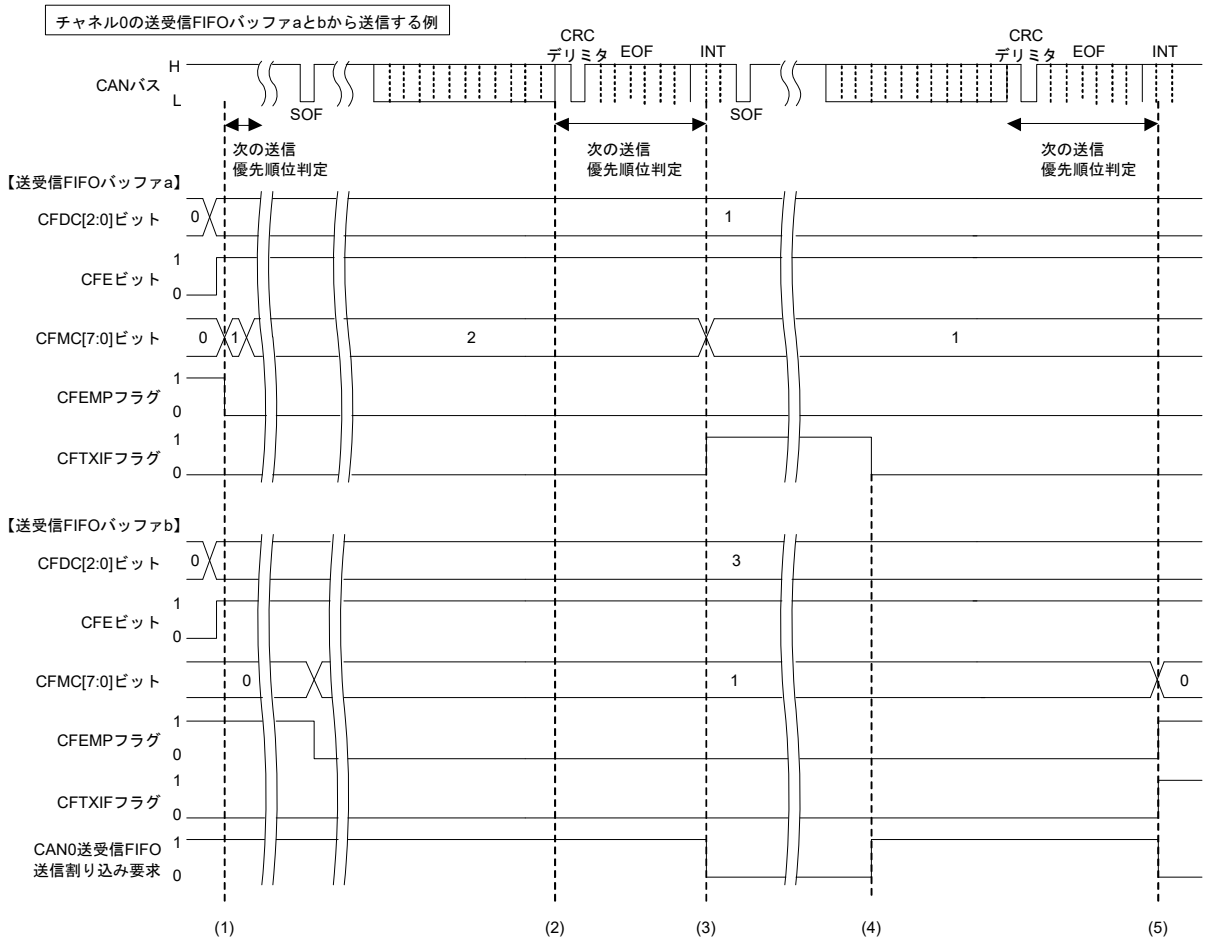


図 35.29　送受信 FIFO バッファからの送信手順

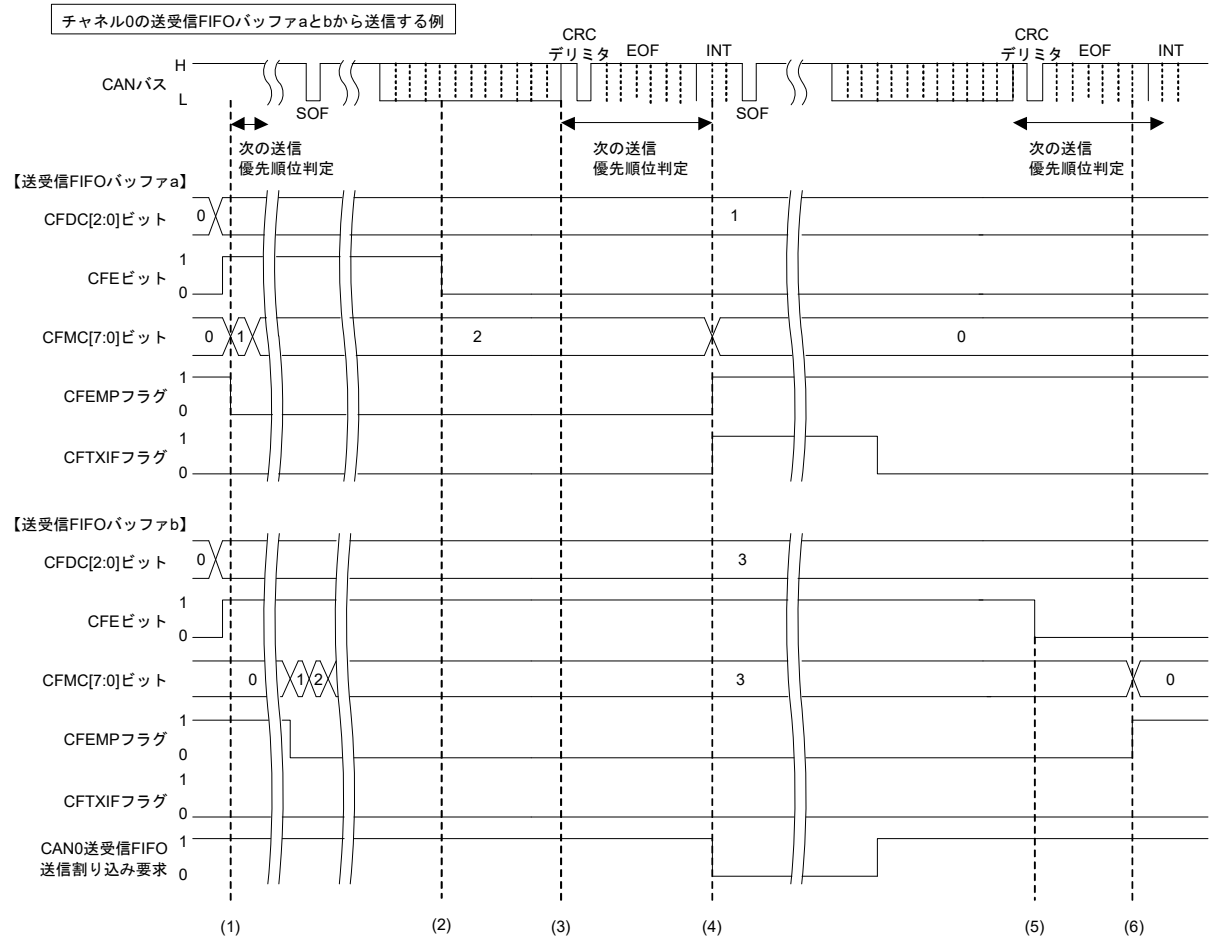


a = 0 ~ 5、b = 0 ~ 5
CFDC[2:0]、CFE：RSCAN0CFCCk レジスタのビット
CFMC[7:0]、CFEMP、CFTXIF：RSCAN0CFSTSk レジスタのフラグ

図 35.30　送受信 FIFO バッファの送信タイミング図（正常に送信完了時）

1. CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが “001b”（4 メッセージ）以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が “01h” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。
2. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
3. 送信が成功すると、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN0CFCCa レジスタの CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCAN0CFSTSk レジスタの CFTXIF フラグが “1”（送受信 FIFO 送信割り込み要求あり）になります。
4. CFTXIF フラグはプログラムでクリアできます。
5. チャネル 0 の送受信 FIFO バッファ b からの送信が完了し、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが “00h” になるため、RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

CFEMP フラグが “1” になるまで送信は続けられます。RSCAN0CFSTSa、RSCAN0CFSTSb レジスタの CFFLL フラグが “1”（送受信 FIFO バッファフル）になるまで、送信メッセージを FIFO バッファに格納することができます。



a = 0 ~ 5、b = 0 ~ 5
CFDC[2:0]、CFE：RSCAN0CFCCk レジスタのビット
CFMC[7:0]、CFEMP、CFTXIF：RSCAN0CFSTSk レジスタのフラグ

図 35.31　送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

1. CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタ（a = 0 ~ 5）の CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが “001b”（4 メッセージ）以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が “01h” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。
2. メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても送信はアボートされません。
3. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

4. 送信が成功すると、CFMC[7:0] ビットの値が “00h” になります。CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCAN0CFSTSa レジスタの CFTXIF フラグが “1”（送受信 FIFO バッファ送信割り込み要求あり）になります。CFTXIF フラグはプログラムでクリアできます。
5. CAN バス上の他の CAN ノードが送信中の場合（送受信 FIFO バッファ b からは送信されていない）、送信の優先順位判定中に RSCAN0CFCCb レジスタの CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても、送受信 FIFO バッファは直ちに禁止にはできません（RSCAN0CFSTSb レジスタの CFEMP フラグは直ちに “1”（送受信 FIFO バッファ空）にはなりません）。
6. 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットは “00h” になり、CFEMP フラグは “1” になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます（CFMC[7:0] ビットは “00h” になり、CFEMP フラグは “1” になります）。

35.9.3.3　送信キューからの送信手順

図 35.32 に送信キューからの送信手順を示します。

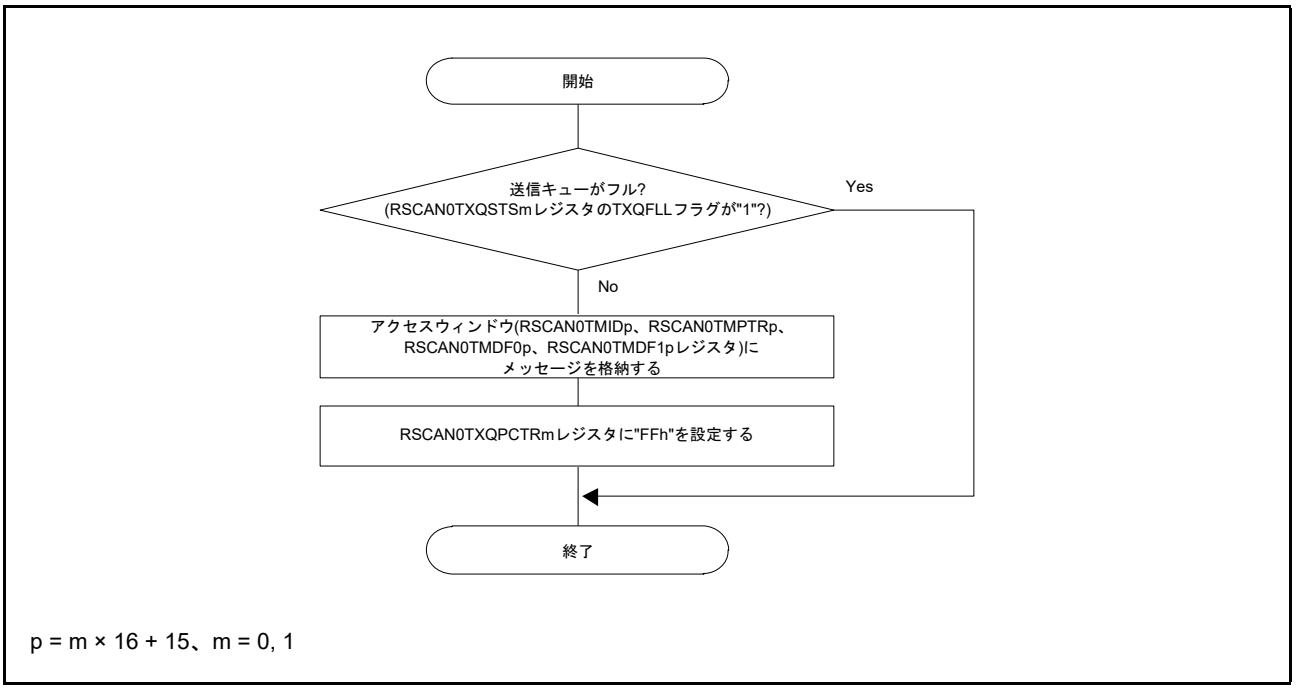


図 35.32　送信キューからの送信手順

35.9.3.4　送信履歴バッファの読み出し手順

送信履歴データは、RSCAN0THLACCm レジスタで読めます。1 データを読んだ後、対応する RSCAN0THLPCTRm レジスタ（m = 0, 1）へ “FFh” を書くと、次のデータへアクセスできます。図 35.33 に送信履歴バッファの読み出し手順を示します。

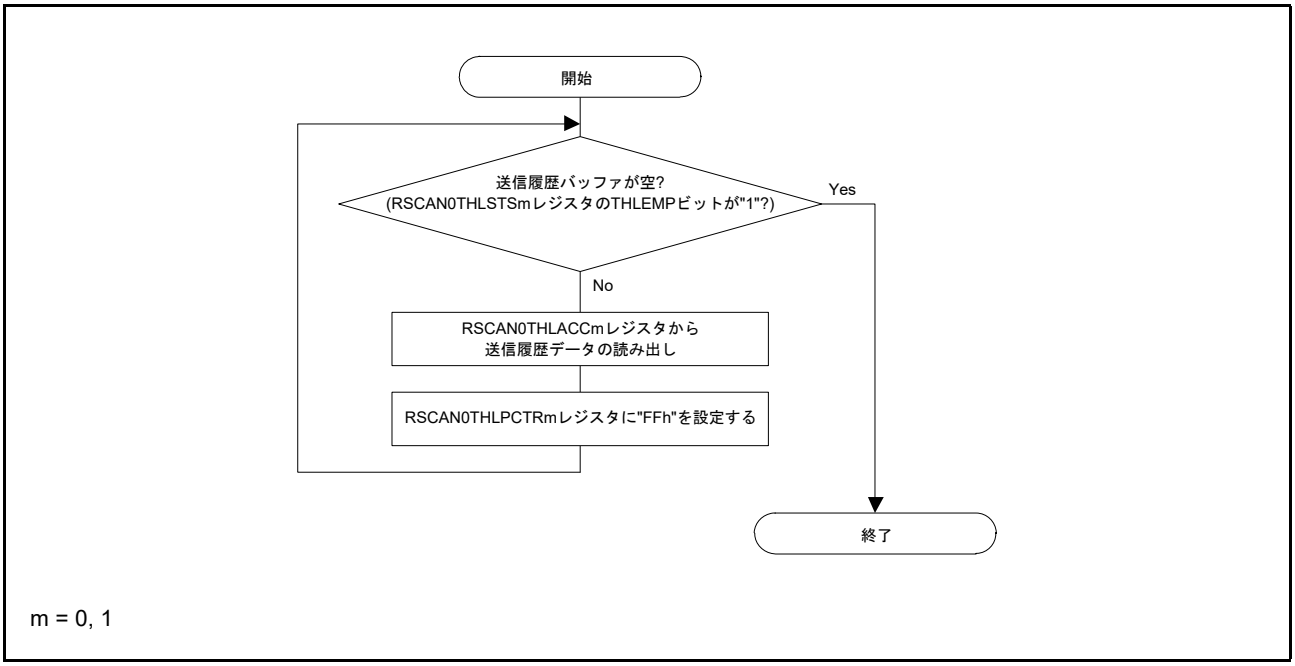


図 35.33　送信履歴バッファの読み出し手順

35.9.4　テスト設定

35.9.4.1　セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャネル単体で通信テストを行うことができます。

図 35.34 にセルフテストモードの設定手順を示します。

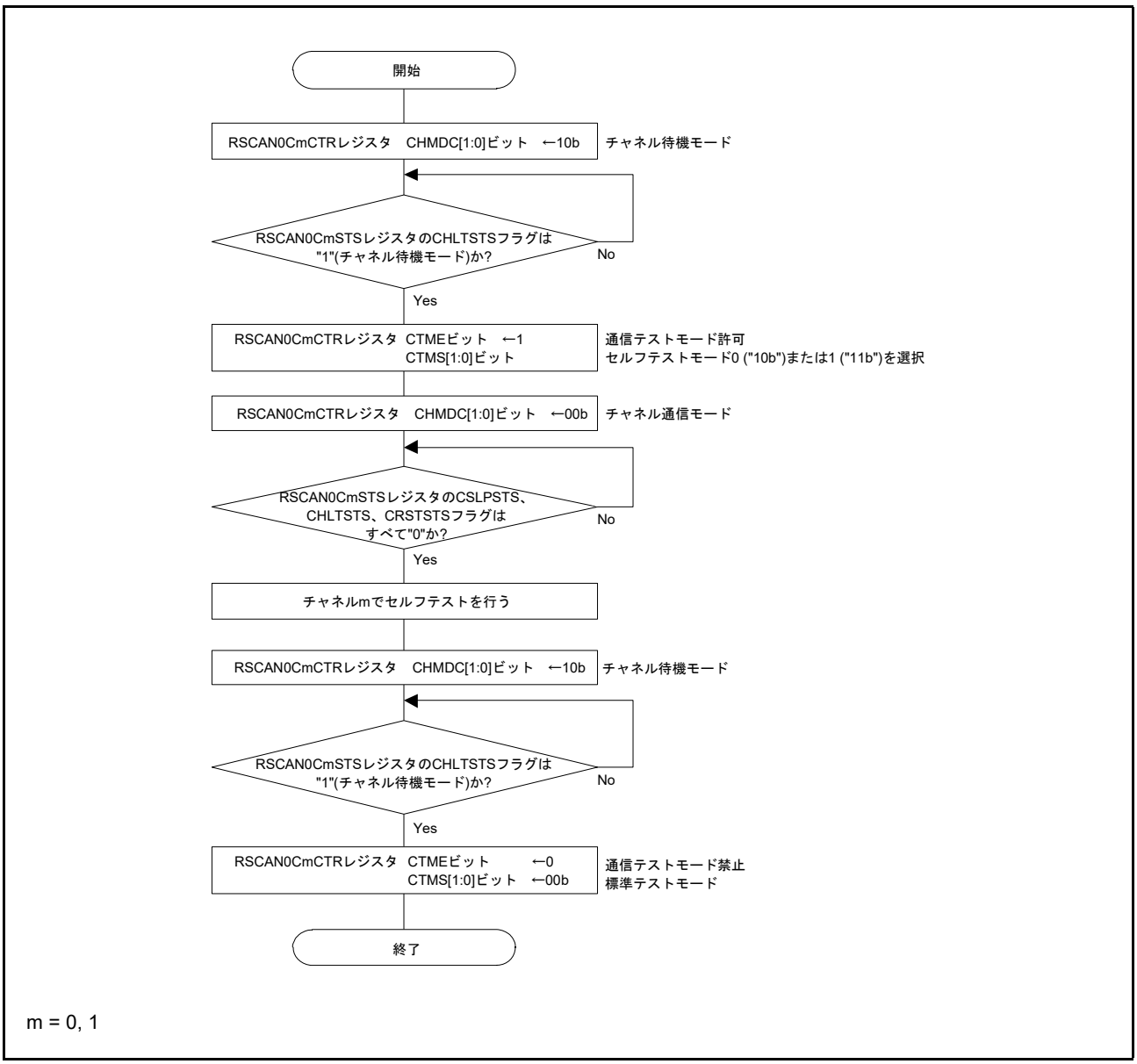


図 35.34　セルフテストモードの設定手順

35.9.4.2　プロテクト解除手順

表 35.24 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCAN0GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを “1” にしてください。

表 35.24　テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575h	8A8Ah	RSCAN0GTSTCTR レジスタ　RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。図 35.35 にプロテクト解除手順を示します。

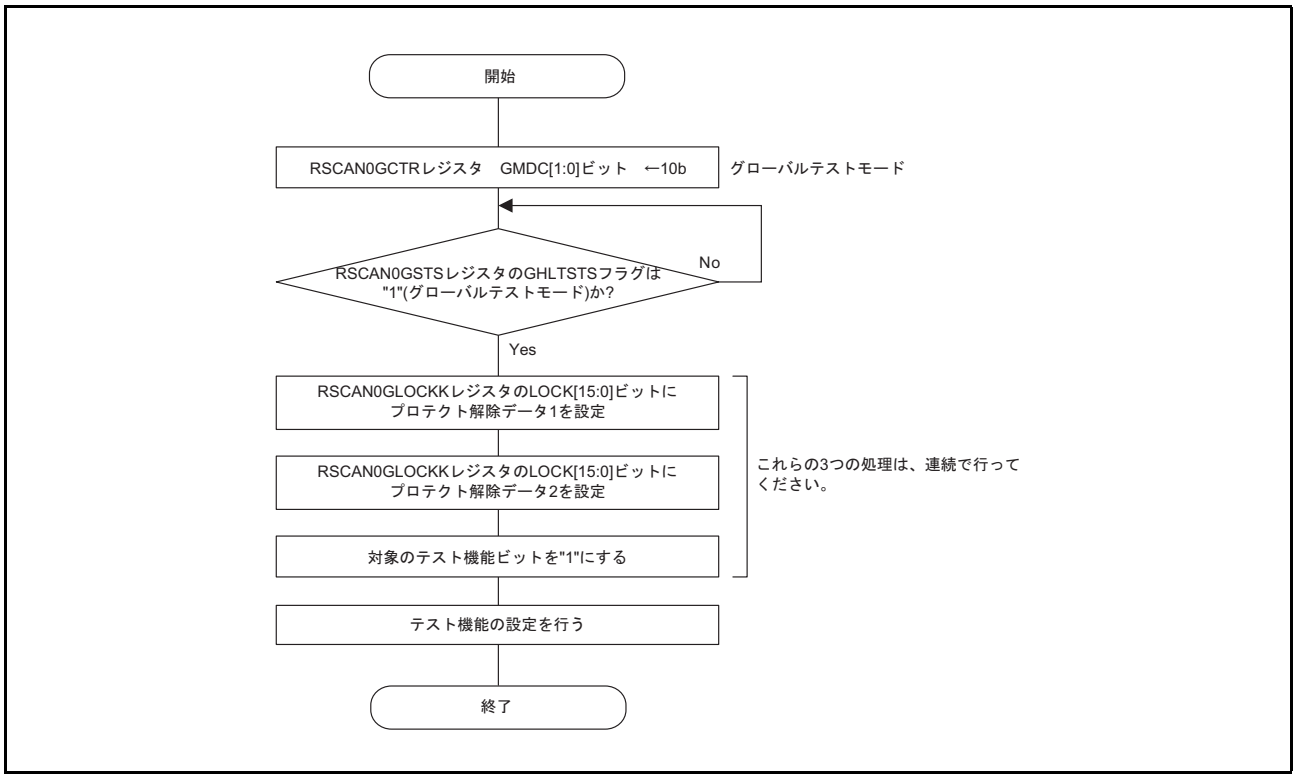


図 35.35　プロテクト解除手順

35.9.4.3　RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに “0000 0000h” を書いてください。

図 35.36 に RAM テストの設定手順を示します。

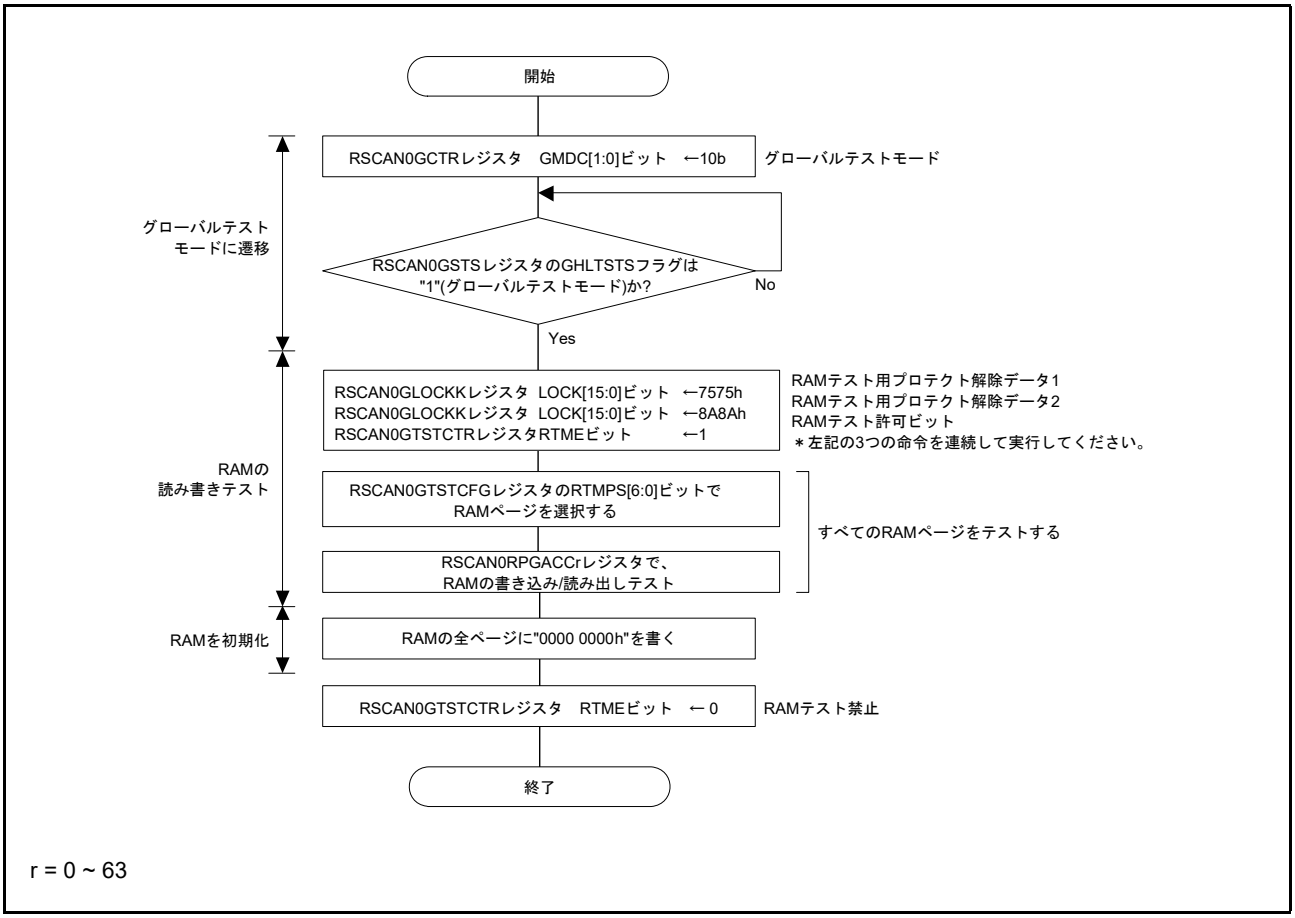


図 35.36　RAM テストの設定手順

35.9.4.4　チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。
図 35.37 にチャネル間通信テストの設定手順を示します。

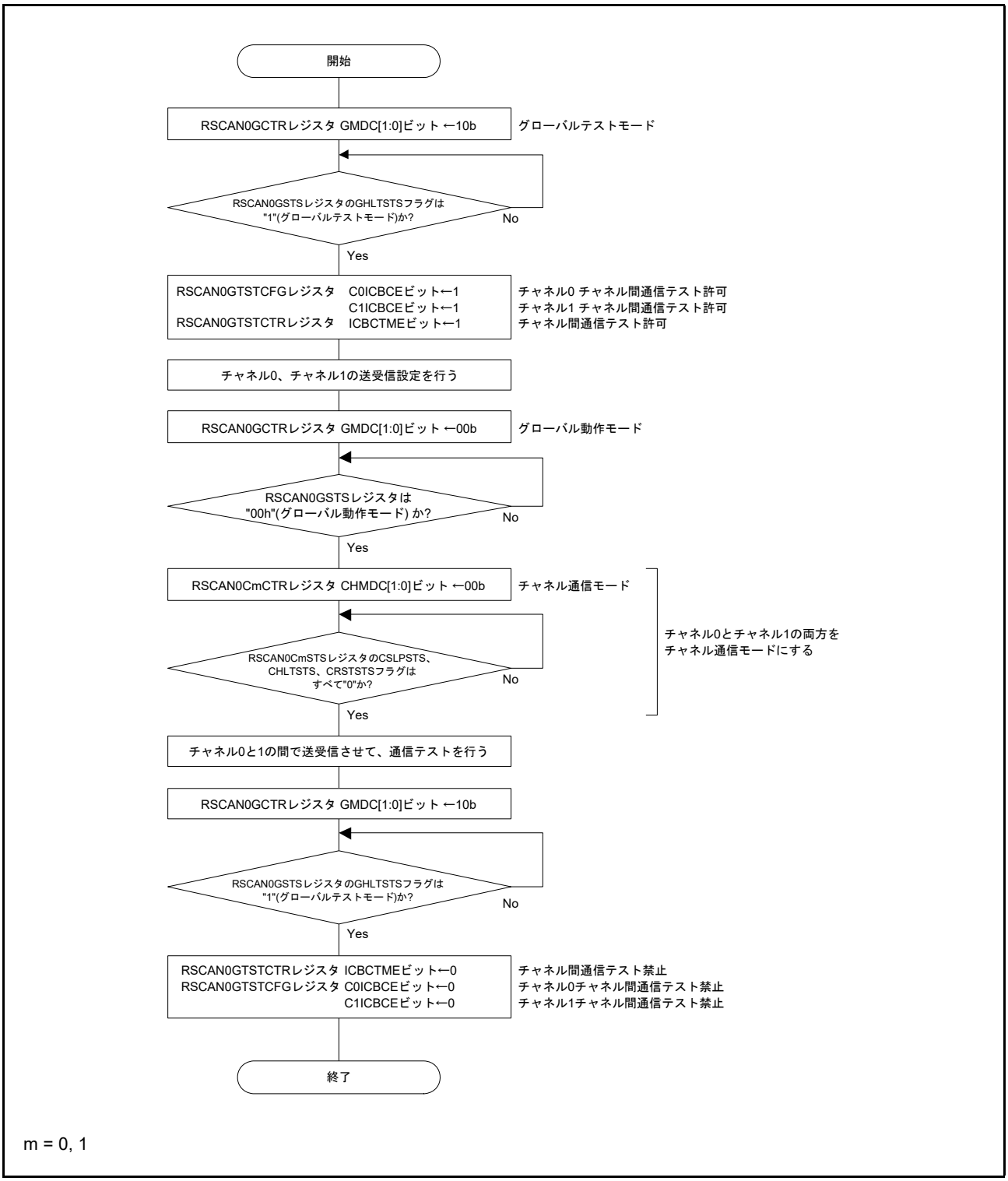


図 35.37　チャネル間通信テストの設定手順（チャネル 0-1 間通信テストの例）

35.10 RSCAN RAM のエラー検出／訂正

35.10.1 RSCAN RAM ECC

RSCAN の各バッファ RAM には ECC 機能として以下の機能があります。

- ECC エラー検出／訂正
  ECC エラー判定を行います。下記設定を選択可能です。
  - 2 ビットエラー検出と 1 ビットエラー検出／訂正を行います。
  - 2 ビットエラー検出と 1 ビットエラー検出を行います。
  ECC エラー検出／訂正を無効にもできます。（スルーモード時）
  初期状態は、エラー検出／訂正が有効です。
- エラー通知
  以下のエラー発生時は、エラーコントロールモジュール（ECM）へエラー通知を行います。
  - RSCAN RAM の ECC1 ビットエラー
  - RSCAN RAM の ECC2 ビットエラー
  - RSCAN オーバフローエラー
  初期状態は、2 ビットエラー検出時のエラー通知許可。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
- エラーステータス
  ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。
  エラーステータスのクリアレジスタを搭載しています。

注 . ECC によるエラー検出・訂正を行う場合、RSCAN モジュールによる RSCAN RAM の初期化をしてから使用してください。

35.10.2 エラー要因出力

RSCAN はバッファ RAM に対する ECC 1 ビットエラー、2 ビットエラーおよび ECC エラー検出アドレスを格納する ECCRCANEADz レジスタ（z = 0-7）のオーバフローを検出すると、エラーコントロールモジュール（ECM）に対して以下のエラー要因出力を行います。詳細については「**42. エラーコントロールモジュール（ECM）**」を参照してください。

- RSCAN RAM の ECC1 ビットエラー
- RSCAN RAM の ECC2 ビットエラー
- RSCAN オーバフローエラー

35.11　RSCAN モジュールの注意事項

- グローバルモードを変更する場合は、RSCAN0GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャネルモードを変更する場合は、RSCAN0CmSTS レジスタ（m = 0, 1）の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ（RSCAN0TMCp レジスタ）は “00h” にしてください。また、対応する送信バッファのステータスレジスタ（RSCAN0TMSTSp レジスタ）は使用しないでください。その他のステータスレジスタ（RSCAN0TMTRSTS0 ～ CAN0TMTRSTS2、RSCAN0TMTARSTS0 ～ RSCAN0TMTARSTS2、RSCAN0TMTCSTS0 ～ RSCAN0TMTCSTS2、RSCAN0TMTASTS0 ～ RSCAN0TMTASTS2 レジスタ）は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ（RSCAN0TMIEC0 ～ RSCAN0TMIEC2 レジスタ）の許可ビットは “0”（割り込み禁止）にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 未使用の受信バッファ（RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDF0q、RSCAN0RMDF1q レジスタ）、受信 FIFO バッファアクセスレジスタ（RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタ）と送受信 FIFO バッファアクセスレジスタ（RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタ）の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

36.　シリアルペリフェラルインタフェース（RSPIa）

36.1　概要

本 LSI は、4 チャネルのシリアルペリフェラルインタフェース（RSPI）を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 36.1 に RSPI の仕様を、図 36.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m（SPCMDm）で使用している m は、0 ～ 7 を表します。

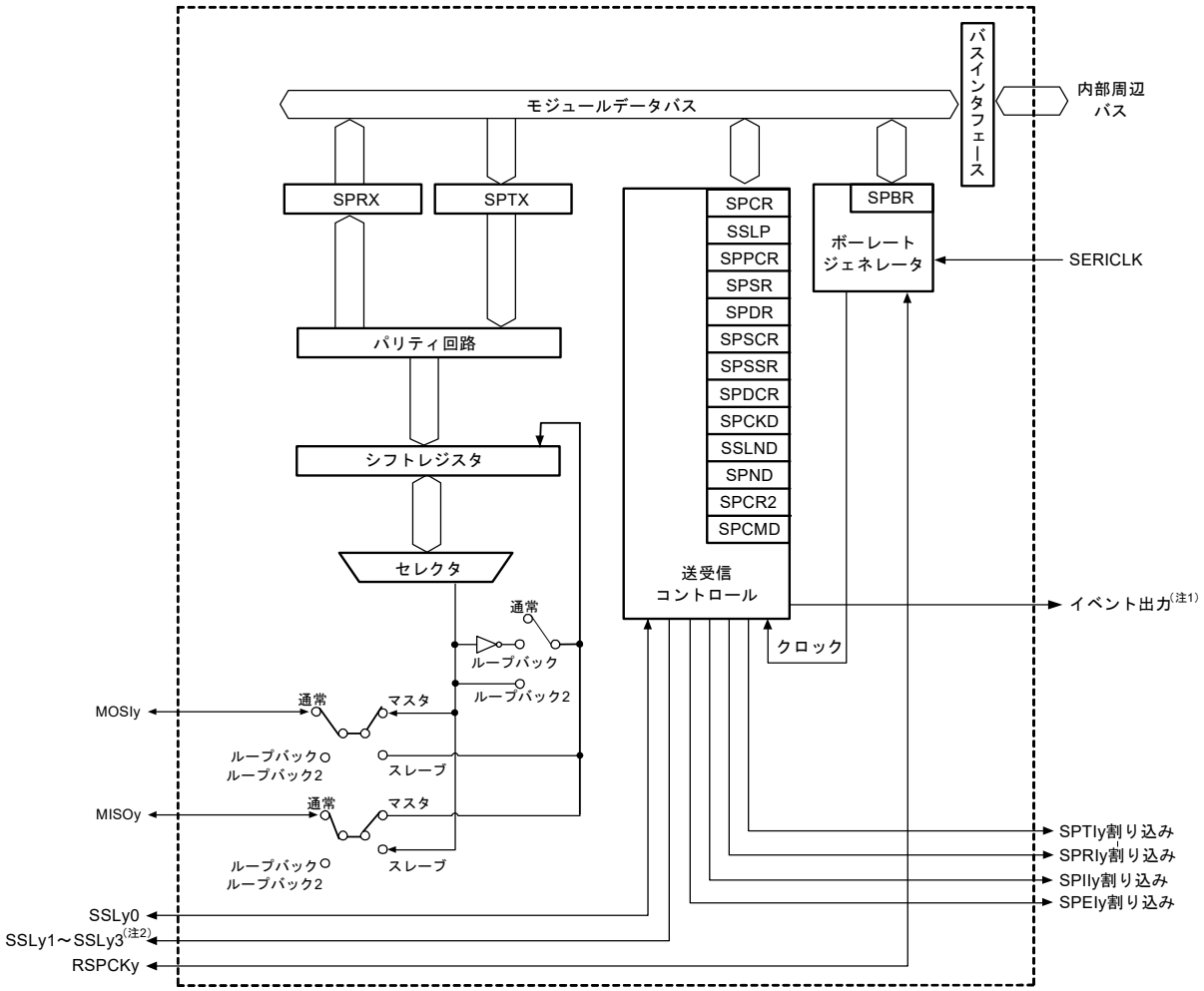
表36.1　RSPIの仕様 (1 / 2)

項目	内容
チャネル数	4チャネル
RSPI転送機能	• MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）／クロック同期式動作（3線式）でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード：全二重または送信のみを選択可能 • RSPCKの極性を変更可能 • RSPCKの位相を変更可能
データフォーマット	• MSBファースト／LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信／受信バッファは128ビット • 一度の送受信で最大4フレームを転送（1フレームは最大32ビット）
ビットレート	• マスタモード時、内蔵ボーレートジェネレータでSERICLKを分周してRSPCKを生成（分周比は4～4096分周） • スレーブ時は、SERICLKの最少8分周のクロックを、RSPCKとして入力可能（RSPCKの最大周波数はSERICLKの8分周） High幅：SERICLKの4サイクル、Low幅：SERICLKの4サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは128ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出（注1） • パリティエラー検出
SSL制御機能	• チャネル0に4本（SSL00～SSL03）、チャネル1に2本（SSL10, SSL11）、チャネル2, 3に各1本（SSL20, SSL30）のSSL端子 • シングルマスタ設定時には、SSL00-SSL03, SSL10, SSL11, SSL20, SSL30端子を出力 • マルチマスタ設定時：SSL00, SSL10, SSL20, SSL30端子は入力、SSL01-SSL03, SSL11端子は出力または未使用 • スレーブ設定時：SSL00, SSL10, SSL20, SSL30端子は入力、SSL01～SSL03, SSL11端子は未使用 • SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）を設定可能 設定範囲：1～8RSPCK　設定単位：1RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を設定可能 設定範囲：1～8RSPCK　設定単位：1RSPCK • 次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能 設定範囲：1～8RSPCK　設定単位：1RSPCK • SSL極性変更機能
マスタ転送時の制御方式	• 最大8コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性／位相、転送データ長、LSB／MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能
割り込み要因	• 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPIエラー割り込み（モードフォルト、オーバラン、パリティエラー） RSPIアイドル割り込み（RSPIアイドル）

表36.1　　RSPIの仕様 (2 / 2)

項目	内容
イベントリンク機能（注2）（出力）	• 以下のイベントをイベントリンクコントローラへ出力可能 受信バッファフルイベント信号 送信バッファエンプティイベント信号 モードフォルト／オーバラン／パリティエラーのイベント信号 RSPIアイドルイベント信号 送信完了イベント信号
その他の機能	• CMOS／オープンドレイン出力切り替え機能 • RSPI初期化機能 • ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1.　マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。
注2.　チャネル0（RSPI0）のみです 。



SPCR	：RSPI 制御レジスタ	SPDCR	：RSPI データコントロールレジスタ
SPCR2	：RSPI 制御レジスタ 2	SPCKD	：RSPI クロック遅延レジスタ
SSLP	：RSPI スレーブセレクト極性レジスタ	SSLND	：RSPI スレーブセレクトネゲート遅延レジスタ
SPPCR	：RSPI 端子制御レジスタ	SPND	：RSPI 次アクセス遅延レジスタ
SPSR	：RSPI ステータスレジスタ	SPCMD	：RSPI コマンドレジスタ（0 ～ 7 の 8 本あり）
SPDR	：RSPI データレジスタ	SPBR	：RSPI ビットレートレジスタ
SPSCR	：RSPI シーケンス制御レジスタ	SPTX	：RSPI 送信バッファ
SPSSR	：RSPI シーケンスステータスレジスタ	SPRX	：RSPI 受信バッファ

注1.　チャネル0のみ
注2.　チャネルごとに端子数が異なります（チャネル0：SSL01～SSL03、チャネル1：SSL11)
y = 0, 1, 2, 3（各チャネルに対応）

図 36.1　RSPI のブロック図

表 36.2 に RSPI で使用する入出力端子を示します。

SSLy0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKy、MOSIy、MISOy 端子の入出力方向は、マスタ／スレーブ設定と SSLy0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「36.3.2　RSPI 端子の制御」を参照してください。

表36.2　　RSPIの入出力端子

チャネル	端子名	入出力	機能
RSPI0	RSPCK0	入出力	クロック入出力
	MOSI0	入出力	マスタ送出データ入出力
	MISO0	入出力	スレーブ送出データ入出力
	SSL00	入出力	スレーブセレクト信号入出力
	SSL01	出力	スレーブセレクト信号出力
	SSL02	出力	スレーブセレクト信号出力
	SSL03	出力	スレーブセレクト信号出力
RSPI1	RSPCK1	入出力	クロック入出力
	MOSI1	入出力	マスタ送出データ入出力
	MISO1	入出力	スレーブ送出データ入出力
	SSL10	入出力	スレーブセレクト信号入出力
	SSL11	出力	スレーブセレクト信号出力
RSPI2	RSPCK2	入出力	クロック入出力
	MOSI2	入出力	マスタ送出データ入出力
	MISO2	入出力	スレーブ送出データ入出力
	SSL20	入出力	スレーブセレクト信号入出力
RSPI3	RSPCK3	入出力	クロック入出力
	MOSI3	入出力	マスタ送出データ入出力
	MISO3	入出力	スレーブ送出データ入出力
	SSL30	入出力	スレーブセレクト信号入出力

注.　SSLはチャネルごとに端子数が異なります。またチャネル識別の添え字は0～3です。

36.2　レジスタの説明

36.2.1　RSPI 制御レジスタ（SPCR）

SPCR レジスタは、RSPI の動作設定を制御するレジスタです。

SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定は、SPCR.SPE ビットが “0” の状態で行ってください。SPCR.SPE ビットが “1” の状態での書き換えは禁止です。

アドレス　RSPI0.SPCR A006 8000h、RSPI1.SPCR A006 8400h、RSPI2.SPCR A006 8800h、RSPI3.SPCR A006 8C00h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0：SPI動作（4線式） 1：クロック同期式動作（3線式）	R/W
b1	TXMD	通信動作モード選択ビット	0：全二重同期式シリアル通信 1：送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0：モードフォルトエラー検出を禁止 1：モードフォルトエラー検出を許可	R/W
b3	MSTR	マスタ/スレーブモード選択ビット	0：スレーブモード 1：マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0：エラー割り込み要求の発生を禁止 1：エラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0：送信バッファエンプティ割り込み要求の発生を禁止 1：送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0：RSPI機能は無効 1：RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0：受信バッファフル割り込み要求の発生を禁止 1：受信バッファフル割り込み要求の発生を許可	R/W

SPMS ビット（RSPI モード選択ビット）

SPI 動作（4 線式）／クロック同期式動作（3 線式）を選択するためのビットです。

クロック同期式動作を行う場合は SSLy0 ～ 3 端子を使用せず、RSPCKy 端子、MOSIy 端子、MISOy 端子の 3 端子を用いて通信を行います。また、マスタモード時（SPCR.MSTR = 1）でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを “0”、“1” どちらにも設定できます。スレーブモード時（SPCR.MSTR = 0）でクロック同期式動作を行う場合は CPHA ビットを “1” に設定してください。スレーブモード時（SPCR.MSTR = 0）でクロック同期式動作を行う場合、CPHA ビットを “0” に設定することは禁止です。（y = 0, 1, 2, 3）

TXMD ビット（送信動作モード選択ビット）

全二重同期式のシリアル通信動作、または送信のみの動作を選択するためのビットです。

TXMD ビットを “1” にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません（「36.3.6 通信動作モード」参照）。

また、TXMD ビットを “1” に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット（モードフォルトエラー検出許可ビット）

モードフォルトエラーの検出を許可／禁止するためのビットです（「36.3.8　エラー検出」を参照）。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせにしたがって、SSLy0 ～ 3（y = 0, 1, 2, 3）端子の入出力方向を決定します（「36.3.2　RSPI 端子の制御」を参照）。

MSTR ビット（RSPI マスタ／スレーブモード選択ビット）

RSPI のマスタ／スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定にしたがって、RSPCKy、MOSIy、MISOy、SSLy0 ～ 3 端子の方向を決定します。
（y = 0, 1, 2, 3）

SPEIE ビット（RSPI エラー割り込み許可ビット）

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを “1” にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを “1” にした場合、またはパリティエラーを検出して SPSR.PERF フラグを “1” にした場合の RSPI エラー割り込み要求の発生を許可／禁止します。詳細については、「36.3.8　エラー検出」を参照してください。

SPTIE ビット（送信バッファエンプティ割り込み許可ビット）

RSPI が送信バッファエンプティを検出した場合に発生する送信バッファエンプティ割り込み要求の許可／禁止を選択します。

RSPI 機能を無効（SPE ビットが “0”）に設定した場合、送信バッファエンプティを検出した状態になります。このとき SPTIE ビットを “1” とすると送信バッファエンプティ割り込みが発生します。

また送信開始時に SPTIE ビットと同時に SPE ビットを “1” とした場合も、送信バッファエンプティ割り込み要求が発生するため注意してください。

SPE ビット（RSPI 機能許可ビット）

RSPI 機能の有効／無効を選択します。

SPSR.MODF ビットが “1” の場合には、SPE ビットを “1” にすることはできません。詳細は「36.3.8　エラー検出」を参照してください。

SPE ビットを “0” にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「36.3.9　RSPI の初期化」を参照してください。また、SPTIE ビット = 1（送信バッファエンプティ割り込み許可）の場合、SPE ビットを “0” の状態から “1” または “1” の状態から “0” になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット（RSPI 受信バッファフル割り込み許可ビット）

RSPI がシリアル転送完了後の受信バッファフルを検出した場合に発生する RSPI 受信バッファフル割り込み要求の許可／禁止を選択します。

36.2.2　RSPI スレーブセレクト極性レジスタ（SSLP）

SSLP レジスタは、RSPIy（y = 0, 1, 2, 3）のスレーブセレクト信号の極性を制御するレジスタです。

SSLP レジスタの設定は、SPCR.SPE ビットが “0” の状態で行ってください。SPCR.SPE ビットが “1” の状態での書き換えは禁止です。

アドレス　RSPI0.SSLP A006 8001h、RSPI1.SSLP A006 8401h、RSPI2.SSLP A006 8801h、RSPI3.SSLP A006 8C01h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0：SSLy0信号はアクティブLow 1：SSLy0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット （注1）	0：SSLy1信号はアクティブLow 1：SSLy1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット （注2）	0：SSLy2信号はアクティブLow 1：SSLy2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット （注2）	0：SSLy3信号はアクティブLow 1：SSLy3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　チャネル2, 3 は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2.　チャネル1, 2, 3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

36.2.3　RSPI 端子制御レジスタ（SPPCR）

SPPCR レジスタは、RSPI 端子出力を制御するレジスタです。

SPPCR レジスタの設定は、SPCR.SPE ビットが “0” の状態で行ってください。SPCR.SPE ビットが “1” の状態での書き換えは禁止です。

アドレス　RSPI0.SPPCR A006 8002h、RSPI1.SPPCR A006 8402h、RSPI2.SPPCR A006 8802h、RSPI3.SPPCR A006 8C02h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0：通常モード 1：ループバックモード（データを反転して送信）	R/W
b1	SPLP2	RSPIループバック2ビット	0：通常モード 1：ループバックモード（データを反転せずに送信）	R/W
b2	SPOM	出力端子モードビット	0：CMOS出力 1：オープンドレイン出力	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0：MOSIアイドル時のMOSIy端子の出力値はLow 1：MOSIアイドル時のMOSIy端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0：MOSI出力値は前回転送の最終データ 1：MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPLP ビット（RSPI ループバックビット）

RSPI の端子モードを選択します。

RSPI は、SPLP ビットを “1” にすると、SPCR.MSTR ビットが “1” ならば、MISOy 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIy 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。（ループバックモード）
（y = 0, 1, 2, 3）

SPLP2 ビット（RSPI ループバック 2 ビット）

RSPI の端子モードを選択します。

RSPI は、SPLP2 ビットを “1” にすると、SPCR.MSTR ビットが “1” ならば、MISOy 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIy 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。（ループバックモード）
（y = 0, 1, 2, 3）

SPOM ビット（出力端子モードビット）

RSPI の出力端子を CMOS 出力／オープンドレイン出力に設定するためのビットです。詳細は「36.3.2 RSPI 端子の制御」を参照してください。

MOIFV ビット（MOSI アイドル固定値ビット）

マスタモードで MOIFE ビットが “1” の場合、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSIy 端子の出力値を Low、もしくは High にするか選択できます。

MOIFE ビット（MOSI アイドル値固定許可ビット）

RSPI がマスタモードのとき、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSIy 出力値を固定するかどうかを選択するビットです。MOIFE が “0” の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIy に出力します。MOIFE が “1” の場合には、RSPI は MOIFV ビットに設定された Low 出力、もしくは High 出力の固定値を MOSIy に出力します。
（y = 0, 1, 2, 3）

36.2.4　RSPI ステータスレジスタ（SPSR）

SPSR レジスタは、RSPI 通信のステータス表示をするレジスタです。

アドレス　RSPI0.SPSR A006 8003h、RSPI1.SPSR A006 8403h、RSPI2.SPSR A006 8803h、RSPI3.SPSR A006 8C03h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PERF	MODF	IDLNF	OVRF
リセット後の値	x	0	x	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R/(W) （注1）
b1	IDLNF	RSPIアイドルフラグ	0：RSPIがアイドル状態 1：RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし 1：モードフォルトエラー発生	R/(W) （注1）
b3	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R/(W) （注1）
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b5	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください。	R/(W)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b7	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください。	R/(W)

注1.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

OVRF フラグ（オーバランエラーフラグ）

オーバランエラーの発生状況を示します。マスタモード（SPCR.MSTR ビットが “1”）かつ RSPCK クロック自動停止機能有効（SPCR2.SCKASE ビットが “1”）のときは、オーバランエラーが発生しないため、“1” になりません。詳細は「36.3.8.1　オーバランエラー」を参照してください。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0” になる条件]

- OVRF フラグが “1” になったときの SPSR レジスタを読んだ後、OVRF フラグに “0” を書いたとき

IDLNF フラグ（RSPI アイドルフラグ）

RSPI の転送状況を示します。

[“1” になる条件]

【マスタモード】

- 下記「“0” になる条件」でマスタモード時の（条件 1）と（条件 2）の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが “1”（RSPI 機能が有効）のとき

[“0” になる条件]

【マスタモード】

下記 1. が満たされたとき（条件 1）、または下記 2. ～ 4. がすべて満たされたとき（条件 2）

1. SPCR.SPE ビットが “0”（RSPI 初期化）のとき
2. 送信用バッファ（SPTX）が空（次転送データがセットされていない）のとき
3. SPSSR.SPCP[2:0] ビットが “000b”（シーケンス制御の先頭）であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までが動作完了された状態）

【スレーブモード】

- SPCR.SPE ビットが “0”（RSPI 初期化）のとき

MODF フラグ（モードフォルトエラーフラグ）

モードフォルトエラーの発生を示します。

[“1” になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1”（マスタモード）、SPCR.MODFEN ビットが “1”（モードフォルトエラー検出を許可）の状態で、SSLyi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0”（スレーブモード）、SPCR.MODFEN ビットが “1”（モードフォルトエラー検出を許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLyi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLyi 信号のアクティブレベルは、SSLP.SSLiP ビット（SSL 信号極性設定ビット）によって決定されます。

（y = 0, 1, 2, 3（各チャネルに対応）、i = 0 ～ 3）

[“0” になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを読んだ後、MODF フラグに “0” を書いたとき

PERF フラグ（パリティエラーフラグ）

パリティエラーの発生を示すフラグです。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき

[“0” になる条件]

- PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書いたとき

36.2.5　RSPI データレジスタ（SPDR）

SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。

ロングワードアクセス（SPLW ビットが “1”）のときは、SPDR をアクセスしてください。

ワードアクセス（SPLW ビットが “0”）のときは、SPDR の上位側 16 ビット（H）をアクセスしてください。

アドレス　RSPI0.SPDR A006 8004h、RSPI1.SPDR A006 8404h、RSPI2.SPDR A006 8804h、RSPI3.SPDR A006 8C04h

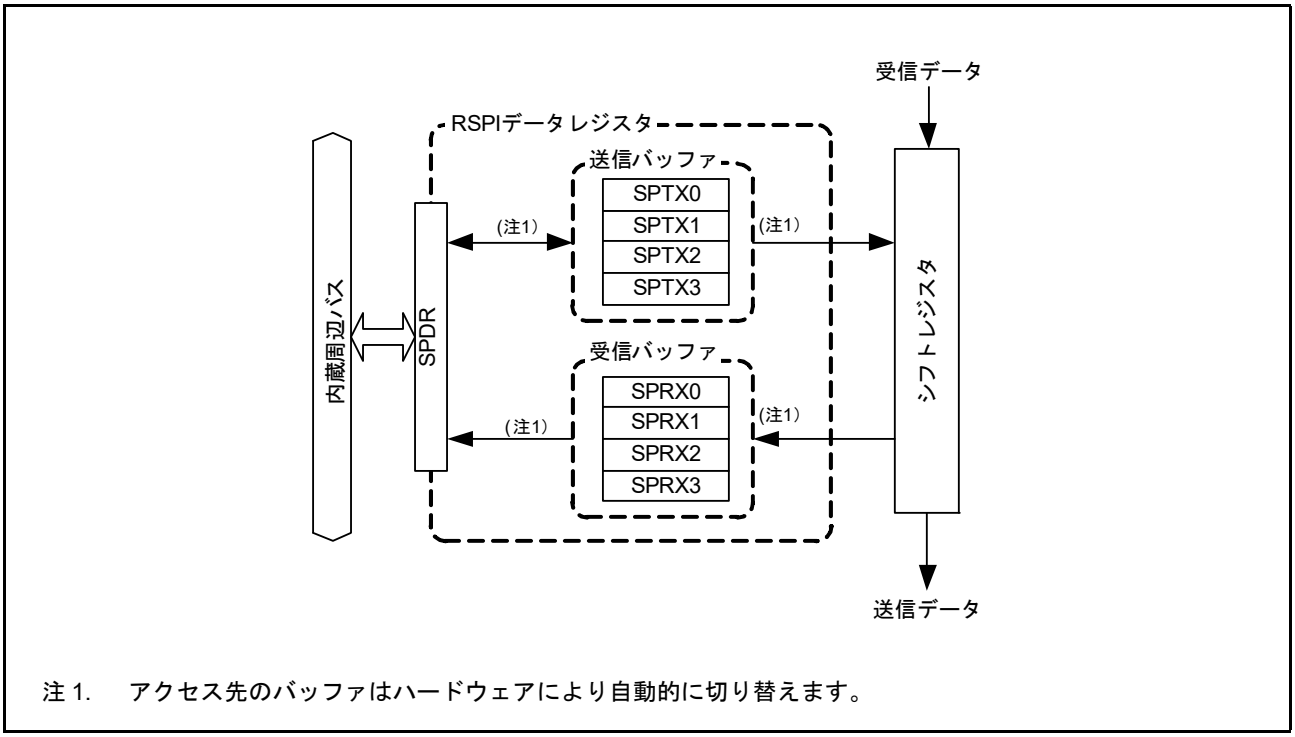
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス　RSPI0.SPDR A006 8004h、RSPI1.SPDR A006 8404h、RSPI2.SPDR A006 8804h、RSPI3.SPDR A006 8C04h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	H															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 36.2 に示します。



注 1.　アクセス先のバッファはハードウェアにより自動的に切り替えます。

図 36.2　SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTXn（n = 0 ～ 3）は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn（n = 0 ～ 3）の非参照ビットには、SPTXn（n = 0 ～ 3）の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1)　バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、RSPI データコントロールレジスタの RSPI ロングワードアクセス／ワードアクセス設定ビット（SPDCR.SPLW）で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a)　書き込み

SPDR レジスタに書き込むことによって、送信バッファ（SPTXn）に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 36.3 に送信バッファのバスインタフェース（ライト時）の構成図を示します。

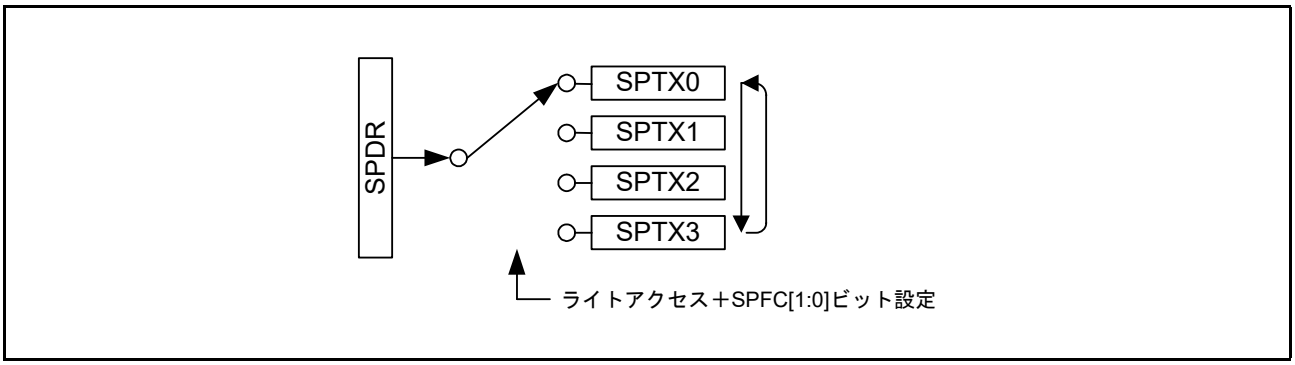


図 36.3　SPDR レジスタの構成図（ライト時）

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ～ 3 の切り替え順序
  SPFC[1:0] ビットが “00b” のとき：SPTX0 → SPTX0 → SPTX0 →・・・
  SPFC[1:0] ビットが “01b” のとき：SPTX0 → SPTX1 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “10b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “11b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 →・・・

RSPI 制御レジスタの RSPI 機能許可ビット（SPCR.SPE）が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ（SPTXn）への書き込みは、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタ（SPDCR）のフレーム数設定ビット（SPFC[1:0]）で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間は、送信バッファ（SPTXn）に書き込みを行っても同バッファの値は更新されません。

(b)　読み出し

SPDR レジスタを読み出すことによって、受信バッファ（SPRXn）、または送信バッファ（SPTXn）の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信／送信データ選択ビット（SPDCR.SPRDTD）によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 36.4 に受信バッファと送信バッファのバスインタフェース（リード時）の構成図を示します。

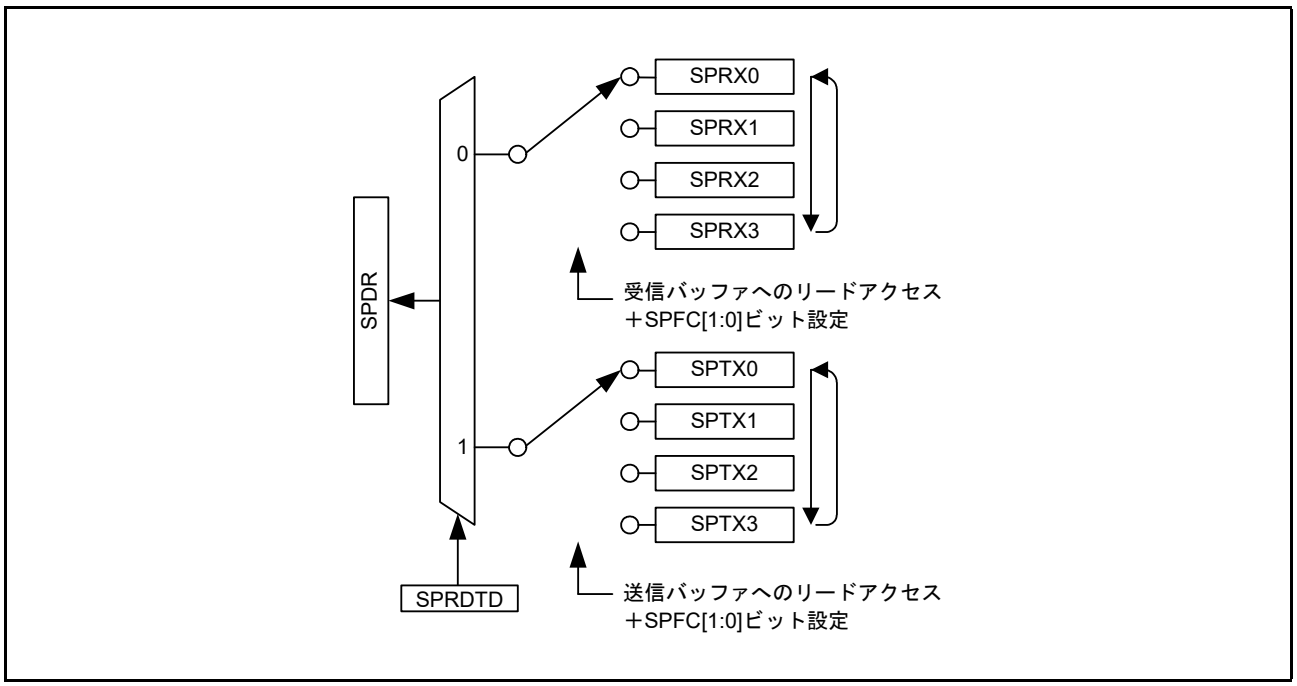


図 36.4　　SPDR レジスタの構成図（リード時）

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット（SPCR.SPE）が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間は、送信バッファの読み出し値は、すべて “0” となります。

36.2.6　RSPI シーケンス制御レジスタ（SPSCR）

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに “1” の状態において、SPSCR.SPSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが “0” の状態で書き換えてください。

アドレス　RSPI0.SPSCR A006 8008h、RSPI1.SPSCR A006 8408h、RSPI2.SPSCR A006 8808h、RSPI3.SPSCR A006 8C08h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0～7レジスタ（番号） 0 0 0 : 1 0→0→… 0 0 1 : 2 0→1→0→… 0 1 0 : 3 0→1→2→0→… 0 1 1 : 4 0→1→2→3→0→… 1 0 0 : 5 0→1→2→3→4→0→… 1 0 1 : 6 0→1→2→3→4→5→0→… 1 1 0 : 7 0→1→2→3→4→5→6→0→… 1 1 1 : 8 0→1→2→3→4→5→6→7→0→… 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSLN[2:0] ビット（RSPI シーケンス長設定ビット）

マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定します。マスタモードの RSPI は SPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照する SPCMD0 ～ 7 レジスタと参照順を変更します。

スレーブモードでは、常に SPCMD0 レジスタが参照されます。

36.2.7　RSPI シーケンスステータスレジスタ（SPSSR）

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

アドレス　RSPI0.SPSSR A006 8009h、RSPI1.SPSSR A006 8409h、RSPI2.SPSSR A006 8809h、RSPI3.SPSSR A006 8C09h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPECM[2:0]			—	SPCP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2　b0 0 0 0：SPCMD0 0 0 1：SPCMD1 0 1 0：SPCMD2 0 1 1：SPCMD3 1 0 0：SPCMD4 1 0 1：SPCMD5 1 1 0：SPCMD6 1 1 1：SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます。	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6　b4 0 0 0：SPCMD0 0 0 1：SPCMD1 0 1 0：SPCMD2 0 1 1：SPCMD3 1 0 0：SPCMD4 1 0 1：SPCMD5 1 1 0：SPCMD6 1 1 1：SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます。	R

SPCP[2:0] ビット（RSPI コマンドポインタビット）

RSPI のシーケンス制御で、現在ポインタで指されている SPCMDm レジスタを示します。
なお、RSPI のシーケンス制御については、**「36.3.10.1　マスタモード動作」**を参照してください。

SPECM[2:0] ビット（RSPI エラーコマンドビット）

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMDm レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに “0” で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、**「36.3.8　エラー検出」**を参照してください。また、RSPI のシーケンス制御については、**「36.3.10.1　マスタモード動作」**を参照してください。

36.2.8　RSPI ビットレートレジスタ（SPBR）

SPBR レジスタは、マスタモード時のビットレート設定を制御するレジスタです。SPCR.MSTR, SPE ビットがともに “1” の状態において、SPBR レジスタを書き換えることは禁止です。

アドレス　RSPI0.SPBR A006 800Ah、RSPI1.SPBR A006 840Ah、RSPI2.SPBR A006 880Ah、RSPI3.SPBR A006 8C0Ah



RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、入力クロックのビットレートに依存します。（電気的特性を満足するビットレートを使用してください）

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値（0、1、2、……、255）、N は BRDV[1:0] ビットの設定値（0、1、2、3）です（m = 0 ～ 7）。ただし、n = 0（SPR[7:0] = 0）かつ、N = 0（BRDV[1:0] = 0）の設定は禁止です。

$$\text{ビットレート} = \frac{f(\text{SERICLK})}{2 \times (n+1)\, 2^{N}}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 36.3 に示します。

表 36.3　SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値（n）	BRDV[1:0] ビットの設定値（N）	分周比	ビットレート	
			SERICLK = 120MHz	SERICLK = 150MHz
0	0	2	設定禁止	設定禁止
1	0	4	30.0Mbps	37.5Mbps
2	0	6	20.0Mbps	25.0Mbps
3	0	8	15.0Mbps	18.8Mbps
4	0	10	12.0Mbps	15.0Mbps
5	0	12	10.0Mbps	12.5Mbps
5	1	24	5.00Mbps	6.25Mbps
5	2	48	2.50Mbps	3.13Mbps
5	3	96	1.25Mbps	1.56Mbps
255	3	4096	29.3kbps	36.6kbps

注 .　電気的特性の範囲内になるよう設定をしてください。

36.2.9　RSPI データコントロールレジスタ（SPDCR）

SPDCR レジスタは、SPDR レジスタのデータに対する制御レジスタです。

SPCMDm.SPB[3:0] ビット、SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます（m = 0 ～ 7）。

SPCR.SPE ビットが “1” の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが “0” のときに書き換えてください。

アドレス　RSPI0.SPDCR A006 800Bh、RSPI1.SPDCR A006 840Bh、RSPI2.SPDCR A006 880Bh、RSPI3.SPDCR A006 8C0Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SPLW	SPRDTD	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0：1フレーム 0 1：2フレーム 1 0：3フレーム 1 1：4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	SPRDTD	RSPI受信／送信データ選択ビット	0：SPDRは受信バッファを読み出す 1：SPDRは送信バッファを読み出す （ただし、送信バッファが空のとき）	R/W
b5	SPLW	RSPIロングワードアクセス／ワードアクセス設定ビット	0：SPDRレジスタへはワードアクセス 1：SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPFC[1:0] ビット（フレーム数設定ビット）

SPDR レジスタに格納できる（1 回の転送起動）フレーム数を設定します。SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信バッファフル割り込みが発生と送信バッファエンプティ割り込みが発生または送信開始するためのフレーム数も変更します。**表 36.4** に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例以外の設定は禁止です。

表 36.4　SPSLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	受信バッファフル割り込み発生、送信バッファにデータありになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット（RSPI 受信／送信データ選択ビット）

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「36.2.5　RSPI データレジスタ（SPDR）」を参照してください。

SPLW ビット（RSPI ロングワードアクセス／ワードアクセス設定ビット）

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが “0” のときはワードアクセス、SPLW ビットが “1” のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが “0” のとき、SPCMDm.SPB[3:0] ビット（RSPI データ長設定ビット）の設定は、8 ～ 16 ビットに設定してください。20、24、32 ビット の設定は禁止です。

36.2.10　RSPI クロック遅延レジスタ（SPCKD）

SPCKD レジスタは、SPCMDm.SCKDEN ビットが “1” の状態における、SSLyi 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の状態において、SPCKD レジスタを書き換えることは禁止です（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応）、i = 0 ～ 3）。

アドレス　RSPI0.SPCKD A006 800Ch、RSPI1.SPCKD A006 840Ch、RSPI2.SPCKD A006 880Ch、RSPI3.SPCKD A006 8C0Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SCKDL[2:0] ビット（RSPCK 遅延設定ビット）

SPCMDm.SCKDEN ビットが “1” の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを “000b” にしてください。

36.2.11　RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSLyi 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の状態における、SSLND レジスタの書き換えは禁止です（y = 0, 1, 2, 3（各チャネルに対応）、i = 0 ～ 3）。

アドレス　RSPI0.SSLND A006 800Dh、RSPI1.SSLND A006 840Dh、RSPI2.SSLND A006 880Dh、RSPI3.SSLND A006 8C0Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

SLNDL[2:0] ビット（SSL ネゲート遅延設定ビット）

マスタモードの RSPI の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを “000b” にしてください。

36.2.12　RSPI 次アクセス遅延レジスタ（SPND）

SPND レジスタは、SPCMDm.SPNDEN ビットが “1” の状態で、シリアル転送終了後の SSLyi 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の状態における、SPND レジスタの書き換えは禁止です（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応）、i = 0 ～ 3）。

アドレス　RSPI0.SPND A006 800Eh、RSPI1.SPND A006 840Eh、RSPI2.SPND A006 880Eh、RSPI3.SPND A006 8C0Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1RSPCK＋2SERICLK 0 0 1 : 2RSPCK＋2SERICLK 0 1 0 : 3RSPCK＋2SERICLK 0 1 1 : 4RSPCK＋2SERICLK 1 0 0 : 5RSPCK＋2SERICLK 1 0 1 : 6RSPCK＋2SERICLK 1 1 0 : 7RSPCK＋2SERICLK 1 1 1 : 8RSPCK＋2SERICLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPNDL[2:0] ビット（RSPI 次アクセス遅延設定ビット）

SPCMDm.SPNDEN ビットが “1” の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを “000b” にしてください。

36.2.13　RSPI 制御レジスタ 2（SPCR2）

SPCR2 レジスタは RSPI の動作設定を制御するレジスタです。

SPCR.SPE ビットが “1” の状態における、SPCR2 レジスタの SPPE、SPOE、SCKASE ビットの変更は禁止です。

アドレス　RSPI0.SPCR2 A006 800Fh、RSPI1.SPCR2 A006 840Fh、RSPI2.SPCR2 A006 880Fh、RSPI3.SPCR2 A006 8C0Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0：送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1：送信データにパリティビットを付加し、受信データのパリティチェックを行う（SPCR.TXMD = 0のとき） 送信データにパリティビットを付加するが、受信データのパリティチェックは行わない（SPCR.TXMD = 1のとき）	R/W
b1	SPOE	パリティモードビット	0：偶数パリティで送受信 1：奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0：アイドル割り込み要求の発生を禁止 1：アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己判断ビット	0：パリティ回路自己診断機能は無効 1：パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット	0：RSPCK自動停止機能が無効 1：RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPPE ビット（パリティ許可ビット）

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが “1”、SPCR2.SPPE ビットが “1” の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット（パリティモードビット）

偶数パリティ／奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが “1” のときのみ有効です。

SPIIE ビット（RSPI アイドル割り込み許可ビット）

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが “0” になった場合に、RSPI アイドル割り込み要求の発生を許可／禁止します。

PTE ビット（パリティ自己診断ビット）

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット（RSPCK 自動停止機能許可ビット）

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「36.3.8.1　**オーバランエラー**」を参照してください。

36.2.14　RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7）

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを制御するレジスタです。1 チャネルに、8 本の RSPI コマンドレジスタがあります（m = 0 ～ 7）。

また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSLN[2:0] ビットの設定にしたがってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の（次転送のデータがセットされていない）状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが “0”、SPCR.SPE ビットが “1” の状態における、SPCMDm レジスタの書き換えは禁止です。

アドレス

RSPI0.SPCMD0 A006 8010h、RSPI0.SPCMD1 A006 8012h、RSPI0.SPCMD2 A006 8014h、
RSPI0.SPCMD3 A006 8016h、RSPI0.SPCMD4 A006 8018h、RSPI0.SPCMD5 A006 801Ah、
RSPI0.SPCMD6 A006 801Ch、RSPI0.SPCMD7 A006 801Eh、
RSPI1.SPCMD0 A006 8410h、RSPI1.SPCMD1 A006 8412h、RSPI1.SPCMD2 A006 8414h、
RSPI1.SPCMD3 A006 8416h、RSPI1.SPCMD4 A006 8418h、RSPI1.SPCMD5 A006 841Ah、
RSPI1.SPCMD6 A006 841Ch、RSPI1.SPCMD7 A006 841Eh、
RSPI2.SPCMD0 A006 8810h、RSPI2.SPCMD1 A006 8812h、RSPI2.SPCMD2 A006 8814h、
RSPI2.SPCMD3 A006 8816h、RSPI2.SPCMD4 A006 8818h、RSPI2.SPCMD5 A006 881Ah、
RSPI2.SPCMD6 A006 881Ch、RSPI2.SPCMD7 A006 881Eh、
RSPI3.SPCMD0 A006 8C10h、RSPI3.SPCMD1 A006 8C12h、RSPI3.SPCMD2 A006 8C14h、
RSPI3.SPCMD3 A006 8C16h、RSPI3.SPCMD4 A006 8C18h、RSPI3.SPCMD5 A006 8C1Ah、
RSPI3.SPCMD6 A006 8C1Ch、RSPI3.SPCMD7 A006 8C1Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLy[2:0]			BRDV[1:0]		CPOL	CPHA
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0：アイドル時のRSPCKがLow 1：アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0：ベースのビットレートを選択 0 1：ベースのビットレートの2分周を選択 1 0：ベースのビットレートの4分周を選択 1 1：ベースのビットレートの8分周を選択	R/W
b6-b4	SSLy[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0：SSLy0（y = 0, 1, 2, 3） 0 0 1：SSLy1（y = 0, 1のみ） 0 1 0：SSL02 0 1 1：SSL03 上記以外は設定禁止	R/W
b7	SSLKP	SSL信号レベル保持ビット	0：転送終了時に全SSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100～0111：8ビット 1 0 0 0：9ビット 1 0 0 1：10ビット 1 0 1 0：11ビット 1 0 1 1：12ビット 1 1 0 0：13ビット 1 1 0 1：14ビット 1 1 1 0：15ビット 1 1 1 1：16ビット 0 0 0 0：20ビット 0 0 0 1：24ビット 0010、0011：32ビット	R/W

ビット	シンボル	ビット名	機能	R/W
b12	LSBF	RSPI LSB ファーストビット	0：MSB ファースト 1：LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0：次アクセス遅延は1RSPCK＋2SERICLK 1：次アクセス遅延はRSPI次アクセス遅延レジスタ（SPND）の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0：SSLネゲート遅延は1RSPCK 1：SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ（SSLND）の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0：RSPCK遅延は1RSPCK 1：RSPCK遅延はRSPIクロック遅延レジスタ（SPCKD）の設定値	R/W

CPHA ビット（RSPCK 位相設定ビット）

マスタモード／スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット（RSPCK 極性設定ビット）

マスタモード／スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット（ビットレート分周設定ビット）

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します（「36.2.8　RSPI ビットレートレジスタ（SPBR）」を参照）。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます（m = 0 ～ 7）。

SSLy[2:0] ビット（SSL 信号アサート設定ビット）

マスタモードの RSPI がシリアル転送する場合の SSLyi 信号のアサートを制御するためのビットです。SSLy[2:0] ビットの設定値が、SSLyi 信号のアサートを制御します。SSLyi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLy[2:0] ビットを “000b” にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます（SSLy0 端子は入力になるため）。

なお、RSPI をスレーブモードで使用する場合には、SSLy[2:0] ビットを “000b” にしてください。

（y = 0, 1, 2, 3（各チャネルに対応）、i = 0 ～ 3）

SSLKP ビット（SSL 信号レベル保持ビット）

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLyi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを “1” とすることによってバースト転送が可能となります。詳細は「36.3.10.1　マスタモード動作 の (4)　バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを “0” にしてください。

（y = 0, 1, 2, 3（各チャネルに対応）、i = 0 ～ 3）

SPB[3:0] ビット（RSPI データ長設定ビット）

マスタモード／スレーブモードの RSPI の転送データ長を設定します。

LSBF ビット（RSPI LSB ファーストビット）

マスタモード／スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット（RSPI 次アクセス遅延許可ビット）

マスタモードの RSPI がシリアル転送を終了して SSLyi 信号を非アクティブにしてから、次アクセスの SSLyi 信号アサートを可能にするまでの期間（次アクセス遅延）を設定します。SPNDEN ビットが “0” のとき、RSPI は次アクセス遅延を 1RSPCK+2SERICLK にします。SPNDEN ビットが “1” のとき、RSPI は SPND レジスタの設定にしたがった次アクセス遅延を挿入します（y = 0, 1, 2, 3（各チャネルに対応）、i = 0 ～ 3）。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを “0” にしてください。

SLNDEN ビット（SSL ネゲート遅延設定許可ビット）

マスタモードの RSPI が、RSPCK を発振停止してから SSLyi 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定します。SLNDEN ビットが “0” のとき、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN ビットが “1” のとき、RSPI は SSLND レジスタの設定にしたがった RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを “0” にしてください。

SCKDEN ビット（RSPCK 遅延設定許可ビット）

マスタモードの RSPI が、SSLyi 信号をアクティブにしてから RSPCK を発振するまでの期間（RSPCK 遅延）を設定します。SCKDEN ビットが “0” のとき、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN ビットが “1” のとき、RSPI は SPCKD レジスタの設定にしたがった RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを “0” にしてください。

36.3　動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

36.3.1　RSPI 動作の概要

RSPI は、スレーブモード（SPI 動作）、シングルマスタモード（SPI 動作）、マルチマスタモード（SPI 動作）、スレーブモード（クロック同期式動作）、マスタモード（クロック同期式動作）での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 36.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 36.5　RSPIのモードとSPCRレジスタの設定の関係および各モードの概要

モード	スレーブ（SPI動作）	シングルマスタ（SPI動作）	マルチマスタ（SPI動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKy信号	入力	出力	出力／Hi-Z	入力	出力
MOSIy信号	入力	出力	出力／Hi-Z	入力	出力
MISOy信号	出力／Hi-Z	入力	入力	出力	入力
SSLy0信号	入力	出力	入力	Hi-Z（注1）	Hi-Z（注1）
SSLy1～SSLy3信号	Hi-Z（注1）	出力	出力／Hi-Z	Hi-Z（注1）	Hi-Z（注1）
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～SERICLK/8	～SERICLK/4	～SERICLK/4	～SERICLK/8	～SERICLK/4
クロックソース	RSPCK入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK入力	内蔵ボーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種（CPHA = 1）	2種
先頭転送ビット	MSB/LSB				
転送データ長	8～16、20、24、32ビット				
バースト転送	可能（CPHA = 1）	可能（CPHA = 0,1）	可能（CPHA = 0,1）	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力アクティブまたはRSPCK発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み	送信バッファエンプティ割り込み要求で送信バッファ書き込み	RSPCK発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり（注2）				
オーバランエラー検出	あり（注2）	あり（注2）（注4）	あり（注2）（注4）	あり（注2）	あり（注2）
パリティエラー検出	あり（注2）（注3）				
モードフォルトエラー検出	あり（MODFEN = 1）	なし	あり	なし	なし

注1.　本モードでは使用しません。
注2.　SPCR.TXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。
注3.　SPCR2.SPPEビットが“0”のときは、パリティエラー検出を行いません。
注4.　SPCR2.SCKASEビットが“1”のときは、オーバランエラー検出を行いません。
y = 0, 1, 2, 3（各チャネルに対応）

36.3.2　RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS、SPPCR.SPOM ビットの設定により、端子の状態を切り替えます。SPPCR.SPOM ビットの設定値を “0” にすると CMOS 出力に、“1” にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を**表 36.6** に示します。I/O ポートの設定も同じとなるよう設定してください。

表36.6　RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態（注2）	
		SPOM = 0	SPOM = 1
シングルマスタ（SPI動作） （MSTR = 1、MODFEN = 0、SPMS = 0）	RSPCKy	CMOS出力	オープンドレイン出力
	SSLy0～3	CMOS出力	オープンドレイン出力
	MOSIy	CMOS出力	オープンドレイン出力
	MISOy	入力	入力
マルチマスタ（SPI動作） （MSTR = 1、MODFEN = 1、SPMS = 0）	RSPCKy（注3）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSLy0	入力	入力
	SSLy1～3（注3）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSIy（注3）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISOy	入力	入力
スレーブ（SPI動作） （MSTR = 0、SPMS = 0）	RSPCKy	入力	入力
	SSLy0	入力	入力
	SSLy1～3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIy	入力	入力
	MISOy（注4）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタ（クロック同期式動作） （MSTR = 1、MODFEN = 0、SPMS = 1）	RSPCKy	CMOS出力	オープンドレイン出力
	SSLy0～3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIy	CMOS出力	オープンドレイン出力
	MISOy	入力	入力
スレーブ（クロック同期式動作） （MSTR = 0、SPMS = 1）	RSPCKy	入力	入力
	SSLy0～3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIy	入力	入力
	MISOy	CMOS出力	オープンドレイン出力

注1.　本モードでは使用しません。
注2.　RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。
注3.　SSLy0がアクティブレベルの場合、端子状態がHi-Zになります。
注4.　SSLy0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。
注5.　I/Oポートとして使用できます。
y = 0, 1, 2, 3（各チャネルに対応）

シングルマスタモード（SPI 動作）、マルチマスタモード（SPI 動作）の RSPI は、SPPCR.MOIFE, MOIFV ビットの設定にしたがって、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を**表 36.7** のように決定します。

表36.7　　SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIy信号値
0	0、1	前回転送の最終データ
1	0	常にLow
1	1	常にHigh

注 .　SSL ネゲート期間の MOSIy 信号値を制御するためには RSPI 機能が有効（SPCR.SPE ビット = 1）である必要があります。

36.3.3　RSPI システム構成例

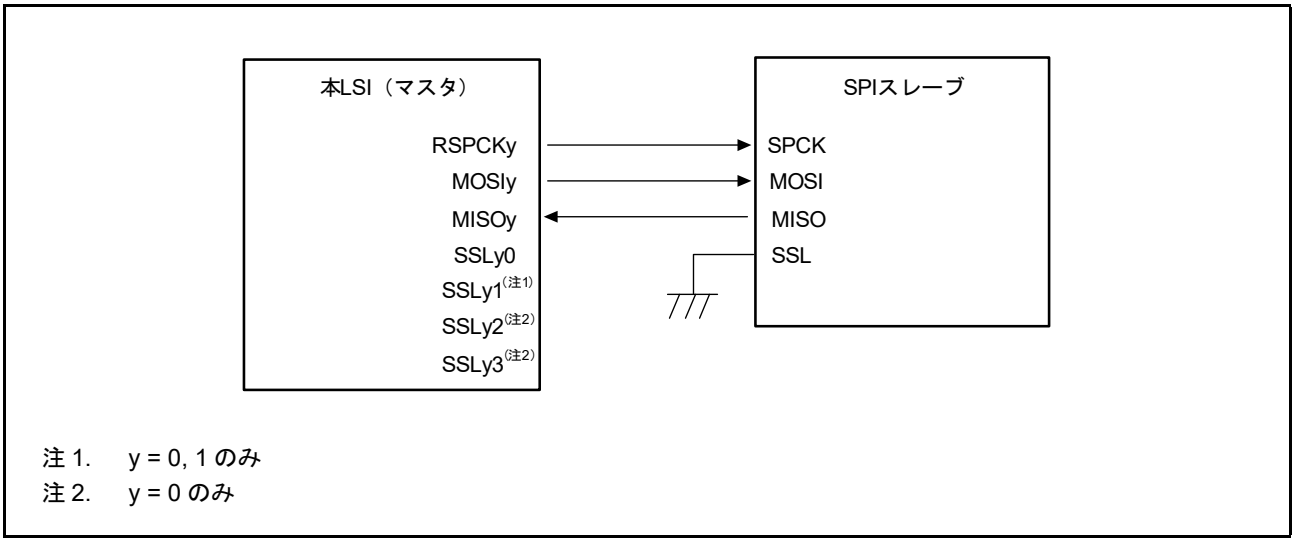
36.3.3.1　シングルマスタ／シングルスレーブ（本 LSI = マスタ）

図 36.5 に、本 LSI をマスタとして使用した場合のシングルマスタ／シングルスレーブの RSPI システムの構成例を示します。シングルマスタ／シングルスレーブの構成では、本 LSI（マスタ）の SSLy0 ～ SSLy3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを常に選択できる状態にします。(注 1)

本 LSI（マスタ）は、RSPCKy と MOSIy を常にドライブします。SPI スレーブは、MISO を常にドライブします。

(y = 0, 1, 2, 3（各チャネルに対応))

注 1.　SPCMDm.CPHA ビットが “0” の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSLyi 出力をスレーブデバイスの SSL 入力に接続してください。



注 1.　y = 0, 1 のみ
注 2.　y = 0 のみ

図 36.5　シングルマスタ／シングルスレーブの構成例（本 LSI = マスタ）

36.3.3.2　シングルマスタ／シングルスレーブ（本 LSI = スレーブ）

図 36.6 に、本 LSI をスレーブとして使用した場合のシングルマスタ／シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSLy0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI を常にドライブします。本 LSI（スレーブ）は、MISOy を常にドライブします。（注 1）

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合には、本 LSI（スレーブ）の SSLy0 入力を Low に固定して本 LSI（スレーブ）を常に選択できる状態とし、シリアル転送を実行することも可能です（図 36.7）。

（y = 0, 1, 2, 3（各チャネルに対応））

注 1.　SSLy0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

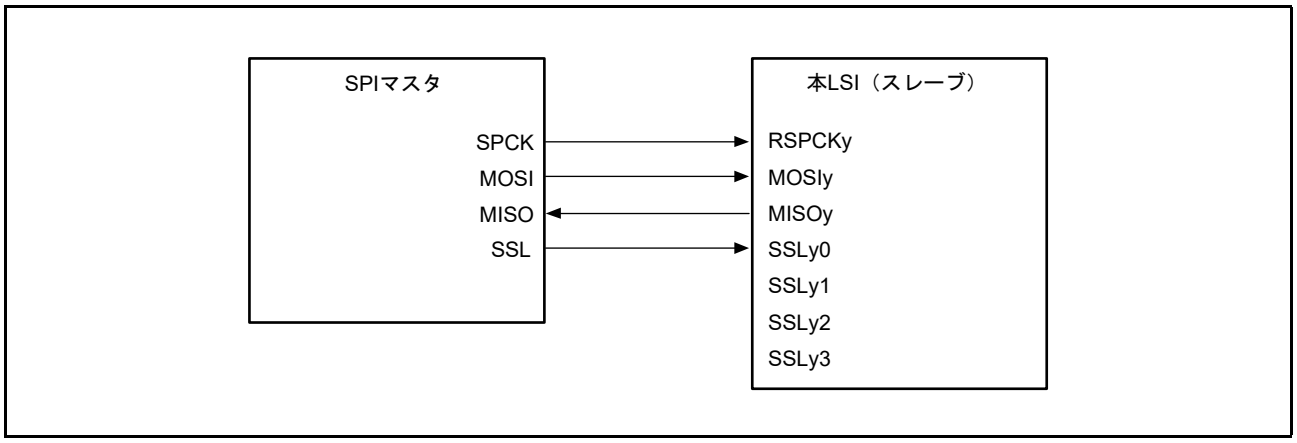


図 36.6　シングルマスタ／シングルスレーブの構成例（本 LSI = スレーブ、CPHA = 0）

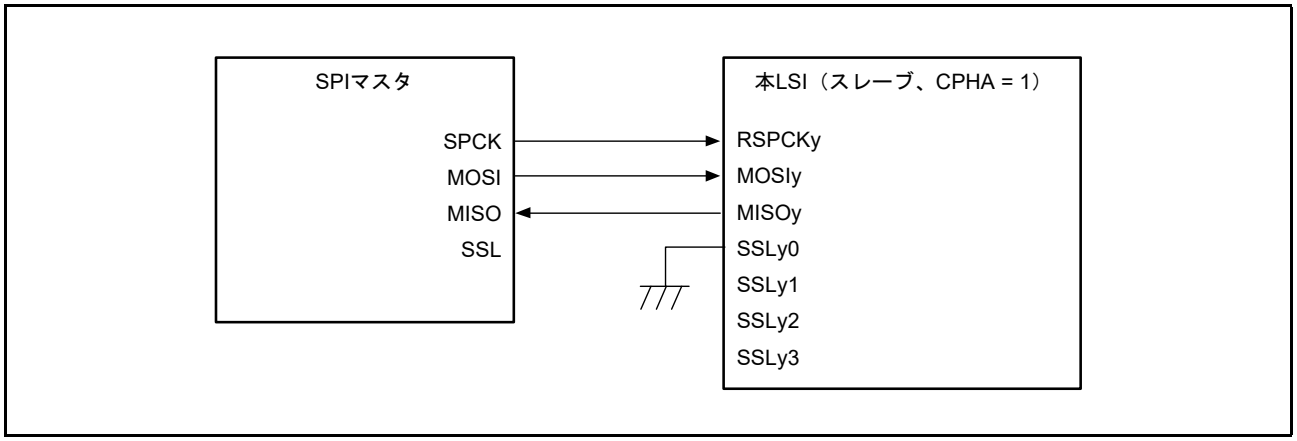


図 36.7　シングルマスタ／シングルスレーブの構成例（本 LSI = スレーブ、CPHA = 1）

36.3.3.3　シングルマスタ／マルチスレーブ（本 LSI = マスタ）

図 36.8 に、本 LSI をマスタとして使用した場合のシングルマスタ／マルチスレーブの RSPI システム構成例を示します。図 36.8 の例では、本 LSI（マスタ）と 4 つのスレーブ（SPI スレーブ 0 ～ SPI スレーブ 3）から RSPI システムを構成しています。

本 LSI（マスタ）の RSPCKy 出力と MOSIy 出力は、SPI スレーブ 0 ～ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ～ SPI スレーブ 3 の MISO 出力は、すべて本 LSI（マスタ）の MISOy 入力に接続します。本 LSI（マスタ）の SSLy0 ～ SSLy3 出力は、それぞれ SPI スレーブ 0 ～ SPI スレーブ 3 の SSL 入力に接続します。

本 LSI（マスタ）は、RSPCK、MOSI、SSLy0 ～ SSLy3 を常にドライブします。SPI スレーブ 0 ～ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

(y = 0, 1, 2, 3（各チャネルに対応))

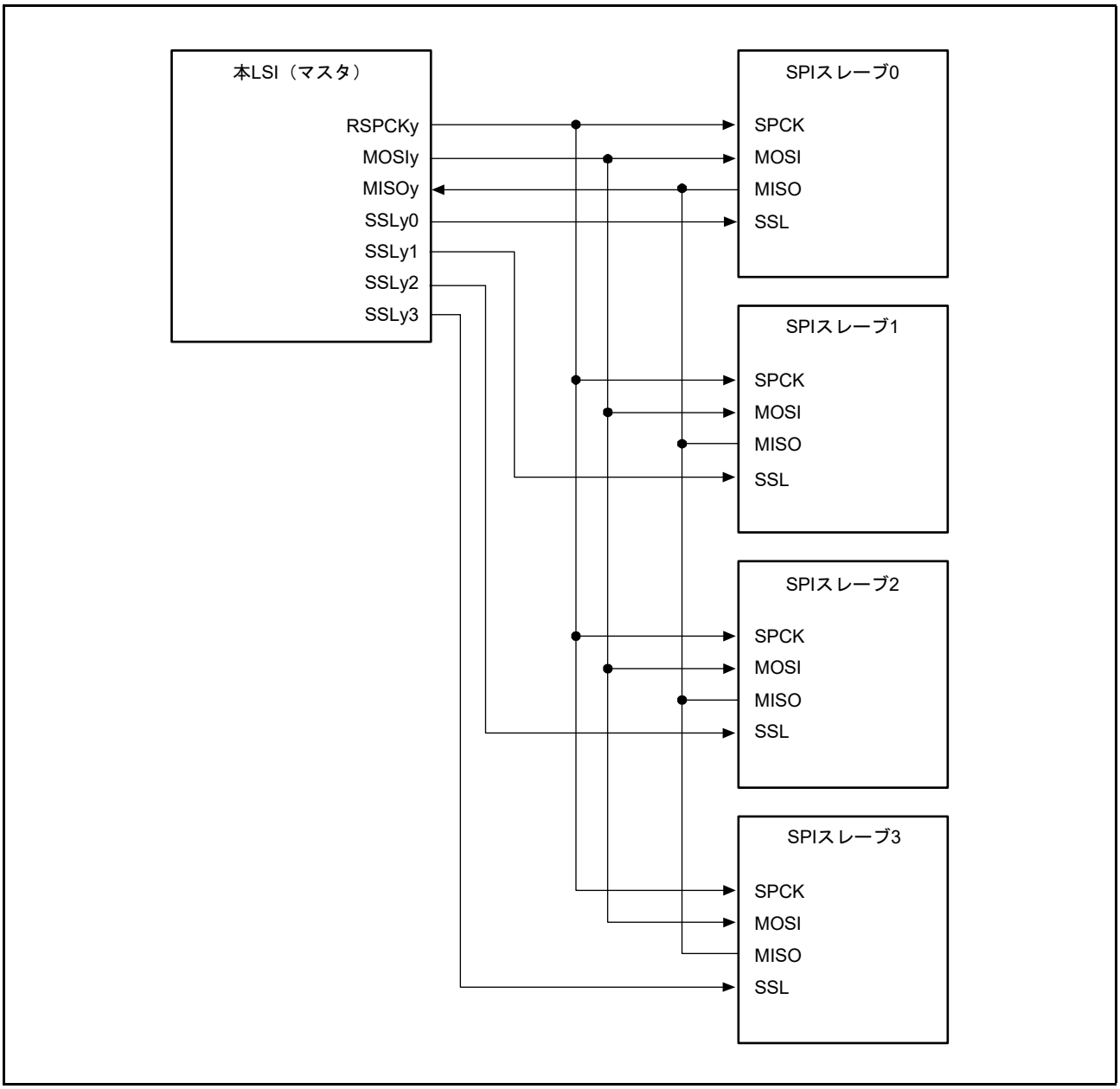


図 36.8　シングルマスタ／マルチスレーブの構成例（本 LSI = マスタ）

36.3.3.4　シングルマスタ／マルチスレーブ（本 LSI = スレーブ）

図 36.9 に、本 LSI をスレーブとして使用した場合のシングルマスタ／マルチスレーブの RSPI システム構成例を示します。図 36.9 の例では、SPI マスタと 2 つの本 LSI（スレーブ X、スレーブ Y）から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 LSI（スレーブ X、スレーブ Y）の RSPCKy 入力と MOSIy 入力に接続します。本 LSI（スレーブ X、スレーブ Y）の MISOy 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 LSI（スレーブ X、スレーブ Y）の SSLy0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI（スレーブ X、スレーブ Y）のうち、SSLy0 入力に Low を入力されているスレーブが、MISOy をドライブします。
（y = 0, 1, 2, 3（各チャネルに対応））

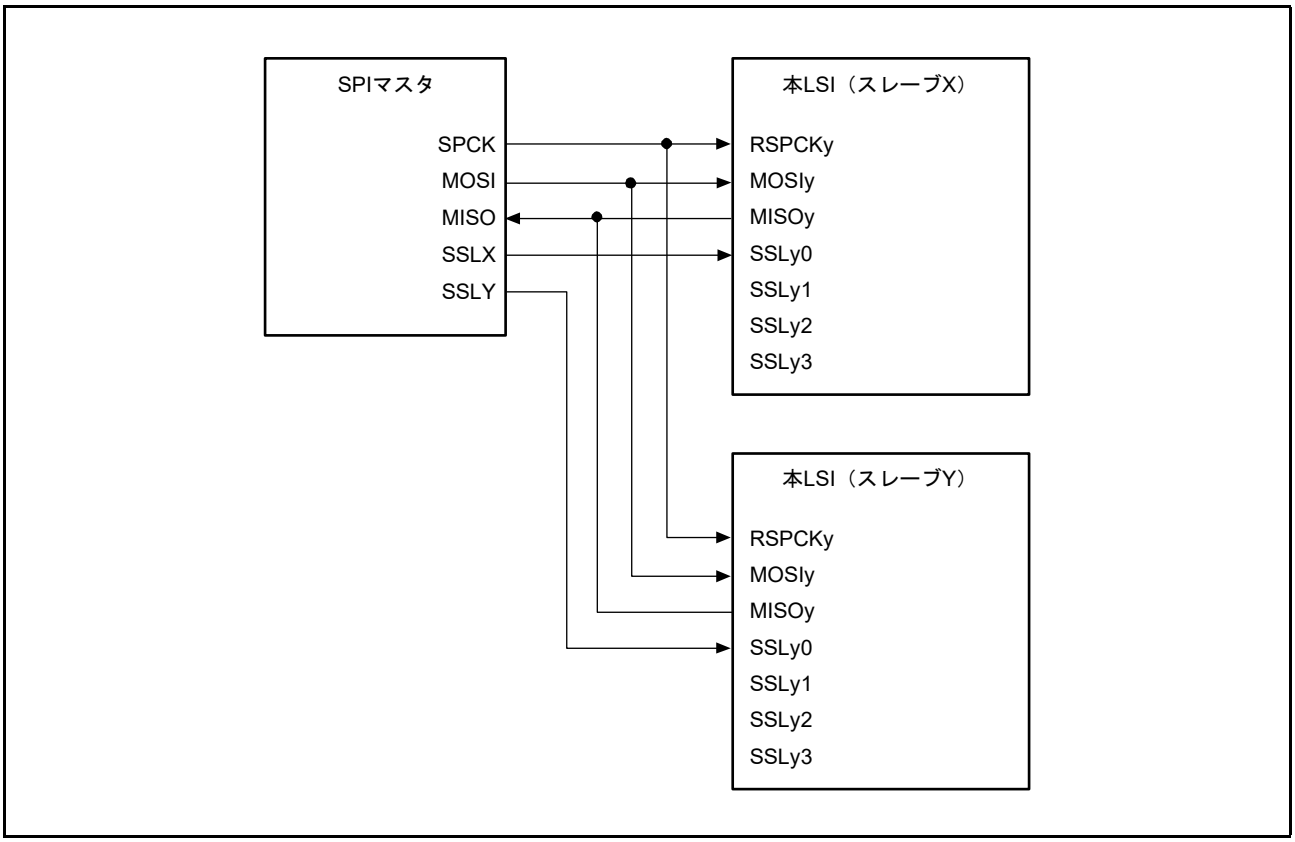


図 36.9　シングルマスタ／マルチスレーブの構成例（本 LSI = スレーブ）

36.3.3.5　マルチマスタ／マルチスレーブ（本 LSI = マスタ）

図 36.10 に、本 LSI をマスタとして使用した場合のマルチマスタ／マルチスレーブの RSPI システム構成例を示します。図 36.10 の例では、2 つの本 LSI（マスタ X、マスタ Y）と 2 つの SPI スレーブ（SPI スレーブ 1、SPI スレーブ 2）から RSPI システムを構成しています。

本 LSI（マスタ X、マスタ Y）の RSPCKy 出力と MOSIy 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 LSI（マスタ X、マスタ Y）の MISOy 入力に接続します。本 LSI（マスタ X）の任意の汎用ポート Y 出力は、本 LSI（マスタ Y）の SSLy0 入力に接続します。本 LSI（マスタ Y）の任意の汎用ポート X 出力は、本 LSI（マスタ X）の SSLy0 入力に接続します。本 LSI（マスタ X、マスタ Y）の SSLy1 出力と SSLy2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLy0 入力、スレーブ接続用の SSLy1 出力、SSLy2 出力のみでシステムを構成できるので、本 LSI の SSLy3 出力を使用していません。

本 LSI は、SSLy0 入力レベルが High の場合には、RSPCKy、MOSIy、SSLy1、SSLy2 をドライブします。SSLy0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKy、MOSIy、SSLy1、SSLy2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

(y = 0, 1, 2, 3（各チャネルに対応))

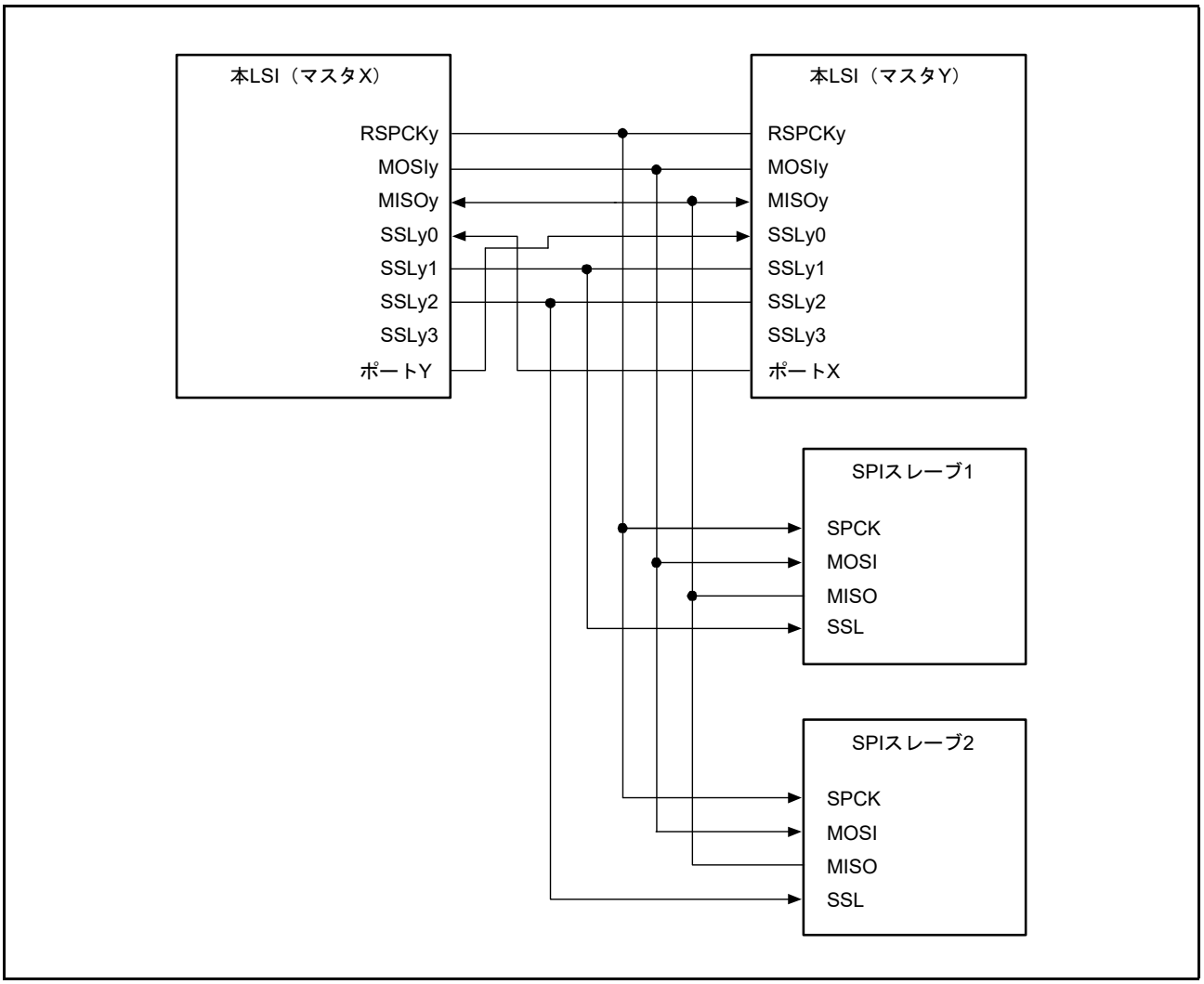


図 36.10　マルチマスタ／マルチスレーブの構成例（本 LSI = マスタ）

36.3.3.6　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI = マスタ）

図 36.11 に、本 LSI をマスタとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システムの構成例を示します。マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成では、本 LSI（マスタ）の SSLy0 ～ SSLy3 は使用しません。

本 LSI（マスタ）は、RSPCKy と MOSIy を常にドライブします。SPI スレーブは、MISO を常にドライブします。

(y = 0, 1, 2, 3（各チャネルに対応）)

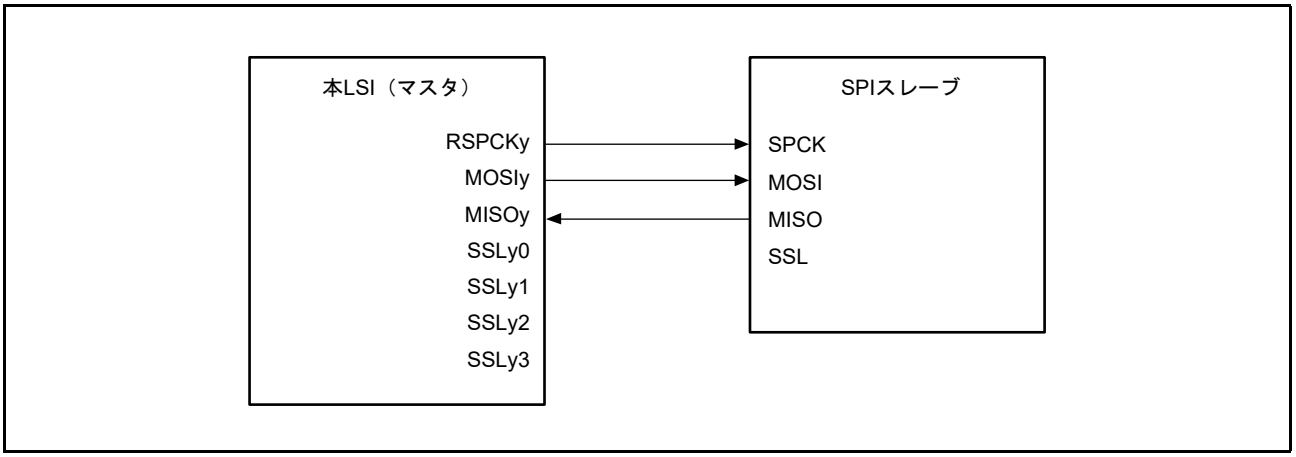


図 36.11　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例（本 LSI = マスタ）

36.3.3.7　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI = スレーブ）

図 36.12 に、本 LSI をスレーブとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システム構成例を示します。本 LSI をスレーブ（クロック同期式動作）として使用する場合には、本 LSI（スレーブ）は、MISOy を常にドライブし、SPI マスタは、SPCK と MOSI を常にドライブします。また、本 LSI（スレーブ）の SSLy0 ～ SSLy3 は使用しません。

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合のみ、本 LSI（スレーブ）はシリアル転送を実行することが可能です。

(y = 0, 1, 2, 3（各チャネルに対応))

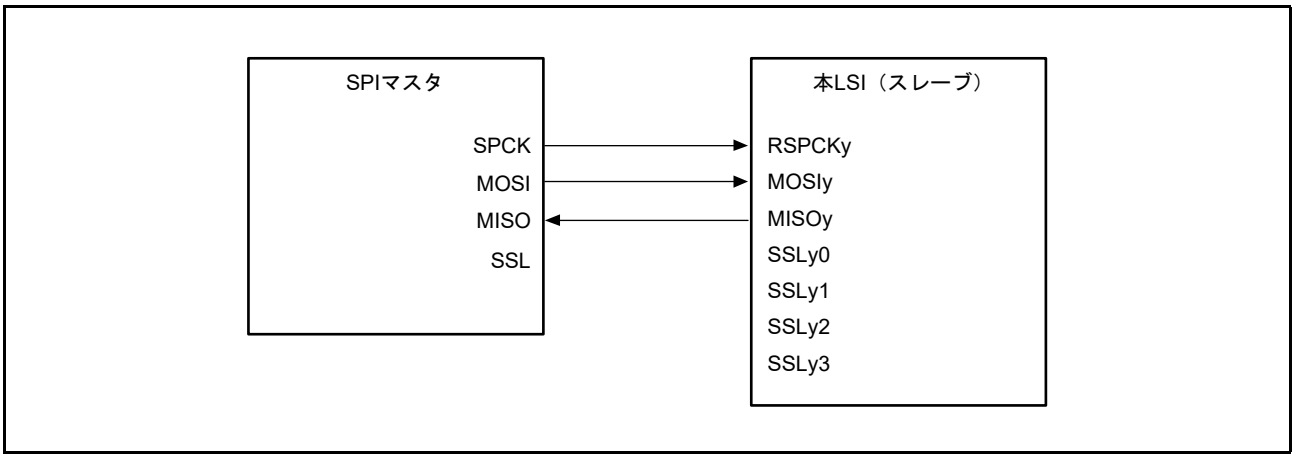


図 36.12　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例（本 LSI = スレーブ、CPHA = 1）

36.3.4　データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m（SPCMDm）（m = 0 ～ 7）、RSPI 制御レジスタ 2 のパリティ許可ビット（SPCR2.SPPE）の設定値に依存します。MSB/LSB ファーストにかかわらず、RSPI は RSPI データレジスタ（SPDR）の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a)　パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット（SPCMDm.SPB[3:0]）で設定したビット長のデータの送受信を行います。

(b)　パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット（SPCMDm.SPB[3:0]）で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

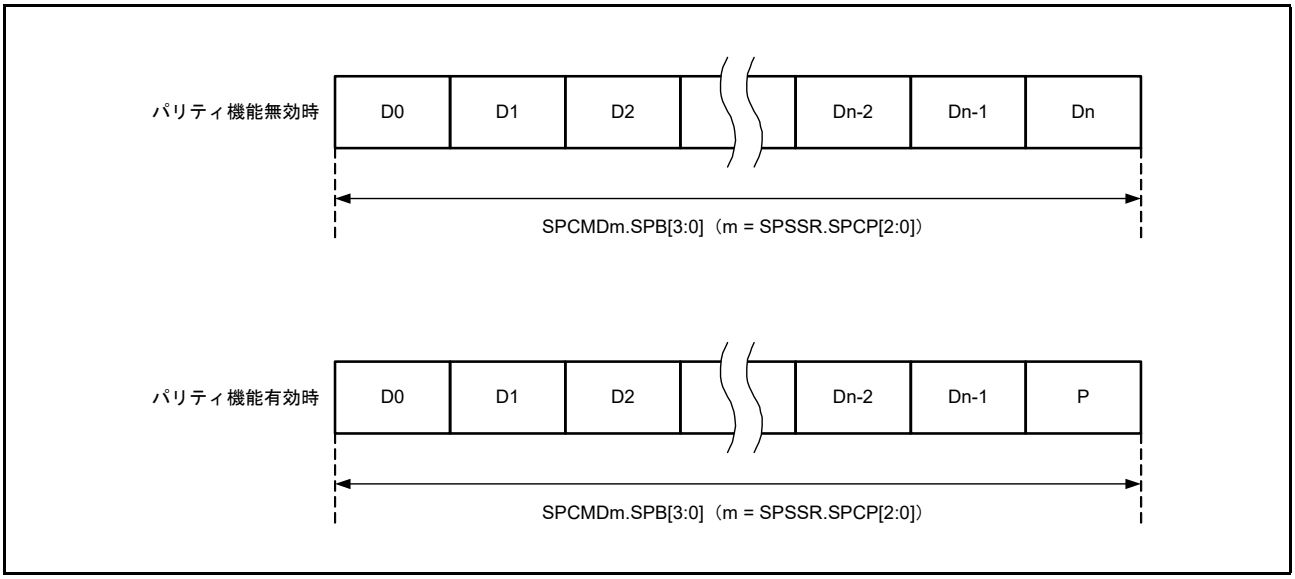


図 36.13　データフォーマット概要（パリティ機能無効時／有効時）

36.3.4.1　パリティ機能無効時（SPCR2.SPPE = 0）

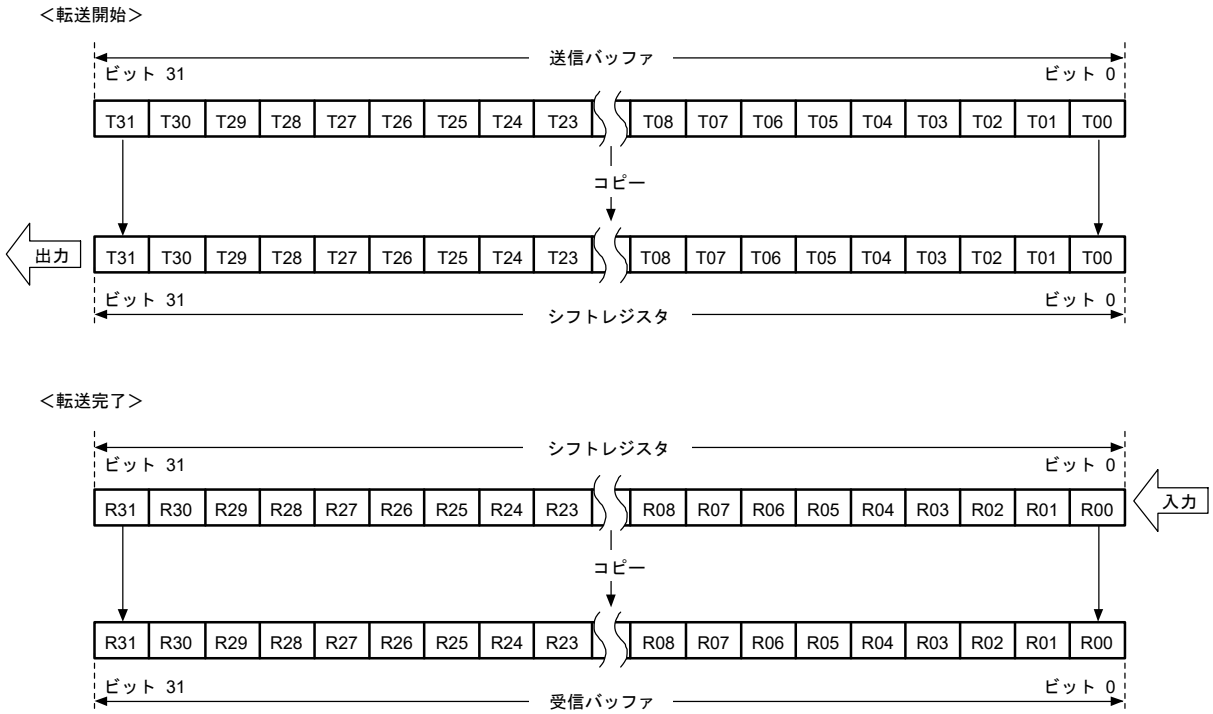
パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPI データレジスタ（SPDR）とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1)　MSB ファースト転送（32 ビットデータ）

図 36.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ～ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注．　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

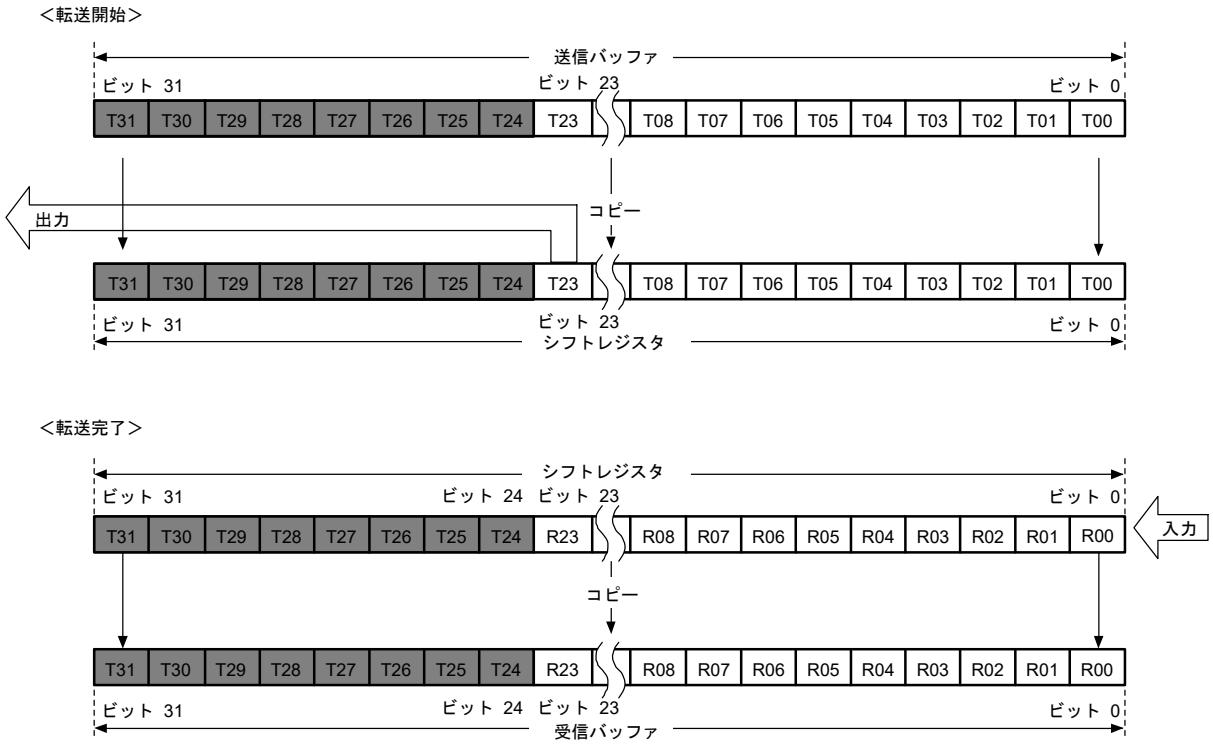
図 36.14　MSB ファースト転送（32 ビットデータ／パリティ機能無効）

(2)　MSB ファースト転送（24 ビットデータ）

図 36.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット（T23 ～ T00）をシフトレジスタにコピーします。送信データは、T23 → T22 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。



注．　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

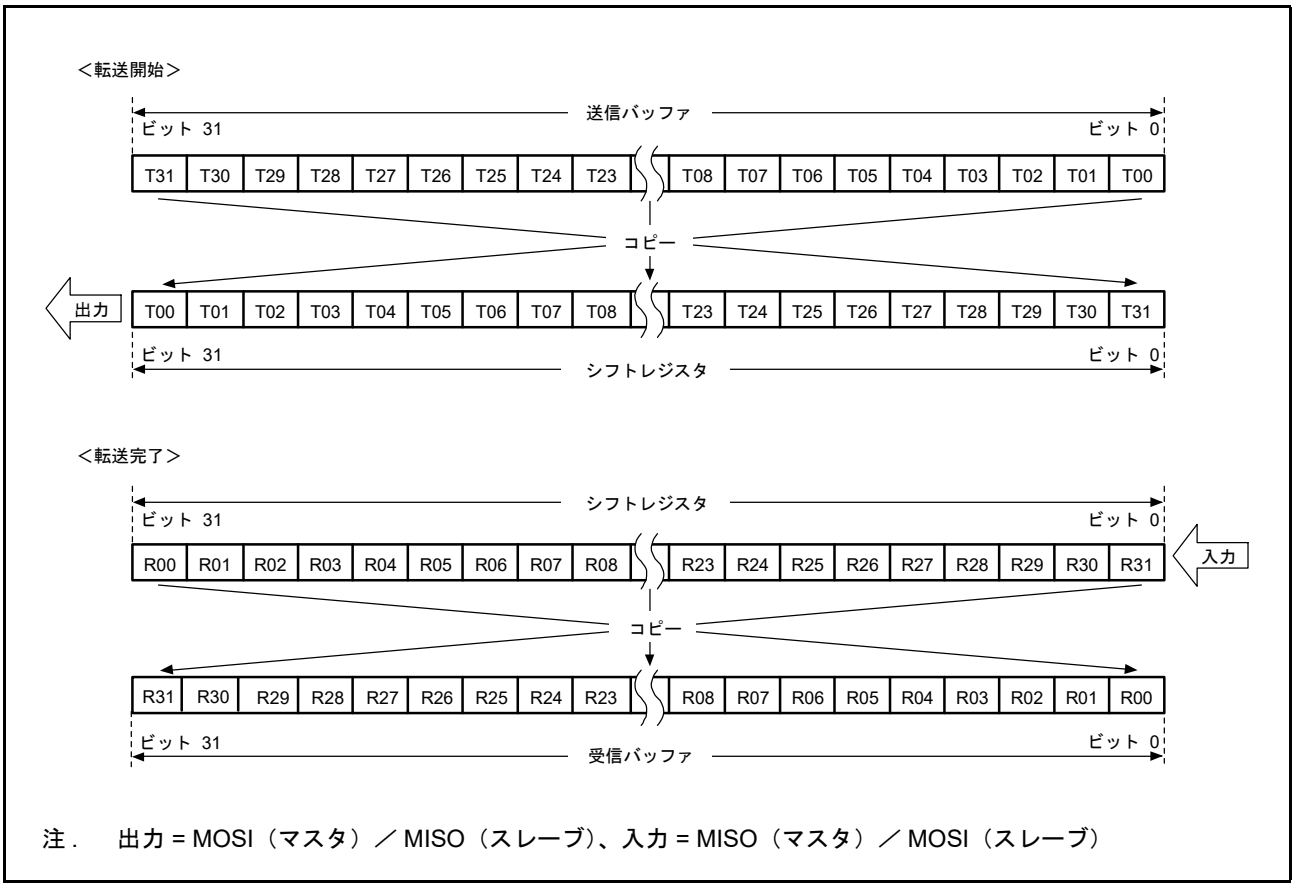
図 36.15　MSB ファースト転送（24 ビットデータ／パリティ機能無効）

(3)　LSB ファースト転送（32 ビットデータ）

図 36.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ（T31 ～ T00）をビット単位で入れ替え、シフトレジスタに T00 ～ T31 の順番に並び替えコピーします。送信データは、T00 → T01 →・・・T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注 .　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

図 36.16　LSB ファースト転送（32 ビットデータ／パリティ機能無効）

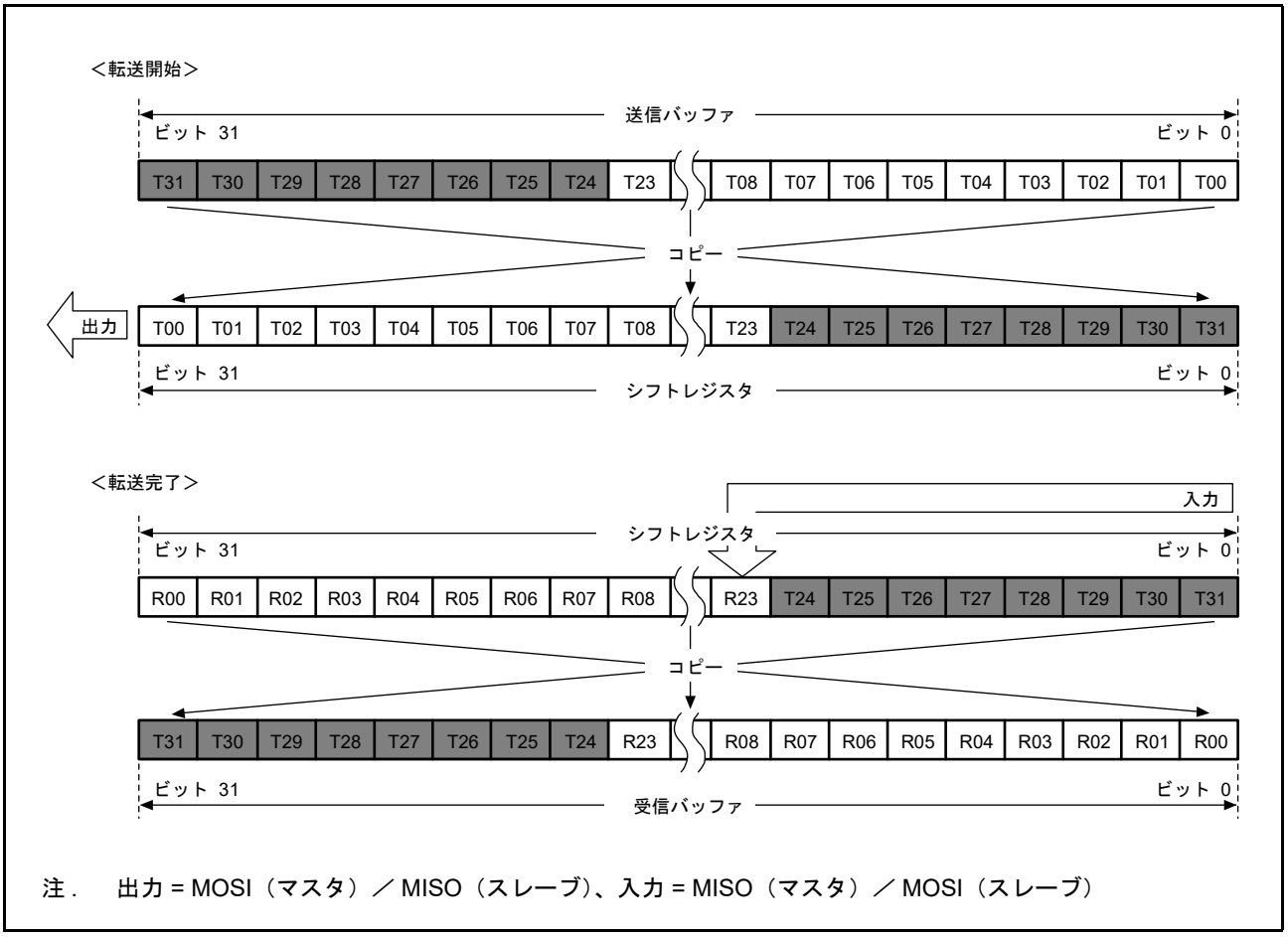
(4)　LSB ファースト転送（24 ビットデータ）

図 36.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット（T23 ～ T00）をビット単位で T00 ～ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。



注．　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

図 36.17　LSB ファースト（24 ビットデータ／パリティ機能無効）

36.3.4.2　パリティ機能有効時（SPCR2.SPPE = 1）

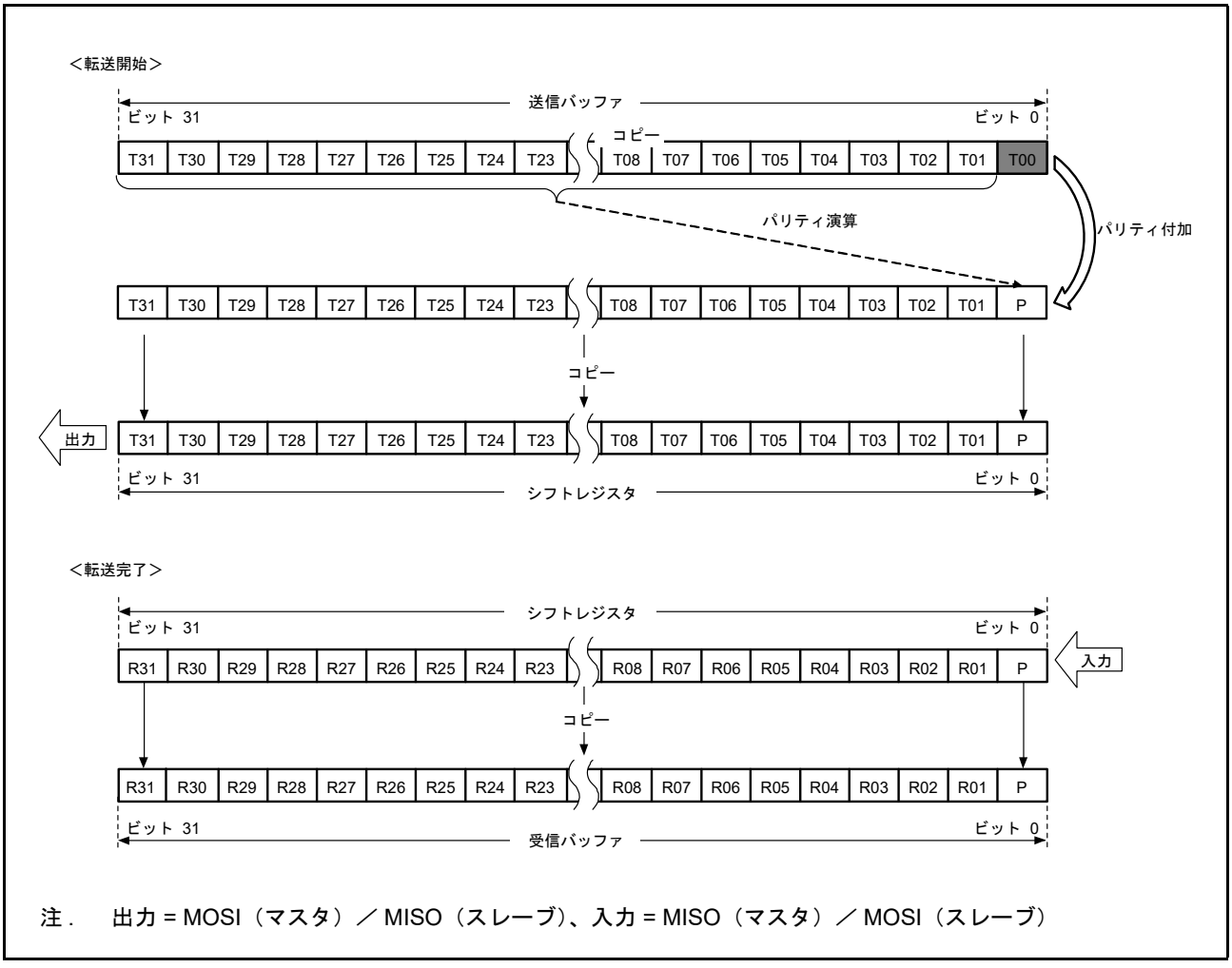
パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1)　MSB ファースト転送（32 ビットデータ）

図 36.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ～ P のデータをチェックし、パリティエラーの判定を行います。



注 .　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

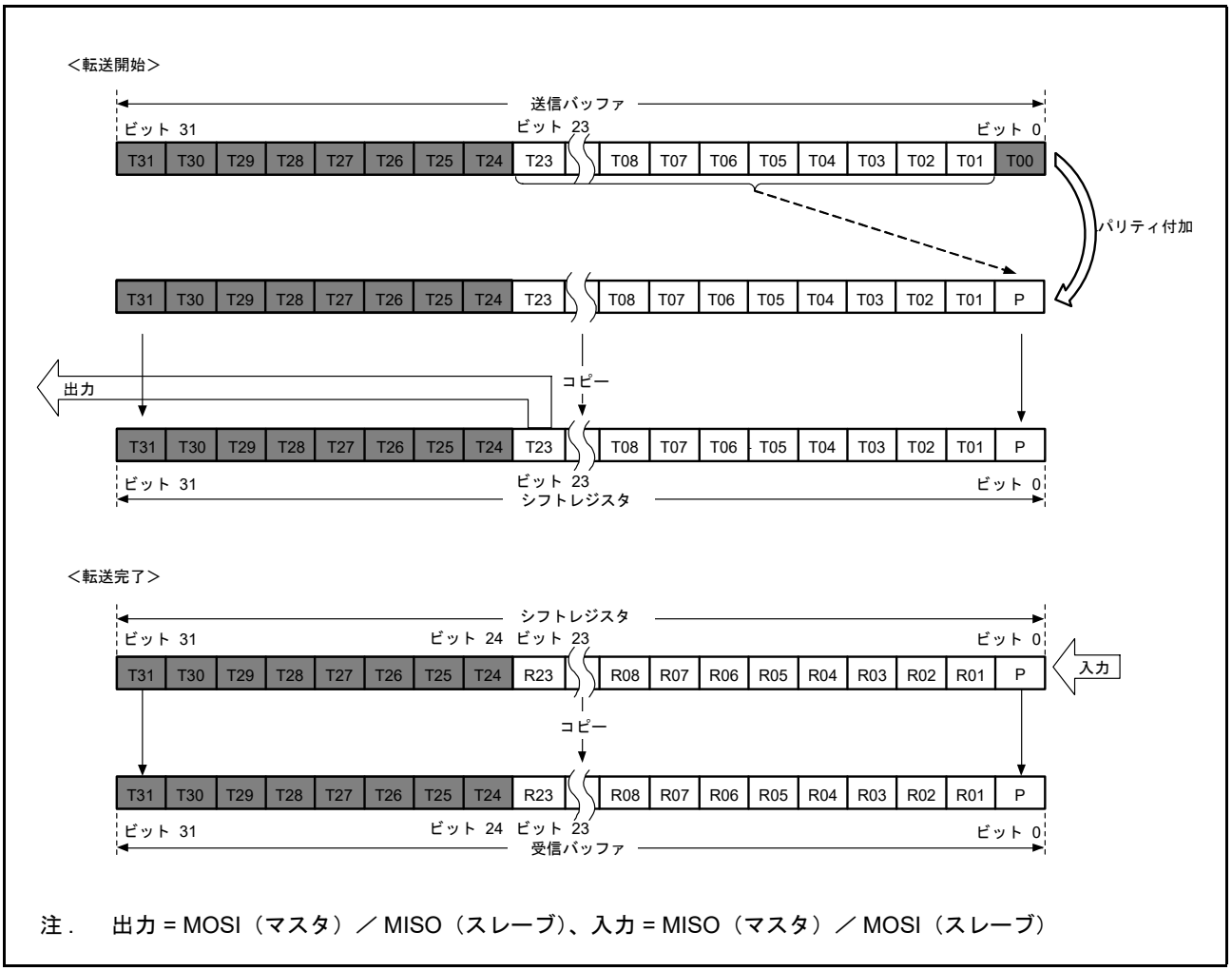
図 36.18　MSB ファースト転送（32 ビットデータ／パリティ機能有効）

(2)　MSB ファースト転送（24 ビットデータ）

図 36.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ～ T01 までのデータ値より、パリティビット（P）の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。



注 .　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

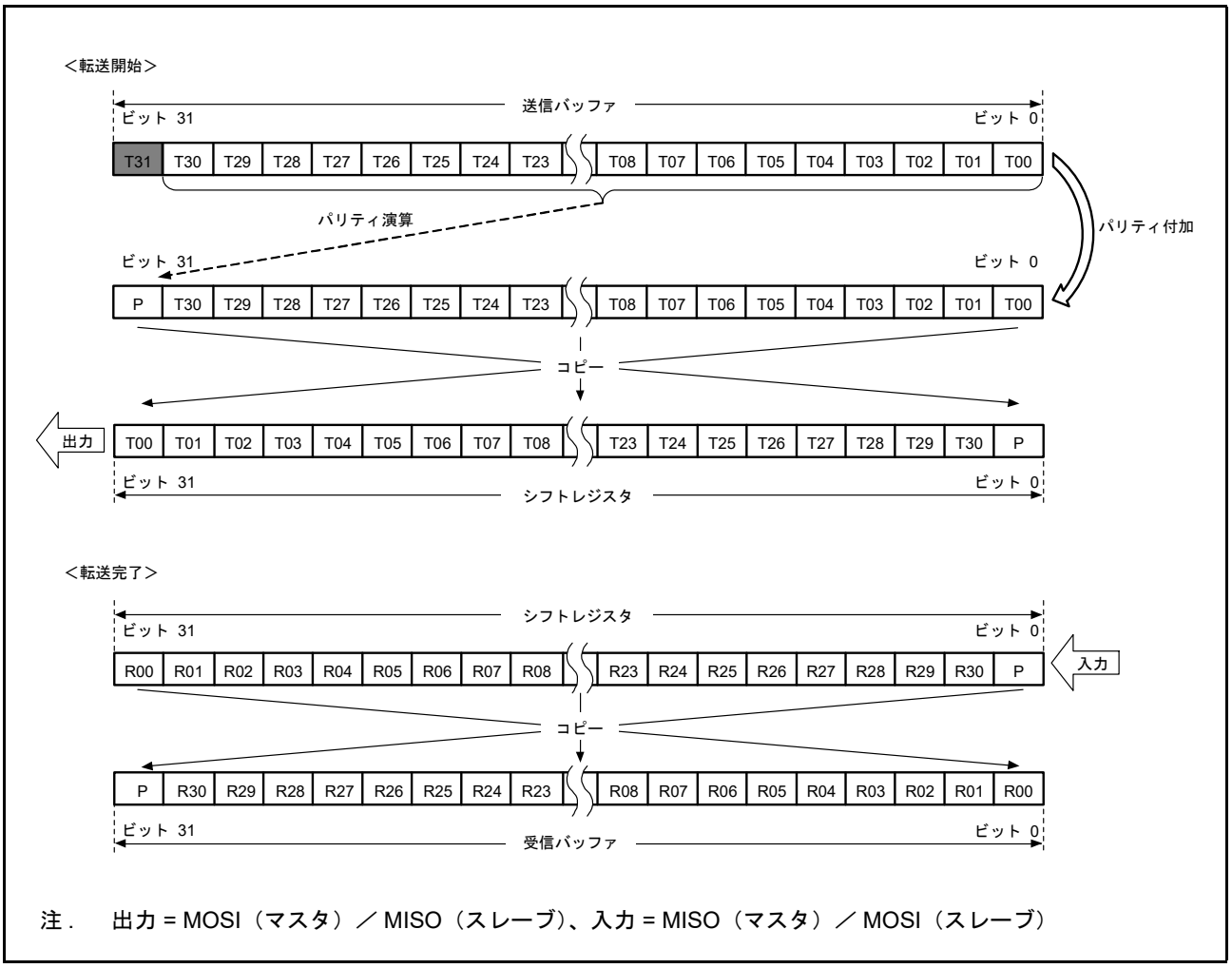
図 36.19　MSB ファースト転送（24 ビットデータ／パリティ機能有効）

(3)　LSB ファースト転送（32 ビットデータ）

図 36.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ～ T00 までのデータ値より、パリティビット（P）の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。



注．　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

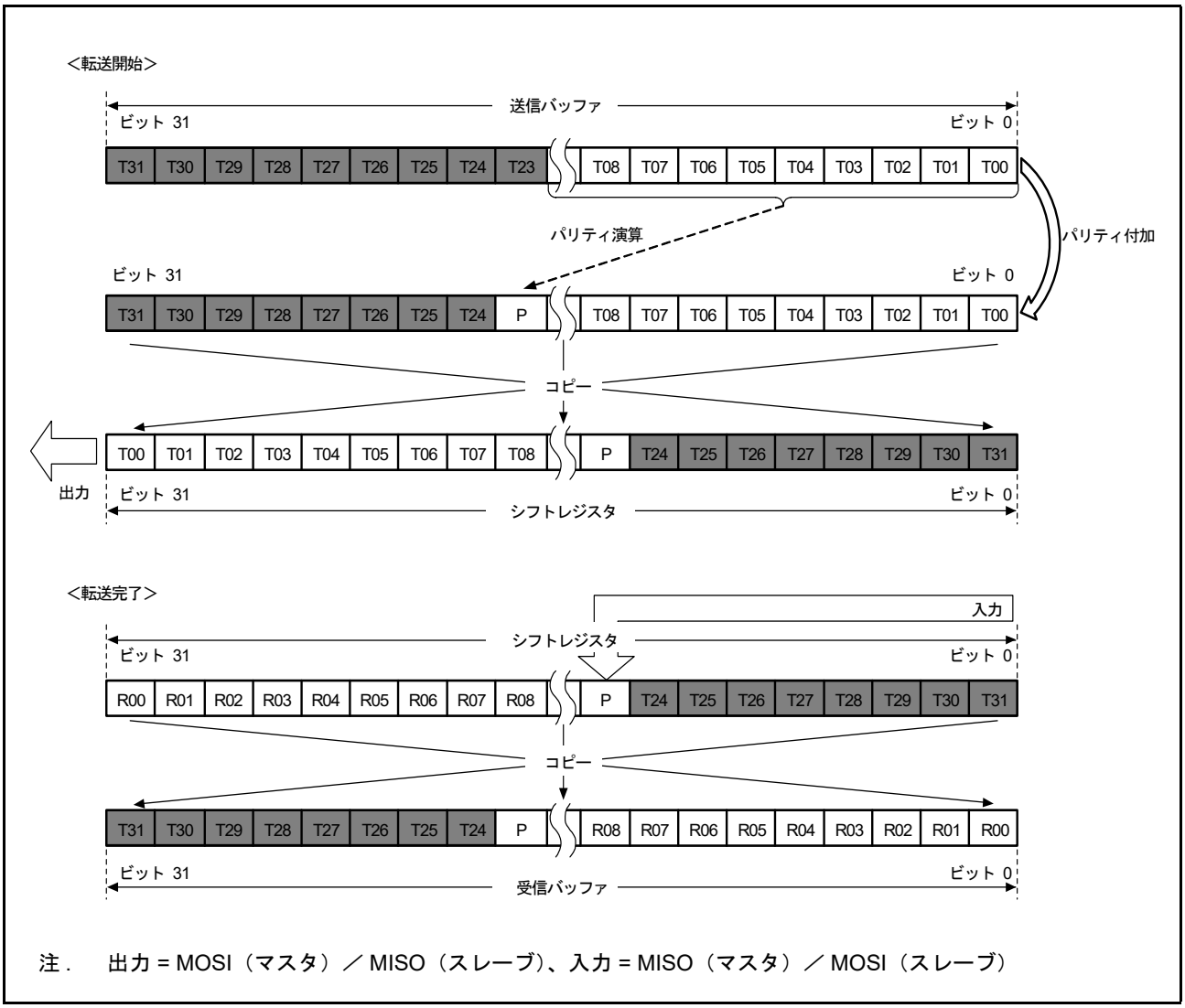
図 36.20　LSB ファースト転送（32 ビットデータ／パリティ機能有効）

(4)　LSB ファースト転送（24 ビットデータ）

図 36.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ～ T00 までのデータ値より、パリティビット（P）の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。



注．　出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

図 36.21　LSB ファースト（24 ビットデータ／パリティ機能有効）

36.3.5　転送フォーマット

36.3.5.1　CPHA ビット = 0 の場合

図 36.22 に SPCMDm.CPHA ビットが “0” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード（SPCR.MSTR = 0）で CPHA ビットが “0” の場合はクロック同期式動作（SPCR.SPMS ビットが “1” の場合）に設定することは禁止です。図 36.22 において、RSPCKy（CPOL = 0）は SPCMDm.CPOL ビットが “0” の場合、RSPCKy（CPOL = 1）は SPCMDm.CPOL ビットが “1” の場合の RSPCKy 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「36.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “0” の場合には、SSLyi 信号のアサートタイミングで、MOSIy 信号と MISOy 信号への有効データのドライブが開始されます。SSLyi 信号のアサート後に発生する最初の RSPCKy 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIy 信号と MISOy 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLyi 信号のアサートから RSPCKy 発振までの期間（RSPCK 遅延）です。t2 は、RSPCKy 発振停止から SSLyi 信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のための SSLyi 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「36.3.10.1　マスタモード動作」を参照してください。

(i = 0 ～ 3、m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応))

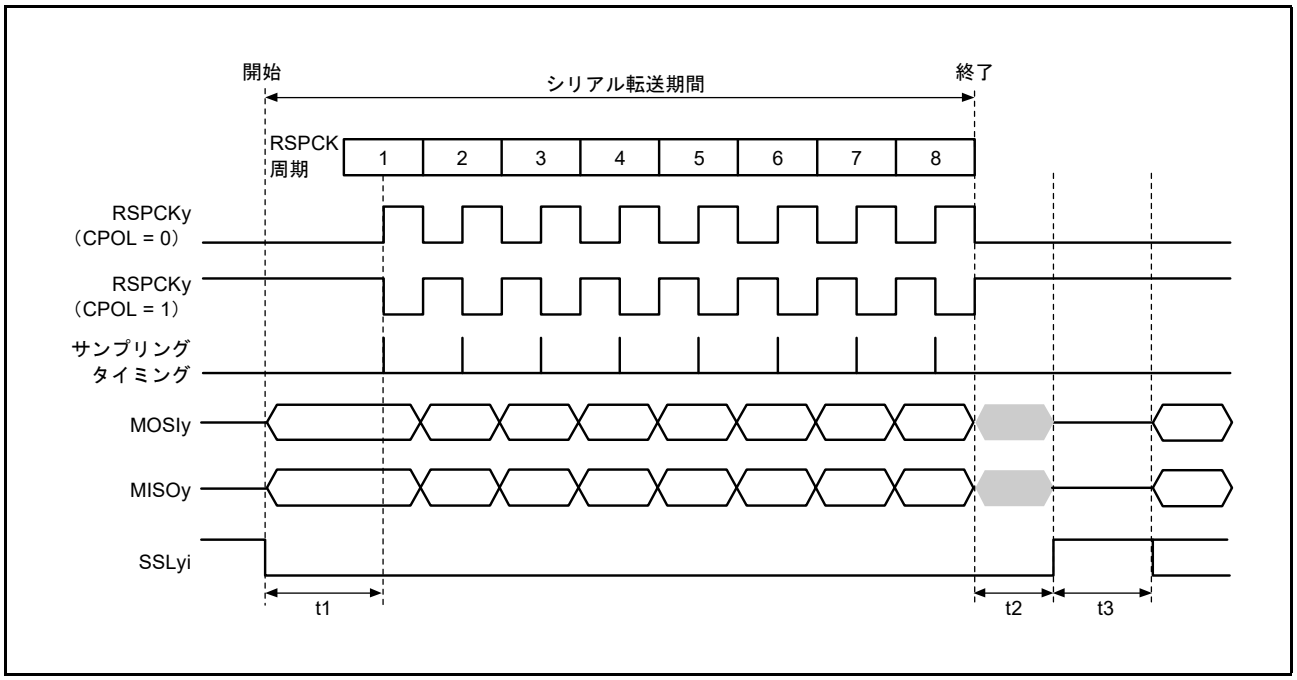


図 36.22　RSPI 転送フォーマット（CPHA ビット = 0）

36.3.5.2　CPHA ビット = 1 の場合

図 36.23 に SPCMDm.CPHA ビットが “1” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが “1” の場合は SSLyi 信号を用いず、RSPCKy 信号、MOSIy 信号、MISOy 信号のみで通信を行います。図 36.23 において、RSPCK（CPOL = 0）は SPCMDm.CPOL ビットが “0” の場合、RSPCK（CPOL = 1）は SPCMDm.CPOL ビットが “1” の場合の RSPCKy 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード（マスタ／スレーブ）に依存します。詳細は「36.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “1” の場合には、SSLyi 信号のアサートタイミングで、MISOy 信号に無効データのドライブが開始されます。SSLyi 信号のアサート後に発生する最初の RSPCKy 信号変化タイミングで、MOSIy 信号と MISOy 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKy 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「36.3.10.1　マスタモード動作」を参照してください。
（i = 0 ～ 3、m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））

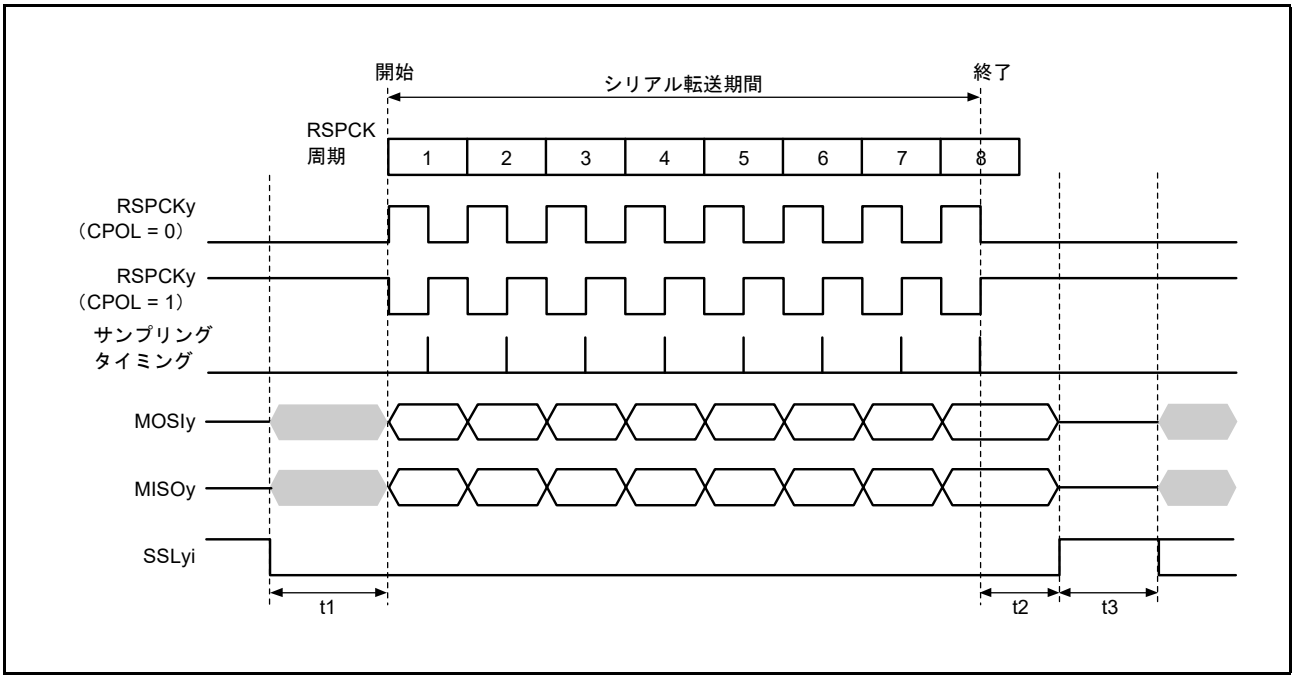


図 36.23　RSPI 転送フォーマット（CPHA ビット = 1）

36.3.6　通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 36.24、図 36.25 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。

36.3.6.1　全二重同期式シリアル通信（SPCR.TXMD = 0）

図 36.24 に、SPCR.TXMD ビットを “0” にした場合の動作例を示します。図 36.24 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））。

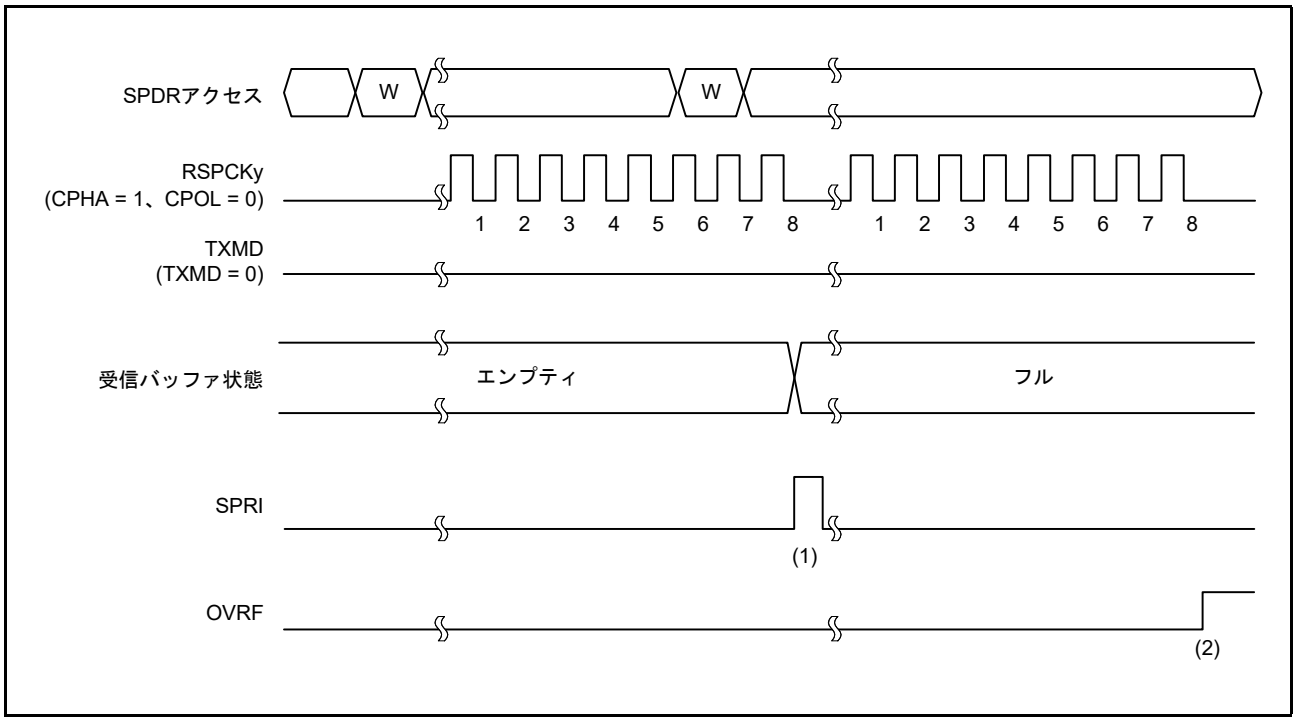


図 36.24　SPCR.TXMD = 0 の動作例

以下に、図中の（1）、（2）に示したタイミングでのフラグの動作内容を説明します。

（1）SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求（SPRI）を発生してシフトレジスタの受信データを受信バッファにコピーします。

（2）SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを “1” にしてシフトレジスタの受信データを破棄します。

36.3.6.2　送信のみ動作（SPCR.TXMD = 1）

図 36.25 に、SPCR.TXMD ビットを “1” に設定した場合の動作例を示します。図 36.25 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））。

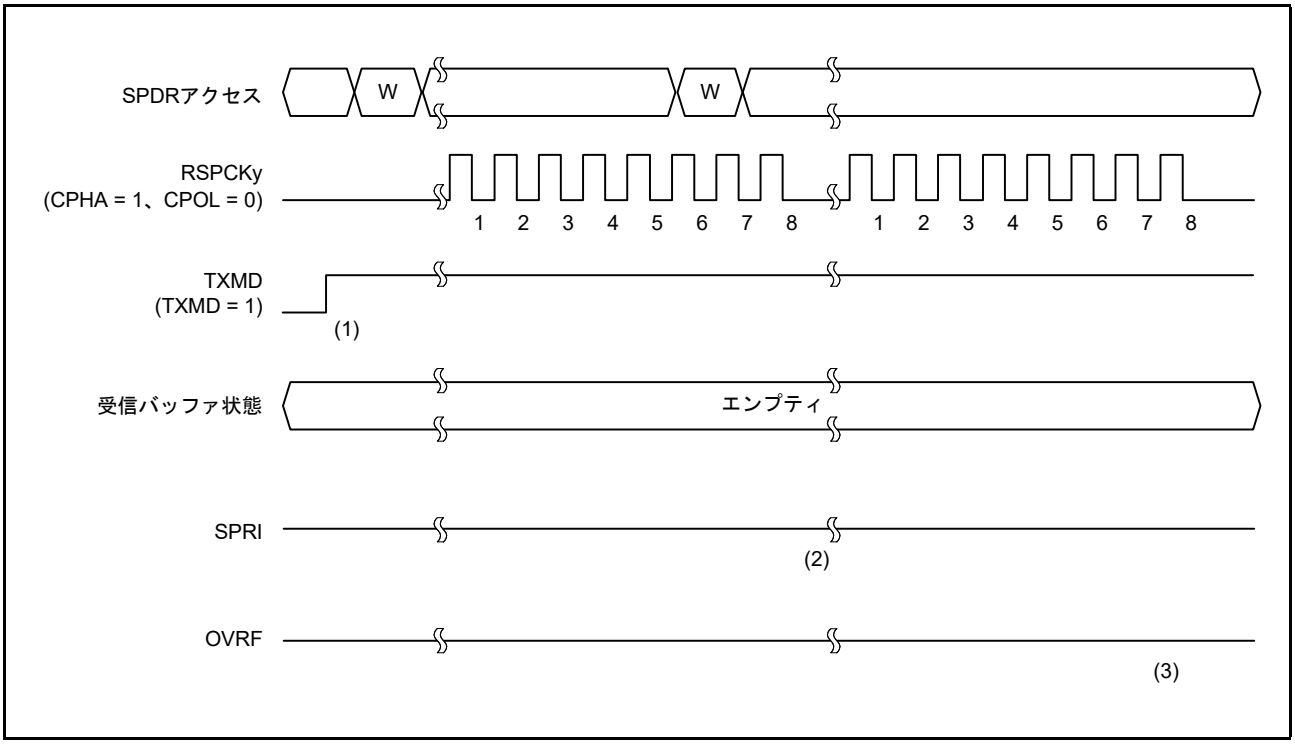


図 36.25　SPCR.TXMD = 1 の動作例

以下に、図中の（1）（2）（3）に示したタイミングでのフラグの動作内容を説明します。

（1）送信のみ動作（SPCR.TXMD = 1）への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが “0” であることを確認してから、行ってください。

（2）SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみ動作（SPCR.TXMD = 1）のときは、シフトレジスタのデータを受信バッファへコピーしません。

（3）SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは “0” を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時（SPCR.TXMD = 1）は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは（1）（2）（3）それぞれのタイミングで “0” を保持します。

36.3.7　送信バッファエンプティ／受信バッファフル割り込み

図 36.26 に送信バッファエンプティ割り込み（SPTI）と受信バッファフル割り込み（SPRI）の動作例を示します。図 36.26 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 36.26 の例では、SPCR.TXMD ビットが “0”、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））。

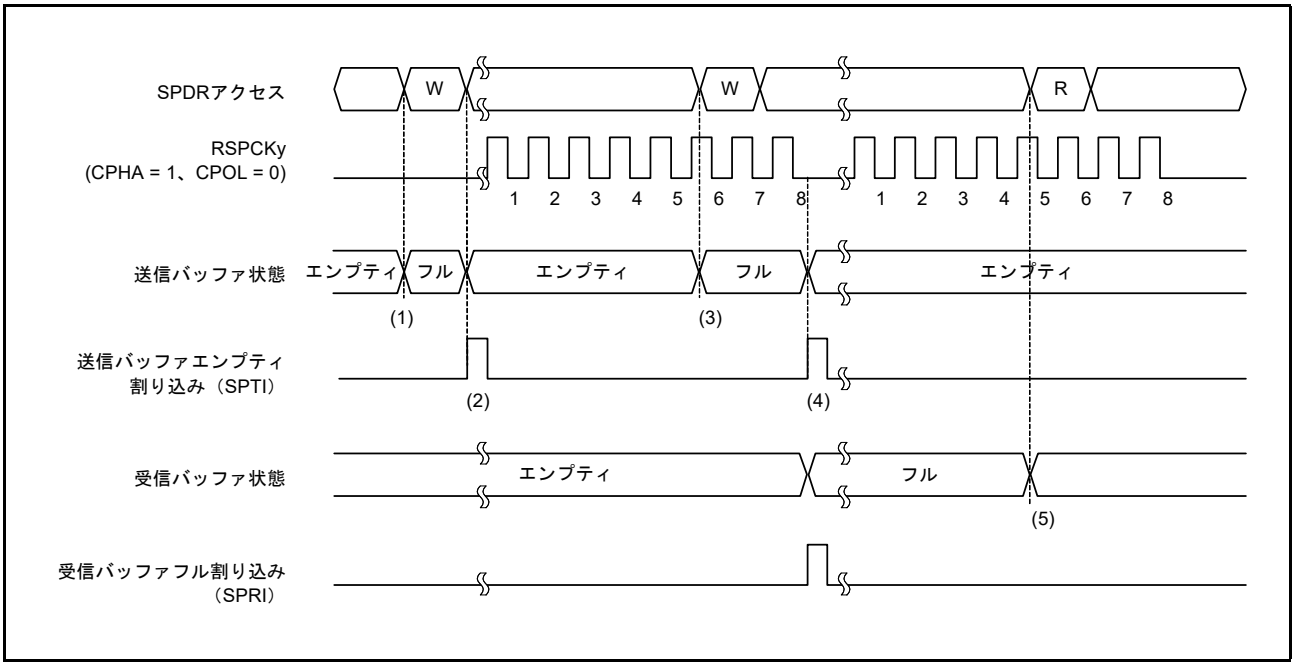


図 36.26　送信バッファエンプティ割り込み（SPTI）、受信バッファフル割り込み（SPRI）の動作例

以下に、図中の（1）～（5）に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み（SPTI）を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。（「36.3.10　SPI 動作」、「36.3.11　クロック同期式動作」参照）
3. 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求（SPRI）を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンプティ割り込みルーチンで行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを “1” にしてください。

RSPI 機能は無効（SPCR.SPE ビットが “0”）の場合には、SPTIE ビットを “0” にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します（「36.3.8　**エラー検出**」参照）。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを “1” にしてください。

送信／受信バッファの状態は、送信バッファエンプティ割り込み／受信バッファフル割り込み、または対応する IRQ ステータスレジスタ（IRQSn）によって割り込み要求の発生を確認することができます。IRQ ステータスレジスタ（IRQSn）については、「12.4.2.1　**IRQ ステータスレジスタ** n（IRQSn）（n = 0 ～ 9）」を参照してください。

36.3.8　エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始／終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。**表 36.8** に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表36.8　通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態でSPDRレジスタを書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
3	受信バッファエンプティの状態でSPDRレジスタを読み出し	前回受信データを出力	なし
4	受信バッファフルの状態で、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLy0入力信号アサート	• RSPCKy、MOSIy、SSLy1～3出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLy0入力信号アサート	• シリアル転送を中断 • 送受信データ欠落 • RSPCKy、MOSIy、SSLy1～3出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLy0入力信号がネゲート	• シリアル転送を中断 • 送受信データ欠落 • MISOy出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出

y = 0, 1, 2, 3（各チャネルに対応）

表 36.8 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、2 に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR レジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前に SPDR レジスタを読み出さないと、オーバランエラーが発生します）。

3 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI 受信バッファフル割り込みで SPDR レジスタの読み出しを実行するようにしてください。

4 に示したオーバランエラーについては「**36.3.8.1　オーバランエラー**」で、5 に示したパリティエラーについては「**36.3.8.2　パリティエラー**」で説明します。また、6 ～ 8 に示したモードフォルトエラーについては「**36.3.8.3　モードフォルトエラー**」で説明します。

なお、送受信の割り込みについては、「**36.3.7　送信バッファエンプティ／受信バッファフル割り込み**」を参照してください。

36.3.8.1　オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを “1” にします。OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを “0” にするためには、OVRF フラグが “1” にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに “0” を書く必要があります。

図 36.27 に、OVRF フラグの動作を示します。**図 36.27** に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 36.27** の例では、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））。

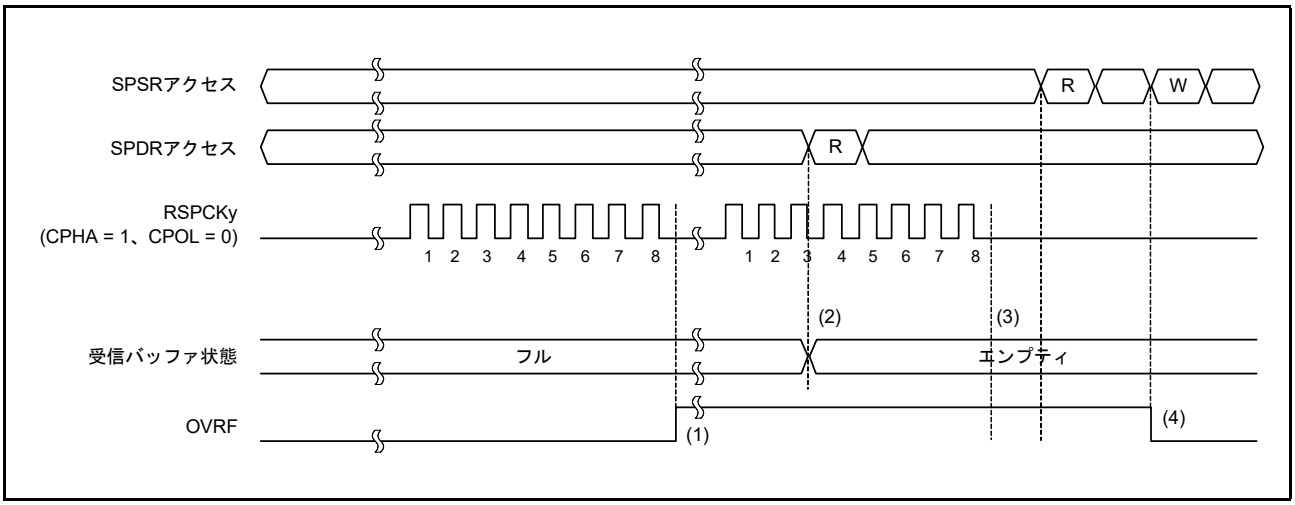


図 36.27　OVRF フラグの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを “1” にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが “1” であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。受信バッファが空になっても、OVRF フラグは “0” になりません。
3. OVRF フラグが “1” の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット “1” であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが “1” の状態で SPSR レジスタを読んだ後、OVRF フラグに “0” を書くと、RSPI は OVRF フラグを “0” にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI

をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが “1” になると、OVRF フラグが “0” になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。**図 36.28**、**図 36.29** にマスタモードの受信バッファフル状態でシリアル転送が継続する時のクロック停止波形を示します。

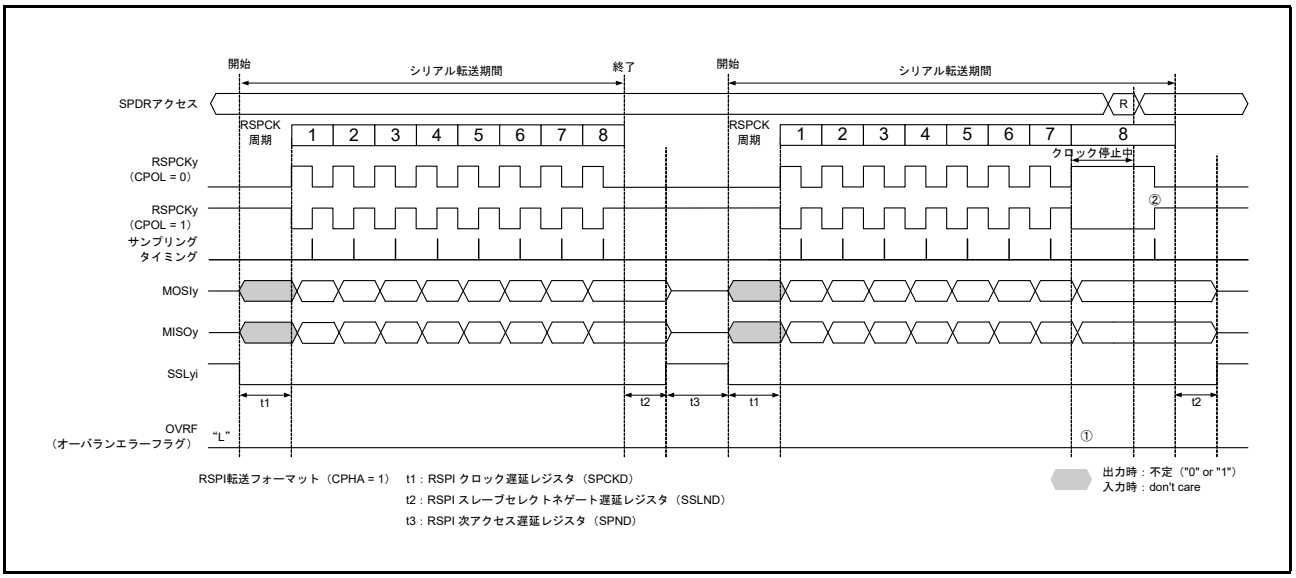


図 36.28　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形（CPHA = 1）

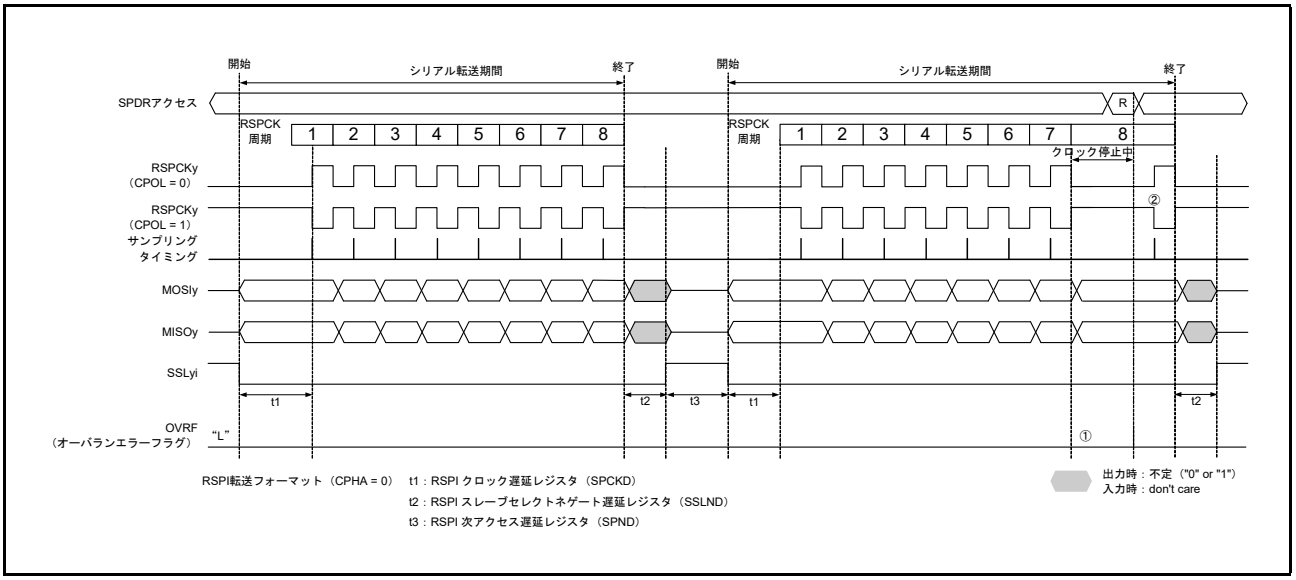


図 36.29　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形（CPHA = 0）

以下に、図中の（1）、（2）に示したタイミングでのフラグ動作を説明します。

（1）受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。

（2）クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後、RSPCK クロックが再開します。

36.3.8.2　パリティエラー

SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを “1” にします。SPSR.OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを “0” にするためには、PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書く必要があります。

図 36.30 に、OVRF フラグと PERF フラグの動作を示します。**図 36.30** に記載した “SPSR アクセス ” は、SPSR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 36.30** の例では、SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））。

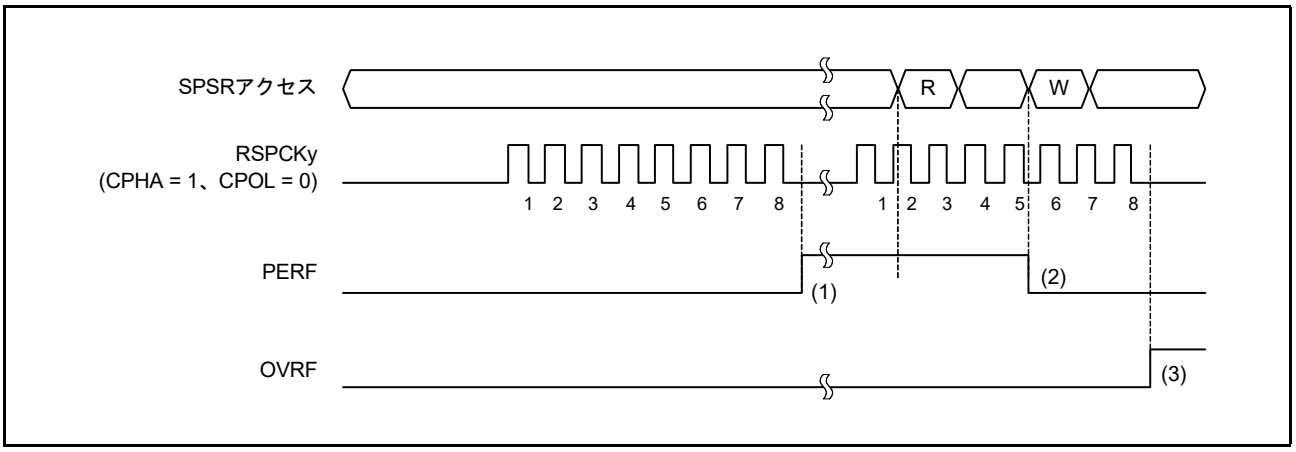


図 36.30　PERF フラグの動作例

以下に、図中の（1）～（3）に示したタイミングでのフラグの動作内容を説明します。

1. RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを “1” にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. PERF フラグが “1” の状態で SPSR レジスタを読んだ後、PERF フラグに “0” を書くと、PERF フラグが “0” になります。
3. RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

36.3.8.3　モードフォルトエラー

SPCR.MSTR ビットが “1”、SPCR.SPMS ビットが “0”、SPCR.MODFEN ビットが “1” の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSLy0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して SPSR.MODF フラグを “1” にします。モードフォルトエラーを検出すると、RSPI は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSLy0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが “0” の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが “1”、SPMS ビットが “0” の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLy0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットのクリアを実施します（「36.3.9　RSPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが “1” の状態では、RSPI は SPE ビットへの “1” の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを “0” にしてください（m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））。

36.3.9　RSPI の初期化

SPCR.SPE ビットに “0” を書いた場合、またはモードフォルトエラー検出により RSPI が SPE ビットを “0” にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを “0” にすることによる初期化とシステムリセットによる初期化について説明します。

36.3.9.1　SPE ビットのクリアによる初期化

SPCR.SPE ビットを “0” にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

SPE ビットを “0” にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを “1” にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを “1” にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの “0” 書き込みと同時に SPTIE ビットにも “0” を書いてください。モードフォルトエラー検出後の送信バッファエンプティ割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに “0” を書いてください。

36.3.9.2　システムリセット

システムのリセットによる初期化では、**「36.3.9.1　SPE ビットのクリアによる初期化」**に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。詳細については、**「6.　リセット」**を参照してください。

36.3.10　SPI 動作

36.3.10.1　マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「36.3.8 **エラー検出**」を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル／マルチマスタモードで共通する動作について説明します。

(1)　シリアル転送の開始

RSPI 送信バッファが空き（次転送のデータがセットされていない）の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ（SPTX）のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「36.3.5　**転送フォーマット**」を参照してください。SSLyi 出力端子の極性は、SSLP レジスタの設定値に依存します（i = 0 ～ 3、y = 0, 1, 2, 3（各チャネルに対応））。

(2)　シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKy エッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLyi 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「36.3.5　**転送フォーマット**」を参照してください（i = 0 ～ 3、m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））。

(3)　シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLyi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性／位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部／全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを “1” にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。
(i = 0 ～ 3、m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応）)

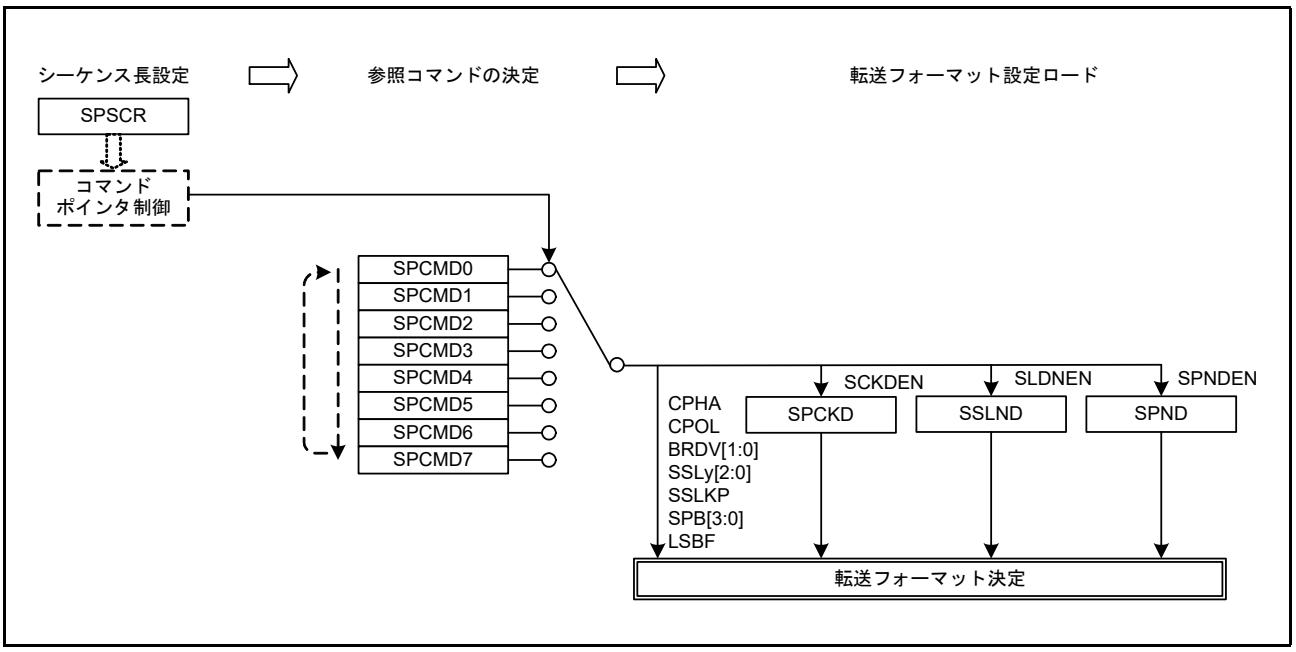


図 36.31　マスタモードでのシリアル転送方式の決定方法

本章では、データ（SPDR）と設定（SPCMDm）の 2 つを合わせてフレームとします。

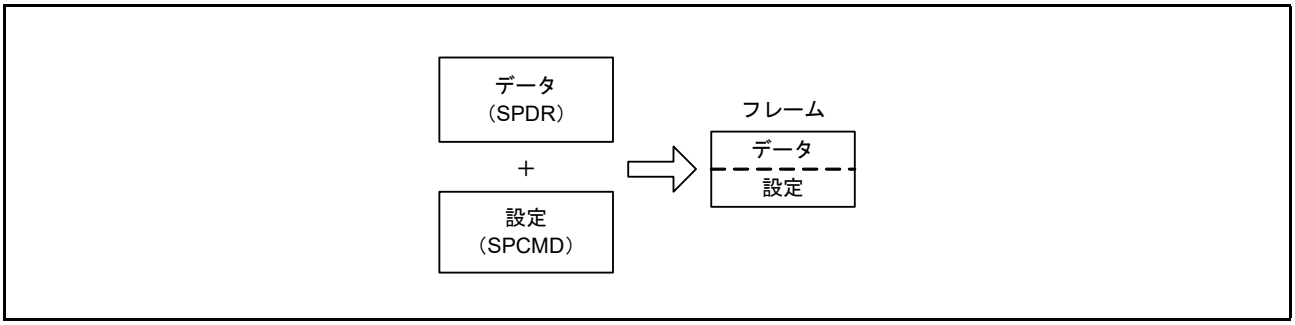


図 36.32　フレームの概念図

表 36.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの関係を図 36.33 に示します。

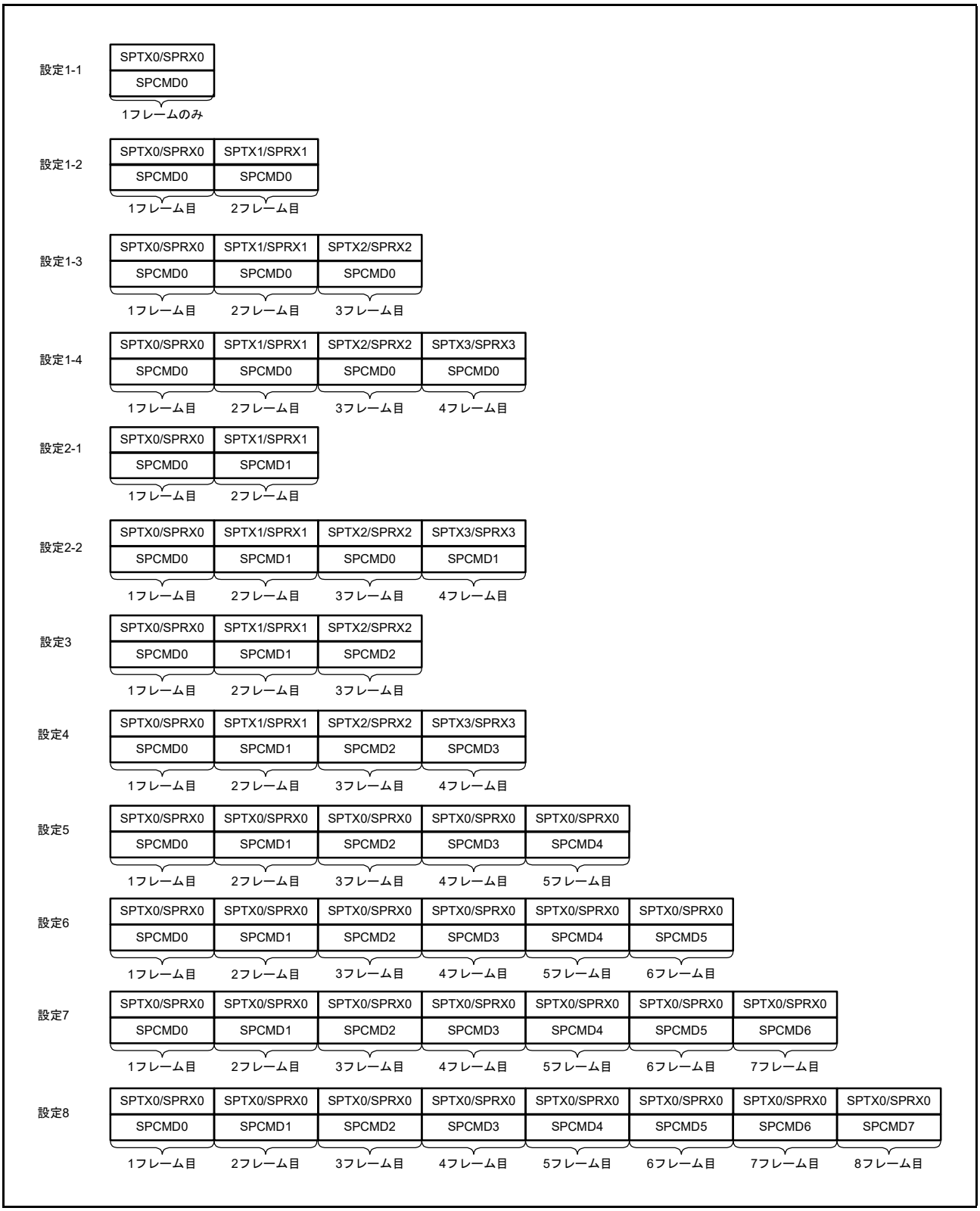


図 36.33　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4)　バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが “1” の場合には、RSPI はシリアル転送中の SSLyi 信号レベルを次のシリアル転送の SSLyi 信号アサート開始まで保持します。次のシリアル転送での SSLyi 信号レベルが、現在のシリアル転送での SSLyi 信号レベルと同じであれば、RSPI は SSLyi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 36.34 に、SPCMD0、1 レジスタの設定を使用してバースト転送を実現した場合の SSLyi 信号動作例を示します。図 36.34 に記載した（1）～（7）の RSPI 動作内容について、以下に説明します。なお、SSLyi 出力信号の極性は、SSLP レジスタの設定値に依存します。

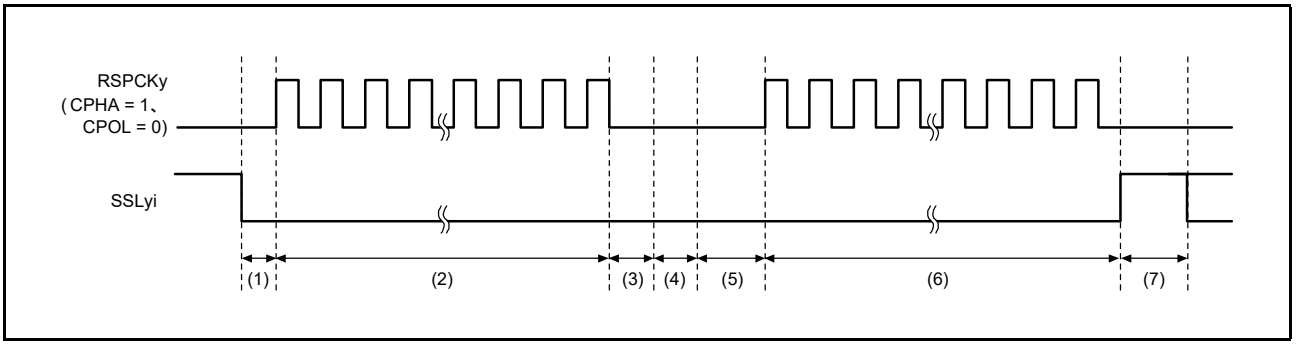


図 36.34　SSLKP ビットを利用したバースト転送動作の例

（1）SPCMD0 レジスタにしたがった SSLyi 信号のアサートと RSPCK 遅延の挿入を実施します。
（2）SPCMD0 レジスタにしたがったシリアル転送を実行します。
（3）SSL ネゲート遅延を挿入します。
（4）SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSLyi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
（5）SPCMD1 レジスタにしたがった SSLyi 信号のアサートと RSPCK 遅延の挿入を実施します。
（6）SPCMD1 レジスタにしたがったシリアル転送を実行します。
（7）SPCMD1.SSLKP ビットが “0” であるため、SSLyi 信号をネゲートします。また、SPCMD1 レジスタにしたがった次アクセス遅延が挿入されます。

SSLKP ビットを “1” にした SPCMDm レジスタでの SSLyi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLyi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLyi 信号のアサート時（図 36.34 の（5））に SSLyi 信号状態を切り替えます。このような SSLyi 信号の切り替えが発生した場合、MISOy をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLyi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが “0” の場合でも、RSPI は内部で検出した次転送の SSLyi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。
(i = 0 ～ 3、m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応))

(5)　RSPCK 遅延（t1）

マスタモードの RSPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、**表 36.9** のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、**「36.3.5　転送フォーマット」**を参照してください。

表 36.9　　SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(6)　SSL ネゲート遅延（t2）

マスタモードの RSPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、**表 36.10** のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、**「36.3.5　転送フォーマット」**を参照してください。

表 36.10　　SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(7)　次アクセス遅延（t3）

マスタモードの RSPI の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、**表 36.11** のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、**「36.3.5　転送フォーマット」**を参照してください。

表 36.11　　SPNDEN ビット、SPND レジスタと次アクセス遅延値の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延値
0	000 ～ 111	1RSPCK＋2SERICLK
1	000	1RSPCK＋2SERICLK
	001	2RSPCK＋2SERICLK
	010	3RSPCK＋2SERICLK
	011	4RSPCK＋2SERICLK
	100	5RSPCK＋2SERICLK
	101	6RSPCK＋2SERICLK
	110	7RSPCK＋2SERICLK
	111	8RSPCK＋2SERICLK

(8)　初期化フロー

図 36.35 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

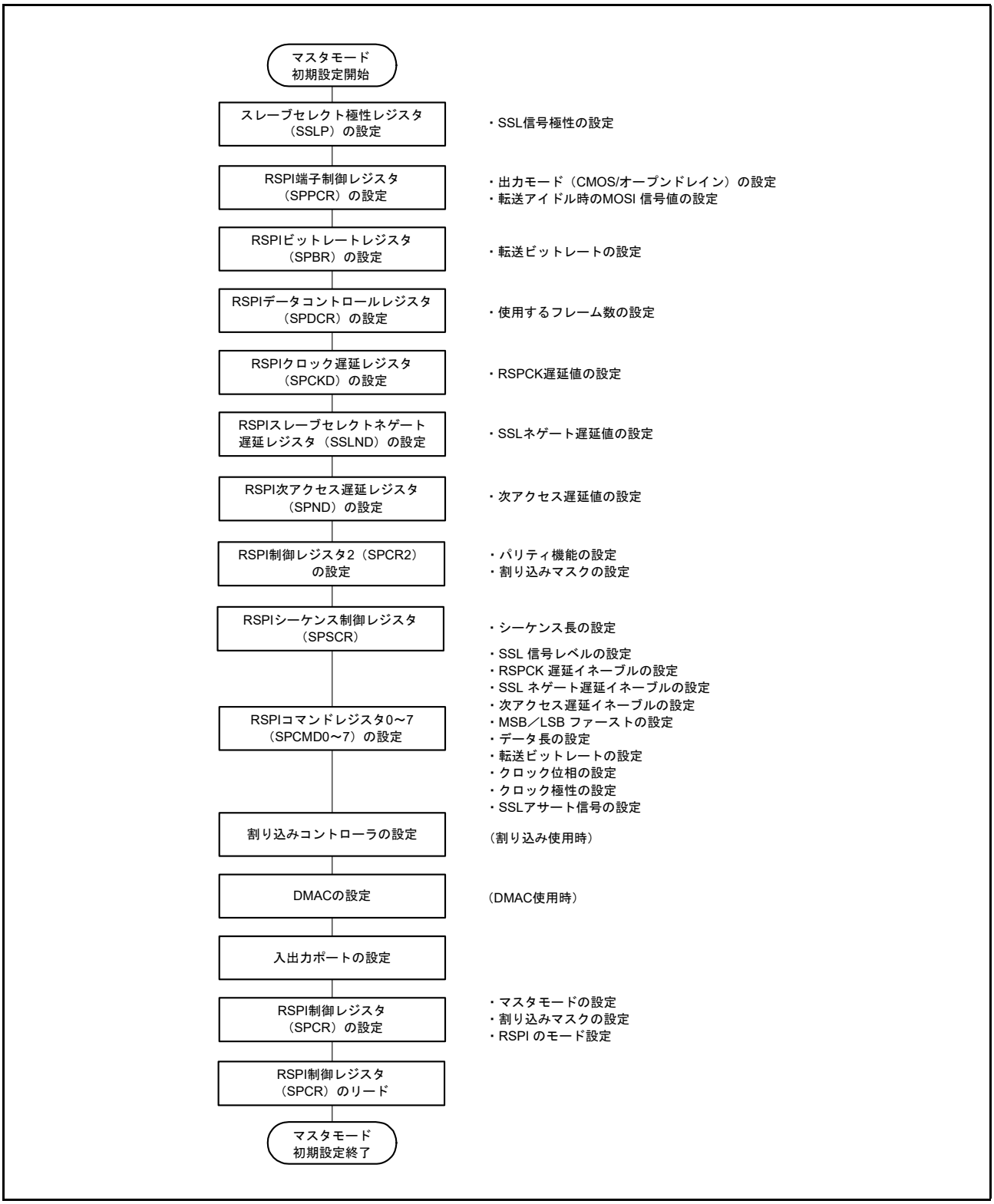


図 36.35　マスタモード時の初期化フロー例（SPI 動作）

(9)　ソフトウェア処理フロー

ソフトウェア処理フローの例を図 36.36 ～図 36.38 に示します。

(a)　送信処理フロー

送信を行う場合、最終データの書き込み完了後アイドル割り込み （SPII）を許可することによって、全データ送信完了を CPU に通知することが可能です。

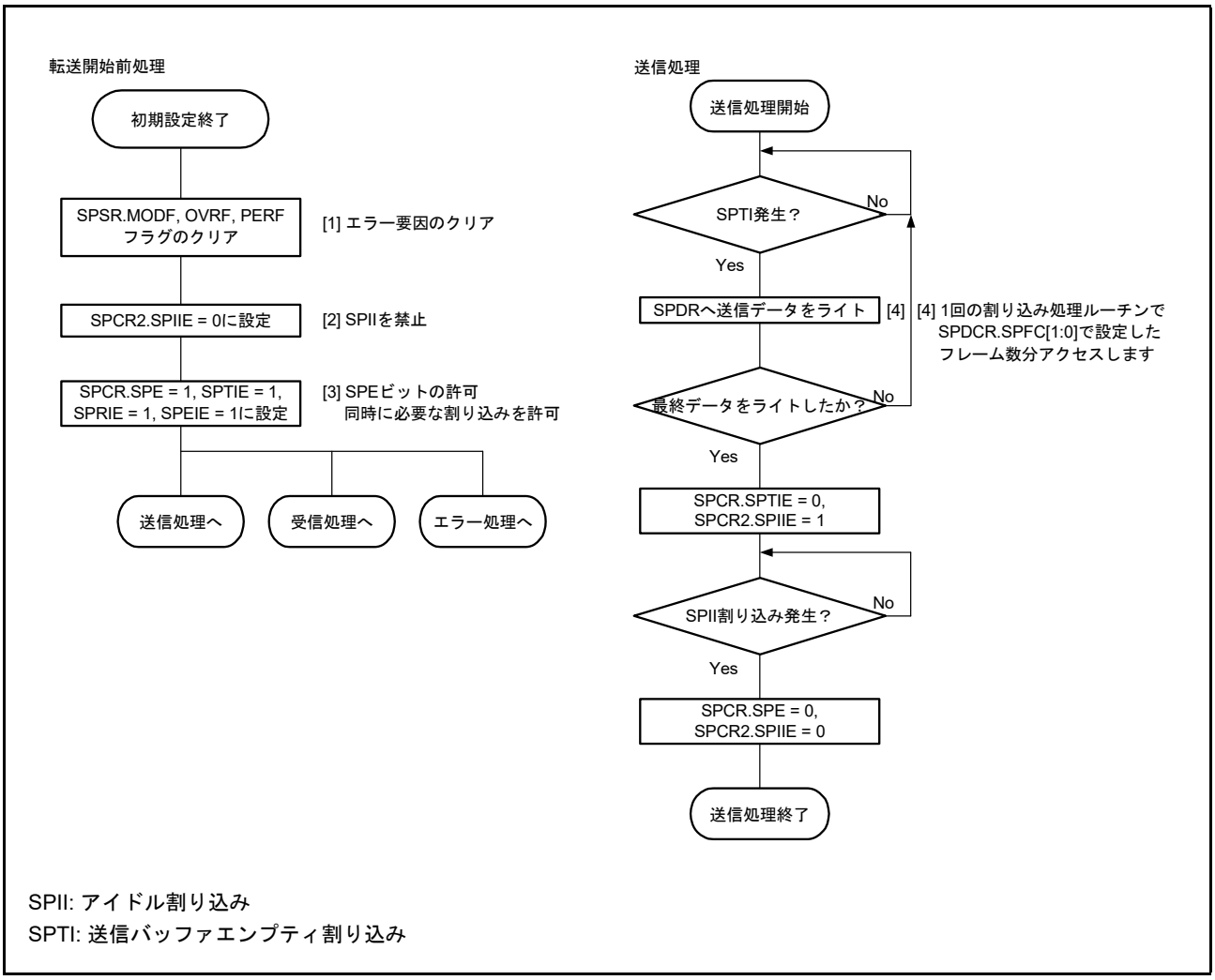


図 36.36　マスタモード時のフローチャート（送信）

(b)　受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

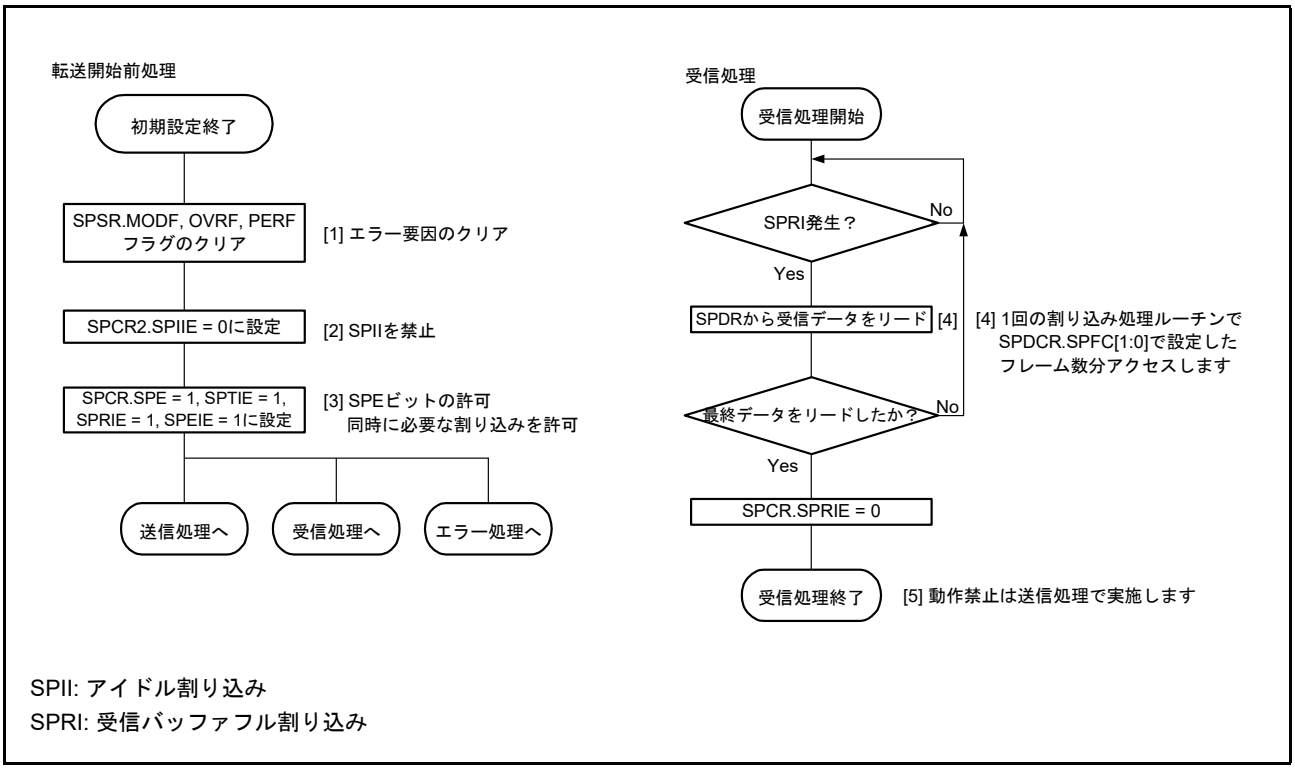


図 36.37　マスタモード時のフローチャート（受信）

(c)　エラー処理フロー

RSPI は 3 種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信／受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信／受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

エラー発生時は、割り込み要求フラグとして、対応する IRQ ステータスレジスタに送信バッファエンプティ割り込み（SPTI）または受信バッファフル割り込み（SPRI）要求が保持されている可能性がありますので、エラー処理にて対応する IRQ ステータスレジスタのフラグをクリアしてください。また、受信バッファフル割り込み（SPRI）要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

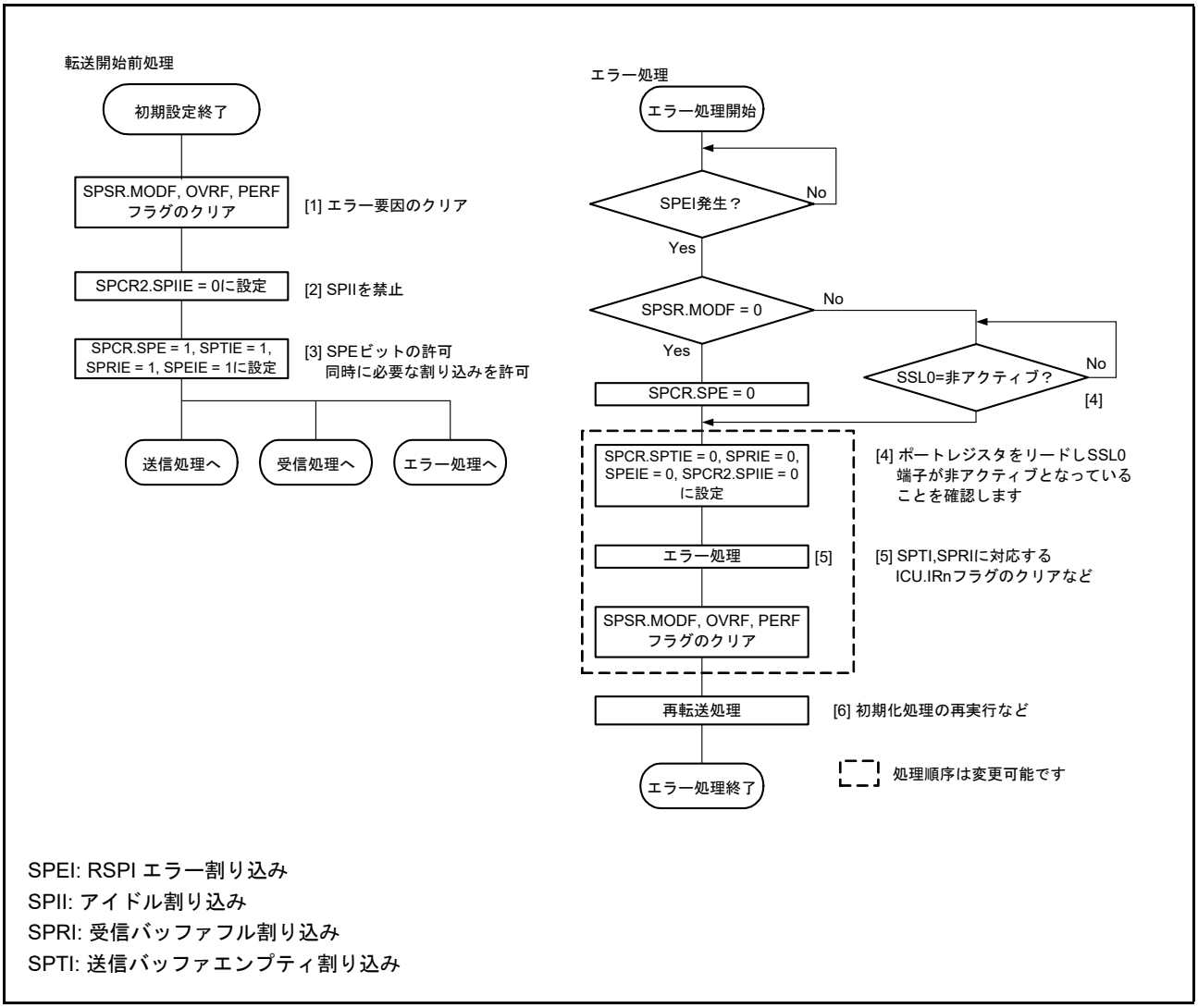


図 36.38　マスタモード時のフローチャート（エラー）

36.3.10.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが “0” の場合、RSPI は SSLy0 入力信号のアサートを検出すると、MISOy 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “0” の場合には、SSLy0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが “1” の場合には、RSPI は SSLy0 入力信号のアサート状態で最初の RSPCKy エッジを検出すると、MISOy 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “1” の場合には、SSLy0 信号アサート状態における最初の RSPCKy エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISOy 出力信号のドライブを開始するタイミングは、SSLy0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効／無効が異なります。

なお、RSPI の転送フォーマットの詳細については、**「36.3.5　転送フォーマット」**を参照してください。

SSLy0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(y = 0, 1, 2, 3（各チャネルに対応）)

(2)　シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKy エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLy0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（**「36.3.8　エラー検出」**を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。SSLy0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、**「36.3.5　転送フォーマット」**を参照してください。

(y = 0, 1, 2, 3（各チャネルに対応）)

(3)　シングルスレーブ時の注意点

SPCMD0.CPHA ビットが “0” の場合には、RSPI は SSLy0 入力信号のアサートエッジを検出するとシリアル転送を開始します。**図 36.7** の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSLy0 入力信号が常にアクティブ状態に固定されるため、CPHA ビットを “0” に設定した RSPI ではシリアル転送を正しく開始できません。SSLy0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを “1” にしてください。CPHA ビットを “0” にする必要がある場合には、SSLy0 入力信号を固定しないでください。

(y = 0, 1, 2, 3（各チャネルに対応）)

(4)　バースト転送

SPCMD0.CPHA ビットが “1” の場合には、SSLy0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが “1” の場合には、SSLy0 入力信号アクティブ状態における最初の RSPCKy エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLy0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが “0” の場合には、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5)　初期化フロー

図 36.39 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

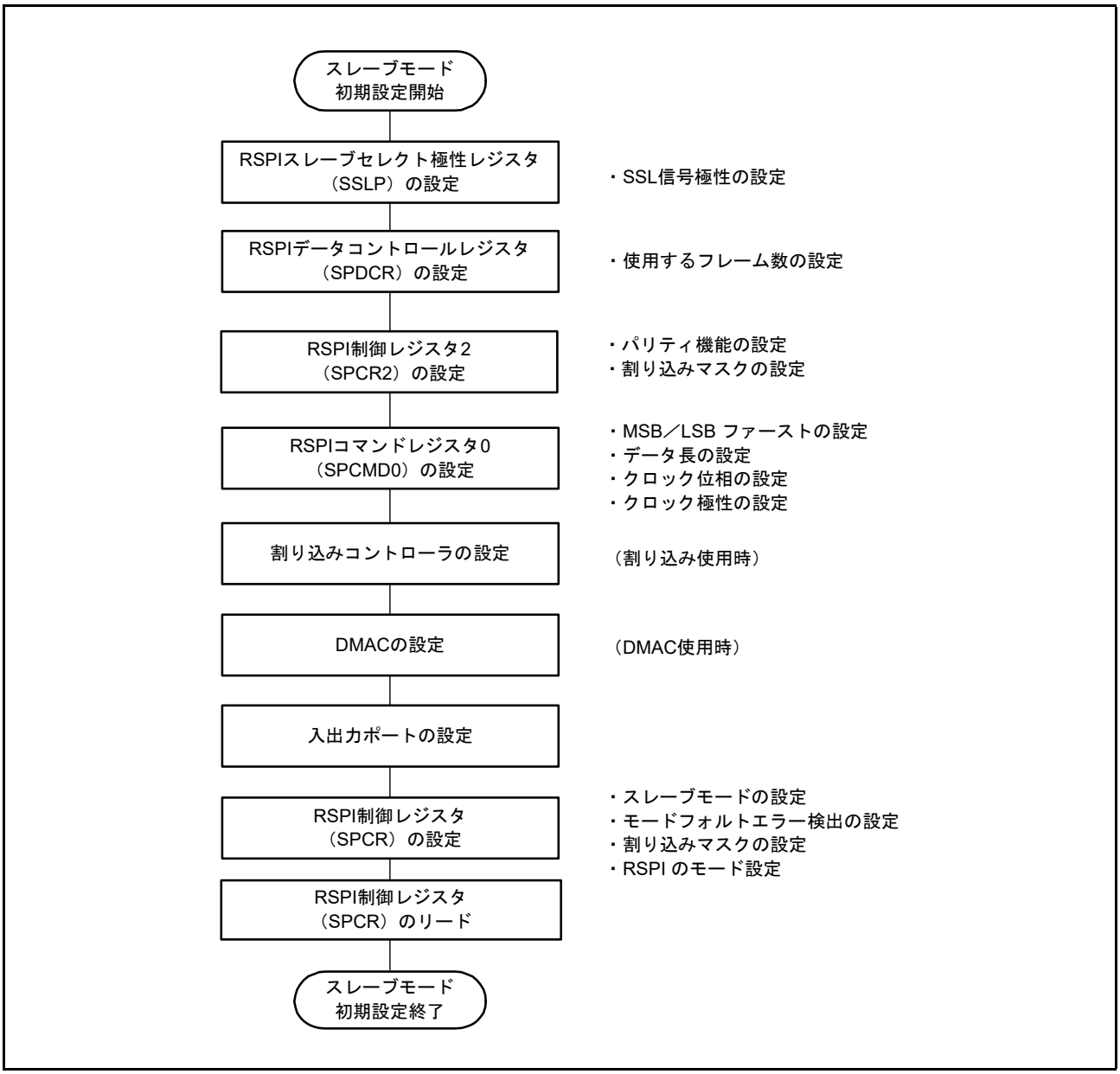


図 36.39　スレーブモード時の初期化フロー例（SPI 動作）

(6)　ソフトウェア処理フロー

ソフトウェア処理フローの例を図 36.40 ～図 36.42 に示します。

(a)　送信処理フロー

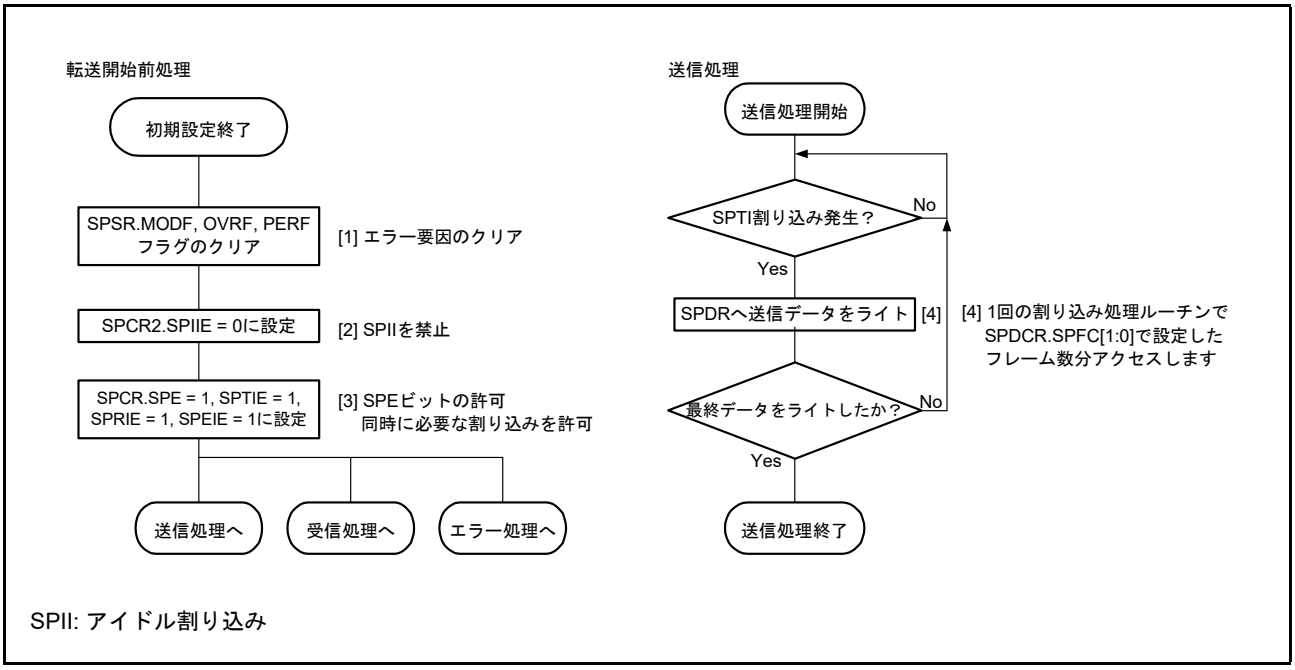


図 36.40　スレーブモード時のフローチャート（送信）

(b)　受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

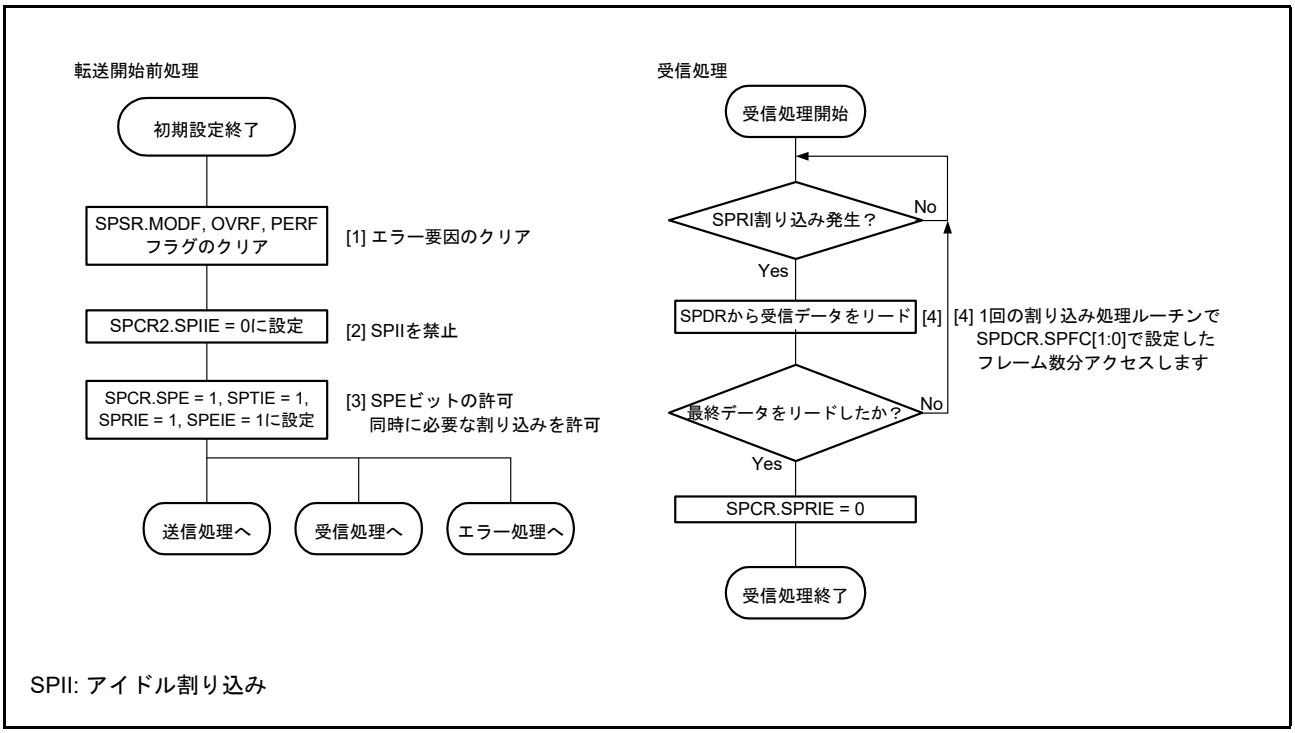


図 36.41　スレーブモード時のフローチャート（受信）

(c)　エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても端子を非アサートにせず、SPSR.MODF フラグをクリアすることができます。

エラー発生時は、割り込み要求フラグとして IRQ ステータスレジスタ（IRQSn）に送信バッファエンプティ割り込み（SPTI）または受信バッファフル割り込み（SPRI）要求が保持されている可能性があるためエラー処理にて対応する IRQ ステータスレジスタ（IRQSn）のフラグをクリアしてください。また、受信バッファフル割り込み（SPRI）要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

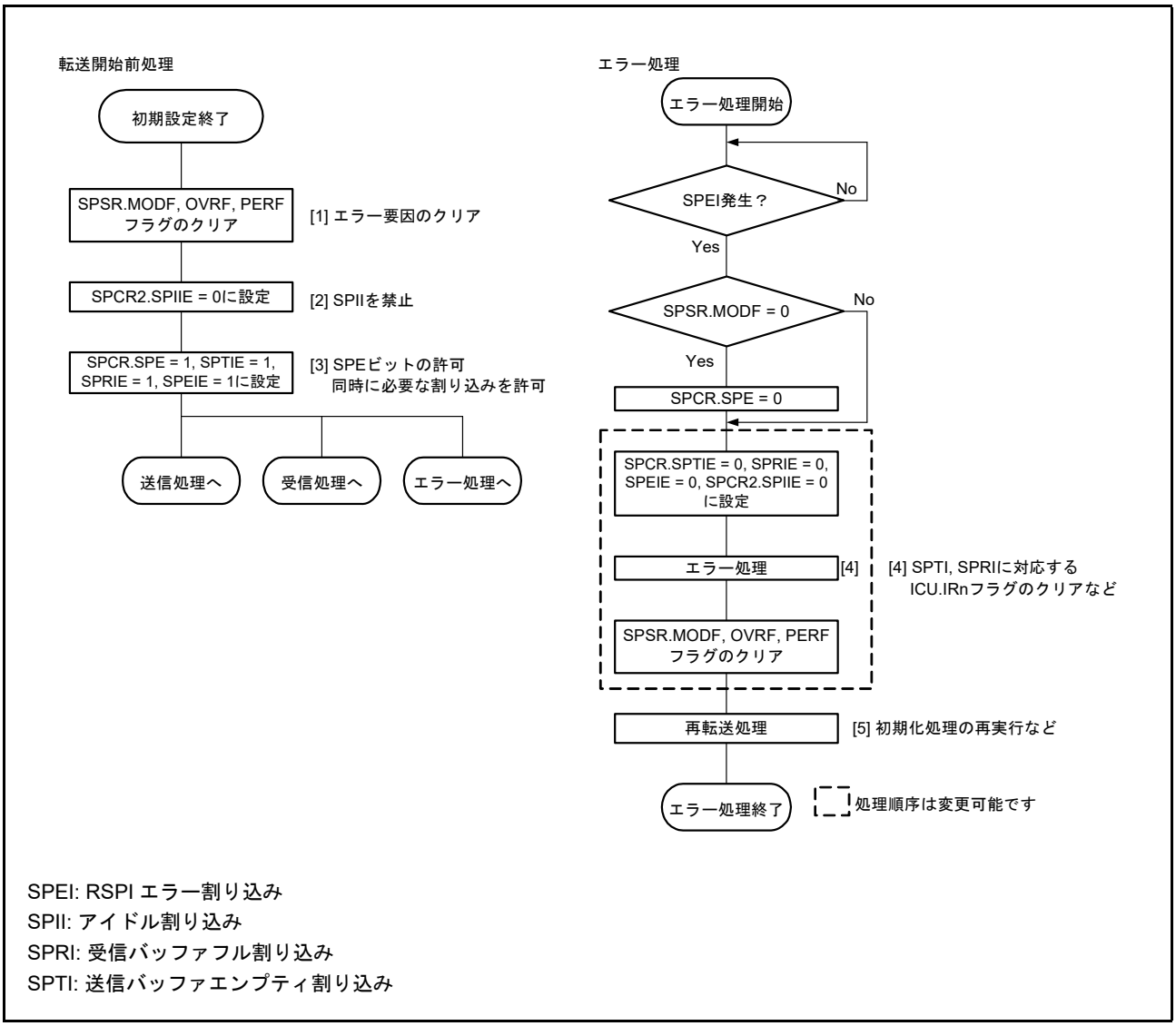


図 36.42　スレーブモード時のフローチャート（エラー処理）

36.3.11　クロック同期式動作

RSPI は、SPCR.SPMS ビットが “1” であるとき、クロック同期式動作となります。クロック同期式動作は、SSLyi 端子を使用せず、RSPCKy、MOSIy、MISOy の 3 本の端子を用いて通信を行い、SSLyi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLyi 端子を使用せず通信を行いますが、モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSLyi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時（SPCR.MSTR = 0）に SPCMDm.CPHA ビットを “0” にした場合の動作はしないでください。

(i = 0 ～ 3、m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応))

36.3.11.1　マスタモード動作

(1)　シリアル転送の開始

送信バッファが空（次転送のデータがセットされていない）の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ（SPTX）のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、**「36.3.5　転送フォーマット」**を参照してください。ただし、クロック同期式動作時は、SSLy0 出力信号を用いずに通信を行います（y = 0, 1, 2, 3（各チャネルに対応))。

(2)　シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKy エッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、**「36.3.5　転送フォーマット」**を参照してください。ただし、クロック同期式動作時は、SSLy0 出力信号を用いずに通信を行います（y = 0, 1, 2, 3（各チャネルに対応))。

(3)　シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLyi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLyi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKy 極性／位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部／全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが “1” で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。
（i = 0 ～ 3、m = 0 ～ 7、y = 0, 1, 2, 3（各チャネルに対応））

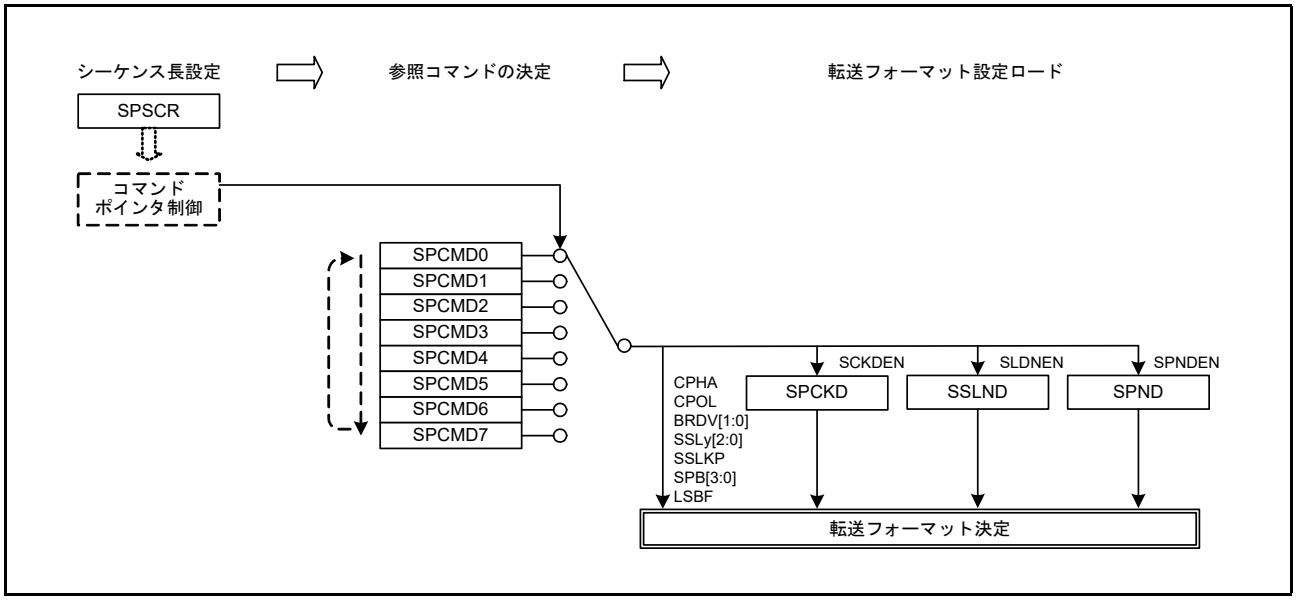


図 36.43　マスタモードでのシリアル転送方式の決定方法

本章では、データ（SPDR）と設定（SPCMDm）の 2 つを合わせてフレームとします（m = 0 ～ 7）。

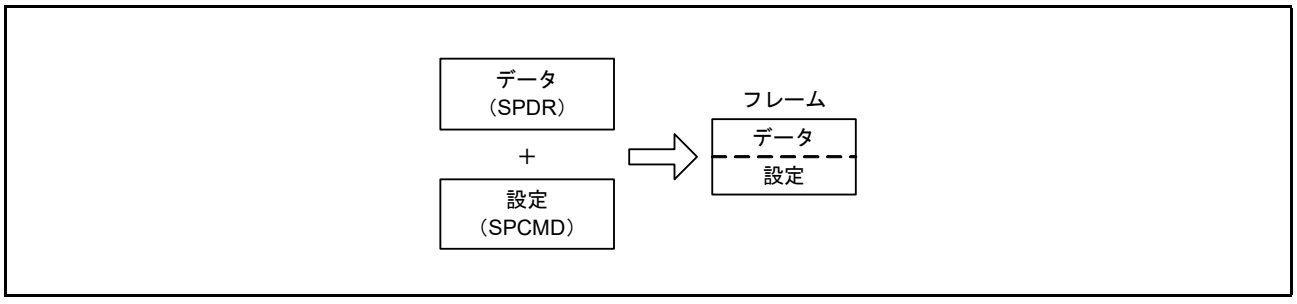


図 36.44　フレーム概念図

表 36.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの関係を図 36.45 に示します。

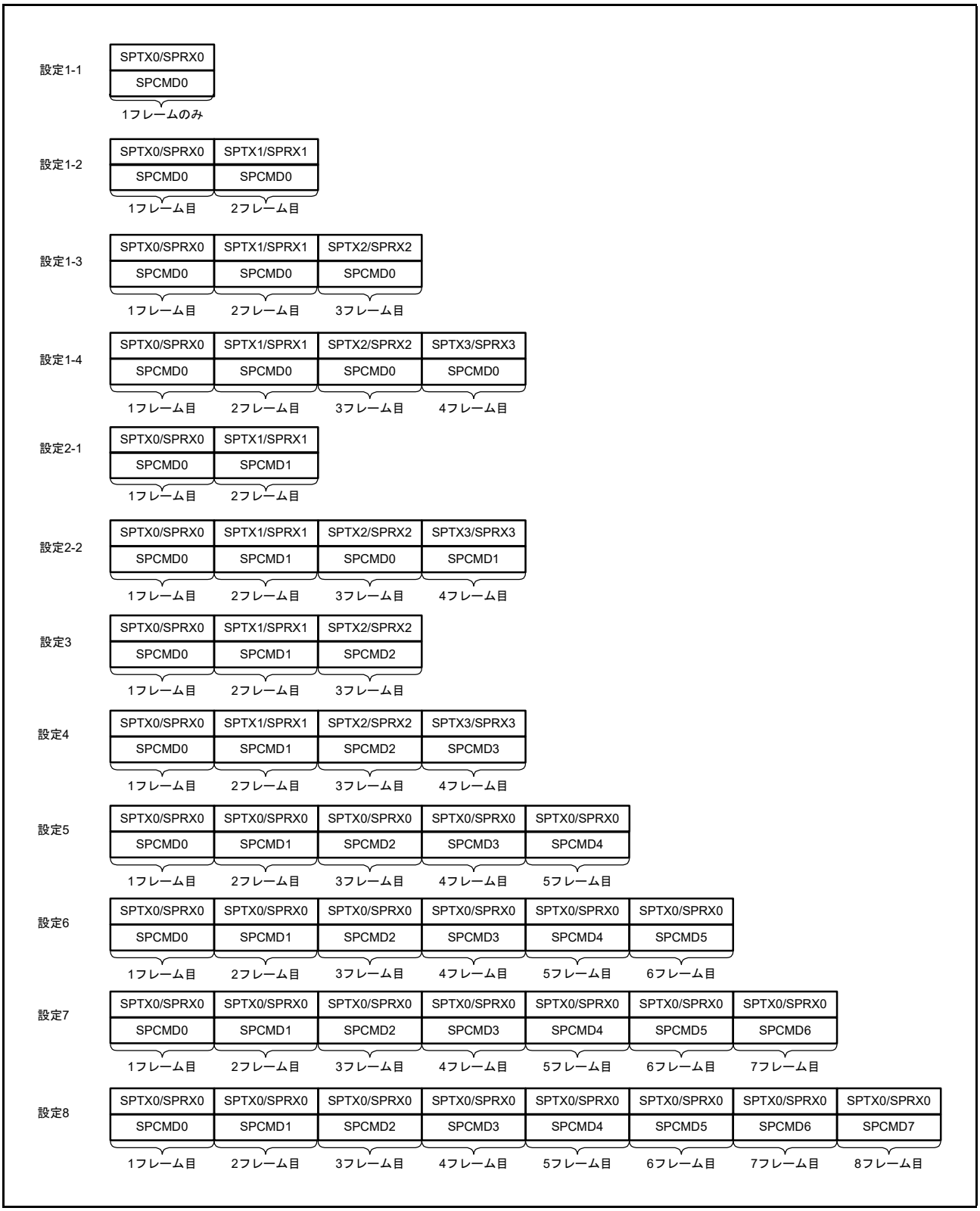


図 36.45　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4)　初期化フロー

図 36.46 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。



図 36.46　マスタモード時の初期化フロー例（クロック同期式動作）

(5)　ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI 動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「36.3.10.1 (9)　**ソフトウェア処理フロー**」を参照してください。ただし、モードフォルトエラーの発生はありません。

36.3.11.2　スレーブモード動作

(1)　シリアル転送の開始

RSPI は、SPCR.SPMS ビットが “1” であるとき、最初の RSPCKy エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが “1” であるときは、RSPI は MISOy 出力信号を常にドライブします。

なお、RSPI の転送フォーマットの詳細については、「36.3.5　**転送フォーマット**」を参照してください。ただし、クロック同期式動作時は SSL0 入力信号を使用しません（y = 0, 1, 2, 3（各チャネルに対応））。

(2)　シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCKy エッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「36.3.5　**転送フォーマット**」を参照してください（y = 0, 1, 2, 3（各チャネルに対応））。

(3)　初期化フロー

図 36.47 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

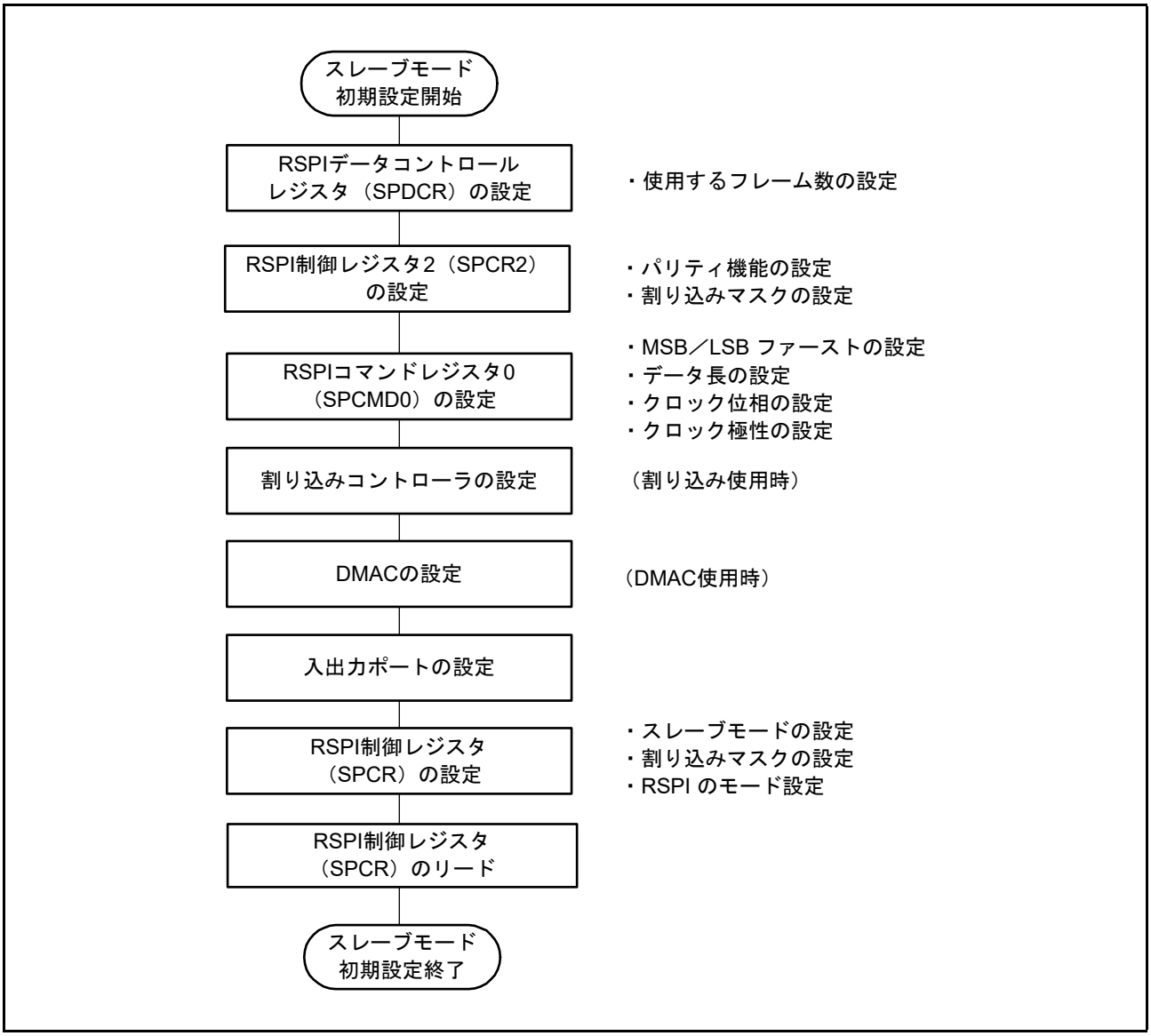


図 36.47　スレーブモード時の初期化フロー例（クロック同期式動作）

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、**「36.3.10.2 (6)　ソフトウェア処理フロー」**を参照してください。ただし、モードフォルトエラーの発生はありません。

36.3.12　ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに “1” を書くと、RSPI は SPCR.MSTR ビットが “1” ならば、MISOy 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIy 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが “1” ならば、MOSIy 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MISOy 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 36.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、**図 36.48** に、マスタモードの RSPI をループバックモード（SPPCR.SPLP2 = 0、SPPCR.SPLP = 1）に設定した場合のシフトレジスタ入出力経路の構成を示します（y = 0, 1, 2, 3（各チャネルに対応））。

表 36.12　SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIy 端子または MISOy 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

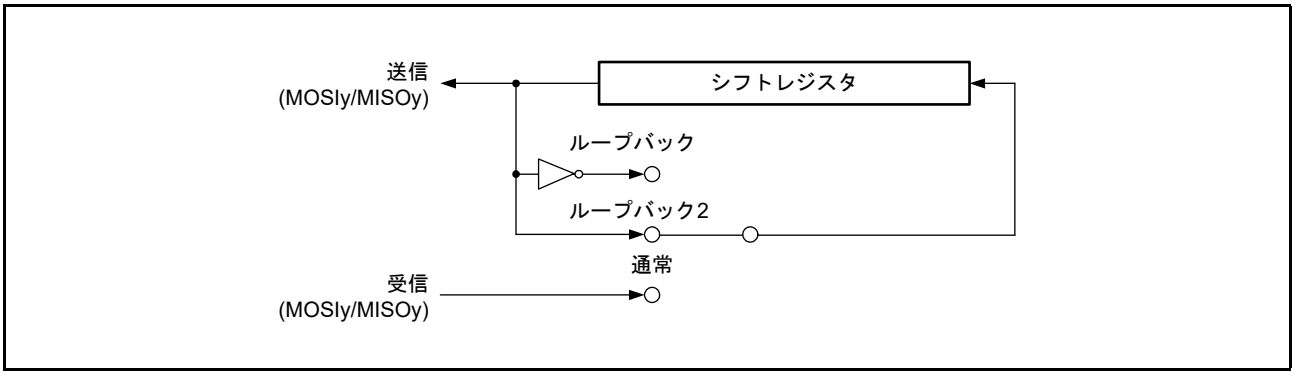


図 36.48　ループバックモード時のシフトレジスタ入出力構成（マスタモード）

36.3.13　パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 36.49 に示すフローにしたがい、パリティ回路の自己診断を行います。

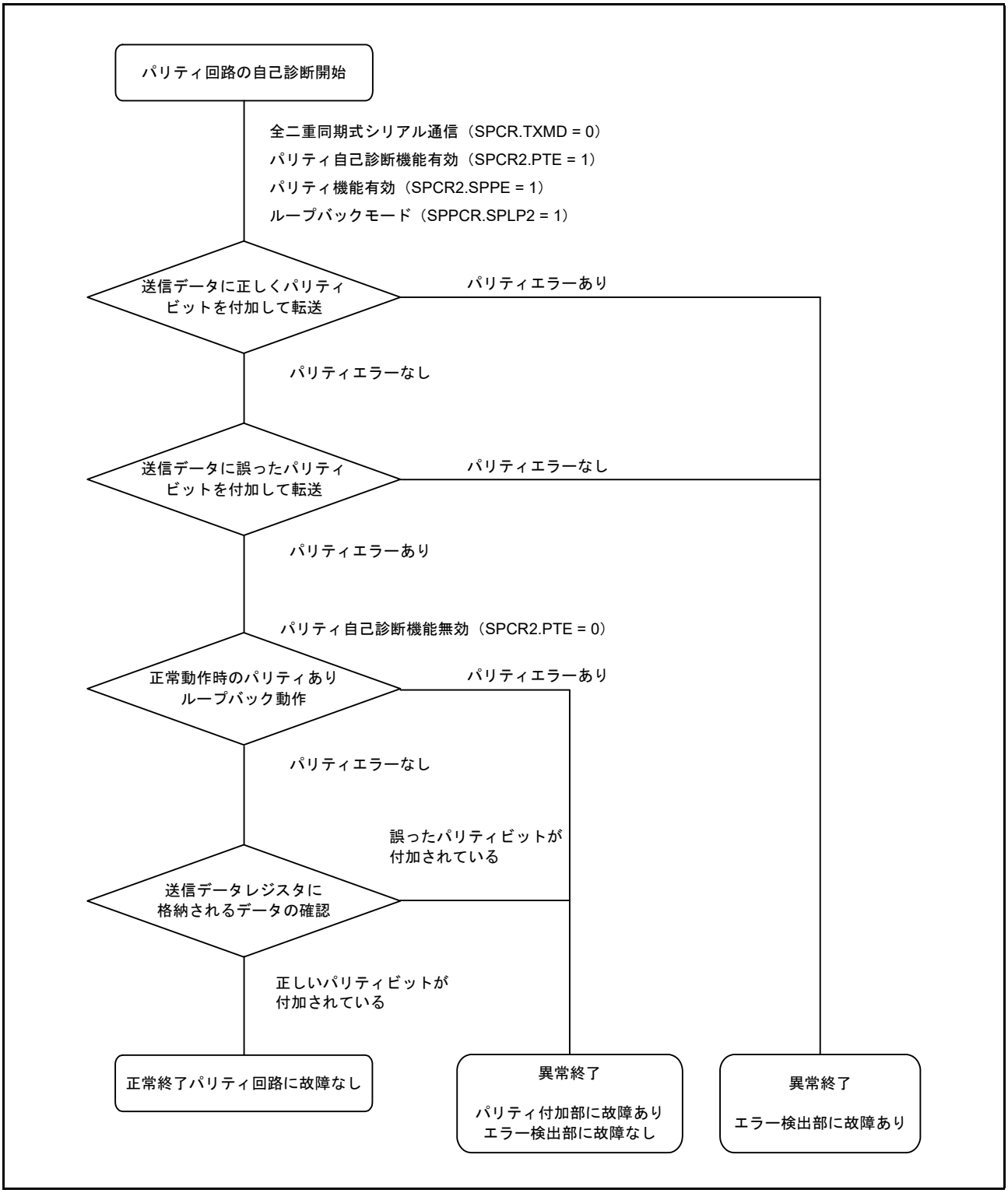


図 36.49　パリティ回路の自己判断フロー

36.3.14　割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DMAC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求は共通のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。**表 36.13** に RSPI の割り込み要因を示します。**表 36.13** の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DMAC の設定方法は「**15.　DMA コントローラ（DMACAa）**」を参照してください。

表 36.13　RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DMAC 起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態で受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態で送信バッファエンプティになったとき	可能
RSPI エラー（モードフォルト、オーバラン、パリティエラー）	SPEI	SPCR.SPEIE ビットが“1”の状態で SPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPI アイドル	SPII	SPCR2.SPIIE ビットが“1”の状態で IDLNF フラグが“0”になったとき	不可能

36.4　イベントリンク機能によるリンク動作（RSPI チャネル 0 のみ）

イベントリンクコントローラ（ELC）に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、対応する割り込み許可ビット（SPCR.SPEIE ビット、SPCR.SPTIE ビットおよび SPCR.SPRIE ビット）に依存せず出力します。

36.4.1　受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

36.4.2　送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを “0” から “1” に変化させたときにイベントを出力します。

36.4.3　モードフォルト／オーバラン／パリティエラーイベント出力

(1)　モードフォルト

表 36.14 にモードフォルトイベント出力の発生条件を示します。

表 36.14　モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLy0 端子 (y = 0, 1, 2, 3)	備考
マスタ (SPCR.MSTR ビットが “1”)	1	アクティブ	MSTR ビットが “1” かつ SPCR.MODFEN ビットが “1” のとき、SPCR.SPMS ビットが “0” では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに “52h” を設定しないでください。
スレーブ (SPCR.MSTR ビットが “0”)	1	非アクティブ	通信動作中に SSL0 端子が非アクティブになった場合のみイベント出力

(2)　オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが “0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが “1” となり、イベントを出力します。

(3)　パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが “0”、SPCR2 の SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

36.4.4　RSPI アイドルイベント出力

(1)　マスタモード時

マスタモードのときは、IDLNF フラグ（RSPI アイドルフラグ）が “0” になる条件が成立したときイベントを出力します。

(2)　スレーブモード時

スレーブモードのときは、SPCR の SPE ビットが “0”（RSPI 初期化）のとき、イベントを出力します。

36.4.5　送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ（RSPI アイドルフラグ）が “1” から “0” になる条件でイベントを出力します。

表 36.15　送信完了イベント出力の発生条件（スレーブ）

	送信バッファ状態	シフトレジスタ状態	その他
SPI動作（SPCR.SPMS = 0）	エンプティ	エンプティ	SSL0入力ネゲート
クロック同期式動作 （SPCR.SPMS = 1）	エンプティ	エンプティ	最終RSPCKのエッジ検出

マスタ／スレーブにかかわらず、送信動作中に SPCR.SPE ビットへの “0” の書き込み時、またはモードフォルトエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

36.5　使用上の注意事項

36.5.1　　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、RSPI の動作禁止／許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「9.　消費電力低減機能」を参照してください。

36.5.2　　消費電力低減機能の注意事項

モジュールストップ状態へ遷移する場合は、あらかじめ SPCR.SPE ビットを “0” に設定し通信を終了させてください。

36.5.3　　通信の開始に関する注意事項

対応する IRQ ステータスレジスタ（IRQSn）の割り込み要求フラグが “1” で通信を開始すると、通信開始後に次の割り込み要求が発生して、モジュール内部で割り込み要求が保持されます。このため、割り込み要求フラグが予期しない挙動となる可能性があります。

通信開始時点で RSPI の割り込み要求に対応する要求フラグが “1” のときは、動作許可（SPCR.SPE ビットを “1” にする）前に下記の手順でモジュール内部および IRQ ステータスレジスタ（IRQSn）の割り込み要求をクリアしてください。

(1) 通信が停止していること（SPCR.SPE ビットが “0” となっていること）を確認
(2) 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を “0” にする
(3) 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出し、“0” を確認
(4) 対応する IRQ ステータスレジスタ（IRQSn）の割り込み要求フラグを “0” にする

37.　SPI マルチ I/O バスコントローラ（SPIBSC）

SPI マルチ I/O バスコントローラは、SPI マルチ I/O バス空間に接続されたシリアルフラッシュに対し、制御信号を出力するバスコントローラです。これにより、シリアルフラッシュを直接接続することができます。

本 LSI は 1 チャネルの SPI マルチ I/O バスコントローラを備えています。

37.1　概要

本モジュールは、SPI マルチ I/O バス空間に接続したシリアルフラッシュに対し、直接リードおよび SPI 動作モードによるデータの送受信を行うことができます。**表 37.1** に SPIBSC の仕様を示します。

表37.1　SPIBSCの仕様

項目	内容
シリアルフラッシュインタフェース	• シリアルフラッシュを1個接続可能 • データバス幅を1ビット、2ビット、4ビットから選択可能
外部アドレス空間リードモード	• アドレス空間を最大4Gバイトまでサポート • アクセスアドレスをモニタすることにより、SPBSSL端子の自動制御が可能 • リードキャッシュ内蔵（ラインサイズ64ビット×16エントリ）により、効率の良いデータ受信が可能
SPI動作モード	• シリアルフラッシュに対し、任意のリード／ライト動作が可能
ビットレート	• 内部ボーレートジェネレータでPCLKAを分周してSPBCLKを生成 • SPBCLK分周比を2～4080で設定可能
SPBSSL端子制御	• SPBSSL信号のアクティブからSPBCLK動作までの遅延（クロック遅延）を設定可能 設定範囲：1～8SPBCLK　設定単位：1SPBCLK • SPBCLK停止からSPBSSL出力のインアクティブまでの遅延（SPBSSLネゲート遅延）を設定可能 設定範囲：1.5～8.5SPBCLK　設定単位：1SPBCLK • 次のアクセスのSPBSSL出力のウェイト（次アクセス遅延）を設定可能 設定範囲：1～8SPBCLK　設定端子：1SPBCLK • SPBSSL極性変更可能

図 37.1 に本モジュールのブロック図を示します。

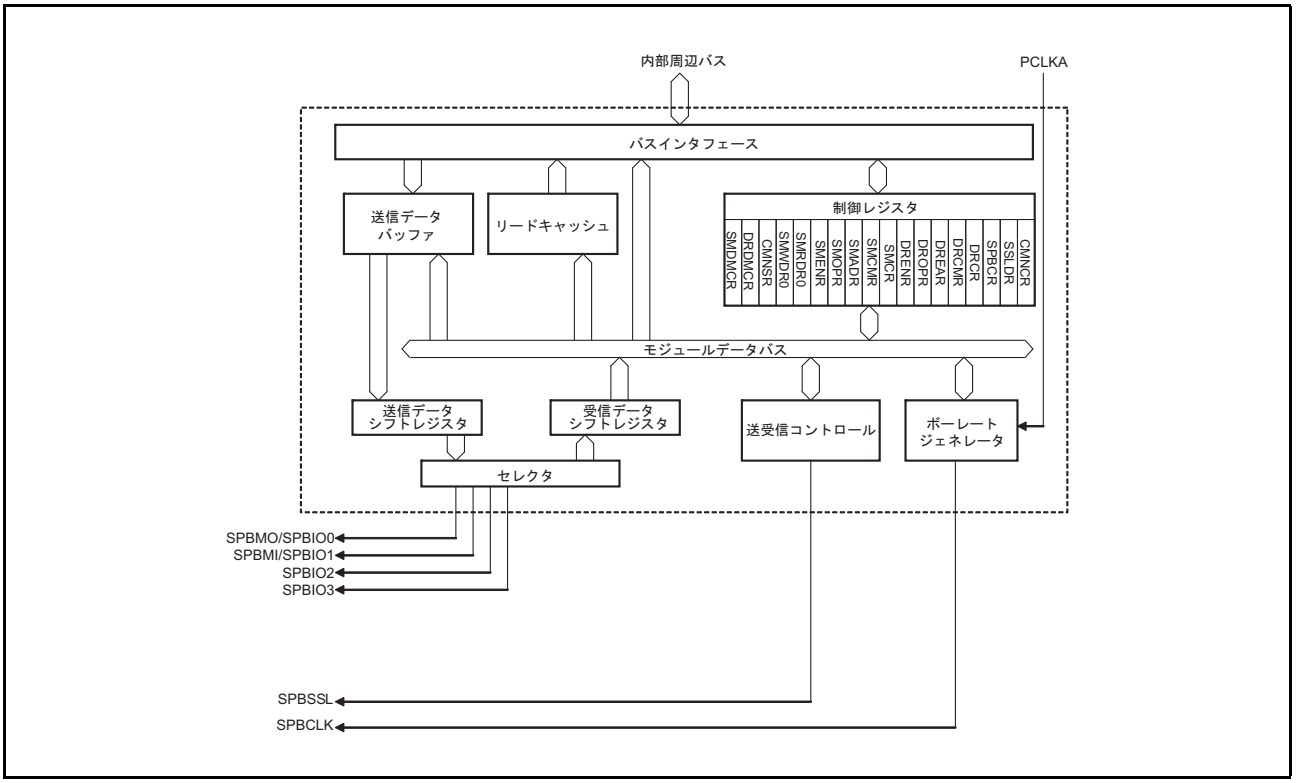


図 37.1　　SPIBSC のブロック図

表 37.2 に本モジュールの入出力端子を示します。

表37.2　　SPIBSCの入出力端子

名称	端子名	入出力	機能
クロック端子	SPBCLK	出力	クロック出力
スレーブセレクト端子	SPBSSL	出力	スレーブセレクト
ポートデータ0端子	SPBMO/SPBIO0	入出力	ポートマスタ送出データ／ データ0
ポートデータ1端子	SPBMI/SPBIO1	入出力	ポートマスタ入力データ／ データ1
ポートデータ2端子	SPBIO2	入出力	ポートデータ2
ポートデータ3端子	SPBIO3	入出力	ポートデータ3

37.2　レジスタの説明

37.2.1　共通コントロールレジスタ（CMNCR）

CMNCR レジスタは、SPI マルチ I/O バスコントローラの制御を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード／ SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 5000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MD	—	—	—	—	—	—	SFDE	MOIIO3[1:0]		MOIIO2[1:0]		MOIIO1[1:0]		MOIIO0[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IO3FV[1:0]		IO2FV[1:0]		—	—	IO0FV[1:0]		—	CPHAT	CPHAR	SSLP	CPOL	—	BSZ[1:0]	
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BSZ[1:0]	データバス幅指定	接続するシリアルフラッシュの数を指定します。本製品では、1個のみ接続可能なため、00b以外に設定しないでください。他の値を設定した場合の動作は保証しません。 b1 b0 00：1個 01：設定禁止 1X：設定禁止	R/W
b2	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b3	CPOL	SPBSSLネゲート期間SPBCLK出力方向	SPBSSL信号がインアクティブ期間のSPBCLK端子の出力レベルを設定します。 0：SPBSSL信号がインアクティブ時SPBCLK端子は0出力 1：SPBSSL信号がインアクティブ時SPBCLK端子は1出力	R/W
b4	SSLP	SPBSSL信号極性設定	SPBSSL信号の極性を設定します。 0：SPBSSL信号はLowアクティブ 1：SPBSSL信号はHighアクティブ	R/W
b5	CPHAR	入力ラッチ設定	受信データに対するSPBCLK信号のエッジを設定します。CPHATビットと本ビットの設定は以下の表にしたがってください。 0：奇数エッジでデータ受信 1：偶数エッジでデータ受信 CPHATビットとCPHARビットの設定値 CPHAT / CPHAR / 0 / 0 / 設定可 0 / 1 / 設定可 1 / 0 / 設定禁止 1 / 1 / 設定可	R/W
b6	CPHAT	出力シフト設定	データ送信に対するSPBCLK信号のエッジを設定します。本ビットとCPHARビットの設定はCPHARビットの説明にしたがってください。 0：偶数エッジでデータ送信 1：奇数エッジでデータ送信	R/W

ビット	シンボル	ビット名	機能	R/W
b7	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b9-b8	IO0FV[1:0]	1ビット幅入力時SPBIO0固定値	1ビット幅入力時のSPBIO0端子の出力値を固定します。 b9 b8 00：出力値は0固定 01：出力値は1固定 10：出力値は直前のビット （直前のビットが Hi-Z のときは Hi-Z） 11：出力値はHi-Z	R/W
b11-b10	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b13-b12	IO2FV[1:0]	1ビット／2ビット幅時SPBIO2固定値	1ビット／2ビット幅時のSPBIO2端子の出力値を固定します。 b13 b12 00：出力値は0固定 01：出力値は1固定 10：出力値は直前のビット （直前のビットが Hi-Z のときは Hi-Z） 11：出力値はHi-Z	R/W
b15-b14	IO3FV[1:0]	1ビット／2ビット幅時SPBIO3固定値	1ビット／2ビット幅時のSPBIO3端子の出力値を固定します。 b15 b14 00：出力値は0固定 01：出力値は1固定 10：出力値は直前のビット （直前のビットが Hi-Z のときは Hi-Z） 11：出力値はHi-Z	R/W
b17-b16	MOIIO0[1:0]	SPBSSLアイドル時SPBIO0固定値	SPBSSL信号のインアクティブ期間のSPBIO0端子の出力値を固定します。 b17 b16 00：出力値は0 01：出力値は1 10：出力値は直前のビット （直前のビットが Hi-Z のときは Hi-Z） 11：出力値はHi-Z	R/W
b19-b18	MOIIO1[1:0]	SPBSSLアイドル時SPBIO1固定値	SPBSSL信号のインアクティブ期間のSPBIO1端子の出力値を固定します。 b19 b18 00：出力値は0 01：出力値は1 10：出力値は直前のビット （直前のビットが Hi-Z のときは Hi-Z） 11：出力値はHi-Z	R/W
b21-b20	MOIIO2[1:0]	SPBSSLアイドル時SPBIO2固定値	SPBSSL信号のインアクティブ期間のSPBIO2端子の出力値を固定します。 b21 b20 00：出力値は0 01：出力値は1 10：出力値は直前のビット （直前のビットが Hi-Z のときは Hi-Z） 11：出力値はHi-Z	R/W
b23-b22	MOIIO3[1:0]	SPBSSLアイドル時SPBIO3固定値	SPBSSL信号のインアクティブ期間のSPBIO3端子の出力値を固定します。 b23 b22 00：出力値は0 01：出力値は1 10：出力値は直前のビット （直前のビットが Hi-Z のときは Hi-Z） 11：出力値はHi-Z	R/W
b24	SFDE	シリアルフラッシュデータスワップ設定	シリアルフラッシュのデータのスワップを設定します。 0：スワップしない 1：8ビット単位でスワップ 詳細は「37.3.4　データアライメント」を参照してください。	R/W
b30-b25	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MD	動作モード切り替え	動作モードの切り替えを行います。 0：外部アドレス空間リードモード 1：SPI動作モード	R/W

37.2.2　SSL 遅延レジスタ（SSLDR）

SSLDR レジスタは、SPBSSL 信号と SPBCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 5004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]			—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	クロック遅延設定	SPBSSL信号のアクティブからSPBCLK信号からクロックが出力されるまでの期間（クロック遅延）を設定します。 b2　b0 000：1SPBCLK 001：2SPBCLK 010：3SPBCLK 011：4SPBCLK 100：5SPBCLK 101：6SPBCLK 110：7SPBCLK 111：8SPBCLK	R/W
b7-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b10-b8	SLNDL[2:0]	SPBSSLネゲート遅延設定	転送最終時のSPBCLK信号エッジを送出してからSPBSSL信号をインアクティブにするまでの期間（SPBSSLネゲート遅延）を設定します。 b10 b8 000：1.5SPBCLK 001：2.5SPBCLK 010：3.5SPBCLK 011：4.5SPBCLK 100：5.5SPBCLK 101：6.5SPBCLK 110：7.5SPBCLK 111：8.5SPBCLK	R/W
b15-b11	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b18-b16	SPNDL[2:0]	次アクセス遅延設定	転送終了から次の転送開始までの期間（次アクセス）を設定します。 b18 b16 000：1SPBCLK 001：2SPBCLK 010：3SPBCLK 011：4SPBCLK 100：5SPBCLK 101：6SPBCLK 110：7SPBCLK 111：8SPBCLK	R/W
b31-b19	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

37.2.3　ビットレート設定レジスタ（SPBCR）

SPBCR レジスタは、ビットレートを設定する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／ SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス　A000 5008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPBR[7:0]								—	—	—	—	—	—	BRDV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	BRDV[1:0]	ビットレート分周設定	ビットレートを設定します。ビットレートはSPBR[7:0]ビットとの組み合わせで決まります。SPBRビットの設定値で、ベースとなるビットレートを決定します。本ビットは、ベースのビットレートに対して分周なし／2分周／4分周／8分周を選択するために使用します。 b1 b0 00：ベースのビットレートを選択 01：ベースのビットレートの2分周を選択 10：ベースのビットレートの4分周を選択 11：ベースのビットレートの8分周を選択	R/W
b7-b2	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b15-b8	SPBR[7:0]	ビットレート設定	ビットレートを設定します。ビットレートはBRDV[1:0]ビットとの組み合わせで決まります。ビットレート設定の詳細は「表37.3　SPBR[7:0]、BRDV[1:0]ビットの設定例とビットレート」を参照してください。	R/W
b31-b16	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

(1)　ビットレート

SPBR[7:0]、BRDV[1:0] ビットでビットレートを設定します。

SPBR[7:0] ≠ 0 のときのビットレートの計算式は以下のようになります。

式中の n は SPBR[7:0] の設定値（1、…255）、N は BRDV[1:0] の設定値（0 ～ 3）です。

ビットレート = PCLKA /（$2 \times n \times 2^N$）

SPBR[7:0] = 0 のときのビットレートの計算式は以下のようになります。

ビットレート = PCLKA / 2^N

また、SPBR[7:0] = 0 かつ BRDV[1:0] = 0 の設定は禁止です。

表37.3　SPBR[7:0]、BRDV[1:0]ビットの設定例とビットレート

SPBR[7:0]の設定値（n）	BRDV[1:0]の設定値（N）	分周比	ビットレート
			PCLKA = 150MHz
0	0	1	設定禁止
0	1	2	75Mbps
0	2	4	37.5Mbps
0	3	8	18.75Mbps
1	0	2	75Mbps
2	0	4	37.5Mbps
3	0	6	25Mbps
4	0	8	18.75Mbps
5	0	10	15Mbps
6	0	12	12.5Mbps
6	1	24	6.25Mbps
6	2	48	3.13Mbps
6	3	96	1.56Mbps
255	3	4080	36.76kbps

注.　ビットレートは本モジュールのAC特性を満たせる範囲で設定してください。

37.2.4　データリードコントロールレジスタ（DRCR）

DRCR レジスタは、外部アドレス空間リードモード時の動作を設定する 32 ビットのレジスタです。

SSLN ビット以外は、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス　A000 500Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	SSLN	—	—	—	—	RBURST[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RCF	RBE	—	—	—	—	—	—	—	SSLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSLE	SPBSSLネゲート設定	リードバースト時のSPBSSL信号のインアクティブ条件を設定します。 通常リード時はアクセスごとにSPBSSL信号をインアクティブにします。 0：バースト長で設定されたデータ転送終了ごとにSPBSSL信号をインアクティブにします。 1：アクセスしたアドレスが前回転送のアドレスから連続していないときにSPBSSL信号をインアクティブにします。	R/W
b7-b1	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b8	RBE	リードバースト	バーストリードのON/OFFを設定します。 0：アクセスサイズに応じてリードします。 1：リードキャッシュが有効となり、RBURST[3:0]ビットに指定されたバースト数分リードします。	R/W
b9	RCF	リードキャッシュフラッシュ	本ビットに1を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に0が読めます。 注.　本ビットに1を書き込み、リードキャッシュをクリアした場合、DRCRレジスタの内容を読み出した後に外部アドレス空間をリードしてください。	R/W
b15-b10	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b19-b16	RBURST[3:0]	リードデータバースト長	リード時のバースト長を設定します。 本レジスタのRBEビット = “1”にセットしたときに有効になります。 b19 b16 0000：1データ長連続 0001：2データ長連続 ： 1110：15データ長連続 1111：16データ長連続 1データ長は64ビットです。	R/W
b23-b20	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b24	SSLN	SPBSSLネゲート	本レジスタのRBEビット = “1”かつSSLEビット = “1”の設定のとき、本ビットに1ライトすることにより、アクティブになっているSPBSSL信号をインアクティブにします。 読み出すと常に0が読めます。 注.　本ビットでSPBSSL信号をインアクティブにした後、次のアクセスを始める場合、CMNSRレジスタのSSLFビット = 0をリードしてSPBSSL信号がインアクティブになったことを確認してください。	R/W
b31-b25	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

37.2.5　データリードコマンド設定レジスタ（DRCMR）

DRCMR レジスタは、外部アドレス空間リードモード時に発行するコマンドを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス　A000 5010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	CMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	OCMD[7:0]	オプショナルコマンド	オプショナルコマンドを設定します。	R/W
b15-b8	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	CMD[7:0]	コマンド	コマンドを設定します。詳細については、使用されるシリアルフラッシュをご確認ください。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

37.2.6　データリード拡張アドレス設定レジスタ（DREAR）

DREAR レジスタは、シリアルフラッシュのアドレスを 32 ビットで出力するときのアドレス設定レジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 5014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	EAV[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EAC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EAC[2:0]	32 ビット拡張外部アドレス有効範囲設定	シリアルフラッシュのアドレスを32ビットで出力する場合、シリアルフラッシュのアドレスとして使用する外部アドレスの範囲を設定します。 この設定はDRENRレジスタのADE[3]ビット = 1のときのみ有効です。 b2 b0 000：外部アドレスのビット[24:0]が有効 001：外部アドレスのビット[25:0]が有効 上記以外：設定禁止	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	EAV[7:0]	32 ビット拡張上位アドレス固定値設定	シリアルフラッシュのアドレスを32ビットで出力する場合、本レジスタのEAC[2:0]ビットで設定した外部アドレスの上位アドレスを本ビットに設定します。 ビット0がシリアルフラッシュのアドレスビット[25]に対応し、ビット7がビット[32]に対応します。 この設定はDRENRレジスタのADE[3]ビット = 1のときのみ有効です。 EAC[2:0] = 000のとき、シリアルフラッシュのアドレス[32:25]をEAV[7:0]に設定します。 EAC[2:0] = 001のとき、シリアルフラッシュのアドレス[32:26]をEAV[7:1]に設定します。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

37.2.7　データリードオプション設定レジスタ（DROPR）

DROPR レジスタは、外部アドレス空間リードモード時のオプションデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 5018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	OPD3[7:0]								OPD2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OPD1[7:0]								OPD0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	OPD0[7:0]	オプションデータ 0	オプションデータ 0 を設定します。	R/W
b15-b8	OPD1[7:0]	オプションデータ 1	オプションデータ 1 を設定します。	R/W
b23-b16	OPD2[7:0]	オプションデータ 2	オプションデータ 2 を設定します。	R/W
b31-b24	OPD3[7:0]	オプションデータ 3	オプションデータ 3 を設定します。	R/W

注.　出力の順番はOPD3→OPD2→OPD1→OPD0です。

37.2.8　データリードイネーブル設定レジスタ（DRENR）

DRENR レジスタは、外部アドレス空間リードモード時のコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅、およびリードデータ以外の出力イネーブルを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 501Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	DRDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DME	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				—	—	—	—
リセット後の値	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b7-b4	OPDE[3:0]	オプションデータイネーブル	オプションデータ出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b7　b4 0000：出力しない 1000：OPD3を出力 1100：OPD3、OPD2を出力 1110：OPD3、OPD2、OPD1を出力 1111：OPD3、OPD2、OPD1、OPD0を出力 上記以外：設定禁止	R/W
b11-b8	ADE[3:0]	アドレスイネーブル	アドレス出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b11　b8 0000：出力しない 0111：Address[23:0]を出力 1111：Address[31:0]を出力 上記以外：設定禁止	R/W
b12	OCDE	オプショナルコマンドイネーブル	オプショナルコマンド出力を設定します。 0：出力しない 1：出力する	R/W
b13	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b14	CDE	コマンドイネーブル	コマンド出力を設定します。 0：出力しない 1：出力する	R/W
b15	DME	ダミーサイクルイネーブル	ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注.　転送がダミーサイクルから始まる設定は禁止です。 0：挿入しない 1：挿入する	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	DRDB[1:0]	データリードビット幅	データリードのビット幅を設定します。 b17 b16 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b19-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b21-b20	OPDB[1:0]	オプションデータビット幅	オプションデータのビット幅を設定します。 b21 b20 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b23-b22	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b25-b24	ADB[1:0]	アドレスビット幅	アドレスのビット幅を設定します。 b25 b24 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b27-b26	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b29-b28	OCDB[1:0]	オプショナルコマンドビット幅	オプショナルコマンドのビット幅を設定します。 b29 b28 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b31-b30	CDB[1:0]	コマンドビット幅	コマンドのビット幅を設定します。詳細については、使用されるシリアルフラッシュをご確認ください。 b31 b30 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W

37.2.9　SPI モードコントロールレジスタ（SMCR）

SMCR レジスタは、SPI 動作モードの動作を設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス　A000 5020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SSLKP	—	—	—	—	—	SPIRE	SPIWE	SPIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPIE	SPIデータ転送イネーブル	本ビットに1をセットすることにより、データ転送を行います。 CMNSR レジスタの TEND ビット = “1” 時のみ有効です。CMNSR レジスタの TEND ビット = “0” 時に、1 をセットした場合の動作は保証しません。 読み出すと常に 0 が読めます。 注.　SPBSSL 信号がインアクティブのときは SPIRE、SPIWE ビット = “0” でも、DRENR レジスタで出力に設定したコマンド／オプショナルコマンド／アドレス／オプションデータは出力されます。 SPBSSL 信号がアクティブのときは「37.4.2　SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項」にしたがってください。	R/W
b1	SPIWE	データライトイネーブル	SPI 動作モード時のライト動作を設定します。 0：データライトしない 1：データライトする 注.　SPIDB[1:0] ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。	R/W
b2	SPIRE	データリードイネーブル	SPI 動作モード時のリード動作を設定します。 0：データリードしない 1：データリードする 注.　SPIDB[1:0] ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。	R/W
b7-b3	—	予約ビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	R/W
b8	SSLKP	SPBSSL 信号レベル保持	転送終了後の SPBSSL 信号の状態を決定します。 0：転送終了時に SPBSSL 信号をインアクティブ 1：転送終了後から次アクセス開始まで SPBSSL 信号レベルを保持	R/W
b31-b9	—	予約ビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	R/W

37.2.10　SPI モードコマンド設定レジスタ（SMCMR）

SMCMR レジスタは、SPI 動作モード時に発行するコマンドを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス　A000 5024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	CMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	OCMD[7:0]	オプショナルコマンド	オプショナルコマンドを設定します。	R/W
b15-b8	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	CMD[7:0]	コマンド	コマンドを設定します。詳細については、使用されるシリアルフラッシュをご確認ください。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

37.2.11　SPI モードアドレス設定レジスタ（SMADR）

SMADR レジスタは、SPI 動作モード時のシリアルフラッシュのアドレスを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 5028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ADRE[7:0]								ADR[23:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADR[23:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	ADR[23:0]	アドレス	シリアルフラッシュのアドレスを設定します。	R/W
b31-b24	ADRE[7:0]	アドレス	シリアルフラッシュのアドレスを32ビットで出力するときのビット31～24を設定します。 この設定はSMENRレジスタのADE[3]ビット＝1のときに有効になります。	R/W

37.2.12　SPI モードオプション設定レジスタ（SMOPR）

SMOPR レジスタは、SPI 動作モード時のオプションデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 502Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	OPD3[7:0]								OPD2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OPD1[7:0]								OPD0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	OPD0[7:0]	オプションデータ0	オプションデータ0を設定します。	R/W
b15-b8	OPD1[7:0]	オプションデータ1	オプションデータ1を設定します。	R/W
b23-b16	OPD2[7:0]	オプションデータ2	オプションデータ2を設定します。	R/W
b31-b24	OPD3[7:0]	オプションデータ3	オプションデータ3を設定します。	R/W

注.　出力の順番はOPD3→OPD2→OPD1→OPD0です。

37.2.13　SPI モードイネーブル設定レジスタ（SMENR）

SMENR レジスタは、SPI 動作モード時のコマンド／オプショナルコマンド／アドレス／オプションデータ／転送データのビット幅、および各種出力イネーブルを設定する 32 ビットのレジスタです。コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクル／転送データのすべてを出力しない設定にすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 5030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	SPIDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DME	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				SPIDE[3:0]			
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	SPIDE[3:0]	転送データイネーブル	転送データを設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b3　b0 0000：転送しない 1000：8ビット転送 （SPIモードリード／ライトデータレジスタ0の0番地のデータを有効） 1100：16ビット転送 （SPIモードリード／ライトデータレジスタ0の0～1番地のデータを有効） 1111：32ビット転送 （SPIモードリード／ライトデータレジスタ0の0～3番地のデータを有効） 上記以外：設定禁止	R/W
b7-b4	OPDE[3:0]	オプションデータイネーブル	オプションデータ出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b7　b4 0000：出力しない 1000：OPD3を出力 1100：OPD3、OPD2を出力 1110：OPD3、OPD2、OPD1を出力 1111：OPD3、OPD2、OPD1、OPD0を出力 上記以外：設定禁止	R/W
b11-b8	ADE[3:0]	アドレスイネーブル	アドレス出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b11　b8 0000：出力しない 0100：ADR[23:16]を出力 0110：ADR[23:8]を出力 0111：ADR[23:0]を出力 1111：ADR[31:0]を出力 上記以外：設定禁止	R/W
b12	OCDE	オプショナルコマンドイネーブル	オプショナルコマンド出力を設定します。 0：出力しない 1：出力する	R/W

ビット	シンボル	ビット名	機能	R/W
b13	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b14	CDE	コマンドイネーブル	コマンド出力を設定します。 0：出力しない 1：出力する	R/W
b15	DME	ダミーサイクルイネーブル	ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注1.　SPI動作モードでライトのときは挿入禁止です。 これは1回の転送がダミーサイクルで終わる場合も含みます。 注2.　転送がダミーサイクルで始まる設定は禁止です。 0：挿入しない 1：挿入する	R/W
b17-b16	SPIDB[1:0]	転送データビット幅	転送データビット幅を設定します。 b17 b16 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b19-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b21-b20	OPDB[1:0]	オプションデータビット幅	オプションデータのビット幅を設定します。 b21 b20 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b23-b22	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b25-b24	ADB[1:0]	アドレスビット幅	アドレスのビット幅を設定します。 b25 b24 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b27-b26	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b29-b28	OCDB[1:0]	オプショナルコマンドビット幅	オプショナルコマンドのビット幅を設定します。 b29 b28 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b31-b30	CDB[1:0]	コマンドビット幅	コマンドのビット幅を設定します。詳細については、使用されるシリアルフラッシュをご確認ください。 b31 b30 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W

37.2.14　SPI モードリードデータレジスタ 0（SMRDR0）

SMRDR0 レジスタは、SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときにリードしてください。CMNSR レジスタの TEND フラグ = “0” 時にリードした場合の動作は保証しません。

アクセスサイズにより、データアライメントが異なります。詳細については「37.3.4　データアライメント」を参照してください。

本レジスタは、SPI モードイネーブルレジスタ（SMENR）の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

アドレス　A000 5038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDATA0[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDATA0[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	RDATA0[31:0]	リードデータ	SPI動作モード時にリードしたデータを格納します。	R

本レジスタは SPI 動作モードの受信が終了すると内容が書き換えられます。

SPI 動作モードの受信が終了したら必ずデータを読み出してください。

37.2.15　SPI モードライトデータレジスタ 0（SMWDR0）

SMWDR0 レジスタは、SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アクセスサイズにより、データアライメントが異なります。詳細については**「37.3.4　データアライメント」**を参照してください。

本レジスタは、SPI モードイネーブルレジスタ（SMENR）の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

アドレス　A000 5040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	WDATA0[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WDATA0[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	WDATA0[31:0]	ライトデータ	SPI動作モード時にライトするデータを格納します。	R/W

37.2.16　共通ステータスレジスタ（CMNSR）

CMNSR レジスタは、動作状態を示すフラグを格納する 32 ビットのレジスタです。
本レジスタは、外部アドレス空間リード／ SPI 動作モード両方に反映されます。

アドレス　A000 5048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSLF	TEND
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TEND	転送終了フラグ	データ転送が終了したことを示します。 0：転送中であることを表示 1：転送が終了したことを表示	R
b1	SSLF	SPBSSL端子モニタ	0：SPBSSL端子はインアクティブ状態 1：SPBSSL端子はアクティブ状態	R
b31-b2	—	予約ビット	読み出すと常に0が読み出されます。	R

37.2.17　データリードダミーサイクル設定レジスタ（DRDMCR）

DRDMCR レジスタは、外部アドレス空間リードモード時に挿入するダミーサイクルのビット幅とサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は、データリードイネーブル設定レジスタ（DRENR）の DME ビット = “1” のときに有効になります。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス　A000 5058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMCYC[2:0]	ダミーサイクル数設定	データリードイネーブル設定レジスタ（DRENR）の DMEビット = “1”のときに挿入するダミーサイクルのサイクル数を設定します。 b2 b0 000：1サイクル 001：2サイクル 010：3サイクル 011：4サイクル 100：5サイクル 101：6サイクル 110：7サイクル 111：8サイクル	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b17-b16	DMDB[1:0]	ダミーサイクルビット幅	ダミーサイクルのビット幅を設定します。 本ビットの設定と共通コントロールレジスタ（CMNCR）のIO0FVビット、IO2FVビット、IO3FVビットの設定により、ダミーサイクル中の未使用端子の状態が決まります。 使用中の端子はHi-Zとなります。 b17 b16 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b31-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

37.2.18　SPI モードダミーサイクル設定レジスタ（SMDMCR）

SMDMCR レジスタは、SPI 動作モード時に挿入するダミーサイクルのビット数とサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は SPI モードイネーブル設定レジスタ（SMENR）の DME ビット＝“1” のときに有効になります。

本レジスタは、CMNSR レジスタの TEND フラグ＝“1” のときに変更してください。CMNSR レジスタの TEND フラグ＝“0” 時に変更した場合の動作は保証しません。

アドレス　A000 5060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMCYC[2:0]	ダミーサイクル数設定	SPIモードイネーブル設定レジスタ（SMENR）のDMEビット＝“1”のときに挿入するダミーサイクルのサイクル数を設定します。 b2 b0 000：1サイクル 001：2サイクル 010：3サイクル 011：4サイクル 100：5サイクル 101：6サイクル 110：7サイクル 111：8サイクル	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b17-b16	DMDB[1:0]	ダミーサイクルビット幅	ダミーサイクルのビット幅を設定します。 本ビットの設定と共通コントロールレジスタ（CMNCR）のIO0FVビット、IO2FVビット、IO3FVビットの設定により、ダミーサイクル中の未使用端子の状態が決まります。 使用中の端子はHi-Zとなります。 b17 b16 00：1ビット 01：2ビット 10：4ビット 11：設定禁止	R/W
b31-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

37.3　動作説明

37.3.1　　システム構成

本モジュールは、1 個のシリアルフラッシュ（データ幅 1/2/4 ビット）を直接接続することが可能です。システム構成例を図 37.2 に示します。

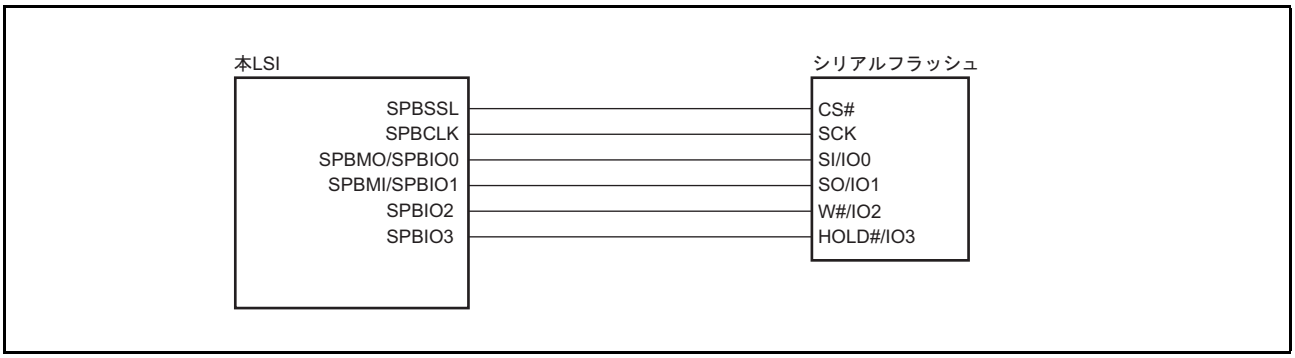


図 37.2　　データ幅 4 ビットのシリアルフラッシュ接続例（CMNCR レジスタの BSZ[1:0] ビット = 00）

37.3.2　　アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュは、SPI マルチ I/O バス空間に割り当てられます。DREAR レジスタの設定により、最大 4G バイトまでアクセス可能です。

表37.4　　アドレスマップ

シリアルフラッシュ接続数	内部アドレス	最大アクセス領域
1個	1000 0000h～13FF FFFFh	4Gバイト
	3000 0000h～33FF FFFFh（ミラー領域）	

37.3.3　　シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 64M バイトであるため、シリアルフラッシュの 32 ビットアドレス領域の一部のみ直接アクセス可能です。このとき、32 ビットアドレスの上位ビットは DREAR レジスタに設定した固定値になります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、DRENR レジスタの ADE[3] ビット = 1 に設定し、DREAR レジスタの EAC[2:0] ビットにシリアルフラッシュのアドレスとして使用する外部アドレスの範囲、DREAR レジスタの EAV[7:0] ビットに 32 ビットアドレスの上位ビットにする固定値を設定します。

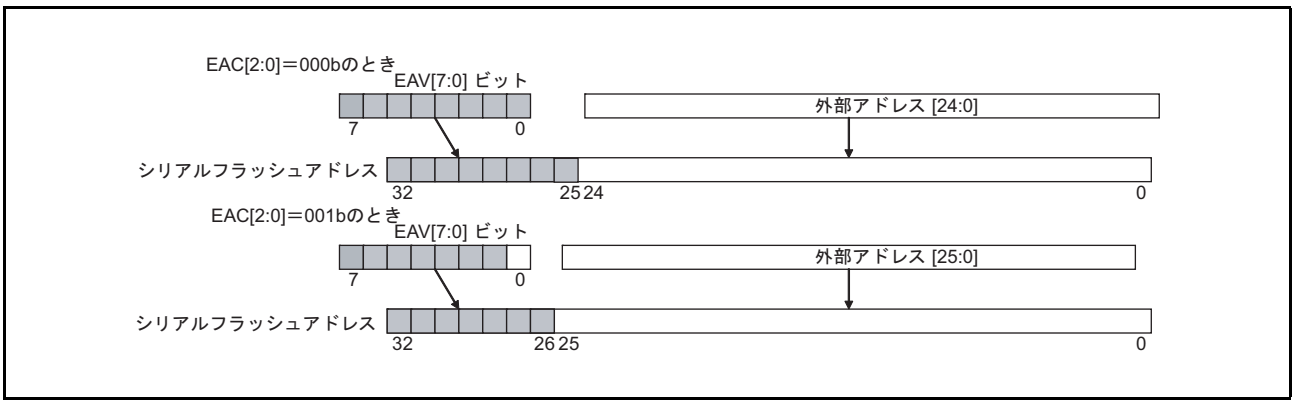


図 37.3　　32 ビットアドレス設定

DRENR レジスタの ADE[3] ビット = 1 にすることで、シリアルフラッシュのアドレスを [31:0] ビットで出力することが可能です。

EAC[2:0] = 000b の場合、外部アドレス [24:0] が有効になります。[32:25] ビットは EAV[7:0] に設定してください。

EAC[2:0] = 001b の場合、外部アドレス [25:0] が有効になります。[32:26] ビットは EAV[7:1] に設定してください。

シリアルフラッシュ 1 個接続のときはアドレス [31:0] を使用します。

37.3.4　データアライメント

データアライメントは共通コントロールレジスタ（CMNCR）の SFDE ビットにより設定できます。データリードモードと SPI モードのデータアライメントを図 37.4 と図 37.5 に示します。

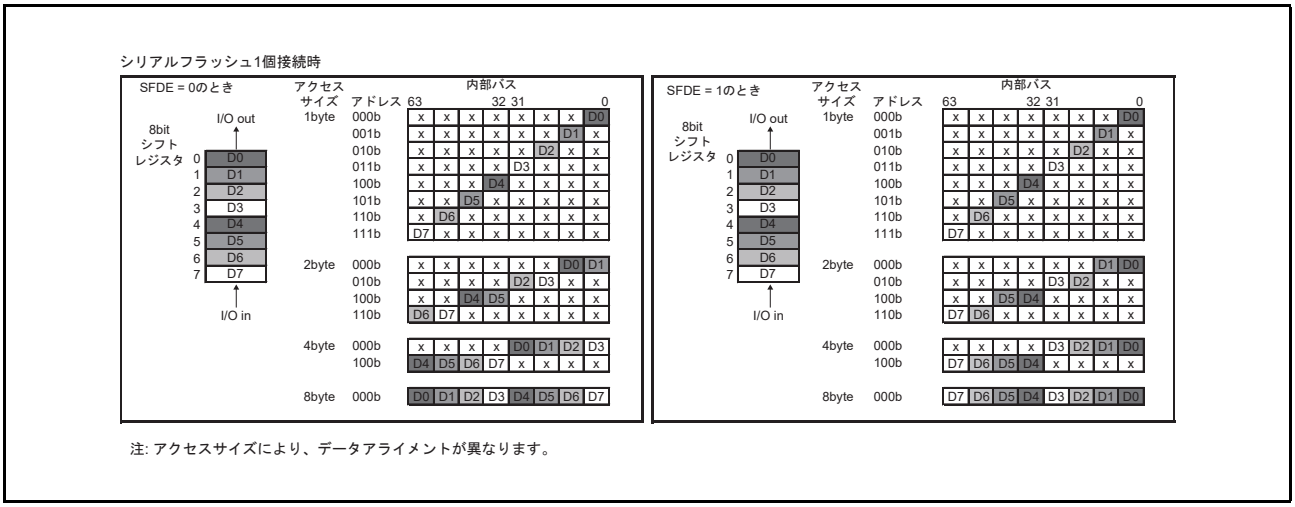


図 37.4　外部アドレス空間リードモードのデータアライメント

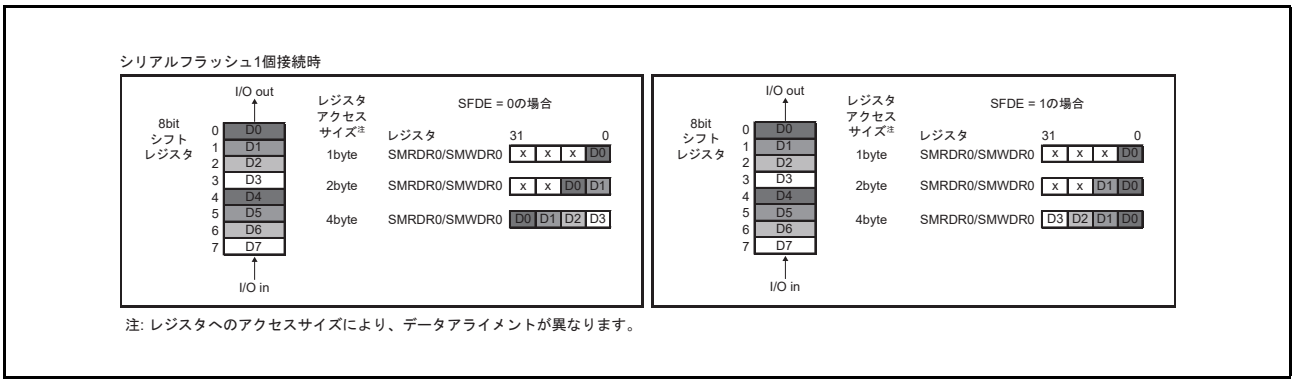


図 37.5　SPI 動作モードのデータアライメント

37.3.5　動作モード

本モジュールは、外部アドレス空間リードモードおよび SPI 動作モードの 2 つのモードを持っています。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、**「37.3.6　外部アドレス空間リードモード」**を参照してください。

SPI 動作モードは、レジスタ設定により任意の SPI 通信を行います。詳細については、**「37.3.8　SPI 動作モード」**を参照してください。

37.3.6　外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードを SPI 通信に変換することができます。また、リード時に発行するコマンド／オプショナルコマンド／オプションデータとダミーサイクルを、レジスタ設定で変更することができます。

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ（CMNCR）、SSL 遅延レジスタ（SSLDR）、ビットレート設定レジスタ（SPBCR）、データリードコントロールレジスタ（DRCR）、データリードコマンド設定レジスタ（DRCMR）、データリード拡張アドレス設定レジスタ（DREAR）、データリードオプション設定レジスタ（DROPR）、データリードイネーブル設定レジスタ（DRENR）、データリードダミーサイクル設定レジスタ（DRDMCR）の設定で決まります。

(1)　通常リード動作

DRCR レジスタの RBE ビット = “0” に設定することにより、通常リード動作になります。

通常リード動作では、バイト／ワード／ロングワードリードに対し、それぞれ 8 ビット／ 16 ビット／ 32 ビット分データをリードします。データリード後、SPBSSL 信号はインアクティブになります。

通常リード動作時のタイミング図を**図 37.6** に示します。

t1 は SPBSSL 信号がアクティブになり、SPBCLK 信号からクロックが出力されるまでの期間（クロック遅延）、t2 は転送最終時の SPBCLK 信号のエッジ送出から SPBSSL 信号をインアクティブにするまでの期間（SPBSSL ネゲート遅延）、t3 は転送終了から次の転送開始までの期間（次アクセス）を意味します。t1、t2、t3 の詳細については、**「37.3.9　転送フォーマット」**を参照してください。

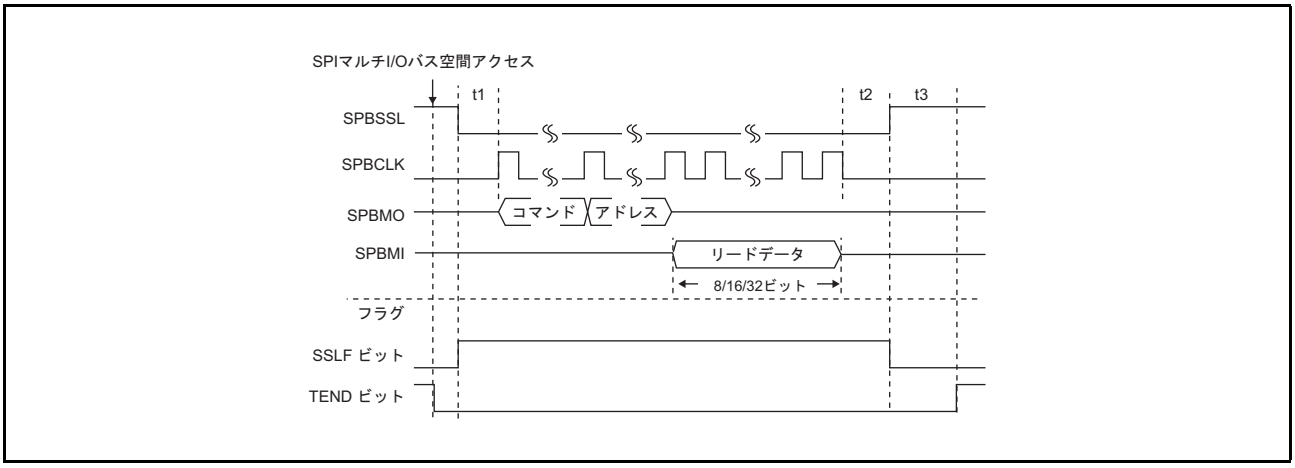


図 37.6　通常リード動作タイミング

(2)　バーストリード動作

DRCR レジスタの RBE ビット = “1” に設定することにより、バーストリード動作になります。

バーストリード動作では、リードキャッシュが有効になります。リードキャッシュの動作については「37.3.7　リードキャッシュ」を参照してください。

バイト／ワード／ロングワードリードに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、シリアルフラッシュへはアクセスせず、リードキャッシュからデータを読み出します。リードキャッシュにデータが無い場合は、シリアルフラッシュへバーストリードし、読み出したデータはリードキャッシュに格納されます。このときのデータ転送長は 64 ビット ×RBURST[3:0] ビットであり、必ず 64 ビット境界からリードします。

また、DRCR レジスタの SSLE ビットにより、データ転送後の SPBSSL 信号の状態を選択できます。SSLE ビット = 0 であれば、データ転送後必ず SPBSSL 信号をインアクティブにします。SSLE ビット = 1 の動作については、「37.3.6 (3)　バーストリード動作　SPBSSL 自動インアクティブ」を参照してください。

本動作の模式図および SSLE ビット = “0” 時のバーストリード動作タイミングを図 37.7 と図 37.8 に示します。

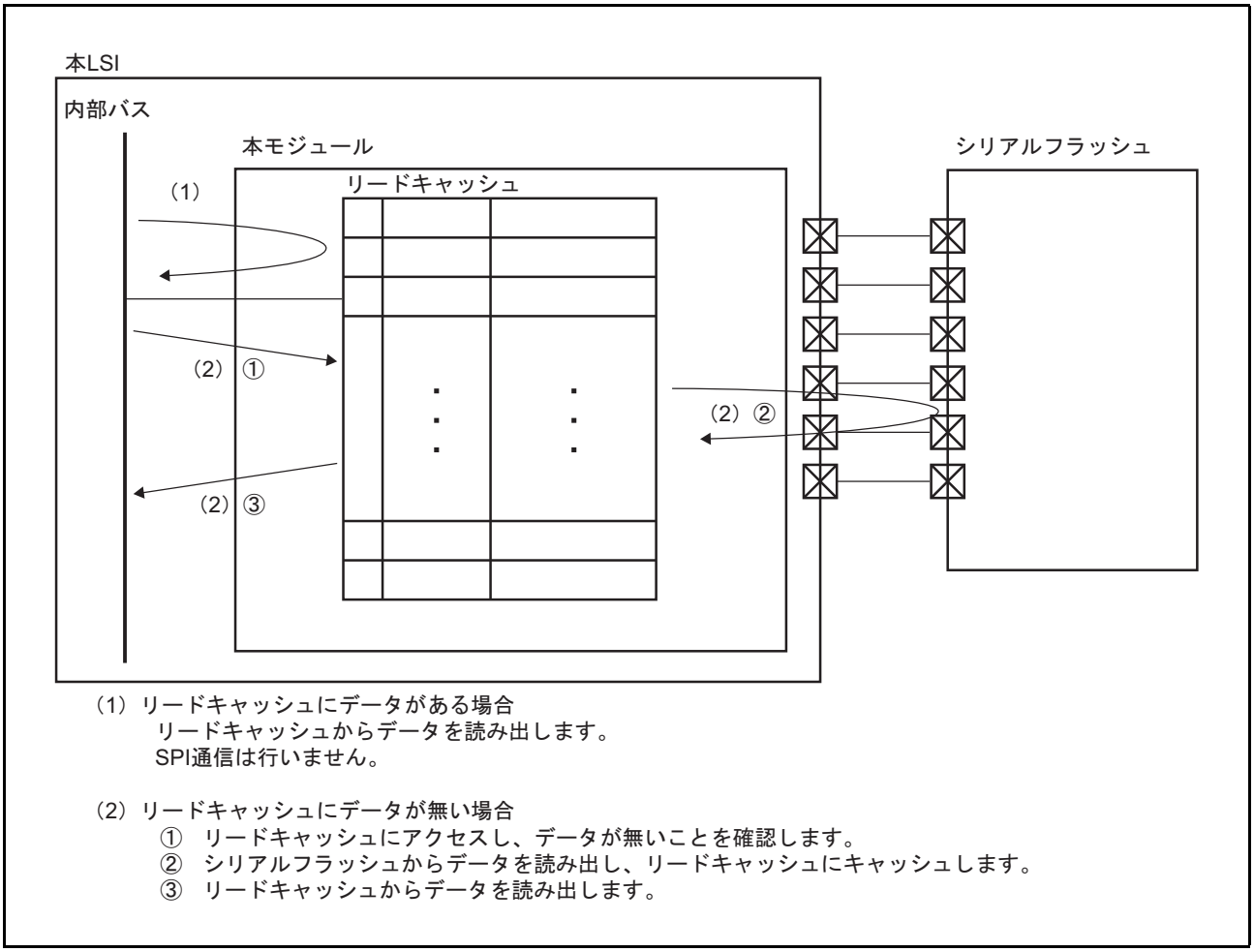


図 37.7　　バーストリード動作時のリード動作

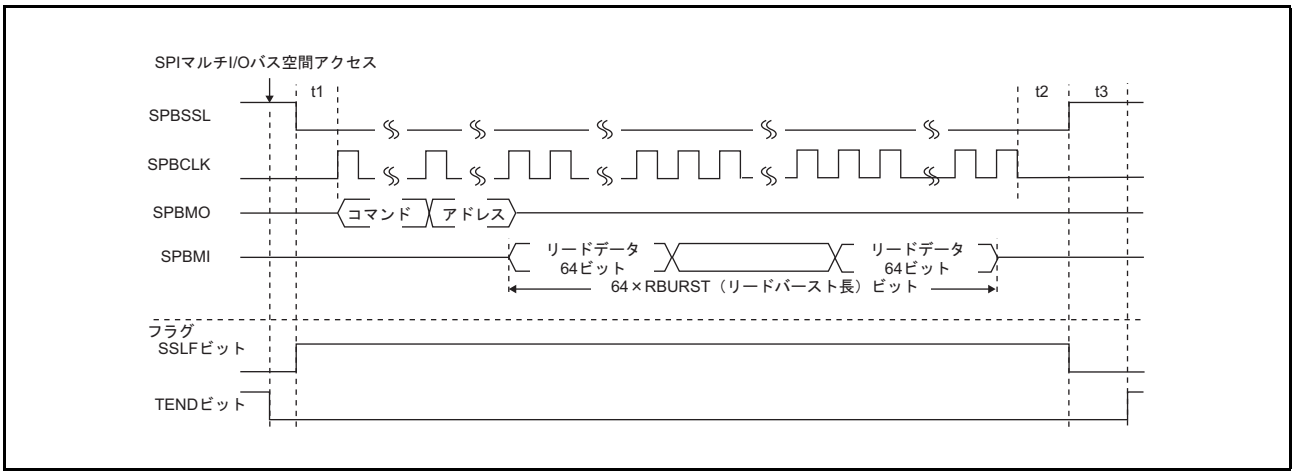


図 37.8　　バーストリード動作タイミング（SSLE ビット = 0）

(3)　バーストリード動作　SPBSSL 自動インアクティブ

本モジュールは、DRCR レジスタの SSLE ビット = “1” 設定時、バーストリード転送後に SPBSSL 信号をインアクティブにしません。次回アクセス時、前回のリードアドレスに対してアドレスが連続している場合、コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクルは発行せず、バーストリードを行います。また、アドレスが連続していない場合は、SPBSSL 信号を一度インアクティブにし、コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクルを発行後にバーストリードを行います。

連続アドレス時および非連続アドレス時のバーストリードタイミングを図 37.9 と図 37.10 に示します。

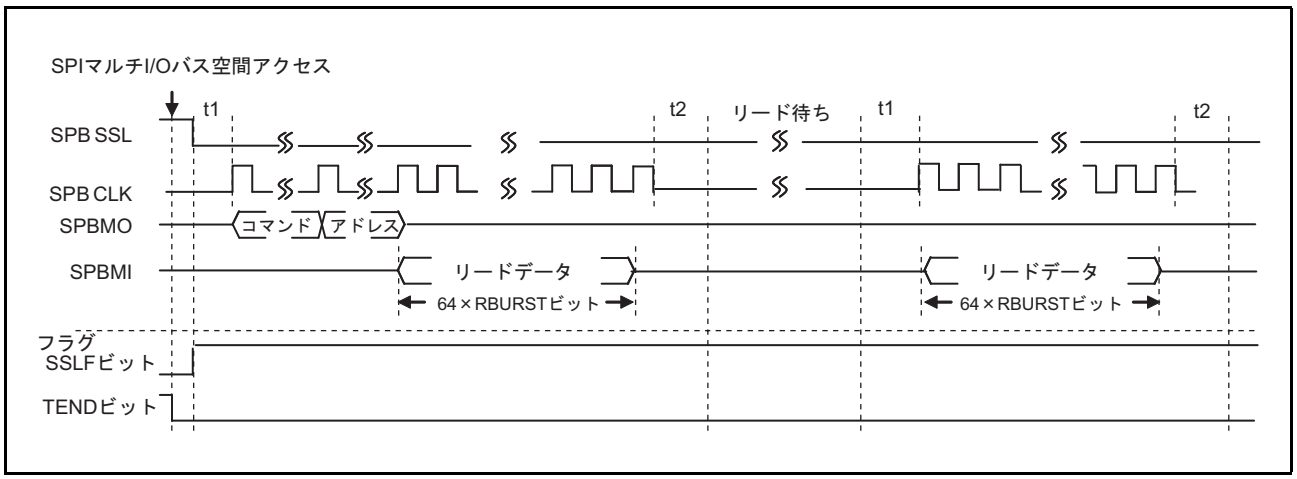


図 37.9　連続アドレスバーストリード動作タイミング（SSLE ビット = 1）

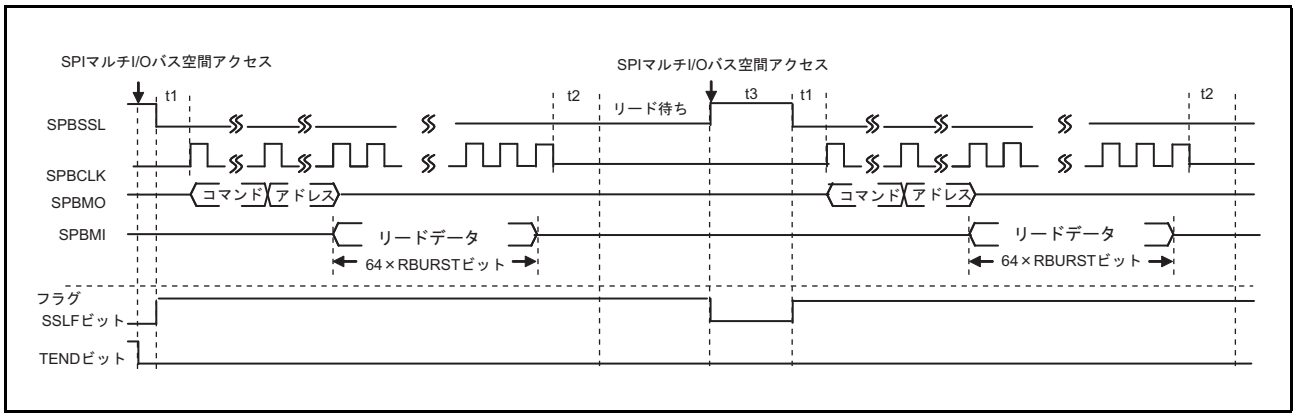


図 37.10　非連続アドレスバーストリード動作タイミング（SSLE ビット = 1）

本動作にて DRCR レジスタの SSLN ビットで SPBSSL 信号をインアクティブにした後に次のアクセスを行う場合、CMNSR レジスタの SSLF ビット = 0 をリードして SPBSSL 信号がインアクティブになったことを確認してください。

(4)　初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を図 37.11 に示します。

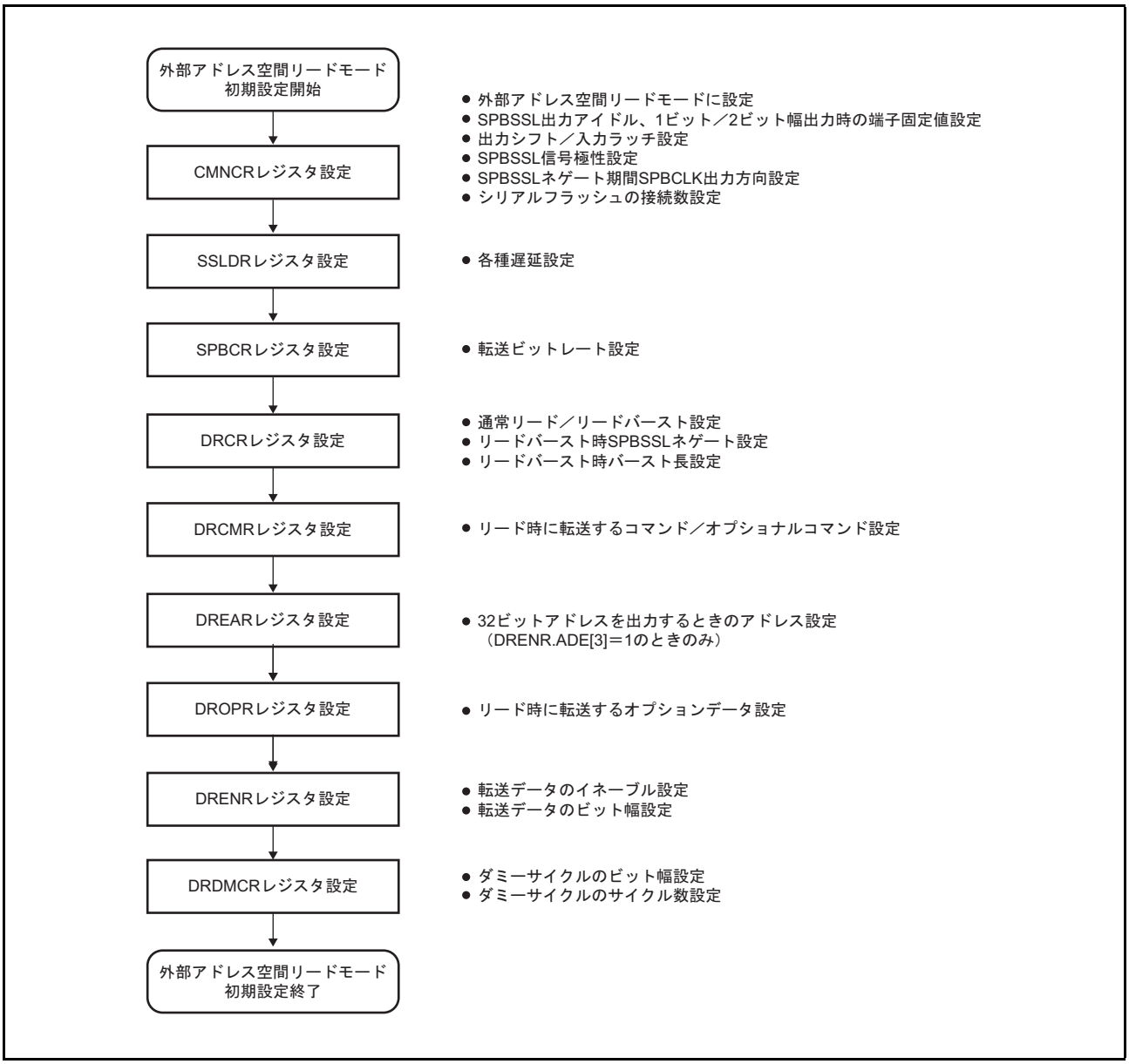


図 37.11　外部アドレス空間リードモード時の初期設定フロー例

37.3.7　　リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時にリードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、16 エントリで構成されています。

リードキャッシュの構成を図 37.12 に示します。

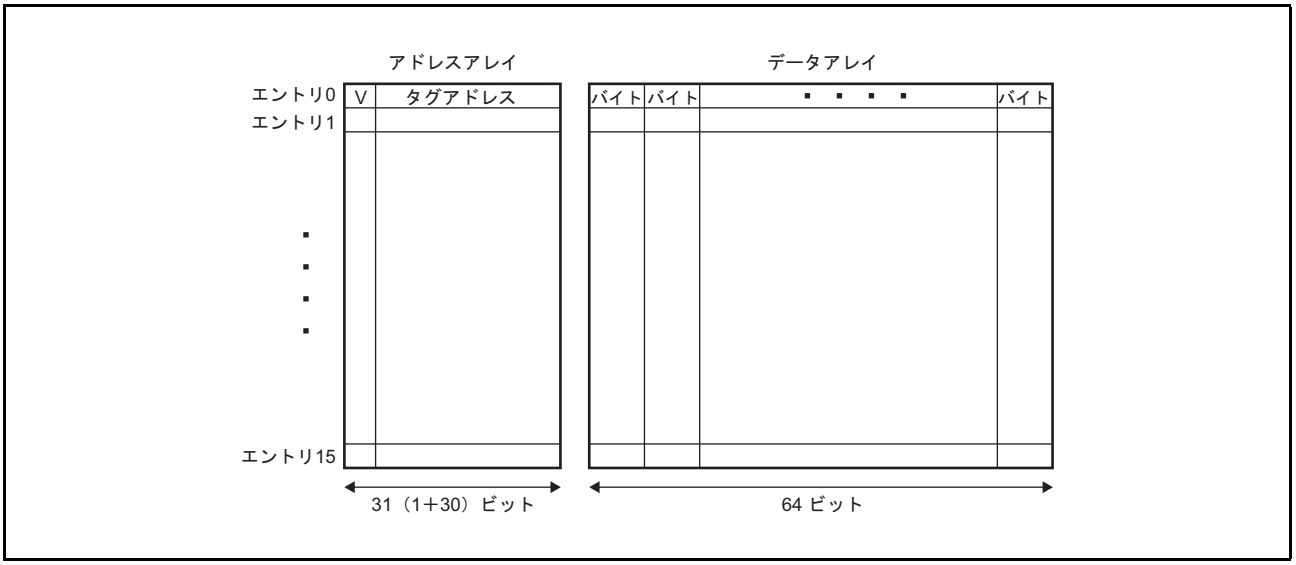


図 37.12　リードキャッシュの構成

(1)　アドレスアレイ

図 37.12 中の V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュが使用するアドレスを保持します。アドレスは 32 ～ 3 ビットで構成され、アドレス出力が 24 ビットの場合、アドレス 23 ～ 3 が有効になります。

アドレス出力が 32 ビットの場合、アドレス 31 ～ 3 が有効になります。

(2)　データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

(3)　リード動作

リードデータがキャッシュにヒットした場合、リードキャッシュからデータを読み出します。ミスヒットした場合は、64 × RBURST（リードバースト長）分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

(4)　データ置換

データの更新はライトポインタで管理されます。リードデータがミスヒットの場合、ライトポインタが指し示しているエントリから RBURST（リードバースト長）分、データを置換します。つまり格納した古い順から置換します。データを参照したかどうかは影響しません。

37.3.8　SPI 動作モード

本モジュールは、レジスタ設定で任意の SPI 動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ（CMNCR）、SSL 遅延レジスタ（SSLDR）、ビットレート設定レジスタ（SPBCR）、SPI モードコントロールレジスタ（SMCR）、SPI モードコマンド設定レジスタ（SMCMR）、SPI モードアドレス設定レジスタ（SMADR）、SPI モードオプション設定レジスタ（SMOPR）、SPI モードイネーブル設定レジスタ（SMENR）、SPI モードリードデータレジスタ（SMRDR）、SPI モードライトデータレジスタ（SMWDR）、SPI モードダミーサイクル設定レジスタ（SMDMCR）の設定で決まります。

シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

このモードでの 1 回の転送とは SMCR レジスタの SPIE ビットを 1 にセットしてから TEND が 1 にセットされるまでを意味します。

(1)　転送の開始

SMCR レジスタの SPIE ビット＝“1” により、設定した転送フォーマットで転送を開始します。ライトイネーブル時、SPI モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、SPI モードリードデータレジスタに格納されます。

タイミング図を図 37.13 に示します。

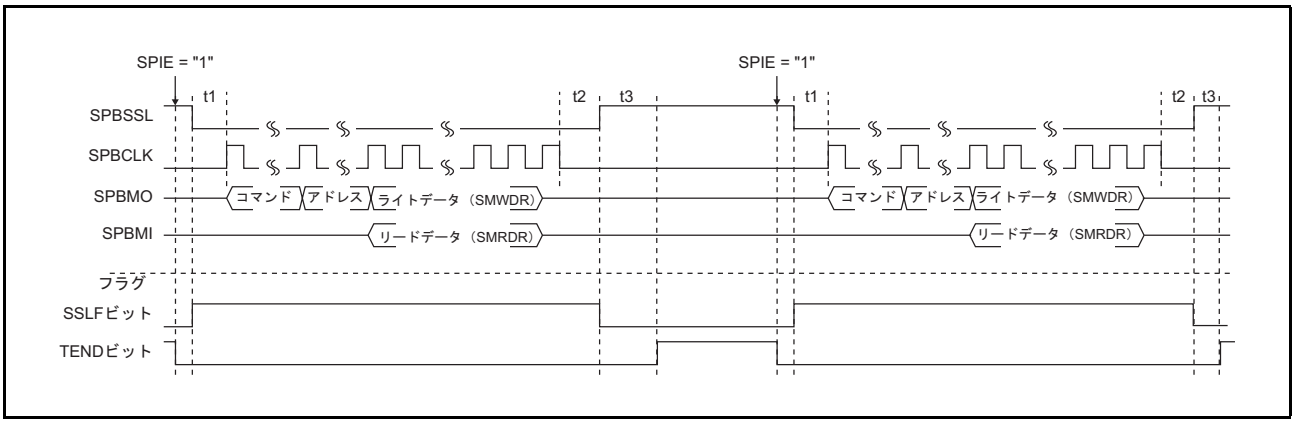


図 37.13　SPI 動作モードタイミング図

(2)　リード／ライトイネーブル

- リード動作
  SMCR レジスタの SPIRE ビット＝“1” に設定することで、データをリードすることができます。リードしたデータは SMRDR レジスタに格納されます。
- ライト動作
  SMCR レジスタの SPIWE ビット＝“1” に設定することで、データをライトすることができます。
  SMWDR レジスタに格納されたデータが出力されます。

また、SMENR レジスタの SPIDB[1:0] ビットのビット幅を 1 ビットに設定している場合、SPIRE、SPIWE ビット＝“1” に設定することで送受信可能となります。ただし、SPIDB[1:0] ビットのビット幅を 2 ビット／4 ビットに設定した場合は、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効にした場合の動作は保証しません。

(3)　SPBSSL 端子アクティブ保持

SMCR レジスタの SSLKP ビット = “1” により、SPBSSL 信号を次の転送までアクティブ状態にします。本機能により、SPBSSL 信号はアクティブ状態のまま連続的に転送を行うことができます。

SSLKP ビットを利用した転送タイミングを図 37.14 に示します。

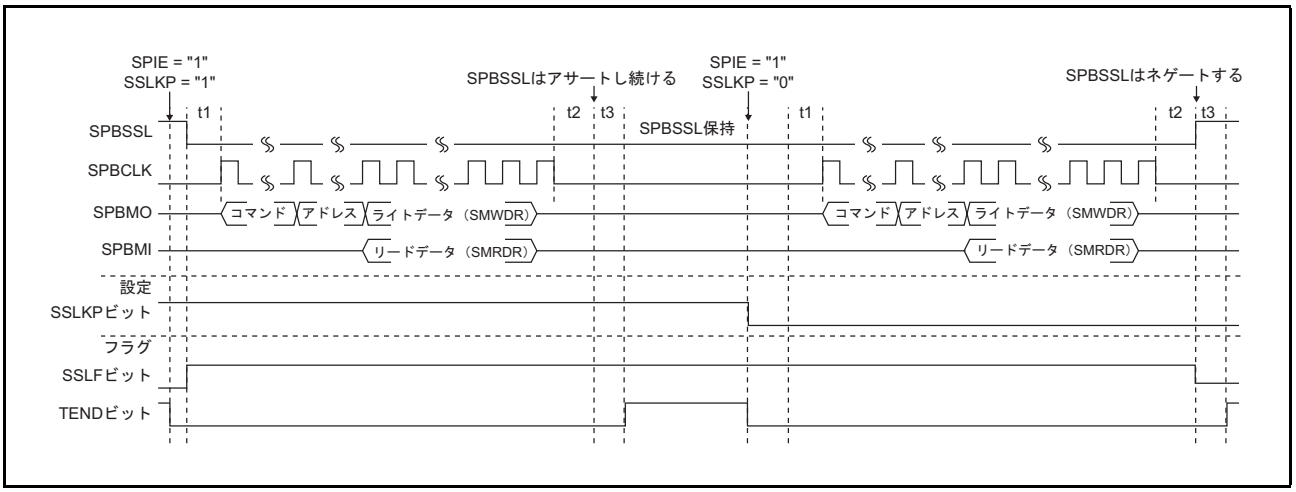


図 37.14　SSLKP ビットを利用した転送タイミング図

(4)　初期設定フロー

SPI 動作モード時の初期設定フロー例を図 37.15 に示します。

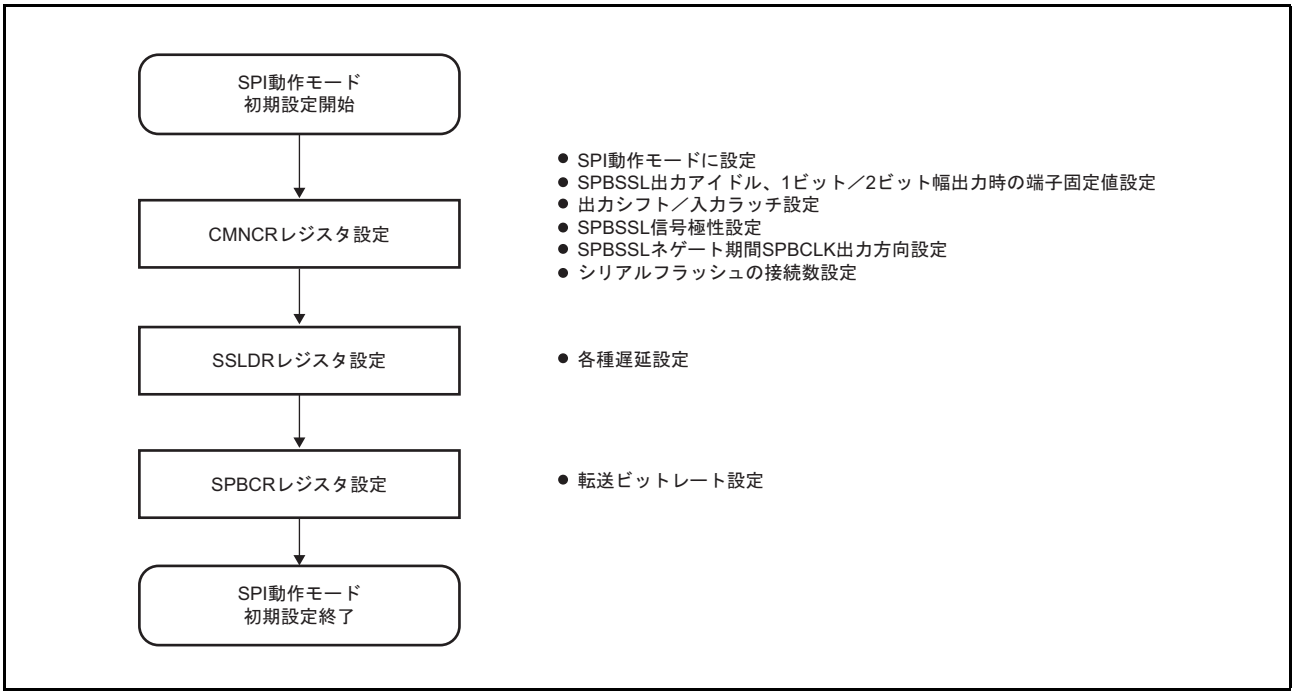


図 37.15　SPI 動作モード時の初期設定フロー例

(5)　データ転送設定フロー

SPI 動作モード時のデータ転送設定フロー例を図 37.16 に示します。

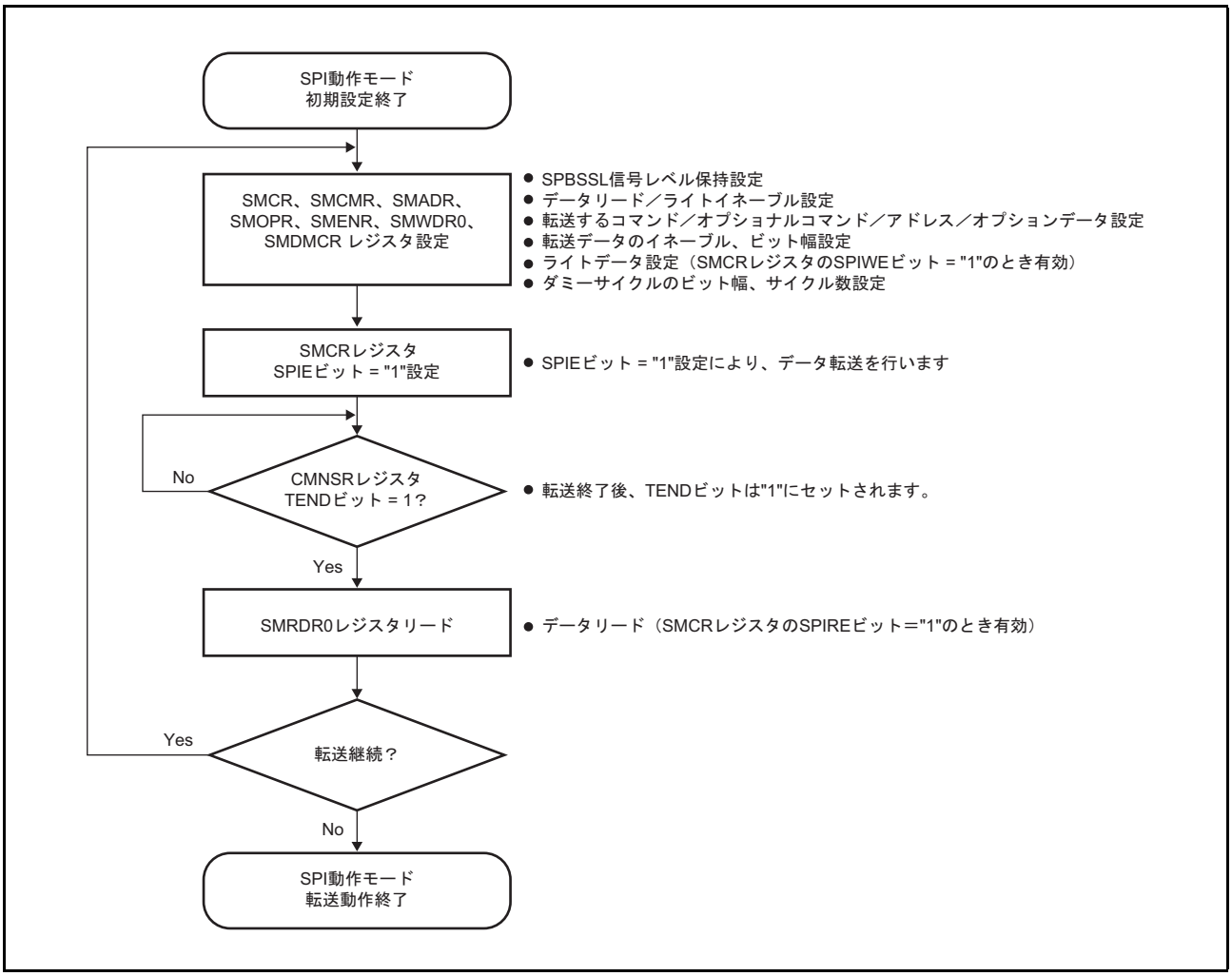


図 37.16　SPI 動作モード時のデータ転送設定フロー例

37.3.9　転送フォーマット

(1)　SPBSSL 端子のイネーブル極性制御

CMNCR レジスタの SSLP ビットで、SPBSSL 信号のイネーブル極性を変更することができます。

(2)　SPBCLK 出力

CMNCR レジスタの CPOL ビットで、SPBSSL 信号がインアクティブ時の SPBCLK 信号出力レベルを設定可能です。

(3)　データ送信・受信タイミング

データ送信とデータ受信は、それぞれ奇数／偶数エッジのどちらかで行います。CMNCR レジスタの CPHAT ビットでデータ送信タイミングを奇数／偶数に設定可能です。同様に CMNCR レジスタの CPHAR ビットでデータ受信タイミングを奇数／偶数に設定可能です。

(4)　遅延設定

t1 は、SPBSSL 信号をアクティブにしてから SPBCLK 信号のクロック出力までの期間（クロック遅延）です。SSLDR レジスタの SCKDL[2:0] ビットで設定できます。t2 は、SPBCLK 信号のクロック出力停止から SPBSSL 信号のインアクティブまでの期間（SPBSSL ネゲート遅延）です。SSLDR レジスタの SLNDL[2:0] ビットで設定できます。t3 は、転送終了後に次の転送のため、SPBSSL 信号を抑制するための期間（次アクセス遅延）です。SSLDR レジスタの SPNDL[2:0] ビットで設定できます。

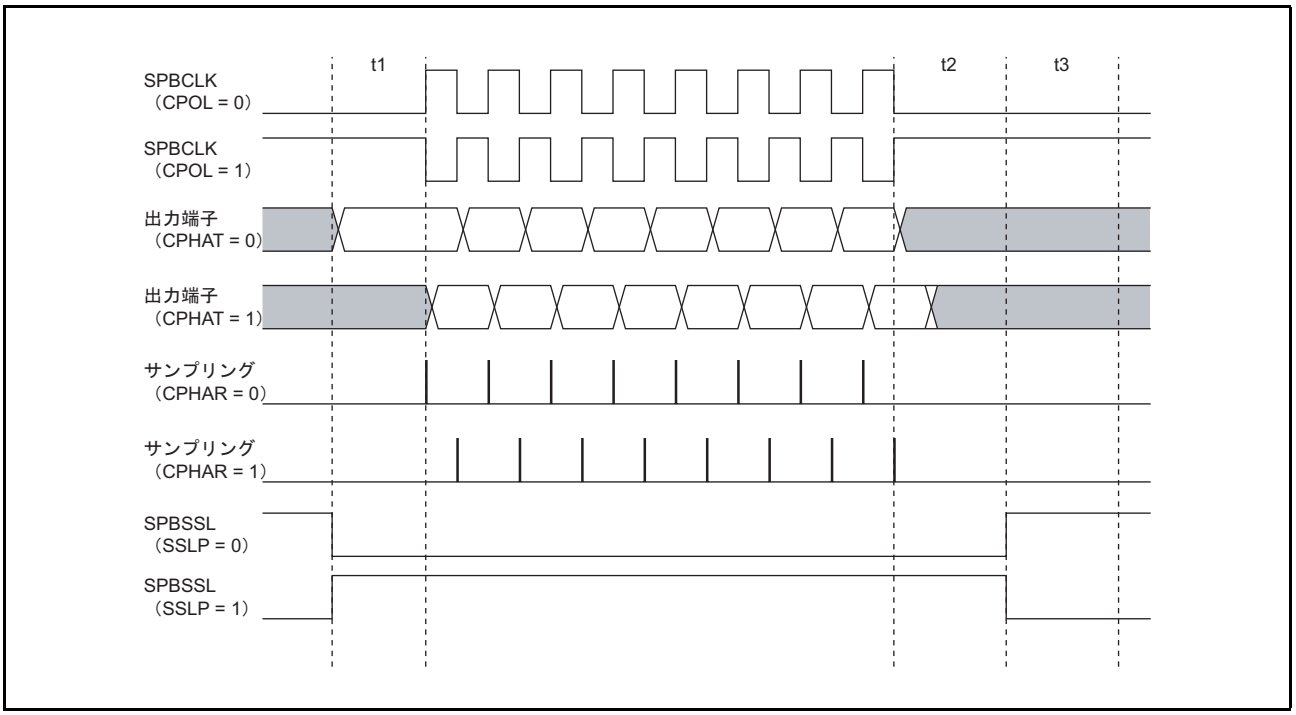


図 37.17　SDR 転送フォーマット

37.3.10　データフォーマット

本モジュールは、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクル、データの順番でデータ入出力を行います。

(1)　データレジスタ

入出力されるデータを表 37.5 に示します。

表37.5　データレジスタ

データ	外部アドレス空間リードモード	SPI動作モード
コマンド（8ビット）	DRCMR.CMD[7:0]ビット	SMCMR.CMD[7:0]ビット
オプショナルコマンド（8ビット）	DRCMR.OCMD[7:0]ビット	SMCMR.OCMD[7:0]ビット
アドレス（32ビット／24ビット）	32ビット時：DREAR.EAV[6:1～0]ビット＋リードした下位アドレス[25～24:0]ビット 24ビット時：リードした下位アドレス[23:0]ビット	32ビット時：SMADR.ADR[31:0]ビット 24ビット時：SMADR.ADR[23:0]ビット
オプションデータ（8ビット×4）	DROPRレジスタ	SMOPRレジスタ
ダミーサイクル（1～8サイクル）	DRDMCRレジスタ	SMDMCRレジスタ （リード時のみ）
転送データ	通常リード：8/16/32ビット バーストリード：64 × RBURSTビット	リード：SMRDR0、1レジスタ ライト：SMWDR0、1レジスタ

(2)　データイネーブル

外部アドレス空間リードモード時、DRENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME ビットで、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクルの転送イネーブルを制御することが可能です。ダミーサイクルのサイクル数とビット幅はデータリードモードダミーサイクルレジスタ（DRDMCR）で制御することができます。同様に SPI 動作モード時、SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME、SPIDE[3:0] ビットで、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクル、転送データのイネーブルを制御することが可能です。ただし、SPI 動作モード時、すべてをディスエーブルにすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。ダミーサイクルのサイクル数とビット幅は SPI モードダミーサイクルレジスタ（SMDMCR）で制御することが可能です。

また、外部アドレス空間リードモード時のアドレス／オプションデータ、SPI 動作モード時のアドレス／オプションデータ／転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

これらのイネーブルビットをディスエーブルにした場合、そのデータは出力されず、次のデータの入出力を行います。コマンド、オプショナルコマンド、アドレス、オプションデータは常に出力です。ダミーサイクル中は使用している端子を Hi-Z にします。データは、外部アドレス空間リードモード時は常に入力、SPI 動作モード時は、SMCR レジスタの SPIRE、SPIWE ビットの設定により入出力を決めます。

ダミーサイクルの挿入には制限があります。詳細は DRENR レジスタと SMENR レジスタの DME ビットの説明を参照してください。

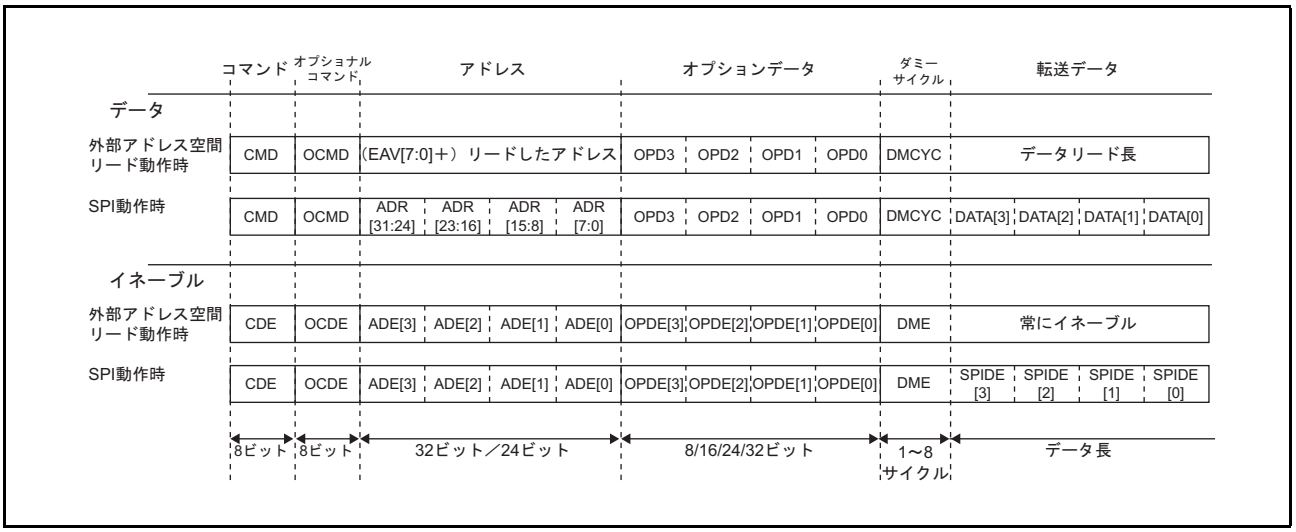


図 37.18　データとイネーブル

(3)　ビット幅

外部アドレス空間リードモード時、DRENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0] ビットでコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅を、それぞれ制御することが可能です。また、DRDMCR レジスタの DMDB[1:0] ビットでダミーサイクルのビット幅を制御することが可能です。

同様に SPI 動作モード時、SMENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0] ビットでコマンド／オプショナルコマンド／アドレス／オプションデータ／リードライトデータのビット幅を制御することが可能です。また、SMDMCR レジスタの DMDB[1:0] ビットでダミーサイクルのビット幅を制御することが可能です。

(a)　1 ビット幅

ビット幅を 1 ビットに設定した場合、SPBMI 端子は入力、SPBMO 端子は出力となります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を図 37.19 に示します。

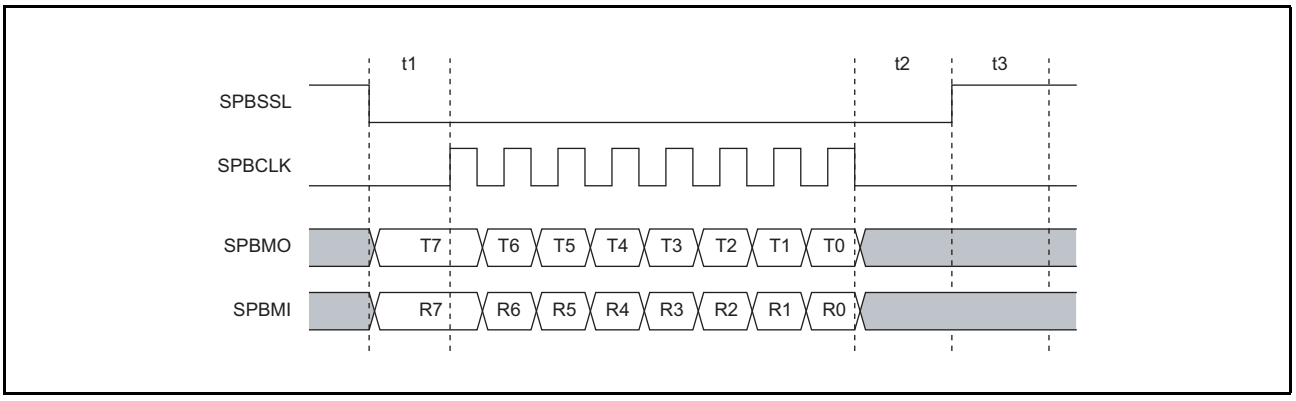


図 37.19　1 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

(b)　2 ビット幅

ビット幅を 2 ビットに設定した場合、SPBIO0 端子および SPBIO1 端子は入力もしくは出力のどちらかになります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を**図 37.20** に示します。

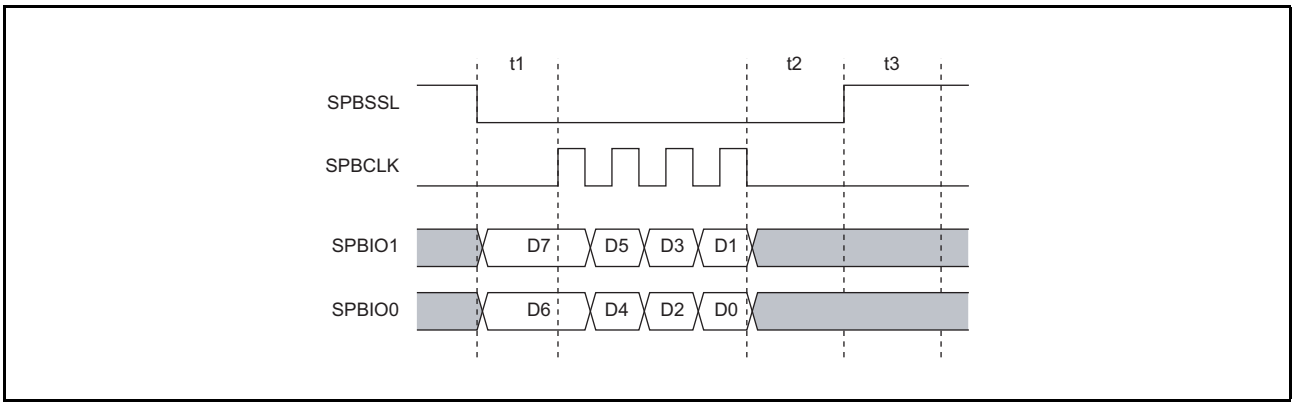


図 37.20　2 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

(c)　4 ビット幅

ビット幅を 4 ビットに設定した場合、SPBIO0、SPBIO1、SPBIO2、SPBIO3 端子は入力もしくは出力のどちらかになります。転送フォーマット例を**図 37.21** に示します。

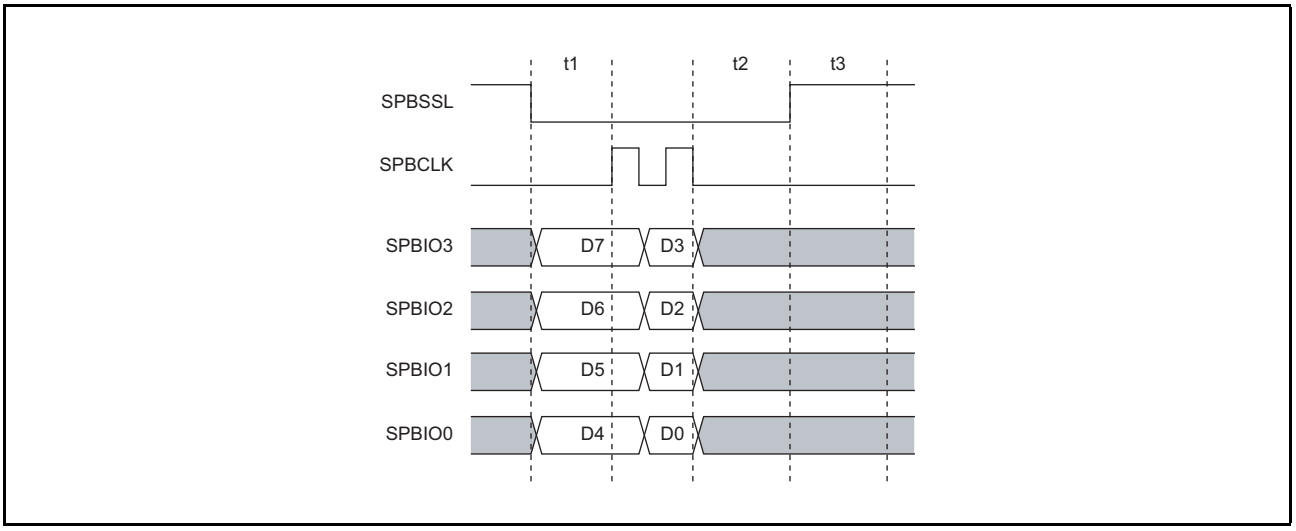


図 37.21　4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例

37.3.11　データ端子制御

本モジュールは、使用するデータ幅・リード・ライト設定により端子状態を自動的に切り替えます。また、SPBSSL 信号のインアクティブ状態は CMNCR レジスタの MOIIO3、MOIIO2、MOIIO1、MOIIO0 ビットにより設定可能です。

SPBSSL、SPBCLK 端子は常に出力です。それぞれの端子状態の表を**表 37.6** ～**表 37.9** に示します。

表37.6　端子状態（1）

端子	SPBSSLインアクティブ	SPBSSLアクティブ		
		コマンド、オプショナルコマンド、アドレス、オプションデータ		
		1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	MOIIO0ビット設定値	出力	出力	出力
SPBMI/SPBIO1	MOIIO1ビット設定値	Hi-Z	出力	出力
SPBIO2	MOIIO2ビット設定値	IO2FVビット設定値	IO2FVビット設定値	出力
SPBIO3	MOIIO3ビット設定値	IO3FVビット設定値	IO3FVビット設定値	出力

表37.7　端子状態（2）

端子	転送データ					
	外部アドレス空間リードモード			SPI動作モード		
				SPIREビット = 1、SPIWEビット = 0		
	1ビット幅	2ビット幅	4ビット幅	1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	IO0FVビット設定値	入力	入力	IO0FVビット設定値	入力	入力
SPBMI/SPBIO1	入力	入力	入力	入力	入力	入力
SPBIO2	MOIIO2ビット設定値	MOIIO2ビット設定値	入力	MOIIO2ビット設定値	MOIIO2ビット設定値	入力
SPBIO3	MOIIO3ビット設定値	MOIIO3ビット設定値	入力	MOIIO3ビット設定値	MOIIO3ビット設定値	入力

表37.8　端子状態（3）

端子	転送データ					
	SPI動作モード					
	SPIREビット = 0、SPIWEビット = 1			SPIREビット = 1、SPIWEビット = 1		
	1ビット幅	2ビット幅	4ビット幅	1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	出力	出力	出力	出力	設定禁止	設定禁止
SPBMI/SPBIO1	Hi-Z	出力	出力	入力	設定禁止	設定禁止
SPBIO2	MOIIO2ビット設定値	MOIIO2ビット設定値	出力	MOIIO2ビット設定値	設定禁止	設定禁止
SPBIO3	MOIIO3ビット設定値	MOIIO3ビット設定値	出力	MOIIO3ビット設定値	設定禁止	設定禁止

表37.9　端子状態（4）

端子	ダミーサイクル		
	1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	IO0FVビット設定値	Hi-Z	Hi-Z
SPBMI/SPBIO1	Hi-Z	Hi-Z	Hi-Z
SPBIO2	IO2FVビット設定値	IO2FVビット設定値	Hi-Z
SPBIO3	IO3FVビット設定値	IO3FVビット設定値	Hi-Z

37.3.12　SPBSSL 端子制御

SPBSSL 信号のインアクティブ条件を以下に示します。

(1)　外部アドレス空間リードモード

(a)　通常リード動作（DRCR レジスタの RBE ビット = “0”）

データ転送が完了し、t2 サイクル後にインアクティブ

(b)　バーストリード SPBSSL 自動インアクティブなし

（DRCR レジスタの RBE ビット = “1”、DRCR レジスタの SSLE ビット = “0”）
データ転送が完了し、t2 サイクル後にインアクティブ

(c)　バーストリード SPBSSL 自動インアクティブ

（DRCR レジスタの RBE ビット = “1”、DRCR レジスタの SSLE ビット = “1”）

- リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にインアクティブ
- DRCR レジスタの SSLN ビット = “1” 設定後にインアクティブ

(2)　SPI 動作モード

(a)　SPBSSL 端子アクティブ保持なし（SMCR レジスタの SSLKP ビット = “0”）

データ転送が完了し、t2 サイクル後にインアクティブ

(b)　SPBSSL 端子アクティブ保持あり（SMCR レジスタの SSLKP ビット = “1”）

インアクティブにしません。
インアクティブにする場合は、SSLKP ビット = “0” 設定後にデータ転送を行ってください。

37.3.13　フラグ

本モジュールは、CMNSR レジスタに SSLF、TEND ビットの 2 つのビットを持っています。これらのビットはリードのみ可能です。

(1)　SSLF ビット

SPBSSL 端子の状態を示します。SPBSSL 信号がアクティブのときは “1”、インアクティブのときは “0” が読めます。

(2)　TEND ビット

データ転送中／終了を示します。

t1 期間、データ転送、t2 期間、t3 期間、およびバーストリード SPBSSL 自動インアクティブでのリードアクセス待ちのとき、データ転送中であることを示し TEND ビット = “0” が読めます。

上記以外のとき、データ転送終了を示し TEND ビット = “1” が読めます。

(3)　レジスタ書き換え

TEND ビットの状態により、レジスタ書き換えタイミングを決定します。

DRCR レジスタの SSLN ビット以外、ライトアクセスが可能なすべてのレジスタは TEND = “1” の時に書き換えてください。

また、SMRDR0 レジスタは TEND = “1” のときにリードしてください。

CMNSR レジスタは常にリード可能です。

37.4　使用上の注意事項

37.4.1　SPI 動作モードのデータリード転送時の注意事項

SPI 動作モードかつビットレートが 2 分周以上のとき、SPI モードイネーブル設定レジスタ（SMENR）で、データリード転送のみイネーブルにする場合は以下の点に注意してください。

なお、データリード転送のみとは SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0] の各ビットをすべて 0 に設定し、データのリード転送を行うことを意味します。

(1)　SPBSSL 端子をインアクティブにしている状態でのデータリード転送

データリード転送のみを行う場合、SMENR.SPIDE[3:0] = 1100b または 1111b に設定してください。

SMENR.SPIDE[3:0] = 1000b でデータリード転送のみを行った場合、正常に転送が行われません。

(2)　SPBSSL 端子をアクティブにしている状態でのデータリード転送

データリード転送のみを行う場合、直前の転送をデータリード転送で終了させるか、SMENR.SPIDE[3:0] = 1100b または 1111b に設定してください。

直前の転送がコマンド／オプショナルコマンド／アドレス／オプションデータまたはデータライト転送の場合、その後の転送で SMENR.SPIDE[3:0] = 1000b に設定したデータリード転送のみを行うと正常に転送が行われません。

37.4.2　SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項

SPI 動作モードで SPBSSL 信号をアクティブにしている状態で、コマンド、オプショナルコマンド、アドレス、オプションデータで転送を開始する場合、SMCR レジスタの SPIWE ビットを 1 に設定してください。

37.4.3　初期設定についての注意事項

本モジュールを使用する場合、ビットレート設定レジスタ（SPBCR）の SPBR[7:0] = 00h かつ BRDV[1:0] = 00b に設定しないでください。

38.　CRC 演算器（CRC）

CRC（Cyclic Redundancy Check）演算器は、CRC コード生成を行います。

38.1　概要

表 38.1 に CRC 演算器の仕様を示します。また図 38.1 に CRC 演算器のブロック図を示します。

表38.1　CRC演算器（CRC）の仕様

項目	内容
CRC演算対象データ	8ビット、16ビット、32ビット単位の任意のデータ長に対してCRCコードを生成可能
CRC生成多項式	4つの多項式から選択可能 • 32ビットイーサネットCRC（32-Ethernet） $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ • 16ビットCCITT CRC（16-CCITT） $X^{16} + X^{12} + X^5 + 1$ • 8ビットSAE J1850 CRC（8-SAE J1850） $X^8 + X^4 + X^3 + X^2 + 1$ • 8ビット0x2F CRC（8-0x2F） $X^8 + X^5 + X^3 + X^2 + X + 1$
消費電力低減機能	モジュールストップ状態への設定が可能

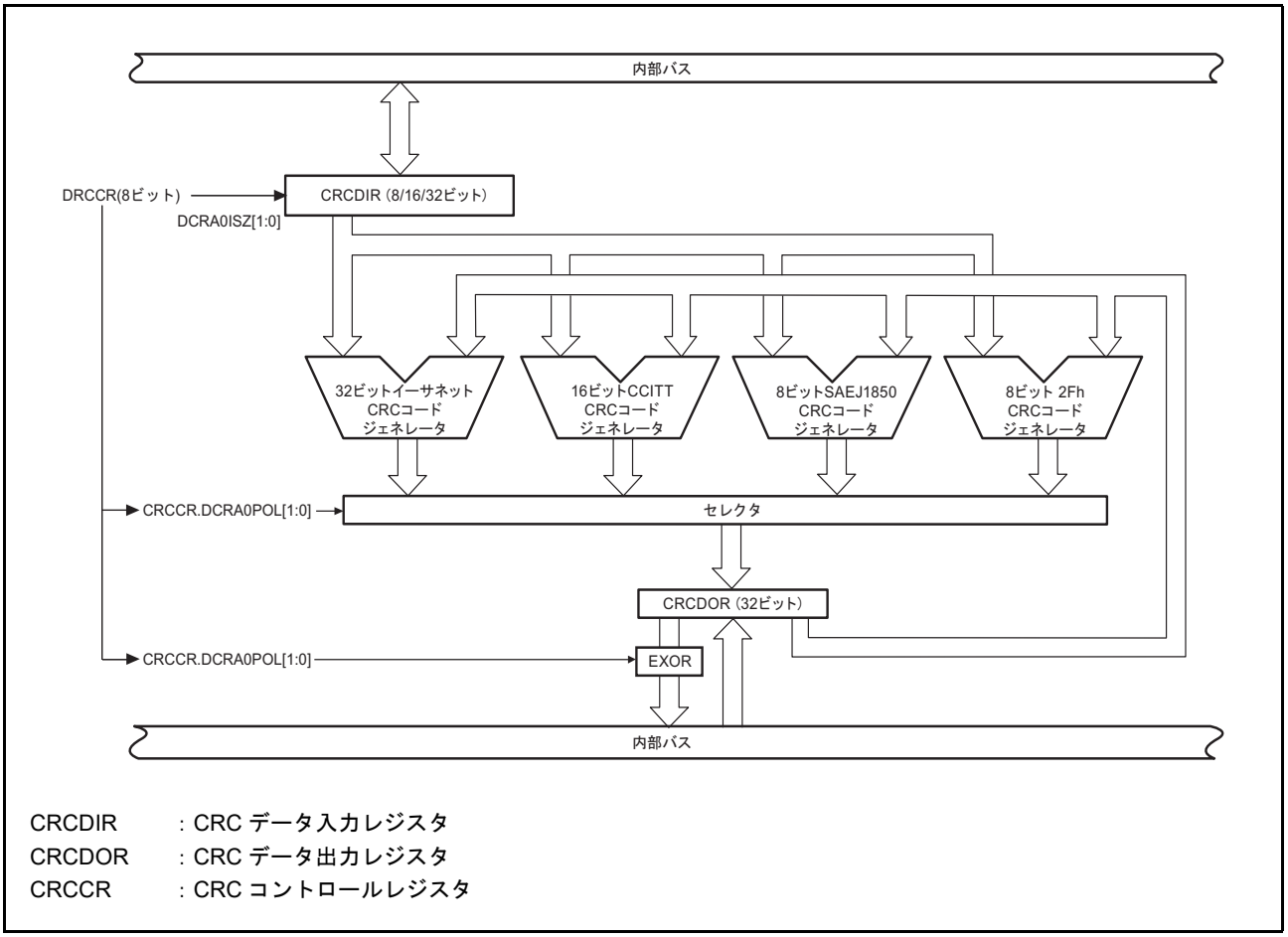


図 38.1　CRC 演算器（CRC）のブロック図

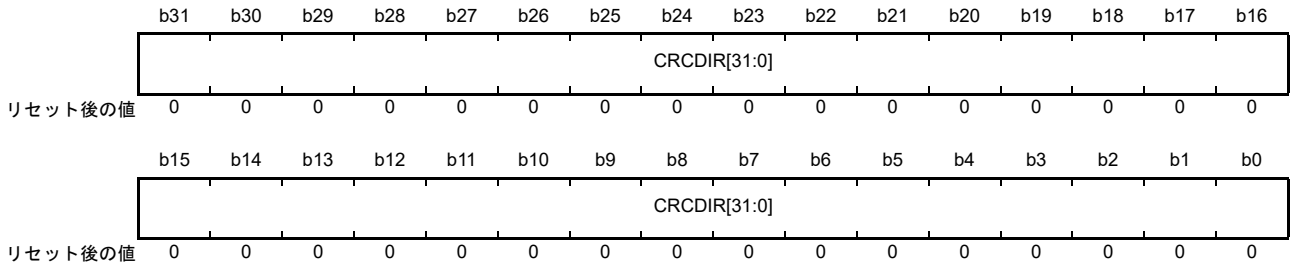
38.2　レジスタの説明

38.2.1　CRC データ入力レジスタ（CRCDIR）

CRCDIR レジスタは CRC 計算用の入力データを格納するレジスタです。本レジスタにデータを書き込むと、CRC の計算が開始されます。

CRC 計算に使われる有効ビット幅を CRCCR.DCRA0ISZ[1:0] で設定する必要があります。本レジスタに最初のデータを書き込む前に、CRCDOR レジスタに初期開始値を書き込み、初期化を行う必要があります。初期化の詳細については**「38.3.1　CRC データ出力レジスタ（CRCDOR）の初期化」**を参照してください。

アドレス　A007 C000h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRCDIR [31:0]	CRC計算用入力データ	以下のビット幅に対応しています。 • CRC入力ビット幅32ビット：CRCDIR[31:0] • CRC入力ビット幅16ビット：CRCDIR[15:0] • CRC入力ビット幅8ビット：CRCDIR[7:0]	R/W

バイト順

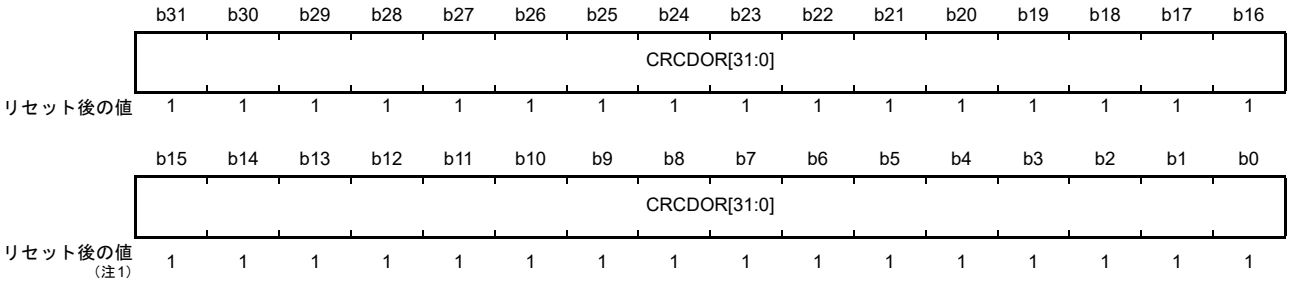
CRCDIR レジスタ内のバイト順は、選択されている CRC 生成方式によって異なります。

- 32-Ethernet CRC 多項式で生成する場合（CRCCR.DCRA0POL[1:0] = 00b）バイト順は LSB（最下位バイト）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRA0ISZ[1:0] = 10b）の場合は、CRCDIR レジスタのビット位置 7 ～ 0 が LSB になります。
- 16-CCITT CRC 多項式で生成する場合（CRCCR.DCRA0POL[1:0] = 01b）バイト順は MSB（最上位バイト）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRA0ISZ[1:0] = 10b）の場合は、CRCDIR レジスタのビット位置 7 ～ 0 が MSB になります。
- 8-SAE J1850 CRC 多項式で生成する場合（CRCCR.DCRA0POL[1:0] = 10b）バイト順は MSB（最上位バイト）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRA0ISZ[1:0] = 10b）の場合は、CRCDIR レジスタのビット位置 7 ～ 0 が MSB になります。
- 8-0x2F CRC 多項式で生成する場合（CRCCR.DCRA0POL[1:0] = 11b）バイト順は MSB（最上位バイト）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRA0ISZ[1:0] = 10b）の場合は、CRCDIR レジスタのビット位置 7 ～ 0 が MSB になります。

38.2.2　CRC データ出力レジスタ（CRCDOR）

CRCDOR レジスタには、選択された CRC 生成多項式にもとづいて計算された CRC コードの結果が格納されます。

アドレス　A007 C004h



注1.　リセット後は、CRC 生成多項式として32ビットイーサネットCRCが選択されているため、読み出すとEXOR演算された値として0000 0000hが読めます。

ビット	シンボル	ビット名	機能	R/W
b31-b0	CRCDOR [31:0]	CRCコード生成の結果	• 32-Ethernet：CRCDOR[31:0] • 16-CCITT：CRCDOR[15:0]（b31-16は不定） • 8-SAE J1850/8-0x2F：CRCDOR[7:0]（b31-8は不定） 本レジスタの読み出し値は、以下の値とEXOR 演算された値となります。 • 32-Ethernet：FFFF FFFFh • 16-CCITT：0000h • 8-SAE J1850/8-0x2F：FFh	R/W

注.　CRC計算用の最初のデータをCRCDIRレジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。初期化の詳細については「38.3.1　CRCデータ出力レジスタ（CRCDOR）の初期化」を参照してください。

CRCDOR[31:0] ビット

CRCCR.DCRA0POL[1:0] で選択した CRC 生成多項式にもとづいて、計算された CRC コードの結果が格納されます。

CRC コードの結果：

- 32-Ethernet の場合、CRCDOR[31:0] が CRC コードの結果を示します。
- 16-CCITT の場合、CRCDOR[15:0] が CRC コードの結果を示します。
  ビット 31-16 は不定となります。
- 8-SAE J1850/8-0x2F の場合、CRCDOR[7:0] が CRC コードの結果を示します。
  ビット 31-8 は不定となります。

また、本ビットの読み出し値は以下の EXOR 値と EXOR 演算された値が読み出されます。

EXOR 値：

- 32-Ethernet の場合、FFFF FFFFh
- 16-CCITT の場合、0000h
- 8-SAE J1850/8-0x2F の場合、FFh

リセット後は、CRC 生成多項式として 32-Ethernet が選択されているため、CRCDOR[31:0] を読み出すと、格納された初期値 FFFF FFFFh と、EXOR 値 FFFF FFFFh が EXOR 演算された値として、0000 0000h が読み出せます。

[例]

例えば、32-Ethernet の CRC 計算を行い、CRC コードの結果が CRCDOR[31:0] = 5555 5555h のとき、読み出すと EXOR 値 FFFF FFFFh と EXOR 演算をされた値である AAAA AAAAh が読めます。

38.2.3　CRC コントロールレジスタ（CRCCR）

CRCCR レジスタは CRC 生成多項式、CRC 入力ビット幅を制御するレジスタです。

アドレス　A007 C020h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DCRA0ISZ[1:0]		—	—	DCRA0POL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCRA0POL [1:0]	CRC生成方式指定	CRC生成方式を指定します。 b1 b0 0 0：32-Ethernet （$X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$） 0 1：16-CCITT（$X^{16} + X^{12} + X^5 + 1$） 1 0：8-SAE J1850（$X^8 + X^4 + X^3 + X^2 + 1$） 1 1 ：8-0x2F（$X^8 + X^5 + X^3 + X^2 + X + 1$）	R/W
b3-b2	—	予約ビット	読むと“0”が読めます	R
b5-b4	DCRA0ISZ [1:0]	CRC入力ビット幅指定	CRC入力ビット幅を指定します。 b1 b0 00: 32ビット（CRCDIR[31:0]） 01: 16ビット（CRCDIR[15:0]） 10: 8ビット（CRCDIR[7:0]） 11: 設定禁止	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。	R

注1.　CRC生成方式（CRCCR.DCRA0POL）を変更した場合、またはCRC入力ビット幅(CRCCR.DCRA0ISZ)を変更した場合は、CRCDORレジスタを初期化（初期開始値を設定）する必要があります。詳細については「38.3.1　CRCデータ出力レジスタ（CRCDOR）の初期化」を参照してください。

注2.　CRC計算用データのブロック単位に合わせてCRC入力ビット幅（CRCCR.DCRA0ISZ[1:0]）を設定する必要があります。CRC計算中にCRC入力ビット幅を変更することは禁止です。CRCDORレジスタから最終的なCRC計算結果を読み出したあとに、CRC入力ビット幅を変更することができます。この場合、次のCRC計算用データをCRCDIRレジスタに書き込む前に、CRCDORレジスタを初期化（初期開始値を設定）する必要があります。

38.3　動作説明

CRC 演算器は任意のデータブロック長の CRC コードを計算して生成します。対象データは、8 ビット単位、16 ビット単位または 32 ビット単位で、CRC データ入力レジスタ（CRCDIR）へ設定することが可能です。CRC データ入力レジスタ（CRCDIR）にデータが書き込まれると、選択された CRC 生成多項式にもとづいて CRC 計算を開始します。CRC データ入力レジスタ（CRCDIR）への最初の書き込みアクセスを行う前に、CRCDOR レジスタに初期開始値を設定して初期化を行う必要があります。

以下に CRC 演算器の使用方法の流れを示します。

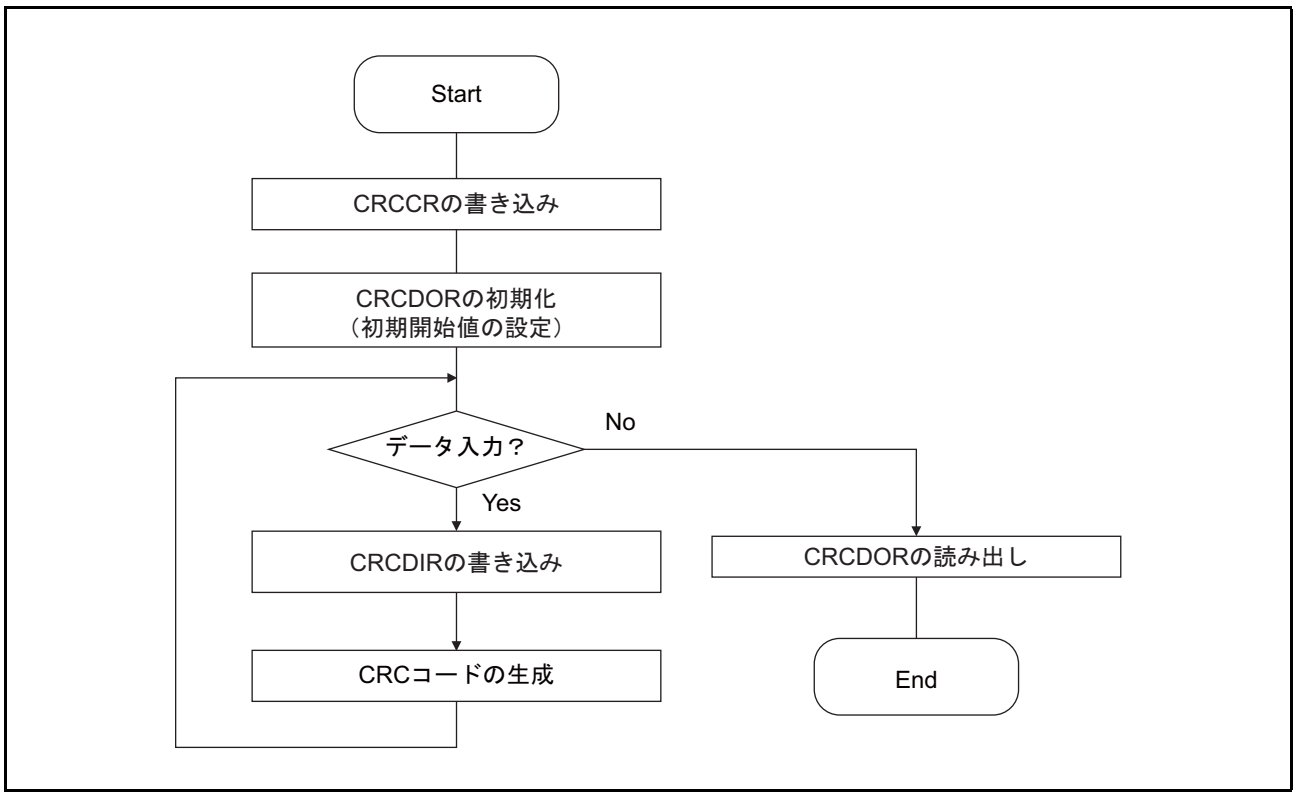


図 38.2　CRC 演算器の使用方法

注 .　CRCCR.DCRA0POL[1:0] を書き換えて CRC 生成多項式の設定を変更した場合は、再度 CRC データ出力レジスタ（CRCDOR）を初期化（初期開始値を設定）する必要があります。

38.3.1　CRC データ出力レジスタ（CRCDOR）の初期化

CRC データ入力レジスタ（CRCDIR）に最初のデータ書き込みを行う前に、CRC データ出力レジスタ（CRCDOR）に初期開始値を設定して初期化する必要があります。**表 38.2** に各 CRC 生成多項式の初期開始値を示します。

また初期開始値を設定後の CRCDOR レジスタの読み出し値と、読み出し時に EXOR 演算される EXOR 値も**表 38.2** に示します。CRCDOR レジスタの読み出し値の詳細については「**38.2.2　CRC データ出力レジスタ（CRCDOR）**」を参照してください。

表38.2　各CRC生成多項式の初期開始値

CRC生成多項式	初期開始値	EXOR値	初期開始値を設定後のCRCDORの読み出し値
32-Ethernet（DCRA0POL[1:0] = 00b）	FFFF FFFFh	FFFF FFFFh	0000 0000h
16-CCITT（DCRA0POL[1:0] = 01b	0000 FFFFh	0000 0000h	0000 FFFFh
8-SAE J1850（DCRA0POL[1:0] = 10b）	0000 00FFh	0000 00FFh	0000 0000h
8-0x2F（DCRA0POL[1:0] = 11b）	0000 00FFh	0000 00FFh	0000 0000h

39.　シリアルサウンドインタフェース（SSI）

本 LSI は、I²S バス規格に準拠した 1 チャネルのシリアルサウンドインタフェース（SSI）を内蔵しています。SSI は、I²S バス互換、および MSB ファースト右詰め／左詰めフォーマットに対応しており、さまざまなデバイスとオーディオデータの送受信を行うことができます。

39.1　概要

表 39.1　SSI の仕様

項目	内容
チャネル数	1 チャネル
動作モード	非圧縮モード
転送フォーマット	• I²S フォーマットに対応可能 • MSB ファーストに対応可能 右詰め／左詰めを選択可能
機能	• トランスミッタ、またはレシーバのいずれとしても動作可能 全二重通信可能 • 各種オーディオフォーマットに対応可能 • SSISCK（シリアルビットクロック）は 16fs、32fs、48fs、64fs（fs：サンプリングレート）から選択可能 • マスタクロックは SSI 用外部クロック入力（AUDIO_CLK）から入力（最大 50 MHz） • 送信部、受信部に 8 段 FIFO バッファ内蔵 • データ転送停止時にワードセレクト（SSIWS）を停止するかしないかを選択可能
割り込み要因	3 種類 • 通信エラー 送信アンダフロー、送信オーバフロー、受信アンダフロー、受信オーバフロー、アイドル • 受信データフル • 送信データエンプティ
消費電力低減機能	モジュールストップ状態への設定が可能

図 39.1 に SSI のブロック図を示します。

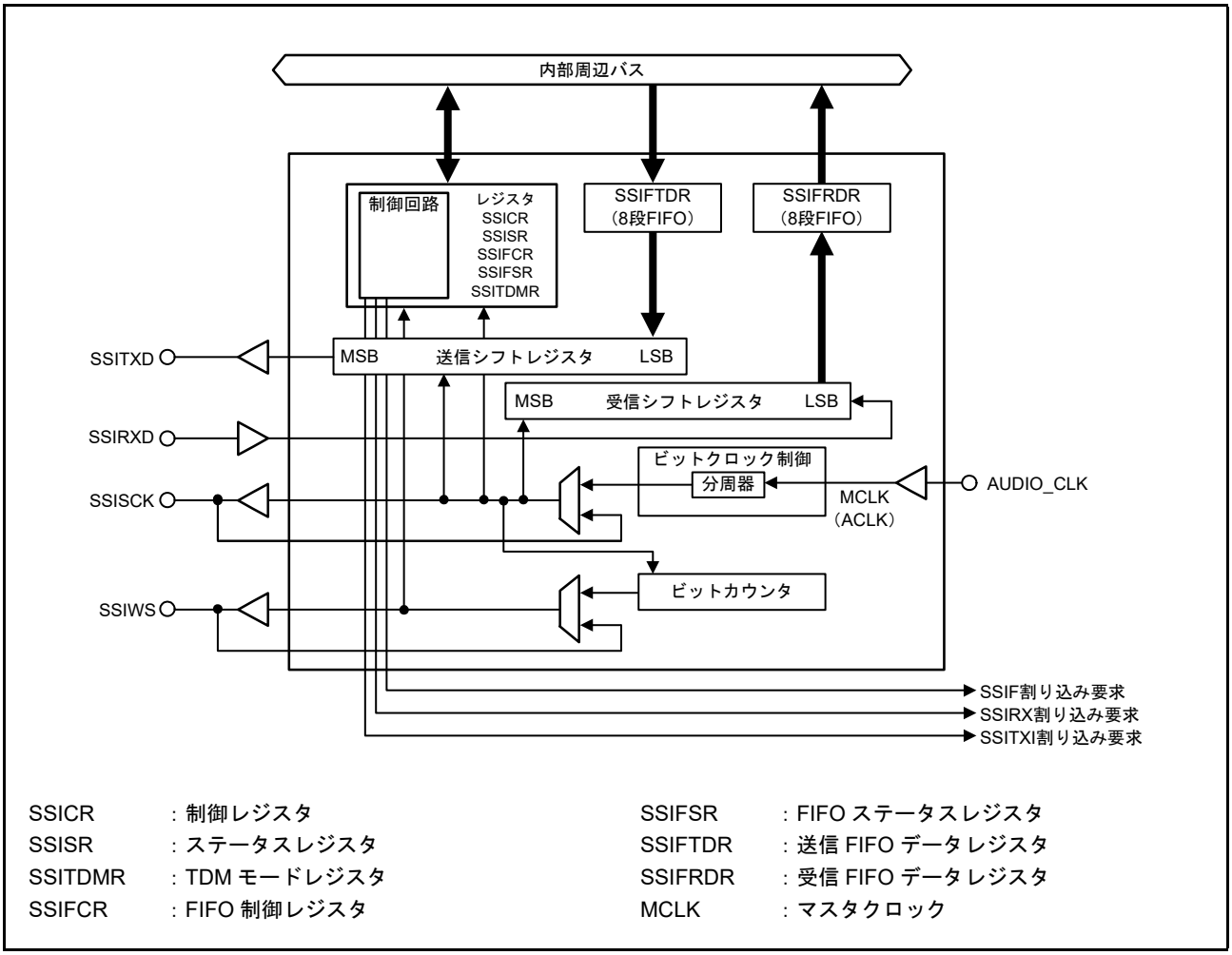


図 39.1　SSI のブロック図

表 39.2 に SSI の入出力端子を示します。

表 39.2　SSI の入出力端子

端子名	入出力	機能
SSISCK	入出力	シリアルビットクロック端子
SSIWS	入出力	ワードセレクト端子
SSITXD	出力	シリアルデータ出力端子
SSIRXD	入力	シリアルデータ入力端子
AUDIO_CLK	入力	オーディオ用マスタクロック端子（マスタクロックを入力）

39.2　レジスタの説明

39.2.1　制御レジスタ（SSICR）

SSICR レジスタは動作モード、各極性の選択、および割り込みを制御するレジスタです。

アドレス　A008 1000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	CHNL[1:0]		DWL[2:0]			SWL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	REN	受信許可ビット	0：受信動作を禁止 1：受信動作を許可	R/W
b1	TEN	送信許可ビット	0：送信動作を禁止 1：送信動作を許可	R/W
b2	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください。	R/W
b3	MUEN	ミュート許可ビット（注1）	0：ミュート状態にしない 1：ミュート状態にする	R/W
b7-b4	CKDV[3:0]	シリアルビットクロック周波数設定ビット（注3）	b7　b4 0 0 0 0：MCLK 0 0 0 1：MCLK/2 0 0 1 0：MCLK/4 0 0 1 1：MCLK/8 0 1 0 0：MCLK/16 0 1 0 1：MCLK/32 0 1 1 0：MCLK/64 0 1 1 1：MCLK/128 1 0 0 0：MCLK/6 1 0 0 1：MCLK/12 1 0 1 0：MCLK/24 1 0 1 1：MCLK/48 1 1 0 0：MCLK/96 上記以外は設定しないでください。	R/W
b8	DEL	シリアルデータディレイビット（注3）	0：I²Sフォーマット互換 SSIWSとSSITXD/SSIRXD間で1クロックサイクルの遅延 1：MSBファースト右詰め、左詰めフォーマット互換 SSIWSとSSITXD/SSIRXD間の遅延なし	R/W
b9	PDTA	パラレルデータアロケーションビット（注3）	（データワード長が8, 16ビットのとき） 0：パラレルデータ（SSIFTDR, SSIFRDR）の下位側を先行して送受信 1：パラレルデータ（SSIFTDR, SSIFRDR）の上位側を先行して送受信 （データワード長が18, 20, 22, 24ビットのとき） 0：パラレルデータ（SSIFTDR, SSIFRDR）を左詰め 1：パラレルデータ（SSIFTDR, SSIFRDR）を右詰め	R/W
b10	SDTA	シリアルデータアライメントビット（注3）	0：シリアルデータ、パディングビットの順に送受信 1：パディングビット、シリアルデータの順に送受信	R/W
b11	SPDP	シリアルパディング極性ビット（注3）	0：パディングデータは“0” 1：パディングデータは“1”	R/W

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b12</td><td>SWSP</td><td>ワードセレクト極性ビット</td><td>0：SSIWSは第1システムワードでLow、第2システムワードでHigh
1：SSIWSは第1システムワードでHigh、第2システムワードでLow</td><td>R/W</td></tr>
<tr><td>b13</td><td>SCKP</td><td>シリアルビットクロック極性ビット
（注3）</td><td>0：SSIWSとSSITXD/SSIRXDはSSISCKの立ち下がりエッジで変化（SCK立ち上がりエッジでサンプリング）
1：SSIWSとSSITXD/SSIRXDはSSISCKの立ち上がりエッジで変化（SCK立ち下がりエッジでサンプリング）
<table>
<tr><th></th><th>SCKPビット = 0</th><th>CKPビット = 1</th></tr>
<tr><td>受信時
SSITXD/SSIRXD入力サンプリングタイミング</td><td>SSISCK
立ち上がりエッジ</td><td>SSISCK
立ち下がりエッジ</td></tr>
<tr><td>送信時
SSITXD/SSIRXD出力変化タイミング</td><td>SSISCK
立ち下がりエッジ</td><td>SSISCK
立ち上がりエッジ</td></tr>
<tr><td>スレーブモード時（SWSDビット = 0）
SSIWS入力サンプリングタイミング</td><td>SSISCK
立ち上がりエッジ</td><td>SSISCK
立ち下がりエッジ</td></tr>
<tr><td>マスタモード時（SWSDビット = 1）
SSIWS出力変化タイミング</td><td>SSISCK
立ち下がりエッジ</td><td>SSISCK
立ち上がりエッジ</td></tr>
</table></td><td>R/W</td></tr>
<tr><td>b14</td><td>SWSD</td><td>ワードセレクト方向ビット
（注2）（注3）</td><td>0：SSIWS端子は入力（スレーブモード）
1：SSIWS端子は出力（マスタモード）</td><td>R/W</td></tr>
<tr><td>b15</td><td>SCKD</td><td>シリアルビットクロック方向ビット
（注2）（注3）</td><td>0：SSISCK端子は入力（スレーブモード）
1：SSISCK端子は出力（マスタモード）</td><td>R/W</td></tr>
<tr><td>b18-b16</td><td>SWL[2:0]</td><td>システムワード長ビット（注3）</td><td>システムワード長は、シリアルビットクロック周波数／2fsを設定してください。
b18 b16
0 0 0：8ビット（シリアルビットクロック周波数 = 16fs）
0 0 1：16ビット（シリアルビットクロック周波数 = 32fs）
0 1 0：24ビット（シリアルビットクロック周波数 = 48fs）
0 1 1：32ビット（シリアルビットクロック周波数 = 64fs）
上記以外は設定しないでください</td><td>R/W</td></tr>
<tr><td>b21-b19</td><td>DWL[2:0]</td><td>データワード長ビット（注3）</td><td>b21　b19
0 0 0：8ビット
0 0 1：16ビット
0 1 0：18ビット
0 1 1：20ビット
1 0 0：22ビット
1 0 1：24ビット
上記以外は設定しないでください。</td><td>R/W</td></tr>
<tr><td>b23-b22</td><td>CHNL[1:0]</td><td>チャネルビット（注3）</td><td>b23 b22
0　0：1チャネル
上記以外は設定しないでください。</td><td>R/W</td></tr>
<tr><td>b24</td><td>—</td><td>予約ビット</td><td>読んだ場合、その値は不定。書く場合、“0”としてください。</td><td>R/W</td></tr>
<tr><td>b25</td><td>IIEN</td><td>アイドル割り込み許可ビット</td><td>0：アイドル割り込みを禁止
1：アイドル割り込みを許可</td><td>R/W</td></tr>
<tr><td>b26</td><td>ROIEN</td><td>受信FIFOオーバフロー割り込み許可ビット</td><td>0：受信FIFOオーバフロー割り込みを禁止
1：受信FIFOオーバフロー割り込みを許可</td><td>R/W</td></tr>
<tr><td>b27</td><td>RUIEN</td><td>受信FIFOアンダフロー割り込み許可ビット</td><td>0：受信FIFOアンダフロー割り込みを禁止
1：受信FIFOアンダフロー割り込みを許可</td><td>R/W</td></tr>
<tr><td>b28</td><td>TOIEN</td><td>送信FIFOオーバフロー割り込み許可ビット</td><td>0：送信FIFOオーバフロー割り込みを禁止
1：送信FIFOオーバフロー割り込みを許可</td><td>R/W</td></tr>
<tr><td>b29</td><td>TUIEN</td><td>送信FIFOアンダフロー割り込み許可ビット</td><td>0：送信FIFOアンダフロー割り込みを禁止
1：送信FIFOアンダフロー割り込みを許可</td><td>R/W</td></tr>
<tr><td>b30</td><td>CKS</td><td>オーディオクロック選択ビット
（注3）</td><td>0：AUDIO_CLK入力
1：設定しないでください</td><td>R/W</td></tr>
<tr><td>b31</td><td>—</td><td>予約ビット</td><td>読んだ場合、その値は不定。書く場合、“0”としてください。</td><td>R/W</td></tr>
</table>

注1.　ミュート中は、シリアルデータ値に関係なく“0”を送信しますが、モジュール内部のデータ転送は停止しません。送信FIFOのデータ数は減少していきますので、送信アンダフローを発生させないためには、SSIFTDRレジスタにダミーデータを書き込んでください。また、MUENビットを“1”にすると、SSIWSに同期せずSSITXD端子を“0”にします。
注2.　SWSDビットとSCKDビットには同じ値を設定してください。それ以外の設定は禁止です。
注3.　アイドル状態以外での書き換えは禁止です。

REN ビット（受信許可ビット）

受信動作を許可または禁止します。REN ビットを “1” にすると、受信動作を開始します。

TEN ビット（送信許可ビット）

送信動作を許可または禁止します。TEN ビットを “1” にすると、送信動作を開始します。

SSI の SSITXD は、TEN ビットの設定によらず、I/O ポート機能の選択で出力になります。

表 39.3　　SSITXD, SSIRXD の端子状態

レジスタ設定			SSI	
MPC 設定	TEN	REN	SSITXD	SSIRXD
SSI 選択	0	0	出力	入力
	0	1	出力	入力
	1	0	出力	入力
	1	1	出力	入力
SSI 非選択	x	x	I/O ポート	I/O ポート

x：Don’t care

I/O ポート：I/O ポート、マルチファンクションピンコントローラの設定によります。

CKDV[3:0] ビット（シリアルビットクロック周波数設定ビット）

マスタモード時にマスタクロックの分周比を選択し、シリアルビットクロックの周波数を設定するビットです。スレーブモードのときは SSISCK 端子からの入力クロックが使用されますので、設定は無視されます。シリアルビットクロックはシフトレジスタの動作クロックになります。

[計算例]

fs（サンプリングレート）= SSIWS 周波数 = 96kHz、システムワード長 = 32 ビットの場合

ビットクロック周波数 = 96kHz × 32 ビット × 2 = 6.144MHz が必要となるため、MCLK = 12.288MHz の場合は、CKDV[3:0] = 0001b を設定します。

PDTA ビット（パラレルデータアロケーション）

このビットの設定は、受信モード時の SSIFRDR レジスタと送信モード時の SSIFTDR レジスタに格納するデータの割り当てを指定します。

受信動作時、SSI はシリアルオーディオバスから受信したデータを PDTA ビットの設定にしたがって、SSIFRDR へ格納します。

送信動作時、SSI は SSIFTDR に格納したデータを送信シフトレジスタに格納し PDTA ビットの設定にしたがって、シリアルオーディオバスへ送信します。

PDTA ビット = 0 のとき

DWL[2:0] ビット	SSIFTDR/SSIFRDR[31:0] レジスタ
000b	31 24 23 16 15 8 7 0 第4ワード | 第3ワード | 第2ワード | 第1ワード
001b	31 16 15 0 第2ワード | 第1ワード
010b	31 14 13 0 有効 | 無効
011b	31 12 11 0 有効 | 無効
100b	31 10 9 0 有効 | 無効
101b	31 8 7 0 有効 | 無効

PDTA ビット = 1 のとき

DWL[2:0] ビット	SSIFTDR/SSIFRDR[31:0] レジスタ
000b	31 24 23 16 15 8 7 0 第1ワード | 第2ワード | 第3ワード | 第4ワード
001b	31 16 15 0 第1ワード | 第2ワード
010b	31 18 17 0 無効 | 有効
011b	31 20 19 0 無効 | 有効
100b	31 22 21 0 無効 | 有効
101b	31 24 23 0 無効 | 有効

CHNL[1:0] ビット（チャネルビット）

システムワード中のチャネル数を選択するビットです。“00b” を設定してください。

39.2.2　ステータスレジスタ（SSISR）

SSISR レジスタは SSI の動作状態を示すレジスタです。

アドレス　A008 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	0	0	0	0	1	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TSWNO	—	—	RSWNO	IDST
リセット後の値	x	x	x	x	x	x	x	x	x	0	0	1	0	0	1	1

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	IDST	アイドルステータスフラグ	0：SSIが通信動作中 1：SSIが通信アイドル中	R
b1	RSWNO	受信システムワード番号ビット	受信ワード番号	R
b3-b2	—	予約ビット	読んだ場合“00b”が読めます	R
b4	TSWNO	送信システムワード番号ビット	送信ワード番号	R
b6-b5	—	予約ビット	読んだ場合“00b”が読めます	R
b24-b7	—	予約ビット	読んだ場合、その値は不定。	R
b25	IIRQ	アイドル割り込みステータスフラグ	0：アイドル状態ではない 1：アイドル状態	R
b26	ROIRQ	受信オーバフロー割り込みステータスフラグ	0：受信オーバフローは発生していない 1：受信オーバフローが発生	R/(W) （注1）
b27	RUIRQ	受信アンダフロー割り込みステータスフラグ	0：受信アンダフローは発生していない 1：受信アンダフローが発生	R/(W) （注1）
b28	TOIRQ	送信オーバフロー割り込みステータスフラグ	0：送信オーバフローは発生していない 1：送信オーバフローが発生	R/(W) （注1）
b29	TUIRQ	送信アンダフロー割り込みステータスフラグ	0：送信アンダフローは発生していない 1：送信アンダフローが発生	R/(W) （注1）
b31-b30	—	予約ビット	読んだ場合、その値は不定。	R

注1.　“1”の状態を読み出した後、“0”を書き込むことで“0”になります。

IDST フラグ（アイドルステータスフラグ）

本ステータスフラグは、通信が停止したアイドル状態であることを示します。

このフラグは、SSICR.TEN ビットまたは SSICR.REN ビットを “1” に設定後、通信が開始したとき、“0” になります。また、SSICR.TEN ビット、SSICR.REN ビットがともに “0” になり、かつシステムワードの通信が終了すると、“1” になります。

なお、スレーブモードにおいて、通信が終了する前に外部デバイスがシリアルビットクロック入力を停止すると、このフラグは “1” になりません。

RSWNO ビット（受信システムワード番号ビット）

このビットは、初期値が “1” で受信シフトレジスタから SSIFRDR レジスタにデータが転送されると値が反転します。

REN ビットが “0” から “1” に変化したときに、“1” に初期化されます。

SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、受信シフトレジスタから SSIFRDR レジスタに転送されたデータがどのシステムワードであるかを示します。

TSWNO ビット（送信システムワード番号ビット）

現在のワード番号を示します。

このビットは、初期値が “1” で SSIFTDR レジスタから、送信シフトレジスタにデータが転送されると値が反転します。

TEN ビットが “0” から “1” に変化したときに、“1” に初期化されます。

SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、SSIFTDR レジスタから送信シフトレジスタに転送されたデータのシステムワードを示します。

IIRQ フラグ（アイドル割り込みステータスフラグ）

本ステータスフラグは SSI がアイドル状態であるかどうかを示します。ポーリングを可能にするため、このフラグは、SSICR.IIEN ビットの設定にかかわらず “1” になります。

割り込みは、SSICR.IIEN ビットを “0” にすることでマスクできますが、このフラグに “0” を書き込んでも割り込みをクリアできません。

IIRQ フラグ = 1 かつ SSICR.IIEN ビット = 1 のとき、割り込みが発生します。

ROIRQ フラグ（受信オーバフロー割り込みステータスフラグ）

本ステータスフラグは要求レートより高いレートで受信データが供給されたことを示します。受信オーバフローが発生した場合は、受信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.ROIEN ビットの設定にかかわらず “1” になります。“0” にするには、“1” の状態を読み出した後、“0” を書き込んでください。

ROIRQ フラグ = 1 かつ SSICR.ROIEN ビット = 1 のとき、割り込みが発生します。

ROIRQ フラグ = 1 のとき、受信 FIFO がフル（SSIFSR.RDC[3:0] フラグ = 8h）の状態で、以前の未読データが読み出される前に、受信シフトレジスタから SSIFRDR レジスタへデータが転送されたことを示しています。これによりデータが損失される可能性があります。

注 .　オーバフローが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。

RUIRQ フラグ（受信アンダフロー割り込みステータスフラグ）

本ステータスフラグは要求レートより低いレートで受信データが供給されたことを示します。受信アンダフローが発生した場合は、受信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.RUIEN ビットの設定にかかわらず “1” になります。“0” にするには、“1” の状態を読み出した後、“0” を書き込んでください。

RUIRQ フラグ = 1 かつ SSICR.RUIEN ビット = 1 のとき、割り込みが発生します。

RUIRQ フラグ = 1 のとき、受信 FIFO が空（SSIFSR.RDC[3:0] フラグ = 0h）の状態で SSIFRDR レジスタが読み出されたことを示しています。このとき、無効な受信データが格納される可能性があります。

TOIRQ フラグ（送信オーバフロー割り込みステータスフラグ）

本ステータスフラグは要求レートより高いレートで送信データが供給されたことを示します。送信オーバフローが発生した場合は、送信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.TOIEN ビットの設定にかかわらず “1” になります。“0” にするには、“1” の状態を読み出した後、“0” を書き込んでください。

TOIRQ フラグ = 1 かつ SSICR.TOIEN ビット = 1 のとき、割り込みが発生します。

TOIRQ フラグ = 1 のとき、送信 FIFO がフル（SSIFSR.TDC[3:0] フラグ = 8h）の状態で SSIFTDR レジスタへの書き込みが発生したことを示しています。これによりデータが損失される可能性があります。

TUIRQ フラグ（送信アンダフロー割り込みステータスフラグ）

本ステータスフラグは要求レートより低いレートで送信データが供給されたことを示します。送信アンダフローが発生した場合は、送信を停止したのちに再度フローをはじめから実行してください。

このフラグは、SSICR.TUIEN ビットの設定にかかわらず “1” になります。“0” にクリアするには、“1” の状態を読み出した後、“0” を書き込んでください。

TUIRQ フラグ = 1 かつ SSICR.TUIEN ビット = 1 のとき、割り込みが発生します。

TUIRQ フラグ = 1 のとき、送信する前に SSIFTDR レジスタに送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があります。

注 .　送信アンダフローが発生すると、送信停止後、アイドル状態になるまで、SSIFTDR に最後に入力したデータが送信されます。

39.2.3　FIFO 制御レジスタ（SSIFCR）

SSIFCR レジスタは送信 FIFO、受信 FIFO の設定を制御するレジスタです。

アドレス　A008 1010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TTRG[1:0]		RTRG[1:0]		TIE	RIE	TFRST	RFRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFRST	受信FIFOデータレジスタリセットビット（注4）	0：受信FIFOデータリセット解除 1：受信FIFOデータリセット状態	R/W
b1	TFRST	送信FIFOデータレジスタリセットビット	0：送信FIFOデータリセット解除 1：送信FIFOデータリセット状態	R/W
b2	RIE	受信FIFOデータフル割り込み許可ビット	0：受信FIFOデータフル割り込み（RXI）要求を禁止 1：受信FIFOデータフル割り込み（RXI）要求を許可（注1）	R/W
b3	TIE	送信FIFOデータエンプティ割り込み許可ビット	0：送信FIFOデータエンプティ割り込み（TXI）要求を禁止 1：送信FIFOデータエンプティ割り込み（TXI）要求を許可（注2）	R/W
b5-b4	RTRG[1:0]	受信FIFOしきい値設定トリガビット（注4）	b5 b4 0 0：1 0 1：2 1 0：4 1 1：6	R/W
b7-b6	TTRG[1:0]	送信FIFOしきい値設定トリガビット（注4）	b7 b6 0 0：7（1）（注3） 0 1：6（2）（注3） 1 0：4（4）（注3） 1 1：2（6）（注3）	R/W
b30-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	AUCKE	マスタクロック許可ビット（注4）	0：マスタクロック無効 1：マスタクロック有効	R/W

注1.　RXI要求の解除は、SSIFSR.RDFフラグを“0”にする（詳細はSSIFSR.RDFフラグの説明参照）か、RIEビットを“0”にすることで行えます。
注2.　TXI要求の解除は、SSIFSR.TDEフラグを“0”にする（詳細はSSIFSR.TDEフラグの説明参照）か、TIEビットを“0”にすることで行えます。
注3.　（）内の数値はSSIFSR.TDEフラグが“1”になるときのSSIFTDRレジスタの空き段数を意味します。
注4.　アイドル状態以外での書き換えは禁止です。

SSIFCR レジスタは、SSIFTDR レジスタおよび SSIFRDR レジスタの格納データ数のリセット、送信 FIFO しきい値、受信 FIFO しきい値の設定を行うレジスタです。

RFRST ビット（受信 FIFO データレジスタリセットビット）

SSIFRDR レジスタ内のデータを無効にし、データを空の状態にリセットします。

TFRST ビット（送信 FIFO データレジスタリセットビット）

SSIFTDR レジスタ内のデータを無効にし、データを空の状態にリセットします。

RIE ビット（受信 FIFO データフル割り込み許可ビット）

受信動作時に、SSIFSR.RDF フラグが “1” になったときに、受信 FIFO データフル割り込み（RXI）要求の発生を許可／禁止します。

TIE ビット（送信 FIFO データエンプティ割り込み許可ビット）

送信動作時に、SSIFSR.TDE フラグが “1” になったときに、送信 FIFO データエンプティ割り込み（TXI）要求の発生を許可／禁止します。

RTRG[1:0] ビット（受信 FIFO しきい値設定トリガビット）

受信 FIFO しきい値を設定します。SSIFRDR レジスタ（受信 FIFO）に格納された受信データの数が RTRG[1:0] ビットの設定値以上になったとき、SSIFSR.RDF フラグが “1” になり、受信データの読み出しが要求されます。このとき SSIFCR.RIE ビットが “1” であれば受信 FIFO データフル割り込み（RXI）要求が生成されます。

TTRG[1:0] ビット（送信 FIFO しきい値設定トリガビット）

送信 FIFO しきい値を設定します。SSIFTDR レジスタ（送信 FIFO）に格納された送信データの数が TTRG[1:0] ビットの設定値以下になったとき、SSIFSR.TDE フラグが “1” になり、送信データの書き込みが要求されます。このとき SSIFCR.TIE ビットが “1” であれば送信 FIFO データエンプティ割り込み（TXI）要求が生成されます。

39.2.4　FIFO ステータスレジスタ（SSIFSR）

SSIFSR レジスタは、SSIFTDR レジスタおよび SSIFRDR レジスタの動作状態を示すレジスタです。

アドレス　A008 1014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	TDC[3:0]				—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RDC[3:0]				—	—	—	—	—	—	—	RDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDF	受信データフルフラグ	0：SSIFRDR レジスタの受信データ数が指定受信トリガ数より少ないことを表示 1：SSIFRDR レジスタの受信データ数が指定受信トリガ数以上であることを表示	R/(W)（注1）
b7-b1	—	予約ビット	読むと“0”が読めます。	R
b11-b8	RDC[3:0]	受信データ表示フラグ	SSIFRDR レジスタに格納されたデータ数を示します	R
b15-b12	—	予約ビット	読むと“0”が読めます。	R
b16	TDE	送信データエンプティフラグ	0：SSIFTDR レジスタの送信データ数が指定送信トリガ数より多いことを表示 1：SSIFTDR レジスタの送信データ数が指定送信トリガ数以下であることを表示（注2）	R/(W)（注1）
b23-b17	—	予約ビット	読むと“0”が読めます。	R
b27-b24	TDC[3:0]	送信データ表示フラグ	SSIFTDR レジスタに格納されたデータ数を示します	R
b31-b28	—	予約ビット	読むと“0”が読めます。	R

注1.　“1”の状態を読み出した後、“0”を書き込むことで“0”になります。
注2.　SSIFTDR レジスタは8段のFIFO レジスタであるため、TDE フラグ = 1の状態で書き込むことができるデータの最大数は「8から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SSIFTDR レジスタのデータ数はTDC[3:0]フラグで示されます。

RDF フラグ（受信データフルフラグ）

受信データが SSIFRDR レジスタに転送されたとき、SSIFRDR レジスタのデータ数が受信 FIFO しきい値以上になり、SSIFRDR レジスタから受信データの読み出しが可能になったことを示します。

[“1” になる条件]

- 受信 FIFO しきい値以上の数の受信データが SSIFRDR レジスタに格納されたとき（注 1）

[“0” になる条件]

- RDF フラグが “1” であることを確認した後、RDF フラグに “0” を書き込んだとき

注 1.　SSIFRDR レジスタは 32 バイトの FIFO レジスタであるため、RDF フラグが “1” のときに読み出すことができるデータの最大数は、RDC[3:0] フラグで示されます。SSIFRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。

RDC[3:0] フラグ（受信データ表示フラグ）

SSIFRDR レジスタに格納されたデータ数を示します。

“0h” は受信データがないことを、“8h” は 32 バイトの受信データが SSIFRDR レジスタに格納されていることを示します。

TDE フラグ（送信データエンプティフラグ）

SSIFTDR レジスタから送信シフトレジスタにデータが転送されたとき、SSIFTDR レジスタのデータ数が送信 FIFO しきい値以下になり、SSIFTDR レジスタへ送信データの書き込みが可能になったことを示します。

[“1” になる条件]

- SSIFTDR レジスタに書き込んだ送信データの数が送信 FIFO しきい値以下のとき（注 1）

[“0” になる条件]

- TDE フラグが “1” であることを確認した後、TDE フラグに “0” を書き込んだとき

注 1.　SSIFTDR レジスタは 32 バイトの FIFO レジスタであるため、TDE フラグが “1” のときに書き込みすることができるデータの最大数は、「8-TDC[3:0]」になります。SSIFTDR レジスタにすべてのデータを書き込みした後、さらに書き込みを続けると書き込みは無効になり、オーバフローとなります。

TDC[3:0] フラグ（送信データ表示フラグ）

SSIFTDR レジスタに格納されたデータ数を示します。

“0h” は送信データがないことを、“8h” は 32 バイトの送信データが SSIFTDR レジスタに格納されていることを示します。

39.2.5　送信 FIFO データレジスタ（SSIFTDR）

SSIFTDR レジスタは、書き込み専用のシリアル送信するデータを格納する 32 ビット × 8 段 FIFO レジスタです。

アドレス　A008 1018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

SSIFTDR レジスタは、データワード長設定とは関係なく、64 ビット（FIFO2 段）単位で送信データを書き込んでください。32 ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、32 ビットの “0” データ（0000 0000h）を書き込み、64 ビット単位での書き込みが完了した状態で、送信を停止してください。

SSI は送信シフトレジスタが空であると、SSIFTDR レジスタに書き込まれた送信データを送信シフトレジスタに転送してシリアル送信を開始します。SSIFTDR レジスタの送信データが空になるまで連続シリアル送信ができます。

SSIFTDR レジスタが送信データでいっぱい（32 バイト）になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視され、オーバフローとなります。

39.2.6　受信 FIFO データレジスタ（SSIFRDR）

SSIFRDR レジスタは、読み出し専用の受信したシリアルデータを格納する 32 ビット × 8 段 FIFO レジスタです。

アドレス　A008 101Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

SSI は 4 バイトのシリアルデータの受信をするたびに受信シフトレジスタから SSIFRDR レジスタへ受信したシリアルデータを PDTA ビットの設定にしたがって格納します。最大 32 バイトの格納が終了するまで連続した受信動作が可能です。SSIFRDR レジスタは読み出しはできますが書き込みはできません。

SSIFRDR レジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダフローとなります。

SSIFRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われ、受信オーバフローとなります。

39.2.7　TDM モードレジスタ（SSITDMR）

SSITDMR レジスタは、読み出し／書き込み可能な 32 ビットのレジスタで、WS コンティニュモードの設定を行います。

アドレス　A008 1020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CONT	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CONT	WSコンティニュモードビット （注1）	0：WSコンティニュモードを禁止 1：WSコンティニュモードを許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　マスタモード（SSICR.SCKDビット = 1かつSSICR.SWSDビット = 1）の場合のみ設定可能です。

39.3　動作説明

39.3.1　　バスフォーマット

SSI は、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは**表 39.4** に示す 6 個のモードから選択できます。

表 39.4　　バスフォーマット

	TEN	REN	SCKD	SWSD	MUEN	IIEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	1	0	0	制御ビット							コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0	0																
非圧縮スレーブトランシーバ	1	1	0	0																
非圧縮マスタレシーバ	0	1	1	1																
非圧縮マスタトランスミッタ	1	0	1	1																
非圧縮マスタトランシーバ	1	1	1	1																

39.3.2　　非圧縮モード

非圧縮モードは、チャネルに分割されるシリアルオーディオストリームをサポートします。I^2S 互換フォーマットだけでなく、MSB ファースト右詰め／左詰めフォーマットにも対応しています。

(1)　スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

(2)　スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

(3)　スレーブトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI に設定されたフォーマットと一致しないとき、動作は保証されません。

(4)　マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI の設定にしたがいます。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(5)　マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI のコンフィギュレーションビットの設定にしたがいます。

(6)　マスタトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。クロックとワード選択信号はマスタクロックから内部生成されます。これらの信号のフォーマットは SSI のコンフィギュレーションビットの設定にしたがいます。

(7)　動作設定ーワード長関連

非圧縮モードでは、SSICR レジスタのワード長に関するすべてのビットが有効です。SSI は多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めの各フォーマットについて説明します。

- I²S 互換フォーマット

図 39.2、図 39.3 に、パディングなしとパディングありの I²S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

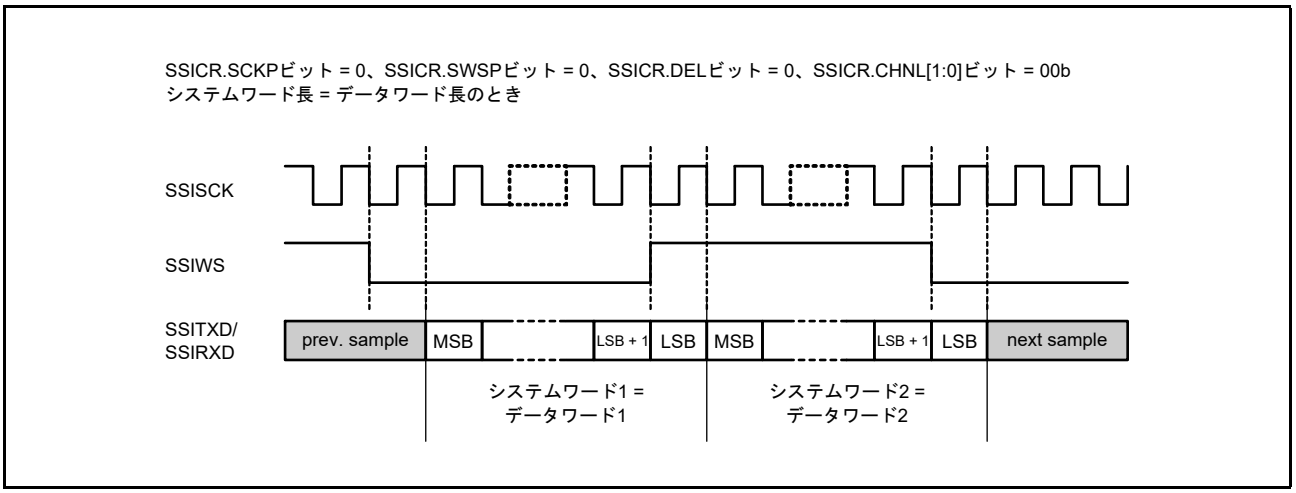


図 39.2　I²S 互換フォーマット（パディングなし）

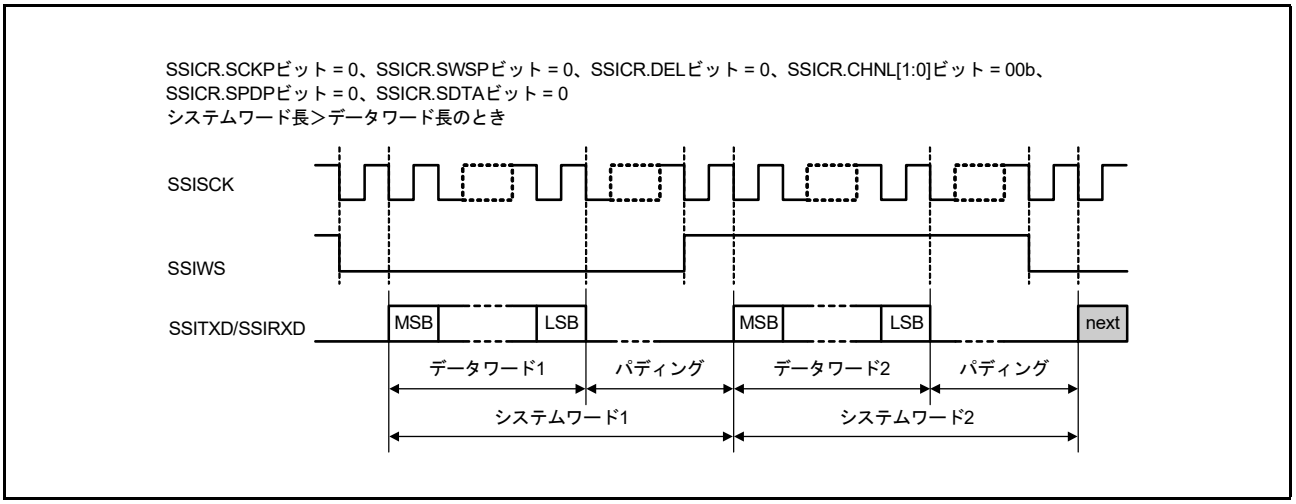


図 39.3　I²S 互換フォーマット（パディングあり）

図 39.4 に MSB ファースト・左詰めフォーマットを、図 39.5 に MSB ファースト・右詰めフォーマットを示します。

- MSB ファースト・左詰めフォーマット

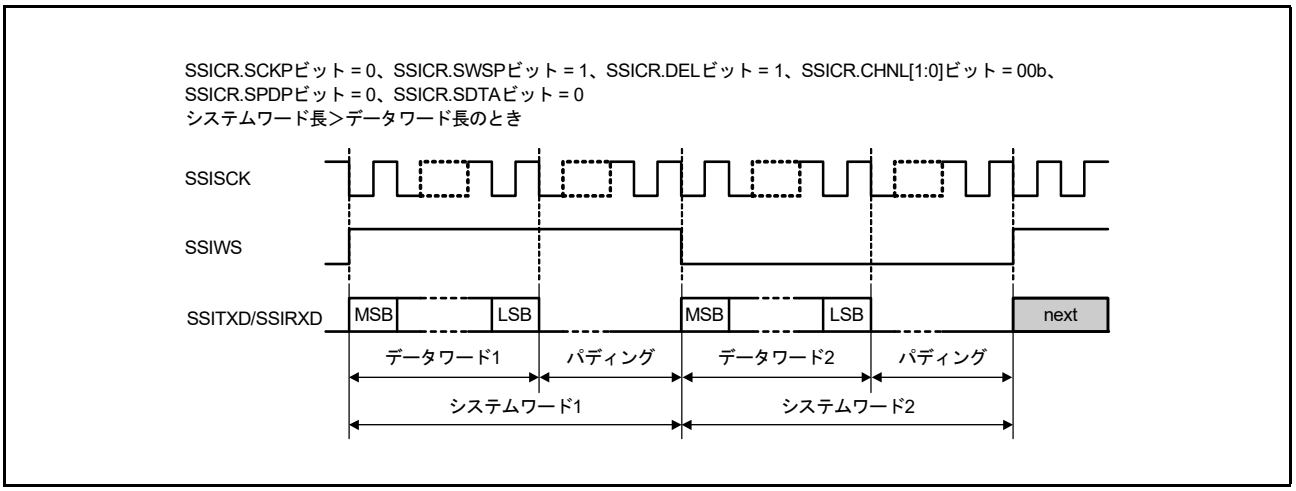


図 39.4　　MSB ファースト・左詰めフォーマット（シリアルデータ、パディングビットの順に送受信）

- MSB ファースト・右詰めフォーマット

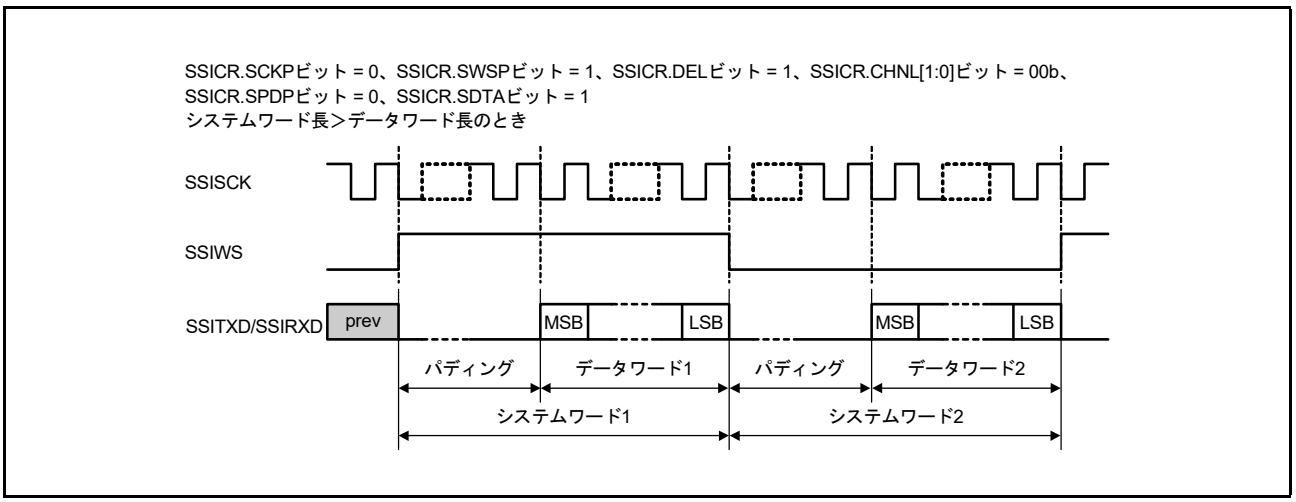


図 39.5　　MSB ファースト・右詰めフォーマット（パディングビット、シリアルデータの順に送受信）

表 39.5 に有効な設定とパディングビット数を示します。

表39.5　　有効な設定とパディングビット数

システムワードごとのパディングビット数			SSICR.DWL[2:0] ビット	000b	001b	010b	011b	100b	101b
SSICR.CHNL[1:0] ビット	システムワードごとにデコードされるチャネル	SSICR.SWL[2:0] ビット	データワード長 / システムワード長	8	16	18	20	22	24
00b	1	000b	8	0	—	—	—	—	—
		001b	16	8	0	—	—	—	—
		010b	24	16	8	6	4	2	0
		011b	32	24	16	14	12	10	8

(8)　動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 39.6 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

図 39.6 ～**図 39.14** では、図を簡単にするために、システムワード 6 ビット、データワード 4 ビットとしています。

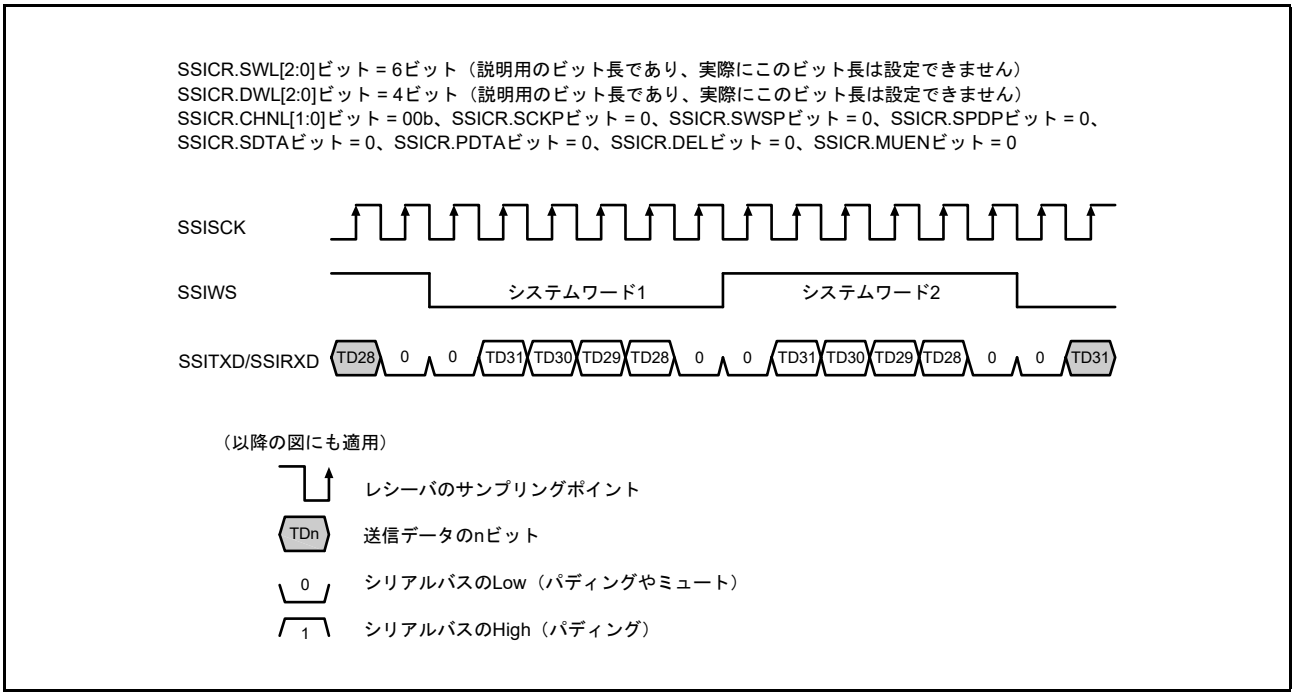


図 39.6　　基本フォーマット例（送信モード、任意のシステム／データワード長）

- 反転クロック

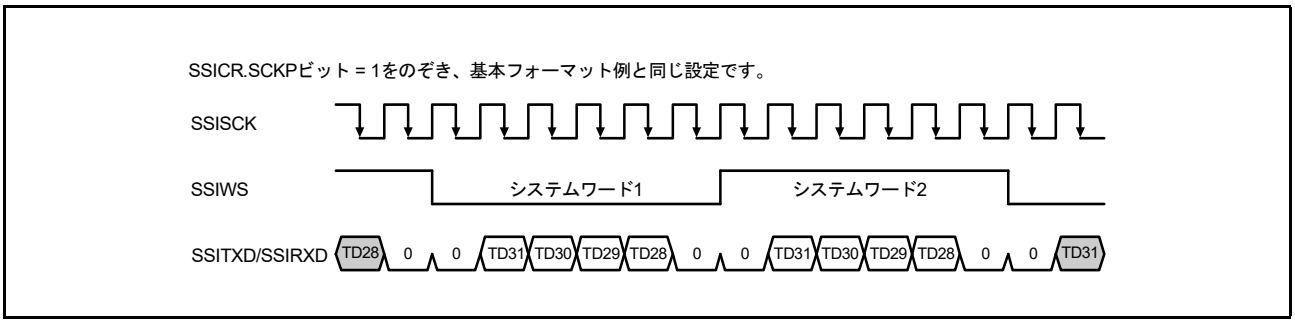


図 39.7　　反転クロック

- 反転ワード選択信号

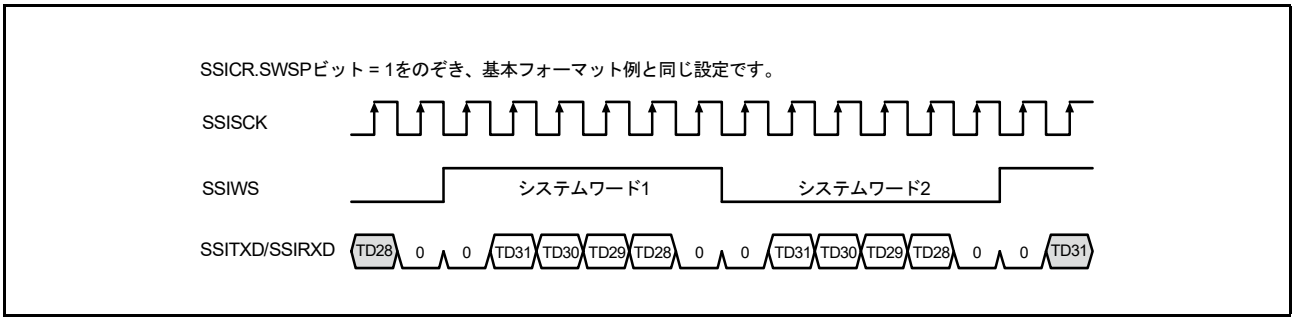


図 39.8　反転ワード選択信号

- 反転パディング極性

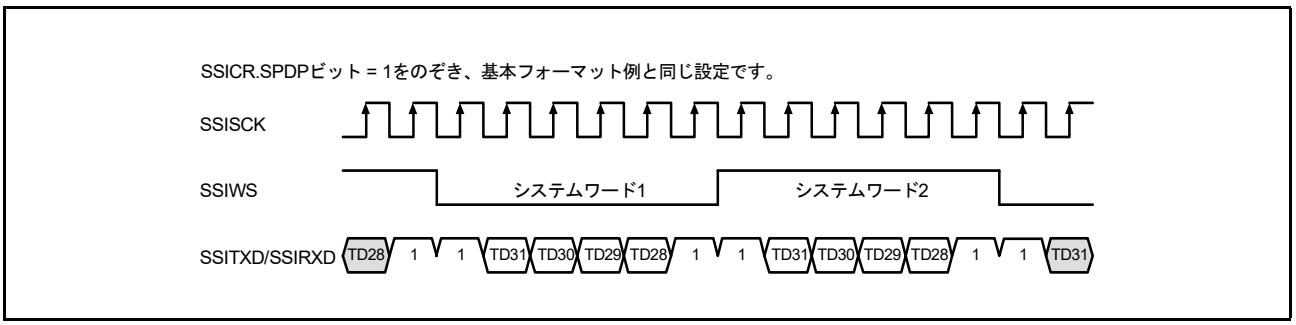


図 39.9　反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

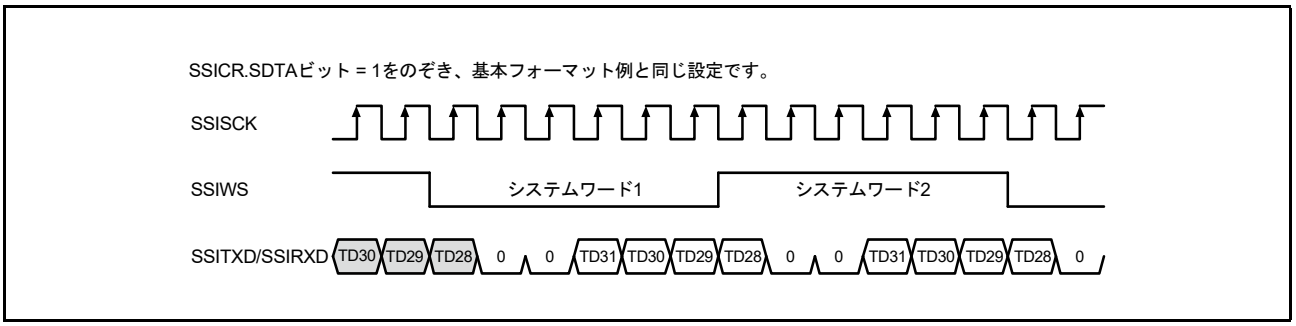


図 39.10　パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

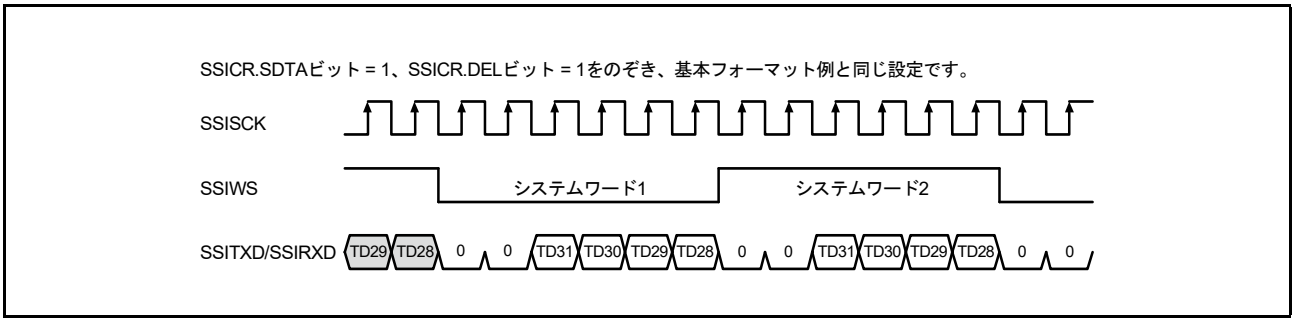


図 39.11　パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

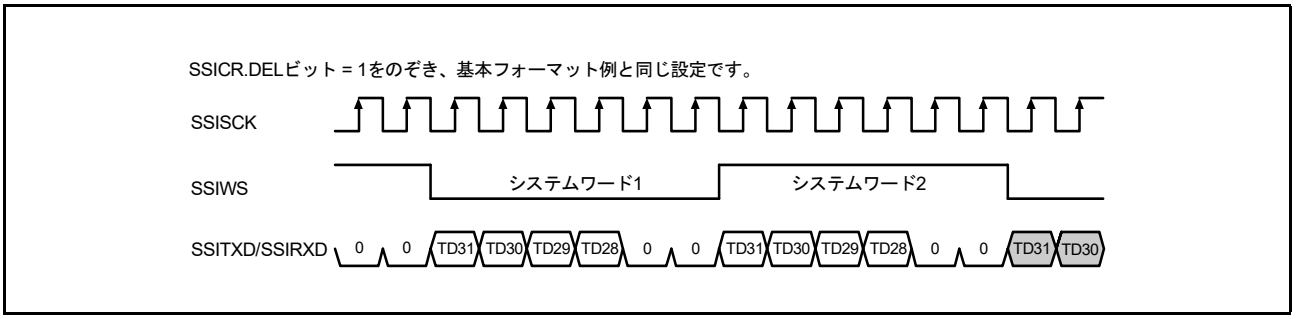


図 39.12　シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

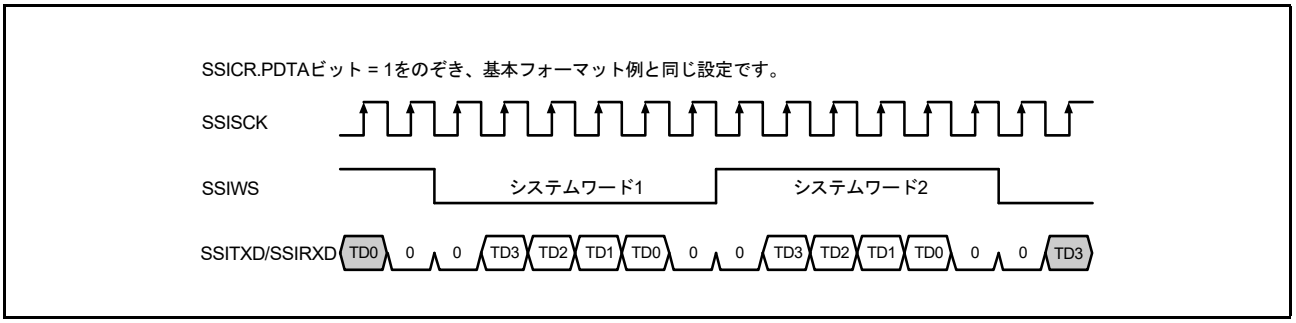


図 39.13　パラレルデータの右詰め、遅延あり

- ミュート有効

SSICR.MUEN ビットを “1” にすると、SSIWS に同期せず SSITXD 端子を “0” にします。

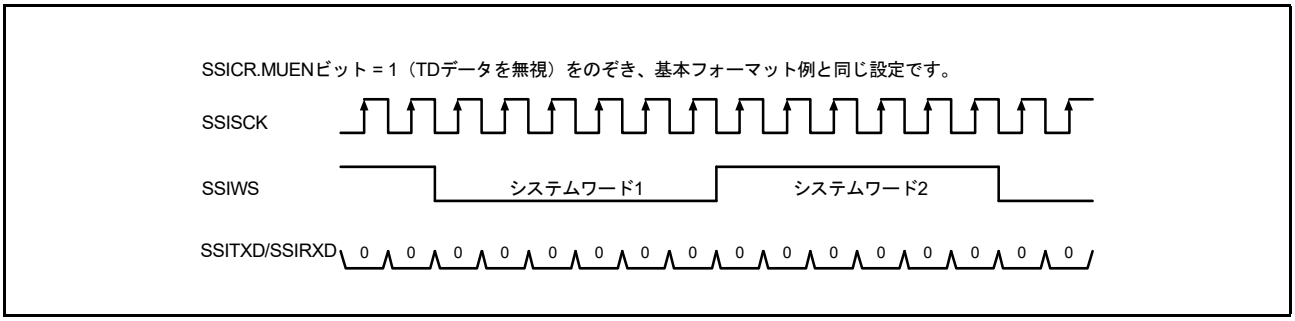


図 39.14　ミュート有効

39.3.3　WS コンティニュモード

WS コンティニュモードは、データ転送の許可／禁止に関係なく SSIWS 信号を出力し続けるモードです。このモードは SSITDMR.CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを “0” に（転送停止）しても SSIWS 信号は停止せず動作し続けます。一方、このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも “0” にした場合は、SSIWS 信号が停止します。

図 39.15、図 39.16 に WS コンティニュモードの許可／禁止設定の動作を示します。

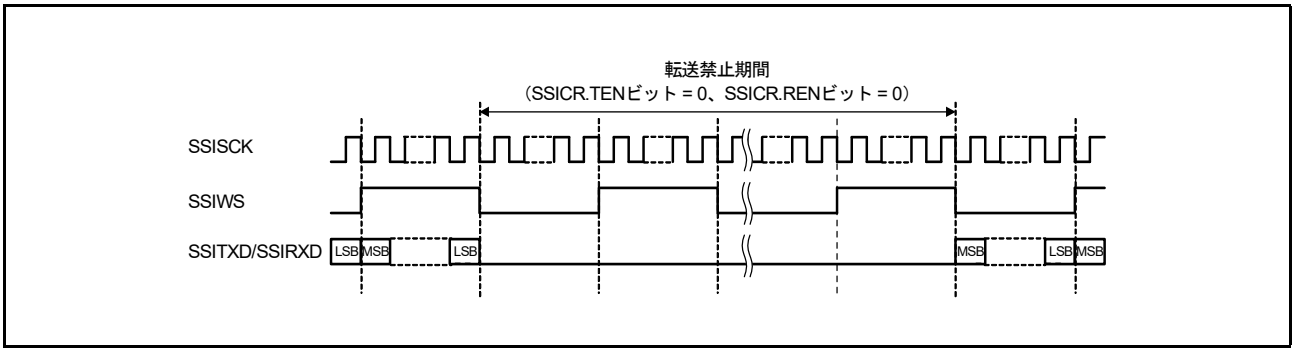


図 39.15　WS コンティニュモード許可

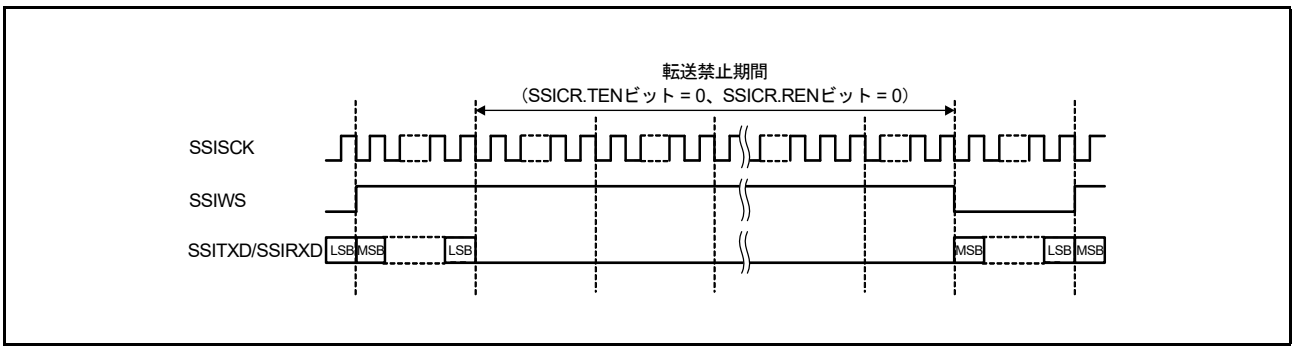


図 39.16　WS コンティニュモード禁止

39.3.4　　動作状態

アイドル、通信動作およびアイドル待ちの 3 つの動作状態があります。**図 39.17** に動作状態遷移図を示します。

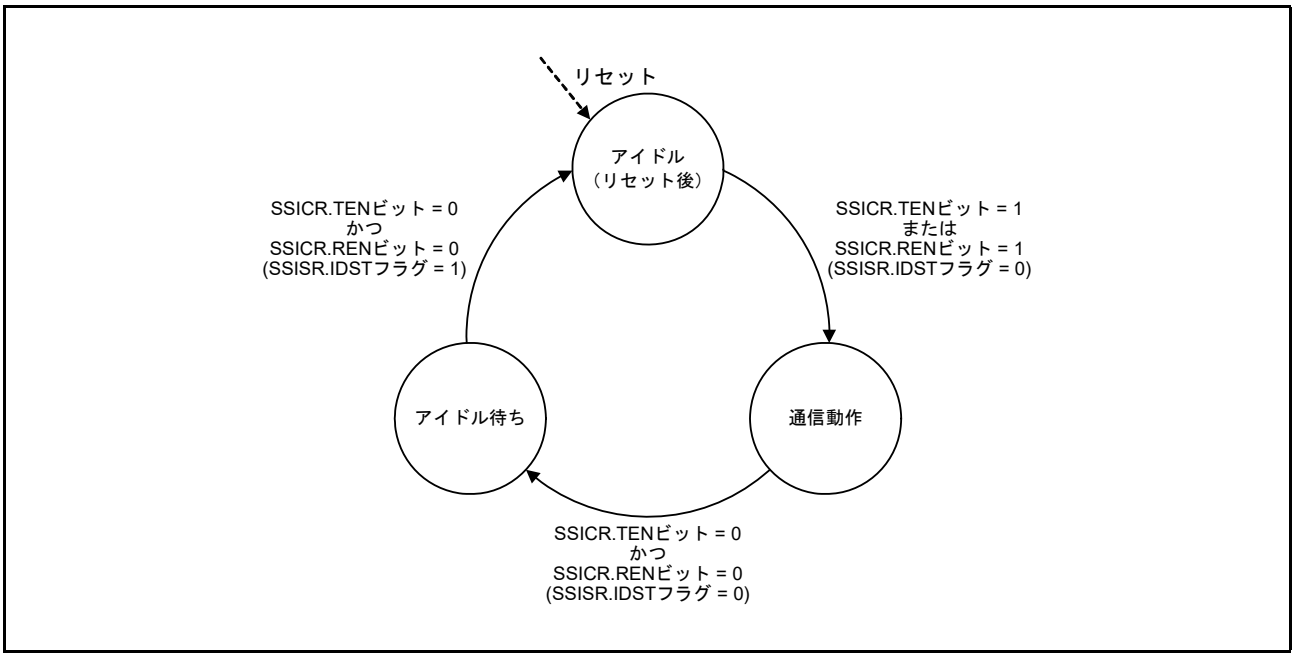


図 39.17　動作状態遷移図

(1)　アイドル状態

リセット解除後、MSTPCRD.MSTPD10, MSTPD11, MSTPD15 ビットを “0” にすると、本状態に遷移します。この状態で制御レジスタに必要な設定を行います。設定後、SSICR.TEN ビットまたは SSICR.REN ビットを “1” にし、通信動作に遷移します。

(2)　通信動作状態

この状態の通信動作は選択された動作状態に依存しています。詳細については**「39.3.5　送信動作」**と**「39.3.6　受信動作」**を参照してください。

(3)　アイドル待ち状態

通信動作状態時に、SSICR.TEN ビットと SSICR.REN ビットの両方を “0” にすると本状態に遷移し、通信終了を待ちます。この状態でシステムワードの通信が終了すると、SSISR.IDST フラグが “1” になり、アイドル状態に遷移します。

39.3.5　送信動作

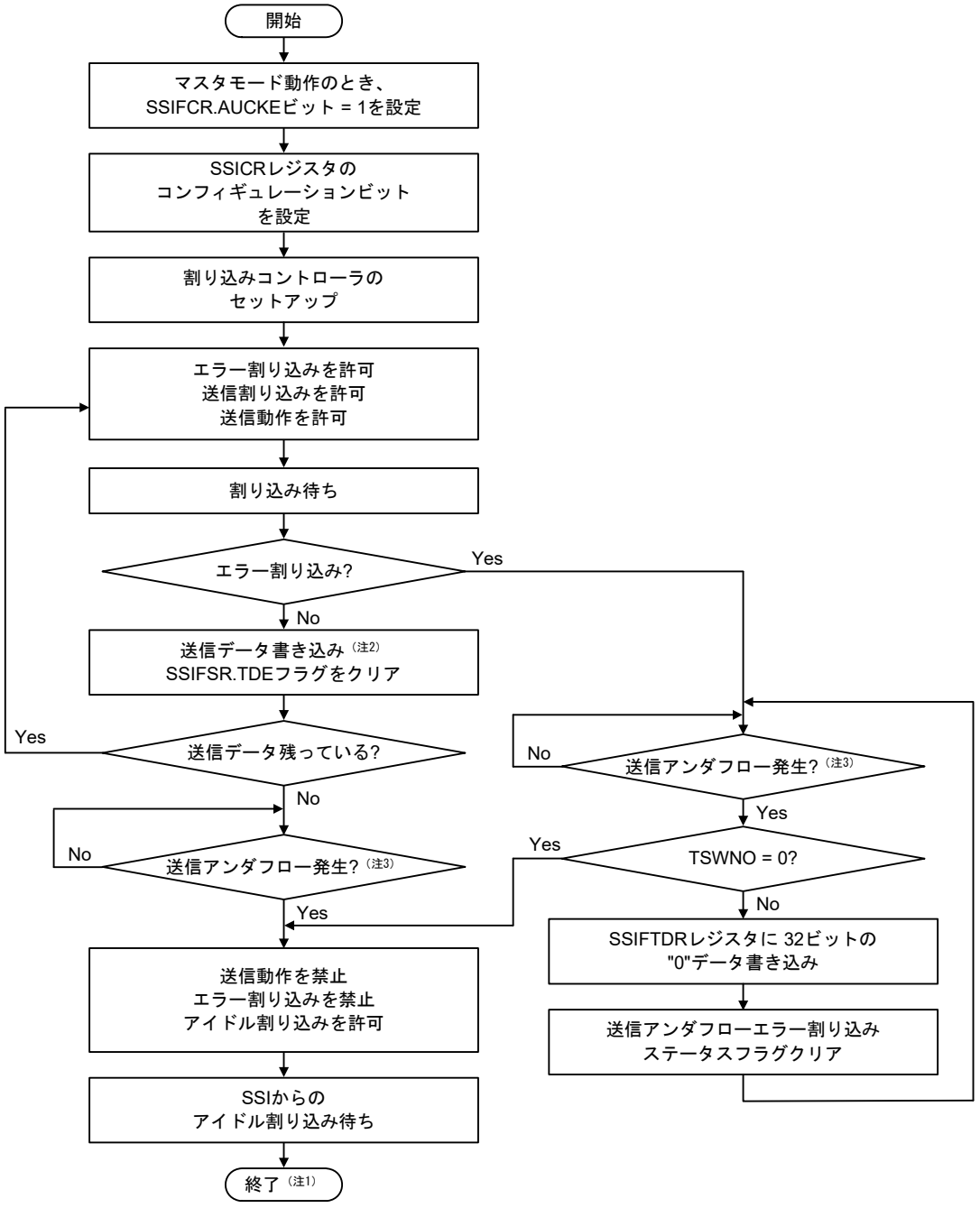
送信動作はSSIがデータ供給のために生成する割り込みで制御できます。割り込みによる送信時は、データフォーマットとは関係なく送信データを64ビット単位で書き込み、32ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、32ビットの“0”データ（0000 0000h）を書き込み、64ビット境界で書き込みが完了した状態にしてください。

送信を停止する場合、64ビット単位で書き込みが完了した状態でSSIFTDRレジスタへの書き込みを停止してください。書き込み停止後、送信アンダフローの発生を待ってから、TENビットを“0”に設定してください。送信アンダフロー中は、SSIFTDRに最後に入力したデータがアイドル状態に遷移するまで送信され続けます。TENビット＝0を設定後、SSISR.IIRQフラグがアイドル状態を示すまで、クロック（注1）を供給してください。送信途中に、送信アンダフローエラー、送信オーバフローエラーが発生した場合、送信データのSSIFTDRへの書き込みが64ビット単位でなくなる場合があります。その場合は、データ書き込みを停止し、送信アンダフローエラーが発生するまで待ち、送信アンダラン発生時のTSWNOをチェックしてください。TSWNOビットが“1”の場合は、32ビットの“0”データ（0000 0000h）をSSIFTDRに書き込み再度アンダランの発生を待ってください。TSWNOビットが“0”になるのが確認できたら、TENビット＝0を設定後、SSISR.IIRQフラグがアイドル状態を示すまで、クロック（注1）を供給してください。

図39.18に割り込みを使用した送信を示します。

注1.　SSICR.SCKDビット＝0のときSSISCK端子からの入力クロック
　　SSICR.SCKDビット＝1のときマスタクロック

(1)　割り込みを使用した送信



注 1.　エラー割り込み（アンダフロー／オーバフロー）が発生した場合は、再度開始フローから実行してください。
注 2.　送信データは、データワード長設定とは関係なく 64 ビット単位で書き込んでください。
注 3.　送信データを SSIFTDR レジスタへ書き込むのを停止し、送信アンダフローが発生するまで待ってください。
送信アンダフロー中は、SSIFTDR に最後に入力したデータがアイドル状態に遷移するまで送信され続けます。

図 39.18　割り込みを使用した送信

39.3.6　受信動作

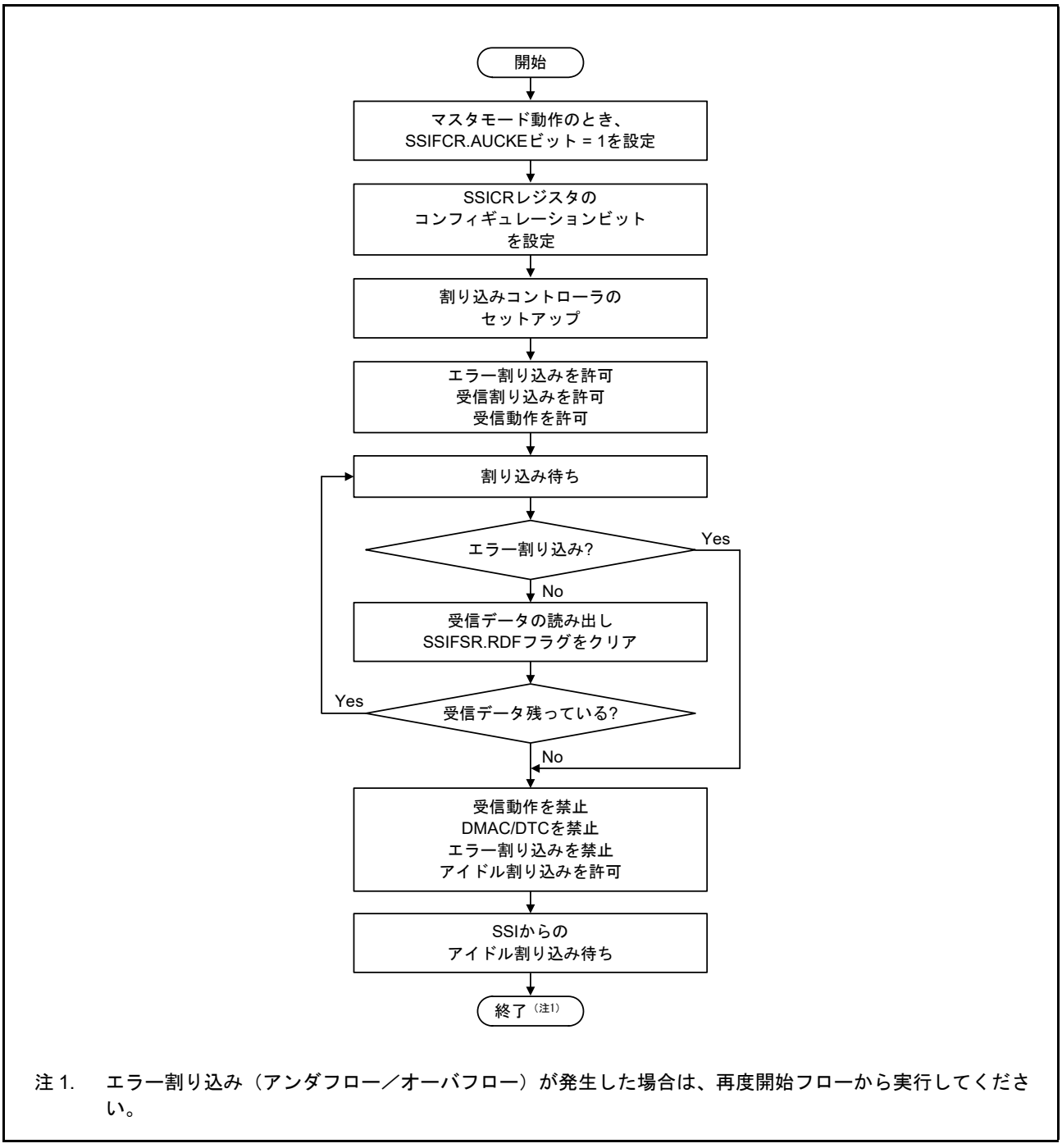
送信同様、受信も割り込みで制御できます。

図 39.19 に動作フローチャートを示します。

受信を停止する場合、REN ビット = 0 を設定後、SSISR.IIRQ フラグがアイドル状態を示すまで、クロック（注 1）を供給してください。

注 1.　SSICR.SCKD ビット = 0 のとき SSISCK 端子からの入力クロック
　　SSICR.SCKD ビット = 1 のときマスタクロック

(1)　割り込みを使用した受信



注 1.　エラー割り込み（アンダフロー／オーバフロー）が発生した場合は、再度開始フローから実行してください。

図 39.19　割り込みを使用した受信

39.3.7　シリアルビットクロック制御

SSI は SCKD ビットと CKDV ビットにより、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合（SSICR.SCKD ビット = 0）、SSI はクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSISCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合（SSICR.SCKD ビット = 1）、SSI はクロックマスタモードであり、シフトレジスタが使うビットクロックはマスタクロックまたはそれを分周したクロックです。マスタクロックは、SSICR.CKDV[3:0] ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK 端子の出力はビットクロックと同じになります。

39.4　割り込み要因

表 39.6 に各割り込み要因を示します。各割り込み要因は、SSICR.TUIEN, TOIEN, RUIEN, ROIEN, IIEN ビットと SSIFCR.TIE, RIE ビットで許可または禁止ができます。

表 39.6　SSI の割り込み要因

割り込み要因	内容	割り込みフラグ
SSIF	送信アンダフロー割り込み／ 送信オーバフロー割り込み／ 受信アンダフロー割り込み／ 受信オーバフロー割り込み／ アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ
SSIRXI	受信データフル割り込み	SSIFSR.RDF
SSITXI	送信データエンプティ割り込み	SSIFSR.TDE

39.5　使用上の注意事項

39.5.1　　モジュールストップ機能の設定

MSTPCRD レジスタにより、モジュールストップ状態への遷移／解除を行うことができます。初期値では SSI はモジュールストップ状態です。モジュールストップ状態を解除することにより、SSI のレジスタへのアクセスが可能になります。

MSTPCRD レジスタの詳細は、「9.　**消費電力低減機能**」を参照してください。

39.5.2　　転送モードを切り替える場合の注意事項

WS コンティニュモード禁止（SSITDMR.CONT = 0）の状態で、トランスミッタ、レシーバ、トランシーバ間でモード遷移する場合は、SSICR.TEN ビットと SSICR.REN ビットに “0” を設定し、一度アイドル状態に遷移してください。アイドル状態で、SSICR.TEN ビットと SSICR.REN ビットを再設定し転送を再開してください。

39.5.3　　WS コンティニュモードの制限事項

WS コンティニュモードの設定を切り替える場合、切り替え直後の SSISCK 信号、SSIWS 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

40.　バウンダリスキャン

本 LSI は、バウンダリスキャン機能を内蔵しています。

バウンダリスキャンは、JTAG（Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）と同等なシリアル入出力インタフェースです。

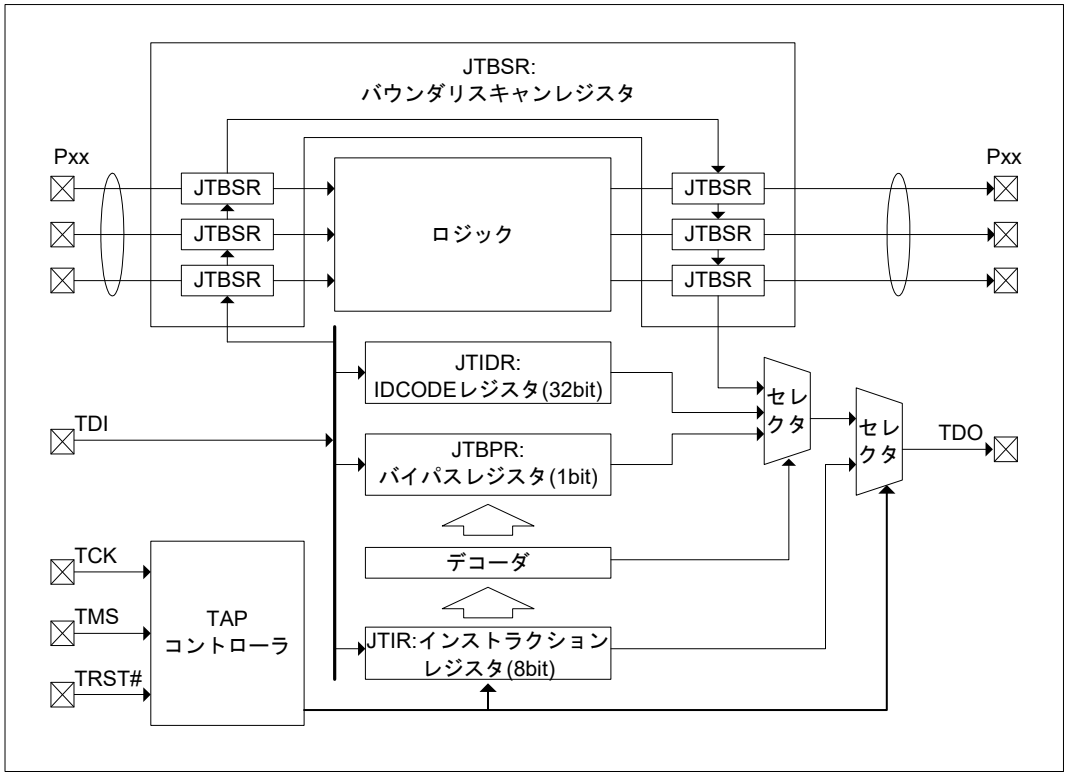
40.1　概要

表 40.1 にバウンダリスキャンの仕様を示します。

図 40.1 にバウンダリスキャンのブロック図を示します。

表40.1　　バウンダリスキャンの仕様

項目	内容
バウンダリスキャン有効／無効	BSCANP端子をHighとした時にバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時のJTAG端子（TDO、TCK、TDI、TMS、TRST#）
6種類のテストモード	BYPASSモード EXTESTモード SAMPLE／PRELOADモード CLAMPモード HIGHZモード IDCODEモード



JTBPR ：バイパスレジスタ
JTBSR ：バウンダリスキャンレジスタ
JTIR　：インストラクションレジスタ
JTDIR ：ID コードレジスタ

図 40.1　　JTAG ブロック図

表 40.2 にバウンダリスキャンで使用する入出力端子を示します。

表40.2 JTAG入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号です。 バウンダリスキャン機能使用時はデューティ比50%のクロックを入力してください。
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力
TRST#	入力	テストリセット入力

40.2　レジスタの説明

インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタへ入力できます。

バイパスレジスタは、1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます。

バウンダリスキャンレジスタは**表 40.5** の構成のレジスタで、テストデータをシフトインする時に TDI 端子と TDO 端子の間に接続されます。

すべてのレジスタは CPU からアクセスできません。**表 40.3** に各レジスタのシリアル転送を示します。

表40.3　　レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
インストラクションレジスタ	可能	可能
IDコードレジスタ	可能	可能
バイパスレジスタ	可能	可能
バウンダリスキャンレジスタ	可能	可能

注.　バウンダリスキャンの規格を満たしていれば、すべて可能です。

40.2.1　　インストラクションレジスタ（JTIR）

JTIR レジスタは、8 ビットのレジスタです。

バウンダリスキャンのインストラクションは、TDI 端子からのシリアル入力によってインストラクションレジスタに転送することができます。

インストラクションレジスタは、TRST# 端子が Low レベル、または TAP コントローラが Test-Logic-Reset 状態の時に初期化されます。

アドレス　—

	b7	b6	b5	b4	b3	b2	b1	b0
	TS[7:0]							
リセット後の値	0	1	0	1	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	TS[7:0]	テストビットセット	コマンド構成は表40.4のようになります。	—

表40.4　　コマンド構成

TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE / PRELOAD
0	1	0	1	0	1	0	1	IDCODE（リセット後の値）
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上記以外								予約

40.2.2　ID コードレジスタ（JTIDR）

JTIDR レジスタは、32 ビットのレジスタです。

IDCODE 命令時、ID コードレジスタのデータを TDO 端子から出力します。

アドレス —

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DID[31:0]															
リセット後の値	0	0	0	0	1	0	0	0	0	0	1	0	0	1	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DID[31:0]															
リセット後の値	0	1	1	0	0	1	0	0	0	1	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	予約ビット	デバイス IDCODE を示す固定値のレジスタ	—

40.2.3　バイパスレジスタ（JTBPR）

JTBPR レジスタは、1 ビットのレジスタです。

BYPASS モードに設定された場合、TDI 端子と TDO 端子はバイパスレジスタに接続されます。

CPU から JTBPR レジスタへ読み出し／書き込みはできません。

40.2.4　バウンダリスキャンレジスタ（JTBSR）

JTBSR レジスタは、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE / PRELOAD、CLAMP、および HIGHZ コマンドを用いて、バウンダリスキャンテストを行うことができます。

表 40.5 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

リセット後の値は不定です。

表40.5 バウンダリスキャンレジスタ （320FBGA）(1 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
R3	P30	入力	643
R5	PN0	出力	642
		出力イネーブル	641
		入力	640
P5	P31	出力	639
		出力イネーブル	638
		入力	637
U3	PN1	出力	636
		出力イネーブル	635
		入力	634
T3	P32	出力	633
		出力イネーブル	632
		入力	631
U1	P60	出力	630
		出力イネーブル	629
		入力	628
R6	PN2	出力	627
		出力イネーブル	626
		入力	625
V1	P61	出力	624
		出力イネーブル	623
		入力	622
W1	P62	出力	621
		出力イネーブル	620
		入力	619
V3	PN3	出力	618
		出力イネーブル	617
		入力	616
U2	P63	出力	615
		出力イネーブル	614
		入力	613
V4	PN4	出力	612
		出力イネーブル	611
		入力	610
V2	P64	出力	609
		出力イネーブル	608
		入力	607
W2	P65	出力	606
		出力イネーブル	605
		入力	604
Y3	P66	出力	603
		出力イネーブル	602
		入力	601
W3	PN5	出力	600
		出力イネーブル	599
		入力	598

表40.5 バウンダリスキャンレジスタ （320FBGA）(2 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
Y2	P67	出力	597
		出力イネーブル	596
		入力	595
W4	PN6	出力	594
		出力イネーブル	593
		入力	592
T5	PC6	入力	590
Y4	PN7	出力	589
		出力イネーブル	588
		入力	587
V5	PC7	入力	585
T7	P36	出力	584
		出力イネーブル	583
		入力	582
W5	PP0	出力	581
		出力イネーブル	580
		入力	579
T6	P37	出力	578
		出力イネーブル	577
		入力	576
Y5	PP1	出力	575
		出力イネーブル	574
		入力	573
R7	PG0	出力	572
		出力イネーブル	571
		入力	570
V6	PG1	出力	569
		出力イネーブル	568
		入力	567
R8	PG2	出力	566
		出力イネーブル	565
		入力	564
W6	PP2	出力	563
		出力イネーブル	562
		入力	561
T8	PG3	出力	560
		出力イネーブル	559
		入力	558
Y6	PP3	出力	557
		出力イネーブル	556
		入力	555
V7	PG4	出力	554
		出力イネーブル	553
		入力	552
V8	PG5	出力	551
		出力イネーブル	550
		入力	549

表40.5　　バウンダリスキャンレジスタ （320FBGA）(3 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
W7	PP4	出力	548
		出力イネーブル	547
		入力	546
T9	PG6	出力	545
		出力イネーブル	544
		入力	543
Y7	PP5	出力	542
		出力イネーブル	541
		入力	540
R9	PG7	出力	539
		出力イネーブル	538
		入力	537
V9	PH0	出力	536
		出力イネーブル	535
		入力	534
V10	PH1	出力	533
		出力イネーブル	532
		入力	531
W8	PP6	出力	530
		出力イネーブル	529
		入力	528
R10	PH2	出力	527
		出力イネーブル	526
		入力	525
W9	PP7	出力	524
		出力イネーブル	523
		入力	522
T10	PH3	出力	521
		出力イネーブル	520
		入力	519
R11	PH4	出力	518
		出力イネーブル	517
		入力	516
Y9	PR0	出力	515
		出力イネーブル	514
		入力	513
T12	PH5	出力	512
		出力イネーブル	511
		入力	510
W10	PR1	出力	509
		出力イネーブル	508
		入力	507
R12	PH6	出力	506
		出力イネーブル	505
		入力	504
V11	PH7	出力	503
		出力イネーブル	502
		入力	501

表40.5　　バウンダリスキャンレジスタ （320FBGA）(4 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
W13	P24	出力	500
		出力イネーブル	499
		入力	498
V13	P21	出力	497
		出力イネーブル	496
		入力	495
Y10	PR2	出力	494
		出力イネーブル	493
		入力	492
W14	P22	出力	491
		出力イネーブル	490
		入力	489
W11	PR3	出力	488
		出力イネーブル	487
		入力	486
R13	P23	出力	485
		出力イネーブル	484
		入力	483
V12	P20	出力	482
		出力イネーブル	481
		入力	480
Y14	P25	出力	479
		出力イネーブル	478
		入力	477
Y11	PR4	出力	476
		出力イネーブル	475
		入力	474
T14	P26	出力	473
		出力イネーブル	472
		入力	471
W12	PR5	出力	470
		出力イネーブル	469
		入力	468
R14	P27	出力	467
		出力イネーブル	466
		入力	465
W15	P44	出力	464
		出力イネーブル	463
		入力	462
Y15	P41	出力	461
		出力イネーブル	460
		入力	459
Y12	PR6	出力	458
		出力イネーブル	457
		入力	456
Y16	P42	出力	455
		出力イネーブル	454
		入力	453

表40.5　　バウンダリスキャンレジスタ （320FBGA）(5 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
Y13	PR7	出力	452
		出力イネーブル	451
		入力	450
Y17	P40	出力	449
		出力イネーブル	448
		入力	447
W16	P43	出力	446
		出力イネーブル	445
		入力	444
V15	P45	出力	443
		出力イネーブル	442
		入力	441
Y18	PS0	出力	440
		出力イネーブル	439
		入力	438
V16	P46	出力	437
		出力イネーブル	436
		入力	435
W17	PS1	出力	434
		出力イネーブル	433
		入力	432
R15	P47	出力	431
		出力イネーブル	430
		入力	429
Y19	P10	出力	428
		出力イネーブル	427
		入力	426
U18	P00	出力	425
		出力イネーブル	424
		入力	423
V17	PS2	出力	422
		出力イネーブル	421
		入力	420
V19	P01	出力	419
		出力イネーブル	418
		入力	417
W18	PS3	出力	416
		出力イネーブル	415
		入力	414
V20	P02	出力	413
		出力イネーブル	412
		入力	411
U20	P03	出力	410
		出力イネーブル	409
		入力	408
W19	PS4	出力	407
		出力イネーブル	406
		入力	405

表40.5　　バウンダリスキャンレジスタ （320FBGA）(6 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
U19	P04	出力	404
		出力イネーブル	403
		入力	402
V18	P05	出力	401
		出力イネーブル	400
		入力	399
W20	PS5	出力	398
		出力イネーブル	397
		入力	396
P15	P06	出力	395
		出力イネーブル	394
		入力	393
R19	PS6	出力	392
		出力イネーブル	391
		入力	390
P16	P07	出力	389
		出力イネーブル	388
		入力	387
T19	PE0	出力	386
		出力イネーブル	385
		入力	384
R20	PS7	出力	383
		出力イネーブル	382
		入力	381
T20	PE1	出力	380
		出力イネーブル	379
		入力	378
N15	PE2	出力	377
		出力イネーブル	376
		入力	375
P19	PT0	出力	374
		出力イネーブル	373
		入力	372
P18	PE3	出力	371
		出力イネーブル	370
		入力	369
P20	PT1	出力	368
		出力イネーブル	367
		入力	366
N16	PE4	出力	365
		出力イネーブル	364
		入力	363
N18	PE5	出力	362
		出力イネーブル	361
		入力	360
N19	PT2	出力	359
		出力イネーブル	358
		入力	357

表40.5　　バウンダリスキャンレジスタ （320FBGA）(7 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
M16	PE6	出力	356
		出力イネーブル	355
		入力	354
L16	PE7	出力	353
		出力イネーブル	352
		入力	351
M18	P70	出力	350
		出力イネーブル	349
		入力	348
N20	PT3	出力	347
		出力イネーブル	346
		入力	345
M20	P71	出力	344
		出力イネーブル	343
		入力	342
M19	PT4	出力	341
		出力イネーブル	340
		入力	339
L18	P72	出力	338
		出力イネーブル	337
		入力	336
L19	P73	出力	335
		出力イネーブル	334
		入力	333
L20	P74	出力	332
		出力イネーブル	331
		入力	330
K19	P75	出力	329
		出力イネーブル	328
		入力	327
K20	PT5	出力	326
		出力イネーブル	325
		入力	324
K18	P76	出力	323
		出力イネーブル	322
		入力	321
J20	PT6	出力	320
		出力イネーブル	319
		入力	318
K16	P77	出力	317
		出力イネーブル	316
		入力	315
J18	PA0	出力	314
		出力イネーブル	313
		入力	312
J19	PT7	出力	311
		出力イネーブル	310
		入力	309

表40.5　　バウンダリスキャンレジスタ （320FBGA）(8 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
J16	PA1	出力	308
		出力イネーブル	307
		入力	306
H18	PA2	出力	305
		出力イネーブル	304
		入力	303
H19	PK0	出力	302
		出力イネーブル	301
		入力	300
G19	PA3	出力	299
		出力イネーブル	298
		入力	297
H20	PK1	出力	296
		出力イネーブル	295
		入力	294
G18	PA4	出力	293
		出力イネーブル	292
		入力	291
G20	P11	出力	290
		出力イネーブル	289
		入力	288
G15	PK3	出力	287
		出力イネーブル	286
		入力	285
H16	PA5	出力	284
		出力イネーブル	283
		入力	282
F20	P12	出力	281
		出力イネーブル	280
		入力	279
H15	PA6	出力	278
		出力イネーブル	277
		入力	276
F15	PK2	出力	275
		出力イネーブル	274
		入力	273
G16	PA7	出力	272
		出力イネーブル	271
		入力	270
F16	P90	出力	269
		出力イネーブル	268
		入力	267
F19	P91	出力	266
		出力イネーブル	265
		入力	264
F18	P92	出力	263
		出力イネーブル	262
		入力	261

表40.5 バウンダリスキャンレジスタ （320FBGA）(9 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
E20	P93	出力	260
		出力イネーブル	259
		入力	258
E19	P94	出力	257
		出力イネーブル	256
		入力	255
D20	P95	出力	254
		出力イネーブル	253
		入力	252
D19	P96	出力	251
		出力イネーブル	250
		入力	249
E18	P97	出力	248
		出力イネーブル	247
		入力	246
C20	P13	出力	245
		出力イネーブル	244
		入力	243
D18	PD0	出力	242
		出力イネーブル	241
		入力	240
C19	P14	出力	239
		出力イネーブル	238
		入力	237
E16	PD1	出力	236
		出力イネーブル	235
		入力	234
B20	P15	出力	233
		出力イネーブル	232
		入力	231
B19	P16	出力	230
		出力イネーブル	229
		入力	228
C18	PD2	出力	227
		出力イネーブル	226
		入力	225
A19	P17	出力	224
		出力イネーブル	223
		入力	222
F14	PD3	出力	221
		出力イネーブル	220
		入力	219
E14	PD4	出力	218
		出力イネーブル	217
		入力	216
F13	P50	出力	215
		出力イネーブル	214
		入力	213

表40.5 バウンダリスキャンレジスタ （320FBGA）(10 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
C13	P51	出力	212
		出力イネーブル	211
		入力	210
B12	P52	出力	209
		出力イネーブル	208
		入力	207
C12	P53	出力	206
		出力イネーブル	205
		入力	204
A11	P54	出力	203
		出力イネーブル	202
		入力	201
F12	P55	出力	200
		出力イネーブル	199
		入力	198
E13	P56	出力	197
		出力イネーブル	196
		入力	195
E12	PD5	出力	194
		出力イネーブル	193
		入力	192
C11	PD6	出力	191
		出力イネーブル	190
		入力	189
B11	PD7	出力	188
		出力イネーブル	187
		入力	186
B10	P86	出力	185
		出力イネーブル	184
		入力	183
C10	P87	出力	182
		出力イネーブル	181
		入力	180
C9	PF5	出力	179
		出力イネーブル	178
		入力	177
F11	PK4	出力	176
		出力イネーブル	175
		入力	174
A9	PF6	出力	173
		出力イネーブル	172
		入力	171
E11	PK6	出力	170
		出力イネーブル	169
		入力	168
B9	PB7	出力	167
		出力イネーブル	166
		入力	165

表40.5 バウンダリスキャンレジスタ （320FBGA）(11 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
A8	PC0	入力	163
B8	PC1	入力	161
E10	PK7	出力	160
		出力イネーブル	159
		入力	158
A7	PB0	出力	157
		出力イネーブル	156
		入力	155
F10	PK5	出力	154
		出力イネーブル	153
		入力	152
C8	PB1	出力	151
		出力イネーブル	150
		入力	149
E9	PL0	出力	148
		出力イネーブル	147
		入力	146
B7	PB2	出力	145
		出力イネーブル	144
		入力	143
F9	PL1	出力	142
		出力イネーブル	141
		入力	140
C7	PB3	出力	139
		出力イネーブル	138
		入力	137
E8	PL2	出力	136
		出力イネーブル	135
		入力	134
A6	PB4	出力	133
		出力イネーブル	132
		入力	131
F8	PL3	出力	130
		出力イネーブル	129
		入力	128
B6	PB5	出力	127
		出力イネーブル	126
		入力	125
E7	PL4	出力	124
		出力イネーブル	123
		入力	122
C6	PB6	出力	121
		出力イネーブル	120
		入力	119
C5	PL5	出力	118
		出力イネーブル	117
		入力	116

表40.5 バウンダリスキャンレジスタ （320FBGA）(12 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
A5	PF7	出力	115
		出力イネーブル	114
		入力	113
B5	PJ0	出力	112
		出力イネーブル	111
		入力	110
A4	PJ1	出力	109
		出力イネーブル	108
		入力	107
B4	PJ2	出力	106
		出力イネーブル	105
		入力	104
A3	PJ3	出力	103
		出力イネーブル	102
		入力	101
A2	PC2	入力	99
B2	PJ4	出力	98
		出力イネーブル	97
		入力	96
E6	PL6	出力	95
		出力イネーブル	94
		入力	93
B3	PC3	入力	91
C4	PL7	出力	90
		出力イネーブル	89
		入力	88
B1	PJ5	出力	87
		出力イネーブル	86
		入力	85
E5	PU0	出力	84
		出力イネーブル	83
		入力	82
E3	PU1	出力	81
		出力イネーブル	80
		入力	79
C3	PU2	出力	78
		出力イネーブル	77
		入力	76
D3	PU3	出力	75
		出力イネーブル	74
		入力	73
C2	PJ6	出力	72
		出力イネーブル	71
		入力	70
C1	PJ7	出力	69
		出力イネーブル	68
		入力	67

表40.5 バウンダリスキャンレジスタ （320FBGA）(13 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
D2	P80	出力	66
		出力イネーブル	65
		入力	64
E2	P82	出力	63
		出力イネーブル	62
		入力	61
F5	PU4	出力	60
		出力イネーブル	59
		入力	58
F3	P85	出力	57
		出力イネーブル	56
		入力	55
D1	P81	出力	54
		出力イネーブル	53
		入力	52
H5	ERROROUT#	出力	51
		出力イネーブル	50
F2	P83	出力	48
		出力イネーブル	47
		入力	46
H3	P35	出力	45
		出力イネーブル	44
		入力	43
E1	P84	出力	42
		出力イネーブル	41
		入力	40
G5	PU5	出力	39
		出力イネーブル	38
		入力	37
G6	PM0	出力	36
		出力イネーブル	35
		入力	34
F1	PC4	入力	32
G2	PC5	入力	30
G1	PU6	出力	29
		出力イネーブル	28
		入力	27
H1	PU7	出力	26
		出力イネーブル	25
		入力	24
H2	PM1	出力	23
		出力イネーブル	22
		入力	21
J3	PM2	出力	20
		出力イネーブル	19
		入力	18

表40.5 バウンダリスキャンレジスタ （320FBGA）(14 / 14)

From TDI			
Pin No	端子名	タイプ	ビット名
J2	PM3	出力	17
		出力イネーブル	16
		入力	15
J1	PM6	出力	14
		出力イネーブル	13
		入力	12
K3	PM4	出力	11
		出力イネーブル	10
		入力	9
K2	PM5	出力	8
		出力イネーブル	7
		入力	6
K1	PM7	出力	5
		出力イネーブル	4
		入力	3
N3	RSTOUT#	出力	2
		出力イネーブル	1
To TDO			

表40.6　　バウンダリスキャンレジスタ (176HLFQFP) (1 / 7)

From TDI			
Pin No	端子名	タイプ	ビット名
40	P30	入力	643
41	P60	出力	630
		出力イネーブル	629
		入力	628
42	P61	出力	624
		出力イネーブル	623
		入力	622
44	P62	出力	621
		出力イネーブル	620
		入力	619
46	P63	出力	615
		出力イネーブル	614
		入力	613
47	P64	出力	609
		出力イネーブル	608
		入力	607
48	P65	出力	606
		出力イネーブル	605
		入力	604
51	P36	出力	584
		出力イネーブル	583
		入力	582
52	P37	出力	578
		出力イネーブル	577
		入力	576
53	PG0	出力	572
		出力イネーブル	571
		入力	570
54	PG1	出力	569
		出力イネーブル	568
		入力	567
56	PG2	出力	566
		出力イネーブル	565
		入力	564
57	PG3	出力	560
		出力イネーブル	559
		入力	558
58	PG4	出力	554
		出力イネーブル	553
		入力	552
59	PG5	出力	551
		出力イネーブル	550
		入力	549
60	PG6	出力	545
		出力イネーブル	544
		入力	543

表40.6 バウンダリスキャンレジスタ (176HLFQFP) (2 / 7)

From TDI			
Pin No	端子名	タイプ	ビット名
61	PG7	出力	539
		出力イネーブル	538
		入力	537
62	PH0	出力	536
		出力イネーブル	535
		入力	534
63	PH1	出力	533
		出力イネーブル	532
		入力	531
64	PH2	出力	527
		出力イネーブル	526
		入力	525
65	PH3	出力	521
		出力イネーブル	520
		入力	519
68	PH4	出力	518
		出力イネーブル	517
		入力	516
69	PH5	出力	512
		出力イネーブル	511
		入力	510
70	PH6	出力	506
		出力イネーブル	505
		入力	504
71	PH7	出力	503
		出力イネーブル	502
		入力	501
72	P24	出力	500
		出力イネーブル	499
		入力	498
73	P21	出力	497
		出力イネーブル	496
		入力	495
74	P22	出力	491
		出力イネーブル	490
		入力	489
75	P23	出力	485
		出力イネーブル	484
		入力	483
76	P20	出力	482
		出力イネーブル	481
		入力	480
77	P25	出力	479
		出力イネーブル	478
		入力	477
78	P26	出力	473
		出力イネーブル	472
		入力	471

表40.6 バウンダリスキャンレジスタ (176HLFQFP) (3 / 7)

From TDI			
Pin No	端子名	タイプ	ビット名
79	P27	出力	467
		出力イネーブル	466
		入力	465
82	P42	出力	455
		出力イネーブル	454
		入力	453
83	P40	出力	449
		出力イネーブル	448
		入力	447
84	P43	出力	446
		出力イネーブル	445
		入力	444
85	P47	出力	431
		出力イネーブル	430
		入力	429
87	P10	出力	428
		出力イネーブル	427
		入力	426
89	P00	出力	425
		出力イネーブル	424
		入力	423
90	P01	出力	419
		出力イネーブル	418
		入力	417
91	P02	出力	413
		出力イネーブル	412
		入力	411
93	P03	出力	410
		出力イネーブル	409
		入力	408
94	P04	出力	404
		出力イネーブル	403
		入力	402
95	P05	出力	401
		出力イネーブル	400
		入力	399
96	P06	出力	395
		出力イネーブル	394
		入力	393
97	P07	出力	389
		出力イネーブル	388
		入力	387
98	PE0	出力	386
		出力イネーブル	385
		入力	384
99	PE1	出力	380
		出力イネーブル	379
		入力	378

表40.6 バウンダリスキャンレジスタ (176HLFQFP) (4 / 7)

From TDI			
Pin No	端子名	タイプ	ビット名
101	PE2	出力	377
		出力イネーブル	376
		入力	375
102	PE3	出力	371
		出力イネーブル	370
		入力	369
103	PE4	出力	365
		出力イネーブル	364
		入力	363
104	PE5	出力	362
		出力イネーブル	361
		入力	360
105	PE6	出力	356
		出力イネーブル	355
		入力	354
106	PE7	出力	353
		出力イネーブル	352
		入力	351
109	P70	出力	350
		出力イネーブル	349
		入力	348
110	P71	出力	344
		出力イネーブル	343
		入力	342
111	P72	出力	338
		出力イネーブル	337
		入力	336
112	P73	出力	335
		出力イネーブル	334
		入力	333
113	P74	出力	332
		出力イネーブル	331
		入力	330
114	P75	出力	329
		出力イネーブル	328
		入力	327
115	P76	出力	323
		出力イネーブル	322
		入力	321
116	P77	出力	317
		出力イネーブル	316
		入力	315
117	PA0	出力	314
		出力イネーブル	313
		入力	312
118	PA1	出力	308
		出力イネーブル	307
		入力	306

表40.6 バウンダリスキャンレジスタ (176HLFQFP) (5 / 7)

From TDI			
Pin No	端子名	タイプ	ビット名
121	PA2	出力	305
		出力イネーブル	304
		入力	303
122	PA3	出力	299
		出力イネーブル	298
		入力	297
123	PA4	出力	293
		出力イネーブル	292
		入力	291
124	PA5	出力	284
		出力イネーブル	283
		入力	282
125	PA6	出力	278
		出力イネーブル	277
		入力	276
127	PA7	出力	272
		出力イネーブル	271
		入力	270
130	P13	出力	245
		出力イネーブル	244
		入力	243
131	P14	出力	239
		出力イネーブル	238
		入力	237
132	P15	出力	233
		出力イネーブル	232
		入力	231
133	P16	出力	230
		出力イネーブル	229
		入力	228
134	P17	出力	224
		出力イネーブル	223
		入力	222
150	P51	出力	212
		出力イネーブル	211
		入力	210
151	P54	出力	203
		出力イネーブル	202
		入力	201
152	P56	出力	197
		出力イネーブル	196
		入力	195
153	PD5	出力	194
		出力イネーブル	193
		入力	192
154	PD6	出力	191
		出力イネーブル	190
		入力	189

表40.6 バウンダリスキャンレジスタ (176HLFQFP) (6 / 7)

From TDI			
Pin No	端子名	タイプ	ビット名
155	PD7	出力	188
		出力イネーブル	187
		入力	186
156	P86	出力	185
		出力イネーブル	184
		入力	183
157	P87	出力	182
		出力イネーブル	181
		入力	180
158	PF5	出力	179
		出力イネーブル	178
		入力	177
162	PF6	出力	173
		出力イネーブル	172
		入力	171
163	PB7	出力	167
		出力イネーブル	166
		入力	165
164	PC0	入力	163
165	PC1	入力	161
166	PB0	出力	157
		出力イネーブル	156
		入力	155
167	PB1	出力	151
		出力イネーブル	150
		入力	149
168	PB2	出力	145
		出力イネーブル	144
		入力	143
170	PB3	出力	139
		出力イネーブル	138
		入力	137
171	PB4	出力	133
		出力イネーブル	132
		入力	131
172	PB5	出力	127
		出力イネーブル	126
		入力	125
175	PB6	出力	121
		出力イネーブル	120
		入力	119
176	PC2	入力	99
1	PC3	入力	91
5	P82	出力	63
		出力イネーブル	62
		入力	61

表40.6 バウンダリスキャンレジスタ (176HLFQFP) (7 / 7)

From TDI			
Pin No	端子名	タイプ	ビット名
6	P85	出力	57
		出力イネーブル	56
		入力	55
7	ERROROUT#	出力	51
		出力イネーブル	50
8	P35	出力	45
		出力イネーブル	44
		入力	43
30	RSTOUT#	出力	2
		出力イネーブル	1
To TDO			

40.3 動作説明

バウンダリスキャン機能は RES# 端子を High、BSCANP 端子を High とした時、有効になります。

40.3.1 TAP コントローラ

図 40.2 に TAP コントローラの状態遷移図を示します。表 40.7 に各ステートの説明を示します。

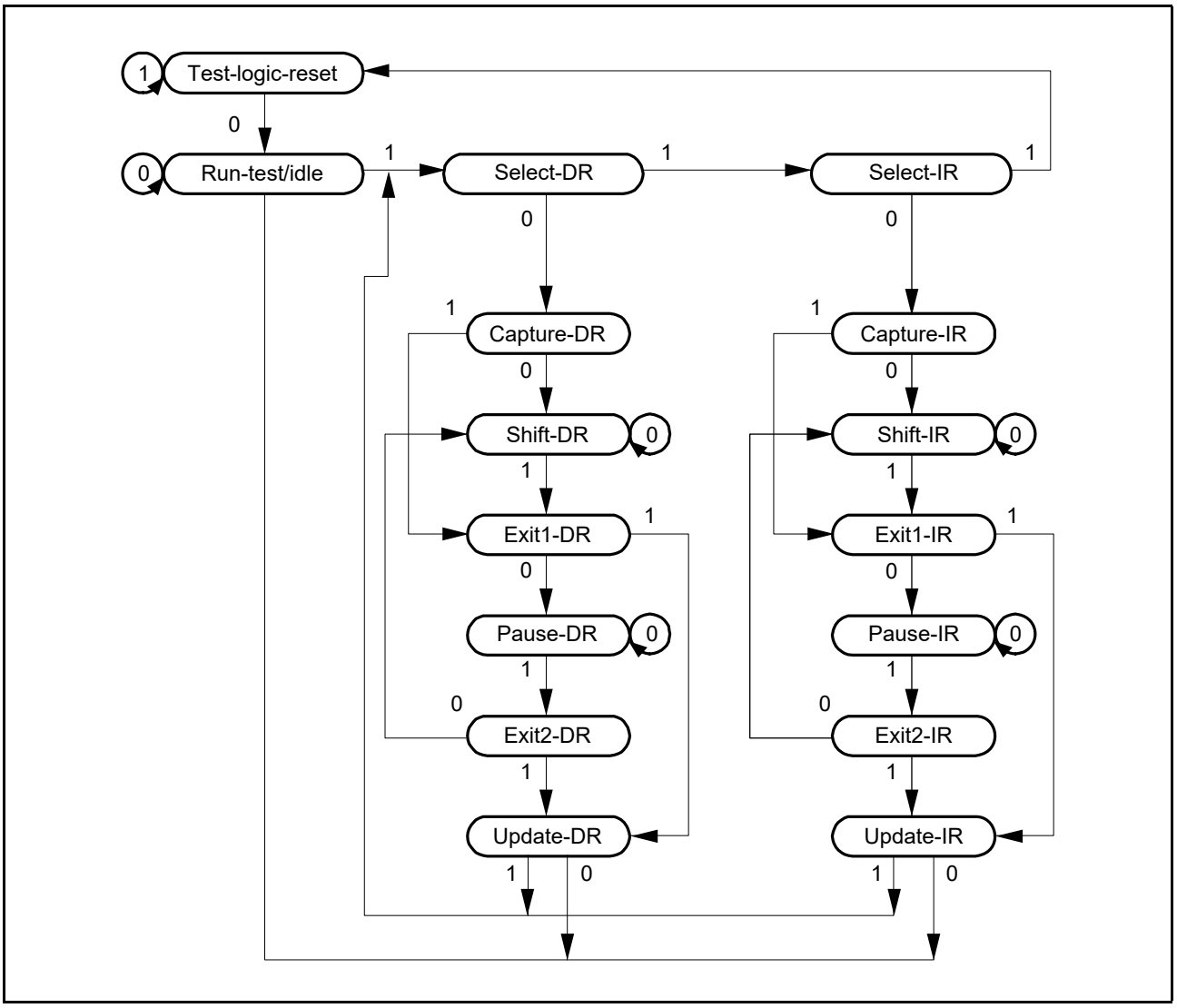


図 40.2 TAP コントローラの状態遷移図

表40.7　　各ステートの説明

状態	説明
Test Logic Reset	TAP コントローラのリセット状態です。LSI の通常動作時はこの状態です。
Run Test / Idle	テスト実行状態です。
Select DR Scan	データレジスタを選択するための一時的なステートです。
Select IR Scan	インストラクションレジスタを選択するための一時的なステートです。
Capture DR	現在の命令に対応したテストデータレジスタに対して、パラレルにデータを取り込みます。
Shift DR	現在の命令に対応したテストデータレジスタがTDI とTDO に接続し、シリアルにデータ転送します。
Exit DR	一時的なステートです。
Pause DR	Shift DR で入力した値を保持したまま、クロックの印加を行います。
Exit2 DR	一時的なステートです。
Update DR	現在の命令に対応したテストデータレジスタのラッチ出力を更新します。
Capture IR	インストラクションレジスタに固定値を取り込みます。
Shift IR	インストラクションレジスタがTDI とTDO の接続し、シリアルにデータ転送します。
Exit IR	一時的なステートです。
Pause IR	Shift IR で入力した値を保持したまま、クロックの印加を行います。
Exit2 IR	一時的なステートです。
Update IR	現在の命令をShift IR で入力された命令に更新します。

40.3.2　　コマンド一覧

(1)　BYPASS[命令コード：1111 1111b]

BYPASS 命令はバイパスレジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子にはバイパスレジスタが接続されます。Shift-DR 動作でバイパス動作となります。

Shift-DR の 1 クロック目では TDO = 0 となり、その後の Shift-DR で TDI が TDO から出力されます。

(2)　EXTEST[命令コード：0000 0000b]

EXTEST 命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ（SAMPLE / PRELOAD 命令ですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

(3)　SAMPLE / PRELOAD[命令コード：0100 0000b]

SAMPLE / PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読みだされます。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチにリセット後の値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間、出力端子から不定値が出力される（EXTEST 命令では出力端子に常にパラレル出力ラッチを出力する）ことになります。

(4)　IDCODE[命令コード：0101 0101b]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に ID コードレジスタの値を LSB より TDO から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(5)　CLAMP[命令コード：1101 0000b]

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE / PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

本命令では、TDI 端子と TDO 端子にバイパスレジスタが接続され BYPASS モードを選択したときと同様の動作をします。

(6)　HIGHZ[命令コード：1000 0000b]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態を保持されます。TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

40.4　使用上の注意事項

1. シリアル転送時、データの入出力は LSB 側からとなります。図 40.3 に示します。

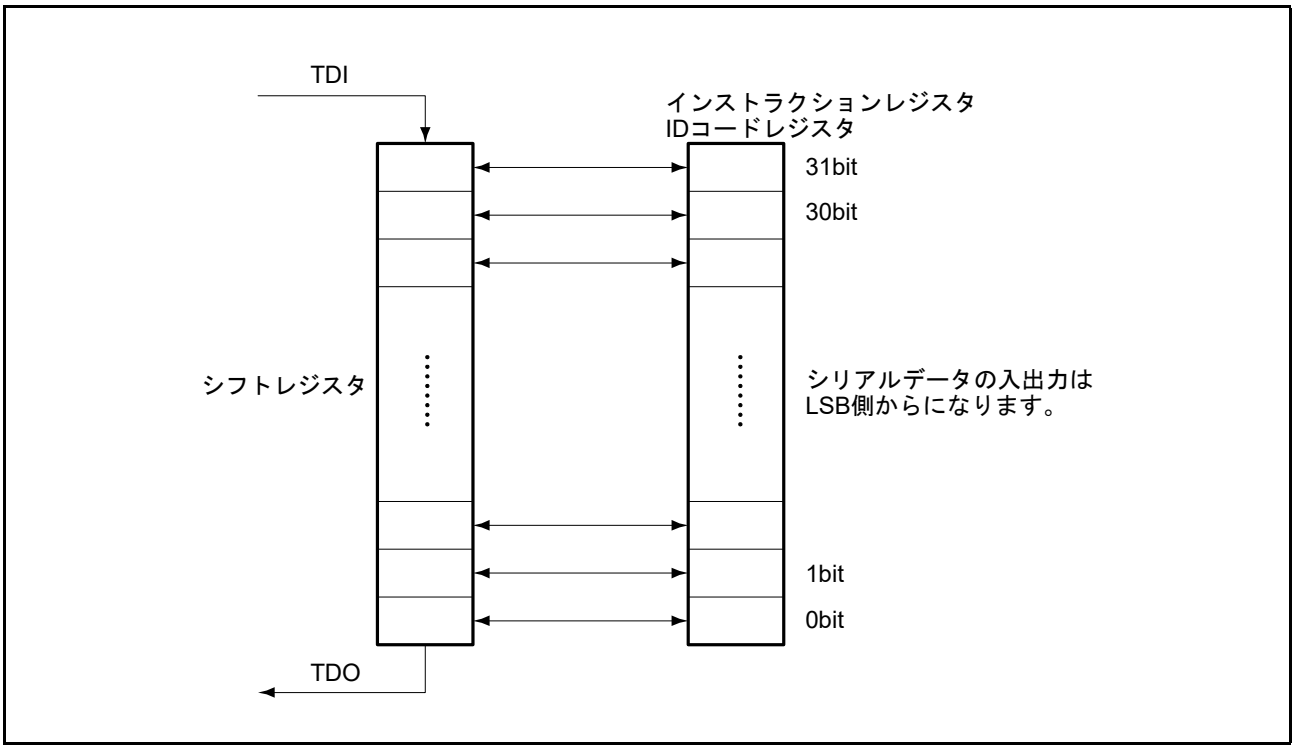


図 40.3　シリアルデータ入出力

2. バウンダリスキャン端子（TDI、TMS、TRST#）は、プルアップ抵抗にてプルアップしてください。ただし、オンチップエミュレータを使用する場合は、使用するオンチップエミュレータのマニュアルにしたがって、TRST# 端子を処理してください。
3. 電源端子（VDD, VSS, VCCQ33, PLLVDD0, PLLVSS0, PLLVDD1, PLLVSS1, VDD33_USB, VSS_USB, DVDD_USB, AVCC0, AVSS0, AVCC1, AVSS1）はバウンダリスキャン対象外です。
4. アナログリファレンス端子（VREFH0, VREFL0, VREFH1, VREFL1, USB_RREF）はバウンダリスキャン対象外です。
5. クロック端子（EXTAL、XTAL）はバウンダリスキャンの対象外です。
6. クロック入力モード選択端子（OSCTH）はバウンダリスキャンの対象外です。
7. リセット端子（RES#）はバウンダリスキャンの対象外です。
8. 動作モード選択信号入力端子（MD0 ～ MD2）はバウンダリスキャンの対象外です。
9. USB 専用端子（USB_DP、USB_DM ）はバウンダリスキャン対象外です。
10. バウンダリスキャン端子（BSCANP）はバウンダリスキャンの対象外です。
11. バウンダリスキャン端子（TCK、TMS、TRST#、TDI、TDO）はバウンダリスキャンの対象外です。
12. I/O ポート C 端子（PC0 ～ PC7）と P30 端子の出力レジスタはバウンダリスキャンの対象外です。
13. バウンダリスキャン機能はリセット状態のとき、使用できません。
14. オープンドレイン機能付き端子をオープンドレイン機能有効として使用した場合、バウンダリスキャン機能で出力のスキャンレジスタを 1、出力イネーブルレジスタを 1 に設定し、EXTEST 命令、CLAMP 命令、SAMPLE ／ PRELOAD 命令のいずれかを実行すると端子はハイインピーダンスではなく High 出力となります。
15. 複合 IO の場合、バウンダリスキャンの規格を守るように注意願います。AD 入力との複合 IO 構成（P90 ～ P97、PD0 ～ PD7、P86 ～ P87 ）を「図 40.4　AD 端子の構成」に示します。AD 入力として使

用した場合、バウンダリスキャン機能をご使用の際は、AD 入力との衝突回り込みに注意してください。

16. アナログ入力端子（AN000、AN001、AN002、AN003、AN004、AN005、AN006、AN007）はバウンダリスキャンの対象外です。

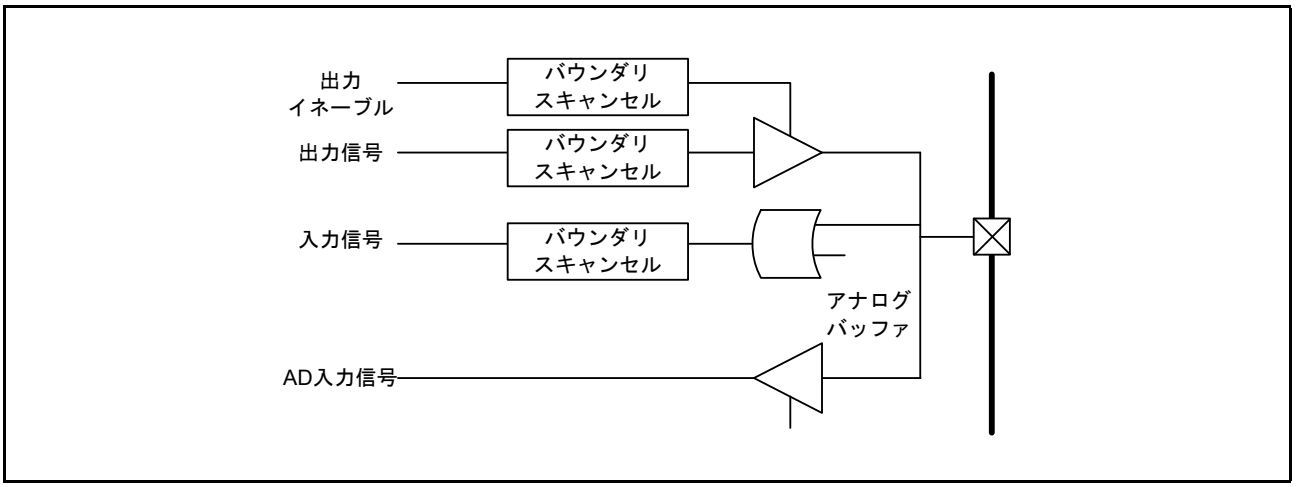


図 40.4 AD 端子の構成

41.　ΔΣ インタフェース（DSMIF）

本 LSI はユニット 0 として 3 チャネル（U, V, W）、ユニット 1 として 1 チャネル（X）、合計 4 チャネルの ΔΣ インタフェース（DSMIF）を内蔵しています。最大で 4 チャネルの外付け ΔΣ モジュレータとの接続が可能です。ΔΣ 変調された 1 ビット・デジタル入力データをフィルタリングして 16 ビット・デジタルデータへ変換が可能です。

41.1　概要

表 41.1 に DSMIF の仕様を示します。**図 41.1** に DSMIF のブロック図を示します。

表41.1　DSMIFの仕様

項目	内容
チャネル数	ユニット0：チャネル0（U）、チャネル1（V）、チャネル2（W） ユニット1：チャネル3（X）
機能	• 1ビット・デジタル入力データMDATAm（m = 0～2、3）をフィルタリングして、16ビット・デジタルデータへ変換 • SINCフィルタは1次、2次、3次から選択 • MCLKm（m = 0～2、3）はマスタ動作時に最大25MHzで出力（DSCLK0, DSCLK1）、スレーブ動作時に最大15MHzで入力 • 山／谷トリガキャプチャ機能による同一タイミングでの電流値データのキャプチャ動作（チャネル0～2、またはチャネル3のみ）
エラー要因出力	エラーコントロールモジュール（ECM）へ以下要因のエラー信号を出力 • 過電流異常検出エラー（ユニット0、1） • 短絡異常検出エラー（ユニット0、1） • 合計電流異常検出エラー（ユニット0）
消費電力低減機能	モジュールストップ状態への設定が可能

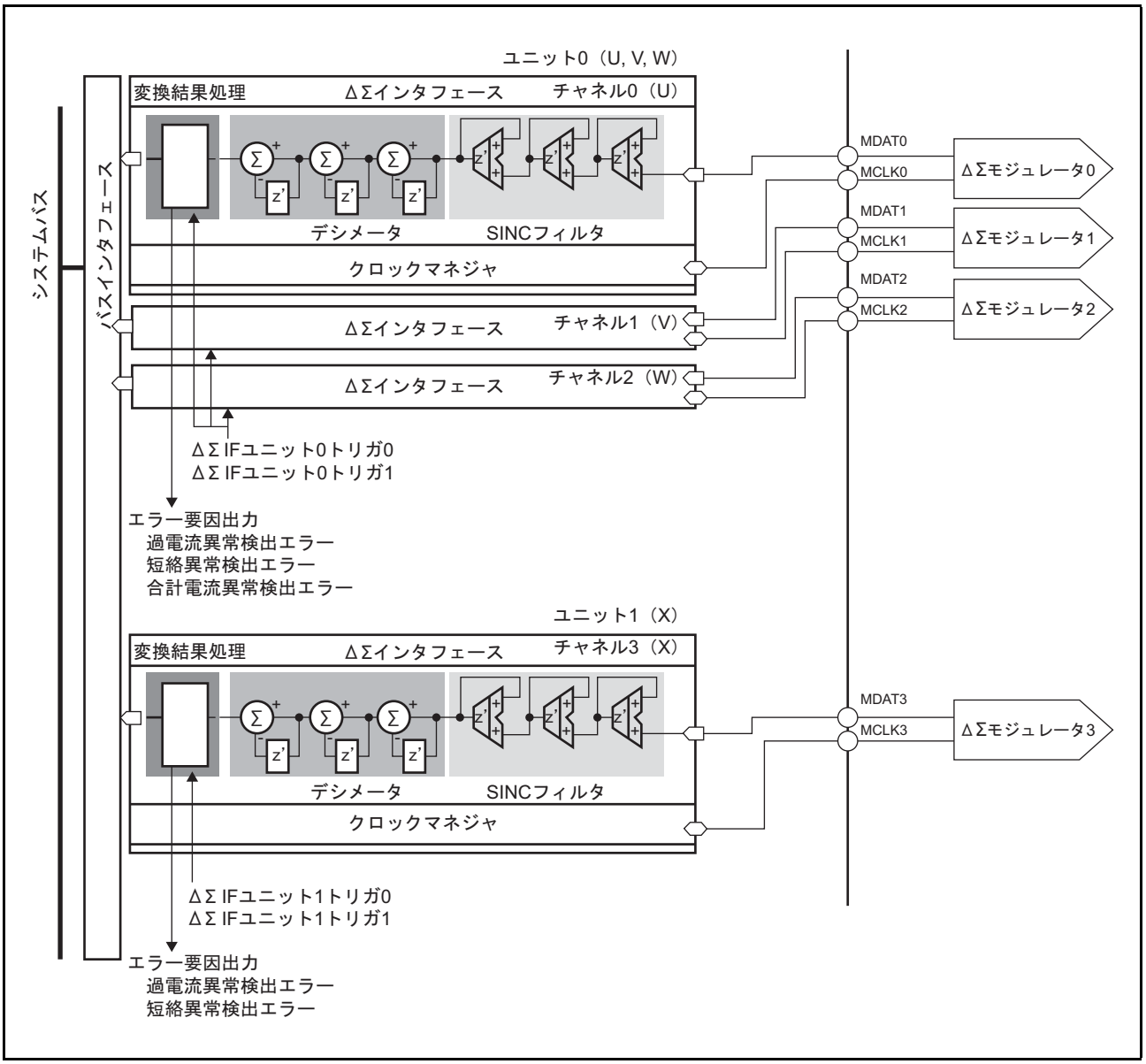


図 41.1　DSMIF のブロック図

表 41.2 に DSMIF の入出力端子を示します。

表41.2　DSMIFの入出力端子

チャネル	端子名	入出力	機能
DSMIF0 (U)	MCLK0	入出力	クロック入出力端子
	MDAT0	入力	データ入力端子
DSMIF1 (V)	MCLK1	入出力	クロック入出力端子
	MDAT1	入力	データ入力端子
DSMIF2 (W)	MCLK2	入出力	クロック入出力端子
	MDAT2	入力	データ入力端子
DSMIF3 (X)	MCLK3	入出力	クロック入出力端子
	MDAT3	入力	データ入力端子

41.2　レジスタの説明

41.2.1　UVW コントロールレジスタ（UVWCTL）

UVWCTL レジスタは DSMIF のユニット 0（U, V, W）の設定を制御するレジスタです。
動作中（UVWCTL.ENABLE ビット = 1）にビット 1 ～ 31 を書き換えることは禁止です。

アドレス　DSMIF.UVWCTL A007 2000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BITSHIFT2[3:0]				—	WORD2GEN[2:0]			—	—	SINC2SEL[1:0]		BITSHIFT1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	WORD1GEN[2:0]			—	—	SINC1SEL[1:0]		—	—	—	—	—	—	—	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	ENABLE	動作許可ビット	ΔΣインタフェースの動作許可設定（ユニット0（U, V, W）） 0：フィルタ動作停止 1：フィルタ動作開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	SINC1SEL [1:0]	電流値格納用SINCフィルタ選択ビット	U1DATA、V1DATA、W1DATA レジスタ用フィルタ設定（注1） 00：sinc3（フィルタ3段） 01：sinc1（フィルタ1段） 10：sinc2（フィルタ2段） 上記以外は設定禁止	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14-b12	WORD1GEN [2:0]	電流値格納用デシメーションクロック選択ビット	U1DATA、V1DATA、W1DATA レジスタ用デシメーションクロック設定（注1） 000：MCLKm/4 （m = 0～2） 010：MCLKm/8 （m = 0～2） 011：MCLKm/16 （m = 0～2） 100：MCLKm/32 （m = 0～2） 101：MCLKm/64 （m = 0～2） 110：MCLKm/128 （m = 0～2） 111：MCLKm/256 （m = 0～2） 上記以外は設定禁止	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19-b16	BITSHIFT1 [3:0]	電流値格納用ビットシフト選択ビット	U1DATA、V1DATA、W1DATA レジスタ用ビットシフト設定（デシメーション結果24bitの内、使用する16bitを選択）（注1） 0000：[23:8] 0001：[20:5] 0010：[17:2] 0011：[15:0] 0100：[14:0], 1’b0 0101：[13:0], 2’b00 0110：[11:0], 4’b0000 0111：[9:0], 6’b00_0000 1000：[8:0], 7’b000_0000 1001：[7:0], 8’b0000_0000 1010：[6:0], 9’b0_0000_0000 1011：[5:0], 10’b00_0000_0000 1100：[4:0], 11’b000_0000_0000 上記以外は設定禁止 BITSHIFT1[3:0] = 0100b ～ 1100b では下位ビットが“0”で埋められます。	R/W

ビット	シンボル	ビット名	説明	R/W
b21-b20	SINC2SEL [1:0]	過電流異常検出用SINCフィルタ選択ビット	U2DATA、V2DATA、W2DATAレジスタ用フィルタ設定（注1） 00：sinc3（フィルタ3段） 01：sinc1（フィルタ1段） 10：sinc2（フィルタ2段） 上記以外は設定禁止	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b26-b24	WORD2GEN [2:0]	過電流異常検出用デシメーションクロック選択ビット	U2DATA、V2DATA、W2DATAレジスタ用デシメーションクロック設定（注1） 000：MCLKm/4 （m = 0～2） 010：MCLKm/8 （m = 0～2） 011：MCLKm/16 （m = 0～2） 100：MCLKm/32 （m = 0～2） 101：MCLKm/64 （m = 0～2） 110：MCLKm/128 （m = 0～2） 111：MCLKm/256 （m = 0～2） 上記以外は設定禁止	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b28	BITSHIFT2 [3:0]	過電流異常検出用ビットシフト選択ビット	U2DATA、V2DATA、W2DATAレジスタ用ビットシフト設定（デシメーション結果24bitの内、使用する16bitを選択）（注1） 0000：[23:8] 0001：[20:5] 0010：[17:2] 0011：[15:0] 0100：[14:0], 1’b0 0101：[13:0], 2’b00 0110：[11:0], 4’b0000 0111：[9:0], 6’b00_0000 1000：[8:0], 7’b000_0000 1001：[7:0], 8’b0000_0000 1010：[6:0], 9’b0_0000_0000 1011：[5:0], 10’b00_0000_0000 1100：[4:0], 11’b000_0000_0000 上記以外は設定禁止 BITSHIFT2[3:0] = 0100b ～ 1100b では下位ビットが“0”で埋められます。	R/W

注1.　各ビットによるフィルタ設定と電流値データの関係については「41.3.5　フィルタ設定」を参照してください。

41.2.2　UVW ステータスレジスタ（UVWSTA）

UVWSTA レジスタはユニット 0（U, V, W）のエラー要因の状態を表示するレジスタです。

アドレス　DSMIF.UVWSTA A007 2004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ERUV WIGND	—	ERWS C	ERVSC	ERUSC	—	ERWI	ERVI	ERUI
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	ERUI	チャネル0（U）過電流異常検出ステータスビット	チャネル0（U）の過電流異常検出状態を示します。 0：過電流異常なし 1：過電流異常あり 1セット条件：U2DATA レジスタの電流値データにて過電流異常が検出された場合 0クリア条件：1にセットされた後に、本ビットに1を書き込む	R/W
b1	ERVI	チャネル1（V）過電流異常検出ステータスビット	チャネル1（V）の過電流異常検出状態を示します。 0：過電流異常なし 1：過電流異常あり 1セット条件：V2DATA レジスタの電流値データにて過電流異常が検出された場合 0クリア条件：1にセットされた後に、本ビットに1を書き込む	R/W
b2	ERWI	チャネル2（W）過電流異常検出ステータスビット	チャネル2（W）の過電流異常検出状態を示します。 0：過電流異常なし 1：過電流異常あり 1セット条件：W2DATA レジスタの電流値データにて過電流異常が検出された場合 0クリア条件：1にセットされた後に、本ビットに1を書き込む	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ERUSC	チャネル0（U）短絡異常検出ステータスビット	チャネル0（U）の短絡異常検出状態を示します。 0：短絡異常なし 1：短絡異常あり 1セット条件：1ビット・デジタル入力データ MDATA0にて短絡異常が検出された場合 0クリア条件：1セット後、本ビットに1ライト	R/W
b5	ERVSC	チャネル1（V）短絡異常検出ステータスビット	チャネル1（V）の短絡異常検出状態を示します。 0：短絡異常なし 1：短絡異常あり 1セット条件：1ビット・デジタル入力データ MDATA1にて短絡異常が検出された場合 0クリア条件：1セット後、本ビットに1ライト	R/W
b6	ERWSC	チャネル2（W）短絡異常検出ステータスビット	チャネル2（W）の短絡異常検出状態を示します。 0：短絡異常なし 1：短絡異常あり 1セット条件：1ビット・デジタル入力データ MDATA2にて短絡異常が検出された場合 0クリア条件：1セット後、本ビットに1ライト	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	説明	R/W
b8	ERUVWIGND	ユニット0（U, V, W）合計電流異常検出ステータスビット	ユニット0（U, V, W）の合計電流異常検出状態を示します。 0：合計電流異常なし 1：合計電流異常あり 1セット条件：U1DATA、V1DATA、W1DATAレジスタに格納された電流データの合計値に合計電流異常が検出された場合 0クリア条件：1セット後、本ビットに1ライト	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.3　UVW 過電流異常検出下限値設定レジスタ（UVWIUNCMP）

UVWIUNCMP レジスタはユニット 0（U, V, W）の過電流異常検出判定の下限値を設定するレジスタです。

U2DATA レジスタ、V2DATA レジスタ、W2DATA レジスタに格納された電流値データが、このレジスタで設定した値を下回ると UVW 過電流異常検出エラーが出力されます。

アドレス　DSMIF.UVWIUNCMP A007 2008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPUVWIUNDER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	CMPUVWIUNDER[15:0]	UVW過電流異常検出下限値設定ビット	y2DATA ＜ CMPUVWIUNDER[15:0]を満たしたとき、対応するUVWSTA. ERyIビットに“1”をセットします。（y = U, V, W） また、UVWSTA. ERyIビットの値にかかわらずUVW過電流異常検出エラー信号をエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.4　UVW 過電流異常検出上限値設定レジスタ（UVWIOVCMP）

UVWIOVCMP レジスタはユニット 0（U, V, W）の過電流異常検出判定の上限値を設定するレジスタです。

U2DATA レジスタ、V2DATA レジスタ、W2DATA レジスタに格納された電流値データが、このレジスタで設定した値を上回ると UVW 過電流異常検出エラーが出力されます。

アドレス　DSMIF.UVWIOVCMP A007 200Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPUVWIOVER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	CMPUVWIOVER[15:0]	UVW過電流異常検出上限値設定ビット	y2DATA ＞ CMPUVWIOVER[15:0]を満たしたとき、UVWSTA. ERyI ビットに“1”をセットします。（y = U, V, W） また、UVWSTA. ERyI ビットの値にかかわらずUVW過電流異常検出エラー信号をエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.5　UVW 短絡異常検出 0 データ入力閾値設定レジスタ（UVWSCUNCMP）

UVWSCUNCMP レジスタはユニット 0（U, V, W）の短絡異常検出判定の “0” データ入力閾値を設定するレジスタです。

1 ビット・デジタル入力データ MDATAm（m = 0 ～ 2）として “0” が連続して入力される回数をカウントして、連続回数がこのレジスタで設定した値を超えると UVW 短絡異常検出エラーが出力されます。

アドレス　DSMIF.UVWSCUNCMP A007 2010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CMPUVWSCUNDER[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b12-b0	CMPUVWSCUNDER[12:0]	UVW短絡異常検出下限値設定ビット	「MDATAm（n = 0～2）として“0”が連続して入力される回数＞CMPUVWUNDER[12:0]」を満たしたとき、UVWSTA.ERySC ビットに“1”をセットします。（y = U, V, W） また、UVWSTA.ERySC ビットの値にかかわらずUVW短絡異常検出エラー信号をエラーコントコールモジュール（ECM）に出力します。	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.6　UVW 短絡異常検出 1 データ入力閾値設定レジスタ（UVWSCOVCMP）

UVWSCOVCMP レジスタはユニット 0（U, V, W）の短絡異常検出判定の “1” データ入力閾値を設定するレジスタです。

1 ビット・デジタル入力データ MDATAm（m = 0 ～ 2）として “1” が連続して入力される回数をカウントして、連続回数がこのレジスタで設定した値を超えると UVW 短絡異常検出エラーが出力されます。

アドレス　DSMIF.UVWSCOVCMP A007 2014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CMPUVWSCOVER[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b12-b0	CMPUVWSCOVER[12:0]	UVW短絡異常検出下限値設定ビット	「MDATAm（m = 0～2）として“1”が連続して入力される回数＞CMPUVWSCOVER[12:0]」を満たしたとき、UVWSTA.ERySCビットに“1”をセットします。（y = U, V, W） また、UVWSTA.ERySCビットの値にかかわらずUVW短絡異常検出エラー信号をエラーコントコールモジュール（ECM）に出力します。	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.7　UVW 合計電流異常検出下限値設定レジスタ（UVWIGUNCMP）

UVWIGUNCMP レジスタはユニット 0（U, V, W）の合計異常検出判定の下限値を設定するレジスタです。

U1DATA レジスタ、V1DATA レジスタおよび W1DATA レジスタに格納されたチャネル 0 ～ 2（U, V, W）の電流値の合計が、このレジスタで設定した値を下回ると合計電流異常検出エラーが出力されます。

アドレス　DSMIF.UVWIGUNCMP A007 2018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPUVWIGNDUNDER[17:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPUVWIGNDUNDER[17:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b17-b0	CMPUVWIGNDUNDER[17:0]	UVW合計異常検出下限値設定ビット	U1DATA+V1DATA+W1DATA ＜ CMPUVWIGNDUNDER[17:0]を満たしたとき、UVWSTA. ERUVWIGNDビットに“1”をセットします。 また、UVWSTA.ERUVWIGNDビットの値にかかわらずUVW合計電流異常検出エラーをエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.8　UVW 合計電流異常検出上限値設定レジスタ（UVWIGOVCMP）

UVWIGOVCMP レジスタはユニット 0（U, V, W）の合計異常検出判定の上限値を設定するレジスタです。

U1DATA レジスタ、V1DATA レジスタおよび W1DATA レジスタに格納されたチャネル 0 ～ 2（U, V, W）の電流値の合計が、このレジスタで設定した値を上回ると合計電流異常検出エラーが出力されます。

アドレス　DSMIF.UVWIGOVCMP A007 201Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPUVWIGNDOVER[17:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPUVWIGNDOVER[17:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b17-b0	CMPUVWIGNDOVER[17:0]	UVW合計異常検出上限値設定ビット	U1DATA+V1DATA+W1DATA＞ CMPUVWIGNDOVER[17:0] を満たしたとき、UVWSTA. ERUVWIGND ビットに“1”をセットします。 また、UVWSTA.ERUVWIGND ビットの値にかかわらずUVW合計電流異常検出エラーをエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.9　チャネル U 電流値レジスタ 1（U1DATA）

U1DATA レジスタはユニット 0（U, V, W）のチャネル 0（U）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA0 を UVWCTL.SINC1SEL ビットと UVWCTL.WORD1GEN ビット、UVWCTL.BITSHIFT1 ビットの設定でフィルタリングした結果の 16 ビット・デジタルデータが格納されます。

アドレス　DSMIF.U1DATA A007 2020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	U1DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	U1DATA[15:0]	チャネル0（U）の電流値1	MDATA0をUVWCTL.SINC1SELビット、UVWCTL.WORD1GENビット、UVWCTL.BITSHIFT1ビットの設定でフィルタリングした16ビット電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.10　チャネル U 電流値山トリガキャプチャレジスタ 1（U1CDATA）

U1CDATA レジスタはU1DATA レジスタに格納された値をΔΣ IFユニット0トリガ0でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の山トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 0 トリガ 0 に設定することで、U1DATA レジスタの電流値データを山トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.U1CDATA A007 2024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	U1CDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	U1CDATA [15:0]	チャネル0（U）の電流値キャプチャ（山トリガ）	U1DATAをΔΣ IFユニット0トリガ0（PWMタイマの山トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.11　チャネル U 電流値谷トリガキャプチャレジスタ 1（U1VDATA）

U1VDATA レジスタはU1DATA レジスタに格納された値をΔΣ IFユニット0トリガ1でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の谷トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 0 トリガ 1 に設定することで、U1DATA レジスタの電流値データを谷トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.U1VDATA A007 2028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	U1VDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	U1VDATA [15:0]	チャネル0（U）の電流値キャプチャ（谷トリガ）	U1DATAをΔΣ IFユニット0トリガ1（PWMタイマの谷トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.12　チャネル U 電流値レジスタ 2（U2DATA）

U2DATA レジスタはユニット 0（U, V, W）のチャネル 0（U）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA0 を UVWCTL.SINC2SEL ビットと UVWCTL.WORD2GEN ビット、UVWCTL.BITSHIFT2 ビットの設定でフィルタリングした結果の 16 ビット・デジタルデータが格納されます。この電流値データは UVWIUNCMP レジスタ、UVWIOVCMP レジスタで設定する過電流異常検出判定に使用します。

アドレス　DSMIF.U2DATA A007 202Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	U2DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	U2DATA [15:0]	チャネル0（U）の電流値2	MDATA0をUVWCTL.SINC2SELビット、UVWCTL.WORD2GENビット、UVWCTL.BITSHIFT2ビットの設定でフィルタリングした16ビット電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.13　チャネル V 電流値レジスタ 1（V1DATA）

V1DATA レジスタはユニット 0（U, V, W）のチャネル 1（V）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA1 を UVWCTL.SINC1SEL ビットと UVWCTL.WORD1GEN ビット、UVWCTL.BITSHIFT1 ビットの設定でフィルタリングした結果になります。

アドレス　DSMIF.V1DATA A007 2030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	V1DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	V1DATA [15:0]	チャネル1（V）の電流値1	MDATA1をUVWCTL.SINC1SELビット、UVWCTL.WORD1GENビット、UVWCTL.BITSHIFT1ビットビットの設定でフィルタリングした16ビット電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.14　チャネル V 電流値山トリガキャプチャレジスタ 1（V1CDATA）

V1CDATA レジスタはV1DATA レジスタに格納された値をΔΣ IFユニット0トリガ0でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の山トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 0 トリガ 0 に設定することで、V1DATA レジスタの電流値データを山トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.V1CDATA A007 2034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	V1CDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	V1CDATA [15:0]	チャネル1（V）の電流値キャプチャ（山トリガ）	V1DATA をΔΣ IFユニット0トリガ0（PWMタイマの山トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.15　チャネル V 電流値谷トリガキャプチャレジスタ 1（V1VDATA）

V1VDATA レジスタはV1DATA レジスタに格納された値をΔΣ IFユニット0トリガ1でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の谷トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 0 トリガ 1 に設定することで、V1DATA レジスタの電流値データを谷トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.V1VDATA A007 2038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	V1VDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	V1VDATA [15:0]	チャネル1（V）の電流値キャプチャ（谷トリガ）	V1DATA をΔΣ IFユニット0トリガ1（PWMタイマの谷トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.16　チャネル V 電流値レジスタ 2（V2DATA）

V2DATA レジスタはユニット 0（U, V, W）のチャネル 1（V）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA1 を UVWCTL.SINC2SEL ビットと UVWCTL.WORD2GEN ビット、UVWCTL.BITSHIFT2 ビットの設定でフィルタリングした結果の 16 ビット・デジタルデータが格納されます。この電流値データは UVWIUNCMP レジスタ、UVWIOVCMP レジスタで設定する過電流異常検出判定に使用します。

アドレス　DSMIF.V2DATA A007 203Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	V2DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	V2DATA	チャネル1（V）の電流値2	MDATA1をUVWCTL.SINC2SELビット、UVWCTL.WORD2GENビット、UVWCTL.BITSHIFT2ビットの設定でフィルタリングした16ビット電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.17　チャネル W 電流値レジスタ 1（W1DATA）

W1DATA レジスタはユニット 0（U, V, W）のチャネル 2（W）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA2 を UVWCTL.SINC1SEL ビットと UVWCTL.WORD1GEN ビット、UVWCTL.BITSHIFT1 ビットの設定でフィルタリングした結果の 16 ビット・デジタルデータが格納されます。

アドレス　DSMIF.W1DATA A007 2040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	W1DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	W1DATA	チャネル2（W）の電流値1	MDATA2をUVWCTL.SINC1SELビット、UVWCTL.WORD1GENビット、UVWCTL.BITSHIFT1ビットの設定でフィルタリングした16ビットの電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.18　チャネル W 電流値山トリガキャプチャレジスタ 1（W1CDATA）

W1CDATAレジスタはW1DATAレジスタに格納された値をΔΣ IFユニット0トリガ0でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の山トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 0 トリガ 0 に設定することで、電流値データを山トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.W1CDATA A007 2044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	W1CDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	W1CDATA	チャネル2（W）の電流値キャプチャ（山トリガ）	W1DATAをΔΣ IFユニット0トリガ0（PWMタイマの山トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.19　チャネル W 電流値谷トリガキャプチャレジスタ 1（W1VDATA）

W1VDATAレジスタはW1DATAレジスタに格納された値をΔΣ IFユニット0トリガ1でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の谷トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 0 トリガ 1 に設定することで、電流値データを谷トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.W1VDATA A007 2048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	W1VDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	W1VDATA	チャネル2（W）の電流値キャプチャ（谷トリガ）	W1DATAをΔΣ IFユニット0トリガ1（PWMタイマの谷トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.20　チャネル W 電流値レジスタ 2（W2DATA）

W2DATA レジスタはユニット 0（U, V, W）のチャネル 2（W）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA2 を UVWCTL.SINC2SEL ビットと UVWCTL.WORD2GEN ビット、UVWCTL.BITSHIFT2 ビットの設定でフィルタリングした結果の 16 ビット・デジタルデータが格納されます。この電流値データは UVWIUNCMP レジスタ、UVWIOVCMP レジスタで設定する過電流異常検出判定に使用します。

アドレス　DSMIF.W2DATA A007 204Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	W2DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	W2DATA	チャネル2（W）の電流値2	MDATA2をUVWCTL.SINC2SELビット、UVWCTL.WORD2GENビット、UVWCTL.BITSHIFT2ビットの設定でフィルタリングした16ビットの電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.21 XYZ コントロールレジスタ（XYZCTL）

XYZCTL レジスタは DSMIF のユニット 1（X）の設定を制御するレジスタです。
動作中（XYZCTL.ENABLE ビット = 1）にビット 1 ～ 31 を書き換えることは禁止です。

アドレス DSMIF.XYZCTL A007 2080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BITSHIFT2[3:0]				—	WORD2GEN[2:0]			—	—	SINC2SEL[1:0]		BITSHIFT1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	WORD1GEN[2:0]			—	—	SINC1SEL[1:0]		—	—	—	—	—	—	—	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	ENABLE	動作許可ビット	ΔΣインタフェースの動作許可設定（ユニット1（X）） 0：フィルタ動作停止 1：フィルタ動作開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	SINC1SEL [1:0]	電流値格納用SINCフィルタ選択ビット	X1DATA レジスタ用フィルタ設定（注1） 00：sinc3（フィルタ3段） 01：sinc1（フィルタ1段） 10：sinc2（フィルタ2段） 上記以外は設定禁止	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14-b12	WORD1GEN [2:0]	電流値格納用デシメーションクロック選択ビット	X1DATA レジスタ用デシメーションクロック設定 000：MCLK3/4（注1） 010：MCLK3/8 011：MCLK3/16 100：MCLK3/32 101：MCLK3/64 110：MCLK3/128 111：MCLK3/256 上記以外は設定禁止	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19-b16	BITSHIFT1 [3:0]	電流値格納用ビットシフト選択ビット	X1DATA レジスタ用ビットシフト設定 （デシメーション結果24bitの内、使用する16bitを選択）（注1） 0000：[23:8] 0001：[20:5] 0010：[17:2] 0011：[15:0] 0100：[14:0], 1’b0 0101：[13:0], 2’b00 0110：[11:0], 4’b000 0111：[9:0], 6’b00_0000 1000：[8:0], 7’b000_0000 1001：[7:0], 8’b0000_0000 1010：[6:0], 9’b0_0000_0000 1011：[5:0], 10’b00_0000_0000 1100：[4:0], 11’b000_0000_0000 上記以外は設定禁止 BITSHIFT1[3:0] = 0100b ～ 1100b では下位ビットが“0”で埋められます。	R/W
b21-b20	SINC2SEL [1:0]	過電流異常検出用SINCフィルタ選択ビット	X2DATA レジスタ用フィルタ設定（注1） 00：sinc3（フィルタ3段） 01：sinc1（フィルタ1段） 10：sinc2（フィルタ2段） 上記以外は設定禁止	R/W

ビット	シンボル	ビット名	説明	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b26-b24	WORD2GEN [2:0]	過電流異常検出用デシメーションクロック選択ビット	X2DATA レジスタ用デシメーションクロック設定（注1） 000：MCLK3/4 010：MCLK3/8 011：MCLK3/16 100：MCLK3/32 101：MCLK3/64 110：MCLK3/128 111：MCLK3/256 上記以外は設定禁止	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b28	BITSHIFT2 [3:0]	過電流異常検出用ビットシフト選択ビット	X2DATA レジスタ用ビットシフト設定 （デシメーション結果24bitの内、使用する16bitを選択）（注1） 0000：[23:8] 0001：[20:5] 0010：[17:2] 0011：[15:0] 0100：[14:0], 1’b0 0101：[13:0], 2’b00 0110：[11:0], 4’b000 0111：[9:0], 6’b00_0000 1000：[8:0], 7’b000_0000 1001：[7:0], 8’b0000_0000 1010：[6:0], 9’b0_0000_0000 1011：[5:0], 10’b00_0000_0000 1100：[4:0], 11’b000_0000_0000 上記以外は設定禁止 BITSHIFT2[3:0] = 0100b ～ 1100b では下位ビットが“0”で埋められます。	R/W

注1.　各ビットによるフィルタ設定と電流値データの関係については「41.3.5　フィルタ設定」を参照してください。

41.2.22　XYZ ステータスレジスタ（XYZSTA）

XYZSTA レジスタはユニット 1（X）のエラー要因の状態を表示するレジスタです。

アドレス　DSMIF.XYZSTA A007 2084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ERXI	—	—	—	ERXSC	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b3-b0	—	予約ビット	読んだ場合、その値は不定です。書く場合、“0”としてください。	R/W
b4	ERXSC	チャネル3（X）短絡異常検出ステータスビット	チャネル3（X）の短絡異常検出状態を示します。 0：短絡異常なし 1：短絡異常あり 1セット条件：MDATA3にて短絡異常を検出された場合 0クリア条件：1にセットされた後に、本ビットに1を書き込む	R/W
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。ただし、“1“を書き込んだ後、読み出した場合は、“0”が読めます。	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	ERXI	チャネル3（X）過電流異常検出ステータスビット	チャネル3（X）の過電流異常検出状態を示します。 0：過電流異常なし 1：過電流異常あり 1セット条件：X2DATAレジスタの電流値データにて過電流異常を検出された場合 0クリア条件：1にセットされた後に、本ビットに1を書き込む	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.23　XYZ 過電流異常検出下限値設定レジスタ（XYZIUNCMP）

XYZIUNCMP レジスタはユニット 1（X）の過電流異常検出判定の下限値を設定するレジスタです。

X2DATA レジスタに格納された電流値データが、このレジスタで設定した値を下回ると X 過電流異常検出エラーが出力されます。

アドレス　DSMIF.XYZIUNCMP A007 2098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPXIUNDER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	CMPXIUNDER[15:0]	X過電流異常検出下限値設定ビット	X2DATA ＜ CMPXIUNDER[15:0]を満たしたとき、対応するXYZSTA.ERXIビットに“1”をセットします。 また、XYZSTA.ERXIビットの値にかかわらずX過電流異常エラー信号をエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.24　XYZ 過電流異常検出上限値設定レジスタ（XYZIOVCMP）

XYZIOVCMP レジスタはユニット 1（X）の過電流異常検出判定の上限値を設定するレジスタです。

X2DATA レジスタに格納された電流値データが、このレジスタで設定された値を上回ると X 過電流異常検出エラーが出力されます。

アドレス　DSMIF.XYZIOVCMP A007 209Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPXIOVER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	CMPXIOVER[15:0]	X過電流異常検出上限値設定ビット	X2DATA ＞ CMPXIOVER[15:0]を満たしたとき、XYZSTA.ERXIビットに“1”をセットします。 また、XYZSTA.ERXIビットの値にかかわらずX過電流異常エラー信号をエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.25　XYZ 短絡異常検出 0 データ入力閾値設定レジスタ（XYZSCUNCMP）

XYZSCUNCMP レジスタはユニット 1（X）の短絡異常検出判定の “0” データ入力閾値を設定するレジスタです。

1 ビット・デジタル入力データ MDATA3 として “0” が連続して入力される回数をカウントして、連続回数がこのレジスタで設定した値を超えると X 短絡異常検出エラーが出力されます。

アドレス　DSMIF.XYZSCUNCMP A007 2090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CMPXSCUNDER[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b12-b0	CMPXSCUNDER[12:0]	X短絡異常検出下限値設定ビット	「MDATA3として“0”が連続して入力される回数＞CMPXSCUNDER[12:0]」を満たしたとき、 XYZSTA. ERXSC ビットに“1”をセットします。 また、XYZSTA. ERXSC ビットの値にかかわらずX短絡異常エラー信号をエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.26　XYZ 短絡異常検出 1 データ入力閾値設定レジスタ（XYZSCOVCMP）

XYZSCOVCMP レジスタはユニット 1（X）の短絡異常検出判定の “1” データ入力閾値を設定するレジスタです。

1 ビット・デジタル入力データ MDATA3 として “1” が連続して入力される回数をカウントして、連続回数がこのレジスタで設定した値を超えると X 短絡異常検出エラーが出力されます。

アドレス　DSMIF.XYZSCOVCMP A007 2094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CMPXSCOVER[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b12-b0	CMPXSCOVER[12:0]	X短絡異常検出下限値設定ビット	「MDATA3 として“1”が連続して入力される回数 ＞ CMPXSCOVER[12:0]」を満たしたとき、 XYZSTA. ERXSC ビットに“1”をセットします。 また、XYZSTA. ERXSC ビットの値にかかわらずX短絡異常エラー信号をエラーコントロールモジュール（ECM）に出力します。	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

41.2.27　チャネル X 電流値レジスタ 1（X1DATA）

X1DATA レジスタはユニット 1（X）のチャネル 3（X）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA3 を XYZCTL.SINC1SEL ビットと XYZCTL.WORD1GEN ビット、XYZCTL.BITSHIFT1 ビットの設定でフィルタリングした結果の 16 ビット・デジタルデータが格納されます。

アドレス　DSMIF.X1DATA A007 20A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	X1DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	X1DATA [15:0]	チャネル3（X）の電流値1	MDATA3をXYZCTL.SINC1SELビット、XYZCTL.WORD1GENビット、XYZCTL.BITSHIFT1ビットの設定でフィルタリングした16ビット電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.28　チャネル X 電流値山トリガキャプチャレジスタ 1（X1CDATA）

X1CDATA レジスタはX1DATA レジスタに格納された値をΔΣ IFユニット1トリガ0でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の山トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 1 トリガ 0 に設定することで、電流値データを山トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.X1CDATA A007 20A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	X1CDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	X1CDATA [15:0]	チャネル3（X）の電流値キャプチャ（山トリガ）	X1DATAをΔΣ IFユニット1トリガ0（PWMタイマの山トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.29　チャネル X 電流値谷トリガキャプチャレジスタ 1（X1VDATA）

X1VDATA レジスタはX1DATA レジスタに格納された値をΔΣ IFユニット1トリガ1でキャプチャした結果を示すレジスタです。

PWM モードに設定したタイマ（MTU3a, GPTa）の谷トリガをイベントリンクコントローラ（ELC）経由でΔΣ IF ユニット 1 トリガ 1 に設定することで、電流値データを谷トリガでキャプチャすることが可能です。詳細については**「41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能」**を参照してください。

アドレス　DSMIF.X1VDATA A007 20A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	X1VDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	X1VDATA [15:0]	チャネル3（X）の電流値キャプチャ（谷トリガ）	X1DATA をΔΣ IFユニット1トリガ1（PWMタイマの谷トリガ）でキャプチャした電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.2.30　チャネル X 電流値レジスタ 2（X2DATA）

X2DATA レジスタはユニット 1（X）のチャネル 3（X）の電流値データを示すレジスタです。

1 ビット・デジタル入力データ MDATA3 を XYZCTL.SINC2SEL ビットと XYZCTL.WORD2GEN ビット、XYZCTL.BITSHIFT2 ビットの設定でフィルタリングした結果の 16 ビット・デジタルデータが格納されます。この電流値データは XYZIUNCMP レジスタ、XYZIOVCMP レジスタで設定する過電流異常検出判定に使用します。

アドレス　DSMIF.X2DATA A007 20ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	X2DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	X2DATA [15:0]	チャネル3（X）の電流値2	MDATA3 をUVWCTL.SINC2SEL ビットとUVWCTL.WORD2GEN ビットの設定でフィルタリングした16ビット電流値データ	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

41.3　動作説明

DSMIF は各チャネルで SINC フィルタ段、デシメータ段、変換結果処理段から構成されます。

DSMIF に入力される 1 ビット・デジタル入力データ MDATAm（m = 0 ～ 2、3）は、各ユニットごとに SINC フィルタ機能、デシメーション機能、変換結果処理機能により 16 ビット・デジタル電流値データにフィルタリングされ、さらに過電流異常、短絡異常、合計電流異常の各種エラー検出を行います。

デシメータ段は電流値格納用と過電流異常検出用の 2 種類があります。

変換結果処理段は電流値変換機能と山／谷トリガキャプチャ機能、過電流異常検出機能、短絡異常検出機能、合計電流異常検出機能（チャネル 0 ～ 2 のみ）の 4 種類があります。

41.3.1　SINC フィルタ機能

SINC フィルタとして各チャネルに 24 ビット幅の加算器を 3 段搭載しています。

各チャネル m（m = 0 ～ 2, 3）の 1 ビット・デジタル入力データ MDATAm は、SINC フィルタにて MCLKm クロックでフィルタリングされます。

図 41.2 に SINC フィルタの構成を示します。

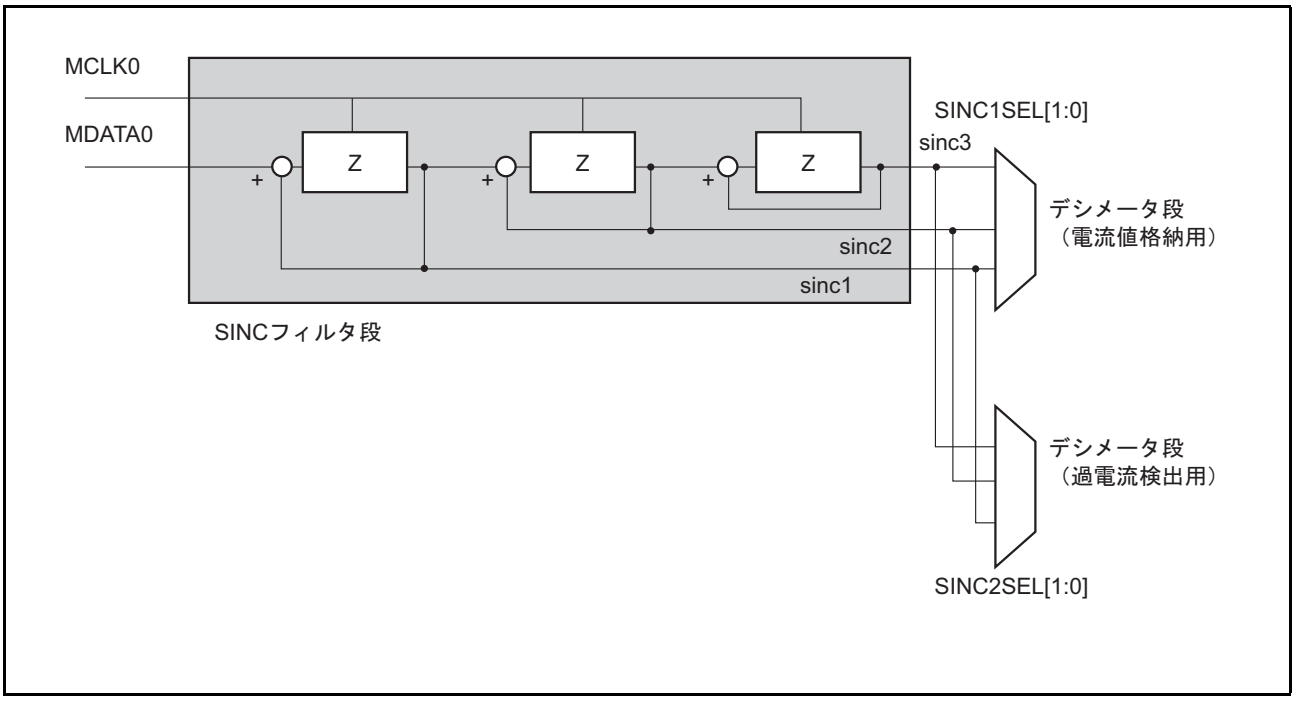


図 41.2　SINC フィルタの構成（チャネル 0（U）の例）

UVWCTL レジスタ（ユニット 0）、XYZCTL レジスタ（ユニット 1）の SINC1SEL[1:0] ビットで電流値格納用の、SINC2SEL[1:0] ビットで過電流異常検出用のフィルタ次数（sinc3, sinc2, sinc1）の選択を行うことが可能です。SINC フィルタの次数設定　について表 41.3 に示します。

表41.3　SINCフィルタの次数設定

SINC1SEL[1:0] または SINC2SEL[1:0]の設定	SINCフィルタの次数
00b	3 （sinc3）
01b	1 （sinc1）
10b	2 （sinc2）

41.3.2　デシメーション機能

デシメーション機能として各チャネルに 24 ビット幅の除算器を 3 段搭載しています。

各チャネル m（m = 0 ～ 2, 3）の SINC フィルタ出力は、MCLKm を 4 ～ 256 分周したデシメーションクロックによりフィルタリングされます。

図 41.3 にデシメータの構成を示します。

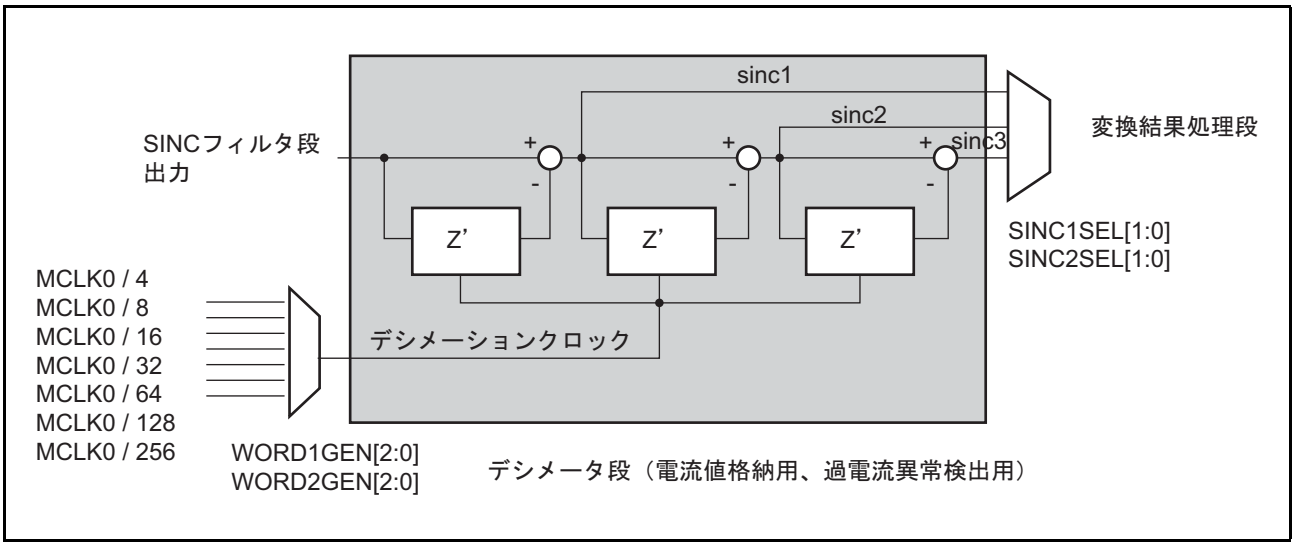


図 41.3　デシメータの構成（チャネル 0（U）の例）

UVWCTL レジスタ（ユニット 0）、XYZCTL レジスタ（ユニット 1）の WORD1GEN[2:0] ビットで電流値格納用の、WORD2GEN[2:0] ビットで過電流異常検出用のデシメーションクロックの分周比の選択を行うことが可能です。**表 41.4** にデシメーションクロックの設定と分解能について示します。

表41.4　デシメーションクロックの設定と分解能

WORD1GEN[2:0] または WORD2GEN[2:0]の設定	分周比（m = 0～2, 3）	分解能
000b	MCLKm / 4	6 ビット
010b	MCLKm / 8	9 ビット
011b	MCLKm / 16	12 ビット
100b	MCLKm / 32	15 ビット
101b	MCLKm / 64	16 ビット
110b	MCLKm / 128	16 ビット
111b	MCLKm / 256	16 ビット

また UVWCTL レジスタ（ユニット 0）、XYZCTL レジスタ（ユニット 1）の SINC1SEL[1:0] ビットで電流値格納用の、SINC2SEL[1:0] ビットで過電流異常検出用のフィルタ次数（sinc3, sinc2, sinc1）の選択を行うことが可能です。SINC フィルタの次数設定については**「表 41.3　SINC フィルタの次数設定」**を参照してください。

41.3.3　変換結果処理機能

41.3.3.1　電流値変換機能と山／谷トリガキャプチャ機能

電流変換機能として、各チャネルで変換結果格納用に電流値レジスタ 1（U1DATA, V1DATA, W1DATA, X1DATA）と、イベントリンクコントローラ（ELC）経由で入力される PWM タイマからの山／谷トリガでキャプチャした電流値格納用に電流値山トリガキャプチャレジスタ（U1CDATA, V1CDATA, W1CDATA, X1CDATA）、電流値谷トリガキャプチャレジスタ（U1VDATA, V1VDATA, W1VDATA, X1VDATA）を搭載しています。

図 41.4 に電流値変換機能の構成を示します。

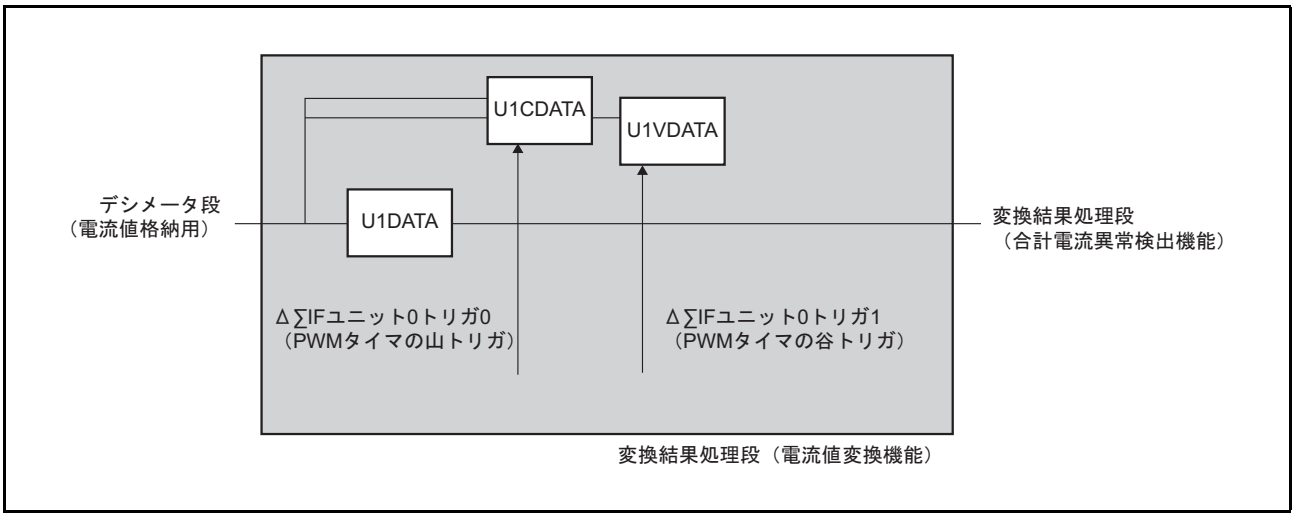


図 41.4　電流値変換機能と山／谷トリガキャプチャ機能の構成（チャネル 0（U）の例）

また電流値変換結果は、デシメータ段から出力される 24 ビット電流値データに対し、UVWCTL レジスタ（ユニット 0）、または XYZCTL レジスタ（ユニット 1）の BITSHIFT1[3:0] ビットのビットシフト設定でフィルタリングされて 16 ビット電流値データとして格納されます。

表 41.5　BITSHIFT1[3:0]の設定値と 16 ビット電流値データの関係

BITSHIFT1[3:0]の設定	デシメータ出力の24ビットデータから選択される16ビットデータ（注1）
0000b	[23:8]
0001b	[20:5]
0010b	[17:2]
0011b	[15:0]
0100b	[14:0], 0b
0101b	[13:0], 00b
0110b	[11:0], 0000b
0111b	[9:0], 00 0000b
1000b	[8:0], 000 0000b
1001b	[7:0], 0000 0000b
1010b	[6:0], 0 0000 0000b
1011b	[5:0], 00 0000 0000b
1100b	[4:0], 000 0000 0000b

注 1.　BITSHIFT1[3:0] = 0100b – 1100b では下位ビットが“0”で埋められます。詳細については「図 41.8　フィルタ設定と電流値データの関係」を参照してください。

山／谷トリガキャプチャ機能は各ユニット n（n = 0, 1）で、PWM モードに設定したタイマ（MTU3a, GPTa）の山トリガ（谷トリガ）をイベントリンクコントローラ（ELC）で ΔΣ IF ユニット n トリガ 0（ΔΣ IF ユニット n トリガ 1）に設定することで、山（谷）トリガのタイミングで電流値データをキャプチャすることが可能です。

表 41.6 に山／谷トリガの設定について示します。ELC の詳細については**「16.　イベントリンクコントローラ（ELC）」**を参照してください。

表41.6　　山／谷トリガの設定

ユニット	山／谷トリガ
0 （U, V, W）	山トリガ : ΔΣ IF ユニット 0 トリガ 0
	谷トリガ : ΔΣ IF ユニット 0 トリガ 1
1 （X）	山トリガ : ΔΣ IF ユニット 1 トリガ 0
	谷トリガ : ΔΣ IF ユニット 1 トリガ 1

41.3.3.2　　過電流異常検出機能

過電流異常検出機能は、まず電流値変換結果として、デシメータ段から出力される 24 ビット電流値データに対し、UVWCTL レジスタ（ユニット 0）、または XYZCTL レジスタ（ユニット 1）の BITSHIFT2[3:0] ビットのビットシフト設定でフィルタリングされた 16 ビット電流値データが格納されます。

表41.7　　BITSHIFT2[3:0]の設定値と16ビット電流値データの関係

BITSHIFT2[3:0]の設定	デシメータ出力の24ビットデータから選択される16ビットデータ（注1）
0000b	[23:8]
0001b	[20:5]
0010b	[17:2]
0011b	[15:0]
0100b	[14:0], 0b
0101b	[13:0], 00b
0110b	[11:0], 0000b
0111b	[9:0], 00 0000b
1000b	[8:0], 000 0000b
1001b	[7:0], 0000 0000b
1010b	[6:0], 0 0000 0000b
1011b	[5:0], 00 0000 0000b
1100b	[4:0], 000 0000 0000b

注1.　BITSHIFT2[3:0] = 0100b – 1100b では下位ビットが“0”で埋められます。詳細については「図41.8　フィルタ設定と電流値データの関係」を参照してください。

この 16 ビット電流値データが UVWIUNCMP/UVWIOVCMP レジスタ（ユニット 0）、XYZIUNCMP/XYZIOVCMP レジスタ（ユニット 1）で設定した下限値／上限値の範囲を超えたときに、過電流異常検出エラー信号を発生させます。エラー要因出力の詳細については**「41.4　エラー要因」**を参照してください。

図 41.5 に過電流異常検出機能の構成を示します。

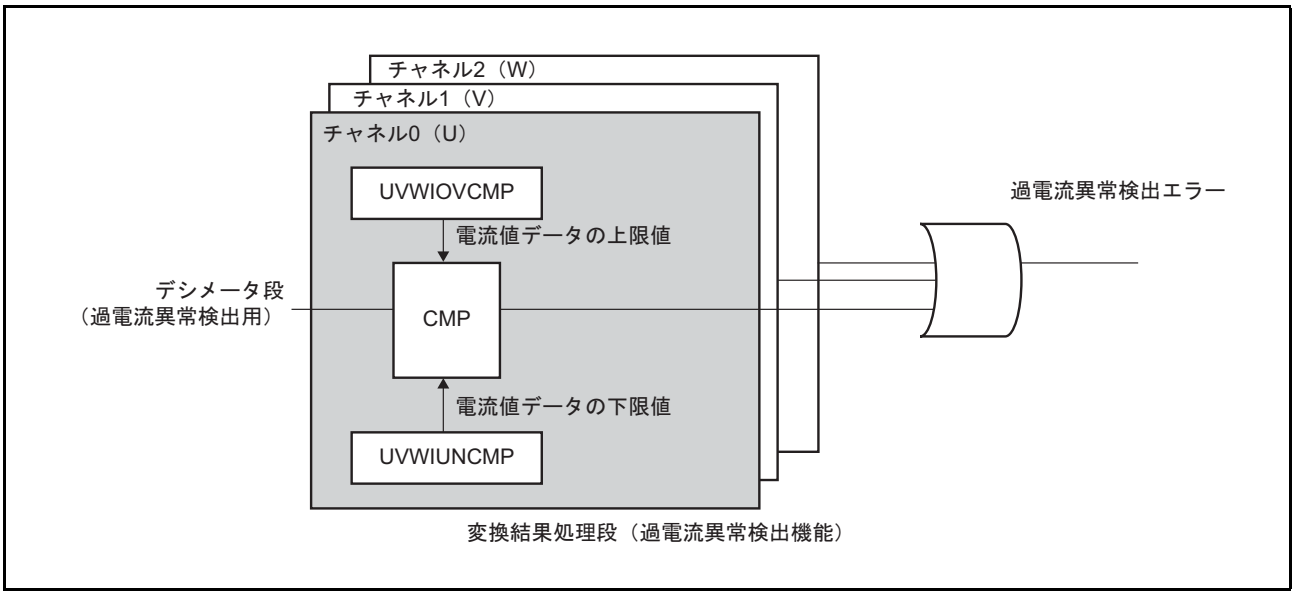


図 41.5　過電流異常検出機能（ユニット 0（U, V, W）の例）

41.3.3.3　短絡異常検出機能

短絡異常検出機能は 1 ビット・デジタル入力データ MDATAm（m = 0 ～ 2、3）として “0”、または “1” が連続して入力されたときに、それぞれ専用の 13 ビットカウンタで連続回数をカウントします。この連続回数が UVWSCUNCMP/UVWSCOVCMP レジスタ（ユニット 0）、XYZSCUNCMP/XYZSCOVCMP レジスタ（ユニット 1）で設定した “0” データ／ “1” データのしきい値を超えたときに短絡異常検出エラー信号を発生させます。エラー要因出力の詳細については**「41.4　エラー要因」**を参照してください。

図 41.6 に短絡異常検出機能の構成を示します。

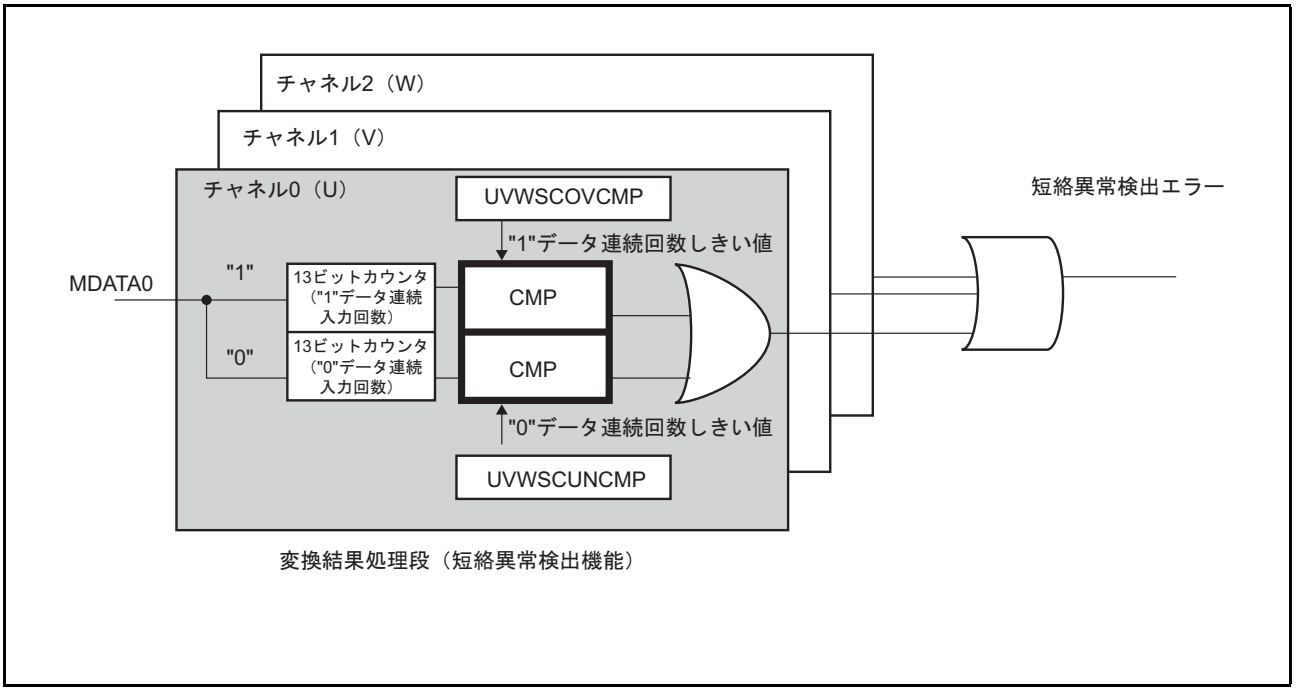


図 41.6　短絡異常検出機能（ユニット 0（U, V, W）の例）

41.3.3.4　合計電流異常検出機能（ユニット 0（U, V, W）のみ）

合計電流異常検出機能は、ユニット 0 の各チャネルの変換結果後の電流値データの和（U1DATA、V1DATA、W1DATA の格納値の合計）が、UVWIGUNCMP/UVWIGOVCMP レジスタで設定した下限値／上限値を超えたときに、合計電流異常検出エラー信号を発生させます。エラー要因出力の詳細については「41.4 エラー要因」を参照してください。

図 41.7 に合計電流異常検出機能の構成を示します。

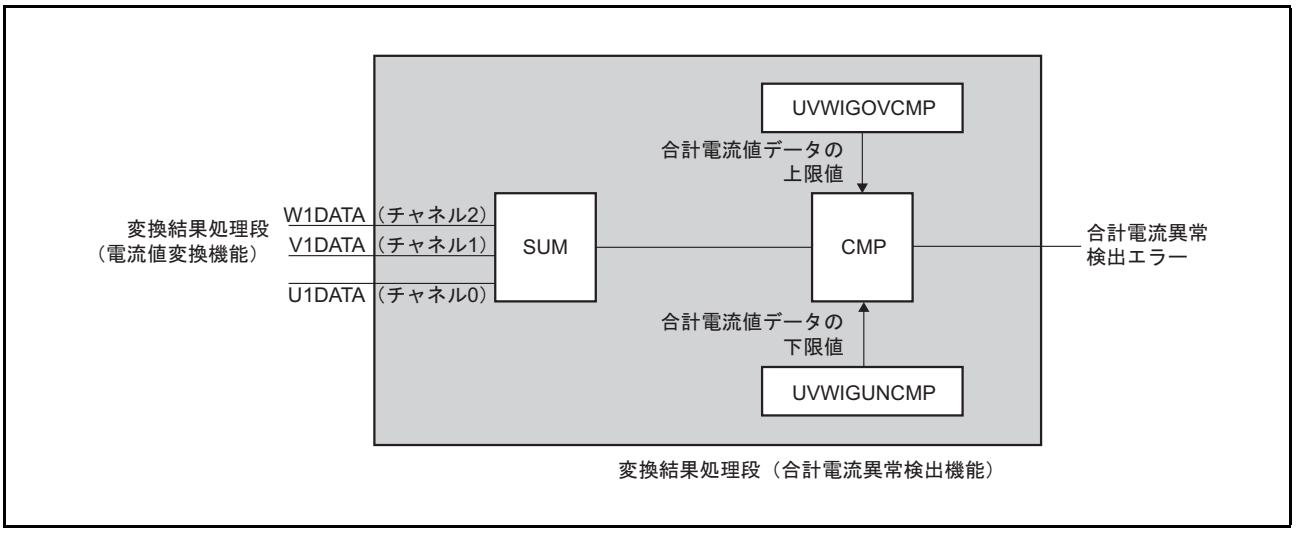


図 41.7　合計電流異常検出機能（ユニット 0（U, V, W））

41.3.4　動作クロックの設定

DSMIF は動作クロック MCLKm（m = 0 ～ 2、3）として LSI 外部の ΔΣ モジュレータから供給（スレーブ動作）、またクロック発生回路から供給（マスタ動作）するかを DSCR レジスタで選択可能です。

マスタ動作時は、DSCLKm クロックとして 6.25MHz, 9.375MHz, 12.5MHz, 18.75MHz, 25MHz のいずれかの周波数を設定することが可能です。またマスタ動作、スレーブ動作時のいずれにおいてもクロックの極性選択が可能です。DSCR レジスタの詳細については「7.　クロック発生回路」を参照してください。

41.3.5　フィルタ設定

表 41.8 に各レジスタによるフィルタ設定を、図 41.8 にフィルタ設定と電流値データの関係について示します。

表41.8　フィルタリング設定（必ず以下のレジスタ値の組み合わせで使用してください。）

SINC フィルタ次数	WORD1GEN[2:0] または WORD2GEN[2:0]の設定	MSB	BITSHIFT1[3:0]または BITSHIFT2[3:0]の設定	分解能
3 （sinc3）	010b	Bit 8	1000b	9ビット
	011b	Bit 11	0110b	12ビット
	100b	Bit 14	0100b	15ビット
	101b	Bit 17	0010b	16ビット
	110b	Bit 20	0001b	16ビット
	111b	Bit 23	0000b	16ビット
2 （sinc2）	011b	Bit 7	1001b	8ビット
	100b	Bit 9	0111b	10ビット
	101b	Bit 11	0110b	12ビット
	110b	Bit 13	0101b	14ビット
	111b	Bit 15	0011b	16ビット
1 （sinc1）	100b	Bit 4	1100b	5ビット
	101b	Bit 5	1011b	6ビット
	110b	Bit 6	1010b	7ビット
	111b	Bit 7	1001b	8ビット

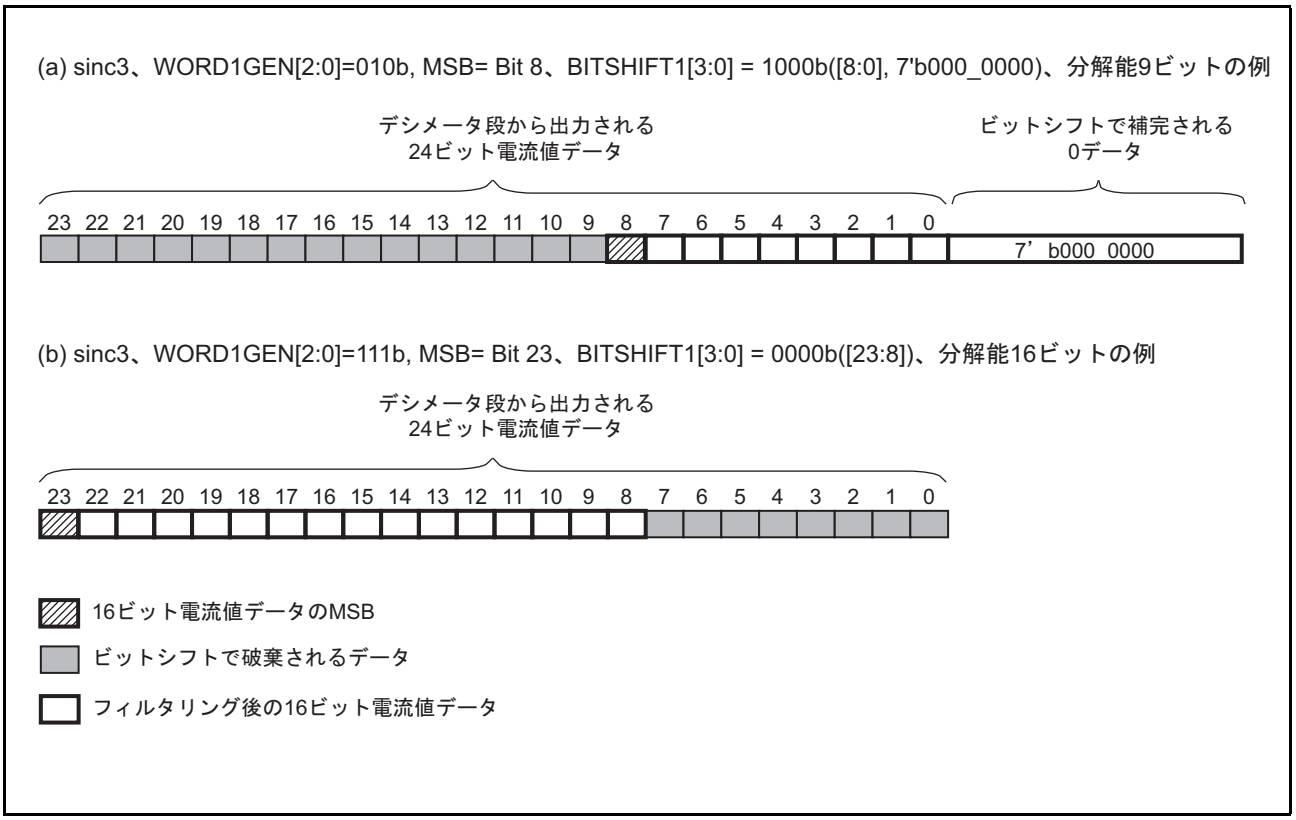
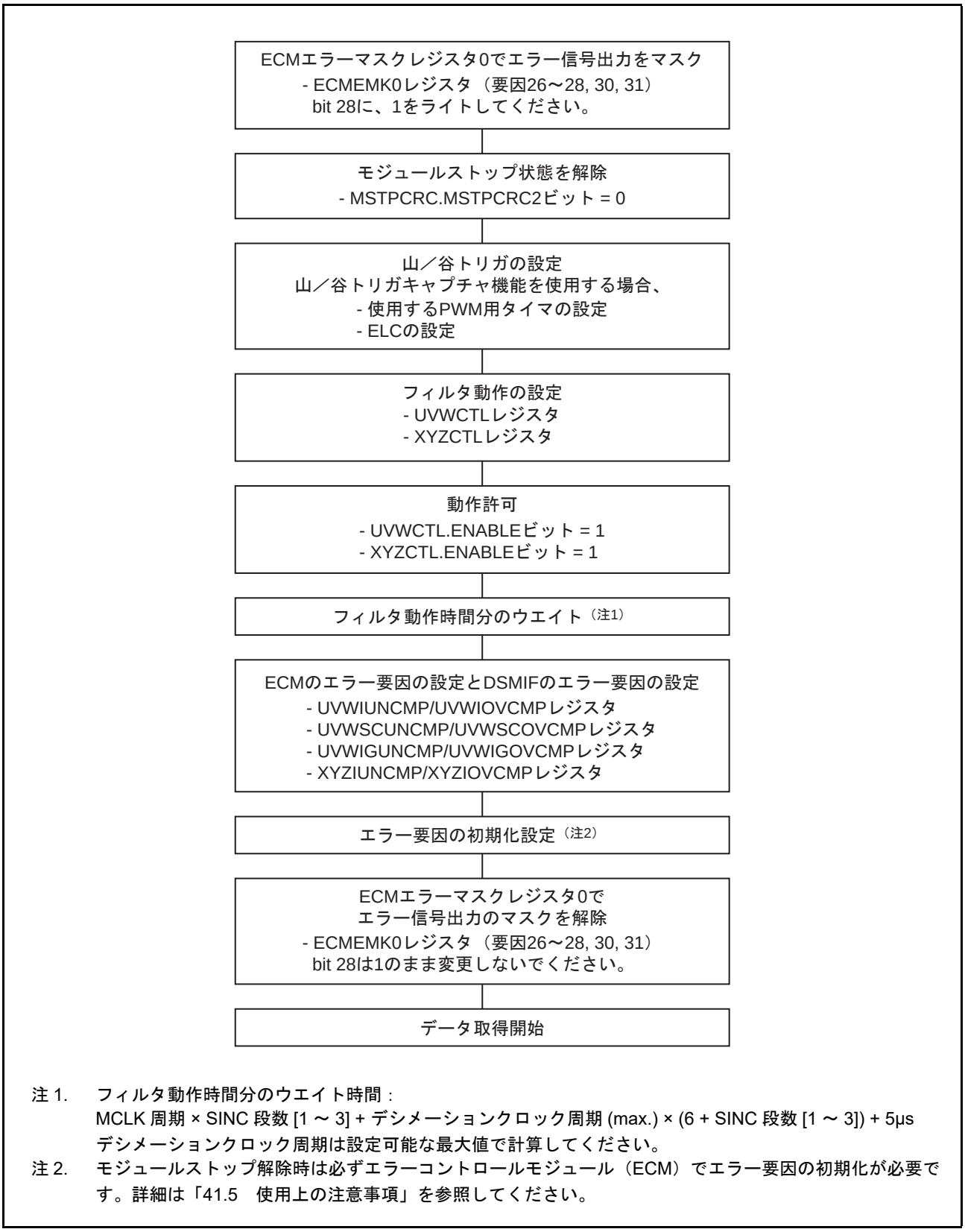


図 41.8　フィルタ設定と電流値データの関係

41.3.6　設定例

図 41.9 にエラーコントロールモジュールの設定例を示します。



注 1.　フィルタ動作時間分のウエイト時間：
MCLK 周期 × SINC 段数 [1 ～ 3] + デシメーションクロック周期 (max.) × (6 + SINC 段数 [1 ～ 3]) + 5µs
デシメーションクロック周期は設定可能な最大値で計算してください。

注 2.　モジュールストップ解除時は必ずエラーコントロールモジュール（ECM）でエラー要因の初期化が必要です。詳細は「41.5　使用上の注意事項」を参照してください。

図 41.9　エラーコントロールモジュールの設定例

41.3.7　フィルタ動作

ΔΣ インタフェースの SINC3 フィルタ機能とデシメーション機能におけるサンプリングタイミングを図 41.10 と図 41.11 に示します。

また、ΔΣ インタフェースに入力するフィルタクロック（MCLKn （n = 0 ～ 3））は DSCR レジスタで下記①～③を設定可能です。DSCR レジスタについては「7.　クロック発生回路」を参照してください。

① MCLKn の入力元を “RZ/T1 内部生成クロック（マスタ動作）” と “RZ/T1 外部生成クロック（スレーブ動作）” から選択

② RZ/T1 内部生成クロックの周波数を 5 種類から選択

③ MCLKn を反転 / 非反転から選択

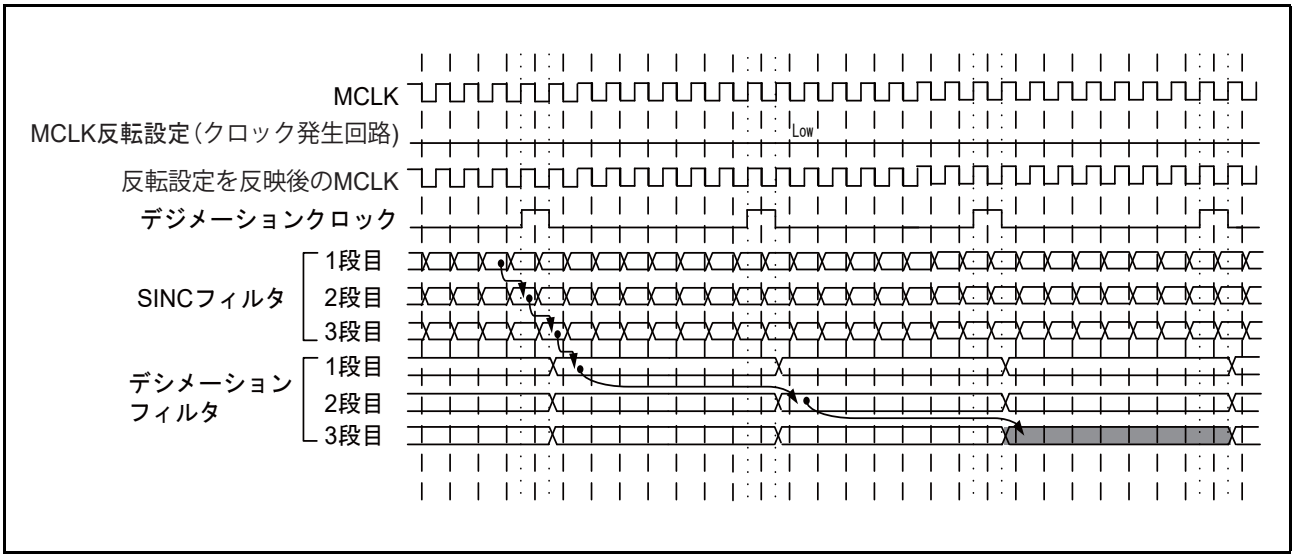


図 41.10　MCLKn 非反転時の動作

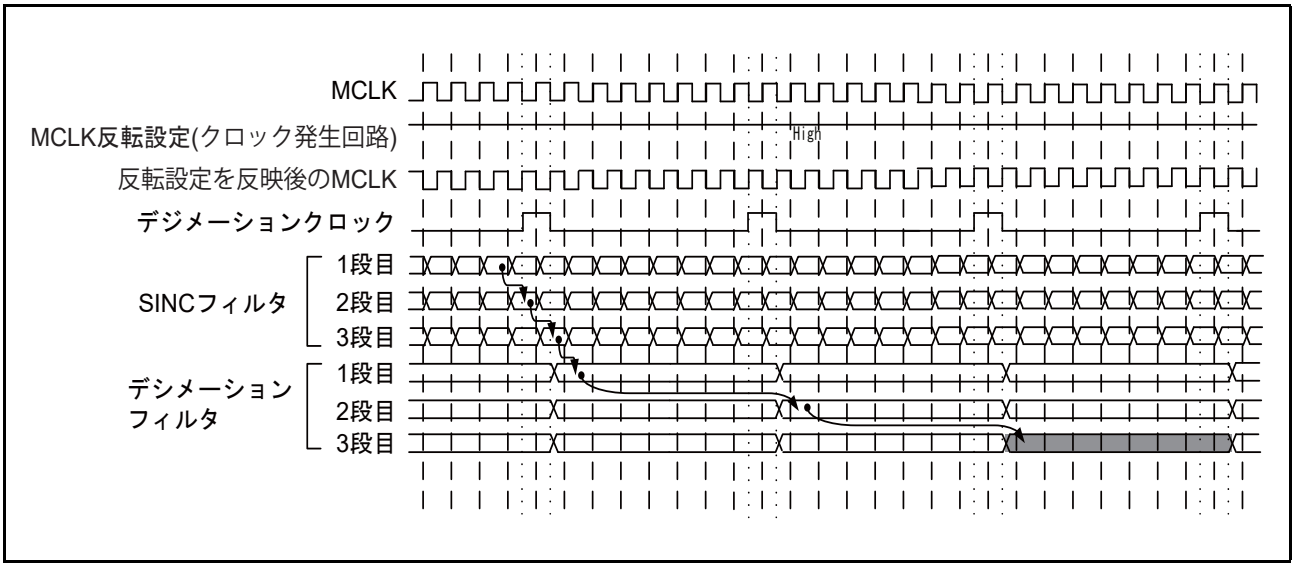


図 41.11　MCLKn 反転時の動作

41.4　エラー要因

DSMIF は以下の 3 種類のエラー要因をエラーコントロールモジュール（ECM）に対して出力することができます。

- 過電流異常検出エラー（ユニット 0、1）
- 短絡異常検出エラー（ユニット 0、1）
- 合計電流異常検出エラー（ユニット 0）

エラーコントロールモジュール（ECM）の詳細については「42.　エラーコントロールモジュール（ECM）」を参照してください。

41.5　使用上の注意事項

41.5.1　モジュールストップ解除時のエラー要因の初期化

DSMIF はモジュールストップ状態解除後に、必ず短絡異常検出エラー信号を出力します。以下に示す手順で一度エラーフラグをクリアした後に、ECM のエラー許可を設定してください。

(1) ECM エラーマスクレジスタ 0 でエラー出力信号をマスク（No. 26 ～ 28、30、31）
　bit 28 は 1 のまま変更しないでください。
(2) フィルタ動作の許可
(3) フィルタ動作時間分のウェイト
(4) DSMIF のエラーステータスレジスタをクリア（注 1）
(5) ECM エラーソースステータスクリアトリガレジスタ 0 の DSMIF エラー番号（No. 26 ～ 28、30、31）のエラーステータスをクリア
(6) ECM の DSMIF エラー番号（No. 26 ～ 28、30、31）を許可
(7) ECM エラーマスクレジスタ 0 でエラー信号出力のマスクを解除（No. 26 ～ 28、30、31）
　bit 28 は 1 のまま変更しないでください
(8) 短絡異常検出エラーが発生した場合、UVWSTA、XYZSTA レジスタをリードすればチャネル 0 ～ 3（U、V、W、X）のいずれかでエラーが発生したか確認することが可能（注 2）

　詳細は、「41.3.6　設定例」を参照してください。

注 1.　(4) は (5) の後でも問題ありません。
注 2.　ECM エラーで ECM リセットが発生した場合は UVWSTA、XYZSTA レジスタは初期化されてしまうため、ECM の対応するエラーソースステータスレジスタに保持されているフラグをリードしてください。ただしこの場合は、ユニット 0 のチャネル 0 ～ 2（U,V,W）のいずれかでエラー要因が発生したかの判別はできません。

エラーコントロールモジュール（ECM）の詳細については「42.　エラーコントロールモジュール（ECM）」を参照してください。

41.5.2　過電流検出時の電流値データに関する注意事項

電流値データの値が大きくなり、電流値レジスタの値がオーバフローした場合には電流値レジスタの読み出し値は “FFFFh” ではなく、“0000h” となります。このため、過電流異常の検出を行う場合は、過電流異常検出機能を用いてエラーを発生させて検出を行い、電流値レジスタの値は参照しないようにしてください。

41.5.3　ユニット 0 に未使用チャネルがある場合の注意事項

- UVW ステータスレジスタ（UVWSTA）未使用チャネルの短絡異常検出ステータスを無視してください。
  b6 : チャネル 2（W）未使用の場合、無視
  b5 : チャネル 1（V）未使用の場合、無視
  b4 : チャネル 0（U）未使用の場合、無視
- 以下の全ビットに 0（エラー発生による割り込み、もしくはリセット禁止）を設定してください。
  （初期値は、すべて 0）
  ECM マスカブル割り込みコンフィグレーションレジスタ 0（ECMMICFG0）b27
  ECM ノンマスカブル割り込みコンフィグレーションレジスタ 0（ECMNMICFG0）b27
  ECM 内部リセットコンフィグレーションレジスタ 0（ECMIRCFG0）b27
- 以下のビットに 1（エラー発生時エラー端子への出力をマスク）を設定してください。（初期値は、0）
  ECM エラーマスクレジスタ 0（ECMEMK0）b27

42.　エラーコントロールモジュール（ECM）

本章では、エラーコントロールモジュール（ECM）について説明します。

42.1　概要

エラーコントロールモジュール（ECM）には各周辺モジュールからのエラー出力信号を受け付けて、エラー出力端子（ERROROUT#）からのエラー信号出力、エラー割り込みや内部リセット信号を発生させることが可能です。**表 42.1** に ECM の仕様を、**図 42.1** に ECM のブロック図を示します。

表42.1　ECMの仕様

項目	説明
セーフティ処理	各モジュールからのエラー信号入力に対して、次の処理を行うことができます。 • エラーフラグセット 各エラー要因ごとにエラー発生状態を示すフラグをもちます。 • ECMマスカブル割り込み発生 各エラー要因ごとにマスカブル割り込みの発生を制御（許可／禁止）することが可能です。 • ECMノンマスカブル割り込み発生 各エラー要因ごとにノンマスカブル割り込みの発生を制御（許可／禁止）することが可能です。 • ECMリセット（内部リセット） 各エラー要因ごとに内部リセットの発生を制御（許可／禁止）することが可能です。 • ERROROUT#端子によるエラー信号出力 各エラー要因ごとにエラー信号の出力と、マスク制御（許可／禁止）が可能です。 CMTWタイマ入力によるトグル出力、またはレベル固定出力が可能です。
エラーステータス	エラーステータスレジスタを搭載し、各エラーフラグの値から対応するエラー要因の発生があったかどうか確認することができます。
自己診断機能	• 自己診断用に擬似エラーを発生させることができます。 擬似エラー発生時の動作は、実際にエラーが発生した場合と同じです。エラー端子出力のマスクや割り込み、内部リセットの設定はすべて反映されます。 また機能安全のエラー検出向けに拡張擬似エラーを使用可能です。 • エラー出力端子までのパスの診断のために、エラー端子出力のループバック機能を搭載します。 エラー出力端子の状態が内部レジスタに反映され、レジスタを読み出すことでエラー出力端子の状態を確認することができます。
ディレイタイマタイムアウト機能	ECMマスカブル割り込み、ECMノンマスカブル割り込みの発生と同時にディレイタイマをスタートし、割り込み処理中にディレイタイマを停止できず、ディレイタイマオーバフローが発生した場合にエラー信号出力、またはECMリセットを発生する機能を搭載します。
その他	冗長化のためECMはマスタ／チェッカの2重構造をもちます。

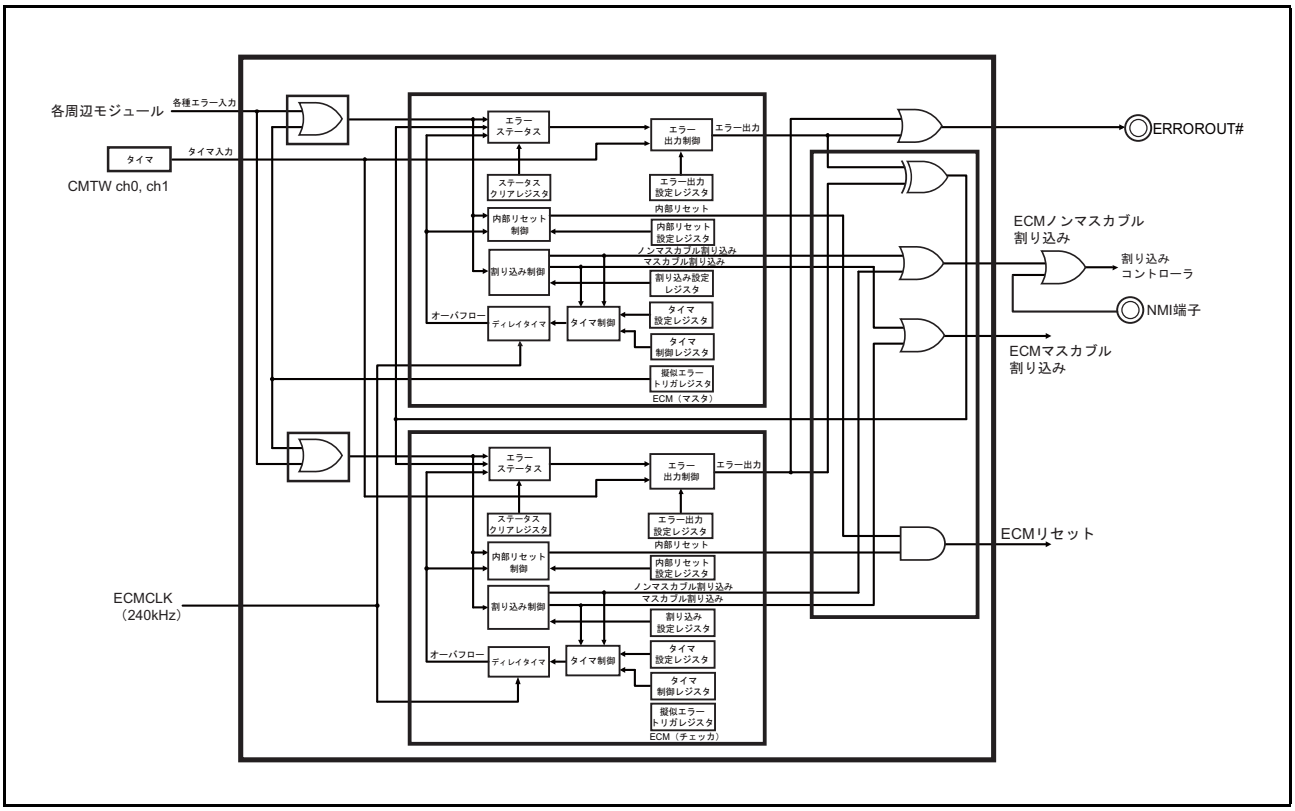


図 42.1　　ECM のブロック図

ECM エラー入力を表 42.2 に示します。

表42.2　ECMエラー入力（1 / 2）

エラー要因番号	モジュール	機能
1	WDTA	WDTAアンダフロー／リフレッシュエラー（Cortex-R4用）
2	WDTA	WDTAアンダフロー／リフレッシュエラー（Cortex-M3用）（R-IN Engine搭載製品）
3	IWDTa	IWDTaアンダフロー／リフレッシュエラー
4	—	予約
5	Cortex-R4 キャッシュ	命令キャッシュ（Tag RAM）のECC1ビット、ECC2ビットエラー
6		命令キャッシュ（Data RAM）のECC1ビット、ECC2ビットエラー
7		データキャッシュ（Tag/Dirty RAM）のECC1ビットエラー
8		データキャッシュ（Tag/Dirty RAM）のECC2ビットエラー
9		データキャッシュ（Data RAM）のECC1ビットエラー
10		データキャッシュ（Data RAM）のECC2ビットエラー
11	Cortex-R4 RAM	ATCMのECC1ビットエラー
12		ATCMのECC2ビットエラー
13		BTCMのECC1ビットエラー
14		BTCMのECC2ビットエラー
15	拡張内蔵SRAM	IRAM/DRAMのECC1ビットエラー
16		IRAM/DRAMのECC2ビットエラー
17	RSCAN	RSCAN RAMのECC1ビットエラー
18		RSCAN RAMのECC2ビットエラー
19		RSCAN オーバフローエラー
20	クロックモニタ回路（CLMA）	メインクロック発振停止検出
21		CLMA0 発振停止検出（PLL0）
22		CLMA1 発振停止検出（PLL1）
23		CLMA2 発振停止検出 （LOCO）
24	12ビットA/Dコンバータ（S12ADCa）	ユニット0 オーバライト割り込み
25		ユニット1 オーバライト割り込み
26	ΔΣインタフェース	UVW過電流異常検出エラー
27		UVW合計電流異常検出エラー
28		UVW短絡異常検出エラー
29		予約
30		X過電流異常検出エラー
31		X短絡異常検出エラー
32	データ演算回路（DOC）	DOC 演算エラー
33	内部バス	バスエラー
34	バスステートコントローラ（BSC）	外部WAIT端子によるタイムアウト検出
35	—	拡張擬似エラー 35（注1）
36	—	拡張擬似エラー 36（注1）
37	—	拡張擬似エラー 37（注1）
38	—	拡張擬似エラー 38（注1）
39	—	拡張擬似エラー 39（注1）
40	—	拡張擬似エラー 40（注1）
41	—	拡張擬似エラー 41（注1）

表42.2　　ECMエラー入力（2 / 2）

エラー要因番号	モジュール	機能
42 ～ 92	—	予約
93	エラーコントロールモジュール（ECM）	コンペアエラー
94		ディレイタイマオーバフローエラー
95		ECMmESETレジスタによるエラーセット
96		ループバックエラー

注1.　ソフトウェアでECM擬似エラートリガレジスタ（ECMPEn）の対応するビットをセットすることで擬似エラーを発生できます。詳細は「42.3.3　疑似エラー発生」を参照してください。

42.2　レジスタの説明

42.2.1　ECM マスタ／チェッカエラーセットトリガレジスタ（ECMmESET（m = M/C））

ECMmSET レジスタは ERROROUT# 端子の出力を制御するレジスタです（m = M, C）。ECMmEST ビットに 1 をセットすると ERROROUT# 端子の出力をアクティブ（Low）にすることが可能です。ERROROUT# 端子出力をマスクすることはできません。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。このレジスタの読み出し値は常に 00h です。

アドレス　ECMMESET：A007 D000h
　　ECMCESET：A007 D040h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMmEST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmEST	エラーセットトリガビット	0：0書き込みは無効。 1：ERROROUT#端子の出力レベルをアクティブ（Low）に設定します。	W
b7-b1	—	予約ビット	書く場合、“0”としてください。	W

注1.　ECMmESETレジスタをセットすると、ECMmESSTR2レジスタのECMmSSE228ビット（ECMコンペアエラー）がセットされます。このためECMmESETレジスタでERROROUT#端子の制御をする場合は下記手順にしたがって設定してください。
1. ECMEMK2レジスタのECMEMK228ビットを「マスクあり」に設定します。
2. 割り込みを生成しないために、ECMMICFG2レジスタのECMMIE228ビットを「禁止」に、ECMNMICFG2レジスタのECMNMIE228ビットを「禁止」に設定します。
3. 内部リセットを生成しないために、ECMIRCFG2レジスタのECMIRE228ビットを「禁止」に設定します。
4. ECMmESETレジスタでエラー出力のセットを行います。
5. ECMESSTC2レジスタのECMCLSSE228ビットでエラーをクリアします。
6. ECMコンペアエラーの設定を元に戻すため必要に応じて以下の設定を行います。
・ERROROUT#端子からのエラー出力を許可する場合、ECMEMK2レジスタのECMEMK228ビットを「マスクなし」に設定します。
・エラー割り込みを許可する場合、ECMMICFG2レジスタのECMMIE228ビットを「許可」または、ECMNMICFG2レジスタのECMNMIE228ビットを「許可」に設定します。
・ECMリセットを許可する場合、ECMIRCFG2レジスタのECMIRE228ビットを「許可」に設定します。

注2.　ECMmESETレジスタでエラー出力をセットした場合、ECMESSTCnレジスタでマスクされていないエラー要因すべてをクリアしてもエラー状態が保持されERROROUT#端子はアクティブのままLow出力します。エラー状態をクリアするにはECMmECLRレジスタでクリア処理してください。

42.2.2　ECM マスタ／チェッカエラークリアトリガレジスタ（ECMmECLR（m = M/C））

ECMmECLR レジスタは ERROROUT# 端子からの出力を制御するレジスタです（m = M, C）。ECMmECT ビットに 1 をセットすると、他に ERROROUT# 端子をアクティブ（Low）にするエラー要因がない場合には、ERROROUT# 端子の出力をインアクティブ（High）にすることが可能です。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。このレジスタの読み出し値は常に 00h です。

アドレス　ECMMECLR：A007 D004h
　　ECMCECLR：A007 D044h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMmECT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmECT	エラークリアトリガビット	0：0書き込みは無効。 1：ERROROUT#端子の出力レベルをインアクティブ（High）に設定します。 ただしECMエラー出力クリア無効期間中は本ビットによるクリアができません。詳細は「42.3.6　エラー出力クリアの無効設定機能」を参照してください。	W
b7-b1	—	予約ビット	書く場合、“0”としてください。	W

注．　エラー端子出力のクリアは、ECMEMK0/1/2 レジスタでマスクされていないすべてのエラー要因が、あらかじめクリアされている場合にのみ本レジスタの ECMmECT ビットのセットで ERROROUT# 端子の出力をインアクティブ（High）に設定することが可能です。
ECMmESET からエラー出力のセットを行うことによって、エラー状態が生成された場合、本レジスタでエラー状態のクリアを行ってください。
エラー状態のクリアは以下の手順で行ってください。

1. ECMESSTC0、ECMESSTC1、ECMESSTC2 レジスタの対応する全ビットを「エラー状態のクリア」にします。
2. ECMEMK0, ECMEMK1, ECMEMK2 レジスタの対応する全ビットを「マスク」とし、すべてのエラー要因によるエラー信号出力をマスクします。
3. ECM コンペアエラー（エラー要因 93）による意図しないエラー処理が発生しないよう ECMMICFG2、ECMNMICFG2、ECMIRCFG2 レジスタの各 ECMMIE228、ECMNMIE228、ECMIRE228 ビットを「禁止」にします。
4. ECMMECLR、ECMCECLR レジスタの ECMMECT、ECMCECT ビットで ERROROUT# 端子のエラー出力をクリアします。またこのとき ECM コンペアエラーが発生します。
5. ECM コンペアエラーの発生が ECMESSTR2 レジスタに反映されるまで以下の時間をソフトウェアでウエイトします。
   （3 × ECMCLK）+ (5 × PCLKD)
   本製品では ECMCLK = 240kHz、PCLKD = 75MHz のため 約 12.6us のウエイト処理を行います。
6. ECMESSTC2 レジスタの ECMCLSSE228 ビットで ECM コンペアエラーを「クリア」にします。
7. 必要に応じて、2. で設定した ECMEMK0、ECMEMK1、ECMEMK2 レジスタの設定を元に戻します。
8. 必要に応じて、3. で設定した ECMMICFG2、ECMNMICFG2、ECMIRCFG2 レジスタの設定を元に戻します。

42.2.3　ECM マスタ／チェッカエラーソースステータスレジスタ 0（ECMmESSTR0（m = M/C））

ECMmESSTR0 レジスタは各エラー要因の発生状態を示すフラグレジスタです（m = M, C）。本レジスタは ECM エラーソースステータスクリアトリガレジスタ 0（ECMESSTC0）の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。

アドレス　ECMMESSTR0：A007 D008h
ECMCESSTR0：A007 D048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMm SSE031	ECMm SSE030	ECMm SSE029	—	ECMm SSE027	ECMm SSE026	ECMm SSE025	ECMm SSE024	ECMm SSE023	ECMm SSE022	ECMm SSE021	ECMm SSE020	ECMm SSE019	ECMm SSE018	ECMm SSE017	ECMm SSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMm SSE015	ECMm SSE014	ECMm SSE013	ECMm SSE012	ECMm SSE011	ECMm SSE010	ECMm SSE009	ECMm SSE008	ECMm SSE007	ECMm SSE006	ECMm SSE005	ECMm SSE004	—	ECMm SSE002	ECMm SSE001	ECMm SSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmSSE000	エラー要因ステータスビット1	エラー要因1のWDTAアンダフロー／リフレッシュエラー（Cortex-R4）の発生を示します。 0：エラー未発生 1：エラー発生	R
b1	ECMmSSE001	エラー要因ステータスビット2	エラー要因2のWDTAアンダフロー／リフレッシュエラー（Cortex-M3）の発生を示します。(注1) 0：エラー未発生 1：エラー発生	R
b2	ECMmSSE002	エラー要因ステータスビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラー の発生を示します。 0：エラー未発生 1：エラー発生	R
b3	—	予約ビット	読むと“0”が読めます。	R
b4	ECMmSSE004	エラー要因ステータスビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生を示します。 0：エラー未発生 1：エラー発生	R
b5	ECMmSSE005	エラー要因ステータスビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生を示します。 0：エラー未発生 1：エラー発生	R
b6	ECMmSSE006	エラー要因ステータスビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b7	ECMmSSE007	エラー要因ステータスビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b8	ECMmSSE008	エラー要因ステータスビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R

ビット	シンボル	ビット名	機能	R/W
b9	ECMmSSE009	エラー要因ステータスビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b10	ECMmSSE010	エラー要因ステータスビット11	エラー要因11のATCMのECC1ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b11	ECMmSSE011	エラー要因ステータスビット12	エラー要因12のATCMのECC2ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b12	ECMmSSE012	エラー要因ステータスビット13	エラー要因13のBTCMのECC1ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b13	ECMmSSE013	エラー要因ステータスビット14	エラー要因14のBTCMのECC2ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b14	ECMmSSE014	エラー要因ステータスビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b15	ECMmSSE015	エラー要因ステータスビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b16	ECMmSSE016	エラー要因ステータスビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b17	ECMmSSE017	エラー要因ステータスビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b18	ECMmSSE018	エラー要因ステータスビット19	エラー要因19のRSCAN オーバフローエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b19	ECMmSSE019	エラー要因ステータスビット20	エラー要因20のメインクロック発振停止検出の発生を示します。 0：エラー未発生 1：エラー発生	R
b20	ECMmSSE020	エラー要因ステータスビット21	エラー要因21のCLMA0 発振停止検出（PLL0）の発生を示します。 0：エラー未発生 1：エラー発生	R
b21	ECMmSSE021	エラー要因ステータスビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）の発生を示します。 0：エラー未発生 1：エラー発生	R
b22	ECMmSSE022	エラー要因ステータスビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）の発生を示します。 0：エラー未発生 1：エラー発生	R
b23	ECMmSSE023	エラー要因ステータスビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生を示します。 0：エラー未発生 1：エラー発生	R

ビット	シンボル	ビット名	機能	R/W
b24	ECMmSSE024	エラー要因ステータスビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みの発生を示します。 0：エラー未発生 1：エラー発生	R
b25	ECMmSSE025	エラー要因ステータスビット26	エラー要因26のUVW過電流異常検出エラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b26	ECMmSSE026	エラー要因ステータスビット27	エラー要因27のUVW合計電流異常検出エラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b27	ECMmSSE027	エラー要因ステータスビット28	エラー要因28のUVW短絡異常検出エラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b28	—	予約ビット	読んだ場合、その値は不定です。	R
b29	ECMmSSE029	エラー要因ステータスビット30	エラー要因30のX過電流異常検出エラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b30	ECMmSSE030	エラー要因ステータスビット31	エラー要因31のX短絡異常検出エラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b31	ECMmSSE031	エラー要因ステータスビット32	エラー要因32のDOC演算エラーの発生を示します。 0：エラー未発生 1：エラー発生	R

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合、読むと“0”が読めます。

42.2.4　ECM マスタ／チェッカエラーソースステータスレジスタ 1（ECMmESSTR1（m = M/C））

ECMmESSTR1 レジスタは各エラー要因の発生状態を示すフラグレジスタです（m = M, C）。本レジスタは ECM エラーソースステータスクリアトリガレジスタ 1（ECMESSTC1）の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。

アドレス　ECMMESSTR1：A007 D00Ch
ECMCESSTR1：A007 D04Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMm SSE108	ECMm SSE107	ECMm SSE106	ECMm SSE105	ECMm SSE104	ECMm SSE103	ECMm SSE102	ECMm SSE101	ECMm SSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmSSE100	エラー要因ステータスビット33	エラー要因33のバスエラーの発生を示します。 0：エラー未発生 1：エラー発生	R
b1	ECMmSSE101	エラー要因ステータスビット34	エラー要因34の発生外部WAIT端子によるタイムアウト検出エラーを示します。 0：エラー未発生 1：エラー発生	R
b2	ECMmSSE102	エラー要因ステータスビット35	エラー要因35の拡張擬似エラー35の発生を示します（注1）。 0：エラー未発生 1：エラー発生	R
b3	ECMmSSE103	エラー要因ステータスビット36	エラー要因36の拡張擬似エラー36の発生を示します（注1）。 0：エラー未発生 1：エラー発生	R
b4	ECMmSSE104	エラー要因ステータスビット37	エラー要因37の拡張擬似エラー37の発生を示します（注1）。 0：エラー未発生 1：エラー発生	R
b5	ECMmSSE105	エラー要因ステータスビット38	エラー要因38の拡張擬似エラー38の発生を示します（注1）。 0：エラー未発生 1：エラー発生	R
b6	ECMmSSE106	エラー要因ステータスビット39	エラー要因39の拡張擬似エラー39の発生を示します（注1）。 0：エラー未発生 1：エラー発生	R
b7	ECMmSSE107	エラー要因ステータスビット40	エラー要因40の拡張擬似エラー40の発生を示します（注1）。 0：エラー未発生 1：エラー発生	R
b8	ECMmSSE108	エラー要因ステータスビット41	エラー要因41の拡張擬似エラー41の発生を示します（注1）。 0：エラー未発生 1：エラー発生	R
b31-b9	—	予約ビット	読むと“0”が読めます。	R

注1.　ソフトウェアでECMPE1.ECMPE102-108ビットをセットすることでエラーが発生します。

42.2.5　ECM マスタ／チェッカエラーソースステータスレジスタ 2（ECMmESSTR2（m = M/C））

ECMmESSTR2 レジスタは各エラー要因の発生状態を示すフラグレジスタです（m = M, C）。本レジスタのビット 30 ～ビット 28 は ECM エラーソースステータスクリアトリガレジスタ 2（ECMESSTC2）の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。またビット 31 はリセットされません。

アドレス　ECMMESSTR2：A007 D010h
ECMCESSTR2：A007 D050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMmSSE231	ECMmSSE230	ECMmSSE229	ECMmSSE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。	R
b28	ECMmSSE228	エラー要因ステータスビット93	エラー要因93のECMコンペアエラーの発生を示します。 0：ECMコンペアエラー未発生 1：ECMコンペアエラー発生	R
b29	ECMmSSE229	エラー要因ステータスビット94	エラー要因94のディレイタイマオーバフロー有無を示します。 0：ディレイタイマオーバフロー未発生 1：ディレイタイマオーバフロー発生	R
b30	ECMmSSE230	エラー要因ステータスビット95	エラー要因95のECMmESETの書き込みステータスを示します。 0：エラー未発生 1：ECMmESETレジスタのECMmESTビットでエラー設定された	R
b31	ECMmSSE231	エラー要因ステータスビット96	エラー要因96のループバックエラーの発生を示します。 本ビットはリセットによる初期化はされません。 0：エラー出力（マスタ／チェッカ）はLowレベル 1：エラー出力（マスタ／チェッカ）はHighレベル	R

42.2.6　ECM マスタ／チェッカ保護コマンドレジスタ（ECMmPCMD0（m = M/C））

ECMmPCMD0 レジスタは保護されたレジスタへの書き込み制御を行うレジスタです（m = M, C）。詳細は「42.3.4　保護レジスタへの書き込み」を参照してください。

アドレス　ECMMPCMD0：A007 D014h
ECMCPCMD0：A007 D054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ECMm0REG[7:0]							
リセット後の値	不定															

ビット	シンボル	ビット名	機能	R/W
b7-b0	ECMm0REG7～ECMm0REG0	特定命令シーケンス書き込みビット	ECMm レジスタ（m = M/C）への書き込みを有効にするため特定の命令シーケンスを書き込みます。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

42.2.7　ECM エラーパルスコンフィグレーションレジスタ（ECMEPCFG）

ECMEPCFG レジスタは ERROROUT# 端子の出力制御を行うレジスタです。詳細は「42.3.1　エラー出力動作」を参照してください。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「42.3.4　保護レジスタへの書き込み」を参照してください。

アドレス　A007 D080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMSL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMSL0	ERROROUT#端子動作設定ビット	ERROROUT#端子のエラー出力動作の設定 0：ノンダイナミックモード 1：ダイナミックモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.8　ECM マスカブル割り込みコンフィグレーションレジスタ 0（ECMMICFG0）

ECMMICFG0 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMMIE031	ECMMIE030	ECMMIE029	—	ECMMIE027	ECMMIE026	ECMMIE025	ECMMIE024	ECMMIE023	ECMMIE022	ECMMIE021	ECMMIE020	ECMMIE019	ECMMIE018	ECMMIE017	ECMMIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMMIE015	ECMMIE014	ECMMIE013	ECMMIE012	ECMMIE011	ECMMIE010	ECMMIE009	ECMMIE008	ECMMIE007	ECMMIE006	ECMMIE005	ECMMIE004	—	ECMMIE002	ECMMIE001	ECMMIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMMIE000	ECMマスカブル割り込み発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b1	ECMMIE001	ECMマスカブル割り込み発生制御ビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）の発生によるマスカブル割り込みの許可／禁止を制御します。(注1) 0：割り込み発生禁止 1：割り込み発生許可	R/W
b2	ECMMIE002	ECMマスカブル割り込み発生制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラー の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMMIE004	ECMマスカブル割り込み発生制御ビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b5	ECMMIE005	ECMマスカブル割り込み発生制御ビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	ECMMIE006	ECMマスカブル割り込み発生制御ビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b7	ECMMIE007	ECMマスカブル割り込み発生制御ビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMMIE008	ECMマスカブル割り込み発生制御ビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b9	ECMMIE009	ECMマスカブル割り込み発生制御ビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b10	ECMMIE010	ECMマスカブル割り込み発生制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b11	ECMMIE011	ECMマスカブル割り込み発生制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b12	ECMMIE012	ECMマスカブル割り込み発生制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b13	ECMMIE013	ECMマスカブル割り込み発生制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b14	ECMMIE014	ECMマスカブル割り込み発生制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b15	ECMMIE015	ECMマスカブル割り込み発生制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b16	ECMMIE016	ECMマスカブル割り込み発生制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b17	ECMMIE017	ECMマスカブル割り込み発生制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b18	ECMMIE018	ECMマスカブル割り込み発生制御ビット19	エラー要因19のRSCAN オーバフローエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b19	ECMMIE019	ECMマスカブル割り込み発生制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b20	ECMMIE020	ECMマスカブル割り込み発生制御ビット21	エラー要因21のCLMA0 発振停止検出（PLL0）の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b21	ECMMIE021	ECMマスカブル割り込み発生制御ビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b22	ECMMIE022	ECMマスカブル割り込み発生制御ビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b23	ECMMIE023	ECMマスカブル割り込み発生制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b24	ECMMIE024	ECMマスカブル割り込み発生制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b25	ECMMIE025	ECMマスカブル割り込み発生制御ビット26	エラー要因26のUVW過電流異常検出エラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b26	ECMMIE026	ECMマスカブル割り込み発生制御ビット27	エラー要因27のUVW合計電流異常検出エラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b27	ECMMIE027	ECMマスカブル割り込み発生制御ビット28	エラー要因28のUVW短絡異常検出エラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b29	ECMMIE029	ECMマスカブル割り込み発生制御ビット30	エラー要因30のX過電流異常検出エラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b30	ECMMIE030	ECMマスカブル割り込み発生制御ビット31	エラー要因31のX短絡異常検出エラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b31	ECMMIE031	ECMマスカブル割り込み発生制御ビット32	エラー要因32のDOC演算エラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、リセット後の値から変更しないでください。

42.2.9　ECM マスカブル割り込みコンフィグレーションレジスタ 1（ECMMICFG1）

ECMMICFG1 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMMIE108	ECMMIE107	ECMMIE106	ECMMIE105	ECMMIE104	ECMMIE103	ECMMIE102	ECMMIE101	ECMMIE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMMIE100	ECMマスカブル割り込み発生制御ビット33	エラー要因33のバスエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b1	ECMMIE101	ECMマスカブル割り込み発生制御ビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b2	ECMMIE102	ECMマスカブル割り込み発生制御ビット35	エラー要因35の拡張擬似エラー 35 の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b3	ECMMIE103	ECMマスカブル割り込み発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b4	ECMMIE104	ECMマスカブル割り込み発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b5	ECMMIE105	ECMマスカブル割り込み発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	ECMMIE106	ECMマスカブル割り込み発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b7	ECMMIE107	ECMマスカブル割り込み発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b8	ECMMIE108	ECMマスカブル割り込み発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.10　ECM マスカブル割り込みコンフィグレーションレジスタ 2（ECMMICFG2）

ECMMICFG2 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D08Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMMIE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMMIE228	ECMマスカブル割り込み発生制御ビット93	エラー要因93のECMコンペアエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.11　ECM ノンマスカブル割り込みコンフィグレーションレジスタ 0（ECMNMICFG0）

ECMNMICFG0 レジスタは各エラー要因の発生による ECM ノンマスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMNMIE031	ECMNMIE030	ECMNMIE029	—	ECMNMIE027	ECMNMIE026	ECMNMIE025	ECMNMIE024	ECMNMIE023	ECMNMIE022	ECMNMIE021	ECMNMIE020	ECMNMIE019	ECMNMIE018	ECMNMIE017	ECMNMIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMNMIE015	ECMNMIE014	ECMNMIE013	ECMNMIE012	ECMNMIE011	ECMNMIE010	ECMNMIE009	ECMNMIE008	ECMNMIE007	ECMNMIE006	ECMNMIE005	ECMNMIE004	—	ECMNMIE002	ECMNMIE001	ECMNMIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMNMIE000	ECMノンマスカブル割り込み発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b1	ECMMIE001	ECMノンマスカブル割り込み発生制御ビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）の発生によるノンマスカブル割り込みの許可／禁止を制御します。(注1) 0：割り込み発生禁止 1：割り込み発生許可	R/W
b2	ECMNMIE002	ECMノンマスカブル割り込み発生制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラー の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMNMIE004	ECMノンマスカブル割り込み発生制御ビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b5	ECMNMIE005	ECMノンマスカブル割り込み発生制御ビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	ECMNMIE006	ECMノンマスカブル割り込み発生制御ビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b7	ECMNMIE007	ECMノンマスカブル割り込み発生制御ビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMNMIE008	ECMノンマスカブル割り込み発生制御ビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b9	ECMNMIE009	ECMノンマスカブル割り込み発生制御ビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b10	ECMNMIE010	ECMノンマスカブル割り込み発生制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b11	ECMNMIE011	ECMノンマスカブル割り込み発生制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b12	ECMNMIE012	ECMノンマスカブル割り込み発生制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b13	ECMNMIE013	ECMノンマスカブル割り込み発生制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b14	ECMNMIE014	ECMノンマスカブル割り込み発生制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b15	ECMNMIE015	ECMノンマスカブル割り込み発生制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b16	ECMNMIE016	ECMノンマスカブル割り込み発生制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b17	ECMNMIE017	ECMノンマスカブル割り込み発生制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b18	ECMNMIE018	ECMノンマスカブル割り込み発生制御ビット19	エラー要因19のRSCAN オーバフローエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b19	ECMNMIE019	ECMノンマスカブル割り込み発生制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b20	ECMNMIE020	ECMノンマスカブル割り込み発生制御ビット21	エラー要因21のCLMA0 発振停止検出（PLL0）の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b21	ECMNMIE021	ECMノンマスカブル割り込み発生制御ビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b22	ECMNMIE022	ECMノンマスカブル割り込み発生制御ビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b23	ECMNMIE023	ECMノンマスカブル割り込み発生制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b24	ECMNMIE024	ECMノンマスカブル割り込み発生制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b25	ECMNMIE025	ECMノンマスカブル割り込み発生制御ビット26	エラー要因26のUVW過電流異常検出エラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b26	ECMNMIE026	ECMノンマスカブル割り込み発生制御ビット27	エラー要因27のUVW合計電流異常検出エラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b27	ECMNMIE027	ECMノンマスカブル割り込み発生制御ビット28	エラー要因28のUVW短絡異常検出エラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b29	ECMNMIE029	ECMノンマスカブル割り込み発生制御ビット30	エラー要因30のX過電流異常検出エラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b30	ECMNMIE030	ECMノンマスカブル割り込み発生制御ビット31	エラー要因31のX短絡異常検出エラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b31	ECMNMIE031	ECMノンマスカブル割り込み発生制御ビット32	エラー要因32のDOC演算エラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、リセット後の値から変更しないでください。

42.2.12　ECM ノンマスカブル割り込みコンフィグレーションレジスタ 1（ECMNMICFG1）

ECMNMICFG1 レジスタは各エラー要因の発生による ECM ノンマスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMNMIE108	ECMNMIE107	ECMNMIE106	ECMNMIE105	ECMNMIE104	ECMNMIE103	ECMNMIE102	ECMNMIE101	ECMNMIE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMNMIE100	ECMノンマスカブル割り込み発生制御ビット33	エラー要因33のバスエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b1	ECMNMIE101	ECMノンマスカブル割り込み発生制御ビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b2	ECMNMIE102	ECMノンマスカブル割り込み発生制御ビット35	エラー要因35の拡張擬似エラー 35 の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b3	ECMNMIE103	ECMノンマスカブル割り込み発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b4	ECMNMIE104	ECMノンマスカブル割り込み発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b5	ECMNMIE105	ECMノンマスカブル割り込み発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	ECMNMIE106	ECMノンマスカブル割り込み発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b7	ECMNMIE107	ECMノンマスカブル割り込み発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b8	ECMNMIE108	ECMノンマスカブル割り込み発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.13　ECM ノンマスカブル割り込みコンフィグレーションレジスタ 2（ECMNMICFG2）

ECMNMICFG2 レジスタは各エラー要因の発生による ECM ノンマスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMNMIE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMNMIE228	ECMノンマスカブル割り込み発生制御ビット93	エラー要因93のECMコンペアエラーの発生によるノンマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.14　ECM 内部リセットコンフィグレーションレジスタ 0（ECMIRCFG0）

ECMIRCFG0 レジスタは各エラー要因の発生による内部リセット（ECM リセット）の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D09Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMIRE031	ECMIRE030	ECMIRE029	—	ECMIRE027	ECMIRE026	ECMIRE025	ECMIRE024	ECMIRE023	ECMIRE022	ECMIRE021	ECMIRE020	ECMIRE019	ECMIRE018	ECMIRE017	ECMIRE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMIRE015	ECMIRE014	ECMIRE013	ECMIRE012	ECMIRE011	ECMIRE010	ECMIRE009	ECMIRE008	ECMIRE007	ECMIRE006	ECMIRE005	ECMIRE004	—	ECMIRE002	ECMIRE001	ECMIRE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ECMIRE000	ECM内部リセット発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b1	ECMIRE001	ECM内部リセット発生制御ビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）の発生によるECMリセット発生の許可／禁止を制御します。(注1) 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b2	ECMIRE002	ECM内部リセット発生制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラー の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMIRE004	ECM内部リセット発生制御ビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b5	ECMIRE005	ECM内部リセット発生制御ビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b6	ECMIRE006	ECM内部リセット発生制御ビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b7	ECMIRE007	ECM内部リセット発生制御ビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMIRE008	ECM内部リセット発生制御ビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b9	ECMIRE009	ECM内部リセット発生制御ビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b10	ECMIRE010	ECM内部リセット発生制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b11	ECMIRE011	ECM内部リセット発生制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b12	ECMIRE012	ECM内部リセット発生制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b13	ECMIRE013	ECM内部リセット発生制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b14	ECMIRE014	ECM内部リセット発生制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b15	ECMIRE015	ECM内部リセット発生制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b16	ECMIRE016	ECM内部リセット発生制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b17	ECMIRE017	ECM内部リセット発生制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b18	ECMIRE018	ECM内部リセット発生制御ビット19	エラー要因19のRSCAN オーバフローエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b19	ECMIRE019	ECM内部リセット発生制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b20	ECMIRE020	ECM内部リセット発生制御ビット21	エラー要因21のCLMA0 発振停止検出（PLL0）の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b21	ECMIRE021	ECM内部リセット発生制御ビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b22	ECMIRE022	ECM内部リセット発生制御ビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b23	ECMIRE023	ECM内部リセット発生制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b24	ECMIRE024	ECM内部リセット発生制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b25	ECMIRE025	ECM内部リセット発生制御ビット26	エラー要因26のUVW過電流異常検出エラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b26	ECMIRE026	ECM内部リセット発生制御ビット27	エラー要因27のUVW合計電流異常検出エラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b27	ECMIRE027	ECM内部リセット発生制御ビット28	エラー要因28のUVW短絡異常検出エラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b29	ECMIRE029	ECM内部リセット発生制御ビット30	エラー要因30のX過電流異常検出エラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b30	ECMIRE030	ECM内部リセット発生制御ビット31	エラー要因31のX短絡異常検出エラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b31	ECMIRE031	ECM内部リセット発生制御ビット32	エラー要因32のDOC演算エラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、リセット後の値から変更しないでください。

42.2.15　ECM 内部リセットコンフィグレーションレジスタ 1（ECMIRCFG1）

ECMIRCFG1 レジスタは各エラー要因の発生による内部リセット（ECM リセット）の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMIRE 108	ECMIRE 107	ECMIRE 106	ECMIRE 105	ECMIRE 104	ECMIRE 103	ECMIRE 102	ECMIRE 101	ECMIRE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMIRE100	ECM内部リセット発生制御ビット33	エラー要因33のバスエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b1	ECMIRE101	ECM内部リセット発生制御ビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b2	ECMIRE102	ECM内部リセット発生制御ビット35	エラー要因35の拡張擬似エラー 35 の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b3	ECMIRE103	ECM内部リセット発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b4	ECMIRE104	ECM内部リセット発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b5	ECMIRE105	ECM内部リセット発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b6	ECMIRE106	ECM内部リセット発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b7	ECMIRE107	ECM内部リセット発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b8	ECMIRE108	ECM内部リセット発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.16　ECM 内部リセットコンフィグレーションレジスタ 2（ECMIRCFG2）

ECMIRCFG2 レジスタは各エラー要因の発生による内部リセット（ECM リセット）の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMIRE229	ECMIRE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMIRE228	ECM内部リセット発生制御ビット93	エラー要因93のECMコンペアエラーの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b29	ECMIRE229	ECM内部リセット発生制御ビット94	エラー要因94のディレイタイマオーバフローの発生によるECMリセット発生の許可／禁止を制御します。 0：ECMリセット発生禁止 1：ECMリセット発生許可	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.17　ECM エラーマスクレジスタ 0（ECMEMK0）

ECMEMK0 レジスタは各エラー要因によるエラー出力信号のマスク設定を制御するレジスタです。マスクされていないエラー出力信号が発生した場合、ERROROUT# 端子の出力がアクティブ（Low）になります。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMEMK031	ECMEMK030	ECMEMK029	ECMEMK028	ECMEMK027	ECMEMK026	ECMEMK025	ECMEMK024	ECMEMK023	ECMEMK022	ECMEMK021	ECMEMK020	ECMEMK019	ECMEMK018	ECMEMK017	ECMEMK016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMEMK015	ECMEMK014	ECMEMK013	ECMEMK012	ECMEMK011	ECMEMK010	ECMEMK009	ECMEMK008	ECMEMK007	ECMEMK006	ECMEMK005	ECMEMK004	—	ECMEMK002	ECMEMK001	ECMEMK000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMEMK000	ECMエラー出力信号マスク制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b1	ECMEMK001	ECMエラー出力信号マスク制御ビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）の発生によるエラー出力信号のマスク制御をします。（注1） 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b2	ECMEMK002	ECMエラー出力信号マスク制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラー の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMEMK004	ECMエラー出力信号マスク制御ビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b5	ECMEMK005	ECMエラー出力信号マスク制御ビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b6	ECMEMK006	ECMエラー出力信号マスク制御ビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b7	ECMEMK007	ECMエラー出力信号マスク制御ビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMEMK008	ECMエラー出力信号マスク制御ビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b9	ECMEMK009	ECMエラー出力信号マスク制御ビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b10	ECMEMK010	ECMエラー出力信号マスク制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b11	ECMEMK011	ECMエラー出力信号マスク制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b12	ECMEMK012	ECMエラー出力信号マスク制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b13	ECMEMK013	ECMエラー出力信号マスク制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b14	ECMEMK014	ECMエラー出力信号マスク制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b15	ECMEMK015	ECMエラー出力信号マスク制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b16	ECMEMK016	ECMエラー出力信号マスク制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b17	ECMEMK017	ECMエラー出力信号マスク制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b18	ECMEMK018	ECMエラー出力信号マスク制御ビット19	エラー要因19のRSCAN オーバフローエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b19	ECMEMK019	ECMエラー出力信号マスク制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b20	ECMEMK020	ECMエラー出力信号マスク制御ビット21	エラー要因21のCLMA0 発振停止検出（PLL0）の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b21	ECMEMK021	ECMエラー出力信号マスク制御ビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W

ビット	シンボル	ビット名	機能	R/W
b22	ECMEMK022	ECMエラー出力信号マスク制御ビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b23	ECMEMK023	ECMエラー出力信号マスク制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b24	ECMEMK024	ECMエラー出力信号マスク制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1オーバライト割り込みの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b25	ECMEMK025	ECMエラー出力信号マスク制御ビット26	エラー要因26のUVW過電流異常検出エラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b26	ECMEMK026	ECMエラー出力信号マスク制御ビット27	エラー要因27のUVW合計電流異常検出エラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b27	ECMEMK027	ECMエラー出力信号マスク制御ビット28	エラー要因28のUVW短絡異常検出エラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b28	ECMEMK028	ECMエラー出力信号マスク制御ビット29	必ず“1”を書き込んでください	R/W
b29	ECMEMK029	ECMエラー出力信号マスク制御ビット30	エラー要因30のX過電流異常検出エラーの発生によるECMエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b30	ECMEMK030	ECMエラー出力信号マスク制御ビット31	エラー要因31のX短絡異常検出エラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b31	ECMEMK031	ECMエラー出力信号マスク制御ビット32	エラー要因32のDOC演算エラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、リセット後の値から変更しないでください。

42.2.18　ECM エラーマスクレジスタ 1（ECMEMK1）

ECMEMK1 レジスタは各エラー要因によるエラー出力信号のマスク設定を制御するレジスタです。マスクされていないエラー出力信号が発生した場合、ERROROUT# 端子の出力がアクティブ（Low）になります。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMEMK108	ECMEMK107	ECMEMK106	ECMEMK105	ECMEMK104	ECMEMK103	ECMEMK102	ECMEMK101	ECMEMK100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMEMK100	ECMエラー出力信号マスク制御ビット33	エラー要因33のバスエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b1	ECMEMK101	ECMエラー出力信号マスク制御ビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b2	ECMEMK102	ECMエラー出力信号マスク制御ビット35	エラー要因35の拡張擬似エラー 35 の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b3	ECMEMK103	ECMエラー出力信号マスク制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b4	ECMEMK104	ECMエラー出力信号マスク制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b5	ECMEMK105	ECMエラー出力信号マスク制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b6	ECMEMK106	ECMエラー出力信号マスク制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b7	ECMEMK107	ECMエラー出力信号マスク制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b8	ECMEMK108	ECMエラー出力信号マスク制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.19　ECM エラーマスクレジスタ 2（ECMEMK2）

ECMEMK2 レジスタは各エラー要因によるエラー出力信号のマスク設定を制御するレジスタです。マスクされていないエラー出力信号が発生した場合、ERROROUT# 端子の出力がアクティブ（Low）になります。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMEMK229	ECMEMK228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。	R
b28	ECMEMK228	ECM内部リセット発生制御ビット93	ECMエラー出力信号マスク制御ビット エラー要因93のECMコンペアエラーの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b29	ECMEMK229	ECM内部リセット発生制御ビット94	ECMエラー出力信号マスク制御ビット エラー要因94のディレイタイマオーバフローの発生によるエラー出力信号のマスク制御をします。 0：エラー信号出力をマスクしない 1：エラー信号出力をマスクする	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.20　ECM エラーソースステータスクリアトリガレジスタ 0（ECMESSTC0）

ECMESSTC0 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに 1 をセットすることで ECMmESSTR0（m = M/C）レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMCLSSE031	ECMCLSSE030	ECMCLSSE029	—	ECMCLSSE027	ECMCLSSE026	ECMCLSSE025	ECMCLSSE024	ECMCLSSE023	ECMCLSSE022	ECMCLSSE021	ECMCLSSE020	ECMCLSSE019	ECMCLSSE018	ECMCLSSE017	ECMCLSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMCLSSE015	ECMCLSSE014	ECMCLSSE013	ECMCLSSE012	ECMCLSSE011	ECMCLSSE010	ECMCLSSE009	ECMCLSSE008	ECMCLSSE007	ECMCLSSE006	ECMCLSSE005	ECMCLSSE004	—	ECMCLSSE002	ECMCLSSE001	ECMCLSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMCLSSE000	ECMエラー状態クリアビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）のエラー状態をクリアし、ECMmESSTR0.ECMmSSE000ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b1	ECMCLSSE001	ECMエラー状態クリアビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）のエラー状態をクリアし、ECMmESSTR0.ECMmSSE001ビットをクリアします。(注1) 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b2	ECMCLSSE002	ECMエラー状態クリアビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE002ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b3	—	予約ビット	書く場合、“0”としてください。	W
b4	ECMCLSSE004	ECMエラー状態クリアビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）のエラー状態をクリアし、ECMmESSTR0.ECMmSSE004ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b5	ECMCLSSE005	ECMエラー状態クリアビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）のエラー状態をクリアし、ECMmESSTR0.ECMmSSE005ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b6	ECMCLSSE006	ECMエラー状態クリアビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE006ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b7	ECMCLSSE007	ECMエラー状態クリアビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE007ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b8	ECMCLSSE008	ECMエラー状態クリアビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE008ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b9	ECMCLSSE009	ECMエラー状態クリアビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE009ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b10	ECMCLSSE010	ECMエラー状態クリアビット11	エラー要因11のATCMのECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE010ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b11	ECMCLSSE011	ECMエラー状態クリアビット12	エラー要因12のATCMのECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE011ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b12	ECMCLSSE012	ECMエラー状態クリアビット13	エラー要因13のBTCMのECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE012ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b13	ECMCLSSE013	ECMエラー状態クリアビット14	エラー要因14のBTCMのECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE013ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b14	ECMCLSSE014	ECMエラー状態クリアビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE014ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b15	ECMCLSSE015	ECMエラー状態クリアビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE015ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b16	ECMCLSSE016	ECMエラー状態クリアビット17	エラー要因17のRSCAN RAMのECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE016ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b17	ECMCLSSE017	ECMエラー状態クリアビット18	エラー要因18のRSCAN RAMのECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE017ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b18	ECMCLSSE018	ECMエラー状態クリアビット19	エラー要因19のRSCAN オーバフローエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE018ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b19	ECMCLSSE019	ECMエラー状態クリアビット20	エラー要因20のメインクロック発振停止検出のエラー状態をクリアし、ECMmESSTR0.ECMmSSE019ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b20	ECMCLSSE020	ECMエラー状態クリアビット21	エラー要因21のCLMA0 発振停止検出（PLL0）のエラー状態をクリアし、ECMmESSTR0.ECMmSSE020ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b21	ECMCLSSE021	ECMエラー状態クリアビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）のエラー状態をクリアし、ECMmESSTR0.ECMmSSE021ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b22	ECMCLSSE022	ECMエラー状態クリアビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）のエラー状態をクリアし、ECMmESSTR0.ECMmSSE022ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b23	ECMCLSSE023	ECMエラー状態クリアビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みのエラー状態をクリアし、ECMmESSTR0.ECMmSSE023ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b24	ECMCLSSE024	ECMエラー状態クリアビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みのエラー状態をクリアし、ECMmESSTR0.ECMmSSE024ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b25	ECMCLSSE025	ECMエラー状態クリアビット26	エラー要因26のUVW過電流異常検出エラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE025ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b26	ECMCLSSE026	ECMエラー状態クリアビット27	エラー要因27のUVW合計電流異常検出エラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE026ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b27	ECMCLSSE027	ECMエラー状態クリアビット28	エラー要因28のUVW短絡異常検出エラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE027ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b28	—	予約ビット	書く場合、“0”としてください。	W
b29	ECMCLSSE029	ECMエラー状態クリアビット30	エラー要因30のX過電流異常検出エラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE029ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b30	ECMCLSSE030	ECMエラー状態クリアビット31	エラー要因31のX短絡異常検出エラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE030ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b31	ECMCLSSE031	ECMエラー状態クリアビット32	エラー要因32のDOC演算エラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE031ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、リセット後の値から変更しないでください。

42.2.21　ECM エラーソースステータスクリアトリガレジスタ 1（ECMESSTC1）

ECMESSTC1 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに 1 をセットすることで ECMmESSTR1（m = M/C）レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMCLSSE108	ECMCLSSE107	ECMCLSSE106	ECMCLSSE105	ECMCLSSE104	ECMCLSSE103	ECMCLSSE102	ECMCLSSE101	ECMCLSSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMCLSSE100	ECMエラー状態クリアビット33	エラー要因33のバスエラーのエラー状態をクリアし、ECMmESSTR1.ECMmSSE100ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b1	ECMCLSSE101	ECMエラー状態クリアビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーのエラー状態をクリアし、ECMmESSTR1.ECMmSSE101ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b2	ECMCLSSE102	ECMエラー状態クリアビット35	エラー要因35の拡張擬似エラー 35 のエラー状態をクリアし、ECMmESSTR1.ECMmSSE102ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b3	ECMCLSSE103	ECMエラー状態クリアビット36	エラー要因36の拡張擬似エラー 36のエラー状態をクリアし、ECMmESSTR1.ECMmSSE103ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b4	ECMCLSSE104	ECMエラー状態クリアビット37	エラー要因37の拡張擬似エラー 37のエラー状態をクリアし、ECMmESSTR1.ECMmSSE104ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b5	ECMCLSSE105	ECMエラー状態クリアビット38	エラー要因38の拡張擬似エラー 38のエラー状態をクリアし、ECMmESSTR1.ECMmSSE105ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b6	ECMCLSSE106	ECMエラー状態クリアビット39	エラー要因39の拡張擬似エラー 39のエラー状態をクリアし、ECMmESSTR1.ECMmSSE106ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b7	ECMCLSSE107	ECMエラー状態クリアビット40	エラー要因40の拡張擬似エラー 40のエラー状態をクリアし、ECMmESSTR1.ECMmSSE107ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b8	ECMCLSSE108	ECMエラー状態クリアビット41	エラー要因41の拡張擬似エラー41のエラー状態をクリアし、ECMmESSTR1.ECMmSSE108ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b31-b9	—	予約ビット	書く場合、“0”としてください。	W

42.2.22　ECM エラーソースステータスクリアトリガレジスタ 2（ECMESSTC2）

ECMESSTC2 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに 1 をセットすることで ECMmESSTR2（m = M/C）レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ECMCLSSE230	ECMCLSSE229	ECMCLSSE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	書く場合、“0”としてください。	W
b28	ECMCLSSE228	ECMエラー状態クリアビット93	エラー要因93のECMコンペアエラーのエラー状態をクリアし、ECMmESSTR2.ECMmSSE228ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b29	ECMCLSSE229	ECMエラー状態クリアビット94	エラー要因94のディレイタイマオーバフローのエラー状態をクリアし、ECMmESSTR2.ECMmSSE229ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b30	ECMCLSSE230	ECMエラー状態クリアビット95	エラー要因95のECMmESETの書き込みによるエラー状態をクリアし、ECMmESSTR2.ECMmSSE230ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b31	—	予約ビット	書く場合、“0”としてください。	W

42.2.23　ECM 保護コマンドレジスタ（ECMPCMD1）

ECMPCMD1 レジスタは保護された共通レジスタへの書き込み制御を行うレジスタです。詳細は「**42.3.4 保護レジスタへの書き込み**」を参照してください。

アドレス　A007 D0C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ECM1REG[7:0]							
リセット後の値	不定															

ビット	シンボル	ビット名	機能	R/W
b7-b0	ECM1REG[7:0]	特定命令シーケンス書き込みビット	共通レジスタへの書き込みを有効にするため特定の命令シーケンスを書き込みます。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

42.2.24　ECM 保護ステータスレジスタ（ECMPS）

ECMPS レジスタは保護されたレジスタに対し、正しく書き込みが行われたかどうかのステータスを示すレジスタです。

詳細は「**42.3.4　保護レジスタへの書き込み**」を参照してください。

アドレス　A007 D0C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMPRERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPRERR	ECM保護ステータスビット	ライト保護レジスタへ正常に書き込まれたかどうかを表示します。 0：書き込み成功 1：書き込み失敗	R
b7-b1	—	予約ビット	読むと“0”が読めます。	R

42.2.25　ECM 擬似エラートリガレジスタ 0 （ECMPE0）

ECMPE0 レジスタは自己診断用の疑似エラーを発行させる制御レジスタです。疑似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMPE031	ECMPE030	ECMPE029	—	ECMPE027	ECMPE026	ECMPE025	ECMPE024	ECMPE023	ECMPE022	ECMPE021	ECMPE020	ECMPE019	ECMPE018	ECMPE017	ECMPE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMPE015	ECMPE014	ECMPE013	ECMPE012	ECMPE011	ECMPE010	ECMPE009	ECMPE008	ECMPE007	ECMPE006	ECMPE005	ECMPE004	—	ECMPE002	ECMPE001	ECMPE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPE000	ECM擬似エラートリガビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b1	ECMPE001	ECM擬似エラートリガビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）を擬似的に発生させます。(注1) 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b2	ECMPE002	ECM擬似エラートリガビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b3	—	予約ビット	書く場合、“0”としてください。	W
b4	ECMPE004	ECM擬似エラートリガビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b5	ECMPE005	ECM擬似エラートリガビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b6	ECMPE006	ECM擬似エラートリガビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b7	ECMPE007	ECM擬似エラートリガビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b8	ECMPE008	ECM擬似エラートリガビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W

ビット	シンボル	ビット名	機能	R/W
b9	ECMPE009	ECM擬似エラートリガビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b10	ECMPE010	ECM擬似エラートリガビット11	エラー要因11のATCMのECC1ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b11	ECMPE011	ECM擬似エラートリガビット12	エラー要因12のATCMのECC2ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b12	ECMPE012	ECM擬似エラートリガビット13	エラー要因13のBTCMのECC1ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b13	ECMPE013	ECM擬似エラートリガビット14	エラー要因14のBTCMのECC2ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b14	ECMPE014	ECM擬似エラートリガビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b15	ECMPE015	ECM擬似エラートリガビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b16	ECMPE016	ECM擬似エラートリガビット17	エラー要因17のRSCAN RAMのECC1ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b17	ECMPE017	ECM擬似エラートリガビット18	エラー要因18のRSCAN RAMのECC2ビットエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b18	ECMPE018	ECM擬似エラートリガビット19	エラー要因19のRSCAN オーバフローエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b19	ECMPE019	ECM擬似エラートリガビット20	エラー要因20のメインクロック発振停止検出を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b20	ECMPE020	ECM擬似エラートリガビット21	エラー要因21のCLMA0 発振停止検出（PLL0）を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b21	ECMPE021	ECM擬似エラートリガビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b22	ECMPE022	ECM擬似エラートリガビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b23	ECMPE023	ECM擬似エラートリガビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W

ビット	シンボル	ビット名	機能	R/W
b24	ECMPE024	ECM擬似エラートリガビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b25	ECMPE025	ECM擬似エラートリガビット26	エラー要因26のUVW過電流異常検出エラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b26	ECMPE026	ECM擬似エラートリガビット27	エラー要因27のUVW合計電流異常検出エラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b27	ECMPE027	ECM擬似エラートリガビット28	エラー要因28のUVW短絡異常検出エラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b28	—	予約ビット	書く場合、“0”としてください。	W
b29	ECMPE029	ECM擬似エラートリガビット30	エラー要因30のX過電流異常検出エラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b30	ECMPE030	ECM擬似エラートリガビット31	エラー要因31のX短絡異常検出エラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b31	ECMPE031	ECM擬似エラートリガビット32	エラー要因32のDOC演算エラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、0以外書き込まないでください。

42.2.26　ECM 擬似エラートリガレジスタ 1（ECMPE1）

ECMPE1 レジスタは自己診断用の疑似エラーを発行させる制御レジスタです。疑似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

ビット 2-8 は拡張擬似エラー用のトリガビットです。詳細については**「42.3.3　疑似エラー発生」**を参照してください。

アドレス　A007 D0CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMPE108	ECMPE107	ECMPE106	ECMPE105	ECMPE104	ECMPE103	ECMPE102	ECMPE101	ECMPE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPE100	ECM擬似エラートリガビット33	エラー要因33のバスエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b1	ECMPE101	ECM擬似エラートリガビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b2	ECMPE102	ECM擬似エラートリガビット35	エラー要因35の拡張擬似エラー35を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b3	ECMPE103	ECM擬似エラートリガビット36	エラー要因36の拡張擬似エラー36を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b4	ECMPE104	ECM擬似エラートリガビット37	エラー要因37の拡張擬似エラー37を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b5	ECMPE105	ECM擬似エラートリガビット38	エラー要因38の拡張擬似エラー38を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b6	ECMPE106	ECM擬似エラートリガビット39	エラー要因39の拡張擬似エラー39を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b7	ECMPE107	ECM擬似エラートリガビット40	エラー要因40の拡張擬似エラー40を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b8	ECMPE108	ECM擬似エラートリガビット41	エラー要因41の拡張擬似エラー41を擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b31-b9	—	予約ビット	書く場合、“0”としてください。	W

42.2.27　ECM 擬似エラートリガレジスタ 2（ECMPE2）

ECMPE2 レジスタは自己診断用の疑似エラーを発行させる制御レジスタです。疑似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMPE229	ECMPE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	書く場合、“0”としてください。	W
b28	ECMPE228	ECM擬似エラートリガビット93	エラー要因93のECMエラーを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b29	ECMPE229	ECM擬似エラートリガビット94	エラー要因94のディレイタイマオーバフローを擬似的に発生させます。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する	W
b31-b30	—	予約ビット	書く場合、“0”としてください。	W

42.2.28　ECM ディレイタイマコントロールレジスタ（ECMDTMCTL）

ECMDTMCTL レジスタはディレイタイマを制御するレジスタです。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「42.3.4　保護レジスタへの書き込み」を参照してください。

アドレス　A007 D0D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTMSTACNTCLK	—	—	DTMSTP	DTMSTA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTMSTA	ディレイタイマスタートビット	ディレイタイマの動作を設定します。 0：ディレイタイマ動作禁止 1：ディレイタイマ動作許可	R/W
b1	DTMSTP	ディレイタイマストップビット	このビットへ1を書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時にDTMSTAビットは0になります。	W
b3-b2	—	予約ビット	読むと“0”が読めます。	R
b4	DTMSTACNTCLK	ディレイタイマステータスビット	ディレイタイマの動作ステータスとして、DTMSTAビットの値が反映されます。DTMSTAビットを一度書き換えた場合、DTMSTACNTCLKビットにDTMSTAビットの設定値が反映されるまでは、DTMSTAビットを書き換えることは禁止です。	R
b7-b5	—	予約ビット	読むと“0”が読めます。	R

42.2.29　ECM ディレイタイマレジスタ（ECMDTMR）

ECMDTMR レジスタはディレイタイマの 16 ビットカウンタレジスタです。16 ビットカウンタは ECMCLK（240kHz）でカウントアップ動作します。ECM ディレイタイマコントロールレジスタの DTMSTA ビットを 1（ディレイタイマ動作許可）から 0（ディレイタイマ動作禁止）にすることで、16 ビットカウンタは初期化されます。本レジスタは、リードのみ可能です。

アドレス　A007 D0D8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMTDMR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

42.2.30　ECM ディレイタイマコンペアレジスタ（ECMDTMCMP）

ECMDTMCMP レジスタはディレイタイマのオーバフロー周期を設定するためのコンペアレジスタです。本レジスタとディレイタイマカウンタの値が一致するとディレイタイマオーバフロー信号が発生し、ECMmSSE229 ビットがセットされます。本レジスタへの書き込みはディレイタイマ停止中に行ってください。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

このレジスタへの書き込みは、CMPW ビットを読み出して 0 がセットされていることを確認した後に行ってください。

アドレス　A007 D0DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMDTMCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ECMDTMCMP[15:0]	ディレイタイマコンペアビット	ディレイタイマのオーバフロー周期を設定します。 （オーバフロー周期）=（N + 1）×（ECMCLKの周期（240kHz）） N：設定値 詳細は「42.3.5　ディレイタイマによる割り込み処理のタイムアウト機能」を参照してください。	R/W
b16	CMPW	コンペアライトビット	ディレイタイマコンペアビットの書き込み状態を示します。本ビットが0のときにコンペア値の書き込みが可能です。 0：ECMDTMCMP[15:0]へ書き込み可能 1：ECMDTMCMP[15:0]へ書き込み禁止	R
b31-b17	—	予約ビット	読むと“0”が読めます。	R

42.2.31　ECM ディレイタイマコンフィグレーションレジスタ 0（ECMDTMCFG0）

ECMDTMCFG0 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMTE031	ECMTE030	ECMTE029	—	ECMTE027	ECMTE026	ECMTE025	ECMTE024	ECMTE023	ECMTE022	ECMTE021	ECMTE020	ECMTE019	ECMTE018	ECMTE017	ECMTE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMTE015	ECMTE014	ECMTE013	ECMTE012	ECMTE011	ECMTE010	ECMTE009	ECMTE008	ECMTE007	ECMTE006	ECMTE005	ECMTE004	—	ECMTE002	ECMTE001	ECMTE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE000	ECMディレイタイマスタート制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b1	ECMTE001	ECMディレイタイマスタート制御ビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。(注1) 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b2	ECMTE002	ECMディレイタイマスタート制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMTE004	ECMディレイタイマスタート制御ビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b5	ECMTE005	ECMディレイタイマスタート制御ビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b6	ECMTE006	ECMディレイタイマスタート制御ビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b7	ECMTE007	ECMディレイタイマスタート制御ビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE008	ECMディレイタイマスタート制御ビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b9	ECMTE009	ECMディレイタイマスタート制御ビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b10	ECMTE010	ECMディレイタイマスタート制御ビット11	エラー要因11のATCMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b11	ECMTE011	ECMディレイタイマスタート制御ビット12	エラー要因12のATCMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b12	ECMTE012	ECMディレイタイマスタート制御ビット13	エラー要因13のBTCMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b13	ECMTE013	ECMディレイタイマスタート制御ビット14	エラー要因14のBTCMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b14	ECMTE014	ECMディレイタイマスタート制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b15	ECMTE015	ECMディレイタイマスタート制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b16	ECMTE016	ECMディレイタイマスタート制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b17	ECMTE017	ECMディレイタイマスタート制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b18	ECMTE018	ECMディレイタイマスタート制御ビット19	エラー要因19のRSCAN オーバフローエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b19	ECMTE019	ECMディレイタイマスタート制御ビット20	エラー要因20のメインクロック発振停止検出によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b20	ECMTE020	ECMディレイタイマスタート制御ビット21	エラー要因21のCLMA0 発振停止検出（PLL0）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b21	ECMTE021	ECMディレイタイマスタート制御ビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b22	ECMTE022	ECMディレイタイマスタート制御ビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b23	ECMTE023	ECMディレイタイマスタート制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b24	ECMTE024	ECMディレイタイマスタート制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b25	ECMTE025	ECMディレイタイマスタート制御ビット26	エラー要因26のUVW過電流異常検出エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b26	ECMTE026	ECMディレイタイマスタート制御ビット27	エラー要因27のUVW合計電流異常検出エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b27	ECMTE027	ECMディレイタイマスタート制御ビット28	エラー要因28のUVW短絡異常検出エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b29	ECMTE029	ECMディレイタイマスタート制御ビット30	エラー要因30のX過電流異常検出エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b30	ECMTE030	ECMディレイタイマスタート制御ビット31	エラー要因31のX短絡異常検出エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31	ECMTE031	ECMディレイタイマスタート制御ビット32	エラー要因32のDOC演算エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、リセット後の値から変更しないでください。

42.2.32　ECM ディレイタイマコンフィグレーションレジスタ 1（ECMDTMCFG1）

ECMDTMCFG1 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMTE108	ECMTE107	ECMTE106	ECMTE105	ECMTE104	ECMTE103	ECMTE102	ECMTE101	ECMTE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE100	ECMディレイタイマスタート制御ビット33	エラー要因33のバスエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b1	ECMTE101	ECMディレイタイマスタート制御ビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b2	ECMTE102	ECMディレイタイマスタート制御ビット35	エラー要因35の拡張擬似エラー35によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b3	ECMTE103	ECMディレイタイマスタート制御ビット36	エラー要因36の拡張擬似エラー36によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b4	ECMTE104	ECMディレイタイマスタート制御ビット37	エラー要因37の拡張擬似エラー37によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b5	ECMTE105	ECMディレイタイマスタート制御ビット38	エラー要因38の拡張擬似エラー38によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b6	ECMTE106	ECMディレイタイマスタート制御ビット39	エラー要因39の拡張擬似エラー39によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b7	ECMTE107	ECMディレイタイマスタート制御ビット40	エラー要因40の拡張擬似エラー40によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b8	ECMTE108	ECMディレイタイマスタート制御ビット41	エラー要因41の拡張擬似エラー41によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.33　ECM ディレイタイマコンフィグレーションレジスタ 2（ECMDTMCFG2）

ECMDTMCFG2 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMTE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMTE228	ECMディレイタイマスタート制御ビット93	エラー要因93のECMコンペアエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.34　ECM ディレイタイマコンフィグレーションレジスタ 3（ECMDTMCFG3）

ECMDTMCFG3 レジスタは ECM ノンマスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンマスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMTE331	ECMTE330	ECMTE329	—	ECMTE327	ECMTE326	ECMTE325	ECMTE324	ECMTE323	ECMTE322	ECMTE321	ECMTE320	ECMTE319	ECMTE318	ECMTE317	ECMTE316
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMTE315	ECMTE314	ECMTE313	ECMTE312	ECMTE311	ECMTE310	ECMTE309	ECMTE308	ECMTE307	ECMTE306	ECMTE305	ECMTE304	—	ECMTE302	ECMTE301	ECMTE300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE300	ECMディレイタイマスタート制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー（Cortex-R4）によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b1	ECMTE301	ECMディレイタイマスタート制御ビット2	エラー要因2のWDTアンダフロー／リフレッシュエラー（Cortex-M3）によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。(注1) 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b2	ECMTE302	ECMディレイタイマスタート制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMTE304	ECMディレイタイマスタート制御ビット5	エラー要因5の命令キャッシュ（Tag RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b5	ECMTE305	ECMディレイタイマスタート制御ビット6	エラー要因6の命令キャッシュ（Data RAM）のECC1ビットエラー（訂正あり）、ECC2ビットエラー（訂正なし）によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b6	ECMTE306	ECMディレイタイマスタート制御ビット7	エラー要因7のデータキャッシュ（Tag/Dirty RAM）のECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b7	ECMTE307	ECMディレイタイマスタート制御ビット8	エラー要因8のデータキャッシュ（Tag/Dirty RAM）のECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE308	ECMディレイタイマスタート制御ビット9	エラー要因9のデータキャッシュ（Data RAM）のECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b9	ECMTE309	ECMディレイタイマスタート制御ビット10	エラー要因10のデータキャッシュ（Data RAM）のECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b10	ECMTE310	ECMディレイタイマスタート制御ビット11	エラー要因11のATCMのECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b11	ECMTE311	ECMディレイタイマスタート制御ビット12	エラー要因12のATCMのECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b12	ECMTE312	ECMディレイタイマスタート制御ビット13	エラー要因13のBTCMのECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b13	ECMTE313	ECMディレイタイマスタート制御ビット14	エラー要因14のBTCMのECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b14	ECMTE314	ECMディレイタイマスタート制御ビット15	エラー要因15のIRAM/DRAMのECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b15	ECMTE315	ECMディレイタイマスタート制御ビット16	エラー要因16のIRAM/DRAMのECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b16	ECMTE316	ECMディレイタイマスタート制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b17	ECMTE317	ECMディレイタイマスタート制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b18	ECMTE318	ECMディレイタイマスタート制御ビット19	エラー要因19のRSCAN オーバフローエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b19	ECMTE319	ECMディレイタイマスタート制御ビット20	エラー要因20のメインクロック発振停止検出によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b20	ECMTE320	ECMディレイタイマスタート制御ビット21	エラー要因21のCLMA0 発振停止検出（PLL0）によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b21	ECMTE321	ECMディレイタイマスタート制御ビット22	エラー要因22のCLMA1 発振停止検出 （PLL1）によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b22	ECMTE322	ECMディレイタイマスタート制御ビット23	エラー要因23のCLMA2 発振停止検出 （LOCO）によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b23	ECMTE323	ECMディレイタイマスタート制御ビット24	エラー要因24の12ビットA/Dコンバータ ユニット0 オーバライト割り込みによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b24	ECMTE324	ECMディレイタイマスタート制御ビット25	エラー要因25の12ビットA/Dコンバータ ユニット1 オーバライト割り込みによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b25	ECMTE325	ECMディレイタイマスタート制御ビット26	エラー要因26のUVW過電流異常検出エラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b26	ECMTE326	ECMディレイタイマスタート制御ビット27	エラー要因27のUVW合計電流異常検出エラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b27	ECMTE327	ECMディレイタイマスタート制御ビット28	エラー要因28のUVW短絡異常検出エラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b29	ECMTE329	ECMディレイタイマスタート制御ビット30	エラー要因30のX過電流異常検出エラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b30	ECMTE330	ECMディレイタイマスタート制御ビット31	エラー要因31のX短絡異常検出エラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31	ECMTE331	ECMディレイタイマスタート制御ビット32	エラー要因32のDOC演算エラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W

注1.　R-IN Engine搭載製品のみサポートします。
R-IN Engine搭載製品以外の場合では、リセット後の値から変更しないでください。

42.2.35　ECM ディレイタイマコンフィグレーションレジスタ 4（ECMDTMCFG4）

ECMDTMCFG4 レジスタは ECM ノンマスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンマスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMTE408	ECMTE407	ECMTE406	ECMTE405	ECMTE404	ECMTE403	ECMTE402	ECMTE401	ECMTE400
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE400	ECMディレイタイマスタート制御ビット33	エラー要因33のバスエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b1	ECMTE401	ECMディレイタイマスタート制御ビット34	エラー要因34の外部WAIT端子によるタイムアウト検出エラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b2	ECMTE402	ECMディレイタイマスタート制御ビット35	エラー要因35の拡張擬似エラー 35によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b3	ECMTE403	ECMディレイタイマスタート制御ビット36	エラー要因36の拡張擬似エラー 36によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b4	ECMTE404	ECMディレイタイマスタート制御ビット37	エラー要因37の拡張擬似エラー 37によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b5	ECMTE405	ECMディレイタイマスタート制御ビット38	エラー要因38の拡張擬似エラー 38によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b6	ECMTE406	ECMディレイタイマスタート制御ビット39	エラー要因39の拡張擬似エラー 39によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b7	ECMTE407	ECMディレイタイマスタート制御ビット40	エラー要因40の拡張擬似エラー 40によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE408	ECMディレイタイマスタート制御ビット41	エラー要因41の拡張擬似エラー41によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.36　ECM ディレイタイマコンフィグレーションレジスタ 5（ECMDTMCFG5）

ECMDTMCFG5 レジスタは ECM ノンマスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンマスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

アドレス　A007 D0F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMTE528	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMTE528	ECMディレイタイマスタート制御ビット93	エラー要因93のECMコンペアエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.2.37　ECM エラー出力クリア無効コンフィグレーションレジスタ（ECMEOCCFG）

ECMEOCCFG レジスタはエラー出力信号のクリア無効設定を制御するレジスタです。

エラー出力クリア無効カウンタの値がこのレジスタの設定値を超えるまで、ECMmECLR レジスタによるエラー出力信号のクリアを無効にすることが可能です（m = M/C）。

このレジスタの設定はすべてのエラー要因が発生していないときのみ設定が可能です。

このレジスタは、RES# 端子リセットでのみリセットされます。その他のリセット要因でリセットされません。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は**「42.3.4　保護レジスタへの書き込み」**を参照してください。

このレジスタへの書き込みは、CMPW ビットを読み出して 1 がセットされていることを確認した後に行ってください。

アドレス　A007 D0F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECMEOUTCLRT[15:0]															
リセット後の値	000h															

ビット	シンボル	ビット名	機能	R/W
b15-b0	ECMEOUTCLRT[15:0]	エラー出力信号クリア無効期間設定ビット	エラー出力信号のクリア無効期間を設定します。 （クリア無効期間）=（N + 1）×（ECMCLKの周期（240kHz）） N：設定値 詳細は「42.3.6　エラー出力クリアの無効設定機能」を参照してください。	R/W
b16	CMPW	コンペアライトビット	リセット解除後のECMエラー出力クリア制御回路の動作安定待ちを示します。読み出し値が0であることを確認した後に、このレジスタへ書き込みをしてください。 0: 動作安定状態 1: 動作安定待ち状態	R
b31-b17	—	予約ビット	読むと“0”が読めます。	R

42.2.38　ECM マスク制御レジスタ（ECMMCNT）

ECMMCNT レジスタはエラー要因 93 の ECM コンペアエラーのマスク制御を行うレジスタです。

アドレス　A00B 0A80h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSKM	MSKC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSKC	チェッカ用ECMコンペアエラーマスクビット	ECMチェッカ側のエラー要因93　ECMコンペアエラー要因をマスクします。 0：ECMコンペアエラーはマスクしない 1：ECMコンペアエラーをマスク	R/W
b1	MSKM	マスタ用ECMコンペアエラーマスクビット	ECMマスタ側のエラー要因93　ECMコンペアエラー要因をマスクします。 0：ECMコンペアエラーはマスクしない 1：ECMコンペアエラーをマスク	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

42.3　動作説明

42.3.1　エラー出力動作

各エラー要因が発生した場合の ERROROUT# 端子出力モードとして、ノンダイナミックモードとダイナミックモードがあります。

ノンダイナミックモードの場合、エラーなし状態では ERROROUT# 端子出力を High にします。

ダイナミックモードの場合、エラーなし状態では ERROROUT# 端子からコンペアマッチタイマ W（CMTW）によるトグル波形を出力できます。エラー状態を検出すると、ノンダイナミックモード、ダイナミックモードのいずれの場合も ERROROUT# 端子出力を Low にします。

動作モード	エラー状態	ERROROUT#端子出力レベル
ノンダイナミックモード（ECMEPCFG.ECMSL0 ビット = 0）	エラーなし （注1）	High
	エラー発生	Low
ダイナミックモード（ECMEPCFG.ECMSL0 ビット = 1）	エラーなし （注1）	トグル（CMTW 入力）
	エラー発生	Low

注1.　リセット解除後、ERROROUT#端子はLow（エラー状態）です。
42.2.2 注.に記載の手順でエラー状態をクリアしてから使用してください。

42.3.1.1　ダイナミックモードを有効にする

1. トグル出力の入力信号用にコンペアマッチタイマ W（CMTW）を初期化します。このとき ECDMESLR レジスタでトグル出力に用いるアウトプットコンペア信号を選択します。
   CMTW の設定については「25.　コンペアマッチタイマ W（CMTW）」を参照してください。
2. ECM マスタ／チェッカエラークリアトリガレジスタの ECMmECT（m = M/C）ビットを 1 に設定して ERROROUT# 端子出力を High（エラーなし）にします。
3. ECM エラーパルスコンフィグレーションレジスタ ECMPCFG の ECMSL0 ビットを 1 にしてダイナミックモードに設定します。
4. CMTW を動作させます。

42.3.1.2　ダイナミックモードを無効にする

1. ECM マスタ／チェッカエラーセットトリガレジスタの ECMmEST（m = M/C）ビットを 1 に設定して ERROROUT# 端子出力を Low にします。
2. CMTW を動作停止にします。
3. ECM エラーパルスコンフィグレーションレジスタ ECMPCFG の ECMSL0 ビットを 0 にしてノンダイナミックモードに設定します。

42.3.2　ループバック機能

エラー出力信号の ECM モジュールから ERROROUT# 端子までの経路が正しく動作しているかを確認するためにループバック機能を搭載しています。ECM マスタ／チェッカエラーソースステータスレジスタ 1 の ECMmSSE231（m = M/C）ビットを読むことで、ERROROUT# 端子の出力レベルを確認することができます。

42.3.3　疑似エラー発生

自己診断用に各エラー要因を疑似的に発生することが可能です。ECM 擬似エラートリガレジスタ（ECMPEn）の対応するビットを 1 にセットすることで、対応する擬似エラーが発生し、ECM は実際にエラーが発生したときと同じ動作をします。擬似エラー発生時もエラー要因のマスク、ECM 割り込み、ECM リセット、ディレイタイマに対する設定はすべて反映されます。

またエラー要因 No.35 ～ 41 は拡張擬似エラーとして、以下に示す機能安全向けエラー検出に使用するこ

とが可能です。ソフトウェアによるエラーを判定したときに、ECMPEn レジスタの対応するビットをセットすることで擬似エラー発生による ECM 割り込み、ECM リセット、ディレイタイマの動作などを使用することが可能です。

表42.3　　機能安全向けエラーのエラー要因割り当ての例

エラー要因番号	拡張擬似エラー 35～41に割り当てる機能例
35	Cortex-R4 保護領域アクセス違反で使用
36	Cortex-M3 保護領域アクセス違反で使用（R-IN Engine搭載製品のみ）
37	PWM周期／Dutyエラーで使用
38	ADCユニット0　レンジオーバエラーで使用
39	ADCユニット1　レンジオーバエラーで使用
40	ADCユニット0　端子レベル　自己診断エラーで使用
41	ADCユニット1　端子レベル　自己診断エラーで使用

42.3.4　保護レジスタへの書き込み

書き込み保護レジスタは誤ったプログラム動作などによる不正なライトアクセスから保護されています。

42.3.4.1　保護シーケンス解除

書き込み保護レジスタへのデータの書き込みは、下記シーケンスによってのみ可能です。

1. 固定値 0000 00A5h を ECM 保護コマンドレジスタ（ECMPCMD1）、または ECM マスタ／チェッカ保護コマンドレジスタ（ECMmPCMD0）へ書き込みます（m＝M/C）。書き込み対象レジスタが共通レジスタの場合は、ECM 保護コマンドレジスタ（ECMPCMD1）に固定値を、書き込み対象レジスタが共通レジスタではない場合は、ECM マスタ／チェッカ保護コマン ドレジスタ（ECMmPCMD0）に固定値を書き込みます。対象レジスタが共通レジスタかどうかについては、**「42.2　レジスタの説明」**の各レジスタの説明を参照してください。
2. 次のシーケンスで ECM 共通、ECM マスタ／チェッカの保護レジスタに書き込みます。
   - 目的の設定値を書き込みます。
   - 目的の設定値の反転値を書き込みます。
   - 再度、目的の設定値を書き込みます。
3. ECM 保護ステータスレジスタ（ECMPS）の ECMPRERR ビットの値が 0 であることを確認し、保護レジスタに目的の設定値が正しく書き込まれたことを確認します。

上記シーケンスの手順 1 から手順 3 までに別レジスタへのアクセスがあった場合、保護機能は次のように動作します。

- 別レジスタが ECM に含まれる場合は、保護レジスタへの書き込みは失敗します（ECMPS.ECMPRERR ビットが 1 になる）。手順 1 からシーケンスを再実行してください。
- 別レジスタが ECM に含まれない場合は、シーケンスが中断せず、保護レジスタへの書き込みが正常に行われます。

保護解除シーケンス中に割り込みがあった場合、保護機能は次のように動作します。

- 保護シーケンス中の割り込み
  保護シーケンス中に割り込みが受け付けられて、その割り込み処理内で ECM レジスタへアクセスしない場合、保護シーケンスは中断されません。割り込み処理から復帰後に保護レジスタへの書き込みが正常に行われます。

保護解除シーケンス中にブレークが発生した場合、保護機能は次のように動作します。

- 保護シーケンス中のブレーク
  保護シーケンス中にブレーク状態になり、ECM レジスタへアクセスをしない場合、保護シーケンスは中断されません。ブレークから復帰後に保護レジスタへの書き込みが正常に行われます。
  保護シーケンス中にブレーク状態になり、ECM レジスタへのアクセスがある場合、保護シーケンスは中断されます。このためブレークから復帰後に保護レジスタへの書き込みが行われないため、保護シーケンス中はブレークを発生させないように注意してください。

42.3.5　ディレイタイマによる割り込み処理のタイムアウト機能

各エラー要因発生による ECM マスカブル割り込み、ECM ノンマスカブル割り込み要求発生と同時に、ディレイタイマをスタートさせ、割り込み処理時間のタイムアウト管理をすることが可能です。割り込み処理中にディレイタイマを停止（ECMDTMCTL.DTMSTP ビットを 1 にセット）できず、ディレイタイマカウント値とディレイタイマコンペアレジスタの値が一致した場合にディレイタイマオーバフロー（エラー要因 94）を発生させ、ERROROUT# 端子からエラー信号の出力、または ECM リセットを発生することが可能です。ディレイタイマオーバフロー発生（エラー要因 94）時のエラー信号出力、ECM リセットの設定はそれぞれ ECMEMK2 レジスタ、ECMIRCFG2 レジスタで設定してください。

ディレイタイマのカウントは常に 0 から ECMCLK（240kHz）クロックでカウント・アップを開始します。ディレイタイマのオーバフロー周期は、ECMDTMCMP レジスタで設定してください。

（オーバフロー周期）＝（ECMDTMCMP. ECMDTMCMP[15:0] の設定 ＋ 1）× ECMCLK 周期（240kHz）

注 .　ブレーク発生時もディレイタイマはカウント動作を継続します。

42.3.6　エラー出力クリアの無効設定機能

ECM はエラー発生時に、ERROROUT# 端子から出力されるエラー出力信号の ECMmECLR レジスタによるクリアを設定した期間だけ無効とする機能を持ちます（m = M/C）。エラー出力のクリア無効期間は、ECMEOCCFG レジスタで設定します。

各エラー要因が発生するとエラー出力クリア無効カウンタが ECMCLK クロック（240kHz）でカウントアップを開始します。カウンタが ECMEOCCFG.ECMEOUTCLRT[15:0] で設定した値と一致するまでは ECMmECLR レジスタによるエラー出力のクリア処理が無効となります。カウンタが設定値を超えるとエラー出力のクリアを行うことが可能になります。

（エラー出力クリア無効期間）＝（ECMEOUTCLRT[15:0] + 1）× ECMCLK 周期（240kHz）

エラー出力クリア無効カウンタがカウント動作中に、別のエラー要因が発生した場合には、カウンタがクリアされて再度カウントアップを再開します。一度目と同じエラー要因が再度発生した場合は、カウンタはクリアされずカウントアップを継続します。

注 .　ブレーク発生時もエラー出力無効カウンタはカウント動作を継続します。

42.4　使用上の注意事項

42.4.1　ECMCLK に関する注意事項

ディレイタイマのカウント動作、およびエラー出力クリア無効設定のカウント動作は低速オンチップオシレータで生成される ECMCKL により動作します。

リセット解除後、低速オンチップオシレータが動作停止状態のままディレイタイマを動作開始してもカウント動作が行われず、またエラー出力をクリアすることができません。

ディレイタイマ機能や、エラー出力を有効にするためには、事前に低速オンチップオシレータを動作許可として、LOCO 発振安定時間が経過した後に使用してください。

低速オンチップオシレータの制御については、「7.2.6　低速オンチップオシレータコントロールレジスタ（LOCOCR）」を参照してください。

43.　12 ビット A/D コンバータ（S12ADCa）

43.1　概要

本 LSI は、逐次比較方式の 12 ビットの A/D コンバータを 2 ユニット内蔵しています。ユニット 0 は、最大 8 チャネルのアナログ入力、温度センサ出力を選択できます。ユニット 1 は、最大 16 チャネルのアナログ入力、拡張アナログ入力を選択できます。

12 ビット A/D コンバータは、選択した最大 8 チャネル（ユニット 0）のアナログ入力、温度センサ出力／最大 16 チャネル（ユニット 1）のアナログ入力を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードは、任意に選択した最大 8 チャネル（ユニット 0）／最大 16 チャネル（ユニット 1）のアナログ入力をチャネル番号の小さい順に 1 回のみ変換するシングルスキャンモードと、任意に選択した最大 8 チャネル（ユニット 0）／最大 16 チャネル（ユニット 1）のアナログ入力を順次チャネル番号の小さい順に連続して変換する連続スキャンモード、最大 8 チャネル（ユニット 0）／最大 16 チャネル（ユニット 1）のアナログ入力を任意に選択し、2 つのグループ（グループ A とグループ B）に分けて、グループ単位で選択したチャネルのアナログ入力をチャネル番号の小さい順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループ A とグループ B のスキャン開始条件（同期トリガ）を個別に選択することで、グループ A とグループ B は異なるタイミングで A/D 変換を開始することができます。グループ A を優先制御動作に設定すると、前述の動作に加えてグループ B の A/D 変換中にグループ A のスキャン開始を受け付け、グループ B の A/D 変換を中断して、グループ A の A/D 変換を優先的に開始します。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納（A/D 変換データの 2 重化）するモードです。

温度センサ出力は、チャネルのアナログ入力と同時に選択可能です。A/D 変換順はチャネルのアナログ入力、温度センサ出力の順です。

拡張アナログ入力は単独で A/D 変換を行います。

安全機能として、自己診断、端子レベル自己診断、断線検出、データレジスタのオーバライトチェック、データレジスタの自動クリアがあります。

表 43.1 に 12 ビット A/D コンバータの仕様を、**表 43.2** に 12 ビット A/D コンバータの機能概要を示します。**図 43.1** に 12 ビット A/D コンバータのブロック図（ユニット 0）を、**図 43.2** に 12 ビット A/D コンバータのブロック図（ユニット 1）を示します。

表43.1　　12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	2ユニット
入力チャネル	ユニット0：8チャネル ユニット1：16チャネル+拡張1本（注1）
拡張アナログ機能	温度センサ出力、拡張入力
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	ユニット0：1チャネル当たり0.483 µs（A/D変換クロック　ADCLK = 60MHz動作時） ユニット1：1チャネル当たり0.833 µs（注1）（A/D変換クロック　ADCLK = 60MHz動作時）
A/D変換クロック	周辺モジュールクロックPCLKHとA/D変換クロックADCLK（PCLKFまたはPCLKG）（注2）を以下の分周比で設定可能 PCLKH：ADCLK分周比 = 1：1、1：2、1：4、1：8 ADCLKの設定はクロック発生回路で行います
データレジスタ	• アナログ入力用24本（ユニット0：8本、ユニット1：16本）、ダブルトリガモードでのA/D変換データ2重化用1本／各ユニット、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本／各ユニット • 温度センサ用1本（ユニット0のみ） • 自己診断用1本（各ユニット） • A/D変換結果を12ビットA/Dデータレジスタに保持 • A/D変換結果の8、10、12ビット精度出力対応 • 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビットでA/Dデータレジスタに保持 • ダブルトリガモード（シングルスキャンとグループスキャンモードで選択可能） 選択した1つのチャネルのアナログ入力のA/D変換データを1回目は対象チャネルのデータレジスタに保持、 2回目のA/D変換データは2重化レジスタに保持 • ダブルトリガモード拡張動作（特定トリガ種別で有効） 選択した1つのチャネルのアナログ入力のA/D変換データをトリガ種別毎に準備した2重化レジスタに保持
動作モード（注3）	• シングルスキャンモード： 任意に選択した最大8チャネル（ユニット0）／16チャネル（ユニット1）のアナログ入力、温度センサ出力（ユニット0のみ）を1回のみA/D変換 拡張アナログ入力を1回のみA/D変換（ユニット1のみ） • 連続スキャンモード： 任意に選択した最大8チャネル（ユニット0）／16チャネル（ユニット1）のアナログ入力、温度センサ出力（ユニット0のみ）を繰り返しA/D変換 拡張アナログ入力を繰り返しA/D変換（ユニット1のみ） • グループスキャンモード： 任意に選択した最大8チャネル（ユニット0）／16チャネル（ユニット1）のアナログ入力、温度センサ出力（ユニット0のみ）をグループAとグループBに分け、選択したアナログ入力をグループ単位で1回のみA/D変換 グループAとグループBは、各々の変換開始条件（同期トリガ）を選択することで異なるタイミングでA/D変換を開始可能 • グループスキャンモード（グループA優先制御選択時） グループBのA/D変換中にグループAのトリガ入力があった場合、グループBのA/D変換を中断し、グループAのA/D変換を実施 PCLKH：ADCLK分周比＝1：1の場合のみ、グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行（再スキャン）の設定が可能
A/D変換開始条件	• ソフトウェアトリガ • 同期トリガ マルチファンクションタイマパルスユニット（MTU3a）、汎用PWMタイマ（GPTa）、イベントリンクコントローラ（ELC）、16ビットタイマパルスユニット（TPUa）からのトリガ • 非同期トリガ 外部トリガADTRG0端子（ユニット0）／ADTRG1端子（ユニット1）によるA/D変換の開始が可能

表43.1　　12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
機能	• サンプル＆ホールド機能 • チャネル専用サンプル＆ホールド機能（4ch：ユニット0のみ） • サンプリングステート数可変機能（チャネルごとに設定可能） • 12ビットA/Dコンバータの自己診断機能 • A/D変換値加算モードと平均モードを選択可能 • アナログ入力断線検出機能（プリチャージ機能／ディスチャージ機能） • ダブルトリガモード（A/D変換データ2重化機能） • 12/10/8ビット変換切り替え機能（注4） • A/Dデータレジスタオートクリア機能 • 拡張アナログ入力機能（注3） • コンペア機能（コンペアレジスタとデータレジスタとの比較） • 端子レベル自己診断機能 • A/Dデータレジスタのオーバライトチェック機能
割り込み要因	• ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求（S12ADI）を発生 • ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求（S12ADI）を発生 • グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求（S12ADI）を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求（S12GBADI）を発生 • グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求（S12ADI）を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求（S12GBADI）を発生 • コンペア機能の比較条件成立で、コンペア割り込み（S12CMPI）を発生 • データレジスタのオーバライトチェックによるエラーでADエラー割り込み要求（S12ADE）を発生 • S12ADIまたはS12GBADI割り込みでDMAコントローラ（DMAC）を起動可能
イベントリンク（ELC）機能	• グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生 • ELCからのトリガによりスキャン開始可能
消費電力低減機能	• モジュールストップ状態の設定が可能（注5）

注1.　176ピン版は、1ユニット(ユニット0のみ搭載)
注2.　周辺モジュールクロックPCLKHは、60MHz固定です。A/D変換クロックADCLKはSCKCR.PCKF[1:0]ビット（ユニット0）、SCKCR.PCKG[1:0]ビット（ユニット1）で設定した周変数になります。
注3.　拡張アナログ入力を選択した場合は、グループスキャンモードを使用しないでください。
注4.　A/D変換精度を変えた場合、A/D変換時間も変わります。詳細は「43.3.7　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。
注5.　詳細は、「9.　消費電力低減機能」を参照してください。

表43.2　　12ビットA/Dコンバータの機能概要 (1 / 2)

項目			ユニット0 （S12ADC0）	ユニット1 （S12ADC1）
アナログ入力チャネル			AN000～AN007 温度センサ出力	AN100～AN115 拡張入力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	可能
	外部トリガ	トリガ入力端子	ADTRG0	ADTRG1
	同期トリガ（MTU3aからのトリガ）	MTU0.TGRAのコンペアマッチ／インプットキャプチャ	TRGA0N	TRGA0N
		MTU1.TGRAのコンペアマッチ／インプットキャプチャ	TRGA1N	TRGA1N
		MTU2.TGRAのコンペアマッチ／インプットキャプチャ	TRGA2N	TRGA2N
		MTU3.TGRAのコンペアマッチ／インプットキャプチャ	TRGA3N	TRGA3N
		MTU4.TGRAのコンペアマッチ／インプットキャプチャまたは相補PWMモード時MTU4.TCNTのアンダフロー（谷）	TRGA4N	TRGA4N
		MTU6.TGRAのコンペアマッチ／インプットキャプチャ	TRGA6N	TRGA6N
		MTU7.TGRAのコンペアマッチ／インプットキャプチャまたは相補PWMモード時MTU7.TCNTのアンダフロー（谷）	TRGA7N	TRGA7N
		MTU0.TGREのコンペアマッチ	TRG0N	TRG0N
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN	TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN	TRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4AN またはTRG4BN	TRG4AN またはTRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	TRG4ABN	TRG4ABN
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	TRG7AN	TRG7AN
		MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7BN	TRG7BN
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7AN またはTRG7BN	TRG7AN またはTRG7BN
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	TRG7ABN	TRG7ABN
	同期トリガ（GPTaからのトリガ）	GPT0.GTADTRAのコンペアマッチ	GTADTRA0N	GTADTRA0N
		GPT0.GTADTRBのコンペアマッチ	GTADTRB0N	GTADTRB0N
		GPT1.GTADTRAのコンペアマッチ	GTADTRA1N	GTADTRA1N
		GPT1.GTADTRBのコンペアマッチ	GTADTRB1N	GTADTRB1N
		GPT2.GTADTRAのコンペアマッチ	GTADTRA2N	GTADTRA2N
		GPT2.GTADTRBのコンペアマッチ	GTADTRB2N	GTADTRB2N
		GPT3.GTADTRAのコンペアマッチ	GTADTRA3N	GTADTRA3N
		GPT3.GTADTRBのコンペアマッチ	GTADTRB3N	GTADTRB3N
		GPT0.GTADTRAのコンペアマッチ またはGPT0.GTADTRBのコンペアマッチ	GTADTRA0N またはGTADTRB0N	GTADTRA0N またはGTADTRB0N
		GPT1.GTADTRAのコンペアマッチ またはGPT1.GTADTRBのコンペアマッチ	GTADTRA1N またはGTADTRB1N	GTADTRA1N またはGTADTRB1N
		GPT2.GTADTRAのコンペアマッチ またはGPT2.GTADTRBのコンペアマッチ	GTADTRA2N またはGTADTRB2N	GTADTRA2N またはGTADTRB2N
		GPT3.GTADTRAのコンペアマッチ またはGPT3.GTADTRBのコンペアマッチ	GTADTRA3N またはGTADTRB3N	GTADTRA3N またはGTADTRB3N

表43.2　　12ビットA/Dコンバータの機能概要 (2 / 2)

項目			ユニット0 （S12ADC0）	ユニット1 （S12ADC1）
A/D変換開始条件	同期トリガ（TPUaからのトリガ）（注1）	TPU0.TGRAのインプットキャプチャ／コンペアマッチ またはTPU1.TGRAのインプットキャプチャ／コンペアマッチ またはTPU2.TGRAのインプットキャプチャ／コンペアマッチ またはTPU3.TGRAのインプットキャプチャ／コンペアマッチ またはTPU4.TGRAのインプットキャプチャ／コンペアマッチ	TPTRGAN_0	TPTRGAN_0
		TPU0.TGRAのインプットキャプチャ／コンペアマッチ	TPTRG0AN_0	TPTRG0AN_0
		TPU6.TGRAのインプットキャプチャ／コンペアマッチ またはTPU7.TGRAのインプットキャプチャ／コンペアマッチ またはTPU8.TGRAのインプットキャプチャ／コンペアマッチ またはTPU9.TGRAのインプットキャプチャ／コンペアマッチ またはTPU10.TGRAのインプットキャプチャ／コンペアマッチ	TPTRGAN_1	TPTRGAN_1
		TPU6.TGRAのインプットキャプチャ／コンペアマッチ	TPTRG6AN_1	TPTRG6AN_1
	同期トリガ（ELCからのトリガ）	ELCトリガ	ELCTRG0	ELCTRG1
チャネル専用独立サンプル&ホールド機能	対象チャネル		AN000～AN003	—
割り込み	CPUへの割り込み要求		S12ADI0 S12GBADI0 S12CMPI0 S12ADE0	S12ADI1 S12GBADI1 S12CMPI1 S12ADE1
	DMACへの起動要求		S12ADI0 S12GBADI0	S12ADI1 S12GBADI1
	ELCへのイベント出力		S12ADI0	S12ADI1
モジュールストップ機能の設定（注2）（注3）			MSTPCRC.MSTPCRC5ビット	MSTPCRC.MSTPCRC4ビット

注1.　同期トリガに付加している“_0”と“_1”は、ユニット番号を示します。また、同期トリガを出力されるための設定については、対応するモジュールの「A/Dコンバータの起動」項を参照してください。
注2.　詳細は「9.　消費電力低減機能」を参照してください。
注3.　モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

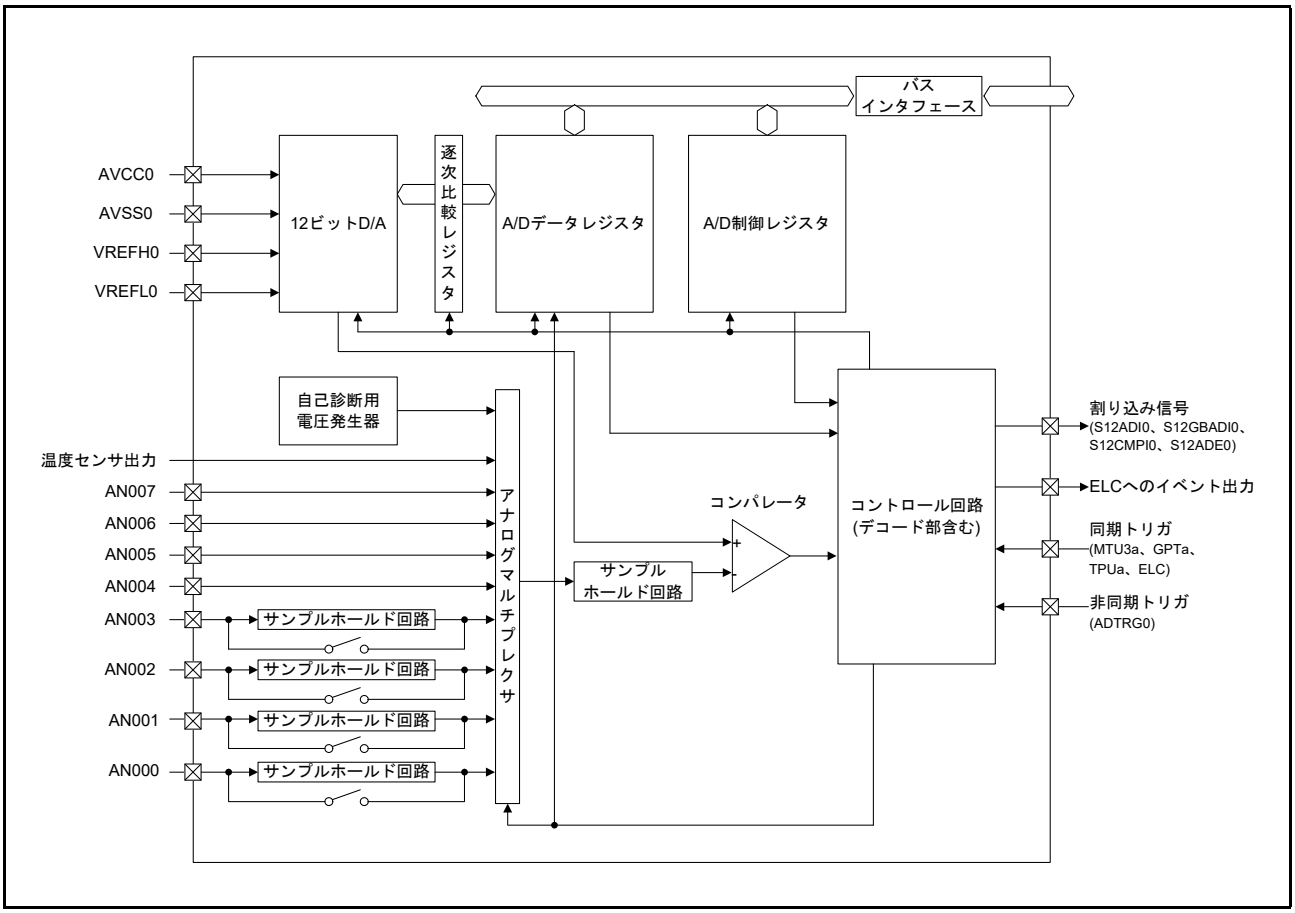


図 43.1　　12 ビット A/D コンバータのブロック図（ユニット 0）

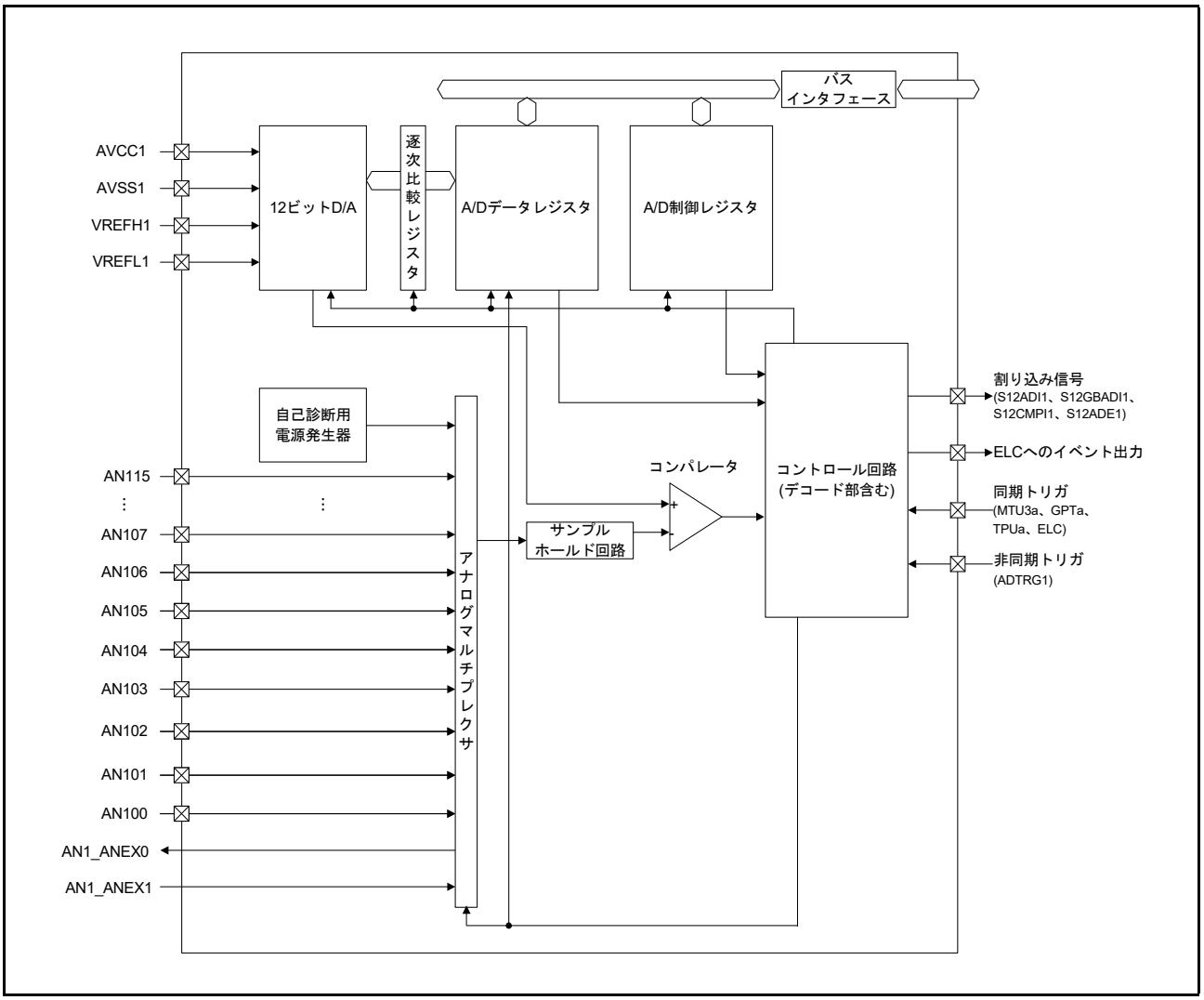


図 43.2　　12 ビット A/D コンバータのブロック図（ユニット 1）

表 43.3 に 12 ビット A/D コンバータで使用する入力端子を示します。

表43.3　　12ビットA/Dコンバータの入力端子

ユニット	端子名	入出力	機能
ユニット0	AVCC0	入力	アナログ部の電源端子
	AVSS0	入力	アナログ部のグランド端子
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グランド端子
	AN000～AN007	入力	アナログ入力端子0～7
	ADTRG0	入力	A/D変換開始のための外部トリガ入力端子
ユニット1	AVCC1	入力	アナログ部の電源端子
	AVSS1	入力	アナログ部のグランド端子
	VREFH1	入力	アナログ部の電源端子
	VREFL1	入力	アナログ部のグランド端子
	AN100～AN115	入力	アナログ入力端子8～23
	AN1_ANEX0	出力	拡張アナログ出力端子
	AN1_ANEX1	入力	拡張アナログ入力端子
	ADTRG1	入力	A/D変換開始のための外部トリガ入力端子

43.2　レジスタの説明

43.2.1　A/D データレジスタ y（ADDRy）、A/D データ 2 重化レジスタ（ADDBLDR）、A/D データ 2 重化レジスタ A（ADDBLDRA）、A/D データ 2 重化レジスタ B（ADDBLDRB）、A/D 温度センサデータレジスタ（ADTSDR）

ADDRy レジスタ（y＝0 ～ 7：ユニット 0、y＝0 ～ 15：ユニット 1）は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。また、ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、以下の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット（ADCER.ADRFT）の設定値（右詰め、または左詰め）
- A/D 変換精度選択ビット（ADCER.ADPRC[1:0]）の設定値（12 ビット、10 ビット、または 8 ビット）
- 加算回数選択ビット（ADADC.ADC[1:0]）の設定値（1 回、2 回、3 回、4 回加算）
- 平均モードイネーブルビット（ADADC.AVEE）の設定値（加算、または平均）

以下、条件ごとのフォーマットを示します。

(1)　A/D 変換値加算／平均モードを非選択とした場合

- 右詰めのフォーマット、12 ビット精度に設定した場合

アドレス：S12ADC0.ADDBLDR A008 C018h、S12ADC0.ADTSDR A008 C01Ah、S12ADC0.ADDR0 A008 C020h、S12ADC0.ADDR1 A008 C022h、S12ADC0.ADDR2 A008 C024h、S12ADC0.ADDR3 A008 C026h、S12ADC0.ADDR4 A008 C028h、S12ADC0.ADDR5 A008 C02Ah、S12ADC0.ADDR6 A008 C02Ch、S12ADC0.ADDR7 A008 C02Eh、S12ADC0.ADDBLDRA A008 C084h、S12ADC0.ADDBLDRB A008 C086h
S12ADC1.ADDBLDR A008 C418h、S12ADC1.ADDR0 A008 C420h、S12ADC1.ADDR1 A008 C422h、S12ADC1.ADDR2 A008 C424h、S12ADC1.ADDR3 A008 C426h、S12ADC1.ADDR4 A008 C428h、S12ADC1.ADDR5 A008 C42Ah、S12ADC1.ADDR6 A008 C42Ch、S12ADC1.ADDR7 A008 C42Eh、S12ADC1.ADDR8 A008 C430h、S12ADC1.ADDR9 A008 C432h、S12ADC1.ADDR10 A008 C434h、S12ADC1.ADDR11 A008 C436h、S12ADC1.ADDR12 A008 C438h、S12ADC1.ADDR13 A008 C43Ah、S12ADC1.ADDR14 A008 C43Ch、S12ADC1.ADDR15 A008 C43Eh、S12ADC1.ADDBLDRA A008 C484h、S12ADC1.ADDBLDRB A008 C486h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11～0	12 ビット A/D 変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。	R

- 右詰めのフォーマット、10 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AD[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値9～0	10ビットA/D変換値	R
b15-b10	—	予約ビット	読むと“0”が読めます。	R

- 右詰めのフォーマット、8 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7～0	8ビットA/D変換値	R
b15-b8	—	予約ビット	読むと“0”が読めます。	R

- 左詰めのフォーマット、12 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[11:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

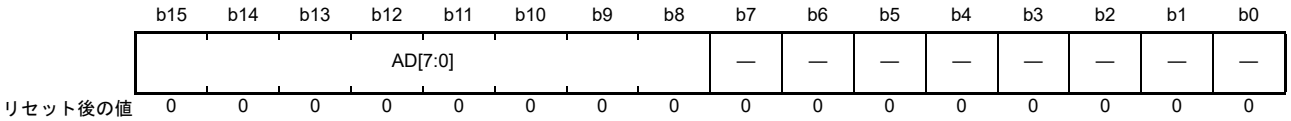
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b4	AD[11:0]	変換値11～0	12ビットA/D変換値	R

- 左詰めのフォーマット、10 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[9:0]										—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b6	AD[9:0]	変換値9～0	10ビットA/D変換値	R

- 左詰めのフォーマット、8 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b8	AD[7:0]	変換値7～0	8ビットA/D変換値	R

(2)　A/D 変換値平均モードを選択した場合

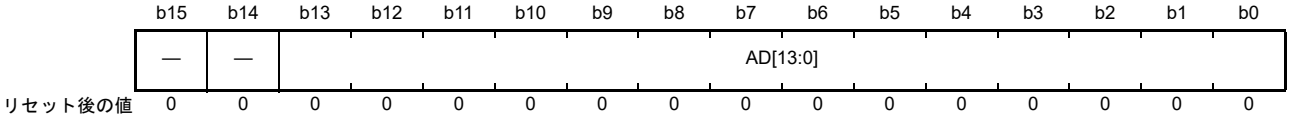
A/D 変換値平均モードを選択した場合、AD[11:0] ビットは同一チャネルの A/D 変換値を平均した値を示します。A/D 変換値平均モードを選択した場合でも、通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定にしたがい、A/D データレジスタに値が格納されます。

(3)　A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択した場合、AD[13:0] ビットは、同一チャネルの A/D 変換値を加算した値を示します。A/D 変換値加算モードを選択すると、A/D 変換結果の加算値を、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい、A/D データレジスタに値が格納されます。

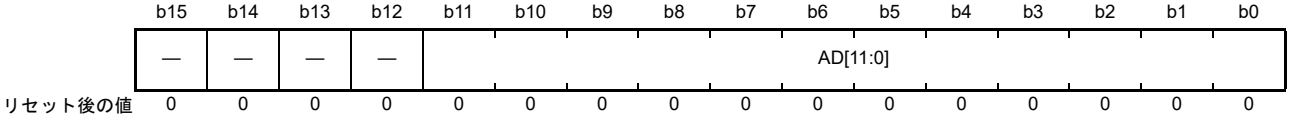
以下、条件ごとのフォーマットを示します。

- 右詰めフォーマット、12 ビット精度に設定した場合（A/D 変換値加算モード選択時）



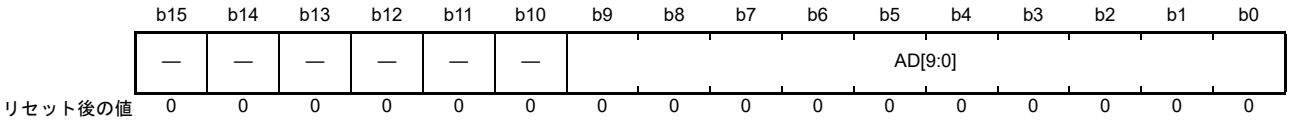
ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	加算結果13～0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと“0”が読めます。	R

- 右詰めフォーマット、10 ビット精度に設定した場合（A/D 変換値加算モード選択時）



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	加算結果11～0	12ビットA/D変換値加算結果	R
b15-b12	—	予約ビット	読むと“0”が読めます。	R

- 右詰めフォーマット、8 ビット精度に設定した場合（A/D 変換値加算モード選択時）



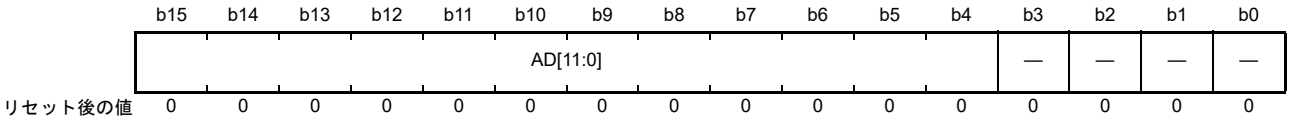
ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	加算結果9～0	10ビットA/D変換値加算結果	R
b15-b10	—	予約ビット	読むと“0”が読めます。	R

- 左詰めフォーマット、12 ビット精度に設定した場合（A/D 変換値加算モード選択時）



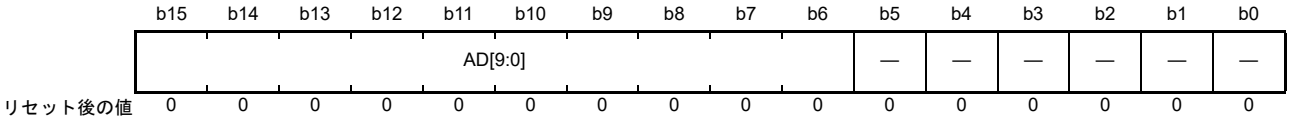
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b2	AD[13:0]	加算結果13～0	14ビットA/D変換値加算結果	R

- 左詰めフォーマット、10 ビット精度に設定した場合（A/D 変換値加算モード選択時）



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b4	AD[11:0]	加算結果11～0	12ビットA/D変換値加算結果	R

- 左詰めフォーマット、8 ビット精度に設定した場合（A/D 変換値加算モード選択時）



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。	R
b15-b6	AD[9:0]	加算結果9～0	10ビットA/D変換値加算結果	R

43.2.2　A/D 自己診断データレジスタ（ADRD）

ADRD レジスタは、12 ビット A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD ビットに加えて、自己診断のステータスビット（DIAGST）が付加されます。ADRD レジスタは以下の条件でフォーマットが異なります。

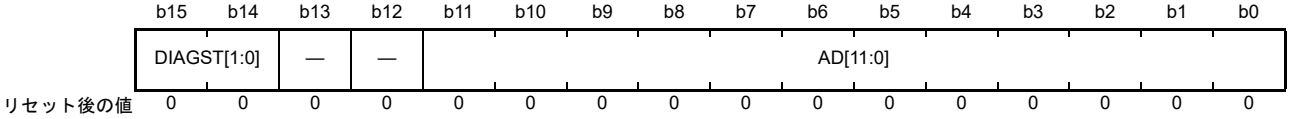
- A/D データレジスタフォーマット選択ビット（ADCER.ADRFT）の設定値（右詰め、または左詰め）
- A/D 変換精度選択ビット（ADCER.ADPRC[1:0]）の設定値（12 ビット、10 ビット、または 8 ビット）

AD 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については「43.2.8　A/D コントロール拡張レジスタ（ADCER）」を参照してください。

以下に、条件ごとのフォーマットを示します。

- **右詰めのフォーマット、12 ビット精度に設定した場合**

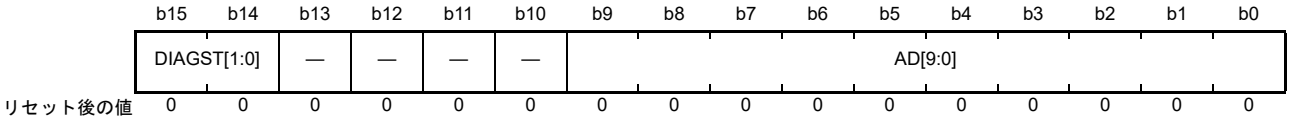
アドレス　S12ADC0.ADRD A008 C01Eh、S12ADC1.ADRD A008 C41Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値11～0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと“0”が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0：電源投入後、一度も自己診断を実施していないことを示す 0 1：0Vの電圧値の自己診断を実施したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実施したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実施したことを示す 自己診断の詳細については「43.2.8　A/Dコントロール拡張レジスタ（ADCER）」を参照してください。	R

注1.　基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

- **右詰めのフォーマット、10 ビット精度に設定した場合**



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値9～0	10ビットA/D変換値	R
b13-b10	—	予約ビット	読むと“0”が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0：電源投入後、一度も自己診断を実施していないことを示す 0 1：0Vの電圧値の自己診断を実施したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実施したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実施したことを示す 自己診断の詳細については「43.2.8　A/Dコントロール拡張レジスタ（ADCER）」を参照してください。	R

注1.　基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

- 右詰めのフォーマット、8 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DIAGST[1:0]		—	—	—	—	—	—	AD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7～0	8ビットA/D変換値	R
b13-b8	—	予約ビット	読むと“0”が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0：電源投入後、一度も自己診断を実施していないことを示す 0 1：0Vの電圧値の自己診断を実施したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実施したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実施したことを示す 自己診断の詳細については「43.2.8　A/Dコントロール拡張レジスタ（ADCER）」を参照してください。	R

注1.　基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

- 左詰めのフォーマット、12 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[11:0]												—	—	DIAGST[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0：電源投入後、一度も自己診断を実施していないことを示す 0 1：0Vの電圧値の自己診断を実施したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実施したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実施したことを示す 自己診断の詳細については「43.2.8　A/Dコントロール拡張レジスタ（ADCER）」を参照してください。	R
b3-b2	—	予約ビット	読むと“0”が読めます。	R
b15-b4	AD[11:0]	変換値11～0	12ビットA/D変換値	R

注1.　基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

- 左詰めのフォーマット、10 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[9:0]										—	—	—	—	DIAGST[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0：電源投入後、一度も自己診断を実施していないことを示す 0 1：0Vの電圧値の自己診断を実施したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実施したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実施したことを示す 自己診断の詳細については「43.2.8　A/Dコントロール拡張レジスタ（ADCER）」を参照してください。	R
b5-b2	—	予約ビット	読むと“0”が読めます。	R
b15-b6	AD[9:0]	変換値9～0	10ビットA/D変換値	R

注1.　基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

- 左詰めのフォーマット、8 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[7:0]								—	—	—	—	—	—	DIAGST[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0：電源投入後、一度も自己診断を実施していないことを示す 0 1：0Vの電圧値の自己診断を実施したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実施したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実施したことを示す 自己診断の詳細については「43.2.8　A/Dコントロール拡張レジスタ（ADCER）」を参照してください。	R
b7-b2	—	予約ビット	読むと“0”が読めます。	R
b15-b8	AD[7:0]	変換値7～0	8ビットA/D変換値	R

注1.　基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

43.2.3　A/D コントロールレジスタ（ADCSR）

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可／禁止、スキャンモードの選択、A/D 変換の開始／停止を行うレジスタです。

アドレス　S12ADC0.ADCSR A008 C000h、S12ADC1.ADCSR A008 C400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]		ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャネル選択ビット	ダブルトリガ対象のアナログ入力を1チャネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0：グループBのスキャン終了後にS12GBADI割り込み発生を禁止 1：グループBのスキャン終了後にS12GBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0：ダブルトリガモード非選択 1：ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット（注1）	0：同期トリガ（MTU3a、GPTa、TPUa、ELC）によるA/D変換の開始を選択 1：非同期トリガ（ADTRG0（ユニット0）、ADTRG1（ユニット1））によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0：同期、非同期トリガによるA/D変換の開始を禁止 1：同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0：スキャン終了後、S12ADI割り込み発生の禁止 1：スキャン終了後、S12ADI割り込み発生の許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0：シングルスキャンモード 0 1：グループスキャンモード 1 0：連続スキャンモード 1 1：設定禁止	R/W
b15	ADST	A/D変換スタートビット	0：A/D変換停止 1：A/D変換開始	R/W

注1.　外部端子（非同期トリガ）でA/D変換を起動する方法
外部端子（ADTRG0（ユニット0）、ADTRG1（ユニット1））にLowレベルを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0（ユニット0）、ADTRG1（ユニット1）の信号をHighレベルに変化させると、ADTRG0（ユニット0）、ADTRG1（ユニット1）の立ち上がりエッジを検出し、スキャン変換を開始します。このときのHigh入力のパルス幅は、1.5PCLKクロック以上必要です。

DBLANS[4:0] ビット（ダブルトリガ対象チャネル選択ビット）

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。

DBLANS[4:0] ビットで選択したチャネルのアナログ入力について、ダブルトリガモードの 1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。**表 43.4** にダブルトリガ対象チャネルの選択表を示します。

ダブルトリガモードを選択した場合、ADANSA レジスタで選択したチャネルの選択は無効になり、DBLANS[4:0] ビットで選択した 1 チャネルが A/D 変換を行うチャネルとなります。

ダブルトリガモードを使用する場合、温度センサ出力、拡張アナログ入力の A/D 変換は選択しないでください。また、DBLANS[4:0] ビットは、ADST ビットが “0” のときに設定してください（ADST ビットへの “1” 書き込みとの同時設定もしないでください）。

なお、ダブルトリガモードを設定した状態でA/D変換値加算／平均モードを使用するには、DBLANS[4:0]で選択したチャネルをADANSAレジスタで選択してください。

表43.4　　DBLANSビットの設定値とダブルトリガ対象チャネルの関係

ユニット0		ユニット1			
DBLANS[4:0]	2重化チャネル	DBLANS[4:0]	2重化チャネル	DBLANS[4:0]	2重化チャネル
00000	AN000	00000	AN100	01000	AN108
00001	AN001	00001	AN101	01001	AN109
00010	AN002	00010	AN102	01010	AN110
00011	AN003	00011	AN103	01011	AN111
00100	AN004	00100	AN104	01100	AN112
00101	AN005	00101	AN105	01101	AN113
00110	AN006	00110	AN106	01110	AN114
00111	AN007	00111	AN107	01111	AN115

注.　上記以外は設定しないでください。

GBADIE ビット（グループB スキャン終了割り込みイネーブルビット）

グループスキャンモードでのグループBのスキャン終了割り込み（S12GBADI）発生の許可／禁止を設定します。

DBLE ビット（ダブルトリガモード選択ビット）

ダブルトリガモードは、1回目の同期トリガで変換された結果と2回目に変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSレジスタで指定したチャネルは無効になり、DBLANS[4:0]ビットで選択したチャネルが有効になります。また、ダブルトリガモードは、ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ（MTU3a、GPTa、TPUa、ELC）のみで動作し、非同期トリガ、およびソフトウェアトリガでは動作しません。1回目の同期トリガで変換した結果は、A/Dデータレジスタyに格納され、2回目の同期トリガで変換した結果は、A/Dデータ2重化レジスタに格納されます。このとき、ADIEビットを“1”に設定していると、1回目のスキャン終了時は割り込みを出力せず、2回目のスキャン終了時に割り込みを出力します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、温度センサ出力の変換でも使用しないでください。

DBLEビットの設定は、あらかじめADSTビットを“0”にしてから行ってください。

EXTRG ビット（トリガ選択ビット）

A/D変換を起動するトリガを同期トリガか非同期トリガから選択します。

TRGE ビット（トリガ起動許可ビット）

同期トリガ、非同期トリガによるA/D変換開始の許可／禁止を設定します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット（スキャン終了割り込み許可ビット）

グループスキャンモード（グループ B を除く）での、A/D スキャン変換終了割り込み（S12ADI）発生の許可／禁止を設定します。

ダブルトリガモードを非選択に設定した場合、1 回のスキャンが終了したときに、ADIE ビットが “1” に設定されていれば、S12ADI 割り込みが発生します。

拡張アナログ入力を選択した場合も A/D 変換が終了したときに、ADIE ビットが “1” に設定されていれば S12ADI 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ（MTU3a、GPTa、TPUa、ELC）によるトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが “1” に設定されていれば S12ADI 割り込みが発生します。

ADCS[1:0] ビット（スキャンモード選択ビット）

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA レジスタで選択した最大 8 チャネル（ユニット 0）／16 チャネル（ユニット 1）のアナログ入力をチャネル番号の小さい順に A/D 変換し、選択されたすべてのチャネルの変換が終了するとスキャン変換を停止します。(注 1)

連続スキャンモードは、ADCSR.ADST ビットが “1” の間、ADANSA レジスタで選択した最大 8 チャネル（ユニット 0）／16 チャネル（ユニット 1）のアナログ入力をチャネル番号の小さい順に A/D 変換し、選択されたすべてのチャネルの変換が終了すると最初のチャネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを “0” にすると、スキャン中に A/D 変換を停止します。(注 1)

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ（MTU3a、GPTa、TPUa、ELC）を開始条件として、ADANSA レジスタで選択した最大 8 チャネル（ユニット 0）／16 チャネル（ユニット 1）のアナログ入力（グループ A）をチャネル番号の小さい順に A/D 変換し、選択したすべてのチャネルの A/D 変換が終了すると停止します。同様に ADSTRGR.TRSB[5:0] ビットで選択した同期トリガ（MTU3a、GPTa、TPUa、ELC）を A/D 変換開始条件として、ADANSB レジスタで選択した最大 8 チャネル（ユニット 0）／16 チャネル（ユニット 1）のアナログ入力（グループ B）をチャネル番号の小さい順に A/D 変換し、選択したすべてのチャネルの A/D 変換が終了すると停止します。このとき、グループ A 側とグループ B 側の変換が重なると、ADC は別々に変換を制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット（ADGSPCR.PGS）を “1” に設定し、変換優先順位を A 側に設定してください。(注 1)

グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャネルと異なるトリガを選択してください。

拡張アナログ入力を選択する場合は、シングルスキャンモードまたは連続スキャンモードを選択してください。

ADCS[1:0] ビットは、ADST ビットが “0” のときに設定してください（ADST ビットへの “1” 書き込みとの同時設定もしないでください）。

注 1.　温度センサ出力を選択した場合、チャネルのアナログ入力の A/D 変換、温度センサ出力の順に A/D 変換されます。

表 43.5 にスキャンモード、ダブルトリガモードと A/D 変換対象の選択可否を示します。

表43.5　　スキャンモード、ダブルトリガモードとA/D変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D変換対象				
		自己診断	アナログ入力（グループA含む）	アナログ入力（グループB）	温度センサ出力	拡張アナログ入力
シングルスキャン	DBLE = 0	○	○	×	○	○
	DBLE = 1	○	○（1ch のみ）	×	×	×
連続スキャン	DBLE = 0	○	○	×	○	○
	DBLE = 1	×	×	×	×	×
グループスキャン	DBLE = 0	○	○	○	○	×
	DBLE = 1	×	○（1ch のみ）	○	×	×

注.　○：選択可、×：選択不可
注.　拡張アナログ入力を選択する場合は、他のA/D変換対象を非選択にしてください。

ADST ビット（A/D 変換スタートビット）

A/D 変換の開始／停止を制御します。

ADST ビットを “1” に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1” になる条件]

以下のいずれかの条件成立時

- ソフトウェアで “1” を書き込んだとき
- ADCSR.EXTRG ビットに “0”、ADCSR.TRGE ビットに “1” を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ（MTU3a、GPTa、TPUa、ELC）を検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガ（MTU3a、GPTa、TPUa、ELC）を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを “1”、ADSTRGR.TRSA[5:0] ビットを “000000b” に設定し、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、ADGSPCR.GBRSCN ビットを “1” に設定し、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、ADGSPCR.GBRP ビットを “1” に設定し、グループ B の A/D 変換を開始したとき

[“0” になる条件]

以下のいずれかの条件成立時

- ソフトウェアで “0” を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力の A/D 変換が終了したとき
- シングルスキャンモードで、拡張アナログ入力の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）、グループ B の A/D 変換実行中にグループ A のトリガを検出し、グループ B のスキャンが中断されたとき

- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝01bかつADGSPCR.PGSビット＝1）に、ADGSPCR.GBRPビットを“1”に設定し、グループBの再起動トリガによるスキャンが終了したとき
- グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝01bかつADGSPCR.PGSビット＝1）に、ADGSPCR.GBRSCNビットを“1”に設定し、グループBのトリガによるスキャンが終了したとき

注．　グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝01bかつADGSPCR.PGSビット＝1）、ADSTビットを“1”にしないでください。

注．　グループA優先制御動作モード有効時（ADCSR.ADCS[1:0]ビット＝01bかつADGSPCR.PGSビット＝1）、かつADGSPCR.GBRPビット＝1のとき、ADSTビットを“0”にしないでください。A/D変換を強制停止させる場合、ADSTビットのクリア手順にしたがってください。

43.2.4　A/Dチャネル選択レジスタA（ADANSA）

ADANSAレジスタは、A/D変換を行うチャネルのアナログ入力AN000～AN007（ユニット0）、AN100～AN115（ユニット1）を選択するレジスタです。グループスキャンモードでは、グループAのチャネルを選択します。

アドレス　S12ADC0.ADANSA A008 C004h、S12ADC1.ADANSA A008 C404h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSA[15:0]	A/D変換チャネル選択ビット	0：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）を変換対象から外す 1：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）を変換対象とする	R/W

ANSA[15:0]ビット（A/D変換チャネル選択ビット）

A/D変換を行うチャネルのアナログ入力AN000～AN007（ユニット0）、AN100～AN115（ユニット1）の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ユニット0はANSA[0]ビットがAN000、ANSA[7]ビットがAN007に、ユニット1はANSA[0]ビットがAN100、ANSA[15]ビットがAN115に対応しています。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0]ビットで選択した1チャネルがグループAの選択チャネルとなり、ANSA[15:0]ビットの設定は無効になります。

また、グループスキャンモード選択時は、A/Dチャネル選択レジスタB（ADANSB）で指定したチャネルを設定しないでください。

ANSA[15:0]ビットは、ADCSR.ADSTビットが“0”のときに設定してください。

43.2.5　A/D チャネル選択レジスタ B（ADANSB）

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007（ユニット 0）、AN100 ～ AN115（ユニット 1）を選択するレジスタです。ADANSB レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

アドレス　S12ADC0.ADANSB A008 C014h、S12ADC1.ADANSB A008 C414h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ANSB[15:0]	A/D変換チャネル選択ビット	0：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）を変換対象から外す 1：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）を変換対象とする	R/W

ANSB[15:0] ビット（A/D 変換チャネル選択ビット）

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007（ユニット 0）、AN100 ～ AN115（ユニット 1）の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル（ADANSA、またはダブルトリガモードによる ADCSR.DBLANS[4:0] で選択したグループ A に該当するチャネル）以外から設定します。

ユニット 0 は ANSB[0] ビットが AN000、ANSB[7] ビットが AN007 に、ユニット 1 は ANSB[0] ビットが AN100、ANSB[15] ビットが AN115 に対応します。

ANSB[15:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

43.2.6　A/D 変換値加算／平均モード選択レジスタ（ADADS）

ADADS レジスタは、A/D 変換を連続 2 ～ 4 回実施して加算（積算）、または平均する A/D 変換チャネル AN000 ～ AN007、AN100 ～ AN115 を選択するレジスタです。

アドレス　S12ADC0.ADADS A008 C008h、S12ADC1.ADADS A008 C408h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ADS[15:0]	A/D変換値加算／平均チャネル選択ビット	0：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）のA/D変換値加算／平均モード非選択 1：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）のA/D変換値加算／平均モード選択	R/W

ADS[15:0] ビット（A/D 変換値加算／平均チャネル選択ビット）

ADANSA.ANSA[n] ビット（n = 0 ～ 7 ／ユニット 0、n = 0 ～ 15 ／ユニット 1）、または ADCSR.DBLANS[4:0] ビットと ADANSB.ANSB[n] ビット（n = 0 ～ 7 ／ユニット 0、n = 0 ～ 15 ／ユニット 1）で選択した A/D 変換チャネルと同一番号の ADS[n] ビットを “1” にすると、ADADC.ADC[1:0] ビットで設定した回数（2 ～ 4 回）分、選択したチャネルのアナログ入力を連続して A/D 変換します。
ADADC.AVEE ビットが “0” の場合は加算（積算）した値を、ADADC.AVEE ビットが “1” の場合は加算（積算）値から平均した値を A/D データレジスタに格納します。加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換し、A/D データレジスタに値を格納します。

ADS[15:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

図 43.3 にビット ADS[2] と ADS[6] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード（ADCSR.ADCS = 10b）で、加算モードを選択（ADADC.AVEE = 0）、加算回数は 3 回（4 回変換）に設定（ADADC.ADC[1:0] = 11b）、AN000 ～ AN007 が選択（ADANSA.ANSA[15:0] = 00FFh）されているものとします。AN000 から変換を開始します。AN002 は 4 回連続変換され、加算（積算）値を A/D データレジスタ 2 に格納します。その後、AN003 の変換を開始します。AN006 は 4 回連続変換され、加算（積算）値を A/D データレジスタ 6 に格納します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

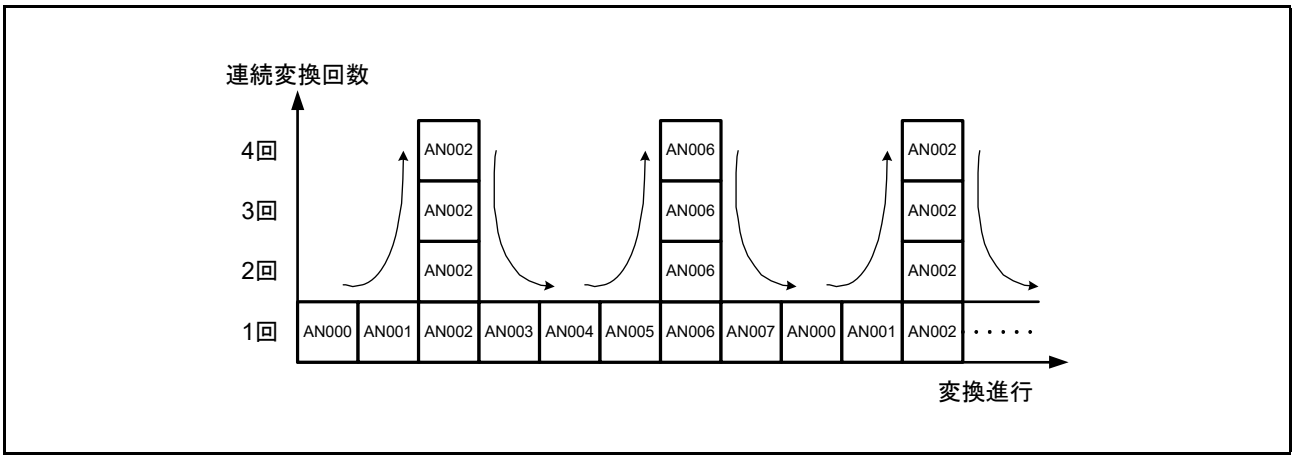


図 43.3　ADADC.ADC[1:0] = 11b、ADADC.AVEE = 0、ADS[2] = 1、ADS[6] = 1 選択時のスキャン変換シーケンス

43.2.7　A/D 変換値加算／平均回数選択レジスタ（ADADC）

ADADC レジスタは、A/D 変換値加算／平均モードが選択されたチャネル、温度センサ出力の A/D 変換に対して加算／平均回数の設定と、加算モード／平均モードの選択を行うレジスタです。

アドレス　S12ADC0.ADADC A008 C00Ch、S12ADC1.ADADC A008 C40Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	—	ADC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0：1回変換（加算なし。通常変換と同じ） 0 1：2回変換（1回加算を行う） 1 0：3回変換（2回加算を行う）（注1） 1 1：4回変換（3回加算を行う）	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0：加算モードを選択 1：平均モードを選択	R/W

注1.　平均モードを選択した場合（ADADC.AVEE ビット = “1”）、3回変換（ADADC.ADC[1:0] = “10b”）に設定しないでください。

ADC[1:0] ビット（加算回数選択ビット）

ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたチャネル、温度センサ出力の A/D 変換に対して共通の加算回数を設定します。

ADADC.AVEE ビットを “1” にして平均モードを選択する場合、3 回変換（ADADC.ADC[1:0] = “10b”）に設定しないでください。

ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。また、自己診断機能（ADCER.DIAGM = 1）を実施する場合、ADC[1:0] を “00b” 以外の値に設定しないでください。

AVEE ビット（平均モードイネーブルビット）

ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたチャネル、温度センサ出力の A/D 変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEE ビットを “1” にして平均モードを選択する場合、3 回変換（ADADC.ADC[1:0] = “10b”）に設定しないでください。

AVEE ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

43.2.8　A/D コントロール拡張レジスタ（ADCER）

ADCER レジスタは、自己診断モード、A/D データレジスタ y（ADDRy）のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

アドレス　S12ADC0.ADCER A008 C00Eh、S12ADC1.ADCER A008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	—	ACE	—	—	ADPRC[1:0]		—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2-b1	ADPRC[1:0]	A/D変換精度指定ビット	b2 b1 0 0：12ビット精度でA/D変換を実施 0 1：10ビット精度でA/D変換を実施 1 0：8ビット精度でA/D変換を実施 1 1：設定しないでください	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b5	ACE	A/Dデータレジスタ自動クリアイネーブルビット	0：自動クリアを禁止 1：自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0：自己診断有効時は設定禁止 0 1：0Vの電圧を使って自己診断を行う 1 0：基準電源（注1）× 1/2の電圧を使って自己診断を行う 1 1：基準電源（注1）の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0：自己診断電圧ローテーションモード 1：自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0：12ビットA/Dコンバータの自己診断を実施しない 1：12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0：A/Dデータレジスタのフォーマットを右詰めにする 1：A/Dデータレジスタのフォーマットを左詰めにする	R/W

注1.　基準電源とはユニット0の場合VREFH0を、ユニット1の場合VREFH1を指します。

ADPRC[1:0] ビット（A/D 変換精度指定ビット）

A/D 変換を、8 ビット精度、10 ビット精度、12 ビット精度から選択します。A/D 変換精度を変更した場合、結果レジスタに格納する有効データのビット幅、A/D 変換時間も変わります。詳細は**「43.3.7　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。

ACE ビット（A/D データレジスタ自動クリアイネーブルビット）

CPU、DMACA によって A/D データレジスタ（ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR）を読み出す際に、自動的に各 A/D データレジスタをクリア（All“0”）する自動クリアの禁止／許可を選択します。A/D データレジスタの自動クリアを行うことで各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット（自己診断変換電圧選択ビット）

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが “00b” の状態で ADCER.DIAGLD ビットを “1” に設定して、自己診断を実施しないでください。

DIAGLD ビット（自己診断モード選択ビット）

自己診断で変換する 3 つの電圧値をローテーションするか、固定するかを選択します。ADCER.DIAGLD ビットを “0” に設定した場合、0V →基準電源 × 1/2 →基準電源の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は、0V から自己診断を行います。自己診断電圧固定モードを選択した場合は、ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADST が “0” のときに行ってください。

DIAGM ビット（自己診断イネーブルビット）

自己診断の実施を選択します。

自己診断は、12 ビット A/D コンバータの故障を検出するための機能です。内部で生成する 0V、基準電源 × 1/2、基準電源から選択した電圧値を変換します。変換が終了すると自己診断データレジスタ（ADRD）に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常範囲にある（正常）かない（異常）かを判断します。自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。自己診断の実行時間は、1 チャネルの A/D 変換時間と異なります。ダブルトリガモードと自己診断を選択した場合は、同期トリガ（MTU3a、GPTa、TPUa、ELC）による 1 回目のスキャン変換で自己診断を実行し、2 回目のスキャンでは自己診断を実行しません。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADST ビットが “0” のときに行ってください。

拡張アナログ入力使用時は、自己診断を実行することはできません。

ADRFMT ビット（A/D データレジスタフォーマット選択ビット）

ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADRD、ADCMPDRy レジスタに格納するデータの右詰め／左詰めを選択します。

各データレジスタのフォーマットの詳細は、「43.2.1　A/D データレジスタ y（ADDRy）、A/D データ 2 重化レジスタ（ADDBLDR）、A/D データ 2 重化レジスタ A（ADDBLDRA）、A/D データ 2 重化レジスタ B（ADDBLDRB）、A/D 温度センサデータレジスタ（ADTSDR）」、「43.2.2　A/D 自己診断データレジスタ（ADRD）」、「43.2.21　A/D コンペアデータレジスタ y（ADCMPDRy）（y = 0、1）」を参照してください。

43.2.9　A/D 開始トリガ選択レジスタ（ADSTRGR）

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

アドレス　S12ADC0.ADSTRGR A008 C010h、S12ADC1.ADSTRGR A008 C410h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TRSA[5:0]						—	—	TRSB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでのグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TRSB[5:0] ビット（グループ B 専用 A/D 変換開始トリガ選択ビット）

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガに、ソフトウェアトリガと非同期トリガの設定は禁止です。このため、グループスキャンモードでは、TRSB[5:0] ビットに “000000b” 以外を設定し、ADCSR.TRGE ビットを “1” に設定してください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを “1” にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを “1” に設定する場合は、TRSB[5:0] ビットを “3Fh” に設定してください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間（tSCAN）以上を設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効になる場合があります。

A/D 変換開始トリガは同期化処理が必要なため、同期化処理の分だけ遅延が発生します。詳細は**「43.3.7 アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。

表 43.6 に TRSB[5:0] ビット（グループ B 専用）での A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット（A/D 変換開始トリガ選択ビット）

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガを選択します。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンする場合、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ（MTU3a、GPTa、TPUa、ELC）の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “0” に設定してください。
- 非同期トリガ（ADTRGn）を使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “1” に設定してください。
- ソフトウェアトリガ（ADCSR.ADST）は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間（tSCAN）以上を設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。A/D 変換開始トリガは同期化処理が必要なため、同期化処理の分だけ遅延が発生します。詳細は**「43.3.7　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。**表 43.7** に、TRSA[5:0] ビットでの A/D 起動要因選択一覧を示します。

表43.6　　TRSB[5:0]ビット（グループB専用）でのA/D起動要因選択一覧 (1 / 2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU3a	TRGA0N	MTU0.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ／インプットキャプチャ または 相補PWMモード時MTU4.TCNTのアンダフロー（谷）	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ／インプットキャプチャ または 相補PWMモード時MTU7.TCNTのアンダフロー（谷）	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ または MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ （割り込み間引き機能2を使用時）	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ または MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ （割り込み間引き機能2を使用時）	0	1	0	0	0	0
GPTa	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	0	1	0	0	0	1
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	0	1	0	0	1	0
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	0	1	0	0	1	1
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	0	1	0	1	0	0
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	0	1	0	1	0	1
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	0	1	0	1	1	0
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	0	1	0	1	1	1
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	0	1	1	0	0	0
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ または GPT0.GTADTRBのコンペアマッチ	0	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ または GPT1.GTADTRBのコンペアマッチ	0	1	1	0	1	0
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ または GPT2.GTADTRBのコンペアマッチ	0	1	1	0	1	1
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ または GPT3.GTADTRBのコンペアマッチ	0	1	1	1	0	0

表43.6　　TRSB[5:0]ビット（グループB専用）でのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
TPUa	TPTRGAN_0	TPUn.TGRA （n = 0～4）のコンペアマッチ／インプットキャプチャ	0	1	1	1	1	1
	TPTRG0AN_0	TPU0.TGRAのコンペアマッチ／インプットキャプチャ	1	0	0	0	0	0
	TPTRGAN_1	TPUn.TGRA （n = 6～10）のコンペアマッチ／インプットキャプチャ	1	0	0	0	0	1
	TPTRG6AN_1	TPU6.TGRAのコンペアマッチ／インプットキャプチャ	1	0	0	0	1	0
ELC	ELCTRG0/ ELCTRG1	各周辺モジュールによるイベント信号	1	1	0	0	0	0

表43.7　　TRSA[5:0]ビットでのA/D起動要因選択一覧 (1 / 2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG0 ADTRG1	トリガ入力端子	0	0	0	0	0	0
MTU3a	TRGA0N	MTU0.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ／インプットキャプチャ または 相補PWMモード時MTU4.TCNTのアンダフロー（谷）	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ／インプットキャプチャ または 相補PWMモード時MTU7.TCNTのアンダフロー（谷）	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ または MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ または MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	0	1	0	0	0	0

表43.7　　TRSA[5:0]ビットでのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
GPTa	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	0	1	0	0	0	1
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	0	1	0	0	1	0
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	0	1	0	0	1	1
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	0	1	0	1	0	0
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	0	1	0	1	0	1
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	0	1	0	1	1	0
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	0	1	0	1	1	1
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	0	1	1	0	0	0
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ または GPT0.GTADTRBのコンペアマッチ	0	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ または GPT1.GTADTRBのコンペアマッチ	0	1	1	0	1	0
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ または GPT2.GTADTRBのコンペアマッチ	0	1	1	0	1	1
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ または GPT3.GTADTRBのコンペアマッチ	0	1	1	1	0	0
TPUa	TPTRGAN_0	TPUn.TGRA （n = 0～4）のコンペアマッチ／インプットキャプチャ	0	1	1	1	1	1
	TPTRG0AN_0	TPU0.TGRAのコンペアマッチ／インプットキャプチャ	1	0	0	0	0	0
	TPTRGAN_1	TPUn.TGRA （n = 6～10）のコンペアマッチ／インプットキャプチャ	1	0	0	0	0	1
	TPTRG6AN_1	TPU6.TGRAのコンペアマッチ／インプットキャプチャ	1	0	0	0	1	0
ELC	ELCTRG0 /ELCTRG1	各周辺モジュールによるイベント信号	1	1	0	0	0	0

43.2.10　A/D 変換拡張入力コントロールレジスタ（ADEXICR）Unit0（温度センサあり、拡張アナログ入力なし）

ADEXICR レジスタは、温度センサ出力、拡張アナログ入力／出力を制御するレジスタです。

アドレス　S12ADC0.ADEXICR A008 C012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSSB	—	TSSA	—	—	—	—	—	—	—	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算／平均モード選択ビット	0：温度センサ出力A/D変換値加算／平均モード非選択 1：温度センサ出力A/D変換値加算／平均モード選択	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	TSSA	温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10	TSSB	温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TSSAD ビット（温度センサ出力 A/D 変換値加算／平均モード選択ビット）

温度センサ出力の A/D 変換動作を選択します。TSSAD ビットを “1” にすると、ADADC.ADC[1:0] ビットで設定した回数（2 ～ 4 回）分、温度センサ出力を連続して A/D 変換します。ADADC.AVEE ビットが “0” の場合は加算（積算）した値、ADADC.AVEE ビットが “1” の場合は平均した値を A/D 温度センサデータレジスタ（ADTSDR）に返します。TSSAD ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

TSSA ビット（温度センサ出力 A/D 変換選択ビット）

シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A に対する温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを “0” にしてください。

TSSA ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

TSSB ビット（温度センサ出力 A/D 変換選択ビット）

グループスキャンモードのグループ B に対する温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを “0” にしてください。

TSSB ビットは、ADCSR.ADST ビットが “0” のときに設定してください。TSSA ビットが “1” のときは、TSSB ビットを “1” にしないでください。

43.2.11　A/D 変換拡張入力コントロールレジスタ（ADEXICR）Unit1（温度センサなし、拡張アナログ入力あり）

ADEXICR レジスタは、温度センサ出力、拡張アナログ入力／出力を制御するレジスタです。

アドレス　S12ADC1.ADEXICR A008 C412h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXOEN	EXSEL[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14-b13	EXSEL[1:0]	拡張アナログ入力選択ビット	b14 b13 0　0：アナログ入力チャネル（ANn端子） 0　1：AN1_ANEX1端子 1　0：設定しないでください 1　1：設定しないでください	R/W
b15	EXOEN	拡張アナログ出力制御ビット	0：出力禁止 1：出力許可	R/W

EXSEL[1:0] ビット（拡張アナログ入力選択ビット）

アナログ入力チャネル（ANn）以外に、拡張アナログ入力 AN1_ANEX1 端子を選択することができます。

AN1_ANEX1 端子を選択した場合、AN1_ANEX0 端子出力を外部オペアンプ経由で AN1_ANEX1 端子に入力してください。また、アナログ入力チャネルは、AN100 ～ AN107 のみ選択可能です。AN108 ～ AN115 は選択しないでください。詳細は「43.3.5.1　AN1_ANEX1 の使用方法」を参照してください。

AN1_ANEX1 端子を選択した場合、自己診断機能を使用することはできません。

EXOEN ビット（拡張アナログ出力制御ビット）

拡張アナログ出力（AN1_ANEX0）を制御します。出力を許可すると AN1_ANEX0 端子からは、ユニット 1 のアナログ入力チャネルのうち AN100 ～ AN107 をマルチプレクスした値が出力されます。EXSEL[1:0] ビットが “00b” のときには、出力を許可しないでください。

43.2.12　A/D サンプリングステートレジスタ n（ADSSTRn）（n = 0 ～ 7、L、T）

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定するレジスタです。

1 ステート = 1ADCLK（A/D 変換クロック）幅で ADCLK クロックが 60MHz であれば 1 ステート = 16.7ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、SST[7:0] ビットの値を変えることでサンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST ビットが “0” のときに行ってください。サンプリング時間は、5 ステート以上 255 ステート以下の値を設定してください。**表 43.8** に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

サンプリング時間に関する詳細は、**「43.3.7　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。

アドレス　S12ADC0.ADSSTR0 A008 C060h、S12ADC0.ADSSTRT A008 C070h、S12ADC0.ADSSTR1 A008 C073h、S12ADC0.ADSSTR2 A008 C074h、S12ADC0.ADSSTR3 A008 C075h、S12ADC0.ADSSTR4 A008 C076h、S12ADC0.ADSSTR5 A008 C077h、S12ADC0.ADSSTR6 A008 C078h、S12ADC0.ADSSTR7 A008 C079h、S12ADC1.ADSSTR0 A008 C460h、S12ADC1.ADSSTRL A008 C461h、S12ADC1.ADSSTR1 A008 C473h、S12ADC1.ADSSTR2 A008 C474h、S12ADC1.ADSSTR3 A008 C475h、S12ADC1.ADSSTR4 A008 C476h、S12ADC1.ADSSTR5 A008 C477h、S12ADC1.ADSSTR6 A008 C478h、S12ADC1.ADSSTR7 A008 C479h

	b7	b6	b5	b4	b3	b2	b1	b0
	SST[7:0]							
リセット後の値	0	0	0	0	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	5～255ステートの間でサンプリング時間を設定します。	R/W

表43.8　A/Dサンプリングステートレジスタと対象チャネルの関係

ビット名	対象チャネル	
	ユニット0	ユニット1
ADSSTR0.SST[7:0]ビット（注1）	AN000	AN100
ADSSTR1.SST[7:0]ビット	AN001	AN101
ADSSTR2.SST[7:0]ビット	AN002	AN102
ADSSTR3.SST[7:0]ビット	AN003	AN103
ADSSTR4.SST[7:0]ビット	AN004	AN104
ADSSTR5.SST[7:0]ビット	AN005	AN105
ADSSTR6.SST[7:0]ビット	AN006	AN106
ADSSTR7.SST[7:0]ビット	AN007	AN107
ADSSTRL.SST[7:0]ビット	—	AN108～AN115
ADSSTRT.SST[7:0]ビット	温度センサ出力（ユニット0のみ）	—

注1.　自己診断機能を選択したときは、ADSSTR0.SST[7:0]で設定したサンプリング時間が適用されます。

43.2.13　サンプル & ホールド回路コントロールレジスタ（ADSHCR）

ADSHCR レジスタは、チャネル専用サンプル & ホールド回路を設定するレジスタです。

アドレス　S12ADC0.ADSHCR A008 C066h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SHANS[3:0]				SSTSH[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	チャネル専用サンプル&ホールド回路サンプリング時間設定ビット	4～255ステートの間でサンプリング時間を設定します。	R/W
b11-b8	SHANS[3:0]	チャネル専用サンプル&ホールド回路バイパス選択ビット	AN000～AN003のチャネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャネル専用サンプル&ホールド回路をバイパス 1：チャネル専用サンプル&ホールド回路を使用	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SSTSH[7:0] ビット（チャネル専用サンプル & ホールド回路サンプリング時間設定ビット）

チャネル専用サンプル&ホールド回路のサンプリング時間を設定します。1 ステート = 1ADCLK クロック（A/D 変換クロック）幅で、ADCLK クロックが 60MHz であれば 1 ステート = 16.7ns になります。初期値は 24 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。サンプリング時間は、4 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4µs 以上になるように設定してください。

SHANS[3:0] ビット（チャネル専用サンプル&ホールド回路バイパス選択ビット）

アナログ入力 AN000 ～ AN003 のチャネル専用サンプル&ホールド回路を使用するか、使用せずにバイパスするかを選択します。SHANS[0] ビットが AN000、SHANS[1] ビットが AN001、SHANS[2] ビットが AN002、SHANS[3] ビットが AN003 のチャネル専用サンプル&ホールド回路の選択ビットになります。SHANS[3:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

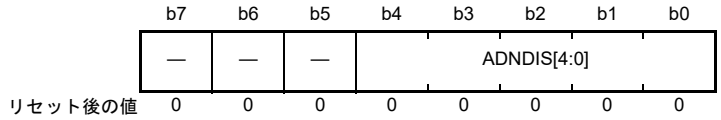
グループスキャンモードのグループ A 優先制御時に、グループ B に AN000 ～ AN003 のいずれかを選択した場合は、チャネル専用サンプル&ホールド回路をバイパスする設定にしてください。

なお、チャネル専用サンプル&ホールド回路は、ユニット 1 用のチャネルにはありません。

43.2.14　A/D 断線検出コントロールレジスタ（ADDISCR）

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

アドレス　S12ADC0.ADDISCR A008 C07Ah、S12ADC1.ADDISCR A008 C47Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	断線検出アシスト設定ビット	断線アシスト機能設定	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ADNDIS[4:0] ビット（A/D 断線検出アシスト設定ビット）

A/D 断線検出アシスト機能のプリチャージ／ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ／ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b、0001b 以外を設定した場合、設定した値がプリチャージ／ディスチャージ期間のステート数となります。温度センサ出力を変換する場合や自己診断機能を使用する場合は、断線検出アシスト機能は使用できません。
ADNDIS[3:0] ビット = 0000b としてください。ADNDIS[3:0] を “0000b”、“0001b” 以外に設定し、断線検出アシスト機能を有効にした場合は、チャネル専用サンプル＆ホールド回路の断線検出アシスト機能も有効になります。

なお、ADEXICR .EXSEL[1:0]、および ADEXICR. EXOEN を ADEXICR .EXSEL[1:0] = 00b、ADEXICR. EXOEN = 0b 以外に設定し、断線検出アシスト機能を有効にすると、A/D 変換を正しく実行することができません。ADEXICR .EXSEL[1:0] = 00b、ADEXICR. EXOEN = 0b 以外に設定したい場合は、断線検出アシスト機能を有効にしないでください。また、端子レベル自己診断時にも、断線検出アシスト機能を有効にしないでください。

43.2.15　A/D グループスキャン優先コントロールレジスタ（ADGSPCR）

ADGSPCR レジスタは、グループスキャンモードでグループ A を優先的に A/D 変換する優先制御を設定するレジスタです。

アドレス　S12ADC0.ADGSPCR A008 C080h、S12ADC1.ADGSPCR A008 C480h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット（注1）	0：グループAの優先制御動作を行わない 1：グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット	（PGS = 1のときのみ有効です。PGS = 0のときは0を設定してください。） 0：グループAの優先制御時、グループBのA/D変換中断後の再起動をしない 1：グループAの優先制御時、グループBのA/D変換中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定ビット（注2）	（PGS = 1のときのみ有効です。PGS = 0のときは0を設定してください。） 0：グループBはシングルスキャン連続動作しない 1：グループBのシングルスキャン連続動作開始	R/W

注1.　PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b”（グループスキャンモード）に設定してください。それ以外の設定をした場合、動作保証できません。
注2.　GBRPビットを“1”に設定した場合は、GBRSCNビットの設定にかかわらず、グループBのシングルスキャン連続動作を実行します。

PGS ビット（グループ A 優先制御設定ビット）

グループ A の優先動作を制御します。グループ A の優先制御動作を行う場合に “1” を設定してください。

PGS ビットを “1” に設定するときは、必ず ADCSR.ADCS[1:0] ビットを “01b”（グループスキャンモード）に設定してください。それ以外の値を設定した場合、動作保証できません。

PGS ビットを “0” に設定した場合は、**「43.5.2　A/D 変換停止時の注意事項」**にしたがい、A/D 変換の停止処理を行ってください。PGS ビットを “1” に設定した場合は、**「43.3.4.3　グループ A 優先制御動作」**の手順にしたがいレジスタ設定を行ってください。

GBRSCN ビット（グループ B 再起動設定ビット）

グループ A の優先制御時におけるグループ B の再スキャン動作を設定します。

GBRSCN ビットを “1” に設定すると、グループ A のトリガ入力によるスキャン動作中断後、グループ A の A/D 変換の終了を待ち、グループ B の再スキャン動作を実行します。また、グループ A の A/D 変換中にグループ B のトリガ入力があった場合、グループ A の A/D 変換の終了を待ち、グループ B の再スキャン動作を行います。ただし、本機能を使用する場合、PCLKH：ADCLK 分周比 = 1：1 に設定してください。それ以外の PCLKH：ADCLK 分周比では、本機能は使用できません。

GBRSCN ビットを “0” に設定した場合、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが “1” のとき有効になります。

GBRP ビット（グループ B 用シングルスキャン連続起動設定ビット）

グループ B をシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを “1” に設定すると、グループ B のシングルスキャンが起動します。スキャン終了後、自動的にグループ B のシングルスキャンを再開します。グループ A の優先制御動作でグループ B の A/D 変換が中断した場合、グループ A の A/D 変換終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを “1” にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを “1” にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

GBRP ビットの設定は、PGS ビットが “1” のとき有効になります。

43.2.16　A/D コンペアコントロールレジスタ（ADCMPCR）

ADCMPCR レジスタは、コンペア機能の設定を行うレジスタです。

アドレス　S12ADC0.ADCMPCR A008 C090h、S12ADC1.ADCMPCR A008 C490h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPIE	WCMPE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W
b6	WCMPE	ウィンドウ機能設定ビット	0：ウィンドウ機能無効 1：ウィンドウ機能有効	R/W
b7	CMPIE	コンペア割り込みイネーブルビット	0：比較条件一致による S12CMPI 割り込み禁止 1：比較条件一致による S12CMPI 割り込み許可	R/W

WCMPE ビット（ウィンドウ機能設定ビット）

ウィンドウ機能の有効／無効を選択します。

ウィンドウ機能については、「43.2.19　A/D コンペアレベルレジスタ（ADCMPLR）」を参照してください。

CMPIE ビット（コンペア割り込みイネーブルビット）

比較条件の一致によるコンペア割り込み（S12CMPI）発生の許可／禁止を選択します。

43.2.17　A/D コンペアチャネル選択レジスタ（ADCMPANSR）

ADCMPANSR レジスタは、コンペアを行うチャネルのアナログ入力 AN000 ～ AN007（ユニット 0）、AN100 ～ AN115（ユニット 1）を選択するレジスタです。

アドレス　S12ADC0.ADCMPANSR A008 C094h、S12ADC1.ADCMPANSR A008 C494h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CMPS[15:0]	コンペアチャネル選択ビット	0：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）をコンペア対象から外す 1：AN000～AN007（ユニット0）、AN100～AN115（ユニット1）をコンペア対象とする	R/W

CMPS[15:0] ビット（コンペアチャネル選択ビット）

ADANSA.ANSA[n] ビット（n = 0 ～ 7 ／ユニット 0、n = 0 ～ 15 ／ユニット 1）と ADANSB.ANSB[n] ビット（n = 0 ～ 7 ／ユニット 0、n = 0 ～ 15 ／ユニット 1）で選択した A/D 変換チャネルと同一番号の CMPS[n] ビットを “1” にすると、コンペア機能が有効になります。

CMPS0[15:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

ユニット 0 の CMPS[15:8] ビットは予約ビットです。読み出すと “0” が読めます。書き込む場合は、必ず “0” を書き込んでください。

43.2.18　A/D コンペアチャネル選択拡張レジスタ（ADCMPANSER）

ADCMPANSER レジスタは、温度センサ出力をコンペア対象とするかどうかを設定するレジスタです。

アドレス　S12ADC0.ADCMPANSER A008 C092h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTS	温度センサ出力コンペア選択ビット	0：温度センサ出力をコンペア対象から外す 1：温度センサ出力をコンペア対象とする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CMPSTS ビット（温度センサ出力コンペア選択ビット）

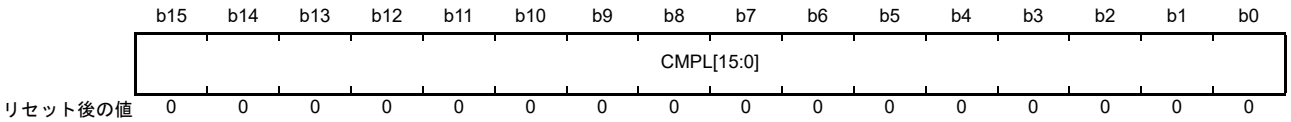
ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットが “1” の場合、CMPSTS ビットを “1” にすることで、コンペア機能が有効になります。

43.2.19　A/D コンペアレベルレジスタ（ADCMPLR）

ADCMPLR レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定するレジスタです。

ADCMPLR レジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

アドレス　S12ADC0.ADCMPLR A008 C098h、S12ADC1.ADCMPLR A008 C498h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CMPL[15:0]	コンペアレベル選択ビット	AN000～AN007（ユニット0）、AN100～AN115（ユニット1）の比較条件を設定します。 ウィンドウ機能無効時（ADCMPCR.WCMPEビットが“0”） 0：ADCMPDR0レジスタ値＞A/D変換値 1：ADCMPDR0レジスタ値＜A/D変換値 ウィンドウ機能有効時（ADCMPCR.WCMPEビットが“1”） 0：AD変換値＜ADCMPDR0レジスタ値またはAD変換値＞ADCMPDR1レジスタ値 1：ADCMPDR0レジスタ値＜A/D変換値＜ADCMPDR1レジスタ値	R/W

CMPL[15:0] ビット（コンペアレベル選択ビット）

アナログ入力 AN000 ～ AN007（ユニット 0）、AN100 ～ AN115（ユニット 1）の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPL[0] が AN000（ユニット 0）／ AN100（ユニット 1）、CMPL[7] が AN007（ユニット 0）／ AN107（ユニット 1）、CMPL[15] が AN115（ユニット 1）に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPSR.CMPFn ビットが “1” にセットされ、コンペア割り込み（S12CMPI）が発生します。

ユニット 0 の CMPL[15:8] ビットは予約ビットです。読み出すと “0” が読めます。書き込む場合は、必ず “0” を書き込んでください。

43.2.20　A/D コンペアレベル拡張レジスタ（ADCMPLER）

ADCMPLER レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定するレジスタです。

ADCMPLER レジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

アドレス　S12ADC0.ADCMPLER A008 C093h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPLTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTS	温度センサ出力コンペアレベル選択ビット	ウィンドウ機能無効時（ADCMPCR.WCMPE ビットが“0”） 0：ADCMPDR0 レジスタ値＞A/D 変換値 1：ADCMPDR0 レジスタ値＜A/D 変換値 ウィンドウ機能有効時（ADCMPCR.WCMPE ビットが“1”） 0：AD 変換値＜ADCMPDR0 レジスタ値または AD 変換値＞ADCMPDR1 レジスタ値 1：ADCMPDR0 レジスタ値＜A/D 変換値＜ADCMPDR1 レジスタ値	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CMPLTS ビット（温度センサ出力コンペアレベル選択ビット）

温度センサ出力の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFTS ビットが “1” にセットされ、コンペア割り込み（S12CMPI）が発生します。

43.2.21　A/D コンペアデータレジスタ y（ADCMPDRy）（y = 0、1）

ADCMPDRy レジスタは、コンペア機能使用時、基準となるデータを設定するレジスタです。

ADCMPDRy レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。ウィンドウ機能無効時、ADCMPDR1 レジスタは使用しません。

ADCMPDRy レジスタは、以下の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度指定ビットの設定値（12 ビット、10 ビット、または 8 ビット）
- A/D 変換値加算／平均モード選択レジスタの設定値（A/D 変換値加算モード選択、または非選択）

(1)　A/D 変換値加算モードを非選択とした場合

- 右詰めのフォーマット、12 ビット精度に設定した場合

アドレス　S12ADC0.ADCMPDR0 A008 C09Ch、S12ADC0.ADCMPDR1 A008 C09Eh、S12ADC1.ADCMPDR0 A008 C49Ch、S12ADC1.ADCMPDR1 A008 C49Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	CMPD[11:0]	—	12ビット基準値	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めのフォーマット、10 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPD[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

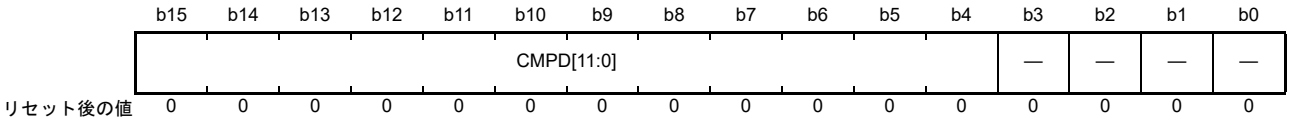
ビット	シンボル	ビット名	機能	R/W
b9-b0	CMPD[9:0]	—	10ビット基準値	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めのフォーマット、8 ビット精度に設定した場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

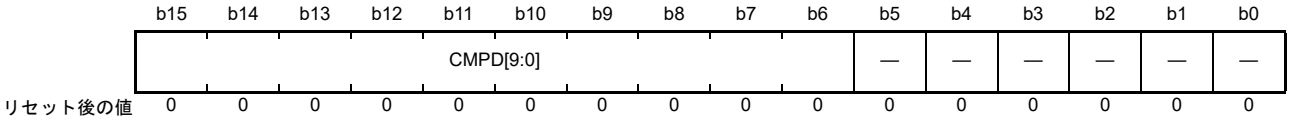
ビット	シンボル	ビット名	機能	R/W
b7-b0	CMPD[7:0]	—	8ビット基準値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 左詰めのフォーマット、12 ビット精度に設定した場合



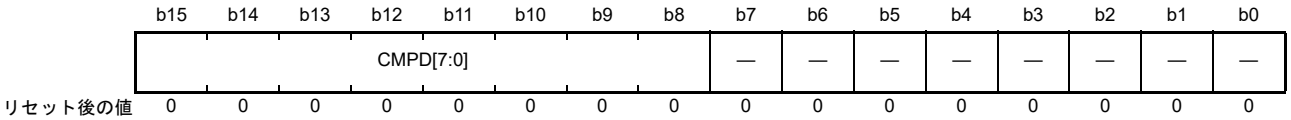
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b4	CMPD[11:0]	—	12ビット基準値	R/W

- 左詰めのフォーマット、10 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b6	CMPD[9:0]	—	10ビット基準値	R/W

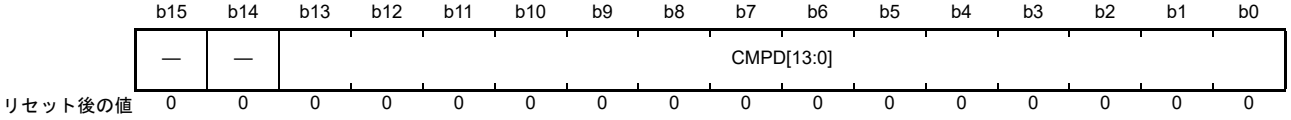
- 左詰めのフォーマット、8 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	CMPD[7:0]	—	8ビット基準値	R/W

(2)　A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット、12 ビット精度に設定した場合（A/D 変換値加算モード選択時）



ビット	シンボル	ビット名	機能	R/W
b13-b0	CMPD[13:0]	—	14ビット基準値	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めのフォーマット、10 ビット精度に設定した場合（A/D 変換値加算モード選択時）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	CMPD[11:0]	—	12ビット基準値	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 右詰めのフォーマット、8 ビット精度に設定した場合（A/D 変換値加算モード選択時）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPD[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	CMPD[9:0]	—	10ビット基準値	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

- 左詰めのフォーマット、12 ビット精度に設定した場合（A/D 変換値加算モード選択時）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPD[13:0]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b2	CMPD[13:0]	—	14ビット基準値	R/W

- 左詰めのフォーマット、10 ビット精度に設定した場合（A/D 変換値加算モード選択時）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPD[11:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b4	CMPD[11:0]	—	12ビット基準値	R/W

- 左詰めのフォーマット、8 ビット精度に設定した場合（A/D 変換値加算モード選択時）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPD[9:0]										—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b6	CMPD[9:0]	—	10ビット基準値	R/W

43.2.22　A/D コンペアステータスレジスタ（ADCMPSR）

ADCMPSR レジスタは、コンペア機能の比較結果を格納するレジスタです。

アドレス　S12ADC0.ADCMPSR A008 C0A0h、S12ADC1.ADCMPSR A008 C4A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CMPF[15:0]	コンペアフラグ	AN000～AN007（ユニット0）、AN100～AN115（ユニット1）の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W

CMPF[15:0] ビット（コンペアフラグ）

アナログ入力 AN000 ～ AN007（ユニット 0）、AN100 ～ AN115（ユニット 1）の比較結果を示すステータスフラグです。A/D 変換終了時、ADCMPLR.CMPLn に設定した比較条件と一致した場合、“1” にセットされます。ADCMPCR.CMPIE ビットが “1” のとき、本フラグがセットされるタイミングでコンペア割り込み（S12CMPI）要求が発生します。CMPF[0] が AN000（ユニット 0）／ AN100（ユニット 1）、CMPF[7] が AN007（ユニット 0）／ AN107（ユニット 1）、CMPF[15] が AN115（ユニット 1）に対応します。

CMPFn ビットに “1” を書き込むことはできません。

ユニット 0 の CMPF[15:8] ビットは予約ビットです。読み出すと “0” が読めます。書き込みむ場合は、必ず “0” を書き込んでください。

[“1” になる条件]

- ADCMPLR.CMPLn に設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

43.2.23　A/D コンペアステータス拡張レジスタ（ADCMPSER）

ADCMPSER レジスタは、温度センサ出力の比較結果を示すステータスレジスタです。

アドレス　S12ADC0.ADCMPSER A008 C0A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPFTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPFTS	温度センサ出力コンペアフラグ	0：比較条件不成立 1：比較条件成立	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CMPFTS ビット（温度センサ出力コンペアフラグ）

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時、ADCMPLER.CMPLTS に設定した比較条件と一致した場合、“1” にセットされます。ADCMPCR.CMPIE ビットが “1” のとき、本フラグがセットされるタイミングでコンペア割り込み（S12CMPI）要求が発生します。

CMPFTS ビットに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPLER.CMPLTS に設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

43.2.24　A/D 端子レベル自己診断制御レジスタ（ADTDCR）

ADTDCR レジスタは、端子レベル自己診断機能を制御するレジスタです。端子レベル自己診断機能の詳細については、「43.3.13　端子レベル自己診断機能」を参照してください。

アドレス　S12ADC0.ADTDCR A008 C0C8h、S12ADC1.ADTDCR A008 C4C8h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDE	—	—	—	—	—	TDLV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TDLV[1:0]	端子レベル自己診断レベル選択ビット	b1 b0 0 0：偶数番目の入力チャネルをAVSSにディスチャージし、奇数番目の入力チャネルをAVCCにチャージする 0 1：偶数番目の入力チャネルをAVCCにチャージし、奇数番目の入力チャネルをAVSSにディスチャージする 1 0：偶数番目の入力チャネルをAVSSにディスチャージし、奇数番目の入力チャネルをAVCC×1/2にチャージする 1 1：偶数番目の入力チャネルをAVCC×1/2にチャージし、奇数番目の入力チャネルをAVSSにディスチャージする	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	TDE	端子レベル自己診断イネーブルビット	0：端子レベル自己診断をしない 1：端子レベル自己診断をする	R/W

TDLV[1:0] ビット（端子レベル自己診断レベル選択ビット）

端子レベル自己診断における端子レベルの選択を行います。

TDLV[1:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

TDE ビット（端子レベル自己診断イネーブルビット）

端子レベル自己診断を実施するかしないかを選択します。

TDE ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

43.2.25　A/D エラーコントロールレジスタ（ADERCR）

ADERCR レジスタは、エラー検出機能を制御するレジスタです。エラーの詳細については、「43.3.14　エラー検出機能」を参照してください。

アドレス　S12ADC0.ADERCR A008 C0CAh、S12ADC1.ADERCR A008 C4CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OWEIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	OWEIE	オーバライトエラー割り込みイネーブルビット	0：オーバライトエラー検出時の割り込み発生の禁止 1：オーバライトエラー検出時の割り込み発生の許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

OWEIE ビット（オーバライトエラー割り込みイネーブルビット）

オーバライトエラーを検出した際のエラー割り込み要求（S12ADE）発生の許可／禁止を設定します。

OWEIE ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

43.2.26　A/D エラークリアレジスタ（ADERCLR）

A/D エラークリアレジスタは、エラークリアを行う書き込み専用のレジスタです。

アドレス　S12ADC0.ADERCLR A008 C0CBh、S12ADC1.ADERCLR A008 C4CBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OWEC	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	書く場合、“0”としてください。	W
b2	OWEC	オーバライトエラークリアビット	0の書き込み：オーバライトエラーをクリアしない 1の書き込み：オーバライトエラーをクリアする	W
b7-b3	—	予約ビット	書く場合、“0”としてください。	W

43.2.27　A/D オーバライトエラーレジスタ（ADOWER）

ADOWER レジスタは、ADDRy レジスタの A/D 変換結果が読み出されず、オーバライトが発生したことを示すステータスレジスタです。

アドレス　S12ADC0.ADOWER A008 C0D2h、S12ADC1.ADOWER A008 C4D2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OWE[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	OWE[15:0]	オーバライトエラー	0：S12ADC0.ADDR0～S12ADC0.ADDR7（ユニット0）、S12ADC1.ADDR0～S12ADC1.ADDR15（ユニット1）でオーバライトエラーは発生していない 1：S12ADC0.ADDR0～S12ADC0.ADDR7（ユニット0）、S12ADC1.ADDR0～S12ADC1.ADDR15（ユニット1）でオーバライトエラーが発生	R

OWE[15:0] ビット（オーバライトエラー 0）

OWE[15:0] ビットは、ADDRy レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADDRy レジスタに次の A/D 変換結果が格納されたとき “1” になります。

OWE[15:0] ビットは、ADERCLR .OWEC レジスタに “1” を書き込むことでクリアされ、“0” になります。OWE[15:0] ビットに “1” を書き込むことはできません。

ユニット 0 は OWE [0] ビットが S12ADC0.ADDR0、OWE [7] ビットが S12ADC0.ADDR7 に、ユニット 1 は OWE [0] ビットが S12ADC1.ADDR0、OWE[15] ビットが S12ADC1.ADDR15 に対応します。

43.2.28　A/D オーバライトエラー拡張レジスタ（ADOWEER）

ADOWEER レジスタは、ADDBLDRB、ADDBLDRA、ADDBLDR、ADRD、ADTSDR レジスタの A/D 変換結果が読み出されず、オーバライトが発生したことを示すステータスレジスタです。

アドレス　S12ADC0.ADOWEER A008 C0D6h、S12ADC1.ADOWEER A008 C4D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TSOWE	DIAGOWE	DOWE	DAOWE	DBOWE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBOWE	A/Dデータ2重化レジスタB オーバライトエラー	0：ADDBLDRBでオーバライトエラーは発生していない 1：ADDBLDRBでオーバライトエラーが発生	R
b1	DAOWE	A/Dデータ2重化レジスタA オーバライトエラー	0：ADDBLDRAでオーバライトエラーは発生していない 1：ADDBLDRAでオーバライトエラーが発生	R
b2	DOWE	A/Dデータ2重化レジスタオーバライトエラー	0：ADDBLDRでオーバライトエラーは発生していない 1：ADDBLDRでオーバライトエラーが発生	R
b3	DIAGOWE	A/D自己診断データレジスタ オーバライトエラー	0：ADRDでオーバライトエラーは発生していない 1：ADRDでオーバライトエラーが発生	R
b4	TSOWE	A/D温度センサデータレジスタオーバライトエラー	0：ADTSDRでオーバライトエラーは発生していない 1：ADTSDRでオーバライトエラーが発生	R
b15-b5	—	予約ビット	読むと“0”が読めます。	R

DBOWE ビット（A/D データ 2 重化レジスタ B オーバライトエラー）

DBOWE ビットは、ADDBLDRB レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADDBLDRB レジスタに次の A/D 変換結果が格納されたとき “1” になります。

DBOWE ビットは、ADERCLR .OWEC レジスタに “1” を書き込むことでクリアされ、“0” になります。DBOWE ビットに “1” を書き込むことはできません。

DAOWE ビット（A/D データ 2 重化レジスタ A オーバライトエラー）

DAOWE ビットは、ADDBLDRA レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADDBLDRA レジスタに次の A/D 変換結果が格納されたとき “1” になります。

DAOWE ビットは、ADERCLR .OWEC レジスタに “1” を書き込むことでクリアされ、“0” になります。DAOWE ビットに “1” を書き込むことはできません。

DOWE ビット（A/D データ 2 重化レジスタオーバライトエラー）

DOWE ビットは、ADDBLDR レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADDBLDR レジスタに次の A/D 変換結果が格納されたとき “1” になります。

DOWE ビットは、ADERCLR .OWEC レジスタに “1” を書き込むことでクリアされ、“0” になります。DOWE ビットに “1” を書き込むことはできません。

DIAGOWE ビット（A/D 自己診断データレジスタオーバライトエラー）

DIAGOWE ビットは、ADRD レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADRD レジスタに次の A/D 変換結果が格納されたとき “1” になります。

DIAGOWE ビットは、ADERCLR .OWEC レジスタに “1” を書き込むことでクリアされ、“0” になります。DIAGOWE ビットに “1” を書き込むことはできません。

TSOWE ビット（A/D 温度センサデータレジスタオーバライトエラー）

TSOWE ビットは、ADTSDR レジスタの A/D 変換結果が一度も読み出されないまま A/D 変換が終了し、ADTSDR レジスタに次の A/D 変換結果が格納されたとき “1” になります。

TSOWE ビットは、ADERCLR .OWEC レジスタに “1” を書き込むことでクリアされ、“0” になります。TSOWE ビットに “1” を書き込むことはできません。

43.3　動作説明

43.3.1　スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作です。

動作モードには、シングルスキャンモードと連続スキャンモード、グループスキャンモードの 3 種類の動作モードがあります。シングルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回行って終了するモードです。連続スキャンモードは、指定した 1 チャネル以上のスキャンを ADCSR.ADST ビットを “0”（“1” の状態から “0”）にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ（MTU3a、GPTa、TPUa、ELC）で開始し、グループ A とグループ B で選択したチャネルのスキャンをそれぞれ 1 回ずつ行って終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換を開始すると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を行います。グループスキャンモードは、グループ A の場合、ADANSA レジスタで選択した ANn 端子の n が小さい番号順、グループ B の場合、ADANSB レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を行います。

自己診断を選択した場合、スキャンごとに最初に 1 回自己診断が行われ、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力は、チャネルのアナログ入力と同時にスキャン可能で、チャネルのアナログ入力、温度センサ出力の順で A/D 変換を行います。

拡張アナログを選択する場合は、シングルスキャンモード、連続スキャンモードで A/D 変換を行ってください。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガ（MTU3a、GPTa、TPUa、ELC）によるスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換データを 2 重化します。

ダブルトリガ拡張モードは、ダブルトリガモードかつ A/D 変換の開始トリガとして同期トリガである TRGnAN または TRGnBN（n = 4, 7）、もしくは GTADTRAmN または GTADTRBmN（m = 0 ～ 3）を選択します。ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、選択したトリガに応じて、A/D 変換データを A/D データ 2 重化レジスタ A（ADDBLDRA）、A/D データ 2 重化レジスタ B（ADDBLDRB）に格納します。ダブルトリガ拡張モード時に、TRGnAN または TRGnBN（n = 4, 7）、もしくは GTADTRAmN または GTADTRBmN（m = 0 ～ 3）の、2 種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは行わず、A/D 変換データは、データ 2 重化レジスタ B（ADDBLDRB）に格納されます。なお、一方のトリガで A/D 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

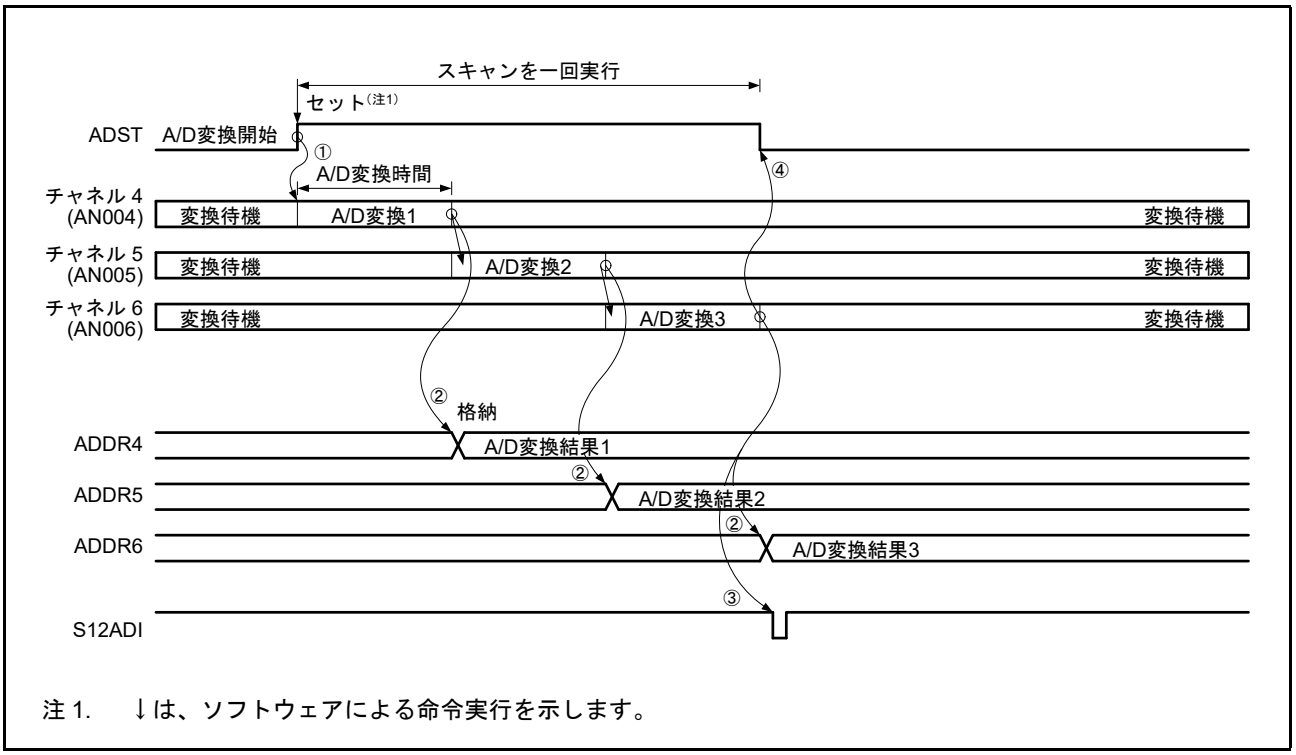
ADSHCR.SHANS[3:0] で AN000 ～ AN003 のいずれかをチャネル専用サンプル&ホールド回路を使用する設定にした場合、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

43.3.2　シングルスキャンモード

43.3.2.1　基本動作（チャネル専用サンプル＆ホールドなし）

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(4) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



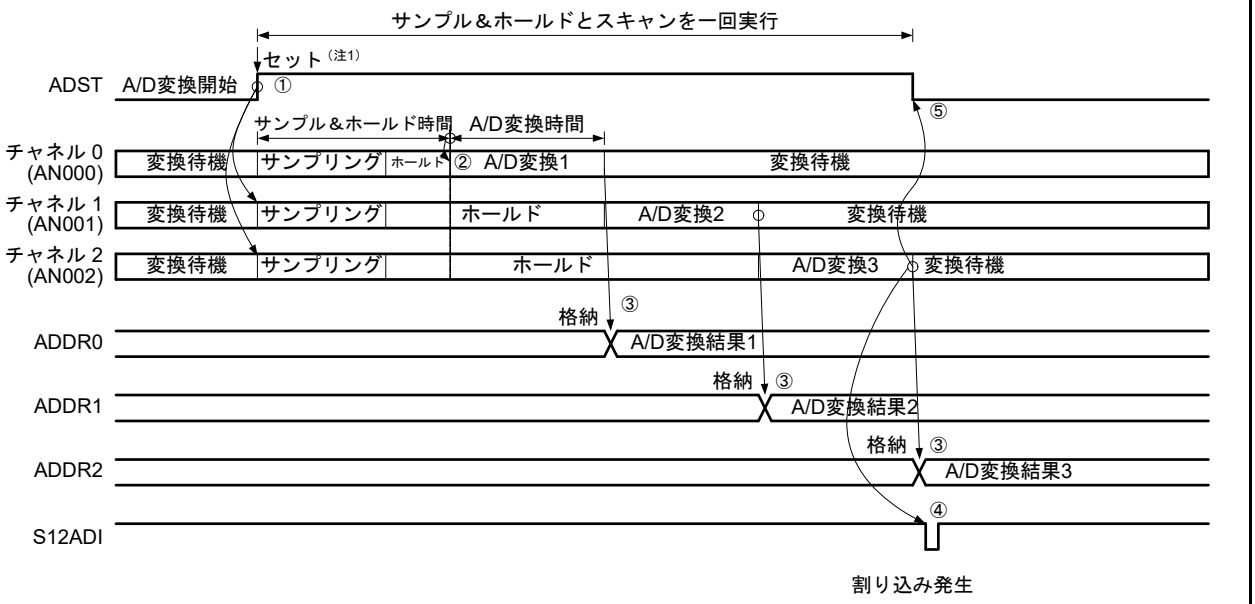
注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.4　シングルスキャンモードの動作例（基本動作：AN004 ～ AN006 選択）

43.3.2.2　基本動作（チャネル専用サンプル＆ホールドあり）

チャネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル&ホールド回路を使用するチャネルは、ADSHCR.SHANS[3:0] ビットで選択します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(5) ADCSR.ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



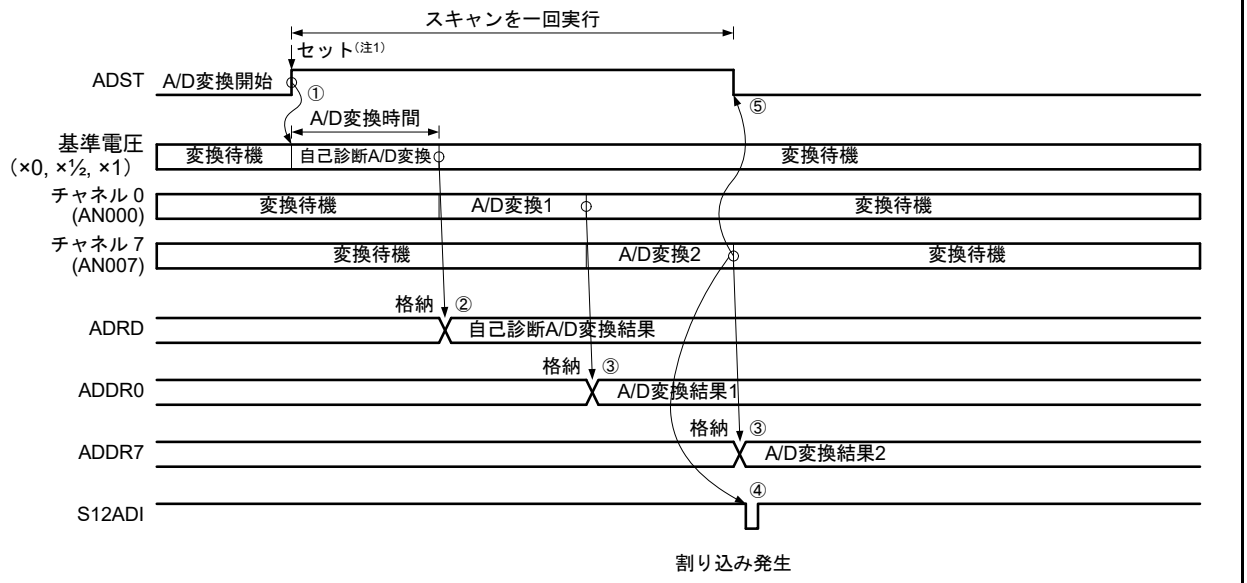
注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.5　シングルスキャンモードの動作例
（チャネル専用サンプル & ホールド回路使用：AN000 ～ AN002 選択）

43.3.2.3　チャネル選択と自己診断（チャネル専用サンプル＆ホールドなし）

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧 VREFH0（ユニット 0）、VREFH1（ユニット 1）（基準電圧 ×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
(2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納され、次に ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納されます。
(4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていれば、S12ADI 割り込みが発生します。
(5) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



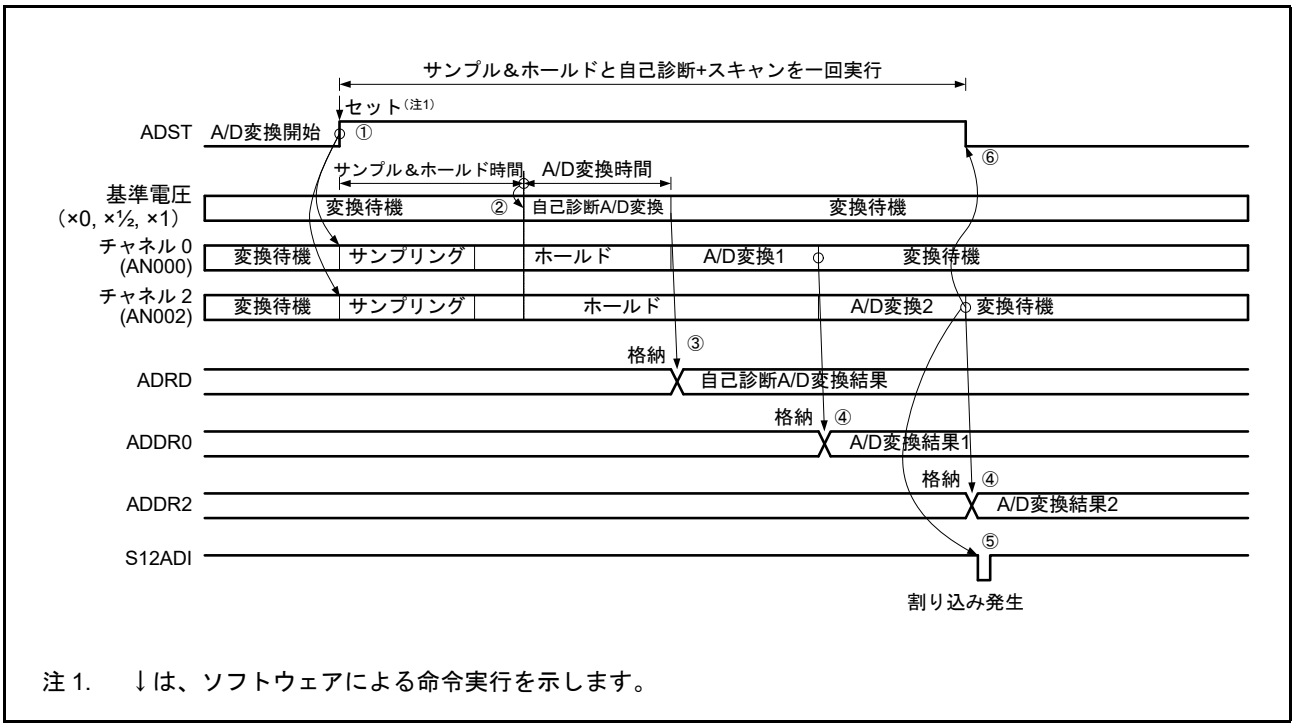
注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.6　シングルスキャンモードの動作例（基本動作：AN000、AN007 選択＋自己診断）

43.3.2.4　チャネル選択と自己診断（チャネル専用サンプル＆ホールドあり）

チャネル選択と共に自己診断を選択し、チャネル専用サンプル＆ホールド回路を使用すると、以下のようにサンプル＆ホールド実施後に 12 ビット A/D コンバータに供給される基準電圧 VREFH0（ユニット 0）、VREFH1（ユニット 1）（基準電圧 ×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[3:0] ビットで選択します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング＆ホールド実施後に自己診断による A/D 変換を開始します。
(3) 自己診断による A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納され、次に ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納されます。
(5) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(6) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.7　シングルスキャンモードの動作例
（チャネル専用サンプル＆ホールド回路使用：AN000、AN002 選択＋自己診断）

43.3.2.5　温度センサ出力選択時の A/D 変換動作

チャネル選択と共に温度センサ出力を選択すると、以下のように選択したチャネルのアナログ入力の A/D 変換を行い、その後、1 回のみ温度センサ出力を A/D 変換します。チャネルを非選択とし、温度センサのみを選択することも可能です。

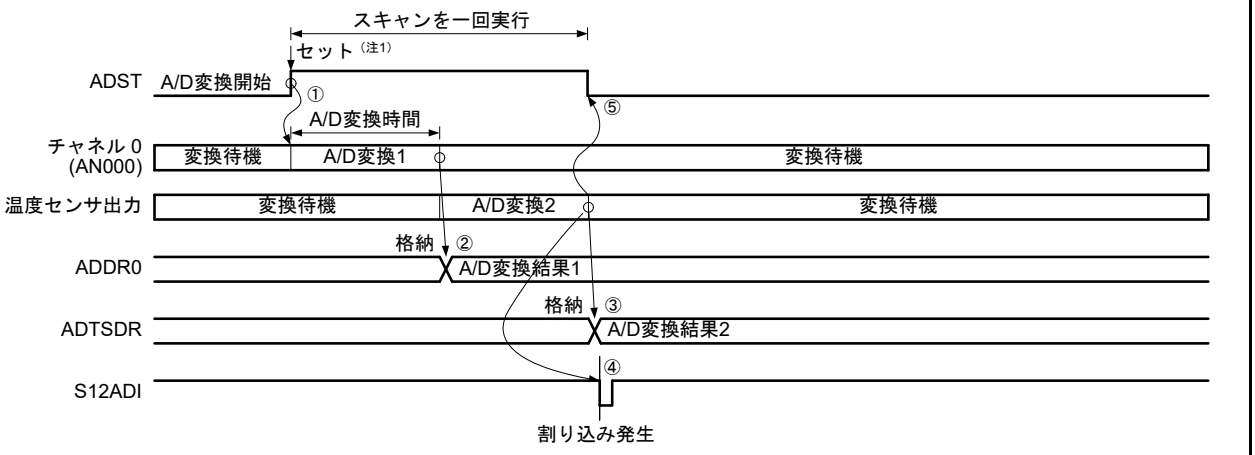
(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納され、次に温度センサ出力の A/D 変換を開始します。

(3) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ（ADTRDR）へ格納されます。

(4) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。

(5) ADCSR.ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.8　シングルスキャンモードの動作例（基本動作：AN000、温度センサ出力選択）

43.3.2.6　ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合、以下のように同期トリガ（MTU3a、GPTa、TPUa、ELC）で開始するシングルスキャンモードの実行 2 回分を一連の動作として A/D 変換を行います。

温度センサ A/D 変換選択ビット（ADEXICR.TSSA、ADEXICR.TSSB）は “0” に設定してください。

A/D 変換データの 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効になります。ADCSR.DBLE を “1” に設定した場合は ADANSA レジスタのチャネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガ（MTU3a、GPTa、TPUa、ELC）を選択し、ADCSR.EXTRG ビットを “0”、ADCSR.TRGE ビットを “1” に設定してください。また、ソフトウェアトリガは使用しないでください。

(1) 同期トリガ（MTU3a、GPTa、TPUa、ELC）の入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) ADCSR.ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット（スキャン終了による S12ADI 割り込み許可）の設定にかかわらず、S12ADI 割り込みは発生しません。
(4) 2 回目の同期トリガ入力により、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ 2 重化レジスタ（ADDBLDR）に格納されます。
(6) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていれば、S12ADI 割り込みが発生します。
(7) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

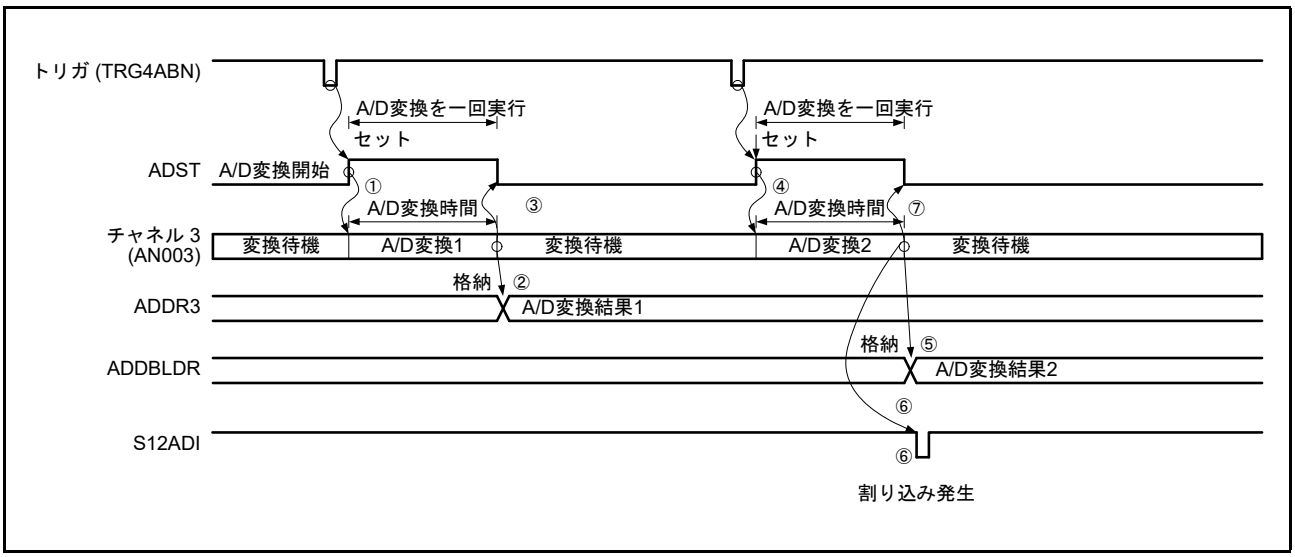


図 43.9　シングルスキャンモードの動作例（ダブルトリガモード選択：AN003 を 2 重化、トリガは TRG4ABN を選択、自己診断非選択）

43.3.2.7　ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択し、A/D 変換開始トリガとして同期トリガの TRGnAN または TRGnBN（n = 4、7）を選択（ADSTRGR.TRSA[5:0] に “0Bh”、“0Fh” を設定）した場合、もしくは GTADTRAmN または GTADTRBmN（m = 0 ～ 3）を選択（ADSTRGR.TRSA[5:0] に “19h”、“1Ah”、“1Bh”、“1Ch” を設定）した場合、ダブルトリガモード選択動作で説明した動作に加え、以下の動作をします。

同期トリガ TRGnAN（n = 4、7）、もしくは GTADTRAmN（m = 0 ～ 3）で A/D 変換を開始したときの A/D 変換結果は、A/D データ 2 重化レジスタ A（ADDBLDRA）に格納されます。また同期トリガ TRGnBN（n = 4、7）、もしくは GTADTRBmN（m = 0 ～ 3）で A/D 変換を開始したときの A/D 変換結果は、A/D データ 2 重化レジスタ B（ADDBLDRB）に格納されます。このように同期トリガ要因と格納レジスタが対応しており、トリガ入力順によらず、対応する格納レジスタに A/D 変換結果が格納されます。並行して、トリガ入力順に応じて A/D データレジスタ（ADDRy）、および A/D データ 2 重化レジスタ（ADDBLDR）にも A/D 変換結果が格納されます。

ダブルトリガ拡張モードで、TRGnAN または TRGnBN（n = 4、7）、もしくは GTADTRAmN または GTADTRBmN（m = 0 ～ 3）を選択し、2 種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは行わず、データ 2 重化レジスタ B（ADDBLDRB）に格納します。

なお、一方のトリガ要因で A/D 変換中に、他方のトリガ要因が入力された場合、他方のトリガ要因は無視され、現在変換中のトリガ要因による振り分けを実施します。

A/D 変換開始トリガとして同期トリガである TRG4AN または TRG4BN を選択、1 回目のトリガが TRG4AN の場合のダブルトリガモードの拡張動作を説明します。

(1) TRG4AN 入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）にセットされると、ADCSR.DBLANS[4:0] で選択した 1 チャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ A（ADDBLDRA）、および対応する A/D データレジスタ（ADDRy）に格納されます。
(3) ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット（スキャン終了による S12ADI 割り込み許可）の設定によらず、S12ADI 割り込みは発生しません。
(4) TRG4BN 入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）にセットされると、ADCSR.DBLANS[4:0] で選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ B（ADDBLDRB）、および A/D データ 2 重化レジスタ（ADDBLDR）に格納されます。
(6) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）にセットされていると、S12ADI 割り込みが発生します。
(7) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

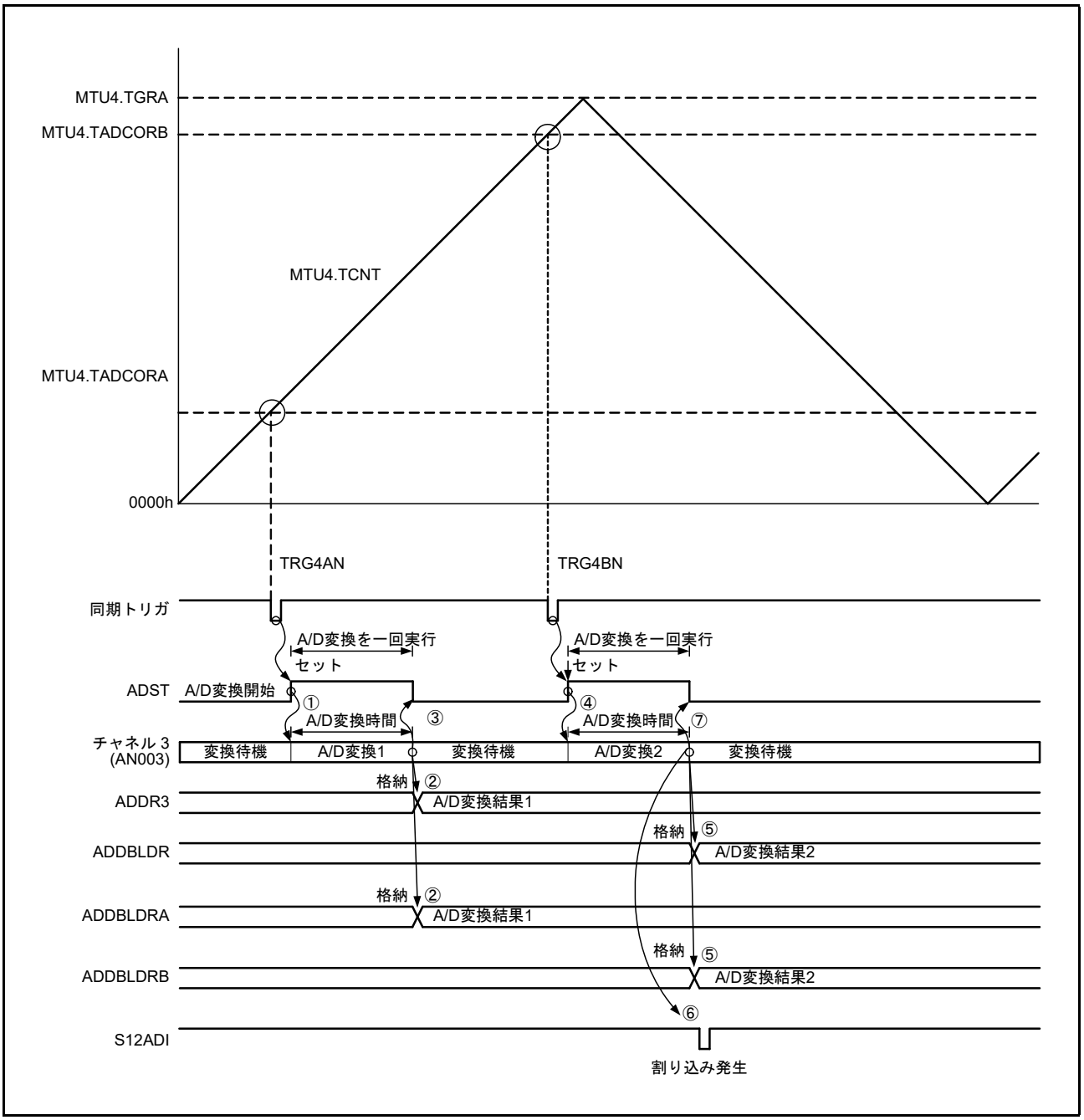


図 43.10　ダブルトリガモードの拡張動作例（1）
（AN003 を 2 重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合）

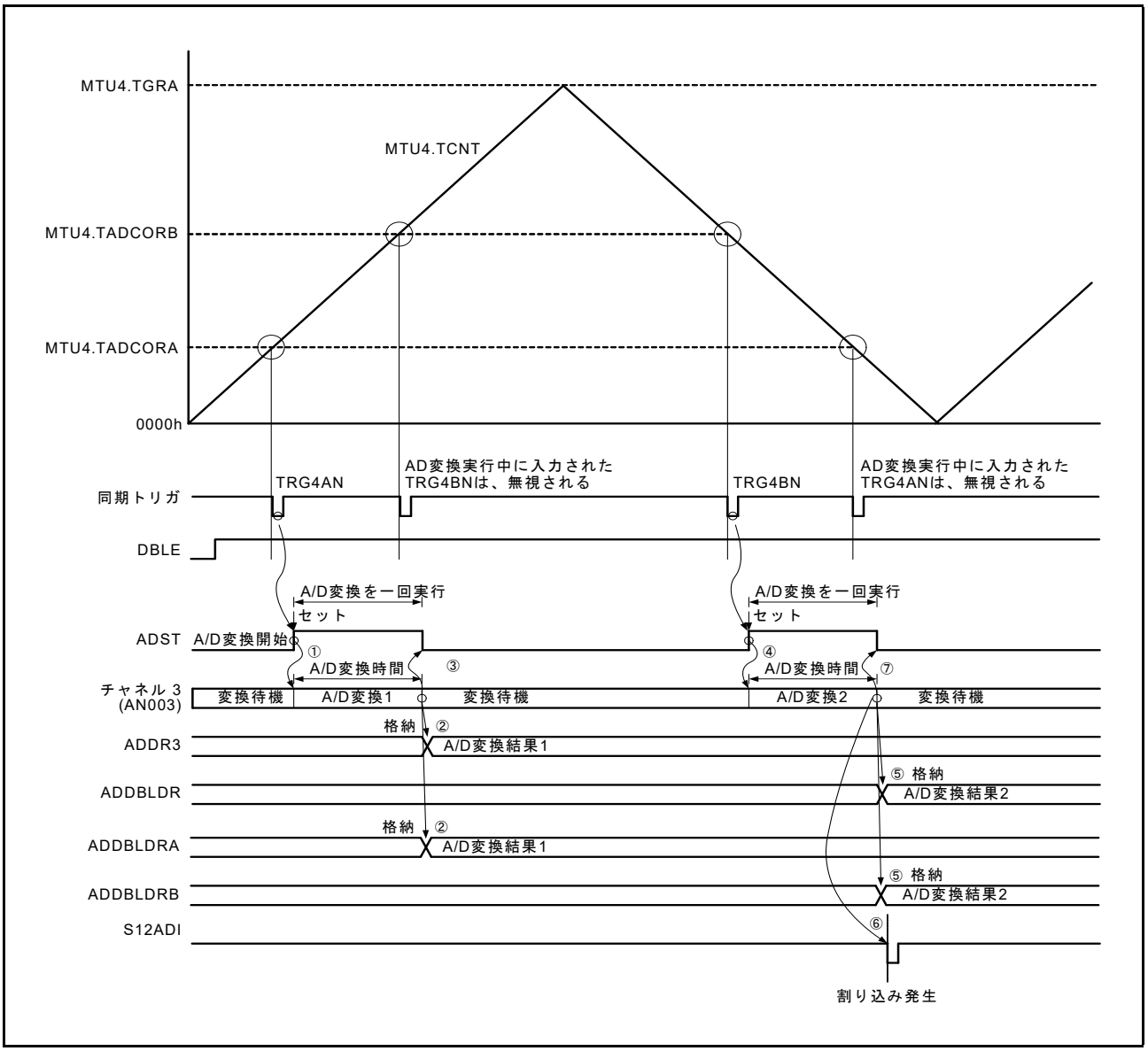


図 43.11　ダブルトリガモードの拡張動作例（2）
（AN003 を 2 重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合）

次に、A/D 変換開始トリガとして同期トリガである TRG4AN または TRG4BN を選択、1 回目のトリガが TRG4BN の場合のダブルトリガモードの拡張動作を説明します。

(1) TRG4BN 入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）にセットされると、ADCSR.DBLANS[4:0] で選択した 1 チャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ B（ADDBLDRB）、および対応する A/D データレジスタ（ADDRy）に格納されます。
(3) ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット（スキャン終了による S12ADI 割り込み許可）の設定によらず、S12ADI 割り込みは発生しません。
(4) TRG4AN 入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）にセットされると、ADCSR.DBLANS[4:0] で選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ A（ADDBLDRA）と A/D データ 2 重化レジスタ（ADDBLDR）に格納されます。
(6) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）にセットされていると、S12ADI 割り込みが発生します。
(7) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

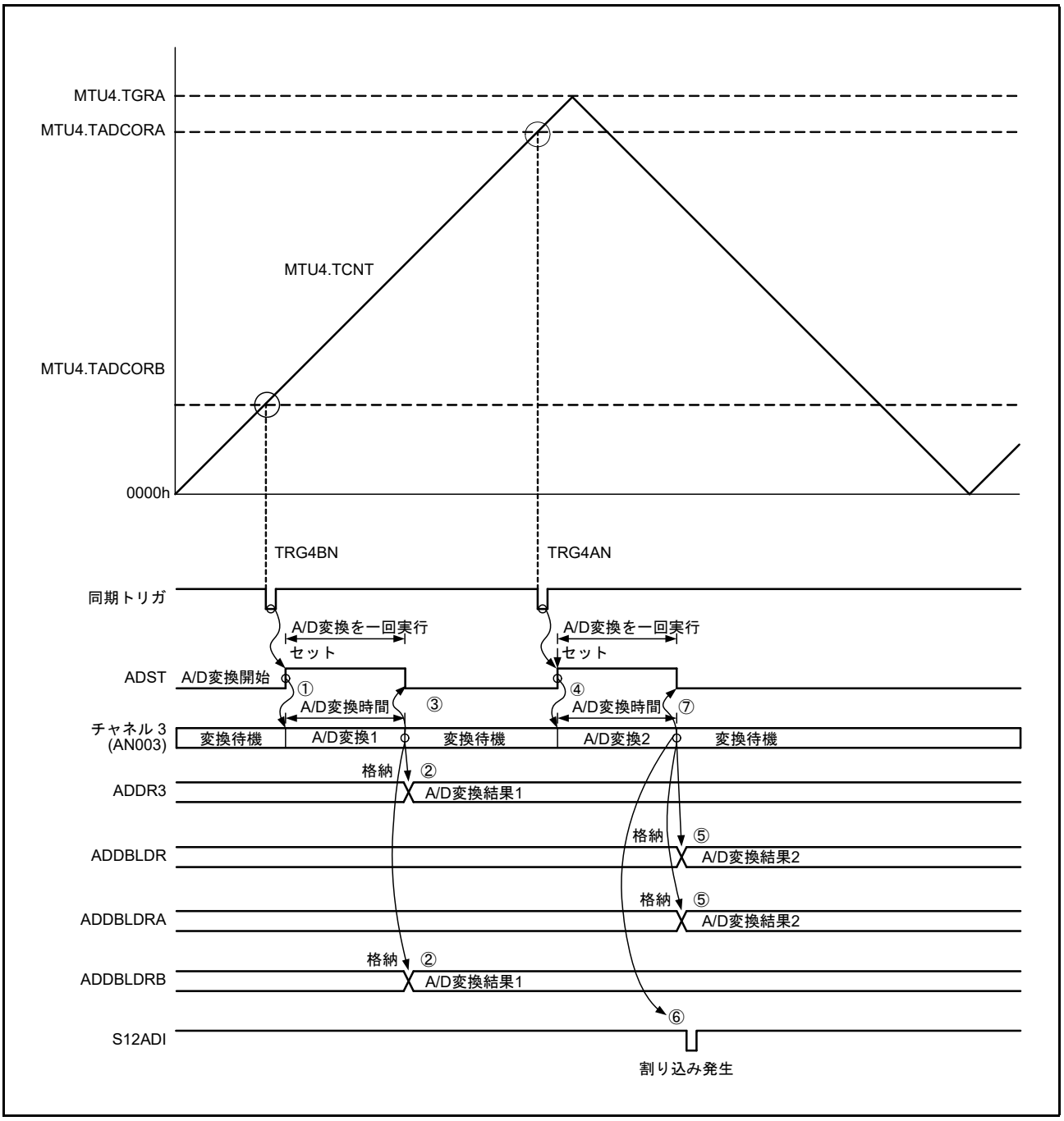


図 43.12　ダブルトリガモードの拡張動作例（3）
（AN003 を 2 重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4BN の場合）

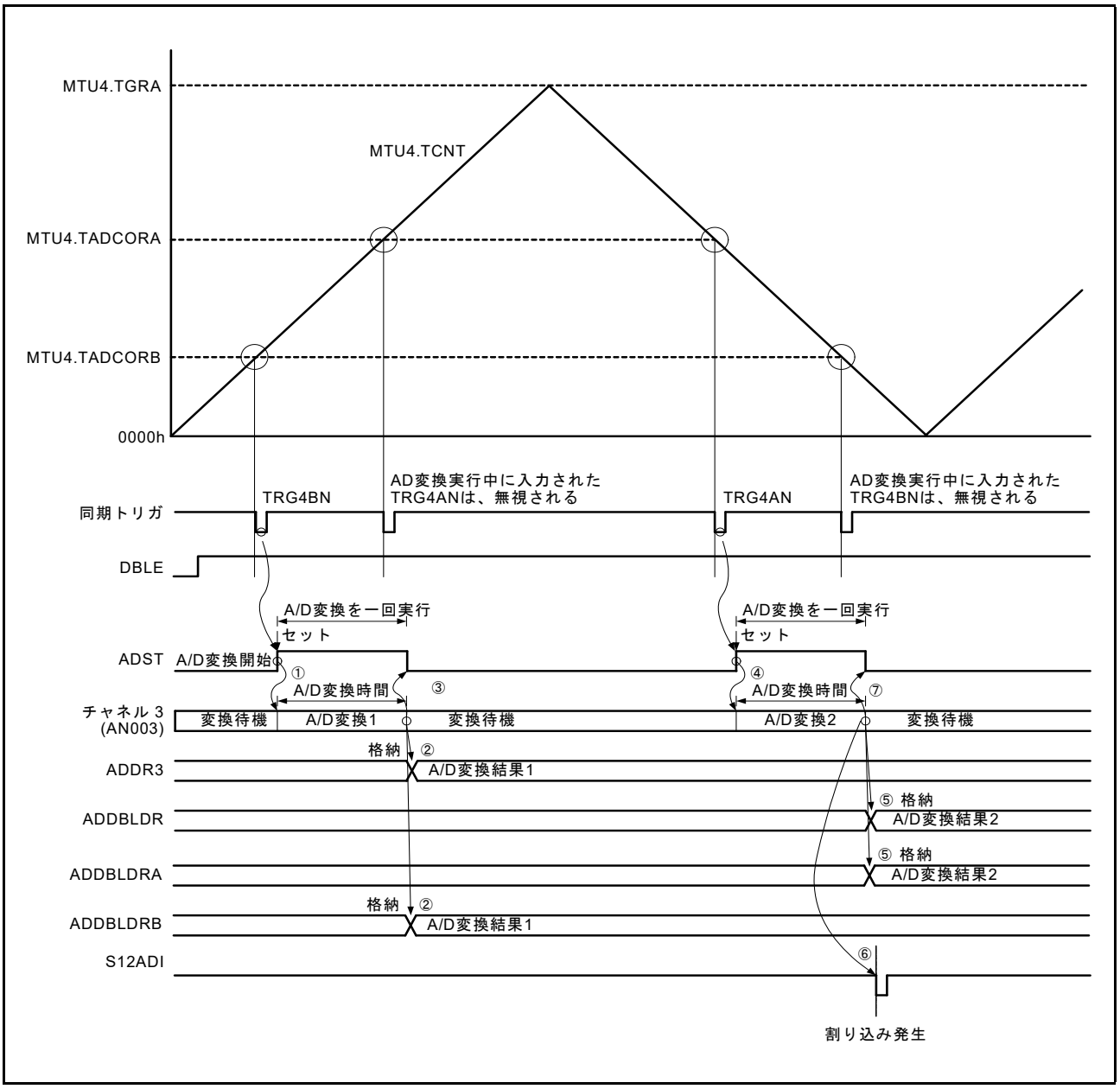


図 43.13　ダブルトリガモードの拡張動作例（4）
（AN003 を 2 重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4BN の場合）

次に、A/D 変換開始トリガとして同期トリガである GTADTRA0N または GTADTRB0N を選択、2 種類のトリガ要因が同時に発生した場合のダブルトリガモードの拡張動作を説明します。

(1) 2 種類のトリガ要因 GTADTRA0N、GTADTRB0N の入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）にセットされると、ADCSR.DBLANS[4:0] で選択した 1 チャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ B（ADDBLDRB）と対応する A/D データレジスタ（ADDRy）に格納されます。
(3) ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット（スキャン終了による S12ADI 割り込み許可）の設定によらず、S12ADI 割り込みは発生しません。
(4) 2 種類のトリガ要因 GTADTRA0N、GTADTRB0N の入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ B（ADDBLDRB）と A/D データ 2 重化レジスタ（ADDBLDR）に格納されます。
(6) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(7) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

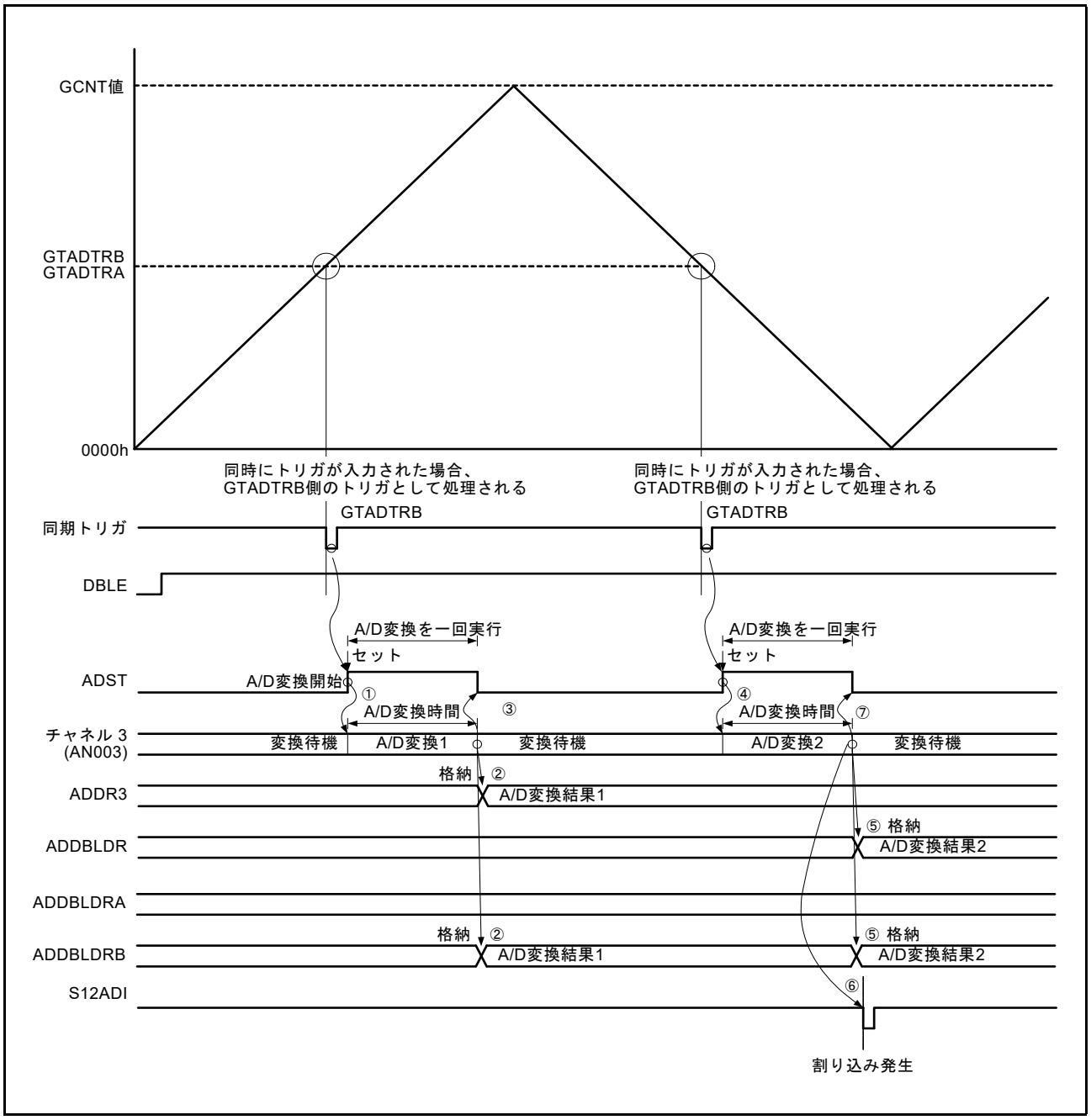


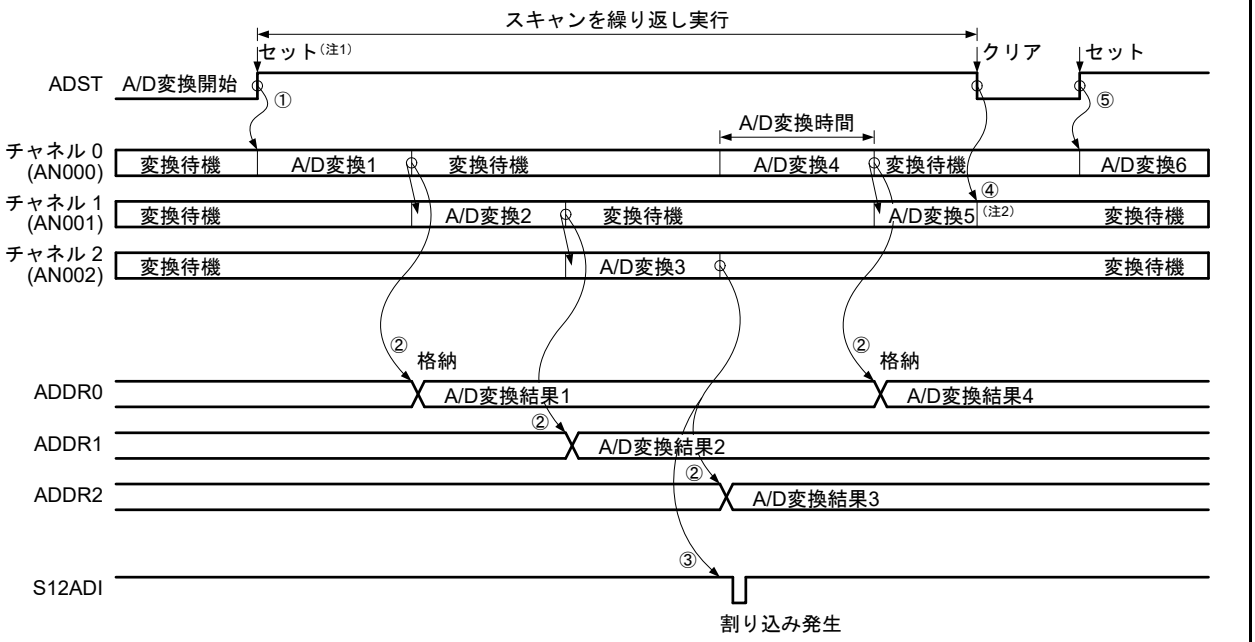
図 43.14　ダブルトリガモードの拡張動作例（5）
（AN003 を 2 重化選択、GTADTRA0N または GTADTRB0N 選択、2 種類のトリガ要因が同時に発生した場合）

43.3.3　連続スキャンモード

43.3.3.1　基本動作（チャネル専用サンプル＆ホールドなし）

連続スキャンモードの基本動作は、ADANSA レジスタで選択したチャネルのアナログ入力を以下のように繰り返し A/D 変換します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
また 12 ビット A/D コンバータは、継続して ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。
(4) ADST ビットは自動的にクリアされず、“1”（A/D 変換開始）の間は（2）～（3）を繰り返します。
ADCSR.ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(5) その後、ADCSR.ADST ビットが “1”（A/D 変換開始）に設定されると再び ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。



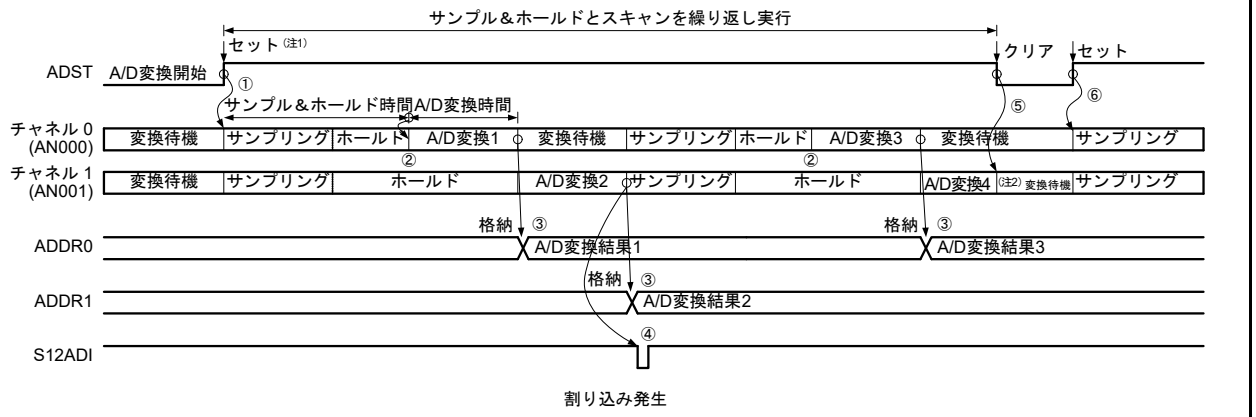
注 1.　↓は、ソフトウェアによる命令実行を示します。
注 2.　A/D 変換 5 の変換データは無視されます。

図 43.15　連続スキャンモードの動作例（基本動作：AN000 ～ AN002 選択）

43.3.3.2　基本動作（チャネル専用サンプル＆ホールドあり）

チャネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャネルのアナログ入力に対する A/D 変換を繰り返します。チャネル専用サンプル&ホールド回路を使用するチャネルは、ADSHCR.SHANS[3:0] ビットで選択します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）、または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルは、すべてのアナログ入力のサンプリングを開始します。
(2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。また、チャネル専用サンプル&ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングを開始します。
(5) ADST ビットは自動的にクリアされず、“1” に設定されている間は（2）～（4）を繰り返します。ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(6) その後、ADST ビットが “1”（A/D 変換開始）になると、再びチャネル専用サンプル&ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングを開始します。



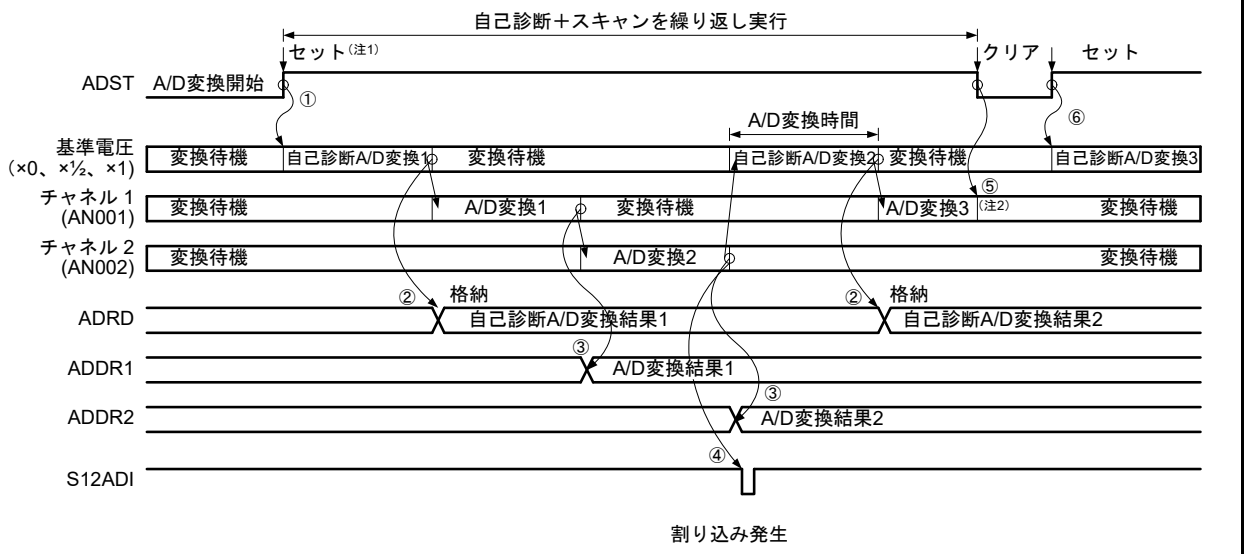
注 1.　↓は、ソフトウェアによる命令実行を示します。
注 2.　A/D 変換 4 の変換データは無視されます。

図 43.16　連続スキャンモードの動作例
（チャネル専用サンプル＆ホールド回路使用：AN000、AN001 選択）

43.3.3.3　チャネル選択と自己診断（チャネル専用サンプル＆ホールドなし）

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧 VREFH0（ユニット 0）、VREFH1（ユニット 1）（基準電圧 ×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後選択したチャネルのアナログ入力の A/D 変換を繰り返します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、最初に自己診断による A/D 変換を開始します。
(2) 自己診断による A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納され、次に ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納されます。
(4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていれば、S12ADI 割り込みが発生します。また、12 ビット A/D コンバータは継続して自己診断による A/D 変換を開始し、終了後に ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(5) ADCSR.ADST ビットは自動的にクリアされず、“1” に設定されている間は（2）～（4）を繰り返します。ADCSR.ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(6) その後、ADST ビットが “1”（A/D 変換開始）に設定されると、再び自己診断による A/D 変換から順に変換を開始します。



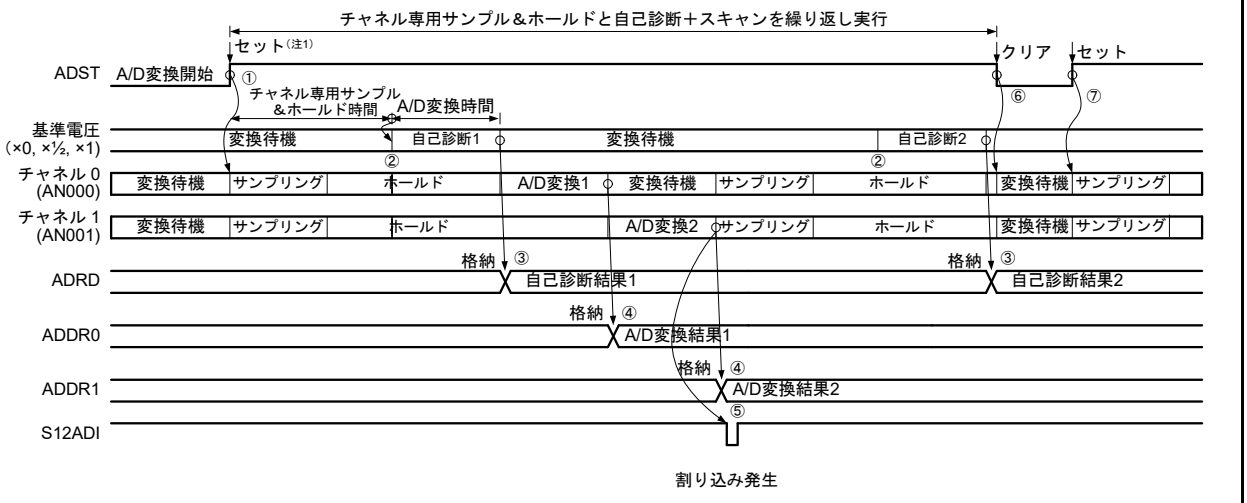
注 1.　↓は、ソフトウェアによる命令実行を示します。
注 2.　A/D 変換 3 の変換データは無視されます。

図 43.17　連続スキャンモードの動作例（基本動作：AN0001、AN002 選択＋自己診断）

43.3.3.4　チャネル選択と自己診断（チャネル専用サンプル＆ホールドあり）

チャネル選択と共に自己診断を選択し、チャネル専用サンプル＆ホールド回路を使用すると、以下のようにサンプル＆ホールド実施後に、12 ビット A/D コンバータに供給される基準電圧 VREFH0（ユニット 0）、VREFH1（ユニット 1）（基準電圧 ×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後選択したチャネルのアナログ入力の A/D 変換を繰り返し行います。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[3:0] ビットで選択します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルは、すべてのアナログ入力のサンプリングを開始します。
(2) サンプリング＆ホールド実施後に、自己診断による A/D 変換を開始します。
(3) 自己診断による A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納され、次に ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(5) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。また、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングを開始します。
(6) ADST ビットは自動的にクリアされず、“1” に設定されている間は（2）～（5）を繰り返します。ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(7) その後、ADST ビットが “1”（A/D 変換開始）に設定されると、再びチャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングを開始します。



注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.18　連続スキャンモードの動作例
（チャネル専用サンプル＆ホールド回路使用：AN000、AN001 選択＋自己診断）

43.3.3.5　温度センサ出力選択時の A/D 変換動作

チャネル選択と共に温度センサ出力を選択すると、以下のように選択したチャネルのアナログ入力の A/D 変換を行い、その後、温度センサ出力の A/D 変換を繰り返します。A/D 変換するチャネルを非選択とし、温度センサ出力のみを選択することも可能です。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。

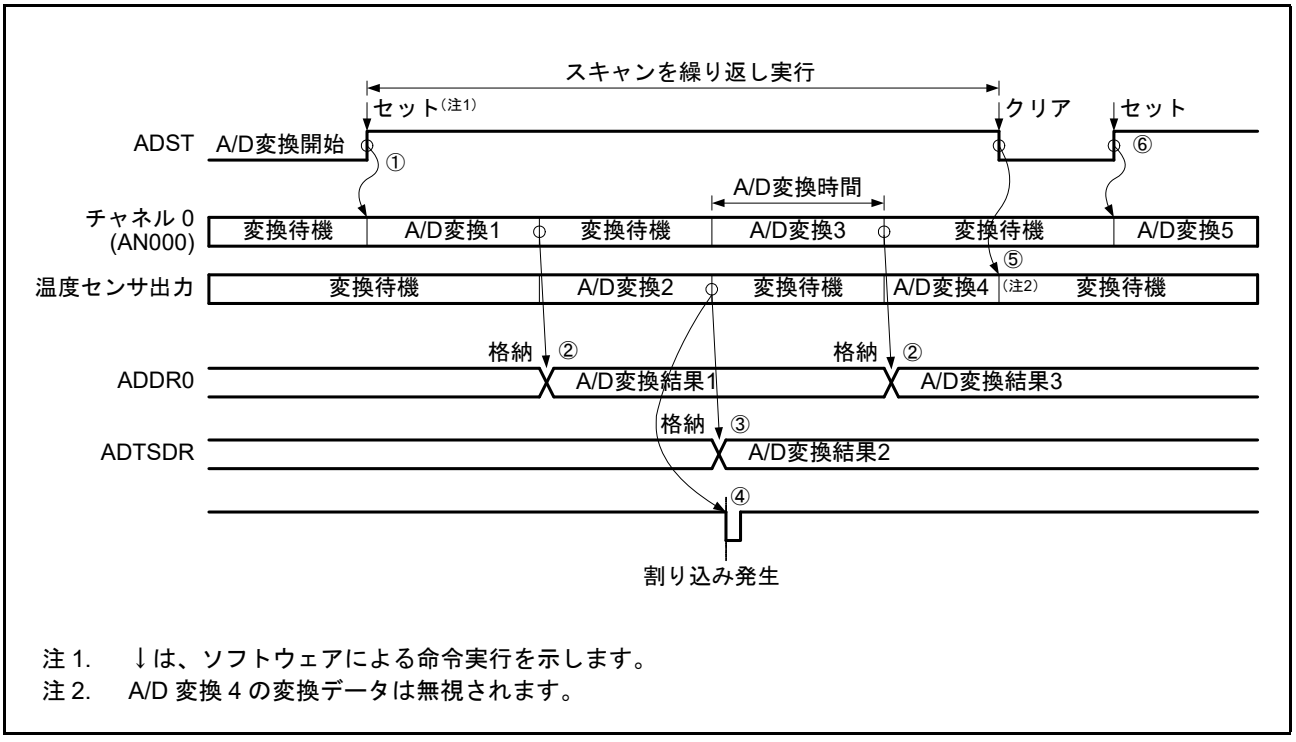
(2) 選択したチャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納され、次に温度センサ出力の A/D 変換を開始します。

(3) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ（ADTRDR）へ格納されます。

(4) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。また、12 ビット A/D コンバータは、継続して ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。

(5) ADCSR.ADST ビットは自動的にクリアされず、“1” にセットされている間は（2）～（4）を繰り返します。ADCSR.ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。

(6) その後、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、再び ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。



注 1.　↓は、ソフトウェアによる命令実行を示します。
注 2.　A/D 変換 4 の変換データは無視されます。

図 43.19　連続スキャンモードの動作例（基本動作：AN000、温度センサ出力、内部基準電圧選択）

43.3.4　グループスキャンモード

43.3.4.1　基本動作

グループスキャンモードの基本動作は、同期トリガ（MTU3a、GPTa、TPUa、ELC）をスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じです。

グループスキャンモードでは、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガを設定してください。また、ソフトウェアトリガは使用しないでください。

グループ A は、ADANSA レジスタ、ADEXICR.TSSA ビットで A/D 変換対象チャネルを選択し、グループ B は、ADANSB レジスタ、ADEXICR.TSSB ビットで A/D 変換対象チャネルを選択します。グループ A とグループ B で同一のチャネルを選択することはできません。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に MTU3a のトリガによるグループスキャンモードの動作例を示します。グループ A は MTU3a の TRG4AN トリガで変換を開始し、グループ B は MTU3a の TRG4BN トリガで変換を開始する設定です。

(1) MTU3a の TRG4AN トリガでグループ A のスキャンを開始します。
(2) グループ A のスキャン終了時に ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(3) MTU3a の TRG4BN トリガでグループ B のスキャンを開始します。
(4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1”（スキャン終了による S12GBADI 割り込み許可）に設定されていると、S12GBADI 割り込みが発生します。

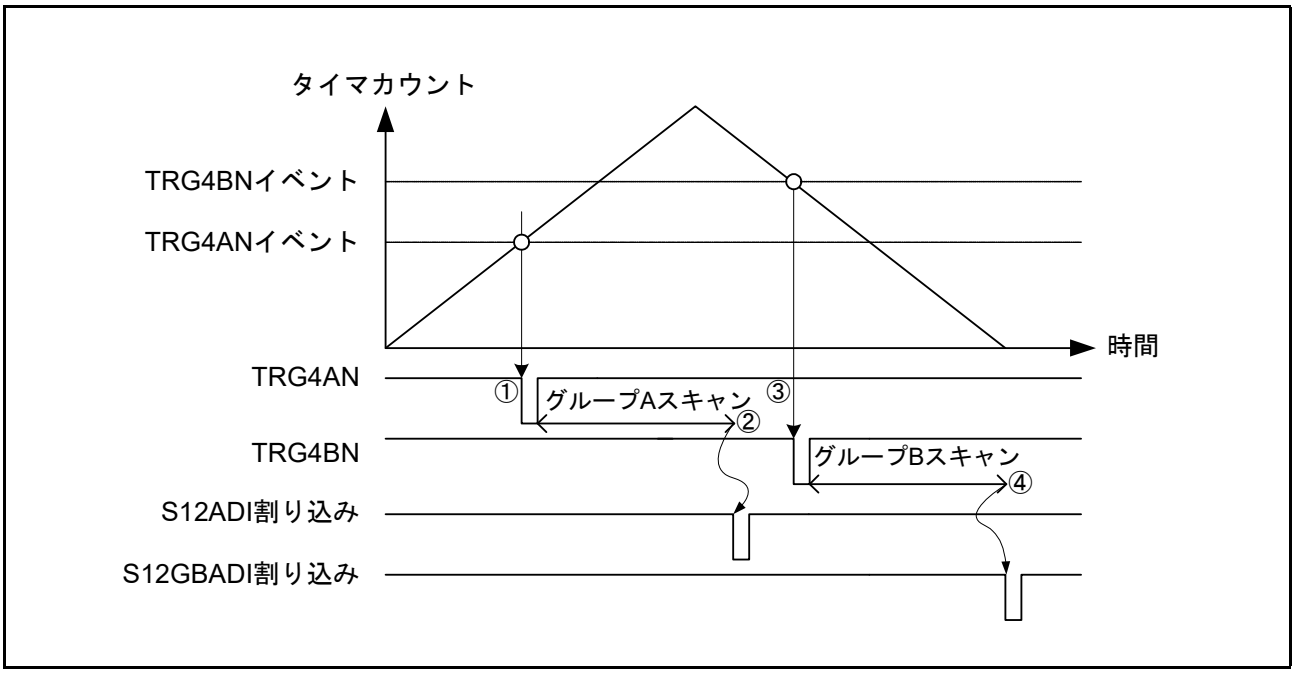


図 43.20　グループスキャンモードの動作例（MTU3a からのトリガ発生による基本動作）

43.3.4.2　ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合、グループ A は同期トリガ（MTU3a、GPTa、TPUa、ELC）で開始するシングルスキャンモードの実行 2 回分を一連の動作として A/D 変換を行います。グループ B は同期トリガ（MTU3a、GPTa、TPUa、ELC）で開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードでは、ADSTRGR.TRSA[5:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B は別々のトリガを選択してください。また、ソフトウェアトリガ、および非同期トリガ（ADTRGn）は使用しないでください。A/D 変換開始トリガとして、同期トリガの TRGnAN または TRGnBN（n = 4、7）を選択（ADSTRGR.TRSA[5:0] ビットに “0Bh”、“0Fh” を設定）した場合、もしくは GTADTRAmN または GTADTRBmN（m = 0 ～ 3）を選択（ADSTRGR.TRSA[5:0] ビットに “19h”、“1Ah”、“1Bh”、“1Ch” を設定）した場合は、ダブルトリガ拡張モードで動作します。

グループ A は、ADCSR.DBLANS[4:0] ビットで A/D 変換対象チャネルを選択し、グループ B は、ADANSB レジスタで A/D 変換対象チャネルを選択します。グループ A とグループ B で同一のチャネルを選択することはできません。

グループスキャンモードでダブルトリガモードを選択した場合、温度センサ A/D 変換選択ビット（ADEXICR.TSSA、ADEXICR.TSSB）は “0”（非選択）に設定します。

グループスキャンモードでダブルトリガモードを選択する場合、自己診断は選択できません。

A/D 変換データを 2 重化する場合、2 重化するチャネル番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効になります。

以下に MTU3a のトリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU3a の TRG4ABN トリガで変換を開始し、グループ B は MTU3a の TRG0AN トリガで変換を開始する設定です。

(1) MTU3a の TRG0AN トリガでグループ B のスキャンを開始します。
(2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1”（スキャン終了による S12GBADI 割り込み許可）に設定されていると、S12GBADI 割り込みが発生します。
(3) 1 回目の MTU3a の TRG4ABN トリガで、グループ A の 1 回目のスキャンを開始します。
(4) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ（ADDRy）に格納します。ADCSR.ADIE ビットの設定にかかわらず、S12ADI 割り込みは発生しません。
(5) 2 回目の MTU3a の TRG4ABN トリガで、グループ A の 2 回目のスキャンを開始します。
(6) グループ A の 2 回目のスキャン終了後、変換データを ADDBLDR レジスタに格納し、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。

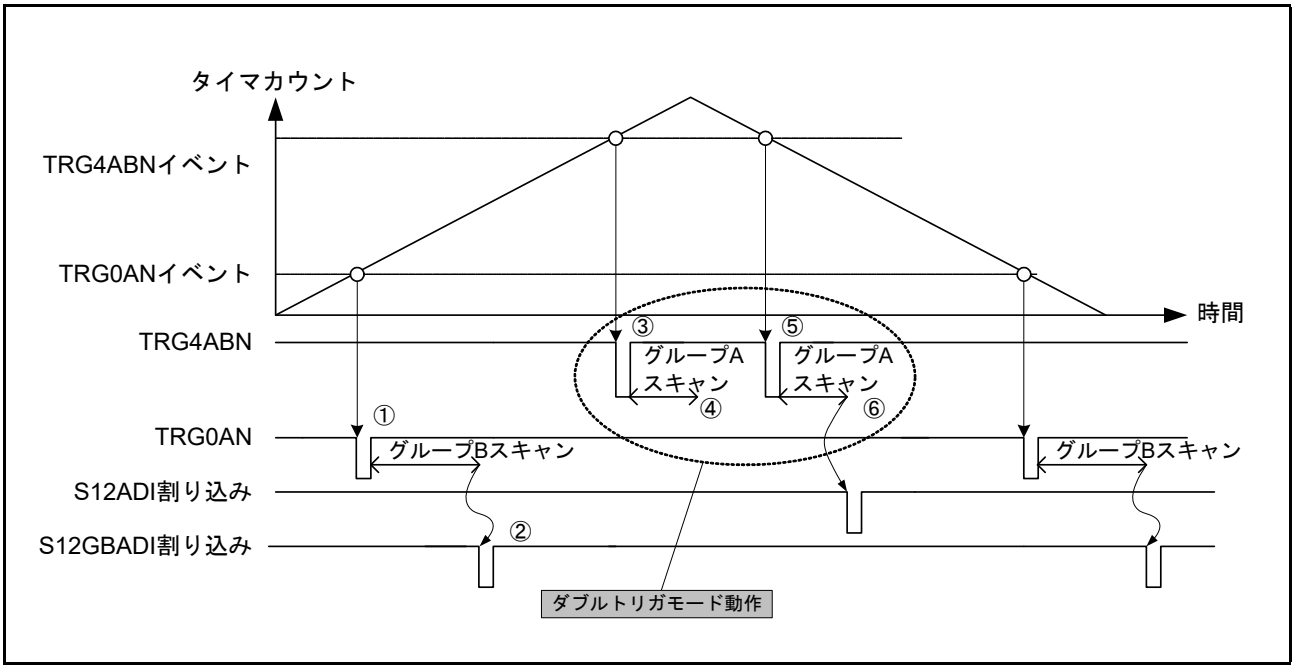


図 43.21　グループスキャンモードでダブルトリガモード選択時の動作例
（MTU3a からのトリガ発生による基本動作）

43.3.4.3　グループA優先制御動作

グループスキャンモードでA/Dグループスキャン優先コントロールレジスタ（ADGSPCR）のPGSビットを“1”にすると、グループA優先制御動作を行います。ADPGSCRレジスタのPGSビットを“1”に設定する際は、**図43.22**の手順にしたがい、各レジスタを設定してください。フロー以外の設定をした場合、A/D変換の動作および格納されたデータは保証できません。

グループスキャンモードの基本動作では、グループA、もしくはグループBのA/D変換中に他方のトリガ入力があっても無視されます。グループA優先制御動作では、グループBのA/D変換中にグループAのトリガ入力があった場合、グループBのA/D変換を中断して、グループAのA/D変換を行います。ADGSPCR.GBRSCNビットが“0”のとき、グループAのトリガにより中断されたグループBのA/D変換は、グループAのA/D変換後に再実行されず、待機状態になります。ADGSPCR.GBRSCNビットが“1”のときは、グループAのA/D変換終了後、自動的にグループBのA/D変換をスキャン先頭から再開します。ADGSPCR.GBRSCNビットの設定とA/D変換中のトリガ入力時の動作を**表43.9**に示します。

グループAとグループBのスキャン動作は、シングルスキャンモードと同じです。また、ADGSPCR.GBRPビットに“1”を設定すると、グループBはシングルスキャンを連続して実行します。

グループスキャンモードでは、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループAのトリガとは異なるグループBの同期トリガを選択してください。ADGSPCR.GBRPビットに“1”を設定する場合、ADSTRGR.TRSB[5:0]ビットは“3Fh”を設定してください。また、グループAは、ADANSAレジスタ、ADEXICR.TSSAビットでA/D変換対象チャネルを選択し、グループBは、ADANSBレジスタ、ADEXICR.TSSBビットで、グループAとは異なるA/D変換対象チャネルを選択してください。

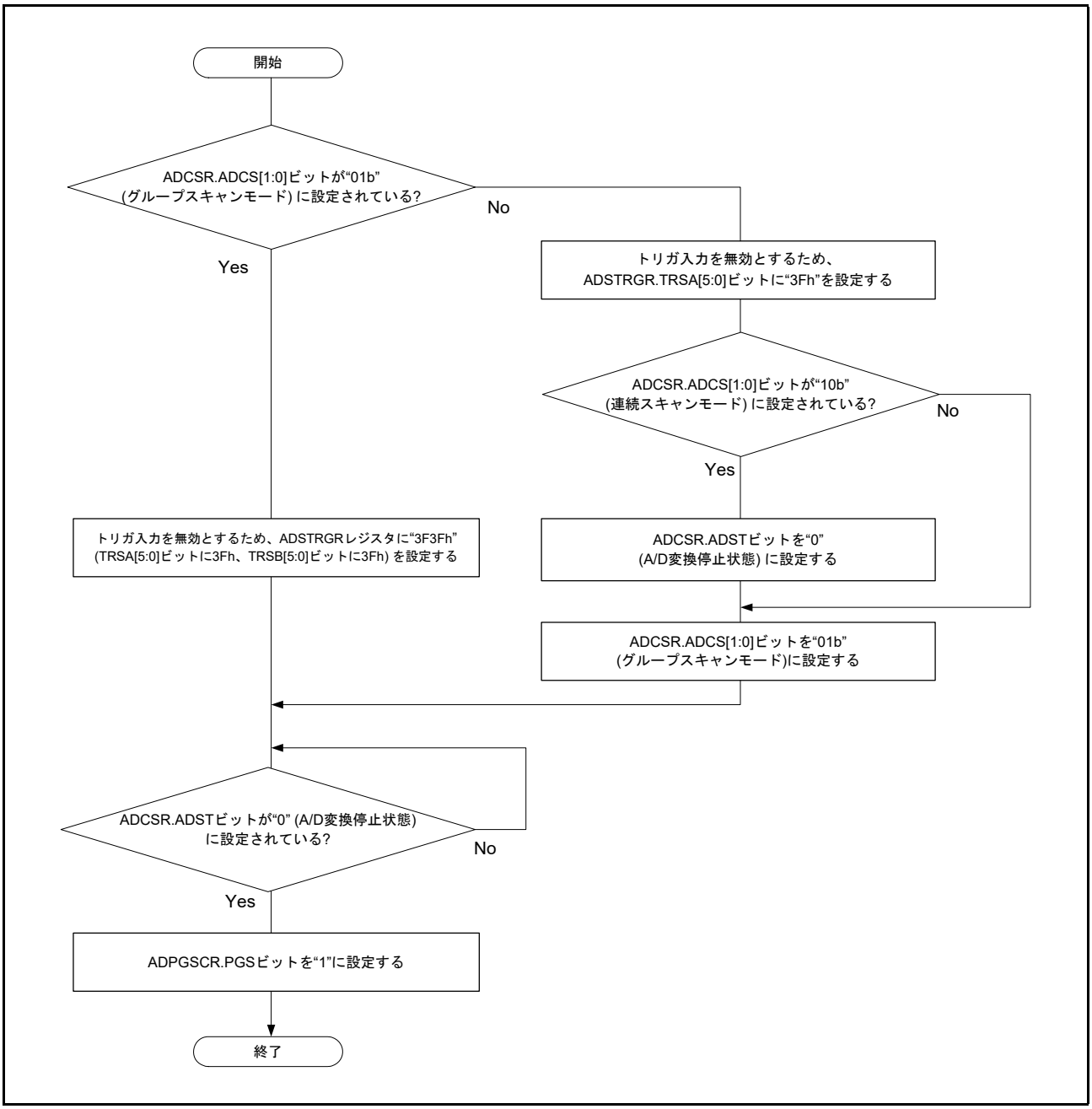


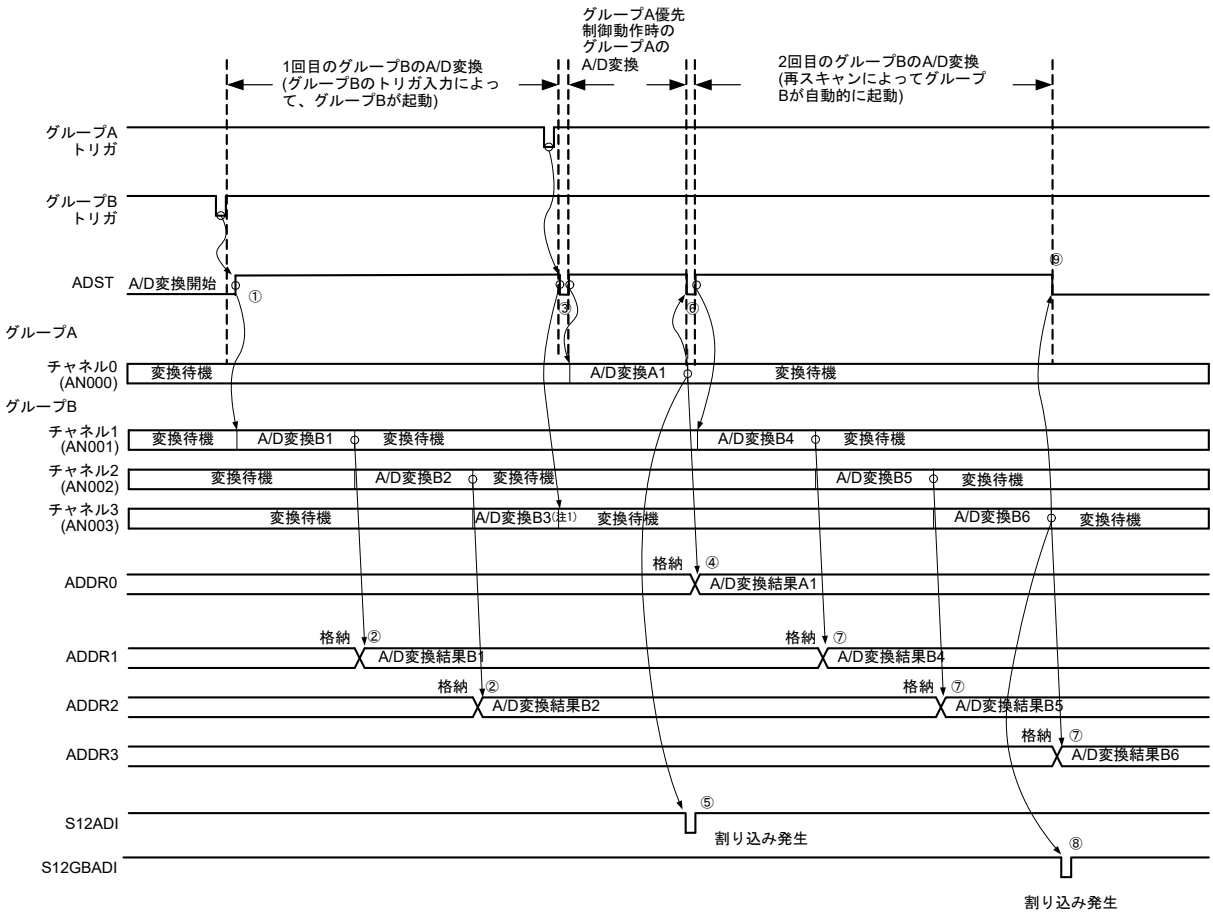
図 43.22　ADPGSCR.PGS ビット設定時のフロー

表43.9　　ADGSPCR.GBRSCNビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換終了後、グループBのA/D変換を行います。
グループB のA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、グループAのA/D変換開始	• グループBのA/D変換中断し、グループAのA/D変換開始 • グループAのA/D変換終了後、グループBのA/D変換開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したグループスキャンモードグループ A 優先制御動作の動作例（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時）を以下に示します。

(1) グループ B のトリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSB レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) グループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを “0” にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(5) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(6) ADST ビットは自動的にクリアされた後、再度、自動的に ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSB レジスタで選択したチャネル ANn 端子の n が小さい番号順に、グループ B の A/D 変換を再度開始します。
(7) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(8) ADCSR.GBADIE ビットが “1”（グループ B のスキャン終了による S12GBADI 割り込み許可）に設定されていると、S12GBADI 割り込みが発生します。
(9) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

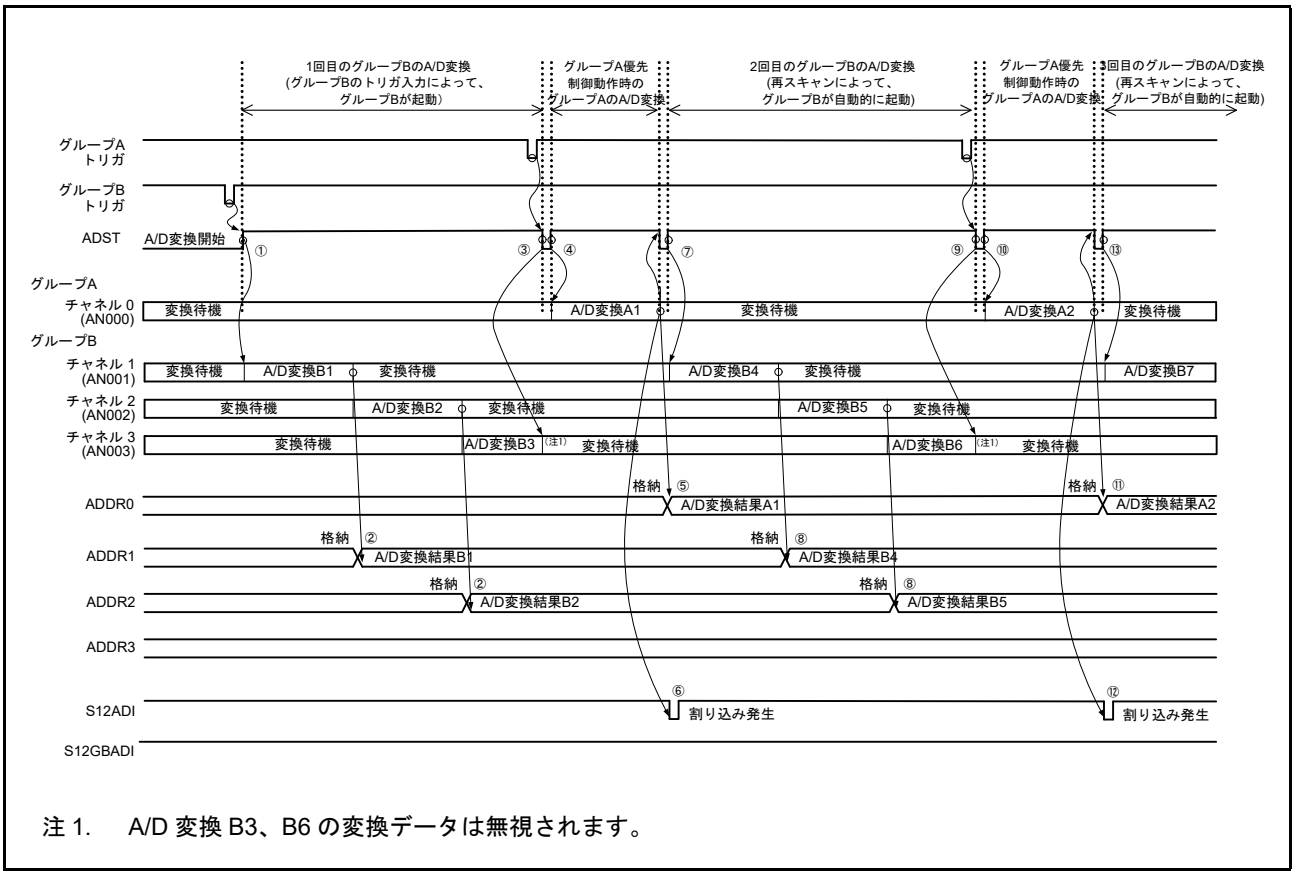


注 1.　A/D 変換 B3 の変換データは無視されます。

図 43.23　グループ A 優先制御の動作例（1）（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作）

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時）に、グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択した場合の例を示します。

(1) グループ B のトリガ入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）に設定されると、ADANSB レジスタで選択した、グループ B のチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) グループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを “0” にクリア（A/D 変換停止）し、動作中のグループ B の A/D 変換を中断します。
(4) その後、ADCSR.ADST ビットを自動的に “1” にし、ADANSA レジスタで選択した、グループ A のチャネル ANn 端子の n が小さい番号順に、グループ A の A/D 変換を開始します。
(5) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(6) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(7) ADGSPCR.GBRSCN ビットが “1”（再スキャン動作有効）に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが “1” に設定されます。その後、ADANSB レジスタで選択した、グループ B のチャネル ANn 端子の n が小さい番号順に、A/D 変換を再開します。
(8) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(9) 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを “0” にクリア（A/D 変換停止）し、動作中のグループ B の A/D 変換を中断します。
(10) その後、ADCSR.ADST ビットを自動的に “1” にし、ADANSA レジスタで選択した、グループ A のチャネル ANn 端子の n が小さい番号順に、グループ A の A/D 変換を開始します。
(11) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(12) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(13) ADGSPCR.GBRSCN ビットが “1”（再スキャン動作有効）に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが “1” に設定されます。その後、ADANSB レジスタで選択した、グループ B のチャネル ANn 端子の n が小さい番号順に、A/D 変換を再開します。
(14) 再スキャン起動によるグループ B の A/D 変換中に、グループ A のトリガ入力があると、(9) ～ (13) を繰り返し実行します。グループ A のトリガ入力が無い場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



注 1.　A/D 変換 B3、B6 の変換データは無視されます。

図 43.24　グループ A 優先制御の動作例（2）（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0 時の動作）

次に、グループ A の A/D 変換中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時）に、グループ A にチャネル 1 ～ 3 を、グループ B にチャネル 0 を選択した場合の例を示します。

(1) グループ A のトリガ入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA レジスタで選択した、グループ A のチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) グループ A の A/D 変換中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換が実行できる状態になります。（ただし、グループ A のトリガが連続で入力された場合、グループ B の再スキャン動作は、グループ A の変換に打ち消され、実施されません）
(4) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(5) グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが “1” に設定されます。
その後、ADANSB レジスタで選択した、グループ B のチャネル ANn 端子の n が小さい番号順に、A/D 変換を再開します。
(6) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(7) 再スキャン起動による、グループ B のスキャン終了後、ADCSR.GBADIE ビットが “1”（スキャン終了による S12GBADI 割り込み許可）に設定されていると、S12GBADI 割り込みが発生します。
(8) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D 変換器は待機状態になります。

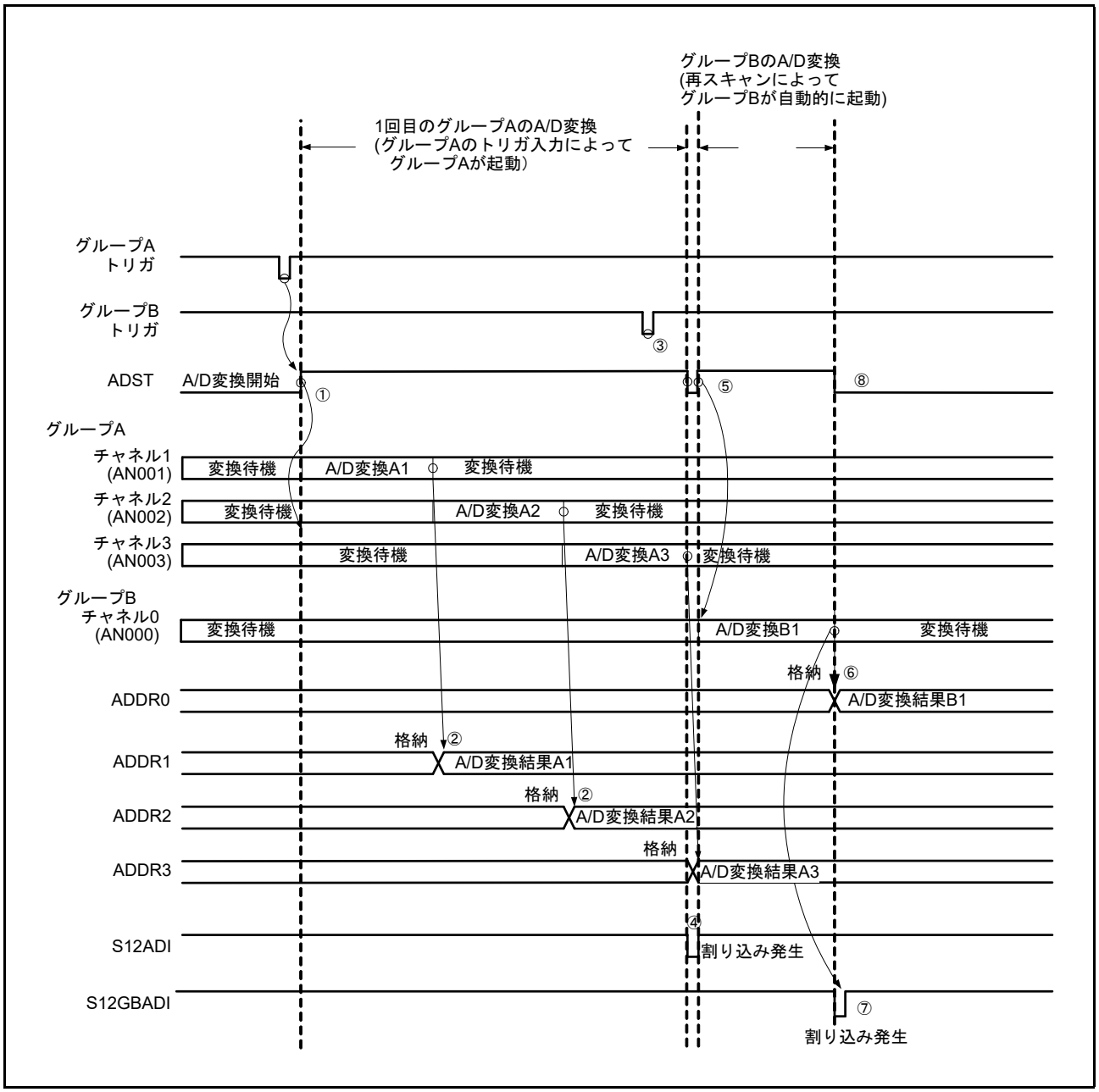
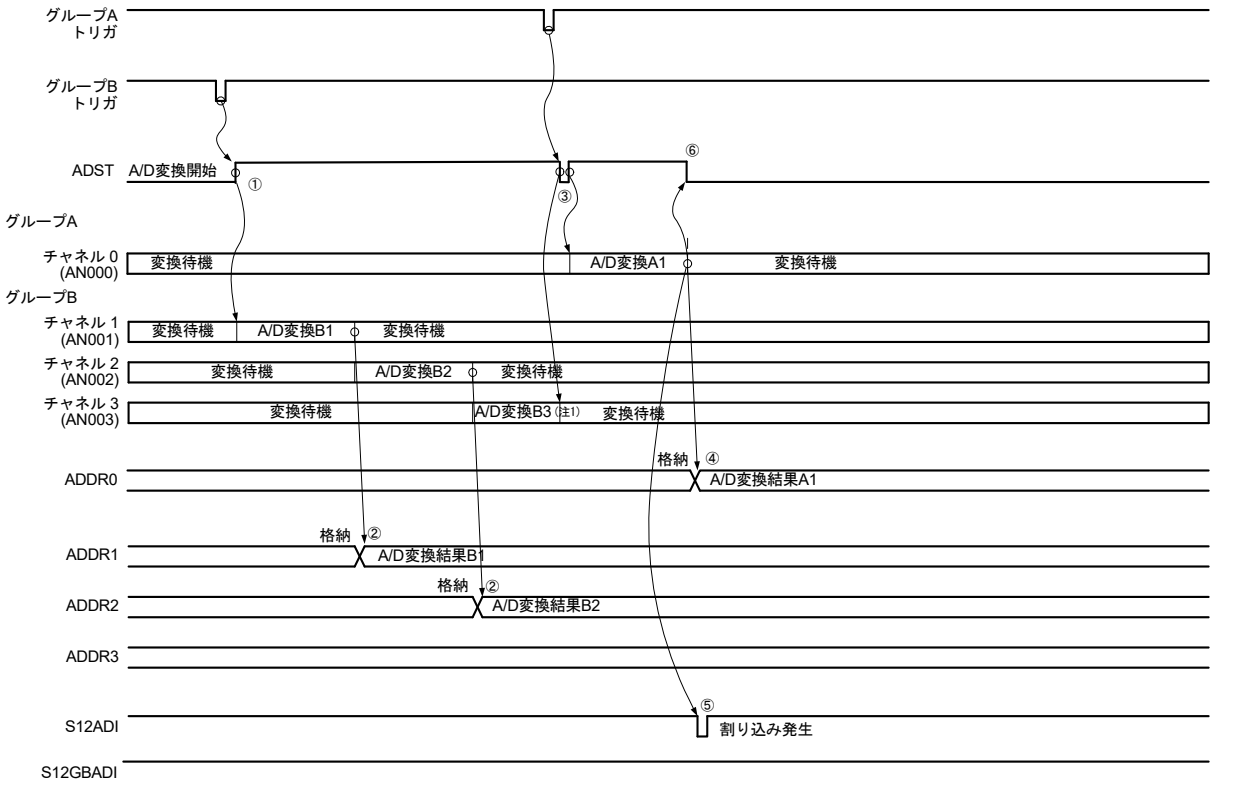


図 43.25　グループ A 優先制御の動作例（3）（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作）

グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したときのグループ A 優先制御の動作例（ADGSCR.GBRSCN = 0、ADGSCR.GBRP = 0）を以下に示します。

(1) グループ B のトリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSB レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) グループ B の A/D 変換中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを “0” にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に “1”（A/D 変換開始）になると、ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(5) ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(6) ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

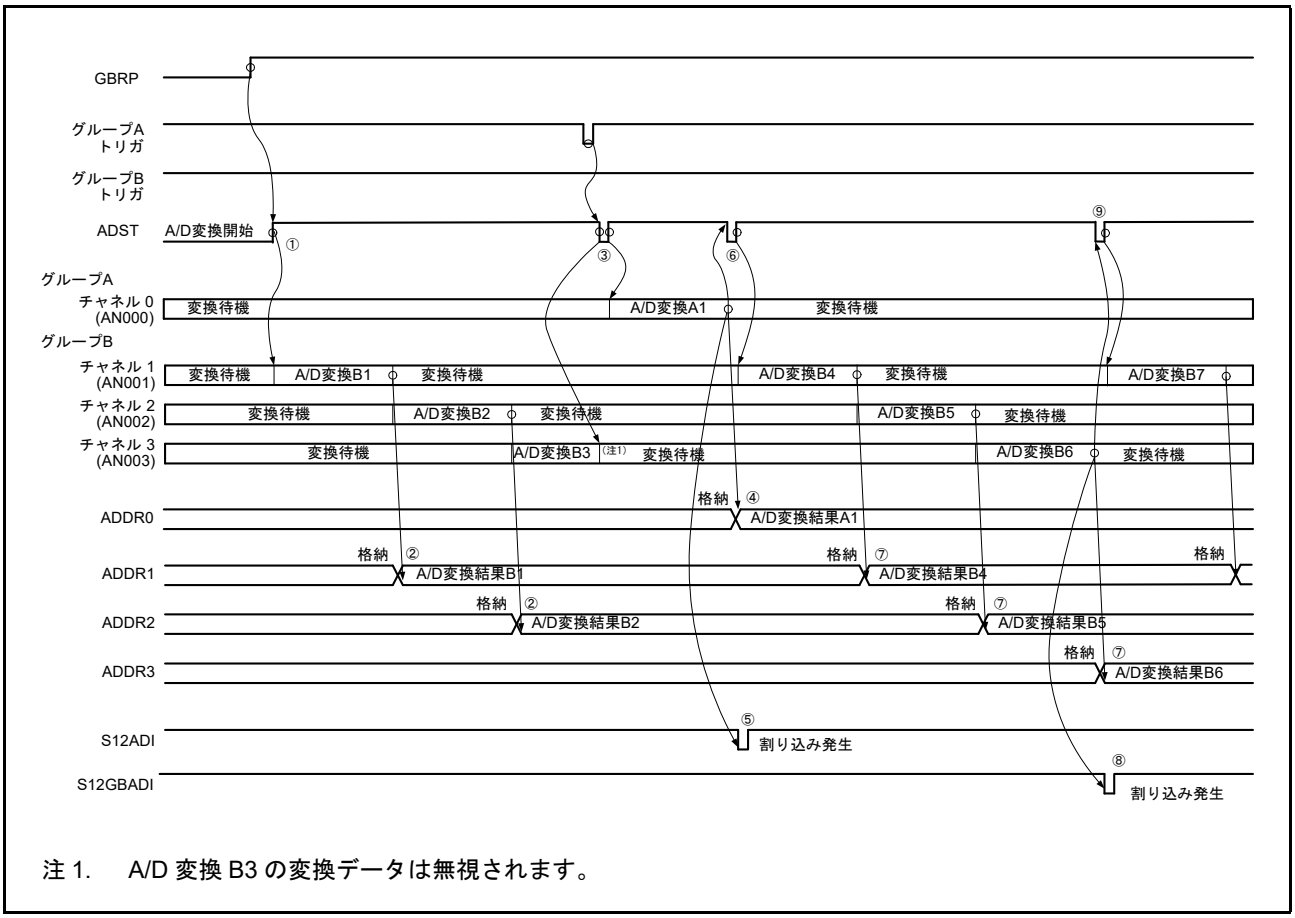


注 1.　A/D 変換 B3 の変換データは無視されます。

図 43.26　グループ A 優先制御の動作例（4）（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 時の動作）

グループAにチャネル0を、グループBにチャネル1～3を選択したときの、グループA優先制御の動作例（ADGSCR.GBRP = 1）を以下に示します。

(1) ADGSPCR.GBRP = 1を設定すると、ADCSR.ADSTビットが“1”（A/D変換開始）になり、ADANSBレジスタで選択したチャネルANn端子のnが小さい番号順にA/D変換を開始します。
(2) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
(3) グループBのA/D変換中に、グループAのトリガ入力があると、ADCSR.ADSTビットを“0”にクリアし、動作中のA/D変換を中断します。その後、ADCSR.ADSTビットが自動的に“1”（A/D変換開始）になると、ADANSAレジスタで選択したチャネルANn端子のnが小さい番号順にA/D変換を開始します。
(4) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
(5) ADCSR.ADIEビットが“1”（スキャン終了によるS12ADI割り込み許可）に設定されていると、S12ADI割り込みが発生します。
(6) ADSTビットが自動的にクリアされた後、再度、自動的に“1”（A/D変換開始）になると、ADANSBレジスタで選択したチャネルANn端子のnが小さい番号順にA/D変換を再開します。
(7) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
(8) ADCSR.GBADIEビットが“1”（グループBのスキャン終了によるS12GBADI割り込み許可）に設定されていると、S12GBADI割り込みが発生します。
(9) ADSTビットが自動的にクリアされた後、再度、自動的に“1”（A/D変換開始）が設定され、ADANSBレジスタで選択したチャネルANn端子のnが小さい番号順にA/D変換を再開します。ADGSPCR.GBRPビットが“1”に設定されている間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRPビットが“1”に設定されている間は、ADCSR.ADSTビットを“0”にクリアしないでください。ADGSPCR.GBRPビットが“1”のとき、A/D変換を強制停止させる場合は、**図43.40**に示すADCSR.ADSTビットによるソフトウェアクリア実行の設定フローにしたがってください。



注 1.　A/D 変換 B3 の変換データは無視されます。

図 43.27　グループ A 優先制御の動作例（5）（ADGSPCR.GBRP = 1 時の動作）

43.3.5　拡張アナログ入力（ユニット 1）

拡張アナログ入力（AN1_ANEX1）は、本 LSI の外部にオペアンプを接続して複数のアナログ値を A/D 変換する場合に使用します。拡張アナログ入力選択時は AN100 ～ AN107 のみ選択可能です。AN108 ～ AN115、自己診断機能は選択しないでください。また、拡張アナログ入力選択時は、断線検出アシスト機能は使用できません。また、拡張アナログ入力選択時は、端子レベル自己診断機能を有効にすると、AN100 ～ AN107 を選択しても、AN100 ～ AN107、AN1_ANEX0 に対してではなく、拡張アナログ入力（AN1_ANEX1）に対して端子レベル自己診断が実行されます。

43.3.5.1　AN1_ANEX1 の使用方法

オペアンプを介して複数のアナログ値を A/D 変換するには、アナログ入力チャネル（AN100 ～ AN107）にアナログ信号を入力し、拡張アナログ出力端子（AN1_ANEX0）から時分割されたアナログ値を取り出し、AN1_ANEX0 端子と AN1_ANEX1 端子間にオペアンプを接続することで実現できます。

AN1_ANEX1 選択時は、ADEXICR.EXSEL[1:0] ビットに “01b”（AN1_ANEX1 を選択）を、ADEXICR.EXOEN ビットに “1”（AN1_ANEX0 出力許可）を設定し、シングルスキャンモードまたは連続スキャンモードを選択してください。グループスキャンモードには設定しないでください。**図 43.28** に AN1_ANEX1 使用時の拡張アナログ入力構成例を、**図 43.29** に AN100、AN101、AN102 の 3 チャネルを選択し、シングルスキャンモードを選択した場合の動作を示します。

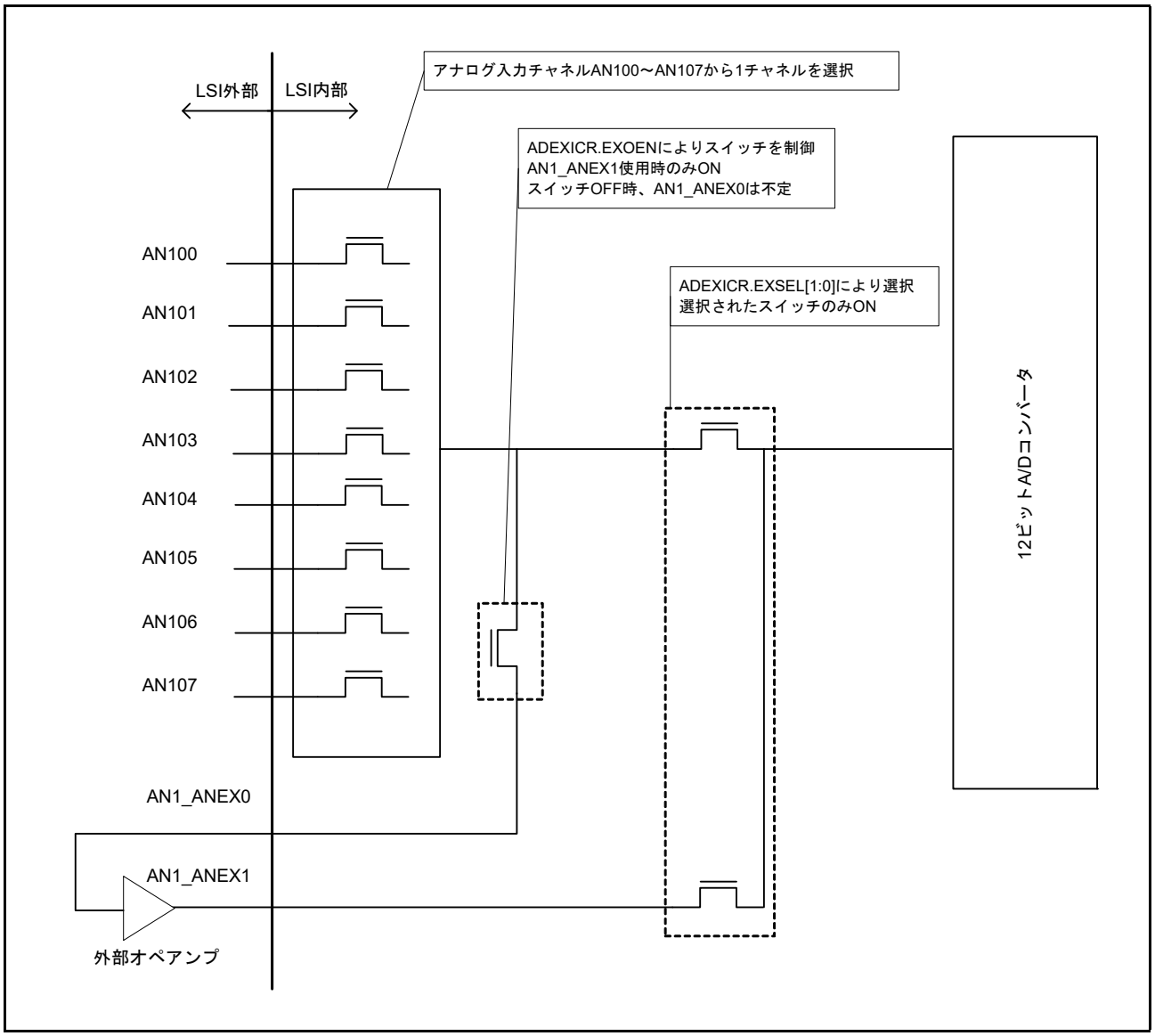


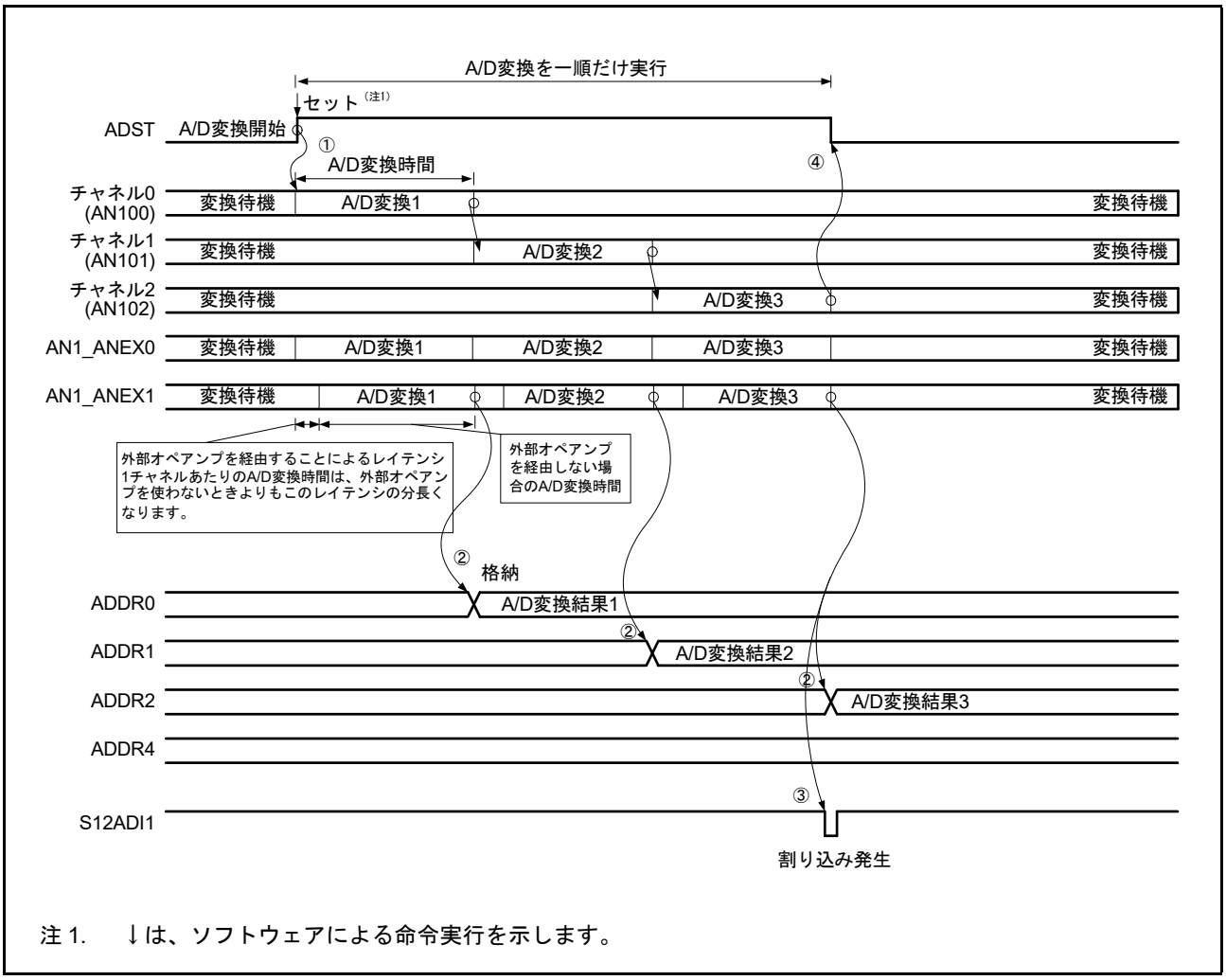
図 43.28　AN1_ANEX1 使用時の拡張アナログ入力構成例

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）、または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、選択されたチャネルのうち番号の小さいチャネルから A/D 変換を開始します。

(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。

(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。

(4) ADCSR.ADST ビットは A/D 変換中、“1” を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.29　AN1_ANEX1 入力の動作例（シングルスキャンモード）

拡張アナログ入力を選択したときの個々の A/D 変換時間は、アナログ入力チャネルを直接 A/D 変換する場合と比べ、オペアンプのレイテンシの分長くなります。

43.3.6　　コンペア機能

コンペア機能は、レジスタに設定した基準値とA/D変換結果を比較する機能です。コンペア機能使用時は、自己診断機能、ダブルトリガモードは使用できません。

連続スキャンモードとコンペア機能を組み合わせた場合の動作を以下に示します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、選択されたチャネル、温度センサ出力の順にA/D変換を開始します。

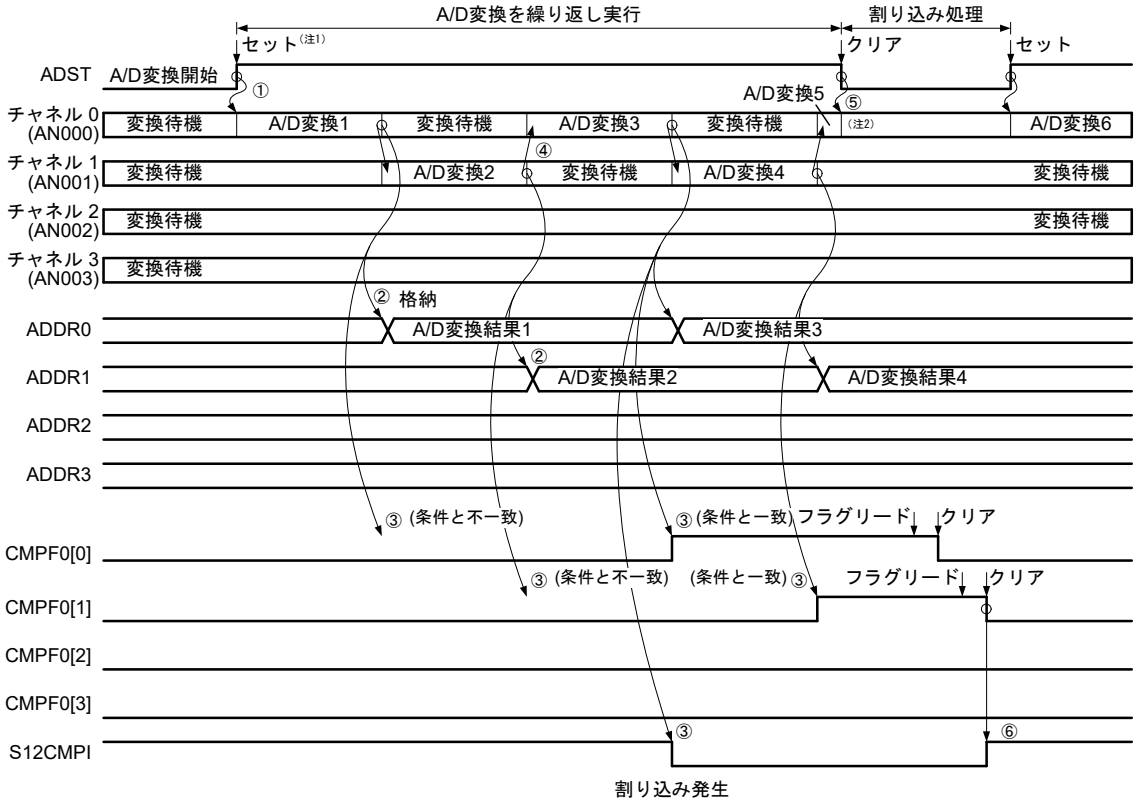
(2) A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy、ADTSDR）に格納され、ADCMPANSRレジスタ、ADCMPANSERレジスタでコンペア対象に設定されていれば、ADCMPDR0/1レジスタ設定値と比較されます。

(3) 比較の結果、ADCMPCR.WCMPEビット、ADCMPLR、ADCMPLERレジスタで設定した条件と一致したとき、ADCMPSR.CMPFn、ADCMPSER.CMPFTSビットが“1”にセットされます。このとき、ADCMPCR.CMPIEビットが“1”に設定されていると、S12CMPI割り込みが発生します。

(4) 選択されたすべてのA/D変換と比較が終了すると、再びA/D変換を開始します。

(5) S12CMPI割り込みを受け付けた後、ADCSR.ADSTビットを“0”（A/D変換停止）に設定し、コンペアフラグがセットされているチャネルに対する割り込み処理を実行します。

(6) すべてのコンペアフラグをクリアすると、S12CMPI割り込み要求が解除されます。再度コンペアを実行する場合は、再度A/D変換を開始してください。



注 1.　↓は、ソフトウェアによる命令実行を示します。
注 2.　変換中のデータは無視されます。

図 43.30　コンペア機能の動作例（AN000、AN001、AN002、AN003 コンペア対象）

43.3.7　アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア起動、同期トリガ（MTU3a、GPTa、TPUa、ELC）による起動および非同期トリガ（ADTRGn）による起動が選択できます。スキャン変換開始遅延時間（t_D）の後に、チャネル専用サンプル&ホールド回路処理、断線検出アシスト処理、自己診断変換処理を行い、この後にA/D変換を開始します。

図43.31にシングルスキャンモード、ソフトウェア起動と同期トリガ（MTU3a、GPTa、TPUa、ELC）起動によるスキャン変換を行う場合のタイミングを示します。また、**図43.32**にシングルスキャンモード、非同期トリガ（ADTRGn）要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間（t_{SCAN}）はスキャン変換開始遅延時間（t_D）、チャネル専用サンプル&ホールド回路処理時間（t_{SPLSH}）(注1)、断線検出アシスト処理時間（t_{DIS}）(注2)、自己診断変換時間（t_{DIAG}）(注3)、A/D変換処理時間（t_{CONV}）、チャネル専用サンプル&ホールド回路終了処理時間（t_{SHED}）(注4)、スキャン変換終了遅延時間（t_{ED}）を含めた時間になります。

A/D変換処理時間（t_{CONV}）は、入力サンプリング時間（t_{SPL}）、逐次変換時間（t_{SAM}）を合わせた時間になります。サンプリング時間（t_{SPL}）は、A/Dコンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D変換クロック（ADCLK）が低速の場合は、ADSSTRレジスタでサンプリング時間を調整することができます。

逐次変換時間（t_{SAM}）は、12ビット精度選択時：13ステート（ADCLK）、10ビット精度選択時：11ステート（ADCLK）、8ビット精度選択時：9ステート（ADCLK）になります。スキャン変換時間を**表43.11**に示します。

選択チャネル数がnのシングルスキャンのスキャン変換時間（t_{SCAN}）は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンのt_{SCAN}からt_{ED}を省きt_{SHED}を加えた時間です。

連続スキャンの2サイクル目以降は、$t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{SHED}$固定になります。

注1.　チャネル専用サンプル&ホールド回路を使用しない場合は、t_{SH} = 0になります。
注2.　断線検出アシストを設定しない場合は、t_{DIS} = 0になります。
注3.　自己診断を設定しない場合は、t_{DIAG} = 0になります。
注4.　チャネル専用サンプル&ホールド回路を使用しない場合は、t_{SHED} = 0になります。
　　連続スキャンモード実行時の所要時間です。シングルスキャンとグループスキャンモード実行時は、スキャン終了処理時間（t_{ED}）に含まれます。

表43.10　ADSSTRレジスタの設定例

使用例	設定範囲	サンプリング時間（注1）
標準（初期値）	“0Bh”	0.18μs（ADCLK = 60MHz時）
アナログ入力の信号源インピーダンスが高く、サンプリング時間が不足する場合に設定	“0Ch”～“FFh”	例：“FFh” 4.3μs（ADCLK = 60MHz時）
ADCLKが60MHzに満たない場合に、サンプリング時間を初期値より短くする場合に設定	“05h”～“0Ah”	例：“0Ah” 0.67μs（ADCLK = 15MHz時）

注1.　サンプリング時間は、以下の式で表されます。

$$\text{サンプリング時間（}\mu\text{s）} = \frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK（MHz）}}$$

表43.11　　スキャン変換時間（ADCLKとPCLKHのサイクル数）

項目			記号		種別／条件				単位
					同期トリガ		非同期トリガ	ソフトウェアトリガ	
					MTU3a、GPTa	TPUa、ELC			
スキャン開始処理時間（注1）（注2）	グループA優先制御動作によるグループAのA/D変換	グループB中断あり（グループAのA/D変換要因によってグループBを停止させた後、グループAを起動）	t_D		4 PCLKH＋6 ADCLK	3 PCLKH＋6 ADCLK	—	—	サイクル
		グループB中断なし（グループAのA/D変換要因によって起動）			3 PCLKH＋4 ADCLK	2 PCLKH＋4 ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時			3 PCLKH＋6 ADCLK	2 PCLKH＋6 ADCLK	4 PCLKH＋6 ADCLK	6 ADCLK	
		自己診断変換終了後、通常のA/D変換開始時			2 ADCLK	2 ADCLK	2 ADCLK	2 ADCLK	
		連続スキャン時の最終チャネル変換終了後、自己診断変換開始時			2 ADCLK	2 ADCLK	2 ADCLK	2 ADCLK	
	上記以外				3 PCLKH＋4 ADCLK	2 PCLKH＋4 ADCLK	4 PCLKH＋4 ADCLK	4 ADCLK	
チャネル専用サンプルホールド処理時間（注1）	サンプリング時間		t_{SPLSH}	t_{SH}	ADSHCR.SSTSH[7:0]設定値（初期値18h）× ADCLK				
	サンプリングーA/D変換ウェイト時間			t_W	12 ADCLK				
断線検出アシスト処理時間			t_{DIS}		ADNDIS[3:0]設定値（初期値00h）× ADCLK				
自己診断変換処理時間（注1）	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR0設定値（初期値0Bh）× ADCLK				
	逐次変換時間	12ビット変換精度		t_{SAM}	15 ADCLK				
		10ビット変換精度			13 ADCLK				
		8ビット変換精度			11 ADCLK				
A/D変換処理時間（注1）	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn （n = 0～7, L, T）設定値（初期値0Bh）× ADCLK				
	逐次変換時間	12ビット変換精度		t_{SAM}	13 ADCLK				
		10ビット変換精度			11 ADCLK				
		8ビット変換精度			9 ADCLK				
チャネル専用サンプルホールド終了処理時間			t_{SHED}		2 ADCLK				
スキャン終了処理時間（注1）			t_{ED}		1 PCLKH + 3 ADCLK				

注1.　t_D、t_{SPLSH}、t_{DIAG}、t_{CONV}、t_{ED}の各タイミングについては図43.31、図43.32を参照してください。
注2.　ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
注3.　tSPLSH＋tCONVは、「47.　電気的特性」の章のA/D変換特性に記載の変換時間を満たすように設定してください。

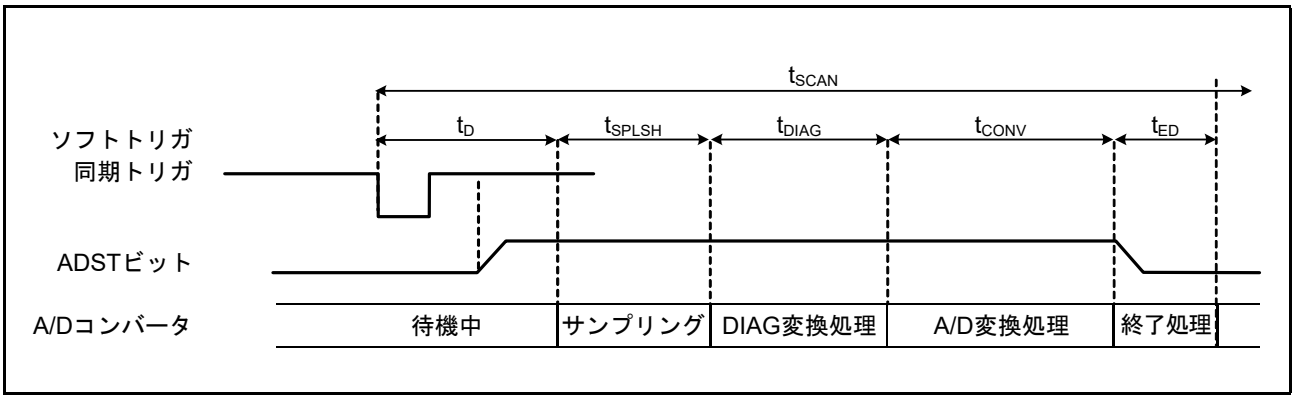


図 43.31　スキャン変換のタイミング
（ソフトウェア起動、同期トリガ（MTU3a、GPTa、TPUa、ELC）起動の場合）

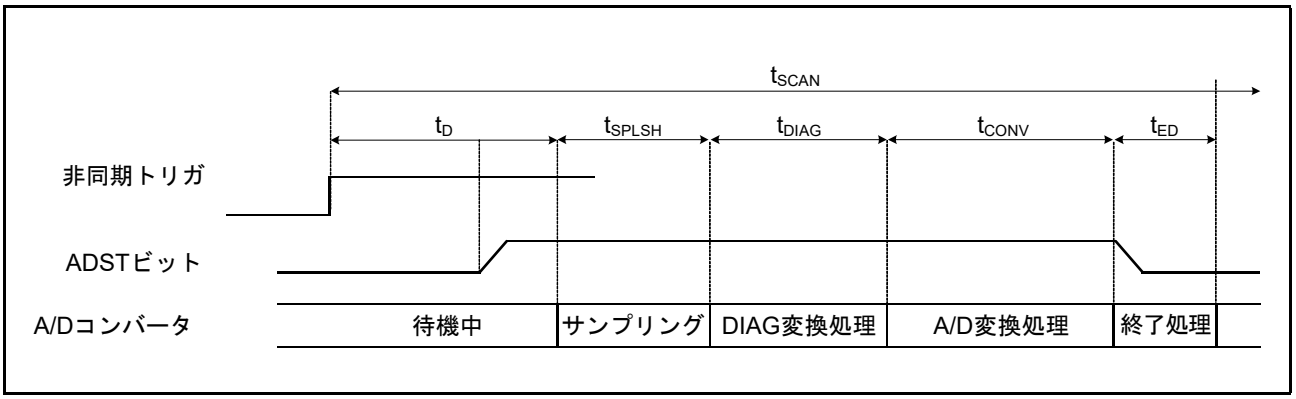


図 43.32　スキャン変換のタイミング（非同期トリガ（ADTRGn）要因の場合）

43.3.8　A/D データレジスタの自動クリア機能の使用例

A/D 変換値加算／平均モードは、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換選択時に A/D データレジスタの自動クリア機能を使用できます。

ADCER.ACE ビットを “1” にすることにより、CPU、DMAC によって A/D データレジスタ（ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR）を読み出す際、自動的に ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR レジスタを “0000h” にクリアできます。

この機能を使うことで、ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効／有効時の例を示します。

ADCER.ACE ビットが “0”（自動クリア禁止）の場合、A/D 変換結果（0222h）が何らかの原因で ADDRy レジスタに書き込まれないと、古いデータ（0111h）が ADDRy レジスタの値になります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ（0111h）を汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保存しながらチェックを行う必要があります。

ADCER.ACE ビットが “1”（自動クリア許可）の場合には、CPU や DMAC による ADDRy = 0111h の読み出しで、ADDRy レジスタは自動的に “0000h” にクリアされます。その後、A/D 変換結果の 0222h が、何らかの原因で ADDRy レジスタに転送できなかった場合は、クリアされたデータ（0000h）が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h” が汎用レジスタなどに保持されます。読み出されたデータ値が “0000h” であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

43.3.9　A/D 変換値加算／平均モード

A/D 変換値加算モードは、同じチャネルを 2 ～ 4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持するモードです。A/D 変換平均モードは、同じチャネルを 2 ～ 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持するモードです。A/D 変換に影響するノイズ成分によっては、この結果の平均値を使用することで、A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算／平均モードは、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換選択時に使用できます。

43.3.10　断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態（ユニット 0 は VREFH0 または VREFL0、ユニット 1 は VREFH1 または VREFL1）に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能です。

図 43.33 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、**図 43.34** にプリチャージを選択したときの断線検出例を、**図 43.35** にディスチャージを選択したときの断線検出例を示します。

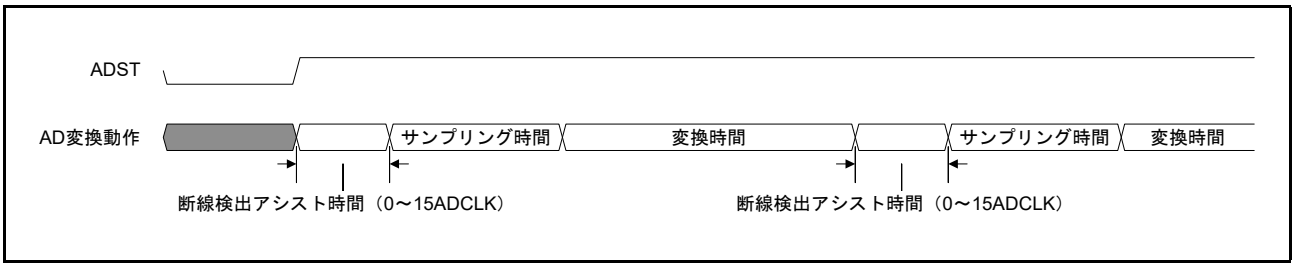
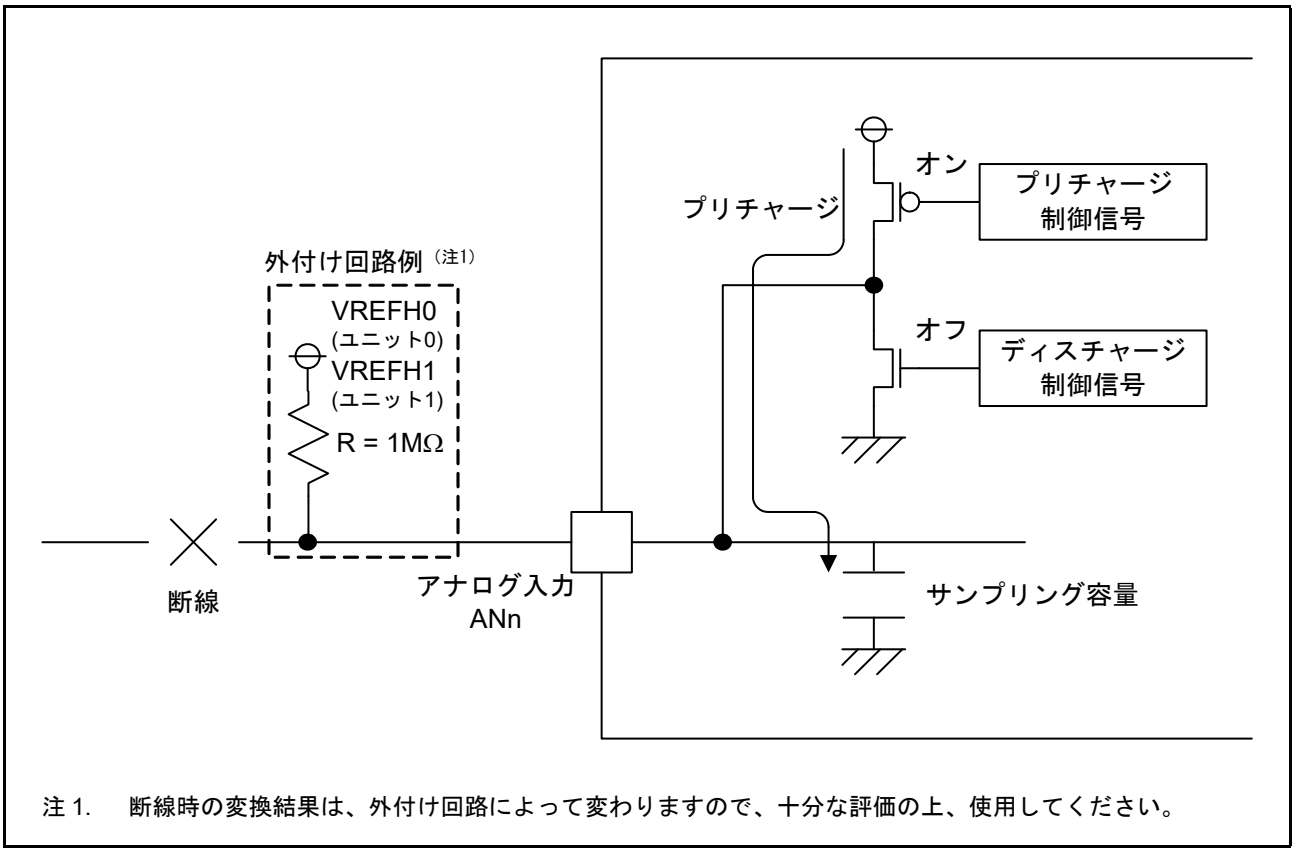
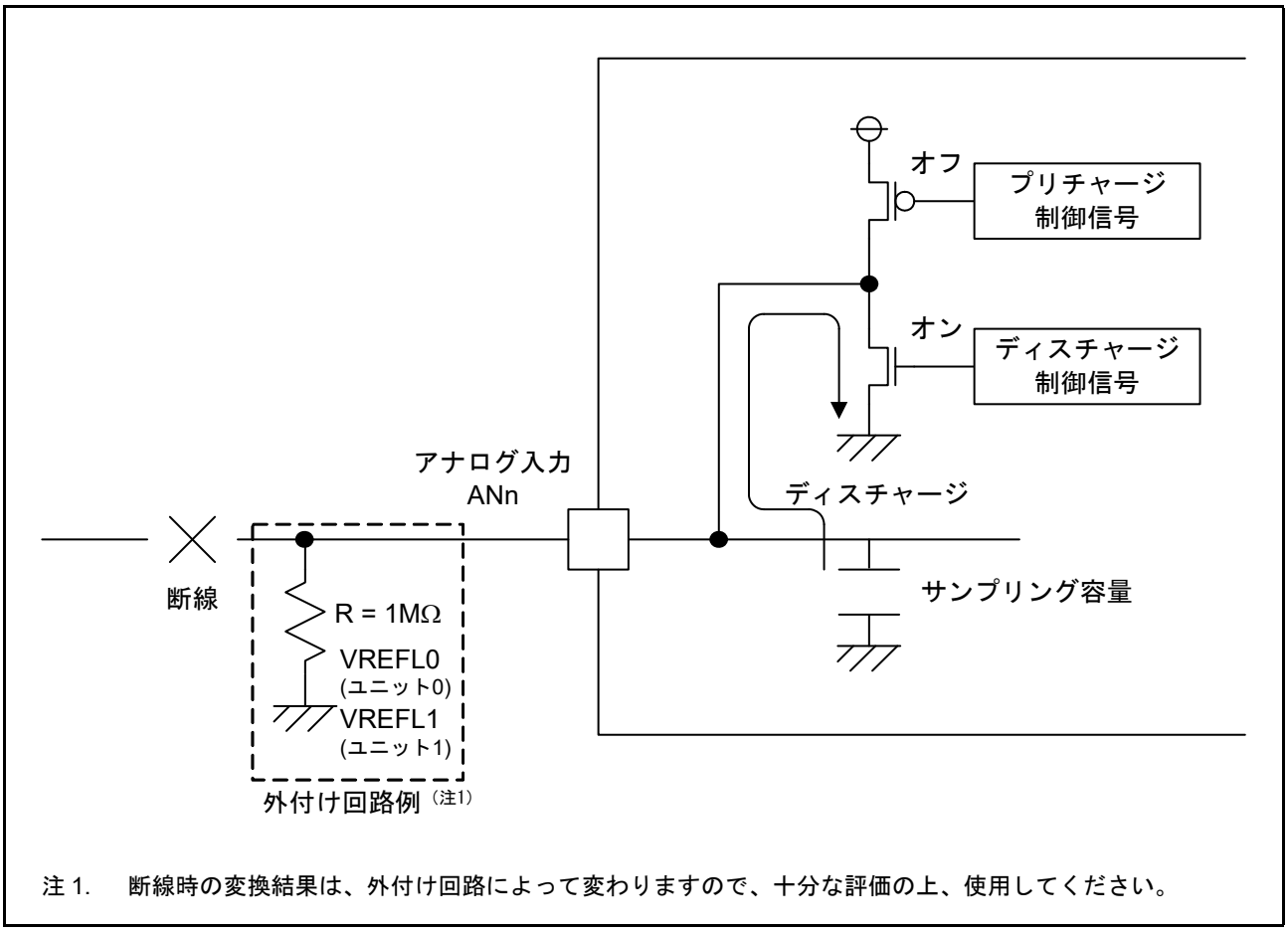


図 43.33　断線検出アシスト機能を使用した場合の A/D 変換動作図



注 1.　断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 43.34　プリチャージを選択した場合の断線検出例



注 1.　断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 43.35　ディスチャージを選択した場合の断線検出例

43.3.11　非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット（ADSTRGR.TRGA[5:0]）を “000000b” に設定し、非同期トリガ（ADTRGn 端子）に Low レベルを入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” に設定します。**図 43.36** に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、A/D 変換を開始するまでの時間は、**「43.5.3　A/D 変換強制停止と開始時の動作タイミング」**を参照してください。

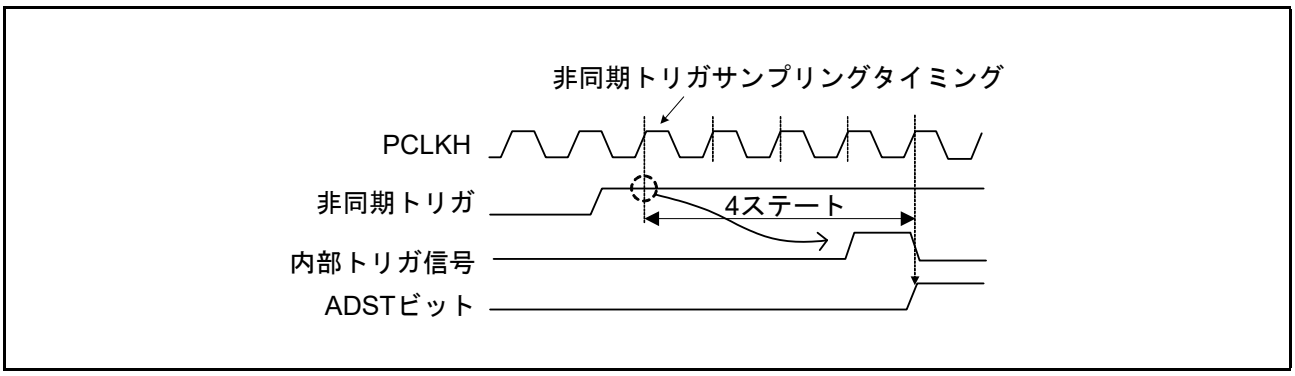


図 43.36　非同期トリガ入力タイミング

43.3.12　周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガ（MTU3a、GPTa、TPUa、ELC）によって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始する場合、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” にし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

43.3.13　端子レベル自己診断機能

端子レベル自己診断は、偶数番目の入力チャネル、奇数番目の入力チャネルに対して、異なる電圧レベルに対する A/D 変換を実行することで、ANn 端子からの経路異常を診断するものです。

また、異なる電圧レベルの設定は、ADTDCR レジスタ で設定し、AVSS、AVCC、1/2 × AVCC の組み合わせで検出可能です。

端子レベル自己診断機能では、ユーザーがテストする物理チャネルを任意に選択できます。さらに、すべてのスキャン動作で、端子レベル自己診断を行うことが可能です。

43.3.13.1　シングルスキャンモードでの端子レベル自己診断（チャネル専用サンプル＆ホールドなし）

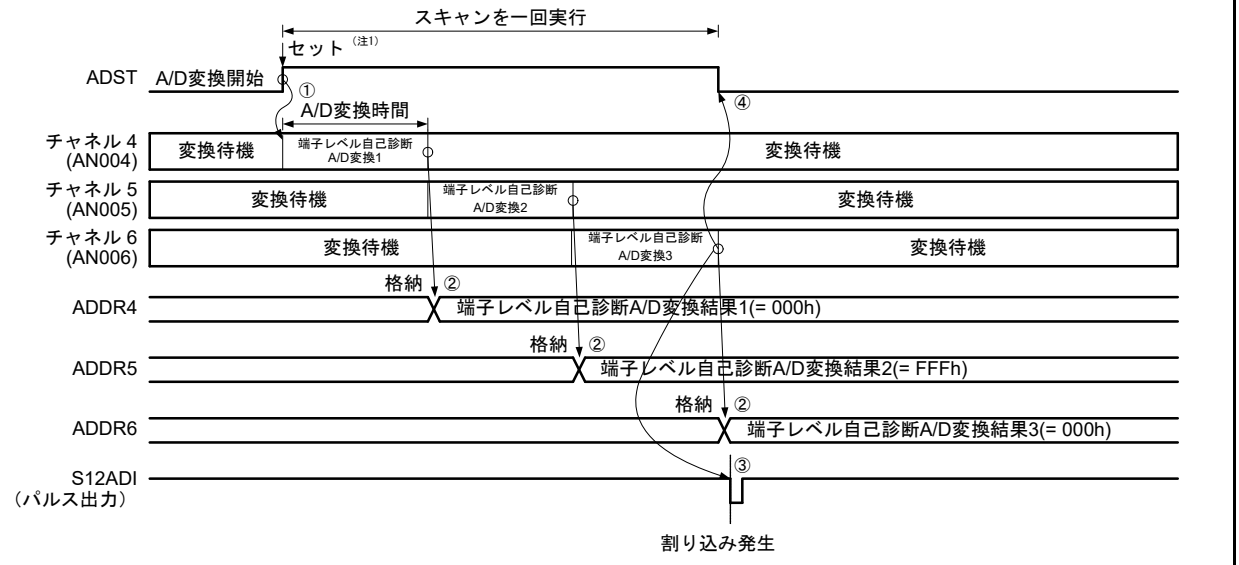
シングルスキャンモードでの端子レベル自己診断では、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA レジスタで選択した ANn 端子の n が小さい番号順に A/D 変換を開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。

(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。

(4) ADCSR.ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



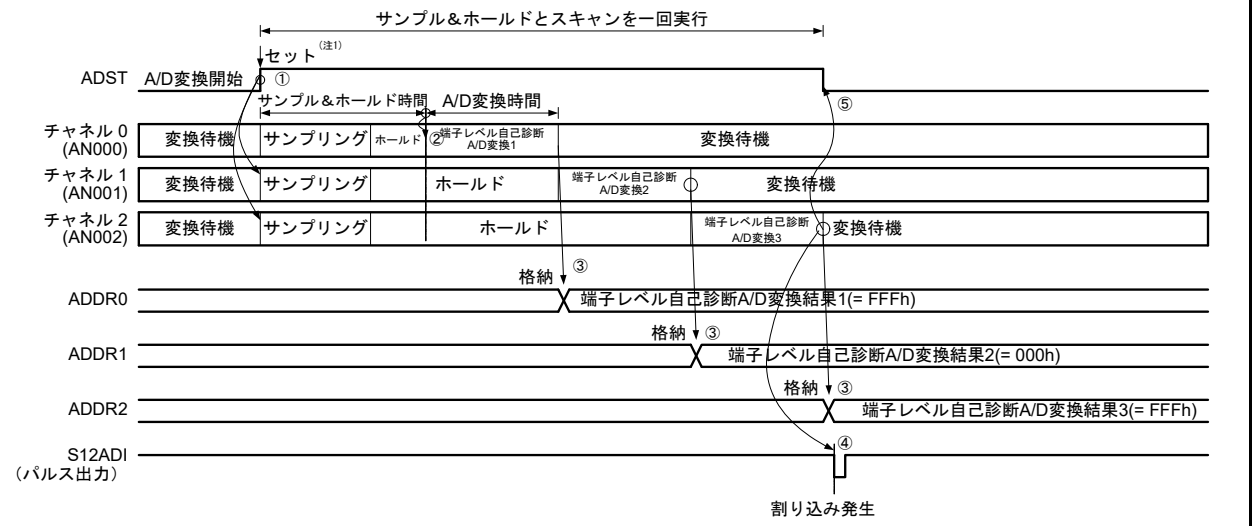
注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.37　シングルスキャンモードでの端子レベル自己診断の動作例（基本動作：AN004 ～ AN006 選択／ADTDCR .TDLV[1:0] = 00b）

43.3.13.2　シングルスキャンモードでの端子レベル自己診断（チャネル専用サンプル＆ホールドあり）

チャネル専用サンプル&ホールド回路を使用して端子レベル自己診断を行うと、以下のようにサンプル&ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル&ホールド回路を使用するチャネルは、ADSHCR.SHANS[3:0] ビットで選択します。

(1) ソフトウェア、同期トリガ（MTU3a、GPTa、TPUa、ELC）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング&ホールド実施後に、ADANSA レジスタで選択したチャネル ANn 端子の n が小さい番号順に A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI 割り込み許可）に設定されていると、S12ADI 割り込みが発生します。
(5) ADCSR.ADST ビットは A/D 変換中、“1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。



注 1.　↓は、ソフトウェアによる命令実行を示します。

図 43.38　シングルスキャンモードでの端子レベル自己診断の動作例（チャネル専用サンプル&ホールド回路使用：AN000 ～ AN002 選択／ ADTDCR .TDLV[1:0] = 01b）

43.3.14　エラー検出機能

オーバライトエラー検出機能は、各種 A/D データレジスタに保持されている A/D 変換結果を一度も読み出さず、A/D 変換結果が更新されたことを検出するエラー検出機能です。また、12 ビット A/D コンバータは、エラーコントロールモジュール（ECM）へのオーバライトエラー割り込み要求である S12ADOWEI 割り込みを発生することができます。

ADERCR. OWEIE ビットを “1” にすると S12ADOWEI 割り込み発生を許可、“0” にすると S12ADOWEI 割り込み発生を禁止できます。ADOWER 0/1、ADOWEER レジスタを読み出すことで、どの A/D データレジスタでオーバライトエラーが発生したかを判定できます。ADERCLR. OWEC ビットに “1” を書き込むと、ADOWER 0/1、ADOWEER レジスタに保持されているオーバライトエラーフラグをすべてクリアできます。

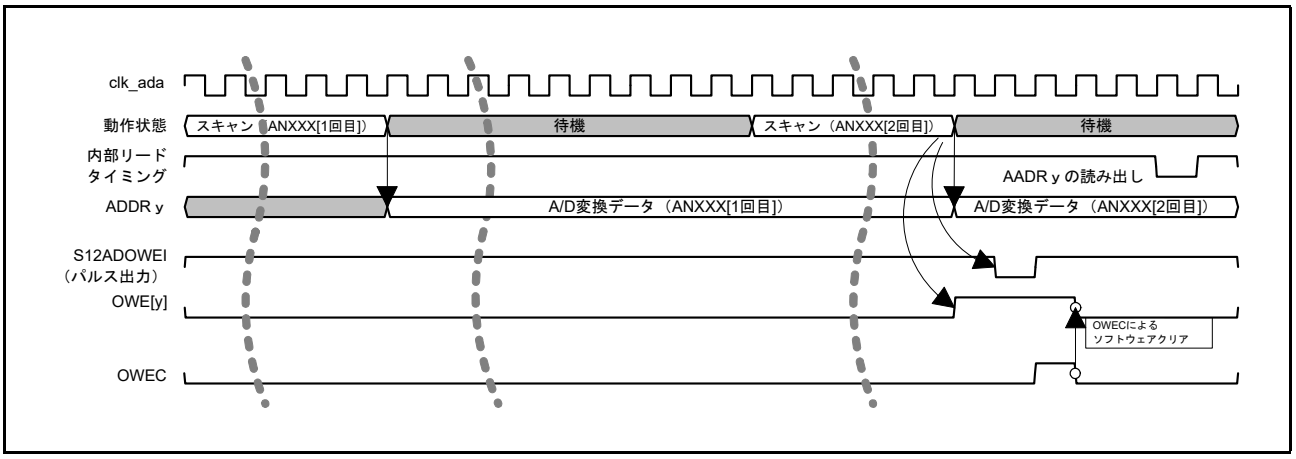


図 43.39　AD オーバライトエラー割り込み発生例

43.4　割り込み要因とDMAC転送要求

43.4.1　割り込み要求

12ビットA/Dコンバータは、スキャン終了割り込み要求であるS12ADI、S12GBADI割り込みを発生することができます。また、コンペア条件成立割り込み要求であるS12CMPI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADI割り込み発生を許可、“0”にするとS12ADI割り込み発生を禁止できます。ADCSR.GBADIEビットを“1”にするとS12GBADI割り込み発生を許可、“0”にするとS12GBADI割り込み発生を禁止できます。ADCMPCR.CMPIEビットを“1”にするとS12CMPI割り込み発生を許可、“0”にするとS12CMPI割り込み発生を禁止できます。

また、S12ADI、S12GBADI割り込み発生時にDMACを起動できます。S12ADI、S12GBADI割り込みで変換されたデータの読み出しをDMACで行うと、ソフトウェアの負荷なく連続A/D変換を実現できます。DMACの設定は「15.　DMAコントローラ（DMACAa）」を参照してください。

S12ADI割り込みとS12GBADI割り込みは、スキャンモードとダブルトリガモードの設定により、表43.12のように出力します。

表43.12　モード設定とS12ADI割り込み出力

スキャンモード	ダブルトリガモード（DBLE）	トリガ	S12ADI割り込み（ADIE = 1設定）	S12GBADI割り込み（GBADIE = 1設定）
シングルスキャンモード	DBLE = 0	ソフトウェア	スキャン終了ごとに出力	出力しない（グループBスキャン不可）
		同期トリガ	スキャン終了ごとに出力	出力しない（グループBスキャン不可）
		非同期トリガ	スキャン終了ごとに出力	出力しない（グループBスキャン不可）
	DBLE = 1	ソフトウェア（設定禁止）（注1）	—	—
		同期トリガ	スキャン偶数回終了ごとに出力	出力しない（グループBスキャン不可）
		非同期トリガ（設定禁止）（注1）	—	—
連続スキャンモード	設定禁止	ソフトウェア	スキャン終了ごとに出力	出力しない（グループBスキャン不可）
		同期トリガ	スキャン終了ごとに出力	出力しない（グループBスキャン不可）
		非同期トリガ	スキャン終了ごとに出力	出力しない（グループBスキャン不可）
グループスキャンモード	DBLE = 0	ソフトウェア（設定禁止）（注1）	—	—
		同期トリガ	グループAのスキャン終了ごとに出力	グループBのスキャン終了ごとに出力
		非同期トリガ（設定禁止）（注1）	—	—
	DBLE = 1	ソフトウェア（設定禁止）（注1）	—	—
		同期トリガ	グループAのスキャン偶数回終了ごとに出力	グループBのスキャン終了ごとに出力
		非同期トリガ（設定禁止）（注1）	—	—

注1.　ダブルトリガ機能でソフトウェアトリガ、非同期トリガは設定禁止です。
また、グループスキャンモードでソフトウェアトリガ、非同期トリガは設定禁止です。

43.4.2　ELC へのスキャン終了イベント出力

イベントリンクコントローラ（ELC）では、S12ADI 割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。S12GBADI、S12CMPI 割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12 ビット A/D コンバータは、A/D 変換終了イベントを出力します。

43.5　使用上の注意事項

43.5.1　データレジスタの読出し注意事項

A/D データレジスタ、A/D データ 2 重化レジスタ、A/D データ 2 重化レジスタ A、A/D データ 2 重化レジスタ B、A/D 温度センサデータレジスタ、および A/D 自己診断データレジスタの読み出しは、必ずワード単位で行ってください。バイト単位で上位バイト／下位バイトの 2 回に分けて読み出した場合、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値とで値が変化する可能性があります。

43.5.2　A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択し、A/D 変換を停止する場合は、**図 43.40** のフローチャートの手順にしたがってください。

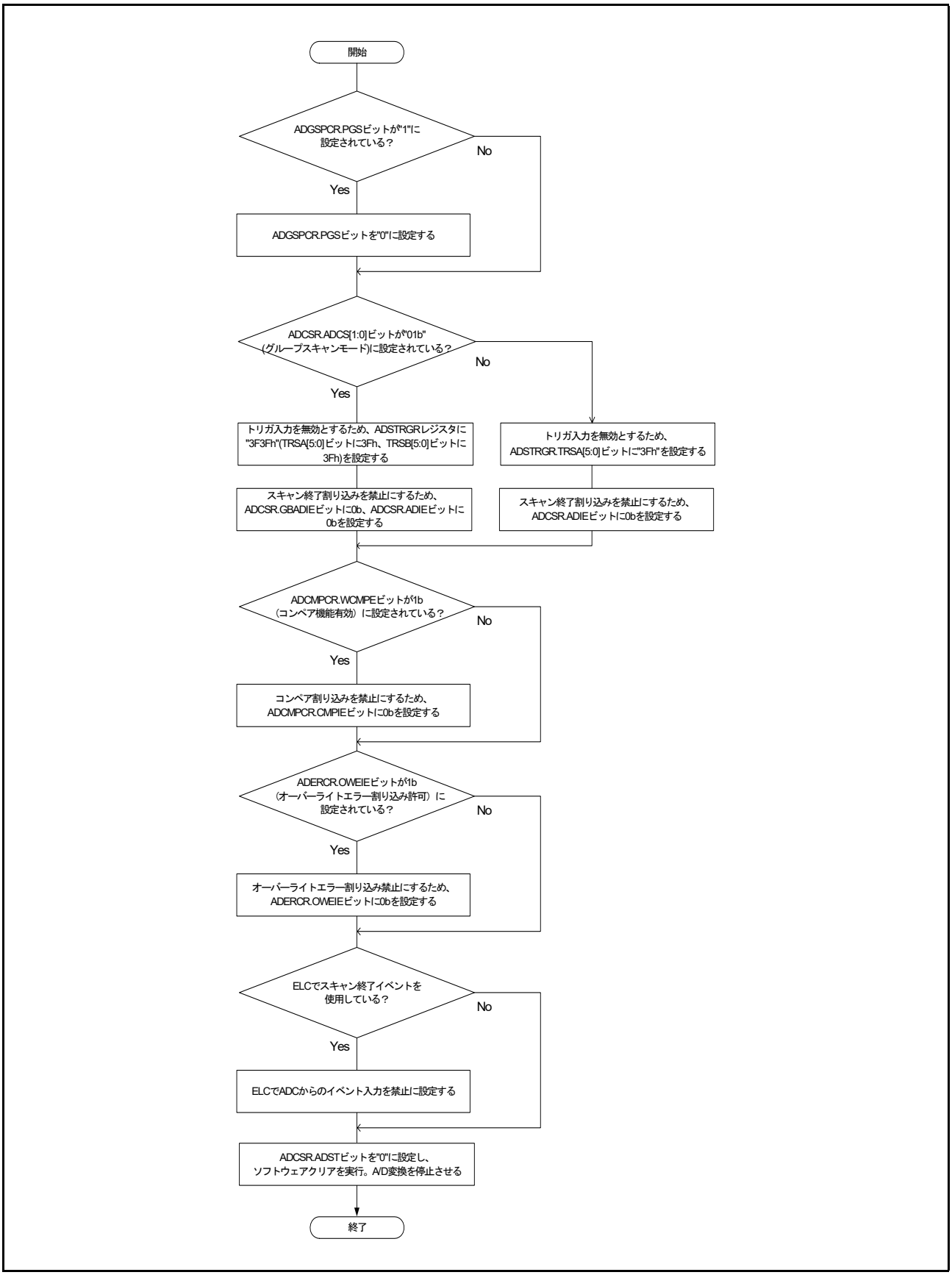


図 43.40　ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

43.5.3　A/D 変換強制停止と開始時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを “1” に設定してから、12 ビット A/D コンバータのアナログ部が動作を開始するまでに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを “0” に設定して A/D 変換を強制停止させた場合、12 ビット A/D コンバータのアナログ部が動作を停止するまでに、ADCLK で最大 2 クロックの時間を必要とします。

43.5.4　スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合などで、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データの読み出しを完了していなければ、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされ、オーバライトエラーが発生します。

43.5.5　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）で、12 ビット A/D コンバータの動作禁止／許可を設定することができます。初期値では、12 ビット A/D コンバータは動作停止です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は 1μs 以上待ってから A/D 変換を開始してください。詳細は「9.　**消費電力低減機能**」を参照してください。

43.5.6　低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードに移行する場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” に設定後、12 ビット A/D コンバータのアナログ部が停止するまでの時間を確保する必要があります。以下の手順によりこの時間を確実に確保してください。

図 43.40 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローにしたがい、ADCSR.ADST ビットを “0” に設定してください。その後、ADCLK の 2 クロック期間経過後、モジュールストップモードやソフトウェアスタンバイモードに遷移させてください。

12 ビット A/D コンバータをスタンバイ状態にする場合は、MSTPCRC.MSTPCRC4 ビット（ユニット 1）、MSTPCRC.MSTPCRC5 ビット（ユニット 0）を “1” にしてください。

43.5.7　外部バス使用時の注意事項

外部バスをアクセス中に A/D 変換する場合、精度が悪化する可能性があります。

このような場合は、複数回 A/D 変換を行い、最大値・最小値を除いた A/D 変換値を平均するなどのソフト対策を実施してください。

43.5.8　断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ／プルダウン抵抗（Rp）と信号源抵抗（Rs）の抵抗分圧分の誤差電圧が入力され、A/D コンバータの絶対精度誤差が生じます。絶対精度の誤差は以下の式で表されます。

断線検出アシスト機能は、十分な評価を行ったうえ、使用してください。

最大絶対精度誤差（LSB）= 4095 × Rs ／ Rp

43.5.9　断線検出アシスト機能使用時の注意

ADEXICR.EXSEL[1:0]、および ADEXICR.EXOEN を ADEXICR.EXSEL[1:0] = 00b、ADEXICR.EXOEN = 0b 以外に設定した状態で断線検出アシスト機能を有効にすると、A/D 変換を正しく実行することができません。断線検出アシスト機能を使用する場合は、ADEXICR.EXSEL[1:0] = 00b、ADEXICR.EXOEN = 0b 以外を設定しないでください。また、端子レベル自己診断時も、断線検出アシスト機能を有効にしないでください。

43.5.10　自己診断機能使用時の注意

ADEXICR.EXSEL[1:0]、および ADEXICR.EXOEN を ADEXICR.EXSEL[1:0] = 00b、ADEXICR.EXOEN = 0b 以外に設定し、自己診断機能を有効にすると、A/D 変換を正しく実行することができません。自己診断機能を使用する場合は、ADEXICR.EXSEL[1:0] = 00b、ADEXICR.EXOEN = 0b 以外の値を設定しないでください。

チャネル専用サンプル & ホールド回路を使用して 4 チャネル（AN000 ～ AN003）を同時サンプリングし、かつ自己診断機能を有効に設定する場合は、サンプルホールド回路のホールド特性 3.2μs (max.) を満たすよう ADSSTR0.SST[7:0] でサンプリング時間 tSPL を 0.4μs に設定してください。

43.5.11　グループスキャンモード（グループ A 優先制御選択時）のグループ B 再起動設定について

グループスキャンモード（グループ A 優先制御選択時）で、グループ B 再起動設定を有効にする場合 (PGS = 1 かつ GBRSCN = 1）は、PCLKH:ADCLK 分周比 = 1:1 に設定してください。それ以外の PCLKH:ADCLK 分周比では、グループスキャンモード（グループ A 優先制御選択時）でのグループ B 再起動は使用できません。

43.5.12　許容信号源インピーダンスについて

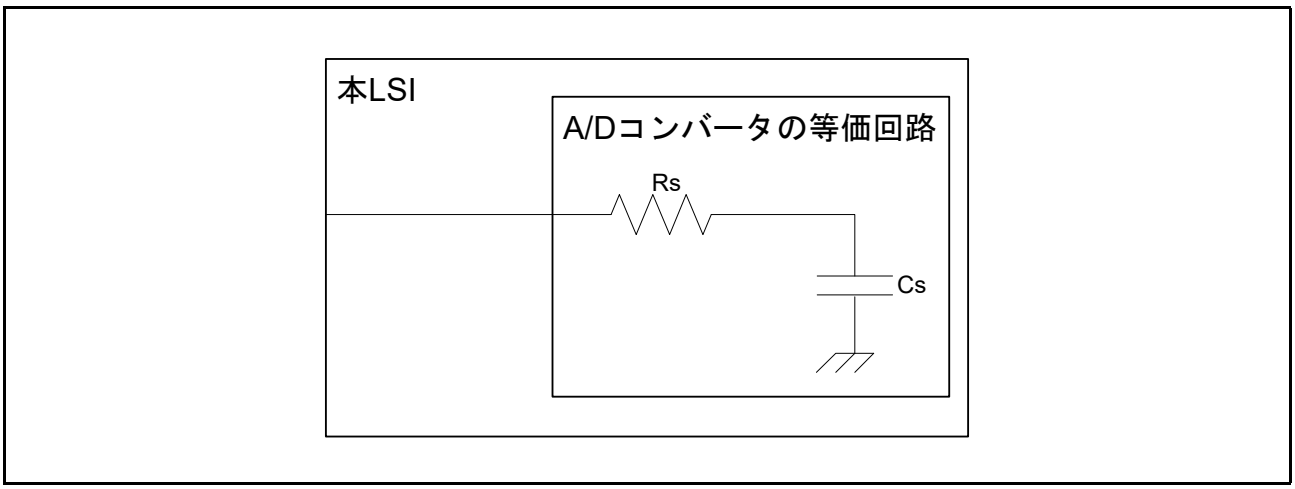


図 43.41　アナログ入力端子の内部等価回路

表43.13　アナログ端子の規格

項目		Min.	Typ.	Max.	単位
ADC（ユニット0）内部等価回路	Rs	—	1.5	—	kΩ
	Cs	—	8	—	pF
ADC（ユニット1）内部等価回路	Rs	—	3.0	—	kΩ
	Cs	—	16	—	pF

注 .　製品の端子から見た容量は、内部等価回路の他に「47.　電気的特性」で示す端子容量が加わります。

44.　温度センサ

44.1　概要

本 LSI は、温度センサを内蔵しています。温度センサは温度により変化する電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータ（ユニット 0）でデジタル値に変換し、温度に換算することで本 LSI 周辺の温度を求めることができます。

表 44.1 に温度センサの仕様を示します。**図 44.1** に温度センサのブロック図を示します。

表44.1　温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ（ユニット0）へ出力
消費電力低減機能	モジュールストップ状態の設定が可能

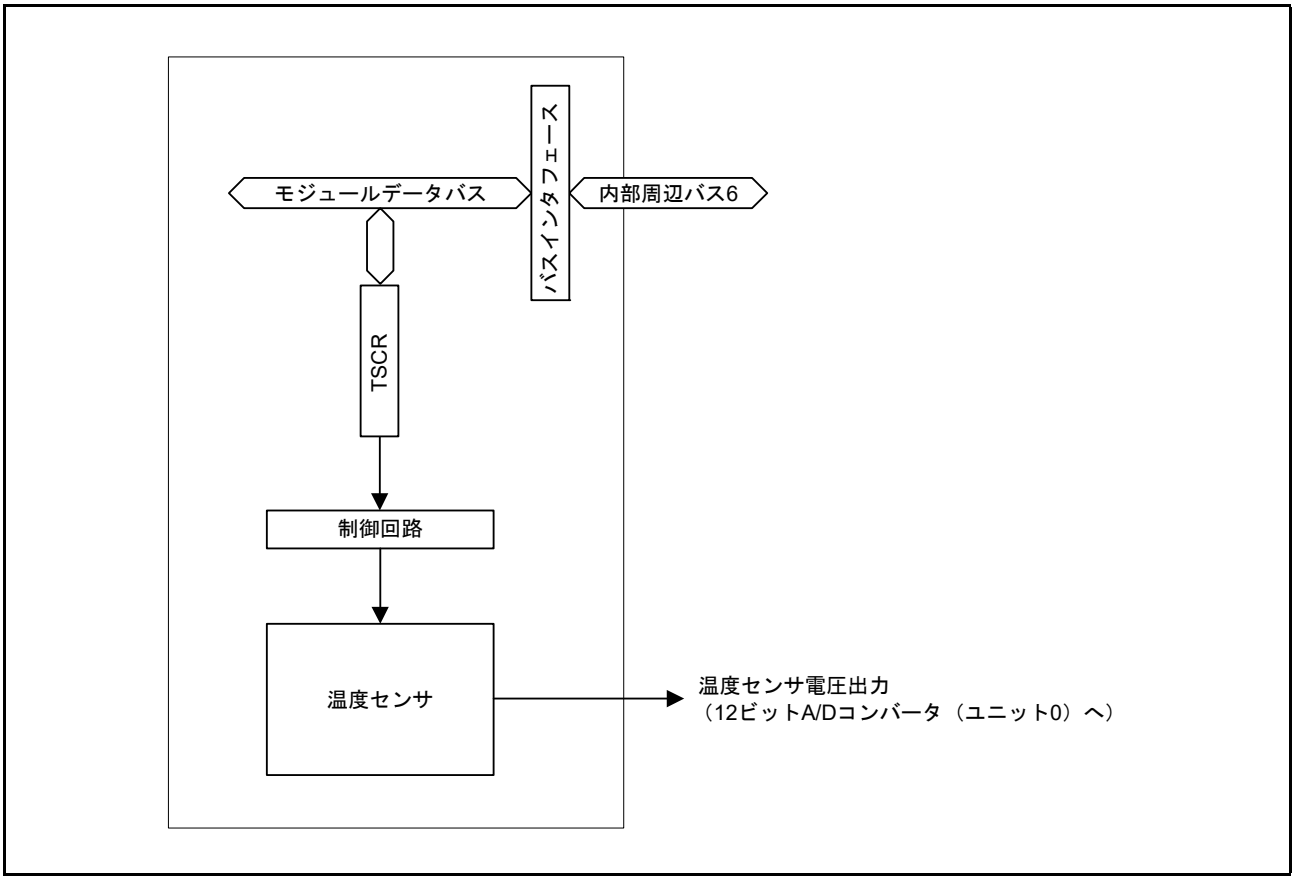


図 44.1　温度センサのブロック図

44.2　レジスタの説明

44.2.1　温度センサコントロールレジスタ（TSCR）

アドレス　A008 0A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	—	—	TSOE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	TSOE	温度センサ出力許可ビット	0：温度センサから12ビットA/Dコンバータ（ユニット0）への出力禁止 1：温度センサから12ビットA/Dコンバータ（ユニット0）への出力許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	TSEN	温度センサ許可ビット	0：温度センサが停止 1：温度センサが動作	R/W

TSCR レジスタの設定には、**図 44.3** に示すタイミング制約があります。

44.3　温度センサの使用方法

温度センサは、温度により変化する電圧を出力します。この電圧を 12 ビット A/D コンバータ（ユニット 0）を用いてデジタル変換し、温度に換算することで本 LSI の周辺の温度を求めることができます。

44.3.1　使用前の準備

温度センサの出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式
T = (Vs–V1) / Slope + T1

T：測定温度（°C）
Vs：温度測定時の温度センサの出力電圧（V）
T1：1 点目の試行測定時の温度（°C）
V1：1 点目の試行測定時の温度センサの出力電圧（V）
T2：2 点目の試行測定時の温度（°C）
V2：2 点目の試行測定時の温度センサの出力電圧（V）
Slope：温度センサの温度傾斜（V/ °C）　Slope = (V2–V1)/(T2–T1)

温度センサには個体間のばらつきがあるため、以下のように異なる 2 点の温度の試行測定を実施しておくことを推奨します。
まず、温度 T1 のときの温度センサの出力電圧 V1 を 12 ビット A/D コンバータ（ユニット 0）で試行測定することで求めます。
次に、温度 T1 と異なる温度 T2 の温度センサの出力電圧 V2 を、12 ビット A/D コンバータ（ユニット 0）で試行測定し求めます。
両者の測定結果から、温度傾斜（Slope = (V2–V1)/(T2–T1)）を求めます。
この Slope を温度特性の式に代入し、温度特性 T = (Vs–V1)/Slope + T1 を求めます。

また、**「47.7　温度センサ特性」**に記載の温度傾斜を用い、温度 T1 のときの温度センサの出力電圧 V1 を、12 ビット A/D コンバータ（ユニット 0）で試行測定することで求め、以下の式により測定温度を算出することもできます。なお、本測定温度精度は 2 点測定方法よりも劣ります。

T = (Vs –V1)/Slope + T1

T：測定温度（°C）
Vs：温度測定時の温度センサの出力電圧（V）
T1：1 点目の試行測定時の温度（°C）
V1：1 点目の試行測定時の温度センサの出力電圧（V）
Slope：**「47.7　温度センサ特性」**に記載の温度傾斜（V/ °C）

- 温度センサの出力電圧の計算（A/D 変換値加算モードを非選択とした場合）
  温度センサの出力電圧（V）は下記の式で算出可能です。

$$出力電圧\ (V) = AVREFH0\ の電圧（V）\times \frac{ADTSDR\ レジスタの値}{2^n}$$

n : ADCER.ADPRC[1:0] で指定する A/D 変換の精度（n = 8, 10, 12）

備考：A/D 変換値加算モードを選択した場合、ADTSDR レジスタには ADADC レジスタで指定した加算回数分の値が格納されます。このため上記式で算出した値に対し、設定した加算回数分だけ割り算を行うなどの計算が必要となります。

44.3.2　12 ビット A/D コンバータ（ユニット 0）の設定

温度センサの出力を A/D 変換するために、12 ビット A/D コンバータ（ユニット 0）のレジスタを以下のように設定する必要があります。

- **温度センサ出力を A/D 変換対象に設定**

A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換選択ビット（ADEXICR.TSSA または ADEXICR.TSSB）を “1” に設定し、温度センサ出力を A/D 変換対象に設定します。

- **スキャンモードの設定**

A/D コントロールレジスタのスキャンモード選択ビット（ADCSR.ADCS[1:0]）を設定し、スキャンモードを設定します。

- **加算／平均モードの設定**

温度センサの出力を A/D 変換する際、加算モードと平均モードの選択が可能です。加算モードと平均モードのいずれのモードを使用する場合でも、A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換値加算モード選択ビット（ADEXICR.TSSAD）を “1” に設定し、A/D 変換値加算回数選択レジスタの加算回数選択ビット（ADADC.ADC[1:0]）に加算回数を設定してください。

加算モードを選択する場合は、ADADC.AVEE ビットを “0” に、平均モードを選択する場合は、ADADC.AVEE ビットを “1” にしてください。ただし、平均モードを選択する場合は、ADADC.ADC[1:0] ビットを “10b” に設定しないでください。

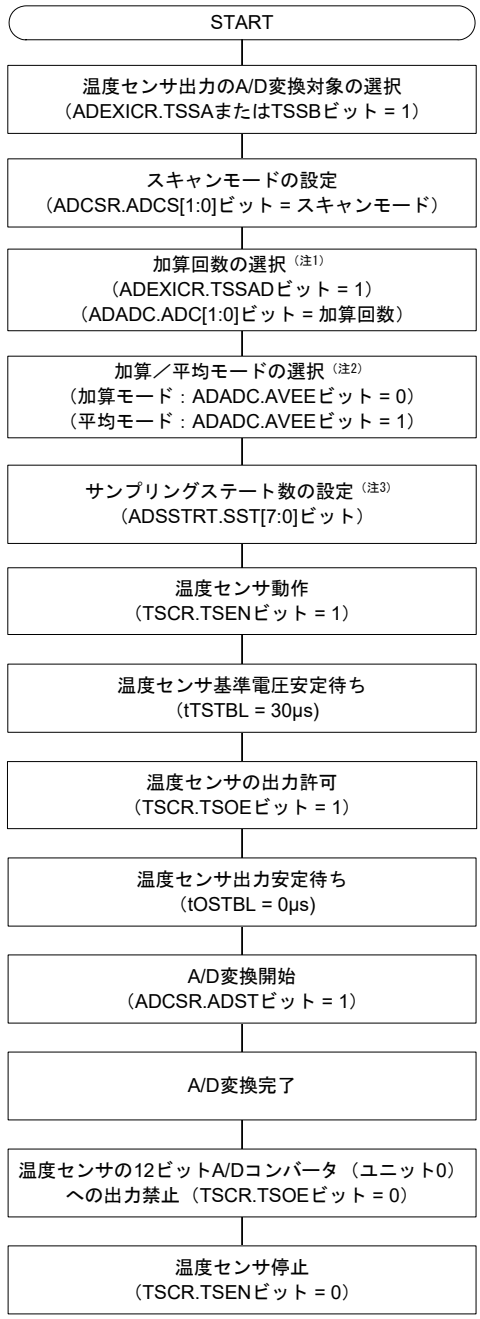
- **12 ビット A/D コンバータ（ユニット 0）のサンプリングステート数の設定**

温度センサの出力を A/D 変換する際、サンプリングステート数を設定することができます。初期値は 11 ステートです。サンプリングステート数を 11 ステートから変更する場合は、ADCSR.ADST ビットが “0” のときに A/D サンプリングステートレジスタ T のサンプリング時間設定ビット（ADSSTRT.SST[7:0]）を設定してください。

A/D コントロールレジスタの A/D 変換スタートビット（ADCSR.ADST ビット）を “1” にすると、A/D 変換を開始し、A/D 温度センサデータレジスタ（ADTSDR）に A/D 変換結果が格納されます。温度センサの出力を A/D 変換する際は、「44.3.3　温度センサの使用手順」にしたがってください。

44.3.3　温度センサの使用手順

図 44.2 に温度センサの使用手順フローを示します。

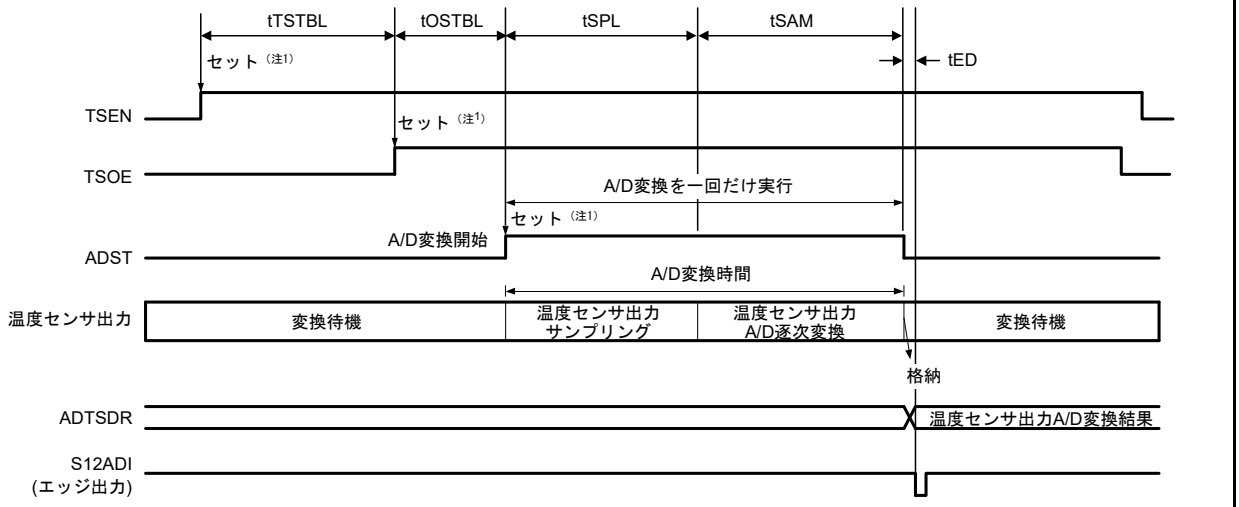


注 1.　加算／平均モードを設定しない場合は、設定不要です。平均モードを選択する場合は、ADADC.ADC[1:0] ビットを “10b” に設定しないでください。
注 2.　加算／平均モードを設定しない場合は、設定不要です。
注 3.　サンプリングステート数の初期値は 11 ステートです。サンプリングステート数を変更しない場合は、設定不要です。

図 44.2　温度センサの使用手順フロー

44.3.4　温度センサ出力の A/D 変換タイミング

シングルスキャンモードで温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作から A/D 変換完了までのタイミングを図 44.3 に、温度センサ動作から A/D 変換完了までの時間を表 44.2 に示します。



注 1.　↓は、ソフトウェアによる命令実行を示します。

図 44.3　温度センサの動作から A/D 変換完了までのタイミング

表 44.2　温度センサの動作から A/D 変換完了までの時間

項目	記号	時間
温度センサ基準電圧安定待ち時間	tTSTBL	30μs (min)
温度センサ出力安定待ち時間	tOSTBL	0μs (min)
12 ビット A/D コンバータ（ユニット 0）入力サンプリング時間	tSPL	4.25μs min. ADSSTRT の設定値× ADCLK 周期
A/D 逐次変換時間	tSAM	12 ビット変換精度：13ADCLK 10 ビット変換精度：11ADCLK 8 ビット変換精度：9ADCLK
スキャン変換終了遅延時間	tED	1 PCLKH + 3 ADCLK

44.4　使用上の注意事項

44.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）により、温度センサの動作禁止／許可を設定することが可能です。初期値では、温度センサの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9.　消費電力低減機能」を参照してください。

45.　データ演算回路（DOC）

45.1　概要

データ演算回路（DOC）は、16 ビットのデータを比較、加算または減算する機能です。

表 45.1 にデータ演算回路（DOC）の仕様を、ブロック図を図 45.1 に示します。

- 16 ビットのデータを比較し、選択した条件のとき割り込みを発生することができます。
- 16 ビットのデータを加算することができます。
- 16 ビットのデータを減算することができます。

表45.1　　データ演算回路（DOC）の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	• データ比較の結果が一致または不一致のとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき
イベントリンク機能（イベント信号出力）	• データ比較の結果が一致または不一致のとき • データ加算の結果がFFFFhより大きくなったとき • データ減算の結果が0000hより小さくなったとき

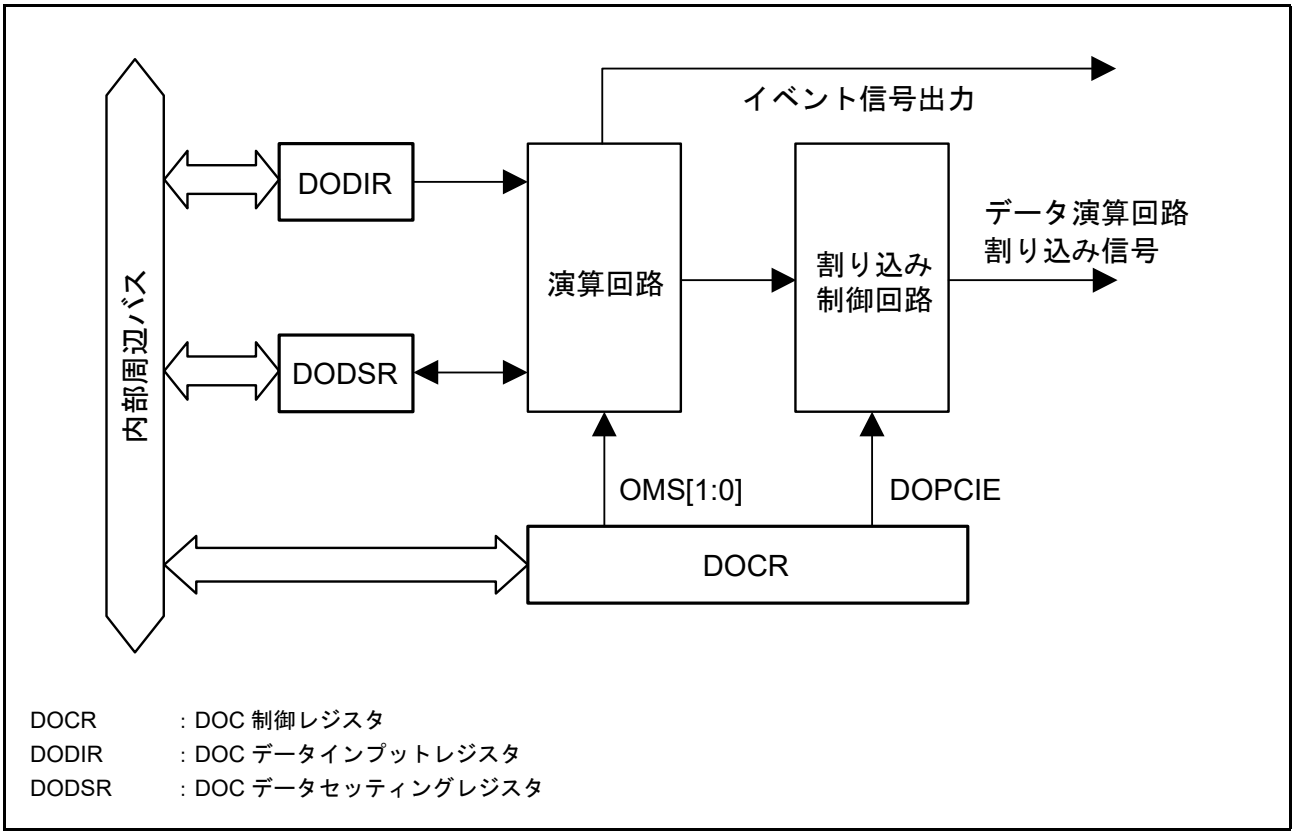


図 45.1　　データ演算回路（DOC）のブロック図

45.2　レジスタの説明

45.2.1　DOC 制御レジスタ（DOCR）

DOCR レジスタは DOC を制御するレジスタです。

アドレス　A008 1200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCFCL	DOPCF	DOPCIE	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説　　明	R/W
b1-b0	OMS[1:0]	動作モード選択 [1:0]	データ演算回路の動作モードを選択します。 b1 b0 00：データ比較モード 01：データ加算モード 10：データ減算モード 11：設定しないでください。	R/W
b2	DCSEL	検出条件選択ビット	データ比較モード時の結果の検出条件を選択します。 0：不一致を検出する 1：一致を検出する 注.　データ比較モード時のみ有効です。	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	DOPCIE	データ演算回路割り込み許可	データ演算回路割り込み要求の許可／禁止を設定します。 0：データ演算回路割り込み要求を禁止 1：データ演算回路割り込み要求を許可	R/W
b5	DOPCF	データ演算回路フラグ	[1になる条件] 以下のいずれかの条件成立時 • 本レジスタのDCSELビットで選択した条件成立時 • データ加算の結果がFFFFhより大きくなったとき • データ減算の結果が0000hより小さくなったとき [0になる条件] • 本レジスタのDOPCFCLビットに1をライトしたとき	R
b6	DOPCFCL	DOPCFクリア	本ビットを1にすると本レジスタのDOPCFビットをクリアします。 読むと常に0が読めます。0書き込みは無効です。1のみ書き込めます。	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

45.2.2　DOC データインプットレジスタ（DODIR）

DODIR レジスタは、演算対象の 16 ビットデータを格納する 16 ビットのリード／ライト可能なレジスタです。

アドレス　A008 1202h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

45.2.3　DOC データセッティングレジスタ（DODSR）

DODSR レジスタは、16 ビットのリード／ライト可能なレジスタで、データ比較モード時、基準となる 16 ビットデータを格納します。また、データ加算モードおよびデータ減算モード時は、演算結果を格納するレジスタとなります。

アドレス　A008 1204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

45.3　動作説明

45.3.1　データ比較モード

図 45.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL = 0（データ比較の結果、不一致を検出）設定時の動作例です。

(1) DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードになります。

(2) DODSR レジスタに基準となる 16 ビットのデータを設定します。

(3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。

(4) 比較するすべてのデータ書き込みが完了するまで、比較する 16 ビットのデータを DODIR レジスタに書き込みます。

(5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった場合（DOCR.DCSEL = 0）、DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 .　DODIR レジスタがリセット後の値 0000h の場合、DODSR レジスタに 0000h 以外の値を設定しても、その時 DOCR.DOPCF は “1” になりません。また、DODSR レジスタを設定し、DODIR レジスタを書き込んで比較された後、再度 DODSR レジスタを設定しても、その時の DODIR レジスタとは比較されません。つまり、比較動作は DODIR レジスタの書き込みで行われます。DODSR レジスタの書き込みでは、比較は行われません。

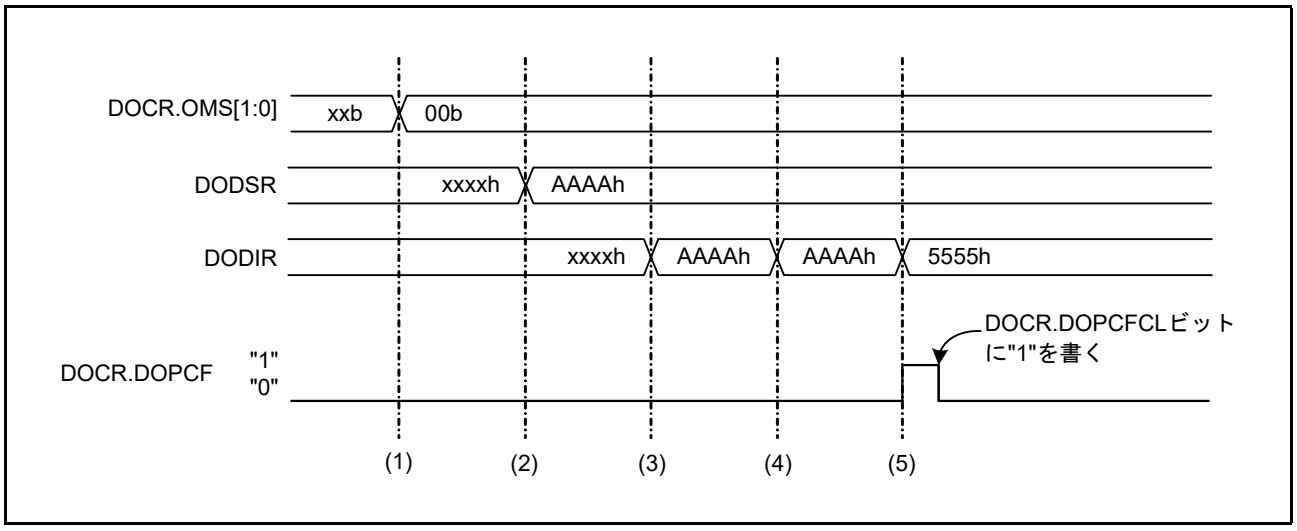


図 45.2　データ比較モードの動作例

45.3.2　データ加算モード

図 45.3 にデータ加算モードの動作例を示します。
データ演算回路は、データ加算モード時、以下のように動作します。

(1) DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
(2) DODSR レジスタにリセット後の値となる 16 ビットのデータを設定します。
(3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
(4) 加算するすべてのデータ書き込みが完了するまで、加算する 16 ビットのデータを DODIR レジスタに書き込みます。
(5) 演算結果が FFFFh よりも大きくなったとき、DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 .　DODIR レジスタがリセット後の値 0000h で、DODSR レジスタに 0000h 以外の値を設定しても、その時は加算しません。また、DODSR レジスタを設定し、DODIR レジスタに加算する値を書き込んで加算された後、再度 DODSR レジスタを設定しても、その時の DODIR レジスタ値とは加算されません。つまり、加算動作は DODIR レジスタの書き込みで行われます。DODSR レジスタの書き込みでは、加算は行われません。

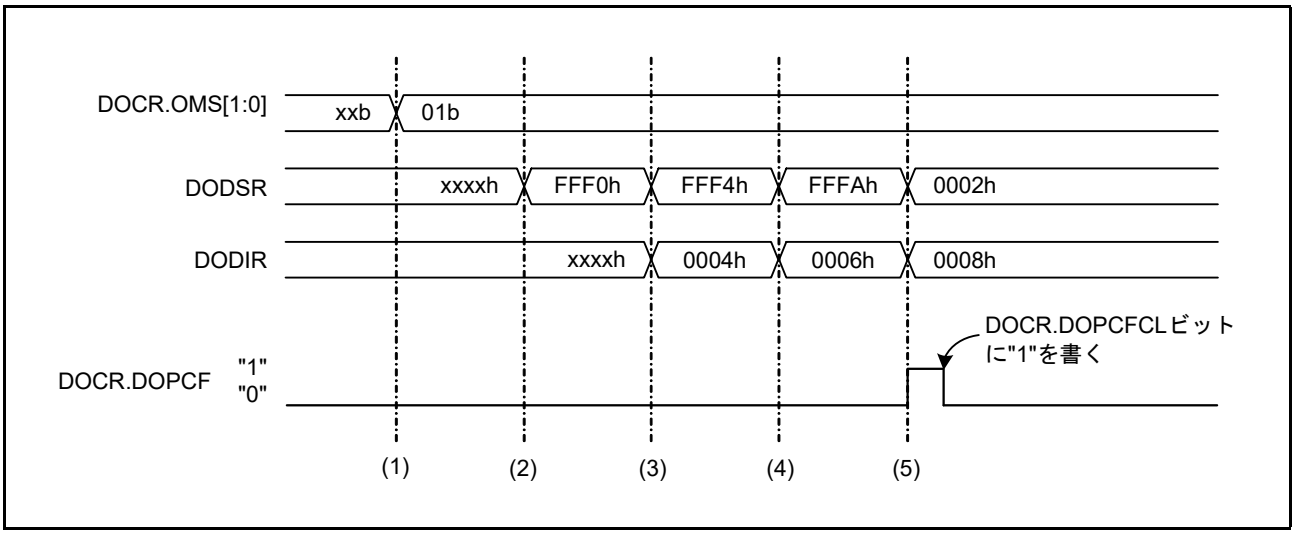


図 45.3　データ加算モードの動作例

45.3.3　データ減算モード

図 45.4 にデータ減算モードの動作例を示します。
データ演算回路は、データ減算モード時、以下のように動作します。

(1) DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
(2) DODSR レジスタにリセット後の値となる 16 ビットのデータを設定します。
(3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
(4) 減算するすべてのデータ書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
(5) 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 .　DODIR レジスタが初期値 0000h で、DODSR レジスタに 0000h 以外の値を設定しても、その時は減算しません。また、DODSR レジスタを設定し、DODIR レジスタに減算する値を書き込んで減算された後、再度 DODSR レジスタを設定しても、その時の DODIR レジスタ値からは減算されません。つまり、減算動作は DODIR レジスタの書き込みで行われます。DODSR レジスタの書き込みでは、減算は行われません。

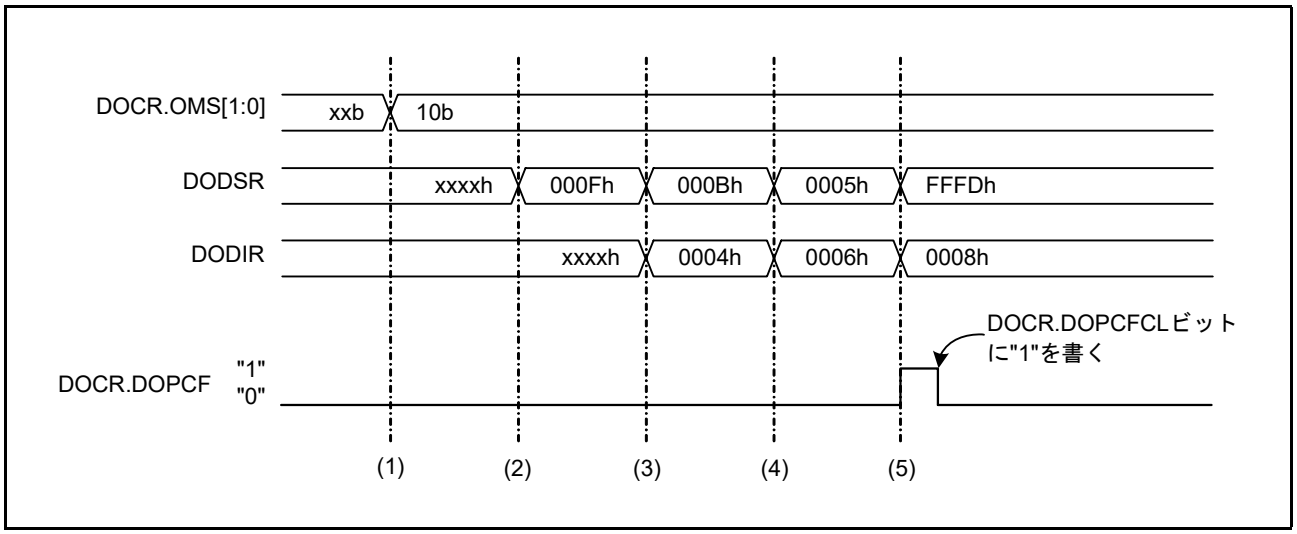


図 45.4　データ減算モードの動作例

45.4　割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとステータスフラグ（DOCR.DOPCF）が 1 になります。**表 45.2** に割り込み要求の内容を示します。

表45.2　　データ演算回路割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
データ演算回路割り込み	DOPCF	• データ加算の結果がFFFFhより大きくなったとき • データ減算の結果が0000hより小さくなったとき • データ比較の結果が一致または不一致のとき

注.　データ演算回路割り込みは、割り込みコントローラには通知されず、DOC演算エラーとして、エラーコントロールモジュール（ECM）に通知されます。

45.5　イベントリンク出力機能

データ演算回路（DOC）は、イベントリンクコントローラ（ELC）に対して以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が一致または不一致のとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

45.5.1　割り込み処理とイベントリンクの関係

データ演算回路（DOC）には、割り込みの許可／禁止を制御するビット（DOCR.DOPCIE）があります。割り込み要因が発生すると、割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットには依存せず、ELC を介して他のモジュールにイベント信号として出力します。

45.6　使用上の注意事項

45.6.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）により、データ演算回路の動作を禁止／許可することができます。リセット後の値では、データ演算回路は動作停止です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「9.　**消費電力低減機能**」を参照してください。

46. RAM（製品オプション）

本 LSI は、高速 RAM（ECC 誤り訂正機能あり）を内蔵しています。容量は 1M バイト（512K バイト ×2）の RAM を搭載しています。

46.1 概要

表 46.1 に RAM の仕様を示します。

表46.1 RAMの仕様

項目	内容
RAM容量	1Mバイト
RAMアドレス （Cortex-R4からのアクセス）	内蔵拡張SRAM（領域1） 0400 0000h～0407 FFFFh 2400 0000h～2407 FFFFh（ミラー） 内蔵拡張SRAM（領域2） 2000 0000h～2007 FFFFh 2200 0000h～2207 FFFFh（ミラー）
RAMアドレス（R-IN Engine搭載製品） （Cortex-M3からのアクセス）	Instruction RAM 0000 0000h～0007 FFFFh 0400 0000h～0407 FFFFh（ミラー） Data RAM 2000 0000h～2007 FFFFh
消費電力低減機能	アクセス時のみ動作
エラーチェック機能	1ビット誤り訂正、2ビット誤り検出（ECC Decoder を有効にする必要があります）
初期化機能	リセットにより全RAM領域はゼロ初期化

注 . リセットの要因は、「RES# 端子入力によるリセット」、「ECM リセット」および「ソフトウェアリセット」が対象になります。

46.2　レジスタの説明

46.2.1　　プロテクトコマンドレジスタ（RAMPCMD）

RAMPCMD レジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すためのレジスタです。PROTREL ビットに “1” をセットしない限り、プロテクト対象レジスタへの書き込みはできません。

アドレス　A00F 3000h
Cortex-M3からのアクセスの場合
400F 3000h（R-IN Engine搭載製品）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTREL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTREL	プロテクト対象レジスタへのライトアクセス許可ビット	1：ライトアクセス許可 0：ライトアクセス禁止（プロテクト状態）	R/W

RAMPCMD レジスタの PROTREL ビットに “1” をセットする場合は、以下のシーケンスでの書き込みのみ受け付けられます。“0” にクリアする、もしくはリードする場合には、特別なシーケンスはありません。

1. RAMPCMD レジスタに特定値として、0000 00A5h を書き込む。
2. RAMPCMD レジスタに、0000 0001h を書き込む。
3. RAMPCMD レジスタに、0000 FFFEh を書き込む。
4. RAMPCMD レジスタに、0000 0001h を書き込む。

注 1.　1.、2.、3. では、レジスタへの書き込みは行われていません。
注 2.　対象レジスタへのライト完了後は、必ず PROTREL ビットをクリア（0）してください。

表46.2　　ライトプロテクション対象レジスター覧

レジスタ名	シンボル	R/W
プロテクトコマンドレジスタ	RAMPCMD	R/W
ECCデコーダコンフィグレジスタ	RAMEDC	R/W
ECCエンコーダコンフィグレジスタ	RAMEEC	R/W

46.2.2　ECC デコーダコンフィグレーションレジスタ （RAMEDC）

注 .　R-IN Engine 搭載製品は、「46.2.3　ECC デコーダコンフィグレーションレジスタ （RAMEDC）（R-IN Engine 搭載製品）」を参照してください。

RAMEDC レジスタは、内蔵拡張 SRAM（領域 1, 2）の ECC デコーダを制御するレジスタです。

アドレス　A00F 3100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC_ENABLE	ECC Decoder許可ビット	0 : ECC Decoderを無効にします。 1 : ECC Decoderを有効にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RAMEDC.ECC_ENABLE ビットを “1” にセットすると、内蔵拡張 SRAM（領域 1, 2）の ECC デコーダ論理が有効になり、以下の機能が有効になり、エラーコントロールモジュール（ECM）に通知します。

- 1bit ECC エラーの場合 : Read Data を補正し、エラーコントロールモジュール（ECM）への通知を行います。
- 2bit ECC エラーの場合 : エラーコントロールモジュール（ECM）への通知を行います。

RAMEDC.ECC_ENABLE ビットを無効 (0) にすると、ECC エラーが発生した場合も、Read Data の補正、ECM への通知は行いません。したがって、RAMDBEST レジスタへのステータス保持機能、RAMDBEAD レジスタへのエラーアドレスキャプチャ機能、RAMDBECNT レジスタのエラーカウント機能も無効になります。

注 1.　本レジスタは、各 Master から RAM へのアクセスが無い時に切り替えてください。

注 2.　本レジスタは、RAMPCMD レジスタでライトプロテクトを解除するまでは、ライトすることができません。

46.2.3　ECC デコーダコンフィグレーションレジスタ （RAMEDC）（R-IN Engine 搭載製品）

RAMEDC レジスタは、Instruction RAM ／ Data RAM の ECC デコーダを制御するレジスタです。

アドレス　400F 3100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC_ENABLE	ECC Decoder許可ビット	0 : ECC Decoderを無効にします。 1 : ECC Decoderを有効にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RAMEDC.ECC_ENABLE ビットを “1” にセットすると、Instruction RAM および Data RAM の ECC デコーダ論理が有効になり、以下の機能が有効になり、エラーコントロールモジュール（ECM）に通知します。

- 1bit ECC エラーの場合 : Read Data を補正し、拡張内蔵 SRAM 1bit ECC エラー割り込みを発生とエラーコントロールモジュール（ECM）への通知を行います。
- 2bit ECC エラーの場合 : 拡張内蔵 SRAM 2bit ECC エラー割り込みを発生とエラーコントロールモジュール（ECM）への通知を行います。

RAMEDC.ECC_ENABLE ビットを無効 (0) にすると、ECC エラーが発生した場合も、Read Data の補正、ECM への通知は行いません。したがって、RAMDBEST レジスタへのステータス保持機能、RAMDBEAD レジスタへのエラーアドレスキャプチャ機能、RAMDBECNT レジスタのエラーカウント機能も無効になります。

注 1.　本レジスタは、各 Master から RAM へのアクセスが無い時に切り替えてください。
注 2.　本レジスタは、RAMPCMD レジスタでライトプロテクトを解除するまでは、ライトすることができません。

46.2.4 ECC エンコーダコンフィグレーションレジスタ （RAMEEC）

注 . R-IN Engine 搭載製品は、「46.2.5 ECC エンコーダコンフィグレーションレジスタ （RAMEEC）（R-IN Engine 搭載製品）」を参照してください。

RAMEEC レジスタは、内蔵拡張 SRAM（領域 1, 2）の ECC 回路のセルフテストを制御します。

RAMEEC.DBE_DISTn（n = 0 ～ 15）ビットに “1” をセットすると、各ビットに対応した RAM にアクセスした際の Syndrome（ECC 冗長ビットデータ）をラッチしておき、次回アクセスした際にラッチした Syndrome を RAM に書き込むことで、ECC エラーを注入することができます。

RAMEEC.DBE_DISTn（n = 0 ～ 15）ビットを “0” にした場合は、常に正常な Syndrome を各ビットに対応した RAM に書き込みます。

アドレス A00F 3104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_DIST15	DBE_DIST14	DBE_DIST13	DBE_DIST12	DBE_DIST11	DBE_DIST10	DBE_DIST9	DBE_DIST8	DBE_DIST7	DBE_DIST6	DBE_DIST5	DBE_DIST4	DBE_DIST3	DBE_DIST2	DBE_DIST1	DBE_DIST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBE_DIST0	内蔵拡張SRAM（領域1）BANK0 Way0 Syndromeのエラー注入許可ビット	0：常に正常なSyndromeをRAMに書き込みます。 1：前回アクセスした際のSyndromeをRAMに書き込みます。	R/W
b1	DBE_DIST1	内蔵拡張SRAM（領域1）BANK0 Way1 Syndromeのエラー注入許可ビット		R/W
b2	DBE_DIST2	内蔵拡張SRAM（領域1）BANK0 Way2 Syndromeのエラー注入許可ビット		R/W
b3	DBE_DIST3	内蔵拡張SRAM（領域1）BANK0 Way3 Syndromeのエラー注入許可ビット		R/W
b4	DBE_DIST4	内蔵拡張SRAM（領域1）BANK1 Way0 Syndromeのエラー注入許可ビット		R/W
b5	DBE_DIST5	内蔵拡張SRAM（領域1）BANK1 Way1 Syndromeのエラー注入許可ビット		R/W
b6	DBE_DIST6	内蔵拡張SRAM（領域1）BANK1 Way2 Syndromeのエラー注入許可ビット		R/W
b7	DBE_DIST7	内蔵拡張SRAM（領域1）BANK1 Way3 Syndromeのエラー注入許可ビット		R/W
b8	DBE_DIST8	内蔵拡張SRAM（領域2）BANK0 Way0 Syndromeのエラー注入許可ビット		R/W
b9	DBE_DIST9	内蔵拡張SRAM（領域2）BANK0 Way1 Syndromeのエラー注入許可ビット		R/W
b10	DBE_DIST10	内蔵拡張SRAM（領域2）BANK0 Way2 Syndromeのエラー注入許可ビット		R/W
b11	DBE_DIST11	内蔵拡張SRAM（領域2）BANK0 Way3 Syndromeのエラー注入許可ビット		R/W
b12	DBE_DIST12	内蔵拡張SRAM（領域2）BANK1 Way0 Syndromeのエラー注入許可ビット		R/W
b13	DBE_DIST13	内蔵拡張SRAM（領域2）BANK1 Way1 Syndromeのエラー注入許可ビット		R/W
b14	DBE_DIST14	内蔵拡張SRAM（領域2）BANK1 Way2 Syndromeのエラー注入許可ビット		R/W
b15	DBE_DIST15	内蔵拡張SRAM（領域2）BANK1 Way3 Syndromeのエラー注入許可ビット		R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　本レジスタは、各MasterからRAMへのアクセスが無い時に切り替えてください。
注2.　本レジスタは、RAMPCMDレジスタでライトプロテクトを解除するまでは、ライトすることができません。

46.2.5　ECC エンコーダコンフィグレーションレジスタ （RAMEEC）（R-IN Engine 搭載製品）

RAMEEC レジスタは、Instruction RAM ／ Data RAM の ECC 回路のセルフテストを制御します。

RAMEEC.DBE_DISTn（n = 0 ～ 15）ビットに “1” をセットすると、各ビットに対応した RAM にアクセスした際の Syndrome（ECC 冗長ビットデータ）をラッチしておき、次回アクセスした際にラッチした Syndrome を RAM に書き込むことで、ECC エラーを注入することができます。

RAMEEC.DBE_DISTn（n = 0 ～ 15）ビットを “0” にした場合は、常に正常な Syndrome を各ビットに対応した RAM に書き込みます。

アドレス　400F 3104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_DIST15	DBE_DIST14	DBE_DIST13	DBE_DIST12	DBE_DIST11	DBE_DIST10	DBE_DIST9	DBE_DIST8	DBE_DIST7	DBE_DIST6	DBE_DIST5	DBE_DIST4	DBE_DIST3	DBE_DIST2	DBE_DIST1	DBE_DIST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBE_DIST0	Instruction RAMBANK0 Way0 Syndrome のエラー注入許可ビット	0 : 常に正常なSyndromeをRAMに書き込みます。 1 : 前回アクセスした際のSyndromeをRAMに書き込みます。	R/W
b1	DBE_DIST1	Instruction RAMBANK0 Way1 Syndrome のエラー注入許可ビット		R/W
b2	DBE_DIST2	Instruction RAMBANK0 Way2 Syndrome のエラー注入許可ビット		R/W
b3	DBE_DIST3	Instruction RAMBANK0 Way3 Syndrome のエラー注入許可ビット		R/W
b4	DBE_DIST4	Instruction RAMBANK1 Way0 Syndrome のエラー注入許可ビット		R/W
b5	DBE_DIST5	Instruction RAMBANK1 Way1 Syndrome のエラー注入許可ビット		R/W
b6	DBE_DIST6	Instruction RAMBANK1 Way2 Syndrome のエラー注入許可ビット		R/W
b7	DBE_DIST7	Instruction RAMBANK1 Way3 Syndrome のエラー注入許可ビット		R/W
b8	DBE_DIST8	Data RAMBANK0 Way0 Syndrome のエラー注入許可ビット		R/W
b9	DBE_DIST9	Data RAMBANK0 Way1 Syndrome のエラー注入許可ビット		R/W
b10	DBE_DIST10	Data RAMBANK0 Way2 Syndrome のエラー注入許可ビット		R/W
b11	DBE_DIST11	Data RAMBANK0 Way3 Syndrome のエラー注入許可ビット		R/W
b12	DBE_DIST12	Data RAMBANK1 Way0 Syndrome のエラー注入許可ビット		R/W
b13	DBE_DIST13	Data RAMBANK1 Way1 Syndrome のエラー注入許可ビット		R/W
b14	DBE_DIST14	Data RAMBANK1 Way2 Syndrome のエラー注入許可ビット		R/W
b15	DBE_DIST15	Data RAMBANK1 Way3 Syndrome のエラー注入許可ビット		R/W

ビット	シンボル	ビット名	機能	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. 本レジスタは、各MasterからRAMへのアクセスが無い時に切り替えてください。
注2. 本レジスタは、RAMPCMDレジスタでライトプロテクトを解除するまでは、ライトすることができません。

46.2.6　　2 ビット ECC エラーステータスレジスタ（RAMDBEST）

注 .　R-IN Engine 搭載製品は、「46.2.7　2 ビット ECC エラーステータスレジスタ（RAMDBEST）（R-IN Engine 搭載製品）」を参照してください。

RAMDBEST レジスタは、内蔵拡張 SRAM（領域 1, 2）の ECC 2bit エラーステータスを示します。

エラーコントロールモジュール（ECM）に通知後に、本レジスタをリードすることで、ECC 2bit エラーが発生した BANK ／ WAY を確認することができます。

アドレス　A00F 3108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_RAM15	DBE_RAM14	DBE_RAM13	DBE_RAM12	DBE_RAM11	DBE_RAM10	DBE_RAM9	DBE_RAM8	DBE_RAM7	DBE_RAM6	DBE_RAM5	DBE_RAM4	DBE_RAM3	DBE_RAM2	DBE_RAM1	DBE_RAM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBE_RAM0	内蔵拡張SRAM（領域1）Bank0 Way0 ECC 2bitエラー検出フラグ	0：エラーなし 1：エラーあり	R
b1	DBE_RAM1	内蔵拡張SRAM（領域1）Bank0 Way1 ECC 2bitエラー検出フラグ		R
b2	DBE_RAM2	内蔵拡張SRAM（領域1）Bank0 Way2 ECC 2bitエラー検出フラグ		R
b3	DBE_RAM3	内蔵拡張SRAM（領域1）Bank0 Way3 ECC 2bitエラー検出フラグ		R
b4	DBE_RAM4	内蔵拡張SRAM（領域1）Bank1 Way0 ECC 2bitエラー検出フラグ		R
b5	DBE_RAM5	内蔵拡張SRAM（領域1）Bank1 Way1 ECC 2bitエラー検出フラグ		R
b6	DBE_RAM6	内蔵拡張SRAM（領域1）Bank1 Way2 ECC 2bitエラー検出フラグ		R
b7	DBE_RAM7	内蔵拡張SRAM（領域1）Bank1 Way3 ECC 2bitエラー検出フラグ		R
b8	DBE_RAM8	内蔵拡張SRAM（領域2）Bank0 Way0 ECC 2bitエラー検出フラグ		R
b9	DBE_RAM9	内蔵拡張SRAM（領域2）Bank0 Way1 ECC 2bitエラー検出フラグ		R
b10	DBE_RAM10	内蔵拡張SRAM（領域2）Bank0 Way2 ECC 2bitエラー検出フラグ		R
b11	DBE_RAM11	内蔵拡張SRAM（領域2）Bank0 Way3 ECC 2bitエラー検出フラグ		R
b12	DBE_RAM12	内蔵拡張SRAM（領域2）Bank1 Way0 ECC 2bitエラー検出フラグ		R
b13	DBE_RAM13	内蔵拡張SRAM（領域2）Bank1 Way1 ECC 2bitエラー検出フラグ		R
b14	DBE_RAM14	内蔵拡張SRAM（領域2）Bank1 Way2 ECC 2bitエラー検出フラグ		R
b15	DBE_RAM15	内蔵拡張SRAM（領域2）Bank1 Way3 ECC 2bitエラー検出フラグ		R
b31-b16	—	予約ビット	読むと“0”が読めます	R

注1.　本レジスタをリードした場合は、ECCエラー要因がクリアされます。

46.2.7　2 ビット ECC エラーステータスレジスタ（RAMDBEST）（R-IN Engine 搭載製品）

RAMDBEST レジスタは、Instruction RAM ／ Data RAM の ECC 2bit エラーステータスを示します。

拡張内蔵 SRAM_2bit ECC エラー割り込み発生後、もしくはエラーコントロールモジュール（ECM）に通知後に、本レジスタをリードすることで、ECC 2bit エラーが発生した BANK ／ WAY を確認することができます。

アドレス　400F 3108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_RAM15	DBE_RAM14	DBE_RAM13	DBE_RAM12	DBE_RAM11	DBE_RAM10	DBE_RAM9	DBE_RAM8	DBE_RAM7	DBE_RAM6	DBE_RAM5	DBE_RAM4	DBE_RAM3	DBE_RAM2	DBE_RAM1	DBE_RAM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBE_RAM0	Instruction RAMBank0 Way0 ECC 2bitエラー検出フラグ	0：エラーなし 1：エラーあり	R
b1	DBE_RAM1	Instruction RAMBank0 Way1 ECC 2bitエラー検出フラグ		R
b2	DBE_RAM2	Instruction RAMBank0 Way2 ECC 2bitエラー検出フラグ		R
b3	DBE_RAM3	Instruction RAMBank0 Way3 ECC 2bitエラー検出フラグ		R
b4	DBE_RAM4	Instruction RAMBank1 Way0 ECC 2bitエラー検出フラグ		R
b5	DBE_RAM5	Instruction RAMBank1 Way1 ECC 2bitエラー検出フラグ		R
b6	DBE_RAM6	Instruction RAMBank1 Way2 ECC 2bitエラー検出フラグ		R
b7	DBE_RAM7	Instruction RAMBank1 Way3 ECC 2bitエラー検出フラグ		R
b8	DBE_RAM8	Data RAM Bank0 Way0 ECC 2bitエラー検出フラグ		R
b9	DBE_RAM9	Data RAM Bank0 Way1 ECC 2bitエラー検出フラグ		R
b10	DBE_RAM10	Data RAM Bank0 Way2 ECC 2bitエラー検出フラグ		R
b11	DBE_RAM11	Data RAMBank0 Way3 ECC 2bitエラー検出フラグ		R
b12	DBE_RAM12	Data RAM Bank1 Way0 ECC 2bitエラー検出フラグ		R
b13	DBE_RAM13	Data RAM Bank1 Way1 ECC 2bitエラー検出フラグ		R
b14	DBE_RAM14	Data RAM Bank1 Way2 ECC 2bitエラー検出フラグ		R
b15	DBE_RAM15	Data RAM Bank1 Way3 ECC 2bitエラー検出フラグ		R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

注1.　本レジスタをリードした場合は、ECCエラー要因がクリアされます。

46.2.8　2 ビット ECC エラーアドレスレジスタ （RAMDBEAD）

注 .　R-IN Engine 搭載製品は、「46.2.9　2 ビット ECC エラーアドレスレジスタ （RAMDBEAD）（R-IN Engine 搭載製品）」を参照してください。

RAMDBEAD レジスタは、ECC 2bit エラーの発生アドレスを保持するリード専用レジスタです。

ECC 2bit エラーを検出すると、検出信号をトリガとして ECC エラー発生アドレスをキャプチャし、ADDRESS[15:0] ビットに格納します。

なお、一度 ECC エラー発生アドレスをキャプチャしたレジスタは、本レジスタの LOCK ビットが有効になり、本レジスタをリードするまでは、次の ECC エラー発生アドレスを保持することが出来ません。このため、新規に ECC エラー発生アドレスをキャプチャしたい場合は、本レジスタのリードを行ってください。

アドレス　A00F 310Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	BANK[1:0]		ADDRESS[15:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRESS[15:0]														—	LOCK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOCK	ロックイネーブルビット	0 : レジスタロック解除 （ECC 2bitエラー発生アドレスのキャプチャ可） 1 : レジスタロック （ECC 2bitエラー発生アドレスのキャプチャ不可） 本レジスタをリードするとロックが解除されます。	R
b1	—	予約ビット	読むと“0”が読めます	R
b17-b2	ADDRESS[15:0]	ECC 2bitエラー発生アドレスビット	ECC 2bitエラー発生アドレスを保持します	R
b19-b18	BANK[1:0]	ECC 2bitエラー発生BANKビット	ECC 2bitエラー発生時の対象BANK情報を保持します。 0 : 内蔵拡張SRAM（領域1）BANK0 1 : 内蔵拡張SRAM（領域1）BANK1 2 : 内蔵拡張SRAM（領域2）BANK0 3 : 内蔵拡張SRAM（領域2）BANK1	R
b31-b20	—	予約ビット	読むと“0”が読めます	R

注.　ECC 2bitエラーが、異なるWAYで同時に発生した場合、アドレスをキャプチャする優先順位は以下のようになります。
内蔵拡張SRAM（領域1）BANK0 WAY0 ＞ 内蔵拡張SRAM（領域1）BANK0 WAY1 ＞
内蔵拡張SRAM（領域1）BANK0 WAY2 ＞ 内蔵拡張SRAM（領域1）BANK0 WAY3 ＞
内蔵拡張SRAM（領域1）BANK1 WAY0 ＞ 内蔵拡張SRAM（領域1）BANK1 WAY1 ＞
内蔵拡張SRAM（領域1）BANK1 WAY2 ＞ 内蔵拡張SRAM（領域1）BANK1 WAY3 ＞
内蔵拡張SRAM（領域2）BANK0 WAY0 ＞ 内蔵拡張SRAM（領域2）BANK0 WAY1 ＞
内蔵拡張SRAM（領域2）BANK0 WAY2 ＞ 内蔵拡張SRAM（領域2）BANK0 WAY3 ＞
内蔵拡張SRAM（領域2）BANK1 WAY0 ＞ 内蔵拡張SRAM（領域2）BANK1 WAY1 ＞
内蔵拡張SRAM（領域2）BANK1 WAY2 ＞ 内蔵拡張SRAM（領域2）BANK1 WAY3

46.2.9　2 ビット ECC エラーアドレスレジスタ （RAMDBEAD）（R-IN Engine 搭載製品）

RAMDBEAD レジスタは、ECC 2bit エラーの発生アドレスを保持するリード専用レジスタです。

ECC 2bit エラーを検出すると、検出信号をトリガとして ECC エラー発生アドレスをキャプチャし、ADDRESS[15:0] ビットに格納します。

なお、一度 ECC エラー発生アドレスをキャプチャしたレジスタは、本レジスタの LOCK ビットが有効になり、本レジスタをリードするまでは、次の ECC エラー発生アドレスを保持することが出来ません。このため、新規に ECC エラー発生アドレスをキャプチャしたい場合は、本レジスタのリードを行ってください。

アドレス　400F 310Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	BANK[1:0]		ADDRESS[15:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRESS[15:0]														—	LOCK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOCK	ロックイネーブルビット	0 : レジスタロック解除 （ECC 2bitエラー発生アドレスのキャプチャ可） 1 : レジスタロック （ECC 2bitエラー発生アドレスのキャプチャ不可） 本レジスタをリードするとロックが解除されます。	R
b1	—	予約ビット	読むと“0”が読めます。	R
b17-b2	ADDRESS[15:0]	ECC 2bitエラー発生アドレスビット	ECC 2bitエラー発生アドレスを保持します。	R
b19-b18	BANK[1:0]	ECC 2bitエラー発生BANKビット	ECC 2bitエラー発生時の対象BANK情報を保持します。 0 : Instruction RAM BANK0 1 : Instruction RAM BANK1 2 : Data RAM BANK0 3 : Data RAM BANK1	R
b31-b20	—	予約ビット	読むと“0”が読めます。	R

注.　ECC 2bitエラーが、異なるWAYで同時に発生した場合、アドレスをキャプチャする優先順位は以下のようになります。
Instruction RAM BANK0 WAY0 ＞ Instruction RAM BANK0 WAY1 ＞
Instruction RAM BANK0 WAY2 ＞ Instruction RAM BANK0 WAY3 ＞
Instruction RAM BANK1 WAY0 ＞ Instruction RAM BANK1 WAY1 ＞
Instruction RAM BANK1 WAY2 ＞ Instruction RAM BANK1 WAY3 ＞
Data RAM BANK0 WAY0 ＞ Data RAM BANK0 WAY1 ＞
Data RAM BANK0 WAY2 ＞ Data RAM BANK0 WAY3 ＞
Data RAM BANK1 WAY0 ＞ Data RAM BANK1 WAY1 ＞
Data RAM BANK1 WAY2 ＞ Data RAM BANK1 WAY3

46.2.10　2 ビット ECC エラーカウンタレジスタ（RAMDBECNT）

RAMDBECNT レジスタは、ECC 2bit エラーの発生回数を保持するリード専用レジスタです。
ECC 2bit エラーを検出すると、検出信号をトリガとしてエラーカウンタがインクリメントされます。
なお、カウント値が最大値（Fh）を超えた場合は、カウント値は 0h にクリアされます。

アドレス　A00F 3110h
Cortex-M3からのアクセスの場合
400F 3110h（R-IN Engine搭載製品）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ERRCOUNT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ERRCOUNT[3:0]	ECC 2bitエラー発生カウンタビット	ECC 2bitエラーの発生回数を保持します。	R
b31-b4	—	予約ビット	読むと“0”が読めます。	R

注.　ECC 2bitエラーが、異なるWAYで同時に発生した場合でも、カウントアップする値は、“1”になります。

46.3 動作説明

46.3.1 メモリ MAP 構成

Instruction RAM 領域と Data RAM 領域でそれぞれ 512K バイトの RAM があり、それぞれの 2 バンク 4 ウエイの構成になります。

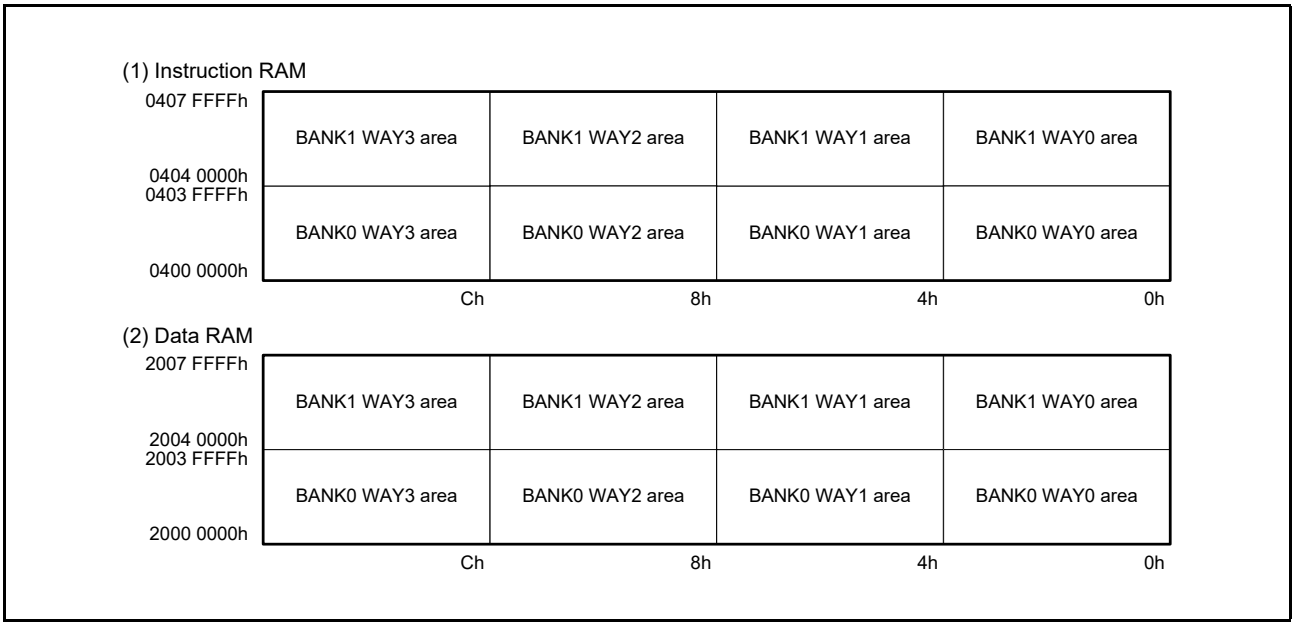


図 46.1 メモリ構成

46.3.2 ECC 誤り訂正機能

ECC 誤り訂正機能の有効／無効は RAMEDC レジスタにて 1M バイト空間で設定できます。ECC は、1 ビットのエラーは補正し、2 ビットのエラーは検出することができます。2 ビットのエラーは、エラーコントロールモジュール（ECM）にて要因の検出ができ、どのウエイで発生したかを RAMDBEST レジスタで確認することができます。また、2 ビットのエラー発生時の対象アドレスは RAMDBEAD レジスタで特定することができ、2 ビットエラーの発生回数は RAMDBECNT に保持されます。

46.3.3　　ECC 回路セルフテスト

ウエイ単位で、ECC 回路のセルフテストを行うことができます。対象の領域は、RAMEEC レジスタでウエイごとに設定できます。ECC 回路のセルフテスト時の手順例を以降に示します。

（1）ECC エラーインジェクション設定処理手順例

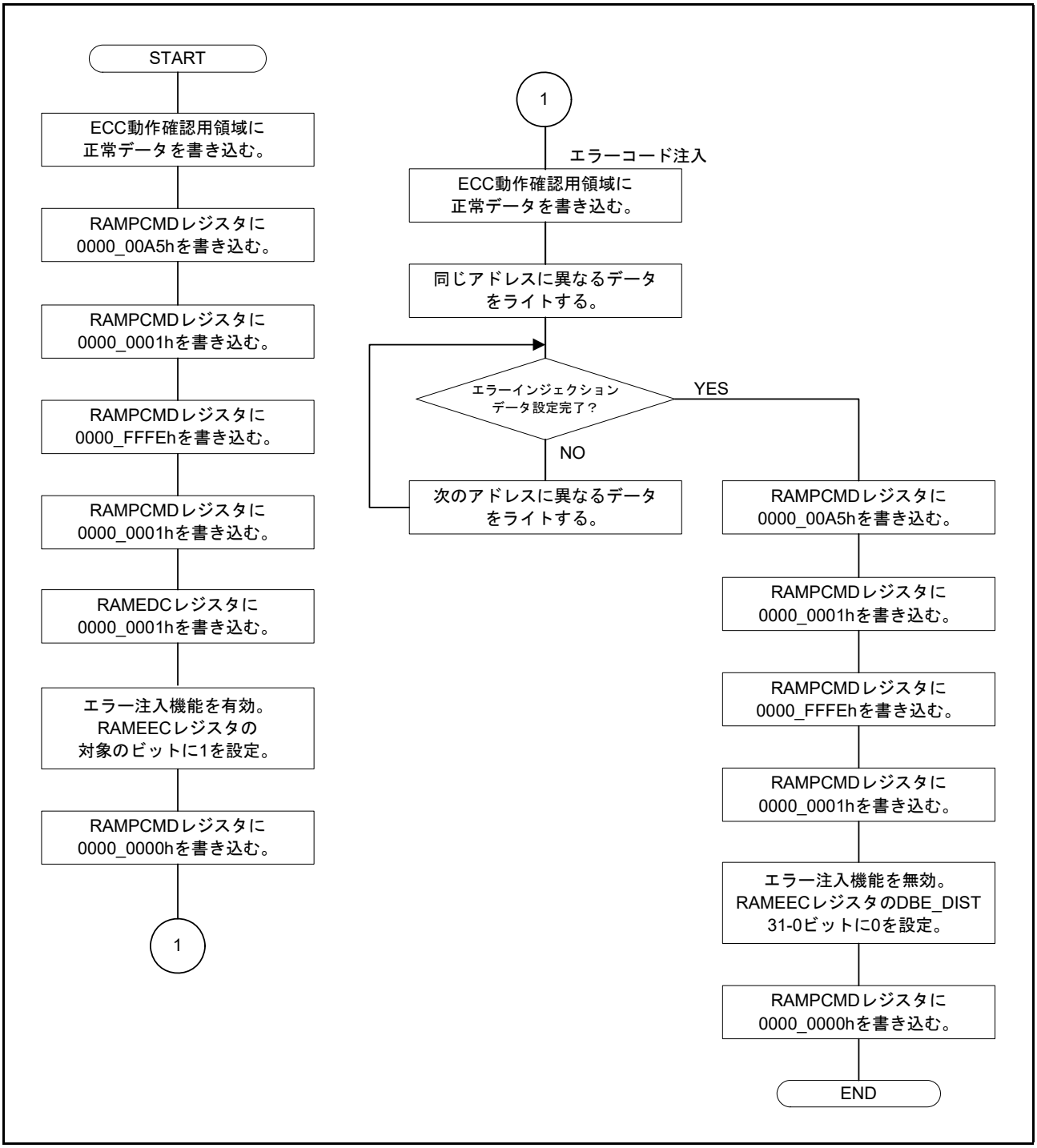
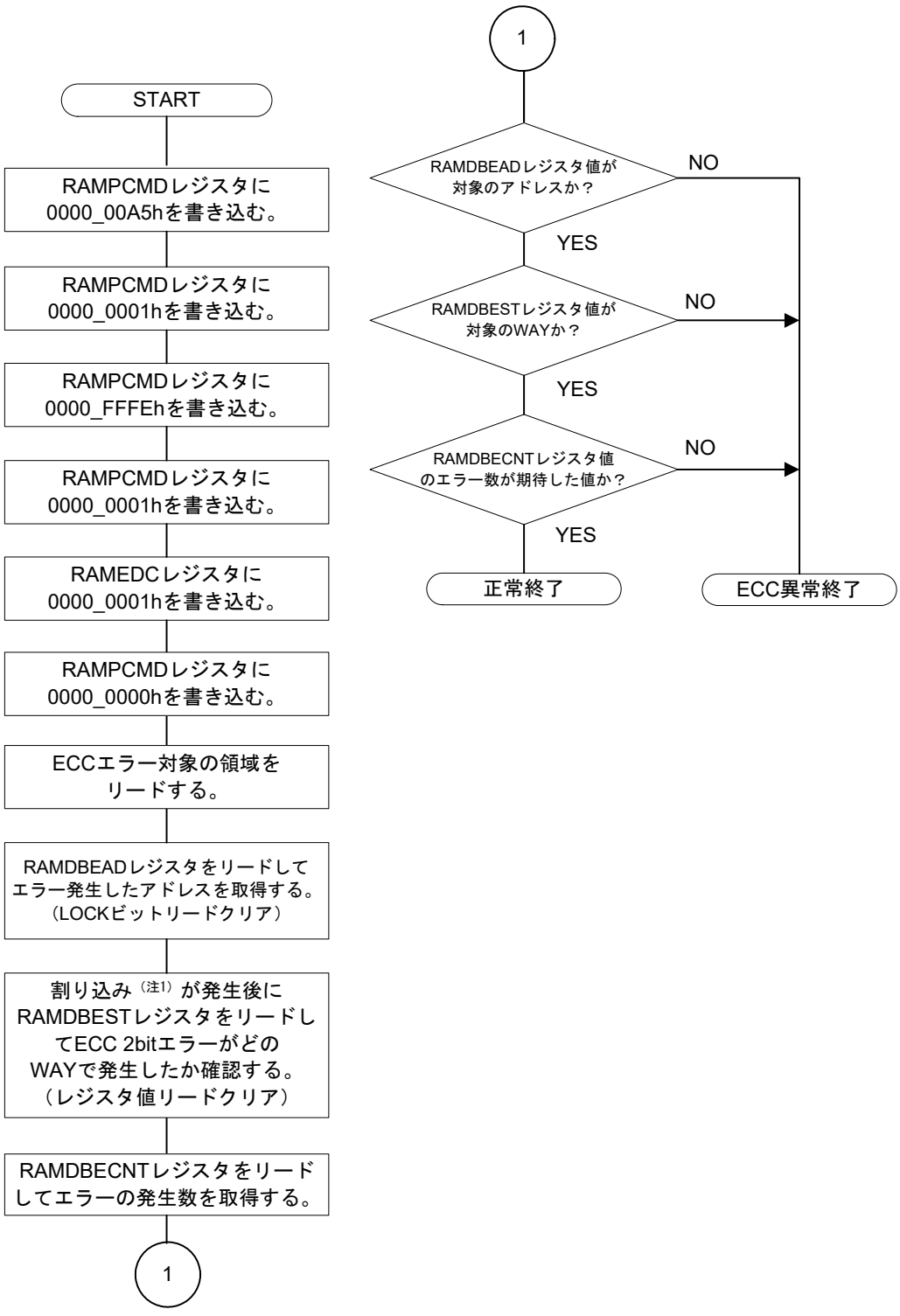


図 46.2　　ECC エラーインジェクション設定手順例

（2）ECC 動作確認処理手順



注1.　Cortex-M3の場合はETHRSE2割り込みを用いてNVICに接続されます。Cortex-R4の場合はECM経由のERRD割り込みを使用してください。

図 46.3　ECC 動作確認手順例

47.　電気的特性

47.1　絶対最大定格

表47.1　　絶対最大定格

条件：VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V

項目	記号	定格値	単位
電源電圧 （I/O）	VCCQ33	– 0.3 ～ + 4.2	V
電源電圧 （内部）	VDD	– 0.3 ～ + 1.6	V
PLL電源電圧	PLLVDD0, PLLVDD1	– 0.3 ～ + 1.6	V
入力電圧（5Vトレラント対応ポート（注1）以外）	V_{in1}	– 0.3 ～ VCCQ33 + 0.3（注4）	V
入力電圧（5Vトレラント対応ポート（注1））	V_{in2}	– 0.3 ～ + 5.5（注3）	V
アナログ電源電圧	AVCC0, AVCC1（注2）	– 0.3 ～ + 4.2	V
リファレンス電源電圧	VREFH0, VREFH1	– 0.3 ～ (AVCC0, AVCC1) + 0.3（注4）	V
USBデジタル電源電圧	DVDD_USB	– 0.3 ～ + 1.6	V
USB電源電圧	VDD33_USB（注2）	– 0.3 ～ + 4.2	V
アナログ入力電圧	V_{AN}	– 0.3 ～ (AVCC0, AVCC1) + 0.3（注4）	V
動作温度（ジャンクション温度）	Tj	– 40 ～ + 125	℃
保存温度	T_{stg}	– 55 ～ + 125	℃

【使用上の注意】

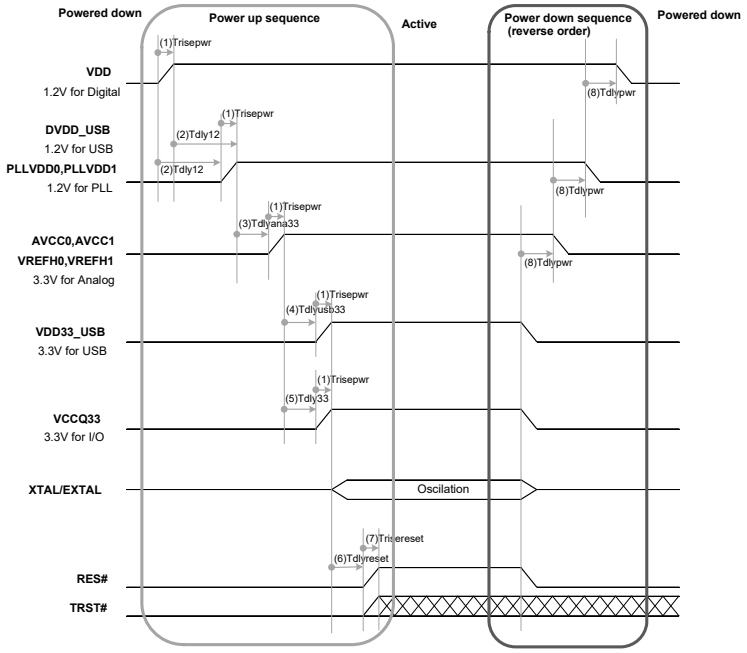
1. IC 製品の出力（出力状態の入出力端子）をほかの出力端子（出力状態の入出力端子を含む）、および電源端子や GND 端子に直線接続しないでください。ただし、入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。この定格値に近づかない状態で、製品をご使用ください。
   DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

注1.　ポートPC0～PC7、ポートP30は、5Vトレラント対応です。
注2.　A/Dのユニット0を使用しない場合、AVCC0, VREFH0端子はVCCQ33に、AVSS0, VREFL0端子はVSSにそれぞれ接続し開放しないでください。同様に、A/Dのユニット1を使用しない場合、AVCC1, VREFH1端子はVCCQ33に、AVSS1,VREFL1端子はVSSにそれぞれ接続し開放しないでください。USBを使用しない場合、VDD33_USB端子はVCCQ33に、VSS_USB端子はVSSに、DVDD_USB端子はVDDに、それぞれ接続し開放しないでください。
注3.　VCCQ33 = 3.0Vに満たない条件では、5Vトレラント対応ポートの定格値は3.6Vになります。
注4.　絶対最大定格（4.2V）を超えないようにしてください。

47.2　電源投入・切断シーケンス

各電源の投入・切断順序は図 47.1 に示した方法にしたがってください。

電源の投入時は、必ず TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。それ以外の端子状態の場合、初期化が正常に行われません。



Timing

No.	Item	Value		
		min	typ	max
(1)	Trisepwr	100µs	—	50ms
(2)	Tdly12	0ms	—	100ms
(3)	Tdlyana33	0ms	—	100ms
(4)	Tdlyusb33	0ms	—	100ms
(5)	Tdly33	0ms	—	100ms
(6)	Tdlyreset	10ms	—	—
(7)	Trisereset	—	—	150µs
(8)	Tdlypwr	0ms	—	—

注 1.　全電源およびリセット信号は、単調増加／単調減少で立ち上がる／立ち下がるようにしてください。
注 2.　電源にマイナス電圧を印可しないでください。
注 3.　電源投入前には必ずリセット端子（TRST#/RES#）をアクティブ（Low）にしてください。
このことが守られない場合、端子の入出力状態が不定になる場合があります。また、電源の切断時も、このことが問題になる可能性がある場合は、リセット端子（TRST#/RES#）をアクティブ（Low）にしてください。

注 .　電源投入・遮断シーケンスを満たせない場合（動作保証範囲以外）では，端子の入出力状態が不定になる場合があります。

図 47.1　電源投入・切断シーケンス

47.3 DC 特性

- 条件：VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ～ 1.26V,
  VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 ～ 3.6V
  VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V,
  Tj = –40 ～ 125 ℃

注 . 176 ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表47.2 DC特性（1）

項目	記号	min	typ	max	単位	測定条件
電源電圧 （I/O）	VCCQ33	3.0	3.3	3.6	V	
電源電圧 （内部）	VDD	1.14	1.2	1.26	V	
PLL電源電圧	PLLVDD0, PLLVDD1	1.14	1.2	1.26	V	
USBデジタル電源電圧	DVDD_USB	1.14	1.2	1.26	V	
アナログ電源電圧	AVCC0, AVCC1	3.0	3.3	3.6	V	
USB電源電圧	VDD33_USB	3.0	3.3	3.6	V	

表47.3　　DC特性（2）【消費電流】(1 / 2)

項目	電源種類		記号	typ	max	単位	測定条件
通常動作時	VDD	600MHz	VIcc	330	820	mA	Tj = -40～125℃ （R7S910018CBG, R7S910118CBG）
				273	752	mA	Tj = -40～125℃ （R7S910017CBG, R7S910117CBG）
				265	740	mA	Tj = -40～125℃ （R7S910028CBG, R7S910128CBG）
				258	731	mA	Tj = -40～125℃ （R7S910013CBG, R7S910113CBG）
				209	673	mA	Tj = -40～125℃ （R7S910027CBG, R7S910127CBG）
				201	663	mA	Tj = -40～125℃ （R7S910007CBG, R7S910107CBG）
		450MHz		310	798	mA	Tj = -40～125℃ （R7S910016CBG, R7S910116CBG）
				253	730	mA	Tj = -40～125℃ （R7S910015CBG, R7S910115CBG）
				245	718	mA	Tj = -40～125℃ （R7S910026CBG, R7S910126CBG）
				238	709	mA	Tj = -40～125℃ （R7S910011CBG, R7S910111CBG）
				189	651	mA	Tj = -40～125℃ （R7S910025CBG, R7S910125CBG）
				181	641	mA	Tj = -40～125℃ （R7S910002CBG, R7S910006CBG, R7S910102CBG, R7S910106CBG）
				180	640	mA	Tj = -40～125℃ （R7S910001CFP, R7S910101CFP）
		300MHz		225	696	mA	Tj = -40～125℃ （R7S910036CBG, R7S910136CBG）
				169	629	mA	Tj = -40～125℃ （R7S910035CBG, R7S910135CBG）

表47.3　DC特性（2）【消費電流】(2 / 2)

項目	電源種類	記号	typ	max	単位	測定条件
通常動作時	PLLVDD0 + PLLVDD1	PLLIcc	3.2	5	mA	
	VCCQ33	V33Icc	19 （注 1）（注 2）	—	mA	
	AVCC0	AV0Icc	2	5	mA	A/D 変換時（ユニット0）
	AVCC1	AV1Icc	0.7	1.5	mA	A/D 変換時（ユニット1）
	VREFH0	VRF0Icc	0.07	0.2	mA	A/D 変換時（ユニット0）
	VREFH1	VRF1Icc	0.07	0.2	mA	A/D 変換時（ユニット1）
	DVDD_USB	V12UIcc	5.1	9	mA	USB ハイスピード通信時
			3.5	9	mA	USB フルスピード通信時
	VDD33_USB	V33UIcc	15（注 1）	—	mA	USB ハイスピード通信時
			10（注 1）	—	mA	USB フルスピード通信時
スタンバイモード＋ 全モジュールストップ時 （参考値）	VDD	VIcc	41	—	mA	
	PLLVDD0 + PLLVDD1	PLLIcc	3.2	—	mA	
	VCCQ33	V33Icc	0.35 （注 1）（注 2）	—	mA	
	AVCC0	AV0Icc	0.64	—	μA	
	AVCC1	AV1Icc	0.32	—	μA	
	VREFH0	VRF0Icc	0.24	—	μA	
	VREFH1	VRF1Icc	0.24	—	μA	
	DVDD_USB	V12UIcc	3.5	—	mA	UTMI サスペンドモード
	VDD33_USB	V33UIcc	9.6（注 1）	—	mA	UTMI サスペンドモード

注1.　参考値です。実際の動作電流はシステムに大きく依存します（I/Oの負荷による波形なまり、トグル頻度等）。必ずシステムでの実測を行ってください。

注2.　V33Iccは 80mA 以下にしてください（表47.9のΣI_{OH}）。

表47.4　　DC特性（3）【USB2.0 ホスト／ファンクション関連端子を除く】

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	5V トレラント対応端子以外	V_{IH1}	2.4	—	VCCQ33 + 0.3	V	
		V_{IL1}	-0.3	—	0.8	V	
		ΔV_{T1}	VCCQ33 × 0.05	—	—	V	
	5V トレラント対応端子（注1）	V_{IH2}	VCCQ33 × 0.7	—	5.3（注2）	V	
		V_{IL2}	-0.3	—	VCCQ33 × 0.3	V	
		ΔV_{T2}	VCCQ33 × 0.05	—	—	V	
入力High レベル電圧（シュミットトリガ入力端子を除く）		V_{IH3}	2.4	—	VCCQ33 + 0.3	V	
入力Low レベル電圧（シュミットトリガ入力端子を除く）		V_{IL3}	-0.3	—	0.8	V	
出力High レベル電圧	5V トレラント対応端子以外	V_{OH}	VCCQ33 – 0.5	—	—	V	I_{OH} = -2mA
出力Low レベル電圧	5V トレラント対応端子以外	V_{OL1}	—	—	0.4	V	I_{OL1} = 2mA
	5V トレラント対応端子（注1）	V_{OL2}	—	—	0.4	V	I_{OL2} = 3mA
			—	—	0.6	V	I_{OL2} = 6mA
入力リーク電流		$\lvert I_{in} \rvert$	—	—	1.0	μA	$V_{in1} = V_{in2} = 0V$ $V_{in1} = V_{in2} = VCCQ33$
スリーステートリーク電流（オフ状態）	5V トレラント対応端子以外の入出力、出力端子	$\lvert I_{TSI} \rvert$	—	—	1.0	μA	$V_{in1} = 0V$ $V_{in1} = VCCQ33$
	5V トレラント対応端子（注1）		—	—	5.0	μA	$V_{in2} = 0V$ $V_{in2} = VCCQ33$
入力プルアップMOS電流/抵抗	ポート P50 ～ P56、P86 ～ P87、P90 ～ P97、PD0 ～ PD7	I_{pu1}	-300	—	-30	μA	VCCQ33 = 3.0～3.6V $V_{in1} = V_{in2} = 0V$
		R_{pu1}	10	—	120	kΩ	
	上記以外の端子（注3）	I_{pu2}	-120	—	-7	μA	VCCQ33 = 3.0～3.6V $V_{in1} = V_{in2} = 0V$
		R_{pu2}	25	—	515	kΩ	
入力プルダウンMOS電流/抵抗	ポート P50 ～ P56、P86 ～ P87、P90 ～ P97、PD0 ～ PD7	I_{pd1}	30	—	300	μA	VCCQ33 = 3.0～3.6V $V_{in1} = V_{in2} = VCCQ33$
		R_{pd1}	10	—	120	kΩ	
	上記以外の端子（注3）	I_{pd2}	7	—	120	μA	VCCQ33 = 3.0～3.6V $V_{in1} = V_{in2} = VCCQ33$
		R_{pd2}	25	—	515	kΩ	
端子容量	全入出力、入力端子	C_{in}	—	—	10	pF	

注1.　ポートPC0～PC7、ポートP30は、5Vトレラント対応です。
注2.　VCCQ33が3.00V未満のときは、5Vトレラント対応端子に対して3.6V以上の電圧を印加しないでください。
注3.　5Vトレラント対応端子は対象外です。

表47.5　DC 特性（4）【USB2.0 USB_RREF端子】

項目	記号	min	typ	max	単位	測定条件
基準抵抗	R_{REF}	200 ± 1%			Ω	

表47.6　DC 特性（5）【USB2.0 ホスト／ファンクション関連端子（フルスピード／ハイスピード共通項目）(注1)】

項目	記号	min	typ	max	単位	測定条件
DP プルアップ抵抗（ファンクション機能選択時）	R_{PU}	0.900	—	1.575	kΩ	アイドル時
		1.425	—	3.090	kΩ	送受信時
DP、DM プルダウン抵抗（ホスト機能選択時）	R_{PD}	14.25	—	24.80	kΩ	

注1.　USB_DP、USB_DM 端子

表47.7　DC 特性（6）【USB2.0 ホスト／ファンクション関連端子（フルスピード時）(注1)】

項目	記号	min	typ	max	単位	測定条件
入力ハイレベル電圧	V_{FSIH}	2.0	—	—	V	
入力ロウレベル電圧	V_{FSIL}	—	—	0.8	V	
差動入力感度	V_{FSDI}	0.2	—	—	V	| (USB_DP) – (USB_DM) |
差動コモンモード範囲	V_{FSCM}	0.8	—	2.5	V	
出力ハイレベル電圧	V_{FSOH}	2.8	—	3.6	V	I_{FSOH} = – 200μA
出力ロウレベル電圧	V_{FSOL}	0.0	—	0.3	V	I_{FSOL} = 2mA
出力信号クロスオーバ電圧	V_{FSCRS}	1.3	—	2.0	V	CL = 50pF（フルスピード時）

注1.　USB_DP、USB_DM端子

表47.8　DC 特性（7）【USB2.0 ホスト／ファンクション関連端子（ハイスピード時）(注1)】

項目	記号	min	typ	max	単位	測定条件
スケルチ検出スレッショルド電圧（差動電圧）	V_{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V_{HSCM}	-50	—	500	mV	
アイドル状態	V_{HSOI}	-10.0	—	10.0	mV	
出力ハイレベル電圧	V_{HSOH}	360	—	440	mV	
出力ロウレベル電圧	V_{HSOL}	-10.0	—	10.0	mV	
Chirp J 出力電圧（差分）	V_{CHIRPJ}	700	—	1100	mV	
Chirp K 出力電圧（差分）	V_{CHIRPK}	-900	—	– 500	mV	

注1.　USB_DP、USB_DM端子

表47.9　　出力許容電流

項目		記号	min	typ	max	単位
出力Low レベル許容電流（1端子あたりの平均値）	5V トレラント対応端子以外	I_{OL1}	—	—	2.0	mA
	5V トレラント対応端子	I_{OL2}	—	—	3.0	mA
出力Low レベル許容電流（1端子あたりの最大値）	5V トレラント対応端子以外	I_{OL1}	—	—	4.0	mA
	5V トレラント対応端子	I_{OL2}	—	—	6.0	mA
出力Low レベル許容電流（総和）	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力High レベル許容電流（1端子あたりの平均値）	全出力端子	I_{OH}	—	—	-2.0	mA
出力High レベル許容電流（1端子あたりの最大値）	全出力端子	I_{OH}	—	—	-4.0	mA
出力High レベル許容電流（総和）	全出力端子の総和	ΣI_{OH}	—	—	-80	mA

【使用上の注意】LSI の信頼性を確保するため、出力電流値は表 47.9 の値を超えないようにしてください。

47.4 AC 特性

- 条件：VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ～ 1.26V,
  VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 ～ 3.6V
  VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V,
  Tj = –40 ～ 125 ℃

注 . 176 ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表47.10 動作周波数

項目			記号	min	max	単位
動作周波数	CPUクロック（CPUCLK）	（注1）	f	150	600	MHz
		（注2）		150	450	
		（注3）		150	300	
	システムクロック（ICLK）			150		
	周辺モジュールクロック（PCLKA）			150		
	周辺モジュールクロック（PCLKB）			75		
	周辺モジュールクロック（PCLKC）			150		
	周辺モジュールクロック（PCLKD）			75		
	周辺モジュールクロック（PCLKE）			18.75	75	
	周辺モジュールクロック（PCLKF）			7.5	60	
	周辺モジュールクロック（PCLKG）			7.5	60	
	周辺モジュールクロック（PCLKH）			60		
	高速シリアルクロック（SERICLK）			120	150	
	ΔΣインタフェースクロック出力（DSCLK0, DSCLK1）			6.25	25	
	外部バスクロック出力（CKIO）			18.75	75	
	Ethernet PHY用の外部クロック出力（CLKOUT25M）			25	50	

注1. R7S910007CBG, R7S910107CBG, R7S910013CBG, R7S910113CBG, R7S910017CBG, R7S910117CBG, R7S910018CBG, R7S910118CBG, R7S910027CBG, R7S910127CBG, R7S910028CBG, R7S910128CBGのみ
注2. R7S910001CFP, R7S910101CFP, R7S910002CBG, R7S910102CBG, R7S910006CBG, R7S910106CBG, R7S910011CBG, R7S910111CBG, R7S910015CBG, R7S910115CBG, R7S910016CBG, R7S910116CBG, R7S910025CBG, R7S910125CBG, R7S910026CBG, R7S910126CBGのみ
注3. R7S910035CBG, R7S910135CBG, R7S910036CBG, R7S910136CBGのみ

47.4.1　クロックタイミング

表47.11　CKIO端子出力タイミング

出力負荷条件：C = 30pF

項目	記号	min	typ	max	単位	測定条件
CKIO端子出力サイクル時間	t_{CKcyc}	13.3	—	53.4	ns	図47.2
CKIO端子出力High レベルパルス幅	t_{CKH}	$t_{CKcyc}/2 - t_{CKr}$	—	—	ns	
CKIO端子出力Low レベルパルス幅	t_{CKL}	$t_{CKcyc}/2 - t_{CKf}$	—	—	ns	
CKIO端子出力立ち上がり時間1	t_{CKr}	—	—	5	ns	CKIO:高駆動出力設定時（注1） V_{OH} = VCCQ33 – 0.5V V_{OL1} = 0.4V
CKIO端子出力立ち下がり時間1	t_{CKf}	—	—	5	ns	
CKIO端子出力立ち上がり時間2	t_{CKr}	—	—	9	ns	CKIO:通常出力設定時 V_{OH} = VCCQ33 – 0.5V V_{OL1} = 0.4V
CKIO端子出力立ち下がり時間2	t_{CKf}	—	—	9	ns	
CKIO端子出力立ち上がり時間3	t_{CKr}	—	—	2.5	ns	CKIO:高駆動出力設定時（注1） V_{OH} = 2.0V V_{OL1} = 0.8V
CKIO端子出力立ち下がり時間3	t_{CKf}	—	—	2.5	ns	
CKIO端子出力立ち上がり時間4	t_{CKr}	—	—	4.5	ns	CKIO:通常出力設定時 V_{OH} = 2.0V V_{OL1} = 0.8V
CKIO端子出力立ち下がり時間4	t_{CKf}	—	—	4.5	ns	

注1.　SDRAMを接続する場合、必ず駆動能力制御レジスタ（DSCR）のB0ビットを1にセットし、高駆動出力にしてください。

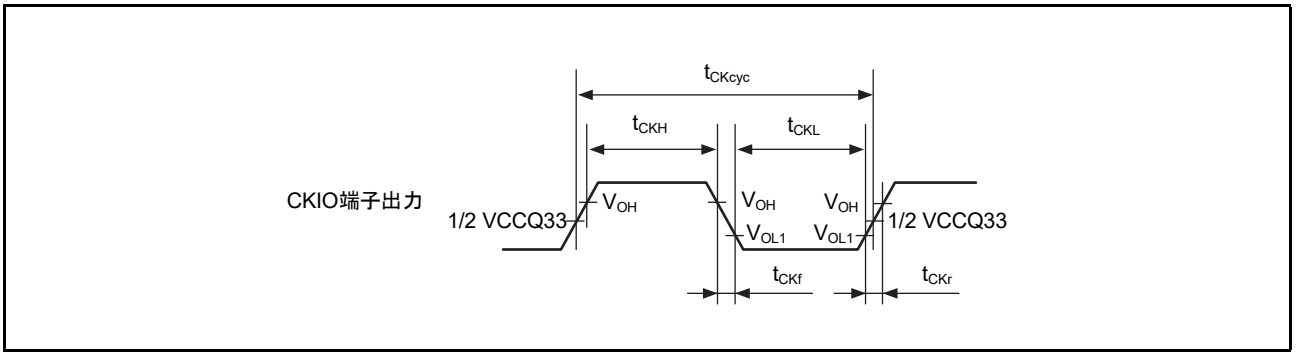


図 47.2　CKIO 端子出力タイミング

表47.12　CLKOUT25Mnタイミング

出力負荷条件：V_{OH} = 2.0V、V_{OL1} = 0.8V、C = 25pF（RMII時）
V_{OH} = VCCQ33 – 0.5V、V_{OL1} = 0.4V、C = 30pF （MII時）

項目		記号	min	max	単位	測定条件
CLKOUT25Mn（RMII）	CLKOUT25Mnサイクル時間	T_{ck1}	20	—	ns	図47.3
	CLKOUT25Mn周波数　Typ. 50MHz	—	50 ± 50ppm		MHz	
	CLKOUT25Mn デューティ	—	35	65	%	
	CLKOUT25Mn 出力ロウレベルパルス幅1	T_{ckl1}	$T_{ck1}/2 - T_{ckf1}$	$T_{ck1}/2 + T_{ckf1}$	ns	
	CLKOUT25Mn 出力ハイレベルパルス幅1	T_{ckh1}	$T_{ck1}/2 - T_{ckr1}$	$T_{ck1}/2 + T_{ckr1}$	ns	
	CLKOUT25Mn立ち上がり／立ち下がり時間1	$T_{ckr1/ckf1}$	0.5	4	ns	
CLKOUT25Mn（MII）	CLKOUT25Mnサイクル時間	T_{ck2}	40	—	ns	図47.4
	CLKOUT25Mn周波数　Typ. 25MHz	—	25 ± 50ppm		MHz	
	CLKOUT25Mn デューティ	—	35	65	%	
	CLKOUT25Mn 出力ロウレベルパルス幅2	T_{ckl2}	$T_{ck2}/2 - T_{ckf2}$	$T_{ck2}/2 + T_{ckf2}$	ns	
	CLKOUT25Mn 出力ハイレベルパルス幅2	T_{ckh2}	$T_{ck2}/2 - T_{ckr2}$	$T_{ck2}/2 + T_{ckr2}$	ns	
	CLKOUT25Mn立ち上がり／立ち下がり時間2	$T_{ckr2/ckf2}$	0.5	9	ns	

n = 0～2

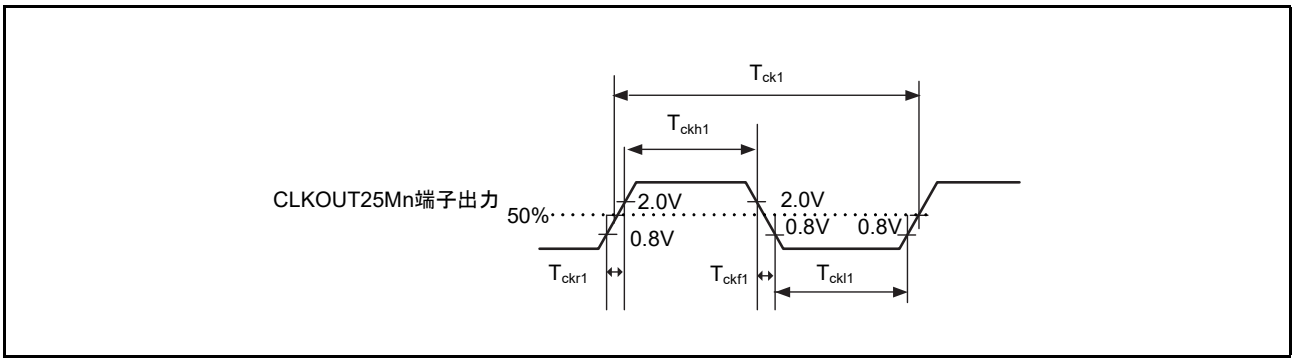


図 47.3　CLKOUT25Mn 端子出力タイミング 1

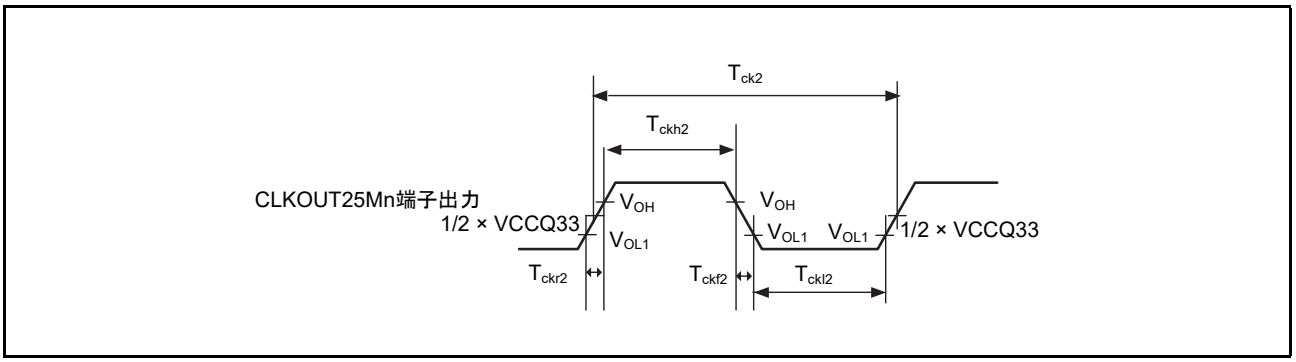


図 47.4　CLKOUT25Mn 端子出力タイミング 2

表47.13　EXTALクロックタイミング

項目	記号	min	typ	max	単位
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	40.00 ± 50ppm			ns
		25.00 ± 25ppm（注1）			MHz

注1.　EtherCAT使用時

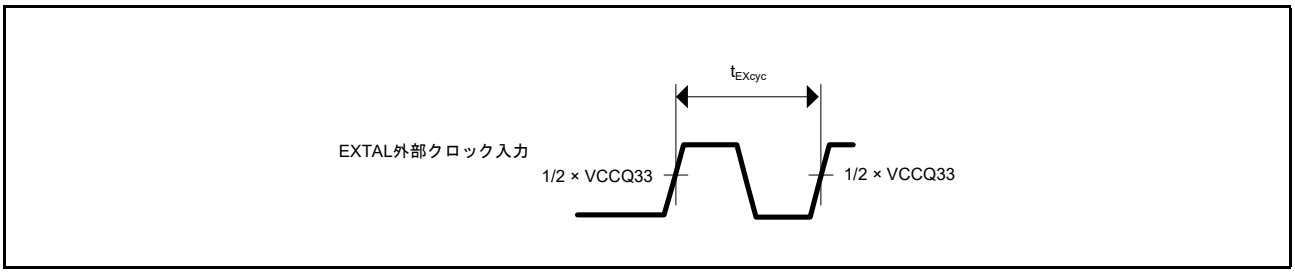


図 47.5　EXTAL 外部クロック入力タイミング

表47.14　XTALクロックタイミング

項目	記号	min	typ	max	単位
XTALクロック発振器出力周期（注1）	$t_{XTALcyc}$	40.00 ± 50ppm（注 2）			ns

注1.　XTALクロックを使用する場合は、発振子メーカに発振評価を依頼してください。発振安定時間については、発振子メーカの評価結果を参照してください。
注2.　EtherCAT使用時は、25.00 ± 25ppm[MHz]を満たすようにしてください。

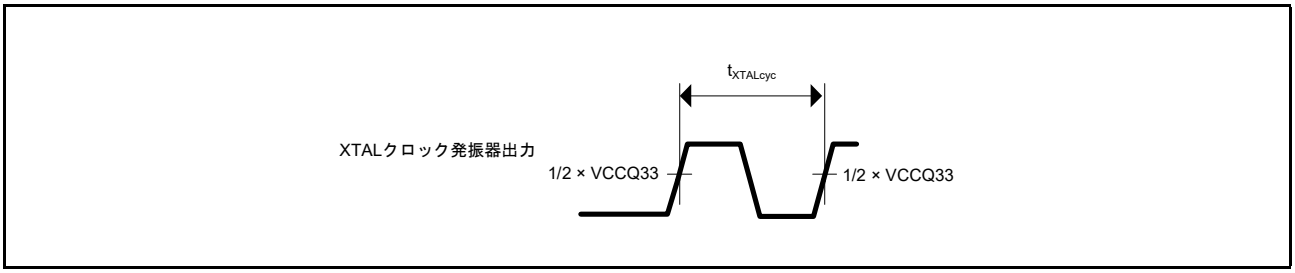


図 47.6　XTAL クロック発振器出力タイミング

表47.15　LOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	4.62	4.17	3.79	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	40	μs	図47.7

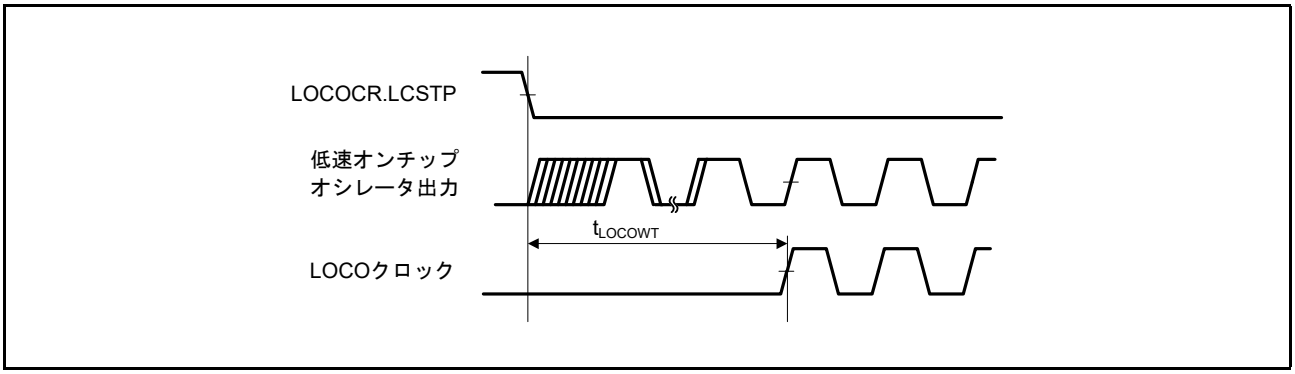


図 47.7　LOCO クロック発振開始タイミング

47.4.2　リセット、割り込みタイミング

表47.16　リセット、割り込みタイミング

項目		記号	Min（注1）	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	図47.8
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
RES#立ち上がり時間		$T_{risereset}$	—	—	150	μs	
TRST#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
TRST#立ち上がり時間		$T_{risereset}$	—	—	150	μs	
NMIパルス幅		t_{NMIW}	t_{Icyc} × 2	—	—	ns	図47.9
IRQパルス幅		t_{IRQW}	t_{Icyc} × 2	—	—	ns	図47.10
ETH_INT パルス幅		t_{EINTW}	t_{Icyc} × 2	—	—	ns	図47.11

注1.　t_{Icyc}: ICLKの周期

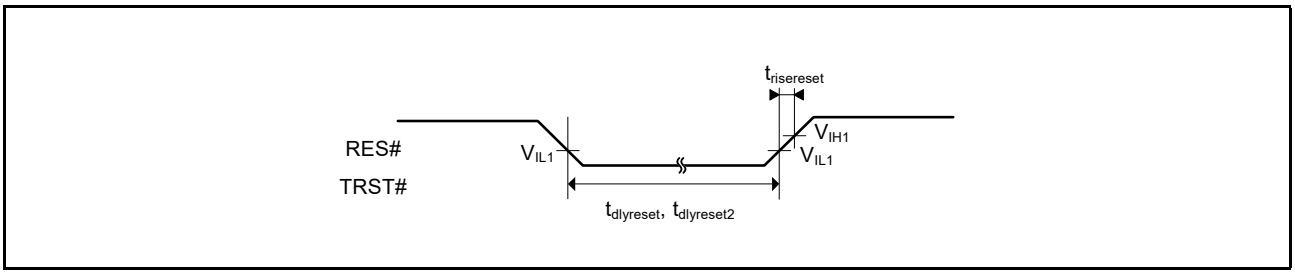


図 47.8　リセット入力タイミング

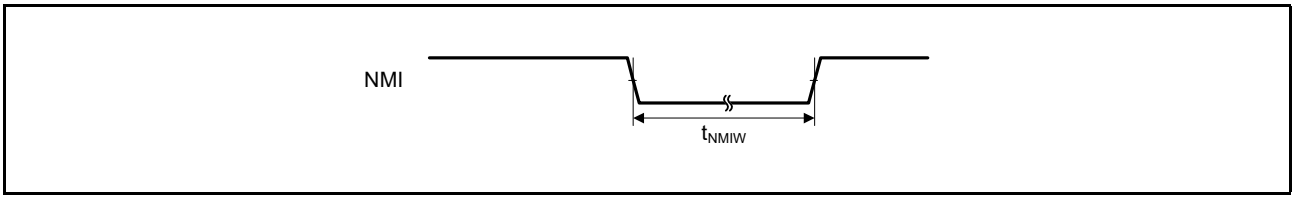


図 47.9　NMI 割り込み入力タイミング

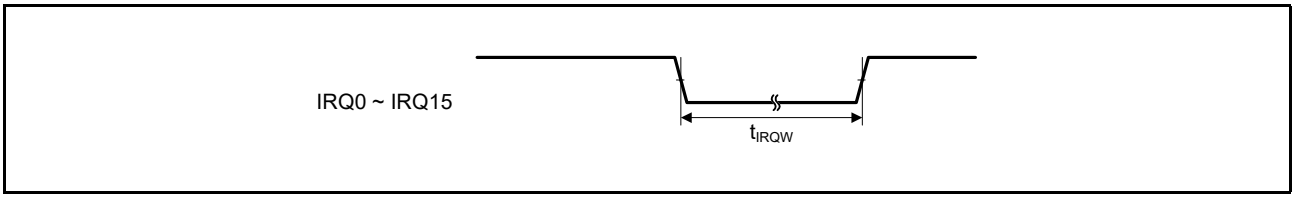


図 47.10　IRQ 割り込み入力タイミング

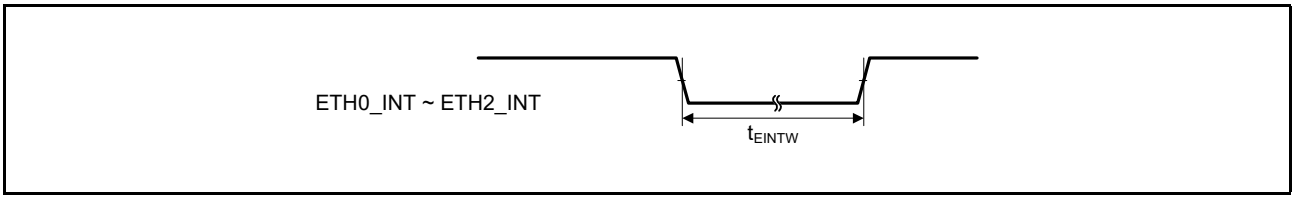


図 47.11　ETH_INT 割り込み入力タイミング

47.4.3　バスタイミング

表47.17　バスタイミング (1 / 2)

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目		記号	CKIO = $1/t_{CKcyc}$（注1）		単位	参照図
			Min.	Max.		
アドレス遅延時間1	SDRAM（注3）	t_{AD1}	2	10	ns	図47.12～図47.36
	上記以外		0	10	ns	
アドレス遅延時間2		t_{AD2}	$1/2t_{CKcyc}$	$1/2t_{CKcyc}$ ＋10	ns	図47.19
アドレスセットアップ時間		t_{AS}	0	—	ns	図47.12～図47.15、図47.19
チップイネーブルセットアップ時間		t_{cs}	0	—	ns	図47.12～図47.15、図47.19
アドレスホールド時間		t_{AH}	0	—	ns	図47.12～図47.15
BS# 遅延時間		t_{BSD}	—	10	ns	図47.12～図47.33
CS# 遅延時間1	SDRAM（注3）	t_{CSD1}	2	10	ns	図47.12～図47.36
	上記以外		0	10	ns	
リードライト遅延時間1	SDRAM（注3）	t_{RWD1}	2	10	ns	図47.12～図47.36
	上記以外		0	10	ns	
リードストローブ遅延時間		t_{RSD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc}$ ＋10	ns	図47.12～図47.19
リードデータセットアップ時間1（注4）	高駆動出力	t_{RDS1}	$1/2t_{CKcyc}$ ＋4	—	ns	図47.12～図47.18
	通常出力		$1/2t_{CKcyc}$ ＋7	—	ns	
リードデータセットアップ時間2（注4）	高駆動出力	t_{RDS2}	6.6	—	ns	図47.20～図47.23、図47.28～図47.30
	通常出力		10	—	ns	
リードデータセットアップ時間3（注4）	高駆動出力	t_{RDS3}	$1/2t_{CKcyc}$ ＋4	—	ns	図47.19
	通常出力		$1/2t_{CKcyc}$ ＋7	—	ns	
リードデータホールド時間1		t_{RDH1}	0	—	ns	図47.12～図47.18
リードデータホールド時間2		t_{RDH2}	2	—	ns	図47.20～図47.23、図47.28～図47.30
リードデータホールド時間3		t_{RDH3}	0	—	ns	図47.19
ライトイネーブル遅延時間1		t_{WED1}	$1/2t_{CKcyc}$	$1/2t_{CKcyc}$ ＋10	ns	図47.12～図47.17
ライトイネーブル遅延時間2		t_{WED2}	—	10	ns	図47.18
ライトデータ遅延時間1		t_{WDD1}	—	10	ns	図47.12～図47.18
ライトデータ遅延時間2		t_{WDD2}	—	10	ns	図47.24～図47.27、図47.31～図47.33
ライトデータホールド時間1		t_{WDH1}	1	—	ns	図47.12～図47.18
ライトデータホールド時間2		t_{WDH2}	2	—	ns	図47.24～図47.27、図47.31～図47.33
ライトデータホールド時間4		t_{WDH4}	0	—	ns	図47.12～図47.16
WAIT# セットアップ時間（注4）	高駆動出力	t_{WTS}	$1/2t_{CKcyc}$ ＋4.5	—	ns	図47.13～図47.19
	通常出力		$1/2t_{CKcyc}$ ＋8	—	ns	
WAIT# ホールド時間		t_{WTH}	$1/2t_{CKcyc}$ ＋3.5	—	ns	図47.13～図47.19
RAS# 遅延時間1		t_{RASD1}	2	10	ns	図47.20～図47.36
CAS# 遅延時間1		t_{CASD1}	2	10	ns	図47.20～図47.36
DQM遅延時間1		t_{DQMD1}	2	10	ns	図47.20～図47.33
CKE遅延時間1		t_{CKED1}	2	10	ns	図47.35
AH# 遅延時間		t_{AHD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc}$ ＋10	ns	図47.16

表47.17　バスタイミング (2 / 2)

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

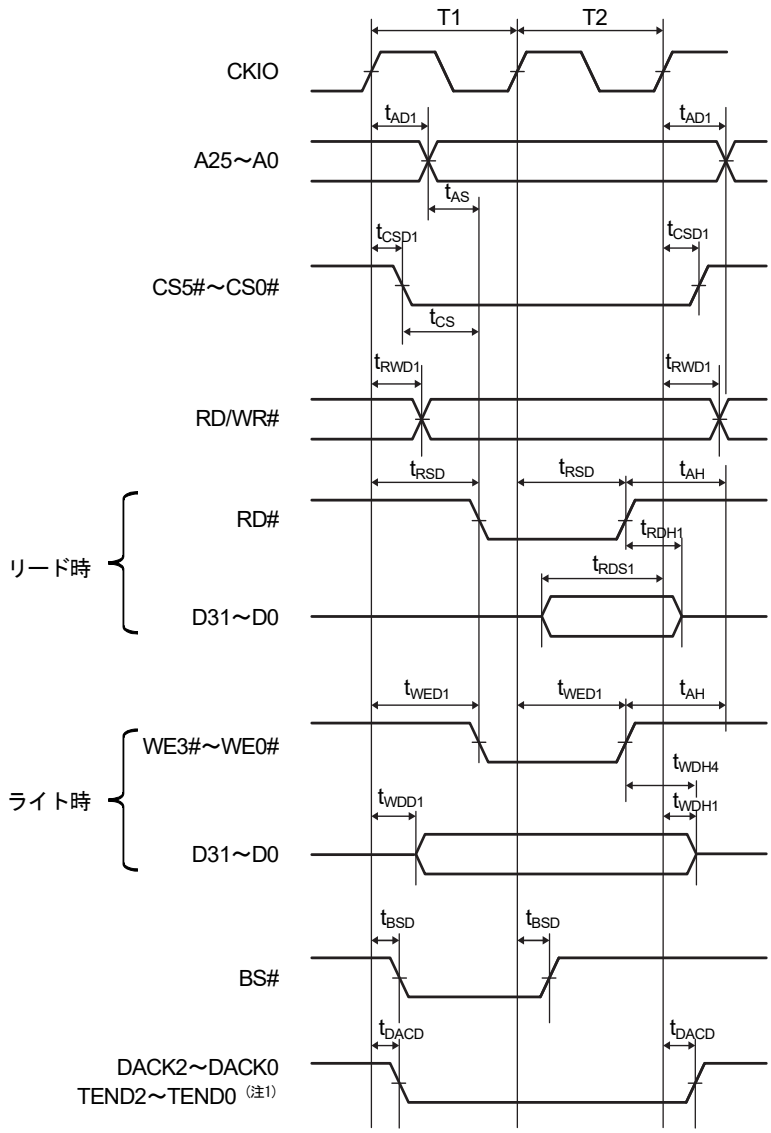
項目	記号	CKIO = $1/t_{CKcyc}$（注1）		単位	参照図
		Min.	Max.		
マルチプレクスアドレス遅延時間	t_{MAD}	—	10	ns	図47.16
マルチプレクスアドレスホールド時間	t_{MAH}	1	—	ns	図47.16
AH# に対するアドレスセットアップ時間	t_{AVVH}	$1/2t_{CKcyc}$ − 2	—	ns	図47.16
DACK、TEND遅延時間	t_{DACD}	DMAC タイミング参照		ns	図47.12～図47.33

注1.　CKIO（外部バスクロック）のfmaxは、システム構成に応じてウェイト数とあわせて検討してください。また、CKIO = 50MHz以上で使用する場合は、駆動能力制御レジスタ（DSCR）のB0ビットを1にセットし高駆動出力にしてください。CKIO = 50MHz未満で使用する場合は、CKIO通常出力で使用することができます（DSCR.B0ビット= 0）。

注2.　遅延時間やセットアップ、ホールド時間の$1/2t_{CKcyc}$の記述は、クロックの立ち上がりから1/2サイクル、つまりクロックの立ち下がり基準であることを表現しています。

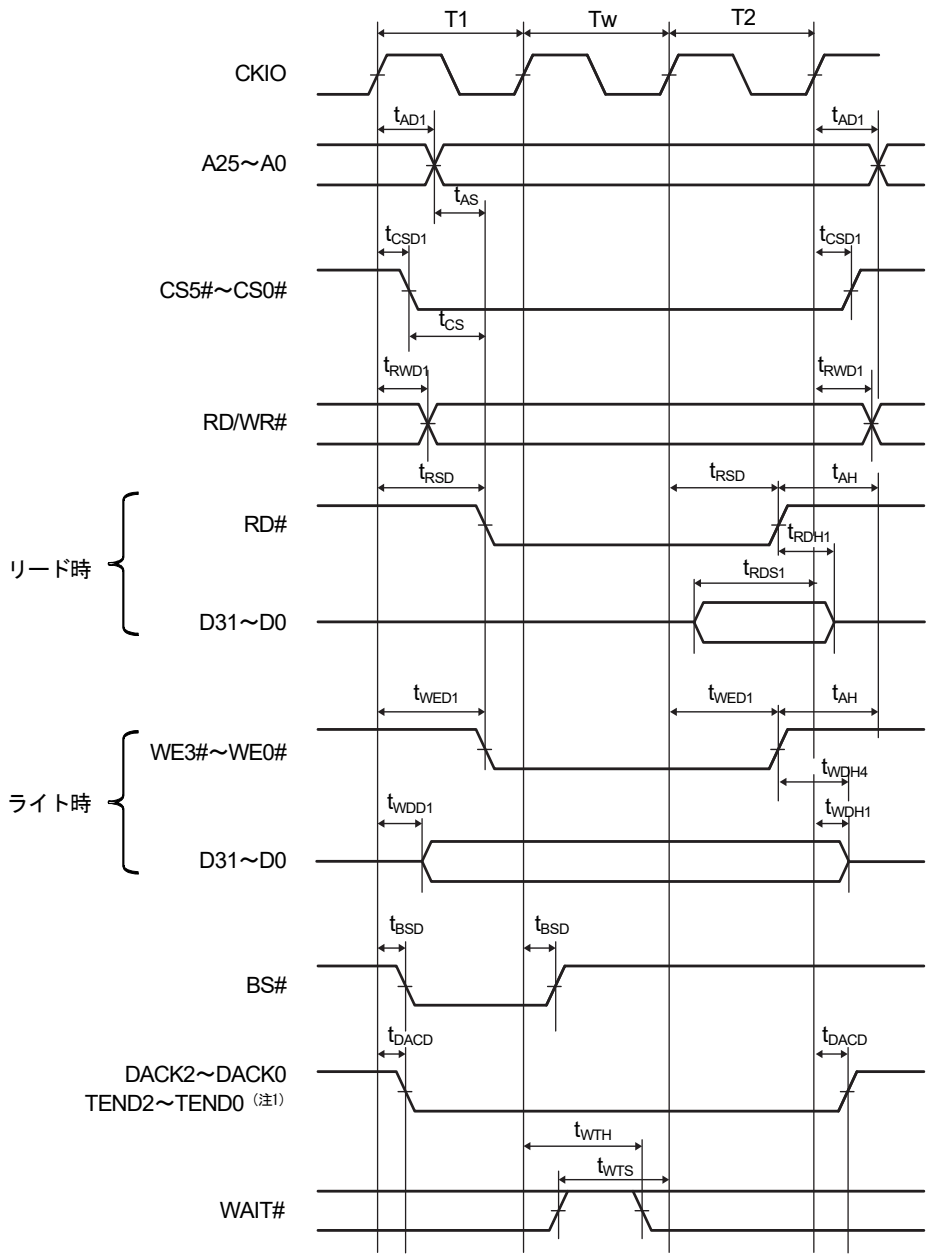
注3.　CSn空間バスコントロールレジスタ（CSnBCR）でSDRAM（TYPE[2:0]ビット= 100b）に設定し、CKIOの駆動能力制御レジスタ（DSCR）で高駆動出力（B0ビット= 1）に設定した場合の値です。

注4.　CKIOの駆動能力制御レジスタ（DSCR）でそれぞれ高駆動出力（B0ビット= 1）、通常出力（B0ビット= 0）に設定した時の値です。



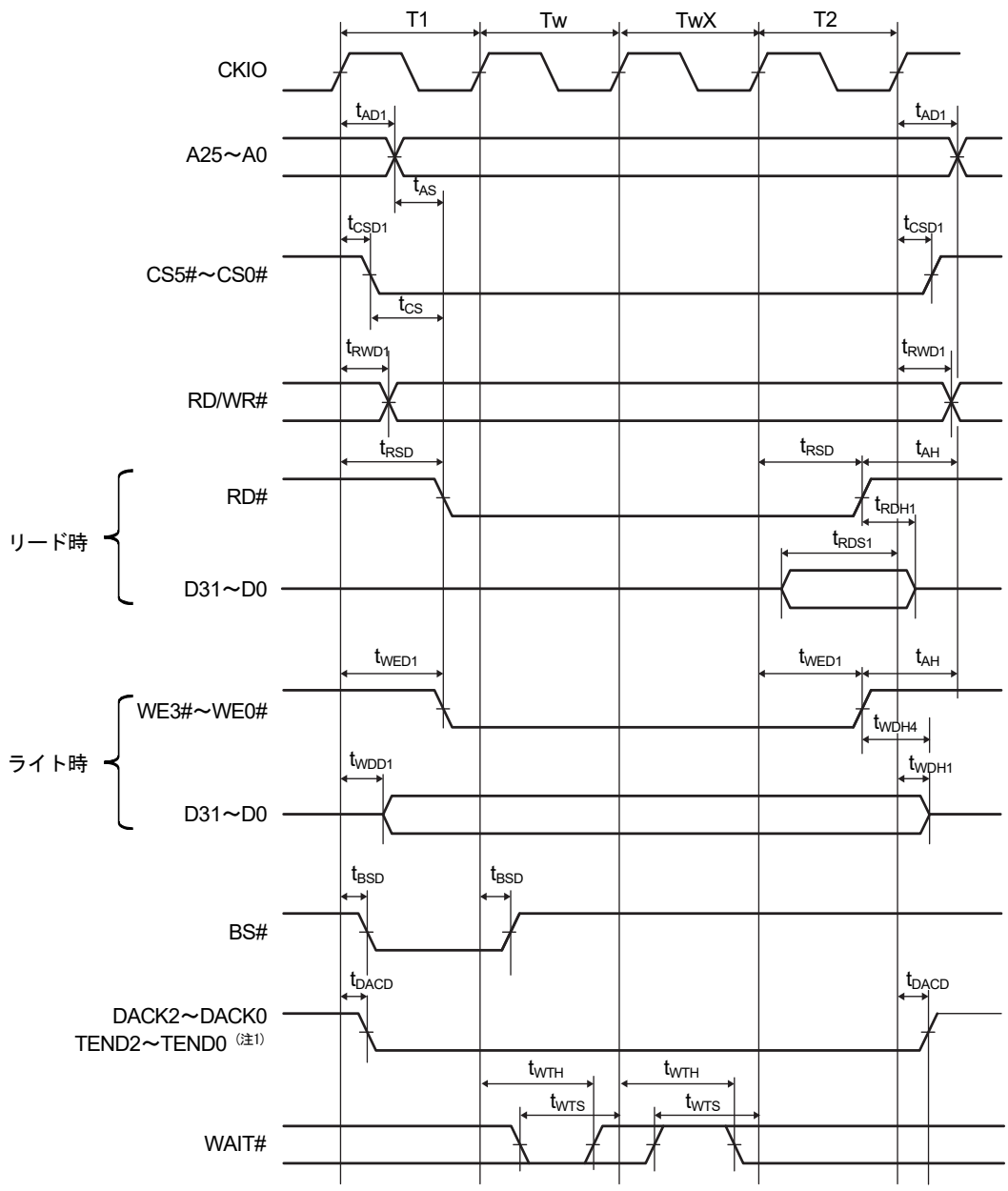
注 1. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.12 SRAM インタフェース基本バスサイクル（ノーウェイト）



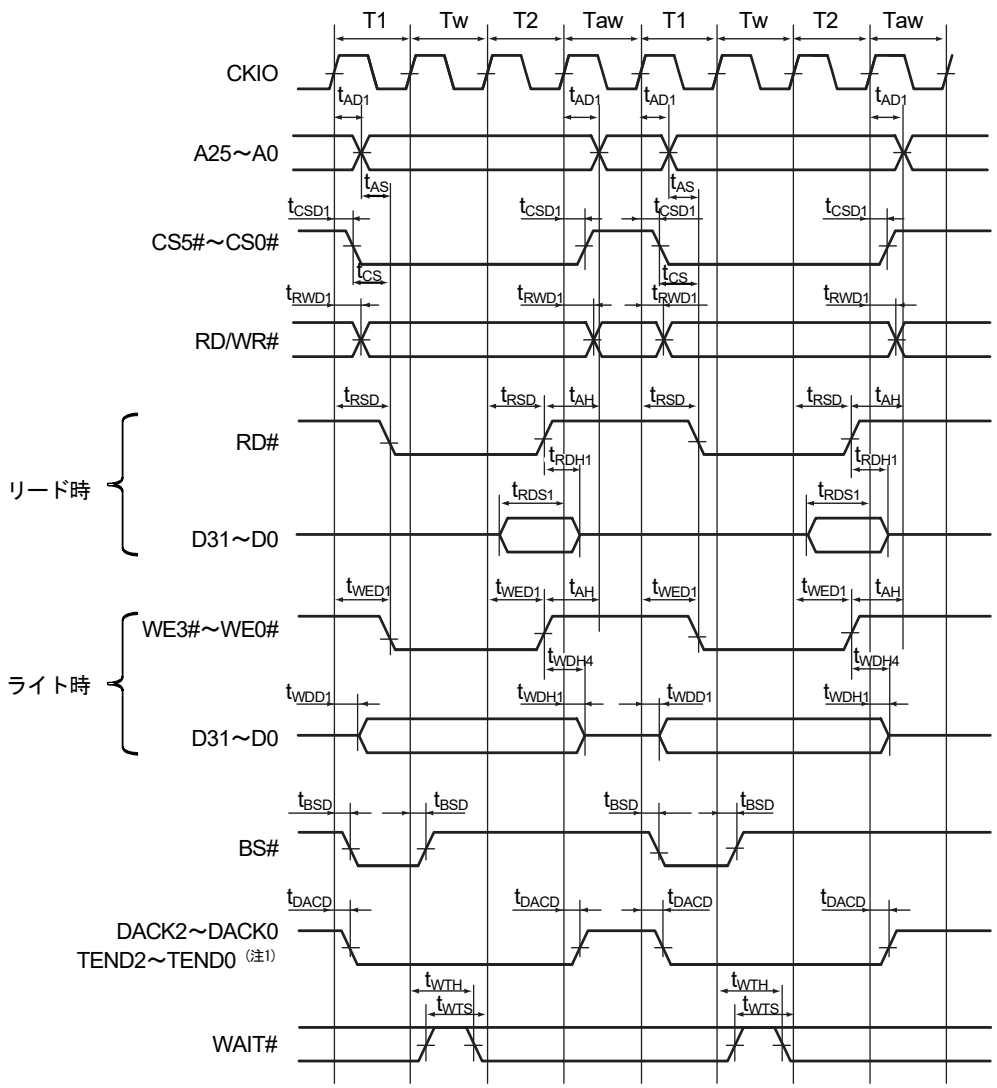
注 1. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.13 SRAM インタフェース基本バスサイクル（ソフトウェアウェイト 1）



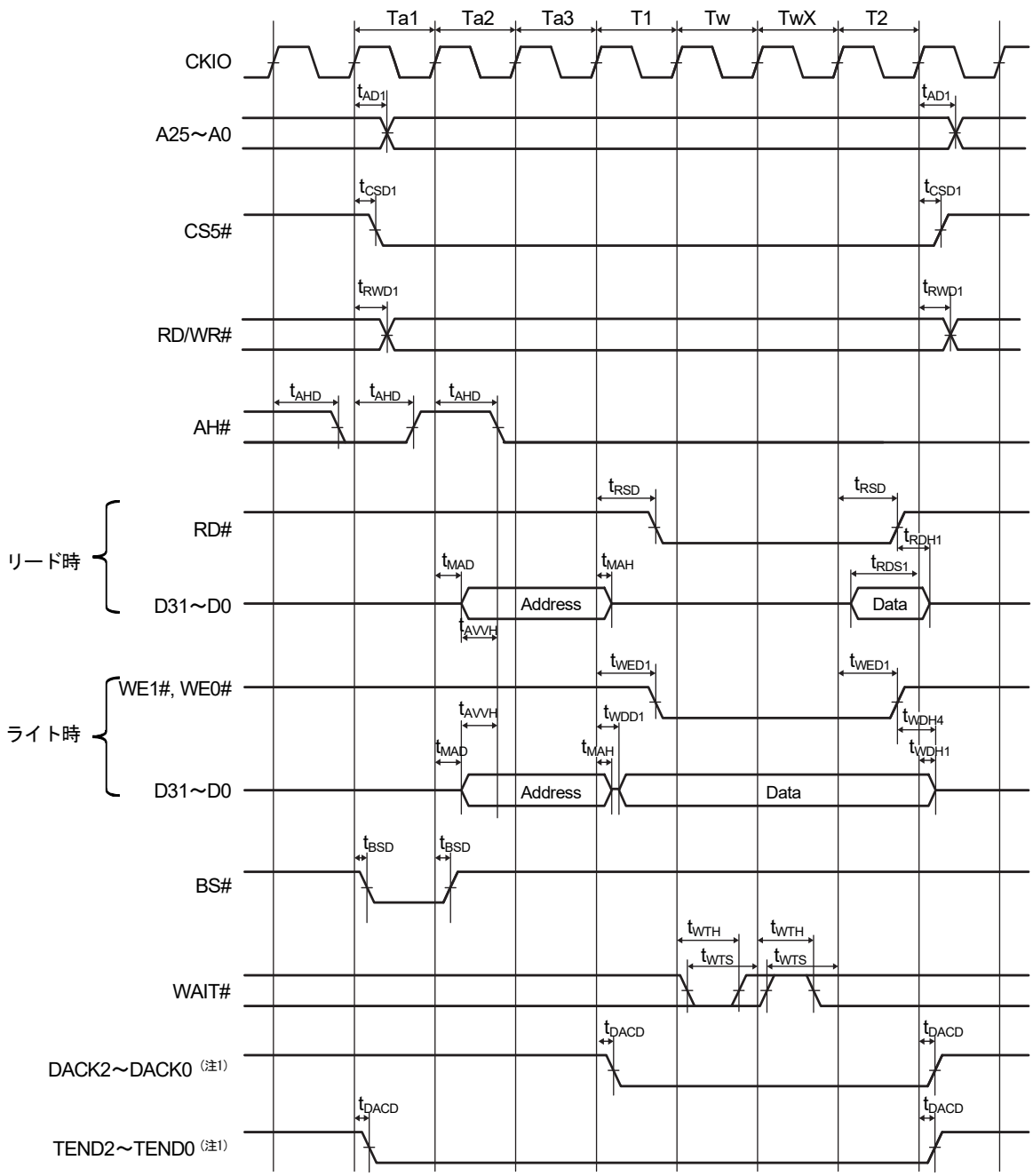
注 1.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.14　SRAM インタフェース基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト 1 挿入）



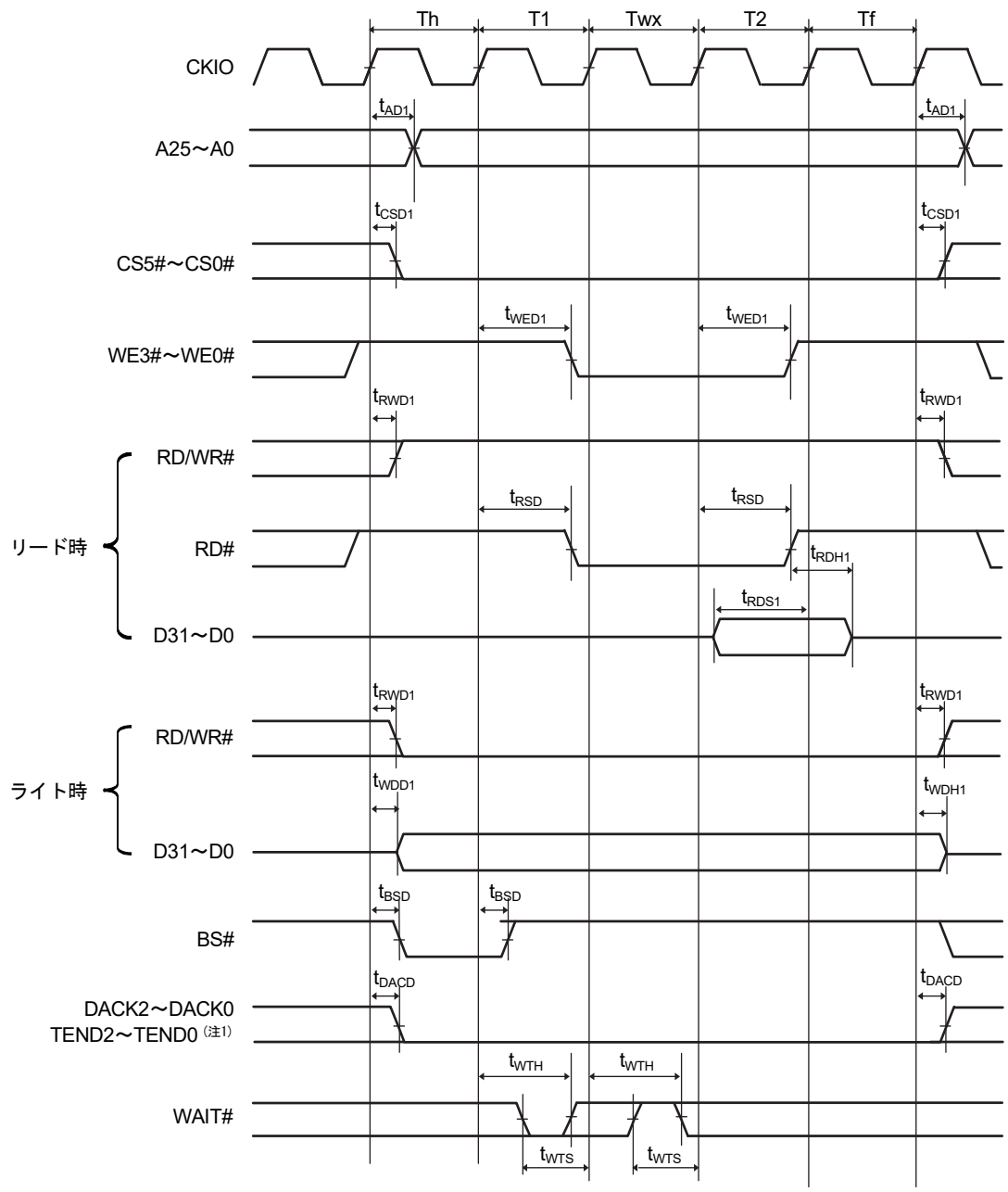
注 1. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.15 SRAM インタフェース基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効（WM ビット = 0）、ア イドルサイクルなし）



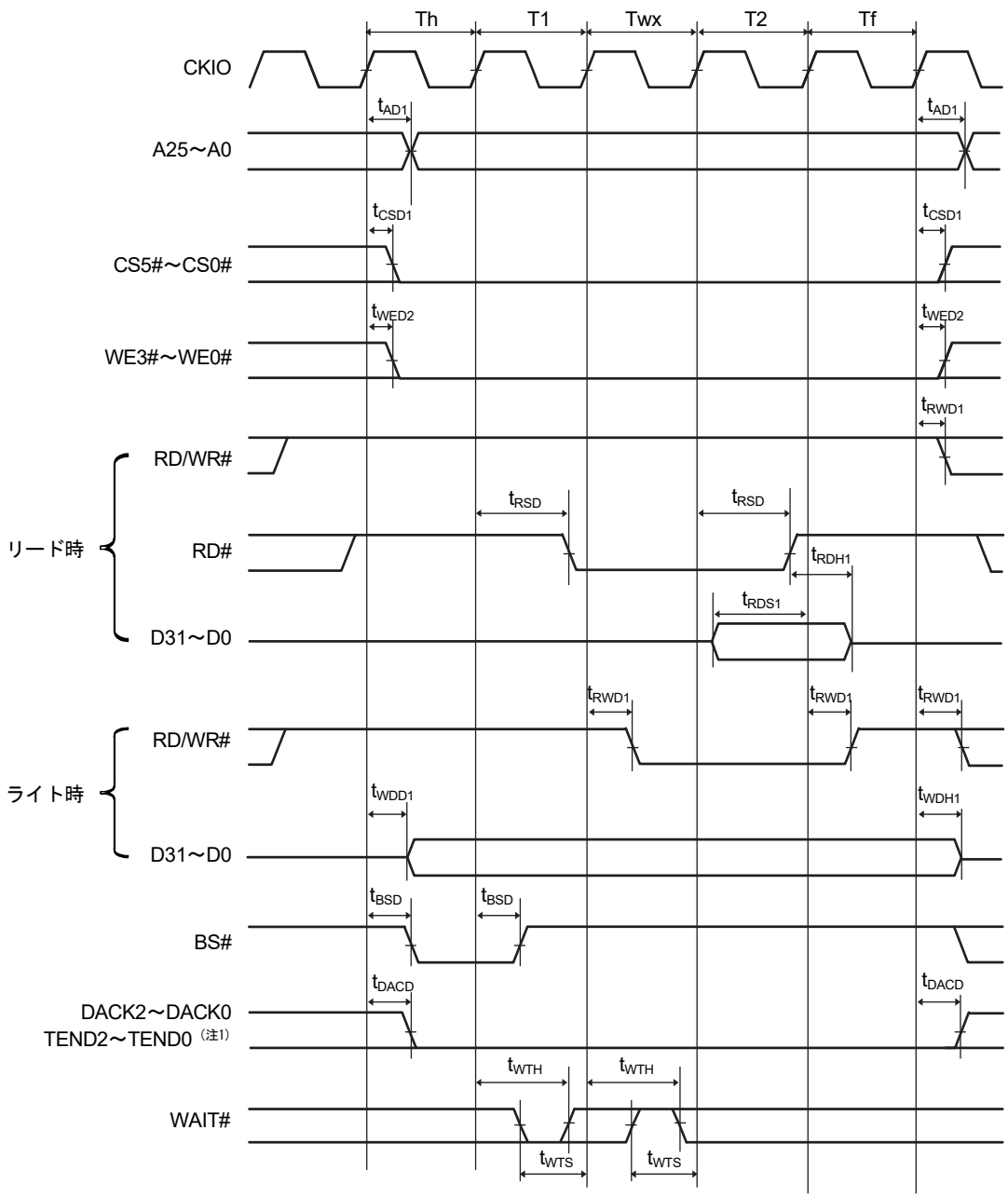
注 1. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.16 MPX – I/O インタフェースバスサイクル（アドレスサイクル 3、ソフトウェアウェイト 1、外部 ウェイト 1 挿入）



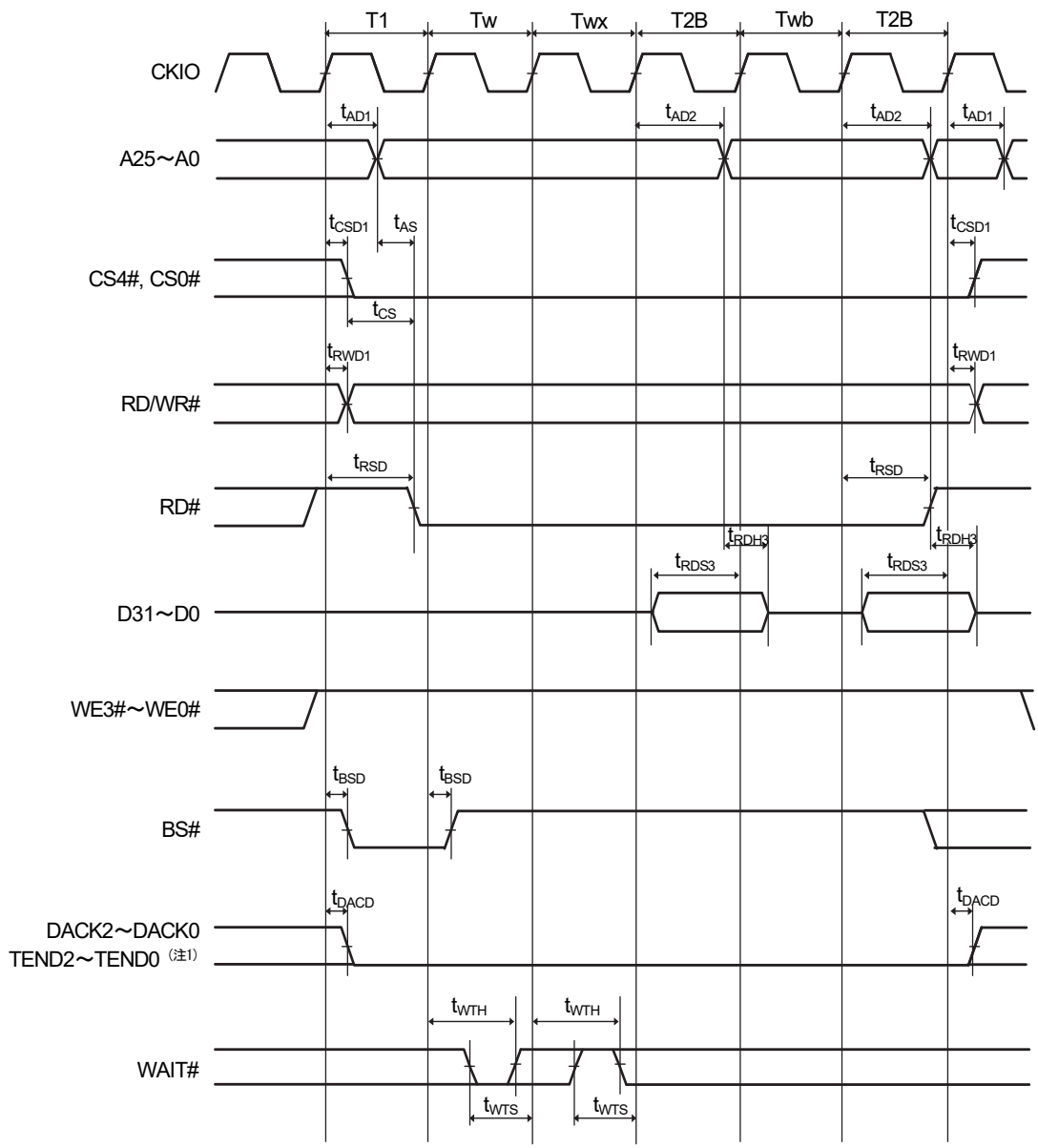
注 1.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.17　バイト選択付き SRAM バスサイクル（SW = 1 サイクル、HW = 1 サイクル、
非同期外部ウェ イト 1 挿入、BAS = 0（ライトサイクル UB#/LB# コントロール））



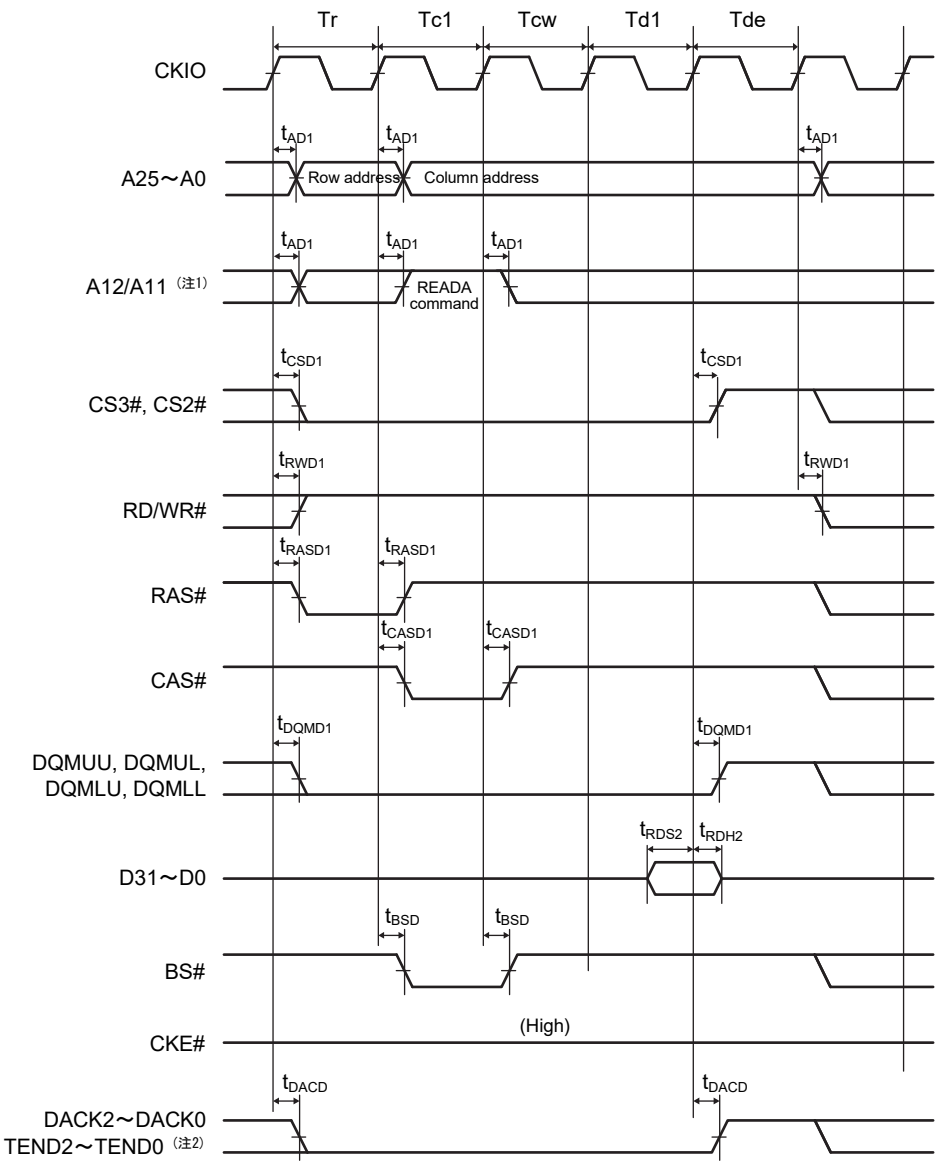
注 1. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.18 バイト選択付き SRAM バスサイクル（SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェ イト 1 挿入、BAS = 1（ライトサイクル WE# コントロール））



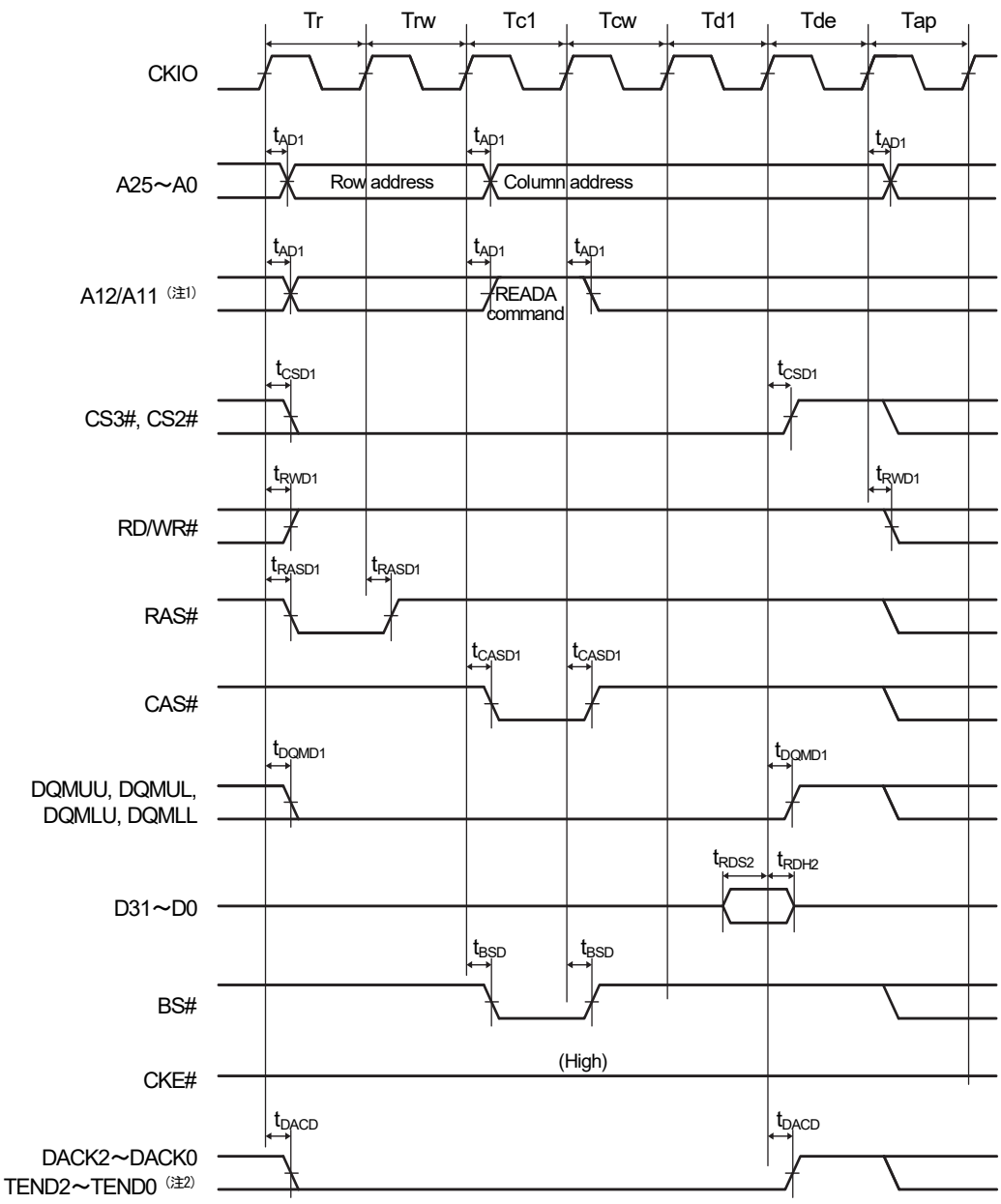
注 1. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.19 バースト ROM リードサイクル（ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2）



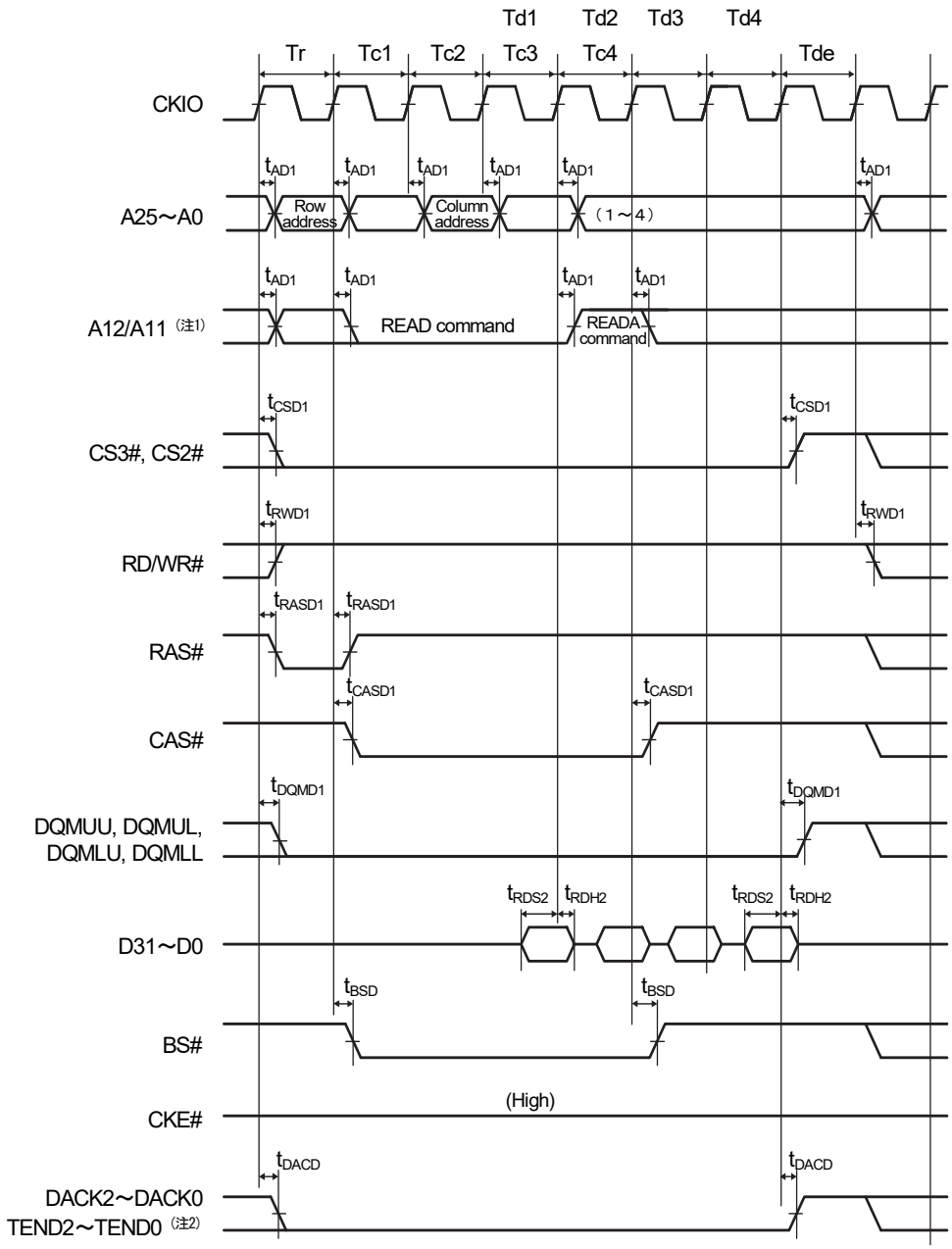
注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.20 シンクロナス DRAM シングルリードバスサイクル（オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル）



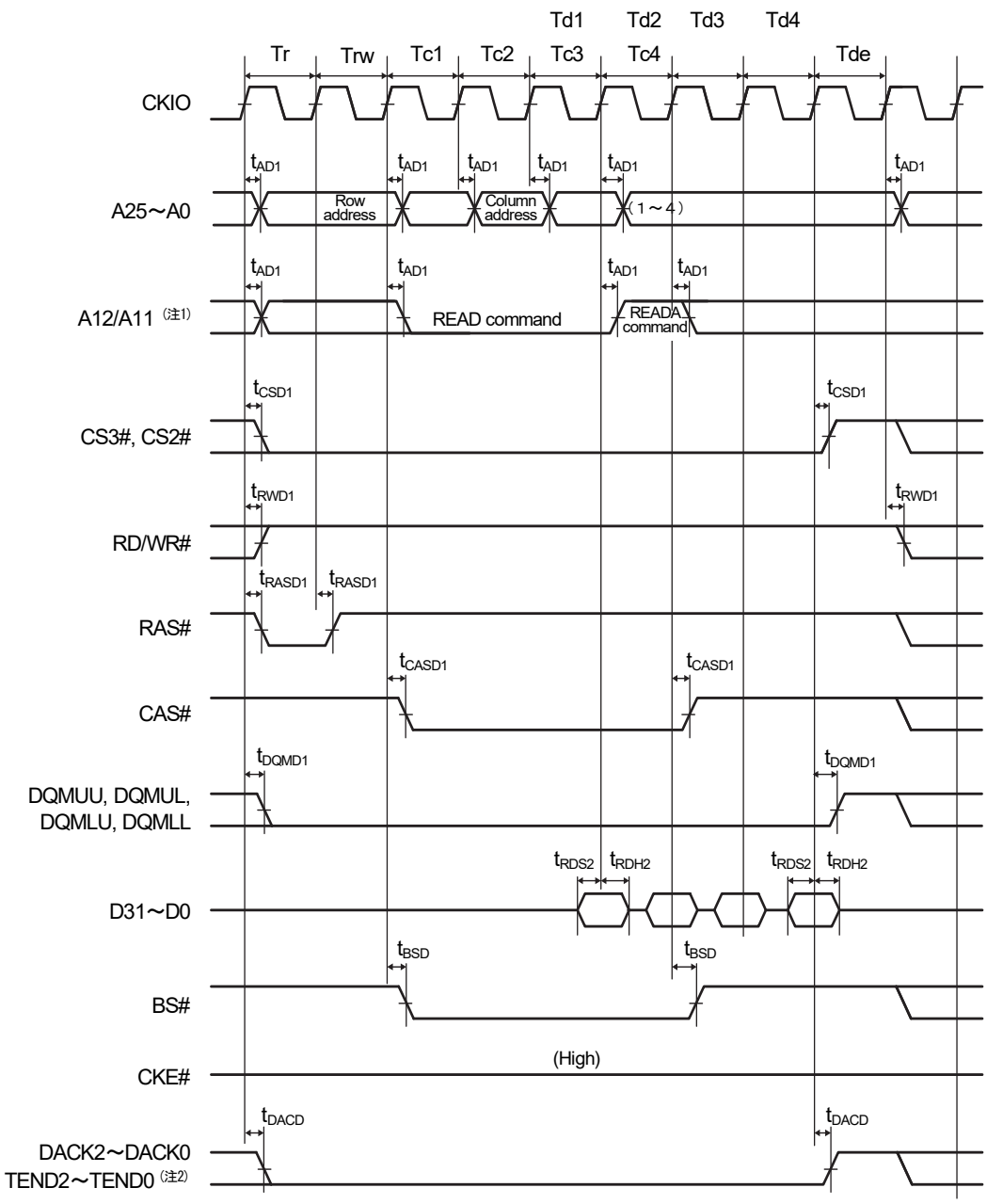
注 1.　SDRAM の A10 に接続するアドレス端子
注 2.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.21　シンクロナス DRAM シングルリードバスサイクル（オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル）



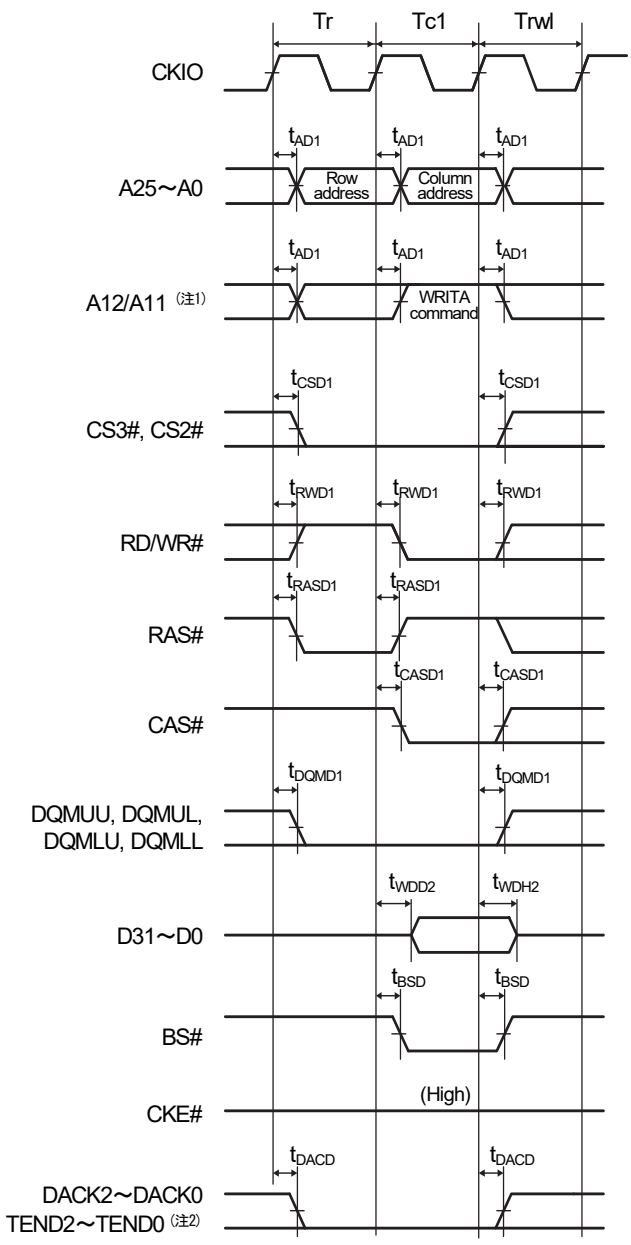
注 1.　SDRAM の A10 に接続するアドレス端子
注 2.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.22　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）
（オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル）



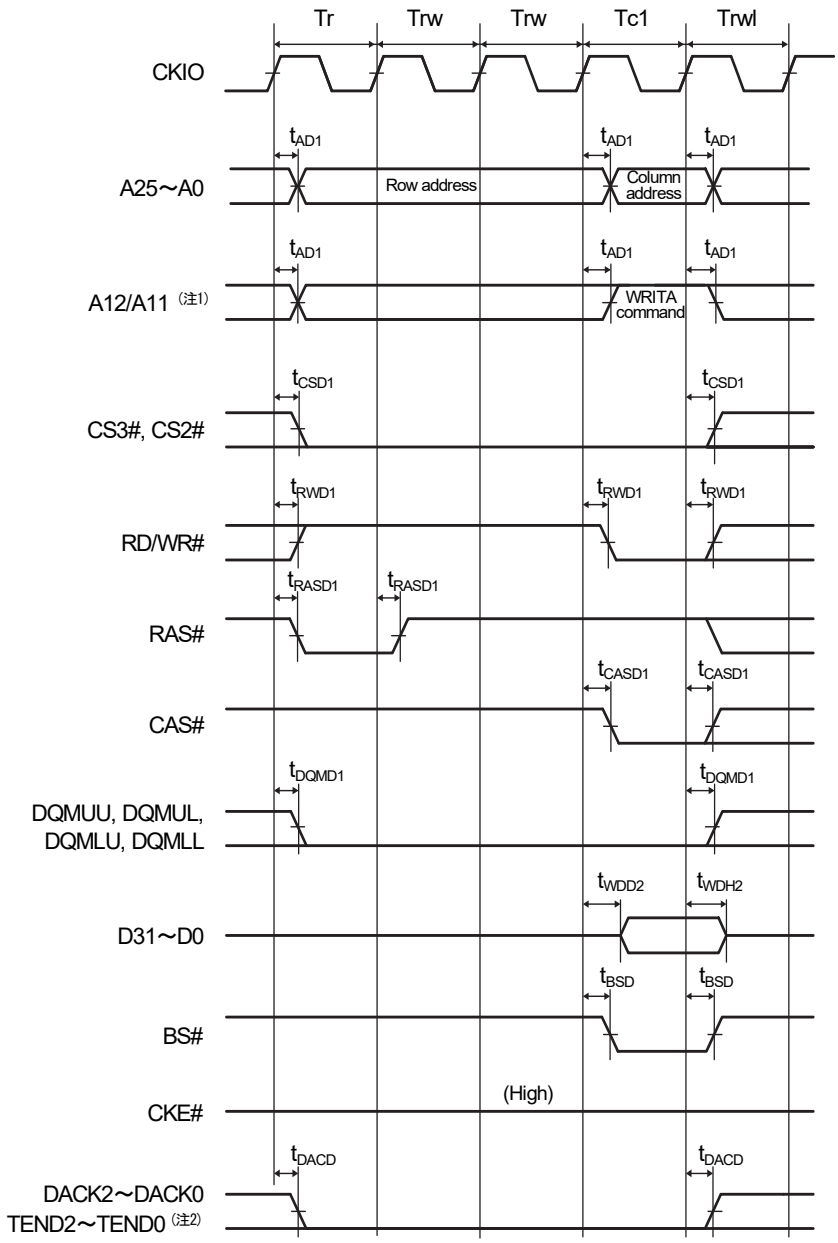
注 1.　SDRAM の A10 に接続するアドレス端子
注 2.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.23　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）
（オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル）



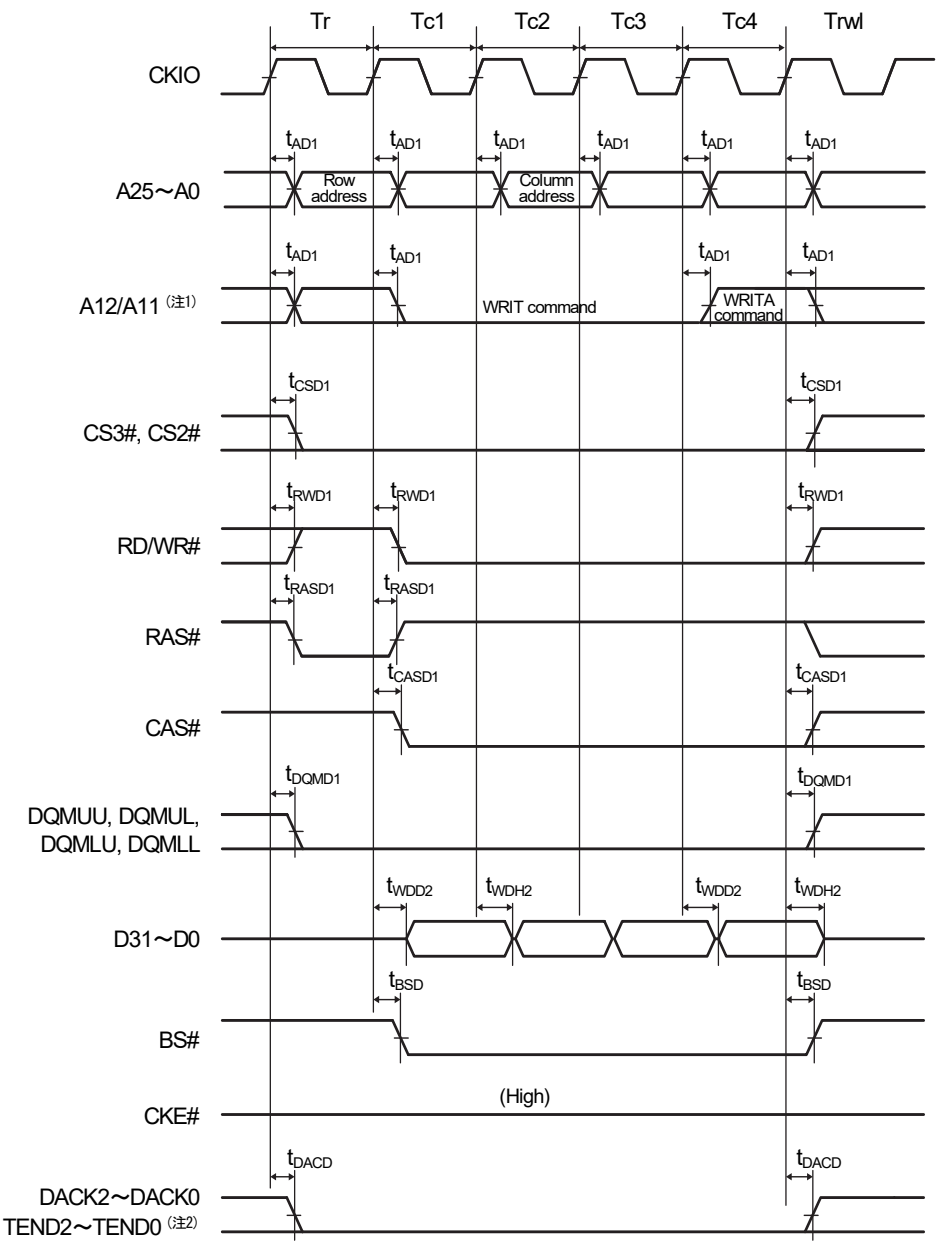
注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.24 シンクロナス DRAM シングルライトバスサイクル（オートプリチャージあり、TRWL = 1 サイクル）



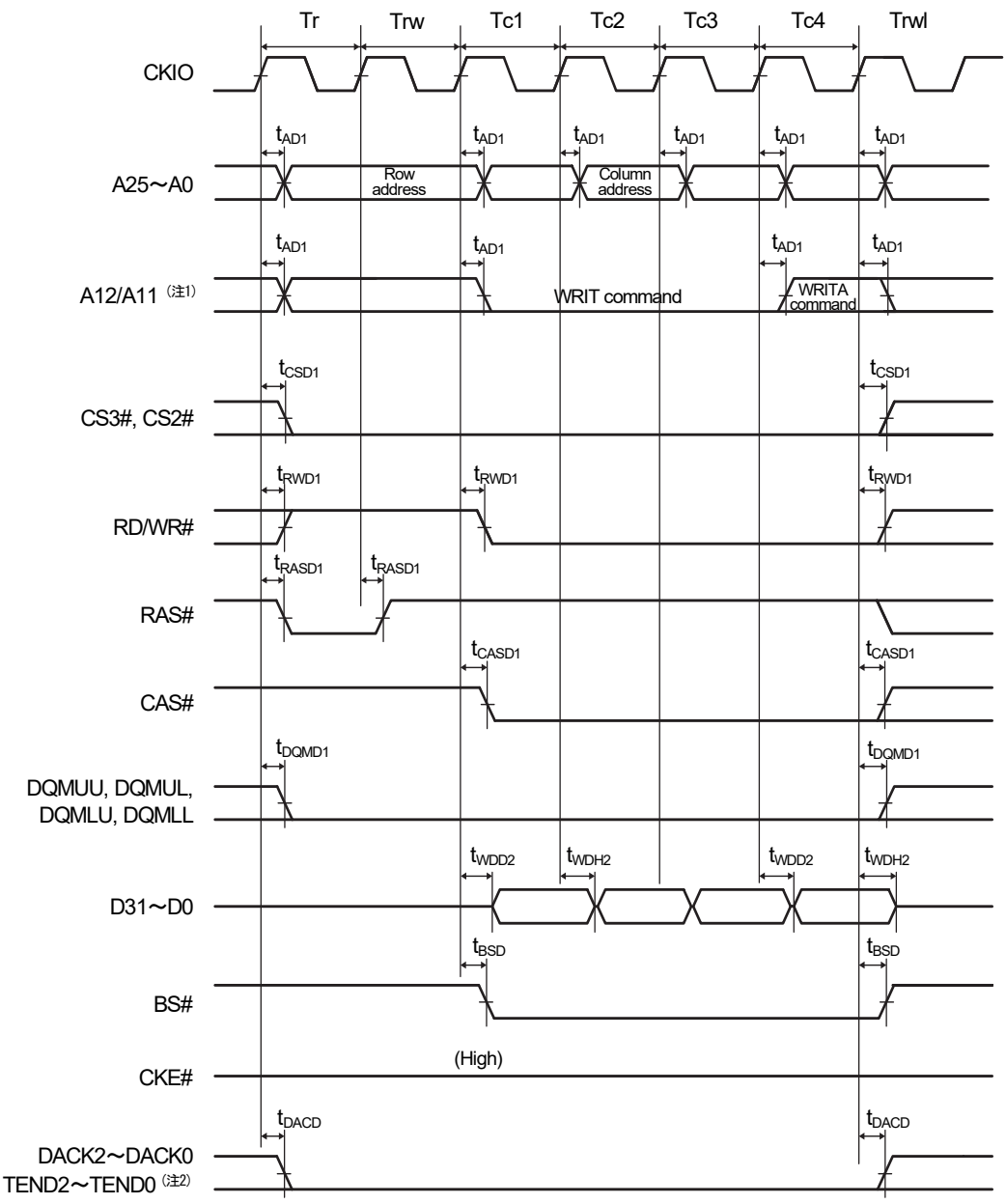
注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.25 シンクロナス DRAM シングルライトバスサイクル（オートプリチャージあり、WTRCD = 2 サイクル、TRWL = 1 サイクル）



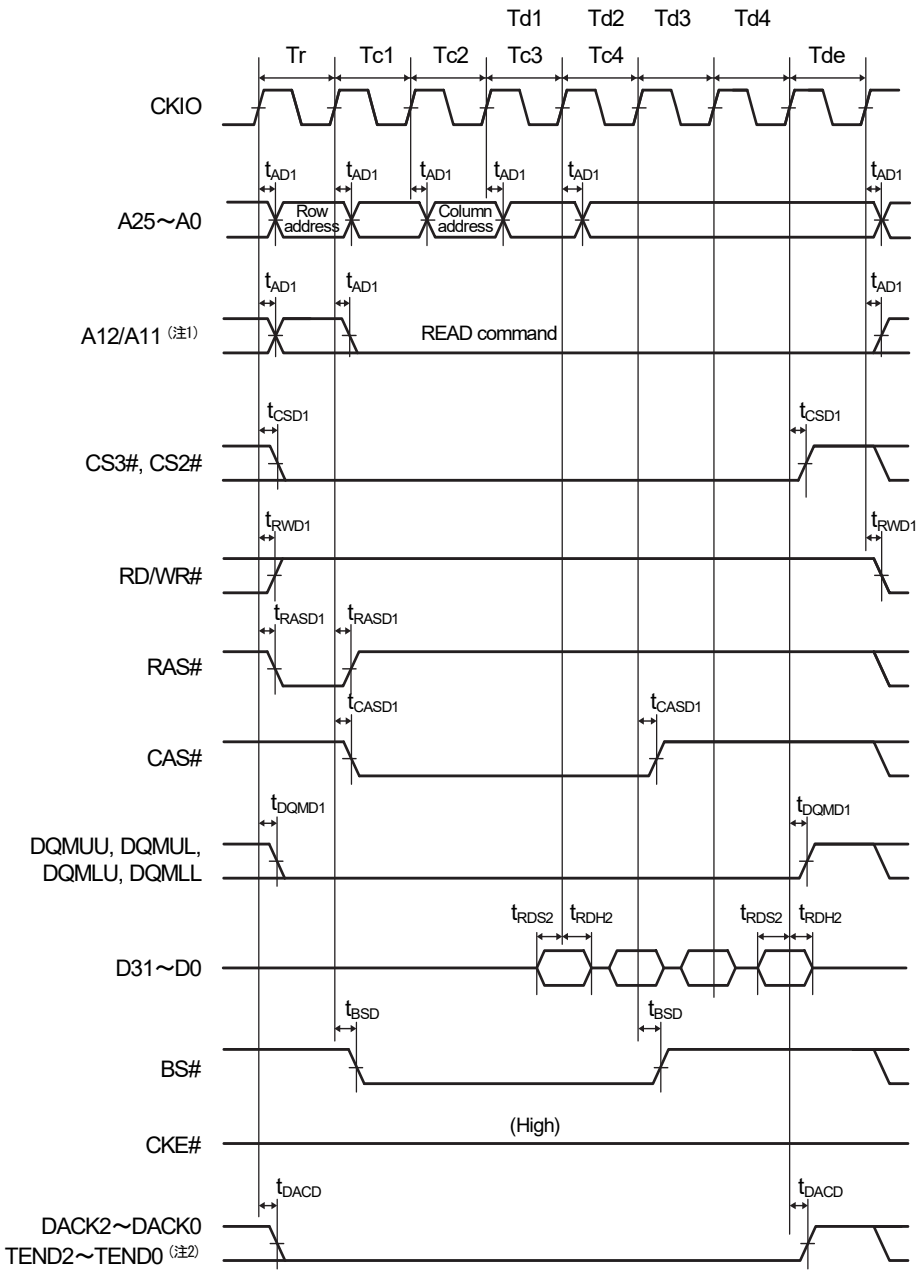
注 1.　SDRAM の A10 に接続するアドレス端子
注 2.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.26　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）
（オートプリチャージあり、WTRCD = 0 サイクル、TRWL = 1 サイクル）



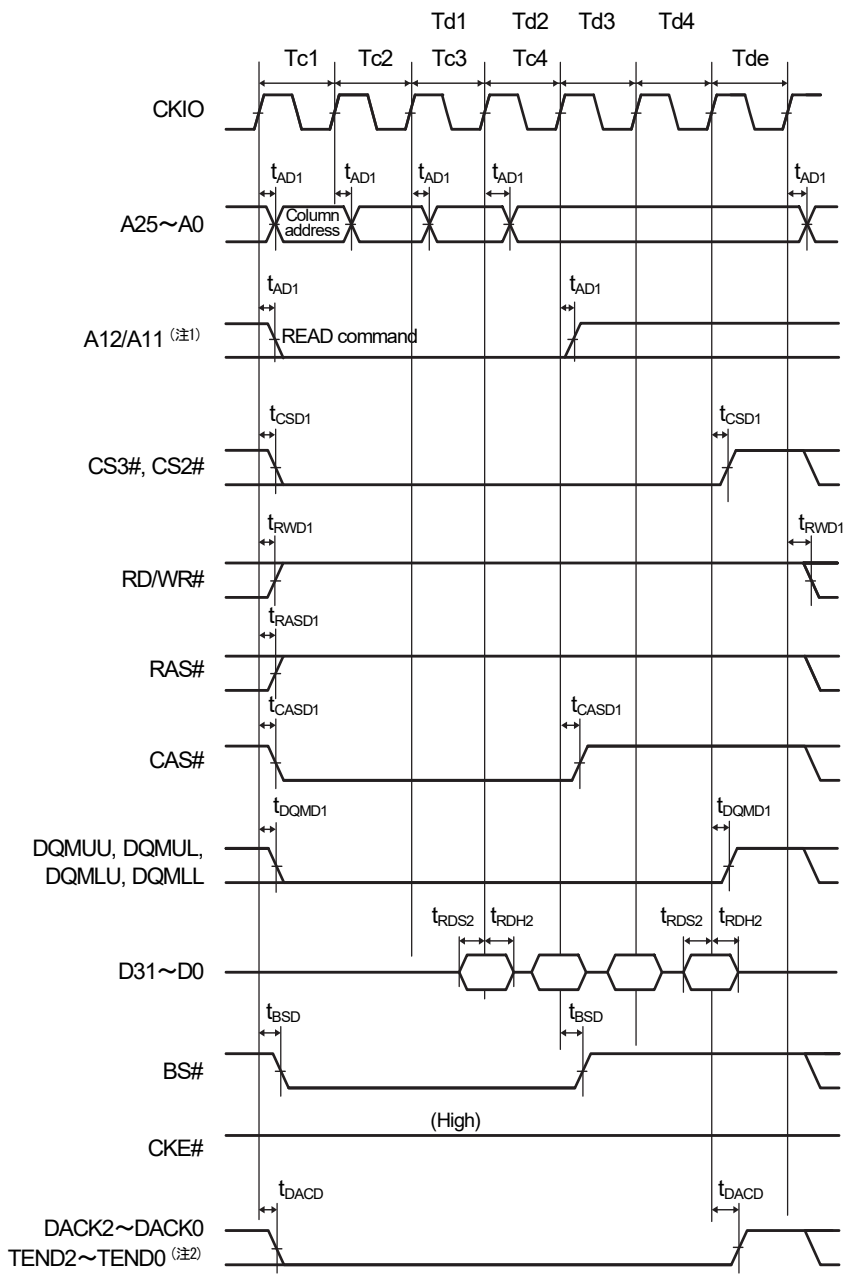
注 1.　SDRAM の A10 に接続するアドレス端子
注 2.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.27　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）
（オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル）



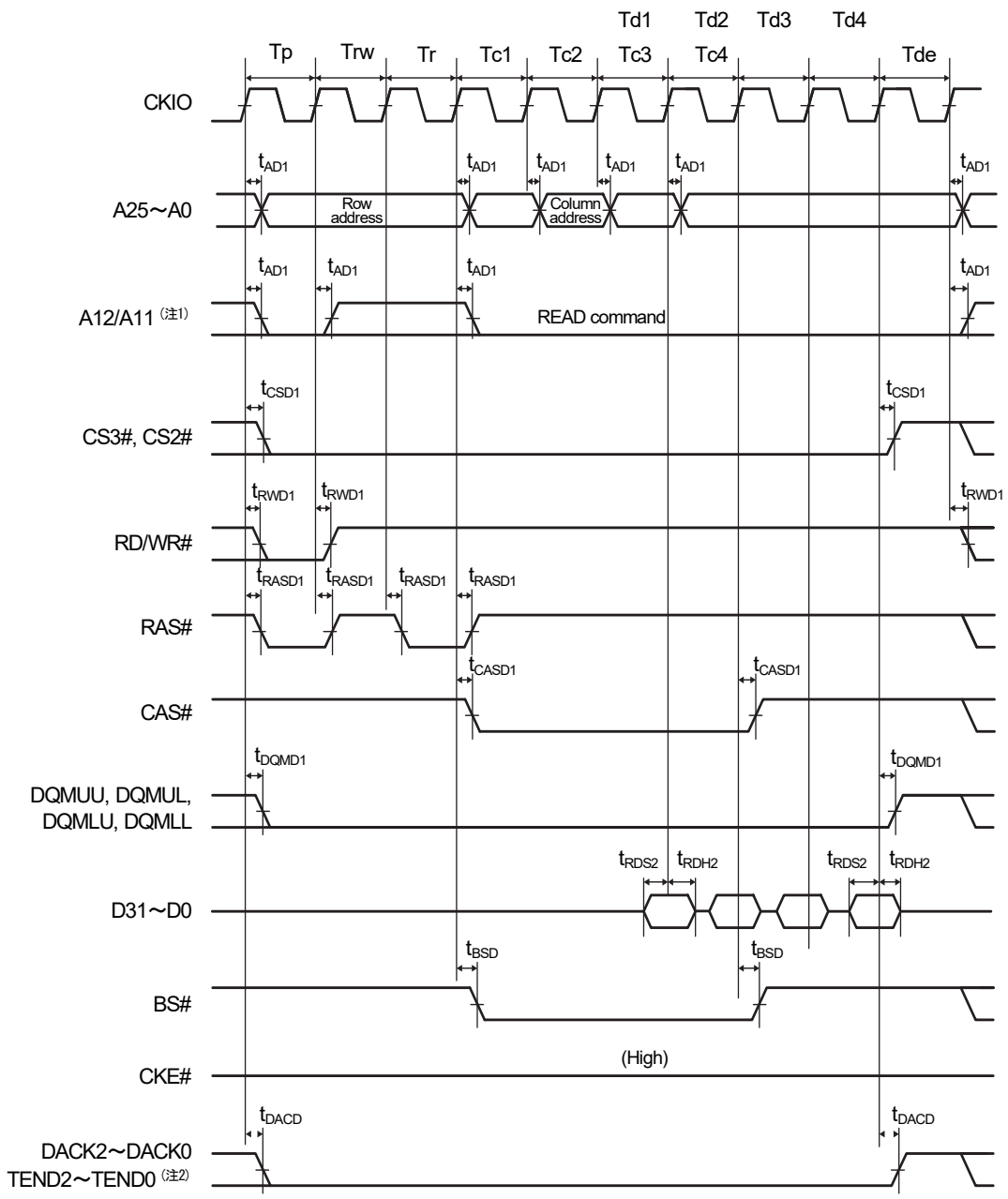
注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.28 シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：ACT ＋ READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル）



注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

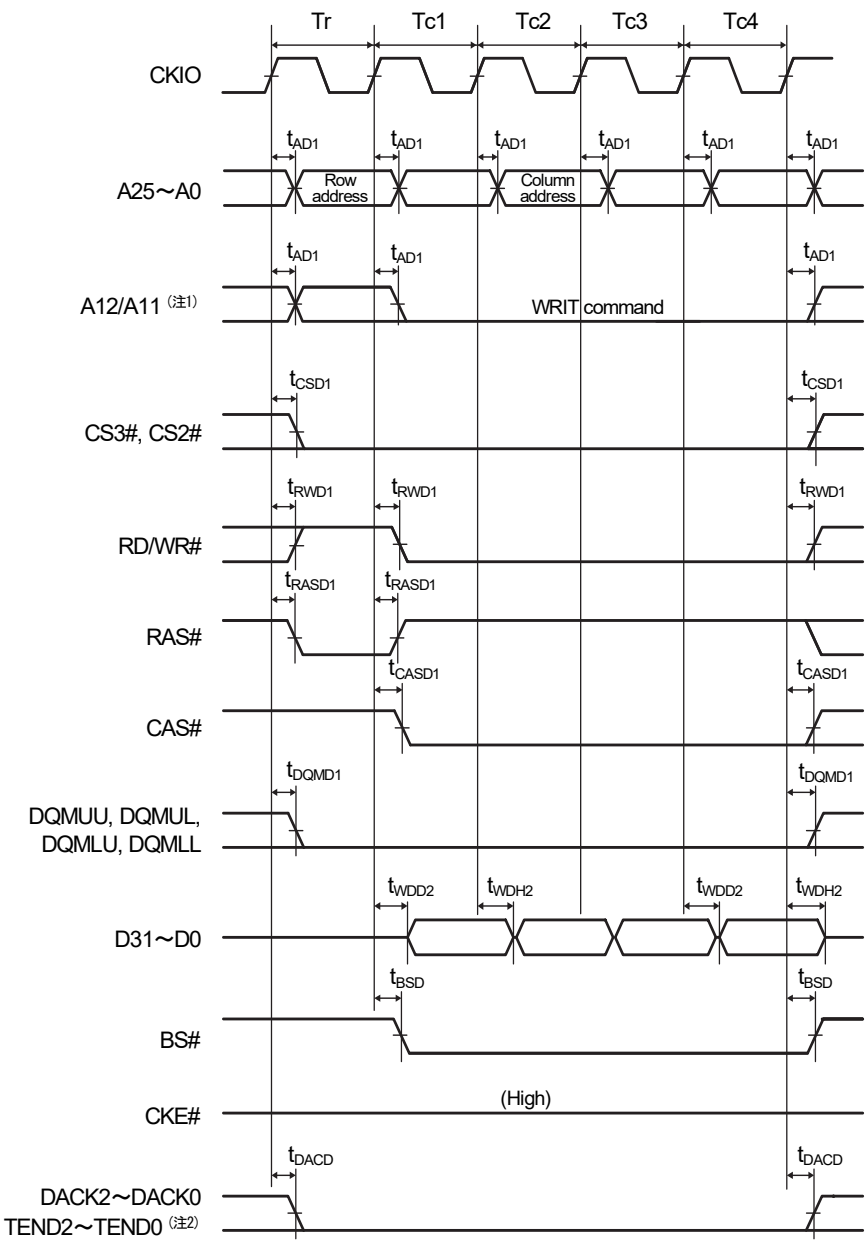
図 47.29 シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル）



注 1. SDRAM の A10 に接続するアドレス端子

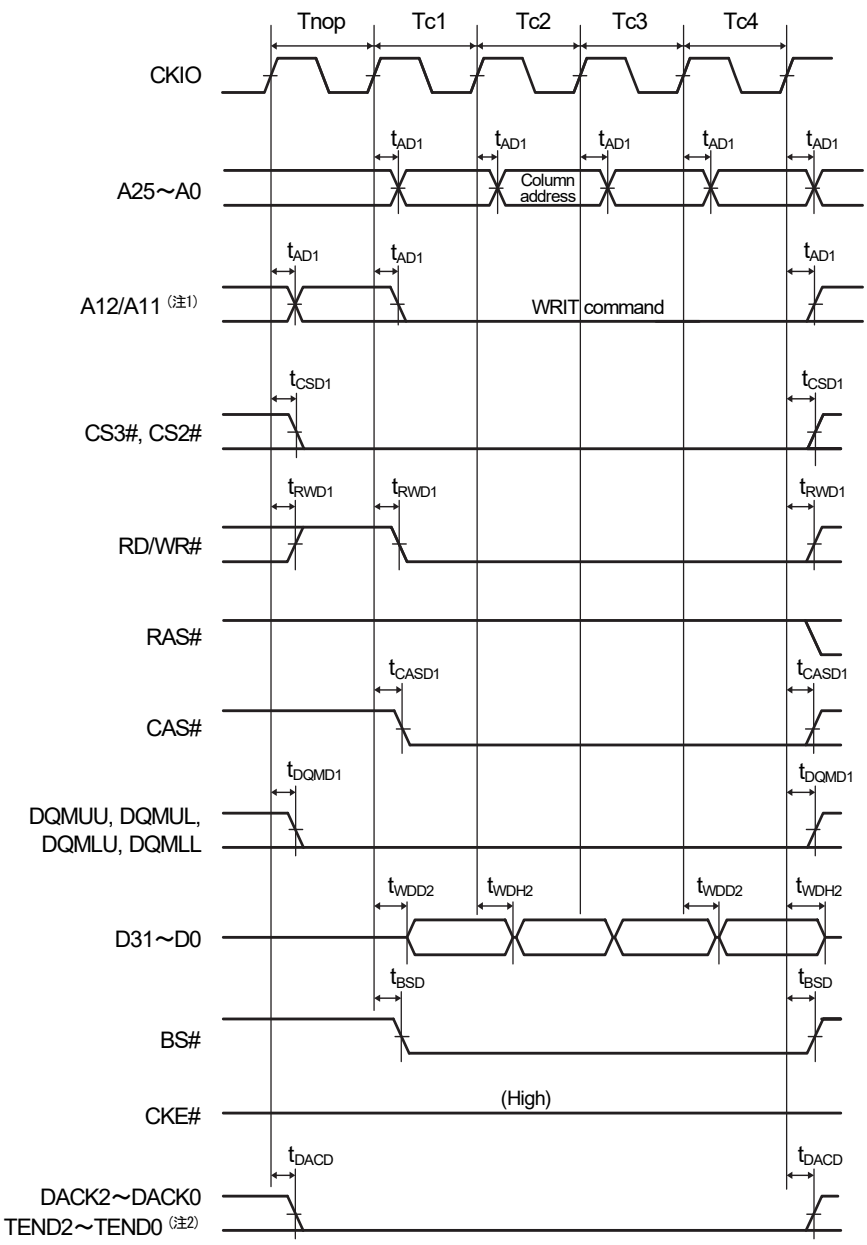
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.30 シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：PRE ＋ ACT ＋ READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル）



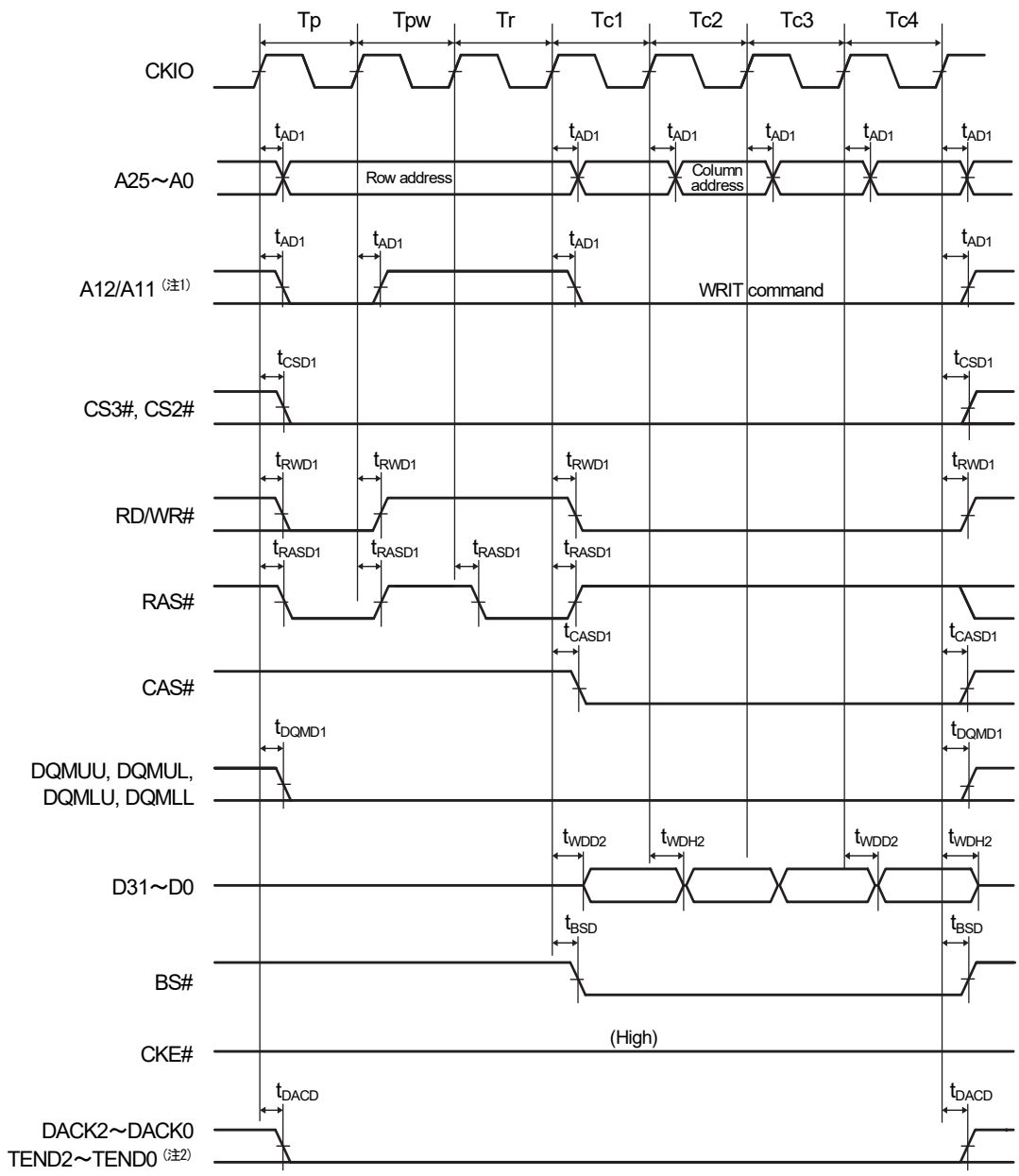
注 1.　SDRAM の A10 に接続するアドレス端子
注 2.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.31　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：ACT ＋ WRITE コマンド、WTRCD = 0 サイクル、TRWL = 0 サイクル）



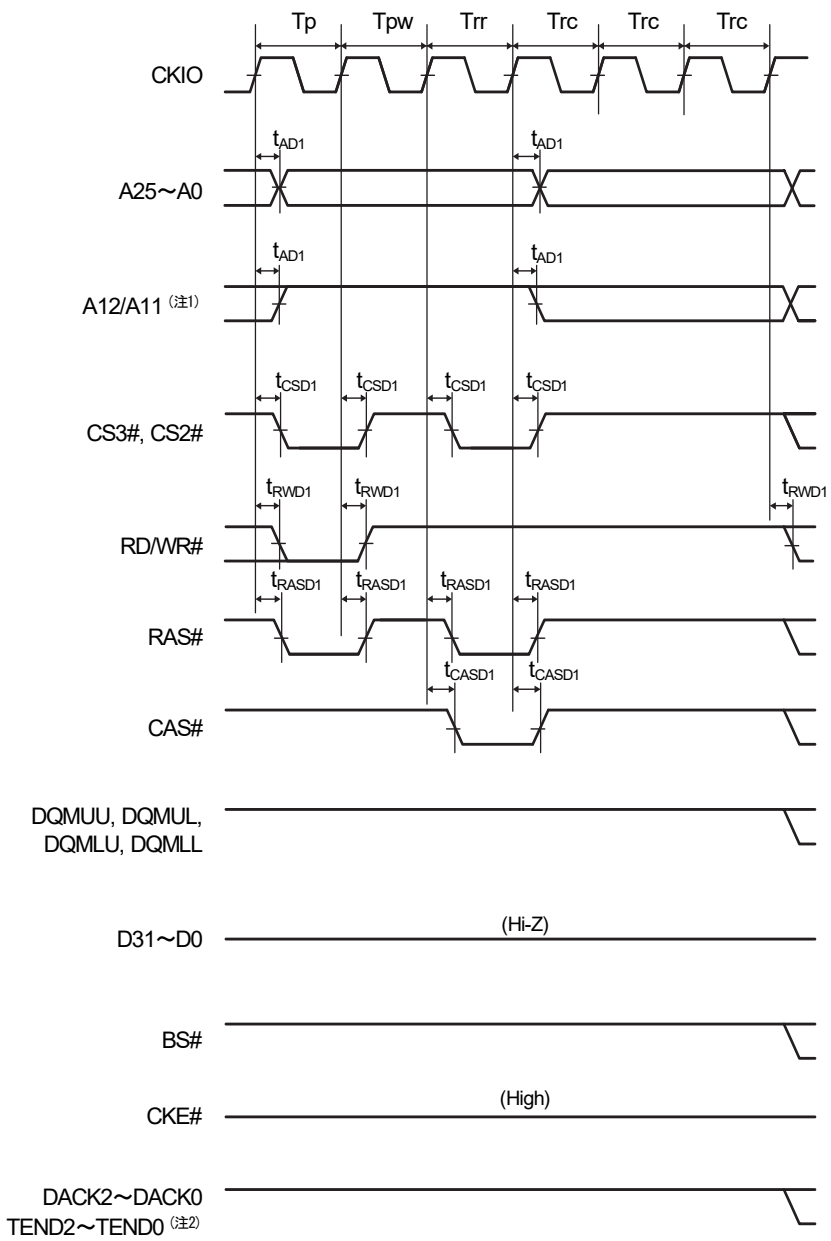
注 1.　SDRAM の A10 に接続するアドレス端子
注 2.　DACKn, TENDn はアクティブロウを指定した時の波形

図 47.32　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル）



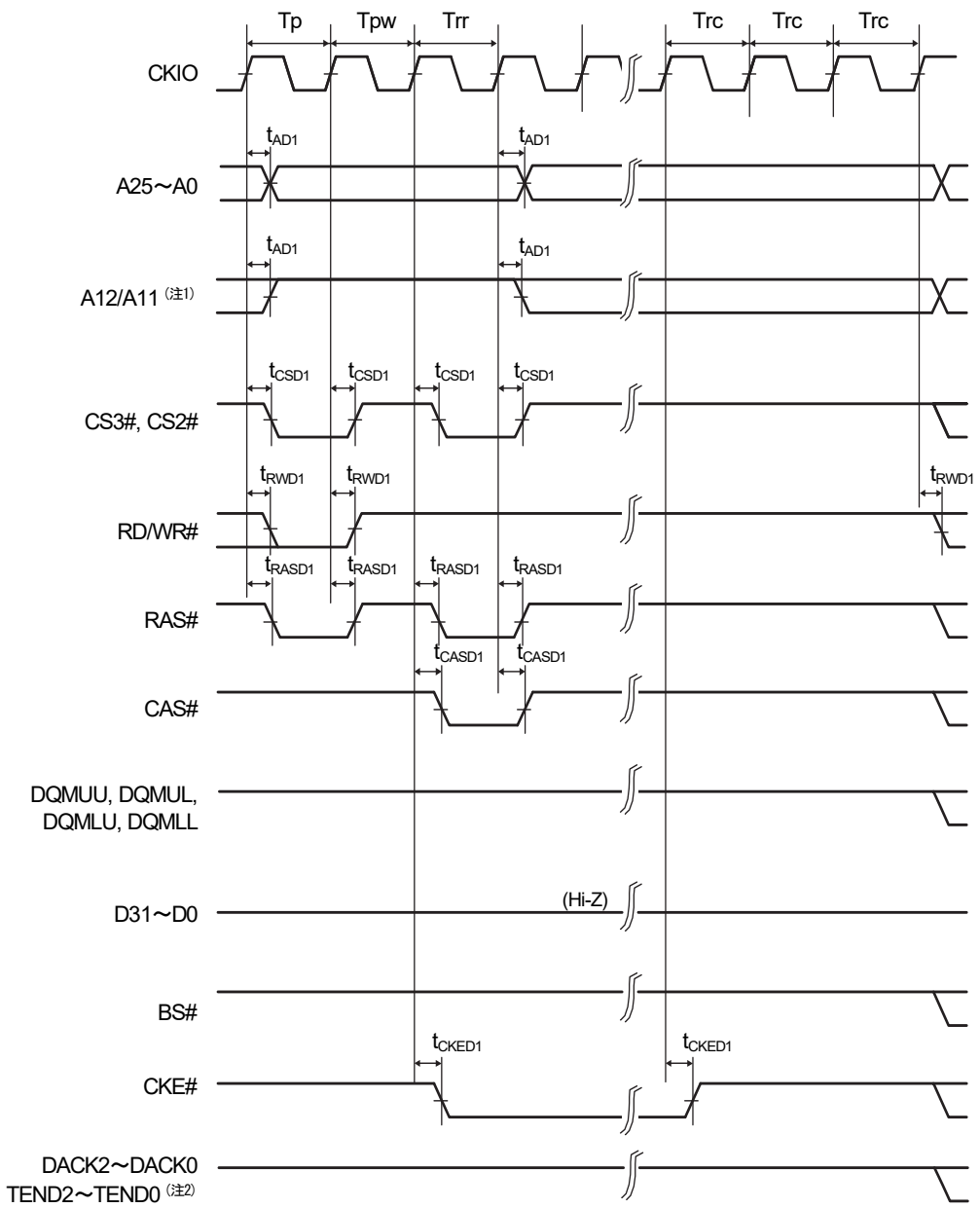
注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.33 シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：PRE ＋ ACT ＋ WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル）



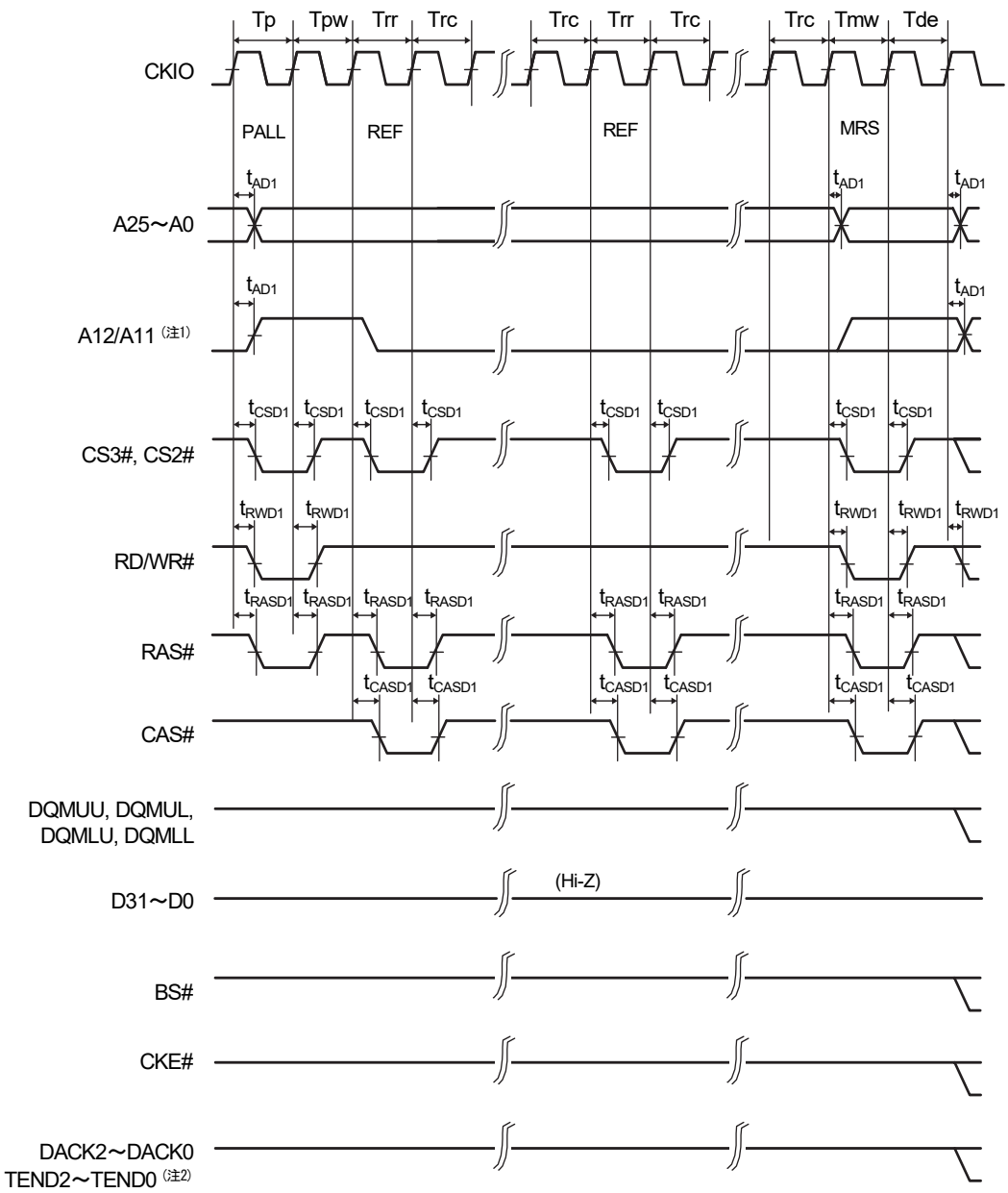
注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.34 シンクロナス DRAM オートリフレッシュタイミング（WTRP = 1 サイクル、WTRC = 3 サイク ル）



注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.35 シンクロナス DRAM セルフリフレッシュタイミング（WTRP = 1 サイクル）



注 1. SDRAM の A10 に接続するアドレス端子
注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 47.36 シンクロナス DRAM モードレジスタ書き込みタイミング（WTRP = 1 サイクル）

47.4.4　DMAC タイミング

表47.18　DMAC タイミング

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目		記号	min（注1）	max	単位	測定条件
DMAC	DREQ パルス幅	t_{DRQW}	t_{PBcyc} × 2	—	ns	図47.37
	DACK, TEND遅延時間	t_{DACD}	0	10	ns	図47.38

注1.　t_{PBcyc}: PCLKBの周期

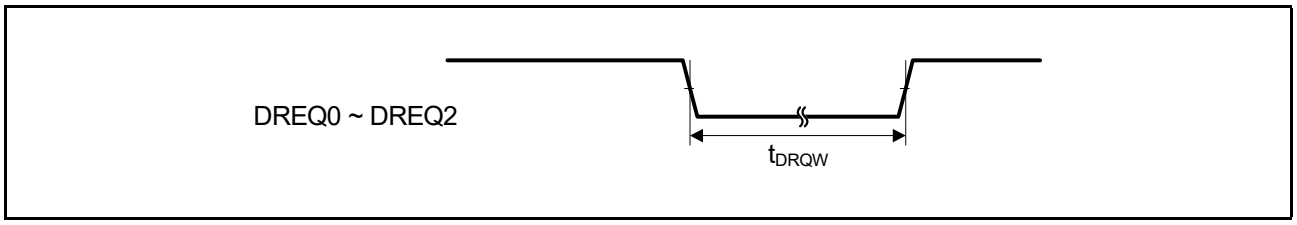


図 47.37　DREQ 入力タイミング

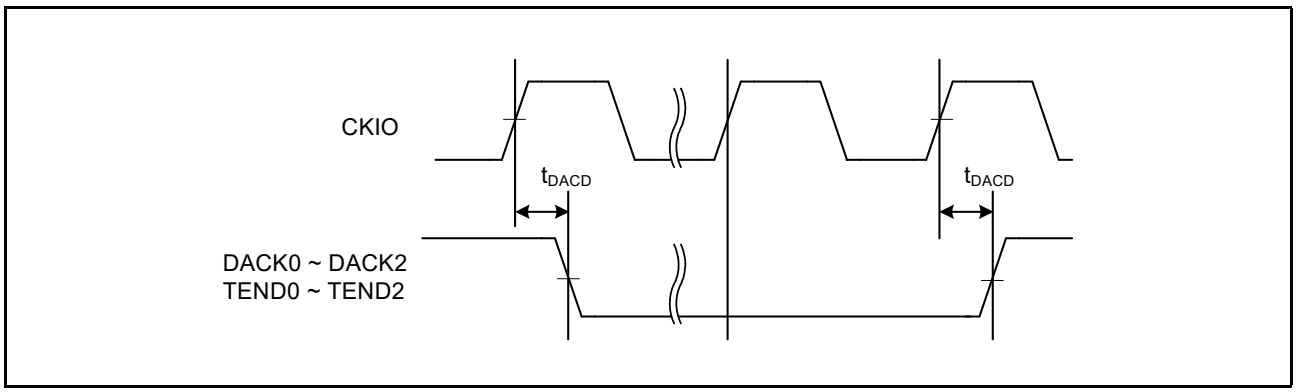


図 47.38　DACK, TEND 出力タイミング

47.4.5 内蔵周辺モジュールタイミング

47.4.5.1 I/O ポートタイミング

表47.19 I/Oポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図47.39

注1. t_{PBcyc}: PCLKBの周期

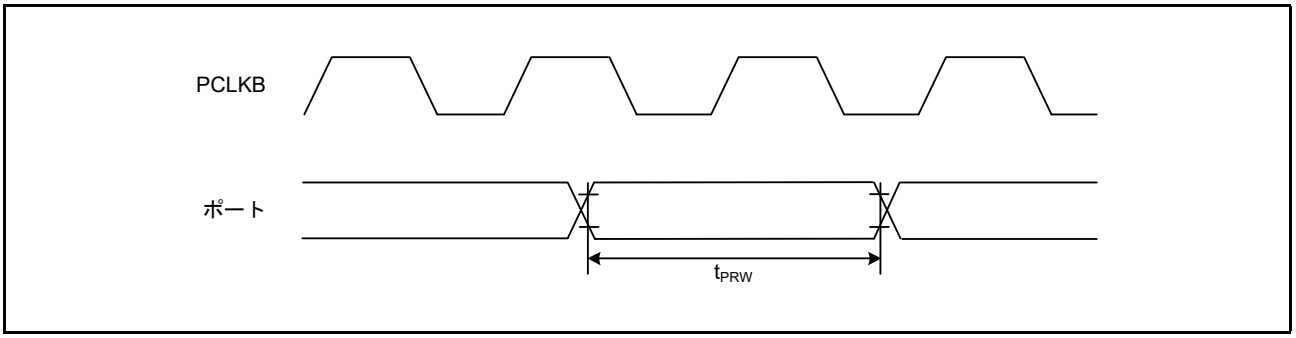


図 47.39 I/O ポート入力タイミング

47.4.5.2 TPUa タイミング

表47.20 TPUaタイミング

項目			記号	min	max	単位 (注1)	測定条件
TPUa	インプットキャプチャ入力パルス幅	単エッジ指定	t_{TICW}	1.5	—	t_{PDcyc}	図47.40
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}、t_{TCKWL}	1.5	—	t_{PDcyc}	図47.41
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PDcyc}: PCLKDの周期

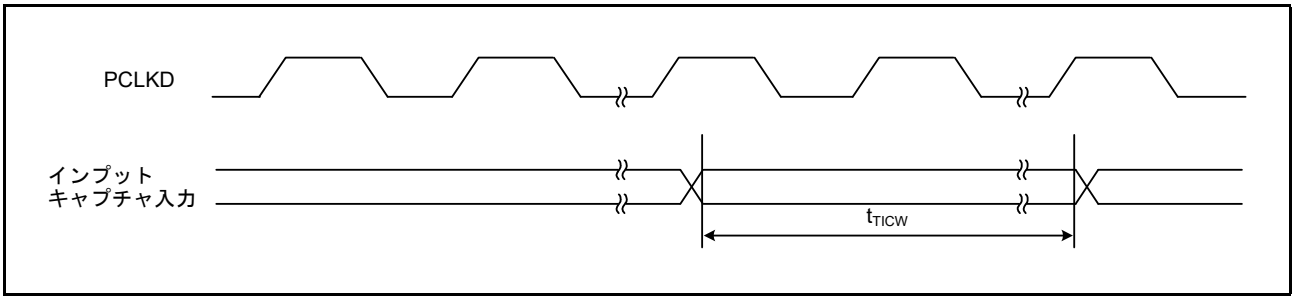


図 47.40 TPUa インプットキャプチャ入力タイミング

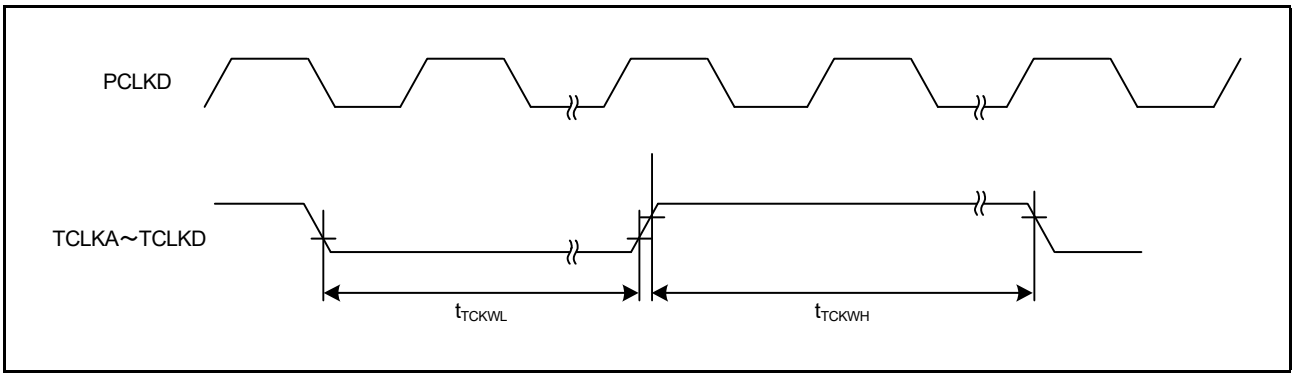


図 47.41 TPUa クロック入力タイミング

47.4.5.3 CMTW タイミング

表47.21 CMTWタイミング

項目			記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力パルス幅	単エッジ指定	$t_{CMTWICW}$	1.5	—	t_{PDcyc}	図47.42
		両エッジ指定		2.5	—		

注1. t_{PDcyc}: PCLKDの周期

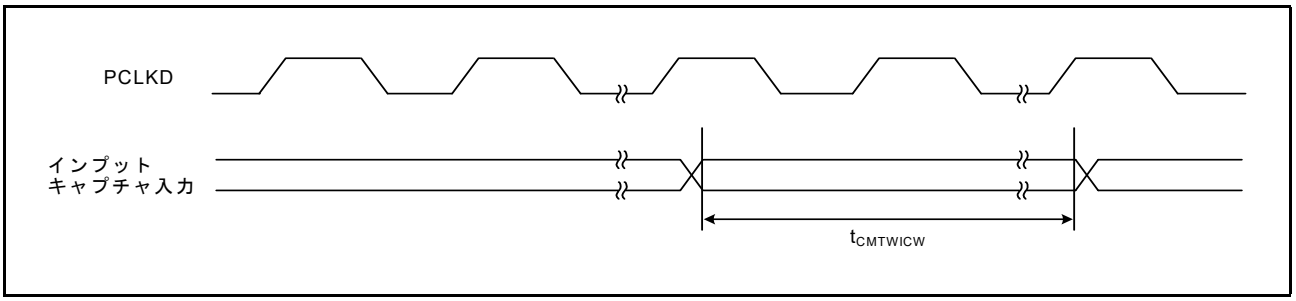


図 47.42 CMTW インプットキャプチャ入力タイミング

47.4.5.4 MTU3a タイミング

表47.22 MTU3aタイミング

項目			記号	min	max	単位 (注1)	測定条件
MTU3a	インプットキャプチャ入力パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PCcyc}	図47.43
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH}、t_{MTCKWL}	1.5	—	t_{PCcyc}	図47.44
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PCcyc}: PCLKCの周期

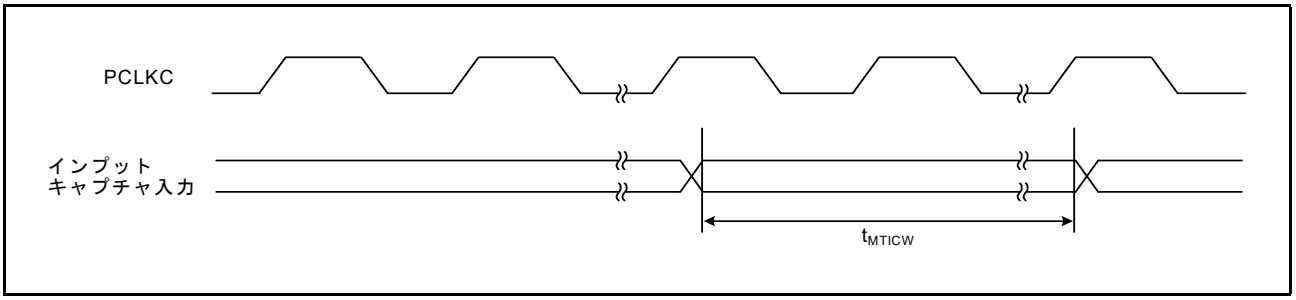


図 47.43 MTU3a インプットキャプチャ入力タイミング

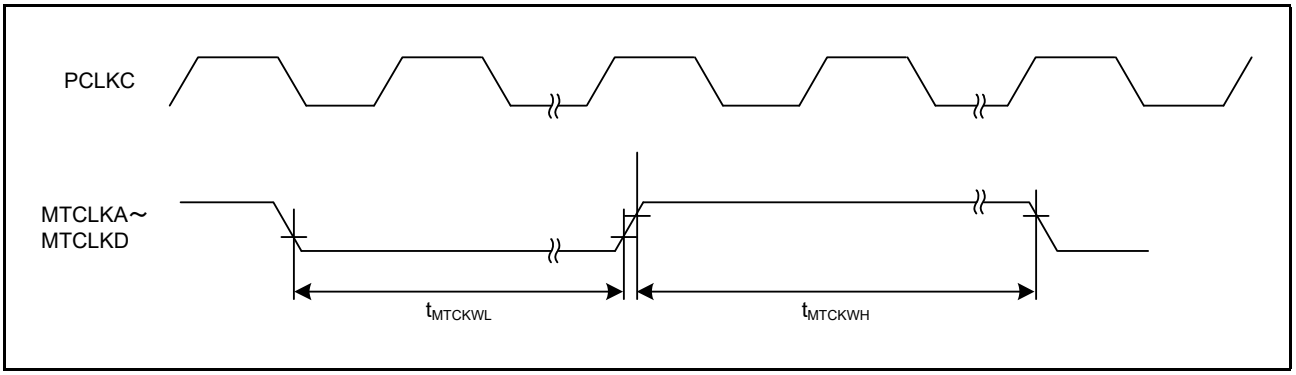


図 47.44 MTU3a クロック入力タイミング

47.4.5.5 POE3 タイミング

表47.23 POE3タイミング

項目		記号	min	max	単位 (注1)	測定条件
POE3	POEn#入力パルス幅	t_{POEW}	1.5	—	t_{PDcyc}	図47.45

注1. t_{PDcyc}: PCLKDの周期

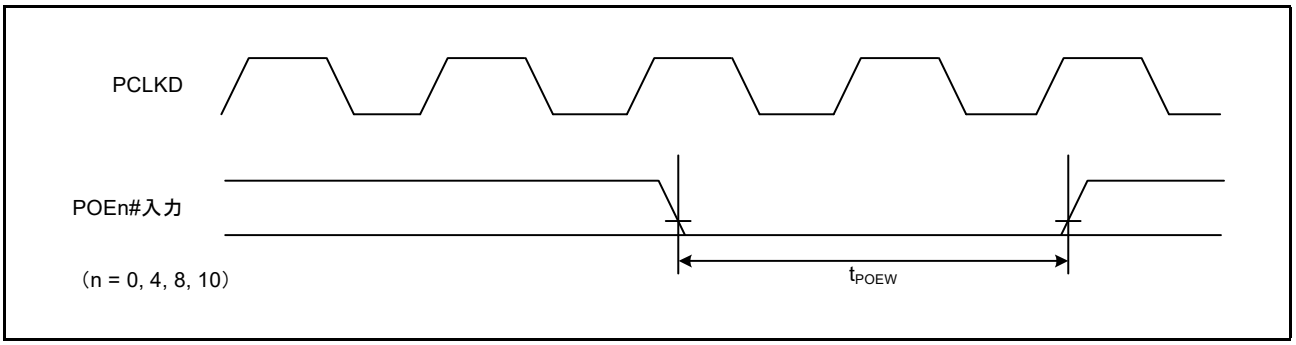


図 47.45 POEn #入力パルスタイミング

47.4.5.6　GPTa タイミング

表47.24　GPTaタイミング

項目			記号	min	max	単位（注1）	測定条件
GPTa	インプットキャプチャ入力パルス幅	単エッジ指定	t_{GTICW}	3	—	t_{PCcyc}	図47.46
		両エッジ指定		5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PCcyc}	図47.47
		両エッジ指定		2.5	—		

注1.　t_{PCcyc}: PCLKCの周期

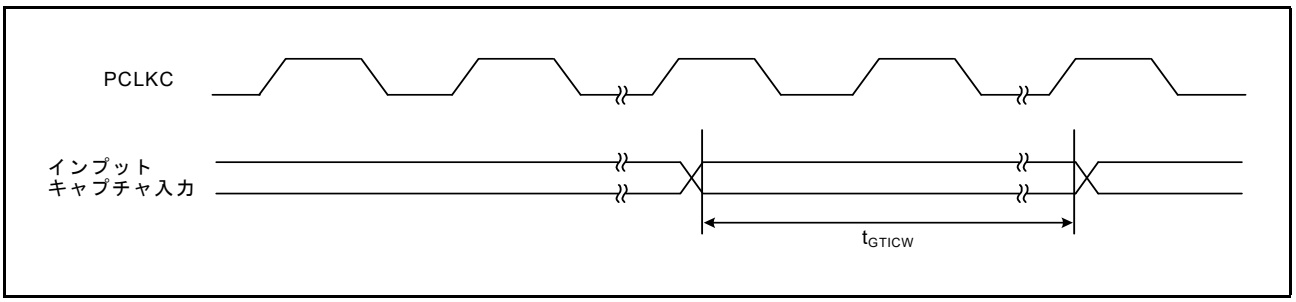


図 47.46　GPTa インプットキャプチャ入力タイミング

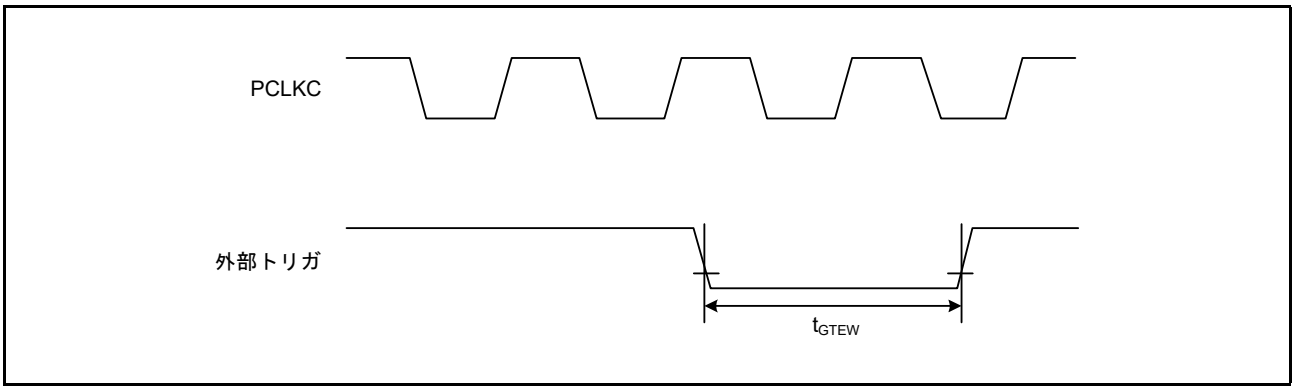


図 47.47　GPTa 外部トリガ入力タイミング

47.4.5.7　A/D コンバータトリガタイミング

表47.25　A/Dコンバータトリガタイミング

項目			記号	min	max	単位（注1）	測定条件
A/Dコンバータ	A/Dコンバータトリガ入力パルス幅	ADTRG0	t_{TRGW}	1.5	—	t_{PFcyc}	図47.48
		ADTRG1		1.5		t_{PGcyc}	図47.49

注1.　t_{PFcyc}: PCLKFの周期、t_{PGcyc}: PCLKGの周期

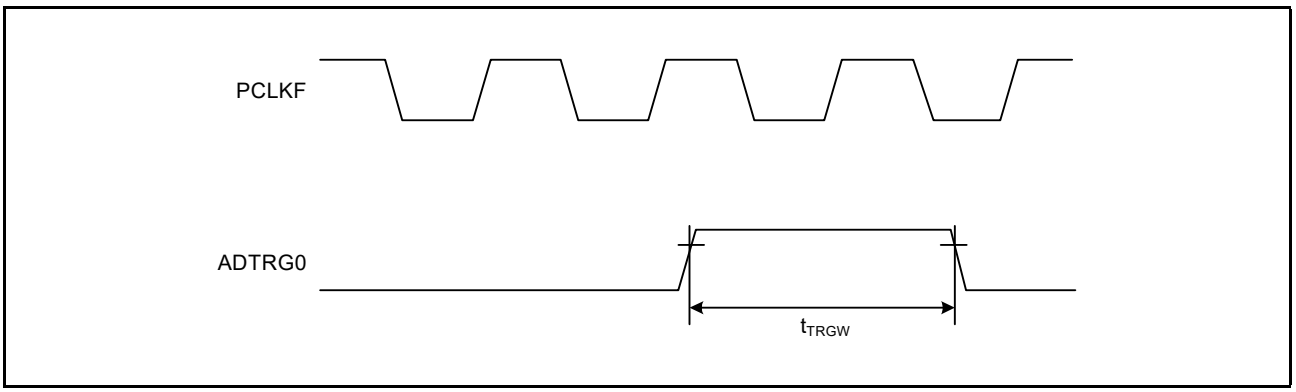


図 47.48　A/D コンバータトリガ入力タイミング（ADTRG0）

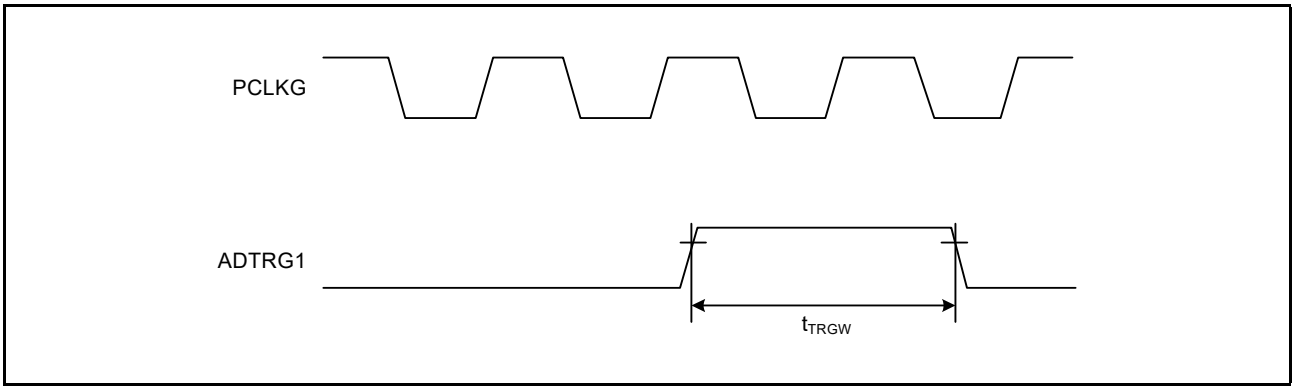


図 47.49　A/D コンバータトリガ入力タイミング（ADTRG1）

47.4.5.8　SCIFA タイミング

表47.26　SCIFAタイミング

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目			記号	min（注1）	max（注1）	単位（注1）	測定条件
SCIFA	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{SEcyc}	図 47.50
		クロック同期		12	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期（注2）	t_{Scyc}	8	—	t_{SEcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	9	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	9	ns	
	送信データ遅延時間	内部クロック	t_{TXD}	– 10	10	ns	図 47.51
		外部クロック		3 × t_{SEcyc}	4 × t_{SEcyc} + 20		
	受信データセットアップ時間	内部クロック	t_{RXS}	3 × t_{SEcyc} + 20	—	ns	
		外部クロック		t_{SEcyc} + 10	—		
	受信データホールド時間	内部クロック	t_{RXH}	– 3 × t_{SEcyc}	—	ns	
		外部クロック		2 × t_{SEcyc} + 10	—		

注1.　t_{SEcyc}：SERICLKの周期
注2.　SEMR.ABCS0ビット= 1かつSEMR.BGDMビット= 1の時

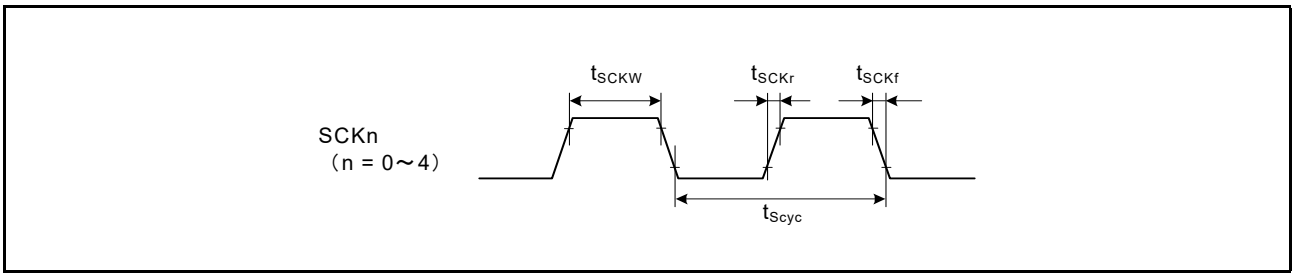


図 47.50　SCK クロック入力タイミング

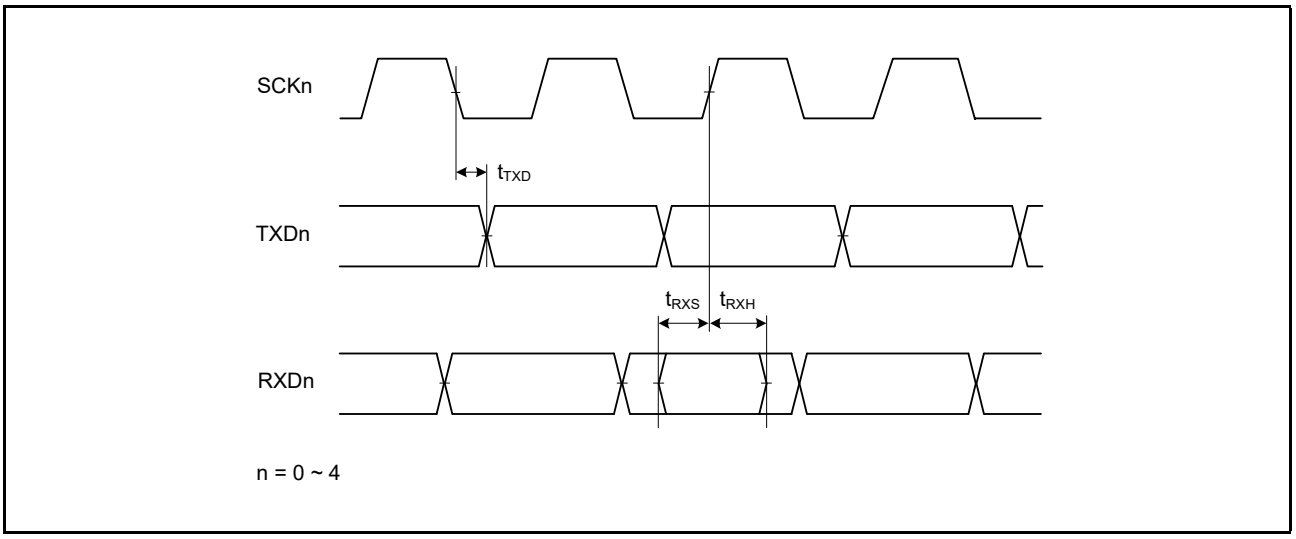


図 47.51 SCIFA 入出力タイミング／クロック同期式モード

47.4.5.9　RSPIa タイミング

表47.27　RSPIaタイミング

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目			記号（注1）	Min（注1）	Max（注1）	単位（注1）	測定条件
RSPIa	RSPCK クロックサイクル	マスタ	t_{SPcyc}	4	4096	t_{SEcyc}	図47.52
		スレーブ（注4）		8	4096		
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns	
		スレーブ		0.4	—	t_{SPcyc}	
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns	
		スレーブ		0.4	—	t_{SPcyc}	
	RSPCK クロック立ち上がり／立ち下がり時間	出力	t_{SPCKr}、t_{SPCKf}	—	9	ns	
		入力		—	10	ns	
	データ入力セットアップ時間	マスタ	t_{SU}	6	—	ns	図47.53～図47.56
		スレーブ		$8 - t_{SEcyc}$	—		
	データ入力ホールド時間	マスタ	t_H	t_{SEcyc}	—	ns	
		スレーブ		$8 + 2 \times t_{SEcyc}$	—		
	SSL セットアップ時間	マスタ	t_{LEAD}	$N \times t_{Spcyc} - 3$（注 2）	$N \times t_{Spcyc} + 3$（注 2）	ns	
		スレーブ		4	—	t_{SEcyc}	
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{Spcyc} - 3$（注 3）	$N \times t_{Spcyc} + 3$（注 3）	ns	
		スレーブ		4	—	t_{SEcyc}	
	データ出力遅延時間	マスタ	t_{OD}	—	6	ns	
		スレーブ		—	$3 \times t_{SEcyc} + 20$（注 4）		
	データ出力ホールド時間	マスタ	t_{OH}	0	—	ns	
		スレーブ		0	—		
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{SEcyc}$	$8 \times t_{SPcyc} + 2 \times t_{SEcyc}$	ns	
		スレーブ		$4 \times t_{SEcyc}$	—		
	MOSI、MISO立ち上がり／立ち下がり時間	出力	t_{Dr}、t_{Df}	—	9	ns	
		入力		—	10	ns	
	SSL立ち上がり／立ち下がり時間	出力	t_{SSLr}、t_{SSLf}	—	9	ns	
		入力		—	10	ns	
	スレーブアクセス時間		t_{SA}	—	4	t_{SEcyc}	図47.55、図47.56
	スレーブ出力開放時間		t_{REL}	—	3	t_{SEcyc}	

注1.　t_{SEcyc}：SERICLKの周期
注2.　N = SPCKDの設定値 + 1（1・・・8）
注3.　N = SSLNDの設定値 + 1（1・・・8）
注4.　ビットレートの設定によっては、データ出力遅延時間がRSPCKクロックサイクルの半周期を超える場合があります。マスタの電気的特性を満たせるよう注意してください。

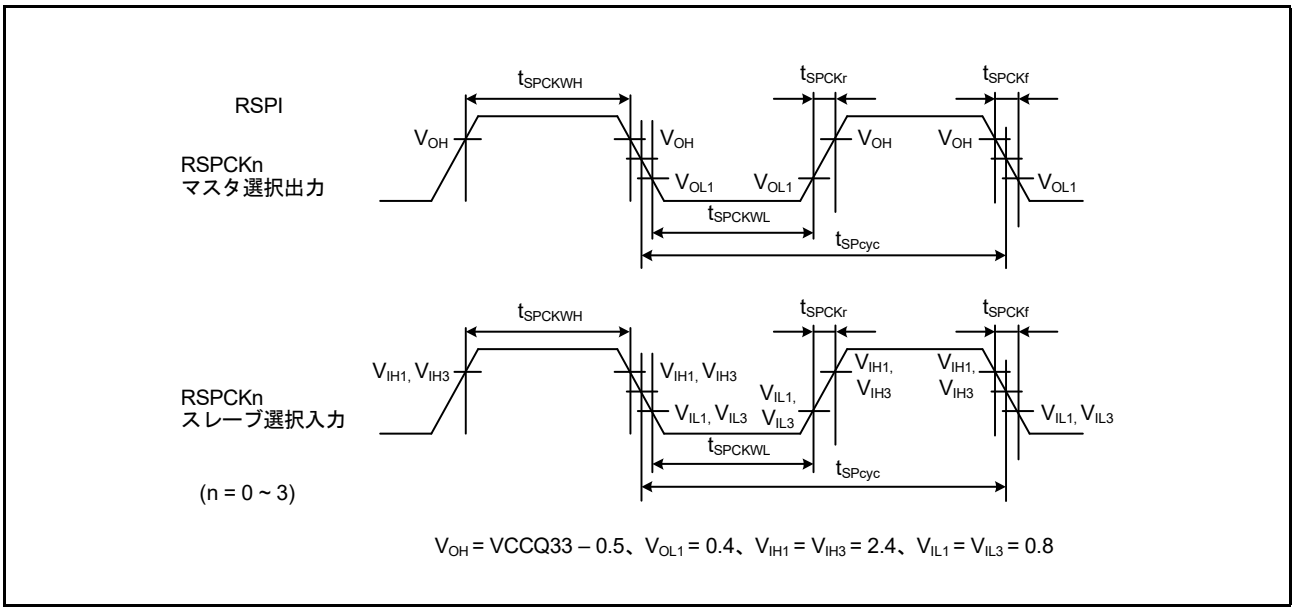


図 47.52　RSPIa クロックタイミング

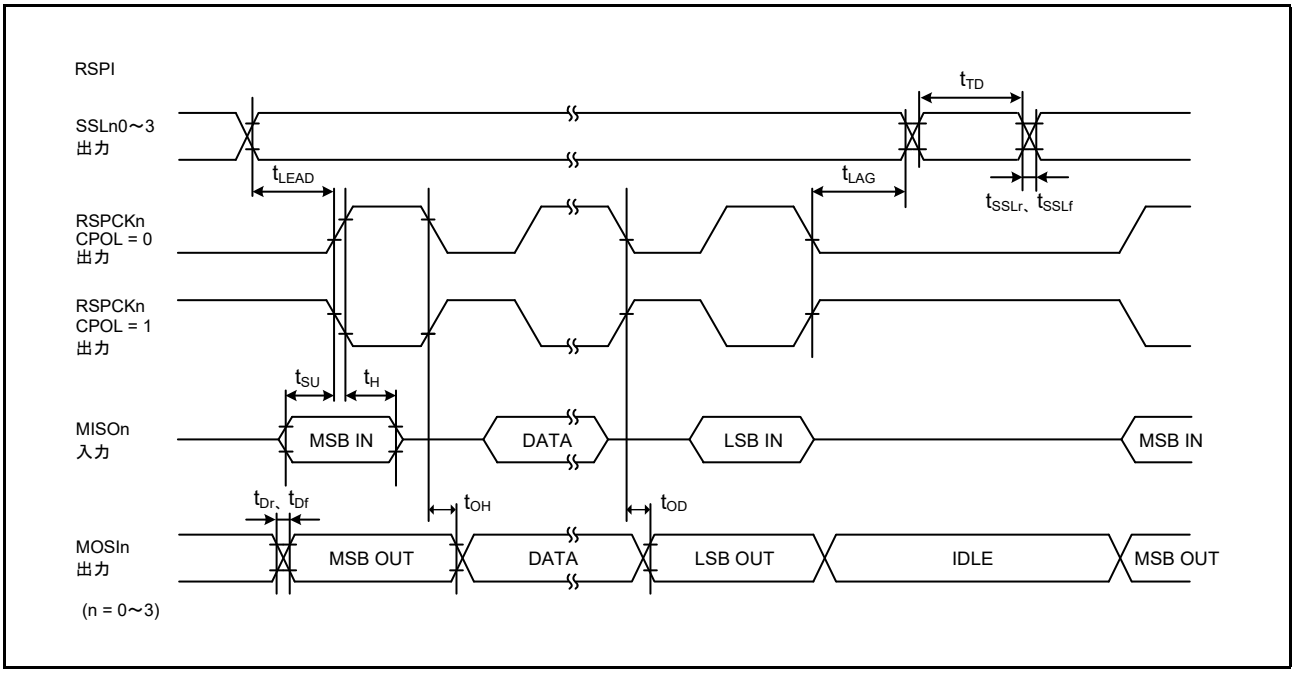


図 47.53　RSPIa タイミング（マスタ、CPHA = 0）

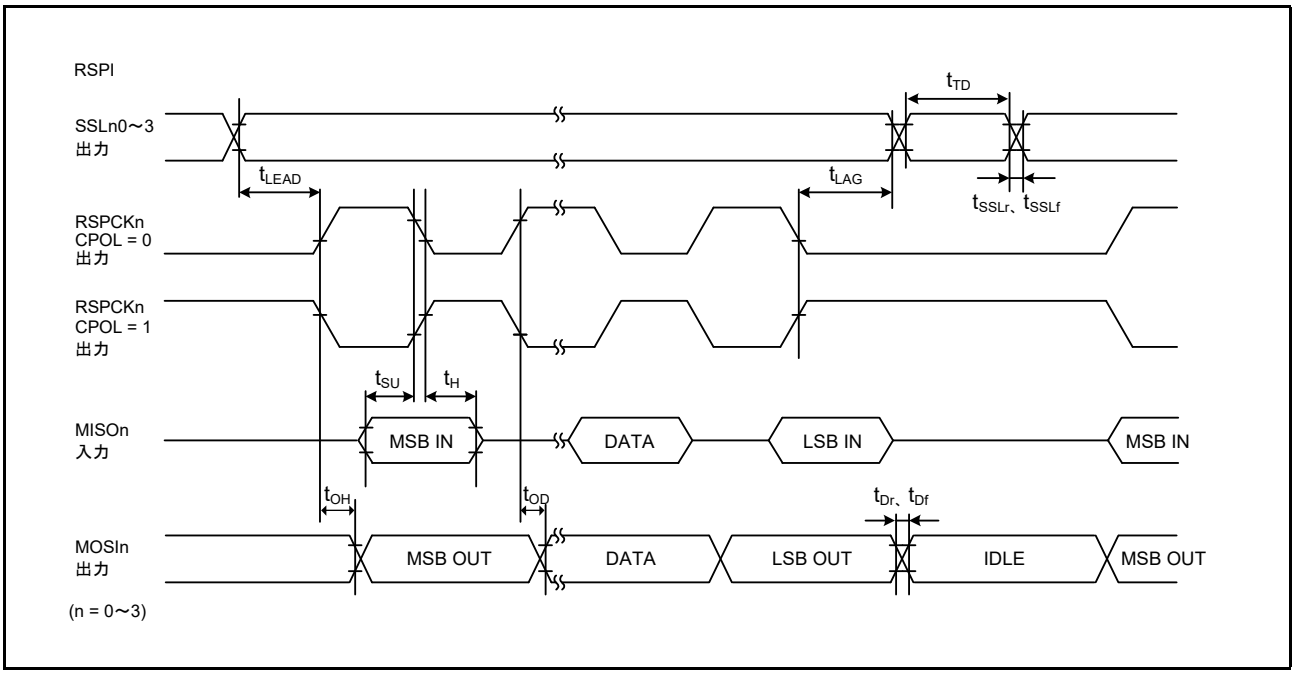


図 47.54　RSPIa タイミング（マスタ、CPHA = 1）

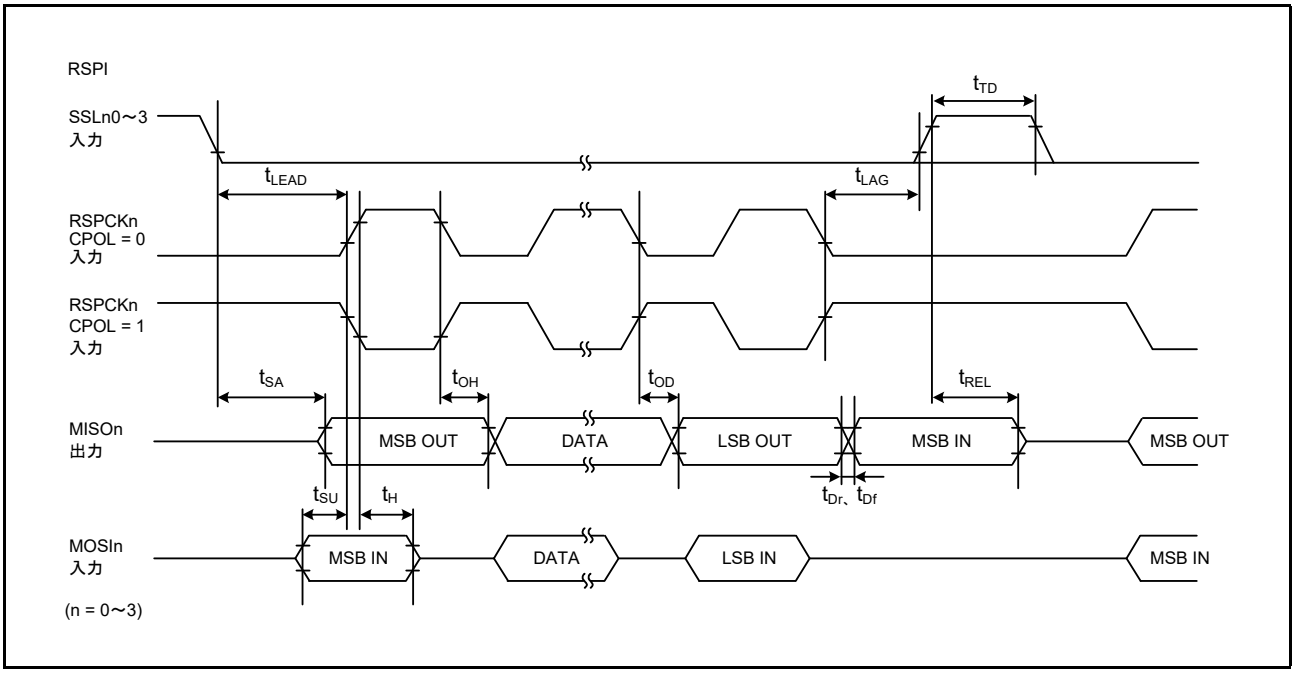


図 47.55　RSPI タイミング（スレーブ、CPHA = 0）

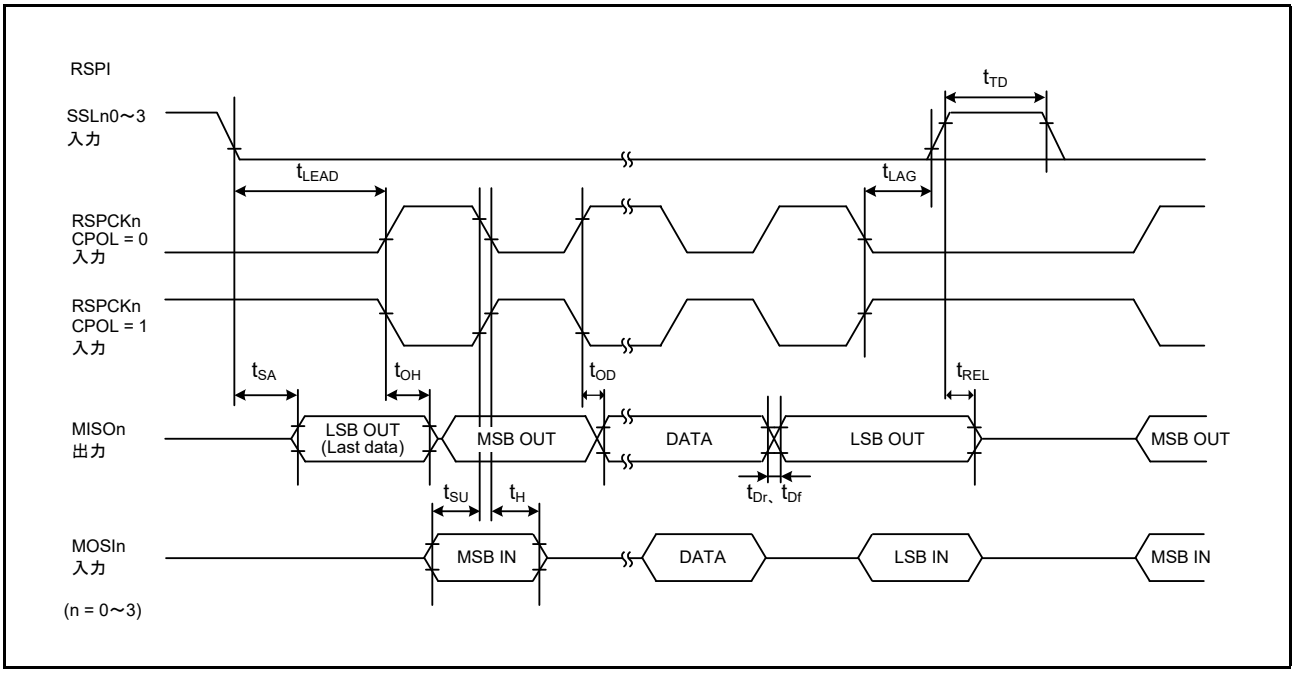


図 47.56 RSPI タイミング（スレーブ、CPHA = 1）

47.4.5.10　SPIBSC タイミング

表47.28　SPIBSCタイミング

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目		記号	min	max	単位（注1）	測定条件
SPIBSC	SPBCLKクロックサイクル	t_{SPBcyc}	2	4080	t_{PAcyc}	図 47.57
	SPBCLKハイレベルパルス幅	t_{SPBWH}	0.45	0.55	t_{SPBcyc}	
	SPBCLKロウレベルパルス幅	t_{SPBWL}	0.45	0.55	t_{SPBcyc}	
	データ入力セットアップ時間	t_{SU}	3.5	—	ns	図 47.58、図 47.59、図 47.60
	データ入力ホールド時間	t_{H}	0.5	—	ns	
	SSLセットアップ時間	t_{LEAD}	1 × t_{SPBcyc} − 3	8 × t_{SPBcyc}	ns	
	SSLホールド時間	t_{LAG}	1.5 × t_{SPBcyc}	8.5 × t_{SPBcyc} ＋ 3	ns	
	連続転送遅延時間	t_{TD}	1	8	t_{SPBcyc}	
	データ出力遅延時間	t_{OD}	—	3.6	ns	
	データ出力ホールド時間	t_{OH}	-1	—	ns	
	データ出力バッファオン時間	t_{BON}	—	3.6	ns	図 47.61、図 47.62、図 47.63
	データ出力バッファオフ時間	t_{BOFF}	-7	0	ns	

注1.　t_{PAcyc}: PCLKAの周期

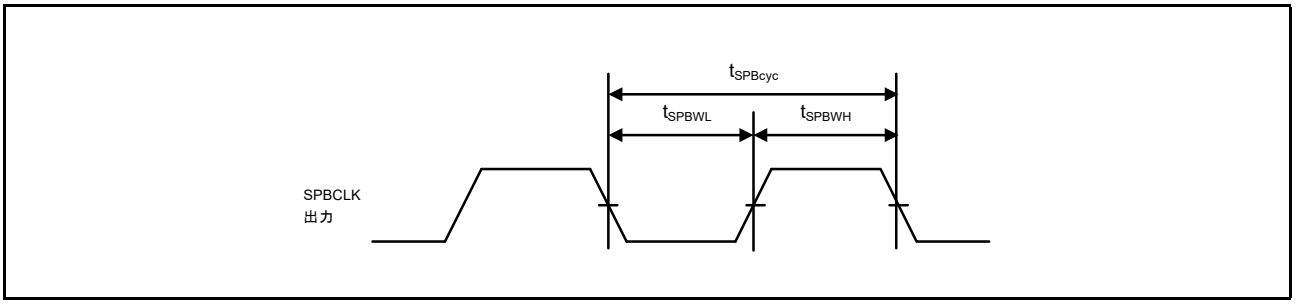


図 47.57　SPIBSC クロックタイミング

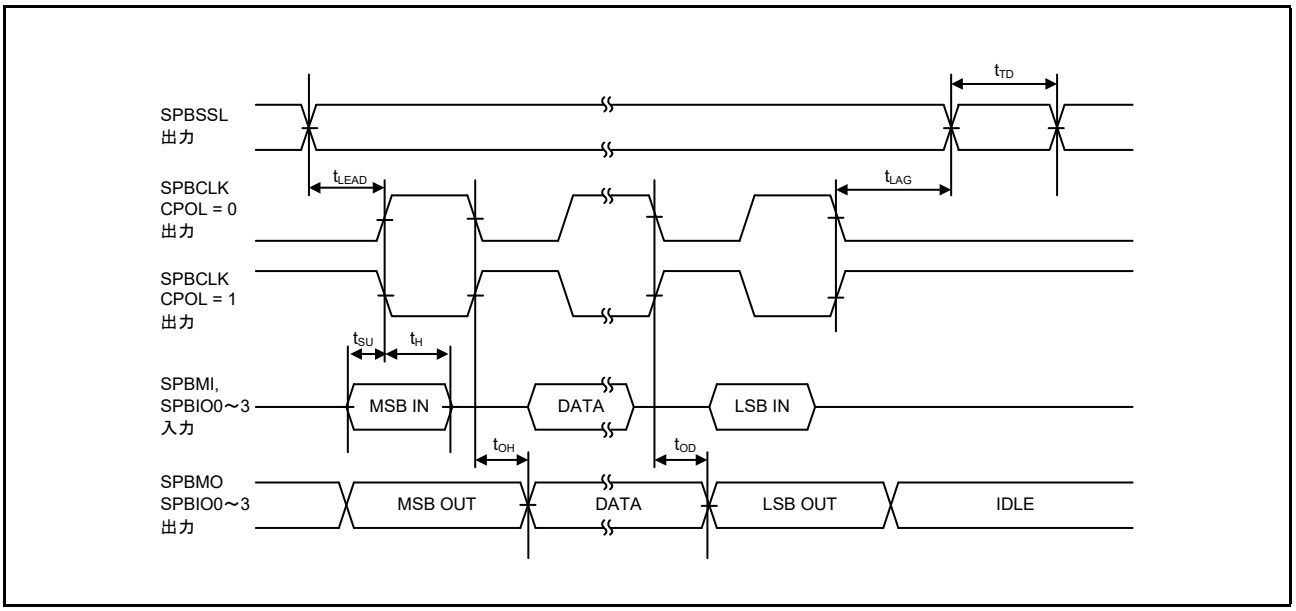


図 47.58 SPIBSC 送受信タイミング （CPHAT = 0, CPHAR = 0）

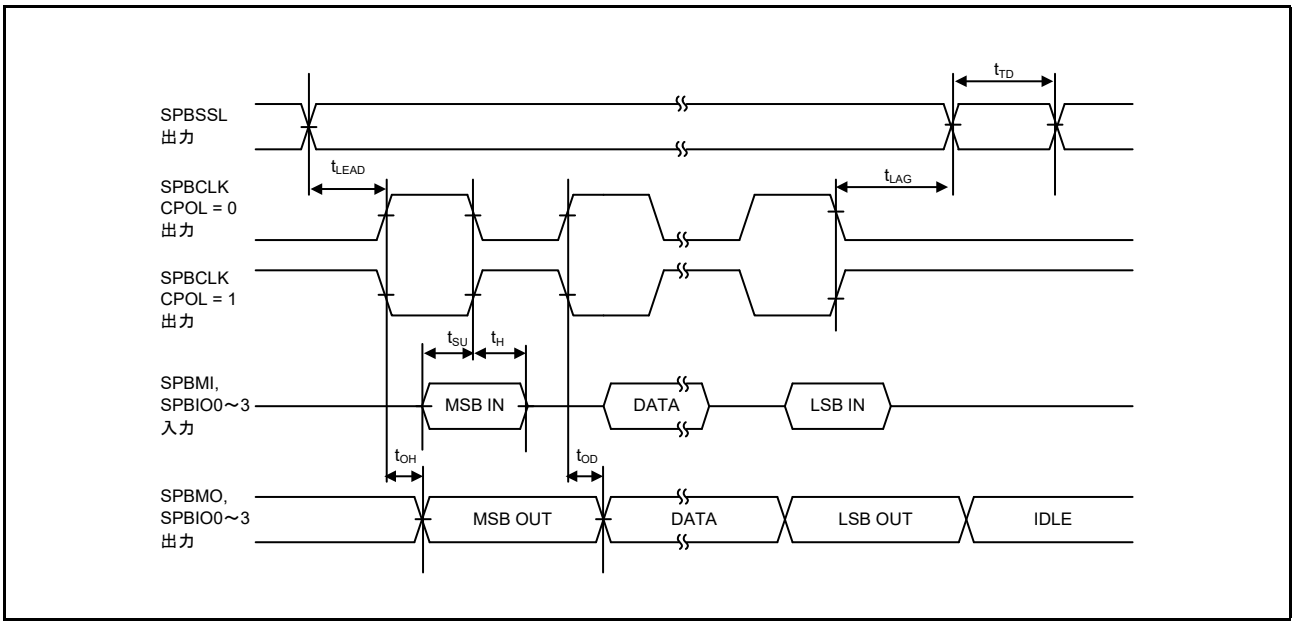


図 47.59 SPIBSC 送受信タイミング（CPHAT = 1, CPHAR = 1）

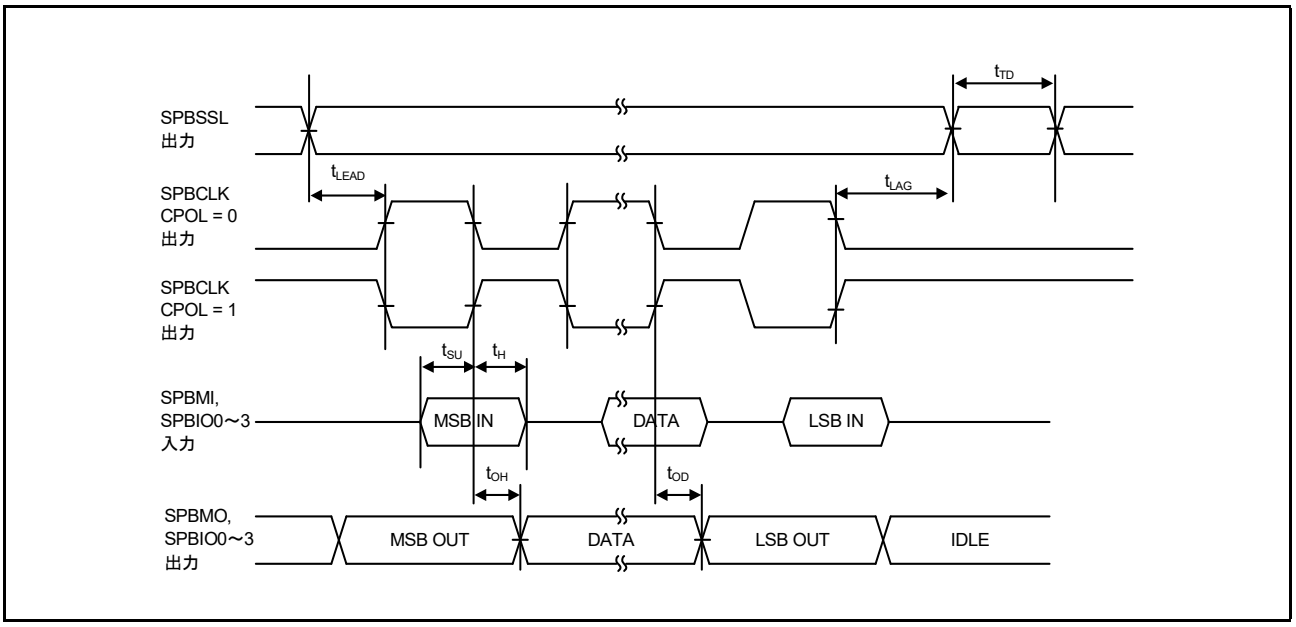


図 47.60　SPIBSC 送受信タイミング（CPHAT = 0, CPHAR = 1）

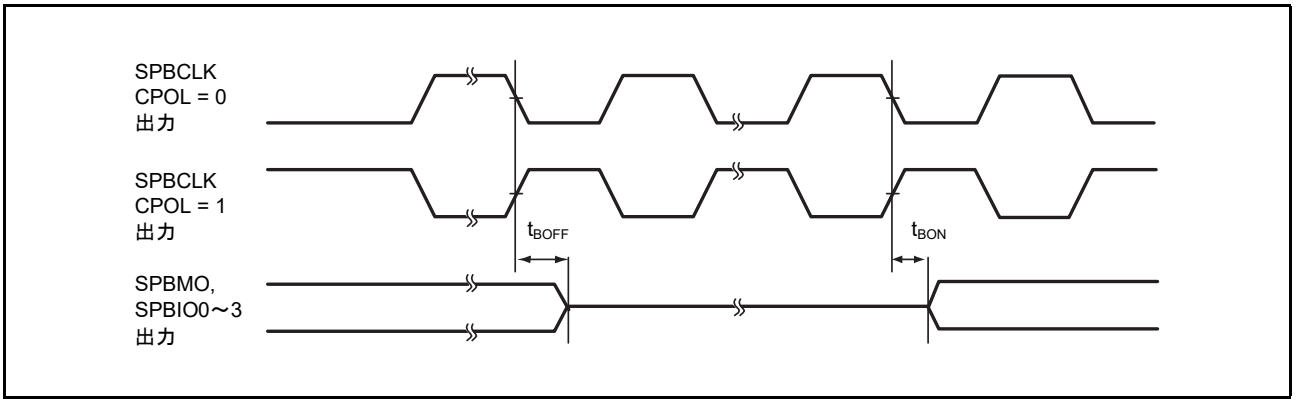


図 47.61　SPIBSC バッファオン／オフタイミング（CPHAT = 0, CPHAR = 0）

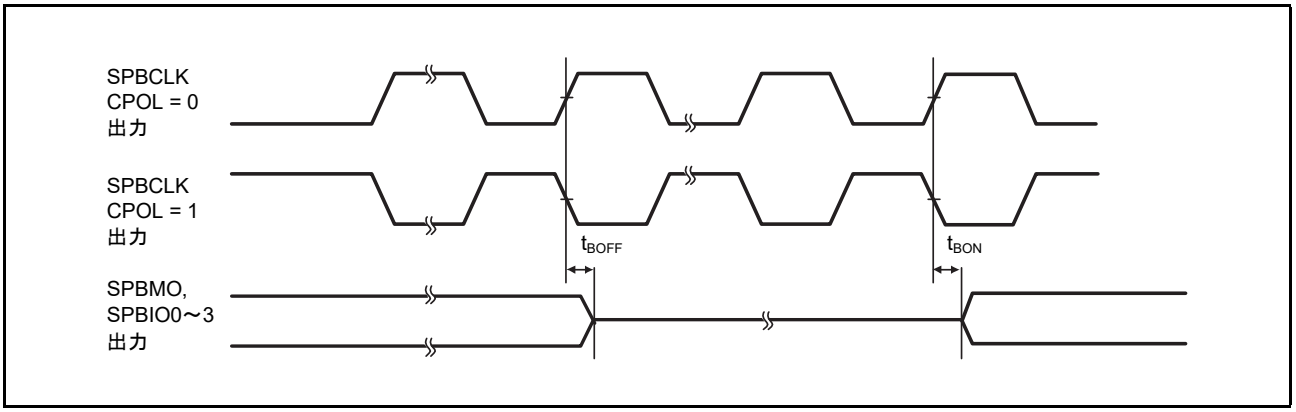


図 47.62　SPIBSC バッファオン／オフタイミング（CPHAT = 1, CPHAR = 1）

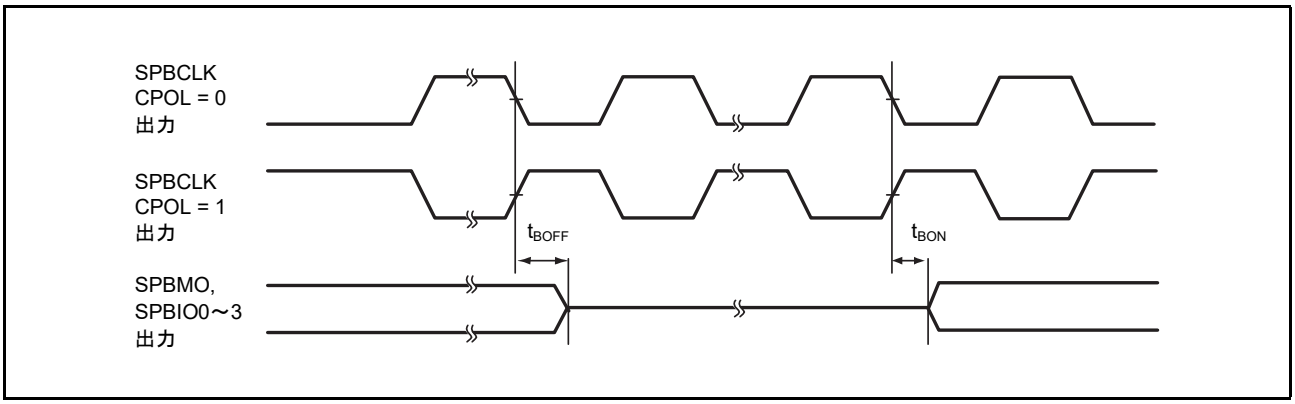


図 47.63 SPIBSC バッファオン／オフタイミング（CPHAT = 0, CPHAR = 1）

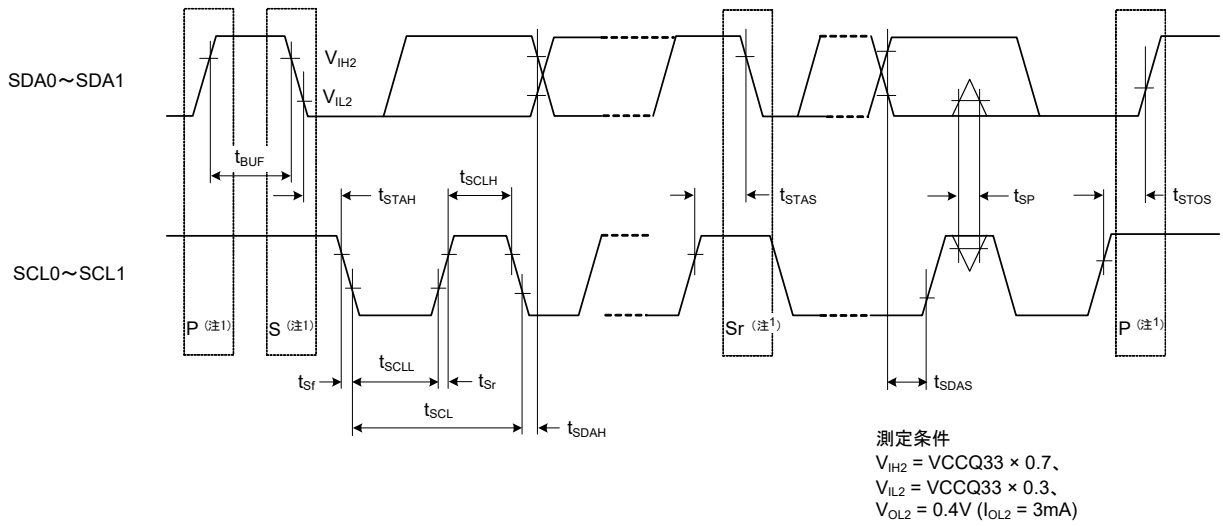
47.4.5.11　RIICa タイミング

表47.29　RIICaタイミング

出力負荷条件：V_{OL2} = 0.4V、I_{OL2} = 3mA

項目		記号	min（注2）	max（注2）	単位（注1）	測定条件
RIICa（Standard-mode）	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 1300	—	ns	図 47.64
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIICa（Fast-mode）	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 600	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	—（注4）	300	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	—（注4）	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷（注3）	C_b	—	400	pF	

注1.　t_{IICcyc}：RIICの内部基準クロック（IICϕ）の周期
注2.　（ ）外の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 00bの場合を示します。（ ）内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
注3.　Cbはバスラインの容量総計です。
注4.　Fast-modeのtsr/tsfのmin.規格は設定していません。



注 1. S、P、Sr はそれぞれ以下の条件を示します。
S: 開始条件
P: 停止条件
Sr: 再開始条件

図 47.64 RIICa バスインタフェース入出力タイミング

47.4.5.12　シリアルサウンドインタフェースタイミング

表47.30　シリアルサウンドインタフェースタイミング

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目		記号	Min.	Max.	単位	測定条件
SSI	AUDIO_CLK入力周波数	t_{AUDIO}	1	50	MHz	
	出力クロック周期	t_O	150	64000	ns	図47.65
	入力クロック周期	t_I	150	64000	ns	
	クロックハイレベル	t_{HC}	60	—	ns	
	クロックロウレベル	t_{LC}	60	—	ns	
	クロック立上り時間	t_{RC}	—	25	ns	
	データ遅延時間	t_{DTR}	− 5	25	ns	図47.66、図47.67
	セットアップ時間	t_{SR}	25	—	ns	
	ホールド時間	t_{HTR}	25	—	ns	
	WS変化エッジSSITXD0出力遅延	T_{DTRW}	—	25	ns	図47.68

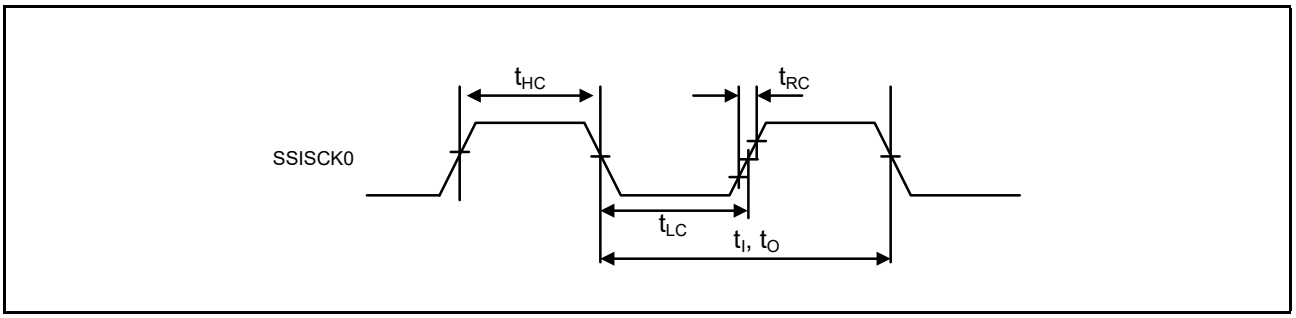


図 47.65　クロック入出力タイミング

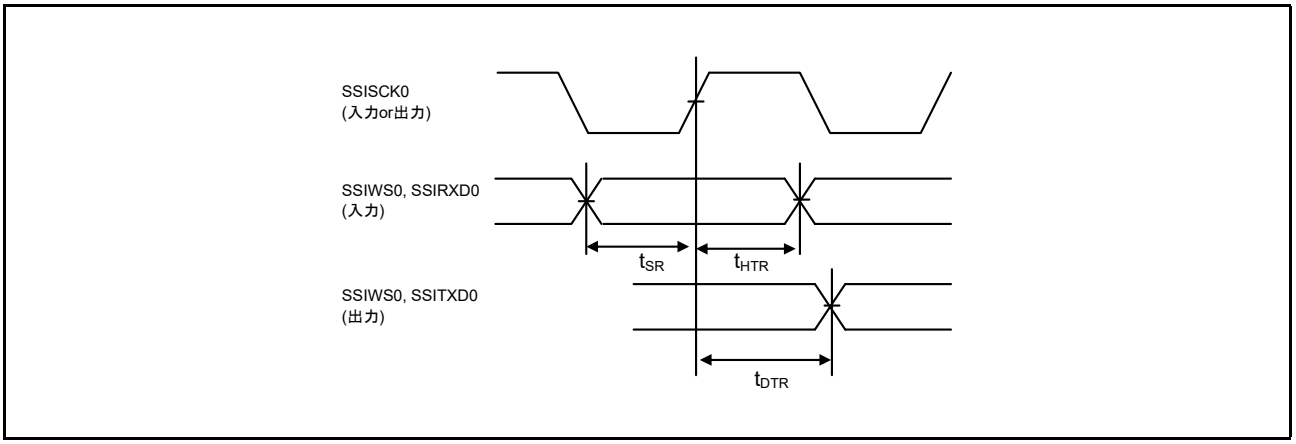


図 47.66　送受信タイミング（SSISCK0 立ち上がり同期）

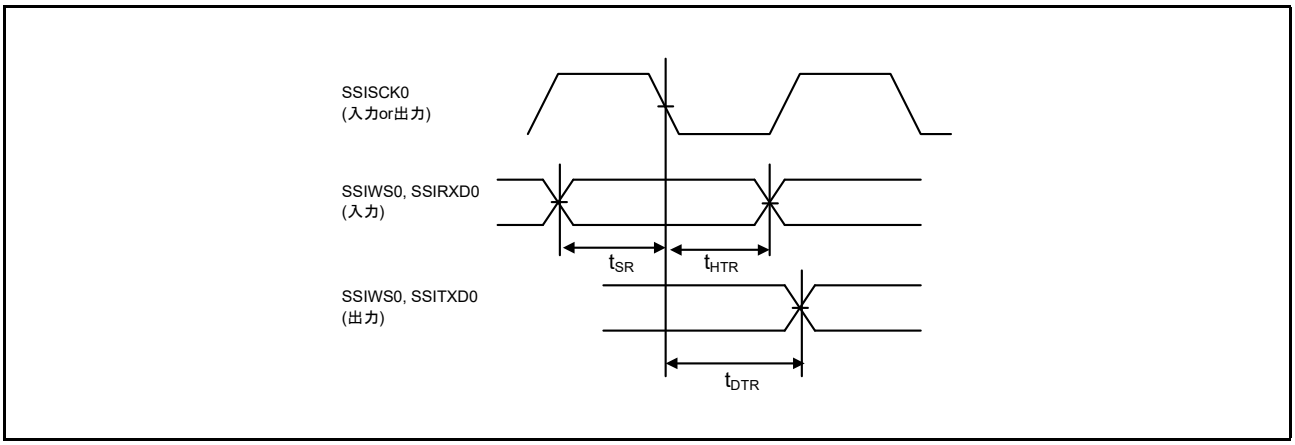
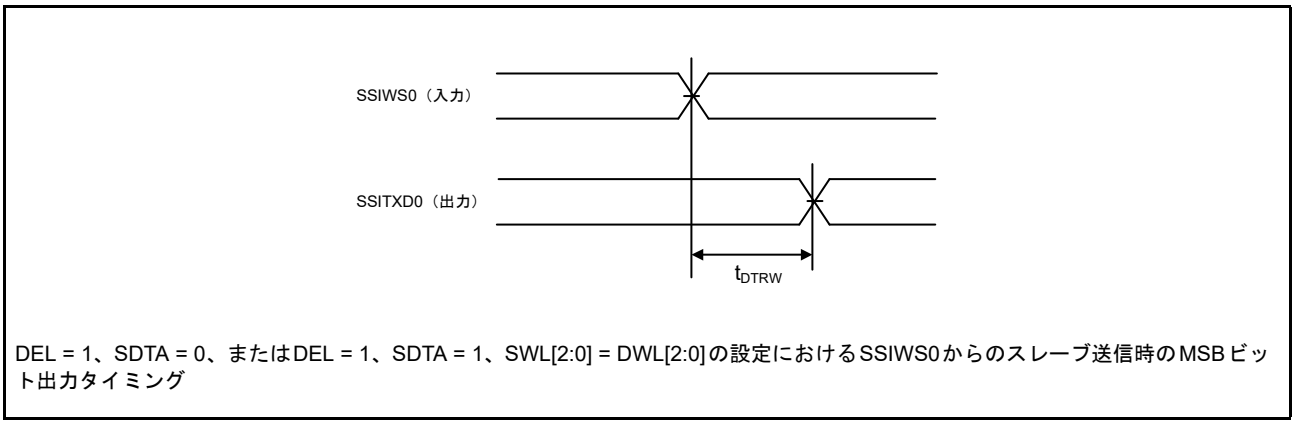


図 47.67　送受信タイミング（SSISCK0 立ち下がり同期）



DEL = 1、SDTA = 0、またはDEL = 1、SDTA = 1、SWL[2:0] = DWL[2:0]の設定におけるSSIWS0からのスレーブ送信時のMSBビット出力タイミング

図 47.68　SSIWS0 変化エッジからの SSITXD0 出力遅延

47.4.5.13 CAN インタフェースタイミング

表47.31 CANインタフェースタイミング

項目	記号	min	max	単位	測定条件
内部遅延時間	tnode	—	100	ns	図 47.69
送信レート		—	1	Mbps	

内部遅延時間 (tnode) = 内部送信遅延時間 (toutput) ＋内部受信遅延時間 (tinput)

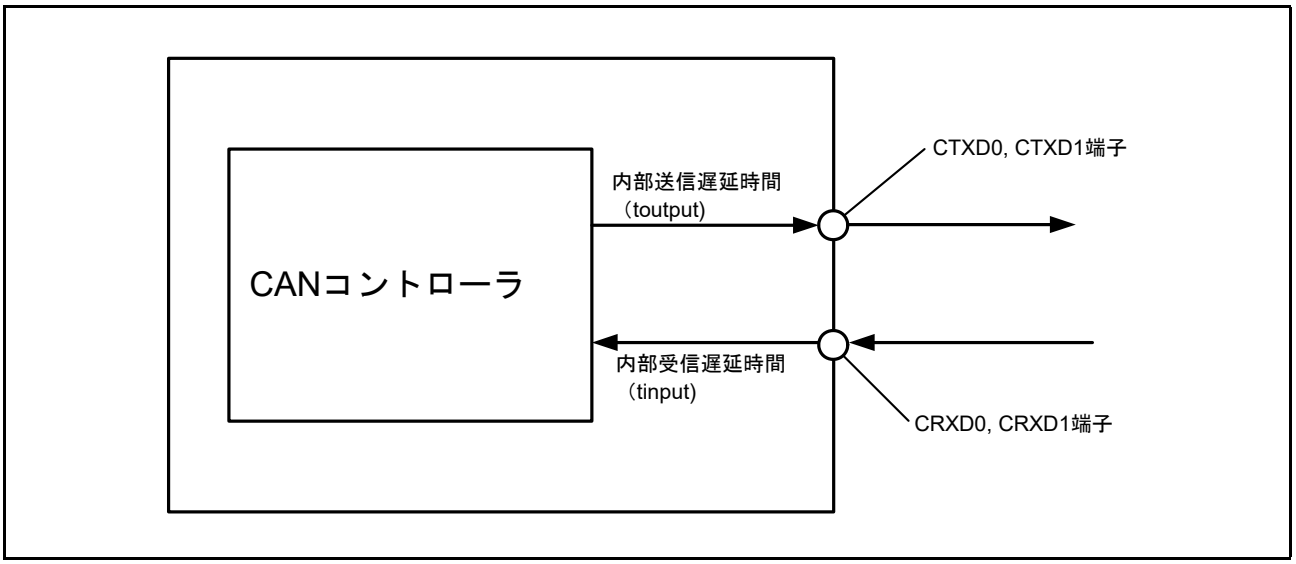


図 47.69 CAN インタフェース条件

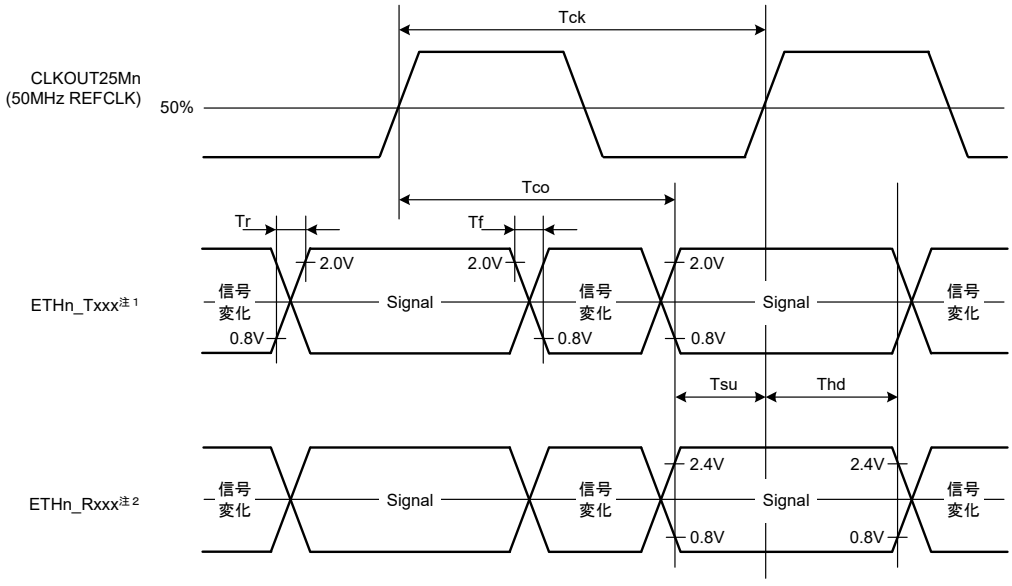
47.4.5.14　ETHERC タイミング

表47.32　ETHERCタイミング

出力負荷条件：V_{OH} = 2.0V、V_{OL1} = 0.8V、C = 25pF （RMII時）
V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF （MII時）

項目		記号	min	max	単位	測定条件
ETHERC (RMII)	CLKOUT25Mnサイクル時間	T_{ck}	20	—	ns	図47.70～図47.73
	ETHn_Txxx（注1）出力遅延時間	Tco	2	16	ns	
	ETHn_Rxxx（注2）セットアップ時間	T_{su}	4	—	ns	
	ETHn_Rxxx（注2）ホールド時間	T_{hd}	2	—	ns	
	ETHn_xxxx（注1）（注2）立ち上がり、立ち下がり時間	T_r, T_f	0.5	5	ns	
ETHERC (MII)	ETHn_TXCサイクル時間	t_{Tcyc}	40	—	ns	—
	ETHn_TXEN出力遅延時間	t_{TENd}	0	25	ns	図47.74
	ETHn_TXD0～ETHn_TXD3出力遅延時間	t_{MTDd}	0	25	ns	
	ETHn_TXER出力遅延時間	t_{TERd}	—	25	ns	図47.75
	ETHn_RXCサイクル時間	t_{TRcyc}	40	—	ns	—
	ETHn_RXDVセットアップ時間	t_{RDVs}	10	—	ns	図47.76
	ETHn_RXDVホールド時間	t_{RDVh}	10	—	ns	
	ETHn_RXD0～ETHn_RXD3セットアップ時間	t_{MRDs}	10	—	ns	
	ETHn_RXD0～ETHn_RXD3ホールド時間	t_{MRDh}	10	—	ns	
	ETHn_RXERセットアップ時間	t_{RERs}	10	—	ns	図47.77
	ETHn_RXERホールド時間	t_{RERh}	10	—	ns	

注1.　ETHn_TXEN、ETHn_TXD1、ETHn_TXD0
注2.　ETHn_RXDV、ETHn_RXD1、ETHn_RXD0、ETHn_RXER
n = 0～2



注 1.　ETHn_TXEN、ETHn_TXD1、ETHn_TXD0
注 2.　ETHn_RXDV、ETHn_RXD1、ETHn_RXD0、ETHn_RXER

図 47.70　CLKOUT25Mn と RMII 信号とのタイミング

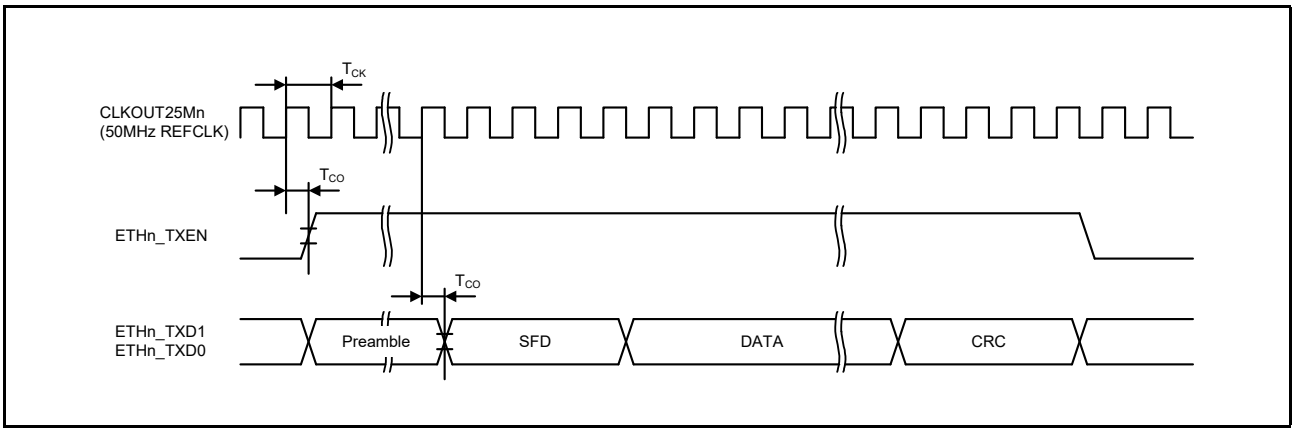


図 47.71 RMII 送信タイミング

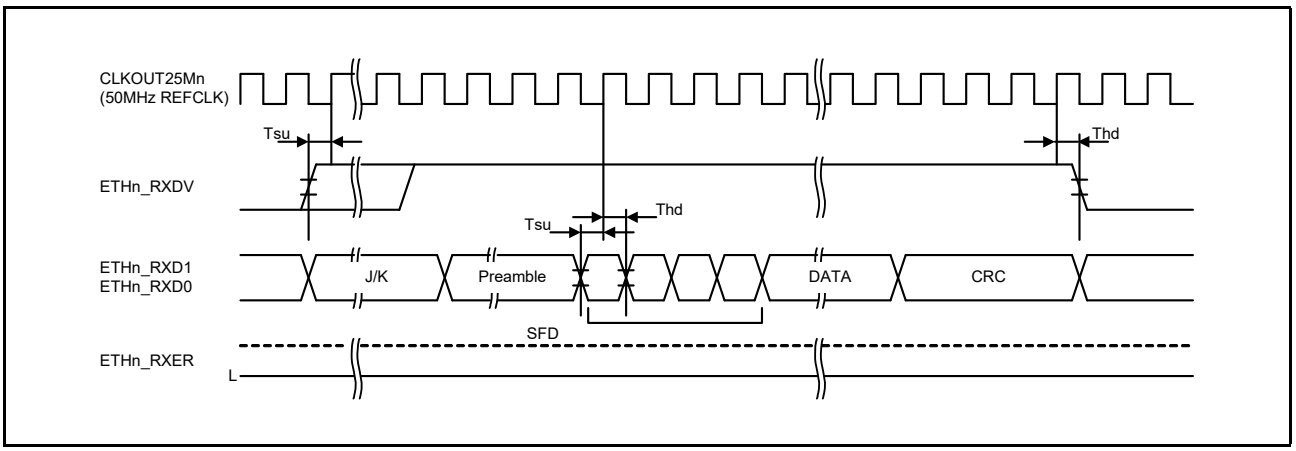


図 47.72 RMII 受信タイミング（正常動作時）

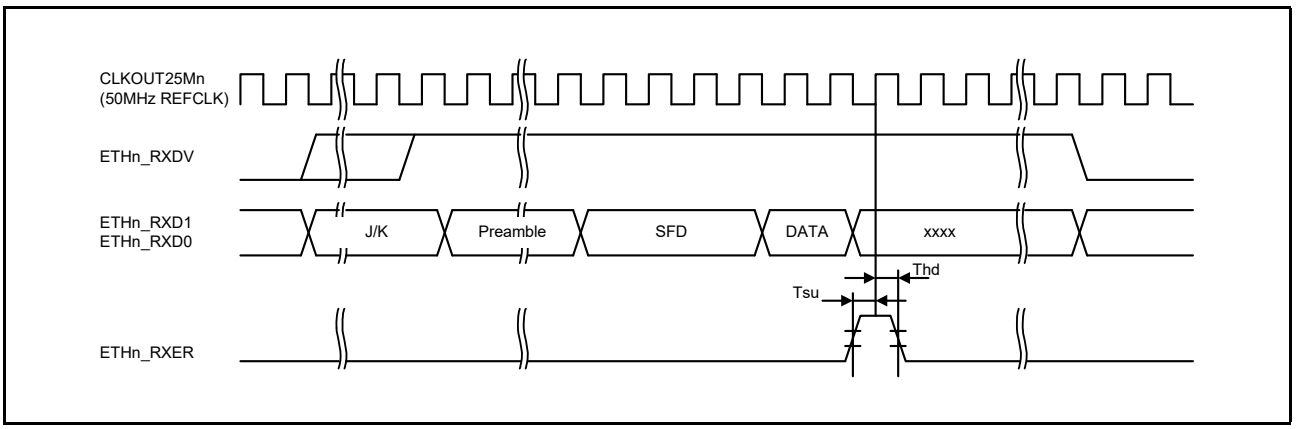


図 47.73 RMII 受信タイミング（エラー発生ケース）

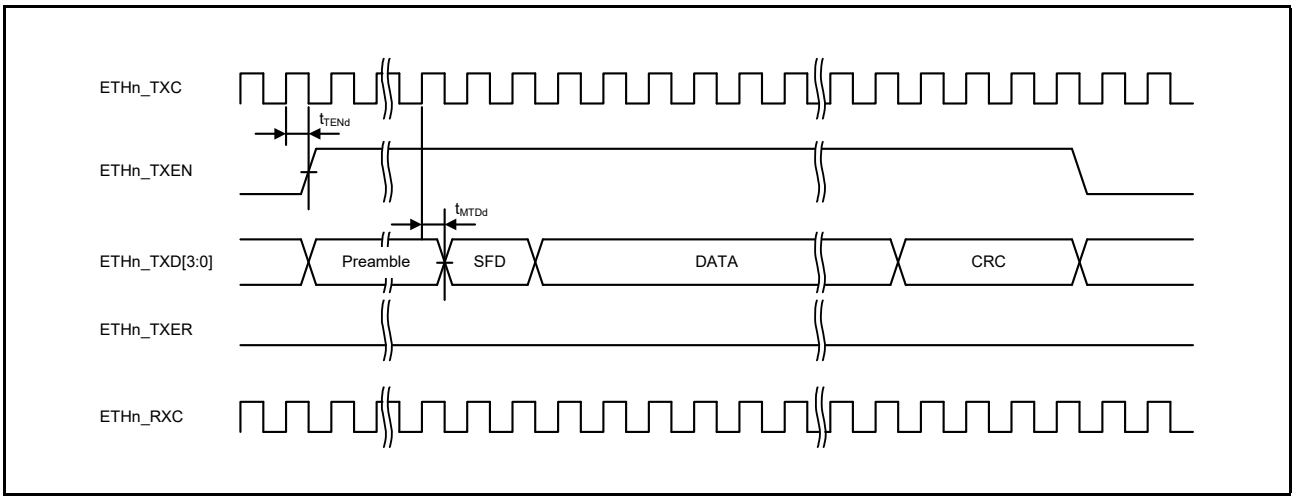


図 47.74 MII 送信タイミング

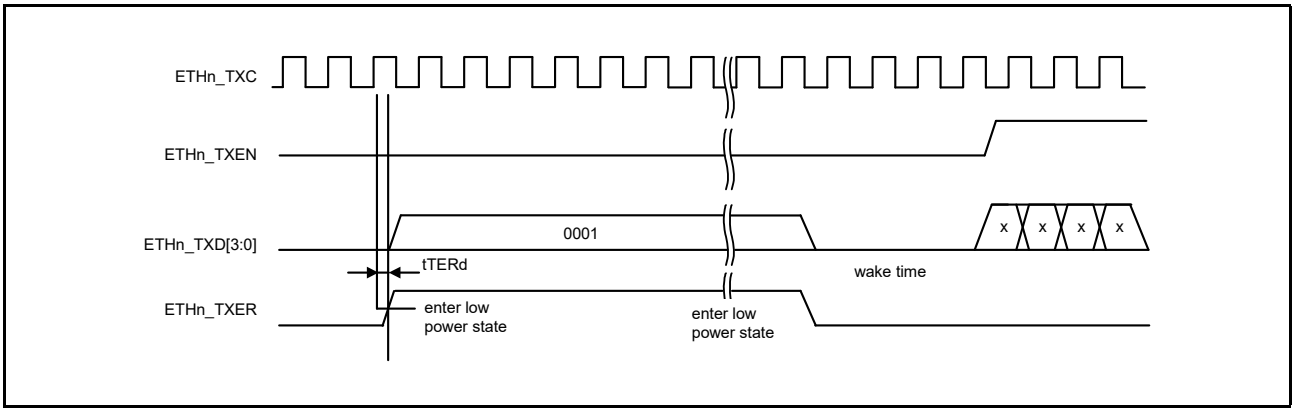


図 47.75 MII 送信タイミング

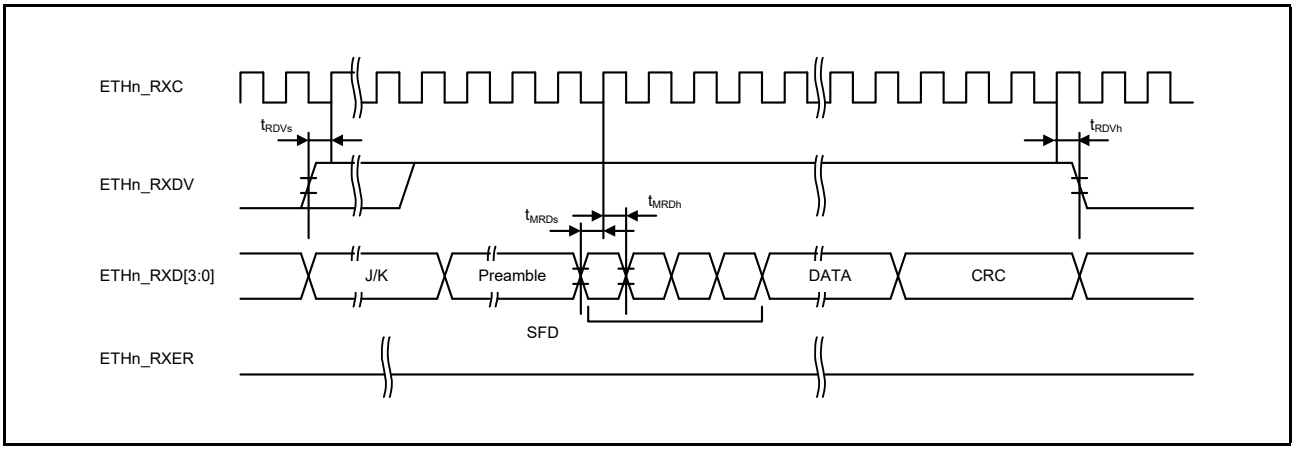


図 47.76 MII 受信タイミング（正常動作時）

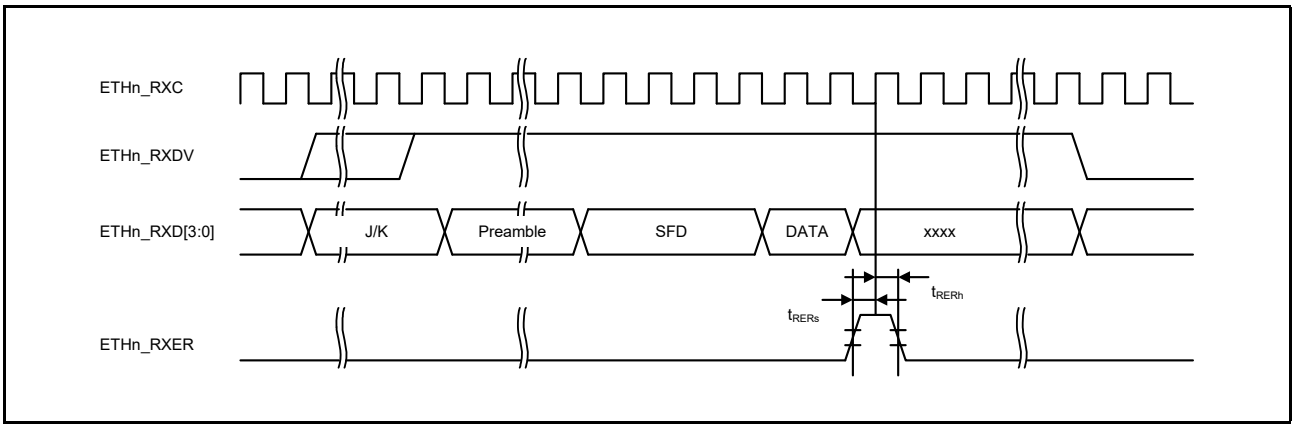


図 47.77 MII 受信タイミング（エラー発生ケース）

47.4.5.15　シリアル・マネージメント・インタフェースタイミング

表47.33　シリアル・マネージメント・インタフェース

出力負荷条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目		記号	min	max	単位	測定条件
MDIO	ETH_MDC出力周期	t_{MDC}	80	—	ns	図47.78
	ETH_MDIO入力設定時間（対 ETH_MDC ↑）	t_{SMDIO}	10	—	ns	
	ETH_MDIO入力保持時間（対 ETH_MDC ↑）	t_{HMDIO}	0	—	ns	
	ETH_MDIO出力遅延時間（対 ETH_MDC ↓）	t_{DMDIO}	—	20	ns	

注.　MII2_MDCは ETH_MDCと同様、またMII2_MDIOはETH_MDIOと同様です。

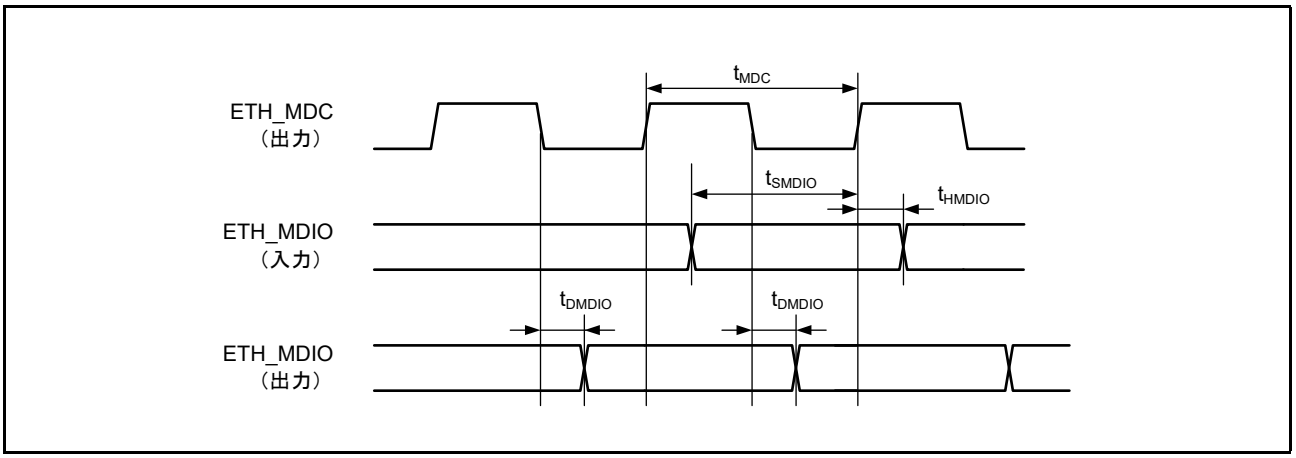


図 47.78　シリアル・マネージメント アクセスタイミング

47.4.5.16　ΔΣ インタフェースタイミング

表47.34　ΔΣインタフェースタイミング

条件：V_{OH} = VCCQ33 × 0.5、V_{OL1} = VCCQ33 × 0.5、C = 30pF

項目			記号	min	max	単位	測定条件
DSMIF	クロック周期	マスタ	t_{DScyc}	1	1	t_{DCcyc}	図 47.79
		スレーブ		66.67	200	ns	
	クロックハイレベル	マスタ	t_{DSCKWH}	16	—	ns	
		スレーブ		26.67	—	ns	
	クロッククロウレベル	マスタ	t_{DSCKWL}	16	—	ns	
		スレーブ		26.67	—	ns	
	セットアップ時間	マスタ	t_{SU}	15	—	ns	図 47.80、図 47.81
		スレーブ		10	—	ns	
	ホールド時間	マスタ	t_H	0	—	ns	
		スレーブ		10	—	ns	

注．　t_{DCcyc}はΔΣインタフェース用クロック（DSCLK0, DSCLK1）の1サイクル時間を示します。

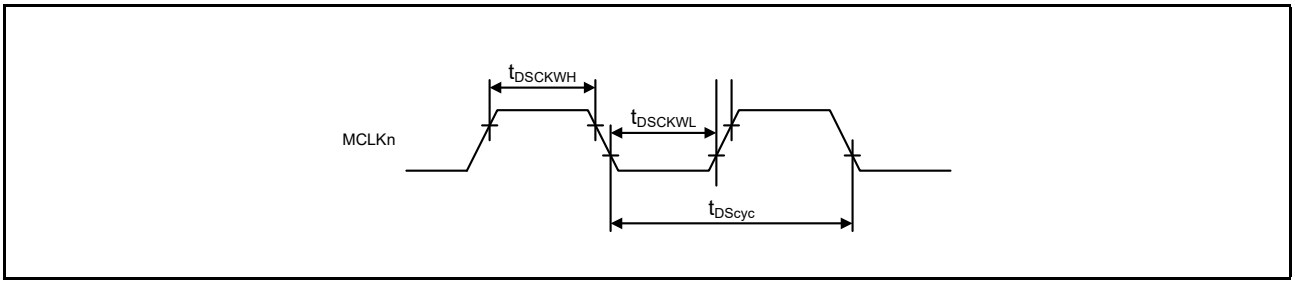


図 47.79　クロック入出力タイミング

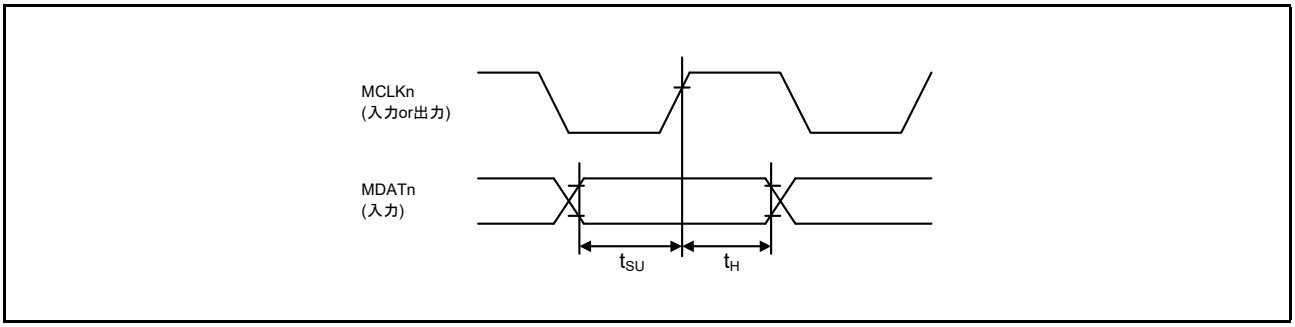


図 47.80　受信タイミング（MCLKn 立ち上がり同期）

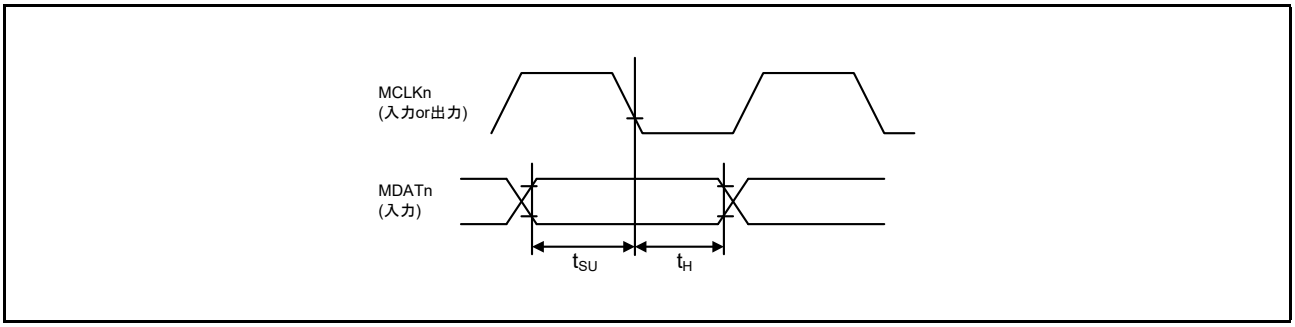


図 47.81　受信タイミング（MCLKn 立ち下がり同期）

47.5　USB 特性

- 条件：VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ～ 1.26V,
  VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 ～ 3.6V
  VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V,
  Tj = －40 ～ 125 ℃

注．　176 ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表47.35　内蔵USB フルスピード特性（USB_DP、USB_DM端子特性）

項目	記号	min	typ	max	単位	測定条件
立ち上がり時間	t_{FR}	4	—	20	ns	図47.82
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり／立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%	t_{FR}/t_{FF}

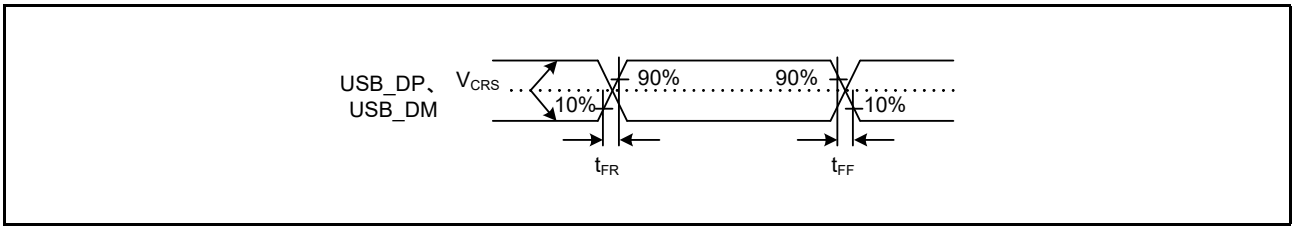


図 47.82　USB_DP、USB_DM 出力タイミング（フルスピード時）

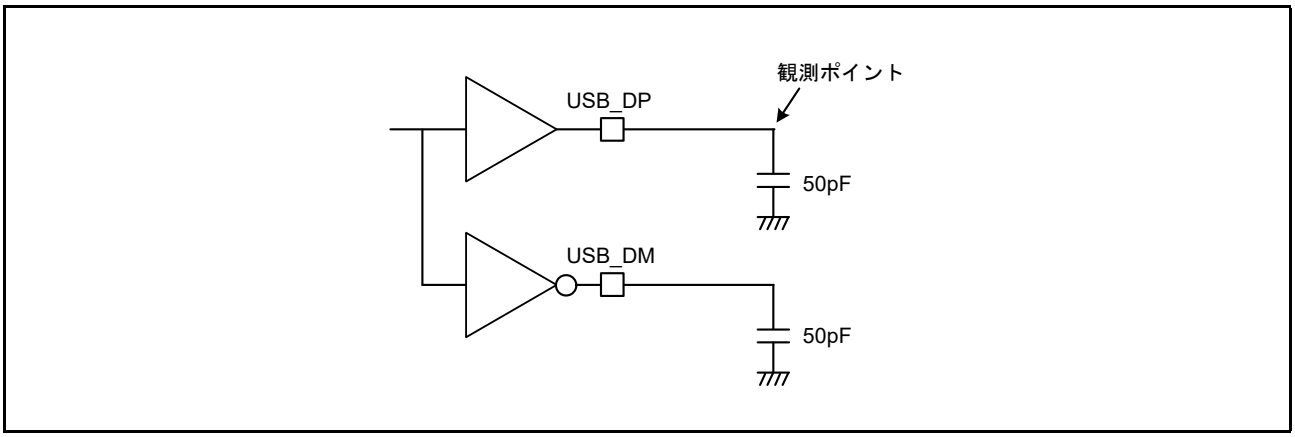


図 47.83　測定回路（フルスピード時）

表47.36　　内蔵USBハイスピード特性（USB_DP、USB_DM端子特性）

項目		記号	min	typ	max	単位	測定条件
AC特性	立ち上がり時間	t_{HSR}	500	—	—	ps	図47.84
	立ち下がり時間	t_{HSF}	500	—	—	ps	
	出力抵抗	Z_{HSDRV}	40.5	—	49.5	Ω	

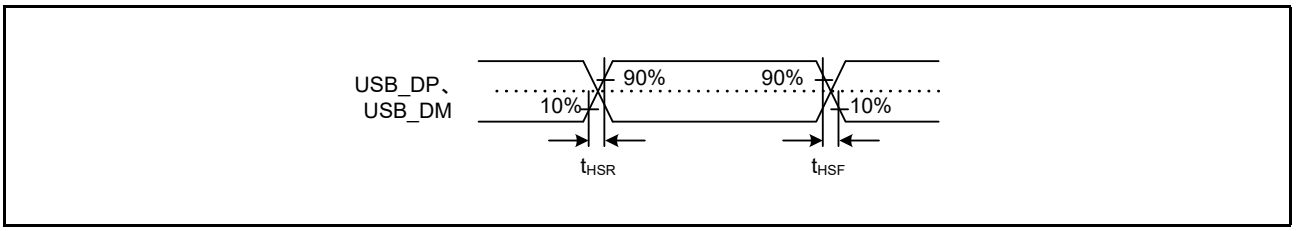


図 47.84　USB_DP、USB_DM 出力タイミング（ハイスピード時）

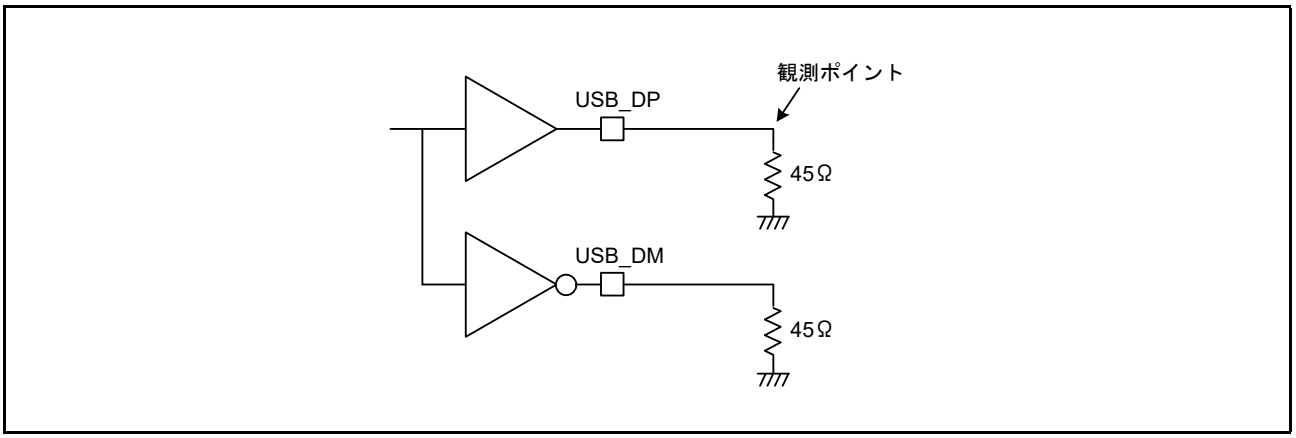


図 47.85　測定回路（ハイスピード時）

47.6　A/D 変換特性

- 条件：VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ～ 1.26V,
  VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 ～ 3.6V
  VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V,
  Tj = – 40 ～ 125 ℃

注 .　176 ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表47.37　12ビットA/D（ユニット0）変換特性

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
アナログ入力容量		—	—	30	pF	
チャネル専用サンプルホールド回路使用時（AN000～AN003） 断線検出アシスト機能使用時	変換時間（注1） （PCLKF = 60MHz時） 許容信号源インピーダンス max = 1.0kΩ	1.2 (0.4 + 0.4) （注2）	—	3.6	μs	• チャネル専用サンプルホールド回路のサンプリング24ステート • サンプリング24ステート
	オフセット誤差	—	—	± 7.5	LSB	
	フルスケール誤差	—	—	± 7.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 7.5	LSB	
	DNL 微分非直線性誤差	—	—	± 3.0	LSB	
	INL 積分非直線性誤差	—	—	± 4.0	LSB	
	サンプルホールド回路のホールド特性	—	—	3.2	μs	自己診断＋4ch同時サンプリング
	ダイナミックレンジ	0.25	—	VREFH0 – 0.25	V	
チャネル専用サンプルホールド回路使用時（AN000 ～ AN003） 断線検出アシスト機能未使用時	変換時間（注1） （PCLKF = 60MHz時） 許容信号源インピーダンス max = 1.0kΩ	1.2 (0.4 + 0.4) （注2）	—	3.6	μs	• チャネル専用サンプルホールド回路のサンプリング24ステート • サンプリング24ステート
	オフセット誤差	—	—	± 6.5	LSB	
	フルスケール誤差	—	—	± 6.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.5	LSB	
	DNL 微分非直線性誤差	—	—	± 3.0	LSB	
	INL 積分非直線性誤差	—	—	± 4.0	LSB	
	サンプルホールド回路のホールド特性	—	—	3.2	μs	自己診断＋4ch同時サンプリング
	ダイナミックレンジ	0.25	—	VREFH0 – 0.25	V	
チャネル専用サンプルホールド回路未使用時（AN000～AN007）	変換時間（注1） （PCLKF = 60MHz時） 許容信号源インピーダンス max = 1.0kΩ	0.483 (0.267) （注2）	—	—	μs	サンプリング16ステート
	オフセット誤差	—	—	± 5.0	LSB	
	フルスケール誤差	—	—	± 5.0	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.0	LSB	
	DNL 微分非直線性誤差	—	—	± 2.5	LSB	
	INL 積分非直線性誤差	—	—	± 3.0	LSB	

注.　上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合、上記規格値に収まらない可能性があります
注1.　変換時間はサンプリング時間と比較時間の合計（43. 12ビットA/Dコンバータ（S12ADCa）　図43.31、図43.32のtSPLSH＋tCONV）です。各項目には、測定条件にサンプリングステート数を示します。
注2.　（　）はサンプリング時間を示します。

表47.38　12ビットA/D（ユニット1）変換特性

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
変換時間（注1）（PCLKG = 60MHz時）	許容信号源インピーダンス max = 1.0kΩ	0.883 (0.667)（注2）	—	—	μs	サンプリング40ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	—	± 6.0	LSB	
フルスケール誤差		—	—	± 6.0	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	—	± 6.0	LSB	
DNL 微分非直線性誤差		—	—	± 3.0	LSB	
INL 積分非直線性誤差		—	—	± 4.0	LSB	

注.　上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合、上記規格値に収まらない可能性があります
注1.　変換時間はサンプリング時間と比較時間の合計（43. 12ビットA/Dコンバータ（S12ADCa）　図43.31、図43.32のtSPLSH＋tCONV）です。各項目には、測定条件にサンプリングステート数を示します。
注2.　（　）はサンプリング時間を示します。

47.7　温度センサ特性

- 条件：VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ～ 1.26V,
  VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 ～ 3.6V
  VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V,
  Tj = －40 ～ 125 ℃

注．　176 ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表47.39　温度センサ特性

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	℃	
温度傾斜	—	4.1	—	mV/ ℃	
出力電位（@25℃）	—	1.21	—	V	
温度センサ起動時間	—	—	30	μs	
サンプリング時間	4.25	—	—	μs	ADSSTRT.SST[7:0] = 255ステート（PCLKF[ADC(unit0)のサンプリングCLK] = 60MHz時の場合）

47.8　発振停止検出タイミング

表47.40　発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
クロック切替え時間	t_{dr}	—	—	1	ms	図 47.86

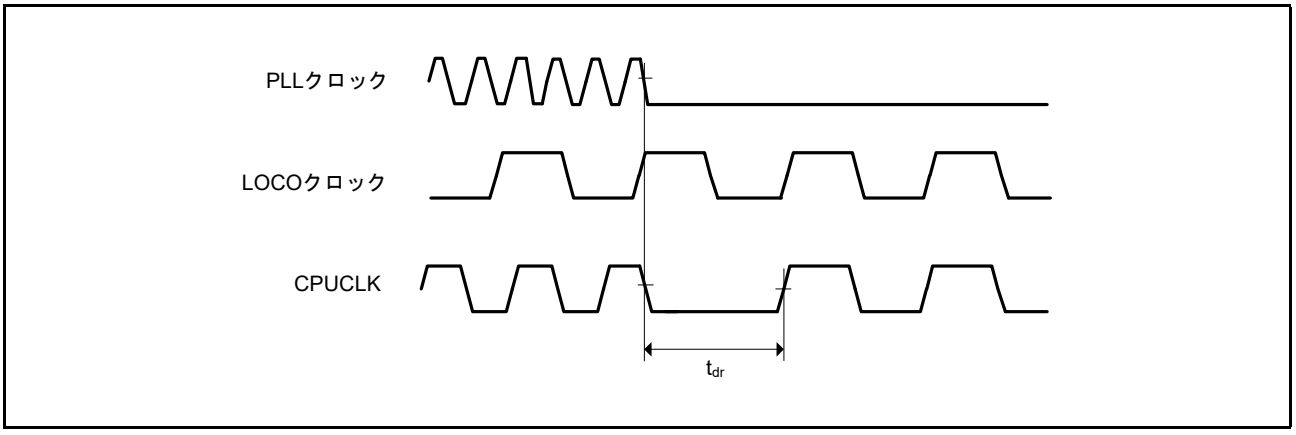


図 47.86　発振停止検出タイミング

47.9　デバッグインタフェースタイミング

表47.41　デバッグインタフェースタイミング

出力負荷条件：V_{OH} = VCCQ33 – 0.5V、V_{OL1} = 0.4V

項目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	30	—	ns	図47.87
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKロウレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	5	—	ns	図47.88 出力負荷： 30pF
TDIホールド時間	t_{TDIH}	5	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	5	—	ns	
TMS/SWDIOホールド時間	t_{TMSH}	5	—	ns	
SWDIO遅延時間	t_{SWDO}	—	15	ns	
TDO遅延時間	t_{TDOD}	—	15	ns	
キャプチャレジスタセットアップ時間	t_{CAPTS}	5	—	ns	図47.89
キャプチャレジスタホールド時間	t_{CAPTH}	5	—	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	—	15	ns	
トレースクロック周期	t_{TCYC}	26.6	—	ns	図47.90 出力負荷： 15pF
トレースデータ遅延時間	t_{TDT}	0.25 × t_{TCYC} – 2	0.25 × t_{TCYC} + 2	ns	

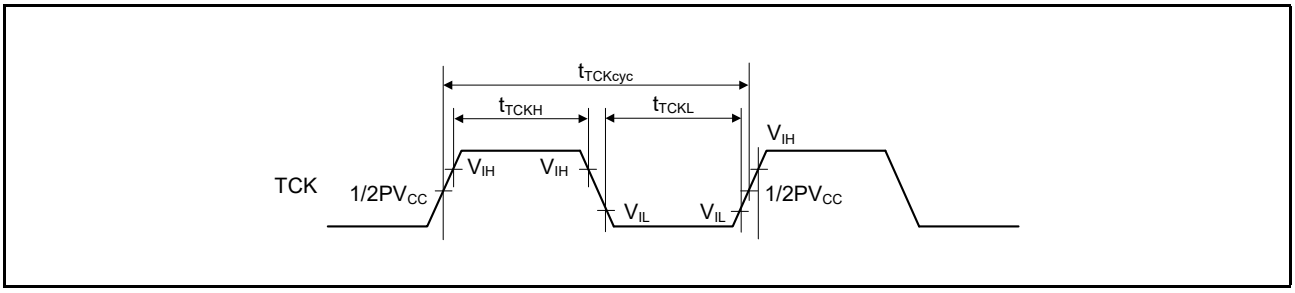


図 47.87　TCK 入力タイミング

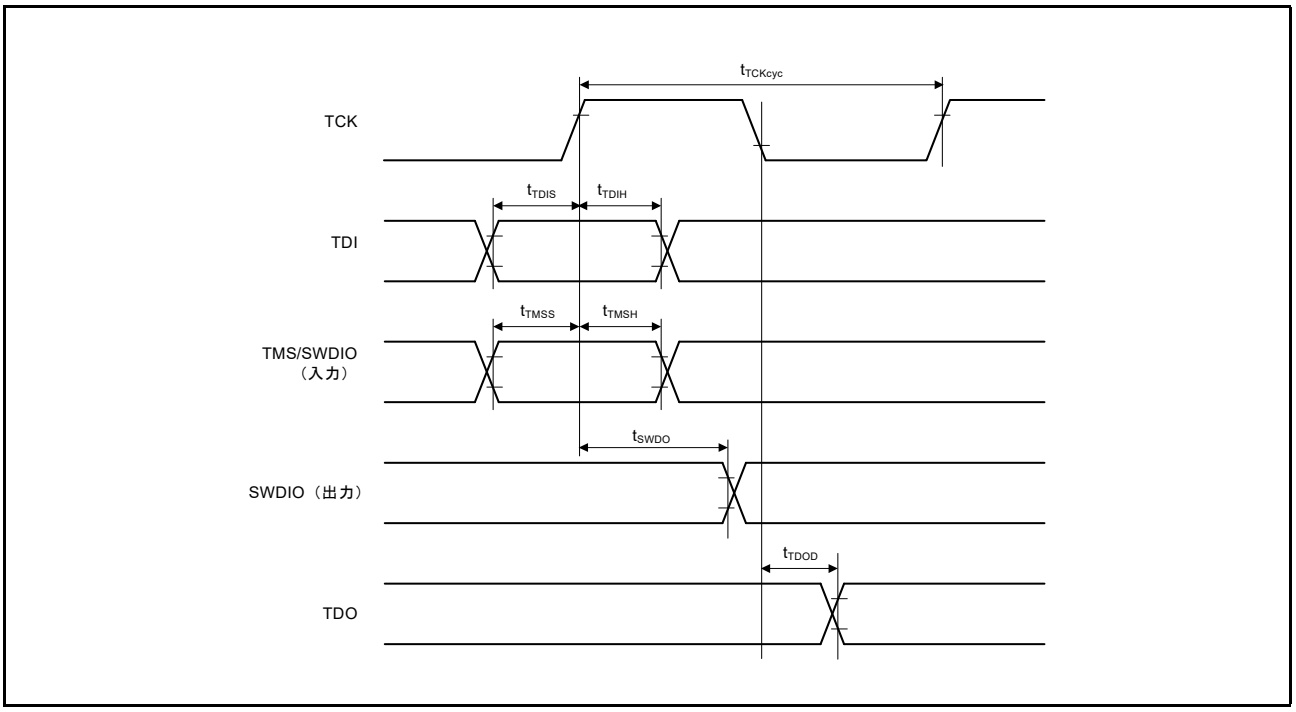


図 47.88　データ転送タイミング

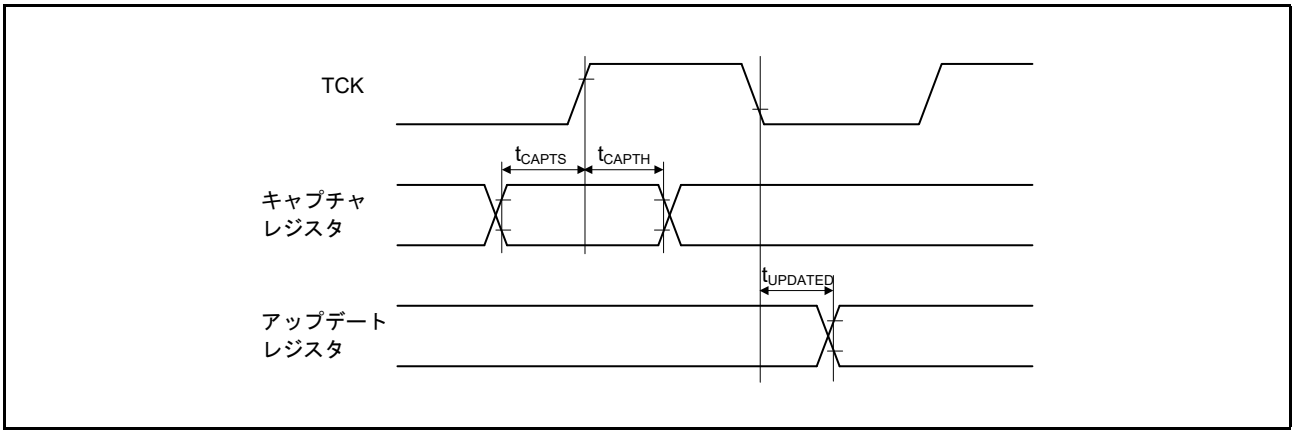


図 47.89　バウンダリスキャン入出力タイミング

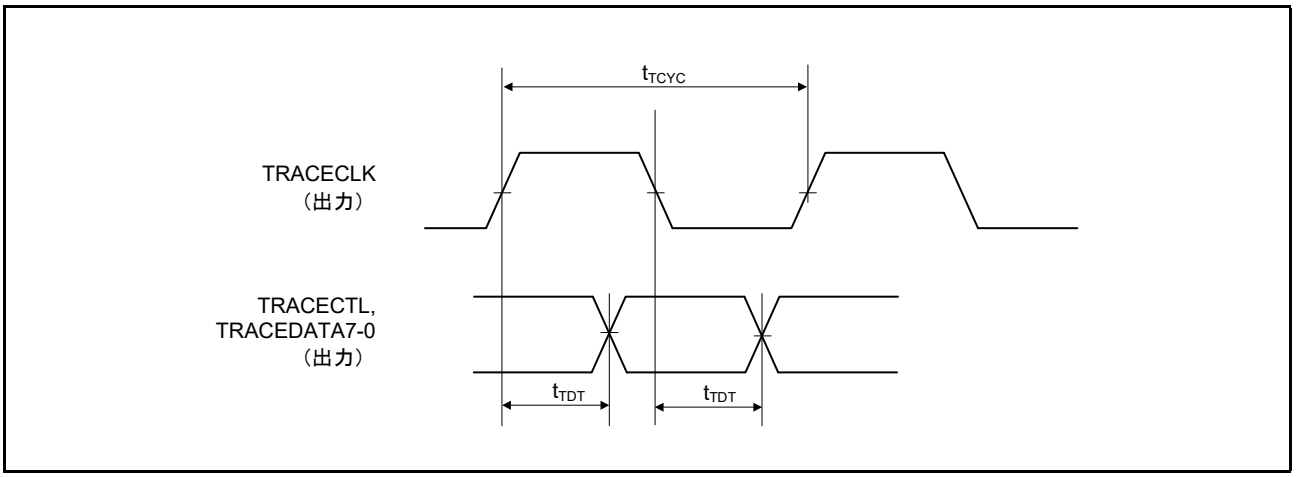
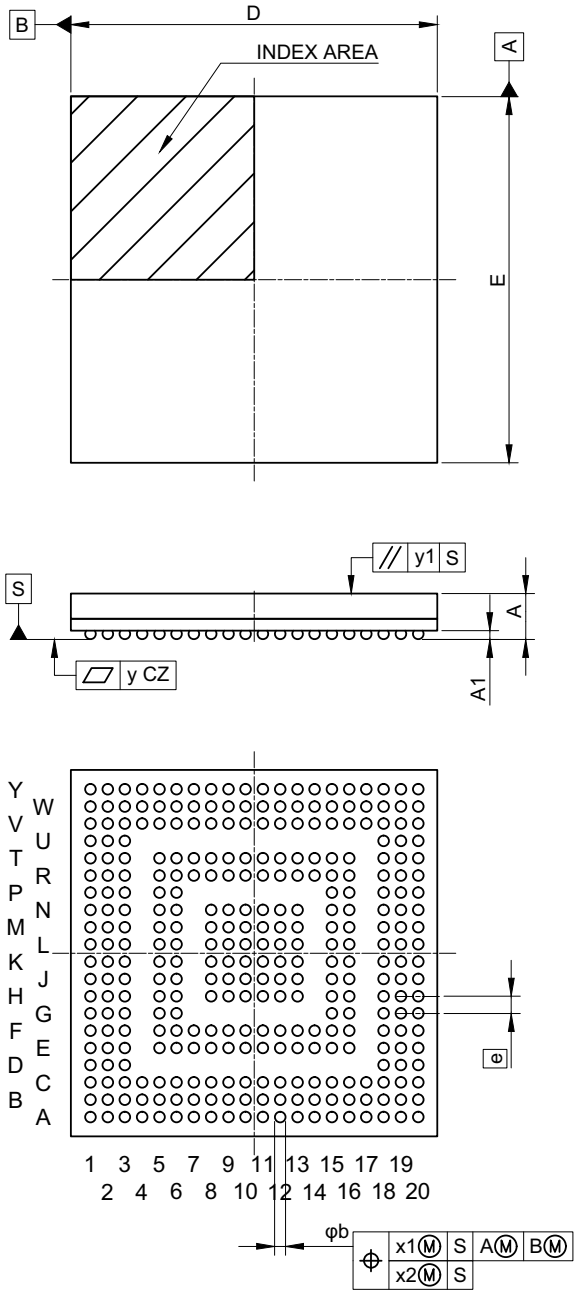


図 47.90 トレースインタフェースタイミング

付録 1. 外形寸法図

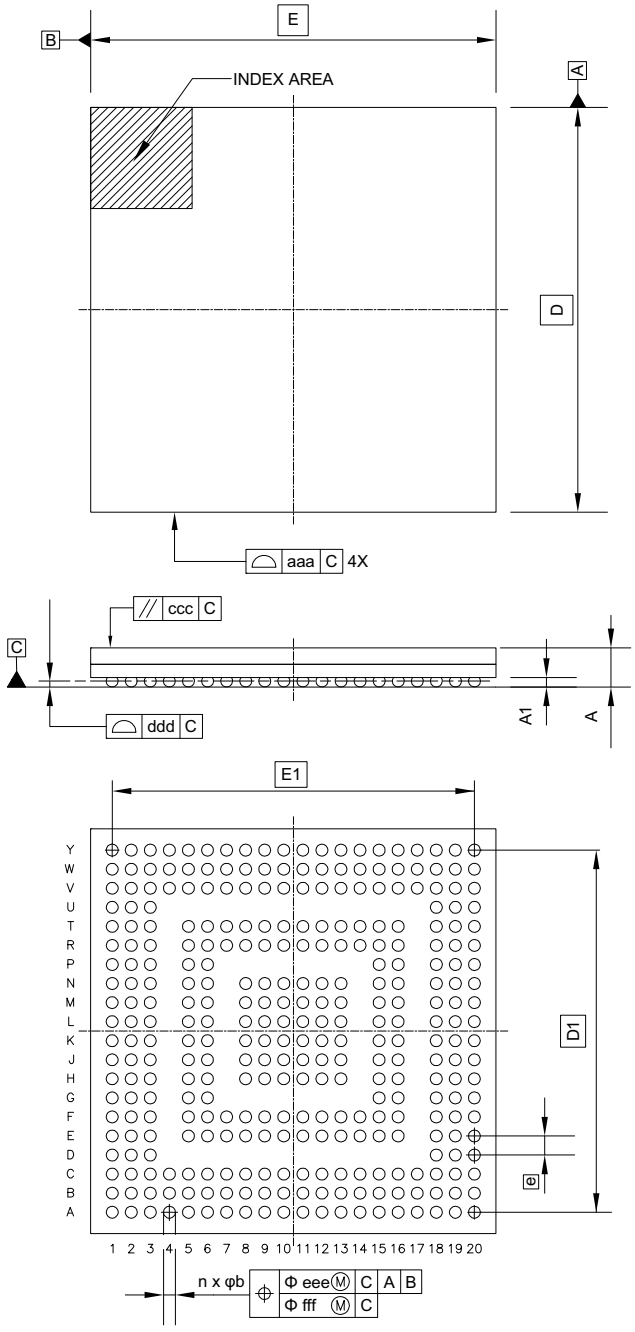
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-FBGA320-17x17-0.80	PRBG0320GA-A	-	1.16



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	16.80	17.00	17.20
E	16.80	17.00	17.20
A	—	—	2.30
A1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x1	—	—	0.20
x2	—	—	0.08
y	—	—	0.10
y1	—	—	0.20

図 A. 320 ピン FBGA（PRBG0320GA-A）

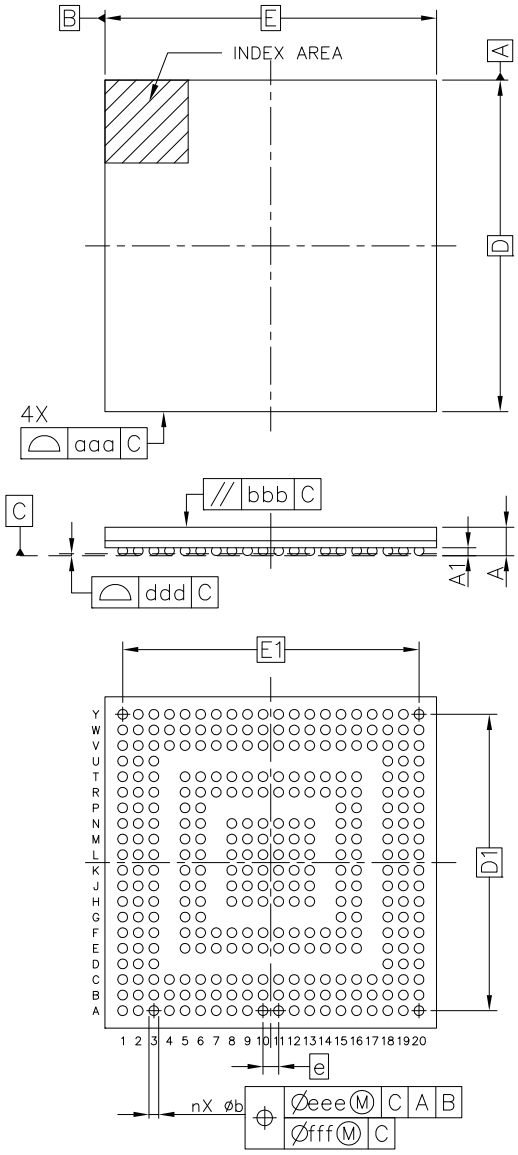
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA320-17x17-0.80	PRBG0320GB-A	0.92



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	17.00	—
E	—	17.00	—
D1	—	15.20	—
E1	—	15.20	—
A	—	—	1.75
A1	0.35	—	—
b	0.45	0.50	0.55
e	—	0.80	—
aaa	—	—	0.20
ccc	—	—	0.20
ddd	—	—	0.12
eee	—	—	0.20
fff	—	—	0.08
n	—	320	—

図 B. 320 ピン FBGA（PRBG0320GB-A）

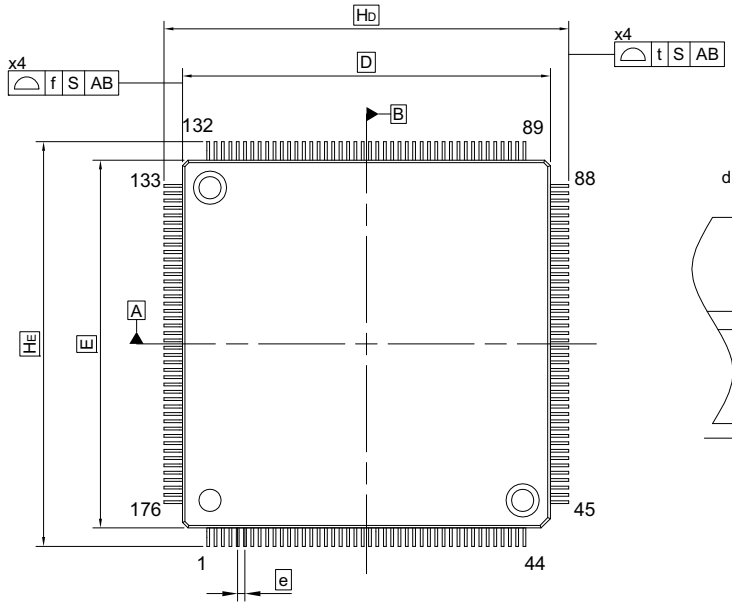
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-LFBGA320-17×17-0.80	PLBG0320GB-A	0.77

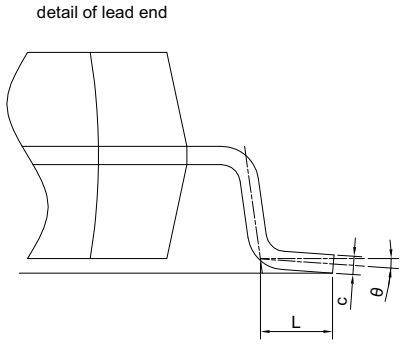


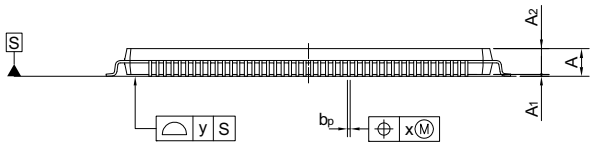
Reference Symbol	Dimension in Millimeters		
	MIN.	NOR.	MAX.
A	-	-	1.56
A1	0.35	-	-
D	-	17.00	-
E	-	17.00	-
D1	-	15.20	-
E1	-	15.20	-
b	0.45	0.50	0.55
e	-	0.80	-
aaa	-	-	0.15
bbb	-	-	0.20
ddd	-	-	0.10
eee	-	-	0.20
fff	-	-	0.08
n	-	320	-

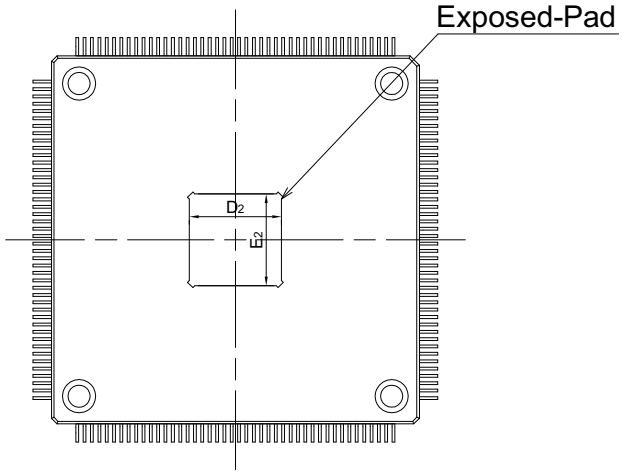
図 C. 320 ピン FBGA（PLBG0320GB-A）

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HLFQFP176-20x20-0.40	PLQP0176LD-A	1.32









Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	—	20.00	—
D	—	20.00	—
A_2	—	1.40	—
H_D	—	22.00	—
H_E	—	22.00	—
f	—	—	0.20
A	—	—	1.70
A_1	0.05	0.10	0.15
L	—	0.50	—
b_p	0.13	—	0.23
c	0.09	—	0.20
e	—	0.40	—
θ	0°	3°	8°
x	—	—	0.07
y	—	—	0.08
t	—	—	0.25
D_2	—	5.00	—
E_2	—	5.00	—

図 D. 176 ピン HLFQFP（PLQP0176LD-A）

改訂記録	RZ/T1グループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.60	2014.11.14	—	初版発行
0.70	2014.12.22	特長	
		58	■動作温度範囲　タイトルと内容を修正
		1.　概要	
		68	表1.3 製品一覧表 (2/2)　注.　修正
		78	図1.3 ピン配置図（176 ピンHLQFP）　修正（端子番号33、34、38、39、91の端子名）
		83	表1.5 端子配置（320ピン FBGA）(5 / 7)　修正（端子番号M20、P19の端子名）
		84	表1.5 端子配置（320ピン FBGA）(6 / 7)　修正（端子番号R14、R19、R20、T9、V7、V8の端子名）
		85	表1.5 端子配置（320ピン FBGA）(7 / 7)　修正（端子番号Y16、Y17の端子名）
		86	表1.6 端子配置（176ピンHLQFP）(1 / 4)　修正（端子番号33、34、38、39の端子名）
		87	表1.6 端子配置（176ピンHLQFP）(2 / 4)　修正（端子番号58、59、60、79、82、83の端子名）
		88	表1.6 端子配置（176ピンHLQFP）(3 / 4)　修正（端子番号91、110の端子名）
		89	表1.6 端子配置（176ピンHLQFP）(4 / 4)　修正（端子番号136、153、154、155、156、157の端子名）
		96	表1.7 機能別端子一覧（320ピンFBGA）(7 / 10)　修正（ピン番号M20、P19のバス）
		97	表1.7 機能別端子一覧（320ピンFBGA）(8 / 10)　修正（ピン番号R8、R14、R19、R20、T9のバス）
		98	表1.7 機能別端子一覧（320ピンFBGA）(9 / 10)　修正（ピン番号V7、V8のバス）
		98	表1.7 機能別端子一覧（320ピンFBGA）(10 / 10)　修正（ピン番号Y16、Y17のバス）
		4.　アドレス空間	
		126	4.1 アドレス空間　説明文を修正
		127	図4.1 メモリマップ　図と注1.　修正
		5.　I/O レジスタ	
		203	表5.1 I/Oレジスタアドレス一覧 (73 / 87)　ADCMPANSER、ADCMPLERのアドレスとモジュールシンボルを修正、ADCMPANSERレジスタ行とADCMPLERレジスタ行をADCMPCRレジスタ行の次に移動
		7.　クロック発生回路	
		227	表7.1 クロック発生回路の仕様　PLL0回路の通信比の表記を修正
		228	表7.2 クロック発生回路の仕様（内部クロック）(1 / 2)　USBクロックM（USBMCLK）の周波数を修正
		233	7.2.1 システムクロックコントロールレジスタ（SCKCR）　ビット配置図　b17を予約ビットに修正、レジスタの内容表のb17を予約ビットに修正
		10.　デバッグインタフェース	
		272	図10.1 CoreSight 構成図　修正
		273	図10.2 CoreSight 構成図（R-IN Engine 搭載製品）　修正
		12.　割り込みコントローラ（ICUA）	
		294	12.2.4 ノンマスカブル割り込みステータスレジスタ（NMISR）　ビット配置図　b0のビット名を修正
		364	表12.3 Cortex-R4F／DMAC割り込みベクタテーブル (2 / 10)　ベクタ番号63の要因を修正
		368	表12.3 Cortex-R4F／DMAC割り込みベクタテーブル (6 / 10)　ベクタ番号169の要因を修正
		370	表12.3 Cortex-R4F／DMAC割り込みベクタテーブル (8 / 10)　ベクタ番号253行をReservedに修正
		14.　バスステートコントローラ	
		418	14.4.4 リフレッシュタイマコントロール／ステータスレジスタ（RTCSR）　レジスタの内容の表　b7のシンボルを修正
		15.　DMAコントローラ（DMACAa）	
		479	表15.1 DMACの仕様　転送データ単位のDMAC0の内容の誤記を修正、割り込み要求の内容を修正
		497	15.3.13 チャネルコンフィギュレーションレジスタn（CHCFG_n）　レジスタの内容の表のLOENの機能説明を修正
		510	15.3.22 デスクリプタインターバルレジスタn（DSCITVL_X（X = A,B））　レジスタの内容の表のDITVLの機能説明を修正
		534	15.4.3.2 ラウンドロビン・モード　説明文を修正
		536	表15.20 DMA転送要求信号の検出方法　修正（エッジ検出の機能）

Rev.	発行日	改訂内容	
		ページ	ポイント
0.70	2014.12.22	567	表15.29 DMA転送の設定例4（ディスクリプタ1）　2番目の見出しを修正（項目→内容）
		568	表15.30 DMA転送の設定例4（ディスクリプタ2）　修正（データ・サイズの項目　64ビット→256ビット）
		569	表15.32 ディスクリプタ設定　修正（CFG（Configuration）のディスクリプタ1、ディスクリプタ2、ディスクリプタ3）
		17.　I/Oポート	
		612	17.3.1 ポート方向レジスタ（PDR）　アドレス　誤記を修正
		19.　マルチファンクションタイマパルスユニット3（MTU3a）	
		698	表19.6　TPSC[2:0],TPSC2[2:0]（MTU0）　修正
		816	図19.43 32ビット位相計数モードの設定手順　誤記を修正（係数→計数）
		883	表19.78 MTU割り込み要因　修正（TCIV4、TCIV7の割り込み要因）
		20.　ポートアウトプットイネーブル3（POE3）	
		975	20.2.20 MTU3 端子選択レジスタ（M3SELR）　レジスタの内容の表のM3BSEL[3:0]とM3DSEL[3:0]のビット名を修正、M4BSEL[3:0] ビット（MTU4-B（MTIOC4B）/GPT チャネル2-A(GTIOC2A) 端子選択ビット）とM3DSEL[3:0] ビット（MTU3-D（MTIOC3D）/GPT チャネル0-B(GTIOC0B) 端子選択ビット）のタイトルと説明文を修正
		976	20.2.21 MTU4 端子選択レジスタ1（M4SELR1）　レジスタの内容の表のM4ASEL[3:0]とM4CSEL[3:0]のビット名を修正、M4ASEL[3:0] ビット（MTU4-A（MTIOC4A）/GPT チャネル1-A(GTIOC1A) 端子選択ビット）とM4CSEL[3:0] ビット（MTU4-C（MTIOC4C）/GPT チャネル1-B(GTIOC1B) 端子選択ビット）のタイトルと説明文を修正
		977	20.2.22 MTU4 端子選択レジスタ2（M4SELR2）　レジスタの内容の表のM4BSEL[3:0]とM4DSEL[3:0]のビット名を修正、M4BSEL[3:0] ビット（MTU4-B（MTIOC4B）/GPT チャネル2-A(GTIOC2A) 端子選択ビット）とM4DSEL[3:0] ビット（MTU4-D（MTIOC4D）/GPT チャネル2-B(GTIOC2B) 端子選択ビット）のタイトルと説明文を修正
		22. 16ビットタイマパルスユニット（TPUa）	
		1135	22.2.2 タイマモードレジスタ（TMDR）　注3.、注4.を修正
		28.　イーサネットMAC（ETHERC）	
		1337	表28.3 MAC機能の選択方法（R-IN Engine搭載製品）　MAC[2:0] = 001、= 101のMedia I/F Port 2を修正
		1337	表28.4 MAC機能の選択方法　MAC[2:0] = 011のMedia I/F Port 1を修正
		1358	28.2.2.17 LPI CLIENT タイミング制御レジスタ（GMAC_LPI_TIMING）　ビット配置図　b13,b11,b6,b5,b3,b2のリセット後の値を修正
		29.　イーサネットスイッチ	
		1382	29.2.1.3 イーサネットスイッチ動作モード設定レジスタ（ETHSWMD）　注.を削除、ビット配置図のb2とb0を予約ビットに修正、レジスタの内容の表のb0とb2を予約ビットに修正
		1423	29.2.5.8 タイマ周期イベント生成レジスタ（ATIME_EVT_PERIOD）　ビット配置図のb29、b28、b27、b25、b24、b23、b20、b19、b17、b15、b14、b11、b9リセット後の値を修正
		30.　EtherCATスレーブ・コントローラ（R-IN Engine搭載製品のみ）	
		1496	30.4.2 リビジョン・レジスタ（REVISION）　ビット配置図のb1とb0のリセット後の値を修正
		31.　USB2.0HSホストモジュール（USBh）	
		1669	31.5.1 外部供給クロック　説明文を修正
		1670	図31.6 クロック系統図　修正（HOSTクロックとHCLK_ROOT、PHYDCLK48、PHYDCLK60を削除）
		1674	31.6.3 割り込み信号のクリアに要する時間について　（1）ホスト・ロジック　説明文を修正
		33.　FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1805	33.3.10 FIFO コントロールレジスタ（FCR）　レジスタの内容表のRFRSTとTFRSTの機能説明を修正
		34.　I2Cバスインタフェース（RIICa）	
		1870	34.2.14 I2C バスビットレートHigh レジスタ（ICBRH）　注1.を修正
		1871	表34.5 転送速度に対するICBRH、ICBRLレジスタの設定例　表の内容を修正、注.の誤記を修正
		42.　エラーコントロールモジュール（ECM）	
		2295	表42.2 ECMエラー入力 (1 / 2)　エラー要因番号1～3のモジュールと機能を修正
		2299	42.2.3 ECM マスタ／チェッカエラーソースステータスレジスタ0（ECMmESSTR0（m = M/C））　レジスタの内容の表　ECMmSSE000、ECMmSSE001、ECMmSSE002の機能説明を修正
		2333	42.2.23 ECMPCMD1 ― ECM 保護コマンドレジスタ　レジスタの内容の表　修正（b7-b0とb31-b8のシンボル、ビット名、機能を入れ替え）
		2357	42.3.4.1 保護シーケンス解除　3.の説明文を修正
		43.　12ビットA/Dコンバータ（S12ADCa）	
		2398	43.2.18 A/D コンペアチャネル選択拡張レジスタ（ADCMPANSER）　アドレスを修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.70	2014.12.22	2400	43.2.20 A/D コンペアレベル拡張レジスタ（ADCMPLER） アドレスを修正
		46. RAM（製品オプション）	
		2480	表46.1 RAMの仕様 項目を修正（RAMアドレス（Cortex-R4からのアクセス）、RAMアドレス（R-IN Engine搭載製品）（Cortex-M3からのアクセス））、RAMアドレス（R-IN Engine搭載製品）（Cortex-M3からのアクセス）の内容を修正
		2481	46.2.1 プロテクトコマンドレジスタ（RAMPCMD） アドレスを修正
		2483	46.2.3 ECC デコーダコンフィグレーションレジスタ（RAMEDC）（R-IN Engine 搭載製品） アドレスを修正
		2486	46.2.5 ECC エンコーダコンフィグレーションレジスタ（RAMEEC）（R-IN Engine 搭載製品） アドレスを修正
		2489	46.2.7 2 ビットECC エラーステータスレジスタ（RAMDBEST）（R-IN Engine 搭載製品） アドレスを修正
		2491	46.2.9 2 ビットECC エラーアドレスレジスタ（RAMDBEAD）（R-IN Engine 搭載製品） アドレスを修正
		2492	46.2.10 2 ビットECC エラーカウンタレジスタ（RAMDBECNT） アドレスを修正
		2493 ～ 2495	46.3 動作説明 追加
		47. 電気的特性（ターゲット）	
		2496	表47.1 絶対最大定格 条件：VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V 項目を修正（動作温度（ジャンクション温度））
		2555	表47.32 ETHERCタイミング 出力負荷条件：VOH = 2.0V、VOL1 = 0.8V、C = 25pF （RMII時） VOH = VCCQ33 × 0.5、VOL1 = VCCQ33 × 0.5、C = 30pF （MII時） 修正（ETHn_CRS セットアップ時間、ETHn_CRSホールド時間、ETHn_COL セットアップ時間、ETHn_COL ホールド時間の行を削除）
		2557	図47.72 MII 送信タイミング（正常動作時） 修正（t_{CRSc} と t_{CRSh} を削除）
		2557	図47.73 MII 送信タイミング（衝突発生ケース） 修正（t_{COLs} と t_{COLh} を削除）
0.80	2015.04.06	全体	モジュール名修正 ICU-M → ICUMB
		全体	表記統一 ”～する事はできません。”を”～することはできません。”に統一
		全体	入出力端子の構成の統一
		全体	用語：アンダフローに統一
		全体	用語：アンダランに統一
		全体	用語：オーバフローに統一
		全体	用語：オーバライトに統一
		全体	用語：オーバライドに統一
		全体	用語：オーバランに統一
		全体	用語：バスエラに統一
		1. 概要	
		70 ～ 76	表1.4 端子機能一覧 端子名：PHYLINK2 削除
		78	図1.3 ピン配置図（176 ピンHLQFP） 端子名：ERROROUT を ERROROUT#に修正
		79 ～ 85	表1.5 端子配置（320 ピン FBGA）端子名変更（MOSIn_BLUE → MOSIn、MOSIn_RED → MOSIn）
		81	表1.5 端子配置（320 ピン FBGA） 端子番号：H5の端子名：ERROROUT を ERROROUT#に修正
		81	表1.5 端子配置（320 ピン FBGA） 端子番号：H18に端子名：MDAT2 追加
		83	表1.5 端子配置（320 ピン FBGA） 端子番号：R8から端子名：WE0#、DQMLL 削除
		84	表1.5 端子配置（320 ピン FBGA） 端子番号：T8から端子名：A1 削除
		86 ～ 89	表1.6 端子配置（176 ピンHLQFP）端子名変更（MOSIn_BLUE → MOSIn、MOSIn_RED → MOSIn）
		86	表1.6 端子配置（176 ピンHLQFP） 端子番号：1から端子名：CATI2CCLK 削除
		86	表1.6 端子配置（176 ピンHLQFP） 端子番号：7の端子名：ERROROUT を ERROROUT#に修正
		87	表1.6 端子配置（176 ピンHLQFP） 端子番号：56から端子名：WE0#、DQMLL 削除

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	87	表1.6 端子配置（176ピンHLQFP） 端子番号：57から端子名：A1 削除
		87	表1.6 端子配置（176ピンHLQFP） 端子番号：89から端子名：ADTRG1 削除
		88	表1.6 端子配置（176ピンHLQFP） 端子番号：121に端子名：MDAT2 追加
		89	表1.6 端子配置（176ピンHLQFP） 端子番号：168から端子名：CATSYNC1、CATLATCH1 削除
		89	表1.6 端子配置（176ピンHLQFP） 端子番号：171から端子名：CATSYNC0、CATLATCH0 削除
		89	表1.6 端子配置（176ピンHLQFP） 端子番号：176から端子名：CATI2CDATA 削除
		90 ～ 99	表1.7 機能別端子一覧（320ピンFBGA）端子名変更（MOSIn_BLUE → MOSIn、MOSIn_RED → MOSIn）
		90	表1.7 機能別端子一覧（320ピンFBGA） ピン番号：A12、見出し行の電源 クロック システム制御：VSS 追加
		93	表1.7 機能別端子一覧（320ピンFBGA） ピン番号：F7、見出し行の電源 クロック システム制御：VCCQ33 追加
		94	表1.7 機能別端子一覧（320ピンFBGA） ピン番号：H5、見出し行の電源 クロック システム制御：ERROROUTをERROROUT#に修正
		97	表1.7 機能別端子一覧（320ピンFBGA） ピン番号：T2、見出し行の電源 クロック システム制御：VDD33_USB 追加
		100 ～ 105	表1.8 機能別端子一覧（176ピンHLQFP）端子名変更（MOSIn_BLUE → MOSIn、MOSIn_RED → MOSIn）
		100	表1.8 機能別端子一覧（176ピンHLQFP） タイトル行：見出し行の通信からECATC 削除
		100	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：1、見出し行の通信：CATI2CCLK 削除
		100	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：7、見出し行の電源 クロック システム制御：ERROROUTをERROROUT#に修正
		101	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：56、見出し行のバス：WE0#、DQMLL 削除
		101	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：57、見出し行のバス：A1 削除
		101	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：58、見出し行のバス：D1 削除
		101	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：59、見出し行のバス：D2 削除
		101	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：60、見出し行のバス：D3 削除
		102	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：79、見出し行のバス：D4 削除
		102	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：82、見出し行のバス：D5 削除
		102	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：83、見出し行のバス：D6 削除
		102	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：89、見出し行のS12ADC：ADTRG1 削除
		103	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：110、見出し行のバス：D7 削除
		105	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：168、見出し行の通信：CATSYNC1、CATLATCH1 削除
		105	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：171、見出し行の通信：PHYRESETOUT#、CATSYNC0、CATLATCH0 削除
		106	表1.8 機能別端子一覧（176ピンHLQFP） ピン番号：176、見出し行の通信：CATI2CDATA 削除
		105	表1.8 機能別端子一覧（176ピンHLQFP） 注1. 削除
		4. アドレス空間	
		127	図4.1 メモリマップ 図中のCortex-M3（R-IN Engine搭載製品）のメモリマップの周辺I/Oレジスタ（1MB）の空間に注8. 追加
		127	図4.1 メモリマップ 図中に注8.、9. 追加
		128	図4.2 メモリマップ 図中に注5. 追加
		129	図4.3 メモリマップ 図中に注6. 追加
		5. I/O レジスタ	
		130	(1) I/O レジスタアドレス一覧（アドレス順） アクセスサイクル数の説明削除
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0000h、レジスタ名：PCI Configuration Registers for OHCI レジスタシンボル：VID_DIDをVID_DID_0に修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0000h、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge レジスタシンボル：VID_DIDをVID_DID_Aに修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0004h、レジスタ名：PCI Configuration Registers for OHCI レジスタシンボル：CMND_STSをCMND_STS_0に修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0004h、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge　レジスタシンボル：CMND_STSをCMND_STS_Aに修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0008h、レジスタ名：PCI Configuration Registers for OHCI　レジスタシンボル：REVID_CCをREVID_CC_0に修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0008h、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge　レジスタシンボル：REVID_CCをREVID_CC_Aに修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 000Ch、レジスタ名：PCI Configuration Registers for OHCI　レジスタシンボル：CLS_LT_HT_BISTをCLS_LT_HT_BIST_0に修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 000Ch、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge　レジスタシンボル：CLS_LT_HT_BISTをCLS_LT_HT_BIST_Aに修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0010h、レジスタ名：PCI Configuration Registers for OHCI　レジスタシンボル：BASEADをBASEAD_0に修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0010h、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge　レジスタシンボル：BASEADをBASEAD_Aに修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0018h、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge　レジスタシンボル：WIN2_BASEAD　削除
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 002Ch、レジスタ名：PCI Configuration Registers for OHCI　レジスタシンボルSVID_SSIDをSVID_SSID_0に修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 002Ch、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge　レジスタシンボル：SVID_SSIDをSVID_SSID_Aに修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 003Ch、レジスタ名：PCI Configuration Registers for OHCI　レジスタシンボルINTR_LINE_PINをINTR_LINE_PIN_0に修正
		154	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 003Ch、レジスタ名：PCI Configuration Registers for AHB-PCI Bridge　レジスタシンボル：INTR_LINE_PINをINTR_LINE_PIN_Aに修正
		155	表5.1 I/Oレジスタアドレス一覧 アドレス：A005 0804h、レジスタ名：PCIAHB_WIN2_CTRレジスタ　レジスタシンボル：PCIAHB_WIN2_CTR　削除
		6.　リセット	
		221	6.2.2 ソフトウェアリセットレジスタ（SWRR1）　ビット構成図　シンボル：SWRR1　修正
		222	6.2.3 ソフトウェアリセットレジスタ2（SWRR2）（R-IN Engine 搭載製品）　ビット構成図　シンボル：SWRR2　修正
		7.　クロック発生回路	
		235	7.2.2 システムクロックコントロールレジスタ2（SCKCR2）　ビット構成図のb4のリセット後の値　修正
		236	7.2.3 ⊿ΣI/F クロックコントールレジスタ（DSCR）　ビット構成図のb16、b4のリセット後の値　修正
		247	7.8.8 高速シリアルクロック（SERICLK）　説明文　修正
		8.　クロックモニタ（CLMA）	
		251	表8.1 CLMAnの仕様（n = 2-0）　タイトル　修正
		252	図8.1 CLMAn のブロック図（n = 2-0）　上部に説明文　追加
		252	図8.1 CLMAn のブロック図（n = 2-0）　タイトル　修正
		9.　消費電力低減機能	
		264	9.2.2 モジュールストップコントロールレジスタB（MSTPCRB）　ビット一覧表　b18　ビット名、機能の説明文　修正
		10.　デバッグインタフェース	
		271	10.1 概要　説明文　修正
		271	表10.1 CoreSightの仕様　タイトル　修正
		272	図10.1 CoreSight のブロック図　タイトル　修正
		273	図10.2 CoreSight のブロック図（R-IN Engine 搭載製品）　タイトル　修正
		276	表10.8 デバッグインタフェースの入出力端子　上部の説明文　修正
		276	表10.8 デバッグインタフェースの入出力端子　タイトル　修正
		277	10.2.1 デバッグインタフェース制御レジスタ（DBGIFCNT）　ビット構成図　シンボル：SWVSEL　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	283	10.3.5.2 nTRST 出力をHigh ドライブできるエミュレータの接続例　説明文　修正
		283	図10.8 nTRST 出力をHigh ドライブできるエミュレータの接続回路例　図番　修正
		12.　割り込みコントローラ	
		288	12.1 概要　説明文　修正
		288	表12.1 割り込みコントローラの仕様　タイトル　修正
		289	図12.1 割り込みコントローラのブロック図　タイトル　修正
		289	図12.2 割り込み周辺のブロック図（R-IN Engine 搭載製品）　タイトル　修正
		289	図12.2 割り込み周辺のブロック図（R-IN Engine 搭載製品）　図中の割り込み要因の修正
		348	12.4.2.13 割り込みアドレスレジスタ（HVA0）　ビット構成図　シンボル：HVA　修正
		362	12.4.3.1 割り込みのベクタテーブル　説明文　修正
		362	12.4.3.1 割り込みのベクタテーブル　Cortex-R4F ／ DMAC 割り込みベクタテーブルの表　項目：検出タイプの内容の説明文　修正
		263 ～ 372	表12.3 Cortex-R4F／DMAC割り込みベクタテーブル　注3.　追加
		381	図12.10 多重割り込み処理の概念 (2 / 2)　図中の割り込み要求 u(レベル2)の注1を注2
		384	12.5.2.1 CM3 割り込みのベクタテーブル　説明文　修正
		13.　内部バス	
		389	表13.1 内部バスの仕様　内部バスの種類：Ethernet用バス　修正
		389	表13.1 内部バスの仕様　注　追加
		390	図13.1 バスの構成図　図中の”AHB2DMA”　削除
		390	図13.1 バスの構成図　図中の”RAM1”を”RAM2”、”RAM2”を”RAM1”に修正
		390	図13.1 バスの構成図　図中に”RAM1)”、”RAM2”の注を追加
		390	図13.2 バスの構成図（R-IN Engine 搭載製品）　図中の”AHB2DMA”　削除
		391	図13.2 バスの構成図（R-IN Engine 搭載製品）　図中の”I-RAM”、”D-RAM”に注　追加
		391	図13.2 バスの構成図（R-IN Engine 搭載製品）　図中に”I-RAM”、”D-RAM”の注を追加
		14.　バスステートコントローラ	
		393	表14.1 バスステートコントローラの仕様　項目：外部WAIT端子を外部WAIT#端子に修正
		394	図14.1 バスステートコントローラのブロック図　上部の説明文　修正
		—	見出し：14.2 入出力端子　削除
		394	表14.2 バスステートコントローラの入出力端子　タイトル　修正
		408	14.4.2(1)　・CS5WCRのビット一覧表　b1-0、b12-11　機能の説明文　修正
		427	表14.6 リトルエンディアンの16ビット外部デバイスのアクセスとデータアライメント　オペレーション欄　修正
		436	14.4.5 MPX-I/O インタフェース　説明文　修正
		436	図14.11 MPX 空間アクセスタイミング（1） （アドレスサイクルノーウェイト、データサイクルノーウェイト）　タイトル　修正
		437	図14.12 MPX 空間アクセスタイミング（2） （アドレスサイクルノーウェイト、アサート遅延ステート1.5、データサイクルノーウェイト、遅延ステート1.5）　追加
		438	図14.13 MPX 空間アクセスタイミング（3） （アドレスサイクルウェイト1、データサイクルノーウェイト）　タイトル　修正
		439	図14.14 MPX 空間アクセスタイミング（4） （アドレスサイクルアクセスウェイト1、データサイクルウェイト1、外部ウェイト1）　タイトル　修正
		450	14.5.6(4) シングルリード　説明文　修正
		452	14.5.6(6) シングルライト　説明文　修正
		477	表14.19 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数　表中のサイクル数　修正
		477	表14.19 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数　注1.　追加
		15.　DMAコントローラ（DMACAa）	
		—	見出し：15.2 入出力端子　削除
		480	表15.2 DMACの入出力端子　上部に説明文　追加
		480	表15.2 DMACの入出力端子　タイトル　修正
		481	15.2.1　・N0SA_n_N, N1SA_n_N（通常モード）の場合　ビット構成図　シンボル：SA　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	482	15.2.1 ・N0SA_n_W, N1SA_n_W（Write Only モード）の場合 ビット構成図 シンボル：WD 修正
		483	15.2.2 ネクストデスティネーションアドレスレジスタ n （N0DA_n, N1DA_n） ビット構成図 シンボル：DA 修正
		484	15.2.3 ネクストトランザクションバイトレジスタ n （N0TB_n, N1TB_n） ビット構成図 シンボル：TB 修正
		485	15.2.4 カレントソースアドレスレジスタ（CRSA_n） ビット構成図 シンボル：CRSA 修正
		486	15.2.5 カレントデスティネーションアドレスレジスタ（CRDA_n） ビット構成図 シンボル：CRDA 修正
		487	15.2.6 カレントトランザクションバイトレジスタ（CRTB_n） ビット構成図 シンボル：CRTB 修正
		494	15.2.11 共通コントロールレジスタ（CMNCR） ビット構成図 b3のリセット後の値 修正
		494	15.2.11 共通コントロールレジスタ（CMNCR） ビット一覧表 b3の機能 説明文 修正
		497	15.2.13 チャネルコンフィギュレーションレジスタ n （CHCFG_n） 説明文 修正
		501	15.2.15 ネクストリンクアドレスレジスタ n （NXLA_n） ビット構成図 シンボル：NXLA 修正
		502	15.2.16 カレントリンクアドレスレジスタ n （CRLA_n） ビット構成図 シンボル：CRLA 修正
		503	15.2.17 ソースコンティニュアスレジスタ n （SCNT_n） ビット構成図 シンボル：SCNT 修正
		504	15.2.18 ソーススキップレジスタ n （SSKP_n） ビット構成図 シンボル：SSKP 修正
		506	15.2.19 デスティネーションコンティニュアスレジスタ n （DCNT_n） ビット構成図 シンボル：DCNT 修正
		507	15.2.20 デスティネーションスキップレジスタ n （DSKP_n） ビット構成図 シンボル：DSKP 修正
		529	図15.10 header 領域 説明文 修正
		532	15.3.2.1 シングル転送モード 説明文 修正
		532	15.3.2.2 ブロック転送モード 説明文 修正
		536	15.3.4 DMA 転送要求 説明文 修正
		537 ～ 543	表15.21 DMA転送要求検出動作設定表 タイトル行：AM[2:0]に注2 追加
		537 ～ 543	表15.21 DMA転送要求検出動作設定表 DMA転送要求元：MTU3aのDMA転送要因 修正
		537 ～ 543	表15.21 DMA転送要求検出動作設定表 DMA転送要求元：USBのCHCHG_nのAM[2:0]に注3 追加
		537 ～ 543	表15.21 DMA転送要求検出動作設定表 注2.、注3. 追加
		544	図15.16 エッジ検出タイミング（立ち上がりエッジ（HIEN = 1）、DMACK出力はリード時アクティブ（REQD = 0）） タイトル 修正
		544	図15.17 エッジ検出タイミング（立ち上がりエッジ（HIEN = 1）、DMACK出力はライト時アクティブ（REQD = 1）） タイトル 修正
		545	図15.18 レベル検出タイミング（ハイレベル検出（HIEN=1）、DACK出力はリー ド時アクティブ（REQD=0）） タイトル 修正
		545	図15.19 レベル検出タイミング（ハイレベル検出（HIEN=1）、DACK出力はライ ト時アクティブ（REQD=1）） タイトル 修正
		559	15.4.2 DMA 転送完了割り込み 説明文 修正
		559	15.4.2 DMA 転送完了割り込み 注意 追加
		563	表15.26 DMA転送の設定例2 下部の設定例2 修正
		564	図15.38 設定例2 図中のフロ 修正
		569	表15.32 ディスクリプタ設定 項目：CFG（Configuration）のディスクリプタ1、ディスクリプタ2、ディスクリプタ3の値 修正
		18. マルチファンクションピンコントローラ（MPC）	
		619 ～ 640	表18.1 兼用端子構成一覧 モジュール／機能：外部バス 端子機能：RD（出力）をRD#（出力）に修正
		642	18.2.2 P0n 端子機能制御レジスタ（P0nPFS）（n = 0 ～ 7） 説明文 修正
		643	18.2.3 P1n 端子機能制御レジスタ（P1nPFS）（n = 0 ～ 7） 説明文 修正
		645	18.2.4 P2n 端子機能制御レジスタ（P2nPFS）（n = 0 ～ 7） 説明文 修正
		646	18.2.5 P3n 端子機能制御レジスタ（P3nPFS）（n = 0 ～ 7） 説明文 修正
		648	18.2.6 P4n 端子機能制御レジスタ（P4nPFS）（n = 0 ～ 7） 説明文 修正
		650	18.2.7 P5n 端子機能制御レジスタ（P5nPFS）（n = 0 ～ 6） 説明文 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	652	18.2.8 P6n 端子機能制御レジスタ（P6nPFS）（n = 0 ～ 7） 説明文 修正
		654	18.2.9 P7n 端子機能制御レジスタ（P7nPFS）（n = 0 ～ 7） 説明文 修正
		655	18.2.10 P8n 端子機能制御レジスタ（P8nPFS）（n = 0 ～ 7） 説明文 修正
		657	18.2.11 P9n 端子機能制御レジスタ（P9nPFS）（n = 0 ～ 7） 説明文 修正
		658	18.2.12 PAn 端子機能制御レジスタ（PAnPFS）（n = 0 ～ 7） 説明文 修正
		659	18.2.13 PBn 端子機能制御レジスタ（PBnPFS）（n = 0 ～ 7） 説明文 修正
		661	18.2.14 PCn 端子機能制御レジスタ（PCnPFS）（n = 0 ～ 7） 説明文 修正
		663	18.2.15 PDn 端子機能制御レジスタ（PDnPFS）（n = 0 ～ 7） 説明文 修正
		665	18.2.16 PEn 端子機能制御レジスタ（PEnPFS）（n = 0 ～ 7） 説明文 修正
		666	18.2.17 PFn 端子機能制御レジスタ（PFnPFS）（n = 5 ～ 7） 説明文 修正
		668	18.2.18 PGn 端子機能制御レジスタ（PGnPFS）（n = 0 ～ 7） 説明文 修正
		669	18.2.19 PHn 端子機能制御レジスタ（PHnPFS）（n = 0 ～ 7） 説明文 修正
		670	18.2.20 PJn 端子機能制御レジスタ（PJnPFS）（n = 0 ～ 7） 説明文 修正
		671	18.2.21 PKn 端子機能制御レジスタ（PKnPFS）（n = 0 ～ 7） 説明文 修正
		672	18.2.22 PLn 端子機能制御レジスタ（PLnPFS）（n = 0 ～ 7） 説明文 修正
		673	18.2.23 PMn 端子機能制御レジスタ（PMnPFS）（n = 0 ～ 7） 説明文 修正
		674	18.2.24 PNn 端子機能制御レジスタ（PNnPFS）（n = 0 ～ 7） 説明文 修正
		675	18.2.25 PPn 端子機能制御レジスタ（PPnPFS）（n = 0 ～ 7） 説明文 修正
		676	18.2.26 PRn 端子機能制御レジスタ（PRnPFS）（n = 0 ～ 7） 説明文 修正
		677	18.2.27 PSn 端子機能制御レジスタ（PSnPFS）（n = 0 ～ 7） 説明文 修正
		678	18.2.28 PTn 端子機能制御レジスタ（PTnPFS）（n = 0 ～ 7） 説明文 修正
		679	18.2.29 PUn 端子機能制御レジスタ（PUnPFS）（n = 0 ～ 7） 説明文 修正
		681	表18.39 レジスタの設定 注1. 修正
		19. マルチファンクションタイマパルスユニット（MTU3a）	
		696	19.2.2 タイマコントロールレジスタ2（TCR2） 説明文 修正
		707	19.2.6 タイマI/O コントロールレジスタ（TIOR） 説明文 修正
		738	19.2.16 タイマロングワードジェネラルレジスタn（TGRnLW）（n = A、B） 説明文 修正
		741	19.2.18 タイマシンクロレジスタ（TSYR） 説明文 修正
		743	19.2.19 タイマカウンタシンクロスタートレジスタ（TCSYSTR） アドレス 修正
		762	19.2.33 ・NFCRC アドレス 修正
		22. 16ビットタイマパルスユニット（TPUa）	
		1148	22.2.4 タイマ割り込み許可レジスタ（TIER） ビット一覧表 注1. 修正
		23. プログラマブルパルスジェネレータ（PPG）	
		1222	表23.2 PPGの機能一覧 タイトル 修正
		1224	表23.3 PPGの入出力端子 タイトル 修正
		26. ウォッチドッグタイマ（WDTA）	
		—	見出し：26.1.1 ブロック図 削除
		1299	図26.1 WDT のブロック図 上部の説明文 修正
		1299	図26.1 WDT のブロック図 図 修正
		1300	26.2.1 WDT リフレッシュレジスタ（WDTRR） リセット後の値 注 追加
		1301	26.2.2 WDT コントロールレジスタ（WDTCR） リセット後の値 注 追加
		1305	26.2.3 WDT ステータスレジスタ（WDTSR） リセット後の値 注 追加
		1306	26.2.4 WDT リセットコントロールレジスタ（WDTRCR） リセット後の値 注 追加
		—	26.5.1 クロック分周比の設定 全章 削除
		27. 独立ウォッチドッグタイマ（IWDTa）	
		—	見出し：27.1.1 ブロック図 削除
		1314	27.1.1 ブロック図 説明文 修正
		1315	図27.1 IWDT のブロック図 図 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	28. イーサネットMAC（ETHERC）	
		1332	図28.1 ETHERC のブロック図 説明文 修正
		1333	図28.1 ETHERC のブロック図 タイトル 修正
		1333	図28.2 ETHERC のブロック図（R-IN Engine 搭載製品） タイトル 修正
		1334	表28.2 ETHERCの入出力端子 上部の説明文 修正
		1334	表28.2 ETHERCの入出力端子 タイトル 修正
		1334	表28.2 端子機能一覧 端子名：PHYLINK2 削除
		1338	28.2.1.4 MAC セレクトレジスタ（MACSEL） 説明文 修正
		1338	表28.3 MAC機能の選択方法（R-IN Engine搭載製品） MAC[2:0]：011のMedia I/F Port 1の説明文 修正
		1339	28.2.1.5 MII コントロールレジスタ（MII_CTRLn）（n = 0 ～ 2） ビット構成図 シンボル：RMII_RX_ER_EN 削除
		1339	28.2.1.5 MII コントロールレジスタ（MII_CTRLn）（n = 0 ～ 2） ビット一覧表 b9 シンボル、ビット名、機能の説明文 修正
		1341	28.2.2.1 MIIM レジスタ（GMAC_MIIM） 説明文 修正
		1342	28.2.2.2 TX ID レジスタ（GMAC_TXID） ビット構成図 シンボル：TXID ¯修正
		1350	28.2.2.8 PAUSE パケットデータレジスタ（GMAC_PAUSEn）（n = 1 ～ 5） ビット構成図 シンボル：PPDATA1 修正
		1350	28.2.2.8 ETHERC.GMAC_PAUSE1 ビット構成図 シンボル：PPDATA1 修正
		1350	28.2.2.8 ETHERC.GMAC_PAUSE2 ビット構成図 シンボル：PPDATA2 修正
		1351	28.2.2.8 ETHERC.GMAC_PAUSE3 ビット構成図 シンボル：PPDATA3 修正
		1351	28.2.2.8 ETHERC.GMAC_PAUSE4 ビット構成図 シンボル：PPDATA4 修正
		1351	28.2.2.8 ETHERC.GMAC_PAUSE5 ビット構成図 シンボル：PPDATA5 修正
		1354	28.2.2.11 ・GMAC_ADRnB ビット一覧表 修正
		1361	28.2.3.1 ハードウェアファンクションシステムコールレジスタ（SYSC） タイトル 修正
		1361	28.2.3.1 ハードウェアファンクションシステムコールレジスタ（SYSC） ビット一覧表 b15～b0 修正
		1362	28.2.3.2 ・R4 ビット構成図 シンボル：R4B 修正
		1362	28.2.3.2 ・R5 ビット構成図 シンボル：R5B 修正
		1363	28.2.3.2 ・R6 ビット構成図 シンボル：R6B 修正
		1363	28.2.3.2 ・R7 ビット構成図 シンボル：R7B 修正
		1364	28.2.3.3 ハードウェアファンクションコマンドレジスタ（CMD） 全章 追加
		1365	28.2.3.3 ・R0 ビット構成図 シンボル：R0B 修正
		1365	28.2.3.3 ・R1 ビット構成図 シンボル：R1B 修正
		1366	28.2.3.5 ハードウェアファンクションタイプレジスタ（C0TYPE） 全章 追加
		1366	28.2.3.6 ハードウェアファンクション状態レジスタ（C0STAT） 全章 追加
		1367	28.3.1 ハードウェアファンクション 全章 追加
		1390	28.3.2 割り込み機能 全章 追加
		1392	28.3.3.1 初期設定 説明文 修正
		1400	28.3.2.6(1) 受信フレーム情報 受信フレーム情報の各フィールドの表 項目：MARSTAT[2:0]の説明 修正
		29. イーサネットスイッチ	
		1405	図29.1 イーサネットインタフェースのブロック図 説明文 修正
		1406	図29.1 イーサネットインタフェースのブロック図 タイトル 修正
		1406	図29.2 イーサネットインタフェースのブロック図（R-IN Engine 搭載製品） タイトル 修正
		1422	29.2.2.12 出力キュー輻輳ステータスレジスタ（QMGR_CGS_STAT） ビット構成図 b31～b3 リセット後の値 修正
		1423	29.2.2.13 キュー内部インタフェースステータスレジスタ（QMGR_IFACE_STAT） ビット構成図 b31～b19、b15～b3 リセット後の値 修正
		1434	29.2.3.2 ラーニングレコードB レジスタ（LRN_REC_B） ビット構成図 b31～b28 リセット後の値 修正
		1434	29.2.3.3 ラーニングデータステータスレジスタ（LRN_STATUS） ビット構成図 b31～b1 リセット後の値 修正
		1439	29.2.4.4 MAC ステータスレジスタn（MAC_STATUSn）（shared）（n = 0, 1） ビット構成図 b31～b15、b13、b11、b9、b7～b0 リセット後の値 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1442	29.2.4.6(2) 送信統計カウンタの表　アドレス：0C 81A8h + 2000h*nの内容の説明文　修正
		1458	29.2.5.18 タイマパルス幅設定レジスタ（SWTMWTH）　注2.　削除
		1461	29.2.6.2 DLR ステータスレジスタ（DLR_STATUS） ビット構成図　b23～18、b7～b2　リセット後の値　修正
		1469	29.2.6.9 DLR スーパバイザMAC アドレスhigh レジスタ（SUPR_MAChi） ビット構成図　b31～b24　リセット後の値　修正
		1470	29.2.6.10 DLR リングステータス／ VLAN レジスタ（STATE_VLAN） ビット構成図　b15～b9　リセット後の値　修正
		1473	29.2.6.14 DLR サブタイプ／プロトコルバージョンレジスタ（ETH_STYP_VER） ビット構成図　b31～b24　リセット後の値　修正
		1509	29.4.2 スイッチの初期化　手順の説明文　修正
		1510	表29.22 スイッチエンジンの初期設定例　アドレス：A00B F118hのレジスタ、設定例、内容　追加
		30.　EtherCATスレーブ・コントローラ（R-IN Engine搭載製品のみ）	
		1516	図30.1 EtherCAT スレーブ・コントローラのブロック図　説明文　修正
		1517	図30.1 EtherCAT スレーブ・コントローラのブロック図　タイトル　修正
		1517	表30.2 EtherCATスレーブ・コントローラの入出力端子（PHYのMII端子を除く）　説明文　修正
		1517	表30.2 EtherCATスレーブ・コントローラの入出力信号（PHYのMII端子を除く）　タイトル　修正
		1521	30.3.1 EtherCAT PHY オフセット・アドレス設定レジスタ（CATOFFADD） ビット構成図　b31～b5　リセット後の値　修正
		1521	30.3.1 EtherCAT PHY オフセット・アドレス設定レジスタ（CATOFFADD） ビット一覧表　b31～b5　追加
		1522	30.3.2 EtherCAT 動作モード設定レジスタ（CATEMMD） ビット構成図　b31～b1　リセット後の値　修正
		1522	30.3.2 EtherCAT 動作モード設定レジスタ（CATEMMD） ビット一覧表　b31～b1　追加
		1523	30.3.3 EtherCAT TXC シフト設定レジスタ（CATTXCSFT） 説明文　修正
		1523	30.3.3 EtherCAT TXC シフト設定レジスタ（CATTXCSFT） ビット構成図　b31～b4　リセット後の値　修正
		1523	30.3.3 EtherCAT TXC シフト設定レジスタ（CATTXCSFT） ビット一覧表　b31～b4　追加
		1528	30.4.8 ESC フィーチャー・サポート・レジスタ（FEATURE） ビット構成図　b15～b12、b5～b4、b1　リセット後の値　修正
		1528	30.4.8 ESC フィーチャー・サポート・レジスタ（FEATURE） ビット一覧表　b15～b12、b5～b4、b1　追加
		1529	30.5.2 コンフィギュアド・ステーション・エイリアス・レジスタ（STATION_ALIAS） ビット一覧表　b15～b0のPDI、ECTの内容　修正
		1530	30.6.1 ライト・レジスタ・イネーブル・レジスタ（WR_REG_ENABLE） ビット構成図　b7～b1　リセット後の値　修正
		1530	30.6.1 ライト・レジスタ・イネーブル・レジスタ（WR_REG_ENABLE） ビット一覧表　b7～b1　追加
		1530	30.6.2 ライト・レジスタ・プロテクション・レジスタ（WR_REG_PROTECT） ビット構成図　b7～b1　リセット後の値　修正
		1530	30.6.2 ライト・レジスタ・プロテクション・レジスタ（WR_REG_PROTECT） ビット一覧表　b7～b1　追加
		1531	30.6.3 ESC ライト・イネーブル・レジスタ（ESC_WR_ENABLE） ビット構成図　b7～b1　リセット後の値　修正
		1531	30.6.3 ESC ライト・イネーブル・レジスタ（ESC_WR_ENABLE） ビット一覧表　b7～b1　追加
		1531	30.6.4 ESC ライト・プロテクション・レジスタ（ESC_WR_PROTECT） ビット構成図　b7～b1　リセット後の値　修正
		1531	30.6.4 ESC ライト・プロテクション・レジスタ（ESC_WR_PROTECT） ビット一覧表　b7～b1　追加
		1532	30.7.1　リードの時: ESC_RESET_ECAT_R ビット構成図　b7～b2　リセット後の値　修正
		1532	30.7.1　リードの時: ESC_RESET_ECAT_R ビット一覧表　b7～b2　追加
		1533	30.7.2　リードの時: ESC_RESET_PDI_R ビット構成図　b7～b2　リセット後の値　修正
		1533	30.7.2　リードの時: ESC_RESET_PDI_R ビット一覧表　b7～b2　追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1534	30.7.3 ESC DL コントロール・レジスタ（ESC_DL_CONTROL） ビット構成図　b31～b25、b23～b19、b7～b2　リセット後の値　修正
		1534	30.7.3 ESC DL コントロール・レジスタ（ESC_DL_CONTROL） ビット一覧表　b31～b25、b23～b19、b7～b2　追加
		1536	30.7.5 ESC DL ステータス・レジスタ（ESC_DL_STATUS） ビット構成図　b3　リセット後の値　修正
		1536	30.7.5 ESC DL ステータス・レジスタ（ESC_DL_STATUS） ビット一覧表　b3　追加
		1538	30.8.1 AL コントロール・レジスタ（AL_CONTROL） ビット構成図　b15～b5　リセット後の値　修正
		1538	30.8.1 AL コントロール・レジスタ（AL_CONTROL） ビット一覧表　b15～b5　追加
		1539	30.8.2 AL ステータス・レジスタ（AL_STATUS） ビット構成図　b15～b5　リセット後の値　修正
		1539	30.8.2 AL ステータス・レジスタ（AL_STATUS） ビット一覧表　b15～b5　追加
		1540	30.8.4 RUN LED オーバーライド・レジスタ（RUN_LED_OVERRIDE） ビット構成図　b7～b5　リセット後の値　修正
		1540	30.8.4 RUN LED オーバーライド・レジスタ（RUN_LED_OVERRIDE） ビット一覧表　b7～b5　追加
		1541	30.8.5 ERR LED オーバーライド・レジスタ（ERR_LED_OVERRIDE） ビット構成図　b7～b5　リセット後の値　修正
		1541	30.8.5 ERR LED オーバーライド・レジスタ（ERR_LED_OVERRIDE） ビット一覧表　b7～b5　追加
		1545	30.9.5 拡張PDI コンフィギュレーション・レジスタ（EXT_PDI_CONFIG） ビット構成図　b15～b1　リセット後の値　修正
		1545	30.9.5 拡張PDI コンフィギュレーション・レジスタ（EXT_PDI_CONFIG） ビット一覧表　b15～b1　追加
		1547	30.10.3 ECAT イベント・リクエスト・レジスタ（ECAT_EVENT_REQ） ビット構成図　b15～b12、b1　リセット後の値　修正
		1547	30.10.3 ECAT イベント・リクエスト・レジスタ（ECAT_EVENT_REQ） ビット一覧表　b15～b12、b1　追加
		1548	30.10.4 AL イベント・リクエスト・レジスタ（AL_EVENT_REQ） ビット構成図　b31～b16、b7、b5　リセット後の値　修正
		1548	30.10.4 AL イベント・リクエスト・レジスタ（AL_EVENT_REQ） ビット構成図　b14　シンボル　修正
		1548	30.10.4 AL イベント・リクエスト・レジスタ（AL_EVENT_REQ） ビット一覧表　b31～b16、b7、b5　追加
		1554	30.12.4 ウォッチドッグ・ステータス・プロセス・データ・レジスタ（WDS_DATA） ビット構成図　b15～b2　リセット後の値　修正
		1554	30.12.4 ウォッチドッグ・ステータス・プロセス・データ・レジスタ（WDS_DATA） ビット一覧表　b15～b2　追加
		1556	30.13.1 EEPROM コンフィギュレーション・レジスタ（EEP_CONF） ビット構成図　b7～b2　リセット後の値　修正
		1556	30.13.1 EEPROM コンフィギュレーション・レジスタ（EEP_CONF） ビット一覧表　b7～b2　追加
		1556	30.13.2 EEPROM PDI アクセス・ステート・レジスタ（EEP_STATE） ビット構成図　b7～b1　リセット後の値　修正
		1556	30.13.2 EEPROM PDI アクセス・ステート・レジスタ（EEP_STATE） ビット一覧表　b7～b1　追加
		1557	30.13.3 EEPROM コントロール／ステータス・レジスタ（EEP_CONT_STAT） ビット構成図　b5～b1　リセット後の値　修正
		1557	30.13.3 EEPROM コントロール／ステータス・レジスタ（EEP_CONT_STAT） ビット一覧表　b5～b1　追加
		1559	30.14.1 MII マネージメント・コントロール／ステータス・レジスタ（MII_CONT_STAT） ビット構成図　b12～b10　リセット後の値　修正
		1559	30.14.1 MII マネージメント・コントロール／ステータス・レジスタ（MII_CONT_STAT） ビット一覧表　b12～b10　追加
		1560	30.14.2 PHY アドレス・レジスタ（PHY_ADR） ビット構成図　b7～b5　リセット後の値　修正
		1560	30.14.2 PHY アドレス・レジスタ（PHY_ADR） ビット一覧表　b7～b5　追加
		1560	30.14.3 PHY レジスタ・アドレス・レジスタ（PHY_REG_ADR） ビット構成図　b7～b5　リセット後の値　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1560	30.14.3 PHY レジスタ・アドレス・レジスタ（PHY_REG_ADR） ビット一覧表　b7～b5　追加
		1561	30.14.5 MII マネージメントECAT アクセス・ステート・レジスタ（MII_ECAT_ACS_STAT） ビット構成図　b7～b1　リセット後の値　修正
		1561	30.14.5 MII マネージメントECAT アクセス・ステート・レジスタ（MII_ECAT_ACS_STAT） ビット一覧表　b7～b1　追加
		1562	30.14.6 MII マネージメントPDI アクセス・ステート・レジスタ（MII_PDI_ACS_STAT） ビット構成図　b7～b2　リセット後の値　修正
		1562	30.14.6 MII マネージメントPDI アクセス・ステート・レジスタ（MII_PDI_ACS_STAT） ビット一覧表　b7～b2　追加
		1563	30.14.7 PHY ポート・ステータス・レジスタn（PHY_STATUSn） ビット構成図　b7～b6　リセット後の値　修正
		1563	30.14.7 PHY ポート・ステータス・レジスタn（PHY_STATUSn） ビット一覧表　b7～b6　追加
		1564	30.15.1 FMMU ロジカル・スタート・アドレス・レジスタm（FMMUm_L_START_ADR） アドレス　修正
		1564	30.15.2 FMMU 長・レジスタm（FMMUm_LEN） アドレス　修正
		1565	30.15.3 FMMU ロジカル・スタート・ビット・レジスタm（FMMUm_L_START_BIT） アドレス　修正
		1565	30.15.3 FMMU ロジカル・スタート・ビット・レジスタm（FMMUm_L_START_BIT） ビット構成図　b7～b3　リセット後の値　修正
		1565	30.15.3 FMMU ロジカル・スタート・ビット・レジスタm（FMMUm_L_START_BIT） ビット一覧表　b7～b3　追加
		1565	30.15.4 FMMU ロジカル・ストップ・ビット・レジスタm（FMMUm_L_STOP_BIT） アドレス　修正
		1565	30.15.4 FMMU ロジカル・ストップ・ビット・レジスタm（FMMUm_L_STOP_BIT） ビット構成図　b7～b3　リセット後の値　修正
		1565	30.15.4 FMMU ロジカル・ストップ・ビット・レジスタm（FMMUm_L_STOP_BIT） ビット一覧表　b7～b3　追加
		1566	30.15.5 FMMU フィジカル・スタート・アドレス・レジスタm（FMMUm_P_START_ADR） アドレス　修正
		1566	30.15.6 FMMU フィジカル・スタート・ビット・レジスタm（FMMUm_P_START_BIT） アドレス　修正
		1566	30.15.6 FMMU フィジカル・スタート・ビット・レジスタm（FMMUm_P_START_BIT） ビット構成図　b7～b3　リセット後の値　修正
		1566	30.15.6 FMMU フィジカル・スタート・ビット・レジスタm（FMMUm_P_START_BIT） ビット一覧表　b7～b3　追加
		1567	30.15.7 FMMU タイプ・レジスタm（FMMUm_TYPE） アドレス　修正
		1567	30.15.7 FMMU タイプ・レジスタm（FMMUm_TYPE） ビット構成図　b7～b2　リセット後の値　修正
		1567	30.15.7 FMMU タイプ・レジスタm（FMMUm_TYPE） ビット一覧表　b7～b2　追加
		1567	30.15.8 FMMU アクティベイト・レジスタm（FMMUm_ACT） アドレス　修正
		1567	30.15.8 FMMU アクティベイト・レジスタm（FMMUm_ACT） ビット構成図　b7～b1　リセット後の値　修正
		1567	30.15.8 FMMU アクティベイト・レジスタm（FMMUm_ACT） ビット一覧表　b7～b1　追加
		1568	30.16.1 SyncManager フィジカル・スタート・アドレス・レジスタm（SMm_P_START_ADR） アドレス　修正
		1568	30.16.2 SyncManager 長・レジスタm（SMm_LEN） アドレス　修正
		1569	30.16.3 SyncManager コントロール・レジスタm（SMm_CONTROL） アドレス　修正
		1569	30.16.3 SyncManager コントロール・レジスタm（SMm_CONTROL） ビット構成図　b7　リセット後の値　修正
		1569	30.16.3 SyncManager コントロール・レジスタm（SMm_CONTROL） ビット一覧表　b7　追加
		1570	30.16.4 SyncManager ステータス・レジスタm（SMm_STATUS） アドレス　修正
		1570	30.16.4 SyncManager ステータス・レジスタm（SMm_STATUS） ビット構成図　b2　リセット後の値　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1570	30.16.4 SyncManager ステータス・レジスタ m（SMm_STATUS） ビット一覧表　b2　追加
		1571	30.16.5 SyncManager アクティベイト・レジスタ m（SMm_ACT） アドレス　修正
		1571	30.16.5 SyncManager アクティベイト・レジスタ m（SMm_ACT） ビット構成図　b5～b2　リセット後の値　修正
		1571	30.16.5 SyncManager アクティベイト・レジスタ m（SMm_ACT） ビット一覧表　b5～b2　追加
		1572	30.16.6 SyncManager PDI コントロール・レジスタ m（SMm_PDI_CONT） アドレス　修正
		1572	30.16.6 SyncManager PDI コントロール・レジスタ m（SMm_PDI_CONT） ビット構成図　b7～b2　リセット後の値　修正
		1572	30.16.6 SyncManager PDI コントロール・レジスタ m（SMm_PDI_CONT） ビット一覧表　b7～b2　追加
		1573	30.17.1.1 レシーブ・タイム・ポート0 レジスタ（DC_RCV_TIME_PORT0） ビット構成図　b31～b0　リセット後の値　追加
		1574	30.17.1.2 レシーブ・タイム・ポート1 レジスタ（DC_RCV_TIME_PORT1） ビット構成図　b31～b0　リセット後の値　追加
		1579	30.17.2.6 スピード・カウンタ・スタート・レジスタ（DC_SPEED_COUNT_START） ビット構成図　b15　リセット後の値　修正
		1579	30.17.2.6 スピード・カウンタ・スタート・レジスタ（DC_SPEED_COUNT_START） ビット一覧表　b15　追加
		1580	30.17.2.8 システム・タイム・ディフ・フィルタ深さレジスタ（DC_SYS_TIME_DIFF_FIL_DEPTH） ビット構成図　b7～b4　リセット後の値　修正
		1580	30.17.2.8 システム・タイム・ディフ・フィルタ深さレジスタ（DC_SYS_TIME_DIFF_FIL_DEPTH） ビット一覧表　b7～b4　追加
		1580	30.17.2.9 スピード・カウンタ・フィルタ深さレジスタ（DC_SPEED_COUNT_FIL_DEPTH） ビット構成図　b7～b4　リセット後の値　修正
		1580	30.17.2.9 スピード・カウンタ・フィルタ深さレジスタ（DC_SPEED_COUNT_FIL_DEPTH） ビット一覧表　b7～b4　追加
		1581	30.17.3.1 サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT） ビット構成図　b7、b3～b1　リセット後の値　修正
		1581	30.17.3.1 サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT） ビット一覧表　b7、b3～b1　追加
		1583	30.17.4.2 SYNC 信号パルス長レジスタ（DC_PULSE_LEN） ビット構成図　b13、b10～b8、b4　リセット後の値　修正
		1583	30.17.4.3 アクティベーション・ステータス・レジスタ（DC_ACT_STAT） ビット構成図　b7～b3　リセット後の値　修正
		1583	30.17.4.3 アクティベーション・ステータス・レジスタ（DC_ACT_STAT） ビット一覧表　b7～b3　追加
		1584	30.17.4.4 SYNC0 ステータス・レジスタ（DC_SYNC0_STAT） ビット構成図　b7～b1　リセット後の値　修正
		1584	30.17.4.4 SYNC0 ステータス・レジスタ（DC_SYNC0_STAT） ビット一覧表　b7～b1　追加
		1584	30.17.4.5 SYNC1 ステータス・レジスタ（DC_SYNC1_STAT） ビット構成図　b7～b1　リセット後の値　修正
		1584	30.17.4.5 SYNC1 ステータス・レジスタ（DC_SYNC1_STAT） ビット一覧表　b7～b1　追加
		1588	30.17.5.1 ラッチ0 コントロール・レジスタ（DC_LATCH0_CONT） ビット構成図　b7～b1　リセット後の値　修正
		1588	30.17.5.2 ラッチ1 コントロール・レジスタ（DC_LATCH1_CONT） ビット構成図　b7～b1　リセット後の値　修正
		1588	30.17.5.2 ラッチ1 コントロール・レジスタ（DC_LATCH1_CONT） ビット一覧表　b7～b1　追加
		1589	30.17.5.3 ラッチ0 ステータス・レジスタ（DC_LATCH0_STAT） ビット構成図　b7～b3　リセット後の値　修正
		1589	30.17.5.3 ラッチ0 ステータス・レジスタ（DC_LATCH0_STAT） ビット一覧表　b7～b3　追加
		1590	30.17.5.4 ラッチ1 ステータス・レジスタ（DC_LATCH1_STAT） ビット構成図　b7～b3　リセット後の値　修正
		1590	30.17.5.4 ラッチ1 ステータス・レジスタ（DC_LATCH1_STAT） ビット一覧表　b7～b3　追加
		1598	30.18.2 ベンダID レジスタ（VENDOR_ID） ビット構成図　b63～b32　リセット後の値　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1598	30.18.2 ベンダID レジスタ（VENDOR_ID） ビット一覧表　b63～b32　追加
		31.　USB2.0HSホストモジュール（USBh）	
		1601	31.1.1 概要　説明文　修正
		—	見出し：31.1.2 特徴　削除
		—	見出し：31.1.3 ブロック概要　削除
		1602	図31.1 USB のブロック図　タイトル　修正
		1605 ～ 1606	表31.1 レジスタマッピング一覧表　アドレス：A005 0804hのレジスタ名、シンボル　修正
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：000hの略称：VID_DIDをVID_DID_Aに修正
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：004hの略称：CMND_STSをCMND_STS_Aに修正
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：008hの略称：REVID_CCをREVID_CC_Aに修正
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：00Chの略称：CLS_LT_HT_BISTをCLS_LT_HT_BIST_Aに修正
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：010hの略称：BASEADをBASEAD_Aに修正
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：018hの項目　削除
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：02Chの略称：SSVID_SSIDをSSVID_SSID_Aに修正
		1606	表31.2 AHB-PCI BridgeにおけるPCI Configuration Space　Offset：03Chの略称：INTR_LINE_PINをINTR_LINE_PIN_Aに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：000hの略称：VID_DIDをVID_DID_Oに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：004hの略称：CMND_STSをCMND_STS_Oに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：008hの略称：REVID_CCをREVID_CC_Oに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：00Chの略称：CLS_LT_HT_BISTをCLS_LT_HT_BIST_Oに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：010hの略称：BASEADをBASEAD_Oに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：02Chの略称：SSVID_SSIDをSSVID_SSID_Oに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：03Chの略称：INTR_LINE_PINをINTR_LINE_PIN_Oに修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：0F0hのビット内容、略称　修正
		1607	表31.3 OHCIにおけるPCI Configuration Space　Offset：0F4hのビット内容、略称　修正
		1608	表31.4 EHCIにおけるPCI Configuration Space　Offset：1F0hのビット内容、略称　修正
		1608	表31.4 EHCIにおけるPCI Configuration Space　Offset：1F4hのビット内容、略称　修正
		1619	31.3.1.7 HcHCCA レジスタ ビット構成図　シンボル：HcHCCA　修正修正
		1619	31.3.1.7 HcHCCA レジスタ ビット一覧表　b31~b8のシンボル：HcHCCA　修正修正
		1619	31.3.1.8 HcPeriodicCurrentED レジスタ ビット構成図　シンボル：PeriodicCurrentED　修正
		1619	31.3.1.8 HcPeriodicCurrentED レジスタ ビット一覧表　b31～b4のシンボル：PeriodicCurrentED　修正
		1620	31.3.1.9 HcControlHeadED レジスタ ビット構成図　シンボル：ControlHeadED　修正
		1620	31.3.1.9 HcControlHeadED レジスタ ビット一覧表　b31~b4のシンボル：ControlHeadED　修正
		1620	31.3.1.10 HcControlCurrentED レジスタ ビット構成図　シンボル：ControlCurrentED　修正
		1620	31.3.1.10 HcControlCurrentED レジスタ ビット一覧表　b31～b4のシンボル：ControlCurrentED　修正
		1621	31.3.1.11 HcBulkHeadED レジスタ ビット構成図　シンボル：BulkHeadED　修正
		1621	31.3.1.11 HcBulkHeadED レジスタ ビット一覧表　b31～b4のシンボル：BulkHeadED　修正
		1621	31.3.1.12 HcBulkCurrentED レジスタ ビット構成図　シンボル：BulkCurrentED　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1621	31.3.1.12 HcBulkCurrentED レジスタ ビット一覧表　b31～b4のシンボル：BulkCurrentED　修正
		1622	31.3.1.13 HcDoneHead レジスタ ビット構成図　シンボル：DoneHead　修正
		1622	31.3.1.13 HcDoneHead レジスタ ビット一覧表　b31～b4のシンボル：DoneHead　修正
		1638	31.3.2.4 HCSP_PORTROUTE レジス ビット構成図　シンボル：Companion Port Route　修正
		1645	31.3.2.9 CTRLDSSEGMENT レジスタ ビット構成図　シンボル：CTRLDSSEGMENT　修正
		1645	31.3.2.10 PERIODICLISTBASE レジスタ ビット構成図　シンボル：BaseAddress（Low）　修正
		1645	31.3.2.10 PERIODICLISTBASE レジスタ ビット一覧表　b31～b12のシンボル：BaseAddress（Low）　修正
		1646	31.3.2.11 ASYNCLISTADDR レジスタ ビット構成図　シンボル：LPL　修正
		1646	31.3.2.11 ASYNCLISTADDR レジスタ ビット一覧表　b31～b5のシンボル：LPL　修正
		1654	31.3.3.4 Offset 0Ch レジスタ（Cache Line Size・Latency Timer・Header Type・BIST） アドレス　修正
		1655	31.3.3.5 Offset 10h レジスタ（OHCI Base Address） ビット構成図　シンボル：OHCI Base Address　修正
		1655	31.3.3.5 Offset 10h レジスタ（OHCI Base Address） ビット一覧表　b31～b12のシンボル：OHCI Base Address　修正
		1667	31.3.4.5 Offset 10h レジスタ（EHCI Base Address） ビット構成図　シンボル：EHCI Base Address　修正
		1667	31.3.4.5 Offset 10h レジスタ（EHCI Base Address） ビット一覧表　b31～b4のシンボル：EHCI Base Address　修正
		—	31.3.4.15 Offset F0h レジスタ（Transceiver characteristic）　全章　削除
		—	31.3.4.16 Offset F4h レジスタ（UTMI+ Operation Mode Control）　全章　削除
		1677	31.3.5.5 Offset 10h レジスタ（AHB-PCI Bridge Base Address） ビット構成図　シンボル：PCICOM_BASEADR　修正
		1677	31.3.5.5 Offset 10h レジスタ（AHB-PCI Bridge Base Address） ビット一覧表　b31～b10のシンボル：PCICOM_BASEADR　修正
		1678	31.3.5.6 Offset 14h レジスタ（PCI-AHB WIN1 Base Address） ビット構成図　シンボル：PCI_WIN1_BASEADR　修正
		1678	31.3.5.6 Offset 14h レジスタ（PCI-AHB WIN1 Base Address） ビット一覧表　b31～b28のシンボル：PCI_WIN1_BASEADR、機能の説明文　修正
		—	31.3.5.7 Offset 18h レジスタ（PCI-AHB WIN2 Base Address）　全章　削除
		1681	31.3.6.1 PCIAHB_WIN1_CTR レジスタ ビット構成図　シンボル：AHB_BASEADR　修正
		1681	31.3.6.1 PCIAHB_WIN1_CTR レジスタ ビット一覧表　b31～b2のシンボル：AHB_BASEADR　修正
		1682	31.3.6.2 AHBPCI_WIN1_CTR レジスタ ビット構成図　シンボル：PCIWIN1_BASEADR　修正
		1682	31.3.6.2 AHBPCI_WIN1_CTR レジスタ ビット一覧表　b31～b11のシンボル：PCIWIN1_BASEADR　修正
		1683	31.3.6.3 AHBPCI_WIN2_CTR レジスタ アドレス　修正
		1683	31.3.6.3 AHBPCI_WIN2_CTR レジスタ ビット構成図　シンボル：PCIWIN2_BASEADR　修正
		1683	31.3.6.3 AHBPCI_WIN2_CTR レジスタ ビット一覧表　b31～b16のシンボル：PCIWIN2_BASEADR　修正
		1686	31.3.6.5 PCI_INT_STATUS レジスタ アドレス　修正
		1689	31.3.6.7 USBCTR レジスタ ビット一覧表　b9の機能の説明文　修正
		1710	図31.13 初期設定シーケンス　図中の書き込みプロテクト解除（BOWI): MPC.PWPR[7]=0のビット名　修正
		1710	図31.13 初期設定シーケンス　図中の書き込みプロテクト解除（PFSWE): MPC.PWPR[6]=0のビット名　修正
		1710	図31.13 初期設定シーケンス　図中のPCIAHB_WIN1_CTR RegisterのPCI転送時のエンディアンの設定　削除
		1710	図31.13 初期設定シーケンス　図中のPCIAHB_WIN1_CTR RegisterのPre-fetch Max16 ビートの設定　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	32. USB2.0HS ファンクションモジュール（USBf）	
		1713	32.1 概要 説明文 修正
		1713 ～ 1714	表32.1 USBの仕様 タイトル 修正
		1714	見出し：32.1.1 ブロック図 削除
		1714	図32.1 USB のブロック図 タイトル 修正
		1717	32.2.1.2 システムコンフィグレーションコントロールレジスタ1（SYSCFG1） ビット構成図 b11～b8 H/Wリセット後の値 修正
		1720	32.2.1.3 システムコンフィグレーションステータスレジスタ（SYSSTS0） ビット一覧表下部のラインステータスモニタビット（LNST） 説明文 修正
		1725	32.2.5.1 CFIFO ポートレジスタ（CFIFO） D0FIFO ポートレジスタ（D0FIFO） D1FIFO ポートレジスタ（D1FIFO） ビット構成図 シンボル：FIFOPORT 修正
		1759	32.2.12.2 DCP コントロールレジスタ（DCPCTR） ビット一覧表 b14～b13、b11 機能の説明文 修正
		1762	32.2.13.1 パイプウィンドウ選択レジスタ（PIPESEL） ビット構成図 注1. 削除
		1776	32.2.14.1 PIPE1 コントロールレジスタ（PIPE1CTR） PIPE2 コントロールレジスタ（PIPE2CTR） PIPE3 コントロールレジスタ（PIPE3CTR） PIPE4 コントロールレジスタ（PIPE4CTR） PIPE5 コントロールレジスタ（PIPE5CTR） ビット一覧表 b13 機能の説明文 修正
		1781	32.2.14.2 PIPE6 コントロールレジスタ（PIPE6CTR） PIPE7 コントロールレジスタ（PIPE7CTR） PIPE8 コントロールレジスタ（PIPE8CTR） PIPE9 コントロールレジスタ（PIPE9CTR） ビット一覧表 b13 機能の説明文 修正
		1787	表32.18 SUSPM = “0”時に、ソフトウエアによる書き込みが可能なレジスター覧 アドレス：A006 0002hのレジスタ名 修正 アドレス：A006 0032hの項目 削除 アドレス：A006 0102hのレジスタ名 修正 注1. 削除
		1788	32.2.17.1 D0FIFO 連続転送ポートレジスタn（D0FIFOBn）（n = 0~7） D1FIFO 連続転送ポートレジスタn（D1FIFOBn）（n = 0~7） ビット構成図 シンボル：FIFOPORT 修正
		1791	図32.4 起動シーケンス 図中のビット名 修正
		1794	表32.22 USBf割り込み出力動作表 上部の説明文 修正
		1796	図32.6 割り込み関連図 図 修正
		1811	32.11.1（3）マックスパケットサイズオーバ タイトル 修正
		33. FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1818	見出し：33.2 入出力端子 削除
		1827	33.2.8 ビットレートレジスタ（BRR） 注 削除
		1830	表33.9 外部クロック入力時の最大ビットレート（クロック同期式モード） 表全面 修正
		1836	33.3.12 シリアルポートレジスタ（SPTR） 説明文 修正
		1836	33.3.12 シリアルポートレジスタ（SPTR） ビット構成図 シンボル：RTS2DT、CTS2DT、SCKDT、SPB2DTのリセット後の値 修正
		34. I2Cバスインタフェース（RIICa）	
		1870	表34.2 RIICの入出力端子 上部の説明文 修正
		1880	34.2.5 I2C バスモードレジスタ3（ICMR3） ビット構成図 b7のシンボル 修正
		1899	表34.5 転送速度に対するICBRH、ICBRLレジスタの設定例 注 修正
		1945	表34.6 割り込み要因 タイトル行：優先順位の欄 削除
		35. CANインタフェース（RSCAN）	
		1949	35.1.1 機能概要 説明文 修正
		1949 ～ 1950	表35.1 RSCANの仕様 タイトル 修正
		—	見出し：35.1.2 ブロック図 削除
		1951	図35.1 RSCAN のブロック図 タイトル 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	1976	35.2.13 受信ルールID レジスタ（RSCAN0GAFLIDj）（j = 0 ~ 15） ビット構成図　シンボル：GAFLID　修正
		1977	35.2.14 受信ルールマスクレジスタ（RSCAN0GAFLMj）（j = 0 ~ 15） ビット構成図　シンボル：GAFLIDM　修正
		1980	35.2.16 受信ルールポインタ1 レジスタ（RSCAN0GAFLP1j）（j = 0 ~ 15） ビット構成図　シンボル：GAFLFDP　修正
		1980	35.2.16 受信ルールポインタ1 レジスタ（RSCAN0GAFLP1j）（j = 0 ~ 15） ビット一覧表　b25～b8のシンボル　修正
		1983	35.2.19 受信バッファ ID レジスタ（RSCAN0RMIDq）（q = 0 ~ 31） ビット構成図　シンボル：RMID　修正
		1992	35.2.26 受信FIFO バッファアクセスID レジスタ（RSCAN0RFIDx）（x = 0 ~ 7） ビット構成図　シンボル：RFID　修正
		2004	35.2.33 送受信FIFO バッファアクセスID レジスタ（RSCAN0CFIDk）（k = 0 ~ 5） ビット構成図　シンボル：CFID　修正
		2010	35.2.37 FIFO エンプティステータスレジスタ（RSCAN0FESTS） ビット構成図　b25～b17　H/Wリセット後の値　修正
		2010	35.2.37 FIFO エンプティステータスレジスタ（RSCAN0FESTS） ビット一覧表　b25～b17のシンボル　修正
		2025	35.2.50 送信バッファ ID レジスタ（RSCAN0TMIDp）（p = 0 ~ 31） ビット構成図　シンボル：TMID　修正
		2031	35.2.55 送信キューステータスレジスタ（RSCAN0TXQSTSm）（m = 0, 1） ビット構成図　b12～b8　リセット後の値　修正
		2041	35.2.64 RAM テストページアクセスレジスタ（RSCAN0RPGACCr）（r = 0 ~ 63） ビット構成図　シンボル：RDTA　修正
		37.　SPI マルチI/O バスコントローラ（SPIBSC）	
		2185	表37.1 SPIBSCの仕様　下部に図37.1 SPIBSC のブロック図　説明文　修正
		—	見出し：37.2 ブロック図　削除
		—	見出し：37.3 入出力端子　削除
		2186	表37.2 SPIBSCの入出力端子　タイトル　修正
		2187	37.4.1 共通コントロールレジスタ（CMNCR） ビット一覧表　b6　機能の説明文　修正
		2202	37.4.11 SPI モードアドレス設定レジスタ（SMADR） ビット構成図　シンボル：ADR　修正
		2205	37.4.14 SPI モードリードデータレジスタ0（SMRDR0） ビット構成図　シンボル：RDATA0　修正
		2205	37.4.14 SPI モードリードデータレジスタ0（SMRDR0） ビット構成図　リセット後の値　修正
		2205	37.4.15 SPI モードライトデータレジスタ0（SMWDR0） ビット構成図　シンボル：WDATA0　修正
		38.　CRC演算器（CRC）	
		2230	38.2.1 CRC データ入力レジスタ（CRCDIR） ビット構成図　シンボル：CRCDIR　修正
		2231	38.2.2 CRC データ出力レジスタ（CRCDOR） ビット構成図　シンボル：CRCDOR　修正
		41.　ΔΣインタフェース（DSMIF）	
		2286	41.2.2 UVW ステータスレジスタ（UVWSTA） ビット構成図　シンボル：ERWSC、ERVSC、ERUSCのリセット後の値　修正
		2292	41.2.7 UVW 合計電流異常検出下限値設定レジスタ（UVWIGUNCMP） ビット構成図　シンボル：CMPUVWIGNDUNDER　修正
		2293	41.2.8 UVW 合計電流異常検出上限値設定レジスタ（UVWIGOVCMP） ビット構成図　シンボル：CMPUVWIGNDOVER　修正
		2304	41.2.22 XYZ ステータスレジスタ（XYZSTA） ビット構成図　b6～b5　リセット後の値　修正
		2304	41.2.22 XYZ ステータスレジスタ（XYZSTA） ビット構成図　シンボル：ERXSCのリセット後の値　修正
		2304	41.2.22 XYZ ステータスレジスタ（XYZSTA） ビット一覧表　b6～b5　説明　修正
		42.　エラーコントロールモジュール（ECM）	
		2320	表42.1 ECMの仕様　タイトル　修正
		2333	42.2.8 ECM マスカブル割り込みコンフィグレーションレジスタ0（ECMMICFG0） ビット一覧表　b2、b1、b0　機能の説明文　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	2238	42.2.11 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0（ECMNMICFG0） ビット一覧表　b2、b1、b0　機能の説明文　修正
		2344	42.2.14 ECM 内部リセットコンフィグレーションレジスタ0（ECMIRCFG0） ビット一覧表　b2、b1、b0　機能の説明文　修正
		2349	42.2.17 ECM エラーマスクレジスタ0（ECMEMK0） ビット一覧表　b2、b1、b0　機能の説明文　修正
		2354	42.2.20 ECM エラーソースステータスクリアトリガレジスタ0（ECMESSTC0） ビット一覧表　b2、b1、b0　機能の説明文　修正
		2362	42.2.25 ECM 擬似エラートリガレジスタ0（ECMPE0） ビット一覧表　b2、b1、b0　機能の説明文　修正
		2368	42.2.29 ECM ディレイタイマレジスタ（ECMDTMR）　説明文　修正
		2370	42.2.31 ECM ディレイタイマコンフィグレーションレジスタ0（ECMDTMCFG0） ビット一覧表　b2、b1、b0　機能の説明文　修正
		2375	42.2.34 ECM ディレイタイマコンフィグレーションレジスタ3（ECMDTMCFG3 ビット一覧表　b2、b1、b0　機能の説明文　修正
		2386	42.4.1 ECMCLK に関する注意事項　説明文　修正
		43.　12ビットA/Dコンバータ（S12ADCa）	
		2388 ～ 2389	表43.1 12ビットA/Dコンバータの仕様　項目：入力チャネル、A/D変換クロック　注1を注3に修正
		2420	43.2.13 サンプル& ホールド回路コントロールレジスタ（ADSHCR） アドレス　修正
		2490	図43.40 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー 図中のフローの判定文：“EMU2へのデータ転送機能を使用している？”　削除
		2490	図43.40 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー 図中のフローの処理文：“EMU2でADCからのデータ転送機能を禁止に設定する”　削除
		44.　温度センサ	
		2499	44.4.1 モジュールストップ機能の設定　説明文　削除
		45.　データ演算回路（DOC）	
		2500	図45.1 データ演算回路（DOC）のブロック図　タイトル　修正
		46.　RAM（製品オプション）	
		2507	表46.1 RAMの仕様　項目：RAMアドレス（R-IN Engine搭載製品）（Cortex-M3からのアクセス）の内容　修正
		2407	表46.1 RAMの仕様　注意　追加
		2517	46.2.8 2ビットECC エラーアドレスレジスタ（RAMDBEAD）　説明文　修正
		2517	46.2.8 2ビットECC エラーアドレスレジスタ（RAMDBEAD） ビット構成図　b31～b20　シンボル：ADDRESSを“－”に修正
		2517	46.2.8 2ビットECC エラーアドレスレジスタ（RAMDBEAD） ビット構成図　b19～b18　シンボル：ADDRESSをBANKに修正
		2517	46.2.8 2ビットECC エラーアドレスレジスタ（RAMDBEAD） ビット一覧表　b31～b20　ADDRESSを予約ビットに修正
		2517	46.2.8 2ビットECC エラーアドレスレジスタ（RAMDBEAD） ビット一覧表　b19～b18　ADDRESSをBANK　修正
		2518	46.2.9 2ビットECC エラーアドレスレジスタ（RAMDBEAD）（R-IN Engine 搭載製品）　説明文　修正
		2518	46.2.9 2ビットECC エラーアドレスレジスタ（RAMDBEAD）（R-IN Engine 搭載製品） ビット構成図　b31～b20　シンボル：ADDRESSを“－”に修正
		2518	46.2.9 2ビットECC エラーアドレスレジスタ（RAMDBEAD）（R-IN Engine 搭載製品） ビット構成図　b19～b18　シンボル：ADDRESSをBANKに修正
		2518	46.2.9 2ビットECC エラーアドレスレジスタ（RAMDBEAD）（R-IN Engine 搭載製品） ビット一覧表　b31～b20　ADDRESSを予約ビットに修正
		2518	46.2.9 2ビットECC エラーアドレスレジスタ（RAMDBEAD）（R-IN Engine 搭載製品） ビット一覧表　b19～b18　ADDRESSをBANKに修正
		2518	46.2.9 2ビットECC エラーアドレスレジスタ（RAMDBEAD）（R-IN Engine 搭載製品）　注　修正
		2521	46.3.3（1）ECC エラーインジェクション設定処理手順例 図中のフローの処理文：“エラー注入機能を有効。”　修正
		2522	46.3.3（2）ECC 動作確認処理手順 図中のフローの処理文：“RAMEDCレジスタに0000_0001hを書き込む。”の後に 処理文：“RAMPCMDレジスタに0000_0000hを書き込む。”　を追加
		2522	46.3.3（2）ECC 動作確認処理手順 図中のフローの処理文：“RAMDBEADレジスタをリードしてエラー発生したアドレスを取得する”　修正
		2522	46.3.3（2）ECC 動作確認処理手順 図中のフローの処理文：“RAMDBECNTレジスタをリードしてエラーの発生数を取得する。”　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2015.04.06	2522	46.3.3（2）ECC 動作確認処理手順 図中のフローの処理文：“RAMPCMD レジスタに0000_0000hを書き込む。” 削除
		47. 電気的特性（ターゲット）	
		2524	図47.1 電源投入・切断シーケンス (2)Tdly12の期間修正
		2532	表47.13 EXTALクロックタイミング 25.00 ± 25ppm、（注1）追加
		2532	表47.14 XTALクロックタイミング （注2）追加
		2537	図47.12 通常空間基本バスサイクル（ノーウェイト） タイトル 修正
		2538	図47.13 通常空間基本バスサイクル（ソフトウェアウェイト1） タイトル 修正
		2539	図47.14 通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト 1 挿入） タイトル 修正
		2540	図47.15 通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効（WM ビット= 0）、アイドルサイクルなし） タイトル 修正
		2563	見出し：47.4.5.1 I/O ポートタイミング 追加
		2564	見出し：47.4.5.2 TPUa タイミング 追加
		2465	見出し：47.4.5.3 RCMTW タイミング 追加
		2466	見出し：47.4.5.4 MTU3a タイミング 追加
		2567	見出し：47.4.5.5 POE3 タイミング 追加
		2568	見出し：47.4.5.6 GPTA タイミング 追加
		2569	見出し：47.4.5.7 A/D コンバータトリガタイミング 追加
		2570	見出し：47.4.5.8 SCIFA タイミング 追加
		2572	見出し：47.4.5.9 RSPIa タイミング 追加
		2576	見出し：47.4.5.10 SPIBSC タイミング 追加
		2578	図47.63 SPIBSC バッファオン／オフタイミング（CPHAT=0, SPHAR=1） 追加
		2579	見出し：47.4.5.11 RIICa タイミング 追加
		2579	表47.29 RIICaタイミング 項目：RIICa（Standardmode） SCL、SDA入力立ち上がり時間の記号 修正
		2579	表47.29 RIICaタイミング 項目：RIICa（Standardmode） SCL、SDA入力立ち下がり時間の記号 修正
		2579	表47.29 RIICaタイミング 項目：RIICa（Fast-mode） SCL、SDA入力立ち上がり時間の記号 修正
		2579	表47.29 RIICaタイミング 項目：RIICa（Fast-mode） SCL、SDA入力立ち下がり時間の記号 修正
		2581	見出し：47.4.5.12 シリアルサウンドインタフェースタイミング 追加
		2583	見出し：47.4.5.13 CAN インタフェースタイミング 追加
		2584	見出し：47.4.5.14 ETHERC タイミング 追加
		2584	表47.32 ETHERCタイミング 項目：ETHERC（MII） ETHn_TXD0～ETHn_TXD3出力遅延時間 修正
		2584	表47.32 ETHERCタイミング 項目：ETHERC（MII） ETHn_RXD0～ETHn_RXD3セットアップ時間 修正
		2584	表47.32 ETHERCタイミング 項目：ETHERC（MII） ETHn_RXD0～ETHn_RXD3ホールド時間 修正
		2588	見出し：47.4.5.15 シリアル・マネージメント・インタフェース 追加
		2589	見出し：47.4.5.16 ΔΣ インタフェースタイミング 追加
		2591	図47.83 測定回路（フルスピード時） 図中の抵抗の記号 削除
		2593	表47.37 12ビットA/D（ユニット0）変換特性 「チャネル専用サンプルホールド回路使用時（AN000～AN003） 断線検出アシスト機能使用時」項目変更
		2593	表47.37 12ビットA/D（ユニット0）変換特性 「チャネル専用サンプルホールド回路使用時（AN000～AN003） 断線検出アシスト機能未使用時」項目追加
		2595	表47.39 温度センサ特性 出力電位typ値変更
0.90	2015.08.28	1. 概要	
		66	表1.2 パッケージ別機能比較一覧 Encoderインタフェースを修正
		67 ～ 68	表1.3 製品一覧表 製品追加
		74	表1.4 端子機能一覧 USB_RREFの機能説明を修正（AVSS33USB→VSS_USB）
		76	表1.4 端子機能一覧 Encoder I/Fを追加
		79 ～ 85	表1.5 端子配置（320ピンFBGA） ENCIF00～ENCIF07端子を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2015.08.28	90 ～ 99	表1.7 機能別端子一覧（320ピンFBGA） その他の欄にEncoder I/Fを追加
		90 ～ 99	表1.7 機能別端子一覧（320ピンFBGA） ENCIF00～ENCIF07端子を追加
		97	表1.7 機能別端子一覧（320ピンFBGA） ピン番号T8のバスの端子名誤記修正
		3. 動作モード	
		115	図3.2 ローダ用パラメータ、ローダプログラムのメモリ配置 注4.を修正
		121	表3.7 ブート終了時のARM CP15レジスタの状態 システム制御補助レジスタのブート終了時の設定値を修正
		4. アドレス空間	
		127	図4.1 メモリマップ 誤記修正（DMA0→DMAC0）、注6.を削除し、「xxxのミラー領域」の記載に修正
		128	図4.2 メモリマップ（拡張内蔵SRAM 1MB品） 注4.を削除し、「xxxのミラー領域」の記載に修正
		7. クロック発生回路	
		247	7.8.9 USBクロックM（USBMCLK） 説明文を修正
		247	7.8.14 ECM クロック（ECMCLK） 説明文を修正
		14. バスステートコントローラ	
		439	14.4.6 SDRAMインタフェース (1) SDRAM直結インタフェース 説明文を修正
		15. DMA コントローラ（DMACAa）	
		495	15.2.12 チャネルコントロールレジスタn（CHCTRL_n） b0（SETEN）の機能説明に注.を追加
		497 ～ 500	15.2.13 チャネルコンフィギュレーションレジスタn（CHCFG_n） レジスタの説明文を修正、b30（REN）の機能説明を修正
		563	15.5.2 設定例2（レジスタ・モード ソフトウェア・リクエスト） 設定例2のCHCFGの設定を修正
		17. I/Oポート	
		618	表17.3 未使用端子の処理内容 誤記修正（ERROROUT→ERROROUT#）
		18. マルチファンクションピンコントローラ（MPC）	
		640	表18.1 兼用端子構成一覧 Encoder I/Fを追加
		646	18.2.5 P3n 端子機能制御レジスタ（P3nPFS） リセット後の値を修正、表18.6 320ピンBGA端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値の（リセット後の値）を修正
		647	18.2.5 P3n 端子機能制御レジスタ（P3nPFS） 表18.7 176ピンQFP端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値の（リセット後の値）を修正
		652	18.2.8 P6n端子機能制御レジスタ（P6nPFS） 表18.12 320ピンBGA端子入出力機能レジスタ設定 011110bのP67を修正
		654	18.2.9 P7n 端子機能制御レジスタ（P7nPFS） 表18.14 320ピンBGA、176ピンQFP端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値101011bを追加
		658	18.2.11 P9n 端子機能制御レジスタ（P9nPFS） 表18.17 320ピンBGA端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値101011bを追加
		659 ～ 660	18.2.12 PAn 端子機能制御レジスタ（PAnPFS） 表18.18 320ピンBGA、176ピンQFP端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値101011bを追加
		677	18.2.25 PPn 端子機能制御レジスタ（PPnPFS） 表18.34 320ピンBGA端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値101011bを追加
		678	18.2.26 PRn 端子機能制御レジスタ（PRnPFS） 表18.35 320ピンBGA端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値101011bを追加
		679	18.2.27 PSn 端子機能制御レジスタ（PSnPFS） 表18.36 320ピンBGA端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値101011bを追加
		680	18.2.28 PTn 端子機能制御レジスタ（PTnPFS） 表18.37 320ピンBGA端子入出力機能レジスタ設定 PSEL[5:0]ビット設定値101011bを追加
		20. ポートアウトプットイネーブル3（POE3）	
		全体	GPT端子の誤記修正（GTP→GPT）
		28. イーサネットMAC（ETHERC）	
		1363	28.2.3 ハードウェアファンクションコールレジスタ 参照先を修正
		1370	28.3.1.1 初期設定 「28.3.3.1 初期設定」を「28.3.1.1 初期設定」に移動、 説明文を修正、ハードウエアセットアップ手順を修正
		1374	表28.6 HWFNC_LongBuffer_Get 戻り値レジスタ R0[1:0]（Result）の機能説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2015.08.28	1393	28.3.3 イーサネットフレーム送信機能　1. 初期設定の参照先を修正
		1394	28.3.3.1 送信処理用バッファの獲得　R0 レジスタの値を修正
		1400	28.3.4.1 初期設定　説明文を修正
		—	28.3.4.7 ハードウェアファンクションコール発行処理フロー　削除
		29.　イーサネットスイッチ	
		1463	29.2.6.2 DLR ステータスレジスタ（DLR_STATUS）　b16, b17のリセット後の値を修正、注1.追加
		1467	29.2.6.5 DLR 割り込みステータス／アクノリッジレジスタ（DLR_IRQ_STAT_ACK）　b7, b8のリセット後の値を修正
		30.　EtherCATスレーブ・コントローラ（R-IN Engine搭載製品のみ）	
		1531	30.5.1 コンフィギュアド・ステーション・アドレス・レジスタ（STATION_ADR）　PDI, ECATのR/Wを修正
		1531	30.5.2 コンフィギュアド・ステーション・エイリアス・レジスタ（STATION_ALIAS）　PDI, ECATのR/Wを修正
		31.　USB2.0HSホストモジュール（USBh）	
		1603	31.1 概要　USB2.0ホスト機能を修正、AHB バス・インタフェース機能を削除
		1605	31.1.1.1 全般について　(3), (4)追加（「31.1.1.4 システムへの実装について」から移動）
		—	31.1.1.4 システムへの実装について　削除
		1611	31.3.1 OHCI Operational レジスタ　説明文を追加
		1637	31.3.2 EHCI Operational レジスタ　説明文を追加
		32. USB2.0HS ファンクションモジュール（USBf）	
		1715	表32.1 USBの仕様　USB Hi-Speed対応の説明を修正
		1717	32.1.1.2 バスインタフェース　説明文を修正
		1718	32.1.1.4 USB データ転送　説明文を修正
		全体	32.2　レジスタの説明　「Function Controller機能選択時」の文言、箇条書きを削除
		1719	32.2.1.1 システムコンフィグレーションコントロールレジスタ0（SYSCFG0）　b5（DRPD）の機能説明を修正、USB ブロック動作許可ビット（USBE）の説明文中のビットシンボルを修正（SuspendM→SUSPM）
		1722	32.2.1.3 システムコンフィグレーションステータスレジスタ（SYSSTS0） ラインステータスモニタビット（LNST）の説明文を修正
		1722	表32.4 USBデータバスラインステータス表　「Low-Speed 動作時（Host Controller 機能選択時のみ）」の項目削除
		1730	32.2.5.2 CFIFO ポート選択レジスタ（CFIFOSEL） FIFO ポートアクセスパイプ指定ビット（CURPIPE）、CFIFO ポートアクセスビット幅（MBW）の説明文を修正
		1733	32.2.5.3 D0FIFO ポート選択レジスタ（D0FIFOSEL）、D1FIFO ポート選択レジスタ（D1FIFOSEL） DxFIFO ポートアクセスビット幅（MBW）の説明文を修正
		1745	32.2.8.2 BRDY 割り込みステータスレジスタ（BRDYSTS）　各パイプのBRDY 割り込みステータスビット（PIPEBRDY）の説明文を修正
		1748	32.2.8.3 NRDY 割り込みステータスレジスタ（NRDYSTS）　各パイプのNRDY割り込みステータスビット（PIPENRDY）の説明文を修正
		1750	32.2.8.4 BEMP 割り込みステータスレジスタ（BEMPSTS）　各パイプのBEMP 割り込みステータスビット（PIPEBEMP）の説明文を修正
		1757	32.2.11.2 USB リクエストバリューレジスタ（USBVAL）　バリュービット（wValue）の説明文を修正
		1758	32.2.11.3 USB リクエストインデックスレジスタ（USBINDX）　インデックスビット（wIndex）の説明文を修正
		1759	32.2.11.4 USB リクエストレングスレジスタ（USBLENG）　レングスビット（wLength）の説明文を修正
		1770	32.2.13.3 パイプバッファ指定レジスタ（PIPEBUF） b7-b0（BUFNMB[7:0]）の機能説明を修正（(4h-87h)→(4h-80h)）、 バッファ番号ビット（BUFNMB）の説明文を修正（(8.5K バイトの場合は0 [00h]から8640 [87h])→(8Kバイトの場合は0 [00h] から8192 [0x80])）
		1794	32.3.3 USB データバス抵抗制御　説明文を修正
		1795	32.3.5 クロック停止時の注意点　説明文を修正（6.5ms→5.5ms）
		1802	表32.23 PIPE設定項目一覧表　PIPEBUF レジスタのBUFNMBビットの備考を修正（領域8-87hex→領域8-80hex）
		1815	32.11.3.2 インターバルカウンタの初期化　見出しタイトルを修正
		33.　FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1831	表33.4 ビットレートに対するBRR レジスタの設定例（調歩同期式モード） ビットレート110bpsの行を削除、115200bps, 500000bpsのSERICLKを修正（空欄）、注.を修正
		1832	表33.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（調歩同期式モード）　最大ビットレートを修正、注.を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2015.08.28	1832	表33.8 外部クロック入力時の最大ビットレート（調歩同期式モード） 最大ビットレートを修正、注.を修正
		1835	表33.10 ビットレートに対するBRR、MDDRレジスタの設定例（調歩同期式モード） 追加
		1869	33.8.4 ブレークの送出 説明文中のビット名の誤記を修正（SPB2DT→SPB2IO）
		37. SPI マルチI/O バスコントローラ（SPIBSC）	
		2190	37.2.1 共通コントロールレジスタ（CMNCR） b24（SFDE）のリセット後の値を修正
		41. ΔΣインタフェース（DSMIF）	
		2319	表41.8 フィルタリング設定 タイトルを修正（「必ず以下のレジスタ値の組み合わせで使用してください。」の文言追加）
		2322	41.5.2 過電流検出時の電流値データに関する注意事項 追加
		42. エラーコントロールモジュール（ECM）	
		2386	42.3.1 エラー出力動作 説明文修正、（表）ダイナミックモードのERROROUT#端子出力レベルを修正
		46. RAM（製品オプション）	
		2510	表46.1 RAMの仕様 データ保持機能の項目を削除
		47. 電気的特性	
		2528	表47.3 DC特性（2）【消費電流】 通常動作VDDの項目を修正、T.B.D.に数値を記載
		2579	表47.28 SPIBSCタイミング tSU, tHのmin値を修正
		2580	図47.60 SPIBSC送受信タイミング（CPHAT=0, CPHAR=1） タイトルを修正（SPHAR→CPHAR）
		2581	図47.63 SPIBSCバッファオン／オフタイミング（CPHAT=0, CPHAR=1） タイトルを修正（SPHAR→CPHAR）
		2582	表47.29 RIICaタイミング 記号を修正（tr→tsr、tf→tsf）、注4.追加
		2587	表47.32 ETHERCタイミング 記号Tr/Tf→Tr, Tf に修正
		2587	図47.70 CLKOUT25MnとRMII信号とのタイミング 修正
		2589	図47.74 MII 送信タイミング（正常動作時） 修正（ETHn_CRS, ETHn_COL を削除）
		2589	図47.75 MII 送信タイミング（衝突発生ケース） 修正（ETHn_CRS, ETHn_COL を削除）
		2591	表47.33 シリアル・マネージメント・インタフェース ETHn_MDIO出力遅延時間 （対 ETHn_MDC ↑）→（対 ETHn_MDC ↓）に修正、tDMDIOのmin値、max値を修正
		2591	図47.78 シリアル・マネージメントアクセスタイミング 修正
		2596	表47.37 12ビットA/D（ユニット0）変換特性 T.B.D.に数値を記載
		2597	表47.38 12ビットA/D（ユニット1）変換特性 T.B.D.に数値を記載
		付録1. 外形寸法図	
		2603 ～ 2604	追加
1.00	2015.12.16	全体	R-IN Engine搭載製品→オプション、EtherCATスレーブ・コントローラ（オプション）、EtherCAT（オプション）、EtherCAT(オプション)搭載製品に変更
		全体	S12ADCのモジュールシンボルを変更（S12ADCa）
		全体	GPTAのモジュールシンボルを変更（GPTa）
		特長	
		58	注4.を追加
		1. 概要	
		64	表1.1 仕様概要 12ビットA/Dコンバータの変換時間を変更
		65	表1.1 仕様概要 注5.を変更
		66	表1.2 EtherCATスレーブコントローラ（ECATC）の機能比較を変更
		69	図1.1 ブロック図 GPTaのモジュール名の誤記を修正
		73	表1.4 端子機能一覧 ETH2_RXD0～3端子を追加、PHYLINK0, PHYLINK1端子の機能を変更、PHYRESETOUT#, PHYRESTOUT2#端子の機能を変更、CATRESTOUT端子を削除
		76	表1.4 端子機能一覧 注1.を追加
		77	図1.2 ピン配置図（320 ピンFBGA） 端子番号A10の端子名の誤記を修正
		5. I/O レジスタ	
		182	表5.1 I/Oレジスタアドレス一覧 アドレスの誤記を修正（A007 20BCh→A007 20ACh）
		207	表5.1 I/Oレジスタアドレス一覧 入力ラーニングブロッキングレジスタのレジスタシンボルの誤記を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.12.16	217	表5.1 I/Oレジスタアドレス一覧　GMAC_LPI_TIMINGレジスタのレジスタ名の誤記を修正、BUFIDレジスタのレジスタ名を変更、ETHER SWITCH 10Mbps/半二重モード設定レジスタ（ETHSW10HDEN）を追加
		9.　消費電力低減機能	
		262	ビット機能（表）のb18（MSTPCRB18）のビット名を変更、注3.を追加
		265	9.2.5 モジュールストップコントロールレジスタE（MSTPCRE）　b1-b3（予約ビット）の機能説明を変更
		10.　デバッグインタフェース	
		282	表10.10 使用可能なトレース機能　モジュール名を変更
		12.　割り込みコントローラ（ICUA）	
		294	12.2.6 NMI端子割り込みコントロールレジスタ（NMICR）　レジスタ説明を変更
		345	12.4.2.13 割り込みアドレスレジスタ（HVA0）　レジスタ説明を変更
		371	図12.6 VICのレジスタ初期化　図を変更、注.を追加
		375	図12.8 IRQ割り込み動作（レベル動作）　変更（HVAレジスタ→HVA0レジスタ）
		376	図12.9 IRQ割り込み動作（エッジ割り込み）　変更（HVAレジスタ→HVA0レジスタ）
		378	図12.10 多重割り込み処理の概念　（1/2）　説明を変更
		379	図12.10 多重割り込み処理の概念　（2/2）　説明を追加
		382	12.4.6.3 レベル検出選択時の注意　説明を変更、プログラム例を追加
		14.　バスステートコントローラ	
		392	概要を変更（誤記を修正　外部バスコントローラ→バスステートコントローラ）
		476	表14.19 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数　注1.を変更（ビットシンボルの誤記を修正）
		15. DMAコントローラ（DMACAa）	
		479	表15.2 DMACの入出力端子　注.を変更（参照先を追加）
		497	ビット機能（表）のb10-b8（AM[2:0]）の機能説明を変更（注.を追加）
		502	15.2.17 ソースコンティニュアスレジスタn（SCNT_n）　レジスタ説明を変更（0000h→0000 0000h）
		505	15.2.19 デスティネーションコンティニュアスレジスタn（DCNT_n）　レジスタ説明を変更（0000h→0000 0000h）
		508	15.2.21 DMA コントロールレジスタ（DCTRL_X（X = A,B））　ビット機能（表）のb31-b1（予約ビット）を変更
		531	図15.13 ブロック転送モード（REQD = 0、SDS = DDS）　変更（内部信号に変更）、注.を追加
		545	15.3.5 DMA アクノリッジ出力／DMA トランザクション終了出力機能　説明を追加
		546	表15.22 DACKn／TENDn端子出力設定　マスクモードの用途を変更（Low→インアクティブ）
		561	表15.25 DMA転送の設定例1　転送元の開始アドレスを変更、DMA転送要求の内容を変更、DMA転送要求元選択を追加
		561	15.5.1 設定例1（レジスタ・ハードウェア・リクエスト）　設定例1（N0SA、CHCFG）を変更
		562	図15.37 設定例1　変更
		16.　イベントリンクコントローラ（ELC）	
		577	16.2.2 イベントリンク設定レジスタn（ELSRn）　n = 16を削除
		579	表16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応　イーサネットコントローラを変更((R-IN Engine搭載製品のみ)を削除)、イーサネットコントローラのELSR設定イベント信号を変更（オプションを追記）
		18.　マルチファンクションピンコントローラ（MPC）	
		全体	パッケージ名称の誤記を修正（320ピンBGA→320ピンFBGA、176ピンQFP→176ピンHLQFP）
		643	18.2.5 P3n端子機能制御レジスタ（P3nPFS）　ビット配置図のリセット後の値を変更、注1.、注2.を追加
		20.　ポートアウトプットイネーブル3（POE3）	
		948	表20.1 POE3の仕様　ハイインピーダンス発生条件の出力端子の短絡のMTU相補PWM出力端子を変更
		21.　汎用PWM タイマ（GPTa）	
		1121	表21.10 チャネル0～2の出力端子　指定ポートを変更
		28.　イーサネットMAC（ETHERC）	
		全体	受信FIFO→受信バッファに変更
		1332	表28.2 ETHERCの入出力端子　ETH2_RXD0～3端子を追加、PHYLINK0, PHYLINK1の機能を変更、PHYRESETOUT#, PHYRESTOUT2#の機能を変更
		1336	表28.3 MAC機能の選択方法（EtherCAT（オプション）搭載製品）　表を変更
		1336	表28.4 MAC機能の選択方法　表を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.12.16	1338	28.2.1.6 イーサネット周辺リセットレジスタ（ETHSFTRST） ビット機能（表）のb2（PHYRST）の機能説明を変更
		1339	28.2.2.1 MIIMレジスタ（GMAC_MIIM） ビット機能（表）のb26（RWDV）のR/Wを変更
		1345	28.2.2.6 TX MODEレジスタ（GMAC_TXMODE） b26（SFOPビット）→b26（予約ビット）に変更
		1354	28.2.2.13 TX FIFOステータスレジスタ（GMAC_TXFIFO） b31（TFULLビット）→b31（予約ビット）に変更
		1358	28.2.2.18 受信バッファ情報レジスタ（BUFID） レジスタ説明を変更、ビット機能（表）のb31（NOEMP）のビット名、機能説明を変更、ビット機能（表）のR/Wを変更
		1365	28.3.1 ハードウェアファンクション 注.を追加
		1366	図28.4 ハードウェアファンクションコール発行処理フロー 変更
		1370	(e) Hardware Function Call 一覧 注.変更
		1374	図28.9 受信MACDMA処理概要 誤記を修正（BUFFID→BUFID）
		1397	28.3.4.6 受信データフォーマット ワード→64 bitに変更
		1397	図28.15 受信データ・フォーマット（TCP/IP、UDP/IPパケットではないフレームの場合） タイトルを変更、Padding（0～3Byte）→Padding （0～7Byte）に変更、TOOSHOTR→TOOSHORTに変更
		1398	図28.16 受信データ・フォーマット（TCP/IP、UDP/IPパケットを含むフレームの場合） 追加
		29. イーサネットスイッチ	
		全体	受信FIFO→受信バッファに変更
		1407	29.2.1.1 イーサネットPHY LINKモードレジスタ（ETHPHYLNK） ビット機能（表）のb0（SWLINK0）, b1（SWLINK1）, b2（CATLINK0）, b3（CATLINK1）のビット名を変更
		1410	29.2.1.4 ETHER SWITCH 10Mbps／半二重モード設定レジスタ（ETHSW10HDEN） 追加
		1415	29.2.2.5 入力ラーニングブロッキングレジスタ（INPUT_LEARN_BLOCK） レジスタシンボルを変更
		1469	29.2.6.12 DLRビーコンインターバルレジスタ（BEC_INTRVL） ビット機能（表）のb31-b0（BECINTVAL）の機能説明を変更
		1471	29.2.6.15 DLR ビーコン不正タイムアウトタイマレジスタ（INV_TMOUT） ビット機能（表）のb31-b0（INVBECTMOUT）の機能説明を変更
		30. EtherCATスレーブ・コントローラ（オプション）	
		1527	30.6.1 ライト・レジスタ・イネーブル・レジスタ（WR_REG_ENABLE） ビット機能（表）のb7-b1（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1527	30.6.2 ライト・レジスタ・プロテクション・レジスタ（WR_REG_PROTECT） ビット機能（表）のb7-b1（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1528	30.6.3 ESC ライト・イネーブル・レジスタ（ESC_WR_ENABLE） ビット機能（表）のb7-b1（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1528	30.6.4 ESC ライト・プロテクション・レジスタ（ESC_WR_PROTECT） ビット機能（表）のb7-b1（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1530	30.7.2 ESC リセットPDI レジスタ（ESC_RESET_PDI） ビット機能（表）のb7-b2（予約ビット）の機能説明を変更、PDIのR/Wを変更
		1531、1532	30.7.3 ESC DL コントロール・レジスタ（ESC_DL_CONTROL） ビット機能（表）のb7-b2（予約ビット）, b23-b19（予約ビット）, b31-b25（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1553	30.13.1 EEPROM コンフィギュレーション・レジスタ（EEP_CONF） ビット機能（表）のb7-b2（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1554	30.13.3 EEPROM コントロール／ステータス・レジスタ（EEP_CONT_STAT） ビット機能（表）のb6（READBYTE）, b7（PROMSIZE）のPDI, ECATのR/Wを変更
		1557	30.14.2 PHY アドレス・レジスタ（PHY_ADR） ビット機能（表）のb7-b5（予約ビット）のPDI, ECATのR/Wを変更
		1557	30.14.3 PHY レジスタ・アドレス・レジスタ（PHY_REG_ADR） ビット機能（表）のb7-b5（予約ビット）のPDI, ECATのR/Wを変更
		1558	30.14.5 MII マネージメントECAT アクセス・ステート・レジスタ（MII_ECAT_ACS_STAT） ビット機能（表）のb7-b1（予約ビット）のECATのR/Wを変更
		1559	30.14.6 MII マネージメントPDI アクセス・ステート・レジスタ（MII_PDI_ACS_STAT） ビット機能（表）のb7-b2（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1562	30.15.3 FMMU ロジカル・スタート・ビット・レジスタm（FMMUm_L_START_BIT） ビット機能（表）のb7-b3（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1562	30.15.4 FMMU ロジカル・ストップ・ビット・レジスタm（FMMUm_L_STOP_BIT） ビット機能（表）のb7-b3（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1563	30.15.6 FMMU フィジカル・スタート・ビット・レジスタm（FMMUm_P_START_BIT） ビット機能（表）のb7-b3（予約ビット）の機能説明を変更、ECATのR/Wを変更
		1564	30.15.7 FMMU タイプ・レジスタm（FMMUm_TYPE） ビット機能（表）のb7-b2（予約ビット）の機能説明を変更、ECATのR/Wを変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.12.16	1564	30.15.8 FMMU アクティベイト・レジスタ m（FMMUm_ACT） ビット機能（表）の b7-b1（予約ビット）の機能説明を変更、ECAT の R/W を変更
		1566	30.16.3 SyncManager コントロール・レジスタ m（SMm_CONTROL） ビット機能（表）の b7（予約ビット）の ECAT の R/W を変更
		1568	30.16.5 SyncManager アクティベイト・レジスタ m（SMm_ACT） ビット機能（表）の b5-b2（予約ビット）の機能説明を変更、ECAT の R/W を変更
		1569	30.16.6 SyncManager PDI コントロール・レジスタ m（SMm_PDI_CONT） ビット機能（表）の b7-b2（予約ビット）の機能説明を変更、PDI の R/W を変更
		1573	30.17.2.2 レシーブ・タイム ECAT プロセッシング・ユニット・レジスタ（DC_RCV_TIME_UNIT） リセット後の値を追加
		1578	30.17.3.1 サイクリック・ユニット・コントロール・レジスタ（DC_CYC_CONT） ビット機能（表）の b3-b1（予約ビット）, b7-b6（予約ビット）の機能説明を変更、ECAT の R/W を変更
		1581	30.17.4.4 SYNC0 ステータス・レジスタ（DC_SYNC0_STAT） ビット機能（表）の b7-b1（予約ビット）の PDI の R/W を変更
		1581	30.17.4.5 SYNC1 ステータス・レジスタ（DC_SYNC1_STAT） ビット機能（表）の b7-b1（予約ビット）の PDI の R/W を変更
		1585	30.17.5.1 ラッチ 0 コントロール・レジスタ（DC_LATCH0_CONT） ビット機能（表）の b7-b2（予約ビット）の ECAT の R/W を変更
		1585	30.17.5.2 ラッチ 1 コントロール・レジスタ（DC_LATCH1_CONT） ビット機能（表）の b7-b2（予約ビット）の ECAT の R/W を変更
		31. USB2.0HS ホストモジュール（USBh）	
		1636	31.3.2.5 USBCMD レジスタ ビット機能（表）の b4（Periodic Schedule Enable）の機能を変更（注. を追加）
		1657	31.3.3.12 Offset E0h レジスタ（EXT1） b12（予約ビット）→b12（PSD ビット）に変更
		33. FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1833	33.2.12 シリアルポートレジスタ（SPTR） レジスタ説明を変更、注. を追加
		1845	図 33.4 シリアル送信のフローチャートの例 注. を追加
		1862	33.8.4 SPTR レジスタへの書き込み 追加
		35. CAN インタフェース（RSCAN）	
		1946	表 35.1 RSCAN の仕様 通信速度の仕様（Tq）を変更
		1953	35.2.2 チャネル制御レジスタ（RSCAN0CmCTR） RTBO ビットのビット説明を変更（最大 1 CAN ビットタイム→最大 1 CANm ビットタイム）
		1962	35.2.5 グローバルコンフィグレーションレジスタ（RSCAN0GCFG） DCS ビットのビット説明を変更、表 35.4 転送レート・使用チャネル数での動作周波数範囲を削除
		1977	35.2.17 受信バッファナンバレジスタ（RSCAN0RMNB） ビット機能（表）の b7-b0（NRXMB [7:0]）の機能を変更
		2047	表 35.14 グローバルモードの遷移時間 CAN フレーム→CANm フレームに変更、注 1. を変更
		2050	表 35.15 チャネルモードの遷移時間 CANm フレーム→CANm フレーム（1 メッセージ）に変更
		2068	図 35.16 MCU のリセット後の設定手順 ビット名を変更（GSLPR→GMDC、CSLPR→GHMDC）、レジスタを削除（RSCAN0GAFLCFG1）
		2070	表 35.22 ビットタイミングの設定例 12Tq、24Tq、25Tq を追加
		2071	表 35.23 通信速度の設定例 40MHz 列を削除、32MHz 列を 25MHz に変更、16MHz 列、8MHz 列を削除
		2074	図 35.21 各種バッファの設定手順 変更（受信バッファ数 (0～31)→(0～32)）
		36. シリアルペリフェラルインタフェース（RSPIa）	
		2107	36.2.5 RSPI データレジスタ（SPDR） 上位側 16 ビット（H）のビット配置図を追加
		40. バウンダリスキャン	
		2266～2272	表 40.5 バウンダリスキャンレジスタ パッケージ名称の誤記を修正（320BGA→320FBGA）
		41. ΔΣインタフェース（DSMIF）	
		2300	41.2.30 チャネル X 電流値レジスタ 2（X2DATA） アドレスを変更
		42. エラーコントロールモジュール（ECM）	
		2316	42.2.2 ECM マスタ／チェッカエラークリアトリガレジスタ（ECMmECLR（m = M/C）） レジスタ説明のビットシンボルを変更（ECMmEST→ECMmECT）
		43. 12 ビット A/D コンバータ（S12ADCa）	
		2373	表 43.1 12 ビット A/D コンバータの仕様 変換時間を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.12.16	2373、2374	表43.1 12ビットA/Dコンバータの仕様　注の割り当てを変更
		―	43.5.11 許容信号源インピーダンスについて　削除
		46.　RAM（製品オプション）	
		2494	46.2.3 ECC デコーダコンフィグレーションレジスタ（RAMEDC）　レジスタ説明を変更（「Instruction RAM およびData RAM」に変更）
		47.　電気的特性	
		2507	表47.1 絶対最大定格　注4.を追加
		2508	図47.1 電源投入・切断シーケンス　注1.、注3.を変更
		2509	47.3 DC特性　条件を変更
		2509	表47.3 DC特性（2）【消費電流】 通常動作時のVccを変更、スタンバイモード＋全モジュールストップ時のAV0Icc, AV1Icc, VRF0Icc, VRF1Iccの単位を変更
		2513	47.4 AC特性　条件を変更
		2566	表47.32 ETHERCタイミング　ETHERC（RMII）の項目を変更（ETHn_Txxx, ETHn_Rxxx, ETHn_Rxxx）、T.B.D.に数値を追加、ETHERC（MII）にETHn_TXER出力遅延時間（tTERd）を追加
		2568	図47.74 MII送信タイミング　変更
		2568	図47.75 MII送信タイミング　変更
		2573	47.5 USB特性　条件を追加
		2675	47.6 A/D変換特性　条件を追加
		2577	47.7 温度センサ特性　条件を追加
		2580	図47.90 トレースインタフェースタイミング　変更
1.10	2016.04.26	特長	
		59	最大動作周波数 300MHz、498 DMIPSの性能を追加
		1.　概要	
		60	表1.1 仕様概要　Cortex-R4F：最大動作周波数（320ピンFBGA）を修正
		60	表1.1 仕様概要　クロック発生回路：CPUクロックを修正
		61	表1.1 仕様概要　VIC：周辺機能割り込み要因数を修正
		61	表1.1 仕様概要　汎用入出力ポート：320ピンFBGA、176ピンHLQFPのオープンドレイン出力を削除
		62	表1.1 仕様概要　TPUa：PWMモードの説明を修正、カスケード接続動作のチャネル数を修正
		69	表1.3 製品一覧表 (2 / 2)　4製品を追加
		71	表1.4 端子機能一覧 (1 / 7)　デバッグインタフェース：TRST#、TMS、TDI、TDO、TCKの機能説明を修正
		77	表1.4 端子機能一覧 (7 / 7)　P30～P37：入出力、機能説明を修正
		77	表1.4 端子機能一覧 (7 / 7)　PC0～PC7：入出力、機能説明を修正
		78	図1.2 ピン配置図（320 ピンFBGA）　タイトルを修正
		79	図1.3 ピン配置図（176 ピンHLQFP）　35ピン、37ピンの端子名を修正
		87	表1.6 端子配置（176ピンHLQFP）(1 / 4)　35ピン、37ピンの端子名を修正
		94	表1.7 機能別端子一覧（320ピンFBGA）(4 / 11)　ピン番号F6を追加
		98	表1.7 機能別端子一覧（320ピンFBGA）(8 / 11)　ピン番号T13を追加
		99	表1.7 機能別端子一覧（320ピンFBGA）(9 / 11)　ピン番号T15、T16、T18、V14を追加
		4.　アドレス空間	
		130	図4.2 メモリマップ（拡張内蔵SRAM 1MB 品）　注1.を修正
		131	図4.3 メモリマップ（拡張内蔵SRAM 0KB 品）　図中の（注4）を削除し「～のミラー領域」を追加
		131	図4.3 メモリマップ（拡張内蔵SRAM 0KB 品）　注1.を修正、注4.、注5.を削除（注6.→注4.に変更）
		5.　I/O レジスタ	
		184	表5.1 I/Oレジスタアドレス一覧 (52 / 87)　XYZ過電流異常検出下限値設定レジスタ（XYZIUNCMP）、XYZ過電流異常検出上限値設定レジスタ（XYZIOVCMP）のアドレスを修正
		7.　クロック発生回路	
		234	7.2.1 システムクロックコントロールレジスタ（SCKCR）　ビット機能表：b15-b14（ETCKD[1:0]）の“11”機能を修正
		238	7.2.4 PLL1 コントロールレジスタ（PLL1CR）　ビット機能表に注1.を追加（注.→注2.に変更）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2016.04.26	9. 消費電力低減機能	
		261	表9.2 各周辺モジュールの動作停止、解除方法 (2 / 2) Encoderインタフェースを追加、注3. を修正
		267	9.2.5 モジュールストップコントロールレジスタE（MSTPCRE） ビット配置図、ビット機能表：b0（MSTPCRE0）を追加
		12. 割り込みコントローラ（ICUA）	
		382	12.4.6.2 HVA0 レジスタアクセス時の注意点 説明を変更、プログラム例、注. を追加
		15. DMA コントローラ（DMACAa）	
		508	図15.2 DSKP とDCNT の関係 タイトルを修正
		564	表15.26 DMA転送の設定例2 転送元の開始アドレスを修正
		564	15.5.2 設定例2（レジスタ・モード ソフトウェア・リクエスト） 設定例2：N1SAの転送元アドレスを修正
		565	図15.38 設定例2 アドレスを修正
		566	表15.27 DMA転送の設定例3 転送元の開始アドレスを修正
		566	15.5.3 設定例3（レジスタ・モード連続実行） 設定例3：N0DAの転送先アドレス、N1SAの転送元アドレス、N1DAの転送先アドレスを修正
		567	図15.39 設定例3 アドレスを修正
		569	表15.30 DMA転送の設定例4（ディスクリプタ2） 転送元の開始アドレスを修正
		569	表15.31 DMA転送の設定例4（ディスクリプタ3） 転送先／転送元の開始アドレスを修正
		570	表15.32 ディスクリプタ設定 SA：ディスクリプタ2、ディスクリプタ3のアドレスを修正、DA：ディスクリプタ3のアドレスを修正
		17. I/O ポート	
		606	図17.2 入出力ポートの構成（2） 注1. を修正
		607	図17.3 入出力ポートの構成（3） 注1. を修正
		608	図17.4 入出力ポートの構成（4） 注1. を修正
		609	図17.5 入出力ポートの構成（5） 注1. を修正
		616	表17.3 未使用端子の処理内容 RES#、ポート33（TDO）を削除
		18. マルチファンクションピンコントローラ（MPC）	
		644	18.2.5 P3n 端子機能制御レジスタ（P3nPFS）（n = 0 ～ 7） 説明を修正
		644	18.2.5 P3n 端子機能制御レジスタ（P3nPFS）（n = 0 ～ 7） ISEL ビットの説明を修正
		19. マルチファンクションタイマパルスユニット3（MTU3a）	
		915	表19.81 チャネル6+7の出力端子 ポートグループ①の脚注を修正、注3. を修正
		20. ポートアウトプットイネーブル3（POE3）	
		982	表20.5 MTU／GPT端子と選択レジスタの対応 (2 / 2) 注2. を追加
		28. イーサネットMAC（ETHERC）	
		1365	28.2.3.4 ハードウェアファンクション戻り値レジスタ（R0, R1） 説明を修正
		1365	28.2.3.4 ハードウェアファンクション戻り値レジスタ（R0, R1） R0のビット機能表：b31-b0（R0B[31:0]）の機能説明を修正
		1365	28.2.3.4 ハードウェアファンクション戻り値レジスタ（R0, R1） R1のビット機能表：b31-b0（R1B[31:0]）の機能説明を修正
		1369	図28.4 ハードウェアファンクションコール発行処理フロー 注1. を追加
		29. イーサネットスイッチ	
		1410	29.2.1.1 イーサネットPHY LINK モードレジスタ（ETHPHYLNK） ビット機能表：b2（CATLINK0）、b3（CATLINK1）の機能“1”の誤記を修正
		1413	29.2.1.4 ETHER SWITCH 10Mbps ／半二重モード設定レジスタ（ETHSW10HDEN） ビット配置図：b1、b0のリセット後の値を修正
		1418	29.2.2.5 入力ラーニングブロッキングレジスタ（INPUT_LEARN_BLOCK） レジスタシンボルの誤記を修正（LERAN→LEARN）
		31. USB2.0HS ホストモジュール（USBh）	
		1710	図31.13 初期設定シーケンス 用語を修正（CPG→クロック）
		32. USB2.0HS ファンクションモジュール（USBf）	
		1790	図32.4 起動シーケンス 用語を修正（CPG→クロック）
		34. I2C バスインタフェース（RIICa）	
		1868	図34.1 RIIC のブロック図 FMPEを削除

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2016.04.26	1870	34.2.1 I2C バスコントロールレジスタ1（ICCR1）　添字（n）を追加
		1912	34.3.5 スレーブ送信動作　(2)、(6)の説明を修正（ICSR1.HOAビットを削除）
		1915	34.3.6 スレーブ受信動作　(2)、(5)の説明を修正（ICSR1.HOAビットを削除）
		35.　CAN インタフェース（RSCAN）	
		1947	表35.1 RSCANの仕様 (1 / 2)　通信速度：Tqを修正
		37.　SPI マルチI/O バスコントローラ（SPIBSC）	
		2185	37.2.1 共通コントロールレジスタ（CMNCR）　ビット機能表：b17-b16（MOIIO0[1:0]）、b19-b18（MOIIO1[1:0]）、b21-b20（MOIIO2[1:0]）、b23-b22（MOIIO3[1:0]）のビット名を修正
		2193	37.2.7 データリードオプション設定レジスタ（DROPR）　ビット配置図：b7-b0のビットシンボルを修正
		41.　ΔΣ インタフェース（DSMIF）	
		2296	41.2.22 XYZ ステータスレジスタ（XYZSTA）　ビット配置図：b8、b0を修正、ビット機能表：b0、b7、b8、b9を修正
		2297	41.2.23 XYZ 過電流異常検出下限値設定レジスタ（XYZIUNCMP）　アドレスを修正
		2297	41.2.24 XYZ 過電流異常検出上限値設定レジスタ（XYZIOVCMP）　アドレスを修正
		2308	41.3.6 設定例　説明を変更
		2308	図41.9 エラーコントロールモジュールの設定例　タイトルを修正、設定フローを修正、注1.を追加
		2309	図41.10 MCLKn 非反転時の動作　用語を修正（CPG→クロック発生回路）
		2309	図41.11 MCLKn 反転時の動作　用語を修正（CPG→クロック発生回路）
		2310	41.5.1 モジュールストップ解除時のエラー要因の初期化　説明を修正、注1.を修正
		42.　エラーコントロールモジュール（ECM）	
		2313	表42.2 ECMエラー入力（1 / 2）　エラー要因番号：29、30の機能を修正
		2317	42.2.3 ECMマスタ／チェッカエラーソースステータスレジスタ0（ECMmESSTR0（m = M/C））　ビット配置図：b29、b28を修正
		2319	42.2.3 ECMマスタ／チェッカエラーソースステータスレジスタ0（ECMmESSTR0（m = M/C））　ビット機能表：b28、b29を修正
		2323	42.2.8 ECM マスカブル割り込みコンフィグレーションレジスタ0（ECMMICFG0）　ビット配置図：b29、b28を修正
		2325	42.2.8 ECM マスカブル割り込みコンフィグレーションレジスタ0（ECMMICFG0）　ビット機能表：b28、b29を修正、b30、b31のビット名を修正
		2328	42.2.11 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0（ECMNMICFG0）　ビット配置図：b29、b28を修正
		2330	42.2.11 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0（ECMNMICFG0）　ビット機能表：b28、b29を修正
		2333	42.2.14 ECM 内部リセットコンフィグレーションレジスタ0（ECMIRCFG0）　ビット配置図：b29、b28を修正
		2335	42.2.14 ECM 内部リセットコンフィグレーションレジスタ0（ECMIRCFG0）　ビット機能表：b28、b29を修正、b31のビット名を修正
		2338	42.2.17 ECM エラーマスクレジスタ0（ECMEMK0）　ビット配置図：b29を修正
		2340	42.2.17 ECM エラーマスクレジスタ0（ECMEMK0）　ビット機能表：b28、b29を修正
		2343	42.2.20 ECM エラーソースステータスクリアトリガレジスタ0（ECMESSTC0）　ビット配置図：b29、b28を修正
		2345	42.2.20 ECM エラーソースステータスクリアトリガレジスタ0（ECMESSTC0）　ビット機能表：b28、b29を修正
		2348	42.2.24 ECM 保護ステータスレジスタ（ECMPS）　ビット機能表：b0（ECMPRERR）のR/Wを修正、b7-b1（予約ビット）の機能説明、R/Wを修正
		2349	42.2.25 ECM 擬似エラートリガレジスタ0（ECMPE0）　ビット配置図：b29、b28を修正
		2351	42.2.25 ECM 擬似エラートリガレジスタ0（ECMPE0）　ビット機能表：b28、b29を修正
		2356	42.2.31 ECM ディレイタイマコンフィグレーションレジスタ0（ECMDTMCFG0）　ビット配置図：b29、b28を修正
		2358	42.2.31 ECM ディレイタイマコンフィグレーションレジスタ0（ECMDTMCFG0）　ビット機能表：b28、b29を修正
		2361	42.2.34 ECM ディレイタイマコンフィグレーションレジスタ3（ECMDTMCFG3）　ビット配置図：b29、b28を修正
		2363	42.2.34 ECM ディレイタイマコンフィグレーションレジスタ3（ECMDTMCFG3）　ビット機能表：b28、b29を修正
		2370	42.3.4.1 保護シーケンス解除　1.の説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2016.04.26	43. 12 ビットA/D コンバータ（S12ADCa）	
		2373	表43.1 12ビットA/Dコンバータの仕様 (1 / 2) A/D変換クロック：内容を修正（用語「CPG」を削除）
		2474	43.5.12 許容信号源インピーダンスについて 追加
		44. 温度センサ	
		2479	図44.2 温度センサの使用手順フロー フローを修正
		47. 電気的特性	
		2504	表47.1 絶対最大定格 注5.を追加
		2507	表47.3 DC特性（2）【消費電流】 通常動作時（VDD）を修正
		2512	表47.10 動作周波数 CPUクロック（CPUCLK）/320ピンFBGAの値を修正、注1.を追加
		2579	図47.90 トレースインタフェースタイミング TRACECTR→TRACECTLに修正
1.20	2016.12.22	1. 概要	
		67	表1.2 パッケージ別機能比較一覧 ETHERC、ECATCの機能を修正、注1.を追加
		70	図1.1 ブロック図 ECATC、ETHERCの機能ブロックを修正、注1.を修正
		78	図1.2 ピン配置図（320 ピンFBGA） ERROROUT#ピンを修正
		3. 動作モード	
		118	表3.3 16ビット／32ビットバスブートモード時のローダ用パラメータ情報 注2.の参照先を修正
		119	表3.4 SPIブートモード時のローダ用パラメータ情報 注2.の参照先を修正
		121	3.5.4.1 SPI ブートモードにおける動作設定 動作設定項目を追加
		128	3.5.8.2 SPI ブートモード使用時のシリアルフラッシュについて 追加
		7. クロック発生回路	
		233	表7.3 クロック発生回路の入出力端子 MCLK0～MCLK3の機能を修正：⊿Σ インターフェース→⊿Σ インタフェース
		9. 消費電力低減機能	
		265	9.2.2 モジュールストップコントロールレジスタB（MSTPCRB） ビット機能表：注1.、注3.を修正
		10. デバッグインタフェース	
		273	図10.1 CoreSight のブロック図 参照先を修正
		284	図10.8 nTRST 出力をHigh ドライブできるエミュレータの接続回路例 エミュレータ未接続時、エミュレータ接続時の波形を修正
		12. 割り込みコントローラ（ICUA）	
		295	12.2.4 ノンマスカブル割り込みステータスレジスタ（NMISR） NMISTフラグの説明：[“1”になる条件]を修正
		308	12.3.4 NMI 端子割り込み 説明を修正
		354	12.4.2.15 割り込みサービスカレントレジスタn（ISCn） ISC1／ISCi ビットの説明：添え字（n）を修正
		355	12.4.2.15 割り込みサービスカレントレジスタn（ISCn） ISC3／ISCi ビットの説明：添え字（n）を修正
		356	12.4.2.15 割り込みサービスカレントレジスタn（ISCn） ISC5／ISCi ビットの説明：添え字（n）を修正
		357	12.4.2.15 割り込みサービスカレントレジスタn（ISCn） ISC7／ISCi ビットの説明：添え字（n）を修正
		358	12.4.2.15 割り込みサービスカレントレジスタn（ISCn） ISC9／ISCi ビットの説明：添え字（n）を修正
		359	12.4.2.16 割り込みアドレス格納レジスタ0（VADn） 割り込みアドレス格納レジスタ1（VADn） 添え字を修正：n→i
		364	表12.3 Cortex-R4F／DMAC割り込みベクタテーブル (2 / 10) ベクタ番号50／ETHPHYI2の要因を修正
		372	表12.3 Cortex-R4F／DMAC割り込みベクタテーブル 注4.を追加
		375	図12.8 レジスタ書き換えフロー 修正
		385	12.4.6.5 NMI端子割り込みを立ち下がりエッジで使用する場合 追加
		16. イベントリンクコントローラ（ELC）	
		581	表16.2 ELSRnレジスタと周辺機能の対応 ELSR16／Encoder I/F トリガ0（オプション）、ELSR28 Encoder I/F トリガ1（オプション）：追加
		582	表16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1 / 3) Encoder I/F を追加
		596	表16.5 イベント入力時のモジュール別動作一覧 Encoder I/F を追加
		17. I/O ポート	
		618	表17.3 未使用端子の処理内容 TRST#、TCKの処理内容を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2016.12.22	18.　マルチファンクションピンコントローラ（MPC）	
		634	表18.1 兼用端子構成一覧 (16 / 21)　PHYRESETOUT#をイーサネットコントローラ（Ether0）に移動
		20.　ポートアウトプットイネーブル 3（POE3）	
		950	表20.1 POE3の仕様　ハイインピーダンス発生条件の内容：MTU相補PWM出力端子を修正
		985	図20.4 Low 検出動作　PCLKBのクロックを修正
		21.　汎用 PWM タイマ（GPTa）	
		1119	21.7.4 GTIOC 端子出力の出力保護機能　(4) 出力保護機能の注意事項　説明を修正
		1121	21.9.2 コンペアマッチ動作時のGTCCRn レジスタの設定　(1) 三角波PWM モードでデッドタイムの自動設定を行っている場合　説明を修正
		24.　コンペアマッチタイマ（CMT）	
		1253	24.2.4 コンペアマッチタイマコントロールレジスタ（CMCR）　ビット機能表：b7（予約ビット）を追加
		28.　イーサネット MAC（ETHERC）	
		1343	28.2.2.1 MIIM レジスタ（GMAC_MIIM）　RWDVビットの機能説明を修正
		1344	28.2.2.3 TX RESULT レジスタ（GMAC_TXRESULT）　説明を修正
		1346	28.2.2.5 RX MODE レジスタ（GMAC_RXMODE）　レジスタ説明を修正、ビット機能表：RX FIFO Read Trigger Threshold ビット、Receive Almost Full Threshold ビット、Receive Almost Empty Threshold ビットの機能説明を修正
		1348、1349	28.2.2.6 TX MODE レジスタ（GMAC_TXMODE）　レジスタ説明を修正、ビット機能表：Transmit Almost Full Threshold ビット、Transmit Almost Empty Threshold ビットの機能説明を修正、注1. を追加
		1350	28.2.2.7 RESET レジスタ（GMAC_RESET）　機能説明を修正
		1353	28.2.2.9 RX FLOW CONTROL レジスタ（GMAC_FLWCTL）　レジスタ説明を修正
		1353	28.2.2.10 PAUSE パケットレジスタ（GMAC_PAUSPKT）　レジスタ説明を修正
		1356	28.2.2.12 RX FIFO ステータスレジスタ（GMAC_RXFIFO）　ビット機能表：RX FIFO Read Triggerビットの機能説明を修正
		1357	28.2.2.13 TX FIFO ステータスレジスタ（GMAC_TXFIFO）　ビット配置図、ビット機能表：TFULL ビットを追加
		1358	28.2.2.14 TCPIPACC レジスタ（GMAC_ACC）　ビット機能表：RX TCPIPアクセラレータ許可ビットの機能説明を修正
		1359	28.2.2.16 LPI モード制御レジスタ（GMAC_LPI_MODE）　レジスタ説明を修正
		1361	28.2.2.18 受信バッファ情報レジスタ（BUFID）　レジスタ説明を修正
		1362	28.2.3.1 ハードウェアファンクションシステムコールレジスタ（SYSC）　ビット機能表の SYSC[15:0] ビットの機能説明を修正：5104h、5114h を削除
		1368	図28.3 ハードウェアファンクションの概略ブロック図　修正
		1369	28.3.1.1 初期設定　ハードウエアセットアップ手順：<3> を修正、<4> を追加
		1371	28.3.1.3 Buffer Allocator　(1) 機能概要　説明を修正
		1374	28.3.1.3 Buffer Allocator　(2) Buffer 管理オペレーション　(e) Hardware Function Call 一覧　説明を修正
		1376	表28.9 HWFNC_Buffer_Return　戻り値レジスタ R0[2:0]の機能を修正
		1378	28.3.1.4 MAC DMAコントローラ　(2) 受信MAC DMA機能　説明を修正
		1378	図28.9 受信MACDMA 処理概要　割り込み名称を修正
		1379	28.3.1.4 MAC DMAコントローラ　(2) 受信MAC DMA機能　(a) 搭載されている各機能の説明：1-2) バッファの全解放機能の②を修正
		1380	28.3.1.4 MAC DMAコントローラ　(2) 受信MAC DMA機能　(a) 搭載されている各機能の説明：1-5) 受信フレームの良否判定機能の説明を修正
		1380	図28.10 受信フレーム良否判定機能の概念図　修正
		1384	表28.13 HWFNC_MACDMA_RX_Errstat　戻り値レジスタ R0[3:0]の機能を修正
		1387	表28.14 HWFNC_MACDMA_TX_Start　機能説明を修正
		1388	28.3.1.5 バッファ RAM DMA コントローラ　(2) DMA 転送　(a) バッファ RAM －データ RAM 間転送：説明を修正、(b) バッファ RAM またはデータ RAM のデータ置換：説明を修正
		1388	28.3.1.5 バッファ RAM DMA コントローラ　(2) DMA 転送　(c) バッファ RAM －バッファ RAM 間転送：削除
		1391	表28.18 HWFNC_INTBUFF_DMA_Start　削除
		1391	表28.19 HWFNC_INTBUFF_DMA_Start（ディスクリプタ）　削除
		1394	図28.13 送信データフォーマット　修正、注2. を削除
		1395	図28.14 送信フレーム制御情報　追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2016.12.22	1395	28.3.3.2 送信データの作成 (1) 送信フレーム制御情報 （表）ICRCの説明を修正、本文の説明を修正
		1396	28.3.3.2 送信データの作成 (2) イーサネットフレーム （表）Type/Length：項目にLengthを追加、説明を修正、VLAN Tag、VLAN Info：項目を追加
		1396	28.3.3.2 送信データの作成 (2) イーサネットフレーム (a) 送信TCPIP アクセラレータ機能が有効の場合：追加
		1397	28.3.3.2 送信データの作成 (2) イーサネットフレーム (b) 送信TCPIP アクセラレータ機能が無効の場合：追加
		1400	28.3.3.5 送信処理の完了 説明を修正
		1402	図28.20 受信データ・フォーマット 修正
		—	図28.16 受信データ・フォーマット（TCP/IP、UDP/IP パケットを含むフレームの場合） 削除
		1403	図28.21 受信フレーム情報 追加
		1403、1404	28.3.4.6 受信データフォーマット (1) 受信フレーム情報 （表）項目FIFOFULL→FIFOOVFに修正、IPV6NG、OUT_OF_LIST、VTAG、FIFOOVFの説明を修正、注1.を追加
		1405	28.3.4.6 受信データフォーマット (2) イーサネットフレーム （表）Type/Length：項目にLengthを追加、説明を修正、VLAN Tag、VLAN Info：項目を追加、FCS：説明を修正
		1405	図28.22 マネージメントタグの挿入が有効時のDestination MAC Address フィールド：修正
		1405	28.3.4.6 受信データフォーマット (2) イーサネットフレーム (a) マネージメントタグの挿入が許可されている場合 注.を追加
		1406	28.3.4.6 受信データフォーマット (2) イーサネットフレーム (b) 受信TCPIP アクセラレータ機能が有効かつTCP/UDP パケットを含まない場合：追加
		1407	28.3.4.6 受信データフォーマット (2) イーサネットフレーム (c) 受信TCPIPアクセラレータ機能が有効かつTCP/UDPパケットを含む場合：追加
		1408	28.3.4.6 受信データフォーマット (2) イーサネットフレーム (d) 受信TCPIP アクセラレータ機能が無効の場合：追加
		1409	28.3.5 TCPIPアクセラレータ機能 追加
		1409	28.3.5.1 TCPIPアクセラレータを使った送信 追加
		1410	28.3.5.2 TCPIPアクセラレータを使った受信 追加
		1413	28.4.1 送信フレーム内のMAC ヘッダ部に対するパディングの追加 説明を修正
		1413	28.4.2 受信時のチェックサム計算結果のハードウェアによる誤判定 追加
		1413	28.4.3 モジュールストップ機能の設定 説明を修正：MSTPCRB.MSTPCRB14 ～MSTPCRB17→MSTPCRB.MSTPCRB16 ～MSTPCRB19
		29. イーサネットスイッチ	
		1422	29.2.2.2 ユニキャストデフォルトマスクレジスタ（UCAST_DEFAULT_MASK） P0UCASTDM、P1UCASTDM、P2UCASTDMビットの機能説明を修正
		1423	29.2.2.3 ブロードキャストデフォルトマスクレジスタ（BCAST_DEFAULT_MASK） P0BCASTDM、P1BCASTDM、P2BCASTDMビットの機能説明を修正
		1424	29.2.2.4 マルチキャストデフォルトマスクレジスタ（MCAST_DEFAULT_MASK） P0MCASTDM、P1MCASTDM、P2MCASTDMビットの機能説明を修正
		1509	29.3.4.3 時刻調整機能付きタイマモジュール (1) 概要 説明を修正（ナノ秒タイマ：109→10^9）
		1522	29.4.4 モジュールストップ機能の設定 説明を修正
		30. EtherCAT スレーブ・コントローラ（オプション）	
		1607	30.18.5 モジュールストップ機能の設定 説明を修正
		1607	30.19 初期設定 追加
		33. FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1855	図33.5 送信時の動作例 修正（ICUのIRn→ICUのRAISn）
		1858	図33.9 SCIFAの受信時の動作例（8 ビットデータ／パリティあり／1 ストップビット／LSB ファーストの例）修正：ICUのIRn→ICUのRAISn
		1862	図33.14 SCIFA の送信時の動作例（LSB ファースト時） 修正：ICUのIRn→ICUのRAISn
		1864	図33.16 SCIFA の受信時の動作例（LSBファースト時） 修正：ICUのIRn→ICUのRAISn
		34. I^2C バスインタフェース（RIICa）	
		—	34.12.1 TXI 割り込みおよびRXI 割り込みバッファ動作 削除
		—	34.15.2 通信の開始に関する注意事項 削除
		36. シリアルペリフェラルインタフェース（RSPIa）	
		2115	36.2.5 RSPI データレジスタ（SPDR） ワードアクセス（SPLW ビットが“0”）のときのSPDRレジスタのビット配置図を修正：b31～b16→b15～b0

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2016.12.22	37. SPI マルチ I/O バスコントローラ（SPIBSC）	
		2192	37.2.1 共通コントロールレジスタ（CMNCR） ビット機能表：IO0FV[1:0]、IO2FV[1:0]、IO3FV[1:0]、MOIIO0[1:0]、MOIIO1[1:0]、MOIIO2[1:0]、MOIIO3[1:0]ビットの機能説明を修正
		2208	37.2.14 SPI モードリードデータレジスタ0（SMRDR0） レジスタ説明を修正
		2208	37.2.15 SPI モードライトデータレジスタ0（SMWDR0） レジスタ説明を修正
		2214	図37.4 外部アドレス空間リードモードのデータアライメント 修正
		2214	図37.5 SPI 動作モードのデータアライメント 修正
		40. バウンダリスキャン	
		2272	40.2.4 バウンダリスキャンレジスタ（JTBSR） 説明を修正：対応例→対応
		2273-2279	表40.5 バウンダリスキャンレジスタ （320FBGA）修正
		2280-2283	表40.6 バウンダリスキャンレジスタ (176QFP) 追加
		2287、2288	40.4 使用上の注意事項 6.、8.、12.、16.を追加
		42. エラーコントロールモジュール（ECM）	
		2324	表42.2 ECMエラー入力 (1 / 2) エラー要因番号5、6の機能を修正
		2326	42.2.1 ECM マスタ／チェッカエラーセットトリガレジスタ（ECMmESET（m = M/C））注2.、注6.のビット名の誤記修正：ECMIE228ビット→ECMMIE228ビット
		2359	42.2.23 ECMPCMD1 － ECM保護コマンドレジスタ ビット機能表のb7-b0のビットシンボルを修正：ECM1REG7～ECM1REG0→ECM1REG[7:0]
		43. 12 ビット A/D コンバータ（S12ADCa）	
		2485	表43.13 アナログ端子の規格 注.を追加
		46. RAM（製品オプション）	
		2499	表46.1 RAMの仕様 エラーチェック機能の内容を修正
		2500	46.2.1 プロテクトコマンドレジスタ（RAMPCMD） 2.の説明のアドレスを修正
		47. 電気的特性	
		2518	表47.3 DC特性（2）【消費電流】 測定条件を修正：型名を追加
		2520	表47.4 DC特性（3）【USB2.0 ホスト／ファンクション関連端子を除く】 入力プルアップMOS電流/抵抗、入力プルダウンMOS電流/抵抗：項目修正、Rpu1、Rpu2、Rpd1、Rpd2を追加、入力プルダウンMOS電流/抵抗の測定条件を修正
		2523	表47.10 動作周波数 注1.～注3.を追加
1.30	2017.03.31	1. 概要	
		107	表1.8 機能別端子一覧(176ピンHLQFP)(6/6) 171ピン：通信機能の端子を変更
		3. 動作モード	
		114	3.1 概要 本文を変更
		5. I/O レジスタ	
		159	表5.1 I/Oレジスタアドレス一覧(26/87) DCPコンフィグレーシPCLKDョンレジスタ(DCPCFG)を削除
		9. 消費電力低減機能	
		263	9.2.1 モジュールストップコントロールレジスタA(MSTPCRA) 説明を追加
		265	9.2.2 モジュールストップコントロールレジスタB(MSTPCRB) 説明を追加
		267	9.2.3 モジュールストップコントロールレジスタC(MSTPCRC) 説明を追加
		269	9.2.4 モジュールストップコントロールレジスタD(MSTPCRD) 説明を追加
		269	9.2.5 モジュールストップコントロールレジスタE(MSTPCRE) 説明を追加
		270	9.2.6 モジュールストップコントロールレジスタF(MSTPCRF) 説明を追加
		271	9.3.1 モジュールストップ機能 説明(手順、記述例、表9.3)を追加
		12. 割り込みコントローラ(ICUA)	
		372	表12.3 Cortex-R4F/DMAC割り込みベクタテーブル(7/10) ベクタ番号214, 215を変更
		378	図12.8 レジスタ書き換えフロー 処理を変更
		13. 内部バス	
		394	表13.1 内部バスの仕様 外部Serial Flashバスの内容を変更(PCLKD→ICLK)
		395	図13.1 バスの構成図 Serial Flash (PCLKD)→Serial Flashに変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2017.03.31	396	図13.2 バスの構成図(R-IN Engine 搭載製品) Serial Flash (PCLKD)→Serial Flashに変更
		15. DMA コントローラ(DMACAa)	
		579	15.6 使用上の注意 注意事項を追加
		19. マルチファンクションタイマパルスユニット3(MTU3a)	
		698	19.2.1 タイマコントロールレジスタ(TCR) ビット機能表：TPSC[2:0]ビットの機能説明を変更(参照先を変更)
		819	19.3.6, (4) 32ビット位相計数モード応用例 本文を変更
		889	19.4.2, (1) DMACの起動 説明を削除
		20. ポートアウトプットイネーブル3(POE3)	
		992	20.6.1 低消費電力モードへの遷移 削除
		28. イーサネットMAC(ETHERC)	
		1352	28.2.2.6 TX MODE レジスタ(GMAC_TXMODE) ビット機能表：TEMPTH[2:0]ビットの機能説明を変更
		32. USB2.0HS ファンクションモジュール(USBf)	
		1810	表32.23 PIPE設定項目一覧表 DCPCFGレジスタを削除
		1812	32.5.3 パイプコントロールレジスタの切り替え手順 DCPCFGレジスタを削除
		37. SPIマルチI/Oバスコントローラ(SPIBSC)	
		2193	表37.1 SPIBSCの仕様 ビットレートの内容を変更(PCLKA→ICLK)
		2194	図37.1 SPIBSC のブロック図 PCLKA→ICLKに変更
		2199	37.2.3, (1) ビットレート PCLKA→ICLKに変更
		2200	表37.3 SPBR[7:0]、BRDV[1:0]ビットの設定例とビットレート ビットレート：PCLKA→ICLKに変更、SPBR[7:0],BRDV[1:0]ビットの設定値：0,1、0,2、0,3の項目を追加
		47. 電気的特性	
		2527	表47.10 動作周波数 動作周波数：CPUクロック(CPUCLK)のmax値を変更
		2574	図47.60 SPIBSC送受信タイミング(CPHAT = 0, CPHAR = 1) 変更
1.40	2017.12.27	全体	Cortex-R4F → Cortex-R4 に変更
		特長	
		59	■Encoderインタフェース、■多種多様な通信機能を内蔵(Ethernet)の特長を変更
		1. 概要	
		60	1.1 仕様概要 CortexR-R4F プロセッサ → CortexR-R4 Processor with FPUに変更
		66	表1.1 仕様概要(7/7) Encoderインタフェースの説明を変更
		73	表1.4 端子機能一覧(3/7) CTS0#～CTS4#：入出力、機能説明を変更、RTS0#～RTS4#：機能説明を変更
		77	表1.4 端子機能一覧(7/7) ENCIF00～ENCIF07 → ENCIF00～ENCIF12に修正
		80	表1.5 端子配置(320ピンFBGA)(1/7) B19にENCIF12端子、B20にENCIF11端子を追加
		81	表1.5 端子配置(320ピンFBGA)(2/7) C19にENCIF10端子、D19にENCIF09端子、E19にENCIF08端子を追加
		82	表1.5 端子配置(320ピンFBGA)(3/7) H19にENCIF11端子、H20にENCIF12端子を追加
		83	表1.5 端子配置(320ピンFBGA)(4/7) J19にENCIF10端子を追加
		84	表1.5 端子配置(320ピンFBGA)(5/7) N20にENCIF09端子、P20にENCIF08端子を追加
		85	表1.5 端子配置(320ピンFBGA)(6/7) U3にENCIF09端子を追加
		86	表1.5 端子配置(320ピンFBGA)(7/7) W3にENCIF10端子、W4にENCIF11端子、W10にENCIF08端子、Y4にENCIF12端子を追加
		92	表1.7 機能別端子一覧(320ピンFBGA)(2/11) B19(その他)にENCIF12端子、B20(その他)にENCIF11端子を追加
		93	表1.7 機能別端子一覧(320ピンFBGA)(3/11) C19(その他)にENCIF10端子、D19(その他)にENCIF09端子を追加
		94	表1.7 機能別端子一覧(320ピンFBGA)(4/11) E19(その他)にENCIF08端子を追加
		95	表1.7 機能別端子一覧(320ピンFBGA)(5/11) H19(その他)にENCIF11端子、H20(その他)にENCIF12端子、J19(その他)にENCIF10端子を追加
		97	表1.7 機能別端子一覧(320ピンFBGA)(7/11) N20(その他)にENCIF09端子を追加
		98	表1.7 機能別端子一覧(320ピンFBGA)(8/11) P20(その他)にENCIF08端子を追加
		99	表1.7 機能別端子一覧(320ピンFBGA)(9/11) U3(その他)にENCIF09端子、W3(その他)にENCIF10端子、W4(その他)にENCIF11端子を追加
		100	表1.7 機能別端子一覧(320ピンFBGA)(10/11) W10(その他)にENCIF08端子、Y4にENCIF12端子を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2017.12.27	3. 動作モード	
		120	図3.3 シリアルフラッシュメモリとの接続図　シリアルフラッシュメモリの端子を変更：SI/SIO0 → SO/SIO1、SI/SIO1 → SI/SIO0
		4. アドレス空間	
		130	図4.1 メモリマップ　Encoder I/F用領域(16MB)を追加、注2を変更、注9を追加
		131	図4.2 メモリマップ(拡張内蔵SRAM 1MB品)　Encoder I/F用領域(16MB)を追加、注5を追加
		5. I/Oレジスタ	
		143	表5.1 I/Oレジスタアドレス一覧(10/87)　割り込みレベルコントロールレジスタ8(LVLC8)、割り込みレベルコントロールレジスタ9(LVLC9)を追加
		204	表5.1 I/Oレジスタアドレス一覧(71/87)　イベントリンク設定レジスタ16(ELSR16)、イベントリンク設定レジスタ28(ELSR28)を追加
		217	表5.1 I/Oレジスタアドレス一覧(84/87)　ポートステータスnレジスタ(PHY_STATUSn)を削除
		6. リセット	
		221	表6.2 リセット種別ごとの初期化対象　RSTOUT#端子出力、ERROROUT#端子出力のリセット要因を変更
		9. 消費電力低減機能	
		270	9.2.5 モジュールストップコントロールレジスタE（MSTPCRE）　ビット機能表(MSTPCRE0ビット)に注1を追加
		10. デバッグインタフェース	
		287	図10.7 nTRST出力をHighドライブできないエミュレータの接続回路例　ResetIC → 外付けリセットIC
		288	図10.8 nTRST出力をHighドライブできるエミュレータの接続回路例　ResetIC → 外付けリセットIC
		12. 割り込みコントローラ(ICUA)	
		293	表12.1 割り込みコントローラの仕様　注2.を修正：CR4F→CR4
		294	図12.2 割り込みコントローラのブロック図（R-IN Engine搭載製品）　ISEL、MTU3a ch6.7要因選択(ISEL)を削除
		351	12.4.2.13 割り込みアドレスレジスタ（HVA0）　本文の誤記を修正
		366, 367	12.4.2.19 割り込みレベルコントロールレジスタn（LVLCn）　追加
		369	表12.3 Cortex-R4／DMAC割り込みベクタテーブル(1/10)　ベクタ番号1～3の要求元を修正：System (CR4F) → System (CR4)
		372	表12.3 Cortex-R4/DMAC割り込みベクタテーブル(4/10)　ベクタ番号129～144：Encoder I/F(ENCINT0～ENCINT15)を追加
		378	表12.3 Cortex-R4/DMAC割り込みベクタテーブル　注5、注6を追加
		379	図12.6 VICのレジスタ初期化　処理を変更：LVLCrを追加
		380	12.4.4.2 PLS/PRLM/LVLC/VAD/PRLレジスタ書き換え手順　LVLCレジスタを追加
		382	12.4.4.3, (1) 割り込み検出タイプの指定方法　本文を変更
		382	表12.4 VICの割り込み検出タイプ別の設定　割り込み要求タイプLVCx1、LVCx0を追加
		392	12.4.6.6 ベクタ設定について　追加
		393～396	表12.6 CM3割り込みベクタテーブル　DMAC設定ベクタ番号を変更
		396	表12.6 CM3割り込みベクタテーブル　注4.を追加
		14. バスステートコントローラ	
		401	表14.1 バスステートコントローラの仕様　注1を追加
		404	表14.3 アドレスマップ　注1を追加
		433	14.3.10 CKIO制御レジスタ(CKIOSET)　本文を変更
		15.　DMAコントローラ(DMACAa)	
		522	15.2.26 DMAステータスSUSレジスタ(DST_SUS_X(X = A, B))　アドレスの誤記を修正
		547	表15.21 DMA転送要求検出動作設定表(3/7) MTU3aのDMA転送要因の誤記を修正：TCID6 → TGID6
		551	表15.21 DMA転送要求検出動作設定表　注4.を追加
		16. イベントリンクコントローラ(ELC)	
		586	16.2.2 イベントリンク設定レジスタn（ELSRn）　n = 16, 28を追加
		588	表16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応(1/3)　イーサネットコントローラのELSR設定イベント信号を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2017.12.27	17. I/Oポート	
		624	表17.3 未使用端子の処理内容　EXTALの処理内容を変更、USB_RREF端子を追加、注1.を追加
		18. マルチファンクションピンコントローラ(MPC)	
		645	表18.1 兼用端子構成一覧(21/22)　Encoder I/FにENCIF08～ENCIF12端子を追加
		649	表18.3 320ピンFBGA端子入出力機能レジスタ設定　PSEL[5:0] = 101011bを追加
		664	表18.17 320ピンFBGA端子入出力機能レジスタ設定　PSEL[5:0] = 101011bのP94, P96に端子機能を追加
		679	表18.30 320ピンFBGA端子入出力機能レジスタ設定　PSEL[5:0] = 101011bを追加
		682	表18.33 320ピンFBGA端子入出力機能レジスタ設定　PSEL[5:0] = 101011bを追加
		684	表18.35 320ピンFBGA端子入出力機能レジスタ設定　PSEL[5:0] = 101011bのPR1に端子機能を追加
		686	表18.37 320ピンFBGA端子入出力機能レジスタ設定　PSEL[5:0] = 101011bのPT1, PT3, PT7に端子機能を追加
		19. マルチファンクションタイマパルスユニット3（MTU3a）	
		695	表19.1 MTUの仕様　設定可能動作【MTU1、MTU2】の内容を変更
		697	表19.2 MTUの機能一覧(2/3)　MTU6, MTU7にイベントリンク機能を追加
		892	表19.78 MTU割り込み要因　注2.を追加
		21. 汎用PWMタイマ（GPTa）	
		1022	21.2.14 汎用PWMタイマ制御レジスタ（GTCR）　CCLR[1:0]ビット：説明を追加
		1024	21.2.15 汎用PWMタイマバッファイネーブルレジスタ（GTBER）　PR[1:0]ビット：説明を追加
		1030	21.2.21 汎用PWMタイマ周期設定レジスタ（GTPR）　説明を追加
		1049	21.3.2.1 GTPRレジスタのバッファ動作　説明を追加
		—	図21.14 GTPRレジスタのバッファ動作例（のこぎり波でダウンカウントの場合）　削除
		22. 16ビットタイマパルスユニット（TPUa）	
		1184	22.3.4 カスケード接続動作　注2を追加
		1185	22.3.4, (2) カスケード接続動作例　説明を追加
		1185	図22.20 カスケード接続動作例(1)　TPU1.TCNTクロック、TPU2.TCNTクロックの波形を変更
		1225	22.9.16 カスケード接続時におけるインプットキャプチャ動作　追加
		24. コンペアマッチタイマ（CMT）	
		1264	24.2.6 コンペアマッチタイマコンスタントレジスタ（CMCOR）　説明を追加
		25. コンペアマッチタイマW（CMTW）	
		1282	25.2.5 コンペアマッチコンスタントレジスタ（CMWCOR）　説明を追加
		28. イーサネットMAC（ETHERC）	
		1346	表28.3 ETHERCの機能別入出力端子　追加
		1358	28.2.2.5 RX MODEレジスタ（GMAC_RXMODE）　ビット機能表(AFILLTERENビット)に注1を追加
		1385	表28.7 HWFNC_LongBuffer_Get　引数レジスタ、戻り値レジスタを変更
		1386	表28.8 HWFNC_ShortBuffer_Get　引数レジスタ、戻り値レジスタを変更
		1387	表28.9 HWFNC_Buffer_Release　引数レジスタ、戻り値レジスタを変更
		1387	表28.10 HWFNC_Buffer_Return　引数レジスタ、戻り値レジスタを変更
		1392	28.3.1.4, (2) 受信MAC DMA機能の(b) 使用方法　誤記を修正：LBID[6:0] → LLID[6:0]
		1393	表28.11 HWFNC_MACDMA_RX_Enable　引数レジスタ、戻り値レジスタを変更
		1394	表28.12 HWFNC_MACDMA_RX_Disable　引数レジスタ、戻り値レジスタを変更
		1395	表28.13 HWFNC_MACDMA_RX_Control　引数レジスタ、戻り値レジスタを変更
		1395	表28.14 HWFNC_MACDMA_RX_Errstat　引数レジスタ、戻り値レジスタを変更
		1398	表28.15 HWFNC_MACDMA_TX_Start　引数レジスタ、戻り値レジスタを変更
		1400	表28.17 HWFNC_Direct_Memory_Transfer　機能の説明を変更、引数レジスタ、戻り値レジスタを変更
		1401	表28.18 HWFNC_Direct_Memory_Replace　機能の説明を変更、引数レジスタ、戻り値レジスタを変更
		1402	表28.19 送信動作に関する割り込み　TX FIFOエラー割り込み(ETHTFIE)：発生条件/クリア条件の説明を変更
		1406	28.3.3.2 (1) 送信フレーム制御情報　TX_WORD[12:0]、APADの説明を変更、注2.を追加
		1407	28.3.3.2, (2) イーサネットフレーム　説明を変更
		1407	図28.16 送信データフォーマット（TCPIPACC有効、VLAN Tagあり）　VLAN tag(2bytes) → VLAN Info(2 bytes)に修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2017.12.27	1409	28.3.3.3 送信処理用ディスクリプタの作成　説明を削除
		1412	28.3.4.6 受信データフォーマット　本文を変更
		1413	図28.21 受信フレーム情報(表)　注2を追加
		1414	28.3.4.6 (1) 受信フレーム情報　表：注2. を追加
		1419	28.3.5.1 TCPIPアクセラレータを使った送信　注2を追加
		1420	28.3.5.2 TCPIPアクセラレータを使った受信　説明を追加、注を変更
		1423	28.4.4 受信時のチェックサム計算結果の誤判定　追加
		1424～1428	28.4.5 受信FIFOオーバーフロー発生時の受信フレーム情報の誤り　追加
		1429, 1430	28.4.6 Paddingを含む64byteを超えるフレーム受信時の受信フレーム情報の誤り　追加
		30.　EtherCATスレーブ・コントローラ（オプション）	
		1562	30.8.1 ALコントロール・レジスタ（AL_CONTROL）　b5(DEVICEIDビット)を追加
		1563	30.8.2 ALステータス・レジスタ(AL_STATUS)　b5(DEVICEIDビット)を追加
		1568	30.9.3 PDIコンフィギュレーション・レジスタ（PDI_CONFIG）　ビット機能表のb7-b5(ONCHIPBUSビット)の機能説明を変更：100 → 010
		—	30.14.7 PHYポート・ステータス・レジスタn（PHY_STATUSn）　削除
		1623～1625	30.20 リセット回路の構成　追加
		33. FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1851, 1852	33.2.8 ビットレートレジスタ（BRR）　レジスタシンボルの誤記を修正：SMER → SEMR
		35.　CANインタフェース(RSCAN)	
		2042	表35.5 TMTRSTSpビット配置　送信バッファ番号の誤記を修正
		2043	表35.6 TMTARSTSpビット配置　送信バッファ番号の誤記を修正
		2044	表35.7 TMTCSTSpビット配置　送信バッファ番号の誤記を修正
		2045	表35.8 TMTASTSpビット配置　送信バッファ番号の誤記を修正
		2046	表35.9 TMIEpビットの配置　送信バッファ番号の誤記を修正
		2052	表35.10 各チャネルの送信キューに割り当てられる送信バッファp　変更
		2084	図35.9 送信キューの割り付けと送受信FIFOバッファのリンク　誤記を修正：バッファ送信 → 送信バッファ
		2099	図35.20 バッファの構成　変更
		36. シリアルペリフェラルインタフェース（RSPIa）	
		2146	36.2.14 RSPIコマンドレジスタ0～7（SPCMD0～SPCMD7）　ビット機能表b6-b4(SSLy[2:0]ビット)：010, 011機能説明の誤記を修正
		2150	36.3.2 RSPI端子の制御　注を追加
		37. SPIマルチI/Oバスコントローラ（SPIBSC）	
		2226	37.2.14 SPIモードリードデータレジスタ0（SMRDR0）　説明を追加
		2227	37.2.15 SPIモードライトデータレジスタ0（SMWDR0）　説明を追加
		41. ΔΣインタフェース（DSMIF）	
		2308	表41.1 DSMIFの仕様　機能の内容を変更：m = 0～2 → m = 0～2、3
		42. エラーコントロールモジュール（ECM）	
		2376, 2377	42.2.21 ECMエラーソースステータスクリアトリガレジスタ1（ECMESSTC1） ビット機能表b1(ECMCLSSE101ビット)～b8(ECMCLSSE108ビット)：機能説明の誤記を修正
		47. 電気的特性	
		2547, 2548	表47.17 バスタイミング CKIO = 75MHz → CKIO = 1/tCKcycに変更、tcyc → tCKcyc に変更 アドレス遅延時間1、CS#遅延時間1、リードライト遅延時間1、リードデータセットアップ時間1～3、WAIT#セットアップ時間の項目を変更、注1.、注3.、注4. を変更
		2584	表47.27 RSPIaタイミング　注2を変更：SSLND → SPCKD、注3. を追加
		2593	図47.64 RIICaバスインタフェース入出力タイミング：SDA0～SDA3, SCL0～SCL3を削除
1.50	2019.01.17	全体	
		—	ARM社→Arm社に修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	特長	
		59	Encoder インタフェース（オプション） 説明、注4を追加
		1. 概要	
		60	表1.1 仕様概要 (1 / 7) 中央演算処理装置（Cortex-R4）：ARMv7-Rアーキテクチャ→Armv7-Rアーキテクチャに修正
		60	表1.1 仕様概要 (1 / 7) 中央演算処理装置（Cortex-M3）：ARMv7-Mアーキテクチャ→Armv7-Mアーキテクチャに修正
		60	表1.1 仕様概要 (1 / 7) ECC付き拡張内蔵SRAM：“動作周波数”を追加
		60	表1.1 仕様概要 (1 / 7) 動作モード：説明を変更
		61	表1.1 仕様概要 (2 / 7) DMAC：起動要因を変更
		61	表1.1 仕様概要 (2 / 7) ELC：イベント信号を修正
		62	表1.1 仕様概要 (3 / 7) TPUa：パルス入出力、PWMモード、PPGの出力トリガ、イベントリンク機能を変更
		62	表1.1 仕様概要 (3 / 7) MTU3a：カウントクロックを修正、自動転送を削除、位相計数モードを変更
		63	表1.1 仕様概要 (4 / 7) CMT：イベントリンク機能を変更
		63	表1.1 仕様概要 (4 / 7) POE3：端子名を修正
		64	表1.1 仕様概要 (5 / 7) ETHERC：1ポートを変更
		65	表1.1 仕様概要 (6 / 7) SSI：プログラマブルワードクロックを削除
		65	表1.1 仕様概要 (6 / 7) DSMIF：チャネルを変更
		66	表1.1 仕様概要 (7 / 7) Encoderインタフェース：チャネル数、注6を追加
		70	図1.1 ブロック図 MTU3a、DSMIFのチャネル数を修正
		71	表1.4 端子機能一覧 (1 / 7) A0～A25→A25～A0、D0～D31→D31～D0に修正
		72	表1.4 端子機能一覧 (2 / 7) RAS#、CAS#、MTIOC8A～MTIOC8Dの機能説明を修正
		73	表1.4 端子機能一覧 (3 / 7) GPTa、TPUaの各端子の機能説明を修正
		75	表1.4 端子機能一覧 (5 / 7) AUDIO_CLK端子を追加
		2. CPU	
		110	2.4.1 ATCM ウエイト制御レジスタ ビット機能表：注1を修正
		113	2.5.2 セマフォレジスタn 制御時の注意点 追加
		3. 動作モード	
		115	3.4.1 モードモニタレジスタ ビット配置図：b24のリセット後の値を修正
		116	3.5.1 ブート機能 （3）の説明を変更
		116	図3.1 ブート処理の動作概要 ③の説明を変更
		117	図3.2 ローダ用パラメータ、ローダプログラム のメモリ配置 注3を修正
		118	表3.3 16ビット／32ビットバスブートモード時のローダ用パラメータ情報 注3を修正
		119	表3.4 SPIブートモード時のローダ用パラメータ情報 注3を追加
		120	3.5.3 ローダプログラム 16 ビット／32 ビットバスブートモード時の外部メモリ内の格納アドレスのアドレス範囲を修正、SPI ブートモード時の外部メモリ内の格納アドレスの説明を追加
		121	表3.5 SPIブートモード終了時の各周辺モジュール／レジスタの設定値 MSTPCRC, PORT6 .PMR, MPC.PmnPFS レジスタのブート処理終了時の設定値を修正
		125	表3.8 16ビット／32ビットバスブートモード終了時の各周辺モジュール／レジスタの設定値 MSTPCRC, PORTn.PMR, MPC.PmnPFS レジスタのブート処理終了時の設定値を修正
		4. アドレス空間	
		130	図4.1 メモリマップ Cortex-M3：2200 0000h～2300 0000h BitBand Alias Area0（16MB）→2200 0000h～2400 0000h BitBand Alias Area0（32MB）に変更、注6, 注7を削除
		132	図4.3 メモリマップ（拡張内蔵SRAM 0KB 品） Cortex-R4, DMAC0/DMAC1：B000 0000h～B100 0000h Encoder I/F用領域（16MB）を追加、注5を追加
		5. I/O レジスタ	
		136	表5.1 I/Oレジスタアドレス一覧 (3 / 87) DSCRレジスタのアクセスサイズを修正
		141	表5.1 I/Oレジスタアドレス一覧 (8 / 87) CS0WCR～CS5WCR レジスタのレジスタ名を修正
		157	表5.1 I/Oレジスタアドレス一覧 (24 / 87) HcLSThreshold レジスタを削除
		158	表5.1 I/Oレジスタアドレス一覧 (25 / 87) DVSTCTR0, TESTMODE, SOFCFG レジスタのレジスタ名を修正
		159	表5.1 I/Oレジスタアドレス一覧 (26 / 87) UFRMNUM, PIPE1TRE～PIPE5TRE, LPSTS レジスタのレジスタ名を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	159	表5.1 I/Oレジスタアドレス一覧 (26 / 87)　LPCTRL, PHYFUNCTR レジスタを削除
		184	表5.1 I/Oレジスタアドレス一覧 (51 / 87)　V1CDATA, V1VDATA, W1CDATA, W1VDATA レジスタのレジスタ名を修正
		186	表5.1 I/Oレジスタアドレス一覧 (53 / 87)　RSCAN0FMSTS レジスタのレジスタ名を修正
		205	表5.1 I/Oレジスタアドレス一覧 (72 / 87)　DOCR レジスタのレジスタ名を修正
		219	表5.1 I/Oレジスタアドレス一覧 (86 / 87)　USER_RAM, DATA_RAM, GMAC_FLWCTL, GMAC_PAUSPKT, GMAC_MIIM レジスタのレジスタ名を修正
		6. リセット	
		221	6.1 概要　RES# 端子リセットを追加
		226	6.3.1 RES# 端子リセット　PLL0 発振安定待ち時間（tPL0WT）の説明を削除
		226	6.3.2 ECM リセット　PLL0 発振安定待ち時間（tPL0WT）の説明を削除
		226	6.3.3 ソフトウェアリセット　PLL0 発振安定待ち時間（tPL0WT）の説明を削除
		228	6.4 使用上の注意事項　6.4.1 リセット出力端子（RSTOUT#）について　追加
		7. クロック発生回路	
		全体	Ether クロック→Ethernet クロックに修正
		230	表7.2 クロック発生回路の仕様（内部クロック）(1 / 2)　PCLKEの周波数を修正
		231	表7.2 クロック発生回路の仕様（内部クロック）(2 / 2)　CLMAPLCLK1, TCLKの周波数を修正、注1を追加
		232	図7.1 クロック発生回路のブロック図　ACLK→AUDIO_CLK、AUDIOCLK→ATCLKに修正
		233	図7.2 クロック発生回路のブロック図（R-IN Engine 搭載製品）　ACLK→AUDIO_CLK、AUDIOCLK→ATCLKに修正
		235, 236	7.2.1 システムクロックコントロールレジスタ　ビット機能表：b13（予約ビット）→b11（予約ビット）に修正、b13（予約ビット）を追加
		236	7.2.1 システムクロックコントロールレジスタ　ビット機能表：b13（予約ビット）を追加、b20（TCLK）の機能説明を修正
		238, 239	7.2.3 ⊿ΣI/F クロックコントールレジスタ　ビット機能表：MCLK端子の表記を修正
		240	7.2.4 PLL1 コントロールレジスタ　ビット機能表：注1を修正
		243	7.2.6 低速オンチップオシレータコントロールレジスタ　低速オンチップオシレータコントロールレジスタ→LOCOCR レジスタに変更
		244	7.2.7 発振停止検出コントロールレジスタ　ビット機能表：注1を修正
		245	7.3 メインクロック発振器の入力選択　参照先（表）を修正
		247	7.4.1 発振停止検出と検出後の動作　参照先（章）を追加
		248	7.8 内部クロック　（9）のCLMA クロックを修正
		249	7.8.9 USB クロックM（USBMCLK）　説明を追加
		249	7.8.12 CLMA クロック（CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1）　タイトル、本文を修正
		250	7.8.14 ECM クロック（ECMCLK）　説明を追加
		250	7.8.16 ΔΣI/F クロック0（DSCLK0）　クロック発生回路→クロック発生回路（PLL0）に修正
		250	7.8.17 ΔΣI/F クロック1（DSCLK1）　クロック発生回路→クロック発生回路（PLL0）に修正
		250	7.8.19 トレースI/F クロック（TCLK）　説明を追加
		251	7.9.1 クロック発生回路に関する使用上の注意事項　（3）～（7）の説明を修正
		9. 消費電力低減機能	
		262	表9.2 各周辺モジュールの動作停止、解除方法 (1 / 2)　イーサネットMAC/HW-RTOS（R-IN Engine搭載製品）を追加
		264	9.2 レジスタの説明　本文を修正
		276	9.4.5 Ethernet 関連機能の低消費電力　MSTPCRB.MSTPCRB14 ～MSTPCRB17 ビット→MSTPCRB.MSTPCRB14 ～MSTPCRB19 ビットに修正
		10. デバッグインタフェース	
		277	10.1 概要　参照先（図）を追加
		277	表10.1 CoreSightの仕様　トレース機能のトレースポートインタフェースの内容を修正
		282	表10.8 デバッグインタフェースの入出力端子　注1を修正
		286	10.3.3 トレースポートインタフェース　75MHzの説明を削除
		290	表10.10 使用可能なトレース機能　Cortex-R4のTracePortI/F、Cortex-M3のTracePortI/Fのトレース機能の説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	11. レジスタライトプロテクション機能	
		293	11.2.1 プロテクトレジスタ PRCi ビットの添字（i）を修正
		12. 割り込みコントローラ（ICUA）	
		294	12.1 概要 本文を修正
		294	表12.1 割り込みコントローラの仕様 注3を追加
		297	12.2.1 IRQ コントロールレジスタi 注を追加
		299	12.2.3 IRQ 端子デジタルノイズフィルタ設定レジスタ FCLKSELi[1:0] ビットの説明を修正
		304	12.2.9 EtherPHY コントロールレジスタi ビット機能表：b7-b4（予約ビット）→b31-b4（予約ビット）に修正
		305	12.2.10 EtherPHY 割り込み要求端子デジタルノイズフィルタ許可レジスタ ビット機能表：b31-b2（予約ビット）→b31-b3（予約ビット）に修正
		308	12.2.13 外部DMA 要求端子デジタルノイズフィルタ設定レジスタ ビット機能表：b7-b6（予約ビット）→b31-b6（予約ビット）に修正
		310	12.3.1 割り込み要求先の選択 本文を修正、注を追加
		310	図12.3 割り込み要求先をDMAC に選択した場合 タイトルを修正、説明を追加
		311	図12.4 割り込み要求先をCPU（割り込みコントローラ）に選択した場合 タイトルを修正、説明を追加
		312	12.3.2 デジタルノイズフィルタ サンプリング周期→サンプリングに修正
		313	12.3.3 外部端子割り込み 本文を変更
		315	12.4 Cortex-R4 ベクタ割り込みコントローラ（VIC） 12.4.1 概要 本文を修正
		320	12.4.2.1 IRQ ステータスレジスタn IRQS9 ビット機能表：b6-b0（IRQ[300:288]）→b12-b0（IRQ[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		325	12.4.2.2 割り込み入力ステータスレジスタn RAIS9 ビット機能表：b6-b0（RAI[300:288]）→b12-b0（RAI[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		326	12.4.2.3 割り込みイネーブルレジスタn IEN9 ビット機能表：b6-b0（IEN[300:288]）→b12-b0（IEN[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		335	12.4.2.4 割り込みイネーブルクリアレジスタn IEC9 ビット機能表：b6-b0（IEC[300:288]）→b12-b0（IEC[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		340	12.4.2.5 割り込み検出タイプ選択レジスタn PLS9 ビット機能表：b6-b0（PLS[300:288]）→b12-b0（PLS[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		345	12.4.2.6 エッジ検出ビットクリアレジスタn PIC9 ビット機能表：b6-b0（PIC[300:288]）→b12-b0（PIC[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		347	12.4.2.8 割り込み優先レベルマスクレジスタ1 ビット機能表：b15-b0（PRLM[15:0]）の1機能の説明を修正、PRLMi ビットの説明を修正
		357	12.4.2.14 割り込みサービスステータスレジスタn ISS9 ビット機能表：b6-b0（ISS[300:288]）→b12-b0（ISS[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		363	12.4.2.15 割り込みサービスカレントレジスタn ISC9 ビット機能表：b6-b0（ISC[300:288]）→b12-b0（ISC[300:288]）、b31-b7（予約ビット）→b31-b13（予約ビット）に修正
		364	12.4.2.16 割り込みアドレス格納レジスタ0、割り込みアドレス格納レジスタ1 VADi ビットの説明を変更
		367	12.4.2.19 割り込みレベルコントロールレジスタn LVLC8 ビット配置図：リセット後の値を修正、ビット機能表：b0, b1（予約ビット）の機能説明を修正
		368, 369	12.4.2.19 割り込みレベルコントロールレジスタn LVLC9 ビット配置図：リセット後の値を修正、ビット機能表：b2～b31（予約ビット）の機能説明を修正
		384	12.4.4.3, (2) IRQ 割り込み（レベル割り込み） 添字を修正：m→n
		393	12.4.6.5 ベクタ設定について オフセットアドレス→アドレスに修正
		399	12.6 使用上の注意事項 12.6.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合 追加
		400	12.6.2 NMI 端子割り込みを立ち下がりエッジで使用する場合 （12.4.6.5→12.6.2に移動）
		13. 内部バス	
		401	表13.1 内部バスの仕様 メモリバス1, 2→メモリバス1, 2（R-IN Engine搭載製品のみ）に修正
		402	図13.1 バスの構成図 周辺バス1 (PCLKA)／ECATを追加
		403	図13.2 内部バスの構成図（R-IN Engine 搭載製品） 周辺バス1 (PCLKA)／ECATを追加
		404	表13.3 内部メインバス2 バスマスタ・バススレーブ間接続 AHB2DMA (BufferRAM)→BufferRAMに修正、命令RAM／データRAM／BufferRAMのCPUからのアクセスを修正
		14. バスステートコントローラ	
		全体	タイムアウト検出割り込み要求→タイムアウト検出エラー要求に修正
		406	図14.1 バスステートコントローラのブロック図 端子名を修正：BS→BS#、DQMxx→DQMUU, DQMUL, DQMLU, DQMLL、AH→AH#、CSnWCRレジスタのレジスタ名を修正、注1を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	409	表14.4 ブートモードとエリア別初期状態　注2の参照先（項）を修正
		410, 411	14.3.1 CSn 空間バスコントロールレジスタ　ビット機能表：b10-b9（BSZ[1:0]）の機能説明の注1を修正、b14-b12（TYPE[2:0]）の機能説明に注2を追加
		414	14.3.2 CSn 空間ウェイト制御レジスタ　(1) SRAM インタフェース、バイト選択付きSRAM、MPX-I/O CS0WCR_0　ビット機能表：b17-b16, b21を予約ビットに修正、b21（予約ビット）の機能説明を修正
		430	14.3.3 SDRAM コントロールレジスタ　ビット機能表：b10（RMODE）、b11（RFSH）のビット名を修正
		431	14.3.4 リフレッシュタイマコントロール／ステータスレジスタ　ビット配置図：b2～b0のビットシンボルを修正
		433	14.3.6 リフレッシュタイムコンスタントレジスタ　割り込み要求→割り込み要求（BSCCMI）に変更
		434	14.3.7 タイムアウトサイクルコンスタントレジスタ　本文を修正
		445	図14.8 SRAM インタフェースアクセスのウェイトタイミング（ソフトウェアウェイトのみ）　説明を追加
		446	図14.9 SRAM インタフェースアクセスのウェイトタイミング（WAIT 信号によるウェイト挿入）　説明を追加、WAIT信号→WAIT#信号に修正
		447	図14.10 CSn 信号のアクティブ期間拡張　説明を追加
		448	図14.11 MPX 空間アクセスタイミング（1）　説明を追加
		449	図14.12 MPX 空間アクセスタイミング（2）　説明を追加
		450	図14.13 MPX 空間アクセスタイミング（3）　説明を追加
		451	図14.14 MPX 空間アクセスタイミング（4）　説明を追加
		451	14.4.6, (1) SDRAM 直結インタフェース　添字（x）を追加
		480	14.4.7 バーストROM（クロック非同期）インタフェース　図の参照先を修正
		481	表14.17 バス幅およびアクセスサイズとバースト数の関係　注1を修正
		15. DMA コントローラ（DMACAa）	
		491	表15.1 DMACの仕様　DMAモード（レジスタモード／リンクモード）、スキップ機能の内容を修正
		498	15.2.5 カレントデスティネーションアドレスレジスタ　アドレス：レジスタシンボルを修正（CRDA_C→CRDA_8）
		502, 503	15.2.7 チャネルステータスレジスタn　ビット機能表：b10（DER）、b16（INTM）の機能説明を修正
		504	15.2.8 DMAC Unit0 要因選択レジスタi　本文を修正、アドレス：ICU.DMA0SELx→DMA0.DMA0SELxに修正
		504	15.2.9 DMAC Unit1 要因選択レジスタi　本文を修正、アドレス：ICU.DMA1SELx→DMA1.DMA1SELxに修正
		505	15.2.10 DMAC ソフトウェア起動レジスタ　アドレス：ICU.DMASTG→DMAC.DMASTGに修正
		507	15.2.12 チャネルコントロールレジスタn　ビット配置図：b7のビットシンボルを修正
		508	15.2.12 チャネルコントロールレジスタn　ビット機能表：b7（CLRDE）のシンボルを修正、機能説明を変更、b12（SETREN）の機能説明を変更
		509～512	15.2.13 チャネルコンフィギュレーションレジスタn　ビット機能表：b3（REQD）、b10-b8（AM[2:0]）、b20（SAD）、b21（DAD）の機能説明を変更、注1を追加
		519	15.2.20 デスティネーションスキップレジスタn　アドレス：DSKP_15：A006 36E8→DSKP_15：A006 36EChに修正
		522	15.2.22 デスクリプタインターバルレジスタn　ビット機能表：b7-b1（予約ビット）→b7-b0（予約ビット）に修正
		534	15.3.1.2 リンク・モード　外部→DMAC 外部に修正
		534	図15.7 リンク・モードの概要　外部メモリ→メモリに修正
		537	表15.12 ディスクリプタ・フォーマット　Address Channelの項目を削除
		538	表15.13「表15.12　ディスクリプタ・フォーマット」中の起動の説明　“Channel Extension”を削除
		538	表15.14 ディスクリプタ配置例　DSCFM 1hのアドレス +18hの内容を“Extension”→“—”に修正
		538	図15.9 header 領域　説明を修正
		540	図15.10 header 領域　外部メモリ→メモリ、DMA transaction→DMA transferに修正
		541	15.3.1.2 リンク・モード　(3) ディスクリプタ設定　・ディスクリプタに関する注意事項：説明を修正（LV = 0→LV = 1）
		542	図15.11 header 領域　外部メモリ→メモリに修正
		544	図15.12 シングル転送モード（REQD = 1、SDS > DDS）　説明を追加
		544	図15.13 ブロック転送モード（REQD = 0、SDS = DDS）　説明を追加
		545	15.3.3.1 固定優先順位モード　本文を修正
		545	図15.14 リセット直後の優先順位とDMA チャネル0 の転送が行われた後の優先順位　追加
		546	図15.15 固定優先順位モード（チャネル数4、REQD = 1 の場合）　説明を追加、DMA要求の説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	546	15.3.3.2 ラウンドロビン・モード　本文を修正
		546	図15.16 リセット直後の優先順位とDMA チャネル2 の転送が行われた後の優先順位　追加
		551	表15.21 DMA転送要求検出動作設定表 (3 / 7)　DMA転送要求元／S12ADCa Unit0, S12ADCa Unit1のCHCFG_nのTMを修正
		562	図15.26 ソフトウェア強制排出タイミング　スウィープライト→強制排出（ライト）に修正
		563	図15.27 インターバル・カウント（REQD = 0, SDS < DDS）　DREQ[1], DACK[1], CHITVL1, CH1 DMA転送を削除、説明を追加
		564	図15.28 DMA 転送設定とインターバル・カウント　REQD = 0, REQD = 1に説明を追加
		564	15.3.8.1 転送元側の転送データサイズが小さい場合　本文を修正
		572	表15.23 DMACの割り込み要因　ディスクリプタ・インバリッド→ディスクリプタ無効に修正
		574	表15.25 DMA転送の設定例1　AHB設定の項目を削除
		576	表15.26 DMA転送の設定例2　AHB設定の項目を削除
		578	表15.27 DMA転送の設定例3　AHB設定の項目を削除
		586	15.6 使用上の注意　SKIP転送→スキップ転送に変更
		16. イベントリンクコントローラ（ELC）	
		全体	カウントリスタート→カウントクリアに修正
		589	表16.1 ELCの仕様　イベントリンク機能：イベント信号を修正、注1を修正
		590	16.2.2 イベントリンク設定レジスタn　アドレス：ELSR16, ELSR28 レジスタを追加、注1を追加
		595	16.2.3 イベントリンクオプション設定レジスタA　ビット機能表：注1と注2の内容を入れ替え
		596	16.2.6 イベントリンクオプション設定レジスタD　ビット機能表：b1-b0、b3-b2、b5-b4、b7-b6のビットシンボルを修正
		599	16.2.9 ポートバッファレジスタn　ビット機能表：機能説明を修正
		605	図16.2 割り込み処理とELC の関係（EtherMAC、EtherCAT は除く）　タイトルを変更
		606	16.3.2 イベントのリンク　本文を修正
		606	表16.5 イベント入力時のモジュール別動作一覧　MTU, CMT, CMTW, TPU, GPTモジュールのイベント入力時の動作を修正、DSMIFモジュールを追加、I/Oポート（出力）, I/Oポート（入力）のイベント入力時の動作を修正、注1を追加
		607	16.3.3, (2) カウントクリア動作　説明を修正
		607	16.3.5, (1) シングルポートとポートグループ　レジスタシンボルを修正：PEL0～PEL3→PELn、PGCn→PGRn
		608	16.3.5, (2) シングル入力ポートでのイベント発生動作　タイトル、説明を修正
		608	16.3.5, (3) シングル出力ポートのイベント入力動作　説明を修正
		608	図16.3 シングルポートのイベントリンク動作（ポートB の場合）　図を修正
		609	16.3.5, (4) 入力ポートグループのイベント発生動作　タイトル、説明を修正
		609	16.3.5, (5) 入力ポートグループのイベント入力動作を追加
		609	図16.4 入力ポートグループのイベント入力時の動作（ポートB の場合）　図を修正
		610	16.3.5, (6) 出力ポートグループのイベント入力動作　タイトル、説明を修正
		610	図16.5 出力ポートグループのイベントリンク動作（ポートB の場合）　図を修正
		611	図16.6 出力ポートグループのビットローテート出力の動作（ポートB の場合）　図を修正
		—	16.3.5, (6) ポートバッファレジスタの動作　削除
		611	16.3.5, (7) PODR レジスタ、PDBFn レジスタへのCPU での書き込み制限　タイトル、説明を修正
		612	16.3.6 イベントリンクの動作設定手順例　2.の説明：見出しを追加
		613	16.4.1 ELSR18、ELSR19 レジスタの設定について　本文を修正
		17. I/O ポート	
		616	図17.1 入出力ポートの構成（1）　注1を変更
		617	図17.2 入出力ポートの構成（2）　注1を変更
		618	図17.3 入出力ポートの構成（3）　注1を変更
		619	図17.4 入出力ポートの構成（4）　注1を変更
		620	図17.5 入出力ポートの構成（5）　注1を削除
		621	17.3.1 ポート方向レジスタ　176ピン製品のポートmを修正：ポートK～N, R～U→ポート9, J～N, P, R～U
		626	17.3.6 駆動能力制御レジスタ　本文を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	18. マルチファンクションピンコントローラ（MPC）	
		655	18.2.5 P3n 端子機能制御レジスタ　ビット配置図：注1を修正
		655	表18.6 320ピンFBGA端子入出力機能レジスタ設定　注1, 注2を追加
		658	表18.9 176ピンHLQFP端子入出力機能レジスタ設定　設定値000011b, 001001bを削除
		660	表18.11 176ピンHLQFP端子入出力機能レジスタ設定　設定値000000bの端子を修正
		662	表18.13 176ピンHLQFP端子入出力機能レジスタ設定　設定値011001b, 011110bを削除
		664	18.2.10 P8n 端子機能制御レジスタ　ISELビット：説明を追加
		666	18.2.11 P9n 端子機能制御レジスタ　ISELビット：説明を追加
		674	18.2.15 PDn 端子機能制御レジスタ　本文を修正
		679	18.2.18 PGn 端子機能制御レジスタ　本文を修正
		682	18.2.21 PKn 端子機能制御レジスタ　本文を修正
		685	18.2.24 PNn 端子機能制御レジスタ　本文を修正
		692	表18.39 レジスタの設定　アナログ入力の注意事項を修正
		19. マルチファンクションタイマパルスユニット3（MTU3a）	
		698	表19.1 MTUの仕様　動作周波数、設定可能動作【MTU1、MTU2】：内容を修正
		699	表19.2 MTUの機能一覧 (1 / 3)　DMACの起動を修正
		700	表19.2 MTUの機能一覧 (2 / 3)　イベントリンク機能（出力）：MTU0の誤記を修正
		701	表19.2 MTUの機能一覧 (3 / 3)　注2を追加
		704	表19.3 MTUの入出力端子　MTCLKA, MTCLKB端子の機能を修正
		707	19.2.2 タイマコントロールレジスタ2　TCRU／V／W→TCR2U／V／Wに修正
		707	19.2.2 タイマコントロールレジスタ2　ビット機能表：b2-b0（TPSC2[2:0]）の機能説明を修正（表の参照先）
		709	表19.6 TPSC[2:0],TPSC2[2:0]（MTU0）　TCR2[2:0] = 110b, TCR[2:0] = xxxの説明を変更
		710	表19.9 TPSC[2:0]、TPSC2[2:0]（MTU3、MTU4、MTU6、MTU7、MTU8）　注1を削除
		714	表19.11 MD[3:0]ビットによる動作モードの設定（MTU0～MTU4、MTU6～MTU8）　0000bの説明を変更
		716	19.2.5 タイマモードレジスタ3　LWA ビット、PHCKSEL ビットの説明を修正
		740	19.2.9 タイマステータスレジスタ　誤記を修正：MUT5→MTU5
		740	19.2.9 タイマステータスレジスタ　ビット機能表：b5（TCFU）の機能説明を修正（MTU8の説明を削除）
		742	19.2.9 タイマステータスレジスタ　TCFUフラグの説明を修正：MTU8の説明を削除
		746	19.2.13 タイマカウンタ　本文を修正、MTU8.TCNT：注を追加
		748	19.2.15 タイマジェネラルレジスタ　MTU8.TGRA, TGRB, TGRC, TGRDのビット配置図に注を追加
		759	19.2.22 タイマアウトプットコントロールレジスタ1　本文を修正、ビット機能表：b3（TOCL）に（注4）を追加
		760	図19.3 相補PWM モードの出力レベルの例　正相出力→正相出力（MTIOC4A）、逆相出力→逆相出力（MTIOC4C）に修正
		764	19.2.24 タイマアウトプットレベルバッファレジスタ　ビット機能表：b1のビットシンボルを修正
		765	19.2.25 タイマゲートコントロールレジスタA　ビット機能表：b0（UF）、b1（VF）、b2（WF）の機能説明を修正（TGCR.FBビット→TGCRA.FBビット）
		793	図19.7 周期カウンタの動作　TCIV割り込み信号→TGI割り込み信号に修正
		794	19.3.1, (2) コンペアマッチによる波形出力機能　説明を修正
		794	図19.8 コンペアマッチによる波形出力動作例　[3]の説明を修正
		796	19.3.1, (3) インプットキャプチャ機能　説明を修正：MTIC5U, MTIC5V, MTIC5W端子を追加
		798	19.3.2 同期動作　MTU8の説明を追加
		814	図19.29 PWM モード動作例（デューティ 0%、デューティ 100%のPWM 波形を出力する例）　(1)～(3)の説明を追加
		815	19.3.6 位相計数モード　32 ビット版の場合のレジスタを修正：TGR→TMDR1
		815	図19.30 位相計数モードの設定手順例　信号→端子に変更
		826	19.3.6, (4) 32 ビット位相計数モード応用例　本文を修正 カスケード接続32 ビット位相計数モードの場合のレジスタを修正：TGR→TMDR1 ジェネラルレジスタに（MTU1.TGRALW, MTU1.TGRBLW）を追記
		828	図19.43 32 ビット位相計数モードの設定手順　2進数表記“b”を追加、注を修正：TMDR→TMDR1
		830	図19.44 リセット同期PWM モードの設定手順例　[5]の説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	840	図19.50 相補PWM モード動作例（MTU3、MTU4） 正相出力→正相出力（MTIOC4A）、逆相出力→逆相出力（MTIOC4C）に修正
		843	図19.51 デッドタイムを生成しない場合の動作例（MTU3、MTU4） 正相波形→正相出力、逆相波形→逆相出力に修正
		879	図19.93 A/D 変換の開始要求信号（TRG4AN）の基本動作例 MTU4.TADCORA, MTU4.TADCOBRAの記載場所を変更
		880	図19.94 A/D 変換の開始要求信号（TRG4AN）とバッファ転送動作例 MTU4.TADCORA, MTU4.TADCOBRAの記載場所を変更
		892	19.3.13 相補PWM の「山／谷」でのTCNT キャプチャ動作 “山谷”、“山、谷”→“山／谷”に修正
		917	19.6.12 カスケード接続におけるMTU2.TCNT への書き込みとオーバフロー／アンダフローの競合 誤記を修正
		922	19.6.20 相補PWM モード、リセット同期PWM モードの出力レベル ビット名を修正：TDER.TDER→TDERA.TDER（TDERB.TDER）、TOCR1.OLSN→TOCR1A.OLSN（TOCR1B.OLSN）、TOCR1.OLSP→TOCR1A.OLSP（TOCR1B.OLSP）
		924	19.6.25 相補PWM モード同期クリアするときの異常動作防止の注意事項 本文の誤記を修正
		960	19.8.2, (3) カウントクリア動作 本文を修正
		20. ポートアウトプットイネーブル3（POE3）	
		961	表20.1 POE3の仕様 ハイインピーダンス発生条件／入力端子の変化：用語を修正
		965	20.2.2 入力レベルコントロール／ステータスレジスタ2 PIE2ビットのビット名を修正
		969	20.2.6 入力レベルコントロール／ステータスレジスタ6 OSTSTF フラグの説明を修正
		973	20.2.9 アクティブレベルレジスタ1 OLSENビットの説明を修正：n、mの添字を修正
		983	20.2.16 ポートアウトプットイネーブルコントロールレジスタ6 ビット機能表：b9、b10、b11、b12のビットシンボルを修正
		992	図20.2 ハイインピーダンス制御の対象と条件 HIZ→Hi-Zに修正
		994	表20.5 MTU／GPT端子と選択レジスタの対応 (2 / 2) 注2を追加
		21. 汎用PWM タイマ（GPTa）	
		全体	カウントリスタート→カウントクリアに修正、n：チャネル番号→n = 0 ～ 3に修正
		1000	表21.1 GPTの仕様 イベントカウント動作を削除、モジュールストップ状態の説明を追加
		1002	表21.2 GPTの機能一覧 (2 / 2) モジュールストップの設定の項目を追加
		1003	図21.1 GPT のブロック図 GTHPSR, GTCNT, GTDVU, GTDVD, GTDBU, GTDBD レジスタのレジスタ名を修正
		1018, 1019	21.2.12 汎用PWM タイマI/O 制御レジスタ OAHLD, OBHLDビットの説明を修正
		1039	21.2.29 汎用PWM タイマデッドタイム値レジスタm GPT1.GTDVUレジスタのアドレスを修正
		1052	図21.13 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合） GTPBR動作設定例に“dddd”を記載
		1054	図21.15 GTPR レジスタのバッファ動作設定例 図21.13、図21.14の例→図21.13の例（図21.14を削除）
		1117	21.6.2, (1) カウントスタート動作 タイトル、説明を修正
		1118	21.6.2, (3) カウントクリア動作 タイトル、説明を修正
		1132	21.8.1 リセット後の端子設定 本文を修正
		22. 16 ビットタイマパルスユニット（TPUa）	
		全体	カウントリスタート→カウントクリアに修正
		1136	表22.1 TPUの仕様 パルス入出力、設定可能動作、割り込み要因の内容：“× 2ユニット”を追記
		1137	表22.2 TPU（ユニット0）の機能一覧 (1 / 2) DMACの起動：TGRBのコンペアマッチまたはインプットキャプチャを追加
		1138	表22.2 TPU（ユニット0）の機能一覧 (2 / 2) モジュールストップの設定：ビットの誤記を修正、注1を追加（それに伴い、注1→注2、注2→注3に変更）
		1139	表22.3 TPU（ユニット1）の機能一覧 モジュールストップの設定：ビットの誤記を修正
		1140	表22.3 TPU（ユニット1）の機能一覧 注1を追加（それに伴い、注1→注2に変更）
		1140	図22.1 TPU（ユニット0）のブロック図 “PPG出力トリガ信号”追加
		1161	22.2.4 タイマ割り込み許可レジスタ ビット機能表：注3を追加
		1171	22.2.11 PWM フィードバック選択レジスタ ビット機能表：b4-b2（FBSL0[2:0]）のR/Wを追記
		1176	図22.7 コンペアマッチによる波形出力動作の設定手順例 添字を修正：n→m
		1187	22.3.4 カスケード接続動作 添字を修正：TPUm.TCNT（n = 2, 5）→TPUn.TCNT（n = 2, 5）、注3を追加
		1189	22.3.5 PWM モード 記載場所の移動、1. PWM モード1の説明を修正、2. PWM モード2の説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	1194	図22.25 PWM モード動作例（3）（a）～（c）の項目、および説明を追加
		1200	22.3.6.1 位相計数モード応用例　本文を修正
		1201	22.3.7 ノイズフィルタ機能　サンプリング周期→サンプリングに修正
		1202	22.3.8.1 PWM 1 軸測定の設定例（TPU（ユニット0）を内部PWM フィードバック入力に設定）　本文を修正
		1204	22.3.8.2 PWM 2 軸測定の設定例（TPU（ユニット0）を内部PWM フィードバック入力に設定）　本文を修正
		1206	22.3.8.3 PWM 1 軸測定の設定例（TPU（ユニット0）をインプットキャプチャ機能として設定）　本文を修正
		1208	22.3.8.4 PWM2 軸測定の設定例（TPU（ユニット0、ユニット1）をインプットキャプチャ機能として設定）　本文を修正、(8)，(9) の説明を修正
		1211	22.4, (3) アンダフロー割り込み　割り込み本数を修正
		1212	22.5 DMAC の起動　TPUm.TGRB レジスタを追加、インプットキャプチャ／コンペアマッチ割り込み本数を修正
		1214	図22.40 インプットキャプチャ入力信号タイミング　インプットキャプチャ信号の立ち上りのタイミング線を変更
		1222	図22.54 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合　バッファレジスタ→TPUm.TGRy レジスタに修正
		1222	図22.55 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合　TPUm.TCNT→TPUm.TGRy レジスタに修正
		1229	表22.32 ELCへ送信するイベント信号の割り込み要因対応表　チャネル4, チャネル5を削除、注2を修正
		1229	22.10.2, (1) カウントスタート動作　“ELC のELOPF レジスタで”の文言を追加
		1230	22.10.2, (2) カウントクリア動作　タイトル、説明を修正
		1230	図22.63 イベント信号受信によるカウントリスタート動作　TCNT レジスタが“0000h”→“0001h”に変化するタイミングに説明を追加
		1231	22.10.2, (3) インプットキャプチャ動作　説明を修正
		1232	22.10.3, (2) カウントクリア動作　説明を修正
		23. プログラマブルパルスジェネレータ（PPG）	
		1236	表23.2 PPGの機能一覧　MTU3a, TPUaのモジュールシンボルを修正
		1237	図23.1 PPGのブロック図　パルス出力端子のブロックに（グループ7）～（グループ4）を追記
		1244	23.2.4 ネクストデータレジスタH、ネクストデータレジスタL　アドレス：レジスタシンボルを追記
		1245	23.2.4, NDRH　(1) の項目を変更、注1を修正、(2) の項目を変更
		1246	23.2.4, NDRL　(1) の項目を変更、注1を修正、(2) の項目を変更
		1247	23.2.5 PPG 出力コントロールレジスタ　本文を修正
		1249	23.2.6 PPG 出力モードレジスタ　本文を修正
		1252	23.3 動作説明　本文を修正
		1255	23.3.3 パルス出力通常動作例（5 相パルス出力例）　本文、1～4の説明を修正
		1255	図23.6 パルス出力通常動作例（5 相パルス出力例）　パルス出力信号（PO11～PO15）を追記
		1256, 1257	23.3.4 パルス出力ノンオーバラップ動作　添字を修正：TGIAn→TGIAm（m = 0～3）
		1259, 1260	23.3.6 パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）　本文、1～4の説明を修正
		1262	23.3.8 インプットキャプチャによるパルス出力　本文を修正
		24. コンペアマッチタイマ（CMT）	
		全体	レジスタシンボルを修正：CMCNT0→CMT0.CMCNT、CMCNT1→CMT1.CMCNT、CMCNT2→CMT2.CMCNT、CMCNT3→CMT3.CMCNT、CMCNT4→CMT4.CMCNT、CMCNT5→CMT5.CMCNT、CMCOR0→CMT0.CMCOR、CMCOR1→CMT1.CMCOR、CMCOR2→CMT2.CMCOR、CMCOR3→CMT3.CMCOR、CMCOR4→CMT4.CMCOR、CMCOR5→CMT5.CMCOR
		1263	表24.1 CMTの仕様　イベントリンク機能：（チャネル1のみ）→（ユニット0のチャネル1のみ）に修正
		1267	24.2.4 コンペアマッチタイマコントロールレジスタ　b1-b0（CKS[1:0]）の機能説明を修正：CMCNTnカウンタ→CMTn.CMCNTカウンタ、CMSTR.STRnビット→CMSTRm.STRnビット、添字を修正（m, n）
		1267	24.2.5 コンペアマッチタイマカウンタ　レジスタシンボルを修正：CMSTRn.STRm→CMSTRm.STRn、添字を修正（m, n）
		1269	24.3.1 周期カウント動作　レジスタシンボルを修正：CMSTRn.STRm→CMSTRm.STRn
		1271	24.5.1 ELC へのイベント発行　レジスタシンボルを修正：CMCSRn.CMIE ビット→CMT1.CMCR.CMIE ビット
		1272	24.5.2, (1) カウントスタート動作　レジスタ名、ビット名を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	1272	図24.6 イベント受け付けによるカウントスタート動作　機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMSTR.STRn→CMSTR0.STR1、CMCNTn→CMT1.CMCNTに修正
		1273	24.5.2, (2) イベントカウンタ動作　レジスタシンボル、レジスタ名を修正
		1273	図24.7 イベント受け付けによるイベントカウント動作　機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMCNTn→CMT1.CMCNTに修正
		1274	24.5.2, (3) カウントクリア動作　説明を修正、レジスタシンボル、レジスタ名を修正
		1274	図24.8 イベント受け付けによるカウントクリア動作　機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMCNTn→CMT1.CMCNTに修正
		1275	図24.9 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合　機能選択m→動作選択、イベント入力信号m→イベント入力信号、CMSTRn.STRm→CMSTR0.STR1に修正
		1276	図24.10 イベントカウント動作でのイベント受け付けとレジスタアクセスの競合　機能選択→動作選択、CMCNT→CMT1.CMCNTに修正
		1277	図24.11 カウントクリア動作でのイベント受け付けとレジスタアクセスの競合　機能選択→動作選択、CMCNT→CMT1.CMCNTに修正
		1279	表24.3 イベントリンク動作／レジスタアクセス／カウンタ状態の競合動作まとめ　CMSTRn.STRm→CMSTR0.STR1に修正
		25. コンペアマッチタイマW（CMTW）	
		全体	カウントリスタート→カウントクリアに修正
		1280	表25.1 CMTWの仕様　イベントリンク：誤記を修正
		1281	図25.1 CMTW（ユニット0）のブロック図　タイトル、レジスタシンボルの誤記、割り込み要求信号を修正
		1283	25.2.2 タイマコントロールレジスタ　ビット機能表：b6（OC0IE）, b7（OC1IE）の機能説明を修正（アウトプットキャプチャ→アウトプットコンペア）、CMWIE ビットの説明を修正：“（CMWF = 1）”を削除
		1298	図25.9 カウントタイミング（PCLKD/8 のとき）　CMWCNT：“N-1”を追記
		1300	25.3.9 デジタルノイズフィルタ機能　サンプリング周期→サンプリングに修正
		1301	25.4.1 CMTW の割り込み要因とDMAC　割り込み要因名に添字（n）を追記
		1305	25.5.2 ELC からのイベント受け付けによるアクション　本文の誤記を修正：4 通りの動作→3 通りの動作
		1306	25.5.2, （3）カウントクリア動作　説明を修正
		1307	25.6.1 モジュールストップ機能　本文を修正
		1309	図25.23 CMWOCR レジスタの書き込みとカウントアップの競合　CMWCOR→CMWOCR、CMWCR→CMWOCRに修正
		1312	25.6.8, （4）インプットキャプチャ動作　削除
		1312	25.6.8, 図25.29 インプットキャプチャ動作でのイベント受け付けによるカウントクリアとレジスタアクセスの競合　削除
		1313	表25.4 イベントリンク動作／レジスタアクセス／カウンタ状態の競合動作まとめ　レジスタシンボルを置き換え、インプットキャプチャの項目を削除
		26. ウォッチドッグタイマ（WDTA）	
		1314	表26.1 WDTの仕様　内蔵チャネル数：内容を修正、イベントリンク機能：削除
		1315	図26.1 WDT のブロック図　WDTRCR レジスタを追加、イベントリンク出力とイベントリンクコントローラ回路を削除
		1321	26.2.3 WDT ステータスレジスタ　本文を修正
		1324	図26.3 レジスタスタートモード動作例　ECMへのエラー通知：Active : L→Active : Hに修正
		1325	26.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御　本文を修正
		1329	26.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作　本文を修正：Coretex-R4, Coretex-M3→Cortex-R4, Cortex-M3
		1329	表26.4 低消費電力モード遷移時のWDT動作＜低消費電力モード遷移時＞　VDDの項目を削除
		1329	26.5 イベントリンク（ELC）機能によるリンク動作　削除
		27. 独立ウォッチドッグタイマ（IWDTa）	
		1330	表27.1 IWDTの仕様　イベントリンク機能：削除
		1331	図27.1 IWDT のブロック図　IWDTRCR レジスタを追加、イベントリンク出力とイベントリンクコントローラ回路を削除
		1337	27.2.3 IWDT ステータスレジスタ　本文を修正
		1339	27.3.1 カウント開始条件の動作　レジスタ名を修正
		1340	図27.3 レジスタスタートモード動作例　ECMへのエラー通知：Active : L→Active : Hに修正
		1341	27.3.2 IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御　本文を修正
		1345	27.3.6 ダウンカウンタ値の読み出し　本文を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	1345	図27.7 IWDT カウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b） 修正（差し替え）
		—	図27.8 IWDT カウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b） 削除
		1346	27.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作　本文を修正：Coretex-R4, Coretex-M3→Cortex-R4, Cortex-M3
		1346	表27.4 低消費電力モード遷移時のIWDT動作＜低消費電力モード遷移時＞　VDDの項目を削除
		1346	27.5 使用上の注意事項　削除
		1346	27.6 イベントリンク（ELC）機能によるリンク動作　削除
		28. イーサネットMAC（ETHERC）	
		1347	表28.1 ETHERCの仕様　注1を追加
		1349	表28.2 ETHERCの入出力端子　ETH0_RXC, ETH1_RXC, ETH2_RXC端子：入出力と機能を修正
		1350	表28.3 ETHERCの機能別入出力端子　受信クロック入出力→受信クロック入力に修正
		1351	28.2.1.1 システムプロテクトコマンドレジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1352	28.2.1.2 イーサネットMAC リセットレジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1355	28.2.1.5 MII コントロールレジスタ　ビット機能表：注1を追加
		1357	28.2.2.1 MIIM レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除、ビット機能表：b26（RWDV）の機能説明を修正
		1358	28.2.2.2 TX ID レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1359	28.2.2.3 TX RESULT レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除、ビット機能表：b8（CSERR）、b11（TFAIL）の機能説明を修正
		1360	28.2.2.4 MODE レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1361	28.2.2.5 RX MODE レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1363, 1364	28.2.2.6 TX MODE レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除、b15, b14：FSTTH[1:0]→予約ビットに修正、ビット機能表：b29（SF）の“1”機能を修正、注1を修正
		1365	28.2.2.7 RESET レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除、ビット機能表：b14（予約ビット）を追加
		1366, 1367	28.2.2.8 PAUSE パケットデータレジスタ　GMAC_PAUSE1～GMAC_PAUSE5レジスタのアドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1368	28.2.2.9 RX FLOW CONTROL レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1368	28.2.2.10 PAUSE パケットレジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1369, 1370	28.2.2.11 MAC アドレスレジスタ　GMAC_ADRnA, GMAC_ADRnB レジスタのアドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1371	28.2.2.12 RX FIFO ステータスレジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1372	28.2.2.13 TX FIFO ステータスレジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1373	28.2.2.14 TCPIPACC レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1374	28.2.2.15 RX MAC ENABLE レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1374	28.2.2.16 LPI モード制御レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1375	28.2.2.17 LPI CLIENT タイミング制御レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1376	28.2.2.18 受信バッファ情報レジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除、ADDR[15:0]ビットの説明を修正
		1377	28.2.3.1 ハードウェアファンクションシステムコールレジスタ　アドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1378, 1379	28.2.3.2 ハードウェアファンクション引数レジスタ　R4～R7レジスタのアドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1381	28.2.3.4 ハードウェアファンクション戻り値レジスタ　R0, R1レジスタのアドレス：Cortex-M3からアクセスする場合のアドレスを削除
		1387	28.3.1.3, (2) Buffer 管理オペレーション, (a) バッファの獲得（HWFNC_ShortBuffer_Get, HWFNC_LongBuffer_Get） セグメントバウンダリ→セグメント境界（128 バイト）に修正
		1388	28.3.1.3, (2) Buffer 管理オペレーション, (b) バッファの全解放（HWFNC_Buffer_Release） タイトルを修正
		1391	表28.10 HWFNC_Buffer_Return　機能の説明を修正：バイトバウンダリ→バイト境界に修正
		1392	図28.8 MACDMA 周辺ブロックと割り込み信号　割り込み信号名を修正
		1399	表28.13 HWFNC_MACDMA_RX_Control　注1を追加
		1400	28.3.1.4, (3) 送信MAC DMA 機能, (a) 使用方法　説明を修正、バウンダリ→境界に修正
		1400	図28.11 送信ディスクリプタ　64ビットバウンダリ→64ビット境界に修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	1401	28.3.1.4, (3) 送信MAC DMA 機能, (c) 動作事例　128 バイトバウンダリ→128 バイト境界に修正
		1403	28.3.1.5, (1) 機能概要　説明を修正
		1410	図28.14 送信フレーム制御情報　注を追加
		1411	28.3.3.2, (2) イーサネットフレーム, (a) 送信TCPIP アクセラレータ機能が有効の場合　注を修正
		1413	28.3.3.3 送信処理用ディスクリプタの作成　本文を修正、図28.19 送信ディスクリプタの構造：削除
		1434	28.4.7 1518byte を超えるフレームサイズについて　追加
		1434	28.4.8 ハードウェアリアルタイムOS の使用について　追加
		29. イーサネットスイッチ	
		1435	表29.1 イーサネットスイッチの仕様　機能：IEEE802.1q→IEEE802.1Q、Ipv4→IPv4、Ipv6→IPv6に修正
		1435	29.1 概要　参照図を追加
		1438	29.2.1.1 イーサネットPHY LINK モードレジスタ　ビット機能表：b0（SWLINK0）の機能説明を修正（LINK0端子→PHYLINK0端子）、b1（SWLINK1）の機能説明を修正（LINK1端子→PHYLINK1端子）
		1443	29.2.2.2 ユニキャストデフォルトマスクレジスタ　本文を修正：UCASR_DEFAULT_MASK レジスタ→UCAST_DEFAULT_MASK レジスタ
		1448	29.2.2.7 モードコンフィグレジスタ　ビット機能表：b30-b1（予約ビット）→b30-b0（予約ビット）に修正
		1451	29.2.2.11 出力キュー最小メモリ統計レジスタ　ビット機能表：b31-b13（予約ビット）→b31-b5（予約ビット）に修正
		1454	29.2.2.14 キューウェイトレジスタ　ビット機能表：b31-b19（予約ビット）→b31-b29（予約ビット）に修正
		1456	29.2.2.16 IP プライオリティレジスタn　ビット機能表：b8（IPV6SELECT）のビット名を修正、b31（READ）のビット名、機能説明を修正
		1461	29.2.2.21 ハブ入力フィルタ用MAC アドレスhigh レジスタ　ビット機能表：b15-b8（MACADD6n）の機能説明を修正
		1489	29.2.6.1 DLR コントロールレジスタ　ビット機能表：b15-b8（CYCMCLK）の機能説明を修正（“4b”→“4Bh”）
		1501	29.2.6.14 DLR サブタイプ／プロトコルバージョンレジスタ　ビット機能表：b31-b13（予約ビット）→b31-b24（予約ビット）に修正
		1503	29.2.6.17 DLR MAC 統計カウンタ　（表）：添字の説明を追加
		1508	図29.8 アドレステーブルのレコードタイプ　静的レコード：52-50の名称を追加
		1532	29.3.4.3, (5) オフセット補正　本文を修正：レジスタシンボルの誤記を修正
		30. EtherCAT スレーブ・コントローラ（オプション）	
		1545	表30.2 EtherCATスレーブ・コントローラの入出力端子（PHYのMII端子を除く）　機能：出力 → 信号出力端子、入力 → 信号入力端子、EtherCAT EEPROM I2Cデータ→EtherCAT EEPROM I2Cデータ信号入出力端子に修正
		1548	表30.3 EtherCATスレーブ・コントローラの代表的な機能と本LSIでのサポート (3 / 3)　ライトプロテクション：16進数の表記を変更（0x0000-0x0FFF→0000h-0FFFh）
		1559	30.6.3 ESC ライト・イネーブル・レジスタ　ビット機能表：b0（ENABLE）の機能説明を修正（ESC_WR_PROTECT：0x0021→ESC_WR_PROTECT：0031h）
		1576	30.10.4 AL イベント・リクエスト・レジスタ　ビット機能表：b2（DCSYNC0STA）の機能説明を修正（DC_SYNC_STAT0→DC_SYNC0_STAT）、b3（DCSYNC1STA）の機能説明を修正（DC_SYNC_STAT1→DC_SYNC1_STAT）
		1584	30.13.2 EEPROM PDI アクセス・ステート・レジスタ　ビット機能表：b0のシンボルの誤記を修正（PDIACCEES→PDIACCESS）
		1585	30.13.3 EEPROM コントロール／ステータス・レジスタ　ビット機能表：注1, 注2を修正（ビット表示“b”を追記）
		1590	30.14.6 MII マネージメントPDI アクセス・ステート・レジスタ　ビット機能表：b1（FORPDI）の“1”, “0”の機能説明を修正
		1609	30.17.4.1 アクティベーション・レジスタ　ビット機能表：b6（NEARFUTURE）の“1”, “0”の機能説明の誤記を修正
		31. USB2.0HS ホストモジュール（USBh）	
		1630	31.1 概要　本文を修正：ポート接続経路選択レジスタ（P1PORTSEL）→ポート接続経路選択入力信号ビット（PHYSET1.P1PORTSEL[1:0] ビット）
		1631	31.1, (3) AHB-PCI Bridge　説明を修正
		1634	表31.1 レジスタマッピング一覧表 (1 / 2)　A004 0044h：HcLSThreshold→Reservedに修正
		1646	31.3.1.6 HcInterruptDisable レジスタ　ビット機能表：“削除”→“無効に”に変更
		1654	31.3.1.18 HcLSThreshold レジスタ　削除
		1669	31.3.2.5 USBCMD レジスタ　ビット機能表：b5, b11のビットシンボルを修正
		1671	31.3.2.6 USBSTS レジスタ　ビット機能表：b15（Asynchronous Schedule Status）の機能説明を修正（ビット5 Asynchronous Schedule Enable→ビット5 ASPME）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	1681	31.3.3.2 Offset 04h レジスタ　ビット配置図：b7のビットシンボルの誤記を修正（Wait Cycle→Wait Cycle Control）
		1683	31.3.3.4 Offset 0Ch レジスタ　アドレスを修正
		1713	31.3.6.4 PCI_INT_ENABLE レジスタ　アドレスを修正、ビット機能表：b0, b1, b2のシンボル、ビット名の誤記を修正
		1739	図31.13 初期設定シーケンス　誤記を修正：PRCP→PRCR
		32. USB2.0HS ファンクションモジュール（USBf）	
		1742	32.1 概要　本文を修正：ポート接続経路選択レジスタ（P1PORTSEL）→ポート接続経路選択入力信号ビット（PHYSET1.P1PORTSEL[1:0] ビット）
		1750, 1751	32.2.2.1 デバイスステートコントロールレジスタ0　ビット機能表：b8（WKUP）のH/Wを修正、リモートウェイクアップ（レジューム信号出力）禁止／許可ビットの説明を修正（2進数表記（b）を追記）
		1759	32.2.5.3 D0FIFO ポート選択レジスタ、D1FIFO ポート選択レジスタ　アドレス：レジスタの誤記を修正
		1771	32.2.8.1 割り込みステータスレジスタ0　レジューム割り込みステータスビットの説明を修正：2進数表記（b）を追記
		1783	32.2.11.1 USB リクエストタイプレジスタ　USBリクエストタイプビットの説明：ビット名、ビットシンボル、本文の誤記を修正
		1790	32.2.13.1 パイプウィンドウ選択レジスタ　ビット機能表の注1：2進数表記“b”を追記 、パイプウィンドウ選択ビットの説明：設定値の誤記を修正
		1791	32.2.13.2 パイプコンフィグレーションレジスタ　ビット配置図：b15, b14のビットシンボルの誤記を修正
		1795	32.2.13.2 パイプコンフィグレーションレジスタ　転送タイプビットの説明を修正
		1798	32.2.13.4 パイプマックスパケットサイズレジスタ　マックスパケットサイズビットの説明を修正
		1804	32.2.14.1 PIPE1 コントロールレジスタ、PIPE2 コントロールレジスタ、PIPE3 コントロールレジスタ、PIPE4 コントロールレジスタ、PIPE5 コントロールレジスタ　応答PID ビットの説明を修正
		1810	32.2.14.2 PIPE6 コントロールレジスタ、PIPE7 コントロールレジスタ、PIPE8 コントロールレジスタ、PIPE9 コントロールレジスタ　自動バッファクリアモードビットの説明を修正
		1813	32.2.15.2 PIPE1 トランザクションカウンタレジスタ　PIPE2 トランザクションカウンタレジスタ　PIPE3 トランザクションカウンタレジスタ　PIPE4 トランザクションカウンタレジスタ　PIPE5 トランザクションカウンタレジスタ　トランザクションカウンタビットの説明：ビットシンボルの誤記を修正
		1815	表32.18 SUSPM = 0時に、ソフトウエアによる書き込みが可能なレジスター覧　A006 0140h（BCCTRL）を削除
		1816	32.2.17.1 D0FIFO 連続転送ポートレジスタn　D1FIFO 連続転送ポートレジスタn　FIFO ポート制御の説明：2進数表記“b”を追記
		1820	表32.19 リセット種別一覧表　H/Wリセットを削除
		1826	32.4.3 コントロール転送ステージ遷移割り込み　本文を修正：2進数表記（b）を追記
		1830	32.5.3 パイプコントロールレジスタの切り替え手順　本文を修正：DEVADDx レジスタおよびCSCLR ビットの説明を削除
		1830	図32.9 USB 通信許可（“PID = BUF”）状態からのPIPE 情報変更手順　処理“当該PIPEのCSSTSビットが“0”になるまでWait”を削除
		1838	32.8.4 コントロール転送自動応答機能　（1）の誤記を修正
		1839	表32.29 受信トークンに対する応答一覧表　表脚注番号の修正
		1845	32.12 SOF 補間機能　本文を修正：レジスタシンボルの誤記を修正
		33. FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1846	表33.1 SCIFAの仕様　割り込み要因、調歩同期式モード（受信エラー検出）の内容を修正
		1848	33.2.1 レシーブシフトレジスタ　本文を修正
		1848	33.2.2 レシーブFIFO データレジスタ　説明を追加
		1855	33.2.7 シリアルステータスレジスタ　TEND ビットの説明を修正
		1857	表33.3 SMRレジスタの設定　見出し行を修正：SMRレジスタ→SMR.CKS[1:0]ビット、CKS1→b1、CKS0→b0
		1861	33.2.9 モジュレーションデューティレジスタ　MDDR レジスタの設定値を修正：128 ≦ MDDR ≦ 256→128 ≦ MDDR ≦ 255
		1862	表33.10 ビットレートに対するBRR、MDDRレジスタの設定例（調歩同期式モード）　誤差が最小になる組み合わせに修正
		1864	33.2.10 FIFO コントロールレジスタ　TTRG[1:0], RTRG[1:0], RSTRG[2:0] ビットの説明を修正
		1865	33.2.11 FIFO データ数レジスタ　本文を修正
		1866, 1867	33.2.12 シリアルポートレジスタ　MPC（マルチポートコントローラ）→MPC（マルチファンクションピンコントローラ）に修正
		1871	33.3.1 概要　本文を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	1872	表33.15 SMR、SCR、SPTRレジスタの設定値とSCIFAのクロックソースの選択　CKE1　CKE0→CKE[1:0]に変更
		1876	図33.3 SCIFA 初期化（調歩同期式モード）のフローチャートの例　処理を修正
		1879	図33.7 シリアル受信のフローチャートの例（1）　受信FIFO しきい値→受信データトリガ数、手順→ステップに変更
		1881	図33.10 モデムコントロールを使用した動作例（RTS#）　RTSn端子→RTS#端子に修正
		1883	図33.12 SCIFA 初期化フローチャートの例　処理を修正
		1886	図33.15 シリアル受信のフローチャートの例　受信FIFOしきい値→受信データトリガ数に変更
		1888	図33.17 シリアルデータ送受信フローチャートの例　注の説明を修正、受信FIFOしきい値→受信データトリガ数、手順→ステップに変更
		1889	33.4 ビットモジュレーション機能　ビットシンボルを修正
		1890	33.5 割り込み要因　本文を修正
		1895	33.8.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン　式（1）：Dの説明を修正（“D:0～1.0”→“D = 0～1.0”）
		1896	33.8.11 SCIFA 初期化時の注意事項　追加
		34. I2C バスインタフェース（RIICa）	
		1897	表34.1 RIICの仕様 (1 / 2)　アービトレーションの内容を修正
		1907	34.2.4 I2C バスモードレジスタ2　本文を修正：SDA 出力遅延機能を追加、RIIC1.ICMR2のアドレスを修正
		1909, 1910	34.2.5 I2C バスモードレジスタ3　本文を修正：アクノリッジの設定を追加、ビット機能表：b5（RDRFS）の“1”機能の説明を修正、ACKBR, ACKBT, RDRFSビットの説明を修正
		1911, 1912	34.2.6 I2C バスファンクション許可レジスタ　MALE, NALE, SALE, SCLEビットの説明を変更
		1921	34.2.10 I2C バスステータスレジスタ2　AL フラグの説明を修正：NACK アービトレーションロスト検出有効時→NACK 送信アービトレーションロスト検出有効時
		1934	図34.6 マスタ送信のフローチャート例　（6）の説明を修正
		1938	図34.10 マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合、2 バイト以下の場合）（8）の説明を修正
		1939	図34.11 マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）（8）の説明を修正
		1942	34.3.5 スレーブ送信動作　（1）、（2）の説明を修正
		1943	図34.15 スレーブ送信のフローチャート例　（5）の説明を修正
		1945	34.3.6 スレーブ受信動作　（1）、（3）、（4）の説明を修正
		1951	図34.24 7 ビットアドレスフォーマット選択時にAASy フラグが“1” になるタイミング　【7ビットアドレスフォーマット：スレーブ受信動作】に説明を追加
		1952	図34.25 10 ビットアドレスフォーマット選択時にAASy フラグが“1” になるタイミング　【10ビットアドレスフォーマット：スレーブ受信動作】に説明を追加
		1953	図34.26 7 ビット／ 10 ビットアドレスフォーマット混在時にAASy フラグが“1” または“0” になるタイミング①：“アドレス不一致”記載位置移動、②：ICSAR1L→ICSARL1に修正
		1967	図34.36 スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）【リスタートコンディション発行動作】SCLnラインのHigh幅：8→9に修正
		1970	図34.38 タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）【TMOH = 1、TMOL = 1の動作例】TMOSビット設定値の誤記を修正
		35. CAN インタフェース（RSCAN）	
		1986	35.2.2 チャネル制御レジスタ　BOM[1:0] ビットの説明：RSCAN0CmCTR レジスタの添字（m）を修正
		1989	35.2.4 チャネルエラーフラグレジスタ　本文を修正
		1990	35.2.4 チャネルエラーフラグレジスタ　BOEF フラグの説明：RSCAN0CmCTR レジスタの添字（m）を修正
		1998	35.2.9 グローバルTX 割り込みステータスレジスタ0　ビット機能表：b1（TAIF0）の機能説明を修正（割り込み名称を修正）
		2001	35.2.11 受信ルールエントリ制御レジスタ　ビット機能表：b4-b0（AFLPN [4:0]）の機能説明を修正（ページ範囲を修正）、AFLPN[4:0] ビットの説明を修正
		2038	35.2.38 FIFO フルステータスレジスタ　ビット機能表：b31-b14（予約ビット）のR/Wを修正
		2066	35.2.62 グローバルテスト制御レジスタ　RTME ビットの説明を修正
		2085	図35.6 受信ルール登録（チャネル0,1 を設定する場合）　ページ23→ページ7に修正
		2103	35.9.1.4 受信ルールの設定　本文を修正：ページ0 ～ 23→ページ0 ～ 7

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	36. シリアルペリフェラルインタフェース（RSPIa）	
		2129	図36.1 RSPI のブロック図　割り込み名に添字を追加（y）
		2130	表36.2 RSPIの入出力端子　SSL00, SSL01, SSL02, SSL03, SSL10, SSL11, SSL20, SSL30端子の機能を修正
		2132	36.2.1 RSPI 制御レジスタ　SPTIE ビットの説明を修正：（SPSR.SPTEF ビット= “1”）を削除
		2138	図36.2 SPDR レジスタの構造図　“シフトレジスタ”の記載を変更
		2146	36.2.10 RSPI クロック遅延レジスタ　本文を修正
		2152	36.2.14 RSPI コマンドレジスタ0 ～ 7　ビット機能表：xの説明を削除
		2186	図36.31 マスタモードでのシリアル転送方式の決定方法　SSLA[2:0]→SSLy[2:0]に修正
		2197	図36.39 スレーブモード時の初期化フロー例（SPI 動作）　SSLA0 入力→SSL信号に修正
		2201	図36.43 マスタモードでのシリアル転送方式の決定方法　SSLA[2:0]→SSLy[2:0]に修正
		2208	36.3.14 割り込み要因　本文を修正：送信バッファエンプティ割り込みおよび受信バッファフル割り込みの説明を削除
		2211	36.5.2 消費電力低減機能の注意事項　本文を修正
		37. SPI マルチI/O バスコントローラ（SPIBSC）	
		全体	ICLK→PCLKAに修正
		2212	37.1 概要　本文を修正
		2240	図37.7 バーストリード動作時のリード動作　（1）の説明を修正
		2249	表37.5 データレジスタ　ダミーサイクルのモードの説明を修正：DRDMC レジスタ→DRDMCR レジスタ、SMDMC レジスタ→SMDMCR レジスタ
		2249	37.3.10, (2) データイネーブル　説明を修正
		2252	表37.8 端子状態（3）　端子の誤記を修正：SPBMI0/SPBIO10→SPBMI/SPBIO1
		38. CRC 演算器（CRC）	
		2256	図38.1 CRC 演算器（CRC）のブロック図　誤記を修正：CRCCR.DCR0POL[1:0]→CRCCR.DCRA0POL[1:0]
		2259	38.2.3 CRC コントロールレジスタ　ビット機能表：ビットシンボルの誤記を修正（CRCCR→CRCDIR）
		39. シリアルサウンドインタフェース（SSI）	
		2263	図39.1 SSI のブロック図　MCLK→MCLK（ACLK）に変更
		2266	表39.3 SSITXD, SSIRXDの端子状態　“—”の説明を削除
		2269	39.2.2 ステータスレジスタ（SSISR）　ROIRQ フラグの説明を修正
		2286	39.3.5 送信動作　本文を修正
		40.　バウンダリスキャン	
		2318	40.3.2 コマンド一覧　EXTEXT 命令→EXTEST命令に修正
		2319	40.4 使用上の注意事項　EXTEXT 命令→EXTEST命令に修正
		41. ΔΣ インタフェース（DSMIF）	
		2321	表41.1 DSMIFの仕様　機能の内容を修正：MCLKm（m = 0～2）→MCLKm（m = 0～2、3）
		2339	41.2.22 XYZ ステータスレジスタ　レジスタシンボルの誤記を修正：XYSTX レジスタ→XYZSTA レジスタ
		2340	41.2.23 XYZ 過電流異常検出下限値設定レジスタ　ビット機能表：b15-b0のビットシンボルの誤記を修正
		2344	41.3 動作説明　本文を修正
		2345	図41.3 デシメータの構成（チャネル0（U）の例）　MCLKm→MCLK0に修正
		2346	表41.5 デシメーションクロックの設定と分解能　注1を修正
		2347	41.3.3.1 電流値変換機能と山／谷トリガキャプチャ機能　本分を修正：山／谷トリガ→山（谷）トリガ
		2347	表41.7 デシメーションクロックの設定と分解能　注1を修正
		2348	41.3.3.3 短絡異常検出機能　本文を修正：MDATAm（m = 0 ～ 3）→MDATAm（m = 0 ～ 2、3）
		2349	41.3.4 動作クロックの設定　本文を修正：MCLKm（m = 0 ～ 3）→MCLKm（m = 0 ～ 2、3）
		2352	図41.10 MCLKn 非反転時の動作　MCLK (ΔΣIF)→反転設定を反映後のMCLKに修正
		2352	図41.11 MCLKn 反転時の動作　MCLK(ΔΣIF)→反転設定を反映後のMCLKに修正
		2353	41.5.2 過電流検出時の電流値データに関する注意事項　本文を修正
		42. エラーコントロールモジュール（ECM）	
		全体	長期アクセスウェイト→タイムアウトに修正
		2356	表42.2 ECMエラー入力 (1 / 2)　エラー要因番号1の機能説明を修正：Cortex-RF4→Cortex-R4

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	2360	42.2.3 ECM マスタ／チェッカエラーソースステータスレジスタ0　ビット機能表：b4（ECMmSSE004）、b5（ECMmSSE005）の機能説明を修正
		2366	42.2.8 ECM マスカブル割り込みコンフィグレーションレジスタ0　ビット機能表：b4（ECMMIE004）、b5（ECMMIE005）の機能説明を修正
		2371	42.2.11 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0　ビット機能表：b4（ECMNMIE004）、b5（ECMNMIE005）の機能説明を修正
		2376	42.2.14 ECM 内部リセットコンフィグレーションレジスタ0　ビット機能表：b4（ECMIRE004）、b5（ECMIRE005）の機能説明を修正
		2381	42.2.17 ECM エラーマスクレジスタ0　ビット機能表：b4（ECMEMK004）、b5（ECMEMK005）の機能説明を修正
		2386	42.2.20 ECM エラーソースステータスクリアトリガレジスタ0　ビット機能表：b4（ECMCLSSE004）、b5（ECMCLSSE005）の機能説明を修正
		2392	42.2.25 ECM 擬似エラートリガレジスタ0　ビット機能表：b4（ECMPE004）、b5（ECMPE005）の機能説明を修正
		2399	42.2.31 ECM ディレイタイマコンフィグレーションレジスタ0　ビット機能表：b4（ECMTE004）、b5（ECMTE005）の機能説明を修正
		2404	42.2.34 ECM ディレイタイマコンフィグレーションレジスタ3　ビット機能表：b4（ECMTE304）、b5（ECMTE305）の機能説明を修正
		43. 12 ビットA/D コンバータ（S12ADCa）	
		2436	43.2.6 A/D 変換値加算／平均モード選択レジスタ　ADS[15:0] ビットの説明を修正：ビットシンボルの誤記を修正（ADANSA0.ANSA0[15:0]→ADANSA.ANSA[15:0]）
		2447	43.2.13 サンプル& ホールド回路コントロールレジスタ　ビット機能表：b15-b11（予約ビット）→b15-b12（予約ビット）に修正
		2458	43.2.23 A/D コンペアステータス拡張レジスタ　アドレスを修正
		2460	43.2.26 A/D エラークリアレジスタ　アドレス：モジュールシンボルを修正
		2461	43.2.27 A/D オーバライトエラーレジス　OWE[15:0] ビットの説明：シンボルの誤記を修正（OWE0→OWE）
		2501	43.3.6 コンペア機能　(2) の説明を修正：ADCMPANSRy レジスタ→ADCMPANSR レジスタ
		2512	43.4.1 割り込み要求　本文を修正：ADI 割り込み→S12ADI 割り込み、GBADI 割り込み→S12GBADI 割り込み
		2512	表43.12 モード設定とS12ADI割り込み出力　ADI 割り込み→S12ADI 割り込み、GBADI割り込み→S12GBADI 割り込みに修正
		2515	43.5.6 低消費電力状態への遷移時の注意　本文の誤記を修正
		44. 温度センサ	
		2520	44.3.1 使用前の準備　参照先を変更
		2521	44.3.1 使用前の準備　・温度センサの出力電圧の計算（A/D 変換値加算モードを非選択とした場合）　追加
		46. RAM（製品オプション）	
		2531	46.1 概要　注を修正
		2533	46.2.2 ECC デコーダコンフィグレーションレジスタ　本文を修正：1bit ECC エラーの場合、2bit ECC エラーの場合の説明を追加
		2539	46.2.6 2 ビットECC エラーステータスレジスタ　本文を修正
		2540	46.2.7 2 ビットECC エラーステータスレジスタ　ビット機能表：b7（DBE_RAM7）のビット名を修正
		2541	46.2.8 2 ビットECC エラーアドレスレジスタ　ビット機能表：注の誤記を修正
		2542	46.2.9 2 ビットECC エラーアドレスレジスタ　ビット機能表：注の誤記を修正
		2545	図46.2 ECC エラーインジェクション設定手順例　タイトルを追加、処理を修正
		2546	図46.3 ECC 動作確認手順例　タイトルを追加、処理を修正：DBE_IRQ割り込み→割り込み、注1を追加
		47. 電気的特性	
		2548	図47.1 電源投入・切断シーケンス　Timing（表）：No.（3）、（4）、（5）のValue（typ）に“—”を追記
		2550	表47.3 DC特性（2）【消費電流】(1 / 2)　通常動作時/VDD/300MHzのVIccを修正
		2552	表47.4 DC特性（3）【USB2.0 ホスト／ファンクション関連端子を除く】 シュミットトリガ入力電圧/5Vトレラント対応端子の注の参照先を修正：（注2）→（注1）
		2553	表47.5 DC 特性（4）【USB2.0 USB_RREF端子】 値を修正：200Ω ± 1%→200 ± 1%、単位に“Ω”を追記
		2557	表47.12 CLKOUT25Mnタイミング　CLKOUT25Mn（RMII）：Tck→Tck1に修正、CLKOUT25Mn（MII）：Tck→Tck2に修正
		2557	図47.3 CLKOUT25Mn 端子出力タイミング1　記号を修正
		2557	図47.4 CLKOUT25Mn 端子出力タイミング2　記号を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2019.01.17	2557	表47.13 EXTALクロックタイミング　値を修正：40.00 + 50ppm→40.00 ± 50ppm
		2558	表47.14 XTALクロックタイミング　値を修正：40.00 + 50ppm→40.00 ± 50ppm
		2560	表47.17 バスタイミング (1 / 2)　tDQMD→tDQMD1に修正
		2593	表47.24 GPTaタイミング　TOTETW→tGTEWに修正
		2597	表47.27 RSPIaタイミング　注4を追加
1.60	2020.10.23	全体	登録商標表示　Arm → Arm®
		全体	パッケージ名称　HLQFP → HLFQFP デルタ記号　⊿ → Δ
		特長	
		59	注3　削除（注4 → 注3、注5 → 注4に修正）
		1. 概要	
		61	表1.1 仕様概要 (2/7)　VIC、NVICの周辺機能割り込み要因数　修正
		62	表1.1 仕様概要 (3/7)　TPUa　ユニット数の脚注番号　修正
		70	図1.1 ブロック図　MTU3aのチャネル数　修正
		72	表1.4 端子機能一覧 (2/7)　MTU3a：MTIOC0m～MTIOC8m端子の機能　修正
		73	表1.4 端子機能一覧 (3/7)　GPTa：GTIOC0A、GTIOC0B～GTIOC3A、GTIOC3B端子の機能　修正
		74	表1.4 端子機能一覧 (4/7)　ETHERC：ETHSWSECOUT端子の機能　修正
		79	図1.3 ピン配置図 (176 ピンHLFQFP)　注2　追加
		3. 動作モード	
		117	図3.2 ローダ用パラメータ、ローダプログラム のメモリ配置　注3　修正
		118	表3.3 16ビット／32ビットバスブートモード時のローダ用パラメータ情報　注3　修正
		119	表3.4 SPIブートモード時のローダ用パラメータ情報　0000 0018h / LDR_SIZE_NMLの内容　脚注番号（注3）追加、注3　修正
		120	3.5.3 ローダプログラム　SPIブートモード時の外部メモリ内の格納アドレスの説明　修正
		4. アドレス空間	
		130	図4.1 メモリマップ　Cortex-M3：BitBand Alias Area0 (32MB) → BitBand Alias Area0 (16MB)　修正
		6. リセット	
		223	6.2.1 リセットステータスレジスタ0 (RSTSR0)　ビット機能表のR/W：R(/W) → R/(W)　修正
		224	6.2.3 ソフトウェアリセットレジスタ2 (SWRR2)　アドレス：SWRR21 → SWRR2　修正
		226	6.3.4 ソフトウェアリセット2 (R-IN Engine 搭載製品)　SWPR2レジスタ → SWRR2レジスタ　修正
		7. クロック発生回路	
		232	図7.1 クロック発生回路のブロック図　バス追加
		233	図7.2 クロック発生回路のブロック図 (R-IN Engine 搭載製品)　バス追加
		238	7.2.3 ΔΣI/Fクロックコントロールレジスタ (DSCR)　タイトル　修正
		242	7.2.5 PLL1コントロールレジスタ2 (PLL1CR2)　ビット機能表：注　修正
		248	7.8.2 システムクロック (ICLK)　本文　修正
		248	7.8.3 高速周辺モジュールクロック (PCLKA)　本文　修正
		248	7.8.4 低速周辺モジュールクロック (PCLKB)　本文　修正
		248	7.8.5 高速周辺モジュールクロック (PCLKC)　本文　修正
		249	7.8.6 低速周辺モジュールクロック (PCLKD、PCLKE、PCLKF、PCLKG、PCLKH)　本文　修正
		249	7.8.9 USBクロックM (USBMCLK)　本文　修正
		249	7.8.10 USBクロックP (USBPCLK)　本文　修正
		249	7.8.11 Ethernet クロック (ETCLKA、ETCLKB、ETCLKC、ETCLKD、ETCLKE、ETCLKF、ETCLKG) タイトル、本文　修正
		251	7.9.1 クロック発生回路に関する使用上の注意事項　(6)の説明：ECLKD → ETCLKD　修正
		8. クロックモニタ回路(CLMA)	
		260	8.3.1 CLMAnの動作　(1) 動作許可：3.の説明を修正
		261	8.3.2 異常クロック周波数の検出　(2) しきい値CLMAnCMPL.CLMAnCMPL[11:0]と CLMAnCMPH.CLMAnCMPH[11:0]の算出方法　例 CLMA0の場合　上限しきい値を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2020.10.23	9. 消費電力低減機能	
		全体	RIICaユニット → RIICaチャネル、SCIFAユニット → SCIFAチャネル、RSPIaユニット → RSPIaチャネル　修正
		267	9.2.2 モジュールストップコントロールレジスタB (MSTPCRB)　ビット機能表：b18、b19に脚注番号（注1）追加
		276	9.4.6 ライトプロテクション機能　モジュールストップコントールレジスタ → モジュールストップコントロールレジスタ　修正
		12. 割り込みコントローラ(ICUA)	
		295	図12.1 割り込みコントローラのブロック図　レジスタ：DMA0SELi、DMA1SELi、IRQFLTE → DMA0SELi、DMA1SELi (IRQFLTE レジスタを削除)
		295	図12.2 割り込みコントローラのブロック図 (R-IN Engine搭載製品)　レジスタ：DMA0SELi、DMA1SELi、IRQFLTE → DMA0SELi、DMA1SELi (IRQFLTE レジスタを削除)
		364	12.4.2.16 割り込みアドレス格納レジスタ0 (VADn)、割り込みアドレス格納レジスタ1 (VADn)　ビット配置図：VADn[31:0]　記載
		364	12.4.2.16 割り込みアドレス格納レジスタ0 (VADn)、割り込みアドレス格納レジスタ1 (VADn)　ビット機能表：シンボル、機能説明　修正
		364	12.4.2.16 割り込みアドレス格納レジスタ0 (VADn)、割り込みアドレス格納レジスタ1 (VADn)　VADn[31:0]ビットの説明：ビットシンボル、添え字、ビット説明　修正
		373	表12.3 Cortex-R4／DMAC割り込みベクタテーブル (3/10)　要求元：RSPI Unit0～RSPI Unit3、SCIFA Unit0、SCIFA Unit1 → RSPI ch0～RSPI ch3、SCIFA ch0、SCIFA ch1　修正
		374	表12.3 Cortex-R4／DMAC割り込みベクタテーブル (4/10)　要求元：SCIFA Unit2～SCIFA Unit4、RIIC Unit0、RIIC Unit1 → SCIFA ch2～SCIFA ch4、RIIC ch0、RIIC ch1　修正
		378	表12.3 Cortex-R4／DMAC割り込みベクタテーブル (8/10)　ベクタ番号：242、243、259　要因　修正
		380	表12.3 Cortex-R4／DMAC割り込みベクタテーブル (10/10)　注4　修正
		381	図12.6 VICのレジスタ初期化　添え字 (m、q、r)　修正
		386	12.4.4.3 割り込み検出　(3) IRQ割り込み (エッジ割り込み)　説明　修正
		396	表12.6 CM3割り込みベクタテーブル (2/4)　要求元：SCIFA Unit0、SCIFA Unit1、RIIC Unit0、RIIC Unit1、RSPI Unit0 → SCIFA ch0、SCIFA ch1、RIIC ch0、RIIC ch1、RSPI ch0　修正
		397	表12.6 CM3割り込みベクタテーブル (3/4)　要求元：RSPI Unit1 → RSPI ch1　修正
		14. バスステートコントローラ	
		415	14.3.2 CSn空間ウェイト制御レジスタ (CSnWCR)　(1) SRAMインタフェース、バイト選択付きSRAM、MPX-I/O　CS1WCR　ビット機能表：b1-b0、b12-b11のビット名と機能説明　修正 (CSn# → CS1#)
		423	14.3.2 CSn空間ウェイト制御レジスタ (CSnWCR)　(2) バーストROM (クロック非同期)　CS4WCR_1　ビット機能表：b1-b0 の機能説明　修正 (CS4 → CS4#)
		443	図14.5 32ビットデータ幅SRAM接続例　OE → OE#　修正
		444	図14.6 16 ビットデータ幅SRAM接続例　OE → OE#　修正
		444	図14.7 8ビットデータ幅SRAM接続例　OE → OE#　修正
		447	14.4.4 CSn#アサート期間拡張　注　追加
		449	図14.12 MPX空間アクセスタイミング (2)　注1：アクティブロー → アクティブロウ　修正
		482	14.4.8 バイト選択付きSRAMインタフェース　本文：UB → UB#、LB → LB#　修正
		485	図14.38 32ビットデータ幅バイト選択付きSRAM接続例　OE → OE#、UB → UB#、LB → LB#　修正
		485	図14.39 16ビットデータ幅バイト選択付きSRAM接続例　OE → OE#、UB → UB#、LB → LB#　修正
		15. DMAコントローラ (DMACAa)	
		548	15.3.4.1 DMA転送要求の要因毎の検出動作指定　本文　修正
		552	表15.21 DMA転送要求検出動作設定表 (4/7)　DMA転送要求元：RSPI Unit0～RSPI Unit3、SCIFA Unit0～SCIFA Unit4、RIIC Unit0、RIIC Unit1 →RSPIチャネル0～RSPIチャネル3、SCIFAチャネル0～SCIFAチャネル4、RIICチャネル0、RIICチャネル1　修正
		555	表15.21 DMA転送要求検出動作設定表 (7/7)　ELCのDMA転送要求　修正
		584	図15.44 Next レジスタ連続実行の設定例　タイトル　修正
		587	図15.45 DACK/TEND分割出力例　アクティブロー → アクティブロウ　修正
		16. イベントリンクコントローラ (ELC)	
		589	図16.1 ELCのブロック図　タイトル：添え字 (n)　修正
		591	表16.2 ELSRnレジスタと周辺機能の対応　ELSR18、ELSR19レジスタの周辺機能 (モジュール)　修正
		592	表16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1/3)　ELS[7:0]ビットの値：22hのELSR設定イベント信号　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2020.10.23	605	図16.2 割り込み処理とELCの関係 (EtherMAC、EtherCATは除く)　ICU → ICUA　修正
		606	表16.5 イベント入力時のモジュール別動作一覧　MTU、CMT、CMTW、TPU、GPTモジュール：イベント入力時の動作説明　修正
		607	16.3.3 タイマ系周辺機能のイベント入力時の動作　本文　修正
		612	16.3.6 イベントリンクの動作設定手順例　4.の説明　修正
		17. I/O ポート	
		全体	Hi-z → Hi-Z　修正
		616	図17.1 入出力ポートの構成 (1)　注1　修正
		617	図17.2 入出力ポートの構成 (2)　注1　修正
		618	図17.3 入出力ポートの構成 (3)　注1　修正
		621	17.3.1 ポート方向レジスタ (PDR)　アドレス：PORT0 PDR → PORT0.PDR　修正
		18. マルチファンクションピンコントローラ (MPC)	
		661	18.2.8 P6n端子機能制御レジスタ (P6nPFS)　本文　修正
		685	18.2.24 PNn端子機能制御レジスタ (PNnPFS)　本文　修正
		686	18.2.25 PPn端子機能制御レジスタ (PPnPFS)　本文　修正
		19. マルチファンクションタイマパルスユニット3 (MTU3a)	
		721	表19.15 TIOR (MTU1)　IOB[3:0] = 111xのときのMTIOC1B端子の機能説明　修正
		726	表19.25 TIORH (MTU8)　IOB[3:0] = 1x00、1x01、1x1x、11xx → 1000、1001、101x、11xx　修正
		835	図19.46 相補PWMモード時のMTU3、MTU4ブロック図　外部遮断入力：POE11#　削除
		836	図19.47 相補PWMモード時のMTU6、MTU7ブロック図　外部遮断入力：POE11#　削除
		21. 汎用PWM タイマ (GPTa)	
		1025	21.2.14 汎用PWMタイマ制御レジスタ (GTCR)　CCLR[1:0]ビットの説明　修正
		1027	21.2.15 汎用PWMタイマバッファイネーブルレジスタ (GTBER)　PR[1:0]ビットの説明　修正
		1034	21.2.21 汎用PWMタイマ周期設定レジスタ (GTPR)　本文　修正
		22. 16ビットタイマパルスユニット (TPUa)	
		1177	図22.7 コンペアマッチによる波形出力動作の設定手順例　[1]の説明：添え字　修正
		1178	22.3.1 概要　(3) インプットキャプチャ機能　添え字　修正
		1231	22.10.2 ELCからのイベント信号受信　(2) カウントクリア動作　誤記修正
		23. プログラマブルパルスジェネレータ (PPG)	
		1245	23.2.4 ネクストデータレジスタH (NDRH)、ネクストデータレジスタL (NDRL)　NDRLレジスタ：アドレス　修正
		1262	図23.11 パルス反転出力例　PODRL → PODRH　修正
		1263	23.3.8 インプットキャプチャによるパルス出力　本文　修正
		24. コンペアマッチタイマ (CMT)	
		1272	図24.5 イベント発行タイミング　CMCNTn → CMT1.CMCNT、CMCORn → CMT1.CMCOR　修正
		1273	24.5.2 ELCからのイベント受け付けによるCMTの動作　(1) カウントスタート動作　ビットシンボル　修正
		1274	24.5.2 ELCからのイベント受け付けによるCMTの動作　(2) イベントカウンタ動作　レジスタ名　修正
		1276	24.5.3 イベントリンク動作に関するCMTの注意事項　(1) カウントスタート動作　レジスタ名　修正
		1277	24.5.3 イベントリンク動作に関するCMTの注意事項　(2) イベントカウンタ動作　レジスタ表記　修正
		1278	24.5.3 イベントリンク動作に関するCMTの注意事項　(3) カウントクリア動作　レジスタ表記　修正
		25. コンペアマッチタイマW (CMTW)	
		1291	25.2.9 デジタルノイズフィルタコントロールレジスタ1 (NFCR1)　本文　修正
		1307	25.5.2 ELCからのイベント受け付けによるアクション　(3) カウントクリア動作　誤記修正
		1309	図25.22 CMWCORレジスタの書き込みとコンペアマッチの競合　タイトル　修正
		1310	図25.23 CMWOCRレジスタの書き込みとコンペアマッチの競合　タイトル　修正
		26. ウォッチドッグタイマ (WDTA)	
		1322	26.2.3 WDTステータスレジスタ (WDTSR)　ビット機能表：b14、b15のR/W　修正
		27. 独立ウォッチドッグタイマ (IWDTa)	
		1338	27.2.3 IWDTステータスレジスタ (IWDTSR)　ビット機能表：b14、b15のR/W　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2020.10.23	28. イーサネットMAC (ETHERC)	
		1348	28.1 概要　本文　図の参照先　修正
		1350	表28.2 ETHERCの入出力端子　ETHSWSECOUT信号　機能説明　修正
		1351	表28.3 ETHERCの機能別入出力端子 (MIIモード時)　タイトル、その他 (表)　修正
		1351	表28.4 ETHERCの機能別入出力端子 (RMIIモード時)　追加
		1355	28.2.1.4 MACセレクトレジスタ (MACSEL)　本文　図・表の参照先　修正
		1358	28.2.2.1 MIIMレジスタ (GMAC_MIIM)　注　修正
		1362	28.2.2.5 RX MODEレジスタ (GMAC_RXMODE)　ビット機能表：b11-b9、b29の機能説明　修正
		1386	図28.4 ハードウェアファンクションコール発行処理フロー　処理：HW-RTOS割り込み(HWRTOS)の禁止、HW-RTOS割り込み(HWRTOS)の許可　追加、注1　追加、注1 → 注2　修正
		1387	28.3.1.3 Buffer Allocator　(1) 機能概要　修正
		1390	表28.8 HWFNC_LongBuffer_Get　戻り値レジスタ：R1　修正
		1391	表28.9 HWFNC_ShortBuffer_Get　戻り値レジスタ：R1　修正
		1397	28.3.1.4 MAC DMAコントローラ　(2) 受信MAC DMA機能　(b) 使用方法：バッファ読み出しと解放手順の例　修正
		1398	28.3.1.4 MAC DMAコントローラ　(2) 受信MAC DMA機能　(c) Hardware Function Call一覧　修正
		1403	28.3.1.4 MAC DMAコントローラ　(3) 送信MAC DMA機能　(d) Hardware Function Call一覧　修正
		1404	表28.17 HWFNC_MACDMA_TX_Errstat　戻り値レジスタ：R0　修正
		1406	表28.18 HWFNC_Direct_Memory_Transfer　引数レジスタ：R4、R5　修正
		1408	表28.20 送信動作に関する割り込み　MACDMA送信エラー割り込み (ETHDTIE)：発生条件／クリア条件　修正
		29. イーサネットスイッチ	
		1439	29.2.1.1 イーサネットPHY LINKモードレジスタ (ETHPHYLNK)　ビット機能表：アクティブロー → アクティブロウ　修正
		1447	29.2.2.5 入力ラーニングブロッキングレジスタ (INPUT_LEARN_BLOCK)　本文：Brige Protocol Data Units：BPDU → Bridge Protocol Data Units：BPDU　修正
		1478	29.2.5.4 ポートタイムスタンプレジスタ (PORTn_TIME)　アドレス：レジスタ　修正
		1534	29.3.4.3 時刻調整機能付きタイマモジュール　(6) パルス信号生成機能　修正
		30. EtherCAT スレーブ・コントローラ	
		1589	30.14.1 MIIマネージメント・コントロール／ステータス・レジスタ (MII_CONT_STAT)　ライトアクセスの説明、注：ビット表記「b」　追加
		31. USB2.0HSホストモジュール (USBh)	
		1638	表31.4 EHCIにおけるPCI Configuration Space　Offset：1E8h 1ECh → 1E8h - 1ECh　修正
		1671	31.3.2.6 USBSTSレジスタ　ビット機能表：b2の機能説明　誤記修正
		1741	図31.13 初期設定シーケンス　OVERCUR → OVRCUR　修正
		33. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	
		1847	表33.1 SCIFAの仕様　注1　修正
		1855	33.2.7 シリアルステータスレジスタ (FSR)　DRビットの説明：注2 → 注　修正
		1870	33.2.14 シリアル拡張モードレジスタ (SEMR)　DIRビットの説明：注1　修正
		1878	図33.4 シリアル送信のフローチャートの例　[2]の説明　修正
		1879	図33.5 送信時の動作例 (8ビットデータ／パリティあり／1ストップビット／LSBファーストの例)　注 → 注1　修正
		1885	図33.13 シリアル送信のフローチャートの例　[2]の説明　修正
		1889	図33.17 シリアルデータ送受信フローチャートの例　[2]の説明　修正
		34. I²Cバスインタフェース (RIICa)	
		1900	図34.2 入出力端子の外部回路接続例 (I²Cバス構成例)　(スレーブ1)、(スレーブ1)のSCL、SDA：記載場所　修正
		1918	34.2.9 I²Cバスステータスレジスタ1 (ICSR1)　ビット機能表：b0、b1、b2、b3、b5のR/W　修正
		1921、1924	34.2.10 I²Cバスステータスレジスタ2 (ICSR2)　ビット機能表：b0、b1、b2、b3、b4、b5、b6のR/W　修正、TDREフラグの説明：注　修正
		1928	34.2.14 I²CバスビットレートHighレジスタ (ICBRH)　注1　修正
		1931	34.3.1 通信データフォーマット　本文：I2C → I²C　修正
		1949	図34.21 RIICのSCLクロック生成およびSCL同期化動作　SCL0nライン → SCLnライン　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2020.10.23	1950	図34.22 SDA出力遅延タイミング　送信モード時：SCLn　修正
		1951	図34.23 デジタルノイズフィルタ回路のブロック図　SCL0n/SDA0n → SCLn/SDAn　修正
		1965	図34.34 NACK送信アービトレーションロスト検出動作例 (NALE = 1のとき)　SCLn/SDA開放 → SCL/SDA開放 修正
		1966	図34.35 スレーブアービトレーションロスト検出動作例 (SALE = 1 のとき)　SCLn/SDA開放 → SCL/SDA開放 修正
		1974	表34.6 割り込み要因　注1と注2を入れ替え
		35. CANインタフェース (RSCAN)	
		2008	35.2.16 受信ルールポインタ1レジスタ (RSCAN0GAFLP1j)　ビット説明：GAFLFDPr[25:0]ビット → GAFLFDP[17:0]、GAFLFDPr[7:0]ビット　タイトル修正
		2010	35.2.18 受信バッファ新データレジスタ0 (RSCAN0RMND0)　ビット機能表：b31-b16とb15-b0を入れ替え、フラグの説明：RMNSq_h, RMNSq_lフラグ → RMNSq_l, RMNSq_hフラグ　タイトル修正
		2039	35.2.38 FIFOフルステータスレジスタ (RSCAN0FFSTS)　ビット機能表：b31-b14のR/W　修正
		36. シリアルペリフェラルインタフェース (RSPIa)	
		2137	36.2.4 RSPIステータスレジスタ (SPSR)　ビット機能表：b4～b7の機能説明、R/W　修正
		2182	図36.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)　①、②　表示漏れ
		2182	図36.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)　①、②　表示漏れ
		40. バウンダリスキャン	
		2310	表40.6 バウンダリスキャンレジスタ (176HLFQFP)　タイトル修正 (176QFP → 176HLFQFP)
		2319	40.3.2 コマンド一覧　(3) SAMPLE/PRELOAD[命令コード：0100 0000b]　TXTEST命令 → EXTEST命令　修正
		2320	40.4 使用上の注意事項　12.の説明　修正
		41. ΔΣインタフェース (DSMIF)	
		2346	41.3.2 デシメーション機能　本文：WORD1GEN[1:0]ビット → WORD1GEN[2:0]ビット、WORD2GEN[1:0]ビット → WORD2GEN[2:0]ビット　修正
		2347	表41.5 BITSHIFT1[3:0]の設定値と16ビット電流値データの関係　タイトル　修正
		2348	表41.7 BITSHIFT2[3:0]の設定値と16ビット電流値データの関係　タイトル　修正
		2351	図41.8 フィルタ設定と電流値データの関係　(a)、(b)の設定の内容　修正
		42. エラーコントロールモジュール (ECM)	
		全体	キャシュ → キャッシュ　用語修正
		2359～2411	42.2 レジスタの説明　ビット機能表：予約ビット (R/W)、予約ビット (W)の機能説明　修正
		2359	42.2.1 ECMマスタ／チェッカエラーセットトリガレジスタ (ECMmESET (m = M/C))　ビット機能表：注1　修正
		2384	42.2.17 ECMエラーマスクレジスタ0 (ECMEMK0)　ビット機能表：b23、b24の機能説明　修正
		2415	42.3.6 エラー出力クリアの無効設定機能　本文：ECMCLKクロック (240KHz) → ECMCLKクロック (240kHz) 修正
		43. 12ビットA/Dコンバータ (S12ADCa)	
		全体	端子名：ANEX0 → AN1_ANEX0、ANEX1 → AN1_ANEX1　修正
		2432	表43.4 DBLANSビットの設定値とダブルトリガ対象チャネルの関係　注　追加
		2434	表43.5 スキャンモード、ダブルトリガモードとA/D変換対象の選択可否　グループスキャン：DBLE = 1の自己診断　修正
		2471	43.3.2.6 ダブルトリガモード選択時の動作　本文　修正
		2471	図43.9 シングルスキャンモードの動作例 (ダブルトリガモード選択：AN003を2重化、トリガはTRG4ABNを選択、自己診断非選択)　タイトル　修正
		2513	表43.12 モード設定とS12ADI割り込み出力 シングルスキャンモードのDBLE = 1、グループスキャンモードのDBLE = 0、グループスキャンモードのDBLE = 1：トリガ、S12ADI割り込み、S12GBADI割り込み　修正、注1　修正
		2517	43.5.10 自己診断機能使用時の注意　本文　修正
		44. 温度センサ	
		2524	表44.2 温度センサの動作からA/D変換完了までの時間　tSAM、tEDの時間　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2020.10.23	47. 電気的特性	
		2553	表47.4 DC特性 (3)【USB2.0ホスト／ファンクション関連端子を除く】 出力Low レベル電圧 / 5V トレラント対応端子(注2) / V_{OL2} → 出力Low レベル電圧 / 5V トレラント対応端子(注1) / V_{OL2}　脚注番号修正、スリーステートリーク電流 (オフ状態) / 5V トレラント対応端子 / $\|I_{TSI}\|$ → スリーステートリーク電流 (オフ状態) / 5V トレラント対応端子(注1) / $\|I_{TSI}\|$　脚注番号追加
		2558	表47.12 CLKOUT25Mnタイミング　CLKOUT25Mn (RMII) / CLKOUT25Mn周波数、CLKOUT25Mn (MII) / CLKOUT25Mn周波数：min-max値　修正、添え字 (n = 0～2)　追加
		2568	図47.17 バイト選択付きSRAMバスサイクル (SW = 1サイクル、HW = 1サイクル、非同期外部ウェ イト1挿入、BAS = 0 (ライトサイクルUB#/LB#コントロール))　タイトル　修正
		2569	図47.18 バイト選択付きSRAMバスサイクル (SW = 1サイクル、HW = 1サイクル、非同期外部ウェ イト1挿入、BAS = 1 (ライトサイクルWE#コントロール))　タイトル　修正
		2590	図47.41 TPUaクロック入力タイミング　TCLK0A～TCLK0D, TCLK1A～TCLK1D → TCLKA～TCLKD　修正
		2593	図47.45 POEn＃入力パルスタイミング　添え字 (n = 0, 4, 8, 10)　追加
		2606	表47.29 RIICaタイミング　注4　修正
		2611	表47.32 ETHERCタイミング　添え字 (n = 0～2)　追加
		2615	表47.33 シリアル・マネージメント・インタフェース　ETHn_MDC、ETHn_MDIO → ETH_MDC、ETH_MDIO　修正、注　追加
		2618	表47.36 内蔵USBハイスピード特性 (USB_DP、USB_DM端子特性)　Typ → typ　修正
		付録1. 外形寸法図	
		2626	図B. 176ピンHLFQFP (PLQP0176LD-A)　修正
1.70	2022.01.31	12. 割り込みコントローラ（ICUA）	
		378	表12.3 Cortex-R4／DMAC割り込みベクタテーブル (8/10)　RIIC Unit0 → RIIC ch0、RIIC Unit1 → RIIC ch1　修正
		15. DMA コントローラ（DMACAa）	
		512	15.2.13 チャネルコンフィギュレーションレジスタn (CHCFG_n)　注2.　追加
		33. FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		1855	33.2.7 シリアルステータスレジスタ (FSR)　DRビット (レシーブデータレディビットフラグ)の説明　注2.　追加
		1894	33.7 ノイズ除去機能　基本クロック (転送レートの16倍、または8倍のクロック) → 基本クロック (転送レートの16倍、8倍、または4倍のクロック)　修正、注1. 修正
1.80	2022.05.20	1.　概要	
		68、69	表1.3 製品一覧表(1/2)、(2/2)　製品型名を追加
		70	1.3 製品型名　追加
		付録1. 外形寸法図	
		2627	図B. 320 ピンFBGA（PRBG0320GB-A）追加
1.90	2023.10.31	特長	
		59	パッケージPLBG0320GB-Aを追加
		1.　概要	
		66	表1.1 仕様概要 (7/7)　パッケージPRBG0320GB-A、PLBG0320GB-Aを追加
		68	表1.3 製品一覧表 (1/3)　320ピンBBパッケージ品（R7S910xxxCBB）を追加
		69	表1.3 製品一覧表 (2/3)　320ピンBBパッケージ品（R7S910xxxCBB）を追加
		70	表1.3 製品一覧表 (3/3)　320ピンBBパッケージ品（R7S910xxxCBB）を追加
		71	1.3 製品型名　パッケージ種類BB（PLBG0320GB-A）を追加
		28.　イーサネットMAC（ETHERC）	
		1427	表28.24 GMAC_ACC レジスタ設定と受信TCPIPアクセラレータの動作　GAMC_ACC.RTCPIPACC → GMAC_ACC.RTCPIPACCに修正
		47.　電気的特性	
		2550	表47.1 絶対最大定格　注4.削除
		付録1. 外形寸法図	
		2629	図C. 320 ピンFBGA（PLBG0320GB-A）を追加
2.00	2025.06.30	19. マルチファンクションタイマパルスユニット3(MTU3a)	
		—	19.3.12 デッドタイム補償用機能説明削除

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2025.06.30	41. ΔΣインタフェース(DSMIF)	
		2322	表41.1 DSMIFの仕様 スレーブ時の入力周波数修正
		2355	41.5.3 ユニット0に未使用チャネルがある場合の注意事項の追加
		47. 電気的特性	
		2617	表 47.34 ΔΣインタフェースタイミング修正

RZ/T1グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2014年11月14日 Rev.0.60
2025年06月30日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RZ/T1 グループ

ルネサス エレクトロニクス株式会社

R01UH0483JJ0200