

SH726A グループ、SH726B グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7260 シリーズ

SH726A

R5S726A

SH726B

R5S726B

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または転売等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属し

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 端子状態と処理方法
10. 付録
11. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上で
ご確認ください。

12. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的にしています。

読み方

- 機能全体を理解しようとするとき

→ 目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

→ 別冊の「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

→ 本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第34章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例

本マニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタの表記

同一または類似した機能が複数チャネルに存在する場合に、レジスタ名_チャネル番号、の表記を使用します。

(例) CMCSR_0

(2) ビットの表記

本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。

(例) CKS1、CKS0

(3) 数字の表記

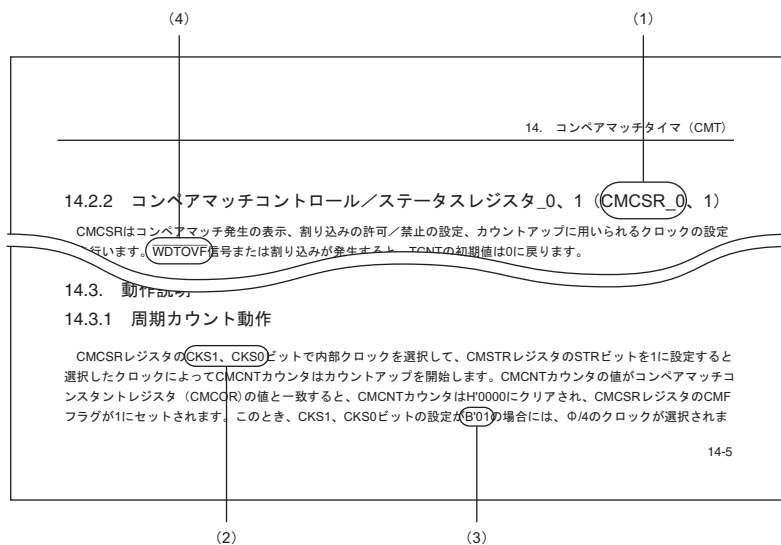
2進数はB'xxxxまたはxxxx、16進数はH'xxxx、10進数はxxxxで表します。

(例) B'11または11、H'EFA0、1234

(4) 記号の表記

ローアクティブの信号にはオーバーバーを付けています。

(例) $\overline{\text{WDTOVF}}$



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

- ビット図とビット表の表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「－」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

－ : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R/(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、ビット表で指定された値または初期値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 説明

ビットを設定することで可能となる機能について説明しています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	ASID	-	-	-	-	-	-	Q	-	ACMP[2:0]	-	-	IFE
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(1)	(2)	(3)	(4)	(5)
ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。
14～11	ASID	0000	R/W	アドレス識別子 端子機能の有効／無効を設定できます。
10	-	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	-	1	R	リザーブビット 読み出すと常に1が読み出されます。
-	-	0	-	-

【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係ありません。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 SH726A/726Bの特長	1-1
1.2 製品一覧	1-9
1.3 ブロック図	1-10
1.4 ピン配置図	1-11
1.5 端子機能	1-13
1.6 端子一覧	1-19
2. CPU	2-1
2.1 レジスタ構成	2-1
2.1.1 汎用レジスタ	2-1
2.1.2 コントロールレジスタ	2-2
2.1.3 システムレジスタ	2-3
2.1.4 レジスタバンク	2-4
2.1.5 レジスタの初期値	2-4
2.2 データ形式	2-5
2.2.1 レジスタのデータ形式	2-5
2.2.2 メモリのデータ形式	2-5
2.2.3 イミディエイトデータのデータ形式	2-6
2.3 命令の特長	2-7
2.3.1 RISC 方式	2-7
2.3.2 アドレッシングモード	2-11
2.3.3 命令形式	2-15
2.4 命令セット	2-19
2.4.1 分類順命令セット	2-19
2.4.2 データ転送命令	2-24
2.4.3 算術演算命令	2-27
2.4.4 論理演算命令	2-29
2.4.5 シフト命令	2-30
2.4.6 分岐命令	2-31
2.4.7 システム制御命令	2-32
2.4.8 浮動小数点演算命令	2-34
2.4.9 FPU に関する CPU 命令	2-36
2.4.10 ビット操作命令	2-37
2.5 処理状態	2-38

3.	浮動小数点ユニット (FPU)	3-1
3.1	特長	3-1
3.2	データフォーマット	3-2
3.2.1	浮動小数点フォーマット	3-2
3.2.2	非数 (NaN)	3-4
3.2.3	非正規化数	3-4
3.3	レジスタの説明	3-5
3.3.1	浮動小数点レジスタ	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-6
3.3.3	浮動小数点通信レジスタ (FPUL)	3-7
3.4	丸め	3-8
3.5	FPU例外	3-9
3.5.1	FPU 例外要因	3-9
3.5.2	FPU 例外処理	3-9
4.	ブートモード	4-1
4.1	特長	4-1
4.2	ブートモードと端子機能設定	4-1
4.3	動作説明	4-2
4.3.1	ブートモード 0	4-2
4.3.2	ブートモード 1	4-2
4.4	注意事項	4-4
4.4.1	ブート関連端子	4-4
5.	クロックパルス発振器	5-1
5.1	特長	5-1
5.2	入出力端子	5-4
5.3	クロック動作モード	5-5
5.4	レジスタの説明	5-7
5.4.1	周波数制御レジスタ (FRQCR)	5-7
5.5	周波数変更方法	5-9
5.5.1	分周率の変更	5-9
5.6	クロック端子の使用法	5-10
5.6.1	外部クロック入力時	5-10
5.6.2	水晶発振子使用時	5-11
5.6.3	未使用時	5-11
5.7	発振安定時間	5-12
5.7.1	内蔵水晶発振器の発振安定時間	5-12
5.7.2	PLL 回路の発振安定時間	5-12
5.8	ボード設計上の注意事項	5-13

5.8.1	PLL 発振回路使用時の注意	5-13
6.	例外処理	6-1
6.1	概要	6-1
6.1.1	例外処理の種類と優先順位	6-1
6.1.2	例外処理の動作	6-2
6.1.3	例外処理ベクタテーブル	6-4
6.2	リセット	6-6
6.2.1	入出力端子	6-6
6.2.2	リセットの種類	6-6
6.2.3	パワーオンリセット	6-7
6.2.4	マニュアルリセット	6-8
6.3	アドレスエラー	6-9
6.3.1	アドレスエラー発生要因	6-9
6.3.2	アドレスエラー例外処理	6-10
6.4	レジスタバンクエラー	6-11
6.4.1	レジスタバンクエラー発生要因	6-11
6.4.2	レジスタバンクエラー例外処理	6-11
6.5	割り込み	6-12
6.5.1	割り込み要因	6-12
6.5.2	割り込み優先順位	6-12
6.5.3	割り込み例外処理	6-13
6.6	命令による例外	6-14
6.6.1	命令による例外の種類	6-14
6.6.2	トラップ命令	6-14
6.6.3	スロット不当命令	6-15
6.6.4	一般不当命令	6-15
6.6.5	整数除算例外	6-16
6.6.6	FPU 例外	6-16
6.7	例外処理が受け付けられない場合	6-17
6.8	例外処理後のスタックの状態	6-18
6.9	使用上の注意事項	6-19
6.9.1	スタックポインタ (SP) の値	6-19
6.9.2	ベクタベースレジスタ (VBR) の値	6-19
6.9.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	6-19
6.9.4	例外処理実行前の注意事項	6-20
7.	割り込みコントローラ	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-4

7.3.1	割り込み優先レベル設定レジスタ 01、02、05～22 (IPR01、IPR02、IPR05～IPR22)	7-5
7.3.2	割り込みコントロールレジスタ 0 (ICR0)	7-7
7.3.3	割り込みコントロールレジスタ 1 (ICR1)	7-8
7.3.4	割り込みコントロールレジスタ 2 (ICR2)	7-9
7.3.5	IRQ 割り込み要求レジスタ (IRQRR)	7-10
7.3.6	PINT 割り込みイネーブルレジスタ (PINTER)	7-11
7.3.7	PINT 割り込み要求レジスタ (PIRR)	7-12
7.3.8	バンクコントロールレジスタ (IBCR)	7-13
7.3.9	バンク番号レジスタ (IBNR)	7-14
7.4	割り込み要因	7-15
7.4.1	NMI 割り込み	7-15
7.4.2	ユーザブレイク割り込み	7-16
7.4.3	ユーザデバッグインタフェース割り込み	7-16
7.4.4	IRQ 割り込み	7-16
7.4.5	PINT 割り込み	7-17
7.4.6	内蔵周辺モジュール割り込み	7-18
7.5	割り込み例外処理ベクタテーブルと優先順位	7-19
7.6	動作説明	7-27
7.6.1	割り込み動作の流れ	7-27
7.6.2	割り込み例外処理終了後のスタックの状態	7-29
7.7	割り込み応答時間	7-30
7.8	レジスタバンク	7-35
7.8.1	バンクの対象レジスタと入出力方式	7-35
7.8.2	バンク退避、復帰の動作	7-36
7.8.3	すべてのバンクに退避が行われた状態での退避、復帰	7-38
7.8.4	レジスタバンクの例外	7-39
7.8.5	レジスタバンクエラー例外処理	7-39
7.9	割り込み要求信号によるデータ転送	7-40
7.9.1	割り込み要求信号を CPU の割り込み要因とし、ダイレクトメモリアクセスコントローラの起動要因としない場合	7-40
7.9.2	割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、CPU の割り込み要因としない場合	7-41
7.10	使用上の注意事項	7-42
7.10.1	割り込み要因クリアのタイミング	7-42
8.	ユーザブレイクコントローラ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-3
8.2.1	ブレイクアドレスレジスタ (BAR)	8-3
8.2.2	ブレイクアドレスマスクレジスタ (BAMR)	8-4
8.2.3	ブレイクデータレジスタ (BDR)	8-5

8.2.4	ブ레이크データマスクレジスタ (BDMR)	8-6
8.2.5	ブ레이크バスサイクルレジスタ (BBR)	8-7
8.2.6	ブ레이크コントロールレジスタ (BRCR)	8-9
8.3	動作説明	8-11
8.3.1	ユーザブ레이크動作の流れ.....	8-11
8.3.2	命令フェッチサイクルでのブ레이크	8-12
8.3.3	データアクセスサイクルでのブ레이크	8-13
8.3.4	退避されるプログラムカウンタの値	8-14
8.3.5	使用例	8-14
8.4	使用上の注意事項	8-17
9.	キャッシュ	9-1
9.1	特長	9-1
9.1.1	キャッシュの構成.....	9-1
9.2	レジスタの説明	9-4
9.2.1	キャッシュ制御レジスタ 1 (CCR1)	9-4
9.2.2	キャッシュ制御レジスタ 2 (CCR2)	9-6
9.3	動作説明	9-9
9.3.1	キャッシュの検索.....	9-9
9.3.2	リード動作.....	9-10
9.3.3	プリフェッチ動作 (オペランドキャッシュのみ)	9-10
9.3.4	ライト動作 (オペランドキャッシュのみ)	9-10
9.3.5	ライトバックバッファ (オペランドキャッシュのみ)	9-11
9.3.6	キャッシュと外部メモリ/大容量内蔵 RAM とのコヒーレンシ	9-13
9.4	メモリ割り付けキャッシュの構成.....	9-14
9.4.1	アドレスアレイ	9-14
9.4.2	データアレイ	9-15
9.4.3	使用例	9-17
9.4.4	注意事項	9-17
10.	バスステートコントローラ	10-1
10.1	特長	10-1
10.2	入出力端子	10-4
10.3	エリアの概要	10-5
10.3.1	アドレスマップ	10-5
10.3.2	ブートモードと各エリアのデータバス幅およびエンディアン指定と関連端子設定.....	10-6
10.4	レジスタの説明	10-7
10.4.1	共通コントロールレジスタ (CMNCR)	10-8
10.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~4)	10-10
10.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~4)	10-14
10.4.4	SDRAM コントロールレジスタ (SDCR)	10-31

10.4.5	リフレッシュタイマコントロール／ステータスレジスタ (RTCSR)	10-34
10.4.6	リフレッシュタイマカウンタ (RTCNT)	10-36
10.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR)	10-37
10.5	動作説明	10-38
10.5.1	エンディアン／アクセスサイズとデータアライメント	10-38
10.5.2	通常空間インタフェース	10-41
10.5.3	アクセスウェイト制御	10-45
10.5.4	$\overline{\text{CSn}}$ アサート期間拡張	10-47
10.5.5	SDRAM インタフェース	10-48
10.5.6	バースト ROM (クロック非同期) インタフェース	10-75
10.5.7	バイト選択付き SRAM インタフェース	10-76
10.5.8	バースト ROM (クロック同期) インタフェース	10-81
10.5.9	アクセスサイクル間アイドル	10-82
10.5.10	その他	10-88
11.	ダイレクトメモリアクセスコントローラ	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-4
11.3.1	DMA ソースアドレスレジスタ (SAR)	11-10
11.3.2	DMA デスティネーションアドレスレジスタ (DAR)	11-10
11.3.3	DMA トランスファカウンタレジスタ (DMATCR)	11-11
11.3.4	DMA チャンネルコントロールレジスタ (CHCR)	11-11
11.3.5	DMA リロードソースアドレスレジスタ (RSAR)	11-19
11.3.6	DMA リロードデスティネーションアドレスレジスタ (RDAR)	11-20
11.3.7	DMA リロードトランスファカウンタレジスタ (RDMATCR)	11-21
11.3.8	DMA オペレーションレジスタ (DMAOR)	11-21
11.3.9	DMA 拡張リソースセクタ 0～7 (DMARS0～DMARS7)	11-24
11.4	動作説明	11-28
11.4.1	転送フロー	11-28
11.4.2	DMA 転送要求	11-30
11.4.3	チャンネルの優先順位	11-36
11.4.4	DMA 転送の種類	11-36
11.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング	11-45
11.5	使用上の注意事項	11-48
11.5.1	DACK 出力および TEND 出力のタイミング	11-48
12.	マルチファンクションタイマパルスユニット 2	12-1
12.1	特長	12-1
12.2	入出力端子	12-6
12.3	レジスタの説明	12-8

12.3.1	タイマコントロールレジスタ (TCR)	12-11
12.3.2	タイマモードレジスタ (TMDR)	12-14
12.3.3	タイマ I/O コントロールレジスタ (TIOR)	12-16
12.3.4	タイマインタラプトイネーブルレジスタ (TIER)	12-34
12.3.5	タイマステータスレジスタ (TSR)	12-37
12.3.6	タイマバッファ動作転送モードレジスタ (TBTM)	12-41
12.3.7	タイマインプットキャプチャコントロールレジスタ (TICCR)	12-42
12.3.8	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	12-43
12.3.9	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	12-46
12.3.10	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	12-46
12.3.11	タイマカウンタ (TCNT)	12-47
12.3.12	タイマジェネラルレジスタ (TGR)	12-47
12.3.13	タイマスタートレジスタ (TSTR)	12-48
12.3.14	タイマシンクロレジスタ (TSYR)	12-49
12.3.15	タイマリードライトイネーブルレジスタ (TRWER)	12-50
12.3.16	タイマアウトプットマスタイネーブルレジスタ (TOER)	12-51
12.3.17	タイマアウトプットコントロールレジスタ 1 (TOCR1)	12-52
12.3.18	タイマアウトプットコントロールレジスタ 2 (TOCR2)	12-54
12.3.19	タイマアウトプットレベルバッファレジスタ (TOLBR)	12-57
12.3.20	タイマゲートコントロールレジスタ (TGCR)	12-58
12.3.21	タイマサブカウンタ (TCNTS)	12-59
12.3.22	タイマデッドタイムデータレジスタ (TDDR)	12-59
12.3.23	タイマ周期データレジスタ (TCDR)	12-60
12.3.24	タイマ周期バッファレジスタ (TCBR)	12-60
12.3.25	タイマ割り込み間引き設定レジスタ (TITCR)	12-61
12.3.26	タイマ割り込み間引き回数カウンタ (TITCNT)	12-62
12.3.27	タイマバッファ転送設定レジスタ (TBTER)	12-63
12.3.28	タイマデッドタイムイネーブルレジスタ (TDER)	12-64
12.3.29	タイマ波形コントロールレジスタ (TWCR)	12-65
12.3.30	バスマスタとのインタフェース.....	12-66
12.4	動作説明	12-67
12.4.1	基本動作	12-67
12.4.2	同期動作	12-73
12.4.3	バッファ動作	12-75
12.4.4	カスケード接続動作	12-79
12.4.5	PWM モード	12-83
12.4.6	位相計数モード	12-88
12.4.7	リセット同期 PWM モード	12-94
12.4.8	相補 PWM モード	12-97
12.4.9	A/D 変換開始要求ディレイド機能.....	12-129
12.4.10	相補 PWM の「山／谷」での TCNT キャプチャ動作	12-134

12.5	割り込み要因	12-135
12.5.1	割り込み要因と優先順位	12-135
12.5.2	ダイレクトメモリアクセスコントローラの起動	12-137
12.5.3	A/D 変換器の起動	12-137
12.6	動作タイミング	12-139
12.6.1	入出力タイミング	12-139
12.6.2	割り込み信号タイミング	12-146
12.7	使用上の注意事項	12-150
12.7.1	モジュールスタンバイモードの設定	12-150
12.7.2	入力クロックの制限事項	12-150
12.7.3	周期設定上の注意事項	12-150
12.7.4	TCNT のライトとクリアの競合	12-151
12.7.5	TCNT のライトとカウントアップの競合	12-151
12.7.6	TGR のライトとコンペアマッチの競合	12-152
12.7.7	バッファレジスタのライトとコンペアマッチの競合	12-153
12.7.8	バッファレジスタのライトと TCNT クリアの競合	12-154
12.7.9	TGR のリードとインプットキャプチャの競合	12-155
12.7.10	TGR のライトとインプットキャプチャの競合	12-156
12.7.11	バッファレジスタのライトとインプットキャプチャの競合	12-157
12.7.12	カスケード接続における TCNT_2 のライトとオーバーフロー／アンダフローの競合	12-157
12.7.13	相補 PWM モード停止時のカウンタ値	12-159
12.7.14	相補 PWM モードでのバッファ動作の設定	12-159
12.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	12-160
12.7.16	リセット同期 PWM モードのオーバーフローフラグ	12-161
12.7.17	オーバーフロー／アンダフローとカウンタクリアの競合	12-162
12.7.18	TCNT のライトとオーバーフロー／アンダフローの競合	12-162
12.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項	12-163
12.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	12-163
12.7.21	モジュールスタンバイ時の割り込み	12-163
12.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	12-163
12.7.23	相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	12-164
12.7.24	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	12-166
12.8	マルチファンクションタイマパルスユニット2出力端子の初期化方法	12-167
12.8.1	動作モード	12-167
12.8.2	リセットスタート時の動作	12-167
12.8.3	動作中の異常などによる再設定時の動作	12-168
12.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	12-168
13.	コンペアマッチタイマ	13-1
13.1	特長	13-1
13.2	レジスタの説明	13-2

13.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	13-3
13.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	13-4
13.2.3	コンペアマッチカウンタ (CMCNT)	13-5
13.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	13-5
13.3	動作説明	13-6
13.3.1	期間カウント動作	13-6
13.3.2	CMCNT カウントタイミング	13-6
13.4	割り込み	13-7
13.4.1	割り込み要因と DMA 転送要求	13-7
13.4.2	コンペアマッチフラグのセットタイミング	13-7
13.4.3	コンペアマッチフラグのクリアタイミング	13-8
13.5	使用上の注意事項	13-9
13.5.1	CMCNT の書き込みとコンペアマッチの競合	13-9
13.5.2	CMCNT のワード書き込みとカウントアップの競合	13-9
13.5.3	CMCNT のバイト書き込みとカウントアップの競合	13-10
13.5.4	CMCNT と CMCOR のコンペアマッチ	13-10
14.	ウォッチドッグタイマ	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-4
14.3.1	ウォッチドッグタイマカウンタ (WTCNT)	14-4
14.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	14-5
14.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)	14-7
14.3.4	レジスタアクセス時の注意	14-8
14.4	使用方法	14-10
14.4.1	ソフトウェアスタンバイモード解除の手順	14-10
14.4.2	ウォッチドッグタイマモードの使用法	14-11
14.4.3	インターバルタイマモードの使用法	14-12
14.5	使用上の注意事項	14-13
14.5.1	タイマ誤差	14-13
14.5.2	WTCNT の設定値として H'FF は設定禁止	14-13
14.5.3	インターバルタイマオーパフローフラグ	14-13
14.5.4	WDTOVF 信号によるシステムリセット	14-13
14.5.5	ウォッチドッグタイマモードのマニュアルリセット	14-14
14.5.6	ウォッチドッグタイマモードでの内部リセット	14-14
15.	リアルタイムクロック	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3

15.3.1	64Hz カウンタ (R64CNT)	15-4
15.3.2	秒カウンタ (RSECCNT)	15-5
15.3.3	分カウンタ (RMINCNT)	15-6
15.3.4	時カウンタ (RHRCNT)	15-7
15.3.5	曜日カウンタ (RWKCNT)	15-8
15.3.6	日カウンタ (RDAYCNT)	15-9
15.3.7	月カウンタ (RMONCNT)	15-10
15.3.8	年カウンタ (RYRCNT)	15-11
15.3.9	秒アラームレジスタ (RSECAR)	15-12
15.3.10	分アラームレジスタ (RMINAR)	15-13
15.3.11	時アラームレジスタ (RHRAR)	15-14
15.3.12	曜日アラームレジスタ (RWKAR)	15-15
15.3.13	日アラームレジスタ (RDAYAR)	15-16
15.3.14	月アラームレジスタ (RMONAR)	15-17
15.3.15	年アラームレジスタ (RYRAR)	15-18
15.3.16	コントロールレジスタ 1 (RCR1)	15-18
15.3.17	コントロールレジスタ 2 (RCR2)	15-20
15.3.18	コントロールレジスタ 3 (RCR3)	15-21
15.3.19	コントロールレジスタ 5 (RCR5)	15-22
15.3.20	周波数レジスタ H/L (RFRH/L)	15-22
15.4	動作説明	15-24
15.4.1	電源投入後のレジスタの初期設定と発振安定時間	15-24
15.4.2	時刻設定手順	15-24
15.4.3	時刻読み出し手順	15-25
15.4.4	アラーム機能	15-26
15.5	使用上の注意事項	15-27
15.5.1	カウント動作時のレジスタ書き込みについて	15-27
15.5.2	リアルタイムクロックの周期割り込みの使用について	15-27
15.5.3	レジスタ設定後のスタンバイ遷移について	15-27
15.5.4	レジスタ書き込み／読み出し時の注意事項	15-27
16.	FIFO 内蔵シリアルコミュニケーション インタフェース	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-4
16.3.1	受信シフトレジスタ (SCRSR)	16-6
16.3.2	受信 FIFO データレジスタ (SCFRDR)	16-6
16.3.3	送信シフトレジスタ (SCTSR)	16-6
16.3.4	送信 FIFO データレジスタ (SCFTDR)	16-7
16.3.5	シリアルモードレジスタ (SCSMR)	16-7
16.3.6	シリアルコントロールレジスタ (SCSCR)	16-10

16.3.7	シリアルステータスレジスタ (SCFSR)	16-12
16.3.8	ビットレートレジスタ (SCBRR)	16-17
16.3.9	FIFO コントロールレジスタ (SCFCR)	16-23
16.3.10	FIFO データカウントセットレジスタ (SCFDR)	16-26
16.3.11	シリアルポートレジスタ (SCSPTR)	16-27
16.3.12	ラインステータスレジスタ (SCLSR)	16-29
16.3.13	シリアル拡張モードレジスタ (SCEMR)	16-30
16.4	動作説明	16-31
16.4.1	概要	16-31
16.4.2	調歩同期式モード時の動作	16-33
16.4.3	クロック同期式モード時の動作	16-41
16.5	割り込み	16-49
16.6	使用上の注意事項	16-50
16.6.1	SCFTDR への書き込みと TDFE フラグ	16-50
16.6.2	SCFRDR の読み出しと RDF フラグ	16-50
16.6.3	ダイレクトメモリアクセスコントローラ使用上の制約事項	16-50
16.6.4	ブレークの検出と処理	16-51
16.6.5	ブレークの送り出し	16-51
16.6.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	16-51
16.6.7	調歩同期式基本クロックセレクト	16-52
17.	ルネサスシリアルペリフェラルインタフェース	17-1
17.1	特長	17-1
17.2	入出力端子	17-4
17.3	レジスタの説明	17-5
17.3.1	制御レジスタ (SPCR)	17-8
17.3.2	スレーブセレクト極性レジスタ (SSLP)	17-10
17.3.3	端子制御レジスタ (SPPCR)	17-11
17.3.4	ステータスレジスタ (SPSR)	17-12
17.3.5	データレジスタ (SPDR)	17-15
17.3.6	シーケンス制御レジスタ (SPSCR)	17-16
17.3.7	シーケンスステータスレジスタ (SPSSR)	17-17
17.3.8	ビットレートレジスタ (SPBR)	17-18
17.3.9	データコントロールレジスタ (SPDCR)	17-19
17.3.10	クロック遅延レジスタ (SPCKD)	17-20
17.3.11	スレーブセレクトネゲート遅延レジスタ (SSLND)	17-21
17.3.12	次アクセス遅延レジスタ (SPND)	17-22
17.3.13	コマンドレジスタ (SPCMD)	17-23
17.3.14	バッファコントロールレジスタ (SPBFCR)	17-26
17.3.15	バッファデータカウントセットレジスタ (SPBFDR)	17-28
17.4	動作説明	17-29

17.4.1	動作の概要	17-29
17.4.2	端子の制御	17-30
17.4.3	システム構成例	17-31
17.4.4	転送フォーマット	17-34
17.4.5	データフォーマット	17-36
17.4.6	エラー検出	17-42
17.4.7	初期化	17-45
17.4.8	SPI 動作	17-46
17.4.9	エラー処理	17-57
17.4.10	ループバックモード	17-58
17.4.11	割り込み要因	17-59
18.	SPI マルチ I/O バスコントローラ	18-1
18.1	特長	18-1
18.2	ブロック図	18-2
18.3	入出力端子	18-3
18.4	レジスタの説明	18-4
18.4.1	共通コントロールレジスタ (CMNCR)	18-5
18.4.2	SSL 遅延レジスタ (SSLDR)	18-8
18.4.3	ビットレート設定レジスタ (SPBCR)	18-10
18.4.4	データリードコントロールレジスタ (DRCR)	18-12
18.4.5	データリードコマンド設定レジスタ (DRCMR)	18-14
18.4.6	データリード拡張アドレス設定レジスタ (DREAR)	18-15
18.4.7	データリードオプション設定レジスタ (DROPR)	18-16
18.4.8	データリードイネーブル設定レジスタ (DRENr)	18-17
18.4.9	SPI モードコントロールレジスタ (SMCR)	18-20
18.4.10	SPI モードコマンド設定レジスタ (SMCMR)	18-22
18.4.11	SPI モードアドレス設定レジスタ (SMADR)	18-23
18.4.12	SPI モードオプション設定レジスタ (SMOPR)	18-24
18.4.13	SPI モードイネーブル設定レジスタ (SMENr)	18-25
18.4.14	SPI モードリードデータレジスタ 0 (SMRDR0)	18-28
18.4.15	SPI モードリードデータレジスタ 1 (SMRDR1)	18-29
18.4.16	SPI モードライトデータレジスタ 0 (SMWDR0)	18-30
18.4.17	SPI モードライトデータレジスタ 1 (SMWDR1)	18-31
18.4.18	共通ステータスレジスタ (CMNSR)	18-32
18.4.19	AC 特性調整レジスタ (SPBACR)	18-33
18.5	動作説明	18-34
18.5.1	システム構成	18-34
18.5.2	アドレスマップ	18-35
18.5.3	シリアルフラッシュ 32 ビットアドレス	18-35
18.5.4	データアライメント	18-36

18.5.5	動作モード	18-37
18.5.6	外部アドレス空間リードモード	18-37
18.5.7	リードキャッシュ	18-42
18.5.8	SPI 動作モード	18-43
18.5.9	転送フォーマット	18-47
18.5.10	データフォーマット	18-48
18.5.11	データ端子制御	18-53
18.5.12	SPBSSL 端子制御	18-54
18.5.13	フラグ	18-55
18.6	使用上の注意事項	18-56
18.6.1	SPI 動作モードのデータリード転送時の注意事項	18-56
18.6.2	SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項	18-56
18.6.3	初期設定についての注意事項	18-56
19.	I ² C バスインタフェース 3	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-4
19.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	19-6
19.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	19-8
19.3.3	I ² C バスモードレジスタ (ICMR)	19-9
19.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	19-11
19.3.5	I ² C バスステータスレジスタ (ICSR)	19-13
19.3.6	スレーブアドレスレジスタ (SAR)	19-15
19.3.7	I ² C バス送信データレジスタ (ICDRT)	19-15
19.3.8	I ² C バス受信データレジスタ (ICDRR)	19-16
19.3.9	I ² C バスシフトレジスタ (ICDRS)	19-16
19.3.10	NF2CYC レジスタ (NF2CYC)	19-17
19.4	動作説明	19-18
19.4.1	I ² C バスフォーマット	19-18
19.4.2	マスタ送信動作	19-19
19.4.3	マスタ受信動作	19-21
19.4.4	スレーブ送信動作	19-23
19.4.5	スレーブ受信動作	19-25
19.4.6	クロック同期式シリアルフォーマット	19-27
19.4.7	ノイズ除去回路	19-30
19.4.8	使用例	19-31
19.5	割り込み要求	19-35
19.6	ビット同期回路	19-36
19.7	使用上の注意事項	19-39
19.7.1	マルチマスタで使用時の注意	19-39

19.7.2	マスタ受信モード時の注意.....	19-39
19.7.3	マスタ受信モード、ACKBT 設定時の注意.....	19-39
19.7.4	アービトラションロスト時の MST と TRN ビットの状態についての注意.....	19-39
19.7.5	I ² C バスインタフェースモードのマスタ受信モード時の注意事項.....	19-39
19.7.6	IICRST、BBSY ビットに関する注意事項.....	19-39
19.7.7	マスタ送信モード、ACKE ビット=1 設定時における停止条件発行の注意.....	19-40
19.7.8	マスタ受信モード切り替え時の注意事項.....	19-40
20.	シリアルサウンドインタフェース.....	20-1
20.1	特長.....	20-1
20.2	入出力端子.....	20-3
20.3	レジスタの説明.....	20-4
20.3.1	コントロールレジスタ (SSICR)	20-5
20.3.2	ステータスレジスタ (SSISR)	20-10
20.3.3	トランスミットデータレジスタ (SSITDR)	20-13
20.3.4	レシーブデータレジスタ (SSIRD)	20-13
20.3.5	FIFO コントロールレジスタ (SSIFCR)	20-14
20.3.6	FIFO ステータスレジスタ (SSIFSR)	20-16
20.3.7	送信 FIFO データレジスタ (SSIFTDR)	20-18
20.3.8	受信 FIFO データレジスタ (SSIFRDR)	20-18
20.3.9	TDM モードレジスタ (SSITDMR)	20-19
20.4	動作説明.....	20-20
20.4.1	バスフォーマット.....	20-20
20.4.2	非圧縮モード.....	20-20
20.4.3	TDM モード.....	20-30
20.4.4	WS コンティニューモード.....	20-31
20.4.5	動作モード.....	20-32
20.4.6	送信動作.....	20-33
20.4.7	受信動作.....	20-36
20.4.8	シリアルビットクロックコントロール.....	20-39
20.5	使用上の注意事項.....	20-39
20.5.1	DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項.....	20-39
20.5.2	マスタトランシーバからマスタレシーバへモードを切り替える場合の注意.....	20-39
20.5.3	TDM モード、WS コンティニューモードの制限事項.....	20-39
21.	FIFO 付きクロック同期シリアル I/O.....	21-1
21.1	特長.....	21-1
21.2	入出力端子.....	21-3
21.3	レジスタの説明.....	21-3
21.3.1	モードレジスタ (SIMDR)	21-4
21.3.2	コントロールレジスタ (SICTR)	21-6

21.3.3	送信データレジスタ (SITDR)	21-8
21.3.4	受信データレジスタ (SIRDR)	21-8
21.3.5	ステータスレジスタ (SISTR)	21-9
21.3.6	割り込み許可レジスタ (SIIER)	21-12
21.3.7	FIFO コントロールレジスタ (SIFCTR)	21-13
21.3.8	クロックセレクトレジスタ (SISCR)	21-15
21.3.9	送信データアサインレジスタ (SITDAR)	21-16
21.3.10	受信データアサインレジスタ (SIRDAR)	21-17
21.4	動作説明	21-18
21.4.1	シリアルクロック	21-18
21.4.2	シリアルタイミング	21-19
21.4.3	転送データフォーマット	21-20
21.4.4	転送データのレジスタ割り付け	21-21
21.4.5	FIFO	21-22
21.4.6	送受信手順	21-24
21.4.7	割り込み	21-29
21.4.8	送受信タイミング	21-30
22.	コントローラエリアネットワーク	22-1
22.1	特長	22-1
22.1.1	特長	22-1
22.1.2	本マイコンにおける特長	22-2
22.2	構成	22-3
22.2.1	ブロック図	22-3
22.2.2	各ブロックの機能	22-4
22.2.3	端子構成	22-5
22.2.4	メモリマップ	22-6
22.3	メールボックス	22-7
22.3.1	メールボックスの構成	22-7
22.3.2	メッセージコントロールフィールド	22-12
22.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	22-17
22.3.4	メッセージデータフィールド	22-18
22.3.5	タイムスタンプ	22-19
22.3.6	送信トリガタイム (TTT) とタイムトリガコントロール	22-20
22.4	コントロールレジスタ	22-24
22.4.1	マスタコントロールレジスタ (MCR)	22-24
22.4.2	ジェネラルステータスレジスタ (GSR)	22-30
22.4.3	ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	22-32
22.4.4	インタラプトリクエストレジスタ (IRR)	22-36
22.4.5	インタラプトマスクレジスタ (IMR)	22-43
22.4.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	22-43

22.5	メールボックスレジスタ	22-44
22.5.1	送信待ちレジスタ 1、0 (TXPR1、TXPR0)	22-45
22.5.2	送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)	22-48
22.5.3	送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)	22-50
22.5.4	アバートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)	22-51
22.5.5	データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)	22-52
22.5.6	リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)	22-53
22.5.7	メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)	22-54
22.5.8	未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)	22-55
22.6	タイマレジスタ	22-56
22.6.1	タイムトリガコントロールレジスタ 0 (TTCR0)	22-57
22.6.2	サイクルマキシマム/Tx_Enable_Window レジスタ (CMAX_TEW)	22-59
22.6.3	リファレンストリガオフセットレジスタ (RFTROFF)	22-60
22.6.4	タイマステータスレジスタ (TSR)	22-61
22.6.5	サイクルカウンタレジスタ (CCR)	22-63
22.6.6	タイマカウンタレジスタ (TCNTR)	22-64
22.6.7	サイクルタイムレジスタ (CYCTR)	22-65
22.6.8	リファレンスマークレジスタ (RFMK)	22-65
22.6.9	タイマコンペアマッチレジスタ 0~2 (TCMR0~2)	22-66
22.6.10	送信トリガタイムセレクトレジスタ (TTTSEL)	22-68
22.7	動作説明	22-69
22.7.1	本モジュールの設定	22-69
22.7.2	テストモードの設定	22-75
22.7.3	メッセージ送信シーケンス	22-77
22.7.4	メッセージ受信シーケンス	22-89
22.7.5	メールボックスの再設定	22-91
22.8	割り込み要因	22-93
22.9	ダイレクトメモリアクセスコントローラインタフェース	22-94
22.10	CANバスインタフェース	22-95
22.11	端子ポート設定	22-96
22.12	使用上の注意事項	22-97
22.12.1	1 チャンネル 64 メールボックスでのポート設定についての注意事項	22-97
23.	IEBus™ コントローラ	23-1
23.1	特長	23-1
23.1.1	IEBus 通信プロトコル	23-2
23.1.2	伝送プロトコル	23-4
23.1.3	伝送データ (データフィールドの内容)	23-10
23.1.4	ビットフォーマット	23-13
23.1.5	構成	23-14
23.2	入出力端子	23-15

23.3	レジスタの説明	23-16
23.3.1	IEBus コントロールレジスタ (IECTR)	23-17
23.3.2	IEBus コマンドレジスタ (IECMR)	23-18
23.3.3	IEBus マスタコントロールレジスタ (IEMCR)	23-19
23.3.4	IEBus 自局アドレスレジスタ 1 (IEAR1)	23-21
23.3.5	IEBus 自局アドレスレジスタ 2 (IEAR2)	23-22
23.3.6	IEBus スレーブアドレス設定レジスタ 1 (IESA1)	23-22
23.3.7	IEBus スレーブアドレス設定レジスタ 2 (IESA2)	23-23
23.3.8	IEBus 送信電文長レジスタ (IETBFL)	23-23
23.3.9	IEBus 受信マスタアドレスレジスタ 1 (IEMA1)	23-24
23.3.10	IEBus 受信マスタアドレスレジスタ 2 (IEMA2)	23-24
23.3.11	IEBus 受信コントロールフィールドレジスタ (IERCTL)	23-25
23.3.12	IEBus 受信電文長レジスタ (IERBFL)	23-25
23.3.13	IEBus ロックアドレスレジスタ 1 (IELA1)	23-26
23.3.14	IEBus ロックアドレスレジスタ 2 (IELA2)	23-26
23.3.15	IEBus ゼネラルフラグレジスタ (IEFLG)	23-27
23.3.16	IEBus 送信ステータスレジスタ (IETSR)	23-29
23.3.17	IEBus 送信割り込み許可レジスタ (IEIET)	23-31
23.3.18	IEBus 受信ステータスレジスタ (IERSR)	23-32
23.3.19	IEBus 受信割り込み許可レジスタ (IEIER)	23-35
23.3.20	IEBus クロック選択レジスタ (IECKSR)	23-36
23.3.21	IEBus 送信データバッファ 001~128 (IETB001~IETB128)	23-37
23.3.22	IEBus 受信データバッファ 001~128 (IERB001~IERB128)	23-37
23.4	データフォーマット	23-38
23.4.1	送信フォーマット	23-38
23.4.2	受信フォーマット	23-39
23.5	ソフト制御フロー	23-40
23.5.1	初期設定	23-40
23.5.2	マスタ送信	23-41
23.5.3	スレーブ受信	23-42
23.5.4	マスタ受信	23-43
23.5.5	スレーブ送信	23-44
23.6	動作タイミング	23-45
23.6.1	マスタ送信	23-45
23.6.2	スレーブ受信	23-46
23.6.3	マスタ受信	23-47
23.6.4	スレーブ送信	23-48
23.7	割り込み要因	23-49
23.8	使用上の注意事項	23-51
23.8.1	最大伝送バイト長内で通信が終了しなかったときの注意事項	23-51

24. ルネサス SPDIF インタフェース	24-1
24.1 概要	24-1
24.2 特長	24-1
24.3 機能ブロック図	24-2
24.4 入出力端子	24-3
24.5 ルネサスSPDIF (IEC60958) フレームフォーマット	24-4
24.6 レジスタ構成	24-5
24.7 レジスタの説明	24-6
24.7.1 コントロールレジスタ (CTRL)	24-6
24.7.2 ステータスレジスタ (STAT)	24-10
24.7.3 送信モジュールチャンネル1 オーディオレジスタ (TLCA)	24-15
24.7.4 送信モジュールチャンネル2 オーディオレジスタ (TRCA)	24-16
24.7.5 送信モジュール DMA オーディオデータレジスタ (TDAD)	24-17
24.7.6 送信ユーザデータレジスタ (TUI)	24-18
24.7.7 送信モジュールチャンネル1 ステータスレジスタ (TLCS)	24-19
24.7.8 送信モジュールチャンネル2 ステータスレジスタ (TRCS)	24-21
24.7.9 受信モジュールチャンネル1 オーディオレジスタ (RLCA)	24-23
24.7.10 受信モジュールチャンネル2 オーディオレジスタ (RRCA)	24-24
24.7.11 受信モジュール DMA オーディオデータ (RDAD)	24-25
24.7.12 受信ユーザデータレジスタ (RUI)	24-26
24.7.13 受信モジュールチャンネル1 ステータスレジスタ (RLCS)	24-27
24.7.14 受信モジュールチャンネル2 ステータスレジスタ (RRCS)	24-29
24.8 機能の説明－送信モジュール	24-31
24.8.1 送信モジュール	24-31
24.8.2 送信モジュールの初期化	24-32
24.8.3 送信モジュールの初期設定	24-32
24.8.4 送信モジュールのデータ転送	24-33
24.9 機能の説明－受信モジュール	24-35
24.9.1 受信モジュール	24-35
24.9.2 受信モジュールの初期化	24-36
24.9.3 受信モジュールのデータ転送	24-36
24.10 モジュールの停止	24-39
24.10.1 送信モジュールと受信モジュールのアイドル状態	24-39
24.11 圧縮モードデータ	24-39
24.12 参考	24-39
24.13 使用上の注意	24-39
24.13.1 TUIR のクリアについて	24-39
24.13.2 オーディオ用入力クロックの周波数	24-39

25. CD-ROM デコーダ	25-1
25.1 特長	25-1
25.1.1 データフォーマット	25-2
25.2 ブロック図	25-3
25.3 レジスタの説明	25-7
25.3.1 イネーブルコントロールレジスタ (CROMEN)	25-10
25.3.2 同期コードの同期制御コントロールレジスタ (CROMSY0)	25-11
25.3.3 デコーディングモードコントロールレジスタ (CROMCTL0)	25-12
25.3.4 EDC、ECC チェック制御コントロールレジスタ (CROMCTL1)	25-13
25.3.5 デコード処理自動停止コントロールレジスタ (CROMCTL3)	25-14
25.3.6 デコードオプション設定コントロールレジスタ (CROMCTL4)	25-15
25.3.7 HEAD20~22 表示コントロールレジスタ (CROMCTL5)	25-16
25.3.8 同期コードステータスレジスタ (CROMST0)	25-16
25.3.9 ECC 後のヘッダに対するエラーステータスレジスタ (CROMST1)	25-17
25.3.10 ECC 後のサブヘッダに対するエラーステータスレジスタ (CROMST3)	25-17
25.3.11 ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ (CROMST4)	25-18
25.3.12 モード判定結果とリンクセクタ検出ステータスレジスタ (CROMST5)	25-19
25.3.13 ECC、EDC エラーステータスレジスタ (CROMST6)	25-20
25.3.14 バッファステータスレジスタ (CBUFST0)	25-21
25.3.15 デコード中止要因ステータスレジスタ (CBUFST1)	25-21
25.3.16 バッファオーバーフローステータスレジスタ (CBUFST2)	25-22
25.3.17 ECC 訂正前ヘッダ部-MINUTES データレジスタ (HEAD00)	25-22
25.3.18 ECC 訂正前ヘッダ部-SECONDS データレジスタ (HEAD01)	25-22
25.3.19 ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD02)	25-23
25.3.20 ECC 訂正前ヘッダ部-MODE データレジスタ (HEAD03)	25-23
25.3.21 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD00)	25-23
25.3.22 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD01)	25-24
25.3.23 ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD02)	25-24
25.3.24 ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD03)	25-24
25.3.25 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD04)	25-25
25.3.26 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD05)	25-25
25.3.27 ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD06)	25-25
25.3.28 ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD07)	25-26
25.3.29 ECC 訂正後ヘッダ部-MINUTES データレジスタ (HEAD20)	25-26
25.3.30 ECC 訂正後ヘッダ部-SECONDS データレジスタ (HEAD21)	25-26
25.3.31 ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD22)	25-27
25.3.32 ECC 訂正後ヘッダ部-MODE データレジスタ (HEAD23)	25-27
25.3.33 ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD20)	25-27
25.3.34 ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD21)	25-28
25.3.35 ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD22)	25-28

25.3.36	ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD23)	25-28
25.3.37	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD24)	25-29
25.3.38	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD25)	25-29
25.3.39	ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD26)	25-29
25.3.40	ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD27)	25-30
25.3.41	自動バッファリング設定コントロールレジスタ (CBUFCTL0)	25-30
25.3.42	自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ (CBUFCTL1)	25-31
25.3.43	自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ (CBUFCTL2)	25-31
25.3.44	自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ (CBUFCTL3)	25-32
25.3.45	ISY 割り込み要因マスクコントロールレジスタ (CROMST0M)	25-32
25.3.46	CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST)	25-33
25.3.47	CD-ROM デコーダモジュールリセットステータスレジスタ (RSTSTAT)	25-33
25.3.48	シリアルサウンドインタフェースデータコントロールレジスタ (SSI)	25-34
25.3.49	割り込みフラグレジスタ (INTHOLD)	25-35
25.3.50	割り込み要因マスクコントロールレジスタ (INHINT)	25-36
25.3.51	CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN0)	25-37
25.3.52	CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN2)	25-37
25.3.53	CD-ROM デコーダストリームデータ出力レジスタ (STRMDOUT0)	25-37
25.4	動作説明	25-38
25.4.1	入力ストリームデータエンディアン変換機能	25-38
25.4.2	同期コード保護機能	25-39
25.4.3	エラー訂正	25-43
25.4.4	自動デコード停止機能	25-44
25.4.5	バッファリングフォーマット	25-45
25.4.6	目標セクタバッファリング機能	25-47
25.5	割り込み要因	25-49
25.5.1	割り込みおよび DMA 転送要求信号	25-49
25.5.2	ステータスレジスタの更新タイミング	25-50
25.6	使用上の注意事項	25-51
25.6.1	デコード動作状態でバッファリングのみ停止／再開させる場合の注意	25-51
25.6.2	同期コードステータスレジスタ (CROMST0) 設定時の注意	25-51
25.6.3	リンクブロックでの注意	25-51
25.6.4	CD-DSP 停止・再開時の注意点	25-51
25.6.5	IREADY フラグクリアの注意点	25-52
25.6.6	ストリームデータ転送における注意点 (1)	25-52
25.6.7	ストリームデータ転送における注意点 (2)	25-52
26.	A/D 変換器	26-1
26.1	特長	26-1
26.2	入出力端子	26-3
26.3	レジスタの説明	26-3

26.3.1	A/D データレジスタ A~H (ADDRA~ADDRH)	26-4
26.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	26-5
26.4	動作説明	26-8
26.4.1	シングルモード	26-8
26.4.2	マルチモード	26-10
26.4.3	スキャンモード	26-12
26.4.4	外部トリガ、マルチファンクションタイマパルスユニット 2 による A/D 変換器の起動	26-14
26.4.5	入力サンプリングと A/D 変換時間	26-14
26.4.6	外部トリガ入力タイミング	26-17
26.5	割り込み要因と DMA 転送要求	26-18
26.6	A/D 変換精度の定義	26-19
26.7	使用上の注意事項	26-20
26.7.1	モジュールスタンバイモードの設定	26-20
26.7.2	アナログ電圧の設定	26-20
26.7.3	ボード設計上の注意	26-20
26.7.4	アナログ入力端子の取り扱い	26-20
26.7.5	許容信号源インピーダンス	26-22
26.7.6	絶対精度への影響	26-22
26.7.7	スキャンモードおよびマルチモード使用時の注意	26-22
27.	USB2.0 ホスト/ファンクションモジュール	27-1
27.1	特長	27-1
27.2	入出力端子	27-3
27.3	レジスタの説明	27-4
27.3.1	システムコンフィギュレーションコントロールレジスタ 0 (SYSCFG0)	27-6
27.3.2	システムコンフィギュレーションコントロールレジスタ 1 (SYSCFG1)	27-9
27.3.3	システムコンフィギュレーションステータスレジスタ (SYSSTS0、SYSSTS1)	27-10
27.3.4	デバイスステートコントロールレジスタ (DVSTCTR0、DVSTCTR1)	27-12
27.3.5	DMA-FIFO ピンコンフィギュレーションレジスタ (DMA0PCFG、DMA1PCFG)	27-18
27.3.6	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	27-19
27.3.7	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)	27-21
27.3.8	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	27-27
27.3.9	割り込み許可レジスタ 0 (INTENB0)	27-30
27.3.10	割り込み許可レジスタ 1、2 (INTENB1、INTENB2)	27-32
27.3.11	BRDY 割り込み許可レジスタ (BRDYENB)	27-35
27.3.12	NRDY 割り込み許可レジスタ (NRDYENB)	27-37
27.3.13	BEMP 割り込み許可レジスタ (BEMPENB)	27-39
27.3.14	SOF 出力コンフィギュレーションレジスタ (SOFCFG)	27-41
27.3.15	割り込みステータスレジスタ 0 (INTSTS0)	27-42
27.3.16	割り込みステータスレジスタ 1、2 (INTSTS1、INTSTS2)	27-46
27.3.17	BRDY 割り込みステータスレジスタ (BRDYSTS)	27-53

27.3.18	NRDY 割り込みステータスレジスタ (NRDYSTS)	27-55
27.3.19	BEMP 割り込みステータスレジスタ (BEMPSTS)	27-57
27.3.20	フレームナンバーレジスタ (FRMNUM)	27-59
27.3.21	USB アドレスレジスタ (USBADDR)	27-61
27.3.22	USB リクエストタイプレジスタ (USBREQ)	27-62
27.3.23	USB リクエストバリューレジスタ (USBVAL)	27-63
27.3.24	USB リクエストインデックスレジスタ (USBINDX)	27-64
27.3.25	USB リクエストレングスレジスタ (USBLENG)	27-65
27.3.26	DCP コンフィギュレーションレジスタ (DCPCFG)	27-66
27.3.27	DCP マックスパケットサイズレジスタ (DCPMAXP)	27-67
27.3.28	DCP コントロールレジスタ (DCPCTR)	27-69
27.3.29	パイプウィンドウ選択レジスタ (PIPESEL)	27-74
27.3.30	パイプコンフィギュレーションレジスタ (PIPECFG)	27-75
27.3.31	パイプマックスパケットサイズレジスタ (PIPEMAXP)	27-79
27.3.32	パイプ周期制御レジスタ (PIPEPERI)	27-81
27.3.33	パイプ n コントロールレジスタ (PIPEnCTR) (n=1~9)	27-83
27.3.34	パイプ n トランザクションカウンタインエーブルレジスタ (PIPEnTRE) (n=1~5)	27-95
27.3.35	パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n=1~5)	27-97
27.3.36	デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n=0~5)	27-99
27.4	動作説明	27-100
27.4.1	システム制御および発振制御	27-100
27.4.2	割り込み機能	27-103
27.4.3	パイプコントロール	27-121
27.4.4	FIFO バッファメモリ	27-127
27.4.5	コントロール転送 (DCP)	27-132
27.4.6	バルク転送 (パイプ 1~5)	27-135
27.4.7	インタラプト転送 (パイプ 6~9)	27-136
27.4.8	アイソクロナス転送 (パイプ 1、2)	27-137
27.4.9	SOF 補間機能	27-147
27.4.10	パイプスケジュール	27-148
27.5	使用上の注意	27-150
27.5.1	USB 端子制御	27-150
28.	サンプリングレートコンバータ	28-1
28.1	特長	28-1
28.2	レジスタの説明	28-3
28.2.1	入力データレジスタ (SRCID)	28-4
28.2.2	出力データレジスタ (SRCOD)	28-5
28.2.3	入力データ制御レジスタ (SRCIDCTRL)	28-6
28.2.4	出力データ制御レジスタ (SRCODCTRL)	28-7
28.2.5	制御レジスタ (SRCCTRL)	28-8

28.2.6	ステータスレジスタ (SRCSTAT)	28-11
28.3	動作説明	28-14
28.3.1	初期設定	28-14
28.3.2	データ入力	28-15
28.3.3	データ出力	28-16
28.4	割り込み	28-18
28.5	使用上の注意事項	28-19
28.5.1	レジスタアクセス時の注意	28-19
28.5.2	フラッシュ処理に関する注意	28-19
29.	SD ホストインタフェース	29-1
30.	内蔵 RAM	30-1
30.1	特長	30-1
30.2	使用上の注意事項	30-4
30.2.1	ページ競合	30-4
30.2.2	RAME ビット、RAMWE ビットについて	30-4
30.2.3	データ保持について	30-5
31.	汎用入出力ポート	31-1
31.1	特長	31-1
31.2	レジスタの説明	31-7
31.2.1	コントロールレジスタ	31-9
31.2.2	IO レジスタ	31-36
31.2.3	データレジスタ	31-38
31.2.4	ポートレジスタ	31-40
31.2.5	シリアルサウンドインタフェースノイズキャンセラコントロールレジスタ (SNCR)	31-43
32.	低消費電力モード	32-1
32.1	特長	32-1
32.1.1	低消費電力モードの種類	32-1
32.2	レジスタの説明	32-3
32.2.1	スタンバイコントロールレジスタ 1 (STBCR1)	32-4
32.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	32-5
32.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	32-6
32.2.4	スタンバイコントロールレジスタ 4 (STBCR4)	32-7
32.2.5	スタンバイコントロールレジスタ 5 (STBCR5)	32-9
32.2.6	スタンバイコントロールレジスタ 6 (STBCR6)	32-11
32.2.7	スタンバイコントロールレジスタ 7 (STBCR7)	32-12
32.2.8	スタンバイコントロールレジスタ 8 (STBCR8)	32-13
32.2.9	ソフトウェアリセットコントロールレジスタ (SWRSTCR)	32-14

32.2.10	システムコントロールレジスタ 1 (SYSCR1)	32-15
32.2.11	システムコントロールレジスタ 2 (SYSCR2)	32-16
32.2.12	システムコントロールレジスタ 3 (SYSCR3)	32-17
32.2.13	システムコントロールレジスタ 4 (SYSCR4)	32-18
32.2.14	システムコントロールレジスタ 5 (SYSCR5)	32-19
32.2.15	保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)	32-20
32.2.16	ディープスタンバイコントロールレジスタ (DSCTR)	32-21
32.2.17	ディープスタンバイ解除要因セレクトレジスタ (DSSSR)	32-22
32.2.18	ディープスタンバイ解除エッジセレクトレジスタ (DSESR)	32-24
32.2.19	ディープスタンバイ解除要因フラグレジスタ (DSFR)	32-26
32.2.20	XTAL 水晶発振器ゲインコントロールレジスタ (XTALCTR)	32-28
32.3	動作説明	32-29
32.3.1	スリープモード	32-29
32.3.2	ソフトウェアスタンバイモード	32-29
32.3.3	ソフトウェアスタンバイモードの応用例	32-32
32.3.4	ディープスタンバイモード	32-33
32.3.5	モジュールスタンバイ機能	32-37
32.3.6	XTAL 用水晶発振器ゲイン調整機能	32-38
32.4	使用上の注意事項	32-39
32.4.1	レジスタ設定時の注意	32-39
32.4.2	リアルタイムクロック未使用時の注意	32-39
33.	ユーザデバッグインタフェース	33-1
33.1	特長	33-1
33.2	入出力端子	33-2
33.3	バウンダリスキャン用TAPコントローラのレジスタの説明	33-3
33.3.1	バイパスレジスタ (BSBPR)	33-3
33.3.2	インストラクションレジスタ (BSIR)	33-3
33.3.3	バウンダリスキャンレジスタ (SDBSR)	33-5
33.3.4	ID レジスタ (BSID)	33-9
33.4	エミュレーション用TAPコントローラのレジスタの説明	33-10
33.4.1	バイパスレジスタ (SDBPR)	33-10
33.4.2	インストラクションレジスタ (SDIR)	33-10
33.5	動作説明	33-12
33.5.1	TAP コントローラ	33-12
33.5.2	リセット構成	33-13
33.5.3	TDO 出力タイミング	33-13
33.5.4	ユーザデバッグインタフェースリセット	33-14
33.5.5	ユーザデバッグインタフェース割り込み	33-14
33.6	バウンダリスキャン	33-15
33.6.1	サポートする命令	33-15

33.6.2	注意事項	33-16
33.7	使用上の注意事項	33-17
34.	レジスター一覧	34-1
34.1	レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）	34-2
34.2	レジスタビット一覧	34-27
34.3	各動作モードにおけるレジスタの状態の一覧	34-83
35.	電気的特性	35-1
35.1	絶対最大定格	35-1
35.2	電源投入・切断シーケンス	35-2
35.3	DC特性	35-3
35.4	AC特性	35-8
35.4.1	クロックタイミング	35-8
35.4.2	制御信号タイミング	35-12
35.4.3	バスタイミング	35-13
35.4.4	ダイレクトメモリアクセスコントローラタイミング	35-38
35.4.5	マルチファンクションタイマパルスユニット 2 タイミング	35-39
35.4.6	ウォッチドッグタイマタイミング	35-40
35.4.7	FIFO 内蔵シリアルコミュニケーションインタフェースタイミング	35-41
35.4.8	ルネサスシリアルペリフェラルインタフェースタイミング	35-42
35.4.9	SPI マルチ I/O バスコントローラタイミング	35-46
35.4.10	I ² C バスインタフェース 3 タイミング	35-48
35.4.11	シリアルサウンドインタフェースタイミング	35-50
35.4.12	FIFO 付きクロック同期シリアル I/O タイミング	35-51
35.4.13	A/D 変換器タイミング	35-53
35.4.14	USB2.0 ホスト／ファンクションモジュールタイミング	35-54
35.4.15	SD ホストインタフェースタイミング	35-55
35.4.16	ユーザデバッグインタフェースタイミング	35-56
35.4.17	AC 特性測定条件	35-58
35.5	A/D変換器特性	35-59
36.	端子状態と処理方法	36-1
36.1	端子状態	36-1
36.2	未使用端子の処理	36-8
36.3	ディープスタンバイモード時の端子処理	36-9
36.4	バイパスコンデンサ推奨組み合わせ	36-10
付録		付録-1
A.	外形寸法図	付録-1

索引	索引-1

1. 概要

1.1 SH726A/726B の特長

本 LSI は、ルネサスオリジナルの RISC(縮小命令セットコンピュータ)方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU には、SH-1、SH-2、SH-2E マイクロコンピュータとオブジェクトコードレベルでの上位互換性を特長とする SH-2A CPU を採用しています。RISC 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。またダイレクトメモリアクセスコントローラとは独立した内部 32 ビットバス構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI は、浮動小数点ユニットとキャッシュを内蔵しています。さらに本 LSI はシステム構成に必要な周辺機能として、64KB の高速内蔵 RAM と 1.25MB の大容量 RAM (128KB がデータ保持用 RAM と共用)、データ保持用 RAM、マルチファンクションタイマパルスユニット 2、コンペアマッチタイマ、リアルタイムクロック、FIFO 内蔵シリアルコミュニケーションインタフェース、I²C バスインタフェース 3、シリアルサウンドインタフェース、FIFO 付きクロック同期シリアル I/O、コントローラエリアネットワーク*2、IEBusTM*1 コントローラ、ルネサス SPDIF インタフェース、ルネサスシリアルペリフェラルインタフェース、SPI マルチ I/O バスコントローラ、CD-ROM デコーダ、A/D 変換器、USB2.0 ホスト / ファンクションモジュール、SD ホストインタフェース、割り込みコントローラ、汎用入出力ポートなどを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。

本 LSI の特長を表 1.1 に示します。

【注】 *1 IEBus (Inter Equipment Bus) はルネサスエレクトロニクスの商標です。

*2 型名により、搭載品、非搭載品に分かれます。

表 1.1 SH726A/726B の特長

項目	特 長
CPU	• ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2、SH-2E とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ - 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット (SH シリーズと上位互換性) - 命令長 : コードの効率改善のための 16 ビット基本命令と、性能・使い勝手向上のための 32 ビット命令 - ロードストアアーキテクチャ - 遅延分岐命令 - C 言語に基づく命令セット • 浮動小数点ユニットを含む 2 命令同時実行スーパースカラ • 命令実行時間 : 最大 2 命令 / サイクル • アドレス空間 : 4G バイト • 乗算器内蔵 • 5 段パイプライン • ハーバードアーキテクチャ
浮動小数点ユニット	• 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード : 近傍および 0 方向への丸め • 非正規化数の扱い : 0 への切り捨て • 浮動小数点レジスタ 16 本の 32 ビット浮動小数点レジスタ (単精度×16 ワードまたは倍精度×8 ワード) 2 本の 32 ビット浮動小数点システムレジスタ • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 - レイテンシ (FMAC/FADD/FSUB/FMUL) : 3 サイクル (単精度) 、8 サイクル (倍精度) - ピッチ (FMAC/FADD/FSUB/FMUL) : 1 サイクル (単精度) 、6 サイクル (倍精度) 【注】FMAC は単精度に対してのみサポートしています。 • 5 段パイプライン

項目	特 長
キャッシュメモリ	- 命令キャッシュ：8K バイト - オペランドキャッシュ：8K バイト - おのおの 128 エントリ / ウェイ、4 ウェイセットアソシアティブ、16 バイトブロック長 - ライトバック、ライトスルー、LRU 置換アルゴリズム - ウェイロック機能あり（オペランドキャッシュのみ）：ウェイ 2、ウェイ 3 はロック可能
割り込みコントローラ	- SH726A：13 本の外部割り込み端子（NMI、IRQ7～IRQ0、PINT5、4、1、0） SH726B：17 本の外部割り込み端子（NMI、IRQ7～IRQ0、PINT7～PINT0） - 内蔵周辺割り込み：モジュールごとに優先順位を設定 16 レベルの優先順位設定が可能 - レジスタバンクにより割り込み処理に伴うレジスタの退避 / 復帰を高速に行うことが可能
バスステートコントローラ	- アドレス空間 SH726A：それぞれ最大 8MB の 2 つの領域エリア 0、3 をサポート SH726B：それぞれ最大 64MB の 5 つの領域エリア 0～4 をサポート - 各エリアには独立に次の機能を設定可能 バスサイズ（8、16 ビット）。ただし各エリアごとにサポートサイズは異なります アクセスウェイトサイクル数（リード / ライトで独立ウェイト設定可能なエリアあり） アイドルウェイトサイクル設定（同一エリア / 別エリア） エリアごとに接続するメモリを指定することによって SRAM、バイト選択付き SRAM、SDRAM、バースト ROM（クロック同期 / クロック非同期）との直結が可能。 該当する領域にチップセレクト信号（$\overline{CS0} \sim \overline{CS4}$）を出力 （$\overline{CS}$アサート / ネゲートタイミングをプログラミングで選択可能） - SDRAM リフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート - SDRAM バーストアクセス機能
ダイレクトメモリアクセスコントローラ	16 チャンネル。うち、1 チャンネルが外部リクエスト可能 - 内蔵周辺モジュールから起動することが可能 - バーストモードおよびサイクルスチールモード - インタミットtentモードをサポート（16/64 サイクルサポート） - 転送情報を自動的にリロードすることが可能
クロックパルス発振器	- クロックモード：入カクロックを外部入力（EXTAL）または水晶発振子から選択可能 - 内蔵 PLL 回路により入カクロックを最大 18 逡倍することが可能 3 種類のクロックを生成 CPU クロック：最大 216MHz バスクロック：最大 72MHz 周辺クロック：最大 36MHz

項目	特 長
ウォッチドッグタイマ	• 1 チャンネルのウォッチドッグタイマ • カウンタのオーバフローにより本 LSI にリセットをかけることが可能
低消費電力モード	• 本 LSI の消費電力を下げるために 4 種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード ディープスタンバイモード モジュールスタンバイモード
マルチファンクション タイマパルスユニット 2	• 16 ビットタイマ 5 チャンネルをベースに最大 16 種類のパルス入出力が可能 • 18 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル / PWM / 相補 PWM / リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0~100% 任意に設定可能 A/D 変換要求ディレイド機能 山・谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能
コンペアマッチタイマ	• 2 チャンネル 16 ビットカウンタ • 4 種類のクロック選択可能 ($P\phi/8$、$P\phi/32$、$P\phi/128$、$P\phi/512$) • コンペアマッチ時、DMA 転送要求または割り込み要求の発生を選択可能
リアルタイムクロック	• 内蔵クロック、カレンダー機能、アラーム機能 • 1/64 秒の最大分解能 (割り込みサイクル) の内蔵 4MHz 水晶発振器回路
FIFO 内蔵シリアル コミュニケーション インタフェース	• 5 チャンネル • クロック同期式 / 調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のボーレートジェネレータ内蔵 • 送受信用 FIFO をそれぞれ 16 バイト内蔵 • モデムコントロール機能 (調歩同期式モード時、チャンネル 0~2)

項目	特 長
ルネサスシリアル ペリフェラルインタフェース	• SH726A : 2 チャンネル (チャンネル 0、1)、SH726B : 3 チャンネル • SPI 動作 • マスタ / スレーブモードをサポート • プログラマブルなビット長、クロック極性、クロック位相選択可能 • 転送をシーケンシャルに実行可能 • MSB ファースト / LSB ファーストの選択可能 • 最大転送レート : 36Mbps
SPI マルチ I/O バスコントローラ	• マルチ I/O (Single / Dual / Quad) 対応のシリアルフラッシュメモリと 2 個まで接続可能 • 外部アドレス空間リードモード (リードキャッシュ内蔵) • SPI 動作モード • クロック極性、クロック位相選択可能 • 最大転送レート : 576.00Mbps (シリアルフラッシュメモリ 2 個接続時)
I ² C バスインタフェース 3	• 4 チャンネル • マスタモード / スレーブモード内蔵
シリアルサウンド インタフェース	• 4 チャンネルの双方向シリアル転送 • 二重通信可能 (チャンネル 0、1) • 多様なシリアルオーディオフォーマットをサポート • マスタ / スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • マルチチャンネルフォーマット機能 • 8/16/18/20/22/24/32 ビットデータフォーマットをサポート • 送受信 8 段 FIFO の内蔵 • TDM モードをサポート • SSIWS 信号を停止せず動作する WS コンティニューモードをサポート
FIFO 付きクロック 同期シリアル I/O	• 送受信 FIFO をそれぞれ 32 ビット×16 段内蔵 • 8 ビットモノラル、16 ビットモノラル、16 ビットステレオ音声入出力に対応 • リニア / オーディオ / A-Law、μ-Law CODEC チップに接続可能 • マスタ / スレーブ機能をサポート
コントローラエリア ネットワーク 【注】型名により搭載品、非搭載品に分かれます	• 2 チャンネル • TTCAN レベル 1 はすべてのチャンネルでサポート • Bosch 2.0B active 対応 • バッファサイズ : 送受信×31、受信のみ×1 • 32 チャンネル入力のバッファを増やすために複数のコントローラエリアネットワークチャンネルを 1 つのバスに割り当て可能 • 送信または受信に設定可能な 31 個のメールボックス

項目	特 長
IEBus™ コントローラ	• IEBus のプロトコル制御 (レイア 2) に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 • モード 2 の最大伝送バイト数である 128 バイトまで連続送受信が可能なデータ送受信用バッファ (デュアルポート RAM) 内蔵 動作周波数 : 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用 42MHz、44.03MHz のクロックを 1/7 に分周して使用 48MHz のクロックを 1/8 に分周して使用
ルネサス SPDIF インタフェース	• IEC60958 規格に適合 (ステレオ、民生用モードのみ) • サンプリング周波数 : 32kHz、44.1kHz、48kHz • オーディオワードサイズ : 16 ~ 24 ビット / サンプル • バイフェイズマーク方式エンコード • データのダブルバッファ • パリティ付きシリアルデータ • 同時送受信可能 • 受信モジュールは IEC61937 圧縮モードデータを自動検出可能
CD-ROM デコーダ	• Mode0、Mode1、Mode2、Mode2 Form1、Mode2 Form2 の 5 種類のフォーマットをサポート • 同期コードの検出・保護 (保護 : 検出できなかったときに自動挿入) • デスクランブル • ECC 訂正 P、Q、PQ、QP 訂正 PQ、QP 訂正は、最大 3 回まで繰り返し訂正が可能 • EDC チェック ECC 前後にチェック • Mode、Form の自動検出 • リンクセクタの自動検出 • バッファリングデータ制御 同期コード以降の CD-ROM データに対して、デスクランブル、ECC 訂正、EDC チェック後のデータを特定フォーマットで転送

項目	特 長
USB2.0 ホスト / ファンクションモジュール	• USB2.0 ホストファンクションモジュールバージョン 2.0 準拠 • 12Mbps の転送レートに対応 (ホストモード、ファンクションモード) • 通信バッファとして 2K バイトの RAM を内蔵
サンプリングレート コンバータ	• データ形式 : ステレオ 32 ビット (L/R 各 16 ビット)、モノラル 16 ビット • 入力サンプリングレート : 8/11.025/12/16/22.05/24/32/44.1/48kHz • 出力サンプリングレート : 32/44.1/48kHz、8kHz/16kHz(入力サンプリングレート 44.1kHz の場合)
SD ホストインタフェース	• SD メモリ/IO カードインタフェース (1 ビット / 4 ビット SD バス) • エラーチェック機能 : CRC7 (コマンド)、CRC16 (データ) • 割り込み要求 : カードアクセス割り込み、SDIO アクセス割り込み、カード検出割り込み • DMA 転送要求 : SD_BUF ライト、SD_BUF リード • カード検出機能、ライトプロテクトサポート
汎用入出力ポート	• SH726A : 入出力 57 本、オープンドレイン出力付き入力 8 本、入力 8 本 • SH726B : 入出力 74 本、オープンドレイン出力付き入力 8 本、入力 12 本 • 入出力ポートはビットごとに入出力切り替え可能
A/D 変換器	• 分解能 : 10 ビット • 入力 : SH726A : 6 チャンネル、SH726B : 8 チャンネル • 外部トリガ / タイマトリガによる A/D 変換の起動が可能
ユーザブレイクコントローラ	• ブレイクチャンネル×2 チャンネル • アドレス、データ値、アクセス形式、およびデータサイズをブレイク条件として設定可能
ユーザデバッグ インタフェース	• E10A エミュレータのサポート • JTAG 標準端子配置
内蔵 RAM	• 高速アクセス用に 64K バイトのメモリを内蔵 (16KB×4 面) • 映像表示 / 録画、ワーク領域用に 1.25MB の大容量メモリを内蔵(内 128KB をデータ保持用と共有) • データ保持用に 128K バイトのメモリを内蔵 (16KB×2 面、32KB×1 面、64KB×1 面)
ブートモード	• 2 つのブートモード (ブートモード 0、1) - ブートモード 0 : $\overline{CS0}$空間に接続されたメモリからブート - ブートモード 1 : シリアルフラッシュメモリからブート
電源電圧	• Vcc : 1.15 ~ 1.35V、PVcc : 3.0 ~ 3.6V

項目	特 長
パッケージ	• SH726A (1) 120 ピン QFP、16mm 角、0.5mm ピッチ JEITA Package Code : P-LQFP120-16×16-0.50 RENESAS Code : PLQP0120KA-A • SH726A (2) 120 ピン QFP、14mm 角、0.4mm ピッチ JEITA Package Code : P-LQFP120-14×14-0.40 RENESAS Code : PLQP0120LA-A • SH726B 144 ピン QFP、20mm 角、0.5mm ピッチ JEITA Package Code : P-LQFP144-20×20-0.50 RENESAS Code : PLQP0144KA-A

1.2 製品一覧

表 1.2 製品一覧

製品 分類	カタログ 型名	コントローラ エリア ネットワーク	温度範囲	品質レベル	パッケージ	新規 採用時	代替製品
SH726A グループ	R5S726A0 D216FP	搭載	- 40 ~ + 85℃	Industry usage etc.	PLQP0120KA-A (120 ピン LQFP、16mm 角、 0.5mm ピッチ)	推奨	-
	R5S726A0 P216FP	非搭載		Car Accessories		非推奨	R5S726A1P216FP
	R5S726A1 D216FP	搭載		Industry usage etc.		非推奨	R5S726A0D216FP
	R5S726A1 P216FP			Car Accessories		推奨	-
	R5S726A2 D216FP	搭載		Industry usage etc.	PLQP0120LA-A (120 ピン LQFP、14mm 角、 0.4mm ピッチ)	推奨	-
	R5S726A2 P216FP	非搭載		Car Accessories		非推奨	R5S726A3P216FP
	R5S726A3 D216FP	搭載		Industry usage etc.		非推奨	R5S726A2D216FP
	R5S726A3 P216FP			Car Accessories		推奨	-
SH726B グループ	R5S726B0 D216FP	搭載		Industry usage etc.	PLQP0144KA-A (144 ピン LQFP、20mm 角、 0.5mm ピッチ)	推奨	-
	R5S726B0 P216FP	非搭載		Car Accessories		非推奨	R5S726B1P216FP
	R5S726B1 D216FP	搭載		Industry usage etc.		非推奨	R5S726B0D216FP
	R5S726B1 P216FP			Car Accessories		推奨	-

1.3 ブロック図

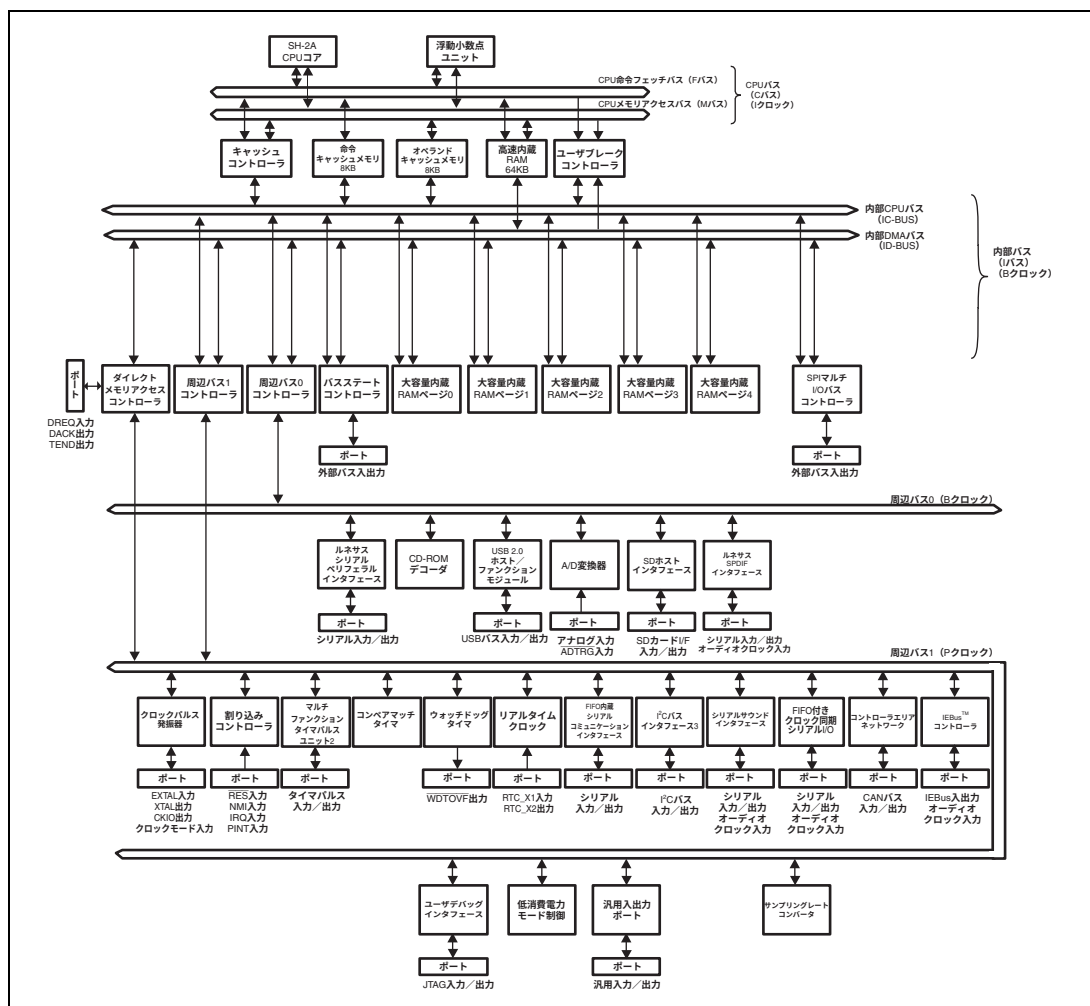


図 1.1 ブロック図

1.4 ピン配置図

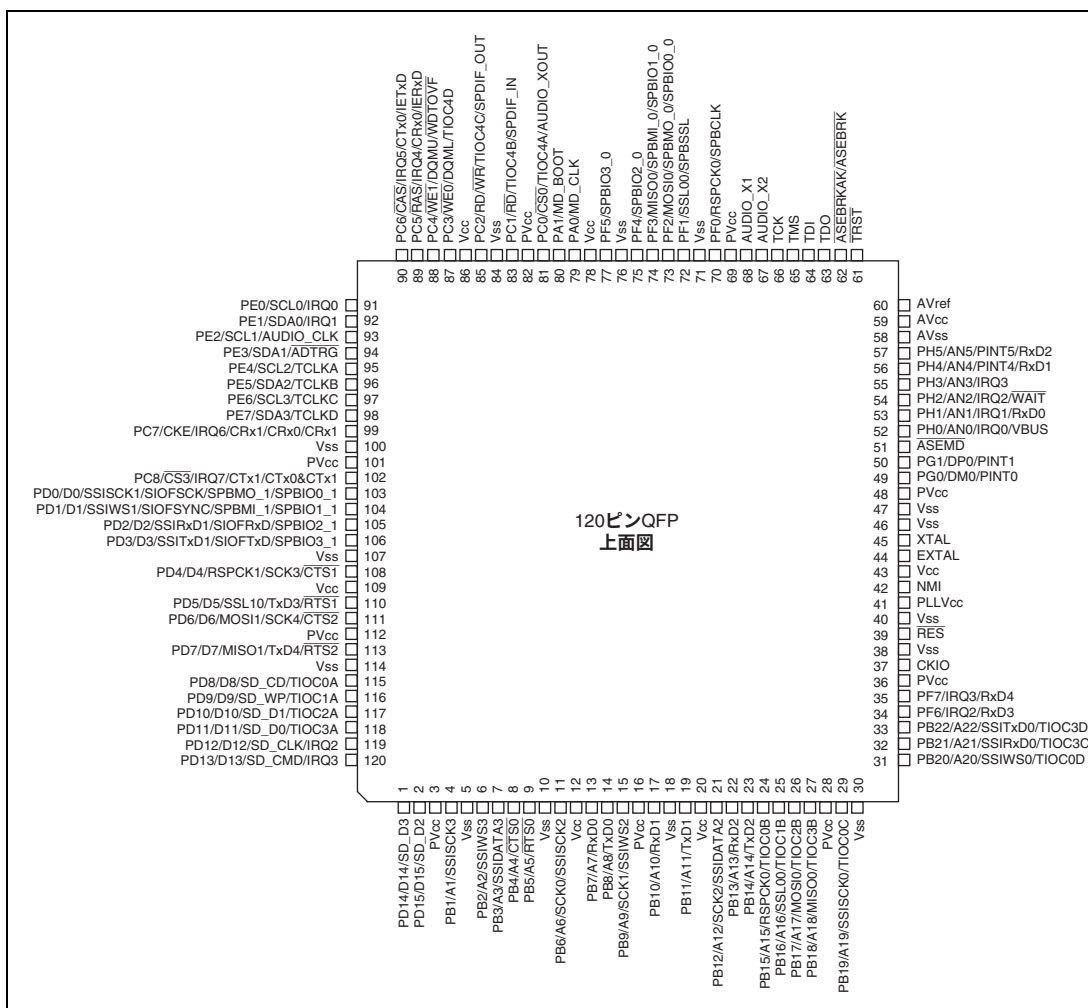


図 1.2 (1) SH726A ピン配置図

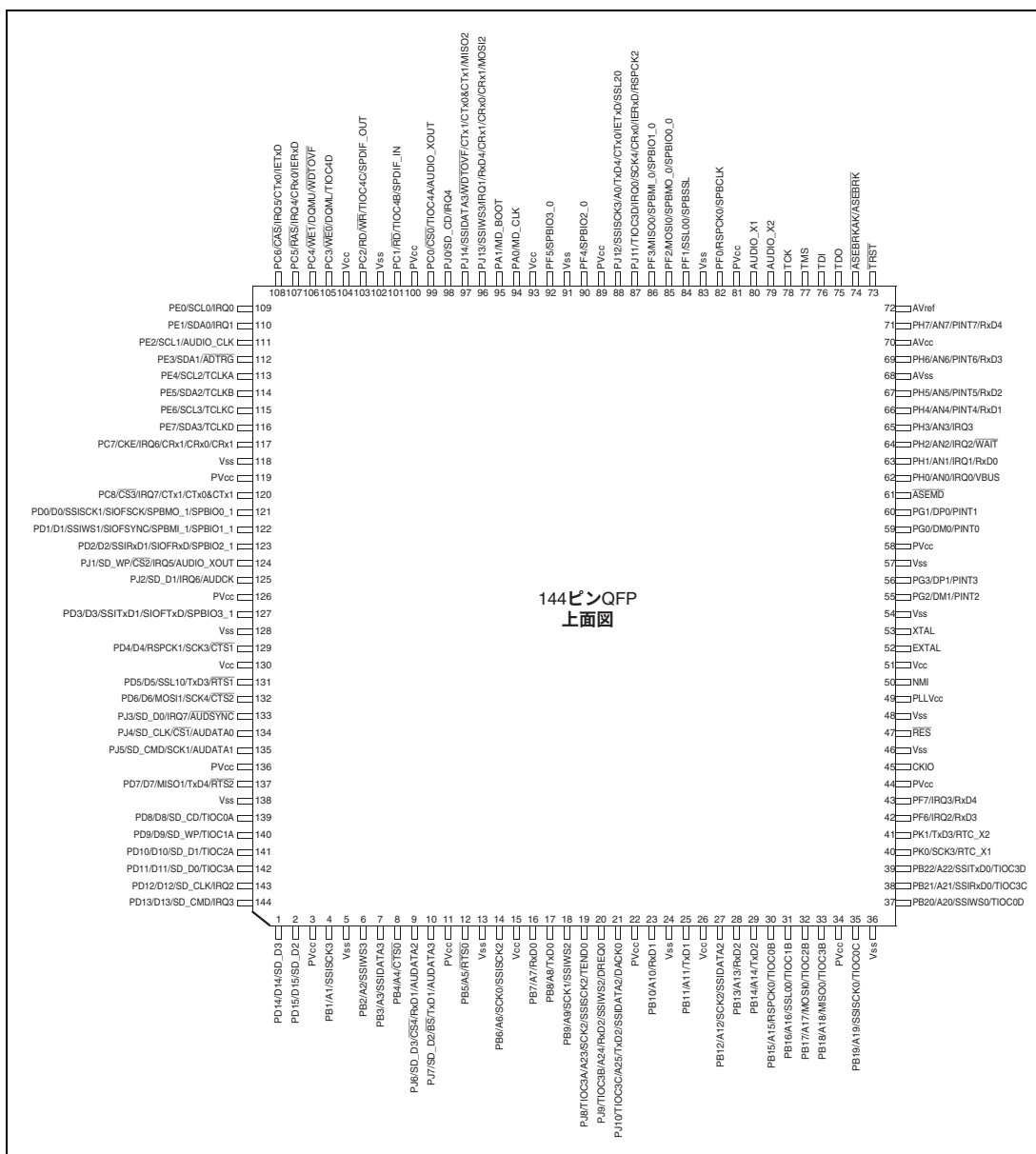


図 1.2 (2) SH726B ピン配置図

1.5 端子機能

表 1.3 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グラウンド	グラウンド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力端子用の電源端子です。すべての PVcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PLLVcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	出力	システムクロック出力	外部デバイスにシステムクロックを供給します。
	AUDIO_CLK	入力	オーディオ用外部クロック	オーディオ用外部クロックを入力します。 AUDIO_X1、AUDIO_X2 の発振クロックと選択して分周器に入力します。
	AUDIO_X1	入力	オーディオ用水晶発振子 / 外部クロック	オーディオ用水晶発振子を接続します。
	AUDIO_X2	出力		また、AUDIO_X1 端子は外部クロックを入力することもできます。 AUDIO_CLK 入力クロックと選択して分周器に入力します。
	AUDIO_XOUT	出力	AUDIO_X1 クロック出力	AUDIO_X1 端子の内蔵水晶発振器の出力または外部クロック入力を出力します。
動作モードコントロール	MD_BOOT	入力	モード設定	動作モードを設定します。 $\overline{\text{RES}}$ 端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	MD_CLK	入力	クロックモード設定	クロック動作モードを設定します。 $\overline{\text{RES}}$ 端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	$\overline{\text{ASEMD}}$	入力	ASE モード	$\overline{\text{RES}}$ 端子アサート期間中にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、E10A-USB エミュレータ機能が有効になります。エミュレータ機能を使用しない場合は、ハイレベルに固定してください。
システム制御	$\overline{\text{RES}}$	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	ウォッチドッグタイマからのオーバーフロー出力信号です。

分類	端子名	入出力	名称	機能
割り込み	NMI	入力	ノンマスクابل 割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7 ~ IRQ0	入力	割り込み要求 7 ~ 0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	PINT7 ~ PINT0	入力	割り込み要求 7 ~ 0	マスク可能な割り込み要求端子です。 レベル入力のみを選択です。SH726A では PINT5、4、1、0 のみとなります。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。SH726A では A22 ~ A1 のみとなります。
データバス	D15 ~ D0	入出力	データバス	双方向のデータバスです。
バス制御	$\overline{CS4} \sim \overline{CS0}$	出力	チップセレクト 4 ~ 0	外部メモリまたはデバイスのためのチップセレクト信号です。 SH726A では $\overline{CS3}$ 、 $\overline{CS0}$ のみとなります。
	$\overline{RD}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	$RD/\overline{WR}$	出力	リード / ライト	リード信号またはライト信号です。
	$\overline{BS}$	出力	バス開始	バスサイクル開始信号です。
	$\overline{WAIT}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{WE0}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7 ~ 0 に書き込み することを示します。
	$\overline{WE1}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15 ~ 8 に書き込 みすることを示します。
	DQML	出力	バイト指定	SDRAM 接続時、D7 ~ D0 を選択します。
	DQMU	出力	バイト指定	SDRAM 接続時、D15 ~ D8 を選択します。
	$\overline{RAS}$	出力	RAS	SDRAM 接続時に $\overline{RAS}$ 端子に接続します。
	$\overline{CAS}$	出力	CAS	SDRAM 接続時に $\overline{CAS}$ 端子に接続します。
	CKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子に接続します。

分類	端子名	入出力	名称	機能
ダイレクト メモリアクセス コントローラ	DREQ0	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0	出力	DMA 転送要求受け付け	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	TEND0	出力	DMA 転送終了出力	DMA 転送終了出力信号です。
マルチ ファンクション タイマパルス ユニット 2	TCLKA、TCLKB、 TCLKC、TCLKD	入力	タイマクロック入力	タイマの外部クロック入力端子です。
	TIOC0A、TIOC0B、 TIOC0C、TIOC0D	入出力	インプットキャプチャ / アウトプットコンペア (チャンネル 0)	TGRA_0 ~ TGRD_0 のインプットキャプチャ 入力 / アウトプットコンペア出力 / PWM 出力 端子です。
	TIOC1A、TIOC1B	入出力	インプットキャプチャ / アウトプットコンペア (チャンネル 1)	TGRA_1、TGRB_1 のインプットキャプチャ入 力 / アウトプットコンペア出力 / PWM 出力端 子です。
	TIOC2A、TIOC2B	入出力	インプットキャプチャ / アウトプットコンペア (チャンネル 2)	TGRA_2、TGRB_2 のインプットキャプチャ入 力 / アウトプットコンペア出力 / PWM 出力端 子です。
	TIOC3A、TIOC3B、 TIOC3C、TIOC3D	入出力	インプットキャプチャ / アウトプットコンペア (チャンネル 3)	TGRA_3 ~ TGRD_3 のインプットキャプチャ 入力 / アウトプットコンペア出力 / PWM 出力 端子です。
	TIOC4A、TIOC4B、 TIOC4C、TIOC4D	入出力	インプットキャプチャ / アウトプットコンペア (チャンネル 4)	TGRA_4 ~ TGRD_4 のインプットキャプチャ 入力 / アウトプットコンペア出力 / PWM 出力 端子です。
リアルタイム クロック	RTC_X1	入力	リアルタイムクロック用	4MHz の水晶発振子を接続します。
	RTC_X2	出力	水晶発振子 / 外部クロック	また、RTC_X1 端子は外部クロックを入力することもできます。
FIFO 内蔵シ リアルコミュニ ケーション インタフェース	TxD4 ~ TxD0	出力	送信データ	データ出力端子です。
	RxD4 ~ RxD0	入力	受信データ	データ入力端子です。
	SCK4 ~ SCK0	入出力	シリアルクロック	クロック入出力端子です。
	RTS2 ~ RTS0	入出力	送信要求	モデムコントロール端子です。
	CTS2 ~ CTS0	入出力	送信可	モデムコントロール端子です。

分類	端子名	入出力	名称	機能
ルネサスリアルペリフェラルインタフェース	MOSI2 ~ MOSI0	入出力	データ	データ入出力端子です。SH726A では MOSI1、MOSI0 のみとなります。
	MISO2 ~ MISO0	入出力	データ	データ入出力端子です。SH726A では MISO1、MISO0 のみとなります。
	RSPCK2 ~ RSPCK0	入出力	クロック	クロック入出力端子です。SH726A では RSPCK1、RSPCK0 のみとなります。
	SSL20 ~ SSL00	入出力	スレーブセレクト	スレーブセレクト入出力端子です。SH726A では SSL10、SSL00 のみとなります。
SPI マルチ I/O バスコントローラ	SPBMO_0/SPBIO0_0、 SPBMI_0/SPBIO1_0、 SPBIO2_0、SPBIO3_0、 SPBMO_1/SPBIO0_1、 SPBMI_1/SPBIO1_1、 SPBIO2_1、SPBIO3_1	入出力	データ	データ入出力端子です。
	SPBCLK	出力	クロック	クロック出力端子です。
	SPBSSL	出力	スレーブセレクト	スレーブセレクト出力端子です。
I ² C バスインタフェース 3	SCL3 ~ SCL0	入出力	シリアルクロック端子	シリアルクロック入出力端子です。
	SDA3 ~ SDA0	入出力	シリアルデータ端子	シリアルデータ入出力端子です。
シリアルサウンドインタフェース	SSITxD1、SSITxD0	出力	データ出力	シリアルデータ出力端子です。
	SSIRxD1、SSIRxD0	入力	データ入力	シリアルデータ入力端子です。
	SSIDATA3、SSIDATA2	入出力	データ入出力	シリアルデータ入出力端子です。
	SSISCK3 ~ SSISCK0	入出力	クロック入出力	シリアルクロック入出力端子です。
	SSIWS3 ~ SSIWS0	入出力	クロック LR 入出力	ワード選択入出力端子です。
FIFO 付きクロック周期シリアル I/O	SIOFTxD	出力	出力データ	データ出力端子です。
	SIOFRxD	入力	入力データ	データ受信端子です。
	SIOFCK	入出力	入出力クロック	クロック入出力端子です。
	SIOFSYNC	入出力	入出力チップセレクト	チップセレクト入出力端子です。
コントローラエリアネットワーク	CTx0、CTx1	出力	CAN バス送信データ	CAN バスの送信用端子です。
	CRx0、CRx1	入力	CAN バス受信データ	CAN バスの受信用端子です。
IEBus TM コントローラ	IETxD	出力	IEBus TM コントローラ送信データ	IEBus TM コントローラの送信データ出力端子です。
	IERxD	入力	IEBus TM コントローラ受信データ	IEBus TM コントローラの受信データ入力端子です。

分類	端子名	入出力	名称	機能
ルネサス SPDIF インタフェース	SPDIF_OUT	出力	出力データ	送信データ出力端子です。
	SPDIF_IN	入力	入力データ	受信データ入力端子です。
USB2.0 ホスト / ファンクションモジュール	DP1、DP0	入出力	USB2.0 ホスト / ファンクションモジュール D+データ	USB2.0 ホスト / ファンクションモジュールバスの D+データです。SH726A では DP0 のみとなります。
	DM1、DM0	入出力	USB2.0 ホスト / ファンクションモジュール D-データ	USB2.0 ホスト / ファンクションモジュールバスの D-データです。SH726A では DM0 のみとなります。
	VBUS	入力	VBUS 入力	ポート 0 USB ケーブル接続モニタ端子です。ファンクションコントローラ機能選択時には USB バスの VBUS を 3.3V まで降圧して接続してください。VBUS の接続 / 切断を検出することができます。ホストコントローラ機能選択時には接続不要です。
SD ホスト インタフェース	SD_CLK	出力	SD クロック	SD クロック出力端子です。
	SD_CMD	入出力	SD コマンド	SD コマンド出力、レスポンス入力信号です。
	SD_D3 ~ SD_D0	入出力	SD データ	SD データバス信号です。
	SD_CD	入力	SD カード検出	SD カード検出です。
	SD_WP	入力	SD ライトプロテクト	SD ライトプロテクト信号です。
A/D 変換器	AN7 ~ AN0	入力	アナログ入力端子	アナログ入力端子です。SH726A では AN5 ~ AN0 みとなります。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	入力	アナログ電源	A/D 変換器の電源端子です。
	AVss	入力	アナロググランド	A/D 変換器のグランド端子です。
	AVref	入力	アナログ基準電圧	A/D 変換器の基準電圧端子です。
汎用入出力 ポート	PA1、PA0、PB22 ~ PB1、PC8 ~ PC0、PD15 ~ PD0、PF7 ~ PF0、PJ14 ~ PJ0、PK1、PK0	入出力	汎用ポート	SH726A は 57 本、SH726B は 74 本の汎用入出力ポート端子です。 SH726A では、PA1、PA0、PB22 ~ PB1、PC8 ~ PC0、PD15 ~ PD0、PF7 ~ PF0 のみとなります。
	PE7 ~ PE0	入出力	汎用ポート	8 本のオープンドレイン出力付き入力ポート端子です。
	PG3 ~ PG0、PH7 ~ PH0	入力	汎用ポート	12 本の汎用入力ポート端子です。SH726A では PG1、PG0、PH5 ~ PH0 のみとなります。

分類	端子名	入出力	名称	機能
ユーザデバッグ インタフェース	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモードセレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	$\overline{\text{TRST}}$	入力	テストリセット	初期化信号入力端子です。
エミュレータ インタフェース	AUDATA3 ~ AUDATA0	出力	データ	分岐先 / 分岐元アドレス出力端子です。
	AUDCK	出力	クロック	同期クロック出力端子です。
	$\overline{\text{AUDSYNC}}$	出力	同期信号	データ先頭位置認識信号出力端子です。
	$\overline{\text{ASEBRKAK}}$	出力	ブレークモード アクノリッジ	E10A-USB エミュレータがブレークモードに入ったことを示します。
	$\overline{\text{ASEBRK}}$	入力	ブレーク要求	E10A-USB エミュレータブレーク入力です。

1.6 端子一覧

表 1.4 端子一覧

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
1	1	PD14	I(s)/O	D14	I/O	SD_D3	I(s)/O	-	-	-	-
2	2	PD15	I(s)/O	D15	I/O	SD_D2	I(s)/O	-	-	-	-
3	3	PVcc									
4	4	PB1	I(s)/O	A1	O	-	-	SSISCK3	I(s)/O	-	-
5	5	Vss									
6	6	PB2	I(s)/O	A2	O	-	-	SSIWS3	I(s)/O	-	-
7	7	PB3	I(s)/O	A3	O	-	-	SSIDATA3	I(s)/O	-	-
8	8	PB4	I(s)/O	A4	O	$\overline{\text{CTS0}}$	I(s)/O	-	-	-	-
-	9	PJ6	I(s)/O	SD_D3	I(s)/O	$\overline{\text{CS4}}$	O	RxD1	I(s)	-	-
-	10	PJ7	I(s)/O	SD_D2	I(s)/O	$\overline{\text{BS}}$	O	TxD1	O	-	-
-	11	PVcc									
9	12	PB5	I(s)/O	A5	O	$\overline{\text{RTS0}}$	I(s)/O	-	-	-	-
10	13	Vss									
11	14	PB6	I(s)/O	A6	O	SCK0	I(s)/O	SSISCK2	I(s)/O	-	-
12	15	Vcc									

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
1	1	-	-	-	-	-	-	(8)
2	2	-	-	-	-	-	-	(8)
3	3							
4	4	-	-	-	-	-	-	(7)
5	5							
6	6	-	-	-	-	-	-	(7)
7	7	-	-	-	-	-	-	(7)
8	8	-	-	-	-	-	-	(7)
-	9	-	-	-	-	AUDATA2	O	(7)
-	10	-	-	-	-	AUDATA3	O	(7)
-	11							
9	12	-	-	-	-	-	-	(7)
10	13							
11	14	-	-	-	-	-	-	(7)
12	15							

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
13	16	PB7	I(s)/O	A7	O	RxD0	I(s)	-	-	-	-
14	17	PB8	I(s)/O	A8	O	TxD0	O	-	-	-	-
15	18	PB9	I(s)/O	A9	O	SCK1	I(s)/O	SSIWS2	I(s)/O	-	-
-	19	PJ8	I(s)/O	TIOC3A	I(s)/O	A23	O	SCK2	I(s)/O	SSISCK2	I(s)/O
-	20	PJ9	I(s)/O	TIOC3B	I(s)/O	A24	O	RxD2	I(s)	SSIWS2	I(s)/O
-	21	PJ10	I(s)/O	TIOC3C	I(s)/O	A25	O	TxD2	O	SSIDATA2	I(s)/O
16	22	PVcc									
17	23	PB10	I(s)/O	A10	O	RxD1	I(s)	-	-	-	-
18	24	Vss									
19	25	PB11	I(s)/O	A11	O	TxD1	O	-	-	-	-
20	26	Vcc									
21	27	PB12	I(s)/O	A12	O	SCK2	I(s)/O	SSIDATA2	I(s)/O	-	-
22	28	PB13	I(s)(5t)/ O	A13	O	RxD2	I(s)(5t))	-	-	-	-
23	29	PB14	I(s)/O	A14	O	TxD2	O	-	-	-	-
24	30	PB15	I(s)/O	A15	O	RSPCK0	I(s)/O	TIOC0B	I(s)/O	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
13	16	-	-	-	-	-	-	(7)
14	17	-	-	-	-	-	-	(7)
15	18	-	-	-	-	-	-	(7)
-	19	TEND0	O	-	-	-	-	(7)
-	20	DREQ0	I(s)	-	-	-	-	(7)
-	21	DACK0	O	-	-	-	-	(7)
16	22							
17	23	-	-	-	-	-	-	(7)
18	24							
19	25	-	-	-	-	-	-	(7)
20	26							
21	27	-	-	-	-	-	-	(7)
22	28	-	-	-	-	-	-	(7)
23	29	-	-	-	-	-	-	(7)
24	30	-	-	-	-	-	-	(7)

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
25	31	PB16	I(s)/O	A16	O	SSL00	I(s)/O	TIOC1B	I(s)/O	-	-
26	32	PB17	I(s)/O	A17	O	MOSI0	I(s)/O	TIOC2B	I(s)/O	-	-
27	33	PB18	I(s)/O	A18	O	MISO0	I(s)/O	TIOC3B	I(s)/O	-	-
28	34	PVcc									
29	35	PB19	I(s)/O	A19	O	SSISCK0	I(s)/O	TIOC0C	I(s)/O	-	-
30	36	Vss									
31	37	PB20	I(s)/O	A20	O	SSIWS0	I(s)/O	TIOC0D	I(s)/O	-	-
32	38	PB21	I(s)/O	A21	O	SSIRxD0	I(s)	TIOC3C	I(s)/O	-	-
33	39	PB22	I(s)/O	A22	O	SSITxD0	O	TIOC3D	I(s)/O	-	-
-	40	PK0	I(s)/O	SCK3	I(s)/O	RTC_X1	I	-	-	-	-
-	41	PK1	I(s)/O	TxD3	O	RTC_X2	O	-	-	-	-
34	42	PF6	I(s)/O	-	-	IRQ2	I(s)	RxD3	I(s)/O	-	-
35	43	PF7	I(s)/O	-	-	IRQ3	I(s)	RxD4	I(s)/O	-	-
36	44	PVcc									
37	45	CKIO	O	-	-	-	-	-	-	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
25	31	-	-	-	-	-	-	(7)
26	32	-	-	-	-	-	-	(7)
27	33	-	-	-	-	-	-	(7)
28	34							
29	35	-	-	-	-	-	-	(7)
30	36							
31	37	-	-	-	-	-	-	(7)
32	38	-	-	-	-	-	-	(7)
33	39	-	-	-	-	-	-	(7)
-	40	-	-	-	-	-	-	(7)、(11)
-	41	-	-	-	-	-	-	
34	42	-	-	-	-	-	-	(7)
35	43	-	-	-	-	-	-	(7)
36	44							
37	45	-	-	-	-	-	-	(6)

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
38	46	Vss									
39	47	RES	I(s)	-	-	-	-	-	-	-	-
40	48	Vss									
41	49	PLLVcc									
42	50	NMI	I(s)	-	-	-	-	-	-	-	-
43	51	Vcc									
44	52	EXTAL	I	-	-	-	-	-	-	-	-
45	53	XTAL	O	-	-	-	-	-	-	-	-
46	54	Vss									
-	55	PG2	I(s)	DM1	I/O	PINT2	I(s)	-	-	-	-
-	56	PG3	I(s)	DP1	I/O	PINT3	I(s)	-	-	-	-
47	57	Vss									
48	58	PVcc									
49	59	PG0	I(s)	DM0	I/O	PINT0	I(s)	-	-	-	-
50	60	PG1	I(s)	DP0	I/O	PINT1	I(s)	-	-	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
38	46							
39	47	-	-	-	-	-	-	(1)
40	48							
41	49							
42	50	-	-	-	-	-	-	(3)
43	51							
44	52	-	-	-	-	-	-	(10)
45	53	-	-	-	-	-	-	
46	54							
-	55	-	-	-	-	-	-	(3) DM1 以外
-	56	-	-	-	-	-	-	(3) DP1 以外
47	57							
48	58							
49	59	-	-	-	-	-	-	(3) DM0 以外
50	60	-	-	-	-	-	-	(3) DP0 以外

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
51	61	ASEMD	-	-	-	-	-	-	-	-	-
52	62	PH0	I(s)	AN0	I(a)	IRQ0	I(s)	VBUS	I(s)	-	-
53	63	PH1	I(s)	AN1	I(a)	IRQ1	I(s)	RxD0	I(s)	-	-
54	64	PH2	I(s)	AN2	I(a)	IRQ2	I(s)	WAIT	I(s)	-	-
55	65	PH3	I(s)	AN3	I(a)	IRQ3	I(s)	-	-	-	-
56	66	PH4	I(s)	AN4	I(a)	PINT4	I(s)	RxD1	I(s)	-	-
57	67	PH5	I(s)	AN5	I(a)	PINT5	I(s)	RxD2	I(s)	-	-
58	68	AVss									
-	69	PH6	I(s)	AN6	I(a)	PINT6	I(s)	RxD3	I(s)	-	-
59	70	AVcc									
-	71	PH7	I(s)	AN7	I(a)	PINT7	I(s)	RxD4	I(s)	-	-
60	72	AVref									
61	73	TRST	I(s)	-	-	-	-	-	-	-	-
62	74	ASEBRKAK /ASEBRK	I(s)/O	-	-	-	-	-	-	-	-
63	75	TDO	O	-	-	-	-	-	-	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
51	61	-	-	-	-	-	-	(1)
52	62	-	-	-	-	-	-	(4)
53	63	-	-	-	-	-	-	(4)
54	64	-	-	-	-	-	-	(4)
55	65	-	-	-	-	-	-	(4)
56	66	-	-	-	-	-	-	(4)
57	67	-	-	-	-	-	-	(4)
58	68							
-	69	-	-	-	-	-	-	(4)
59	70							
-	71	-	-	-	-	-	-	(4)
60	72							
61	73	-	-	-	-	-	-	(3)
62	74	-	-	-	-	-	-	(7)
63	75	-	-	-	-	-	-	(5)

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
64	76	TDI	I	-	-	-	-	-	-	-	-
65	77	TMS	I	-	-	-	-	-	-	-	-
66	78	TCK	I	-	-	-	-	-	-	-	-
67	79	AUDIO_X2	O	-	-	-	-	-	-	-	-
68	80	AUDIO_X1	I	-	-	-	-	-	-	-	-
69	81	PVcc									
70	82	PF0	I(s)/O	RSPCK0	I(s)/O	SPBCLK	O	-	-	-	-
71	83	Vss									
72	84	PF1	I(s)/O	SSL00	I(s)/O	SPBSSL	O	-	-	-	-
73	85	PF2	I(s)/O	MOSI0	I(s)/O	SPBMO_0/ SPBIO0_0	I(s)/O	-	-	-	-
74	86	PF3	I(s)/O	MISO0	I(s)/O	SPBMI_0/ SPBIO1_0	I(s)/O	-	-	-	-
-	87	PJ11	I(s)/O	TIOC3D	I(s)/O	IRQ0	I(s)	SCK4	I(s)/O	CRx0	I(s)
-	88	PJ12	I(s)/O	SSISCK3	I(s)/O	A0	O	TxD4	O	CTx0	O
-	89	PVcc									
75	90	PF4	I(s)/O	-	-	SPBIO2_0	I(s)/O	-	-	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
64	76	-	-	-	-	-	-	(2)
65	77	-	-	-	-	-	-	(2)
66	78	-	-	-	-	-	-	(2)
67	79	-	-	-	-	-	-	(10)
68	80	-	-	-	-	-	-	
69	81							
70	82	-	-	-	-	-	-	(7)
71	83							
72	84	-	-	-	-	-	-	(7)
73	85	-	-	-	-	-	-	(7)
74	86	-	-	-	-	-	-	(7)
-	87	IERxD	I(s)	RSPCK2	I(s)/O	-	-	(7)
-	88	IETxD	O	SSL20	I(s)/O	-	-	(7)
-	89							
75	90	-	-	-	-	-	-	(7)

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
76	91	Vss									
77	92	PF5	I(s)/O	-	-	SPBIO3_0	I(s)/O	-	-	-	-
78	93	Vcc									
79	94	PA0	I(s)/O	MD_CLK	I(s)	-	-	-	-	-	-
80	95	PA1	I(s)/O	MD_BOOT	I(s)	-	-	-	-	-	-
-	96	PJ13	I(s)(5t) y/O	SSIWS3	I(s)(5 t)/O	IRQ1	I(s)(5 t)	RxD4	I(s)(5t)	CRx1	I(s)(5t)
-	97	PJ14	I(s)/O	SSIDATA3	I(s)/O	$\overline{\text{WDT0VF}}$	O	-	-	CTx1	O
-	98	PJ0	I(s)/O	SD_CD	I(s)	-	-	IRQ4	I(s)	-	-
81	99	PC0	I(s)/O	$\overline{\text{CS0}}$	O	TIOC4A	I(s)/O	AUDIO_XOUT	O	-	-
82	100	PVcc									
83	101	PC1	I(s)/O	$\overline{\text{RD}}$	O	TIOC4B	I(s)/O	SPDIF_IN	I(s)	-	-
84	102	Vss									
85	103	PC2	I(s)/O	$\text{RD}/\overline{\text{WR}}$	O	TIOC4C	I(s)/O	SPDIF_OUT	O	-	-
86	104	Vcc									
87	105	PC3	I(s)/O	$\overline{\text{WE0}}/\text{DQML}$	O	TIOC4D	I(s)/O	-	-	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
76	91							
77	92	-	-	-	-	-	-	(7)
78	93							
79	94	-	-	-	-	-	-	(7)
80	95	-	-	-	-	-	-	(7)
-	96	CRx0/CRx1	I(s)(5t)	MOSI2	I(s)(5t)/O	-	-	(7)
-	97	CTx0&CTx1	O	MISO2	I(s)/O	-	-	(7)
-	98	-	-	-	-	-	-	(7)
81	99	-	-	-	-	-	-	(7)
82	100							
83	101	-	-	-	-	-	-	(7)
84	102							
85	103	-	-	-	-	-	-	(7)
86	104							
87	105	-	-	-	-	-	-	(7)

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
88	106	PC4	I(s)/O	$\overline{\text{WE1}}$ /DQMU	O	$\overline{\text{WDT0VF}}$	O	-	-	-	-
89	107	PC5	I(s)/O	$\overline{\text{RAS}}$	O	IRQ4	I(s)	CRx0	I(s)	IERxD	I(s)
90	108	PC6	I(s)/O	$\overline{\text{CAS}}$	O	IRQ5	I(s)	CTx0	O	IETxD	O
91	109	PE0	I(s)/O(o)	SCL0	I(s)/O(o)	IRQ0	I(s)	-	-	-	-
92	110	PE1	I(s)/O(o)	SDA0	I(s)/O(o)	IRQ1	I(s)	-	-	-	-
93	111	PE2	I(s)/O(o)	SCL1	I(s)/O(o)	AUDIO_CLK	I(s)	-	-	-	-
94	112	PE3	I(s)/O(o)	SDA1	I(s)/O(o)	$\overline{\text{ADTRG}}$	I(s)	-	-	-	-
95	113	PE4	I(s)/O(o)	SCL2	I(s)/O(o)	TCLKA	I(s)	-	-	-	-
96	114	PE5	I(s)/O(o)	SDA2	I(s)/O(o)	TCLKB	I(s)	-	-	-	-
97	115	PE6	I(s)/O(o)	SCL3	I(s)/O(o)	TCLKC	I(s)	-	-	-	-
98	116	PE7	I(s)/O(o)	SDA3	I(s)/O(o)	TCLKD	I(s)	-	-	-	-
99	117	PC7	I(s)/O	CKE	O	IRQ6	I(s)	CRx1	I(s)	CRx0/CRx1	I(s)
100	118	Vss									
101	119	PVcc									
102	120	PC8	I(s)/O	$\overline{\text{CS3}}$	O	IRQ7	I(s)	CTx1	O	CTx0&CTx1	O

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
88	106	-	-	-	-	-	-	(7)
89	107	-	-	-	-	-	-	(7)
90	108	-	-	-	-	-	-	(7)
91	109	-	-	-	-	-	-	(9)
92	110	-	-	-	-	-	-	(9)
93	111	-	-	-	-	-	-	(9)
94	112	-	-	-	-	-	-	(9)
95	113	-	-	-	-	-	-	(9)
96	114	-	-	-	-	-	-	(9)
97	115	-	-	-	-	-	-	(9)
98	116	-	-	-	-	-	-	(9)
99	117	-	-	-	-	-	-	(7)
100	118							
101	119							
102	120	-	-	-	-	-	-	(7)

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
103	121	PD0	I(s)/O	D0	I/O	SSISCK1	I(s)/O	SIOFSCK	I(s)/O	SPBMO_1/ SPBIO0_1	I(s)/O
104	122	PD1	I(s)/O	D1	I/O	SSIWS1	I(s)/O	SIOFSYNC	I(s)/O	SPBML_1/ SPBIO1_1	I(s)/O
105	123	PD2	I(s)/O	D2	I/O	SSIRxD1	I(s)	SIOFRxD	I(s)	SPBIO2_1	I(s)/O
-	124	PJ1	I(s)/O	SD_WP	I(s)	$\overline{\text{CS}}2$	O	IRQ5	I(s)	AUDIO_XOUT	O
-	125	PJ2	I(s)/O	SD_D1	I(s)/O	-	-	IRQ6	I(s)	-	-
-	126	PVcc									
106	127	PD3	I(s)/O	D3	I/O	SSITxD1	O	SIOFTxD	O	SPBIO3_1	I(s)/O
107	128	Vss									
108	129	PD4	I(s)/O	D4	I/O	RSPCK1	I(s)/O	SCK3	I(s)/O	$\overline{\text{CTS}}1$	I(s)/O
109	130	Vcc									
110	131	PD5	I(s)/O	D5	I/O	SSL10	I(s)/O	TxD3	O	$\overline{\text{RTS}}1$	I(s)/O
111	132	PD6	I(s)/O	D6	I/O	MOSI1	I(s)/O	SCK4	I(s)/O	$\overline{\text{CTS}}2$	I(s)/O
-	133	PJ3	I(s)/O	SD_D0	I(s)/O	-	-	IRQ7	I(s)	-	-
-	134	PJ4	I(s)/O	SD_CLK	O	$\overline{\text{CS}}1$	O	-	-	-	-
-	135	PJ5	I(s)/O	SD_CMD	I(s)/O	-	-	SCK1	I(s)/O	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
103	121	-	-	-	-	-	-	(8)
104	122	-	-	-	-	-	-	(8)
105	123	-	-	-	-	-	-	(8)
-	124	-	-	-	-	-	-	(7)
-	125	-	-	-	-	AUDCK	O	(7)
-	126							
106	127	-	-	-	-	-	-	(8)
107	128							
108	129	-	-	-	-	-	-	(8)
109	130							
110	131	-	-	-	-	-	-	(8)
111	132	-	-	-	-	-	-	(8)
-	133	-	-	-	-	AUDSYNC	O	(7)
-	134	-	-	-	-	AUDATA0	O	(7)
-	135	-	-	-	-	AUDATA1	O	(7)

SH726A No.	SH726B No.	機能 1		機能 2		機能 3		機能 4		機能 5	
		機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O	機能名	I/O
112	136	PVcc									
113	137	PD7	I(s)/O	D7	I/O	MISO1	I(s)/O	TxD4	O	RTS2	I(s)/O
114	138	Vss									
115	139	PD8	I(s)/O	D8	I/O	SD_CD	I(s)	TIOC0A	I(s)/O	-	-
116	140	PD9	I(s)/O	D9	I/O	SD_WP	I(s)	TIOC1A	I(s)/O	-	-
117	141	PD10	I(s)/O	D10	I/O	SD_D1	I(s)/O	TIOC2A	I(s)/O	-	-
118	142	PD11	I(s)/O	D11	I/O	SD_D0	I(s)/O	TIOC3A	I(s)/O	-	-
119	143	PD12	I(s)/O	D12	I/O	SD_CLK	O	IRQ2	I(s)	-	-
120	144	PD13	I(s)/O	D13	I/O	SD_CMD	I(s)/O	IRQ3	I(s)	-	-

SH726A No.	SH726B No.	機能 6		機能 7		ASE 機能		簡易回路図 図 1.3
		機能名	I/O	機能名	I/O	機能名	I/O	
112	136							
113	137	-	-	-	-	-	-	(8)
114	138							
115	139	-	-	-	-	-	-	(8)
116	140	-	-	-	-	-	-	(8)
117	141	-	-	-	-	-	-	(8)
118	142	-	-	-	-	-	-	(8)
119	143	-	-	-	-	-	-	(8)
120	144	-	-	-	-	-	-	(8)

【記号説明】

(s) : シュミット

(a) : アナログ

(o) : オープンドレイン

(5t) : 5V トレラント

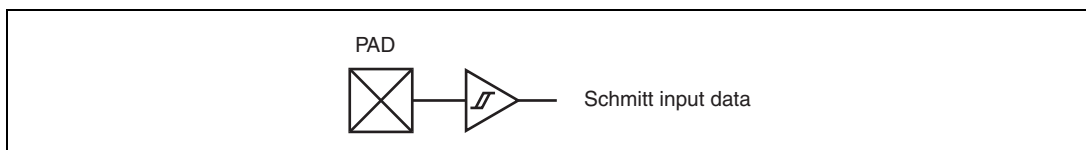


図 1.3 (1) 簡易回路図 (シュミット入力バッファ)

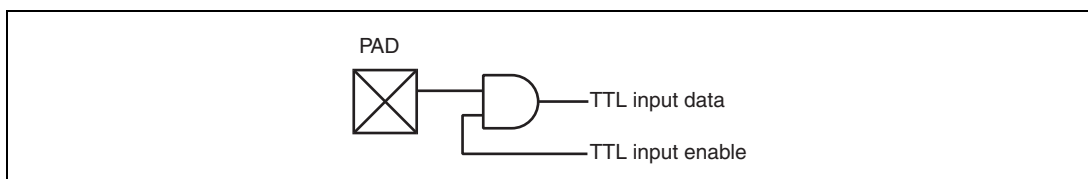


図 1.3 (2) 簡易回路図 (TTL AND 入力バッファ)

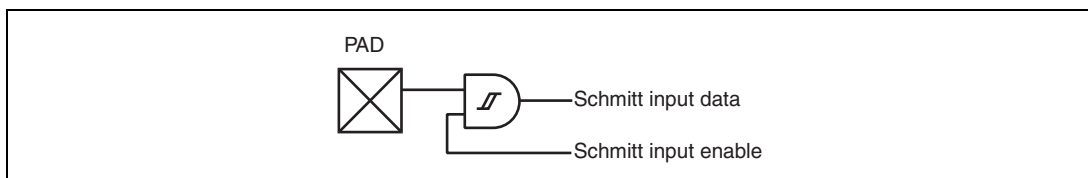


図 1.3 (3) 簡易回路図 (シュミット AND 入力バッファ)

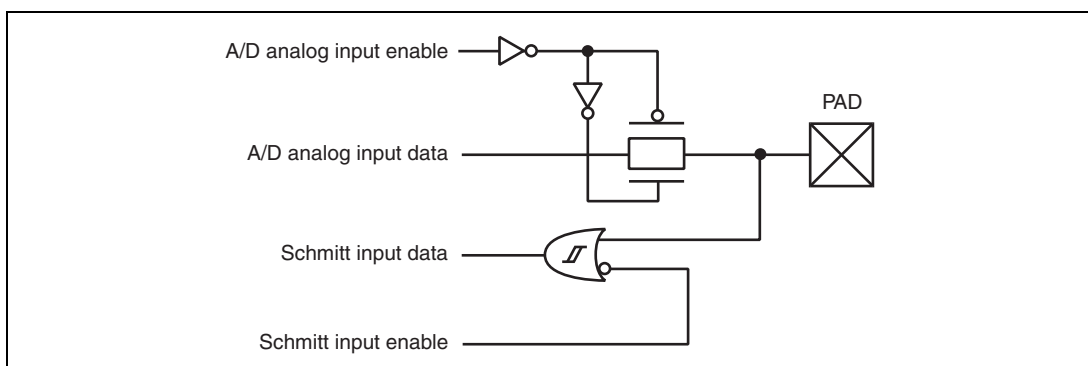


図 1.3 (4) 簡易回路図 (シュミット OR 入力、A/D 入力兼用バッファ)

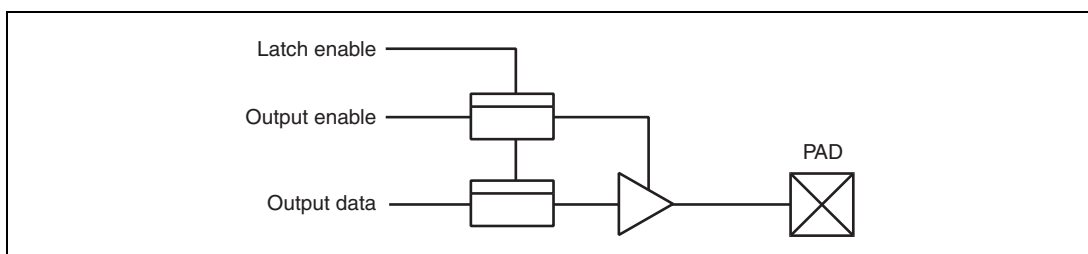


図 1.3 (5) 簡易回路図 (イネーブル付き出力バッファ、ラッチ付き)

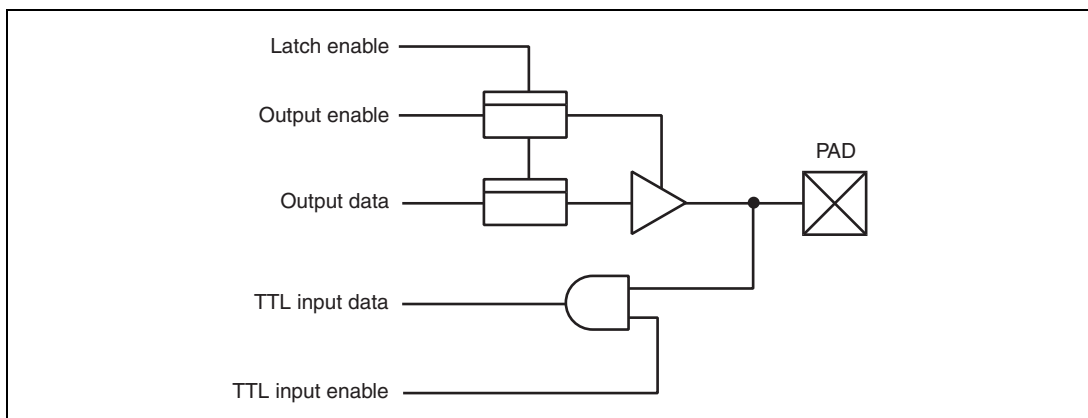


図 1.3 (6) 簡易回路図 (双方向バッファ、TTL AND 入力、ラッチ付き)

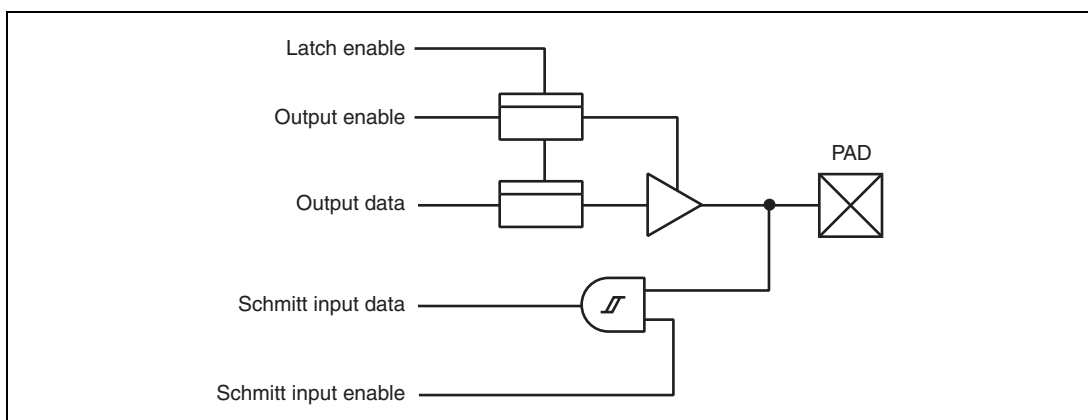


図 1.3 (7) 簡易回路図 (双方向バッファ、シュミット AND 入力、ラッチ付き)

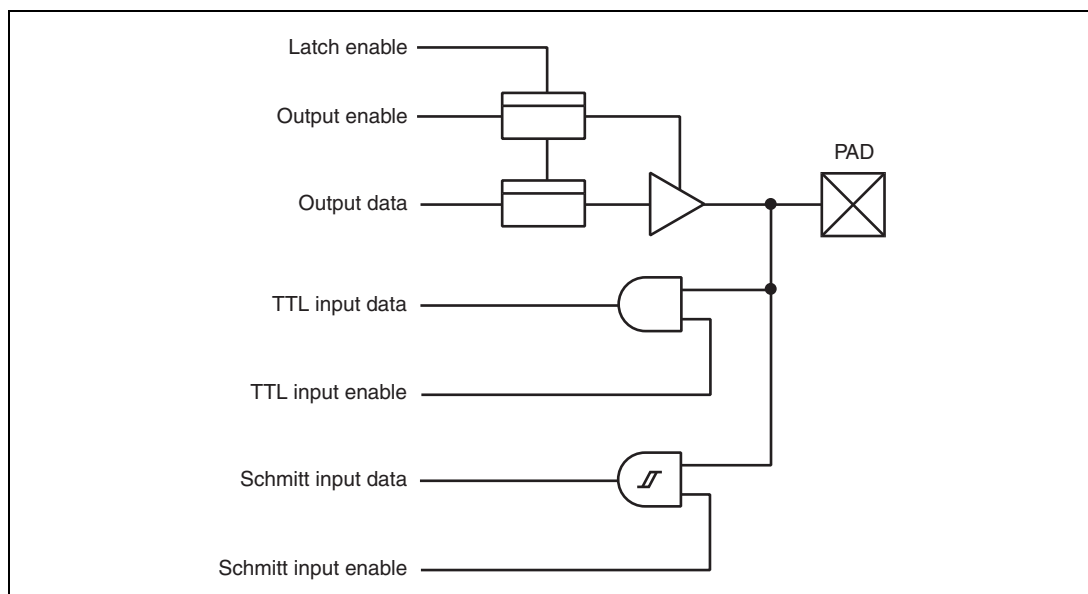


図 1.3 (8) 簡易回路図 (双方向バッファ、TTL AND 入力、シュミット AND 入力、ラッチ付き)

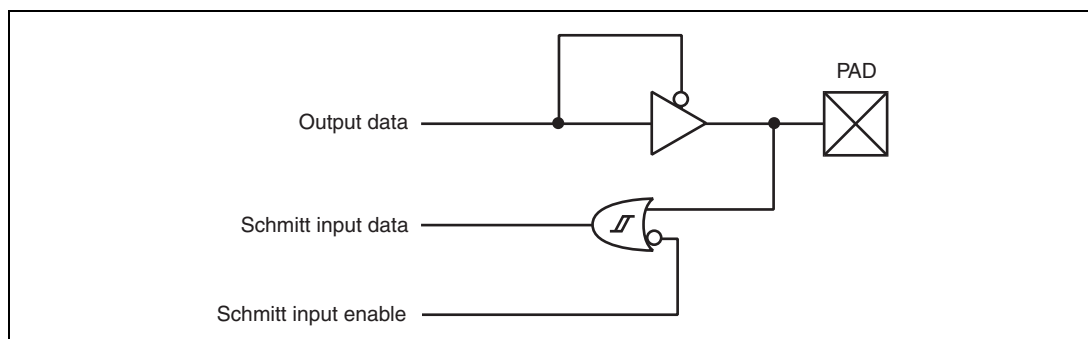


図 1.3 (9) 簡易回路図 (オープンドレイン出力、シュミット OR 入力)

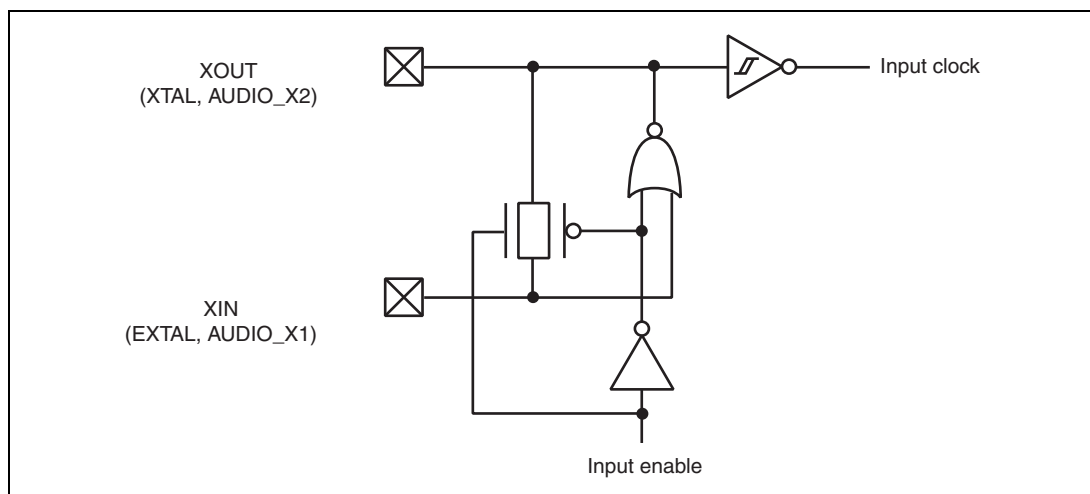


図 1.3 (10) 簡易回路図 (発振バッファ 1)

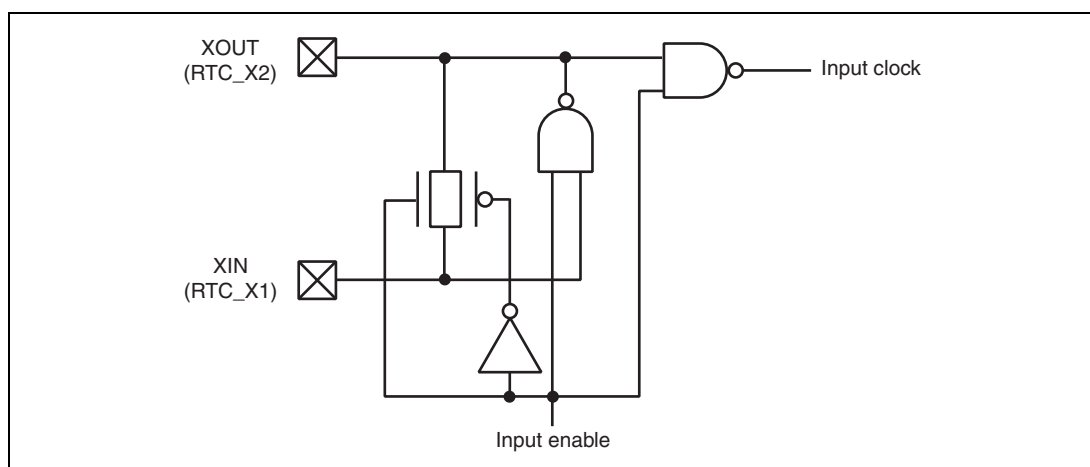


図 1.3 (11) 簡易回路図 (発振バッファ 2)

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×4本）、システムレジスタ（32ビット×4本）の3種類があります。

2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復は、R15 を用いてスタックを参照し行います。

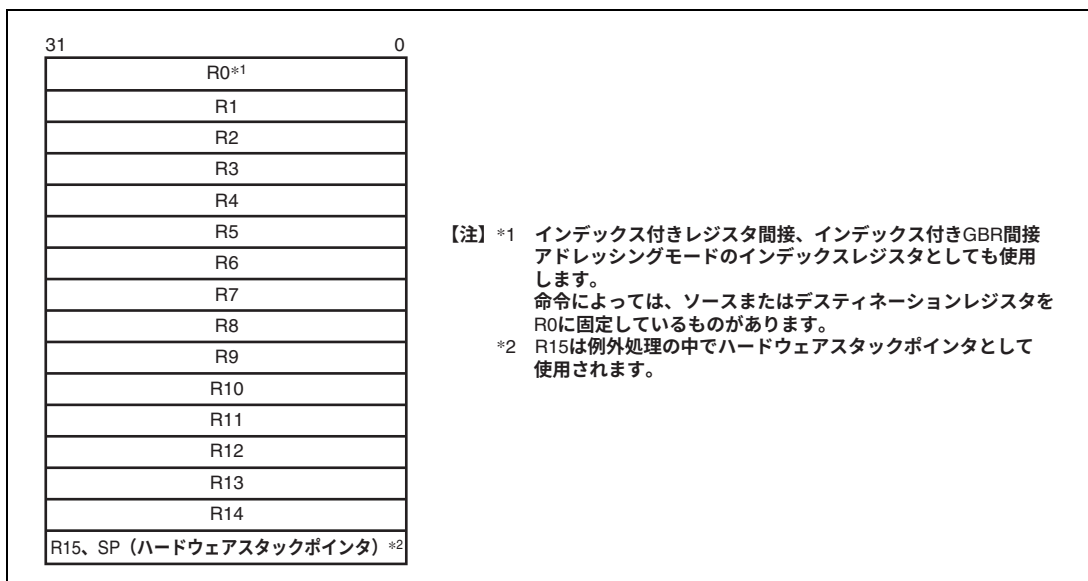


図 2.1 汎用レジスタ

2.1.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の 4 本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

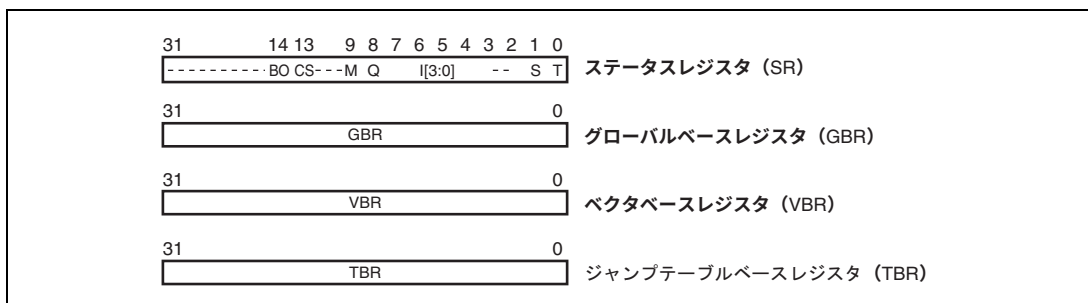


図 2.2 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]				-	-	S	T
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
9	M	—	R/W	M ビット Q ビット DIV0S、DIV0U、DIV1 命令で使します。
8	Q	—	R/W	
7～4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	—	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	—	R/W	T ビット 真／偽条件またはキャリー／ボロービット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は現在実行中の命令の 4 バイト先を示し、処理の流れを制御します。

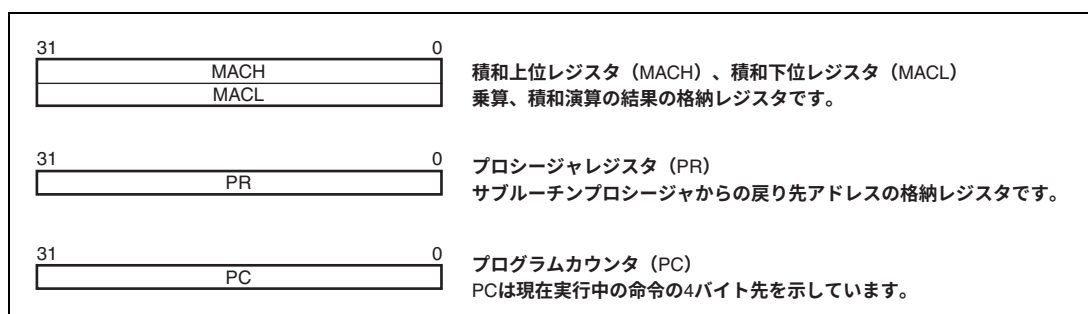


図 2.3 システムレジスタ

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト先を示します。

2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

本 LSI は 15 個のバンクを持ちます。詳細については「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」、「7.8 レジスタバンク」を参照してください。

2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I[3:0]は 1111 (H'F)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32 ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8 ビット）、もしくはワード（16 ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

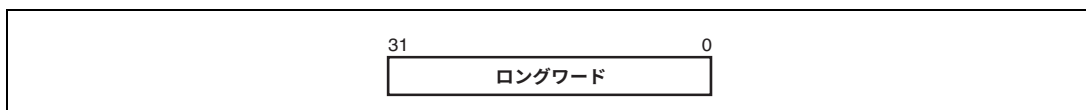


図 2.4 レジスタのデータ形式

2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

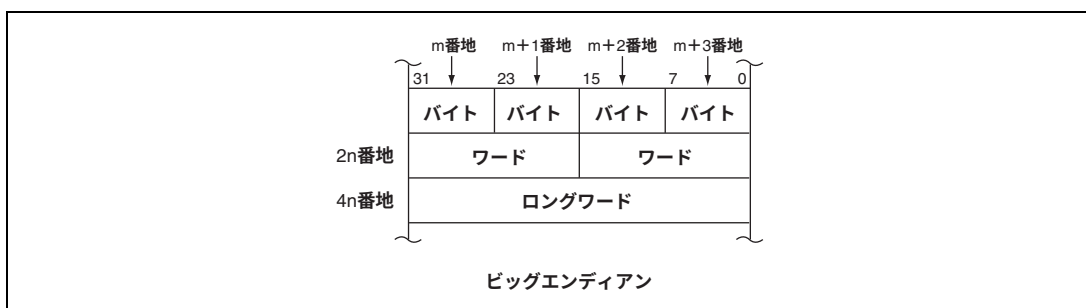


図 2.5 メモリのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト（8 ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令／1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト／ワード／ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0 DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令→遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD R1,R0		BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算／積和演算

16×16→32 の乗算を 1～2 ステート、16×16+64→64 の積和演算を 2～3 ステートで実行します。32×32→64 の乗算や、32×32+64→64 の積和演算を 2～4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ（SR）の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU	説 明	他の CPU の例
CMP/GE R1,R0	R0≥R1 のとき T ビットがセットされます。 R0≥R1 のとき TRGET0 へ R0<R1 のとき TRGET1 へ分岐します。	CMP.W R1,R0
BT TRGET0		BGE TRGET0
BF TRGET1		BLT TRGET1
ADD #-1,R0	ADD では T ビットが変化しません。 R0=0 のとき T ビットがセットされます。 R0=0 のとき分岐します。	SUB.W #1,R0
CMP/EQ #0,R0		BEQ TRGET
BT TRGET		

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOVI20 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOVI20 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOVI20S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0 DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21～28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0 DATA.L H'12345678	MOV.B @H'12345678,R0

(12) 16 ビット／32 ビットディスプレースメント

16 ビットまたは 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

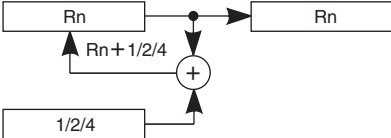
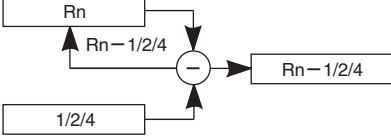
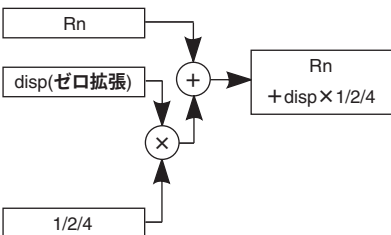
表 2.7 ディスプレースメントによる参照

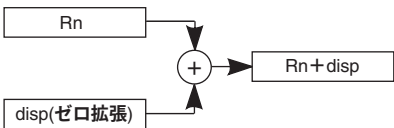
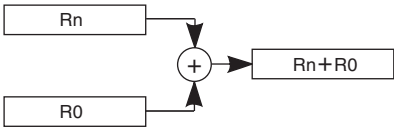
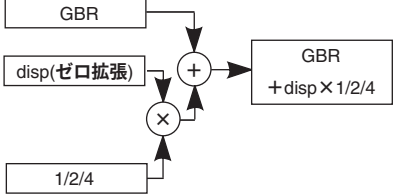
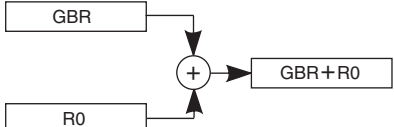
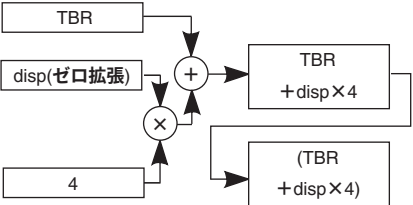
区分	SH-2A CPU	他の CPU の例
16 ビットディスプレースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2 DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.3.2 アドレッシングモード

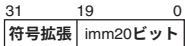
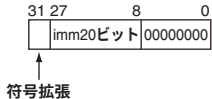
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : $Rn+1 \rightarrow Rn$ ワード : $Rn+2 \rightarrow Rn$ ロングワード : $Rn+4 \rightarrow Rn$
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : $Rn-1 \rightarrow Rn$ ワード : $Rn-2 \rightarrow Rn$ ロングワード : $Rn-4 \rightarrow Rn$ (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $Rn+disp$ ワード : $Rn+disp \times 2$ ロングワード : $Rn+disp \times 4$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレースメント 付きレジスタ間接	@(disp:12,Rn)	実効アドレスはレジスタ Rn に 12 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張します。 	バイト : $Rn + \text{disp}$ ワード : $Rn + \text{disp}$ ロングワード : $Rn + \text{disp}$
インデックス付き レジスタ間接	@(R0,Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 	$Rn + R0$
ディスプレースメント 付き GBR 間接	@(disp:8,GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $GBR + \text{disp}$ ワード : $GBR + \text{disp} \times 2$ ロングワード : $GBR + \text{disp} \times 4$
インデックス付き GBR 間接	@(R0,GBR)	実効アドレスはレジスタ GBR に R0 を加算した内容です。 	$GBR + R0$
ディスプレースメント 付き TBR 二重間接	@@ (disp:8,TBR)	実効アドレスはレジスタ TBR に 8 ビットディスプレースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。 	($TBR + \text{disp} \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレースメント 付き PC 相対	@(disp:8,PC)	実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。 * ロングワードのとき PC + disp × 2 または PC & H'FFFFFFF0 + disp × 4	ワード : $PC + \text{disp} \times 2$ ロングワード : $PC \& H'FFFFFFF0 + \text{disp} \times 4$
PC 相対	disp:8	実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。 $PC + \text{disp} \times 2$	$PC + \text{disp} \times 2$
	disp:12	実効アドレスはレジスタ PC に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。 $PC + \text{disp} \times 2$	$PC + \text{disp} \times 2$
	Rn	実効アドレスはレジスタ PC に Rn を加算した内容です。 $PC + Rn$	$PC + Rn$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	—
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側 は符号拡張、下位側はゼロ詰めを行います。 	—
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	—

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmmm : ソースレジスタ
 nnnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式	15 0 xxxx xxxx xxxx xxxx	—	—	NOP
n 形式	15 0 xxxx nnnn xxxx xxxx	—	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOV MU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOV MU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式	15 0 xxxx mmmn xxxx xxxx	mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	—	JMP @Rm
		mmmm : プリデクリメント レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	—	BRAF Rm

命令形式	ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	15 0 xxxx nnnn mmmm xxxxx	mmmm : レジスタ直接	nnnn : レジスタ直接 ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接 MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接 MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接 MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接 MOV.L Rm,@(R0,Rn)
md 形式	15 0 xxxx xxxx mmmm dddd	mmmmdddd : ディスプレースメント付き レジスタ間接	R0 (レジスタ直接) MOV.B @(disp,Rm),R0
nd4 形式	15 0 xxxx xxxx nnnn dddd	R0 (レジスタ直接)	nnnndddd : ディスプレースメント 付きレジスタ間接 MOV.B R0,@(disp,Rn)
nmd 形式	15 0 xxxx nnnn mmmm dddd	mmmm : レジスタ直接	nnnndddd : ディスプレースメント 付きレジスタ間接 MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレースメント付き レジスタ間接	nnnn : レジスタ直接 MOV.L @(disp,Rm),Rn
nmd12 形式	32 16 xxxx nnnn mmmm xxxxx	mmmm : レジスタ直接	nnnndddd : ディスプレースメント 付きレジスタ間接 MOV.L Rm,@(disp12, Rn)
	15 0 xxxx dddd dddd dddd	mmmmdddd : ディスプレースメント付き レジスタ間接	nnnn : レジスタ直接 MOV.L @(disp12, Rm), Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式	15 0 xxxx xxxx dddd dddd	dddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレースメント付き GBR 間接		
		R0 (レジスタ直接)	dddddddd : ディスプレースメント 付き GBR 間接	MOV.L R0,@(disp,GBR)
		dddddddd : ディスプレースメント付き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		dddddddd : ディスプレースメント付き TBR 二重間接	—	JSR/N @@(disp8,TBR)
		dddddddd : PC 相対	—	BF label
d12 形式	15 0 xxxx dddd dddd dddd	dddddddddddd : PC 相対	—	BRA label (label=disp+PC)
nd8 形式	15 0 xxxx nnnn dddd dddd	dddddddd : ディスプレースメント付き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	15 0 xxxx xxxx iiii iiii	iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii: イミディエイト	—	TRAPA #imm
ni 形式	15 0 xxxx nnnn iiii iiii	iiiiiii: イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式	15 0 xxxx xxxx nnnn x iiii	nnnn : レジスタ直接 iii : イミディエイト	—	BLD #imm3,Rn
		—	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式	32 16 xxxx nnnn iiii xxxx 15 0 iiii iiii iiii iiii	iiiiiiiiiiiiiiiiiiiiiii: イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	32 16 xxxx nnnn xiii xxxx 15 0 xxxx dddd dddd dddd	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	—	BLD.B #imm3,@ (disp12,Rn)
		—	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0～Rn のレジスタ退避・復帰	
		MOV MU	Rn～R14、PR のレジスタ退避・復帰	
		MOV RT	T ビット反転 Rn への転送	
		MOV T	T ビットの転送	
		MOV U	無符号データの転送	
		NOT T	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADD C	キャリー付き 2 進加算	
		ADD V	オーバーフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIV S	符号付き除算 (32÷32)	
		DIV U	符号なし除算 (32÷32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機 能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ボロー付き符号反転	
		SUB	2 進減算	
		SUBC	ボロー付き 2 進減算	
		SUBV	アンダフロー付き 2 進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリエストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分類	命令の種類	オペコード	機 能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm→R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	

分類	命令の種類	オペコード	機能	命令数
浮動小数点演算命令	19	FMOV	浮動小数点数転送	48
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命 令	命令コード	動作の概略	実行 ステート	T ビット
ニーモニックで表示しています。 【記号説明】 Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント*2	MSB ←→ LSB の順で表示しています。 【記号説明】 mmmm : ソースレジスタ nnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント	動作の概略を表示しています。 【記号説明】 →、← : 転送方向 (xx) : メモリオペランド M/Q/T : SR 内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト	ノーウェイトのときの値です。*1	命令実行後の、T ビットの値を表示しています。 【記号説明】 - : 変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング（×1、×2、×4）されます。

詳しくは、「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiii	imm→符号拡張→Rn	1	—	○	○	○
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp×2+PC)→符号拡張→Rn	1	—	○	○	○
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp×4+PC)→Rn	1	—	○	○	○
MOV Rm, Rn	0110nnnnmmmm0011	Rm→Rn	1	—	○	○	○
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm→(Rn)	1	—	○	○	○
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm→(Rn)	1	—	○	○	○
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm→(Rn)	1	—	○	○	○
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm)→符号拡張→Rn	1	—	○	○	○
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm)→符号拡張→Rn	1	—	○	○	○
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm)→Rn	1	—	○	○	○
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1→Rn, Rm→(Rn)	1	—	○	○	○
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2→Rn, Rm→(Rn)	1	—	○	○	○
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4→Rn, Rm→(Rn)	1	—	○	○	○
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm)→符号拡張→Rn, Rm+1→Rm	1	—	○	○	○
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm)→符号拡張→Rn, Rm+2→Rm	1	—	○	○	○
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm)→Rn, Rm+4→Rm	1	—	○	○	○
MOV.B R0, @(disp, Rn)	1000000nnnnddd	R0→(disp+Rn)	1	—	○	○	○
MOV.W R0, @(disp, Rn)	1000001nnnnddd	R0→(disp×2+Rn)	1	—	○	○	○
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm→(disp×4+Rn)	1	—	○	○	○
MOV.B @(disp, Rm), R0	10000100nnnmdddd	(disp+Rm)→符号拡張→R0	1	—	○	○	○
MOV.W @(disp, Rm), R0	10000101nnnmdddd	(disp×2+Rm)→符号拡張→R0	1	—	○	○	○
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp×4+Rm)→Rn	1	—	○	○	○
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm→(R0+Rn)	1	—	○	○	○
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm→(R0+Rn)	1	—	○	○	○
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm→(R0+Rn)	1	—	○	○	○
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm)→符号拡張→Rn	1	—	○	○	○
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm)→符号拡張→Rn	1	—	○	○	○
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm)→Rn	1	—	○	○	○
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0→(disp+GBR)	1	—	○	○	○
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0→(disp×2+GBR)	1	—	○	○	○
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0→(disp×4+GBR)	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @(disp, GBR), R0	11000100ddddddd	(disp+GBR)→符号拡張→R0	1	—	○	○	○
MOV.W @(disp, GBR), R0	11000101ddddddd	(disp×2+GBR)→符号拡張→R0	1	—	○	○	○
MOV.L @(disp, GBR), R0	11000110ddddddd	(disp×4+GBR)→R0	1	—	○	○	○
MOV.B R0, @Rn+	0100nnnn10001011	R0→(Rn), Rn+1→Rn	1	—			○
MOV.W R0, @Rn+	0100nnnn10011011	R0→(Rn), Rn+2→Rn	1	—			○
MOV.L R0, @Rn+	0100nnnn10101011	R0→(Rn), Rn+4→Rn	1	—			○
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1→Rm, (Rm)→符号拡張→R0	1	—			○
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2→Rm, (Rm)→符号拡張→R0	1	—			○
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4→Rm, (Rm)→R0	1	—			○
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000ddddddddddd	Rm→(disp+Rn)	1	—			○
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001ddddddddddd	Rm→(disp×2+Rn)	1	—			○
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010ddddddddddd	Rm→(disp×4+Rn)	1	—			○
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100ddddddddddd	(disp+Rm)→符号拡張→Rn	1	—			○
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101ddddddddddd	(disp×2+Rm)→符号拡張→Rn	1	—			○
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110ddddddddddd	(disp×4+Rm)→Rn	1	—			○
MOVA @(disp, PC), R0	11000111ddddddd	disp×4+PC→R0	1	—	○	○	○
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm→符号拡張→Rn	1	—			○
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<8→符号拡張→Rn	1	—			○
MOVML.L Rm, @-R15	0100mmmm11110001	R15-4→R15, Rm→(R15) R15-4→R15, Rm-1→(R15) : R15-4→R15, R0→(R15) ※Rm=R15 のとき、Rm を PR に 読み替え	1~16	—			○

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVML.L @R15+, Rn	0100nnnn11110101	(R15)→R0, R15+4→R15 (R15)→R1, R15+4→R15 : (R15)→Rn ※Rn=R15 のとき、Rn を PR に 読み替え	1~16	—			○
MOVML.L Rm, @-R15	0100nnnn11110000	R15-4→R15, PR→(R15) R15-4→R15, R14→(R15) : R15-4→R15, Rm→(R15) ※Rm=R15 のとき、Rm を PR に読み替え	1~16	—			○
MOVML.L @R15+, Rn	0100nnnn11110100	(R15)→Rn, R15+4→R15 (R15)→Rn+1, R15+4→R15 : (R15)→R14, R15+4→R15 (R15)→PR ※Rn=R15 のとき、Rn を PR に 読み替え	1~16	—			○
MOVRT Rn	0000nnnn00111001	~T→Rn	1	—			○
MOV T Rn	0000nnnn00101001	T→Rn	1	—	○	○	○
MOVU.B @(disp12,Rm), Rn	0011nnnnnnmm0001 1000dddddddddd	(disp+Rm)→ゼロ拡張→Rn	1	—			○
MOVU.W @(disp12,Rm),Rn	0011nnnnnnmm0001 1001dddddddddd	(disp×2+Rm)→ゼロ拡張→Rn	1	—			○
NOTT	000000001101000	~T→T	1	演算結果			○
PREF @Rn	0000nnnn10000011	(Rn)→オペランドキャッシュ	1	—		○	○
SWAP.B Rm, Rn	0110nnnnnnmm1000	Rm→下位 2 バイトの上下バイ ト交換→Rn	1	—	○	○	○
SWAP.W Rm, Rn	0110nnnnnnmm1001	Rm→上下ワード交換→Rn	1	—	○	○	○
XTRCT Rm, Rn	0010nnnnnnmm1101	Rm:Rn の中央 32 ビット→Rn	1	—	○	○	○

2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmm1100	$Rn + Rm \rightarrow Rn$	1	—	○	○	○
ADD #imm, Rn	0111nnnniiiiiii	$Rn + imm \rightarrow Rn$	1	—	○	○	○
ADDC Rm, Rn	0011nnnnmmmm1110	$Rn + Rm + T \rightarrow Rn$, キャリー $\rightarrow T$	1	キャリー	○	○	○
ADDV Rm, Rn	0011nnnnmmmm1111	$Rn + Rm \rightarrow Rn$, オーバフロー $\rightarrow T$	1	オーバ フロー	○	○	○
CMP/EQ #imm, R0	10001000iiiiiii	$R0 = imm$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/EQ Rm, Rn	0011nnnnmmmm0000	$Rn = Rm$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で $Rn \geq Rm$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で $Rn \geq Rm$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/Hi Rm, Rn	0011nnnnmmmm0110	無符号で $Rn > Rm$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で $Rn > Rm$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/PL Rn	0100nnnn00010101	$Rn > 0$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/PZ Rn	0100nnnn00010001	$Rn \geq 0$ のとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき $1 \rightarrow T$ それ以外のとき $0 \rightarrow T$	1	比較結果	○	○	○
CLIPS.B Rn	0100nnnn10010001	$Rn > (H'0000007F)$ のとき、 $(H'0000007F) \rightarrow Rn, 1 \rightarrow CS$ $Rn < (H'FFFFFF80)$ のとき、 $(H'FFFFFF80) \rightarrow Rn, 1 \rightarrow CS$	1	—			○
CLIPS.W Rn	0100nnnn10010101	$Rn > (H'00007FFF)$ のとき、 $(H'00007FFF) \rightarrow Rn, 1 \rightarrow CS$ $Rn < (H'FFFF8000)$ のとき、 $(H'FFFF8000) \rightarrow Rn, 1 \rightarrow CS$	1	—			○

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) →Rn, 1→CS	1	—			○
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) →Rn, 1→CS	1	—			○
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算(Rn÷Rm)	1	計算結果	○	○	○
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB→Q, Rm の MSB→M, M ^ Q→T	1	計算結果	○	○	○
DIV0U	0000000000011001	0→M/Q/T	1	0	○	○	○
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn÷R0→Rn 32÷32 →32 ビット	36	—			○
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn÷R0→Rn 32÷32 →32 ビット	34	—			○
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn×Rm→MACH, MACL 32×32→64 ビット	2	—	○	○	○
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn×Rm→MACH, MACL 32×32→64 ビット	2	—	○	○	○
DT Rn	0100nnnn00010000	Rn-1→Rn, Rn が 0 のとき 1→T Rn が 0 以外のとき 0→T	1	比較結果	○	○	○
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張→Rn	1	—	○	○	○
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張→Rn	1	—	○	○	○
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張→Rn	1	—	○	○	○
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張→Rn	1	—	○	○	○
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 32×32+64→64 ビット	4	—	○	○	○
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 16×16+64→64 ビット	3	—	○	○	○
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn×Rm→MACL 32×32→32 ビッ ト	2	—	○	○	○
MULR R0, Rn	0100nnnn10000000	R0×Rn→Rn 32×32→32 ビット	2				○
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn×Rm→MACL 16×16→32 ビット	1	—	○	○	○
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn×Rm→MACL 16×16→32 ビット	1	—	○	○	○
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm→Rn	1	—	○	○	○
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T→Rn, ボロー→T	1	ボロー	○	○	○
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm→Rn	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T→Rn, ボロー→T	1	ボロー	○	○	○
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm→Rn, アンダフロー→T	1	オーバ フロー	○	○	○

2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm→Rn	1	—	○	○	○
AND #imm, R0	11001001iiiiiii	R0 & imm→R0	1	—	○	○	○
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm→(R0+GBR)	3	—	○	○	○
NOT Rm, Rn	0110nnnnmmmm0111	~Rm→Rn	1	—	○	○	○
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm→Rn	1	—	○	○	○
OR #imm, R0	11001011iiiiiii	R0 imm→R0	1	—	○	○	○
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm→(R0+GBR)	3	—	○	○	○
TAS.B @Rn	0100nnnn00011011	(Rn)が 0 のとき 1→T, それ以外のとき 0→T, 1→MSB of(Rn)	3	テスト 結果	○	○	○
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1→T, その他 0→T	1	テスト 結果	○	○	○
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が 0 のとき 1→T その他 0→T	1	テスト 結果	○	○	○
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1→T その他 0→T	3	テスト 結果	○	○	○
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm→Rn	1	—	○	○	○
XOR #imm, R0	11001010iiiiiii	R0 ^ imm→R0	1	—	○	○	○
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm→(R0+GBR)	3	—	○	○	○

2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow \text{MSB}$	1	MSB	○	○	○
ROTR Rn	0100nnnn00000101	$\text{LSB} \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB	○	○	○
ROTCR Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
SHAD Rm, Rn	0100nnnnmmmm1100	$Rm \geq 0$ のとき $Rn \leftarrow Rm \rightarrow Rn$ $Rm < 0$ のとき $Rn \gg Rm \rightarrow [\text{MSB} \rightarrow Rn]$	1	—		○	○
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow 0$	1	MSB	○	○	○
SHAR Rn	0100nnnn00100001	$\text{MSB} \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
SHLD Rm, Rn	0100nnnnmmmm1101	$Rm \geq 0$ のとき $Rn \leftarrow Rm \rightarrow Rn$ $Rm < 0$ のとき $Rn \gg Rm \rightarrow [0 \rightarrow Rn]$	1	—		○	○
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow 0$	1	MSB	○	○	○
SHLR Rn	0100nnnn00000001	$0 \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
SHLL2 Rn	0100nnnn00001000	$Rn \ll 2 \rightarrow Rn$	1	—	○	○	○
SHLR2 Rn	0100nnnn00001001	$Rn \gg 2 \rightarrow Rn$	1	—	○	○	○
SHLL8 Rn	0100nnnn00011000	$Rn \ll 8 \rightarrow Rn$	1	—	○	○	○
SHLR8 Rn	0100nnnn00011001	$Rn \gg 8 \rightarrow Rn$	1	—	○	○	○
SHLL16 Rn	0100nnnn00101000	$Rn \ll 16 \rightarrow Rn$	1	—	○	○	○
SHLR16 Rn	0100nnnn00101001	$Rn \gg 16 \rightarrow Rn$	1	—	○	○	○

2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BF label	10001011ddddddd	T=0 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=1 のとき nop	3/1*	—	○	○	○
BF/S label	10001111ddddddd	遅延分岐、T=0 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=1 のとき nop	2/1*	—	○	○	○
BT label	10001001ddddddd	T=1 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=0 のとき nop	3/1*	—	○	○	○
BT/S label	10001101ddddddd	遅延分岐、T=1 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=0 のとき nop	2/1*	—	○	○	○
BRA label	1010ddddddddddd	遅延分岐、 $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
BRAF Rm	0000mmmm00100011	遅延分岐、 $\text{Rm} + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
BSR label	1011ddddddddddd	遅延分岐、 $\text{PC} \rightarrow \text{PR}$, $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
BSRF Rm	0000mmmm00000011	遅延分岐、 $\text{PC} \rightarrow \text{PR}$, $\text{Rm} + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
JMP @Rm	0100mmmm00101011	遅延分岐、 $\text{Rm} \rightarrow \text{PC}$	2	—	○	○	○
JSR @Rm	0100mmmm00001011	遅延分岐、 $\text{PC} \rightarrow \text{PR}$, $\text{Rm} \rightarrow \text{PC}$	2	—	○	○	○
JSR/N @Rm	0100mmmm01001011	$\text{PC} - 2 \rightarrow \text{PR}$, $\text{Rm} \rightarrow \text{PC}$	3	—			○
JSR/N @@(disp8, TBR)	10000011ddddddd	$\text{PC} - 2 \rightarrow \text{PR}$, $(\text{disp} \times 4 + \text{TBR}) \rightarrow \text{PC}$	5	—			○
RTS	0000000000001011	遅延分岐、 $\text{PR} \rightarrow \text{PC}$	2	—	○	○	○
RTS/N	0000000001101011	$\text{PR} \rightarrow \text{PC}$	3	—			○
RTV/N Rm	0000mmmm01111011	$\text{Rm} \rightarrow \text{R0}$, $\text{PR} \rightarrow \text{PC}$	3	—			○

【注】 * 分岐しないときは 1 ステートになります。

2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLRT	0000000000001000	0→T	1	0	○	○	○
CLRMACH	0000000000101000	0→MACH, MACL	1	—	○	○	○
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) → R0	6	—			○
LDC Rm, SR	0100mmmm00001110	Rm→SR	3	LSB	○	○	○
LDC Rm, TBR	0100mmmm01001010	Rm→TBR	1	—			○
LDC Rm, GBR	0100mmmm00011110	Rm→GBR	1	—	○	○	○
LDC Rm, VBR	0100mmmm00101110	Rm→VBR	1	—	○	○	○
LDC.L @Rm+, SR	0100mmmm00000111	(Rm)→SR, Rm+4→Rm	5	LSB	○	○	○
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm)→GBR, Rm+4→Rm	1	—	○	○	○
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm)→VBR, Rm+4→Rm	1	—	○	○	○
LDS Rm, MACH	0100mmmm00001010	Rm→MACH	1	—	○	○	○
LDS Rm, MACL	0100mmmm00010101	Rm→MACL	1	—	○	○	○
LDS Rm, PR	0100mmmm00101010	Rm→PR	1	—	○	○	○
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm)→MACH, Rm+4→Rm	1	—	○	○	○
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm)→MACL, Rm+4→Rm	1	—	○	○	○
LDS.L @Rm+, PR	0100mmmm00100110	(Rm)→PR, Rm+4→Rm	1	—	○	○	○
NOP	0000000000001001	無操作	1	—	○	○	○
RESBANK	0000000001011011	バンク→R0~R14, GBR, MACH, MACL, PR	9*	—			○
RTE	0000000000101011	遅延分岐、スタック領域→PC/SR	6	—	○	○	○
SETT	0000000000011000	1→T	1	1	○	○	○
SLEEP	0000000000011011	スリープ	5	—	○	○	○
STBANK R0, @Rn	0100nnnn11100001	R0→(指定レジスタバンクエントリ)	7	—			○
STC SR, Rn	0000nnnn00000010	SR→Rn	2	—	○	○	○
STC TBR, Rn	0000nnnn01001010	TBR→Rn	1	—			○
STC GBR, Rn	0000nnnn00010010	GBR→Rn	1	—	○	○	○
STC VBR, Rn	0000nnnn00100010	VBR→Rn	1	—	○	○	○
STC.L SR, @- Rn	0100nnnn00000011	Rn-4→Rn, SR→(Rn)	2	—	○	○	○
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4→Rn, GBR→(Rn)	1	—	○	○	○
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4→Rn, VBR→(Rn)	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH→Rn	1	—	○	○	○
STS MACL, Rn	0000nnnn00011010	MACL→Rn	1	—	○	○	○
STS PR, Rn	0000nnnn00101010	PR→Rn	1	—	○	○	○
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4→Rn, MACH→(Rn)	1	—	○	○	○
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4→Rn, MACL→(Rn)	1	—	○	○	○
STS.L PR, @-Rn	0100nnnn00100010	Rn-4→Rn, PR→(Rn)	1	—	○	○	○
TRAPA #imm	11000011iiiiiiii	PC/SR→スタック領域、 (imm×4+VBR)→PC	5	—	○	○	○

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリレジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバーフロー時は、ステート数が 19 です。

2.4.8 浮動小数点演算命令

表 2.17 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	FRn →FRn	1	—	○	○	○
FABS DRn	1111nnnn001011101	DRn →DRn	1	—		○	○
FADD FRm, FRn	1111nnnnnnmmmm0000	FRn+FRm→FRn	1	—	○	○	○
FADD DRm, DRn	1111nnnn0mmmm00000	DRn+DRm→DRn	6	—		○	○
FCMP/EQ FRm, FRn	1111nnnnnnmmmm0100	(FRn=FRm)? 1:0→T	1	比較結果	○	○	○
FCMP/EQ DRm, DRn	1111nnnn0mmmm00100	(DRn=DRm)? 1:0→T	2	比較結果		○	○
FCMP/GT FRm, FRn	1111nnnnnnmmmm0101	(FRn>FRm)? 1:0→T	1	比較結果	○	○	○
FCMP/GT DRm, DRn	1111nnnn0mmmm00101	(DRn>DRm)? 1:0→T	2	比較結果		○	○
FCNVDS DRm, FPUL	1111mmmm010111101	(float)DRm→FPUL	2	—		○	○
FCNVSD FPUL, DRn	1111nnnn010101101	(double)FPUL→DRn	2	—		○	○
FDIV FRm, FRn	1111nnnnnnmmmm0011	FRn/FRm→FRn	10	—	○	○	○
FDIV DRm, DRn	1111nnnn0mmmm00011	DRn/DRm→DRn	23	—		○	○
FLDI0 FRn	1111nnnn10001101	0×00000000→FRn	1	—	○	○	○
FLDI1 FRn	1111nnnn10011101	0×3F800000→FRn	1	—	○	○	○
FLDS FRm, FPUL	1111mmmm00011101	FRm→FPUL	1	—	○	○	○
FLOAT FPUL, FRn	1111nnnn010101101	(float)FPUL→FRn	1	—	○	○	○
FLOAT FPUL, DRn	1111nnnn000101101	(double)FPUL→DRn	2	—		○	○
FMAC FR0, FRm, FRn	1111nnnnnnmmmm1110	FR0×FRm+FRn→FRn	1	—	○	○	○
FMOV FRm, FRn	1111nnnnnnmmmm1100	FRm→FRn	1	—	○	○	○
FMOV DRm, DRn	1111nnnn0mmmm01100	DRm→DRn	2	—		○	○
FMOV.S @(R0, Rm), FRn	1111nnnnnnmmmm0110	(R0+Rm)→FRn	1	—	○	○	○
FMOV.D @(R0, Rm), DRn	1111nnnn0mmmm0110	(R0+Rm)→DRn	2	—		○	○
FMOV.S @Rm+, FRn	1111nnnnnnmmmm1001	(Rm)→FRn, Rm+=4	1	—	○	○	○
FMOV.D @Rm+, DRn	1111nnnn0mmmm1001	(Rm)→DRn, Rm+=8	2	—		○	○
FMOV.S @Rm, FRn	1111nnnnnnmmmm1000	(Rm)→FRn	1	—	○	○	○
FMOV.D @Rm, DRn	1111nnnn0mmmm1000	(Rm)→DRn	2	—		○	○
FMOV.S @(disp12, Rm), FRn	0011nnnnnnmmmm0001 0111ddddddddddd	(disp×4+Rm)→FRn	1	—			○
FMOV.D @(disp12, Rm), DRn	0011nnnn0mmmm0001 0111ddddddddddd	(disp×8+Rm)→DRn	2	—			○
FMOV.S FRm, @(R0, Rn)	1111nnnnnnmmmm0111	FRm→(R0+Rn)	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm00111	DRm→(R0+Rn)	2	—		○	○
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn=4, FRm→(Rn)	1	—	○	○	○
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn=8, DRm→(Rn)	2	—		○	○
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm→(Rn)	1	—	○	○	○
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm→(Rn)	2	—		○	○
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm→(disp × 4+Rn)	1	—			○
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm00001 0011ddddddddddd	DRm→(disp × 8+Rn)	2	—			○
FMUL FRm, FRn	1111nnnnmmmm0010	FRn × FRm→FRn	1	—	○	○	○
FMUL DRm, DRn	1111nnnn0mmmm00010	DRn × DRm→DRn	6	—		○	○
FNEG FRn	1111nnnn01001101	-FRn→FRn	1	—	○	○	○
FNEG DRn	1111nnnn001001101	-DRn→DRn	1	—		○	○
FSCHG	1111001111111101	FPSCR.SZ=~FPSCR.SZ	1	—		○	○
FSQRT FRn	1111nnnn01101101	√FRn→FRn	9	—		○	○
FSQRT DRn	1111nnnn001101101	√DRn→DRn	22	—		○	○
FSTS FPUL,FRn	1111nnnn00001101	FPUL→FRn	1	—	○	○	○
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm→FRn	1	—	○	○	○
FSUB DRm, DRn	1111nnnn0mmmm00001	DRn-DRm→DRn	6	—		○	○
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm→FPUL	1	—	○	○	○
FTRC DRm, FPUL	1111mmmm000111101	(long)DRm→FPUL	2	—		○	○

2.4.9 FPU に関する CPU 命令

表 2.18 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm→FPSCR	1	—	○	○	○
LDS Rm,FPUL	0100mmmm01011010	Rm→FPUL	1	—	○	○	○
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm)→FPSCR, Rm+=4	1	—	○	○	○
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm)→FPUL, Rm+=4	1	—	○	○	○
STS FPSCR, Rn	0000nnnn01101010	FPSCR→Rn	1	—	○	○	○
STS FPUL, Rn	0000nnnn01011010	FPUL→Rn	1	—	○	○	○
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4, FPSCR→(Rn)	1	—	○	○	○
STS.L FPUL, @-Rn	0100nnnn01010010	Rn-=4, FPUL→(Rn)	1	—	○	○	○

2.4.10 ビット操作命令

表 2.19 ビット操作命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T → T	3	演算結果			○
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T → T	3	演算結果			○
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0→ (imm of (disp+ Rn))	3	—			○
BCLR #imm3, Rn	10000110nnnn0iii	0→ imm of Rn	1	—			○
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) → T	3	演算結果			○
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn →T	1	演算結果			○
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) → T	3	演算結果			○
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T → T	3	演算結果			○
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T → T	3	演算結果			○
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1→ (imm of (disp+Rn))	3	—			○
BSET #imm3, Rn	10000110nnnn1iii	1→ imm of Rn	1	—			○
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T→(imm of (disp+Rn))	3	—			○
BST #imm3, Rn	10000111nnnn0iii	T→ imm of Rn	1	—			○
BXOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T → T	3	演算結果			○

2.5 処理状態

CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の 4 種類があります。状態間の遷移を図 2.6 に示します。

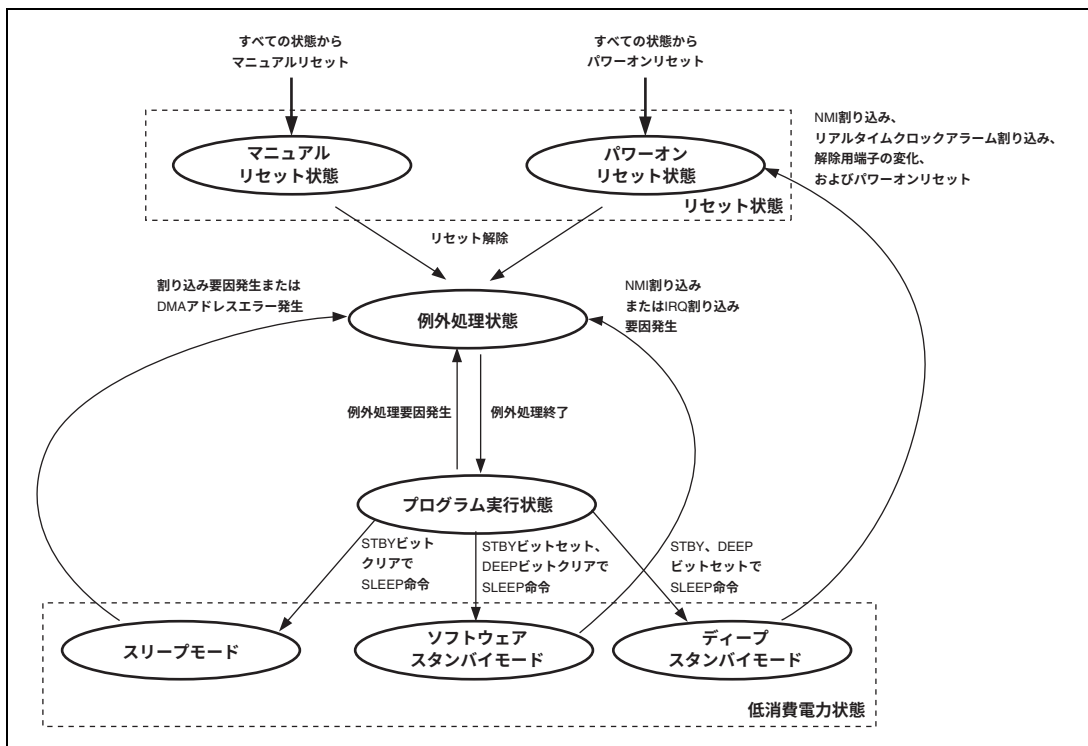


図 2.6 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるとときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ（PC）の初期値としての実行開始アドレスとスタックポインタ（SP）の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ（SR）をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、ソフトウェアスタンバイモード、またはディープスタンバイモードになります。

3. 浮動小数点ユニット (FPU)

3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 16本の単精度浮動小数点レジスタ（8本の倍精度レジスタとしても参照できます）
- 2つの丸めモード：近傍および0方向への丸め
- 非正規化数処理モード：0へのフラッシュ
- 5つの例外要因：
無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、システム制御

3.2 データフォーマット

3.2.1 浮動小数点フォーマット

浮動小数点は次の 3 つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

本 LSI は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

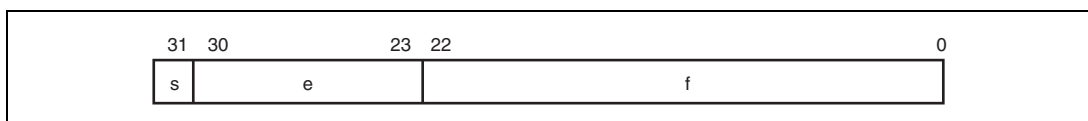


図 3.1 単精度浮動小数点フォーマット

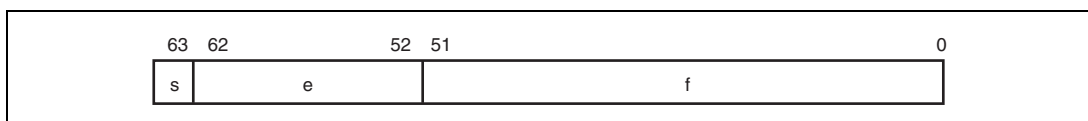


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ までです。 $E_{\min}-1$ と $E_{\max}+1$ の 2 つの値は次のように区別します。 $E_{\min}-1$ は 0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$ は正または負の無限大または非数 (NaN) を表します。**表 3.1** に $E_{\min}$ と $E_{\max}$ の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
$E_{\max}$	+127	+1023
$E_{\min}$	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{\max} + 1$ かつ $f \neq 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

$E_{\min} \leq E \leq E_{\max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{\min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{\min}} (0.f)$ 「非正規化数」です。

$E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF~H'7FC0 0000	H'7FFF FFFF FFFF FFFF~H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF~H'7F80 0001	H'7FF7 FFFF FFFF FFFF~H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF~H'0080 0000	H'7FEF FFFF FFFF FFFF~H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF~H'0000 0001	H'000F FFFF FFFF FFFF~H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001~H'807F FFFF	H'8000 0000 0000 0001~H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000~H'FF7F FFFF	H'8010 0000 0000 0000~H'FFE7 FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001~H'FFBF FFFF	H'FFF0 0000 0000 0001~H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000~H'FFFF FFFF	H'FFF8 0000 0000 0000~H'FFFF FFFF FFFF FFFF

3.2.2 非数 (NaN)

図 3.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : Don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

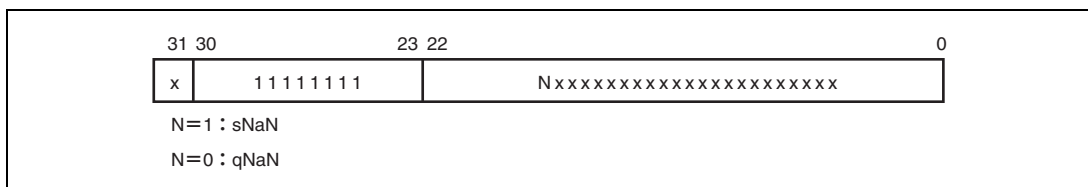


図 3.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCRのEN.Vビットが0の場合、演算結果（出力）はqNaNです。
- FPSCRのEN.Vビットが1の場合、無効演算例外によるFPU例外処理が発生します。この場合、演算のデステイネーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR の EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBF FFFF
- 倍精度qNaN : H'7FF7 FFFF FFFF FFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

3.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

SH2A-FPU ではステータスレジスタ FPSCR の DN ビットが常に 1 のため、非正規化数（ソースオペランドまたは演算結果）は、（コピー、FNEG、FABS 以外の演算の）値を生成する浮動小数点演算で常に 0 にフラッシュされます。

非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

3.3 レジスタの説明

3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。16 本の 32 ビット浮動小数点レジスタ FPR0～FPR15 があります。この 16 本のレジスタは FR0～FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPRn と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 3.4 を参照してください。

1. 浮動小数点レジスタ : FPRi (16レジスタ)

FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,

FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15

2. 単精度浮動小数点レジスタ : FRi (16レジスタ)

FR0～FR15 は FPR0～FPR15に割り当てられます。

3. 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8レジスタ)

DRレジスタは2つのFRレジスタから構成されます。

DR0={FR0, FR1}、DR2={FR2, FR3}、DR4={FR4, FR5}、DR6={FR6, FR7}、

DR8={FR8, FR9}、DR10={FR10, FR11}、DR12={FR12, FR13}、DR14={FR14, FR15}

参照名		レジスタ名
転送命令の場合: FPSCR.SZ=0		FPSCR.SZ=1
演算命令の場合: FPSCR.PR=0		FPSCR.PR=1
FR0	DR0 {	FPR0
FR1		FPR1
FR2	DR2 {	FPR2
FR3		FPR3
FR4	DR4 {	FPR4
FR5		FPR5
FR6	DR6 {	FPR6
FR7		FPR7
FR8	DR8 {	FPR8
FR9		FPR9
FR10	DR10 {	FPR10
FR11		FPR11
FR12	DR12 {	FPR12
FR13		FPR13
FR14	DR14 {	FPR14
FR15		FPR15

図 3.4 浮動小数点レジスタ

3.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの使用方法を選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	QIS	-	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag						RM1	RM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	非数処理モード 0: qNaN あるいは $\pm\infty$ をそのまま処理します。 1: qNaN あるいは $\pm\infty$ を sNaN と同様に扱います (FPSCR のイネーブル V=1 のときのみ有効です)。
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します。
18	DN	1	R	非正規化モード (SH2A-FPU では常に 1 固定です) 1: 非正規化数を 0 として扱います。
17~12	Cause	H'00	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。
11~7	Enable	H'00	R/W	
6~2	Flag	H'00	R/W	

ビット	ビット名	初期値	R/W	説 明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ 11 : リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH2A-FPU では FPU エラーは発生しません。

3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 → (LDS 命令) → FPUL → (単精度 FLOAT 命令) → FR1

3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0]=00 : 近傍への丸め

FPSCR.RM[1:0]=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{\max}(2-2^p)}$ 以上であれば丸め前と同じ符号の無限となります。ここで $E_{\max}$ 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

3.5 FPU 例外

3.5.1 FPU 例外要因

FPU 例外は浮動小数点演算命令で発生する可能性があり、その要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

3.5.2 FPU 例外処理

FPU 例外処理は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ無効演算の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

浮動小数点演算による各例外処理の可能性については各命令の説明で示します。浮動小数点演算に起因するすべての例外事象は、同一の FPU 例外処理事象として割り付けられています。浮動小数点演算によって発生した例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、FPU 例外処理が発生した場合は、デスティネーションレジスタは変更されません。

上記以外は V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果としてqNaNを生成します。
- 0による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。

- オーバフロー (O) :
 - 0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
 - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) : 丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

4. ブートモード

本 LSI は、CS0 空間に接続されたメモリ、およびシリアルフラッシュメモリからブートすることが可能です。

4.1 特長

- 2つのブートモード

ブートモード0 : CS0空間に接続されたメモリからブートします。

ブートモード1 : シリアルフラッシュメモリからブートします。

4.2 ブートモードと端子機能設定

本 LSI は、 $\overline{\text{RES}} = \text{L}$ の状態の時に外部端子を用いてブートモードを決定することができます。ブートモードを決定する外部端子設定を表 4.1 に示します。

表 4.1 外部端子 (MD_BOOT) 設定とブートモードの関係

MD_BOOT	ブートモード
0	ブートモード 0 CS0 空間に接続されたメモリからブートします。
1	ブートモード 1 ルネサスシリアルペリフェラルインタフェースのチャンネル 0 (PF3~0) に接続されたシリアルフラッシュメモリからブートします。ルネサスシリアルペリフェラルインタフェースのチャンネル 0 (PB18~15) からはブートできません。

4.3 動作説明

4.3.1 ブートモード 0

ブートモード 0 は、CS0 空間に接続されたメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、CS0 空間に接続されたメモリに置かれている例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値 (実行開始アドレス) およびスタックポインタ (SP) の初期値を取り出し、プログラムの実行を開始します。

4.3.2 ブートモード 1

ブートモード 1 は、ルネサスシリアルペリフェラルインタフェースのチャンネル 0 に接続されたシリアルフラッシュメモリからブートします。ブートモード 1 の起動フローは下記ようになります。

(1) ブート起動用内蔵 ROM プログラムの実行

パワーオンリセット解除後、CPU はブート起動用内蔵 ROM (非公開) に入っているプログラムを実行します。

(2) ロードプログラムの転送

ルネサスシリアルペリフェラルインタフェースのチャンネル 0 に接続されたシリアルフラッシュメモリの先頭番地から高速内蔵 RAM の先頭番地にロードプログラム 8KB を転送します。

バスクロック (B ϕ) の 1/4 の速度で通信を行います。

ロードプログラム転送終了後、CPU は転送したロードプログラムの実行を開始するために、高速内蔵 RAM ヘジャンプします。

(3) アプリケーションプログラムの転送 (任意)

ロードプログラム中で、展開したいデータをルネサスシリアルペリフェラルインタフェースを使用して、シリアルフラッシュメモリから内蔵 RAM もしくは外部 RAM ヘデータをロードします。

図 4.1 にブートモード 1 の仕様概略図を示します。

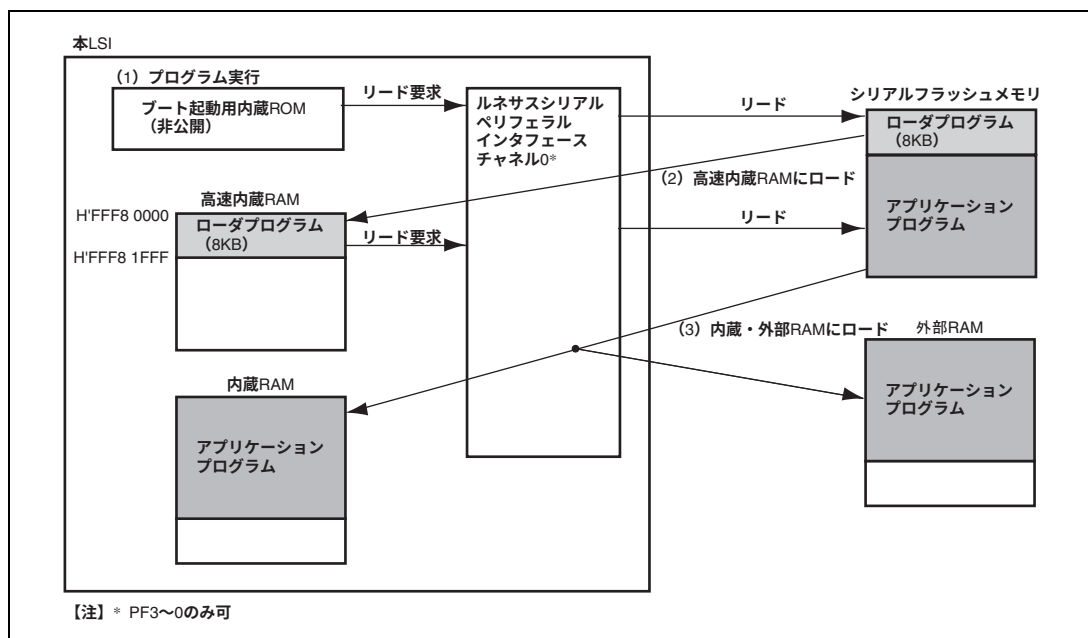


図 4.1 ブートモード 1 の仕様概略図

4.4 注意事項

4.4.1 ブート関連端子

ブートモードにより、CS0 空間のメモリリード、ルネサスシリアルペリフェラルインタフェースのチャネル 0 に関連する端子の初期状態、ディープスタンバイ時の端子出力状態などが異なります。

詳細については、それぞれ「第 10 章 バスステートコントローラ」、「第 31 章 汎用入出力ポート」、「第 32 章 低消費電力モード」の章を参照してください。

5. クロックパルス発振器

本 LSI は、クロックパルス発振器を内蔵しており、CPU クロック ($I\phi$)、周辺クロック ($P\phi$)、およびバスクロック ($B\phi$) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

5.1 特長

- 2種類のクロック動作モード

使用する周波数範囲によって、2種類のクロック動作モードから選択できます。

- 3種類のクロック

CPU、キャッシュで使用するCPUクロック ($I\phi$)、周辺モジュールで使用する周辺クロック ($P\phi$)、さらに外部バスインタフェースで使用するバスクロック ($B\phi = CKIO$) を独立に生成できます。

- 周波数変更機能

本モジュール内部のPLL (Phase Locked Loop) 回路や分周回路により、CPUクロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第32章 低消費電力モード」を参照してください。

図 5.1 にブロック図を示します。

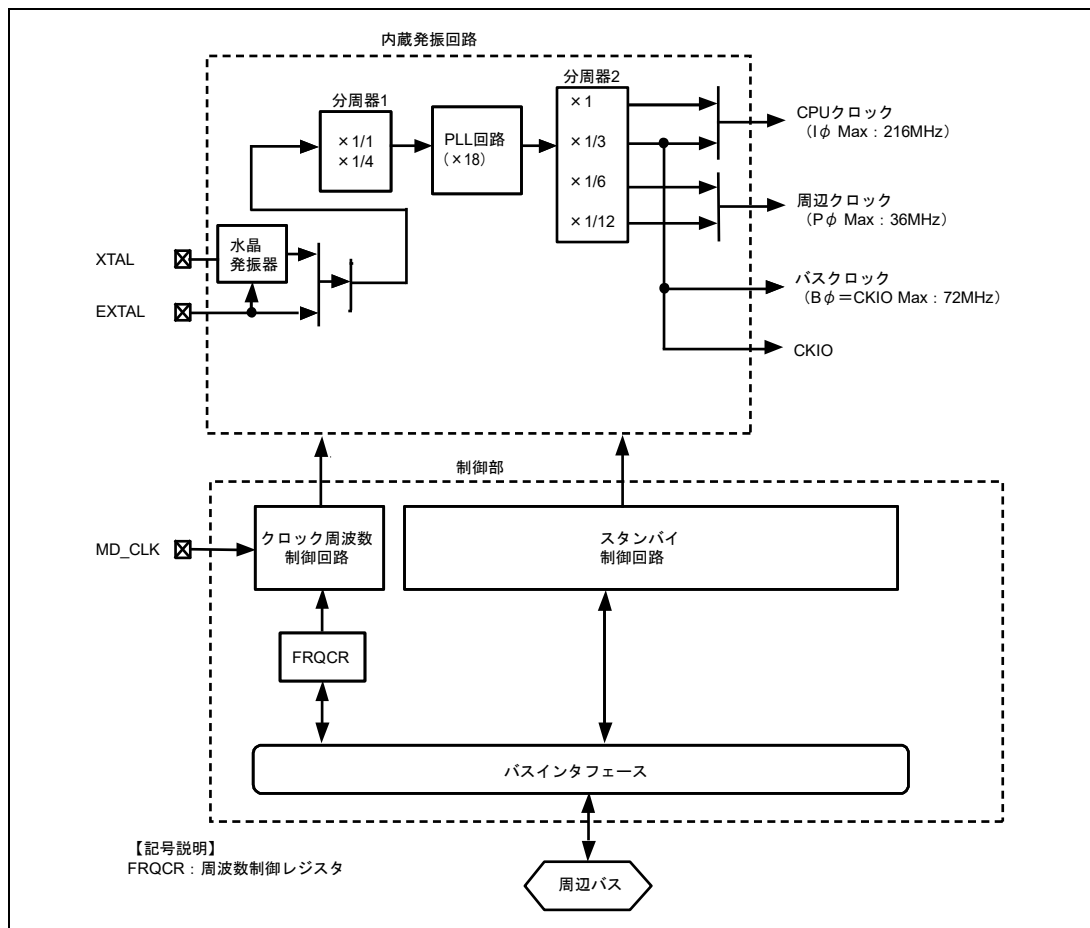


図 5.1 ブロック図

本モジュールの各ブロックは、次のように機能します。

(1) 水晶発振器

水晶発振器は、XTAL、EXTAL 端子に水晶発振子を接続する場合に使用されます。

(2) 分周器 1

分周器 1 は、水晶発振器の出力または外部クロック入力を分周する機能を持ちます。分周率は、クロック動作モードにより決まります。

(3) PLL 回路

PLL 回路は、分周器 1 の出力を逡倍する機能を持ちます。逡倍率は、クロック動作モードにより決まります。

(4) 分周器 2

分周器 2 は、CPU クロック、周辺クロック、およびバスクロックで使用する動作周波数のクロックを生成する機能を持ちます。CPU クロックと周辺クロックの分周率は、周波数制御レジスタで設定します。バスクロックの分周率は固定です。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD_CLK 端子、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやソフトウェアスタンバイモードおよびデュープスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

さらに、他のモジュールの低消費電力モードを制御するスタンバイコントロールレジスタがあります。スタンバイコントロールレジスタについては、「第 32 章 低消費電力モード」を参照してください。

(7) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、CPU クロック、および周辺クロック (Pφ) の周波数分周率の各制御ビットが割り当てられています。

5.2 入出力端子

表 5.1 に端子構成と機能を示します。

表 5.1 端子構成と機能

名称	端子名	入出力	機能
モード制御端子	MD_CLK	入力	クロック動作モードを設定します。
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。
クロック出力端子	CKIO	出力	クロック出力端子になります。

5.3 クロック動作モード

モード制御端子（MD_CLK）とクロック動作モードの関係を表 5.2 に示します。

クロック動作モードの使用可能周波数範囲を表 5.3 に示します。

表 5.2 クロック動作モード

モード	端子	クロック入出力		分周器 1	PLL 回路	CKIO の周波数
	MD_CLK	供給源	出力			
0	0	EXTAL／水晶発振子	CKIO	1	ON（×18）	（EXTAL／水晶）×6
1	1	EXTAL／水晶発振子	CKIO	1/4	ON（×18）	（EXTAL／水晶）×3/2

- モード0

モード0ではEXTAL端子または水晶発振器からクロックを入力します。PLL回路で波形形成および周波数通倍を行い、本LSIに供給します。EXTAL端子入力および水晶発振子ともに発振周波数が10MHzから12MHzまでのものを使用でき、CKIOの周波数レンジは60MHzから72MHzとなります。

- モード1

モード1ではEXTAL端子または水晶発振器からクロックを入力します。PLL回路で波形形成および周波数通倍を行い、本LSIに供給します。EXTAL端子入力および水晶発振子ともに発振周波数が48MHzのものを使用でき、CKIOの周波数は72MHzとなります。

表 5.3 クロック動作モードと設定可能な周波数範囲

クロック 動作 モード	FRQCR レジスタ 設定値 *1	PLL 通倍率	内部 クロック比 (I : B : P) *2	設定可能な周波数範囲 (MHz)				
				入力クロック *3	出力クロック (CKIO 端子)	CPU クロック (I φ)	バスクロック (B φ)	周辺クロック (P φ)
0	H'x004	ON (×18)	18 : 6 : 3	10~12	60~72	180~216	60~72	30~36
	H'x006	ON (×18)	18 : 6 : 3/2	10~12	60~72	180~216	60~72	15~18
	H'x024	ON (×18)	6 : 6 : 3	10~12	60~72	60~72	60~72	30~36
	H'x026	ON (×18)	6 : 6 : 3/2	10~12	60~72	60~72	60~72	15~18
1	H'x004	ON (×18)	9/2 : 3/2 : 3/4	48	72	216	72	36
	H'x006	ON (×18)	9/2 : 3/2 : 3/8	48	72	216	72	18
	H'x024	ON (×18)	3/2 : 3/2 : 3/4	48	72	72	72	36
	H'x026	ON (×18)	3/2 : 3/2 : 3/8	48	72	72	72	18

【注】 *1 FRQCR レジスタ設定値の x は、ビット 14、12、13 の設定値によります。

*2 入力クロック周波数を 1 としたときのクロック比です。

*3 EXTAL 端子からのクロック入力または水晶発振子の周波数です。

【注意事項】

表 5.3 以外の周波数設定で本 LSI を使用しないでください。

5.4 レジスタの説明

レジスタ構成を表 5.4 に示します。

表 5.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'0024	H'FFFE0010	16

5.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し／書き込み可能な 16 ビットのレジスタで、通常時、XTAL 用水晶発振器のゲイン変更時、ソフトウェアスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、CPU クロック、および周辺クロック (P ϕ) の周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	CKO EN2	CKOEN[1:0]		-	-	-	-	-	-	IFC	-	-	PFC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CKOEN2	0	RW	クロック出力イネーブル 2 CKOEN2 は、XTAL 水晶発振器のゲイン変更時に CKIO 端子からクロックを出力するか CKIO 端子をローレベル固定するかを指定します。 1 を設定した場合は、XTAL 水晶発振器のゲイン変更時の間、CKIO 端子がローレベルに固定されます。これにより XTAL 水晶発振器のゲイン変更時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。 0 : 不安定なクロックを出力 1 : ローレベル出力
13、12	CKOEN[1:0]	00	R/W	クロック出力イネーブル CKOEN[1:0]は、通常時、スタンバイモード時、およびスタンバイ解除時に CKIO 端子からクロックを出力するか、CKIO 端子をレベル固定するか、ハインピーダンス状態 (Hi-Z) にするかを指定します。 01 を設定した場合は、ソフトウェアスタンバイモード時およびソフトウェアスタンバイ解除時の間、CKIO 端子がローレベルに固定されます。これにより、ソフトウェアスタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。 表 5.5 に CKOEN[1:0]ビットの設定内容を示します。
11～6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
5	IFC	1	R/W	CPU クロック周波数の分周率 PLL 回路の出力周波数に対しての CPU クロック周波数の分周率を指定します。 0 : ×1 倍 1 : ×1/3 倍
4~3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PFC[2:0]	100	R/W	周辺クロック周波数の分周率 PLL 回路の出力周波数に対しての周辺クロック周波数の分周率を指定します。 000 : 予約 (設定禁止) 001 : 予約 (設定禁止) 010 : 予約 (設定禁止) 011 : 予約 (設定禁止) 100 : ×1/6 倍 101 : 予約 (設定禁止) 110 : ×1/12 倍 111 : 予約 (設定禁止)

表 5.5 CKOEN[1:0]ビットの設定内容

設定値	通常時	ソフトウェアスタンバイモード時	ディープスタンバイモード時*
00	出力	出力オフ (Hi-Z)	出力オフ (Hi-Z)
01	出力	ローレベル出力	ローレベル出力
10	出力	出力 (不安定なクロック出力)	ローレベル出力またはハイレベル出力
11	出力オフ (Hi-Z)	出力オフ (Hi-Z)	出力オフ (Hi-Z)

【注】* ただし、ディープスタンバイ解除時、出力される CKIO クロックの先頭が欠ける場合があります。

5.5 周波数変更方法

CPU クロック ($I\phi$) および周辺クロック ($P\phi$) の周波数を変更するには、分周器の分周率を変えます。分周率の変更は、周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。

5.5.1 分周率の変更

分周率を変更する手順は、以下の方法です。

1. 初期状態では、 $IFC=B'1$ 、 $PFC[2:0]=B'100$ になっています。
2. IFC 、 $PFC[2:0]$ ビットを目的とする値に設定します。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタの各ビット (IFC 、 $PFC[2:0]$) が設定されると、設定されたクロックに切り替わります。

【注】 周波数変更後 SLEEP 命令を実行する場合、周波数制御レジスタ (FRQCR) を 3 回リードしてから SLEEP 命令を実行してください。

5.6 クロック端子の使用方法

本 LSI には、水晶発振子を接続またはクロック入力可能な端子として、表 5.6 に示す端子があります。

これらの端子に関して、以下のことに注意してください。なお、本文中の Xin 端子と Xout 端子は表 5.6 の端子を示します。

表 5.6 クロック端子

Xin 端子 (水晶発振子を接続または外部クロック入力端子として使用する)	Xout 端子 (水晶発振子を接続する)
EXTAL	XTAL
AUDIO_X1	AUDIO_X2
RTC_X1	RTC_X2

5.6.1 外部クロック入力時

外部クロック入力の接続例を図 5.2 に示します。Xout 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

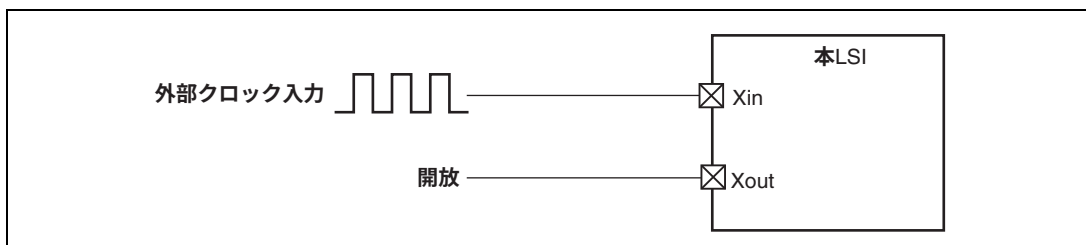


図 5.2 外部クロックの接続例

5.6.2 水晶発振子使用時

水晶発振子の接続例を図 5.3 に示します。

水晶発振子と容量 CL1、CL2 は、できるだけ Xin 端子と Xout 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する水晶発振子の接続例を参考に、ユーザ側での十分な評価を実施して使用してください。水晶発振子の回路定格は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカーと十分ご相談の上決定してください。クロック端子に印加される電圧が最大定格を超えないようにしてください。帰還抵抗を内蔵しておりますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。ユーザ側で十分な評価を実施して、パラメータ（抵抗、容量値）を設定してください。

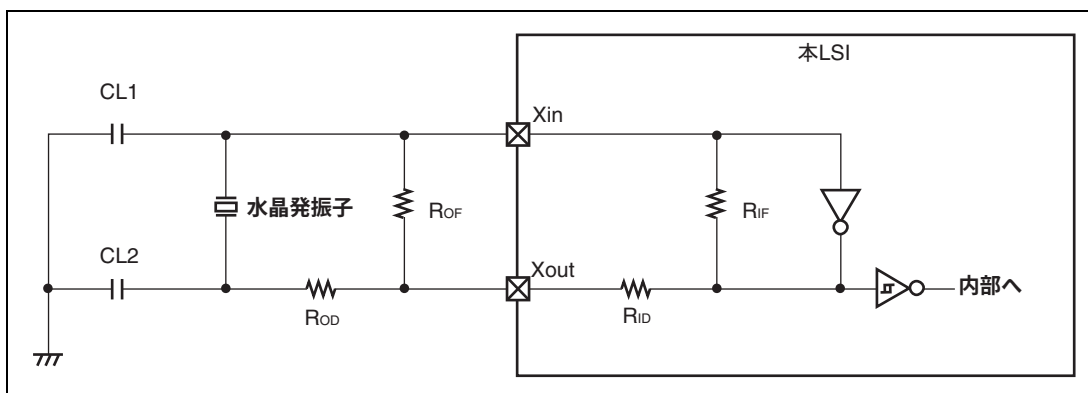


図 5.3 水晶発振子の接続例

5.6.3 未使用時

未使用時は、Xin 端子は固定（プルアップ／プルダウン／電源接続／グランド接続）、Xout 端子は開放にしてください。

5.7 発振安定時間

5.7.1 内蔵水晶発振器の発振安定時間

内蔵水晶発振器の発振安定時間確保のため、水晶発振子使用時は以下の場合は発振安定時間以上待つようにしてください（外部クロック入力時は必要ありません）。

- 電源投入時
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子で解除するとき
- パワーオンリセットまたはレジスタ設定により、発振停止から発振動作へ変化するとき（AUDIO_X1、RTC_X1）
- $\overline{\text{RES}}$ 端子によるパワーオンリセットにより、水晶発振器のゲインが変化するとき（EXTAL）

5.7.2 PLL 回路の発振安定時間

クロックモード0、1ではEXTALからの入力が、PLLに供給されます。このため、EXTALに水晶発振子を使用するか外部クロック入力するかにかかわらず、PLL回路の発振安定時間確保のため、以下の場合は発振安定時間以上待つようにしてください。

- 電源投入時（水晶発振子使用時）／外部クロック入力開始時（外部クロック入力時）
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子で解除するとき

【備考】

以下の場合は本LSI内部のカウンタが動作することで発振安定時間が確保されます。

- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子以外で解除するとき
- レジスタ設定により、水晶発振器のゲインを変更するとき（EXTAL）

5.8 ボード設計上の注意事項

5.8.1 PLL 発振回路使用時の注意

PLL 用 PLLVcc と Vss の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

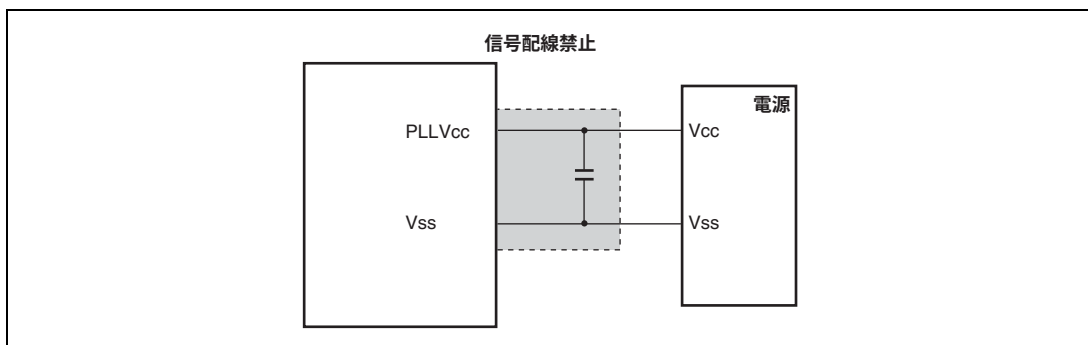


図 5.4 PLL 発振回路使用時の注意

6. 例外处理

6.1 概要

6.1.1 例外処理の種類と優先順位

例外処理は、表 6.1 に示すようにリセット、アドレスエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 6.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 6.1 例外要因の種類と優先順位

種類	例外処理	優先順位
リセット	パワーオンリセット	高 ↑ ↓ 低
	マニュアルリセット	
アドレスエラー	CPU アドレスエラー	
	DMA アドレスエラー	
命令	FPU 例外	
	整数除算例外 (0 除算)	
	整数除算例外 (オーバフロー)	
レジスタバンクエラー	バンクアンダフロー	
	バンクオーバフロー	
割り込み	NMI	
	ユーザブレイク	
	ユーザデバッグインタフェース	
	IRQ	
	PINT	
命令	トラップ命令 (TRAPA 命令)	
	一般不当命令 (未定義コード) スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令* ² 、32 ビット命令* ³ 、RESBANK 命令、DIVS 命令または DIVU 命令)	

【注】 *1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAf

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAF、JSR/N、RTV/N

*3 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、
BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

6.1.2 例外処理の動作

各例外要因は表 6.2 に示すタイミングで検出され、処理が開始されます。

表 6.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES端子のローレベルからハイレベルへの変化、ユーザデバッグインタフェースリセットアサートコマンドをセットした後にユーザデバッグインタフェースリセットネゲートコマンドのセット、またはウォッチドッグタイマのオーバフローで開始されます。
	マニュアルリセット	ウォッチドッグタイマのオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようすると開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定（割り込みコントローラの IBNR の BOVE ビット=1）されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後（遅延スロット）以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）がデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算例外	ゼロによる除算例外、または負の最大値（H'80000000）を-1 で除算することによるオーバフロー例外が検出されると開始されます。
	FPU 例外	浮動小数点演算命令の無効演算例外（IEEE754 規定）、ゼロによる除算例外、オーバフロー、アンダフロー、または不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN または±∞を浮動小数点演算命令のソースに入力すると開始されます。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「6.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ (割り込みコントローラ) の IBNR の BN ビットを 0 に初期化します。さらにパワーオンリセット時には、FPSCR を H'00040001 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0～R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットを、レジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けないように設定 (割り込みコントローラの IBNR の BOVE ビット=0) されている必要があります。レジスタバンクオーバフロー例外を受け付けるように設定 (割り込みコントローラの IBNR の BOVE ビット=1) されている場合には、レジスタバンクオーバフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3～I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3～I0 ビットは影響を受けません。次に例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

6.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 6.3 に、ベクタテーブルアドレスの算出法を表 6.4 に示します。

表 6.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000～H'00000003
	SP	1	H'00000004～H'00000007
マニュアルリセット	PC	2	H'00000008～H'0000000B
	SP	3	H'0000000C～H'0000000F
一般不当命令		4	H'00000010～H'00000013
(システム予約)		5	H'00000014～H'00000017
スロット不当命令		6	H'00000018～H'0000001B
(システム予約)		7	H'0000001C～H'0000001F
		8	H'00000020～H'00000023
CPU アドレスエラー		9	H'00000024～H'00000027
DMA アドレスエラー		10	H'00000028～H'0000002B
割り込み	NMI	11	H'0000002C～H'0000002F
	ユーザブレイク	12	H'00000030～H'00000033
FPU 例外		13	H'00000034～H'00000037
ユーザデバッグインタフェース		14	H'00000038～H'0000003B
バンクオーバフロー		15	H'0000003C～H'0000003F
バンクアンダフロー		16	H'00000040～H'00000043
整数除算例外 (0 除算)		17	H'00000044～H'00000047
整数除算例外 (オーバフロー)		18	H'00000048～H'0000004B
(システム予約)		19	H'0000004C～H'0000004F
		:	:
		31	H'0000007C～H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令（ユーザベクタ）	32	H'00000080～H'00000083
	⋮	⋮
	63	H'000000FC～H'000000FF
外部割り込み（IRQ、PINT）、内蔵周辺モジュール*	64	H'00000100～H'00000103
	⋮	⋮
	511	H'000007FC～H'000007FF

【注】 * 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第7章 割り込みコントローラ」の表 7.4 を参照してください。

表 6.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス＝（ベクタテーブルアドレスオフセット） ＝（ベクタ番号）×4
アドレスエラー、レジスタバンクエラー、割り込み、命令	ベクタテーブルアドレス＝VBR＋（ベクタテーブルアドレスオフセット） ＝VBR＋（ベクタ番号）×4

- 【注】 1. ベクタテーブルアドレスオフセット：表 6.3 を参照
2. ベクタ番号：表 6.3 を参照

6.2 リセット

6.2.1 入出力端子

表 6.5 に端子構成を示します。

表 6.5 端子構成

名称	端子名	入出力	機 能
パワーオンリセット	RES	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。

6.2.2 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 6.6 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。FPU 状態はパワーオンリセットでは初期化され、マニュアルリセットでは初期化されません。また、内蔵周辺モジュールのレジスタは一部のレジスタを除き、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 6.6 リセット状態

種類	リセット状態への遷移条件			内部状態				
	RES	ユーザデバッグ インタフェースコマンド	ウォッチ ドッグタイマ オーバフロー	CPU	CPU 以外 のモジュ ール	高速内 蔵 RAM	大容量内蔵 RAM（保持用内 蔵 RAM を除く）	保持用 内蔵 RAM
パワー オン リセッ ト	ロー	—	—	初期化	初期化	初期化 or 保持*2	初期化 or 保持*3	初期化 or 保持 *4、*5
	ハイ	ユーザデバッグインタフ ェースリセットアサート コマンドをセット	—	初期化	初期化	初期化 or 保持*2	初期化 or 保持*3	初期化 or 保持 *4
	ハイ	ユーザデバッグインタフ ェースリセットアサート 以外のコマンドをセット	パワーオン	初期化	*1	初期化 or 保持*2	初期化 or 保持*3	初期化 or 保持 *4
マニ ュ アル リ セッ ト	ハイ	ユーザデバッグインタフ ェースリセットアサート 以外のコマンドをセット	マニュアル	初期化	*1	保持	保持	保持

【注】 *1 「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

*2 RAME ビットまたは RAMWE ビットを無効にすることにより、データを保持し続けます。

*3 VRAME ビットまたは VRAMWE ビットを無効にすることにより、データを保持し続けます。

*4 VRAME、VRAMWE または RRAMWE ビットを無効にすることにより、データを保持し続けます。

*5 ディープスタンバイモードをパワーオンリセットで解除した場合、データを保持することはできません。

6.2.3 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「36.1 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ（PC）の初期値（実行開始アドレス）を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ（SP）の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ（VBR）をH'00000000にクリアし、ステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）をH'F（B'1111）に、BOビットおよびCSビットを0に初期化します。また割り込みコントローラのIBNRのBNビットを0に初期化します。さらに、FPSCRをH'00040001に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) ユーザデバッグインタフェースリセットアサートコマンドによるパワーオンリセット

ユーザデバッグインタフェースリセットアサートコマンドをセットすると、パワーオンリセット状態になります。ユーザデバッグインタフェースリセットアサートコマンドは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。ユーザデバッグインタフェースリセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。ユーザデバッグインタフェースリセットアサートコマンドとユーザデバッグインタフェースリセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。ユーザデバッグインタフェースリセットアサートコマンドによるパワーオンリセット状態で、ユーザデバッグインタフェースリセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) ウォッチドッグタイマによるパワーオンリセット

ウォッチドッグタイマのウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、ウォッチドッグタイマの WTCNT がオーバフローするとパワーオンリセット状態になります。

このとき、ウォッチドッグタイマによるリセット信号ではウォッチドッグタイマの WRCSR、クロックパルス発振器の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、ユーザデバッグインタフェースリセットアサートコマンドによるリセットとウォッチドッグタイマのオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、ユーザデバッグインタフェースリセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。ウォッチドッグタイマによりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

6.2.4 マニュアルリセット

(1) ウォッチドッグタイマによるマニュアルリセット

ウォッチドッグタイマのウォッチドッグタイマモードでマニュアルリセットが発生する設定にしウォッチドッグタイマの WTCNT がオーバフローすると、マニュアルリセット状態になります。

ウォッチドッグタイマによりマニュアルリセット例外処理が開始されたときの CPU は、次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラの IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

(2) マニュアルリセット時の注意事項

マニュアルリセット発生時、バスサイクルは保持されます。ダイレクトメモリアクセスコントローラバースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。マニュアルリセットでは CPU および割り込みコントローラの IBNR の BN ビットを初期化します。FPU やその他のモジュールは初期化されません。

6.3 アドレスエラー

6.3.1 アドレスエラー発生要因

アドレスエラーは、表 6.7 に示すように命令フェッチ、データ読み出し／書き込み時に発生します。

表 6.7 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000～H'F5FFFFFFF 以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000～H'F5FFFFFFF から命令をフェッチ	アドレスエラー発生
データ読み出し／書き込み	CPU または ダイレクトメモリ アクセス コントローラ	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし（正常）
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）

【注】 * 内蔵周辺モジュール空間および内蔵 RAM 空間については、「第 10 章 バスステートコントローラ」を参照してください。

6.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.4 レジスタバンクエラー

6.4.1 レジスタバンクエラー発生要因

(1) バンクオーバーフロー

割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けるように設定（割り込みコントローラの IBNR の BOVE ビット=1）されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

6.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、バンクオーバーフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。
バンクオーバーフロー時は多重割り込みを防止するために、バンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に書き込みます。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5 割り込み

6.5.1 割り込み要因

割り込み例外処理を起動させる要因には、NMI、ユーザブレイク、ユーザデバッグインタフェース、IRQ、PINT、および内蔵周辺モジュールがあります。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第7章 割り込みコントローラ」の表 7.4 を参照してください。

6.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラによって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク、ユーザデバッグインタフェースの優先レベルは 15 です。IRQ 割り込み、PINT 割り込みと内蔵周辺モジュール割り込みの優先レベルは、割り込みコントローラの割り込み優先レベル設定レジスタ 01、02、05～22 (IPR01、IPR02、IPR05～IPR22) で自由に設定することができます（表 6.8）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPR01、IPR02、IPR05～IPR22 については「7.3.1 割り込み優先レベル設定レジスタ 01、02、05～22 (IPR01、IPR02、IPR05～IPR22)」を参照してください。

表 6.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
ユーザデバッグインタフェース	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ 01、02、05～22 (IPR01、IPR02、IPR05～IPR22) により設定
PINT		
内蔵周辺モジュール		

6.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラによって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、ユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0～R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0～14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (割り込みコントローラの IBNR の BOVE ビット=0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (割り込みコントローラの IBNR の BOVE ビット=1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3～I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3～I0 ビットに設定される値は H'F (レベル 15) です。その後、例外処理ベクタテーブルから取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「7.6 動作説明」を参照してください。

6.6 命令による例外

6.6.1 命令による例外の種類

例外処理を起動する命令には、表 6.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、および FPU 例外があります。

表 6.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (−1)	DIVS
FPU 例外	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフロー、および不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

6.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA 命令で指定したベクタ番号に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。さらに、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延スロットに配置された場合、この命令がデコードされるとスロット不当命令例外処理が開始されます。

スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）をデコードすると、一般不当命令例外処理が開始されます。また、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延分岐命令の直後（遅延スロット）以外に配置された場合、この命令がデコードされると一般不当命令例外処理が開始されます。

一般不当命令例外処理時、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

6.6.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバーフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバーフロー例外の要因となる命令は DIVS のみで、負の最大値を-1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算例外に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、例外が発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.6.6 FPU 例外

浮動小数点ステータス／コントロールレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外処理が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバーフロー（可能性のある命令）、アンダフロー（可能性のある命令）、および不正確例外（可能性のある命令）を引き起こしたことを示します。

FPU 例外処理の発生要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当する FPU 例外イネーブルビット (Enable) がセットされているときのみ、FPU 例外処理が発生します。FPU が浮動小数点演算による例外要因を検出すると、FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生したFPU例外処理に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の FPU 例外フラグフィールド (Flag) は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は浮動小数点演算命令が実行されるごとに変化します。

また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN または $\pm\infty$ を浮動小数点演算命令のソースに入力すると FPU 例外処理が発生します。

6.7 例外処理が受け付けられない場合

アドレスエラー、FPU 例外、レジスタバンクエラー (オーバフロー) および割り込みは、表 6.10 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 6.10 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因			
	アドレスエラー	浮動小数点 ユニット例外	レジスタバンクエラー (オーバフロー)	割り込み
遅延分岐命令*の直後	×	×	×	×

【記号説明】 × : 受け付けられない

【注】 * 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFI

6.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 6.11 に示すようになります。

表 6.11 例外処理終了後のスタックの状態

種類	スタックの状態		種類	スタックの状態	
アドレス エラー	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)	割り込み	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)
レジスタ バンク エラー (オーバー フロー)	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)	レジスタ バンク エラー (アンダ フロー)	SP →	当該RESBANK 命令の先頭アドレス (32ビット) SR (32ビット)
トラップ 命令	SP →	TRAPA命令の 次命令アドレス (32ビット) SR (32ビット)	スロット 不当命令	SP →	遅延分岐命令の 飛び先アドレス (32ビット) SR (32ビット)
一般不当 命令	SP →	一般不当命令の 先頭アドレス (32ビット) SR (32ビット)	整数除算 例外	SP →	当該整数除算 命令の先頭アドレス (32ビット) SR (32ビット)
FPU 例外	SP →	実行済命令の 次命令アドレス (32ビット) SR (32ビット)			

6.9 使用上の注意事項

6.9.1 スタックポインタ（SP）の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.9.2 ベクタベースレジスタ（VBR）の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理（割り込みなど）のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル（ライト）は実行されます。SR と PC のスタッキングでは、SP がそれぞれ-4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6.9.4 例外処理実行前の注意事項

例外処理実行前には、あらかじめ例外処理ベクタテーブルをメモリ上に格納し、CPU がそのメモリをアクセス可能にしておく必要があります。そのため、

- 例1：例外処理ベクタテーブルが外部アドレス空間に格納されているが、その外部アドレス空間をアクセスするためのバスステートコントローラや汎用入出力ポートの設定が完了していない状態
- 例2：例外処理ベクタテーブルが内蔵RAMに格納されているが、ベクタベースレジスタ（VBR）が内蔵RAMのアドレスに設定変更されていない状態

などの状態で例外処理が発生すると、CPU はプログラムの実行開始アドレスとして意図しない値を取り出し、意図しないアドレスからプログラム実行を開始することになります。

（1）マニュアルリセット

外部 CS0 空間をアクセスするために必要な設定が完了する前には、マニュアルリセットを発生させないようにしてください。マニュアルリセットが発生すると、CPU はマニュアルリセットのベクタテーブルアドレスオフセット（H'00000008）、すなわち常に外部 CS0 空間からプログラムの実行開始アドレスを取り出します。

また、ブートモード1で外部 CS0 空間にメモリを接続しない場合も、マニュアルリセットを発生させないようにしてください。

（2）NMI 割り込み

例外処理ベクタテーブルがメモリに格納され、そのメモリをアクセスするための設定が完了する前には、割り込み許可の設定をしないでください。

特にブートモード1の場合、ブート実行中（ローダプログラムの転送を終了して高速内蔵 RAM ヘジャンプするまで）は、VBR は初期値 H'00000000 のままです。ローダプログラムの中で VBR の変更もしくは外部アドレス空間をアクセスするために必要な設定が完了する前には、割り込み許可の設定をしないでください。

（3）NMI 以外の割り込み

例外処理ベクタテーブルがメモリに格納され、そのメモリをアクセスするための設定が完了する前には、割り込み許可の設定をしないでください。

（4）その他の例外

例外処理ベクタテーブルがメモリに格納され、そのメモリをアクセスするための設定が完了する前には、例外処理を発生させないようにしてください。

7. 割り込みコントローラ

割り込みコントローラは、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。本モジュールには、各割り込みの優先順位を設定するためのレジスタがあり、ユーザーがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

7.1 特長

- 割り込み優先順位を16レベル設定可能

20本の割り込み優先レベル設定レジスタにより、IRQ割り込み、PINT割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

- レジスタバンク

本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

図 7.1 にブロック図を示します。

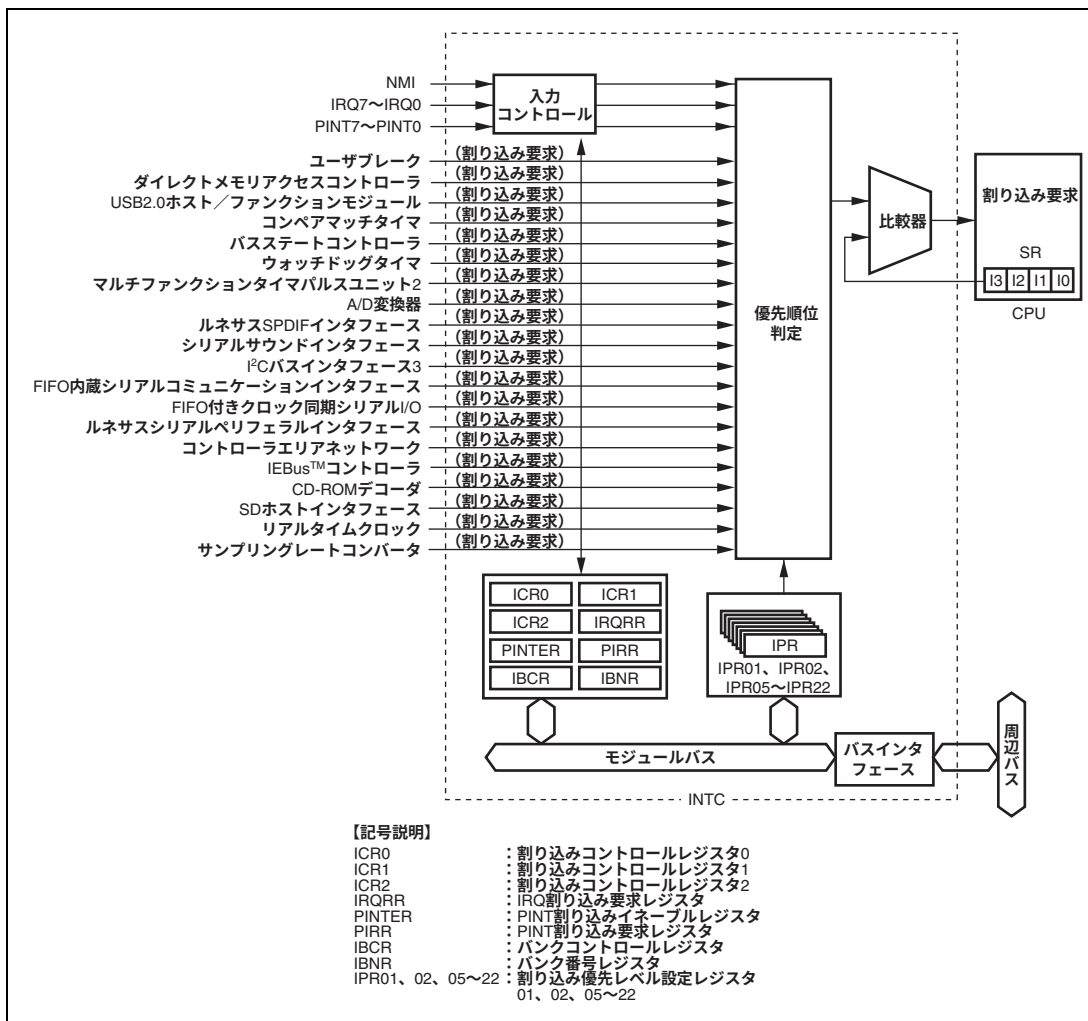


図 7.1 ブロック図

7.2 入出力端子

表 7.1 に端子構成を示します。

表 7.1 端子構成

名称	端子名	入出力	機 能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7～IRQ0	入力	マスク可能な割り込み要求信号を入力
	PINT7～PINT0	入力	

7.3 レジスタの説明

表 7.2 にレジスタ構成を示します。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 7.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16、32
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'FFFE0804	16、32
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H'0000	H'FFFE0806	16、32
PINT 割り込みイネーブルレジスタ	PINTER	R/W	H'0000	H'FFFE0808	16、32
PINT 割り込み要求レジスタ	PIRR	R	H'0000	H'FFFE080A	16、32
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16、32
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16、32
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H'0000	H'FFFE0820	16、32
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFE0C02	16、32
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C06	16、32
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C0A	16、32
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C0E	16、32
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C12	16、32
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H'0000	H'FFFE0C16	16、32
割り込み優先レベル設定レジスタ 18	IPR18	R/W	H'0000	H'FFFE0C18	16、32
割り込み優先レベル設定レジスタ 19	IPR19	R/W	H'0000	H'FFFE0C1A	16、32
割り込み優先レベル設定レジスタ 20	IPR20	R/W	H'0000	H'FFFE0C1C	16、32
割り込み優先レベル設定レジスタ 21	IPR21	R/W	H'0000	H'FFFE0C1E	16、32
割り込み優先レベル設定レジスタ 22	IPR22	R/W	H'0000	H'FFFE0C20	16、32

【注】 *1 NMI 端子がハイレベルのとき：H'8001、ローレベルのとき：H'0001 です。

*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

7.3.1 割り込み優先レベル設定レジスタ 01、02、05～22 (IPR01、IPR02、IPR05～IPR22)

IPR01、IPR02、IPR05～IPR22 は、それぞれ読み出し／書き込み可能な 16 ビットのレジスタで、IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位（レベル 0～15）を設定します。割り込み要求元と IPR01、IPR02、IPR05～IPR22 の各ビットの対応を表 7.3 に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.3 割り込み要求元と IPR01、IPR02、IPR05～IPR22

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
IPR01	IRQ0	IRQ1	IRQ2	IRQ3
IPR02	IRQ4	IRQ5	IRQ6	IRQ7
IPR05	PINT7～PINT0	予約	予約	予約
IPR06	ダイレクトメモリ アクセスコントローラ チャンネル 0	ダイレクトメモリ アクセスコントローラ チャンネル 1	ダイレクトメモリ アクセスコントローラ チャンネル 2	ダイレクトメモリ アクセスコントローラ チャンネル 3
IPR07	ダイレクトメモリ アクセスコントローラ チャンネル 4	ダイレクトメモリ アクセスコントローラ チャンネル 5	ダイレクトメモリ アクセスコントローラ チャンネル 6	ダイレクトメモリ アクセスコントローラ チャンネル 7
IPR08	ダイレクトメモリ アクセスコントローラ チャンネル 8	ダイレクトメモリ アクセスコントローラ チャンネル 9	ダイレクトメモリ アクセスコントローラ チャンネル 10	ダイレクトメモリ アクセスコントローラ チャンネル 11
IPR09	ダイレクトメモリ アクセスコントローラ チャンネル 12	ダイレクトメモリ アクセスコントローラ チャンネル 13	ダイレクトメモリ アクセスコントローラ チャンネル 14	ダイレクトメモリ アクセスコントローラ チャンネル 15
IPR10	USB2.0 ホスト／ ファンクションモジュール	予約	コンペアマッチタイマ チャンネル 0	コンペアマッチタイマ チャンネル 1
IPR11	バスステートコントローラ	ウォッチドッグタイマ	マルチファンクション タイマパルスユニット 2 チャンネル 0(TGI0A～TGI0D)	マルチファンクション タイマパルスユニット 2 チャンネル 0 (TCI0V、TGI0E、TGI0F)
IPR12	マルチファンクション タイマパルスユニット 2 チャンネル 1(TGI1A、TGI1B)	マルチファンクション タイマパルスユニット 2 チャンネル 1(TGI1V、TGI1U)	マルチファンクション タイマパルスユニット 2 チャンネル 2(TGI2A、TGI2B)	マルチファンクション タイマパルスユニット 2 チャンネル 2(TGI2V、TGI2U)
IPR13	マルチファンクション タイマパルスユニット 2 チャンネル 3(TGI3A～TGI3D)	マルチファンクション タイマパルスユニット 2 チャンネル 3(TGI3V)	マルチファンクション タイマパルスユニット 2 チャンネル 4(TGI4A～TGI4D)	マルチファンクション タイマパルスユニット 2 チャンネル 4(TGI4V)

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
IPR14	予約	予約	A/D 変換器	ルネサス SPDIF インタフェース
IPR15	シリアルサウンド インタフェース チャンネル 0	シリアルサウンド インタフェース チャンネル 1	シリアルサウンド インタフェース チャンネル 2	シリアルサウンド インタフェース チャンネル 3
IPR16	I ² C バスインタフェース 3 チャンネル 0	I ² C バスインタフェース 3 チャンネル 1	I ² C バスインタフェース 3 チャンネル 2	I ² C バスインタフェース 3 チャンネル 3
IPR17	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 0	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 1	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 2	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 3
IPR18	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 4	予約	予約	予約
IPR19	FIFO 付きクロック同期 シリアル I/O	ルネサスシリアルペリフェ ラルインタフェース チャンネル 0	ルネサスシリアルペリフェ ラルインタフェース チャンネル 1	ルネサスシリアルペリフェ ラルインタフェース チャンネル 2
IPR20	コントローラエリア ネットワーク チャンネル 0	コントローラエリ アネットワーク チャンネル 1	IEBus™ コントローラ	CD-ROM デコーダ
IPR21	予約	SD ホストインタフェース	リアルタイムクロック	予約
IPR22	サンプリングレート コンバータ チャンネル 0	サンプリングレート コンバータ チャンネル 1	サンプリングレート コンバータ チャンネル 2	予約

表 7.3 に示すように、ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。

7.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI のマスク／許可と入力信号検出モードを設定し、NMI 端子への入力レベル、割り込み要求を示します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	NMIF	NMIM
初期値：	*1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/(W)*2

【注】 *1 NMI端子がハイレベルのとき1、ローレベルのとき0です。

*2 0書き込みのみ有効です。

ビット	ビット名	初期値	R/W	説 明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0：NMI 端子にローレベルが入力されている。 1：NMI 端子にハイレベルが入力されている。
14～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりがりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0：NMI 入力の立ち下がりがりエッジで割り込み要求を検出。 1：NMI 入力の立ち上がりがりエッジで割り込み要求を検出。
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	NMIF	0	R	NMI 割り込み要求 NMI 端子に対する割り込み要求のステータスを表示します。書き込みは無効です。 0：NMI 割り込み要求が検出されていません。 [クリア条件] • NMIE ビットの設定値を変更したとき • NMI 割り込み例外処理を実行したとき 1：NMI 割り込み要求が検出されています。 [セット条件] • NMI 端子に NMIE に対応するエッジが発生したとき
0	NMIM	1	R/(W)*2	NMI マスク NMI 端子に対する割り込み要求入力のマスク／許可を指定します。 0：NMI 端子割り込みを許可。 1：NMI 端子割り込みをマスク。

7.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7～IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7～IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : 割り込み要求を IRQn 入力のローレベルで検出する。 01 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11 : 割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n=7～0

7.3.4 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 PINT7～PINT0 に対してローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7S	0	R/W	PINT センスセレクト PINT7～PINT0 端子に対する割り込み信号をローレベル、ハイレベルのいずれで検出するかを選択します。 0：割り込み要求を PINTn 入力のローレベルで検出する。 1：割り込み要求を PINTn 入力のハイレベルで検出する。
6	PINT6S	0	R/W	
5	PINT5S	0	R/W	
4	PINT4S	0	R/W	
3	PINT3S	0	R/W	
2	PINT2S	0	R/W	
1	PINT1S	0	R/W	
0	PINT0S	0	R/W	

【記号説明】 n=7～0

7.3.5 IRQ 割り込み要求レジスタ (IRQRR)

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7～IRQ0 の割り込み要求を示します。IRQ7～IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F～IRQ0F=1 をリード後、IRQ7F～IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ7F	0	R/(W)*	IRQ 割り込み要求 IRQ7～IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0 : IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1 : IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0 : IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に 0 をライトしたとき • IRQn 割り込み例外処理を実行したとき 1 : IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】 n=7～0

7.3.6 PINT 割り込みイネーブルレジスタ (PINTER)

PINTER は、外部割り込み入力端子 PINT7～PINT0 に対する割り込み要求入力を許可する 16 ビットのレジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7E	0	R/W	PINT イネーブルビット PINT7～PINT0 端子に対する割り込み要求入力を許可するかどうか選択します。 0 : PINTn 入力割り込み要求をディスエーブルにする。 1 : PINTn 入力割り込み要求をイネーブルにする。
6	PINT6E	0	R/W	
5	PINT5E	0	R/W	
4	PINT4E	0	R/W	
3	PINT3E	0	R/W	
2	PINT2E	0	R/W	
1	PINT1E	0	R/W	
0	PINT0E	0	R/W	

【記号説明】 n=7～0

7.3.7 PINT 割り込み要求レジスタ (PIRR)

PIRR は、16 ビットのレジスタで、外部割り込み PINT7～PINT0 の割り込み要求を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7R	0	R	PINT 割り込み要求 PINT7～PINT0 割り込み要求を示します。 0 : PINTn 端子に割り込みなし。 1 : PINTn 端子に割り込みあり。
6	PINT6R	0	R	
5	PINT5R	0	R	
4	PINT4R	0	R	
3	PINT3R	0	R	
2	PINT2R	0	R	
1	PINT1R	0	R	
0	PINT0R	0	R	

【記号説明】 n=7～0

7.3.8 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可／禁止を設定することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15～1 に対してレジスタバンク使用の許可／禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0: レジスタバンクの使用を禁止します。 1: レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.9 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可／禁止、およびレジスタバンクオーバフロー例外の許可／禁止を設定します。また、BN3～BN0 により次に退避されるバンク番号を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]	BOVE	-	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15, 14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可／禁止を設定します。 00: すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01: NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10: 予約 (設定禁止) 11: レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバフローイネーブル レジスタバンクオーバフロー例外の許可／禁止を設定します。 0: レジスタバンクオーバフロー例外の発生を禁止します。 1: レジスタバンクオーバフロー例外の発生を許可します。
12～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3～0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3～BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

7.4 割り込み要因

割り込み要因は、NMI、ユーザブレイク、ユーザデバッグインタフェース、IRQ、PINT、内蔵周辺モジュールの6つに分類されます。各割り込みの優先順位は割り込み優先レベル値（0～16）で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

7.4.1 NMI 割り込み

NMI割り込みは、レベル16の割り込みで、割り込みコントロールレジスタ0(ICR0)のNMIマスクビット(NMIM)を許可に設定した場合、常に受け付けられます。NMI端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0(ICR0)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI割り込み例外処理によって、NMI割り込みの優先レベルは16ですがステータスレジスタ(SR)の割り込みマスクレベルビット(I3～I0)は15に設定されます。

ICR0のNMIMビットが1(NMI割り込みをマスク)の場合、NMI割り込みは発生しませんが、ICR0のNMIエッジセレクトビット(NMIE)で選択したエッジは検出され、割り込み要求は保留されます。NMI割り込み要求ビット(NMIF)をリードすることによりNMI割り込み要求が検出されているかどうかを確認できます。NMIFビットが1の状態でNMIMビットに0をライト(NMI割り込みを許可)すると、保留されているNMI割り込みが受け付けられます。NMIMビットは0書き込みのみ有効なビットですので、NMI割り込みを許可にした後、再度マスクに設定することはできません。また、NMIEビットの値を変更した場合、その時点で保留されているNMI割り込み要求は取り下げます。

ソフトウェアスタンバイをNMIで解除する場合は、ソフトウェアスタンバイ遷移前にNMIFビットで割り込み要求が検出、保留されていないことを確認してから、NMIMビットに0をライト(NMI割り込みを許可)してください。NMIMビットが1(NMI割り込みをマスク)の状態でソフトウェアスタンバイに遷移すると、NMIによる解除はできません。また、この場合、ソフトウェアスタンバイ中のNMIエッジ検出もされませんので、他の要因でソフトウェアスタンバイが解除され、NMIMビットを許可にしてもNMI割り込みは発生しません。ソフトウェアスタンバイ中のNMIエッジを検出する場合、他の要因でソフトウェアスタンバイが解除されるまでNMI端子の入力レベル（立ち下がりエッジ検出であればローレベル、立ち上がりエッジ検出であればハイレベル）を保持してください。

ディープスタンバイに遷移した場合、ディープスタンバイ遷移前のNMIMビットの設定によらずNMIで解除可能です。ディープスタンバイ解除後のパワーオンリセットでNMIMビットは1(NMI割り込みをマスク)に初期化されます。

NMIMビットに0をライト(NMI割り込みを許可)後SLEEP命令を実行する場合、NMIMを読み出してからSLEEP命令を実行してください。

7.4.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラで設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブレイク割り込み例外処理によって、SR の I3～I0 ビットは 15 に設定されます。ユーザブレイクについては、「第 8 章 ユーザブレイクコントローラ」を参照してください。

7.4.3 ユーザデバッグインタフェース割り込み

ユーザデバッグインタフェース割り込みは、優先順位レベル 15 を持ち、ユーザデバッグインタフェース割り込みのインストラクションをシリアル入力すると発生します。ユーザデバッグインタフェース割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザデバッグインタフェース割り込み例外処理により、SR の I3～I0 ビットは 15 に設定されます。ユーザデバッグインタフェース割り込みについては、「第 33 章 ユーザデバッグインタフェース」を参照してください。

7.4.4 IRQ 割り込み

IRQ 割り込みは IRQ7～IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ 1 (ICR1) の IRQ センスセレクトビット (IRQ7IS～IRQ0IS、IRQ70S～IRQ00S) の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ 01、02 (IPR01、IPR02) によって、端子ごとに優先レベルを 0～15 の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7～IRQ0 端子がローレベルの期間、割り込みコントローラに割り込み要求信号が送られます。IRQ7～IRQ0 端子がハイレベルになると、割り込み要求信号は割り込みコントローラに送られません。IRQ 割り込み要求レジスタ (IRQRR) の IRQ 割り込み要求ビット (IRQ7F～IRQ0F) をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7～IRQ0 端子の変化により割り込み要求が検出され、割り込みコントローラに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR の IRQ7F～IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3～I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ (IRQRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

7.4.5 PINT 割り込み

PINT 割り込みは、PINT7～PINT0 端子からの入力による割り込みです。PINT 割り込みイネーブルレジスタ (PINTER) の PINT イネーブルビット (PINT7E～PINT0E) により、割り込み要求入力を許可されます。PINT7～PINT0 は、割り込みコントロールレジスタ 2 (ICR2) の PINT センスセレクトビット (PINT7S～PINT0S) の設定によって、端子ごとにローレベル、ハイレベル検出を選択できます。優先レベルは、割り込み優先レベル設定レジスタ 05 (IPR05) のビット 15～12 により、PINT7～PINT0 を一括して、レベル 0～15 の範囲で設定できます。

PINT7～PINT0 をローレベル検出に設定している場合、PINT 端子がローレベルの期間、割り込みコントローラに割り込み要求信号が送られます。PINT 端子がハイレベルになると、割り込み要求信号は割り込みコントローラに送られません。PINT 割り込み要求レジスタ (PIRR) の PINT 割り込み要求ビット (PINT7R～PINT0R) をリードすることにより割り込み要求のレベルを確認できます。ハイレベル検出に設定している場合も、極性が反対となる以外は同様です。PINT 割り込み例外処理では、SR の I3～I0 は、PINT 割り込みの優先レベル値に設定されます。

PINT 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、PINT 割り込み要求レジスタ (PIRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

7.4.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ
- USB2.0ホスト／ファンクションモジュール
- コンペアマッチタイマ
- バスステートコントローラ
- ウォッチドッグタイマ
- マルチファンクションタイマパルスユニット2
- A/D変換器
- ルネサスSPDIFインタフェース
- シリアルサウンドインタフェース
- I²Cバスインタフェース3
- FIFO内蔵シリアルコミュニケーションインタフェース
- FIFO付きクロック同期シリアルI/O
- ルネサスシリアルペリフェラルインタフェース
- コントローラエリアネットワーク
- IEBusTMコントローラ
- CD-ROMデコーダ
- SDホストインタフェース
- リアルタイムクロック
- サンプリングレートコンバータ

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 05～22 (IPR05～IPR22) によって、モジュールごとに優先レベル 0～15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3～I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

7.5 割り込み例外処理ベクタテーブルと優先順位

表 7.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 6 章 例外処理」の表 6.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、05～22（IPR01、IPR02、IPR05～IPR22）によって、端子またはモジュールごとに優先レベル 0～15 の範囲で任意に設定できます。ただし、IPR05～IPR22 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 7.4 の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.4 に示すデフォルト優先順位に従って処理されます。

表 7.4 割り込み例外ベクタと優先順位

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
NMI			11	H'0000002C~H'0000002F	16	—	—	高 ↑
ユーザブ레이크			12	H'00000030~H'00000033	15	—	—	
ユーザデバッグインタフェース			14	H'00000038~H'0000003B	15	—	—	
IRQ	IRQ0		64	H'00000100~H'00000103	0~15(0)	IPR01(15~12)	—	
	IRQ1		65	H'00000104~H'00000107	0~15(0)	IPR01(11~8)	—	
	IRQ2		66	H'00000108~H'0000010B	0~15(0)	IPR01(7~4)	—	
	IRQ3		67	H'0000010C~H'0000010F	0~15(0)	IPR01(3~0)	—	
	IRQ4		68	H'00000110~H'00000113	0~15(0)	IPR02(15~12)	—	
	IRQ5		69	H'00000114~H'00000117	0~15(0)	IPR02(11~8)	—	
	IRQ6		70	H'00000118~H'0000011B	0~15(0)	IPR02(7~4)	—	
	IRQ7		71	H'0000011C~H'0000011F	0~15(0)	IPR02(3~0)	—	
PINT	PINT0		80	H'00000140~H'00000143	0~15(0)	IPR05(15~12)	1	↓ 低
	PINT1		81	H'00000144~H'00000147			2	
	PINT2		82	H'00000148~H'0000014B			3	
	PINT3		83	H'0000014C~H'0000014F			4	
	PINT4		84	H'00000150~H'00000153			5	
	PINT5		85	H'00000154~H'00000157			6	
	PINT6		86	H'00000158~H'0000015B			7	
	PINT7		87	H'0000015C~H'0000015F			8	
ダイレ クトメ モリア クセス コント ローラ	チャンネル 0	DEI0	108	H'000001B0~H'000001B3	0~15(0)	IPR06(15~12)	1	
		HEI0	109	H'000001B4~H'000001B7			2	
	チャンネル 1	DEI1	112	H'000001C0~H'000001C3	0~15(0)	IPR06(11~8)	1	
		HEI1	113	H'000001C4~H'000001C7			2	
	チャンネル 2	DEI2	116	H'000001D0~H'000001D3	0~15(0)	IPR06(7~4)	1	
		HEI2	117	H'000001D4~H'000001D7			2	
	チャンネル 3	DEI3	120	H'000001E0~H'000001E3	0~15(0)	IPR06(3~0)	1	
		HEI3	121	H'000001E4~H'000001E7			2	
	チャンネル 4	DEI4	124	H'000001F0~H'000001F3	0~15(0)	IPR07(15~12)	1	
		HEI4	125	H'000001F4~H'000001F7			2	
	チャンネル 5	DEI5	128	H'00000200~H'00000203	0~15(0)	IPR07(11~8)	1	
		HEI5	129	H'00000204~H'00000207			2	
	チャンネル 6	DEI6	132	H'00000210~H'00000213	0~15(0)	IPR07(7~4)	1	
		HEI6	133	H'00000214~H'00000217			2	
	チャンネル 7	DEI7	136	H'00000220~H'00000223	0~15(0)	IPR07(3~0)	1	
		HEI7	137	H'00000224~H'00000227			2	

[illegible]

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベク タ	ベクタテーブル アドレスオフセット				
ウォッチ ドッグタイ マ	ITI		174	H'000002B8~H'000002BB	0~15(0)	IPR11(11~8)	—	高 ↑ ↓ 低
マルチ ファン クシ ョ ン タイ マ パ ル ス ユ ニ ット 2	チャンネル 0	TGI0A	175	H'000002BC~H'000002BF	0~15(0)	IPR11(7~4)	1	
		TGI0B	176	H'000002C0~H'000002C3			2	
		TGI0C	177	H'000002C4~H'000002C7			3	
		TGI0D	178	H'000002C8~H'000002CB			4	
	チャンネル 1	TCI0V	179	H'000002CC~H'000002CF	0~15(0)	IPR11(3~0)	1	
		TGI0E	180	H'000002D0~H'000002D3			2	
		TGI0F	181	H'000002D4~H'000002D7			3	
		TCI1A	182	H'000002D8~H'000002DB	0~15(0)	IPR12(15~12)	1	
		TGI1B	183	H'000002DC~H'000002DF			2	
	チャンネル 2	TCI1V	184	H'000002E0~H'000002E3	0~15(0)	IPR12(11~8)	1	
		TCI1U	185	H'000002E4~H'000002E7			2	
		TGI2A	186	H'000002E8~H'000002EB	0~15(0)	IPR12(7~4)	1	
		TGI2B	187	H'000002EC~H'000002EF			2	
	チャンネル 3	TCI2V	188	H'000002F0~H'000002F3	0~15(0)	IPR12(3~0)	1	
		TCI2U	189	H'000002F4~H'000002F7			2	
		TGI3A	190	H'000002F8~H'000002FB	0~15(0)	IPR13(15~12)	1	
		TGI3B	191	H'000002FC~H'000002FF			2	
	チャンネル 4	TGI3C	192	H'00000300~H'00000303			3	
		TGI3D	193	H'00000304~H'00000307			4	
		TCI3V	194	H'00000308~H'0000030B	0~15(0)	IPR13(11~8)	—	
		TGI4A	195	H'0000030C~H'0000030F			1	
		TGI4B	196	H'00000310~H'00000313			2	
		TGI4C	197	H'00000314~H'00000317			3	
		TGI4D	198	H'00000318~H'0000031B			4	
		TCI4V	199	H'0000031C~H'0000031F	0~15(0)	IPR13(3~0)	—	
A/D 変換器	ADI		200	H'00000320~H'00000323	0~15(0)	IPR14(7~4)	—	

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
ルネサ ス SPDIF インタ フェー ス	SPDIFI		201	H'00000324~H'00000327	0~15(0)	IPR14(3~0)	—
シリア ルサウ ンドイ ンタフ ェース	チャンネル 0	SSIF0	202	H'00000328~H'0000032B	0~15(0)	IPR15(15~12)	1
		SSIRXI0	203	H'0000032C~H'0000032F			2
		SSITXI0	204	H'00000330~H'00000333			3
	チャンネル 1	SSII1	205	H'00000334~H'00000337	0~15(0)	IPR15(11~8)	1
		SSIRXI1	206	H'00000338~H'0000033B			2
		SSITXI1	207	H'0000033C~H'0000033F			3
	チャンネル 2	SSII2	208	H'00000340~H'00000343	0~15(0)	IPR15(7~4)	1
		SSIRTI2	209	H'00000344~H'00000347			2
	チャンネル 3	SSII3	210	H'00000348~H'0000034B	0~15(0)	IPR15(3~0)	1
		SSIRTI3	211	H'0000034C~H'0000034F			2
I ² C バス インタ フェー ス 3	チャンネル 0	STPI0	212	H'00000350~H'00000353	0~15(0)	IPR16(15~12)	1
		NAKI0	213	H'00000354~H'00000357			2
		RXI0	214	H'00000358~H'0000035B			3
		TXI0	215	H'0000035C~H'0000035F			4
		TEI0	216	H'00000360~H'00000363			5
	チャンネル 1	STPI1	217	H'00000364~H'00000367	0~15(0)	IPR16(11~8)	1
		NAKI1	218	H'00000368~H'0000036B			2
		RXI1	219	H'0000036C~H'0000036F			3
		TXI1	220	H'00000370~H'00000373			4
		TEI1	221	H'00000374~H'00000377			5
	チャンネル 2	STPI2	222	H'00000378~H'0000037B	0~15(0)	IPR16(7~4)	1
		NAKI2	223	H'0000037C~H'0000037F			2
		RXI2	224	H'00000380~H'00000383			3
		TXI2	225	H'00000384~H'00000387			4
		TEI2	226	H'00000388~H'0000038B			5
	チャンネル 3	STPI3	227	H'0000038C~H'0000038F	0~15(0)	IPR16(3~0)	1
		NAKI3	228	H'00000390~H'00000393			2
		RXI3	229	H'00000394~H'00000397			3
		TXI3	230	H'00000398~H'0000039B			4
		TEI3	231	H'0000039C~H'0000039F			5

高

低

R01UH0202JJ0300 Rev.3.00
2026.05.20

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
FIFO 付 きクロッ ク同期シ リアル I/O	SIOFI		252	H'000003F0~H'000003F3	0~15(0)	IPR19(15~12)	—	高 ↑ ↓ 低
ルネサス シリアル ペリフェ ラルイン タフェー ス	チャンネル 0	SPEI0	253	H'000003F4~H'000003F7	0~15(0)	IPR19(11~8)	1	
		SPRI0	254	H'000003F8~H'000003FB			2	
		SPTI0	255	H'000003FC~H'000003FF			3	
	チャンネル 1	SPEI1	256	H'00000400~H'00000403	0~15(0)	IPR19(7~4)	1	
		SPRI1	257	H'00000404~H'00000407			2	
		SPTI1	258	H'00000408~H'0000040B			3	
	チャンネル 2	SPEI2	259	H'0000040C~H'0000040F	0~15(0)	IPR19(3~0)	1	
		SPRI2	260	H'00000410~H'00000413			2	
		SPTI2	261	H'00000414~H'00000417			3	
コントロ ーラエリ アネット ワーク	チャンネル 0	ERS0	262	H'00000418~H'0000041B	0~15(0)	IPR20(15~12)	1	
		OVR0	263	H'0000041C~H'0000041F			2	
		RM00	264	H'00000420~H'00000423			3	
		RM10	265	H'00000424~H'00000427			4	
		SLE0	266	H'00000428~H'0000042B			5	
	チャンネル 1	ERS1	267	H'0000042C~H'0000042F	0~15(0)	IPR20(11~8)	1	
		OVR1	268	H'00000430~H'00000433			2	
		RM01	269	H'00000434~H'00000437			3	
		RM11	270	H'00000438~H'0000043B			4	
		SLE1	271	H'0000043C~H'0000043F			5	
IEBus™ コントロ ーラ	IEB		272	H'00000440~H'00000443	0~15(0)	IPR20(7~4)	—	
CD-ROM デコーダ	ISY		273	H'00000444~H'00000447	0~15(0)	IPR20(3~0)	1	
	IERR		274	H'00000448~H'0000044B			2	
	ITARG		275	H'0000044C~H'0000044F			3	
	ISEC		276	H'00000450~H'00000453			4	
	IBUF		277	H'00000454~H'00000457			5	
	IREADY		278	H'00000458~H'0000045B			6	

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
SD ホストインタ フェース	SDHI3		280	H'00000460~H'00000463	0~15(0)	IPR21(11~8)	1	高 ↑ ↓ 低
	SDHI0		281	H'00000464~H'00000467			2	
	SDHI1		282	H'00000468~H'0000046B			3	
リアルタイムク ロック	ARM		283	H'0000046C~H'0000046F	0~15(0)	IPR21(7~4)	1	
	PRD		284	H'00000470~H'00000473			2	
	CUP		285	H'00000474~H'00000477			3	
サンプリングレ ートコンバータ	チャネル 0	OVF0	286	H'00000478~H'0000047B	0~15(0)	IPR22(15~12)	1	
		UDF0	287	H'0000047C~H'0000047F			2	
		CEF0	288	H'00000480~H'00000483			3	
		ODFI0	289	H'00000484~H'00000487			4	
		IDEI0	290	H'00000488~H'0000048B			5	
	チャネル 1	OVF1	291	H'0000048C~H'0000048F	0~15(0)	IPR22(11~8)	1	
		UDF1	292	H'00000490~H'00000493			2	
		CEF1	293	H'00000494~H'00000497			3	
		ODFI1	294	H'00000498~H'0000049B			4	
		IDEI1	295	H'0000049C~H'0000049F			5	
	チャネル 2	OVF2	296	H'000004A0~H'000004A3	0~15(0)	IPR22(7~4)	1	
		UDF2	297	H'000004A4~H'000004A7			2	
		CEF2	298	H'000004A8~H'000004AB			3	
		ODFI2	299	H'000004AC~H'000004AF			4	
		IDEI2	300	H'000004B0~H'000004B3			5	

7.6 動作説明

7.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、05～22（IPR01、IPR02、IPR05～IPR22）に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表7.4に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます（図7.4参照）。
5. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
6. ステータスレジスタ（SR）がスタックに退避され、SRのI3～I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
7. プログラムカウンタ（PC）がスタックに退避されます。
8. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際にCPUへの割り込み要因が取り下げられるまでに、表7.5に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

- * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ（IRQRR）のアクセスにより取り下げることができます。詳しくは「7.4.4 IRQ 割り込み」を参照してください。
- また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

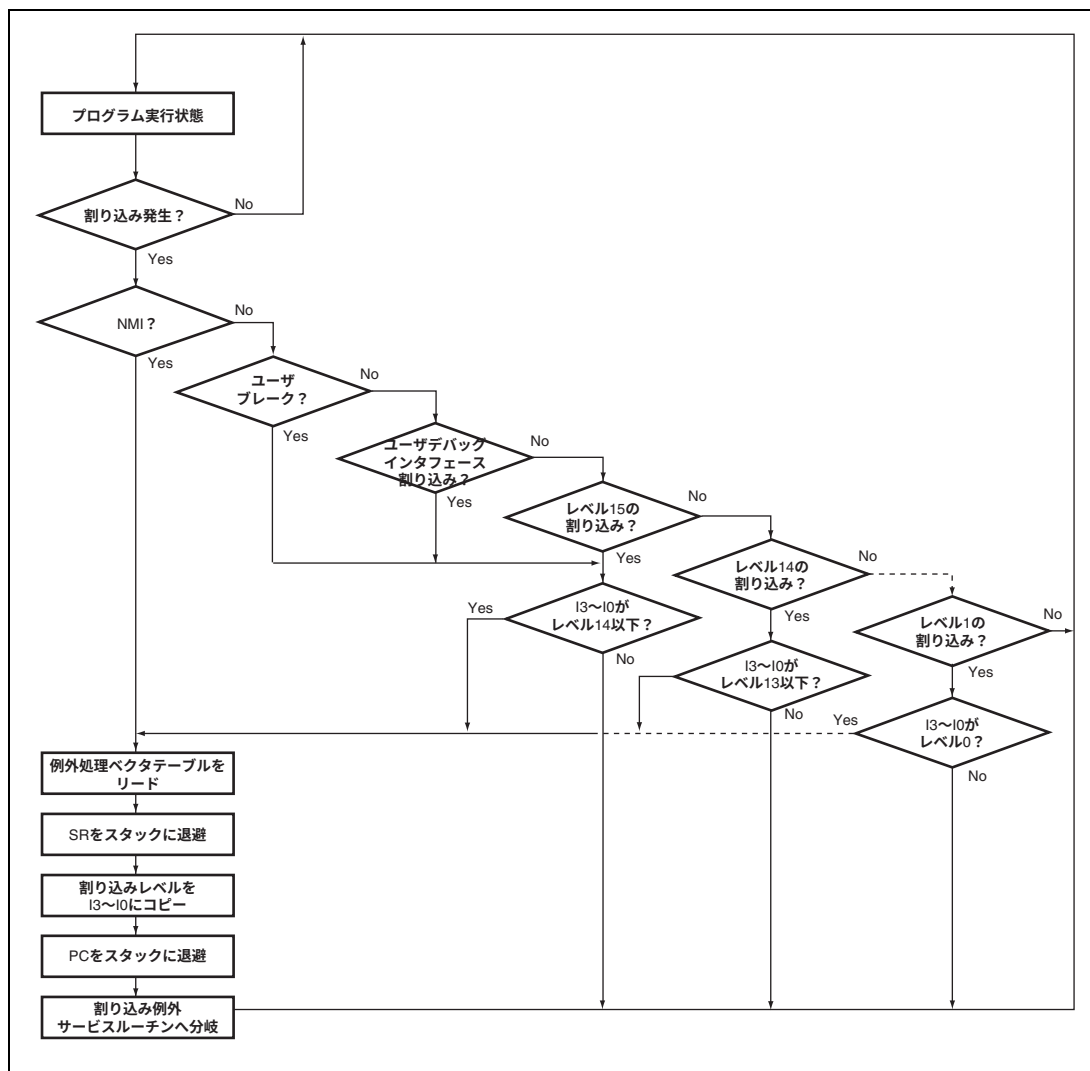


図 7.2 割り込み動作フロー

7.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 7.3 に示すようになります。

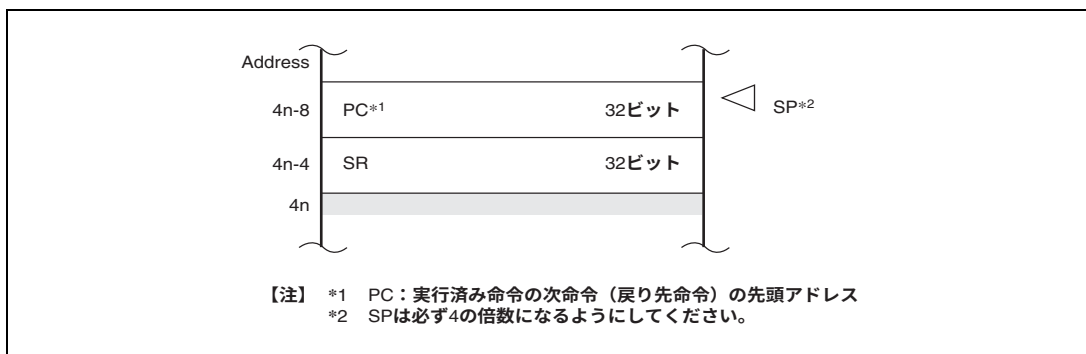


図 7.3 割り込み例外処理終了後のスタック状態

7.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、割り込み例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 7.4、図 7.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 7.6、図 7.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 7.8、図 7.9 に示します。

表 7.5 割り込み応答時間

項 目			ステート数					備考	
			NMI	ユーザ ブレイク	ユーザデ バッグイ ンタフェ ース	IRQ、 PINT	USB2.0 ホ スト／ファ ンクション モジュール		周辺 モジュール (USB2.0 ホスト ／ファンクショ ンモジュール以 外)
割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間			2lcyc+ 2Bcyc+ 1Pcyc	3lcyc	2lcyc+ 1Pcyc	2lcyc+ 3Bcyc+ 1Pcyc	2lcyc+ 4Bcyc	2lcyc+ 2Bcyc	
CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、割り込み例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンクなし。	最小値	3lcyc+m1+m2					最小値は、割り込み待ち時間 0 のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。	
		最大値	4lcyc+2(m1+m2)+m3						
	レジスタバンクあり。 レジスタバンクオーバーフローなし。	最小値	—		3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	—		12lcyc+m1+m2				
	レジスタバンクあり。 レジスタバンクオーバーフローあり。	最小値	—		3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	—		3lcyc+m1+m2+19(m4)				

項 目			ステート数						備考
			NMI	ユーザ ブレーク	ユーザデバッ グインタフェ ース	IRQ、 PINT	USB2.0 ホスト/ ファンクションモ ジュール	周辺 モジュール (USB2.0 ホスト ／ファンクション モジュール以外)	
応答 時間	レジスタバンク なし。	最小値	5+2Bcyc+ 1Pcyc+m1+ m2	6lcyc+ m1+m2	5lcyc+1Pcyc+ m1+m2	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	5lcyc+4Bcyc+m1+ m2	5lcyc+2Bcyc+m1 +m2	216MHz 動作時 *1*2 : 0.037~0.101 μ s
		最大値	6lcyc+2Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	7lcyc+ 2(m1+m2)+ m3	6lcyc+1Pcyc+ 2(m1+m2)+ m3	6lcyc+3Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	6lcyc+4Bcyc+ 2(m1+m2)+ m3	6lcyc+2Bcyc+ 2(m1+m2)+ m3	216MHz 動作時 *1*2 : 0.055~0.120 μ s
	レジスタバンク あり。 レジスタバンク オーバーフロー なし。	最小値	—		5lcyc+1Pcyc+ m1+m2	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	5lcyc+4Bcyc+m1+ m2	5lcyc+2Bcyc+m1 +m2	216MHz 動作時 *1*2 : 0.060~0.101 μ s
		最大値	—		14lcyc+1Pcyc +m1+m2	14lcyc+3Bcyc +1Pcyc+m1+ m2	14lcyc+4Bcyc+m1 +m2	14lcyc+2Bcyc+m 1+m2	216MHz 動作時 *1*2 : 0.101~0.143 μ s
	レジスタバンク あり。 レジスタバンク オーバーフロー あり。	最小値	—		5lcyc+1Pcyc+ m1+m2	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	5lcyc+4Bcyc+m1+ m2	5lcyc+2Bcyc+m1 +m2	216MHz 動作時 *1*2 : 0.060~0.101 μ s
		最大値	—		5lcyc+1Pcyc+ m1+m2+ 19(m4)	5lcyc+3Bcyc+ 1Pcyc+m1+ m2+19(m4)	5lcyc+4Bcyc+m1+ m2+19(m4)	5lcyc+2Bcyc+m1 + m2+19(m4)	216MHz 動作時 *1*2 : 0.148~0.189 μ s

【注】 m1~m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) のスタックからの復帰

*1 : m1=m2=m3=m4=1lcyc の場合

*2 : (l ϕ 、B ϕ 、P ϕ) = (216MHz、72MHz、36MHz) の場合

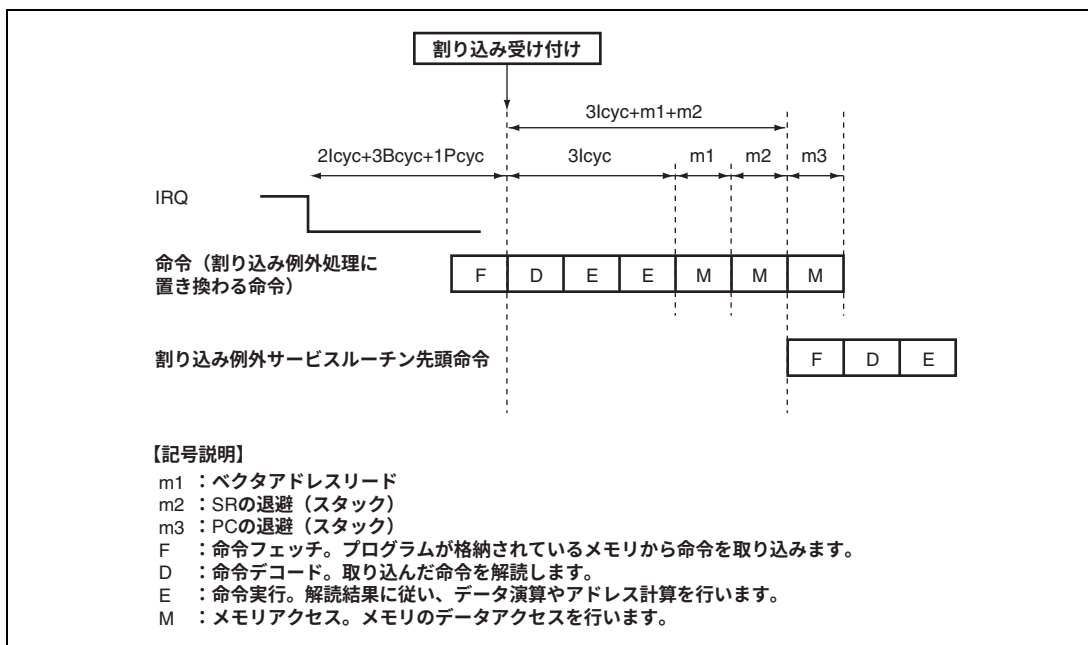


図 7.4 IRQ 割り込みを受け付けるときのパイプライン動作例（レジスタバンクなし）

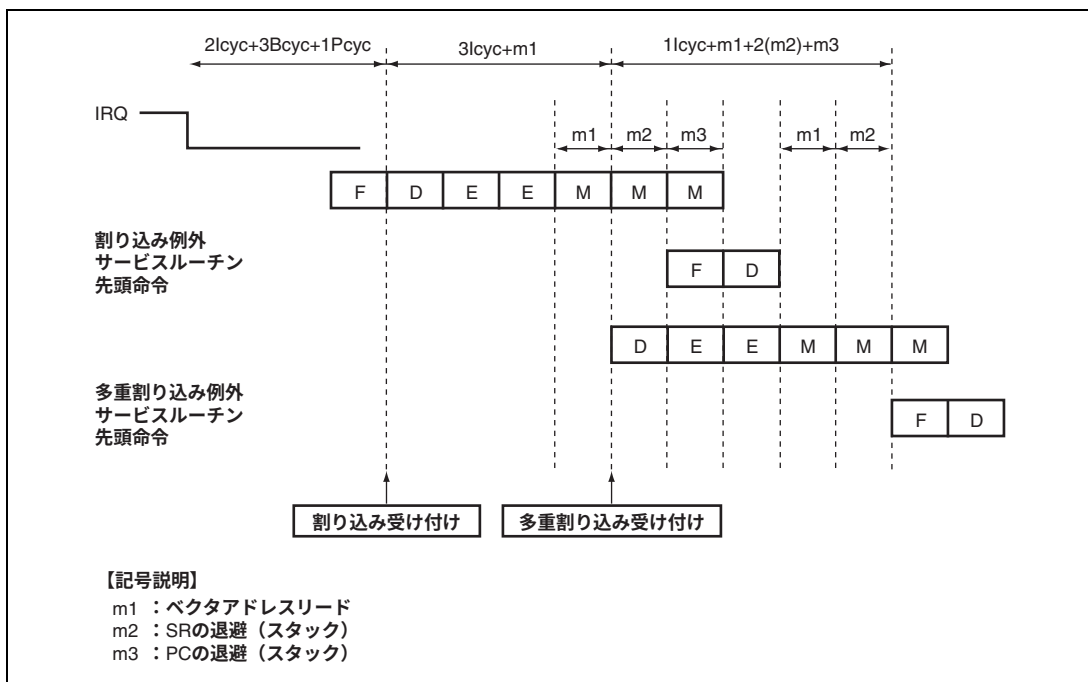


図 7.5 多重割り込み時のパイプライン動作例（レジスタバンクなし）

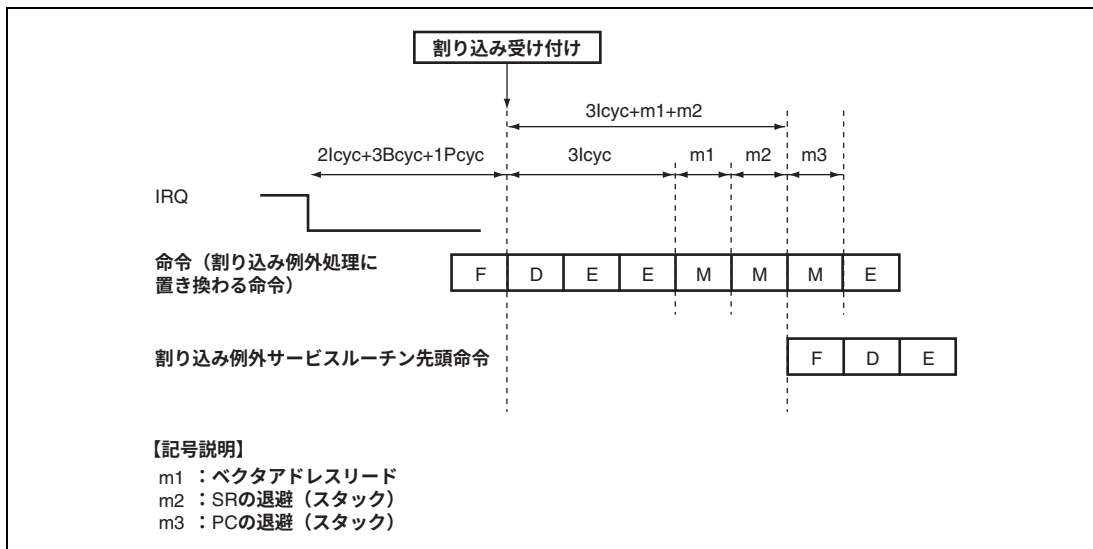


図 7.6 IRQ 割り込みを受け付けるときのパイプライン動作例
 （レジスタバンクあり、レジスタバンクオーバフローなし）

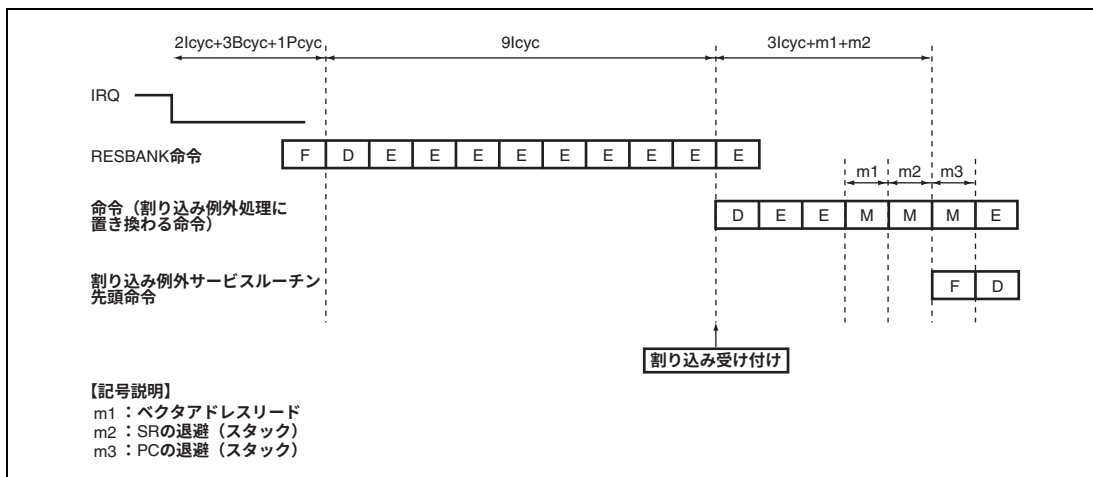


図 7.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 （レジスタバンクあり、レジスタバンクオーバフローなし）

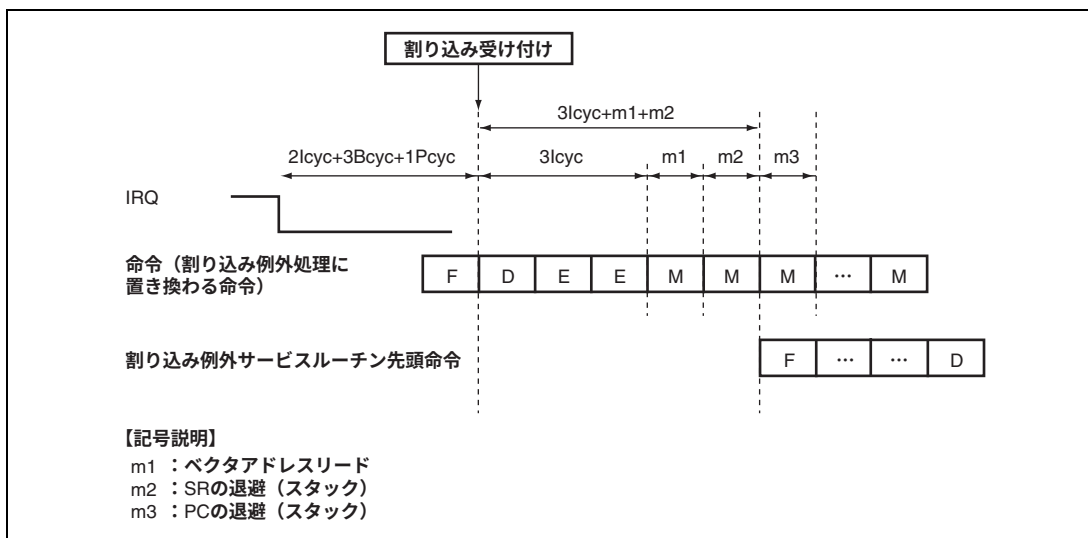


図 7.8 IRQ 割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

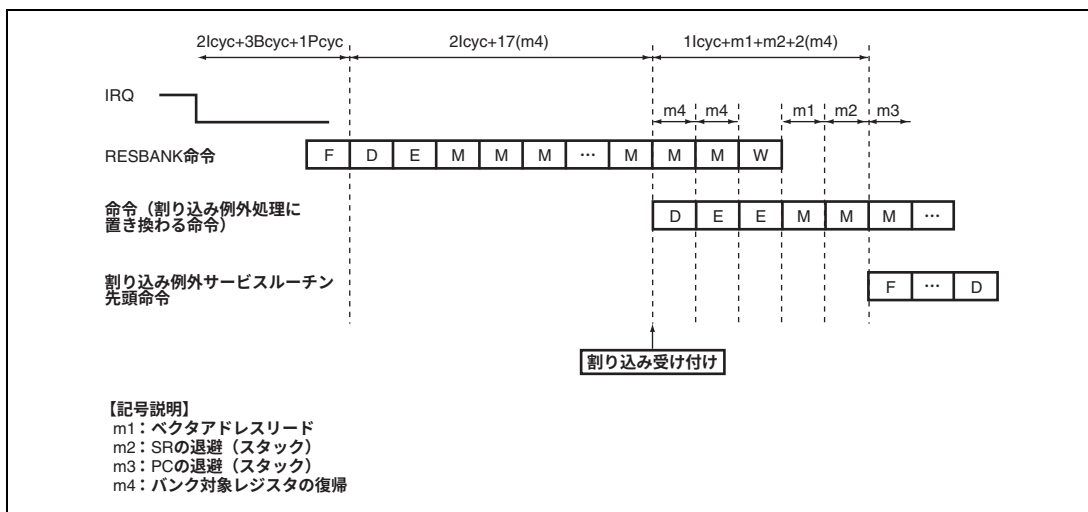


図 7.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

7.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 7.10 に示します。

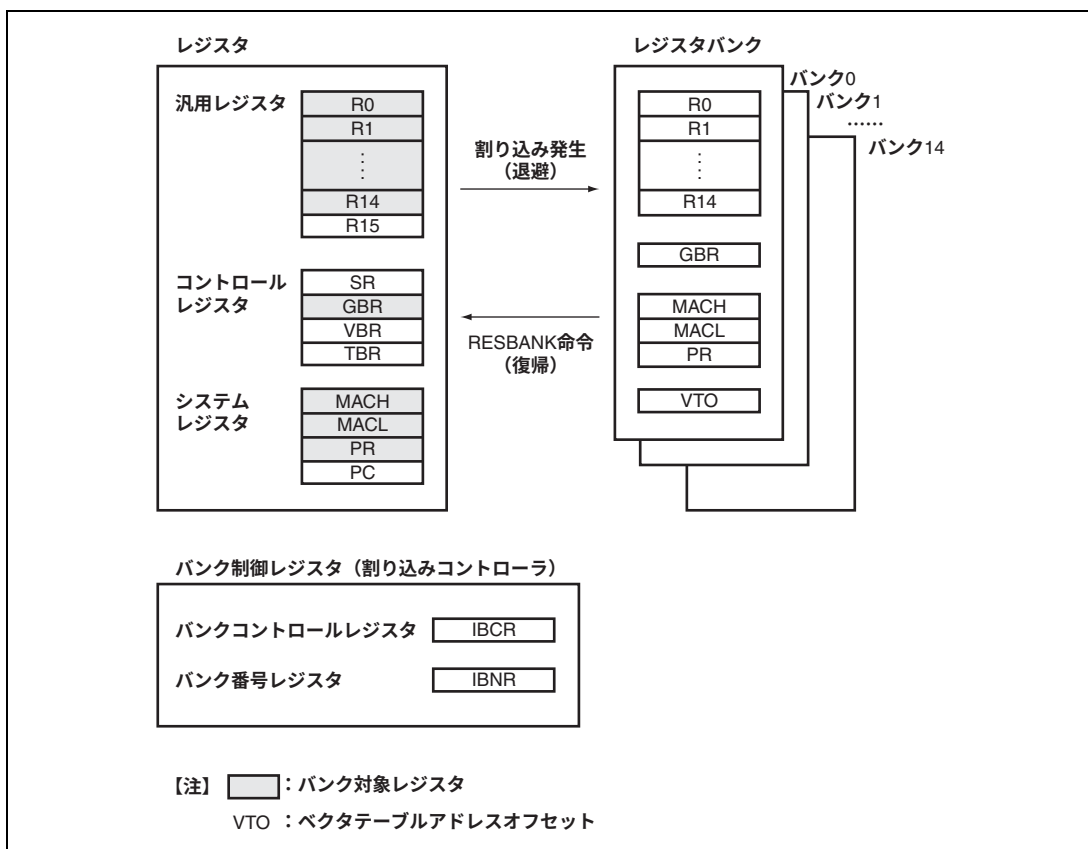


図 7.10 レジスタバンクの構成の概要

7.8.1 バンクの対象レジスタと入出力方式

(1) バンクの対象レジスタ

汎用レジスタ（R0～R14）、グローバルベースレジスタ（GBR）、積和レジスタ（MACH、MACL）、プロシージャレジスタ（PR）と、ベクタテーブルアドレスオフセットをバンクの対象とします。

(2) バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し（FILO）式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

7.8.2 バンク退避、復帰の動作

(1) バンクへの退避

図 7.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0~R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を +1 します。

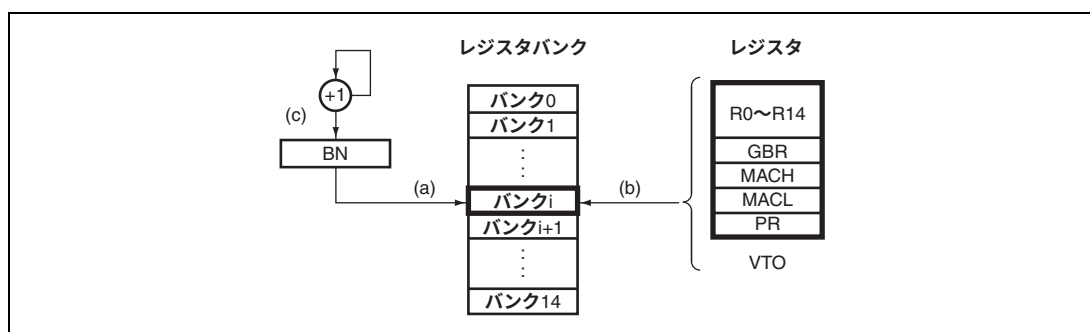


図 7.11 バンク退避の動作

図 7.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から割り込み例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

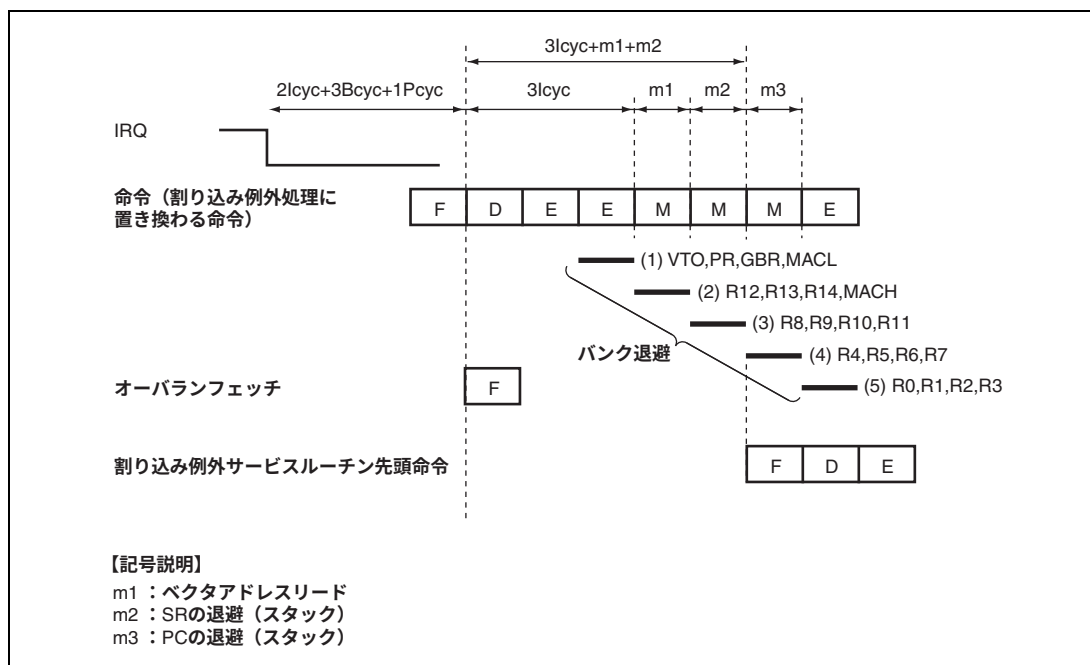


図 7.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込み例外サービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で割り込み例外サービスルーチンからの復帰を行ってください。

7.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、……、R1、R0の順となります。
3. SRのレジスタバンクオーバフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、……、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

7.8.4 レジスタバンクの例外

レジスタバンクの例外（レジスタバンクエラー）には、レジスタバンクオーバフローとレジスタバンクアンダフローの2種類があります。

(1) レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ（IBNR）の BOVE ビットが1にセットされているときに発生します。このとき、バンク番号レジスタ（IBNR）のバンク番号ビット（BN）はバンク数15のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0～R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ（IBNR）のバンク番号ビット（BN）は0のまま変化しません。

7.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。レジスタバンクオーバフロー時の退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避するPCの値は、当該のRESBANK命令の先頭アドレスです。また、レジスタバンクオーバフロー時は多重割り込みを防止するためにレジスタバンクオーバフローの要因となった割り込みのレベルをステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に書き込みます。
4. 例外サービスルーチンの開始アドレスからプログラムを実行します。

7.9 割り込み要求信号によるデータ転送

割り込み要求信号によりダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

割り込み要因の中でダイレクトメモリアクセスコントローラ起動要因に指定されているものは割り込みコントローラに入力されずにマスクされます。マスク条件は次のように表されます。

マスク条件=DME・(DE0・要因選択 0+DE1・要因選択 1+DE2・要因選択 2+DE3・要因選択 3+DE4・要因選択 4+DE5・要因選択 5+DE6・要因選択 6+DE7・要因選択 7+DE8・要因選択 8+DE9・要因選択 9+DE10・要因選択 10+DE11・要因選択 11+DE12・要因選択 12+DE13・要因選択 13+DE14・要因選択 14+DE15・要因選択 15)

割り込み制御ブロック図を図 7.13 に示します。

ここで DME はダイレクトメモリアクセスコントローラの DMAOR のビット 0、DEn (n=0~15) はダイレクトメモリアクセスコントローラの CHCR_0~CHCR_15 のビット 0 です。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ」を参照してください。

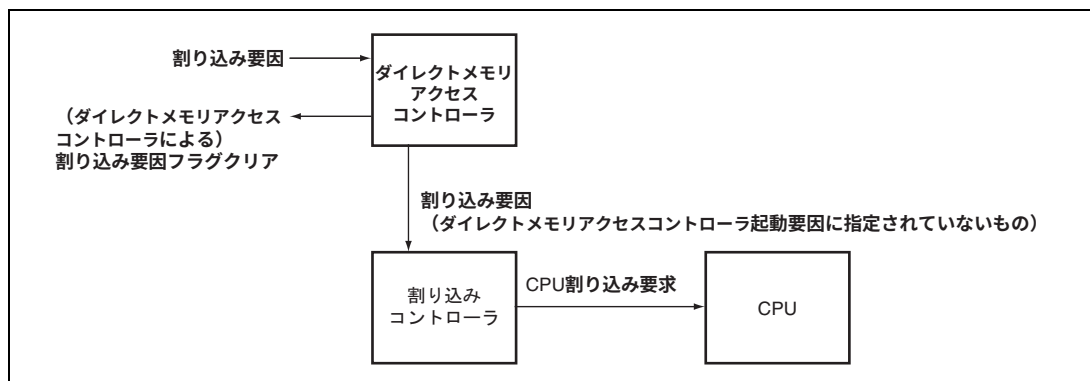


図 7.13 割り込み制御ブロック図

7.9.1 割り込み要求信号を CPU の割り込み要因とし、ダイレクトメモリアクセスコントローラの起動要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択しないか、または DME ビットを 0 にクリアします。また、ダイレクトメモリアクセスコントローラで要因を選択している場合には、ダイレクトメモリアクセスコントローラの当該チャネルの DE ビットを 0 にクリアします。
2. 割り込みが発生すると、CPU に割り込みを要求します。
3. CPU は割り込み例外サービスルーチンで、割り込み要因をクリアし、所要の処理をします。

7.9.2 割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、CPU の割り込み要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択し、DE=1、DME=1にセットします。割り込み優先レベル設定レジスタの設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、ダイレクトメモリアクセスコントローラに起動要因が与えられます。
3. ダイレクトメモリアクセスコントローラは、転送時に起動要因をクリアします。

7.10 使用上の注意事項

7.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 7.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリード*し、その後 RTE 命令を実行します。

【注】 * USB2.0 ホスト/ファンクションモジュールの割り込み要因フラグをクリアする場合、クリア後割り込み要因フラグを 3 回リードしてください。

8. ユーザブレイクコントローラ

ユーザブレイクコントローラは、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。本モジュールに設定できるブレイク条件として、命令フェッチまたはデータの読み出し／書き込み（データの読み出し／書き込みの場合はバスサイクル（CPU、ダイレクトメモリアクセスコントローラ））、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス（C バス）上での命令フェッチは命令フェッチバス（F バス）にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス（M バス）にバスサイクルを発行します。また、内部バス（I バス）には、内部 CPU バスと内部 DMA バスがあり、CPU は内部 CPU バスに、ダイレクトメモリアクセスコントローラは内部 DMA バスにバスサイクルを発行します。本モジュールはこれら C バスと I バスをモニタします。

8.1 特長

1. 次のようなブレイク比較条件を設定できます

ブレイクチャネル数：2チャネル（チャネル0と1）

ユーザブレイクは、チャネル0、1独立に設定することができます。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

4種類のアドレスバス（Fバスアドレス（FAB）、Mバスアドレス（MAB）、内部CPUバスアドレス（ICAB）、内部DMAバスアドレス（IDAB））を選択できます。

- データ

データ32ビットの比較はビットごとにマスク可能です。

3種類のデータバス（Mバスデータ（MDB）、内部CPUバスデータ（ICDB）、内部DMAバスデータ（IDDB））の1つを選択可能です。

- Iバス選択時のバスセレクト

内部CPUバス、内部DMAバス

- バスサイクル

命令フェッチ（Cバス選択時のみ）またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. 命令フェッチサイクルにおいて、ユーザブレイク割り込み例外処理の実行開始を命令の実行の前に設定するか、後に設定するかを指定可能。

図 8.1 にブロック図を示します。

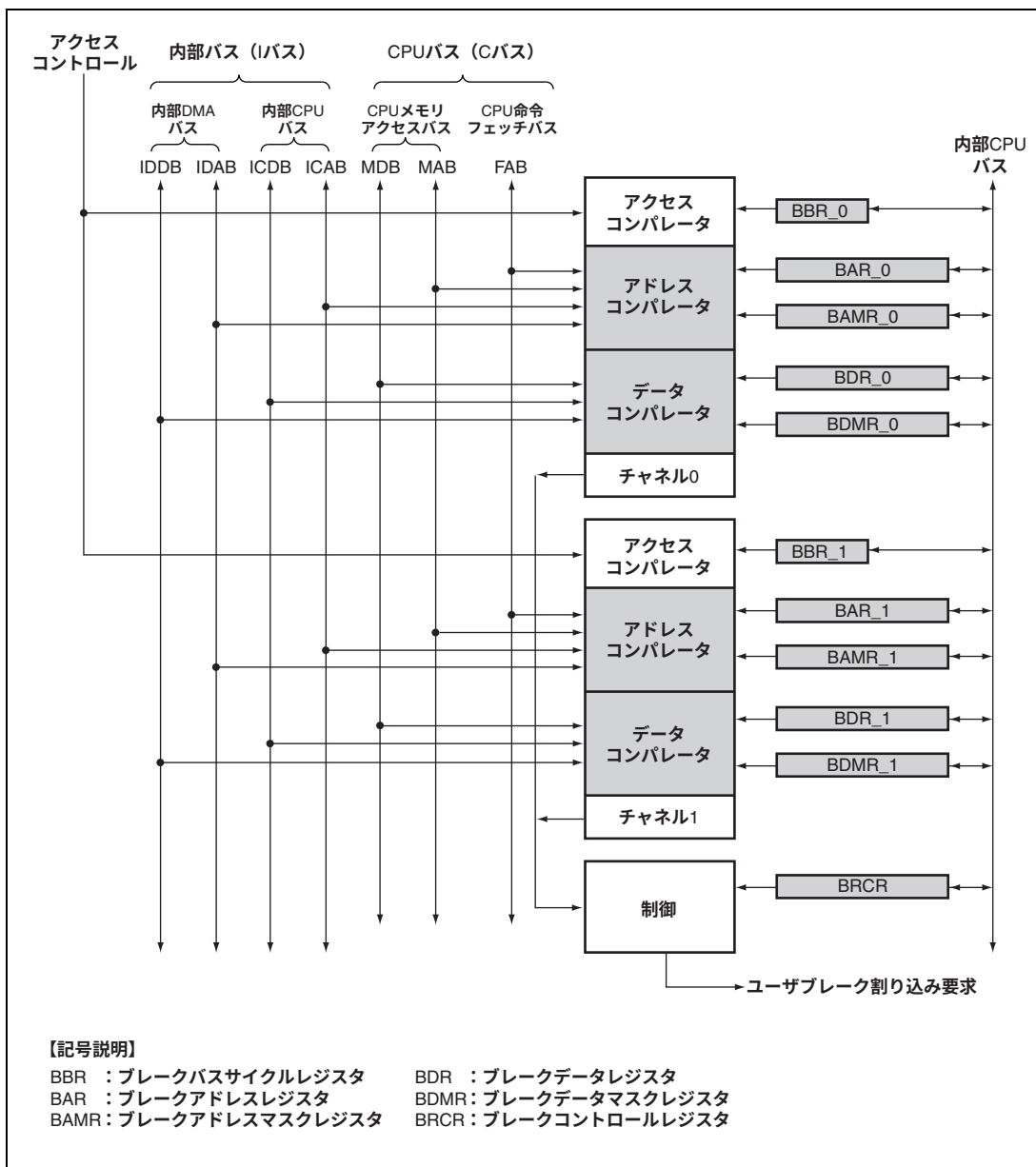


図 8.1 ブロック図

8.2 レジスタの説明

表 8.1 にレジスタ構成を示します。チャンネルごとに 5 本の制御レジスタと、チャンネル 0、1 に共通な制御レジスタが 1 本あります。各チャンネルのレジスタについては、チャンネル 0 の BAR は BAR_0 のように表記しています。

表 8.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	ブ레이크アドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブ레이크アドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブ레이크バスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
	ブ레이크データレジスタ_0	BDR_0	R/W	H'00000000	H'FFFC0408	32
	ブ레이크データマスクレジスタ_0	BDMR_0	R/W	H'00000000	H'FFFC040C	32
1	ブ레이크アドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブ레이크アドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブ레이크バスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
	ブ레이크データレジスタ_1	BDR_1	R/W	H'00000000	H'FFFC0418	32
	ブ레이크データマスクレジスタ_1	BDMR_1	R/W	H'00000000	H'FFFC041C	32
共通	ブ레이크コントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

8.2.1 ブ레이크アドレスレジスタ (BAR)

BAR は、32 ビットの読み出し／書き込み可能なレジスタです。BAR は、各チャンネルのブ레이크条件とするアドレスを指定します。ブ레이크条件の対象とするアドレスバスは 4 種類あり、ブ레이크バスサイクルレジスタ (BBR) の制御ビットの CD[1:0]と CP[1:0]により選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	BA31 ～ BA0	すべて 0	R/W	ブ레이크アドレス ブ레이크条件を指定する CPU アドレスバス（FAB または MAB）または内部アドレスバス（ICAB または IDAB）のアドレスを格納します。 BBR により C バスかつ命令フェッチサイクルを選択した場合は、BA31～BA0 に FAB のアドレスを指定します。 BBR により C バスかつデータアクセスサイクルを選択した場合は、BA31～BA0 に MAB のアドレスを指定します。 BBR により I バスかつ内部 CPU バスを選択した場合は、BA31～BA0 に ICAB のアドレスを指定します。 BBR により I バスかつ内部 DMA バスを選択した場合は、BA31～BA0 に IDAB のアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR の LSB を 0 にクリアしてください。

8.2.2 ブ레이크アドレスマスクレジスタ（BAMR）

BAMR は、32 ビットの読み出し／書き込み可能なレジスタです。BAMR は、BAR で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	BAM31 ～ BAM0	すべて 0	R/W	ブ레이크アドレスマスク BAR（BA31～BA0）によって指定されるブ레이크アドレスビットのうち、マスクするビットを指定します。 0：ブ레이크アドレスビット BAn は、ブ레이크条件に含まれる 1：ブ레이크アドレスビット BAn はマスクされ、ブ레이크条件に含まれない 【注】 n=31～0

8.2.3 ブレークデータレジスタ（BDR）

BDR は、32 ビットの読み出し／書き込み可能なレジスタです。ブレーク条件の対象とするデータバスは 3 種類あり、ブレークバスサイクルレジスタ（BBR）の制御ビット CD[1:0]と CP[1:0]により選択します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	BD31 ～ BD0	すべて 0	R/W	ブレークデータビット ブレーク条件を指定するデータを格納します。 BBR により C バスを選択した場合は、BD31～BD0 に MDB のブレークデータを指定します。 BBR により I バスかつ内部 CPU バスを選択した場合は、BD31～BD0 に ICDB のアドレスを指定します。 BBR により I バスかつ内部 DMA バスを選択した場合は、BD31～BD0 に IDDB のアドレスを指定します。

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合は、BDR におけるブレークデータとして、ビット 31～24、23～16、15～8、7～0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31～16、15～0 に同一のワードデータをセットしてください。

8.2.4 ブレークデータマスクレジスタ（BDMR）

BDMR は、32 ビットの読み出し／書き込み可能なレジスタです。BDMR は、BDR で指定するブレークデータビットのうちマスクするビットを指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	BDM31 ～ BDM0	すべて 0	R/W	ブレークデータマスク BDR（BD31～BD0）によって指定されるブレークデータビットのうちマスクするビットを指定します。 0：ブレークデータビット BDn は、ブレーク条件に含まれる 1：ブレークデータビット BDn はマスクされ、ブレーク条件に含まれない 【注】n=31～0

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合は、BDMR におけるブレークマスクデータとして、ビット 31～24、23～16、15～8、7～0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31～16、15～0 に同一のワードデータをセットしてください。

8.2.5 ブレークバスサイクルレジスタ（BBR）

BBR は、ブ레이크条件として（1）ユーザブ레이크割り込み要求の禁止／許可、（2）データバスの値を含める／含めない、（3）内部 CPU バスまたは内部 DMA バス、（4）C バスサイクルまたは I バスサイクル、（5）命令フェッチまたはデータアクセス、（6）読み出しまたは書き込み、および（7）オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	DBE	-	-	CP[1:0]		CD[1:0]		ID[1:0]		RW[1:0]		SZ[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID	0	R/W	ユーザブ레이크割り込みディスエーブル 条件一致時にユーザブ레이크割り込み要求の禁止／許可を指定します。 0：ユーザブ레이크割り込み要求を許可する 1：ユーザブ레이크割り込み要求を禁止する
12	DBE	0	R/W	データブ레이크イネーブル データバス条件がブ레이크条件に含まれるかどうかを選択します。 0：データバス条件がブ레이크条件に含まれない 1：データバス条件がブ레이크条件に含まれる
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	CP[1:0]	00	R/W	I バスのバスセレクト ブ레이크条件のバスサイクルが I バスの場合のバスを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効（CPU サイクルのみ）となります。 00：条件比較を行わない 01：ブ레이크条件は、内部 CPU バス 10：ブ레이크条件は、内部 DMA バス 11：ブ레이크条件は、内部 CPU バス
7、6	CD[1:0]	00	R/W	C バスサイクル/I バスサイクルセレクト ブ레이크条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00：条件比較を行わない 01：ブ레이크条件は、C バス（F バス、M バス）サイクル 10：ブ레이크条件は、I バスサイクル 11：ブ레이크条件は、C バス（F バス、M バス）サイクル

ビット	ビット名	初期値	R/W	説 明
5、4	ID[1:0]	00	R/W	命令フェッチ／データアクセスセレクト ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合はCバスサイクルを選択してください。 00：条件比較を行わない 01：ブ레이크条件は、命令フェッチサイクル 10：ブ레이크条件は、データアクセスサイクル 11：ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル
3、2	RW[1:0]	00	R/W	読み出し／書き込みセレクト ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00：条件比較を行わない 01：ブ레이크条件は、読み出しサイクル 10：ブ레이크条件は、書き込みサイクル 11：ブ레이크条件は、読み出しサイクルまたは書き込みサイクル
1、0	SZ[1:0]	00	R/W	オペランドサイズセレクト ブ레이크条件のバスサイクルのオペランドサイズを選択します。 00：ブ레이크条件には、オペランドサイズを含まない 01：ブ레이크条件は、バイトアクセス 10：ブ레이크条件は、ワードアクセス 11：ブ레이크条件は、ロングワードアクセス

8.2.6 ブレイクコントロールレジスタ（BRCR）

BRCR は、次の条件を設定します。

1. 命令フェッチサイクルによるユーザブレイク割り込み例外処理の実行開始を命令実行の前に設定するか後に設定するかを指定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件を設定するためのビットを持つ 32 ビットの読み出し／書き込み可能なレジスタです。ビット 15～12 の条件一致フラグのみ、1 書き込みは無効（前値保持）で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC0	SCMFC1	SCMFD0	SCMFD1	-	-	-	-	-	PCB1	PCB0	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 に設定したブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャンネル 0 に対する C バスサイクル条件不一致 1：チャンネル 0 に対する C バスサイクル条件一致
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 に設定したブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャンネル 1 に対する C バスサイクル条件不一致 1：チャンネル 1 に対する C バスサイクル条件一致
13	SCMFD0	0	R/W	I バスサイクル条件一致フラグ 0 チャンネル 0 に設定したブレイク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャンネル 0 に対する I バスサイクル条件不一致 1：チャンネル 0 に対する I バスサイクル条件一致

ビット	ビット名	初期値	R/W	説 明
12	SCMFD1	0	R/W	Iバスサイクル条件一致フラグ1 チャンネル1に設定したブレーク条件のIバスサイクル条件を満足すると、このフラグは1にセットされます。このフラグをクリアするには、このビットに0を書き込みます。 0：チャンネル1に対するIバスサイクル条件不一致 1：チャンネル1に対するIバスサイクル条件一致
11～7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PCB1	0	R/W	PC ブレークセレクト1 チャンネル1に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0：チャンネル1のPC ブレークを命令実行前に設定 1：チャンネル1のPC ブレークを命令実行後に設定
5	PCB0	0	R/W	PC ブレークセレクト0 チャンネル0に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0：チャンネル0のPC ブレークを命令実行前に設定 1：チャンネル0のPC ブレークを命令実行後に設定
4～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.3 動作説明

8.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスを、ブレイクアドレスレジスタ (BAR) に指定します。マスクするアドレスを、ブレイクアドレスマスクレジスタ (BAMR) に指定します。ブレイクデータを、ブレイクデータレジスタ (BDR) に指定します。マスクするデータを、ブレイクデータマスクレジスタ (BDMR) に指定します。バスブレイク条件を、ブレイクバスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCRのビットに指定します。すべてのブレイク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレイク条件を満足し、ユーザブレイク割り込み要求を許可する設定の場合、本モジュールはユーザブレイク割り込み要求を割り込みコントローラに通知するとともに、それぞれのチャネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットします。
3. ユーザブレイク割り込み要求信号を受け取ると、割り込みコントローラは優先順位判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) がレベル14以下のとき、受け付けられます。I3～I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第7章 割り込みコントローラ」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。ユーザブレイク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。
5. チャネル0およびチャネル1で設定したブレイクがほぼ同時に発生する場合があります。割り込みコントローラに対するユーザブレイク割り込み要求は1つだけであっても、これらの2つのブレイクチャネル一致フラグは2つともセットされる場合があります。
6. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - CPUがCバス上で発行したアクセスが内部CPUバス上に発行されるかどうかは、キャッシュの設定により異なります。キャッシュ条件によるIバスの動作については、「第9章 キャッシュ」の表9.8を参照してください。
 - Iバスにブレイク条件を設定している場合はデータアクセスサイクルのみ監視し、命令フェッチサイクル (キャッシュ更新サイクルを含む) は監視しません。
 - 内部DMAバスサイクルは、データアクセスサイクルのみです。

- Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因した内部CPUバスサイクルで条件が一致したときでも、どの命令でユーザブレイク割り込み要求を受け付けるかを一意に決定することはできません。

8.3.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ（BBR）にCバス／命令フェッチ／読み出し／ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。ユーザブレイク割り込み例外処理の実行開始を命令実行の前にするか後にするかは、該当するチャネルに対するブレイクコントロールレジスタ（BRCCR）のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ（BAR）のBA0ビットを0に設定してください。このビットが1に設定されているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン（分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令）によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までユーザブレイク割り込み要求は受け付けられません。

【注】遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までユーザブレイク割り込み要求は受け付けられません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ（BDR）は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

8.3.3 データアクセスサイクルでのブレイク

- データアクセスブレイクにおいて、ブレイク条件としてCバスを指定した場合は、実行された命令によりアクセスされたアドレス（およびデータ）に対して条件比較を行いブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバスセレクトで指定したバス上のデータアクセスサイクルのアドレス（およびデータ）に対して条件比較を行いブレイクを発生します。内部CPUバス上に発行されるCPUのバスサイクルに関しては、「8.3.1 ユーザブレイク動作の流れ」の6.の項を参照してください。
- 表8.2にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 8.2 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット31～2とアドレスバスのビット31～2を比較
ワード	ブレイクアドレスレジスタのビット31～1とアドレスバスのビット31～1を比較
バイト	ブレイクアドレスレジスタのビット31～0とアドレスバスのビット31～0を比較

これは、たとえばブレイクアドレスレジスタ（BAR）にアドレスH'00001003を設定するとき、ブレイク条件を満足するバスサイクルには、（他のすべての条件が満足されると仮定した場合）以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

- ブレイク条件にデータ値が含まれる場合

ブレイク条件にデータ値が含まれる場合は、ブレイクバスサイクルレジスタ（BBR）にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためには、ブレイクデータレジスタ（BDR）とブレイクデータマスクレジスタ（BDMR）のビット31～24、ビット23～16、ビット15～8、ビット7～0の4バイトに同じデータを指定します。ワードデータを指定するためには、ビット31～16、ビット15～0の2ワードに同じデータを指定します。

- PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレイク条件にデータ値が含まれる場合は、ブレイクは発生しません。
- データアクセスサイクルを選択している場合は、ブレイクの発生する命令を特定することはできません。

8.3.4 回避されるプログラムカウンタの値

ユーザブレイク割り込み要求受け付け時は、実行を再開すべき命令のアドレスをスタックに回避し、例外処理状態に移行します。ブレイク条件としてCバス（FAB）／命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件としてCバス／データアクセスサイクル、またはIバス／データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス（FAB）／命令フェッチを（命令実行前）ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに回避されます。

2. Cバス（FAB）／命令フェッチを（命令実行後）ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに回避されます。

3. Cバス／データアクセスサイクルまたはIバス／データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが回避されます。

8.3.5 使用例

(1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

● レジスタ指定

BAR_0=H'00000404、BAMR_0=H'00000000、BBR_0=H'0054、BAR_1=H'00008010、BAMR_1=H'00000006、
BBR_1=H'0054、BDR_1=H'00000000、BDMR_1=H'00000000、BRCCR=H'00000020

<チャンネル0>

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：Cバス／命令フェッチ（命令実行後）／読み出し（オペランドサイズは条件に含まれません）

<チャンネル1>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Cバス／命令フェッチ（命令実行前）／読み出し（オペランドサイズは条件に含まれません）

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010～H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BAR_0=H'00027128、BAMR_0=H'00000000、BBR_0=H'005A、BAR_1=H'00031415、BAMR_1=H'00000000、
BBR_1=H'0054、BDR_1=H'00000000、BDMR_1=H'00000000、BRCR=H'00000000

<チャンネル0>

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : Cバス／命令フェッチ (命令実行前) ／書き込み／ワード

<チャンネル1>

アドレス : H'00031415、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス／命令フェッチ (命令実行前) ／読み出し (オペランドサイズは条件に含まれません)

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定

BAR_0=H'00008404、BAMR_0=H'00000FFF、BBR_0=H'0054、BAR_1=H'00008010、BAMR_1=H'00000006、
BBR_1=H'0054、BDR_1=H'00000000、BDMR_1=H'00000000、BRCR=H'00000020

<チャンネル0>

アドレス : H'00008404、アドレスマスク : H'00000FFF

バスサイクル : Cバス／命令フェッチ (命令実行後) ／読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス／命令フェッチ (命令実行前) ／読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00008000～H'00008FFEの命令の実行後、またはアドレスH'00008010～H'00008016の命令の実行前に生じます。

(2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

• レジスタ指定

BAR_0=H'00123456、BAMR_0=H'00000000、BBR_0=H'0064、BAR_1=H'000ABCDE、

BAMR_1=H'000000FF、BBR_1=H'106A、BDR_1=H'A512A512、BDMR_1=H'00000000、BRCR=H'00000000

<チャンネル0>

アドレス : H'00123456、アドレスマスク : H'00000000

バスサイクル : Cバス/データアクセス/読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'000ABCDE、アドレスマスク : H'000000FF

データ : H'0000A512、データマスク : H'00000000

バスサイクル : Cバス/データアクセス/書き込み/ワード

チャンネル0では、ユーザブレイクはアドレスH'00123456に対するロングワードの読み出し、アドレス

H'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チ

ャネル1では、ユーザブレイクはH'000ABC00~H'000ABCFEにワードH'A512を書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

• レジスタ指定 :

BAR_0=H'00314156、BAMR_0=H'00000000、BBR_0=H'0194、BAR_1=H'00055555、BAMR_1=H'00000000、

BBR_1=H'12A9、BDR_1=H'78787878、BDMR_1=H'0F0F0F0F、BRCR=H'00000000

<チャンネル0>

アドレス : H'00314156、アドレスマスク : H'00000000

バスサイクル : 内部CPUバス/命令フェッチ/読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00055555、アドレスマスク : H'00000000

データ : H'00000078、データマスク : H'0000000F

バスサイクル : 内部DMAバス/データアクセス/書き込み/バイト

チャンネル0では、内部CPUバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクは内部DMAバス上でダイレクトメモリアccessコントローラがバイトH'7xをアドレスH'00055555に書き込むときに生じます (内部CPUバスでのアクセスの場合は生じません)。

8.4 使用上の注意事項

1. 本モジュールのレジスタの読み出しまたは書き込みは、内部CPUバス経由で行われます。したがって、本モジュールのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。本モジュールのレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. 本モジュールはCバスサイクル、内部CPUバスサイクル、内部DMAバスサイクルを同じチャネルで監視することはできません。
3. ユーザブレイク割り込み要求と他の例外要因が同一命令で発生した場合は、「第6章 例外処理」の表6.1に定められた優先順位で判定が行われます。より高い優先度の例外要因が発生した場合は、ユーザブレイク割り込み要求は受け付けられません。
4. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。

遅延スロット命令に対して命令実行前ブレイクを設定した場合は、その分岐先の実行前までユーザブレイク割り込み要求は受け付けられません。
5. モジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、本モジュールのレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレイク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレイクアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレイクを設定しないでください。
8. 32ビット命令にブレイクアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレイクアドレスを設定した場合、ブレイク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブレイクを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレイクを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレイクが発生します。

9. キャッシュ

9.1 特長

- 容量
命令キャッシュ：8Kバイト
オペランドキャッシュ：8Kバイト
- 構成：命令／データ分離、4ウェイセットアソシアティブ
- ウェイロック機能（オペランドキャッシュのみ）：ウェイ2、ウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：128エントリ／ウェイ
- ライト方式：ライトバック方式とライトスルー方式より選択可能
- 置換方式：LRU置換アルゴリズム

9.1.1 キャッシュの構成

キャッシュは、命令／データ分離型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、おのおののウェイはアドレス、データに分かれています。

アドレスとデータはそれぞれ1ウェイあたり128のエントリで構成されます。エントリのデータをラインと呼びます。1ラインは16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、2Kバイト（16バイト×128エントリ）で、キャッシュ全体（4ウェイ）では8Kバイトの容量となります。

オペランドキャッシュの構成を図9.1に示します。命令キャッシュの構成は、Uビットがないことを除いてオペランドキャッシュの構成と同じです。

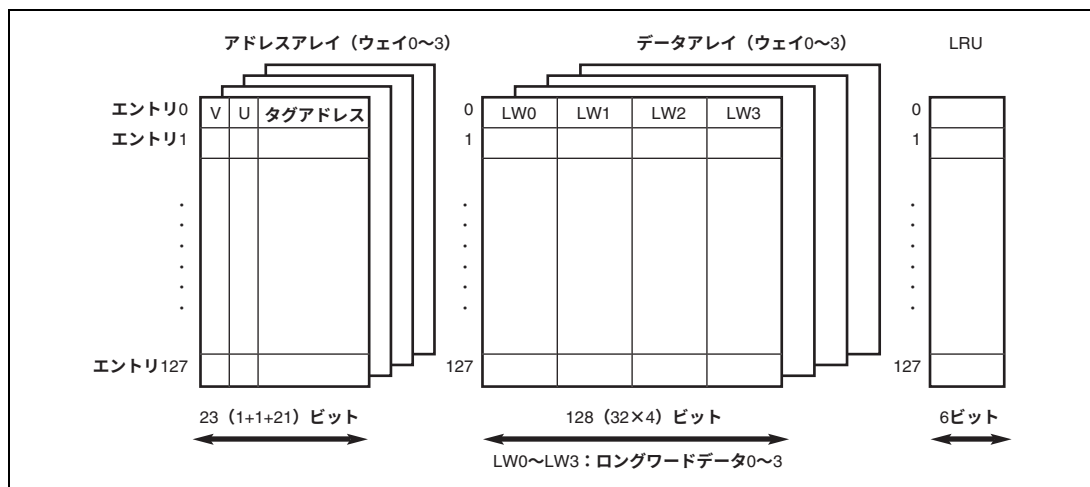


図9.1 オペランドキャッシュの構成

(1) アドレスレイ

Vビットは、エントリのデータが有効かどうかを示します。Vビットが1で有効、0で無効を示します。

Uビット（オペランドキャッシュのみ）は、ライトバックモードで、そのエントリに書き込みがあったことを示します。Uビットが1で書き込みあり、0で書き込みなしを示します。

タグアドレスは、外部メモリ/大容量内蔵RAMのアクセスに使用されるアドレスを保持します。キャッシュ検索時の比較に使用される21ビット（アドレス31~11）からなります。本LSIでは、キャッシュ有効空間のアドレスがH'00000000~H'FFFFFFであるため（「第10章 バスステートコントローラ」参照）、タグアドレスの上位3ビットに0が入ります。

V、Uビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。タグアドレスは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

(2) データレイ

16バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位（16バイト単位）で行います。

データレイは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令、データを4つまでキャッシュに登録できます。エントリに登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能（オペランドキャッシュのみ）を使用しない場合のLRUビットとリプレースされるウェイの関係を表9.1に示します（キャッシュロック機能を使用する場合に関しては「9.2.2 キャッシュ制御レジスタ2 (CCR2)」を参照してください）。表9.1に示した以外のLRUビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表9.1に示すパターンを設定してください。

LRUビットは、パワーオンリセットでB'000000に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

表 9.1 LRU ビットと置換されるウェイ（キャッシュロック機能を使用しない場合）

LRU (ビット5~0)	置換されるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

9.2 レジスタの説明

表 9.2 にレジスタ構成を示します。

表 9.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
キャッシュ制御レジスタ 1	CCR1	R/W	H'00000000	H'FFFC1000	32
キャッシュ制御レジスタ 2	CCR2	R/W	H'00000000	H'FFFC1004	32

9.2.1 キャッシュ制御レジスタ 1 (CCR1)

命令キャッシュは ICE ビットでイネーブルまたはディスエーブルを指定します。ICF ビットは命令キャッシュの全エントリの無効化を制御します。OCE ビットでオペランドキャッシュのイネーブルまたはディスエーブルを指定します。OCF ビットはオペランドキャッシュの全エントリの無効化を制御します。WT ビットではオペランドキャッシュのライトスルーモード、ライトバックモードを切り替えます。

CCR1 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR1 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICF	-	-	ICE	-	-	-	-	OCF	-	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICF	0	R/W	命令キャッシュフラッシュ 1 を書き込むと、命令キャッシュの全エントリの V、LRU ビットを 0 にクリア（フラッシュ）します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリ／大容量内蔵 RAM への書き戻しは行いません。
10、9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
8	ICE	0	R/W	命令キャッシュ有効 命令キャッシュ機能のイネーブル／ディスエーブルを指定します。 0 : 命令キャッシュディスエーブル 1 : 命令キャッシュイネーブル
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	OCF	0	R/W	オペランドキャッシュフラッシュ 1 を書き込むと、オペランドキャッシュの全エントリの V、U、LRU ビットを 0 にクリア（フラッシュ）します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリ／大容量内蔵 RAM への書き戻しは行いません。
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	WT	0	R/W	ライトスルー ライトバック／ライトスルー切り替え 0 : ライトバックモード 1 : ライトスルーモード
0	OCE	0	R/W	オペランドキャッシュ有効 オペランドキャッシュ機能のイネーブル／ディスエーブルを指定します。 0 : オペランドキャッシュディスエーブル 1 : オペランドキャッシュイネーブル

9.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、オペランドキャッシュのキャッシュロック機能を制御するレジスタです。キャッシュロック機能はキャッシュロックモード時のみ有効です。キャッシュロックモードとは、CCR2 のロックイネーブルビット (LE ビット) =1 の状態です。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 9.3 に示すとおりです。一方プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロックモード、W3LOAD=1 かつ W3LOCK=1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時のプリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 9.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR2 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	W3 LOAD*	W3 LOCK	-	-	-	-	-	-	W2 LOAD*	W2 LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

【注】 * W3LOADとW2LOADを同時に1にセットしないでください。

ビット	ビット名	初期値	R/W	説 明
31～17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	LE	0	R/W	ロックイネーブル キャッシュロックモードを制御します。 0 : 非キャッシュロックモード 1 : キャッシュロックモード
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 8	W3LOAD* W3LOCK	0 0	R/W R/W	ウェイ 3 ロード ウェイ 3 ロック W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 3 に読み込まれます。その他のすべての条件では、キャッシュミスしたデータは LRU の示すウェイに読み込まれます。
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1 0	W2LOAD* W2LOCK	0 0	R/W R/W	ウェイ 2 ロード ウェイ 2 ロック W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 2 に読み込まれます。その他のすべての条件では、キャッシュミスしたデータは LRU の示すウェイに読み込まれます。

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.3 PREF 命令がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置換されるウェイ
0	x	x	x	x	LRU に従う (表 9.1)
1	x	0	x	0	LRU に従う (表 9.1)
1	x	0	0	1	LRU に従う (表 9.5)
1	0	1	x	0	LRU に従う (表 9.6)
1	0	1	0	1	LRU に従う (表 9.7)
1	0	x	1	1	ウェイ 2
1	1	1	0	x	ウェイ 3

【記号説明】 x : Don't care

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.4 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置換されるウェイ
0	x	x	x	x	LRU に従う (表 9.1)
1	x	0	x	0	LRU に従う (表 9.1)
1	x	0	x	1	LRU に従う (表 9.5)
1	x	1	x	0	LRU に従う (表 9.6)
1	x	1	x	1	LRU に従う (表 9.7)

【記号説明】 x : Don't care

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.5 LRU ビットと置換されるウェイ (W2LOCK=1 かつ W3LOCK=0 の場合)

LRU (ビット 5~0)	置換されるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 9.6 LRU ビットと置換されるウェイ (W2LOCK=0 かつ W3LOCK=1 の場合)

LRU (ビット 5~0)	置換されるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 9.7 LRU ビットと置換されるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)

LRU (ビット 5~0)	置換されるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

9.3 動作説明

オペランドキャッシュについて説明します。命令キャッシュについては、アドレスアレイにUビットがない、プリフェッチ動作がない、ライト動作がない、ライトバックパッファがないことを除いてオペランドキャッシュと同様です。

9.3.1 キャッシュの検索

オペランドキャッシュがイネーブルのとき (CCR1 レジスタの OCE ビット=1)、キャッシュ有効空間のデータにアクセスすると、キャッシュが検索され、目的のデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 9.2 に示します。

メモリへのアクセスアドレスのビット 10~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。このとき、タグアドレスの上位 3 ビットは常に 0 です。メモリへのアクセスアドレスのビット 31~11 と、読み出したタグアドレスを比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ比較されたエントリが有効である (V=1) 場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合は図 9.2 に示します。

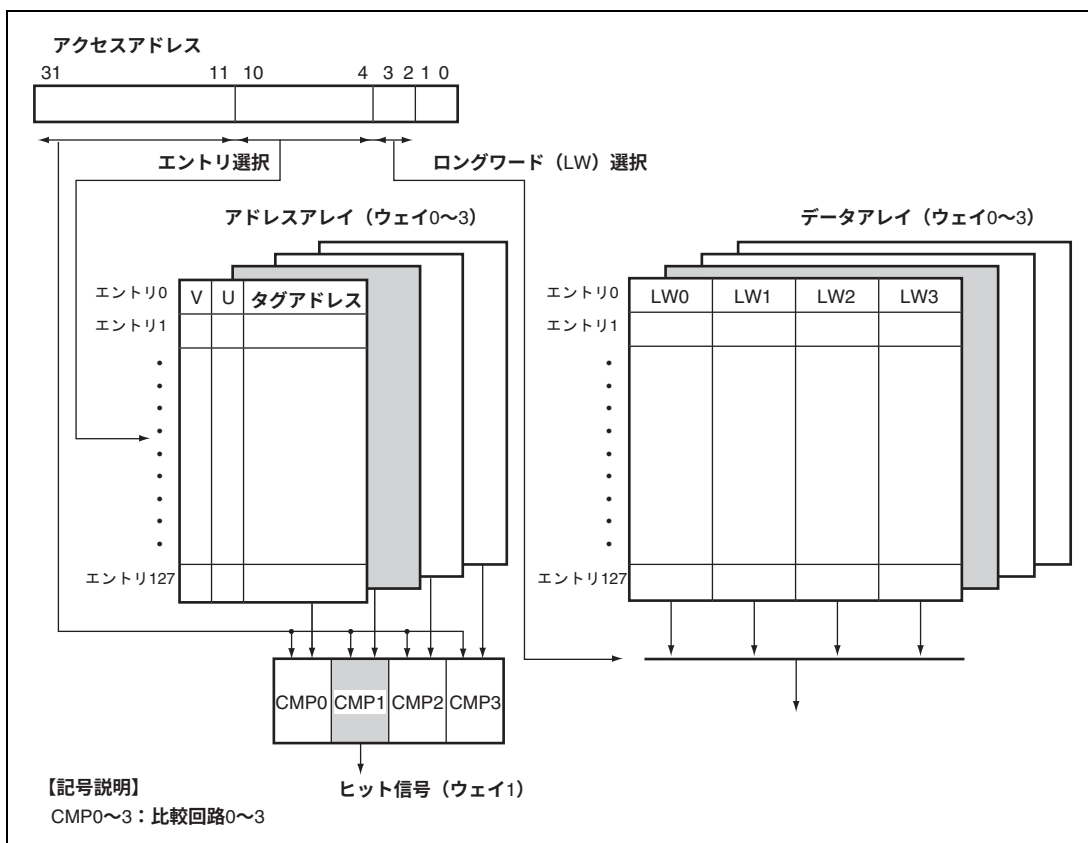


図 9.2 キャッシュの検索方法

9.3.2 リード動作

(1) リードヒット

キャッシュから CPU にデータが転送されます。ヒットしたウェイが最新となるように LRU が更新されます。

(2) リードミス

内部バスサイクルを起動し、エントリを更新します。置換するウェイは表 9.4 に従います。エントリの更新の単位は 16 バイトです。外部メモリ／大容量内蔵 RAM から目的のデータがキャッシュに登録されると同時に、CPU にそのデータが転送されます。キャッシュに登録されるときに、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。オペランドキャッシュではさらに U ビットが 0 にセットされ、ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。キャッシュの更新およびメモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、リードミスが発生したアドレスの下位 4 ビットが H'4 の場合、アドレスの下位 4 ビットが H'4→H'8→H'C→H'0 の順番でキャッシュの更新およびメモリへの書き戻しを行います。

9.3.3 プリフェッチ動作（オペランドキャッシュのみ）

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は変更されません。CPU へのデータの転送は行われません。

(2) プリフェッチミス

CPU へのデータの転送が行われず、置換するウェイは表 9.3 に従います。その他の動作はリードミスの場合と同じです。

9.3.4 ライト動作（オペランドキャッシュのみ）

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリ／大容量内蔵 RAM へのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリ／大容量内蔵 RAM へのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に内部バスサイクルを起動し、エントリを更新します。置換するウェイは表 9.4 に従います。エントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリ

がライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。キャッシュの更新およびメモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、ライトミスが発生したアドレスの下位 4 ビットが H'4 の場合、アドレスの下位 4 ビットが H'4→H'8→H'C→H'0 の順番でキャッシュの更新およびメモリへの書き戻しを行います。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリ／大容量内蔵 RAM にのみライトを行います。

9.3.5 ライトバックバッファ（オペランドキャッシュのみ）

ライトバックモードで置換されるエントリの U ビットが 1 のとき、外部メモリ／大容量内蔵 RAM への書き戻しが必要になります。性能向上のため、置換されるエントリをまずライトバックバッファに転送し、キャッシュへの新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリ／大容量内蔵 RAM への書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの 1 ライン分のデータ（16 バイト）とそのアドレスを保持可能です。ライトバックバッファの構成を図 9.3 に示します。

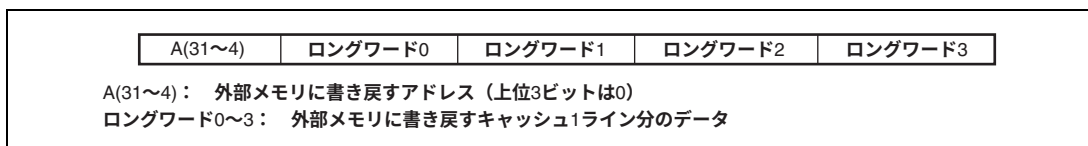


図 9.3 ライトバックバッファの構成

以上の 9.3.2～9.3.5 の動作を表 9.8 にまとめます。

表 9.8 キャッシュ動作まとめ

キャッシュの種類	CPU サイクル	ヒット／ミス	ライトバックモード／ライトスルーモード	U ビット	外部メモリ／大容量内蔵 RAM へのアクセス (内部バス経由)	キャッシュの内容
命令キャッシュ	命令フェッチ	ヒット	—	—	発生しません。	更新されません。
		ミス	—	—	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
オペランドキャッシュ	プリフェッチ／リード	ヒット	どちらのモードでも	x	発生しません。	更新されません。
		ミス	ライトスルーモード	—	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新されます。
	ライト	ヒット	ライトスルーモード	—	CPU が発行したライトサイクルが発生します。	CPU が発行したライトサイクルの内容で更新されます。
			ライトバックモード	x	発生しません。	CPU が発行したライトサイクルの内容で更新されます。
		ミス	ライトスルーモード	—	CPU が発行したライトサイクルが発生します。	更新されません。*
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。

【記号説明】 x : Don't care

【注】 キャッシュ更新サイクル : 16 バイトのリードアクセス

ライトバックバッファの書き戻しサイクル : 16 バイトのライトアクセス

* LRU も更新されません。これ以外のすべてのケースで、LRU は更新されます。

9.3.6 キャッシュと外部メモリ／大容量内蔵 RAM とのコヒーレンシ

キャッシュと外部メモリ／大容量内蔵 RAM とのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシュ有効空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU とダイレクトメモリアクセスコントローラとの共有メモリについても同様にしてください。

9.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。命令キャッシュのアドレスアレイは H'F000 0000～H'F07F FFFF に、データアレイは H'F100 0000～H'F17F FFFF に割り付けられています。オペランドキャッシュのアドレスアレイは H'F080 0000～H'F0FF FFFF に、データアレイは H'F180 0000～H'F1FF FFFF に割り付けられています。アドレスアレイ、データアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

9.4.1 アドレスアレイ

アドレスアレイのアクセスには 32 ビットのアドレスの指定（読み出し／書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。

アドレスにはエントリを選択するためのエントリアドレス、ウェイを選択するための W ビット、連想動作の有無を指定する A ビットを指定します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1～0 には B'00 を指定してください。

データにはタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを指定します。タグアドレスの上位 3 ビット（ビット 31～29）には常に 0 を指定してください。

アドレスおよびデータのフォーマットについては、図 9.4 を参照してください。

アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

(2) アドレスアレイライト（連想なし）

アドレスの連想ビット（A ビット）を 0 にしてライトした場合、アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを書き込みます。オペランドキャッシュのアドレスアレイに対する書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリの書き戻しは、アドレスの下位 4 ビットが H'0→H'4→H'8→H'C の順番で行います。

(3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビット (オペランドキャッシュのみ) と V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。

オペランドキャッシュの場合は、ヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリの書き戻しは、アドレスの下位 4 ビットが H'0→H'4→H'8→H'C の順番で行います。

9.4.2 データアレイ

データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し/書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示す L ビット、ウェイを指定するための W ビットを指定します。L ビットは B'00 がロングワード 0、B'01 がロングワード 1、B'10 がロングワード 2、B'11 がロングワード 3 を示します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には B'00 を指定してください。

アドレスおよびデータのフォーマットについては、図 9.4 を参照してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L ビットで指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L ビットで指定された位置に、データで指定されたロングワードデータを書き込みます。

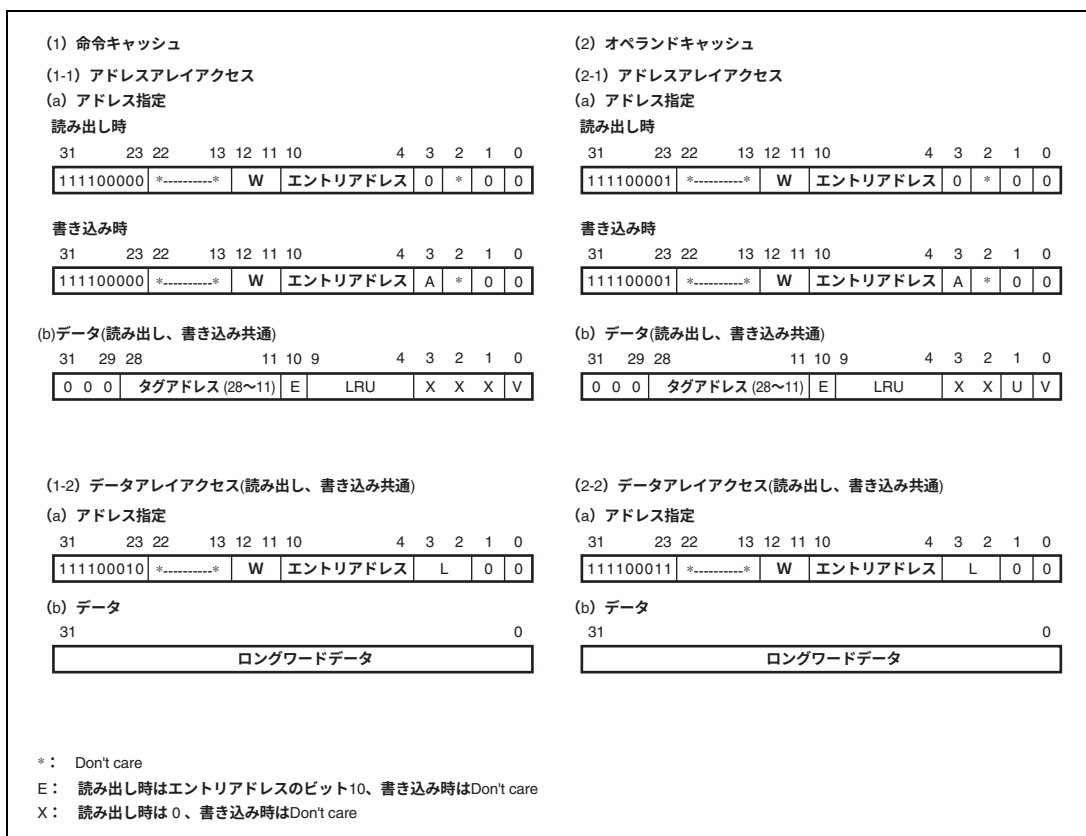


図 9.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

9.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリの V ビットに 0 を書き込むことで実現できます。A ビットを 1 とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定された V ビットおよび U ビットを書き込みます。一致しない場合はノーオペレーションです。アドレスアレイのあるエントリの V ビットを 0 にすると、そのエントリの U ビットが 1 のときそのエントリがライトバックされます。

以下に、R0 に書き込みデータ、R1 にアドレスを指定した場合の例を示します。

```
; R0=H'0110 0010; タグアドレス(28~11)=B'0 0001 0001 0000 0000 0、U=0、V=0
; R1=H'F080 0088; オペランドキャッシュアドレスアレイアクセス、エントリ=B'000 1000、A=1
;
MOV.L    R0,@R1
```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図 9.4 のデータアレイのデータ部に示されるロングワードがレジスタに読み出されます。

以下に、R0 にアドレスを指定し、R1 に読み出す例を示します。

```
; R0=H'F100 004C; 命令キャッシュデータアレイアクセス、エントリ=B'000 0100、ウェイ=0、
    ロングワードアドレス=3
;
MOV.L    @R0,R1
```

9.4.4 注意事項

1. オペランドキャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置してください。命令キャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置し、その先頭と最後でそれぞれ2回以上、内蔵周辺モジュールまたは外部アドレス空間（キャッシュ無効アドレス）へのリードアクセスを実行してください。
2. 同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えることは禁止します。同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えた場合の動作は保証しません。
3. レジスタおよびメモリ割り付けキャッシュは、CPUでのみアクセス可能です。ダイレクトメモリアccessコントローラではアクセスできません。

10. バスステートコントローラ

外部バスコントローラは、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAMなどの各種メモリおよび外部デバイスを直接接続することができます。

10.1 特長

1. 外部アドレス空間

- SH726AではCS0、CS3の各空間をそれぞれ最大8Mバイトまでサポート、SH726BではCS0～CS4の各空間をそれぞれ最大64Mバイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、パーストROM（クロック同期または非同期）、SDRAMのメモリ種類を指定可能
- CS0空間のデータバス幅は16ビット、CS1～CS4空間はそれぞれ8ビットまたは16ビットから選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリーダーライト（同一空間または別空間）、リーダーリード（同一空間または別空間）、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

3. パーストROM（クロック非同期）インタフェース

- ページモード機能を有するROMを高速にアクセス可能

4. SDRAMインタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- パワーダウンモードのサポート
- MRSコマンド、EMRSコマンド発行のサポート

5. バイト選択付きSRAMインタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

6. バーストROM（クロック同期）インタフェース

- クロック同期タイプのバーストROMを直結可能

7. リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定（1、2、4、6、および8）による集中リフレッシュが可能

8. リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチタイマで割り込み要求発生可能

図 10.1 に本モジュールのブロック図を示します。

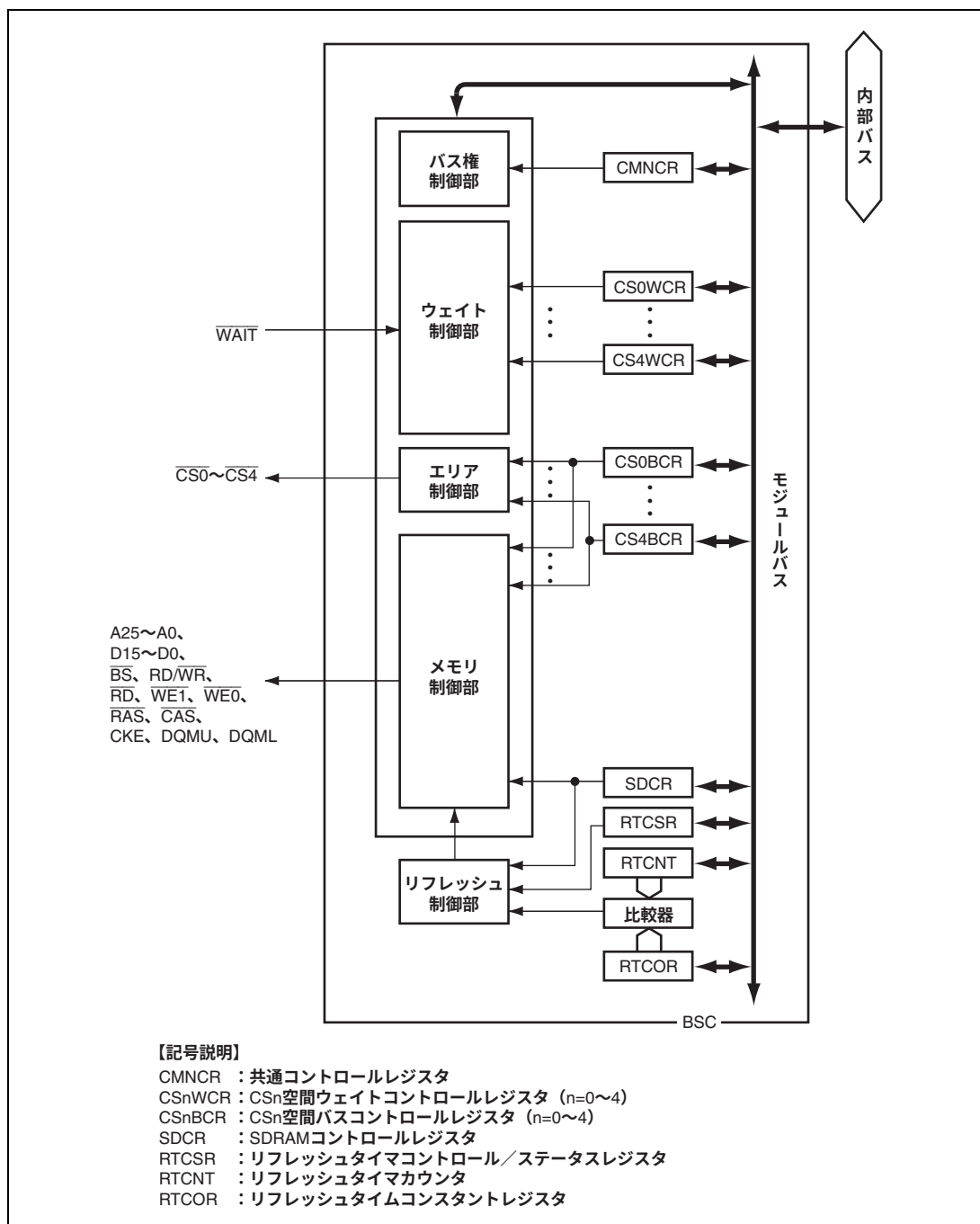


図 10.1 バスステートコントローラのブロック図

10.2 入出力端子

表 10.1 に端子構成を示します。

表 10.1 端子構成

端子名	入出力	機 能
A25~A0*	出力	アドレスバス
D15~D0	入出力	データバス
$\overline{BS}^*$	出力	バスサイクルの開始を示す信号
$\overline{CS0} \sim \overline{CS4}^*$	出力	チップセレクト
$RD/\overline{WR}$	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 $\overline{WE}$ 端子に接続
$\overline{RD}$	出力	リードパルス信号（リードデータ出力許可信号）
$\overline{WE1}/DQMU$	出力	D15~D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15~D8 対応の選択信号
$\overline{WE0}/DQML$	出力	D7~D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7~D0 対応の選択信号
$\overline{RAS}$	出力	SDRAM 接続時は、 $\overline{RAS}$ 端子に接続
$\overline{CAS}$	出力	SDRAM 接続時は、 $\overline{CAS}$ 端子に接続
$\overline{CKE}$	出力	SDRAM 接続時は、 $\overline{CKE}$ 端子に接続
$\overline{WAIT}$	入力	外部ウェイト入力

【注】 * SH726A では、A25~A23、A0、 $\overline{BS}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$ 、 $\overline{CS4}$ の端子機能は使用できません。

10.3 エリアの概要

10.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、キャッシュ有効空間、キャッシュ無効空間、内蔵空間（内蔵 RAM、内蔵周辺モジュール、予約）に分割されています。

CS0～CS4 の外部アドレス空間は、内部アドレスの A29=0 のときにキャッシュ有効、A29=1 のときにキャッシュ無効となります。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 10.2 アドレスマップ

内部アドレス	空間	メモリ種類	キャッシュ
H'00000000～H'03FFFFFF	CS0	通常空間、バイト選択付き SRAM、バースト ROM（非同期、同期）	有効
H'04000000～H'07FFFFFF	CS1*2	通常空間、バイト選択付き SRAM	
H'08000000～H'0BFFFFFF	CS2*2	通常空間、バイト選択付き SRAM、SDRAM	
H'0C000000～H'0FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	
H'10000000～H'13FFFFFF	CS4*2	通常空間、バイト選択付き SRAM、バースト ROM（非同期）	
H'14000000～H'1FFFFFFF	その他	SPI マルチ I/O バス空間、内蔵 RAM、予約エリア*1	
H'20000000～H'23FFFFFF	CS0	通常空間、バイト選択付き SRAM、バースト ROM（非同期、同期）	無効
H'24000000～H'27FFFFFF	CS1*2	通常空間、バイト選択付き SRAM	
H'28000000～H'2BFFFFFF	CS2*2	通常空間、バイト選択付き SRAM、SDRAM	
H'2C000000～H'2FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	
H'30000000～H'33FFFFFF	CS4*2	通常空間、バイト選択付き SRAM、バースト ROM（非同期）	
H'34000000～H'3FFFFFFF	その他	SPI マルチ I/O バス空間、内蔵 RAM、予約エリア*1	
H'40000000～H'FFFBFFFF	その他	内蔵 RAM、予約エリア*1	—
H'FFFC0000～H'FFFFFFF	その他	内蔵周辺モジュール、予約エリア*1	—

【注】 *1 内蔵 RAM 空間は「第 30 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 34 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

*2 CS1、CS2、CS4 空間は SH726B の場合に使用可能です。

10.3.2 ブートモードと各エリアのデータバス幅およびエンディアン指定と関連端子設定

ブートモードにより、データバス幅やエンディアン指定、本モジュール関連端子設定の初期状態が異なります。ブートモードについては「第4章 ブートモード」を参照してください。

ブートモード0では、エリア0に接続されたROMから起動しますので、エリア0の状態は、バス幅16ビット、ビッグエンディアンの状態から変更できません。エリア1～4の初期状態もエリア0と同じですが、プログラムでバス幅とエンディアン指定を変更可能です。このモードではパワーオンリセット直後に、エリア0のROMを読み出すのに必要となるアドレスの一部とデータバス、 $\overline{CS0}$ 、 $\overline{RD}$ の端子機能のみが初期機能として自動的に選択されますが、それ以外の機能は初期機能が汎用ポートとなり、プログラムで端子機能を設定するまでは使用できません。端子設定が完了するまでは、エリア0のリードアクセス以外は行わないでください。

ブートモード1では、シリアルフラッシュメモリからの起動になりますので、エリア0～4が初期状態からプログラムで変更可能となります。また、自動的な本モジュール関連端子設定は行われませんので、プログラムでの設定が必要となります。端子設定が完了するまで外部アドレス空間のアクセスを行わないでください。

表10.3にブートモードとエリア別初期状態を示します。

なお、本章に記載しているアクセス波形例では、 $\overline{BS}$ 、 $\overline{RD}/\overline{WR}$ 、 $\overline{WEn}$ などの端子も示していますが、これらは汎用入出力ポートで端子機能を設定した場合の例です。例えば、ブートモード0において8ビットバス幅を使用する場合、A0端子の設定も必要になります。

端子設定の詳細は、「第31章 汎用入出力ポート」を参照してください。

表 10.3 ブートモードとエリア別初期状態

ブートモード	項目	エリア0	エリア1～4
0	データバス幅	16ビットバス幅に固定。変更不可	初期値は16ビットバス幅。プログラムで変更可能
	エンディアン指定	ビッグエンディアン指定に固定。変更不可	初期値はビッグエンディアン指定。プログラムで変更可能
	本モジュール関連端子設定	A20-A1、D15-D0、 $\overline{CS0}$ 、 $\overline{RD}$ の端子機能のみ自動設定。 それ以外の端子はプログラムで設定が必要。	
1	データバス幅	初期値は16ビットバス幅。プログラムで変更可能	
	エンディアン指定	初期値はビッグエンディアン指定。プログラムで変更可能	
	本モジュール関連端子設定	初期値は汎用ポート機能。外部バスアクセスを行う場合、必要端子すべてのプログラム設定が必要	

【注】 *1 ブートモード0においてA21以上のアドレス線を使用するブートROMを接続する場合、A21以上のアドレス線に対し基板上でブルダウン処理が必要です。

*2 使用するメモリタイプによっては、データバス幅が限定されるものがあります。詳細は、「10.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0～4)」を参照してください。

*3 SH726Aの場合、エリア1、2、4は使用できません。またA25～A23およびA0と $\overline{BS}$ 端子機能が選択できません。

10.4 レジスタの説明

表 10.4 にレジスタ構成を示します。

接続メモリとのインタフェースの設定が終了するまでは、該当エリアのアクセスを行わないでください。

表 10.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001010	H'FFFC0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0400	H'FFFC0004	32
CS1 空間バスコントロールレジスタ	CS1BCR	R/W	H'36DB0400	H'FFFC0008	32
CS2 空間バスコントロールレジスタ	CS2BCR	R/W	H'36DB0400	H'FFFC000C	32
CS3 空間バスコントロールレジスタ	CS3BCR	R/W	H'36DB0400	H'FFFC0010	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'36DB0400	H'FFFC0014	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'FFFC0028	32
CS1 空間ウェイトコントロールレジスタ	CS1WCR	R/W	H'00000500	H'FFFC002C	32
CS2 空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'00000500	H'FFFC0030	32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'00000500	H'FFFC0034	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'00000500	H'FFFC0038	32
SDRAM コントロールレジスタ	SDCR	R/W	H'00000000	H'FFFC004C	32
リフレッシュタイムコントロール/ ステータスレジスタ	RTCSR	R/W	H'00000000	H'FFFC0050	32
リフレッシュタイムカウンタ	RTCNT	R/W	H'00000000	H'FFFC0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'00000000	H'FFFC0058	32

10.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DPRTY[1:0]		DMAIW[2:0]			DMA IWA	-	-	-	HIZ MEM	HIZ CNT*
初期値:	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、9	DPRTY[1:0]	00	R/W	DMA バースト転送優先順位 本ビットは、DMA バースト転送中に対するリフレッシュ要求の優先順位を指定します。 00 : DMA バースト転送中にリフレッシュ要求を受け付ける。 01 : 予約 (設定禁止) 10 : DMA バースト転送中にリフレッシュ要求を受け付けない。 11 : 予約 (設定禁止)
8~6	DMAIW[2:0]	000	R/W	DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定 本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説 明
5	DMAIWA	0	R/W	DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定 本ビットは、DMAIW[2:0]ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが0 の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが1 の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1 回のアクセス終了後必ずアイドルサイクルが挿入されます。 0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入 1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入
4	—	1	R	リザーブビット 読み出すと常に1 が読み出されます。書き込む値も常に1 にしてください。
3、2	—	すべて0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
1	HIZMEM	0	R/W	High-Z メモリコントロール 本ビットは、A25~A0、$\overline{BS}$、$\overline{CSn}$、$\overline{RD}/\overline{WR}$、$\overline{WEn}/\overline{DQMx}$、$\overline{RD}$のソフトウェアスタンバイモード時、およびディープスタンバイモード時の端子状態を指定します。 0 : ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス 1 : ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ
0	HIZCNT*	0	R/W	High-Z コントロール 本ビットは、CKE、$\overline{RAS}$、$\overline{CAS}$のソフトウェアスタンバイモード時およびディープスタンバイモード時の状態を指定します。 0 : CKE、$\overline{RAS}$、$\overline{CAS}$は、ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス 1 : CKE、$\overline{RAS}$、$\overline{CAS}$は、ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ

【注】 * CKIO の High-Z コントロールは「第5章 クロックパルス発振器」を参照してください。

10.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~4)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定および端子設定が終了するまでは、該当エリアの外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、「10.5.9 アクセスサイクル間アイドル」を参照ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
初期値:	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~28	IWW[2:0]	011	R/W	ライトーリード／ライトーライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライトーリードサイクルとライトーライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説 明
27～25	IWRWD[2:0]	011	R/W	別空間リード・ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード・ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
24～22	IWRWS[2:0]	011	R/W	同一空間リード・ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード・ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
21～19	IWRRD[2:0]	011	R/W	別空間リード・リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード・リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説 明
18～16	IWRRS[2:0]	011	R/W	同一空間リード・リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード・リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14～12	TYPE[2:0]	000	R/W	本ビットは、空間に接続するメモリの種類を設定します。 000 : 通常空間 001 : パースト ROM (クロック非同期) 010 : 予約 (設定禁止) 011 : バイト選択付き SRAM 100 : SDRAM 101 : 予約 (設定禁止) 110 : 予約 (設定禁止) 111 : パースト ROM (クロック同期) エリアごとのメモリタイプは表 10.2 を参照してください。 【注】 ブートモード 0 で、CS0 空間にパースト ROM を接続する場合は、CS0WCR レジスタを使用するパースト ROM で必要な設定に変更した後で TYPE[2:0] をパースト ROM の設定にしてください。ブートモード 1 の場合には、CS0BCR、CS0WCR 設定後にアクセスしてください。
11	ENDIAN	0	R/W	エンディアン指定 本ビットは、空間のデータ並びを指定します。 0 : ビッグエンディアンとして動作 1 : リトルエンディアンとして動作 【注】 ブートモード 0 での、エリア 0 のリトルエンディアン設定はできません。このとき、CS0BCR の本ビットは常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10、9	BSZ[1:0]	10	R/W	データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00 : 予約（設定禁止） 01 : 8 ビット 10 : 16 ビット 11 : 予約（設定禁止） 【注】 1. ブートモード 0 の場合、CS0BCR の BSZ[1:0]ビットへの書き込みは無視されます。 2. エリア 2 またはエリア 3 を SDRAM 空間に設定した場合は、バス幅は 16 ビットのみ設定可能です。 3. エリア 0 をクロック同期バースト ROM 空間に設定した場合は、バス幅は 16 ビットとなります。
8～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~4)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[2:0]) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR レジスタを設定後に設定してください。

(1) 通常空間、バイト選択付き SRAM

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-*	BAS	-	-	-*	-*
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]			WR[3:0]			WM	-	-	-	-	HW[1:0]	
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	—*	0	R/W	リザーブビット 通常空間、バイト選択付き SRAM インタフェース時は 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WEn}$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19, 18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	—*	すべて 0	R/W	リザーブビット 通常空間、バイト選択付き SRAM インタフェース時は 0 にしてください。
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
12, 11	SW[1:0]	00	R/W	アドレス、$\overline{CS0}$アサート→$\overline{RD}$、$\overline{WEn}$アサート遅延サイクル数 本ビットは、アドレス、$\overline{CS0}$アサートから$\overline{RD}$、$\overline{WEn}$アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約（設定禁止） 1110 : 予約（設定禁止） 1111 : 予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	HW[1:0]	00	R/W	$\overline{RD}$、$\overline{WEn}$ネゲート→アドレス、$\overline{CS0}$ネゲート遅延サイクル数 本ビットは、$\overline{RD}$、$\overline{WEn}$ネゲートから、アドレス、$\overline{CS0}$ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

【注】 * ブートモード 0 で、CS0 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 21、20 でバースト数の指定、ビット 17、16 でバーストウェイトサイクル数の指定を行った後に、CS0BCR の TYPE[2:0]を設定してください。上記以外のリザーブビットへの 1 書き込みは行わないでください。

• CS1WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]				WM	-	-	-	-	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WEn}$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18～16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0] 設定（リードアクセスウェイト数）と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
12、11	SW[1:0]	00	R/W	アドレス、 $\overline{\text{CSn}}$ アサート→ $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{\text{CSn}}$ アサートから $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10～7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約（設定禁止） 1110 : 予約（設定禁止） 1111 : 予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	HW[1:0]	00	R/W	$\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ ネゲート→アドレス、 $\overline{\text{CSn}}$ ネゲート遅延サイクル数 本ビットは、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ ネゲートから、アドレス、 $\overline{\text{CSn}}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS2WCR、CS3WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]				WM	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WEn}$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10～7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約（設定禁止） 1110 : 予約（設定禁止） 1111 : 予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

• CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]				WM	-	-	-	-	HW[1:0]	
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WEn}$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18～16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0] 設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
12、11	SW[1:0]	00	R/W	アドレス、$\overline{CS4}$アサート→$\overline{RD}$、$\overline{WEn}$アサート遅延サイクル数 本ビットは、アドレス、$\overline{CS4}$アサートから$\overline{RD}$、$\overline{WEn}$アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10～7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約（設定禁止） 1110 : 予約（設定禁止） 1111 : 予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	HW[1:0]	00	R/W	$\overline{RD}$、$\overline{WEn}$ネゲート→アドレス、$\overline{CS4}$ネゲート遅延サイクル数 本ビットは、$\overline{RD}$、$\overline{WEn}$ネゲートから、アドレス、$\overline{CS4}$ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

(2) パースト ROM (クロック非同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	BW[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]				WM	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明															
31～22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
21、20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16 バイトアクセス発生時のバースト数を指定します。BST[1:0] の B'11 設定は予約ですので設定しないでください。 <table><tr><td>バス幅</td><td>BST[1:0]</td><td>バースト数</td></tr><tr><td rowspan="2">8 ビット</td><td>00</td><td>16 バースト×1 回</td></tr><tr><td>01</td><td>4 バースト×4 回</td></tr><tr><td rowspan="3">16 ビット</td><td>00</td><td>8 バースト×1 回</td></tr><tr><td>01</td><td>2 バースト×4 回</td></tr><tr><td>10</td><td>4-4 または 2-4-2 バースト</td></tr></table>	バス幅	BST[1:0]	バースト数	8 ビット	00	16 バースト×1 回	01	4 バースト×4 回	16 ビット	00	8 バースト×1 回	01	2 バースト×4 回	10	4-4 または 2-4-2 バースト
バス幅	BST[1:0]	バースト数																	
8 ビット	00	16 バースト×1 回																	
	01	4 バースト×4 回																	
16 ビット	00	8 バースト×1 回																	
	01	2 バースト×4 回																	
	10	4-4 または 2-4-2 バースト																	
19、18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1 サイクル 10：2 サイクル 11：3 サイクル															
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															

ビット	ビット名	初期値	R/W	説 明
10～7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約（設定禁止） 1110 : 予約（設定禁止） 1111 : 予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

• CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]						WM	-	-	-	-		HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明															
31～22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
21、20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16 バイトアクセス発生時のバースト数を指定します。BST[1:0] の B'11 設定は予約ですので設定しないでください。 <table><tr><th>バス幅</th><th>BST[1:0]</th><th>バースト数</th></tr><tr><td rowspan="2">8 ビット</td><td>00</td><td>16 バースト×1 回</td></tr><tr><td>01</td><td>4 バースト×4 回</td></tr><tr><td rowspan="3">16 ビット</td><td>00</td><td>8 バースト×1 回</td></tr><tr><td>01</td><td>2 バースト×4 回</td></tr><tr><td>10</td><td>4-4 または 2-4-2 バースト</td></tr></table>	バス幅	BST[1:0]	バースト数	8 ビット	00	16 バースト×1 回	01	4 バースト×4 回	16 ビット	00	8 バースト×1 回	01	2 バースト×4 回	10	4-4 または 2-4-2 バースト
バス幅	BST[1:0]	バースト数																	
8 ビット	00	16 バースト×1 回																	
	01	4 バースト×4 回																	
16 ビット	00	8 バースト×1 回																	
	01	2 バースト×4 回																	
	10	4-4 または 2-4-2 バースト																	
19、18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1 サイクル 10：2 サイクル 11：3 サイクル															
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															

ビット	ビット名	初期値	R/W	説 明
12、11	SW[1:0]	00	R/W	アドレス、$\overline{CS4}$アサート→$\overline{RD}$、$\overline{WEn}$アサート遅延サイクル数 本ビットは、アドレス、$\overline{CS4}$アサートから、$\overline{RD}$、$\overline{WEn}$アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10～7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約（設定禁止） 1110 : 予約（設定禁止） 1111 : 予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	HW[1:0]	00	R/W	$\overline{RD}$ 、 $\overline{WEn}$ ネゲート→アドレス、 $\overline{CS4}$ ネゲート遅延サイクル数 本ビットは、 $\overline{RD}$ 、 $\overline{WEn}$ ネゲートから、アドレス、 $\overline{CS4}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

(3) SDRAM*

• CS2WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	A2CL[1:0]	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
9	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8、7	A2CL[1:0]	10	R/W	エリア 2CAS レイテンシ 本ビットは、エリア 2 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

• CS3WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTRP[1:0]*	-	WTRCD[1:0]*	-	A3CL[1:0]	-	-	-	TRWL[1:0]*	-	WTRC[1:0]*				
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

【注】 * エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

ビット	ビット名	初期値	R/W	説 明
31～15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14、13	WTRP[1:0]*	00	R/W	ブリチャージ完了待ちサイクル数 以下のブリチャージ完了待ちの最小サイクル数を指定します。 • オートブリチャージの起動から同一バンクに対する ACTV コマンド発行まで • PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで • パワーダウンモード／ディープパワーダウンモード遷移まで • オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで • セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで エリア 2 とエリア 3 の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
12	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	WTRCD[1:0]*	01	R/W	ACTV コマンド→READ (A) /WRIT (A) コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ (A) /WRIT (A) コマンド発行までの最小ウェイトサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
9	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
8、7	A3CL[1:0]	10	R/W	エリア 3CAS レイテンシ 本ビットは、エリア 3 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4、3	TRWL[1:0]*	00	R/W	プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 - 本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動するまでのサイクル数 WRITA コマンド発行後、同一バンクに対する ACTV コマンド発行までのサイクル数です。なお、SDRAM 内で WRITA コマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。 - 本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのサイクル数 バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。 エリア 2 とエリア 3 の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	WTRC[1:0]*	00	R/W	REF コマンド／セルフリフレッシュ解除→ACTV/REF/MRS コマンド間アイドルサイクル数 以下のコマンド間の最小アイドルサイクル数を指定します。 - REF コマンド発行後から ACTV/REF/MRS コマンド発行まで - セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで エリア 2 とエリア 3 の設定は共通となります。 00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル

【注】 * エリア 2 とエリア 3 がともに SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

(4) パースト ROM (クロック同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10～7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約（設定禁止） 1110 : 予約（設定禁止） 1111 : 予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10.4.4 SDRAM コントロールレジスタ (SDCR)

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	A2ROW[1:0]	-	-	A2COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DEEP	-	RFSH	RMODE	PDOWN	BACTV	-	-	-	A3ROW[1:0]	-	-	A3COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20, 19	A2ROW[1:0]	00	R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定禁止)
18	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	A2COL[1:0]	00	R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定禁止)
15, 14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー SDRAM に対してのみ有効です。本ビットを 1 の状態で RFSH ビットおよび RMODE ビットを 1 にすると、ディープパワーダウンエントリコマンドを発行してローパワー SDRAM はディープパワーダウンモードに遷移します。 0 : セルフリフレッシュモード 1 : ディープパワーダウンモード
12	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
11	RFSH	0	R/W	リフレッシュ制御 本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。 0 : リフレッシュしない 1 : リフレッシュする
10	RMODE	0	R/W	リフレッシュ制御 本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。 0 : オートリフレッシュを行う 1 : セルフリフレッシュを行う
9	PDOWN	0	R/W	パワーダウンモード 本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。 0 : アクセス終了後、SDRAM をパワーダウンモードにしない 1 : アクセス終了後、SDRAM をパワーダウンモードにする
8	BACTV	0	R/W	バンクアクティブモード 本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのを指定します。 0 : オートプリチャージモード (READA および WRITA コマンドを使用) 1 : バンクアクティブモード (READ および WRIT コマンドを使用) 【注】 バンクアクティブモードは、エリア 3 でのみ設定可能です。エリア 2 およびエリア 3 とともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4, 3	A3ROW[1:0]	00	R/W	エリア 3 ロウアドレスビット数 本ビットは、エリア 3 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定禁止)
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	A3COL[1:0]	00	R/W	エリア 3 カラムアドレスビット数 本ビットは、エリア 3 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約（設定禁止）

10.4.5 リフレッシュタイマコントロール／ステータスレジスタ（RTCSR）

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0]を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS[2:0]			RRC[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致したことを示すステータスフラグです。次の条件でセット／クリアされます。 0：クリア条件：CMF=1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1：セット条件：RTCNT=RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0：CMF による割り込み要求を禁止 1：CMF による割り込み要求を許可

ビット	ビット名	初期値	R/W	説 明
5～3	CKS[2:0]	000	R/W	クロックセレクト 本ビットは、リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックを選択します。 000 : カウントアップ停止 001 : B ϕ /4 010 : B ϕ /16 011 : B ϕ /64 100 : B ϕ /256 101 : B ϕ /1024 110 : B ϕ /2048 111 : B ϕ /4096
2～0	RRC[2:0]	000	R/W	リフレッシュ回数 本ビットは、リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000 : 1 回 001 : 2 回 010 : 4 回 011 : 6 回 100 : 8 回 101 : 予約（設定禁止） 110 : 予約（設定禁止） 111 : 予約（設定禁止）

10.4.6 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7～0		すべて 0	R/W	8 ビットのカウンタ

10.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

SDCR の RFSH ビットが 1 にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSR の CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求が発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイム割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのレジスタ

10.5 動作説明

10.5.1 エンディアン／アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト（MSB）が 0 番地側になるビッグエンディアン、下位バイト（LSB）が 0 番地側になるリトルエンディアンのいずれもサポートしています。全エリアでパワーオンリセット後の初期状態は、ビッグエンディアンとなります。対象空間をアクセスしていない場合に、CSnBCR レジスタの設定でエンディアンの変更ができます。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビットおよび 16 ビット幅の 2 種類から選べ、SDRAM は 16 ビット幅固定となります。

なお、エンディアン指定、データバス幅はブートモードに伴う制限があります。詳細は「10.3.2 ブートモードと各エリアのデータバス幅およびエンディアン指定と関連端子設定」を参照してください。

データのアライメントは、各デバイスのデータバス幅に合わせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表 10.5～表 10.8 に示します。ここで、16 ビットバス幅の場合、ストローブ信号の番地対応が、ビッグエンディアンとリトルエンディアンで異なることにご注意ください。たとえば、16 ビットバス幅でビッグエンディアン時には、 $\overline{WE1}$ が 0 番地側を示し、リトルエンディアン時には、 $\overline{WE0}$ が 0 番地側を示します。

命令フェッチは 32 ビットアクセスと 16 ビットアクセスが混在し、リトルエンディアン領域への配置は困難ですので、命令実行はビッグエンディアン領域から行ってください。

表 10.5 ビッグエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストローブ信号	
		D15～D8	D7～D0	$\overline{WE1}$ 、DQMU	$\overline{WE0}$ 、DQML
0 番地バイトアクセス		データ 7～0	—	アサート	—
1 番地バイトアクセス		—	データ 7～0	—	アサート
2 番地バイトアクセス		データ 7～0	—	アサート	—
3 番地バイトアクセス		—	データ 7～0	—	アサート
0 番地ワードアクセス		データ 15～8	データ 7～0	アサート	アサート
2 番地ワードアクセス		データ 15～8	データ 7～0	アサート	アサート
0 番地ロングワードアクセス	1 回目（0 番地）	データ 31～24	データ 23～16	アサート	アサート
	2 回目（2 番地）	データ 15～8	データ 7～0	アサート	アサート

表 10.6 ビッグエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストローブ信号	
		D15~D8	D7~D0	$\overline{WE}1$ 、DQMU	$\overline{WE}0$ 、DQML
0 番地バイトアクセス		—	データ 7~0	—	アサート
1 番地バイトアクセス		—	データ 7~0	—	アサート
2 番地バイトアクセス		—	データ 7~0	—	アサート
3 番地バイトアクセス		—	データ 7~0	—	アサート
0 番地ワードアクセス	1 回目 (0 番地)	—	データ 15~8	—	アサート
	2 回目 (1 番地)	—	データ 7~0	—	アサート
2 番地ワードアクセス	1 回目 (2 番地)	—	データ 15~8	—	アサート
	2 回目 (3 番地)	—	データ 7~0	—	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	—	データ 31~24	—	アサート
	2 回目 (1 番地)	—	データ 23~16	—	アサート
	3 回目 (2 番地)	—	データ 15~8	—	アサート
	4 回目 (3 番地)	—	データ 7~0	—	アサート

表 10.7 リトルエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストローブ信号	
		D15~D8	D7~D0	$\overline{WE}1$ 、DQMU	$\overline{WE}0$ 、DQML
0 番地バイトアクセス		—	データ 7~0	—	アサート
1 番地バイトアクセス		データ 7~0	—	アサート	—
2 番地バイトアクセス		—	データ 7~0	—	アサート
3 番地バイトアクセス		データ 7~0	—	アサート	—
0 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
2 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	データ 15~8	データ 7~0	アサート	アサート
	2 回目 (2 番地)	データ 31~24	データ 23~16	アサート	アサート

表 10.8 リトルエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストローブ信号	
		D15~D8	D7~D0	$\overline{WE}1$ 、DQMU	$\overline{WE}0$ 、DQML
0 番地バイトアクセス		—	データ 7~0	—	アサート
1 番地バイトアクセス		—	データ 7~0	—	アサート
2 番地バイトアクセス		—	データ 7~0	—	アサート
3 番地バイトアクセス		—	データ 7~0	—	アサート
0 番地ワードアクセス	1 回目 (0 番地)	—	データ 7~0	—	アサート
	2 回目 (1 番地)	—	データ 15~8	—	アサート
2 番地ワードアクセス	1 回目 (2 番地)	—	データ 7~0	—	アサート
	2 回目 (3 番地)	—	データ 15~8	—	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	—	データ 7~0	—	アサート
	2 回目 (1 番地)	—	データ 15~8	—	アサート
	3 回目 (2 番地)	—	データ 23~16	—	アサート
	4 回目 (3 番地)	—	データ 31~24	—	アサート

10.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストローブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「10.5.7 バイト選択付き SRAM インタフェース」を参照してください。図 10.2 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 $\overline{BS}$ 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

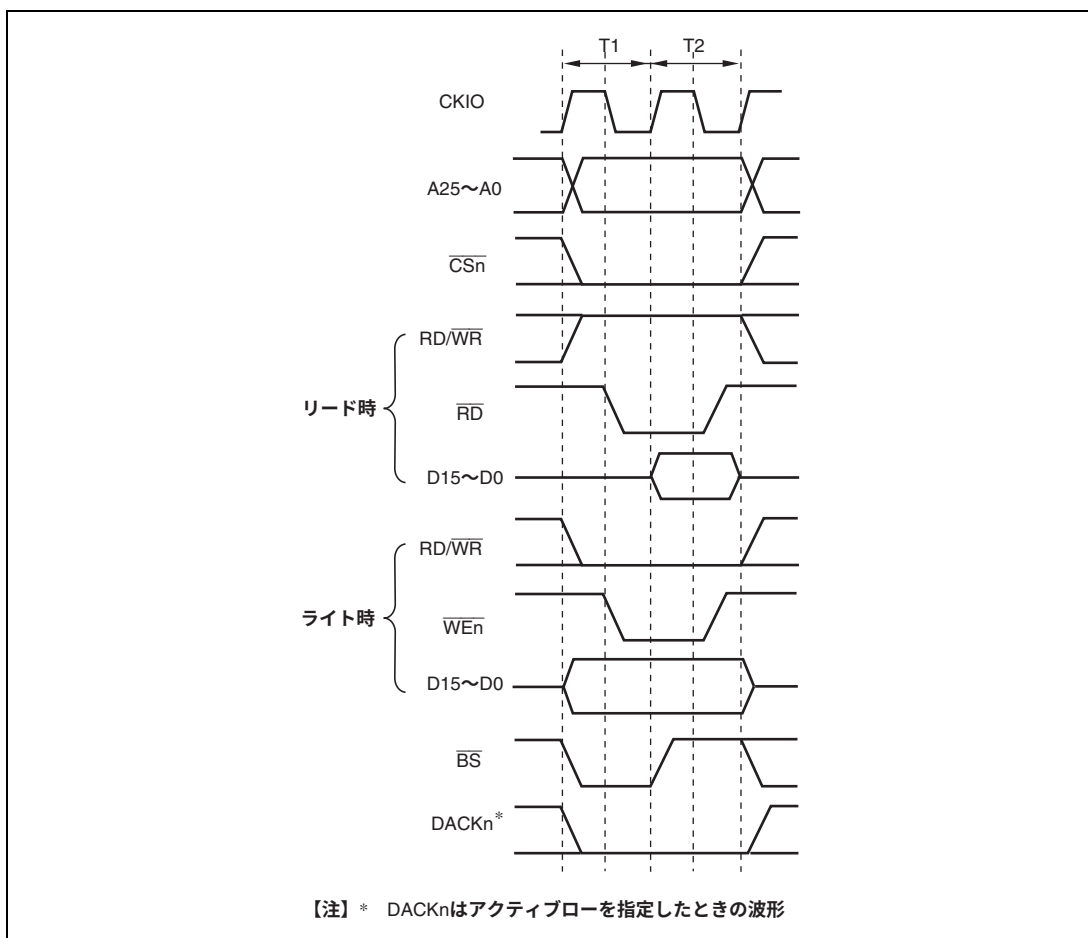


図 10.2 通常空間基本アクセス（アクセスウェイト 0、ワードアクセス）

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの $\overline{WE}$ 信号のみがアサートされます。

データバスにバッファを設ける場合には、 $\overline{RD}$ を用いてリードデータの出力制御を行う必要があります。RD/ $\overline{WR}$ 信号は、アクセスを行っていないときはリード状態（ハイレベル出力）となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 10.3、図 10.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 10.3)。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑止することができます (図 10.4)。

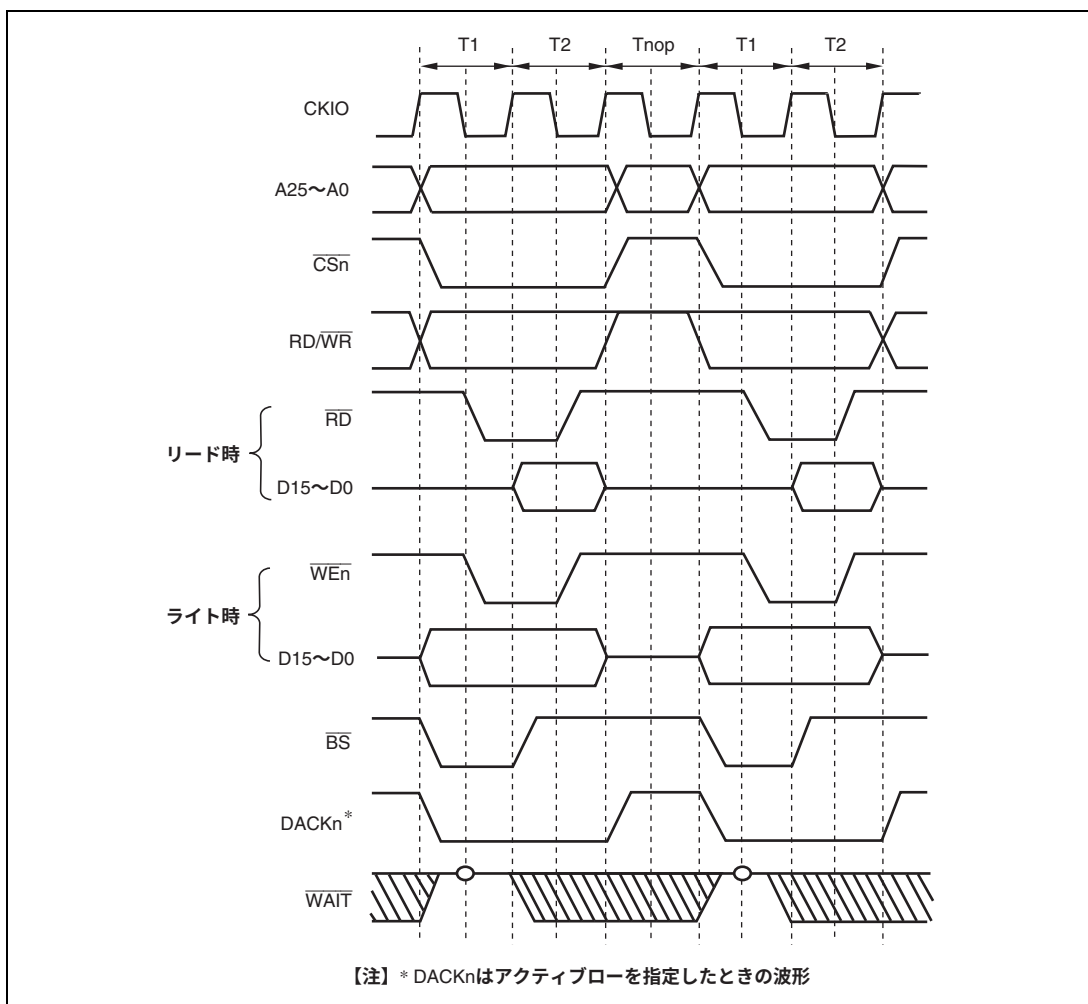
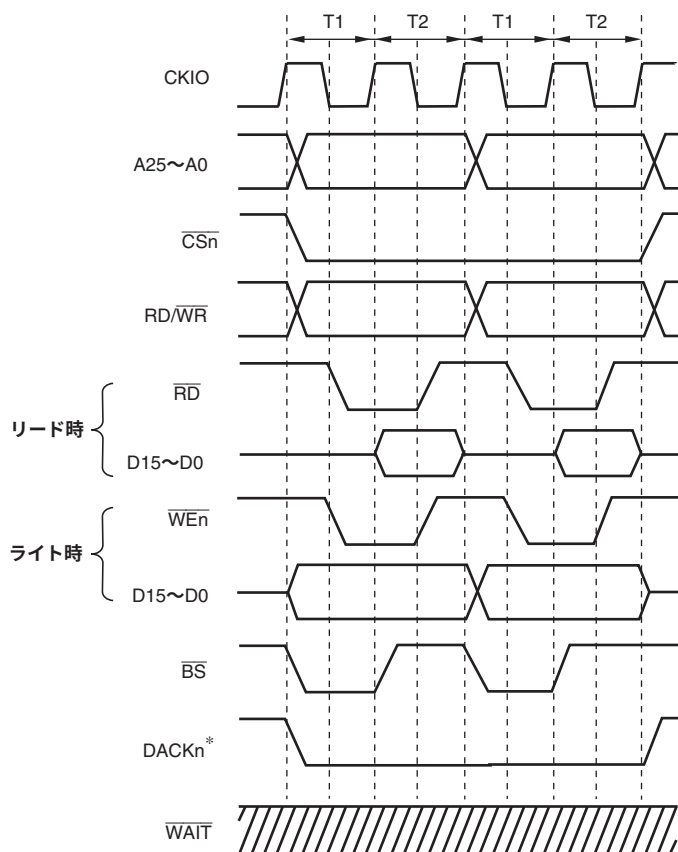


図 10.3 通常空間連続アクセス例 1
バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=0
(アクセスウェイト 0、サイクル間ウェイト 0)



【注】 * DACKnはアクティブローを指定したときの波形

図 10.4 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=1
 (アクセスウェイト 0、サイクル間ウェイト 0)

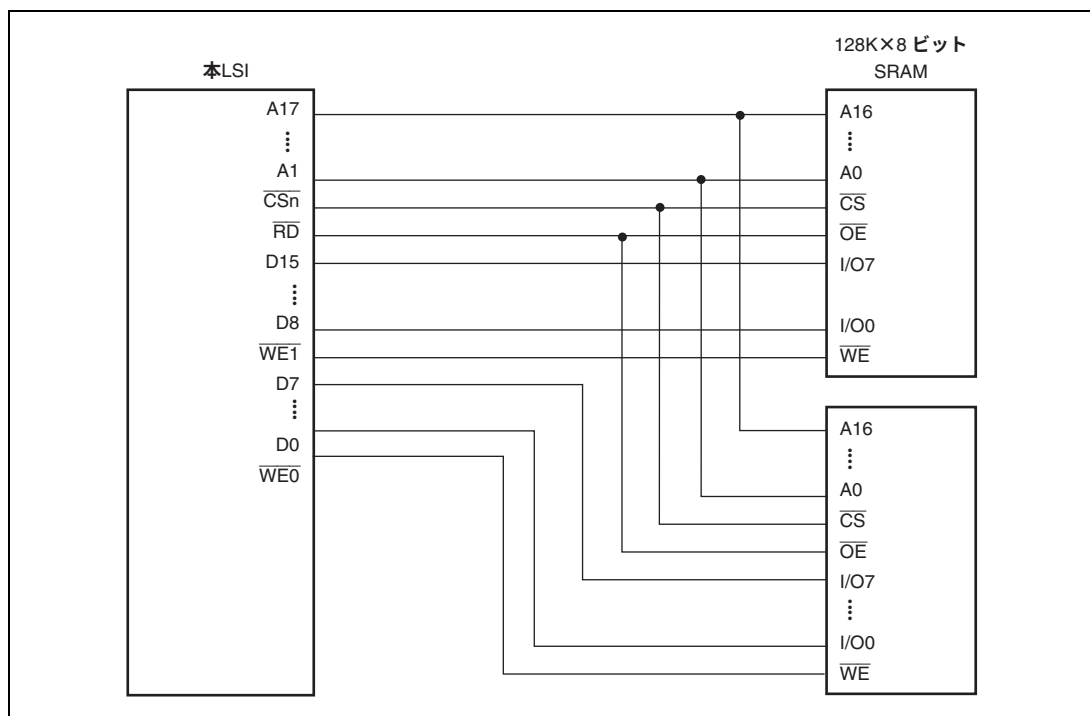


図 10.5 16 ビットデータ幅 SRAM 接続例

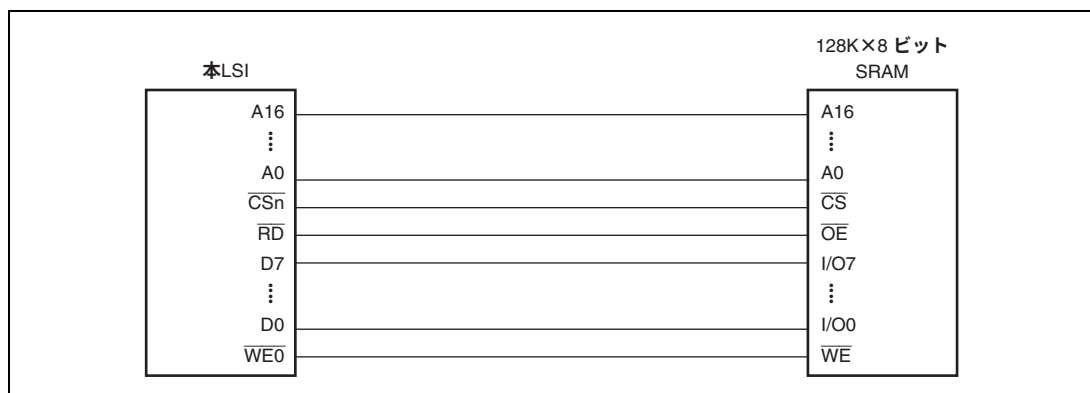


図 10.6 8 ビットデータ幅 SRAM 接続例

10.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 1 およびエリア 4 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、2 およびエリア 3 のアクセスウェイトは、リードおよびライトサイクルで共通となります。図 10.7 に示す通常空間のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

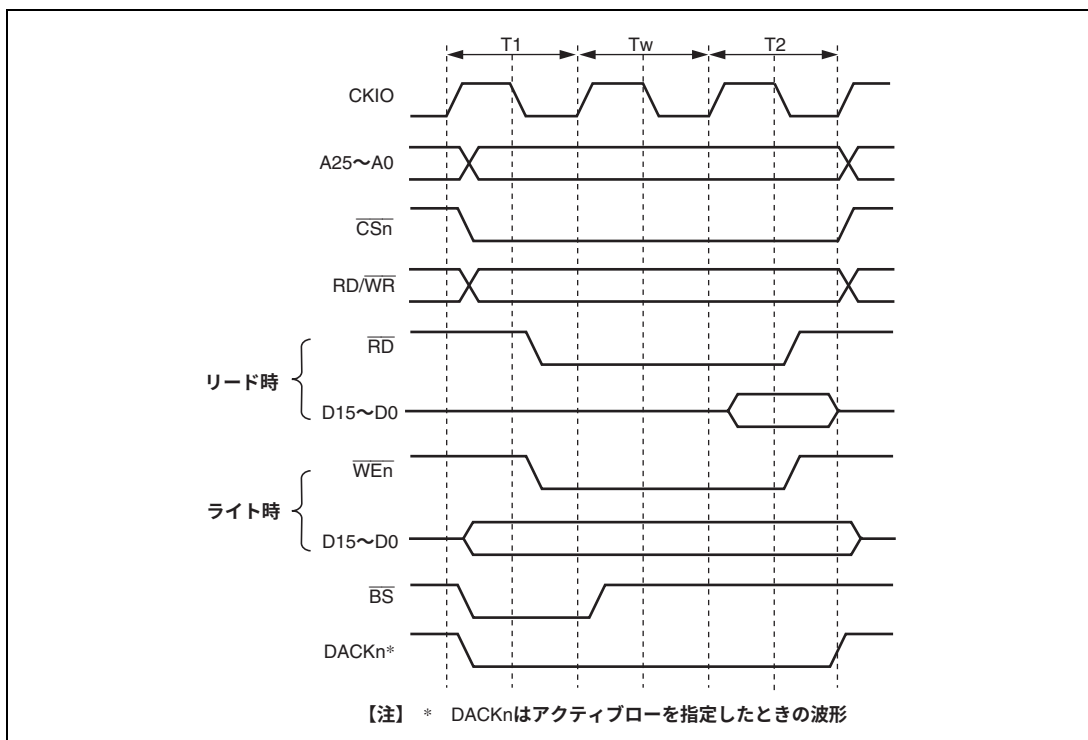


図 10.7 通常空間アクセスのウェイトタイミング（ソフトウェアウェイトのみ）

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 10.8 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

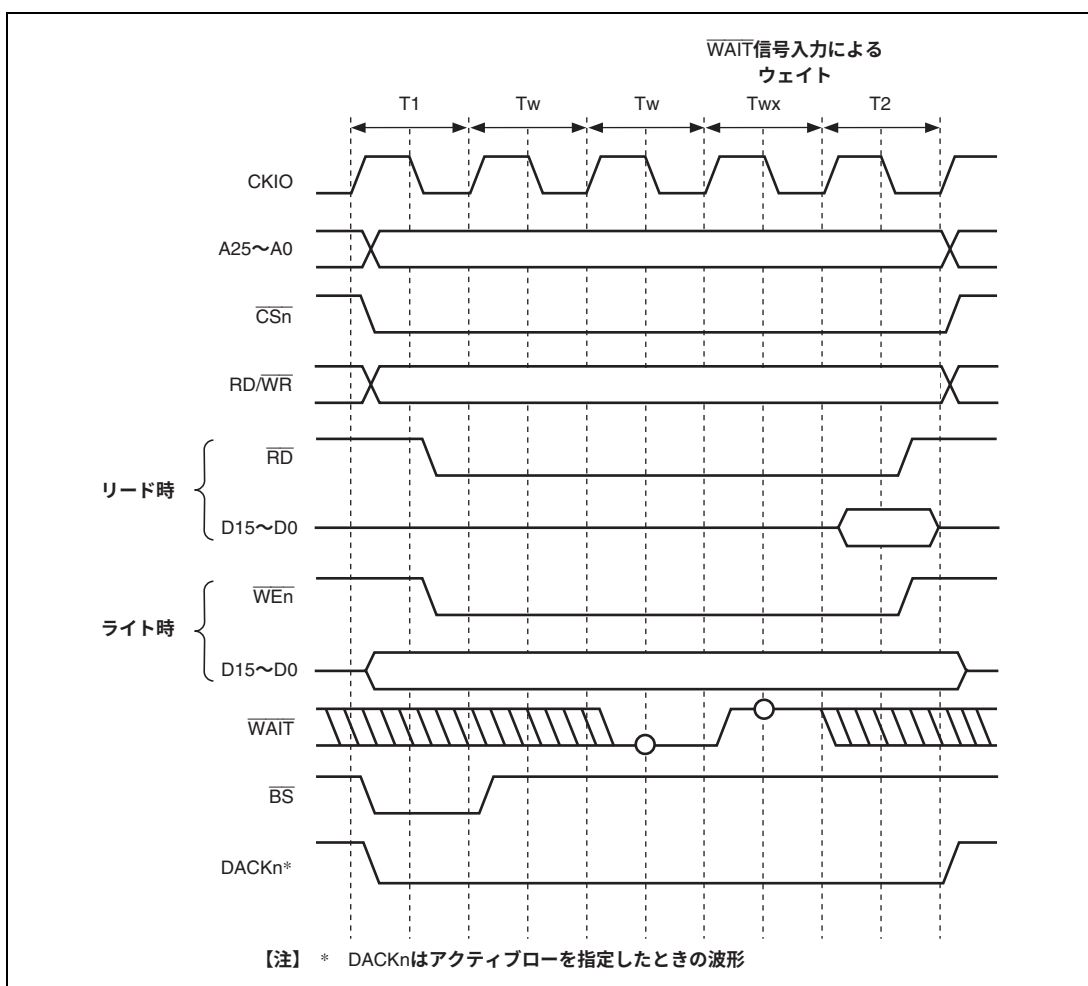


図 10.8 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

10.5.4 $\overline{\text{CSn}}$ アサート期間拡張

CSnWCR の $\text{SW}[1:0]$ ビットの設定により、 $\overline{\text{CSn}}$ アサートから $\overline{\text{RD}}$ と $\overline{\text{WE}}$ アサートまでのサイクル数を指定できます。また、 $\text{HW}[1:0]$ ビットの設定により、 $\overline{\text{RD}}$ と $\overline{\text{WE}}$ ネゲートから $\overline{\text{CSn}}$ ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 10.9 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 $\overline{\text{RD}}$ と $\overline{\text{WE}}$ 以外はアサートされますが、 $\overline{\text{RD}}$ と $\overline{\text{WE}}$ はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

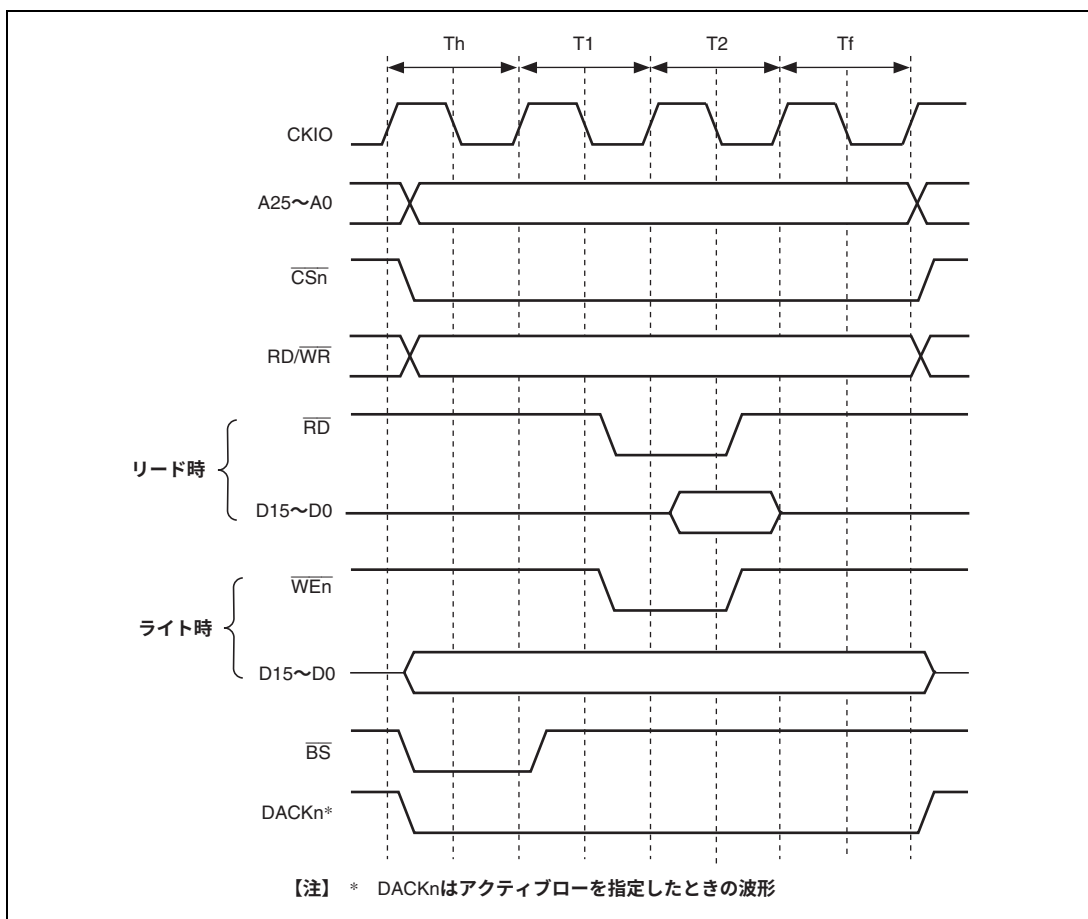


図 10.9 $\overline{\text{CSn}}$ アサート期間拡張

10.5.5 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11/12/13 ビット、カラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 DQMU 、 DQML 、 CKE 、および $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ です。 $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ を除く信号は各空間に共通であり、 CKE を除く信号は $\overline{\text{CS2}}$ または $\overline{\text{CS3}}$ がアサートされているときのみに有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、16 ビットです。

SDRAM の動作モードとしては、バーストリード/シングルライト（バースト長 1）とバーストリード/バーストライト（バースト長 1）をサポートしています。

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ（REF）、セルフリフレッシュ（SELF）、全バンクプリチャージ（PALL）、指定バンクプリチャージ（PRE）、バンクアクティブ（ACTV）、リード（READ）、プリチャージ付きリード（READA）、ライト（WRIT）、プリチャージ付きライト（WRITA）、モードレジスタ書き込み（MRS、EMRS）などをサポートしています。

アクセスするバイトの指定は、 DQMU および DQML によって行われます。該当する DQMx がローレベルのバイトに対してリード/ライトが行われます。 DQMx とアクセスするバイトの関係は、「10.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 10.10 に本 LSI と SDRAM との接続例を示します。

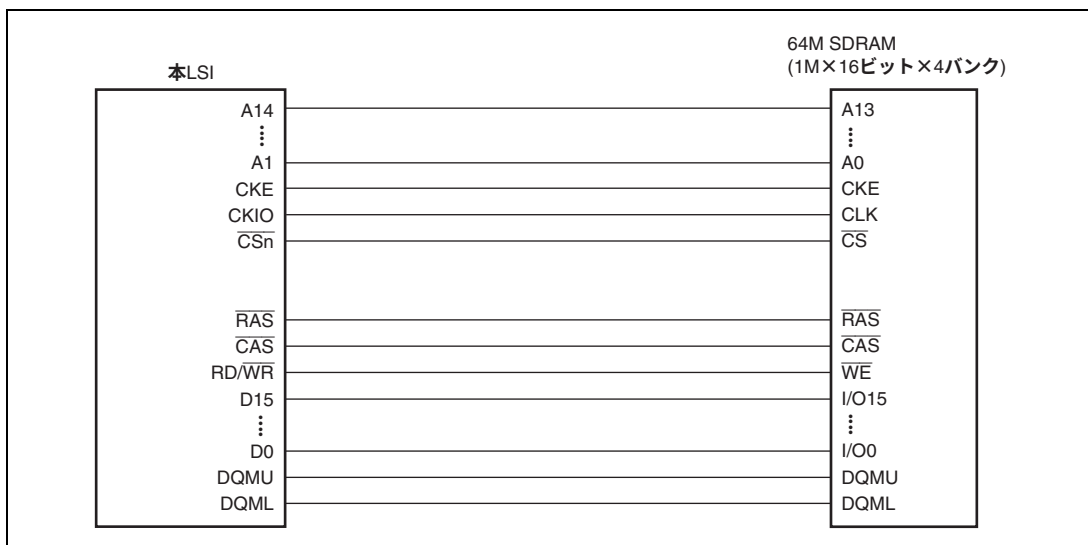


図 10.10 16 ビットデータ幅 SDRAM 接続例

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 10.9～表 10.11 に BSZ[1:0]、A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25～A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

16 ビットバス幅 (BSZ[1:0]=B'10) では、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。

表 10.9 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (1)

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	00 (11 ビット)	00 (8 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	コラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21	A21		
A12	A20*2	A20*2	A11(BA0)	バンク指定
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、コラム 8 ビット品) 1 個				

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	00 (8 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	コラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2	A13(BA1)	バンク指定
A13	A21*2	A21*2	A12(BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
64M ビット品 (1M ワード×16 ビット×4 バンク、コラム 8 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.10 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (2)

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23 ^{*2}	A23 ^{*2}	A13(BA1)	バンク指定
A13	A22 ^{*2}	A22 ^{*2}	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H ^{*1}	A10/AP	アドレス／ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24 ^{*2}	A24 ^{*2}	A13(BA1)	バンク指定
A13	A23 ^{*2}	A23 ^{*2}	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H ^{*1}	A10/AP	アドレス／ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 10.11 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (3)

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	10 (13 ビット)	01 (9 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24*2	A24*2	A14(BA1)	バンク指定
A14	A23*2	A23*2	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H*1	A10/AP	アドレス／プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	10 (13 ビット)	10 (10 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25*2	A25*2	A14(BA1)	バンク指定
A14	A24*2	A24*2	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H*1	A10/AP	アドレス／プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

(3) バーストリード

本 LSI でバーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. ダイレクトメモリアクセスコントローラでの16バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストリードと呼びます。表 10.12 にアクセスサイズとバースト数の関係を示します。

表 10.12 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8

バーストリード時のタイミングチャートを図 10.11 と図 10.12 に示します。バーストリードでは ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1、Tc2、Tc3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部クロック（CKIO）の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0]ビットの指定によって Tap のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 10.12 となります。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Tc1 までのサイクル数は、CS3WCR の WTRCD[1:0]によって指定することができます。WTRCD[1:0]の設定が 1 サイクル以上の場合、Tr サイクルと Tc1 サイクルの間に NOP コマンド発行サイクル Trw サイクルが挿入されます。READ コマンド出力サイクル Tc1 からリードデータ取り込みサイクル Td1 までのサイクル数は、CS2WCR の A2CL[1:0]ビットおよび CS3WCR の A3CL[1:0]ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

Tde サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、バーストリード、シングルリード時に必ず 1 サイクル発生します。

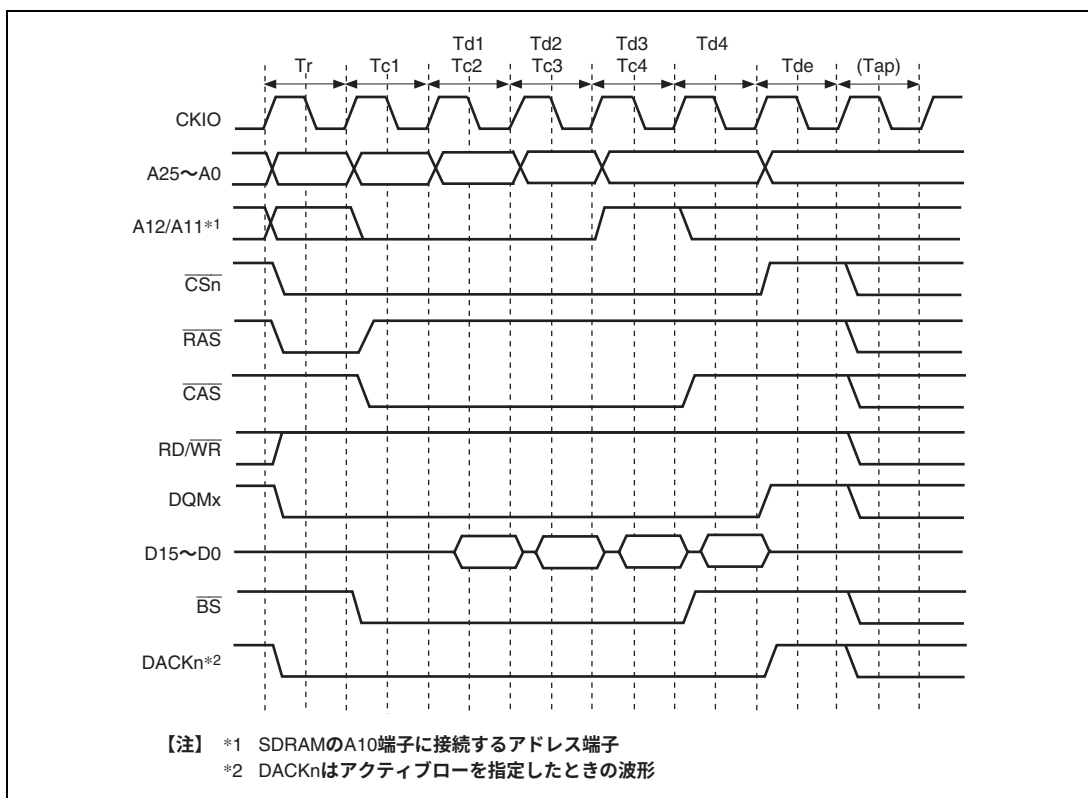


図 10.11 バーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)

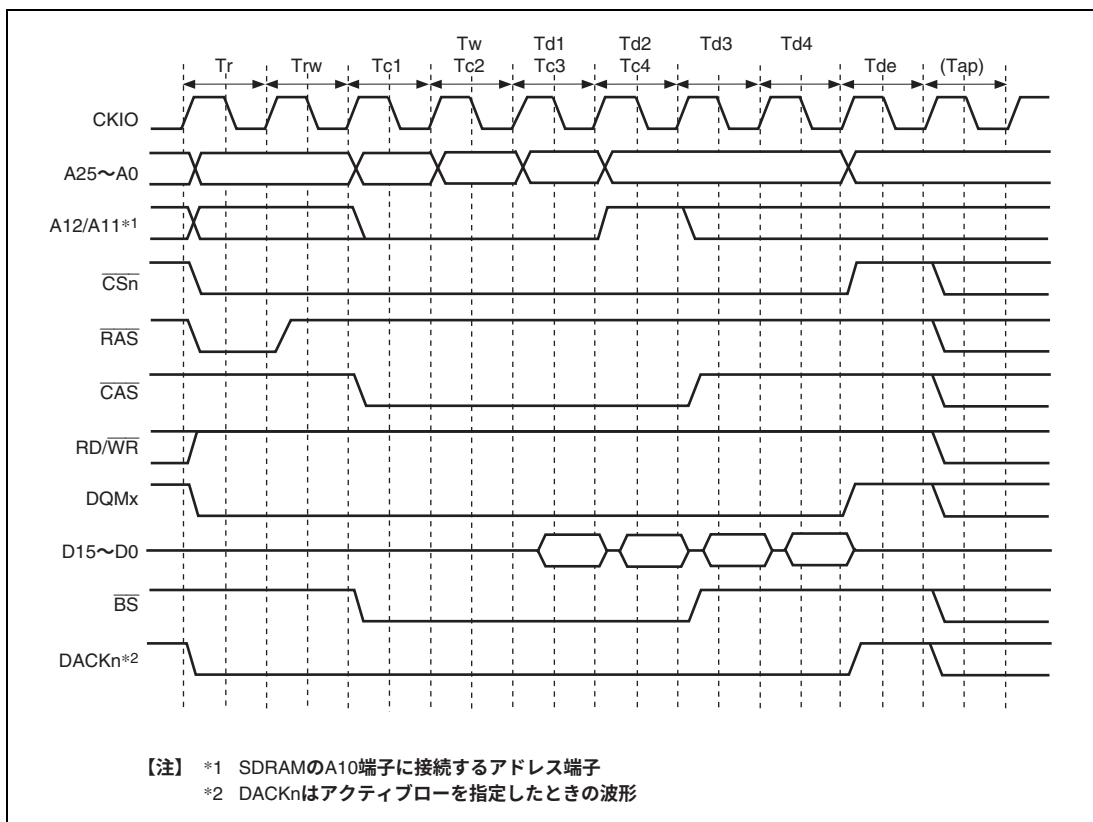


図 10.12 バーストリードウェイト指定タイミング
(CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)

(4) シングルリード

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。SDRAM は、バースト長 1 のバーストリードに設定しているので必要なデータのみ出力します。1回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図 10.13 に示します。

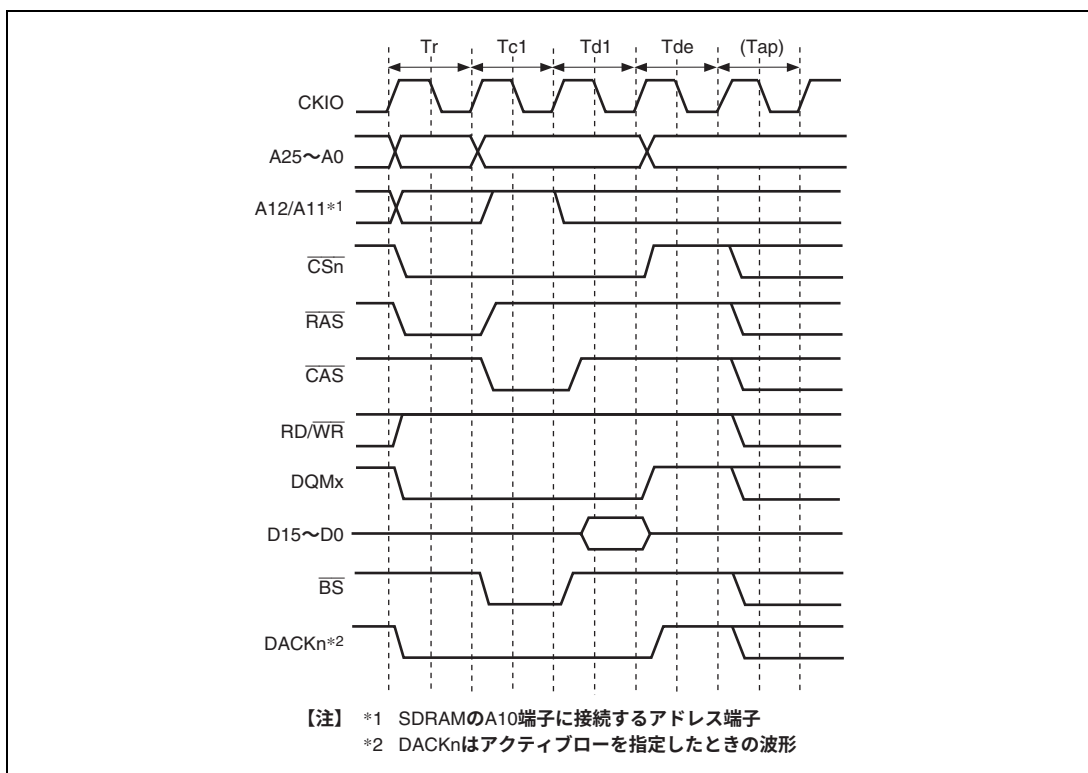


図 10.13 シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)

(5) バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. ダイレクトメモリアクセスコントローラでの16バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストライトと呼びます。アクセスサイズとバースト数の関係は、表 10.12 に従います。図 10.14 にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う Tr サイクルに続いて WRIT コマンドを Tc1、Tc2、Tc3 サイクルに、オートプリチャージを行う WRITA コマンドを Tc4 サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。Trw1 サイクルおよび Tap サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは CS3WCR の TRWL[1:0]ビットおよび Tap サイクルは CS3WCR の WTRP[1:0]ビットの指定で決定されます。

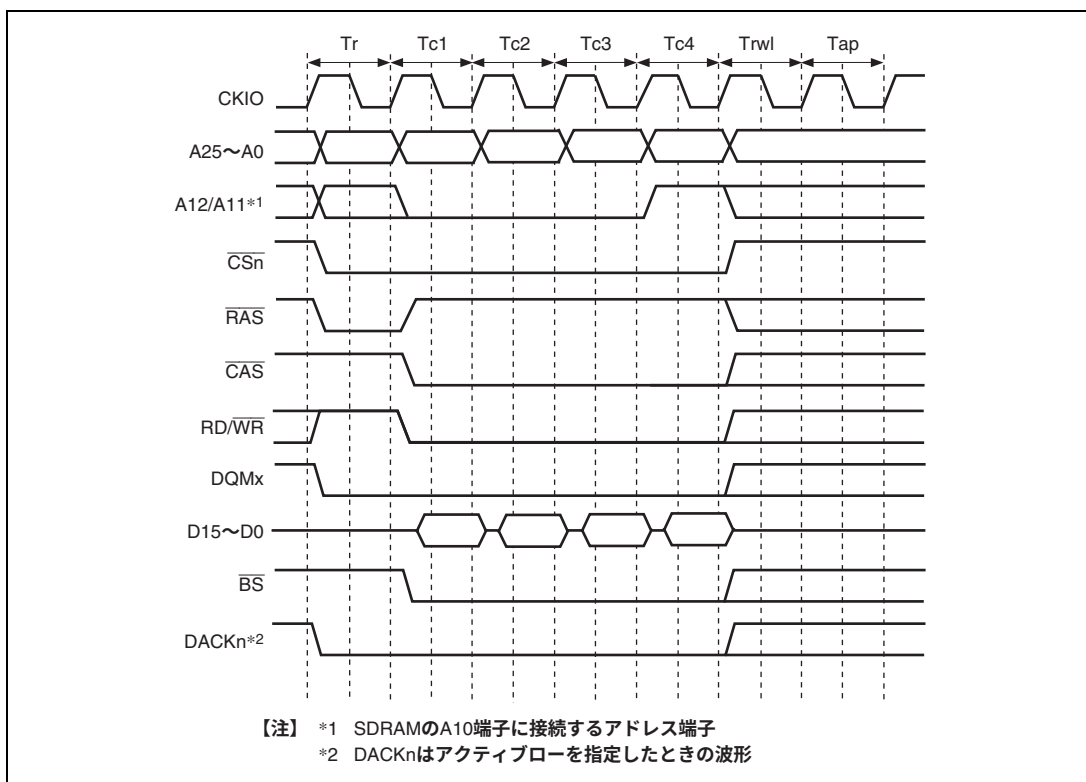


図 10.14 バーストライト基本タイミング（オートプリチャージ）

(6) シングルライト

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。SDRAM は、シングルライトまたはバースト長 1 のバーストライトに設定しているので、必要なデータのみライトされます。1 回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図 10.15 に示します。

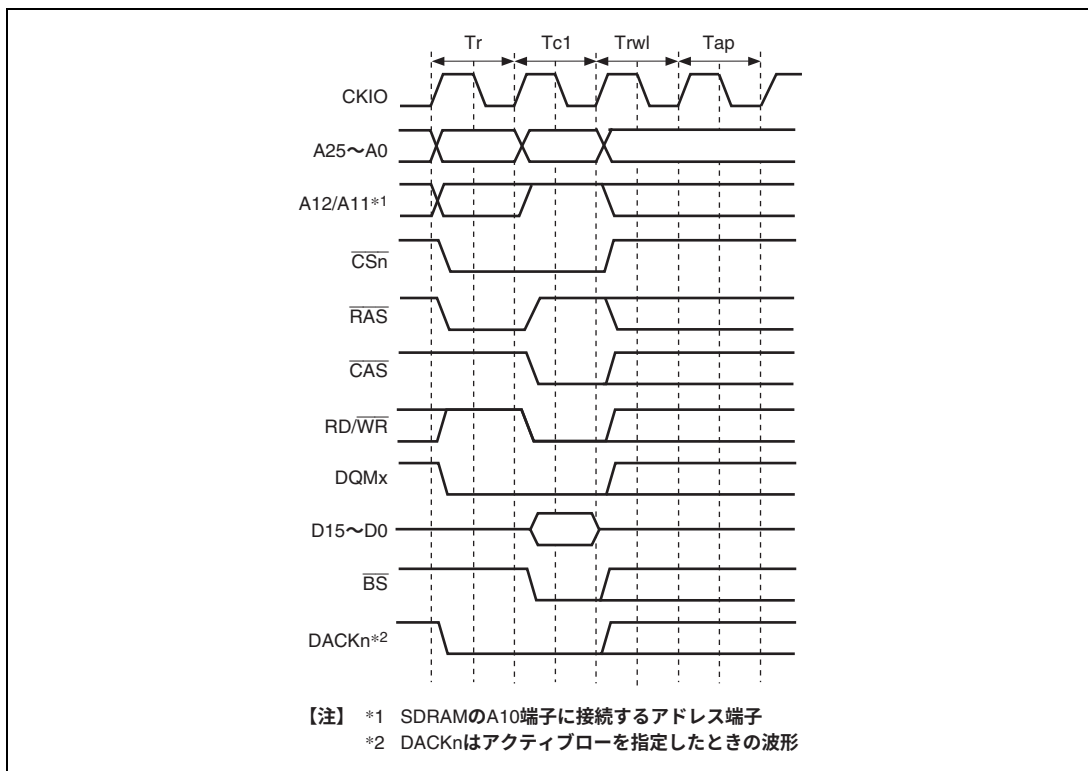


図 10.15 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0]ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl+Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl+Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 10.16 にオートプリチャージのないバーストリードサイクルを、図 10.17 には同一のロウアドレスに対するバーストリードサイクルを、図 10.18 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 10.19 にオートプリチャージのないシングルライトサイクルを、図 10.20 に同一のロウアドレスに対するシングルライトサイクルを、図 10.21 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 10.17 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、図 10.16 または図 10.19 で始まり、図 10.17 または図 10.20 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 10.17 または図 10.20 の代わりに図 10.18 または図 10.21 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後には、すべてのバンクが非アクティブな状態になります。

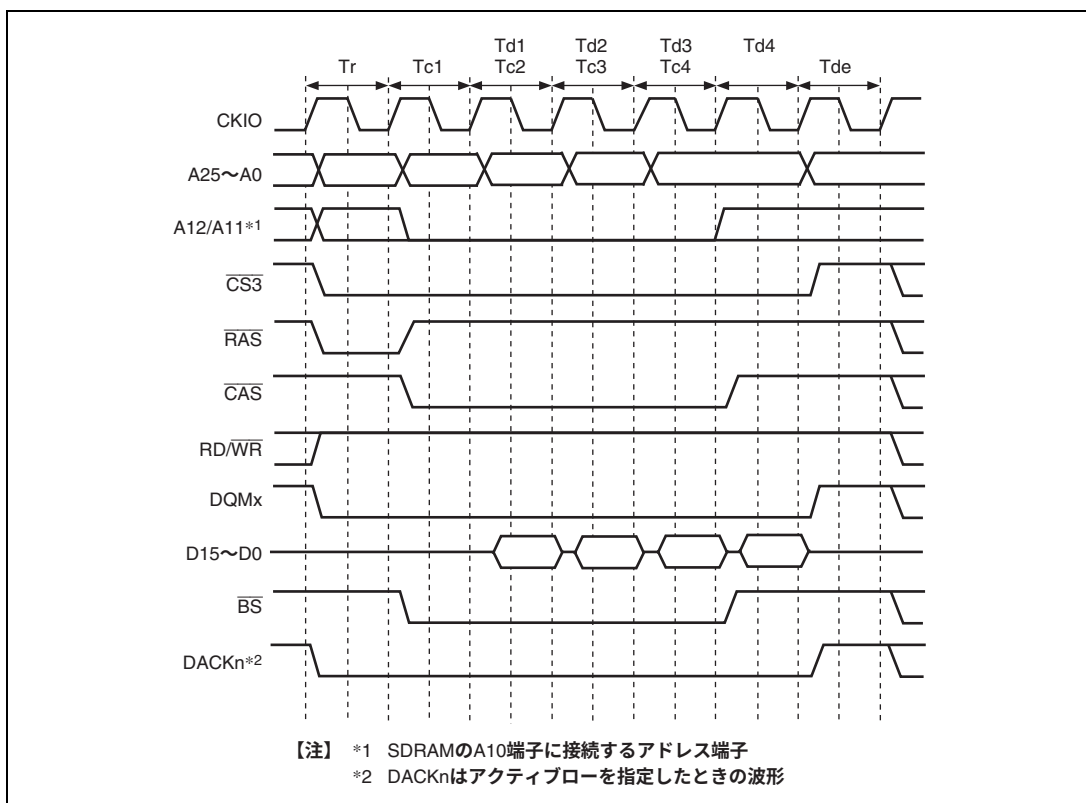


図 10.16 バーストリードタイミング（バンクアクティブ、異なるバンク、CAS レイテンシ 1）

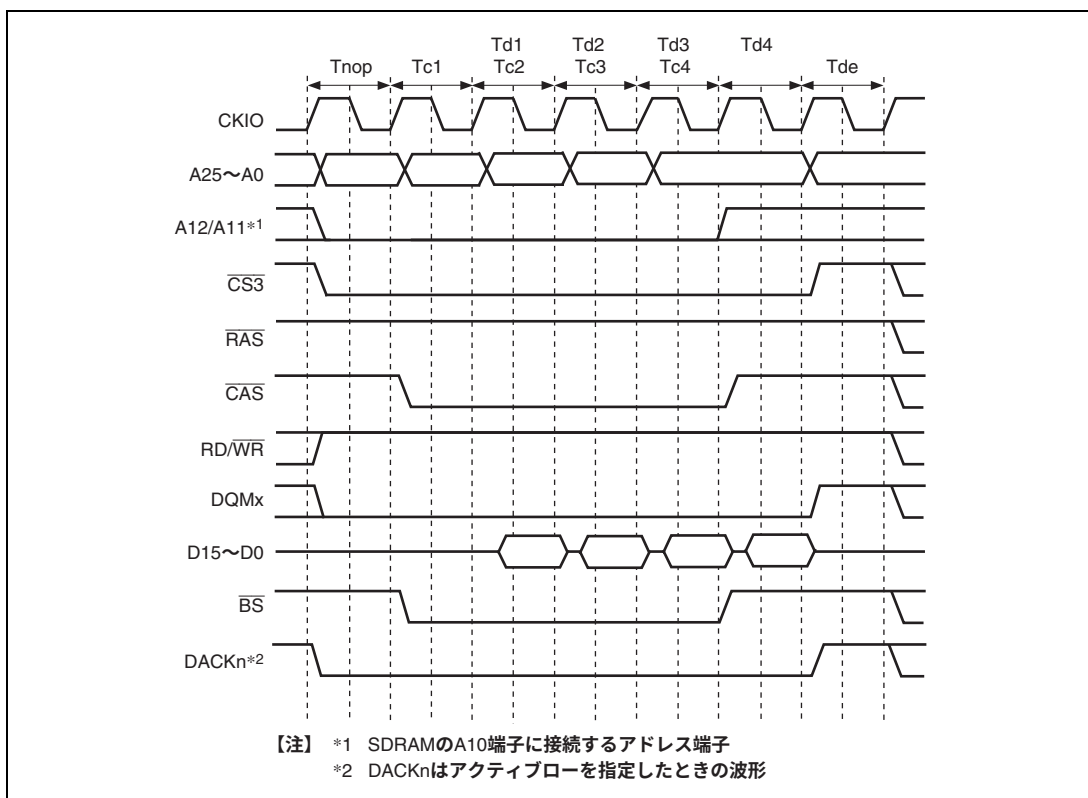


図 10.17 バーストリードタイミング（バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1）

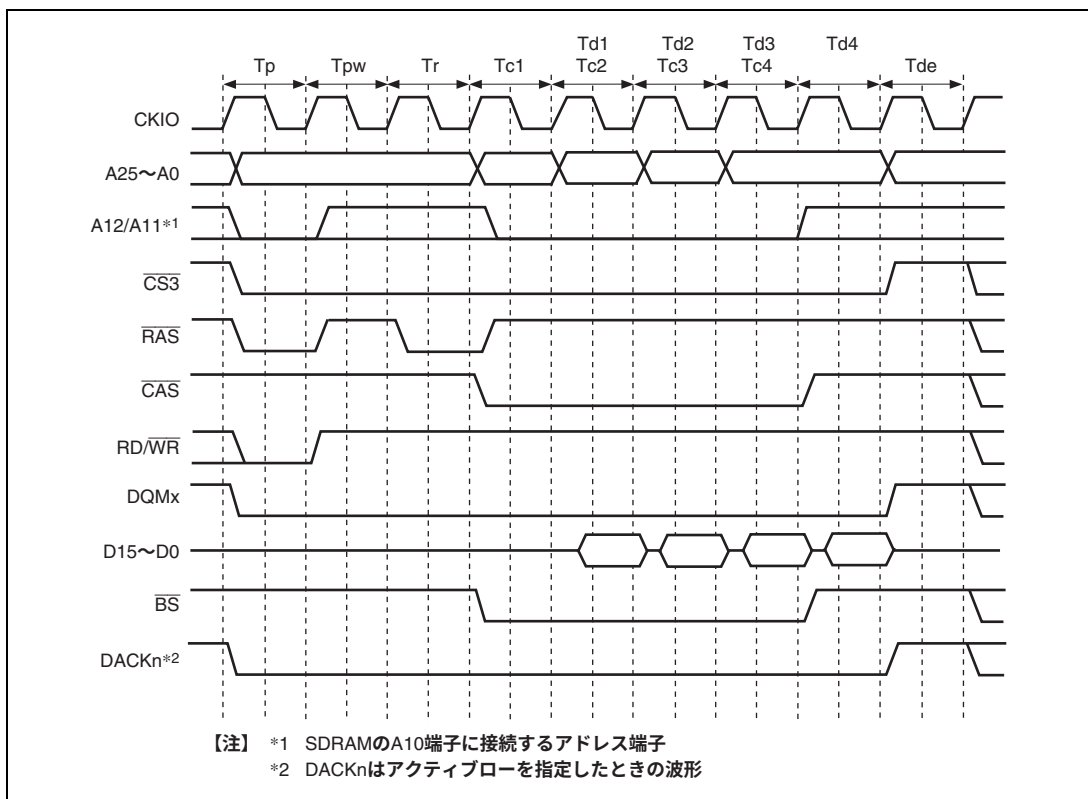


図 10.18 バーストリードタイミング
(バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)

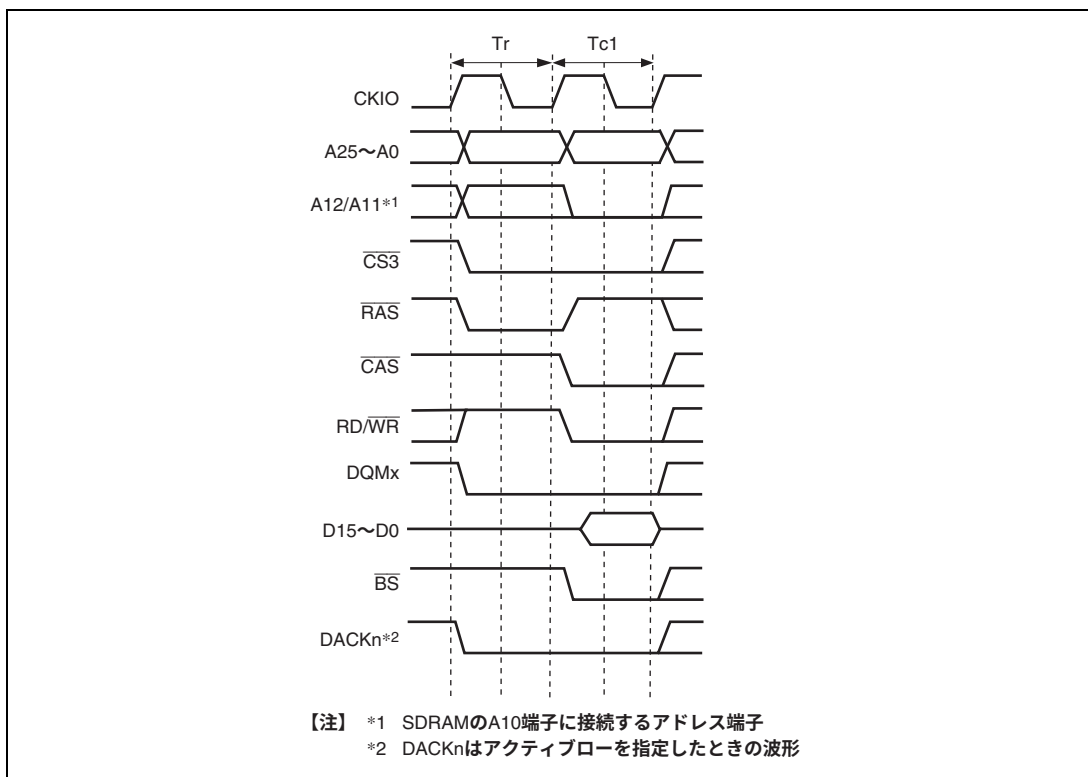


図 10.19 シングルライトタイミング（バンクアクティブ、異なるバンク）

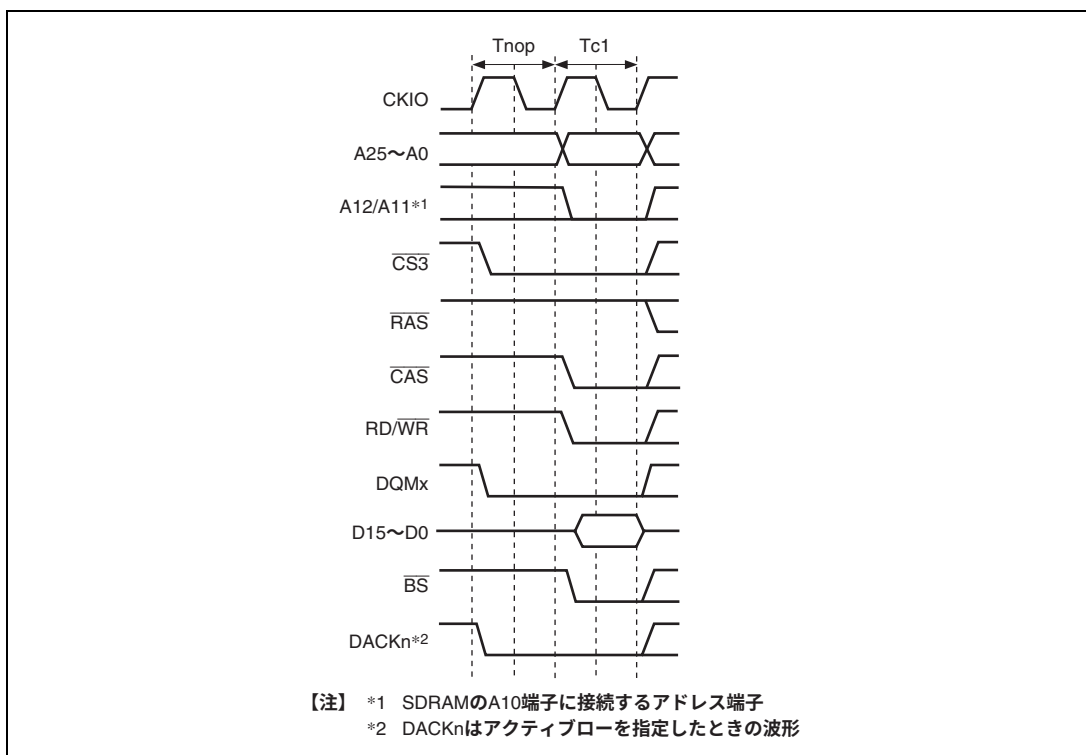


図 10.20 シングルライトタイミング（バンクアクティブ、同一バンクで同一ロウアドレス）

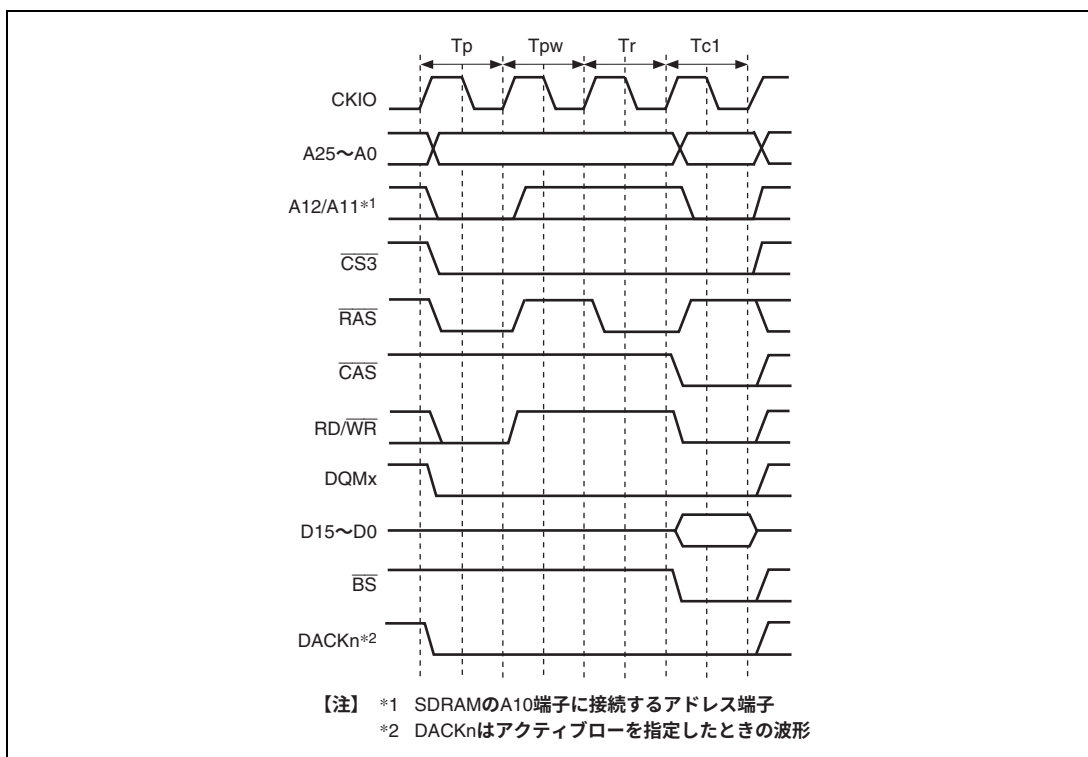


図 10.21 シングルライトタイミング（バンクアクティブ、同一バンクで異なるロウアドレス）

(8) リフレッシュ

本モジュールは、SDRAMのリフレッシュを制御する機能を備えています。SDCRのRFSHビットを1に、RMODEビットを0に設定することによって、オートリフレッシュを行うことができます。また、RTCSRのRRC[2:0]ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間SDRAMにアクセスしないときは、RFSHビットとRMODEビットをともに1にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビット、および RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび RRC[2:0] ビットの設定を行ってください。CKS[2:0] ビットによって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 10.22 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{rr} サイクルに発行します。 T_{rr} サイクル後 CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように WTRC[1:0] ビットを設定する必要があります。CS3WCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間にアイドルサイクルが挿入されます。

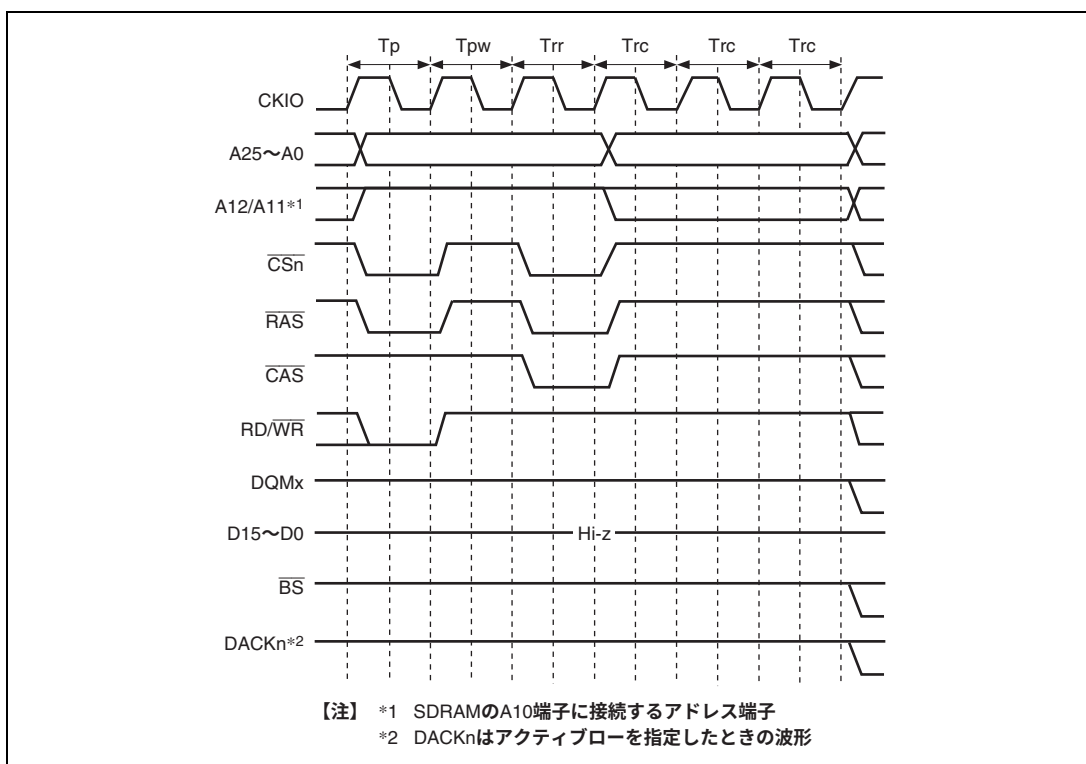


図 10.22 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 10.23 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に $RFSH=1$ 、 $RMODE=0$ とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、 $(RTCOR \text{ の値} - 1)$ を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

また PLL 回路の通倍率を変更する場合、CKIO 出力が不安定になったり、ローレベルとなります。CKIO 出力については「第 5 章 クロックパルス発振器」を参照してください。通倍率変更の前にセルフリフレッシュ状態にすることで SDRAM の内容を保持することができます。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、本モジュールのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

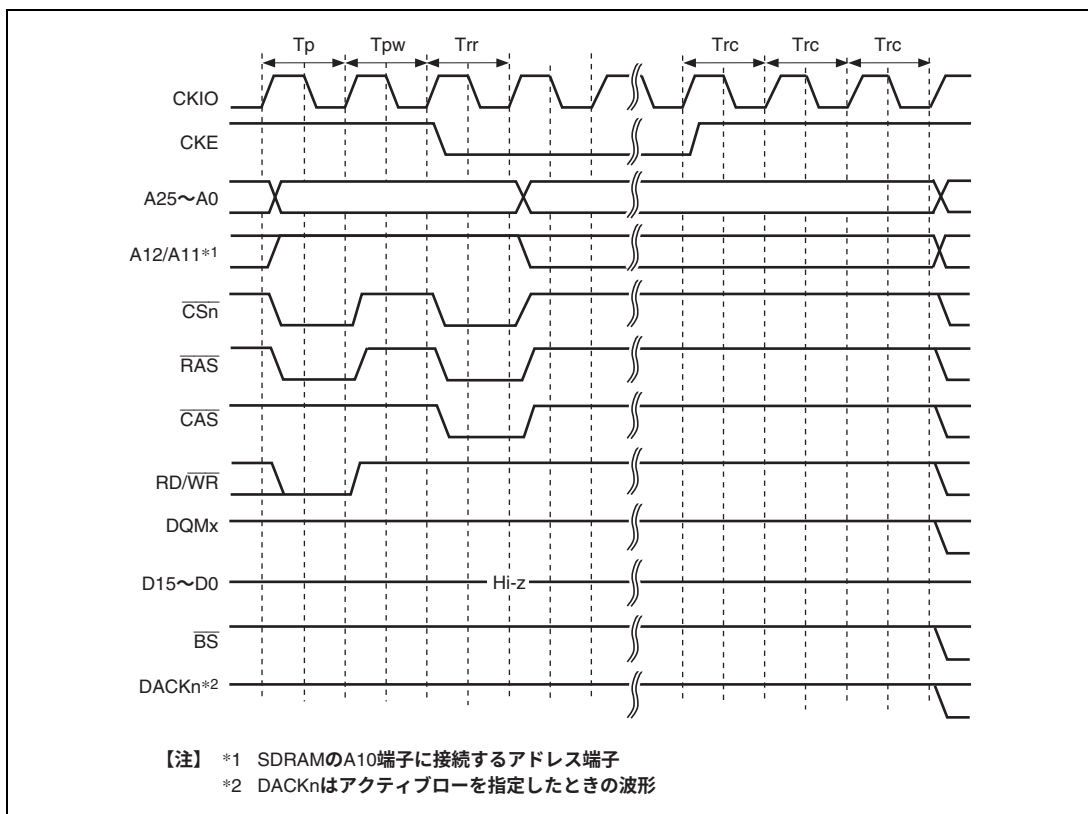


図 10.23 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルが起こらないようにする必要があります。

(10) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 10.24 にパワーダウンモードでのアクセスタイミングを示します。

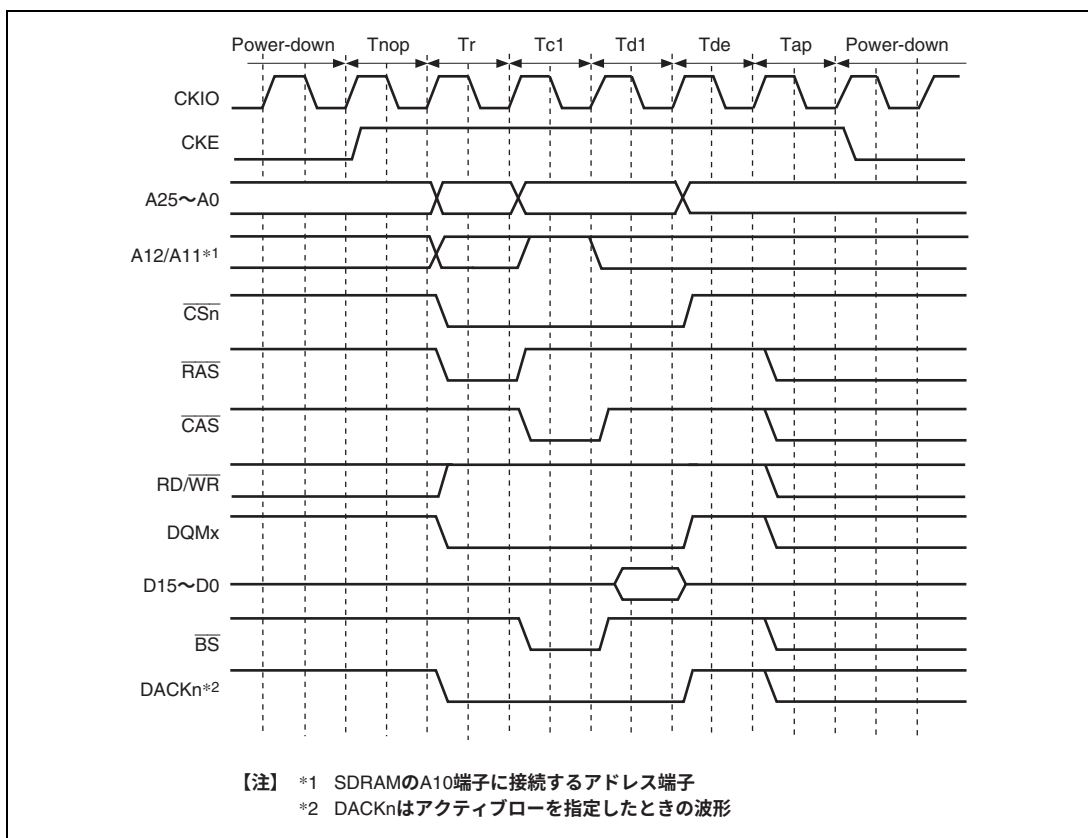


図 10.24 パワーダウンモードでのアクセスタイミング

(11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、使用する SDRAM で規定されたポーズ期間の後に、SDRAM に対してモード設定を行う必要があります。ポーズ間隔は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず本モジュールのレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は $\overline{\text{CSn}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、および $\text{RD}/\overline{\text{WR}}$ の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X+ (エリア 2 : H'FFFC4000、エリア 3 : H'FFFC5000 番地) にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト (バースト長 1) またはバーストリード/バーストライト (バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 10.13 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 10.13 SDRAM モードレジスタライト時のアクセスアドレス

• エリア2設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC4440	H'0000440
	3	H'FFFC4460	H'0000460

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC4040	H'0000040
	3	H'FFFC4060	H'0000060

• エリア3設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5440	H'0000440
	3	H'FFFC5460	H'0000460

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5040	H'0000040
	3	H'FFFC5060	H'0000060

モードレジスタ設定タイミングを図 10.25 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CS3WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

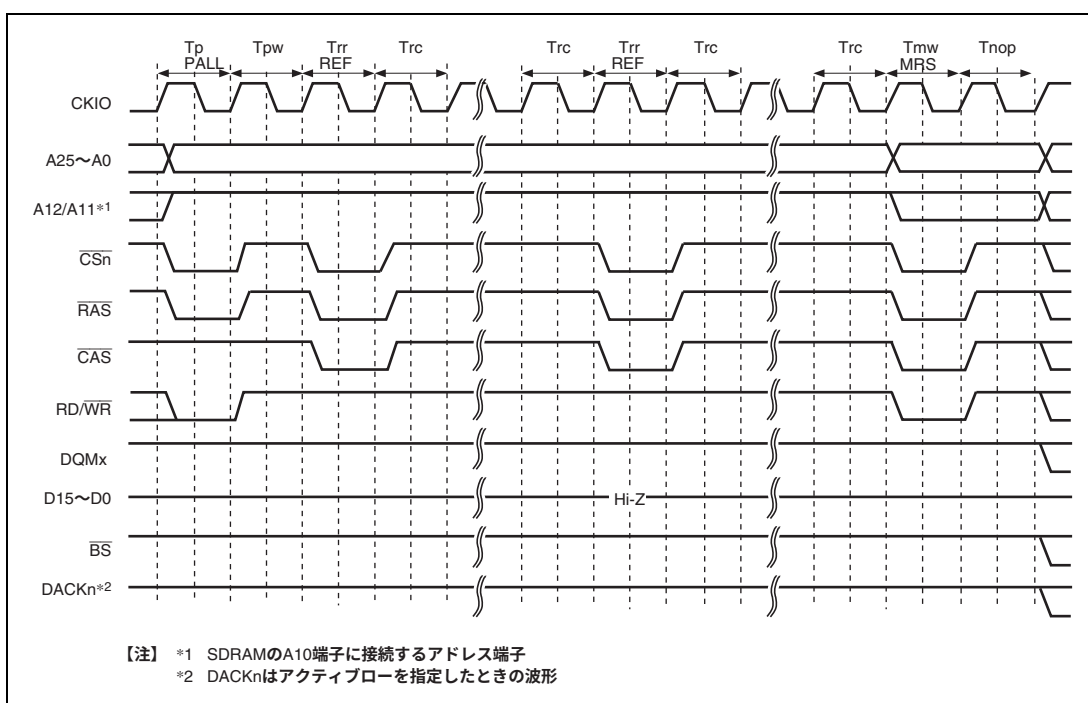


図 10.25 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

(12) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件（温度）によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートを参照してください。

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'FFFC5XX0 に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL→REF×8→MRS→EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYYY になります。また H'FFFC5XX0 に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL→MRS→EMRS のシーケンスでコマンドを発行します。

表 10.14 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセスアドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'FFFC4XX0	H'*****	16 ビット	H'0000XX0	-----
CS3 MRS	H'FFFC5XX0	H'*****	16 ビット	H'0000XX0	-----
CS2 MRS+EMRS (リフレッシュあり)	H'FFFC4XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS3 MRS+EMRS (リフレッシュあり)	H'FFFC5XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS2 MRS+EMRS (リフレッシュなし)	H'FFFC4XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS3 MRS+EMRS (リフレッシュなし)	H'FFFC5XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY

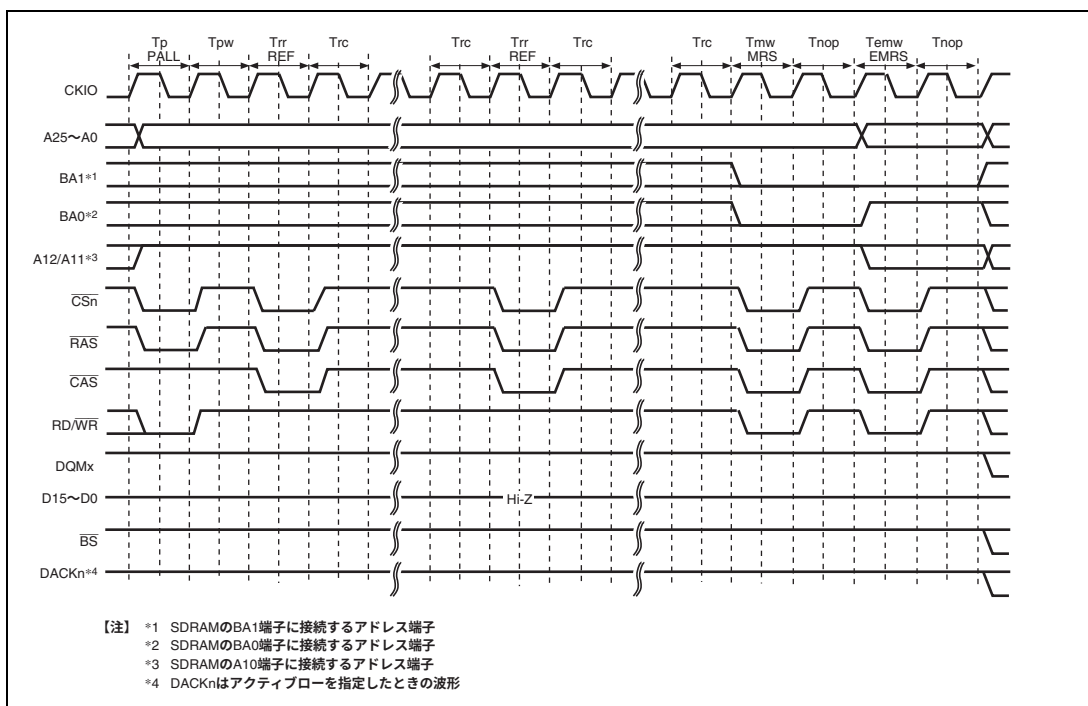


図 10.26 EMRS コマンド発行タイミング

● ディープパワーダウンモード

ローパワーSDRAMには、ディープパワーダウンモードという低消費電力モードもあります。

パースシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCRのDEEPビットを1、RFSHビットを1に設定した状態でRMODEビットに1を書き込むと、ローパワーSDRAMはディープパワーダウンモードに移移します。RMODEビットに0を書き込むとCKEがハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

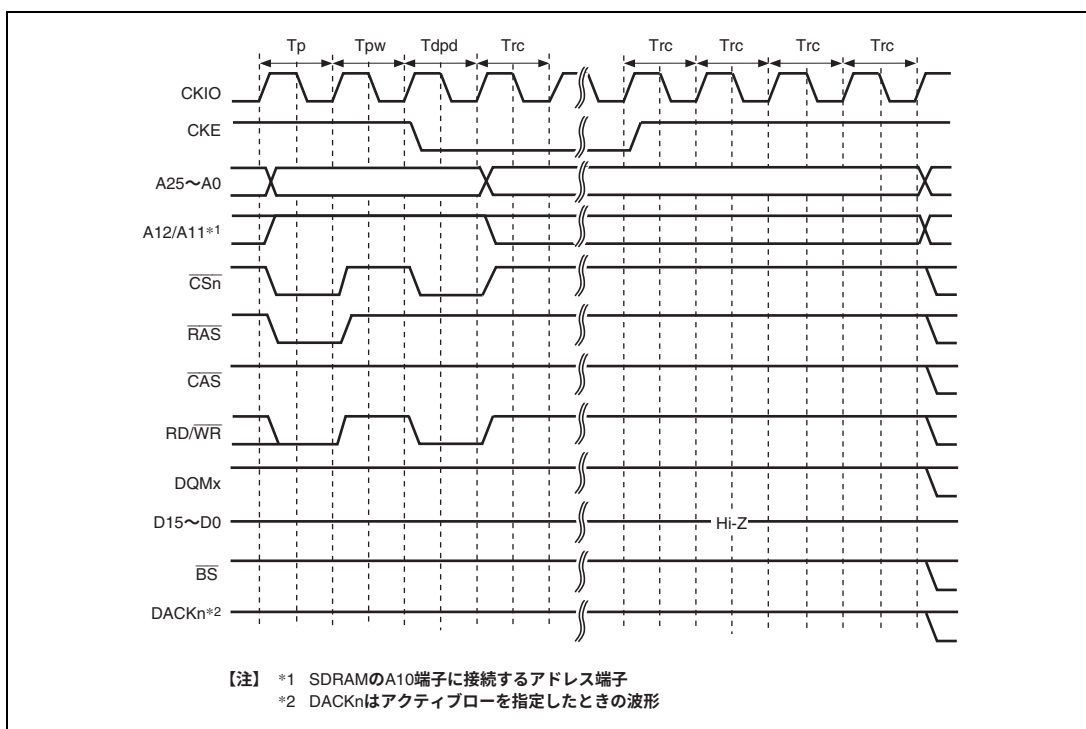


図 10.27 ディープパワーダウンモード遷移タイミング

10.5.6 バースト ROM（クロック非同期）インタフェース

バースト ROM（クロック非同期）インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に $\overline{RD}$ 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0]ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0]ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック非同期）アクセス時は、 $\overline{BS}$ 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM（クロック非同期）インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 10.15 にバス幅およびアクセスサイズとバースト数の関係を、図 10.28 にタイムチャートを示します。

表 10.15 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0]ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00	16	1
		01	4	4
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10*	4	2
			2、4、2	3

【注】 * バス幅 16 ビット、アクセスサイズ 16 バイト、CSnWCR.BST[1:0]が“10”の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8 番地の場合 4-4 バースト、H'xxx4、H'xxxC 番地の場合 2-4-2 バーストアクセスとなります。

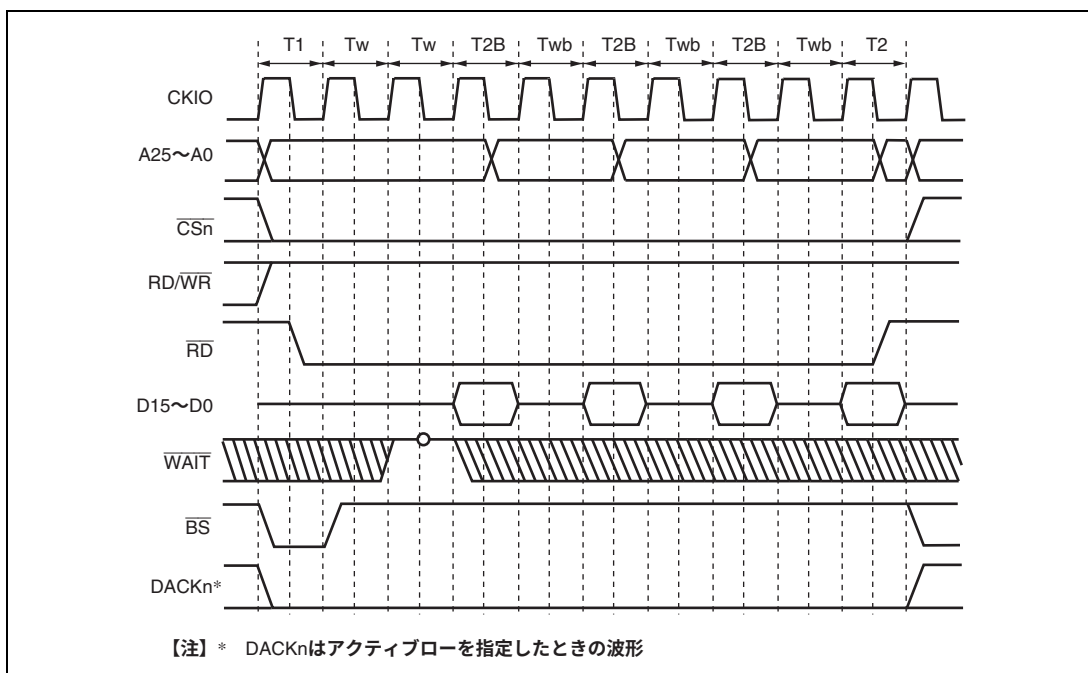


図 10.28 バースト ROM (クロック非同期) アクセス

(バス幅 16 ビット 16 バイト転送 (バースト数 4-4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

10.5.7 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ($\overline{\text{WEn}}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR の BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{\text{WEn}}$ 端子のタイミングが通常空間インタフェースと異なり、 $\overline{\text{WEn}}$ 端子からバイト選択信号を出力します。図 10.29 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ($\overline{\text{WEn}}$) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR の BAS ビットが 1 のとき、 $\overline{\text{WEn}}$ 端子と RD/ $\overline{\text{WR}}$ 端子のタイミングが変化します。図 10.30 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RD/ $\overline{\text{WR}}$) のタイミングでメモリに書き込まれます。RD/ $\overline{\text{WR}}$ のネグートタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0]ビットを設定することにより確保してください。図 10.31 にソフトウェア設定時のアクセスタイミングを示します。

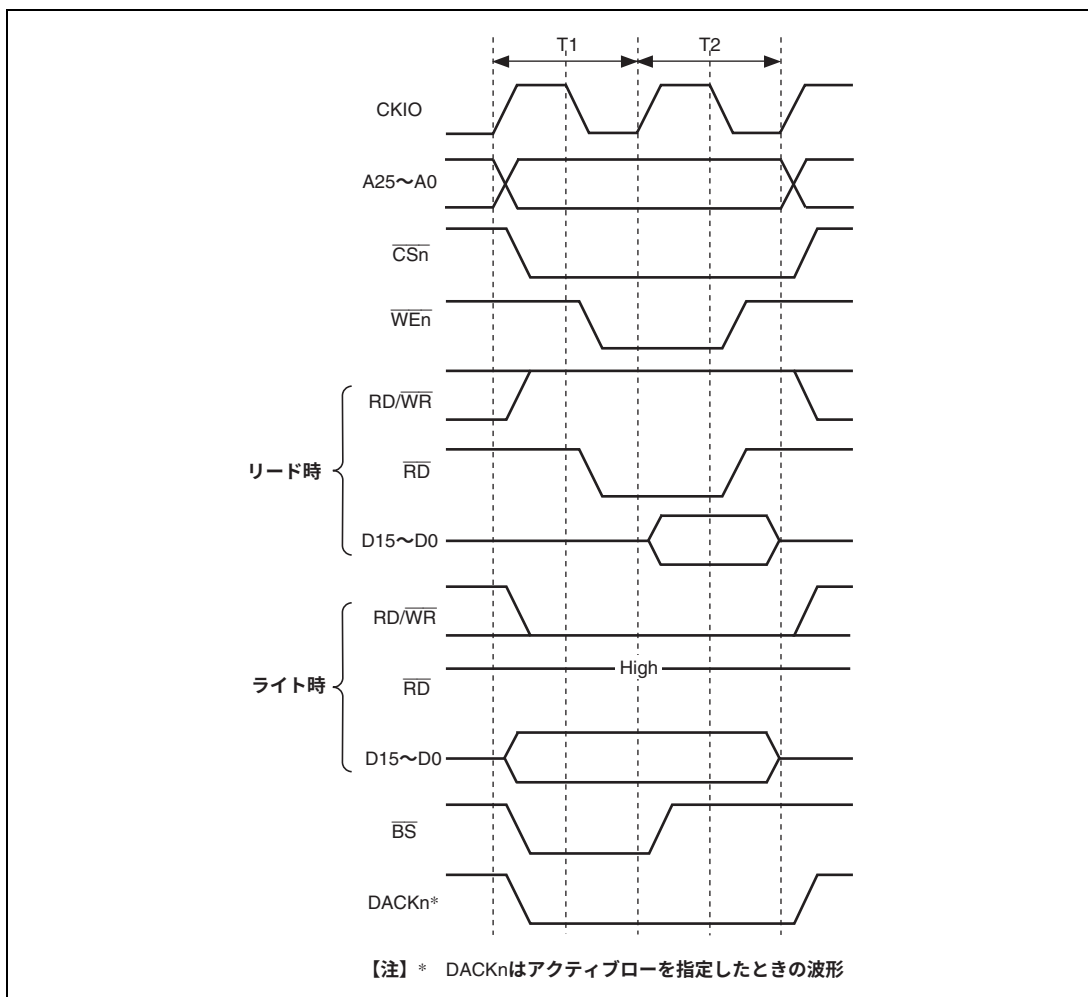


図 10.29 BAS=0、バイト選択付き SRAM 基本アクセスタイミング

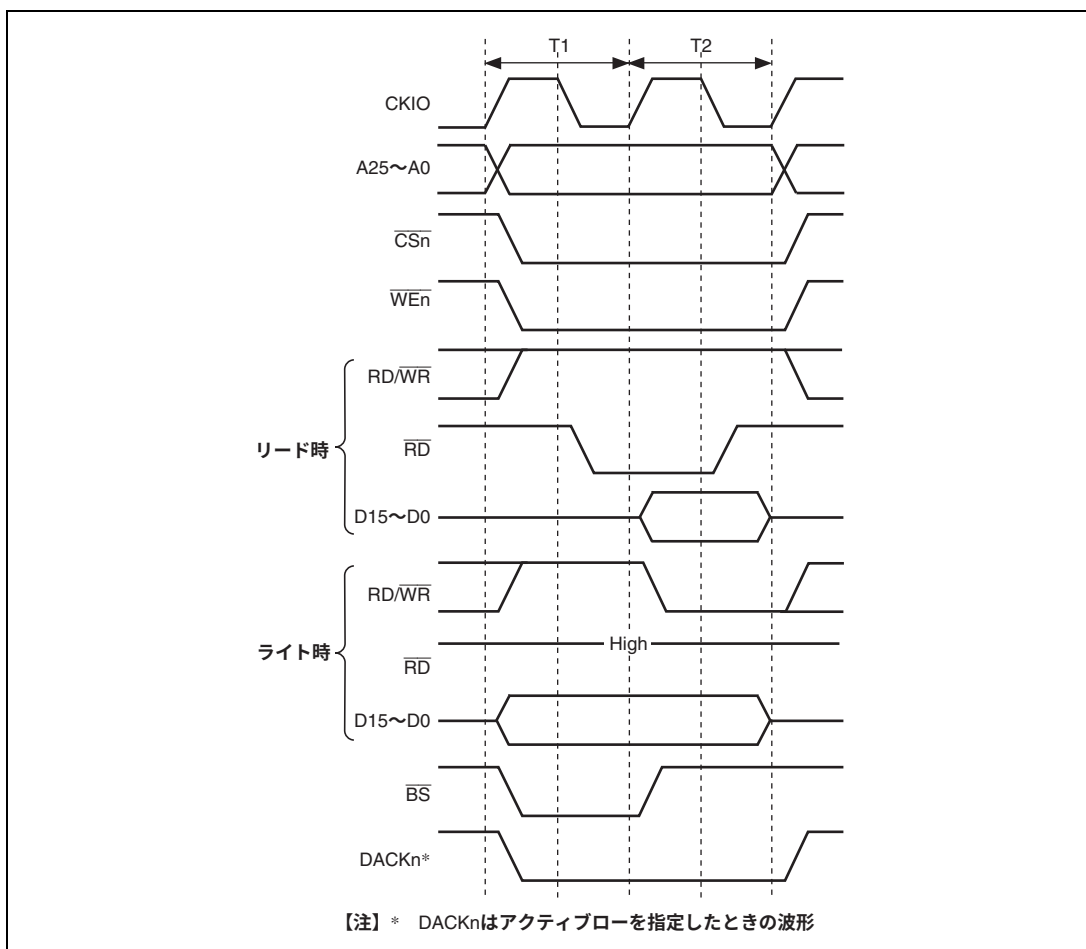


図 10.30 BAS=1、バイト選択付き SRAM 基本アクセスタイミング

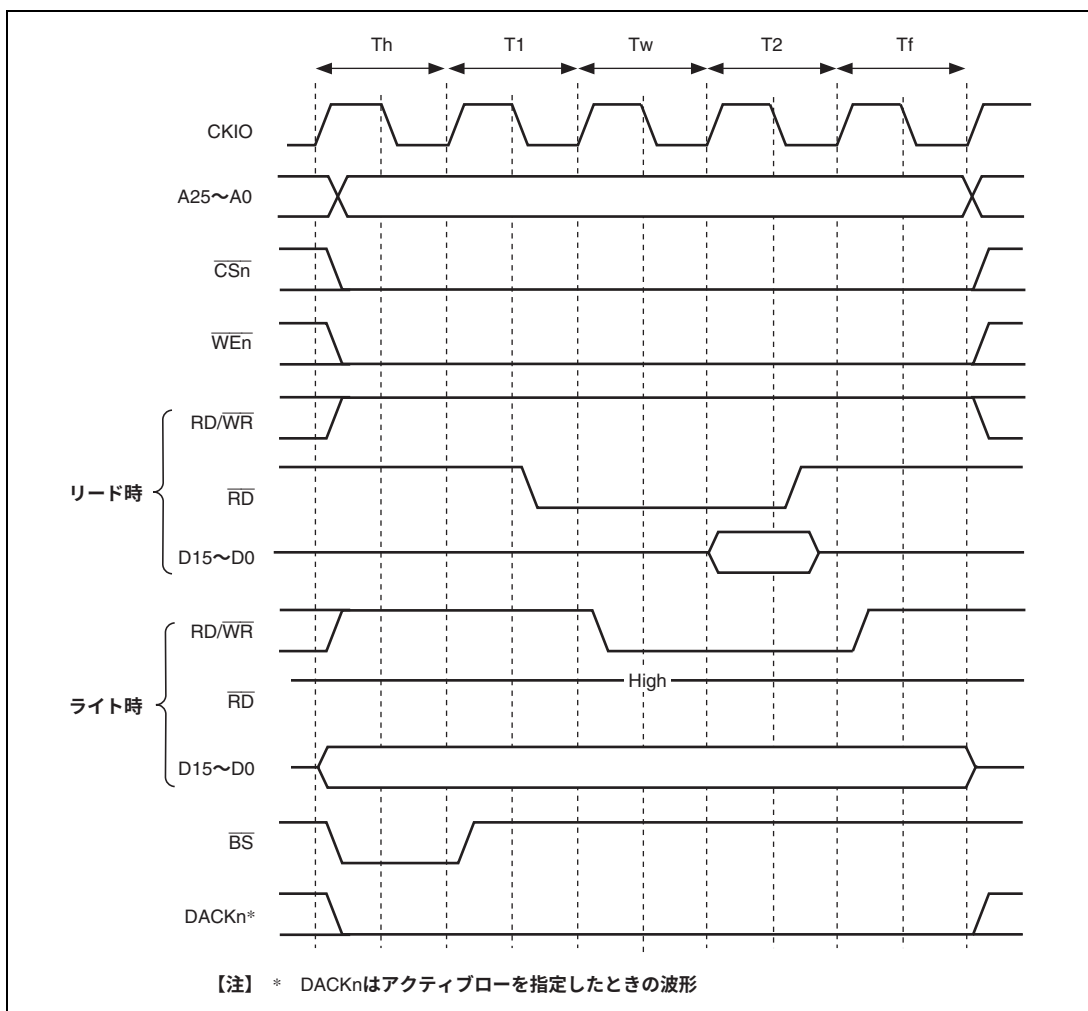


図 10.31 BAS=1、バイト選択付き SRAM ウェイトタイミング
(SW[1:0]=01、WR[3:0]=0001、HW[1:0]=01)

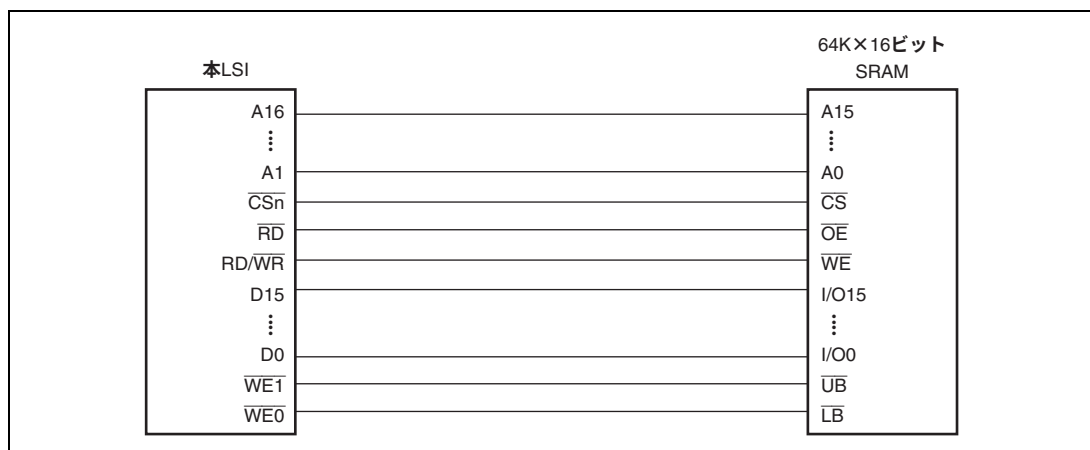


図 10.32 16 ビットデータ幅バイト選択付き SRAM 接続例

10.5.8 バースト ROM（クロック同期）インタフェース

バースト ROM（クロック同期）インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0]ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0]ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック同期）アクセス時は、 $\overline{BS}$ 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビットなので、バースト長は 8 に設定してください。バス幅 8 ビットはサポートしていません。

本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、キャッシュ有効空間でのキャッシュフィルによる 16 バイトリードや、DMA による 16 バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

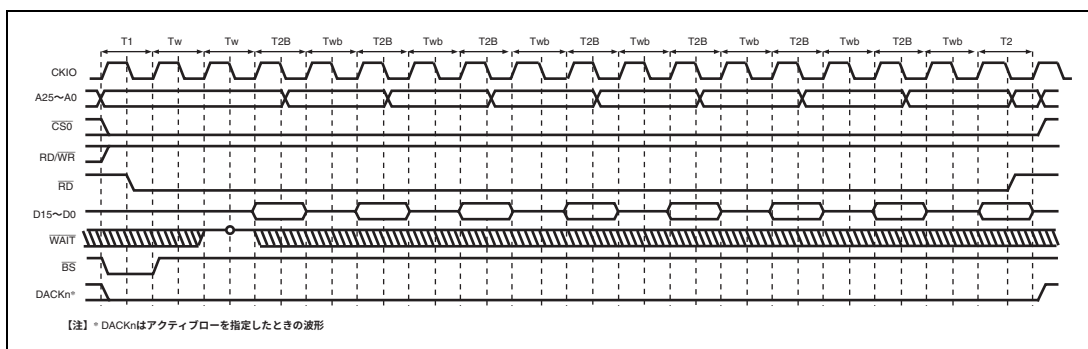


図 10.33 バースト ROM（クロック同期）アクセス
(バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

10.5.9 アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル（ウェイト）を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0]の各ビット、および CMNCR の DMAIW[2:0]、DMAIWA ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライトーリード、ライトーライトの場合
2. 連続するアクセスが別空間でかつリードーライトの場合
3. 連続するアクセスが同一空間でかつリードーライトの場合
4. 連続するアクセスが別空間でかつリードーリードの場合
5. 連続するアクセスが同一空間でかつリードーリードの場合
6. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後の本LSIを含む別デバイスによるデータ出力の場合（DMAIWA=0）
7. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合（DMAIWA=1）

上記のアクセスサイクル間アイドルサイクル数の指定については、各レジスタの説明を参照してください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子（ $\overline{\text{WE}}\text{n}$ ）の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

$\overline{\text{CSn}}$ ネゲートから $\overline{\text{CSn}}$ または $\overline{\text{CSm}}$ アサートまでの外部バスアイドルサイクル数について説明します。

外部バスのアイドルサイクル数を決める項目としては、表 10.16 の 8 項目があります。これらの関係を図 10.34 に示します。

表 10.16 アイドルサイクル数を決める項目

項番	内容	説 明	範囲	注意事項
(1)	CMNCR.DMAIW[2:0] 設定	DMA によるシングルアドレス転送時のアイドルサイクル数を指定します。シングルアドレス転送時のみ有効になる項目で、アクセス終了後に発生するアイドルサイクルです。	0～12	アイドル数を 0 に設定すると、DACK 信号が連続アサートする場合があります。DACK 付きデバイスの認識するサイクル数とダイレクトメモリアクセスコントローラ転送数に不一致が発生し、誤動作につながりますので、ご注意ください。
(2)	CSnBCR.IW***[2:0] 設定	シングルアドレス転送以外の場合のアイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS1 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0] を B'100 に設定します。シングルアドレス転送以外の時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0～12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(3)	CSnWCR の SDRAM 関係設定	SDRAM アクセス時のプリチャージ完了／起動待ち、コマンド間アイドル数を指定します。SDRAM アクセス時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0～3	使用する SDRAM のスペックに合わせて設定してください。
(4)	CSnWCR.WM ビット設定	SDRAM 以外のメモリでは、外部WAIT端子入力を有効／無効にする設定ができます。0（外部WAIT有効）の場合、外部WAIT端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1（無効）の場合には、本アイドルサイクルは発生しません。	0～1	
(5)	リードデータ転送サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0] が B'00 以外の場合にも発生しません。	0～1	SDRAM のリードサイクルでは必ず 1 サイクルのアイドルが発生します。

項番	内容	説 明	範囲	注意事項
(6)	内部バスアイドル ほか	CPU、ダイレクトメモリアクセスコントローラなどからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、本モジュールで分割アクセスを行いますが、分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0～	Iφ:Bφのクロック比によっては内部バスアイドル数が"0"にならない場合があります。クロック比と内部バスの最小アイドル数の関係を表 10.17、表 10.18 に示します。
(7)	ライトデータ到着 待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません（ライトバッファ効果）。	0～1	ライト→ライトおよびライト→リードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生しやすくなります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(8)	異種メモリ間 アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0～2.5	メモリ種ごとに決まっています。表 10.19 を参照してください。

(1)/(2)項（どちらか一方が有効になります）、(3)/(4)項（どちらか一方が有効になります）、(5)+(6)+(7)項（順番に発生するので加算されます）および(8)項の 4 項目が平行して発生しますので、これらのうち最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1)/(2)項のレジスタ設定を行ってください。

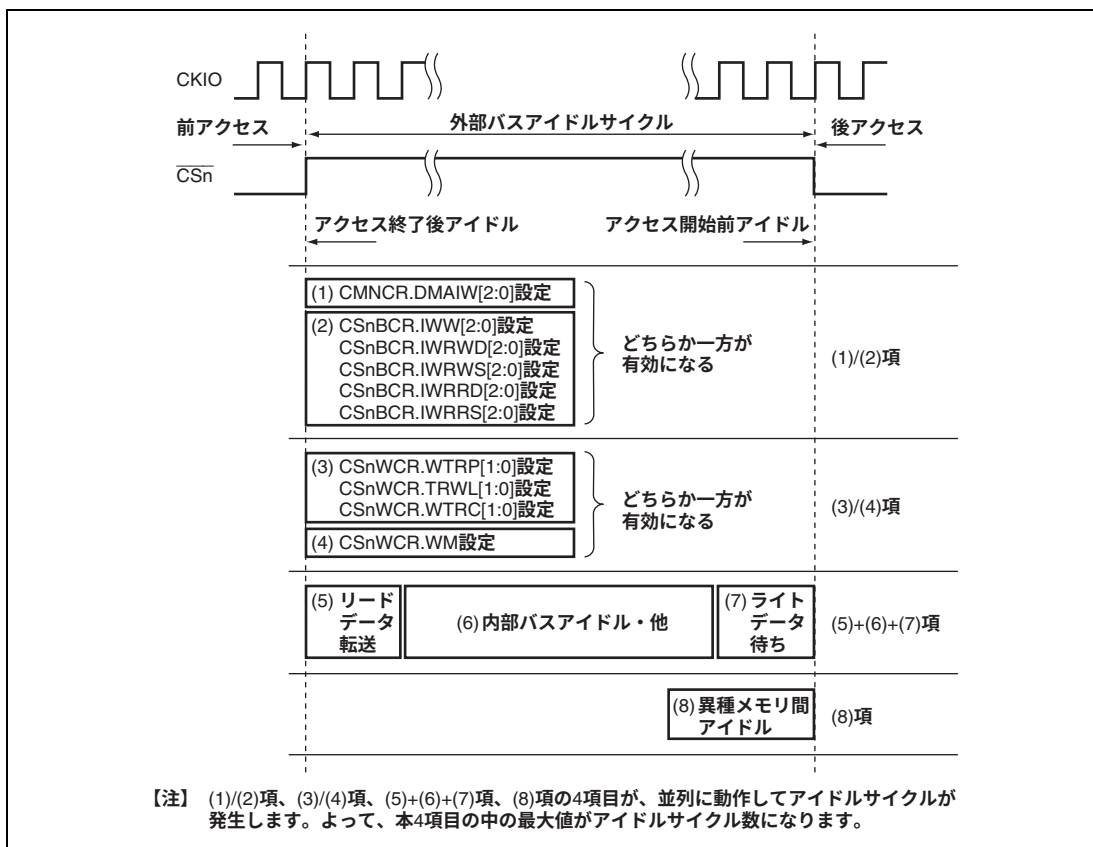


図 10.34 アイドルサイクルの構成

表 10.17 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (Iφ : Bφ)					
	8:1	6:1	4:1	3:1	2:1	1:1
ライト→ライト	1	1	2	2	2	3
ライト→リード	0	0	0	0	0	1
リード→ライト	1	1	2	2	2	3
リード→リード	0	0	0	0	0	1

表 10.18 内部バスの最小アイドル数（ダイレクトメモリアクセスコントローラ動作）

ダイレクトメモリアクセス コントローラ動作	転送モード	
	デュアルアドレス	シングルアドレス
ライト→ライト	0	2
ライト→リード	0 または 2	0
リード→ライト	0	0
リード→リード	0	2

- 【注】
1. デュアルアドレス転送のライト→ライト、リード→リード動作は分割されたサイクルの実行中です。
 2. デュアルアドレス転送のライト→リードの 0 は異なるチャネルが連続起動した場合、2 は同一のチャネルが連続起動した場合です。
 3. シングルアドレスのライト→リード、リード→ライトは異なるチャネルを連続起動した場合です。
「ライト」は DACK 付きデバイス→外部メモリ、「リード」は外部メモリ→DACK 付きデバイスへの転送です。

表 10.19 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル					
		SRAM	バースト ROM (非同期)	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	バースト ROM (同期)
前 サイ クル	SRAM	0	0	0	0/1*	0/1*	0
	バースト ROM (非同期)	0	0	0	0/1*	0/1*	0
	バイト SRAM (BAS=0)	0	0	0	0/1*	0/1*	0
	バイト SRAM (BAS=1)	0/1*	0/1*	0/1*	0	0	0/1*
	SDRAM	1	1	1	0	0	1
	バースト ROM (同期)	0	0	0	1	1	0

- 【注】 * 前サイクルの CSnWCR.HW[1:0]ビットの設定で、アイドルサイクル数が決まります。HW[1:0]≠B'00 の場合には左側のアイドルサイクル数、HW[1:0]=B'00 の場合には右側のアイドルサイクル数になります。
また、前サイクルが CSnWCR.HW[1:0]ビットが存在しない CSn 空間の場合には、右側のアイドルサイクル数になります。

サイクル間アイドルの最低数を試算する例を図 10.35 に示します。なお、実際の動作ではライトバッファの効果により試算値よりもアイドルサイクルが短くなったり、CPU の命令実行や CPU レジスタ競合によるスプリットにより内部バスアイドルサイクルが発生して試算値よりもアイドルサイクルが増加することがありますので、試算値を使用する場合には、これらの誤差の発生を見込んでおいてください。

サイクル間アイドル数の試算例

CPUアクセスで、CS1空間からCS2空間へデータを転送する例を考えます。転送は、CS1リード→CS1リード→CS2ライト→CS2ライト→CS1リード→...を繰り返すものとします。

・条件

CS1BCRおよびCS2BCRのサイクル間アイドル指定はすべて0を指定。

CS1WCRおよびCS2WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。

Iφ:Bφは4:1とし、転送の間は他の処理を行わない。

CS1およびCS2ともに、通常SRAMを接続し、バス幅32ビットでアクセスサイズも32ビットで行う。

アイドル数を決める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

項目	R→R	R→W	W→W	W→R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	2	0	表10.17のIφ:Bφ=4:1の部分を参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	1	4	2	0	
(8)	0	0	0	0	SRAM→SRAMであるため
試算アイドル サイクル数	1	4	2	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	2	1	W→Rで不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 10.35 アイドルサイクル数の試算例と実際の比較

10.5.10 その他

(1) リセット

本モジュールは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。ソフトウェアスタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り、終了まで実行されます。マニュアルリセット信号のアサート中でも RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。

(2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、CPU バス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリは CPU バスに、CPU を除く内部バスマスタおよび本モジュールは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリは CPU バスと内部バスの双方に接続されています。CPU バスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ（ダイレクトメモリアクセスコントローラなど）からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのページをソフトウェアで行う必要があります。

キャッシュ有効空間の場合、CPU が読み出しアクセスを開始し、キャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取り込みアクセスは完了します。キャッシュ内にデータがない場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ($4n+2$) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュ無効空間の場合は、実際のアクセスアドレスに従ってアクセスを行います。アクセスが偶数ワード境界 ($4n$) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ($4n+2$) への命令フェッチの場合にはワードアクセスとなります。

内蔵周辺モジュールの読み出しサイクルの場合は、内部バスと周辺バスを介して読み出しサイクルが起動されます。読み出しデータは、周辺バス、内部バス、CPU バスを經由して CPU に送られます。

キャッシュ有効空間での書き込みサイクルは、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い、該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを経由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを経由して実際の書き込みのみ行われます。

本モジュールには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

ダイレクトメモリアクセスコントローラなどの別のバスマスタからのアクセスでも、同様に本モジュールのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に本モジュールのレジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に本モジュールのレジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に本モジュールのレジスタを変更してください。

(3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック ($P\phi$) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR1 レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR1 レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR1 レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

11. ダイレクトメモリアクセスコントローラ

ダイレクトメモリアクセスコントローラは、DACK (転送要求受け付け信号) 付き外部デバイス*1、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

11.1 特長

- チャンネル数：CH0～CH15の16チャンネル。その内、CH0で外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は4GB
- 転送データ単位：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24ビット) 回
- アドレスモード：シングルアドレスモード*2とデュアルアドレスモードから選択可能
- 転送要求：外部リクエスト*1、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能
内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。
FIFO内蔵シリアルコミュニケーションインタフェース：10要因、
I²Cバスインタフェース3：8要因、A/D変換器：1要因、
マルチファンクションタイマパルスユニット2：5要因、コンペアマッチタイマ：2要因、
USB2.0ホスト／ファンクションモジュール：2要因、
コントローラエリアネットワーク：2要因、
シリアルサウンドインタフェース：6要因、サンプリングレートコンバータ：6要因、
ルネサスSPDIFインタフェース：2要因、CD-ROMデコーダ：1要因、
SDホストインタフェース：2要因、ルネサスシリアルペリフェラルインタフェース：6要因、
FIFO付きクロック同期シリアルI/O：2要因
- パスモード：サイクルスチールモード (通常モードまたはインターミッテントモード) およびパーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードの2種類から選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能
CHCRのHEビット、HIEビットにより、DMA転送が初期設定の1/2回終了した時点でCPUに対する割り込みを設定します。
- 外部リクエスト検出*1：DREQ入力ロー／ハイレベル検出、立ち上がり／立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号・転送終了信号*1：DACKおよびTENDはアクティブレベルを設定可能

- DMA設定のレジスタにリロード機能を備えていますので、実行中のDMA転送と同じ設定でのDMA転送を再設定することなく繰り返し実行することができます。また、DMA転送中にリロードレジスタをあらかじめ設定しておくことで、次のDMA転送を異なる設定で実行することができます。

このリロード機能は、チャンネルごと、リロードレジスタごとにON/OFFの設定が可能です。

【注】 *1 DREQ、DACK、TEND は SH726B の場合のみ使用可能

*2 SH726A の場合、シングルアドレスモードは選択不可

図 11.1 にブロック図を示します。

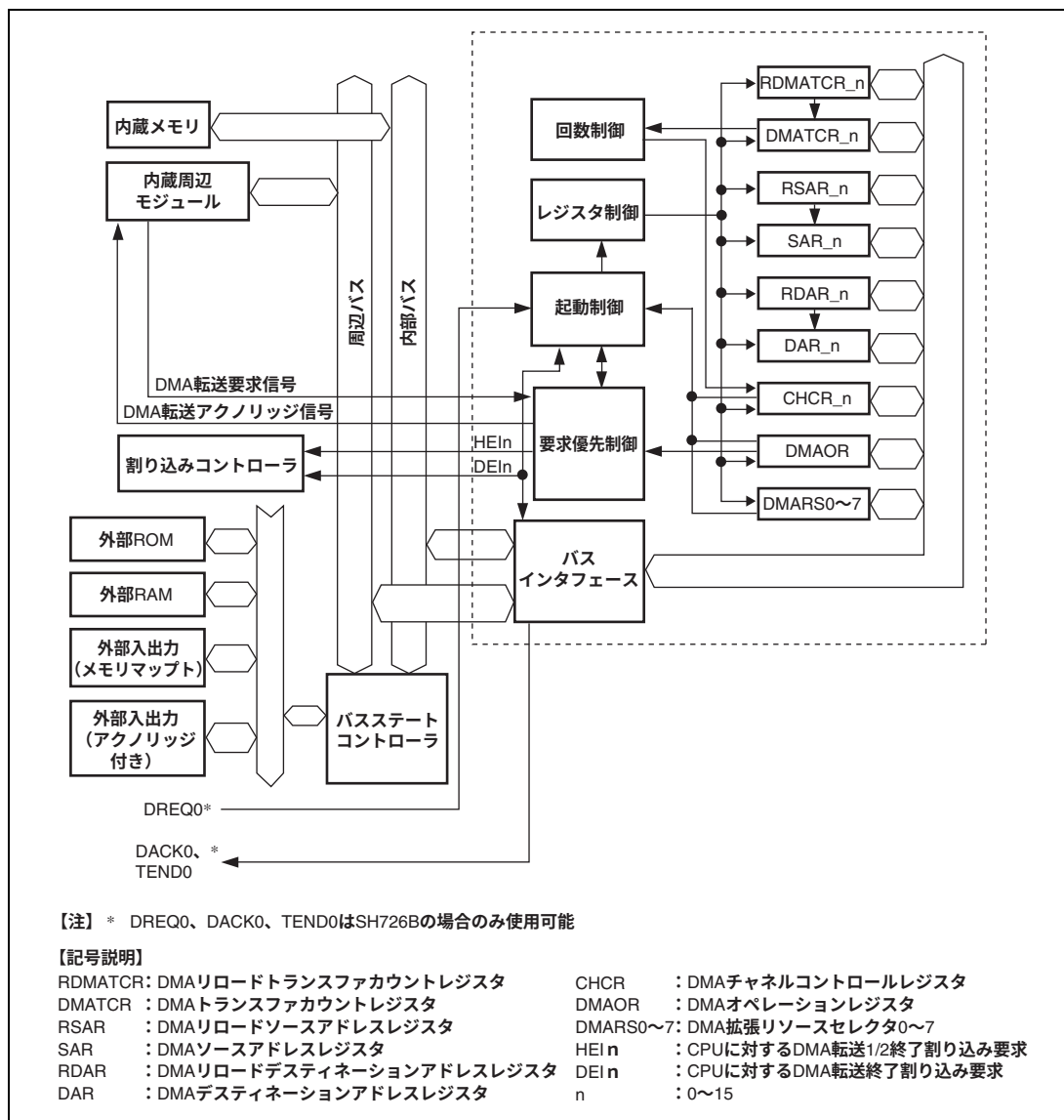


図 11.1 ブロック図

11.2 入出力端子

表 11.1 に端子構成を示します。本モジュールは、外部バス用に 1 チャンネル分の端子（CH0）を持っています。

表 11.1 端子構成

チャンネル	名称	端子名	入出力	機 能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	本モジュールチャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND0	出力	本モジュールチャンネル 0 の DMA 転送終了出力

【注】 * DREQ0、DACK0、TEND0 は SH726B の場合のみ使用可能です。

11.3 レジスタの説明

表 11.2 にレジスタ構成を示します。各チャンネルに 4 本の制御レジスタと 3 本のリロードレジスタがあり、すべてのチャンネルに共通な制御レジスタが 1 本あります。さらに、2 チャンネルごとに 1 本の拡張リソースセクタレジスタがあります。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。

表 11.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレス レジスタ_0	DAR_0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ_0	DMATCR_0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W*1	H'00000000	H'FFFE100C	8、16、32
	DMA リロードソースアドレス レジスタ_0	RSAR_0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーション アドレスレジスタ_0	RDAR_0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウント レジスタ_0	RDMATCR_0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレス レジスタ_1	DAR_1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR_1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W*1	H'00000000	H'FFFE101C	8、16、32
	DMA リロードソースアドレス レジスタ_1	RSAR_1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーション アドレスレジスタ_1	RDAR_1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウント レジスタ_1	RDMATCR_1	R/W	H'00000000	H'FFFE1118	16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'00000000	H'FFFE1020	16、32
	DMA デスティネーションアドレス レジスタ_2	DAR_2	R/W	H'00000000	H'FFFE1024	16、32
	DMA トランスファカウンタレジスタ_2	DMATCR_2	R/W	H'00000000	H'FFFE1028	16、32
	DMA チャネルコントロールレジスタ_2	CHCR_2	R/W*1	H'00000000	H'FFFE102C	8、16、32
	DMA リロードソースアドレス レジスタ_2	RSAR_2	R/W	H'00000000	H'FFFE1120	16、32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR_2	R/W	H'00000000	H'FFFE1124	16、32
	DMA リロードトランスファカウンタ レジスタ_2	RDMATCR_2	R/W	H'00000000	H'FFFE1128	16、32
3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'00000000	H'FFFE1030	16、32
	DMA デスティネーションアドレス レジスタ_3	DAR_3	R/W	H'00000000	H'FFFE1034	16、32
	DMA トランスファカウンタレジスタ_3	DMATCR_3	R/W	H'00000000	H'FFFE1038	16、32
	DMA チャネルコントロールレジスタ_3	CHCR_3	R/W*1	H'00000000	H'FFFE103C	8、16、32
	DMA リロードソースアドレス レジスタ_3	RSAR_3	R/W	H'00000000	H'FFFE1130	16、32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR_3	R/W	H'00000000	H'FFFE1134	16、32
	DMA リロードトランスファカウンタ レジスタ_3	RDMATCR_3	R/W	H'00000000	H'FFFE1138	16、32
4	DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'00000000	H'FFFE1040	16、32
	DMA デスティネーションアドレス レジスタ_4	DAR_4	R/W	H'00000000	H'FFFE1044	16、32
	DMA トランスファカウンタレジスタ_4	DMATCR_4	R/W	H'00000000	H'FFFE1048	16、32
	DMA チャネルコントロールレジスタ_4	CHCR_4	R/W*1	H'00000000	H'FFFE104C	8、16、32
	DMA リロードソースアドレス レジスタ_4	RSAR_4	R/W	H'00000000	H'FFFE1140	16、32
	DMA リロードデスティネーション アドレスレジスタ_4	RDAR_4	R/W	H'00000000	H'FFFE1144	16、32
	DMA リロードトランスファカウンタ レジスタ_4	RDMATCR_4	R/W	H'00000000	H'FFFE1148	16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'00000000	H'FFFE1050	16、32
	DMA デスティネーションアドレス レジスタ_5	DAR_5	R/W	H'00000000	H'FFFE1054	16、32
	DMA トランスファカウンタレジスタ_5	DMATCR_5	R/W	H'00000000	H'FFFE1058	16、32
	DMA チャネルコントロールレジスタ_5	CHCR_5	R/W*1	H'00000000	H'FFFE105C	8、16、32
	DMA リロードソースアドレス レジスタ_5	RSAR_5	R/W	H'00000000	H'FFFE1150	16、32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR_5	R/W	H'00000000	H'FFFE1154	16、32
	DMA リロードトランスファカウンタ レジスタ_5	RDMATCR_5	R/W	H'00000000	H'FFFE1158	16、32
6	DMA ソースアドレスレジスタ_6	SAR_6	R/W	H'00000000	H'FFFE1060	16、32
	DMA デスティネーションアドレス レジスタ_6	DAR_6	R/W	H'00000000	H'FFFE1064	16、32
	DMA トランスファカウンタレジスタ_6	DMATCR_6	R/W	H'00000000	H'FFFE1068	16、32
	DMA チャネルコントロールレジスタ_6	CHCR_6	R/W*1	H'00000000	H'FFFE106C	8、16、32
	DMA リロードソースアドレス レジスタ_6	RSAR_6	R/W	H'00000000	H'FFFE1160	16、32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR_6	R/W	H'00000000	H'FFFE1164	16、32
	DMA リロードトランスファカウンタ レジスタ_6	RDMATCR_6	R/W	H'00000000	H'FFFE1168	16、32
7	DMA ソースアドレスレジスタ_7	SAR_7	R/W	H'00000000	H'FFFE1070	16、32
	DMA デスティネーションアドレス レジスタ_7	DAR_7	R/W	H'00000000	H'FFFE1074	16、32
	DMA トランスファカウンタレジスタ_7	DMATCR_7	R/W	H'00000000	H'FFFE1078	16、32
	DMA チャネルコントロールレジスタ_7	CHCR_7	R/W*1	H'00000000	H'FFFE107C	8、16、32
	DMA リロードソースアドレス レジスタ_7	RSAR_7	R/W	H'00000000	H'FFFE1170	16、32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR_7	R/W	H'00000000	H'FFFE1174	16、32
	DMA リロードトランスファカウンタ レジスタ_7	RDMATCR_7	R/W	H'00000000	H'FFFE1178	16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
8	DMA ソースアドレスレジスタ_8	SAR_8	R/W	H'00000000	H'FFFE1080	16、32
	DMA デスティネーションアドレス レジスタ_8	DAR_8	R/W	H'00000000	H'FFFE1084	16、32
	DMA トランスファカウンタレジスタ_8	DMATCR_8	R/W	H'00000000	H'FFFE1088	16、32
	DMA チャネルコントロールレジスタ_8	CHCR_8	R/W*1	H'00000000	H'FFFE108C	8、16、32
	DMA リロードソースアドレス レジスタ_8	RSAR_8	R/W	H'00000000	H'FFFE1180	16、32
	DMA リロードデスティネーション アドレスレジスタ_8	RDAR_8	R/W	H'00000000	H'FFFE1184	16、32
	DMA リロードトランスファカウンタ レジスタ_8	RDMATCR_8	R/W	H'00000000	H'FFFE1188	16、32
9	DMA ソースアドレスレジスタ_9	SAR_9	R/W	H'00000000	H'FFFE1090	16、32
	DMA デスティネーションアドレス レジスタ_9	DAR_9	R/W	H'00000000	H'FFFE1094	16、32
	DMA トランスファカウンタレジスタ_9	DMATCR_9	R/W	H'00000000	H'FFFE1098	16、32
	DMA チャネルコントロールレジスタ_9	CHCR_9	R/W*1	H'00000000	H'FFFE109C	8、16、32
	DMA リロードソースアドレス レジスタ_9	RSAR_9	R/W	H'00000000	H'FFFE1190	16、32
	DMA リロードデスティネーション アドレスレジスタ_9	RDAR_9	R/W	H'00000000	H'FFFE1194	16、32
	DMA リロードトランスファカウンタ レジスタ_9	RDMATCR_9	R/W	H'00000000	H'FFFE1198	16、32
10	DMA ソースアドレスレジスタ_10	SAR_10	R/W	H'00000000	H'FFFE10A0	16、32
	DMA デスティネーションアドレス レジスタ_10	DAR_10	R/W	H'00000000	H'FFFE10A4	16、32
	DMA トランスファカウンタレジスタ_10	DMATCR_10	R/W	H'00000000	H'FFFE10A8	16、32
	DMA チャネルコントロールレジスタ_10	CHCR_10	R/W*1	H'00000000	H'FFFE10AC	8、16、32
	DMA リロードソースアドレス レジスタ_10	RSAR_10	R/W	H'00000000	H'FFFE11A0	16、32
	DMA リロードデスティネーション アドレスレジスタ_10	RDAR_10	R/W	H'00000000	H'FFFE11A4	16、32
	DMA リロードトランスファカウンタ レジスタ_10	RDMATCR_10	R/W	H'00000000	H'FFFE11A8	16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
11	DMA ソースアドレスレジスタ_11	SAR_11	R/W	H'00000000	H'FFFE10B0	16、32
	DMA デスティネーションアドレス レジスタ_11	DAR_11	R/W	H'00000000	H'FFFE10B4	16、32
	DMA トランスファカウンタレジスタ_11	DMATCR_11	R/W	H'00000000	H'FFFE10B8	16、32
	DMA チャネルコントロールレジスタ_11	CHCR_11	R/W*1	H'00000000	H'FFFE10BC	8、16、32
	DMA リロードソースアドレス レジスタ_11	RSAR_11	R/W	H'00000000	H'FFFE11B0	16、32
	DMA リロードデスティネーション アドレスレジスタ_11	RDAR_11	R/W	H'00000000	H'FFFE11B4	16、32
	DMA リロードトランスファカウンタ レジスタ_11	RDMATCR_11	R/W	H'00000000	H'FFFE11B8	16、32
12	DMA ソースアドレスレジスタ_12	SAR_12	R/W	H'00000000	H'FFFE10C0	16、32
	DMA デスティネーションアドレス レジスタ_12	DAR_12	R/W	H'00000000	H'FFFE10C4	16、32
	DMA トランスファカウンタレジスタ_12	DMATCR_12	R/W	H'00000000	H'FFFE10C8	16、32
	DMA チャネルコントロールレジスタ_12	CHCR_12	R/W*1	H'00000000	H'FFFE10CC	8、16、32
	DMA リロードソースアドレス レジスタ_12	RSAR_12	R/W	H'00000000	H'FFFE11C0	16、32
	DMA リロードデスティネーション アドレスレジスタ_12	RDAR_12	R/W	H'00000000	H'FFFE11C4	16、32
	DMA リロードトランスファカウンタ レジスタ_12	RDMATCR_12	R/W	H'00000000	H'FFFE11C8	16、32
13	DMA ソースアドレスレジスタ_13	SAR_13	R/W	H'00000000	H'FFFE10D0	16、32
	DMA デスティネーションアドレス レジスタ_13	DAR_13	R/W	H'00000000	H'FFFE10D4	16、32
	DMA トランスファカウンタレジスタ_13	DMATCR_13	R/W	H'00000000	H'FFFE10D8	16、32
	DMA チャネルコントロールレジスタ_13	CHCR_13	R/W*1	H'00000000	H'FFFE10DC	8、16、32
	DMA リロードソースアドレス レジスタ_13	RSAR_13	R/W	H'00000000	H'FFFE11D0	16、32
	DMA リロードデスティネーション アドレスレジスタ_13	RDAR_13	R/W	H'00000000	H'FFFE11D4	16、32
	DMA リロードトランスファカウンタ レジスタ_13	RDMATCR_13	R/W	H'00000000	H'FFFE11D8	16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
14	DMA ソースアドレスレジスタ_14	SAR_14	R/W	H'00000000	H'FFFE10E0	16、32
	DMA デスティネーションアドレス レジスタ_14	DAR_14	R/W	H'00000000	H'FFFE10E4	16、32
	DMA トランスファカウンタレジスタ_14	DMATCR_14	R/W	H'00000000	H'FFFE10E8	16、32
	DMA チャネルコントロールレジスタ_14	CHCR_14	R/W*1	H'00000000	H'FFFE10EC	8、16、32
	DMA リロードソースアドレス レジスタ_14	RSAR_14	R/W	H'00000000	H'FFFE11E0	16、32
	DMA リロードデスティネーション アドレスレジスタ_14	RDAR_14	R/W	H'00000000	H'FFFE11E4	16、32
	DMA リロードトランスファカウンタ レジスタ_14	RDMATCR_14	R/W	H'00000000	H'FFFE11E8	16、32
15	DMA ソースアドレスレジスタ_15	SAR_15	R/W	H'00000000	H'FFFE10F0	16、32
	DMA デスティネーションアドレス レジスタ_15	DAR_15	R/W	H'00000000	H'FFFE10F4	16、32
	DMA トランスファカウンタレジスタ_15	DMATCR_15	R/W	H'00000000	H'FFFE10F8	16、32
	DMA チャネルコントロールレジスタ_15	CHCR_15	R/W*1	H'00000000	H'FFFE10FC	8、16、32
	DMA リロードソースアドレス レジスタ_15	RSAR_15	R/W	H'00000000	H'FFFE11F0	16、32
	DMA リロードデスティネーション アドレスレジスタ_15	RDAR_15	R/W	H'00000000	H'FFFE11F4	16、32
	DMA リロードトランスファカウンタ レジスタ_15	RDMATCR_15	R/W	H'00000000	H'FFFE11F8	16、32
共通	DMA オペレーションレジスタ	DMAOR	R/W*2	H'0000	H'FFFE1200	8、16
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'0000	H'FFFE1308	16
6/7	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'0000	H'FFFE130C	16
8/9	DMA 拡張リソースセクタ 4	DMARS4	R/W	H'0000	H'FFFE1310	16
10/11	DMA 拡張リソースセクタ 5	DMARS5	R/W	H'0000	H'FFFE1314	16
12/13	DMA 拡張リソースセクタ 6	DMARS6	R/W	H'0000	H'FFFE1318	16
14/15	DMA 拡張リソースセクタ 7	DMARS7	R/W	H'0000	H'FFFE131C	16

【注】 *1 CHCR_n の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

11.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回（最大転送回数）になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回（128 ビット）で 1 回のカウントをします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.4 DMA チャネルコントロールレジスタ (CHCR)

CHCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

外部端子 DREQ、DACK、TEND の仕様を決めるビット (DO、AM、AL、DL、DS、TL) については、チャンネル 0 で読み書き可能となっていますが、チャンネル 1～15 では対応するビットはリザーブビットとなっています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC	-	RLD SAR	RLD DAR	-	DAF	SAF	-	DO	TL	-	TE MASK	HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/(W)*	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
31	TC	0	R/W	トランスファカウントモード 1 回の転送要求で 1 回転送するか、DMATCR の設定回数転送するかを設定します。本機能は、内蔵周辺モジュールリクエストの場合のみ有効です。TC=0 に設定した場合には、TB ビットを 1 (バーストモード) に設定しないでください。また、転送要求元をマルチファンクションタイムパルスユニット 2、コンペアマッチタイマ、コントローラエリアネットワーク、CD-ROM デコーダ、A/D 変換器以外に設定した場合には、TC=1 に設定しないでください。 0 : 1 回の転送要求で 1 回転送 1 : 1 回の転送要求で DMATCR の設定回数転送
30	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	RLDSAR	0	R/W	SAR リロード機能 ON/OFF SAR および DMATCR へのリロード機能を、有効 (ON) にするか、無効 (OFF) にするかを設定します。 0 : SAR および DMATCR へのリロード機能は無効 (OFF) 1 : SAR および DMATCR へのリロード機能は有効 (ON)
28	RLDDAR	0	R/W	DAR リロード機能 ON/OFF DAR および DMATCR へのリロード機能を、有効 (ON) にするか、無効 (OFF) にするかを設定します。 0 : DAR および DMATCR へのリロード機能は無効 (OFF) 1 : DAR および DMATCR へのリロード機能は有効 (ON)
27	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	DAF	0	R/W	デスティネーションアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、デスティネーションアドレスモード (DM[1:0]) がアドレス固定の場合に有効になります。 0 : DAR レジスタに設定したアドレスへ、16 バイトを転送します。書き込み先アドレスは、DAR レジスタに設定したアドレスの +H'0、+H'4、+H'8、+H'C 番地となります。 1 : DAR レジスタに設定したアドレスへ、4 バイトを 4 回転送します。書き込み先アドレスは、DAR レジスタに設定したアドレス固定となります。本機能は、CD-ROM デコーダ、サンプリングレートコンバータ、SD ホストインタフェース以外では使用しないでください。

ビット	ビット名	初期値	R/W	説 明
25	SAF	0	R/W	ソースアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、ソースアドレスモード (SM[1:0]) がアドレス固定の場合に有効になります。 0 : SAR レジスタに設定したアドレスから、16 バイトを転送します。読み出し先アドレスは、SAR レジスタに設定したアドレスの +H'0、+H'4、+H'8、+H'C 番地となります。 1 : SAR レジスタに設定したアドレスから、4 バイトを 4 回転送します。読み出し先アドレスは、SAR レジスタに設定したアドレス固定となります。 本機能は、CD-ROM デコーダ、サンプリングレートコンバータ、SD ホストインタフェース以外では使用しないでください。
24	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23	DO	0	R/W	DMA オーバラン DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは CHCR_0 のレベル検出のときのみに有効です。CHCR_1~15 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出
22	TL	0	R/W	トランスファエンドレベル TEND 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0 のみに有効です。CHCR_1~15 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	TEMASK	0	R/W	TE セットマスク TE ビットが 1 にセットされたときに、DMA 転送が停止しないことを指示します。SAR リロード機能または DAR リロード機能と合わせて本ビットを設定することで、転送要求を取りやめるまでの期間、DMA 転送を実行することができます。オートリクエストおよび外部リクエストの立ち上がり／立ち下がりエッジ検出の場合には、本ビットの設定は無視され、TE ビットがセットされると DMA 転送は停止します。なお、本機能は RLDSAR ビットまたは RLDDAR ビットのいずれかが 1 にセットされた場合に有効となります。 0 : TE ビットがセットされると DMA 転送を停止 1 : TE ビットがセットされても DMA 転送を継続

ビット	ビット名	初期値	R/W	説 明
19	HE	0	R/(W)*	ハーフエンドフラグ 転送回数が、転送開始前にセットした DMATCR の値の半分以上になると、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。 0 : DMA 転送中または DMA 転送中断で、 DMATCR > (転送前にセットした DMATCR) / 2 [クリア条件] • HE ビットの 1 を読み出してから 0 を書き込む 1 : DMATCR ≤ (転送前にセットした DMATCR) / 2
18	HIE	0	R/W	ハーフエンドインタラプトイネーブル 転送回数が、転送開始前にセットした DMATCR の値に半分になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると、CPU に対し割り込みを要求します。 0 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を禁止 1 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を許可
17	AM	0	R/W	アクノリッジモード デュアルアドレスモードで、DACK および TEND をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。 シングルアドレスモード時は、本ビットの指定に関係なく DACK および TEND は常に出力されます。 本ビットは CHCR_0 でのみ有効です。CHCR_1~15 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : 読み出しサイクルで DACK および TEND を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK および TEND を出力 (デュアルアドレスモード)
16	AL	0	R/W	アクノリッジレベル DACK 信号をハイアクティブにするかローアクティブにするかを指定します。 本ビットは CHCR_0 でのみ有効です。CHCR_1~15 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力

ビット	ビット名	初期値	R/W	説 明
15、14	DM[1:0]	00	R/W	デスティネーションアドレスモード DMA 転送先のアドレスの増減を指定します（シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます）。 00：デスティネーションアドレスは固定 01：デスティネーションアドレスは増加 （バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16） 10：デスティネーションアドレスは減少 （バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止） 11：設定禁止
13、12	SM[1:0]	00	R/W	ソースアドレスモード DMA 転送元のアドレスの増減を指定します（シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます）。 00：ソースアドレスは固定 01：ソースアドレスは増加 （バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16） 10：ソースアドレスは減少 （バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止） 11：設定禁止

ビット	ビット名	初期値	R/W	説 明
11～8	RS[3:0]	0000	R/W	リソースセレクト 本モジュールに入力する転送要求元を指定します。転送要求元の変更は、必ずDMA イネーブルビット (DE) が 0 の状態で行ってください。 0000 : 外部リクエスト、デュアルアドレスモード 0001 : 設定禁止 0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間→DACK 付き外部デバイス 0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス→外部アドレス空間 0100 : オートリクエスト 0101 : 設定禁止 0110 : 設定禁止 0111 : 設定禁止 1000 : DMA 拡張リソースセクタ 1001 : コントローラエリアネットワーク チャネル 0 1010 : コントローラエリアネットワーク チャネル 1 1011 : 設定禁止 1100 : 設定禁止 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止 【注】外部リクエストの指定は CHCR_0 のみ有効です。 CHCR_1～15 では外部リクエストの指定は行わないでください。
7	DL	0	R/W	DREQ レベル
6	DS	0	R/W	DREQ エッジセレクト DREQ 入力の検出方法と検出レベルを選択します。 本ビットは CHCR_0 のみ有効です。CHCR_1～15 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 また転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。 00 : ローレベル検出 01 : 立ち下がリエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出
5	TB	0	R/W	トランスファバスモード DMA 転送のバスモードを選択します。ただし、TC=0 に設定した場合には、バーストモードに設定しないでください。 0 : サイクルスチールモード 1 : バーストモード

ビット	ビット名	初期値	R/W	説 明
4、3	TS[1:0]	00	R/W	トランスファサイズ DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。 00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト (ロングワード×4) 単位
2	IE	0	R/W	インタラプトイネーブル DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
1	TE	0	R/(W)*	トランスファエンドフラグ DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。 TEMASK ビットが 0 で、TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。 0 : DMA 転送中または DMA 転送中断 [クリア条件] TE ビットの 1 を読み出してから 0 を書き込む 1 : (DMATCR=0 により) DMA 転送終了

ビット	ビット名	初期値	R/W	説 明
0	DE	0	R/W	DMA イネーブル DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。外部リクエストのローレベル検出またはハイレベル検出、および周辺モジュールリクエストでは、TEMASK ビットが 1 である場合には、NMIF ビットおよび AE ビットが 0 であることが必要となります。外部リクエストの立ち上がりエッジ検出または立ち下がりエッジ検出の場合には、オートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。 0 : DMA 転送を禁止 1 : DMA 転送を許可

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

11.3.5 DMA リロードソースアドレスレジスタ (RSAR)

RSAR は、読み出し／書き込み可能な 32 ビットのレジスタです。

SAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RSAR の内容がソースアドレスレジスタ (SAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.6 DMA リロードデスティネーションアドレスレジスタ (RDAR)

RDAR は、読み出し／書き込み可能な 32 ビットのレジスタです。

DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDAR の内容がデスティネーションアドレスレジスタ (DAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.7 DMA リロードトランスファカウントレジスタ (RDMATCR)

RDMATCR は、読み出し／書き込み可能な 32 ビットのレジスタです。

SAR リロード機能あるいは DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDMATCR の内容がトランスファカウントレジスタ (DMATCR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能および DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。また、16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し／書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]	-	-	PR[1:0]	-	-	-	-	-	-	-	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/(W)*R/(W)*	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト サイクルスチールモード時に通常モードとインターミitttentモードを選択します。 インターミitttentモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードであることが必要です。 00：通常モード 01：設定禁止 10：インターミitttentモード 16 Bφクロックで 16 クロックに 1 回 DMA 転送を実行 11：インターミitttentモード 64 Bφクロックで 64 クロックに 1 回 DMA 転送を実行
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PR[1:0]	00	R/W	プライオリティモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00：固定モード 1：CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7>CH8 >CH9>CH10>CH11>CH12>CH13>CH14>CH15 01：固定モード 2：CH0>CH8>CH1>CH9>CH2>CH10>CH3>CH11>CH4 >CH12>CH5>CH13>CH6>CH14>CH7>CH15 10：設定禁止 11：設定禁止
7～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	AE	0	R/(W)*	アドレスエラーフラグ 本モジュールによるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0：本モジュールによるアドレスエラーなし 1：本モジュールによるアドレスエラー発生 [クリア条件] • AE ビットの 1 を読み出してから 0 を書き込む

ビット	ビット名	初期値	R/W	説 明
1	NMIF	0	R/(W)*	NMI フラグ NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。 NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず。本モジュールが動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。 0 : NMI 割り込みなし 1 : NMI 割り込み発生 [クリア条件] • NMIF ビットの 1 を読み出してから 0 を書き込む
0	DME	0	R/W	DMA マスタイネーブル すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。 0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

1 転送終了後にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH8>CH1>CH9>CH2>CH10>CH3>CH11>CH4>CH12>CH5>CH13>CH6>CH14>CH7>CH15 となり、固定モード 1 で再設定した場合、優先順位は CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7>CH8>CH9>CH10>CH11>CH12>CH13>CH14>CH15 となります。

また、アドレスエラー発生時の本モジュールの内部処理動作は、次のようになります。

- アドレスエラーが発生しない場合 : Read (転送元→本モジュール内部) →Write (本モジュール内部→転送先)
- アドレスエラーがソースアドレスで発生 : Nop→Nop
- アドレスエラーがデスティネーションアドレスで発生 : Read→Nop

11.3.9 DMA 拡張リソースセクタ 0～7 (DMARS0～DMARS7)

DMARS は、読み出し／書き込み可能な 16 ビットのレジスタで、チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3 のように設定します。設定可能な組み合わせを表 11.3 に示します。

本レジスタで、以下の起動要因に対して転送要求を受け付けることができるように設定できます。

内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。

FIFO 内蔵シリアルコミュニケーションインタフェース：10 要因、I²C バスインタフェース 3：8 要因、A/D 変換器：1 要因、マルチファンクションタイマパルスユニット 2：5 要因、コンペアマッチタイマ：2 要因、USB2.0 ホスト／ファンクションモジュール：2 要因、コントローラエリアネットワーク：2 要因、シリアルサウンドインタフェース：6 要因、サンプリングレートコンバータ：6 要因、ルネサス SPDIF インタフェース：2 要因、CD-ROM デコーダ：1 要因、SD ホストインタフェース：2 要因、ルネサスシリアルペリフェラルインタフェース：6 要因、FIFO 付きクロック同期シリアル I/O：2 要因

なお、コントローラエリアネットワークからの 2 要因による転送要求受け付けのみ、DMA チャンネルコントローラレジスタの RS[3:0]で設定でき、DMA 拡張リソースセクタの設定は必要ありません。

• DMARS0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]						CH1 RID[1:0]		CH0 MID[5:0]						CH0 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]						CH3 RID[1:0]		CH2 MID[5:0]						CH2 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH5 MID[5:0]						CH5 RID[1:0]		CH4 MID[5:0]						CH4 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH7 MID[5:0]						CH7 RID[1:0]		CH6 MID[5:0]						CH6 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS4

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH9 MID[5:0]						CH9 RID[1:0]		CH8 MID[5:0]						CH8 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS5

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH11 MID[5:0]						CH11 RID[1:0]		CH10 MID[5:0]						CH10 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS6

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH13 MID[5:0]						CH13 RID[1:0]		CH12 MID[5:0]						CH12 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS7

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH15 MID[5:0]						CH15 RID[1:0]		CH14 MID[5:0]						CH14 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下の MID、RID を設定します。

表 11.3 DMARS の設定

周辺モジュール	1 チャンネル分の 設定値{(MID,RID)}	MID	RID	機能
USB2.0 ホスト／ファンクションモジュール	H'03	B'000000	B'11	チャンネル 0 FIFO
	H'07	B'000001	B'11	チャンネル 1 FIFO
ルネサス SPDIF インタフェース	H'09	B'000010	B'01	送信
	H'0A	B'000010	B'10	受信
SD ホストインタフェース	H'11	B'000100	B'01	SD_BUF ライト
	H'12		B'10	SD_BUF リード
FIFO 付きクロック同期シリアル I/O	H'19	B'000110	B'01	送信
	H'1A		B'10	受信
シリアルサウンドインタフェース チャンネル 0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
シリアルサウンドインタフェース チャンネル 1	H'25	B'001001	B'01	送信
	H'26		B'10	受信
シリアルサウンドインタフェース チャンネル 2	H'2B	B'001010	B'11	—
シリアルサウンドインタフェース チャンネル 3	H'2F	B'001011	B'11	—
サンプリングレートコンバータ チャンネル 0	H'41	B'010000	B'01	入力データエンプティ
	H'42		B'10	出力データフル
サンプリングレートコンバータ チャンネル 1	H'45	B'010001	B'01	入力データエンプティ
	H'46		B'10	出力データフル
サンプリングレートコンバータ チャンネル 2	H'49	B'010010	B'01	入力データエンプティ
	H'4A		B'10	出力データフル
ルネサスシリアルペリフェラルインタフェース チャンネル 0	H'51	B'010100	B'01	送信
	H'52		B'10	受信
ルネサスシリアルペリフェラルインタフェース チャンネル 1	H'55	B'010101	B'01	送信
	H'56		B'10	受信
ルネサスシリアルペリフェラルインタフェース チャンネル 2	H'59	B'010110	B'01	送信
	H'5A		B'10	受信
I ² C バスインタフェース 3 チャンネル 0	H'61	B'011000	B'01	送信
	H'62		B'10	受信
I ² C バスインタフェース 3 チャンネル 1	H'65	B'011001	B'01	送信
	H'66		B'10	受信
I ² C バスインタフェース 3 チャンネル 2	H'69	B'011010	B'01	送信
	H'6A		B'10	受信
I ² C バスインタフェース 3 チャンネル 3	H'6D	B'011011	B'01	送信
	H'6E		B'10	受信

周辺モジュール	1 チャンネル分の 設定値({MID,RID})	MID	RID	機能
CD-ROM デコーダ	H'73	B'011100	B'11	—
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル 0	H'81	B'100000	B'01	送信
	H'82		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル 1	H'85	B'100001	B'01	送信
	H'86		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル 2	H'89	B'100010	B'01	送信
	H'8A		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル 3	H'8D	B'100011	B'01	送信
	H'8E		B'10	受信
FIFO 内蔵シリアルコミュニケーション インタフェース チャンネル 4	H'91	B'100100	B'01	送信
	H'92		B'10	受信
A/D 変換器	H'B3	B'101100	B'11	—
マルチファンクションタイマパルスユニット チャンネル 0	H'E3	B'111000	B'11	—
マルチファンクションタイマパルスユニット チャンネル 1	H'E7	B'111001	B'11	—
マルチファンクションタイマパルスユニット チャンネル 2	H'EB	B'111010	B'11	—
マルチファンクションタイマパルスユニット チャンネル 3	H'EF	B'111011	B'11	—
マルチファンクションタイマパルスユニット チャンネル 4	H'F3	B'111100	B'11	—
コンペアマッチタイマ チャンネル 0	H'FB	B'111110	B'11	—
コンペアマッチタイマ チャンネル 1	H'FF	B'111111	B'11	—

表 11.3 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0～15 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

11.4 動作説明

本モジュール要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト*、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

【注】 * SH726A の場合、外部リクエストは使用出来ません。

11.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、3 つのリロードレジスタ (RSAR、RDAR、RDMATCR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、本モジュールは以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TEMASK=0かつTE=0またはTEMASK=1、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS[1:0]ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の半分の転送を超える (DMATCRの値が初期値の1/2になる) と、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みを発生します。
4. TEMASK=0のとき、指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。TEMASK=1のときには、DMATCRの値が0になると、TE=1にセット後、指定されたRSAR、RDAR、RDMATCRの値をSAR、DAR、DMATCRにリロードし、転送要求がなくなるまで転送動作を継続します。
5. 本モジュールによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 11.2 に上記のフローチャートを示します。

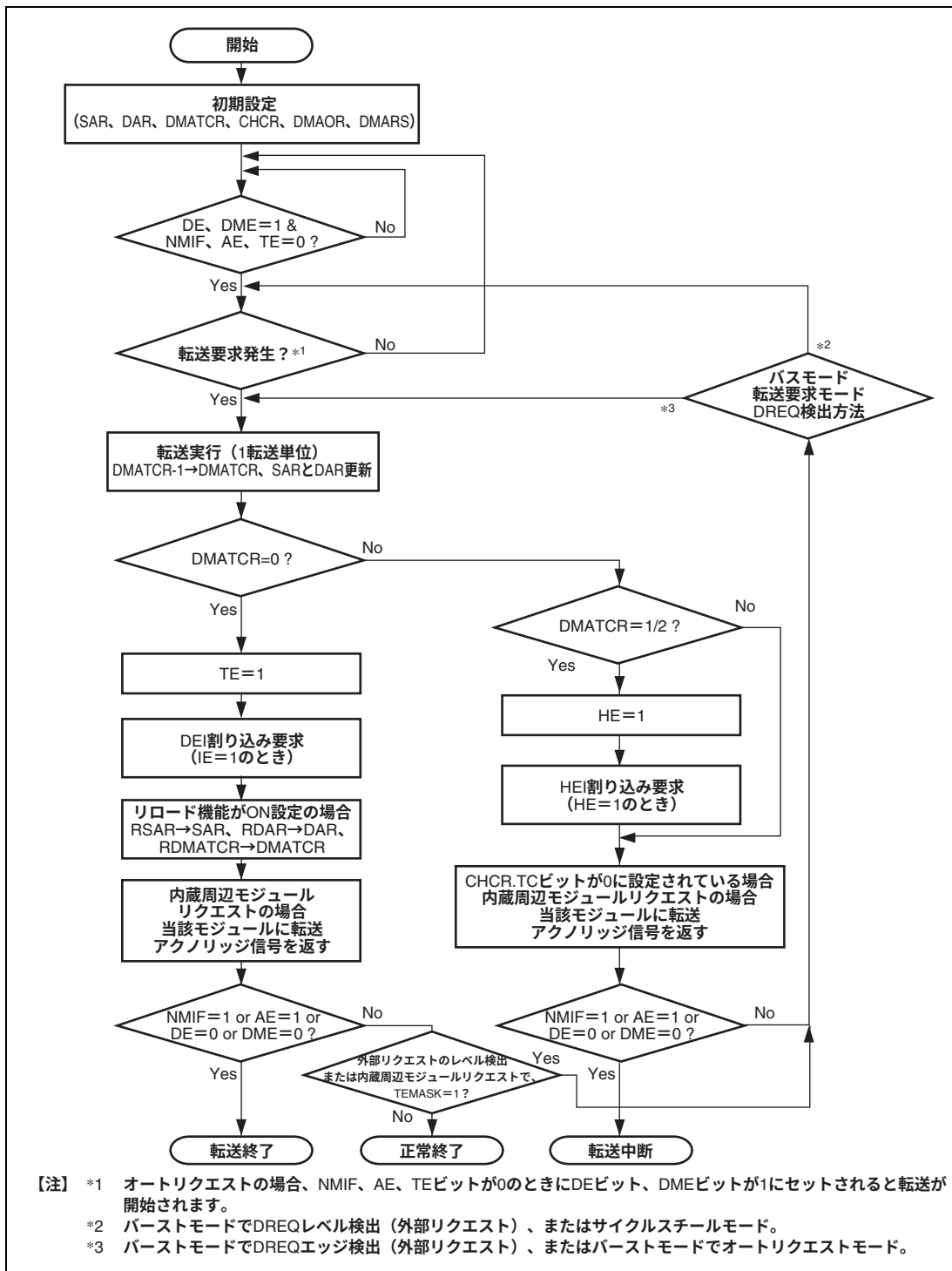


図 11.2 DMA 転送フローチャート

11.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト*、内蔵周辺モジュールリクエストの3種類があります。転送要求の選択はCHCR_0～CHCR_15のRS[3:0]ビットおよびDMARS0～DMARS7レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、本モジュール内部で自動的に転送要求信号を発生するモードです。CHCR_0～CHCR_15のDEビットおよびDMAORのDMEビットを1にセットすると転送が開始されます。ただしCHCR_0～CHCR_15のTEビット、DMAORのAEビット、NMIFビットがすべて0である必要があります。

(2) 外部リクエストモード*

外部リクエストモードは、LSIの外部デバイスからの転送要求信号（DREQ0）によって転送を開始させるモードです。システムに応じて表11.4に示すモードの中から1つを選んで使います。DMA転送が許可されているとき（レベル検出のとき、DE=1、DME=1、TEMASK=0かつTE=0またはTEMASK=1、AE=0、NMIF=0、エッジ検出のとき、DE=1、DME=1、TE=0、AE=0、NMIF=0）にDREQが入力されるとDMA転送が開始されます。

表 11.4 RS ビットによる外部リクエストモードの選択

RS[3]	RS[2]	RS[1]	RS[0]	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK付き外部デバイス
			1		DACK付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQをエッジで検出するかレベルで検出するかは、表11.5に示すCHCR_0のDLビットとDSビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。立ち上がり検出または立ち下がり検出でバーストモードの場合、1回の転送要求でDMATCR=0になるまで転送し続けます。サイクルスチールモードでは、1回の転送要求で1回の転送を行います。

表 11.5 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態（不感帯）となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合（オーバラン 0）と、リクエストより 1 つ多い回数の転送を実行して中断する場合（オーバラン 1）があります。オーバランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 11.6 DO ビットによる外部リクエスト検出の選択

CHCR の DO ビット	外部リクエスト
0	オーバラン 0
1	オーバラン 1

【注】 * SH726A の場合、外部リクエストは使用出来ません。

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから本モジュールに対する DMA 転送要求信号の一覧を表 11.7 に示します。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態（DE=1、DME=1、TEMASK=0 かつ TE=0 または TEMASK=1、AE=0、NMIF=0）ならば、転送要求信号によって転送が実行されます。

内蔵周辺モジュールリクエストの場合には、転送元、転送先が固定されるケースがあります。表 11.7 を参照してください。

表 11.7 RS3～RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
RS[3:0]	MID	RID					
1001	任意	任意	コントローラエリア ネットワーク チャンネル 0	RM0 (受信完了)	MB0	任意	サイクル スチール
1010	任意	任意	コントローラエリア ネットワーク チャンネル 1	RM0 (受信完了)	MB0	任意	
1000	000000	11	USB2.0 ホストノフ ァンクションモジュ ール	USB_DMA0 (チャンネル 0 受信 FIFO フル)	D0FIFO	任意	
				USB_DMA0 (チャンネル 0 送信 FIFO エ ンプティ)	任意	D0FIFO	
	000001	11		USB_DMA1 (チャンネル 1 受信 FIFO フル)	D1FIFO	任意	
				USB_DMA1 (チャンネル 1 送信 FIFO エ ンプティ)	任意	D1FIFO	
	000010	01	ルネサス SPDIF インタフェース	SPDIFTXI (送信モジュール DMA 転 送)	任意	TDAD	
		10		SPDIFRXI (受信モジュール DMA 転 送)	RDAD	任意	
	000100	01	SD ホストインタ フェース	SD_BUF ライト	任意	データ レジスタ	
		10		SD_BUF リード	データ レジスタ	任意	
	000110	01	FIFO 付きクロック 同期シリアル I/O	TXI (送信データ転送)	任意	SITDR	
		10		RXI (受信データ転送)	SIRDR	任意	
	001000	01	シリアルサウンド インタフェース チャンネル 0	SSITXI0 (送信データエンプティ)	任意	SSIFTDR_0	
		10		SSIRXI0 (受信データフル)	SSIFRDR_0	任意	
	001001	01	シリアルサウンド インタフェース チャンネル 1	SSITXI1 (送信データエンプティ)	任意	SSIFTDR_1	
		10		SSIRXI1 (受信データフル)	SSIFRDR_1	任意	

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
RS[3:0]							
1000	001010	11	シリアルサウンド インタフェース チャンネル 2	SSIRT12 (送信データエンプティ)	任意	SSIFTDR_2	サイクル スチール
				SSIRT12 (受信データフル)	SSIFRDR_2	任意	
	001011	11	シリアルサウンド インタフェース チャンネル 3	SSIRT13 (送信データエンプティ)	任意	SSIFTDR_3	
				SSIRT13 (受信データフル)	SSIFRDR_3	任意	
	010000	01	サンプリングレート コンバータ チャンネル 0	IDEI0 (入力データエンプティ)	任意	SRCIDR_0	
		10		ODFI0 (出力データフル)	SRCODR_0	任意	
	010001	01	サンプリングレート コンバータ チャンネル 1	IDEI1 (入力データエンプティ)	任意	SRCIDR_1	
		10		ODFI1 (出力データフル)	SRCODR_1	任意	
	010010	01	サンプリングレート コンバータ チャンネル 2	IDEI2 (入力データエンプティ)	任意	SRCIDR_2	
		10		ODFI2 (出力データフル)	SRCODR_2	任意	
	010100	01	ルネサスシリアル ペリフェラルインタ フェース チャンネル 0	SPTI0 (送信バッファエンプティ)	任意	SPDR_0	
		10		SPRI0 (受信バッファフル)	SPDR_0	任意	
	010101	01	ルネサスシリアル ペリフェラルインタ フェース チャンネル 1	SPTI1 (送信バッファエンプティ)	任意	SPDR_1	
		10		SPRI1 (受信バッファフル)	SPDR_1	任意	
	010110	01	ルネサスシリアル ペリフェラルインタ フェース チャンネル 2	SPTI2 (送信バッファエンプティ)	任意	SPDR_2	
		10		SPRI2 (受信バッファフル)	SPDR_2	任意	
	011000	01	I ² C バス インタフェース 3 チャンネル 0	TXI0 (送信データエンプティ)	任意	ICDRT_0	
		10		RXI0 (受信データフル)	ICDRR_0	任意	
	011001	01	I ² C バス インタフェース 3 チャンネル 1	TXI1 (送信データエンプティ)	任意	ICDRT_1	
		10		RXI1 (受信データフル)	ICDRR_1	任意	
	011010	01	I ² C バス インタフェース 3 チャンネル 2	TXI2 (送信データエンプティ)	任意	ICDRT_2	
		10		RXI2 (受信データフル)	ICDRR_2	任意	
	011011	01	I ² C バス インタフェース 3 チャンネル 3	TXI3 (送信データエンプティ)	任意	ICDRT_3	
		10		RXI3 (受信データフル)	ICDRR_3	任意	

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	011100	11	CD-ROM デコーダ	IREADY (デコード終了)	STRMDOUT	任意	サイクル スチール/ バースト
	100000	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 0	TXI0 (送信 FIFO データエ ンプティ)	任意	SCFTDR_0	サイクル スチール
		10		RXI0 (受信 FIFO データフル)	SCFRDR_0	任意	
	100001	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 1	TXI1 (送信 FIFO データエ ンプティ)	任意	SCFTDR_1	
		10		RXI1 (受信 FIFO データフル)	SCFRDR_1	任意	
	100010	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 2	TXI2 (送信 FIFO データエ ンプティ)	任意	SCFTDR_2	
		10		RXI2 (受信 FIFO データフル)	SCFRDR_2	任意	
	100011	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 3	TXI3 (送信 FIFO データエ ンプティ)	任意	SCFTDR_3	
		10		RXI3 (受信 FIFO データフル)	SCFRDR_3	任意	
	100100	01	FIFO 内蔵シリアル コミュニケーション インタフェース チャンネル 4	TXI4 (送信 FIFO データエ ンプティ)	任意	SCFTDR_4	
		10		RXI4 (受信 FIFO データフル)	SCFRDR_4	任意	
	101100	11	A/D 変換器	ADI (A/D 変換終了)	ADDR	任意	
	111000	11	マルチファンクショ ンタイマパルス ユニット 2 チャンネル 0	TGI0A (インプットキャプチャ/ コンペアマッチ)	任意	任意	サイクル スチール/ バースト
	111001	11	マルチファンクショ ンタイマパルス ユニット 2 チャンネル 1	TGI1A (インプットキャプチャ/ コンペアマッチ)	任意	任意	
	111010	11	マルチファンクショ ンタイマパルス ユニット 2 チャンネル 2	TGI2A (インプットキャプチャ/ コンペアマッチ)	任意	任意	
	111011	11	マルチファンクショ ンタイマパルス ユニット 2 チャンネル 3	TGI3A (インプットキャプチャ/ コンペアマッチ)	任意	任意	

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
RS[3:0]	MID	RID					
1000	111100	11	マルチファンクショ ンタイマパルス ユニット2 チャンネル4	TGI4A (インプットキャプチャ/ コンペアマッチ)	任意	任意	サイクル スチール/ バースト
	111110	11	コンペアマッチ タイマ チャンネル0	CMI0 (コンペアマッチ)	任意	任意	
	111111	11	コンペアマッチ タイマ チャンネル1	CMI1 (コンペアマッチ)	任意	任意	

11.4.3 チャンネルの優先順位

本モジュールは同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード1、固定モード2の2種類のモードから選択できます。

各モードの優先順位は以下のとおりです。

- 固定モード1 : CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7>CH8>CH9>CH10>CH11>CH12>CH13>CH14>CH15
 - 固定モード2 : CH0>CH8>CH1>CH9>CH2>CH10>CH3>CH11>CH4>CH12>CH5>CH13>CH6>CH14>CH7>CH15
- これらの選択はDMAORのPR1、PR0ビットにより行います。

11.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 11.8 に本モジュールがサポートできる転送を示します。

表 11.8 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	内蔵メモリ
DACK 付き 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	不可	不可
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル : デュアルアドレスモード
 2. シングル : シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。
 4. DACK 付き外部デバイスは SH726B のみサポート可能です。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、本モジュールは、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的に本モジュールに格納されます。たとえば、図 11.3 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが本モジュールに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

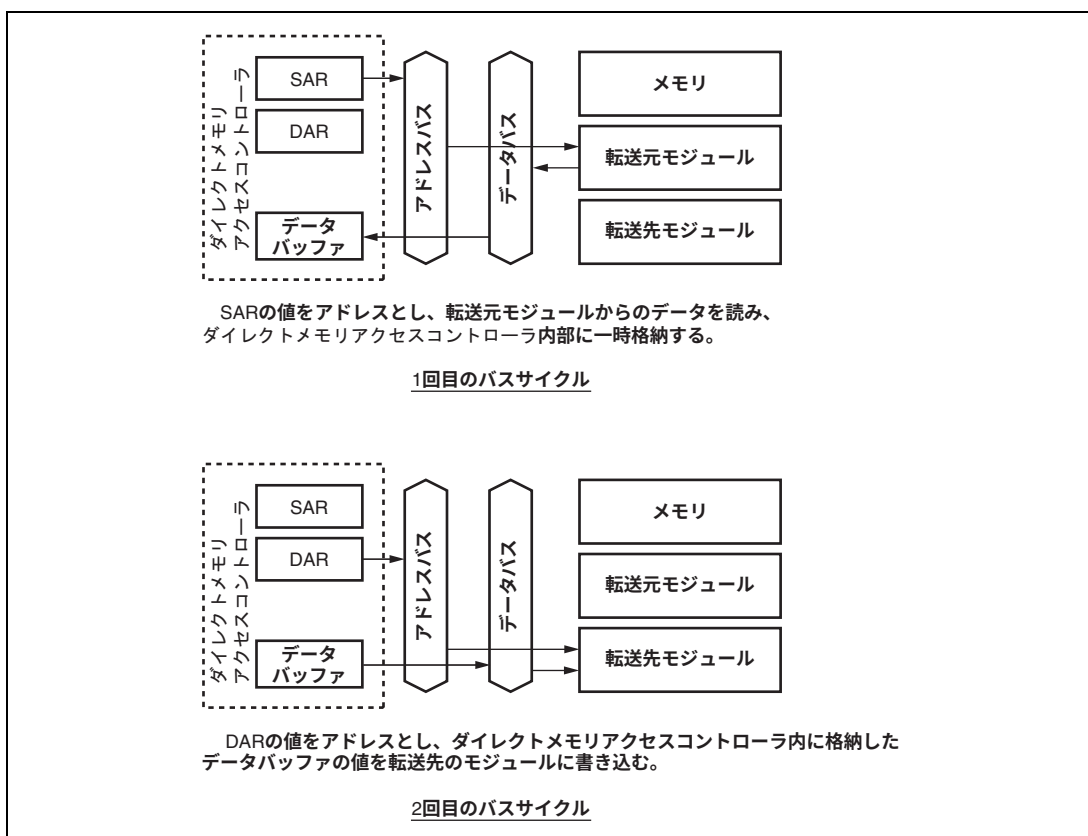


図 11.3 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト*、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかは CHCR の AM ビットによって設定可能です。

図 11.4 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

【注】 * SH726A の場合、外部リクエストは使用出来ません。

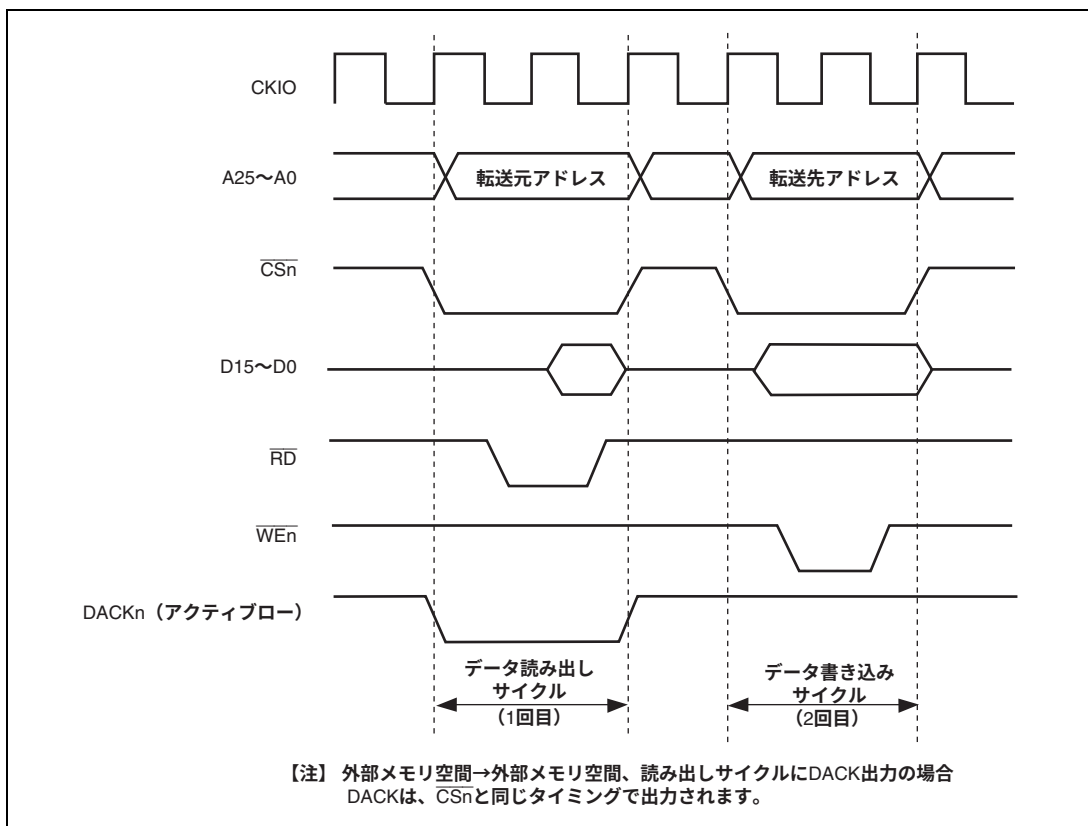


図 11.4 デュアルアドレスモードのDMA 転送タイミング例
(転送元：通常メモリ、転送先：通常メモリ)

(b) シングルアドレスモード*

シングルアドレスモードは、転送元と転送先がともに外部で、そのうち的一方を DACK 信号によってアクセス（選択）し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1 つのバスサイクルで DMA 転送を行います。たとえば、図 11.5 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

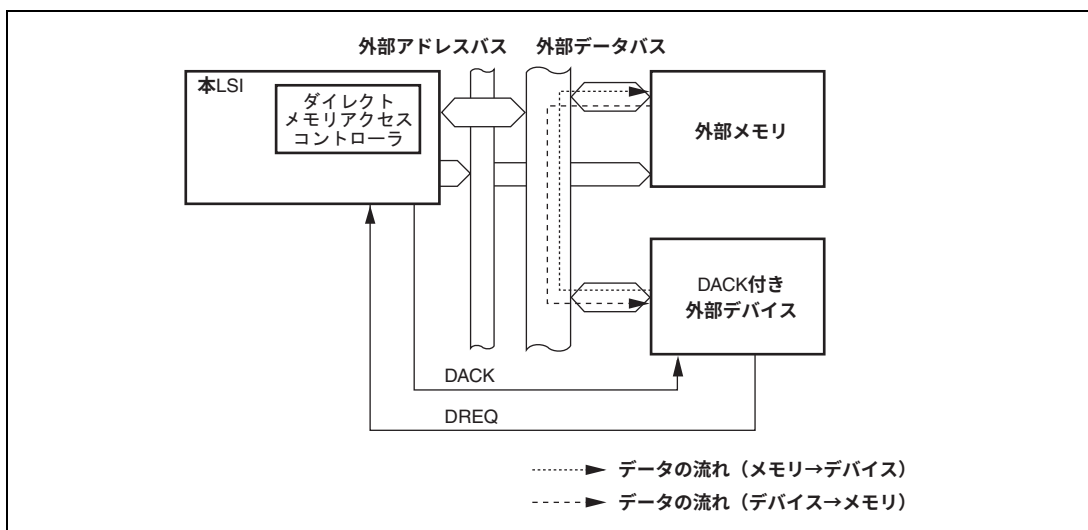


図 11.5 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト（DREQ）のみです。

図 11.6 にシングルアドレスモードでの DMA 転送タイミング例を示します。

【注】 * SH726A では、DACK 使用できないので、シングルアドレスモードは使用出来ません。

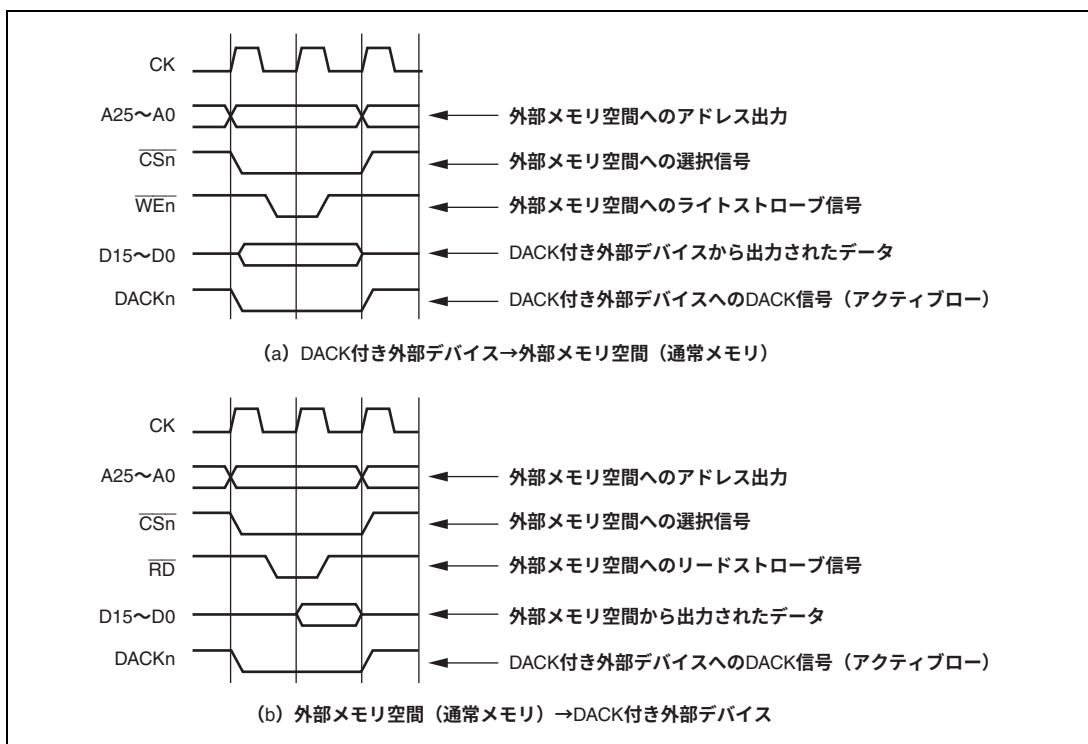


図 11.6 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

● 通常モード

サイクルスチールの通常モードでは、本モジュールは1回の転送単位（バイト、ワード、ロングワード、または16バイト単位）の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図11.7にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

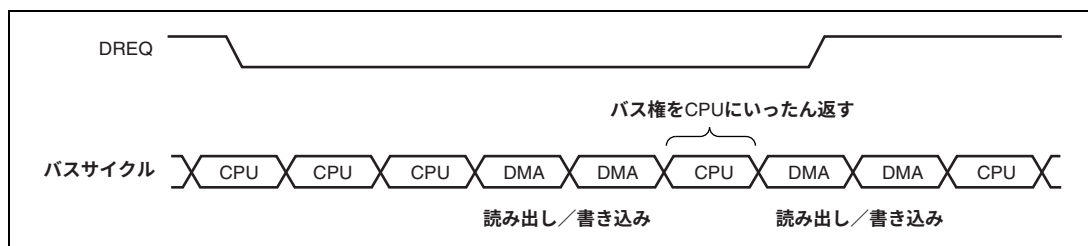


図 11.7 サイクルスチール通常モードの DMA 転送例（デュアルアドレス、DREQ ローレベル検出）

- インターミitttentモード16、インターミitttentモード64

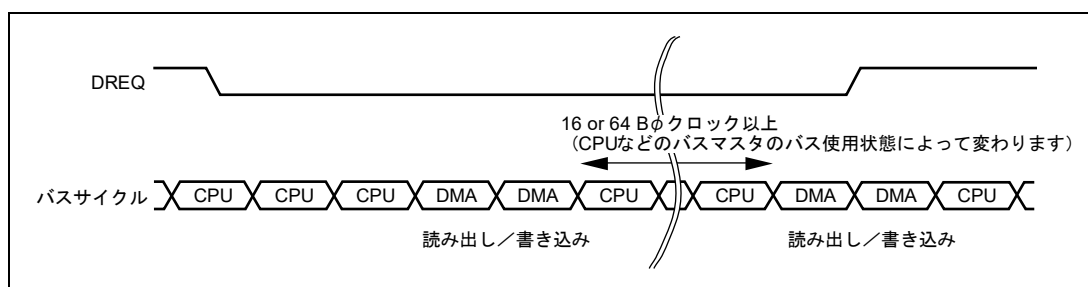
サイクルスチールのインターミitttentモードでは、本モジュールは1回の転送単位（バイト、ワード、ロングワード、または16バイト単位）の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B ϕ クロックカウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

本モジュールが再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

インターミitttentモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスマスタがサイクルスチールモードである必要があります。

図11.8にサイクルスチールインターミitttentモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

図 11.8 サイクルスチールインターミitttentモードの DMA 転送例
(デュアルアドレス、DREQ ローレベル検出)

(b) バーストモード

バーストモードでは、本モジュールは一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMA 転送要求を終了後に他のバスマスタにバス権を渡します。

図 11.9 にバーストモードでの DMA 転送タイミングを示します。

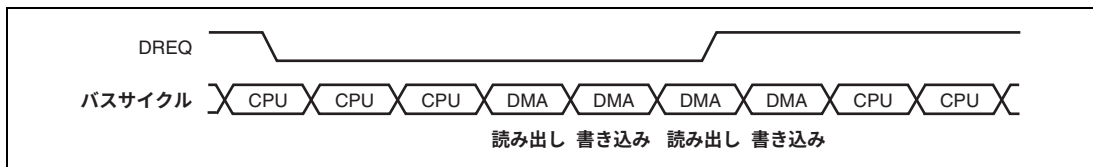


図 11.9 バーストモードの DMA 転送例（デュアルアドレス、DREQ ローレベル検出）

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 11.9 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 11.9 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレス モード	転送区間	リクエスト モード	バス モード	転送サイズ (ビット)	使用可能 チャネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0
	DACK 付き外部デバイスとメモリマップト外部 デバイス	外部	B/C	8/16/32/128	0
	外部メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~15*3
	外部メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~15*3
	メモリマップト外部デバイスとメモリマップト 外部デバイス	すべて可*4	B/C	8/16/32/128	0~15*3
	外部メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~15*3
	メモリマップト外部デバイスと内蔵周辺 モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~15*3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~15*3
	内蔵メモリと内蔵メモリ	すべて可*4	B/C	8/16/32/128	0~15*3
	内蔵メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~15*3
	内蔵メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~15*3
	内蔵メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~15*3
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0
	DACK 付き外部デバイスとメモリマップト外部 デバイス	外部	B/C	8/16/32/128	0

【記号説明】

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。
ただし、内蔵周辺モジュールリクエストの場合には、転送要求元がマルチファンクションタイムパルスユニット 2、コンペアマッチの場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
また、SH726A の場合、外部リクエストは使用出来ません。
- *2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。
- *3 転送要求が外部リクエストの場合にはチャネル 0 のみ。
- *4 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。
ただし、内蔵周辺モジュールリクエストの場合には、マルチファンクションタイムパルスユニット 2、コンペアマッチの場合のみ可能です。
また、SH726A の場合、外部リクエストは使用出来ません。
- *5 内蔵周辺モジュールリクエストの場合には、転送要求元が CD-ROM デコーダ、マルチファンクションタイムパルスユニット 2、コンペアマッチの場合を除いてサイクルスチールのみ。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 が転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0→チャンネル 1→チャンネル 0→チャンネル 1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後の CPU サイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図 11.10 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

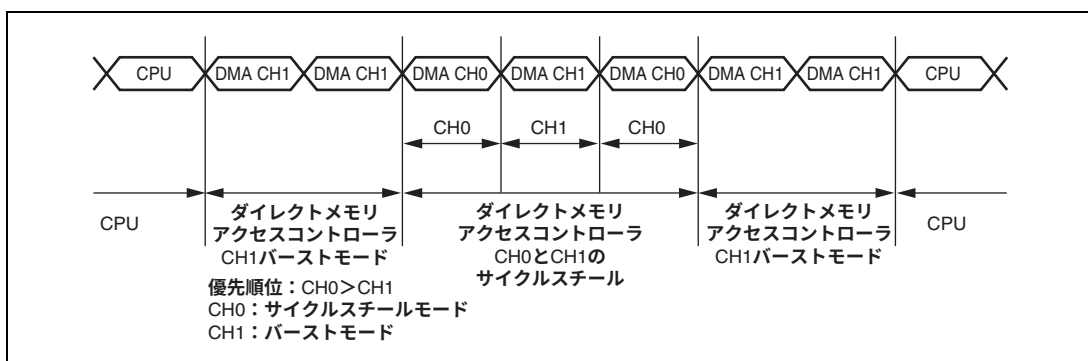


図 11.10 複数チャンネルが動作する場合のバス状態

11.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

(1) バスサイクルのステート数

本モジュールがバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラで制御されます。詳細は、「第 10 章 バスステートコントローラ」を参照してください。

(2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力サンプリングタイミングを図 11.11～図 11.14 に示します。

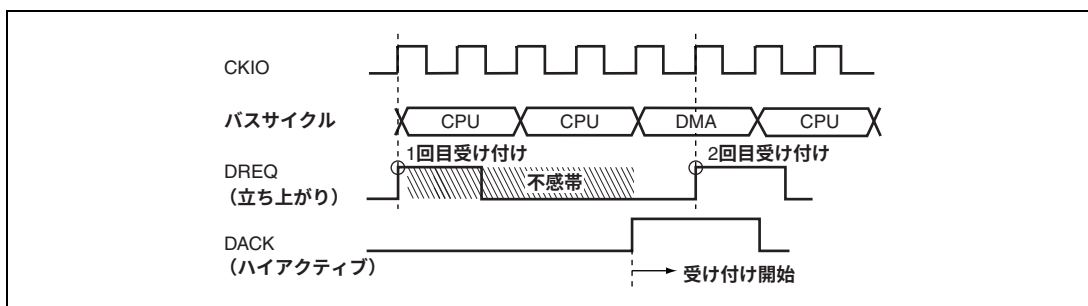


図 11.11 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング

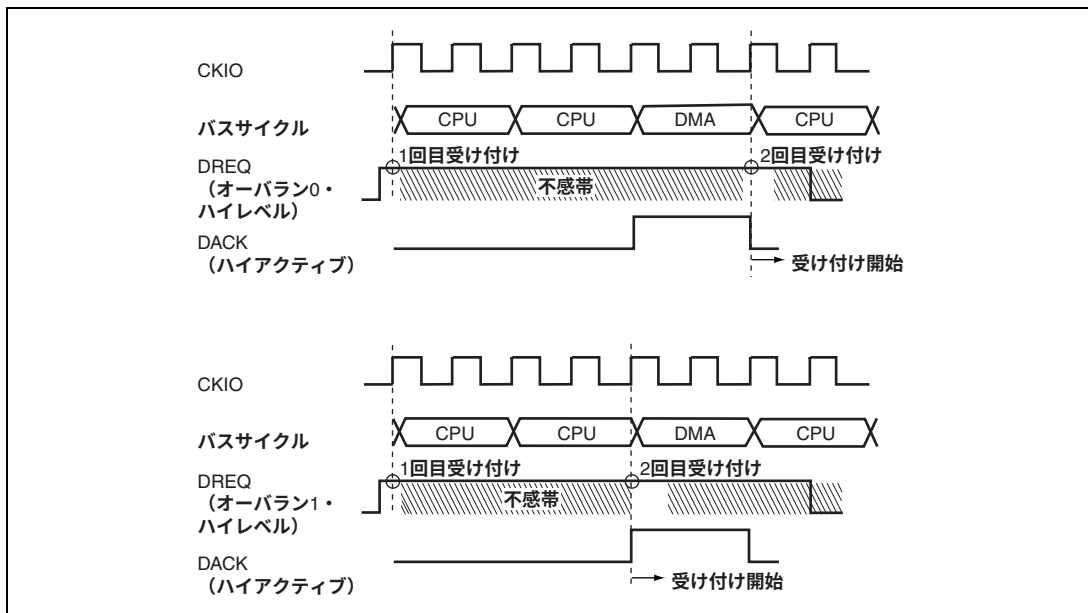


図 11.12 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング

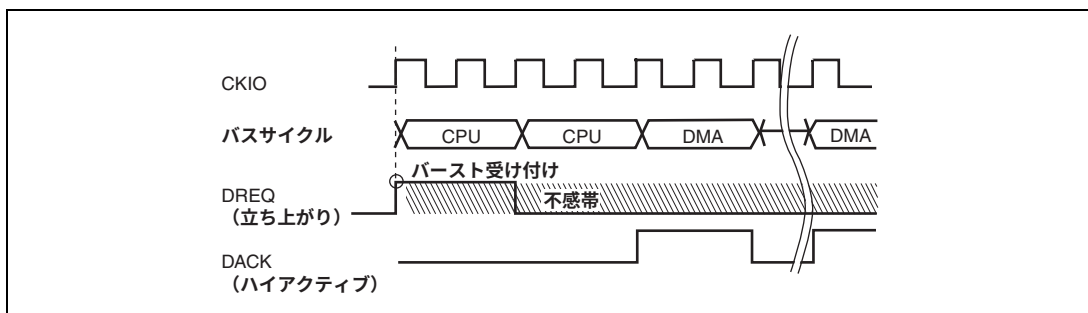


図 11.13 バーストモード・エッジ検出時の DREQ 入力検出タイミング

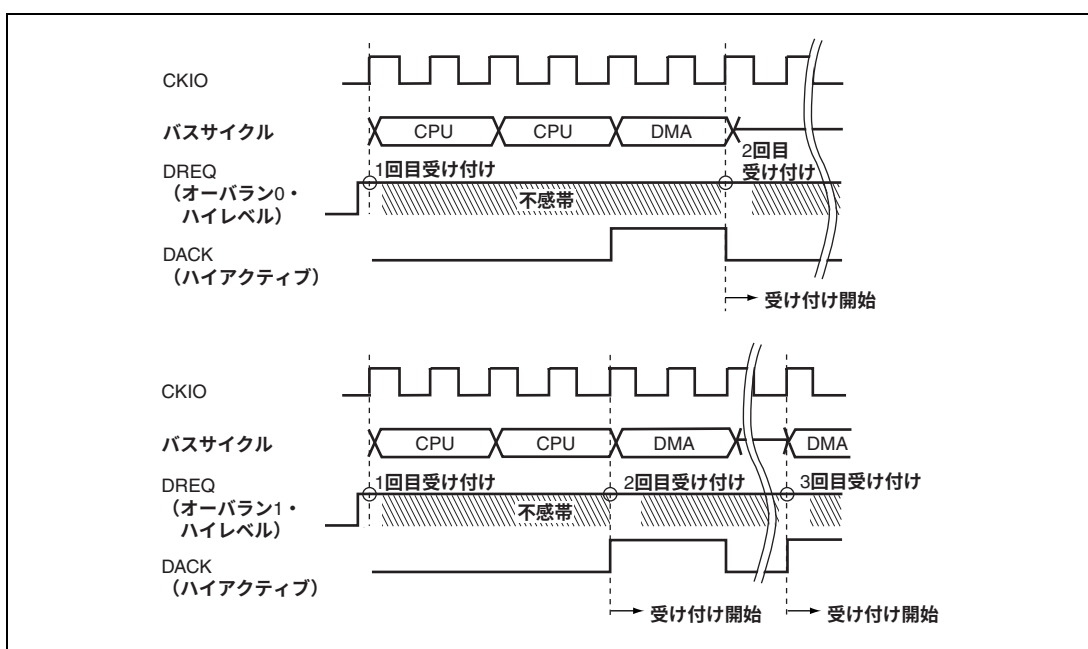


図 11.14 バーストモード・レベル検出時の DREQ 入力検出タイミング

図 11.15 に TEND 出力のタイミングを示します。

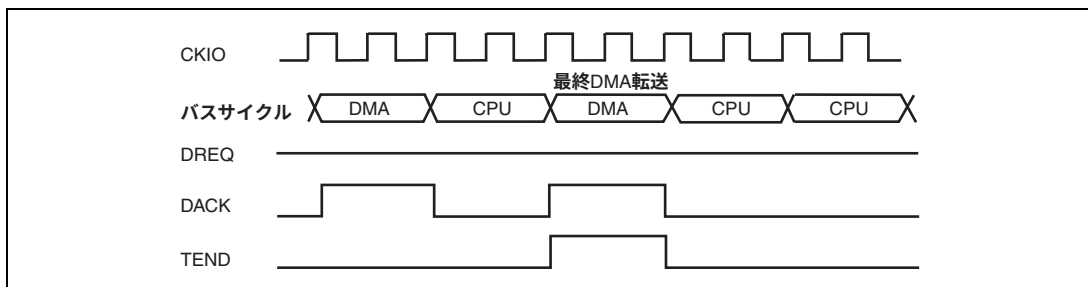


図 11.15 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8 ビット、16 ビット外部デバイスに 16 バイト転送を行ったり、8 ビット外部デバイスにワード転送をする場合は、DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送が複数のバスサイクルに分割され、かつバスサイクル間で $\overline{CS}$ がネゲートする設定の場合、データをアライメントするために $\overline{CS}$ と同様に DACK 出力および TEND 出力が分割されるので注意してください。この例を図 11.16 に示します。なお、図 11.11～図 11.15 は、DMA 転送時に DACK、TEND が分割されない場合を示しています。

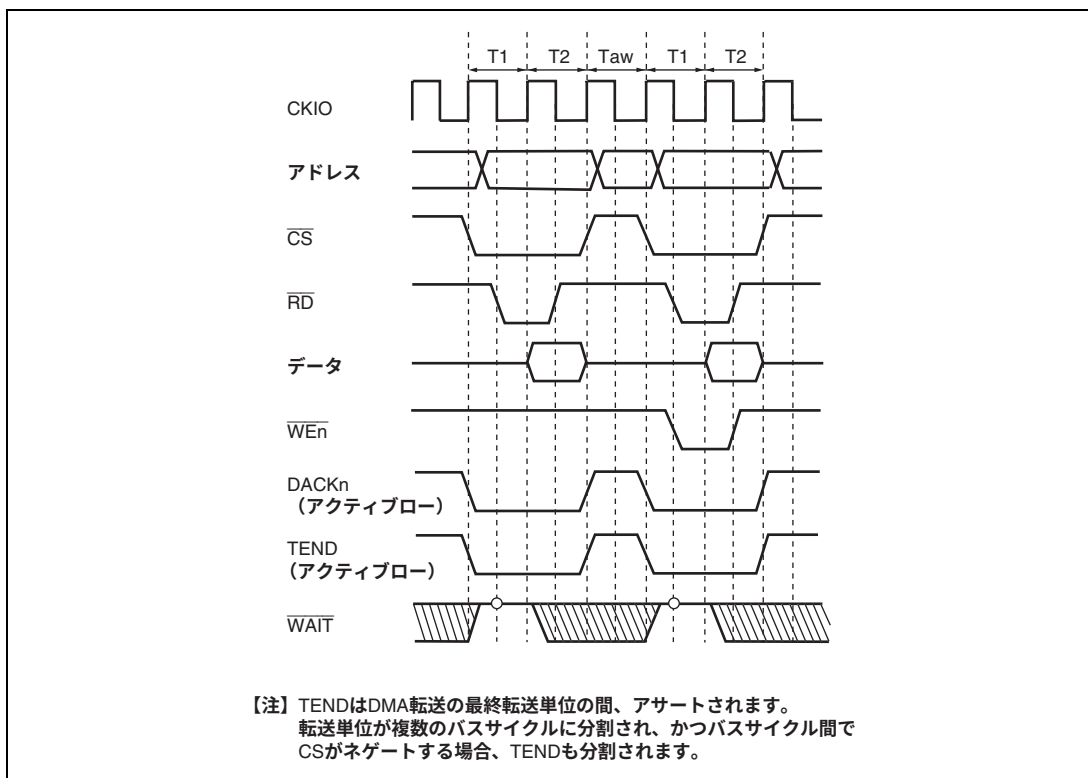


図 11.16 バスステートコントローラ通常メモリアクセス（ノーウェイト、アイドルサイクル1、16 ビットデバイスへのロングワードアクセス）

11.5 使用上の注意事項

11.5.1 DACK 出力および TEND 出力のタイミング

該当 CS アサートと同一タイミングで DACK 出力もアサートされます。

TEND 出力はメモリ種によらず、常に該当 CS アサートと同一タイミングでアサートされます。

12. マルチファンクションタイマパルスユニット 2

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 を内蔵しています。

12.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ（TCNT）への同時書き込み、コンペアマッチ／インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相の PWM 出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 25種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で、2種（チョッピング、レベル）の波形出力が選択可能
- 相補PWMモード時、カウンタの山／谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

表 12.1 マルチファンクションタイマパルスユニット 2 の機能一覧

項 目		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック		Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKB	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 TCLKA TCLKB	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)		TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ		TGRC_0 TGRD_0 TGRF_0	—	—	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子		TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能		TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル出力	○	○	○	○	○
インプットキャプチャ機能		○	○	○	○	○
同期動作		○	○	○	○	○
PWM モード 1		○	○	○	○	○
PWM モード 2		○	○	○	—	—
相補 PWM モード		—	—	—	○	○
リセット PWM モード		—	—	—	○	○
AC 同期モータ駆動モード		○	—	—	○	○
位相計数モード		—	○	○	—	—
バッファ動作		○	—	—	○	○

項 目	チャネル 0	チャネル 1	チャネル 2	チャネル 3	チャネル 4
ダイレクトメモリアクセス コントローラの起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバフロー／ アンダフロー
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)
割り込み要因	7 要因 • コンペアマッ チ／インプッ トキャプチャ 0A • コンペアマッ チ／インプッ トキャプチャ 0B • コンペアマッ チ／インプッ トキャプチャ 0C • コンペアマッ チ／インプッ トキャプチャ 0D • コンペアマッ チ 0E • コンペアマッ チ 0F • オーバフロー	4 要因 • コンペアマッ チ／インプッ トキャプチャ 1A • コンペアマッ チ／インプッ トキャプチャ 1B • オーバフロー • アンダフロー	4 要因 • コンペアマッ チ／インプッ トキャプチャ 2A • コンペアマッ チ／インプッ トキャプチャ 2B • オーバフロー • アンダフロー	5 要因 • コンペアマッ チ／インプッ トキャプチャ 3A • コンペアマッ チ／インプッ トキャプチャ 3B • コンペアマッ チ／インプッ トキャプチャ 3C • コンペアマッ チ／インプッ トキャプチャ 3D • オーバフロー	5 要因 • コンペアマッ チ／インプッ トキャプチャ 4A • コンペアマッ チ／インプッ トキャプチャ 4B • コンペアマッ チ／インプッ トキャプチャ 4C • コンペアマッ チ／インプッ トキャプチャ 4D • オーバフロー ／アンダフロー

項 目	チャネル 0	チャネル 1	チャネル 2	チャネル 3	チャネル 4
A/D 変換開始要求 ディレイド機能	—	—	—	—	• TADCORA_4 と TCNT_4 の 一致で、A/D 変 換開始要求 • TADCORB_4 と TCNT_4 の 一致で、A/D 変 換開始要求
割り込み間引き機能	—	—	—	• TGRA_3 のコ ンペアマッチ 割り込みを間 引き	• TCIV_4 割り込 みを間引き

【記号説明】

○：可能

—：不可

図 12.1 にブロック図を示します。

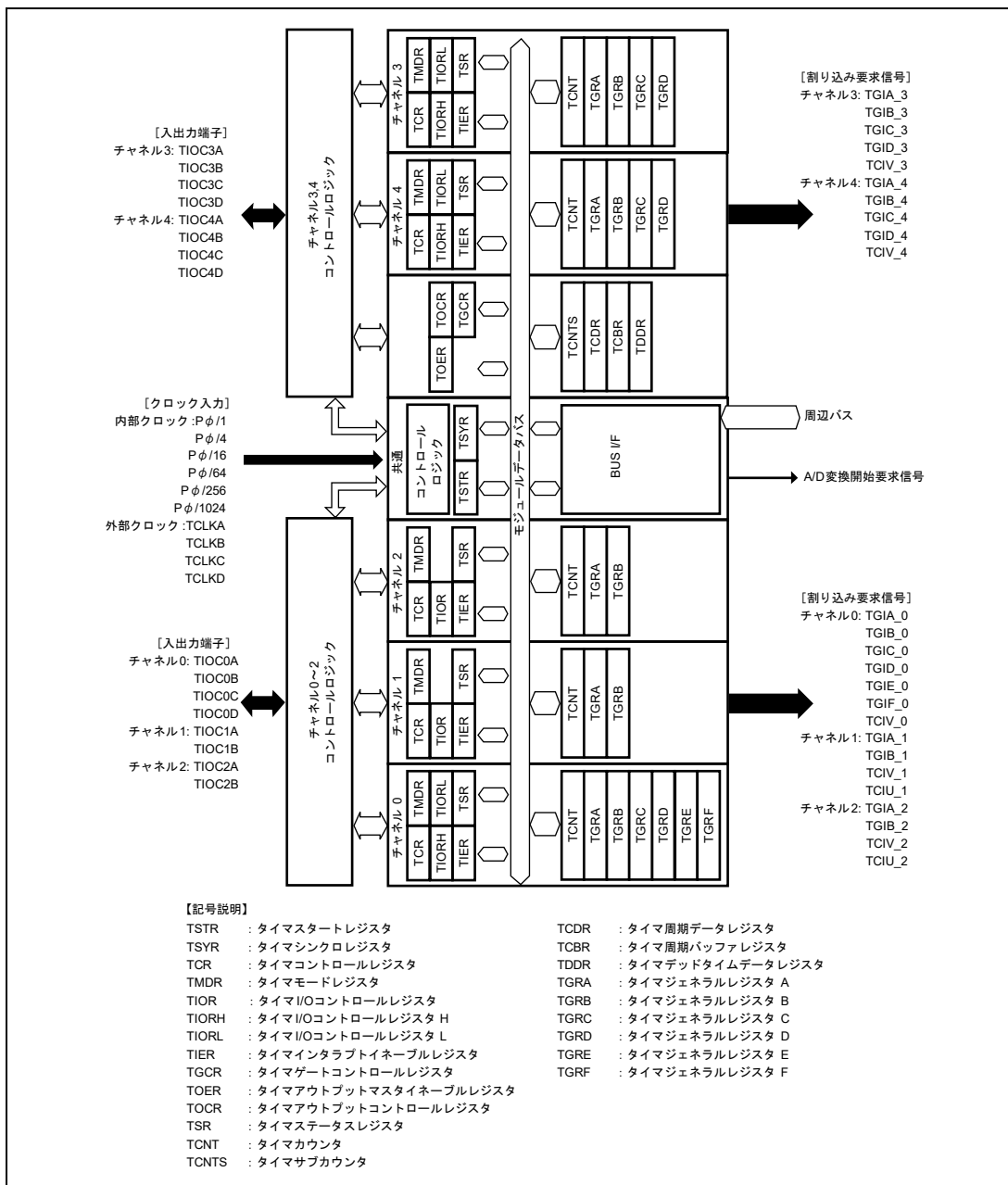


図 12.1 ブロック図

12.2 入出力端子

表 12.2 に端子構成を示します。

表 12.2 端子構成

チャンネル	端子名	入出力	機 能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

チャンネル	端子名	入出力	機 能
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子

【注】 相補 PWM モードの端子構成は、「12.4.8 相補 PWM モード」の表 12.54 を参照してください。

12.3 レジスタの説明

表 12.3 にレジスタ構成を示します。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 12.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE4300	8
	タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE4302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE4303	8
	タイマインタラプトイネーブル レジスタ_0	TIER_0	R/W	H'00	H'FFFE4304	8
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE4308	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE430C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE4320	16
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE4322	16
	タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE4324	8
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE4325	8
	タイマバッファ動作転送モード レジスタ_0	TBTM_0	R/W	H'00	H'FFFE4326	8
1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE4380	8
	タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFE4382	8
	タイマインタラプトイネーブル レジスタ_1	TIER_1	R/W	H'00	H'FFFE4384	8
	タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFE4388	16
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFE438A	16
	タイマインプットキャプチャ コントロールレジスタ	TICCR	R/W	H'00	H'FFFE4390	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE4002	8
	タイマインタラプトイネーブル レジスタ_2	TIER_2	R/W	H'00	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	R/W	H'C0	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE4008	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE400A	16
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE4200	8
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE4202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE4205	8
	タイマインタラプトイネーブル レジスタ_3	TIER_3	R/W	H'00	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	R/W	H'C0	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE4226	16
	タイマバッファ動作転送モード レジスタ_3	TBTM_3	R/W	H'00	H'FFFE4238	8
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE4207	8
	タイマインタラプトイネーブル レジスタ_4	TIER_4	R/W	H'00	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	R/W	H'C0	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE4228	16
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE422A	16
	タイマバッファ動作転送モード レジスタ_4	TBTM_4	R/W	H'00	H'FFFE4239	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	R/W	H'0000	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE4248	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE424A	16
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE4280	8
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFE4281	8
	タイマリードライトイネーブル レジスタ	TRWER	R/W	H'01	H'FFFE4284	8
3/4 共通	タイマアウトプットマスタイネーブル レジスタ	TOER	R/W	H'C0	H'FFFE420A	8
	タイマアウトプットコントロール レジスタ 1	TOCR1	R/W	H'00	H'FFFE420E	8
	タイマアウトプットコントロール レジスタ 2	TOCR2	R/W	H'00	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H'80	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE4230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE4232	8
	タイマデッドタイムイネーブル レジスタ	TDER	R/W	H'01	H'FFFE4234	8
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE4260	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	R/W	H'00	H'FFFE4236	8

12.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し／書き込み可能なレジスタです。本モジュールには、チャンネル 0～4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 12.4、表 12.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります（例：Pφ/4 の両エッジ＝Pφ/2 の立ち上がりエッジ）。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが Pφ/4 もしくはそれより遅い場合に有効です。入力クロックに Pφ/1、あるいは他のチャンネルのオーバフロー／アンダフローを選択した場合、値は書き込みますが、動作は初期値となります。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1x：両エッジでカウント
2～0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 12.6～表 12.9 を参照してください。

【記号説明】 x：Don't care

表 12.4 CCLR2～CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 12.5 CCLR2～CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 12.6 TPSC2～TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : $P\phi/1$ でカウント
	0	0	1	内部クロック : $P\phi/4$ でカウント
	0	1	0	内部クロック : $P\phi/16$ でカウント
	0	1	1	内部クロック : $P\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 12.7 TPSC2～TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : $P\phi/1$ でカウント
	0	0	1	内部クロック : $P\phi/4$ でカウント
	0	1	0	内部クロック : $P\phi/16$ でカウント
	0	1	1	内部クロック : $P\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : $P\phi/256$ でカウント
	1	1	1	TCNT_2 のオーバフロー／アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

表 12.8 TPSC2～TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $P\phi/1$ でカウント
	0	0	1	内部クロック : $P\phi/4$ でカウント
	0	1	0	内部クロック : $P\phi/16$ でカウント
	0	1	1	内部クロック : $P\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $P\phi/1024$ でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

表 12.9 TPSC2～TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	内部クロック : Pφ/256 でカウント
	1	0	1	内部クロック : Pφ/1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

12.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し／書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。本モジュールには、チャンネル 0～4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。 TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRE_0 と TGRF_0 は通常動作 1 : TGRE_0 と TGRF_0 はバッファ動作

ビット	ビット名	初期値	R/W	説 明
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ／アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ／アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイマインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。 TGRC を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作
3~0	MD[3:0]	0000	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 詳細は表 12.10 を参照してください。

表 12.10 MD3～MD0 ビットによる動作モードの設定

ビット 3	ビット 2	ビット 1	ビット 0	説 明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2*1
0	1	0	0	位相計数モード 1*2
0	1	0	1	位相計数モード 2*2
0	1	1	0	位相計数モード 3*2
0	1	1	1	位相計数モード 4*2
1	0	0	0	リセット同期 PWM モード*3
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送) *3
1	1	1	0	相補 PWM モード 2 (谷で転送) *3
1	1	1	1	相補 PWM モード 3 (山・谷で転送) *3

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

12.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は、TGR を制御する 8 ビットの読み出し／書き込み可能なレジスタです。本モジュールには、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4

ビット:	7	6	5	4	3	2	1	0
	IOB[3:0]				IOA[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3~B0 IOB3~IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.11 TIOR_1 : 表 12.13 TIOR_2 : 表 12.14 TIORH_3 : 表 12.15 TIORH_4 : 表 12.17
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3~A0 IOA3~IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.19 TIOR_1 : 表 12.21 TIOR_2 : 表 12.22 TIORH_3 : 表 12.23 TIORH_4 : 表 12.25

- TIORL_0、TIORL_3、TIORL_4

ビット:	7	6	5	4	3	2	1	0
	IOD[3:0]				IOC[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3~D0 IOD3~IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.12 TIORL_3 : 表 12.16 TIORL_4 : 表 12.18
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3~C0 IOC3~IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.20 TIORL_3 : 表 12.24 TIORL_4 : 表 12.26

表 12.11 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.12 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.13 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.14 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.15 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.16 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.17 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.18 TIORL_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TI0C4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表 12.19 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.20 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.21 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.22 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.23 TIORH_3 (チャネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.24 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.25 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.26 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TI0C4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

12.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し／書き込み可能なレジスタで、各チャネルの割り込み要求の許可、禁止を制御します。本モジュールには、チャネル 0 に 2 本、チャネル 1～4 に各 1 本、計 6 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット：	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ／コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。 チャネル 0～3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求（TCIU）を許可または禁止します。 チャネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求（TCIU）を禁止 1 : TCFU による割り込み要求（TCIU）を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求（TCIV）を許可または禁止します。 0 : TCFV による割り込み要求（TCIV）を禁止 1 : TCFV による割り込み要求（TCIV）を許可

ビット	ビット名	初期値	R/W	説 明
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

- TIER2_0

ビット：	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGFE ビットによる割り込み要求 (TGIF) を禁止 1 : TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGEE ビットによる割り込み要求 (TGIE) を禁止 1 : TGEE ビットによる割り込み要求 (TGIE) を許可

12.3.5 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し／書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。本モジュールには、チャンネル 0 に 2 本、チャンネル 1～4 に各 1 本、計 6 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット：	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1～4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0：TCNT はダウンカウント 1：TCNT はアップカウント
6	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2 [セット条件] • TCNT の値がアンダフロー (H'0000→H'FFFF) したとき
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF→H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001→H'0000) したときにも本フラグがセットされます。

ビット	ビット名	初期値	R/W	説 明
3	TGFD	0	R/(W)* ¹	インプットキャプチャ／アウトプットコンペアフラグ D チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*² [セット条件] • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき
2	TGFC	0	R/(W)* ¹	インプットキャプチャ／アウトプットコンペアフラグ C チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*² [セット条件] • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき
1	TGFB	0	R/(W)* ¹	インプットキャプチャ／アウトプットコンペアフラグ B TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*² [セット条件] • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット	ビット名	初期値	R/W	説 明
0	TGFA	0	R/(W)* ¹	インプットキャプチャ／アウトプットコンペアフラグ A TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TGIA 割り込みによりダイレクトメモリアクセスコントローラが起動されたとき • TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*² [セット条件] • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされません。再度 1 を読み出して 0 を書き込んでください。

• TSR2_0

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7、6	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグ F TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFF=1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2 [セット条件] • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0=TGRF_0 になったとき
0	TGFE	0	R/(W)*1	コンペアマッチフラグ E TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFE=1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*2 [セット条件] • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0=TGFE_0 になったとき

【注】 *1 フラグをクリアするため、1を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされません。再度 1 を読み出して 0 を書き込んでください。

12.3.6 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し／書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。本モジュールには、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。 チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。 なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

12.3.7 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し／書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。本モジュールには、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する／しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する／しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する／しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する／しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

12.3.8 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し／書き込み可能なレジスタで、A/D 変換開始要求の許可／禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する／しないを設定します。本モジュールには、チャンネル 4 に 1 本の TADCR があります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]		-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値	0*	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

【注】* 相補PWMモード以外では、0を設定してください。

ビット	ビット名	初期値	R/W	説 明
15, 14	BF[1:0]	0*10	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 12.27 を参照してください。
13~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可／禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*1	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可／禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可／禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可
4	DT4BE	0*1	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可／禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説 明
3	ITA3AE	0*1*2*3	R/W	TGIA_3 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する／しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*1*2*3	R/W	TCIV_4 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する／しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*1*2*3	R/W	TGIA_3 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する／しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*1*2*3	R/W	TCIV_4 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する／しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. 相補 PWM モード以外では、0 を設定してください。
 2. 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき）は、0 を設定してください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

表 12.27 BF[1:0]ビットによる転送タイミングの設定

ビット 15	ビット 14	説 明	
BF1	BF0	相補 PWM モード時	リセット同期 PWM モード時
0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_3 が TGRA_3 とコンペアマッチしたとき周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する
1	0	TCNT_4 の谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止
1	1	TCNT_4 の山と谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止

ビット 15	ビット 14	説 明	
BF1	BF0	PWM モード 1 時	通常動作モード時
0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない
0	1	TCNT_4 が TGRA_4 とコンペアマッチしたとき周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_4 が TGRA_4 とコンペアマッチしたとき周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する
1	0	設定禁止	設定禁止
1	1	設定禁止	設定禁止

12.3.9 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し／書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.10 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し／書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.11 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し／書き込み可能なカウンタです。チャンネル 0～4 に各 1 本、計 5 本の TCNT があります。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.12 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し／書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、計 18 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA－TGRC、TGRB－TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE－TGRF になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

12.3.13 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し／書き込み可能なレジスタで、チャンネル 0～4 の TCNT の動作／停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2～0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2～TCNT_0 のカウント動作は停止 1 : TCNT_2～TCNT_0 はカウント動作

12.3.14 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し／書き込み可能なレジスタで、チャンネル 0～4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2～CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット／クリアは他チャンネルと無関係) 1 : TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット／同期クリアが可能
5～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2～0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2～CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_2～TCNT_0 は独立動作 (TCNT のプリセット／クリアは他チャンネルと無関係) 1 : TCNT_2～TCNT_0 は同期動作 TCNT の同期プリセット／同期クリアが可能

12.3.15 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し／書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を設定します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。 0：レジスタのリードライトを禁止する 1：レジスタのリードライトを許可する [クリア条件] • RWE=1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ／カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

12.3.16 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し／書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可／禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。TOER の設定はチャンネル 3、4 の TCNT のカウント動作を停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の本モジュール出力を許可／禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の本モジュール出力を許可／禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の本モジュール出力を許可／禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の本モジュール出力を許可／禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の本モジュール出力を許可／禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の本モジュール出力を許可／禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「12.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「12.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード／リセット同期 PWM モード以外で本モジュール出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

12.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R/(W)*3	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力カインープル PWM 周期に同期したトグル出力の許可／禁止を設定します。 0：トグル出力を禁止 1：トグル出力を許可
5、4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TOCL	0	R/(W)*3	TOC レジスタ書き込み禁止ビット*1 TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。 0：TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1：TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0：TOCR1 の設定を有効にする 1：TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N*2*4 リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。表 12.28 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P*2 リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。表 12.29 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

*3 パワーオンリセット後、1 回のみ 1 を書き込みできます。1 を書き込み後は、0 を書き込むことはできません。

*4 デッドタイムを生成しない場合、逆相の出力は正相の反転になります。なお、OLSP、OLSN に同じ値を設定してください。

表 12.28 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.29 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例（1 相分）を図 12.2 に示します。

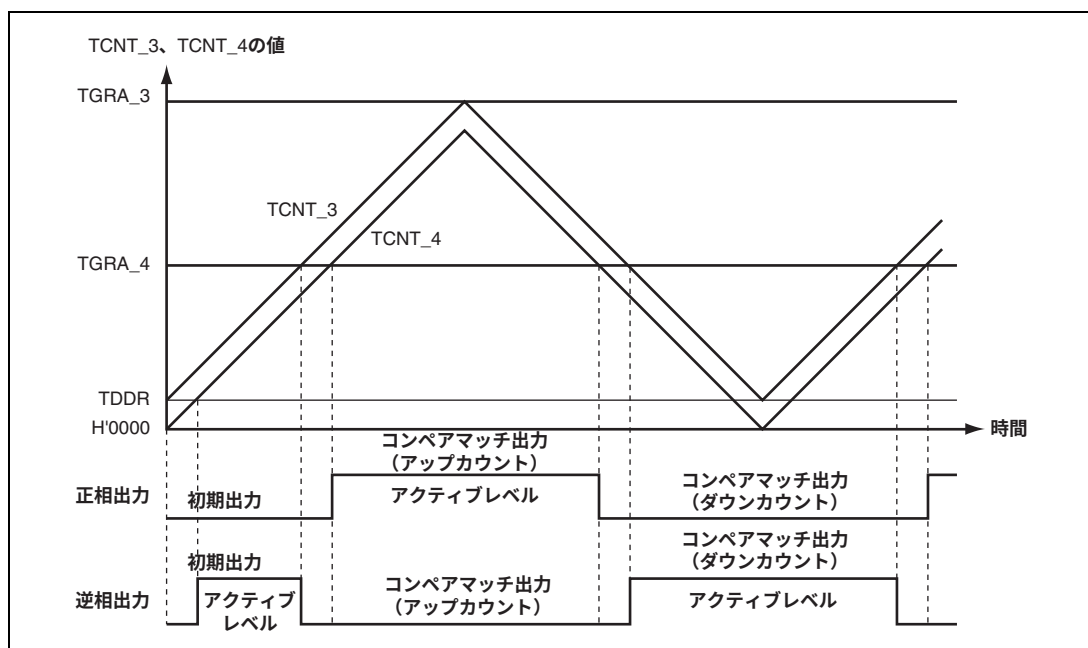


図 12.2 相補 PWM モードの出力レベルの例

12.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.30 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード／相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.31 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード／相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.32 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード／相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.33 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード／相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.34 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード／相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.35 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード／相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.36 を参照してください。

【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

デッドタイムを生成しない場合、逆相の出力は正相の反転となります。なお、OLSiP、OLSiN に同じ値を設定してください (i=1、2、3)。

表 12.30 BF1、BF0 ビットの設定

ビット 7	ビット 6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 12.31 TIOC4D 出力レベルセレクト機能

ビット 5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.32 TIOC4B 出力レベルセレクト機能

ビット 4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.33 TIOC4C 出力レベルセレクト機能

ビット 3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.34 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.35 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.36 TIOC4B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

12.3.19 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し／書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 12.3 に示します。

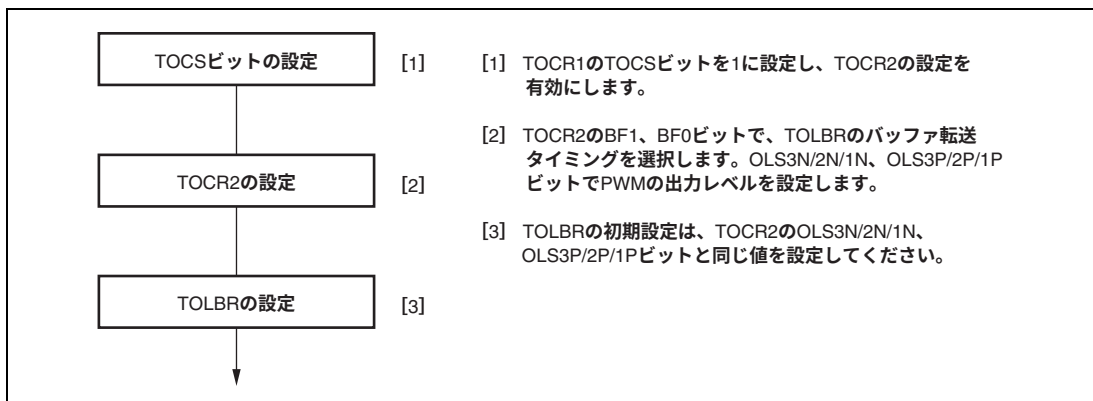


図 12.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

12.3.20 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード／相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し／書き込み可能なレジスタです。相補 PWM モード／リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット：	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0：通常出力 1：本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM／相補 PWM 出力するかを選択します。 0：レベル出力 1：リセット同期 PWM／相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力をするか、リセット同期 PWM／相補 PWM 出力するかを選択します。 0：レベル出力 1：リセット同期 PWM／相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相／逆相の出力の切り替えを本モジュール／チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2～0 に 0 または 1 を書き込むことによって行うかを選択します。 0：出力の切り替えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1：出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2～0 正相／逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2～0 の設定が、外部入力の代りになります。表 12.37 を参照してください。
1	VF	0	R/W	
0	UF	0	R/W	

表 12.37 出力レベルセレクト機能

ビット 2	ビット 1	ビット 0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U 相	V 相	W 相	U 相	V 相	W 相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

12.3.21 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.22 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.23 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 (ただし TDDR の 2 倍+3 以上の値) の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます (ダウンカウント→アップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.24 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.25 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し／書き込み可能なレジスタで、割り込み間引きの禁止／許可、割り込み間引き回数の設定を制御します。本モジュールには 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止／許可を設定します。 0 : TGIA_3 割り込みの間引きを禁止する 1 : TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.38 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止／許可を設定します。 0 : TCIV_4 割り込みの間引きを禁止する 1 : TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.39 を参照してください。

【注】 * 割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 12.38 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 12.39 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット 2	ビット 1	ビット 0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

12.3.26 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。本モジュールには 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット：	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] • TITCR の 3ACOR2~3ACOR0 と TITCNT の 3ACNT2~3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2~3ACOR0 が 0 のとき
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2～0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] • TITCR の 4VCOR2～4VCOR0 と TITCNT の 4VCNT2～4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2～4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

12.3.27 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能と連動する／しないを設定します。本モジュールには 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能と連動する／しないを設定します。詳細は表 12.40 を参照してください。

【注】 * 対象バッファレジスタ
 TGR3_3、TGRD_3、TGR3_4、TGRD_4、TCBR

表 12.40 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3～MD0 の設定に従い転送します。詳細は「12.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTER）の BTE1 を 0 に設定）にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

12.3.28 タイマデッドタイムイネーブルレジスタ（TDER）

TDER は、8 ビットの読み出し／書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。本モジュールには 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする／しないを設定します。 0：デッドタイムを生成しない 1：デッドタイムを生成する* [クリア条件] • TDER=1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR ≥ 1 に設定してください。

12.3.29 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し／書き込み可能なレジスタです。相補 PWM モードで TCNT_3、TCNT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	-	WRE
初期値：	0*	0	0	0	0	0	0	0
R/W：	R/(W)	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。 0：TGRA_3 のコンペアマッチによるカウンタクリアをしない 1：TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE=0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	WRE	0	R/(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。 0：TOCR レジスタで設定した初期出力値を出力 1：初期出力を抑止する [セット条件] • WRE=0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

12.3.30 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。8 ビット単位での読み出し／書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。また、8 ビット単位での読み出し／書き込みもできます。

12.4 動作説明

12.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

本モジュールの外部端子の機能設定は汎用入出力ポートで行ってください。

(1) カウンタの動作

TSTR の CST0～CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 12.4 に示します。

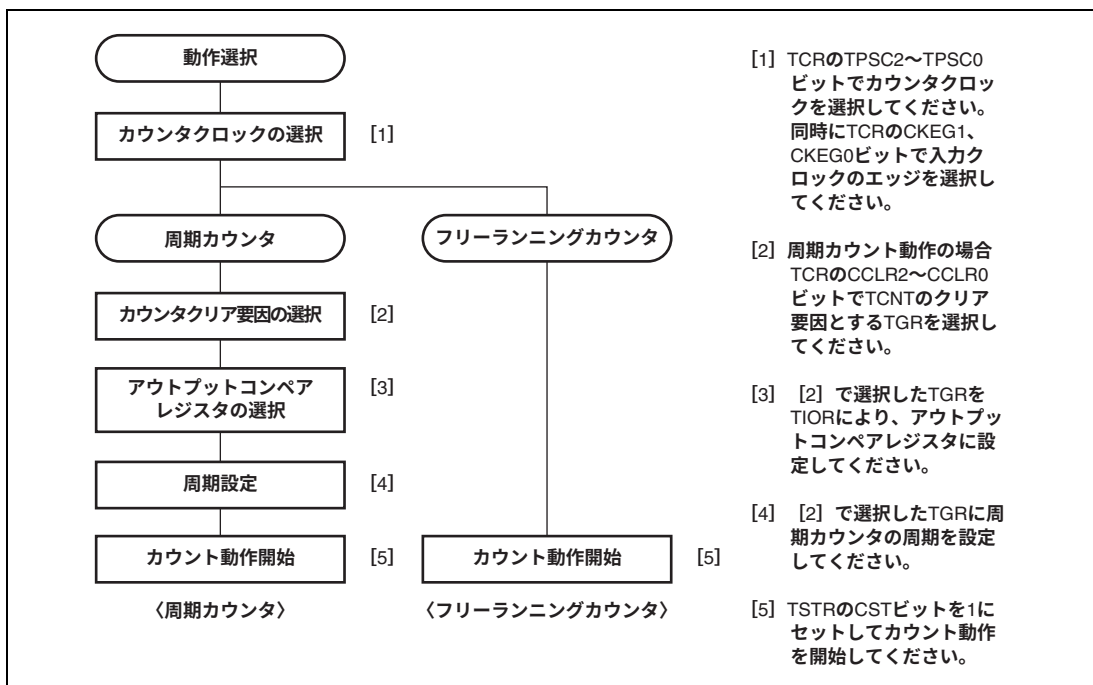


図 12.4 カウンタ動作設定手順例

(b) フリーランニングカウント動作と周期カウント動作

本モジュールの TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 12.5 に示します。

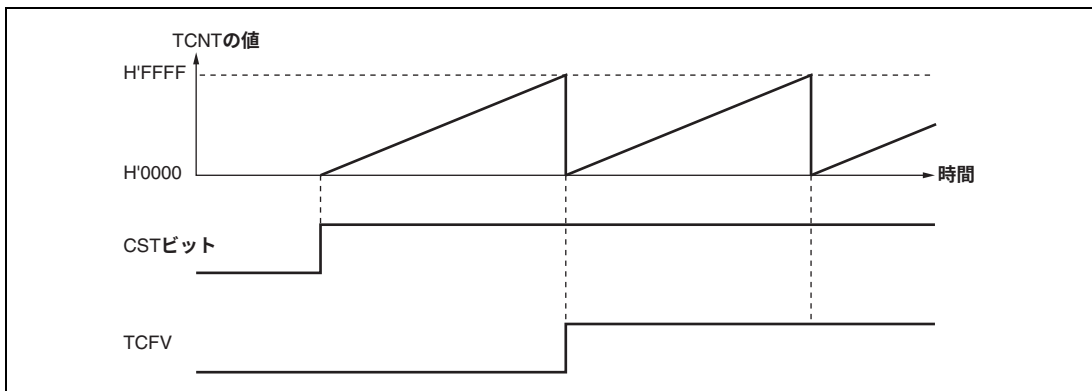


図 12.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 12.6 に示します。

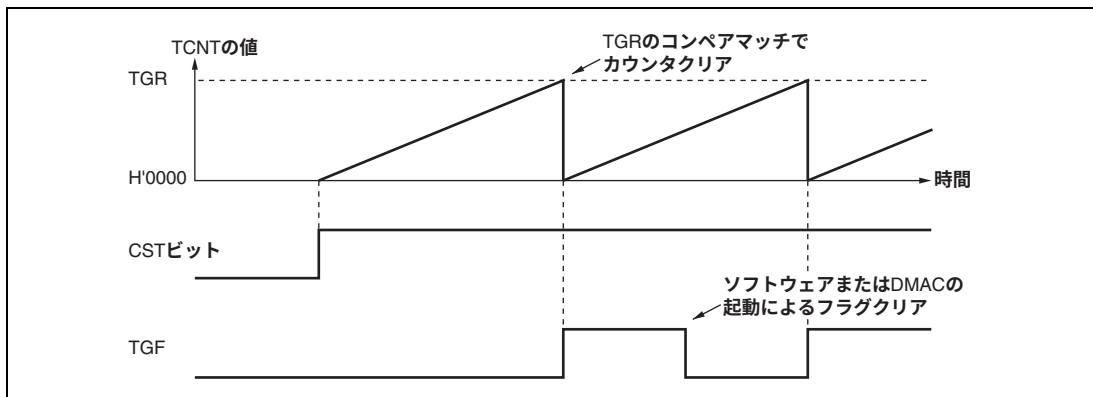


図 12.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

本モジュールは、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 12.7 に示します。

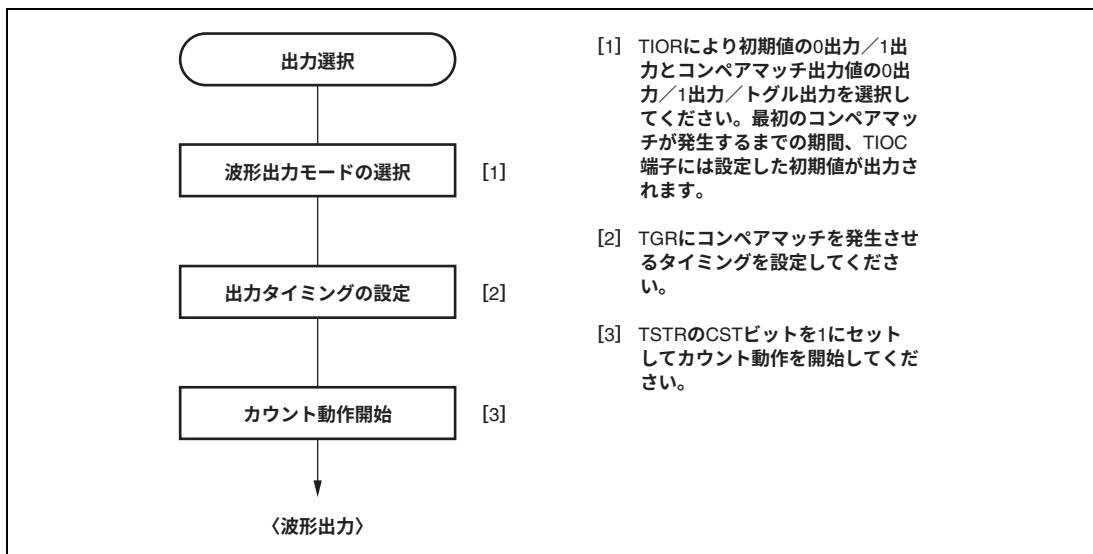


図 12.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力／1 出力例を図 12.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

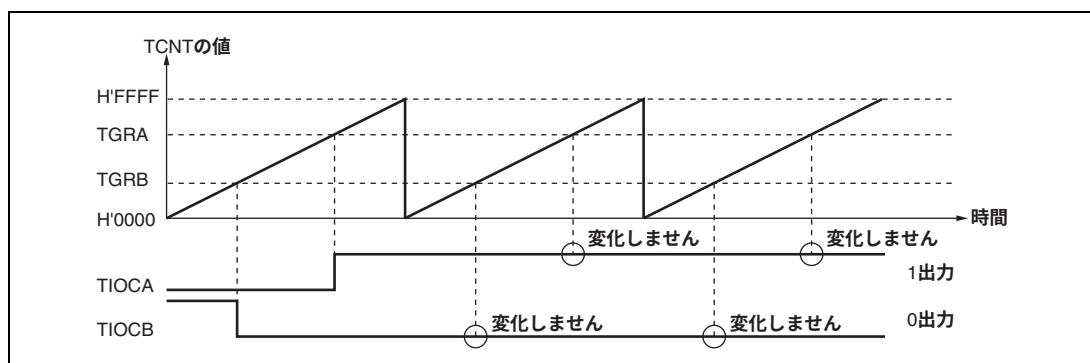


図 12.8 0 出力／1 出力の動作例

トグル出力の例を図 12.9 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

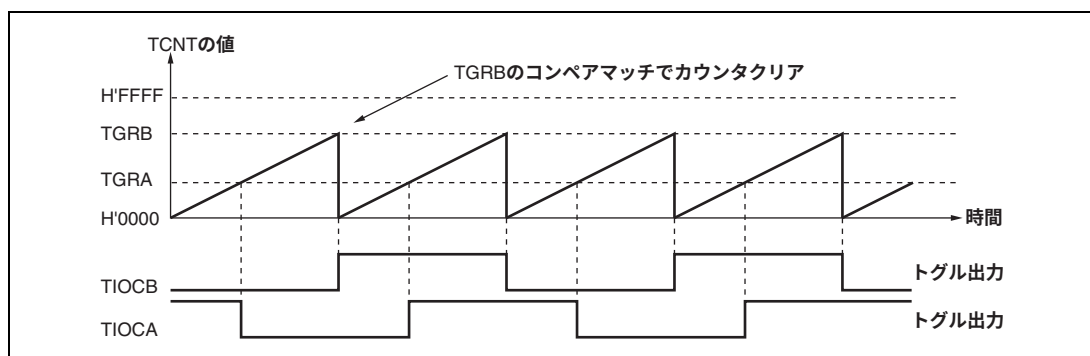


図 12.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに $P\phi/1$ を選択しないでください。 $P\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 12.10 に示します。

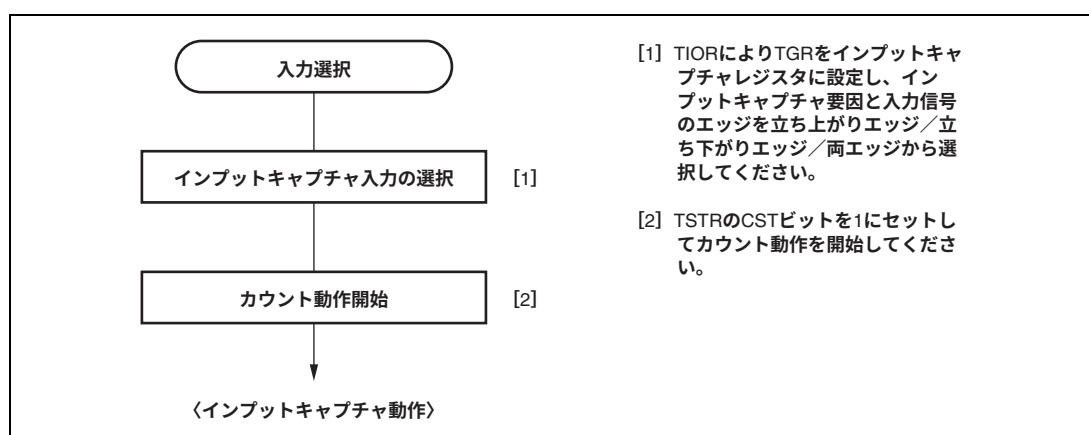


図 12.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 12.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり／立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

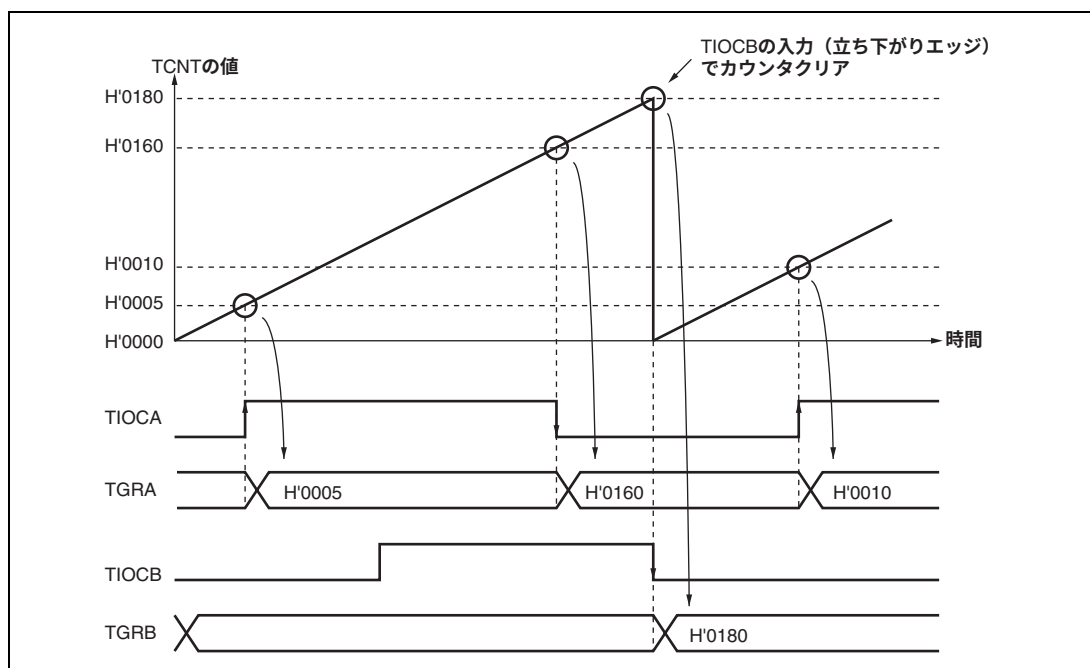


図 12.11 インพุットキャプチャ動作例

12.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0～4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 12.12 に示します。

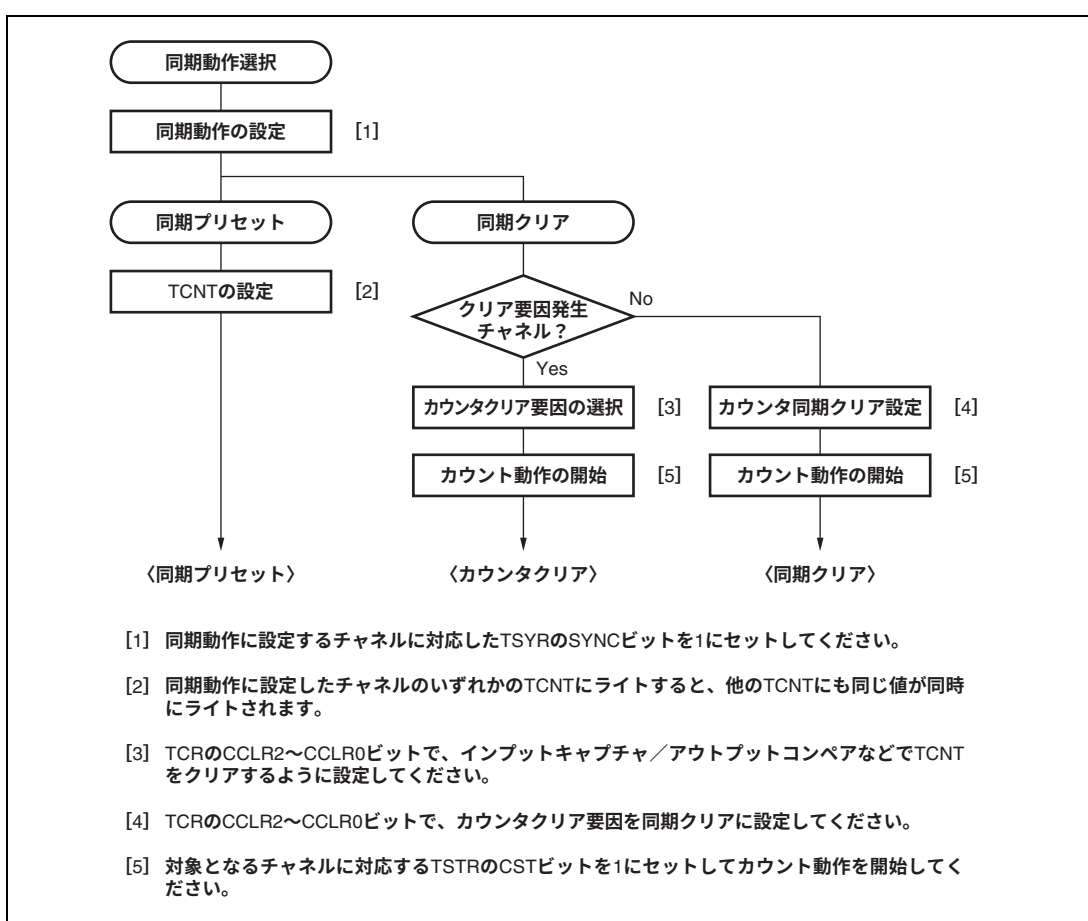


図 12.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 12.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

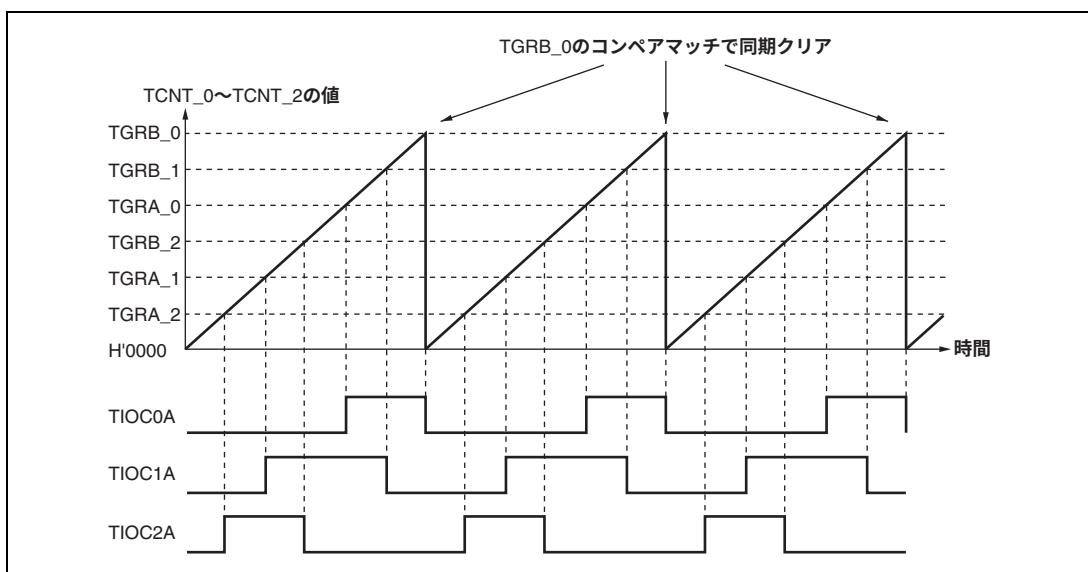


図 12.13 同期動作の動作例

12.4.3 バッファ動作

バッファ動作は、チャンネル 0、3、4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャンネル 0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0 はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 12.41 にバッファ動作時のレジスタの組み合わせを示します。

表 12.41 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 12.14 に示します。

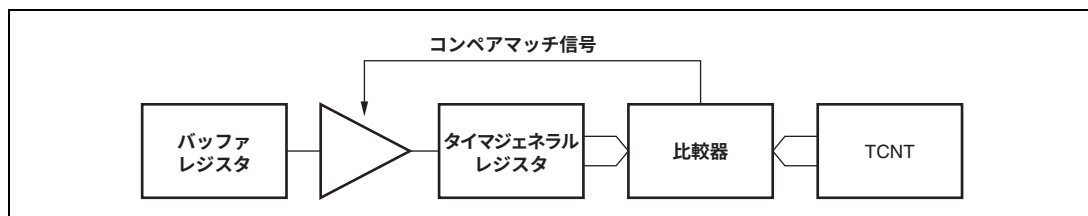


図 12.14 コンペアマッチバッファ動作

• TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 12.15 に示します。

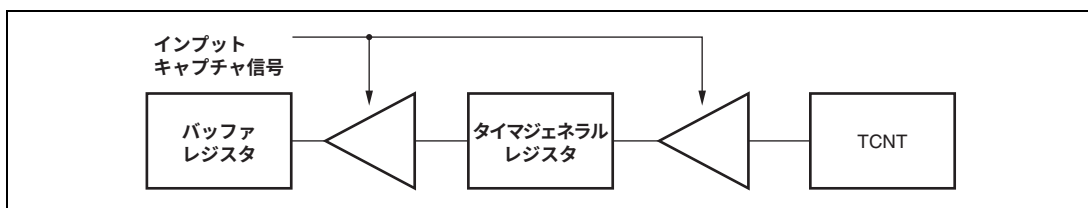


図 12.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 12.16 に示します。

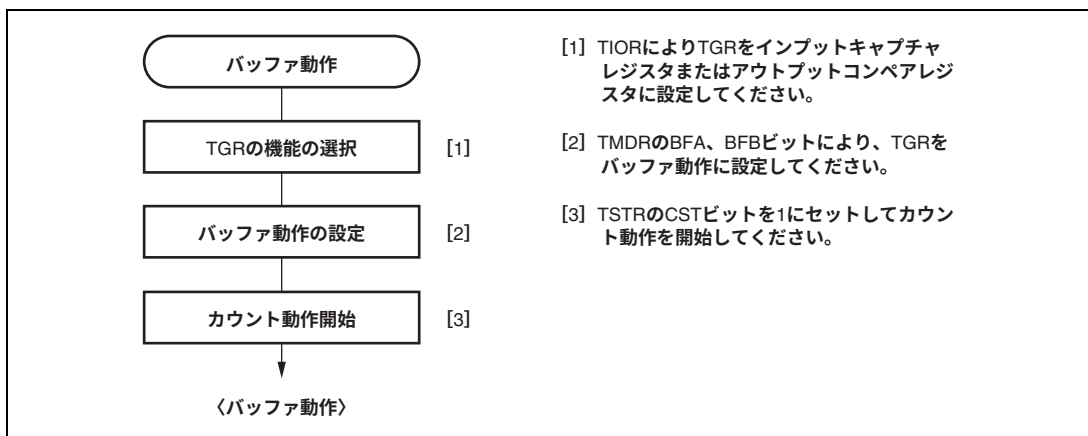


図 12.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 12.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

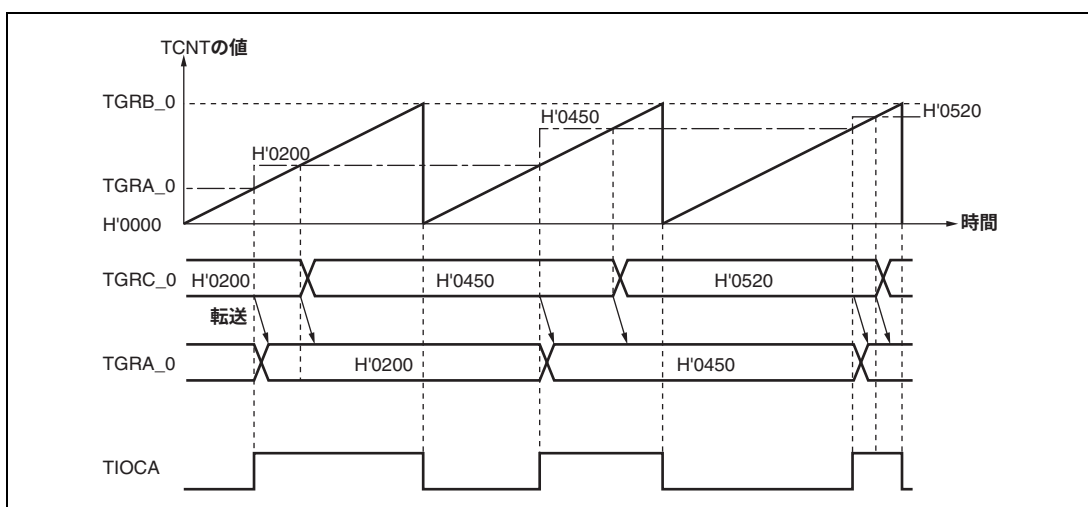


図 12.17 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 12.18 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

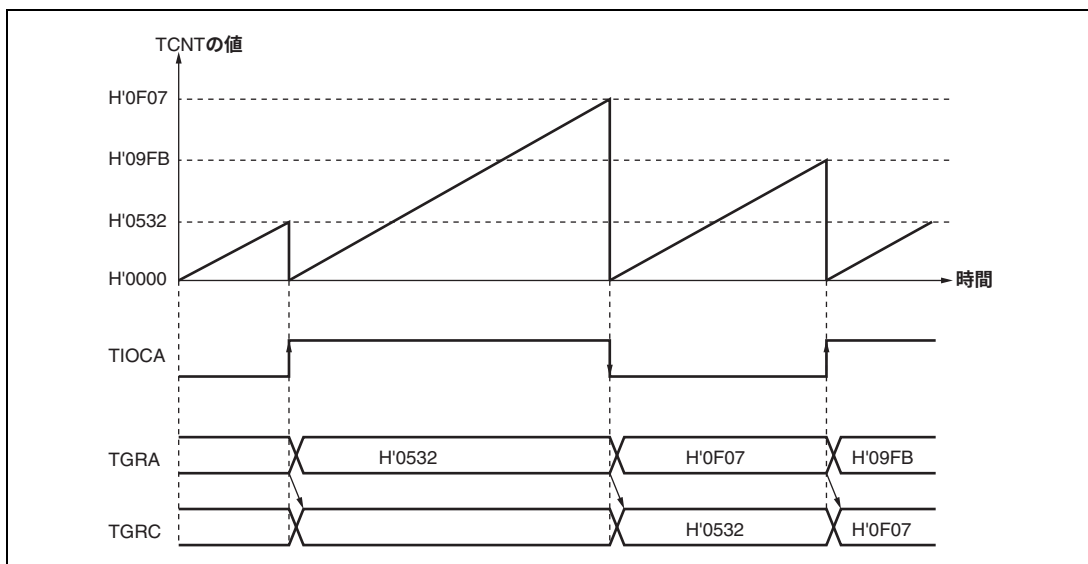


図 12.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル0 では PWM モード1、2 時の、チャンネル3、4 では PWM モード1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (H'FFFF→H'0000)
- カウンタ動作中、TCNTにH'0000がライトされたとき
- TCRのCCLR2～CCLR0ビットで設定したクリア要因で、TCNTがH'0000になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル0 を PWM モード1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 12.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で1 出力、コンペアマッチ B で0 出力、TBTM_0 の TTSA ビットは1 に設定しています。

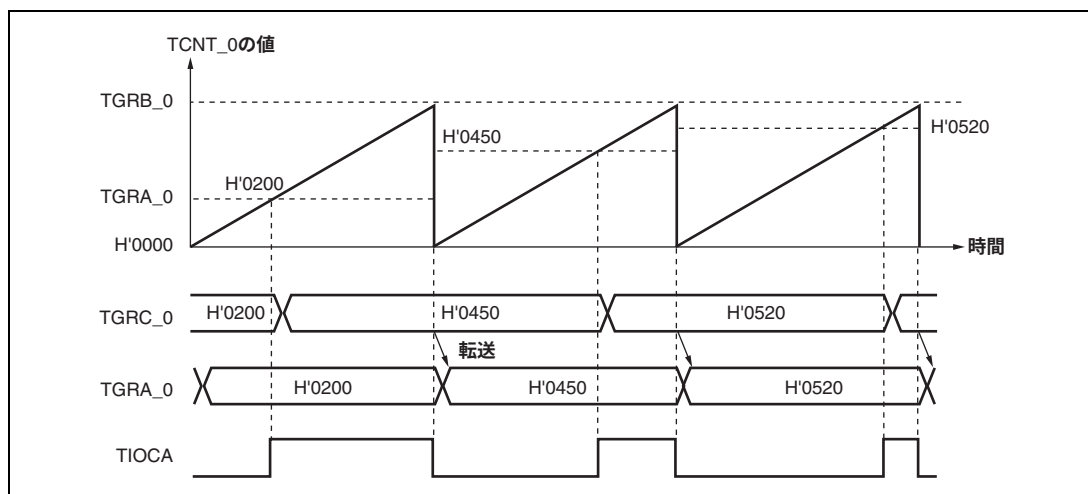


図 12.19 TGRB_0 から TGRC_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

12.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2～TPSC0 ビットで TCNT_2 のオーバフロー／アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 12.42 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 12.42 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は「12.4.4 (4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 12.43 に示します。

表 12.43 TICCRR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCRR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット=0 (初期値)	TI0C1A
	I2AE ビット=1	TI0C1A、TI0C2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット=0 (初期値)	TI0C1B
	I2BE ビット=1	TI0C1B、TI0C2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット=0 (初期値)	TI0C2A
	I1AE ビット=1	TI0C2A、TI0C1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット=0 (初期値)	TI0C2B
	I1BE ビット=1	TI0C2B、TI0C1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 12.20 に示します。

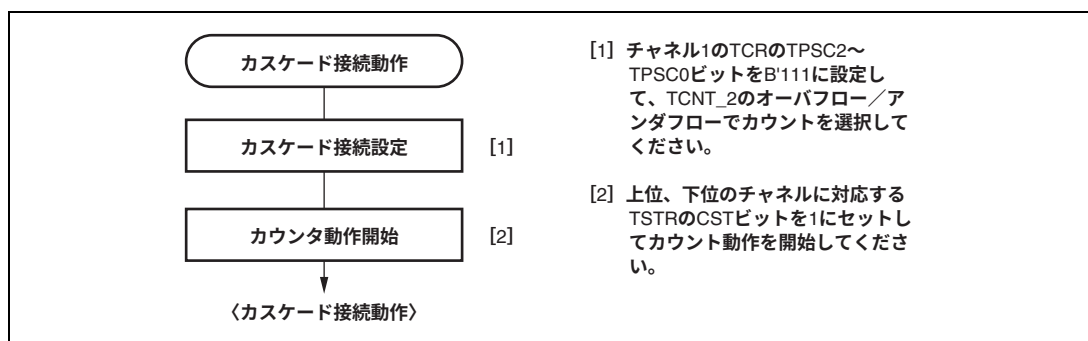


図 12.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバフロー／アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 12.21 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

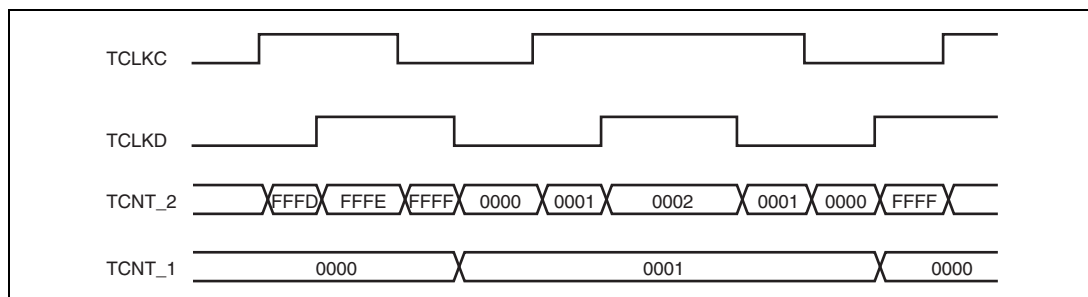


図 12.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 12.22 に示します。この例では TIOR_1 の IOA0~IOA3 の設定は、(TIOC1A の) 立ち上がりエッジでインプットキャプチャに設定しています。また、TIOR_2 の IOA0~IOA3 の設定は、(TIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 のインプットキャプチャ条件に設定されます。また、TGRA_2 のインプットキャプチャ条件は TIOC2A の立ち上がりエッジとなります。

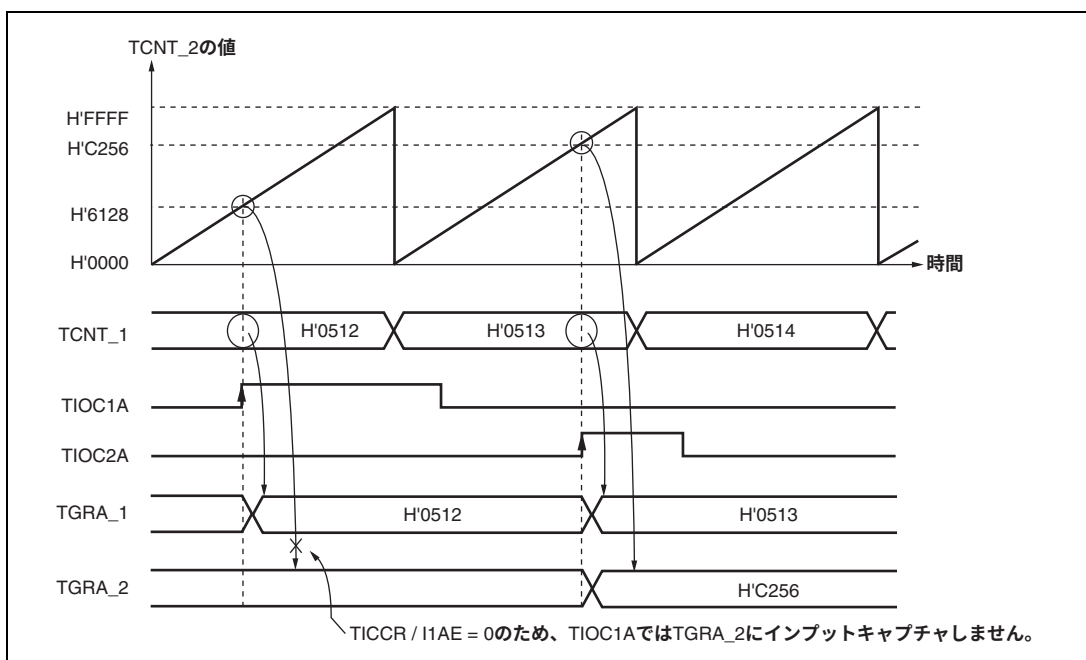


図 12.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加し、TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加した場合の動作を図 12.23 に示します。この例では TIOR_1、TIOR_2 の IOA0~IOA3 の設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 のインプットキャプチャ条件となります。

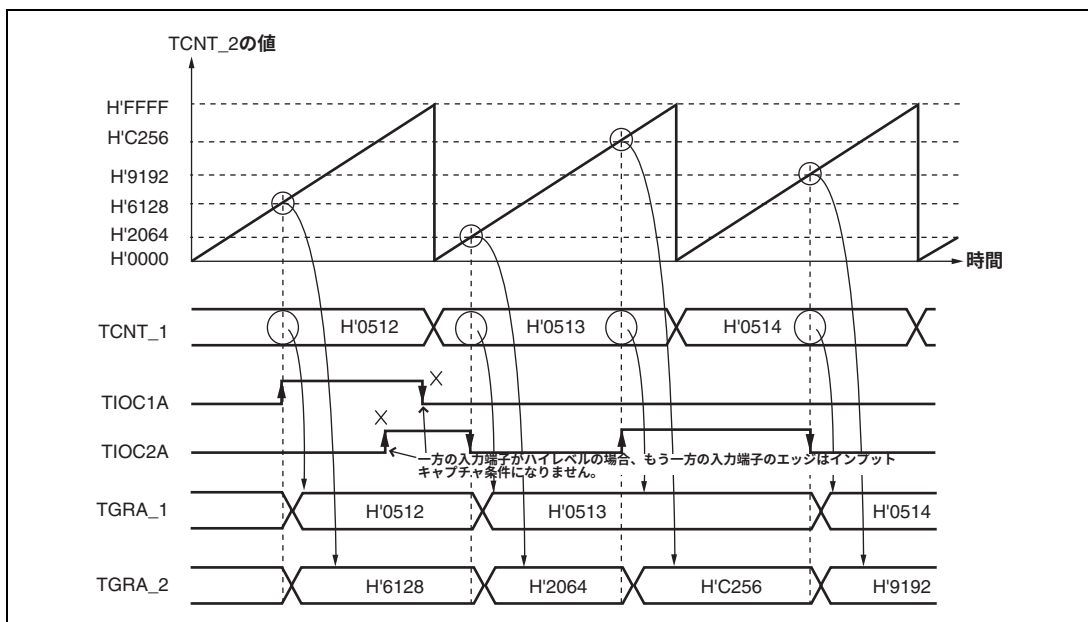


図 12.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 12.24 に示します。この例では TIOR_1 の IOA0～IOA3 の設定は、TGRA_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR_2 の IOA0～IOA3 の設定は、(TIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 のインプットキャプチャ条件になることはありません。

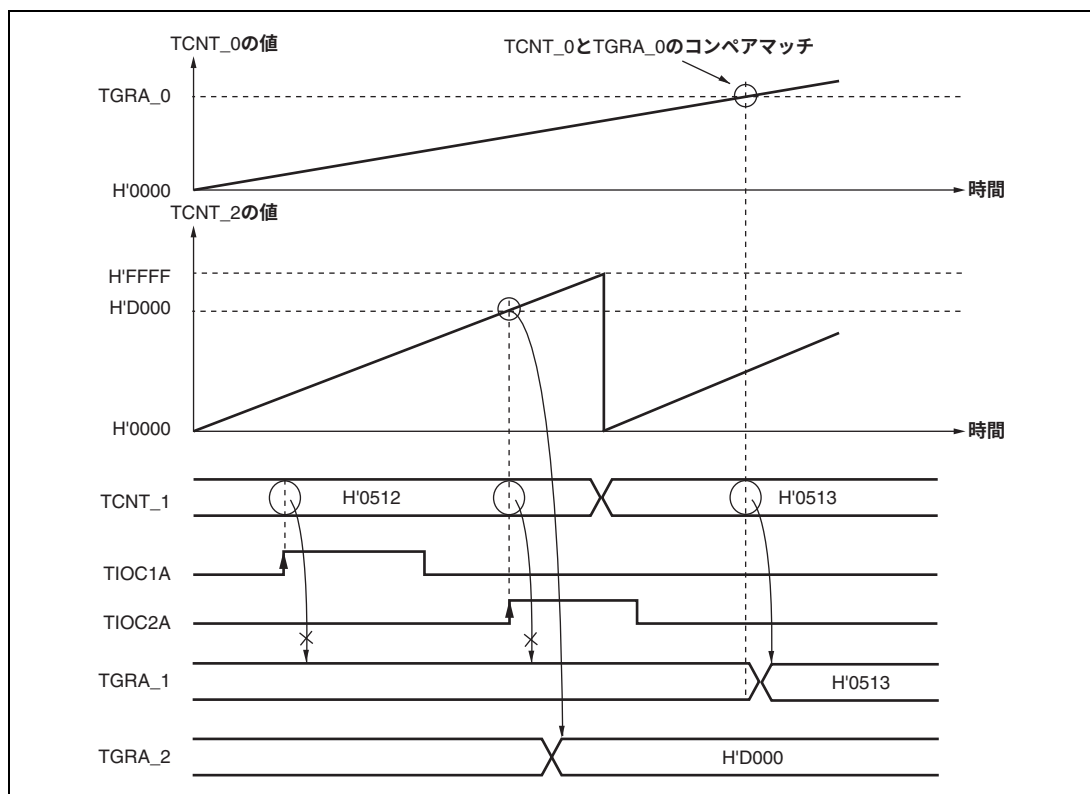


図 12.24 カスケード接続動作例 (d)

12.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

• PWMモード1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

- PWMモード2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIORで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIORで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード2では、同期動作と併用することにより最大8相のPWM出力が可能です。

PWM出力端子とレジスタの対応を表12.44に示します。

表 12.44 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子		
		PWM モード 1	PWM モード 2	
0	TGRA_0	TIOC0A	TIOC0A	
	TGRB_0		TIOC0B	
	TGRC_0	TIOC0C	TIOC0C	
	TGRD_0		TIOC0D	
1	TGRA_1	TIOC1A	TIOC1A	
	TGRB_1		TIOC1B	
2	TGRA_2	TIOC2A	TIOC2A	
	TGRB_2		TIOC2B	
3	TGRA_3	TIOC3A	設定できません	
	TGRB_3	TIOC3C		
	TGRC_3			
	TGRD_3			
4	TGRA_4	TIOC4A		
	TGRB_4	TIOC4C		
	TGRC_4			
	TGRD_4			

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 12.25 に示します。

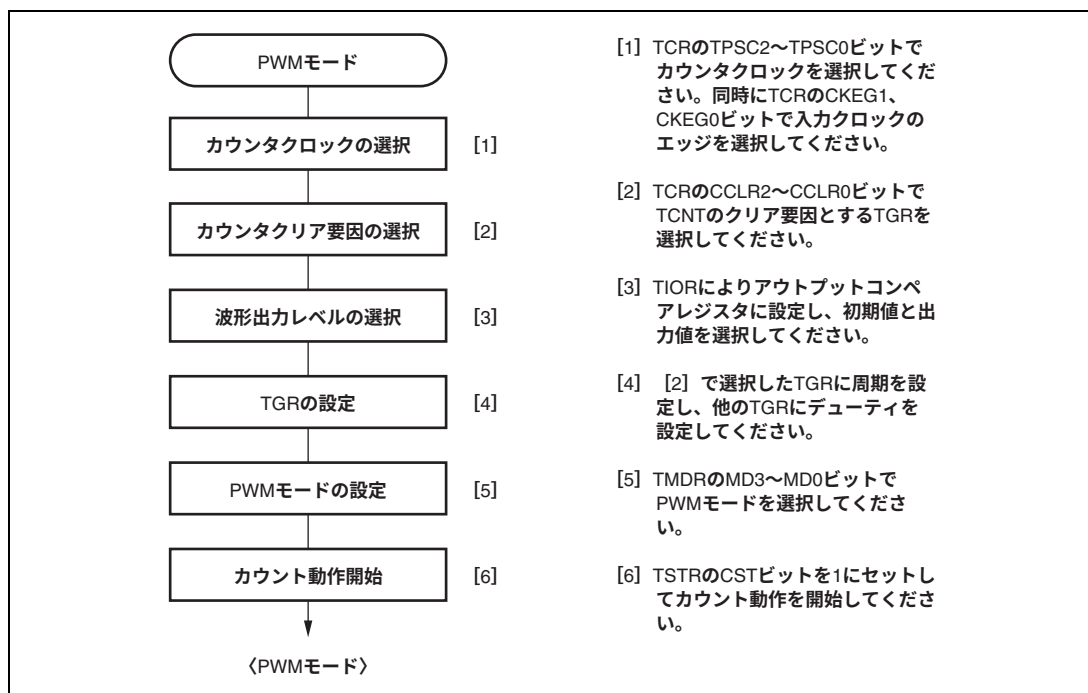


図 12.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 12.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

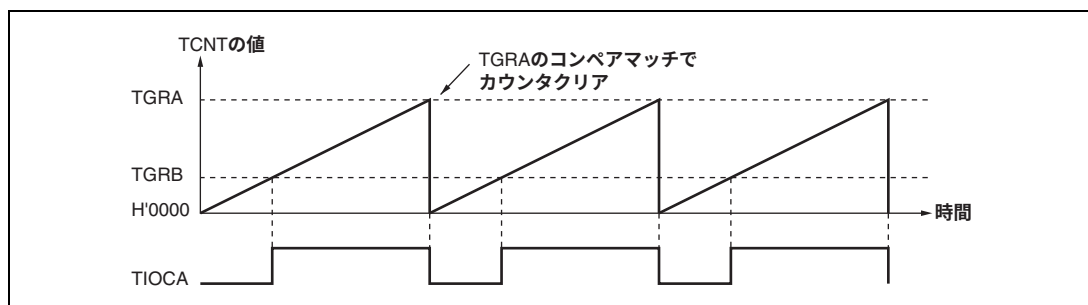


図 12.26 PWM モードの動作例

PWM モード 2 の動作例を図 12.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0～TGRD_0、TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

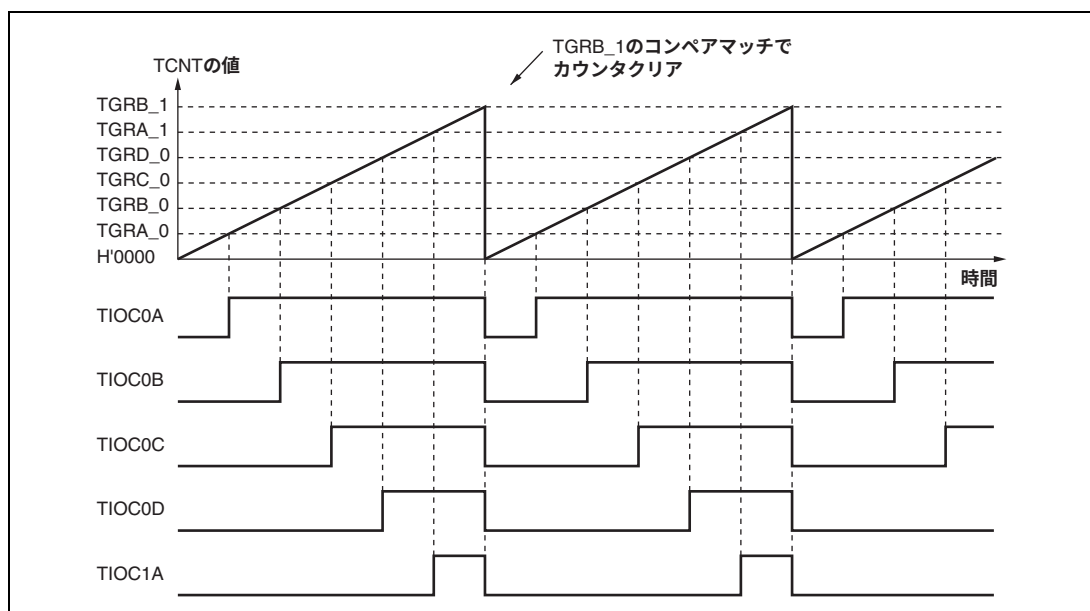


図 12.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 12.28 に示します。

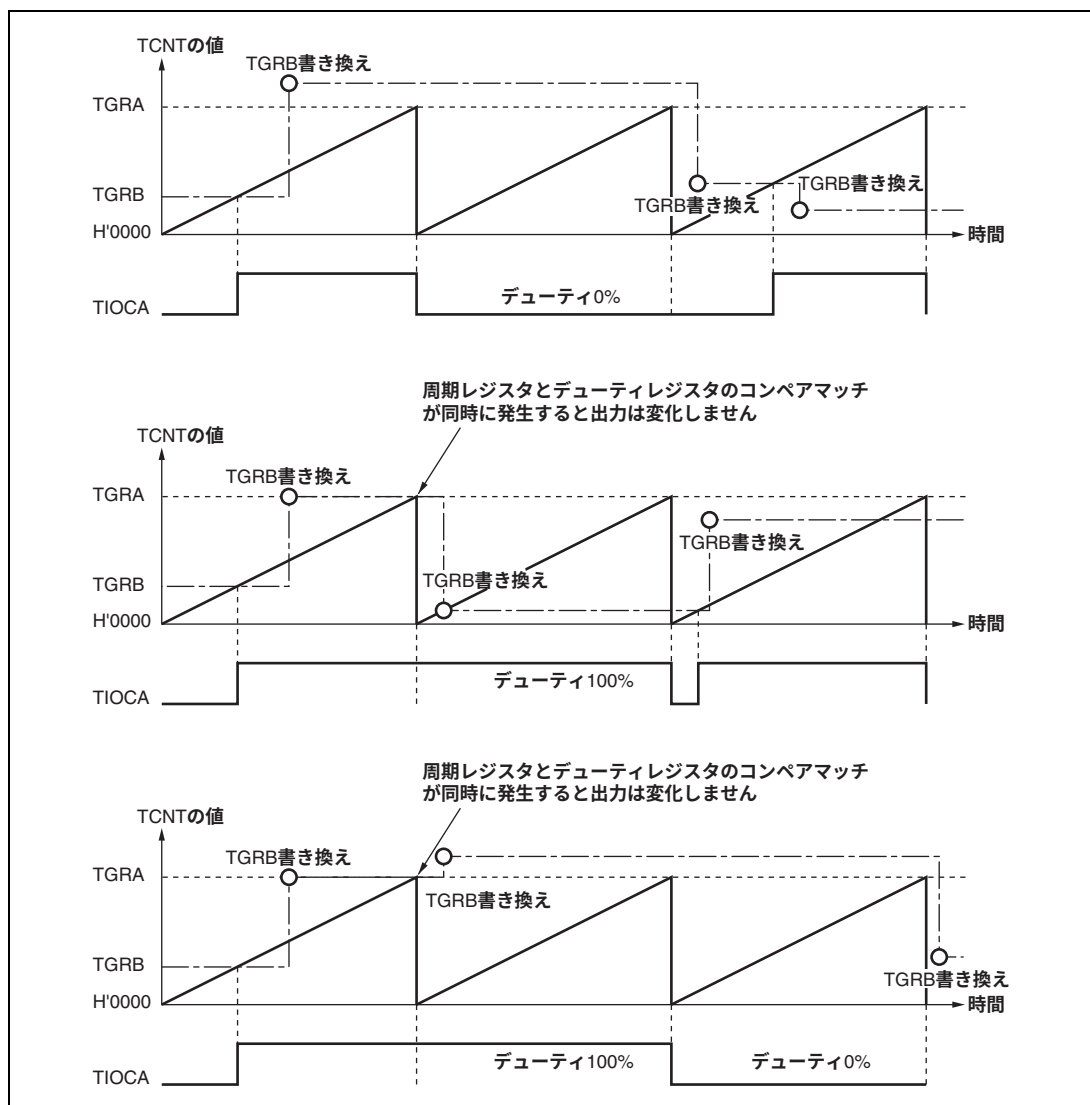


図 12.28 PWM モード動作例

12.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ／ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 12.45 に外部クロック端子とチャンネルの対応を示します。

表 12.45 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとすると	TCLKA	TCLKB
チャンネル 2 を位相計数モードとすると	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 12.29 に示します。

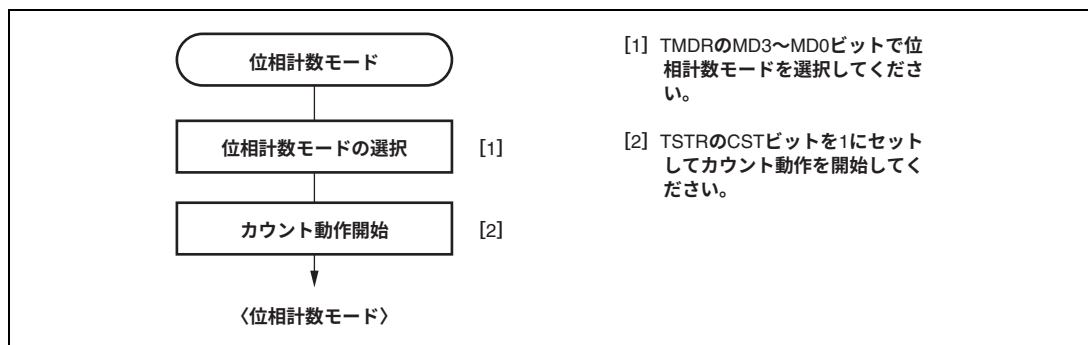


図 12.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 12.30 に、TCNT のアップ/ダウンカウント条件を表 12.46 に示します。

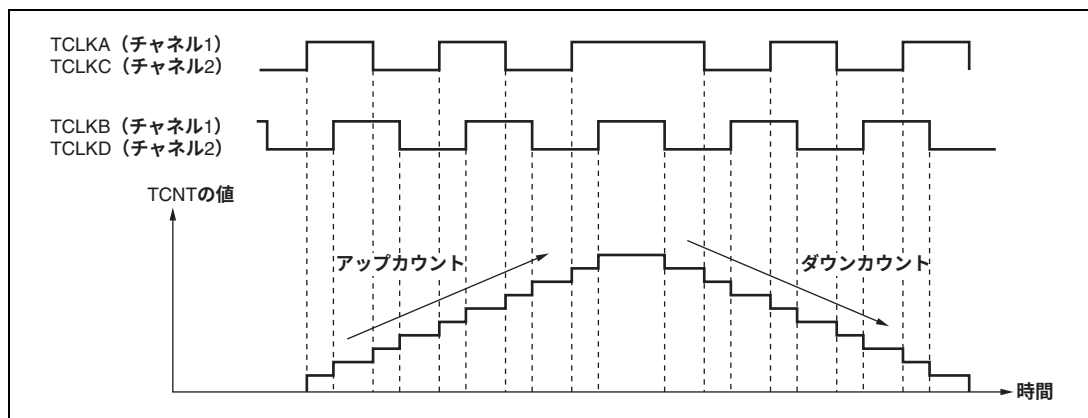


図 12.30 位相計数モード 1 の動作例

表 12.46 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 12.31 に、TCNT のアップ/ダウンカウント条件を表 12.47 に示します。

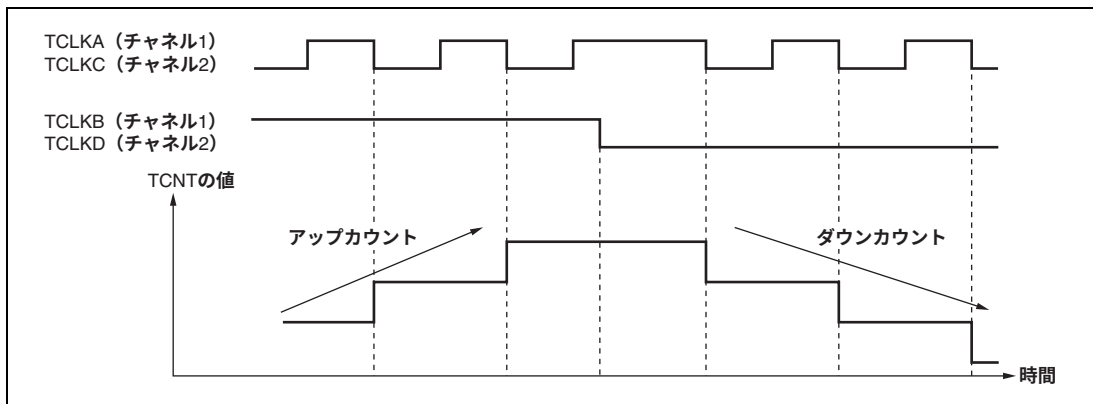


図 12.31 位相計数モード 2 の動作例

表 12.47 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	立ち上がりエッジ	カウントしない (Don't care)
Low レベル	立ち下がりエッジ	カウントしない (Don't care)
立ち上がりエッジ	Low レベル	カウントしない (Don't care)
立ち下がりエッジ	High レベル	アップカウント
High レベル	立ち下がりエッジ	カウントしない (Don't care)
Low レベル	立ち上がりエッジ	カウントしない (Don't care)
立ち上がりエッジ	High レベル	カウントしない (Don't care)
立ち下がりエッジ	Low レベル	ダウンカウント

【記号説明】

立ち上がりエッジ

立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 12.32 に、TCNT のアップ/ダウンカウント条件を表 12.48 に示します。

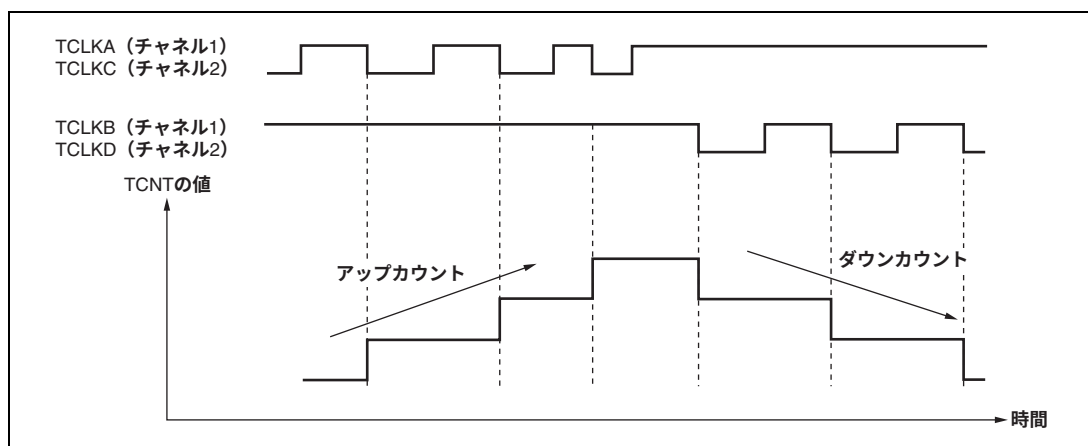


図 12.32 位相計数モード 3 の動作例

表 12.48 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		ダウンカウント
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)

【記号説明】

 : 立ち上がりエッジ

 : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 12.33 に、TCNT のアップ/ダウンカウント条件を表 12.49 に示します。

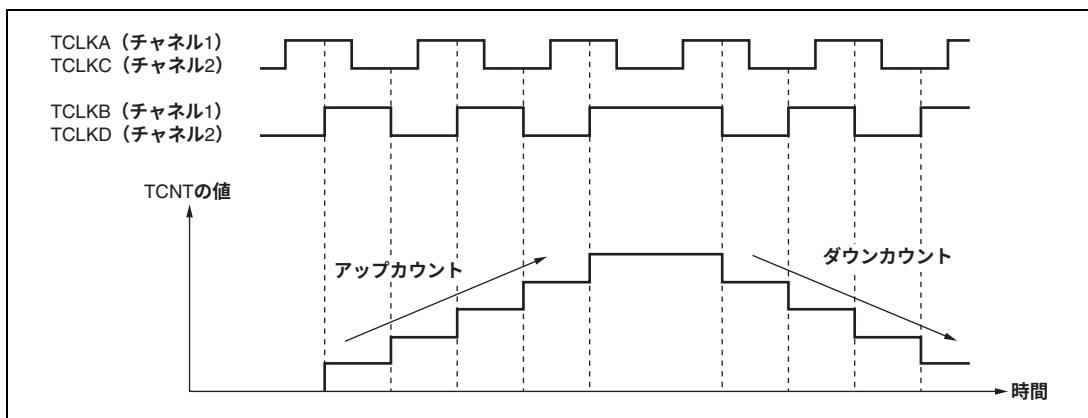


図 12.33 位相計数モード 4 の動作例

表 12.49 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 12.34 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。TGRB_0 はインプットキャプチャ機能で使い、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 のインプットキャプチャ要因は、チャンネル 1 のカウンタ入力クロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

チャンネル 1 の TGRA_1 と TGRB_1 は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル 0 の TGRA_0 と TGRC_0 のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

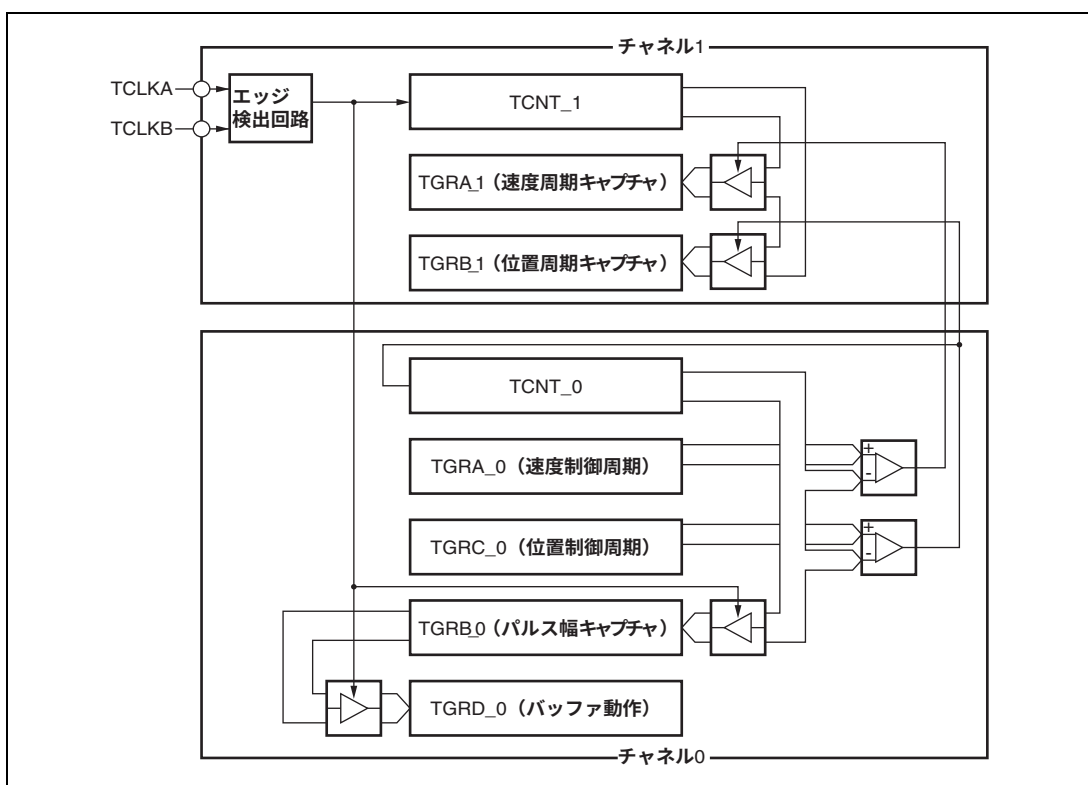


図 12.34 位相計数モードの応用例

12.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3（TCNT_3）はアップカウンタとして機能します。

使用される PWM 出力端子を表 12.50 に、使用するレジスタの設定を表 12.51 に示します。

表 12.50 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説 明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 12.51 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 12.35 に示します。

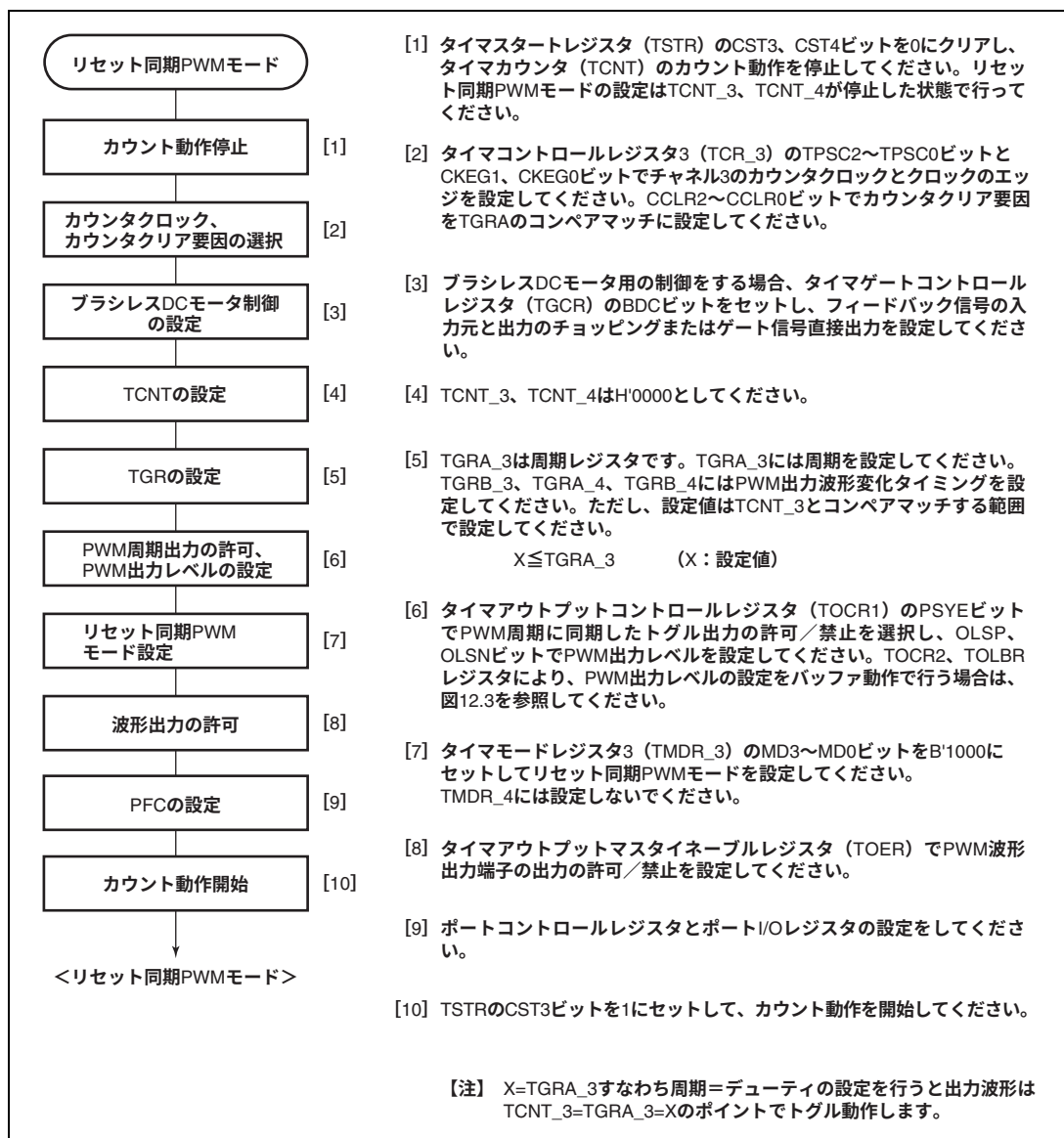


図 12.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 12.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

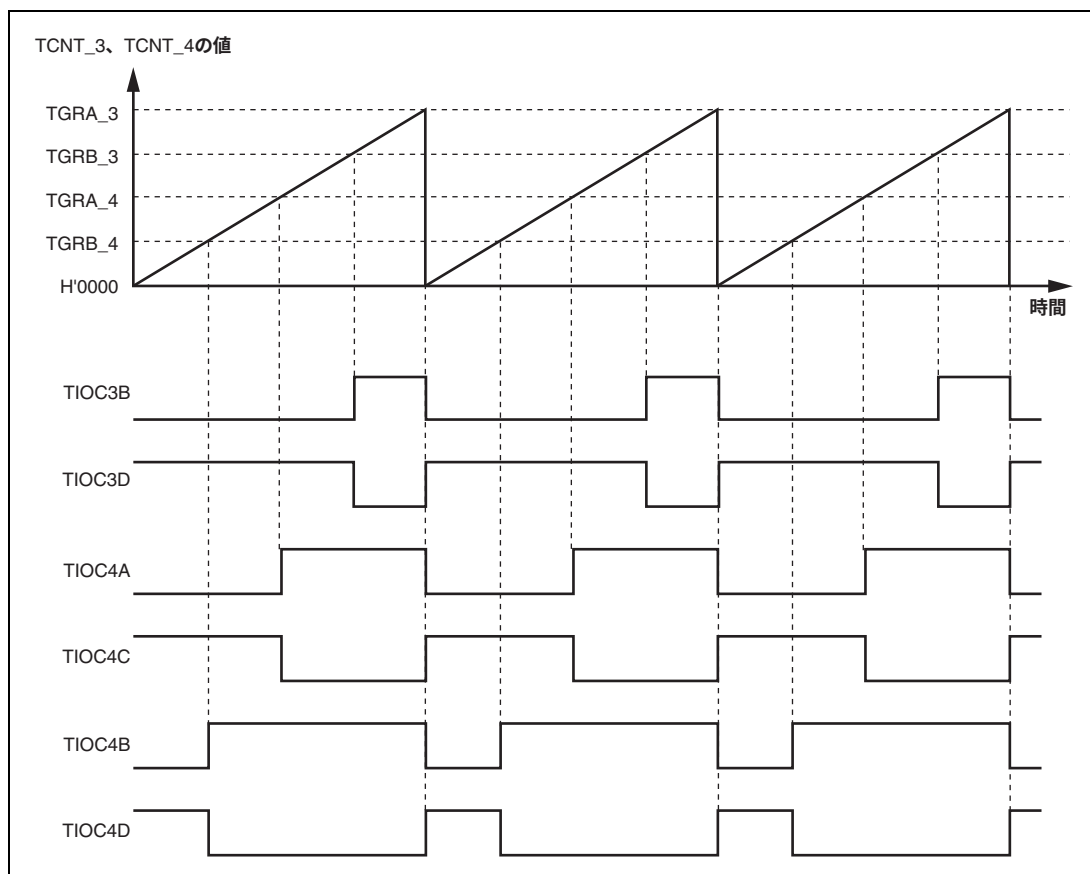


図 12.36 リセット同期 PWM モードの動作例 (TOCR の OLSN=1、OLSP=1 に設定した場合)

12.4.8 相補 PWM モード

相補 PWM モードは、チャネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ／ダウンカウンタとして機能します。

使用される PWM 出力端子を表 12.52 に、使用するレジスタの設定を表 12.53 に示します。

表 12.52 相補 PWM モード時の出力端子

チャネル	出力端子	説 明
3	TIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1'（PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2'（PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3'（PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 12.53 相補 PWM モード時のレジスタ設定

チャネル	カウンタ／レジスタ	説 明	CPU からの読み出し／書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定（キャリア周期の 1/2 + デッドタイム）	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し／書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し／書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し／書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し／書き込み可能

チャンネル	カウンタ／レジスタ	説 明	CPU からの読み出し／書き込み
タイマデッドタイムデータレジスタ (TDDR)		TCNT_4 と TCNT_3 のオフセット値 (デッドタイムの値) を設定	TRWER の設定*によりマスク可能
タイマ周期データレジスタ (TCDR)		TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
タイマ周期バッファレジスタ (TCBR)		TCDR のバッファレジスタ	常に読み出し／書き込み可能
サブカウンタ (TCNTS)		デッドタイム生成のためのサブカウンタ	読み出しのみ可能
テンポラリレジスタ 1 (TEMP1)		PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し／書き込み不可
テンポラリレジスタ 2 (TEMP2)		PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し／書き込み不可
テンポラリレジスタ 3 (TEMP3)		PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し／書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可／禁止が可能です。

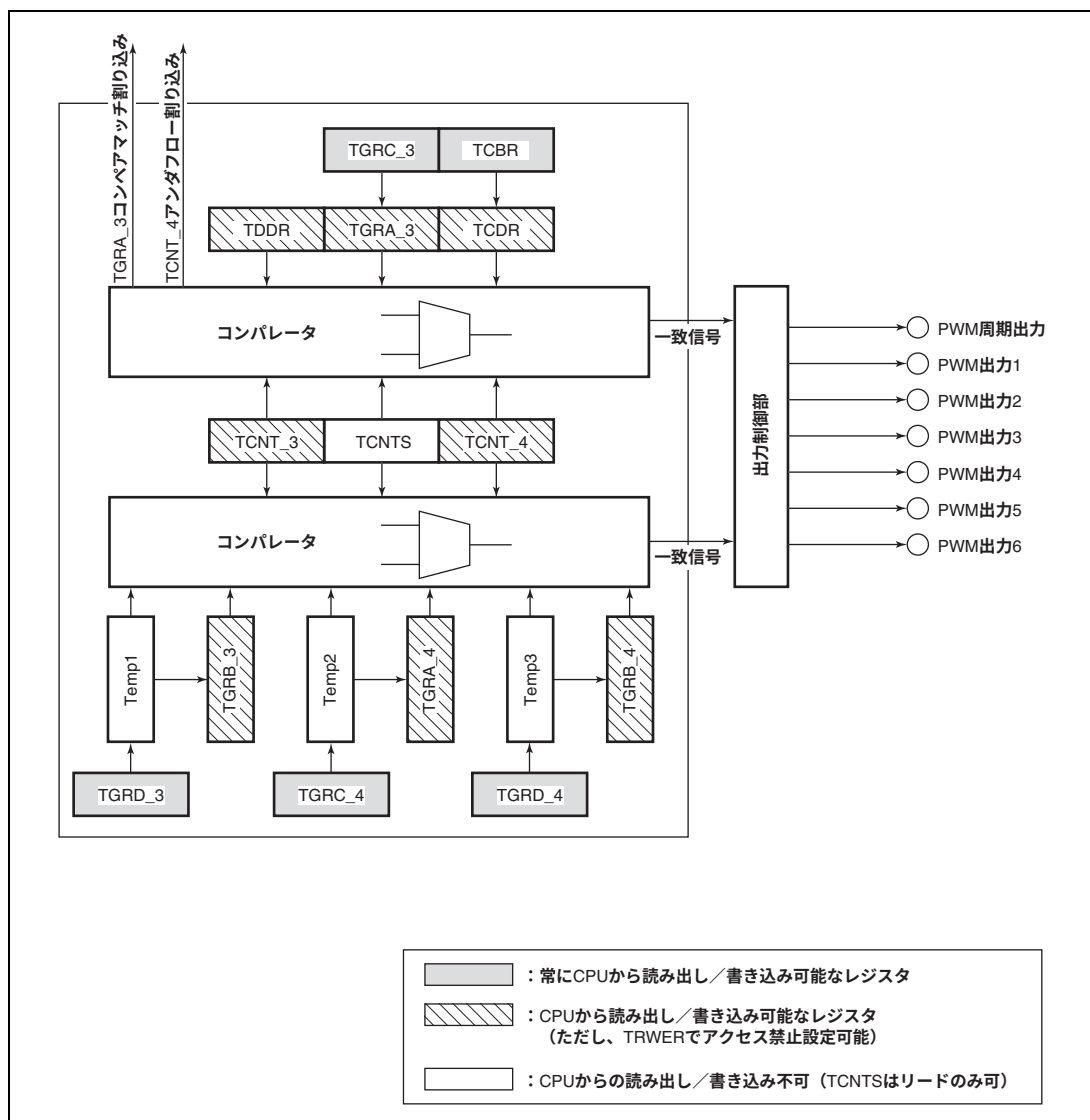


図 12.37 相補 PWM モード時のチャネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 12.38 に示します。

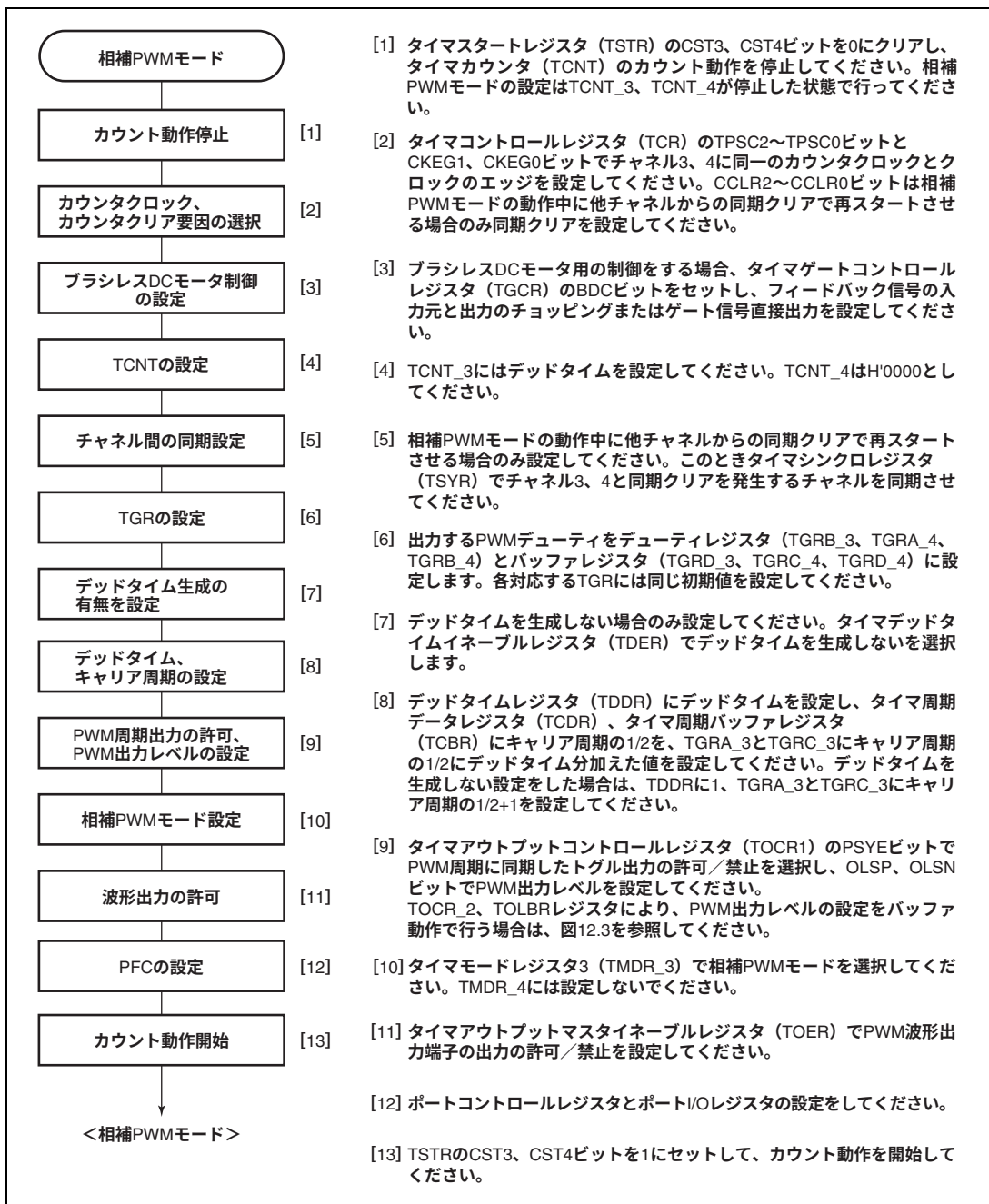


図 12.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 12.39 に相補 PWM モードのカウンタの動作を示します。図 12.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCNR と一致するとダウンカウントを開始し、TCNTS が TCNR と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

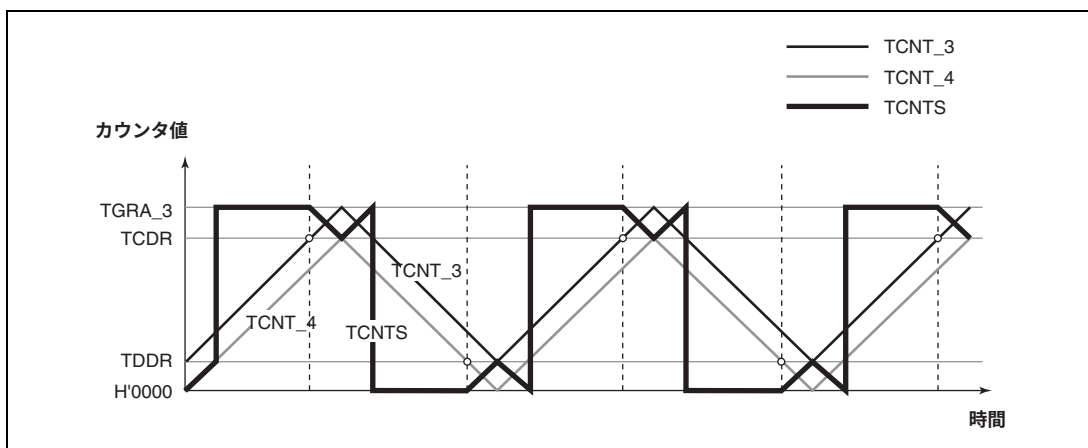


図 12.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 12.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し／書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3～MD0 ビットで選択できます。図 12.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 12.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

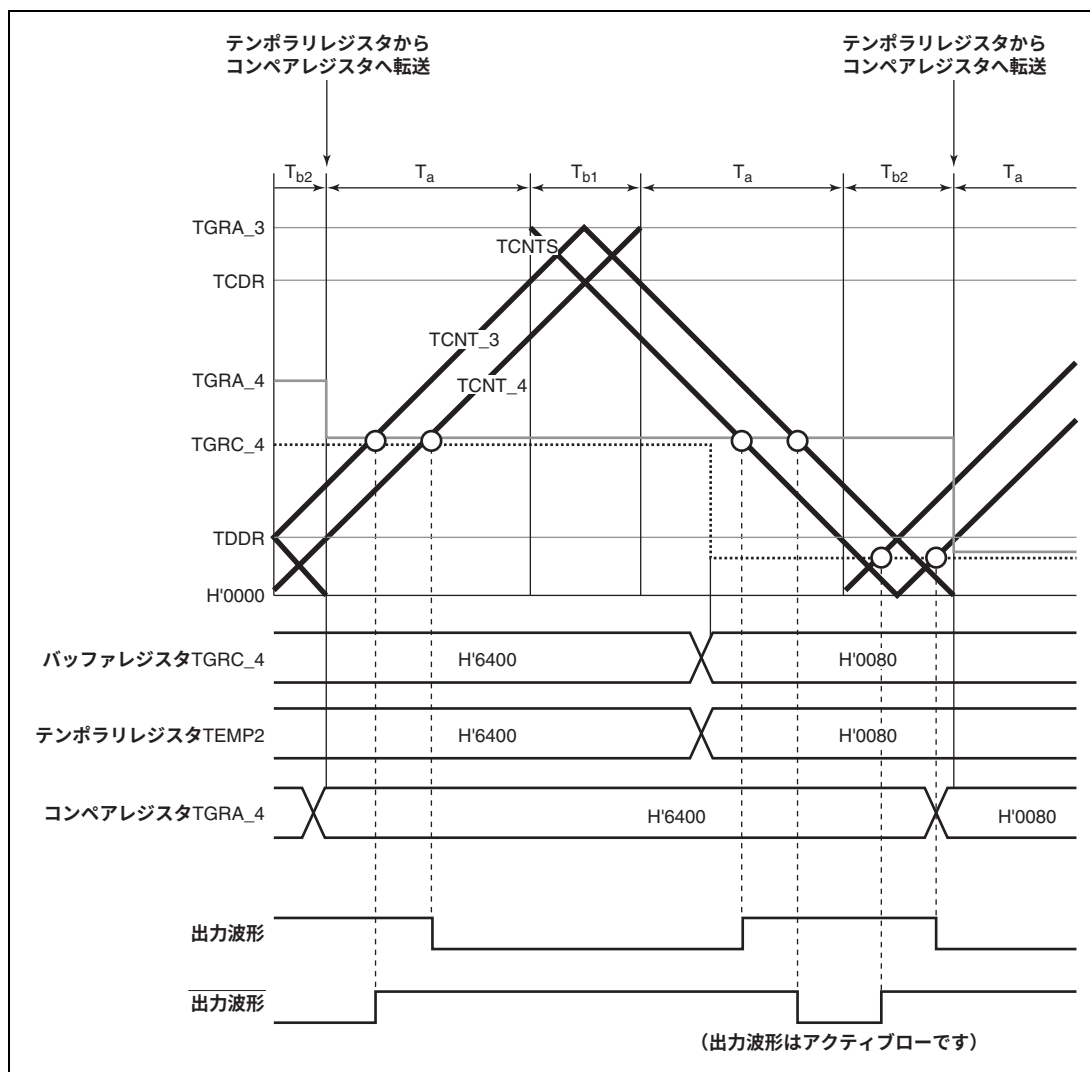


図 12.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ（TMDR）の MD3～MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ（TCBR）は、タイマ周期データレジスタ（TCDR）のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ（TDDR）には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRC_4、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 12.54 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2$ +デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P~OLS3P、OLS1N~OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER=1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できます。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 12.41 にデッドタイムを生成しない場合の動作例を示します。

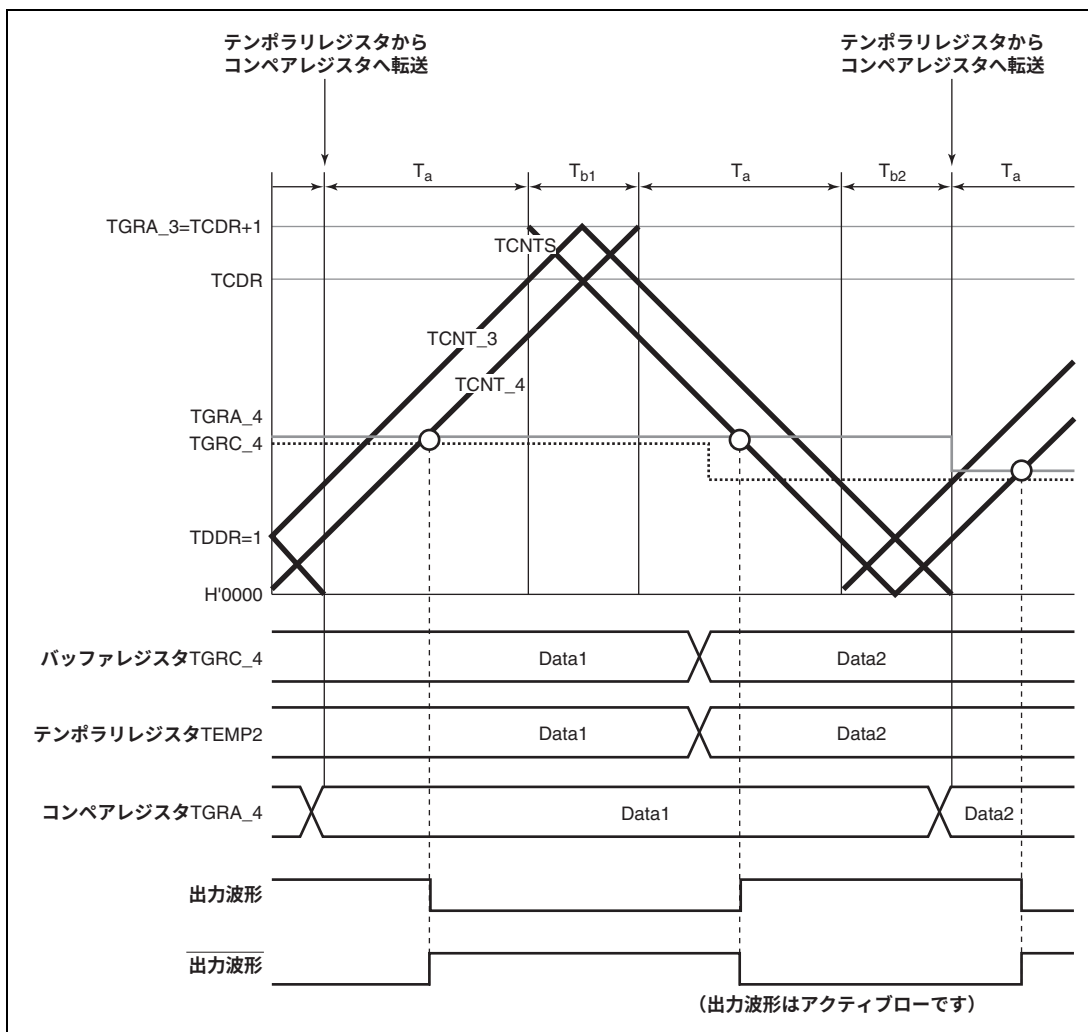


図 12.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT_3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：TGRA_3 の設定値 = TCDR の設定値 + TDDR の設定値

TCDR の設定値 > TDDR の設定値の 2 倍 + 2

デッドタイム生成なし：TGRA_3 の設定値 = TCDR の設定値 + 1

TCDR の設定値>4

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3～MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 12.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

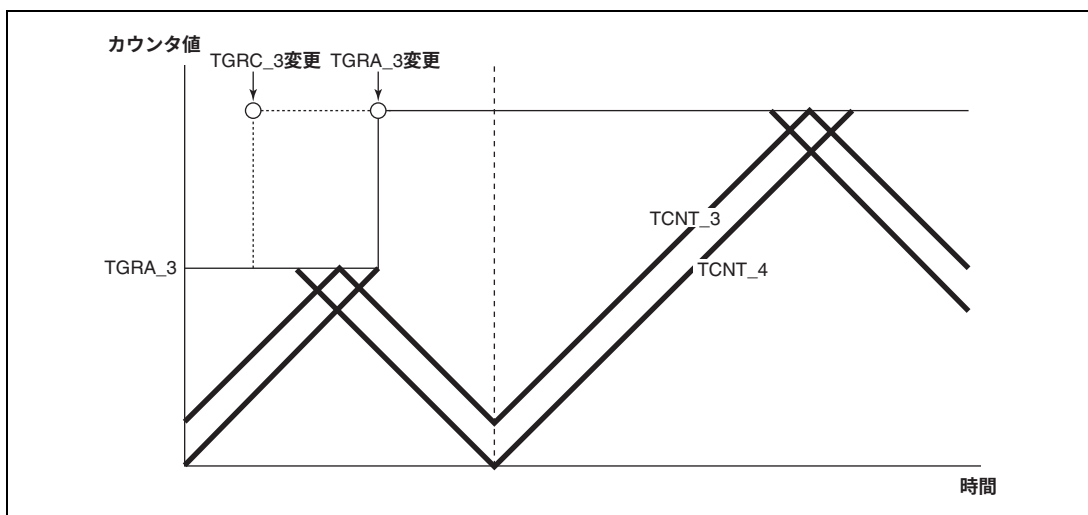


図 12.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3～MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 12.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

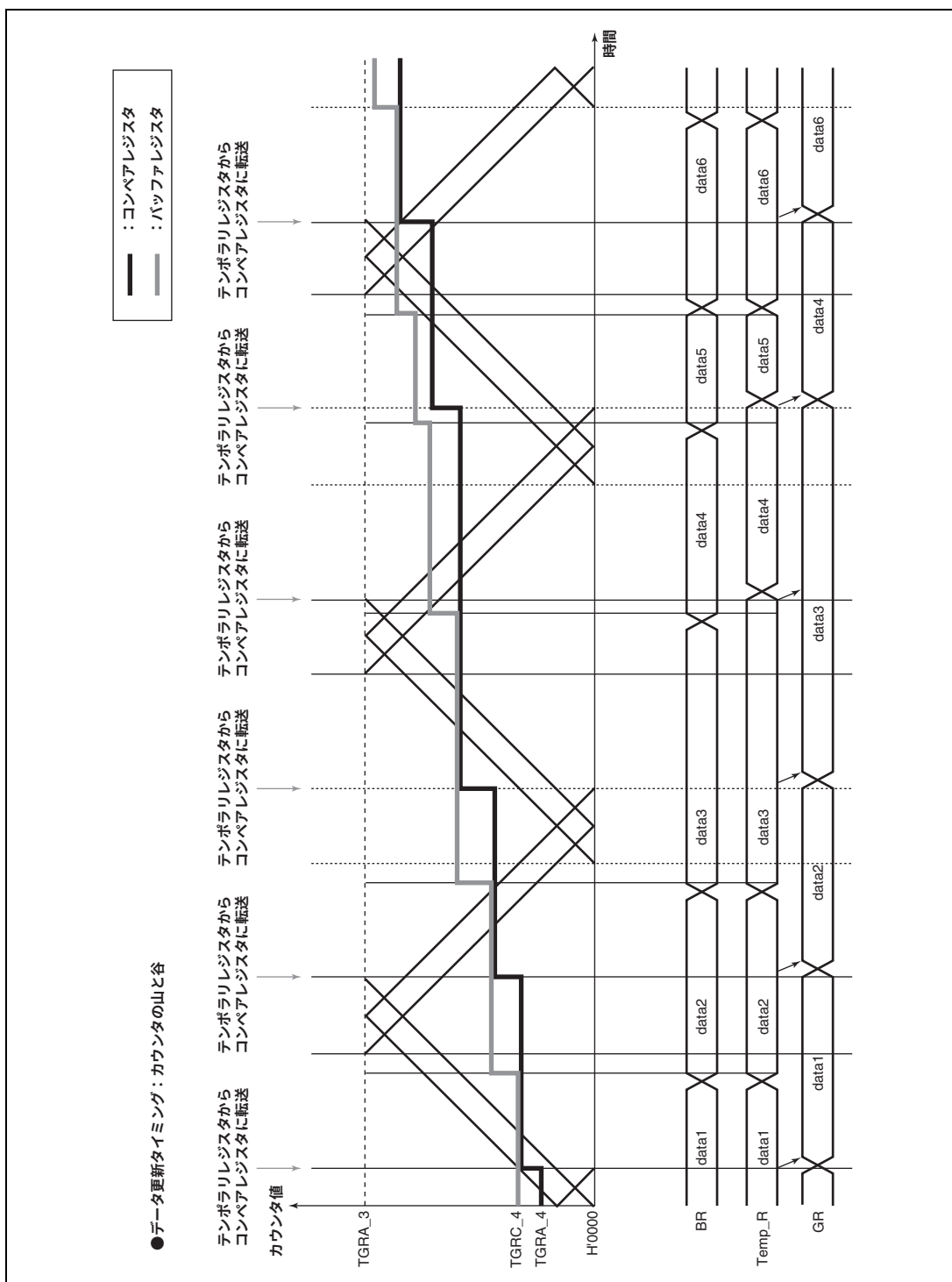


図 12.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N~OLS3N、OLS1P~OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 12.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 12.45 に示します。

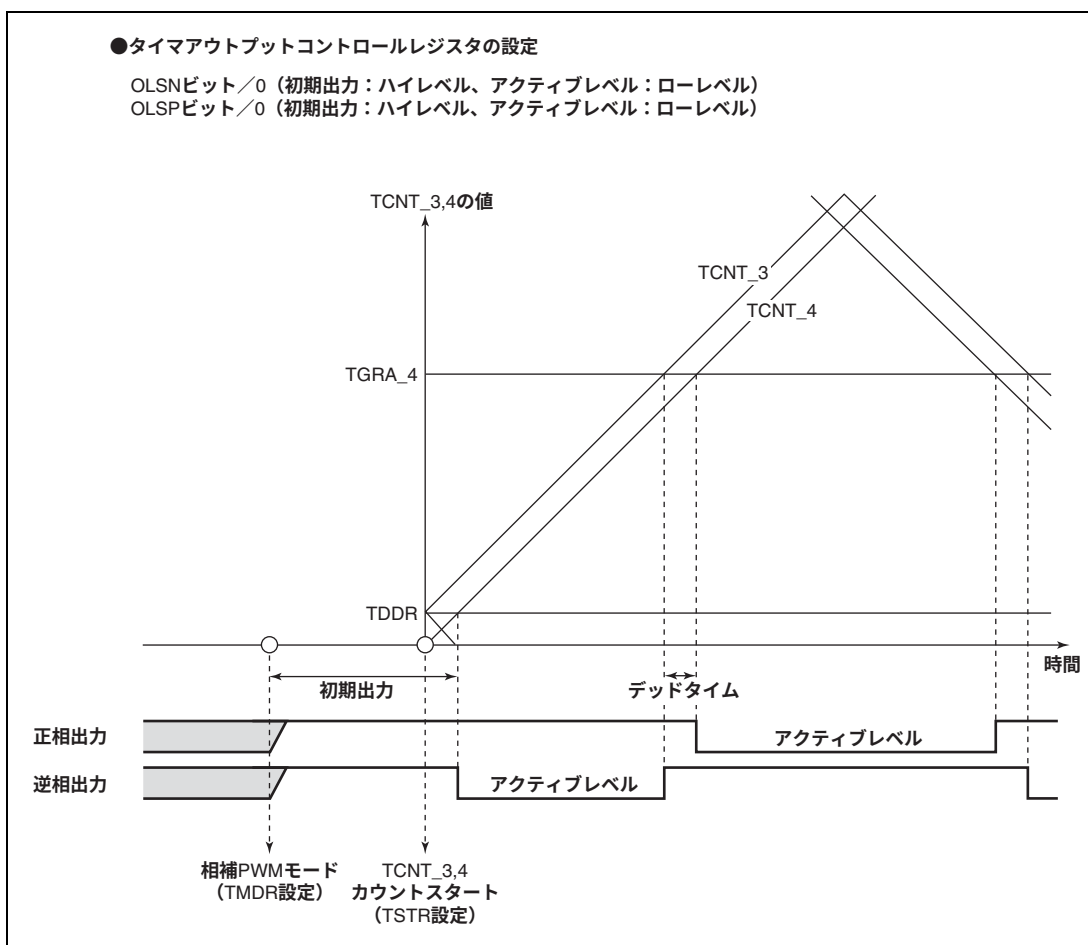


図 12.44 相補 PWM モードの初期出力例 (1)

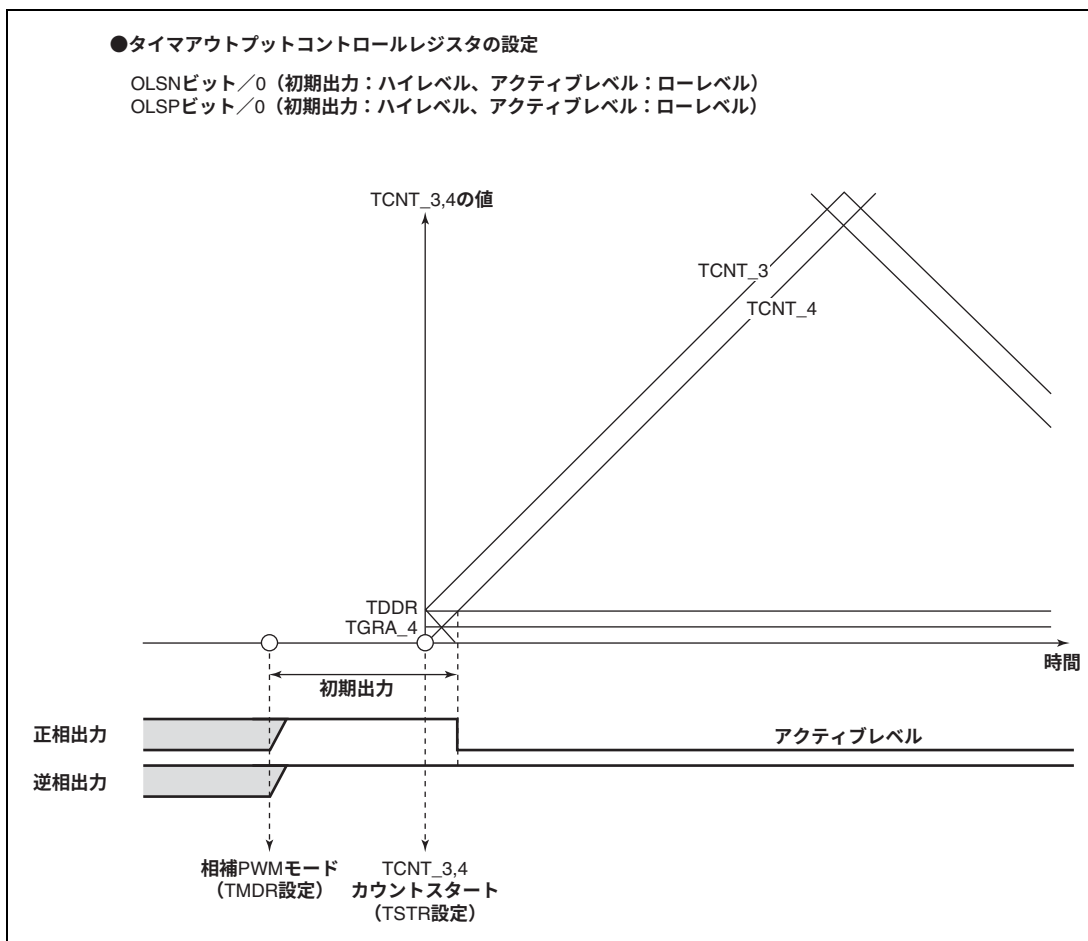


図 12.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0～100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相／逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 12.46～図 12.48 に相補 PWM モードの波形生成例を示します。

正相／逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 12.46 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ （または $c \rightarrow d \rightarrow a' \rightarrow b'$ ）の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 12.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 12.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

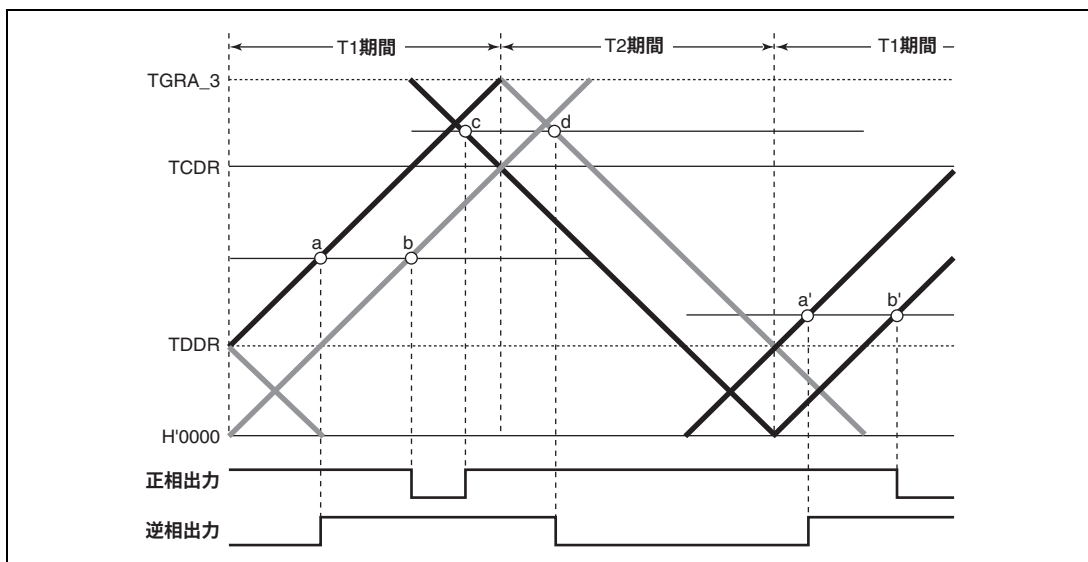


図 12.46 相補 PWM モード波形出力例 (1)

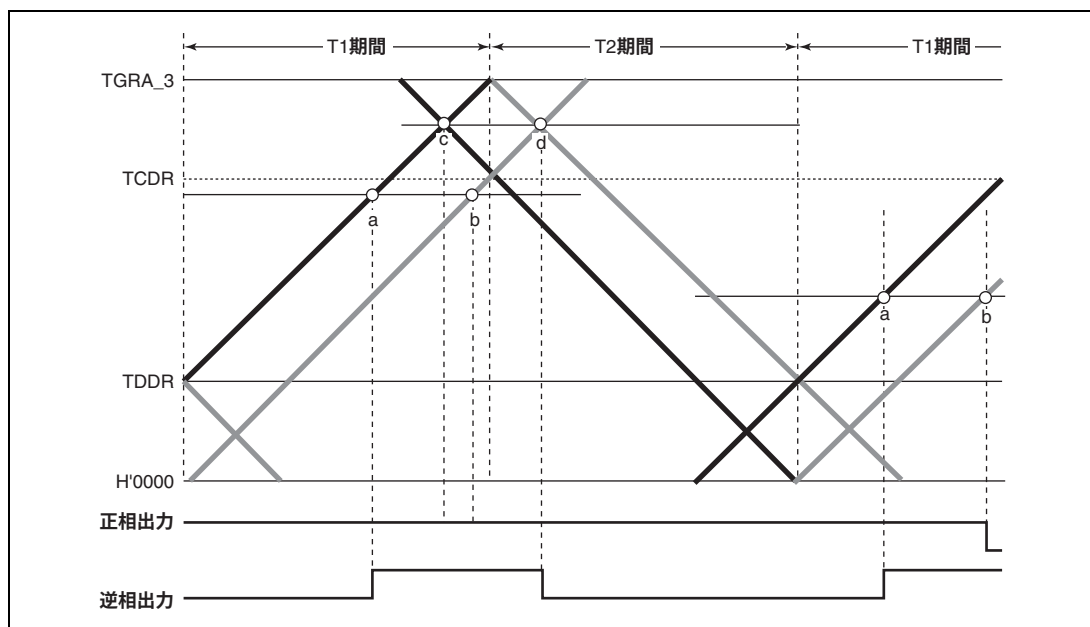


図 12.47 相補 PWM モード波形出力例 (2)

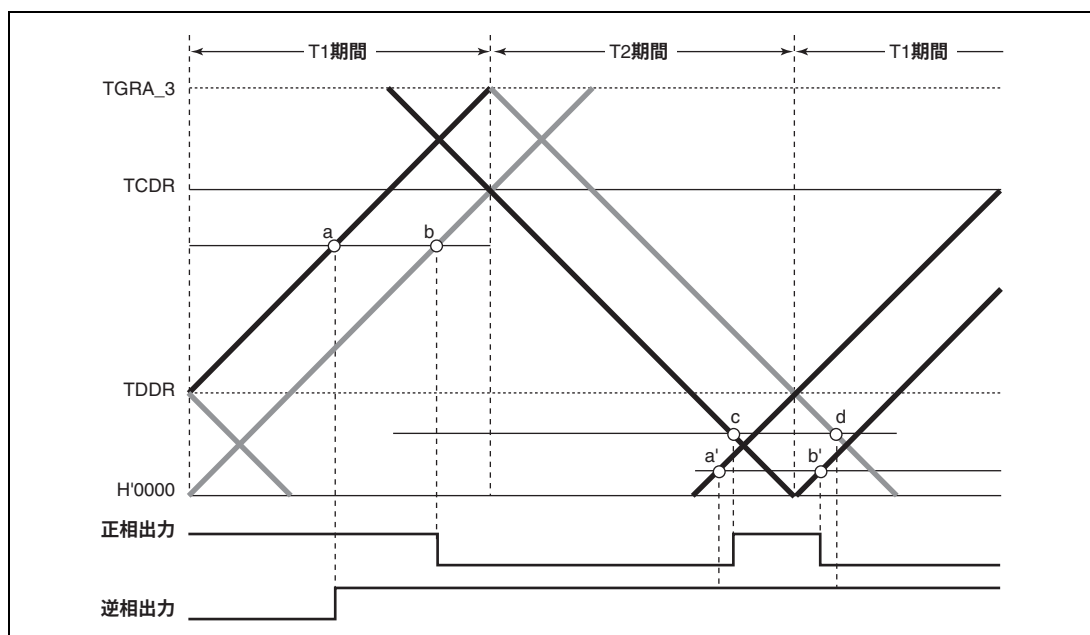


図 12.48 相補 PWM モード波形出力例 (3)

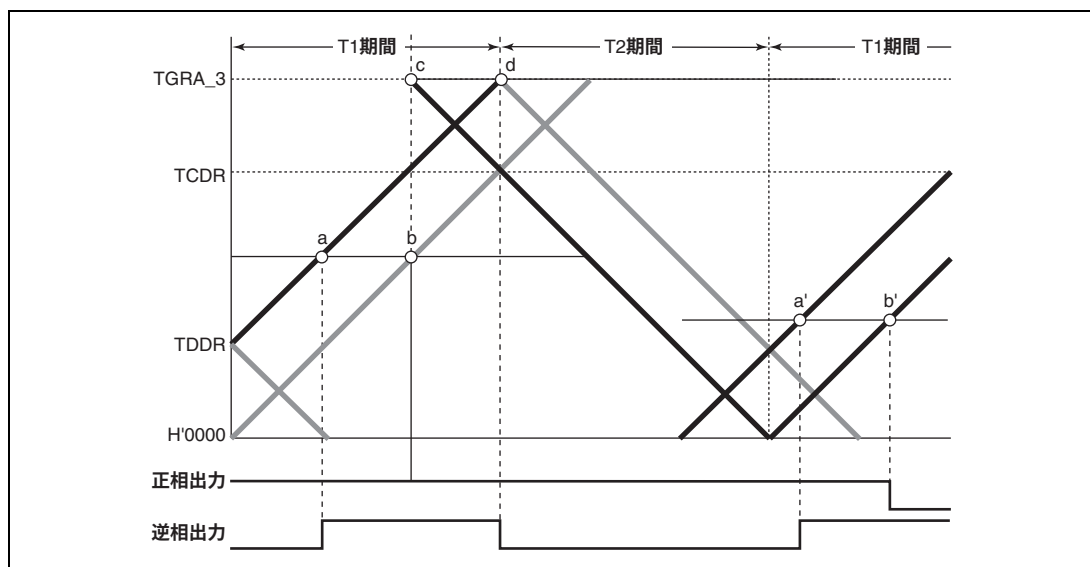


図 12.49 相補 PWM モード 0%、100%波形出力例 (1)

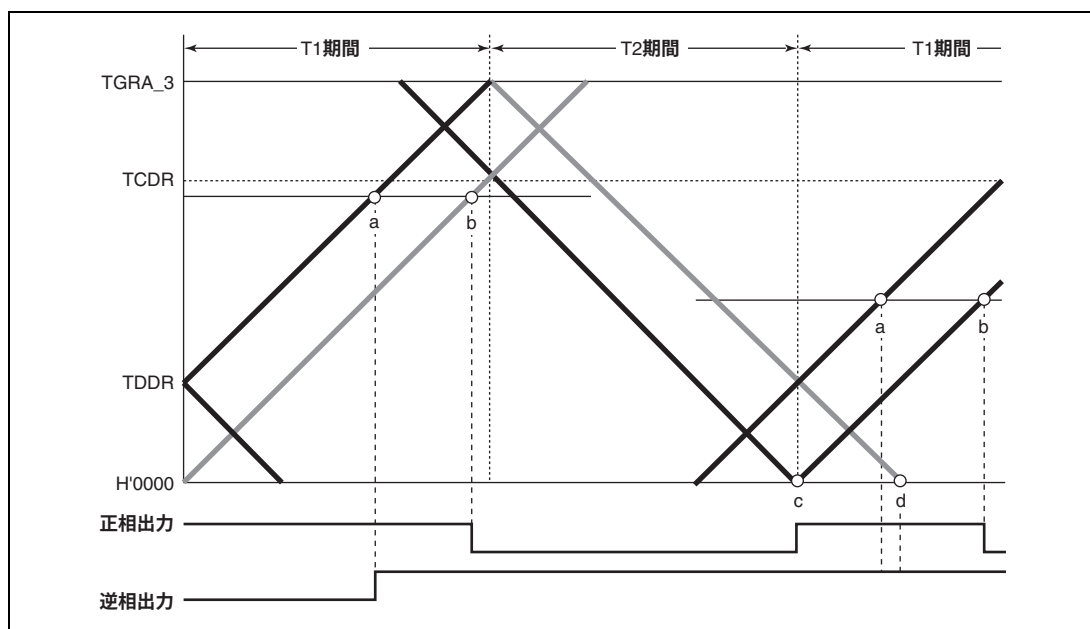


図 12.50 相補 PWM モード 0%、100%波形出力例 (2)

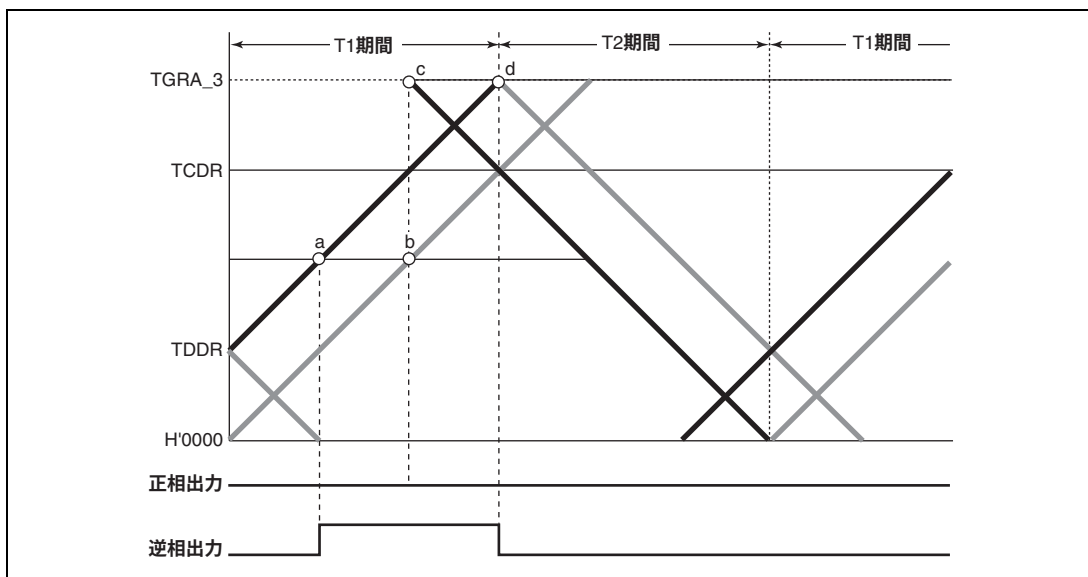


図 12.51 相補 PWM モード 0%、100% 波形出力例 (3)

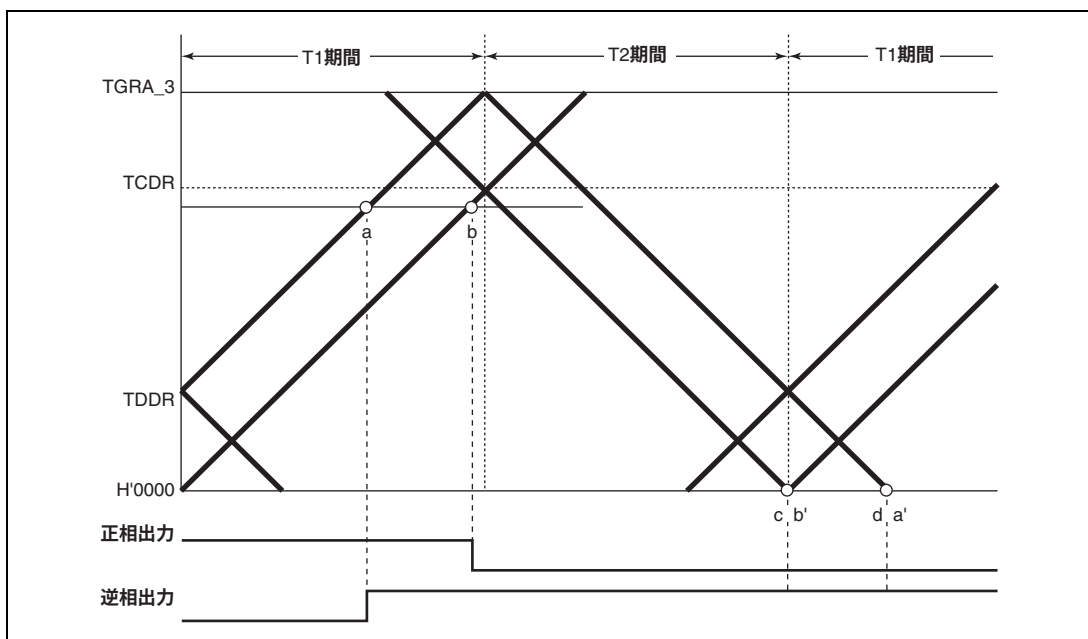


図 12.52 相補 PWM モード 0%、100% 波形出力例 (4)

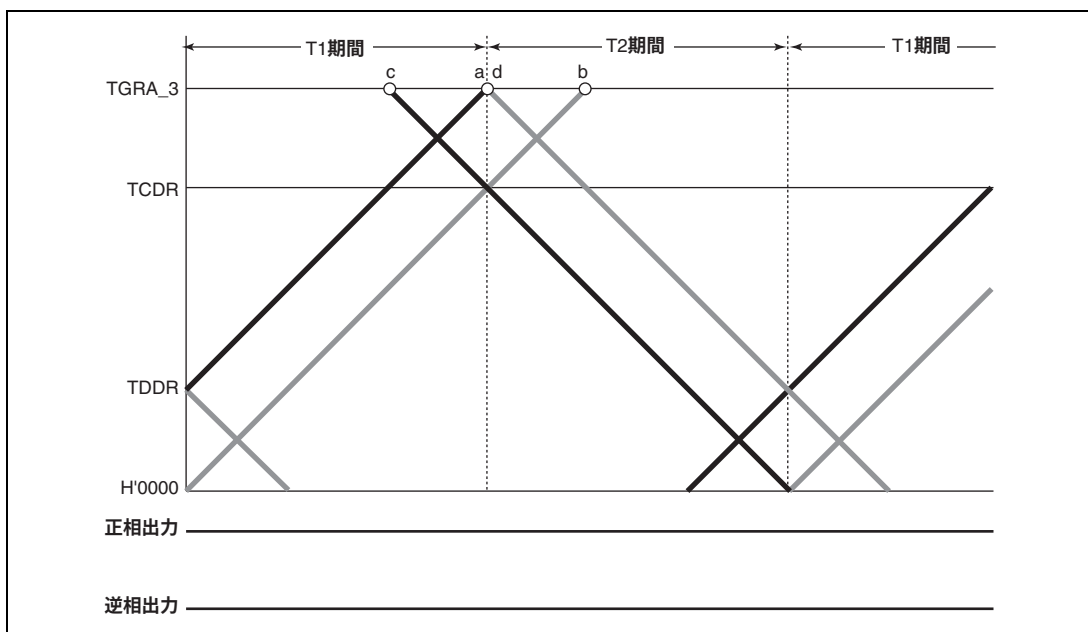


図 12.53 相補 PWM モード 0%、100% 波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100% 出力

相補 PWM モードでは、デューティ 0%、100% を任意に出力可能です。図 12.49～図 12.53 に出力例を示します。

デューティ 100% 出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0% 出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 12.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT_4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

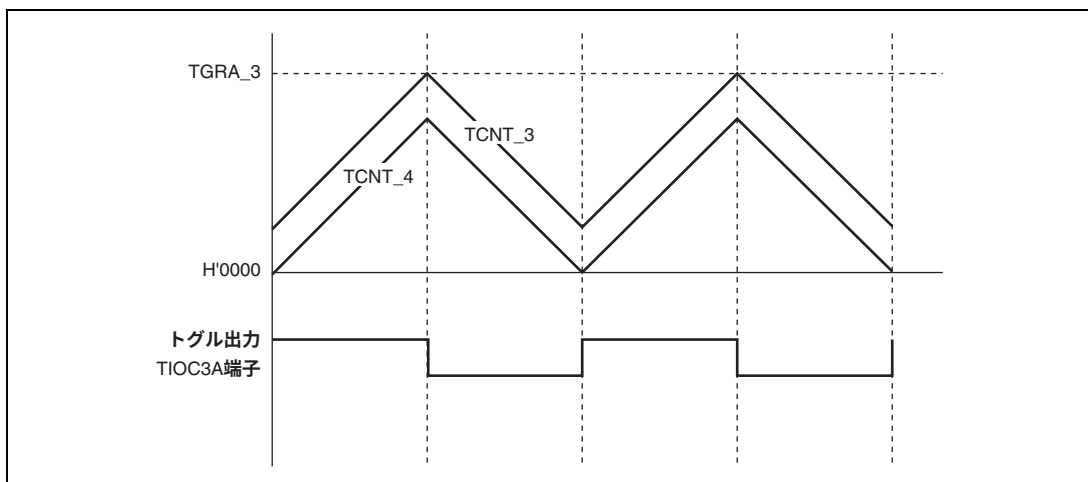


図 12.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2～CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 12.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

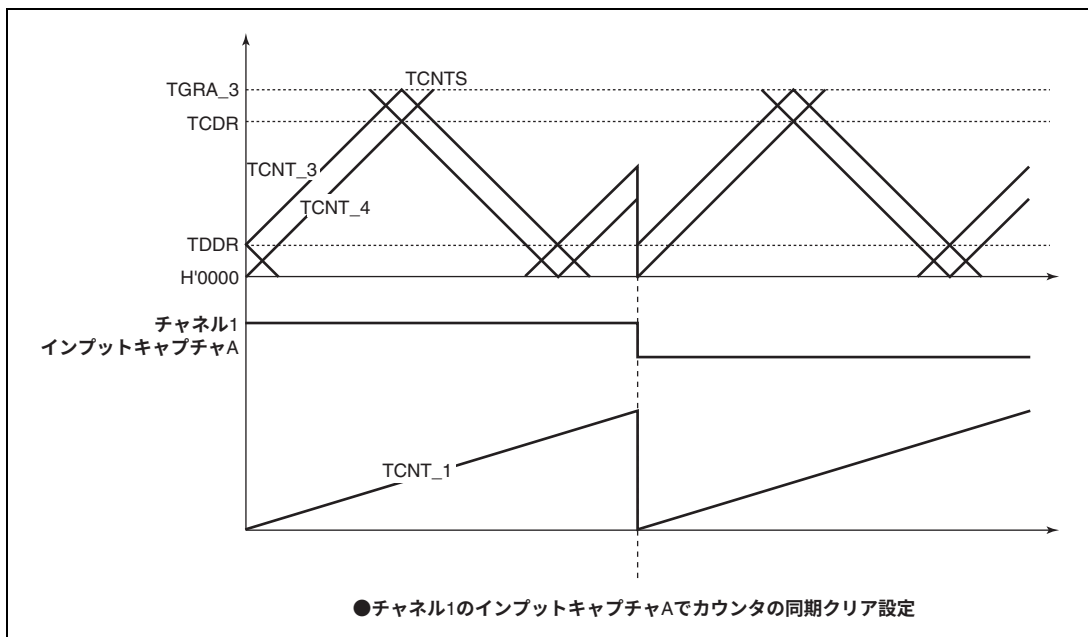


図 12.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 12.56 の⑩、⑪のような谷の T_b 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 12.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。

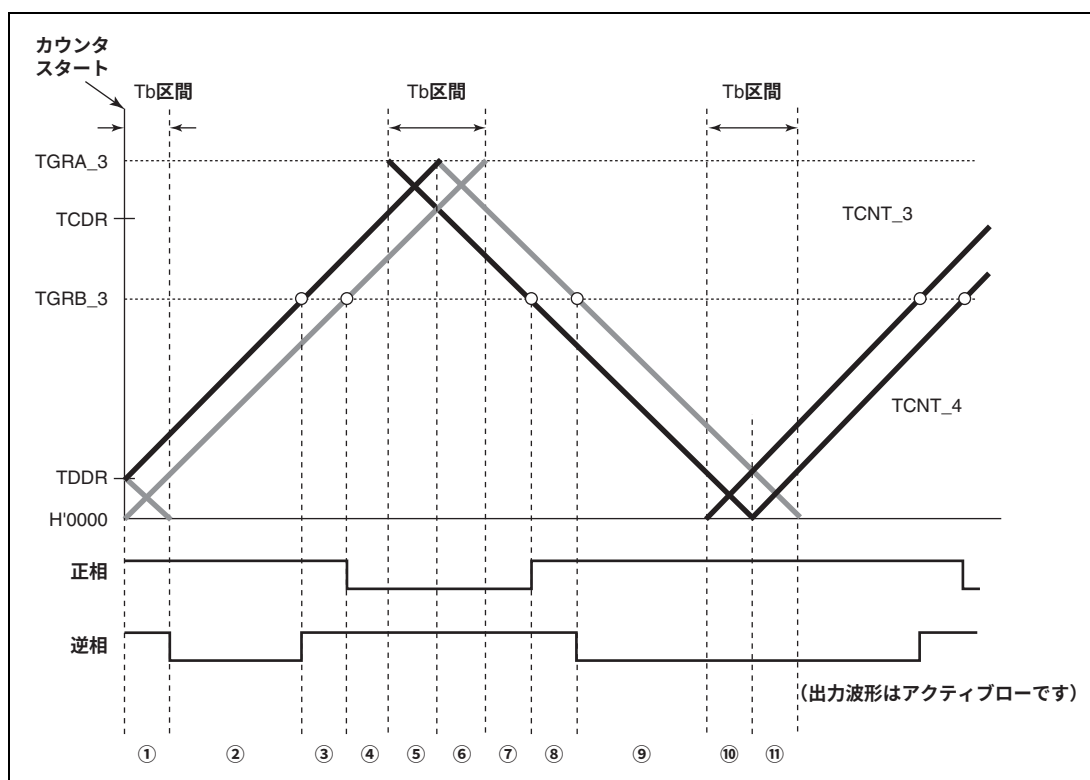


図 12.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 12.57 に示します。

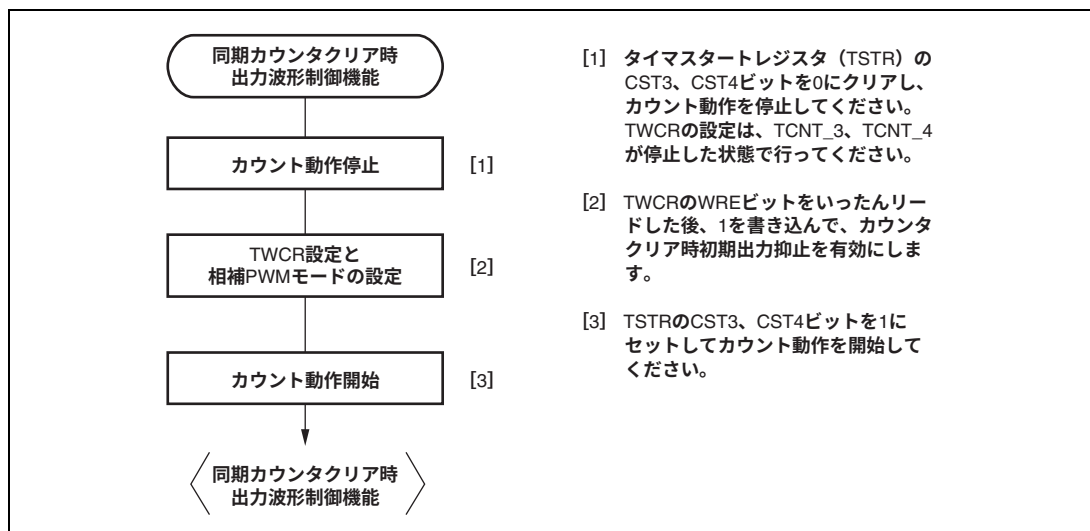


図 12.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 12.58～図 12.61 に、TWCR の WRE ビットを 1 に設定した状態で本モジュールを相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 12.58～図 12.61 の同期カウンタクリアのタイミングは、それぞれ図 12.56 の③、⑥、⑧、⑪で示したタイミングです。

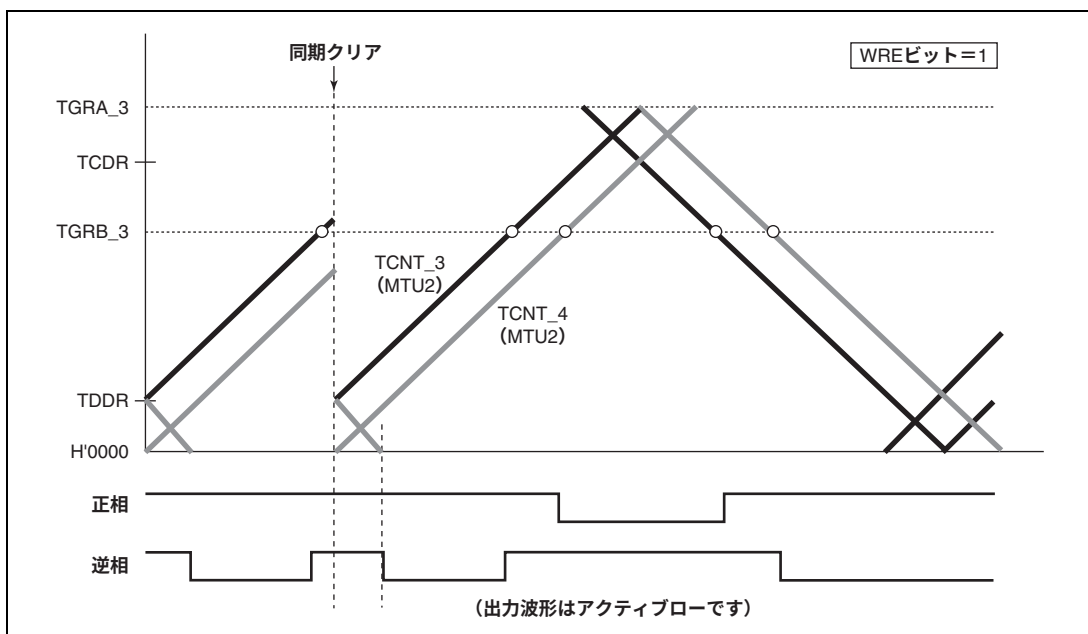


図 12.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング③、本モジュールの TWCR レジスタの WRE ビット=1)

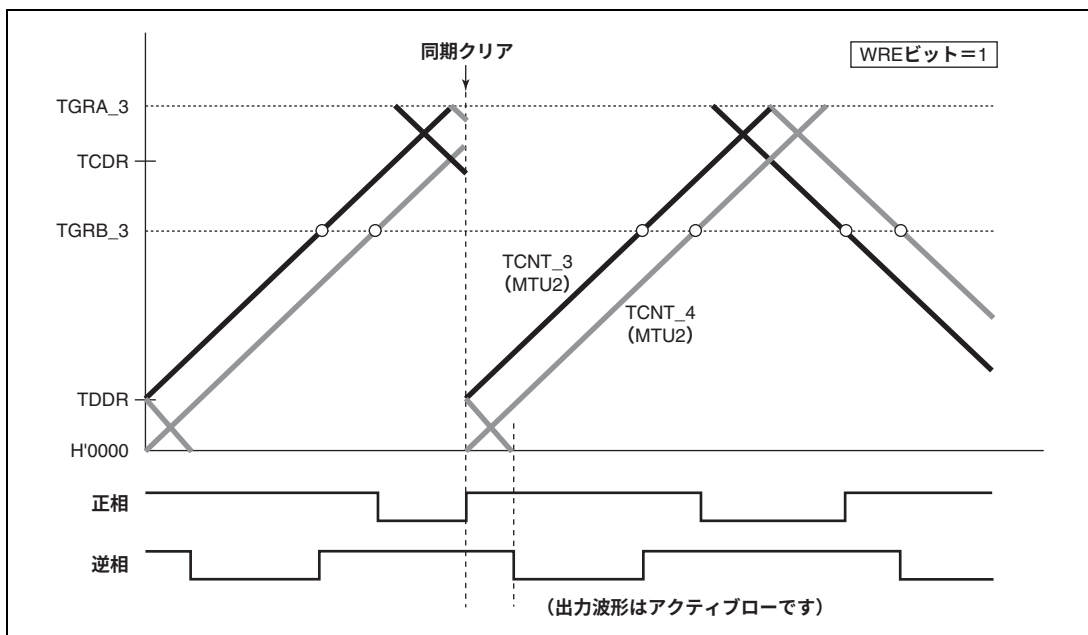


図 12.59 山の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング⑥、本モジュールの TWCR レジスタの WRE ビット=1)

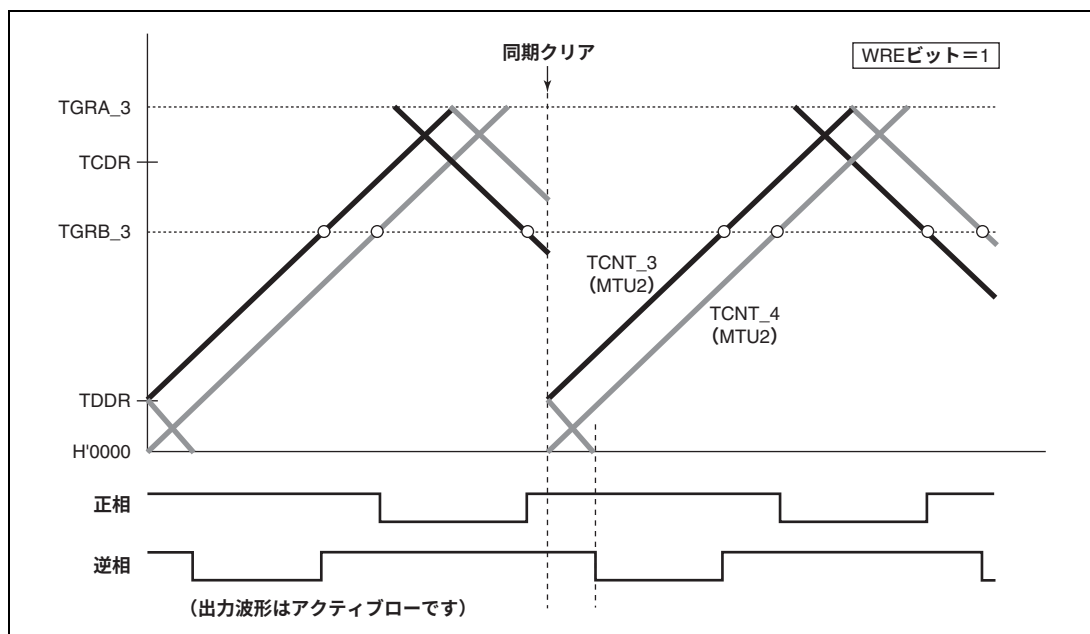


図 12.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング⑧、TWCR レジスタの WRE ビット=1)

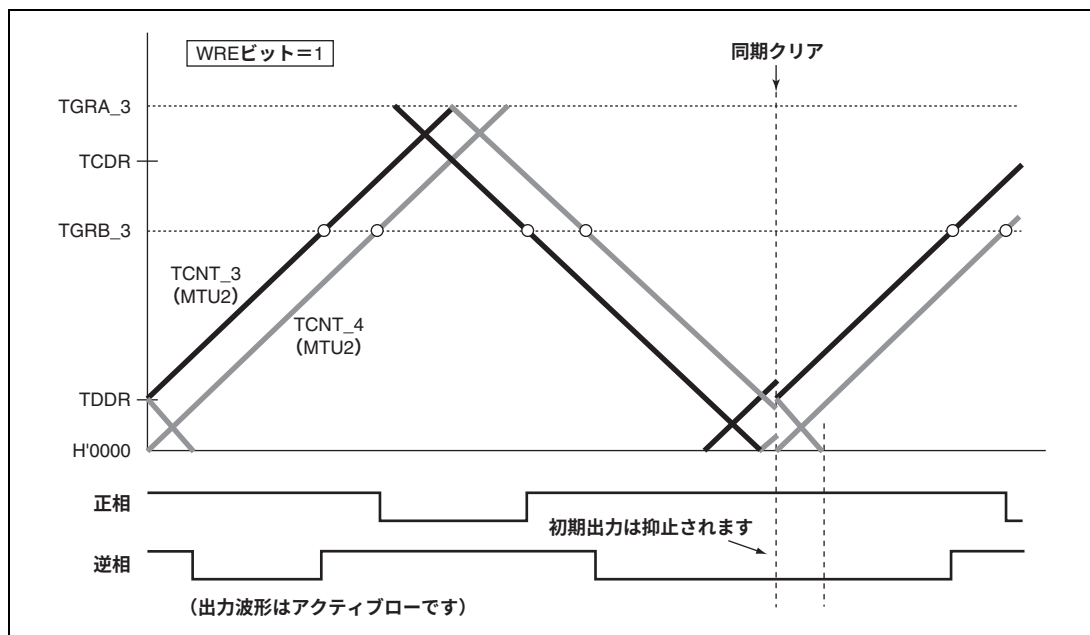


図 12.61 谷の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング⑪、TWCR レジスタの WRE ビット=1)

(o) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 12.62 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0~SYNC4 ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

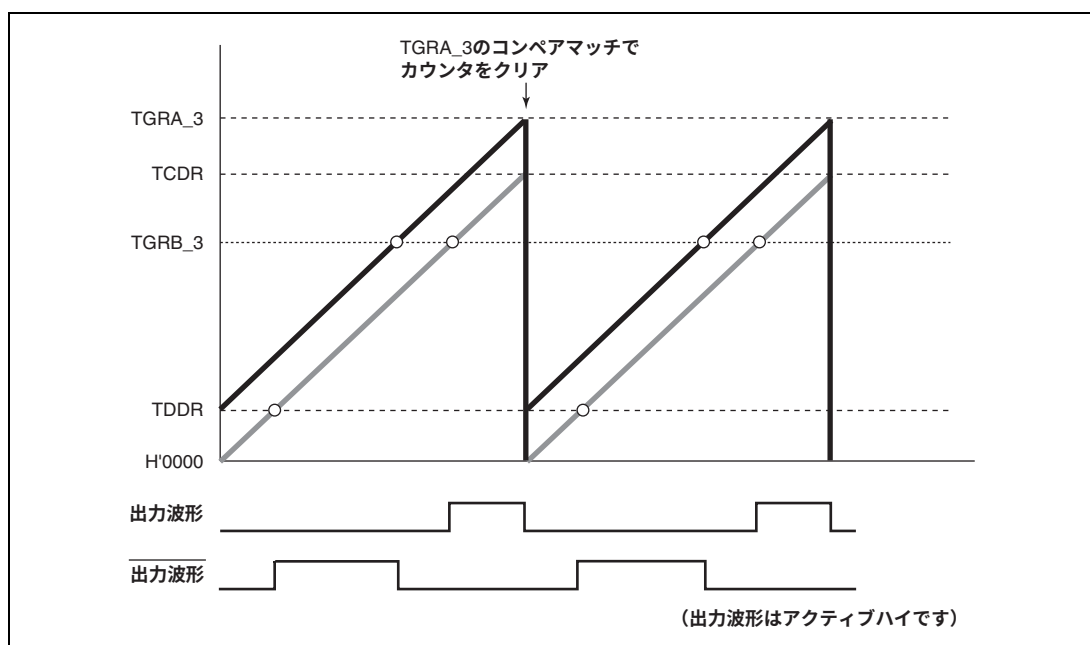


図 12.62 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 12.63～図 12.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャネル 0 のタイマ入力端子 TIIOC0A、TIIOC0B、TIIOC0C 端子に入力します (汎用入出力ポートで設定してください)。TIIOC0A、TIIOC0B、TIIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ（TOCR）の OLSN ビット、OLSP ビットで設定できます。

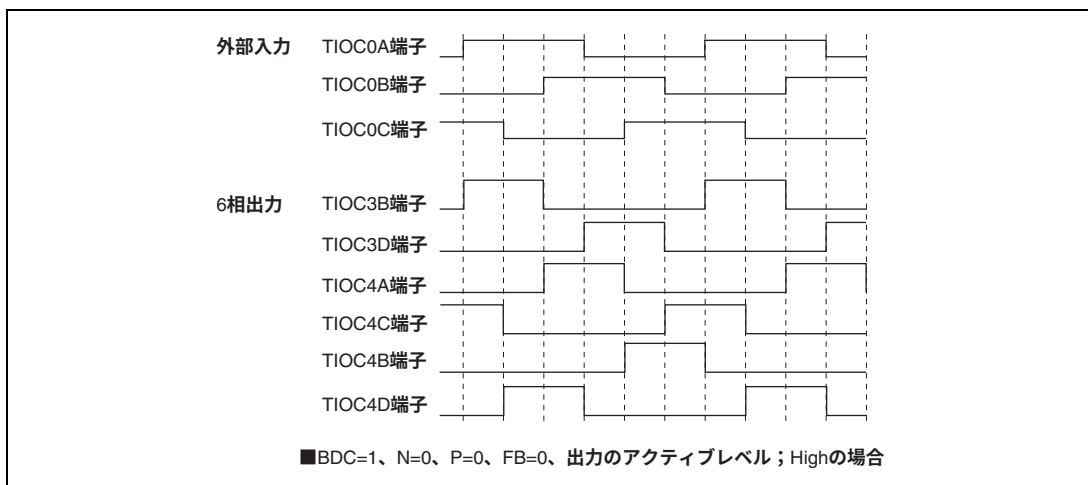


図 12.63 外部入力による出力相の切り替え動作例（1）

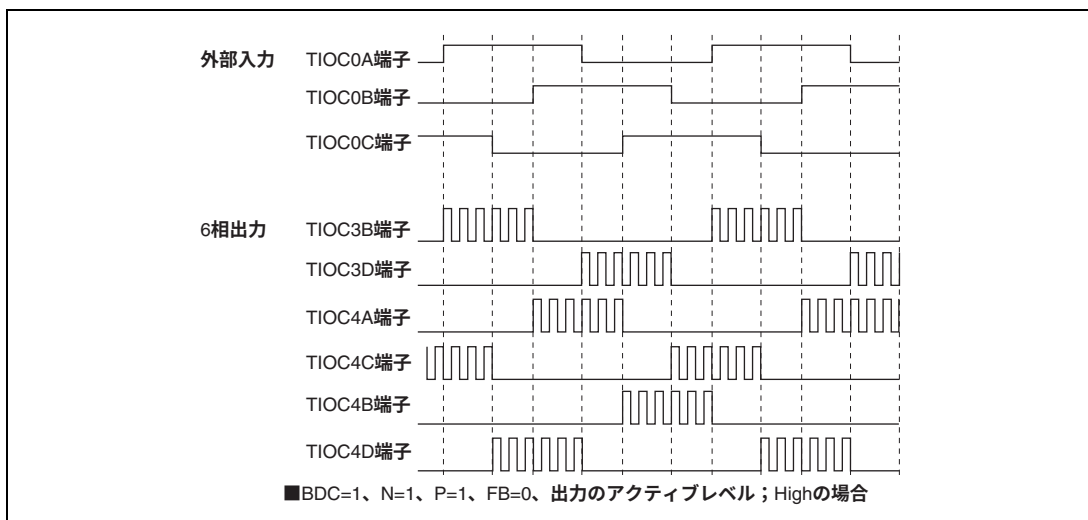


図 12.64 外部入力による出力相の切り替え動作例（2）

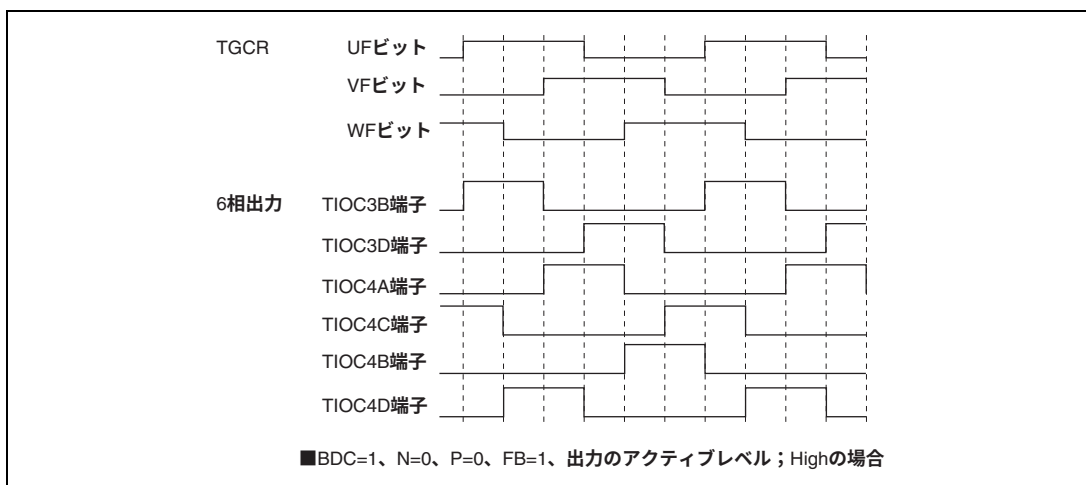


図 12.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

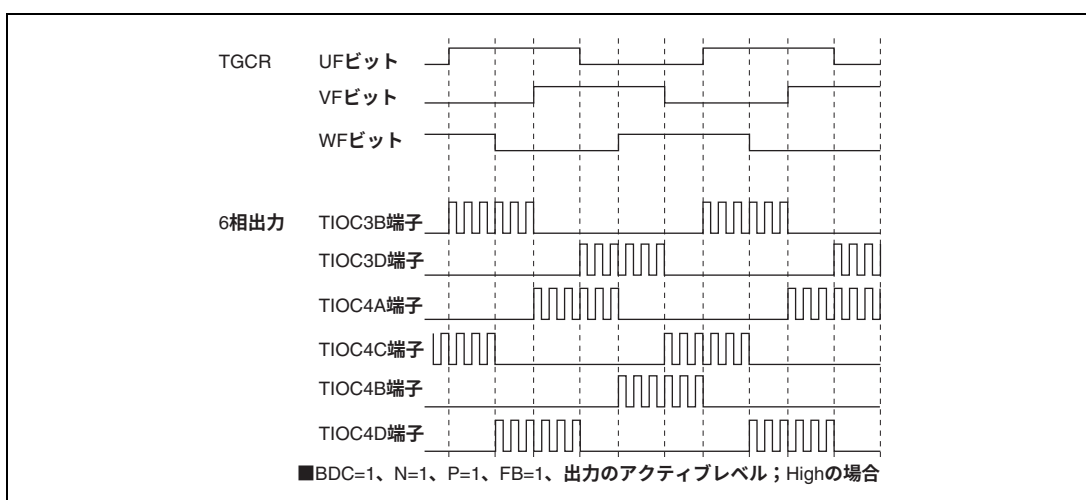


図 12.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3（山の割り込み）、および TCIV_4（谷の割り込み）は、タイマ割り込み間引き設定レジスタ（TITCR）を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ（TBTER）を設定することにより、バッファレジスタからテンポラリレジスタ／コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ（TADCR）を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ（TITCR）の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 12.67 に示します。また、割り込み間引き回数の変更可能期間を図 12.68 に示します。

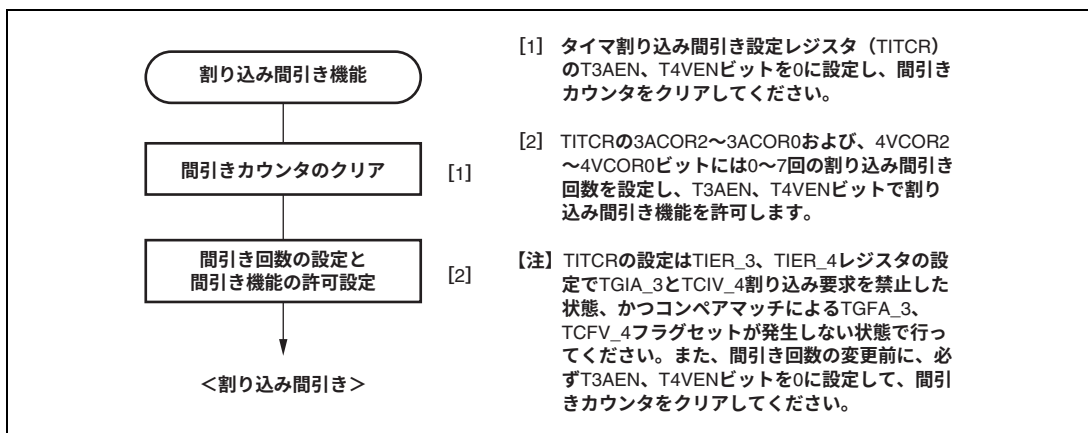


図 12.67 割り込み間引き機能の設定手順例

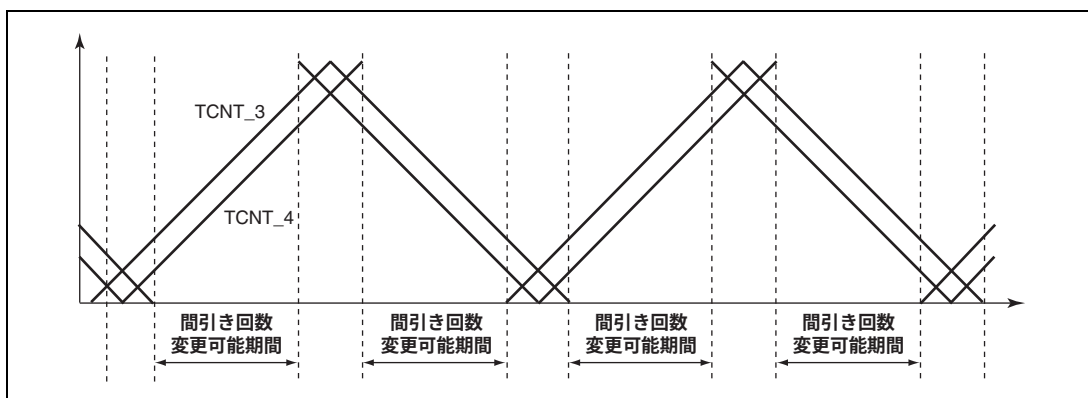


図 12.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA_3 割り込み間引きの動作例を図 12.69 に示します。

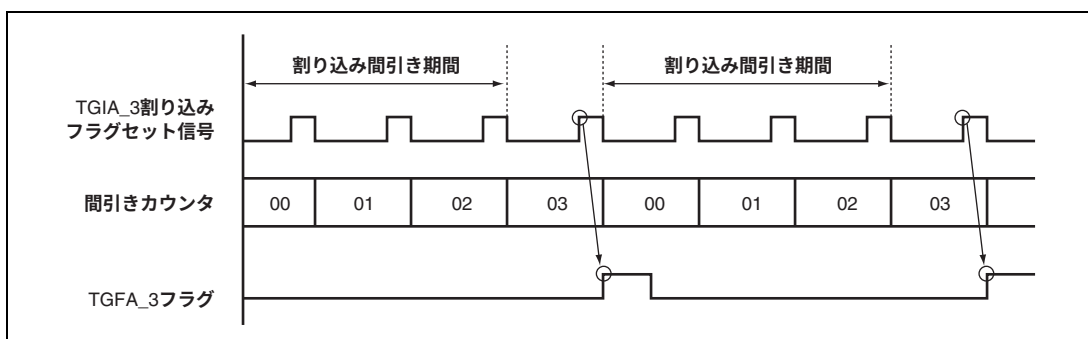


図 12.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑止する設定 (BTE1=0、BTE0=1) にした場合の動作例を図 12.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1=1、BTE0=0) にした場合の動作例を図 12.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。割り込み発生からバッファレジスタの書き換えタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 12.72 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ（TBTER）の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

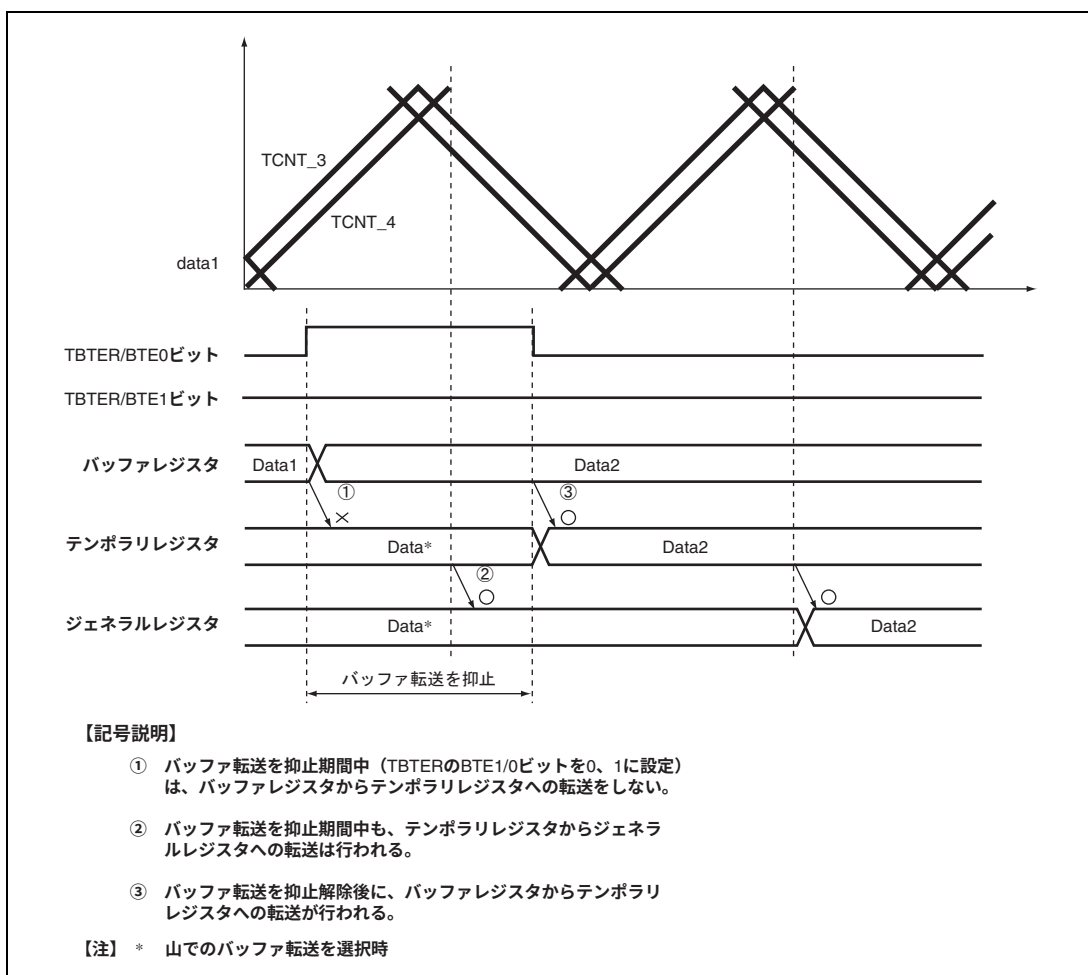
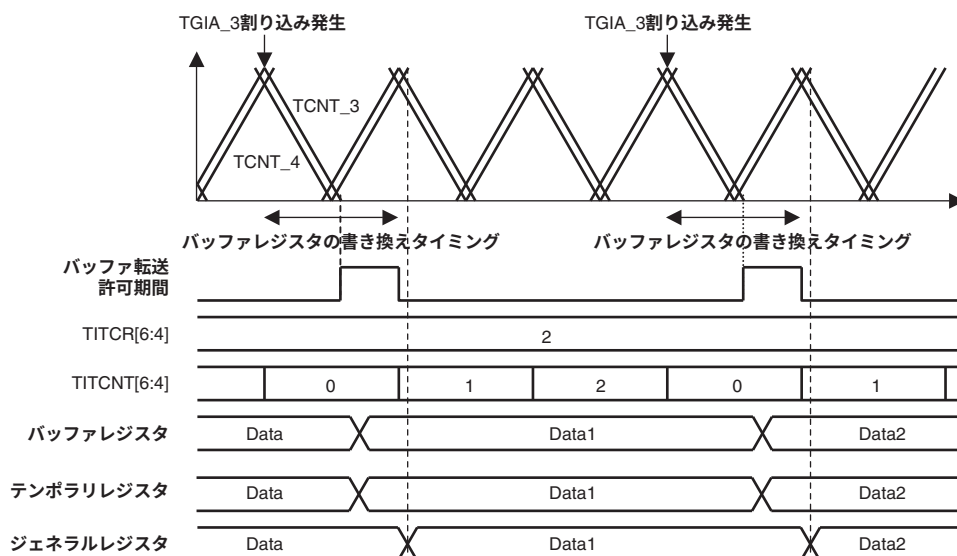
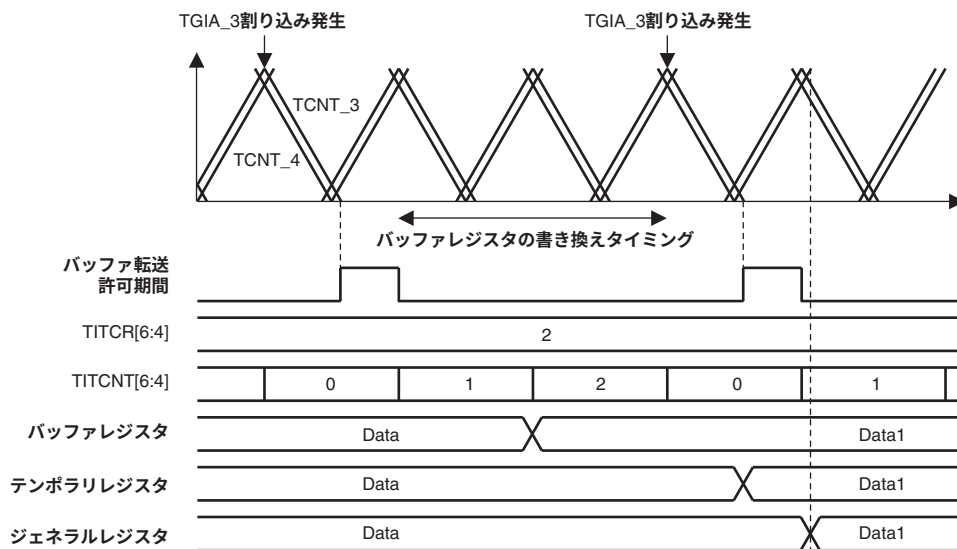


図 12.70 バッファ転送を抑制する設定（BTE1=0、BTE0=1）にした場合の動作例

(1) TGIA_3割り込みから1キャリア以内にバッファレジスタの書き換えを行ったとき



(2) TGIA_3割り込みから1キャリア経過後にバッファレジスタの書き換えを行ったとき



【注】 TMDR_3のMD[3:0]=1101、山でのバッファ転送を選択。
間引き回数を2回に設定。
T3AENを1、T4VENを0に設定。

図 12.71 バッファ転送を割り込み間引きと連動する設定 (BTE1=1、BTE0=0) にした場合の動作例

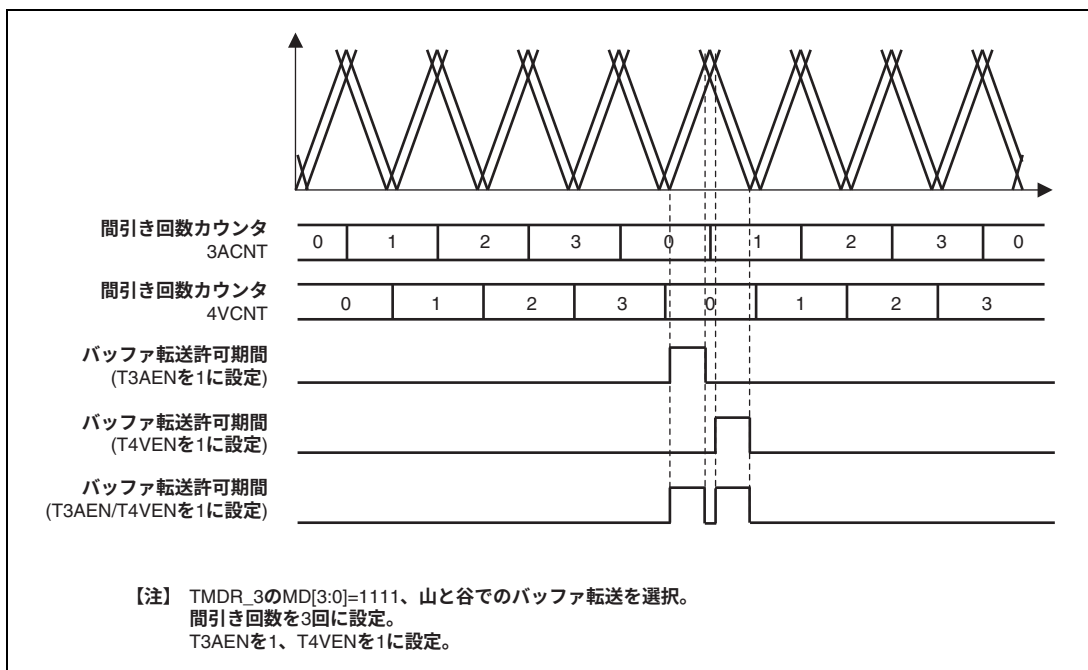


図 12.72 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定と
バッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードラ이트イネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、
TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、
TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

12.4.9 A/D 変換開始要求ディレイド機能

チャンネル4のタイマA/D変換開始要求コントロールレジスタ (TADCR)、タイマA/D起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマA/D起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4)を設定することで、A/D変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

- A/D変換開始要求ディレイド機能の設定手順例

A/D変換開始要求ディレイド機能の設定手順例を図12.73に示します。

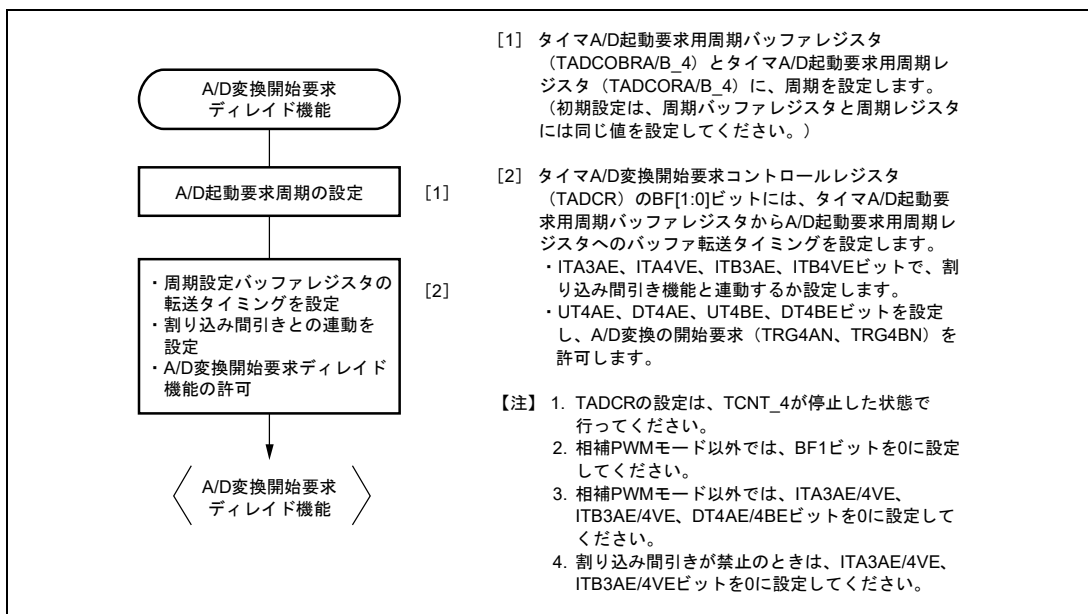


図 12.73 A/D 変換開始要求ディレイド機能の設定手順例

- A/D変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングをTCNT_4の谷に設定し、TCNT_4のダウンカウント時にA/D変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D変換の開始要求信号 (TRG4AN) の基本動作例を図12.74に示します。

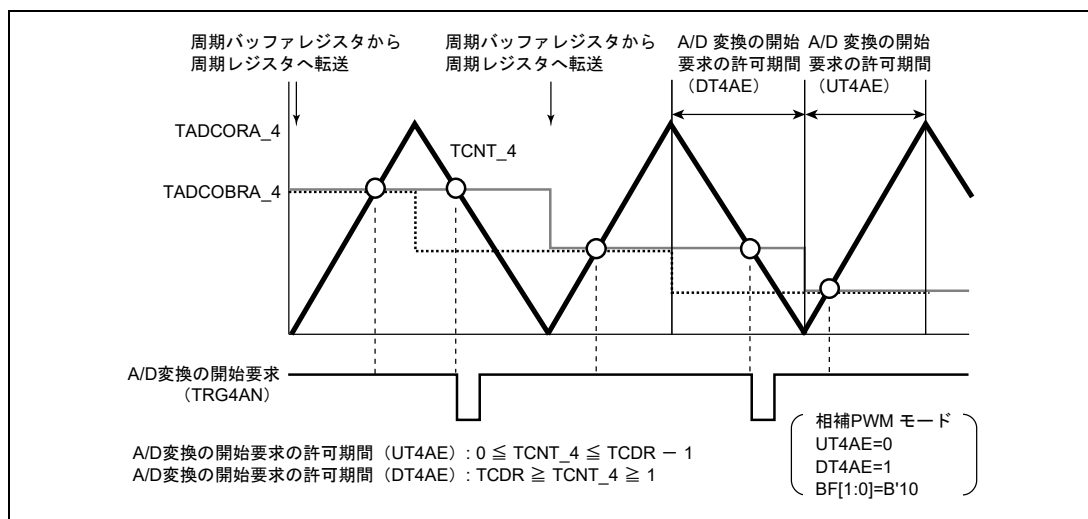


図 12.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

● A/D 変換の開始要求の許可期間

TADCR の UT4AE、DT4AE、UT4BE、DT4BE ビットで許可した期間内に TCNT_4 と TADCORA/B_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

相補 PWM モードで UT4AE、UT4BE ビットを 1 に設定すると、TCNT_4 のアップカウント期間 ($0 \leq \text{TCNT}_4 \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。DT4AE、DT4BE ビットを 1 に設定すると、TCNT_4 のダウンカウント期間 ($\text{TCDR} \geq \text{TCNT}_4 \geq 1$) に A/D 変換の開始要求を許可します (図 12.74)。

相補 PWM モード以外のときは、DT4AE、DT4BE ビットを 0 に設定してください。UT4AE、UT4BE ビットに 1 を設定すると、TCNT_4 のアップ/ダウンカウントに関係なく、TCNT_4 と TADCORA/B_4 のコンペアマッチで A/D 変換の開始要求を行います。

● バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の BF[1:0] ビットを設定することにより選択することができます。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。

詳細は、「12.7.24 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」をご覧ください。

また、相補 PWM モード以外のときは、BF1 ビットを 0 に設定してください。

● 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設

定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号（TRG4AN）の動作例を図12.75に示します。

また、TCNT_4のアップカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号（TRG4AN）の動作例を図12.76に示します。

相補PWMモード以外では、割り込み間引き機能と連動したA/D変換開始要求ディレイド機能は使用できません。TADCRのITA3AE、ITA4VE、ITB3AE、ITB4VEビットを0に設定してください。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VENビットを0に設定したとき、またはTITCRの間引き回数設定ビット（3ACOR、4VCOR）を0に設定したとき）は、必ず割り込み間引き機能と連動しない（タイマA/D変換開始要求コントロールレジスタ（TADCR）のITA3AE、ITA4VE、ITB3AE、ITB4VEビットを0に設定）設定にしてください。

また、本機能使用時、TADCORA/B_4にはH'0002～TCDR-2を設定してください。

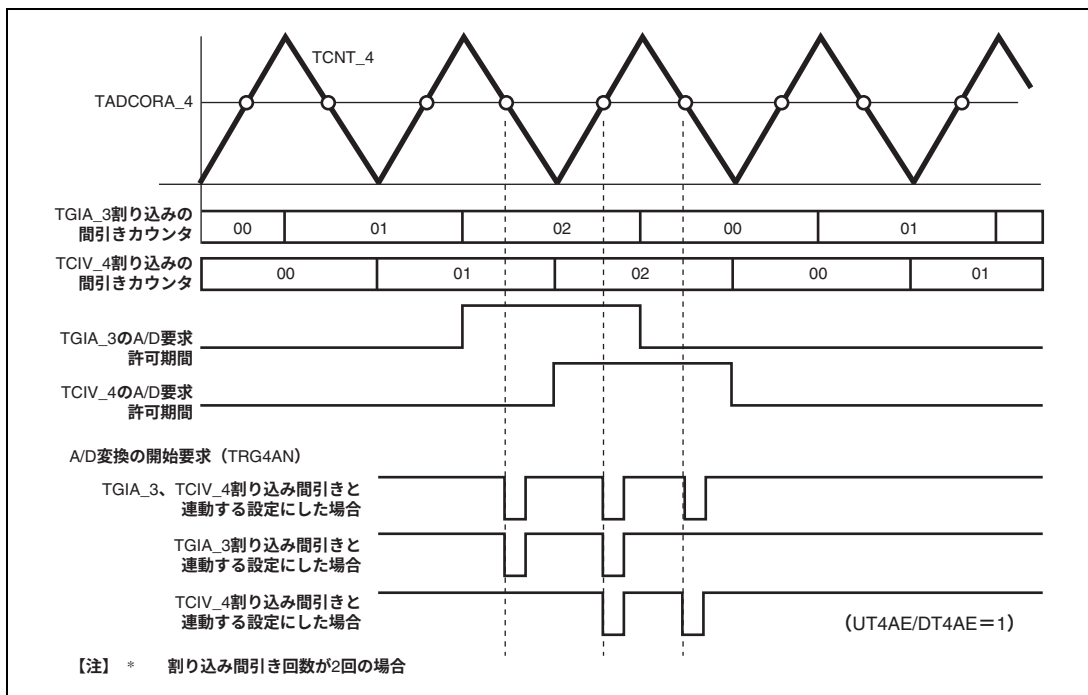


図 12.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例

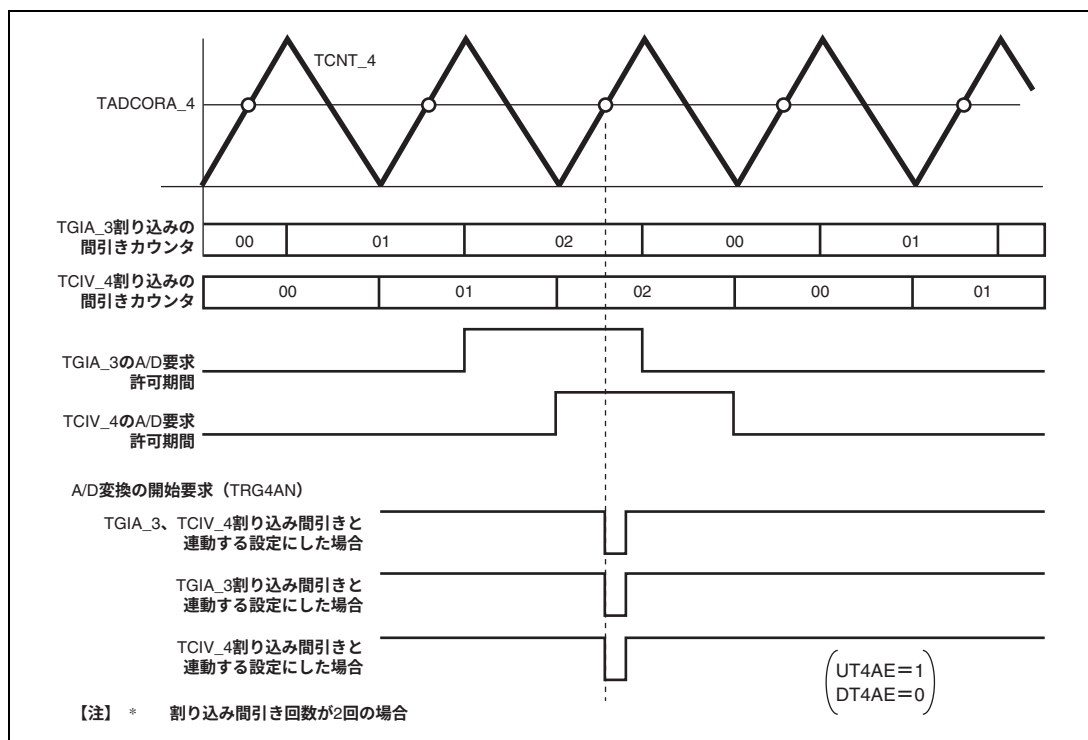


図 12.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

12.4.10 相補 PWM の「山／谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 12.77 は TCNT はフリーランでクリアせずを使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

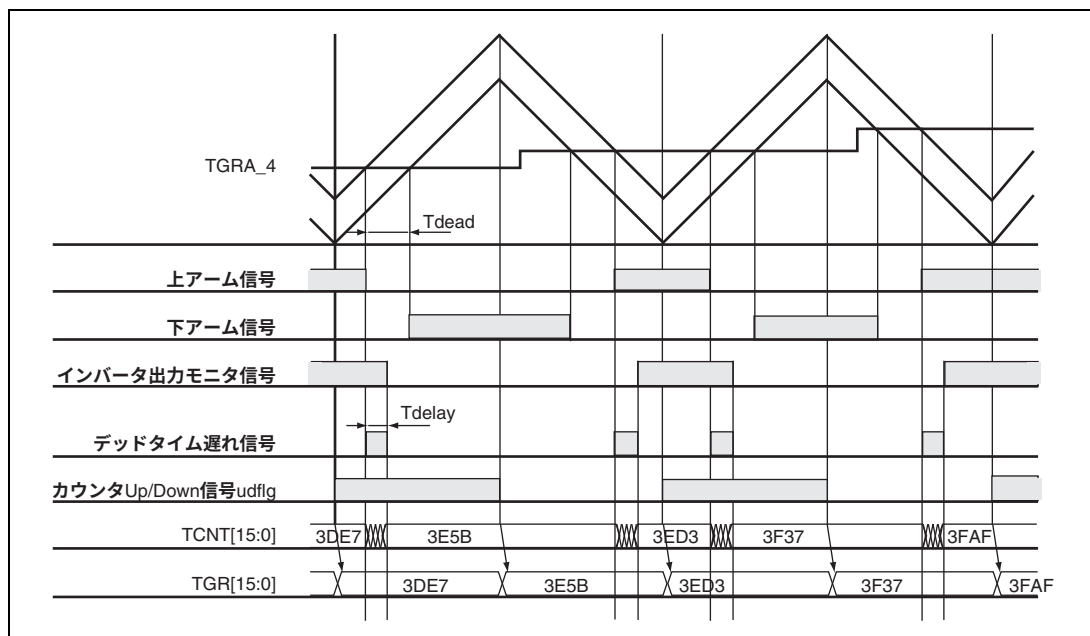


図 12.77 相補 PWM の「山／谷」での TCNT キャプチャ動作

12.5 割り込み要因

12.5.1 割り込み要因と優先順位

本モジュールの割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可／禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「**第7章 割り込みコントローラ**」を参照してください。

表 12.55 に本モジュールの割り込み要因の一覧を示します。

表 12.55 マルチファンクションタイマパルスユニット 2 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	ダイレクト メモリアクセス コントローラの 起動	優先順 位
0	TGIA_0	TGRA_0 のインプットキャプチャ／コンペアマッチ	TGFA_0	可	↑ 高 ↓ 低
	TGIB_0	TGRB_0 のインプットキャプチャ／コンペアマッチ	TGFB_0	不可	
	TGIC_0	TGRC_0 のインプットキャプチャ／コンペアマッチ	TGFC_0	不可	
	TGID_0	TGRD_0 のインプットキャプチャ／コンペアマッチ	TGFD_0	不可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可	
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ／コンペアマッチ	TGFA_1	可	
	TGIB_1	TGRB_1 のインプットキャプチャ／コンペアマッチ	TGFB_1	不可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ／コンペアマッチ	TGFA_2	可	
	TGIB_2	TGRB_2 のインプットキャプチャ／コンペアマッチ	TGFB_2	不可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ／コンペアマッチ	TGFA_3	可	
	TGIB_3	TGRB_3 のインプットキャプチャ／コンペアマッチ	TGFB_3	不可	
	TGIC_3	TGRC_3 のインプットキャプチャ／コンペアマッチ	TGFC_3	不可	
	TGID_3	TGRD_3 のインプットキャプチャ／コンペアマッチ	TGFD_3	不可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	

チャネル	名称	割り込み要因	割り込みフラグ	ダイレクト メモリアクセ スコントロー ラの起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ／コンペアマッチ	TGFA_4	可	↑ 高 ↓
	TGIB_4	TGRB_4 のインプットキャプチャ／コンペアマッチ	TGFB_4	不可	
	TGIC_4	TGRC_4 のインプットキャプチャ／コンペアマッチ	TGFC_4	不可	
	TGID_4	TGRD_4 のインプットキャプチャ／コンペアマッチ	TGFD_4	不可	
	TCIV_4	TCNT_4 のオーバフロー／アンダフロー	TCFV_4	不可	

【注】 リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ／コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ／コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、チャネル 0 に 6 本、チャネル 3、4 に各 4 本、チャネル 1、2 に各 2 本、計 18 本のインプットキャプチャ／コンペアマッチ割り込みがあります。チャネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、チャネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

12.5.2 ダイレクトメモリアクセスコントローラの起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチ割り込みによって、ダイレクトメモリアクセスコントローラを起動することができます。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ」を参照してください。

本モジュールでは、チャネル 0～4 の各チャネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ／コンペアマッチ割り込みをダイレクトメモリアクセスコントローラの起動要因とすることができます。

12.5.3 A/D 変換器の起動

本モジュールでは、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 12.56 に示します。

(1) TGRA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャネルの TGRA のインプットキャプチャ／コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で本モジュールの変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で本モジュールの変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 12.56 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ／コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4		
	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

12.6 動作タイミング

12.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.78 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 12.79 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 12.80 に示します。

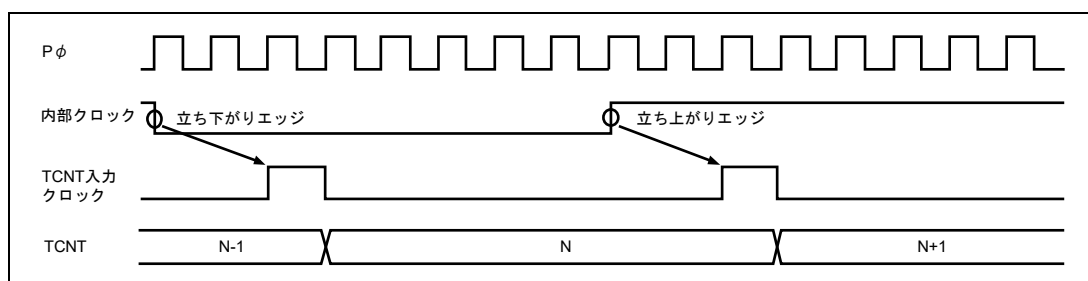


図 12.78 内部クロック動作時のカウントタイミング

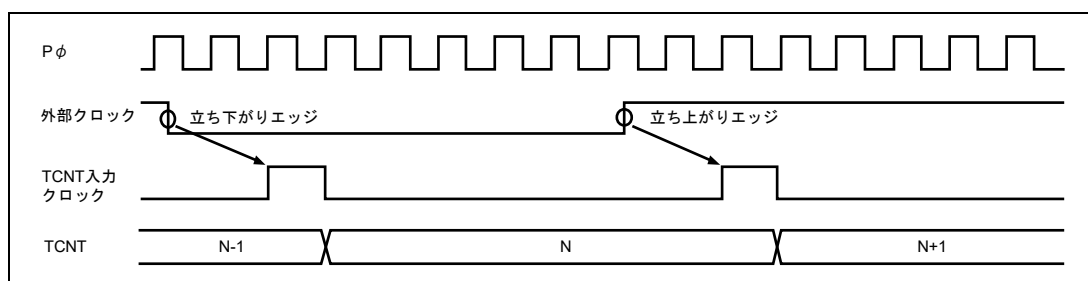


図 12.79 外部クロック動作時のカウントタイミング

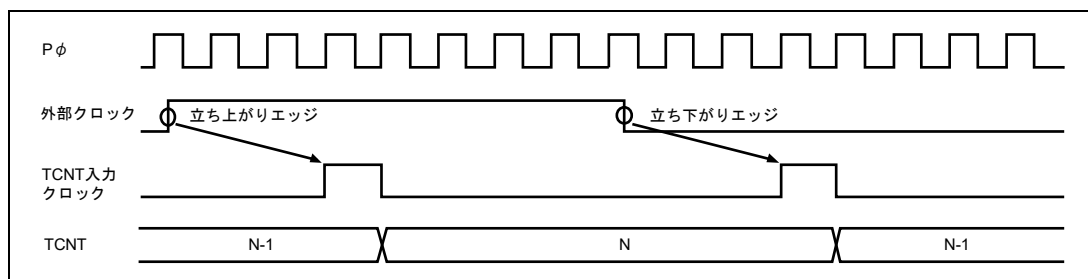


図 12.80 外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOF で設定した出力値がアウトプットコンペア出力端子（TIOC 端子）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 12.81 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 12.82 に示します。

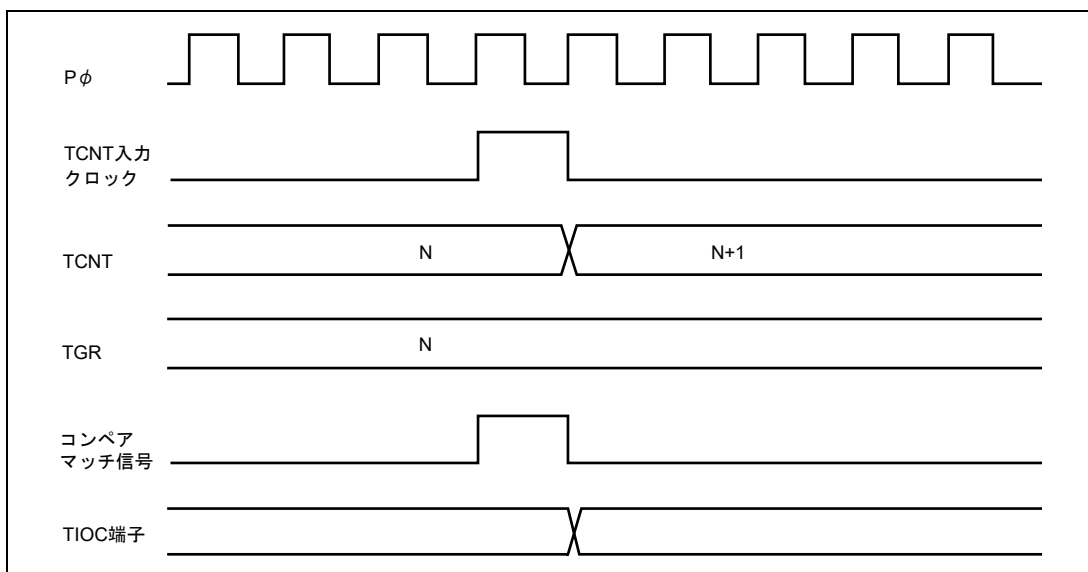


図 12.81 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

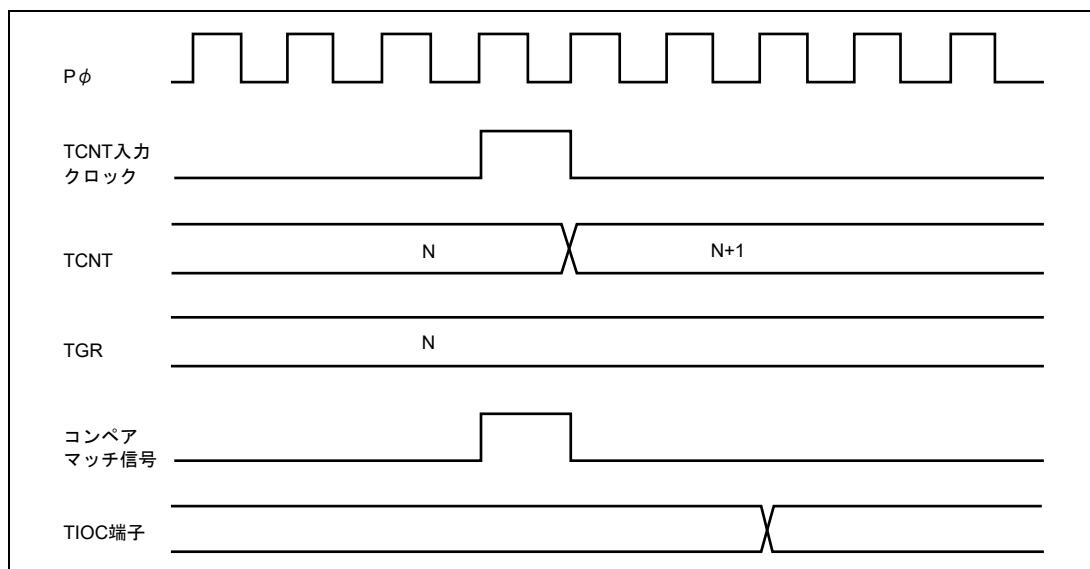


図 12.82 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 12.83 に示します。

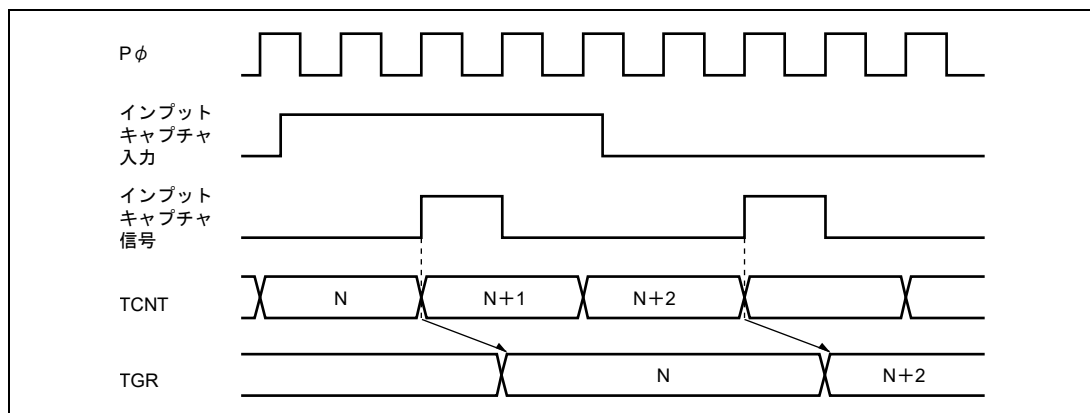


図 12.83 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 12.84 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 12.85 に示します。

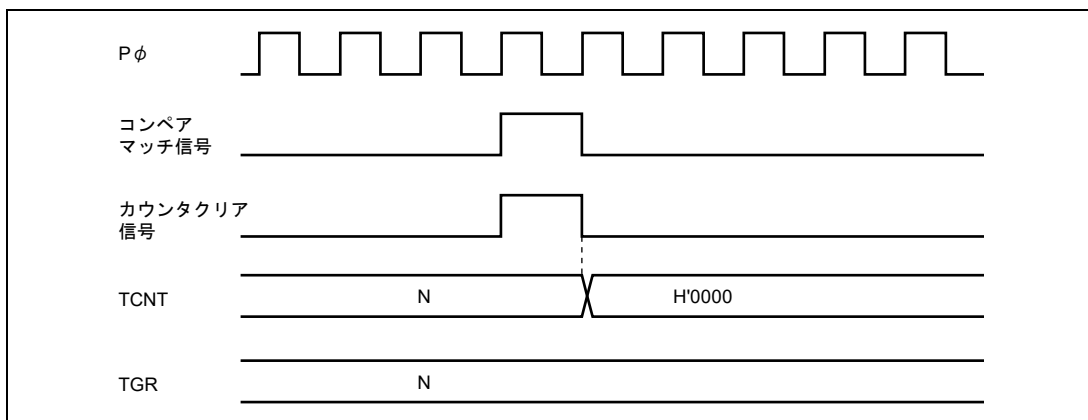


図 12.84 カウンタクリアタイミング (コンペアマッチ)

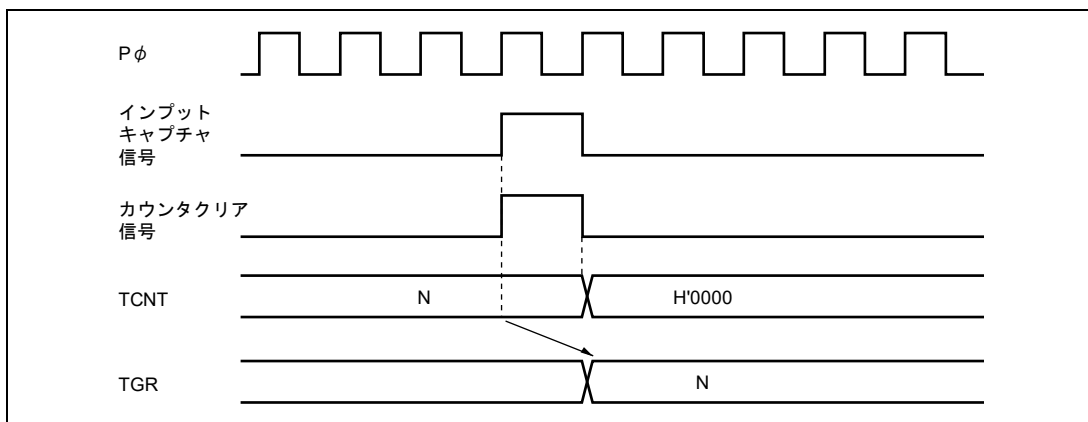


図 12.85 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 12.86～図 12.88 に示します。

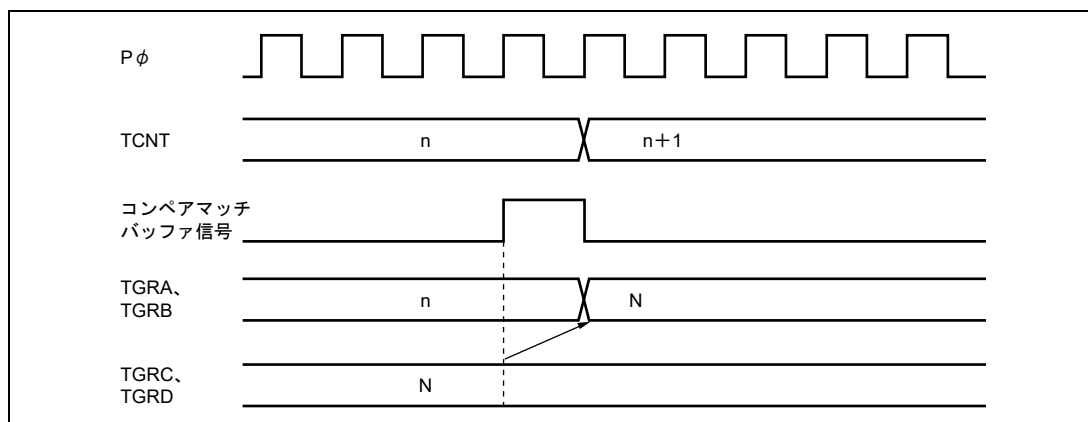


図 12.86 バッファ動作タイミング（コンペアマッチ）

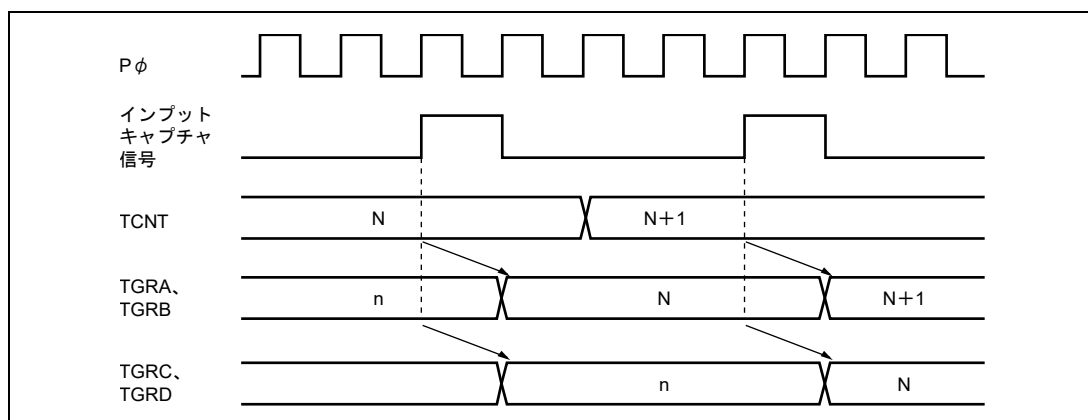


図 12.87 バッファ動作タイミング（インプットキャプチャ）

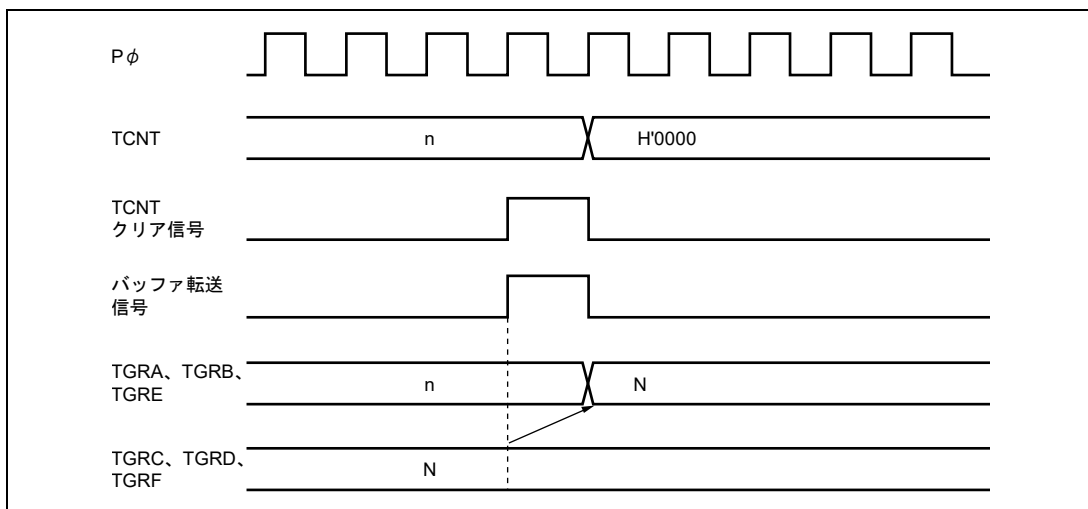


図 12.88 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 12.89～図 12.91 に示します。

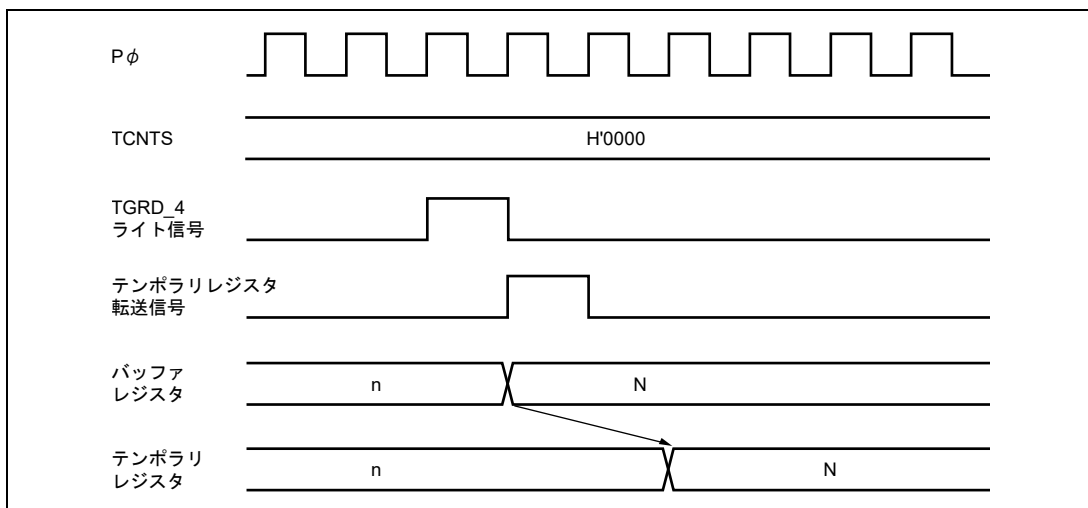


図 12.89 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

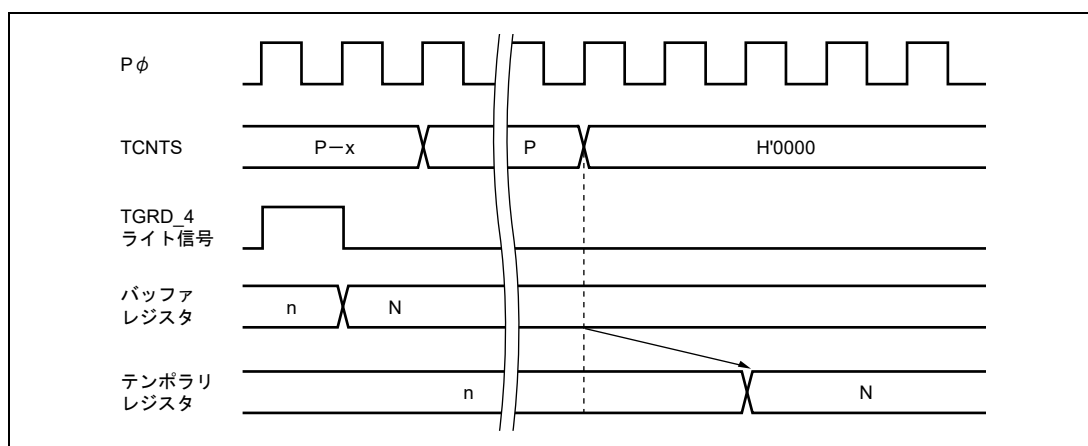


図 12.90 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

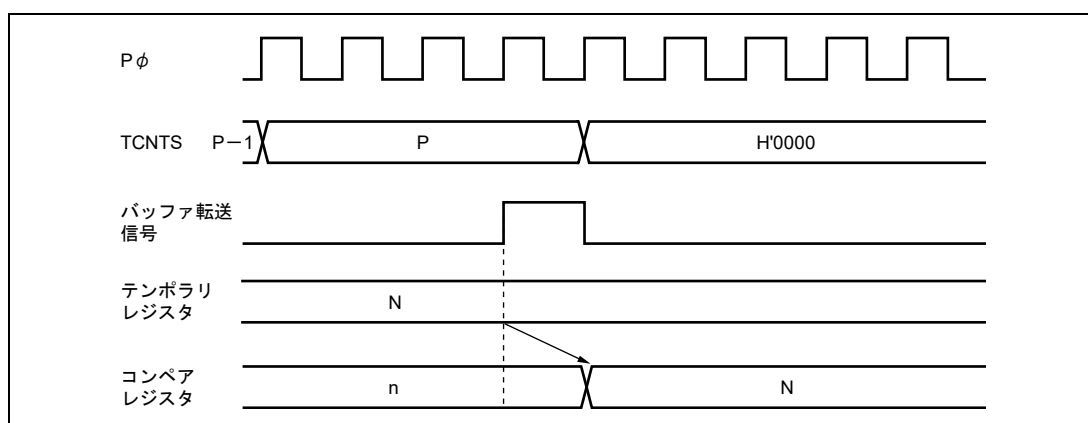


図 12.91 テンポラリレジスタからコンペアレジスタへの転送タイミング

12.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.92 に示します。

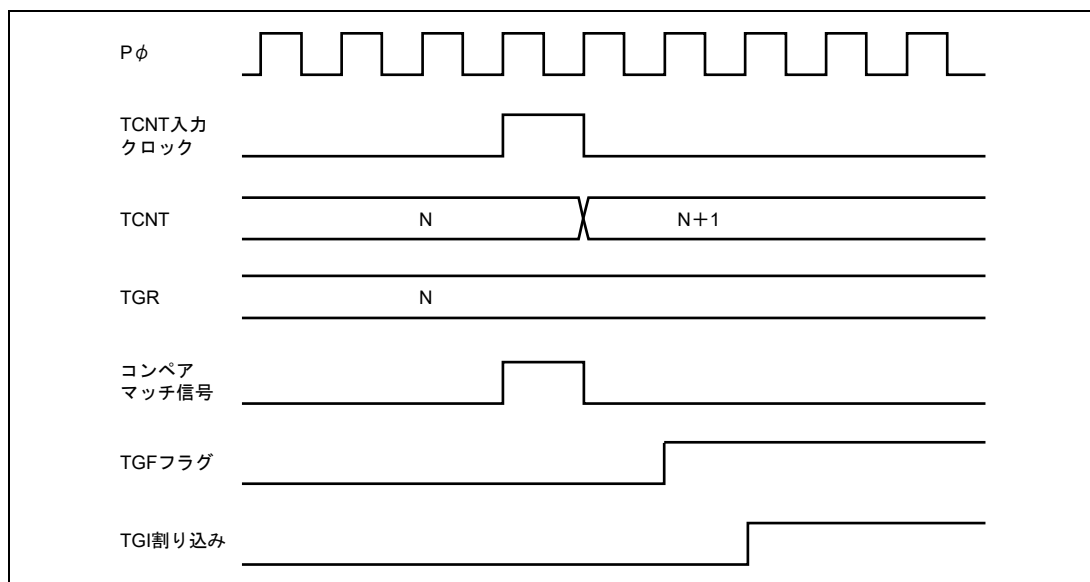


図 12.92 TGI 割り込みタイミング（コンペアマッチ）

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.93 に示します。

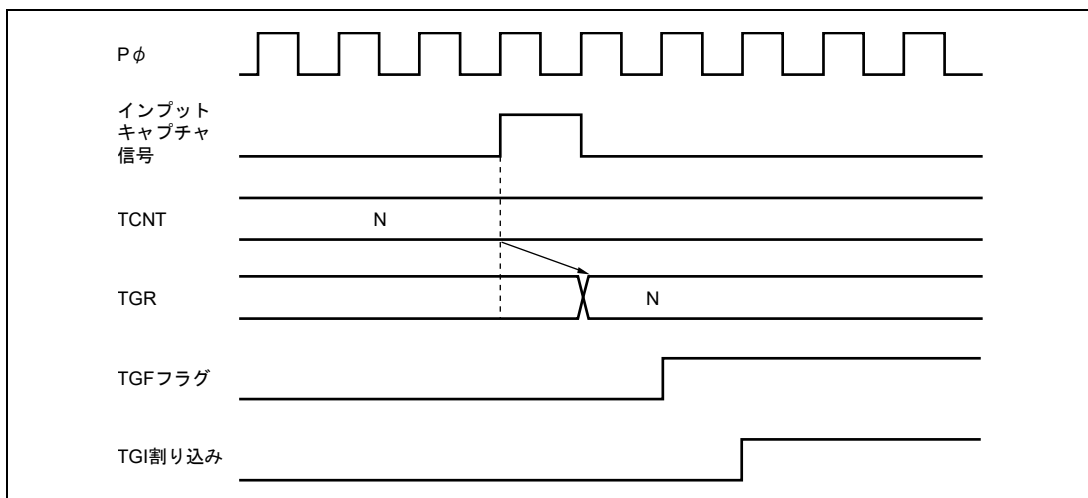


図 12.93 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 12.94 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 12.95 に示します。

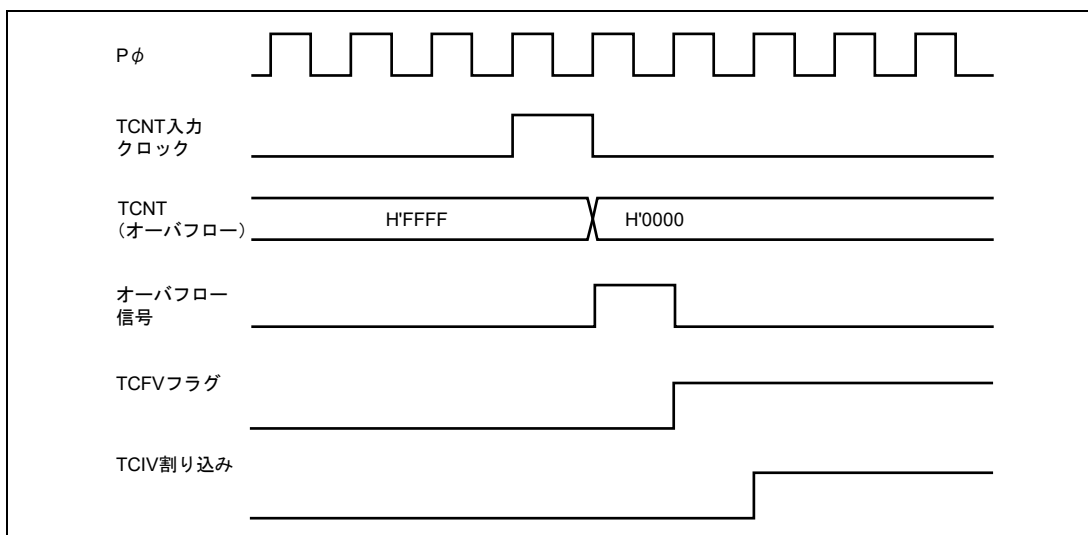


図 12.94 TCIV 割り込みのセットタイミング

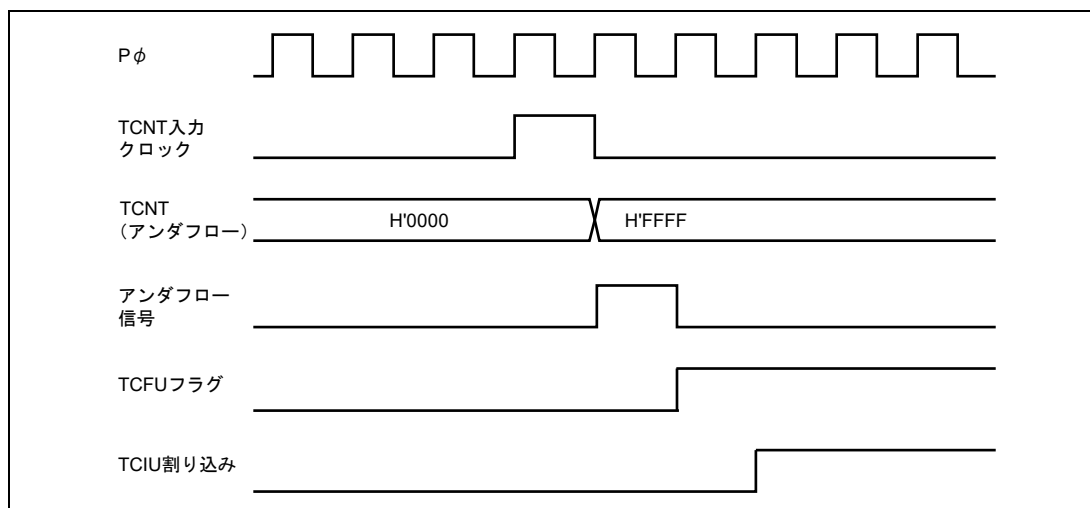


図 12.95 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。ダイレクトメモリアクセスコントローラを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図 12.96 に、ダイレクトメモリアクセスコントローラによるステータスフラグのクリアのタイミングを図 12.97 に示します。

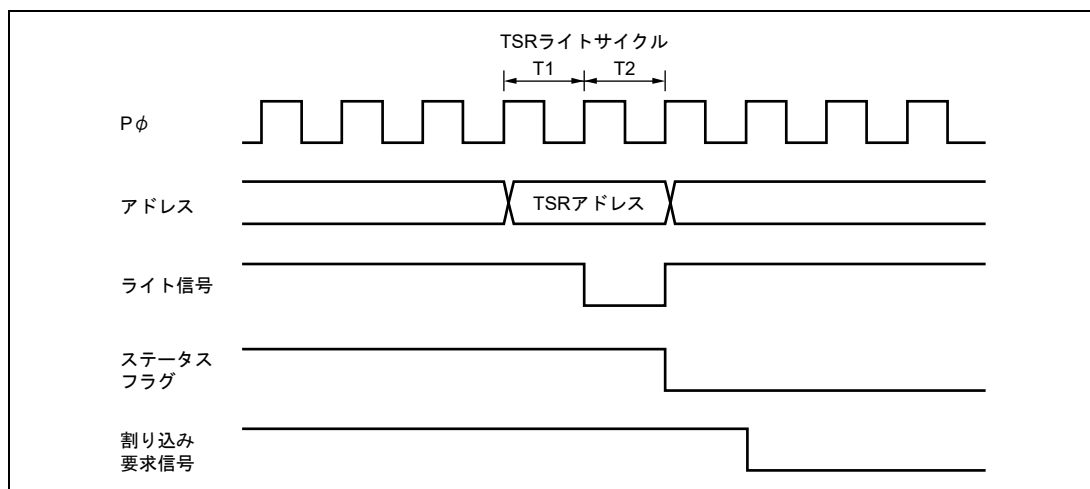


図 12.96 CPU によるステータスフラグのクリアタイミング

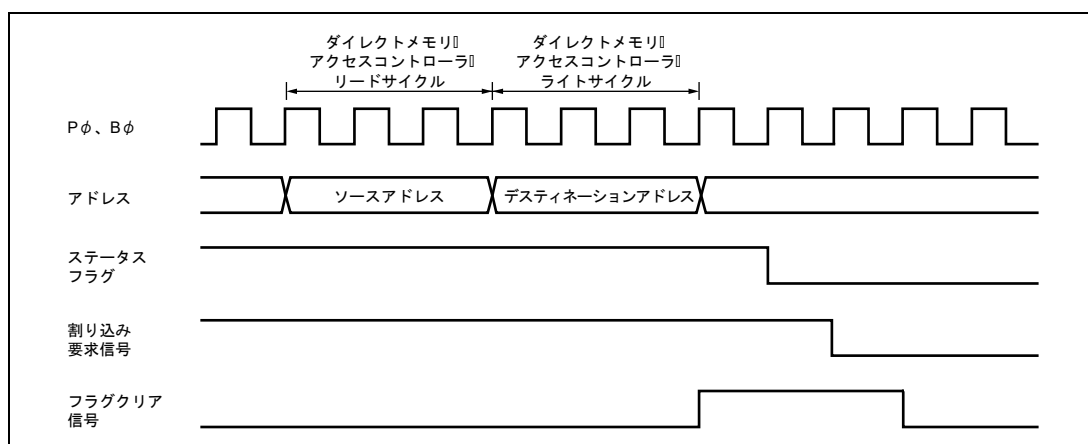


図 12.97 ダイレクトメモリアクセスコントローラの起動によるステータスフラグのクリアタイミング

12.7 使用上の注意事項

12.7.1 モジュールスタンバイモードの設定

本モジュールは、スタンバイコントロールレジスタにより、本モジュールの動作禁止／許可を設定することが可能です。初期値では、本モジュールの動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

12.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 12.98 に示します。

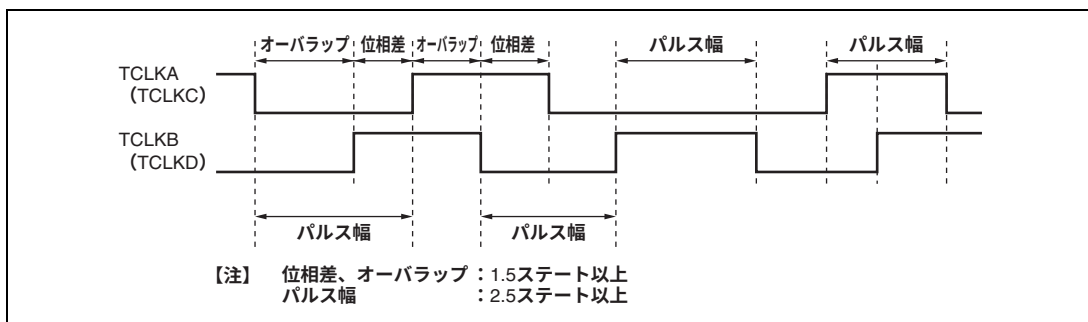


図 12.98 位相計数モード時の位相差、オーバーラップ、およびパルス幅

12.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

$P\phi$: 周辺クロック動作周波数

N : TGR の設定値

12.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 12.99 に示します。

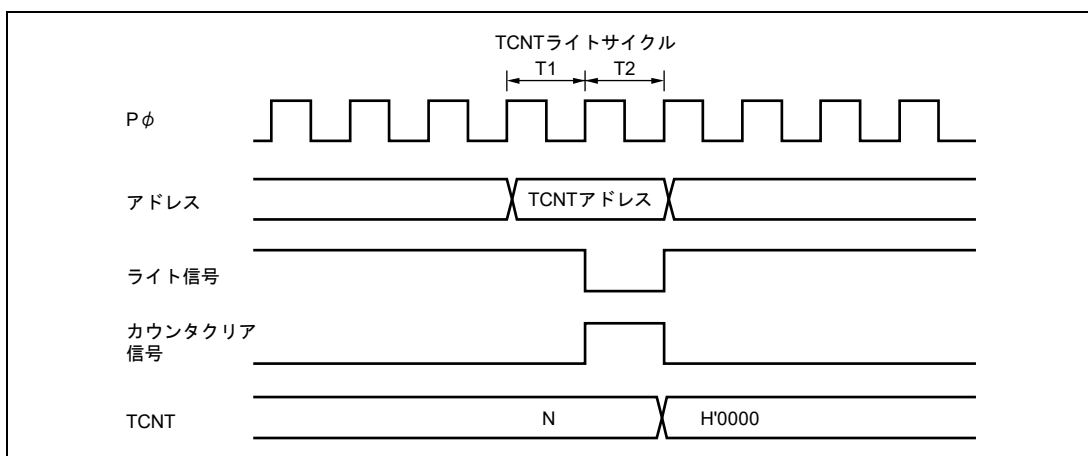


図 12.99 TCNT のライトとクリアの競合

12.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 12.100 に示します。

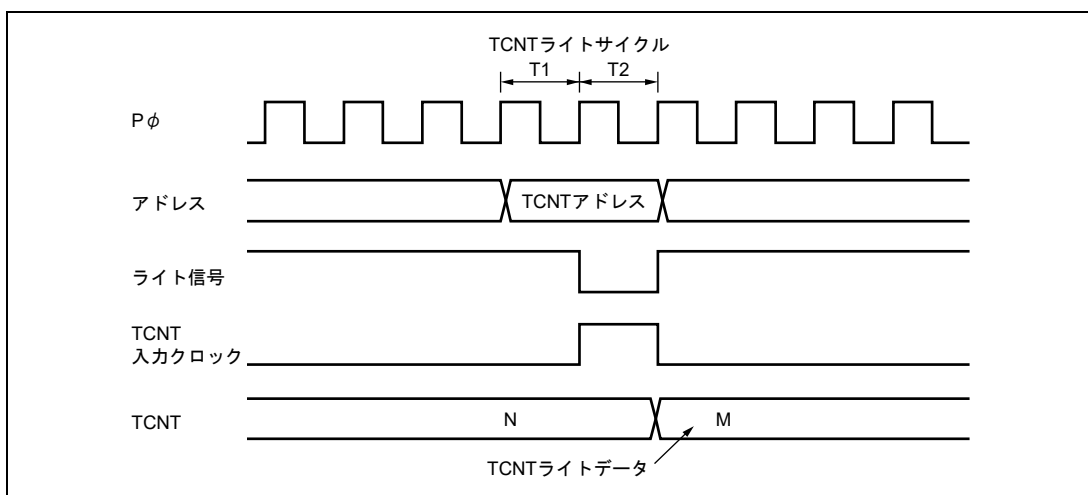


図 12.100 TCNT のライトとカウントアップの競合

12.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 12.101 に示します。

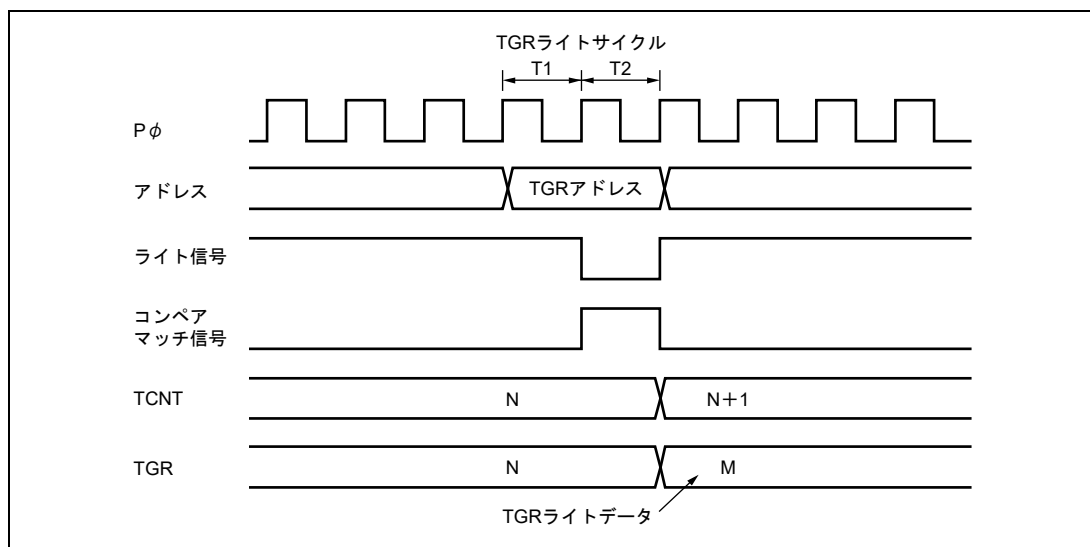


図 12.101 TGR のライトとコンペアマッチの競合

12.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 12.102 に示します。

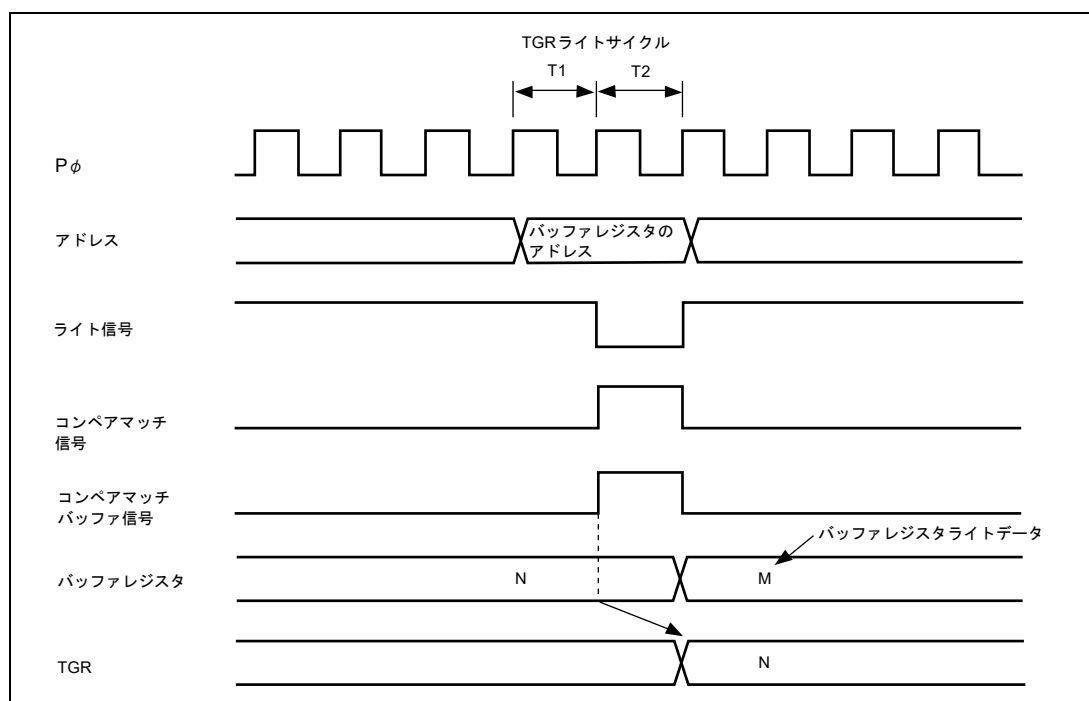


図 12.102 バッファレジスタのライトとコンペアマッチの競合

12.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 12.103 に示します。

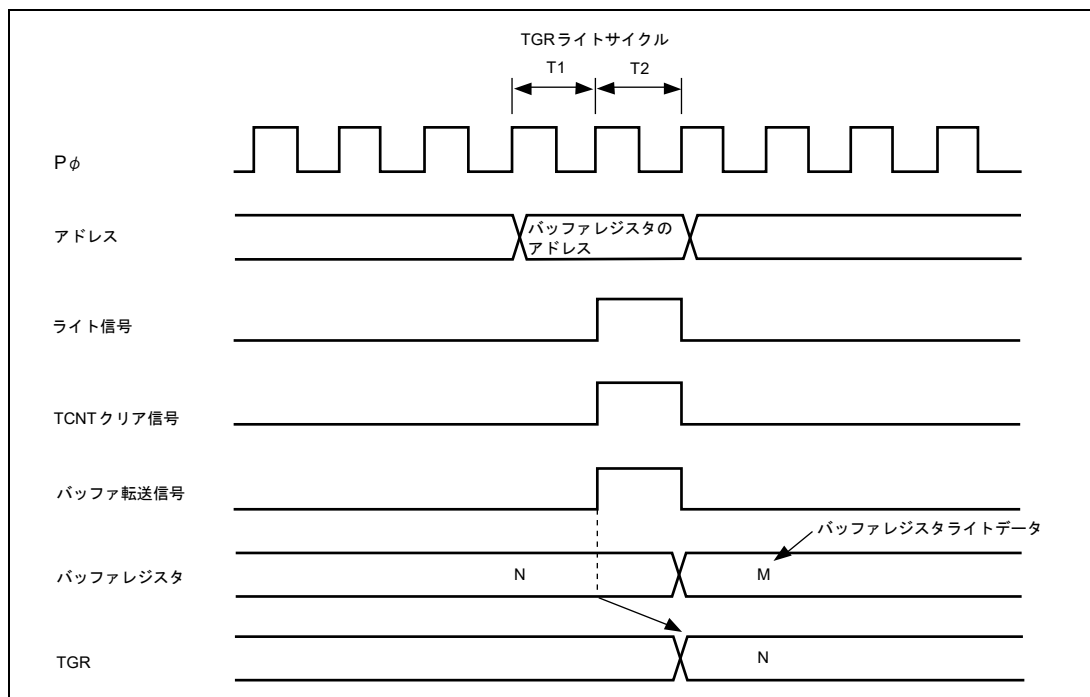


図 12.103 バッファレジスタのライトと TCNT クリアの競合

12.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 12.104 に示します。

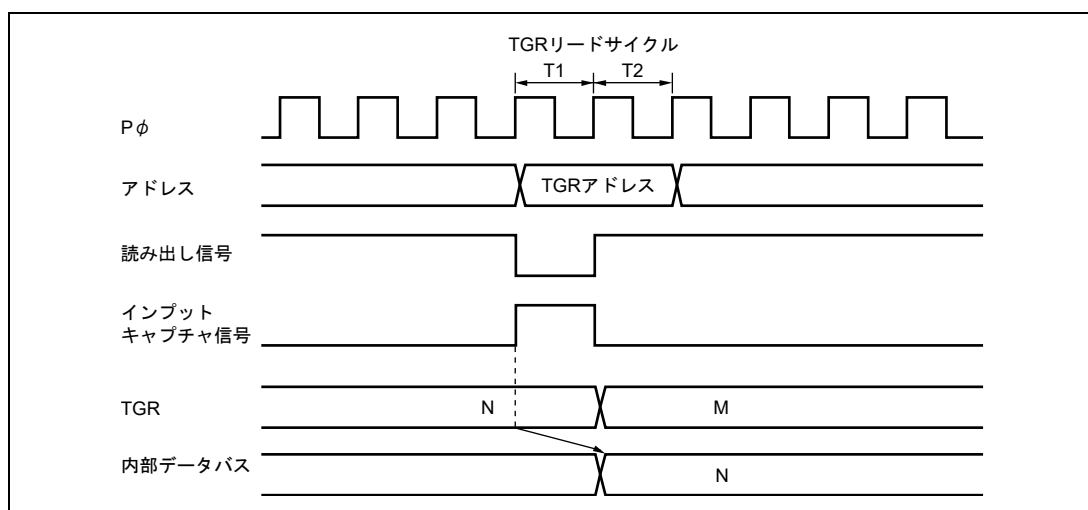


図 12.104 TGR のリードとインプットキャプチャの競合

12.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 12.105 に示します。

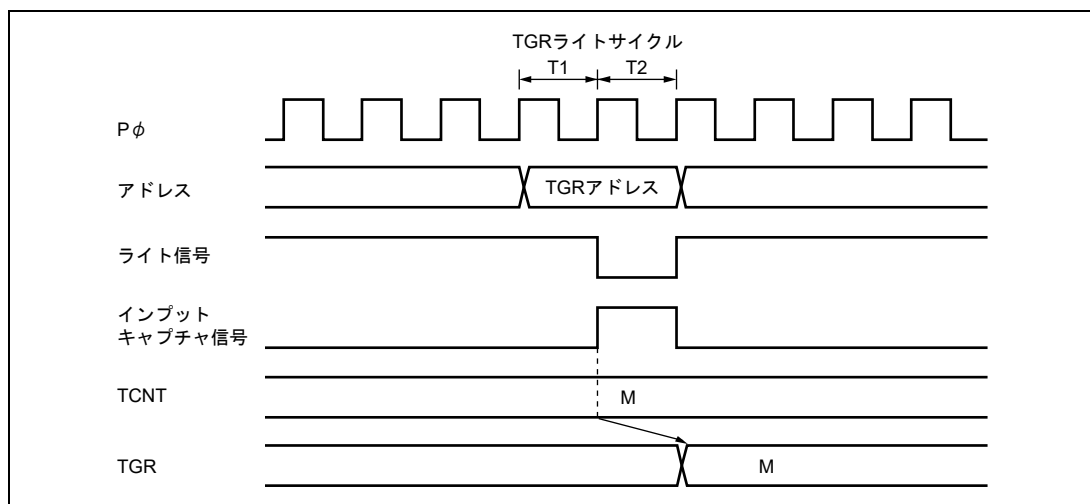


図 12.105 TGR のライトとインプットキャプチャの競合

12.7.11 バッファレジスタのライトとインプットキャプチャの競合

バッファのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 12.106 に示します。

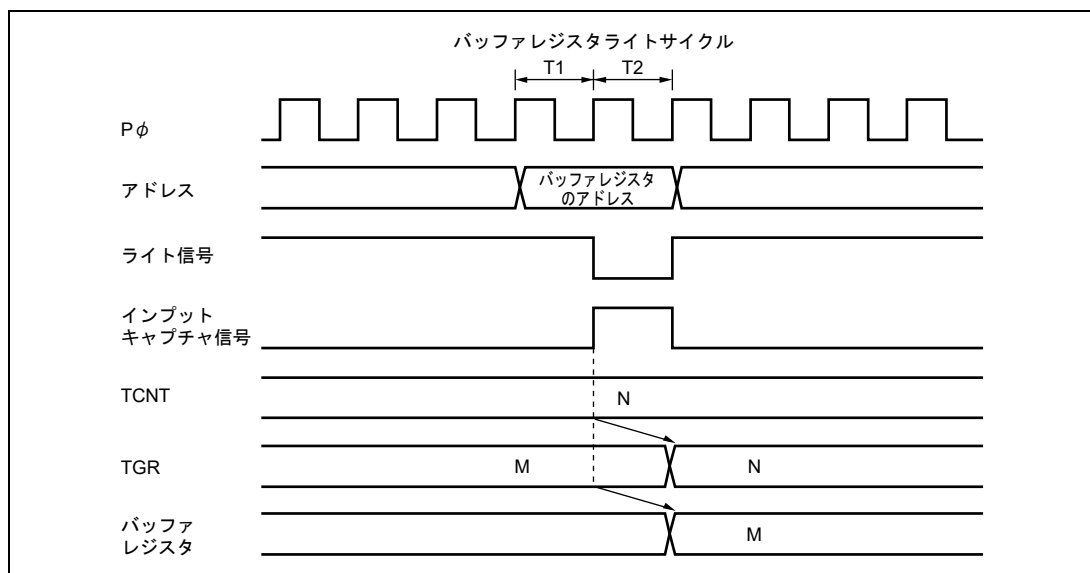


図 12.106 バッファレジスタのライトとインプットキャプチャの競合

12.7.12 カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー／アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 のインプットキャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0～D_0 はインプットキャプチャ動作します。さらに TGRB_1 のインプットキャプチャ要因に TGRC_0 のコンペアマッチ／インプットキャプチャを選択した場合には、TGRB_1 はインプットキャプチャ動作します。

このタイミングを図 12.107 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

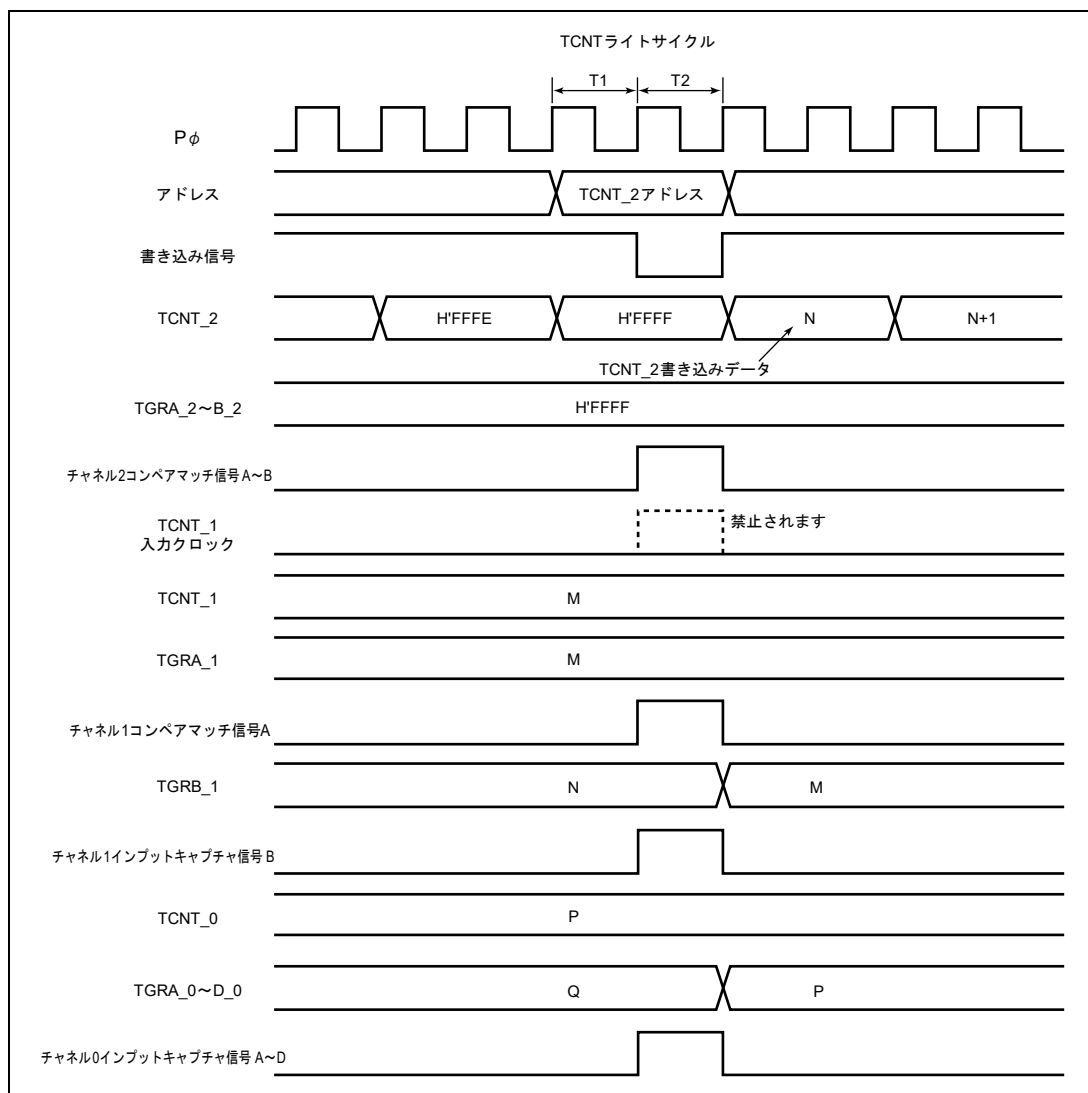


図 12.107 カスケード接続における TCNT_2 のライトとオーバーフロー／アンダフローの競合

12.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 12.108 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

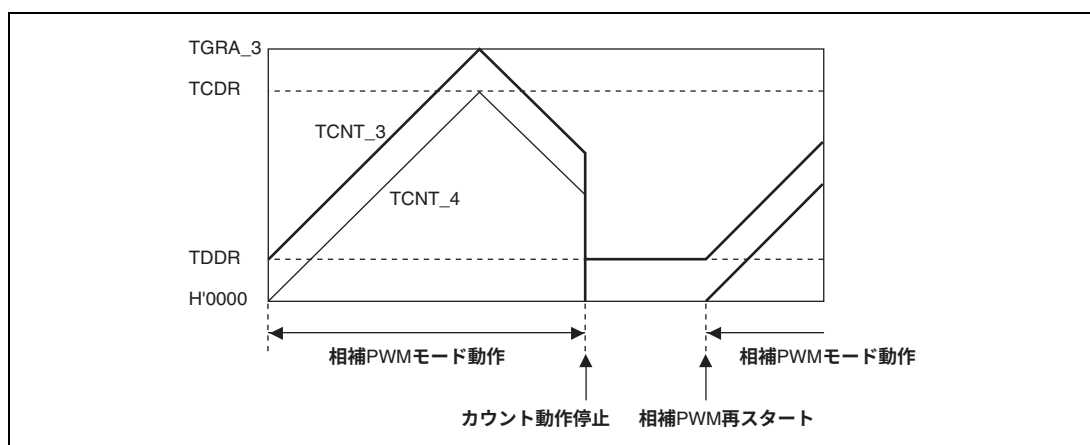


図 12.108 相補 PWM モード停止時のカウンタ値

12.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

12.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定するには、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 12.109 に示します。

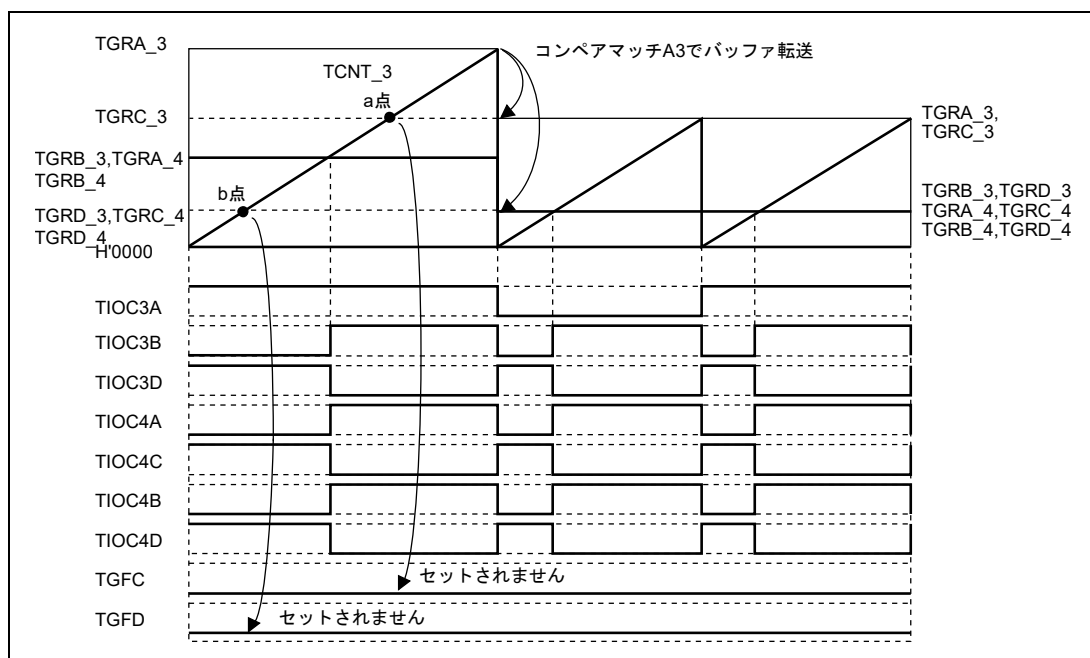


図 12.109 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

12.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 ともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 12.110 に示します。

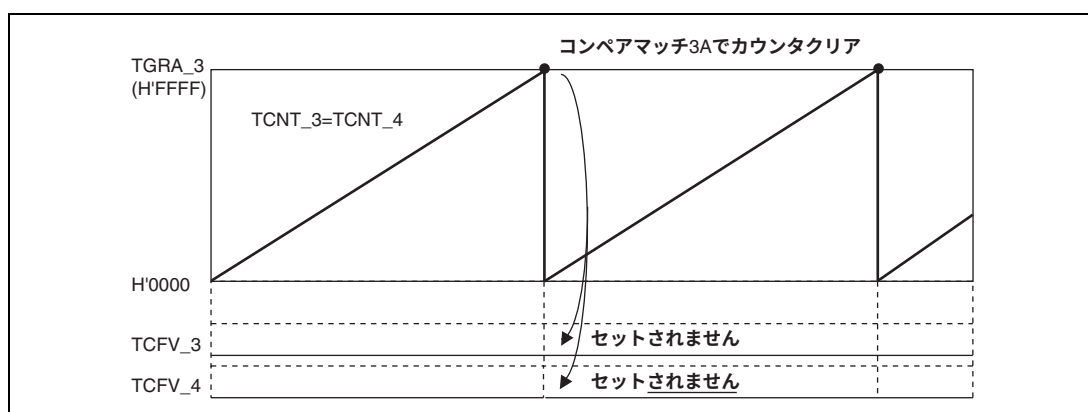


図 12.110 リセット同期 PWM モードのオーバーフローフラグ

12.7.17 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 12.111 に示します。

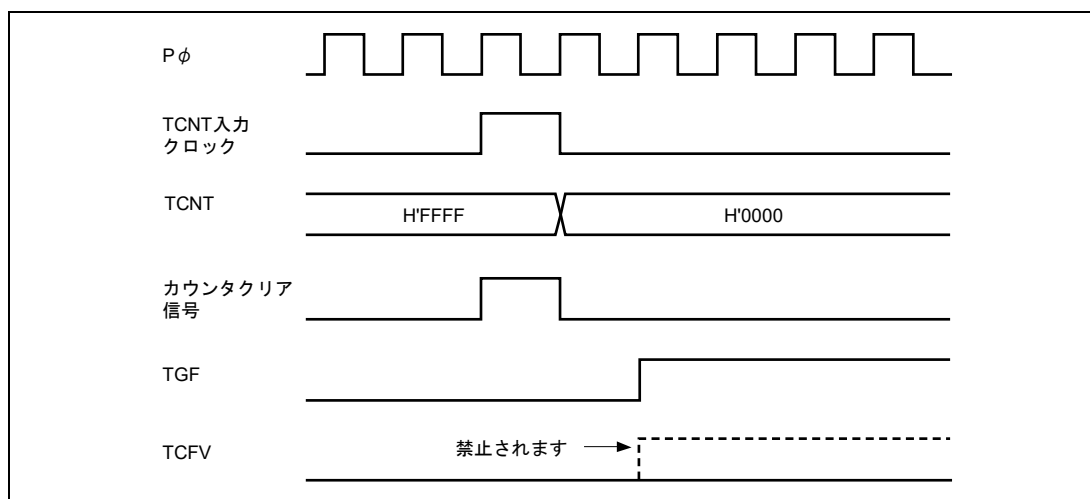


図 12.111 オーバフローとカウンタクリアの競合

12.7.18 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 12.112 に示します。

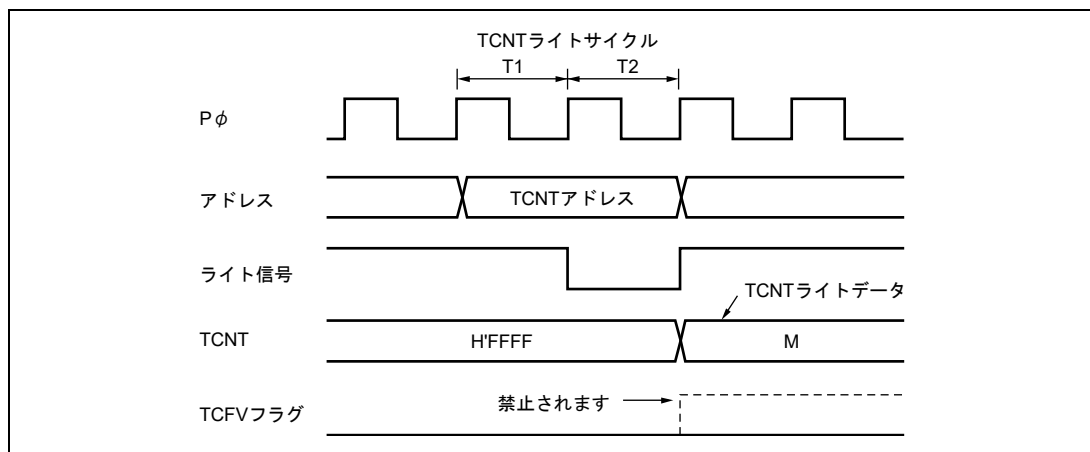


図 12.112 TCNT のライトとオーバフローの競合

12.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3,4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

12.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIOHはH'00としてください。

12.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはダイレクトメモリアクセスコントローラの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ1、2(TCNT_1とTCNT_2)をカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1AとTIOC2A、またはTIOC1BとTIOC2Bに同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、またはTIOC1BとTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1(上位16ビットのカウンタ)がTCNT_2(下位16ビットのカウンタ)のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはTCNT_1=H'FFF1、TCNT_2=H'0000の値をTGRA_1とTGRA_2、もしくはTGRB_1とTGRB_2に転送すべきところを誤ってTCNT_1=H'FFF0、TCNT_2=H'0000の値を転送します。

12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効 (TWCR レジスタの WRE=1) とした状態で、条件 (1)、条件 (2) のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる (もしくは消失)。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件 (1) 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアする (図 12.113)。

条件 (2) 初期出力の抑止期間⑩、⑪にて、 $TGRB_3 \leq TDDR$ 、 $TGRA_4 \leq TDDR$ 、 $TGRB_4 \leq TDDR$ のいずれかが成立する状態で、同期クリアする (図 12.114)。

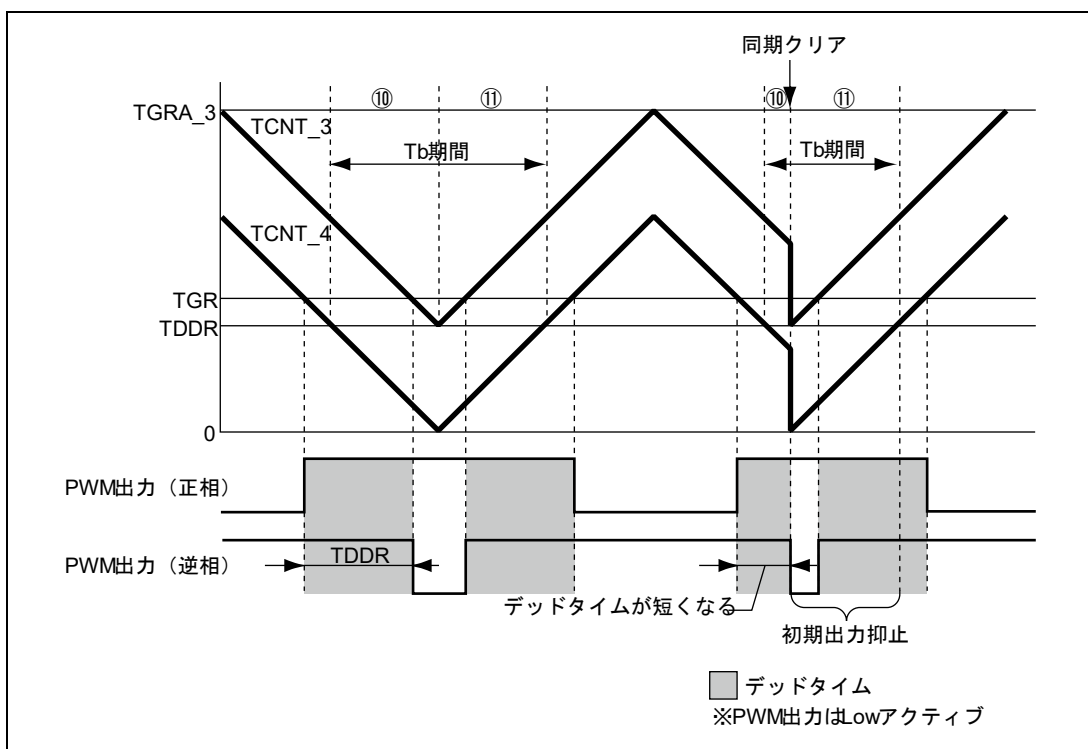


図 12.113 条件 (1) の同期クリア例

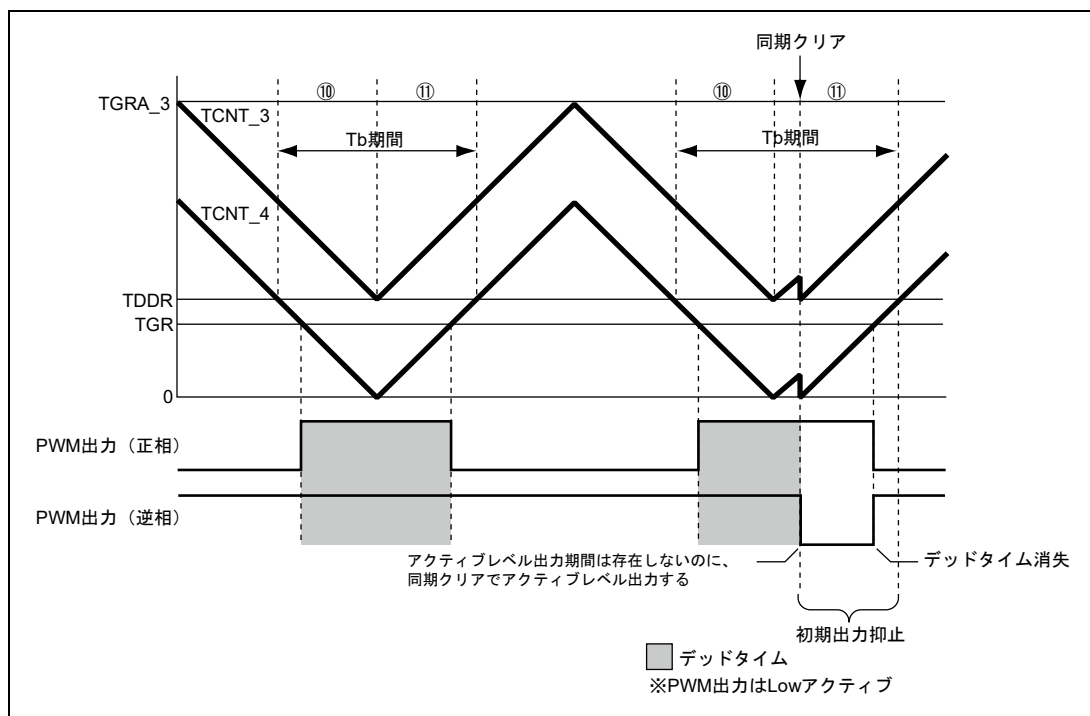


図 12.114 条件 (2) の同期クリア例

本現象は下記の方法により、回避することができます。

コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

12.7.24 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- TADCOBRA/B_4に0、かつ、TADCRのUT4AE、UT4BEビットに1を設定して、TCNT_4の谷でバッファ転送した時、転送直後のアップカウント期間についてはA/D変換の開始要求を行いません（図12.115）。
- TADCOBRA/B_4にTCDRと同じ値、かつ、TADCRのDT4AE、DT4BEビットに1を設定して、TCNT_4の山でバッファ転送した時、転送直後のダウンカウント期間についてはA/D変換の開始要求を行いません（図12.116）。
- 割り込み間引き機能と連動してA/D変換の開始要求を行う場合、 $2 \leq \text{TADCORA/B\_4} \leq \text{TCDR}-2$ を満たすようにTADCORA/B_4を設定してください。

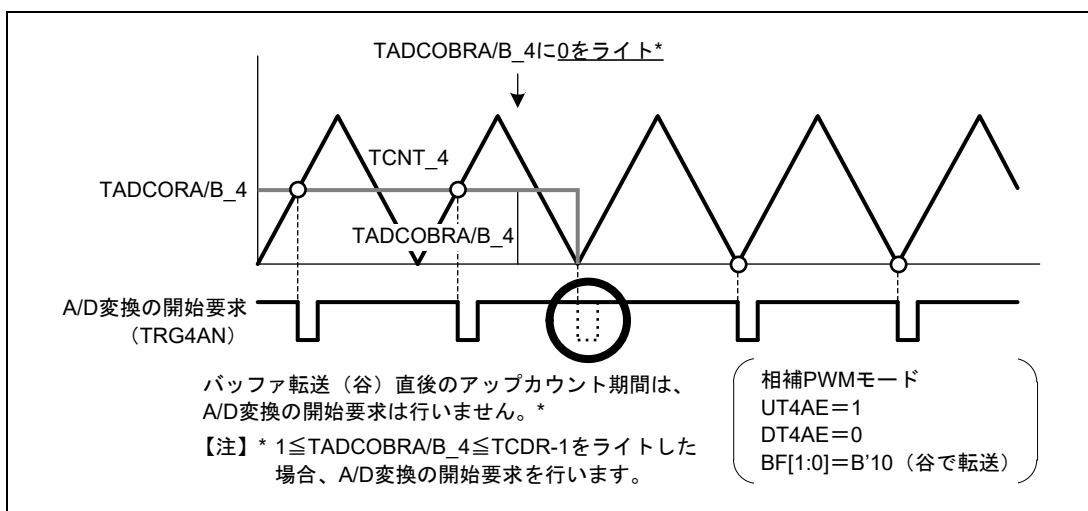


図 12.115 TADCOBRA/B_4 に 0 をライトした時の A/D 変換の開始要求

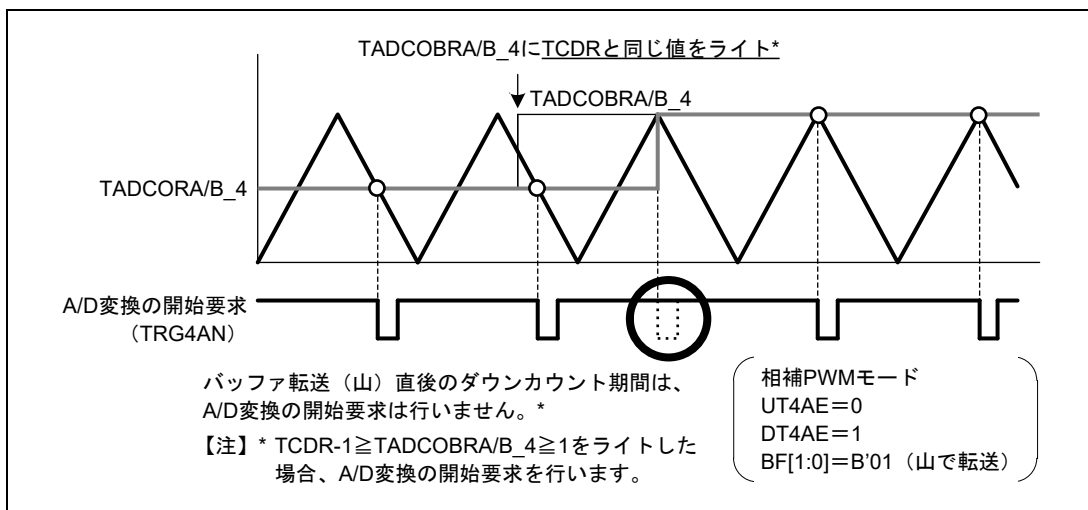


図 12.116 TADCOBRA/B_4 に TCDR と同じ値をライトした時の A/D 変換の開始要求

12.8 マルチファンクションタイマパルスユニット 2 出力端子の初期化方法

12.8.1 動作モード

本モジュールには以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（チャンネル0～4）
- PWMモード1（チャンネル0～4）
- PWMモード2（チャンネル0～2）
- 位相計数モード1～4（チャンネル1、2）
- 相補PWMモード（チャンネル3、4）
- リセット同期PWMモード（チャンネル3、4）

ここでは、各モードでの本モジュール出力端子の初期化方法について示します。

12.8.2 リセットスタート時の動作

本モジュールの出力端子（TIOC*）はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。本モジュールの端子機能の選択は汎用入出力ポートで行うため、汎用入出力ポートが設定された時点でそのときの本モジュールの端子の状態がポートに出力されます。リセット直後に汎用入出力ポートで本モジュールの出力を選択した場合、ポート出力には本モジュール出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、汎用入出力ポートの設定は本モジュールの出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

12.8.3 動作中の異常などによる再設定時の動作

本モジュールの動作中に異常が発生した場合、システムで本モジュールの出力を遮断してください。遮断は端子の出力を汎用入出力ポートでポート出力に切り替え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

本モジュールには前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 12.57 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 12.57 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

12.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインエーブルレジスタ (TOER) でチャンネル3、4を一度出力禁止としてください。その後モード設定手順 (TOCR設定、TMDR設定、TOER設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 12.57 の組み合わせ No.に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.117 に示します。

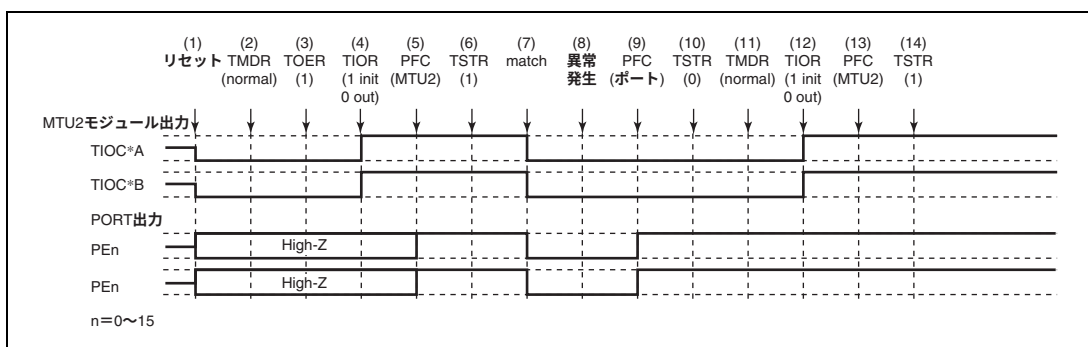


図 12.117 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- リセットにより TMDR はノーマルモード設定になります。
- チャンネル3、4では TIOR で端子を初期化する前に TOER で出力を許可してください。
- TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- 汎用入出力ポートで本モジュール出力としてください。
- TSTR でカウント動作を開始します。
- コンペアマッチの発生によりローレベルを出力します。
- 異常が発生しました。
- 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- TSTR でカウント動作を停止します。
- ノーマルモードで再スタートする場合は必要ありません。
- TIOR で端子を初期化してください。
- 汎用入出力ポートで本モジュール出力としてください。
- TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.118 に示します。

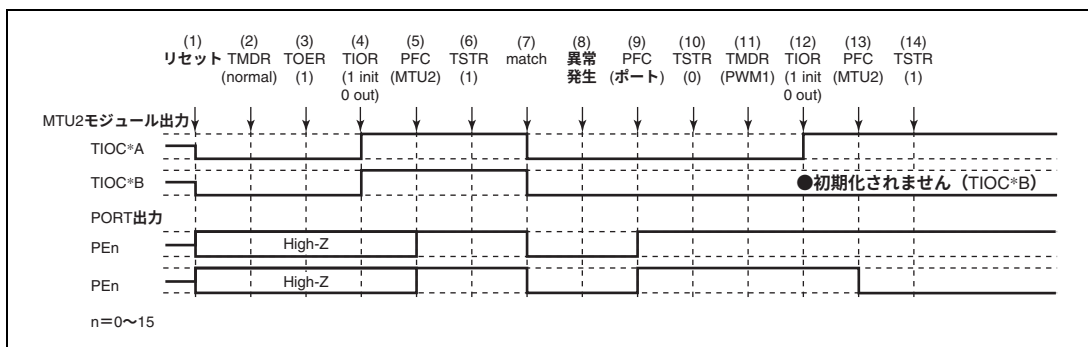


図 12.118 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.117 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.119 に示します。

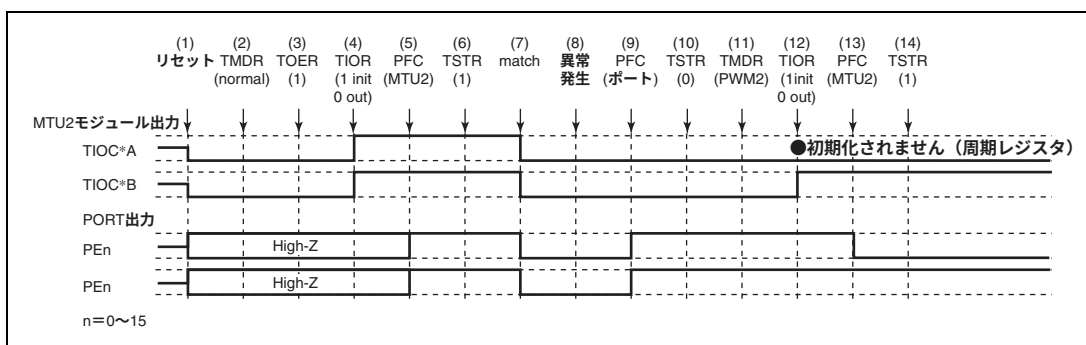


図 12.119 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (10) は図 12.117 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再起動する場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 12.120 に示します。

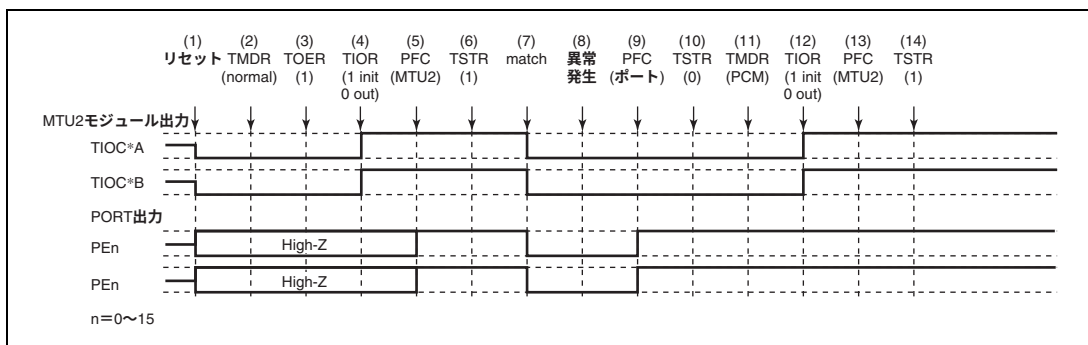


図 12.120 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ～ (10) は図 12.117 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再起動します。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.121 に示します。

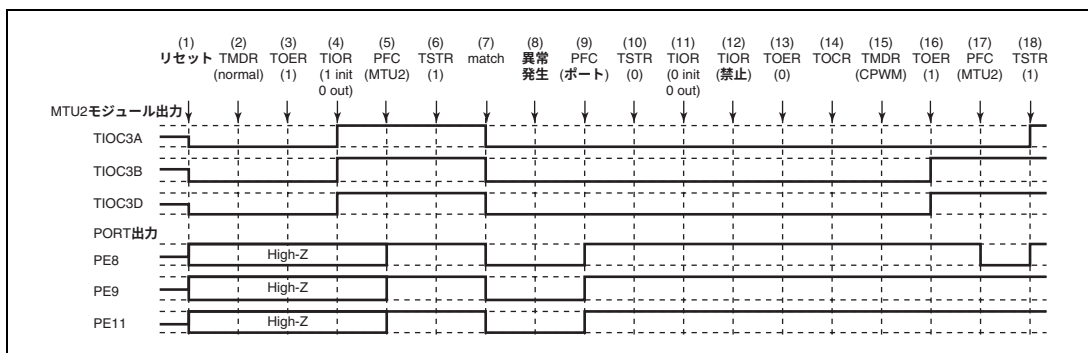


図 12.121 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ～ (10) は図 12.117 と共通です。
- (11) TIOR でノーマルモードの波形生成部を初期化してください。
- (12) TIOR でノーマルモードの波形生成部の動作を禁止してください。
- (13) TOER でチャンネル 3、4 の出力を禁止してください。
- (14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) 汎用入出力ポートで本モジュール出力としてください。
- (18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図

12.122 に示します。

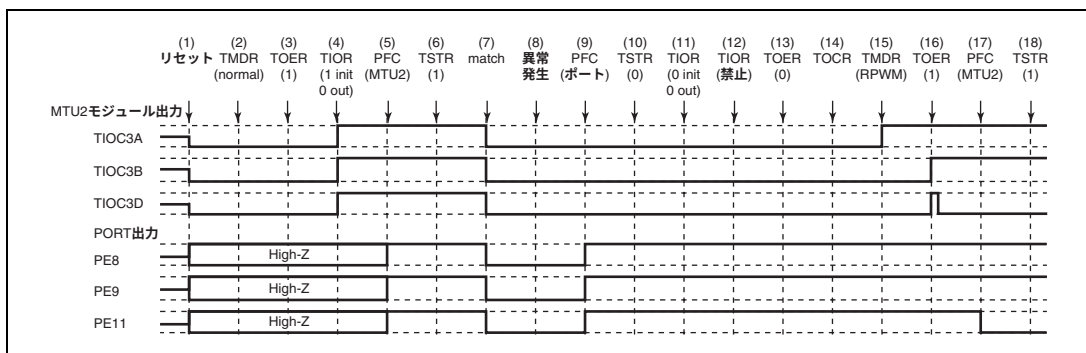


図 12.122 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (13) は図 12.117 と共通です。

(14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) 汎用入出力ポートで本モジュール出力としてください。

(18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.123 に示します。

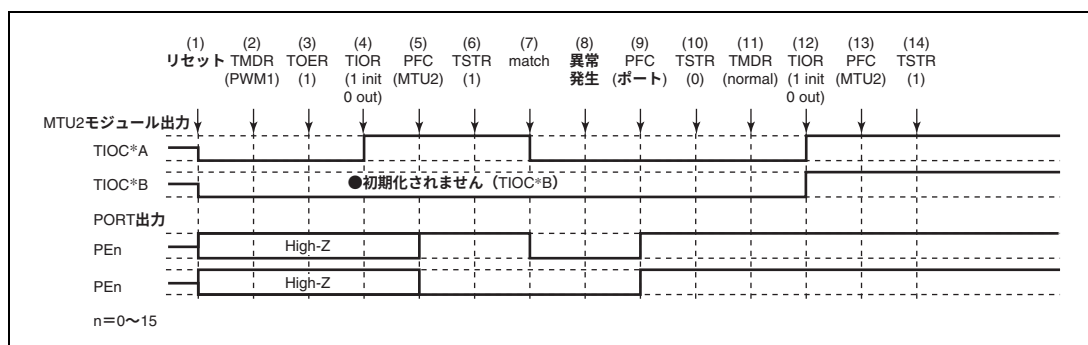


図 12.123 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください（例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 1 では TIOC*B 側は初期化されません）。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.124 に示します。

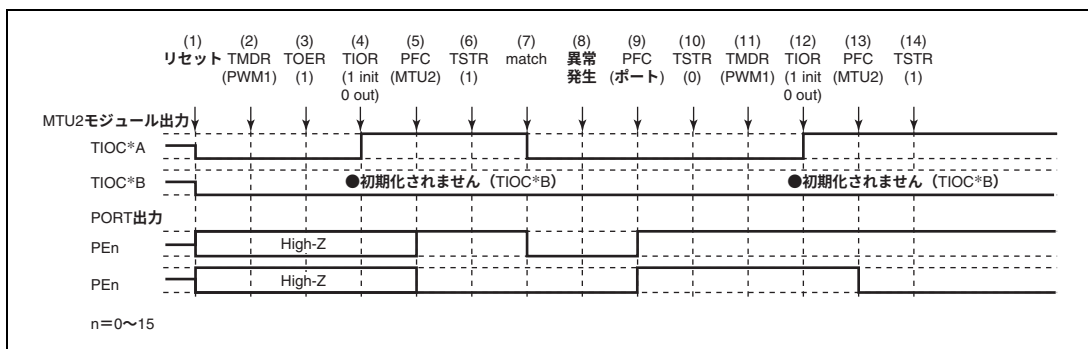


図 12.124 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 12.123 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.125 に示します。

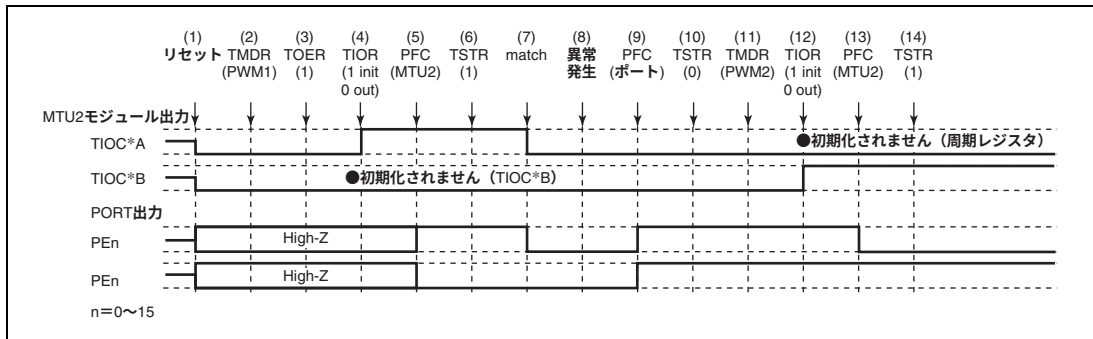


図 12.125 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.123 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.126 に示します。

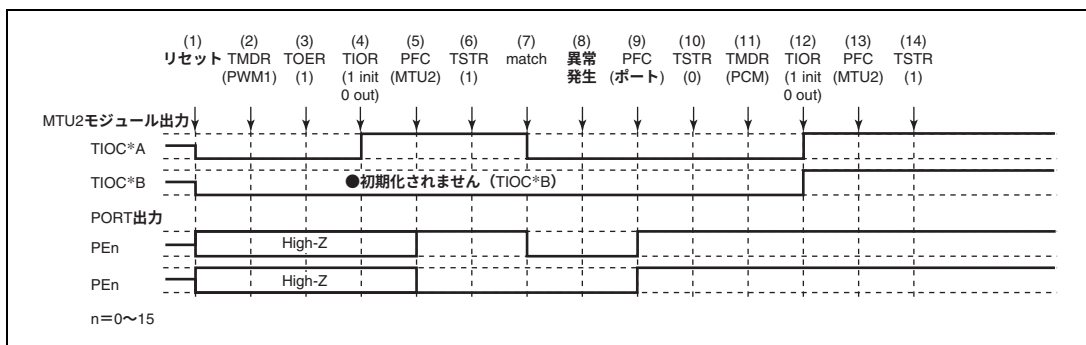


図 12.126 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 12.123 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.127 に示します。

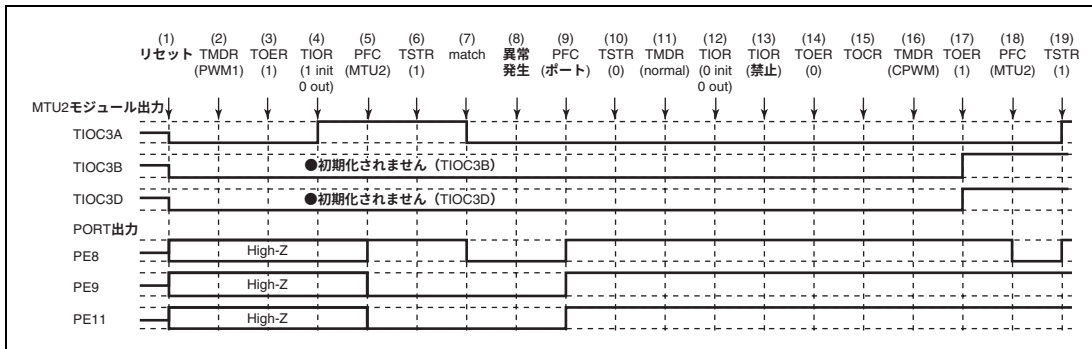


図 12.127 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

- (1) ～ (10) は図 12.123 と共通です。
- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR で PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOER でチャンネル 3、4 の出力を禁止してください。
- (15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) 汎用入出力ポートで本モジュール出力としてください。
- (19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.128 に示します。

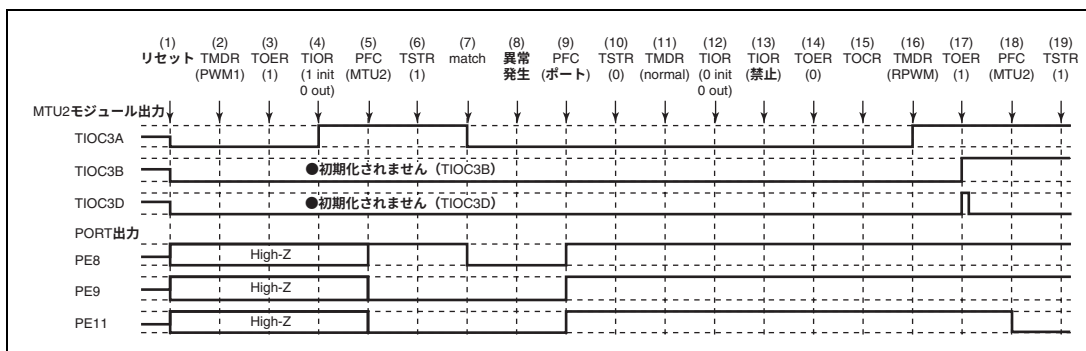


図 12.128 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (14) は図 12.127 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) 汎用入出力ポートで本モジュール出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.129 に示します。

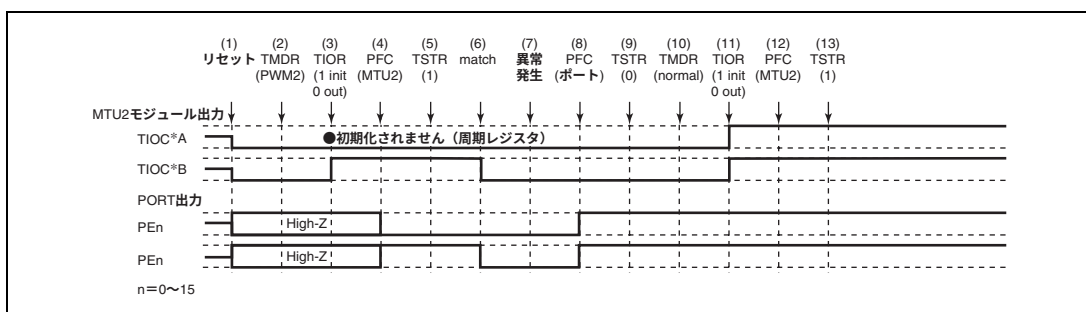


図 12.129 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) 汎用入出力ポートで本モジュール出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.130 に示します。

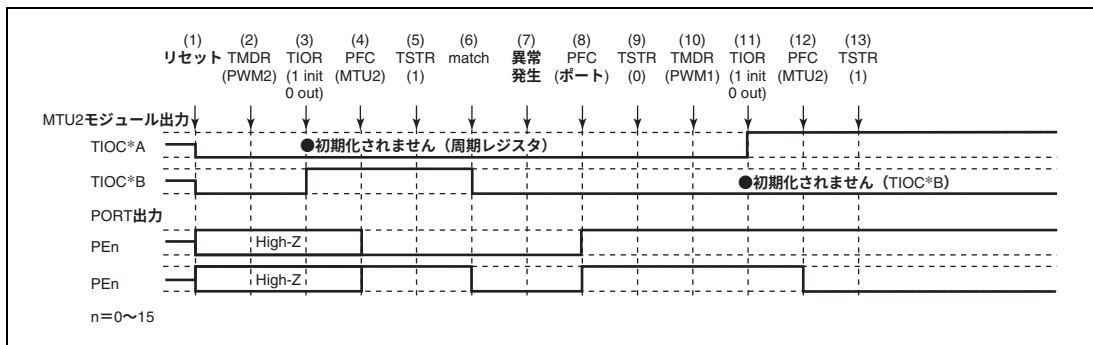


図 12.130 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.129 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) 汎用入力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.131 に示します。

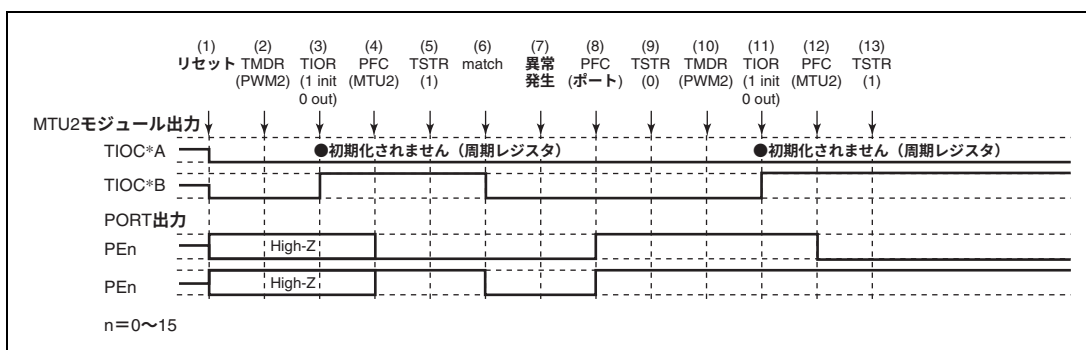


図 12.131 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

- (1) ～ (9) は図 12.129 と共通です。
- (10) PWM モード 2 で再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.132 に示します。

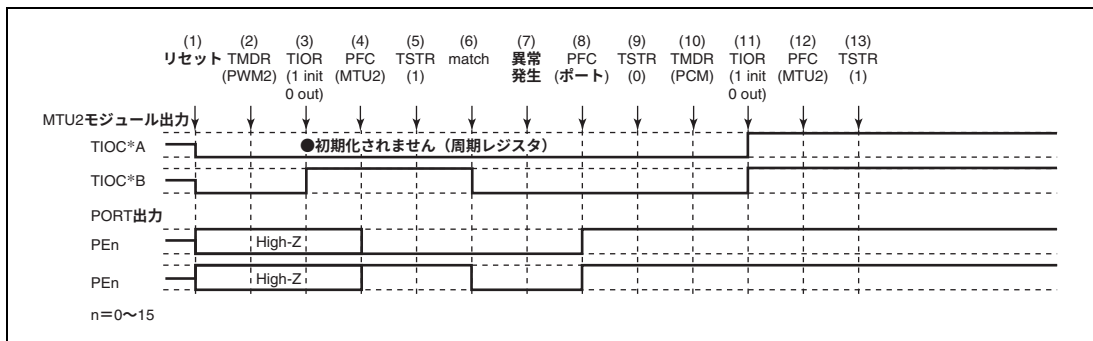


図 12.132 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 12.129 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.133 に示します。

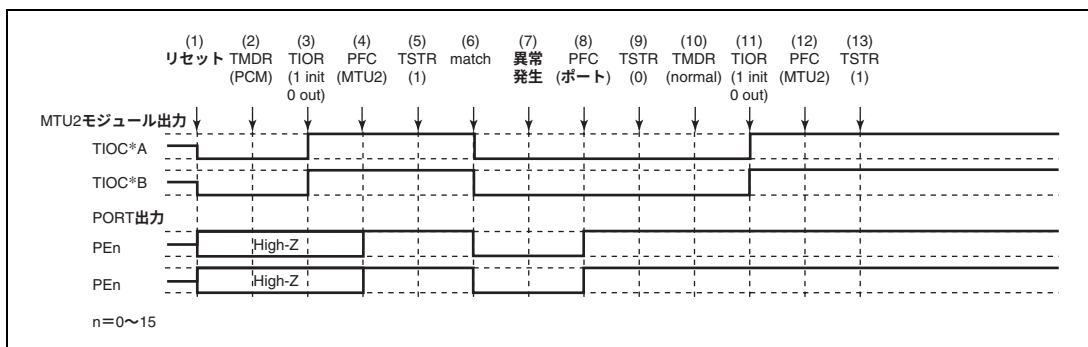


図 12.133 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) 汎用入出力ポートで本モジュール出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.134 に示します。

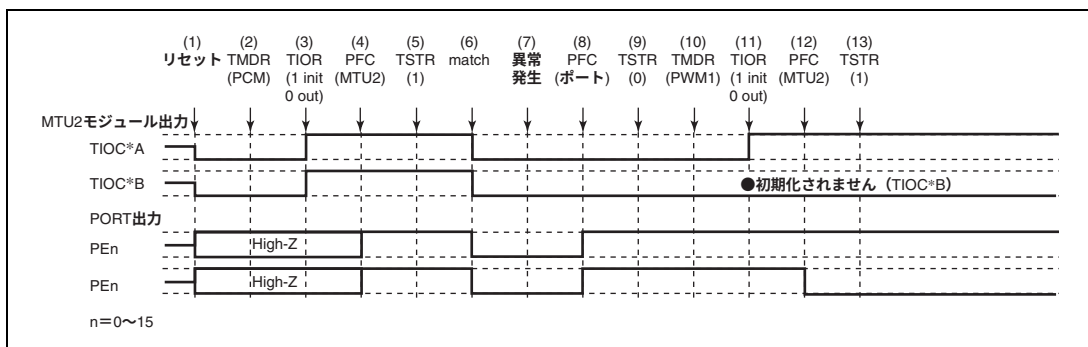


図 12.134 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 12.133 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) 汎用入力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 12.135 に示します。

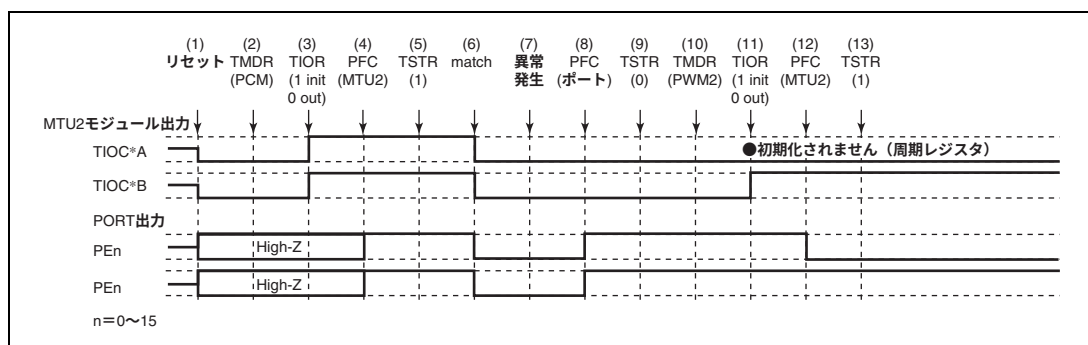


図 12.135 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 12.133 と共通です。
- (10) PWM モード 2 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
- (12) 汎用出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.136 に示します。

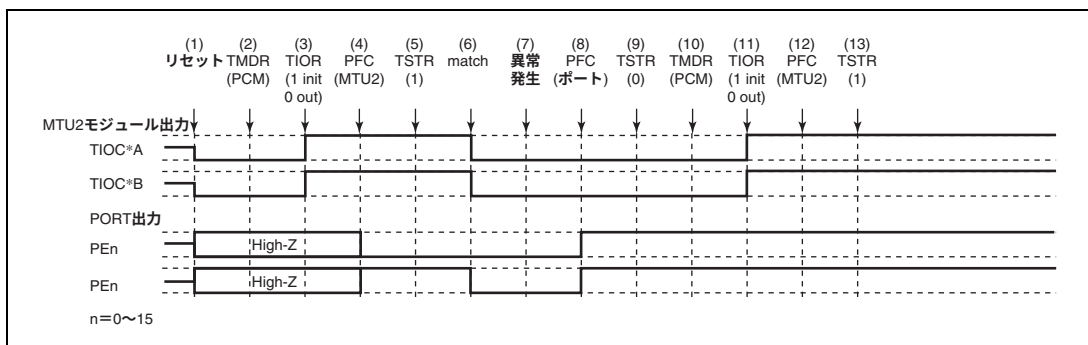


図 12.136 位相計数モードで異常が発生し、位相計数モードで復帰する場合

- (1) ～ (9) は図 12.133 と共通です。
- (10) 位相計数モードで再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) 汎用出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.137 に示します。

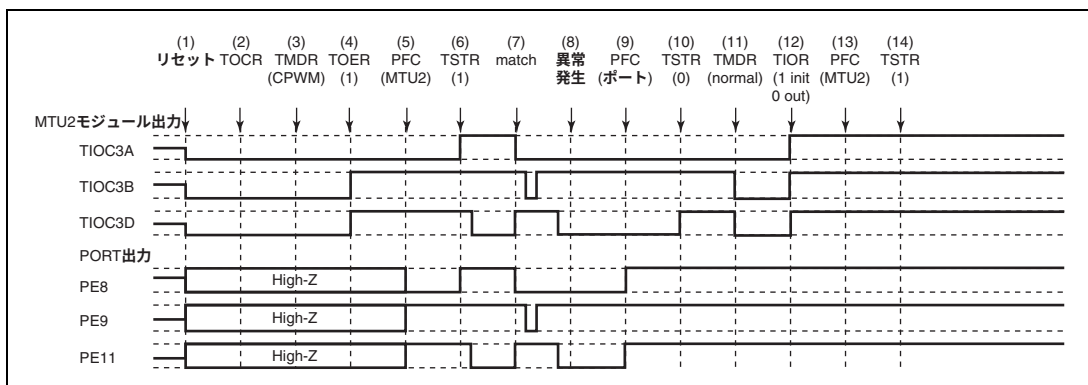


図 12.137 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャネル 3、4 の出力を許可してください。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します（本モジュール出力は相補 PWM 出力初期値となります）。
- (11) ノーマルモードを設定してください（本モジュール出力はローレベルとなります）。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.138 に示します。

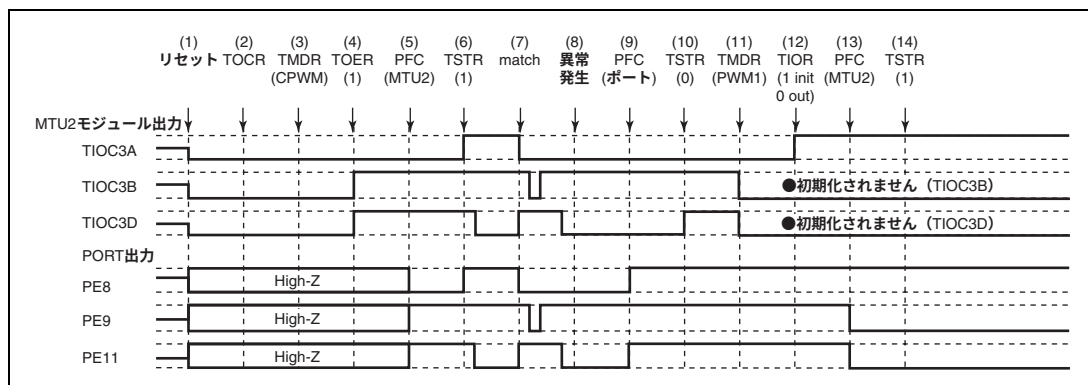


図 12.138 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 12.137 と共通です。

(11) PWM モード 1 を設定してください（本モジュール出力はローレベルとなります）。

(12) TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.139 に示します（周期、デューティ設定をカウンタを止めた時の値から再スタートする場合）。

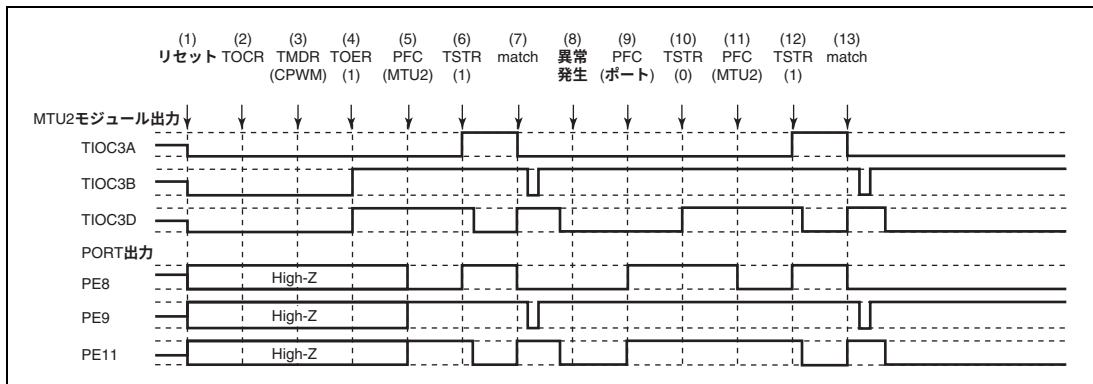


図 12.139 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ～ (10) は図 12.137 と共通です。
- (11) 汎用入出力ポートで本モジュール出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.140 に示します（周期、デューティ設定を全く新しい設定値で再スタートする場合）。

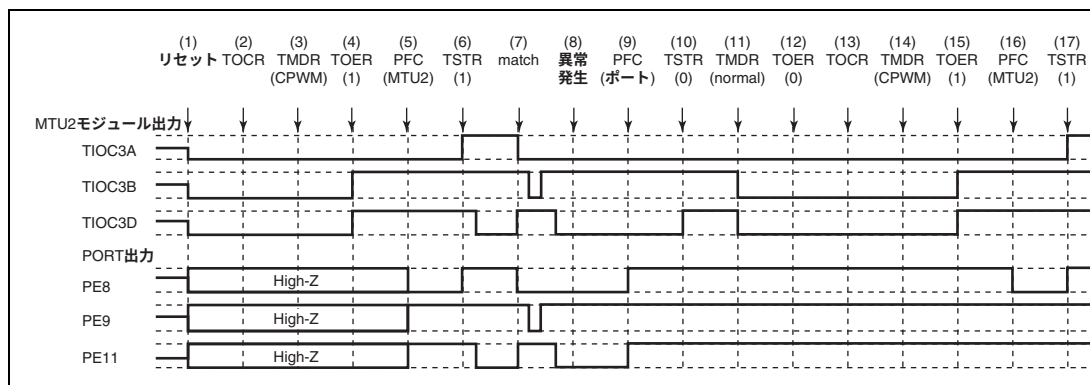


図 12.140 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ～ (10) は図 12.137 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください（本モジュール出力はローレベルとなります）。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) 汎用入出力ポートで本モジュール出力としてください。
- (17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.141 に示します。

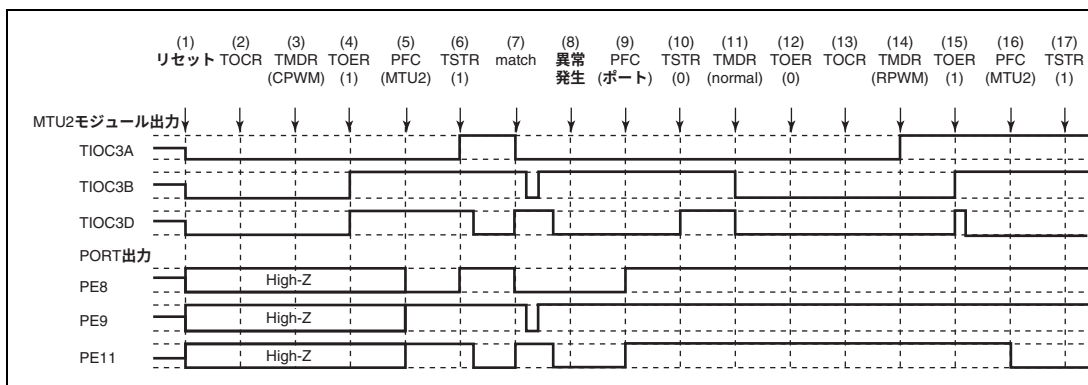


図 12.141 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ～ (10) は図 12.137 と共通です。
- (11) ノーマルモードを設定してください（本モジュール出力はローレベルとなります）。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) 汎用入出力ポートで本モジュール出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.142 に示します。

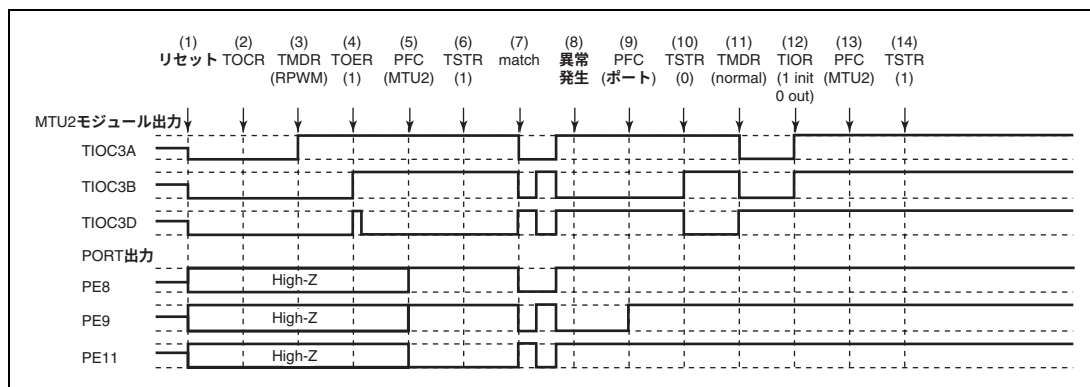


図 12.142 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャネル 3、4 の出力を許可してください。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します（本モジュール出力はリセット同期 PWM 出力初期値となります）。
- (11) ノーマルモードを設定してください（本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります）。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.143 に示します。

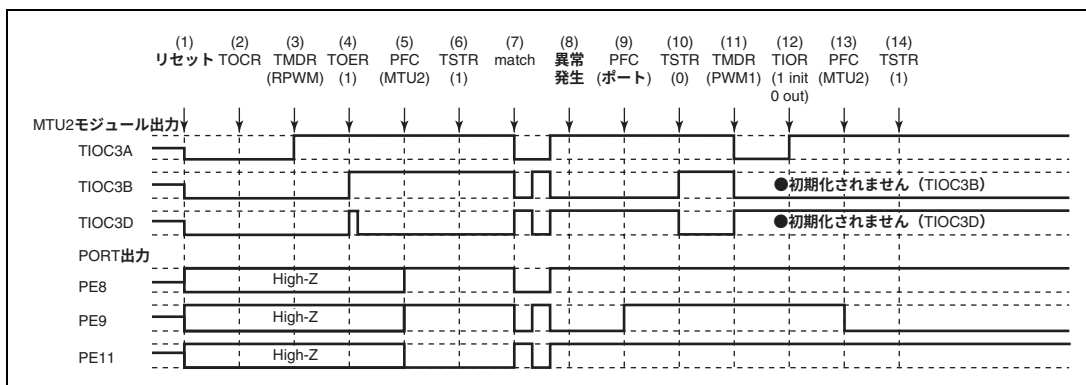


図 12.143 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 12.142 と共通です。

(11) PWM モード 1 を設定してください（本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります）。

(12) TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.144 に示します。

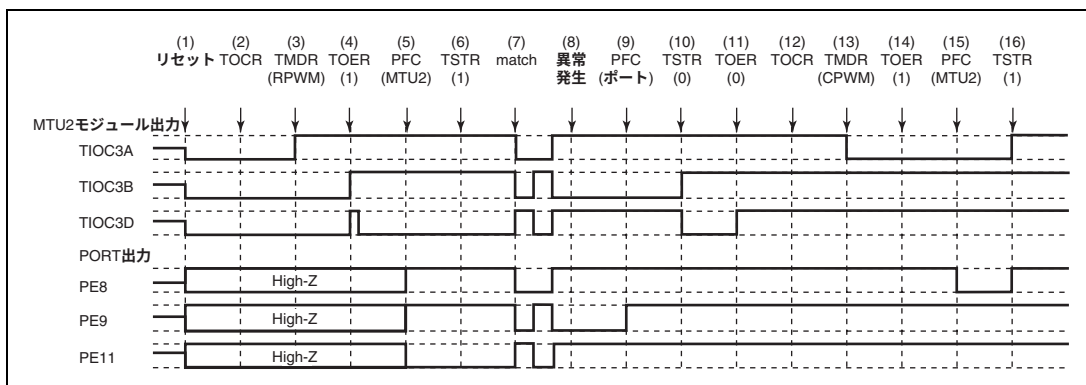


図 12.144 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ～ (10) は図 12.142 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (本モジュールの周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) 汎用入出力ポートで本モジュール出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.145 に示します。

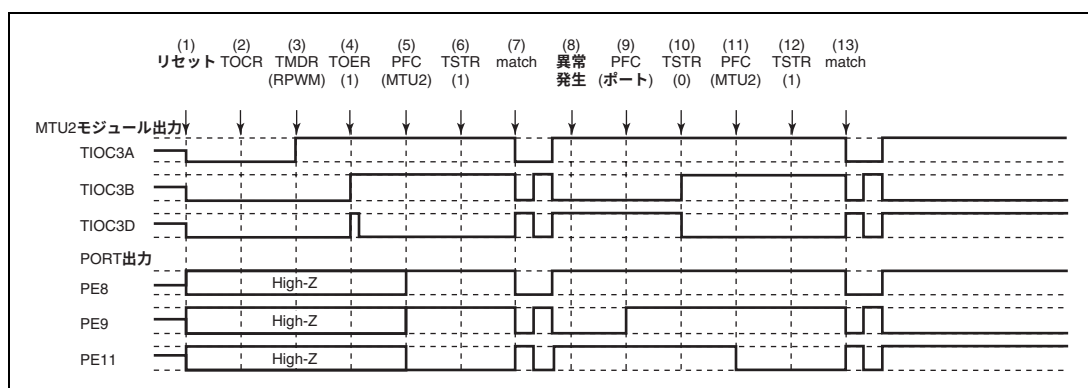


図 12.145 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ～ (10) は図 12.142 と共通です。
- (11) 汎用入出力ポートで本モジュール出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

13. コンペアマッチタイマ

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマを内蔵しています。本モジュールは 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

13.1 特長

- 4 種類のカウンタ入力クロックを 2 チャンネル独立で選択可能
4 種類の内部クロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) を選択可能
- コンペアマッチ時、ダイレクトメモリアクセスコントローラ設定により、DMA 転送要求または割り込み要求の発生を選択可能
- 本モジュールを使用しないときは、消費電力低減のため本モジュールに対してクロックの供給を止めて動作を停止させることができます。

図 13.1 にブロック図を示します。

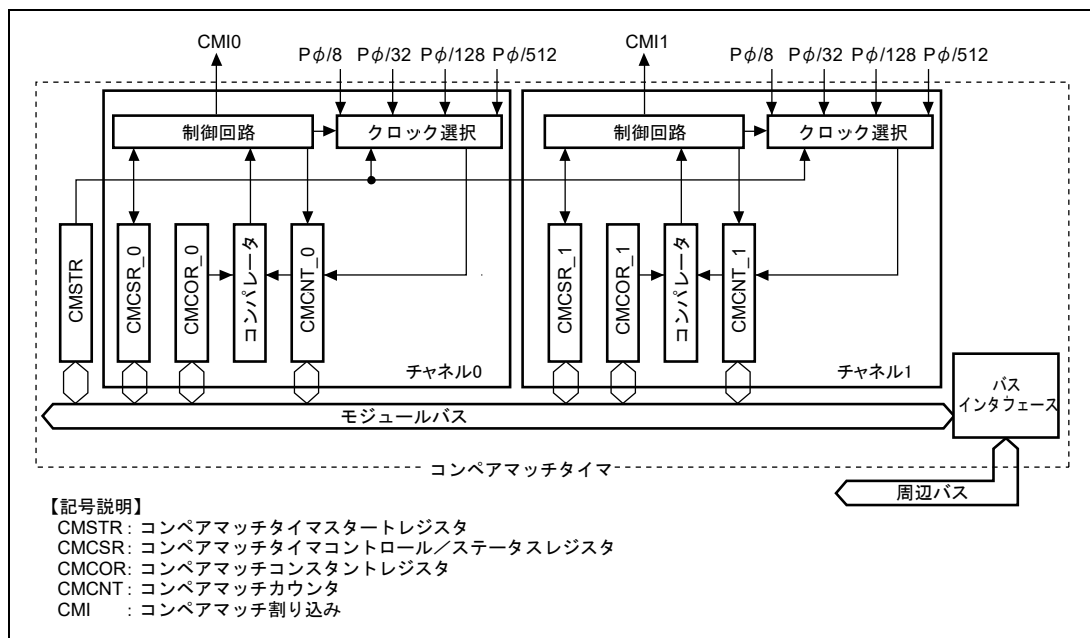


図 13.1 ブロック図

13.2 レジスタの説明

表 13.1 にレジスタ構成を示します。

表 13.1 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFE000	16
0	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	R/W	H'0000	H'FFFE002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFE004	8、16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFE006	8、16
1	コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR_1	R/W	H'0000	H'FFFE008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFE00A	8、16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFE00C	8、16

13.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作／停止を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作／停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作／停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始

13.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入カクロックの設定を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0 : CMCNT と CMCOR の値は不一致 [クリア条件] • CMF=1 を読み出し後、CMF に 0 を書き込んだとき 1 : CMCNT と CMCOR の値が一致
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0 : コンペアマッチ割り込み (CMI) を禁止 1 : コンペアマッチ割り込み (CMI) を許可
5~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (Pφ) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00 : Pφ/8 01 : Pφ/32 10 : Pφ/128 11 : Pφ/512

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

13.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

コンペアマッチタイマスタートレジスタ (CMSTR) の該当チャネルのカウントスタートビットを 1 から 0 にクリアしたとき、H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.3 動作説明

13.3.1 期間カウント動作

内部クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み（CMI）を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 13.2 にコンペアマッチカウンタ動作を示します。

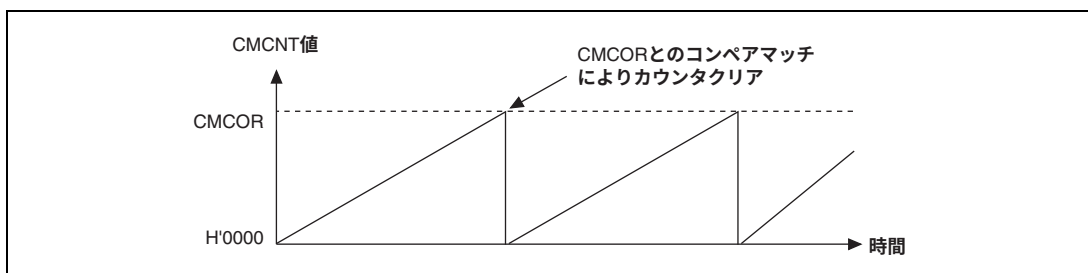


図 13.2 カウンタ動作

13.3.2 CMCNT カウントタイミング

周辺クロック ($P\phi$) を分周して得られた 4 種類のクロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) のうち 1 つを CMCSR の CKS[1:0] ビットにより選択することができます。図 13.3 にそのタイミングを示します。

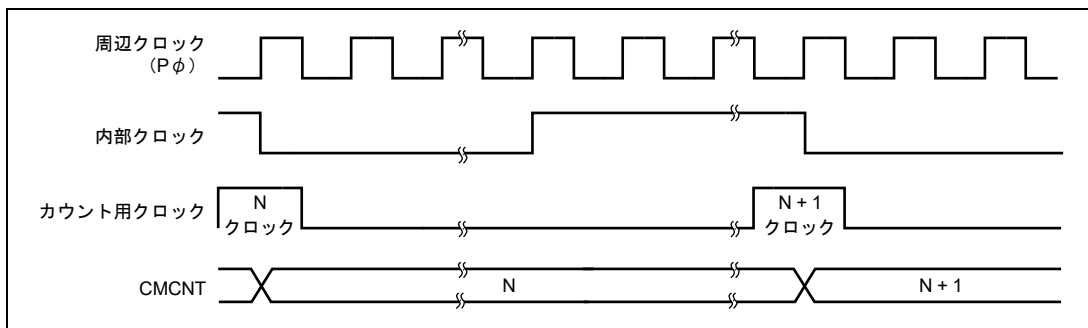


図 13.3 カウントタイミング

13.4 割り込み

13.4.1 割り込み要因と DMA 転送要求

本モジュールはチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。コンペアマッチフラグ (CMF) が 1 にセットされ、かつ割り込みイネーブルビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 7 章 割り込みコントローラ」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、割り込みコントローラの設定により、ダイレクトメモリアクセスコントローラを起動することができます。このとき、CPU へ割り込み発生はしません。ダイレクトメモリアクセスコントローラの起動設定を行わない場合は、CPU へ割り込み要求が発生します。ダイレクトメモリアクセスコントローラによるデータ転送時に CMF ビットは自動的にクリアされます。

13.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 13.4 に CMF ビットのセットタイミングを示します。

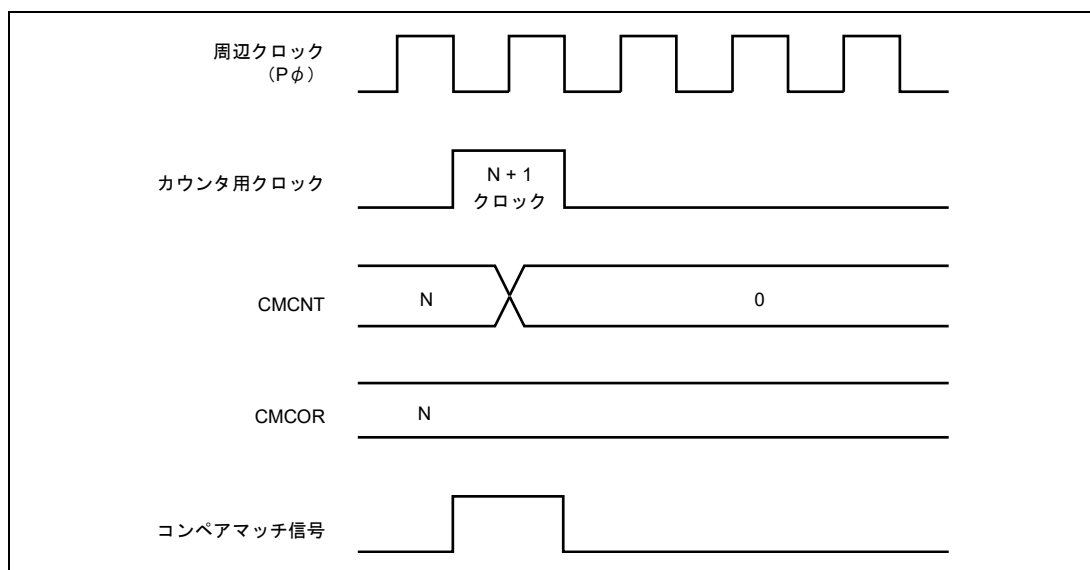


図 13.4 CMF セットタイミング

13.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF=1 を読み出した後に 0 を書き込むことでクリアされます。ただし、ダイレクトメモリアクセスコントローラを起動した場合、ダイレクトメモリアクセスコントローラがデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

13.5 使用上の注意事項

13.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 13.5 に示します。

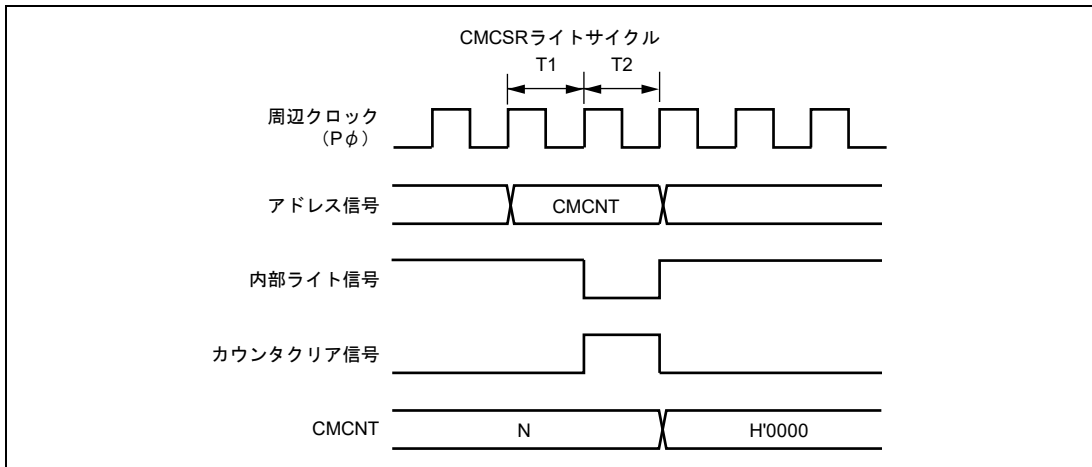


図 13.5 CMCNT の書き込みとコンペアマッチの競合

13.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 13.6 に示します。

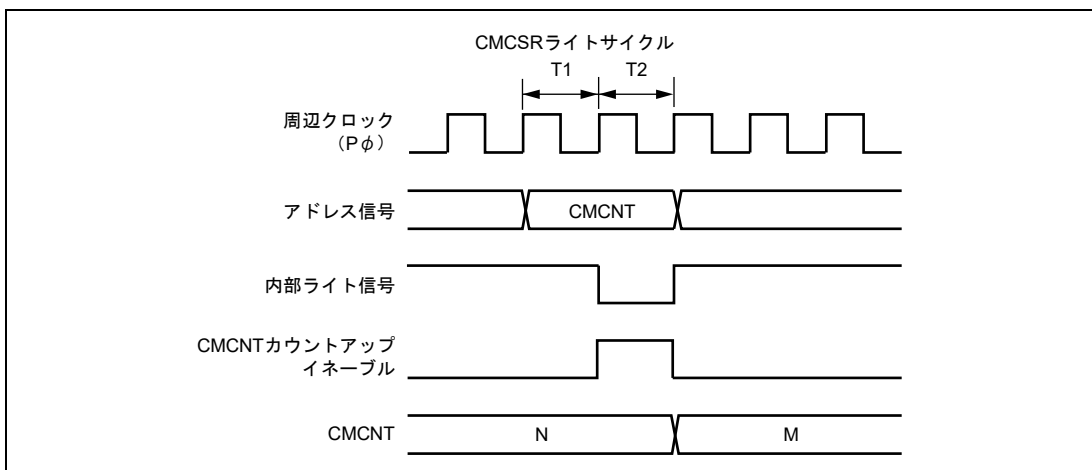


図 13.6 CMCNT のワード書き込みとカウントアップの競合

13.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のバイトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 13.7 に示します。

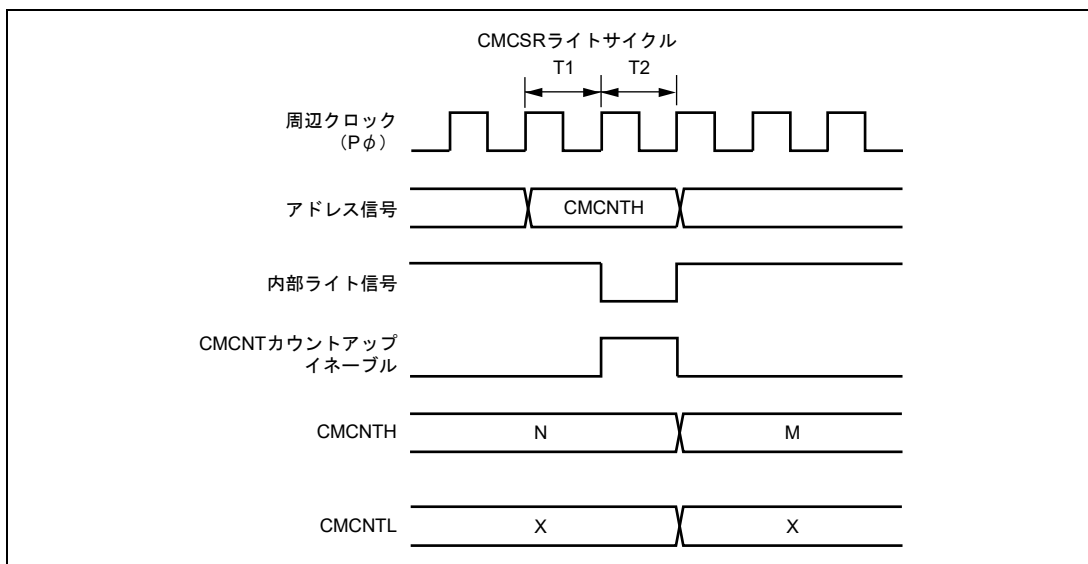


図 13.7 CMCNT のバイト書き込みとカウントアップの競合

13.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

14. ウォッチドッグタイマ

本 LSI は、ウォッチドッグタイマを内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

本モジュールは、1 チャンネルのタイマで、ソフトウェアスタンバイモード解除のためのクロック発振安定時間のカウントに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

14.1 特長

- クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモード状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($P_{\phi} \times 1 \sim \times 1/16384$) から選択できます。

図 14.1 にブロック図を示します。

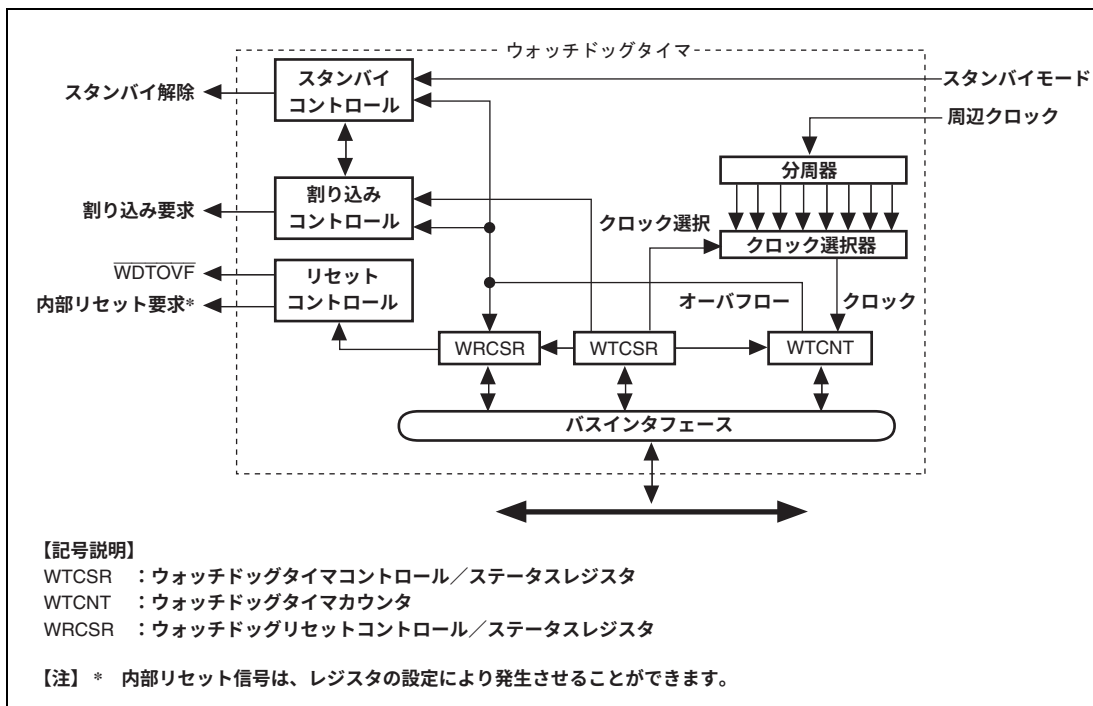


図 14.1 ブロック図

14.2 入出力端子

表 14.1 に端子構成を示します。

表 14.1 端子構成

名称	端子名	入出力	機 能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー 信号出力

14.3 レジスタの説明

表 14.2 にレジスタ構成を示します。

表 14.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCR	R/W	H'1F	H'FFFE0004	16*

【注】 * アクセスサイズは、「14.3.4 レジスタアクセス時の注意」を参照してください。

14.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し／書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号 ($\overline{\text{WDOVF}}$) が発生し、インターバルタイマモードのときは割り込みが発生します。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローフラグおよびイネーブルビットからなります。

ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバーフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/IT	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	IOVF	0	R/(W)	インターバルタイマオーバーフロー インターバルタイマモードで WTCNT がオーバーフローしたことを示します。ウォッチドッグタイマモードでは、セットされません。 0: オーバーフローなし 1: インターバルタイマモードで WTCNT がオーバーフローした [クリア条件] • IOVF を読み出してから 0 を書き込む
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNT がオーバーフローしたとき WDTOVF 信号を外部へ出力 本モジュールの動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に本モジュールを使用する場合には、このビットを 0 にしてください。 0: タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。 1: タイマイネーブル

ビット	ビット名	初期値	R/W	説 明																		
4、3	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2～0	CKS[2:0]	000	R/W	クロックセレクト 周辺クロック（Pφ）を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック（Pφ）＝36MHz の場合の値です。 <table><tr><th>クロック分周比</th><th>オーバフロー周期</th></tr><tr><td>000 : 1 × Pφ</td><td>(7.1 μs)</td></tr><tr><td>001 : 1/64 × Pφ</td><td>(455 μs)</td></tr><tr><td>010 : 1/128 × Pφ</td><td>(910 μs)</td></tr><tr><td>011 : 1/256 × Pφ</td><td>(1.8ms)</td></tr><tr><td>100 : 1/512 × Pφ</td><td>(3.6ms)</td></tr><tr><td>101 : 1/1024 × Pφ</td><td>(7.2ms)</td></tr><tr><td>110 : 1/4096 × Pφ</td><td>(29ms)</td></tr><tr><td>111 : 1/16384 × Pφ</td><td>(116ms)</td></tr></table> 【注】 本モジュールの動作中に CKS[2:0]ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0]ビットを書き換える場合は、必ず本モジュールを停止させてください。	クロック分周比	オーバフロー周期	000 : 1 × Pφ	(7.1 μs)	001 : 1/64 × Pφ	(455 μs)	010 : 1/128 × Pφ	(910 μs)	011 : 1/256 × Pφ	(1.8ms)	100 : 1/512 × Pφ	(3.6ms)	101 : 1/1024 × Pφ	(7.2ms)	110 : 1/4096 × Pφ	(29ms)	111 : 1/16384 × Pφ	(116ms)
クロック分周比	オーバフロー周期																					
000 : 1 × Pφ	(7.1 μs)																					
001 : 1/64 × Pφ	(455 μs)																					
010 : 1/128 × Pφ	(910 μs)																					
011 : 1/256 × Pφ	(1.8ms)																					
100 : 1/512 × Pφ	(3.6ms)																					
101 : 1/1024 × Pφ	(7.2ms)																					
110 : 1/4096 × Pφ	(29ms)																					
111 : 1/16384 × Pφ	(116ms)																					

14.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0 : オーバフローなし 1 : ウォッチドッグタイマモードで WTCNT がオーバーフローした [クリア条件] • WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0 : WTCNT がオーバーフローしたとき、内部リセットしない* 1 : WTCNT がオーバーフローしたとき、内部リセットする 【注】* 本 LSI 内部はリセットされませんが、本モジュール内の WTCNT、WTCSR はリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0 : パワーオンリセット 1 : マニュアルリセット
4~0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

14.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ（WTCNT）、ウォッチドッグタイマコントロール/ステータスレジスタ（WTCSR）、ウォッチドッグリセットコントロール/ステータスレジスタ（WRCSR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込めません。

図 14.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

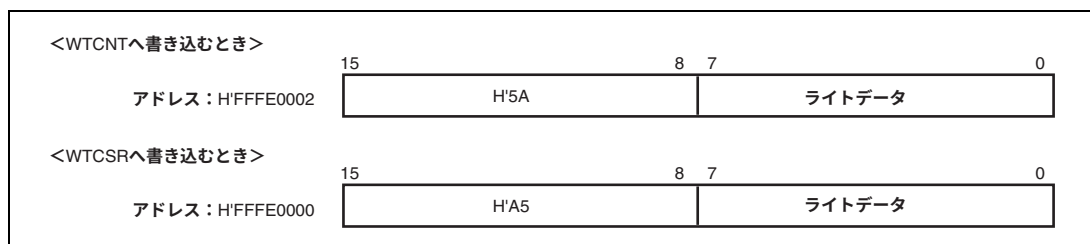


図 14.2 WTCNT および WTCSR への書き込み

(2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込めません。

WOVF ビット（ビット 7）へ 0 を書き込む場合と、RSTE ビット（ビット 6）と RSTS ビット（ビット 5）に書き込む場合では、図 14.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

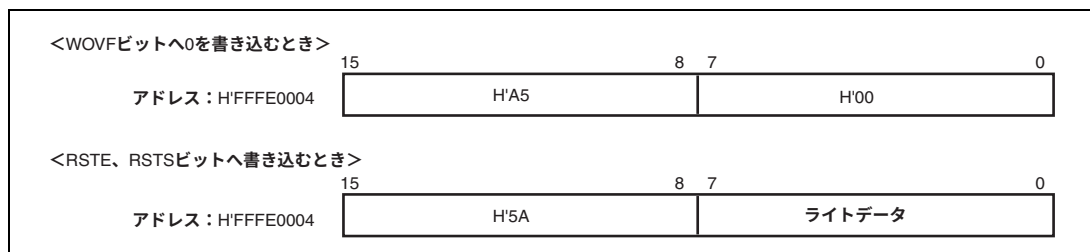


図 14.3 WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

14.4 使用方法

14.4.1 ソフトウェアスタンバイモード解除の手順

本モジュールは、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します（リセットで解除する場合は、本モジュールは動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ 1（STBCR1：「第32章 低消費電力モード」参照）の STBY ビットに 1、DEEP ビットに 0 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、本モジュールがカウントを開始します。
5. 本モジュールがカウントオーバーフローすると、クロックパルス発振器がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCR の WOVF はセットされません。

14.4.2 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定して、CKS[2:0]にカウントクロックの種類、WRCsrのRSTEビットに本LSIの内部をリセットするかしないか、RSTSビットにこのときのリセットのタイプ、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、本モジュールはWRCsrのWOVFを1にセットして、 $\overline{\text{WDOVF}}$ 信号が外部に出力されます。これを図14.4に示します。この $\overline{\text{WDOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDOVF}}$ 信号は、 $64 \times P\phi$ クロックの間出力されます。
5. WRCsrのRSTEビットを1にセットしておく、と、 $\overline{\text{WDOVF}}$ 信号と同時に本LSIの内部をリセットする信号を発生させることができます。このリセットは、WRCsrのRSTSビットの設定によってパワーオンリセットまたはマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P\phi$ クロックの間出力されます。
6. $\overline{\text{RES}}$ 端子からの入力信号によるリセットと本モジュールのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCsrのWOVFビットは0にクリアされます。

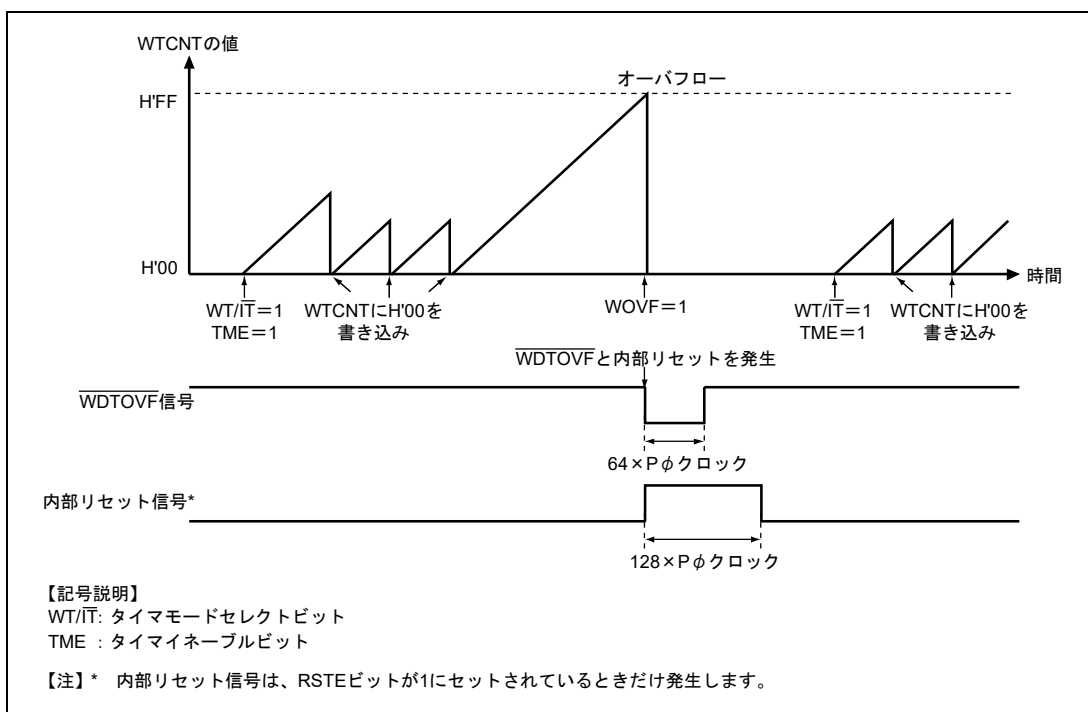


図 14.4 ウォッチドッグタイマモード時の動作

14.4.3 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ITビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. 本モジュールは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求を割り込みコントローラに送ります。カウンタはカウントを続行します。

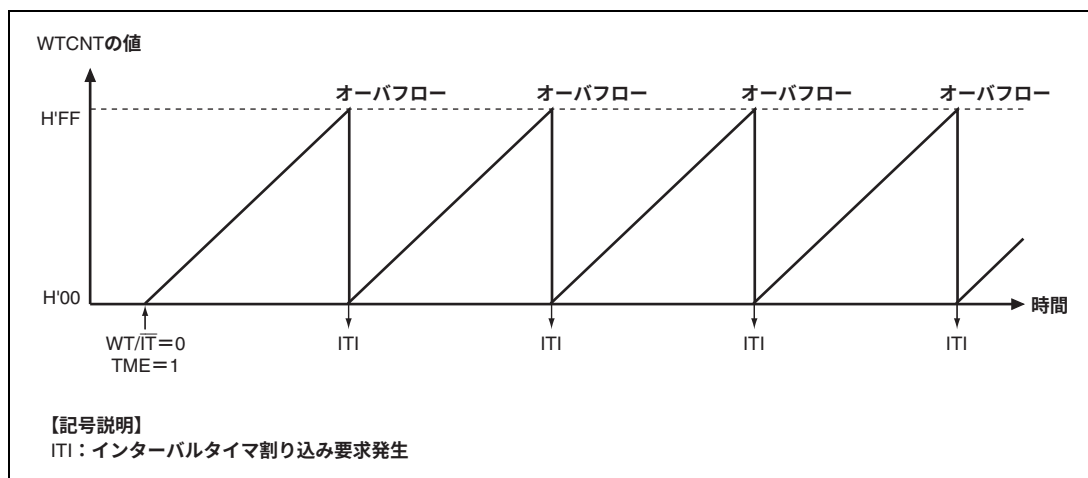


図 14.5 インターバルタイマモード時の動作

14.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

14.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、Pφの1サイクル後（最短）から、CKS[2:0]で選択した分周タイミング（最長）までの間となります。2回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

14.5.2 WTCNT の設定値として H'FF は設定禁止

本モジュールでは WTCNT の値が H'FF になったことをオーバフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0]の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたはリセットが発生します。

14.5.3 インターバルタイマオーバフローフラグ

WTCNT の値が H'FF のときには、WTCNT の IOVF フラグはクリアできません。

WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

14.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 14.6 に示すような回路で行ってください。

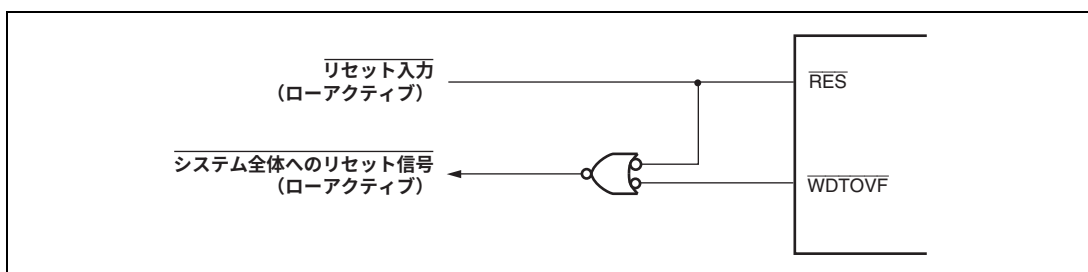


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

14.5.5 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。ダイレクトメモリアクセスコントローラがバースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理が保留されることがあります。

14.5.6 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモードで、ウォッチドッグタイマカウンタ（WTCNT）のオーバフローによる内部リセットが発生した場合、ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR）は初期化されず、WOVF ビットは 1 の状態となります。WOVF ビットが 1 の状態の場合、WTCNT がオーバフローしても内部リセットは発生しません。

15. リアルタイムクロック

本 LSI は、リアルタイムクロックおよび 4MHz 水晶発振器を内蔵しています。

15.1 特長

- 時計・カレンダー機能（BCD表示）を搭載
秒、分、時、曜日、日、月、年をカウント
- 1～64Hzタイマ（バイナリ表示）を搭載
64Hzカウンタが、分周回路のうち64Hz～1Hzの状態を示します。
- スタート／ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能
- 時計用の動作クロックは、内部クロック用と時計専用の外部クロック入力を選択可能
- アラーム割り込みによる、ディープスタンバイ復帰が可能

図 15.1 にブロック図を示します。

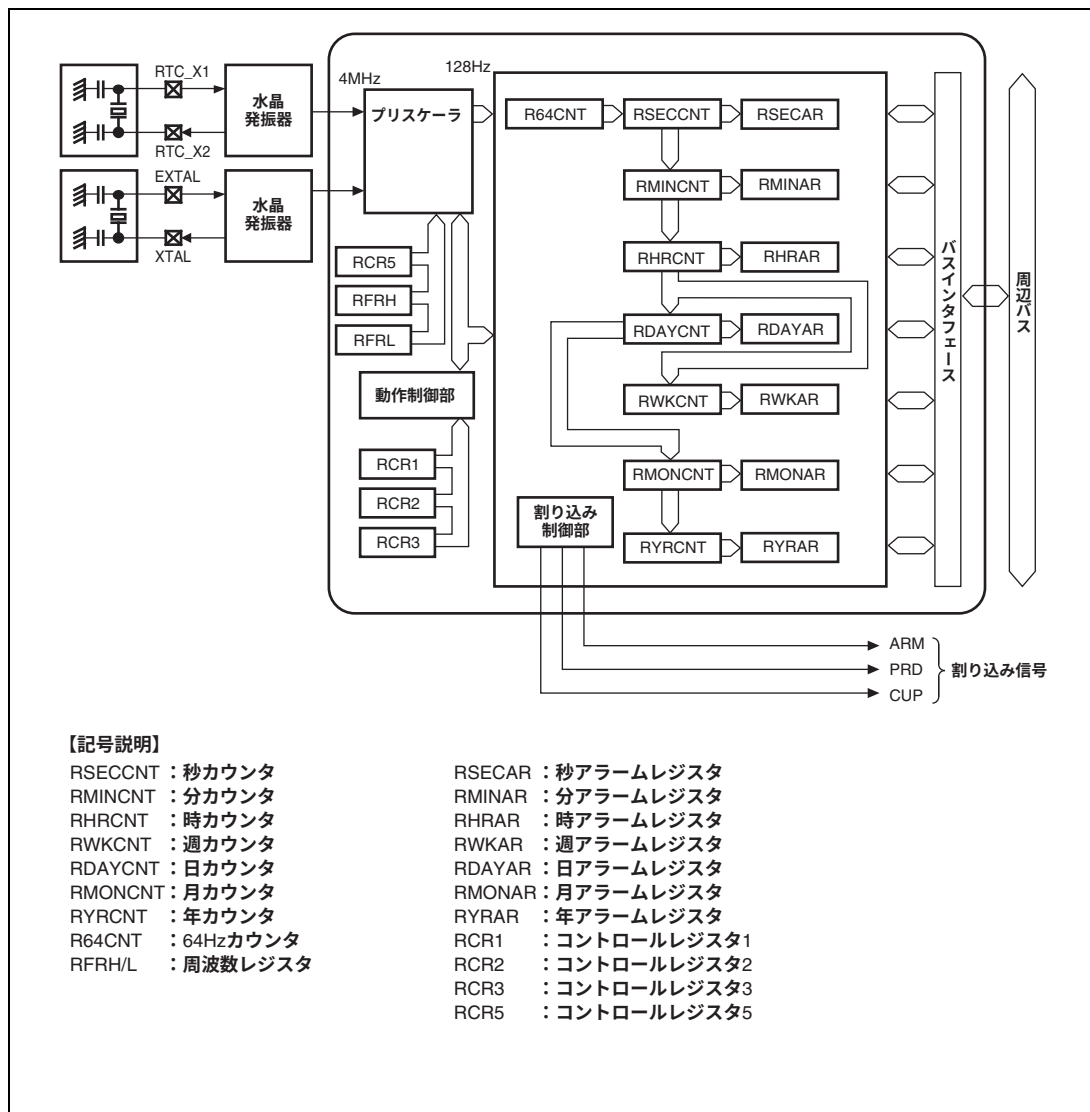


図 15.1 ブロック図

15.2 入出力端子

表 15.1 に端子構成を示します。

表 15.1 端子構成

名称	端子名	入出力	機 能
リアルタイムクロック用水晶 発振子端子／外部クロック	RTC_X1	入力	本モジュール用に 4MHz の水晶発振子を接続します。
	RTC_X2	出力	また RTC_X1 端子は外部クロックを入力することもできます。
内部クロック用水晶発振子／ 外部クロック	EXTAL	入力	内部動作に使用する水晶発振子を接続します。
	XTAL	出力	詳細はクロックパルス発振器の章を参照してください。

15.3 レジスタの説明

表 15.2 にレジスタ構成を示します。

表 15.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	H'xx	H'FFFE6000	8
秒カウンタ	RSECCNT	R/W	H'xx	H'FFFE6002	8
分カウンタ	RMINCNT	R/W	H'xx	H'FFFE6004	8
時カウンタ	RHRCNT	R/W	H'xx	H'FFFE6006	8
曜日カウンタ	RWKCNT	R/W	H'0x	H'FFFE6008	8
日カウンタ	RDAYCNT	R/W	H'xx	H'FFFE600A	8
月カウンタ	RMONCNT	R/W	H'xx	H'FFFE600C	8
年カウンタ	RYRCNT	R/W	H'xxxx	H'FFFE600E	16
秒アラームレジスタ	RSECAR	R/W	H'xx	H'FFFE6010	8
分アラームレジスタ	RMINAR	R/W	H'xx	H'FFFE6012	8
時アラームレジスタ	RHRAR	R/W	H'xx	H'FFFE6014	8
曜日アラームレジスタ	RWKAR	R/W	H'xx	H'FFFE6016	8
日アラームレジスタ	RDAYAR	R/W	H'xx	H'FFFE6018	8
月アラームレジスタ	RMONAR	R/W	H'xx	H'FFFE601A	8
年アラームレジスタ	RYRAR	R/W	H'xxxx	H'FFFE6020	16
コントロールレジスタ 1	RCR1	R/W	H'xx	H'FFFE601C	8
コントロールレジスタ 2	RCR2	R/W	H'01	H'FFFE601E	8
コントロールレジスタ 3	RCR3	R/W	H'x0	H'FFFE6024	8
コントロールレジスタ 5	RCR5	R/W	H'0x	H'FFFE6026	8
周波数レジスタ	RFRH	R/W	H'xxxx	H'FFFE602A	16
	RFRL	R/W	H'xxxx	H'FFFE602C	16

15.3.1 64Hz カウンタ (R64CNT)

R64CNT は、分周回路のうち、64Hz～1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、分周回路が初期化され、R64CNT は初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	1Hz	不定	R	分周回路のうち、1Hz～64Hz の状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

15.3.2 秒カウンタ（RSECCNT）

RSECCNT は、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00～59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値：	0	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	10 秒	不定	R/W	秒十位カウント 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
3～0	1 秒	不定	R/W	秒一位カウント 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。

15.3.3 分カウンタ (RMINCNT)

RMINCNT は、BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00～59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	10 分	不定	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3～0	1 分	不定	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

15.3.4 時カウンタ（RHRCNT）

RHRCNT は、BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00～23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	10時間		1時間			
初期値：	0	0	不定	不定	不定	不定	不定	不定
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位カウント 時十位は 0 から 2 をカウントします。
3～0	1 時間	不定	R/W	時一位カウント 時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時十位が +1 されます。

15.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0～6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	曜日	不定	R/W	曜日カウント バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

15.3.6 日カウンタ（RDAYCNT）

RDAYCNT は、BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 01～31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ（RYRCNT）を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット：	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値：	0	0	不定	不定	不定	不定	不定	不定
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位カウント
3～0	1 日	不定	R/W	日一位カウント 日一位は 1 日ごとに 0～9 をカウントします。桁上がりが発生すると日十位が+1 されます。

15.3.7 月カウンタ（RMONCNT）

RMONCNT は、BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 01～12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	10月	1月			
初期値：	0	0	0	不定	不定	不定	不定	不定
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位カウント
3～0	1 月	不定	R/W	月一位カウント 月一位は 1 月ごとに 0～9 をカウントします。桁上がりが発生すると月十位が +1 されます。

15.3.8 年カウンタ（RYRCNT）

RYRCNT は、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進（BCD）で 0000～9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～12	1000 年	不定	R/W	年千位カウント
11～8	100 年	不定	R/W	年百位カウント
7～4	10 年	不定	R/W	年十位カウント
3～0	1 年	不定	R/W	年一位カウント

15.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00～59+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RSECCNT の値と比較を行います。
6～4	10 秒	不定	R/W	秒十位の設定値
3～0	1 秒	不定	R/W	秒一位の設定値

15.3.10 分アラームレジスタ (RMINAR)

RMINAR は、BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00～59+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6～4	10 分	不定	R/W	分十位の設定値
3～0	1 分	不定	R/W	分一位の設定値

15.3.11 時アラームレジスタ (RHRAR)

RHRAR は、BCD コード化された時部分のカウント RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00~23+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値:	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RHCNT の値と比較を行います。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位の設定値
3~0	1 時間	不定	R/W	時一位の設定値

15.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 0~6+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日		
初期値:	不定	0	0	0	0	不定	不定	不定
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日の設定値 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

15.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01~31+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10日		1日			
初期値:	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位の設定値
3~0	1 日	不定	R/W	日一位の設定値

15.3.14 月アラームレジスタ (RMONAR)

RMONAR は、BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01~12+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値:	不定	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位の設定値
3~0	1 月	不定	R/W	月一位の設定値

15.3.15 年アラームレジスタ (RYRAR)

RYRAR は、BCD コード化された年部分のカウント RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進 (BCD) で 0000～9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～12	1000 年	不定	R/W	年千位の設定値
11～8	100 年	不定	R/W	年百位の設定値
7～4	10 年	不定	R/W	年十位の設定値
3～0	1 年	不定	R/W	年一位の設定値

15.3.16 コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

CF フラグは、分周回路がリセット (RCR2 の RESET ビットと ADJ ビットを 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。

AF フラグは、アラームレジスタとカウンタに値がセットされるまでは不定になります。AF フラグを使用する場合には、使用前に必ずアラームレジスタとカウンタを設定してください。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	-	AF
初期値:	不定	0	0	0	0	0	0	不定
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	CF	不定	R/W	桁上げフラグ このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき 1: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説 明
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0 : CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない 1 : CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない 1 : AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる
2、1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AF	不定	R/W	アラームフラグ アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 1 にセットされるフラグです。 0 : アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき 1 : アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

15.3.17 コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、カウント制御に関するレジスタです。

パワーオンリセットおよびディープスタンバイモード時は初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。RTCEN ビットは $\overline{\text{RES}}$ 端子からのパワーオンリセットのみで初期化されます。

ビット：	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			RTCEN	ADJ	RESET	START
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PEF	0	R/W	周期割り込みフラグ PES2～PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。 0：PES2～PES0 ビットで設定された周期で割り込み発生なし 〔クリア条件〕 PEF に 0 を書き込んだとき 1：PES2～PES0 ビットで設定された周期で割り込み発生あり 〔セット条件〕 PES2～PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6～4	PES[2:0]	000	R/W	割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000：周期割り込み発生なし 001：設定禁止 010：周期割り込み発生を 1/64 秒ごとにする 011：周期割り込み発生を 1/16 秒ごとにする 100：周期割り込み発生を 1/4 秒ごとにする 101：周期割り込み発生を 1/2 秒ごとにする 110：周期割り込み発生を 1 秒ごとにする 111：周期割り込み発生を 2 秒ごとにする
3	RTCEN	0	R/W	RTC_X1 クロック制御 RTC_X1 端子の機能を制御します。 0：内蔵水晶発振器を停止／外部クロック入力禁止 1：内蔵水晶発振器を動作／外部クロック入力許可

ビット	ビット名	初期値	R/W	説 明
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路（プリスケアラおよび R64CNT）も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路および R64CNT レジスタ、アラームレジスタ、RCR3 レジスタ、RCR1 レジスタの CF、AF ビット、RCR2 レジスタの PEF ビットが初期化されます。なお、1 が書き込まれた場合、上記レジスタがリセットされた後、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：分周回路をリセット
0	START	1	R/W	START ビット カウンタ（時計）動作を停止させたり、再起動をかけるビットです。 0：秒、分、時、日、曜日、月、年カウンタは停止 1：秒、分、時、日、曜日、月、年カウンタは通常動作

15.3.18 コントロールレジスタ 3（RCR3）

RCR3 は、ENB ビットが 1 にセットされていると、RYRCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

ビット：	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	-	-	-
初期値：	不定	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RYRCNT の値と比較を行います。
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.3.19 コントロールレジスタ 5 (RCR5)

RCR5 の RCKSEL[1:0] ビットが 00 にセットされていると、32.768KHz の RTC_X1 クロックを使用して時計のカウント動作を行い、RCKSEL[1:0] ビットが 01 にセットされていると、EXTAL クロックを使用して時計のカウント動作を行い、RCKSEL[1:0] ビットが 10 にセットされていると、RTC_X1 クロックを使用して時計のカウントを行います。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RCKSEL[1:0]	
初期値：	0	0	0	0	0	0	不定	不定
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	RCKSEL[1:0]	不定	R/W	動作クロック選択ビット 動作クロックを、RTC_X1、EXTAL から選択することが可能です。なお、動作中に RCKSEL[1:0] の切り換えは行わないでください。 00 : RTC_X1 からの 32.768KHz を選択 01 : EXTAL を選択 10 : RTC_X1 を選択 11 : 設定禁止

15.3.20 周波数レジスタ H/L (RFRH/L)

RFRH/L は、読み出し／書き込み可能なレジスタで、16 ビットで構成されています。

RFC[18:0] には、EXTAL または RTC_X1 クロックで動作時、128Hz のクロックを作るための「周波数比較値」を設定します。「周波数比較値」は、EXTAL クロック周波数により、値を変更してください。計算方法は下記を参照してください。RCR5 レジスタの RCKSEL ビットが 00 の場合、本レジスタの設定は必要ありません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SEL64	-	-	-	-	-	-	-	-	-	-	-	-	RFC[18:16]		
初期値：	不定	0	0	0	0	0	0	0	0	0	0	0	0	不定	不定	不定
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	SEL64	不定	R/W	64 分周選択 EXTAL、RTC_X1 クロック周波数が 128Hz では割り切れないが、64Hz で割り切れる場合の動作クロックであることを示します。 0 : EXTAL、RTC_X1 クロック周波数が 128Hz で割り切れる 1 : EXTAL、RTC_X1 クロック周波数が 128Hz では割り切れないが、64Hz で割り切れる
30～19	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18～0	RFC[18:0]	不定	R/W	周波数比較値 EXTAL、RTC_X1 クロックから、動作クロックを作成するために、比較値を設定します。

(1) 「周波数比較値」計算方法

- EXTAL、RTC_X1 クロック周波数が 128Hz で割り切れる場合

$$\text{RFC}[18:0] = (\text{EXTAL、RTC\_X1 クロック周波数}) \div 128$$

SEL64 ビットを 0 に設定してください。

- EXTAL、RTC_X1 クロック周波数が 128Hz では割り切れないが、64Hz で割り切れる場合

$$\text{RFC}[18:0] = (\text{EXTAL、RTC\_X1 クロック周波数}) \div 64$$

SEL64 ビットを 1 に設定してください。

(2) 設定例

表 15.3 設定例

クロック周波数		SEL64 設定値	RFC 設定値
EXTAL	10MHz	0	H'1312D
	11MHz	1	H'29F63
	12MHz	0	H'16E36
RTC_X1	4MHz	0	H'07A12

15.4 動作説明

本モジュールの使用例を示します。

15.4.1 電源投入後のレジスタの初期設定と発振安定時間

電源投入後すべてのレジスタを初期設定してください。4MHz 水晶発振器を使用する場合、RCR2 レジスタの RTCEN ビットを 0 から 1 に設定した後に、発振安定時間が必要となります。発振安定時間中のリアルタイムクロックの各種設定および動作は行わないでください。発振安定時間については「第 35 章 電気的特性」を参照してください。

15.4.2 時刻設定手順

時刻設定手順例を図 15.2 に示します。

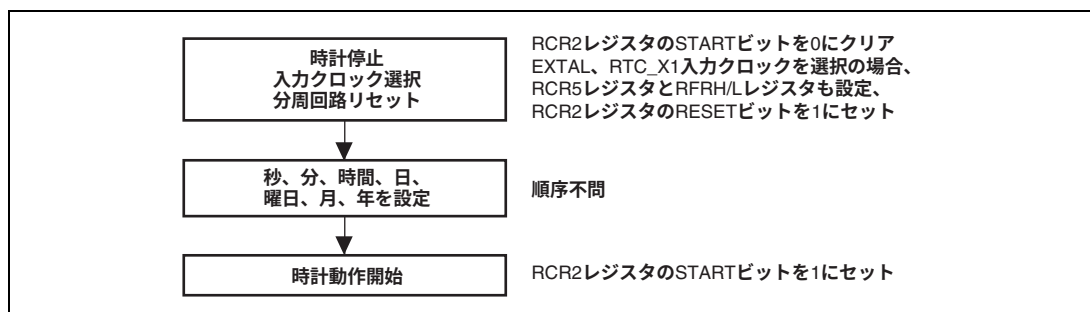


図 15.2 時刻設定手順

15.4.3 時刻読み出し手順

時刻読み出し手順を図 15.3 に示します。

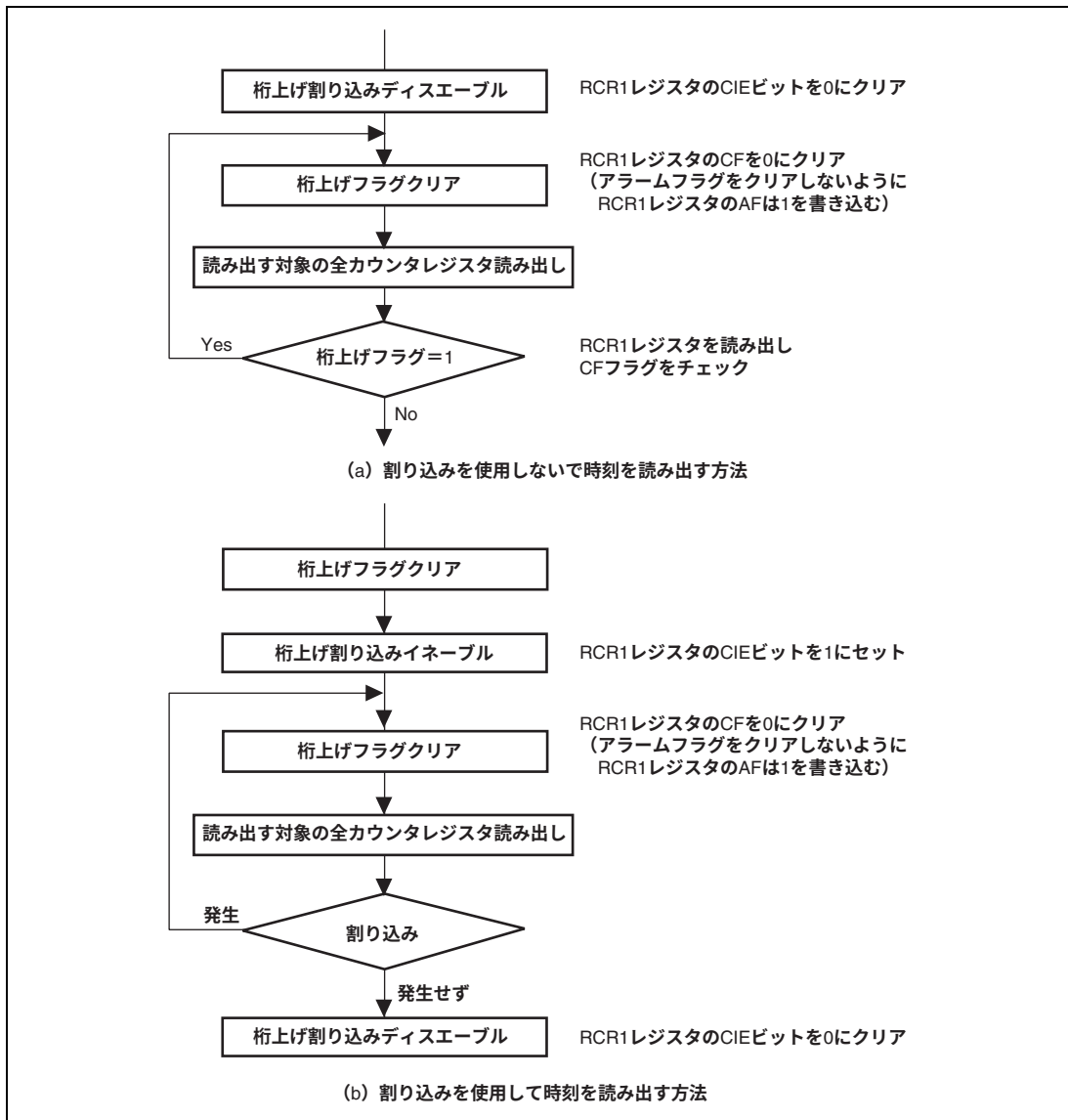


図 15.3 時刻読み出し手順

時刻読み出し中に桁上げが起これば正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 15.3 の (a) に、桁上げ割り込みを使用する方法を図 15.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

15.4.4 アラーム機能

アラーム機能の使用例を図 15.4 に示します。

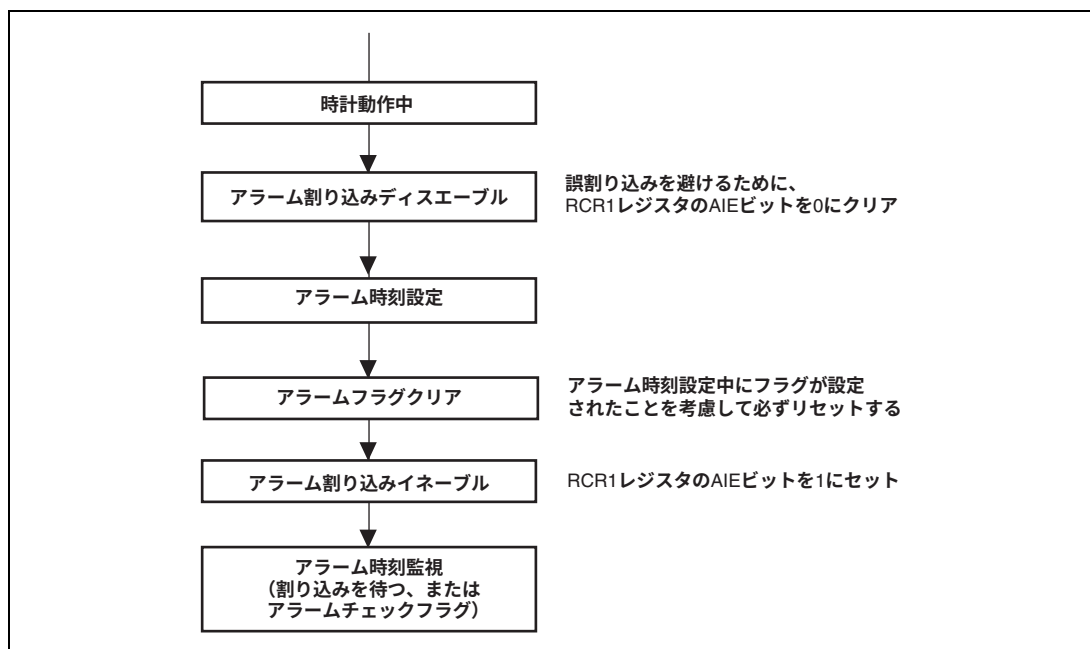


図 15.4 アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1 レジスタの AF ビットに 1 がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1 レジスタの AIE ビットに 1 が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに 0 を書き込むとクリアされます。

15.5 使用上の注意事項

15.5.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2 レジスタの START ビット=1 のとき）は、以下のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへ書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

15.5.2 リアルタイムクロックの周期割り込みの使用について

周期割り込みの使用方法を図 15.5 に示します。

周期割り込みは、RCR2 レジスタの PES[2:0] ビットで設定した周期で定期的に割り込みを発生させることができます。PES[2:0] ビットで設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] ビット設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

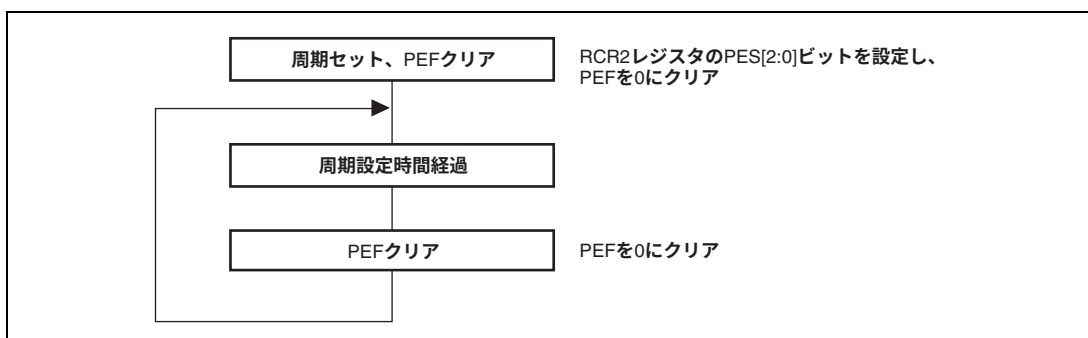


図 15.5 周期割り込み機能の使用方法

15.5.3 レジスタ設定後のスタンバイ遷移について

本モジュール内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、設定したレジスタのダミーリードを行ってからスタンバイ状態に遷移してください。

15.5.4 レジスタ書き込み／読み出し時の注意事項

- 秒カウンタなどカウントレジスタおよびRCR2レジスタの書き込み後の読み出しは、ダミーリードを2回行った後にリードしてください。2回のダミーリードでは、書き込み前の値が読み出せます。3回目のリードで書き込み値が反映されます。
- 上記以外のレジスタは、書き込み直後の読み出しで書き込み値が反映されます。

16. FIFO 内蔵シリアルコミュニケーション インタフェース

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 5 チャネルの FIFO 内蔵シリアルコミュニケーションインタフェースを備えています。また、各チャネルとも独立に送信／受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

16.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビットまたは 8 ビット

ストップビット長 : 1 ビットまたは 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース
ボーレートジェネレータ（内部クロック）、またはSCK端子（外部クロック）から選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ割り込み、ブレーク割り込み、受信FIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 本モジュールを使用しないときは、消費電力低減のため本モジュールに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいて、モデムコントロール機能（RTSおよびCTS）を内蔵（チャンネル0～2のみ）
- 送信、および受信FIFOデータレジスタのデータ数、および受信FIFOデータレジスタの受信データの受信エラー数を検出できます。
- 調歩同期式モード受信時、タイムアウトエラー（DR）を検出できます。
- 調歩同期式モードにおいて、ビットレートの16/8倍の基本クロックでの動作を選択可能
- 調歩同期式モード、クロックソースが内部クロック／SCK端子は入力端子において、ボーレートジェネレータ通常／倍速モード選択可能

図 16.1 にブロック図を示します。ただし、 $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ 端子のないチャンネルがあります。

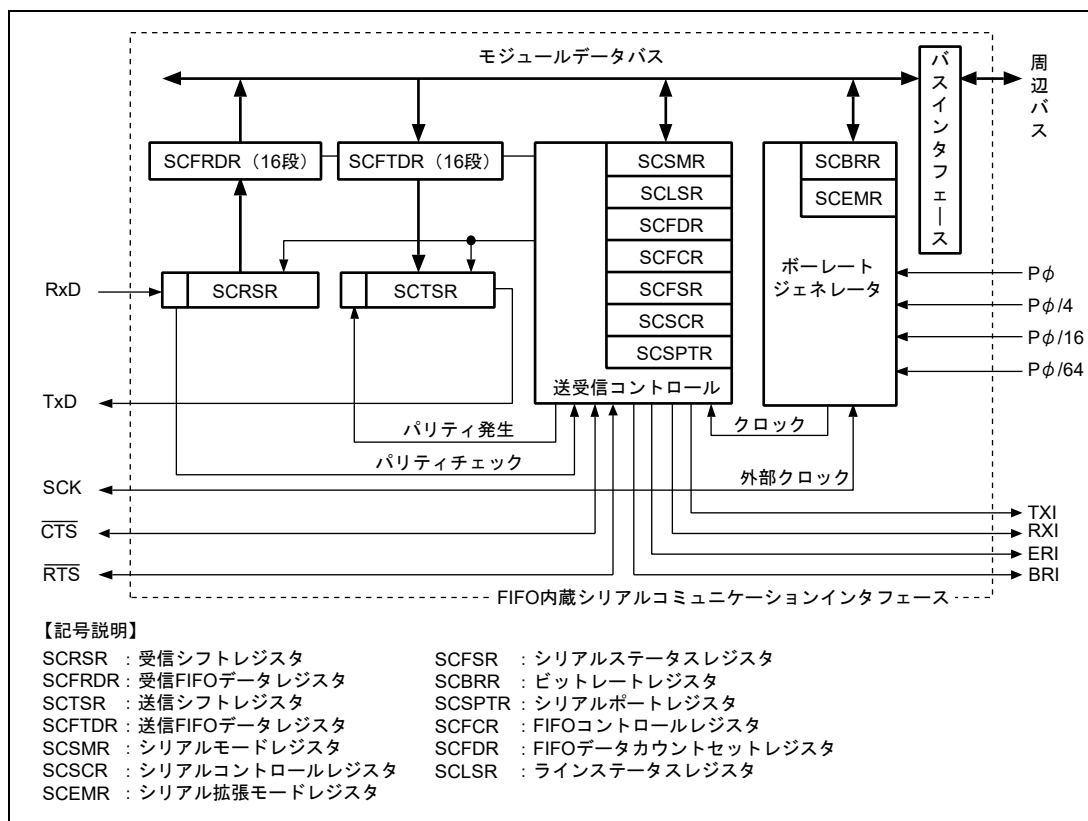


図 16.1 ブロック図

16.2 入出力端子

表 16.1 に端子構成を示します。

表 16.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~4	シリアルクロック端子	SCK0~SCK4	入出力	クロック入出力
	受信データ端子	RxD0~RxD4	入力	受信データ入力
	送信データ端子	TxD0~TxD4	出力	送信データ出力
0~2	リクエストツースェンド端子	$\overline{\text{RTS}}0\sim\overline{\text{RTS}}2$	入出力	リクエストツースェンド
	クリアツースェンド端子	$\overline{\text{CTS}}0\sim\overline{\text{CTS}}2$	入出力	クリアツースェンド

16.3 レジスタの説明

表 16.2 にレジスタ構成を示します。

表 16.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	W	不定	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)*1	H'0060	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	R	不定	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)*2	H'0000	H'FFFE8024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	R/W	H'0000	H'FFFE8028	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	W	不定	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)*1	H'0060	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	R	不定	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)*2	H'0000	H'FFFE8824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	R/W	H'0000	H'FFFE8828	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	W	不定	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)*1	H'0060	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	R	不定	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'FFFE9020	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	ラインステータスレジスタ_2	SCLSR_2	R/(W)*2	H'0000	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	R/W	H'0000	H'FFFE9028	16
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'FFFE9808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	W	不定	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W)*1	H'0060	H'FFFE9810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	R	不定	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W)*2	H'0000	H'FFFE9824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	R/W	H'0000	H'FFFE9828	16
4	シリアルモードレジスタ_4	SCSMR_4	R/W	H'0000	H'FFFEA000	16
	ビットレートレジスタ_4	SCBRR_4	R/W	H'FF	H'FFFEA004	8
	シリアルコントロールレジスタ_4	SCSCR_4	R/W	H'0000	H'FFFEA008	16
	送信 FIFO データレジスタ_4	SCFTDR_4	W	不定	H'FFFEA00C	8
	シリアルステータスレジスタ_4	SCFSR_4	R/(W)*1	H'0060	H'FFFEA010	16
	受信 FIFO データレジスタ_4	SCFRDR_4	R	不定	H'FFFEA014	8
	FIFO コントロールレジスタ_4	SCFCR_4	R/W	H'0000	H'FFFEA018	16
	FIFO データカウントセットレジスタ_4	SCFDR_4	R	H'0000	H'FFFEA01C	16
	シリアルポートレジスタ_4	SCSPTR_4	R/W	H'0050	H'FFFEA020	16
	ラインステータスレジスタ_4	SCLSR_4	R/(W)*2	H'0000	H'FFFEA024	16
	シリアル拡張モードレジスタ_4	SCEMR_4	R/W	H'0000	H'FFFEA028	16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～8、3、2 は読み出し専用であり書き込むことはできません。

*2 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～1 は読み出し専用であり書き込むことはできません。

16.3.1 受信シフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し／書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

16.3.2 受信 FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

16.3.3 送信シフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。送信 FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し／書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

16.3.4 送信 FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。送信シフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W

16.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、シリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し／書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/A	CHR	PE	O/E	STOP	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/A	0	R/W	コミュニケーションモード 動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、送信 FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説 明
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると、送信時には O/$\bar{E}$ ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/$\bar{E}$ ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。
4	O/ $\bar{E}$	0	R/W	パリティモード パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/$\bar{E}$ ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみに有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/$\bar{E}$ ビットの指定は無効です。 0 : 偶数パリティ*¹ 1 : 奇数パリティ*² 【注】*¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 *² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット	ビット名	初期値	R/W	説 明
3	STOP	0	R/W	ストップビットレングス 調歩同期式モードでのストップビットの長さを 1 ビット/2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。 0 : 1 ストップビット 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 1 : 2 ストップビット 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	CKS[1:0]	00	R/W	クロックセレクト 内蔵ポーレートジェネレータの内部クロックソースを選択します。 クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.3.8 ビットレートレジスタ (SCBRR)」を参照してください。 00 : Pφクロック 01 : Pφ/4 クロック 10 : Pφ/16 クロック 11 : Pφ/64 クロック 【注】Pφ : 周辺クロック

16.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し／書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	送信インタラプトイネーブル 送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可／禁止します。 0: 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンプティ割り込み (TXI) 要求を許可* 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	受信インタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可／禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレーク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレーク割り込み (BRI) 要求を許可* 【注】* RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。 ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説 明
5	TE	0	R/W	送信イネーブル シリアル送信動作の開始を許可／禁止します。 0 : 送信動作を禁止 1 : 送信動作を許可* 【注】* この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。
4	RE	0	R/W	受信イネーブル シリアル受信動作の開始を許可／禁止します。 0 : 受信動作を禁止*¹ 1 : 受信動作を許可*² 【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。 *² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。
3	REIE	0	R/W	受信エラーインタラプトイネーブル 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可／禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可* 【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1, 0	CKE[1:0]	00	R/W	クロックイネーブル クロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE[1:0]を設定してください。 - 調歩同期式モード 00：内部クロック／SCK 端子は入力端子（入力信号は無視） 01：内部クロック／SCK 端子はクロック出力 （ビットレートの 16/8 倍の周波数のクロックを出力） 10：外部クロック／SCK 端子はクロック入力 （ビットレートの 16/8 倍の周波数のクロックを入力） 11：設定禁止 - クロック同期式モード 00：内部クロック／SCK 端子は同期クロック出力 01：内部クロック／SCK 端子は同期クロック出力 10：外部クロック／SCK 端子は同期クロック入力 11：設定禁止

16.3.7 シリアルステータスレジスタ（SCFSR）

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し／書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、PER フラグ（ビット 15～12、2）、FER フラグ（ビット 11～8、3）は読み出し専用であり、書き込むことはできません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15～12	PER[3:0]	0000	R	パリティエラー数 受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 15～12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。
11～8	FER[3:0]	0000	R	フレーミングエラー数 受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 11～8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。
7	ER	0	R(W)*	受信エラー フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*1 0 : 受信中、または正常に受信を完了したことを表示 [クリア条件] • パワーオンリセット • ER=1 の状態を読み出した後、0 を書き込んだとき 1 : 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示 [セット条件] • 1 回のデータ受信の終わりで受信データの最後のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 の場合*2 • 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき 【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。 *2 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。

ビット	ビット名	初期値	R/W	説 明
6	TEND	1	R/(W)*	送信エンド 送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。 0 : 送信中であることを表示 [クリア条件] - SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき*1 - 送信を終了したことを表示 [セット条件] - パワーオンリセット - SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき 【注】*1 TXI 割り込み要求によりダイレクトメモリアクセスコントローラで SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。
5	TDFE	1	R/(W)*	送信 FIFO データエンプティ 送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]で指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。 0 : SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示 [クリア条件] - TDFE=1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき - 送信 FIFO データエンプティ割り込み (TXI) によりダイレクトメモリアクセスコントローラを起動し、指定送信トリガ数より多いデータを SCFTDR に書き込んだとき - SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であること*1 を表示 [セット条件] - パワーオンリセット - 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき 【注】*1 SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE=1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。

ビット	ビット名	初期値	R/W	説 明
4	BRK	0	R/(W)*	ブレーク検出 受信データにブレーク信号が検出されたことを示します。 0 : ブレーク信号なし [クリア条件] • パワーオンリセット • BRK=1 の状態を読み出した後、BRK フラグに 0 を書き込んだとき 1 : ブレーク信号を受信*1 [セット条件] • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0（ローレベル）の場合 【注】*1 ブレークが検出されると、検出後 SCFRDR への受信データ（H'00）の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。
3	FER	0	R	フレーミングエラー表示 調歩同期式モードで、受信 FIFO データレジスタ（SCFRDR）から読み出したデータにフレーミングエラーがあったかどうかを表示します。 0 : 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示 [クリア条件] • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし 1 : 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示 [セット条件] • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	パリティエラー表示 調歩同期式モードで、受信 FIFO データレジスタ（SCFRDR）から読み出したデータにパリティエラーがあったかどうかを表示します。 0 : 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示 [クリア条件] • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし 1 : 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示 [セット条件] • 次の SCFRDR 読み出しデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説 明
1	RDF	0	R/(W)*	受信 FIFO データフル 受信データが受信 FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。 0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示 [クリア条件] • パワーオンリセット • RDF=1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) によりダイレクトメモリアクセスコントローラを起動し、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき 1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示 [セット条件] • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき*1 【注】*1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFDR の下位 8 ビットで示されます。
0	DR	0	R/(W)*	受信データレディ 調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期式モードに設定した場合はセットされません。 0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示 [クリア条件] • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) によりダイレクトメモリアクセスコントローラを起動し、SCFRDR 内の受信データをすべて読み出したとき 1 : 次の受信データが受信されていないことを表示 [セット条件] • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*1 後も次のデータが受信されないとき 【注】*1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0]、シリアル拡張モードレジスタ (SCEMR) の BGDM ビットおよび ABCS ビットとあわせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し／書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、5 つのチャンネルにはそれぞれ異なる値を設定することができます。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード (SCEMRのBGDM=0)

$$N = (P\phi / (64 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P\phi / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM=1)

$$N = (P\phi / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P\phi / (16 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

【クロック同期式モード】

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 ($0 \leq N \leq 255$)

(電気的特性を満足する設定値としてください)

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 16.3 を参照してください)

表 16.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS[1]	CKS[0]
0	$P\phi$	0	0
1	$P\phi/4$	0	1
2	$P\phi/16$	1	0
3	$P\phi/64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SCEMRのBGDM=0)

$$\text{誤差 (\%)} = \{ (P\phi \times 10^6) / ((N+1) \times B \times 64 \times 2^{2n-1}) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ (P\phi \times 10^6) / ((N+1) \times B \times 32 \times 2^{2n-1}) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM=1)

$$\text{誤差 (\%)} = \{ (P\phi \times 10^6) / ((N+1) \times B \times 32 \times 2^{2n-1}) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ (P\phi \times 10^6) / ((N+1) \times B \times 16 \times 2^{2n-1}) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

表 16.4 にボーレートジェネレータ通常モード (SCEMR の BGDM=0)、16 倍の基本クロック動作 (SCEMR の ABCS=0) のとき、調歩同期式モードの SCBRR の設定例を示します。また、表 16.5 にクロック同期式モードの SCBRR の設定例を示します。

表 16.4 ビットレートに対する SCBRR の設定例〔調歩同期式モード、BGDM=0、ABCS=0〕

ビットレート (bit/s)	Pφ (MHz)					
	30			36		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	159	-0.12
150	3	97	-0.35	3	116	0.16
300	2	194	0.16	2	233	0.16
600	2	97	-0.35	2	116	0.16
1200	1	194	0.16	1	233	0.16
2400	1	97	-0.35	1	116	0.16
4800	0	194	0.16	0	233	0.16
9600	0	97	-0.35	0	116	0.16
19200	0	48	-0.35	0	58	-0.69
31250	0	29	0.00	0	35	0.00
38400	0	23	1.73	0	28	1.02

【注】 誤差は、なるべく 1%以内になるように設定してください。

表 16.5 ビットレートに対する SCBRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	P ϕ (MHz)			
	30		36	
	n	N	n	N
500	3	233	—	—
1000	3	116	3	140
2500	2	187	2	224
5000	2	93	2	112
10000	1	187	1	224
25000	1	74	1	89
50000	0	149	0	179
100000	0	74	0	89
250000	0	29	0	35
500000	0	14	0	17
1000000	—	—	0	8
2000000	—	—	—	—

【記号説明】

— : 設定可能ですが誤差が出ます。

表 16.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 16.7 に外部クロック入力における調歩同期式モードの最大ビットレート、表 16.8 に外部クロック入力 ($t_{\text{sync}}=12t_{\text{psync}}$ 時*) におけるクロック同期式モードの最大ビットレートを示します。

【注】 * 本 LSI と通信相手先の電気的特性を満足することを確認してください。

表 16.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（調歩同期式モード）

Pφ (MHz)	設定値				最大ビットレート (bit/s)
	BGDM	ABCS	n	N	
30	0	0	0	0	937500
		1	0	0	1875000
	1	0	0	0	1875000
		1	0	0	3750000
36	0	0	0	0	1125000
		1	0	0	2250000
	1	0	0	0	2250000
		1	0	0	4500000

表 16.7 外部クロック入力時の最大ビットレート（調歩同期式モード）

Pφ (MHz)	外部入力クロック (MHz)	設定値	最大ビットレート (bit/s)
		ABCS	
30	7.5000	0	468750
		1	937500
36	9.0000	0	562500
		1	1125000

表 16.8 外部クロック入力時の最大ビットレート（クロック同期式モード、 $t_{Scyc}=12t_{psyc}$ 時）

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
30	2.5000	250000.0
36	3.0000	300000.0

16.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し／書き込みが可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS出力アクティブトリガ 受信 FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、 $\overline{\text{RTS}}$ 信号はハイレベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14

ビット	ビット名	初期値	R/W	説 明
7、6	RTRG[1:0]	00	R/W	受信 FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 - 調歩同期式モード 00 : 1 01 : 4 10 : 8 11 : 14 - クロック同期式モード 00 : 1 01 : 2 10 : 8 11 : 14 【注】クロック同期式モードのとき、ダイレクトメモリアクセスコントローラにより受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。
5、4	TTRG[1:0]	00	R/W	送信 FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。 00 : 8 (8) * 01 : 4 (12) * 10 : 2 (14) * 11 : 0 (16) * 【注】* () 内の数値は TDFE フラグが 1 にセットされときの SCFTDR レジスタの空きバイト数を意味します。
3	MCE	0	R/W	モデムコントロールイネーブル モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可/禁止します。 チャンネル 3、4、クロック同期モードでは MCE を常に 0 にしてください。 0 : モデム信号を禁止* 1 : モデム信号を許可 【注】* 入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ も 0 に固定されます。

ビット	ビット名	初期値	R/W	説 明
2	TFRST	0	R/W	送信 FIFO データレジスタリセット 送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
1	RFRST	0	R/W	受信 FIFO データレジスタリセット 受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (TxD) と受信入力端子 (RxD)、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続しループバックテストを許可します。 0 : ループバックテストを禁止 1 : ループバックテストを許可

16.3.10 FIFO データカウントセットレジスタ (SCFDR)

SCFDR は、送信 FIFO データレジスタ (SCFTDR) と受信 FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを示します。

16.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、本モジュールの端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で $\overline{\text{RTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で $\overline{\text{CTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。

SCSPTR は、常に CPU による読み出し／書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	$\overline{\text{RTS}}$ ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	$\overline{\text{RTS}}$ ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0: 入出力データがローレベル 1: 入出力データがハイレベル
5	CTSIO	0	R/W	$\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する

ビット	ビット名	初期値	R/W	説 明
4	CTS DT	1	R/W	CTSポートデータ シリアルポートのCTS端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS DT ビットの値がCTS端子に出力されます。CTSIO ビットの値にかかわらず、CTS DT ビットからはCTS端子の値が読み出されます。ただし PFC で CTS入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
3	SCK IO	0	R/W	SCK ポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCK DT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0 : SCK 端子に SCK DT ビットの値を出力しない 1 : SCK 端子に SCK DT ビットの値を出力する
2	SCK DT	0	R/W	SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCK IO ビットで指定します。出力の場合、SCK DT ビットの値が SCK 端子に出力されます。SCK IO ビットの値にかかわらず、SCK DT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
1	SPB2 IO	0	R/W	シリアルポートブレイク入出力 シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB2 DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0 : TxD 端子に SPB2 DT ビットの値を出力しない 1 : TxD 端子に SPB2 DT ビットの値を出力する
0	SPB2 DT	0	R/W	シリアルポートブレイクデータ シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。入力か出力かは SPB2 IO ビットで指定します。TxD 端子を出力に設定した場合、SPB2 DT ビットの値が TxD 端子に出力されます。SPB2 IO ビットの値にかかわらず、SPB2 DT ビットからは RxD 端子の値が読み出されます。ただし PFC で RxD 入力、TxD 出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル

16.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し／書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0：受信中、または正常に受信を完了したことを表示*¹ 〔クリア条件〕 • パワーオンリセット • ORER=1 の状態を読み出した後、0 を書き込んだとき 1：受信時にオーバランエラーが発生したことを表示*² 〔セット条件〕 • 受信 FIFO にいっぱいの 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき 【注】 *¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 *² 受信 FIFO データレジスタ (SCFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。

16.3.13 シリアル拡張モードレジスタ (SCEMR)

SCEMR は、常に CPU から読み出し／書き込みが可能です。BGDM ビットを 1 にセットすることにより、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック／SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のとき、本モジュール内部のボーレートジェネレータが倍速モードで動作します。

また、ABCS ビットの設定を変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックを選択することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BGDM	-	-	-	-	-	-	ABCS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	BGDM	0	R/W	ボーレートジェネレータ倍速モード BGDM ビットを 1 にセットすると、本モジュール内部のボーレートジェネレータが倍速モードで動作します。BGDM の設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック／SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のときに有効です。上記設定以外のときは通常モードを使用してください。 0: 通常モード 1: 倍速モード
6~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。ABCS ビットの設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) のとき有効です。 0: ビットレートの 16 倍の周波数の基本クロックで動作 1: ビットレートの 8 倍の周波数の基本クロックで動作

16.4 動作説明

16.4.1 概要

本モジュールは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

送信／受信のそれぞれに16段のFIFOバッファを内蔵しており、CPUのオーバーヘッドを減らし、高速連続通信が可能です。さらにチャネル0～2にはモデムコントロール信号として $\overline{\text{RTS}}$ 信号、 $\overline{\text{CTS}}$ 信号を用意しています。送受信フォーマットの選択は、シリアルモードレジスタ（SCSMR）で行います。これを表16.9に示します。また、クロックソースは、シリアルコントロールレジスタ（SCSCR）のCKE[1:0]の組み合わせで決まります。これを表16.10に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加および1ビット／2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- クロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの16/8倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- クロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された外部同期クロックで動作

表 16.9 SCSMR の設定値と送信／受信フォーマット

SCSMR				モード	送信／受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ $\bar{A}$	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 16.10 SCSMR、SCSCR の設定値とクロックソースの選択

SCSMR	SCSCR	モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1、0			
C/ $\bar{A}$	CKE[1:0]			
0	00	調歩同期式モード	内部	SCK 端子を使用しません
	01			ビットレートの 16/8 倍の周波数のクロックを出力
	10		外部	ビットレートの 16/8 倍の周波数のクロックを入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【記号説明】 x : Don't care

【注】 ボーレートジェネレータ倍速モード (BGDM=1) を使用する際は、調歩同期式モード (C/ $\bar{A}$ =0) かつクロックソースを内部クロック／SCK 端子を使用しない (CKE[1:0]=00) 設定にしてください。

16.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

本モジュール内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 16.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、受信時にスタートビットの立ち上がりエッジで同期化を行います。また、データを 1 ビット期間の 16/8 倍の周波数のクロックの 8/4 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

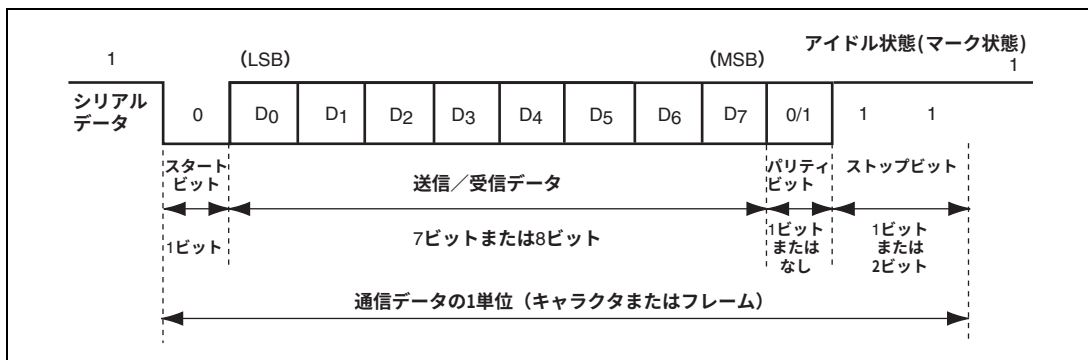


図 16.2 調歩同期式通信のデータフォーマット
(8 ビットデータ／パリティあり／2 ストップビットの例)

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、表 16.11 に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 16.11 シリアル送信／受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信／受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START 8ビットデータ STOP											
		1	START 8ビットデータ STOP STOP											
	1	0	START 8ビットデータ P STOP											
		1	START 8ビットデータ P STOP STOP											
1	0	0	START 7ビットデータ STOP											
		1	START 7ビットデータ STOP STOP											
	1	0	START 7ビットデータ P STOP											
		1	START 7ビットデータ P STOP STOP											

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

本モジュールの送受信クロックは、SCSMR の C/ $\bar{A}$ ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE[1:0] の設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。クロックソースの選択については表 16.10 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16/8 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16/8 倍の周波数です。

(3) データの送信／受信動作

● 初期化（調歩同期式モード）

データの送信／受信前には、まずシリアルコントロールレジスタ（SCSCR）のTEビットおよびREビットを0にクリアした後、以下の順で初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、送信シフトレジスタ（SCTSR）は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ（SCFSR）、送信FIFOデータレジスタ（SCFTDR）、受信FIFOデータレジスタ（SCFRDR）は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図16.3に初期化フローチャートの例を示します。

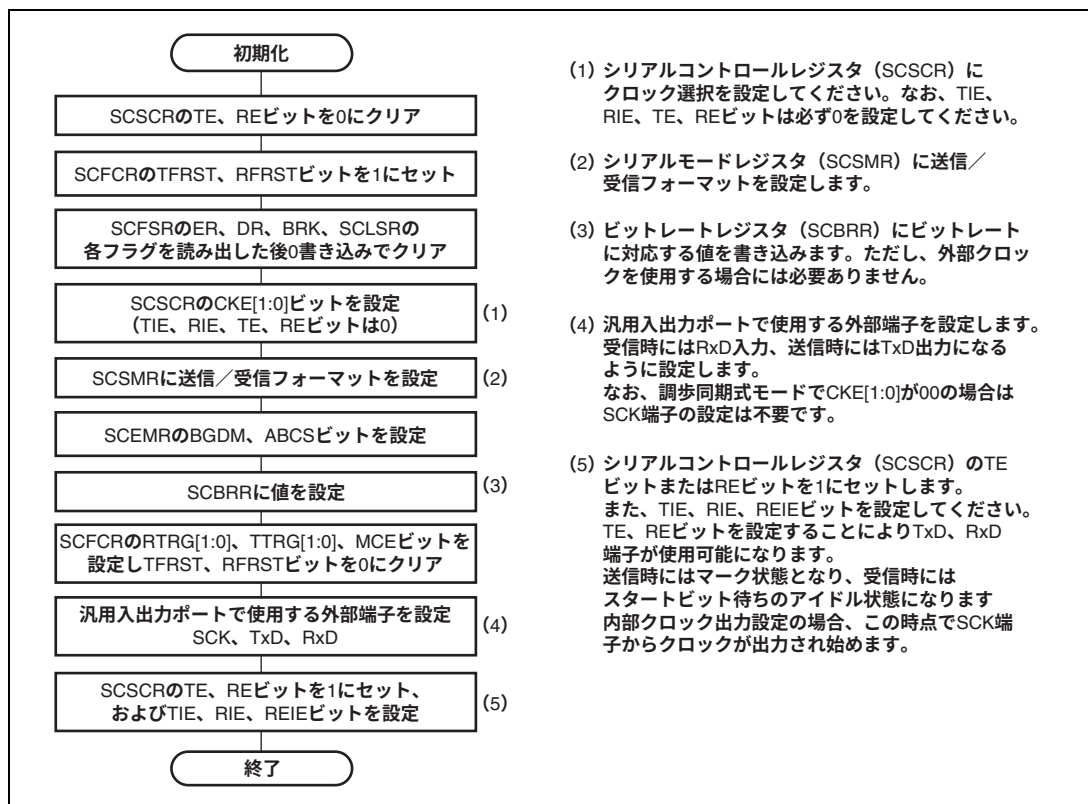


図 16.3 初期化フローチャートの例

● シリアルデータ送信（調歩同期式モード）

図16.4にシリアル送信のフローチャートの例を示します。

送信を可能にした後、シリアルデータ送信は以下の手順に従い行ってください。

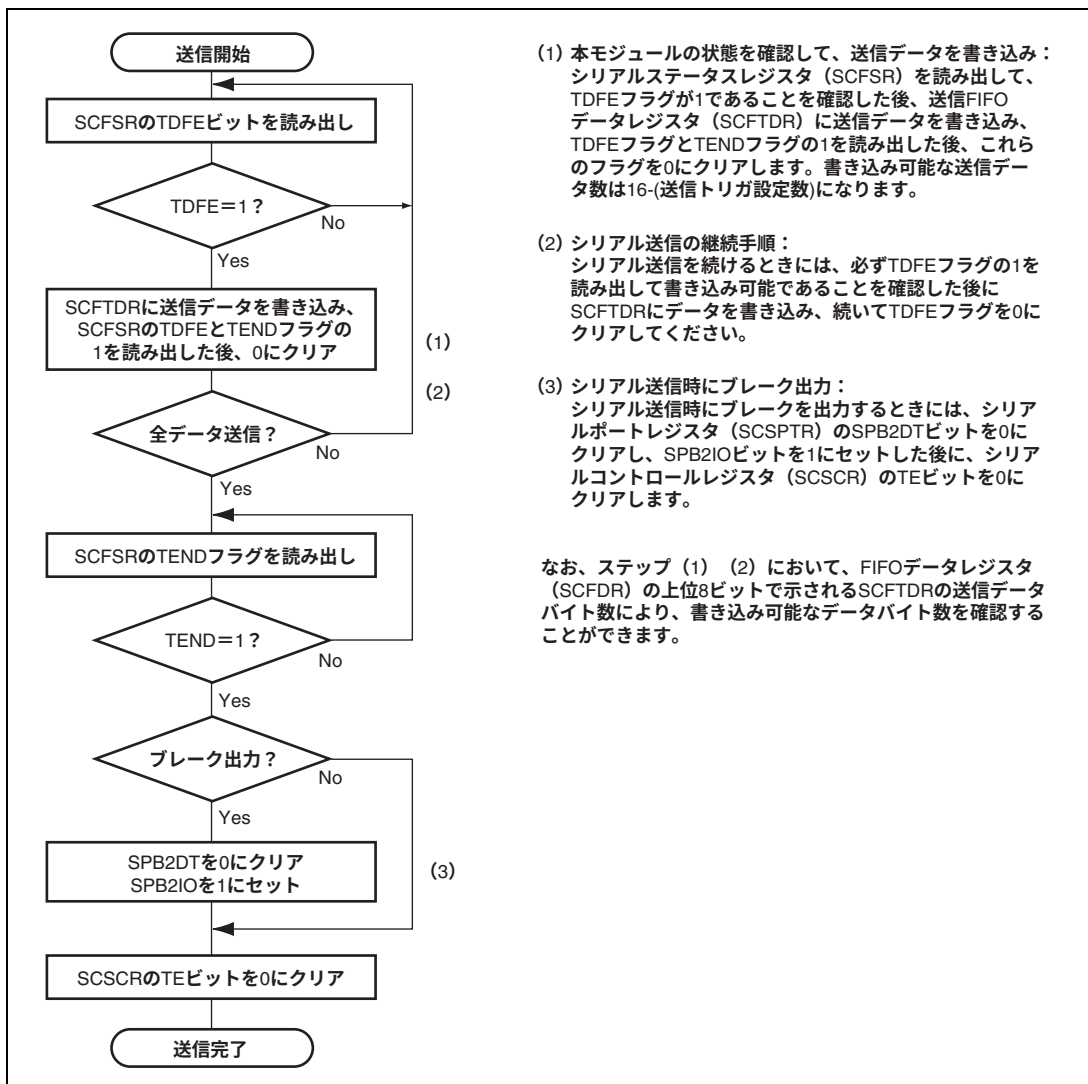


図 16.4 シリアル送信のフローチャートの例

シリアル送信時には以下のように動作します。

1. 送信FIFOデータレジスタ（SCFTDR）にデータが書き込まれると、SCFTDRから送信シフトレジスタ（SCTSR）にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ（SCFSR）のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は（16－送信トリガ設定数）です。

- SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ（SCFCR）で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ（SCSCR）のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み（TXI）要求が発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
 - 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - パリティビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます（なお、パリティビットを出力しないフォーマットも選択できます）。
 - ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがある場合、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図16.5に示します。

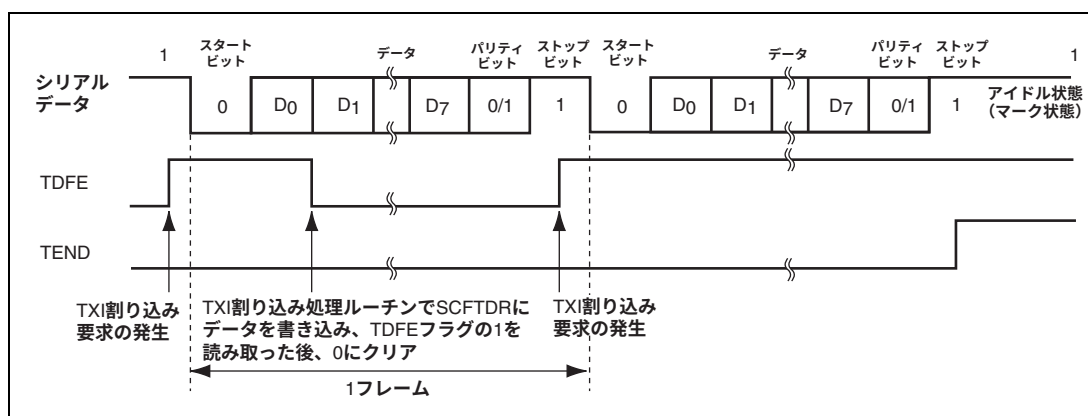


図 16.5 送信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

- チャネル0～2において、モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止／再開することができます。 $\overline{\text{CTS}}$ が1にセットされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

モデムコントロールを使用した動作例を図16.6に示します。

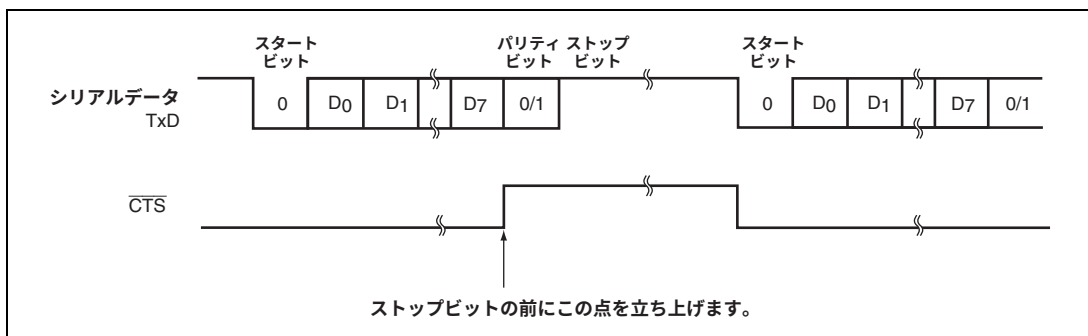


図 16.6 モデムコントロールを使用した動作例 (CTS)

- シリアルデータ受信 (調歩同期式モード)

図 16.7、図 16.8 にシリアル受信フローチャートの例を示します。

受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

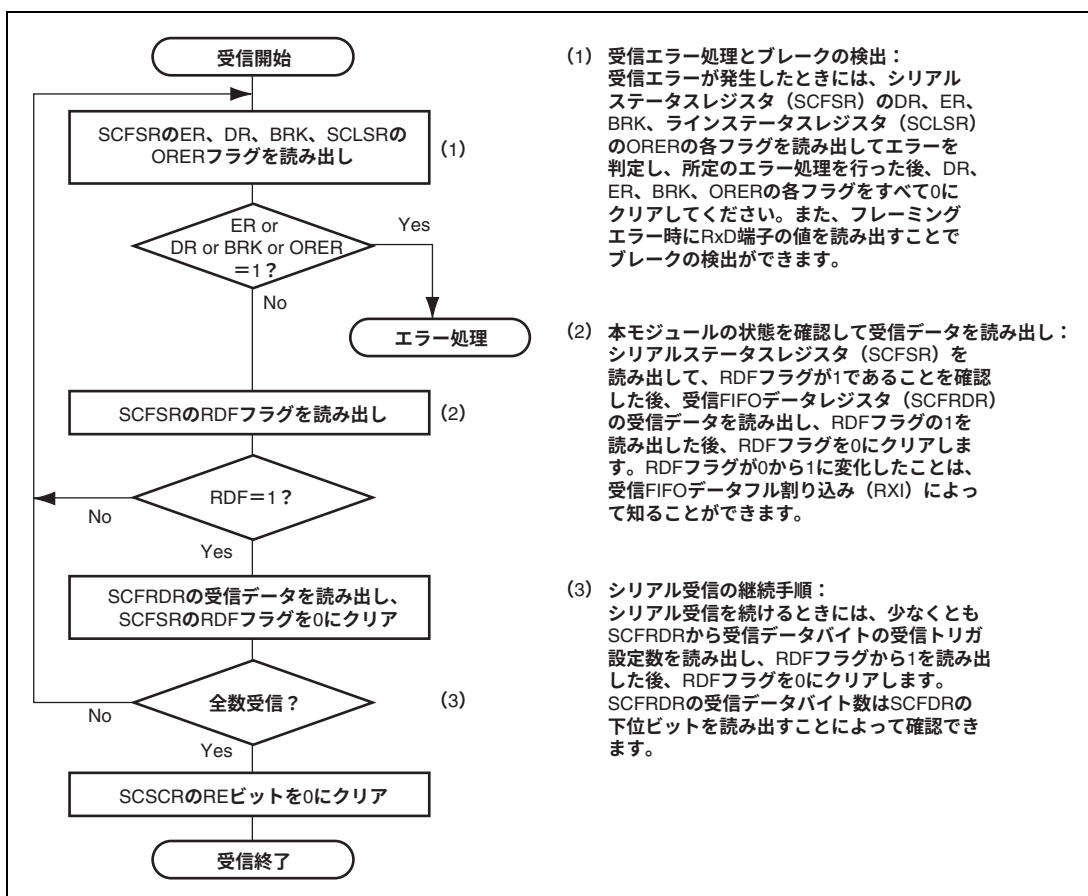


図 16.7 シリアル受信のフローチャートの例 (1)

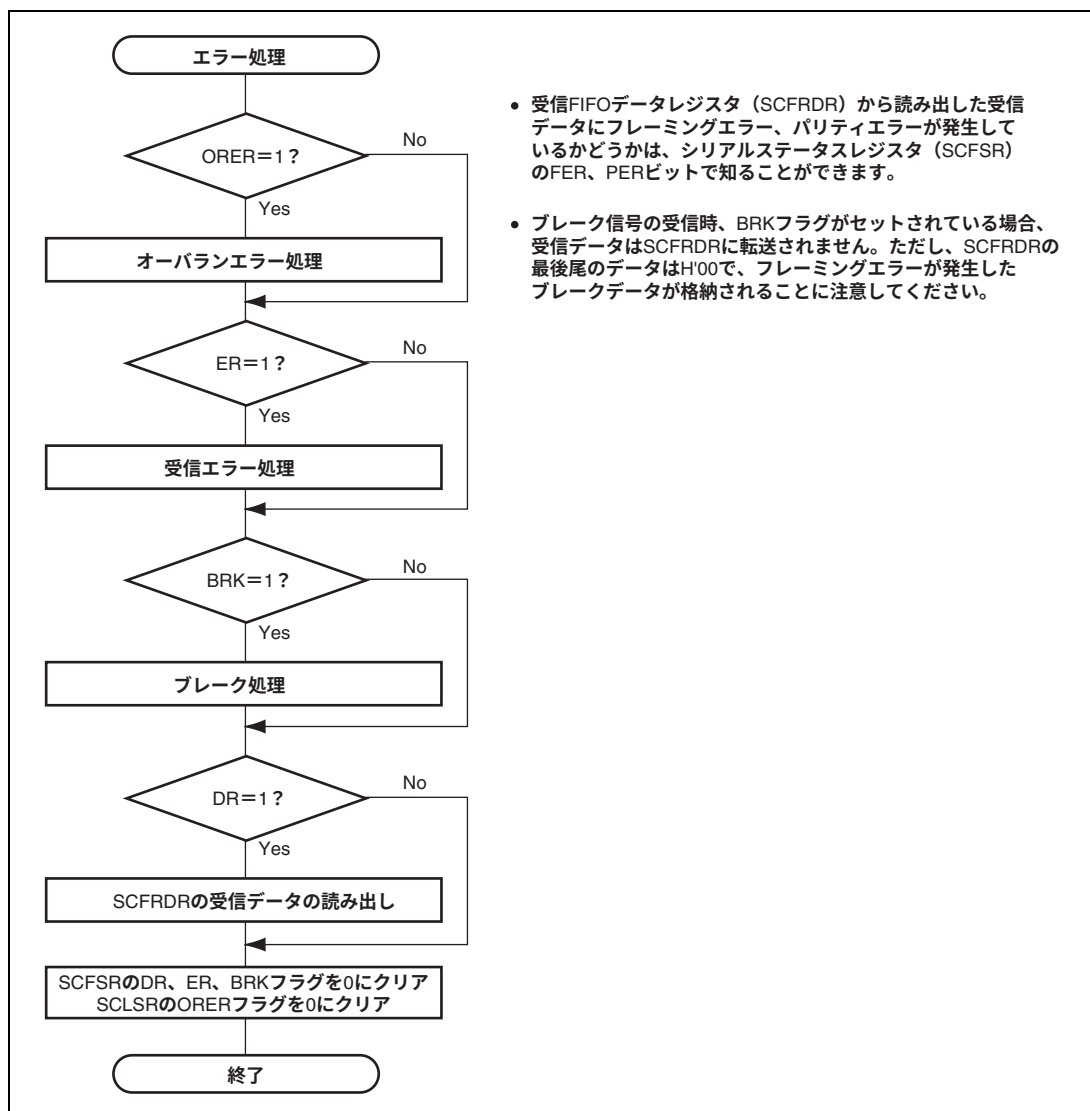


図 16.8 シリアル受信のフローチャートの例 (2)

受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データを受信シフトレジスタ (SCRSR) からSCFRDRに転送できる状態であるかをチェックします。

(c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが0であるかどうかをチェックします。

(d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、受信FIFOデータフル割り込み（RXI）要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、受信エラー割り込み（ERI）要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み（BRI）要求が発生します。

調歩同期式モード受信時の動作例を図16.9に示します。

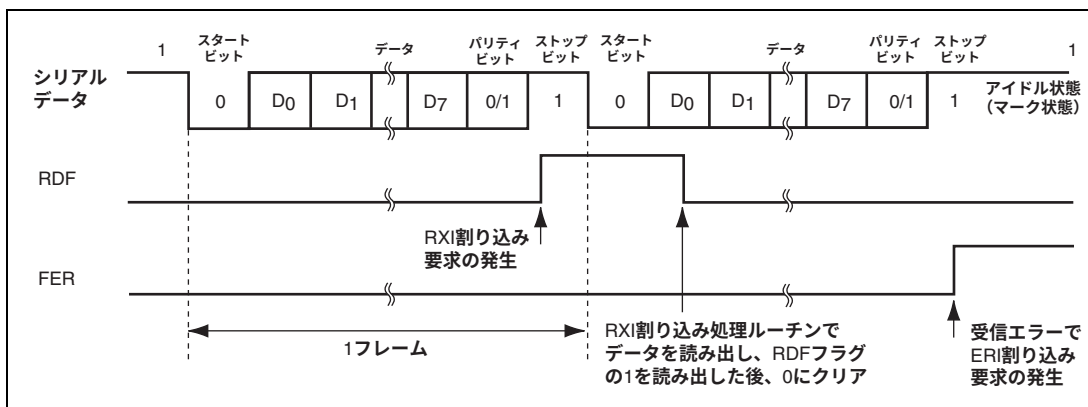
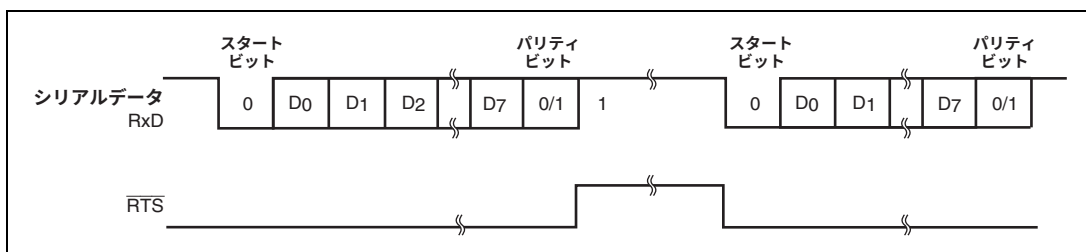


図 16.9 受信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

5. チャンネル0～2においてモデムコントロールが有効であると、SCFRDRが空のとき $\overline{\text{RTS}}$ 信号が出力されます。 $\overline{\text{RTS}}$ が0の場合受信が可能です。 $\overline{\text{RTS}}$ が1の場合はSCFRDRのデータ数がRTS出力アクティブトリガ設定数以上であることを示します。

モデムコントロール使用時の動作例を図16.10に示します。

図 16.10 モデムコントロール使用時の動作例 ($\overline{\text{RTS}}$)

16.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

本モジュール内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 16.11 に示します。

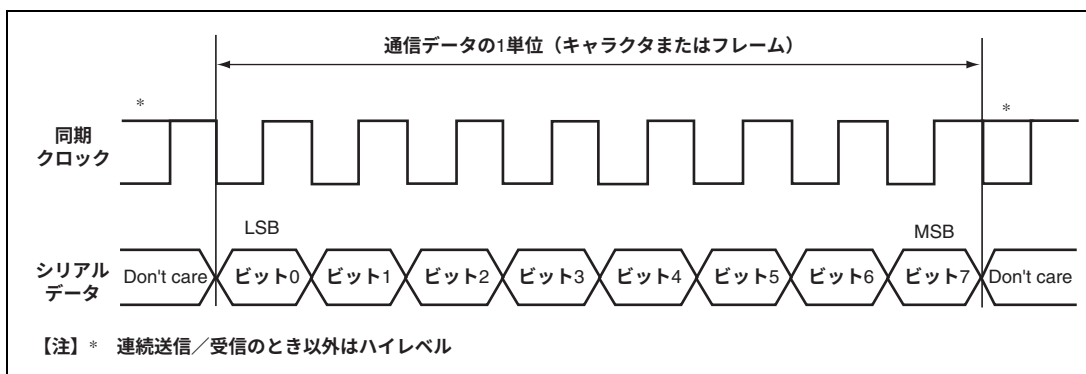


図 16.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/ $\bar{A}$ ビットと SCSCR の CKE[1:0] の設定により内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信／受信動作

• 初期化（クロック同期式モード）

データの送信／受信前にシリアルコントロールレジスタ（SCSCR）の TE および RE ビットを 0 にクリアした後、以下の手順で初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ（SCTSR）が初期化されます。

RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ（SCRDR）の内容は保持されますので注意してください。

図 16.12 に初期化フローチャートの例を示します。

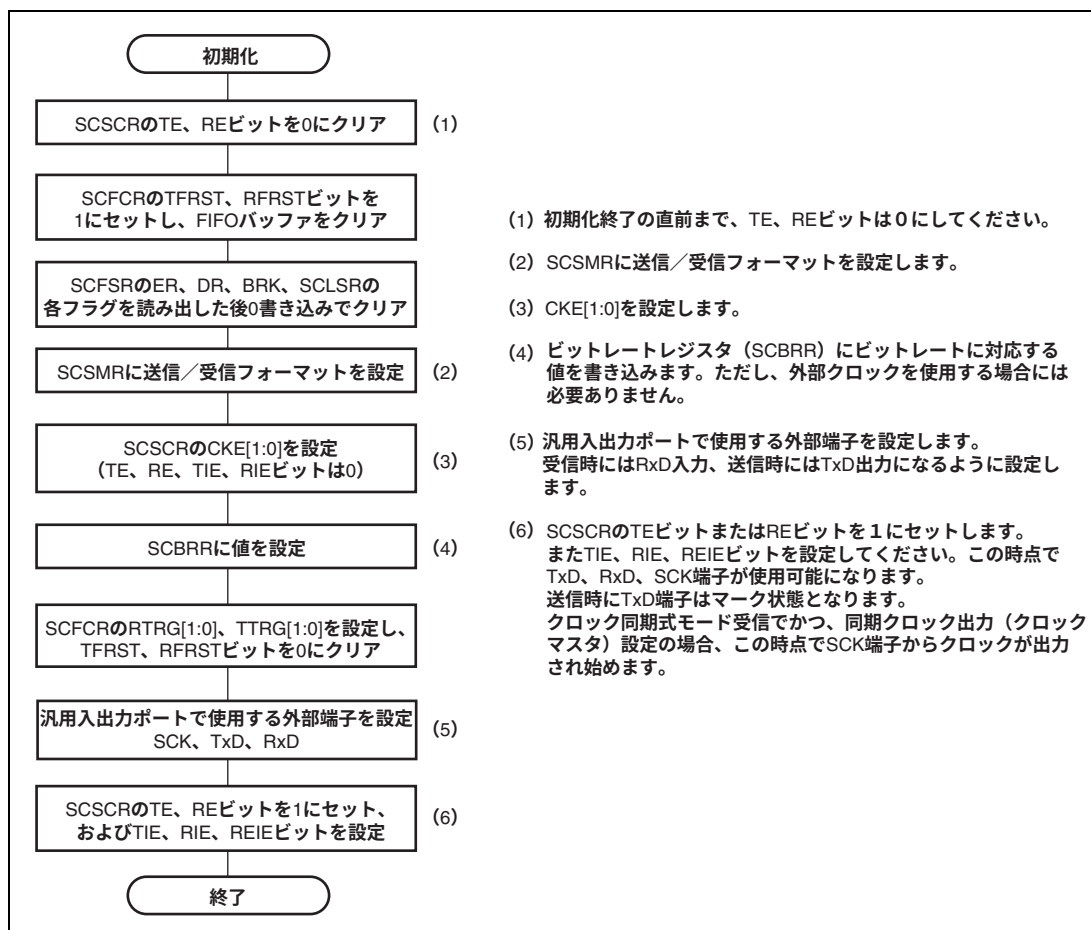


図 16.12 初期化フローチャートの例

- シリアルデータ送信（クロック同期式モード）

図16.13にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、送信動作可能状態に設定した後、以下の手順で行ってください。

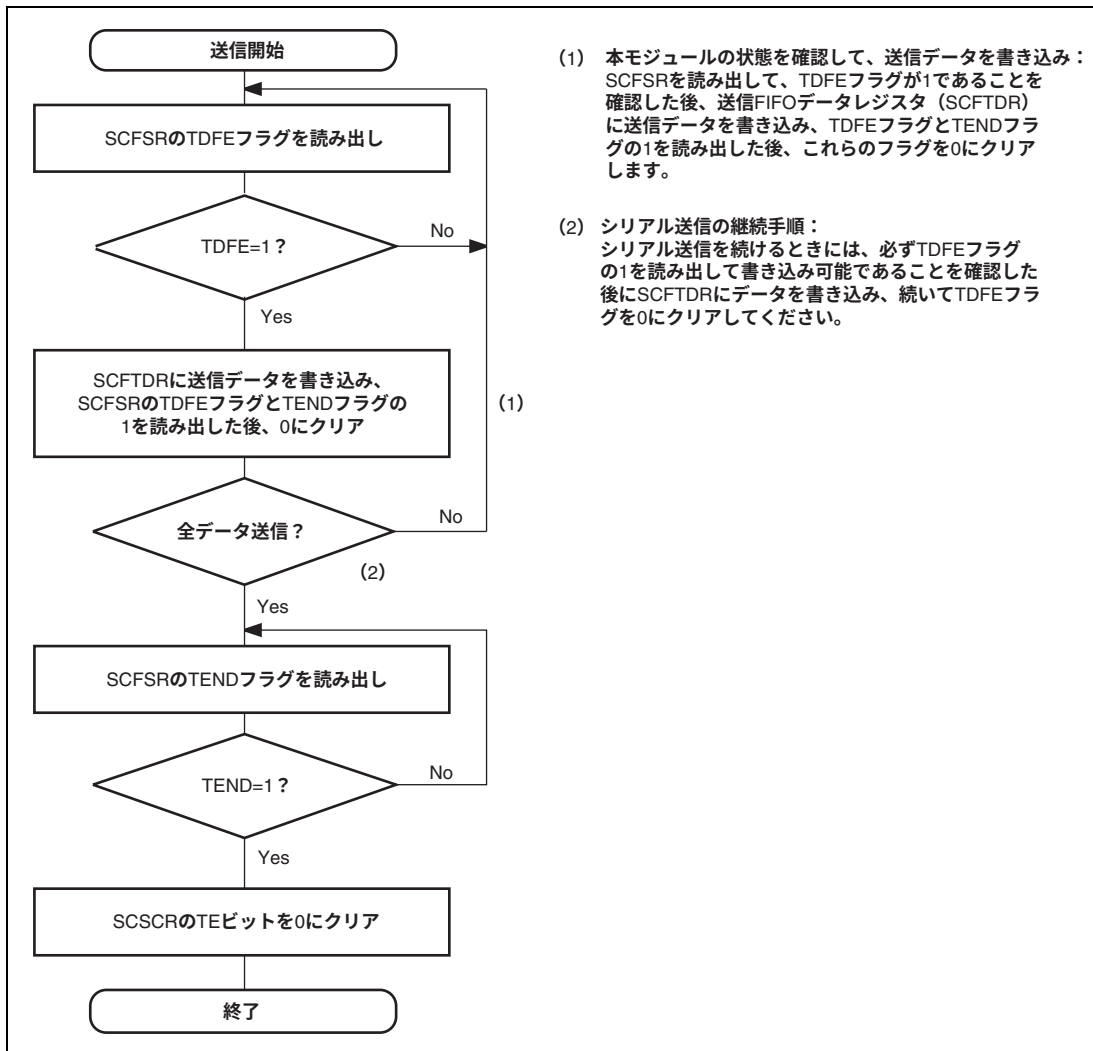


図 16.13 シリアル送信のフローチャートの例

シリアル送信時に以下のように動作します。

1. 送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) の TDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16－送信トリガ設定数) です。
 2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。
- クロック出力モードに設定したときには、同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ～MSB (ビット7) の順にTxD端子から送り出されます。
3. 最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
 4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図16.14に送信時の動作例を示します。

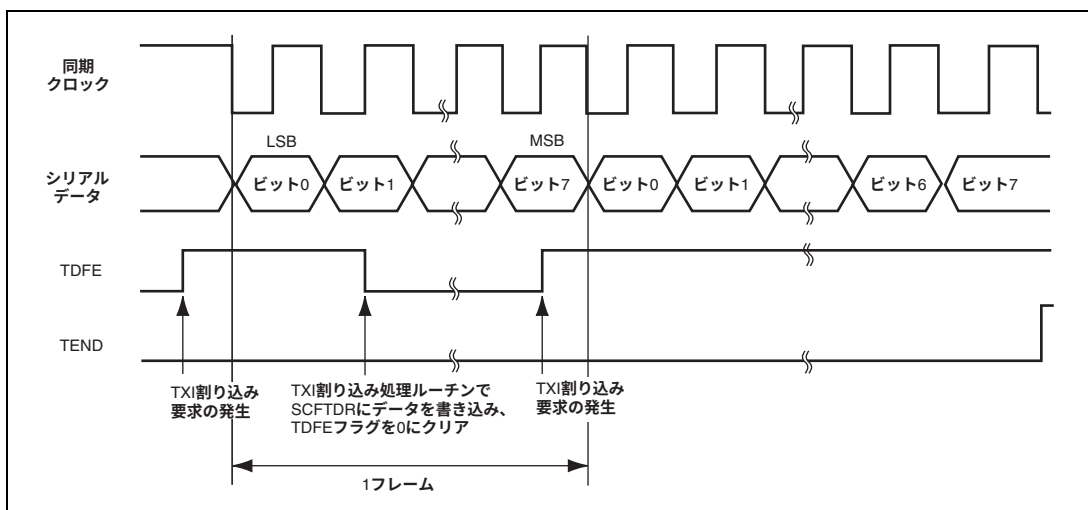


図 16.14 送信時の動作例

● シリアルデータ受信（クロック同期式モード）

図16.15、図16.16にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、受信動作可能状態に設定した後、以下の手順に従って行ってください。

初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

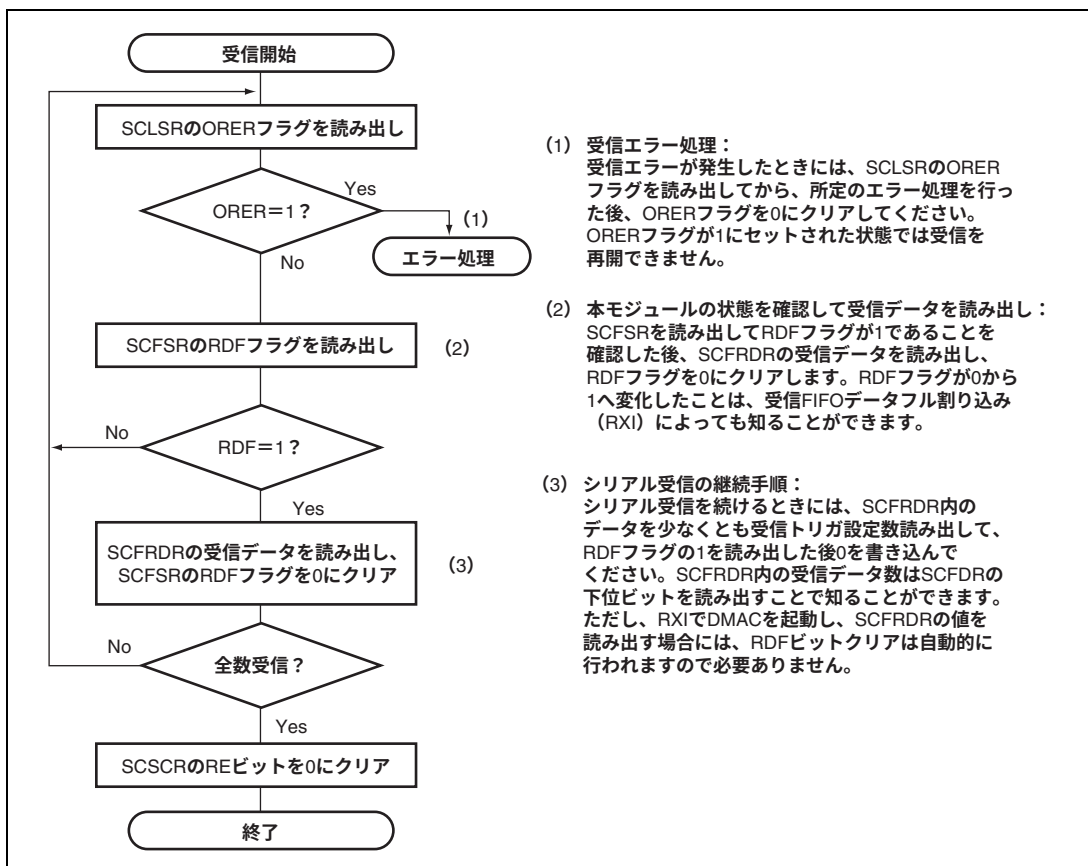


図 16.15 シリアル受信のフローチャートの例 (1)

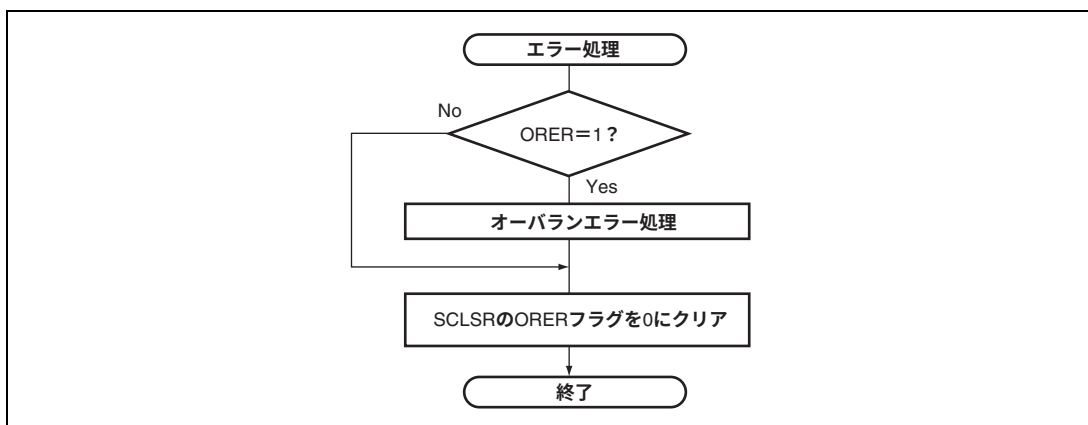


図 16.16 シリアル受信のフローチャートの例 (2)

シリアル受信時に以下のように動作します。

1. 同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたときRDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバーランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図16.17に受信時の動作例を示します。

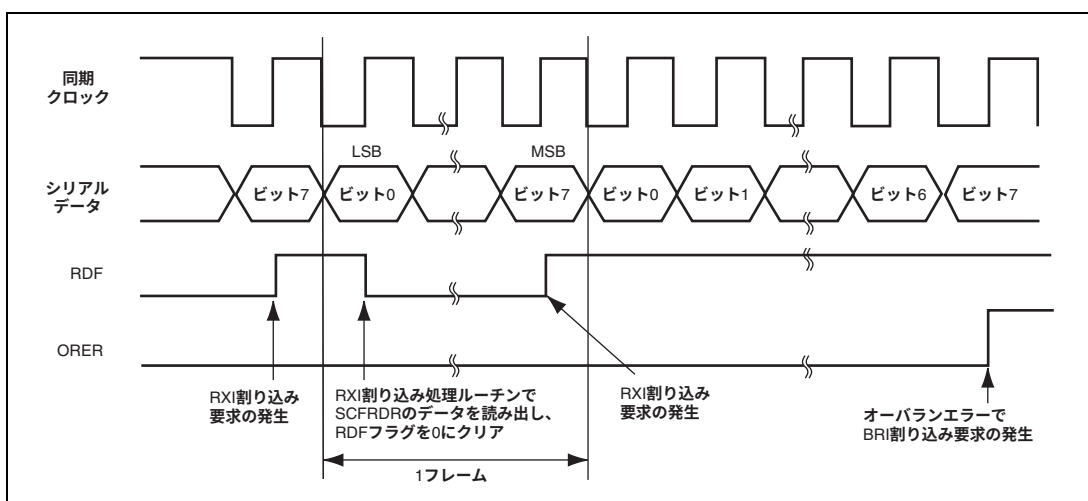


図 16.17 受信時の動作例

● シリアルデータ送受信同時動作（クロック同期式モード）

図16.18にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、送受信動作可能状態に設定した後、以下の手順に従って行ってください。

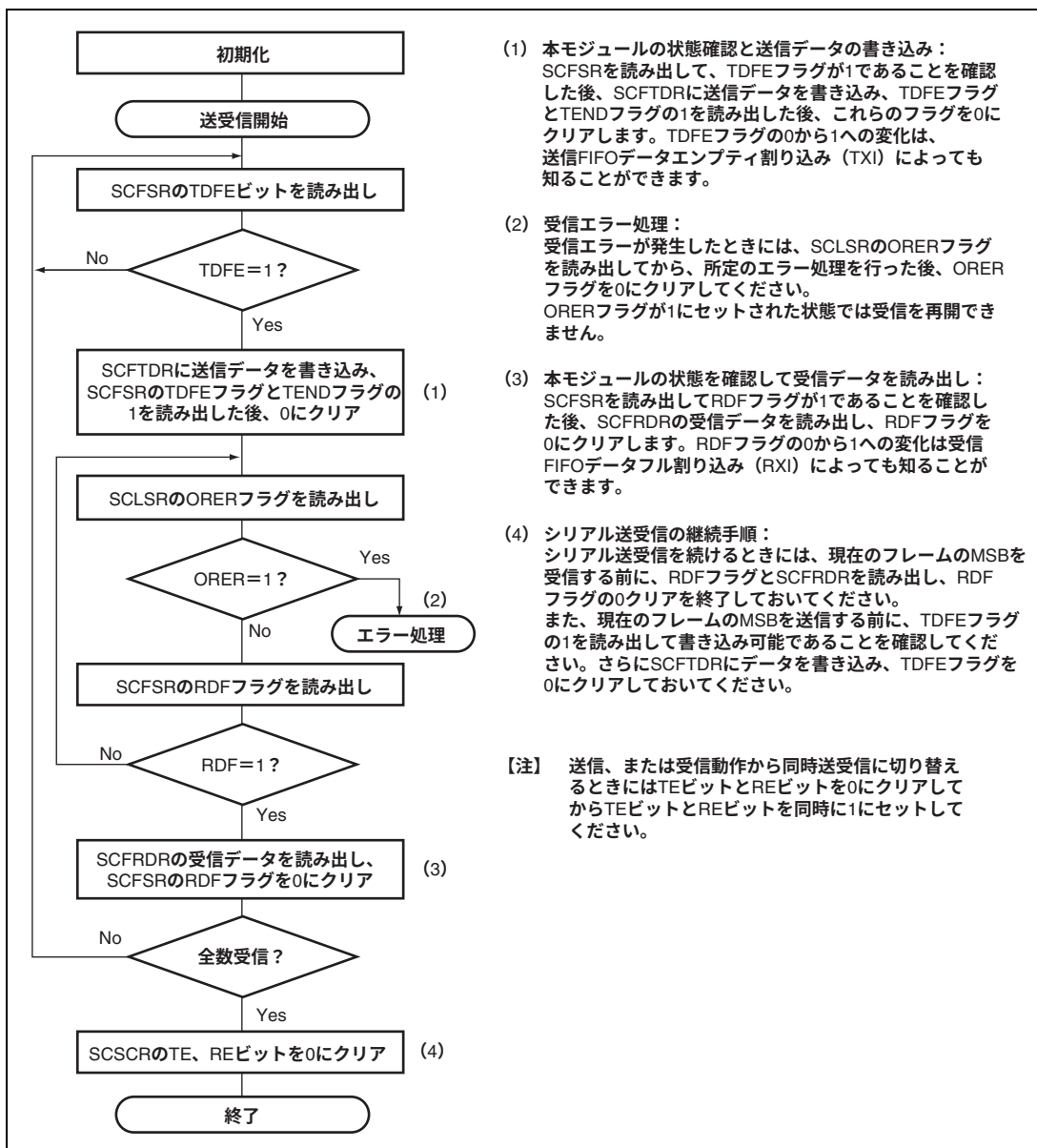


図 16.18 シリアルデータ送受信フローチャートの例

16.5 割り込み

本モジュールは、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 16.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求でダイレクトメモリアクセスコントローラを起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求でダイレクトメモリアクセスコントローラを起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求または BRI 割り込み要求を出すことができます。

なお、TXI は送信データを書き込み可能なことを示し、RXI は SCFRDR に受信データがあることを示しています。

表 16.12 割り込み要因

割り込み 要因	内 容	ダイレクトメモリアクセス コントローラの起動	リセット解除時 優先順位
BRI	ブレーク (BRK) またはオーバラン (ORER) による割り込み	不可	高 ↑ ↓ 低
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

16.6 使用上の注意事項

本モジュールを使用する際は、以下のことに注意してください。

16.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、送信 FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]で設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE フラグのクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回るときに 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

16.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、受信 FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF フラグのクリアは、受信 FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

16.6.3 ダイレクトメモリアクセスコントローラ使用上の制約事項

TXI 割り込み要求によりダイレクトメモリアクセスコントローラで SCFTDR ヘデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

16.6.4 ブレークの検出と処理

フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0（ローレベル）が入力されると、ブレーク（BRK）を検出します。ブレークを検出すると、SCFRDR への受信データ（H'00）の転送だけでなく、RXD 端子から入力されたシリアルデータを SCRSR にセットする動作も停止します。SCSCR の RIE ビット、または、REIE ビットをセットしている場合、ブレーク割り込み要求（BRI）も発生します。ブレークが終了し、受信信号がマーク 1（ハイレベル）になると、受信を再開します。

また、フレーミングエラー（FER）検出時に RXD 端子のレベルを SCSPTR から直接読み出すことでも、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ（PER）もセットされる場合があります。

16.6.5 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ（SCSPTR）の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット（送信可能）するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1（ハイレベル出力）に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア（ローレベルを指定）した後、TE ビットを 0 にクリア（送信停止）します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

16.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

本モジュールはビットレートの 16/8 倍の周波数の基本クロックで動作しています。受信時には、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8/4 クロック目の立ち上がりエッジで内部に取り込みます。16 倍の周波数の基本クロックで動作したときのタイミングを図 16.19 に示します。

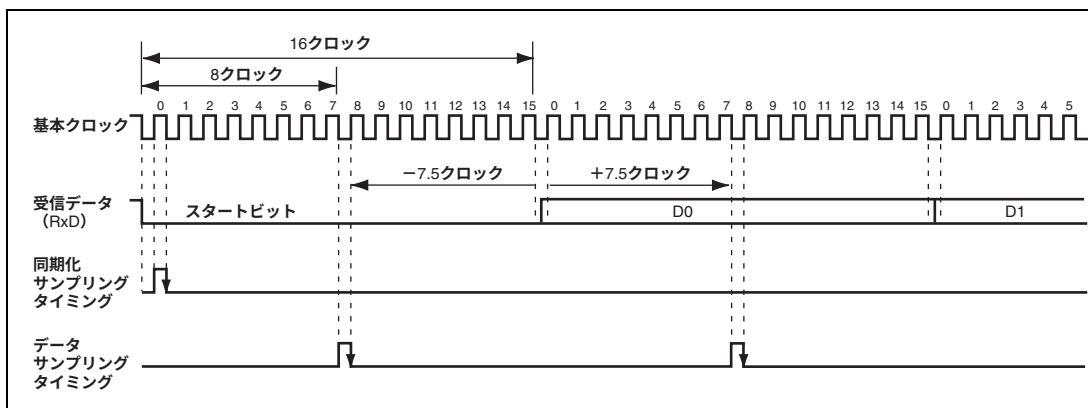


図 16.19 調歩同期式モードでの受信データサンプリングタイミング
(ビットレートの 16 倍の周波数の基本クロックで動作)

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100[\%] \quad \cdots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N=16/8)

D : クロックデューティ (D:0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5、N=16 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \cdots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

16.6.7 調歩同期式基本クロックセレクト

本 LSI では、シリアル拡張モードレジスタ (SCEMR) の ABCS ビットを変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックをビットレートの 16/8 倍の周波数にすることができます。

ただし、「16.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) からわかるように、基本クロックの周波数をビットレートの 8 倍に下げると受信マージンが減少するので注意してください。

所望のビットレートが、シリアルモードレジスタ (SCSMR) の CKS[1:0]、ビットレートレジスタ (SCBRR) の設定のみで可能であれば、1 ビット期間の基本クロックをビットレートの 16 倍の周波数 (SCEMR の ABCS=0) とすることをお勧めします。また、クロックソースを内部クロック / SCK 端子を使用しなければ、ボーレートジェネレータ倍速モード (SCEMR の BGDM=1) にすることで受信マージンを落とさずにビットレートを上げることができます。

17. ルネサスシリアルペリフェラルインタフェース

本 LSI は、独立した 3 チャネル（SH726A では 2 チャネル）のルネサスシリアルペリフェラルインタフェースを備えています。

本モジュールは、全二重同期式のシリアル通信ができます。

17.1 特長

本 LSI の本モジュールには次のような特長があります。

- SPI 転送機能

MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（SPI Clock）信号を使用して、SPI 動作（4 線式）でシリアル通信が可能。

マスタ／スレーブモードでのシリアル通信が可能。

モードフォルトエラー検出が可能（SPI スレーブモード設定時のみ）。

オーバランエラー検出が可能（SPI スレーブモード設定時のみ）。

シリアル転送クロックの極性を変更可能。

シリアル転送クロックの位相を変更可能。

- データフォーマット

MSB ファースト／LSB ファーストの切り替え可能。

転送ビット長を 8、16、32 ビットに変更可能。

- ビットレート

マスタ時の RSPCK は、最大 4096 分周

内蔵オーレータジェネレータで B_0 を分周して RSPCK を生成。

外部入力クロックをシリアルクロックとして使用。

- バッファ構成

送信用バッファ 8 Byte、受信用バッファ 32 Byte。

- SSL制御機能

1チャンネルあたり1本のSSL信号あり。

マスタ設定時には、SSL信号を出力。

スレーブ設定時には、SSL信号を入力。

SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

SSL極性変更機能。

- マスタ転送時の制御方式

最大4コマンドで構成された転送をシーケンシャルにループ実行可能。

各コマンドに設定可能な項目は以下のとおり。

SSL信号値、ビットレート、RSPCK極性／位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延。

送信バッファへのライトで転送を起動可能。

SPTEFビットクリアで転送を起動可能。

SSLネゲート時のMOSI信号値を設定可能。

- 割り込み要因

マスカブルな割り込み要因あり。

受信割り込み（受信バッファフル）。

送信割り込み（送信バッファエンプティ）。

エラー割り込み（モードフォルト、オーバラン）。

- その他

ループバックモードあり。

デイスエーブル（初期化）機能あり。

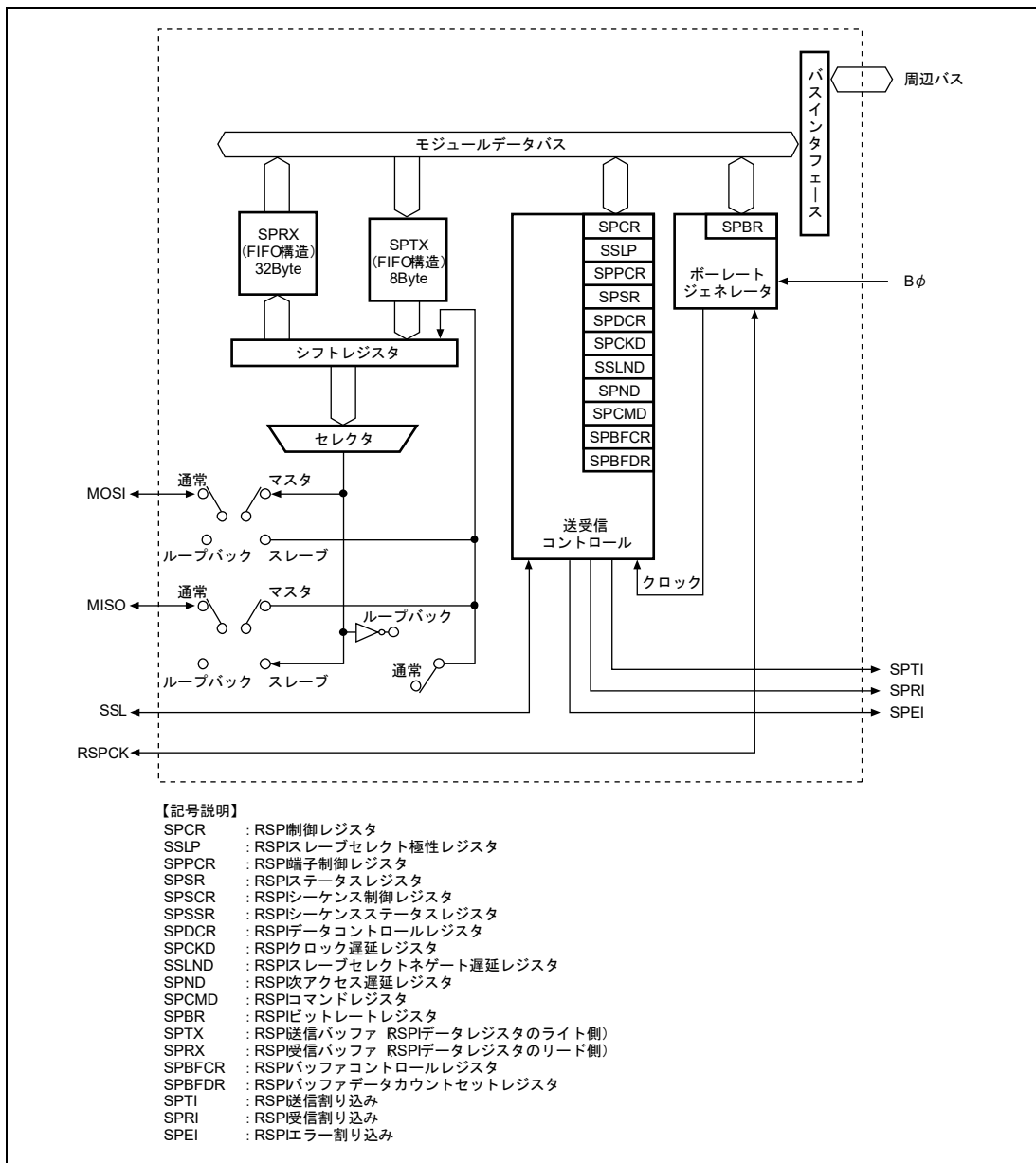


図 17.1 ブロック図 (1 チャンネル分)

17.2 入出力端子

表 17.1 に端子構成を示します。SSL 端子の入出力方向は、マスタ設定の場合には出力、スレーブ設定の場合には入力に、本モジュールが自動的に切り替えます。RSPCK、MOSI、MISO の入出力方向は、マスタ／スレーブ設定と SSL 入力レベルに応じて、本モジュールが自動的に切り替えます（「17.4.2 端子の制御」を参照）。

表 17.1 端子構成

チャンネル	名称	端子名	入出力	機 能
0	クロック端子	RSPCK0	入出力	クロック入出力
	マスタ送出データ端子	MOSI0	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO0	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL00	入出力	スレーブセレクト
1	クロック端子	RSPCK1	入出力	クロック入出力
	マスタ送出データ端子	MOSI1	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO1	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL10	入出力	スレーブセレクト
2	クロック端子	RSPCK2	入出力	クロック入出力
	マスタ送出データ端子	MOSI2	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO2	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL20	入出力	スレーブセレクト

【注】 本文中ではチャンネルを省略し、RSPCK、MOSI、MISO、SSL と略称します。

17.3 レジスタの説明

表 17.2 にレジスタ構成を示します。これらのレジスタにより、マスタ／スレーブモードの指定、転送フォーマットの指定、および送信部／受信部の制御を行うことができます。

表 17.2 レジスタ構成

チャネル	名称	略称*1	R/W	初期値	アドレス	アクセス サイズ
0	制御レジスタ_0	SPCR_0	R/W	H'00	H'FFFF8000	8、16
	スレーブセレクト極性レジスタ_0	SSLP_0	R/W	H'00	H'FFFF8001	8、16
	端子制御レジスタ_0	SPPCR_0	R/W	H'00	H'FFFF8002	8、16
	ステータスレジスタ_0	SPSR_0	R/(W)*2	H'60	H'FFFF8003	8、16
	データレジスタ_0	SPDR_0	R/W	不定	H'FFFF8004	8、16、32
	シーケンス制御レジスタ_0	SPSCR_0	R/W	H'00	H'FFFF8008	8、16
	シーケンスステータスレジスタ_0	SPSSR_0	R	H'00	H'FFFF8009	8、16
	ビットレートレジスタ_0	SPBR_0	R/W	H'FF	H'FFFF800A	8、16
	データコントロールレジスタ_0	SPDCR_0	R/W	H'20	H'FFFF800B	8、16
	クロック遅延レジスタ_0	SPCKD_0	R/W	H'00	H'FFFF800C	8、16
	スレーブセレクトネゲート遅延 レジスタ_0	SSLND_0	R/W	H'00	H'FFFF800D	8、16
	次アクセス遅延レジスタ_0	SPND_0	R/W	H'00	H'FFFF800E	8
	コマンドレジスタ_00	SPCMD_00	R/W	H'070D	H'FFFF8010	16
	コマンドレジスタ_01	SPCMD_01	R/W	H'070D	H'FFFF8012	16
	コマンドレジスタ_02	SPCMD_02	R/W	H'070D	H'FFFF8014	16
	コマンドレジスタ_03	SPCMD_03	R/W	H'070D	H'FFFF8016	16
	バッファコントロールレジスタ_0	SPBFCR_0	R/W	H'00	H'FFFF8020	8、16
	バッファデータカウントセット レジスタ_0	SPBFDR_0	R	H'0000	H'FFFF8022	16

チャネル	名称	略称*1	R/W	初期値	アドレス	アクセス サイズ
1	制御レジスタ_1	SPCR_1	R/W	H'00	H'FFFF8800	8、16
	スレーブセレクト極性レジスタ_1	SSLP_1	R/W	H'00	H'FFFF8801	8、16
	端子制御レジスタ_1	SPPCR_1	R/W	H'00	H'FFFF8802	8、16
	ステータスレジスタ_1	SPSR_1	R/(W)*2	H'60	H'FFFF8803	8、16
	データレジスタ_1	SPDR_1	R/W	不定	H'FFFF8804	8、16、32
	シーケンス制御レジスタ_1	SPSCR_1	R/W	H'00	H'FFFF8808	8、16
	シーケンスステータスレジスタ_1	SPSSR_1	R	H'00	H'FFFF8809	8、16
	ビットレートレジスタ_1	SPBR_1	R/W	H'FF	H'FFFF880A	8、16
	データコントロールレジスタ_1	SPDCR_1	R/W	H'20	H'FFFF880B	8、16
	クロック遅延レジスタ_1	SPCKD_1	R/W	H'00	H'FFFF880C	8、16
	スレーブセレクトネゲート遅延 レジスタ_1	SSLND_1	R/W	H'00	H'FFFF880D	8、16
	次アクセス遅延レジスタ_1	SPND_1	R/W	H'00	H'FFFF880E	8
	コマンドレジスタ_10	SPCMD_10	R/W	H'070D	H'FFFF8810	16
	コマンドレジスタ_11	SPCMD_11	R/W	H'070D	H'FFFF8812	16
	コマンドレジスタ_12	SPCMD_12	R/W	H'070D	H'FFFF8814	16
	コマンドレジスタ_13	SPCMD_13	R/W	H'070D	H'FFFF8816	16
	バッファコントロールレジスタ_1	SPBFCR_1	R/W	H'00	H'FFFF8820	8、16
	バッファデータカウントセット レジスタ_1	SPBFDR_1	R	H'0000	H'FFFF8822	16

チャンネル	名称	略称*1	R/W	初期値	アドレス	アクセス サイズ
2	制御レジスタ_2	SPCR_2	R/W	H'00	H'FFFFB000	8、16
	スレーブセレクト極性レジスタ_2	SSLP_2	R/W	H'00	H'FFFFB001	8、16
	端子制御レジスタ_2	SPPCR_2	R/W	H'00	H'FFFFB002	8、16
	ステータスレジスタ_2	SPSR_2	R/(W)*2	H'60	H'FFFFB003	8、16
	データレジスタ_2	SPDR_2	R/W	不定	H'FFFFB004	8、16、32
	シーケンス制御レジスタ_2	SPSCR_2	R/W	H'00	H'FFFFB008	8、16
	シーケンスステータスレジスタ_2	SPSSR_2	R	H'00	H'FFFFB009	8、16
	ビットレートレジスタ_2	SPBR_2	R/W	H'FF	H'FFFFB00A	8、16
	データコントロールレジスタ_2	SPDCR_2	R/W	H'20	H'FFFFB00B	8、16
	クロック遅延レジスタ_2	SPCKD_2	R/W	H'00	H'FFFFB00C	8、16
	スレーブセレクトネゲート遅延 レジスタ_2	SSLND_2	R/W	H'00	H'FFFFB00D	8、16
	次アクセス遅延レジスタ_2	SPND_2	R/W	H'00	H'FFFFB00E	8
	コマンドレジスタ_20	SPCMD_20	R/W	H'070D	H'FFFFB010	16
	コマンドレジスタ_21	SPCMD_21	R/W	H'070D	H'FFFFB012	16
	コマンドレジスタ_22	SPCMD_22	R/W	H'070D	H'FFFFB014	16
	コマンドレジスタ_23	SPCMD_23	R/W	H'070D	H'FFFFB016	16
	バッファコントロールレジスタ_2	SPBFCR_2	R/W	H'00	H'FFFFB020	8、16
	バッファデータカウントセット レジスタ_2	SPBFDR_2	R	H'0000	H'FFFFB022	16

【注】 *1 本文中ではチャンネルを省略してレジスタ名を表記しています。

*2 フラグをクリアするために0のみ書き込むことができます。

17.3.1 制御レジスタ (SPCR)

SPCR は、動作モードを設定するためのレジスタです。SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	SPRIE	0	R/W	受信割り込みイネーブル 受信バッファ (SPRX) の受信データ数が指定受信トリガ数以上になり、ステータスレジスタ (SPSR) の SPRF フラグが 1 にセットされたとき、受信割り込み (SPRI) 要求の発生の許可/禁止を設定します。 0: 受信割り込み要求の発生を禁止する 1: 受信割り込み要求の発生を許可する
6	SPE	0	R/W	機能イネーブル 本ビットを 1 にすることにより、本モジュールの機能が有効になります。ステータスレジスタ (SPSR) の MODF ビットが 1 の場合には、SPE ビットを 1 に設定することはできません (「17.4.6 エラー検出」を参照)。 SPE ビットを 0 にすると、本モジュールの機能は無効化されて、モジュール機能の一部が初期化されます (「17.4.7 初期化」を参照)。 0: 本モジュールの機能は無効化する 1: 本モジュールの機能を有効化する
5	SPTIE	0	R/W	送信割り込みイネーブル 送信バッファ (SPTX) の送信データ数が指定送信トリガ数以下になり、ステータスレジスタ (SPSR) の SPTEF フラグが 1 にセットされたとき、送信割り込み (SPTI) 要求の発生の許可/禁止を設定します。 0: 送信割り込み要求の発生を禁止する 1: 送信割り込み要求の発生を許可する
4	SPEIE	0	R/W	エラー割り込みイネーブル 本モジュールがモードフォルトエラーを検出してステータスレジスタ (SPSR) の MODF ビットを 1 にした場合、または本モジュールがオーバランエラーを検出して SPSR の OVRF ビットを 1 にした場合のエラー割り込み要求の発生を許可/禁止するためのビットです (「17.4.6 エラー検出」を参照)。 0: エラー割り込み要求の発生を禁止する 1: エラー割り込み要求の発生を許可する 【注】 SPI スレーブモード設定時のみ有効となります。

ビット	ビット名	初期値	R/W	説 明
3	MSTR	0	R/W	マスタ／スレーブモード選択 マスタ／スレーブモードを選択するためのビットです。また、本モジュールは MSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL 端子の方向を決定します。 0 : スレーブモード 1 : マスタモード
2	MODFEN	0	R/W	モードフォルトエラー検出イネーブル モードフォルトエラーの検出を許可／禁止するためのビットです（「17.4.6 エラー検出」を参照）。 0 : モードフォルトエラー検出を禁止する 1 : モードフォルトエラー検出を許可する 【注】 SPI スレーブモード設定時のみ有効となります。 また、MSTR ビットをマスタモード設定する場合はかならず、MODFEN ビットを 0 に設定してください。
1、0	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

17.3.2 スレーブセレクト極性レジスタ（SSLP）

SSLP は、SSL 信号の極性を設定するためのレジスタです。制御レジスタ（SPCR）の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SSL0P ビットを書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSL0P
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7～1	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
0	SSL0P	0	R/W	SSL 信号極性設定 SSL 信号の極性を設定するためのビットです。SSL0P の設定値が、SSL 信号のアクティブ極性を示します。 0 : SSL 信号は 0 アクティブ 1 : SSL 信号は 1 アクティブ

17.3.3 端子制御レジスタ（SPPCR）

SPPCR は、端子モードを設定するために使用されるレジスタです。SPCR の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	-	-	MOIFE	MOIFV	-	-	-	SPLP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの本モジュールが、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、本モジュールは SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE が 1 の場合には、本モジュールは MOIFV ビットに設定された固定値を MOSI に出力します。 0：MOSI 出力値は前回転送の最終データ 1：MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、本モジュールは MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を決定します。 0：MOSI アイドル固定値は 0 1：MOSI アイドル固定値は 1
3～1	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	SPLP	0	R/W	ループバック SPLP ビットを 1 にすると、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。 0：通常モード 1：ループバックモード

17.3.4 ステータスレジスタ (SPSR)

SPSR は、動作状態を示すフラグを格納したレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
初期値:	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/(W)*	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	SPRF	0	R	受信バッファフルフラグ 受信バッファ (SPRX) の受信データ数がバッファコントロールレジスタ (SPBFCR) の受信バッファデータ数トリガ (RXTRG) で指定した値以上になったことを示すビットです。 0: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満である 1: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上である SPRF ビットを 0 にクリアするための条件は以下のとおりです。 - 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満まで受信バッファを読み出したとき - 受信バッファデータリセットを有効にしたとき - パワーオンリセット SPRF ビットを 1 にセットするための条件は以下のとおりです。 - 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上のとき
6	TEND	1	R	送信終了 送信終了したことを示すビットです。TEND ビットが 1 の場合、送信終了したことを示し、TEND ビットが 0 の場合、送信未終了であることを示します。 TEND ビットを 0 にクリアする条件は以下のとおりです。 - 送信レジスタからシフトレジスタへ送信データが転送されたとき TEND ビットを 1 にセットする条件は以下のとおりです。 - シリアル転送終了時に送信バッファ (SPTX) のデータ格納数が空であるとき 【注】 SPI マスタモード設定時のみ有効となります。

ビット	ビット名	初期値	R/W	説 明
5	SPTEF	1	R	送信バッファエンプティフラグ 送信バッファ（SPTX）の送信データ数がバッファコントロールレジスタ（SPBFCR）の送信バッファデータ数トリガ（TXTRG）で指定した値以下になったことを示すビットです。 0：送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以上である 1：送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満である SPTEF ビットを 0 にクリアする条件は以下のとおりです。 - 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多くなるまで送信バッファに書き込んだとき SPTEF ビットに 1 をセットする条件は以下のとおりです。 - 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満になったとき - 送信バッファデータリセットを有効にしたとき - パワーオンリセット
4、3	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	MODF	0	R/(W)*	モードフォルトエラーフラグ モードフォルトエラーの発生状況を示すビットです。本モジュールがスレープモードの場合に MODFEN ビットに 1 を設定すると、データ転送に必要な RSPCK サイクルが終了する前に SSL 端子がネゲートされると、本モジュールがモードフォルトエラーを検出します。なお、SSL 信号のアクティブレベルは、スレープセレクト極性レジスタ（SSLP）の SSL0P ビットによって決定されます。MODF ビットのクリア条件は以下のとおりです。 - MODF が 1 にされた状態の SPSR を読み出した後、MODF に 0 を書き込む - パワーオンリセット 0：モードフォルトエラーなし 1：モードフォルトエラー発生 【注】 SPI スレープモード設定時のみ有効となります。
1	—	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説 明
0	OVRF	0	R/(W)*	オーバランエラーフラグ オーバランエラーの発生状況を示すビットです。受信バッファ（SPRX）に受信データ長の空きがない状態でシリアル転送が完了した場合に、本モジュールはオーバランエラーを検出し、OVRF ビットを 1 にします。OVRF ビットのクリア条件は、以下のとおりです。 • OVRF が 1 にされた状態の SPSR を読み出した後、OVRF に 0 を書き込む • パワーオンリセット 0 : オーバランエラーなし 1 : オーバランエラー発生 【注】 SPI スレーブモード設定時のみ有効となります。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

17.3.5 データレジスタ（SPDR）

SPDR は、送受信用のデータを格納するバッファです。

送信用バッファ（SPTX）と受信用バッファ（SPRX）は独立したバッファで、これらのバッファが SPDR にマッピングされています。

SPDR へのリード／ライトは、データコントロールレジスタ（SPDCR）のアクセス幅設定ビット（SPLW）の設定によって、バイト／ワード／ロングワードで行ってください。

SPDR の使用するビット長はコマンドレジスタ（SPCMD）のデータ長設定ビット（SPB3～0）によって決定されます。

SPDR への書き込みは、送信バッファに SPDR アクセス幅長の空きがあると、SPDR から送信バッファへデータを書き込みます。送信バッファに SPDR アクセス幅長の空きがないと、書き込みを行いません。書き込みを試みてもデータは無視されます。

SPDR からデータを読み出すと、受信バッファにある受信データを読み出すことができます。受信バッファに受信データがない状態で読み出すと不定値となります。

また、SPDR にロングワード／ワード／バイトのアクセス幅で書き込みを行う場合、下記のビットに送信データを書き込んでください。下記のビット以外に書き込んだ場合のデータは保証しません。

- ロングワード：31～0ビット
- ワード：31～16ビット
- バイト：31～24ビット

SPDR からロングワード／ワード／バイトのアクセス幅で読み込みを行う場合、下記のビットから受信データを読み込んでください。下記のビット以外から読み込んだ場合のデータは不定値となります。

- ロングワード：31～0ビット
- ワード：31～16ビット
- バイト：31～24ビット

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.3.6 シーケンス制御レジスタ (SPSCR)

SPSCR は、本モジュールがマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュール機能がイネーブルである状態において、SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPS LN1	SPS LN0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～2	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
1	SPSLN1	0	R/W	シーケンス長設定 マスタモードの本モジュールがシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの本モジュールは SPSLN1、SPSLN0 に設定されたシーケンス長に応じて、参照するコマンドレジスタ 0～3（SPCMD0～3）と参照順を変更します。SPSLN1、SPSLN0 の設定値とシーケンス長、本モジュールが参照する SPCMD0～3 の関係は以下のとおりです。なお、スレーブモードの本モジュールでは、常に SPCMD0 が参照されます。 シーケンス長 参照する SPCMD レジスタ（番号） 00： 1 0→0→… 01： 2 0→1→0→… 10： 3 0→1→2→0→… 11： 4 0→1→2→3→0→…
0	SPSLN0	0	R/W	

17.3.7 シーケンスステータスレジスタ (SPSSR)

SPSSR は、本モジュールがマスタ動作する場合のシーケンス制御の状態を示すレジスタです。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPCP1	SPCP0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～2	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
1 0	SPCP1 SPCP0	0 0	R R	コマンドポインタ シーケンス制御で、現在ポインタで指されているコマンドレジスタ 0～3 (SPCMD0～3) を示すビットです。SPCP1、SPCP0 の値と SPCMD0～SPCMD3 の対応は以下のとおりです。 なお、シーケンス制御については、「17.4.8 (1) (c) シーケンス制御」を参照してください。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3

17.3.8 ビットレートレジスタ (SPBR)

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールの機能がイネーブルである状態において、SPBR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本モジュールをスレーブモードで使用する場合には、SPBR、BRDV の設定に関係なく、入力クロックのビットレートに依存します。

ビットレートは SPBR の設定値とコマンドレジスタ (SPCMD0~3) の BRDV1~0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR の設定値 (0、1、2、……、255)、 N は BRDV1~0 ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(B\phi)}{2 \times (n+1) \times 2^N}$$

SPBR レジスタ、BRDV1~0 ビットの設定値とビットレートの関係の例を表 17.3 に示します。

表 17.3 SPBR レジスタ、BRDV1~0 ビットの設定値とビットレート

SPBR の 設定値 (n)	BRDV1~0 の 設定値 (N)	分周比	ビットレート	
			B ϕ = 60MHz	B ϕ = 72MHz
0	0	2	30.0Mbps	36.0Mbps
1	0	4	15.0Mbps	18.0Mbps
2	0	6	10.0Mbps	12.0Mbps
3	0	8	7.50Mbps	9.00Mbps
4	0	10	6.00Mbps	7.20Mbps
5	0	12	5.00Mbps	6.00Mbps
5	1	24	2.50Mbps	3.00Mbps
5	2	48	1.25Mbps	1.50Mbps
5	3	96	625kbps	750kbps
255	3	4096	14.65kbps	17.58kbps

17.3.9 データコントロールレジスタ（SPDCR）

SPDCR は、SPDR レジスタへのアクセス幅をバイトアクセス／ロングワードアクセス／ワードアクセスに設定、本モジュールがマスタモード設定時、ダミーデータ送信イネーブル（TXDMY）の許可設定をするためのレジスタです。

ステータスレジスタ（SPCR）の TEND ビットが送信未終了の状態のときに SPDCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	TXDMY	SPLW1	SPLW0	-	-	-	-	-
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	TXDMY	0	R/W	ダミーデータ送信イネーブル ダミーデータ送信の許可／禁止を設定するためのビットです。 TXDMY を 1 にセットにし通信を行った場合、送信バッファに送信データがない場合でも、MOSI 端子からダミーデータを送信し、シリアル通信をすることが可能となります。 送信バッファに送信データがなく、TXDMY に 1 がセットされている場合に、ダミーデータをシフトレジスタへ転送します。ダミーデータは端子から送信された直前のデータとなります。また、初期化後に TXDMY を 1 にセットし、転送を行った場合、送信されるダミーデータは不定値となります。 0：ダミーデータ送信を禁止にする 1：ダミーデータ送信を許可にする 【注】 本モジュールがマスタ設定時のみ有効となります。
6 5	SPLW1 SPLW0	0 1	R/W R/W	アクセス幅設定 データレジスタ（SPDR）へのアクセス幅を設定します。データレジスタ（SPDR）への転送データ長と SPLW のアクセス幅設定が異なる場合の動作は保証しません。 00：設定禁止 01：SPDR レジスタへバイトアクセス 10：SPDR レジスタへワードアクセス 11：SPDR レジスタへロングワードアクセス
4～0	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

17.3.10 クロック遅延レジスタ（SPCKD）

SPCKD は、コマンドレジスタ（SPCMD）の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPCKD を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SCKDL2～SCKDL0 に B'000 を設定してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCK DL2	SCK DL1	SCK DL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SCKDL2	0	R/W	RSPCK 遅延設定 SPCMD の SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定するためのビットです。 SCKDL2～SCKDL0 の設定値と RSPCK 遅延値の関係は以下のとおりです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK
1	SCKDL1	0	R/W	
0	SCKDL0	0	R/W	

17.3.11 スレーブセレクトネゲート遅延レジスタ (SSLND)

SSLND は、マスタモードの本モジュールがシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SSLND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SLNDL2～SLNDL0 に B'000 を設定してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLN DL2	SLN DL1	SLN DL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SLNDL2	0	R/W	SSL ネゲート遅延設定 SPCMD の SLNDEN ビットが 1 の場合の SSL ネゲート遅延を設定するためのビットです。 SLNDL2～SLNDL0 の設定値と SSL ネゲート遅延値の関係は以下のとおりです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK
1	SLNDL1	0	R/W	
0	SLNDL0	0	R/W	

17.3.12 次アクセス遅延レジスタ（SPND）

SPND は、コマンドレジスタ（SPCMD）の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SPNDL2～SPNDL0 に B'000 を設定してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPN DL2	SPN DL1	SPN DL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SPNDL2	0	R/W	次アクセス遅延設定 SPCMD の SPNDEN ビットが 1 の場合の次アクセス遅延を設定するためのビットです。 SPNDL2～SPNDL0 の設定値と次アクセス遅延値の関係は以下のとおりです。 000 : 1RSPCK+2B φ 001 : 2RSPCK+2B φ 010 : 3RSPCK+2B φ 011 : 4RSPCK+2B φ 100 : 5RSPCK+2B φ 101 : 6RSPCK+2B φ 110 : 7RSPCK+2B φ 111 : 8RSPCK+2B φ
1	SPNDL1	0	R/W	
0	SPNDL0	0	R/W	

17.3.13 コマンドレジスタ (SPCMD)

1 チャンネルにコマンドレジスタ (SPCMD) が 4 本あります (SPCMD0～SPCMD3)。SPCMD0～SPCMD3 は、マスタモードの転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの転送フォーマットを設定するためにも使用されます。マスタモードの本モジュールはシーケンス制御レジスタ (SPSCR) の SPSLN1、SPSLN0 ビットの設定に従ってシーケンシャルに SPCMD0～3 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

ステータスレジスタ (SPSR) の TEND ビットが送信未終了の状態のときに、本モジュールが参照している SPCMD を書き換えた場合には、本モジュールの以降の動作は保証されません。マスタモードの本モジュールが参照している SPCMD は、シーケンスステータスレジスタ (SPSSR) の SPCP1、0 ビットにより確認できます。また、スレーブモードの本モジュールがイネーブルな状態において、SPCMD0 を書き換えた場合には、以降の動作は保証されません。

ビット:	15	14	13	12	11	10	9	8
	SCK DEN	SLN DEN	SPN DEN	LSBF	SPB3	SPB2	SPB1	SPB0
初期値:	0	0	0	0	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	7	6	5	4	3	2	1	0
	SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
初期値:	0	0	0	0	1	1	0	1
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	SCKDEN	0	R/W	RSPCK 遅延設定イネーブル マスタモードの本モジュールが、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。 SCKDEN が 0 の場合には、本モジュールは RSPCK 遅延を 1RSPCK にします。SCKDEN が 1 の場合には、本モジュールはクロック遅延レジスタ (SPCKD) の設定に従った RSPCK 遅延で RSPCK の発振を開始します。 本モジュールをスレーブモードで使用する場合には、SCKDEN に 0 を設定してください。 0 : RSPCK 遅延は 1RSPCK 1 : RSPCK 遅延は RSPCK 遅延レジスタ (SPCKD) の設定値

ビット	ビット名	初期値	R/W	説 明
14	SLNDEN	0	R/W	SSL ネゲート遅延設定イネーブル マスタモードの本モジュールが、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN が 0 の場合には、本モジュールは SSL ネゲート遅延を 1RSPCK にします。SLNDEN が 1 の場合には、本モジュールはスレーブセレクトネゲート遅延レジスタ (SSLND) の設定に従った RSPCK 遅延で SSL をネゲートします。 本モジュールをスレーブモードで使用する場合には、SLNDEN に 0 を設定してください。 0 : SSL ネゲート遅延は 1RSPCK 1 : SSL ネゲート遅延はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値
13	SPNDEN	0	R/W	次アクセス遅延イネーブル マスタモードの本モジュールがシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN が 0 の場合には、本モジュールは次アクセス遅延を 1RSPCK+2Bφ にします。SPNDEN が 1 の場合には、本モジュールは次アクセス遅延レジスタ (SPND) の設定に従った次アクセス遅延を挿入します。 本モジュールをスレーブモードで使用する場合には、SPNDEN に 0 を設定してください。 0 : 次アクセス遅延は 1RSPCK+2Bφ 1 : 次アクセス遅延は次アクセス遅延レジスタ (SPND) の設定値
12	LSBF	0	R/W	LSB ファースト マスタモード/スレーブモードのデータフォーマットを、MSB ファースト/LSB ファーストに設定するためのビットです。 0 : MSB ファースト 1 : LSB ファースト
11 10 9 8	SPB3 SPB2 SPB1 SPB0	0 1 1 1	R/W R/W R/W R/W	データ長設定 マスタモード/スレーブモードの転送データ長を設定するためのビットです。 0100~0111 : 8 ビット 1111 : 16 ビット 0010、0011 : 32 ビット その他 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
7	SSLKP	0	R/W	SSL 信号レベル保持 マスタモードの本モジュールがシリアル転送する場合に、現コマンドに対応する SSL ネグートタイミングから次コマンドに対応する SSL アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネグートするかを設定するビットです。 本モジュールをスレーブモードで使用する場合には、SSLKP に 0 を設定してください。 0 : 転送終了時に SSL 信号をネグート 1 : 転送終了後から次アクセス開始まで SSL 信号レベルを保持
6~4	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
3 2	BRDV1 BRDV0	1 1	R/W R/W	ビットレート分周設定 ビットレートを決定するために使用するレジスタです。BRDV1、0 ビットとビットレートレジスタ (SPBR) の設定値の組み合わせでビットレートを決定します (「17.3.8 ビットレートレジスタ (SPBR)」を参照)。SPBR の設定値は、ベースとなるビットレートを決定します。BRDV1~0 ビットの設定値は、ベースのビットレートに対して分周なし/2 分周/4 分周/8 分周したビットレートを選択するために使用します。SPCMD0~3 にはそれぞれ異なる BRDV1、0 の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。 00 : ベースのビットレートを選択 01 : ベースのビットレートの 2 分周を選択 10 : ベースのビットレートの 4 分周を選択 11 : ベースのビットレートの 8 分周を選択
1	CPOL	0	R/W	RSPCK 極性設定 マスタモード/スレーブモードの RSPCK 極性を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。 0 : アイドル時の RSPCK が 0 1 : アイドル時の RSPCK が 1
0	CPHA	1	R/W	RSPCK 位相設定 マスタモード/スレーブモードの RSPCK 位相を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。 0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル

17.3.14 バッファコントロールレジスタ（SPBFCR）

SPBFCR は、送信バッファ（SPTX）／受信バッファ（SPRX）のデータ数のリセット、トリガデータ数の設定を行うレジスタです。

ビット：	7	6	5	4	3	2	1	0
	TXRST	RXRST	TXTRG[1:0]	-		RXTRG[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TXRST	0	R/W	送信バッファデータリセット 送信バッファ内の送信データを無効にし、データが何もない状態にリセットします。 0：リセット動作を禁止* 1：リセット動作を許可 【注】 * パワーオンリセット時にはリセット動作が行われます。
6	RXRST	0	R/W	受信バッファデータリセット 受信バッファ内の受信データを無効にし、データが何もない状態にリセットします。 0：リセット動作を禁止* 1：リセット動作を許可 【注】 * パワーオンリセット時にはリセット動作が行われます。
5、4	TXTRG	00	R/W	送信バッファデータ数トリガ ステータスレジスタの SPTEF フラグの基準となる、送信バッファエンブテ ィタイミングの設定をします。送信バッファ（SPTX）に格納されたデータ バイト数が以下に示す設定トリガ数以下になったとき SPTEF フラグは1に セットされます。 00：7Byte（1）* 01：6Byte（2）* 10：4Byte（4）* 11：0Byte（8）* 【注】 * （）内の数値は送信バッファ（SPTX）の空きバイト数を示します。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も0にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	RXTRG	000	R/W	受信バッファデータ数トリガ ステータスレジスタの SPRF フラグの基準値となる、受信バッファフルタイムイングの設定をします。受信バッファ（SPRX）に格納されたデータバイト数が以下に示す設定トリガ数以上になったときに SPRF フラグは 1 にセットされます。 000 : 1Byte (31) * 001 : 2Byte (30) * 010 : 4Byte (28) * 011 : 8Byte (24) * 100 : 16Byte (16) * 101 : 24Byte (8) * 110 : 32Byte (0) * 111 : 5Byte (27) * 【注】 * () 内の数値は受信バッファ（SPRX）の空きバイト数を示します。

17.3.15 バッファデータカウントセットレジスタ (SPBFDR)

SPBFDR は、送信バッファ (SPTX) と受信バッファ (SPRX) に格納されているデータ数を示します。

上位 8 ビットで SPTX の送信データバイト数を、下位 8 ビットで SPRX の受信データバイト数を示します。

ビット:	15	14	13	12	11	10	9	8
	-	-	-	-	T[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	-	-	R[5:0]					
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
11~8	T[3:0]	0000	R	SPTX に格納されている未送信データバイト数を示します。 B'0000 は SPTX がエンプティ状態であることを示します。 B'1000 は SPTX がフル状態であることを示します。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
5~0	R[5:0]	000000	R	SPRX に格納されている受信データバイト数を示します。 B'000000 は SPRX がエンプティ状態であることを示します。 B'100000 は SPRX がフル状態であることを示します。

17.4 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

17.4.1 動作の概要

本モジュールは、スレーブモード、マスタモードのシリアル転送が可能です。モードは、制御レジスタ（SPCR）の MSTR ビットによって設定可能です。表 17.4 にモードと SPCR 設定の関係および各モードの概要を示します。

表 17.4 モードと SPCR 設定の関係および各モードの概要

モード	スレーブ（SPI 動作）	マスタ（SPI 動作）
MSTR ビットの設定	0	1
MODFEN ビットの設定	0 or 1	0
RSPCK 信号	入力	出力
MOSI 信号	入力	出力
MISO 信号	出力/Hi-Z	入力
SSL 信号	入力	出力
SSL 極性変更機能	あり	あり
転送レート	~B ϕ /8	~B ϕ /2
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2 種	2 種
クロック位相	2 種	2 種
先頭転送ビット	MSB/LSB	MSB/LSB
転送データ長	8、16、32 ビット	8、16、32 ビット
バースト転送	可能（CPHA=1）	可能（CPHA=0、1）
RSPCK 遅延制御	なし	あり
SSL ネゲート遅延制御	なし	あり
次アクセス遅延制御	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	SPE=1 で送信 バッファ書き込み
シーケンス制御	なし	あり
送信バッファエンプティ検出	あり	あり
受信バッファフル検出	あり	あり
オーバランエラー検出	あり	なし
モードフォルトエラー検出	あり（MODFEN=1）	なし

17.4.2 端子の制御

本モジュールは、制御レジスタ（SPCR）の MSTR ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 17.5 に示します。

表 17.5 端子の状態と制御ビット設定値の関係

モード	端子	端子状態
マスタ（SPI 動作）（MSTR=1）	RSPCK	CMOS 出力
	SSL	CMOS 出力
	MOSI	CMOS 出力
	MISO	入力
スレーブ（SPI 動作）（MSTR=0）	RSPCK	入力
	SSL	入力
	MOSI	入力
	MISO*	CMOS 出力／Hi-Z

【注】 * SSL が非アクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。

マスタモード（SPI 動作）の本モジュールは、SPPCR の MOIFE ビットと MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を表 17.6 のように決定します。

表 17.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終データ
1	0	常に 0
1	1	常に 1

17.4.3 システム構成例

(1) マスタ/スレーブ（本 LSI=マスタ）

図 17.2 に、本 LSI をマスタとして使用した場合のマスタ/スレーブのシステムの構成例を示します。マスタ/スレーブの構成では、本 LSI（マスタ）の SSL 出力は使用しません。スレーブの SSL 入力 は 0 レベルに固定して、スレーブを常にセレクト状態にします。制御レジスタ（SPCR）の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

本 LSI（マスタ）は、RSPCK と MOSI を常にドライブします。スレーブは、MISO を常にドライブします。

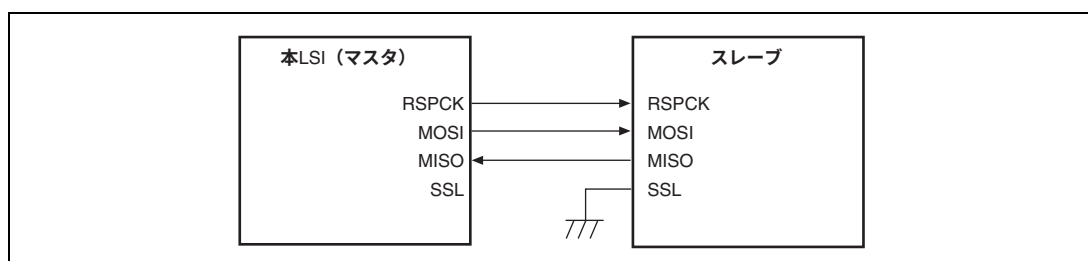


図 17.2 マスタ/スレーブの構成例（本 LSI=マスタ）

(2) マスタ/スレーブ (本 LSI=スレーブ)

図 17.3 に、本 LSI をスレーブとして使用した場合のマスタ/スレーブのシステム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL 端子を SSL 入力として使用します。マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISO を常にドライブします。SSL が非アクティブレベルの場合、端子状態が Hi-Z になります。

コマンドレジスタ (SPCMD) の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSL 入力を 0 レベルに固定して本 LSI (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です (図 17.4)。

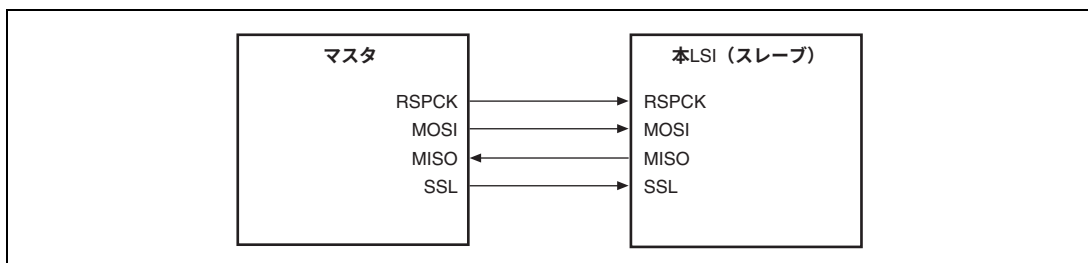


図 17.3 マスタ/スレーブの構成例 (本 LSI=スレーブ)

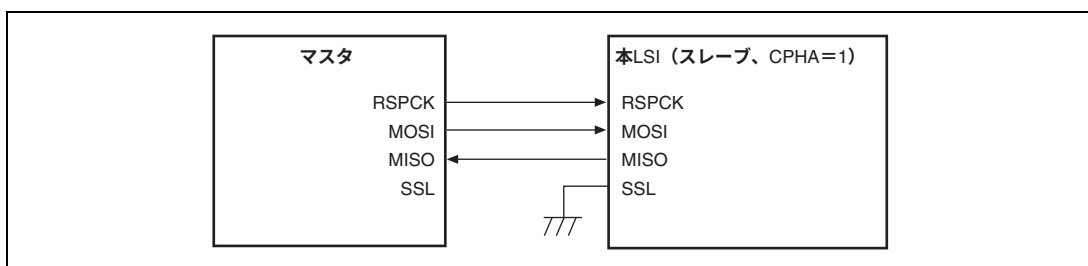


図 17.4 マスタ/スレーブの構成例 (本 LSI=スレーブ、CPHA=1)

(3) マスタ／マルチスレーブ（本 LSI＝スレーブ）

図 17.5 に、本 LSI をスレーブとして使用した場合のマスタ／マルチスレーブのシステム構成例を示します。図 17.5 の例では、マスタと 2 つの本 LSI（スレーブ X、スレーブ Y）からシステムを構成しています。

マスタの RSPCK 出力と MOSI 出力は、本 LSI（スレーブ X、スレーブ Y）の RSPCK 入力と MOSI 入力に接続します。本 LSI（スレーブ X、スレーブ Y）の MISO 出力は、マスタの MISO 入力に接続します。マスタの SSLX 出力、SSLY 出力は、本 LSI（スレーブ X、スレーブ Y）の SSL 入力に接続します。

マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI（スレーブ X、スレーブ Y）のうち、SSL0 入元に 0 レベルを入力されているスレーブが、MISO をドライブします。

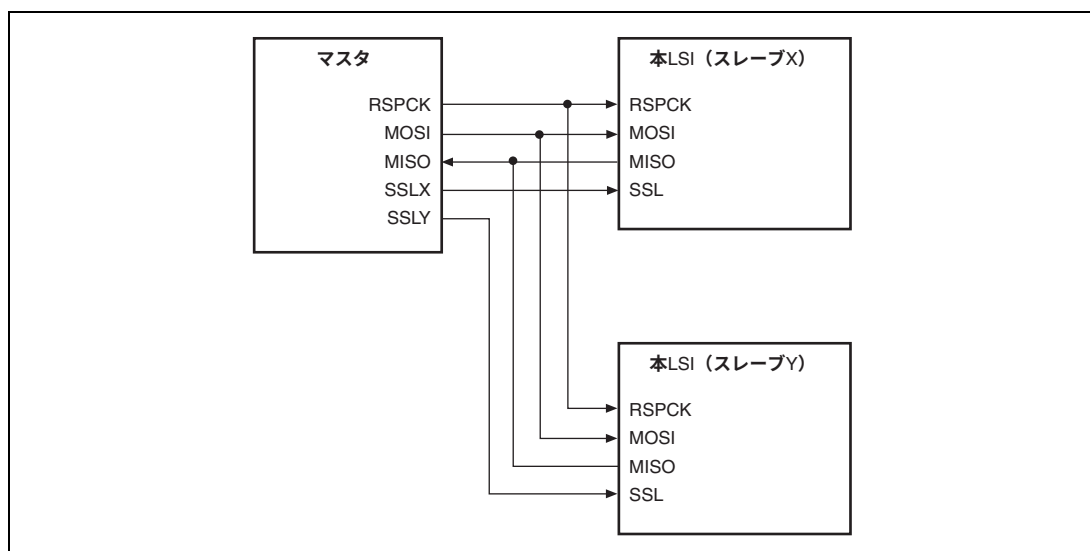


図 17.5 シングルマスタ／マルチスレーブの構成例（本 LSI＝スレーブ）

17.4.4 転送フォーマット

(1) CPHA=0 の場合

図 17.6 にコマンドレジスタ (SPCMD) の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 17.6 において、RSPCK (CPOL=0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL=1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、本モジュールの設定に依存します。詳細は「17.4.2 端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、システム上のマスタデバイスによって制御されます。本モジュールがマスタモードである場合の t1、t2、t3 については、「17.4.3 (1) マスタ/スレーブ (本 LSI=マスタ)」を参照してください。

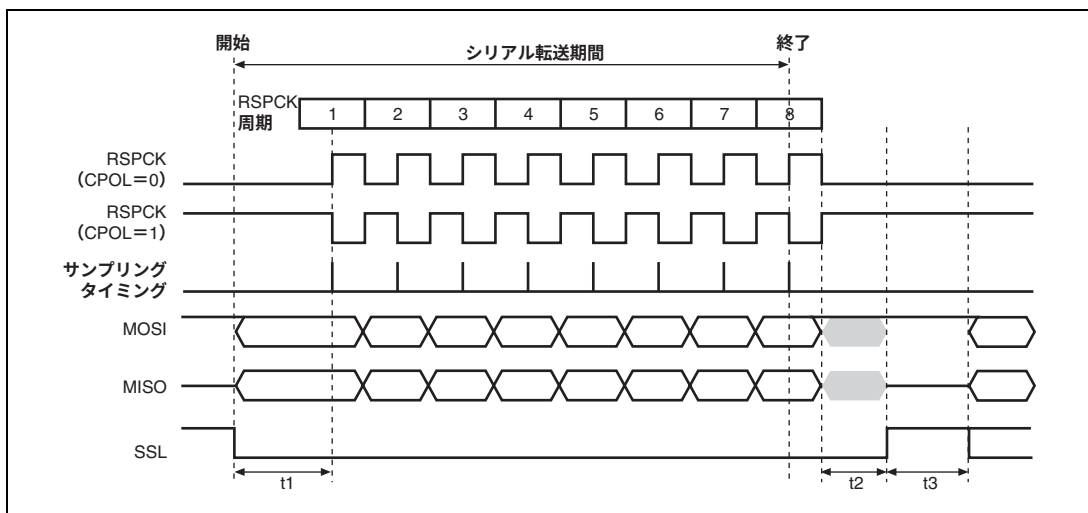


図 17.6 転送フォーマット (CPHA=0)

(2) CPHA=1 の場合

図 17.7 コマンドレジスタ (SPCMD) の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 17.7 において、RSPCK (CPOL=0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL=1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、モード (マスタ/スレーブ) に依存します。詳細は「17.4.2 端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA=0 の場合と同様です。本モジュールがマスタモードである場合の t1、t2、t3 については、「17.4.3 (1) マスタ/スレーブ (本 LSI=マスタ)」を参照してください。

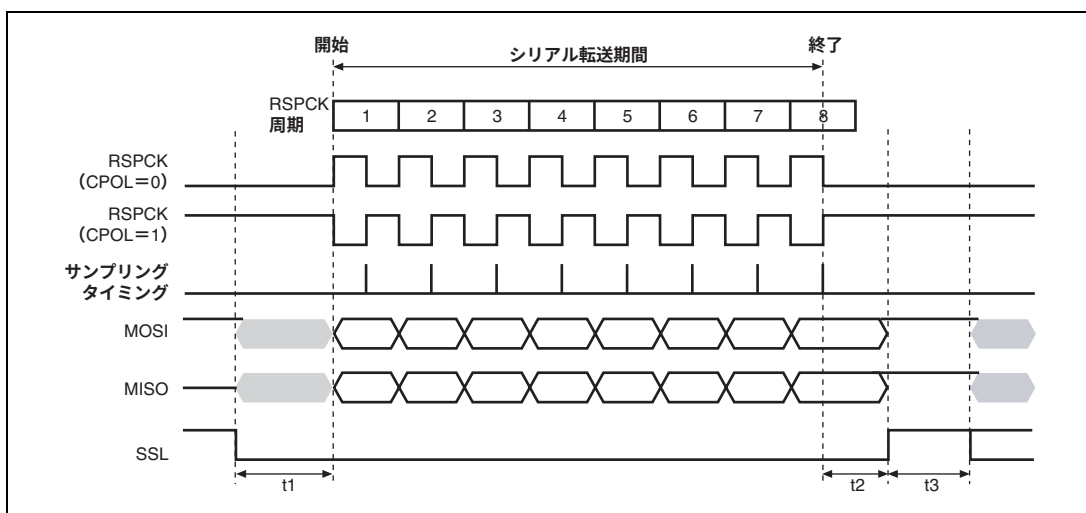


図 17.7 転送フォーマット (CPHA=1)

17.4.5 データフォーマット

データフォーマットは、コマンドレジスタ（SPCMD）の設定値に依存します。MSB/LSB ファーストにかかわらず、本モジュールはデータレジスタ（SPDR）の LSB から設定データ長分の範囲を転送データとして扱います。

(1) MSB ファースト転送（32 ビットデータ）

図 17.8 に、本モジュールがデータ長 32 ビットの MSB ファースト転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、SPDR の送信バッファに T31～T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31～R00 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31～R00 がシフトレジスタからシフトアウトされます。

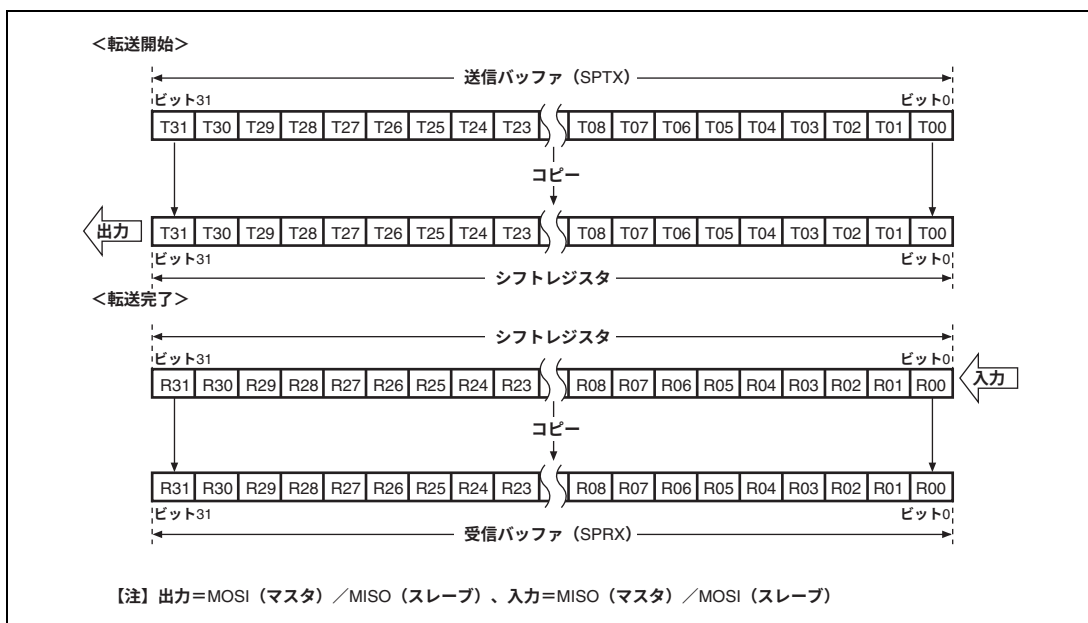


図 17.8 MSB ファースト転送（32 ビットデータ）

(2) MSB ファースト転送 (16 ビットデータ)

図 17.9 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15～T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 15 からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 15～0 には受信データ R15～R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31～16 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R15～R00 がシフトレジスタからシフトアウトされます。

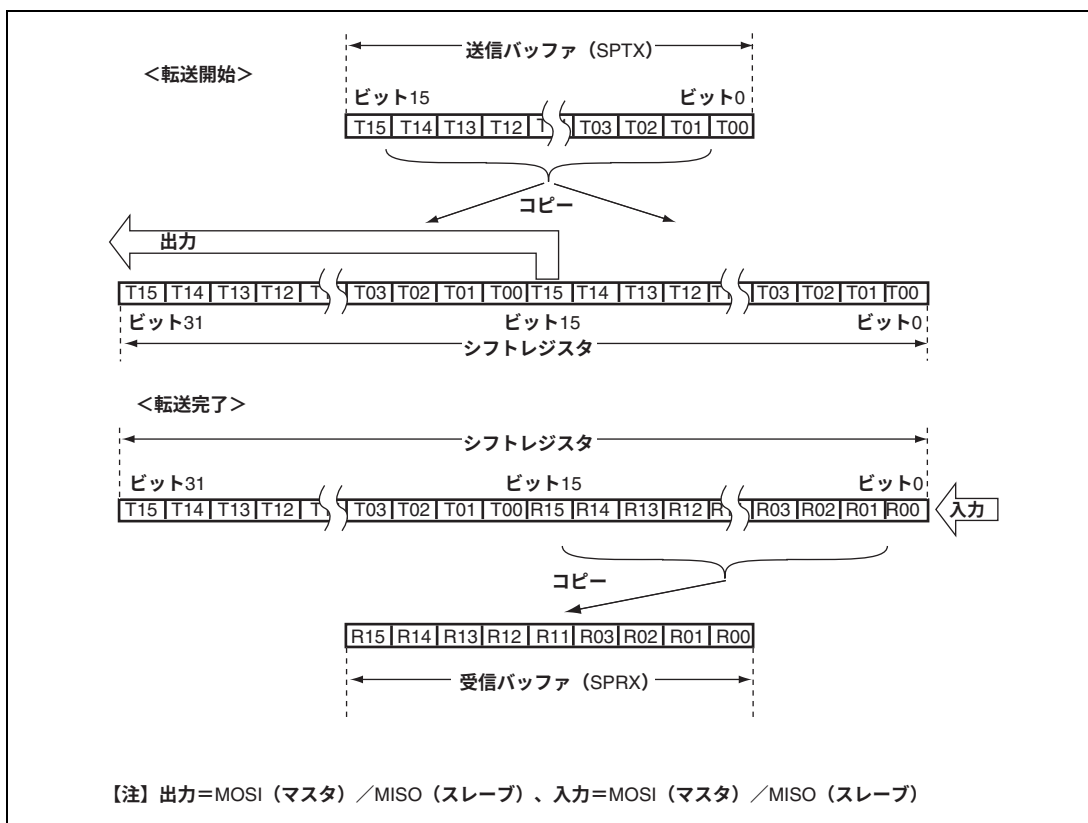


図 17.9 MSB ファースト転送 (16 ビットデータ)

(3) MSB ファースト転送 (8 ビットデータ)

図 17.10 に、本モジュールが 8 ビットのデータ転送を実施する場合のデータレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07～T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 7 からデータを出し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 7～0 には受信データ R07～R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31～8 には、転送前のデータが保持されています。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R07～R00 がシフトレジスタからシフトアウトされます。

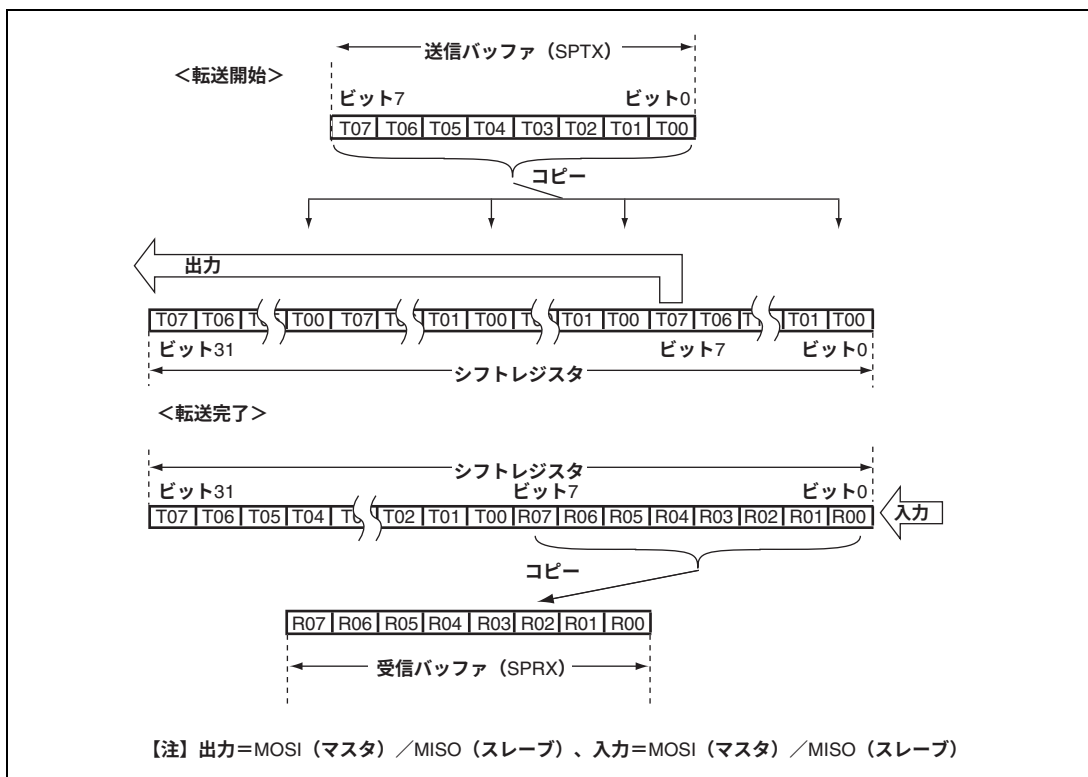


図 17.10 MSB ファースト転送 (8 ビットデータ)

(4) LSB ファースト転送 (32 ビットデータ)

図 17.11 に、本モジュールがデータ長 32 ビットの LSB ファースト転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T31～T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) から送信データを出力し、シフトレジスタの LSB (ビット 0) から受信データをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタには受信データ R00～R31 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。

また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00～R31 がシフトレジスタからシフトアウトされます。

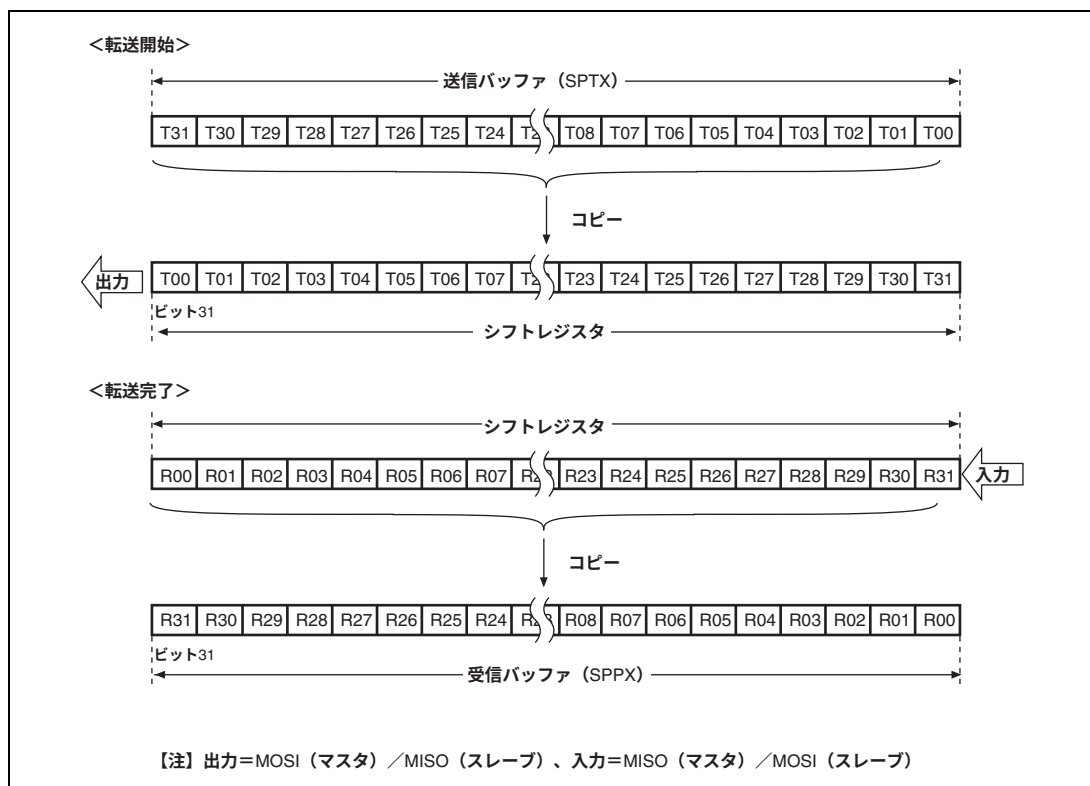


図 17.11 LSB ファースト転送 (32 ビットデータ)

(5) LSB ファースト転送 (16 ビットデータ)

図 17.12 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15～T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 16 からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31～16 には受信データ R00～R15 が格納されます。シリアル転送完了後のシフトレジスタのビット 15～0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00～R15 がシフトレジスタからシフトアウトされます。

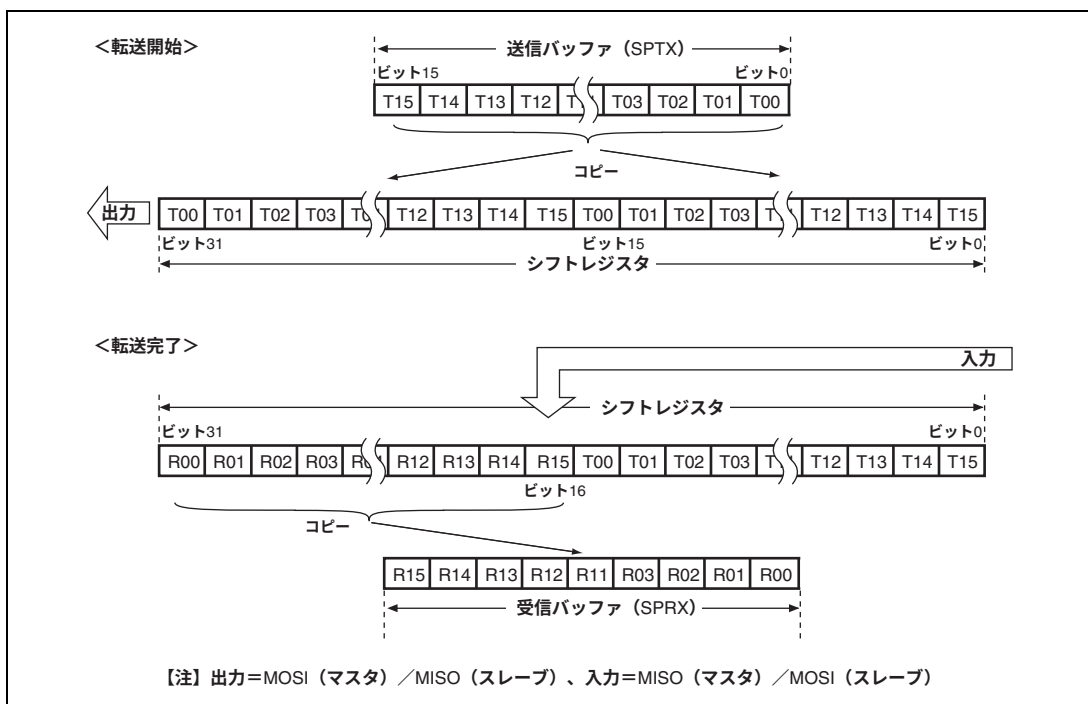


図 17.12 LSB ファースト転送 (16 ビットデータ)

(6) LSB ファースト転送 (8 ビットデータ)

図 17.13 に、本モジュールが 8 ビットのデータ転送を実施する場合の送信バッファ(SPTX)とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07～T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 24 からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31～24 には受信データ R00～R07 が格納されます。シリアル転送完了後のシフトレジスタのビット 23～0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空がない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空を確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00～R07 がシフトレジスタからシフトアウトされます。

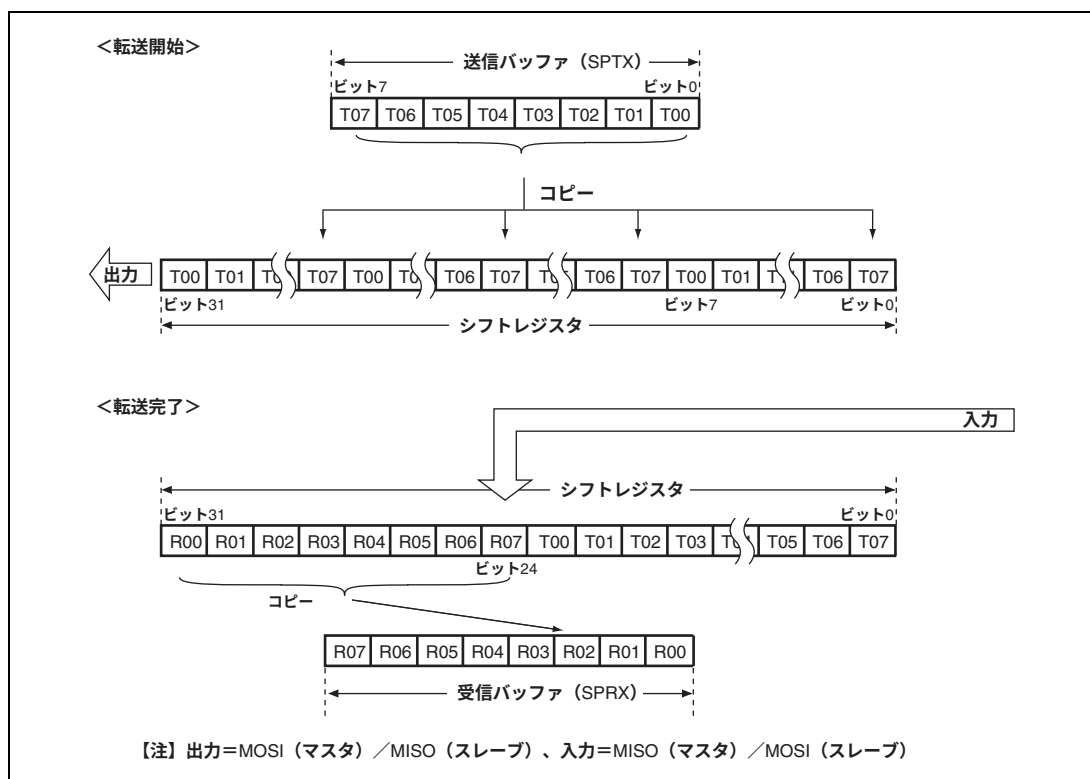


図 17.13 LSB ファースト転送 (8 ビットデータ)

17.4.6 エラー検出

通常のシリアル転送では、データレジスタ（SPDR）の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR の受信バッファから読み出すことができます。SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始／終了時の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、本モジュールはオーバランエラーまたはモードフォルトエラーとして検出します。表 17.7 に、通常以外の転送動作とエラー検出機能の関係を示します。

表 17.7 通常以外の転送の発生条件とエラー検出機能

	発生条件	動作	エラー検出
A	送信バッファがいっぱいの状態で SPDR を書き込み。	書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファに受信データが 1 つもない状態で SPDR を読み出し。	不定出力	なし
D	受信バッファが受信データでいっぱい状態で、シリアル転送が終了。	シリアル受信データ欠落。	オーバランエラー検出 (スレーブモードのみ)
E	スレーブモードでシリアル転送中に SSL 入力信号がネゲート。	シリアル転送中断。 送受信データ欠落。 動作ディスエーブル。	モードフォルトエラー検出

表 17.7 の A に示した動作に対しては、本モジュールはエラーを検出しません。SPDR への書き込みが可能であるかについては、バッファデータカウントセットレジスタ（SPBFDR）の T[3:0]ビットで確認することができます。

B に示した動作に対しても、本モジュールはエラーを検出しません。本モジュールでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR の受信バッファに保持されているので、正しく読み出されます。

C に示した動作に対しても、本モジュールはエラーを検出しません。不要なデータを読み出さないためには、バッファデータカウントセットレジスタ（SPBFDR）の R[5:0]ビットで受信バッファに格納されている受信データ数を確認してください。

D に示したオーバランエラーについては、「17.4.6 (1) オーバランエラー」で詳しく説明します。また、E に示したモードフォルトエラーについては、「17.4.6 (2) モードフォルトエラー」で説明します。

(1) オーバランエラー

データレジスタ（SPDR）の受信バッファフル状態でシリアル転送が終了すると、本モジュールはオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、本モジュールはシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、パワーオンリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を読み出した後に、OVRF に 0 を書き込む必要があります。

図 17.14 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。図 17.14 に記載した SPSR アクセスと SPDR アクセスは、それぞれのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 17.14 の例では、コマンドレジスタ（SPCMD）の CPHA が 1、CPOL が 0 の設定で、本モジュールが 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

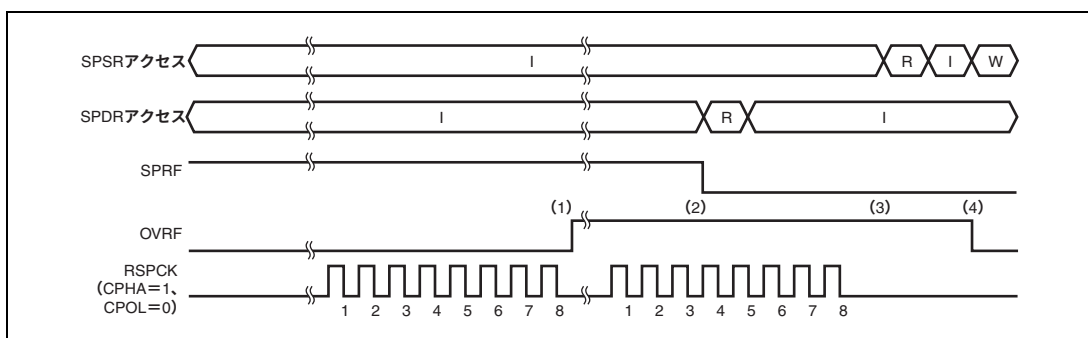


図 17.14 SPRF、OVRF ビットの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファに受信データ長の空きがない状態でシリアル転送が終了すると、本モジュールがオーバランエラーを検出し、OVRF ビットを 1 にします。本モジュールはシフトレジスタのデータを受信バッファにコピーしません。
2. SPDR を読み出し、バッファコントロールレジスタ（SPBFCR）の受信バッファデータ数トリガ（RXTRG）ビットで設定したトリガ数以下になっても OVRF ビットはクリアされません。
3. オーバランエラー発生状態で、シリアル転送が終了すると本モジュールはシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF ビットが 1 の状態で SPSR を読み出した後、OVRF に 0 を書き込むと、本モジュールは OVRF ビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。

OVRF ビットを 0 にクリアする条件は以下のとおりです。

- OVRFが1にされた状態のSPSRを読み出した後、OVRFに0を書き込む
- パワーオンリセット

【注】 オーバランエラーが発生している状態で、受信バッファに受信データ格納領域がある場合、本モジュールは受信データを受信します。

(2) モードフォルトエラー

MSTR ビットが 0 の場合には、本モジュールはスレーブモードで動作します。スレーブモードで MODFEN ビットが 1 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSL 入力信号がネゲートされると、本モジュールはモードフォルトエラーを検出します。

本モジュールはモードフォルトエラーを検出すると出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットが 0 になると本モジュールの機能が無効化され、本モジュールによる外部信号のドライブは停止します。SPE ビットを 0 にすることによる本モジュール機能の無効化については「17.4.7 初期化」を参照してください。

モードフォルトエラーの発生は、SPSR の読み出し、あるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。

MODF ビットが 1 の状態では、SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に本モジュールの機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODFが1にされた状態のSPSRを読み出した後、MODFに0を書き込む
- パワーオンリセット

17.4.7 初期化

制御レジスタ（SPCR）の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により本モジュールが SPE ビットを 0 にクリアした場合には、本モジュールは機能を無効化し、モジュール機能の一部を初期化します。また、パワーオンリセットが発生した場合には、本モジュールはモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化について説明します。

（1）SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合、本モジュールは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- 内部ステートの初期化
- SPSR の TEND ビットの初期化

SPE ビットのクリアによる初期化では、本モジュールの制御ビットは初期化されません。このため、SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで本モジュールを起動できます。

17.4.8 SPI 動作

(1) マスタモード動作

マルチマスタモード動作について説明します。

(a) シリアル転送の開始

シリアル転送の開始条件は送信バッファからシフトレジスタへ送信データをコピーし、シフトレジスタがフルになり、かつ受信バッファに受信データ長の空きがある場合にシリアル転送を開始します。また、シフトレジスタに送信データが書き込まれていた場合、送信バッファからシフトレジスタへのコピーは行われません。

なお、転送フォーマットの詳細については「17.4.4 転送フォーマット」を参照してください。

(b) シリアル転送の終了

コマンドレジスタ (SPCMD) の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。シリアル転送終了後にシフトレジスタから受信データを受信バッファにコピーします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信データ長の空きを確保してください。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのデータ長は、コマンドレジスタ (SPCMD) の SPB3～SPB0 ビットの設定値に依存します。転送フォーマットの詳細については「17.4.4 転送フォーマット」を参照してください。

(c) シーケンス制御

マスタモード時の転送フォーマットは、シーケンス制御レジスタ (SPSCR)、コマンドレジスタ 0~3 (SPCMD0~3)、ビットレートレジスタ (SPBR)、クロック遅延値レジスタ (SPCKD)、スレーブセレクトネゲート遅延レジスタ (SSLND)、次アクセス遅延値レジスタ (SPND) によって決定されます。

SPSCR は、マスタモードの本モジュールで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0~3 には、SSL 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD にはクロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

本モジュールは、SPSCR に設定されたシーケンス長に従って、SPCMD0~3 の一部/全部からなるシーケンスを構成します。本モジュールには、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、シーケンスステータスレジスタ (SPSSR) の SPCP1、0 ビットを読み出すことで確認が可能です。制御レジスタ (SPCR) の SPE ビットを 1 にして本モジュールの機能をイネーブルにすると、本モジュールはコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。本モジュールは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、本モジュールはポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

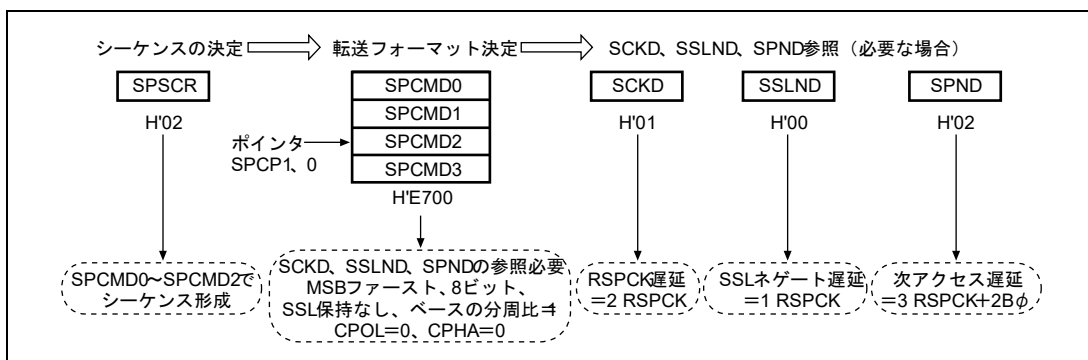


図 17.15 マスタモードでのシリアル転送方式の決定方法

(d) バースト転送

本モジュールが現在のシリアル転送で参照しているコマンドレジスタ（SPCMD）の SSLKP ビットが 1 の場合には、本モジュールはシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、本モジュールは SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 17.16 に、SPCMD0、1 の設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 17.16 に記載した (1) ～ (7) の動作内容について、以下に説明します。なお、SSL 出力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

1. SPCMD0に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
2. SPCMD0に従ったシリアル転送を実行します。
3. SSLネゲート遅延を挿入します。
4. SPCMD0のSSLKPビットが1であるため、SPCMD0でのSSL信号値を保持します。この期間は、最短の場合にはSPCMD0の次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPCMD1に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
6. SPCMD1に従ったシリアル転送を実行します。
7. SPCMD1のSSLKPビットが0であるため、SSL信号をネゲートします。また、SPCMD1に従った次アクセス遅延が挿入されます。

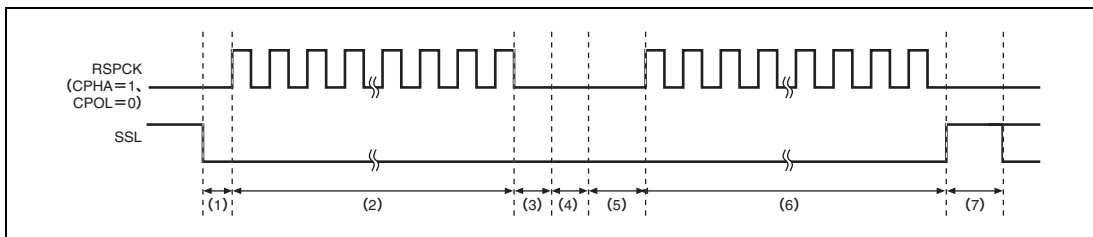


図 17.16 SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、本モジュールは次転送のコマンドに対応した SSL 信号のアサート時（図 17.16 の (5)）に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの本モジュールは、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMD の CPHA ビットが 0 の場合でも、本モジュールは内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます（「17.4.8 (2) スレーブモード動作」を参照）。

(e) RSPCK 遅延 (t1)

マスタモードの RSPCK 遅延値は、コマンドレジスタ (SPCMD) の SCKDEN ビットの設定とクロック遅延レジスタ (SPCKD) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、表 17.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「17.4.4 転送フォーマット」を参照してください。

表 17.8 SCKDEN、SPCKD と RSPCK 遅延値の関係

SCKDEN	SPCKD	RSPCK 遅延値
0	000~111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(f) SSL ネゲート遅延 (t2)

マスタモードの SSL ネゲート遅延値は、コマンドレジスタ (SPCMD) の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ (SSLND) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、表 17.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「17.4.4 転送フォーマット」を参照してください。

表 17.9 SSLND と SSL ネゲート遅延値の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000~111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(g) 次アクセス遅延 (t3)

マスタモードの次アクセス遅延は、コマンドレジスタ (SPCMD) の SPNDEN ビットの設定と次アクセス遅延レジスタ (SPND) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、表 17.10 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「17.4.4 転送フォーマット」を参照してください。

表 17.10 SPNDEN、SPND と次アクセス遅延値の関係

SPNDEN	SPND	次アクセス遅延値
0	000~111	1RSPCK+2Bφ
1	000	1RSPCK+2Bφ
	001	2RSPCK+2Bφ
	010	3RSPCK+2Bφ
	011	4RSPCK+2Bφ
	100	5RSPCK+2Bφ
	101	6RSPCK+2Bφ
	110	7RSPCK+2Bφ
	111	8RSPCK+2Bφ

(h) 初期化フロー

図 17.17 に、SPI 動作時、本モジュールをマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

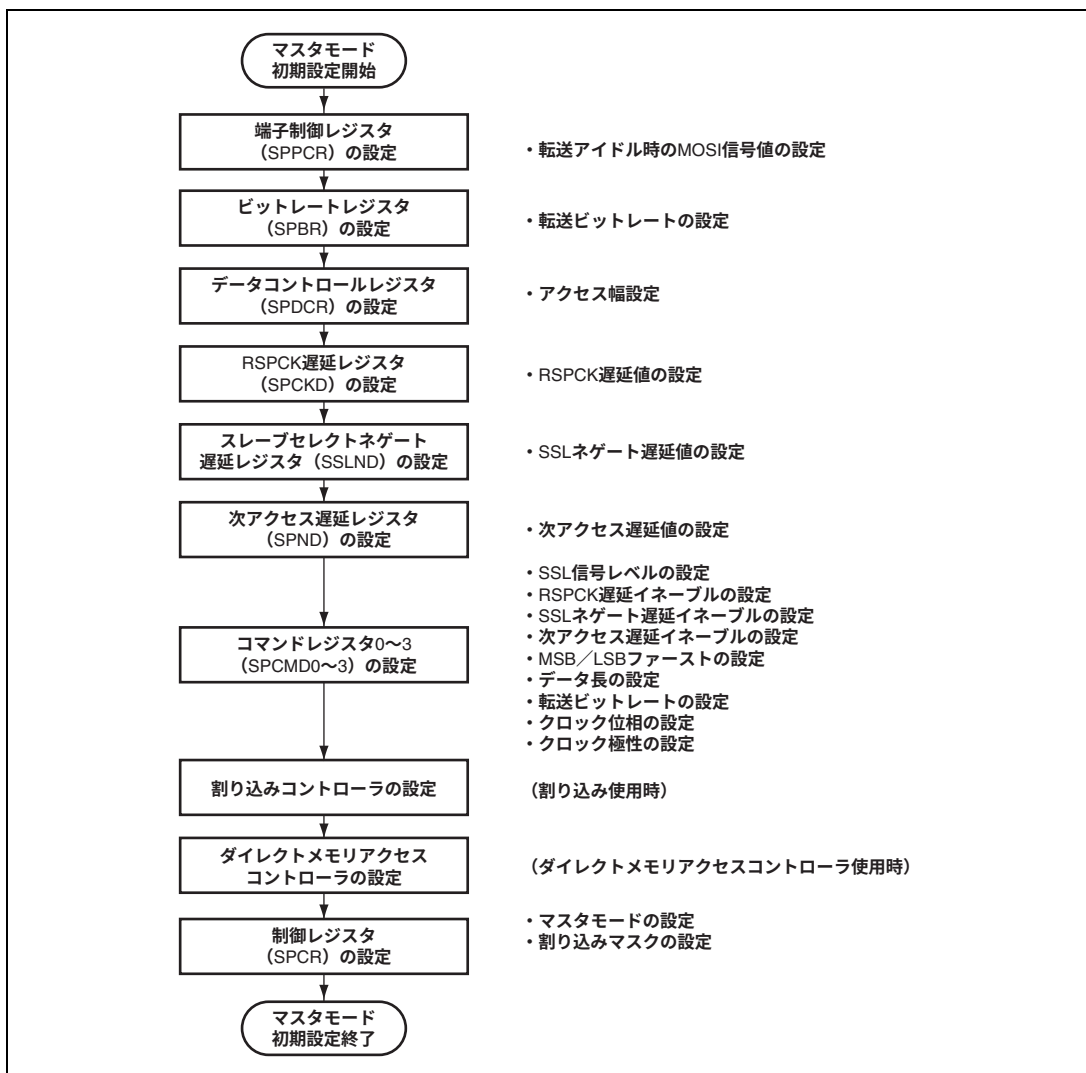


図 17.17 マスタモード時の初期化フロー例

(i) 転送動作フロー

図 17.18 に、SPI 動作時、マスタモードの転送動作フローを示します。

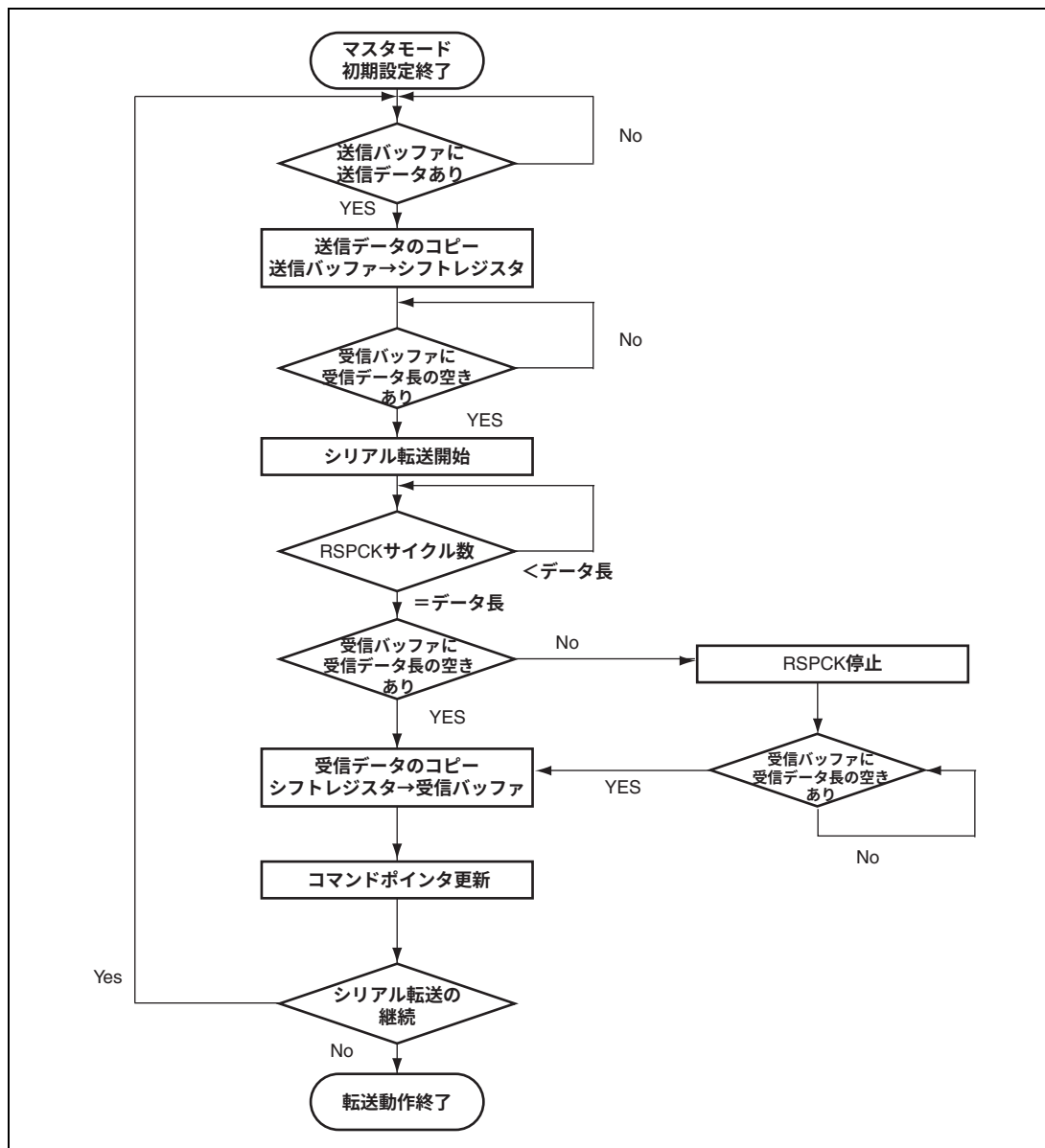


図 17.18 マスタモード時の転送動作フロー

(2) スレーブモード動作

(a) シリアル転送の開始

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合、本モジュールは SSL 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 0 の場合には、SSL 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、本モジュールは SSL 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

本モジュールは、シフトレジスタがエンプティの状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、本モジュールはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、本モジュールが MISO 出力信号のドライブを開始するタイミングは、SSL 信号アサートタイミングです。CPHA ビットの設定によって、本モジュールが出力するデータの有効/無効が異なります。

なお、本モジュールの転送フォーマットの詳細については、「17.4.4 転送フォーマット」を参照してください。SSL 入力信号の極性は、スレーブセレクト極性レジスタ (SSLP) の SSLP ビットの設定値に依存します。

(b) シリアル転送の終了

コマンドレジスタ 0 (SPCMD0) の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。受信バッファに受信データを保存することができる空きがある場合には、シリアル転送の終了後に、本モジュールはシフトレジスタからデータレジスタ

(SPDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、本モジュールはシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了の間に本モジュールが SSL 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「17.4.6 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのデータ長は SPCMD0 の SPB3~SPB0 ビットの設定値に依存します。SSL 入力信号の極性は、スレーブセレクト極性レジスタ (SSLP) の SSLP ビットの設定値に依存します。転送フォーマットの詳細については、「17.4.4 転送フォーマット」を参照してください。

(c) スレーブ時の注意点

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合には、本モジュールは SSL 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 17.4 の例に示したような構成で本モジュールをスレーブで使用する場合には、SSL 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した本モジュールではシリアル転送を正しく開始できません。SSL 入力信号をアクティブ状態に固定する構成で、スレーブモードの送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL 入力信号を固定しないでください。

(d) バースト転送

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 1 の場合には、SSL 入力信号のアサート状態を保持したまま連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが 1 の場合には、SSL 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが 0 の場合には、「17.4.8 (2) (c) スレープ時の注意点」と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(e) 初期化フロー

図 17.19 に、SPI 動作時、本モジュールをスレープモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

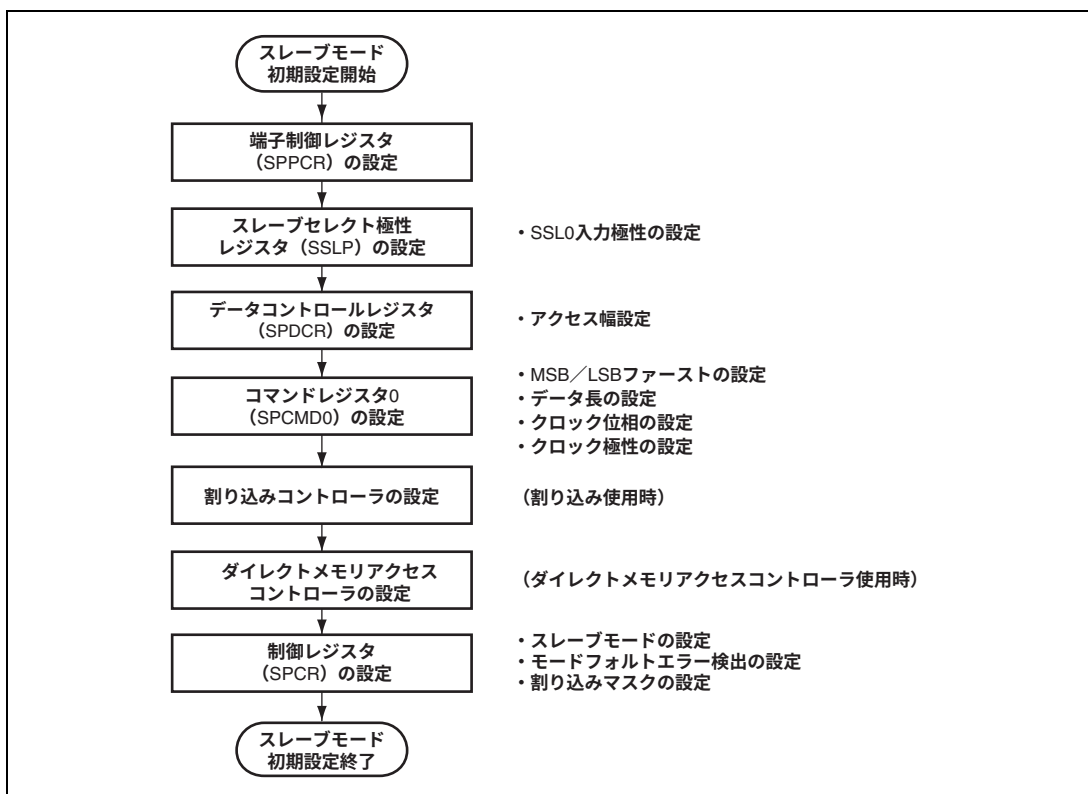


図 17.19 スレープモード時の初期化フロー例

(f) 転送動作フロー (CPHA=0)

図 17.20 に、SPI 動作時、コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 0 に設定したスレーブモードの転送動作フローを示します。

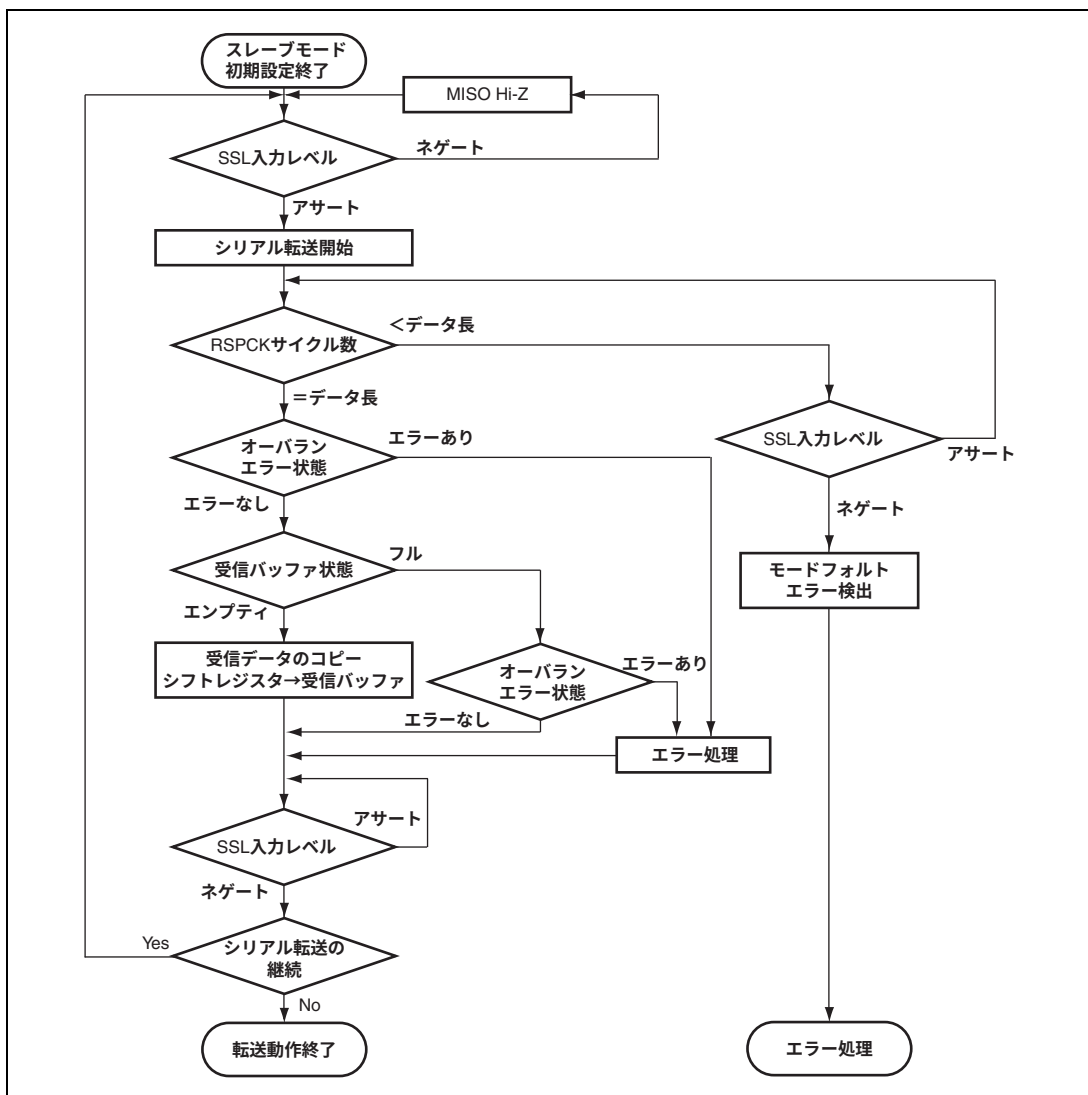


図 17.20 スレーブモード時の転送動作フロー (CPHA=0)

(g) 転送動作フロー (CPHA=1)

図 17.21 に、SPI 動作時、コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 1、制御レジスタ (SPCR) の MODFEN ビットを 1 に設定したスレーブモードの転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL 入力レベルがネゲートされた場合、以降の動作は保証されません。

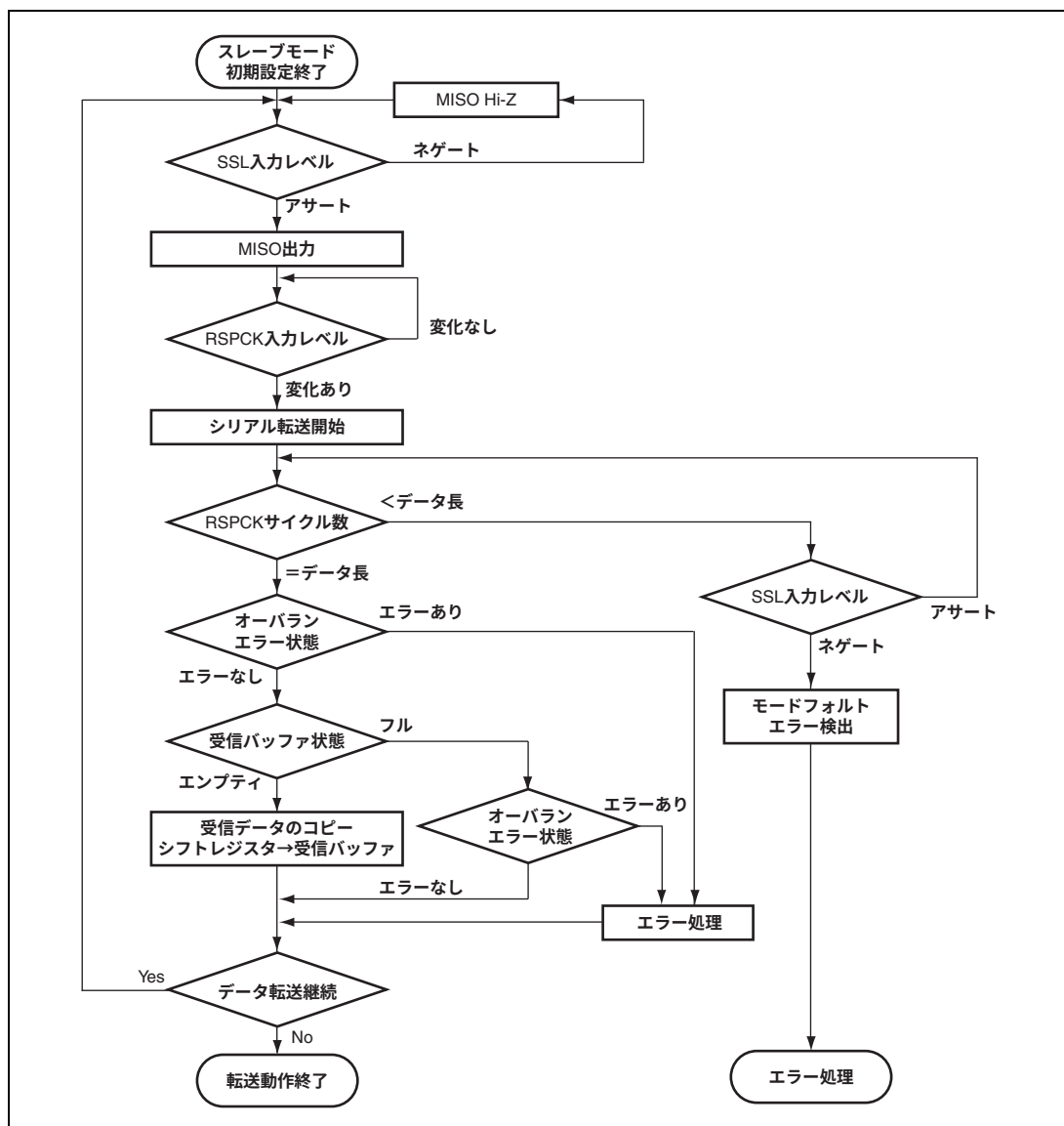


図 17.21 スレーブモード時の転送動作フロー (CPHA=1)

17.4.9 エラー処理

図 17.22、図 17.23 に、エラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

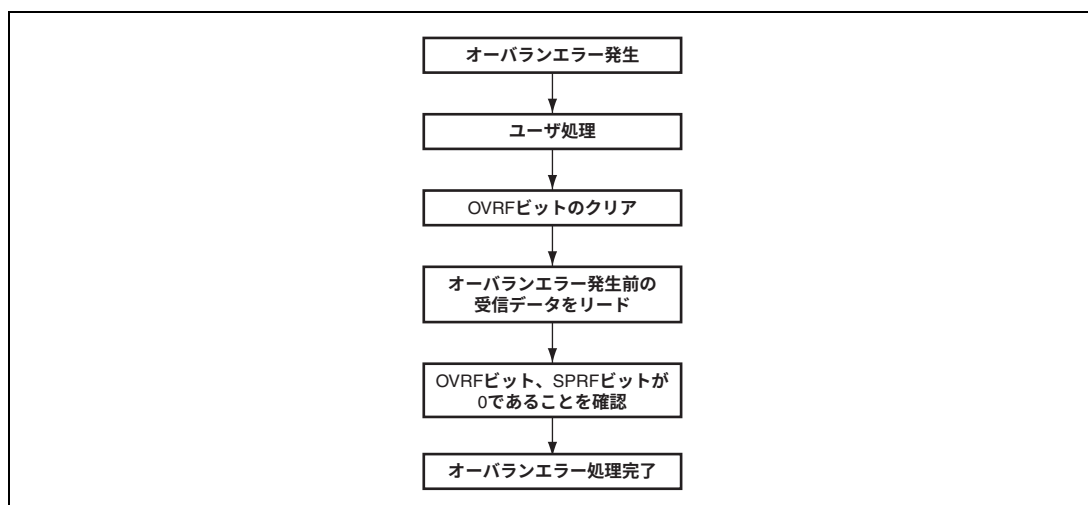


図 17.22 エラー処理（オーバーランエラー）

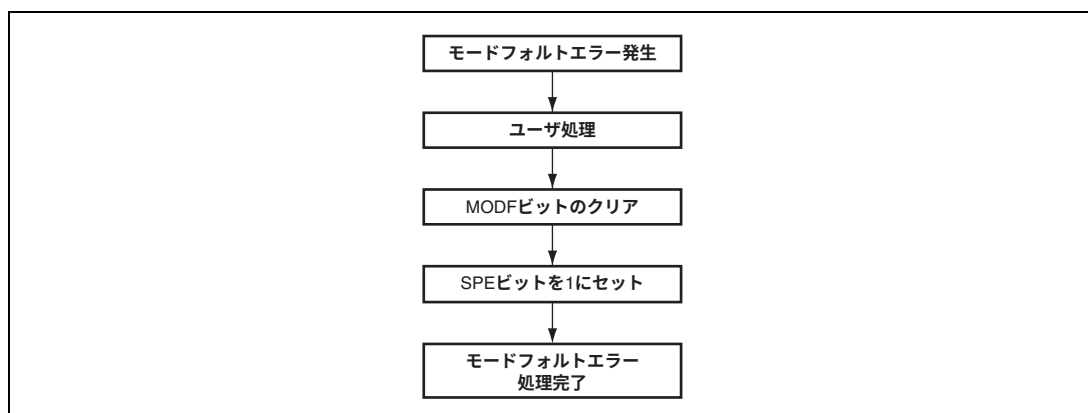


図 17.23 エラー処理（モードフォルトエラー）

17.4.10 ループバックモード

端子制御レジスタ (SPPCR) の SPLP ビットに 1 を書き込むと、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、送信データが受信データになります。図 17.24 に、マスタモードの本モジュールをループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

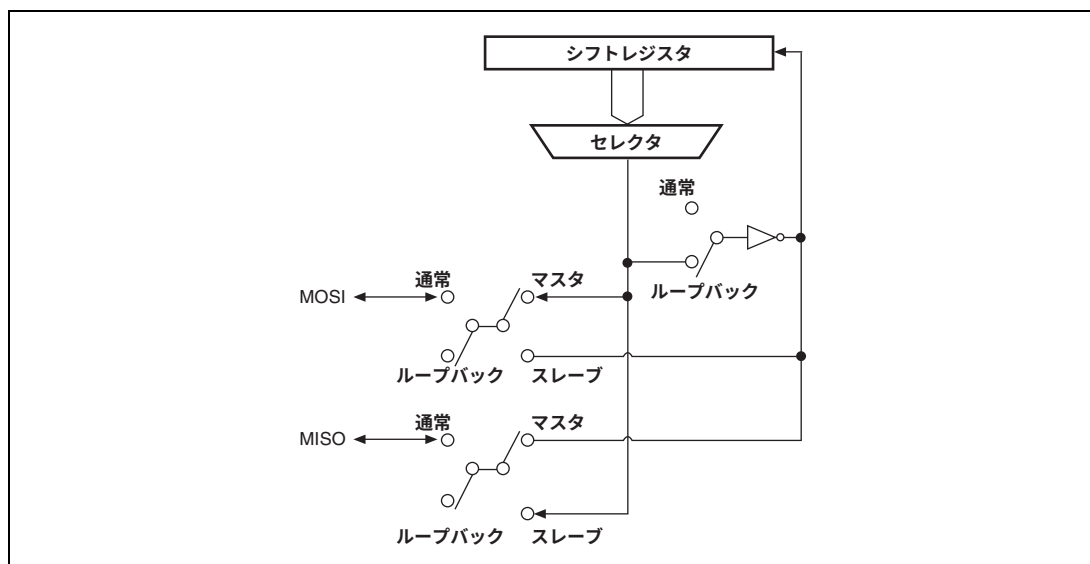


図 17.24 ループバックモード時のシフトレジスタ入出力構成（マスタモード）

17.4.11 割り込み要因

割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバランがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

表 17.11 に、割り込み要因を示します。

表 17.11 の割り込み条件が成立すると、割り込みが発生します。CPU またはダイレクトメモリアクセスコントローラによるデータ転送で割り込み要因をクリアしてください。

表 17.11 割り込み要因

名称	割り込み要因	略称	割り込み条件	ダイレクトメモリアクセス コントローラ起動
SPRI	受信バッファフル	RXI	(SPRIE=1)・(SPRF=1)	○
SPTI	送信バッファエンプティ	TXI	(SPTIE=1)・(SPTEF=1)	○
SPEI	モードフォルト	MOI	(SPEIE=1)・(MODF=1)	—
	オーバラン	OVI	(SPEIE=1)・(OVRF=1)	—

18. SPI マルチ I/O バスコントローラ

SPI マルチ I/O バスコントローラは、SPI マルチ I/O バス空間に接続されたシリアルフラッシュに対し制御信号を出力します。これにより、シリアルフラッシュを直接接続することができます。

18.1 特長

本モジュールは、接続したシリアルフラッシュに対し、SPI マルチ I/O バス空間への直接リードおよび SPI モードによるデータの送受信を行うことができます。

1. シリアルフラッシュインタフェース
 - シリアルフラッシュを2個まで接続可能
 - データバス幅を1つのシリアルフラッシュに対し、1ビット、2ビット、4ビットから選択可能
2. 外部アドレス空間リードモード
 - アドレス空間最大8Gバイトまでサポート（シリアルフラッシュ2個接続時）
 - アクセスアドレスをモニタすることにより、SPBSSL端子の自動制御可能
 - リードキャッシュ内蔵（ラインサイズ64ビット×16エントリ）により、効率の良いデータ受信可能
3. SPI動作モード
 - シリアルフラッシュに対し、任意のリード／ライト動作可能
4. ビットレート
 - 内部ボーレートジェネレータでB ϕ を分周してSPBCLKを生成
 - SPBCLK分周比を1～4080で設定可能
5. SPBSSL端子制御
 - SPBSSL信号アサートからSPBCLK動作までの遅延（クロック遅延）を設定可能
設定範囲：1～8SPBCLK 設定単位：1SPBCLK
 - SPBCLK停止からSPBSSL出力ネグートまでの遅延（SPBSSLネグート遅延）を設定可能
設定範囲：1.5～8.5SPBCLK 設定単位：1SPBCLK
 - 次のアクセスのSPBSSL出力アサートのウェイト（次アクセス遅延）を設定可能
設定範囲：1～8SPBCLK 設定端子：1SPBCLK
 - SPBSSL極性変更可能

18.2 ブロック図

本モジュールの全体ブロックを図 18.1 に示します。

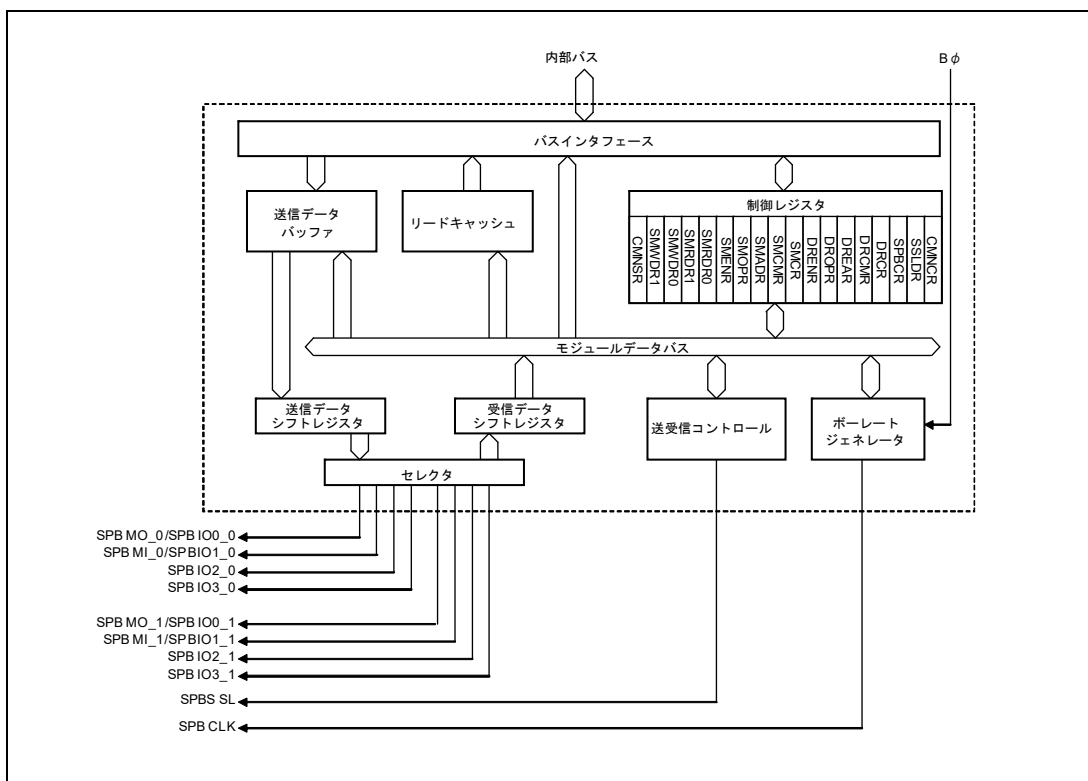


図 18.1 ブロック図

18.3 入出力端子

端子構成を表 18.1 に示します。

表 18.1 端子構成

チャンネル	名称	端子名	入出力	機能
共通	クロック端子	SPBCLK	出力	クロック出力
	スレーブセレクト端子	SPBSSL	出力	スレーブセレクト
0	データ 0 端子	SPBMO_0/SPBIO0_0	入出力	マスタ送出データ／データ 0
	データ 1 端子	SPBMO_0/SPBIO1_0	入出力	マスタ入力データ／データ 1
	データ 2 端子	SPBIO2_0	入出力	データ 2
	データ 3 端子	SPBIO3_0	入出力	データ 3
1	データ 0 端子	SPBMO_1/SPBIO0_1	入出力	マスタ送出データ／データ 0
	データ 1 端子	SPBMO_1/SPBIO1_1	入出力	マスタ入力データ／データ 1
	データ 2 端子	SPBIO2_1	入出力	データ 2
	データ 3 端子	SPBIO3_1	入出力	データ 3

18.4 レジスタの説明

レジスタ構成を表 18.2 に示します。

表 18.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
共通コントロールレジスタ	CMNCR	R/W	H'00AA4000	H'FFFC1C00	32
SSL 遅延レジスタ	SSLDR	R/W	H'00000000	H'FFFC1C04	32
ビットレート設定レジスタ	SPBCR	R/W	H'00000003	H'FFFC1C08	32
データリードコントロールレジスタ	DRCR	R/W	H'00000000	H'FFFC1C0C	32
データリードコマンド設定レジスタ	DRCMR	R/W	H'00000000	H'FFFC1C10	32
データリード拡張アドレス設定レジスタ	DREAR	R/W	H'00000000	H'FFFC1C14	32
データリードオプション設定レジスタ	DROPR	R/W	H'00000000	H'FFFC1C18	32
データリードイネーブル設定レジスタ	DRENr	R/W	H'00004700	H'FFFC1C1C	32
SPI モードコントロールレジスタ	SMCR	R/W	H'00000000	H'FFFC1C20	32
SPI モードコマンド設定レジスタ	SMCMR	R/W	H'00000000	H'FFFC1C24	32
SPI モードアドレス設定レジスタ	SMADR	R/W	H'00000000	H'FFFC1C28	32
SPI モードオプション設定レジスタ	SMOPR	R/W	H'00000000	H'FFFC1C2C	32
SPI モードイネーブル設定レジスタ	SMENr	R/W	H'00004000	H'FFFC1C30	32
SPI モードリードデータレジスタ 0	SMRDR0	R	不定	H'FFFC1C38	8、16、32
SPI モードリードデータレジスタ 1	SMRDR1	R	不定	H'FFFC1C3C	8、16、32
SPI モードライトデータレジスタ 0	SMWDR0	R/W	H'00000000	H'FFFC1C40	8、16、32
SPI モードライトデータレジスタ 1	SMWDR1	R/W	H'00000000	H'FFFC1C44	8、16、32
共通ステータスレジスタ	CMNSR	R	H'00000001	H'FFFC1C48	32
AC 特性調整レジスタ	SPBACR	R/W	H'00000004	H'FFFC1C50	32

18.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、SPI マルチ I/O バスコントローラの制御を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード/SPI 動作モード両方に反映されます。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD	—	—	—	—	—	—	—	MOIIIO3[1:0]	MOIIIO2[1:0]	MOIIIO1[1:0]	MOIIIO0[1:0]				
初期値:	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
R/W:	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO3FV[1:0]	IO2FV[1:0]	—	—	IO0FV[1:0]	—	CPHAT	CPHAR	SSLP	CPOL	—	BSZ[1:0]				
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	MD	0	R/W	動作モード切り替え 動作モードの切り替えを行います。 0: 外部アドレス空間リードモード 1: SPI 動作モード
30~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23, 22	MOIIIO3 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1 SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。 00: 出力値は 0 01: 出力値は 1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値は Hi-Z
21, 20	MOIIIO2 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1 SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。 00: 出力値は 0 01: 出力値は 1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値は Hi-Z
19, 18	MOIIIO1 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1 SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。 00: 出力値は 0 01: 出力値は 1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値は Hi-Z

ビット	ビット名	初期値	R/W	説 明
17、16	MOIO0 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1 SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。 00 : 出力値は 0 01 : 出力値は 1 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z
15、14	IO3FV[1:0]	01	R/W	1 ビット/2 ビット幅時 SPBIO3_0、SPBIO3_1 固定値 1 ビット/2 ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。 00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z
13、12	IO2FV[1:0]	00	R/W	1 ビット/2 ビット幅時 SPBIO2_0、SPBIO2_1 固定値 1 ビット/2 ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。 00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	IO0FV[1:0]	00	R/W	1 ビット幅入力時 SPBIO0_0、SPBIO0_1 固定値 1 ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。 00 : 出力値は 0 固定 01 : 出力値は 1 固定 10 : 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11 : 出力値は Hi-Z
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	CPHAT	0	R/W	出力シフト設定 出力データの SPBCLK エッジを設定します。 CPHAT と CPHAR の設定は CPHAR 説明の表に従ってください。 0 : 偶数エッジでデータ送信 1 : 奇数エッジでデータ送信

ビット	ビット名	初期値	R/W	説 明															
5	CPHAR	0	R/W	入力ラッチ設定 受信データの SPBCLK エッジを設定します。 CPHAT と CPHAR の設定は下表に従ってください。 0 : 奇数エッジでデータ受信 1 : 偶数エッジでデータ受信 CPHAT と CPHAR の設定値 <table><tr><th>CPHAT</th><th>CPHAR</th><th></th></tr><tr><td>0</td><td>0</td><td>設定可</td></tr><tr><td>0</td><td>1</td><td>設定可</td></tr><tr><td>1</td><td>0</td><td>1分周専用</td></tr><tr><td>1</td><td>1</td><td>設定可</td></tr></table> 【注】 SPBCLK の分周比を 1 とするときは CPHAT ビット="1"、CPHAR ビット="0"と設定するとともに、CPOL ビット="1"と設定してください。	CPHAT	CPHAR		0	0	設定可	0	1	設定可	1	0	1分周専用	1	1	設定可
CPHAT	CPHAR																		
0	0	設定可																	
0	1	設定可																	
1	0	1分周専用																	
1	1	設定可																	
4	SSLP	0	R/W	SPBSSL 信号極性設定 SPBSSL 信号の極性を設定します。 0 : SPBSSL 信号は Low アクティブ 1 : SPBSSL 信号は High アクティブ															
3	CPOL	0	R/W	SPBSSL ネゲート期間 SPBCLK 出力方向 SPBSSL ネゲート期間の SPBCLK 出力方向を設定します。 0 : SPBSSL ネゲート時 SPBCLK は 0 出力 1 : SPBSSL ネゲート時 SPBCLK は 1 出力															
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
1、0	BSZ[1:0]	00	R/W	データバス幅指定 接続するシリアルフラッシュの数を指定します。 00 : 1 個 01 : 2 個 1X : 設定禁止 【注】 本ビットを変更した場合は、必ず DRCCR レジスタの RCF ビット="1"により、リードキャッシュの全エントリをクリアしてください。															

18.4.2 SSL 遅延レジスタ (SSLDLDR)

SSLDLDR は、SPBSSL 信号と SPBCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／SPI 動作モード両方に反映されます。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLNDL[2:0]			—	—	—	—	—	SCKDL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～19	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18～16	SPNDL[2:0]	000	R/W	次アクセス遅延設定 転送終了から次の転送開始までの期間（次アクセス）を設定します。 000 : 1SPBCLK 001 : 2SPBCLK 010 : 3SPBCLK 011 : 4SPBCLK 100 : 5SPBCLK 101 : 6SPBCLK 110 : 7SPBCLK 111 : 8SPBCLK
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	SLNDL[2:0]	000	R/W	SPBSSL ネゲート遅延設定 転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間（SPBSSL ネゲート遅延）を設定します。 000 : 1.5SPBCLK 001 : 2.5SPBCLK 010 : 3.5SPBCLK 011 : 4.5SPBCLK 100 : 5.5SPBCLK 101 : 6.5SPBCLK 110 : 7.5SPBCLK 111 : 8.5SPBCLK

ビット	ビット名	初期値	R/W	説 明
7～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	SCKDL[2:0]	000	R/W	クロック遅延設定 SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）を設定します。 000 : 1SPBCLK 001 : 2SPBCLK 010 : 3SPBCLK 011 : 4SPBCLK 100 : 5SPBCLK 101 : 6SPBCLK 110 : 7SPBCLK 111 : 8SPBCLK

18.4.3 ビットレート設定レジスタ (SPBCR)

SPBCR は、ビットレートを設定する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／SPI 動作モード両方に反映されます。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPBR[7:0]								—	—	—	—	—	—	BRDV[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15～8	SPBR[7:0]	すべて 0	R/W	ビットレート設定 ビットレートを設定します。ビットレートは BRDV[1:0]ビットとの組み合わせで決定されます。詳細は表 18.3 を参照してください。
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	BRDV[1:0]	11	R/W	ビットレート分周設定 ビットレートを設定します。ビットレートは SPBR[7:0]ビットとの組み合わせで決定されます。SPBR の設定値は、ベースとなるビットレートを決定します。本ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択するために使用します。 00: ベースのビットレートを選択 01: ベースのビットレートの 2 分周を選択 10: ベースのビットレートの 4 分周を選択 11: ベースのビットレートの 8 分周を選択

(1) ビットレート

SPBR[7:0]、BRDV[1:0]にてビットレートの設定をします。

SPBR[7:0]≠0 のときのビットレートの計算式は下記です。

式中の n は SPBR[7:0]の設定値 (1、…255)、 N は BRDV[1:0]の設定値 (0～3) です。

ビットレート = $B \phi / (2 \times n \times 2^N)$

表 18.3 SPBR[7:0]、BRDV[1:0]ビットの設定値とビットレート

SPBR[7:0]の 設定値 (n)	BRDV[1:0]の 設定値 (N)	分周比	ビットレート	
			B ϕ =60MHz	B ϕ =72MHz
0	0	1	60Mbps	72Mbps
1	0	2	30Mbps	36Mbps
2	0	4	15Mbps	18Mbps
3	0	6	10Mbps	12Mbps
4	0	8	7.5Mbps	9Mbps
5	0	10	6Mbps	7.2Mbps
6	0	12	5Mbps	6Mbps
6	1	24	2.5Mbps	3Mbps
6	2	48	1.25Mbps	1.5Mbps
6	3	96	625kbps	750kbps
255	3	4080	14.71kbps	17.65kbps

18.4.4 データリードコントロールレジスタ (DRCR)

外部アドレス空間リード時の動作を設定する 32 ビットのレジスタです。

SSLN ビット以外は CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	SSLN	—	—	—	—	RBURST[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	W	R	R	R	R	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RCF	RBE	—	—	—	—	—	—	—	SSLE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	SSLN	0	W	SPBSSL ネゲート RBE ビット="1"かつ SSLE ビット="1"の設定のとき、本ビットに 1 ライトすることにより、アサート中の SPBSSL をネゲートします。 読み出すと常に 0 が読み出されます。 【注】 本ビットで SPBSSL をネゲートした後、次のアクセスを始める場合、CMNSR レジスタの SSLE ビット=0 をリードして SPBSSL がネゲートされたことを確認してください。
23~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~16	RBURST [3:0]	0000	R/W	リードデータバースト長 リード時のバースト長を設定します。 RBE ビット="1"にセットしたときに有効となります。 0000 : 1 データ長連続 0001 : 2 データ長連続 : 1110 : 15 データ長連続 1111 : 16 データ長連続 1 データ長は 64 ビットです。
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
9	RCF	0	W	リードキャッシュフラッシュ 1を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に0が読み出されます。 【注】RCF ビットに 1 を書き込んでリードキャッシュのクリアを行った後は、DRCR レジスタの内容を読み出した後に外部アドレス空間リードを行ってください。
8	RBE	0	R/W	リードバースト リード時のバースト ON/OFF を設定します。 0 : アクセスサイズに応じてリードします。 1 : リードキャッシュが有効となり、RBURST[3:0]ビットに指定されたバースト数分のリードをします。
7~1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SSLE	0	R/W	SPBSSL ネゲート設定 リードバースト時の SPBSSL のネゲート条件を設定します。 通常リード時はアクセスごとに SPBSSL をネゲートします。 0 : バースト長で設定されたデータ転送終了ごとに SPBSSL をネゲートします。 1 : アクセスしたアドレスが前回転送のアドレスから連続していないときに SPBSSL をネゲートします。

18.4.5 データリードコマンド設定レジスタ (DRCMR)

外部アドレス空間リード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	CMD[7:0]	H'00	R/W	コマンド コマンドを設定します。
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	OCMD[7:0]	H'00	R/W	オプションコマンド オプションコマンドを設定します。

18.4.6 データリード拡張アドレス設定レジスタ (DREAR)

シリアルフラッシュのアドレスを 32 ビットで出力するときの設定をする 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	EAV[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EAC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	EAV[7:0]	H'00	R/W	32 ビット拡張上位アドレス固定値設定 シリアルフラッシュのアドレスを 32 ビットで出力するとき、EAC[2:0]ビットで設定した外部アドレスの上位のアドレスビット値を設定するレジスタです。 ビット 0 がシリアルフラッシュのアドレスビット[25]に対応し、ビット 7 がビット[32]に対応します。 この設定は DRENr レジスタの ADE[3]ビット=1 のときに有効となります。 EAC[2:0]=000 のとき、シリアルフラッシュのアドレス[32:25]の固定値を EAV[7:0]に設定します。 EAC[2:0]=001 のとき、シリアルフラッシュのアドレス[32:26]の固定値を EAV[7:1]に設定します。 (1) CMNCR レジスタの BSZ[1:0]ビット=00 (シリアルフラッシュ 1 個接続) シリアルフラッシュのアドレス[31:0]を用いてアクセスします。 (2) CMNCR レジスタの BSZ[1:0]ビット=01 (シリアルフラッシュ 2 個接続) シリアルフラッシュのアドレス[32:1]を用いてアクセスします。
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	EAC[2:0]	000	R/W	32 ビット拡張外部アドレス有効範囲設定 シリアルフラッシュのアドレスを 32 ビットで出力するとき、シリアルフラッシュのアドレスとして使用する外部アドレスの範囲を設定します。 この設定は DRENr レジスタの ADE[3]ビット=1 のときに有効となります。 000 : 外部アドレスのビット[24:0]が有効 001 : 外部アドレスのビット[25:0]が有効 上記以外 : 設定禁止

18.4.7 データリードオプション設定レジスタ (DROPR)

外部アドレス空間リード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPD3[7:0]								OPD2[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPD1[7:0]								OPD0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23~16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15~8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7~0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

【注】 出力の順番は OPD3→OPD2→OPD1→OPD0 です。

18.4.8 データリードイネーブル設定レジスタ (DRENr)

外部アドレス空間リード時にコマンド／オプションコマンド／アドレス／オプションデータ／リードデータのビット幅、およびリードデータ以外の出力イネーブルの設定をする 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	DRDB[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				—	—	—	—
初期値：	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31、30	CDB[1:0]	00	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
29、28	OCDB[1:0]	00	R/W	オプションコマンドビット幅 オプションコマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
27、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	ADB[1:0]	00	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
23、22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
21、20	OPDB[1:0]	00	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
19、18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	DRDB[1:0]	00	R/W	データリードビット幅 データリードのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0 : 出力しない 1 : 出力する
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	0	R/W	オプションコマンドイネーブル オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する

ビット	ビット名	初期値	R/W	説 明
11～8	ADE[3:0]	0111	R/W	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 (1) CMNCR レジスタの BSZ[1:0]ビット=00 (シリアルフラッシュ 1 個接続) 0000 : 出力しない 0111 : Address[23:0]を出力 1111 : Address[31:0]を出力 上記以外 : 設定禁止 (2) CMNCR レジスタの BSZ[1:0]ビット=01 (シリアルフラッシュ 2 個接続) 0000 : 出力しない 0111 : Address[24:1]を出力 1111 : Address[32:1]を出力 上記以外 : 設定禁止
7～4	OPDE[3:0]	0000	R/W	オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000 : 出力しない 1000 : OPD3 を出力 1100 : OPD3、OPD2 を出力 1110 : OPD3、OPD2、OPD1 を出力 1111 : OPD3、OPD2、OPD1、OPD0 を出力 上記以外 : 設定禁止
3～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.4.9 SPI モードコントロールレジスタ (SMCR)

SPI 動作モードの動作を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SSLKP	—	—	—	—	—	SPIRE	SPIWE	SPIE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	W

ビット	ビット名	初期値	R/W	説 明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SSLKP	0	R/W	SPBSSL 信号レベル保持 転送終了後の SPBSSL の状態を決定します。 0: 転送終了時に SPBSSL 信号をネゲート 1: 転送終了後から次アクセス開始まで SPBSSL 信号レベルを保持
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SPIRE	0	R/W	データリードイネーブル SPI 動作モード時のリードイネーブルです。 0: データリードしない 1: データリードする 【注】 SPIDB[1:0]ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。
1	SPIWE	0	R/W	データライトイネーブル SPI 動作モード時のライトイネーブルです。 0: データライトしない 1: データライトする 【注】 SPIDB[1:0]ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
0	SPIE	0	W	SPI データ転送イネーブル 本ビットを 1 セットすることにより、データ転送を行います。 CMNSR レジスタの TEND ビット="1"時のみ有効です。CMNSR レジスタの TEND ビット="0"時に、1 セットした場合の動作は保証しません。 読み出すと常に 0 が読み出されます。 【注】 SPBSSL がネゲートされているときは SPIRE、SPIWE ビット="0"でも、出力イネーブルに設定したコマンド／オプションコマンド／アドレス／オプションデータは出力されます。 SPBSSL がアサートされているときは「18.6.2 SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項」に従ってください。

18.4.10 SPI モードコマンド設定レジスタ (SMCMR)

SPI 動作モード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	CMD[7:0]	H'00	R/W	コマンド コマンドを設定します。
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	OCMD[7:0]	H'00	R/W	オプションコマンド オプションコマンドを設定します。

18.4.11 SPI モードアドレス設定レジスタ (SMADR)

SPI 動作モード時のアドレスを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~24	ADR[31:24]	H'00	R/W	アドレス シリアルフラッシュのアドレスを 32 ビットで出力するときのビット 31~24 を設定します。 この設定は SMENR レジスタの ADE[3]ビット=1 のときに有効になります。
23~0	ADR[23:0]	H'000000	R/W	アドレス アドレスを設定します。

18.4.12 SPI モードオプション設定レジスタ (SMOPR)

SPI 動作モード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPD3[7:0]								OPD2[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPD1[7:0]								OPD0[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23~16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15~8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7~0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

【注】 出力の順番は OPD3→OPD2→OPD1→OPD0 です。

18.4.13 SPI モードイネーブル設定レジスタ (SMENR)

SPI 動作モード時にコマンド／オプションコマンド／アドレス／オプションデータ／転送データのビット幅およびイネーブルの設定をする 32 ビットのレジスタです。コマンド／オプションコマンド／アドレス／オプションデータ／転送データすべてをディスエーブルにすることは禁止です。必ず 1 つはイネーブルとしてください。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	SPIDB[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				SPIDE[3:0]			
初期値：	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31、30	CDB[1:0]	00	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
29、28	OCDB[1:0]	00	R/W	オプションコマンドビット幅 オプションコマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
27、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	ADB[1:0]	00	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
23、22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
21、20	OPDB[1:0]	00	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
19、18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	SPIDB[1:0]	00	R/W	転送データビット幅 転送データビット幅を設定します。 00 : 1 ビット 01 : 2 ビット 10 : 4 ビット 11 : 設定禁止
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0 : 出力しない 1 : 出力する
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	0	R/W	オプションコマンドイネーブル オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する
11~8	ADE[3:0]	0000	R/W	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000 : 出力しない 0100 : ADR[23:16]を出力 0110 : ADR[23:8]を出力 0111 : ADR[23:0]を出力 1111 : ADR[31:0]を出力 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
7～4	OPDE[3:0]	0000	R/W	オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000 : 出力しない 1000 : OPD3 を出力 1100 : OPD3、OPD2 を出力 1110 : OPD3、OPD2、OPD1 を出力 1111 : OPD3、OPD2、OPD1、OPD0 を出力 上記以外 : 設定禁止
3～0	SPIDE[3:0]	0000	R/W	転送データイネーブル 転送データの有効を設定します。 CMNCR レジスタの BSZ[1:0]ビットにより、有効データが異なります。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 (1) CMNCR レジスタの BSZ[1:0]ビット=00 (シリアルフラッシュ 1 個接続) 0000 : 転送しない 1000 : 8 ビット転送 (DATA[31:24]を有効) 1100 : 16 ビット転送 (DATA[31:16]を有効) 1111 : 32 ビット転送 (DATA[31:0]を有効) 上記以外 : 設定禁止 (2) CMNCR レジスタの BSZ[1:0]ビット=01 (シリアルフラッシュ 2 個接続) 0000 : 転送しない 1000 : 16 ビット転送 (DATA[63:48]を有効) 1100 : 32 ビット転送 (DATA[63:32]を有効) 1111 : 64 ビット転送 (DATA[63:0]を有効) 上記以外 : 設定禁止

18.4.14 SPI モードリードデータレジスタ 0 (SMRDR0)

SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときにリードしてください。CMNSR レジスタの TEND フラグ="0"時にリードした場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDATA0[31:16]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDATA0[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～0	RDATA0[31:0]	不定	R	リードデータ SPI 動作モード時にリードしたデータを格納します。 CMNSR レジスタの BSZ[1:0]ビットにより、データビットが異なります。 BSZ[1:0]=00：リードデータ[31:0]となります。 BSZ[1:0]=01：リードデータ[63:32]となります。

本レジスタと SMRDR1 レジスタは SPI 動作モードの受信が終了すると内容が書き換えられます。

SPI 動作モードの受信が終了したら必ずデータを読み出してください。

18.4.15 SPI モードリードデータレジスタ 1 (SMRDR1)

SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

CMNCR レジスタの BSZ[1:0] ビット=01 (シリアルフラッシュ 2 個接続) 時に有効となります。BSZ[1:0] ビット=00 (シリアルフラッシュ 1 個接続) 時、本レジスタの値は無効です。

CMNSR レジスタの TEND フラグ="1"のときにリードしてください。CMNSR レジスタの TEND フラグ="0"時にリードした場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDATA1[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDATA1[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~0	RDATA1[31:0]	不定	R	リードデータ SPI 動作モード時にリードしたデータを格納します。 CMNCR レジスタの BSZ[1:0] ビット=01 (シリアルフラッシュ 2 個接続) 時のみ有効となります。00 (シリアルフラッシュ 1 個接続) 時、本ビットの値は無効です。 BSZ[1:0]=01 : リードデータ[31:0]となります。

18.4.16 SPI モードライトデータレジスタ 0 (SMWDR0)

SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDATA0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDATA0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	WDATA0[31:0]	すべて 0	R/W	ライトデータ SPI 動作モード時にライトするデータを格納します。 CMNSR レジスタの BSZ[1:0]ビットにより、データビットが異なります。 BSZ[1:0]=00：ライトデータ[31:0]となります。 BSZ[1:0]=01：ライトデータ[63:32]となります。

18.4.17 SPI モードライトデータレジスタ 1 (SMWDR1)

SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

CMNCR レジスタの BSZ[1:0]ビット=01 (シリアルフラッシュ 2 個接続) 時に有効となります。BSZ[1:0]ビット=00 (シリアルフラッシュ 1 個接続) 時、本レジスタの値は無効です。

CMNSR レジスタの TEND フラグ="1"のときに変更してください。CMNSR レジスタの TEND フラグ="0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDATA1[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDATA1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	WDATA1[31:0]	すべて 0	R/W	ライトデータ SPI 動作モード時にライトするデータを格納します。 CMNCR レジスタの BSZ[1:0]ビット=01 (シリアルフラッシュ 2 個接続) 時のみ有効となります。00 (シリアルフラッシュ 1 個接続) 時、本ビットの値は無効です。 BSZ[1:0]=01 : ライトデータ[31:0]となります。

18.4.18 共通ステータスレジスタ (CMNSR)

動作状態を示すフラグを格納する 32 ビットのレジスタです。

本レジスタは、外部アドレス空間リード／SPI 動作モード両方に反映されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSLF	TEND
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SSLF	0	R	SPBSSL 端子モニタ 0 : SPBSSL 端子がネゲート中 1 : SPBSSL 端子がアサート中
0	TEND	1	R	転送終了フラグ データ転送を終了したことを示します。 0 : 転送中であることを表示 1 : 転送を終了したことを表示

18.4.19 AC 特性調整レジスタ (SPBACR)

SPI マルチ I/O バスコントローラの AC 特性を調整するレジスタです。

本レジスタは H'0000A508 に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Guard Bit[7:0]								—	—	—	—	SPBAC[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	W	W	W	W	W	W	W	W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	Guard Bit [7:0]	すべて 0	W	ガードビット 読み出すと常に 0 が読み出されます。必ず H'A5 に設定してください。
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	SPBAC[3:0]	H'4	R/W	AC 特性調整ビット 必ず H'8 に設定してください。

18.5 動作説明

18.5.1 システム構成

本モジュールは、シリアルフラッシュ（データ幅 1/2/4 ビット）を直接 1、2 個接続することが可能です。接続数は CMNCR レジスタの BSZ[1:0] ビットにより切り替えます。

シリアルフラッシュを 1、2 個接続したシステム構成例を図 18.2 と図 18.3 に示します。

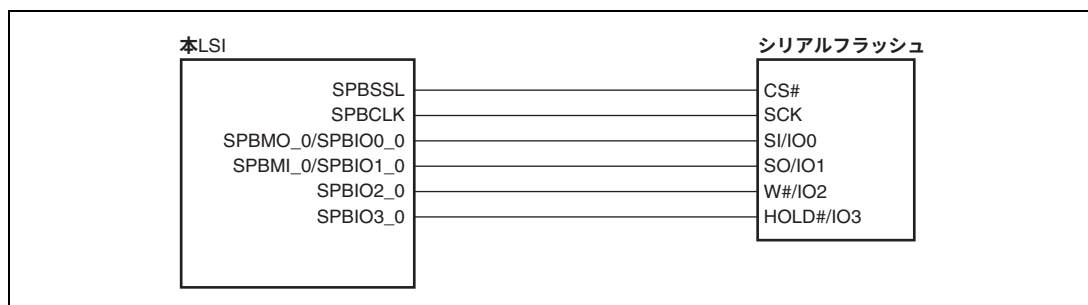


図 18.2 データ幅 4 ビット、シリアルフラッシュ 1 個接続例（CMNCR レジスタの BSZ[1:0] ビット=00）

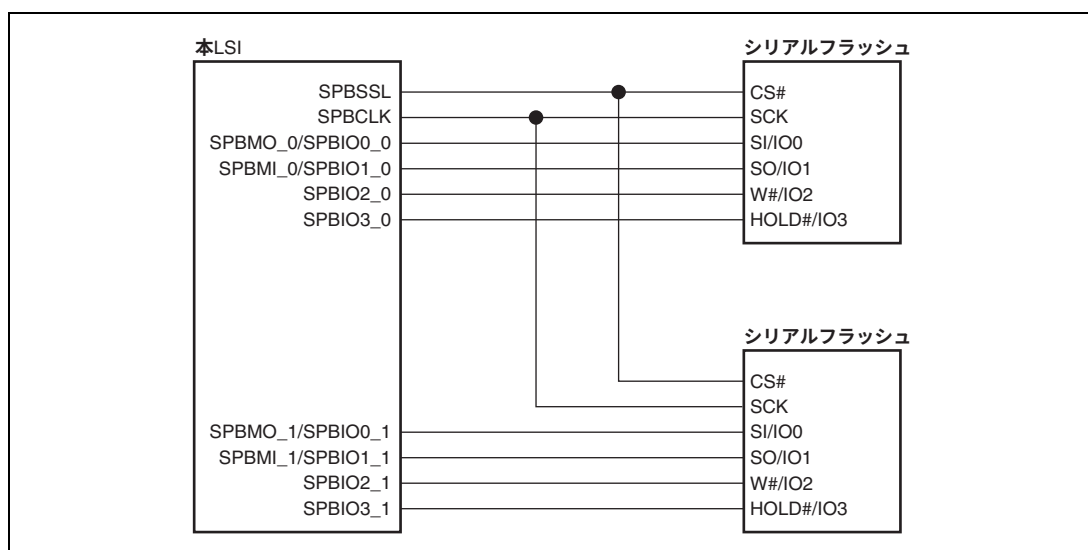


図 18.3 データ幅 4 ビット、シリアルフラッシュ 2 個接続例（CMNCR レジスタの BSZ[1:0] ビット=01）

18.5.2 アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュは、SPI マルチ I/O バス空間に割り当てられます。シリアルフラッシュ接続数によりアクセスできるアドレス空間の最大値が異なります。DREAR レジスタとの組み合わせにより、シリアルフラッシュ 1 個接続時は最大 4G バイト、シリアルフラッシュ 2 個接続時は最大 8G バイトまでアクセス可能です。

表 18.4 アドレスマップ

シリアルフラッシュ接続数	内部アドレス	キャッシュ	最大アクセス領域
1 個	H'18000000~H'1BFFFFFF	有効	4G バイト
	H'38000000~H'3BFFFFFF	無効	
2 個	H'18000000~H'1BFFFFFF	有効	8G バイト
	H'38000000~H'3BFFFFFF	無効	

18.5.3 シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 64M バイトであるため、直接アクセスできるのはシリアルフラッシュの 32 ビットアドレス領域の一部となります。このとき、32 ビットアドレスの上位ビットはレジスタに設定した固定値となります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、DRENr レジスタの ADE[3]ビット=1 に設定し、DREAR レジスタの EAC[2:0]ビットにシリアルフラッシュのアドレスとして使用する外部アドレスの範囲と、DREAR レジスタの EAV[7:0]ビットに 32 ビットアドレスの上位ビットとする固定値を設定します。

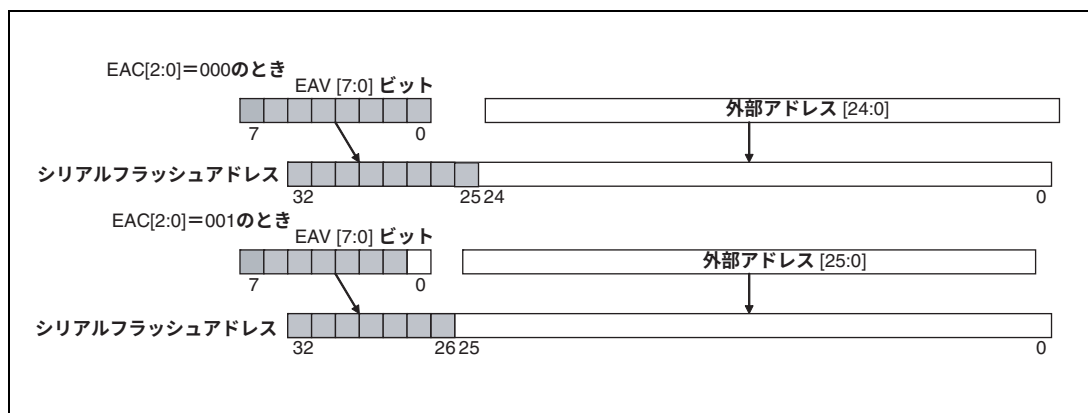


図 18.4 32 ビットアドレス設定

DRENr レジスタの ADE[3]ビット=1 とすることで、シリアルフラッシュのアドレスを [31:0] ビットで出力することが可能となります。

EAC[2:0]=000 とした場合、外部アドレス [24:0] が有効となります。[32:25] ビットは EAV[7:0] に設定してください。

EAC[2:0]=001 とした場合、外部アドレス [25:0] が有効となります。[32:26] ビットは EAV[7:1] に設定してください。

実際にアクセスで使用するアドレスはシリアルフラッシュの接続個数で異なります。

シリアルフラッシュ 1 個接続のときはアドレス[31:0]を使用します。

シリアルフラッシュ 2 個接続のときはアドレス[32:1]を使用します。

【注】 4G バイト未満の容量のシリアルフラッシュを使用する場合、以下のことに注意してください。

バースト動作（DRCR レジスタの RBE ビット=1）のとき、シリアルフラッシュの最終アドレスを跨いでアクセスを行うと、アクセスアドレスとシリアルフラッシュの内部アドレスに相違が生じます。

これを防ぐため、使用するシリアルフラッシュの容量毎にアクセス可能なアドレス領域をソフトウェアにて管理する必要があります。

18.5.4 データアライメント

シリアルフラッシュを 2 個接続したとき、端子 SPBIO3_0-SPBIO0_0 に接続したシリアルフラッシュは 2n 番地、端子 SPBIO3_1-SPBIO0_1 に接続したシリアルフラッシュは 2n+1 番地となります。必ずワード以上でアクセスする必要があり、バイト単位でアクセスすることはできません。シリアルフラッシュを 2 個接続したときの、データアライメントを表 18.5 に示します。

表 18.5 シリアルフラッシュ 2 個接続時のデータアライメント

オペレーション		シリアルフラッシュ	
		端子 SPBIO3_0-SPBIO0_0	端子 SPBIO3_1-SPBIO0_1
0 番地ワードアクセス		データ 15～8	データ 7～0
2 番地ワードアクセス		データ 15～8	データ 7～0
0 番地ロングワードアクセス	1 ワード（0 番地）	データ 31～24	データ 23～16
	2 ワード（2 番地）	データ 15～8	データ 7～0

18.5.5 動作モード

本モジュールは、外部アドレス空間リードモードおよび SPI 動作モードの 2 つのモードを持っています。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、「18.5.6 外部アドレス空間リードモード」を参照してください。

SPI 動作モードは、レジスタ設定にて任意の SPI 通信を行います。詳細については、「18.5.8 SPI 動作モード」を参照してください。

18.5.6 外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードを SPI 通信に変換することができます。また、リード時に発行するコマンド／オプションコマンド／オプションデータを、レジスタ設定にて変更することができます。

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ (CMNCR)、SSL 遅延レジスタ (SSLDR)、ビットレート設定レジスタ (SPBCR)、データリードコントロールレジスタ (DRCR)、データリードコマンド設定レジスタ (DRCMR)、データリード拡張アドレス設定レジスタ (DREAR)、データリードオプション設定レジスタ (DROPR)、データリードイネーブル設定レジスタ (DRENPR) により決定されます。

(1) 通常リード動作

DRCR レジスタの RBE ビット="0"に設定することにより、通常リード動作となります。

通常リード動作では、バイト／ワード／ロングワードリードに対し、それぞれ 8 ビット／16 ビット／32 ビット分データをリードします。ただし、バイトアクセスはシリアルフラッシュ 1 個接続時のみ可能となります。データリード後、SPBSSL 端子はネゲートされます。

通常リード動作時のタイミング図を図 18.5 に示します。

t1 は SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）、t2 は転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間（SPBSSL ネゲート遅延）、t3 は転送終了から次の転送開始までの期間（次アクセス）を意味します。t1、t2、t3 の詳細については、「18.5.9 転送フォーマット」を参照してください。

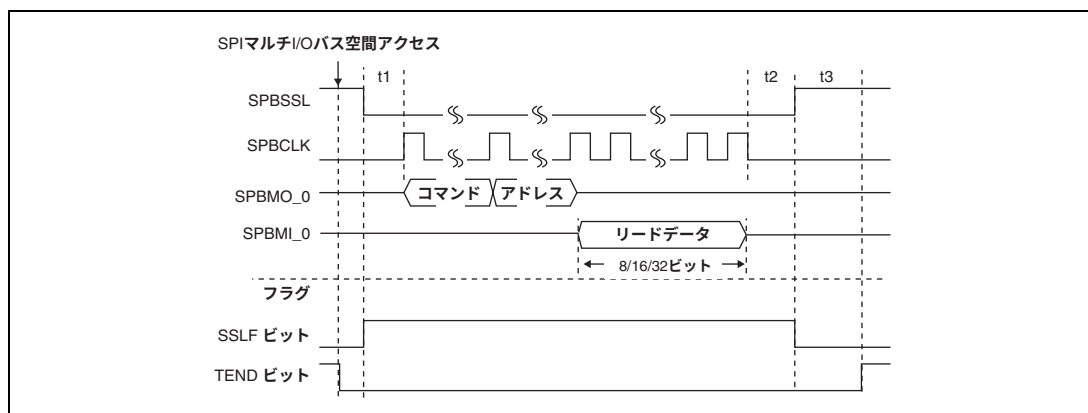


図 18.5 通常リード動作タイミング

(2) バーストリード動作

DRCR レジスタの RBE ビット="1"に設定することにより、バーストリード動作となります。

バーストリード動作では、リードキャッシュが有効となります。リードキャッシュの動作については「18.5.7 リードキャッシュ」を参照してください。

バイト/ワード/ロングワードリードに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、シリアルフラッシュへはアクセスせず、リードキャッシュからデータを読み出します。リードキャッシュにデータが無い場合は、シリアルフラッシュへバーストリードし、読み出したデータはリードキャッシュに格納されます。このときのデータ転送長は 64 ビット×RBURST[3:0]ビットであり、必ず 64 ビット境界からリードします。

また、DRCR レジスタの SSLE ビットによりデータ転送後の SPBSSL 端子の状態を選択できます。SSLE ビット=0であれば、データ転送後必ず SPBSSL 端子をネゲートします。SSLE ビット=1の動作については、「18.5.6

(3) バーストリード動作 SPBSSL 自動ネゲート」を参照してください。

本動作の模式図および SSLE ビット="0"時のバーストリード動作タイミングを図 18.6 と図 18.7 に示します。

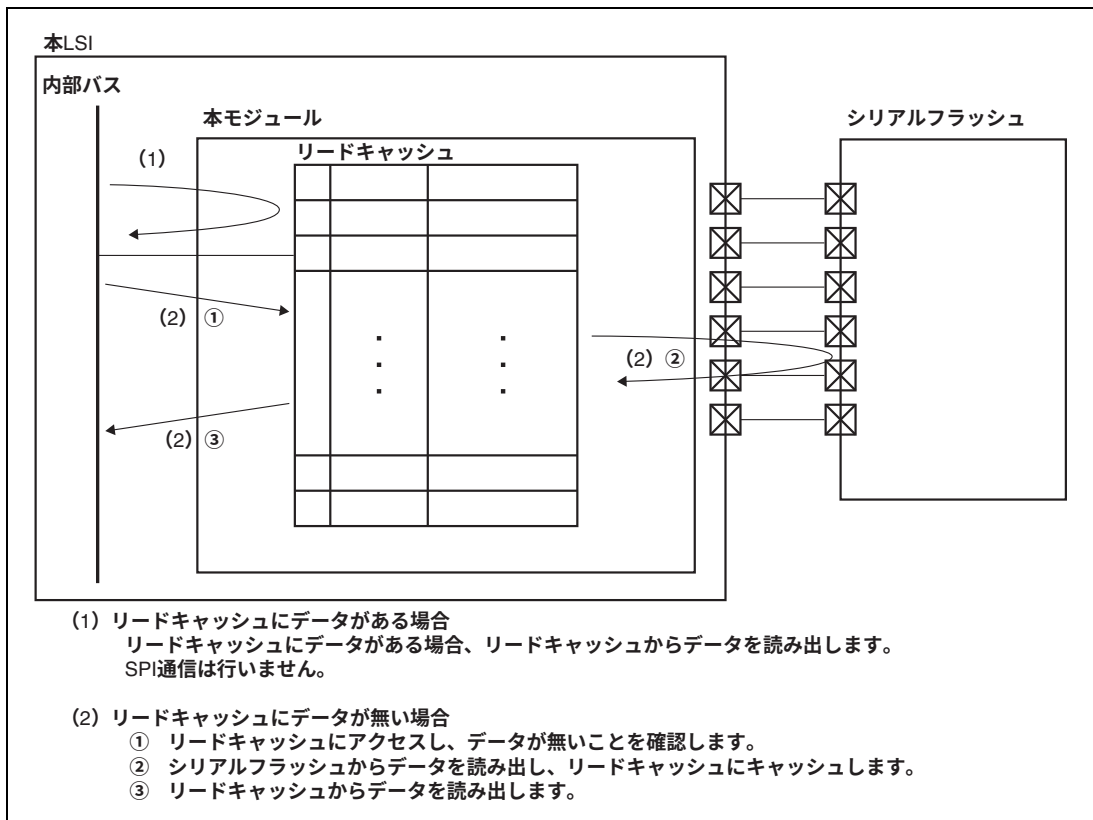


図 18.6 バーストリード動作時のリード動作

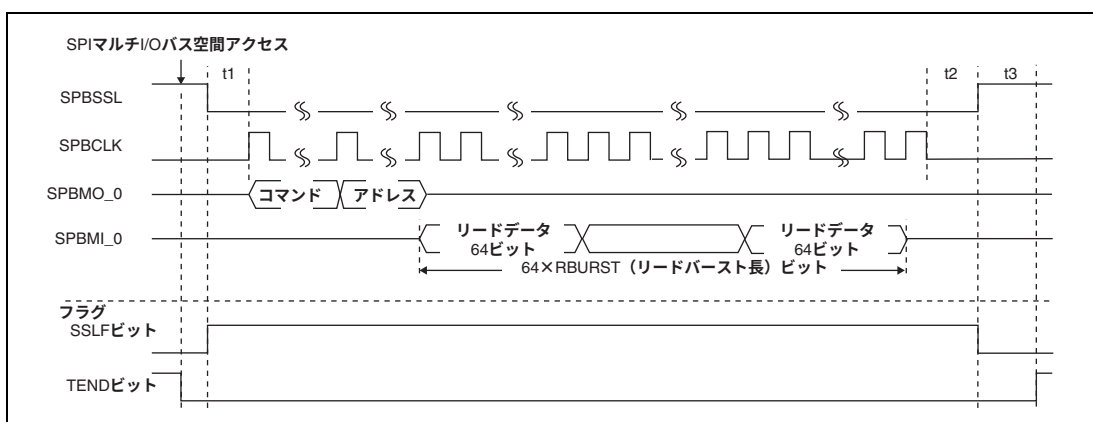


図 18.7 バーストリード動作タイミング (SSLE ビット=0)

(3) バーストリード動作 SPBSSL 自動ネゲート

本モジュールは、DRCR レジスタの SSLE ビット="1"設定時バーストリード転送後に SPBSSL 端子をネゲートしません。次回アクセス時、前回リードアドレスに対してアドレスが連続している場合、コマンド/オプションルコマンド/アドレス/オプションデータは発行せずに、バーストリードを行います。また、アドレスが連続していない場合は SPBSSL 端子を一度ネゲートし、コマンド/オプションルコマンド/アドレス/オプションデータを発行後にバーストリードを行います。

連続アドレス時および非連続アドレス時のバーストリードタイミングを図 18.8 と図 18.9 に示します。

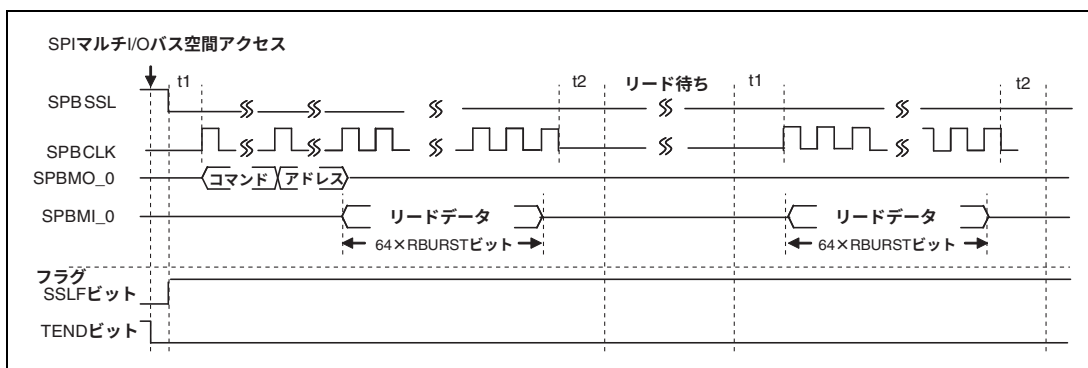


図 18.8 連続アドレスバーストリード動作タイミング (SSLE ビット=1)

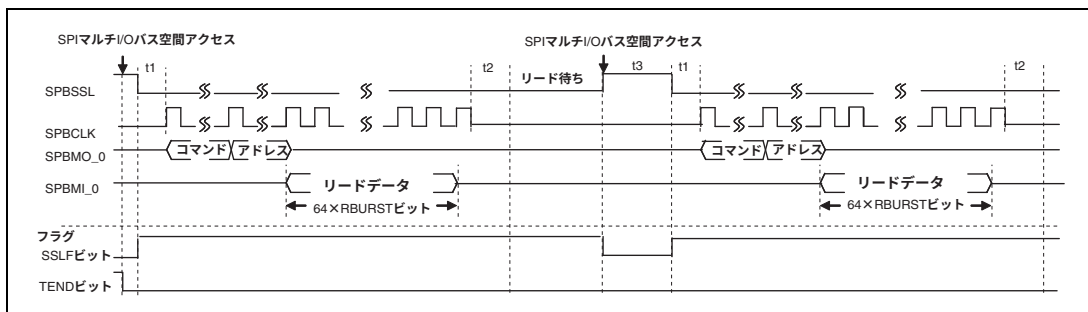


図 18.9 非連続アドレスバーストリード動作タイミング (SSLE ビット=1)

本動作にて DRCR レジスタの SSLN ビットで SPBSSL をネゲートした後に次のアクセスを行う場合、CMNSR レジスタの SSLF ビット=0 をリードして SPBSSL がネゲートされたことを確認してください。

(4) 初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を図 18.10 に示します。

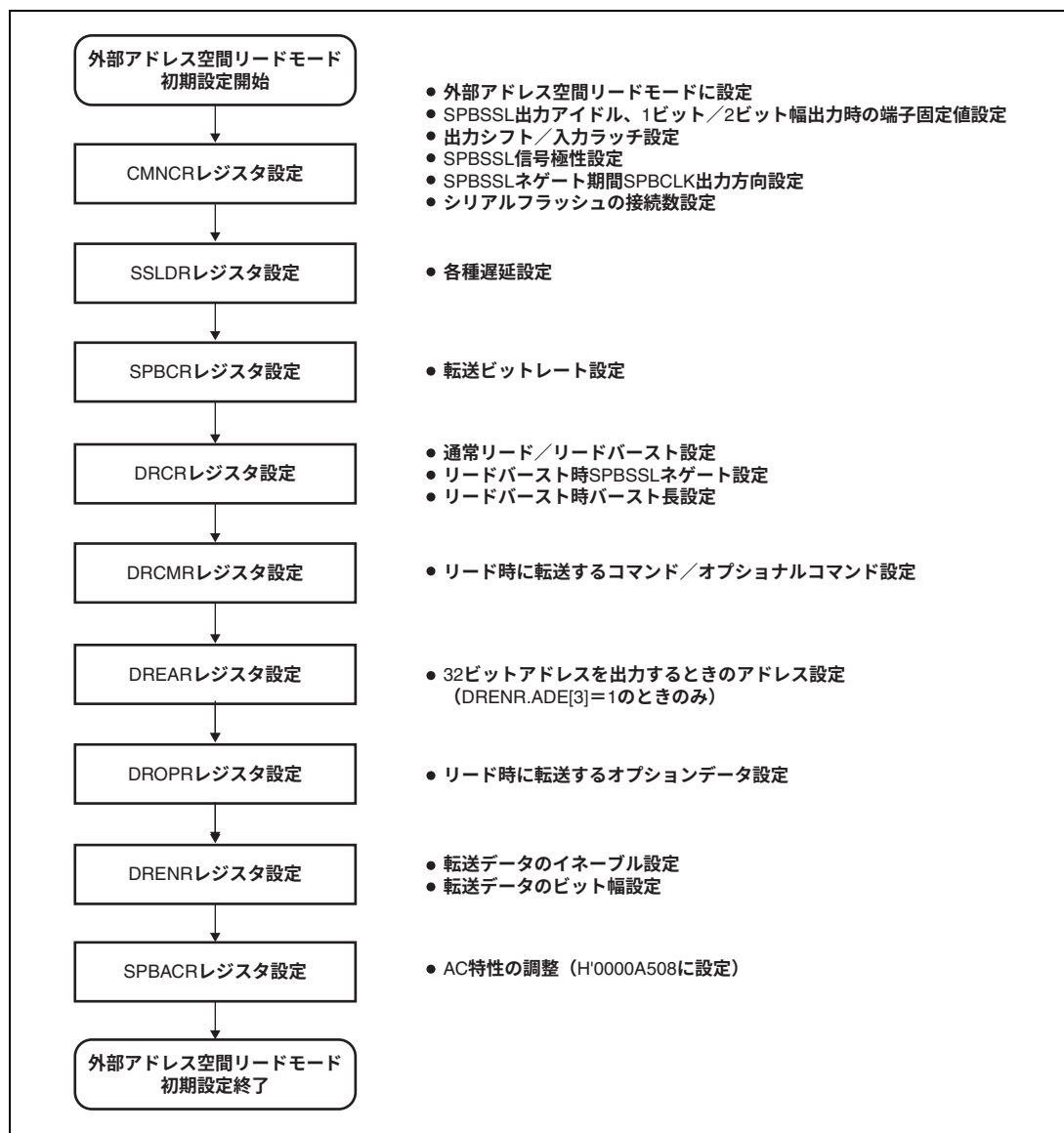


図 18.10 外部アドレス空間リードモード時の初期設定フロー例

18.5.7 リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時リードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、16 エントリで構成されています。

リードキャッシュの構成を図 18.11 に示します。

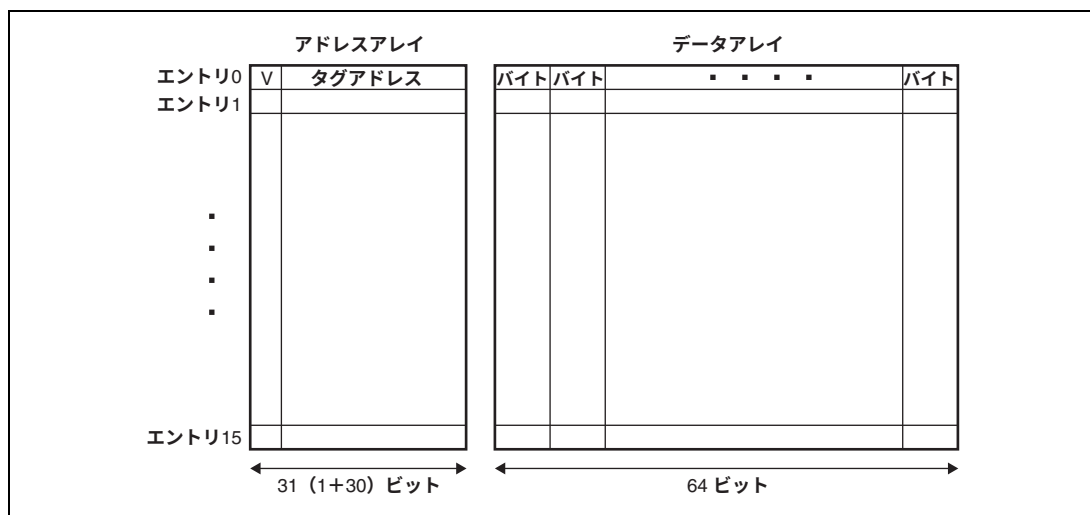


図 18.11 リードキャッシュの構成

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュに使用されるアドレスを保持します。アドレス 32～3 ビットからなります。アドレス出力が 24 ビットで、シリアルフラッシュ 1 個接続時はアドレス 23～3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 24～3 が有効となります。

アドレス出力が 32 ビットで、シリアルフラッシュ 1 個接続時はアドレス 31～3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 32～3 が有効となります。

(2) データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

(3) リード動作

リードヒットした場合、リードキャッシュからデータを読み出します。リードミスした場合、64×RBURST（リードバースト長）分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

(4) データ置換

データの更新はライトポインタにより管理されます。リードミス時、ライトポインタが指し示しているエントリから RBURST（リードバースト長）分、データを置換します。つまり格納した古い順から置換します。データを参照したかどうかは影響しません。

18.5.8 SPI 動作モード

本モジュールは、レジスタ設定で任意の SPI 動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ（CMNCR）、SSL 遅延レジスタ（SSLDR）、ビットレート設定レジスタ（SPBCR）、SPI モードコントロールレジスタ（SMCR）、SPI モードコマンド設定レジスタ（SMCMR）、SPI モードアドレス設定レジスタ（SMADR）、SPI モードオプション設定レジスタ（SMOPR）、SPI モードイネーブル設定レジスタ（SMENR）、SPI モードリードデータレジスタ（SMRDR）、SPI モードライトデータレジスタ（SMWDR）により決定されます。シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

(1) 転送の開始

SMCR レジスタの SPIE ビット="1"により、設定した転送フォーマットにて転送を開始します。ライトイネーブル時、SPI モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、SPI モードリードデータレジスタに格納されます。

タイミング図を図 18.12 に示します。

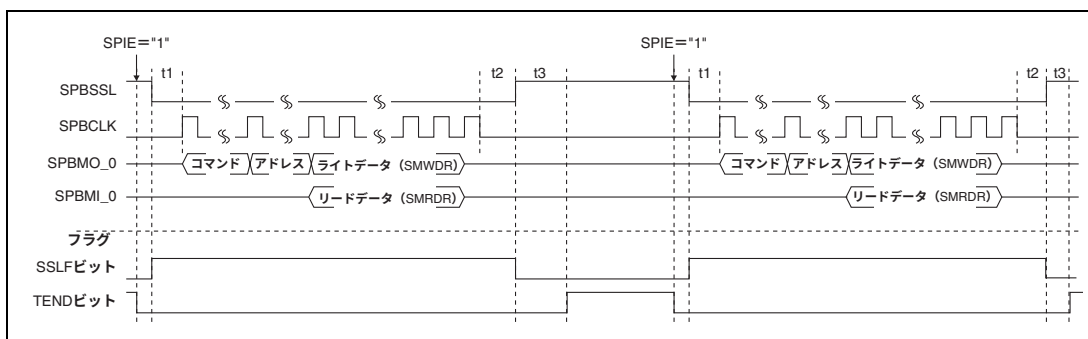


図 18.12 SPI 動作タイミング図

(2) リード/ライトイネーブル

リード動作：SMCR レジスタの SPIRE ビット="1"に設定することで、データをリードすることができます。リードしたデータは SMRDR レジスタに格納されます。

ライト動作：SMCR レジスタの SPIWE ビット="1"に設定することで、データをライトすることができます。SMWDR レジスタに格納されたデータが出力されます。

また、SMENR レジスタの SPIDB[1:0]ビットのビット幅を 1 ビットに設定しているときは、SPIRE、SPIWE ビット="1"に設定することで送受信可能となります。ただし、SPIDB[1:0]ビットのビット幅を 2 ビット/4 ビットに設定したときは、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効にした場合の動作は保証しません。

(3) SPBSSL 端子アサート保持

SMCR レジスタの SSLKP ビット="1"により、SPBSSL 端子を次の転送までアサートし続けます。本機能により、SPBSSL アサート状態のまま連続的に転送を行うことができます。

SSLKP ビットを利用した転送タイミングを図 18.13 に示します。

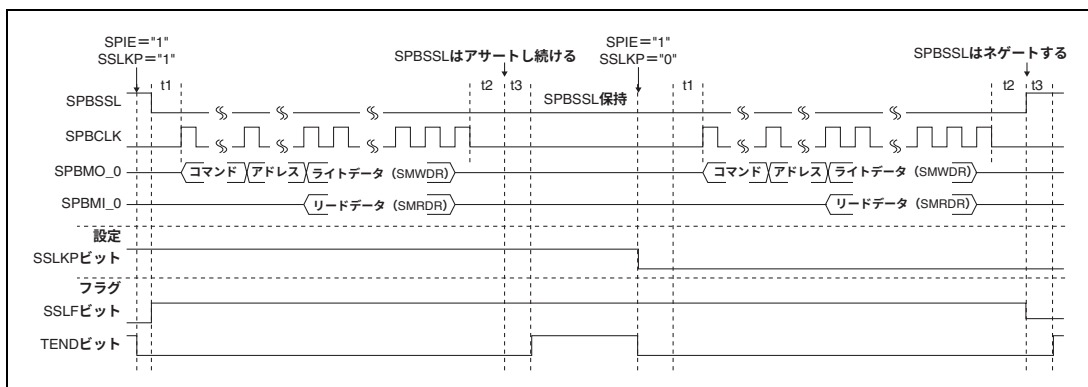


図 18.13 SSLKP ビットを利用した転送タイミング図

(4) 初期設定フロー

SPI 動作モード時の初期設定フロー例を図 18.14 に示します。

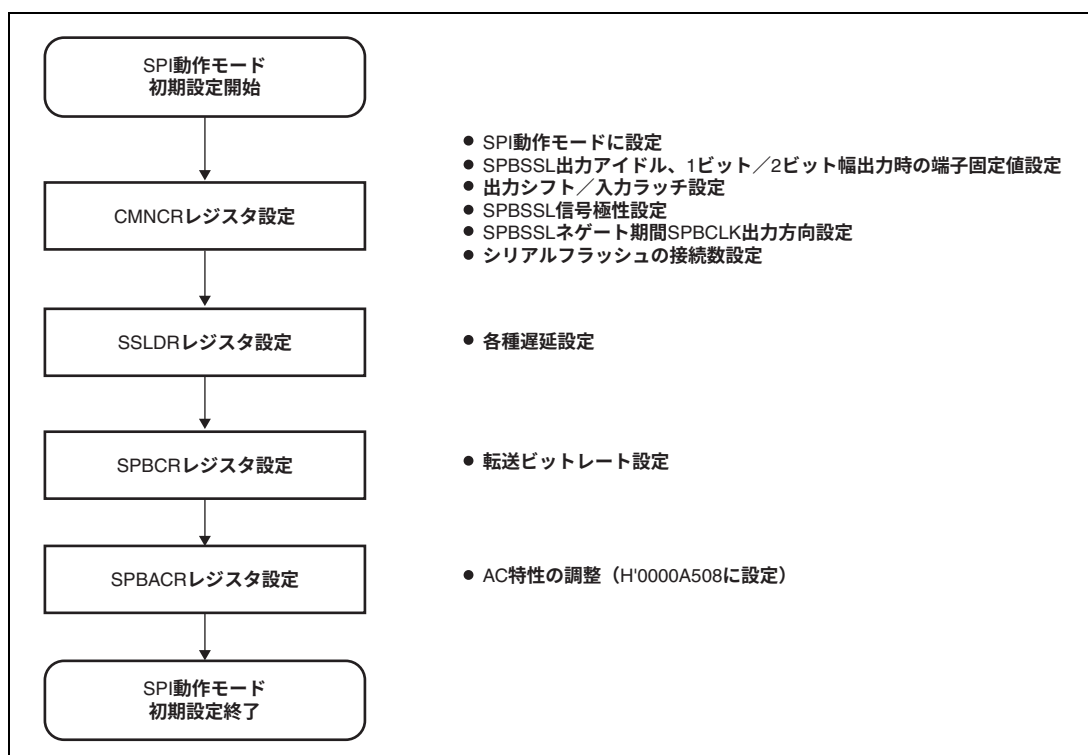


図 18.14 SPI 動作モード時の初期設定フロー例

(5) データ転送設定フロー

SPI 動作モード時のデータ転送設定フロー例を図 18.15 に示します。

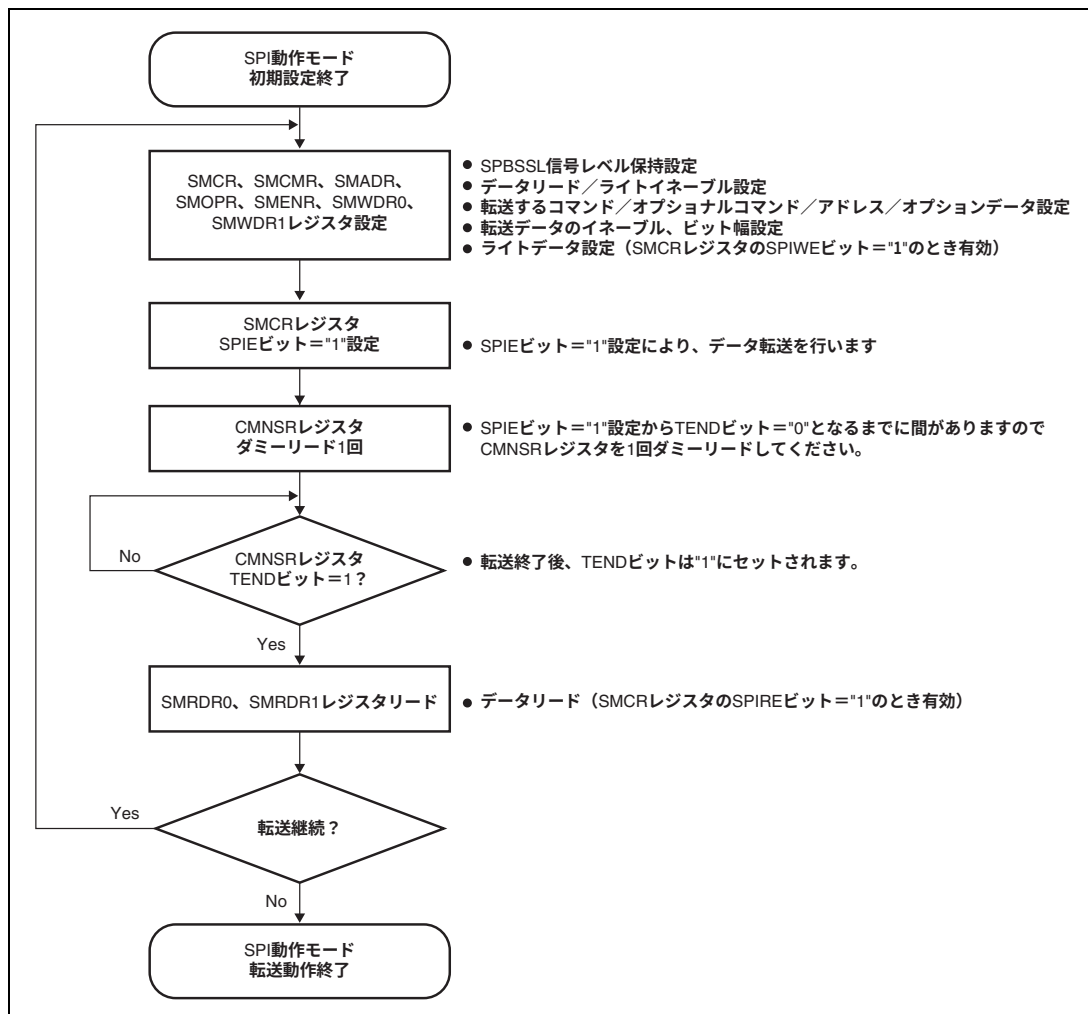


図 18.15 SPI 動作モード時のデータ転送設定フロー例

18.5.9 転送フォーマット

(1) SPBSSL 端子のイネーブル極性制御

CMNCR レジスタの SSLP ビットにより、SPBSSL のイネーブル極性を変更することが可能です。

(2) SPBCLK 出力

CMNCR レジスタの CPOL ビットにより、SPBSSL ネゲート時の SPBCLK 出力方向を設定可能です。

(3) データ送信・受信タイミング

CMNCR レジスタの CPHAT ビットによりデータ送信タイミングを奇数／偶数に設定可能です。同様に CMNCR レジスタの CPHAR ビットによりデータ受信タイミングを奇数／偶数に設定可能です。

(4) 遅延設定

t1 は、SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）です。SSLDR レジスタの SCKDL[2:0] ビットで設定できます。t2 は、SPBCLK 発振停止から SPBSSL 信号のネゲートまでの期間（SPBSSL ネゲート遅延）です。SSLDR レジスタの SLNDL[2:0] ビットで設定できます。t3 は、転送終了後に次転送のための SPBSSL 信号アサートを抑制するための期間（次アクセス遅延）です。SSLDR レジスタの SPNDL[2:0] ビットで設定できます。

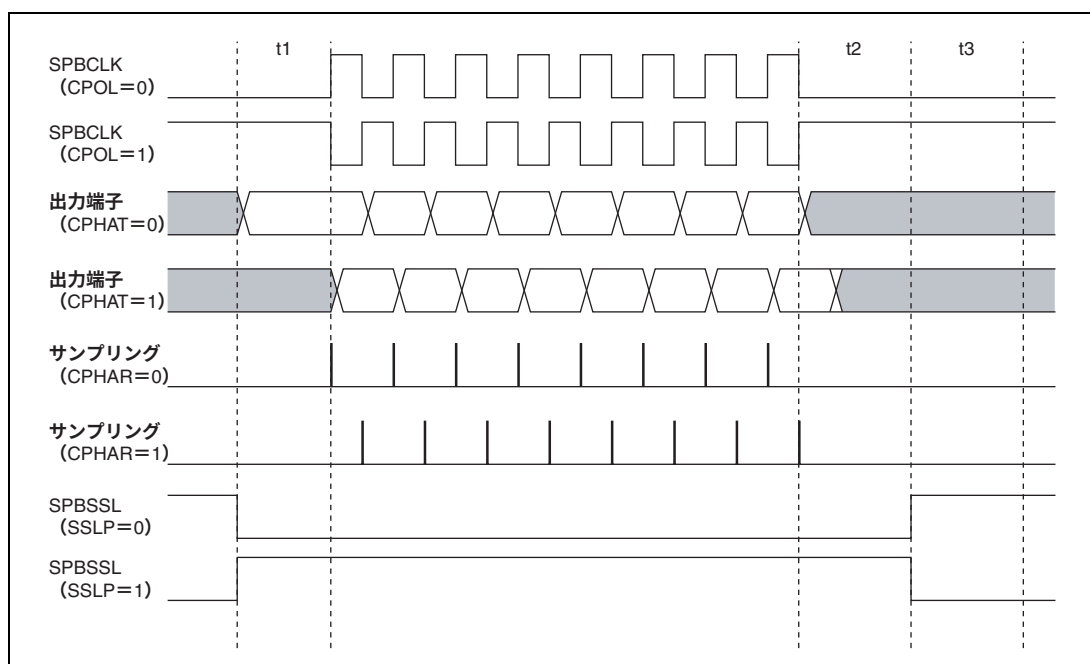


図 18.16 転送フォーマット

18.5.10 データフォーマット

本モジュールは、コマンド、オプションコマンド、アドレス、オプションデータ、データの順番でデータ入出力を行います。

(1) データレジスタ

入出力されるデータを表 18.6 に示します。

表 18.6 データレジスタ

データ		外部アドレス空間リード動作	SPI 動作
コマンド (8 ビット)		DRCMR.CMD[7:0]ビット	SMCMR.CMD[7:0]ビット
オプションコマンド (8 ビット)		DRCMR.OCMD[7:0]ビット	SMCMR.OCMD[7:0]ビット
アドレス (32 ビット /24 ビット)	BSZ[1:0]=00 (1 個接続)	32 ビット時: DREAR.EAV[6:1~0]ビット+リードした下位アドレス[25~24:0]ビット 24 ビット時: リードした下位アドレス[23:0]ビット	32 ビット時: SMADR.ADR[31:0]ビット 24 ビット時: SMADR.ADR[23:0]ビット
	BSZ[1:0]=01 (2 個接続)	32 ビット時: DREAR.EAV[7:1~0]ビット+リードした下位アドレス[25~24:1]ビット 24 ビット時: リードした下位アドレス[24:1]ビット	
オプションデータ (8 ビット×4)		DROPR レジスタ	SMOPR レジスタ
転送データ		通常リード: 8/16/32 ビット バーストリード: 64×RBURST ビット	リード: SMRDR0、1 レジスタ ライト: SMWDR0、1 レジスタ

(2) データイネーブル

外部アドレス空間リード動作時、DRENr レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]ビットにより、コマンド、オプションコマンド、アドレス、オプションデータの転送イネーブル/ディスエーブルを制御することが可能です。同様に SPI 動作モード時、SMENr レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、SPIDE[3:0]ビットにより、コマンド、オプションコマンド、アドレス、オプションデータ、転送データのイネーブル/ディスエーブルを制御することが可能です。ただし、SPI 動作モード時、すべてをディスエーブルにすることは禁止です。必ず 1 つはイネーブルとしてください。また、外部アドレス空間リード動作時のアドレス/オプションデータ、SPI 動作モード時のアドレス/オプションデータ/転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

ディスエーブルにした場合、そのデータは飛ばされ、次のデータの入出力を行います。コマンド、オプションコマンド、アドレス、オプションデータは常に出力です。データは外部アドレス空間リード動作時は常に入力、SPI 動作モード時は、SMCR レジスタの SPIRE、SPIWE ビット設定により入出力を決定します。

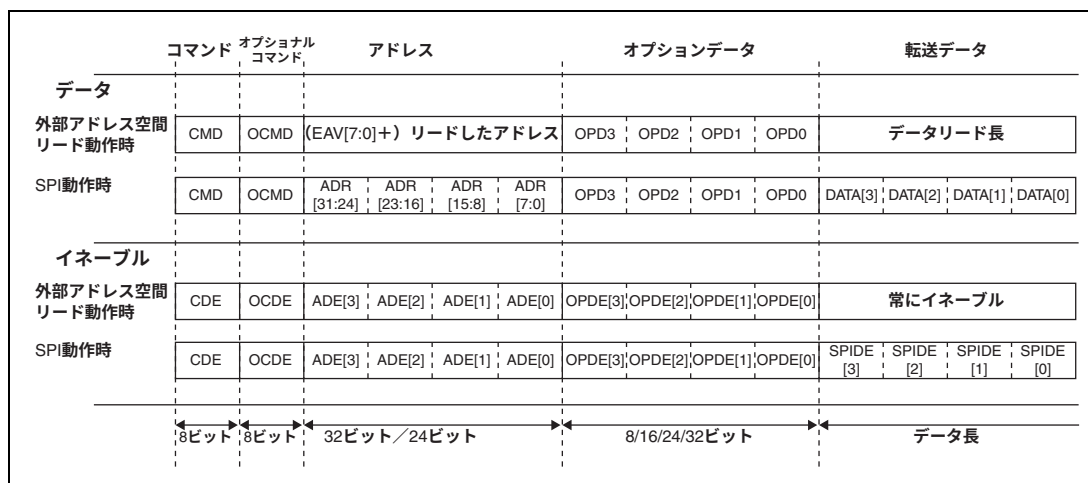


図 18.17 データとイネーブル

(3) ビット幅

外部アドレス空間リード動作時、DREN_R レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0] ビットによりコマンド／オプションコマンド／アドレス／オプションデータ／リードデータのビット幅をそれぞれ制御することが可能です。

同様に SPI 動作モード時、SMEN_R レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0] ビットによりコマンド／オプションコマンド／アドレス／オプションデータ／リードライトデータのビット幅を制御することが可能です。

(a) 1 ビット幅

ビット幅を 1 ビットに設定した場合、SPB_{MI}_0、SPB_{MI}_1 端子は入力、SPB_{MO}_0、SPB_{MO}_1 端子は出力となります。SPB_{IO}2_0、SPB_{IO}2_1、SPB_{IO}3_0、SPB_{IO}3_1 端子は使用しません。

転送フォーマット例を図 18.18 と図 18.19 に示します。

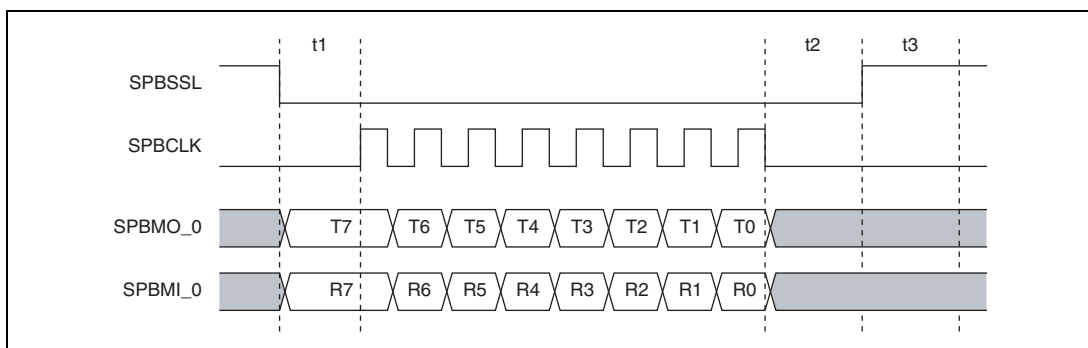


図 18.18 1 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

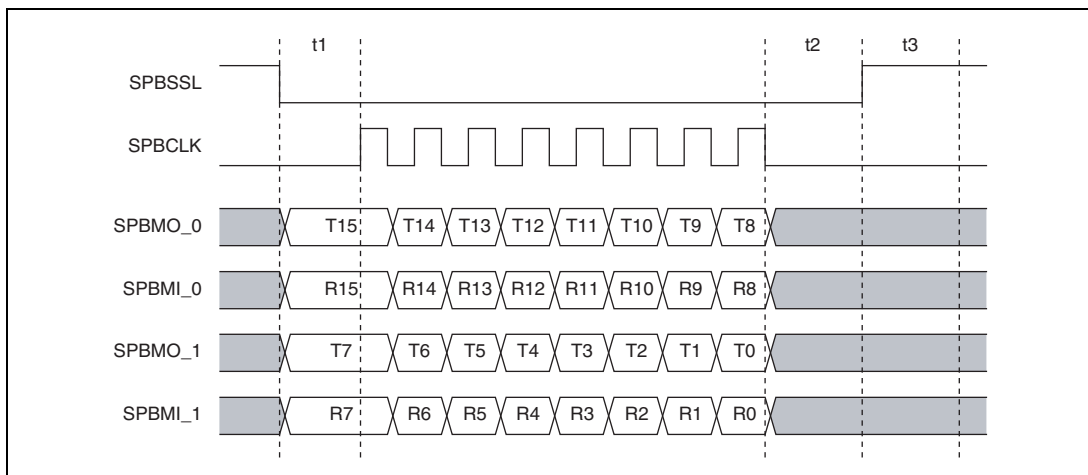


図 18.19 1 ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例

(b) 2 ビット幅

ビット幅を2ビットに設定した場合、SPBIO0_0、SPBIO0_1 端子および SPBIO1_0、SPBIO1_1 端子は入力もしくは出力のどちらかになります。SPBIO2_0、SPBIO2_1、SPBIO3_0、SPBIO3_1 端子は使用しません。

転送フォーマット例を図 18.20 と図 18.21 に示します。

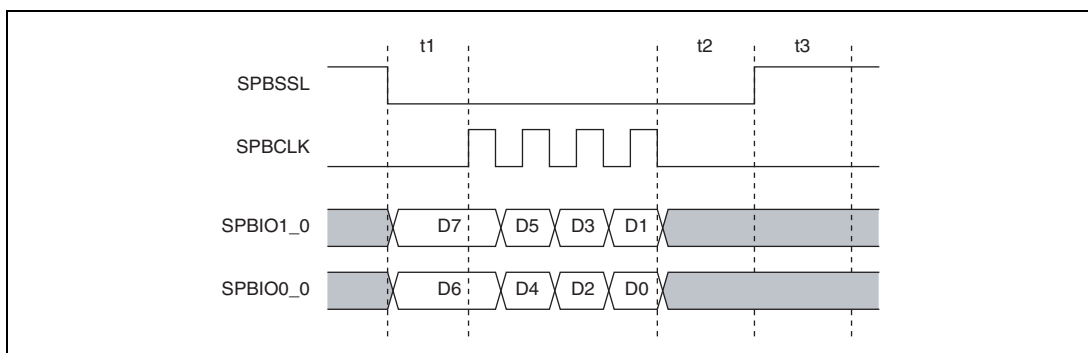


図 18.20 2 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

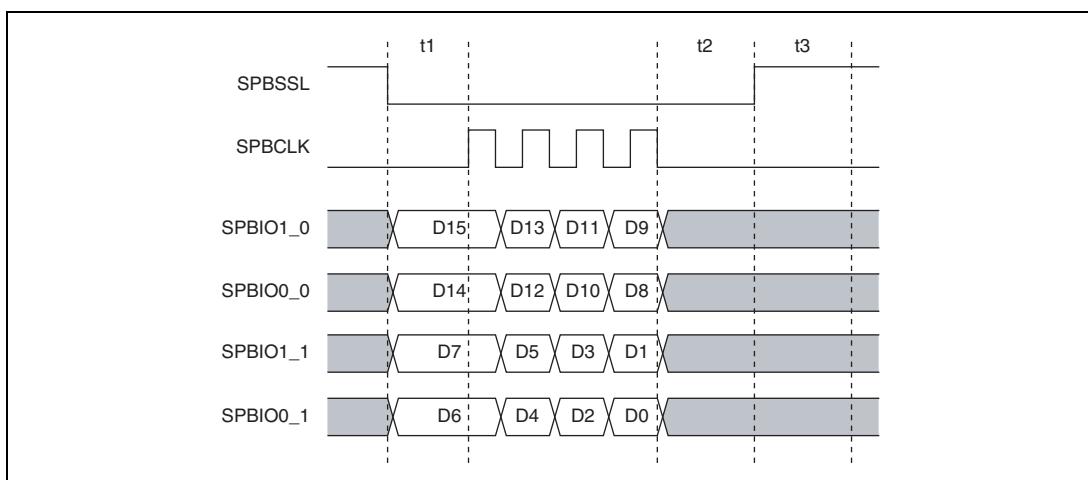


図 18.21 2 ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例

(c) 4 ビット幅

ビット幅を 4 ビットに設定した場合、SPBIO0_0、SPBIO0_1、SPBIO1_0、SPBIO1_1、SPBIO2_0、SPBIO2_1、SPBIO3_0、SPBIO3_1 端子は入力もしくは出力のどちらかになります。転送フォーマット例を図 18.22 と図 18.23 に示します。

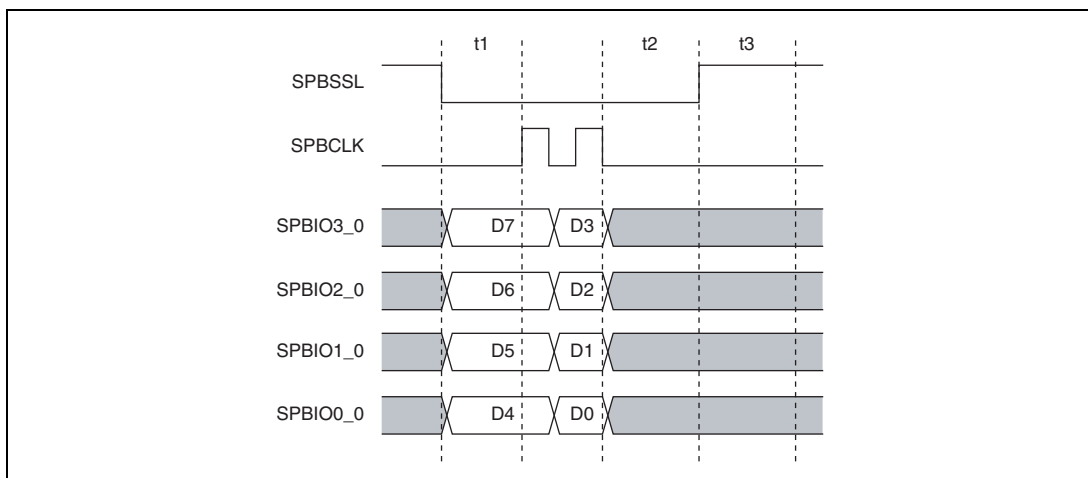


図 18.22 4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例

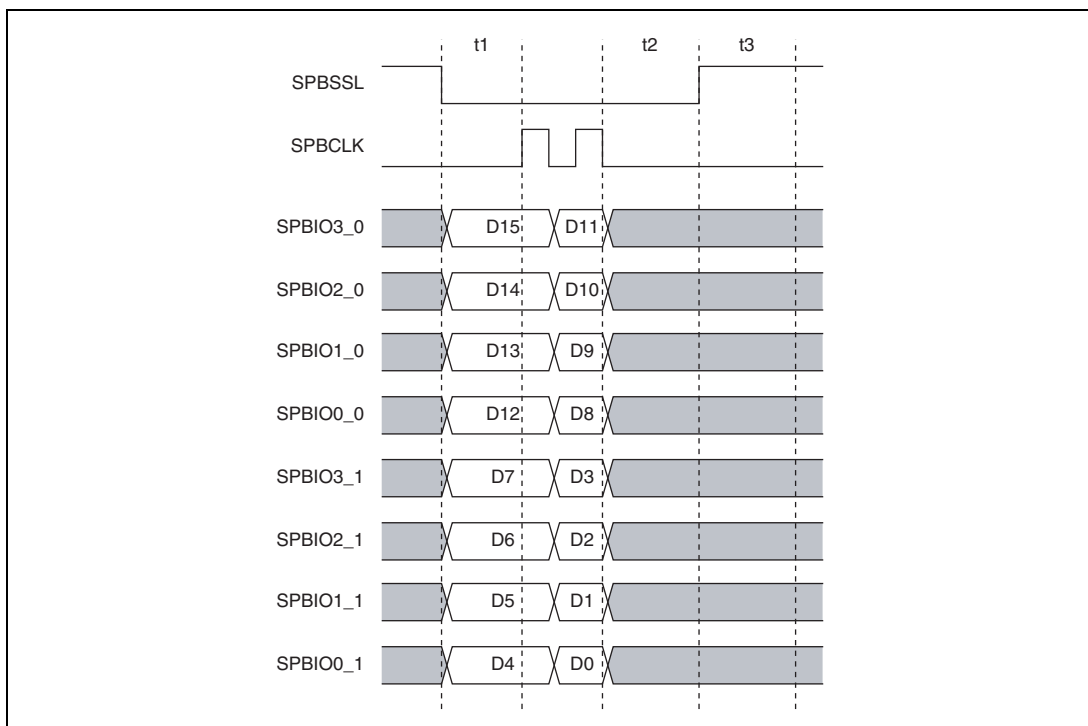


図 18.23 4 ビット幅、シリアルフラッシュ 2 個転送フォーマット例

18.5.11 データ端子制御

本モジュールは、使用するデータ幅・リード・ライト設定により端子状態を自動的に切り替えます。また、SPBSSL ネゲートの端子状態は CMNCR レジスタの MOIO3、MOIO2、MOIO1、MOIO0 ビットにより設定可能です。

SPBSSL、SPBCLK 端子は常に出力です。それぞれの端子状態の表を表 18.7～表 18.9 に示します。

表 18.7 端子状態 (1)

端子	SPBSSL ネゲート	SPBSSL アサート		
		コマンド、オプショナルコマンド、アドレス、オプションデータ		
		1 ビット幅	2 ビット幅	4 ビット幅
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	MOIO0 ビット設定値	出力	出力	出力
SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	MOIO1 ビット設定値	Hi-Z	出力	出力
SPBIO2_0、SPBIO2_1	MOIO2 ビット設定値	IO2FV ビット設定値	IO2FV ビット設定値	出力
SPBIO3_0、SPBIO3_1	MOIO3 ビット設定値	IO3FV ビット設定値	IO3FV ビット設定値	出力

表 18.8 端子状態 (2)

端子	転送データ					
	外部アドレス空間リード動作			SPI 動作		
	1 ビット幅	2 ビット幅	4 ビット幅	SPIRE ビット=1、SPIWE ビット=0		
				1 ビット幅	2 ビット幅	4 ビット幅
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	IO0FV ビット設定値	入力	入力	IO0FV ビット設定値	入力	入力
SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	入力	入力	入力	入力	入力	入力
SPBIO2_0、SPBIO2_1	IO2FV ビット設定値	IO2FV ビット設定値	入力	IO2FV ビット設定値	IO2FV ビット設定値	入力
SPBIO3_0、SPBIO3_1	IO3FV ビット設定値	IO3FV ビット設定値	入力	IO3FV ビット設定値	IO3FV ビット設定値	入力

表 18.9 端子状態 (3)

端子	転送データ					
	SPI 動作					
	SPIRE ビット=0、SPIWE ビット=1			SPIRE ビット=1、SPIWE ビット=1		
	1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	出力	出力	出力	出力	設定禁止	設定禁止
SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	Hi-Z	出力	出力	入力	設定禁止	設定禁止
SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	出力	IO2FV ビット 設定値	設定禁止	設定禁止
SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	出力	IO3FV ビット 設定値	設定禁止	設定禁止

18.5.12 SPBSSL 端子制御

SPBSSL 端子のネゲート条件を下記に示します。

(1) 外部アドレス空間リード動作

(a) 通常リード動作 (DRCR レジスタの RBE ビット="0")

データ転送完了し、t2 サイクル後にネゲート

(b) パーストリード SPBSSL 自動ネゲートなし

(DRCR レジスタの RBE ビット="1"、DRCR レジスタの SSLE ビット="0")

データ転送完了し、t2 サイクル後にネゲート

(c) パーストリード SPBSSL 自動ネゲート

(DRCR レジスタの RBE ビット="1"、DRCR レジスタの SSLE ビット="1")

- リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にネゲート
- DRCR レジスタの SSLN ビット="1" 設定後にネゲート

(2) SPI 動作モード

(a) SPBSSL 端子アサート保持なし (SMCR レジスタの SSLKP ビット="0")

データ転送完了し、t2 サイクル後にネゲート

(b) SPBSSL 端子アサート保持あり (SMCR レジスタの SSLKP ビット="1")

ネゲートしません。

ネゲートする場合は、SSLKP ビット="0" 設定後にデータの転送を行ってください。

18.5.13 フラグ

本モジュールは、CMNSR レジスタに SSLF、TEND ビットの 2 つのビットを持っています。これらのビットは読み出しのみ可能です。

(1) SSLF ビット

SPBSSL の端子状態を示します。SPBSSL をアサートしているときは"1"、ネゲートしているときは"0"が読み出されます。

(2) TEND ビット

データ転送中／終了を示します。

t1 期間、データ転送、t2 期間、t3 期間のとき、およびバーストリード SPBSSL 自動ネゲートでのリードアクセス待ちのとき、データ転送中であることを示し TEND ビット="0"が読み出されます。

上記以外のとき、データ転送終了を示し TEND ビット="1"が読み出されます。

(3) レジスタ書き換え

TEND ビットの状態により、レジスタ書き換えタイミングを決定します。

DRCR レジスタ SSLN ビット以外のライトアクセス可能なすべてのレジスタは TEND="1"の時に書き換えてください。

また、SMRDR0、SMRDR1 レジスタは TEND="1"のときにリードしてください。

CMNSR レジスタは常にリード可能です。

18.6 使用上の注意事項

18.6.1 SPI 動作モードのデータリード転送時の注意事項

SPI 動作モードかつビットレートが 2 分周以上のとき、SPI モードイネーブル設定レジスタ (SMENR) にて、データリード転送のみイネーブルにする場合は以下の点に注意してください。

なお、データリード転送のみとは SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]の各ビットをすべて 0 に設定し、データのリード転送を行うことを意味します。

(1) SPBSSL 端子をネゲートしている状態でのデータリード転送

データリード転送のみを行う場合は、SMENR.SPIDE[3:0]=1100 または 1111 に設定するようにしてください。

SMENR.SPIDE[3:0]=1000 にてデータリード転送のみを行った場合、正常に転送が行われません。

(2) SPBSSL 端子をアサートしている状態でのデータリード転送

データリード転送のみを行う場合、直前の転送をデータリード転送で終了させるか、SMENR.SPIDE[3:0]=1100 または 1111 に設定するようにしてください。

直前の転送がコマンド/オプションコマンド/アドレス/オプションデータまたはデータライト転送の場合、その後の転送で SMENR.SPIDE[3:0]=1000 に設定したデータリード転送のみを行うと正常に転送が行われません。

18.6.2 SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項

SPI 動作モードで SPBSSL 端子をアサート保持している状態で、コマンド、オプションコマンド、アドレス、オプションデータで転送を開始する際は、SMCR レジスタの SPIWE ビットを 1 に設定してください。

18.6.3 初期設定についての注意事項

本モジュールを使用する場合は最初に AC 特性調整レジスタ (SPBACR) を必ず H'0000A508 に設定してください。

19. I²C バスインタフェース 3

I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

なお、チャンネル数は 4 チャンネルあります。

19.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
 - 連続送信 / 受信可能
- シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
 - 受信時、アクノリッジの出力レベルを選択可能
 - 送信時、アクノリッジビットを自動ロード
 - ビット同期機能内蔵
- マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因: 6 種類
- 送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラージョンロスト、NACK 検出、停止条件検出
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラを起動させてデータの転送を行うことができます。
 - バスを直接駆動可能
- SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因: 4 種類
- 送信データエンプティ、送信終了、受信データフル、オーバランエラー
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラを起動させてデータの転送を行うことができます。

図 19.1 にブロック図を示します。

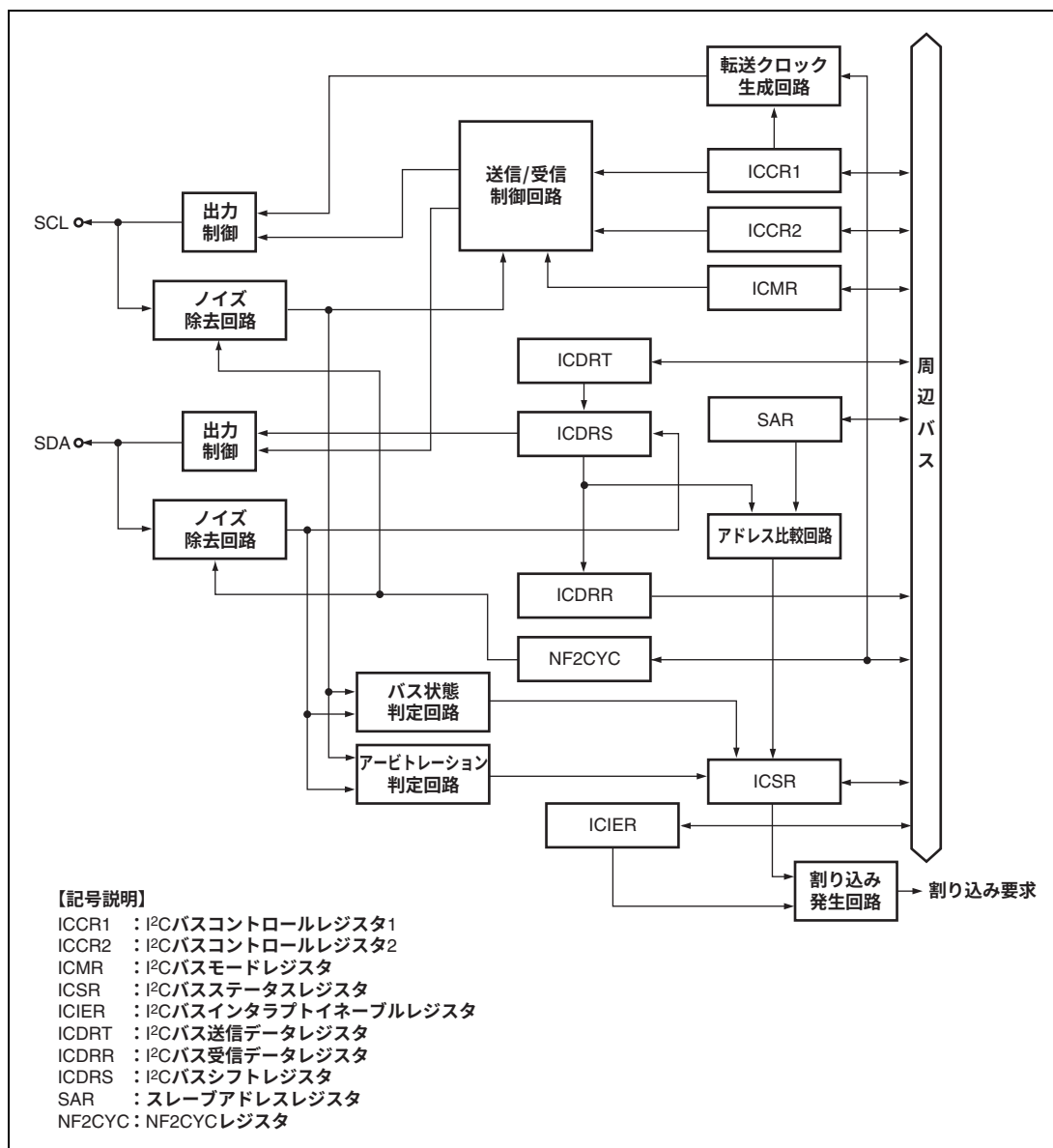


図 19.1 ブロック図

19.2 入出力端子

表 19.1 に端子構成を示します。

表 19.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL0 ~ SCL3	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA0 ~ SDA3	入出力	I ² C シリアルデータ入出力端子

図 19.2 に入出力端子の外部回路接続例を示します。

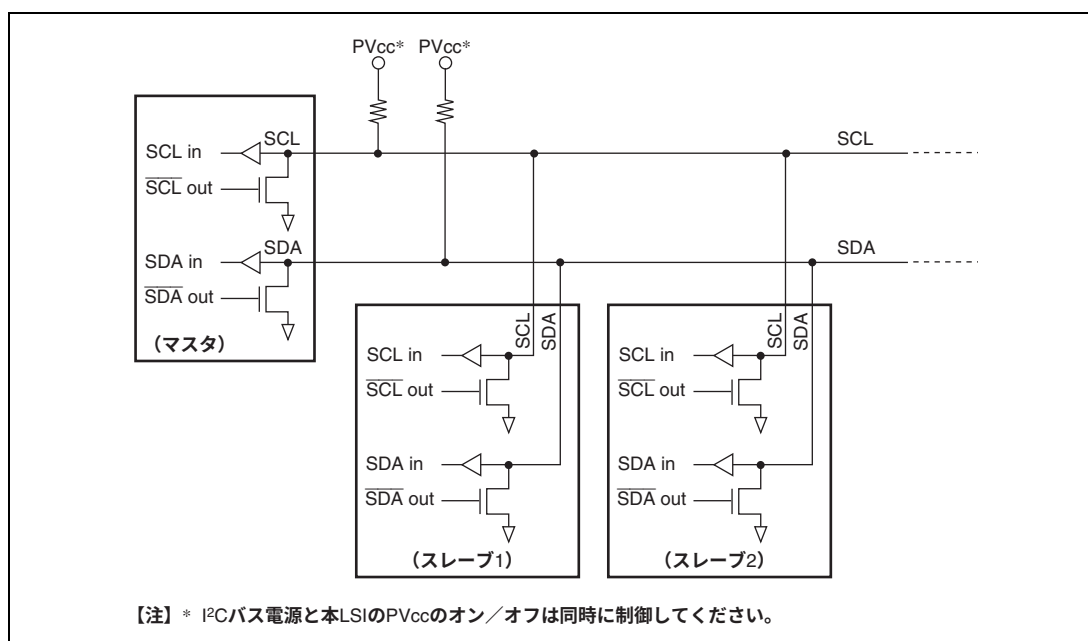


図 19.2 入出力端子の外部回路接続例

19.3 レジスタの説明

表 19.2 にレジスタ構成を示します。

表 19.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	I ² C バスコントロールレジスタ 1	ICCR1_0	R/W	H'00	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2	ICCR2_0	R/W	H'7D	H'FFFEE001	8
	I ² C バスモードレジスタ	ICMR_0	R/W	H'38	H'FFFEE002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_0	R/W	H'00	H'FFFEE003	8
	I ² C バスステータスレジスタ	ICSR_0	R/W	H'00	H'FFFEE004	8
	スレーブアドレスレジスタ	SAR_0	R/W	H'00	H'FFFEE005	8
	I ² C バス送信データレジスタ	ICDRT_0	R/W	H'FF	H'FFFEE006	8
	I ² C バス受信データレジスタ	ICDRR_0	R/W	H'FF	H'FFFEE007	8
	NF2CYC レジスタ	NF2CYC_0	R/W	H'00	H'FFFEE008	8
1	I ² C バスコントロールレジスタ 1	ICCR1_1	R/W	H'00	H'FFFEE400	8
	I ² C バスコントロールレジスタ 2	ICCR2_1	R/W	H'7D	H'FFFEE401	8
	I ² C バスモードレジスタ	ICMR_1	R/W	H'38	H'FFFEE402	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_1	R/W	H'00	H'FFFEE403	8
	I ² C バスステータスレジスタ	ICSR_1	R/W	H'00	H'FFFEE404	8
	スレーブアドレスレジスタ	SAR_1	R/W	H'00	H'FFFEE405	8
	I ² C バス送信データレジスタ	ICDRT_1	R/W	H'FF	H'FFFEE406	8
	I ² C バス受信データレジスタ	ICDRR_1	R/W	H'FF	H'FFFEE407	8
	NF2CYC レジスタ	NF2CYC_1	R/W	H'00	H'FFFEE408	8
2	I ² C バスコントロールレジスタ 1	ICCR1_2	R/W	H'00	H'FFFEE800	8
	I ² C バスコントロールレジスタ 2	ICCR2_2	R/W	H'7D	H'FFFEE801	8
	I ² C バスモードレジスタ	ICMR_2	R/W	H'38	H'FFFEE802	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_2	R/W	H'00	H'FFFEE803	8
	I ² C バスステータスレジスタ	ICSR_2	R/W	H'00	H'FFFEE804	8
	スレーブアドレスレジスタ	SAR_2	R/W	H'00	H'FFFEE805	8
	I ² C バス送信データレジスタ	ICDRT_2	R/W	H'FF	H'FFFEE806	8
	I ² C バス受信データレジスタ	ICDRR_2	R/W	H'FF	H'FFFEE807	8
	NF2CYC レジスタ	NF2CYC_2	R/W	H'00	H'FFFEE808	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	I ² C バスコントロールレジスタ 1	ICCR1_3	R/W	H'00	H'FFFEEC00	8
	I ² C バスコントロールレジスタ 2	ICCR2_3	R/W	H'7D	H'FFFEEC01	8
	I ² C バスモードレジスタ	ICMR_3	R/W	H'38	H'FFFEEC02	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_3	R/W	H'00	H'FFFEEC03	8
	I ² C バスステータスレジスタ	ICSR_3	R/W	H'00	H'FFFEEC04	8
	スレーブアドレスレジスタ	SAR_3	R/W	H'00	H'FFFEEC05	8
	I ² C バス送信データレジスタ	ICDRT_3	R/W	H'FF	H'FFFEEC06	8
	I ² C バス受信データレジスタ	ICDRR_3	R/W	H'FF	H'FFFEEC07	8
	NF2CYC レジスタ	NF2CYC_3	R/W	H'00	H'FFFEEC08	8

19.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し／書き込み可能なレジスタで、I²C バスインタフェース 3 の動作／停止、送信／受信制御、マスタモード／スレーブモード、送信／受信、マスタモード転送クロック周波数の選択を行います。

ビット：	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信デイスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。 なお TRS の変更は転送フレーム間で行ってください。 また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3~0	CKS[3:0]	0000	R/W	転送クロック選択 マスタモードのとき、必要な転送レート (表 19.3 参照) にあわせて設定してください。

表 19.3 転送レート

NF2CYC	ICCR1				クロック	転送レート (kHz)	
ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		P ϕ = 32.0MHz	P ϕ = 36.0MHz
CKS4	CKS[3]	CKS[2]	CKS[1]	CKS[0]			
0	0	0	0	0	P ϕ /44	727	818
				1	P ϕ /52	615	692
			1	0	P ϕ /64	500	563
				1	P ϕ /72	444	500
		1	0	0	P ϕ /84	381	429
				1	P ϕ /92	348	391
			1	0	P ϕ /100	320	360
				1	P ϕ /108	296	333
	1	0	0	0	P ϕ /176	182	205
				1	P ϕ /208	154	173
			1	0	P ϕ /256	125	141
				1	P ϕ /288	111	125
		1	0	0	P ϕ /336	95.2	107
				1	P ϕ /368	87.0	97.8
			1	0	P ϕ /400	80.0	90.0
				1	P ϕ /432	74.1	83.3
1	0	0	0	0	P ϕ /352	90.9	102
				1	P ϕ /416	76.9	86.5
			1	0	P ϕ /512	62.5	70.3
				1	P ϕ /576	55.6	62.5
		1	0	0	P ϕ /672	47.6	53.6
				1	P ϕ /736	43.5	48.9
			1	0	P ϕ /800	40.0	45.0
				1	P ϕ /864	37.0	41.7
	1	0	0	0	P ϕ /704	45.5	51.1
				1	P ϕ /832	38.5	43.3
			1	0	P ϕ /1024	31.3	35.2
				1	P ϕ /1152	27.8	31.3
		1	0	0	P ϕ /1344	23.8	26.8
				1	P ϕ /1472	21.7	24.5
			1	0	P ϕ /1600	20.0	22.5
				1	P ϕ /1728	18.5	20.8

【注】 外部仕様を満足するように設定してください。

19.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し／書き込み可能なレジスタで、開始／停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ビット：	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値：	0	1	1	1	1	1	0	1
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	バスビジー I ² C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I ² C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたことと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたことと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。
6	SCP	1	R/W	開始 / 停止条件発行禁止 SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送時でも同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R/W	SDA 出力値制御 SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。 0：リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更 1：リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更(外部プルアップ抵抗により High レベル出力)
4	SDAOP	1	R/W	SDAO ライトプロテクト SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	コントロール部リセット IICRST は ICMR の BC[2:0]ビットと内部回路をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR の BC[2:0]ビットと内部回路をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

19.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し／書き込み可能なレジスタで、MSB ファースト／LSB ファーストの選択、転送ビット数の選択を行います。

ICCR2 の IICRST により BC[2:0]が H'0 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値：	0	0	1	1	1	0	0	0
R/W：	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときは 0 に設定してください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	BCWP	1	R/W	BC ライトプロテクト BC[2:0]の書き込みを制御します。BC[2:0]を書き換える場合は、本ビットを 0 に設定してください。なおクロック同期シリアルフォーマットでは BC[2:0]の書き換えは行わないでください。 0 : ライト時、BC[2:0]の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0]設定値は無効

ビット	ビット名	初期値	R/W	説 明																		
2～0	BC[2:0]	000	R/W	ビットカウンタ 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。また本ビットは、パワーオンリセット、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換ええないでください。 <table><tr><td>I²C バスフォーマット</td><td>クロック同期式シリアルフォーマット</td></tr><tr><td>000 : 9 ビット</td><td>000 : 8 ビット</td></tr><tr><td>001 : 2 ビット</td><td>001 : 1 ビット</td></tr><tr><td>010 : 3 ビット</td><td>010 : 2 ビット</td></tr><tr><td>011 : 4 ビット</td><td>011 : 3 ビット</td></tr><tr><td>100 : 5 ビット</td><td>100 : 4 ビット</td></tr><tr><td>101 : 6 ビット</td><td>101 : 5 ビット</td></tr><tr><td>110 : 7 ビット</td><td>110 : 6 ビット</td></tr><tr><td>111 : 8 ビット</td><td>111 : 7 ビット</td></tr></table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

19.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクプリッジの有効 / 無効の選択、送信アクプリッジの設定および受信アクプリッジの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	送信インタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可 / 禁止します。 0 : 送信データエンプティ割り込み要求 (TXI) の禁止 1 : 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	送信エンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	受信インタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0 : 受信データフル割り込み要求 (RXI) の禁止 1 : 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出アービトレーションロスト / オーバランエラー割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0 : NACK 受信割り込み要求 (NAKI) の禁止 1 : NACK 受信割り込み要求 (NAKI) の許可
3	STIE	0	R/W	停止条件検出インタラプトイネーブル STIE は、ICSR の STOP がセットされたとき、停止条件検出割り込み要求 (STPI) の許可 / 禁止を選択します。 0 : 停止条件検出割り込み要求 (STPI) の禁止 1 : 停止条件検出割り込み要求 (STPI) の許可

ビット	ビット名	初期値	R/W	説 明
2	ACKE	0	R/W	アクノリッジビット判定選択 0: 受信アクノリッジの内容を無視して連続的に転送を行う 1: 受信アクノリッジが 1 の場合、転送を中断する
1	ACKBR	0	R	受信アクノリッジ 送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 にセットするとクリアされます。 0: 受信アクノリッジ = 0 1: 受信アクノリッジ = 1
0	ACKBT	0	R/W	送信アクノリッジ 受信モード時、アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出

19.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

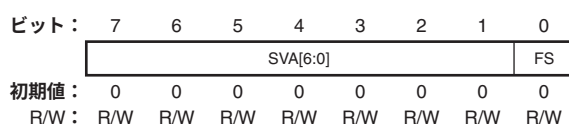
ビット：	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	送信データエンプティ [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スLEEPモードで受信モードから送信モードになったとき
6	TEND	0	R/W	送信エンド [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき
5	RDRF	0	R/W	受信データフル [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRR をリードしたとき [セット条件] • ICDRS から ICDRR に受信データが転送されたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき

ビット	ビット名	初期値	R/W	説 明
3	STOP	0	R/W	停止条件検出フラグ [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • フレームの転送の完了後に停止条件を検出したとき
2	AL/OVE	0	R/W	アービトレーションロストフラグ / オーバランエラーフラグ AL/OVE は、I²C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF = 1 の状態で最終ビットを受信したことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェース 3 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。 [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき • クロック同期式シリアルフォーマットの場合、RDRF = 1 の状態で最終ビットを受信したとき
1	AAS	0	R/W	スレーブアドレス認識フラグ スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。 [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき
0	ADZ	0	R/W	ゼネラルコールアドレス認識フラグ I²C バスフォーマットのスレーブ受信モードのとき有効 [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

19.3.6 スレーブアドレスレジスタ (SAR)

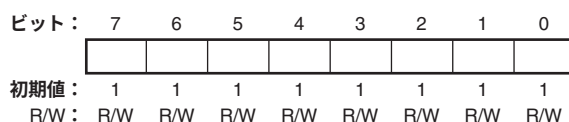
SAR は、8 ビットの読み出し／書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。



ビット	ビット名	初期値	R/W	説 明
7～1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

19.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し／書き込み可能なレジスタで、シフトレジスタ(ICDRS)の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。



19.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信／受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

19.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8ビットの読み出し／書き込み可能なレジスタで、転送クロック選択、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「19.4.7 ノイズ除去回路」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	CKS4	-	-	PRS	NF2CYC
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CKS4	0	R/W	転送クロック選択 マスタモードのとき、必要な転送レート (表 19.3 参照) にあわせて設定してください。
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PRS	0	R/W	パルス幅比率選択 SCL の High 幅と Low 幅の比率を指定します。 0 : High : Low = 0.5 : 0.5 1 : High : Low = 0.4 : 0.6
0	NF2CYC	0	R/W	ノイズ除去幅選択 0 : 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1 : 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

19.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

19.4.1 I²C バスフォーマット

I²C バスフォーマットを図 19.3 に、I²C バスのタイミングを図 19.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

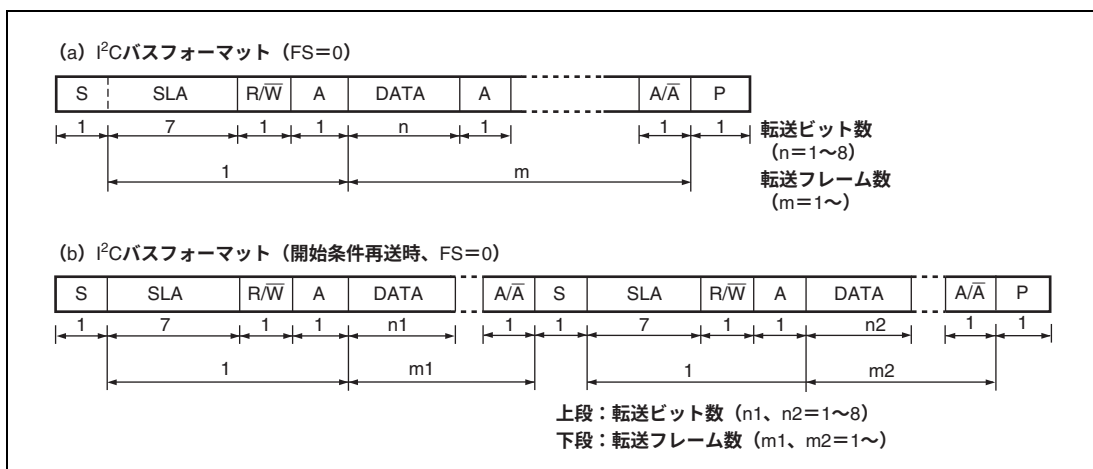


図 19.3 I²C バスフォーマット

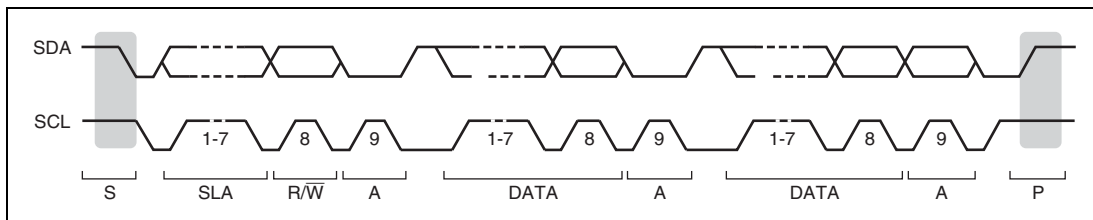


図 19.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態 で SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。#
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態 で SDA を Low レベルから High レベルに変化させます。

19.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 19.5 と図 19.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1 の ICE ビットを 1 に設定します。また、ICCR1 の CKS[3:0] 等を設定します (初期設定)。
2. ICCR2 の BBSY フラグをリードしてバスが解放状態であることを確認後、ICCR1 の MST、TRS をマスタ送信モードに設定します。その後、BBSY = 1 と SCP = 0 をライトします (開始条件発行)。これにより開始条件を生成します。
3. ICSR の TDRE がセットされたことを認識した後、ICDRT に送信データ (1 バイト目はスレーブアドレスと R/W を示すデータ) をライトします。このとき TDRE は自動的に 0 にクリアされ、ICDRT から ICDRS にデータが転送されて、再び TDRE がセットされます。
4. TDRE がセットされた状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR の TEND がセットされます。ICIER の ACKBR をリードし、スレーブデバイスが選択されたことを認識した後、2 バイト目のデータを ICDRT にライトします。ACKBR が 1 のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行は BBSY = 0 と SCP = 0 を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が Low レベルに固定されます。
5. 2 バイト目以降の送信データは、TDRE がセットされるたびに ICDRT にデータをライトします。
6. 送信するバイト数を ICDRT にライトしたら、その後は TDRE がセットされた状態で TEND がセット (最終バイト送出完了) されるまで待ちます。または、ICIER の ACKE をセットした状態で受信デバイスからの NACK (ICSR の NACKF = 1) を待ちます。その後、停止条件を発行して TEND、あるいは NACKF をクリアします。
7. ICSR の STOP がセットされたらスレーブ受信モードに戻します。

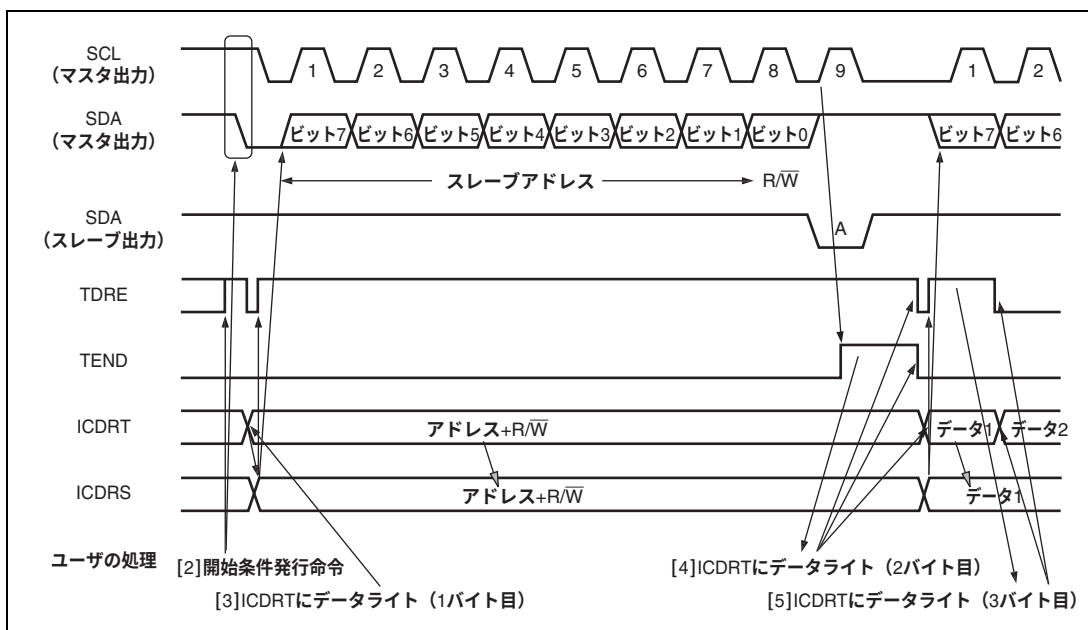


図 19.5 マスタ送信モード動作タイミング (1)

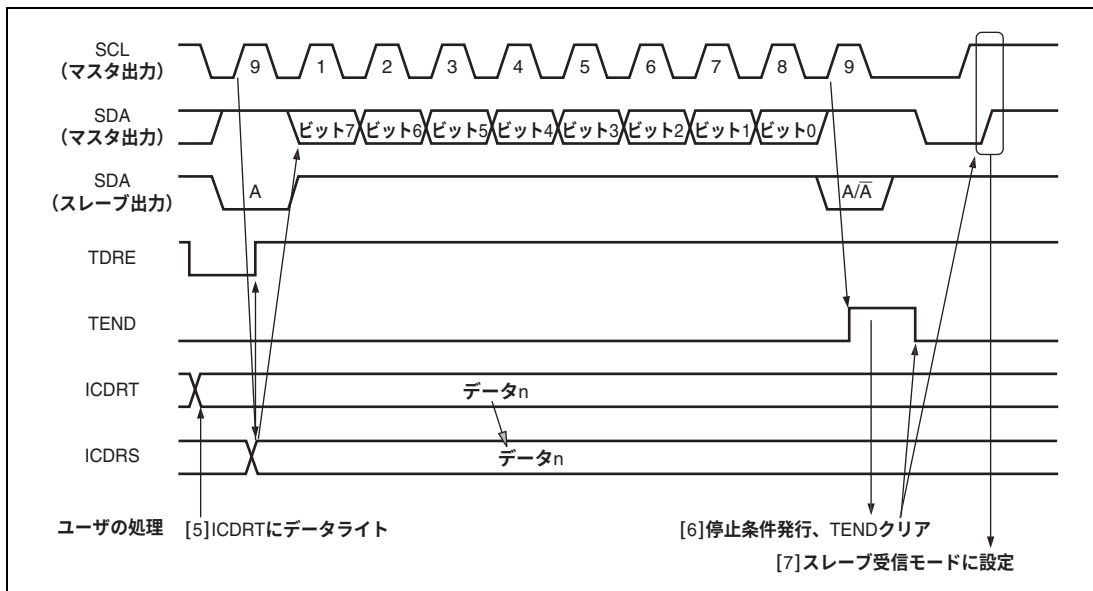


図 19.6 マスタ送信モード動作タイミング (2)

19.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 19.7 と図 19.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1 バイトだけ受信したい場合は、ICCR1 の RCVD セット後、ICDRR のダミーリードを行ってください。

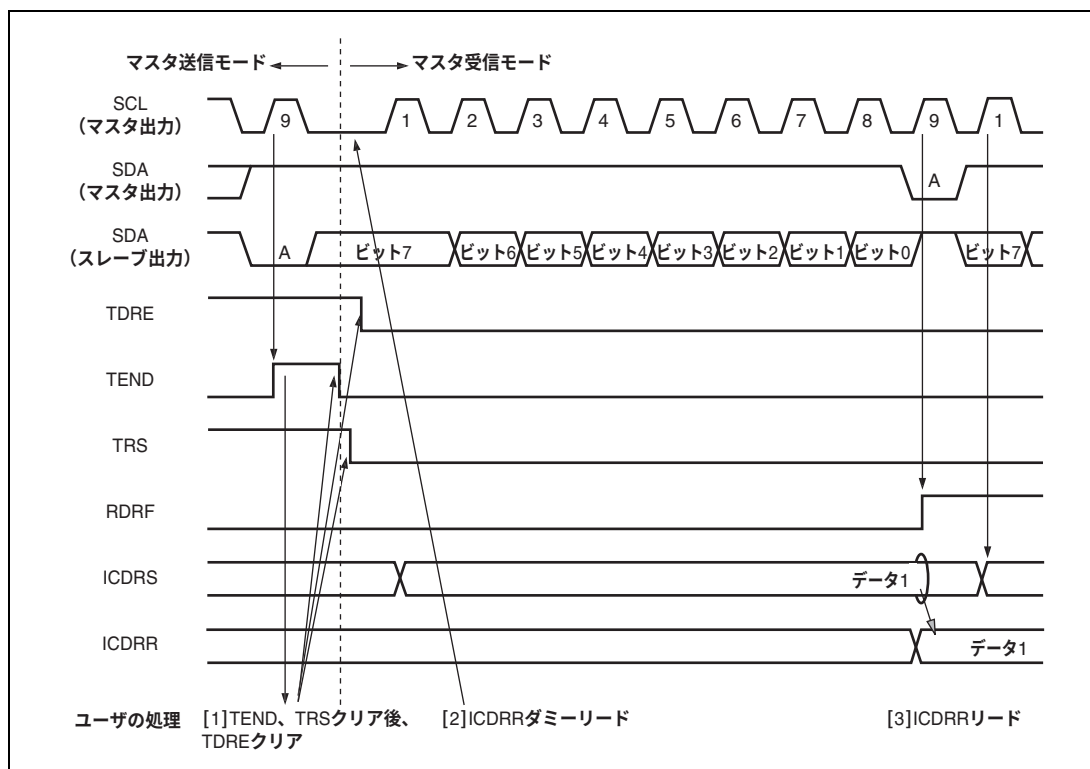


図 19.7 マスタ受信モード動作タイミング (1)

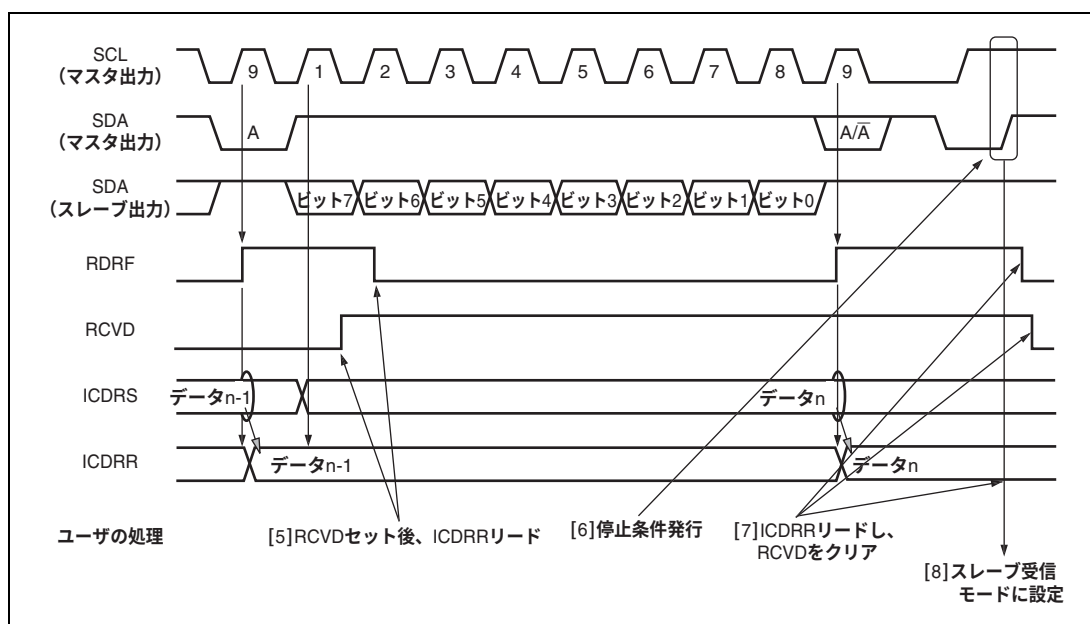


図 19.8 マスタ受信モード動作タイミング (2)

19.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 19.9 と図 19.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態で、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

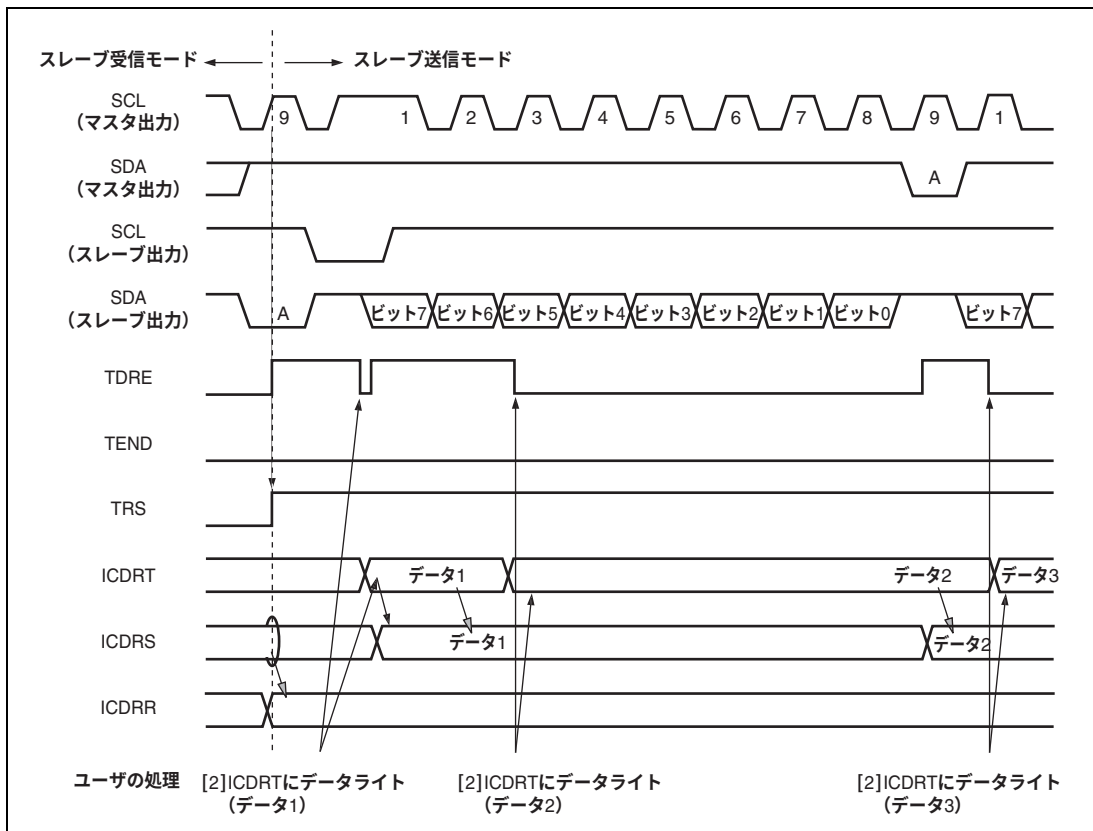


図 19.9 スレープ送信モード動作タイミング (1)

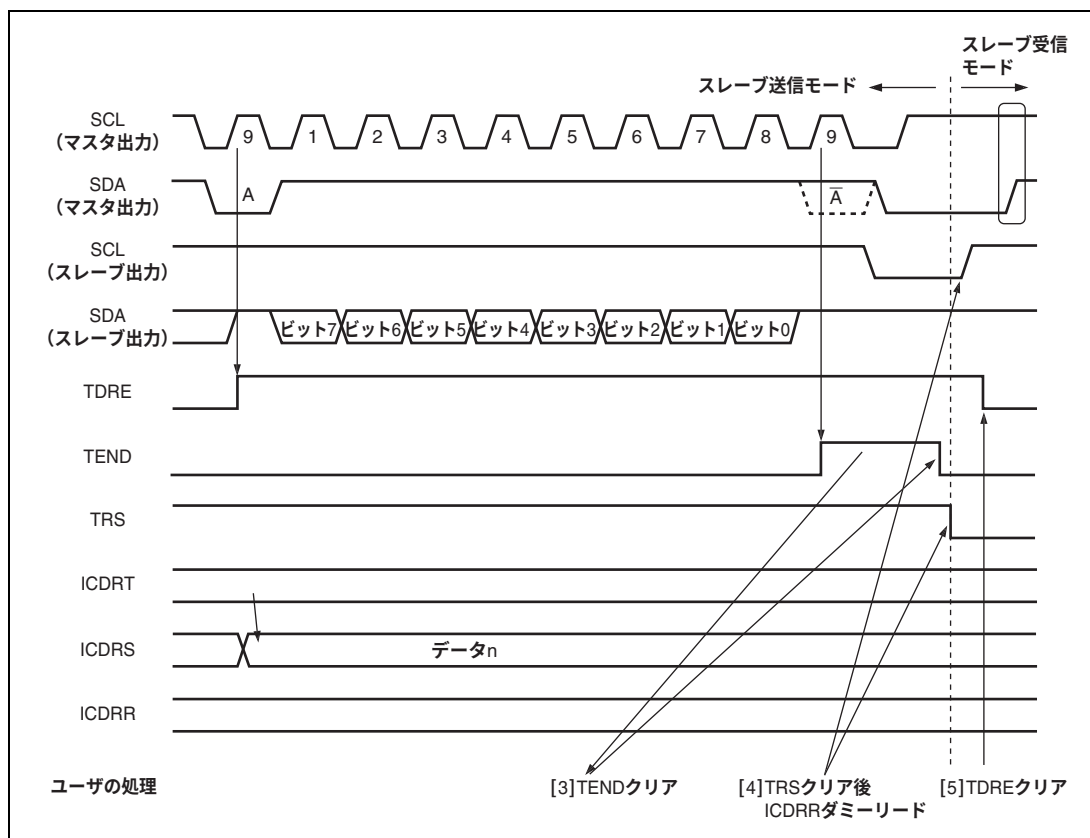


図 19.10 スレープ送信モード動作タイミング (2)

19.4.5 スレープ受信動作

スレープ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレープデバイスがアクノリッジを返します。スレープ動作モードタイミングについては図 19.11 と図 19.12 を参照してください。以下にスレープ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレープ受信モードにしてスレープアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレープアドレスが一致したとき、9クロック目の立ち上がりでスレープデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード(リードデータはスレープアドレス+R/Wを示すので不要)します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

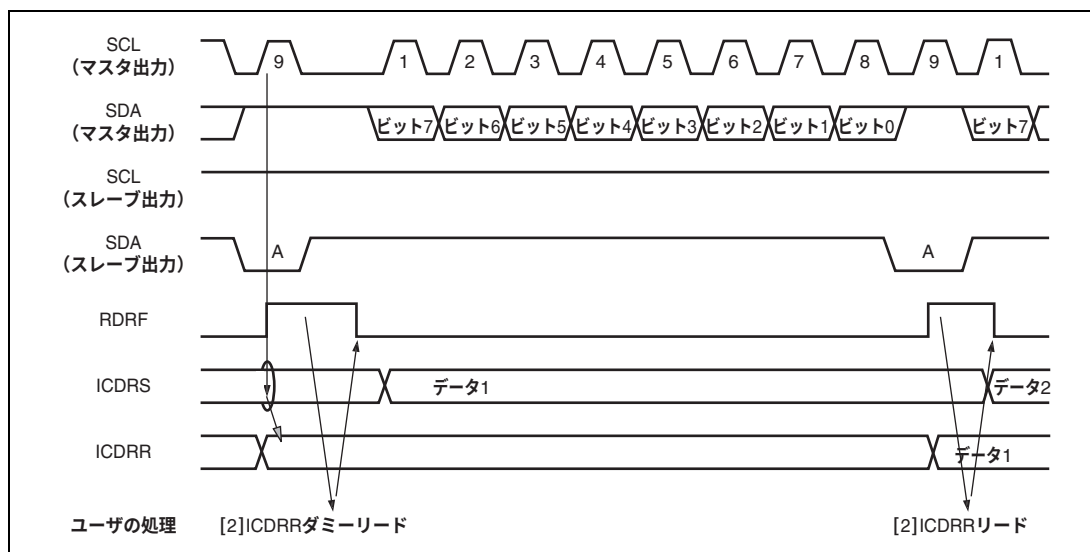


図 19.11 スレープ受信モード動作タイミング (1)

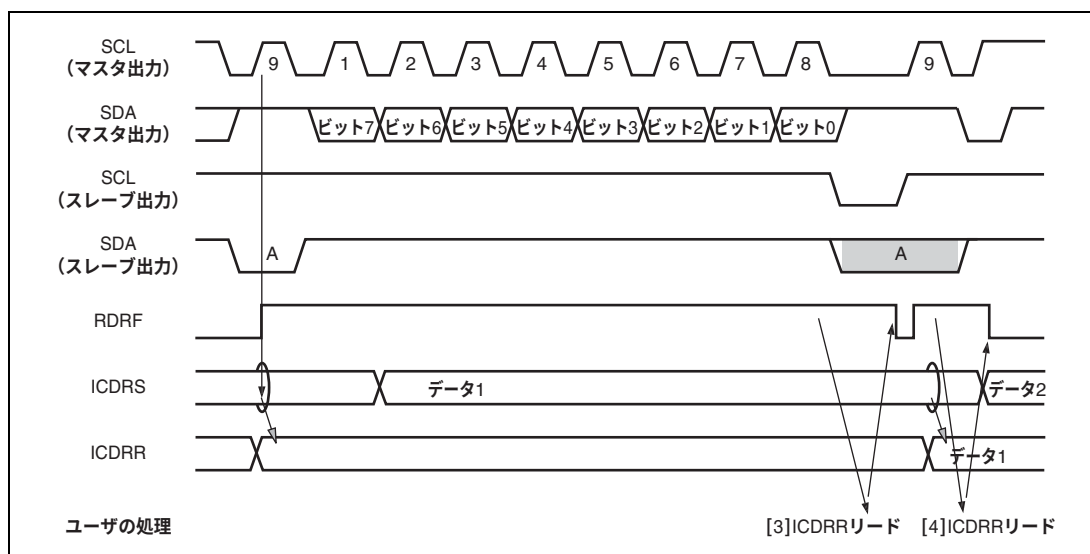


図 19.12 スレープ受信モード動作タイミング (2)

19.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。

ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 19.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジでデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

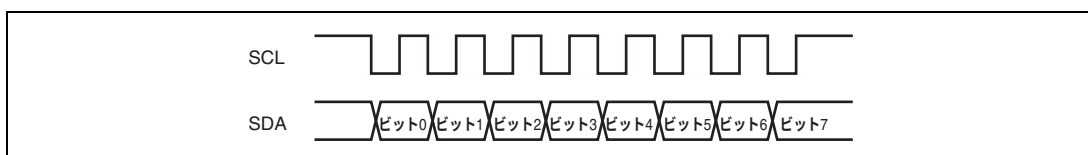


図 19.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 19.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します(初期設定)。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

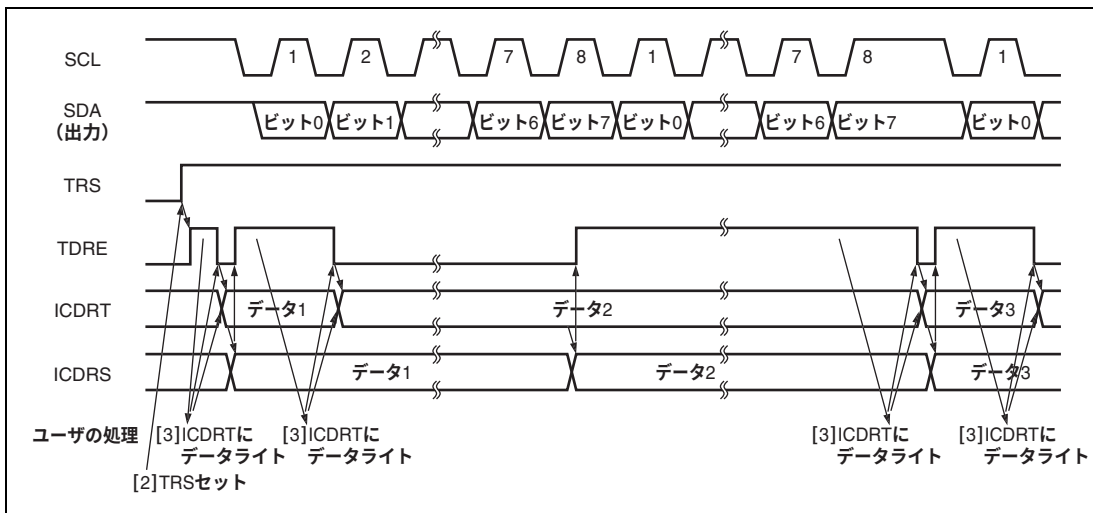


図 19.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 19.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1 の ICE ビットを 1 にセットします。また ICCR1 の CKS[3:0] 等を設定します (初期設定)。
2. 転送クロックを出力時、MST = 1 にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRS から ICDRR にデータが転送され、ICSR の RDRF がセットされます。MST = 1 のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRF がセットされるたびに ICDRR をリードすることにより連続的に受信可能です。RDRF がセットされた状態で 8 クロック目が立ち上がるとオーバーランを検出し、ICSR の AL/OVE がセットされます。このとき ICDRR の値は前の受信データを保持します。
4. MST = 1 のとき、受信を停止するためには、ICCR1 の RCVD をセットしてから、ICDRR をリードします。これにより次バイトの受信完了後、SCL が High レベルに固定されます。

【注】 MST = 1 で 1 バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 19.16 を参照してください。

1. ICCR1 の ICE ビットを 1 セットします。また ICCR1 の CKS[3:0] 等を設定します (初期設定)。
2. ICCR1 の RCVD ビットが 0 の状態で、MST = 1 にセットします。これにより受信クロックの出力を開始します。
3. ICMR の BC[2] ビットが 1 セットされたことを確認後、ICCR1 の RCVD ビットを 1 にセットしてください。これにより受信クロックを 1 バイト分出力した後、SCL が High レベルに固定されます。

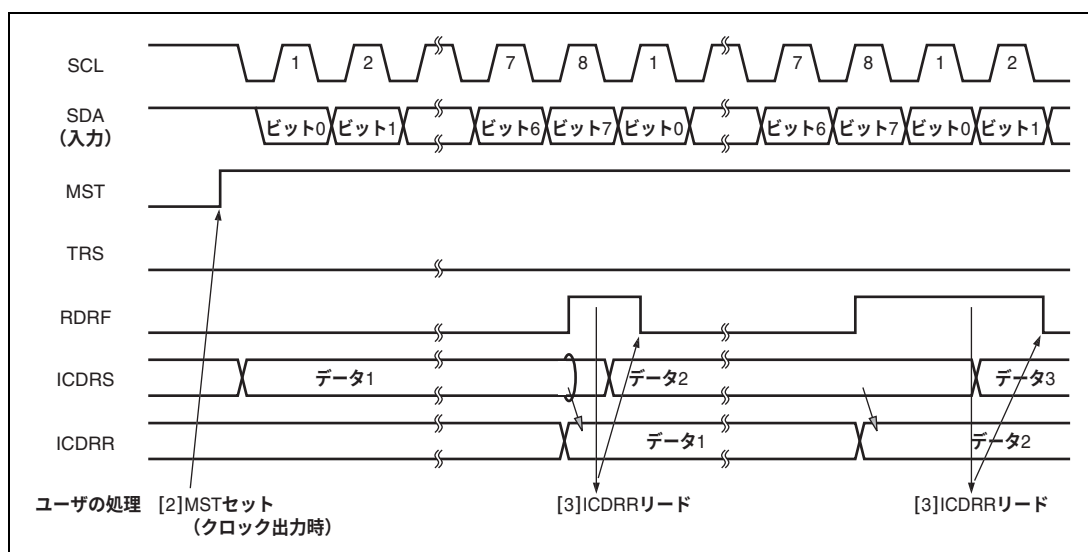


図 19.15 受信モード動作タイミング

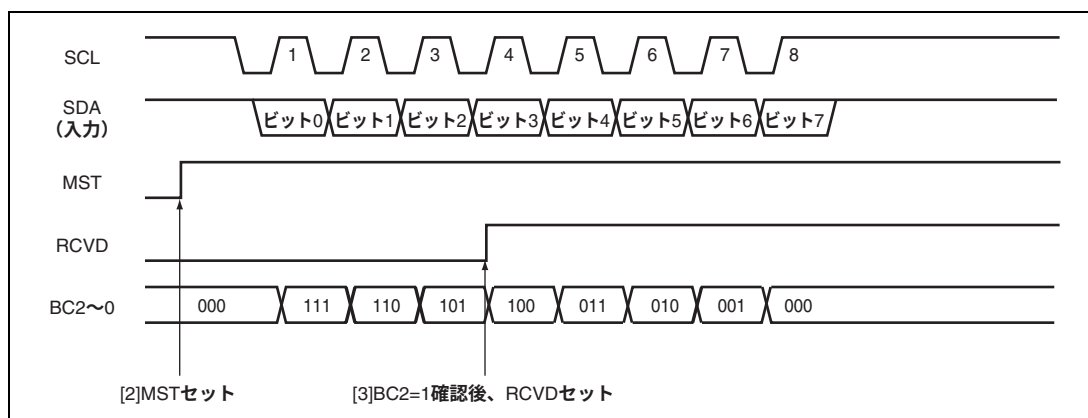


図 19.16 1バイト受信動作タイミング (MST = 1)

19.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 19.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号(または SDA 端子入力信号)が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

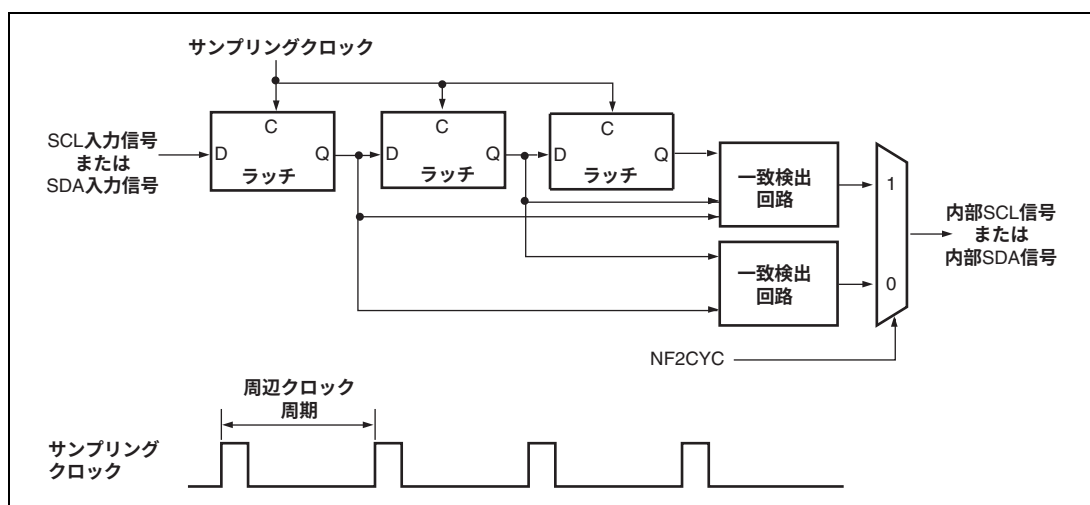


図 19.17 ノイズ除去回路のブロック図

19.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 19.18～図 19.21 に示します。

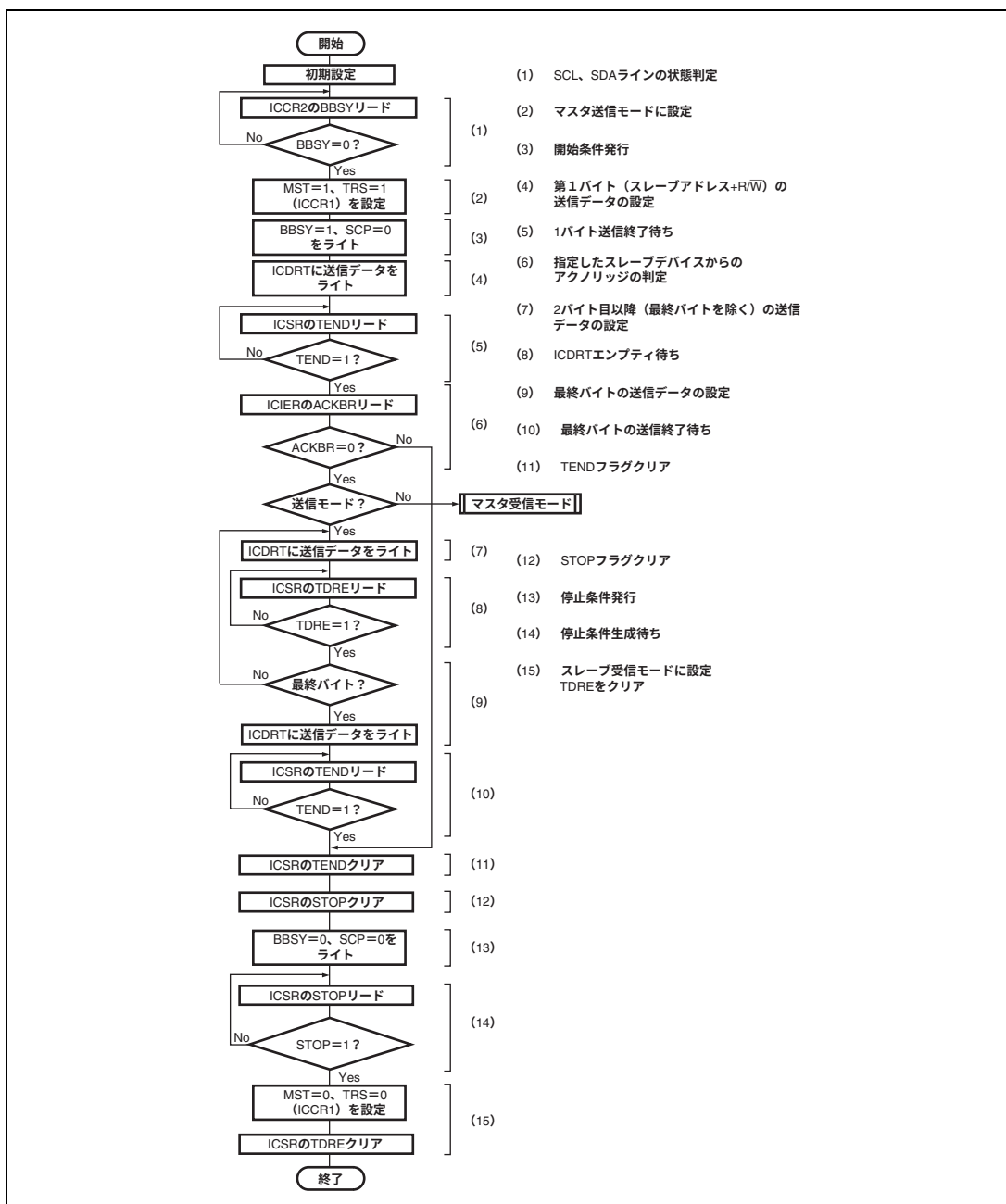


図 19.18 マスタ送信モードのフローチャート例

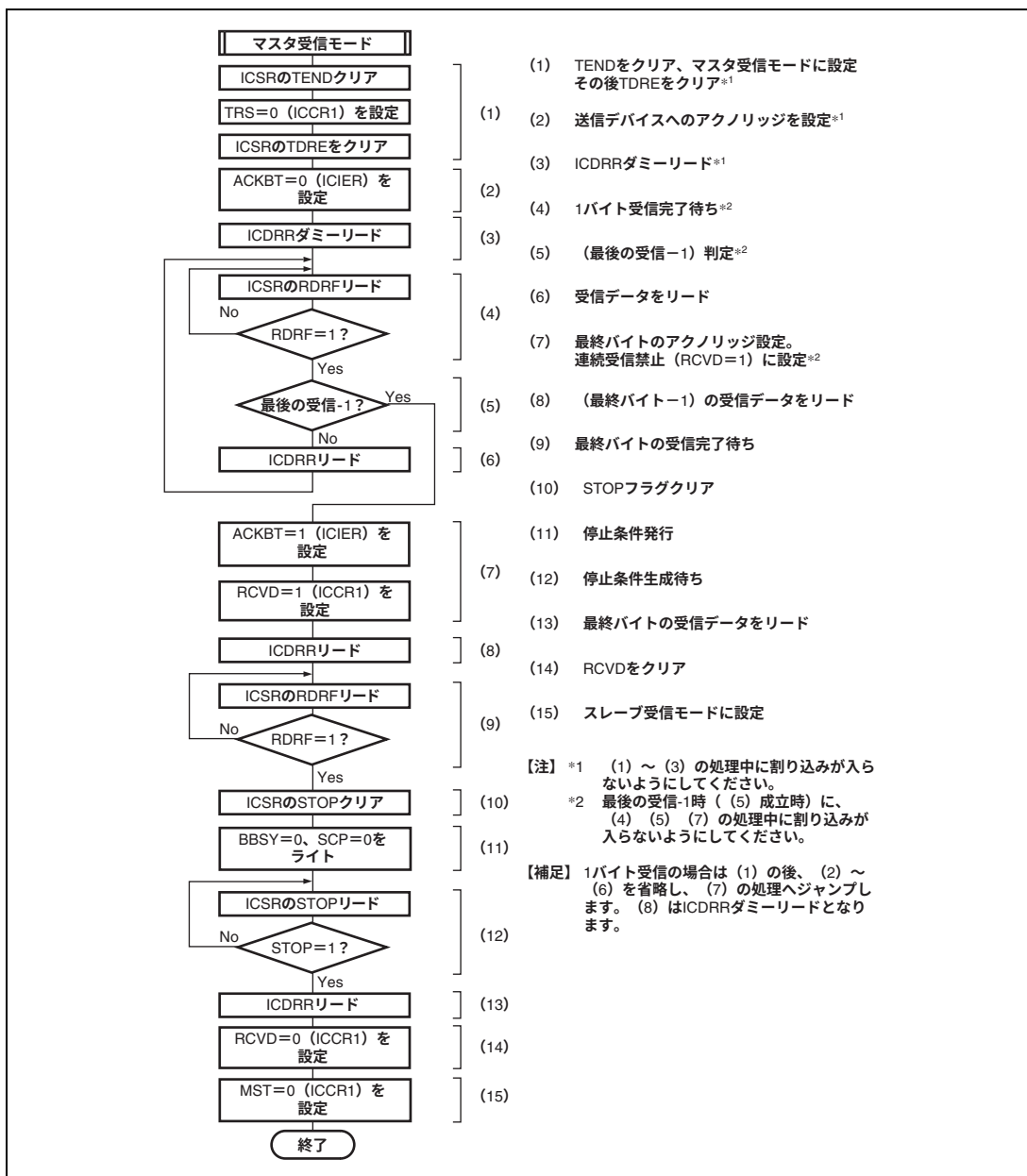


図 19.19 マスタ受信モードのフローチャート例

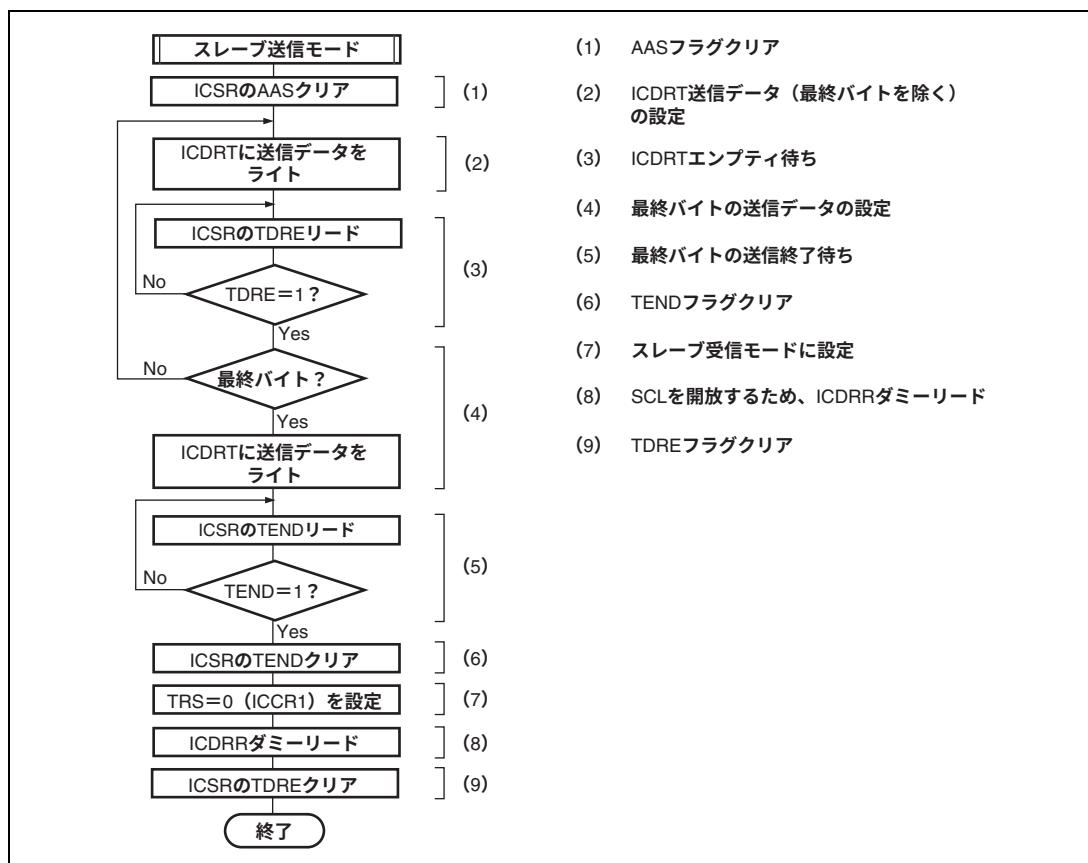


図 19.20 スレーブ送信モードのフローチャート例

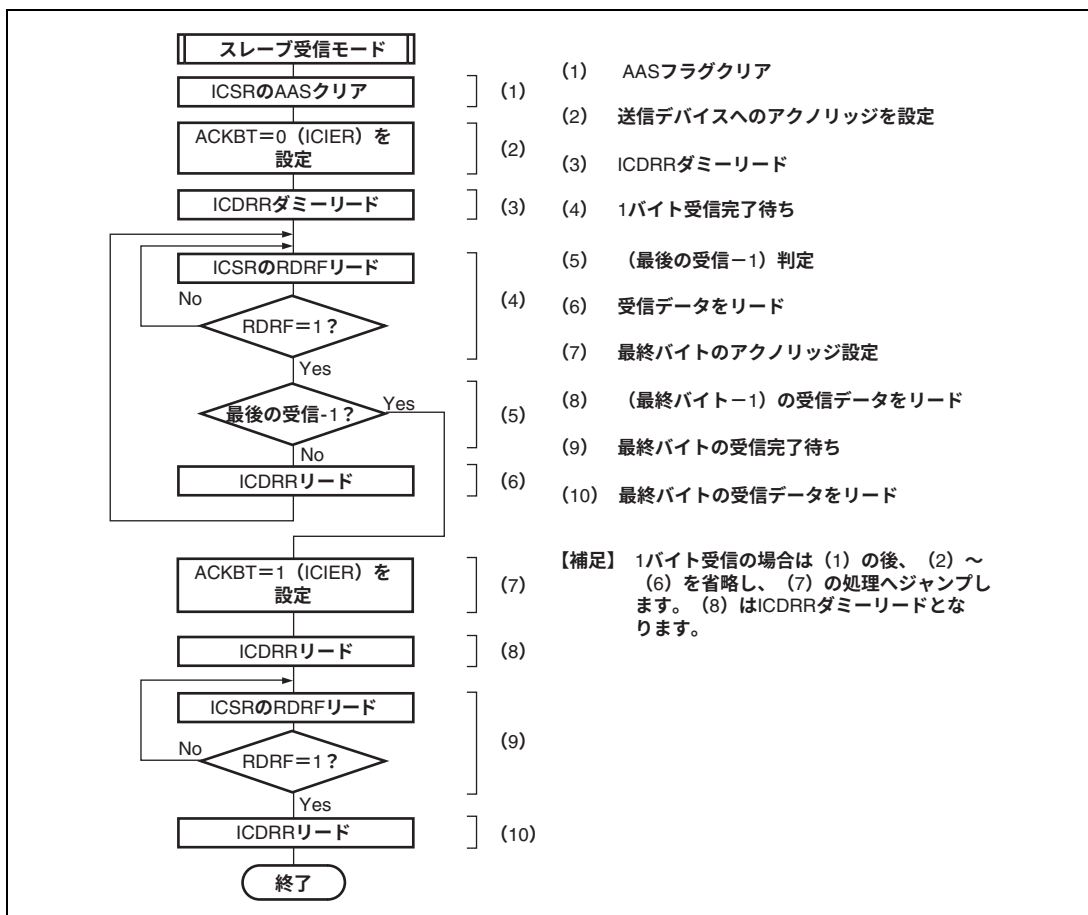


図 19.21 スレーブ受信モードのフローチャート例

19.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト／オーバーランエラーの 6 種類があります。表 19.4 に各割り込み要求の内容を示します。

表 19.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	(TDRE = 1)・(TIE = 1)	○	○
送信終了	TEI	(TEND = 1)・(TEIE = 1)	○	○
受信データフル	RXI	(RDRF = 1)・(RIE = 1)	○	○
停止条件検出	STPI	(STOP = 1)・(STIE = 1)	○	×
NACK 検出	NAKI	{(NACKF = 1) + (AL = 1)}・(NAKIE = 1)	○	×
アービトレーションロスト / オーバーランエラー			○	○

表 19.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、ダイレクトメモリアクセスコントローラの起動設定を行っている場合は、ダイレクトメモリアクセスコントローラを起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

19.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 19.22 に、SCL を Low 出力 → Hi-Z にしてから SCL をモニタするまでの時間を表 19.5 に示します。

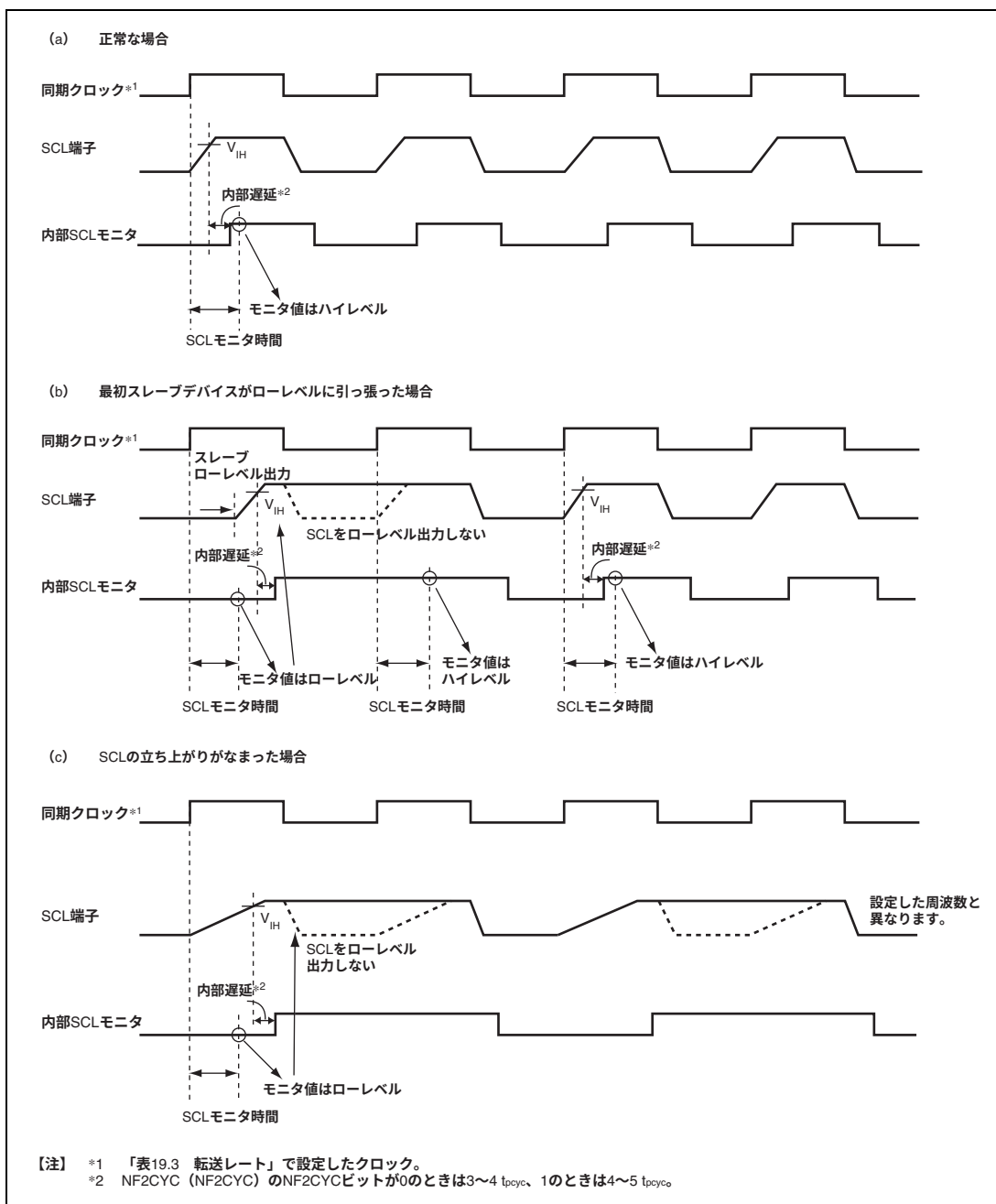


図 19.22 ビット同期回路のタイミング

表 19.5 SCL をモニタする時間

CKS4	CKS[3]	CKS[2]	SCL をモニタする時間
0	0	0	9tpcyc
		1	21tpcyc
	1	0	39tpcyc
		1	87tpcyc
1	0	0	79tpcyc
		1	175tpcyc
	1	0	159tpcyc
		1	351tpcyc

【注】 * tpcyc は周辺クロック (P ϕ) の同期を示します。

19.7 使用上の注意事項

19.7.1 マルチマスタで使用時の注意

マルチマスタで使用し、本モジュール転送レートの設定 (ICCR1 CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

19.7.2 マスタ受信モード時の注意

8 クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ 8 クロック目の立ち下がり付近で RCVD = 1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か 2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVD = 1にし、1バイトごとの通信で処理を行ってください。

19.7.3 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバランする恐れがあります。

19.7.4 アービトレーションロスト時の MST と TRN ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL = 1 かつマスタ送信モード (MST = 1、TRS = 1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
- アービトレーションロストした場合、MST = 0、TRS = 0 を確認してください。

万一、MST = 0、TRS = 0 以外の状態の場合、MST = 0、TRS = 0 を設定し直してください。

19.7.5 I²C バスインタフェースモードのマスタ受信モード時の注意事項

マスタ受信完了後、SCL の 9 クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

19.7.6 IICRST、BBSY ビットに関する注意事項

ICCR2 の IICRST ビットに 1 をライトすると、本 LSI は SCL、SDA 端子を解放します。そのとき、端子が SCL = High レベルの状態でも SDA が Low レベルから High レベルに変化すると、停止条件と認識して ICCR2 の BBSY ビットが 0 にクリアされます。

19.7.7 マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意

マスタ送信モードかつ I²C バスインタラプティネーブルレジスタ(ICIER)の ACKE ビット=1 設定で停止条件を発行したとき、発行するタイミングにより停止条件が正常に出力されないことがあります。

この現象を回避するためには、9 クロック目の立ち下がりを読み取ってから、停止条件の発行を行ってください。9 クロック目の立ち下がり、I²C バスコントロールレジスタ 2(ICCR2)の SCLO ビットをチェックすることにより認識することができます。

19.7.8 マスタ受信モード切り替え時の注意事項

マスタ送信モードからマスタ受信モードへ切り替えの際、TRS=0 クリア処理がマスタ送信モード時の 9 クロック目立ち下がりよりも前に行われた場合、IIC2、IIC3 モジュールは ICDRR のダミーリード有無に関わらず内部クロックに同期した受信クロックを出力します。このとき、RDRF セット後までダミーリードが遅れると、ダミーリードで受信データを読み捨てます。

この現象を回避するためには下記の方法があります。

- (1) マスタ受信モード切り替え時の ICDRR ダミーリード処理が、受信クロックの 9 クロック目よりも前に行えるようタイミング設計をしてください。
- (2) マスタ受信モード切り替え時の TRS=0 クリア処理を、マスタ送信時の受信クロックの 9 クロック目立ち下がり以降に行ってください。

なお、後者の 9 クロック目立ち下がり以降に TRS=0 クリア処理を行う場合には、ICCR2 レジスタの SCLO ビット(SCL モニタフラグ)が 0(SCL 端子は“L”)になったことを確認してから行ってください。

【注】 図 19.19 に示すマスタ受信モードのフローチャートにおいて[1]～[3]の処理中に割り込みが入らないようにしている場合、長時間 CPU をストールさせる処理がなければ、TRS=0 クリア処理の後すぐにダミーリードするため、(1)の回避策を満たします。

20. シリアルサウンドインタフェース

シリアルサウンドインタフェースは、I²S バスと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャネルモードにも対応しています。

20.1 特長

- チャンネル数: 4チャンネル
 - 動作モード: 非圧縮モード
- 非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。

- トランスミッタまたはレシーバのいずれとしても動作可能
- チャンネル0、1は全二重通信が可能
- シリアルバスフォーマットを使用可能
 - データバッファとシフトレジスタ間は非同期転送
 - シリアルバスインタフェースで使用されるクロックの分周比が選択可能
 - DMA転送または割り込みで、データ送受信を制御可能
 - オーバサンプルクロックを以下の端子から選択可能

AUDIO_CLK(1~50MHz)

AUDIO_X1、AUDIO_X2(水晶発振子接続時: 10~50MHz、外部クロック入力時: 1~50MHz)

- 送信部、受信部に8段FIFOバッファ内蔵
- 最初のシステムワード区間のみSSIWSがハイレベルとなるマルチチャネルモード(TDMモード)をサポートします。
- SSIWSを停止せずに動作するモード(WSコンティニューモード)をサポートします。

図 20.1 にブロック図を示します。

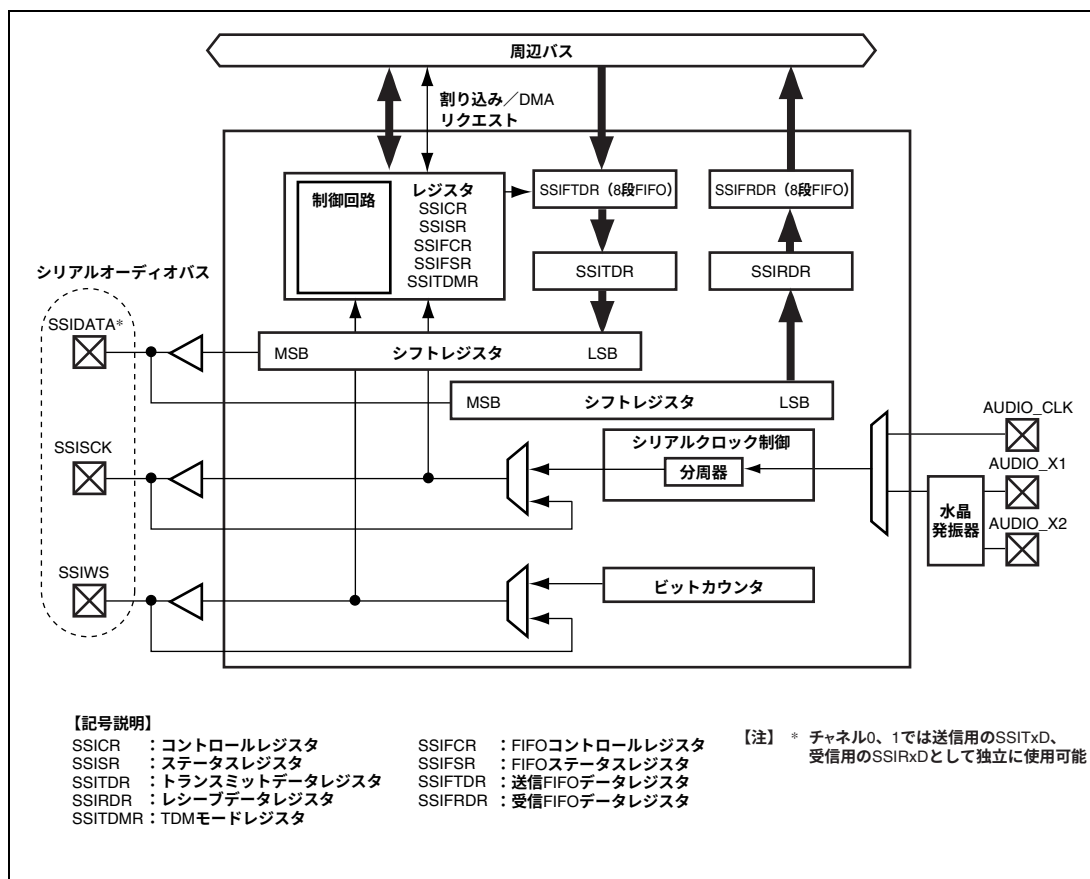


図 20.1 ブロック図

20.2 入出力端子

表 20.1 に端子構成を示します。

表 20.1 端子構成

チャンネル	名称	入出力	機能
0、1	SSISCK0*、SSISCK1*	入出力	シリアルビットクロック
	SSIWS0*、SSIWS1*	入出力	ワード選択
	SSITxD0、SSITxD1	出力	シリアルデータ出力
	SSIRxD0*、SSIRxD1*	入力	シリアルデータ入力
2、3	SSISCK2*、SSISCK3*	入出力	シリアルビットクロック
	SSIWS2*、SSIWS3*	入出力	ワード選択
	SSIDATA2*、SSIDATA3*	入出力	シリアルデータ入出力
共通	AUDIO_CLK	入力	オーディオ用外部クロック (オーバサンプルクロックを入力)
	AUDIO_X1	入力	オーディオ用水晶発振子 / 外部クロック (オーバサンプルクロックを入力)
	AUDIO_X2	出力	

【注】 * スレープモード時は、入力経路に存在するノイズキャンセラ機能の使用有無を選択できます。
 詳細は「31.2.5 シリアルサウンドインタフェースノイズキャンセラコントロールレジスタ (SNCR) 」を参照してください。

20.3 レジスタの説明

表 20.2 にレジスタ構成を示します。また本文中では、チャンネルによる区別を省略して説明しています。

表 20.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	コントロールレジスタ 0	SSICR_0	R/W	H'00000000	H'FFFF0000	8、16、32
	ステータスレジスタ 0	SSISR_0	R/W*1	H'02000013	H'FFFF0004	8、16、32
	FIFO コントロールレジスタ 0	SSIFCR_0	R/W	H'00000000	H'FFFF0010	8、16、32
	FIFO ステータスレジスタ 0	SSIFSR_0	R/(W)*2	H'00010000	H'FFFF0014	8、16、32
	送信 FIFO データレジスタ 0	SSIFTDR_0	W	不定	H'FFFF0018	32
	受信 FIFO データレジスタ 0	SSIFRDR_0	R	不定	H'FFFF001C	32
	TDM モードレジスタ 0	SSITDMR_0	R/W	H'00000000	H'FFFF0020	8、16、32
1	コントロールレジスタ 1	SSICR_1	R/W	H'00000000	H'FFFF0800	8、16、32
	ステータスレジスタ 1	SSISR_1	R/W*1	H'02000013	H'FFFF0804	8、16、32
	FIFO コントロールレジスタ 1	SSIFCR_1	R/W	H'00000000	H'FFFF0810	8、16、32
	FIFO ステータスレジスタ 1	SSIFSR_1	R/(W)*2	H'00010000	H'FFFF0814	8、16、32
	送信 FIFO データレジスタ 1	SSIFTDR_1	W	不定	H'FFFF0818	32
	受信 FIFO データレジスタ 1	SSIFRDR_1	R	不定	H'FFFF081C	32
	TDM モードレジスタ 1	SSITDMR_1	R/W	H'00000000	H'FFFF0820	8、16、32
2	コントロールレジスタ 2	SSICR_2	R/W	H'00000000	H'FFFF1000	8、16、32
	ステータスレジスタ 2	SSISR_2	R/W*1	H'02000013	H'FFFF1004	8、16、32
	FIFO コントロールレジスタ 2	SSIFCR_2	R/W	H'00000000	H'FFFF1010	8、16、32
	FIFO ステータスレジスタ 2	SSIFSR_2	R/(W)*2	H'00010000	H'FFFF1014	8、16、32
	送信 FIFO データレジスタ 2	SSIFTDR_2	W	不定	H'FFFF1018	32
	受信 FIFO データレジスタ 2	SSIFRDR_2	R	不定	H'FFFF101C	32
	TDM モードレジスタ 2	SSITDMR_2	R/W	H'00000000	H'FFFF1020	8、16、32
3	コントロールレジスタ 3	SSICR_3	R/W	H'00000000	H'FFFF1800	8、16、32
	ステータスレジスタ 3	SSISR_3	R/W*1	H'02000013	H'FFFF1804	8、16、32
	FIFO コントロールレジスタ 3	SSIFCR_3	R/W	H'00000000	H'FFFF1810	8、16、32
	FIFO ステータスレジスタ 3	SSIFSR_3	R/(W)*2	H'00010000	H'FFFF1814	8、16、32
	送信 FIFO データレジスタ 3	SSIFTDR_3	W	不定	H'FFFF1818	32
	受信 FIFO データレジスタ 3	SSIFRDR_3	R	不定	H'FFFF181C	32
	TDM モードレジスタ 3	SSITDMR_3	R/W	H'00000000	H'FFFF1820	8、16、32

【注】 *1 本レジスタのビット 29～26 は読み出し / 書き込み可能ですが、それ以外のビットは読み出し専用です。詳細は、「20.3.2 ステータスレジスタ (SSISR)」を参照してください。

*2 本レジスタのビット 16 とビット 0 はフラグをクリアするために 0 のみ書き込むことができます。それ以外のビットは読み出し専用です。詳細は、「20.3.6 FIFO ステータスレジスタ (SSIFSR)」を参照してください。

20.3.1 コントロールレジスタ (SSICR)

SSICRは、読み出し／書き込み可能な32ビットのレジスタで、IRQの制御、各極性の状態の選択、動作モードの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	-	CHNL[1:0]	DWL[2:0]				SWL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL		CKDV[3:0]			MUEN	-	TEN	REN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
30	CKS	0	R/W	オーバーサンプルクロック選択 オーバーサンプルクロックの供給源を選択します。 0: AUDIO_X1 入力 1: AUDIO_CLK 入力
29	TUIEN	0	R/W	送信アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可
28	TOIEN	0	R/W	送信オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
27	RUIEN	0	R/W	受信アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可
26	ROIEN	0	R/W	受信オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
25	IIEN	0	R/W	アイドルモード割り込みイネーブル 0: アイドルモード割り込みを禁止 1: アイドルモード割り込みを許可
24	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
23、22	CHNL[1:0]	00	R/W	チャンネル 【TDM=0 のとき】 各システムワードのチャンネル数を示します。 00：各システムワードは 1 チャンネルで構成されています。 01：各システムワードは 2 チャンネルで構成されています。 10：各システムワードは 3 チャンネルで構成されています。 11：各システムワードは 4 チャンネルで構成されています。 【TDM=1 のとき】 TDM フレームのシステムワード数を示します。 00：設定禁止 01：TDM フレームは 4 システムワードで構成されています。 10：TDM フレームは 6 システムワードで構成されています。 11：TDM フレームは 8 システムワードで構成されています。
21～19	DWL[2:0]	000	R/W	データワード長 データワードのビット数を示します。 000：8 ビット 001：16 ビット 010：18 ビット 011：20 ビット 100：22 ビット 101：24 ビット 110：32 ビット 111：設定禁止
18～16	SWL[2:0]	000	R/W	システムワード長 システムワードのビット数を示します。 000：8 ビット 001：16 ビット 010：24 ビット 011：32 ビット 100：48 ビット 101：64 ビット 110：128 ビット 111：256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0：シリアルビットクロック入力、スレーブモード 1：シリアルビットクロック出力、マスタモード 【注】 (SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。それ以外の設定は禁止です。

ビット	ビット名	初期値	R/W	説 明															
14	SWSD	0	R/W	シリアル WS 方向 0：シリアルワード選択入力、スレーブモード 1：シリアルワード選択出力、マスタモード 【注】（ SCKD、SWSD ）＝（ 0、0 ）と（ 1、1 ）の設定のみ可能です。それ以外の設定は禁止です。															
13	SCKP	0	R/W	シリアルビットクロック極性 0：SSIWS と SSIDATA は SSISCK の立ち下がりエッジで変化 （ SCK 立ち上がりエッジでサンプリング ） 1：SSIWS と SSIDATA は SSISCK の立ち上がりエッジで変化 （ SCK 立ち下がりエッジでサンプリング ） <table><tr><td></td><td>SCKP=0</td><td>SCKP=1</td></tr><tr><td>受信時 SSIDATA入力サンプリングタイミング</td><td>SSISCK 立ち上がりエッジ</td><td>SSISCK 立ち下がりエッジ</td></tr><tr><td>送信時 SSIDATA出力変化タイミング</td><td>SSISCK 立ち下がりエッジ</td><td>SSISCK 立ち上がりエッジ</td></tr><tr><td>スレーブモード時（SWSD=0） SSIWS 入力サンプリングタイミング</td><td>SSISCK 立ち上がりエッジ</td><td>SSISCK 立ち下がりエッジ</td></tr><tr><td>マスタモード時（SWSD=1） SSIWS 出力変化タイミング</td><td>SSISCK 立ち下がりエッジ</td><td>SSISCK 立ち上がりエッジ</td></tr></table>		SCKP=0	SCKP=1	受信時 SSIDATA入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	送信時 SSIDATA出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	スレーブモード時（SWSD=0） SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	マスタモード時（SWSD=1） SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ
	SCKP=0	SCKP=1																	
受信時 SSIDATA入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
送信時 SSIDATA出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
スレーブモード時（SWSD=0） SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
マスタモード時（SWSD=1） SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
12	SWSP	0	R/W	シリアル WS 極性 【TDM＝0 のとき】 0：SSIWS は第 1 チャネルではローレベル、第 2 チャネルではハイレベル 1：SSIWS は第 1 チャネルではハイレベル、第 2 チャネルではローレベル 【TDM＝1 のとき】 0：SSIWS はシステムワード 1 の区間のみハイレベル、それ以外ではローレベル 1：設定禁止															
11	SPDP	0	R/W	シリアルパディング極性 0：パディングビットはローレベル 1：パディングビットはハイレベル															
10	SDTA	0	R/W	シリアルデータアライメント 0：シリアルデータ、パディングビットの順に送受信 1：パディングビット、シリアルデータの順に送受信															

ビット	ビット名	初期値	R/W	説 明																																																																			
9	PDТА	0	R/W	パラレルデータアライメント																																																																			
				データワード長が 32 ビットのとき、このビットは意味を持ちません。																																																																			
				このビットは、受信モード時の SSIRDＲ と送信モード時の SSITDR に適用します。																																																																			
				【データワード長が 8、16 ビットのとき】																																																																			
				0：パラレルデータ (SSITDR、SSIRDＲ) の下位側を先行して送受信																																																																			
				1：パラレルデータ (SSITDR、SSIRDＲ) の上位側を先行して送受信																																																																			
				【データワード長が 18、20、22、24 ビットのとき】																																																																			
				0：パラレルデータ (SSITDR、SSIRDＲ) を左詰め																																																																			
				1：パラレルデータ (SSITDR、SSIRDＲ) を右詰め																																																																			
				• PDТА = 0																																																																			
<table><tr><td>DWL[2:0]</td><td colspan="4">SSITDR/SSIRDＲ[31:0]</td></tr><tr><td rowspan="2">000</td><td colspan="4">31 24 23 16 15 8 7 0</td></tr><tr><td colspan="4">第4ワード 第3ワード 第2ワード 第1ワード</td></tr><tr><td rowspan="2">001</td><td colspan="4">31 16 15 0</td></tr><tr><td colspan="4">第2ワード 第1ワード</td></tr><tr><td rowspan="2">010</td><td colspan="4">31 14 13 0</td></tr><tr><td colspan="4">有効 無効</td></tr><tr><td rowspan="2">011</td><td colspan="4">31 12 11 0</td></tr><tr><td colspan="4">有効 無効</td></tr><tr><td rowspan="2">100</td><td colspan="4">31 10 9 0</td></tr><tr><td colspan="4">有効 無効</td></tr><tr><td rowspan="2">101</td><td colspan="4">31 8 7 0</td></tr><tr><td colspan="4">有効 無効</td></tr><tr><td rowspan="2">110</td><td colspan="4">31 0</td></tr><tr><td colspan="4">有効</td></tr></table>				DWL[2:0]	SSITDR/SSIRDＲ[31:0]				000	31 24 23 16 15 8 7 0				第4ワード 第3ワード 第2ワード 第1ワード				001	31 16 15 0				第2ワード 第1ワード				010	31 14 13 0				有効 無効				011	31 12 11 0				有効 無効				100	31 10 9 0				有効 無効				101	31 8 7 0				有効 無効				110	31 0				有効			
DWL[2:0]	SSITDR/SSIRDＲ[31:0]																																																																						
000	31 24 23 16 15 8 7 0																																																																						
	第4ワード 第3ワード 第2ワード 第1ワード																																																																						
001	31 16 15 0																																																																						
	第2ワード 第1ワード																																																																						
010	31 14 13 0																																																																						
	有効 無効																																																																						
011	31 12 11 0																																																																						
	有効 無効																																																																						
100	31 10 9 0																																																																						
	有効 無効																																																																						
101	31 8 7 0																																																																						
	有効 無効																																																																						
110	31 0																																																																						
	有効																																																																						
• PDТА = 1																																																																							
<table><tr><td>DWL[2:0]</td><td colspan="4">SSITDR/SSIRDＲ[31:0]</td></tr><tr><td rowspan="2">000</td><td colspan="4">31 24 23 16 15 8 7 0</td></tr><tr><td colspan="4">第1ワード 第2ワード 第3ワード 第4ワード</td></tr><tr><td rowspan="2">001</td><td colspan="4">31 16 15 0</td></tr><tr><td colspan="4">第1ワード 第2ワード</td></tr><tr><td rowspan="2">010</td><td colspan="4">31 18 17 0</td></tr><tr><td colspan="4">無効 有効</td></tr><tr><td rowspan="2">011</td><td colspan="4">31 20 19 0</td></tr><tr><td colspan="4">無効 有効</td></tr><tr><td rowspan="2">100</td><td colspan="4">31 22 21 0</td></tr><tr><td colspan="4">無効 有効</td></tr><tr><td rowspan="2">101</td><td colspan="4">31 24 23 0</td></tr><tr><td colspan="4">無効 有効</td></tr><tr><td rowspan="2">110</td><td colspan="4">31 0</td></tr><tr><td colspan="4">有効</td></tr></table>				DWL[2:0]	SSITDR/SSIRDＲ[31:0]				000	31 24 23 16 15 8 7 0				第1ワード 第2ワード 第3ワード 第4ワード				001	31 16 15 0				第1ワード 第2ワード				010	31 18 17 0				無効 有効				011	31 20 19 0				無効 有効				100	31 22 21 0				無効 有効				101	31 24 23 0				無効 有効				110	31 0				有効			
DWL[2:0]	SSITDR/SSIRDＲ[31:0]																																																																						
000	31 24 23 16 15 8 7 0																																																																						
	第1ワード 第2ワード 第3ワード 第4ワード																																																																						
001	31 16 15 0																																																																						
	第1ワード 第2ワード																																																																						
010	31 18 17 0																																																																						
	無効 有効																																																																						
011	31 20 19 0																																																																						
	無効 有効																																																																						
100	31 22 21 0																																																																						
	無効 有効																																																																						
101	31 24 23 0																																																																						
	無効 有効																																																																						
110	31 0																																																																						
	有効																																																																						
8	DEL	0	R/W	シリアルデータデレイ																																																																			
0：SSIWS と SSIDATA 間で 1 クロックサイクルの遅延																																																																							
1：SSIWS と SSIDATA 間の遅延なし																																																																							

ビット	ビット名	初期値	R/W	説 明
7～4	CKDV[3:0]	0000	R/W	シリアルオーバーサンプルクロック分周比 オーバーサンプルクロック (AUDIO ϕ) に対するシリアルビットクロックの分周比を設定します。SCKD=0 のとき、これらのビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSISCK 端子から供給されます。 0000 : AUDIO ϕ 0001 : AUDIO $\phi/2$ 0010 : AUDIO $\phi/4$ 0011 : AUDIO $\phi/8$ 0100 : AUDIO $\phi/16$ 0101 : AUDIO $\phi/32$ 0110 : AUDIO $\phi/64$ 0111 : AUDIO $\phi/128$ 1000 : AUDIO $\phi/6$ 1001 : AUDIO $\phi/12$ 1010 : AUDIO $\phi/24$ 1011 : AUDIO $\phi/48$ 1100 : AUDIO $\phi/96$ 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止
3	MUEN	0	R/W	ミュートイネーブル 0 : 本モジュールはミュート状態でない 1 : 本モジュールはミュート状態 【注】ミュート状態では、出力するシリアルデータを 0 に置き換えますが、モジュール内部のデータ転送は停止しません。送信 FIFO のデータ数は減少していきますので、送信アンダフローを発生させないためには、SSIFTDR にダミーデータを書き込んでください。
2	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
1	TEN	0	R/W	送信イネーブル 0 : 送信動作を禁止 1 : 送信動作を許可
0	REN	0	R/W	受信イネーブル 0 : 受信動作を禁止 1 : 受信動作を許可

20.3.2 ステータスレジスタ (SSISR)

SSISR は、本モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	TUIRQ	TOIRQ	RUIRQ	ROIIRQ	IIRQ	-	-	-	-	-	-	-	-	-
初期値：	不定	不定	0	0	0	0	1	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	TCHNO[1:0]	TSWNO	RCHNO[1:0]	RSWNO	IDST		
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	1	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 読み出し／書き込み可能。0を書き込むビットは初期化されますが、1の書き込みは無視されます。

ビット	ビット名	初期値	R/W	説 明
31, 30	-	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
29	TUIRQ	0	R/(W)*	送信アンダフローエラー割り込みステータスフラグ 本ステータスフラグは要求ルートにより低いレートで送信データが供給されたことを示します。 このビットは、TUIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。 TUIRQ = 1 かつ TUIEN = 1 のとき、割り込みが発生します。 TUIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されます。 【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。
28	TOIRQ	0	R/(W)*	送信オーバフローエラー割り込みステータスフラグ 本ステータスフラグは要求ルートより高いレートで送信データが供給されたことを示します。 このビットは、TOIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。 TOIRQ = 1 かつ TOIEN = 1 のとき、割り込みが発生します。 TOIRQ = 1 のとき、送信 FIFO がフル (TDC = H'8) の状態で SSIFTDR への書き込みが発生したことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。

ビット	ビット名	初期値	R/W	説 明
27	RUIRQ	0	R/(W)*	受信アンダフローエラー割り込みステータスフラグ 本ステータスフラグは要求レートより低いレートで受信データが供給されたことを示します。 このビットは、RUIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。 RUIRQ = 1 かつ RUIEN = 1 のとき、割り込みが発生します。 RUIRQ = 1 のとき、受信 FIFO が空 (RDC = H'0) の状態で SSIFRDR が読み出されたことを示しています。このとき、無効な受信データが格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。
26	ROIRQ	0	R/(W)*	受信オーバフローエラー割り込みステータスフラグ 本ステータスフラグは要求レートより高いレートで受信データが供給されたことを示します。 このビットは ROIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。 ROIRQ = 1 かつ ROIEN = 1 のとき、割り込みが発生します。 ROIRQ = 1 のとき、SSIRD R に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。 【注】 オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。
25	IIRQ	1	R	アイドルモード割り込みステータスフラグ 本ステータスフラグは本モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、IIEN ビットの設定にかかわらず 1 にセットされます。 割り込みは、IIEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。 IIRQ = 1 かつ IIEN = 1 のとき、割り込みが発生します。 0 : 本モジュールはアイドル状態でない 1 : 本モジュールはアイドル状態
24~7	-	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
6、5	TCHNO [1:0]	00	R	送信チャネル番号 現在のチャネルを示します。 このビットには、SSITDR にどのチャネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかがかわらず、この値は変化します。 TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。

ビット	ビット名	初期値	R/W	説 明
4	TSWNO	1	R	送信シリアルワード番号 現在のワード番号を示します。 このビットには、SSITDR にどちらかのシステムワードを書き込むべきかを表します。データをシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。 TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。
3, 2	RCHNO [1:0]	00	R	受信チャネル番号 現在のチャネルを示します。 このビットは、SSIRDR 内の現在のデータがどのチャネルのものを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。 TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。
1	RSWNO	1	R	受信シリアルワード番号 現在のワード番号を示します。 このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。 TDM = 1 または CONT = 1 の場合は、本ビットは使用できません。
0	IDST	1	R	アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。 TEN = 1 または REN = 1 の状態でシリアルバスが動作中のとき、このビットはクリアされます。 このビットは TEN、REN がともにクリアされ、現在のシステムワードの通信が終了すると、自動的に 1 にセットされます。 【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

20.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。SSITDR へ格納する送信データは送信 FIFO データレジスタから自動的に転送されます。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSITDR の読み出し／書き込みをすることはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

20.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。SSIRDR に格納された受信データは受信 FIFO データレジスタへ自動的に転送されます。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSIRDR の読み出し／書き込みをすることはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

20.3.5 FIFO コントロールレジスタ (SSIFCR)

SSIFCR は、送信および受信 FIFO データレジスタのデータトリガ数、リセットおよび割り込み要求イネーブルの設定を行うレジスタです。また、SSIFCR は、常に CPU による読み出し／書き込みが可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TTRG[1:0]	RTRG[1:0]	TIE	RIE	TFRST	RFRST		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	TTRG[1:0]	00	R/W	送信データ数トリガ 送信動作時に、FIFO ステータスレジスタ (SSIFSR) の TDE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SSIFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDE フラグは 1 にセットされます。 00 : 7 (1) * 01 : 6 (2) * 10 : 4 (4) * 11 : 2 (6) * 【注】* () 内の数値は TDE フラグが 1 にセットされときの SSIFTDR レジスタの空き段数を意味します。
5、4	RTRG[1:0]	00	R/W	受信データ数トリガ 受信動作時に、FIFO ステータスレジスタ (SSIFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SSIFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 00 : 1 01 : 2 10 : 4 11 : 6

ビット	ビット名	初期値	R/W	説 明
3	TIE	0	R/W	送信インタラプトイネーブル 送信動作時に、送信 FIFO データレジスタ (SSIFTDR) からトランスミッターレジスタ (SSITDR) ヘシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、FIFO ステータスレジスタ (SSIFSR) の TDE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 0 : 送信データエンプティ割り込み (TXI) 要求を禁止 1 : 送信データエンプティ割り込み (TXI) 要求を許可* 【注】* TXI の解除は、TDE フラグの 0 クリア (詳細は TDE ビットの説明参照) が、TIE を 0 にクリアすることで行うことができます。
2	RIE	0	R/W	受信インタラプトイネーブル 受信動作時に、FIFO ステータスレジスタ (SSIFSR) の RDF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求の発生を許可 / 禁止します。 0 : 受信データフル割り込み (RXI) 要求を禁止 1 : 受信データフル割り込み (RXI) 要求を許可* 【注】* RXI 割り込み要求の解除は、RDF フラグの 0 クリア (詳細は RDF ビットの説明参照) が、RIE ビットを 0 にクリアすることで行えます。
1	TFRST	0	R/W	送信 FIFO データレジスタリセット 送信 FIFO データレジスタ内のデータを無効にし、データを空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
0	RFRST	0	R/W	受信 FIFO データレジスタリセット 受信 FIFO データレジスタ内のデータを無効にし、データを空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。

20.3.6 FIFO ステータスレジスタ (SSIFSR)

SSIFSR は、送信および受信 FIFO データレジスタの動作状態を示すステータスフラグで構成されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	TDC[3:0]				-	-	-	-	-	-	-	TDE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	RDC[3:0]				-	-	-	-	-	-	-	RDF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

ビット	ビット名	初期値	R/W	説 明
31～28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27～24	TDC[3:0]	0000	R	SSIFTDR に格納されたデータ数を示します。 H'0 は送信データがないことを、H'8 は 32 バイトの送信データが SSIFTDR に格納されていることを示します。
23～17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	TDE	1	R/(W)*	送信データエンプティ 送信 FIFO データレジスタ (SSIFTDR) からトランスミットデータレジスタ (SSITDR) にデータが転送され、SSIFTDR のデータ数が FIFO コントロールレジスタ (SSIFCR) の TTRG[1:0] で指定した送信トリガデータ数より少なくなり、SSIFTDR への送信データの書き込みが許可されることを示します。 0 : SSIFTDR の送信データ数が指定送信トリガ数より多いことを表示 [クリア条件] - 指定送信トリガ数より多いデータを SSIFTDR に書き込み、TDE に 0 を書き込んだとき - 送信データエンプティ割り込み (TXI) によりダイレクトメモリアクセスコントローラを起動し、指定送信トリガ数より多いデータを SSIFTDR に書き込んだとき 1 : SSIFTDR の送信データ数が指定送信トリガ数以下であること*1 を表示 [セット条件] - パワーオンリセット - SSIFTDR に格納された送信データ数が指定送信トリガ数以下になったとき 【注】 *1 SSIFTDR は 8 段の FIFO レジスタであるため、TDE = 1 の状態で書き込むことができるデータの最大数は「8 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SSIFTDR のデータ数は SSIFSR の TDC ビットで示されます。

ビット	ビット名	初期値	R/W	説 明
15～12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11～8	RDC[3:0]	0000	R	SSIFRDR に格納されたデータ数を示します。 H'0 は受信データがないことを、H'8 は 32 バイトの受信データが SSIFRDR 格納されていることを示します。
7～1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RDF	0	R/(W)*	受信データフル 受信データが受信 FIFO データレジスタ (SSIFRDR) に転送され、SSIFRDR のデータ数が FIFO コントロールレジスタ (SSIFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。 0 : SSIFRDR の受信データ数が指定受信トリガ数より少ないことを表示 [クリア条件] • パワーオンリセット • RFRST に 1 を書き込んで受信 FIFO を空にした後、RDF に 0 を書き込んだとき • SSIFRDR の受信データ数が指定受信トリガ数より少なくなるまで SSIFRDR を読み出し、RDF に 0 を書き込んだとき • 受信データフル割り込み (RXI) によりダイレクトメモリアクセスコントローラを起動し、SSIFRDR の受信データ数が指定受信トリガ数より少なくなるまで SSIFRDR を読み出したとき 1 : SSIFRDR の受信データ数が指定受信トリガ数以上であることを表示 [セット条件] • 指定受信トリガ数以上の受信データ数が SSIFRDR に格納されるとき*1 【注】*1 SSIFRDR は 8 段の FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SSIFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SSIFRDR のデータ数は SSIFSR の RDC ビットで示されます。

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

20.3.7 送信 FIFO データレジスタ (SSIFTDR)

SSIFTDR は、シリアル送信するデータを格納する 32 ビット×8 段 FIFO レジスタです。SSI は、トランスミットデータレジスタ (SSITDR) の空を検出すると、SSIFTDR に書き込まれた送信データを SSITDR に転送してシリアル送信を開始します。SSIFTDR の送信データが空になるまで連続シリアル送信ができます。SSIFTDR は常に CPU による書き込みが可能です。

SSIFTDR が送信データでいっぱい(32 バイト)になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視され、オーバフローとなります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】 * FIFO受信動作時は書き込みできません。

20.3.8 受信 FIFO データレジスタ (SSIFRDR)

SSIFRDR は、受信したシリアルデータを格納する 32 ビット×8 段 FIFO レジスタです。本モジュールは、4 バイトのシリアルデータの受信が終了すると、レシーブデータレジスタ(SSIRD)から SSIFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。32 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SSIFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダフローとなります。

SSIFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われ、受信オーバフローとなります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

20.3.9 TDM モードレジスタ (SSITDMR)

SSITDMR は、読み出し／書き込み可能な 32 ビットのレジスタで、TDM モードの設定、WS コンティニューモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CONT	-	-	-	-	-	-	-	TDM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31～9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CONT	0	R/W	WS コンティニューモード 0 : WS コンティニューモードを禁止 1 : WS コンティニューモードを許可 【注】 マスタモード (SCKD = 1 かつ SWSD = 1) の場合のみ設定可能です。
7～1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDM	0	R/W	TDM モード 0 : TDM モードを禁止 1 : TDM モードを許可

20.4 動作説明

20.4.1 バスフォーマット

本モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 20.3 に示す 12 個の主要なモードから選択できます。

表 20.3 バスフォーマット

	TEN	REN	SCKD	SWSD	TDM	MUEN	IEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]		
非圧縮スレーブレシーバ	0	1	0	0	0	コントロールビット							コンフィギュレーションビット										
非圧縮スレーブトランスミッタ	1	0	0	0	0																		
非圧縮スレーブトランシーバ	1	1	0	0	0																		
非圧縮マスタレシーバ	0	1	1	1	0																		
非圧縮マスタトランスミッタ	1	0	1	1	0																		
非圧縮マスタトランシーバ	1	1	1	1	0																		
TDM スレーブレシーバ	0	1	0	0	1								0	コンフィギュレーションビット									
TDM スレーブトランスミッタ	1	0	0	0	1								0										
TDM スレーブトランシーバ	1	1	0	0	1								0										
TDM マスタレシーバ	0	1	1	1	1								0										
TDM マスタトランスミッタ	1	0	1	1	1								0										
TDM マスタトランシーバ	1	1	1	1	1								0										

20.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I²S 互換フォーマットだけでなく、多数の改良版にも対応しています。

(1) スレープレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) スレーブトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワード選択

信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(5) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールのコンフィギュレーションビットの設定に従います。

(6) マスタトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールのコンフィギュレーションビットの設定に従います。

(7) 動作設定 - ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。本モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めの各フォーマットについて説明します。

● I²S互換フォーマット

図 20.2、図 20.3 に、パディングなしとパディングありの I²S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

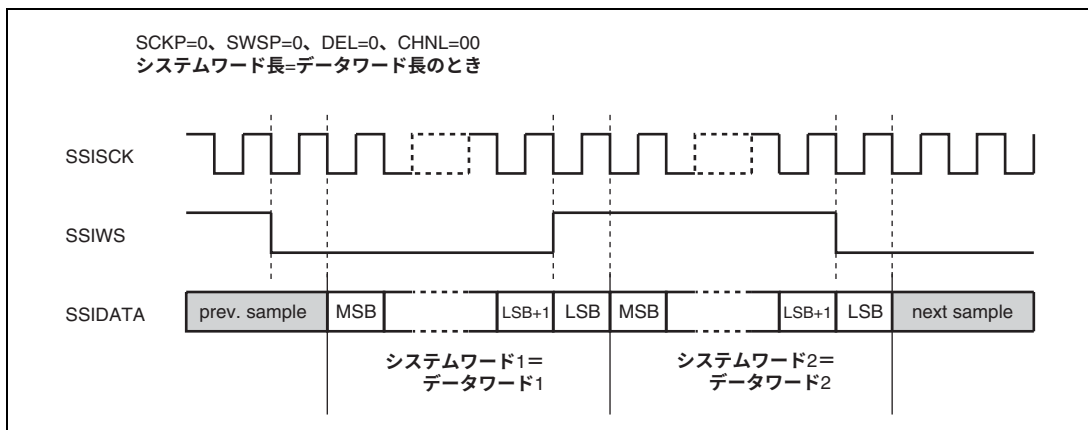


図 20.2 I²S 互換フォーマット (パディングなし)

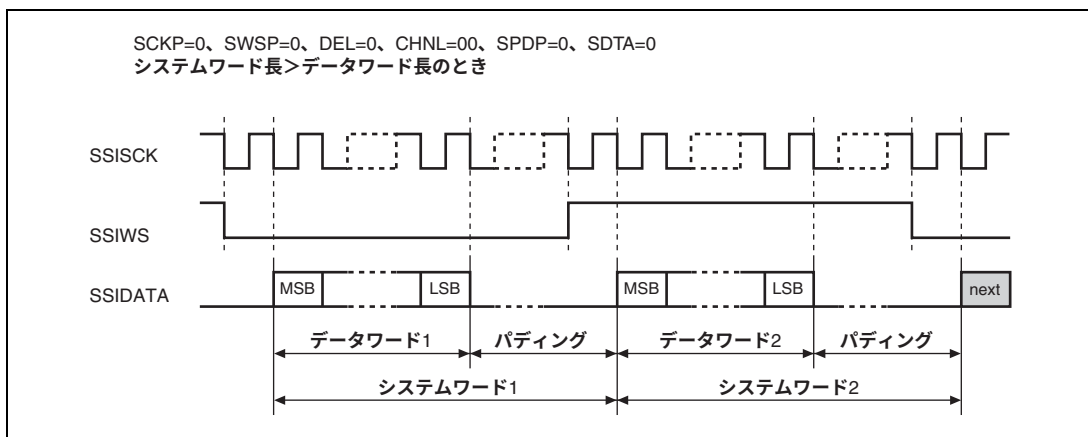
図 20.3 I²S 互換フォーマット (パディングあり)

図 20.4 に MSB ファースト・左詰めフォーマットを、図 20.5 に MSB ファースト・右詰めフォーマットを示します。

- MSBファースト・左詰めフォーマット

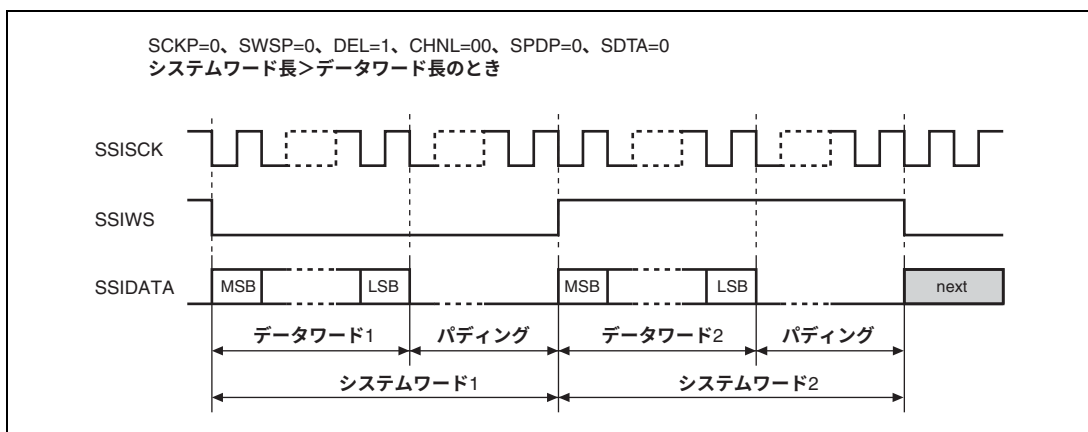


図 20.4 MSB ファースト・左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)

- MSBファースト・右詰めフォーマット

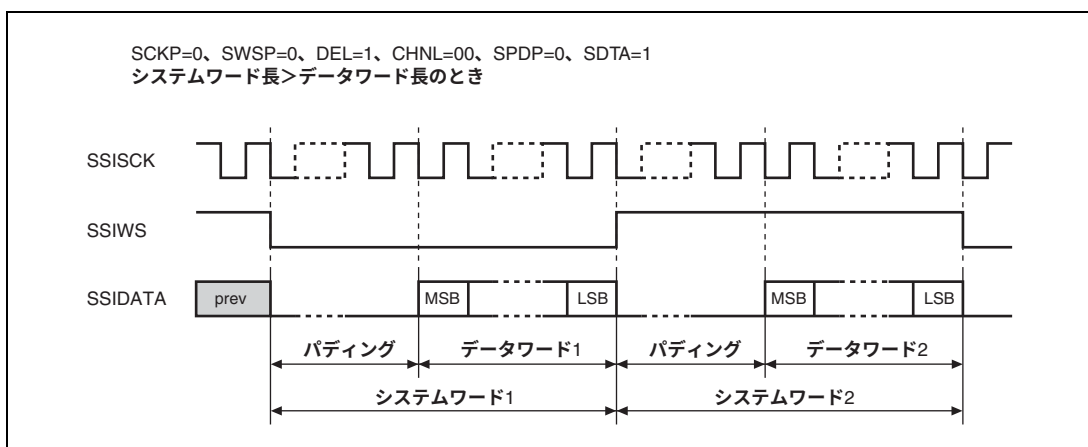


図 20.5 MSB ファースト・右詰めフォーマット (パディングビット、シリアルデータの順に送受信)

(8) マルチチャネルフォーマット

I²S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。

本モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限りです。

表 20.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 20.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

本モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。本モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 20.6～図 20.8 に、4、6 および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 20.6 はパディングビットがない場合、図 20.7 は左詰めの場合、図 20.8 は右詰めの場合を示します。これらの例は、すべて任意の例です。

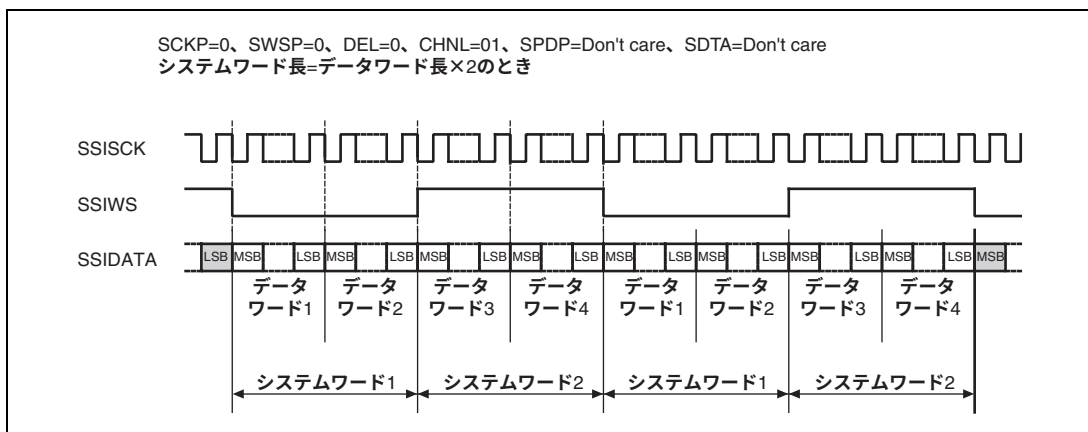


図 20.6 マルチチャンネルフォーマット (4 チャンネル、パディングなし)

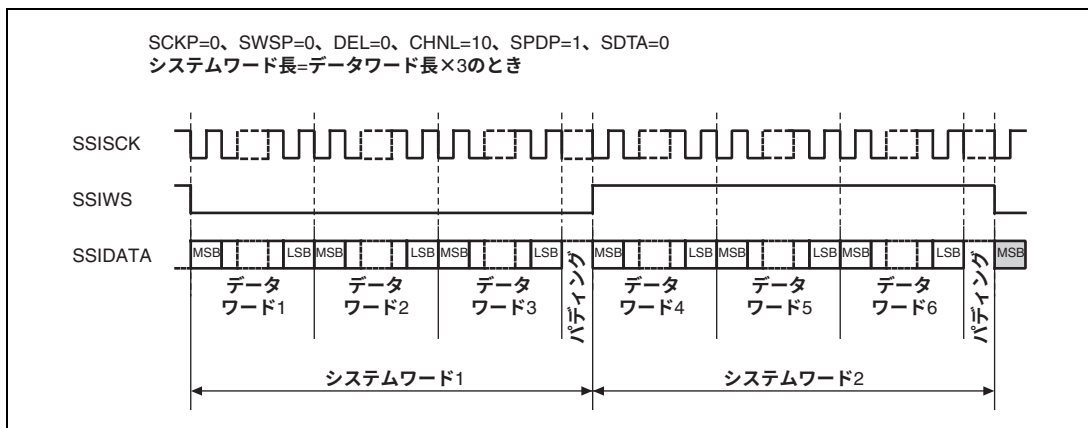


図 20.7 マルチチャンネルフォーマット (6 チャンネル、High パディング)

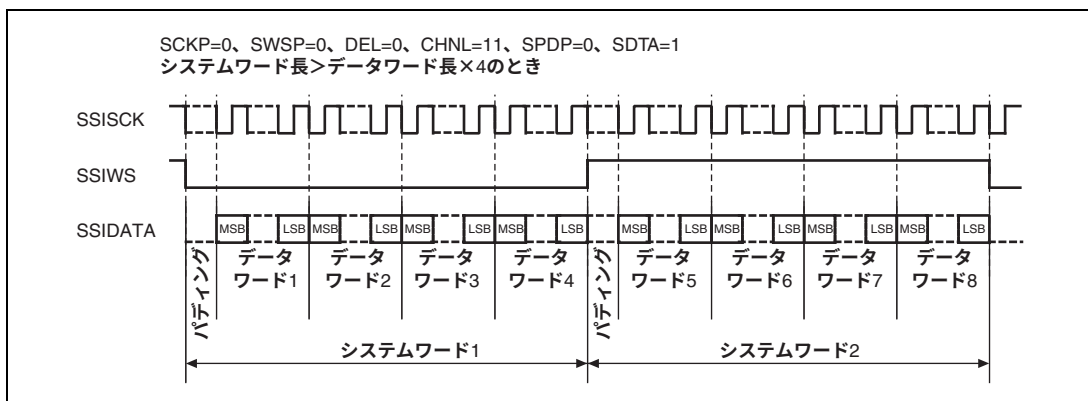


図 20.8 マルチチャンネルフォーマット
(8 チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(9) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 20.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

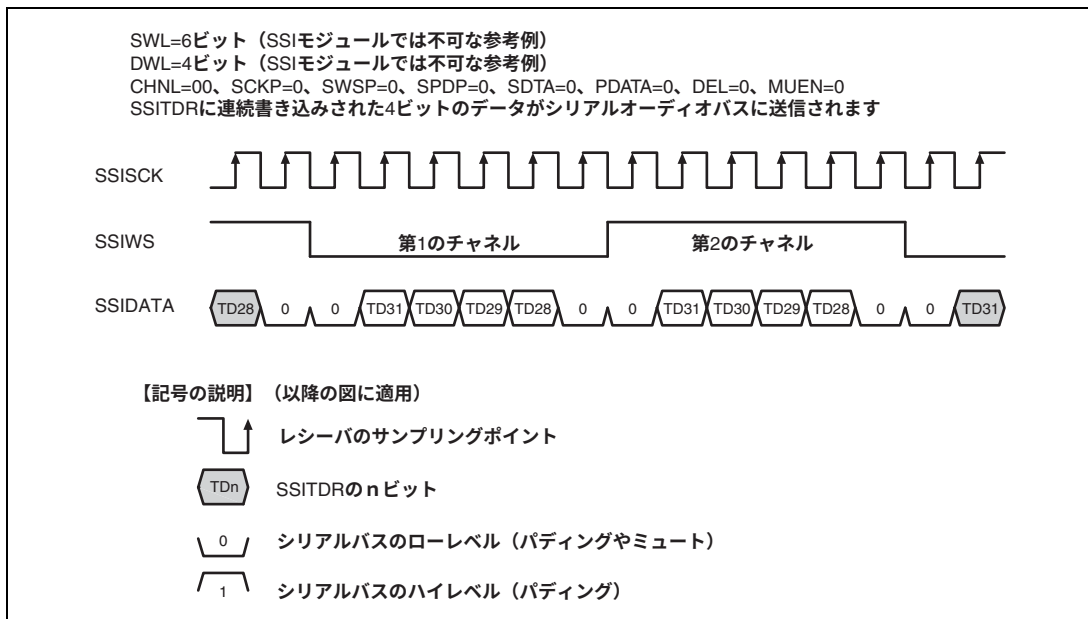


図 20.9 基本フォーマット例 (送信モード、任意のシステム / データワード長)

図 20.9 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は本モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

- 反転クロック

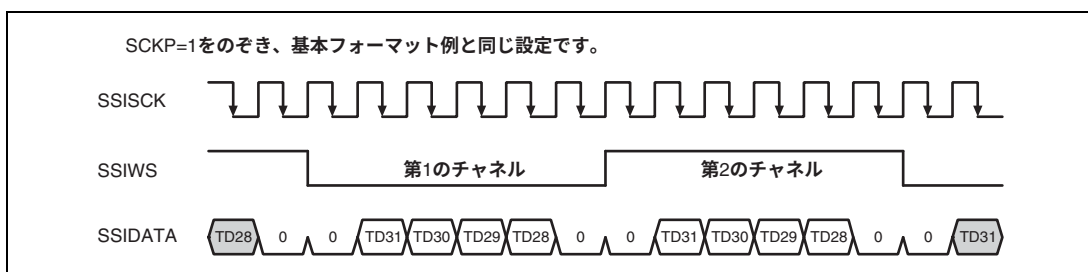


図 20.10 反転クロック

- 反転ワード選択信号

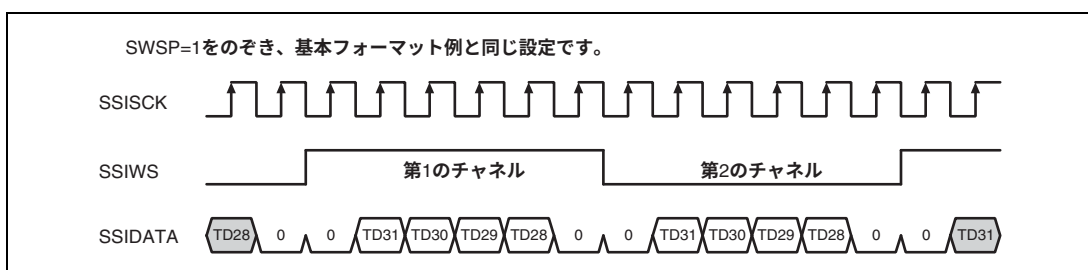


図 20.11 反転ワード選択信号

- 反転パディング極性

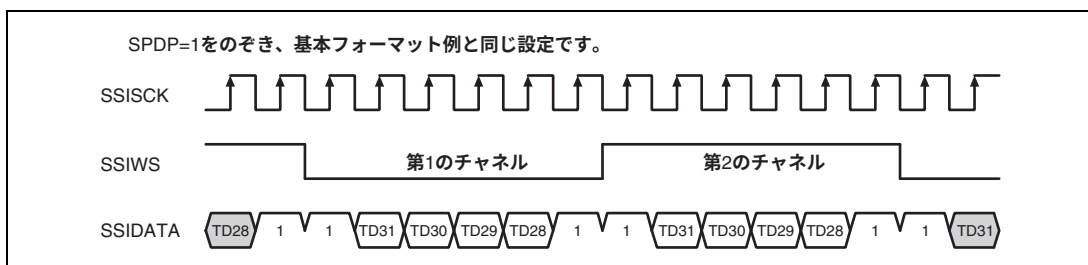


図 20.12 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

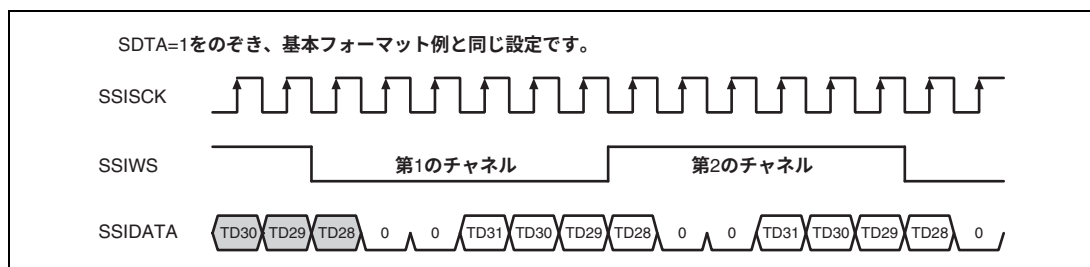


図 20.13 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

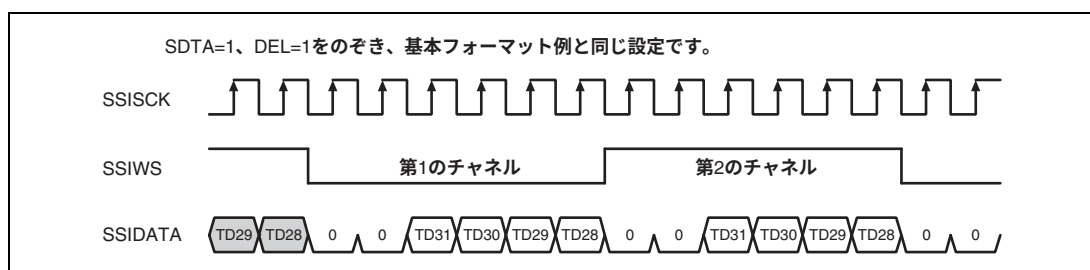


図 20.14 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

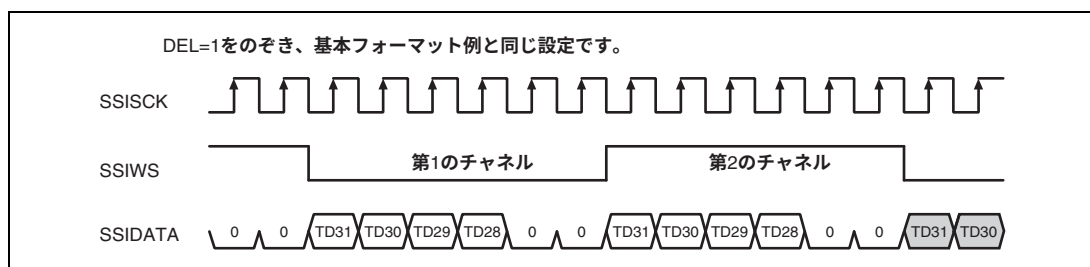


図 20.15 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

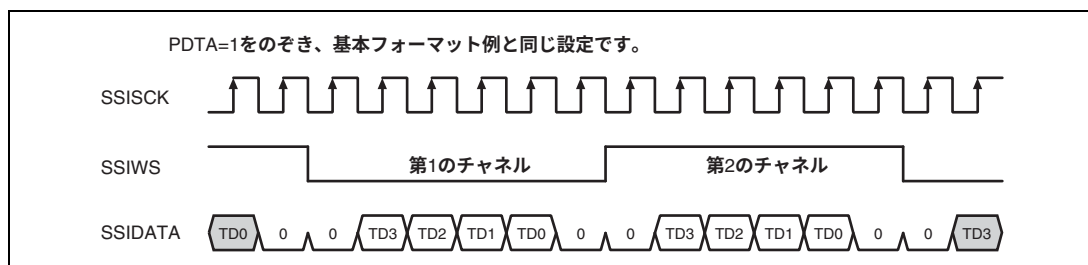


図 20.16 パラレルデータの右詰め、遅延あり

- ミュート有効

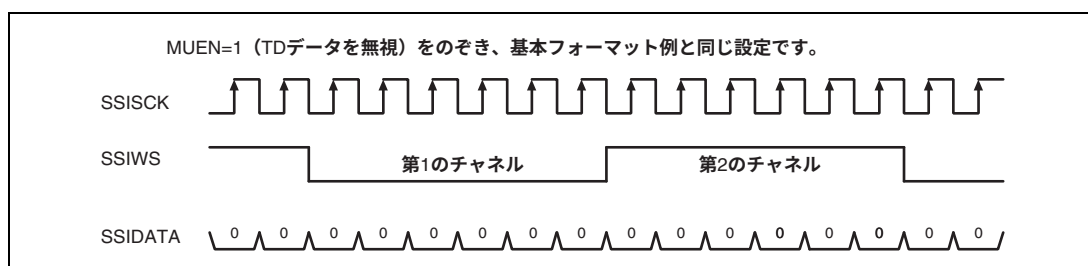


図 20.17 ミュート有効

20.4.3 TDM モード

TDM モードは、TDM 対応のマルチチャネル・デバイスと接続するためのモードです。このモードは TDM モードレジスタ (SSITDMR) の TDM ビットにて設定できます。このモードに設定すると、SSIWS 信号はシステムワード 1 の区間のみハイレベルとなり、それ以外の区間はローレベルになります。この SSIWS 信号に発生するパルスを SYNC パルスと定義します。なお、SYNC パルスは、正極性(システムワード 1 の区間のみハイレベル)のみで動作します。

図 20.18 にバディングなしの TDM フォーマットと図 20.19 にバディングありの TDM フォーマットを示します。

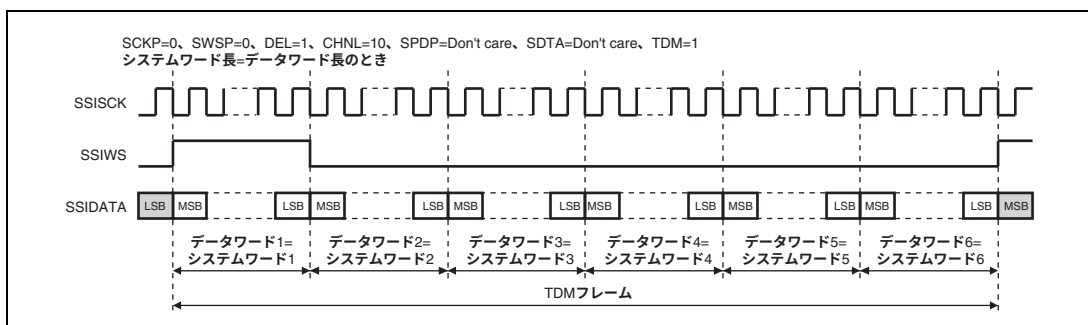


図 20.18 TDM フォーマット (6 システムワード、バディングなし)

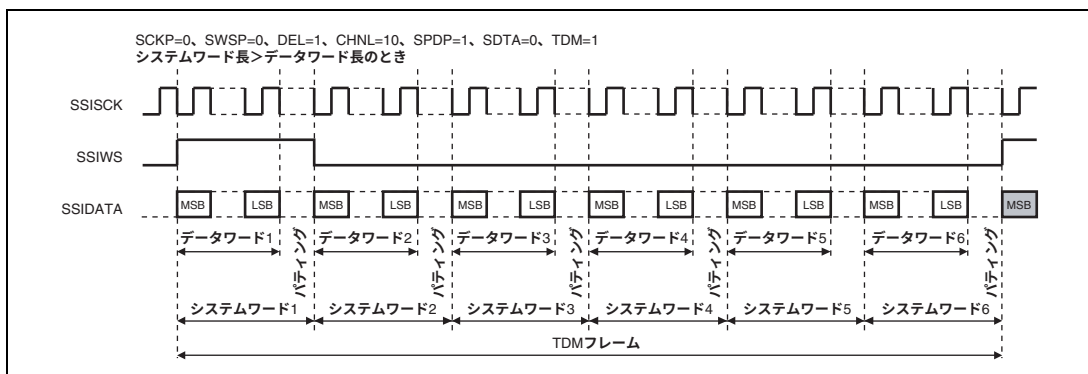


図 20.19 TDM フォーマット (6 システムワード、バディングあり)

20.4.4 WS コンティニューモード

WS コンティニューモードは、データ転送の許可/禁止に関係なく SSIWS 信号を出力し続けるモードです。このモードは TDM モードレジスタ (SSITDMR) の CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを 0 に設定 (転送停止) しても SSIWS 信号は停止せず動作し続けます。一方、このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも 0 に設定した場合は、SSIWS 信号が停止します。

図 20.20、図 20.21 に WS コンティニューモードの許可 / 禁止設定の動作を示します。

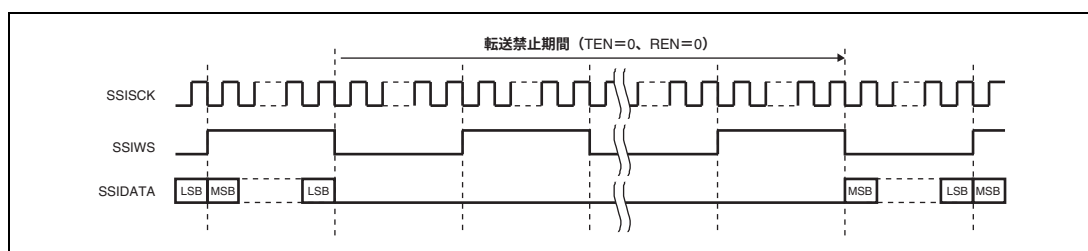


図 20.20 WS コンティニューモード許可

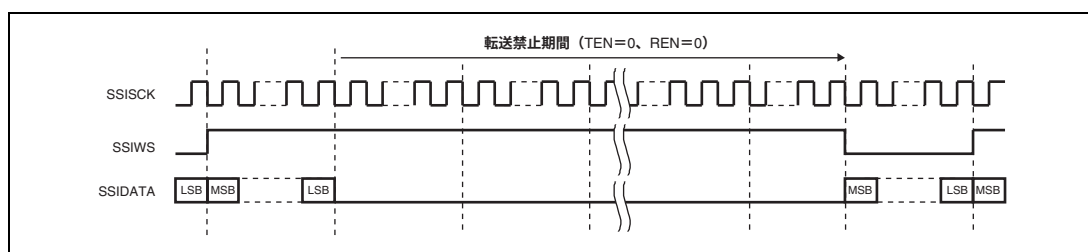


図 20.21 WS コンティニューモード禁止

20.4.5 動作モード

コンフィギュレーション、有効および無効の 3 つの動作モードがあります。図 20.22 に動作モードの遷移図を示します。

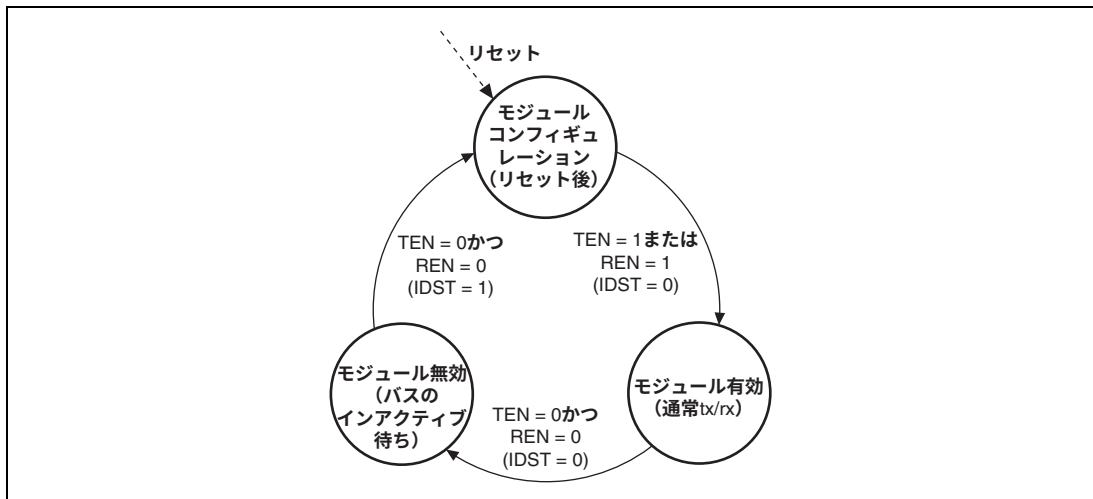


図 20.22 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。本モジュールが TEN ビットまたは REN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

TEN ビットまたは REN ビットをセットすると、本モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「20.4.6 送信動作」と「20.4.7 受信動作」を参照してください。

20.4.6 送信動作

送信は DMA 転送か割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバーフローの発生時、または DMA 転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて本モジュールがデータ供給のために生成する割り込みを用いる方法があります。

本モジュールを無効にする場合、IIRQ ビットがアイドル状態を示すまでクロック*は供給され続けなければなりません。

図 20.23 に DMA 制御モードの送信動作を、図 20.24 に割り込み制御モードの送信動作を示します。

【注】 * SCKD = 0 のとき SSISCK 端子からの入力クロック
SCKD = 1 のときオーバサンプルクロック

(1) ダイレクトメモリアクセスコントローラを使用した送信

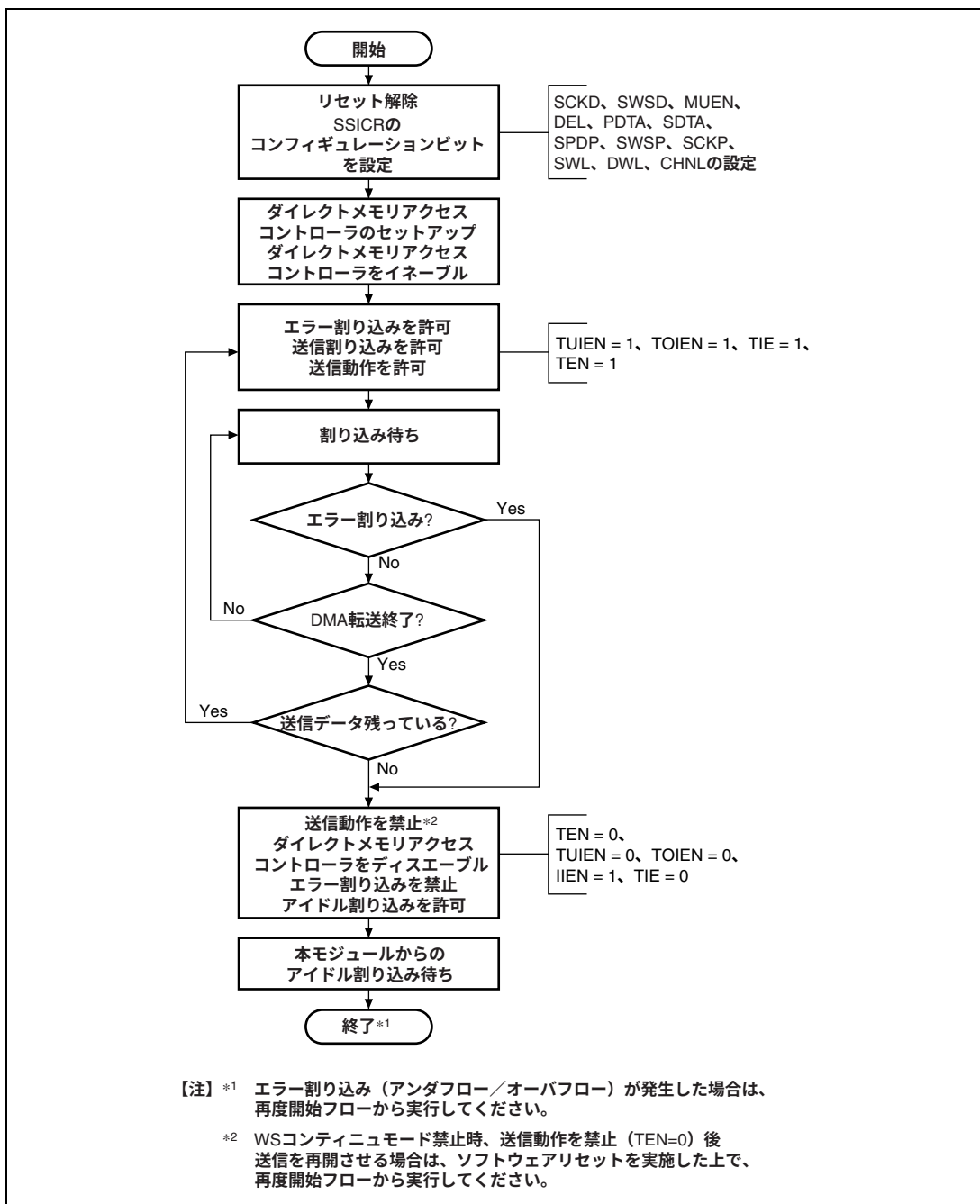


図 20.23 ダイレクトメモリアクセスコントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

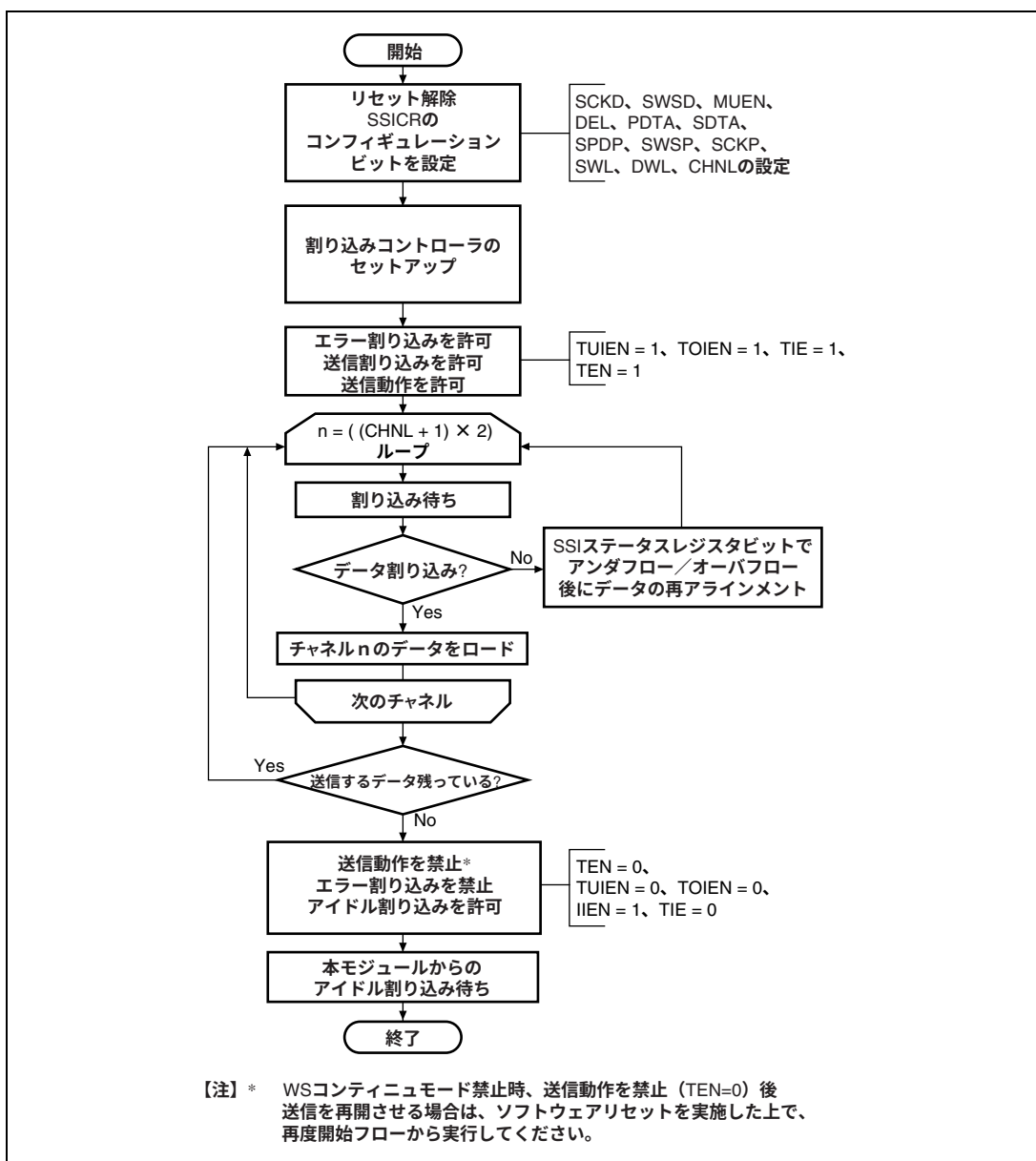


図 20.24 割り込みデータフロー制御を使用した送信

20.4.7 受信動作

送信同様、受信も DMA 転送または割り込みで制御できます。

図 20.25、図 20.26 にそれぞれの動作フローチャートを示します。

本モジュールを無効にする場合、IIRQ ビットがアイドル状態を示すまでクロック*は供給され続けなければなりません。

- 【注】 * SCKD = 0 のとき SSISCK 端子からの入力クロック
 SCKD = 1 のとき オーバサンプルクロック

(1) ダイレクトメモリアクセスコントローラを使用した受信

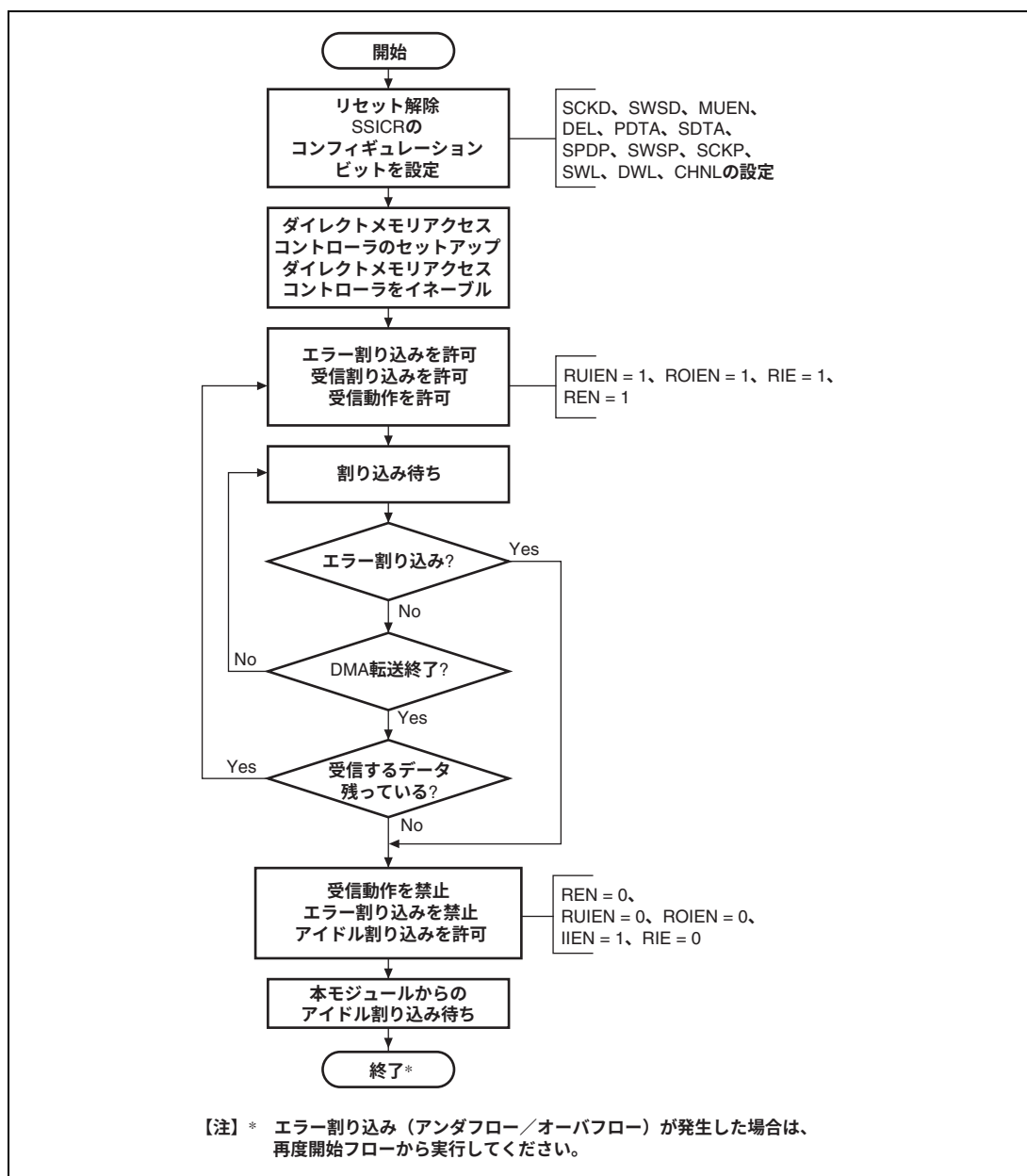


図 20.25 ダイレクトメモリアクセスコントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

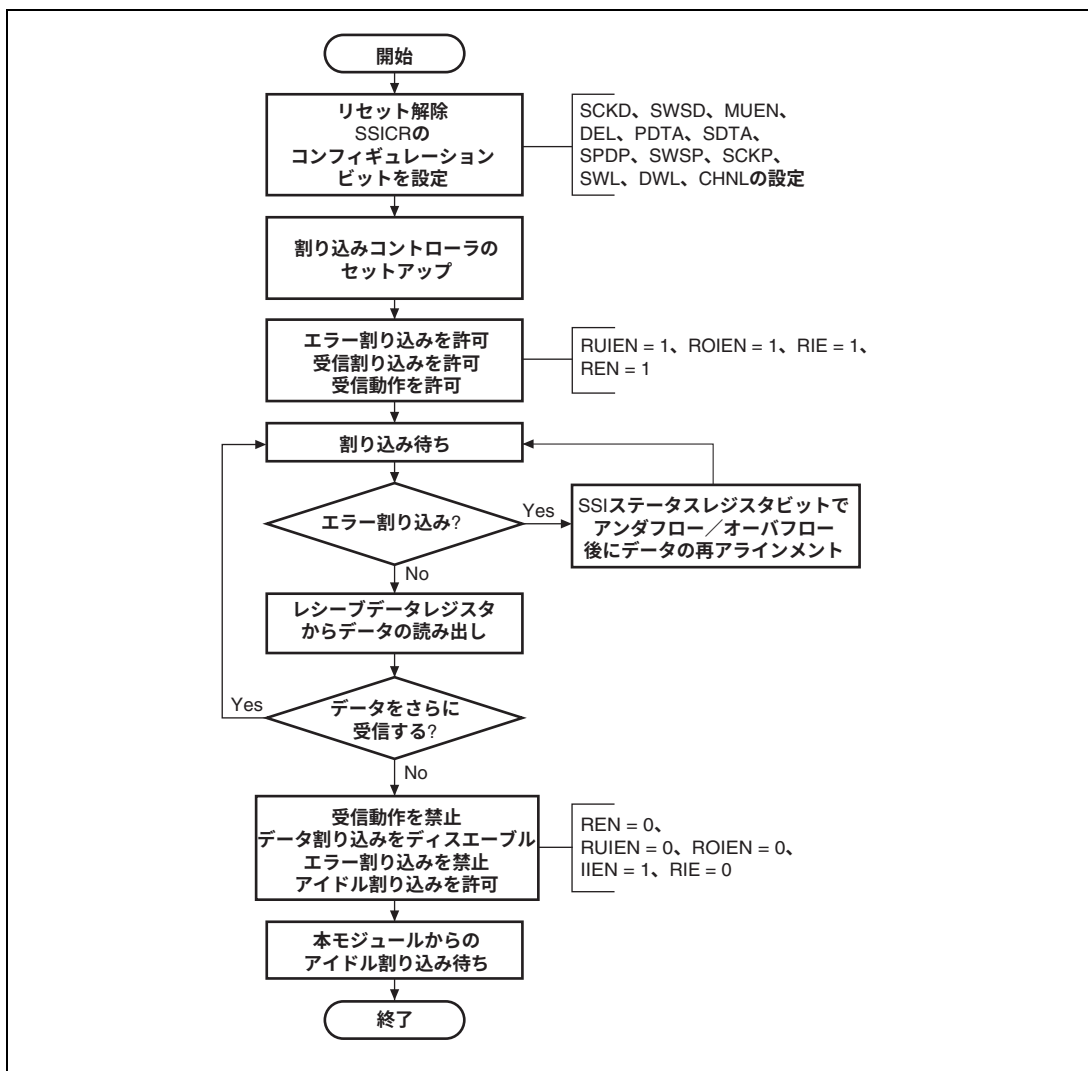


図 20.26 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、送信時は TCHNO[1:0]ビットと TSWNO ビットを、受信時は RCHNO[1:0]ビットと RSWNO ビットを使って、本モジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホスト CPU はチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、本モジュールが次に送信する予定のデータに到達するまでホスト CPU は送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、本モジュールが次に受信すると示しているデータを格納できるようになるまでホスト CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

20.4.8 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 ($SCKD=0$)、本モジュールはクロックスレープモードであり、シフトレジスタが使うビットクロックは $SSISCK$ 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 ($SCKD=1$)、本モジュールはクロックマスタモードであり、シフトレジスタが使うビットクロックはオーバサンプルクロックまたはそれを分周したクロックです。オーバサンプルクロックは、 $SSICR$ のシリアルオーバサンプルクロック分周比 ($CKDV$) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、 $SSISCK$ 端子の出力はビットクロックと同じになります。

20.5 使用上の注意事項

20.5.1 DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項

DMA 動作中にアンダフローまたはオーバフローが起こった場合、モジュールの再起動が必要です。送信バッファおよび受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ ($SSICR$) のデータワード長 ($DWL2 \sim DWL0$) が 32 ビットの設定で、システムワード長 ($SWL2 \sim SWL0$) が 32 ビットの設定の場合、アンダフローまたはオーバフローが一度発生すると、L チャンネルで送受信すべきデータを、R チャンネルで送受信してしまうことがあります。

そこで、送信アンダフロー、送信オーバフロー、受信アンダフロー、受信オーバフローの 4 通りのエラー割り込み、またはこれらに対応するエラーステータスフラグ ($SSISR$ の $TUIRQ$ 、 $TOIRQ$ 、 $RUIRQ$ 、 $ROIRQ$ の各ビット) によりエラーの発生を確認した場合、 $SSICR$ の TEN または REN ビットに 0 を書き込むことにより、DMA 転送要求を禁止して動作を停止させてください (このときダイレクトメモリアクセスコントローラの設定も停止させてください)。その後、受信動作時はエラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアし、再度ダイレクトメモリアクセスコントローラの設定を行い転送を再開してください。送信動作時はソフトウェアリセットを実施したうえで再度開始フローから実行してください。

20.5.2 マスタランシーバからマスタレシーバへモードを切り替える場合の注意

WS コンティニューモード禁止 ($SSITDMR.CONT=0$) の状態で、マスタランシーバモードでの動作中に送信アンダフローが発生し、 $SSICR$ の TEN ビットに 0 を書き込んで送信動作を停止した場合、 $SSIWS$ 出力が途切れます。マスタレシーバモードへ切り替えた後も途切れることなく受信を続ける場合は、送信アンダフローが発生しないよう、 $SSIFTDR$ にダミーデータを書き込んでください。

20.5.3 TDM モード、WS コンティニューモードの制限事項

TDM モード、WS コンティニューモードの設定を切り替える場合、切り替え直後の $SSISCK$ 信号、 $SSIWS$ 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

WS コンティニューモード許可 ($SSITDMR.CONT=1$) 時、送信動作の一時停止、再開を行う際は、送信 FIFO データレジスタ ($SSIFTDR$) への書き込み回数を 2 の倍数で終了させたのち、送信アンダフローのエラー割り込み、または対応するエラーステータスフラグ ($SSISR.TUIRQ$) によりエラーの発生を確認してから、 $SSICR$ の TEN に 0 を書き込んでください。

なお、 $SSICR.TEN=1$ で送信アンダフロー発生時は、 $SSIFTDR$ に書き込んだ最後のデータが繰り返し出力されますので、

最後のデータはダミーデータを書き込むか、SSISCR の MUEN に 1 を書き込んでミュート状態にしてください。

再開時はソフトウェアリセットの実施は行わず、エラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアしたのち、アイドルモードステータスフラグ(SSISR.IDST)によりモジュールがアイドル状態であることを確認してから、SSICR の TEN に 1 を書き込んで動作を再開させてください。

21. FIFO 付きクロック同期シリアル I/O

本 LSI は、FIFO 付きクロック同期シリアル I/O を内蔵しています。

21.1 特長

- シリアル転送

FIFO 容量 32ビット×16段(送受信独立)

8ビットモノラル／16ビットモノラル／16ビットステレオ音声入出力に対応

データの送信はMSBが先頭(MSB First)

サンプリングレート最大48kHzに対応

同期方法はフレーム同期パルスに対応

リニア／オーディオ／A-Law、 μ -Law CODECチップに接続可能

マスタ／スレーブ両モードに対応

- シリアルクロック

クロックソースとしてAUDIO_CLK、AUDIO_X1から選択可能

- 割り込み:1種類

- DMA転送:2種類

送信FIFO転送リクエスト、受信FIFO転送リクエスト

図 21.1 にブロック図を示します。

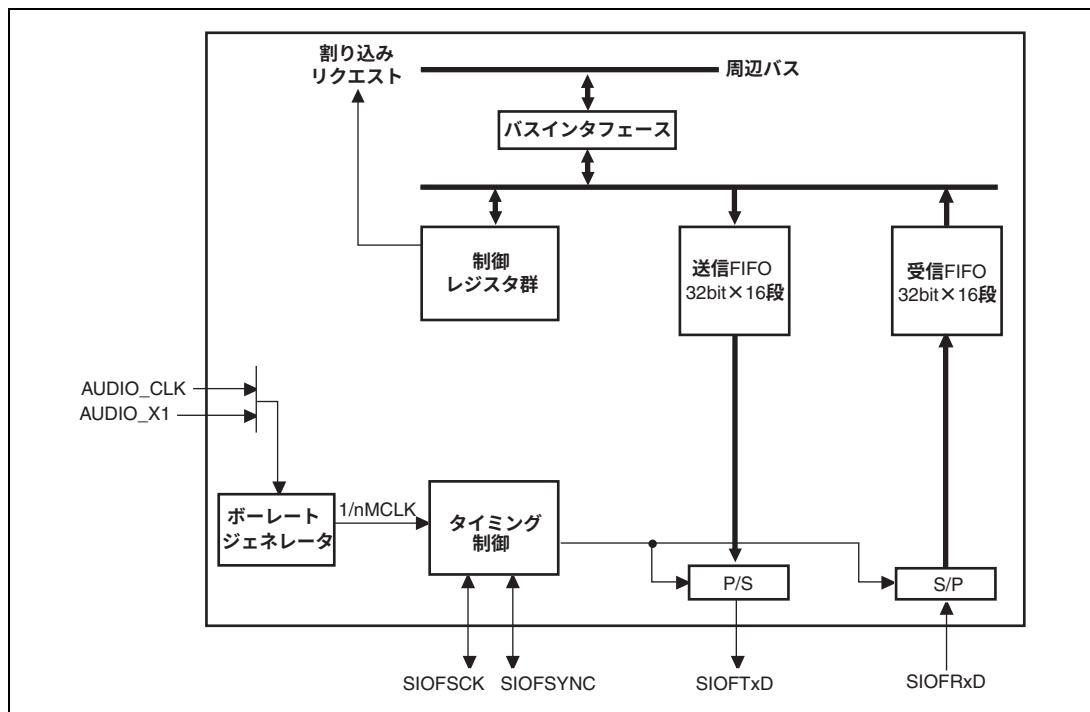


図 21.1 ブロック図

21.2 入出力端子

表 21.1 に端子構成を示します。

表 21.1 端子構成

端子名	入出力	機 能
AUDIO_CLK	入力	オーディオ用外部クロック
AUDIO_X1	入力	オーディオ用水晶発振子 / 外部クロック
AUDIO_X2	出力	
SIOFSCK	入出力	シリアルクロック (送受信共通)
SIOFSYNC	入出力	フレーム同期信号 (送受信共通)
SIOFTxD	出力	送信データ
SIOFRxD	入力	受信データ

21.3 レジスタの説明

表 21.2 にレジスタ構成を示します。

表 21.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
モードレジスタ	SIMDR	R/W	H'8000	H'FFFF4800	16
クロックセレクトレジスタ	SISCR	R/W	H'8000	H'FFFF4802	16
送信データアサインレジスタ	SITDAR	R/W	H'0000	H'FFFF4804	16
受信データアサインレジスタ	SIRDAR	R/W	H'0000	H'FFFF4806	16
コントロールレジスタ	SICTR	R/W	H'0000	H'FFFF480C	16
FIFO コントロールレジスタ	SIFCTR	R/W*	H'1000	H'FFFF4810	16
ステータスレジスタ	SISTR	R/W*	H'0000	H'FFFF4814	16
割り込み許可レジスタ	SIIER	R/W	H'0000	H'FFFF4816	16
送信データレジスタ	SITDR	W	不定	H'FFFF4820	8、16、32
受信データレジスタ	SIRDR	R	不定	H'FFFF4824	8、16、32

【注】 * 本レジスタビットは、読み出し / 書き込み可能ビットと読み出し専用ビットが混在しています。詳細は各レジスタの章を参照してください。

21.3.1 モードレジスタ (SIMDR)

SIMDR は、本モジュールの動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD1	TRMD0	SYNCAT	REDG	FL3	FL2	FL1	FL0	TXDIZ	-	SYNCAC	SYNCDL	-	-	-	-
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 14	TRMD1 TRMD0	1 0	R/W R/W	転送モード 1、0 転送モードを選択します。 00：スレーブモード 01：設定禁止 10：マスタモード 11：設定禁止
13	SYNCAT	0	R/W	SIOFSYNC 端子有効タイミング SIOFSYNC 信号の出力位置を示します。 本ビットはマスタモード時に有効となります。 0：フレームの先頭ビットデータ 1：スロットの最終ビットデータ 【注】本ビットに 1 を設定した場合は、必ず有効データを送受信もしくは送信に設定してください。
12	REDG	0	R/W	受信データサンプリングエッジ 本ビットはマスタモード時に有効となります。 0：SIOFRxD を SIOFSCK の立ち下がりエッジでサンプリングする (SIOFTxD は SIOFSCK の立ち上がりエッジで送出します) 1：SIOFRxD を SIOFSCK の立ち上がりエッジでサンプリングする (SIOFTxD は SIOFSCK の立ち下がりエッジで送出します)
11 10 9 8	FL3 FL2 FL1 FL0	0 0 0 0	R/W R/W R/W R/W	フレーム長 3~0 00xx：データ長は 8 ビット、フレーム長は 8 ビット 0100：データ長は 8 ビット、フレーム長は 16 ビット 0101：データ長は 8 ビット、フレーム長は 32 ビット 0110：データ長は 8 ビット、フレーム長は 64 ビット 0111：データ長は 8 ビット、フレーム長は 128 ビット 10xx：データ長は 16 ビット、フレーム長は 16 ビット 1100：データ長は 16 ビット、フレーム長は 32 ビット 1101：データ長は 16 ビット、フレーム長は 64 ビット 1110：データ長は 16 ビット、フレーム長は 128 ビット 1111：データ長は 16 ビット、フレーム長は 256 ビット 【注】x：Don't care

ビット	ビット名	初期値	R/W	説 明
7	TXDIZ	0	R/W	送信無効時* SIOFTxD 端子の出力 0 : 無効時 1 出力 1 : 無効時ハイインピーダンス状態 【注】* 無効時とは、デイスエーブル時および送信データ、制御データとして割り当てていないスロットを出力する場合を指します。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SYNCAC	0	R/W	SIOFSYNC 端子極性 本ビットはマスタモード時に有効となります。 0 : ハイアクティブ 1 : ローアクティブ
4	SYNCDL	0	R/W	SIOFSYNC 端子に対しデータ端子ビットの遅延 スレーブモードでは、1 ビット遅延のみ有効です。 0 : ビット遅延なし 1 : 1 ビット遅延
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.2 コントロールレジスタ (SICTR)

SICTR は、本モジュールの動作状態を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	-	-	-	-	TXE	RXE	-	-	-	-	-	-	TXRST	RXRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOFSCK の出力を禁止 (0 を出力する) 1 : SIOFSCK の出力を許可 • 本ビットに 1 をセットすると、本モジュールはポーレートジェネレータを初期化し、動作を開始すると同時に SIOFSCK にポーレートジェネレータで生成したクロックを出力します。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOFSYNC の出力を禁止 (0 を出力する) 1 : SIOFSYNC の出力を許可 • 本ビットに 1 をセットすると、本モジュールはフレームカウンタを初期化し、動作を開始します。
13 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0 : SIOFTxD からのデータ送出を禁止 1 : SIOFTxD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットに 1 をセットすると、本モジュールは SIFCTR レジスタの TFWM ビットの設定に従い、送信転送リクエストを発行します。送信 FIFO にデータを格納すると、SIOFTxD から送信データの送出を開始します。 • 送信リセット時に初期化されます。
8	RXE	0	R/W	受信イネーブル 0 : SIOFRxD からのデータ受信を禁止 1 : SIOFRxD からのデータ受信を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットに 1 をセットすると、本モジュールは SIOFRxD からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR の RFWM ビットの設定に従い、受信転送リクエストを発行します。 • 受信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TXRST	0	R/W	送信リセット 0 : 送信動作をリセットしない 1 : 送信動作をリセットする ●本ビットへの設定は、ただちに有効となります。また、初期化されるレジスタを設定する前に、本ビットを 0 にクリアしてください。 ●本ビットを 1 にセットすると、本モジュールは SIOFTxD の出力を 1 にし、下記のレジスタとデータを初期化します。 1. SITDR レジスタ 2. 送信 FIFO の有効データ 3. SISTR レジスタの TFEMP、TDREQ ビット 4. TXE ビット 【注】必ず 1 転送クロック期間以上、1 にセットしてください。
0	RXRST	0	R/W	受信リセット 0 : 受信動作をリセットしない 1 : 受信動作をリセットする ●本ビットへの設定は、ただちに有効となります。また、初期化されるレジスタを設定する前に、本ビットを 0 にクリアしてください。 ●本ビットに 1 をセットすると、本モジュールは SIOFRxD からの受信を停止し、下記のレジスタとデータを初期化します。 1. SIRD R レジスタ 2. 受信 FIFO の有効データ 3. SISTR レジスタの RFFUL、RDREQ ビット 4. RXE ビット 【注】必ず 1 転送クロック期間以上、1 にセットしてください。

21.3.3 送信データレジスタ (SITDR)

SITDR は、本モジュールの送信データを設定します。本レジスタへの設定データは、送信 FIFO に格納されます。

本レジスタは、SICTR の TXRST ビットにより送信リセットで初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31～16	SITDL [15:0]	不定	W	左 ch.送信データ 左 ch.データとして SIOFTxD から送信するデータを設定します。送信フレームにおける左 ch.データの位置は、SITDAR の TDLA ビットへの設定値に従います。 • 本ビットは SITDAR の TDLE ビットに 1 をセットした場合に有効となります。
15～0	SITDR [15:0]	不定	W	右 ch.送信データ 右 ch.データとして SIOFTxD から送信するデータを設定します。送信フレームにおける右 ch.データの位置は、SITDAR の TDRA ビットへの設定値に従います。 • 本ビットは SITDAR の TDRE ビットに 1 をセットし、かつ SITDAR の TLREP ビットを 0 にクリアした場合に有効となります。

21.3.4 受信データレジスタ (SIRDR)

SIRDR は、本モジュールの受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。

本レジスタは、SICTR の RXRST ビットにより受信リセットで初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRDL[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDR[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ~ 16	SIRDL [15:0]	不定	R	左 ch.受信データ 左 ch.データとして SIOFRxD から受信したデータを格納します。受信フレームにおける左 ch.データの位置は、SIRDAR の RDLA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 をセットした場合に有効となります。
15 ~ 0	SIRDR [15:0]	不定	R	右 ch.受信データ 右 ch.データとして SIOFRxD から受信したデータを格納します。受信フレームにおける右 ch.データの位置は、SIRDAR の RDRA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 をセットした場合に有効となります。

21.3.5 ステータスレジスタ (SISTR)

SISTR は、本モジュールの状態を表示します。本レジスタの各ビットは、SIHER レジスタの対応するビットに 1 をセットした場合に、本モジュールの割り込みリクエストとなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	TFEMP	TDREQ	-	-	RFFUL	RDREQ	-	-	-	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	-	0	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
13	TFEMP	0	R	送信 FIFO エンプティ 0: 送信 FIFO がエンプティ状態でない 1: 送信 FIFO がエンプティ状態である • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • SITDR にデータを書き込んだ場合、本ビットは本モジュールにより 0 にクリアされます。 【注】本ビットが 1 にセットされたとき、すでに送信 FIFO アンダフローが発生している可能性があります。そのため、本ビットを送信データレジスタへの書き込みタイミングに使用しないでください。

ビット	ビット名	初期値	R/W	説 明
12	TDREQ	0	R	送信 FIFO 転送リクエスト 0: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値未満である 1: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上である 送信 FIFO 転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えたときに発行します。 ダイレクトメモリアクセスコントローラによる送信データ転送を用いる場合には、ダイレクトメモリアクセスコントローラによるアクセスによって、本ビットは必ず 0 にクリアされます。ダイレクトメモリアクセスコントローラアクセス後も本ビットの設定条件が満たされている場合には、再び本ビットに 1 がセットされます。 • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると、本ビットは本モジュールにより 0 にクリアされます。
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	RFFUL	0	R	受信 FIFO フル 0: 受信 FIFO がフル状態でない 1: 受信 FIFO がフル状態である • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • SIRD R の読み出しを行うと、本ビットは本モジュールにより 0 にクリアされます。
8	RDREQ	0	R	受信 FIFO 転送リクエスト 0: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値未満である 1: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値以上である 受信 FIFO 転送リクエストは、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。 ダイレクトメモリアクセスコントローラによる受信データ転送を用いる場合には、ダイレクトメモリアクセスコントローラによるアクセスによって、本ビットは必ず 0 にクリアされます。ダイレクトメモリアクセスコントローラアクセス後も本ビットの設定条件が満たされている場合には、再び本ビットに 1 を表示します。 • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると、本ビットは本モジュールにより 0 にクリアされます。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
4	FSERR	0	R/W	フレーム同期エラー 0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生 フレーム同期エラーとは、転送データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。 フレーム同期エラー発生時、本モジュールは転送可能なスロットに対してのみ送受信を行います。 ●本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 ●本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。
3	TFOVF	0	R/W	送信 FIFO オーバフロー 0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生 送信 FIFO オーバフローとは、送信 FIFO がフル状態のときに SITDR への書き込みが発生したことを表します。 送信 FIFO オーバフロー時、本モジュールはオーバフローとなった書き込みを無効とします。 ●本ビットは SICTR の TXE ビットが 1 のときに有効となります。 ●本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。
2	TFUDF	0	R/W	送信 FIFO アンダフロー 0 : 送信 FIFO アンダフロー未発生 1 : 送信 FIFO アンダフロー発生 送信 FIFO アンダフローとは、送信 FIFO がエンプティ状態のときに送信動作によるロードが発生したことを表します。 送信 FIFO アンダフロー時、本モジュールは前回送出データを繰り返して送出します。 ●本ビットは SICTR の TXE ビットが 1 のときに有効となります。 ●本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。
1	RFUDF	0	R/W	受信 FIFO アンダフロー 0 : 受信 FIFO アンダフロー未発生 1 : 受信 FIFO アンダフロー発生 受信 FIFO アンダフローとは、受信 FIFO がエンプティ状態のときに SIRDR の読み出しが発生したことを表します。 受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。 ●本ビットは SICTR の RXE ビットが 1 のときに有効となります。 ●本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。また、本ビットを 0 にセットした場合の操作は無効となります。

ビット	ビット名	初期値	R/W	説 明
0	RFOVF	0	R/W	受信 FIFO オーバフロー 0 : 受信 FIFO オーバフロー未発生 1 : 受信 FIFO オーバフロー発生 受信 FIFO オーバフローとは、受信 FIFO がフル状態のときに受信動作による書き込みが発生したことを表します。 受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。 • 本ビットに 1 をセットすると、本モジュールにより 0 にクリアされます。 また、本ビットを 0 にセットした場合の操作は無効となります。

21.3.6 割り込み許可レジスタ (SIER)

SIER は、本モジュールの割り込みの発行を許可します。本レジスタの各ビットに 1 を設定、かつ SISTR の対応する各ビットに 1 がセットされた場合に割り込みが発行されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDMAE	-	TFEMPE	TDREQE	RDMAE	-	RFULE	RDREQE	-	-	-	FSERRE	TFOVFE	TFUDFE	RFUDFE	RFOVFE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	TDMAE	0	R/W	送信 FIFO DMA 転送要求イネーブル 送信 FIFO 転送リクエストを割り込み / DMA 転送要求として伝えます。 0 : CPU への割り込みとして使用 1 : ダイレクトメモリアクセスコントローラへの DMA 転送要求として使用
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0 : 送信エンプティによる割り込みを禁止 1 : 送信エンプティによる割り込みを許可
12	TDREQE	0	R/W	送信 FIFO 転送リクエストイネーブル 0 : 送信 FIFO 転送リクエストによる割り込み / DMA 転送要求を禁止 1 : 送信 FIFO 転送リクエストによる割り込み / DMA 転送要求を許可
11	RDMAE	0	R/W	受信 FIFO DMA 転送要求イネーブル 受信 FIFO 転送リクエストを割り込み / DMA 転送要求として伝えます。 0 : CPU への割り込みとして使用 1 : ダイレクトメモリアクセスコントローラへの DMA 転送要求として使用
10	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0 : 受信 FIFO フルによる割り込みを禁止 1 : 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信 FIFO 転送リクエストイネーブル 0 : 受信 FIFO 転送リクエストによる割り込み / DMA 転送要求を禁止 1 : 受信 FIFO 転送リクエストによる割り込み / DMA 転送要求を許可
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FSERRE	0	R/W	フレーム同期エラーイネーブル 0 : フレーム同期エラーによる割り込みを禁止 1 : フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0 : 送信 FIFO オーバフローによる割り込みを禁止 1 : 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0 : 送信 FIFO アンダフローによる割り込みを禁止 1 : 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0 : 受信 FIFO アンダフローによる割り込みを禁止 1 : 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0 : 受信 FIFO オーバフローによる割り込みを禁止 1 : 受信 FIFO オーバフローによる割り込みを許可

21.3.7 FIFO コントロールレジスタ (SIFCTR)

SIFCTR は、送受信 FIFO の転送が可能なエリアを表示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM2	TFWM1	TFWM0	TFUA4	TFUA3	TFUA2	TFUA1	TFUA0	RFWM2	RFWM1	RFWM0	RFUA4	RFUA3	RFUA2	RFUA1	RFUA0
初期値 :	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	TFWM2	0	R/W	送信 FIFO ウォータマーク 000 : 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する • 送信 FIFO の転送要求は、SISTR の TDREQE ビットで行います。 • 本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。
14	TFWM1	0	R/W	
13	TFWM0	0	R/W	
12	TFUA4	1	R	送信 FIFO 使用可能エリア 転送可能な FIFO 段数を B'00000 (フル) ~ B'10000 (エンプティ) で表示します。
11	TFUA3	0	R	
10	TFUA2	0	R	
9	TFUA1	0	R	
8	TFUA0	0	R	
7	RFWM2	0	R/W	受信 FIFO ウォータマーク 000 : 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する 101 : 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する 110 : 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する 111 : 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する • 受信 FIFO の転送要求は、SISTR の RDREQE ビットで行います。 • 本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。
6	RFWM1	0	R/W	
5	RFWM0	0	R/W	
4	RFUA4	0	R	受信 FIFO 使用可能エリア 転送可能な FIFO 段数を B'00000 (エンプティ) ~ B'10000 (フル) で表示します。
3	RFUA3	0	R	
2	RFUA2	0	R	
1	RFUA1	0	R	
0	RFUA0	0	R	

21.3.8 クロックセレクトレジスタ (SISCR)

SISCR は、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD1、TRMD0 ビットに B'10 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL	-	-	BRPS4	BRPS3	BRPS2	BRPS1	BRPS0	-	-	-	-	-	BRDV2	BRDV1	BRDV0
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	MSSEL	1	R/W	マスタクロックソース選択 0 : マスタクロックとして AUDIO_X1 を使用 1 : マスタクロックとして AUDIO_CLK を使用 マスタクロックとは、ポーレートジェネレータに入力するクロックを指します。
14, 13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	BRPS4	0	R/W	プリスケアラ設定 ポーレートジェネレータのプリスケアラのカウント値によりマスタクロックの分周比を設定します。 設定の範囲は B'00000 ($\times 1/1$) ~ B'11111 ($\times 1/32$) となります。
11	BRPS3	0	R/W	
10	BRPS2	0	R/W	
9	BRPS1	0	R/W	
8	BRPS0	0	R/W	
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BRDV2	0	R/W	ポーレートジェネレータ分周比 ポーレートジェネレータにおける出力段の分周比を設定します。 000 : プリスケアラ出力 $\times 1/2$ 001 : プリスケアラ出力 $\times 1/4$ 010 : プリスケアラ出力 $\times 1/8$ 011 : プリスケアラ出力 $\times 1/16$ 100 : プリスケアラ出力 $\times 1/32$ 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 ポーレートジェネレータの最終分周比は、BRPS $\times$ BRDV で決定します (最大 1/1024) 。
1	BRDV1	0	R/W	
0	BRDV0	0	R/W	

21.3.9 送信データアサインレジスタ (SITDAR)

SITDAR は、フレーム内の送信データ位置 (スロット No.) を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLE	-	-	-	TDLA3	TDLA2	TDLA1	TDLA0	TDRE	TLREP	-	-	TDRA3	TDRA2	TDRA1	TDRA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	TDLE	0	R/W	送信左 ch. データイネーブル 0 : 左 ch. データの送信を許可しない 1 : 左 ch. データの送信を許可する
14 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TDLA3	0	R/W	送信左 ch. データアサイン 3 ~ 0 送信フレームにおける左 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 左 ch. データの送信データは SITDR の SITDL ビットに設定します。
10	TDLA2	0	R/W	
9	TDLA1	0	R/W	
8	TDLA0	0	R/W	
7	TDRE	0	R/W	送信右 ch. データイネーブル 0 : 右 ch. データの送信を許可しない 1 : 右 ch. データの送信を許可する
6	TLREP	0	R/W	送信左 ch. リピート 0 : 右 ch. データとして SITDR の SITDR ビット設定値を送出する。 1 : 右 ch. データとして SITDR の SITDL ビット設定値を繰り返して送出的。 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • ビットに 1 を設定した場合、SITDR への設定は無視されます。
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TDRA3	0	R/W	送信右 ch. データアサイン 3 ~ 0 送信フレームにおける右 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 右 ch. データの送信データは SITDR の SITDR ビットに設定します。
2	TDRA2	0	R/W	
1	TDRA1	0	R/W	
0	TDRA0	0	R/W	

21.3.10 受信データアサインレジスタ (SIRDAR)

SIRDAR は、フレーム内の受信データ位置(スロット No.)を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	-	-	-	RDLA3	RDLA2	RDLA1	RDLA0	RDRE	-	-	-	RDRA3	RDRA2	RDRA1	RDRA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RDLE	0	R/W	受信左 ch.データイネーブル 0 : 左 ch.データの受信を許可しない 1 : 左 ch.データの受信を許可する
14 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	RDLA3	0	R/W	受信左 ch.データアサイン 3 ~ 0 受信フレームにおける左 ch.データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 左 ch.データの受信データは SIRDAR の SIRDLE ビットに格納されます。
10	RDLA2	0	R/W	
9	RDLA1	0	R/W	
8	RDLA0	0	R/W	
7	RDRE	0	R/W	受信右 ch.データイネーブル 0 : 右 ch.データの受信を許可しない 1 : 右 ch.データの受信を許可する
6 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RDRA3	0	R/W	受信右 ch.データアサイン 3 ~ 0 受信フレームにおける右 ch.データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 右 ch.データの受信データは SIRDAR の SIRDRE ビットに格納されます。
2	RDRA2	0	R/W	
1	RDRA1	0	R/W	
0	RDRA0	0	R/W	

21.4 動作説明

21.4.1 シリアルクロック

(1) マスタ / スレーブ

本モジュールのクロックモードとして下記に示す 2 つのモードがあります。

- スレーブモード: SIOFSCK、SIOFSYNCは入力
- マスタモード : SIOFSCK、SIOFSYNCは出力

(2) ボーレートジェネレータ

本モジュールがマスタに設定されている場合には、ボーレートジェネレータ(BRG)を用いてシリアルクロックを生成します。ボーレートジェネレータの分周比は、1/2～1/1024 です。

図 21.2 にシリアルクロック供給系統図を示します。

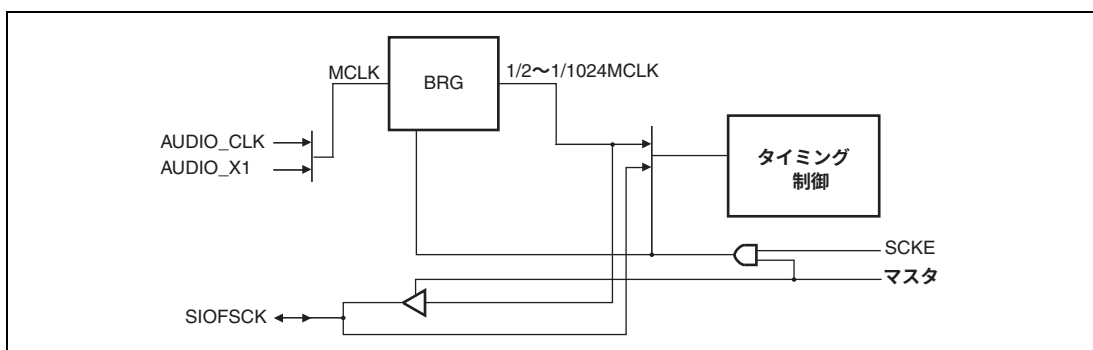


図 21.2 シリアルクロック供給

また、表 21.3 にシリアルクロック周波数の例を示します。

表 21.3 シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.289MHz	12.289MHz

21.4.2 シリアルタイミング

(1) SIOFSYNC

SIOFSYNC はフレーム同期信号です。

図 21.3 に SIOFSYNC による同期タイミングを示します。

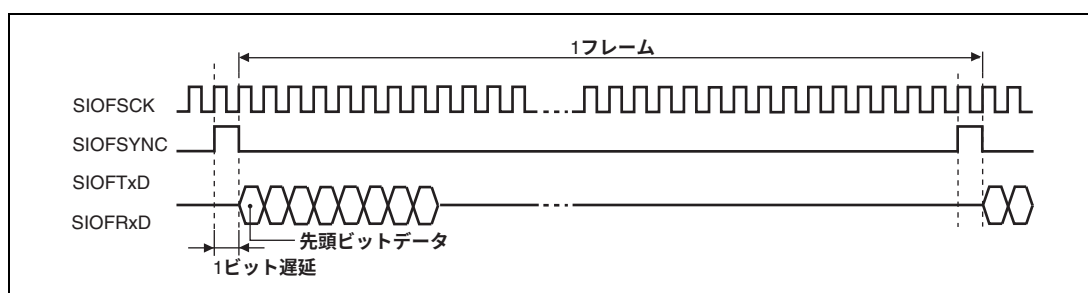


図 21.3 シリアルデータ同期タイミング

(2) 送受信タイミング

SIOFSCK に対する SIOFTxD の送信タイミングおよび SIOFRxD の受信タイミングは、サンプリングタイミングとして下記の設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットに行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング(マスタモード時のみ可能)

図 21.4 に送受信タイミングを示します。

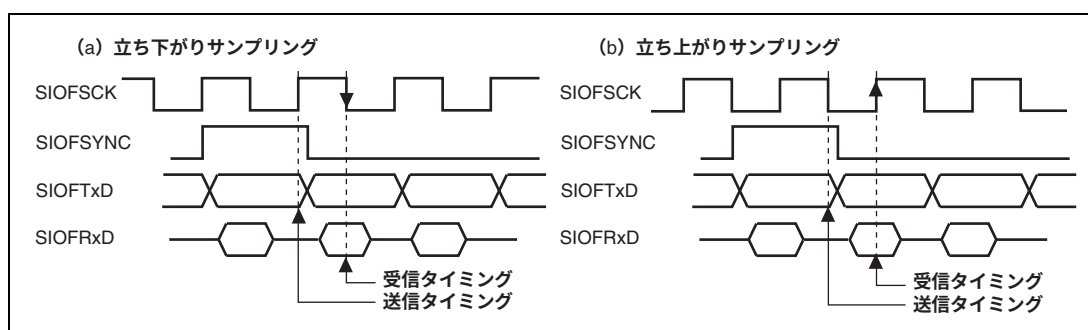


図 21.4 送受信タイミング

21.4.3 転送データフォーマット

本モジュールは、下記の転送を行います。

- 送受信データ8ビットモノラル / 16ビットモノラル / 16ビットステレオの転送データ

(1) 転送モード

本モジュールは、転送モードとして表 21.4 に示す 2 つのモードがあります。転送モードの設定は SIMDR の TRMD1～TRMD0 ビットに行います。

表 21.4 シリアル転送モード

転送モード	SIOFSYNC	ビット遅延
スレーブモード	同期パルス	SYNCDL ビット
マスタモード		

(2) フレーム長

本モジュールが転送を行うフレームの長さは SIMDR の FL3～FL0 ビットに対して設定を行います。表 21.5 に設定値とフレーム長の関係を示します。

表 21.5 フレーム長

FL3～FL0	スロット長	1 フレームあたりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラル / ステレオ
1101	16	64	16 ビットモノラル / ステレオ
1110	16	128	16 ビットモノラル / ステレオ
1111	16	256	16 ビットモノラル / ステレオ

【注】 x : Don't care

(3) スロット位置

本モジュールは、1 フレームにおける送信データ、受信データの位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記に示すレジスタに対して行います。

- 送信データ: SITDAR
- 受信データ: SIRDAR

21.4.4 転送データのレジスタ割り付け

送受信データの書き込み／読み出しは下記レジスタに対して行います。

- 送信データ書き込み: SITDR (8、16、32ビットアクセス)
- 受信データ読み出し: SIRDAR (8、16、32ビットアクセス)

図 21.5 に送受信データと SITDR、SIRDAR のビットアライメントを示します。

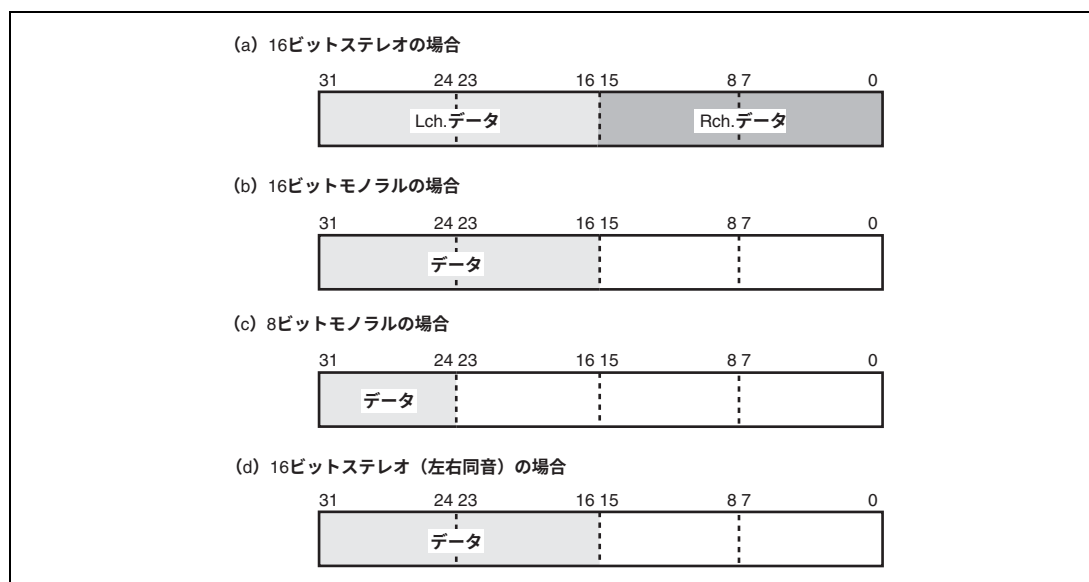


図 21.5 送受信データビットアライメント

【注】 ハッチングの部分だけが有効なデータとして送受信されます。このため、ハッチングがなかった領域のデータは送受信の対象なりません。

送信データのモノラル／ステレオの設定は、SITDAR の TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル／ステレオの設定は、SIRDAR の RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR の TLREP ビットに設定を行います。表 21.6 に送信データにおける音声モードの設定を、表 21.7 に受信データにおける音声モードの設定を示します。

表 21.6 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 21.7 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

モノラルで送受信を行う場合には、左チャンネル側を使用してください。

21.4.5 FIFO

(1) 概要

本モジュールの送信 / 受信 FIFO の特長を下記に示します。

- 送信 / 受信それぞれ32ビット×16段の容量
- アクセスサイズにかかわらず、FIFOバッファ1段分を使用します。(1段のアクセスを複数回に分割することは不可能です。)

(2) 転送要求

FIFO の転送リクエストは、下記に記すリクエストで CPU およびダイレクトメモリアクセスコントローラに出力することが可能です。

- 送信要求:TDREQ(送信FIFO転送リクエスト)
- 受信要求:RDREQ(受信FIFO転送リクエスト)

送受信 FIFO の転送リクエストを発行する条件は、それぞれ個別に設定が可能です。送信リクエストの条件は SIFCTR の TFWM2～TFWM0 ビットに設定し、また受信 FIFO の転送リクエストは RFWM2～RFWM0 ビットに設定します。表 21.8 に送信リクエスト発行条件を示し、表 21.9 に受信リクエスト発行条件を示します。

表 21.8 送信リクエスト発行条件

TFWM2～0	リクエスト段数	送信リクエスト発行	使用領域
000	1	空き領域が 16 段	小  大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 21.9 受信リクエスト発行条件

RFWM2～0	リクエスト段数	受信リクエスト発行	使用領域
000	1	有効データが 1 段以上	小  大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

FIFO の段数は 16 段です。有効データ領域もしくは空き領域が 16 段を超えた場合は、オーバーフローエラーもしくはアンダフローエラーを発行します。

また、転送リクエストは FIFO がエンプティ状態もしくはフル状態にならなくても、上記条件を満たさなくなった時点で解除します。

(3) 段数表示

送信／受信 FIFO の使用状況を、下記に示す内容でレジスタに表示します。

- 送信FIFO:SIFCTRのTFUA4～TFUA0ビットに空き領域の段数を表示
- 受信FIFO:SIFCTRのRFUA4～RFUA0ビットに有効データの段数を表示

上記内容は、CPU もしくはダイレクトメモリアクセスコントローラが転送可能なデータ数を表します。

21.4.6 送受信手順

(1) マスタ設定時の送信手順

図 21.6 に本モジュールがマスタ時の送信設定例および動作を示します。

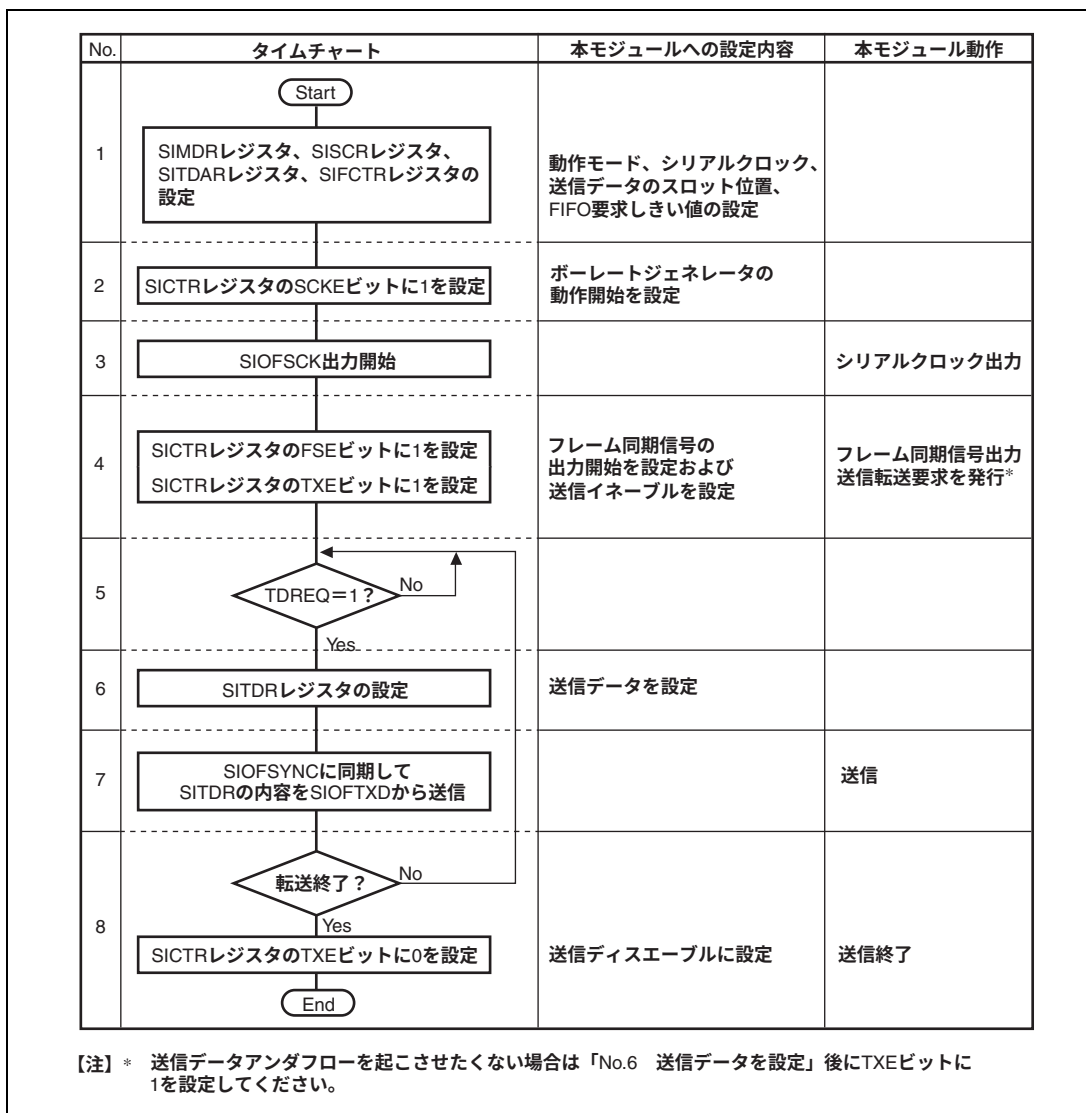


図 21.6 マスタ時送信動作例

(2) マスタ設定時の受信手順

図 21.7 に本モジュールがマスタ時の受信設定例および動作を示します。

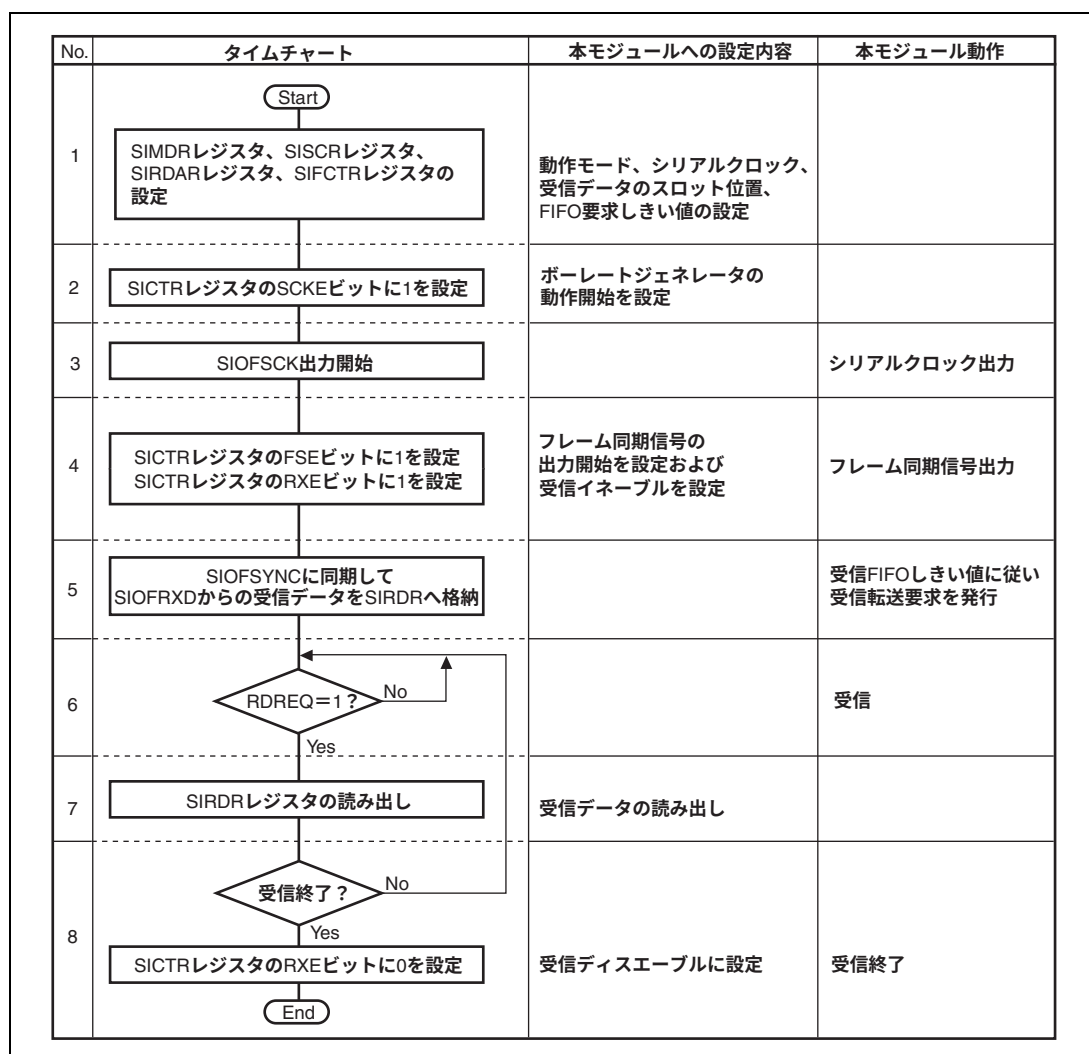


図 21.7 マスタ時受信動作例

(3) スレープ時送信

図 21.8 に本モジュールがスレープ時の送信設定例および動作を示します。

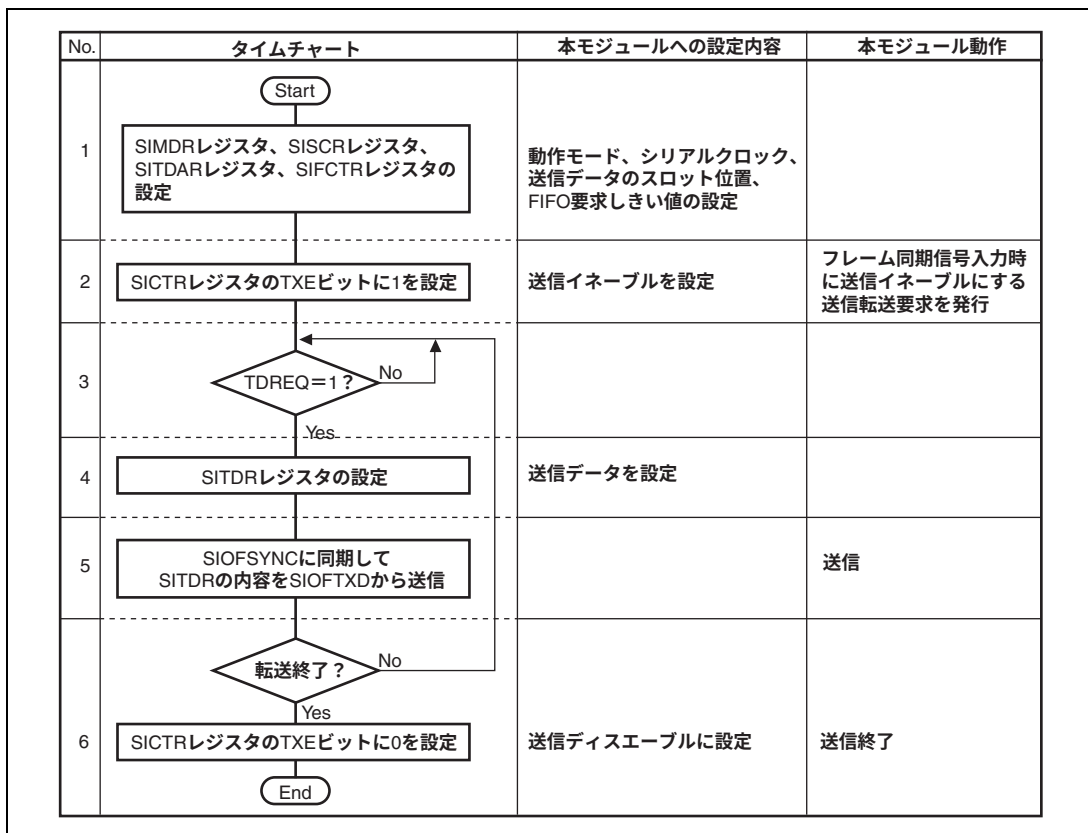


図 21.8 スレープ時送信動作例

(4) スレープ時受信

図 21.9 に本モジュールがスレープ時の受信設定例および動作を示します。

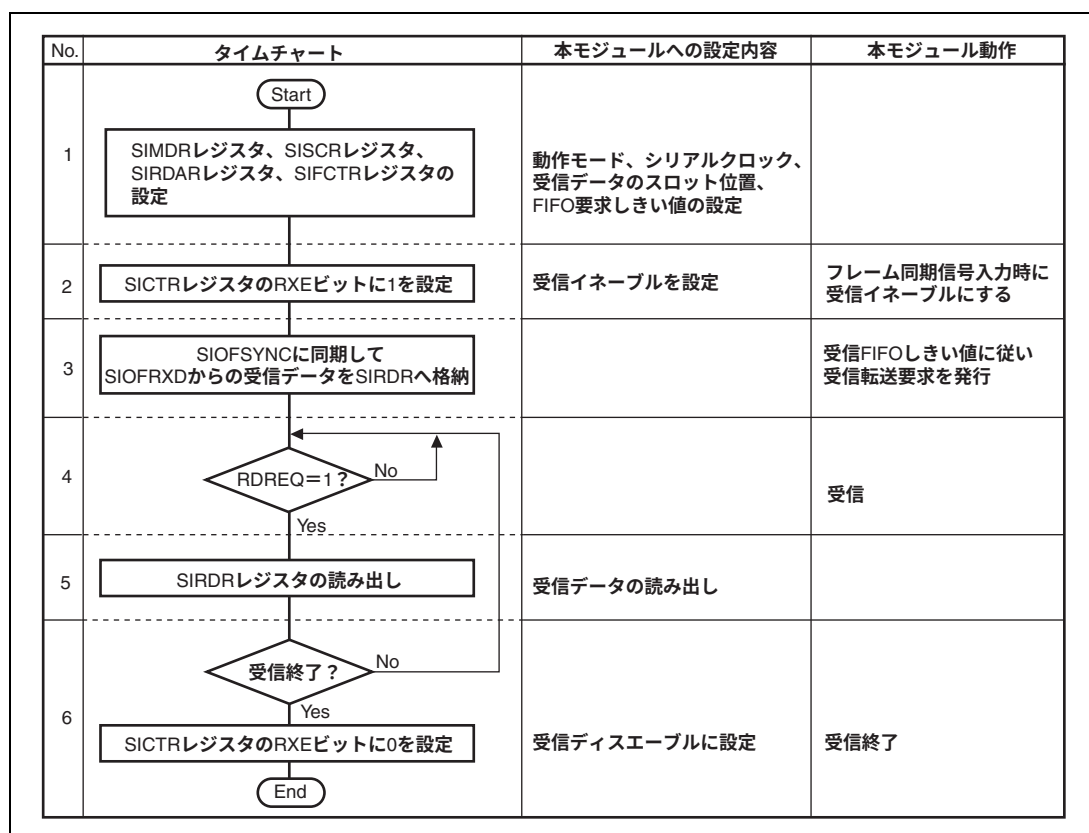


図 21.9 スレープ時受信動作例

(5) 送受信リセット

本モジュールは、下記のビットに 1 をセットすることで、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット:(SICTRのTXRSTビット)
- 受信リセット:(SICTRのRXRSTビット)

表 21.10 に送信 / 受信リセットで初期化される内容を示します。

表 21.10 送信 / 受信リセット

種類	初期化対象
送信リセット	SITDR 送信 FIFO の有効データ SISTR の TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	SIRDR 受信 FIFO の有効データ SISTR の RFFUL ビット、RDREQ ビット SICTR の RXE ビット

21.4.7 割り込み

本モジュールは、1 種類の割り込みを持っています。

(1) 割り込みリクエスト

割り込みは、それぞれ複数のリクエストによって発行することができます。各リクエストは、SISTR に本モジュールのステータスとして表示します。表 21.11 に割り込みリクエストの一覧を示します。

表 21.11 割り込みリクエスト

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送リクエスト	送信 FIFO に設定値以上のデータが格納された
2		TFEMP	送信 FIFO エンプティ	送信 FIFO がエンプティ状態である
3	受信	RDREQ	受信 FIFO 転送リクエスト	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO がフル状態である
5	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO がエンプティ状態にシリアルデータ送出タイミングが来た
6		TFOVF	送信 FIFO オーバフロー	送信 FIFO がフル状態時に送信 FIFO に書き込みを行った
7		RFOVF	受信 FIFO オーバフロー	受信 FIFO がフル状態時にシリアルデータを受信した
8		RFUDF	受信 FIFO アンダフロー	受信 FIFO がエンプティ状態時に受信 FIFO 読み出しを行った
9		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレーブ時)

割り込みリクエストによって割り込みを発行するか否かは、SIHER の設定により決定します。本モジュールの割り込み発行は、SIHER の対応するビットが許可されている状態で、かつそれらに対応する割り込みリクエストが発行された場合に起こります。

(2) 送受信区分について

送信区分のリクエスト、受信区分のリクエストは状態を表す信号であり、いったん 1 にセットされてもその後送信／受信 FIFO の状態が変化すると本モジュールが自動的に 0 にクリアします。

ただし、DMA 転送を用いた場合には、ダイレクトメモリアクセスコントローラアクセスによって必ず 0 にクリアされます。ダイレクトメモリアクセスコントローラアクセス後も設定条件が満たされている場合には、再び 1 にセットされます。

(3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、本モジュールは下記に示す動作を行います。

- 送信FIFOアンダフロー(TFUDF)
直前の送信データを再び送信します。
- 送信FIFOオーバーフロー(TFOVF)
送信FIFOの内容は保護され、オーバーフローとなった書き込みは無視します。
- 受信FIFOオーバーフロー(RFOVF)
オーバーフローとなったデータが廃棄され、消失します。
- 受信FIFOアンダフロー(RFUDF)
不定値が読み出されます。
- FSエラー(FSERR)
エラーとなった同期信号に従って、内部カウンタはリセットされます。

21.4.8 送受信タイミング

本モジュールのシリアル送受信の例を図 21.10～図 21.15 に示します。

(1) 8ビットモノラルの場合 (その1)

立ち下がりがサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

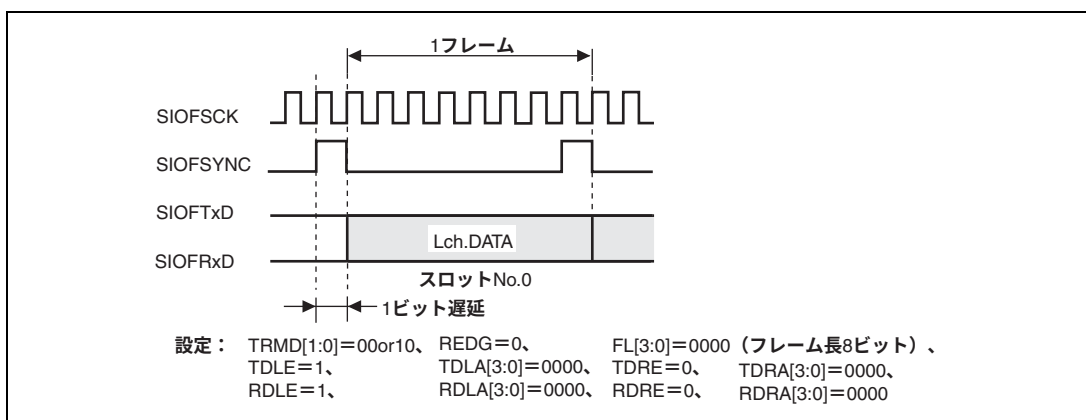


図 21.10 送受信タイミング (8ビットモノラル - 1)

(2) 8 ビットモノラルの場合 (その2)

立ち下がりがサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

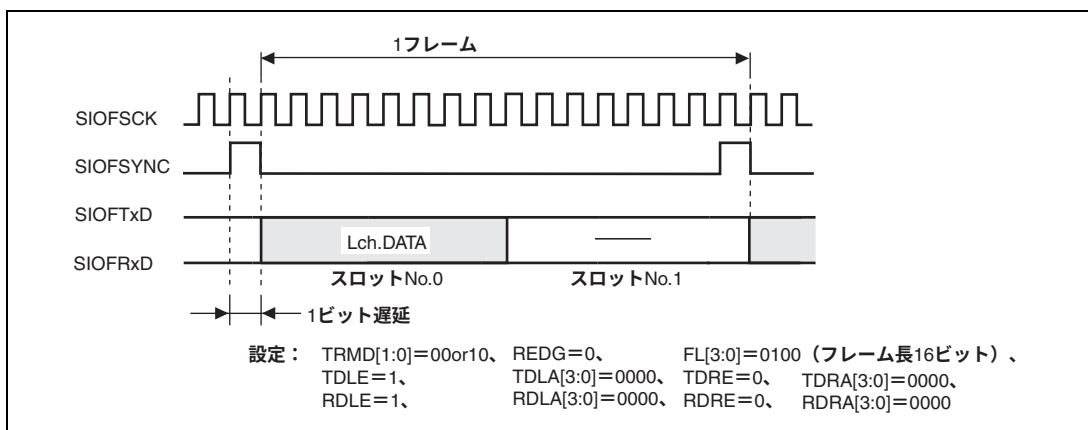


図 21.11 送受信タイミング (8 ビットモノラル - 2)

(3) 16 ビットモノラルの場合

立ち下がりがサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

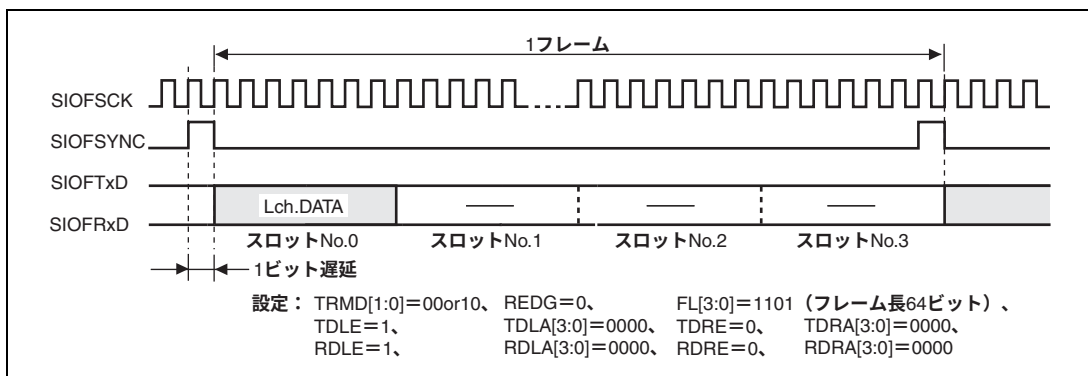


図 21.12 送受信タイミング (16 ビットモノラル)

(4) 16 ビットステレオの場合 (その1)

立ち下がりがサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、フレーム長は 128 ビット

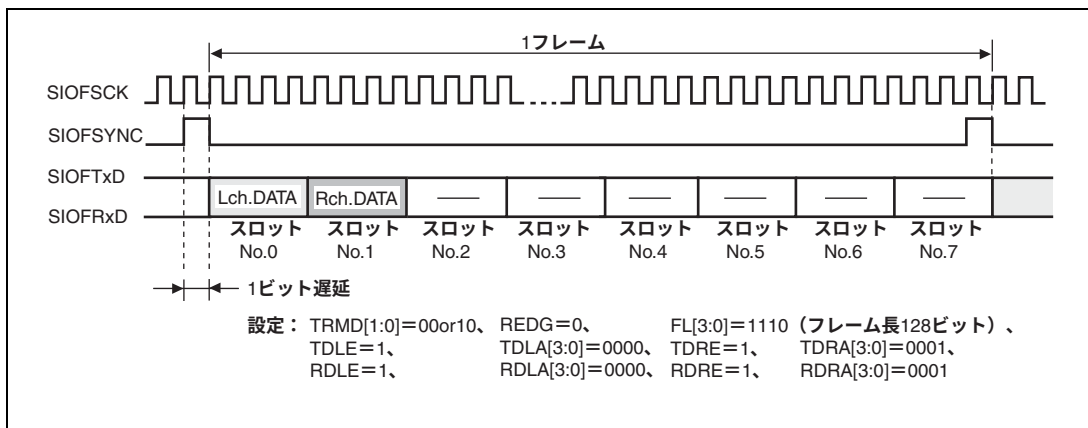


図 21.13 送受信タイミング (16 ビットステレオ - 1)

(5) 16 ビットステレオの場合 (その2)

立ち下がりがサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.2、フレーム長は 128 ビット

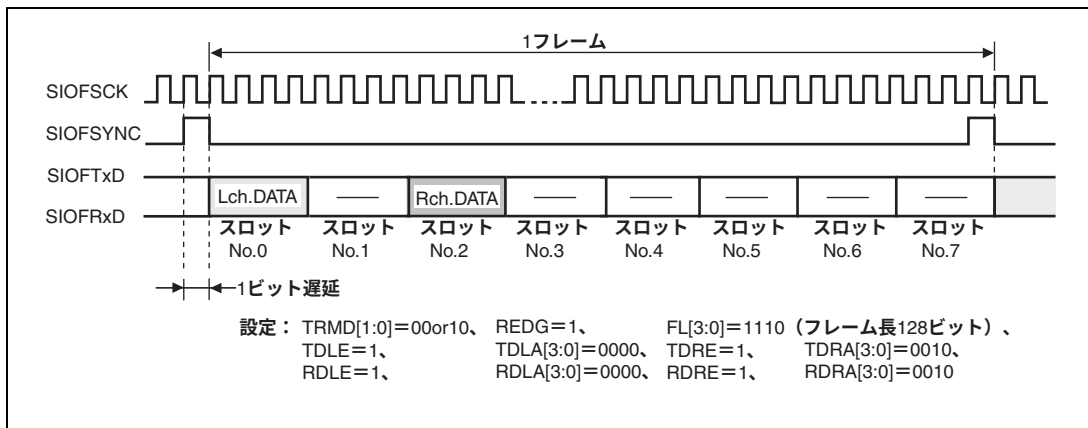


図 21.14 送受信タイミング (16 ビットステレオ - 2)

(6) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCAT ビットが 1 のとき)

立ち下がりがサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、フレーム長は 128 ビット

本モードでは、スロット No.0 に必ず有効データを設定してください。また、有効データは必ず送受信または送信設定にしてください。

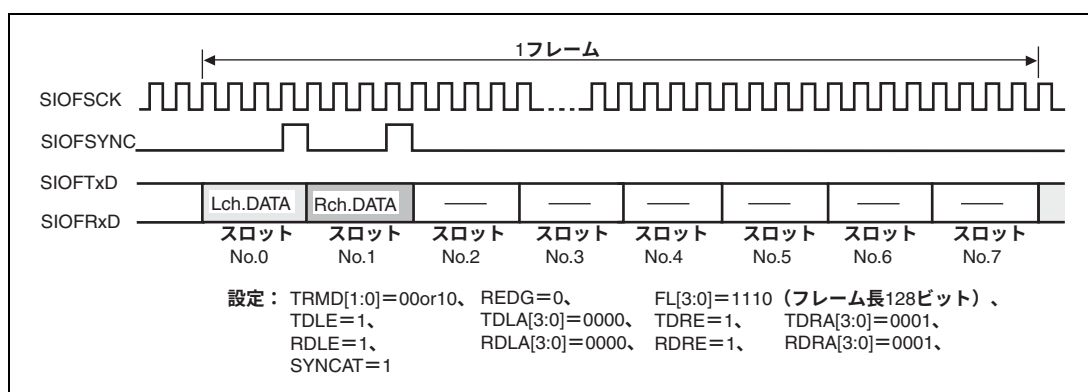


図 21.15 送受信タイミング (16 ビットステレオ)

22. コントローラエリアネットワーク

コントローラエリアネットワーク（Renesas CAN Time Trigger Level 1）は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN（Controller Area Network）を制御するためのモジュールです。

本章はプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-11898-1, 2003)
5. Road vehicles - Controller area network (CAN): Part 4: Time triggered communication (ISO-11898-4, 2004)

22.1 特長

22.1.1 特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 32個のメールボックス
- クロック周波数：最大36MHz
- プログラム可能な31個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク（スタンダードIDおよびエクステンデッドID）
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵（リスンオンリモード、エラーパッシブモード）
- 16ビットのフリーランニングタイマ（多様なクロックソース、プリスケアラ、3個のタイマコンペアマッチレジスタ）

- タイムトリガ送信用の6ビットサイクルカウンタ (Basic Cycle)
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
- タイムトリガ用レジスタ : Local_Time、Cycle_time、Ref_Mark、Tx_Enable_Window、Ref_Trigger_Offset
- SOFでのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート
- イベントトリガ送信に加え、タイムトリガ送信および定周期送信もサポート
- サイクルカウンタ (Basic Cycle) をCANフレームに組み込んで送信可能

22.1.2 本マイコンにおける特長

- 32メールボックス×2チャンネル搭載
- 2チャンネルは汎用入出力ポートの設定により、次の接続による使用が可能
 - 32メールボックス×2チャンネル
 - 64メールボックス*×1チャンネル
- チャンネル0、1ともにメールボックス0の受信メッセージによりダイレクトメモリアクセスコントローラ起動可能
- CRxn (PC5、PC7、PJ11、PJ13) 端子の変化でディープスタンバイモードを解除可能
詳細は「第32章 低消費電力モード」参照

【注】 * 64 メールボックス構成においては使用上の注意事項があります。「22.12 使用上の注意事項」を参照してください。

22.2 構成

22.2.1 ブロック図

本モジュールは、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。本モジュールは機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、タイマ、および CAN インタフェースの 5 種類のブロックからなります。

図 22.1 にブロック図を示します。

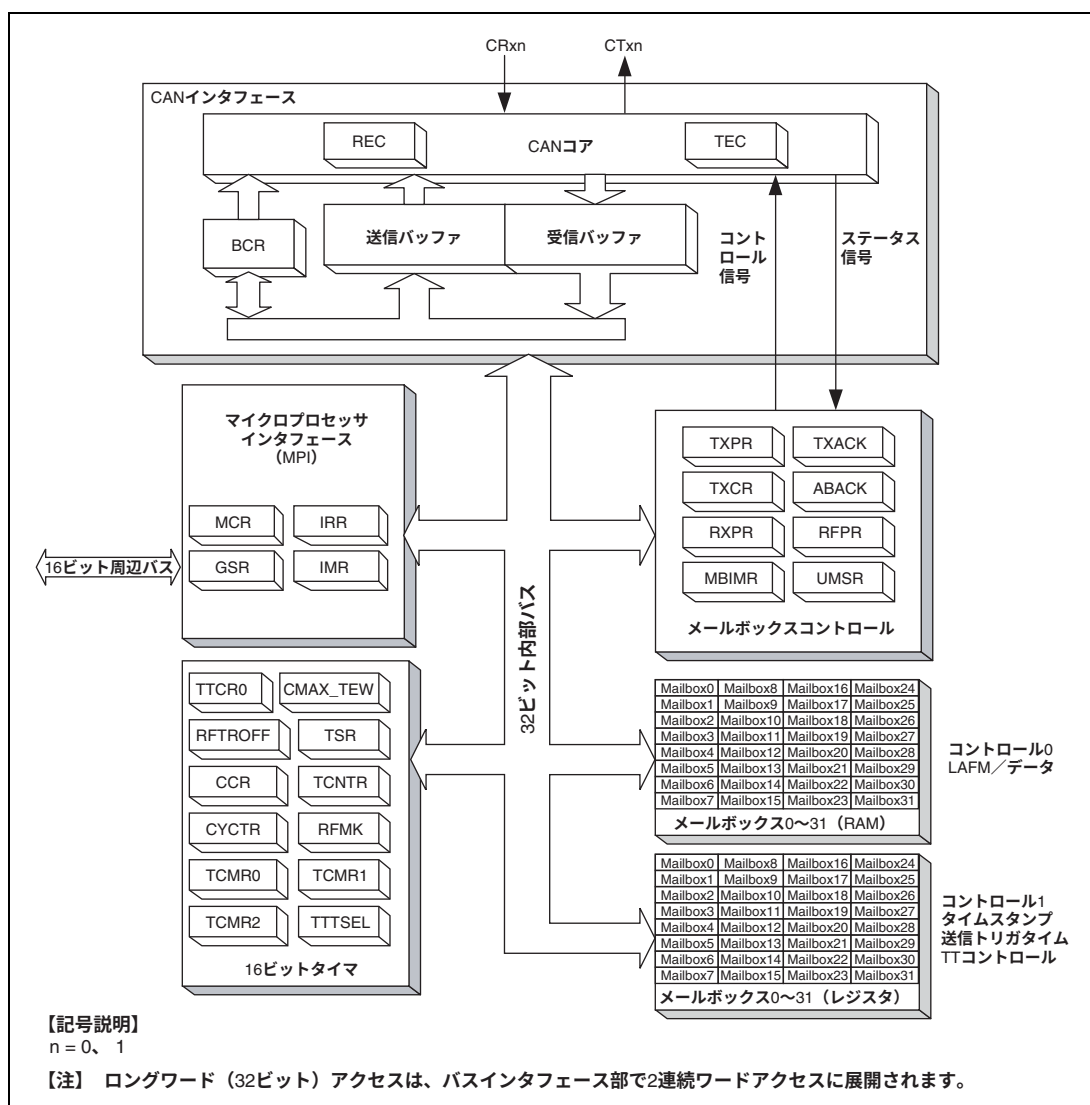


図 22.1 ブロック図 (1 チャンネルあたり)

22.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と本モジュールのレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自体や本モジュールの他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、本モジュールは自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。
RAM とレジスタ内には、それぞれ 32 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- メッセージ送信/受信用タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット
- 送信トリガタイム

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するための RAM アドレスとデータを生成し、対応するレジスタをセット/クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。タイムトリガ送信の場合は、送信トリガタイムのコンペアマッチでメッセージをロードします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16 ビットのフリーランニングアップカウンタで、CPU で制御することができます。ローカルタイムと比較する 16 ビットのコンペアマッチレジスタが 1 個と、サイクルタイムと比較するコンペアマッチレジスタが 2 個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CAN バスの 1 ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには、TCNTR、TTCR0、CMAX_TEW、RFTROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、および TTTSEL があります。

(5) CAN インタフェース

本ブロックは参考文献[2]と[4]の CAN バスデータリンクコントローラ仕様をサポートしています。これは OSI モデルで規定されるデータリンクコントローラの全機能を満足します。また、CAN バスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CAN データリンクコントローラの送受信を格納する機能もあります。

22.2.3 端子構成

表 22.1 に端子構成を示します。

表 22.1 端子構成

名称	端子名	入出力	機能
送信データ端子	CTxn	出力	CAN バス送信用端子です。
受信データ端子	CRxn	入力	CAN バス受信用端子です。

【注】 n=0、1

22.2.4 メモリマップ

図 22.2 にメモリマップを示します。

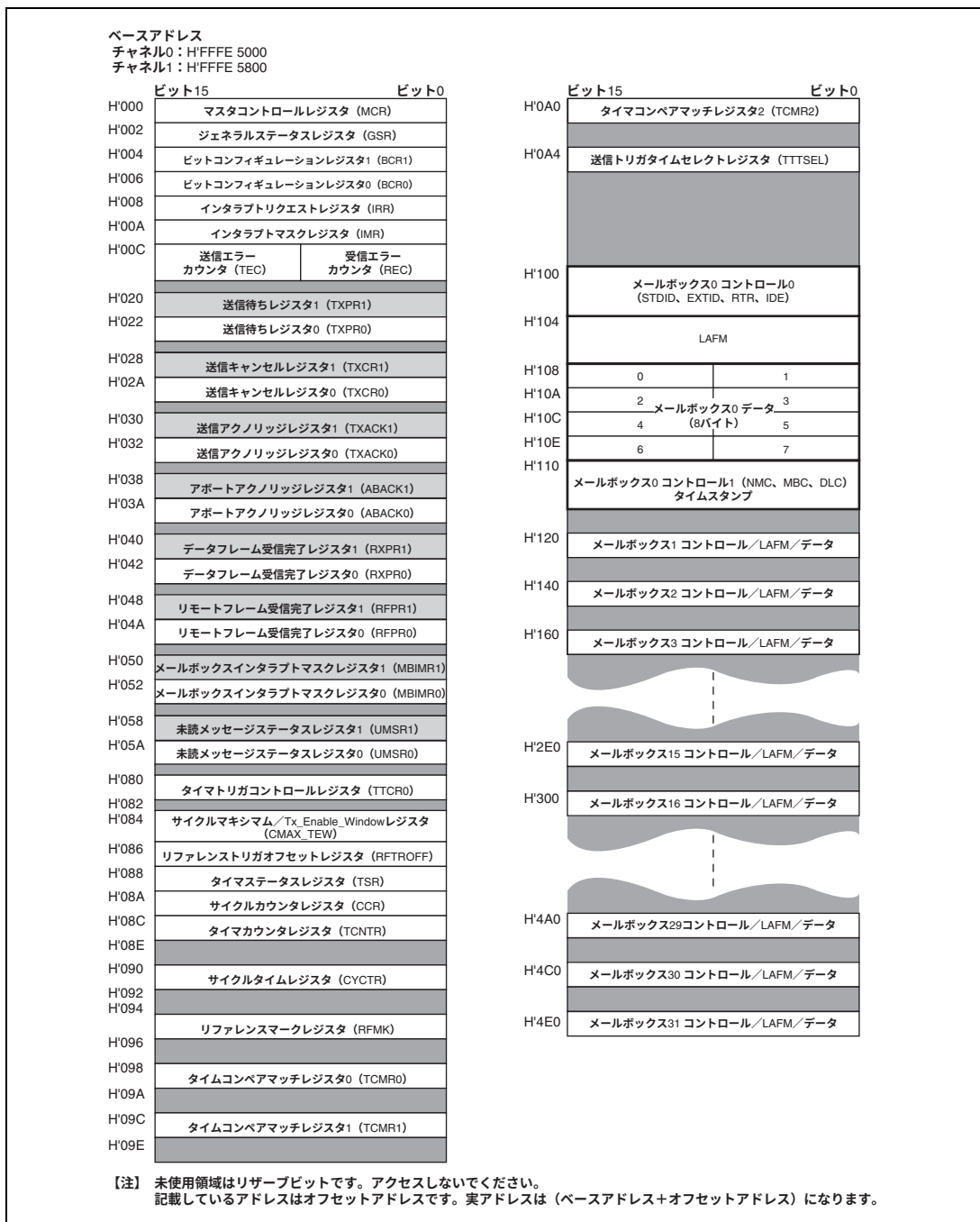


図 22.2 メモリマップ (1 チャンネルあたり)

22.3 メールボックス

22.3.1 メールボックスの構成

メールボックスはCAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク（LAFM）、メッセージデータの3つの格納フィールドからなります。さらに、タイムスタンプ、タイムトリガコンフィギュレーション、およびタイムトリガコントロールのフィールドを持つメールボックスもあります。

表 22.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータ、タイムスタンプ、送信トリガタイム、およびタイムトリガコントロールのアドレスマップを示します。

表 22.2 各メールボックスのアドレスマップ（1 チャンネルあたり）

メール ボックス	アドレス						
	コントロール 0	LAFM	データ	コントロール 1	タイム スタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
0（受信のみ）	100–103	104–107	108–10F	110–111	112–113	—	—
1	120–123	124–127	128–12F	130–131	132–133	—	—
2	140–143	144–147	148–14F	150–151	152–153	—	—
3	160–163	164–167	168–16F	170–171	172–173	—	—
4	180–183	184–187	188–18F	190–191	192–193	—	—
5	1A0–1A3	1A4–1A7	1A8–1AF	1B0–1B1	1B2–1B3	—	—
6	1C0–1C3	1C4–1C7	1C8–1CF	1D0–1D1	1D2–1D3	—	—
7	1E0–1E3	1E4–1E7	1E8–1EF	1F0–1F1	1F2–1F3	—	—
8	200–203	204–207	208–20F	210–211	212–213	—	—
9	220–223	224–227	228–22F	230–231	232–233	—	—
10	240–243	244–247	248–24F	250–251	252–253	—	—
11	260–263	264–267	268–26F	270–271	272–273	—	—
12	280–283	284–287	288–28F	290–291	292–293	—	—
13	2A0–2A3	2A4–2A7	2A8–2AF	2B0–2B1	2B2–2B3	—	—
14	2C0–2C3	2C4–2C7	2C8–2CF	2D0–2D1	2D2–2D3	—	—
15	2E0–2E3	2E4–2E7	2E8–2EF	2F0–2F1	2F2–2F3	—	—
16	300–303	304–307	308–30F	310–311	—	—	—
17	320–323	324–327	328–32F	330–331	—	—	—
18	340–343	344–347	348–34F	350–351	—	—	—
19	360–363	364–367	368–36F	370–371	—	—	—
20	380–383	384–387	388–38F	390–391	—	—	—
21	3A0–3A3	3A4–3A7	3A8–3AF	3B0–3B1	—	—	—
22	3C0–3C3	3C4–3C7	3C8–3CF	3D0–3D1	—	—	—

メール ボックス	アドレス						
	コントロール 0	LAFM	データ	コントロール 1	タイム スタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
23	3E0-3E3	3E4-3E7	3E8-3EF	3F0-3F1	—	—	—
24	400-403	404-407	408-40F	410-411	—	414-415	416-417
25	420-423	424-427	428-42F	430-431	—	434-435	436-437
26	440-443	444-447	448-44F	450-451	—	454-455	456-457
27	460-463	464-467	468-46F	470-471	—	474-475	476-477
28	480-483	484-487	488-48F	490-491	—	494-495	496-497
29	4A0-4A3	4A4-4A7	4A8-4AF	4B0-4B1	—	4B4-4B5	4B6-4B7
30	4C0-4C3	4C4-4C7	4C8-4CF	4D0-4D1	4D2-4D3 (ローカル タイム)	4D4-4D5	—
31	4E0-4E3	4E4-4E7	4E8-4EF	4F0-4F1	4F2-4F3 (ローカル タイム)	—	—

メールボックス 0 は受信専用です。他のすべてのメールボックスは、メッセージコントロールの MBC（メールボックス構成）ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 22.3～図 22.5 に示します。

表 22.3 メールボックスの役割

	イベントトリガ		タイムトリガ		備考	
	送信	受信	送信	受信	タイムスタンプ レジスタ	送信トリガ タイム レジスタ
MB31	設定可	設定可	—	タイムリファレンス 受信	有	—
MB30	設定可	設定可	タイムマスタモード時 タイムリファレンス送信	タイムスレーブ モード時受信	有	有
MB29～MB24	設定可	設定可	設定可	設定可	—	有
MB23～MB16	設定可	設定可	— (ET)	設定可	—	—
MB15～MB1	設定可	設定可	— (ET)	設定可	有	—
MB0	—	設定可	—	設定可	有	—

【注】 ET：タイムトリガモード時のマージドアービトレーティングウィンドウ内で送信動作可能です。

・ MB0 (タイムスタンプ付き受信メールボックス)

アドレス	データバス															アクセスサイズ	フィールド名	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]															16		
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ		
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16			
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32			
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16			
H*110+N*32	0	0	NMC	0	0	MBC[2:0]*		0	0	0	0	DLC[3:0]			8/16	コントロール1		
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)															16	タイムスタンプ	

・ MB15~1 (タイムスタンプ付きメールボックス)

アドレス	データバス															アクセスサイズ	フィールド名	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]															16		
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ		
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16			
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32			
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16			
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1		
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)															16	タイムスタンプ	

【注】 * MBC[1]=1固定

1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。

2. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。

3. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 22.3 メールボックス (0~15) の構成

・ MB30 (タイムトリガモード時タイムリファレンス送信)																			
アドレス	データベース																アクセスサイズ	フィールド名	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
H'100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]			16/32	コントロール0	
H'102+N*32	EXTID[15:0]																16		
H'104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]			16/32	LAFM
H'106+N*32	EXTID_LAFM[15:0]																16		
H'108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ	
H'10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16		
H'10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32		
H'10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16		
H'110+N*32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			8/16	コントロール1		
H'112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)																16	タイムスタンプ	
H'114+N*32	タイムリファレンスとしての送信トリガタイム (TTT)																16	トリガタイム	

・ MB31 (タイムトリガモード時タイムリファレンス受信)																			
アドレス	データベース																アクセスサイズ	フィールド名	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
H'100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]			16/32	コントロール0	
H'102+N*32	EXTID[15:0]																16		
H'104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]			16/32	LAFM
H'106+N*32	EXTID_LAFM[15:0]																16		
H'108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ	
H'10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16		
H'10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32		
H'10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16		
H'110+N*32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			8/16	コントロール1		
H'112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)																16	タイムスタンプ	

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 22.5 メールボックス (30、31) の構成

22.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説 明
MB[x]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0 : スタンダードフォーマット 1 : エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き換えます。 【重要】MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレーム受信割り込み) ビットによって通知されますが、本モジュールは現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】MBC=B'001 で ATX=1 を設定し、リモートフレームを受信したメールボックスは自動的に送信設定されます。そのときデータフレームが送信されるように、RTR は 0 に設定しなければなりません。 0 : データフレーム 1 : リモートフレーム
		13	—	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1、0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[x]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

• メールボックス0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC[1]の値は常に1です。

• メールボックス1～31

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説 明
MB[x]. CONTROL1	H'110+N*32	15, 14	—	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
		13	NMC	ニューメッセージコントロール このビットが0にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し UMSR の対応するビットをセットします。 このビットが1にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージをオーバーライトし、UMSR の対応するビットをセットします。 【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは（USMR と一緒に）同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。 【重要】 タイムトリガモード使用時には、メールボックス 31 の NMC を必ず1にセットし、RXPR[31]がクリアされなくてもすべてのリファレンスメッセージを受信できるようにしてください。 0: オーバランモード 1: オーバライトモード

レジスタ名	アドレス	ビット	ビット名	説 明
MB[x]. CONTROL1	H'110+N*32	12	ATX	データフレーム自動送信 本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLC が格納され、TXPR は自動的にセットされます。同じメールボックスから書き換えられた DLC を使用し、自動的にデータフレームが送信されます。 自動送信設定されたメールボックスは、メッセージ送信プライオリティビット（MCR2）の設定に従って、ID 優先順位あるいはメールボックス優先順位にスケジューリングされます。本機能を使用するには MBC[2:0]を B'001 に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード（DLC）は受信されたものが使用されます。これを適用するには、リモートフレームの DLC は要求されているデータフレームの DLC に対応したものであることが必要です。 【重要】1. ATX が使用され、MBC が B'001 のとき、リモートフレームの ID は、応答メッセージの場合と同じく、データフレームの ID と完全に同じでなくてはならないため、IDE ビットのフィルタは使用できません。 2. 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTR ビットはセットされません。リモートフレームを受信すると CPU はセット済み RFPR によって通知されますが、本モジュールは現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変更されません。 3. リモートフレームの自動送信が開始されないこともあります。オーバランの状態（NMC=0 のときの UMSR セット）に注意してください。 4. ATX=1 に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。 0：データフレームの自動送信無効 1：データフレームの自動送信有効 【注】本ビットはメールボックス 1～31 にのみあります。メールボックス 0 ではリザーブビットとなります。
		11	DART	自動再送信無効 このビットが1にセットされると、CAN バスエラーのイベントが発生した場合や、CAN バスのアービトレーションで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応する TXCR ビットが送信の最初に自動的にセットされます。このビットが0にセットされると、本モジュールは、TXCR で送信リクエストをキャンセルされるか、送信が正常終了されるまで送信をリクエストします。 0：再送信有効 1：再送信無効 【注】本ビットはメールボックス 1～31 にのみあります。メールボックス 0 ではリザーブビットとなります。

レジスタ名	アドレス	ビット	ビット名	説 明
MB[x]. CONTROL1	H'110+N*32	10~8	MBC[2:0]	メールボックスコンフィギュレーション これらのビットは各メールボックスの機能を表 22.4 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。 MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC の値を B'000 とそれ以外に設定すれば、LAFM フィールドは使用可能となります。 MBC が受信に設定されているとき、TXPR はセットしないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1]は受信専用のため、ハードウェアによって 1 に固定されています。
		7~4	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
		3~0	DLC[3:0]	データ長コード データフレームで送信されるデータのバイト数 (0~8) をエンコードします。 0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト 【注】 x : Don't care

表 22.4 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明
0	0	0	可	可	不可	不可	• メールボックス 0 は使用不可能 • タイムトリガ送信は使用可能
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は使用不可能 • LAFM は使用可能
0	1	0	不可	不可	可	可	• メールボックス 0 は使用可能 • LAFM は使用可能
0	1	1	不可	不可	可	不可	• メールボックス 0 は使用可能 • LAFM は使用可能
1	0	0	設定禁止				
1	0	1	設定禁止				
1	1	0	設定禁止				
1	1	1	メールボックスインアクティブ（初期値）				

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

22.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 22.6 に示すとおり、2 つの 16 ビットの読み出し/書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[0].LAFMH	H'104+N*32	IDE LAFM	0	0	STDID_LAFM[10:0]											EXTID LAFM[17:16]		16/32	LAFM
MB[0].LAFML	H'106+N*32	EXTID_LAFM[15:0]																16	

図 22.6 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、本モジュールが一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. 本モジュールは、メールボックス 31 からメールボックス 0 まで、一致する ID の検索を行います。本モジュールは一致する ID を検知すると、そのメッセージは NMC や RXPR/RFPR フラグによらず、ただちに検索を終了します。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なることがあります。

レジスタ名	アドレス	ビット	ビット名	説 明
MB[x]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14, 13	—	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[x]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

22.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

- タイムトリガ送信時の注意事項

メールボックス 30 は、CMAX≠B'111、MBC[30]=B'000 で TXPR[30]を 1 に設定すると、タイムリファレンス送信用に設定できます。この際、必ず DLC には 0 より大きい値を設定し、RTR は 0 に設定してください(TTCAN Level 1 にて規定)。メールボックス 30 の送信開始時に、データフィールドの先頭バイトの MSG_DATA_0[5:0]にサイクルカウンタ値 (CCR) が埋め込まれてメッセージを送信します。

MSG DATA 0[7:6]は、メールボックスに格納された値が送信されます。

Next is Gapを送信する必要がある場合は、ユーザはMSG DATA 0[7]を1に設定することで送信できます。

このとき、CCR の値は送信されるフレームに入りますが、メールボックス 30 のメッセージデータフィールドには格納されませんのでご注意ください。

メールボックス 31 は、CMAX≠B'111、MBC[31]=B'011 で設定するとタイムリファレンス受信に設定されます。有効なリファレンスメッセージを受信すると（ID 一致、DLC>0）、本モジュールは RFMK およびサイクルカウンタ（CCR）を書き換えることにより、Cycle Time と Basic Cycle を同期化します。

MB30、31																		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'108+N*32	Next_is_Gap/Cycle_Counter (最初のRx/Txバイト)								MSG_DATA_1							8/16/32ビット		データ
H'10A+N*32	MSG_DATA_2								MSG_DATA_3							8/16ビット		
H'10C+N*32	MSG_DATA_4								MSG_DATA_5							8/16/32ビット		
H'10E+N*32	MSG_DATA_6								MSG_DATA_7							8/16ビット		

図 22.7 メッセージデータフィールド

22.3.5 タイムスタンプ

送信／受信メッセージに記録されたタイムスタンプを格納します。タイムスタンプは、メッセージがスケジュールどおりに送信／受信されたかどうかモニタするのに役立ちます。

• タイムスタンプ

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(1) メッセージ受信

メールボックス0～15の受信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0

(TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の受信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

(2) メッセージ送信

メールボックス1～15の送信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0

(TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の送信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

【重要】 タイムスタンプはテンポラリレジスタに格納されます。送信または受信が正常に行われると、その値がメールボックスのフィールドにコピーされます。また、オーバーランによって UMSR[N]がセットされると同時に CPU が RXPR[N]/RFPR[N]をクリアしたとき、タイムスタンプのみが更新されることがあります。したがって、RXPR[N]/RFPR[N]がクリアされる前の正しいタイムスタンプ値をリードすることができます。

22.3.6 送信トリガタイム (TTT) とタイムトリガコントロール

メールボックス 24～29 では、タイムトリガモード (C_{MAX}≠B'111) で MBC を B'000 に設定すると、送信トリガタイムはタイムウィンドウ間の境界を決定するための Time_Mark として機能します。

送信トリガタイム (TTT) とタイムトリガコントロール (TT コントロール) は、以下に示す 2 つの 16 ビットリード/ライトレジスタで構成されています。

メールボックス 30 にはタイムトリガコントロール (TT コントロール) がなく、Time_Ref として機能します。

メールボックス 24～30 をタイムトリガモード送信に使用しない場合は、受信用メールボックスとして使用することができます。ただし、タイムトリガモードを使用する場合は、イベントトリガ送信の対象にはなりません。

• 送信トリガタイム (TTT)

送信トリガタイム (TTT) は、サイクルタイム内でメッセージの送信を開始する時間を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• タイムトリガコントロール (TTコントロール)

タイムトリガコントロール (TT コントロール) は、ウィンドウの属性、送信を開始するシステムマトリックス内のサイクルカウント (Basic Cycle) および定周期送信の頻度を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTW[1:0]		Offset[5:0]					0	0	0	0	0	0	rep_factor[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W

タイムトリガモードをサポートするすべてのメールボックス間の相違点を図 22.8 に示します。

MB29～24																	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
H'114+N*32	送信トリガタイム (サイクルタイム)														16ビット	トリガタイム	
H'116+N*32	TTW[1:0]		Offset[5:0]					0	0	0	0	0	rep_factor[2:0]		16ビット	TTコントロール	
MB30																	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
H'114+N*32	送信トリガタイム (サイクルタイム)														16ビット	トリガタイム	

図 22.8 送信トリガコントロールフィールド

• TTW[1:0] (タイムトリガウィンドウ)

タイムウィンドウの属性を示します。TTW=B'10 設定でスタートしたマージドアービトレーティングウィンドウ (Merged Arbitrating Window) は、必ず TTW=B'11 設定によって終了してください。マージドアービトレーティングウィンドウの先頭から最後まで間に TTW=B'10 設定のメッセージを数個使用することができます。

TTW[1]	TTW[0]	説 明
0	0	エクスクルーシブウィンドウ : exclusive window (初期値)
0	1	アービトレーティングウィンドウ : arbitrating window
1	0	マージドアービトレーティングウィンドウの開始 : Start of Merged arbitrating window
1	1	マージドアービトレーティングウィンドウの終了 : End of Merged arbitrating window

TTT レジスタの値が CYCTR の値と一致し、Offset の値が CCR の値と一致すると、対応するメールボックスから送信を試みます。この機能を有効にするには、CMAX≠B'111 に設定し、タイマ (TCNTR) を動作させ (TTCR0 のビット 15 が 1)、対応するメールボックスの MBC=B'000 に設定し、対応する TXPR のビットを 1 に設定してください。TXPR のビットをソフトウェアでセットした後は、定周期送信を続けるために、本モジュールはその TXPR のビット (メールボックス 24~30) をクリアしません。

定周期送信を停止するには、TXCR で TXPR をクリアしてください。この場合、送信完了直後に TXACK をクリアしないと、同じメールボックスの TXACK と ABACK の両方がセットされる可能性があります (図 22.9 参照)。

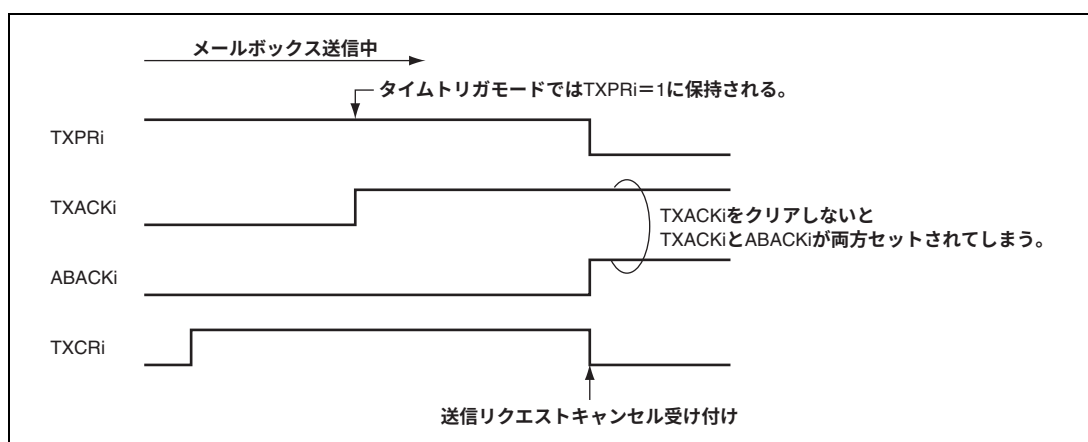


図 22.9 タイムトリガ送信時の TXACK と ABACK

なお、メールボックス 30 では $TTW=B'01$ 、 $Offset=B'000000$ 、 $rep\_factor=B'000$ に固定です。以下の表に rep_factor と $Offset$ の組み合わせを示します。

rep_factor	説 明
B'000	サイクルカウントごと（初期値）
B'001	2 サイクルカウントごと
B'010	4 サイクルカウントごと
B'011	8 サイクルカウントごと
B'100	16 サイクルカウントごと
B'101	32 サイクルカウントごと
B'110	64 サイクルカウントごと（システムマトリックスごとに 1 回）
B'111	リザーブ

$Offset$ フィールドは、タイムトリガメールボックスがメッセージの送信を開始できる最初のサイクルカウンタ値を決定します。

Offset	説 明
B'000000	オフセット（Offset）＝最初のサイクルカウント（初期値）
B'000001	オフセット（Offset）＝2 番目のサイクルカウント
B'000010	オフセット（Offset）＝3 番目のサイクルカウント
B'000011	オフセット（Offset）＝4 番目のサイクルカウント
B'000100	オフセット（Offset）＝5 番目のサイクルカウント
...	...
B'111110	オフセット（Offset）＝63 番目のサイクルカウント
B'111111	オフセット（Offset）＝64 番目のサイクルカウント

以下の関係を満たさなければなりません。

$$Cycle\_Count\_Maximum + 1 \geq Repeat\_Factor > Offset$$

$$Cycle\_Count\_Maximum = 2^{C_{MAX}} - 1$$

$$Repeat\_Factor = 2^{rep\_factor}$$

CMAX、Repeat_Factor、および Offset はレジスタ値です。

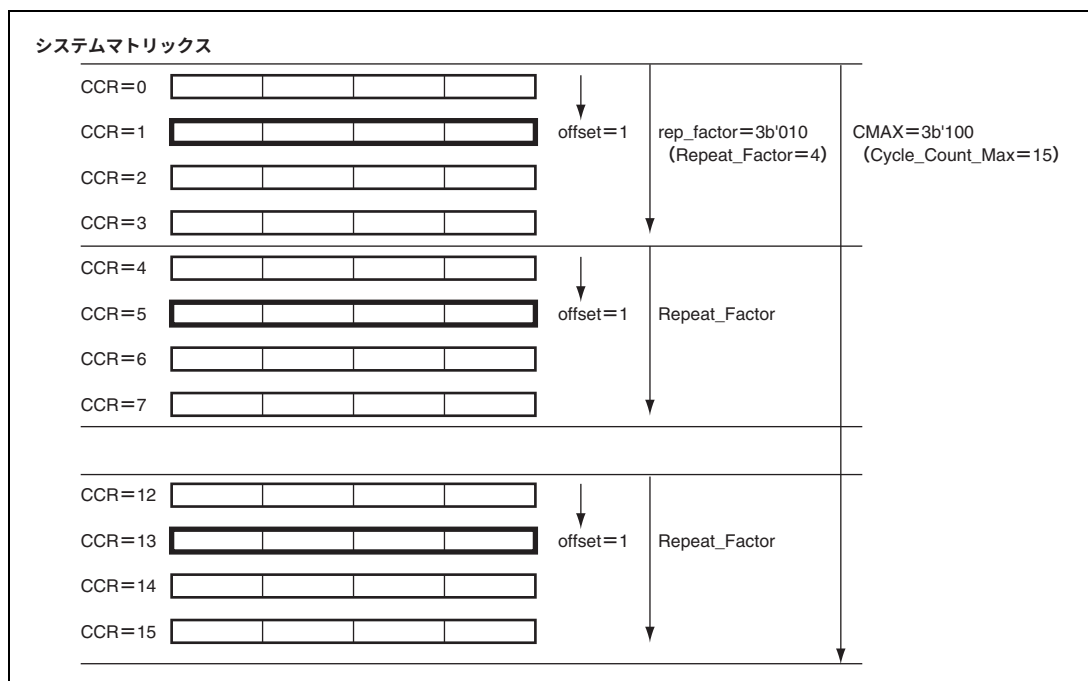


図 22.10 システムマトリックス

送信トリガタイムは昇順に設定してください。送信トリガタイム間の差は、 $TTT(\text{メールボックス } i) - TTT(\text{メールボックス } i-1) > TEW + \text{最大フレーム長} + 9$ を満たすように設定してください。

22.4 コントロールレジスタ

コントロールレジスタについて説明します。コントロールレジスタはワードサイズ（16 ビット）でのみアクセスできます。

表 22.5 にコントロールレジスタを示します。

表 22.5 コントロールレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ（ビット）
マスタコントロールレジスタ	MCR	H'000	16
ジェネラルステータスレジスタ	GSR	H'002	16
ビットコンフィギュレーションレジスタ 1	BCR1	H'004	16
ビットコンフィギュレーションレジスタ 0	BCR0	H'006	16
インタラプトリクエストレジスタ	IRR	H'008	16
インタラプトマスクレジスタ	IMR	H'00A	16
送信エラーカウンタ／受信エラーカウンタ	TEC/REC	H'00C	16

22.4.1 マスタコントロールレジスタ（MCR）

MCR は、16 ビットの読み出し／書き込み可能なレジスタで、本モジュールを制御します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	—	—	—	TST[2:0]		MCR7	MCR6	MCR5	—	—	MCR2	MCR1	MCR0	
初期値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	MCR15	1	R/W	ID 並べ替え 本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 22.11 を参照してください。 0：本モジュールと HCAN2 は同等の順序 1：本モジュールと HCAN2 は異なる順序

ビット	ビット名	初期値	R/W	説 明
14	MCR14	0	R/W	自動バスオフホルト 本ビットと MCR6 がともに設定された場合、本モジュールがバスオフ状態に入ると MCR1 はただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。 0: 通常の復帰シーケンス (128×11 レセシブビット) で本モジュールバスオフ状態を維持 1: MCR6 がセットされると本モジュールはバスオフ状態のあと、ただちにホルトモードに入ります
13～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10～8	TST[2:0]	000	R/W	テストモード 本ビットはテストモードを有効／無効にします。テストモードを起動する前に、本モジュールをホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「22.7.2 テストモードの設定」を参照してください。 テストモードは診断およびテストのためだけに用いるもので、本モジュールが通常動作時には使用できません。 000: ノーマルモード 001: リスンオンリモード (受信専用モード) 010: セルフテストモード 1 (外部) 011: セルフテストモード 2 (内部) 100: ライトエラーカウンタ 101: エラーパッシブモード 110: 設定禁止 111: 設定禁止
7	MCR7	0	R/W	自動ウェイクモード 本ビットは CAN スリープモードの自動ウェイクモードを有効／無効にします。本ビットが設定されると、本モジュールは CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると本モジュールは自動的に CAN スリープモードを解除しません。 本モジュールは、ウェイクアップしたメッセージを格納できません。 0: CAN バスのアクティビティによる自動ウェイクモードが無効 1: CAN バスのアクティビティによる自動ウェイクモードが有効 【注】 CAN スリープモード中は MCR7 ビットを変更できません。

ビット	ビット名	初期値	R/W	説 明
6	MCR6	0	R/W	バスオフ時ホルト 本ビットは、バスオフ時に MCR1 がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラもただちにエラーアクティブモードに復帰するので注意してください。 0 : バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます 1 : バスオフ時に MCR1 設定によるホルトモード遷移を有効にします
5	MCR5	0	R/W	CAN スリープモード 本ビットは CAN スリープモードへの遷移を有効／無効にします。本モジュールがホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2 つのエラーカウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには 2 つの方法があります。 • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する 自動スリープ解除モードが無効であれば、CAN スリープモードが終了するまで本モジュールはすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、本モジュールは CAN バス動作に入る前に 11 レセツピットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに本モジュールが最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。 CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。詳細は「22.7.1 (3) CAN スリープモード」を参照してください。 0 : CAN スリープモードが解除されています 1 : CAN スリープモードへの遷移が有効です 【注】 本モジュールは、最初にホルトモードに設定してから CAN スリープモードに遷移できます。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に本モジュールはホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)
4、3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2	MCR2	0	R/W	メッセージ送信プライオリティ 本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ（TXPR）のビット順で送信されます。 送信はメールボックス31を最優先で開始し、メールボックス1まで続けます（メールボックスが送信用に設定されている場合）。 本機能は、メールボックス24～30のタイムトリガ送信には使用できませんのでご注意ください。もし本ビットがクリアされると、すべての送信メッセージは（内部アービトレーションを走らせることにより）ID優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド（STDID + IDE ビット+ EXTID（IDE=1の場合）+ RTR ビット）を持ち、最初に送信されます。 内部アービトレーションはRTRビットとIDEビットを含みます（内部アービトレーションは、2つのCANノード間のCANバス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します）。 本ビットはリセットあるいはホルトモードでのみ変更可能です。 0：メッセージID優先順に送信 1：メールボックス番号順（メールボックス31→メールボックス1）に送信

ビット	ビット名	初期値	R/W	説 明
1	MCR1	0	R/W	ホルトリクエスト 本ビットをセットすると CAN コントローラは現在の動作を終了したのちホルトモードに入ります（ここで CAN バスからは切り離されます）。本モジュールは本ビットがクリアされるまでホルトモードのままになります。 ホルトモード中、CAN インタフェースは CAN バス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態を CPU に通知するための IRR0 と GSR4 を除き、ユーザレジスタ（メールボックスの内容および TEC/REC を含みます）の内容は保持されます。 CAN バスがアイドルまたはインタミッション状態の場合は、MCR6 にかかわらず本モジュールは 1 ビット時間内にホルトモードになります。MCR6 がセットされていると、バスオフ中のホルトリクエストも 1 ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスが完了するまではホルトモードに入りません。ホルトモードになると IRR0 と GSR4 によって通知されます。 MCR14 と MCR6 がセットされていると、本ビットは本モジュールがバスオフ状態に移移するとすぐに自動的にセットされます。 ホルトモード中、本モジュールはバス動作に関係しないため、ビットタイミング設定を除き本モジュールの構成を変更することができます。CAN バス動作に再び参加するには、本ビットを 0 にクリアする必要があります。クリア後、本モジュールは 11 レセツピットが検出されるまで待ち、CAN バスに参加します。 0：ホルトモードリクエストをクリア 1：ホルトモード遷移リクエスト 【注】 1. ホルトリクエストが発行された後は、CPU はホルトモードへの遷移が完了するまで (IRR0 と GSR4 で通知されます) TXPR と TXCR にアクセスおよび本ビットをクリアすることができません。MCR1 がセットされた後、この状態はホルトモードに入ってから、（ソフトウェアまたはハードウェアでの）リセット動作でのみ解除できます。 2. ホルトモードへのあるいはホルトモードからの遷移が可能なのは、BCR1 と BCR0 レジスタが適切なポーレートに設定されているときだけです。

ビット	ビット名	初期値	R/W	説 明
0	MCR0	1	R/W	リセットリクエスト 本ビットは本モジュールのリセットを制御します。本ビットが0から1に変わったとき、CAN コントローラはリセットルーチンに入り、内部ロジックを初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。 本ビットがセットされている間、本モジュールは再構成することができます。CAN バスに参加するために本ビットは0をライトしてクリアする必要があります。クリア後、本モジュールは、11 レセシブビットの検出を待って CAN バスに参加します。 CAN バス上の値をサンプリングするためにボーレートを適切な値にセットする必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ本モジュールを構成する必要があることを示します。 リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。 0 : リセットモードリクエストをクリア [クリア条件] 本モジュールをリセットした後に0が書き込まれたとき 1 : CAN インタフェースのリセットモード遷移リクエスト

・ MCR15 (ID並べ替え) =0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]		16/32	コントロール0
H'102+N*32	EXTID[15:0]																16	
H'104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM[17:16]		16/32	LAFMフィールド
H'106+N*32	EXTID_LAFM[15:0]																16	

・ MCR15 (ID並べ替え) =1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	IED	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102+N*32	EXTID[15:0]																16	
H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM[17:16]		16/32	LAFMフィールド
H'106+N*32	EXTID_LAFM[15:0]																16	

図 22.11 ID 並べ替え

22.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、本モジュールの状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットは本モジュールがエラーパッシブ状態になるとすぐに 1 にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は、GSR5 は 1 を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: 本モジュールはエラーパッシブあるいはバスオフ状態ではありません [クリア条件] 本モジュールがエラーアクティブ状態の間 1: 本モジュールがエラーパッシブ（ただし GSR0=0 の場合）あるいはバスオフ（ただし GSR0=1 の場合）です [セット条件] TEC $\geq$ 128 または REC $\geq$ 128 またはテストモードでエラーパッシブモード選択時
4	GSR4	0	R	ホルト／スリープステータス CAN コントローラがホルト／スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、本モジュールの状態をフルに反映するものではありません。本モジュールは CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: 本モジュールはホルトモードでも CAN スリープモードでもありません 1: ホルトモード（MCR1=1 の場合）または CAN スリープモード（MCR5=1 の場合）です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ本モジュールがホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて本モジュールがバスオフへ遷移したとき

ビット	ビット名	初期値	R/W	説 明
3	GSR3	1	R	リセットステータス 本モジュールがリセット状態かどうかを示します。 0 : 本モジュールはリセット状態ではありません 1 : 本モジュールがリセット状態です [セット条件] 本モジュールのソフトウェアまたはハードウェアリセットの後
2	GSR2	1	R	メッセージ送信中フラグ 本モジュールがバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー／オーバーロードのフラグを送信中なのかをCPUに示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK は EOF の 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトレーションロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。 0 : 本モジュールはバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない
1	GSR1	0	R	送信／受信ワーニングフラグ エラーワーニングを示すフラグです。 0 : [クリア条件] $TEC < 96$ かつ $REC < 96$ またはバスオフのとき 1 : [セット条件] $96 \leq TEC < 256$ または $96 \leq REC < 256$ のとき 【注】 REC は、バスオフ復帰シーケンスに必要な 11 レセツピットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。
0	GSR0	0	R	バスオフフラグ 本モジュールがバスオフ状態であることを示します。 0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] $TEC \geq 256$ (バスオフ状態)

22.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

タイムクオンタ=2×BRP / fclk

BRP（ボーレートプリスケアラ）は BCR0 格納値+1 の値です。fclk は周辺バスクロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 22.6 を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG1[3:0]				—	TSG2[2:0]			—	—	SJW[1:0]		—	—	—	BSP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15～12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1（=PRSEG + PHSEG1）を設定することに使用します。4～16 タイムクオンタが設定できます。 0000：設定禁止 0001：設定禁止 0010：設定禁止 0011：PRSEG + PHSEG1=4 タイムクオンタ 0100：PRSEG + PHSEG1=5 タイムクオンタ ： ： 1111：PRSEG + PHSEG1=16 タイムクオンタ
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10～8	TSG2[2:0]	000	R/W	タイムセグメント 2 これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (=PRSEG2) を設定することに使用します。2～8 タイムクオンタが設定できます。 000 : 設定禁止 001 : PHSEG2=2 タイムクオンタ (条件によっては設定禁止です。表 22.6 を参照してください) 010 : PHSEG2=3 タイムクオンタ 011 : PHSEG2=4 タイムクオンタ 100 : PHSEG2=5 タイムクオンタ 101 : PHSEG2=6 タイムクオンタ 110 : PHSEG2=7 タイムクオンタ 111 : PHSEG2=8 タイムクオンタ
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5、4	SJW[1:0]	00	R/W	再同期ジャンプ幅 同期ジャンプ幅を設定します。 00 : 同期ジャンプ幅=1 タイムクオンタ 01 : 同期ジャンプ幅=2 タイムクオンタ 10 : 同期ジャンプ幅=3 タイムクオンタ 11 : 同期ジャンプ幅=4 タイムクオンタ
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	BSP	0	R/W	ビットサンプルポイント データがサンプリングされるポイントを設定します。 0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後) 1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)

(2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
7~0	BRP[7:0]	00000000	R/W	ポーレートプリスケアラ これらのビットは、1 タイムクオンタに対応する周辺バスクロック数を設定します。 00000000 : 2×周辺バスクロック 00000001 : 4×周辺バスクロック 00000010 : 6×周辺バスクロック : 2× (レジスタ値+1) × 周辺バスクロック 11111111 : 512×周辺バスクロック

• ビットコンフィギュレーションレジスタについて

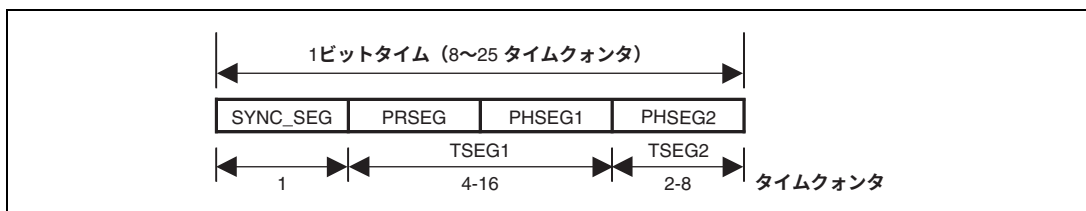


図 22.12 1 ビットタイムの構成

SYNC_SEG : CAN バス上のノードの同期をするセグメント

(通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = f_{clk} / (2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1))$$

BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は上述の表から算出した値であって実際の設定値ではありません。前記ビットレート計算式のタイムセグメントの「+1」は SYNC_SEG の 1 タイムクオンタであること

によります。

$fclk$ = 周辺バスクロック

BCR 設定上の制約となる事項

$$TSEG1 \text{ (Min.)} > TSEG2 \geq SJW \text{ (Max.)} \quad (SJW=1\sim4)$$

$$8 \leq TSEG1 + TSEG2 + 1 \leq 25 \text{ タイムクオンタ (TSEG1 + TSEG2 + 1 = 7 は不可)}$$

$$TSEG2 \geq 2$$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 22.6 に示される設定値の範囲であれば、上述の制限事項を満たします。表 22.6 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 22.6 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1 : $fclk$ が 30MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 10、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'9300、BCR0 には H'0001 をライトすることになります。

例 2 : $fclk$ が 36MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 10、TSEG2 = 7 が条件を満たします。この場合、BCR1 には H'9600、BCR0 には H'0001 をライトすることになります。

22.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15	IRR15	0	R/W	タイマコンペアマッチ割り込み 1 タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 の設定値がサイクルタイムと一致すると (TCMR1=CYCTR)、本ビットがセットされます。 0 : TCMR1 のタイマコンペアマッチが発生していない [クリア条件] 1 を書き込む 1 : TCMR1 のタイマコンペアマッチが発生 [セット条件] TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)
14	IRR14	0	R/W	タイマコンペアマッチ割り込み 0 タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCMR0 の設定値がローカルタイムと一致すると (TCMR0=TCNTR)、本ビットがセットされます。 0 : TCMR0 のタイマコンペアマッチが発生していない [クリア条件] 1 を書き込む 1 : TCMR0 のタイマコンペアマッチが発生 [セット条件] TCMR0 がタイマ値と一致 (TCMR0=TCNTR)

ビット	ビット名	初期値	R/W	説 明
13	IRR13	0	R/W	タイマオーバーラン割り込み/Next_is_Gap 受信割り込み/メッセージエラー割り込み 本割り込みは本モジュールのモードにより異なった意味を持ち、以下の状態を示します。 • イベントトリガモード（テストモードを含む）で動作中、タイマ（TCNTR）オーバーランが発生。 • タイムトリガモード（テストモードを含む）で動作中、Next_is_Gap がセットされたタイムリファレンスメッセージを受信。 • テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバーロード条件が発生しても、本ビットはセットされません。 0：イベントトリガモード（テストモードを含む）でタイマ（TCNTR）オーバーランが発生していない タイムトリガモード（テストモードを含む）で Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない 〔クリア条件〕1 を書き込む 1：〔セット条件〕イベントトリガモード（テストモードを含む）でタイマ（TCNTR）オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモード（テストモードを含む）で Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生
12	IRR12	0	R/W	CAN スリープモード時バスアクティビティ 本ビットはCAN バスアクティビティの存在を示します。本モジュールがCAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに1を書き込むと割り込みがクリアされます。0を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みを受け付けない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。 本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。 0：バスアイドル状態 〔クリア条件〕1 を書き込む 1：CAN バスアクティビティをCAN スリープモード中に検出 〔セット条件〕CAN スリープモード中に CRxn 上でドミナントへのビット状態変化を検出

ビット	ビット名	初期値	R/W	説 明
11	IRR11	0	R/W	タイマコンペアマッチ割り込み 2 タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 の設定値がサイクルタイムと一致すると (TCMR2=CYCTR)、本ビットがセットされます。 0 : TCMR2 のタイマコンペアマッチが発生していない 〔クリア条件〕 1 を書き込む 1 : TCMR2 のタイマコンペアマッチが発生 〔セット条件〕 TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)
10	IRR10	0	R/W	スタートシステムマトリックス割り込み 次のシステムマトリックスが開始したことを示します。CCR=0 のとき、タイムリファレンスメッセージの送信/受信完了時に本ビットがセットされます。CMAx=0 の場合は、本割り込みはサイクルカウント (Basic Cycle) ごとにセットされます。 0 : 新しいシステムマトリックスの先頭でない 〔クリア条件〕 1 を書き込む 1 : サイクルカウンタが 0 になった 〔セット条件〕 CMAx!=B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信/受信が完了
9	IRR9	0	R	メッセージオーバラン/オーバライト割り込みフラグ 本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバラン) か上書き (オーバライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。 0 : メッセージオーバラン/オーバライト通知がない 〔クリア条件〕 UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット 1 : オーバランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバライトされた 〔セット条件〕 対応する PXPR または RFPR=1 かつ MBIMR=0 のときにメッセージを受信

ビット	ビット名	初期値	R/W	説 明
8	IRR8	0	R	メールボックスエンプティ割り込みフラグ 送信用に設定されたメッセージの1つが正常に送信(対応する TXACK フラグがセット)または送信アボート(送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット)されると、本ビットがセットされます。 このときイベントトリガモードでは、対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。 タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 24~30 の TXPR は送信完了後にクリアされません。 実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。 0: 送信または送信キャンセルするメッセージが処理中でない [クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット 1: メッセージが送信または送信アボート(送信キャンセル)され、次のメッセージの格納が可能となった(タイムトリガモードでは、メールボックス 24~30 はアボート時のみ次のメッセージを格納可能) [セット条件] TXACK または ABACK ビットがセットされたとき(対応する MBIMR=0 の場合)
7	IRR7	0	R/W	オーバロードフレーム 本モジュールがオーバロードフレーム送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。 0: [クリア条件] 1 を書き込む 1: [セット条件] オーバロード条件を検出

ビット	ビット名	初期値	R/W	説 明
6	IRR6	0	R/W	バスオフ割り込みフラグ 本ビットは、本モジュールがバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの $TEC \geq 256$、バスオフ復帰シーケンスの終了（11 レセシブビットを 128 回連続受信）またはバスオフから停止状態への遷移（オートまたはマニュアル）が要因となります。 本ビットは本モジュールがバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードして、本モジュールがバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。 0 : [クリア条件] 1 を書き込む 1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した [セット条件] $TEC \geq 256$ または 11 レセシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移
5	IRR5	0	R/W	エラーパッシブ割り込みフラグ 受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、本モジュールがエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。 0 : [クリア条件] 1 を書き込む 1 : 送信／受信エラーによるエラーパッシブ状態 [セット条件] $TEC \geq 128$ または $REC \geq 128$ またはエラーパッシブテストモードを使用
4	IRR4	0	R/W	受信エラーカウンタワーニング割り込みフラグ 本モジュールがバスオフ状態でないときに受信エラーカウンタ（REC）が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。 0 : [クリア条件] 1 を書き込む 1 : 受信エラーによるエラーワーニング状態 [セット条件] 本モジュールがバスオフ状態以外で $REC \geq 96$

ビット	ビット名	初期値	R/W	説 明
3	IRR3	0	R/W	送信エラーカウンタワーニング割り込みフラグ 本モジュールがバスオフ状態でないときに送信エラーカウンタ（TEC）が95を超えるとセットされます。本ビットに1を書き込むと割り込みはクリアされ、0を書き込むと無視されます。 0：[クリア条件] 1を書き込む 1：送信エラーによるエラーワーニング状態 [セット条件] TEC ≥ 96
2	IRR2	0	R	リモートフレーム受信割り込みフラグ メールボックスがリモートフレームを受信したことを示します。対応するMBIMRがセットされていない少なくとも1つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ（RFPR）のすべてのビットがクリアされるとクリアされます。また、MBIMRの対応するすべてのビットに1を書き込むとクリアされます。本ビットに対する書き込みは無効です。 0：[クリア条件] RFPRのすべてのビットがクリア 1：少なくとも1つのリモートフレームリクエストが処理待ち状態 [セット条件] 対応するMBIMR=0のときリモートフレームを受信
1	IRR1	0	R	データフレーム受信割り込みフラグ 処理待ち状態の受信データフレームが存在することを示します。本ビットが1のとき、少なくとも1つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ（RXPR）のすべてのビットがクリアされると（どの受信メールボックスにも未処理のメッセージがない）クリアされます。MBIMRが0でない各受信メールボックスのRXPRフラグの論理和が設定されます。 また、MBIMRの対応するすべてのビットに1を書き込むとクリアされます。本ビットに対する書き込みは無効です。 0：[クリア条件] RXPRのすべてのビットがクリア 1：データフレームを受信しメールボックスに格納した [セット条件] 対応するMBIMR=0のときデータを受信

ビット	ビット名	初期値	R/W	説 明
0	IRR0	1	R/W	リセット／ホルト／スリープ割り込みフラグ 下記の3つの要因によってセットされます。 - ソフトウェアリセット（MCR0）またはハードウェアリセット後、リセットモードに遷移 - ホルトリクエスト（MCR1）の後、ホルトモードに遷移 - ホルトモードでスリープリクエスト（MCR5）発行後、CAN スリープモードに遷移 本ビットがセットされた後 GSR をリードして、本モジュールの状態を知ることができます。 【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5の説明および図 22.17 を参照してください。 IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、本モジュールがホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード／CAN スリープモードから送信／受信動作に遷移する際、GSR4 がクリアされるまでに[1 ビット時間－TSEG2]～[1 ビット時間×2－TSEG2] の時間が必要です。 リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。 0：[クリア条件] 1 を書き込む 1：ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移 [セット条件] リセット（MCR0 またはハードウェア）またはホルトモード（MCR1）または CAN スリープモード（MCR5）リクエストの後、リセット／ホルト／CAN スリープモードへの遷移が完了

22.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し／書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	IMR[15:0]	H'FFFF	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0: 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1: IRR の対応する割り込みをマスクする

22.4.6 送信エラーカウンタ (TEC) ／受信エラーカウンタ (REC)

TEC および REC は、読み出し／条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信／受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の[1]、[2]、[3]、[4]に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き換え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0]=B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、本モジュールをホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0]=B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 レセプティブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説 明
15～8	TEC[7:0]	H'00	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7～0	REC[7:0]	H'00	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

22.5 メールボックスレジスタ

メールボックスレジスタについて説明します。メールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 22.7 にメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 22.7 メールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'020	32
送信待ちレジスタ 0	TXPR0	H'022	—
		H'024	
		H'026	
送信キャンセルレジスタ 1	TXCR1	H'028	16/32
送信キャンセルレジスタ 0	TXCR0	H'02A	16
		H'02C	
		H'02E	
送信アクノリッジレジスタ 1	TXACK1	H'030	16/32
送信アクノリッジレジスタ 0	TXACK0	H'032	16
		H'034	
		H'036	
アボートアクノリッジレジスタ 1	ABACK1	H'038	16/32
アボートアクノリッジレジスタ 0	ABACK0	H'03A	16
		H'03C	
		H'03E	
データフレーム受信完了レジスタ 1	RXPR1	H'040	16/32
データフレーム受信完了レジスタ 0	RXPR0	H'042	16
		H'044	
		H'046	
リモートフレーム受信完了レジスタ 1	RFPR1	H'048	16/32
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	16
		H'04C	
		H'04E	
メールボックスインタラプトマスクレジスタ 1	MBIMR1	H'050	16/32
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	16
		H'054	
		H'056	
未読メッセージステータスレジスタ 1	UMSR1	H'058	16/32

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	16
		H'05C	
		H'05E	

22.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

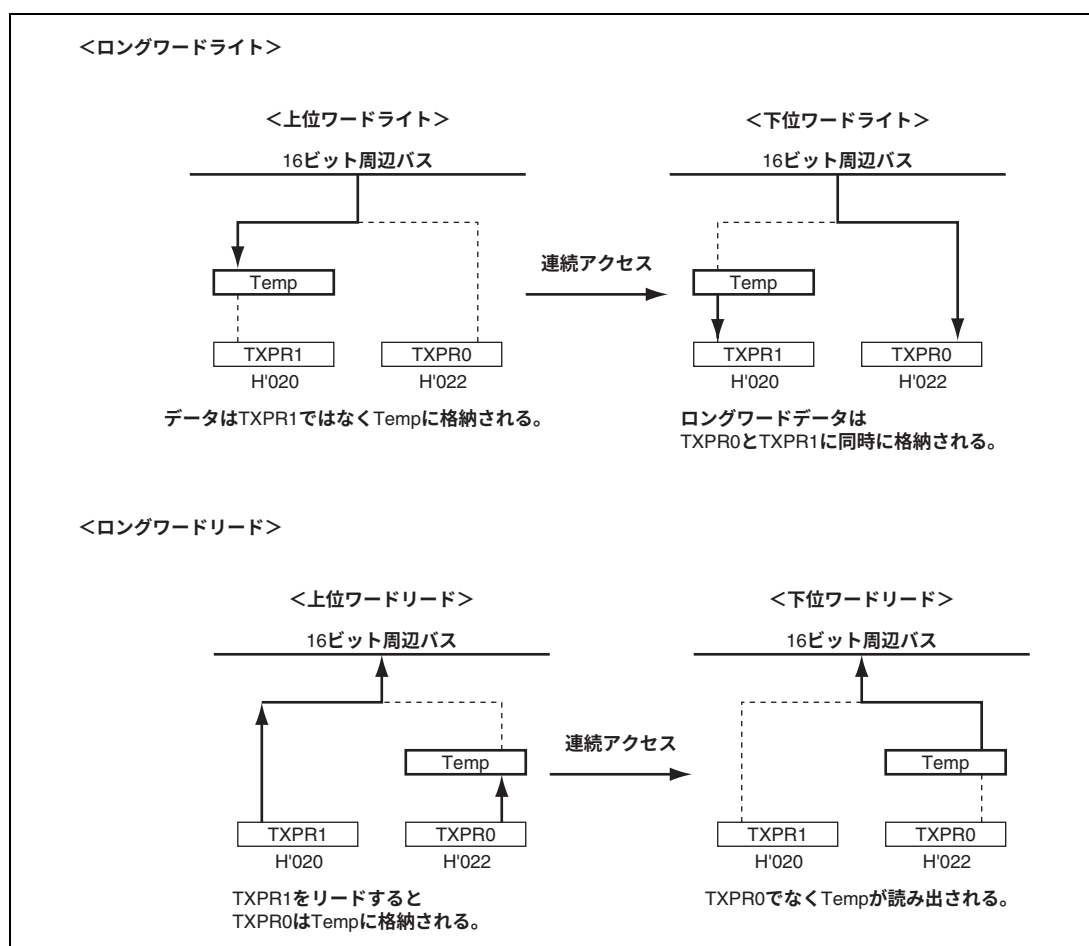


図 22.13 16 ビットバスインタフェース時のロングワードアクセス

TXPR1 レジスタはメールボックス 31～16 を制御し、TXPR0 レジスタはメールボックス 15～1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アボートが行われた後、本モジュールは対応する送信待ちフラグをクリアします。タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 30～24 の TXPR は送信完了後にクリアされません。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていなければ、本モジュールは自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「22.7 動作説明」を参照してください。

本モジュールが TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用書き換えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	TXPR1[15:0]	H'0000	R/W	対応するメールボックスに対して CAN フレーム送信をリクエストします。ビット 15~0 はメールボックス 31~16 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。 0: 対応するメールボックスが送信メッセージアイドル状態 〔クリア条件〕メッセージ送信終了（イベントトリガメッセージの場合） またはメッセージ送信アボート（自動的にクリアされます） 1: 対応するメールボックスに送信リクエストが発生

(2) TXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR0[15:1]															—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。

ビット	ビット名	初期値	R/W	説 明
15~1	TXPR0[15:1]	H'0000	R/W	対応するメールボックスに CAN フレーム送信リクエストが発生していることを示します。ビット 15~1 はメールボックス 15~1 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。 0: 対応するメールボックスが送信メッセージアイドル状態 〔クリア条件〕メッセージ送信終了（イベントトリガメッセージの場合） またはメッセージ送信アボート（自動的にクリアされます） 1: 対応するメールボックスに送信リクエストが発生
0	—	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視されます。読み出し値は 0 です。

22.5.2 送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)

TXCR1 と TXCR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、TXCR1 はメールボックス 31～16 を制御し、TXCR0 はメールボックス 15～1 を制御します。CPU は TXCR を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アボートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

(1) TXCR1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TXCR1[15:0]

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15～0	TXCR1[15:0]	H'0000	R/W	送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15～0 はメールボックス 31～16（および TXPR1[15:0]）に対応しています。 0：対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 （自動的にクリアされます） 1：対応するメールボックスに対して送信キャンセルを要求

(2) TXCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~1	TXCR0[15:1]	H'0000	R/W	送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1（および TXPR0[15:1]）に対応しています。 0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます) 1: 対応するメールボックスに対して送信キャンセルを要求
0	—	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視され、読み出し値は常に0です。

22.5.3 送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)

TXACK1 と TXACK0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、本モジュールは TXACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK のビットをクリアすることができます。0 を書き込むと無視されます。

(1) TXACK1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	TXACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0：[クリア条件] 1 を書き込む 1：対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了

(2) TXACK0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	—

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~1	TXACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0：[クリア条件] 1 を書き込む 1：対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了
0	—	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

22.5.4 アボートアクリッジレジスタ 1、0 (ABACK1、ABACK0)

ABACK1 と ABACK0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアボートされたことを CPU に通知するために使用します。アボートが行われると、本モジュールは ABACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK のビットをクリアすることができます。0 を書き込むと無視されます。本モジュールが ABACK のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

(1) ABACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	ABACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル

(2) ABACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0[15:1]															—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	—	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

22.5.5 データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)

RXPR1 と RXPR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

(1) RXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	RXPR1[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 31~16 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

(2) RXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	RXPR0[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

22.5.6 リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)

RFPR1 と RFPR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効となります。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレーム受信割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

(1) RFPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	RFPR1[15:0]	H'0000	R/W	メールボックス 31~16 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

(2) RFPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15~0 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

22.5.7 メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)

MBIMR1 と MBIMR0 は、16 ビットの読み出し／書き込み可能なレジスタです。MBIMR は、メールボックスの動作に関連する IRR (IRR1：データフレーム受信割り込み、IRR2：リモートフレーム受信割り込み、IRR8：メールボックスエンプティ割り込み、IRR9：メッセージオーバラン／オーバーライト割り込み) をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ (IRR1、IRR2、IRR9) による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アボート (IRR8) による割り込みやメールボックスエンプティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アボートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。

(1) MBIMR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	MBIMR1[15:0]	H'FFFF	R/W	メールボックス 31～16 からの割り込み要求を許可／禁止します。 0：IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1：IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

(2) MBIMR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15～0 からの割り込み要求を許可／禁止します。 0：IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1：IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

22.5.8 未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)

UMSR1 と UMSR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU／ダイレクトメモリアクセスコントローラによって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR または RFPR の対応するビットが CPU によってクリアされていないと、UMSR のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR のビットはセットされません。

(1) UMSR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15～0	UMSR1[15:0]	H'0000	R/W	メールボックス 31～16 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0：[クリア条件] 1 を書き込む 1：未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

(2) UMSR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15～0	UMSR0[15:0]	H'0000	R/W	メールボックス 15～0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0：[クリア条件] 1 を書き込む 1：未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

22.6 タイマレジスタ

本モジュールのタイマは 16 ビットのタイマで、数種のクロックソースをサポートしています。プリスケールカウンタにより、クロックの速度を落とすことができます。また、3 個のコンペアマッチレジスタ (TCMR2、TCMR1、TCMR0) を備えています。アドレスマップを以下に示します。

【重要】タイマレジスタはすべてワード（16 ビット）アクセスのみ可能です。

表 22.8 タイマレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16
サイクルマキシマム/Tx_Enable_Window レジスタ	CMAX_TEW	H'084	16
リファレンストリガオフセットレジスタ	RFTROFF	H'086	16
タイマステータスレジスタ	TSR	H'088	16
サイクルカウンタレジスタ	CCR	H'08A	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
リファレンスマークレジスタ	RFMK	H'094	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16
送信トリガタイムセレクトレジスタ	TTTSEL	H'0A4	16

22.6.1 タイムトリガコントロールレジスタ 0 (TTCR0)

TTCR0 は、16 ビットの読み出し／書き込み可能なレジスタです。

タイマの動作を制御します。定周期送信や監視用レジスタの設定は、本レジスタを設定し、タイマを動作させてから行ってください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	—	—	—	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	TCR15	0	R/W	タイマイネーブル 本ビットをセットすると TCNTR は動作し、クリアすると TCNTR と CCR がクリアされます。 0 : TCNTR と CCR をクリアし、動作停止 1 : タイマ動作
14	TCR14	0	R/W	タイムスタンプ値 メールボックス 15～0 の送信および受信用タイムスタンプとして、サイクルタイム (CYCTR) を使用するか CCR[5:0] + CYCTR[15:6] を使用するか指定します。本機能は、タイムトリガモードで Rx_Trigger をモニタするのに便利です。 本レジスタはメールボックス 30 および 31 のタイムスタンプには影響しません。 0 : メールボックス 15～0 のタイムスタンプに CYCTR[15:0] を使用 1 : メールボックス 15～0 のタイムスタンプに CCR[5:0] + CYCTR[15:6] を使用
13	TCR13	0	R/W	TCMR2 によるキャンセル 本ビットおよびビット 12 がセットされた状態で、本モジュールがホルトモード以外でコンペアマッチが発生したときに、当該 TXPR ビットに対応するすべての TXCR ビットを自動セットします。それにより送信キュー内のメッセージをキャンセルします。 0 : TCMR2 のコンペアマッチによる送信キャンセル禁止 1 : TCMR2 のコンペアマッチによる送信キャンセル許可
12	TCR12	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR2 のコンペアマッチで IRR11 がセットされます。 0 : TCMR2 のコンペアマッチで IRR11 がセットされない 1 : TCMR2 のコンペアマッチで IRR11 がセットされる

ビット	ビット名	初期値	R/W	説 明
11	TCR11	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR1 のコンペアマッチで IRR15 がセットされます。 0 : TCMR1 のコンペアマッチで IRR15 がセットされない 1 : TCMR1 のコンペアマッチで IRR15 がセットされる
10	TCR10	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR0 のコンペアマッチで IRR14 がセットされます。 0 : TCMR0 のコンペアマッチで IRR14 がセットされない 1 : TCMR0 のコンペアマッチで IRR14 がセットされる
9~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6	TCR6	0	R/W	TCMR0 によるタイマクリア制御 TCNTR が TCMR0 と一致したときにタイマを H'0000 にクリアするか指定します。また、TCMR0 は IRR14 により CPU に対して割り込み信号を発生することもできます。 【注】本モジュールが TTCAN モードで動作中 (CMAX≠B'111) は、本ビットを 0 に設定しローカルタイムがクリアされないようにしてください。 0 : TCMR0 でタイマクリアしない 1 : TCMR0 でタイマクリア
5~0	TPSC5~ TPSC0	H'00	R/W	タイマプリスケアラ 本ビットの設定により、タイマのソースクロック (4×[本モジュールのシステムクロック]) を分周して使用することができます。プリスケアラはイベントトリガモードでのみ有効です。TTCAN モードで (CMAX≠B'111) は、自動的に 1 ビットタイミング (=CAN バス上の 1 ビット長) が TCNTR のソースクロックとして選択されます。 ソースクロック周期とタイマ周期の関係を以下に示します。 000000 : 1X ソースクロック 000001 : 2X ソースクロック 000010 : 3X ソースクロック 000011 : 4X ソースクロック 000100 : 5X ソースクロック ： 111111 : 64X ソースクロック

22.6.2 サイクルマキシマム/Tx_Enable_Window レジスタ (CMAX_TEW)

CMAX_TEW は、16 ビットの読み出し／書き込み可能なレジスタです。

CMAX はタイムトリガ送信用のサイクルカウンタ (CCR) の最大値を指定し、これによりシステムマトリックスのサイクルカウンタ数 (Basic Cycle) が設定されます。サイクルカウンタが最大値になると (CCR=CMAX)、1 サイクルカウンタ後にサイクルカウンタは 0 にクリアされ、IRR10 割り込みが発生します。

TEW は Tx_Enable_Window 幅を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CMAX[2:0]			—	—	—	—	TEW[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10～8	CMAX[2:0]	111	R/W	サイクルカウンタ最大値 CCR の最大値を示します。 サイクルカウンタ最大値 = $2^{CMAX} - 1$ (CMAX = レジスタ値) タイムトリガ送信用のマトリックスサイクル内で可能なサイクルカウンタ数は、(サイクルカウンタ最大値 + 1) となります。 CMAX ≠ B'111 設定時、本モジュールはタイムトリガモードであり、タイムトリガ機能を使用できます。 CMAX = B'111 設定時、本モジュールはイベントトリガモードです。 000: サイクルカウンタ最大値 = 0 001: サイクルカウンタ最大値 = 1 010: サイクルカウンタ最大値 = 3 011: サイクルカウンタ最大値 = 7 100: サイクルカウンタ最大値 = 15 101: サイクルカウンタ最大値 = 31 110: サイクルカウンタ最大値 = 63 111: 本モジュールはイベントトリガモード (CCR はクリア) 【注】 イベントトリガモードを使用する場合は、CMAX = B'111 に設定してください。
7～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
3～0	TEW[3:0]	0000	R/W	Tx_Enable_Window Tx_Enable_Window 幅を設定します。 TEW=B'0000 のとき、ウィンドウ幅は 1 ビットタイミングとなります。 B'0000～B'1111 のすべての値を設定することができます。 0000 : Tx_Enable_Window 幅=1 0001 : Tx_Enable_Window 幅=2 0010 : Tx_Enable_Window 幅=3 0011 : Tx_Enable_Window 幅=4 ： 1111 : Tx_Enable_Window 幅=16 【注】本モジュールの CAN データリンクコントローラは、送信リクエストから送信を開始するのに常に CAN バス 1～2 ビットタイミングを必要とします。したがって、上記の値はこの精度を考慮していません。

22.6.3 リファレンストリガオフセットレジスタ (RFTROFF)

RFTROFF は、8 ビットの読み出し／書き込み可能なレジスタです。

メールボックス 30 の送信トリガタイム (TTT) に-127～+127 までオフセットを設定することができます。メールボックス 30 の TTT は、RFTROFF レジスタ値の符号拡張値を付加した後、CYCTR と比較されます。

ただし、TTT の値は変更されません。本オフセット値はメールボックス 30 にのみ影響します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTROFF[7:0]								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～8	RFTROFF [7:0]	H'00	R/W	リファレンストリガオフセット値を示します。 00000000 : ref_trigger_offset =+0 00000001 : ref_trigger_offset =+1 00000010 : ref_trigger_offset =+2 ： 01111111 : ref_trigger_offset =+127 ： 11111111 : ref_trigger_offset =-1 11111110 : ref_trigger_offset =-2 ： 10000001 : ref_trigger_offset =-127
7～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

22.6.4 タイマステータスレジスタ (TSR)

TSR は、16 ビットの読み出し専用レジスタで、これにより CPU はタイマコンペアマッチ状態およびタイマオーバーラン状態を監視することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TSR4	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R*	R*	R*	R*	R*

ビット	ビット名	初期値	R/W	説 明
15~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	TSR4	0	R*	スタートシステムマトリックス 次のシステムマトリックスが開始したことを示します。 CCR=0 のとき、本ビットはタイムリファレンスメッセージの送信／受信完了時にセットされます。 0: 次のシステムマトリックスの先頭でない [クリア条件] IRR10 (サイクルカウンタオーバーフロー割り込みフラグ) に 1 を書き込む 1: サイクルカウンタが 0 になった [セット条件] サイクルカウンタの値が最大値 (CMAX) から H'0 に変化 CMAX!=B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信／受信が完了
3	TSR3	0	R*	タイマコンペアマッチフラグ 2 タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 に設定した値がサイクルタイムレジスタと一致 (TCMR2=CYCTR) したとき、TTCR0 のビット 12 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR11 (タイマコンペアマッチ割り込み 2 フラグ) がクリアされるとクリアされます。 0: TCMR2 のタイマコンペアマッチが発生していない [クリア条件] IRR11 (タイマコンペアマッチ割り込み 2 フラグ) に 1 を書き込む 1: TCMR2 のタイマコンペアマッチが発生 [セット条件] TTCR0 のビット 12 が 1 のとき TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)

ビット	ビット名	初期値	R/W	説 明
2	TSR2	0	R*	タイマコンペアマッチフラグ 1 タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 に設定した値がサイクルタイムレジスタと一致 (TCMR1=CYCTR) したとき、TTCR0 のビット 11 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR15 (タイマコンペアマッチ割り込み 1 フラグ) がクリアされるとクリアされます。 0 : TCMR1 のタイマコンペアマッチが発生していない [クリア条件] IRR15 (タイマコンペアマッチ割り込み 1 フラグ) に 1 を書き込む 1 : TCMR1 のタイマコンペアマッチが発生 [セット条件] TTCR0 のビット 11 が 1 のとき TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)
1	TSR1	0	R*	タイマコンペアマッチフラグ 0 タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCM02 に設定した値がタイマ値と一致 (TCMR0=TCNTR) したとき、TTCR0 のビット 10 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR14 (タイマコンペアマッチ割り込み 0 フラグ) がクリアされるとクリアされます。 0 : TCMR0 のタイマコンペアマッチが発生していない [クリア条件] IRR14 (タイマコンペアマッチ割り込み 0 フラグ) に 1 を書き込む 1 : TCMR0 のタイマコンペアマッチが発生 [セット条件] TTCR0 のビット 10 が 1 のとき TCMR0 がタイマ値と一致 (TCMR0=TCNTR)

ビット	ビット名	初期値	R/W	説 明
0	TSR0	0	R*	タイマオーバーラン/Next_is_Gap 受信/メッセージエラー 本フラグは3つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバーランが発生、タイムトリガモードで動作中にNext_is_Gap がセットされたタイムリファレンスメッセージを受信、およびテストモード中に CAN バス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。 0: イベントトリガモードでタイマ (TCNTR) オーバーランが発生していない タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない [クリア条件] IRR13 に 1 を書き込む 1: [セット条件] イベントトリガモードでタイマ (TCNTR) オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生

【注】 * 本ビットは読み出し専用で、CPU はサイクルカウンタ、タイマ、およびコンペアマッチレジスタの状態を監視することができます。本ビットに対する書き込みは無効です。

22.6.5 サイクルカウンタレジスタ (CCR)

CCR は、6 ビットの読み出し/書き込み可能なレジスタです。

タイムトリガ送信のサイクルカウント値 (Basic Cycle) を表示するためのレジスタです。

CCR の値は、本モジュールがポテンシャルタイムマスタとして動作するか、タイムスレーブとして動作するかにより、更新方法が変わります。CCR は以下のように更新されます。

本モジュールがタイムマスタ (ポテンシャル) として動作する場合：

- サイクルタイム (CYCTR) がメールボックス30の送信トリガタイムと一致するたびに+1増加
- または
- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値を上書き

本モジュールがタイムスレーブとして動作する場合：

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値で上書き

CMAx=B'111 かつ TTCR0[15]=0 の場合：

- CCRの値は常にB'000000

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CCR[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5~0	CCR[5:0]	H'00	R/W	サイクルカウンタレジスタ タイムトリガ送信用マトリックスサイクルの現在のサイクルカウント数を示します。

22.6.6 タイマカウンタレジスタ (TCNTR)

TCNTR は、16 ビットの読み出し／書き込み可能なレジスタです。

TCNTR はフリーランニングタイマカウンタです。TTCR0[15]=1 に設定することでタイマがカウントします。

タイマカウンタのプリスケアラは、本モジュールのトリガモードにより変わります。

- イベントトリガモード時 (CMAX=B'111) : TTCR0[5:0]のTPSC値
- タイムトリガモード時 (CMAX≠B'111) : CANバス1ビットタイミング

TTCR0[6]=1 を設定時、TCNTR の値がタイマコンペアマッチレジスタ 0 (TCMR0) と一致すると、TCNTR は H'0000 にクリアされカウントアップします。

タイムトリガモードでは、TCNTR はローカルタイム (Local time) として使用します。したがって、TTCR0[6]=0 に設定してフリーランニングタイマとして動作させます。

- 【注】
1. TTCR0[15]=0 の場合、TCNTR は常に H'0000 です。
 2. タイマをイネーブル設定 (TTCR0[15]=1) してから TCNTR がカウントを開始するまで、数クロックサイクルの遅延があります。これはプリスケアラの内部論理に起因するものです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

- 【注】 *
- 本レジスタへの書き込みは、タイマイネーブル設定 (TTCR0[15]=1) されたときのみ可能です。
 - タイムトリガモード (CMAX が B'111 以外) では、書き込みは禁止です。

ビット	ビット名	初期値	R/W	説 明
15~0	TCNTR[15:0]	H'0000	R/W	フリーランニングタイマの値を示します。

22.6.7 サイクルタイムレジスタ (CYCTR)

CYCTR は、サイクルタイムを示す 16 ビットの読み出し専用レジスタです。

$\text{Cycle\_Time (CYCTR)} = \text{Local\_Time (TCNTR)} - \text{Reference\_Mark (RFMK)}$

イベントトリガモードでは、RFMK は 0 に固定されるので本レジスタは TCNTR のコピーとなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~0	CYCTR[15:0]	H'0000	R	サイクルタイムを示します。

22.6.8 リファレンスマークレジスタ (RFMK)

RFMK は、16 ビットの読み出し専用レジスタです。リファレンスメッセージが正常に送信または受信されたときに、リファレンスメッセージの SOF におけるローカルタイム (TCNTR) をキャプチャするためのレジスタです。イベントトリガモードでは本レジスタは使用せず、常に 0 にクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMK[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~0	RFMK[15:0]	H'0000	R	リファレンスマークレジスタ タイムリファレンスメッセージの SOF における TCNTR の値を示します。

22.6.9 タイマコンペアマッチレジスタ 0～2 (TCMR0～2)

TCMR0～2 は、16 ビットの読み出し／書き込み可能なレジスタです。

割り込み信号の発生、タイマ値のクリア (TCMR0 のみサポート)、送信リクエストのクリア (TCMR2 のみサポート) を行うことが可能です。

TCMR0 は TCNTR と比較し、TCMR1 と TCMR2 は CYCTR と比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0 のビット 12～10 をセットする必要があります。タイムトリガモードでは、TCMR0 は Init_Watch_Trigger、TCMR2 は Watch_Trigger に使用します。

(1) 割り込み機能

各レジスタの割り込みフラグは、TTCR0 のビット 12、ビット 11、ビット 10 を設定することで許可します。

コンペアマッチが発生すると、IRR の対応する割り込みフラグ (ビット 11、ビット 15、ビット 14) をセットします。

割り込み信号の発生は、IMR のビット 11、ビット 15、ビット 14 で抑止することができます。

コンペアマッチ発生時に IRR11 (または IRR15 か IRR14) がセットされると、タイマステータスレジスタ (TSR) のビット 3、ビット 2、またはビット 1 もセットされます。また、IRR のビットをクリアすると、対応する TSR のビットもクリアされます。

(2) タイマクリア機能

TCMR0 のみコンペアマッチによるタイマ値 (TCNTR) のクリア機能があります。TTCR0[6]=1 設定時に有効です。TCMR1 と TCMR2 には本機能はありません。

(3) 送信リクエストされたメッセージのキャンセル機能

TCMR2 は、TTCR0[13:12]=B'11 設定時に、ホルトモード以外で TCMR2 のコンペアマッチ発生時に TXPR 設定に対応する TXCR 設定を行います。したがって、送信中のメッセージを除き、送信待ちリクエストをキャンセルします。

TCMR1 と TCMR0 には本機能はありません。

- TCMR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR0[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	TCMR0[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の TCNTR の値を示します。

- TCMR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR1[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	TCMR1[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

- TCMR2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR2[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	TCMR2[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

22.6.10 送信トリガタイムセレクトレジスタ (TTTSEL)

TTTSEL は、16 ビットの読み出し／書き込み可能なレジスタで、サイクルタイムとコンペアマッチさせる送信トリガタイムを指定します。1 ビットのみセットできます。複数のビットをセットしないでください。またはすべてのビットをクリアしないでください。本レジスタは、コンフィギュレーションモードでのみ変更することができます。変更時のアルゴリズムを図 22.14 に示します。

TTTSEL はテストおよび診断専用です。通常動作時は書き込まないでください。また、読み出し値は保証されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTTSEL[14:8]							—	—	—	—	—	—	—	—
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 1 ビットのみセット可能。

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
14~8	TTTSEL [14:8]	B'1000000	R/W	CYCTR とコンペアマッチさせる送信トリガタイムを指定します。ビット 14~8 は、メールボックス 30~24 に対応しています。
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

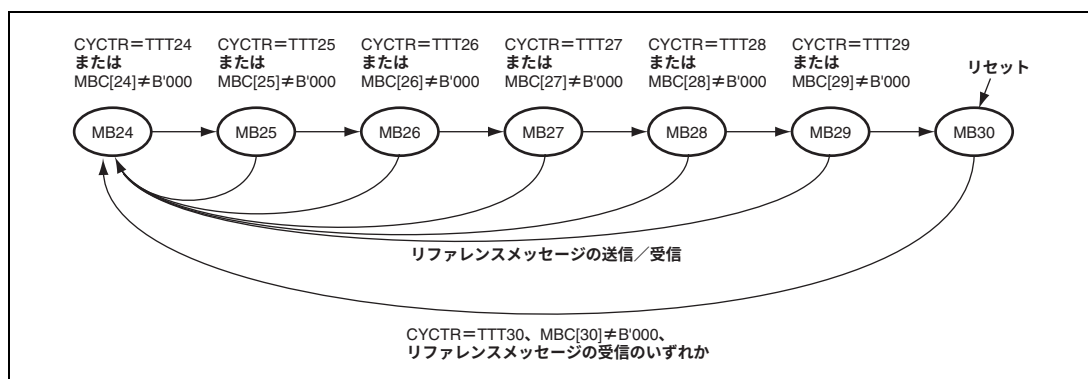


図 22.14 TTTSEL 変更アルゴリズム

22.7 動作説明

22.7.1 本モジュールの設定

ハードウェアリセット（パワーオンリセット）またはソフトウェアリセット（MCR0）後のコンフィギュレーションモードおよびホルトモード時の本モジュールの設定について説明します。どちらの場合も本モジュールは CAN バスアクティビティに参加できません。また、本モジュールの設定の変更が CAN バス上の通信に影響を与えることはありません。

（1）リセットシーケンス

図 22.15 にソフトウェアリセットまたはハードウェアリセット後の本モジュールの設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に本モジュールを設定する必要があります。詳細については図中の注を参照してください。

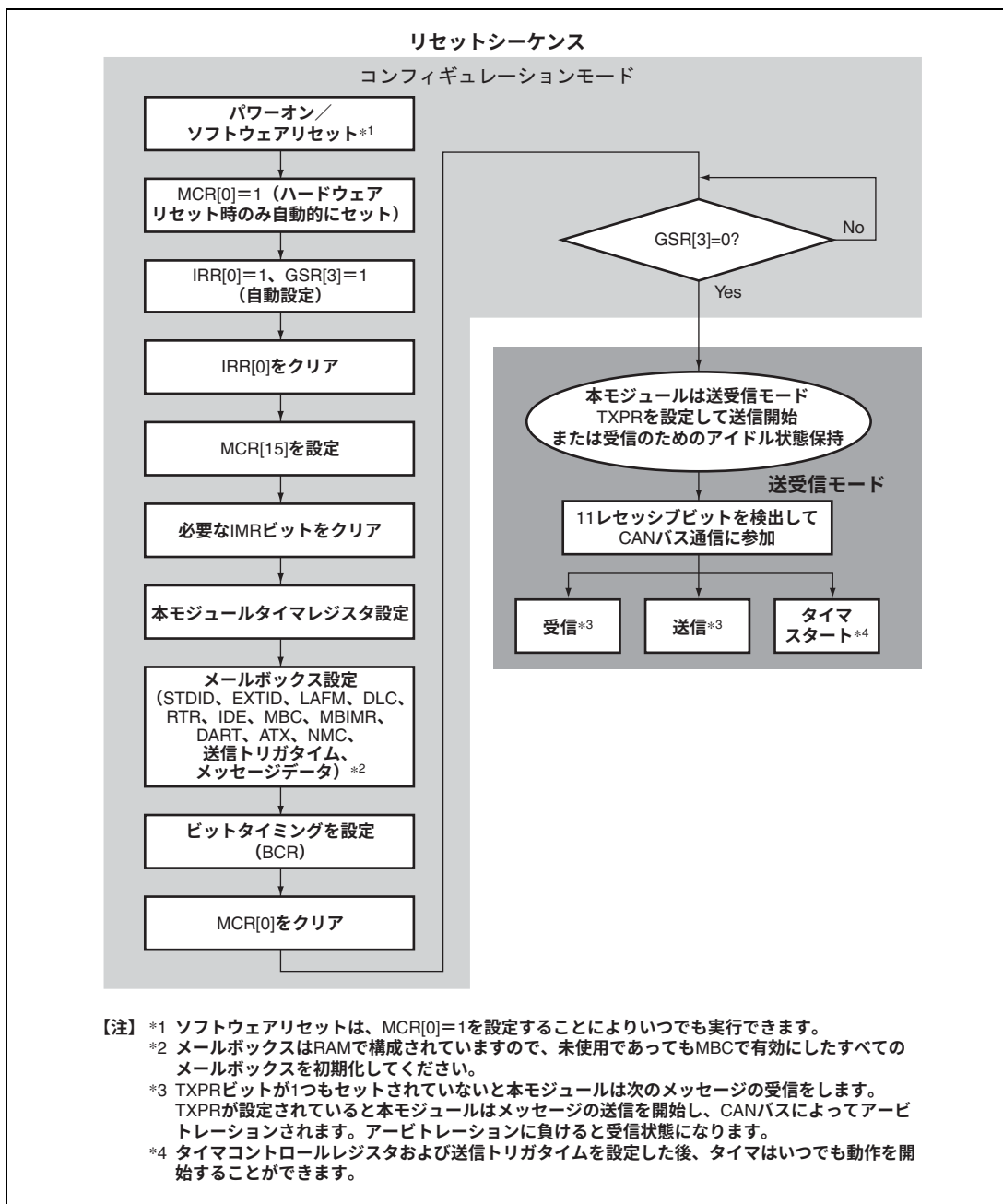


図 22.15 リセットシーケンス

(2) ホルトモード

本モジュールはホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に本モジュールがホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません（CAN バスがアイドルまたは休止状態のときに遷移します）。本モジュールがホルトモードに遷移すると GSR4 ビットがセットされます。

レジスタ設定終了後はホルトリクエストを解除する必要があります。ホルトリクエスト解除後（MCR1=0 か GSR4=0）に本モジュールは CAN バス上で 11 レセッシブビットを検出した後 CAN バスアクティビティに参加します。

図 22.17 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前に必ず GSR4 のセットを確認して本モジュールをホルトモードにしてください。

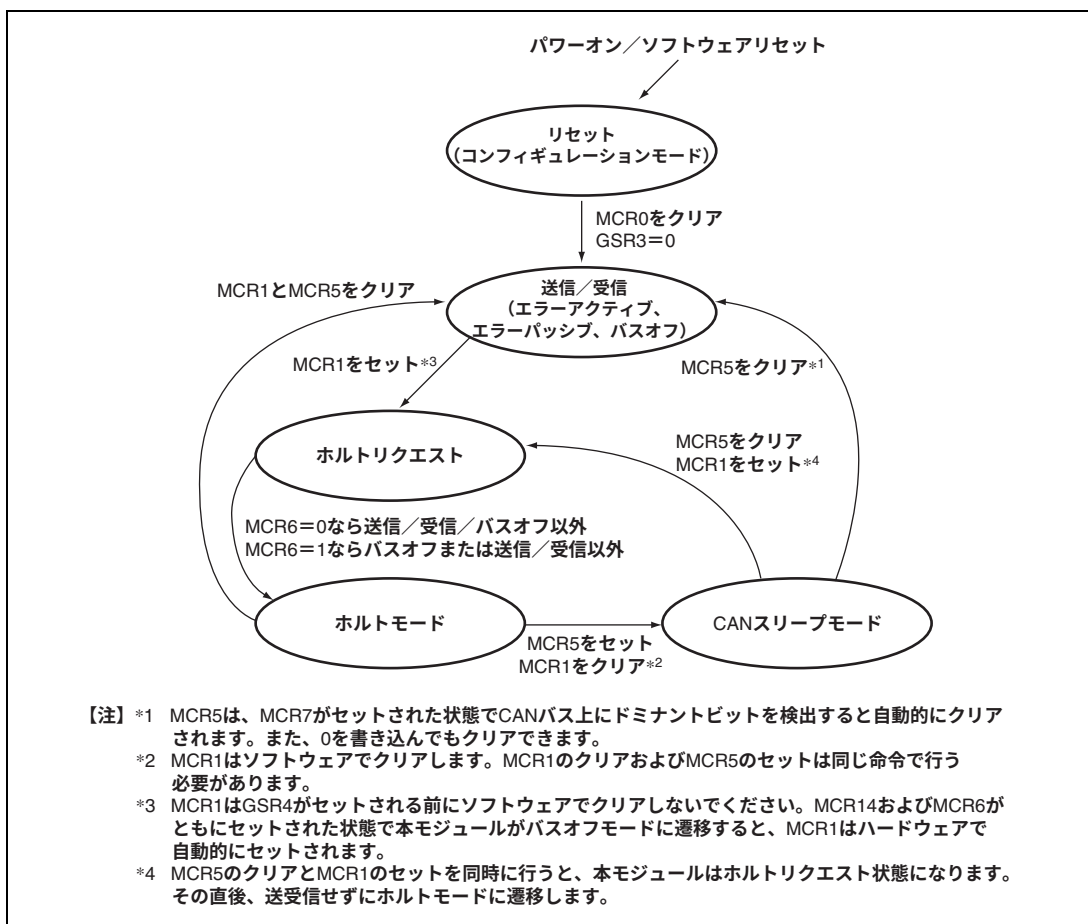


図 22.17 状態遷移図

各モードでのアクセスを許可する条件を表 22.9 に示します。

表 22.9 アクセス可能なレジスタ

ステータス モード	レジスタ									
	MCR、 GSR	IRR、 IMR	BCR	MBIMR タイマ TT レジ スタ	フラグ レジスタ	メール ボックス (コント ロール 0、 LAFM)		メール ボックス (データ)	メール ボックス (コント ロール 1)	メール ボックス (トリガ タイム、 TT コント ロール)
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes	Yes	Yes
送信／ 受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルト リクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルト モード	Yes	Yes	No	Yes	Yes	Yes		Yes	Yes	Yes
CAN スリープ モード	Yes	Yes	No	No	No	No		No	No	No

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

22.7.2 テストモードの設定

本モジュールには種々のテストモードがあります。テストモードの選択はMCRレジスタのTST[2:0]ビットで行います。本モジュールは、デフォルト（初期値）ではノーマルモードで動作します。

表 22.10 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除（BCR0/BCR1 が設定されていることを確認）してください。

表 22.10 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード（受信専用モード）
0	1	0	セルフテストモード 1（外部）
0	1	1	セルフテストモード 2（内部）
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

本モジュールは通常の動作をします。

- リスンオンリモード

ボーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTxn（n=0、1）出力を禁止し、本モジュールによるエラーフレームやアクノリッジビットの生成を抑止します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード（外部）

本モジュール自体でアクノリッジビットを生成し、必要ならばメッセージを受信メールボックスに格納します。CRxn/CTxn（n=0、1）端子は必ずCANバスに接続してください。

- セルフテストモード（内部）

本モジュール自体でアクノリッジビットを生成し、必要ならばメッセージを受信メールボックスに格納します。内部CTxn（n=0、1）が内部CRxn（n=0、1）にループバックされるため、CRxn/CTxn（n=0、1）端子をCANバスその他の外部デバイスに接続する必要はありません。CTxn（n=0、1）端子はリセッショビットのみ出力し、CRxn（n=0、1）端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、本モジュールを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、本モ

ジュールを強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際は本モジュールがホルトモードでなければなりません（エラーカウンタ書き込み時にMCR1=1）。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

本モジュールは強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達すると本モジュールはバスオフ状態になりますが、本モードを使用すると本モジュールはエラーアクティブになることができません。したがって本モジュールはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

22.7.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスの例を図 22.18 に示します。

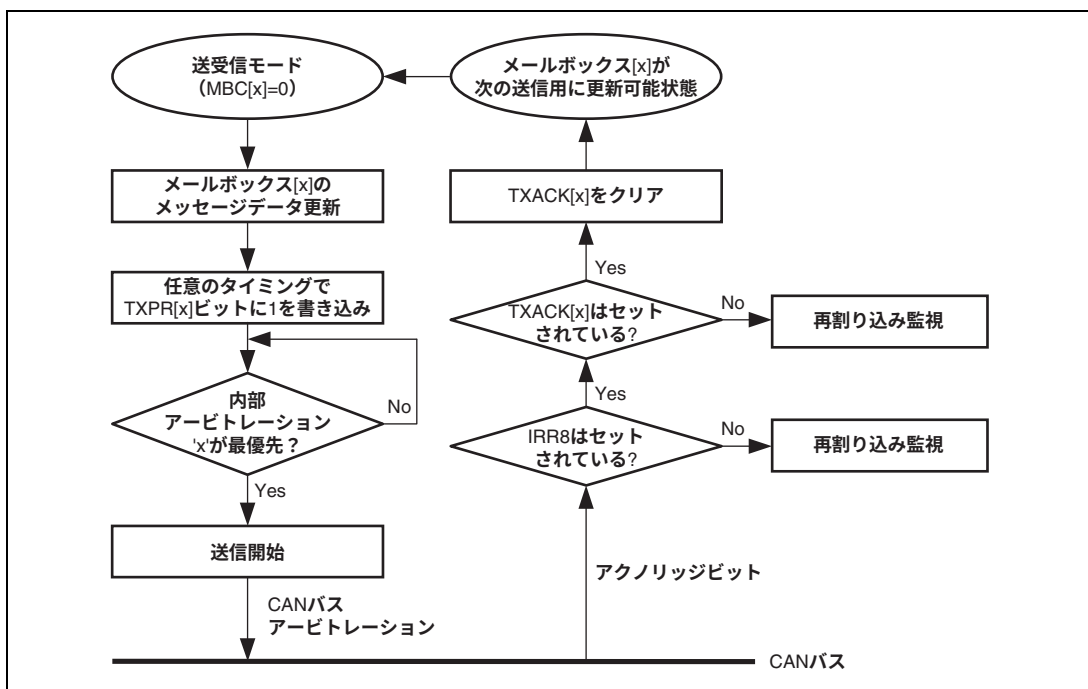


図 22.18 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アバートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない（すべての TXPR フラグがセットされていない）ことを示しています。

(2) 送信用内部アービトレーション

図 22.19 は、本モジュールがどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

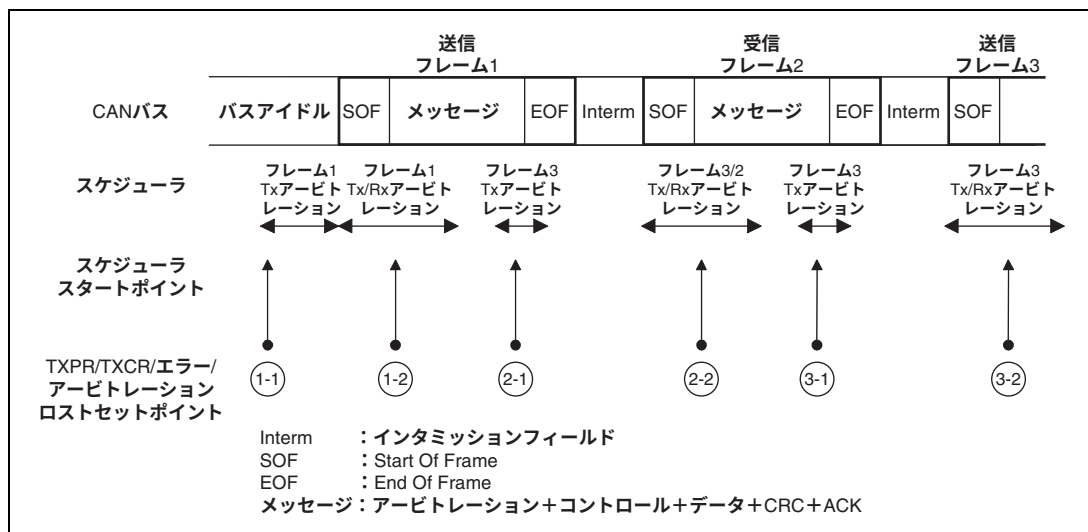


図 22.19 送信用内部アービトレーション

- 1-1 : CANバスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、本モジュールは送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、本モジュールは受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、本モジュールは送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションは CRC のデリミタで行われるため、ATX=1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

(3) タイムトリガ送信

本モジュールは、ISO-11898-4 TTCAN Level 1 の仕様に準拠したタイムトリガモード通信を、ハードウェアでサポートしています。

ここでは、タイムトリガモードを使用するための基本的な手順を記します。

• タイムトリガモードの設定

タイムトリガモードをセットアップするには以下の設定が必要です。

- CMAX_TEWのCMAXをB'111以外の値に設定
- TTCR0のビット15をセットし、TCNTRの動作を開始
- コンペアマッチでTCNTRがクリアされないように、TTCR0のビット6をクリア
- タイムトリガ送信をするメールボックスのTXPRは、定周期送信を行うためにクリアされません。

• 各レジスタの役割

本モジュールのユーザレジスタを使用して、TTCAN 規格が要求する主な機能を扱うことができます。

TCNTR	Local_Time
RFMK	Ref_Mark
CYCTR	サイクルタイム = TCNTR - RFMK
RTTROFF	メールボックス 30 の Ref_Trigger_Offset
メールボックス 31	タイムリファレンスメッセージ専用受信メールボックス
メールボックス 30	タイムリファレンスメッセージ専用送信メールボックス (ポテンシャルタイムマスタとして動作する場合)
メールボックス 29~24	タイムトリガ送信対応のメールボックス
メールボックス 23~16	タイムスタンプなしの受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
メールボックス 15~0	タイムスタンプ付き受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
Tx-Trigger Time	メッセージを送信するタイミングを指定する Time_Mark
CMAX	ポテンシャルタイムマスタとして動作する場合のサイクルカウント数 (Basic Cycle) の最大値を指定
TEW	Tx_Enable_Window 幅を指定
TCMR0	Init_Watch_Trigger (ローカルタイムとコンペアマッチ)
TCMR1	ユーザ指定イベント監視用にサイクルタイムとコンペアマッチ
TCMR2	Watch_Trigger (サイクルタイムとコンペアマッチ) 待ち状態にある送信をすべてアボートするように設定することができます。
TTW	送信に使用するタイムウィンドウの属性を指定
TTTSEL	次の送信待ちメールボックスを指定

• タイムマスタ/タイムスレーブ

本モジュールは、ネットワークのポテンシャルタイムマスタまたはタイムスレーブとして動作するように設定することができます。各モードに必要な設定と本モジュールが自動的に行う処理を下記の表に示します。

モード	設定	機能
タイムスレーブ	TXPR[30]=0 & MBC[30]≠B'000 & CMAX≠B'111 & MBC[31]=B'011	CAN バス上で SOF が検出される度に TCNTR をサンプリングし、内部レジスタに格納します。メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、TCNTR の値 (SOF で格納) を Ref_Mark (RFMK) にコピーします。 受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーします。 Next_is_Gap=1 ならば IRR13 をセットします。
(ポテンシャル) タイムマスタ	TXPR[30]=1 & MBC[30]=B'000 & DLC[30]>0 & CMAX≠B'111 & MBC[31]=B'011	以下の 2 つの場合があります。 (1) メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーし、Next_is_Gap=1 ならば IRR13 をセットします。 (2) メールボックス 30 からタイムリファレンスメッセージが送信されると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。メールボックス 30 の TTT が CYCTR に一致するとサイクルカウンタ (CCR) をインクリメントします。 サイクルカウンタ (CCR) はタイムリファレンスメッセージの最初のデータバイト (Data0[7:6], CCR[5:0]) に組み込まれます。

• 送信トリガタイムの設定

送信トリガタイム (TTT) は、以下に示すように昇順に設定してください。TTT 間の差分は、次の式を満たす必要があります。式中の TEW はレジスタ値です。

$$\begin{aligned}
 & \text{TTT (メールボックス 24)} < \text{TTT (メールボックス 25)} < \text{TTT (メールボックス 26)} < \\
 & \text{TTT (メールボックス 27)} < \text{TTT (メールボックス 28)} < \text{TTT (メールボックス 29)} < \\
 & \text{TTT (メールボックス 30)} \\
 & \text{かつ} \\
 & \text{TTT (メールボックス } i) - \text{TTT (メールボックス } i-1) > \text{TEW} + \text{最大フレーム長} + 9
 \end{aligned}$$

ポテンシャルタイムマスタとして動作する場合、TTT (メールボックス 24) ～TTT (メールボックス 29) は Time_Mark に、TTT (メールボックス 30) は Basic_Cycle length を示す Time_Ref に対応しています。

上記の制約は、タイムトリガ送信に設定されたメールボックスにのみ適用されます。

【重要】 送信トリガタイム設定の制約により、1つのタイムウィンドウに割り付けることのできるメールボックスは1つのみとなります。

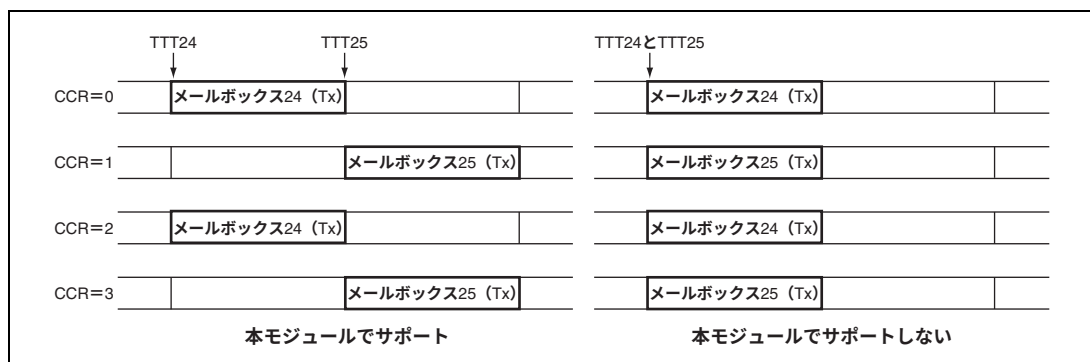


図 22.20 送信トリガタイムの制約

Watch_Trigger としての TCMR2 の値は、1Basic_Cycle length を示す TTT（メールボックス 30）より大きくなければなりません。

図 22.21、図 22.22 に、（ポテンシャル）タイムマスタおよびタイムスレーブの設定例を示します。図中の L は、タイムリファレンスメッセージの時間長です。

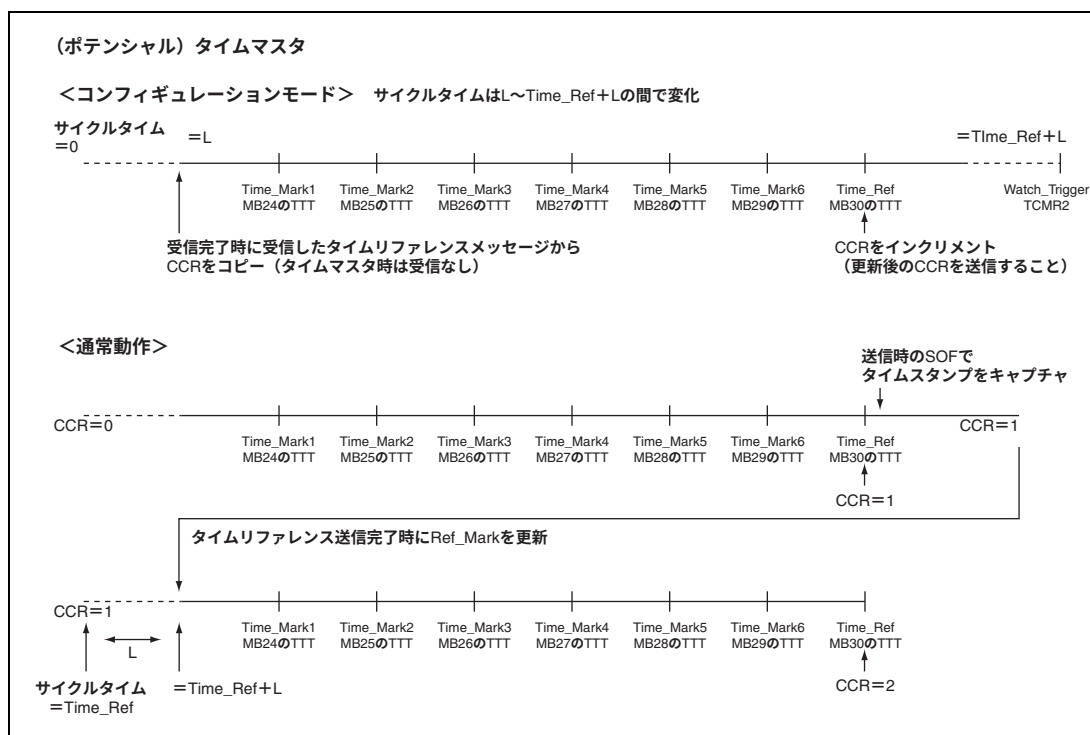


図 22.21 (ポテンシャル) タイムマスタ

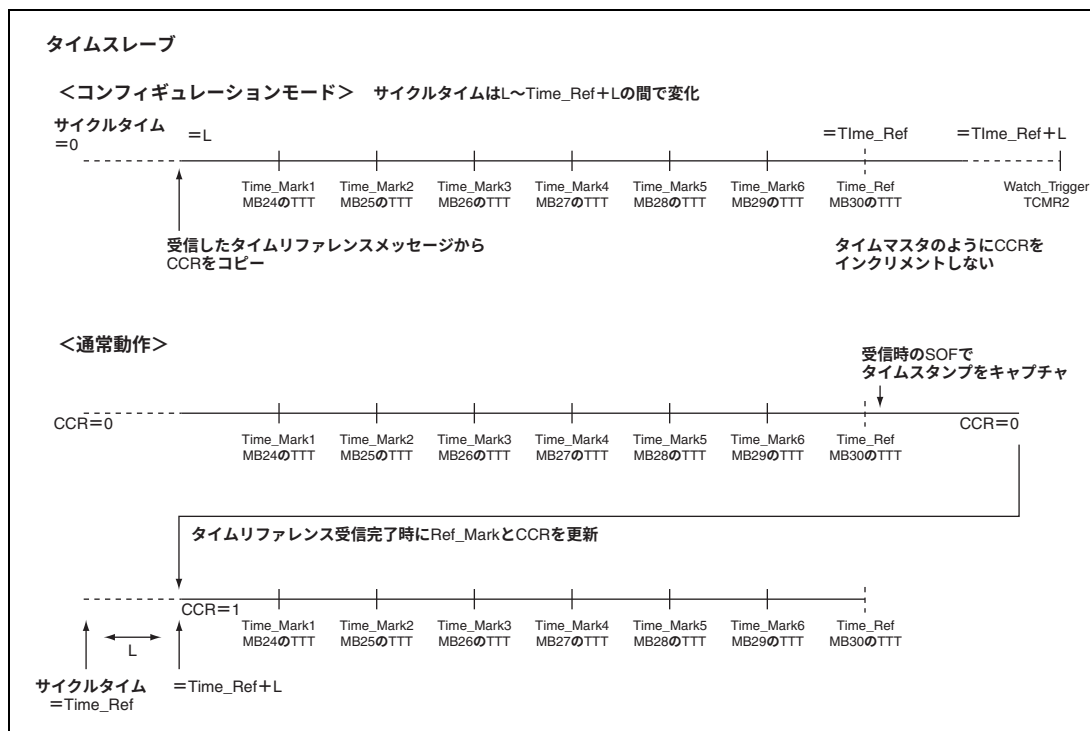


図 22.22 タイムスレーブ

- ソフトウェアで実装する機能

TTCAN の機能には、ソフトウェアで実装する必要のあるものがあります。主な機能を以下に示します。詳細は ISO-11898-4 を参照してください。

- Init_Watch_Trigger から Watch_Trigger への変更

本モジュールでは、Init_Watch_Trigger および Watch_Trigger のハードウェアサポートとしてそれぞれ TCMR0 レジスタと TCMR2 レジスタを用意しています。CAN バス上で最初のリファレンスメッセージが検出されるまで TCMR0 を有効かつ TCMR2 を無効にし、その後 TCMR0 を無効かつ TCMR2 を有効にする制御はソフトウェアで行います。（スケジュール同期化ステートマシーン）

Next_is_Gap 受信割り込みのみサポートしています。アプリケーションにて、対応する TXCR フラグをセットすることにより、現在の Basic_Cycle の終了時にすべての送信を停止する必要があります。

マスタ/スレーブモード制御

自動サイクルタイム同期と CCR のインクリメントのみサポートしています。

- メッセージステータスカウント

エクスクルーシブウィンドウの定周期メッセージに関するスケジュールエラーを、ソフトウェアでカウントする必要があります。

- タイムトリガ通信のメッセージ送信リクエスト

タイムトリガモードを使用する場合、ISO11898-4 の要求事項を満たさなければなりません。

以下の手順を行ってください。

1. 本モジュールをリセットまたはホルトモードにする
2. TCMR0にInit_Watch_Trigger (H'FFFF) を設定
3. TTCR0のビット10でTCMR0によるコンペアマッチを有効に設定
4. TCMR2に指定のWatch_Trigger 値を設定
5. TTCR0のビット12を0に保持し、TCMR2によるコンペアマッチを無効にする。
6. CMAXに必要な値を設定 (B'111以外)
7. TEWに必要な値を設定
8. メールボックスをタイムトリガ送信および受信に設定する
9. メールボックス31のLAFMを下位3ビットに対して設定
10. MCR、BCR1、BCR0に必要な値を設定
11. ポテンシャルタイムマスタとして動作する場合は下記を設定
 - RFTROFFに必要なInit_Ref_Offset値を設定
 - メールボックス30のTXPRをセット
 - TTTSELにH'4000を書き込む
12. TTCR0のビット15でタイムTCNTRをイネーブルにする
13. 通常モードに移行
14. 有効なリファレンスメッセージが送信または受信されるのを待つ、もしくはTCMR0のコンペアマッチを待つ
15. ローカルタイム (TCNTR) がTCMR0の値に一致したら、Init_Watch_Triggerに到達したことを意味し、アプリケーションでメールボックス30のTXCRをセットし再び開始する
16. リファレンスメッセージが送信されたら (TXACK[30] がセットされた)、RFTROFFを0に設定
17. 有効なリファレンスメッセージを受信したら (RXPR[31] がセットされた)、下記を行う
 - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも高ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値をInit_Ref_Offsetに保持
 - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも低ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値を1デクリメント
18. TTCR0のビット10をクリアし、TCMR0 によるコンペアマッチを無効にする
19. TTCR0のビット12をセットし、TCMR2 によるコンペアマッチを有効にする
20. CANバス上でリファレンスメッセージを2個検出 (送信または受信) した後、アプリケーションで他のタイムトリガメールボックスのTXPRをセットすることができます。

CAN バス上でリファレンスメッセージが検出されずに、サイクルタイム CYCTR が TCMR2 の値に到達した場合はいつでも、本モジュールは待ち状態の送信（リファレンスメッセージを含む）をすべて自動的にアボートします。

タイムトリガモードでさらに送信を要求するときのシーケンスを以下に示します。

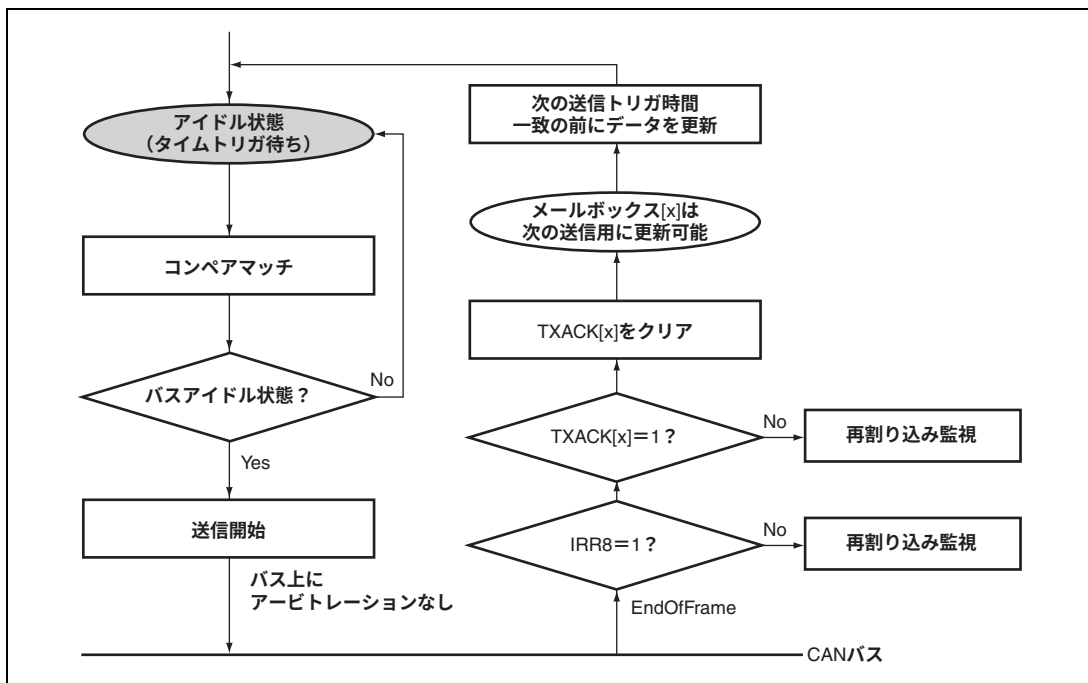


図 22.23 メッセージ送信リクエスト

ソフトウェアは、送信トリガが発生する前にメッセージの更新が確実に行われるようにしなければなりません。CYCTR がメールボックスの TTT（送信トリガタイム）に到達し、CCR がプログラムされた送信用サイクルに一致すると、本モジュールはただちに送信バッファにメッセージを転送します。

この時点で、本モジュールは指定された Tx_Enable Window 内で送信を試みます。このタイムスロットを逃すと、送信が定周期の場合（メールボックス 24～30）、本モジュールは対応する TXPR ビットを 1 に保持し送信リクエストを次の送信トリガまで保留します。

本モジュールが上記のタイムスロットを逃す 3 つの要因があります。

1. CANバスが使用中
2. タイムトリガメッセージ送信中にCANバス上にエラーが発生
3. タイムトリガメッセージ送信中にアービトレーションロストが発生

マージドアービトレーティングウィンドウ（Merged Arbitrating Window）の場合、この送信スロットは、ウィンドウを開始した（TTW=B'10）メールボックスの送信トリガから、ウィンドウを終了する（TTW=B'11）メールボックスの TEW の最後までです。TXPR はいつでも変更可能です。本モジュールは、タイムトリガメッセージの送信が常に正しくスケジュールされるようにしますが、正確なスケジュールを保証するため、以下に示す重要な規則があります。

- TTT（送信トリガタイム）は、コンフィギュレーションモードで変更可能。
- Basic_Cycle length サイクルカウンタ（Basic Cycle）長を指定する Time_Ref を超える TTT の設定は不可。違反すると、スケジューリングで問題が発生します。
- 定周期送信では、TXPR は自動的にクリアされません。定周期送信をキャンセルする必要がある場合は、アプリケーションで対応する TXCR ビットをセットします。

• タイムトリガシステムの例

タイムスレープモードの本モジュールを使用して、タイムトリガシステムが動作する簡単な例を下图に示します。

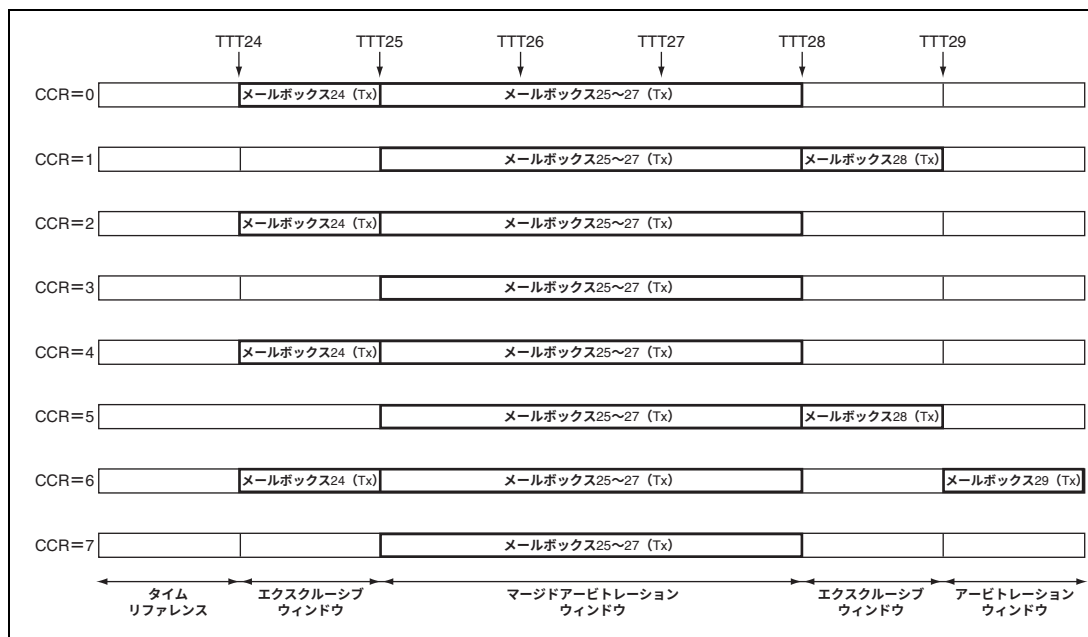


図 22.24 タイムスレープとしてのタイムトリガシステム例

図 22.24 の例で使用する値を表 22.11 に示します。

表 22.11 例で使用する設定値

	rep_factor (レジスタ)	Offset	TTW[1:0]	MBC[2:0]
メールボックス 24	B'001	B'000000	B'00	B'000
メールボックス 25	B'000	B'000000	B'10	B'000
メールボックス 26	B'000	B'000000	B'10	B'000
メールボックス 27	B'000	B'000000	B'11	B'000
メールボックス 28	B'010	B'000001	B'00	B'000
メールボックス 29	B'011	B'000110	B'01	B'000
メールボックス 30	-	-	-	B'111
メールボックス 31	-	-	-	B'011

【注】 CMAX=B'011、TXPR[30]=0

マージドアービトレーティングウィンドウ内では、タイムトリガ送信リクエストは FCFS (First Come First Served) で処理されます。たとえば、メールボックス 25 が送信トリガタイム 25 (TTT25) と送信トリガタイム 26 (TTT26) の間で送信できなかった場合、TTT26－TTT28 間ではメールボックス 25 はメールボックス 26 より優先度が高くなります。

タイムトリガ送信を無効にするには、MBC を B'111 に設定します。本モジュールがタイムマスタの場合、MBC[30]=B'000 としなければならず、タイムリファレンスウィンドウは自動的にアービトレーティングウィンドウと認識されます。

- タイマ動作

図 22.25 にタイマのタイミング図を示します。送信トリガタイム = n と設定すると、タイムトリガ送信は、CYCTR = $n+2$ から CYCTR = $n+3$ の間に開始します。

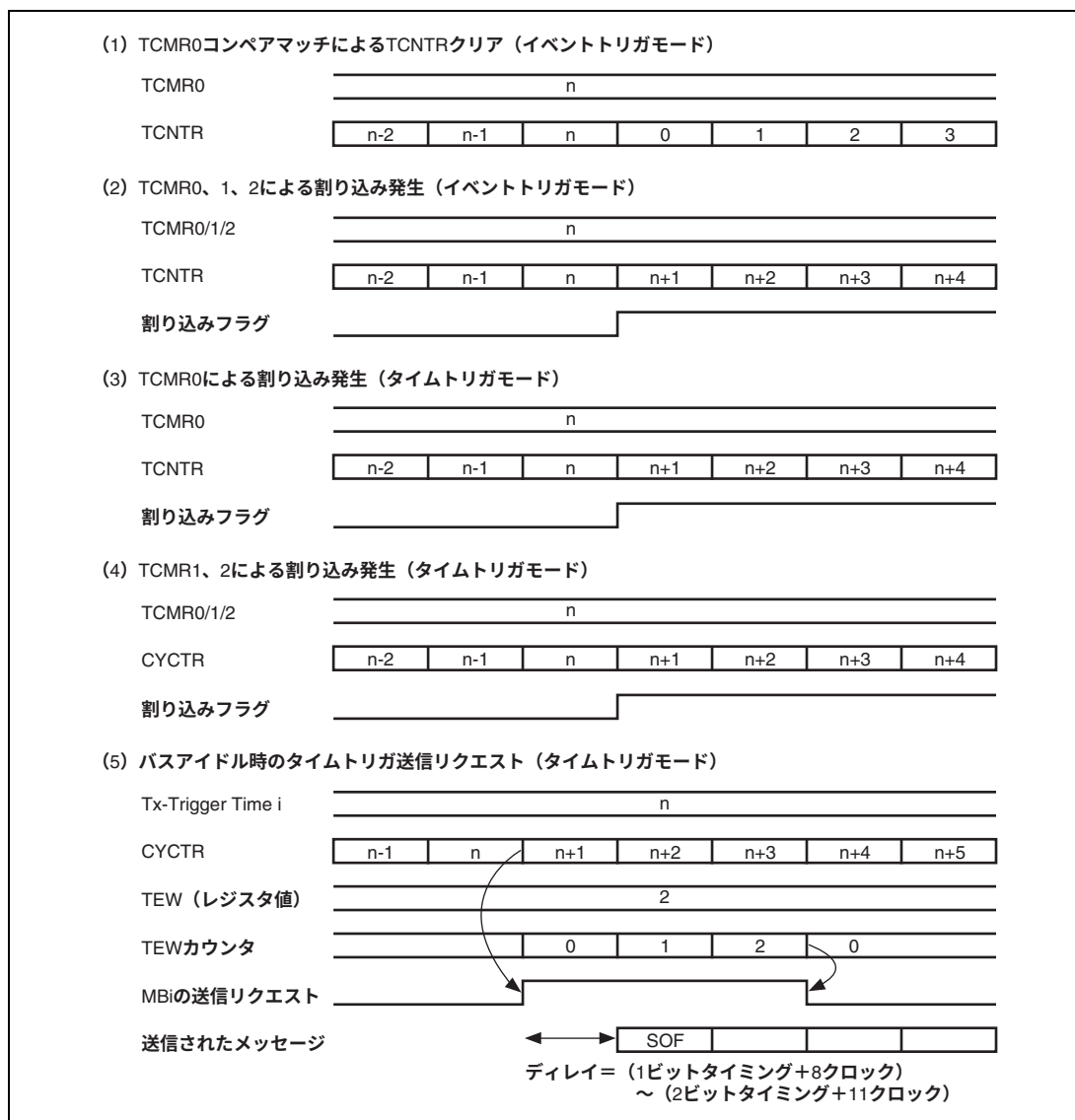


図 22.25 タイマのタイミング図

マージドアービトレイティングウィンドウ内では、イベントトリガ送信はタイマトリガ送信完了後に処理されます。たとえば、メールボックス 25 の送信が完了したときに CYCTR が TTT26 に到達していないと、MCR2 で指定したメッセージ送信の優先順位により、イベントトリガ送信が開始します。タイマトリガ送信の TXPR は送信完了後にクリアされませんが、イベントトリガ送信の TXPR は送信完了後にクリアされます。

マージドアービトレイティングウィンドウを閉じるメールボックスの TXPR がセットされない場合は、そのメールボックスの TTT の後に続く TEW の最後でマージドアービトレイティングウィンドウが閉じます。

「22.3.1 メールボックスの構成」の表 22.3 を参照してください。.

22.7.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 22.26 に示します。

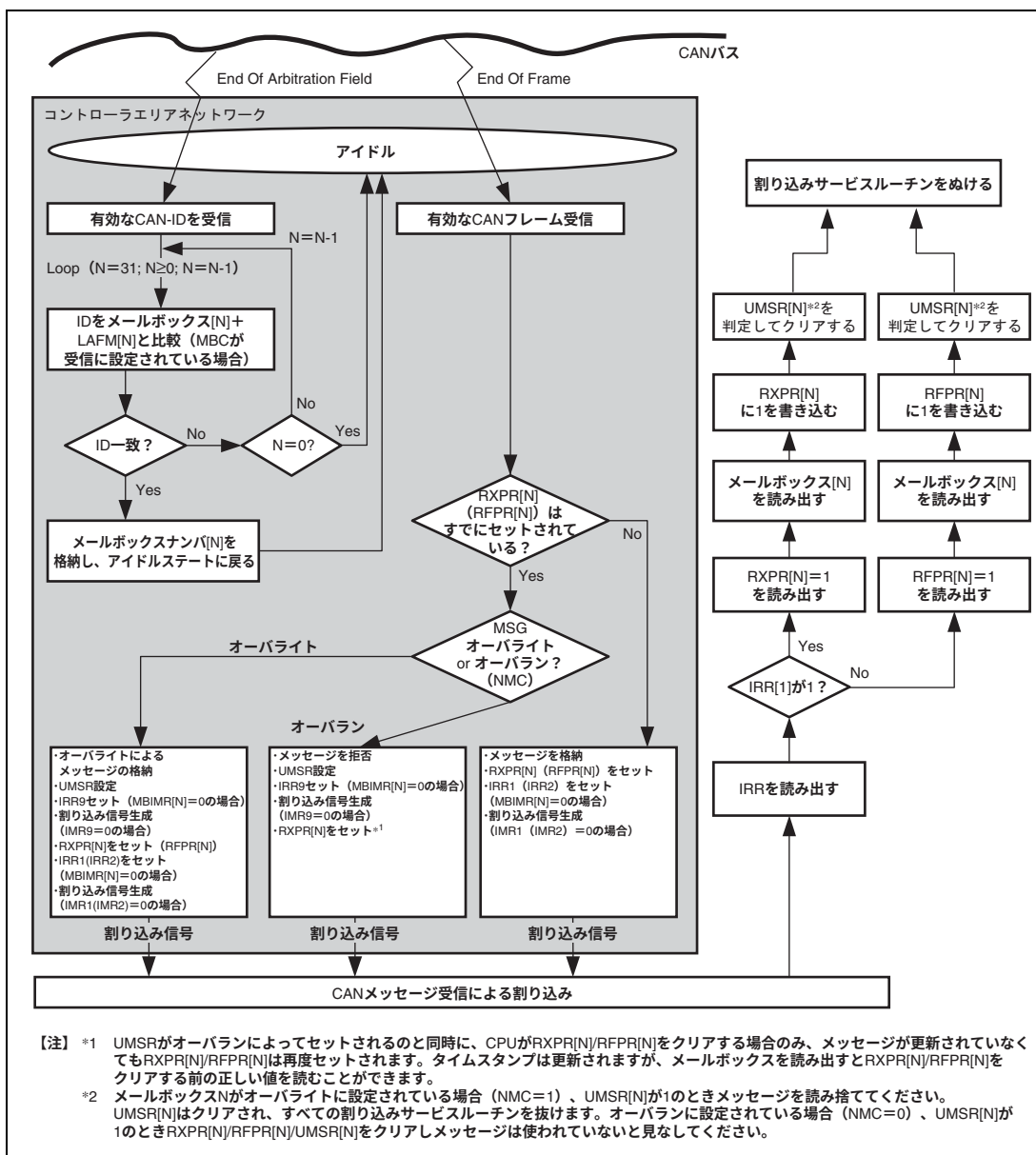


図 22.26 メッセージ受信シーケンス

メッセージを受信中に本モジュールがアービトレーションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 31 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 31（受信用に設定されている場合）の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 30（受信用に設定されている場合）に対して同じチェックを行います。一致する ID を見つけると本モジュールはそのメールボックス番号（N）を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF（End Of Frame）を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に本モジュールのメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。受信メッセージに対応するメールボックスに書き込むときに、メッセージ ID を含めて書き込まれるため、LAFM を使用するときは CAN-ID が異なる CAN-ID でオーバーライトされることがあります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致する場合には、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 22.26 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされること（NMC が 1 のとき）を検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

メールボックスがオーバランに（NMC=0）設定されているときは、UMSR がセットされた場合のメッセージは有効です。しかし、CAN バスでモニタされた最新のメッセージではなく古いメッセージです。メッセージの読み出しは、関連する RXPR/RFPR フラグをクリアする前に行ってください。

受信したリモートフレームがデータフレームでオーバーライトされた場合、リモートフレーム受信割り込み（IRR2）およびデータフレーム受信割り込み（IRR1）がセットされ、受信フラグ（RXPR、RFPR）もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

メッセージを受信しメールボックスに格納すると、受信されなかったデータフィールドはすべて 0 として格納されます。スタンダード ID を受信した場合も同様です。エクステンデッド ID（EXTID[17:0]）には 0 が書き込まれます。

22.7.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の 2 つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC=B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定（MBCを除く）はいつでも変更することができます。

- 送信ボックスから受信ボックスへの変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。本モジュールがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

本モジュールがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスの ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBC の設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージが CAN バス上にあり本モジュールが受信モードの場合、そのメッセージを逃すことはありません。本モジュールは現在行っている受信を完了してからホルトモードに遷移します。本モジュールがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

本モジュールがバスオフ状態の場合、ホルト状態への遷移は MCR レジスタのビット 6 およびビット 14 の設定に従います。

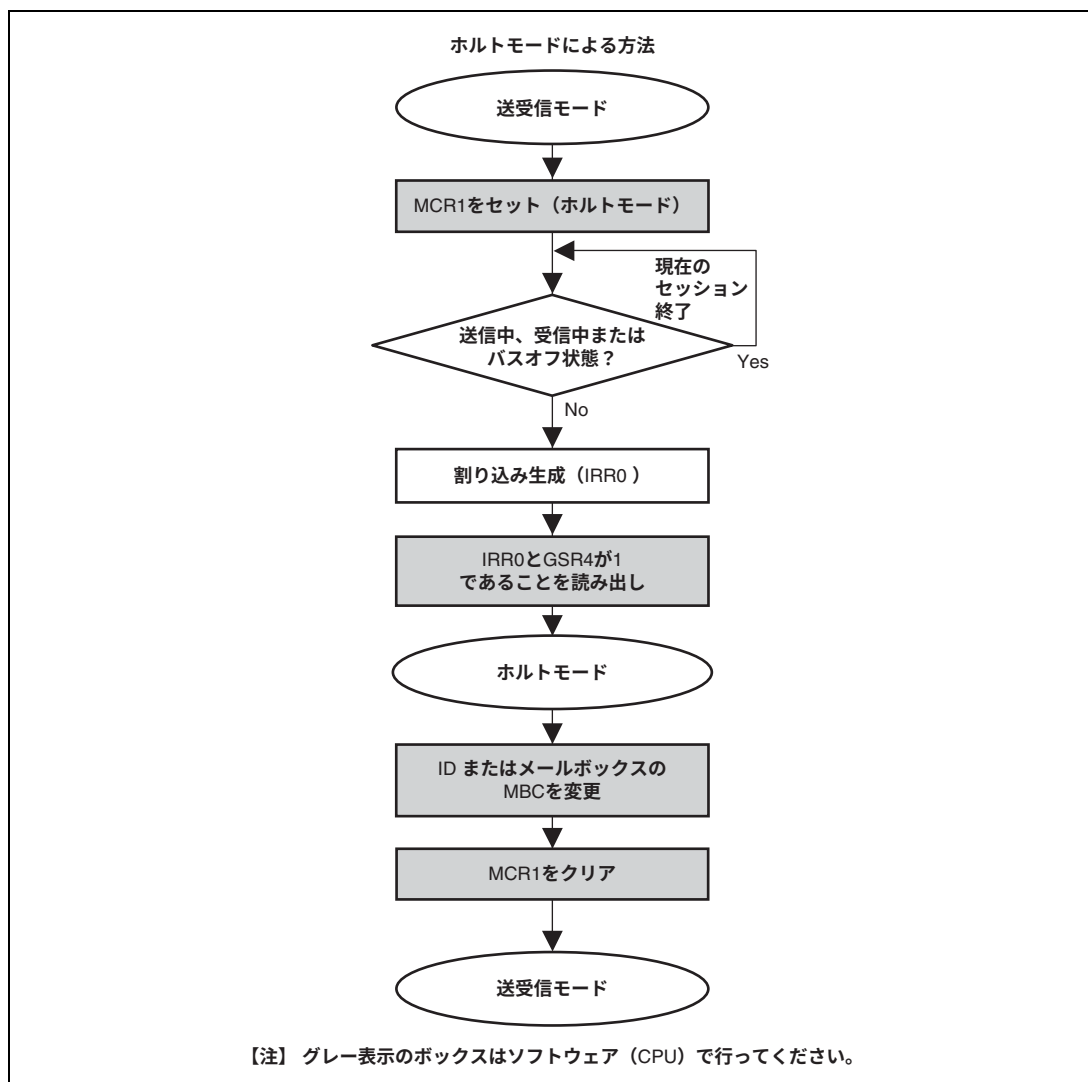


図 22.27 受信ボックスの ID 変更／受信ボックスから送信ボックスへの変更

22.8 割り込み要因

本モジュールには表 22.12 に示す割り込み要因があります。これらの要因はマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ（MBIMR）およびインタラプトマスクレジスタ（IMR）を使用します。各割り込み要求の割り込みベクタについては「第 7 章 割り込みコントローラ」を参照してください。

表 22.12 割り込み要因

名称	要 因	割り込みフラグ	ダイレクトメモリ アクセスコントローラの起動
ERSn* ¹	エラーパッシブ（TEC $\geq$ 128 または REC $\geq$ 128）	IRR5	不可
	バスオフ（TEC $\geq$ 256）／バスオフからの復帰	IRR6	
	エラーワーニング（TEC $\geq$ 96）	IRR3	
	エラーワーニング（REC $\geq$ 96）	IRR4	
OVRn* ¹	リセット／ホルト／CAN スリープ遷移	IRR0	
	オーバーロードフレーム送信	IRR7	
	未読メッセージのオーバライト（オーバラン）	IRR9	
	スタートシステムマトリックス	IRR10	
	TCMR2 コンペアマッチ	IRR11	
	CAN スリープ中 CAN バス動作の検出	IRR12	
	タイマオーバラン／Next_is_Gap／メッセージエラー	IRR13	
	TCMR0 コンペアマッチ	IRR14	
	TCMR1 コンペアマッチ	IRR15	
RM0n* ^{1*2}	データフレーム受信	IRR1* ³	可* ⁴
RM1n* ^{1*2}	リモートフレーム受信	IRR2* ³	
SLEn* ¹	メッセージの送信／送信取り消し（スロットエンプティ）	IRR8	不可

【注】 *¹ n=0、1

*² RM0 はメールボックス 0 のリモートフレーム受信フラグ（RFPR0[0]）またはデータフレーム受信フラグ（RXPR0[0]）による割り込み、RM1 はメールボックス n（n=1～31）のリモートフレーム受信フラグ（RFPR0[n]）またはデータフレーム受信フラグ（RXPR0[n]）による割り込みです。

*³ IRR1 はメールボックス 0～31 のデータフレーム受信フラグ、IRR2 はメールボックス 0～31 のリモートフレーム受信フラグです。

*⁴ RM0n 割り込みのみダイレクトメモリアクセスコントローラを起動できます。

22.9 ダイレクトメモリアクセスコントローラインタフェース

各チャンネルのメールボックス 0 にメッセージを受信すると、ダイレクトメモリアクセスコントローラを起動することができます。なお、ダイレクトメモリアクセスコントローラ起動を設定し、DMA 転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます。このとき、本モジュールからの受信割り込みで CPU への割り込みは発生しません。図 22.28 に DMA 転送フローチャートを示します。

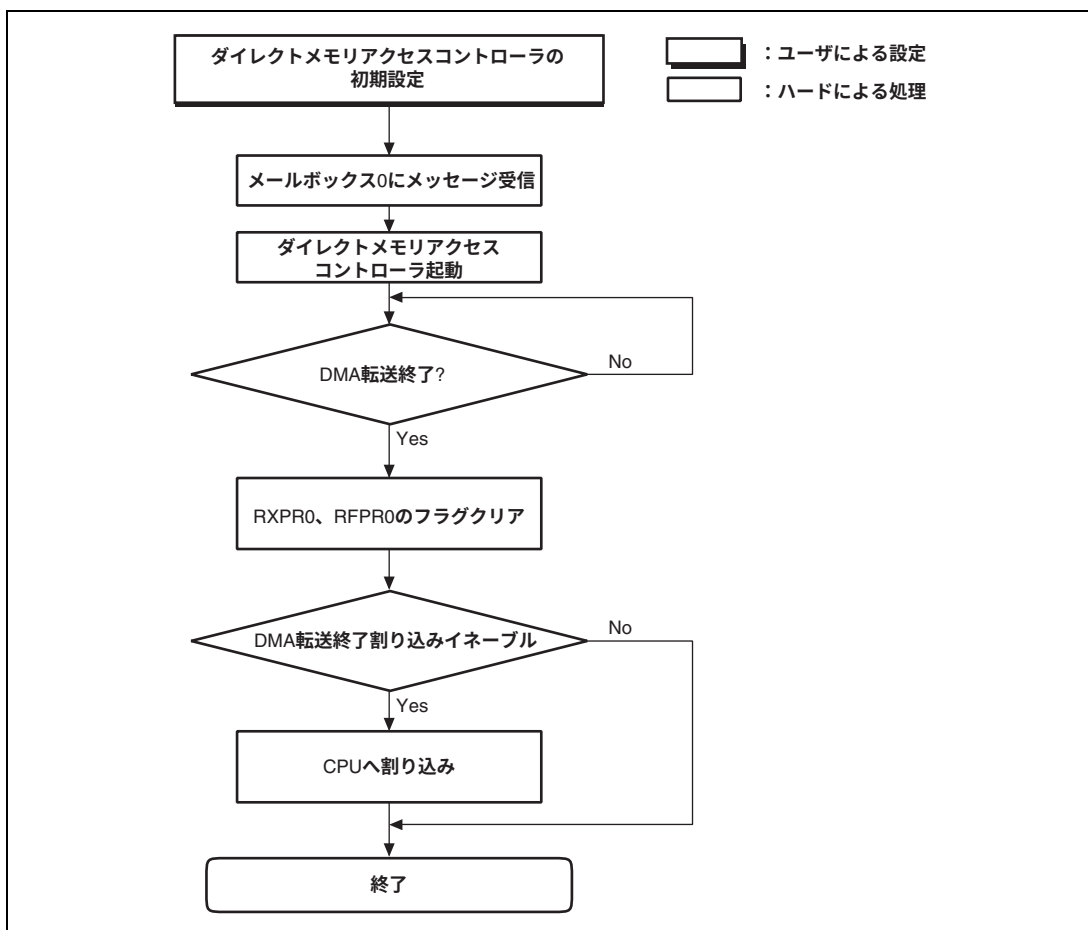


図 22.28 DMA 転送フローチャート

22.10 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。また、CRx、CTx 端子は 3V 仕様のため、レベルシフタを外付けする必要があります。図 22.29 に接続例を示します。

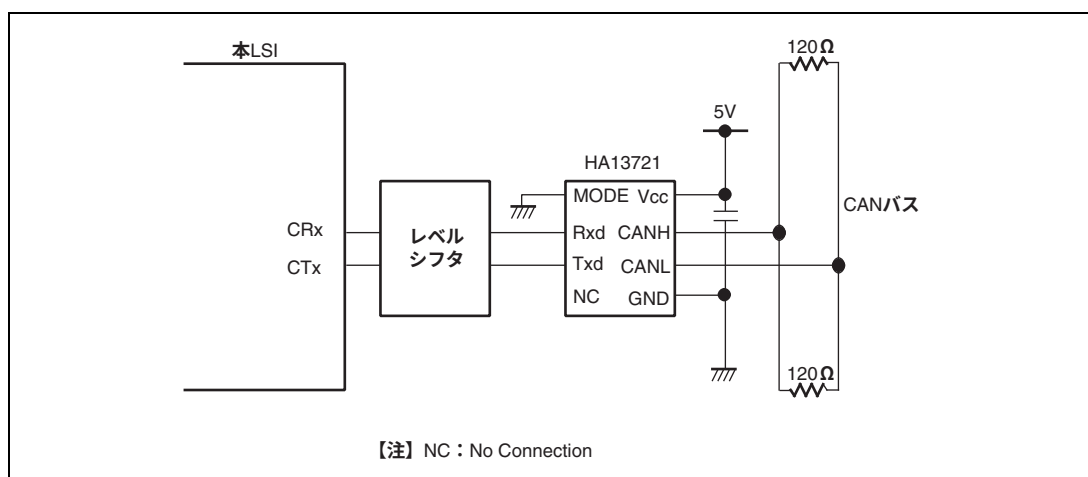


図 22.29 HA13721 を用いたハイスピード CAN インタフェース

22.11 端子ポート設定

ポート設定は、必ずコンフィギュレーションモード中またはそれ以前に行ってください。ポート設定方法の詳細は「第 31 章 汎用入出力ポート」を参照してください。本 LSI は本モジュールを 2 チャンネル内蔵しており、2 種類の使用方法があります。

- 2チャンネルの32メールボックス
- 1チャンネルの64メールボックス

【注】 64 メールボックス使用時には注意が必要です。「22.12.1 1チャンネル64 メールボックスでのポート設定についての注意事項」を必ずお読みください。

図 22.30、図 22.31 に各ポート設定での接続例を示します。

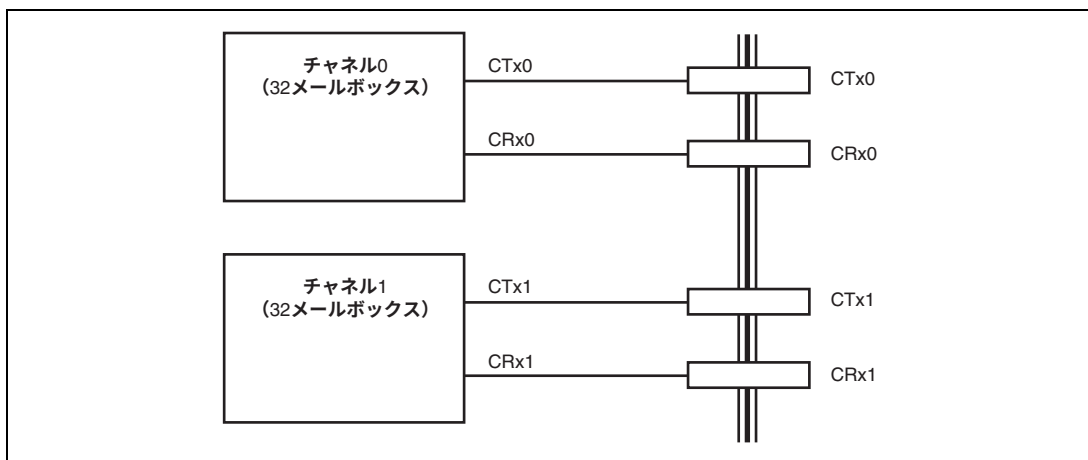


図 22.30 チャンネル 0、1 を個別のチャンネルとして使用するときの接続例

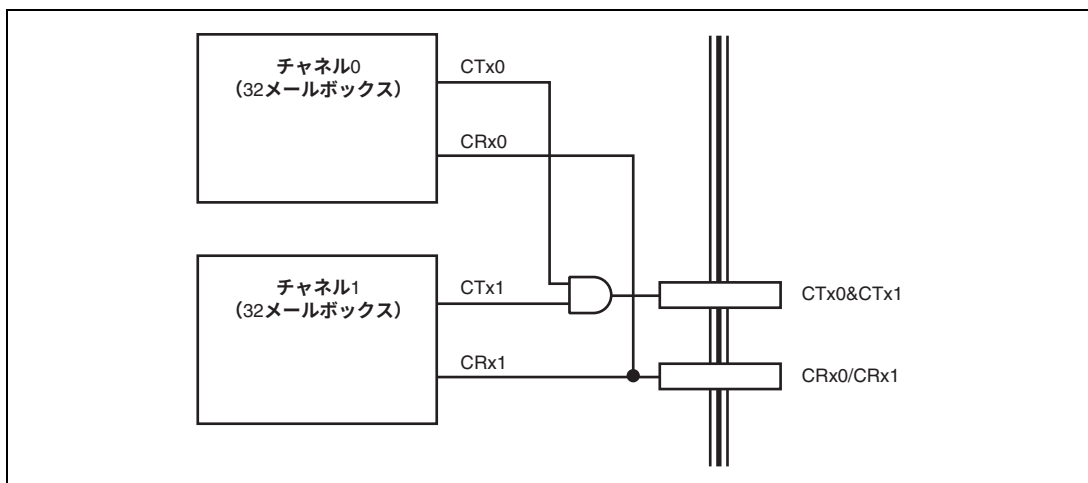


図 22.31 チャンネル 0、1 を 64 メールボックスの 1 チャンネルとして使用するときの接続例

22.12 使用上の注意事項

22.12.1 1 チャンネル 64 メールボックスでのポート設定についての注意事項

本 LSI は、本モジュールを 2 チャンネル内蔵しています。1 チャンネルで 64 メールボックスの設定で使用する際、以下の注意事項があります。

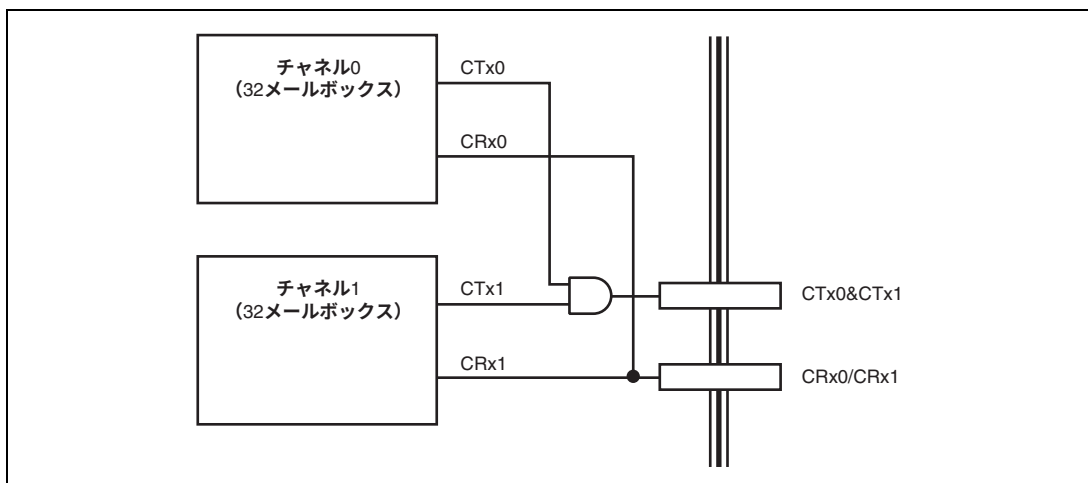


図 22.32 チャンネル 0、1 を 64 メールボックスの 1 チャンネルとして使用する際の接続例

1. CANバスに他ノードを接続しない状態でメッセージ送信した場合、ACKエラーが発生しません。上図のチャンネル0からメッセージを送信した場合、ACKフィールドでチャンネル1がACKを送信するためです。チャンネル1はCANバス上のメッセージを受信しており、CANプロトコルに従いACKフィールドでACKを送信し、そのACKをチャンネル0が受信します。
対応方法は、メッセージを送信しないチャンネル1をテストモードのリスンオンリモード状態（TST[2:0]=B'001）またはリセット状態（MCR0=1設定）にしてください。これにより、メッセージを送信しないチャンネルからACKを送信しません。
2. 送信順位を決定する内部アービトレーションは、それぞれチャンネル0とチャンネル1で独立して実施します。送信可能バッファは31メールボックス/チャンネルありますが、62バッファの範囲で内部アービトレーションは実施しません。
3. 同一送信メッセージIDをチャンネル0とチャンネル1に設定しないでください。CANバス上でのアービトレーション実施後、2つのチャンネルからメッセージを送信することになります。

23. IEBus™ コントローラ

本 LSI は、1 チャネルの IEBus コントローラを内蔵しています。IEBus™ (Inter Equipment Bus™) *は、装置間のデータ転送を目的とした小規模のデジタルデータ転送システムです。

本 LSI は IEBus ドライバ／レシーバを内蔵していないため、専用のドライバ／レシーバを外付けする必要があります。また、IERxD、IETxD 端子は 3V 仕様のため、専用のレベルシフタを外付けする必要があります。

【注】 * IEBus™ (Inter Equipment Bus™) はルネサスエレクトロニクスの商標です。

23.1 特長

- IEBusのプロトコル制御 (レイア2) に対応
 - 半二重非同期通信
 - マルチマスタ方式
 - 同報通信機能
 - 伝送速度の異なる3種類のモードが選択可能
- データ送受信バッファ内蔵
 - 送信バッファ／受信バッファは各128バイト
 - モード2の最大伝送バイト数である128バイトまで連続送受信が可能
- 動作周波数
 - 12MHz、12.58MHzのクロックを1/2に分周して使用
 - 18MHz、18.87MHzのクロックを1/3に分周して使用
 - 24MHz、25.16MHzのクロックを1/4に分周して使用
 - 30MHz、31.45MHzのクロックを1/5に分周して使用
 - 36MHz、37.74MHzのクロックを1/6に分周して使用
 - 42MHz、44.03MHzのクロックを1/7に分周して使用
 - 48MHzのクロックを1/8に分周して使用

【注】 * AUDIO_X1 は、シリアルサウンドインタフェース、FIFO 付きクロック同期シリアル I/O、ルネサス SPDIF インタフェースへのクロック入力として使用しない場合のみ、本モジュールのクロック入力として使用できます。

- モジュールスタンバイモードの設定可能

23.1.1 IEBus 通信プロトコル

IEBus の概要は、以下のとおりです。

- 通信方式：半2重非同期通信
- マルチマスタ方式

IEBusに接続しているすべてのユニットがほかのユニットへデータの伝送が実現できます。

- 同報通信機能（1ユニット対複数ユニットの通信）

グループ同報通信：グループユニットに対しての同報通信

一斉同報通信：すべてのユニットに対しての同報通信

- 伝送速度の異なる3種類のモードが選択可能

表 23.1 3 種類のモード

モード	IEB $\phi^{*1}=12\text{MHz}$ 、 18MHz 、 24MHz 、 30MHz 、 36MHz 、 42MHz 、 48MHz^{*2}	IEB $\phi^{*1}=12.58\text{MHz}$ 、 18.87MHz 、 25.16MHz 、 31.45MHz 、 37.74MHz 、 44.03MHz^{*2}	最大伝送バイト数 (バイト/フレーム)
0	約 3.9kbps	約 4.1kbps	16
1	約 17kbps	約 18kbps	32
2	約 26kbps	約 27kbps	128

【注】 *1 周辺クロック（P ϕ ）または AUDIO_X1、AUDIO_X2 のクロック

*2 本 LSI を使用したときの発振周波数

- アクセス制御：CSMA/CD（Carrier Sense Multiple Access with Collision Detection）

バス占有の優先順位は、次のとおりです。

1. 同報通信（1ユニット対複数ユニットの通信）が通常通信（1ユニット対1ユニットの通信）より優先
2. マスタアドレスの小さい方が優先

- 通信規模

ユニット数：最大50

ケーブル長：最長150m（ツイストペアケーブルを使用した場合）

【注】 実際のシステムにおける通信規模は、外付けの IEBus ドライバ/レシーバの特性や使用するケーブルの特性により異なります。

（1）バス占有権の決定（アービトレーション）

IEBus に接続された装置は他の装置を制御するときに、バスを占有するための動作を行います。この動作を、アービトレーションと呼びます。アービトレーションでは、複数のユニットが同時に送信を開始した場合に、それらの中から1つのユニットに対し、バスを占有する許可を与える処理が行われます。

アービトレーションにより1装置のみがバス占有権を得るため、次のようなバス占有の優先条件が決められています。

(a) 通信の種類による優先

同報通信 (1 ユニット対複数ユニットの通信) が通常通信 (1 ユニット対 1 ユニットの通信) より優先されます。

(b) マスタアドレスによる優先

通信種類が同じ場合には、マスタアドレスの最も小さいものが優先されます。

例：マスタアドレスは 12 ビットで構成され、H'000 のユニットが最上位の優先順位を持ち、H'FFF のユニットが最下位の優先順位を持ちます。

【注】 アービトレーションに負けた場合、自動的に再送信モードに入ることができます (再送信回数は、IEMCR の RN ビットで 0~7 回に設定可能です)。

(2) 通信モード

IEBus には、伝送速度の異なる 3 種の通信モードが用意されています。各通信モードにおける伝送速度および 1 通信フレームの中の最大伝送バイト数を、表 23.2 に示します。

表 23.2 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数 (バイト/フレーム)	実効伝送速度*1 (kbps)	
		IEB ϕ *2=12MHz、18MHz、24MHz、30MHz、 36MHz、42MHz、48MHz*3	IEB ϕ *2=12.58MHz、18.87MHz、 25.16MHz、31.45MHz、 37.74MHz、44.03MHz*3
0	16	約 3.9	約 4.1
1	32	約 17	約 18
2	128	約 26	約 27

【注】 IEBus に接続した各装置は、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタユニットとその通信相手局 (スレーブユニット) の通信モードが同一でないと、通信は正しく行われません。

IEB ϕ =6MHz の装置と IEB ϕ =6.29MHz の装置間では、通信モードが同一でも通信は正しく行われません。必ず同じ発振周波数で通信を行ってください。

*1 最大伝送バイト数を伝送したときの実行伝送速度

*2 周辺クロック (P ϕ) または AUDIO_X1、AUDIO_X2 のクロック

*3 本 LSI を使用したときの発振周波数

(3) 通信アドレス

IEBus では、各装置に 12 ビットの固有な通信アドレスが割り当てられます。通信アドレスは、次のように構成されます。

上位 4 ビット：グループ番号 (各装置の所属するグループを識別する番号)

下位 8 ビット：ユニット番号 (グループ内の各装置を識別する番号)

(4) 同報通信

通常の送信では、マスタユニットとその通信相手局となるスレーブユニットはともに1ユニットで、1対1の送信または受信が行われます。それに対し、同報通信ではスレーブユニットが複数存在し、マスタユニットは複数のスレーブユニットに対して送信を行います。スレーブユニットは複数存在するため、通信中スレーブユニットからは、アクノリッジは返されません。

また、同報通信を行うか通常の通信を行うかは、同報ビットによって決まります。（同報ビットについては、「23.1.2 (1) (b) 同報ビット」を参照してください）。

同報通信には、次の2種類があります。

(a) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内の装置に対して同報通信を行います。

(b) 一斉同報通信

グループ番号の値にかかわらずすべての装置に対して同報通信を行います。

グループ同報と一斉同報の識別は、スレーブアドレスの値で行われます（スレーブアドレスについては、「23.1.2

(3) スレーブアドレスフィールド」を参照してください）。

23.1.2 伝送プロトコル

IEBus の伝送信号フォーマットを図 23.1 に示します。

通信データは、通信フレームと呼ぶ一連の信号として伝送されます。1 通信フレームで伝送可能なデータ数および伝送速度は、通信モードによって異なります。

(IEBφ = 12MHz、18MHz、24MHz、30MHz、36MHz時)

フィールド名	ヘッダ		マスタアドレスフィールド		スレーブアドレスフィールド			コントロールフィールド			電文長フィールド			データフィールド					
ビット数	1	1	12	1	12	1	1	4	1	1	8	1	1	8	1	1	8	1	1
	スタートビット	同報ビット	マスタアドレス	P	スレーブアドレス	P	A	コントロールビット	P	A	電文長ビット	P	A	データビット	P	A	データビット	P	A
伝送時間																			
モード0	約7330μs													約1590×Nμs					
モード1	約2090μs													約410×Nμs					
モード2	約1590μs													約300×Nμs					

P：パリティビット（1ビット）

A：アクノリッジビット（1ビット）

A = 0のとき：ACK

A = 1のとき：NAK

N：データバイト数

【注】同報通信時には、アクノリッジビットの値は無視されます。

図 23.1 伝送信号フォーマット

(1) ヘッダ

ヘッダは、スタートビットおよび同報ビットで構成されています。

(a) スタートビット

スタートビットはデータ伝送の始まりをほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間ロウレベルの信号（スタートビット）を出力し、同報ビットの出力へ移行します。

スタートビットを出力しようとしたとき、すでにほかのユニットがスタートビットを出力している場合には、スタートビットを出力しないでそのユニットのスタートビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を始めたユニット以外は、このスタートビットを検出し受信状態へ移行します。

(b) 同報ビット

同報ビットは、同報通信、または通常の通信の識別を行うビットです。

同報ビットが0の場合には同報通信、1の場合には通常の通信を表します。また同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブアドレスの値によって行われます（スレーブアドレスについては、「23.1.2 (3) スレーブアドレスフィールド」を参照してください）。

同報通信の場合には通信相手局となるスレーブユニットが複数存在するため、(2)以降各フィールドでのアクロリッジビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が通常の通信より優先し、アービトレーションに勝ち残ります。

(2) マスタアドレスフィールド

マスタアドレスフィールドは、自分のユニットアドレス（マスタアドレス）をほかのユニットに送信するためのフィールドです。マスタアドレスフィールドはマスタアドレスビットとパリティビットで構成されています。

マスタアドレスは12ビットで構成されておりMSBより出力されます。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタアドレスフィールドへ持ち越されます。

マスタアドレスフィールドでは、1ビット送信するたびに自分が出力しているデータとバス上のデータとの比較を行います。比較の結果、自分の出力しているマスタアドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断し、送信を中止し受信状態へ移行します。

IEBusはワイヤードANDで構成されているため、アービトレーションに参加しているユニット（アービトレーションマスタ）の中で、最小のマスタアドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタアドレス出力後、1つのユニットのみがマスタユニットとして送信状態で残ります。

次に、このマスタユニットはパリティビット*を出力し、ほかのユニットに対してマスタアドレスを確定させ、スレーブアドレスフィールド出力へ移行します。

【注】 * パリティは偶数パリティを使用しており、マスタアドレスビット中の1のビットの数が奇数のとき、パリティビットが1となります。

(3) スレーブアドレスフィールド

スレーブアドレスフィールドは、通信を行いたいユニット（スレーブユニット）のアドレス（スレーブアドレス）を送信するためのフィールドです。スレーブアドレスフィールドはスレーブアドレスビット、パリティビットおよびアクノリッジビットで構成されています。

スレーブアドレスは 12 ビットで構成され MSB から出力されます。12 ビットのスレーブアドレス送信後、スレーブアドレスが間違えて受信されることを避けるため、パリティビットを出力します。次に、スレーブユニットがバス上に存在することを確認するために、マスタユニットはスレーブユニットからのアクノリッジ信号の検出を行います。アクノリッジ信号を検出した場合、コントロールフィールド出力へ移行します。ただし、同報通信時には、アクノリッジビットを検出せずに、コントロールフィールド出力へ移行します。

スレーブユニットは、スレーブアドレスが一致し、マスタアドレスとスレーブアドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブユニットはパリティが奇数の場合、マスタアドレスまたはスレーブアドレスが正しく受信されなかったと判断し、アクノリッジ信号を出力しません。このとき、マスタユニットは、待機（モニタ）状態になり通信が終了します。

また、同報通信の場合は、スレーブアドレスは次のようにグループ同報か、一斉同報かの識別に使用されます。

スレーブアドレスが H'FFF のとき ：一斉同報通信

スレーブアドレスが H'FFF 以外のとき：グループ同報通信

【注】 グループ同報通信時のグループ番号は、スレーブアドレスの上位 4 ビットの値になります。

(4) コントロールフィールド

コントロールフィールドは、次のデータフィールドの種類や方向を送信するためのフィールドです。コントロールフィールドはコントロールビット、パリティビットおよびアクノリッジビットで構成されています。

コントロールビットは 4 ビットで構成され MSB から出力されます。

コントロールビットに続いて、パリティビットが出力されます。パリティが偶数でかつ、マスタユニットの要求機能をスレーブが実行可能な場合は、スレーブユニットはアクノリッジ信号を出力し、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブユニットがマスタユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブユニットはアクノリッジ信号を出力せず、待機（モニタ）状態に戻ります。

マスタユニットはアクノリッジ信号を確認後、次の電文長フィールドへ移行します。

アクノリッジ信号の確認ができない場合は、マスタユニットは待機状態になり、通信が終了します。ただし同報通信の場合には、マスタユニットはアクノリッジ信号を確認せずに、次の電文長フィールドへ移行します。

コントロールビットの内容については表 23.4 を参照してください。

(5) 電文長フィールド

電文長フィールドは、通信データのバイト数を指定するためのフィールドです。電文長フィールドは、電文長ビットと、パリティビットおよびアクノリッジビットで構成されます。

電文長ビットは 8 ビットで構成され、MSB から出力されます。通信データのバイト数を表 23.3 に示します。

表 23.3 電文長ビットの内容

電文長ビット	送信データ・バイト数
H'01	1 バイト
H'02	2 バイト
.	.
.	.
H'FF	255 バイト
H'00	256 バイト

【注】 通信モードにより、1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信となります。その際、2 回目以降は、電文長ビットは残りの通信データのバイト数となります。本 LSI では電文長ビットの設定は 1 フレームの最大伝送バイト数以上は設定できません。以下に示す範囲内で設定してください。

モード 0 : 1~16 バイト

モード 1 : 1~32 バイト

モード 2 : 1~128 バイト

このフィールドの動作は、マスタ送信時（コントロールビットのビット 3 が 1）とマスタ受信時（コントロールビットのビット 3 が 0）で異なります。

(a) マスタ送信時

電文長ビットおよびパリティビットは、マスタユニットが出力します。スレーブユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力し、次のデータフィールドへ移行します。ただし、同報通信時では、スレーブユニットはアクノリッジ信号を出力しません。

また、スレーブユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機（モニタ）状態に戻ります。このとき、マスタユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティビットは、スレーブユニットが出力します。マスタユニットはパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機状態に戻ります。このとき、スレーブユニットも待機状態に戻り、通信が終了します。

(6) データフィールド

データフィールドは、スレーブユニットに対しデータを送受信するためのフィールドです。マスタユニットは、データフィールドを使用してスレーブユニットにデータを送信したり、スレーブユニットからデータを受信したりします。データフィールドはデータビット、パリティビットおよびアクノリッジビットで構成されています。

データユニットは 8 ビットで構成され MSB から出力されます。

データビットに続きパリティビットとアクノリッジビットが、それぞれマスタユニットおよびスレーブユニットより出力されます。

同報通信は、マスタユニットの送信動作のみに行われます。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作は次のようになります。

(a) マスタ送信時

マスタユニットからスレーブユニットへ書き込みを行う場合、マスタユニットは、スレーブユニットに対してデータビット、パリティビットを送信します。スレーブユニットはデータビット、パリティビットを受信し、パリティが偶数で、かつ受信バッファが空いていれば、アクノリッジ信号を出力します。パリティが奇数、または受信バッファが空いていない場合には、スレーブユニットは対応するデータの受け付けを拒否し、アクノリッジ信号出力を行いません。

スレーブユニットからアクノリッジ信号が出力されなかった場合、マスタユニットは再び同じデータを送信します。この動作はスレーブユニットからのアクノリッジ信号を検出するか、データ最大伝送バイト数を超えるまで続けられます。

パリティが偶数で、スレーブユニットからアクノリッジ信号が出力された場合は、データに続きがあり、かつ最大伝送バイト数を超えていなければ、マスタユニットは次のデータを送信します。

また、同報通信の場合では、スレーブユニットからはアクノリッジ信号は出力されず、マスタユニットはデータを1バイトごとに転送します。

(b) マスタ受信時

マスタユニットがスレーブユニットから読み込みを行う場合、マスタユニットはすべての読み込みビットに対応する同期信号を出力します。

スレーブユニットは、データ、パリティビットの内容をマスタユニットからの同期信号に応じてバス上に出力します。

マスタユニットは、スレーブユニットの出力したデータパリティビットを読み込み、パリティを確認します。

パリティが奇数の場合、または受信バッファが空いていない場合は、マスタユニットはそのデータ受け付けを拒否し、アクノリッジ信号を出力しません。1 通信フレームで送信可能な最大伝送バイト数以内であれば、マスタユニットは同じデータの読み込み動作を繰り返します。また、パリティが偶数で、かつ受信バッファが空いていれば、マスタユニットはデータを受け付け、アクノリッジ信号を返します。1 フレームで送信可能な最大バイト数以内であればマスタユニットは次のデータを読み込みます。

(7) パリティビット

パリティビットは、伝送データに誤りがないことを確認するために使用されます。

パリティビットは、マスタアドレスビット、スレーブアドレスビット、コントロールビット、電文長ビット、データビットの各データに対して付加されます。

パリティは、偶数パリティです。データの中の1のビット数が奇数の場合は、パリティビットは1となります。データ中の1の数が偶数の場合は、パリティビットは0となります。

(8) アクノリッジビット

通常通信 (1 ユニット対1 ユニット間の通信) においては、データを正しく受け付けたかを確認するために、次の箇所にアクノリッジビットが付加されます。

- スレーブアドレスフィールドの最後
- コントロールフィールドの最後

- 電文長フィールドの最後
- データフィールドの最後

アクノリッジビットの定義は次のとおりです。

- 0：伝送データを認識したことを表します。（ACK）
- 1：伝送データを認識しなかったことを表します。（NAK）

ただし、同報通信の場合には、アクノリッジビットの内容は無視されます。

(a) スレーブアドレスフィールドの最後のアクノリッジビット

スレーブアドレスフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- マスタアドレスビットまたはスレーブアドレスビットのパリティが正しくない場合
- タイミングエラー（ビットフォーマットにエラー）が発生した場合
- スレーブユニットが存在しなかった場合

(b) コントロールフィールドの最後のアクノリッジビット

コントロールフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- コントロールビットのパリティが正しくない場合
- スレーブ受信バッファ*が空でないのに、コントロールビットのビット3が1（書き込み動作）の場合
- スレーブ送信バッファ*が空なのに、コントロールビットがデータの読み込み（H'3、H'7）の場合
- ロックを設定されているのに、ロックを設定したユニット以外からコントロールビットのH'3、H'6、H'7、H'A、H'B、H'E、H'Fを要求した場合
- ロックを設定されていないのに、コントロールビットがロックアドレスの読み込み（H'4、H'5）の場合
- タイミングエラーが発生した場合
- 未定義のコントロールビットの場合

【注】 * 「23.1.3 (1) スレーブステータス（SSR）の読み込み（コントロールビット：H'0、H'6）」を参照してください。

(c) 電文長フィールドの最後のアクノリッジビット

電文長フィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- 電文長ビットのパリティが正しくない場合
- タイミングエラーが発生した場合

(d) データフィールドの最後のアクノリッジビット

データフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- データビットのパリティが正しくない場合*
- タイミングエラーが前回のアクノリッジビット伝送以降で発生した場合
- 受信バッファがフルの状態になり、それ以上のデータを受け付けることができない場合*

【注】 * この場合、送信側では1フレームで伝送可能な最大伝送バイト数以内であれば、最大伝送バイト数に達するまでそのデータフィールドの送信を再実行します。

23.1.3 伝送データ（データフィールドの内容）

データフィールドの内容は、コントロールビットで示されるデータになります。

表 23.4 コントロールビットの内容

設定値	ビット 3* ¹	ビット 2	ビット 1	ビット 0	機 能* ²
H'0	0	0	0	0	スレープステータス（SSR）の読み込み
H'1	0	0	0	1	未定義
H'2	0	0	1	0	未定義
H'3	0	0	1	1	データ読み込みとロック
H'4	0	1	0	0	ロックアドレスの読み込み（下位 8 ビット）
H'5	0	1	0	1	ロックアドレスの読み込み（上位 4 ビット）
H'6	0	1	1	0	スレープステータス（SSR）の読み込みとロック解除
H'7	0	1	1	1	データ読み込み
H'8	1	0	0	0	未定義
H'9	1	0	0	1	未定義
H'A	1	0	1	0	コマンド書き込みとロック
H'B	1	0	1	1	データ書き込みとロック
H'C	1	1	0	0	未定義
H'D	1	1	0	1	未定義
H'E	1	1	1	0	コマンド書き込み
H'F	1	1	1	1	データ書き込み

【注】 *1 ビット 3（MSB）の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータの転送方向が変わります。

ビット 3 が 1 の場合：マスタユニットからスレーブユニットへ転送

ビット 3 が 0 の場合：スレーブユニットからマスタユニットへ転送

*2 H'3、H'6、H'A、H'B はロックの設定、および解除を指定するコントロールビットです。

H'1、H'2、H'8、H'9、H'C、H'D の未定義値が送信された場合はアクノリッジを返しません。

マスタユニットによりロックを設定されたユニットは、ロックを要求したマスタユニット以外から受信したコントロールビットが表 23.5 以外の場合、受け付けを拒否し、アクノリッジビットを出力しません。

表 23.5 ロックされたスレーブユニットに対するコントロールフィールド

設定値	ビット 3	ビット 2	ビット 1	ビット 0	機 能
H'0	0	0	0	0	スレープステータスの読み込み
H'4	0	1	0	0	ロックアドレスの読み込み（下位 8 ビット）
H'5	0	1	0	1	ロックアドレスの読み込み（上位 4 ビット）

(1) スレープステータス (SSR) の読み込み (コントロールビット : H'0、H'6)

マスタユニットは、スレープステータスの読み込み (H'0、H'6) を行うことにより、スレープユニットが、アクノリッジビット (ACK) を返送しなかった理由を知ることができます。スレープステータスは、スレープステータスが最後に行った通信結果に対して決定されます。すべてのスレープユニットは、スレープステータスの情報を提供できます。スレープステータスについて、図 23.2 に示します。

MSB
LSB

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

ビット	値	意	味
ビット7	00	モード0	ユニットがサポートしている 最高位のモードを表します *1
ビット6	01	モード1	
	10	モード2	
	11	将来の拡張用	
ビット5	0	0固定	
ビット4 *2	0	スレープ送信停止	
	1	スレープ送信動作可能	
ビット3	0	0固定	
ビット2	0	ユニットがロック状態でない	
	1	ユニットがロック状態である	
ビット1 *3	0	スレープ受信バッファが空	
	1	スレープ受信バッファが空でない	
ビット0 *4	0	スレープ送信バッファが空	
	1	スレープ送信バッファが空でない	

【注】 *1 本LSIはモード2までサポート可能なので、ビット7、6は10に固定されています。

*2 ビット4の値は、IEBus自局アドレスレジスタ1 (IEAR1) のSTEビットにより選択することができます。

*3 スレープ受信バッファとは、データ書き込み処理時（コントロールビット：H'A、H'B、H'E、H'F）にアクセスされるバッファのことです。
本LSIでは、IEBus受信バッファレジスタ (IERB001～128) に該当し、ビット1はIEBus受信ステータスレジスタ (IERSR) のRXBSYビットの値となります。

*4 スレープ送信バッファとは、データ読み込み処理時（コントロールビット：H'3、H'7）にアクセスされるバッファのことです。
本LSIでは、IEBus送信バッファレジスタ (IETB001～128) に該当し、ビット0はIEBusゼネラルフラグレジスタ (IEFLG) SRQビットの値となります。

図 23.2 スレープステータス (SSR) のビット構成

(2) データコマンド転送 (コントロールビット : 読み込み (H'3、H'7)、書き込み (H'A、H'B、H'E、H'F))

データ読み込み (H'3、H'7) の場合、スレープユニットのデータバッファにあるデータが、マスタユニットに読み込まれます。データ書き込み (H'B、H'F) またはコマンド書き込み (H'A、H'E) の場合、スレープユニットが受信したデータはそのスレープユニットの動作規定に従って処理されます。

- 【注】 1. データとコマンドの選択は、ユーザがシステムに応じて自由に決めることができます。
2. H'3、H'A、H'B は通信条件、状態によりロックが設定されることがあります。

(3) ロックアドレスの読み込み（コントロールビット：H'4、H'5）

ロックアドレスの読み込み処理時（H'4、H'5）には、ロック命令を発行したマスタユニットのアドレス（12 ビット）が、次に示すように 1 バイト単位に構成されて、読み出されます。

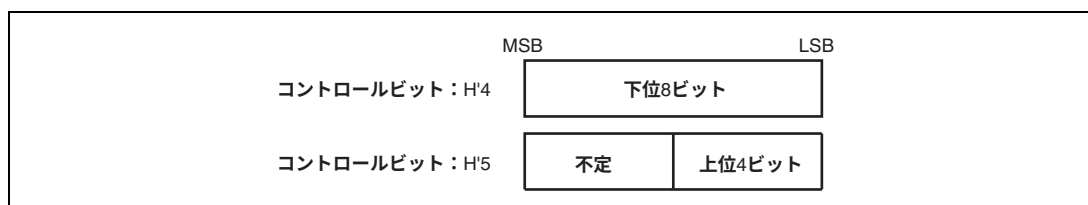


図 23.3 ロックアドレスの構成

(4) ロックの設定、解除（コントロールビット：設定（H'3、H'A、H'B）、解除（H'6）

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。ロックを設定されたユニットは、ロックをかけたユニット以外からは受信しません。

ロックの設定および解除を、次に示します。

(a) ロックの設定

ロックを指定したコントロールビット（H'3、H'A、H'B）で、電文長フィールドのアクノリッジビット 0 の送受信終了後、電文長ビットにて指定されたバイト数分のデータの送受信を完了せずに通信フレームを終了した場合に、スレーブユニットはマスタユニットにより、ロックを設定されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット（ビット 2）が 1 にセットされます。

ロックが設定されるのは、フレーム最大伝送バイト数を越えたときのみで、他のエラー終了ではセットされません。

(b) ロックの解除

ロックを指定したコントロールビット（H'3、H'A、H'B）または、ロックの解除を指定したコントロールビット（H'6）で、1 通信フレーム内に、電文長ビットで指定したバイト数分のデータの送受信完了後、スレーブユニットは、マスタユニットによりロックを解除されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット（ビット 2）が 0 にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

【注】 ロックの解除を指定されたユニット自身で解除するには、次の 3 種類の方法があります。

- ・ パワーオンリセットをかける
- ・ ディープスタンバイをかける
- ・ IEBus コマンドレジスタ（IECMR）でロック状態解除コマンドを発行する

なお、ロック状態の有無は IEFLG の LCK ビットで確認できます。

23.1.4 ビットフォーマット

IEBus の通信フレームを構成するビットのフォーマット（概念）を図 23.4 に示します。

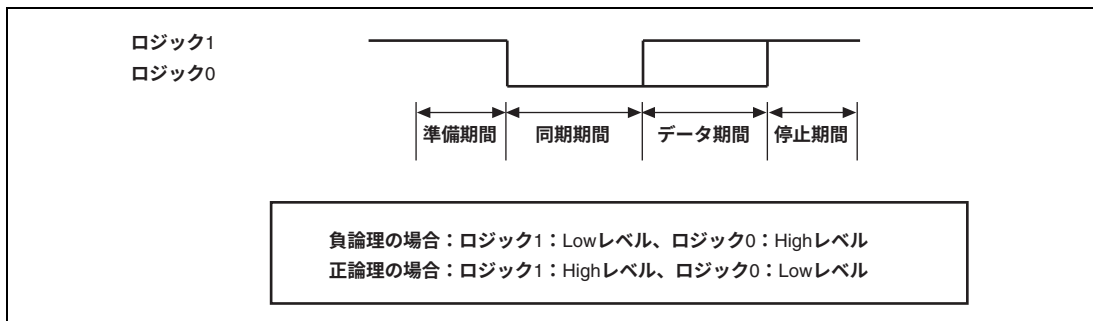


図 23.4 IEBus のビットフォーマット（概念）

以下、正論理の場合のビットフォーマットの各期間を説明します。

準備期間 : 最初のロジック 1 期間 (High レベル)

同期期間 : 次のロジック 0 期間 (Low レベル)

データ期間 : ビットの値を表す期間 (ロジック 1 : High レベル、ロジック 0 : Low レベル)

停止期間 : 最後のロジック 1 期間 (High レベル)

負論理の場合、正論理から反転したレベルになります。

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1 ビットごとに同期がとられています。また、ビット全体の時間と、そのビット内に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタユニットかスレーブユニットかの違いにより異なります。

23.1.5 構成

図 23.5 に全体ブロック図を、表 23.6 に各ブロックの機能を示します。

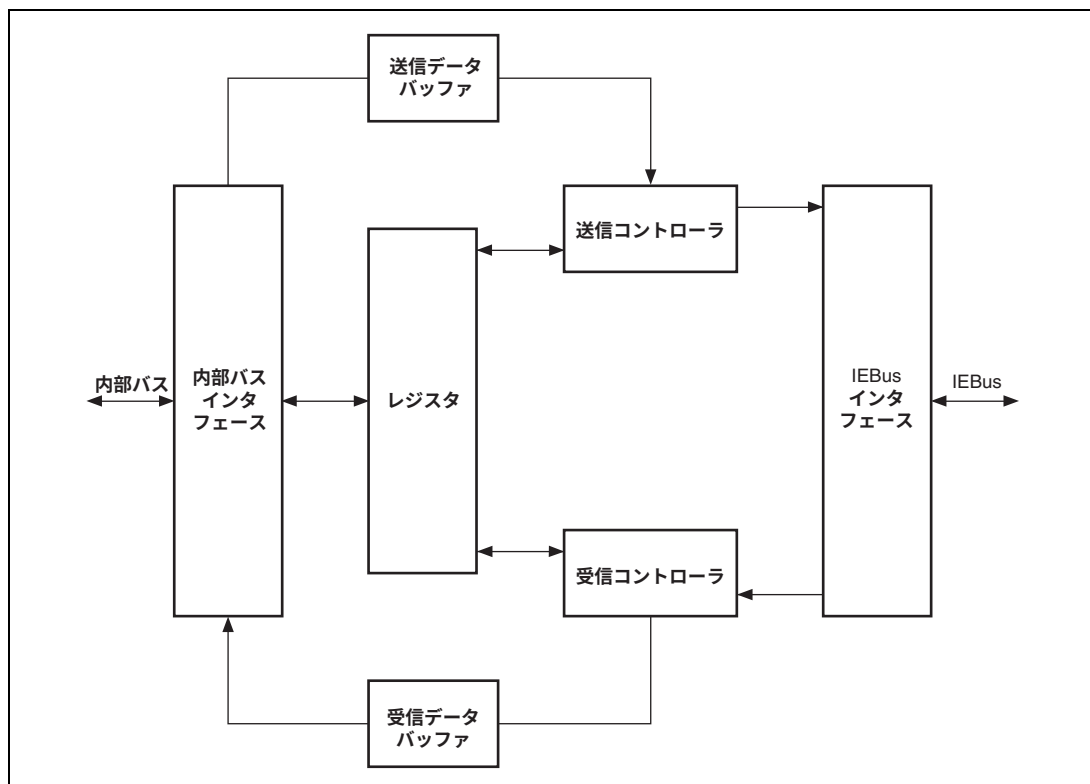


図 23.5 ブロック図

表 23.6 各ブロックの機能

ブロック	機 能
内部バスインタフェース	内部バスのインタフェース機能
	- データ幅 8 ビット - レジスタアクセス
IEBus インタフェース	IEBus 仕様に準拠したインタフェース機能
	- 送信コントローラからデータを IEBus 仕様のビットフォーマットで IEBus 送出 - IEBus 仕様のビットフォーマットからフレームデータを抽出し受信コントローラへ転送
レジスタ	制御レジスタ
	- 本モジュール制御のためのレジスタ - 内部バスよりリード/ライト可能
送信コントローラ	送信バッファのデータ IEBus に送信
	- レジスタからのヘッダ情報と送信バッファのデータにより送信フレームを生成し送信 - 送信エラー検出
受信コントローラ	IEBus からのデータを受信バッファに格納
	- 受信したフレームをヘッダ情報はレジスタにデータは受信バッファに格納 - 受信エラー検出
送信データバッファ	データ送信用バッファ
	- IEBus へ送信するデータを格納するバッファ - バッファ容量 128 バイト
受信データバッファ	データ受信用バッファ
	- IEBus から受信したデータを格納するバッファ - バッファ容量 128 バイト

23.2 入出力端子

表 23.7 端子構成

名称	端子名	入出力	機 能
IEBus 受信データ端子	IERxD	入力	受信データ入力端子
IEBus 送信データ端子	IETxD	出力	送信データ出力端子

23.3 レジスタの説明

表 23.8 にレジスタ構成を示します。

表 23.8 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
IEBus コントロールレジスタ	IECTR	R/W	H'00	H'FFFEF000	8
IEBus コマンドレジスタ	IECMR	W	H'00	H'FFFEF001	8
IEBus マスタコントロールレジスタ	IEMCR	R/W	H'00	H'FFFEF002	8
IEBus 自局アドレスレジスタ 1	IEAR1	R/W	H'00	H'FFFEF003	8
IEBus 自局アドレスレジスタ 2	IEAR2	R/W	H'00	H'FFFEF004	8
IEBus スレーブアドレス設定レジスタ 1	IESA1	R/W	H'00	H'FFFEF005	8
IEBus スレーブアドレス設定レジスタ 2	IESA2	R/W	H'00	H'FFFEF006	8
IEBus 送信電文長レジスタ	IETBFL	R/W	H'00	H'FFFEF007	8
IEBus 受信マスタアドレスレジスタ 1	IEMA1	R	H'00	H'FFFEF009	8
IEBus 受信マスタアドレスレジスタ 2	IEMA2	R	H'00	H'FFFEF00A	8
IEBus 受信コントロールフィールド レジスタ	IERCTL	R	H'00	H'FFFEF00B	8
IEBus 受信電文長レジスタ	IERBFL	R	H'00	H'FFFEF00C	8
IEBus ロックアドレスレジスタ 1	IELA1	R	H'00	H'FFFEF00E	8
IEBus ロックアドレスレジスタ 2	IELA2	R	H'00	H'FFFEF00F	8
IEBus ゼネラルフラグレジスタ	IEFLG	R	H'00	H'FFFEF010	8
IEBus 送信ステータスレジスタ	IETSR	R/(W)*	H'00	H'FFFEF011	8
IEBus 送信割り込み許可レジスタ	IEIET	R/W	H'00	H'FFFEF012	8
IEBus 受信ステータスレジスタ	IERSR	R/(W)*	H'00	H'FFFEF014	8
IEBus 受信割り込み許可レジスタ	IEIER	R/W	H'00	H'FFFEF015	8
IEBus クロック選択レジスタ	IECKSR	R/W	H'01	H'FFFEF018	8
IEBus 送信データバッファ 001~128	IETB001~ IETB128	W	不定	H'FFFEF100 ~ H'FFFEF17F	8
IEBus 受信データバッファ 001~128	IERB001~ IERB128	R	不定	H'FFFEF200 ~ H'FFFEF27F	8

【注】 * フラグをクリアするための 1 ライトのみ可能です。

23.3.1 IEBus コントロールレジスタ (IECTR)

IECTR は、本モジュールの動作の制御の設定を行うレジスタです。

ビット：	7	6	5	4	3	2	1	0
	-	IOL	DEE	-	RE	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	IOL	0	R/W	入出力レベル IERxD、IETxD 端子の入出力端子のレベル（正論理、負論理）を選択します。 0：端子の入出力は負論理 （ロジック 1 が Low レベル、ロジック 0 が High レベル） 1：端子の入出力は正論理 （ロジック 1 が High レベル、ロジック 0 が Low レベル）
5	DEE	0	R/W	同報受信エラー割り込みイネーブル 本ビットを 1 にセットすると、同報受信時に、受信バッファが受信可能状態にならない場合（RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態）、同報受信エラー割り込みが発生します。その際、IEBus 受信マスタアドレスレジスタ 1、2 が格納されます。 本ビットが 0 のときは、同報受信時に、受信バッファが受信可能状態にならない場合、同報受信エラー割り込みは発生せず受信を中止して待機状態に入ります。マスタアドレスは保存されません。 0：コントロールフィールドまでの同報受信エラーを発生させない 1：コントロールフィールドまでの同報受信エラーを発生させる
4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RE	0	R/W	レシーブイネーブル 受信の許可／禁止を設定します。本ビットの設定は、フレーム受信前の初期設定で行ってください。 0：受信動作を禁止 1：受信動作を許可
2～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.2 IEBus コマンドレジスタ (IECMR)

IECMR は、通信の制御を行うためのコマンドを発行するレジスタです。本レジスタはライト専用レジスタです。リード値は不定です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMD		
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	W	W	W

ビット	ビット名	初期値	R/W	説 明
7～3	—	すべて 0	—	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
2～0	CMD	000	W	コマンドビット 通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLG の CMX ビットがセットされている間はコマンド実行中です。CMX が 0 になって、動作状態に移行します。 000: ノーオペレーション (動作に影響なし) 001: ロック状態 (他局からの要求) を解除*1 010: マスタとしての通信を要求 011: マスタ通信を中止*2 100: 未定義*4 101: スレーブからのデータ送信を要求 110: スレーブからのデータ送信を中止*3 111: 未定義*4

【注】 *1 スレーブ通信状態では、実行禁止です。

*2 マスタ通信中 (MRQ=1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されます。マスタ通信中に本コマンドを発行すると、通信コントローラはただちに待機状態に入ります。同時に、発行されていたマスタ送信要求は終了 (MRQ=0) します。

*3 スレーブ送信 (SRQ=1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されます。スレーブ送信中に本コマンドを発行すると、スレーブ送信を行う前では、SRQ=0 となるため、マスタからの送信要求に対応しなくなります。スレーブ送信を行っている状態でコマンドを発行すると、送信動作を中止し、待機状態になります。(SRQ=0)

*4 未定義ビットです。本コマンドを発行しても動作に影響ありません。

23.3.3 IEBus マスタコントロールレジスタ (IEMCR)

IEMCR は、マスタ通信を行うときの通信条件を設定します。

ビット:	7	6	5	4	3	2	1	0
	SS	RN			CTL* ¹			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SS	0	R/W	同報／通常通信の選択 マスタ通信時の、同報／通常通信の選択を行います。 0 : マスタ通信時、同報通信 1 : マスタ通信時、通常通信
6～4	RN	000	R/W	再送回数 マスタ通信中にアービトレーションに負けた場合に、自動的に再送信を行う回数を設定します。アービトレーションに負けた場合、IETSR の TXEAL ビットがセットされ、送信エラー終了となります。 000 : 0 回 001 : 1 回 010 : 2 回 011 : 3 回 100 : 4 回 101 : 5 回 110 : 6 回 111 : 7 回

ビット	ビット名	初期値	R/W	説 明
3～0	CTL* ¹	0000	R/W	コントロールビット マスタ送信時の、コントロールフィールドのコントロールビットの設定を行います。 0000 : スレーブステータスの読み込み 0001 : 未定義*³ 0010 : 未定義*³ 0011 : データ読み込みとロック*² 0100 : ロックアドレスの読み込み (下位 8 ビット) 0101 : ロックアドレスの読み込み (上位 4 ビット) 0110 : スレーブステータスの読み込みとロック解除*² 0111 : データ読み込み 1000 : 未定義*³ 1001 : 未定義*³ 1010 : コマンド書き込みとロック*² 1011 : データ書き込みとロック*² 1100 : 未定義*³ 1101 : 未定義*³ 1110 : コマンド書き込み 1111 : データ書き込み

【注】 *¹ ビット 3 の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータ転送方向が変わります。

ビット 3 が 1 の場合 : マスタユニットからスレーブユニットへの転送

ビット 3 が 0 の場合 : スレーブユニットからマスタユニットへの転送

*² ロックの設定および解除を指定するコントロールビットです。

*³ 使用禁止です。

23.3.4 IEBus 自局アドレスレジスタ 1 (IEAR1)

IEAR1 は、自局アドレスの下位 4 ビットと、通信モードを設定します。自局アドレスは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット:	7	6	5	4	3	2	1	0
	IARL4				IMD		-	STE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IARL4	0000	R/W	IEBus 自局アドレス下位 4 ビット 自局アドレスの下位 4 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。
3, 2	IMD	00	R/W	IEBus 通信モード IEBus 通信モードの選択を行います。 00: 通信モード 0 01: 通信モード 1 10: 通信モード 2 11: 設定禁止
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STE	0	R/W	スレーブ送信設定 スレーブステータスレジスタのビット 4 の値を設定します。本ビットを 1 に設定すると、マスタユニットに対して、スレーブステータスレジスタの送信により、スレーブ送信可能状態である、という情報を与えます。本ビットはスレーブステータスレジスタの値を設定するだけで、スレーブ送信の動作には直接影響しません。 0: スレーブステータスのビット 4 は 0 (スレーブ送信停止状態) 1: スレーブステータスのビット 4 は 1 (スレーブ送信可能状態)

23.3.5 IEBus 自局アドレスレジスタ 2 (IEAR2)

IEAR2 は、自局アドレスの上位 8 ビットを設定します。本レジスタは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット：	7	6	5	4	3	2	1	0
	IARU8							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	IARU8	すべて 0	R/W	IEBus 自局アドレス上位 8 ビット 自局アドレスの上位 8 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。

23.3.6 IEBus スレーブアドレス設定レジスタ 1 (IESA1)

IESA1 は、通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。

ビット：	7	6	5	4	3	2	1	0
	ISAL4				-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～4	ISAL4	0000	R/W	IEBus スレーブアドレス下位 4 ビット 通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。
3～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.7 IEBus スレーブアドレス設定レジスタ 2 (IESA2)

IESA2 は、通信相手のスレーブユニットのアドレスの上位 8 ビット設定します。

ビット：	7	6	5	4	3	2	1	0
	ISAU8							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	ISAU8	すべて 0	R/W	IEBus スレーブアドレス上位 8 ビット 通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。

23.3.8 IEBus 送信電文長レジスタ (IETBFL)

IETBFL は、マスタ送信、スレーブ送信を行う際の電文長を設定します。

ビット：	7	6	5	4	3	2	1	0
	IBFL							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	IBFL	すべて 0	R/W	送信電文長ビット マスタ送信する際の電文長の値を設定します。通信モードの最大伝送バイト数以内の値を設定してください。 H'01 : 1 バイト H'02 : 2 バイト : H'7F : 127 バイト H'80 : 128 バイト H'81 : 未定義* : H'FF : 未定義* H'00 : 未定義*

【注】 * 設定禁止です。

23.3.9 IEBus 受信マスタアドレスレジスタ 1 (IEMA1)

IEMA1 は、スレーブ／同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。

ビット：	7	6	5	4	3	2	1	0
	IMAL4				-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～4	IMAL4	0000	R	IEBus 受信マスタアドレス下位 4 ビット スレーブ／同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。本レジスタは、スレーブ／同報受信が開始されると有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。 IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA1 にマスタアドレス下位 4 ビットが格納されます。
3～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.10 IEBus 受信マスタアドレスレジスタ 2 (IEMA2)

IEMA2 は、スレーブ／同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。本レジスタは、スレーブ／同報受信が開始すると有効になります（IERSR の RXS ビットがセットされた時点で、内容が書き換えられます）。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。本レジスタへのライトは無効です。

ビット：	7	6	5	4	3	2	1	0
	IMAU8							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	IMAU8	すべて 0	R	IEBus 受信マスタアドレス上位 8 ビット スレーブ／同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットを表示します。本レジスタは、スレーブ／同報受信が開始されると有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。 IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。

23.3.11 IEBus 受信コントロールフィールドレジスタ (IERCTL)

IERCTL は、スレープ／同報受信時のコントロールフィールドの値が読み出されます。本レジスタは、スレープ／同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RCTL			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	RCTL	0000	R	IEBus 受信コントロールフィールド スレープ／同報受信時のコントロールフィールドの値を表示します。本レジスタは、スレープ／同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。

23.3.12 IEBus 受信電文長レジスタ (IERBFL)

IERBFL は、スレープ／同報受信時の電文長フィールドが読み出されます。本レジスタは、スレープ／同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	RBFL							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	RBFL	すべて 0	R	IEBus 受信電文長 スレープ／同報受信時の電文長フィールドの内容が読み出されます。

23.3.13 IEBus ロックアドレスレジスタ 1 (IELA1)

IELA1 は、ロックが設定されたときのロックアドレスの下位 8 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	ILAL8							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	ILAL8	すべて 0	R	IEBus ロックアドレス下位 8 ビット ロックを設定したマスタユニットのアドレス下位 8 ビットを表示します。 IEFLG の LCK ビットがセットされているときのみ有効です。

23.3.14 IEBus ロックアドレスレジスタ 2 (IELA2)

IELA2 は、ロックが設定されたときのロックアドレスの上位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ILAU4			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	ILAU4	0000	R	IEBus ロックアドレス上位 4 ビット ロックを設定したマスタユニットのアドレス上位 4 ビットを格納します。 IEFLG の LCK ビットがセットされているときのみ有効です。

23.3.15 IEBus ゼネラルフラグレジスタ (IEFLG)

IEFLG は、本モジュールのコマンドの実行状態の表示、ロック状態の表示、スレーブアドレスの一致、同報受信の検出を行います。

ビット：	7	6	5	4	3	2	1	0
	CMX	MRQ	SRQ	SRE	LCK	-	RSS	GG
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	CMX	0	R	コマンド実行状態 コマンドの実行状態を示します。 0：コマンドの実行は終了 1：コマンド実行中 [セット条件] - MRQ、SRQ、SRE のいずれかがセットされた条件で、マスタ通信要求コマンドかスレーブ送信要求コマンドを発行時 [クリア条件] - コマンドが実行終了したとき。
6	MRQ	0	R	マスタ通信要求 マスタユニットとして、通信要求期間中か期間中でないかを示します。 0：マスタユニットとしての通信要求期間中ではない 1：マスタユニットとしての通信要求期間中 [セット条件] - マスタ通信要求コマンドを発行し、CMX ビットが 0 になったとき。 [クリア条件] - マスタ通信が終了したとき。
5	SRQ	0	R	スレーブ送信要求 スレーブユニットとして、送信要求期間中か期間中でないかを示します。 0：スレーブユニットとして送信要求期間中ではない 1：スレーブユニットとして送信要求期間中 [セット条件] - スレーブ送信要求コマンドを発行し、CMX ビットが 0 になったとき。 [クリア条件] - スレーブ送信が終了したとき。

ビット	ビット名	初期値	R/W	説 明
4	SRE	0	R	スレーブ受信状態 スレーブ／同報受信の実行状態を示します。 0：スレーブ／同報受信中ではない 1：スレーブ／同報受信 [セット条件] • IECTR の RE ビットが 1 の状態で、スレーブ／同報受信を開始したとき。 [クリア条件] • スレーブ／同報受信が終了したとき。
3	LCK	0	R	ロック状態表示 マスタユニットからロック要求を受けて、ロックが設定された場合、セットされます。IELA1、IELA2 の値は本ビットがセットされているとき、有効です。 0：ロックは解除 1：ロック状態 [セット条件] • マスタからロック設定のコントロールビットを受信し、電文長で指定されたデータを受信しなかったとき（LCK がセットされるのはフレーム最大伝送バイト数を超えたときのみで、他のエラー終了ではセットされません）。 [クリア条件] • ロック解除条件が成立するか、ロック解除コマンドを発行したとき。
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	RSS	0	R	受信同報ビット 受信した同報ビットの値を示します。スレーブ／同報受信開始時有効になります（RXS ビットがセットされた時点で内容が書き換えられます）。 スレーブ／同報受信開始時までは、前回値を保持します。 0：受信した同報ビットは 0 1：受信した同報ビットは 1
0	GG	0	R	一斉同報受信認識 同報受信時、スレーブアドレスが H'FFF を認識したとき、セットされます。受信同報ビットと同様に、スレーブ／同報受信開始時有効になります（RXS ビットがセットされた時点で、内容が書き換えられます）。 スレーブ／同報受信開始時までは、前回値を保持します。スレーブ通常受信の場合は、0 になります。 0：（1）スレーブ受信であった （2）同報受信時、スレーブアドレスフィールドで H'FFF を認識しなかった 1：同報受信時、スレーブアドレスフィールドで H'FFF を認識した

23.3.16 IEBus 送信ステータスレジスタ (IETSR)

IETSR は、送信開始、送信正常終了、送信エラー終了等の状態を検出します。

それぞれの要因は、IEBus 送信割り込み許可レジスタ (IEIET) に対応したビットを持っており、割り込みの禁止/許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット:	7	6	5	4	3	2	1	0
	-	TXS	TXF	-	TXEAL	TXETIME	TXERO	TXEACK
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXS	0	R/(W)*	送信開始 本モジュールが、送信開始したことを示します。 [セット条件] • マスタ送信時、アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき。 [クリア条件] • 1 をライトしたとき
5	TXF	0	R/(W)*	送信正常終了 送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。 [セット条件] • 電文長ビットで指定した送信データバイト数分の送信を終了したとき [クリア条件] • 1 をライトしたとき
4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/(W)*	アービトレーション負け 本モジュールはマスタ通信時にアービトレーションに負けた場合、IEMCR の RN で設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合には、本ビットをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、本ビットは 1 にセットされません。本ビットがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。 [セット条件] • データ送信中に、アービトレーション負けが発生し送信が終了したことを示します。 [クリア条件] • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説 明
2	TXETTME	0	R/(W)*	送信タイミングエラー データ送信中、IEBus プロトコルで規定したタイミングでデータの転送が行われなかったとき、本ビットがセットされます。本モジュールは、本ビットをセットして待機状態になります。 [セット条件] - データ送信中に、タイミングエラーが発生したことを示します。 [クリア条件] 1 をライトしたとき
1	TXERO	0	R/(W)*	送信フレーム最大伝送バイト数オーバ データ送信時に、受信ユニットから NAK を受信し再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送数より大きい値であったため、送信が終了しなかったことを示します。本モジュールは本ビットをセットして待機状態になります。 [セット条件] - 通信モードで定義する最大バイト数まで送信したが、送信が終了しなかったことを示します。 [クリア条件] 1 をライトしたとき
0	TXEACK	0	R/(W)*	アクノリッジビット データフィールドのアクノリッジビットで受信したデータを示します。 - データフィールド以外のアクノリッジビット NAK を受信すると、送信を中止し待機状態に入ります。本ビットは 1 にセットされます。 - データフィールドでのアクノリッジビット データフィールド送信時に、受信ユニットから NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。この場合、送信中に受信ユニットから、ACK を受信した場合には、本ビットは設定されず、そのまま送信を行います。ACK を受信することができずに、通信を終了した場合に、本ビットは 1 にセットされます。 【注】本フラグは同報通信では、無効です。 [セット条件] - アクノリッジビットで 1 (NAK) を検出したことを示します。 [クリア条件] 1 をライトしたとき

【注】 * フラグをクリアするための 1 ライトのみ可能です。

23.3.17 IEBus 送信割り込み許可レジスタ (IEIET)

IEIET は、IETSR の送信開始、送信正常終了、送信エラー終了等の各要因について、割り込みの禁止／許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	-	TXSE	TXFE	-	TXEAL	TXE TTMEE	TXEROE	TXE ACKE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXSE	0	R/W	送信開始割り込み許可 送信開始 (TXS) 割り込みの禁止／許可を設定します。 0: 送信開始 (TXS) 割り込みを禁止 1: 送信開始 (TXS) 割り込みを許可
5	TXFE	0	R/W	送信正常終了割り込み許可 送信正常終了 (TXF) 割り込みの禁止／許可を設定します。 0: 送信正常終了 (TXF) 割り込みを禁止 1: 送信正常終了 (TXF) 割り込みを許可
4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/W	アービトレーション負け割り込み許可 アービトレーション負け (TXEAL) 割り込みの禁止／許可を設定します。 0: アービトレーション負け (TXEAL) 割り込みを禁止 1: アービトレーション負け (TXEAL) 割り込みを許可
2	TXE TTMEE	0	R/W	送信タイミングエラー割り込み許可 送信タイミングエラー (TXETTMEE) 割り込みの禁止／許可を設定します。 0: 送信タイミングエラー (TXETTMEE) 割り込みを禁止 1: 送信タイミングエラー (TXETTMEE) 割り込みを許可
1	TXEROE	0	R/W	送信フレーム最大伝送バイト数オーバー割り込み許可 送信フレーム最大伝送バイト数オーバー (TXEROE) 割り込みの禁止／許可を設定します。 0: 送信連フレーム最大伝送バイト数オーバー (TXEROE) 割り込みを禁止 1: 送信連フレーム最大伝送バイト数オーバー (TXEROE) 割り込みを許可
0	TXE ACKE	0	R/W	アクノリッジビット割り込み許可 アクノリッジビット (TXEACKE) 割り込みの禁止／許可を設定します。 0: アクノリッジビット (TXEACKE) 割り込みを禁止 1: アクノリッジビット (TXEACKE) 割り込みを許可

23.3.18 IEBus 受信ステータスレジスタ (IERSR)

IERSR は、受信ビジー、受信開始、受信正常終了、受信エラー終了等の状態を検出します。各要因は、IEIER に対応したビットを持っており、割り込みの禁止／許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット：	7	6	5	4	3	2	1	0
	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXE RTME	RXEDLE	RXEPE
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説 明
7	RXBSY	0	R/(W)*	受信ビジー 受信データバッファ (IERB001~IERB128) に受信したデータが格納されていることを示します。受信データをすべて読み出した後クリアしてください。本ビットがセットされている間は、次の受信データを受信できません。 [セット条件] - 受信データが受信データバッファにすべて書き込まれたとき [クリア条件] 1 をライトしたとき
6	RXS	0	R/(W)*	受信開始 本モジュールが受信開始したことを示します。 [セット条件] - スレーブ受信時、マスタユニットから、電文長フィールドまで正しく受信したとき [クリア条件] 1 をライトしたとき
5	RXF	0	R/(W)*	受信正常終了 受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。 [セット条件] 1：電文長ビットで指定した受信データバイト数分の受信を終了したとき [クリア条件] 1 をライトしたとき

ビット	ビット名	初期値	R/W	説 明
4	RXEDE	0	R/(W)*	同報受信エラー 同報受信のコントロールフィールド受信時、受信バッファが受信可能状態でない（RE ビットが1にセットされていない状態か、RXBSY フラグがセットされている状態）ためデータを受信できなかったことを示します。本ビットは IECTR の DEE ビットが1のとき、機能します。 [セット条件] • 同報受信でデータを受信できなかったとき [クリア条件] • 1 をライトしたとき
3	RXEOVE	0	R/(W)*	受信オーバランフラグ データ受信中のオーバラン発生を示すフラグです。 本モジュールは、RXBSY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で、次のデータ受信を開始すると、本フラグをセットします。このとき本モジュールはオーバランエラーが発生したと判断し、通信相手に NAK を返送します。この後、通信相手はフレーム最大伝送バイト数に達するまで、再送を行いますが、RXBSY フラグがセットされたままだと、本モジュールは NAK を送信し続けます。RXBSY フラグがクリアされると、本モジュールは ACK を送信し次のデータを取り込みます。同報受信の場合、データ受信開始時に、RXBSY ビットがセットされていると、ただちに待機状態に入ります。このフラグは、受信開始フラグ（RXS）がセットされて初めて有効になります。 [セット条件] • RXBSY フラグがクリアされていない状態で、次のデータを受信したとき [クリア条件] • 1 をライトしたとき
2	RXERTME	0	R/(W)*	受信タイミングエラー データ受信時、IEBus プロトコルで規定したタイミングで正しくデータを受信できなかった場合、本ビットがセットされます。本モジュールは、本ビットをセットして待機状態になります。このフラグは、受信開始フラグ（RXS）がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。この時、このビットはセットされません。 [セット条件] • データ受信中に、タイミングエラーが発生したことを示します [クリア条件] • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説 明
1	RXEDLE	0	R/(W)*	受信フレーム最大伝送バイト数オーバー データ受信時に、パリティエラーかオーバランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で、受信が終了しなかったか、電文長の値が、最大伝送バイト数より大きい値であったため、受信が終了しなかったことを示します。本モジュールは本ビットをセットして待機状態になります。このフラグは、受信開始フラグ（RXS）がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このときビットはセットされません。 [セット条件] - 通信モードで定義される最大バイト数内で、受信が終了しなかったことを示します [クリア条件] 1 をライトしたとき
0	RXEPE	0	R/(W)*	パリティエラー データフィールド受信中に、パリティエラーが発生したことを示します。データフィールド受信前にパリティエラーが発生した場合、本モジュールはただちに待機状態になります。RXEPE はセットされません。データフィールド受信中にパリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、RXEPE はまだセットされません。パリティエラーが発生すると、本モジュールはアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。再受信中に、パリティエラーが解消され、正常に受信が行われると、RXEPE はセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になった時に、パリティエラーが解消されていなかった場合、RXEPE はセットされます。同報受信の場合、データフィールド受信中にパリティエラーが発生すると、本モジュールは RXEPE をセットし、ただちに待機状態になります。このフラグは、受信開始フラグ（RXS）がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。 [セット条件] - フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき [クリア条件] 1 をライトしたとき

【注】 * フラグをクリアするための 1 ライトのみ可能です。

23.3.19 IEBus 受信割り込み許可レジスタ (IEIER)

IEIER は、IERSR の受信ビジー、受信開始、受信正常終了、受信エラー終了等のそれぞれの要因について、割り込みの禁止／許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	RXBSYE	RXSE	RXFE	RXEDEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXEPEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	RXBSYE	0	R/W	受信ビジー割り込み許可 受信ビジー (RXBSY) 割り込みの禁止／許可を設定します。 0: 受信ビジー (RXBSY) 割り込みを禁止 1: 受信ビジー (RXBSY) 割り込みを許可
6	RXSE	0	R/W	受信開始割り込み許可 受信開始 (RXS) 割り込みの禁止／許可を設定します。 0: 受信開始 (RXS) 割り込みを禁止 1: 受信開始 (RXS) 割り込みを許可
5	RXFE	0	R/W	受信正常終了割り込み許可 受信正常終了 (RXF) 割り込みの禁止／許可を設定します。 0: 受信正常終了 (RXF) 割り込みを禁止 1: 受信正常終了 (RXF) 割り込みを許可
4	RXEDEE	0	R/W	同報受信エラー割り込み許可 同報受信エラー (RXEDE) 割り込みの禁止／許可を設定します。 0: 同報受信エラー (RXEDE) 割り込みを禁止 1: 同報受信エラー (RXEDE) 割り込みを許可
3	RXEOVEE	0	R/W	オーバラン制御フラグ割り込み許可 オーバラン制御フラグ (RXEOVE) 割り込みの禁止／許可を設定します。 0: オーバラン制御フラグ (RXEOVE) 割り込みを禁止 1: オーバラン制御フラグ (RXEOVE) 割り込みを許可
2	RXERTMEE	0	R/W	受信タイミングエラー割り込み許可 受信タイミングエラー (RXERTME) 割り込みの禁止／許可を設定します。 0: 受信タイミングエラー (RXERTME) 割り込みを禁止 1: 受信タイミングエラー (RXERTME) 割り込みを許可
1	RXEDLEE	0	R/W	受信フレーム最大伝送バイト数オーバ割り込み許可 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みの禁止／許可を設定します。 0: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを禁止 1: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを許可

ビット	ビット名	初期値	R/W	説 明
0	RXEPEE	0	R/W	パリティエラー割り込み許可 パリティエラー（RXEPE）割り込みの禁止／許可を設定します。 0：パリティエラー（RXEPE）割り込みを禁止 1：パリティエラー（RXEPE）割り込みを許可

23.3.20 IEBus クロック選択レジスタ（IECKSR）

IECKSR は、読み出し／書き込み可能な 8 ビットのレジスタです。本モジュールで使用するクロックの設定を行います。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	CKS3	-	CKS[2:0]		
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CKS3	0	R/W	入力クロック選択 3 ^{*1*2} 本モジュールで使用するクロックの選択を行います。 0：周辺クロック（Pφ）を使用します。 1：AUDIO_X1、AUDIO_X2 のクロックを使用します。
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	CKS[2:0]	001	R/W	入力クロック選択 2～0 ^{*1} 本モジュールで使用するクロックの分周を選択します。 000：設定禁止 001：CKS3 で選択したクロック（IEBφ）の 1/2 のクロックを使用します。 （IEBφ＝12MHz、12.58MHz） 010：CKS3 で選択したクロック（IEBφ）の 1/3 のクロックを使用します。 （IEBφ＝18MHz、18.87MHz） 011：CKS3 で選択したクロック（IEBφ）の 1/4 のクロックを使用します。 （IEBφ＝24MHz、25.16MHz） 100：CKS3 で選択したクロック（IEBφ）の 1/5 のクロックを使用します。 （IEBφ＝30MHz、31.45MHz） 101：CKS3 で選択したクロック（IEBφ）の 1/6 のクロックを使用します。 （IEBφ＝36MHz、37.74MHz） 110：CKS3 で選択したクロック（IEBφ）の 1/7 のクロックを使用します。 （IEBφ＝42MHz、44.03MHz） 111：CKS3 で選択したクロック（IEBφ）の 1/8 のクロックを使用します。 （IEBφ＝48MHz）

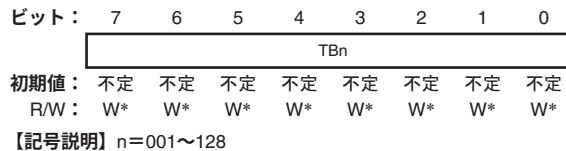
【注】 *1 IEBus 送受信動作中は CKS3、CKS[2:0] ビットの設定を変更しないでください。

*2 CKS3 ビットを 1 に設定しているときは、STBCR3 レジスタの MSTP36 ビットを必ず 0 に設定してください。
STBCR3 レジスタの設定方法については「第 32 章 低消費電力モード」を参照してください。

23.3.21 IEBus 送信データバッファ 001~128 (IETB001~IETB128)

マスタ送信時に送信するデータを書き込む 128 バイト (8×128) バッファです。

IETB001~IETB128 の初期値は不定です。



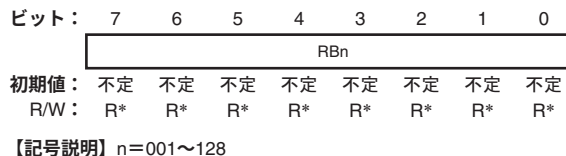
ビット	ビット名	初期値	R/W	説 明
7~0	TBn	不定	W*	IEBus 送信データバッファ TB001 から TB128 は、マスタ送信時にデータフィールドで送信するデータを書き込みます。TB001 が先頭データ 1 バイトで、TB002、TB003…の順に送信順に書き込みます。TB128 が 128 バイト送信時の最終データとなります。

【注】 * マスタ送信中 (IEFLG の MRQ=1) のときは、書き込み禁止です。

23.3.22 IEBus 受信データバッファ 001~128 (IERB001~IERB128)

スレーブ受信時に送信するデータを格納する 128 バイト (8×128) バッファです。

IERB001~IERB128 の初期値は不定です。



ビット	ビット名	初期値	R/W	説 明
7~0	RBn	不定	R*	IEBus 受信データバッファ RB001 から RB128 は、IEBus 受信ステータスレジスタ (IERSR) の RXBSY ビットが 1 のとき、読み出すことができます。RB001 から RB128 で読み出すデータはスレーブ受信時のデータフィールドの値になります。受信時のデータは RB001 が先頭データ 1 バイトで、RB002、RB003…の順に書き込まれます。RB128 が 128 バイト受信時の最終データとなります。

【注】 * スレーブ受信中 (IEFLG の SRE=1 かつ IERSR の RXBSY=0) のときは、読み出し禁止です。(リード値不定)

23.4 データフォーマット

23.4.1 送信フォーマット

図 23.6 に IEBus データ送信時の伝送フォーマットと各レジスタの関係を示します。

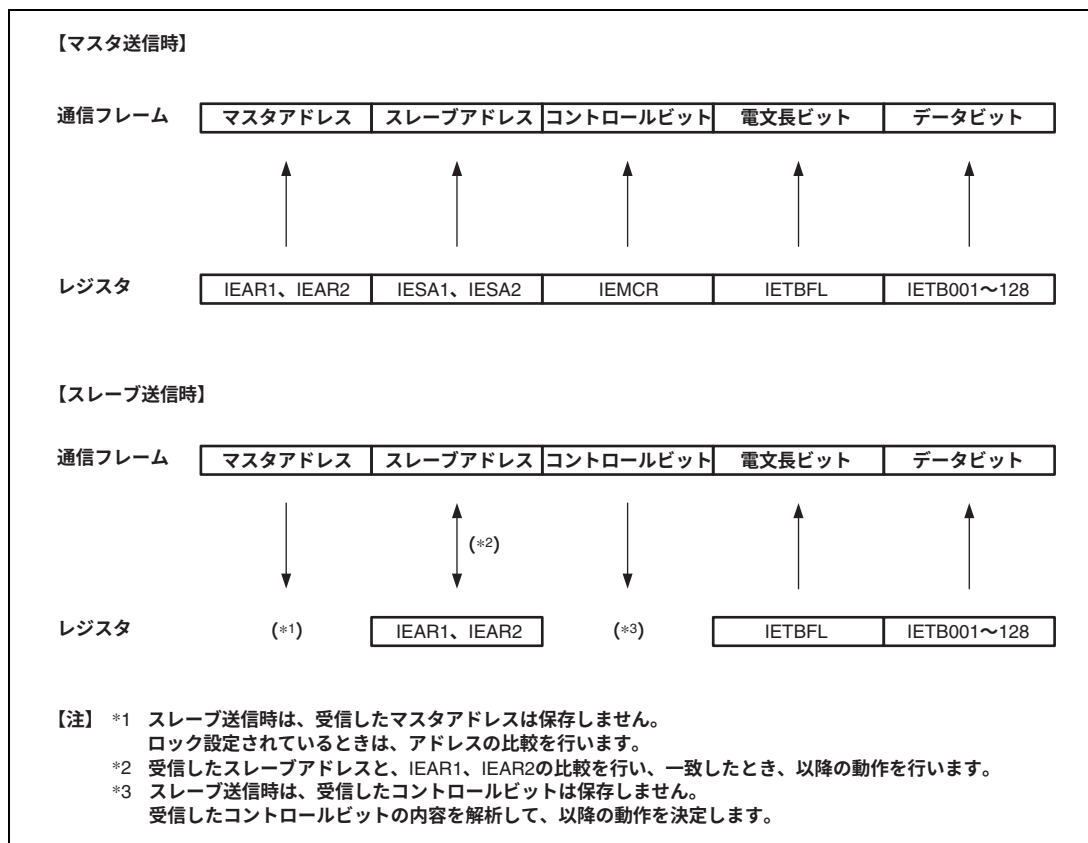


図 23.6 送信時の伝送信号フォーマットと各レジスタの関係

23.4.2 受信フォーマット

図 23.7 に IEBus データ受信時の伝送フォーマットと各レジスタの関係を示します。

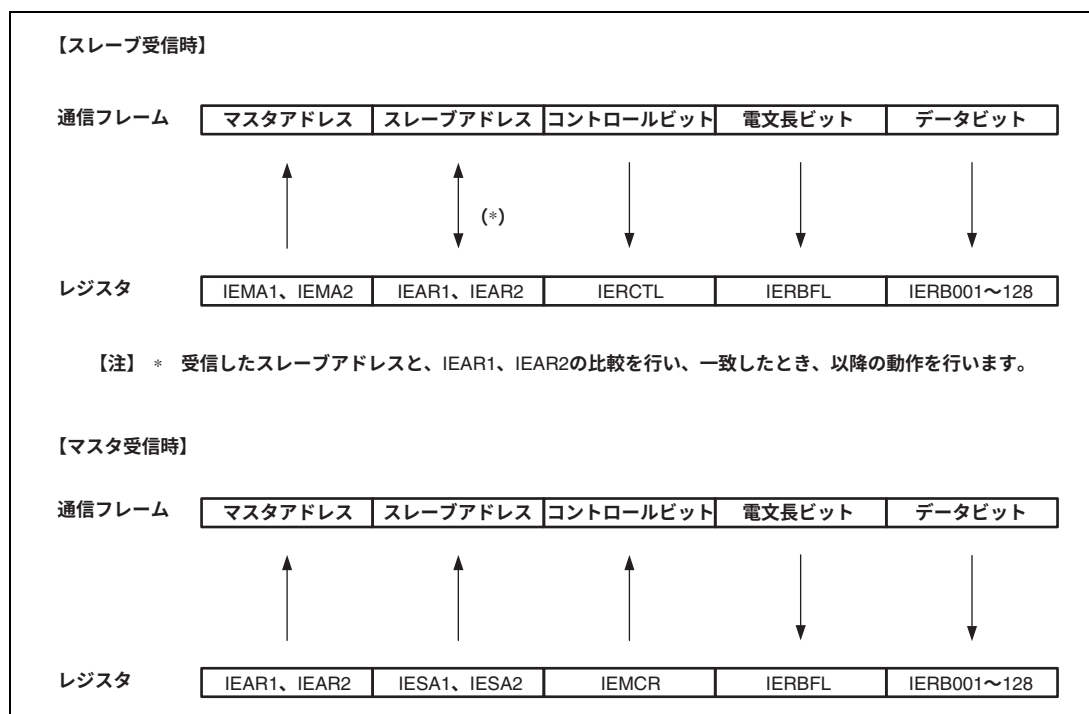


図 23.7 受信時の伝送信号フォーマットと各レジスタの関係

23.5 ソフト制御フロー

23.5.1 初期設定

図 23.8 に初期設定フローを示します。

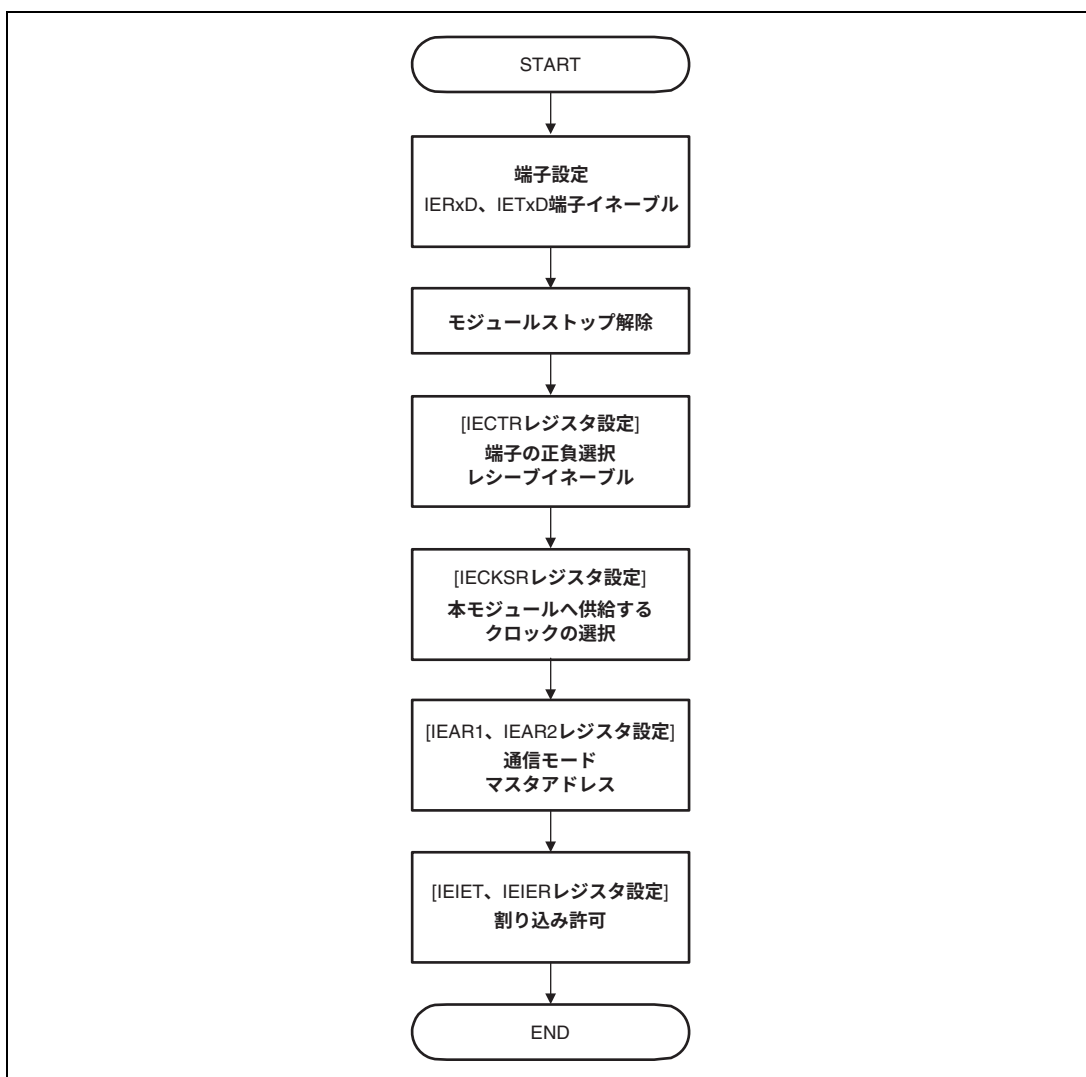


図 23.8 初期設定フロー

23.5.2 マスタ送信

図 23.9 にマスタ送信フローを示します。

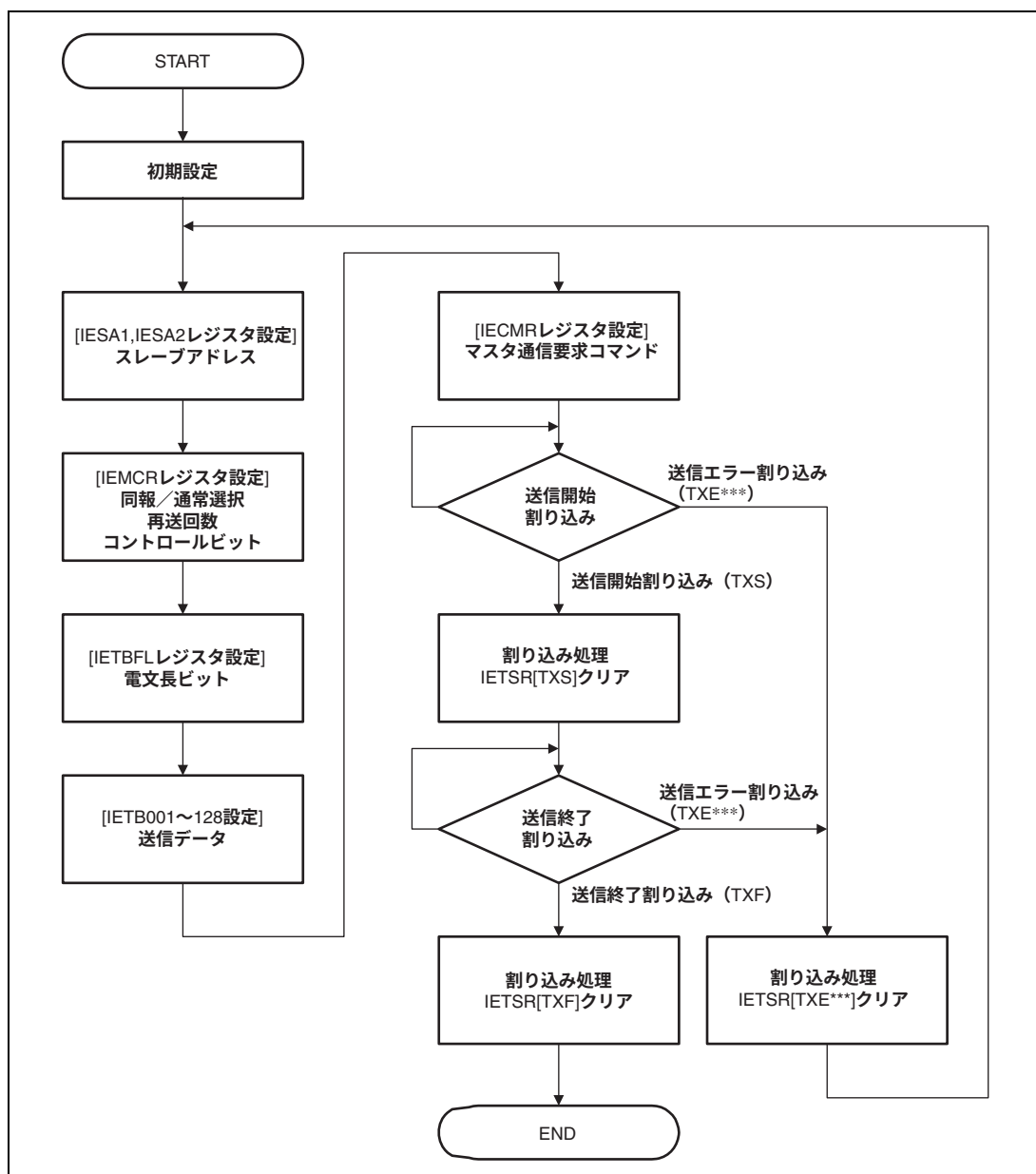


図 23.9 マスタ送信フロー

23.5.3 スレーブ受信

図 23.10 にスレーブ受信フローを示します。

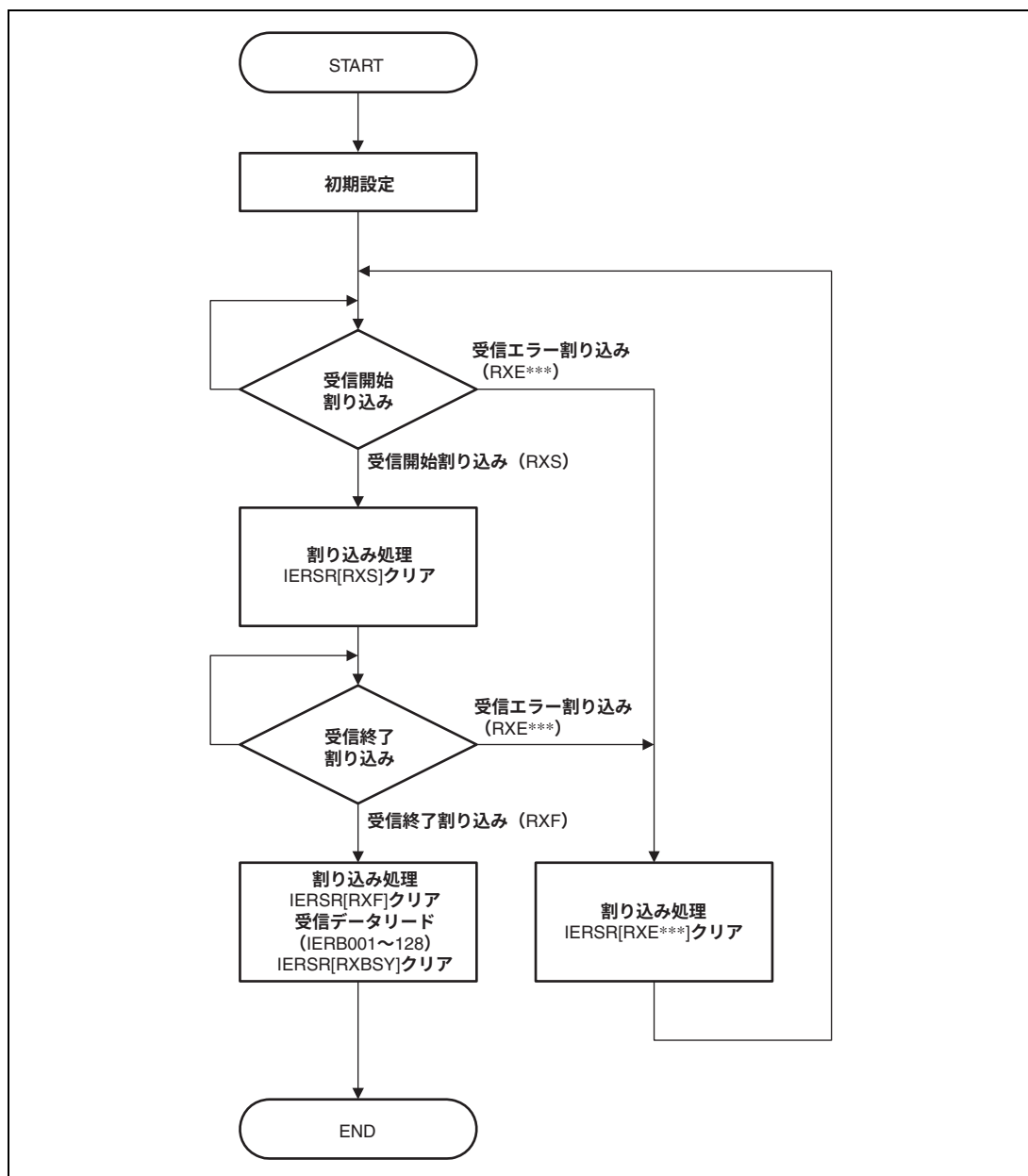


図 23.10 スレーブ受信フロー

23.5.4 マスタ受信

図 23.11 にマスタ受信フローを示します。

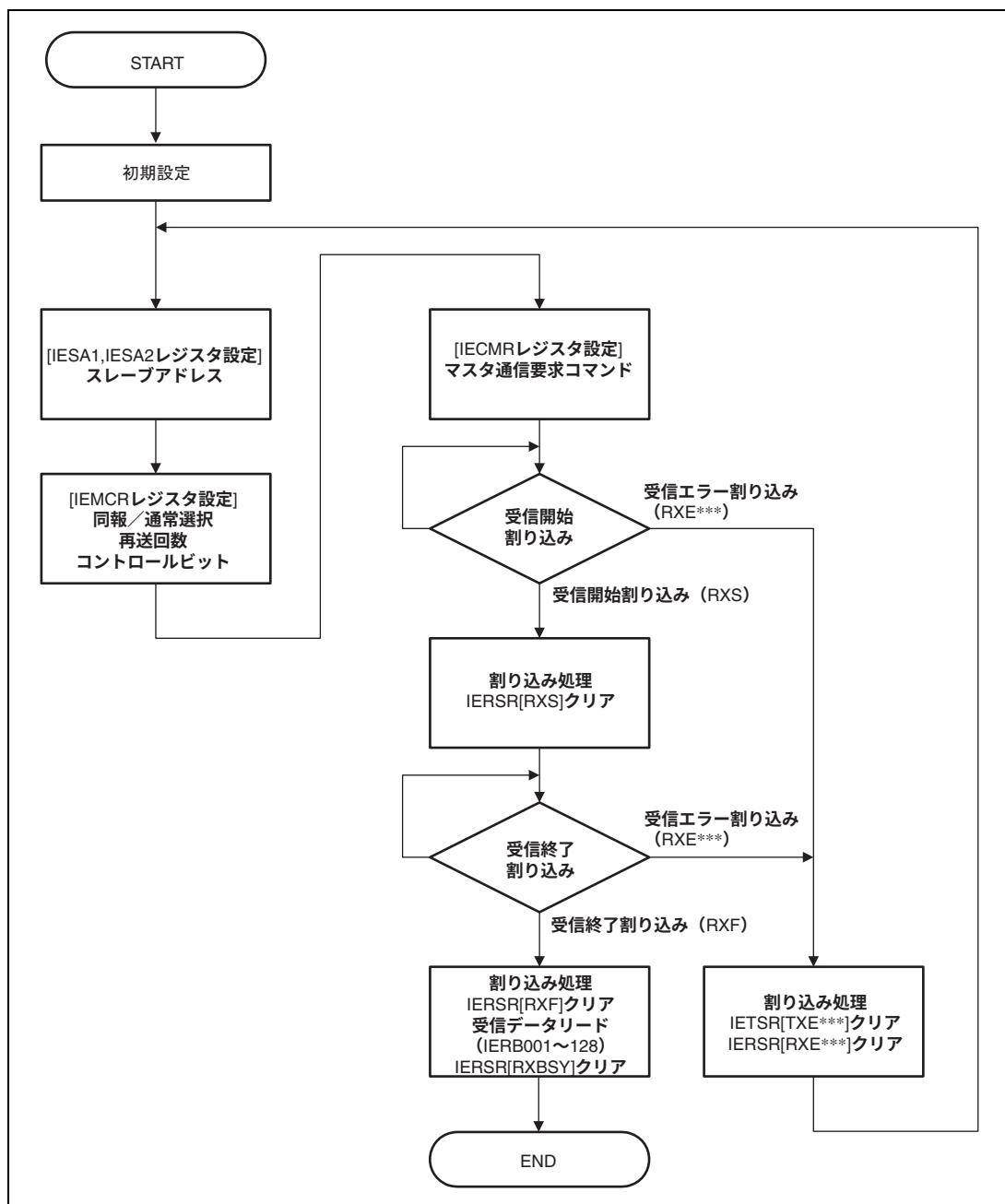


図 23.11 マスタ受信フロー

23.5.5 スレーブ送信

図 23.12 にスレーブ送信を示します。

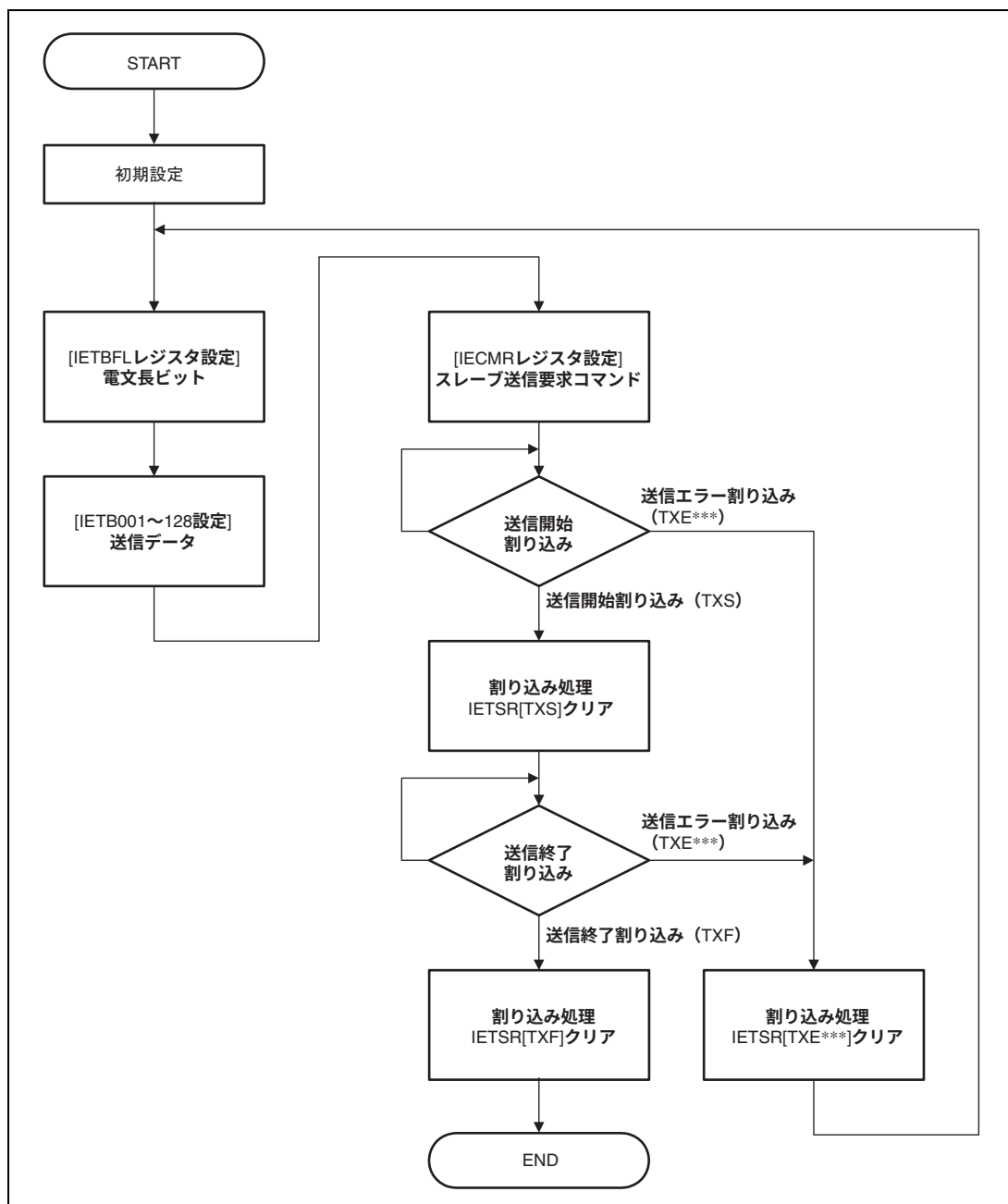


図 23.12 スレーブ送信フロー

23.6 動作タイミング

23.6.1 マスタ送信

図 23.13 にマスタ送信動作タイミングを示します。

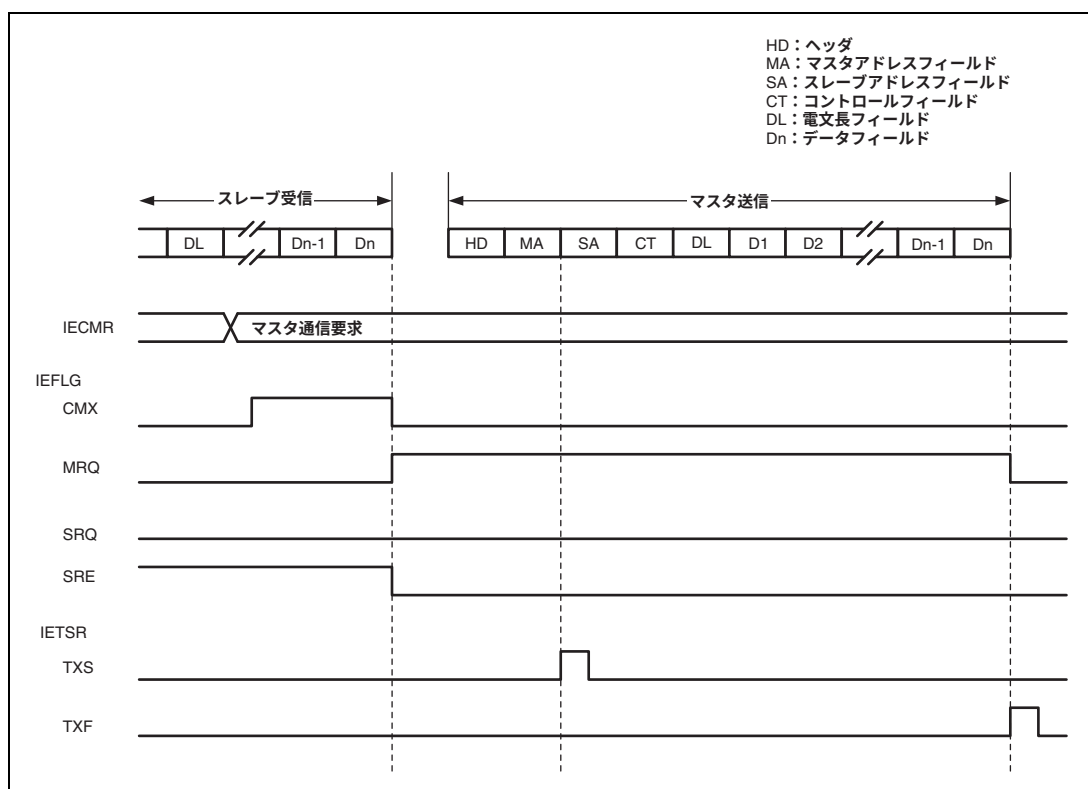


図 23.13 マスタ送信動作タイミング

23.6.2 スレーブ受信

図 23.14 にスレーブ受信動作タイミングを示します。

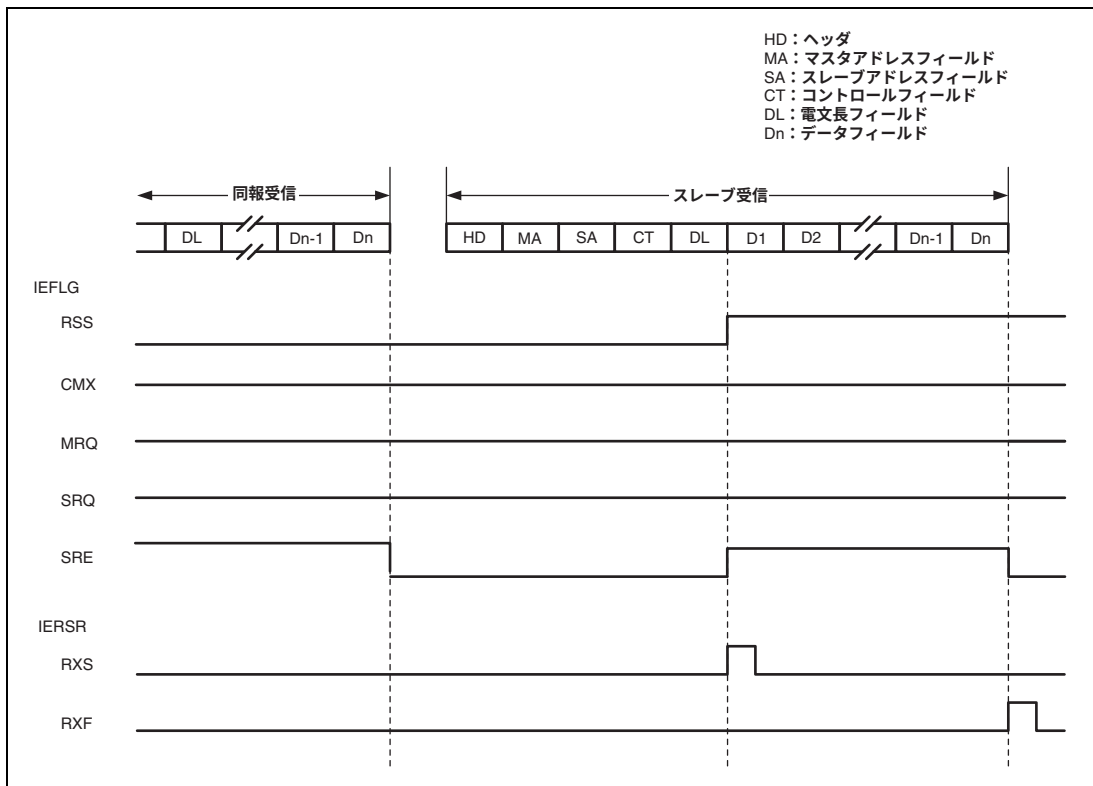


図 23.14 スレーブ受信動作タイミング

23.6.3 マスタ受信

図 23.15 にマスタ受信動作タイミングを示します。

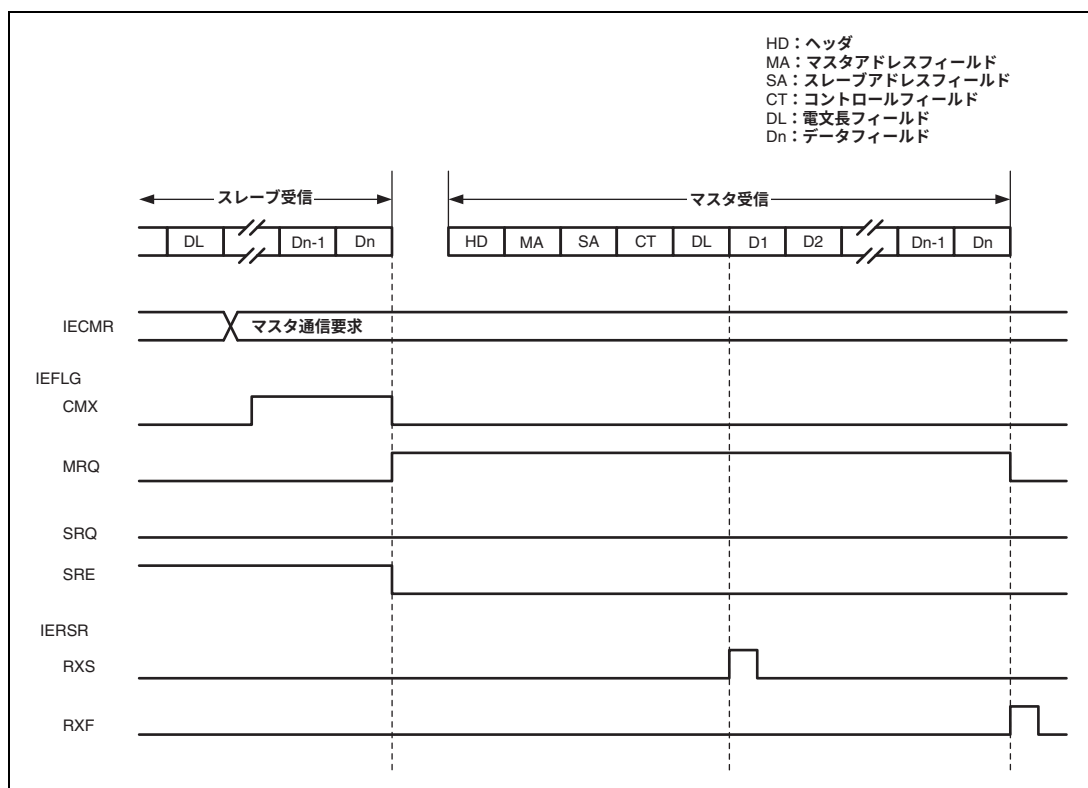


図 23.15 マスタ受信動作タイミング

23.6.4 スレーブ送信

図 23.16 にスレーブ送信動作タイミングを示します。

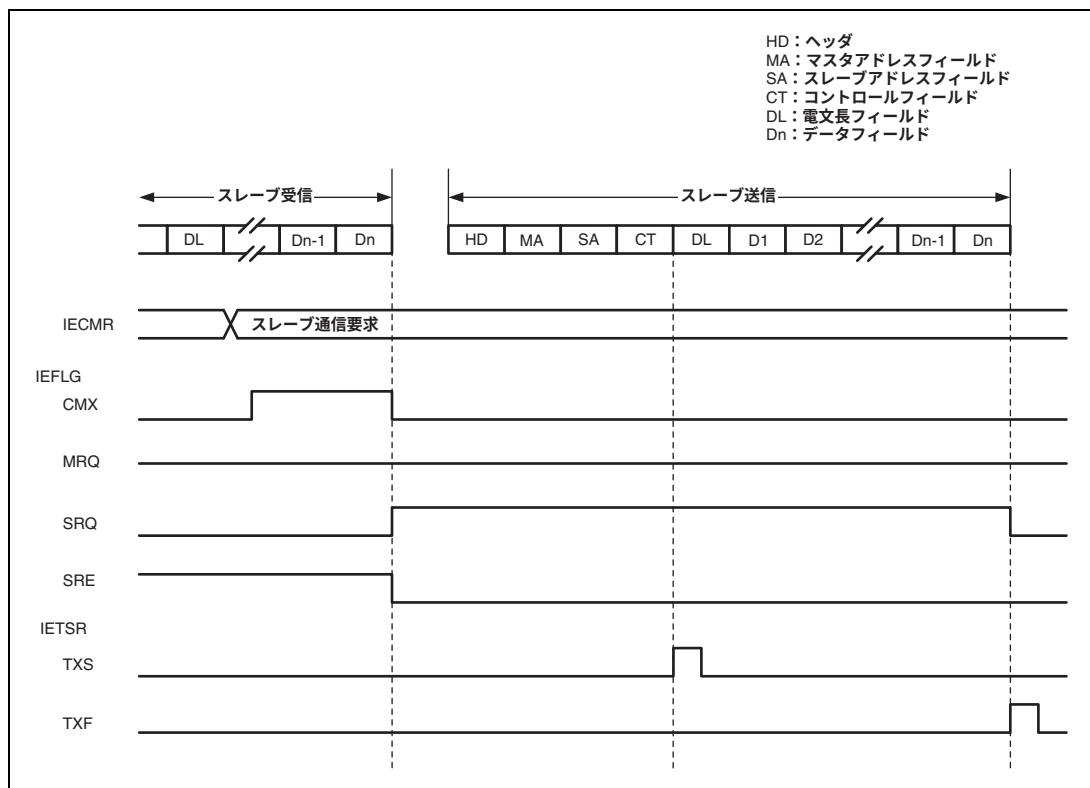


図 23.16 スレーブ送信動作タイミング

23.7 割り込み要因

本モジュールの割り込みには、送信開始 (TXS)、送信正常終了 (TXF)、アービトレーション負け (TXEAL)、送信タイミングエラー (TXETTME)、送信フレーム最大伝送バイト数オーバー (TXERO)、アクノリッジビット (TXEACK)、受信ビジー (RXBSY)、受信開始 (RXS)、受信正常終了 (RXF)、同報受信エラー (RXEDE)、受信オーバランフラグ (RXEOVE)、受信タイミングエラー (RXERTME)、受信フレーム最大伝送バイト数オーバー (RXEDLE)、パリティエラー (RXEPE) があります。

各要因は、IEBus 送信割り込み許可レジスタ (IEIET)、IEBus 受信割り込み許可レジスタ (IEIER) に対応したビットを持っており、割り込みの禁止／許可を設定することができます。また、IEBus 送信ステータスレジスタ (IETSR)、IEBus 受信ステータスレジスタ (IERSR) に対応したステータスフラグを持っており、ステータスフラグをリードすることで要因の判定を行うことができます。

図 23.17 に割り込み要因の関係を示します。

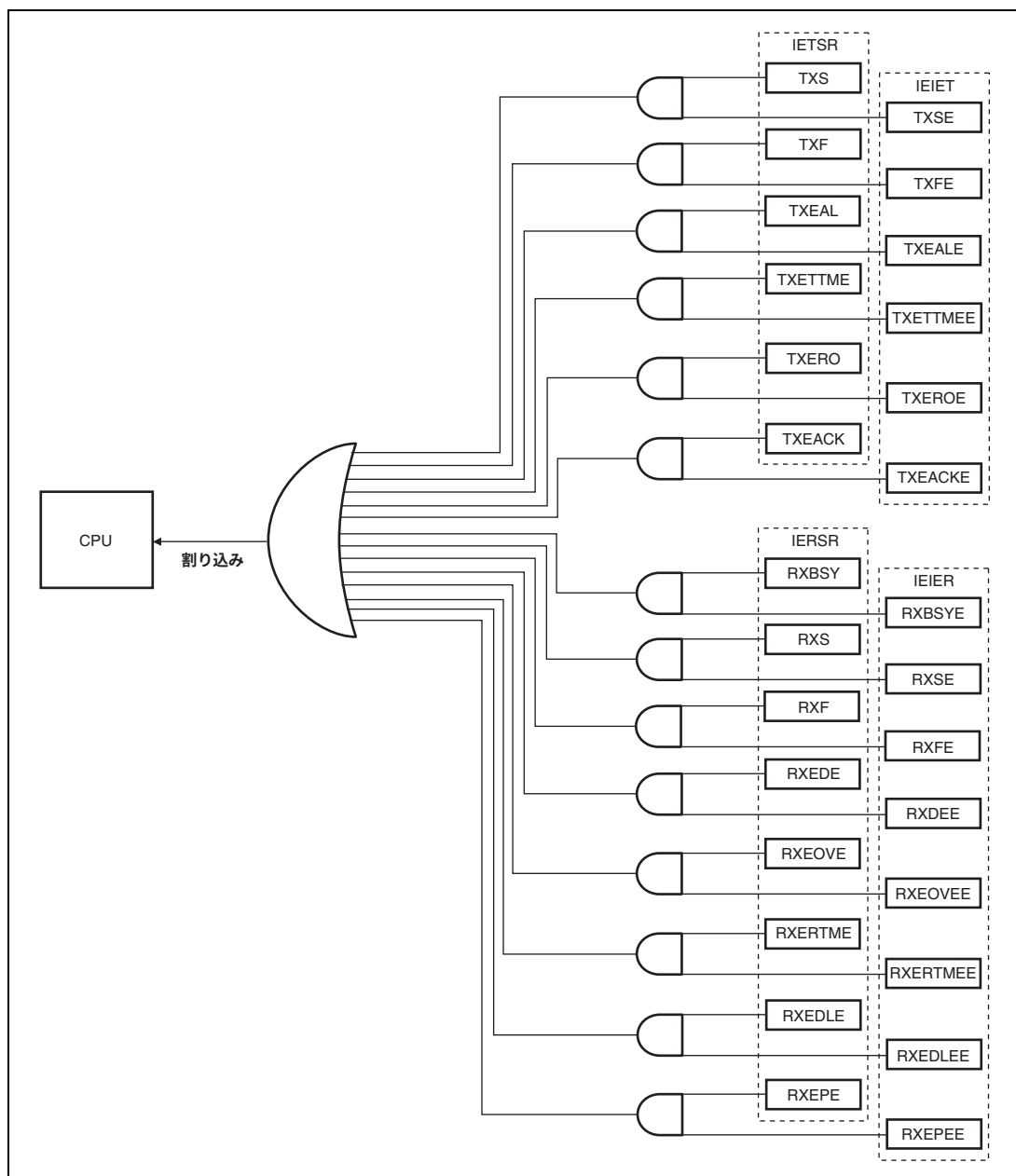


図 23.17 割り込み要因の関係

23.8 使用上の注意事項

23.8.1 最大伝送バイト長内で通信が終了しなかったときの注意事項

(1) データ送信

データ送信時に、受信ユニットから NAK を受信したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送バイト数より大きい値であったため、最大バイト長内で送信が終了しなかった場合、IETSR のエラーフラグをセットして待機状態に入りますが、このとき最大伝送バイト数+1 バイト目まで送信を行います。その後、最大伝送バイト数+1 バイト目のアクノリッジビットで NAK を受信した場合、TXERO フラグがセットされます。NAK ではなく ACK を受信した場合は TXF フラグがセットされます。

図 23.18 に最大バイト長内で送信が終了しなかったときの動作タイミングを示します。

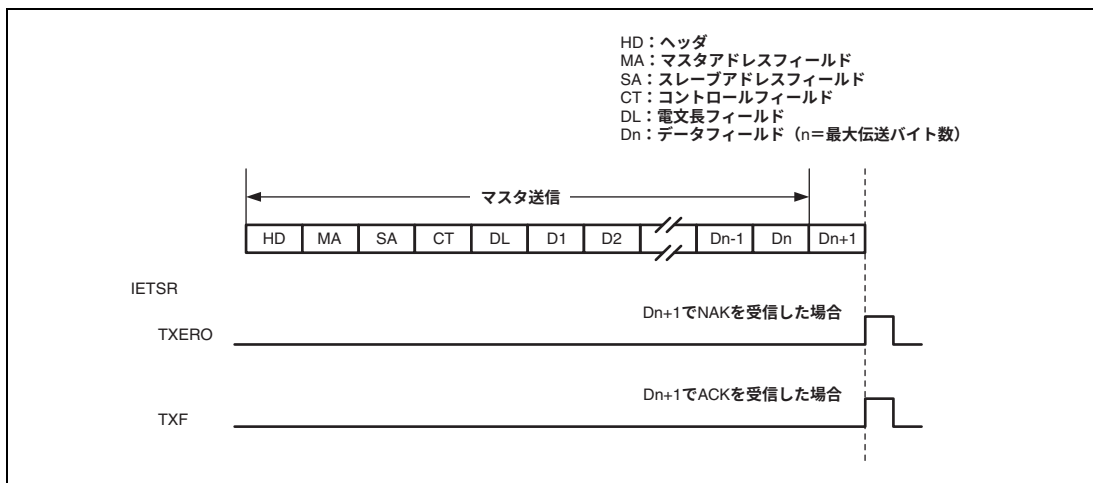


図 23.18 最大バイト長内で送信が終了しなかったときの動作タイミング

(2) データ受信

データ受信時に、パリティエラーかオーバランエラーが発生し再送による受信を行ったため、通信モードで定義される最大バイト長内で受信が終了しなかったか、電文長の値が最大伝送バイト数より大きい値であったため受信が終了しなかった場合、IERSR のエラーフラグをセットして待機状態に入りますが、このとき最大伝送バイト数+1 バイト目のデータ受信待ち状態になります。そのため、最大伝送バイト数+1 バイト目のデータを受信できなかった場合、受信タイミングエラーを検出し、RXERTME フラグがセットされます。このとき RXEDLE フラグはセットされません。RXEDLE フラグは最大伝送バイト数+1 バイト目のデータを受信した場合にセットされます。

また、最大伝送バイト長まで受信し、パリティエラーが解消されていなかった場合も同様で、最大伝送バイト数+1 バイト目のデータを受信できなかった場合、RXERTME フラグがセットされます。このとき RXEPE フラグはセットされません。RXEPE フラグは最大伝送バイト数+1 バイト目のデータを受信した場合にセットされます。

図 23.19 に最大バイト長内で受信が終了しなかったときの動作タイミングを示します。

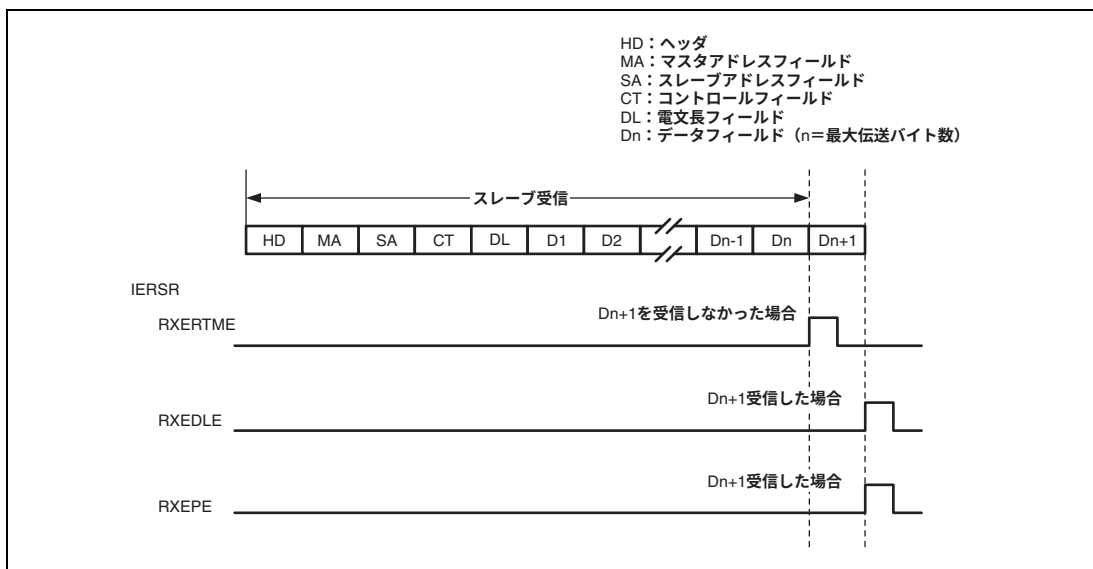


図 23.19 最大バイト長内で受信が終了しなかったときの動作タイミング

24. ルネサス SPDIF インタフェース

24.1 概要

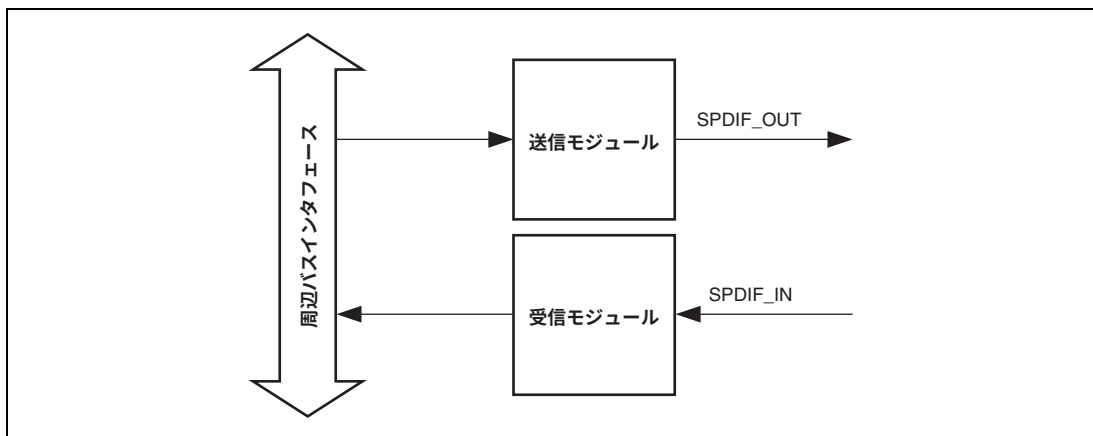


図 24.1 概略ブロック図

24.2 特長

- IEC60958規格に適合（ステレオ、民生用モードのみ）
- サンプリング周波数：32kHz、44.1kHz、48kHz
- オーディオワードサイズ：16～24ビット／サンプル
- パイフェーズマーク方式エンコード
- データのダブルバッファ
- パリティ付きシリアルデータ
- 同時送受信可能
- 受信モジュールはIEC61937圧縮モードデータを自動検出可能

24.3 機能ブロック図

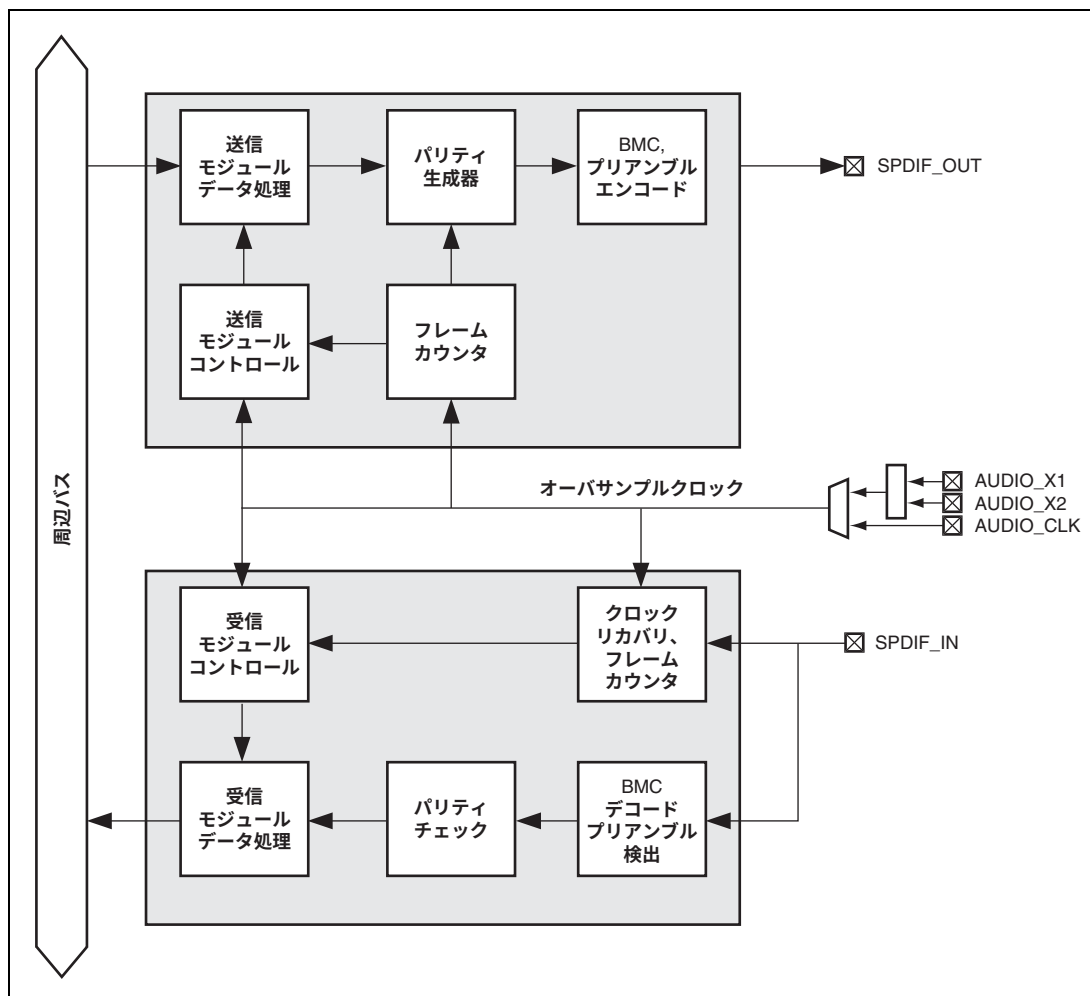


図 24.2 機能ブロック図

24.4 入出力端子

表 24.1 に端子構成を示します。

表 24.1 端子構成

チャンネル	名称	入出力	機 能
0	SPDIF_IN	入力	送信側バイフェーズマーク・エンコードされた SPDIF ビットストリーム
1	SPDIF_OUT	出力	受信側バイフェーズマーク・エンコードされた SPDIF ビットストリーム
0、1 共通	AUDIO_CLK	入力	オーディオ用外部クロック
	AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック
	AUDIO_X2	出力	

24.5 ルネサス SPDIF（IEC60958）フレームフォーマット

ルネサス SPDIF のフレームは2つのサブフレーム（チャンネル1およびチャンネル2）で構成され、サブフレームには4ビットのプリアンブル、最大24ビットのオーディオデータ、Vフラグ、ユーザビット、チャンネルステータスビット、偶数パリティビットがあります。図24.3に、サブフレームフォーマットを示します。ルネサス SPDIF は、このフォーマットに対して伝送ラインのDC成分が最小となるバイフェーズマーク方式による変調（チャンネルコーディング）を行います。

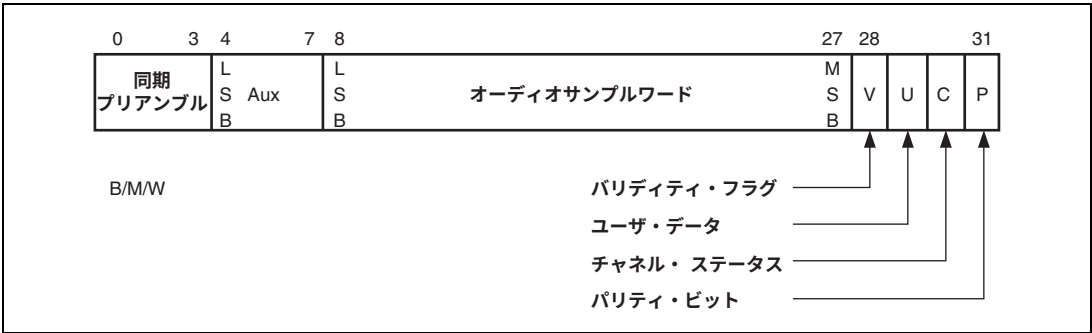


図 24.3 サブフレームフォーマット

図24.4に連続する192フレームからなるブロックフォーマットを示します。開始フレーム（プリアンブルB）から192番目のフレーム191までが1ブロックであり、各サブフレームはプリアンブルにより識別します。サブフレームは1ブロックに384個あり、新しいブロックの開始を示すサブフレーム0、サブフレーム1（通常、左チャンネル）、サブフレーム2（通常、右チャンネル）の3種類で構成されます。通常、SPDIFで送受信される音楽データは連続しており、ブロックが連続します。

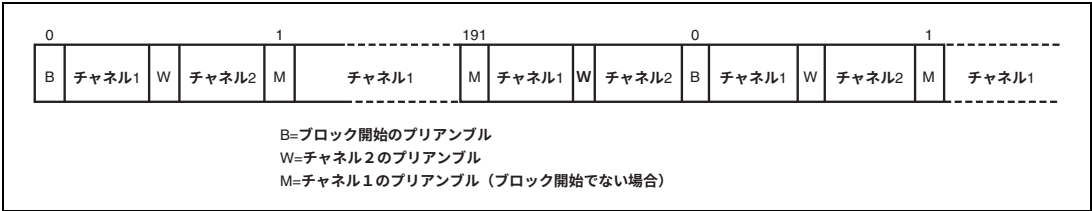


図 24.4 ブロックフォーマット

表24.2に、ルネサス SPDIF プリアンブルの値（2進）を示します。先行するシンボルの状態（パリティビット）によりプリアンブルの極性が変わります。

表 24.2 プリアンプルの値

プリアンブル	先行シンボル状態=0	先行シンボル状態=1
B	11101000	00010111
M	11100010	00011101
W	11100100	00011011

【備考】図 24.3 で示すように、サブフレームのタイムスロット 31 にある偶数パリティビットにより、1 回の送信ではプリアンブルタイプが決まります。したがって、通常ルネサス SPDIF を通して送られるセット状態はいずれか 1 つが選択されます。しかし、IEC60958 などではプリアンブル極性を逆に接続することも考慮して両タイプをデコードすることを規定しており、ルネサス SPDIF は表 24.2 のプリアンブルをデコードしています。

チャネルステータス情報は、1 つのサブフレームに 1 ビットエンコードします。したがって、1 ブロック当たりのチャネルステータス情報は、サブフレーム 1 とサブフレーム 2 で各々 192 ビットとなります。チャネルステータスのフォーマットについては、IEC60958 規格を参照してください。

24.6 レジスタ構成

表 24.3 にレジスタ構成を示します。

表 24.3 レジスタ構成

チャネル	名称	略称	アドレス	アクセスサイズ
0 (送信)	送信モジュールチャネル 1 オーディオレジスタ	TLCA	H'FFFF D800	32
	送信モジュールチャネル 2 オーディオレジスタ	TRCA	H'FFFF D804	32
	送信モジュールチャネル 1 ステータスレジスタ	TLCS	H'FFFF D808	32
	送信モジュールチャネル 2 ステータスレジスタ	TRCS	H'FFFF D80C	32
	送信ユーザデータレジスタ	TUI	H'FFFF D810	32
1 (受信)	受信モジュールチャネル 1 オーディオレジスタ	RLCA	H'FFFF D814	32
	受信モジュールチャネル 2 オーディオレジスタ	RRCA	H'FFFF D818	32
	受信モジュールチャネル 1 ステータスレジスタ	RLCS	H'FFFF D81C	32
	受信モジュールチャネル 2 ステータスレジスタ	RRCS	H'FFFF D820	32
	受信ユーザデータレジスタ	RUI	H'FFFF D824	32
0、1 共通	コントロールレジスタ	CTRL	H'FFFF D828	32
	ステータスレジスタ	STAT	H'FFFF D82C	32
0、1 共通	送信モジュール DMA オーディオデータレジスタ	TDAD	H'FFFF D830	32
	受信モジュール DMA オーディオデータレジスタ	RDAD	H'FFFF D834	32

【注】 レジスタはすべてロングワードレジスタですので、常にロングワードでアクセスしてください。
各レジスタの図で、0 と書いてあるビットには常に 0 を書き込んでください（ライト可能な場合）。この場合、読み出し値も常に 0 です（リード可能な場合）。

24.7 レジスタの説明

【レジスタ説明の記号説明】

初期値：リセット後のレジスタ値

—：不定値

R/W：リードおよびライト可。書き込み値を読み出すことができます。

R：リードのみ可。書き込む値は常に0にしてください。

R/WC0：リードおよびライト可。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。

R/WC1：リードおよびライト可。1を書き込むとビットは初期化されますが、0の書き込みは無視されます。

W：ライトのみ可。リードは禁止されています。リザーブビットの場合、書き込む値は常に0にしてください。

—/W：ライトのみ可。読み出し値は不定です。

24.7.1 コントロールレジスタ（CTRL）

ビット：	31	30	29	28	27	26	25	24
	-	-	-	CKS	-	PB	RASS	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R/W	R/W	R/W

ビット：	23	22	21	20	19	18	17	16
	TASS	RDE	TDE	NCSI	AOS	RME	TME	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8
	REIE	TEIE	UBOI	UBUI	CREI	PAEI	PREI	CSEI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	ABOI	ABUI	RUUI	TUUI	RCSI	RCBI	TCSI	TCBI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～29	—	すべて0	R	リザーブビット
28	CKS	0	R/W	オーバサンプルクロックセレクト オーバサンプルクロックの供給源を選択します。 0：AUDIO_X1 1：AUDIO_CLK
27	—	0	R	リザーブビット

ビット	ビット名	初期値	R/W	説 明
26	PB	0	R/W	パスバック 送信モジュール SPDIF 出力を、SPDIF モジュールの SPDIF 受信モジュールに戻します（パスバック）。 0：パスバック無効 1：パスバック有効
25、24	RASS	すべて 0	R/W	受信モジュールオーディオサンプルビットサイズ データアライメントのための、受信モジュールオーディオサンプルビットのサイズ（16、20、または 24 ビット）を指定します。 00：16 ビットサンプル 01：20 ビットサンプル 10：24 ビットサンプル 11：予約
23、22	TASS	すべて 0	R/W	送信モジュールオーディオサンプルビットサイズ データアライメントのための、送信モジュールオーディオサンプルビットのサイズ（16、20、または 24 ビット）を指定します。 00：16 ビットサンプル 01：20 ビットサンプル 10：24 ビットサンプル 11：予約
21	RDE	0	R/W	受信モジュール DMA イネーブル 受信モジュールの DMA 要求を許可します。 0：受信モジュール DMA を禁止 1：受信モジュール DMA を許可
20	TDE	0	R/W	送信モジュール DMA イネーブル 送信モジュールの DMA 要求を許可します。 0：送信モジュール DMA を禁止 1：送信モジュール DMA を許可
19	NCSI	0	R/W	新チャネルステータス情報 送信モジュールに修理すべき新チャネルステータス情報がある場合、このビットを 1 に設定します。 0：新チャネルステータス情報はありません。 1：新チャネルステータス情報があります。
18	AOS	0	R/W	オーディオオンリーサンプル ユーザデータレジスタにユーザ情報がある場合、このビットを 0 に設定します。1 に設定した場合、ユーザビットにはすべて 0 が設定されます。 0：ユーザ情報があります。 1：ユーザ情報は 아닙니다。

ビット	ビット名	初期値	R/W	説 明
17	RME	0	R/W	受信モジュールイネーブル 受信モジュールを有効にします。 0 : 受信モジュールは無効 1 : 受信モジュールは有効
16	TME	0	R/W	送信モジュールイネーブル 送信モジュールを有効にします。 0 : 送信モジュールは無効 1 : 送信モジュールは有効
15	REIE	0	R/W	受信モジュールエラー割り込みイネーブル このビットをクリアすると、受信モジュールのエラー割り込みをすべてマスクします。セットすると、受信モジュールエラー割り込みをすべて許可します。 0 : 受信モジュールエラー割り込みを禁止 1 : 受信モジュールエラー割り込みを許可
14	TEIE	0	R/W	送信モジュールエラー割り込みイネーブル このビットをクリアすると、送信モジュールのエラー割り込みをすべてマスクします。セットすると、送信モジュールエラー割り込みをすべて許可します。 0 : 送信モジュールエラー割り込みを禁止 1 : 送信モジュールエラー割り込みを許可
13	UBOI	0	R/W	ユーザバッファオーバーラン割り込みイネーブル ユーザバッファオーバーラン割り込みを許可します。 0 : ユーザバッファオーバーラン割り込みを禁止 1 : ユーザバッファオーバーラン割り込みを許可
12	UBUI	0	R/W	ユーザバッファアンダラン割り込みイネーブル ユーザバッファアンダラン割り込みを許可します。 0 : ユーザバッファアンダラン割り込みを禁止 1 : ユーザバッファアンダラン割り込みを許可
11	CREI	0	R/W	クロックリカバリエラー割り込みイネーブル クロックリカバリエラー割り込みを許可します。 0 : クロックリカバリエラー割り込みを禁止 1 : クロックリカバリエラー割り込みを許可
10	PAEI	0	R/W	パリティエラー割り込みイネーブル パリティチェックエラー割り込みを許可します。 0 : パリティチェックエラー割り込みを禁止 1 : パリティチェックエラー割り込みを許可

ビット	ビット名	初期値	R/W	説 明
9	PREI	0	R/W	プリアンプエラー割り込みイネーブル プリアンプチェックエラー割り込みを許可します。 0 : プリアンプエラー割り込みを禁止 1 : プリアンプエラー割り込みを許可
8	CSEI	0	R/W	チャネルステータスエラー割り込みイネーブル チャネルステータスエラー割り込みを許可します。 0 : チャネルステータスエラー割り込みを禁止 1 : チャネルステータスエラー割り込みを許可
7	ABOI	0	R/W	オーディオバッファオーバーラン割り込みイネーブル 受信モジュールオーディオバッファオーバーラン割り込みを許可します。 0 : オーディオバッファオーバーラン割り込みを禁止 1 : オーディオバッファオーバーラン割り込みを許可
6	ABUI	0	R/W	オーディオバッファアンダラン割り込みイネーブル 送信モジュールオーディオバッファアンダラン割り込みを許可します。 0 : オーディオバッファアンダラン割り込みを禁止 1 : オーディオバッファアンダラン割り込みを許可
5	RUII	0	R/W	受信モジュールユーザ情報割り込みイネーブル 受信モジュールユーザ情報レジスタフル割り込みを許可します。 0 : 受信モジュールユーザ情報割り込みを禁止 1 : 受信モジュールユーザ情報割り込みを許可
4	TUII	0	R/W	送信モジュールユーザ情報割り込みイネーブル 送信モジュールユーザ情報レジスタエンpty割り込みを許可します。 0 : 送信モジュールユーザ情報割り込みを禁止 1 : 送信モジュールユーザ情報割り込みを許可
3	RCSI	0	R/W	受信モジュールチャネルステータス割り込みイネーブル 受信モジュールチャネルステータスレジスタエンpty割り込みを許可します。 0 : 受信モジュールチャネルステータス割り込みを禁止 1 : 受信モジュールチャネルステータス割り込みを許可
2	RCBI	0	R/W	受信モジュールチャネルバッファ割り込みイネーブル 受信モジュールオーディオチャネルバッファエンpty割り込みを許可します。 0 : 受信モジュールオーディオチャネル割り込みを禁止 1 : 受信モジュールオーディオチャネル割り込みを許可

ビット	ビット名	初期値	R/W	説 明
1	TCSI	0	R/W	送信モジュールチャネルステータス割り込みイネーブル 送信モジュールチャネルステータスレジスタエンブティ割り込みを許可します。 0 : 送信モジュールチャネルステータス割り込みを禁止 1 : 送信モジュールチャネルステータス割り込みを許可
0	TCBI	0	R/W	送信モジュールチャネルバッファ割り込みイネーブル 送信モジュールオーディオチャネルバッファエンブティ割り込みを許可します。 0 : 送信モジュールオーディオチャネル割り込みを禁止 1 : 送信モジュールオーディオチャネル割り込みを許可

24.7.2 ステータスレジスタ (STAT)

ビット :	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CMD
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8
	RIS	TIS	UBO	UBU	CE	PARE	PREE	CSE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0
ビット :	7	6	5	4	3	2	1	0
	ABO	ABU	RUIR	TUIR	CSRX	CBRX	CSTX	CBTX
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/WC0	R/WC0	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~17	—	すべて 0	R	リザーブビット
16	CMD	0	R	圧縮モードデータ 受信データが圧縮モードデータ (V フラグおよびチャネルステータスのビット 1=1) のとき、このビットがセットされます。 0 : 圧縮モードデータではありません。 1 : 圧縮モードデータです。

ビット	ビット名	初期値	R/W	説 明
15	RIS	1	R	受信モジュールアイドル状態 受信モジュールがアイドル状態のとき、このビットがセットされます。 0 : 受信モジュールはアイドル状態ではありません。 1 : 受信モジュールはアイドル状態です。
14	TIS	1	R	送信モジュールアイドル状態 送信モジュールがアイドル状態のとき、このビットがセットされます。 0 : 送信モジュールはアイドル状態ではありません。 1 : 送信モジュールはアイドル状態です。
13	UBO	0	R/WC0	ユーザバッファオーバーラン* 受信モジュールユーザバッファがオーバーランすると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIE ビットとUBOI ビットがセットされていると、割り込みが発生します。 0 : ユーザバッファはオーバーランしていません。 1 : ユーザバッファオーバーランが発生しました。
12	UBU	0	R/WC0	ユーザバッファアンダラン* 送信モジュールユーザバッファがアンダランすると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのTEIE ビットとUBUI ビットがセットされていると、割り込みが発生します。 0 : ユーザバッファはアンダランしていません。 1 : ユーザバッファアンダランが発生しました。
11	CE	0	R/WC0	クロックエラー* クロックリカバリの同期がとれなくなると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIE ビットとCREI ビットがセットされていると、割り込みが発生します。 0 : クロックリカバリ正常 1 : クロックリカバリエラー
10	PARE	0	R/WC0	パリティエラー* パリティチェックの結果がエラーとなったとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIE ビットとPAEI ビットがセットされていると、割り込みが発生します。 0 : パリティチェック正常 1 : パリティエラー

ビット	ビット名	初期値	R/W	説 明
9	PREE	0	R/WC0	プリアンブルエラー* 未定義プリアンブルやプリアンブルが正しい位置に現れなかったとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタの REIE ビットと PREI ビットがセットされていると、割り込みが発生します。 【注】 ブロック開始のプリアンブルのあとでのみセットされます。 0 : プリアンブルは正しい位置にあります。 1 : プリアンブルエラー
8	CSE	0	R/WC0	チャネルステータスエラー* チャネルステータス情報が、送信状態にある 32 番目のフレームより前に書き込まれたとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタの TEIE ビットと CSEI ビットがセットされていると、割り込みが発生します。 0 : チャネルステータス正常 1 : チャネルステータスエラー
7	ABO	0	R/WC0	オーディオバッファオーバーラン* 受信モジュールオーディオバッファが第1ステージと第2ステージが共にフル状態で、データが上書きされたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタの REIE ビットと ABOI ビットがセットされていると、割り込みが発生します。 0 : 受信モジュールオーディオバッファはオーバーランしていません。 1 : 受信モジュールオーディオバッファオーバーランが発生しました。
6	ABU	0	R/WC0	オーディオバッファアンダラン* 送信モジュールオーディオバッファが第1ステージと第2ステージともに空になり、最後のデータ転送が繰り返されたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタの TEIE ビットと ABUI ビットがセットされていると、割り込みが発生します。 0 : 送信モジュールオーディオバッファはアンダランしていません。 1 : 送信モジュールオーディオバッファアンダランが発生しました。

ビット	ビット名	初期値	R/W	説 明
5	RUIR	0	R	受信モジュールユーザ情報レジスタ 受信モジュールユーザ情報レジスタの状態を示します。受信モジュールユーザレジスタを読み出すと、このビットはクリアされます。コントロールレジスタの RUII ビットがセットされていると、割り込みが発生します。 0 : 受信モジュールユーザ情報レジスタエンプティ 1 : 受信モジュールユーザ情報レジスタフル
4	TUIR	0	R	送信モジュールユーザ情報レジスタ 送信モジュールユーザ情報レジスタの状態を示します。送信モジュールユーザレジスタに書き込むと、このビットはクリアされます。コントロールレジスタの TUII ビットがセットされていると、割り込みが発生します。 0 : 送信モジュールユーザ情報レジスタフル 1 : 送信モジュールユーザ情報レジスタエンプティ
3	CSRX	0	R	チャンネル 1、2 ステータス—受信モジュール 受信モジュールチャンネルステータスレジスタの状態を示します。受信モジュールチャンネルステータスレジスタを読み出すと、このビットはクリアされます。コントロールレジスタの RCSI ビットがセットされていると、割り込みが発生します。 0 : 受信モジュールチャンネルステータスレジスタエンプティ 1 : 受信モジュールチャンネルステータスレジスタフル
2	CBRX	0	R	チャンネル 1、2 バッファ—受信モジュール 受信モジュールオーディオチャンネルレジスタの状態を示します。受信モジュールオーディオチャンネルレジスタを読み出すと、このビットはクリアされます。コントロールレジスタの RCBI ビットがセットされていると、割り込みが発生します。 0 : 受信モジュールオーディオチャンネルレジスタエンプティ 1 : 受信モジュールオーディオチャンネルレジスタフル
1	CSTX	0	R	チャンネル 1、2 ステータス—送信モジュール 送信モジュールチャンネルステータスレジスタの状態を示します。送信モジュールチャンネルステータスレジスタに書き込むと、このビットはクリアされます。コントロールレジスタの TCSI ビットがセットされていると、割り込みが発生します。 0 : 送信モジュールチャンネルステータスレジスタフル 1 : 送信モジュールチャンネルステータスレジスタエンプティ

ビット	ビット名	初期値	R/W	説 明
0	CBTX	0	R	チャンネル 1、2 バッファ—送信モジュール 送信モジュールオーディオチャンネルレジスタの状態を示します。送信モジュールオーディオチャンネルレジスタに書き込むと、このビットはクリアされます。コントロールレジスタの TCBI ビットがセットされていると、割り込みが発生します。 0 : 送信モジュールオーディオチャンネルレジスタフル 1 : 送信モジュールオーディオチャンネルレジスタエンプティ

【注】 * DMA 転送中にエラービットを検出した場合は、DMA 転送の再設定が必要です。この場合、ルネサス SPDIF モジュールイネーブルビット（RME または TME ビット）、DMA イネーブルビット（RDE または TDE ビット）を「禁止」に設定し、エラー状態を解除した上で、ダイレクトメモリアクセスコントローラを再設定してください。この後、モジュールイネーブルビットを「許可」に設定し DMA 転送を再開できます。

24.7.3 送信モジュールチャネル 1 オーディオレジスタ (TLCA)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31~24	-	-	W	リザーブビット
23~0	オーディオ PCM データ	すべて 0	W	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

24.7.4 送信モジュールチャネル 2 オーディオレジスタ (TRCA)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31~24	-	-	W	リザーブビット
23~0	オーディオ PCM データ	すべて 0	W	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

24.7.5 送信モジュール DMA オーディオデータレジスタ (TDAD)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31~24	-	-	W	リザーブビット
23~0	オーディオ PCM データ	すべて 0	W	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

24.7.6 送信ユーザデータレジスタ (TUI)

サブフレームの U ビットデータを書き込みます。U ビットデータはサブフレーム 1、サブフレーム 2 の順番で送信するため、16 フレームごとにデータを更新してください。ユーザバイトの内容については、使用するデバイスに対応するユーザ情報の規格を参照してください。送信するユーザビットは LSB 側から順番に設定します。

ビット:	31	30	29	28	27	26	25	24
	ユーザバイト4							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	ユーザバイト3							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	ユーザバイト2							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	ユーザバイト1							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31~24	ユーザバイト 4	すべて 0	W	U ビット情報が格納されます。
23~16	ユーザバイト 3	すべて 0	W	
15~8	ユーザバイト 2	すべて 0	W	
7~0	ユーザバイト 1	すべて 0	W	

24.7.7 送信モジュールチャンネル 1 ステータスレジスタ (TLCS)

送信するチャンネルステータス情報は 30 ビットのレジスタに格納します。チャンネルステータス情報は 1 フレーム当たり各チャンネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信したあとは 0 を送ります。

ビット:	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値:	-	-	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	CHNO[3:0]				SRCNO[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]				-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31、30	—	—	W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00 : レベル 2 01 : レベル 1 10 : レベル 3 11 : 予約
27～24	FS[3:0]	すべて 0	W	サンプル周波数 (FS) 0000 : 44.1 kHz 0010 : 48 kHz 0011 : 32 kHz
23～20	CHNO[3:0]	すべて 0	W	チャンネル番号 0000 : Don't care 0001 : A (左チャンネル) 0010 : B (右チャンネル) 0011 : C

ビット	ビット名	初期値	R/W	説 明
19～16	SRCNO[3:0]	すべて 0	W	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15～8	CATCD[7:0]	すべて 0	W	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ/デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	W	リザーブビット 書き込む値は常に 0 にしてください。
5～1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0	—	0	W	リザーブビット 書き込む値は常に 0 にしてください。

24.7.8 送信モジュールチャンネル 2 ステータスレジスタ (TRCS)

送信するチャンネルステータス情報は 30 ビットのレジスタに格納します。チャンネルステータス情報は 1 フレーム当たり各チャンネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信した後は 0 を送ります。

ビット:	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値:	-	-	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	23	22	21	20	19	18	17	16
	CHNO[3:0]				SRCNO[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]				-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31、30	—	—	W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00 : レベル 2 01 : レベル 1 10 : レベル 3 11 : 予約
27～24	FS[3:0]	すべて 0	W	サンプル周波数 (FS) 0000 : 44.1 kHz 0010 : 48 kHz 0011 : 32 kHz
23～20	CHNO[3:0]	すべて 0	W	チャンネル番号 0000 : Don't care 0001 : A (左チャンネル) 0010 : B (右チャンネル) 0011 : C

ビット	ビット名	初期値	R/W	説 明
19～16	SRCNO[3:0]	すべて 0	W	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15～8	CATCD[7:0]	すべて 0	W	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ/デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	W	リザーブビット 書き込む値は常に 0 にしてください。
5～1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0	—	0	W	リザーブビット 書き込む値は常に 0 にしてください。

24.7.9 受信モジュールチャネル 1 オーディオレジスタ (RLCA)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~24	—	—	R	リザーブビット
23~0	オーディオ PCM データ	すべて 0	R	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

24.7.10 受信モジュールチャネル 2 オーディオレジスタ (RRCA)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~24	—	—	R	リザーブビット
23~0	オーディオ PCM データ	すべて 0	R	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

24.7.11 受信モジュール DMA オーディオデータ (RDAD)

ビット:	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~24	—	—	R	リザーブビット
23~0	オーディオ PCM データ	すべて 0	R	オーディオ PCM データ PCM エンコードされたオーディオデータ (LSB 側に詰めて格納)

24.7.12 受信ユーザデータレジスタ (RUI)

ルネサス SPDIF をととして受信したサブフレームの U ビットデータが格納されます。LSB 側からサブフレーム 1、サブフレーム 2 の順番で U ビット情報が格納されるため、16 フレームごとに読み出してください。ユーザバイトの内容については、使用するデバイスに対応する規格を参照してください。

ビット:	31	30	29	28	27	26	25	24
	ユーザバイト4							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	ユーザバイト3							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	ユーザバイト2							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	ユーザバイト1							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~24	ユーザバイト 4	すべて 0	R	U ビット情報が格納されます。
23~16	ユーザバイト 3	すべて 0	R	
15~8	ユーザバイト 2	すべて 0	R	
7~0	ユーザバイト 1	すべて 0	R	

24.7.13 受信モジュールチャンネル 1 ステータスレジスタ (RLCS)

チャンネルステータスは、ブロック開始から受信したサブフレーム 1 が順番にレジスタの LSB ビットより格納されます。チャンネルステータスの内容は IEC-60958 を参照してください。

ビット:	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値:	-	-	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	CHNO[3:0]				SRCNO[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]				-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31、30	—	—	R	リザーブビット
29、28	CLAC[1:0]	すべて 0	R	クロック精度 00 : レベル 2 01 : レベル 1 10 : レベル 3 11 : 予約
27～24	FS[3:0]	すべて 0	R	サンプル周波数 (fs) 0000 : 44.1 kHz 0010 : 48 kHz 0011 : 32 kHz
23～20	CHNO[3:0]	すべて 0	R	チャンネル番号 0000 : Don't care 0001 : A (左チャンネル) 0010 : B (右チャンネル) 0011 : C

ビット	ビット名	初期値	R/W	説 明
19～16	SRCNO[3:0]	すべて 0	R	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15～8	CATCD[7:0]	すべて 0	R	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ/デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	R	リザーブビット
5～1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0	—	0	R	リザーブビット

24.7.14 受信モジュールチャンネル 2 ステータスレジスタ (RRCS)

チャンネルステータスは、ブロック開始から受信したサブフレーム 2 が順番にレジスタの LSB ビットより格納されます。チャンネルステータスの内容は IEC-60958 を参照してください。

ビット:	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値:	-	-	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	23	22	21	20	19	18	17	16
	CHNO[3:0]				SRCNO[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]				-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31、30	—	—	R	リザーブビット
29、28	CLAC[1:0]	すべて 0	R	クロック精度 00 : レベル 2 01 : レベル 1 10 : レベル 3 11 : 予約
27～24	FS[3:0]	すべて 0	R	サンプル周波数 (fs) 0000 : 44.1 kHz 0010 : 48 kHz 0011 : 32 kHz
23～20	CHNO[3:0]	すべて 0	R	チャンネル番号 0000 : Don't care 0001 : A (左チャンネル) 0010 : B (右チャンネル) 0011 : C

ビット	ビット名	初期値	R/W	説 明
19～16	SRCNO[3:0]	すべて 0	R	送信元番号 0000 : Don't care 0001 : 1 0010 : 2 0011 : 3
15～8	CATCD[7:0]	すべて 0	R	カテゴリコード (例) 00000000 : 2 チャンネル汎用フォーマット 00000001 : 2 チャンネルコンパクトディスク (IEC908) 00000010 : 2 チャンネル PCM エンコーダ/デコーダ 00000011 : 2 チャンネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	R	リザーブビット
5～1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます (IEC60958 規格を参照)。
0	—	0	R	リザーブビット

24.8 機能の説明ー送信モジュール

24.8.1 送信モジュール

送信モジュールは、送信する PCM データおよび補助情報を IEC60958 規格（SPDIF）に適合したバイフェーズマーク方式の変調にエンコードして送信します。

送信モジュールのクロックは、外部から供給されるオーバサンプリングクロックです。このクロックは通常バイフェーズマーク方式のエンコードに必要なクロック周波数の 8 倍の周波数でオーバサンプルとなる値を選択します。この場合、サブフレーム内にある 32 個タイムスロットの送信に必要なクロック周波数は、オーディオデータのサンプル周波数の 512 倍となります。

オーディオデータとチャンネルステータス情報は、まずモジュールのチャンネル 1 に、次にチャンネル 2 に書き込みます。チャンネルステータスは、一般には情報が変化しただけのみ書き込みが必要となります。チャンネルステータスの書き込みは 30 フレーム後（現在のチャンネルステータスデータの送信がすべて完了したとき）に SPDIF モジュールから要求されるため、31 フレームから次のブロック＝192 フレームが開始する前に書き込みをしてください。

オーディオデータは、ダブルバッファ構成で格納します。ダブルバッファの第 1 ステージにデータがなくなったことを確認する手段には、割り込み要求を送る方法とステータスレジスタを読み出す 2 つがあります。DMA 転送は、最初の要求でチャンネル 1 オーディオデータを、2 番目の要求でチャンネル 2 オーディオデータを送信します。

送信するチャンネルステータス情報はチャンネル 1、2 の 30 ビットのレジスタに設定します。チャンネルステータス情報は 1 ブロック間では各チャンネル当たり 192 ビットとなりますが、必要なデータは 30 ビット分しかないため、ルネサス SPDIF モジュールでは最初の 30 ビットを送信した後はブロックが完了するまでゼロを送信します。

ユーザデータは 32 ビットのダブルバッファ配列です。ダブルバッファの第 1 ステージが空の状態は、割り込みによる要求かステータスレジスタを読み出すことにより確認します。一般にユーザデータ情報はブロック間のデータ長では不足し、チャンネル 1、チャンネル 2 の順に送信し、1 ブロック間のユーザデータは 384 ビット送信後、次のブロックも連続して送信します。

ルネサス SPDIF モジュールでは扱うオーディオデータはリニア PCM で、設定できるサイズは最大 24 ビットです。このため、オーディオデータがリニア PCM であることを示す V フラグは常に 0 となります。V フラグはレジスタによる設定はありません。シリアル出力データの 32 ビット（プリアンブルは含まず）ごとに偶数パリティを生成します。

【注】 送信モジュールユーザバッファのアンダランが発生すると、次のデータが書き込まれるまで、SPDIF のバッファにある現在のデータを送信します。

24.8.2 送信モジュールの初期化

送信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの TME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、送信モジュールは次のような設定になります。

- 送信モジュールのアイドルステータスビット (TIS) は 1 にセットされ、その他のステータスビットはすべて 0 にクリアされます。
- プリアンブル生成が無効になります。
- チャンネル 1、2 の同期が 0 にセットされます (チャンネル 1 : 0、チャンネル 2 : 1)。
- ワードカウントとフレームカウントが 0 になります。
- パイフェーズマークによるエンコーダからの出力が 0 になります。

チャンネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの TME ビットに 1 を書き込んでください。

24.8.3 送信モジュールの初期設定

TME ビットを 1 にセットすると、TUIR ビットおよび CSTX ビットが 1 にセットされますが、このとき、1) TUI、2) TLCS、TRCS の順にデータを書き込むと、チャンネルステータスエラーが発生します。エラーの発生を抑えるには、1) TLCS、TRCS、2) TUI の順に書き込んでください。

また、TME ビットを 1 にセットした後、最初のオーディオデータの書き込み (CPU アクセスによる TLCA、TRCA への書き込み、または、DMA 転送による TDAD への書き込み) は、TLCS、TRCS、TUI への書き込み後、CSTX および TUIR がクリアされたことを確認してから行ってください。

24.8.4 送信モジュールのデータ転送

送信モジュールがアイドル状態から復帰すると、データ転送が可能になります。データ転送は、3 つの方法のいずれかで開始できます。割り込みで転送を行う方法、DMA 要求で行う方法、ステータスレジスタを読み出して行う方法です。送受信に共通な割り込み信号と、送信モジュール用の単独の DMA 要求信号が用意されています。

図 24.5 に、割り込みを用いた送信モジュールのデータ転送を示します。

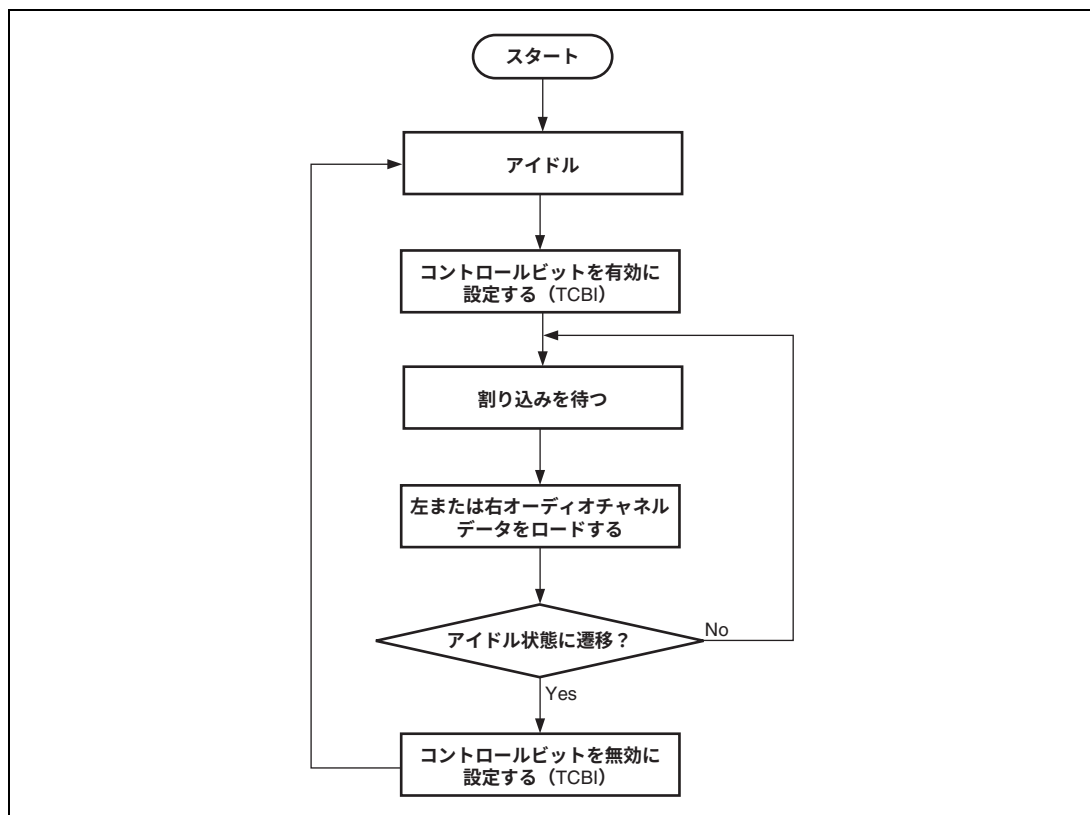


図 24.5 送信モジュールのデータ転送フロー（割り込みによる方法）

図 24.6 に、DMA 要求を用いた送信モジュールのデータ転送を示します。

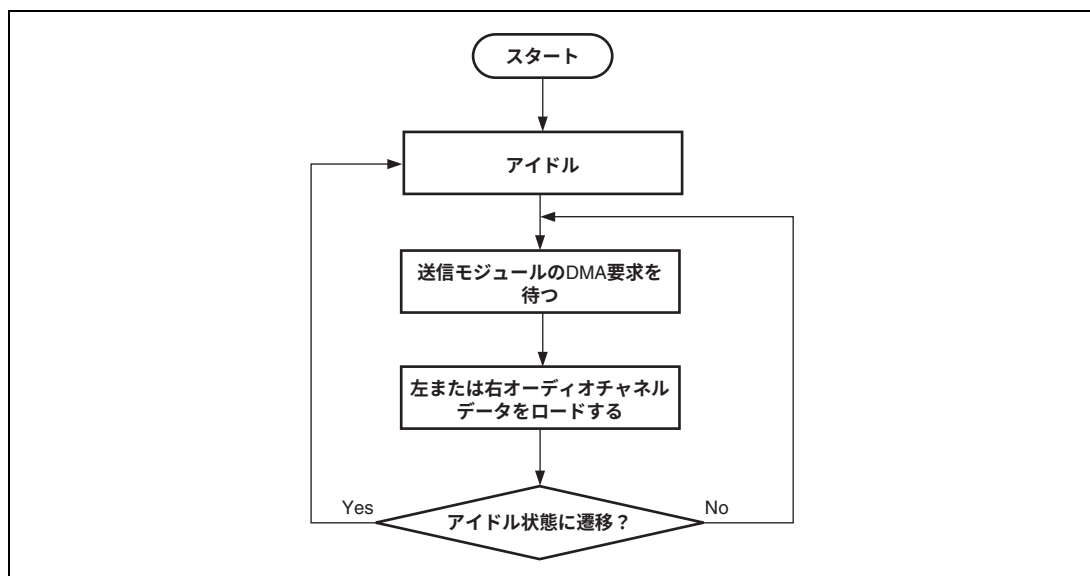


図 24.6 送信モジュールデータ転送フロー (DMA 要求による方法)

チャンネルステータス情報は、その情報が変化したときに更新します。更新する場合は、次のブロックを送信する前に行わなければならないため、更新するチャンネルステータスは、30 フレームの送信が完了したあとに書き込んでください。30 フレームの送信完了は、割り込みで通知するか、またはステータスビットを読み出して検出することができます。30 フレームの送信が完了する前（現在の情報の送信中）にチャンネルステータス情報を書き込むと、ステータスレジスタのチャンネルステータスエラービット（CSE）がセットされ、割り込みが発生します。

【注】 30 フレームで、1 つのチャンネルステータスブロックの有効な情報をすべて送信することができます。

24.9 機能の説明ー受信モジュール

24.9.1 受信モジュール

受信モジュールは、IEC60958 規格でエンコードされた入力からデータとクロックを復調します。復調されたデータはリニア PCM 形式のデータでオーディオデータレジスタに格納され、補助情報として同時に受信されるチャネルステータスとユーザ情報はレジスタに格納されます。

受信モジュールのメインクロックは、外部から供給されるオーバサンプリングクロックです。受信モジュールは、オーバサンプリングクロックの 4 倍の周波数で動作します。

【注】 送信モジュールと受信モジュールのオーバサンプリングクロックは同一です。

パルス幅カウンタと平均化フィルタを用いてクロックリカバリを行い、入力データの各ビットの中間点でサンプリングパルスを発生するようにします。クロックエラーステータスビットは、クロック同期ミスを示します。入力データに最初のプリアンプルが現れたとき、同期がとられます。調整を継続することで、ジッタやクロック変動がクロックリカバリ規定の範囲内である間は、そのクロックリカバリへの影響を抑えることができます。

クロックリカバリが成功すると、バイフェーズマーク方式によるデコーダがプリアンプル検出を開始します。デコーダはブロック開始のプリアンプル (表 24.2 参照) を検索します。プリアンプルエラーステータスビットは、次のプリアンプルが正しいタイミングで現れなかったことを示します。これは、転送の抜けや障害によるものと考えられます。

デコードしたデータに対し、偶数パリティチェックを行います。不一致があると、パリティエラーステータスビットがセットされます。

SPDIF モジュールは、オーディオデータ以外に、ユーザデータとチャネルステータス情報を取り出します。オーディオデータは、ダブルバッファ構成で格納します。バッファフル状態による割り込み要求送信か、またはステータスビットを読み出すことで、データが読み出し可能になったことを検出できます。DMA 転送は、最初の要求でチャネル 1 オーディオデータを、2 番目の要求でチャネル 2 オーディオデータを転送します。

チャネルステータス情報は 30 ビットのレジスタに格納します。チャネルステータス情報は、1 サブフレームあたり 1 ビットずつ受信しているため、各チャネル分合計 30 フレームを受信するまではレジスタへの格納が完了しません。新しいチャネルステータス情報を現在のデータと比較し、変化があったときだけ CPU が新しい情報を読み出します。同時にユーザデータも受信しますが、ユーザデータはサブフレームごとにレジスタに格納するため、16 フレームで受信が完了します。

【注】 1. チャネルステータス情報データ要求は、DMA 転送できません。

2. 受信モジュールユーザバッファのオーバーランが発生すると、SPDIF のバッファにある現在のデータは、SPDIF インタフェースから入力される次のデータで上書きされます。

24.9.2 受信モジュールの初期化

受信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの RME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、受信モジュールは次のような設定になります。

- 受信モジュールのアイドルステータスビットは1にセットされ、その他のステータスビットはすべて0にクリアされます。
- チャンネル1、2の同期が0にセットされます（チャンネル1：0、チャンネル2：1）。
- ワードカウントとフレームカウントが0になります。

チャンネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの RME ビットに 1 を書き込んでください。

24.9.3 受信モジュールのデータ転送

受信モジュールがアイドル状態から復帰するとデータ転送が可能になります。データ転送は、3つの方法のいずれかで開始できます。割り込みで転送を行う方法、ステータスレジスタを読み出して行う方法、DMA 要求で行う方法です。送受信に共通な割り込み信号と、受信モジュール用の単独の DMA 要求信号が用意されています。受信モジュールへのデータ転送中、以下の要因によるエラー信号で、割り込みが発生する可能性があります。

1. クロックリカバリエラー
2. 転送ミスまたは障害—ブリアンブルエラーで通知
3. パリティチェックエラー

転送ミスまたは障害の場合、サブフレーム開始またはブロック開始のブリアンブルの位置がずれたり、現れなかったりします。

パリティチェックエラーは、パリティビットが誤っている場合に発生します。このエラーは、上記のどの要因でも発生する可能性があります。

- クロックリカバリの許容差

クロックリカバリの受信マージンは、以下の式で表します。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン

N : オーバサンプリング速度

L : フレーム長=33

D : デューティサイクル=0.6

F : オーバサンプリングクロック偏差=レベル II 精度=1000 × 10⁻⁶

図 24.7 に、受信マージン M を示します。

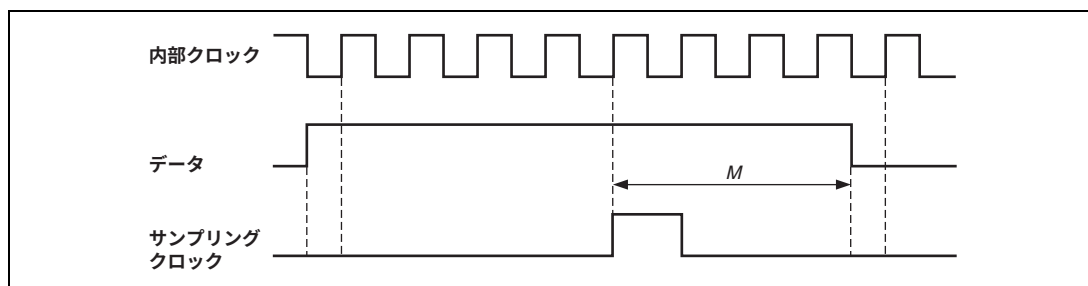


図 24.7 受信マージン

上記の式にジッタを導入した場合、以下の不等式で表します。

$$j \leq \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

J : クロックジッタ

8 倍のオーバーサンプリング速度：受信マージン=39.25%

4 倍のオーバーサンプリング速度：受信マージン=31.75%

2 倍のオーバーサンプリング速度：受信マージン=16.75%

最速のサンプル周波数は 48kHz です。この場合、必要なクロック周波数は、 $128 \times 48\text{kHz} = 6.144\text{MHz}$ です。1 サイクル中の最悪ケースのジッタは、 40ns =周期の 24.5%と定められています。したがって、4 以上のオーバーサンプリング速度であれば、上記の不等式が満たされます。

図 24.8 に、割り込みを用いた受信モジュールのデータ転送を示します。

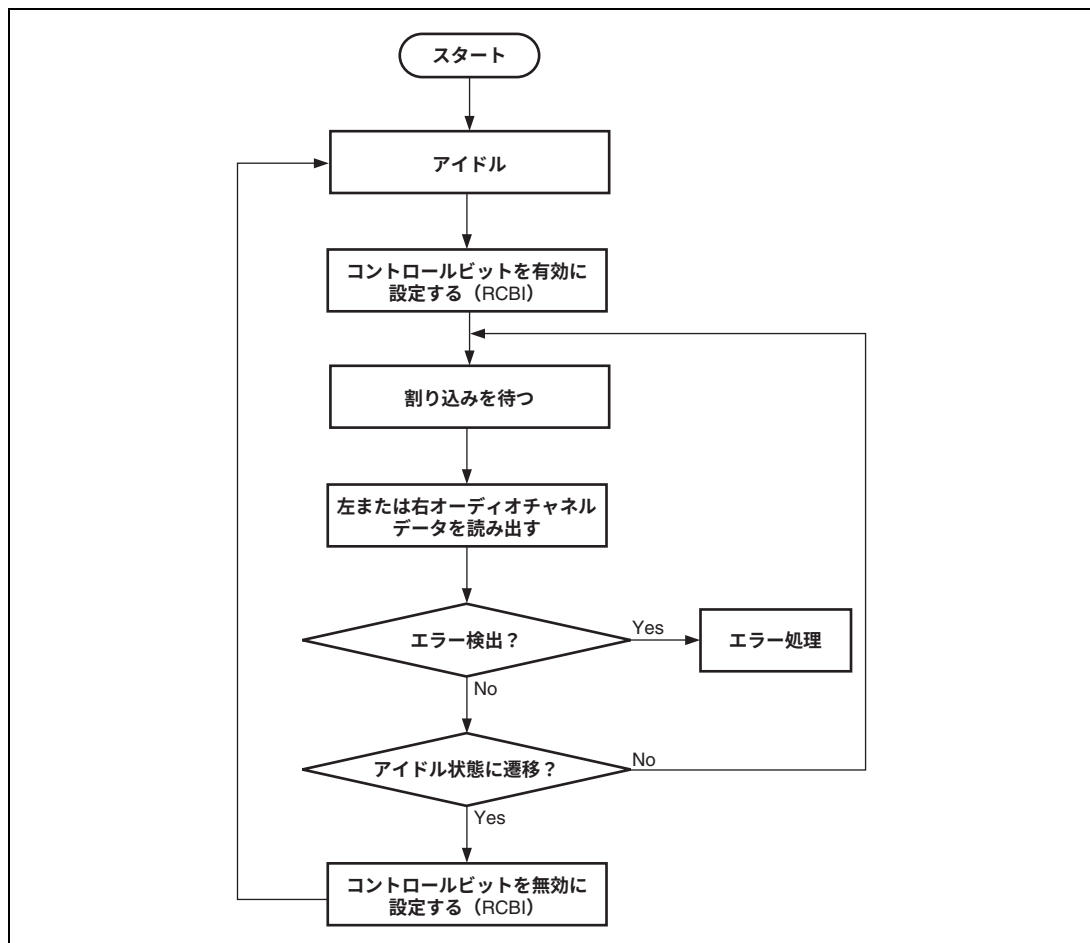


図 24.8 受信モジュールのデータ転送フロー（割り込みによる方法）

チャネルステータス情報レジスタに情報が格納されたことを通知する割り込みは、30 番目のフレーム受信が完了したあとで情報が変化したときのみ発生します。

24.10 モジュールの停止

24.10.1 送信モジュールと受信モジュールのアイドル状態

送信モジュールと受信モジュールは、コントロールレジスタのアイドルビット（送信モジュールは TME ビット、受信モジュールは RME ビット）に 0 を書き込むことで、動作を無効にできます。このアイドル状態は、ステータスレジスタのアイドルビット（送信モジュールは TIS ビット、受信モジュールは RIS ビット）を読み出すことで検出できます。

24.11 圧縮モードデータ

圧縮モードデータは、IEC61937 仕様で定義されています。SPDIF モジュールは、圧縮モードデータの検出のみを行います。バリディティフラグ（V フラグ）とチャネルステータスデータのビット 1 をチェックし、両方とも 1 の場合は圧縮モードデータとしてステータスレジスタの CMD ビットに設定します。

【注】 受信モジュールのみが圧縮モードデータを検出します。この情報は、送信モジュールには関係がありません。

24.12 参考

IEC60958 デジタルオーディオインタフェース

IEC61937 圧縮モードデジタルオーディオインタフェース

24.13 使用上の注意

24.13.1 TUIR のクリアについて

TUI に書き込んだ後、TUIR がクリアされるまで、最大 1 フレーム分の送信の完了を待つ必要があります。送信モジュールユーザ情報割り込みによって TUI にデータを書き込む場合は、割り込みを誤って再度受け付けられないように、TUIR がクリアされたことを確認してから、割り込み処理ルーチンを終了させてください。

24.13.2 オーディオ用入カクロックの周波数

AUDIO X1、AUDIO X2 または AUDIO CLK に入力するクロックの周波数は、B ϕ の周波数よりも低くしてください。

25. CD-ROM デコーダ

CD-ROM デコーダは、CD-DSP から転送されたストリームデータの ROM デコード処理を行います。CD-DA*¹ の場合には、ストリームデータは PCM データになっていますので、CD-ROM デコーダには入力されません。CD-ROM*² の場合に、ストリームデータを入力し、同期コード検出・保護、デスクランブル、ECC 訂正、EDC チェックを行い、ストリームデータを出力します。

ただし、ストリームデータは、シリアルサウンドインタフェースを経由して CD-ROM データが転送されることを前提としています。したがって、CD 規格にあるサブコードの処理は行いません。

- 【注】 *1 JIS S 8605 (Red Book) に準拠
*2 JIS X 6281 (Yellow Book) に準拠

25.1 特長

- 同期コード検出・保護

CD-ROM 同期コードを検出します。また、キズ等により同期コードを検出できなかったときは、同期コードを保護(自動挿入)します。

保護の種類としては、自動同期保護モード、外部同期保護モード、内挿同期モードおよび、内挿／外部同期保護モードがあります。

- デスクランブル
- ECC 訂正

P 訂正、Q 訂正、PQ 訂正、QP 訂正が実施できます。

PQ 訂正、QP 訂正は繰り返し訂正をすることができ、最大で3回訂正できます。ただし、CDの倍速に依存しており、例えば、CD-ROMデコーダの動作周波数を60MHz、CD2倍速とすると、最大で3回の繰り返し訂正ができます。

ECC 訂正には、2面のバッファを持っており、1面でストリームデータを受信しながら、もう1面でECC訂正を行う並列動作が可能です。

- EDCチェック

EDCのチェックは、ECC訂正前後に行います。ECC前のEDCチェックがOKであった場合、シンドローム演算結果によらずECC訂正を行わないモードもあります。

- バッファリングデータ制御

CD-ROMデコーダは、同期コードを先頭とする特定のフォーマットでバッファリング領域へデータを出力します。

25.1.1 データフォーマット

本モジュールは、図 25.1 の 5 種類のフォーマットをサポートしています。

Mode0	同期 (12バイト)	ヘッダ (4バイト)	All 0			
Mode1	同期 (12バイト)	ヘッダ (4バイト)	データ (2048バイト)	EDC (4バイト)	0 (8バイト)	P/パリティ (172バイト) Q/パリティ (104バイト)
Mode2 (notXA)	同期 (12バイト)	ヘッダ (4バイト)	データ (2336バイト)			
Mode2 Form1	同期 (12バイト)	ヘッダ (4バイト)	サブヘッダ (8バイト)	データ (2048バイト)	EDC (4バイト)	P/パリティ (172バイト) Q/パリティ (104バイト)
Mode2 Form2	同期 (12バイト)	ヘッダ (4バイト)	サブヘッダ (8バイト)	データ (2324バイト)		EDC (4バイト)

図 25.1 データフォーマット

内部バスからのデータは入出力各々1系統ですが、バスブリッジ論理で、レジスタアクセスポートとストリームデータポートに分岐します。

CD-DSP からのストリームデータは、シリアルサウンドインタフェースを経由し、ストリームデータ入力制御ブロックに転送します。それから CD-ROM デコーダを通過し、デスクランブル、ECC 訂正、EDC チェック後、1 セクタ分のデータが揃います。その後、ストリームデータ出力制御ブロックを経由し、ストリームデータバッファ内に転送します。ストリームデータの転送はダイレクトメモリアクセスコントロールによる方法と、CPU による方法があります。

図 25.3 にバスブリッジ部のブロック図を示します。

入カストリームデータはシリアルサウンドインタフェースから転送されるため転送ピッチは遅いですが、出カストリームデータはすでに CD-ROM デコーダコア部内にあるため、高速での転送が可能です。また、出カストリームデータは SDRAM 等にバッファリングするため、SDRAM ビジー率を下げるために、高速で転送する必要があります。そこで、内部バスからの出カストリームデータ読み出しリクエストが CD-ROM デコーダにくる前に、データを先読みし、バスブリッジ内レジスタにストリームデータを蓄えておき、内部バスからのリクエストがきたら、すぐにデータを内部バスへ出力可能な状態にしています。それゆえ、すでに出カストリームデータが先読みされ、レジスタに蓄えられている状態で、他のレジスタ読み出しリクエストがくる場合もあります。そのため、本モジュールは出カストリームデータ用レジスタと他のレジスタ読み出し用の中継レジスタを別々に持っています。

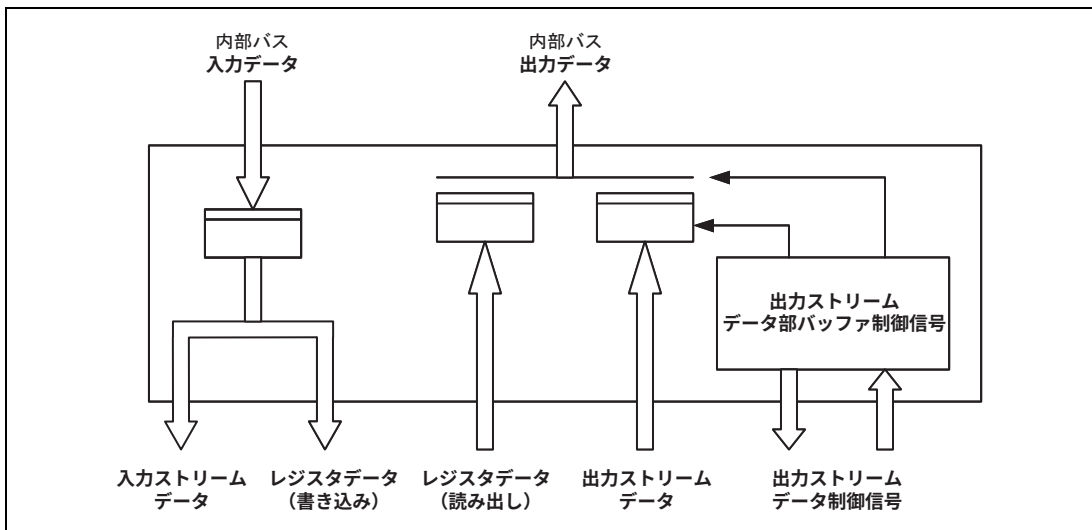


図 25.3 バスブリッジ部のブロック図

図 25.4 にストリームデータ入力制御ブロック図を示します。ストリームデータ入力制御部は、入カストリームデータの制御論理と、CD-ROM デコーダの制御モードを変えるレジスタを持っています。

シリアルサウンドインタフェースから転送されてきたデータは、シリアルサウンドインタフェースのモードによりエンディアンの違いで転送順番が変わったり、パディングデータが転送されたりします。こういった種々のデータに対応するために、動作モードを変えるレジスタを備えていたり、CD-ROM デコーダコア部を制御する制御信号を生成したりします。入カストリームデータ保持レジスタは、16 ビット 2 面のレジスタを持っています。レジスタで設定されたモードにより、先にシリアルサウンドインタフェースから転送されてきた 16 ビットデータを先に CD-ROM デコーダコア部に供給したり、後に送られてきた 16 ビットを先に供給したりすることができます。また、パディングデータを CD-ROM デコーダコア部に供給しないようにすることも可能です。

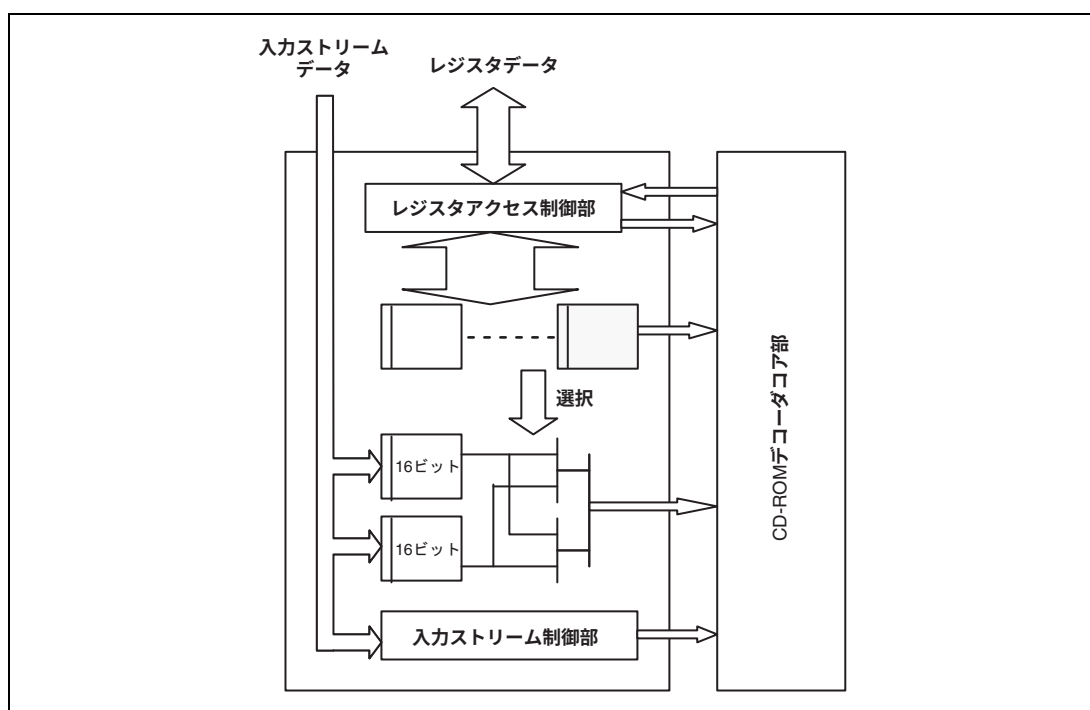


図 25.4 ストリームデータ入力制御ブロック図

図 25.5 にストリームデータ出力制御ブロック図を示します。

CD-ROM デコーダコア部から 1 セクタ分の CD-ROM データが揃ったことを認識し、バスブリッジ部にある出カストリームデータレジスタの空き状態を確認して、CD-ROM デコーダコア部から出カストリームデータを取得します。

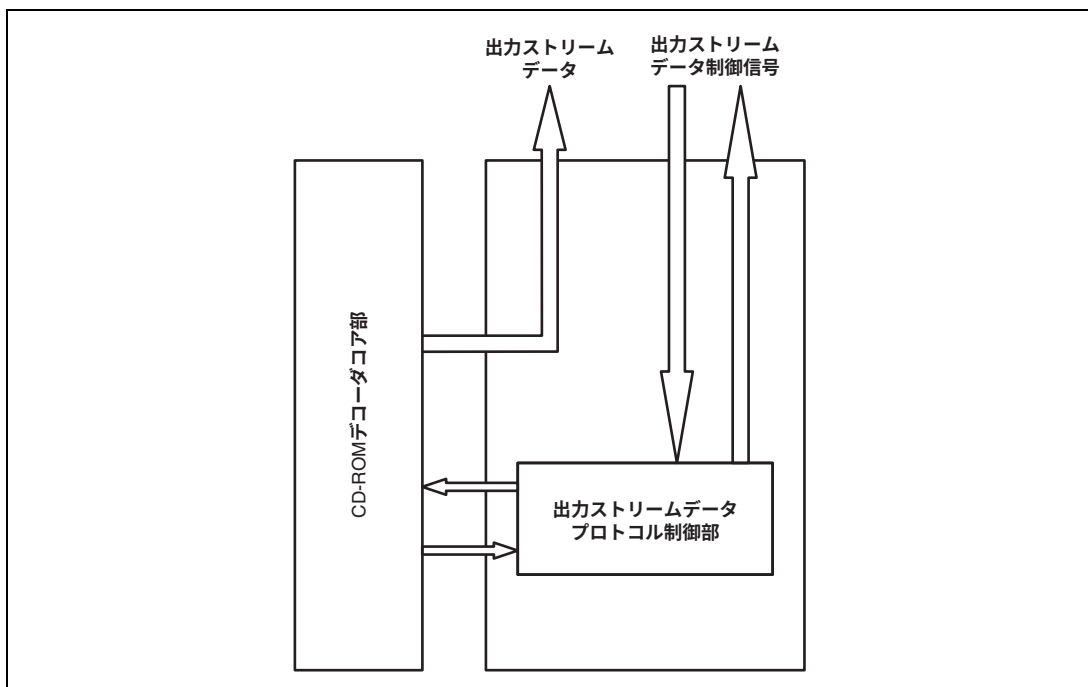


図 25.5 ストリームデータ出力制御ブロック図

割り込みおよびダイレクトメモリアクセスコントローラ起動制御では、割り込みの保留やフラグクリア、割り込みのマスク、ダイレクトメモリアクセスコントローラへの起動信号アサートと、転送データ量を検出し起動信号をネゲートする機能を持っています。

25.3 レジスタの説明

表 25.1 にレジスタ構成を示します。

表 25.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
イネーブルコントロールレジスタ	CROMEN	R/W	H'00	H'FFFF9000	8
同期コードの同期制御コントロールレジスタ	CROMSY0	R/W	H'89	H'FFFF9001	8
デコーディングモードコントロールレジスタ	CROMCTL0	R/W	H'82	H'FFFF9002	8
EDC、ECC チェック制御コントロールレジスタ	CROMCTL1	R/W	H'D1	H'FFFF9003	8
デコード処理自動停止コントロールレジスタ	CROMCTL3	R/W	H'00	H'FFFF9005	8
デコードオプション設定コントロールレジスタ	CROMCTL4	R/W	H'00	H'FFFF9006	8
HEAD20～22 表示コントロールレジスタ	CROMCTL5	R/W	H'00	H'FFFF9007	8
同期コードステータスレジスタ	CROMST0	R	H'00	H'FFFF9008	8
ECC 後のヘッダに対するエラーステータスレジスタ	CROMST1	R	H'00	H'FFFF9009	8
ECC 後のサブヘッダに対するエラーステータスレジスタ	CROMST3	R	H'00	H'FFFF900B	8
ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ	CROMST4	R	H'00	H'FFFF900C	8
モード判定結果とリンクセクタ検出ステータスレジスタ	CROMST5	R	H'00	H'FFFF900D	8
ECC、EDC エラーステータスレジスタ	CROMST6	R	H'00	H'FFFF900E	8
バッファステータスレジスタ	CBUFST0	R	H'00	H'FFFF9014	8
デコード中止要因ステータスレジスタ	CBUFST1	R	H'00	H'FFFF9015	8
バッファオーバーフローステータスレジスタ	CBUFST2	R	H'00	H'FFFF9016	8
ECC 訂正前ヘッダ部-MINUTES データレジスタ	HEAD00	R	H'00	H'FFFF9018	8
ECC 訂正前ヘッダ部-SECONDS データレジスタ	HEAD01	R	H'00	H'FFFF9019	8
ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD02	R	H'00	H'FFFF901A	8
ECC 訂正前ヘッダ部-MODE データレジスタ	HEAD03	R	H'00	H'FFFF901B	8
ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD00	R	H'00	H'FFFF901C	8
ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ	SHEAD01	R	H'00	H'FFFF901D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD02	R	H'00	H'FFFF901E	8
ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD03	R	H'00	H'FFFF901F	8
ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD04	R	H'00	H'FFFF9020	8
ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD05	R	H'00	H'FFFF9021	8
ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD06	R	H'00	H'FFFF9022	8
ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD07	R	H'00	H'FFFF9023	8
ECC 訂正後ヘッダ部-MINUTES データ レジスタ	HEAD20	R	H'00	H'FFFF9024	8
ECC 訂正後ヘッダ部-SECONDS データ レジスタ	HEAD21	R	H'00	H'FFFF9025	8
ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD22	R	H'00	H'FFFF9026	8
ECC 訂正後ヘッダ部-MODE データレジスタ	HEAD23	R	H'00	H'FFFF9027	8
ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD20	R	H'00	H'FFFF9028	8
ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ	SHEAD21	R	H'00	H'FFFF9029	8
ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD22	R	H'00	H'FFFF902A	8
ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD23	R	H'00	H'FFFF902B	8
ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD24	R	H'00	H'FFFF902C	8
ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD25	R	H'00	H'FFFF902D	8
ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD26	R	H'00	H'FFFF902E	8
ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD27	R	H'00	H'FFFF902F	8
自動バッファリング設定コントロール レジスタ	CBUFCTL0	R/W	H'04	H'FFFF9040	8
自動バッファリング開始セクタ設定 -MINUTES コントロールレジスタ	CBUFCTL1	R/W	H'00	H'FFFF9041	8
自動バッファリング開始セクタ設定 -SECONDS コントロールレジスタ	CBUFCTL2	R/W	H'00	H'FFFF9042	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ	CBUFCTL3	R/W	H'00	H'FFFF9043	8
ISY 割り込み要因マスクコントロール レジスタ	CROMST0M	R/W	H'00	H'FFFF9045	8
CD-ROM デコーダモジュールリセット コントロールレジスタ	ROMDECRST	R/W	H'00	H'FFFF9100	8
CD-ROM デコーダモジュールリセット ステータスレジスタ	RSTSTAT	R	H'00	H'FFFF9101	8
シリアルサウンドインタフェース データコントロールレジスタ	SSI	R/W	H'18	H'FFFF9102	8
割り込みフラグレジスタ	INTHOLD	R/W	H'00	H'FFFF9108	8
割り込み要因マスクコントロールレジスタ	INHINT	R/W	H'00	H'FFFF9109	8
CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN0	R/W	H'0000	H'FFFF9200	リード : 16 ライト : 16、32
CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN2	R/W	H'0000	H'FFFF9202	16
CD-ROM デコーダストリームデータ出力 レジスタ	STRMDOUT0	R	H'0000	H'FFFF9204	16、32

25.3.1 イネーブルコントロールレジスタ (CROMEN)

CROMEN は、Subcode 処理イネーブル、CD-ROM デコード処理イネーブル、CD-ROM デコード処理強制終了を行います。

ビット:	7	6	5	4	3	2	1	0
	SUBC_EN	CROM_EN	CROM_STP	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SUBC_EN	0	R/W	Subcode 処理イネーブル CROM_EN と同時にセット、クリアを行ってください。異常自動停止時および CROM_STP = 1 で自動的に 0 になります。
6	CROM_EN	0	R/W	CD-ROM デコード処理イネーブル このビットを 1 にすると、有効な同期コードを検出後、CD-ROM デコード処理を開始します。このビットを 0 にすると、現在のデコード中のセクタの処理が終了した時点でデコード処理を中止します。 自動デコード停止機能により停止したときおよび CROM_STP = 1 で自動的に 0 になります。
5	CROM_STP	0	R/W	CD-ROM デコード処理強制終了 このビットを 1 にすると即座に CD-ROM デコード処理が停止します。 SUBC_EN、CROM_EN ビットは自動的に 0 になります。デコード処理を再開する前に、このビットを 0 にする必要があります。
4~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.2 同期コードの同期制御コントロールレジスタ (CROMSY0)

CROMSY0 は同期コード保護機能を選択します。

ビット:	7	6	5	4	3	2	1	0
	SY AUT	SY IEN	SY DEN	-	-	-	-	-
初期値:	1	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SY_AUT	1	R/W	CD-ROM 同期コードの自動同期保護モード このビットを 1 にすると、CD-ROM 同期コードの同期保護(同期コードの挿入) が自動になります。このビットが 1 のとき、SY_IEN、SY_DEN の設定は無効 です。
6	SY_IEN	0	R/W	内部同期信号イネーブル CD-ROM デコーダ内部のカウンタによって作られる内部同期信号を有効にし ます。 SY_AUT=0 のとき、このビットを 1 にすると、CD-ROM データの同期は常に 内部カウンタによる内挿モードになります。
5	SY_DEN	0	R/W	同期信号の外部同期コードとの同期化 入力データから検出される同期コードを常時監視し、内部カウンタ値にかかわ らず、常に同期化します。 このビットの設定は、SY_AUT=0 のときに有効です。
4	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	-	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2、1	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	-	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

表 25.2 同期コード保護機能の設定

SY_AUT	SY_IEN	SY_DEN	動作モード
1	-	-	自動同期保護モード
0	0	1	外部同期モード
0	1	0	内挿同期モード
0	1	1	内挿 / 外部同期モード
0	0	0	設定禁止

25.3.3 デコーディングモードコントロールレジスタ (CROMCTL0)

CROMCTL0 は各種機能の制御、Mode 判定 / Form 判定の選択およびセクタタイプの設定を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット：	7	6	5	4	3	2	1	0
	MD_DESC	-	MD_AUTO	MD_AUTOS1	MD_AUTOS2	MD_SEC[2:0]		
初期値：	1	0	0	0	0	0	1	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MD_DESC	1	R/W	デスクランブル機能制御 0：デスクランブル機能 OFF 1：デスクランブル機能 ON
6	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MD_AUTO	0	R/W	Mode Form の自動検出機能制御 0：OFF 1：ON 検出可能なフォーマットは、Mode0、Mode1、Mode2(not XA)、Mode2 Form1、Mode2 Form2 です。Mode Form が検出できなかったとき、前セクタの Mode Form を継続します。デコード開始の最初のセクタの Mode Form が検出できなかった場合は、MD_SEC[2:0]の設定値を初期値として使用します。
4	MD_AUTOS1	0	R/W	MD_AUTO = 1 時の Mode 判定基準 0：同期コードが検出された場合のみ Mode 判定を行う 1：常に Mode 判定を行う このビットの設定は、MD_AUTO = 1 のときのみ有効です。判定不能の場合、前セクタの Mode を引き継ぎます。このビットを 0 とすると、当該セクタの同期コードが検出された場合のみ Mode 判定を行います。
3	MD_AUTOS2	0	R/W	MD_AUTO = 1 時の Mode2 の Form 判定基準 0：サブヘッダ内 2 箇所 の Form のうち、コードが一致しなかったら、not XA とします。 1：XA 判定は行いません。最初の Form を有効とします。ただし、2 箇所 の Form 一致チェックは行い、ステータスには反映します。 このビットの設定は、MD_AUTO = 1 のときのみ有効です。

ビット	ビット名	初期値	R/W	説 明
2~0	MD_SEC[2:0]	010	R/W	セクタタイプ設定 000 : 設定禁止 001 : Mode0 010 : Mode1 011 : Long (Mode0、Mode1、Mode2 EDC/ECC データなし) 100 : 設定禁止 101 : Mode2 Form1 110 : Mode2 Form2 111 : Mode2 自動フォーム検出 B'111 に設定した場合で、フォーム判定できなかった場合は、Mode2 not XA として処理します。

25.3.4 EDC、ECC チェック制御コントロールレジスタ (CROMCTL1)

CROMCTL1 は、EDC、ECC チェックを制御するレジスタです。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット :	7	6	5	4	3	2	1	0
	M2F2 EDC	MD_DEC[2:0]			-	-	MD_PQREP[1:0]	
初期値 :	1	1	0	1	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	M2F2EDC	1	R/W	Mode2 Form2 において EDC コードが All 0 ならば EDC 機能を無効とします。 このビットを 1 とすると、Mode2 Form2 で EDC コードが 0 の場合、EDC チェックが NG となっても IERR 割り込みは発生しません。
6~4	MD_DEC [2:0]	101	R/W	EDC、ECC チェックモード選択 000 : チェックなし 001 : EDC のみ 010 : Q + EDC 011 : P + EDC 100 : QP + EDC 101 : PQ + EDC 110 : 設定禁止 111 : 設定禁止
3, 2	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1, 0	MD_PQREP [1:0]	01	R/W	PQ、QP 訂正の訂正繰り返し回数 MD_DEC ビットで、PQ、QP 訂正を設定したときの訂正繰り返し回数を選択します。 00 : 設定禁止 01 : 1 回訂正 10 : 2 回繰り返し訂正 11 : 3 回繰り返し訂正

25.3.5 デコード処理自動停止コントロールレジスタ (CROMCTL3)

CROMCTL3はデコード異常発生時、自動的にデコード処理を停止することができます。停止した場合、IBUF 割り込みが発生し、CBUFST1 レジスタで停止要因を確認することができます。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット:	7	6	5	4	3	2	1	0
	STP_ECC	STP_EDC	-	STP_MD	STP_MIN	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	STP_ECC	0	R/W	STP_ECC ビットを 1 にセットすると、ECC 訂正不能となったとき、CD-ROM デコード処理を中止します。
6	STP_EDC	0	R/W	STP_EDC ビットを 1 にセットすると、ECC 後の EDC でエラーとなったとき、CD-ROM デコード処理を中止します。
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STP_MD	0	R/W	STP_MD ビットを 1 にセットすると、Mode Form が直前のセクタと異なっていた場合、デコード処理を中止します。
3	STP_MIN	0	R/W	STP_MIN ビットを 1 にセットすると、MINUTES、SECONDS、FRAME (1/75 秒) が途中でずれたときにデコード処理を中止します。
2~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.6 デコードオプション設定コントロールレジスタ (CROMCTL4)

CROMCTL4は、リンクブロック検出制御、ステータスレジスタの表示選択およびECC 訂正モードの制御を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット:	7	6	5	4	3	2	1	0
	-	LINK2	-	ER0SEL	NO_ECC	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R/W	リザーブビット 書き込む値は 0 でも 1 でも構いません。読み出すと書き込んだ値が読み出されます。
6	LINK2	0	R/W	リンクブロック検出条件の選択 0: ランアウト 1、2 のいずれかと、ランイン 3、4 の両方を検出した場合にリンクブロックと判定 1: ランアウト 1、2、リンクのうち、2 つ検出でリンクブロックと判定 LINK_ON がセットされる条件はリンクセクタをデコードしたタイミングとなります。
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ER0SEL	0	R/W	ROM データ関連ステータスレジスタの設定条件選択 0: 現在デコード中のセクタの情報を表示 1: バッファリングが完了した最新セクタの情報を表示 CROMST0 レジスタのビット 5~0、CROMST4、CROMST5 レジスタのビット 7~1、HEAD00~02 が対象です。
3	NO_ECC	0	R/W	ECC 前 EDC チェックが OK であったときの ECC 訂正モード選択 このビットを 1 にすると、ECC 前 EDC チェックが OK だった場合、シンドローム演算結果に関係なく、ECC 訂正を行いません。
2~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.7 HEAD20～22 表示コントロールレジスタ (CROMCTL5)

CROMCTL5 は、HEAD20～22 の表示方式を設定します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MSF_LBA_SEL
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～1	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MSF_LBA_SEL	0	R/W	HEAD20～22 の表示方式 0：ヘッダの MSF をそのまま BCD (10 進数) 表示 1：トータルセクタ値を 16 進数表示

25.3.8 同期コードステータスレジスタ (CROMST0)

CROMST0 は、同期式コード保護機能時のステータスを示します。

ビット：	7	6	5	4	3	2	1	0
	-	-	ST_SYIL	ST_SYNO	ST_BLKs	ST_BLKl	ST_SECS	ST_SECL
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
5	ST_SYIL	0	R	ワードカウンタ (同期コード間隔を計測) の正しくないところで、同期コードが検出されたが、無視して同期化しなかったことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
4	ST_SYNO	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず内挿してデコーダを同期化したことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
3	ST_BLKs	0	R	ワードカウンタの正しくないところで、同期コードが検出され、これによってデコーダが同期化したことを示します。 このビットは、自動同期保護モードまたは外部同期モード時のみ有効です。
2	ST_BLKl	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず、1 セクタの期間が長くなったことを示します。 このビットは、外部同期モードのときのみに有効です。
1	ST_SECS	0	R	同期コードと内挿した同期タイミングをショートセクタとして対応したことを示します。このビットが 1 になった場合、デコードをただちに停止させ、現在デコード中の 1 つ前のセクタからリトライを行ってください。

ビット	ビット名	初期値	R/W	説 明
0	ST_SECL	0	R	同期コードと内挿した同期タイミングをロングセクタとして対応したことを示します。このビットが 1 になった場合、デコードをただちに停止させ、現在デコード中の 2 つ前のセクタからリトライを行ってください。

25.3.9 ECC 後のヘッダに対するエラーステータスレジスタ (CROMST1)

CROMST1 は、ECC 後のヘッダに対するエラー状態を示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
3	ER2_HEAD0	0	R	ECC 後のヘッダ部 MINUTES に対するエラー状態を示します。
2	ER2_HEAD1	0	R	ECC 後のヘッダ部 SECONDS に対するエラー状態を示します。
1	ER2_HEAD2	0	R	ECC 後のヘッダ部 FRAME(1/75 秒)に対するエラー状態を示します。
0	ER2_HEAD3	0	R	ECC 後のヘッダ部 MODE に対するエラー状態を示します。

25.3.10 ECC 後のサブヘッダに対するエラーステータスレジスタ (CROMST3)

CROMST3 は、ECC 後のサブヘッダに対するエラー状態を示します。

ビット:	7	6	5	4	3	2	1	0
	ER2_SHEAD0	ER2_SHEAD1	ER2_SHEAD2	ER2_SHEAD3	ER2_SHEAD4	ER2_HEAD5	ER2_HEAD6	ER2_HEAD7
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	ER2_SHEAD0	0	R	ECC 後のサブヘッダ (ファイルナンバ) に対するエラー状態を示します。 SHEAD20 レジスタのエラーを示します。
6	ER2_SHEAD1	0	R	ECC 後のサブヘッダ (チャネルナンバ) に対するエラー状態を示します。 SHEAD21 レジスタのエラーを示します。
5	ER2_SHEAD2	0	R	ECC 後のサブヘッダ (サブモード) に対するエラー状態を示します。 SHEAD22 レジスタのエラーを示します。
4	ER2_SHEAD3	0	R	ECC 後のサブヘッダ (データタイプ) に対するエラー状態を示します。 SHEAD23 レジスタのエラーを示します。
3	ER2_SHEAD4	0	R	ECC 後のサブヘッダ (ファイルナンバ) に対するエラー状態を示します。 SHEAD24 レジスタのエラーを示します。

ビット	ビット名	初期値	R/W	説 明
2	ER2_SHEAD5	0	R	ECC 後のサブヘッダ (チャネルナンバ) に対するエラー状態を示します。 SHEAD25 レジスタのエラーを示します。
1	ER2_SHEAD6	0	R	ECC 後のサブヘッダ (サブモード) に対するエラー状態を示します。 SHEAD26 レジスタのエラーを示します。
0	ER2_SHEAD7	0	R	ECC 後のサブヘッダ (データタイプ) に対するエラー状態を示します。 SHEAD27 レジスタのエラーを示します。

25.3.11 ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ (CROMST4)

CROMST4 は、自動モード判定、Mode2 の Form 判定のエラーを示します。

ビット:	7	6	5	4	3	2	1	0
	NG_MD	NG_MDCMP1	NG_MDCMP2	NG_MDCMP3	NG_MDCMP4	NG_MDDEF	NG_MDTIM1	NG_MDTIM2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	NG_MD	0	R	自動モード判定基準で、モード判定ができなかったことを示します。
6	NG_MDCMP1	0	R	Mode2 の Form を判定する際、ファイルナンバ (BYTE-16 と BYTE-20) でコンペアエラーが発生したことを示します。
5	NG_MDCMP2	0	R	Mode2 の Form を判定する際、チャネルナンバ (BYTE-17 と BYTE-21) でコンペアエラーが発生したことを示します。
4	NG_MDCMP3	0	R	Mode2 の Form を判定する際、サブモード (BYTE-18 と BYTE-22) でコンペアエラーが発生したことを示します。
3	NG_MDCMP4	0	R	Mode2 の Form を判定する際、データタイプ (BYTE-19 と BYTE-23) でコンペアエラーが発生したことを示します。
2	NG_MDDEF	0	R	Mode、Form が直前のセクタと異なったことを示します。
1	NG_MDTIM1	0	R	ヘッダの MINUTES、SECONDS、FRAMES (1/75 秒) が途中でずれたことを示します。 次セクタからの連続性チェックは、更新値を使用します。
0	NG_MDTIM2	0	R	ヘッダの MINUTES、SECONDS、FRAMES が BCD (10 進) 値以外だったことを示します。 このビットは、BCD 以外の値 (A~F)、HEAD01 が H'59 より大きい値、HEAD02 が H'74 より大きい値であったことを意味します。 次セクタからの連続性チェックは内挿値を使用します。

25.3.12 モード判定結果とリンクセクタ検出ステータスレジスタ (CROMST5)

CROMST5 は、自動モード判定結果およびリンクブロック検出を示します。

ビット:	7	6	5	4	3	2	1	0
	ST_AMD[2:0]			ST_MDX	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~5	ST_AMD[2:0]	000	R	自動モード判定結果 自動モード判定機能を利用した際のモード判定結果を示します。 000 : 自動モード判定機能を利用していない 001 : Mode0 010 : Mode1 011 : - 100 : Mode2 not XA 101 : Mode2 Form1 110 : Mode2 Form2 111 : -
4	ST_MDX	0	R	自動モード判定を使用せず、手動設定したとき、設定値と論理が認識した結果が不一致であることを示します。手動設定値が優先です。
3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき 1 となります。 リンクブロック判定基準は CROMCTL4 レジスタの LINK2 ビットを参照してください。
2	LINK_DET	0	R	リンクブロック (ランアウト 1~ランイン 4) が検出されたことを示します。 ECC 訂正前のデータで検出しているため、リンクブロックと同じコードにデータが誤っていた場合、LINK_DET = 1 となることがあります。
1	LINK_SDET	0	R	リンクブロックがデコード開始後 7 セクタ以内に検出されたことを示します。
0	LINK_OUT1	0	R	ECC 処理後にランアウト 1 セクタと判定されたことを示します。 このビットは、IERR 割り込みが発生していない (ECC 訂正が正しく行われた) 時のみ有効です。

25.3.13 ECC、EDC エラーステータスレジスタ (CROMST6)

CROMST6 は、ECC 処理エラーおよび ECC 前後の EDC チェックエラーを示します。

ビット:	7	6	5	4	3	2	1	0
	ST_ERR	-	ST_ECCABT	ST_ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ST_ERR	0	R	ECC 後のデコードブロックに 1 バイトでもエラーがあることを示します。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
5	ST_ECCABT	0	R	ECC 処理が途中で中断されたことを示します。 このビットは、ECC 訂正処理中にセクタ切り替えが発生したときに 1 となります。タイミングによっては、このビットが 1 となっても、CBUFST2 レジスタの BUF_NG ビットが 0 となっていれば ECC 訂正動作に問題はありません。
4	ST_ECCNG	0	R	エラー訂正できなかったことを示します。 このビットはショートセクタ検出時にも 1 となります。
3	ST_ECCP	0	R	ECC 処理で P 系列の訂正ができなかったことを示します。 このビットは同期状態が正常 (ショートセクタまたはロングセクタではない) 時のみ有効です。 P 系列のシンドローム値が All0 以外の場合、1 となります。
2	ST_ECCQ	0	R	ECC 処理で Q 系列の訂正ができなかったことを示します。 このビットは同期状態が正常 (ショートセクタまたはロングセクタではない) 時のみ有効です。 Q 系列のシンドローム値が All0 以外の場合、1 となります。
1	ST_EDC1	0	R	ECC 前の EDC チェックが NG だったことを示します。 このビットは EDC が有効で、ショートセクタとなった場合も 1 となります。
0	ST_EDC2	0	R	ECC 後の EDC チェックが NG だったことを示します。

25.3.14 バッファステータスレジスタ (CBUFST0)

CBUFST0 は、バッファリング開始セクタ検索中またはバッファリング中であることを示します。

ビット:	7	6	5	4	3	2	1	0
	BUF_REF	BUF_ACT	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	BUF_REF	0	R	バッファリング開始セクタを検索中であることを示します。 このビットは自動バッファリング機能使用時 (CBUF_AUT = 1) のみ有効です。
6	BUF_ACT	0	R	バッファリング中であることを示します。
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

25.3.15 デコード中止要因ステータスレジスタ (CBUFST1)

CBUFST1 は、各種エラーのためデコード／バッファリング処理が中止されたことを示します。

本レジスタは CROMCTL3 の対応するビットを 1 としているときのみセットされます。

ビット:	7	6	5	4	3	2	1	0
	BUF_ECC	BUF_EDC	-	BUF_MD	BUF_MIN	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	BUF_ECC	0	R	ECC 訂正不能で ROM デコード / バッファリング処理を中止したことを示します。
6	BUF_EDC	0	R	ECC 訂正後 EDC チェックでエラーを検出したためデコード / バッファリング処理を中止したことを示します。
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	BUF_MD	0	R	Mode、Form が直前のセクタと異なったためにデコード / バッファリング処理を中止したことを示します。
3	BUF_MIN	0	R	MINUTES、SECONDS、FRAMES (1/75 秒) が途中でずれたためにデコード / バッファリング処理を中止したことを示します。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

25.3.16 バッファオーバフローステータスレジスタ (CBUFST2)

CBUFST2 は、バッファへの転送が完了しないうちにセクタ切り替えが発生したことを示します。

ビット:	7	6	5	4	3	2	1	0
	BUF_	-	-	-	-	-	-	-
	NG							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	BUF_NG	0	R	バッファへのデータ転送が完了しないうちにセクタの切り替えが発生したことを示します。出力ストリームデータを CD-ROM デコーダから引き出さずに 3 セクタ目のデータが入力されると本ビットが 1 となります。割り込みは発生しません。本ビットが 1 になった場合、ROMDECRST レジスタの LOGICRST ビットによるリセットのみ 0 にクリアされます。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

25.3.17 ECC 訂正前ヘッダ部-MINUTES データレジスタ (HEAD00)

HEAD00 は、ECC 訂正前のヘッダ部 MINUTES 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD00[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD00[7:0]	H'00	R	ECC 訂正前のヘッダ部 MINUTES 値

25.3.18 ECC 訂正前ヘッダ部-SECONDS データレジスタ (HEAD01)

HEAD01 は、ECC 訂正前のヘッダ部 SECONDS 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD01[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD01[7:0]	H'00	R	ECC 訂正前のヘッダ部 SECONDS 値

25.3.19 ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD02)

HEAD02 は、ECC 訂正前のヘッダ部 FRAMES(1/75 秒)値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD02[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD02[7:0]	H'00	R	ECC 訂正前のヘッダ部 FRAMES (1/75 秒) 値

25.3.20 ECC 訂正前ヘッダ部-MODE データレジスタ (HEAD03)

HEAD03 は、ECC 訂正前のヘッダ部 MODE 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD03[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD03[7:0]	H'00	R	ECC 訂正前のヘッダ部 MODE 値

25.3.21 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16)
データレジスタ (SHEAD00)

SHEAD00 は、ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-16)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD00[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD00 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-16) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.22 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD01)

SHEAD01 は、ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-17) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD01[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD01 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-17) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.23 ECC 訂正前サブヘッダ部-サブモード (BYTE-18)データレジスタ (SHEAD02)

SHEAD02 は、ECC 訂正前のサブヘッダ部サブモード値 (BYTE-18) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD02[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD02 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部サブモード値 (BYTE-18) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.24 ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD03)

SHEAD03 は、ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-19) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD03[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD03 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-19) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.25 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD04)

SHEAD04 は、ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-20)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD04[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD04 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-20) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.26 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD05)

SHEAD05 は、ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-21)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD05[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD05 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-21) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.27 ECC 訂正前サブヘッダ部-サブモード (BYTE-22)データレジスタ (SHEAD06)

SHEAD06 は、ECC 訂正前のサブヘッダ部サブモード値 (BYTE-22)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD06[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD06 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部サブモード値 (BYTE-22) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.28 ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD07)

SHEAD07 は、ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-23) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD07[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD07 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-23) Mode2 以外のときは、相当する位置のバイトデータを表示します。

25.3.29 ECC 訂正後ヘッダ部-MINUTES データレジスタ (HEAD20)

HEAD20 は、ECC 訂正後のヘッダ部 MINUTES 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD20[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD20[7:0]	H'00	R	ECC 訂正後のヘッダ部 MINUTES 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (1/3) を表示します。

25.3.30 ECC 訂正後ヘッダ部-SECONDS データレジスタ (HEAD21)

HEAD21 は、ECC 訂正後のヘッダ部 SECONDS 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD21[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD21[7:0]	H'00	R	ECC 訂正後のヘッダ部 SECONDS 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (2/3) を表示します。

25.3.31 ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD22)

HEAD22 は、ECC 訂正後のヘッダ部 FRAMES(1/75 秒)値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD22[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD22[7:0]	H'00	R	ECC 訂正後のヘッダ部 FRAMES (1/75 秒) 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (3/3) を表示します。

25.3.32 ECC 訂正後ヘッダ部-MODE データレジスタ (HEAD23)

HEAD23 は、ECC 訂正後のヘッダ部 MODE 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD23[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD23[7:0]	H'00	R	ECC 訂正後のヘッダ部 MODE 値

25.3.33 ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD20)

SHEAD20 は、ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-16)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD20[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD20 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-16)

25.3.34 ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD21)

SHEAD21 は、ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-17)を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD21[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	SHEAD21 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-17)

25.3.35 ECC 訂正後サブヘッダ部-サブモード (BYTE-18)データレジスタ (SHEAD22)

SHEAD22 は、ECC 訂正後のサブヘッダ部サブモード値 (BYTE-18)を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD22[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	SHEAD22 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部サブモード値 (BYTE-18)

25.3.36 ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD23)

SHEAD23 は、ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-19)を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD23[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	SHEAD23 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-19)

25.3.37 ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD24)

SHEAD24 は、ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-20)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD24[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD24 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-20)

25.3.38 ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD25)

SHEAD25 は、ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-21)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD25[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD25 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-21)

25.3.39 ECC 訂正後サブヘッダ部-サブモード (BYTE-22)データレジスタ (SHEAD26)

SHEAD26 は、ECC 訂正後のサブヘッダ部サブモード値 (BYTE-22)を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD26[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD26 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部サブモード値 (BYTE-22)

25.3.40 ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD27)

SHEAD27 は、ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-23) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD27[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD27 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-23)

25.3.41 自動バッファリング設定コントロールレジスタ (CBUFCTL0)

ビット:	7	6	5	4	3	2	1	0
	CBUF_ AUT	CBUF_ EN	-	CBUF_MD[1:0]		CBUF_ TS	CBUF_ O	-
初期値:	0	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CBUF_AUT	0	R/W	自動バッファリング機能制御 CROM_EN = 1 に設定した状態で、このビットを ON/OFF する場合には、CBUF_EN も同時に ON/OFF を行ってください。行わない場合、CBUFST0、CBUFST1、CBUFST2 の表示は保証できません。 0 : 自動バッファリング OFF 1 : 自動バッファリング ON
6	CBUF_EN	0	R/W	バッファ RAM へのバッファリング制御 本ビットは、自動 / マニュアル両バッファリングモードにおいて、バッファリングの ON/OFF を行います。マニュアルバッファリング時には、ISEC 割り込みが発生した後、本ビットをセットしてください。 自動バッファリング停止時には自動でリセットします。 0 : バッファリング OFF 1 : バッファリング ON
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
4、3	CBUF_MD [1:0]	00	R/W	自動バッファリング機能を使用する際の開始セクタの検出モード設定 00 : 前セクタ検出と現セクタ検出で連続性 (ヘッダ値) OK 01 : 現セクタ検出で内挿値との連続性 OK 10 : 現セクタ検出 OK 11 : 現セクタ未検出でも内挿値で判定
2	CBUF_TS	1	R/W	CBUFCTL1~3 の設定方法 0 : CBUFCTL1~3 : BCD (10 進数) 1 : トータルセクタ値 (16 進数)
1	CBUF_Q	0	R/W	QCODE の CRC-NG 時の QCODE バッファリングデータ指定 0 : CRC-OK だった最終セクタ値をバッファリング 1 : そのまま NG データをバッファリング 【注】 本 LSI ではサブコードは入力されませんので、本ビットは常に 1 を設定してください。
0	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.42 自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ (CBUFCTL1)

CBUFCTL1 は、バッファリング開始セクタのヘッダ-MINUTES 値を示します。

ビット：	7	6	5	4	3	2	1	0
	BS_MIN[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	BS_MIN[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-MINUTES 値

25.3.43 自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ (CBUFCTL2)

CBUFCTL2 は、バッファリング開始セクタのヘッダ-SECONDS 値を示します。

ビット：	7	6	5	4	3	2	1	0
	BS_SEC[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	BS_SEC[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-SECONDS 値

25.3.44 自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ (CBUFCTL3)

CBUFCTL3 は、バッファリング開始セクタのヘッダ-FRAMES (1/75 秒) 値を示します。

ビット:	7	6	5	4	3	2	1	0
	BS_FRM[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	BS_FRM[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-FRAMES (1/75 秒) 値

25.3.45 ISY 割り込み要因マスクコントロールレジスタ (CROMST0M)

CROMST0M は、同期コードステータスレジスタ (CROMST0) の各ビットによる ISY 割り込み要因をマスクします。

ビット:	7	6	5	4	3	2	1	0
	-	-	ST_SYILM	ST_SYNOM	ST_BLKSM	ST_BLKLM	ST_SECSM	ST_SECLM
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	ST_SYILM	0	R/W	ISY 割り込み ST_SYIL (CROMST0 レジスタのビット 5) 要因マスク
4	ST_SYNOM	0	R/W	ISY 割り込み ST_SYNO (CROMST0 レジスタのビット 4) 要因マスク
3	ST_BLKSM	0	R/W	ISY 割り込み ST_BLKs (CROMST0 レジスタのビット 3) 要因マスク
2	ST_BLKLM	0	R/W	ISY 割り込み ST_BLKL (CROMST0 レジスタのビット 2) 要因マスク
1	ST_SECSM	0	R/W	ISY 割り込み ST_SECS (CROMST0 レジスタのビット 1) 要因マスク
0	ST_SECLM	0	R/W	ISY 割り込み ST_SECL (CROMST0 レジスタのビット 0) 要因マスク

25.3.46 CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST)

ROMDECRST は、CD-ROM デコーダのランダム論理部のリセット、CD-ROM デコーダの RAM クリアを行います。

ビット:	7	6	5	4	3	2	1	0
	LOGI CRST	RAM RST	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	LOGICRST	0	R/W	CD-ROM デコーダのランダム論理部のリセット信号 本レジスタに 1 をセットしている間、リセット信号が出力されます。
6	RAMRST	0	R/W	CD-ROM デコーダが持つ RAM のクリア信号 RSTSTAT レジスタの RAMCLRST ビットにより、RAM クリア完了を確認してください。
5~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 LOGICRST を 1 にセットする場合は、RAMRST ビットが 0 となっていることを確認後、本レジスタに B'10000000 を書き込んでください。

25.3.47 CD-ROM デコーダモジュールリセットステータスレジスタ (RSTSTAT)

RSTSTAT は、CD-ROM デコーダの RAM のクリア状態を示します。

ビット:	7	6	5	4	3	2	1	0
	RAM CLRST	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	RAMCLRST	0	R	ROMDECRST レジスタの RAMRST = 1 ライト後、RAM のクリアが完了すると、本ビットが 1 となります。RAMRST = 0 ライトにより、本ビットがクリアされます。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

25.3.48 シリアルサウンドインタフェースデータコントロールレジスタ (SSI)

SSI はストリームデータに関する各種設定を行います。なお、本レジスタを設定したときの動作については「25.4.1 入カストリームデータエンディアン変換機能」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	BYTEND	BITEND	BUFEND0[1:0]	BUFEND1[1:0]	-	-	-	-
初期値：	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	BYTEND	0	R/W	シリアルサウンドインタフェースからのストリーム入力データのエンディアンを変更します。 1 がセットされると STRMDIN0、STRMDIN2 のバイト 0 とバイト 1 を入れ替えます。
6	BITEND	0	R/W	シリアルサウンドインタフェースからのストリーム入力データのビット並びを変更します。 1 がセットされると、バイト内のビット並びを 0→7 を 7→0 に入れ替えます。
5, 4	BUFEND0 [1:0]	01	R/W	シリアルサウンドインタフェースから転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。シリアルサウンドインタフェースでは、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、シリアルサウンドインタフェースから 32 ビットのデータが CD-ROM データとして転送されます。CD-ROM デコーダ内部では 16 ビットの入カストリームデータレジスタを 2 組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた 32 ビットのデータがシリアルサウンドインタフェースから転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROM デコードは 16 ビットのストリームデータとして扱い、本レジスタでは 32 ビットのシリアルサウンドインタフェースからの転送データのうち、先に入力する 16 ビットを制御します。 00：先に処理するストリームデータを抑止します 01：シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、上位の 16 ビットデータを先にストリームデータとして処理します 10：シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、下位の 16 ビットデータを先にストリームデータとして処理します 11：設定禁止

ビット	ビット名	初期値	R/W	説 明
3, 2	BUFEND1 [1:0]	10	R/W	シリアルサウンドインタフェースから転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。シリアルサウンドインタフェースでは、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、シリアルサウンドインタフェースから 32 ビットのデータが CD-ROM データとして転送されます。CD-ROM デコーダ内部では 16 ビットの入力ストリームデータレジスタを 2 組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた 32 ビットのデータがシリアルサウンドインタフェースから転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROM デコードは 16 ビットのストリームデータとして扱い、本レジスタでは 32 ビットのシリアルサウンドインタフェースからの転送データのうち、後に入力する 16 ビットを制御します。 00 : 後に処理するストリームデータを抑止します 01 : シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、上位の 16 ビットデータを後にストリームデータとして処理します 10 : シリアルサウンドインタフェースからの 32 ビットのストリームデータのうち、下位の 16 ビットデータを後にストリームデータとして処理します 11 : 設定禁止
1, 0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.49 割り込みフラグレジスタ (INTHOLD)

INTHOLD は、各種割り込みフラグで構成されています。

ビット:	7	6	5	4	3	2	1	0
	ISEC	ITARG	ISY	IERR	IBUF	IREADY	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ISEC	0	R/W	ISEC 割り込みフラグ 1 を読み出さないと 0 を書き込みません。
6	ITARG	0	R/W	ITARG 割り込みフラグ 1 を読み出さないと 0 を書き込みません。
5	ISY	0	R/W	ISY 割り込みフラグ 1 を読み出さないと 0 を書き込みません。
4	IERR	0	R/W	IERR 割り込みフラグ 1 を読み出さないと 0 を書き込みません。
3	IBUF	0	R/W	IBUF 割り込みフラグ 1 を読み出さないと 0 を書き込みません。

ビット	ビット名	初期値	R/W	説 明
2	IREADY	0	R/W	IREADY 割り込みフラグ 1 を読み出さないと 0 を書き込みません。
1, 0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.50 割り込み要因マスクコントロールレジスタ (INHINT)

INHINT は、CD-ROM デコーダの各種割り込み要求を制御します。

ビット:	7	6	5	4	3	2	1	0
	INH ISEC	INH ITARG	INH ISY	INH IERR	INH IBUF	INH IREADY	PREINH REQDM	PREINH IREADY
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	INHISEC	0	R/W	ISEC 割り込みマスク 本ビットが 1 のとき、ISEC 割り込み要求を禁止します。
6	INHITARG	0	R/W	ITARG 割り込みマスク 本ビットが 1 のとき、ITARG 割り込み要求を禁止します。
5	INHISY	0	R/W	ISY 割り込みマスク 本ビットが 1 のとき、ISY 割り込み要求を禁止します。
4	INHIERR	0	R/W	IERR 割り込みマスク 本ビットが 1 のとき、IERR 割り込み要求を禁止します。
3	INHIBUF	0	R/W	IBUF 割り込みマスク 本ビットが 1 のとき、IBUF 割り込み要求を禁止します。
2	INHIREADY	0	R/W	IREADY 割り込みマスク 本ビットが 1 のとき、IREADY 割り込み要求を禁止します。
1	PREINH REQDM	0	R/W	出力ストリームデータの DMA 転送要求割り込みフラグのセットを禁止します。 本ビットが 1 のとき、DMA 転送要求割り込み要因を保持しなくなります。
0	PREINH IREADY	0	R/W	IREADY 割り込みのフラグのセットを禁止します。 本ビットが 1 のとき、IREADY フラグに割り込み要因を保持しなくなります。

25.3.51 CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN0)

STRMDIN0 は、CD-ROM デコーダに入力する 4 バイトデータの MSB 側 2 バイトを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRMDIN[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~0	STRMDIN [31:16]	H'0000	R/W	CD-ROM デコーダに入力する 4 バイトデータの MSB 側 2 バイト CD-ROM デコーダは 4 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1 セクタのデータ量は 2352 バイトです。

25.3.52 CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN2)

STRMDIN2 は、CD-ROM デコーダに入力する 4 バイトデータの LSB 側 2 バイトを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRMDIN[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~0	STRMDIN [15:0]	H'0000	R/W	CD-ROM デコーダに入力する 4 バイトデータの LSB 側 2 バイト CD-ROM デコーダは 4 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1 セクタのデータ量は 2352 バイトです。

25.3.53 CD-ROM デコーダストリームデータ出力レジスタ (STRMDOUT0)

STRMDOUT0 は、CD-ROM デコーダから出力される 2 バイトデータを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRMDOUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~0	STRMDOUT [15:0]	H'0000	R	CD-ROM デコーダから出力される 2 バイトデータ CD-ROM デコーダは 2 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタから出力されるデータが ROM デコード処理後のデータとなります。当該レジスタをアクセスするたびに別に定義する出力フォーマットに従ってアクセスサイズ分のデータが順次出力されます。1 セクタ分のデータは 2768 バイトです。必ず 2768 バイト分読み出してください。

25.4 動作説明

25.4.1 入カストリームデータエンディアン変換機能

CD-ROM デコーダコア部には、CD-ROM データフォーマット仕様順にストリームデータを入力する必要があります。しかし、システムによっては、シリアルサウンドインタフェースからのデータの順番が入れ替わっていたり、パディング部を転送する必要があることがあります。そこで、ストリームデータ入力制御部には、データの順番を入れ替えたり、パディングデータを CD-ROM デコーダコア部に入力しないようにする機能があります。

これらは、シリアルサウンドインタフェースデータコントロールレジスタ (SSI) で制御します。図 25.6 は、入カストリームデータとして“パディングデータ + 同期コード先頭 2 バイト”、すなわち H'000000FF を 16 ビット単位で順番が逆になったデータ (H'00FF0000) が CD-ROM デコーダに入力された場合を示します。

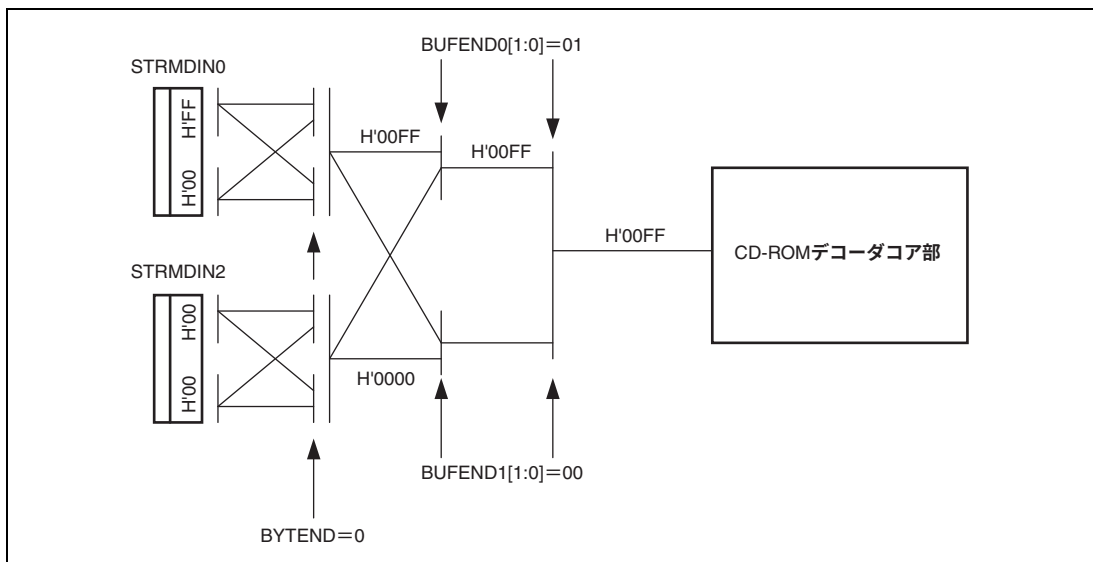


図 25.6 パディングデータ付ストリームデータの SSI レジスタ制御例

図 25.7 は、入カストリームデータとしてパディングデータを持たない H'12345678 を 16 ビット単位で順番が逆になったデータ (H'56781234) が CD-ROM デコーダに入力された場合を示します。

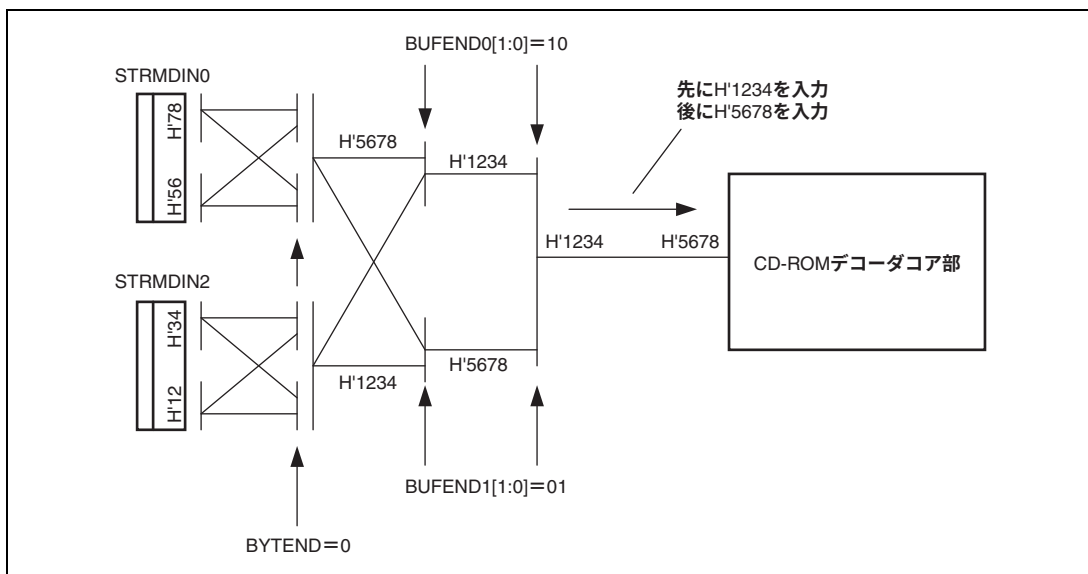


図 25.7 パディングデータなしストリームデータの SSI レジスタ制御例

25.4.2 同期コード保護機能

CD-ROM のデータは、H'00FFFFFFFFFFFFFFFFF00(同期コード)で始まる 2352 バイトが 1 セクタのデータとなりますが、キズ等により、同期コードが異常なタイミングで認識されたり、逆に、同期コードが検出されるべきタイミングに検出できなかったりする場合があります。そのため、本 CD-ROM デコーダには、異常なタイミングで同期コードを検出したときには、その同期コードを無視する機能、同期コードが検出されるべきタイミングで検出できなかったときには、同期コードを保護する機能があります。

同期コード保護機能には以下のモードがあります。設定についての詳細は、「25.3.2 同期コードの同期制御コントロールレジスタ (CROMSY0)」および表 25.2 を参照してください。

- 自動同期保護モード
- 外部同期モード
- 内挿同期モード
- 内挿 / 外部同期モード

(1) 自動同期保護モード

自動同期保護モードは、1 セクタ(2352 バイト)期間内で検出した同期コードは無視し、次セクタの先頭で同期コードが検出できなかった場合は、同期コードを保護します。また、同期タイミングが変化した場合、同期タイミングが変化後、2352 バイト期間で同期検出したところで、再同期します。

したがって、異常同期パターンを排除し、同期タイミング変更に従従する場合に有効です。ただし、同期タイミング変更時の最初の 1 セクタについては追従できません。

図 25.8 に、正常な場合、図 25.9 に、1 セクタ期間内で同期コードを検出した場合、図 25.10 に、1 セクタ期間を超えたタイミングで同期コードを検出した場合の動作を示します。

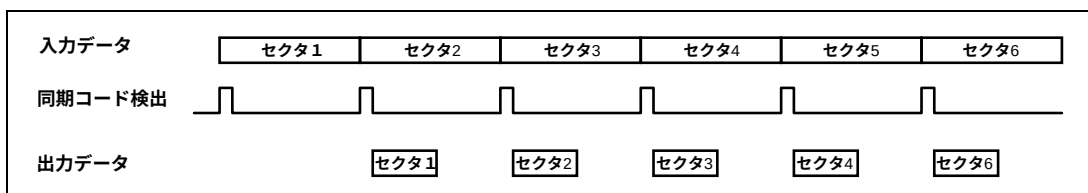


図 25.8 正常タイミングでの自動同期保護モード動作

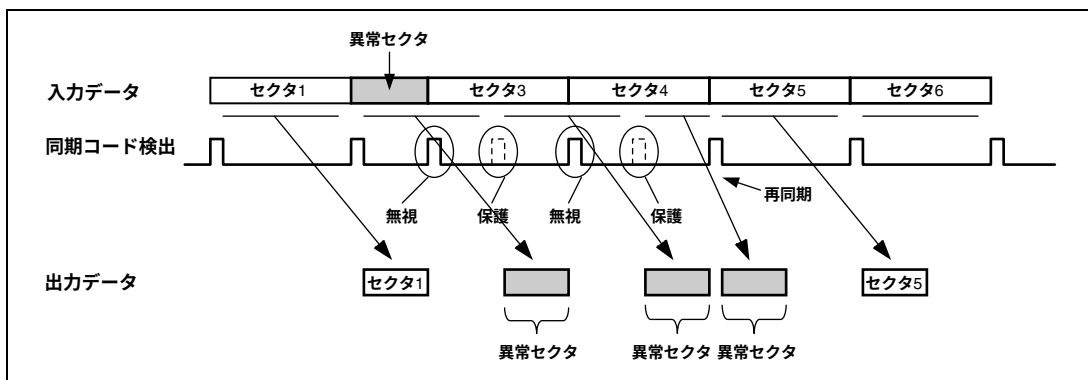


図 25.9 ショートセクタでの自動同期保護モード動作

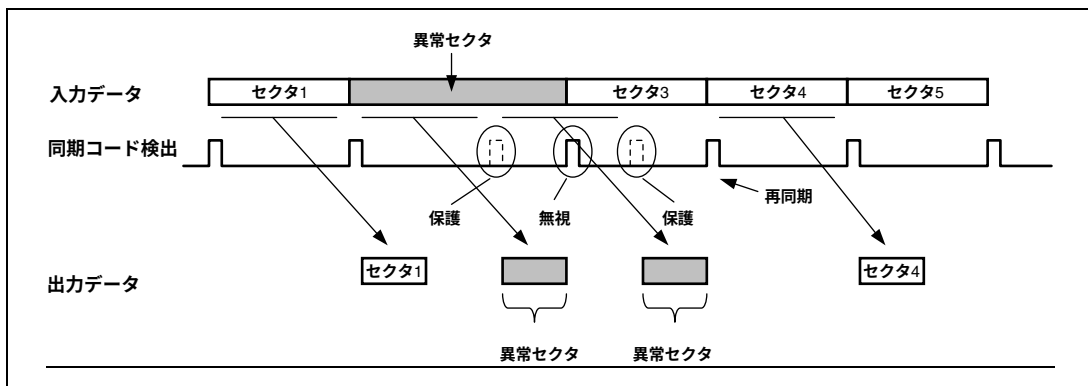


図 25.10 ロングセクタでの自動同期保護モード動作

(2) 外部同期モード

外部同期モードは、常に入力されるデータの同期コードで同期します。2352 バイトで次の同期コードが見つからない場合は、同期コードを検出するまでデコードしません。

したがって、外部同期タイミングに追従する場合に有効です。ただし、異常同期コードパターンが入力されると正常にデコードできません。

図 25.11 に、外部同期モードでの動作を示します。

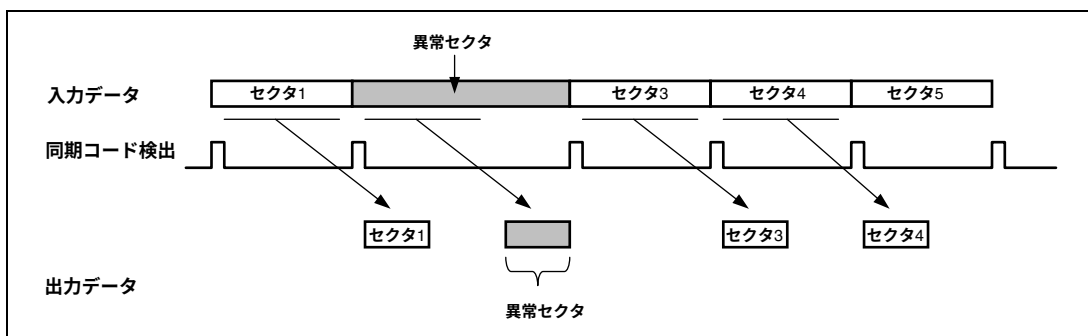


図 25.11 外部同期モード動作

(3) 内挿同期モード

内挿同期モードは、デコード開始時の同期コードパターンを検出した後は、内部カウンタによって、常に同期します。したがって、同期パターンが壊れているような場合に有効です。

ただし、同期コードタイミングが変化すると追従することができず、正しくデコードできません。

図 25.12 に、内挿同期モードでの動作を示します。

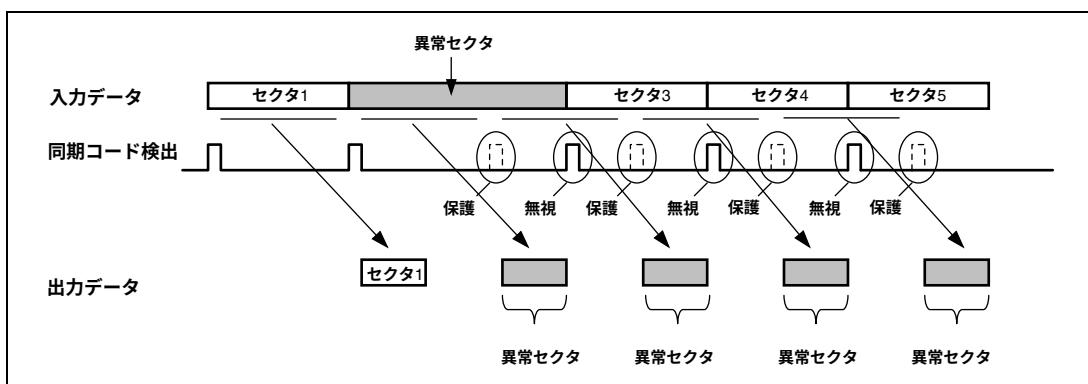


図 25.12 内挿同期モード動作

(4) 内挿 / 外部同期モード

内挿 / 外部同期モードは、同期コードパターンを検出すると、それに同期し、2352 バイトで同期パターンが見つからない場合には保護します。自動同期保護モードと比較して、同期タイミングの変更にすぐ追従できます。

ただし、異常タイミングで同期パターンが入ってくると、正常にデコードできません。

図 25.13 に、ショートセクタが発生した場合の内挿 / 外部同期モードでの動作、図 25.14 に、ロングセクタが発生した場合の内挿 / 外部同期モードでの動作を示します。

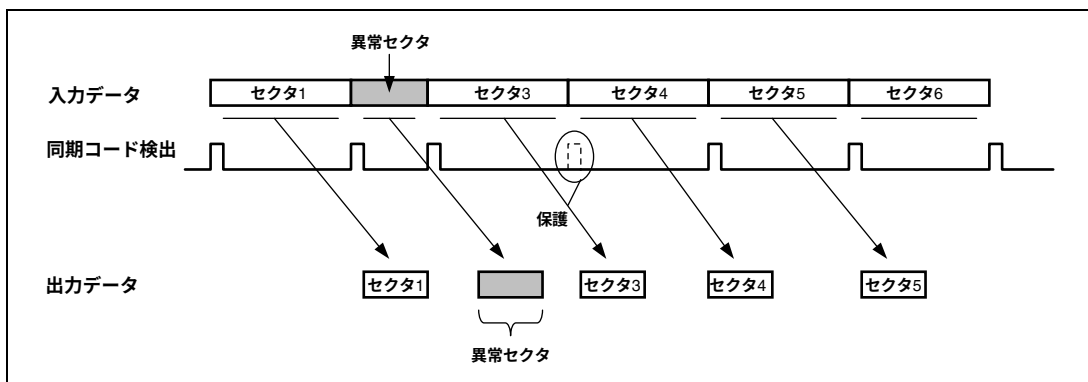


図 25.13 ショートセクタでの内挿 / 外部同期モード動作

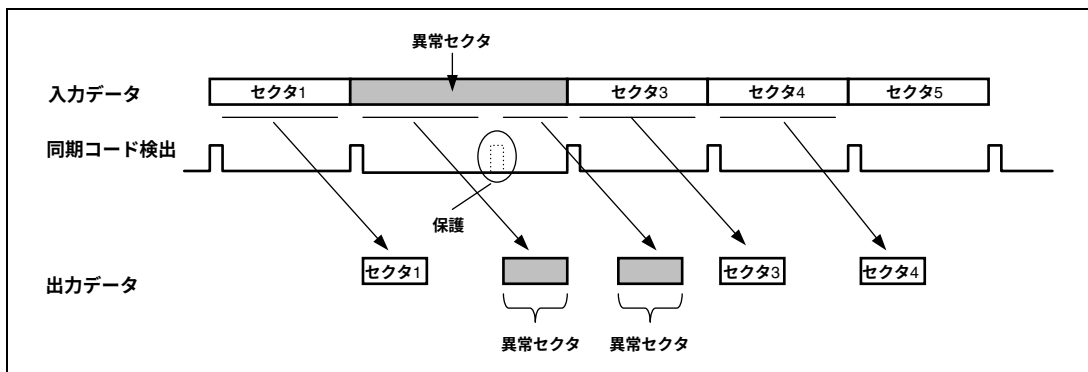


図 25.14 ロングセクタでの内挿 / 外部同期モード動作

25.4.3 エラー訂正

CD-ROM デコーダには、エラーを訂正するための EDC、P パリティ、Q パリティ情報をもったフォーマットがあります。本 CD-ROM デコーダにおいては、以下の機能があり、エラー訂正を行います。

- シンドローム演算機能
- ECC訂正機能
- EDCチェック機能

(1) シンドローム演算機能

CD-ROM デコーダ Mode1 および、Mode2 Form1 の場合で、1 セクタのデータが入力された後、エラーがあると判断された(シンドローム演算結果が 0 でなかった)場合、ECC 訂正が行われます。ECC 訂正後、修正されたデータに対するシンドローム演算結果が、CROMST6 レジスタの ST_ECCP ビット(P 系列)、ST_ECCQ ビット(Q 系列)に出力されます。

(2) ECC 訂正および EDC チェック

EDC、P パリティ、Q パリティを持つ CD-ROM フォーマットデータに対して、ECC 訂正、EDC チェックを行います。ECC の訂正モードは P 訂正、Q 訂正、PQ 訂正(P 訂正後、Q 訂正)、QP 訂正(Q 訂正後、P 訂正)に対応しており、PQ 訂正、QP 訂正については、最大 3 回(倍速により制限あり)までの繰り返し訂正が可能です。

EDC チェックは、ECC 訂正前と後の 2 回行います。

ECC 訂正、EDC チェックのチェックモードは、CROMCTL1 レジスタの MD_DEC[2:0]ビットで設定します。また、PQ 訂正、QP 訂正モードを選択した際の訂正繰り返し回数は、CROMCTL1 レジスタの MD_PQREP[1:0]ビットで設定します。

自動モード・フォーム検出機能使用時には、判定されたモードに従って、ECC 訂正、EDC チェックが行われます。P パリティ、Q パリティ、EDC のない Mode0、Mode2 と判断した際には、ECC 訂正、EDC チェックは行われません。また、Mode2 Form2 と判断した際には、ECC 訂正は行われません。

(a) ECC 訂正

ECC 訂正使用時は、訂正不能と判断すると、IERR 割り込みを発生し、CROMST6 レジスタの ST_ECCNG ビットが 1 になります。また、当該ビットは、ショートセクタ検出時にも 1 となります。

CROMCTL4 レジスタの NO_ECC ビットが 1 に設定されていたときは、ECC 前 EDC チェックが OK であったなら、シンドローム演算結果にかかわらず ECC 訂正を行いません。

(b) EDC チェック

EDC チェック使用時には、設定したモード・フォームに従って EDC チェックを行います。また、自動モード・フォーム検出機能使用時には、判定されたモード・フォームに従って、EDC チェックを行います。

ECC 訂正前、訂正後の EDC チェック結果が、それぞれ CROMST6 レジスタの ST_EDC1、ST_EDC2 ビットに反映されます。また、ECC 訂正後の EDC チェック結果が NG となった場合、IERR 割り込みを発生します。

25.4.4 自動デコード停止機能

CD-ROM データをデコード中に異常が発生した場合、自動的にデコードを停止することができます。

自動停止する要因は、以下場合があります。どの要因を有効にするかは、CROMCTL3 レジスタで設定します。

- ECC訂正が不能になった場合
- ECC後のEDCチェックがNGになった場合
- モード、フォームが変化した場合
- MSF (分、秒、フレーム (1/75秒)) が不連続となった場合

上記要因で自動停止する場合には、要因が発生したセクタを出力した後、デコードを停止します。

CROMCTL3 レジスタで設定した要因が発生して、デコードが停止した場合、CBUFST1 レジスタで、どの要因で自動停止したかを確認することができます。

また、CD-ROM デコーダ内には、2 セクタ分のバッファを持っています。出カストリームデータを読み出さずに、ストリームデータを入力し続けると、3 セクタ目のデータが入力された時点で、CD-ROM デコーダは停止します。このとき、CBUFST2 レジスタの BUF_NG ビットが 1 となります。割り込みは発生しません。CBUFST2 レジスタの BUF_NG ビットが 1 となったときには、ROMDECRST レジスタの LOGICRST ビットにより CD-ROM デコーダ機能をクリアしないと回復できません。ROMDECRST レジスタの LOGICRST ビットを 1 にすることにより、リセット信号が出力され、設定されていたレジスタも初期値にクリアされます。

25.4.5 バッファリングフォーマット

図 25.15 は、CD-ROM デコード後の出カストリームデータフォーマットを示しています。

CD-ROM デコーダの出力は、2 バイト幅のウィンドレジスタ STRMDOUT0 を持っており、CD-ROM デコード完了後、当該レジスタをアクセスすると、同期コードから順に出力されます。

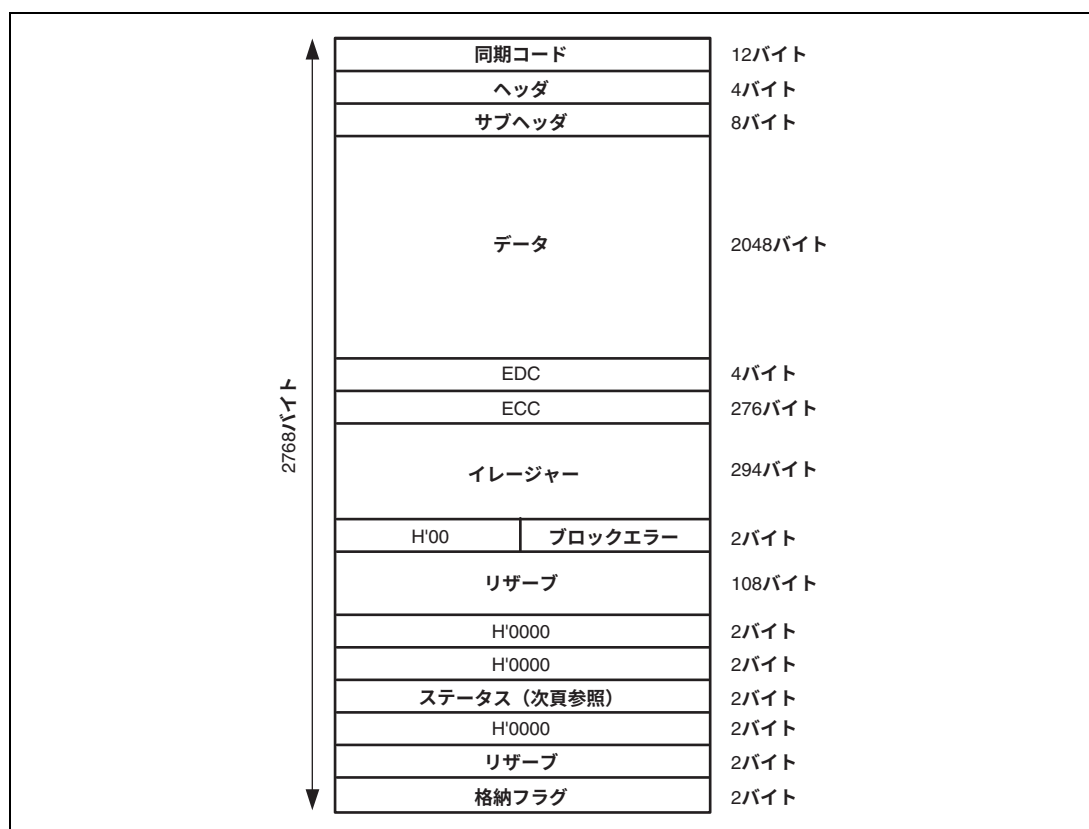


図 25.15 出カストリームデータフォーマット

図 25.15 のステータスの 2 バイトは、以下の意味を持っています。アサインされていないビットは不定です。

ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERR	QERR	EDCE	-	-	-	-	-	SD	SY	FM[2:0]			HD	-	-

PERR : P 系列にエラーが残っていることを示します。

QERR : Q 系列にエラーが残っていることを示します。

EDCE : ECC 後の EDC チェックが NGであることを示します。

SD : ショートセクタとなったことを示します。

SY : 同期コードを内挿したことを示します。

FM : データフォーマットを意味しています。

001 : Mode0

010 : Mode1

011 : Long (EDC、ECC なしフォーマット)

100 : Mode2 notXA

101 : Mode2 Form1

110 : Mode2 Form2

HD : ヘッダの連続性 (分、秒、フレーム (1/75 秒) で NG)

図 25.15 の格納フラグは 1 セクタ分出力するごとに H'0000～H'FFFF までカウントアップ(H'FFFF 後、H'0000 にラップアラウンド)します。なお、格納フラグに限り 2 バイトの上位バイトと下位バイトが入れ替わりますのでご注意ください。

25.4.6 目標セクタバッファリング機能

CD-ROM デコーダには、出力したいセクタを指定する方法として、目標セクタを事前に設定しておき CD-ROM デコーダ 自体が目標セクタを検出する、自動バッファリング機能と、CD-ROM デコーダ内にバッファリングされているセクタをソフトウェアが認識しながら、ソフトウェアにより目標セクタの出力を指示する、手動バッファリング機能があります。

以下に、自動・手動バッファリングを行うための CD-ROM デコーダ内レジスタの設定方法を示します。

(1) 自動バッファリング設定

図 25.16 に自動バッファリングの設定例を示します。

CD-ROM デコーダレジスタを設定し、ストリームデータを入力すれば、目標セクタを CD-ROM デコーダが検出し、ストリームデータを出力開始します。

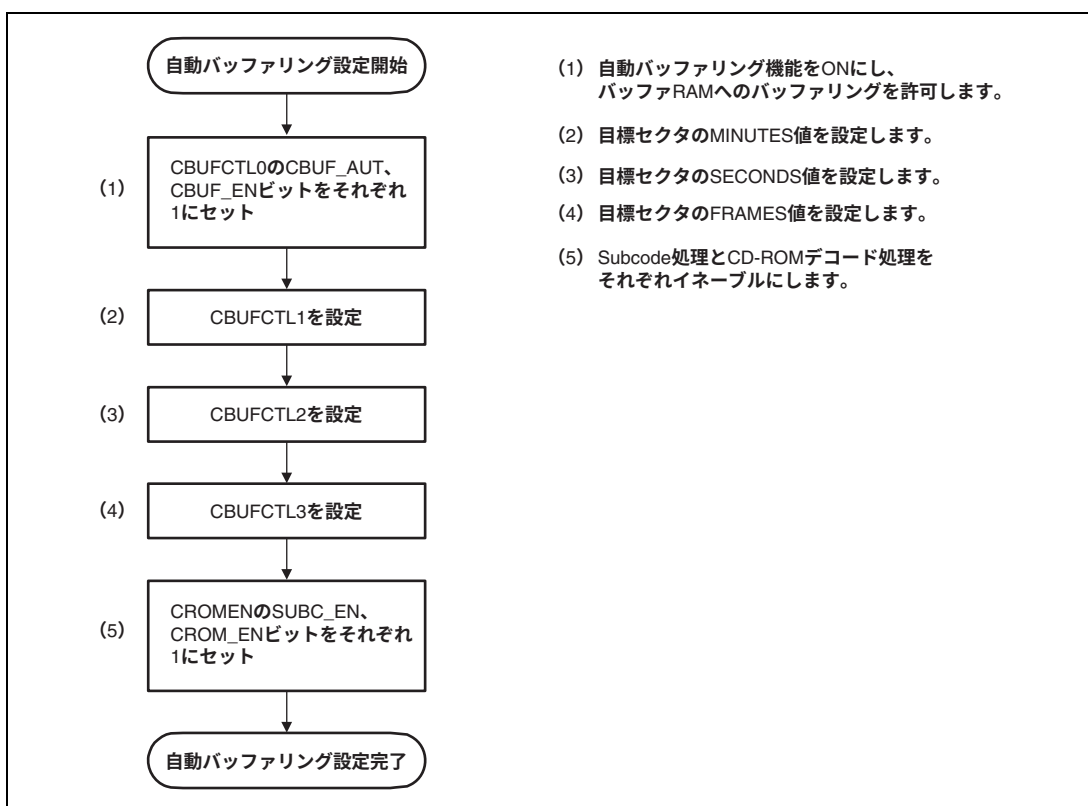


図 25.16 自動バッファリングの設定例

(2) 手動バッファリング設定

図 25.17 に手動バッファリングの設定例を示します。

ISEC 割り込みがかかるたびに、目標セクタであるかどうかを判定し、目標セクタとなってから、バッファリングを ON とします。

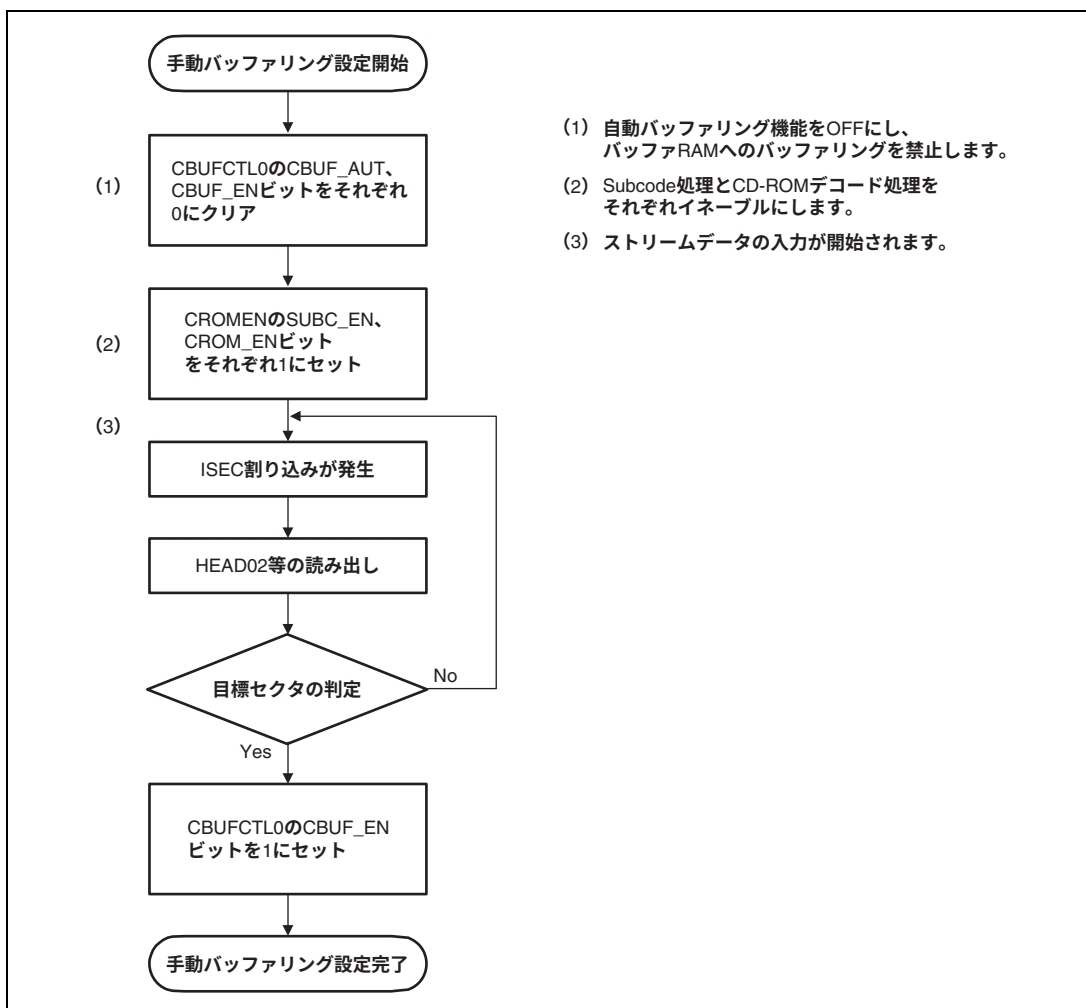


図 25.17 手動バッファリングの設定例

25.5 割り込み要因

25.5.1 割り込みおよび DMA 転送要求信号

表 25.3 は、CD-ROM デコーダが出力する割り込み信号と DMA 転送を要求する信号の意味と接続先を示しています。

表 25.3 割り込みおよび DMA 転送要求一覧

名 称	条 件	接続先
ISEC	セクタが切り替わったとき	割り込みコントローラ
ITARG	CD-ROM のアクセスセクタが目標セクタからずれたとき	割り込みコントローラ
ISY	CD-ROM 同期コード異常タイミング	割り込みコントローラ
IERR	ECC 訂正不能、もしくは ECC 訂正後の EDC チェックでエラーが発生したとき	割り込みコントローラ
IBUF	バッファへのデータ転送状況に変化があったとき	割り込みコントローラ
IREADY	CD-ROM のバッファへのデータ転送要求	割り込みコントローラ
DMA 転送要求	CD-ROM のバッファへのデータ転送要求	ダイレクトメモリ アクセスコントローラ

(1) ISEC 割り込み

同期コードから始まる 1 つのセクタから、次のセクタに切り替わったときに発生します。

(2) ITARG 割り込み

CD-DSP から転送されるストリームデータが、目標セクタとずれていたときに発生します。CD-ROM デコーダではサブコード内の時間をチェックし、正しい状態では、目標とするセクタの少し前からデータ転送が開始されることを期待しますが、以下の場合に割り込みが発生します。

- 目標とするセクタのかなり以前のデータが転送されたとき
- 目標とするセクタの後のデータが転送されたとき

なお、本割り込みは、サブコードから ITARG を検出しますが、本 LSI ではシリアルサウンドインタフェースから CD-ROM データが転送されるので、本割り込みは意味を持ちません。

(3) ISY 割り込み

以下の場合に割り込みが発生します。

- ワードカウンタ(同期コード間隔チェックカウンタ)の正しくないところで同期コードを検出したが、当該同期コードを無視したとき
- ワードカウンタが最終値になったが同期コードが検出されず、内挿(保護)したとき
- ワードカウンタの正しくないところで同期コードを検出し、当該同期コードにより再同期したとき
- ワードカウンタが最終値になったが同期コードが検出されず、1セクタの期間が長くなったとき
- 同期コードと内挿したタイミングがショートセクタとなったとき
- 同期コードと内挿したタイミングがロングセクタとなったとき

(4) IERR 割り込み

以下の場合に割り込みを発生します。

- ECCで訂正しきれなかったとき
- ECCでは訂正OKとなったが、ECC訂正後のEDCチェックでエラーが発生したとき

(5) IBUF 割り込み

以下切り替わりで割り込みを発生します。

- リングバッファへデータ転送中→データ転送完了(次転送データ検索中)
- リングバッファへの転送データ検索中→データ転送開始

(6) IREADY 割り込み

1セクタ分のCD-ROMデコードが終了すると発生する割り込みです。出カストリームデータをCPUでSDRAMへバッファリングするときは、本割り込みを起動信号として使用します。

(7) DMA 転送要求

ダイレクトメモリアクセスコントローラを起動する要因は、IREADYと同じです。1セクタ分の出カストリームデータが揃うと割り込み要求を発生し、図25.15で示した2768バイトのデータを転送し終わると、一度ネゲートします。これは、次の1セクタ分の出カストリームデータが揃うまでに時間がかかりますので、ダイレクトメモリアクセスコントローラからのデータ転送要求を一度停止させるためです。

25.5.2 ステータスレジスタの更新タイミング

CD-ROMデコーダが持つステータス情報のレジスタはISEC割り込みごとに更新されます。どのセクタの情報が反映されるかは、CROMCTL4レジスタのER0SELビットで設定します。

25.6 使用上の注意事項

25.6.1 デコード動作状態でバッファリングのみ停止 / 再開させる場合の注意

CD-ROM デコーダを動作させたまま、出カストリームデータを読み出さないと、CBUFST2 レジスタの BUF_NG ビットが 1 となり、以降 CD-ROM デコーダは動作不能となります。

バッファリングのみ停止する場合は、CBUFCTL0 レジスタの CBUF_EN ビットを 0 に設定します。また、自動バッファリング機能使用時には、同時に CBUFCTL0 レジスタの CBUF_AUT ビットを 0 に設定します。このとき、現在バッファリング中のセクタは読み出しください。

バッファリングを再開するときには、自動バッファリング機能を使用している場合、CBUFCTL0 レジスタの CBUF_AUT ビットと CBUF_EN ビットを同時に 1 にセットしてください。

25.6.2 同期コードステータスレジスタ (CROMST0) 設定時の注意

1. CROMST0 レジスタの ST_SECS ビットが 1 になった場合、デコードをただちに停止させ、現在デコード中の 1 つ前のセクタからリトライを行ってください。
2. CROMST0 レジスタの ST_SECL ビットが 1 になった場合、デコードをただちに停止させ、現在デコード中の 2 つ前のセクタからリトライを行ってください。

25.6.3 リンクブロックでの注意

本 CD-ROM デコーダのリンクブロック検出機能は、ECC 訂正前のヘッダ情報を用いて判断しています。したがって、入カストリームデータが誤っていたとき、リンクブロックを誤検出する可能性があります。これを防ぐため、ソフトウェアにて以下の対策をしてください。

- バッファリング中 (CBUFST0 レジスタ BUF_ACT = 1)、ISEC 割り込みのたびに CROMST5 レジスタ LINK_OUT1 ビットを確認し、1 のとき、HEAD20 ~ 23 レジスタ値から MSF 値を記憶してください。このとき、IERR 割り込みが発生していないことを確認してください。発生していた場合は、MSF 値をとらないでください。
- 上記の LINK_OUT1 ビットが 1 であることを確認した後、7 セクタ間 (ISEC 割り込み 7 回) 以下の処理を行ってください。

1. ISEC 割り込みのたびに、CROMST5 レジスタの LINK_ON = 1 を確認し、その後の 2 セクタ間で再び、LINK_ON = 1 を検出したとき
2. LINK_ON = 1 が 1 度も検出されなかったとき

上記 1.、2. の場合、デコードを強制終了し、CROMSY0 レジスタを外部同期モードにして、目標セクタを上記で記憶した MSF 値 + 7 (リンクブロックの直後) を目標セクタとして、リトライしてください。

開始セクタアドレスは、ランアウトの格納アドレス + 7 になります。

25.6.4 CD-DSP 停止・再開時の注意点

CD-ROM デコーダへの入カストリームデータを停止・再開するとき、停止したときのストリームデータが同期コードの直前で停止せず、その後再開すると、不当なストリームデータを認識してしまうことがあります。これは、停止したとき途中まで入力されていたス

トリームデータと、再開したときに入力されていたストリームデータが混在してしまうためです。入力ストリームデータを停止・再開するときは注意してください。

25.6.5 IREADY フラグクリアの注意点

割り込み処理などで IREADY フラグをクリアする際は、必ず 1 セクタ分 (2768 バイト) のデータを読み出した後に 0 クリアしてください。1 セクタ分の読み出しが完了する前に IREADY フラグを 0 クリアしてしまうと、以降のセクタについてはデコード不能となります。このとき、復帰する場合は CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST) の LOGICRST ビットを 1 ライト後に 0 ライトとアクセスしてください。

25.6.6 ストリームデータ転送における注意点 (1)

ストリームデータの読み出しがストリームデータの書き込みより遅い場合、CD-ROM デコーダはバッファオーバーフロー状態に陥り異常停止します。ストリームデータの書き込み、読み出しの転送には十分注意してください。以下に、ストリームデータ転送設定の組み合わせ例を示します。

表 25.4 ストリームデータ転送設定の組み合わせ例

ストリーム入力	ストリーム出力
ダイレクトメモリアクセスコントローラによる LW / サイクルスチール転送 (パディングなし)	(1) ダイレクトメモリアクセスコントローラによる 16 バイト / サイクルスチール転送 (16 バイト*) (2) ダイレクトメモリアクセスコントローラによるバースト転送 (16 バイト*、ロングワード、ワード)
ダイレクトメモリアクセスコントローラによる LW / サイクルスチール転送 (パディングあり)	(1) ダイレクトメモリアクセスコントローラによるサイクルスチール転送 (16 バイト*、ロングワード) (2) ダイレクトメモリアクセスコントローラによるバースト転送 (16 バイト*、ロングワード、ワード)
CPU による LW ライト	(1) ダイレクトメモリアクセスコントローラによるサイクルスチール転送 (16 バイト*、ロングワード、ワード) (2) ダイレクトメモリアクセスコントローラによるバースト転送 (16 バイト*、ロングワード、ワード)

【注】 * 通常の 16 バイト転送設定に加え、DMA チャネルコントロールレジスタ (CHCR_n) のビット 25 を 1 にすることも合わせて行ってください。

25.6.7 ストリームデータ転送における注意点 (2)

ストリームデータの読み出しは、必ずダイレクトメモリアクセスコントローラもしくは CPU のどちらか一方で行ってください。ダイレクトメモリアクセスコントローラと CPU のリードが混在した場合には、ストリームデータが CD-ROM のフォーマットとして認識できなくなる可能性があります。

26. A/D 変換器

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

26.1 特長

- 分解能：10ビット
- 入力チャンネル：SH726Aは6チャンネル、SH726Bは8チャンネル
- 最小変換時間：1チャンネル当たり $6.0\ \mu\text{s}$
- 絶対精度： $\pm 5\text{LSB}$
- 動作モード：3種類

シングルモード：1チャンネルのA/D変換

マルチモード：1～4チャンネルのA/D変換または1～8チャンネルのA/D変換（SH726Aは6チャンネル）

スキャンモード：1～4チャンネルの連続A/D変換または1～8チャンネルの連続A/D変換（SH726Aは6チャンネル）

- データレジスタ：8本
変換結果を各チャンネルに対応した16ビットデータレジスタに保持

- サンプル&ホールド機能付き

- A/D変換開始方法：3種類

ソフトウェア

マルチファンクションタイマパルスユニット2による変換開始トリガ

外部トリガ信号

- 割り込み要因

A/D変換終了時に、A/D変換終了割り込み（ADI）要求を発生可能

- モジュールスタンバイモードの設定可能

図 26.1 にブロック図を示します。

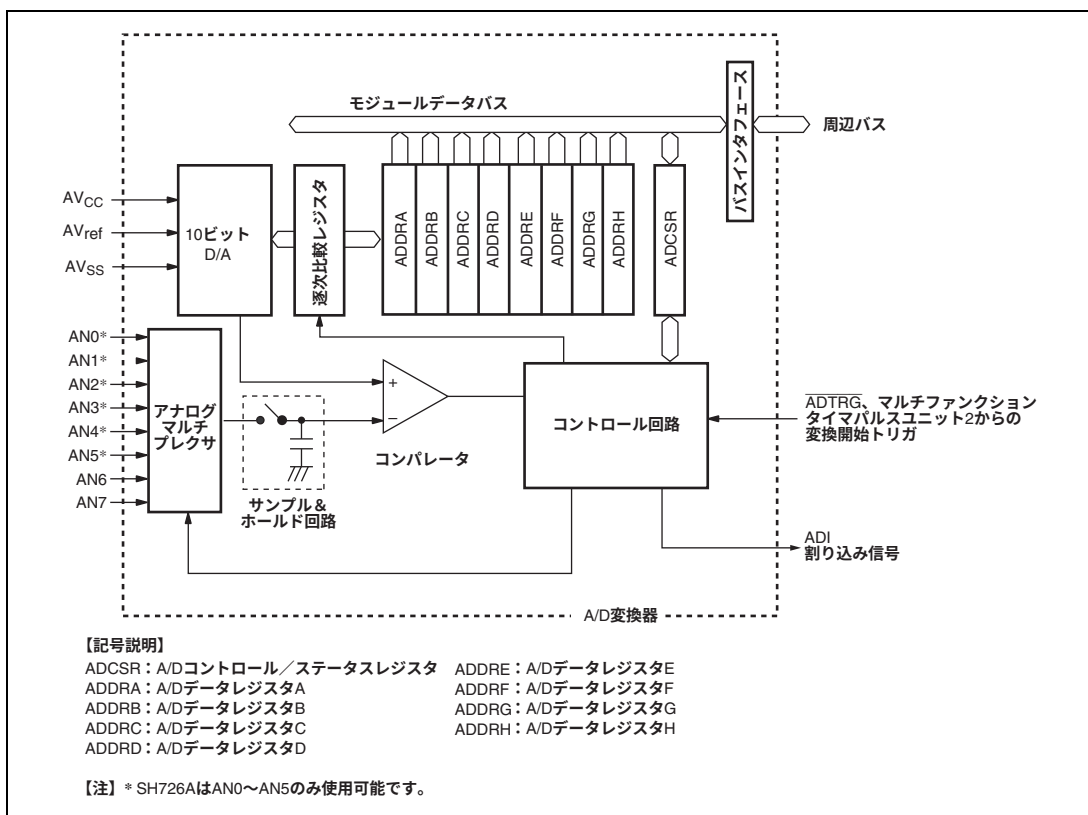


図 26.1 ブロック図

26.2 入出力端子

表 26.1 に端子構成を示します。

表 26.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子および A/D 変換の基準グランド
アナログ基準電圧端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0*	AN0	入力	アナログ入力
アナログ入力端子 1*	AN1	入力	
アナログ入力端子 2*	AN2	入力	
アナログ入力端子 3*	AN3	入力	
アナログ入力端子 4*	AN4	入力	
アナログ入力端子 5*	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力

【注】* SH726A はアナログ入力端子 0～5（AN0～AN5）のみ使用可能です。

26.3 レジスタの説明

表 26.2 にレジスタ構成を示します。

表 26.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'0000	H'FFFF9800	16
A/D データレジスタ B	ADDRB	R	H'0000	H'FFFF9802	16
A/D データレジスタ C	ADDRC	R	H'0000	H'FFFF9804	16
A/D データレジスタ D	ADDRD	R	H'0000	H'FFFF9806	16
A/D データレジスタ E	ADDRE	R	H'0000	H'FFFF9808	16
A/D データレジスタ F	ADDRF	R	H'0000	H'FFFF980A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'FFFF980C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'FFFF980E	16
A/D コントロール/ステータスレジスタ	ADCSR	R/W	H'0000	H'FFFF9820	16

26.3.1 A/D データレジスタ A～H (ADDRA～ADDRH)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA～ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15～6 に転送され、保持されます。ビット 5～0 は読み出すと常に 0 が読み出されます。

ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

アナログ入力チャンネルと ADDR の対応を表 26.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～6		すべて 0	R	ビットデータ (10 ビット)
5～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 26.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0*	ADDRA
AN1*	ADDRB
AN2*	ADDRC
AN3*	ADDRD
AN4*	ADDRE
AN5*	ADDRF
AN6	ADDRG
AN7	ADDRH

【注】* SH726A は AN0～AN5 のみ使用可能です。

26.3.2 A/D コントロール／ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し／書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	TRGS[3:0]				CKS[2:0]			MDS[2:0]			CH[2:0]		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/(W)*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15	ADF	0	R/(W)*1	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [クリア条件] - ADF=1 の状態で ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき - ADI 割り込みによりダイレクトメモリアクセスコントローラが起動され、ADDR を読み出したとき [セット条件] - シングルモードで A/D 変換が終了したとき - マルチモードで選択されたすべてのチャンネルの A/D 変換が終了したとき - スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき
14	ADIE	0	R/W	A/D インタラプトイネーブル A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。 0 : A/D 変換の終了による割り込み (ADI) 要求を禁止 1 : A/D 変換の終了による割り込み (ADI) 要求を許可
13	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 0 : A/D 変換を停止 1 : シングルモード時 : A/D 変換を開始。指定したチャンネルの A/D 変換が終了すると自動的にクリア。 マルチモード時 : A/D 変換を開始。指定したすべてのチャンネルを一巡して A/D 変換が終了すると自動的に 0 にクリア。 スキャンモード時 : A/D 変換を開始。ソフトウェア、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、またはモジュールスタンバイモードへの遷移により 0 にクリアされるまで連続変換します。

ビット	ビット名	初期値	R/W	説 明
12～9	TRGS[3:0]	0000	R/W	タイマトリガセレクト トリガ信号による A/D 変換開始の許可または禁止を選択します。 0000 : 外部トリガによる A/D 変換開始を禁止 0001 : マルチファンクションタイマパルスユニット 2 からの変換トリガ TRGAN による A/D 変換開始 0010 : マルチファンクションタイマパルスユニット 2 からの変換トリガ TRG0N による A/D 変換開始 0011 : マルチファンクションタイマパルスユニット 2 からの変換トリガ TRG4AN による A/D 変換開始 0100 : マルチファンクションタイマパルスユニット 2 からの変換トリガ TRG4BN による A/D 変換開始 1001 : $\overline{\text{ADTRG}}$ による A/D 変換開始 上記以外 : 設定禁止
8～6	CKS[2:0]	000	R/W	クロックセレクト A/D 変換時間の設定を行います*2。変換時間の設定は変換停止中 (ADST=0) に行ってください。 000 : 変換時間=412 t_{cyc} (最大値) 001 : 変換時間=480 t_{cyc} (最大値) 010 : 変換時間=548 t_{cyc} (最大値) 011、100、101、110、111 : 設定禁止
5～3	MDS[2:0]	000	R/W	マルチスキャンモード A/D 変換の動作モードを選択します。 0xx : シングルモード 100 : マルチモード。1～4 チャンネルの A/D 変換 101 : マルチモード。1～8 チャンネルの A/D 変換 110 : スキャンモード。1～4 チャンネルの A/D 変換 111 : スキャンモード。1～8 チャンネルの A/D 変換

ビット	ビット名	初期値	R/W	説 明
2～0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 MDS=100 または MDS=101 または MDS=0xx のとき MDS=110 のとき MDS=111 のとき 000 : AN0 000 : AN0 000 : AN0 001 : AN1 001 : AN0、AN1 001 : AN0、AN1 010 : AN2 010 : AN0～AN2 010 : AN0～AN2 011 : AN3 011 : AN0～AN3 011 : AN0～AN3 100 : AN4 100 : AN4 100 : AN0～AN4 101 : AN5 101 : AN4、AN5 101 : AN0～AN5 110 : AN6^{*3} 110 : AN4～AN6^{*3} 110 : AN0～AN6^{*3} 111 : AN7^{*3} 111 : AN4～AN7^{*3} 111 : AN0～AN7^{*3}

【記号説明】 x : Don't care

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 A/D変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。

*3 SH726A では設定禁止です。

26.4 動作説明

A/D変換器は逐次比較方式で分解能は10ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるためADCSRのADSTビットが0の状態で行ってください。動作モードやアナログ入力チャネルの変更とADSTビットのセットは同時に行うことができます。

26.4.1 シングルモード

シングルモードは、1チャネルのみのA/D変換を行う場合に選択します。

シングルモードは、指定された1チャネルのアナログ入力を以下のように1回A/D変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。

A/D変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。更新した後、ADSTビットを1にセットすると（モードおよびチャネルの変換とADSTビットのセットは同時に行うことができます）、再びA/D変換を開始します。

シングルモードでチャネル1（AN1）が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図26.2に示します（動作例におけるビットの指定はADCSRレジスタです）。

1. 動作モードをシングルモードに、入力チャネルをAN1に（CH[2:0]=001）、A/D割り込み要求許可（ADIE=1）に設定して、A/D変換を開始（ADST=1）します。
2. A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
3. ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. ADF=1を読み出した後、ADFに0を書き込みます。
6. A/D変換結果（ADDRB）を読み出して、処理します。
7. A/D割り込み処理ルーチンの実行を終了します。この後、ADSTビットを1にセットするとA/D変換が開始され2～7を行います。

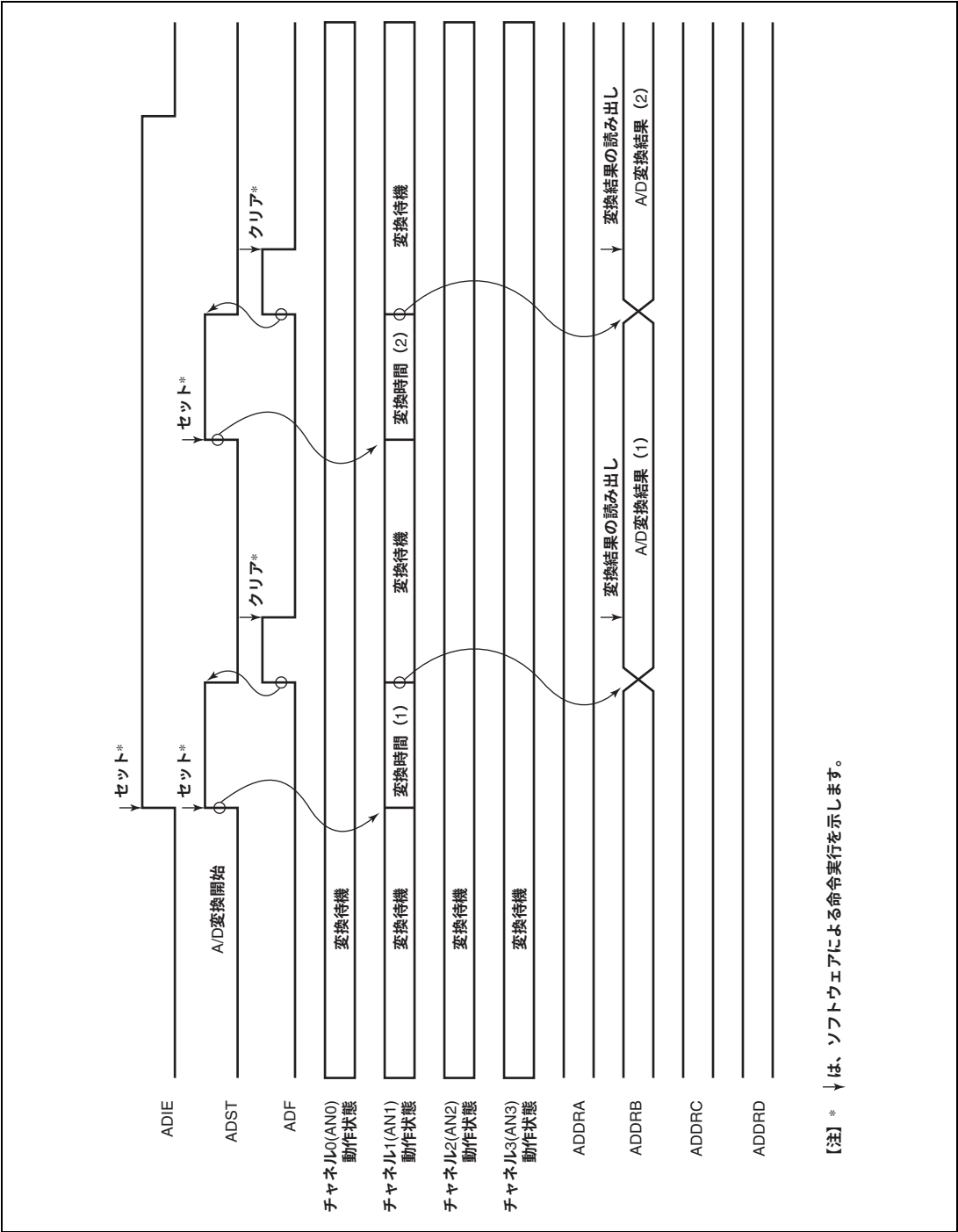


図 26.2 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

26.4.2 マルチモード

マルチモードは、複数チャンネル（1チャンネルを含む）のアナログ入力をそれぞれ1回順次変換します。

マルチモードは指定された最大8チャンネルのアナログ入力を以下のように1回A/D変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順（たとえばAN0、AN1…AN3）にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると（モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます）、第1チャンネルが選択され、再びA/D変換を開始します。

マルチモードで3チャンネル（AN0～AN2）を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図26.3に示します。

1. 動作モードをマルチモード（MDS[2]=1、MDS[1]=0）に、アナログ入力チャンネルをAN0～AN2（CH[2:0]=010）に設定してA/D変換を開始（ADST=1）します。
2. 第1チャンネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
3. 次に第2チャンネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル（AN2）まで変換を行います。
5. 選択されたすべてのチャンネル（AN0～AN2）の変換が終了すると、ADF=1となり、ADSTビットを0にして変換を終了します。
6. このときADIEビットが1であると、A/D変換終了後、ADI割り込みを発生します。

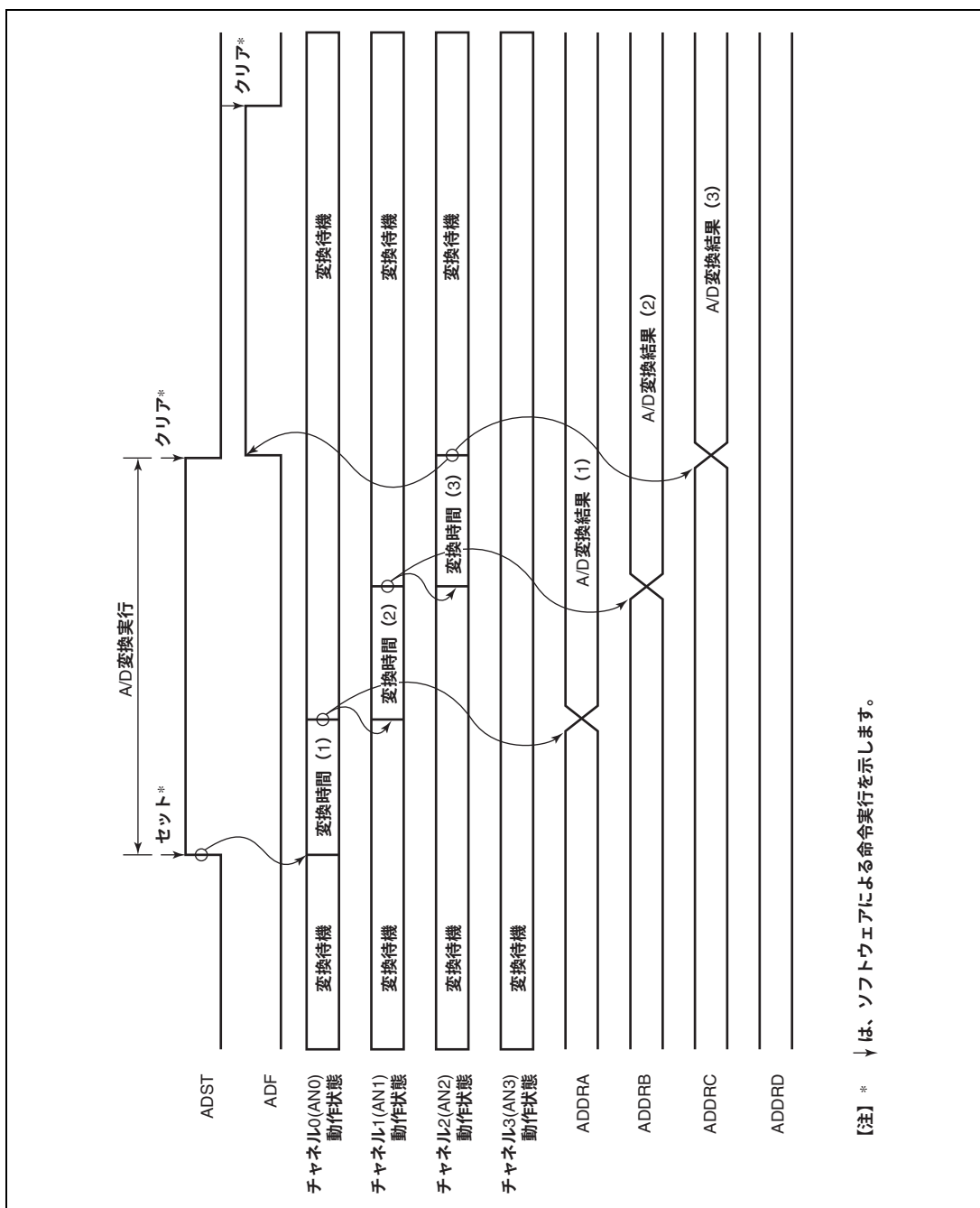


図 26.3 A/D 変換器の動作例 (マルチモード、AN0~AN2 の 3 チャンネル選択時)

26.4.3 スキャンモード

スキャンモードは、複数チャンネル（1チャンネルを含む）のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順（たとえばAN0、AN1…AN3）にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネル番号の小さい順にA/D変換を実行します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.～3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると（モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます）、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル（AN0～AN2）を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図26.4に示します。

1. 動作モードをスキャンモード（MDS[2]=1、MDS[1]=1）に、アナログ入力チャンネルをAN0～AN2（CH[2:0]=010）に設定してA/D変換を開始（ADST=1）します。
2. 第1チャンネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
3. 次に第2チャンネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル（AN2）まで変換を行います。
5. 選択されたすべてのチャンネル（AN0～AN2）の変換が終了すると、ADF=1となり、再び、第1チャンネル（AN0）を選択し、連続して変換が行われます。このときADIEビットが1であると、A/D変換（第3チャンネルの変換）終了後、ADI割り込みを発生します。
6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は2.～4.を繰り返します。繰り返している間はADF=1を保持しています。ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

2.～4.を繰り返している間ADF=1でADIE=1の場合、常にADI割り込みを発生します。第3チャンネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADFビットを0にクリアしてください。

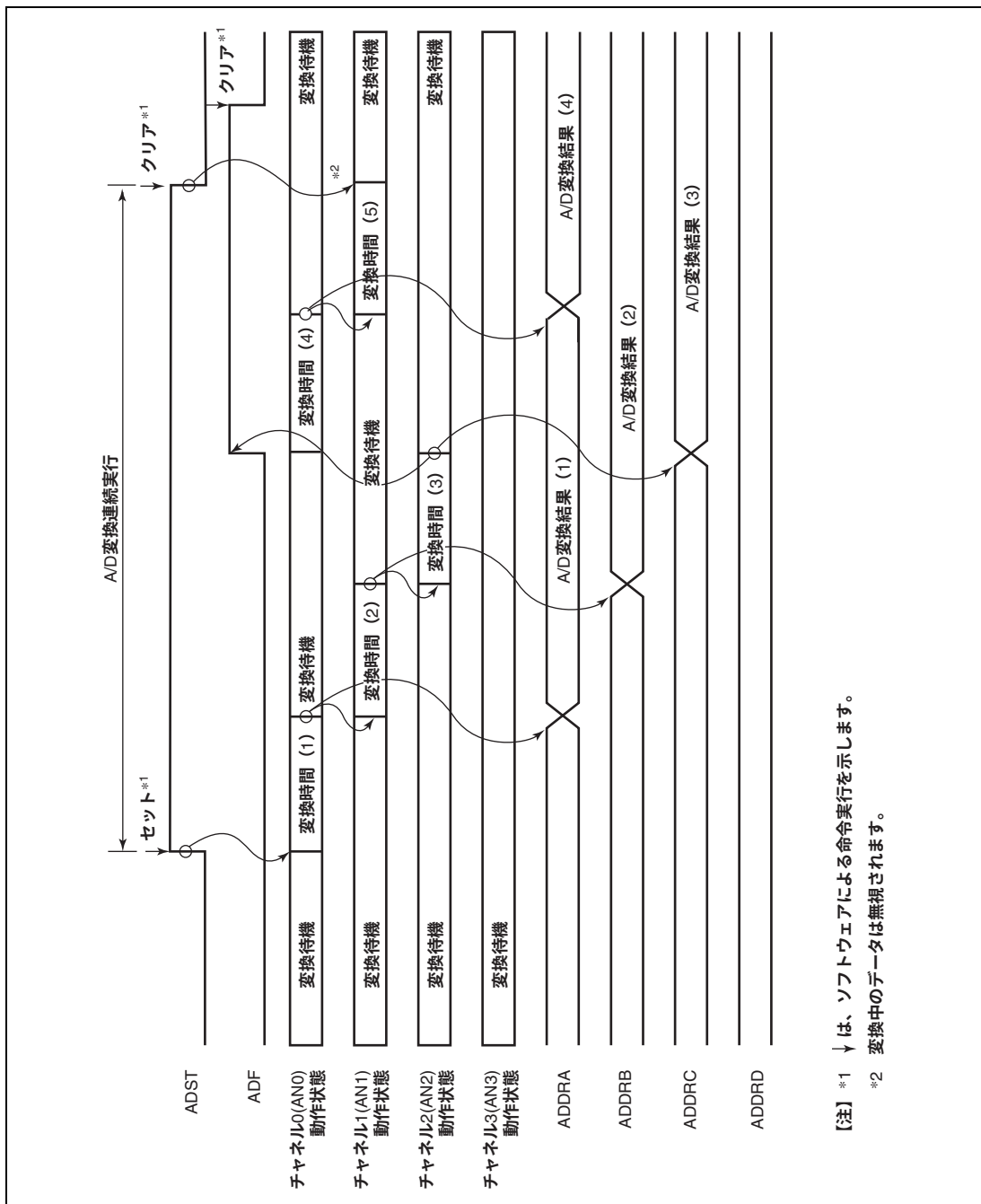


図 26.4 A/D 変換器の動作例 (スキャンモード、AN0～AN2 の 3 チャンネル選択時)

26.4.4 外部トリガ、マルチファンクションタイマパルスユニット2による A/D 変換器の起動

外部トリガ、マルチファンクションタイマパルスユニット2からのA/D変換要求によって、A/D変換器を独立に起動することができます。外部トリガ、マルチファンクションタイマパルスユニット2からA/D変換器を起動するときには、A/Dトリガイネーブルビット（TRGS3～TRGS0）の設定を行います。この状態で外部トリガ、マルチファンクションタイマパルスユニット2のA/D変換要求が発生すると、ADSTビットを1にセットします。これで、A/D変換が開始されます。変換を行うチャンネルは、ADCSRのCH2～CH0ビットで決まります。ADSTビットが1にセットされてから、A/D変換が開始されるまでのタイミングは、ソフトウェアでADSTビットに1を書き込んだ場合と同じです。

26.4.5 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADCSRのADSTビットが1にセットされてからA/D変換開始遅延時間（ t_D ）経過後、入力サンプリングを行い、その後変換を開始します。A/D変換のタイミングを図26.5に示します。また、A/D変換時間を表26.4に示します。

A/D変換時間（ t_{CONV} ）は、図26.5に示すように、 t_D と入力サンプリング時間（ t_{SPL} ）を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表26.4に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表26.4に示す値が1回目の変換時間となります。2回目以降の変換時間は表26.5に示す値となります。

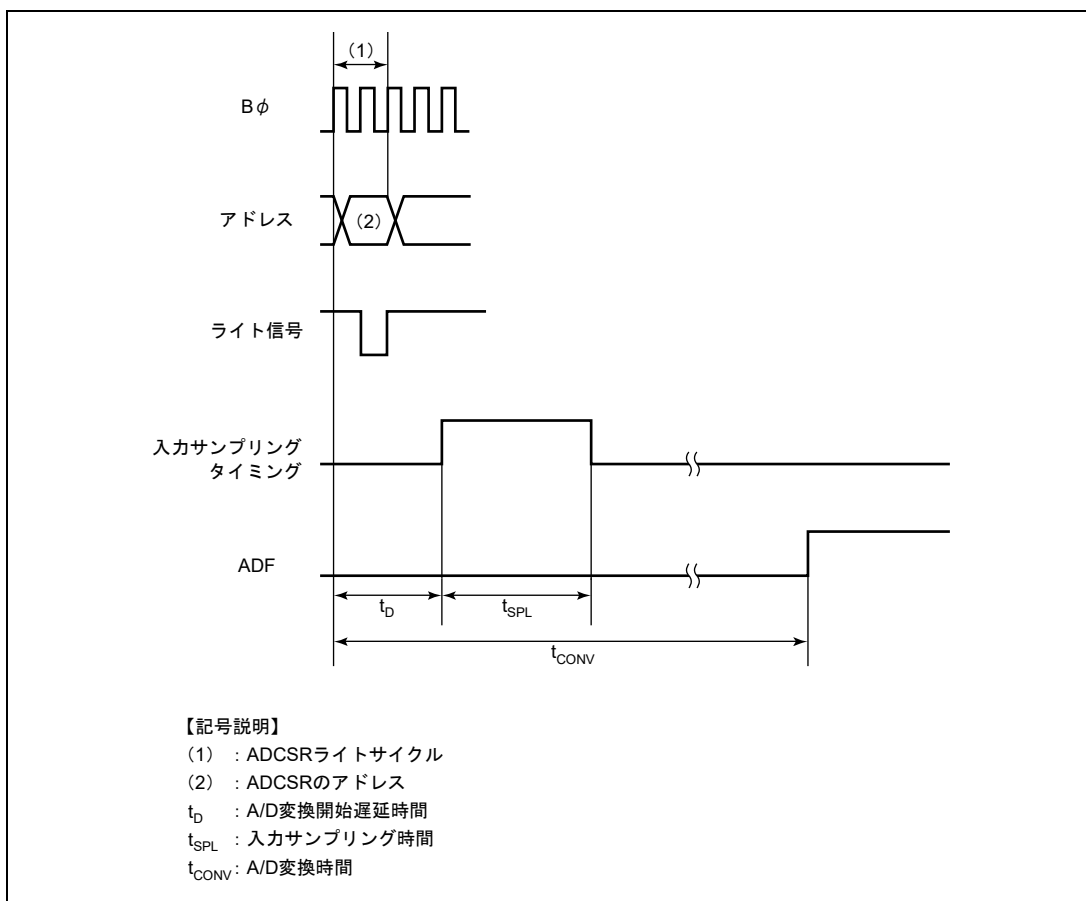


図 26.5 A/D 変換タイミング

表 26.4 A/D 変換時間（シングルモード）

項目	記号	CKS2=0								
		CKS1=0						CKS1=1		
		CKS0=0			CKS0=1			CKS0=0		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	15	—	26	17	—	30	19	—	34
入力サンプリング時間	t_{SPL}	—	97	—	—	113	—	—	129	—
A/D 変換時間	t_{CONV}	401	—	412	467	—	480	533	—	548

【注】 表中の数値の単位は t_{cyc} です。

表 26.5 A/D 変換時間（マルチモード／スキャンモード）

CKS2	CKS1	CKS0	変換時間 (t_{cyc})
0	0	0	384（固定）
		1	448（固定）
	1	0	512（固定）

【注】 表中の数値の単位は t_{cyc} です。

26.4.6 外部トリガ入力タイミング

A/D変換は、外部トリガ入力により開始することも可能です。外部トリガ入力、ADCSRのTRGS3～TRGS0ビットがB'1001にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSRのADSTビットが1にセットされ、A/D変換が開始されます。その他の動作は、シングルモード／マルチモード／スキャンモードによらず、ソフトウェアによってADSTビットを1にセットした場合と同じです。このタイミングを図26.6に示します。

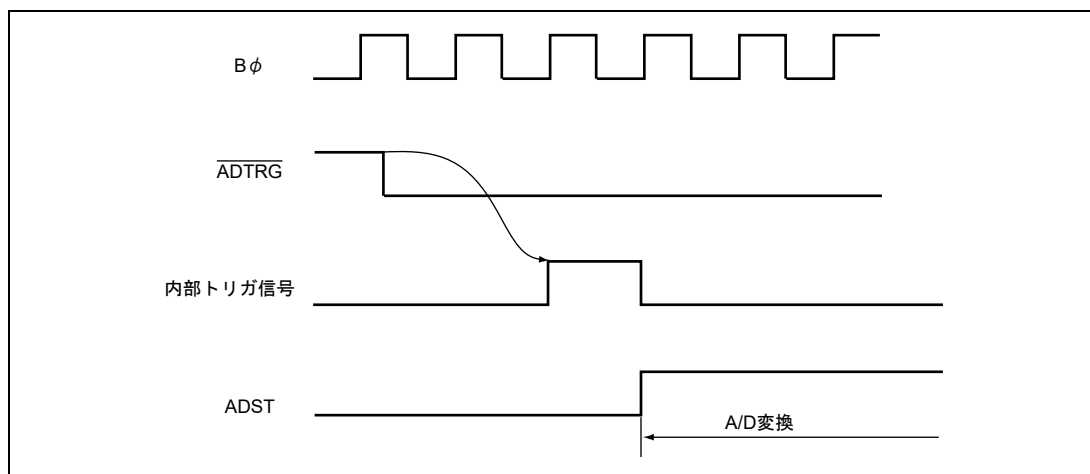


図 26.6 外部トリガ入力タイミング

26.5 割り込み要因と DMA 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換割り込み（ADI）を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求を発生します。なお、ADI 割り込みは、ダイレクトメモリアクセスコントローラの設定により、ダイレクトメモリアクセスコントローラの起動ができます。このとき、CPU への割り込み要求は発生されません。ダイレクトメモリアクセスコントローラの起動設定を行わない場合は、CPU への割り込み要求が発生します。ダイレクトメモリアクセスコントローラを使用して ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

シングルモードでは、ADI 割り込みによる DMA 転送は 1 回となるように設定してください。スキャンモードまたはマルチモードによる複数チャネルの A/D 変換では DMA 転送回数を 1 回に設定すると、1 チャネルのデータ転送のみで DMA 転送が終了してしまいます。ダイレクトメモリアクセスコントローラによりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送回数を変換チャネル数に設定してください。

ADI でダイレクトメモリアクセスコントローラを起動する場合、DMA 転送時に ADCSR の ADF ビットは自動的にクリアされます。

表 26.6 割り込み要因と DMA 転送要求の関係

名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセス コントローラの起動
ADI	A/D 変換終了	ADCSR の ADF	可

26.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 26.7 に沿って、上記 1～4 の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'0000000000（図では 000）から B'0000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 26.7（1））です。フルスケール誤差とはデジタル出力値が B'1111111110（図では 110）から最大値（フルスケール電圧）B'1111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 26.7（2））です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 26.7（3））。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 26.7（4））です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

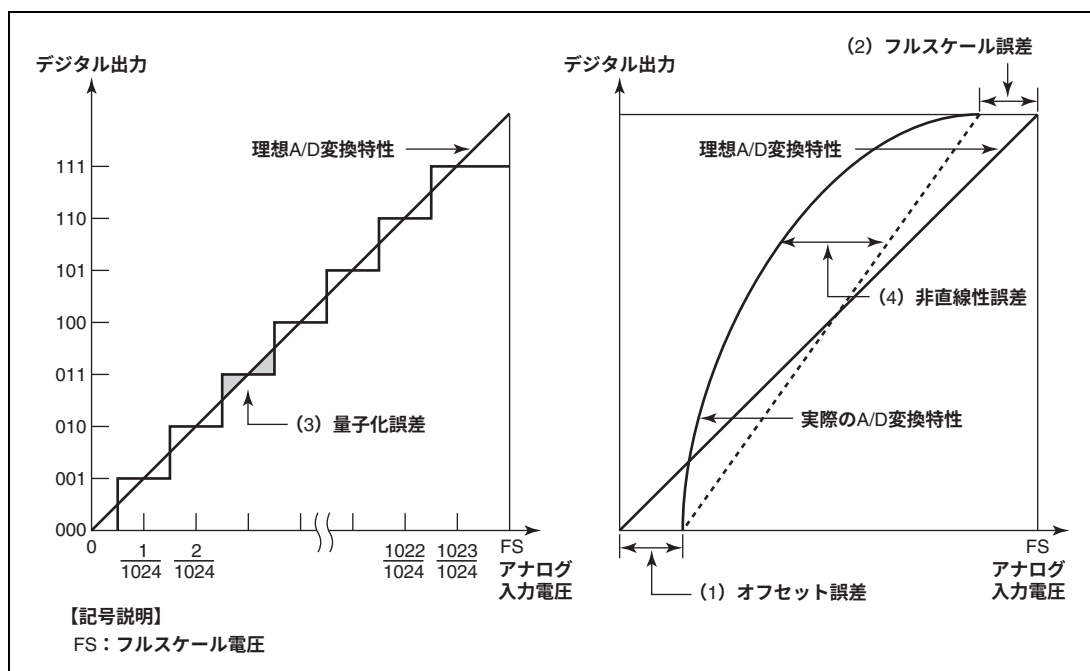


図 26.7 A/D 変換精度の定義

26.7 使用上の注意事項

A/D変換器を使用する際は、以下のことに注意してください。

26.7.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、A/D変換器の動作禁止/許可を設定することが可能です。初期値では、A/D変換器の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第32章 低消費電力モード」を参照してください。

26.7.2 アナログ電圧の設定

以下に示す電圧の設定範囲を超えてLSIを使用した場合、LSIの信頼性に悪影響をおよぼすことがあります。

1. アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧は $AV_{SS} \leq AN_n \leq AV_{CC}$ の範囲としてください。(n=0~7)

2. AV_{CC}、AV_{SS}入力電圧

AV_{CC}、AV_{SS}入力電圧は、 $PV_{CC} - 0.3V \leq AV_{CC} \leq PV_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。さらに、A/D変換器を使用しないときやソフトウェアスタンバイモード時でも、AV_{CC}、AV_{SS}端子をオープンにしないでください。使用しないときは、必ずAV_{CC}は電源(PV_{CC})に、AV_{SS}はグランド(V_{SS})に接続してください。

3. AV_{ref}の設定範囲

AV_{ref}端子によるリファレンス電圧範囲は $3.0V \leq AV_{ref} \leq AV_{CC}$ にしてください。

26.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力信号(AN0~AN3)、アナログ基準電圧(AV_{ref})、アナログ電源(AV_{CC})は、アナロググランド(AV_{SS})で、デジタル回路を分離してください。さらに、アナロググランド(AV_{SS})は、ボード上の安定したデジタルグランド(V_{SS})に一点接続してください。

26.7.4 アナログ入力端子の取り扱い

アナログ入力端子(AN0~AN7)には、過大サージなどの異常電圧による破壊を防ぐために、図26.8のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑えるCRフィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図26.9にアナログ入力端子の等価回路を、表26.7にアナログ入力端子の規格を示します。

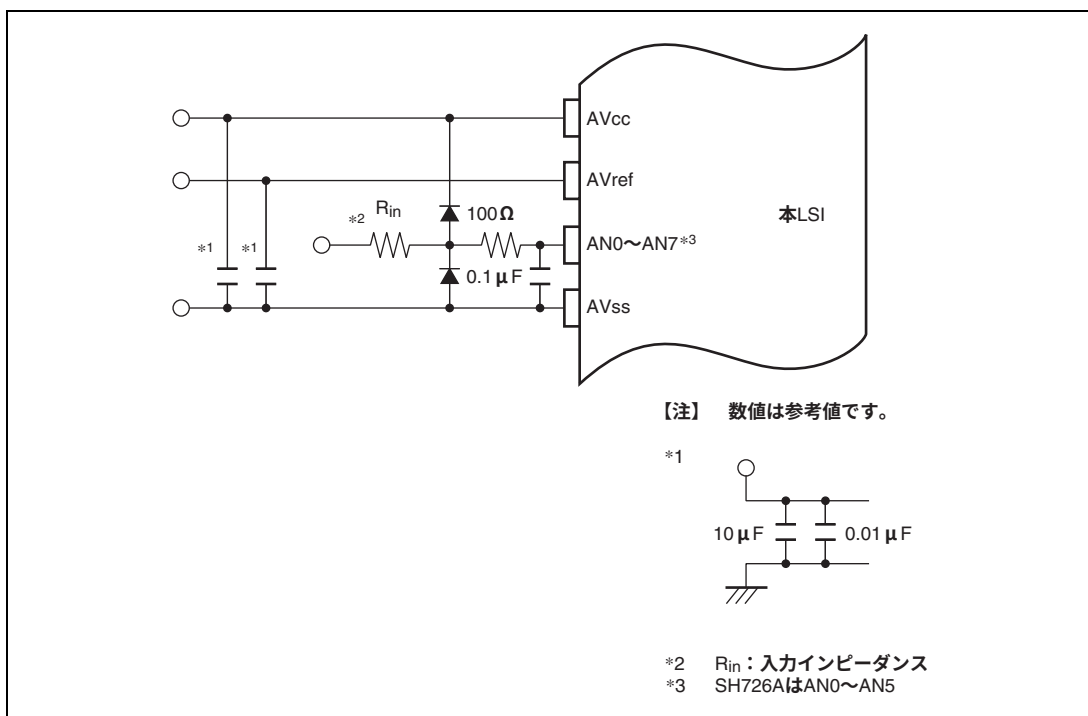


図 26.8 アナログ入力端子の保護回路例

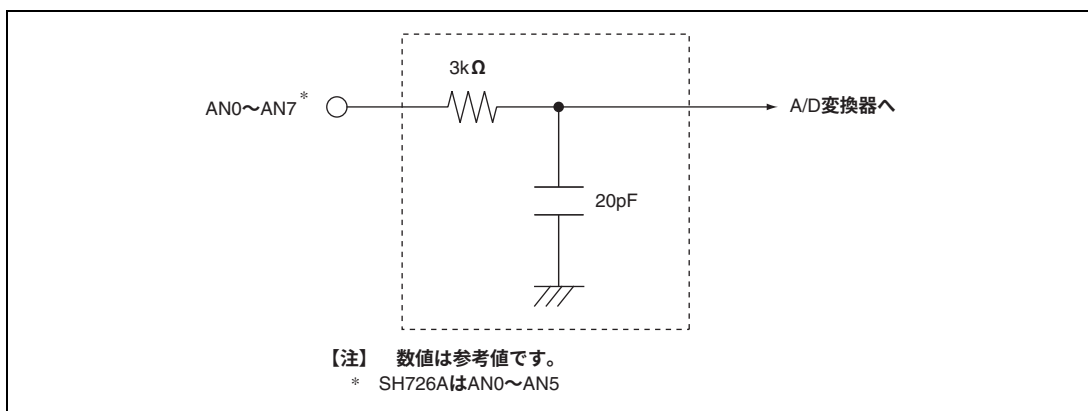


図 26.9 アナログ入力端子の等価回路

表 26.7 アナログ入力端子の規格

項目	Min.	Max.	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω

26.7.5 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できないことがあります（図 26.10）。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

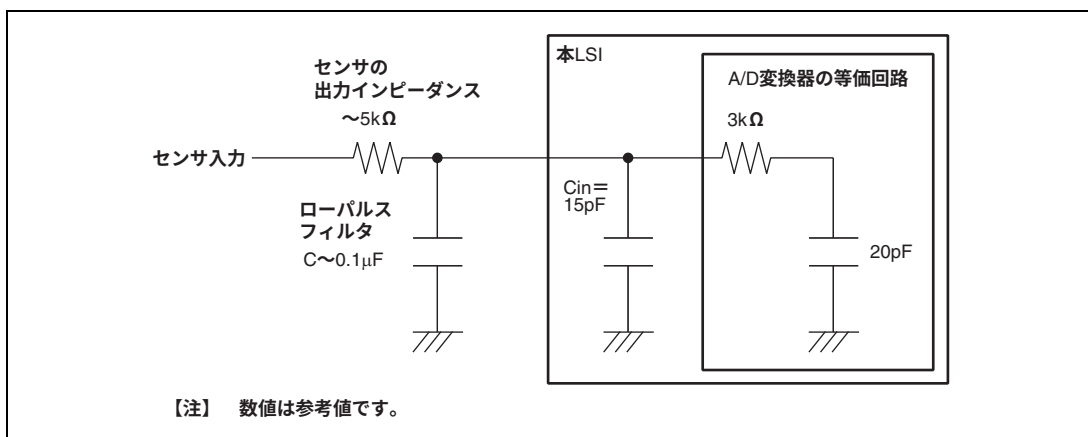


図 26.10 アナログ入力回路の例

26.7.6 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等は電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

26.7.7 スキャンモードおよびマルチモード使用時の注意

スキャンモードおよびマルチモードの停止直後に変換を開始した場合、誤った変換結果を示すことがあります。

連続して変換を行う場合は、 $ADST=0$ とした後、1 チャネル分の A/D 変換時間以上経過してから起動（ $ADST=1$ ）するようにしてください（1 チャネル分の変換時間は分周レジスタ設定により異なります）。

27. USB2.0 ホスト／ファンクションモジュール

本モジュールは、USB ホストコントローラ機能とファンクションコントローラ機能を備えた USB コントローラです。本モジュールは、USB (Universal Serial Bus) 規格 2.0 のフルスピード転送に対応します。また、本モジュールは、USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用に 2K バイトのバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1～9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

27.1 特長

(1) USB フルスピード対応のホストコントローラとファンクションコントローラを内蔵

- USBホストコントローラとファンクションコントローラを内蔵
- USBホストコントローラ機能とファンクションコントローラ機能をレジスタ設定により切り替え可能
- USBトランシーバ内蔵

(2) USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送
- アイソクロナス転送

(3) 内部バスインタフェース

- DMAインタフェースを2チャンネル内蔵

(4) パイプコンフィギュレーション

- USB通信用バッファメモリを2Kバイト内蔵
- 最大10本のパイプを選択可能（デフォルトコントロールパイプを含む）
- パイプ1～9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下のとおりです。

パイプ0：コントロール転送専用のパイプ（デフォルトコントロールパイプ：DCP）、64バイト固定シングルバッファ

パイプ1、2：バルク転送またはアイソクロナス転送を選択可能なパイプ、バッファサイズはバルク転送時64バイト、アイソクロナス転送時256バイト（ダブルバッファ指定可能）

パイプ3～5：バルク転送専用のパイプ、バッファサイズは64バイト（ダブルバッファ指定可能）

パイプ6～9：インタラプト転送専用のパイプ、64バイト固定シングルバッファ

(5) ホストコントローラ機能選択時の特長

- フルスピード転送（12Mbps）に対応
- ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

(6) ファンクションコントローラ機能選択時の特長

- フルスピード転送（12Mbps）に対応
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- SOF補間機能

(7) その他の機能

- トランザクションカウントによる受信トランスファ終了機能
- 外部DMACによるDMA転送の終了機能
- BRDY割り込みイベント通知タイミング変更機能（BFRE）
- DnFIFO（n=0、1）ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能（DCLRM）
- トランスファ終了による応答PIDのNAK設定機能（SHTNAK）

27.2 入出力端子

表 27.1 に端子構成を示します。

表 27.1 端子構成

区分	名称	端子名	入出力	機 能
USB バス インタフェース	ポート 0 USB D+データ	DP0	入出力	ポート 0 USB 内蔵トランシーバ D+入出力です。 USB バスの D+端子に接続してください。
	ポート 0 USB D-データ	DM0	入出力	ポート 0 USB 内蔵トランシーバ D-入出力です。 USB バスの D-端子に接続してください。
	ポート 1 USB D+データ*	DP1	入出力	ポート 1 USB 内蔵トランシーバ D+入出力です。 USB バスの D+端子に接続してください。
	ポート 1 USB D-データ*	DM1	入出力	ポート 1 USB 内蔵トランシーバ D-入出力です。 USB バスの D-端子に接続してください。
VBUS 監視入力	VBUS 入力	VBUS	入力	ポート 0 USB ケーブル接続モニタ端子です。 ファンクションコントローラ機能選択時には USB バスの VBUS を 3.3V まで降圧して接続してください。VBUS の 接続/切断を検出することができます。ホストコントロー ラ機能選択時には接続不要です。

【注】 * SH726A には存在しません。

27.3 レジスタの説明

表 27.2 にレジスタ構成を示します。

表 27.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
システムコンフィギュレーションコントロールレジスタ 0	SYSCFG0	R/W	H'FFFF C000	16
システムコンフィギュレーションコントロールレジスタ 1	SYSCFG1	R/W	H'FFFF C002	16
システムコンフィギュレーションステータスレジスタ 0	SYSSTS0	R	H'FFFF C004	16
システムコンフィギュレーションステータスレジスタ 1	SYSSTS1	R	H'FFFF C006	16
デバイスステートコントロールレジスタ 0	DVSTCTR0	R/W	H'FFFF C008	16
デバイスステートコントロールレジスタ 1	DVSTCTR1	R/W	H'FFFF C00A	16
DMA0-FIFO ピンコンフィグレーションレジスタ	DMA0PCFG	R/W	H'FFFF C010	16
DMA1-FIFO ピンコンフィグレーションレジスタ	DMA1PCFG	R/W	H'FFFF C012	16
CFIFO ポートレジスタ	CFIFO	R/W	H'FFFF C014	8、16
D0FIFO ポートレジスタ	D0FIFO	R/W	H'FFFF C018	8、16
D1FIFO ポートレジスタ	D1FIFO	R/W	H'FFFF C01C	8、16
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'FFFF C020	16
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'FFFF C022	16
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'FFFF C028	16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'FFFF C02A	16
D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'FFFF C02C	16
D1FIFO ポートコントロールレジスタ	D1FIFOCTR	R/W	H'FFFF C02E	16
割り込み許可レジスタ 0	INTENB0	R/W	H'FFFF C030	16
割り込み許可レジスタ 1	INTENB1	R/W	H'FFFF C032	16
割り込み許可レジスタ 2	INTENB2	R/W	H'FFFF C034	16
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'FFFF C036	16
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'FFFF C038	16
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'FFFF C03A	16
SOF 出力コンフィグレーションレジスタ	SOFCFG	R/W	H'FFFF C03C	16
割り込みステータスレジスタ 0	INTSTS0	R/W	H'FFFF C040	16
割り込みステータスレジスタ 1	INTSTS1	R/W	H'FFFF C042	16
割り込みステータスレジスタ 2	INTSTS2	R/W	H'FFFF C044	16
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'FFFF C046	16
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'FFFF C048	16
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'FFFF C04A	16
フレームナンバーレジスタ	FRMNUM	R/W	H'FFFF C04C	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
USB アドレスレジスタ	USBADDR	R	H'FFFF C050	16
USB リクエストタイプレジスタ	USBREQ	R	H'FFFF C054	16
USB リクエストバリュージスタ	USBVAL	R	H'FFFF C056	16
USB リクエストインデックスレジスタ	USBINDX	R	H'FFFF C058	16
USB リクエストレンガレジスタ	USBLENG	R	H'FFFF C05A	16
DCP コンフィギュレーションレジスタ	DCPCFG	R/W	H'FFFF C05C	16
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'FFFF C05E	16
DCP コントロールレジスタ	DCPCTR	R/W	H'FFFF C060	16
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'FFFF C064	16
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	H'FFFF C068	16
パイプマックスパケットサイズレジスタ	PEPMAXP	R/W	H'FFFF C06C	16
パイプ周期制御レジスタ	PIPEPERI	R/W	H'FFFF C06E	16
パイプ1 コントロールレジスタ	PIPE1CTR	R/W	H'FFFF C070	16
パイプ2 コントロールレジスタ	PIPE2CTR	R/W	H'FFFF C072	16
パイプ3 コントロールレジスタ	PIPE3CTR	R/W	H'FFFF C074	16
パイプ4 コントロールレジスタ	PIPE4CTR	R/W	H'FFFF C076	16
パイプ5 コントロールレジスタ	PIPE5CTR	R/W	H'FFFF C078	16
パイプ6 コントロールレジスタ	PIPE6CTR	R/W	H'FFFF C07A	16
パイプ7 コントロールレジスタ	PIPE7CTR	R/W	H'FFFF C07C	16
パイプ8 コントロールレジスタ	PIPE8CTR	R/W	H'FFFF C07E	16
パイプ9 コントロールレジスタ	PIPE9CTR	R/W	H'FFFF C080	16
パイプ1 トランザクションカウンタインエーブルレジスタ	PIPE1TRE	R/W	H'FFFF C090	16
パイプ1 トランザクションカウンタレジスタ	PIPE1TRN	R/W	H'FFFF C092	16
パイプ2 トランザクションカウンタインエーブルレジスタ	PIPE2TRE	R/W	H'FFFF C094	16
パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	R/W	H'FFFF C096	16
パイプ3 トランザクションカウンタインエーブルレジスタ	PIPE3TRE	R/W	H'FFFF C098	16
パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	R/W	H'FFFF C09A	16
パイプ4 トランザクションカウンタインエーブルレジスタ	PIPE4TRE	R/W	H'FFFF C09C	16
パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	R/W	H'FFFF C09E	16
パイプ5 トランザクションカウンタインエーブルレジスタ	PIPE5TRE	R/W	H'FFFF C0A0	16
パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	R/W	H'FFFF C0A2	16
デバイスアドレス0 コンフィギュレーションレジスタ	DEVADD0	R/W	H'FFFF C0D0	16
デバイスアドレス1 コンフィギュレーションレジスタ	DEVADD1	R/W	H'FFFF C0D2	16
デバイスアドレス2 コンフィギュレーションレジスタ	DEVADD2	R/W	H'FFFF C0D4	16
デバイスアドレス3 コンフィギュレーションレジスタ	DEVADD3	R/W	H'FFFF C0D6	16
デバイスアドレス4 コンフィギュレーションレジスタ	DEVADD4	R/W	H'FFFF C0D8	16
デバイスアドレス5 コンフィギュレーションレジスタ	DEVADD5	R/W	H'FFFF C0DA	16

27.3.1 システムコンフィギュレーションコントロールレジスタ 0 (SYSCFG0)

SYSCFG0 は、ホストコントローラ機能またはファンクションコントローラ機能の選択、DP、DM 端子の制御、および本モジュールの動作許可制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	SCKE	0	R/W	USB モジュールクロック許可 本モジュールへの 48MHz クロック供給の停止／許可を指定します。 0：USB モジュールへのクロック供給停止 1：USB モジュールへのクロック供給許可 本ビットが 0 の場合、本レジスタおよび SYSCFG1 レジスタ、DMA0PCFG レジスタ、DMA1PCFG レジスタのみ、読み出し／書き込みができます。 USB モジュール内の他のレジスタは、読み出しはできますが、書き込みはできません。
9～7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	DCFM	0	R/W	コントローラ機能選択 本モジュールの機能を選択します。 0：ファンクションコントローラ機能を選択 1：ホストコントローラ機能を選択 本ビットの変更は、DPRPU=0 かつ DRPD=0 のときに行ってください。
5	DRPD	0	R/W	ポート 0 D+／D-ライン抵抗制御状態 ホストコントローラ機能選択時、汎用入出力ポートによりポート 0 の D+／D-ラインのプルダウンの禁止／許可を制御します。本ビットには、ポート 0 の D+／D-ラインの抵抗制御状態を指定してください。 0：非プルダウン状態 1：プルダウン状態 本ビットの 1 への設定は、ホストコントローラ機能選択時に行ってください。 ファンクションコントローラ機能選択時は、ポート 0 の D+／D-ラインのプルダウンは行わず、本ビットにも 0 を設定してください。

ビット	ビット名	初期値	R/W	説 明
4	DPRPU	0	R/W	ポート 0 D+抵抗制御状態 ファンクションコントローラ機能選択時、汎用入出力ポートによりポート 0 の D+ラインのプルアップの禁止／許可を制御します。本ビットには、ポート 0 の D+ラインの抵抗制御状態を指定してください。 0：非プルアップ状態 1：プルアップ状態 本ビットへの 1 設定は、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、ポート 0 の D+ラインのプルアップは行わず、本ビットにも 0 を設定してください。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	USB E	0	R/W	USB モジュール動作許可 本モジュールの動作禁止／許可を指定します。 0：USB モジュール動作禁止 1：USB モジュール動作許可 本ビットを 1 から 0 に変更したときに初期化されるレジスタとビットを表 27.3 と表 27.4 に示します。 本ビットの変更は、SCKE=1 のときに行ってください。 ホストコントローラ機能選択時は、DRPD=1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB E=1 設定を行ってください。

表 27.3 USBE=0 書き込みにより初期化されるレジスタ（ファンクションコントローラ機能選択時）

レジスタ名	ビット名	備考
SYSSTS0、SYSSTS1	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR0、DVSTCTR1	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USEREQ	BRequest、bmRequestType	ホストコントローラ機能選択時は値保持
USBVAL	wValue	ホストコントローラ機能選択時は値保持
USBINDX	wIndex	ホストコントローラ機能選択時は値保持
USBLENG	wLength	ホストコントローラ機能選択時は値保持

表 27.4 USBE=0 書き込みにより初期化されるレジスタ（ホストコントローラ機能選択時）

レジスタ名	ビット名	備考
DVSTCTR0、DVSTCTR1	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持

27.3.2 システムコンフィギュレーションコントロールレジスタ 1 (SYSCFG1)

SYSCFG1 は、ホストコントローラ機能時のポート 1 側の DP、DM 端子の制御状態を指定するレジスタです。
また、CPU アクセスにエラーがあった時のエラーフラグをモニタします。

SYSCFG0 レジスタの SCKE ビットが 0 の場合であっても、本レジスタへの書き込みは可能です。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BERRS	—	—	—	—	—	—	—	—	—	DRPD	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	BERRS	0	R/W*	CPU アクセスエラーフラグ CPU/DMA による本モジュールに対するアクセスにエラーが発生した時に 1 になります。 バスエラーは SCKE ビットが 0 の時に、アクセス不許可領域への書き込み／読み出しを行った場合に発生します。 本ビットに 0 を書き込むことにより、クリアできます。
14～6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	DRPD	0	R/W	ポート 1 D+／D-ライン抵抗制御状態 ホストコントローラ機能選択時、汎用入出力ポートによりポート 1 の D+／D-ラインのプルダウンの禁止／許可を制御します。本ビットには、ポート 1 の D+／D-ラインの抵抗制御状態を指定してください。 0: 非プルダウン状態 1: プルダウン状態 本ビットの 1 への設定は、ホストコントローラ機能選択時に行ってください。ファンクションコントローラ機能選択時は、ポート 1 の D+／D-ラインのプルダウンは行わず、本ビットにも 0 を設定してください。
4～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 0 の書き込みのみ有効です。

27.3.3 システムコンフィギュレーションステータスレジスタ (SYSSTS0、SYSSTS1)

SYSSTS0 は、ポート 0 側の USB データバスのラインステータス (D+および D-ライン) をモニタします。SYSSTS1 は、ポート 1 側の USB データバスのラインステータス (D+および D-ライン) をモニタします。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

(1) SYSSTS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	HTACT	—	—	—	—	LNST[1:0]	
初期値:	不定	不定	0	0	0	0	0	0	0	0	0	0	0	不定	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15、14	—	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
13～7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	HTACT	0	R	USB ホストシーケンスステータスモニタ 本モジュールのホストシーケンサが完全に停止しているときに、本ビットに 0 を示します。 本モジュールのクロックを停止させるときには、必ず本ビットが 0 であることを確認してください。
5～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	—	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
1、0	LNST[1:0]	00	R	USB データラインステータスモニタ USB データバスライン (D+ライン、D-ライン) のステータスが表示されます。USB データバスラインステータスを表 27.5 に示します。 本ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (DPRPU=1 設定) 以後、ホストコントローラ機能選択時には、ブルダウん許可 (DRPD=1 設定) 以後に行ってください。

(2) SYSSTS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	HTACT	—	—	—	—	LNST[1:0]	
初期値:	不定	不定	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15、14	—	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
13～7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	HTACT	0	R	USB ホストシーケンサステータスマニタ 本モジュールのホストシーケンサが完全に停止しているときに、本ビットに0を示します。 本モジュールのクロックを停止させるときには、必ず本ビットが0であることを確認してください。
5～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	LNST[1:0]	00	R	USB データラインステータスマニタ USB データバスライン（D+ライン、D-ライン）のステータスが表示されます。USB データバスラインステータスを表 27.5 に示します。 本ビットの参照は、プルダウン許可（DRPD=1 設定）以後に行ってください。

表 27.5 USB データバスラインステータス表

LNST[1]	LNST[0]	フルスピード動作時
0	0	SE0
0	1	J-State
1	0	K-State
1	1	SE1

27.3.4 デバイスステートコントロールレジスタ（DVSTCTR0、DVSTCTR1）

DVSTCTR0 は、ポート 0 側の USB データバスの状態制御および確認をします。DVSTCTR1 は、ポート 1 側の USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。USB バスリセットでは、WKUP ビットのみ初期化され、RESUME ビットは不定になります。

(1) DVSTCTR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	RWUPE	USBRST	RESUME	UACT	—	—	RHST[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W*	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	WKUP	0	R/W*	ウェイクアップ出力 ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ（レジューム信号出力）禁止／許可を指定します。 0：リモートウェイクアップ信号非出力 1：リモートウェイクアップ信号出力 本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。本ビットに 1 を設定すると、本モジュールは 10ms の K-State を出力した後、本ビットを 0 にします。 USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに 1 を書き込んでも、2ms 待ってから K-State を出力します。 本ビットへの 1 書き込みは、デバイスステートがサスペンド（INTSTS0.DVSQ = 1xx）であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。本ビットを 1 に設定する場合は、サスペンド中であっても内部クロックを停止しないでください。（SCKE=1 の状態で WKUP = 1 を書き込んでください。） ホストコントローラ機能選択時は、0 を書き込んでください。

ビット	ビット名	初期値	R/W	説 明
7	RWUPE	0	R/W	ウェイクアップ検出許可 ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止／許可を指定します。 0：ダウンポートリモートウェイクアップ出力禁止 1：ダウンポートリモートウェイクアップ許可 本ビットを1に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5 μs 間の K-State）を検出し、レジューム処理（K-State のドライブ）を行います。 本ビットを0に設定した場合、本モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。 本ビットを1に設定したときには、サスペンド中であっても内部クロックを停止しないでください（SCKE=1 の状態にしてください）。 ファンクションコントローラ機能選択時は、0 を設定してください。
6	USBRST	0	R/W	USB バスリセット出力 ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。 0：USB バスリセット信号非出力 1：USB バスリセット信号出力 ホストコントローラ機能選択時、本ビットを1に設定すると、本モジュールは USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。 本モジュールは、USBRST=1 の期間（USBRST=0 を書き込むまで）SE0 出力を継続します。USBRST=1 の期間（USB バスリセット期間）は USB Specification2.0 に準拠した時間を確保してください。 通信中（UACT=1）またはレジューム中（RESUME=1）に本ビットに1を書き込んだ場合、本モジュールは UACT=0 かつ RESUME=0 の状態になるまで USB バスリセットを開始しません。 USB バスリセット終了（USBRST=0 書き込み）と同時に UACT ビットに1を書き込んでください。 ファンクションコントローラ機能選択時は、0 を設定してください。

ビット	ビット名	初期値	R/W	説 明
5	RESUME	0	R/W	レジューム出力 ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。 0：レジューム信号非出力 1：レジューム信号出力 本ビットを 1 に設定すると、本モジュールはポートを K-State ドライブし、レジューム出力を行います。 本モジュールは、RESUME=1 の期間（RESUME=0 を書き込むまで）K-State 出力を継続します。RESUME=1 の期間（レジューム期間）は USB Specification2.0 に準拠した時間を確保してください。 本ビットへの 1 書き込みは、サスペンド中にのみ行ってください。 レジューム終了（RESUME=0 書き込み）と同時に UACT ビットに 1 を書き込んでください。 ファンクションコントローラ機能選択時は、0 を設定してください。
4	UACT	0	R/W	USB バス許可 ホストコントローラ機能選択時に、USB バス動作許可（USB バス上への SOF パケットの送出制御）を行います。 0：ダウンポート動作禁止（SOF 送出禁止） 1：ダウンポート動作許可（SOF 送出許可） 本ビットを 1 に設定すると、本モジュールは USB ポートを USB バス許可状態にし、SOF 出力およびデータ送受信を行います。 UACT=1 を書き込んでから、1 フレーム時間以内に SOF 出力を開始します。 本ビットを 0 に設定した場合、本モジュールは SOF 出力後アイドル状態に遷移します。 以下の場合に、本モジュールは本ビットを 0 に設定します。 • 通信中（UACT=1 設定時）に DTCH 割り込みを検出した場合 • 通信中（UACT=1 設定時）に EOFERR 割り込みを検出した場合 本ビットへの 1 書き込みは、USB バスリセット処理終了時（USBRST=0 書き込み）、または、サスペンドからのレジューム処理終了時（RESUME=0 書き込み）のいずれかのタイミングで行ってください。 ファンクションコントローラ機能選択時は、0 を設定してください。
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2～0	RHST[2:0]	000	R	USB バスリセットステータス USB バスリセットの状態を表示します。 (1) ホストコントローラ機能選択時 000 : 通信速度不定 (パワード時あるいは非接続時) 1xx : USB バスリセット処理中 010 : フルスピード接続時 ソフトウェアで USBRST=1 書き込み後、本ビットは 100 を示します。 USBRST=0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本モジュールは RHST ビットの値を確定します。 (2) ファンクションコントローラ機能選択時 000 : 通信速度不定 1xx : USB バスリセット処理中 010 : フルスピード接続時 本モジュールが USB バスリセットを検出すると、RHST ビットが 010 を示し DVST 割り込みが発生します。

【注】 * 1 書き込みのみ有効です。

(2) DVSTCTR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RWUPE	USBRST	RESUME	UACT	—	—	RHST[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
7	RWUPE	0	R/W	ウェイクアップ検出許可 ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止／許可を指定します。 0：ダウンポートリモートウェイクアップ出力禁止 1：ダウンポートリモートウェイクアップ許可 本ビットを1に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5 μs 間の K-State）を検出し、レジューム処理（K-State のドライブ）を行います。 本ビットを0に設定した場合、本モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。 本ビットを1に設定したときには、サスペンド中であっても内部クロックを停止しないでください（SCKE=1 の状態にしてください）。 ファンクションコントローラ機能選択時は、0 を設定してください。
6	USB RST	0	R/W	バスリセット出力 ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。 0：USB バスリセット信号非出力 1：USB バスリセット信号出力 ホストコントローラ機能選択時、本ビットを1に設定すると、本モジュールは USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。 本モジュールは、USB RST=1 の期間（USB RST=0 を書き込むまで）SE0 出力を継続します。USB RST=1 の期間（USB バスリセット期間）は USB Specification2.0 に準拠した時間を確保してください。 通信中（UACT=1）またはレジューム中（RESUME=1）に本ビットに1を書き込んだ場合、本モジュールは UACT=0 かつ RESUME=0 の状態になるまで USB バスリセットを開始しません。 USB バスリセット終了（USB RST=0 書き込み）と同時に UACT ビットに1を書き込んでください。 ファンクションコントローラ機能選択時は、0 を設定してください。

ビット	ビット名	初期値	R/W	説 明
5	RESUME	0	R/W	レジューム出力 ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。 0：レジューム信号非出力 1：レジューム信号出力 本ビットを 1 に設定すると、本モジュールはポートを K-State ドライブし、レジューム出力を行います。 本モジュールは、RESUME=1 の期間（RESUME=0 を書き込むまで）K-State 出力を継続します。RESUME=1 の期間（レジューム期間）は USB Specification2.0 に準拠した時間を確保してください。 本ビットへの 1 書き込みは、サスペンド中にのみ行ってください。 レジューム終了（RESUME=0 書き込み）と同時に UACT ビットに 1 を書き込んでください。 ファンクションコントローラ機能選択時は、0 を設定してください。
4	UACT	0	R/W	USB バス許可 ホストコントローラ機能選択時に、USB バス動作許可（USB バス上への SOF パケットの送出制御）を行います。 0：ダウンポート動作禁止（SOF 送出禁止） 1：ダウンポート動作許可（SOF 送出許可） 本ビットを 1 に設定すると、本モジュールは USB ポートを USB バス許可状態にし、SOF 出力およびデータ送受信を行います。 UACT=1 を書き込んでから、1 フレーム時間以内に SOF 出力を開始します。 本ビットを 0 に設定した場合、本モジュールは SOF 出力後アイドル状態に遷移します。 以下の場合に、本モジュールは本ビットを 0 に設定します。 • 通信中（UACT=1 設定時）に DTCH 割り込みを検出した場合 • 通信中（UACT=1 設定時）に EOFERR 割り込みを検出した場合 本ビットへの 1 書き込みは、USB バスリセット処理終了時（USBRST=0 書き込み）、または、サスペンドからのレジューム処理終了時（RESUME=0 書き込み）のいずれかのタイミングで行ってください。 ファンクションコントローラ機能選択時は、0 を設定してください。
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2～0	RHST[2:0]	000	R	USB バスリセットステータス ホストコントローラ機能選択時の USB バスリセットの状態を表示します。 000：通信速度不定（パワード時あるいは非接続時） 1xx：USB バスリセット処理中 010：フルスピード接続時 ソフトウェアで USBRST=1 書き込み後、本ビットは 100 を示します。 USBRST=0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本モジュールは RHST ビットの値を確定します。 ファンクションコントローラ機能選択時は、000 を示します。

【注】 * 1 書き込みのみ有効です。

27.3.5 DMA-FIFO ピンコンフィギュレーションレジスタ（DMA0PCFG、DMA1PCFG）

DMA0PCFG レジスタは、DMA0-FIFO のバスアクセス制御を、DMA1PCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DFWR ENDE	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	DFWREN DE	0	R/W	DMA-FIFO ポート ライトエンドイネーブルビット DMAC からの WREND 信号の許可/不許可を設定します。 0：不許可 1：許可
7～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.3.6 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

CFIFO、D0FIFO、D1FIFO は、FIFO バッファメモリへのデータ読み出し／書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータリード／ライトを行う本ポートレジスタ (CFIFO、D0FIFO、D1FIFO) 以外に、FIFO ポートに割り当てるパイプを選択する選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) で構成されています。

各 FIFO ポートには、下記に示す特徴があります。

- DCP用FIFOバッファへのアクセスは、CFIFOポートを通して行ってください。
- DMA転送によるFIFOバッファアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPUによるD1FIFOあるいはD0FIFOポートアクセスも可能です。
- FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号（選択パイプ）を変更できません（DMA転送機能使用時など）。
- FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- 同一パイプを別々のFIFOポートに割り当てないでください。
- FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の 2 種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスができません。

本レジスタは、パワーオンリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	FIFOPORT [15:0]	すべて 0	R/W	FIFO ポート 本ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。 本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR または D1FIFOCTR) の FRDY ビットが 1 を示しているときのみ可能です。 本レジスタの有効ビットは、MBW ビットの設定値および BIGEND ビットの設定値により異なります。有効ビットを、表 27.6、表 27.7 に示します。

表 27.6 16 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 15~8	ビット 7~0
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表 27.7 8 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 15~8	ビット 7~0
0	アクセス禁止	N+0 データ
1	アクセス禁止	N+0 データ

【注】 * 禁止領域へのリードアクセスは禁止です。

27.3.7 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)

CFIFOSEL、D0FIFOSEL、D1FIFOSEL は、FIFO ポートに割り当てるパイプの選択、各 FIFO ポートへのアクセスの制御をします。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL の CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットの設定が B'000 の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

(1) CFIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R	R	R	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RCNT	0	R/W	リードカウントモード CFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。 0: CFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO 受信データ読み出しごとに DTLN ビットをカウントダウン
14	REW	0	R/W*	バッファポインタリワインド バッファポインタのリワインドをする／しないを指定します。 0: バッファポインタリワインドしない 1: バッファポインタリワインドする 選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。 REW=1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。 REW=1 の設定は、必ず FRDY=1 であることを確認してから行ってください。 送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。
13~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10	MBW	0	R/W	CFIFO ポートアクセスビット幅 CFIFO ポートへのアクセスビット幅を指定します。 0 : 8 ビット幅 1 : 16 ビット幅 選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。 また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。 選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。 16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。
9	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	BIGEND	0	R/W	CFIFO ポートエンディアン制御 CFIFO ポートのバイトエンディアンを指定します。 0 : リトルエンディアン 1 : ビッグエンディアン
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	ISEL	0	R/W	DCP 選択時の CFIFO ポートアクセス方向 0 : バッファメモリ読み出し選択 1 : バッファメモリ書き込み選択 選択パイプが DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。

ビット	ビット名	初期値	R/W	説 明
4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CURPIPE [3:0]	0000	R/W	CFIFO ポートアクセスパイプ指定 CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。 0000 : DCP 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

【注】 * 0 読み出しのみ有効です。

(2) D0FIFOSEL、D1FIFOSEL

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIG END	—	—	—	—	CURPIPE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W*	R/W	R/W	R	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RCNT	0	R/W	リードカウントモード DnFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。 0：DnFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面分の読み出し終了時) 1：DnFIFO 受信データ読み出しごとに DTLN ビットカウントダウン BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、本ビットに 0 を設定してください。
14	REW	0	R/W*	バッファポインタリワインド バッファポインタのリワインドをする／しないを指定します。 0：バッファポインタリワインドしない 1：バッファポインタリワインドする 選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます(ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。 REW=1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。 REW=1 の設定は、必ず FRDY=1 であることを確認してから行ってください。 送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。
13	DCLRM	0	R/W	選択パイプのデータ読み出し後の自動バッファメモリクリアモード 選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止／許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可 本ビットに 1 を設定した場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または BFRE=1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR=1 処理を本モジュールが行います。 BRDYM=1 に設定して本モジュールを使用するときには、必ず本ビットに 0 を設定してください。

ビット	ビット名	初期値	R/W	説 明
12	DREQE	0	R/W	DMA 転送要求許可 DMA 転送要求発行の禁止／許可を指定します。 0 : DMA 転送要求禁止 1 : DMA 転送要求許可 DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに 1 を設定してください。 CURPIPE ビット設定を変更するときには、本ビットに 0 を設定した後で変更を行ってください。
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	MBW	0	R/W	FIFO ポートアクセスビット幅 DnFIFO ポートアクセスビット幅を指定します。 0 : 8 ビット幅 1 : 16 ビット幅 選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。 また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。 指定パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。 16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。
9	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	BIGEND	0	R/W	FIFO ポートエンディアン制御 DnFIFO ポートのバイトエンディアンを指定します。 0 : リトルエンディアン 1 : ビッグエンディアン
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
3～0	CURPIPE [3:0]	0000	R/W	FIFO ポートアクセスパイプ指定 D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。 0000 : 指定なし 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

【注】 * 0 読み出しのみ有効です。

27.3.8 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

CFIFOCTR、D0FIFOCTR、D1FIFOCTR は、バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応しています。

本レジスタは、パワーオンリセットで初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W*2	R/W*1	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	BVAL	0	R/W*2	バッファメモリ有効フラグ CURPIPE に指定したパイプ（選択パイプ）の CPU 側の FIFO バッファの書き込み終了時に 1 を指定します。 0：無効 1：書き込み終了 選択パイプが送信方向のとき、以下の場合に本ビットに 1 を設定してください。 本モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。 • ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに 1 を設定 • Zero-Length パケットの送信を行いたいとき、FIFO バッファヘータを書き込む前に本ビットに 1 を設定 MaxPacketSize 分のデータを書き込むと、本モジュールが本ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。 選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。 本ビットへの 1 書き込みは、本モジュールが FRDY=1 を示しているときに実施してください。 選択パイプが受信方向のときには、本ビットへの 1 書き込みを行わないでください。

ビット	ビット名	初期値	R/W	説 明
14	BCLR	0	R/W*1	CPU バッファクリア 選択パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。 0 : 無効 1 : CPU 側バッファメモリクリア 選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能状態である場合でも、本モジュールは片面の FIFO バッファのみをクリアします。 選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR=1 設定により本モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で BCLR=1 を行ってください。 選択パイプが DCP 以外の場合、本ビットへの 1 書き込みは、本モジュールが FRDY=1 を示しているときに実施してください。
13	FRDY	0	R	FIFO ポートレディ FIFO ポートにアクセス可能かどうかが表示されます。 0 : FIFO ポートアクセス不可 1 : FIFO ポートアクセス可能 以下の場合には、本モジュールは FRDY=1 を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR=1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。 - 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケット受信した場合。 - BFRE=1 設定時に、ショートパケットを受信し、データ読み出しを完了した場合。
12~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
8～0	DTLN [8:0]	H'000	R	受信データ長 受信データ長が表示されます。 FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値により以下のように異なります。 • RCNT=0 設定時 : FIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。 BFRE=1 設定時には、読み出しが完了しても BCLR=1 を行うまでは本モジュールは受信データ長を保持します。 • RCNT=1 設定時 : 読み出しごとに本モジュールは DTLN ビットの表示をダウンカウントします。(MBW=0 設定時は-1、MBW=1 設定時は-2 ずつダウンカウント) 1 面分の FIFO バッファ読み出し完了時に、本モジュールは DTLN=0 を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

27.3.9 割り込み許可レジスタ 0 (INTENB0)

INTENB0 は、各割り込み許可の指定を行います。本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値（割り込み通知の禁止／許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	VBSE	0	R/W	VBUS 割り込み許可 VBINT 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可* RESM 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 SOFR 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
12	DVSE	0	R/W	デバイスステート遷移割り込み許可* DVST 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可* CTRT 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
10	BEMPE	0	R/W	バッファエンプティ割り込み許可 BEMP 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 NRDY 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 BRDY 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * RSME ビット、DVSE ビットおよび CTRE ビットは、ファンクションコントローラ機能選択時のみ設定ができます。
ホストコントローラ機能選択時は、許可を行わないでください。

27.3.10 割り込み許可レジスタ 1、2 (INTENB1、INTENB2)

INTENB1 は、ポート 0 側のホストコントローラ機能選択時の割り込み許可の設定を行います。INTENB2 は、ポート 1 側のホストコントローラ機能選択時の割り込み許可の設定を行います。また INTENB1 にはセットアップトランザクションの割り込みマスクレジスタの設定を行います。

本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値（割り込み通知の禁止／許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタおよび INTSTS2 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS1 レジスタおよび INTSTS2 レジスタのステータスビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

(1) INTENB1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOF ERRE	SIGNE	SACKE	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 BCHG 割り込み検出時の USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DTCHE	0	R/W	切断検出割り込み許可 DTCH 割り込み検出時の USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
11	ATT CHE	0	R/W	接続検出割り込み許可 ATT CHE 割り込み検出時の USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
10～7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6	EOFERRE	0	R/W	EOF エラー検出割り込み許可 EOFERR 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み許可 SIGN 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
4	SACKE	0	R/W	セットアップトランザクション正常応答割り込み許可 SACK 割り込み検出時、USB 割り込み要求の禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可
3～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 INTENB1 レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

(2) INTENB2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOF ERRE	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 BCHG 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	DTCHE	0	R/W	切断検出割り込み許可 DTCH 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	ATTCH	0	R/W	接続検出割り込み許可 ATTCH 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	EOFERRE	0	R/W	EOF エラー検出割り込み許可 EOFERR 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
5~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 INTENB2 レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

27.3.11 BRDY 割り込み許可レジスタ (BRDYENB)

BRDYENB は、各パイプの BRDY 割り込み検出時に、INTSTS0 レジスタの BRDY ビットを 1 に設定することを禁止するか/許可するかを指定します。

本レジスタに 1 を設定したパイプに対して、本モジュールが BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BRDY ビットに 1 を表示し、BRDY 割り込みを発生します。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDYE	0	R/W	パイプ 9 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BRDYE	0	R/W	パイプ 8 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BRDYE	0	R/W	パイプ 7 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	パイプ 6 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	パイプ 5 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	パイプ 4 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BRDYE	0	R/W	パイプ 3 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2BRDYE	0	R/W	パイプ 2 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BRDYE	0	R/W	パイプ 1 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BRDYE	0	R/W	パイプ 0 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

27.3.12 NRDY 割り込み許可レジスタ (NRDYENB)

NRDYENB は、各パイプの NRDY 割り込み検出時に INTSTS0 レジスタの NRDY ビットを 1 に設定することを禁止する／許可するかを指定します。

本レジスタに 1 を設定したパイプに対して、本モジュールが NRDY 割り込み要因を検出した場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの NRDY ビットに 1 を表示し、NRDY 割り込みを発生します。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは NRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDYE	0	R/W	パイプ 9 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8NRDYE	0	R/W	パイプ 8 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7NRDYE	0	R/W	パイプ 7 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	パイプ 6 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	パイプ 5 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	パイプ 4 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3NRDYE	0	R/W	パイプ 3 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2NRDYE	0	R/W	パイプ 2 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1NRDYE	0	R/W	パイプ 1 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0NRDYE	0	R/W	パイプ 0 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

27.3.13 BEMP 割り込み許可レジスタ (BEMPENB)

BEMPENB は、各パイプの BEMP 割り込み検出時に INTSTS0 レジスタの BEMP ビットを 1 に設定することを禁止する／許可するかを指定します。

本レジスタに 1 を設定したパイプに対して、本モジュールが BEMP 割り込み要因を検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BEMP ビットに 1 を表示し、BEMP 割り込みを発生します。

BEMPSTS レジスタの PIPEBEMP ビットの少なくともひとつのビットが 1 を示している状態で、本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BEMP 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMPE	0	R/W	パイプ 9 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
8	PIPE8BEMPE	0	R/W	パイプ 8 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
7	PIPE7BEMPE	0	R/W	パイプ 7 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
6	PIPE6BEMPE	0	R/W	パイプ 6 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
5	PIPE5BEMPE	0	R/W	パイプ 5 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
4	PIPE4BEMPE	0	R/W	パイプ 4 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BEMPE	0	R/W	パイプ 3 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2BEMPE	0	R/W	パイプ 2 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BEMPE	0	R/W	パイプ 1 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BEMPE	0	R/W	パイプ 0 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

27.3.14 SOF 出力コンフィグレーションレジスタ (SOFCFG)

SOFCFG は、BRDY 割り込みステータスクリアタイミングなどを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	BRDYM	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BRDYM	0	R/W	各パイプの BRDY 割り込みステータスクリアタイミング設定 各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。 本ビットの設定は、本モジュールの初期設定時（通信前）に行ってください。 通信後の設定変更は行わないでください。 0: 0 書き込みによりステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作により本モジュールがステータスをクリア
5~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.3.15 割り込みステータスレジスタ 0 (INTSTS0)

INTSTS0 は、各検出された割り込みのステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで DVSQ[2:0] ビットは初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値	0	0	0	0/1*1	0	0	0	0	0/1*3	0*2	0*2	0/1*2	0	0	0	0
R/W	R/W*7	R/W*7	R/W*7	R/W*7	R/W*7	R	R	R	R	R	R	R	R/W*7	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	VBINT	0	R/W*4	VBUS 割り込みステータス*5 0 : VBUS 割り込み非発生 1 : VBUS 割り込み発生 本モジュールが VBUS 端子入力値の変化(ハイレベルからローレベルへの変化あるいはローレベルからハイレベルへの変化)を検出したときに、本ビットに 1 を表示します。本モジュールは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、VBSTS ビット読み出しを数回行い一致することを確認することで、チャタリング除去を実施してください。
14	RESM	0	R/W*4	レジューム割り込みステータス*5*6 0 : レジューム割り込み非発生 1 : レジューム割り込み発生 ファンクションコントローラ機能設定時、本モジュールがサスペンド状態(DVSQ=1XX)であり、かつ、DP 端子の立ち下がりを検出したときに、本ビットに 1 を表示します。 ホストコントローラ機能選択時、読み出し値は無効です。
13	SOFR	0	R/W*4	フレーム番号更新割り込みステータス 0 : SOF 割り込み非発生 1 : SOF 割り込み発生 (1) ホストコントローラ機能設定時 UACT ビットを 1 に設定しているとき、フレームナンバーの更新タイミングで本ビットに 1 を表示します。(本割り込みは、1ms ごとに検出します。) (2) ファンクションコントローラ機能設定時 フレームナンバーの更新時に本モジュールは本ビットに 1 を表示します。(本割り込みは、1ms ごとに検出します。) USB ホストからの SOF パケットが破損したときでも、内部補間により、本モジュールは SOFR 割り込みを検出します。

ビット	ビット名	初期値	R/W	説 明
12	DVST	0/1*1	R/W*4	デバイスステート遷移割り込みステータス*6 0 : デバイスステート遷移割り込み非発生 1 : デバイスステート遷移割り込み発生 ファンクションコントローラ機能設定時、本モジュールがデバイスステートの变化を検出したときに、本モジュールは DVSQ の値を更新し、本ビットに 1 を表示します。 本割り込みが発生したときには、本モジュールが次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。 ホストコントローラ機能選択時、読み出し値は無効です。
11	CTRT	0	R/W*4	コントロール転送ステージ遷移割り込みステータス*6 0 : コントロール転送ステージ遷移割り込み非発生 1 : コントロール転送ステージ遷移割り込み発生 ファンクションコントローラ機能設定時、本モジュールがコントロール転送のステージ遷移を検出したときに、本モジュールは CTSQ の値を更新し、本ビットに 1 を表示します。 本割り込みが発生したときには、本モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。 ホストコントローラ機能選択時、読み出し値は無効です。
10	BEMP	0	R	バッファエンプティ割り込みステータス 0 : BEMP 割り込み非発生 1 : BEMP 割り込み発生 BEMPENB レジスタの PIPEBEMPE ビットに 1 を設定したパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが 1 の状態になったとき (BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BEMP 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。 PIPEBEMP ステータスのアサート条件は、「27.4.2 (3) BEMP 割り込み」を参照ください。 PIPEBEMPE ビットで許可を設定しているパイプに対応する PIPEBEMP ビットすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。 本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。

ビット	ビット名	初期値	R/W	説 明
9	NRDY	0	R	バッファノットレディ割り込みステータス 0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生 NRDYENB レジスタの PIPENRDYE ビットに 1 を設定したパイプに対応する NRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが 1 の状態になったとき (NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが NRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。 PIPENRDY ステータスのアサート条件は、「27.4.2 (2) NRDY 割り込み」を参照ください。 PIPENRDYE ビットで許可を設定しているパイプに対応する PIPENRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。 本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。
8	BRDY	0	R	バッファレディ割り込みステータス BRDY 割り込みステータスが表示されます。 0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生 BRDYENB レジスタの PIPEBRDYE ビットに 1 を設定したパイプに対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが 1 の状態になったとき (BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。 PIPEBRDY ステータスのアサート条件は、「27.4.2 (1) BRDY 割り込み」を参照ください。 PIPEBRDYE ビットで許可を設定しているパイプに対応する PIPEBRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。 本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。
7	VBSTS	0/1* ³	R	VBUS 入力ステータス 0 : VBUS 端子がローレベル 1 : VBUS 端子がハイレベル

ビット	ビット名	初期値	R/W	説 明
6～4	DVSQ[2:0]	000/001*2	R	デバイスステート 000 : パワーステート 001 : デフォルトステート 010 : アドレスステート 011 : コンフィギュレーションステート 1xx : サスペンドステート ホストコントローラ機能選択時、読み出し値は無効です。
3	VALID	0	R/W*4	USB リクエスト受信 0 : 未検出 1 : セットアップパケット受信 ホストコントローラ機能選択時、読み出し値は無効です。
2～0	CTSQ[2:0]	000	R	コントロール転送ステージ 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : 設定禁止 ホストコントローラ機能選択時、読み出し値は無効です。

【注】 *1 パワーオンリセットのとき B'0、USB バスリセットのとき B'1 です。

*2 パワーオンリセットのとき B'000、USB バスリセットのとき B'001 です。

*3 VBUS 端子がハイレベルのとき 1、ローレベルのとき 0 です。

*4 VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、CTRT ビット、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 の書き込みを行わないでください。

*5 本モジュールは、VBINT ビット、RESM ビットが示すステータス変化をクロック停止中 (SCKE=0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。

*6 RESM ビット、DVST ビット、CTRT ビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを禁止 (0) にしてください。

27.3.16 割り込みステータスレジスタ 1、2 (INTSTS1、INTSTS2)

INTSTS1 は、ポート 0 側のホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。INTSTS2 は、ポート 1 側のホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。なお、INTSTS1 の SIGN 割り込みおよび SACK 割り込みは、ポート 0 側・ポート 1 側共通の割り込みステータスです。

本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

本レジスタは、パワーオンリセットで初期化されます。

(1) INTSTS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	SIGN	SACK	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W*	R	R/W*	R/W*	R	R	R	R	R/W*	R/W*	R/W*	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHG	0	R/W*	USB バス変化割り込みステータス USB バス変化割り込みステータスが表示されます。 0 : BCHG 割り込み非発生 1 : BCHG 割り込み発生 USB ポートでフルスピード/ローススピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、本モジュールは BCHG 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生を発生させます。 USB ポートの現在の入力状態を、SYSSTS0 レジスタの LNST ビットに表示します。BCHG 端子割り込み発生時は、LNST ビット読み出しを数回行い、一致を確認することで、チャタリング除去を実施してください。 USB バス変化は、内部クロック停止状態でも検出します。 ファンクションコントローラ機能選択時、読み出し値は無効です。
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
12	DTCH	0	R/W*1	USB 切断検出割り込みステータス ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。 0 : DTCH 割り込み非発生 1 : DTCH 割り込み発生 USB バスディスコネクト検出時に、本モジュールは DTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生します。 本モジュールは、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。 本モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。 (1) DTCH 割り込みを検出したポートの UACT ビットを 0 に変更し表示。 (2) DTCH 割り込みを検出したポートをアイドル状態に遷移させる。 ファンクションコントロール機能選択時、読み出し値は無効です。
11	ATTCH	0	R/W*1	ATTCH 割り込みステータス ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。 0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生 本モジュールがフルスピード／ロースピード信号レベルの J-State または K-State を 2.5 μs 間発生したとき、本モジュールは ATTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生をします。 本モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。 • K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき • J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき ファンクションコントロール機能選択時、読み出し値は無効です。
10～7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6	EOFERR	0	R/W*1	EOF エラー検出割り込みステータス ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。 0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生 USB 2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを本モジュールが検出したときに、本モジュールは EOFERR 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは EOFERR 割り込みを発生します。 本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。 (1) EOFERR 割り込みを検出したポートの UACT ビットを 0 に変更し表示。 (2) EOFERR 割り込みを検出したポートをアイドル状態に遷移させる。 ファンクションコントローラ機能選択時、読み出し値は無効です。
5	SIGN	0	R/W*1	セットアップトランザクションエラー割り込みステータス ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。 0 : SIGN 割り込み非発生 1 : SIGN 割り込み発生 本モジュールが発行したセットアップトランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、本モジュールは SIGN 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SIGN 割り込み発生をします。 本モジュールの SIGN 割り込み検出条件は、具体的には 3 回の連続したセットアップトランザクションに対して、以下のいずれかの応答が発生したときです。 • 周辺デバイスが何も応答しない状態で本モジュールがタイムアウトを検出したとき • ACK パケットが破損したとき • ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき ファンクションコントローラ機能選択時、読み出し値は無効です。

ビット	ビット名	初期値	R/W	説 明
4	SACK	0	R/W*1	セットアップトランザクション正常応答割り込みステータス ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。 0 : SACK 割り込み非発生 1 : SACK 割り込み発生 本モジュールが発行したセットアップトランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、本モジュールは SACK 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SACK 割り込みを発生します。ファンクションコントローラ機能選択時、読み出し値は無効です。
3～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

*2 本モジュールは BCHG ビットが示すステータス変化をクロック停止中（SCKE=0）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。BCHG ビット以外の割り込みは、クロック停止中（SCKE=0）は検出しません。

(2) INTSTS2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W*	R	R/W*	R/W*	R	R	R	R	R/W*	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	BCHG	0	R/W* ¹	USB バス変化割り込みステータス* ² USB バス変化割り込みステータスが表示されます。 0: BCHG 割り込み非発生 1: BCHG 割り込み発生 USB ポートでフルスピード/ローススピード信号レベルでの状態変化が発生した(J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、本モジュールは BCHG 割り込みを検出し、本ビットに1を表示します。このとき、該当する割り込み許可ビットに1を設定していれば、本モジュールは割り込み発生を発生させます。 USB ポートの現在の入力状態を、SYSSTS1 レジスタの LNST ビットに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST ビット読み出しの数度一致を行い、チャタリング除去を実施してください。 USB バス変化は、内部クロック停止状態でも検出します。 ファンクションコントローラ機能選択時、読み出し値は無効です。
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
12	DTCH	0	R/W*1	USB 切断検出割り込みステータス ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。 0 : DTCH 割り込み非発生 1 : DTCH 割り込み発生 USB バスディスコネクト検出時に、本モジュールは DTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生します。 本モジュールは、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。 本モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。 • DTCH 割り込みを検出したポートの UACT ビットを 0 に変更し表示。 • DTCH 割り込みが発生したポートをアイドル状態に遷移させる。 ファンクションコントローラ機能選択時、読み出し値は無効です。
11	ATTCH	0	R/W*1	ATTCH 割り込みステータス ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。 0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生 本モジュールがポートにフルスピード／ ローススピード信号レベルの J-State または K-State を 2.5 μs 間検出したとき、本モジュールは ATTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生をします。 本モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。 • K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき • J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき ファンクションコントローラ機能選択時、読み出し値は無効です。
10～7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6	EOFERR	0	R/W*1	EOF エラー検出割り込みステータス ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。 0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生 USB 2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを本モジュールが検出したときに、本モジュールは EOFERR 割り込みを検出し、本ビットに 1 を表示します。このとき、該当する割り込み許可ビットに 1 を設定していれば、本モジュールは EOFERR 割り込みを発生します。本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。 • EOFERR 割り込みを検出したポートの UACT ビットを 0 に変更し表示 • EOFERR 割り込みが発生したポートをアイドル状態に遷移させる。 ファンクションコントローラ機能選択時、読み出し値は無効です。
5～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

*2 本モジュールは BCHG ビットが示すステータス変化をクロック停止中（SCKE=0）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

BCHG ビット以外の割り込みは、クロック停止中（SCKE=0）は検出しません。

27.3.17 BRDY 割り込みステータスレジスタ (BRDYSTS)

BRDYSTS は、各パイプの BRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説 明
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDY	0	R/W*1	パイプ 9 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
8	PIPE8BRDY	0	R/W*1	パイプ 8 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
7	PIPE7BRDY	0	R/W*1	パイプ 7 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
6	PIPE6BRDY	0	R/W*1	パイプ 6 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
5	PIPE5BRDY	0	R/W*1	パイプ 5 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
4	PIPE4BRDY	0	R/W*1	パイプ 4 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
3	PIPE3BRDY	0	R/W*1	パイプ 3 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
2	PIPE2BRDY	0	R/W*1	パイプ 2 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生
1	PIPE1BRDY	0	R/W*1	パイプ 1 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BRDY	0	R/W*1	パイプ 0 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生

【注】 *1 BRDYM=0 設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

*2 BRDYM=0 設定の場合、本割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

27.3.18 NRDY 割り込みステータスレジスタ (NRDYSTS)

NRDYSTS は、各パイプの NRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDY	0	R/W*	パイプ 9 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8NRDY	0	R/W*	パイプ 8 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7NRDY	0	R/W*	パイプ 7 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*	パイプ 6 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*	パイプ 5 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*	パイプ 4 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*	パイプ 3 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*	パイプ 2 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*	パイプ 1 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0NRDY	0	R/W*	パイプ 0 の NRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

27.3.19 BEMP 割り込みステータスレジスタ (BEMPSTS)

BEMPSTS は、各パイプの BEMP 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMP	0	R/W*	パイプ 9 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
8	PIPE8BEMP	0	R/W*	パイプ 8 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
7	PIPE7BEMP	0	R/W*	パイプ 7 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
6	PIPE6BEMP	0	R/W*	パイプ 6 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
5	PIPE5BEMP	0	R/W*	パイプ 5 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
4	PIPE4BEMP	0	R/W*	パイプ 4 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
3	PIPE3BEMP	0	R/W*	パイプ 3 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
2	PIPE2BEMP	0	R/W*	パイプ 2 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生
1	PIPE1BEMP	0	R/W*	パイプ 1 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BEMP	0	R/W*	パイプ 0 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

27.3.20 フレームナンバーレジスタ (FRMNUM)

FRMNUM は、アイソクロナスエラー通知の要因判別およびフレーム番号等の表示をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	OVRN	0	R/W*	オーバラン／アンダラン検出ステータス アイソクロナス転送を行っているパイプに対するオーバラン／アンダランエラー検出の有無が表示されます。 0：エラーなし 1：エラー発生 本ビットに0を書き込むことにより、本ビットを0にクリアすることができます。 (1) ホストコントローラ機能選択時 以下のいずれかの場合に、本モジュールが本ビットに1を表示します。 - 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき - 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき (2) ファンクションコントローラ機能選択時 以下のいずれかの場合に、本モジュールが本ビットに1を表示します。 - 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき - 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき 【注】 本ビットはデバッグ用です。システムとしてオーバラン／アンダランが発生しないよう設計してください。

ビット	ビット名	初期値	R/W	説 明
14	CRCE	0	R/W*	受信データエラー アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。 0 : エラーなし 1 : エラー発生 本ビットに0を書き込むことにより本ビットを0にクリアすることができます。 このとき本レジスタの他のビットには1を書き込んでください。 (1) ホストコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。 (2) ファンクションコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させません。
13~11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	FRNM [10:0]	H'000	R	フレーム番号 本モジュールは、1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に本ビットを書き換え、最新のフレーム番号を表示します。 本ビットを読み出すときは、2 回読み出し、一致することを確認してください。

【注】 * 0 書き込みのみ有効です。

27.3.21 USB アドレスレジスタ (USBADDR)

USBADDR は、USB アドレスを表示します。

本レジスタは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時の周辺デバイスアドレスの設定は、PIPEMAXP レジスタの DEVSEL ビットを使用してください。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	USBADDR[6:0]	H'00	R	USB アドレス ファンクションコントローラ機能選択時に、SET_ADRESS リクエストを正常に処理したときに、ホストから割り付けられた USB アドレスを表示します。 本モジュールが USB バスリセットを検出したとき、本ビットに H'00 を表示します。 ホストコントローラ機能選択時、本ビットは無効です。

27.3.22 USB リクエストタイプレジスタ (USBREQ)

USBREQ は、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ は、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

本レジスタは、パワーオンリセットおよび USB パスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納します。 (1) ホストコントローラ機能選択時 送信するセットアップトランザクションの USB リクエストデータ値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 セットアップトランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。
7~0	BMREQUEST TYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納します。 (1) ホストコントローラ機能選択時 送信するセットアップトランザクションの USB リクエストデータ値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 セットアップトランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し／書き込み可能です。

27.3.23 USB リクエストバリュeregスタ (USBVAL)

USBVAL は、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WVALUE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュー USB リクエスト wValue の値を格納します。 (1) ホストコントローラ機能を選択時 送信するセットアップトランザクションの USB リクエスト wValue の値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 セットアップトランザクションで受信した USB リクエスト wValue の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

27.3.24 USB リクエストインデックスレジスタ (USBINDEX)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDEX は、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト wIndex の値を格納します。 (1) ホストコントローラ機能を選択時 送信するセットアップトランザクションの USB リクエスト wIndex の値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 セットアップトランザクションで受信した USB リクエスト windex の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し／書き込み可能です。

27.3.25 USB リクエストレンゲスレジスタ (USBLENG)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG は、ファンクションコントローラ機能選択時、受信した **wLength** の値が格納されます。ホストコントローラ機能選択時、送信する **wLength** の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
15~0	WLENGTH[15:0]	H'0000	R/W*	レンジ USB リクエスト wLength の値を格納します。 (1) ホストコントローラ機能を選択時 送信するセットアップトランザクションの USB リクエスト wLength の値を設定してください。SUREQ=1 の状態でビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 セットアップトランザクションで受信した USB リクエスト wLength の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し／書き込み可能です。

27.3.26 DCP コンフィギュレーションレジスタ (DCPCFG)

DCPCFG は、デフォルトコントロールパイプ (DCP) に対して、データの転送方向を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SHT NAK	—	—	DIR	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止* コントロール転送が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 本ビットは、受信方向である場合に有効なビットです。 本ビットに 1 を設定している場合、本モジュールは、トランスファの終了を判定したときに DCP の PID ビットを NAK に変更します。本モジュールは、以下条件が満たされたときにトランスファ終了と判定します。 • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DIR	0	R/W	転送方向 ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。 0: データ受信方向 1: データ送信方向 ファンクションコントローラ機能選択時には、本ビットへは 0 を設定してください。
3～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 設定の変更は、PID=NAK の状態のときに実施してください。DCP の PID ビットを BUF から NAK へ変更してから設定変更する場合には、PBUSY=0 を確認してから変更してください。ただし本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

27.3.27 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCPMAXP は、DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
15～12	DEVSEL[3:0]	0000	R/W	デバイス選択 ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。 0000 : アドレス 0000 0001 : アドレス 0001 0010 : アドレス 0010 0011 : アドレス 0011 0100 : アドレス 0100 0101 : アドレス 0101 上記以外 : 設定禁止 本ビットの設定値に対応する DEVADDn レジスタの設定を行ったあとで、本ビットを設定してください。 例えば、DEVSEL=0010 を設定する場合、DEVADD2 レジスタの設定を行ってください。 本ビットの設定は、PID=NAK および SUREQ=0 の期間に実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 ファンクションコントローラ機能選択時は、本ビットの値を B'0000 に設定してください。
11～7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6～0	MXPS[6:0]	H'40	R/W	マックスパケットサイズ DCP の最大データペイロード（マックスパケットサイズ）を本ビットに設定してください。 初期値は、H'40（64 バイト）です。 MXPS ビットの設定は、USB 規格に準拠した値を設定してください。 MXPS ビットの設定は、PID=NAK の状態のときに実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。

27.3.28 DCP コントロールレジスタ (DCPCTR)

DCPCTR は、DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで CCPL、PID[2:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R/W*2	R	R	R/W*1	R	R	R/W*1	R/W*1	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSTS	0	R	バッファステータス DCP FIFO バッファへのアクセス可否ステータスが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 本ビットの意味は、ISEL ビットの設定値により以下のように異なります。 • ISEL=0 のとき、受信データの読み出しが可能かどうかを表示します。 • ISEL=1 のとき、送信データの書き込みが可能かどうかを表示します。
14	SUREQ	0	R/W*2	セットアップトークン送出 ホストコントローラ機能選択時、本ビットを 1 にセットすることにより、セットアップパケットを送信します。 0: 無効 1: セットアップパケット送出 セットアップトランザクション処理終了後、本モジュールは SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、本ビットを 0 にクリアします。 また、SUREQCLR ビットを 1 にセットすることにより、本モジュールは本ビットを 0 にクリアします。 DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタにセットアップトランザクションで送信したい USB リクエストを設定した後で、本ビットに 1 を設定してください。SUREQ=1 を設定する前に、DCP の PID ビットを NAK に設定していることを確認してください。また、本ビットへの 1 設定後、セットアップトランザクションが終了するまで (SUREQ=1) の期間は DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。 セットアップトークンを出すときのみ本ビットを 1 にセットしてください。その他のときには、必ず 0 を書き込んでください。 ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説 明
13、12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	SUREQCLR	0	R/W*1	SUREQ ビットクリア ホストコントローラ機能選択時に、本ビットを 1 にすることにより SUREQ ビットを 0 にクリアすることができます。 0 : 無効 1 : SUREQ ビットの 0 クリア実行 本ビットは常に 0 を表示します。 セットアップトランザクションにおいて、SUREQ=1 のまま通信が停止したときに、本ビットに 1 を設定してください。正常なセットアップトランザクションでは、トランザクション終了時に本モジュールが自動的に SUREQ ビットを 0 にクリアしますので、クリア処理は不要です。 本ビットによる SUREQ ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。
10、9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SQCLR	0	R/W*1	トグルビットクリア DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定する事ができます。 0 : 無効 1 : DATA0 指定 本ビットは常に 0 を表示します。 SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。 本ビットへの 1 設定は、PID=NAK の状態のときに実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
7	SQSET	0	R/W*1	トグルビットセット DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。 0 : 無効 1 : DATA1 指定 SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。 本ビットへの 1 設定は、PID=NAK の状態のときに実施してください。 DCP の PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
6	SQMON	1	R	シーケンストグルビットモニタ DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。 0 : DATA0 1 : DATA1 トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。 ファンクションコントローラ機能選択時、セットアップパケット正常受信時に、本モジュールは本ビットを 1 にセット（期待値を DATA1 に設定）します。 また、ファンクションコントローラ機能選択時、本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。
5	PBUSY	0	R	パイプビジー 当該パイプを現在トランザクションで使用中かどうかが表示されます。 0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用 本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「27.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。
4、3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2	CCPL	0	R/W*1	コントロール転送終了許可 ファンクションコントローラ機能選択時に、本ビットを 1 にすることによりコントロール転送のステータスステージの終了許可を設定します。 0 : 無効 1 : コントロール転送終了許可 対応する PID ビットが BUF のとき、本ビットに 1 を設定すると、本モジュールはコントロール転送のステージを完了させます。 すなわち、コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本モジュールはセットアップステージからステータスステージ完了まで自動応答を行います。 新たなセットアップパケットを受信したときに、本モジュールは本ビットを 1 から 0 に変更します。 VALID=1 のとき、本ビットへの 1 書き込みを行うことが出来ません。 ホストコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。
1、0	PID[1:0]	00	R/W	応答 PID 本ビットでコントロール転送における本モジュールの応答を制御します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答 (1) ホストコントローラ機能選択時 以下の手順で本ビットを NAK から BUF に変更してください。 • 送信方向設定時 UACT=1 かつ PID=NAK の状態で FIFO バッファに送信データを書き込み完了し、PID=BUF を書き込んでください。PID=BUF の書き込み後、本モジュールは OUT トランザクションを実行します。 • 受信方向設定時 UACT=1 かつ PID=NAK の状態で FIFO バッファが空の状態であることを確認し (空の状態にし)、PID=BUF を書き込んでください。PID=BUF の書き込み後、本モジュールは IN トランザクションを実行します。

ビット	ビット名	初期値	R/W	説 明
1, 0	PID[1:0]	00	R/W	以下の場合には本モジュールが本ビットの値を変更します。 • 本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID=STALL (11) を表示します。 • CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID=NAK を表示します。 • STALL ハンドシェイクを受信した場合、本モジュールは PID=STALL (11) を表示します。 (2) ファンクションコントローラ機能選択時 以下の場合には本モジュールが本ビットの値を変更します。 • 本モジュールがセットアップパケットを受信したときに、本モジュールは本ビットを PID=NAK に変更します。このとき、本モジュールは VALID=1 を表示し、VALID=0 を設定するまでは本ビットの変更を行うことはできません。 • 本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID=STALL (11) を表示します。 • 本モジュールがコントロール転送シーケンスエラーを検出した場合、PID=STALL (1x) を表示します。 • 本モジュールが USB パスリセットを検出した場合、PID=NAK を表示します。 SET_ADDRESS リクエスト処理 (自動処理) 時には、本モジュールは本ビットの設定値を参照しません。

【注】 *1 読み出すと常に 0 が読み出されます。書き込みは 1 のみ有効です。

*2 書き込みは 1 のみ有効です。

27.3.29 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ 1～9 の設定は、PIPESEL、PIPECFG、PEPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを選択した後、PIPECFG、PEPEMAXP および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。このとき、選択されているパイプでなくすべてのパイプのレジスタが初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3～0	PIPESEL [3:0]	0000	R/W	パイプウィンドウ選択 書き込み／読み出しをの対象とする PIPECFG レジスタ、PIPEBUF レジスタ、PEPEMAXP レジスタ、PIPEPERI レジスタに対応するパイプ番号を指定します。 0000 : 未選択 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットで指定したパイプ番号に対応する PIPECFG、PEPEMAXP、PIPEPERI レジスタの読み出し／書き込みができます。 本ビットに 0000 を設定すると、PIPECFG、PEPEMAXP、PIPEPERI レジスタ、および PIPEnCTR レジスタの各ビットはすべて 0 を示します。このとき、上記レジスタへの書き込みは無効です。

27.3.30 パイプコンフィギュレーションレジスタ (PIPECFG)

パイプ 1～9 に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]	—	—	—	BFRE	DBLB	—	SHT NAK	—	—	DIR	EPNUM[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	TYPE[1:0]	00	R/W	転送タイプ PIPESEL ビットに指定したパイプ（選択パイプ）の転送タイプを指定します。 - パイプ 1、2 の場合 00 : パイプ使用不可 01 : バルク転送 10 : 設定禁止 11 : アイソクロナス転送 - パイプ 3～5 の場合 00 : パイプ使用不可 01 : バルク転送 10 : 設定禁止 11 : 設定禁止 - パイプ 6～9 の場合 00 : パイプ使用不可 01 : 設定禁止 10 : インタラプト転送 11 : 設定禁止 選択パイプを PID=BUF に設定する（選択したパイプを使用した USB 通信を開始する）前に、必ず本ビットを 00 以外の値に設定してください。 本ビットの変更は、選択パイプの PID ビットが NAK 状態のときに行ってください。選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
13～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10	BFRE	0	R/W	BRDY 割り込み動作指定 本モジュールから CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。 0 : データ送受信で BRDY 割り込み 1 : データ読み出し完了時に BRDY 割り込み 本ビットはパイプ 1~5 選択時に有効です。 本ビットに 1 を設定し、かつ選択パイプを受信方向で使用している場合、本モジュールは、トランスファの終了を検出し、そのバケットを読み出し終えたときに BRDY 割り込みを発行します。 この設定で BRDY 割り込みが発生したときには、BCLR=1 の書き込み処理を行う必要があります。BCLR=1 を行うまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。 本ビットに 1 を設定し、かつ、選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。 詳細は、「27.4.2 (1) BRDY 割り込み」を参照してください。 本ビットの変更は、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 2 つのレジスタの状態に加え、ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。 ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
9	DBLB	0	R/W	ダブルバッファモード 選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。 0: シングルバッファ 1: ダブルバッファ 本ビットはパイプ 1～5 選択時に有効です。 本ビットの変更は、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 2 つのレジスタの状態に加え、ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止 選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 本ビットは、選択パイプがパイプ 1～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。 受信方向パイプに対して本ビットに 1 を設定している場合、本モジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PID ビットを NAK に変更します。本モジュールは、以下条件が満たされたときにトランスファ終了と判定します。 • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。 • トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。 本ビットの変更は、PID=NAK の状態のときに実施してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
4	DIR	0	R/W	転送方向 選択パイプの転送方向を指定します。 0 : 受信方向 1 : 送信方向 本ビットに 0 を設定している場合、本モジュールは選択パイプを受信方向に、本ビットに 1 を設定している場合、本モジュールは選択パイプを送信方向に使用します。 本ビットの変更は、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 2 つのレジスタの状態に加え、ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。 ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
3~0	EPNUM[3:0]	0000	R/W	エンドポイント番号 選択パイプのエンドポイント番号を指定します。 0000 の設定は、未使用パイプを意味します。 本ビットの変更は、PID=NAK の状態のときに実施してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。 ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。（EPNUM=0000 の設定は重複可能です。）

27.3.31 パイプマックスパケットサイズレジスタ (PIPEMAXP)

PIPEMAXP は、パイプ 1～9 に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	—	—	MXPS[8:0]								
初期値:	0	0	0	0	0	0	0	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1
R/W:	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～12	DEVSEL[3:0]	0000	R/W	デバイス選択 ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。 0000 : アドレス 0000 0001 : アドレス 0001 0010 : アドレス 0010 0011 : アドレス 0011 0100 : アドレス 0100 0101 : アドレス 0101 上記以外 : 設定禁止 本ビットの設定値に対応する DEVADDn (n=0～5) レジスタの設定を行ったあとで、本ビットを設定してください。 例えば、DEVSEL=0010 を設定する場合、DEVADD2 アドレスの設定を行ってください。 本ビットの設定を、PID を BUF から NAK へ変更した後で変更する場合は、選択パイプの PBUSY=0 を確認してから行ってください。本モジュールにより PID が NAK に変更された場合には、PBUSY ビットの確認は必要ありません ファンクションコントローラ機能を選択したときは、本ビットの値を B'0000 に設定してください。
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
8～0	MXPS[8:0]	*	R/W	マックスパケットサイズ 選択パイプの最大データペイロード（マックスパケットサイズ）を指定します。パイプごとに設定可能な値の範囲を以下に示します。 パイプ 1、2 : 1 バイト (H'001) ～256 バイト (H'100) パイプ 3～5: 8 バイト (H'008)、16 バイト (H'010)、32 バイト (H'020)、64 バイト (H'040) ([8:7]ビットおよび[2:0]のビットはありません。) パイプ 6～9 : 1 バイト (H'001) ～64 バイト (H'040) ([8:7]ビットのビットはありません。) MXPS ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。 本ビットの変更は、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。 ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。

【注】 * PIPESEL レジスタの PIPESEL ビットでパイプを選択していないとき H'000、選択しているとき H'040 です。

27.3.32 パイプ周期制御レジスタ (PIPEPERI)

パイプ 1～9 に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	—	IITV[2:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ PIPESEL ビットに指定したパイプ（選択パイプ）がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。 0：バッファフラッシュしない 1：バッファフラッシュする ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV ビットに設定したインターバルごとのフレーム中に USB ホストから IN トークンを本モジュールが受信しなかった場合に、本モジュールが自動的に FIFO バッファをクリアする機能です。 ダブルバッファ設定時（DBLB=1 設定時）は、本モジュールがクリアするのは古い方の 1 面分データのみです。 FIFO バッファクリアのタイミングは、IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。 ホストコントローラ機能選択時には、本ビットへは 0 を設定してください。 選択パイプの転送タイプがアイソクロナス以外の場合は、本ビットへは 0 を設定してください。
11～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2～0	IITV[2:0]	000	R/W	インターバルエラー検出間隔 選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。 詳細機能は、後述のようにホストコントローラ機能選択時とファンクションコントローラ機能選択時で異なります。 本ビットの設定は、PID=NAK および CURPIPE ビットにパイプが未設定時に実施してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID=NAK 設定後 ACLRM=1 をセットし、インターバルタイマの初期化を行ってください。 パイプ 3～5 に対しては、本ビットは存在しません。パイプ 3～5 に対応する本ビットの位置には 000 を設定してください。

27.3.33 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~9)

パイプ 1~9 に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで PID[1:0] ビットは初期化されます。

(1) PIPEnCTR (n=1~5)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	—	—	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSTS	0	R	バッファステータス 当該パイプの FIFO バッファステータスが表示されます。 0 : CPU からのバッファアクセス不可 1 : CPU からのバッファアクセス可 本ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 27.8 に示すように異なります。
14	INBUFM	0	R	送信バッファモニタ 当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。 0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり 当該パイプを送信方向 (DIR=1) に設定している場合に、少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本モジュールは本ビットに 1 を表示します。 書き込みが完了している面の FIFO バッファ上のデータを本モジュールがすべて送信完了したときに、本モジュールは本ビットに 0 を表示します。 ダブルバッファ使用時 (DBLB=1 設定時) には、本モジュールが 2 面分のデータを送信完了し、かつ 1 面分のデータ書き込みを完了していないときに、本ビットに 0 を表示します。 当該パイプを受信方向 (DIR=0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。
13~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10	ATREPM	0	R/W	自動応答モード 当該パイプの自動応答禁止/許可を指定します。 0 : 自動応答禁止 1 : 自動応答許可 ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、本ビットへの 1 設定が可能です。 本ビットに 1 を設定した場合、USB ホストからのトークンに対し本モジュールは以下のように応答します。 (1) 当該パイプがバルクイン転送 (TYPE=01 かつ DIR=1 を設定) の場合 ATREPM=1 かつ PID=BUF を設定している場合、IN トークンに対して本モジュールは Zero-Length パケットを送信します。 USB ホストからの ACK 受信の度に (1 トランザクションは IN トークン受信→Zero Length パケット送信→ACK 受信)、本モジュールはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。 BRDY 割り込み、BEMP 割り込みは発生させません。 (2) 当該パイプがバルクアウト転送 (TYPE=01 かつ DIR=0 を設定) の場合 ATREPM=1 かつ PID=BUF を設定している場合、OUT トークン (または PING トークン) に対して本モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。 本ビットの変更は、PID=NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。 本ビットを 1 に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態を設定を行ってください。本ビットを 1 に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。 当該パイプの転送タイプがアイソクロナス転送の場合、本ビットには必ず 0 を設定してください。 ホストコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説 明
9	ACLRM	0	R/W	自動バッファクリアモード 当該パイプの自動バッファクリアモードの禁止／許可を指定します。 0：禁止 1：許可（全バッファ初期化） 当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。 本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 27.9（1）に示します。また、この処理が必要なケースを表 27.9（2）に示します。 本ビットの変更は、PID=NAK および当該パイプを CURPIPE ビットに未設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
8	SQCLR	0	R/W*1	トグルビットクリア 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。 0：無効 1：DATA0 指定 本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。 SQCLR ビットへの 1 設定は、PID=NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
7	SQSET	0	R/W*1	トグルビットセット 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。 0：無効 1：DATA1 指定 本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。 SQSET ビットへの 1 設定は、PID=NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
6	SQMON	0	R	トグルビット確認 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0 : DATA0 1 : DATA1 当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。
5	PBUSY	0	R	パイプビジー 当該パイプを現在トランザクションで使用中かどうかが表示されます。 0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用 本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「27.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。
4~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	PID[1:0]	00	R/W	応答 PID 当該パイプの次回トランザクションにおける応答方法を指定します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答 本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 27.10 および表 27.11 のとおりです。 当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に移移したことを確認するために PBUSY=0 であることを確認してください。 以下の場合には本モジュールが本ビットの値を変更します。 • 当該パイプが受信方向の場合、かつ選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID=NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID=STALL (11) を表示します。 • ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、本モジュールは PID=NAK を表示します。 • ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID=NAK を表示します。 • ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID=STALL (11) を表示します。 本ビットの設定は以下の手順で行ってください。 • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

表 27.8 BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了した後で BCLR=1 を書き込んだときに 0 を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに 1 を表示し、データの書き込みが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表 27.9 (1) ACLRM=1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容
1	当該パイプに割り付けた FIFO バッファのすべての内容(ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値

表 27.9 (2) ACLRM=1 設定が必要なケース

番号	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容をクリアしたい場合
2	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットの設定値変更時
4	DBLB ビットの設定値変更時
5	トランザクションカウント機能の強制終了実行時

表 27.10 PID ビットによる本モジュールの動作一覧（ホストコントローラ機能選択時）

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
01 (BUF)	バルク または インタラプト	設定値に依存しない	UACT=1 が設定されて、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する UACT=0 が設定される、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する
10 (STALL) または 11 (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 27.11 PID ビットによる本モジュールの動作一覧（ファンクションコントローラ機能選択時）

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う。
		アイソクロナス	受信方向 (DIR=0) USB ホストからのトークン無応答を行う。
		送信方向 (DIR=1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。
01 (BUF)	バルク	受信方向 (DIR=0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う。 USB ホストからの PING トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならば ACK 応答を行う。受信可能な状態でなければ NYET 応答を行う
	インタラプト	受信方向 (DIR=0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う
	バルクまたは インタラプト	送信方向 (DIR=1)	対応する FIFO バッファが送信可能な状態ならば USB ホストからのトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う
	アイソクロナス	受信方向 (DIR=0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
		送信方向 (DIR=1)	対応する FIFO バッファが送信可能な状態ならば USB ホストからのトークンに対しデータを送信する。送信可能でなければ Zero-Length パケットを送信する
10 (STALL) または	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う
11 (STALL)	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う

(2) PIPEnCTR (n=6~9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSTS	0	R	バッファステータス 当該パイプの FIFO バッファステータスが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 本ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 27.8 に示すように異なります。
14~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ACLRM	0	R/W	自動バッファクリアモード 当該パイプの自動バッファクリアモードの禁止/許可を指定します。 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可 (全バッファ初期化) 当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。 本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 27.12 (1) に示します。また、この処理が必要なケースを表 27.12 (2) に示します。 本ビットの変更は、PID=NAK および当該パイプを CURPIPE ビットに未設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
8	SQCLR	0	R/W*1	トグルビットクリア 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。 0 : 無効 1 : DATA0 指定 本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。 SQCLR ビットへの 1 設定は、PID=NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
7	SQSET	0	R/W*1	トグルビットセット 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。 0 : 無効 1 : DATA1 指定 本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。 SQSET ビットへの 1 設定は、PID=NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
6	SQMON	0	R	トグルビット確認 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0 : DATA0 1 : DATA1 当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

ビット	ビット名	初期値	R/W	説 明
5	PBUSY	0	R	パイプビジー 当該パイプを現在トランザクションで使用かどうかが表示されます。 0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用 本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。
4~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	PID[1:0]	00	R/W	応答 PID 当該パイプの次回トランザクションにおける応答方法を指定します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答 本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 27.10 および表 27.11 のとおりです。 当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=0 であることを確認してください。 以下の場合には本モジュールが本ビットの値を変更します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID=STALL (11) を表示します。 • ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、本モジュールは PID=NAK を表示します。 • ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID=NAK を表示します。 • ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID=STALL (11) を表示します。 本ビットの設定は以下の手順で行ってください。 • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

表 27.12 (1) ACLRM=1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容
1	当該パイプに割り付けた FIFO バッファのすべての内容
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値

表 27.12 (2) ACLRM=1 設定が必要なケース

番号	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容をクリアしたい場合
2	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットの設定値変更時
4	トランザクションカウント機能の強制終了実行時

27.3.34 パイプ n トランザクションカウンタインーブルレジスタ (PIPE_nTRE) (n=1~5)

PIPE_nTRE は、パイプ 1~5 に対応するトランザクションカウンタの無効/有効の指定や、カウンタクリアの指定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TRENB	0	R/W	トランザクションカウンタ許可 トランザクションカウンタ無効/有効を指定します。 0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効 受信パイプに対して、TRNCNT ビットに総パケット数を設定した後で本ビットに 1 を設定すると、本モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。 • SHTNAK=1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応するパイプの PID ビットを NAK に変更します。 • BFRE=1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。 送信パイプについては、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用しない場合は、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用する場合、本ビットに 1 を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに 1 を設定してください。
8	TRCLR	0	R/W	トランザクションカウンタクリア 当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、本ビットに 0 を表示します。 0: 無効 1: カレントカウンタクリア
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】 * 本レジスタの各ビットの変更は、PID=NAK 時に実施してください。
- 対応するパイプの PID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、PBUSY =0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

27.3.35 パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n=1~5)

PIPEnTRN は、パイプ 1~5 に対応するトランザクションカウンタです。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで設定値が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	すべて 0	R/W	トランザクションカウンタ ライト時: DMA 転送のトランザクション回数を設定します。 リード時: TRENB=0 の場合は設定したトランザクション回数が表示されます。 TRENB=1 の場合はカウント中のトランザクション回数が表示されます。 本モジュールは、受信時の状態が以下のすべてを満たしたときに本ビットを 1 インクリメントします。 • TRENB=1 である • パケット受信時に (TRCNT 設定値≠現在のカウンタ値+1) である • 受信したパケットのペイロードが MXPS ビットへの設定値と一致した 本モジュールは、以下のいずれかの条件が満たされたときに本ビットの表示を 0 にクリアします。 • 以下の条件がすべて満たされたとき TRENB=1 である パケット受信時に (TRCNT 設定値=現在のカウンタ値+1) である 受信したパケットのペイロードが MXPS ビットへの設定値と一致した • 以下条件がすべて満たされたとき TRENB=1 である ショートパケットを受信した • 以下の条件が満たされたとき TRCLR ビットに 1 を設定した

ビット	ビット名	初期値	R/W	説 明
15～0	TRNCNT [15:0]	すべて 0	R/W	送信パイプについては、本ビットに 0 を設定してください。 トランザクションカウント機能を使用しない場合は、本ビットに 0 を設定してください。 本ビットの変更は、TRENB=0 設定時に実施してください。 本ビットの値を変更する場合は、TRENB=1 を設定する前に TRCNT=1 を実施してください。

27.3.36 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n=0~5)

DEVADDn は、パイプ 0~5 に対して、通信対象の周辺デバイスが接続されている通信速度を指定します。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、必ず本レジスタの各ビットを設定してください。

本レジスタの各ビットの変更は、本ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下の 1. と 2. の両方条件を満たしているパイプです。

1. DEVSELビットの設定が、本レジスタを指定しているとき
2. 選択パイプのPIDビットにBUFを設定しているとき、または選択パイプがDCPでありSUREQ=1を設定しているとき

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBSPD[1:0]	—	—	—	—	—	RTPORT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	USBSPD [1:0]	00	R/W	通信対象デバイスの転送速度 通信対象の周辺デバイスの USB 転送速度を設定します。 00 : DEVADDn レジスタ未使用 01 : 設定禁止 10 : フルスピード 11 : 設定禁止 ホストコントローラ機能選択時、本モジュールは、本ビットの設定値を参照してパケットを生成します。 ファンクションコントローラ機能選択時、00 を設定してください。
5~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RTPORT	0	R/W	ルートハブポート番号 対応するデバイスがどちらのポートに接続されているかを指定します。 0 : ポート 0 1 : ポート 1 ホストコントローラ機能選択時、本モジュールは、本ビットの設定値を参照してパケットを生成します。 ファンクションコントローラ機能選択時、本設定は無視されます。

27.4 動作説明

27.4.1 システム制御および発振制御

本節では、本モジュールの初期設定に必要なレジスタ操作および消費電力制御を行うために必要なレジスタについて説明します。

(1) 動作許可

本モジュールへのクロック供給が開始された ("SCKE=1") 後、ソフトウェアで SYSCFG0 レジスタの USBE ビットを"1"に設定することにより、本モジュールの動作許可を行います。

(2) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG レジスタの DCFM ビットで行ってください。DCFM ビットの設定は、パワーオンリセット直後の初期設定または D+非ブルアップ状態で D+/D-非ブルダウン状態のときに行ってください。

表 27.13 に本コントローラの各 USB ポートに対する機能選択について示します。

表 27.13 USB ポートの機能選択

ホストコントローラ機能選択時		
ポート 0	ポート 1	備考
Full-Speed	Full-Speed	転送スケジューリングはポート 0/ポート 1 共通であり、出力はポート 0/ポート 1 の両ポートへドライブします。
ファンクションコントローラ機能選択時		
ポート 0	ポート 1	備考
Full-Speed	未使用	ポート 1 は無効です。

(3) USB 外部回路接続例

図 27.1 (1) に本モジュールと USB コネクタの接続例（ファンクションコントローラ機能選択時）を、図 27.1 (2) に本モジュールと USB コネクタの接続例（ホストコントローラ機能選択時）を示します。

本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗の許可信号を制御しません。汎用入出力ポートの設定により、各信号のプルアップ、プルダウン許可信号を生成してください。

ファンクションコントローラ機能選択時は、USB ホストへの接続を認識した後で、SYSCFG0 レジスタの DPRPU ビットを 1 に設定し、D+信号をプルアップしてください。また、USB ホストの切断を認識した場合は、以下処理の通り、DPRPU ビットと DCFM ビットの操作を実施してください。

- (1) DPRPU ビットに 0 を設定
- (2) 1 μ s 以上待つ
- (3) DCFM ビットを 1 に設定
- (4) 200ns 以上待つ
- (5) DCFM ビットを 0 に設定

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に USB データラインのプルアップ抵抗をディスエーブルにすると、USB ホストにデバイスの切断を通知することができます。

【注】 本回路例で動作を保証するものではありません。

外部からのサージおよび ESD ノイズ対策がシステムの必要な場合、保護ダイオードやノイズキャンセラ回路で対策してください。

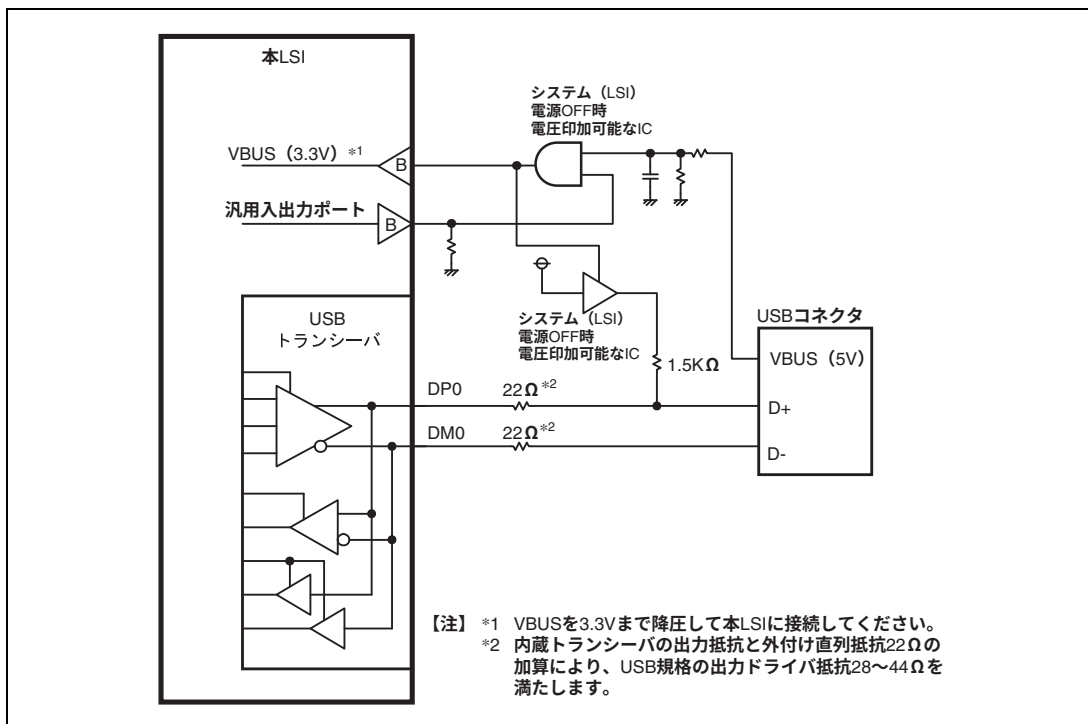


図 27.1 (1) USB コネクタ接続例（ファンクションコントローラ機能選択時）

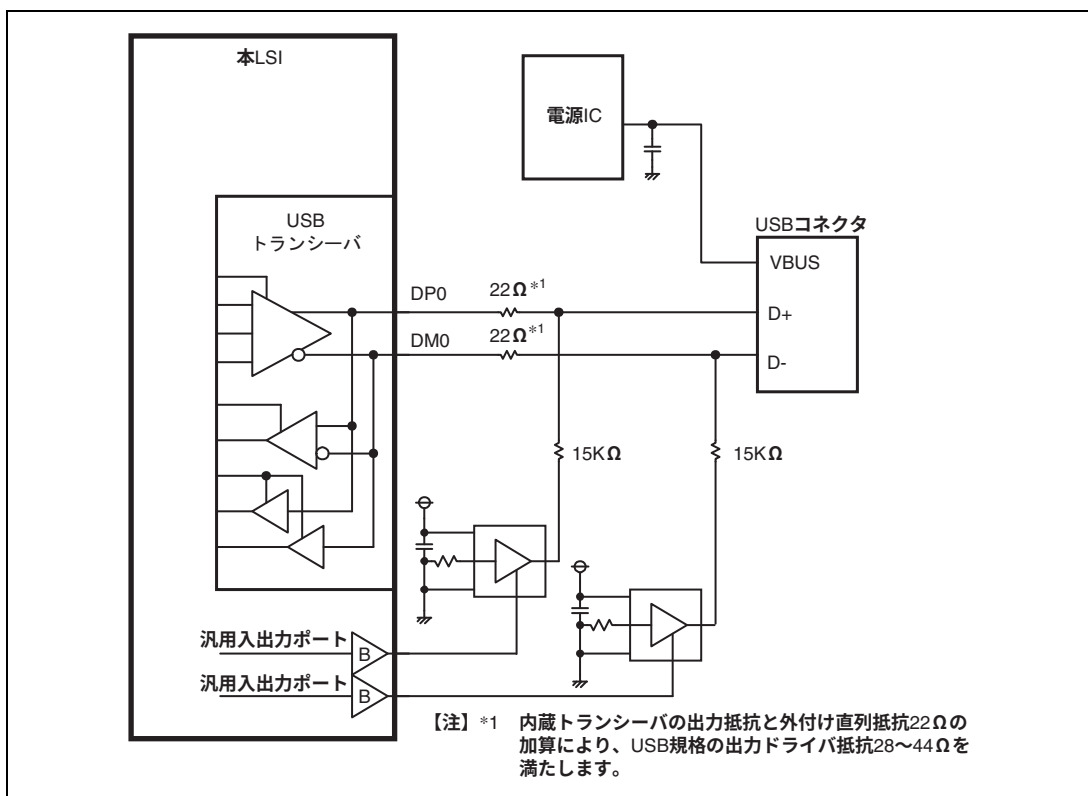


図 27.1 (2) USB コネクタ接続例 (ホストコントローラ機能選択時)

27.4.2 割り込み機能

表 27.14 に本モジュールの割り込み発生条件一覧表を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、本モジュールは割り込みコントローラへ USB 割り込み要求を発行します。

表 27.14 割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
VBINT	VBUS 割り込み	VBUS 入力端子の状態変化を検出したとき (L→H、H→L の両方の変化)	ホスト、ファンクション	VBSTS
RESM	レジューム割り込み	サスペンド状態において USB バスの状態変化を検出したとき (J-State→K-State または J-State→SE0)	ファンクション	—
SOFR	フレーム番号更新割り込み	[ホストコントローラ機能選択時] - フレーム番号の異なる SOF パケットを送信したとき [ファンクションコントローラ機能選択時] - フレーム番号の異なる SOF パケットを受信したとき	ホスト、ファンクション	—
DVST	デバイスステート遷移割り込み	デバイスステートの遷移を検出したとき USB バスリセット検出 サスペンド状態検出 SET_ADDRESS リクエストの受信 SET_CONFIGURATION リクエストの受信	ファンクション	DVSQ
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	ファンクション	CTSQ
BEMP	バッファエンプティ割り込み	- バッファメモリ中の全データを送信してバッファが空になったとき - マックスパケットサイズを超えたパケットを受信したとき	ホスト、ファンクション	BEMPSTS. PIPEBEMP

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
NRDY	バッファ ノットレディ 割り込み	[ホストコントローラ機能選択時] - 発行したトークンに対して周辺デバイス側からの STALL を受信したとき - 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき。(無応答が3回連続、またはパケット受信エラーが3回連続) - アイソクロナス転送時にオーバラン／アンダランが発生したとき [ファンクションコントローラ機能選択時] - PID=BUF 設定かつバッファメモリが送信可能ではない状態でトークンを受信したとき - アイソクロナス転送でデータ受信時に CRC エラー、ビットスタッフエラーが発生したとき - アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき	ホスト、 ファンクション	NRDYSTS.P IPENRDY
BRDY	バッファレディ 割り込み	バッファがレディ（リードまたはライト可能状態）になったとき	ホスト、 ファンクション	BRDYSTS. PIPEBRDY
BCHG	バス変化割り 込み	USB バスステートの変化を検出したとき	ホスト	SYSTS0. LNST
DTCH	フルスピード動 作時切断検出	フルスピード動作時周辺デバイスの切断を検出したとき	ホスト	DCSTCTR0. RHST
ATTCH	デバイス接続 検出	USB バスステートが $2.5\mu\text{s}$ 連続した J-STATE、または $2.5\mu\text{s}$ 連続した K-STATE を検出したとき。周辺デバイスの接続検出に使用可能。	ホスト	—
EOFERR	EOF エラー検出	周辺デバイスの EOF エラーを検出	ホスト	—
SACK	セットアップ 正常	セットアップトランザクションの正常応答 (ACK) を受信したとき	ホスト	—
SIGN	セットアップ エラー	セットアップトランザクションのエラー（無応答または ACK パケット破損）を3回連続で検出したとき	ホスト	—

図 27.2 に本モジュールの割り込み関連図を示します。

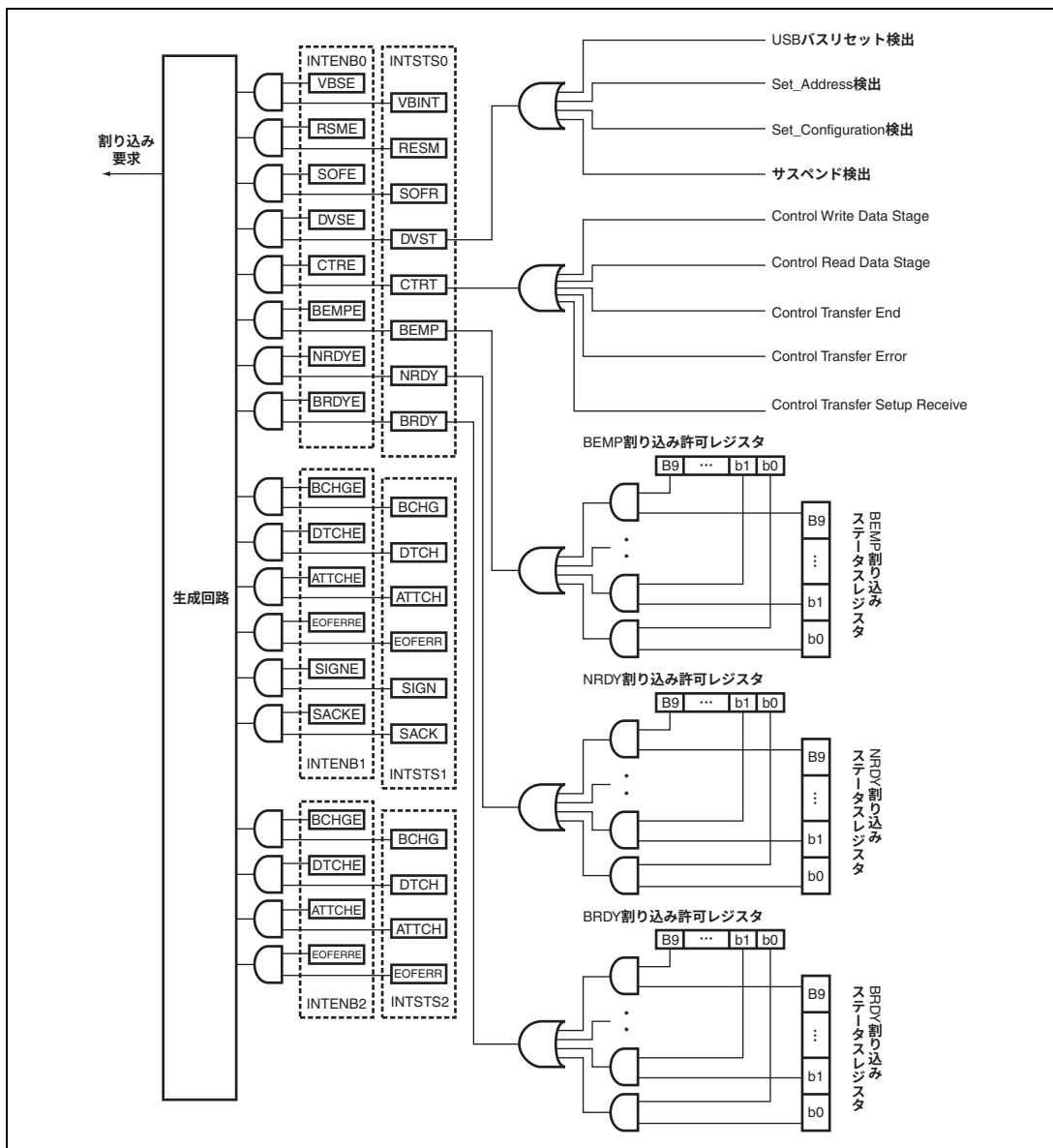


図 27.2 割り込みの関連図

(1) BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、本モジュールは BRDYSTS レジスタの該当ビットを 1 にセットします。このとき、当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの BRDYE ビットを 1 に設定していれば、本モジュールは BRDY 割り込みを発生させます。

BRDY 割り込みは、BRDYM ビットおよび各パイプの BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(a) BRDYM=0 かつ BFRE=0 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する PIPEBRDY ビットに 1 を表示します。

1. 送信方向に設定したパイプの場合

- DIR ビットを 0 から 1 に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、本モジュールが当該パイプのパケット送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- ACLRM ビットに 1 を書き込むことより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

2. 受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
データ PID ミスマッチのトランザクションに対しては要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では本割り込みは発生しません。

当該パイプに対応する BRDYSTS レジスタの PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき、他のパイプに対応するビットには 1 を書き込んでください。

本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

(b) BRDYM=0 かつ BFRE=1 設定時

この設定の場合、本モジュールは、受信パイプにおいて 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの当該パイプに対応するビットに 1 を表示します。

本モジュールは、以下のいずれかのときに 1 トランスファーにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN ビットが 0 の状態になった時点で、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットに 1 を書き込んでください。

本設定の場合には、本モジュールは送信パイプに対して BRDY 割り込みを検出しません。

当該パイプに対応する PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき他のパイプに対応するビットには 1 を書き込んでください。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(c) BRDYM=1 かつ BFRE=0 設定時

この設定の場合、PIPEBRDY ビットの値は各パイプの BSTS ビットに連動します。すなわち、BRDY 割り込みステータスは FIFO バッファの状態によって本モジュールが 1、0 を表示します。

1. 送信方向に設定したパイプの場合

FIFOポートにデータが書き込み可能な状態であれば1を表示し、書き込み不可の状態になれば0を表示します。

ただしDCPの送信パイプが書き込み可能であっても、BRDY割り込みは発生しません。

2. 受信方向に設定したパイプの場合

FIFOポートにデータが読み出し可能な状態であれば1を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）0を表示します。

FIFOバッファが空でZero-Lengthパケットを受信した場合、BCLR=1を書き込むまで該当ビットには1が表示されBRDY割り込みは発生し続けます。

本設定時、PIPEBRDYビットの0クリアを行うことはできません。

BRDYM=1設定時は、BFREビットは必ずすべて（全パイプ）0に設定してください。

図 27.3 に、BRDY 割り込み発生タイミング図を示します。

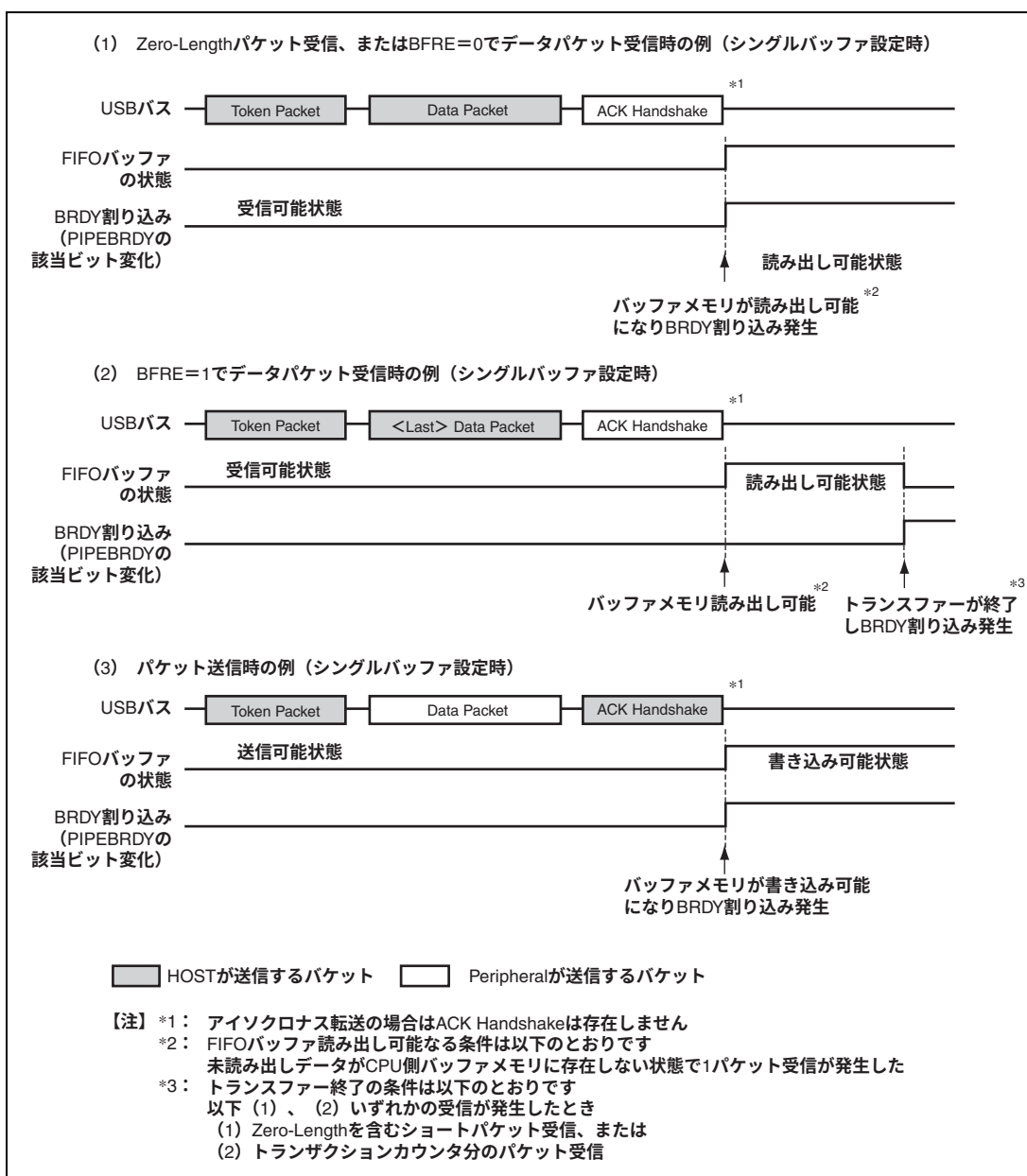


図 27.3 BRDY 割り込み発生タイミング図

本モジュールが INTSTS0 レジスタの BRDY ビットをクリアする条件は、SOFCFG レジスタの BRDYM ビットの設定値によって異なります。表 27.15 に BRDY ビットクリア条件を示します。

表 27.15 BRDY ビットクリア条件表

BRDYM	BRDY ビットクリア条件
0	BRDYSTS レジスタの全ビットをクリアすると、本モジュールは INTSTS0 レジスタの BRDY ビットをクリアします。
1	全パイプの BSTS ビットが"0"になったときに、本モジュールは INTSTS0 レジスタの BRDY ビットをクリアします。

(2) NRDY 割り込み

PID=BUF に設定したパイプに対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示します。このとき、NRDYENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの NRDY ビットに 1 を表示し、USB 割り込みを発生します。

本モジュールが、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時のセットアップトランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時のセットアップトランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(a) ホストコントローラ機能選択時

1. 送信方向パイプの場合

本モジュールは、以下のいずれかの条件を満たした場合に、NRDY割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。

このとき、本モジュールはOUTトークンに続けてZero-Lengthパケットを送信し、PIPENRDYビットの対応するビットに1を表示し、OVRNビットにも1を表示します。

- 転送タイプがアイソクロナス以外のパイプ、かつセットアップトランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからのハンドシェイクパケットを検出しないままタイムアウトを検出）した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき

このとき、本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。

- セットアップトランザクション以外の通信において、周辺デバイスからSTALLハンドシェイクを受信したとき（OUTに対するSTALLだけではなく、PINGに対するSTALLも該当します）。

このとき本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをSTALL（11）に変更します。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でINトークン発行タイミングに達したとき。

このとき本モジュールは、INトークンに対する受信データを破棄し、当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットにも1を表示します。

更に、INトークンに対する受信データにパケットエラーを検出した場合には、CRCEビットにも1を表示します。

- 転送タイプがアイソクロナス転送以外のパイプで、本モジュールが発行したINトークンに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。
- 転送タイプがアイソクロナスのパイプにおいて、INトークンに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示します（対応するパイプのPIDビットの変更は行いません）。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットにCRCエラーまたはビットスタッフィングエラーを検出したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示します。
- STALLハンドシェイクを受信したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALLに変更します。

(b) ファンクションコントローラ機能選択時

1. 送信方向パイプの場合

- FIFOバッファに送信データがない状態でINトークンを受信したとき
INトークン受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。
割り込み発生パイプの転送タイプがアイソクロナスの場合、本モジュールはZero-Lengthパケットを送信し、OVRNビットに1を表示します。

2. 受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき
割り込み発生パイプの転送タイプがアイソクロナスの場合、OUTトークン受信時に本モジュールはNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示し、OVRNビットに1を表示します。
割り込み発生パイプの転送タイプがアイソクロナス以外の場合、本モジュールは、OUTトークンに続くデータ受信後NAKハンドシェイクを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。
ただし、再送時（DATA-PIDミスマッチ発生時）には、NRDY割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF受信のタイミングで本モジュールは、NRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

図 27.4 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

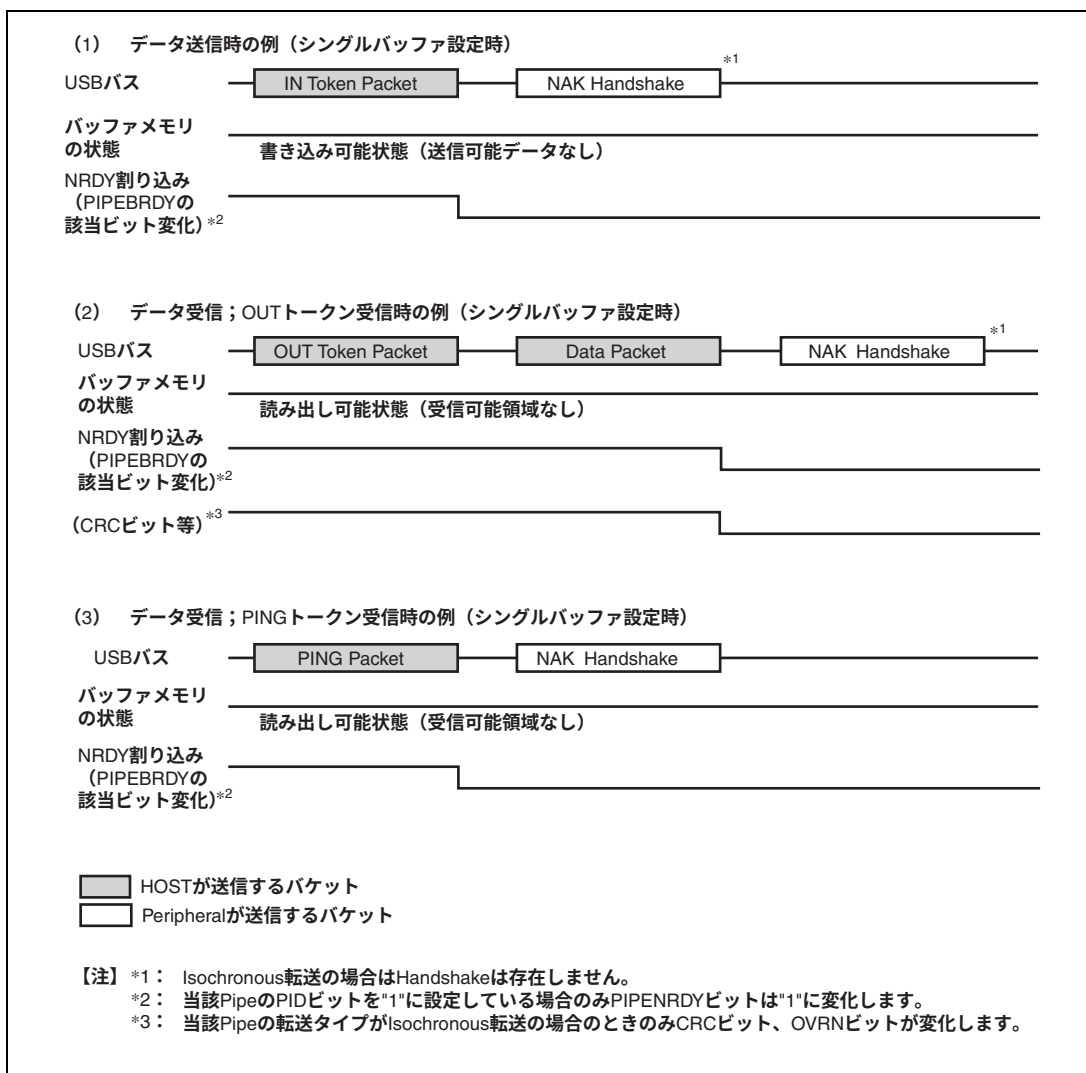


図 27.4 ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図

(3) BEMP 割り込み

PID=BUF に設定したパイプに対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示します。このとき、BEMPENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの BEMP ビットに 1 を表示し、USB 割り込みを発生します。

以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

1. 送信方向パイプにおいて、送信完了時（Zero-Lengthパケットの送信時を含む）に、対応するパイプのFIFOバッファが空のとき。

シングルバッファ設定時は、DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にCPU側のFIFOバッファに対する書き込みを開始している場合
- また、ACLRMビットまたはBCLRビットに1を書き込むことによるバッファクリア（エンプティ）。
- ファンクションコントローラ機能設定時、コントロール転送StatusステージのIN転送（Zero-Lengthパケット送信）時

2. 受信方向パイプの場合

MaxPacketSizeの設定値より大きなデータサイズを正常受信したとき。

この場合、本モジュールは、BEMP割り込み要求を発生させ、PIPEBEMPビットの対応するビットに1を表示し、受信データを破棄し、対応するパイプのPIDビットをSTALL（11）に変更します。

このとき本モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時にはSTALL応答を行います。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- セットアップトランザクション実行時

PIPEBEMPビットに0を書き込むことにより、ステータスをクリアすることができます。

PIPEBEMPビットに1を書き込んでも、何もしません。

図 27.5 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

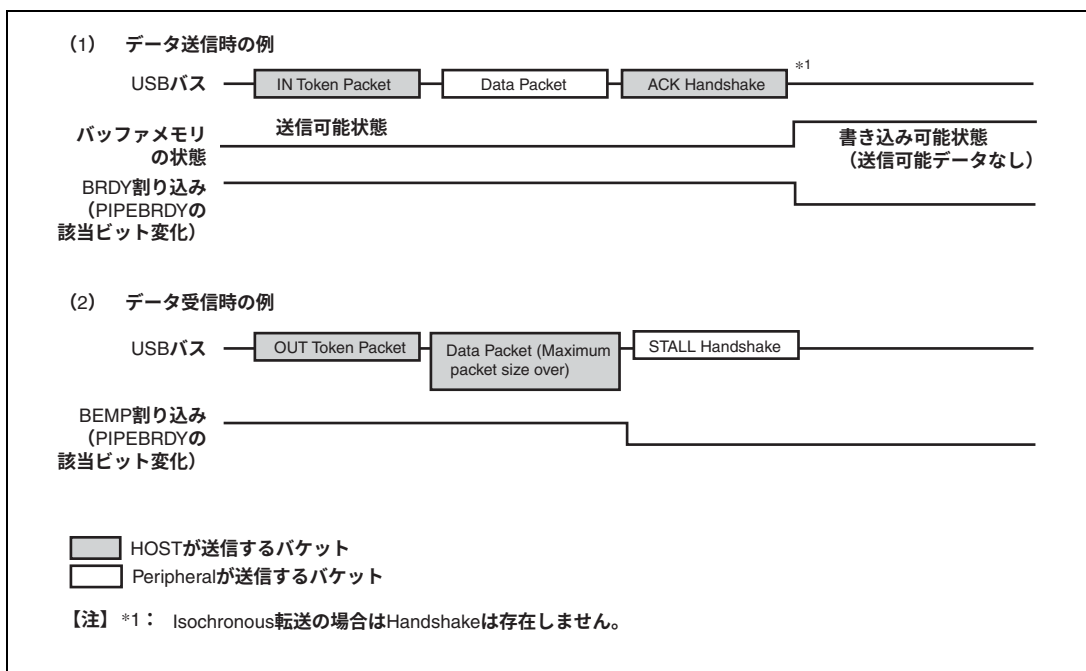


図 27.5 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

(4) デバイスステート遷移割り込み

図 27.6 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

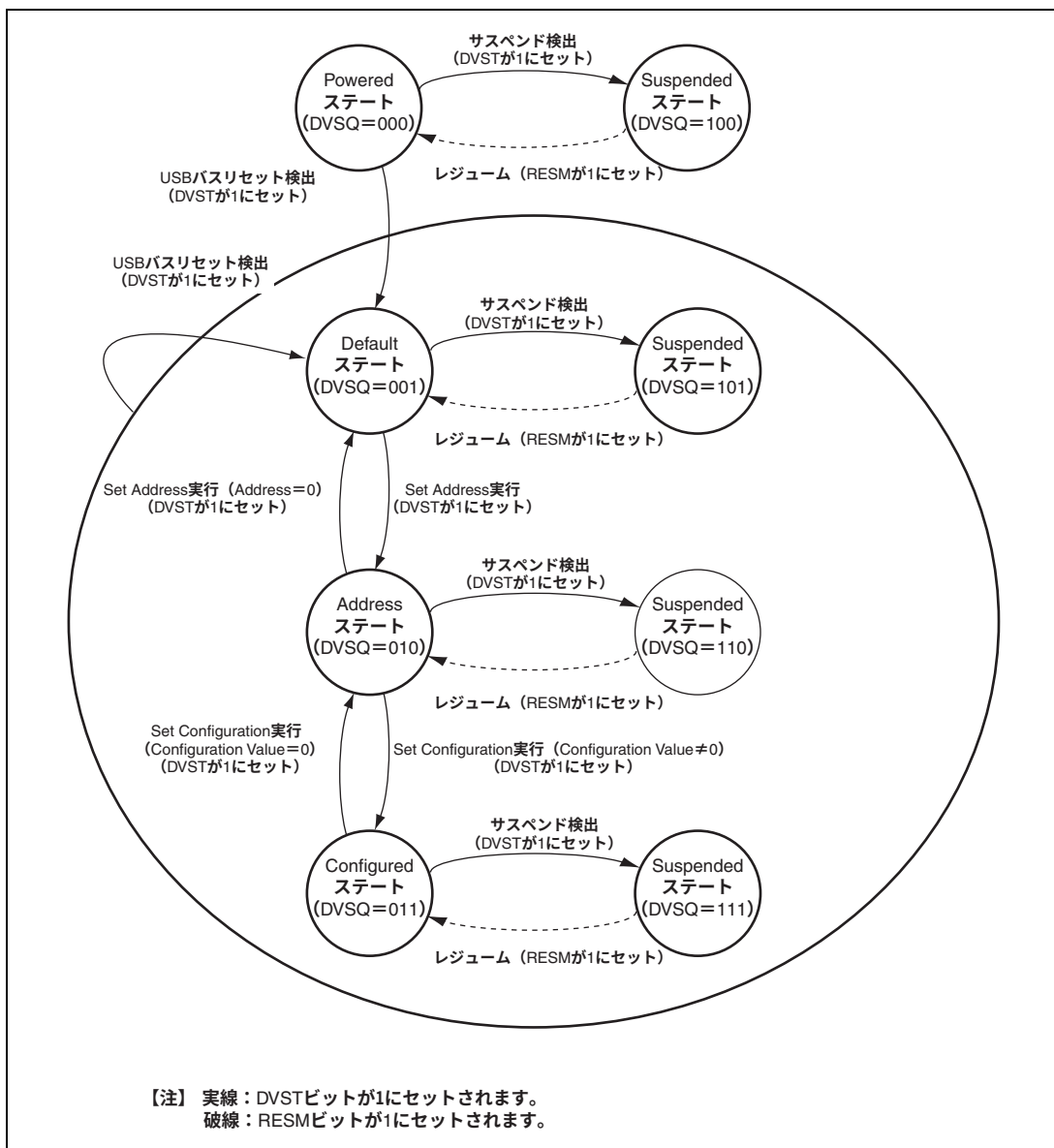


図 27.6 デバイス状態遷移図

(5) コントロール転送ステージ遷移割り込み

図 27.7 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL 応答) になります。

1. コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUTトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATA PID=DATA0のパケットを受信

2. コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATA PID=DATA0のパケットを受信
- ステータスステージでOUTトークン受信

3. コントロールライトノーデータコントロール転送時

- ステータスステージでOUTトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時は、CTSQ=110 の値がシステムから CTRT=0 書き込み（割り込みステータスクリア）するまで保持されます。このため、CTSQ=110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません（セットアップステージ完了は、本モジュールで保持されており、割り込みステータスクリア後に、CTRT 割り込みが発生します）。

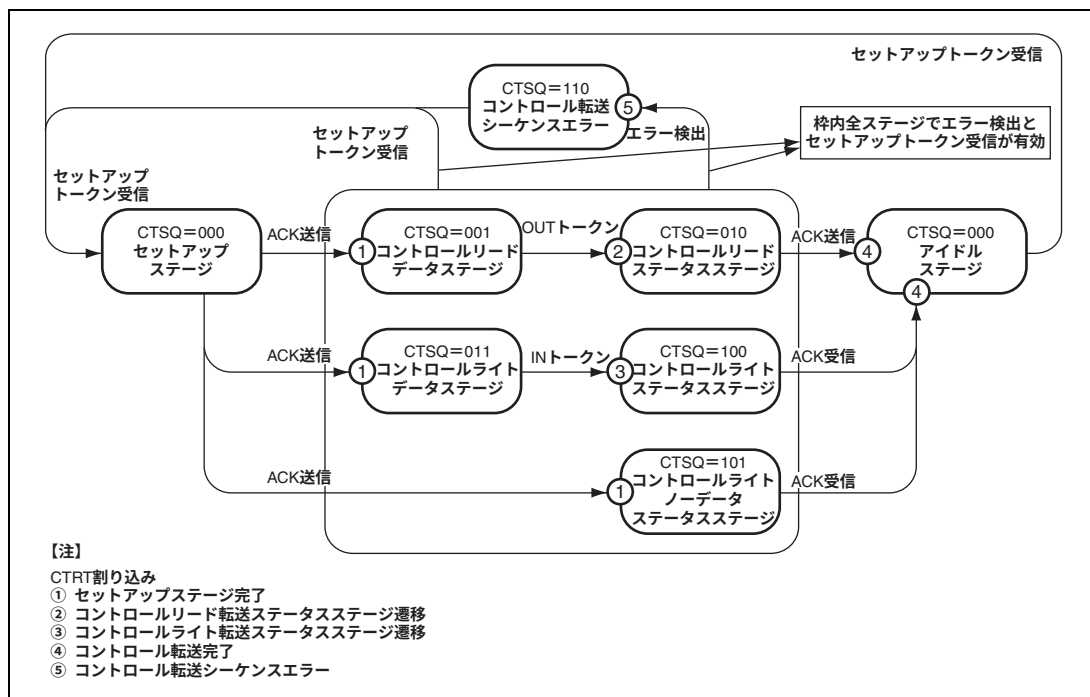


図 27.7 コントロール転送ステージ遷移図

(6) フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、本モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みが発生します。

(7) VBUS 割り込み

VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

(8) レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State→K-State または J-State→SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

(9) BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

(10) DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。本モジュールは、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

本モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH割り込みを検出したポートのUACTビットを0に変更し表示する。
- DTCH割り込みを検出したポートをアイドル状態に遷移させる。

(11) SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

(12) SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

(13) ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード/ロースピード信号レベルの J-State または K-State を $2.5\mu\text{s}$ 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0またはSE1からJ-Stateに変化しJ-Stateのまま $2.5\mu\text{s}$ 間継続したとき
- J-State、SE0またはSE1からK-Stateに変化しK-Stateのまま $2.5\mu\text{s}$ 間継続したとき

(14) EOFERR 割り込み

USB Specification2.0 に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みが発生します。

本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR割り込みを検出したポートのUACTビットを0に変更し表示する。
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる。

27.4.3 パイプコントロール

表 27.16 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 27.16 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	パイプ 1～9：設定可
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1～5：設定可
	DBLB	ダブルバッファを選択	パイプ 1～5：設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1～9：設定可 パイプ使用時は 0000 以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	DCP：設定可 パイプ 1、2：設定可（バルク転送選択時のみ設定可能） パイプ 3～5：設定可
DCPMAXP	DEVSEL	デバイス選択	ホストコントローラ機能選択時のみ参照
PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1、2：設定可（アイソクロナス転送選択時のみ） パイプ 3～9：設定不可
	IITV	インターバルカウンタ	パイプ 1、2：設定可（アイソクロナス転送選択時のみ） パイプ 3～5：設定不可 パイプ 6～9：ホストコントローラ機能選択時のみ設定可
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信/送信バッファ状態の切り替え
PIPEnCTR	INBUFM	IN バッファモニタ	パイプ 1～5 のみ搭載
	SUREQ	セットアップリクエスト	DCP のみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQ クリア	DCP のみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ 1～5：設定可 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1～9：設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答 PID	「27.4.3 (6) 応答 PID」を参照してください。

レジスタ名	ビット名	設定内容	備 考
PIPEnTRE	TRENB	トランザクションカウン 許可	パイプ 1～5：設定可
	TRCLR	カレントトランザクシ ョンカウンタのクリア	パイプ 1～5：設定可
PIPEnTRN	TRNCNT	トランザクションカウ ンタ	パイプ 1～5：設定可

(1) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可（PID=NAK）であるときのみ書き換えが可能です。

USB 通信許可（PID=BUF）状態では設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- DCPCTRレジスタのSQCLRビット、SQSETビット
- PIPECFGレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPEnCTRレジスタのATREPMビット、ACLRMビット、SQCLRビット、SQSETビット
- PIPEnTREレジスタ、PIPEnTRNレジスタの各ビット
- DEVADDnレジスタの各ビット

【注】 DEVADDn レジスタの設定については、上記以外にもレジスタ説明にある設定方法を守ってください。

USB 通信許可（PID=BUF）状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求発生。
2. 当該パイプのPIDをNAKに変更。
3. 当該パイプのPBUSYビットが0になるまで待つ。

【注】 USB トランザクション処理中にデタッチした場合、PBUSY ビットが1 のままとなる場合があります。

4. パイプコントロールレジスタのビット変更開始。

またパイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれのCURPIPE ビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORT のCURPIPE に設定中に設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- PIPECFGレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPEnCTRレジスタのACLRMビット

パイプ情報を変更する場合には、CURPIPE ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

(2) 転送タイプ

PIPECFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ3～5：バルク転送を設定してください。
- パイプ6～9：インタラプト転送を設定してください。

(3) エンドポイント番号

PIPECFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント0に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント0固定）です。
- パイプ1～9：1から15までを選択して設定してください。

ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

(4) マックスパケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ1～5はUSB規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6～9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID=BUF）に設定してください。

- DCP：8、16、32、64から選択して設定してください。
- パイプ1～5：バルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2：アイソクロナス転送時は、1から256の値を設定してください。
- パイプ6～9：1から64の値を設定してください。

(5) トランザクションカウンタ（パイプ1～5読み出し方向）

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、SHTNAK ビット設定=1との組み合わせによりカレントカウンタが指定回数に一致すると、該当 PIPE の PID を NAK 状態とし、次の転送を不許可状態にします。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENB ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TRENB=0：設定したトランザクションカウンタ値が読み出せます。
- TRENB=1：内部でカウントしたカレントカウンタ値が読み出せます。

TRCLRビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID=BUFの場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

(6) 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。

各設定における本モジュールの動作は下記のとおりです。

1. ホストコントローラ機能選択時の応答PID設定

応答PIDは、トランザクションの実施を指定します。

- NAK設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF設定：バッファメモリの状況に応じてトランザクションが実施されます。
OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。
IN方向の場合、バッファメモリに空きがあり受信可能な場合、INトークンを発行します。
- STALL設定：パイプ禁止状態です。トランザクションは実施されません。

【注】 DCP のセットアップトランザクションは、SUREQ ビットで設定します。

2. ファンクションコントローラ機能選択時の応答PID設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定：発生したトランザクションに対して常にNAK応答します。
- BUF設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定：発生したトランザクションに対して常にSTALL応答します。

【注】 セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

1. ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID=NAKとなり、トークンの発行を自動的に停止します。
 - アイソクロナス以外の転送で、送信したトークンに対する応答において、無応答、ビットスタッフィングエラーまたはCRCエラーなどの受信エラーが3回連続して発生したとき
 - アイソクロナス転送で、送信したトークンに対する応答において、ビットスタッフィングエラーまたはCRCエラーなどの受信エラーが3回連続して発生したとき
 - DCPCFGレジスタのSHTNAKビットを1に設定した場合で、コントロールリード転送のデータステージにおいて、ショートパケットを受信したとき

ーバルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合でショートパケットを受信したとき

ーバルク転送時にSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき

- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID=STALLとなり、トークンの発行を自動的に停止します。
 - 送信したトークンに対してSTALLを受信したとき
 - 受信したデータパケットがマックスパケットサイズを超えたとき

2. ファンクションコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID=NAKとなり、トランザクションに対して常にNAK応答します。
 - セットアップトークンを正常に受信したとき (DCPのみ)
 - バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID=STALLとなり、トランザクションに対して常にSTALL応答します。
 - 受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
 - コントロール転送シーケンスエラーを検出したとき (DCPのみ)

(7) データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットを参照せず、DATA1 で応答します。このため、設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットを設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、データ PID シーケンスビットを設定する必要がありますので注意してください。

(8) 応答 PID=NAK 機能

本モジュールには、PIPECFG レジスタの SHTNAK ビットに 1 を設定することで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答 PID=NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、再度パイプ許可（応答 PID=BUF）設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

(9) オート応答モード

バルク転送のパイプ（パイプ 1～5）において、PIPEnCTR レジスタの ATREPM ビットに 1 をセットすると、オート応答モードとなります。OUT 転送時（DIR=0）には OUT-NAK モードとなり、IN 転送時（DIR=1）には Null 自動応答モードとなります。

● OUT-NAK モード

バルク OUT 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態（応答 PID=NAK）で OUT-NAK モードに設定して、パイプ動作許可（応答 PID=BUF）を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID=NAK）で OUT-NAK モードを解除して、パイプ動作許可（応答 PID=BUF）を行ってください。通常モードでは、OUT データ受信が可能となります。

● Null 自動応答モード

バルク IN 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID=NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID=BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが 0 であることで確認してください。INBUFM ビットが 1 の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID=NAK）を Zero-Length パケット送信分ウェイト（約 10 μ s）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID=BUF）を行うことにより、ホストへのパケット送信が可能となります。

27.4.4 FIFO バッファメモリ

(1) FIFO バッファメモリ割り当て

本モジュールはデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、本モジュールにて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム（CPU 側）にある場合と本モジュール（SIE 側）にある場合があります。

• バッファステータス

表 27.17 および表 27.18 に本モジュールのバッファステータス表を示します。バッファメモリステータスを DCPCTR レジスタの BSTS ビットおよび PIPEnCTR レジスタの INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPECFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット（DCP 選択時）で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1～5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU（ダイレクトメモリアクセスコントローラ）による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 27.17 BSTS ビットによるバッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0（受信方向）	0	受信データなし、または受信中 FIFO ポートからの読み出し不可
0（受信方向）	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1（送信方向）	0	送信を完了していない FIFO ポートへの書き込み不可
1（送信方向）	1	送信完了 CPU は書き込み可能

表 27.18 INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0（受信方向）	無効	無効
1（送信方向）	0	送信可能データを送信完了した 送信可能データなし
1（送信方向）	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

- FIFO バッファクリア

表 27.19 に本モジュールによる FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、BCLR、DCLRM、ACLRM ビットにてクリアできます。

表 27.19 バッファクリアー一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1：モード有効 0：モード無効	1：モード有効 0：モード無効

- 自動バッファクリアモード機能

本モジュールには、PIPEnCTR レジスタの ACLRM ビットに 1 を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットに 1 を設定し、続けて 0 を設定することで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

- バッファメモリ仕様（シングル／ダブル設定）

パイプ 1～5 は、PIPECFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

(2) FIFO ポートの機能

表 27.20 に本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN=0) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 27.20 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリwind (再読み出し、再書き込み)	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレントパイプ選択	
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

表 27.21 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中である事を示します）FRDY=1を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 27.21 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~9	CPU アクセス	CFIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

(b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、C/DnFIFOSEL レジスタの REW ビットを使用します。

C/DnFIFOSEL レジスタの CURPIPE ビット設定と同時に REW ビットを 1 に設定してパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、0 に設定しパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、FRDY=1を確認する必要があります。

(3) DMA 転送 (D0FIFO/D1FIFO ポート)

(a) DMA 転送概要

パイプ 1~9 に対して、ダイレクトメモリアクセスコントローラによる FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL レジスタの MBW ビットにて FIFO ポートへの転送単位を、CURPIPE ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(b) DMA 転送終了自動認識

本モジュールは、DMA 転送終了信号入力を制御することによって、DMA 転送による FIFO データ書き込みを終了させることが可能です。転送終了信号をサンプリングすると、バッファメモリを送信可能状態 (BVAL=1 を設定したのと同じ状態) にします。

(c) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、DnFIFOSEL レジスタの DCLRM ビットに 1 を設定することで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 27.22 に各設定での、パケット受信とバッファメモリクリア処理の関連を示します。表 27.22 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 27.22 パケット受信とバッファメモリクリア処理の関連表

レジスタ設定 パケット受信時のバッファ状態	DCLRM=0		DCLRM=1	
	BFRE=0	BFRE=1	BFRE=0	BFRE=1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

27.4.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(1) ホストコントローラ機能選択時のコントロール転送

(a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに 1 を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 にクリアされます。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMPXP レジスタの DEVSEL ビットに 0 を設定し、DEVADD0 レジスタの USBSPD ビット、RTPORT ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDx レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、"DEVSEL=0x2"の時は DEVADD2 レジスタを、"DEVSEL=0x5"の時は DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

(b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCPG レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するように制御してください。

(c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCPG レジ

スタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

(2) ファンクションコントローラ機能選択時のコントロール転送

(a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。
 - INTSTS0レジスタのVALIDビットを1にセット
 - DCPCTRレジスタのPIDビットをNAKにセット
 - DCPCTRレジスタのCCPLビットを0にセット
2. セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID=0 を設定後に行ってください。VALID=1 状態では PID=BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図 27.7 を参照してください。

(b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(c) ステータスステージ

DCPCTR レジスタの PID ビットが PID=BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合

USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

- コントロールライト転送、ノーデータコントロール転送の場合

本モジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(d) コントロール転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合は応答が必要です。

- bmRequestType≠H'00
- wIndex≠H'00
- wLength≠H'00
- wValue>H'7F
- DVSQ=011 (Configured)

SET_ADDRESS 以外のすべてのリクエストには対応する応答が必要です。

27.4.6 バルク転送（パイプ 1～5）

バルク転送は、バッファメモリ使用方法（シングル/ダブルバッファ設定）の選択ができます。

本モジュールは、バルク転送専用として下記の機能を備えています。

- BRDY割り込み選択機能（BFREビット：27.4.2（1）（b）章参照）
- トランザクションカウント機能（TRENBビット、TRCLRビット、TRNCNTビット：27.4.3（5）章参照）
- 応答PID=NAK機能（SHTNAKビット：27.4.3（8）章参照）
- オート応答モード（ATREPMビット：27.4.3（9）章参照）

27.4.7 インタラプト転送（パイプ6～9）

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

（1）ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

（a）カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット：

IITVビットが初期化されます。

- ACLRMによるバッファメモリ初期化

IITVビットは初期化されませんがカウントは初期化されます。ACLRMビットを0にすることにより、IITVの設定値を最初からカウントします。

なお以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USBバスリセット、USBサスペンド

IITVビットは初期化されません。UACTビットを1にすることにより、USBバスリセット、USBサスペンド状態とする前の値からカウントを開始します。

（b）トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PIDをNAKまたはSTALLに設定した場合
- IN方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT方向（送信）の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

27.4.8 アイソクロナス転送（パイプ 1、2）

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ（IITVビット指定）
- アイソクロナスIN転送データセットアップコントロール（IDLY機能）
- アイソクロナスIN転送バッファフラッシュ機能（IFISビット指定）

（1）アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 27.23 および表 27.24 に本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

1. PIDエラー

- 受信パケットのPIDが不正な場合

2. CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

3. マックスパケットサイズオーバー

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた

4. オーバラン、アンダランエラー

- ホストコントローラ機能選択時

IN方向（受信）の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合

OUT方向（送信）の転送時にトークンの送信タイミングにバッファメモリにデータがない場合

- ファンクションコントローラ機能選択時

IN方向（送信）の転送時にINトークン受信時にバッファメモリにデータがない場合

OUT方向（受信）の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合

5. インターバルエラー

ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表 27.23 トークン受信時のエラー検出

検出の優先 順位	エラー	発生する割り込みとステータス
1	PID エラー	ホスト／ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
3	オーバラン、アンダランエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、OVRN ビットをセットします。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません。

表 27.24 データパケット受信時のエラー検出

検出の優先 順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバーエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、BEMP 割り込みを発生させて、PID を STALL にセットします。

(2) DATA-PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

1. IN方向

- DATA0：データパケットのPIDとして送信します。
- DATA1：送信しません。
- DATA2：送信しません。
- mData：送信しません。

2. OUT方向

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：パケットを無視します。
- mData：パケットを無視します。

(3) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 27.25 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 27.25 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機 能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない。

インターバルのカウンタは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームです。

(a) ファンクションコントローラ機能選択時でのカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット
IITVビットが初期化されます。
- ACLRMによるバッファメモリ初期化
IITVビットは初期化されませんがカウンタは初期化されます。
- USBバスリセット

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記 1.または 2.の条件でインターバルのカウンタを開始します。

1. PID=BUF状態でINトークンに対して、データを送信後のSOF受信
2. PID=BUF状態でOUTトークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PIDビットをNAKまたはSTALLに設定した場合

インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。

2. USBバスリセットおよびUSBサスペンド

IITVビットは初期化されません。SOFを受信すると、受信前の値からカウンタを開始します。

(b) ホストコントローラ機能選択時のインターバルカウンタと転送制御

IITV ビットの設定値に従って本モジュールはトークン発行間隔を制御します。本モジュールは 2^{IITV} 回のフレームに1回の間隔で選択パイプに対するトークンを発行します。

本モジュールは、PID ビットを BUF に設定した次のフレームからトークン発行間隔のカウンタを開始します。

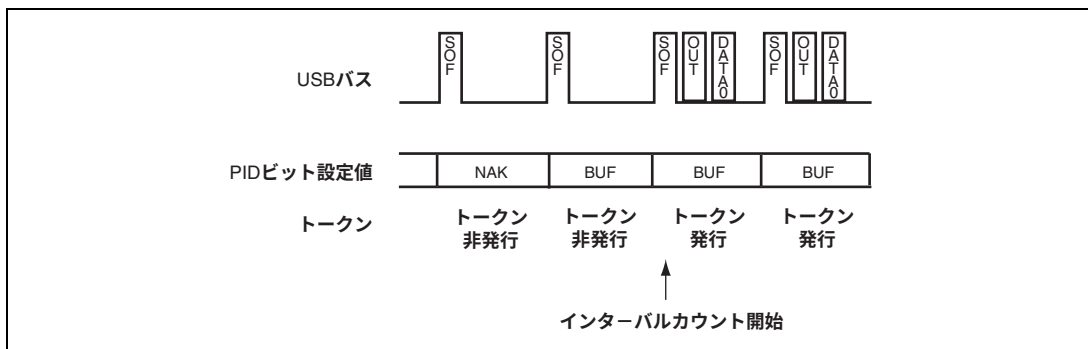


図 27.8 IITV=0 の場合のトークン発行有無

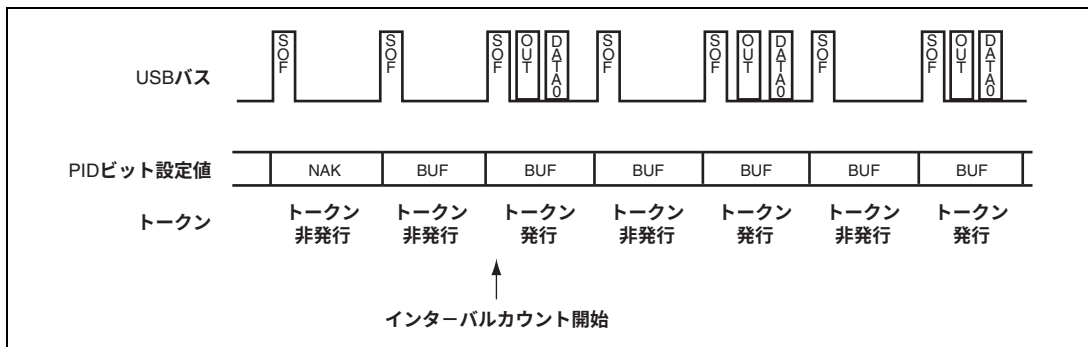


図 27.9 IITV=1 の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、本モジュールはトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも本モジュールはトークンを発行します。

1. 選択パイプがアイソクロナスIN転送パイプの場合

INトークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY割り込みを発生させます。

（FIFOバッファからデータを読み出すのが遅いなどの原因で）FIFOバッファがフルのために、本モジュールがデータを受信できない状態で、INトークン発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させます。

2. 選択パイプがアイソクロナスOUT転送パイプの場合

（FIFOバッファにデータを書き込むのが遅いなどの原因で）送信可能なデータがFIFOバッファにない状態でOUTトークン発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させ、Zero-Lengthパケットを送信します。

トークン発行間隔のリセット条件は、パワーオンリセットおよびACLRM=1に設定したときです。

(c) ファンクションコントローラ機能選択時のインターバルカウントと転送制御

1. 選択パイプがアイソクロナスOUT転送パイプの場合

IITVビットに設定したインターバルごとのフレーム中にDATAパケットを受信しなかったとき、本コントローラはNRDY割り込みを発生させます。

DATAパケットにCRCエラー等のエラーが発生したために受信できなかったとき、またはFIFOバッファがフルのために本モジュールがデータを受信できなかったときにもNRDY割り込みを発生させます。

NRDY割り込みの発生のタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。

ただしIITV=0以外のときには、インターバルカウント開始後のインターバルごとのSOFパケット受信時にNRDY割り込みを発生させます。

インターバルタイマ起動後、PIDビットにNAKを設定した場合、本モジュールはSOFパケットを受信してもNRDY割り込みを発生させません。

インターバルのカウント開始条件は、IITVビットの設定値により異なります。

- IITV=0のとき：選択パイプのPIDビットをBUFに変更した次のフレームからインターバルのカウントを開始します。

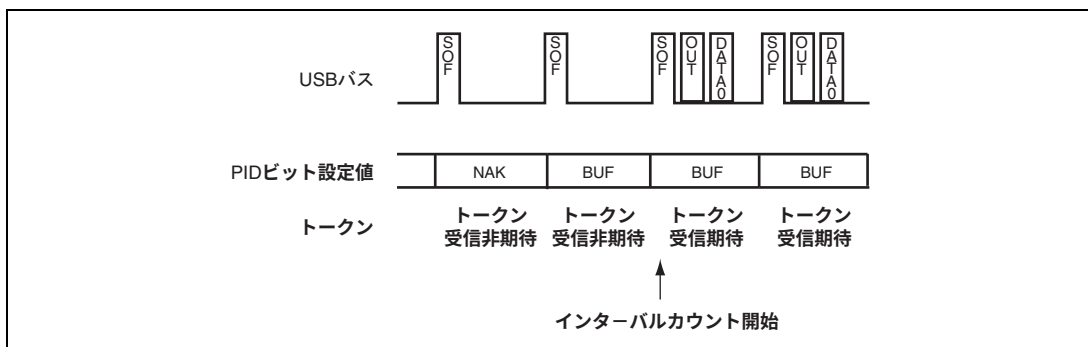


図 27.10 IITV=0 の場合のフレームとトークン受信期待有無の関係

- IITV=0以外のとき：選択パイプのPIDビットをBUFに変更した後最初のDATAパケット正常受信完了時点からインターバルのカウントを開始します。

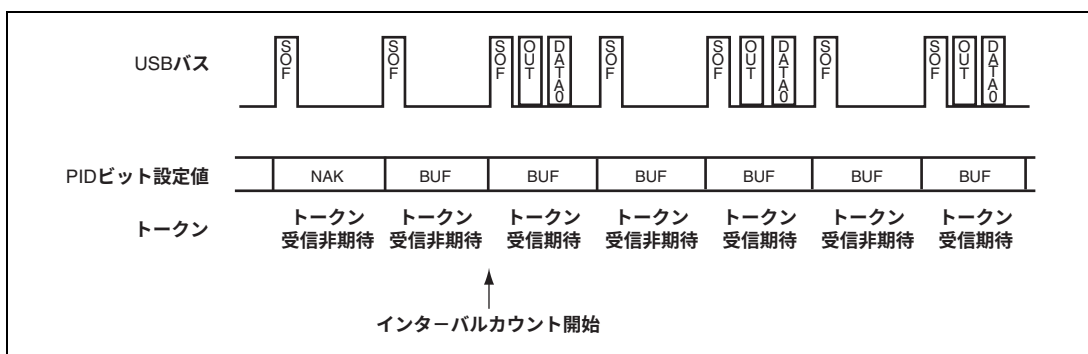


図 27.11 IITV=1 の場合のフレームとトークン受信期待有無の関係

2. 選択パイプがアイソクロナスIN転送パイプの場合

IFIS=1と組み合わせて使用します。IFIS=0の場合にはIITVビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS=1を設定している場合、FIFOバッファに送信可能なデータが存在している状態で、IITVビットに設定したインターバルごとのフレーム中にINトークンを受信しなかったとき、本モジュールはFIFOバッファをクリアします。

INトークンにCRCエラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。

FIFOバッファクリアのタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングにFIFOバッファクリアを行います

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。(OUT時と同様です)

ファンクションコントローラ機能選択時のインターバルカウンタのクリア条件は以下のいずれかの場合です。

- パワーオンリセット
- ACLRM=1を設定した場合
- 本モジュールがUSBバスリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のIN トークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 27.12 に本モジュールで、IITV=0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

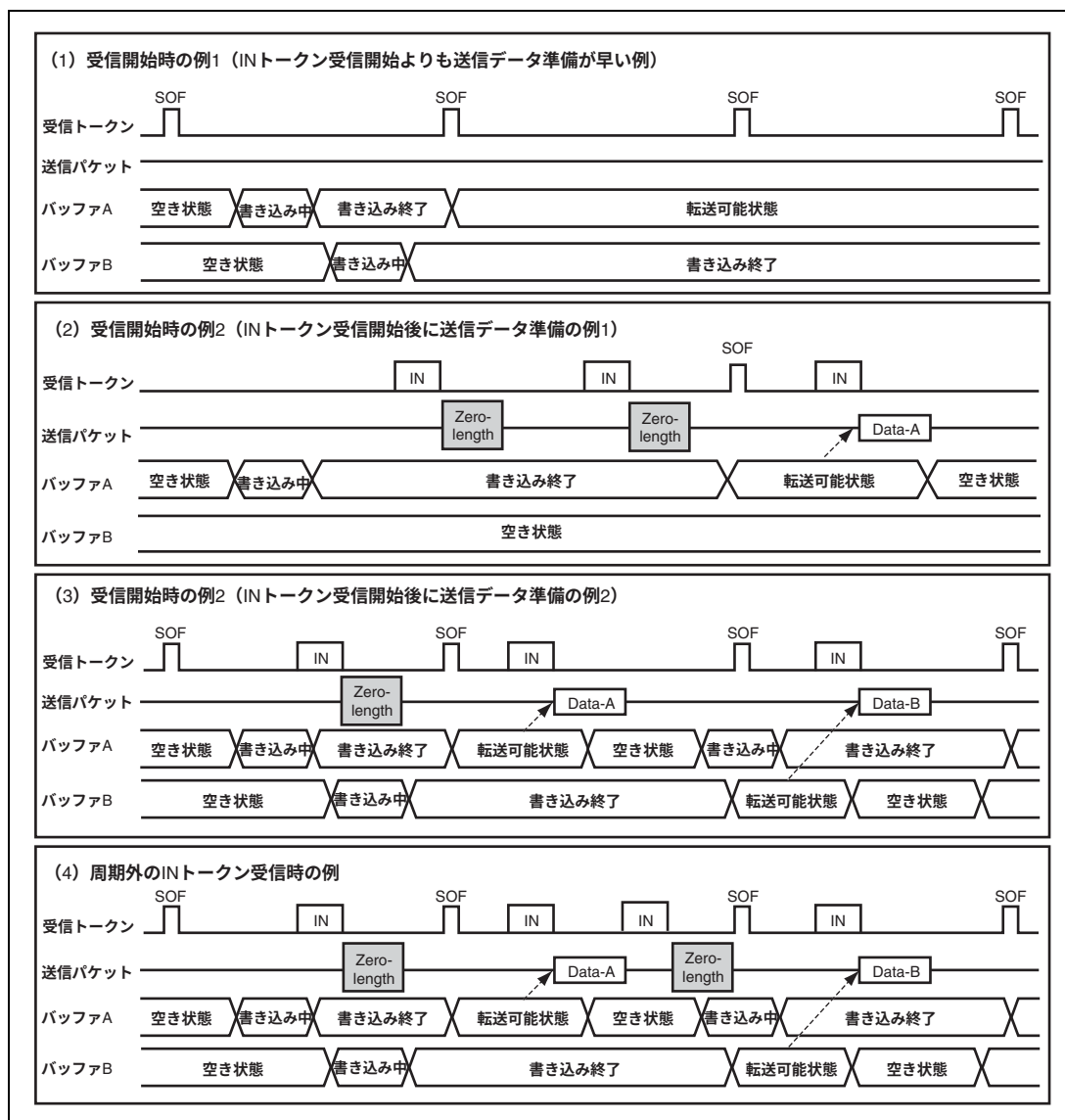


図 27.12 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV=0の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV=0以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 27.13 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

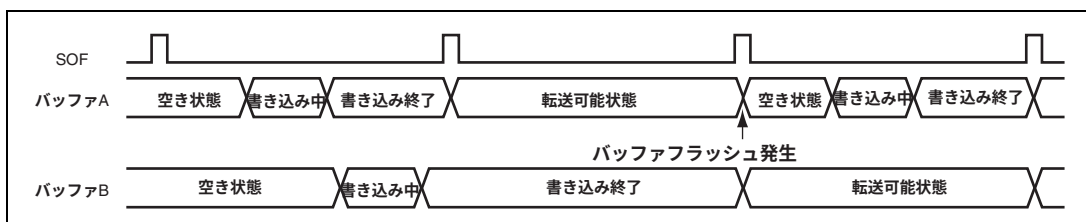


図 27.13 バッファフラッシュ機能動作例

図 27.14 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。
図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

2. OUT方向

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

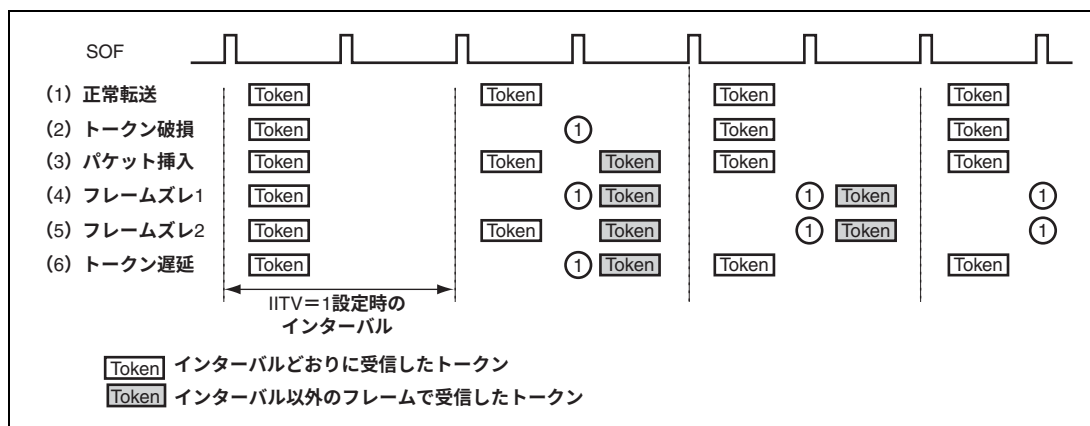


図 27.14 IITV=1 のときのインターバルエラー発生例

27.4.9 SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms 間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は SYSCFG0 レジスタの USBE ビット=1、SYSCFG0 レジスタの SCKE ビット=1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は内部クロック48MHzで1msをカウントし補間する。
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は補間しない。

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR割り込み
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。

27.4.10 パイプスケジュール

(1) トランザクション発行条件

本モジュールは、ホストコントローラ機能選択時、UACT=1 を設定したあと、表 27.26 に示す条件でトランザクションを発行します。

表 27.26 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	—*1	—*1	—*1	—*1	1 設定
コントロール転送のデータステージ、 ステータスステージ、 バルク転送	IN	BUF	無効	受信領域あり	—*1
	OUT	BUF	無効	送信データあり	—*1
インタラプト転送	IN	BUF	有効	受信領域あり	—*1
	OUT	BUF	有効	送信データあり	—*1
アイソクロナス転送	IN	BUF	有効	*2	—*1
	OUT	BUF	有効	*3	—*1

【注】 *1 表中の「—」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

*2 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

*3 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

(2) 転送スケジュール

本モジュールのフレーム内の転送スケジューリング方法について説明します。本モジュールは、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行

パイプ1→パイプ2→パイプ6→パイプ7→パイプ8→パイプ9の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送のセットアップトランザクション

DCPを確認してセットアップトランザクションが可能であれば送信します。

3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP→パイプ1→パイプ2→パイプ3→パイプ4→パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

(3) USB 通信許可

DVSTCTR レジスタの UACT ビットを 1 に設定することにより、SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを 0 に設定すると、SOF の送信を停止しサスペンドとなります。UACT ビットを 1→0 に設定する場合、次の SOF を送信してから停止します。

27.5 使用上の注意

27.5.1 USB 端子制御

本モジュール使用時にポート G の機能として本モジュールの端子以外を選択する場合、本モジュールの該当端子を未使用状態とする必要があります。以下に設定方法を示します。

(1) USB ポート 1 (DP1、DM1) を未使用状態とする場合

- 割り込み許可レジスタ 2 (INTENB2) に H'0000 を設定
- ポート 1 のデバイスステートコントロールレジスタ (DVSTCTR1) に H'0000 を設定
- システムコンフィギュレーションコントロールレジスタ 1 (SYSCFG1) の DRPD ビットに 0 を設定

(2) USB ポート 0、1 (DP0、DM0、DP1、DM1) を未使用状態とする場合

- 割り込み許可レジスタ 0～2 に H'0000 を設定
- システムコンフィギュレーションコントロールレジスタ 0 (SYSCFG0) の DRPD、DPRPU、USBE ビットに 0 を設定
- システムコンフィギュレーションコントロールレジスタ 1 (SYSCFG1) の DRPD ビットに 0 を設定

28. サンプリングレートコンバータ

サンプリングレートコンバータは、WMA/MP3/AACなどの各種デコーダで生成されたデータのサンプリングレートを変換するモジュールです。

28.1 特長

- データ形式：16ビット（ステレオ／モノラル）
- サンプリングレート
 - 入力：8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHzから選択可能
 - 出力：8kHz*、16kHz*、32kHz、44.1kHz、48kHzから選択可能（*：入力44.1kHz選択時のみ）
- 処理性能：1サンプルの出力間隔は、最大約13 μ s（ $P\phi = 36\text{MHz}$ ）
- SNR：80db以上
- 割り込み要因：5種類
 - 入力データFIFOエンプティ、出力データFIFOフル、出力データFIFOオーバライト、出力データFIFOアンダフロー、変換処理終了
- DMA転送要因：2種類
 - 入力データFIFOエンプティ、出力データFIFOフル
- モジュールスタンバイモード
 - 不使用時に本モジュールへのクロック供給を停止することにより、消費電力の低減が可能

図 28.1 にブロック図を示します。

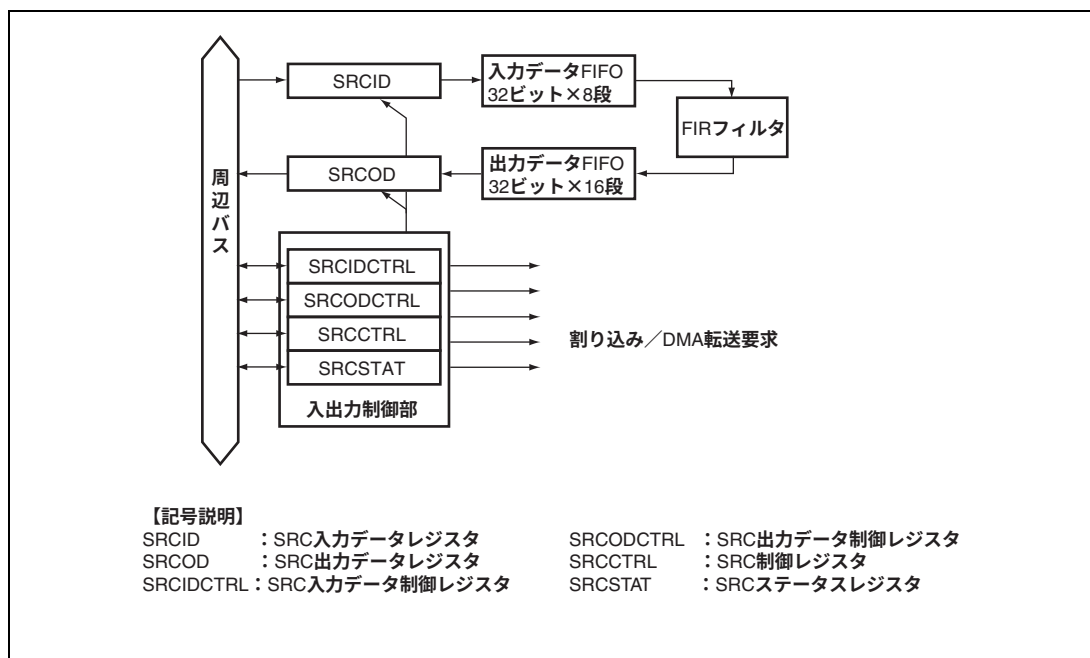


図 28.1 ブロック図

28.2 レジスタの説明

表 28.1 にレジスタ構成を示します。

表 28.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	入力データレジスタ_0	SRCID_0	R/W	H'00000000	H'FFFE7000	16、32
	出力データレジスタ_0	SRCOD_0	R	H'00000000	H'FFFE7004	16、32
	入力データ制御レジスタ_0	SRCIDCTRL_0	R/W	H'0000	H'FFFE7008	16
	出力データ制御レジスタ_0	SRCODCTRL_0	R/W	H'0000	H'FFFE700A	16
	制御レジスタ_0	SRCCTRL_0	R/W	H'0000	H'FFFE700C	16
	ステータスレジスタ_0	SRCSTAT_0	R/(W)*	H'0002	H'FFFE700E	16
1	入力データレジスタ_1	SRCID_1	R/W	H'00000000	H'FFFE7800	16、32
	出力データレジスタ_1	SRCOD_1	R	H'00000000	H'FFFE7804	16、32
	入力データ制御レジスタ_1	SRCIDCTRL_1	R/W	H'0000	H'FFFE7808	16
	出力データ制御レジスタ_1	SRCODCTRL_1	R/W	H'0000	H'FFFE780A	16
	制御レジスタ_1	SRCCTRL_1	R/W	H'0000	H'FFFE780C	16
	ステータスレジスタ_1	SRCSTAT_1	R/(W)*	H'0002	H'FFFE780E	16
2	入力データレジスタ_2	SRCID_2	R/W	H'00000000	H'FFFEF800	16、32
	出力データレジスタ_2	SRCOD_2	R	H'00000000	H'FFFEF804	16、32
	入力データ制御レジスタ_2	SRCIDCTRL_2	R/W	H'0000	H'FFFEF808	16
	出力データ制御レジスタ_2	SRCODCTRL_2	R/W	H'0000	H'FFFEF80A	16
	制御レジスタ_2	SRCCTRL_2	R/W	H'0000	H'FFFEF80C	16
	ステータスレジスタ_2	SRCSTAT_2	R/(W)*	H'0002	H'FFFEF80E	16

【注】 * ビット 15～6、4 は読み出しのみ可能です。また、ビット 5、3 は 1 を読み出した後の 0 書き込みのみ可能です。

28.2.1 入力データレジスタ (SRCID)

SRCID は、32 ビットの読み出し／書き込み可能なレジスタで、サンプリングレート変換前のデータの入力に用います。すべてのビットは読み出すと 0 が読み出されます。SRCID へ書き込まれたデータは、8 段の入力データ FIFO に格納されます。入力データ FIFO のデータ数が 8 のときは、SRCID への書き込みは無効になります。

ステレオデータの場合、ビット 31～16 には Lch のデータ、ビット 15～0 には Rch のデータを格納します。モノラルデータの場合、ビット 31～16 に格納されたデータが有効となり、ビット 15～0 に格納されたデータは無効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

変換処理の対象となるデータは、SRCIDCTRL の IED ビットの設定値によりアラインメントが異なります。表 28.2 に SRCIDCTRL の IED ビットの設定値とデータのアラインメントの関係を示します。

表 28.2 変換データのアラインメント

IED	Lch[15:8]	Lch[7:0]	Rch[15:8]	Rch[7:0]
0	SRCID[31:24]	SRCID[23:16]	SRCID[15:8]	SRCID[7:0]
1	SRCID[23:16]	SRCID[31:24]	SRCID[7:0]	SRCID[15:8]

28.2.2 出力データレジスタ (SRCOD)

SRCOD は、32 ビットの読み出し可能なレジスタで、サンプリングレート変換後のデータの出力に用います。16 段の出力データ FIFO に格納されたデータを SRCOD から読み出すことができます。変換処理の開始以降、出力データ FIFO のデータ数が 0 のときは、前回と同じ値が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

SRCOD の内容は、SRCODCTRL の OCH、OED ビットの設定値によりアラインメントが異なります。表 28.3 に SRCODCTRL の OCH、OED ビットの設定値と SRCOD に格納されるデータのアラインメントの関係を示します。

表 28.3 SRCOD のアラインメント

OCH	OED	SRCOD[31:24]	SRCOD[23:16]	SRCOD[15:8]	SRCOD[7:0]
0	0	Lch[15:8]	Lch[7:0]	Rch[15:8]*2	Rch[7:0]*2
	1	Lch[7:0]	Lch[15:8]	Rch[7:0]*2	Rch[15:8]*2
1*1	0	Rch[15:8]	Rch[7:0]	Lch[15:8]	Lch[7:0]
	1	Rch[7:0]	Rch[15:8]	Lch[7:0]	Lch[15:8]

【注】 *1 モノラルデータを処理する場合は設定しないでください。

*2 モノラルデータを処理する場合は無効なデータとなります。

28.2.3 入力データ制御レジスタ (SRCIDCTRL)

SRCIDCTRL は、16 ビットの読み出し／書き込み可能なレジスタで、入力データのエンディアン形式、割り込み要求の許可／禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	IED	IEN	-	-	-	-	-	-	-	IFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	IED	0	R/W	入力データエンディアン指定 入力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	IEN	0	R/W	入力データエンプティインタラプトイネーブル 入力 FIFO のデータ数が IFTRG[1:0] ビットで設定されたトリガ数以下になり、ステータスレジスタ (SRCSTAT) の IINT ビットが 1 にセットされたときに、入力データエンプティ割り込み要求の発生を許可／禁止します。 0: 入力データエンプティ割り込み要求を禁止 1: 入力データエンプティ割り込み要求を許可
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	IFTRG[1:0]	00	R/W	入力 FIFO データ数トリガ ステータスレジスタ (SRCSTAT) の IINT ビットをセットする条件を指定します。入力 FIFO に格納された入力データ数が以下に示す設定トリガ数以下になったとき、IINT ビットは 1 にセットされます。 00: 0 01: 2 10: 4 11: 6

28.2.4 出力データ制御レジスタ（SRCODCTRL）

SRCODCTRL は、16 ビットの読み出し／書き込み可能なレジスタで、出力データのチャンネル入れ替え、エンディアン形式、割り込み要求の許可／禁止、トリガデータ数を設定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	OCH	OED	OEN	-	-	-	-	-	-	-	OFTRG[1:0]
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	OCH	0	R/W	出力データチャンネルスワップ 出力データレジスタ（SRCOD）のチャンネル入れ替えを指定します。モノラルデータを変換する場合は 1 に設定しないでください。 0：チャンネルを入れ替えない（入力データの順と同じにする） 1：チャンネルを入れ替える（入力データの順と逆にする）
9	OED	0	R/W	出力データエンディアン指定 出力データのエンディアン形式を指定します。 0：ビッグエンディアン 1：リトルエンディアン
8	OEN	0	R/W	出力データフルインタラプトイネーブル 出力 FIFO のデータ数が OFTRG[1:0] ビットで設定されたトリガ数以上になり、ステータスレジスタ（SRCSTAT）の OINT ビットがセットされたときに、出力データフル割り込み要求の発生を許可／禁止します。 0：出力データフル割り込み要求を禁止 1：出力データフル割り込み要求を許可
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	OFTRG[1:0]	00	R/W	出力 FIFO データ数トリガ ステータスレジスタ（SRCSTAT）の OINT ビットをセットする条件を指定します。出力 FIFO に格納された出力データ数が以下に示す設定トリガ数以上になったとき、OINT ビットは 1 にセットされます。 00：1 01：4 10：8 11：12

28.2.5 制御レジスタ (SRCCTRL)

SRCCTRL は、16 ビットの読み出し／書き込み可能なレジスタで、モジュール動作の許可／禁止、割り込み要求の許可／禁止、フラッシュ処理、内部ワークメモリのクリア処理、入力および出力サンプリングレートを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CEEN	SRCEN	UDEN	OVEN	FL	CL	IFS[3:0]				-	OFS[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明												
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
13	CEEN	0	R/W	変換処理終了インタラプトイネーブル フラッシュ処理が終了した後、すべての出力データが読み出され、ステータスレジスタ（SRCSTAT）の CEF ビットが 1 にセットされたときに、変換処理終了割り込み要求の発生を許可／禁止します。 0：変換処理終了割り込み要求を禁止 1：変換処理終了割り込み要求を許可												
12	SRCEN	0	R/W	モジュールイネーブル 本モジュールのモジュール動作の許可／禁止を設定します。SRCEN＝0 のときに 1 を書き込むと、内部ワークメモリをクリアします。 0：本モジュール動作を禁止 1：本モジュール動作を許可 【注】SRCEN＝1 のときは、下記ビットの設定値を変更しないでください。 <table><tr><th>レジスタ</th><th>ビット</th><th>ビット名</th></tr><tr><td>SRCIDCTRL</td><td>9</td><td>IED</td></tr><tr><td>SRCODCTRL</td><td>10、9</td><td>OCH、OED</td></tr><tr><td>SRCCTRL</td><td>7～4、2～0</td><td>IFS[3:0]、OFS[2:0]</td></tr></table>	レジスタ	ビット	ビット名	SRCIDCTRL	9	IED	SRCODCTRL	10、9	OCH、OED	SRCCTRL	7～4、2～0	IFS[3:0]、OFS[2:0]
レジスタ	ビット	ビット名														
SRCIDCTRL	9	IED														
SRCODCTRL	10、9	OCH、OED														
SRCCTRL	7～4、2～0	IFS[3:0]、OFS[2:0]														
11	UDEN	0	R/W	出力 FIFO アンダフローインタラプトイネーブル 出力 FIFO のデータ数が 0 の状態で出力データ FIFO の読み出しが発生し、ステータスレジスタ（SRCSTAT）の UDF ビットが 1 にセットされたときに、出力 FIFO アンダフロー割り込み要求の発生を許可／禁止します。 0：出力 FIFO アンダフロー割り込み要求を禁止 1：出力 FIFO アンダフロー割り込み要求を許可												

ビット	ビット名	初期値	R/W	説 明
10	OVEN	0	R/W	出力 FIFO オーバライトインタラプトイネーブル 出力 FIFO が満杯の状態では次のデータの変換処理が終了し、ステータスレジスタ (SRCSTAT) の OVF ビットが 1 にセットされたときに、出力 FIFO オーバライト割り込み要求の発生を許可／禁止します。 OVEN＝1 の場合は、出力 FIFO オーバライト割り込みが発生すると、CPU による SRCSTAT へのアクセスで OVF ビットがクリアされるまで、変換処理は停止し、出力データ FIFO に対する変換結果の書き込みも停止します。 OVEN＝0 の場合は、出力 FIFO に空きができると自動的に OVF ビットがクリアされ、変換処理を継続できます。 0：出力 FIFO オーバライト割り込み要求を禁止 1：出力 FIFO オーバライト割り込み要求を許可
9	FL	0	R/W	内部ワークメモリフラッシュ 1 を書き込むと、入力 FIFO、入力バッファメモリ、および中間バッファメモリに格納されたすべてのデータに対するサンプリングレート変換の実行（フラッシュ処理）を開始します。読み出すと常に 0 が読み出されます。SRCEN＝0 のときは、1 を書き込んでもフラッシュ処理を実行しません。 また、入力したデータの数表 28.6 に示す値を下回る状態で FL ビットに 1 を書き込んだ場合は、有効な出力データが得られないため、フラッシュ処理を実行せずに、内部ワークメモリをクリアします。
8	CL	0	R/W	内部ワークメモリクリア 1 を書き込むと、入力 FIFO、出力 FIFO、入力バッファメモリ、中間バッファメモリ、およびアキュムレータをクリアします。読み出すと常に 0 が読み出されます。SRCEN＝0 の場合でも、1 を書き込むとクリアします。
7～4	IFS[3:0]	0000	R/W	入力サンプリングレート 入力サンプリングレートを設定します。 0000：8.0kHz 0001：11.025kHz 0010：12.0kHz 0011：設定禁止 0100：16.0kHz 0101：22.05kHz 0110：24.0kHz 0111：設定禁止 1000：32.0kHz 1001：44.1kHz 1010：48.0kHz 1011：設定禁止 1100：設定禁止 1101：設定禁止 1110：設定禁止 1111：設定禁止
3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	OFS[2:0]	0	R/W	出力サンプリングレート 出力サンプリングレートを設定します。 000 : 44.1kHz 100 : 8.0kHz* 001 : 48.0kHz 101 : 16.0kHz* 010 : 32.0kHz 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止 【注】 * OFS = (100, 101) は IFS = 1001 に設定した時のみ有効です。

フラッシュ処理終了後、変換結果として得られる出力データ数は、以下に示す式から求められます。

$$\text{出力サンプル数} = \left\lfloor (\text{入力データ数} \times n - 1) \times \frac{\text{出力サンプリングレート}}{\text{入力サンプリングレート} \times n} \right\rfloor + 1$$

表 28.4 式における n の値

OFS 設定値 (出力サンプリング レート[kHz])	IFS 設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
000 (44.1)	6	4	4	3	2	2	3	—	1
001 (48.0)	6	4	4	3	2	2	3	1	—
010 (32.0)	4	8	4	2	4	2	—	2	1
100 (8.0)	—	—	—	—	—	—	—	1	—
101 (16.0)	—	—	—	—	—	—	—	1	—

また、一定数のデータが入力されるまでは、変換処理を開始しないため、出力データを得ることはできません。最初の出力データを得るために必要となる入力データの個数は、IFS、OFS ビットの設定値により異なります。表 28.5、表 28.6 に IFS、OFS ビットの設定値と必要となる初期入力データ数の関係を示します。

表 28.5 サンプリングレート設定と必要な初期入力データ数

OFS 設定値 (出力サンプリング レート[kHz])	IFS 設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
000 (44.1)	38	40	40	43	48	48	43	—	63
001 (48.0)	38	40	40	43	48	48	43	32	—
010 (32.0)	40	37	40	48	40	48	—	48	63
100 (8.0)	—	—	—	—	—	—	—	63	—
101 (16.0)	—	—	—	—	—	—	—	63	—

表 28.6 サンプルングレート設定とフラッシュ処理に必要な入力データ数

OFS 設定値 (出力サンプリング レート[kHz])	IFS 設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
000 (44.1)	27	24	24	22	16	16	22	—	1
001 (48.0)	27	24	24	22	16	16	22	32	—
010 (32.0)	24	29	24	16	24	16	—	16	1
100 (8.0)	—	—	—	—	—	—	—	1	—
101 (16.0)	—	—	—	—	—	—	—	1	—

28.2.6 ステータスレジスタ (SRCSTAT)

SRCSTAT は、16 ビットの読み出し／書き込み可能なレジスタで、出力 FIFO および入力 FIFO のデータ数、各割り込み要因の発生状態、フラッシュ処理の実行状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFDN[4:0]					IFDN[3:0]			-	CEF	FLF	UDF	OVF	IINT	OINT	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R(W)*	R	R(W)*	R(W)*	R(W)*	R(W)*

【注】 * 1を読み出した後の0書き込みのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15~11	OFDN[4:0]	00000	R	出力 FIFO データカウント 出力 FIFO に格納されたデータの数を示します。
10~7	IFDN[3:0]	0000	R	入力 FIFO データカウント 入力 FIFO に格納されたデータの数を示します。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	CEF	0	R(W)*	変換処理終了フラグ フラッシュ処理が終了した後、すべての出力データが読み出されたことを示します。 [クリア条件] • CEF=1 の状態で CEF を読み出し後、CEF に 0 を書き込んだとき • SRCCTRL の CL ビットに 1 を書き込んだとき • SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき [セット条件] • フラッシュ処理が終了した後、出力データ FIFO のデータ数が 0 になったとき

ビット	ビット名	初期値	R/W	説 明
4	FLF	0	R	フラッシュ処理ステータスフラグ フラッシュ処理の実行中であることを示します。 [クリア条件] - フラッシュ処理が終了したとき - SRCCTRL の CL ビットに 1 を書き込んだとき - SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき [セット条件] - SRCCTRL の FL ビットに 1 を書き込んだとき
3	UDF	0	R/(W)*	出力 FIFO アンダフロー割り込み要求フラグ 出力 FIFO のデータ数が 0 のときに、出力データ FIFO の読み出しが発生したことを示します。 [クリア条件] - UDF=1 の状態で UDF を読み出し後、UDF に 0 を書き込んだとき - SRCCTRL の CL ビットに 1 を書き込んだとき - SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき [セット条件] - 出力 FIFO のデータ数が 0 の状態で、出力データ FIFO の読み出しが発生したとき
2	OVF	0	R/(W)*	出力 FIFO オーバライト割り込み要求フラグ 出力 FIFO が満杯のときに、次のデータの変換処理が終了したことを示します。OVF フラグがクリアされるまで、変換処理は停止します。 [クリア条件] - SRCCTRL の OVEN ビットが 1 の場合に、OVF=1 の状態で OVF を読み出し後、OVF に 0 を書き込んだとき - SRCCTRL の OVEN ビットが 0 の場合に、SRCOD を読み出して出力 FIFO のデータ数が減少したとき - SRCCTRL の CL ビットに 1 を書き込んだとき - SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき [セット条件] - 出力 FIFO が満杯の状態で、次のデータの変換処理が終了したとき

ビット	ビット名	初期値	R/W	説 明
1	IINT	1	R/(W)*	入力 FIFO エンプティ割り込み要求フラグ 入力 FIFO に格納されたデータ数が SRC 入力データ制御レジスタ (SRCIDCTRL) の IFTRG[1:0]ビットで設定されたトリガ数以下になったことを示します。 [クリア条件] • IINT=1 の状態で IINT を読み出した後、IINT に 0 を書き込んだとき • DMA 転送により、入力 FIFO のデータ数が設定されたトリガ数を上回ったとき [セット条件] • 入力 FIFO に格納されたデータ数が設定されたトリガ数以下になったとき • SRCCTRL の CL ビットに 1 を書き込んだとき • SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき
0	OINT	0	R/(W)*	出力 FIFO フル割り込み要求フラグ 出力 FIFO に格納されたデータ数が SRC 出力データ制御レジスタ (SRCODCTRL) の OFTRG[1:0]ビットで設定されたトリガ数以上になったことを示します。 [クリア条件] • OINT=1 の状態で OINT を読み出した後、OINT に 0 を書き込んだとき • DMA 転送により、出力 FIFO のデータ数が設定されたトリガ数を下回ったとき • SRCCTRL の CL ビットに 1 を書き込んだとき • SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき [セット条件] • 出力 FIFO に格納されたデータ数が設定されたトリガ数以上になったとき

【注】 * 1 を読み出した後の 0 書き込みのみ可能です。

28.3 動作説明

28.3.1 初期設定

図 28.2 に初期設定の手順を示します。

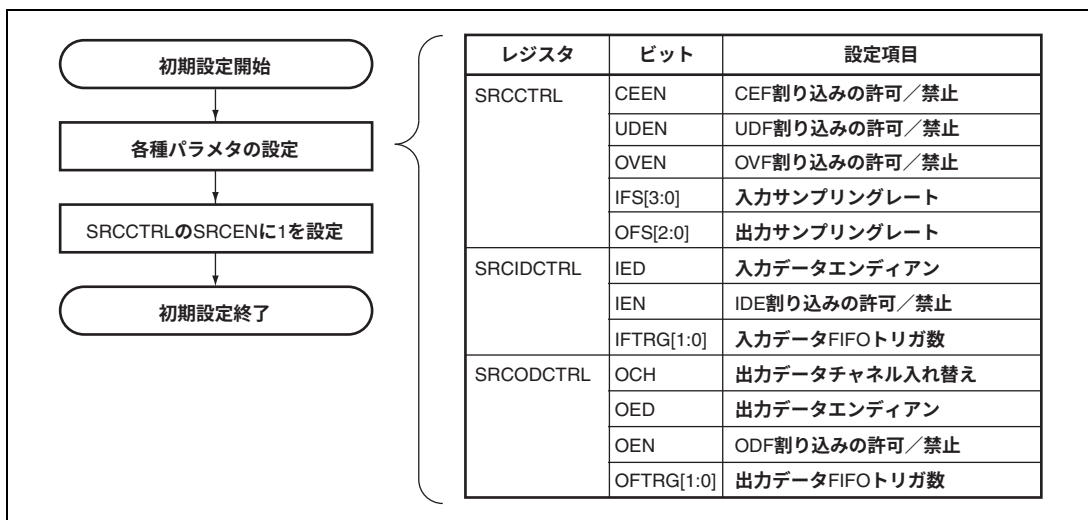


図 28.2 初期設定手順の例

28.3.2 データ入力

図 28.3 にデータ入力の手順を示します。

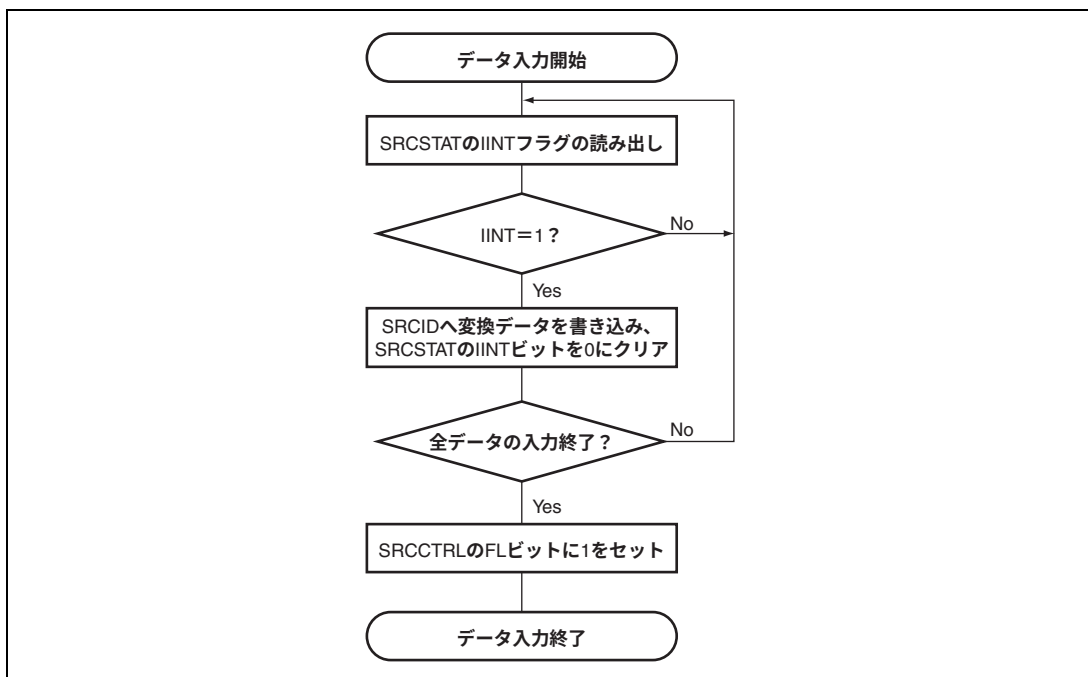


図 28.3 データ入力手順の例

(1) CPU への割り込みを使用する場合

1. SRCIDCTRLのIENビットに1を設定します。
2. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求が発生します。割り込み処理ルーチンで SRCSTATのIINTビットが1であることを読み出した後、SRCIDへデータを書き込み、SRCSTATのIINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. 2.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

(2) 割り込みによりダイレクトメモリアクセスコントローラを起動する場合

1. ダイレクトメモリアクセスコントローラのいずれかのチャンネルを本モジュールのIDEIに割り当てます。
2. SRCIDCTRLのIENビットに1を設定します。
3. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求が発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SRCIDへデータが書き込まれ、入力データFIFOのデータ数が SRCIDCTRLのIFTRG[1:0]ビットで設定したトリガ数を上回ると、SRCSTATのIINTビットがクリアされます。
4. 3.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

(3) シリアルサウンドインタフェースの割り込みによりダイレクトメモリアクセスコントローラを起動し、入力データをシリアルサウンドインタフェースから転送する場合

1. ダイレクトメモリアクセスコントローラのいずれかのチャンネルのDMA転送要求元にシリアルサウンドインタフェースを割り当て、転送元をシリアルサウンドインタフェースのSSIFRDR、転送先を本モジュールのSRCIDに設定した上で、受信動作が可能となるようにシリアルサウンドインタフェースを設定します。
2. SSIFSRのRDFビットに1が設定されると、シリアルサウンドインタフェース割り込み要求を発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SSIFRDRから読み出されたデータがSRCIDに書き込まれます。
3. 2.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

28.3.3 データ出力

図 28.4 にデータ出力の手順を示します。

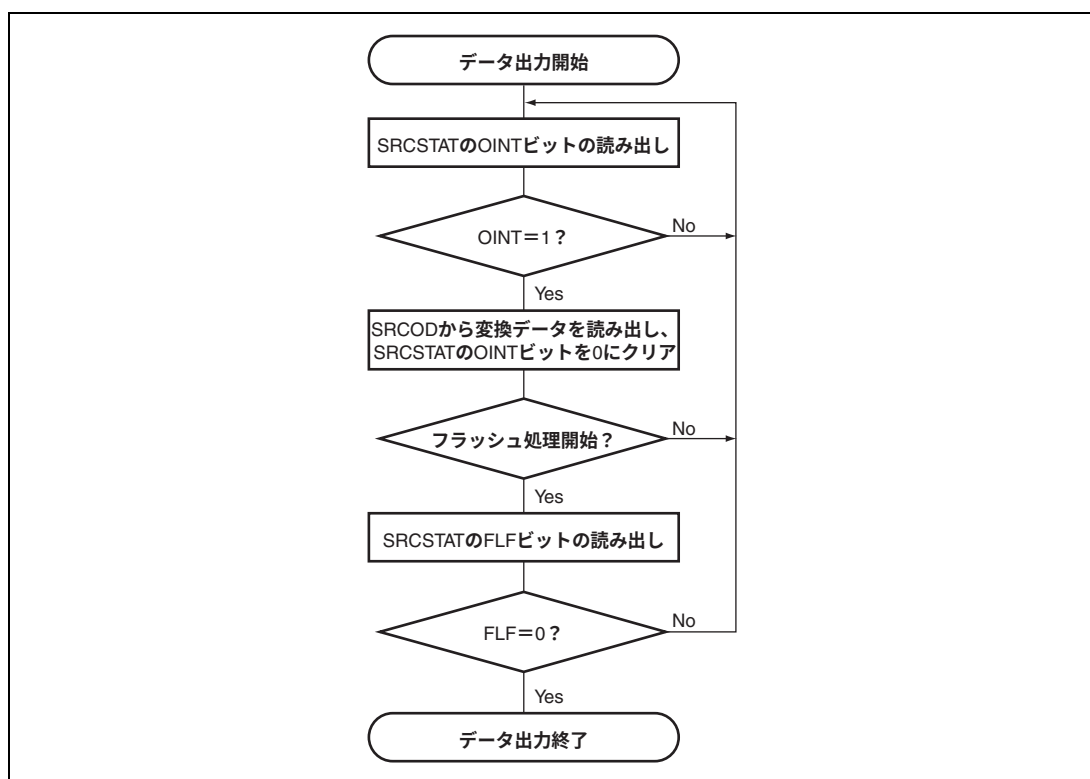


図 28.4 データ出力手順の例

(1) CPU への割り込みを使用する場合

1. SRCODCTRLのOENビットに1を設定します。
2. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求が発生します。割り込み処理ルーチンでSRCSTATのOINTビットが1であることを読み出した後、SRCODからデータを読み出し、SRCSTATのOINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. フラッシュ処理開始後、SRCSTATのCEFビットが1であることを読み出すまで、2.を繰り返します。

(2) 割り込みによりダイレクトメモリアクセスコントローラを起動する場合

1. ダイレクトメモリアクセスコントローラのいずれかのチャンネルを本モジュールのODFIに割り当てます。
2. SRCODCTRLのOENビットに1を設定します。
3. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求が発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SRCODからデータが読み出され、出力データFIFOのデータ数がSRCODCTRLのOFTRG[1:0]ビットで設定したトリガ数を下回ると、SRCSTATのOINTビットがクリアされます。
4. フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、3.を繰り返します。

(3) シリアルサウンドインタフェースの割り込みによりダイレクトメモリアクセスコントローラを起動し、出力データをシリアルサウンドインタフェースへ転送する場合

1. SRCCTRLのOVENビットに0を設定し、OVF割り込み要求の発生を禁止します。
2. ダイレクトメモリアクセスコントローラのいずれかのチャンネルのDMA転送要求元にシリアルサウンドインタフェースを割り当て、転送元を本モジュールのSRCOD、転送先をシリアルサウンドインタフェースのSSIFTDRに設定した上で、送信動作が可能となるようにシリアルサウンドインタフェースを設定します。
3. SSIFSRのTDEビットに1が設定されると、シリアルサウンドインタフェースが割り込み要求が発生し、ダイレクトメモリアクセスコントローラを起動します。DMA転送により、SRCODから読み出されたデータがSSIFTDRに書き込まれます。
4. フラッシュ処理開始後、SRCSTATのCEFビットが1であることを読み出すまで、3.を繰り返します。

28.4 割り込み

本モジュールの割り込み要因には、入力 FIFO データエンプティ (IDEI)、出力 FIFO データフル (ODFI)、出力 FIFO オーバライト (OVF)、出力 FIFO アンダフロー (UDF)、および変換処理終了 (CEF) の 5 種類があります。表 28.7 に割り込みの種類と発生条件を示します。

表 28.7 割り込み要求の種類と発生条件

割り込み要求	略称	発生条件	ダイレクトメモリアクセス コントローラ起動
入力データ FIFO エンプティ	IDEI	$(IINT=1) \cdot (IEN=1) \cdot (SRCEN=1)$	可
出力データ FIFO フル	ODFI	$(OINT=1) \cdot (OEN=1) \cdot (SRCEN=1)$	可
出力データ FIFO オーバライト	OVF	$(OVF=1) \cdot (OVEN=1) \cdot (SRCEN=1)$	不可
出力データ FIFO アンダフロー	UDF	$(UDF=1) \cdot (UDEN=1) \cdot (SRCEN=1)$	不可
変換処理終了	CEF	$(CEF=1) \cdot (CEEN=1) \cdot (SRCEN=1)$	不可

割り込み発生条件が成立すると、CPU は割り込み例外処理を実行します。割り込み要因フラグは、割り込み例外処理ルーチン内でクリアしてください。

IDEI 割り込みと ODFI 割り込みは、ダイレクトメモリアクセスコントローラの設定により、ダイレクトメモリアクセスコントローラを起動することができます。ダイレクトメモリアクセスコントローラを起動した場合は、本モジュールから CPU への割り込みは発生しません。DMA 転送により SRCID にデータが書き込まれ、入力データ FIFO のデータ数が設定トリガ数を上回った場合、IINT はクリアされます。同様に、SRCOD からデータが読み出され、出力データ FIFO のデータ数が設定トリガ数を下回った場合、OINT はクリアされます。

28.5 使用上の注意事項

28.5.1 レジスタアクセス時の注意

下記に示す SRCCTRL への書き込みが SRCSTAT に反映されるまでに、周辺クロック 0 (P0 ϕ) で 3 サイクルかかります。

- SRCCTRLのFLビットに1を書き込んだ後、SRCSTATのFLFビットがセットされるまで
- SRCCTRLのCLビットに1を書き込んだ後、SRCSTATの各ビットが初期化されるまで
- SRCCTRLのSRCENビットが0の状態 SRCENに1を書き込んだ後、SRCSTATの各ビットが初期化されるまで

一方、CPU はレジスタ書き込みの完了を待たずに後続の命令を実行するため、SRCCTRL への書き込み命令の直後の命令では、SRCSTAT の変更後の状態を読み出すことはできません。SRCSTAT の変更後の状態を確認する場合は、SRCCTRL への書き込み命令の後に SRCCTRL または SRCSTAT をダミーリードしてください。

28.5.2 フラッシュ処理に関する注意

SRC 制御レジスタ (SRCCTRL) の FL ビットに 1 が書き込まれると、本モジュールはそれまでに入力されたデータの終点以降に 0 データを付加しながら、変換処理を続行します。フラッシュ処理は、オーディオデータの終点となるデータの入力が完了し、後続するデータが存在しない場合に行ってください。

また、フラッシュ処理を実行した後に、再度、変換処理を行う場合は、下記のいずれかの動作によって内部ワークメモリをクリアしてください。

- SRCCTRLのCLビットに1を書き込む
- SRCCTRLのSRCENビットに0を書き込んだ後に、1を書き込む

29. SD ホストインタフェース

本章は、守秘契約を結んでいただいたうえで公開致します。

詳細は、弊社の営業担当にご確認ください。

30. 内蔵 RAM

本 LSI は、高速アクセス可能な高速内蔵 RAM と、表示領域、ワーク領域用に大容量内蔵 RAM（内 128KB を保持用内蔵 RAM と共用）、およびディープスタンバイモードでもデータを保持できる保持用内蔵 RAM を内蔵しており、命令やデータを格納することができます。

高速内蔵 RAM および大容量内蔵 RAM（保持用内蔵 RAM を含む）は、RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

保持用内蔵 RAM は、大容量内蔵 RAM のページ 0 に割り付けられており、ディープスタンバイモードでデータを保持するかしないかを保持用内蔵 RAM のページごとに選択することが可能です。

30.1 特長

- ページ

高速内蔵 RAM は 4 ページで構成されており、1 ページあたりの容量は 16K バイトです。

大容量内蔵 RAM は 5 ページで構成されています。

保持用内蔵 RAM は 4 ページで構成されています。各ページの容量は、ページ 0 は 16K バイト、ページ 1 は 16K バイト、ページ 2 は 32K バイト、ページ 3 は 64K バイトです。

- メモリマップ

内蔵 RAM は、表 30.1～表 30.3 のアドレス空間に配置されています。

表 30.1 高速内蔵 RAM アドレス空間

ページ	アドレス
ページ 0	H'FFF80000～H'FFF83FFF
ページ 1	H'FFF84000～H'FFF87FFF
ページ 2	H'FFF88000～H'FFF8BFFF
ページ 3	H'FFF8C000～H'FFF8FFFF

表 30.2 大容量内蔵 RAM アドレス空間

ページ	キャッシュ有効アドレス	キャッシュ無効アドレス
ページ 0 (256KB)	H'1C000000～H'1C03FFFF	H'3C000000～H'3C03FFFF
ページ 1 (256KB)	H'1C040000～H'1C07FFFF	H'3C040000～H'3C07FFFF
ページ 2 (256KB)	H'1C080000～H'1C0BFFFF	H'3C080000～H'3C0BFFFF
ページ 3 (256KB)	H'1C0C0000～H'1C0FFFFF	H'3C0C0000～H'3C0FFFFF
ページ 4 (256KB)	H'1C100000～H'1C13FFFF	H'3C100000～H'3C13FFFF

表 30.3 保持用内蔵 RAM アドレス空間

ページ	キャッシュ有効アドレス	キャッシュ無効アドレス
ページ 0 (16KB)	H'1C000000~H'1C003FFF	H'3C000000~H'3C003FFF
ページ 1 (16KB)	H'1C004000~H'1C007FFF	H'3C004000~H'3C007FFF
ページ 2 (32KB)	H'1C008000~H'1C00FFFF	H'3C008000~H'3C00FFFF
ページ 3 (64KB)	H'1C010000~H'1C01FFFF	H'3C010000~H'3C01FFFF

- ポート

高速内蔵RAMの各ページは2本の独立した読み出し／書き込みポートを持ち、内部DMAバス（IDバス）、CPU命令フェッチバス（Fバス）、CPUメモリアクセスバス（Mバス）と接続されています（ただし、Fバスは読み出しポートのみに接続されています）。CPUからのアクセスにはFバスおよびMバス、DMACからのアクセスにはIDバスが使用されます。

大容量内蔵RAMの各ページは1本の読み出し／書き込みポートを持ち、内部CPUバス（ICバス）、および内部DMAバス（IDバス）に接続されています。なお、保持用内蔵RAMは、大容量内蔵RAMのページ0に含まれるため、ページ0の読み出し／書き込みポートを共有します。

- 優先順位

高速内蔵RAMの同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIDバス、Mバス、Fバスとなります。

大容量内蔵RAMの同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にICバス（直前のサイクルでICバスがバス権を取得していないとき）、IDバス、ICバス（直前のサイクルでICバスがバス権を取得しているとき）となります。

- アクセスサイクル数

高速内蔵RAM : Fバス・Mバスからのアクセスサイクル数は、リード／ライトともに1I ϕ サイクルです。

IDバスからのアクセスサイクルは、CPUクロック（I ϕ ）とバスクロック（B ϕ ）のクロック比に依存します。

表30.4にIDバスからのアクセスサイクル数を示します。

表 30.4 高速内蔵 RAM ID バスアクセスサイクル数

リード／ライト	I ϕ : B ϕ クロック比	アクセスサイクル数 (B ϕ)
リード	1 : 1	3
	2 : 1	2
	3 : 1	2
	4 : 1	2
	6 : 1	1
	8 : 1	1
ライト	1 : 1	2
	2 : 1	2
	3 : 1	2
	4 : 1	2
	6 : 1	1
	8 : 1	1

【注】 設定可能なI ϕ とB ϕ のクロック比については、「第5章 クロックパルス発振器」を参照してください。

大容量内蔵RAM : すべてのバスでアクセスサイクル数は、リード／ライトともに1B ϕ サイクルです。

30.2 使用上の注意事項

30.2.1 ページ競合

高速内蔵 RAM もしくは大容量内蔵 RAM の同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。例えば、バスごとに異なるページをアクセスすると競合は発生しません。

30.2.2 RAME ビット、RAMWE ビットについて

高速内蔵 RAM に対して、RAME ビットおよび RAMWE ビットの設定をディスエーブルする場合には、RAME ビットおよび RAMWE ビット設定前に必ず各ページに対して任意の同一アドレスのリード／ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。

```
//ページ0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ1に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ2に対して
MOV.L #H'FFF88000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ3に対して
MOV.L #H'FFF8C000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 30.1 実行例

30.2.3 データ保持について

高速内蔵 RAM、大容量内蔵 RAM（保持用内蔵 RAM 含む）は、パワーオンリセット、ディープスタンバイモード以外の動作状態において、データを保持し続けます。パワーオンリセット、ディープスタンバイモードでは下記動作となります。

（1）パワーオンリセット

（a）高速内蔵 RAM

RAME ビットまたは RAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

RAME、RAMWE ビットが共に有効の場合、データを保持することはできません。

（b）大容量内蔵 RAM（保持用内蔵 RAM 除く）

VRAME または VRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

VRAME、VRAMWE ビットが共に有効の場合、データを保持することはできません。

（c）保持用内蔵 RAM

VRAME、VRAMWE または RRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合は除きます。

VRAME、VRAMWE、RRAMWE ビットが共に有効の場合、データを保持することはできません。

（2）ディープスタンバイモード

（a）高速内蔵 RAM、大容量内蔵 RAM（保持用内蔵 RAM 除く）

データを保持することはできません。

（b）保持用内蔵 RAM

RRAMKP ビットを有効にすることにより、ディープスタンバイモードにおいてもデータを保持し続けます。

ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、データを保持することはできません。

割り込み、解除用端子の変化によりディープスタンバイモードを解除した場合は、パワーオンリセット例外処理が実行されますが、データは保持されます。

31. 汎用入出力ポート

本 LSI には A、B、C、D、E、F、G、H、J、K の計 10 組の汎用入出力ポートがあります。

それぞれのポートは、周辺モジュールの端子とマルチプレクスされています。

汎用入出力ポートは、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタ、端子のデータを格納するためのデータレジスタ、および端子の値を読み出すためのポートレジスタで構成されています。

31.1 特長

- コントロールレジスタの設定により、マルチプレクス端子の機能を選択

汎用入出力機能またはマルチファンクションタイマパルスユニット2のTIOC入出力機能が選択された場合、IOレジスタにより入出力方向を選択

表 31.1 汎用入出力本数

ポート	SH726A	SH726B
A	入出力 2 本	
B	入出力 22 本	
C	入出力 9 本	
D	入出力 16 本	
E	オープンドレイン出力付き入力 8 本	
F	入出力 8 本	
G	入力 2 本	入力 4 本
H	入力 6 本	入力 8 本
J	—	入出力 15 本
K	—	入出力 2 本
総数	73 本（入出力 57 本、 オープンドレイン出力付き入力 8 本、入力 8 本）	94 本（入出力 74 本、 オープンドレイン出力付き入力 8 本、入力 12 本）

表 31.2～表 31.11 に本 LSI のマルチプレクス端子を示します。

網かけ部分の端子機能は SH726B のみ使用できます。

表 31.2 マルチプレクス一覧表（ポート A）

ポート	RES端子入力値	
	H	L
	機能 1	機能 2
A	PA1	MD_BOOT
	PA0	MD_CLK

【注】 ポート A の機能 2 は、 $\overline{\text{RES}} = \text{L}$ の状態で有効になり、 $\overline{\text{RES}} = \text{H}$ の状態では、常に汎用入出力機能となります。

表 31.3 マルチプレクス一覧表（ポート B）

設定レジスタ	モードビット（PBnMD）設定値			
	00	01	10	11
	機能 1	機能 2	機能 3	機能 4
PBCR5	PB22	A22	SSITxD0	TIOC3D
	PB21	A21	SSIRxD0	TIOC3C
	PB20	A20	SSIWS0	TIOC0D
PBCR4	PB19	A19	SSISCK0	TIOC0C
	PB18	A18	MISO0	TIOC3B
	PB17	A17	MOSI0	TIOC2B
	PB16	A16	SSL00	TIOC1B
PBCR3	PB15	A15	RSPCK0	TIOC0B
	PB14	A14	TxD2	—
	PB13	A13	RxD2	—
	PB12	A12	SCK2	SSIDATA2
PBCR2	PB11	A11	TxD1	—
	PB10	A10	RxD1	—
	PB9	A9	SCK1	SSIWS2
	PB8	A8	TxD0	—
PBCR1	PB7	A7	RxD0	—
	PB6	A6	SCK0	SSISCK2
	PB5	A5	$\overline{\text{RTS0}}$	—
	PB4	A4	$\overline{\text{CTS0}}$	—
PBCR0	PB3	A3	—	SSIDATA3
	PB2	A2	—	SSIWS3
	PB1	A1	—	SSISCK3

表 31.4 マルチプレクス一覧表（ポート C）

設定レジスタ	モードビット（PCnMD）設定値				
	000	001	010	011	100
	機能 1	機能 2	機能 3	機能 4	機能 5
PCCR2	PC8	$\overline{\text{CS}}3$	IRQ7	CTx1	CTx0&CTx1
	PC7	CKE	IRQ6	CRx1	CRx0/CRx1
	PC6	$\overline{\text{CAS}}$	IRQ5	CTx0	IETxD
	PC5	$\overline{\text{RAS}}$	IRQ4	CRx0	IERxD
PCCR1	PC4	$\overline{\text{WE}}1/\text{DQMU}$	$\overline{\text{WDT}}\text{OV}\overline{\text{F}}$	—	—
PCCR0	PC3	$\overline{\text{WE}}0/\text{DQML}$	TIOC4D	—	—
	PC2	RD/ $\overline{\text{WR}}$	TIOC4C	SPDIF_OUT	—
	PC1	$\overline{\text{RD}}$	TIOC4B	SPDIF_IN	—
	PC0	$\overline{\text{CS}}0$	TIOC4A	AUDIO_XOUT	—

表 31.5 マルチプレクス一覧表（ポート D）

設定レジスタ	モードビット（PDnMD）設定値				
	000	001	010	011	100
	機能 1	機能 2	機能 3	機能 4	機能 5
PDCR3	PD15	D15	SD_D2	—	—
	PD14	D14	SD_D3	—	—
	PD13	D13	SD_CMD	IRQ3	—
	PD12	D12	SD_CLK	IRQ2	—
PDCR2	PD11	D11	SD_D0	TIOC3A	—
	PD10	D10	SD_D1	TIOC2A	—
	PD9	D9	SD_WP	TIOC1A	—
	PD8	D8	SD_CD	TIOC0A	—
PDCR1	PD7	D7	MISO1	TxD4	$\overline{\text{RTS}}2$
	PD6	D6	MOSI1	SCK4	$\overline{\text{CTS}}2$
	PD5	D5	SSL10	TxD3	$\overline{\text{RTS}}1$
	PD4	D4	RSPCK1	SCK3	$\overline{\text{CTS}}1$
PDCR0	PD3	D3	SSITxD1	SIOFTxD	SPBIO3_1
	PD2	D2	SSIIRxD1	SIOFRxD	SPBIO2_1
	PD1	D1	SSIWS1	SIOFSYNC	SPBMI_1/SPBIO1_1
	PD0	D0	SSISCK1	SIOFSCK	SPBMO_1/SPBIO0_1

表 31.6 マルチプレクスー覧表（ポート E）

設定レジスタ	モードビット（PEnMD）設定値		
	00	01	10
	機能 1	機能 2	機能 3
PECR1	PE7	SDA3	TCLKD
	PE6	SCL3	TCLKC
	PE5	SDA2	TCLKB
	PE4	SCL2	TCLKA
PECR0	PE3	SDA1	ADTRG
	PE2	SCL1	AUDIO_CLK
	PE1	SDA0	IRQ1
	PE0	SCL0	IRQ0

表 31.7 マルチプレクスー覧表（ポート F）

設定レジスタ	モードビット（PFnMD）設定値			
	00	01	10	11
	機能 1	機能 2	機能 3	機能 4
PFCR1	PF7	—	IRQ3	RxD4
	PF6	—	IRQ2	RxD3
	PF5	—	SPBIO3_0	—
	PF4	—	SPBIO2_0	—
PFCR0	PF3	MISO0	SPBMI_0/SPBIO1_0	—
	PF2	MOSI0	SPBMO_0/SPBIO0_0	—
	PF1	SSL00	SPBSSL	—
	PF0	RSPCK0	SPBCLK	—

表 31.8 マルチプレクスー覧表（ポート G）

設定レジスタ	モードビット（PGnMD）設定値		
	00	01	10
	機能 1	機能 2	機能 3
PGCR0	PG3	DP1	PINT3
	PG2	DM1	PINT2
	PG1	DP0	PINT1
	PG0	DM0	PINT0

表 31.9 マルチプレクス一覧表（ポート H）

設定レジスタ	モードビット（PHnMD）設定値			
	00	01	10	11
	機能 1	機能 2	機能 3	機能 4
PHCR1	PH7	AN7	PINT7	RxD4
	PH6	AN6	PINT6	RxD3
	PH5	AN5	PINT5	RxD2
	PH4	AN4	PINT4	RxD1
PHCR0	PH3	AN3	IRQ3	—
	PH2	AN2	IRQ2	WAIT
	PH1	AN1	IRQ1	RxD0
	PH0	AN0	IRQ0	VBUS

表 31.10 マルチプレクス一覧表（ポート J：SH726B のみ）

設定レジスタ	モードビット（PJnMD）設定値						
	000	001	010	011	100	101	110
	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6	機能 7
PJCR4	PJ14	SSIDATA3	WDTOVF	—	CTx1	CTx0&CTx1	MISO2
PJCR3	PJ13	SSIWS3	IRQ1	RxD4	CRx1	CRx0/CRx1	MOSI2
	PJ12	SSISCK3	A0	TxD4	CTx0	IETxD	SSL20
PJCR2	PJ11	TIOC3D	IRQ0	SCK4	CRx0	IERxD	RSPCK2
	PJ10	TIOC3C	A25	TxD2	SSIDATA2	DACK0	—
	PJ9	TIOC3B	A24	RxD2	SSIWS2	DREQ0	—
	PJ8	TIOC3A	A23	SCK2	SSISCK2	TEND0	—
PJCR1	PJ7	SD_D2	$\overline{BS}$	TxD1	—	—	—
	PJ6	SD_D3	$\overline{CS4}$	RxD1	—	—	—
	PJ5	SD_CMD	—	SCK1	—	—	—
	PJ4	SD_CLK	$\overline{CS1}$	—	—	—	—
PJCR0	PJ3	SD_D0	—	IRQ7	—	—	—
	PJ2	SD_D1	—	IRQ6	—	—	—
	PJ1	SD_WP	$\overline{CS2}$	IRQ5	AUDIO_XOUT	—	—
	PJ0	SD_CD	—	IRQ4	—	—	—

表 31.11 マルチプレクス一覧表（ポート K : SH726B のみ）

設定レジスタ	モードビット（PKnMD）設定値	
	0	1
	機能 1	機能 2
PKCR0	PK1/RTC_X2	TxD3
	PK0/RTC_X1	SCK3

【注】 機能 1 のリアルタイムクロック用水晶発振子／外部クロック端子機能は、PKnIOR ビットが 0 の状態で、リアルタイムクロックの動作クロックとして RTC_X1 を選択した場合に有効になります（「第 15 章 リアルタイムクロック」参照）。

31.2 レジスタの説明

表 31.12 にレジスタ構成を示します。

表 31.12 レジスタ構成

ポート	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
A	ポート A・IO レジスタ 0	PAIOR0	R/W	H'0000	H'FFFE3812	8、16*2
	ポート A データレジスタ 0	PADR0	R/W	H'0000	H'FFFE3816	8、16*2
	ポート A ポートレジスタ 0	PAPR0	R	H'xxxx	H'FFFE381A	8、16
B	ポート B コントロールレジスタ 5	PBCR5	R/W	H'0000/H'0001*1	H'FFFE3824	8、16、32
	ポート B コントロールレジスタ 4	PBCR4	R/W	H'0000/H'1111*1	H'FFFE3826	8、16
	ポート B コントロールレジスタ 3	PBCR3	R/W	H'0000/H'1111*1	H'FFFE3828	8、16、32
	ポート B コントロールレジスタ 2	PBCR2	R/W	H'0000/H'1111*1	H'FFFE382A	8、16
	ポート B コントロールレジスタ 1	PBCR1	R/W	H'0000/H'1111*1	H'FFFE382C	8、16、32
	ポート B コントロールレジスタ 0	PBCR0	R/W	H'0000/H'1110*1	H'FFFE382E	8、16
	ポート B・IO レジスタ 1	PBIOR1	R/W	H'0000	H'FFFE3830	8、16、32
	ポート B・IO レジスタ 0	PBIOR0	R/W	H'0000	H'FFFE3832	8、16
	ポート B データレジスタ 1	PBDR1	R/W	H'0000	H'FFFE3834	8、16、32
	ポート B データレジスタ 0	PBDR0	R/W	H'0000	H'FFFE3836	8、16
	ポート B ポートレジスタ 1	PBPR1	R	H'xxxx	H'FFFE3838	8、16、32
	ポート B ポートレジスタ 0	PBPR0	R	H'xxxx	H'FFFE383A	8、16
C	ポート C コントロールレジスタ 2	PCCR2	R/W	H'0000	H'FFFE384A	8、16
	ポート C コントロールレジスタ 1	PCCR1	R/W	H'0000	H'FFFE384C	8*3、16、32
	ポート C コントロールレジスタ 0	PCCR0	R/W	H'0000/H'0011*1	H'FFFE384E	8、16
	ポート C・IO レジスタ 0	PCIOR0	R/W	H'0000	H'FFFE3852	8、16
	ポート C データレジスタ 0	PCDR0	R/W	H'0000	H'FFFE3856	8、16
	ポート C ポートレジスタ 0	PCPR0	R	H'xxxx	H'FFFE385A	8、16
D	ポート D コントロールレジスタ 3	PDCR3	R/W	H'0000/H'1111*1	H'FFFE3868	8、16、32
	ポート D コントロールレジスタ 2	PDCR2	R/W	H'0000/H'1111*1	H'FFFE386A	8、16
	ポート D コントロールレジスタ 1	PDCR1	R/W	H'0000/H'1111*1	H'FFFE386C	8、16、32
	ポート D コントロールレジスタ 0	PDCR0	R/W	H'0000/H'1111*1	H'FFFE386E	8、16
	ポート D・IO レジスタ 0	PDIOR0	R/W	H'0000	H'FFFE3872	8、16
	ポート D データレジスタ 0	PDDR0	R/W	H'0000	H'FFFE3876	8、16
	ポート D ポートレジスタ 0	PDPR0	R	H'xxxx	H'FFFE387A	8、16

ポート	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
E	ポート E コントロールレジスタ 1	PECR1	R/W	H'0000	H'FFFE388C	8、16、32
	ポート E コントロールレジスタ 0	PECR0	R/W	H'0000	H'FFFE388E	8、16
	ポート E・IO レジスタ 0	PEIOR0	R/W	H'0000	H'FFFE3892	8、16
	ポート E データレジスタ 0	PEDR0	R/W	H'0000	H'FFFE3896	8、16
	ポート E ポートレジスタ 0	PEPR0	R	H'xxxx	H'FFFE389A	8、16
F	ポート F コントロールレジスタ 1	PFCR1	R/W	H'0000	H'FFFE38AC	8、16、32
	ポート F コントロールレジスタ 0	PFCR0	R/W	H'0000	H'FFFE38AE	8、16
	ポート F・IO レジスタ 0	PFIOR0	R/W	H'0000	H'FFFE38B2	8、16
	ポート F データレジスタ 0	PFDR0	R/W	H'0000	H'FFFE38B6	8、16
	ポート F ポートレジスタ 0	PFPR0	R	H'xxxx	H'FFFE38BA	8、16
G	ポート G コントロールレジスタ 0	PGCR0	R/W	H'0000	H'FFFE38CE	8、16
	ポート G ポートレジスタ 0	PGPR0	R	H'xxxx	H'FFFE38DA	8、16
H	ポート H コントロールレジスタ 1	PHCR1	R/W	H'0000	H'FFFE38EC	8、16、32
	ポート H コントロールレジスタ 0	PHCR0	R/W	H'0000	H'FFFE38EE	8、16
	ポート H ポートレジスタ 0	PHPR0	R	H'xxxx	H'FFFE38FA	8、16
J	ポート J コントロールレジスタ 4	PJCR4	R/W	H'0000	H'FFFE3906	8* ³ 、16
	ポート J コントロールレジスタ 3	PJCR3	R/W	H'0000	H'FFFE3908	8、16、32
	ポート J コントロールレジスタ 2	PJCR2	R/W	H'0000	H'FFFE390A	8、16
	ポート J コントロールレジスタ 1	PJCR1	R/W	H'0000	H'FFFE390C	8、16、32
	ポート J コントロールレジスタ 0	PJCR0	R/W	H'0000	H'FFFE390E	8、16
	ポート J・IO レジスタ 0	PJIOR0	R/W	H'0000	H'FFFE3912	8、16
	ポート J データレジスタ 0	PJDR0	R/W	H'0000	H'FFFE3916	8、16
	ポート J ポートレジスタ 0	PJPR0	R	H'xxxx	H'FFFE391A	8、16
K	ポート K コントロールレジスタ 0	PKCR0	R/W	H'0000	H'FFFE392E	8、16
	ポート K・IO レジスタ 0	PKIOR0	R/W	H'0000	H'FFFE3932	8、16
	ポート K データレジスタ 0	PKDR0	R/W	H'0000	H'FFFE3936	8、16
	ポート K ポートレジスタ 0	PKPR0	R	H'xxxx	H'FFFE393A	8、16
—	シリアルサウンドインタフェース ノイズキャンセラコントロールレジスタ	SNCR	R/W	H'0000	H'FFFE381E	8、16

【注】 *1 LSI のブートモードにより初期値が異なります。

*2 16 ビットおよび 32 ビットアクセスの場合、読み出しはできますが、書き込みはできません。

*3 8 ビットアクセスの場合、読み出しはできますが、書き込みはできません。

31.2.1 コントロールレジスタ

コントロールレジスタは、各ポートにあるマルチプレクス端子の機能を選択します。

(1) ポート B コントロールレジスタ 5 (PBCR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PB22MD[1:0]	-	-	-	PB21MD[1:0]	-	-	-	PB20MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB22MD [1:0]	00	R/W	PB22 モード PB22 の機能を制御します。 00 : PB22 01 : A22 10 : SSITxD0# 11 : TIOC3D
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB21MD [1:0]	00	R/W	PB21 モード PB21 端子の機能を制御します。 00 : PB21 01 : A21 10 : SSIRxD0 11 : TIOC3C
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB20MD [1:0]	00/01	R/W	PB20 モード PB20 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : A20 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PB20 (初期値) 01 : A20 10 : SSIWS0 11 : TIOC0D

(2) ポート B コントロールレジスタ 4 (PBCR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB19MD[1:0]	-	-	-	PB18MD[1:0]	-	-	-	PB17MD[1:0]	-	-	-	PB16MD[1:0]	
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
13、12	PB19MD [1:0]	00/01	R/W	PB19 モード PB19 の機能を制御します。 - ブートモード 0 00 : 設定禁止 01 : A19 (初期値) 10 : 設定禁止 11 : 設定禁止 - ブートモード 1 00 : PB19 (初期値) 01 : A19 10 : SSISCK0 11 : TI0C0C
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB18MD [1:0]	00/01	R/W	PB18 モード PB18 の機能を制御します。 - ブートモード 0 00 : 設定禁止 01 : A18 (初期値) 10 : 設定禁止 11 : 設定禁止 - ブートモード 1 00 : PB18 (初期値) 01 : A18 10 : MISO0 11 : TI0C3B
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB17MD [1:0]	00/01	R/W	PB17 モード PB17 の機能を制御します。 - ブートモード 0 00 : 設定禁止 01 : A17 (初期値) 10 : 設定禁止 11 : 設定禁止 - ブートモード 1 00 : PB17 (初期値) 01 : A17 10 : MOSI0 11 : TI0C2B
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB16MD [1:0]	00/01	R/W	PB16 モード PB16 端子の機能を制御します。 - ブートモード 0 00 : 設定禁止 01 : A16 (初期値) 10 : 設定禁止 11 : 設定禁止 - ブートモード 1 00 : PB16 (初期値) 01 : A16 10 : SSL00 11 : TI0C1B

(3) ポート B コントロールレジスタ 3 (PBCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB15MD[1:0]	-	-	PB14MD[1:0]	-	-	PB13MD[1:0]	-	-	PB12MD[1:0]				
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB15MD [1:0]	00/01	R/W	PB15 モード PB15 の機能を制御します。 - ブートモード 0 00: 設定禁止 01: A15 (初期値) 10: 設定禁止 11: 設定禁止 - ブートモード 1 00: PB15 (初期値) 01: A15 10: RSPCK0 11: TI0C0B
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB14MD [1:0]	00/01	R/W	PB14 モード PB14 の機能を制御します。 - ブートモード 0 00: 設定禁止 01: A14 (初期値) 10: 設定禁止 11: 設定禁止 - ブートモード 1 00: PB14 (初期値) 01: A14 10: TxD2 11: 設定禁止
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB13MD [1:0]	00/01	R/W	PB13 モード PB13 の機能を制御します。 - ブートモード 0 00: 設定禁止 01: A13 (初期値) 10: 設定禁止 11: 設定禁止 - ブートモード 1 00: PB13 (初期値) 01: A13 10: RxD2 11: 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	PB12MD [1:0]	00/01	R/W	PB12 モード PB12 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB12 (初期値) 01 : A12 (初期値) 01 : A12 10 : 設定禁止 10 : SCK2 11 : 設定禁止 11 : SSIDATA2

(4) ポート B コントロールレジスタ 2 (PBCR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB11MD[1:0]	-	-	PB10MD[1:0]	-	-	PB9MD[1:0]	-	-	PB8MD[1:0]	-	-	-	-
初期値 :	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB11MD [1:0]	00/01	R/W	PB11 モード PB11 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB11 (初期値) 01 : A11 (初期値) 01 : A11 10 : 設定禁止 10 : TxD1 11 : 設定禁止 11 : 設定禁止
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB10MD [1:0]	00/01	R/W	PB10 モード PB10 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB10 (初期値) 01 : A10 (初期値) 01 : A10 10 : 設定禁止 10 : Rx D1 11 : 設定禁止 11 : 設定禁止
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
5、4	PB9MD [1:0]	00/01	R/W	PB9 モード PB9 の機能を制御します。 - ブートモード 0 00 : 設定禁止 01 : A9 (初期値) 10 : 設定禁止 11 : 設定禁止 - ブートモード 1 00 : PB9 (初期値) 01 : A9 10 : SCK1 11 : SSIWS2
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB8MD [1:0]	00/01	R/W	PB8 モード PB8 の機能を制御します。 - ブートモード 0 00 : 設定禁止 01 : A8 (初期値) 10 : 設定禁止 11 : 設定禁止 - ブートモード 1 00 : PB8 (初期値) 01 : A8 10 : TxD0 11 : 設定禁止

(5) ポート B コントロールレジスタ 1 (PBCR1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB7MD[1:0]	-	-	-	PB6MD[1:0]	-	-	-	PB5MD[1:0]	-	-	-	PB4MD[1:0]	-
初期値 :	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB7MD[1:0]	00/01	R/W	PB7 モード PB7 の機能を制御します。 - ブートモード 0 00 : 設定禁止 01 : A7 (初期値) 10 : 設定禁止 11 : 設定禁止 - ブートモード 1 00 : PB7 (初期値) 01 : A7 10 : RxD0 11 : 設定禁止
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
9、8	PB6MD[1:0]	00/01	R/W	PB6 モード PB6 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB6 (初期値) 01 : A6 (初期値) 01 : A6 10 : 設定禁止 10 : SCK0 11 : 設定禁止 11 : SSISCK2
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB5MD[1:0]	00/01	R/W	PB5 モード PB5 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB5 (初期値) 01 : A5 (初期値) 01 : A5 10 : 設定禁止 10 : $\overline{\text{RTS0}}$ 11 : 設定禁止 11 : 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB4MD[1:0]	00/01	R/W	PB4 モード PB4 端子の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB4 (初期値) 01 : A4 (初期値) 01 : A4 10 : 設定禁止 10 : $\overline{\text{CTS0}}$ 11 : 設定禁止 11 : 設定禁止

(6) ポート B コントロールレジスタ 0 (PBCR0)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB3MD[1:0]	-	-	PB2MD[1:0]	-	-	PB1MD[1:0]	-	-	-	-	-	-	-
初期値 :	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
13、12	PB3MD[1:0]	00/01	R/W	PB3 モード PB3 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB3 (初期値) 01 : A3 (初期値) 01 : A3 10 : 設定禁止 10 : 設定禁止 11 : 設定禁止 11 : SSIDATA3
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB2MD[1:0]	00/01	R/W	PB2 モード PB2 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB2 (初期値) 01 : A2 (初期値) 01 : A2 10 : 設定禁止 10 : 設定禁止 11 : 設定禁止 11 : SSIWS3
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB1MD[1:0]	00/01	R/W	PB1 モード PB1 の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PB1 (初期値) 01 : A1 (初期値) 01 : A1 10 : 設定禁止 10 : 設定禁止 11 : 設定禁止 11 : SSISCK3
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(7) ポート C コントロールレジスタ 2 (PCCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC8MD[2:0]			-	PC7MD[2:0]			-	PC6MD[2:0]			-	PC5MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
14～12	PC8MD[2:0]	000	R/W	PC8 モード PC8 の機能を制御します。 000 : PC8 100 : CTx0&CTx1 001 : $\overline{\text{CS}}_3$ 101 : 設定禁止 010 : IRQ7 110 : 設定禁止 011 : CTx1 111 : 設定禁止
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	PC7MD[2:0]	000	R/W	PC7 モード PC7 の機能を制御します。 000 : PC7 100 : CRx0/CRx1 001 : CKE 101 : 設定禁止 010 : IRQ6 110 : 設定禁止 011 : CRx1 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	PC6MD[2:0]	000	R/W	PC6 モード PC6 の機能を制御します。 000 : PC6 100 : IETxD 001 : $\overline{\text{CAS}}$ 101 : 設定禁止 010 : IRQ5 110 : 設定禁止 011 : CTx0 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	PC5MD[2:0]	000	R/W	PC5 モード PC5 の機能を制御します。 000 : PC5 100 : IERxD 001 : $\overline{\text{RAS}}$ 101 : 設定禁止 010 : IRQ4 110 : 設定禁止 011 : CRx0 111 : 設定禁止

(8) ポート C コントロールレジスタ 1 (PCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PC4MD[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

【注】 PCCR1 へ書き込む場合は、ビット 15~8 の値を H'5A として、16 または 32 ビットアクセスで書き込んでください。
8 ビットアクセスによる書き込みはできません。

ビット	ビット名	初期値	R/W	説 明
15~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は、ビット 15~8 を H'5A、 ビット 7~2 をすべて 0 にしてください。
1, 0	PC4MD[1:0]	00*	R/W	PC4 モード PC4 端子の機能を制御します。 00 : PC4 01 : $\overline{WE1/DQMU}$ 10 : $\overline{WDTOVF}$ 11 : 設定禁止

【注】 * WDT オーバフローによるパワーオンリセットでは初期化されません。

(9) ポート C コントロールレジスタ 0 (PCCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PC3MD[1:0]	-	-	PC2MD[1:0]	-	-	PC1MD[1:0]	-	-	PC0MD[1:0]	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0/1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15, 14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	PC3MD[1:0]	00	R/W	PC3 モード PC3 端子の機能を制御します。 00 : PC3 01 : $\overline{WE0/DQML}$ 10 : TI0C4D 11 : 設定禁止
11, 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	PC2MD[1:0]	00	R/W	PC2 モード PC2 端子の機能を制御します。 00 : PC2 01 : $\overline{RD/WR}$ 10 : TI0C4C 11 : SPDIF_OUT
7, 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
5、4	PC1MD[1:0]	00/01	R/W	PC1 モード PC1 端子の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PC1 (初期値) 01 : $\overline{RD}$ (初期値) 01 : $\overline{RD}$ 10 : 設定禁止 10 : TIOC4B 11 : 設定禁止 11 : SPDIF_IN
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PC0MD[1:0]	00/01	R/W	PC0 モード PC0 端子の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PC0 (初期値) 01 : $\overline{CS0}$ (初期値) 01 : $\overline{CS0}$ 10 : 設定禁止 10 : TIOC4A 11 : 設定禁止 11 : AUDIO_XOUT

(10) ポート D コントロールレジスタ 3 (PDCR3)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD15MD[1:0]	-	-	PD14MD[1:0]	-	-	PD13MD[1:0]	-	-	PD12MD[1:0]				
初期値 :	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PD15MD[1:0]	00/01	R/W	PD15 モード PD15 端子の機能を制御します。 • ブートモード 0 • ブートモード 1 00 : 設定禁止 00 : PD15 (初期値) 01 : D15 (初期値) 01 : D15 10 : 設定禁止 10 : SD_D2 11 : 設定禁止 11 : 設定禁止
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
9、8	PD14MD[1:0]	00/01	R/W	PD14 モード PD14 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : D14 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PD14 (初期値) 01 : D14 10 : SD_D3 11 : 設定禁止
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PD13MD[1:0]	00/01	R/W	PD13 モード PD13 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : D13 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PD13 (初期値) 01 : D13 10 : SD_CMD 11 : IRQ3
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PD12MD[1:0]	00/01	R/W	PD12 モード PD12 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : D12 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PD12 (初期値) 01 : D12 10 : SD_CMD 11 : IRQ2

(11) ポート D コントロールレジスタ 2 (PDCR2)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD11MD[1:0]	-	-	PD10MD[1:0]	-	-	PD9MD[1:0]	-	-	PD8MD[1:0]	-	-	-	-
初期値：	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
13、12	PD11MD[1:0]	00/01	R/W	PD11 モード PD11 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : D11 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PD11 (初期値) 01 : D11 10 : SD_D0 11 : TIOC3A
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PD10MD[1:0]	00/01	R/W	PD10 モード PD10 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : D10 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PD10 (初期値) 01 : D10 10 : SD_D1 11 : TIOC2A
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PD9MD[1:0]	00/01	R/W	PD9 モード PD9 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : D9 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PD9 (初期値) 01 : D9 10 : SD_WP 11 : TIOC1A
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PD8MD[1:0]	00/01	R/W	PD8 モード PD8 端子の機能を制御します。 • ブートモード 0 00 : 設定禁止 01 : D8 (初期値) 10 : 設定禁止 11 : 設定禁止 • ブートモード 1 00 : PD8 (初期値) 01 : D8 10 : SD_CD 11 : TIOC0A

(12) ポート D コントロールレジスタ 1 (PDCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD7MD[2:0]			-	PD6MD[2:0]			-	PD5MD[2:0]			-	PD4MD[2:0]		
初期値:	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PD7MD[2:0]	000/001	R/W	PD7 モード PD7 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D7 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD7 (初期値) 001 : D7 010 : MISO1 011 : TxD4 100 : $\overline{\text{RTS2}}$ 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PD6MD[2:0]	000/001	R/W	PD6 モード PD 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D6 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD6 (初期値) 001 : D6 010 : MOSI1 011 : SCK4 100 : $\overline{\text{CTS2}}$ 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6~4	PD5MD[2:0]	000/001	R/W	PD5 モード PD5 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D5 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD5 (初期値) 001 : D5 010 : SSL10 011 : TxD3 100 : $\overline{\text{RTS1}}$ 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PD4MD[2:0]	000/001	R/W	PD4 モード PD4 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D4 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD4 (初期値) 001 : D4 010 : RSPCK1 011 : SCK3 100 : $\overline{\text{CTS1}}$ 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(13) ポート D コントロールレジスタ 0 (PDCR0)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD3MD[2:0]			-	PD2MD[2:0]			-	PD1MD[2:0]			-	PD0MD[2:0]		
初期値 :	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1	0	0	0	0/1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
14～12	PD3MD[2:0]	000/001	R/W	PD3 モード PD3 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D3 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD3 (初期値) 001 : D3 010 : SSITxD1 011 : SIOFTxD 100 : SPBIO3_1 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	PD2MD[2:0]	000/001	R/W	PD2 モード PD2 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D2 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD2 (初期値) 001 : D2 010 : SSIRxD1 011 : SIOFRxD 100 : SPBIO2_1 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	PD1MD[2:0]	000/001	R/W	PD1 モード PD1 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D1 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD1 (初期値) 001 : D1 010 : SSIWS1 011 : SIOFSYNC 100 : SPBMI_1/SPBIO1_1 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2～0	PD0MD[2:0]	000/001	R/W	PD0 モード PD0 端子の機能を制御します。 • ブートモード 0 000 : 設定禁止 001 : D0 (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • ブートモード 1 000 : PD0 (初期値) 001 : D0 010 : SSISCK1 011 : SIOFSCK 100 : SPBMO_1/SPBIO_1 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(14) ポート E コントロールレジスタ 1 (PECR1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE7MD[1:0]	-	-	PE6MD[1:0]	-	-	PE5MD[1:0]	-	-	PE4MD[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PE7MD[1:0]	00	R/W	PE7 モード PE7 の機能を制御します。 00 : PE7 10 : TCLKD 01 : SDA3 11 : 設定禁止
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PE6MD[1:0]	00	R/W	PE6 モード PE6 の機能を制御します。 00 : PE6 10 : TCLKC 01 : SCL3 11 : 設定禁止
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PE5MD[1:0]	00	R/W	PE5 モード PE5 の機能を制御します。 00 : PE5 10 : TCLKB 01 : SDA2 11 : 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	PE4MD[1:0]	00	R/W	PE4 モード PE4 の機能を制御します。 00 : PE4 01 : SCL2 10 : TCLKA 11 : 設定禁止

(15) ポート E コントロールレジスタ 0 (PECR0)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE3MD[1:0]	-	-	PE2MD[1:0]	-	-	PE1MD[1:0]	-	-	PE0MD[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PE3MD[1:0]	00	R/W	PE3 モード PE3 の機能を制御します。 00 : PE3 01 : SDA1 10 : $\overline{\text{ADTRG}}$ 11 : 設定禁止
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PE2MD[1:0]	00	R/W	PE2 モード PE2 の機能を制御します。 00 : PE2 01 : SCL1 10 : AUDIO_CLK 11 : 設定禁止
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PE1MD[2:0]	00	R/W	PE1 モード PE1 の機能を制御します。 00 : PE1 01 : SDA0 10 : IRQ1 11 : 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PE0MD[1:0]	00	R/W	PE0 モード PE0 の機能を制御します。 00 : PE0 01 : SCL0 10 : IRQ0 11 : 設定禁止

(16) ポート F コントロールレジスタ 1 (PFCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF7MD[1:0]	-	-	PF6MD[1:0]	-	-	PF5MD[1:0]	-	-	PF4MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF7MD[1:0]	00	R/W	PF7 モード PF7 の機能を制御します。 00 : PF7 01 : 設定禁止 100 : IRQ3 101 : RxD4
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PF6MD[1:0]	00	R/W	PF6 モード PF6 の機能を制御します。 00 : PF6 01 : 設定禁止 10 : IRQ2 11 : RxD3
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF5MD[1:0]	00	R/W	PF5 モード PF5 の機能を制御します。 00 : PF5 01 : 設定禁止 10 : SPBIO3_0 11 : 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF4MD[1:0]	00	R/W	PF4 モード PF4 の機能を制御します。 00 : PF4 01 : 設定禁止 10 : SPBIO2_0 11 : 設定禁止

(17) ポート F コントロールレジスタ 0 (PFCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF3MD[1:0]	-	-	PF2MD[1:0]	-	-	PF1MD[1:0]	-	-	PF0MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF3MD[1:0]	00	R/W	PF3 モード PF3 の機能を制御します。 00 : PF3 01 : MISO0 10 : SPBMI_0/SPBIO1_0 11 : 設定禁止
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PF2MD[1:0]	00	R/W	PF2 モード PF2 の機能を制御します。 00 : PF2 01 : MOSI0 10 : SPBMO_0/SPBIO0_0 11 : 設定禁止
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF1MD[1:0]	00	R/W	PF1 モード PF1 の機能を制御します。 00 : PF1 01 : SSL00 10 : SPBSSL 11 : 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF0MD[1:0]	00	R/W	PF0 モード PF0 の機能を制御します。 00 : PF0 01 : RSPCK0 10 : SPBCLK 11 : 設定禁止

(18) ポート G コントロールレジスタ 0 (PGCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PG3MD[1:0]	-	-	PG2MD[1:0]	-	-	PG1MD[1:0]	-	-	PG0MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PG3MD[1:0]	00	R/W	PG3 モード PG3 の機能を制御します。 00 : PG3* 01 : DP1 10 : PINT3* 11 : 設定禁止 【注】 SH726A ではビット 13、12 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PG2MD[1:0]	00	R/W	PG2 モード PG2 の機能を制御します。 00 : PG2* 01 : DM1 10 : PINT2* 11 : 設定禁止 【注】 SH726A ではビット 9、8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PG1MD[1:0]	00	R/W	PG1 モード PG1 の機能を制御します。 00 : PG1* 01 : DP0 10 : PINT1* 11 : 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PG0MD[1:0]	00	R/W	PG0 モード PG0 の機能を制御します。 00 : PG0* 01 : DM0 10 : PINT0* 11 : 設定禁止

【注】 * USB モジュール使用時に本機能を選択する場合、USB モジュールの該当端子を未使用状態とする必要があります。詳細は、「第 27 章 USB2.0 ホスト／ファンクションモジュール」の「27.5.1 USB 端子制御」を参照してください。

(19) ポート H コントロールレジスタ 1 (PHCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PH7MD[1:0]	-	-	PH6MD[1:0]	-	-	PH5MD[1:0]	-	-	PH4MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PH7MD[1:0]	00	R/W	PH7 モード PH7 の機能を制御します。 00 : PH7 01 : AN7 10 : PINT7 11 : RxD4 【注】 SH726A ではビット 13、12 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PH6MD[1:0]	00	R/W	PH6 モード PH6 の機能を制御します。 00 : PH6 01 : AN6 10 : PINT6 11 : RxD3 【注】 SH726A ではビット 9、8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PH5MD[1:0]	00	R/W	PH5 モード PH5 の機能を制御します。 00 : PH5 01 : AN5 10 : PINT5 11 : RxD2
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PH4MD[1:0]	00	R/W	PH4 モード PH4 端子の機能を制御します。 00 : PH4 01 : AN4 10 : PINT4 11 : RxD1

(20) ポート H コントロールレジスタ 0 (PHCR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PH3MD[1:0]	-	-	PH2MD[1:0]	-	-	PH1MD[1:0]	-	-	PH0MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PH3MD[1:0]	00	R/W	PH3 モード PH3 の機能を制御します。 00 : PH3 01 : AN3 10 : IRQ3 11 : 設定禁止
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PH2MD[1:0]	00	R/W	PH2 モード PH2 の機能を制御します。 00 : PH2 01 : AN2 10 : IRQ2 11 : $\overline{\text{WAIT}}$
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PH1MD[1:0]	00	R/W	PH1 モード PH1 の機能を制御します。 00 : PH1 01 : AN1 10 : IRQ1 11 : RxD0
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PH0MD[1:0]	00	R/W	PH0 モード PH0 端子の機能を制御します。 00 : PH0 01 : AN0 10 : IRQ0 11 : VBUS

(21) ポート J コントロールレジスタ 4 (PJCR4 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PJ14MD[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

【注】 PJCR4 へ書き込む場合は、ビット 15~8 の値を H'5A として、16 ビットアクセスで書き込んでください。

8 ビットアクセスによる書き込みはできません。

ビット	ビット名	初期値	R/W	説 明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は、ビット 15~8 を H'5A、 ビット 7~3 をすべて 0 にしてください。
2~0	PJ14MD[2:0]	000*	R/W	PJ14 モード PJ14 の機能を制御します。 000 : PJ14 001 : SSIDATA3 010 : $\overline{\text{WDT0VF}}$ 011 : 設定禁止 100 : CTx1 101 : CTx0&CTx1 110 : MISO2 111 : 設定禁止

【注】 * WDT オーバフローによるパワーオンリセットでは初期化されません。

(22) ポート J コントロールレジスタ 3 (PJCR3 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PJ13MD[2:0]	-	-	-	PJ12MD[2:0]	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PJ13MD[2:0]	000	R/W	PJ13 モード PJ13 の機能を制御します。 000 : PJ13 001 : SSIWS3 010 : IRQ1 011 : Rx D4 100 : CRx1 101 : CRx0/CRx1 110 : MOSI2 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2～0	PJ8MD[2:0]	000	R/W	PJ8 モード PJ8 の機能を制御します。 000 : PJ8 001 : TIOC3A 010 : A23 011 : SCK2 100 : SSISCK2 101 : TEND0 110 : 設定禁止 111 : 設定禁止

(24) ポート J コントロールレジスタ 1 (PJCR1 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PJ7MD[1:0]	-	-	PJ6MD[1:0]	-	-	PJ5MD[1:0]	-	-	PJ4MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PJ7MD[1:0]	00	R/W	PJ7 モード PJ7 の機能を制御します。 00 : PJ7 01 : SD_D2 10 : $\overline{BS}$ 11 : TxD1
11、10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PJ6MD[1:0]	00	R/W	PJ6 モード PJ6 の機能を制御します。 00 : PJ6 01 : SD_D3 10 : $\overline{CS4}$ 11 : RxD1
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PJ5MD[1:0]	00	R/W	PJ5 モード PJ5 の機能を制御します。 00 : PJ5 01 : SD_CMD 10 : 設定禁止 11 : SCK1
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	PJ4MD[1:0]	00	R/W	PJ4 モード PJ4 の機能を制御します。 00 : PJ4 01 : SD_CLK 10 : $\overline{CS1}$ 11 : 設定禁止

(25) ポート J コントロールレジスタ 0 (PJCR0 : SH726B のみ)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PJ3MD[1:0]	-	-	PJ2MD[1:0]	-	PJ1MD[2:0]	-	-	PJ0MD[1:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PJ3MD[1:0]	00	R/W	PJ3 モード PJ3 の機能を制御します。 00 : PJ3 01 : SD_D0 10 : 設定禁止 11 : IRQ7
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PJ2MD[1:0]	00	R/W	PJ2 モード PJ2 の機能を制御します。 00 : PJ2 01 : SD_D1 10 : 設定禁止 11 : IRQ6
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PJ1MD[2:0]	000	R/W	PJ1 モード PJ1 の機能を制御します。 000 : PJ1 001 : SD_WP 010 : $\overline{CS2}$ 011 : IRQ5 100 : AUDIO_XOUT 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PJ0MD[1:0]	00	R/W	PJ0 モード PJ0 の機能を制御します。 00 : PJ0 01 : SD_CD 10 : 設定禁止 11 : IRQ4

(26) ポート K コントロールレジスタ 0 (PKCR0 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PK1 MD0	-	-	-	PK0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PK1MD0	0	R/W	PK1 モード PK1 の機能を制御します。 0 : PK1/RTC_X2 1 : TxD3
3~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PK0MD0	0	R/W	PK0 モード PK0 の機能を制御します。 0 : PK0/RTC_X1 1 : SCK3

31.2.2 IO レジスタ

対応する端子の入出力方向を選びます。各ビットに対応する端子を表 31.13 に示します。また、表 31.14 に示すビットは、全てリザーブビットです。

IO レジスタは、端子機能が汎用入出力またはマルチファンクションタイマパルスユニット 2 の TIOC 入出力機能の場合に有効で、その他の機能の場合は無効です。IO レジスタのビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

表 31.13 IO レジスタの各ビットと対応する端子

レジスタ名	略称	ビット	ビット名	対応する端子
ポート A・IO レジスタ 0	PAIOR0	8	PA1IOR	PA1
		0	PA0IOR	PA0
ポート B・IO レジスタ 1	PBIOR1	6~0	PB22IOR~PB16IOR	PB22~PB16
ポート B・IO レジスタ 0	PBIOR0	15~1	PB15IOR~PB1IOR	PB15~PB1
ポート C・IO レジスタ 0	PCIOR0	8~0	PC8IOR~PC0IOR	PC8~PC0
ポート D・IO レジスタ 0	PDIOR0	15~0	PD15IOR~PD0IOR	PD15~PD0
ポート E・IO レジスタ 0	PEIOR0	7~0	PE7IOR~PE0IOR	PE7~PE0
ポート F・IO レジスタ 0	PFIOR0	7~0	PF7IOR~PF0IOR	PF7~PF0
ポート J・IO レジスタ 0	PJIOR0	14~0	PJ14IOR~PJ0IOR	PJ14~PJ0
ポート K・IO レジスタ 0	PKIOR0	1、0	PK1IOR、PK0IOR	PK1、PK0

表 31.14 IO レジスタ内リザーブビット一覧

レジスタ名	略称	ビット	説 明
ポート A・IO レジスタ 0	PAIOR0	15~9、7~1	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
ポート B・IO レジスタ 1	PBIOR1	15~7	
ポート B・IO レジスタ 0	PBIOR0	0	
ポート C・IO レジスタ 0	PCIOR0	15~9	
ポート E・IO レジスタ 0	PEIOR0	15~8	
ポート F・IO レジスタ 0	PFIOR0	15~8	
ポート J・IO レジスタ 0	PJIOR0	15	
ポート K・IO レジスタ 0	PKIOR0	15~3	

(1) ポート A・IO レジスタ 0 (PAIOR0)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PA1 IOR	-	-	-	-	-	-	-	PA0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

(2) ポート B・IO レジスタ 1 (PBIOR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB22 IOR	PB21 IOR	PB20 IOR	PB19 IOR	PB18 IOR	PB17 IOR	PB16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(3) ポート B・IO レジスタ 0 (PBIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

(4) ポート C・IO レジスタ 0 (PCIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) ポート D・IO レジスタ 0 (PDIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(6) ポート E・IO レジスタ 0 (PEIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(7) ポート F・IO レジスタ 0 (PFIOR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF7 IOR	PF6 IOR	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(8) ポート J・IO レジスタ 0 (PJIOR0 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ14 IOR	PJ13 IOR	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(9) ポート K・IO レジスタ 0 (PKIOR0 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PK1 IOR	PK0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

31.2.3 データレジスタ

データレジスタは、各ポートのデータを格納します。各ビットに対応する端子を表 31.15 に示します。また、表 31.16 に示すビットは、全てリザーブビットです。

表 31.17 にデータレジスタの読み出し／書き込み動作を示します。ポート E の 8 本は、オープンドレイン出力端子です。

表 31.15 データレジスタの各ビットと対応する端子

レジスタ名	略称	ビット	ビット名	対応する端子
ポート A データレジスタ 0	PADR0	8	PA1DR	PA1
		0	PA0DR	PA0
ポート B データレジスタ 1	PBDR1	6～0	PB22DR～PB16DR	PB22～PB16
ポート B データレジスタ 0	PBDR0	15～1	PB15DR～PB1DR	PB15～PB1
ポート C データレジスタ 0	PCDR0	8～0	PC8DR～PC0DR	PC8～PC0
ポート D データレジスタ 0	PDDR0	15～0	PD15DR～PD0DR	PD15～PD0
ポート E データレジスタ 0	PEDR0	7～0	PE7DR～PE0DR	PE7～PE0
ポート F データレジスタ 0	PFDR0	7～0	PF7DR～PF0DR	PF7～PF0
ポート J データレジスタ 0	PJDR0	14～0	PJ14DR～PJ0DR	PJ14～PJ0
ポート K データレジスタ 0	PKDR0	1、0	PK1DR、PK0DR	PK1、PK0

表 31.16 データレジスタ内リザーブビット一覧

レジスタ名	略称	ビット	説 明
ポート A データレジスタ 0	PADR0	15～9、7～1	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
ポート B データレジスタ 1	PBDR1	15～7	
ポート B データレジスタ 0	PBDR0	0	
ポート C データレジスタ 0	PCDR0	15～9	
ポート E データレジスタ 0	PEDR0	15～8	
ポート F データレジスタ 0	PFDR0	15～8	
ポート J データレジスタ 0	PJDR0	15	
ポート K データレジスタ 0	PKDR0	15～3	

表 31.17 データレジスタの読み出し／書き込み動作

IO レジスタ設定値	端子機能	読み出し	書き込み
0	—	端子の状態	データレジスタに書き込めるが、端子の状態に影響しない
1	汎用出力	データレジスタの値	【ポート A、B、C、D、F、J、K】 書き込み値が端子から出力される 【ポート E】 PE_xDR = 0 のとき、端子から L 出力 PE_xDR = 1 のとき、端子はハイインピーダンス状態
	汎用出力以外	データレジスタの値	データレジスタに書き込めるが、端子の状態に影響しない

(1) ポート A データレジスタ 0 (PADR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PA1 DR	-	-	-	-	-	-	-	PA0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

(2) ポート B データレジスタ 1 (PBDR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB22 DR	PB21 DR	PB20 DR	PB19 DR	PB18 DR	PB17 DR	PB16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(3) ポート B データレジスタ 0 (PBDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 DR	PB14 DR	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

(4) ポート C データレジスタ 0 (PCDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) ポート D データレジスタ 0 (PDDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(6) ポート E データレジスタ 0 (PEDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(7) ポート F データレジスタ 0 (PFDR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF7 DR	PF6 DR	PF5 DR	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(8) ポート J データレジスタ 0 (PJDR0 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ14 DR	PJ13 DR	PJ12 DR	PJ11 DR	PJ10 DR	PJ9 DR	PJ8 DR	PJ7 DR	PJ6 DR	PJ5 DR	PJ4 DR	PJ3 DR	PJ2 DR	PJ1 DR	PJ0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(9) ポート K データレジスタ 0 (PKDR0 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PK1 DR	PK0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

31.2.4 ポートレジスタ

ポートレジスタは、各ビットに対応する端子の値を読み出すことができます。書き込みは無効です。各ビットに対応する端子を表 31.18 に示します。また、表 31.19 に示すビットは、全てリザーブビットです。

表 31.18 ポートレジスタの各ビットと対応する端子

レジスタ名	略称	ビット	ビット名	対応する端子
ポート A ポートレジスタ 0	PAPR0	1、0	PA1PR、PA0PR	PA1、PA0
ポート B ポートレジスタ 1	PBPR1	6~0	PB22PR~PB16PR	PB22~PB16
ポート B ポートレジスタ 0	PBPR0	15~1	PB15PR~PB1PR	PB15~PB1
ポート C ポートレジスタ 0	PCPR0	8~0	PC8PR~PC0PR	PC8~PC0
ポート D ポートレジスタ 0	PDPR0	15~0	PD15PR~PD0PR	PD15~PD0
ポート E ポートレジスタ 0	PEPR0	7~0	PE7PR~PE0PR	PE7~PE0
ポート F ポートレジスタ 0	PFPR0	7~0	PF7PR~PF0PR	PF7~PF0
ポート G ポートレジスタ 0	PGPR0	3~0*1	PG3PR~PG0PR	PG3~PG0*3
ポート H ポートレジスタ 0	PHPR0	7~0*2	PH7PR~PH0PR	PH7~PH0*4
ポート J ポートレジスタ 0	PJPR0	14~0	PJ14PR~PJ0PR	PJ14~PJ0
ポート K ポートレジスタ 0	PKPR0	1、0	PK1PR、PK0PR	PK1、PK0

【注】 *1 SH726A ではビット 3、2 はリザーブビットです。読み出すと常に 0 が読み出されます。

*2 SH726A ではビット 7、6 はリザーブビットです。読み出すと常に 1 が読み出されます。

*3 USB2.0 フルスピードホスト/ファンクションモジュールの機能が選択されている場合は常に 0 が読み出されます。

*4 A/D 変換器の機能を選択している場合は常に 1 が読み出されます。

表 31.19 ポートレジスタ内リザーブビット一覧

レジスタ名	略称	ビット	説 明
ポート A ポートレジスタ 0	PAPR0	15~2	リザーブビット 読み出すと常に 0 が読み出されます。
ポート B ポートレジスタ 1	PBPR1	15~7	
ポート B ポートレジスタ 0	PBPR0	0	
ポート C ポートレジスタ 0	PCPR0	15~9	
ポート E ポートレジスタ 0	PEPR0	15~8	
ポート F ポートレジスタ 0	PFPR0	15~8	
ポート G ポートレジスタ 0	PGPR0	15~4	
ポート H ポートレジスタ 0	PHPR0	15~8	
ポート J ポートレジスタ 0	PJPR0	15	
ポート K ポートレジスタ 0	PKPR0	15~3	

(1) ポート A ポートレジスタ 0 (PAPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PA1 PR	PA0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PA1	PA0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) ポート B ポートレジスタ 1 (PBPR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PB22 PR	PB21 PR	PB20 PR	PB19 PR	PB18 PR	PB17 PR	PB16 PR
初期値:	0	0	0	0	0	0	0	0	0	PB22	PB21	PB20	PB19	PB18	PB17	PB16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(3) ポート B ポートレジスタ 0 (PBPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 PR	PB14 PR	PB13 PR	PB12 PR	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	-
初期値:	PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(4) ポート C ポートレジスタ 0 (PCPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC8 PR	PC7 PR	PC6 PR	PC5 PR	PC4 PR	PC3 PR	PC2 PR	PC1 PR	PC0 PR
初期値:	0	0	0	0	0	0	0	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(5) ポート D ポートレジスタ 0 (PDPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PR	PD14 PR	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値:	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(6) ポート E ポートレジスタ 0 (PEPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	0	0	0	0	0	0	0	0	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(7) ポート F ポートレジスタ 0 (PFPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF7 PR	PF6 PR	PF5 PR	PF4 PR	PF3 PR	PF2 PR	PF1 PR	PF0 PR
初期値:	0	0	0	0	0	0	0	0	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(8) ポート G ポートレジスタ 0 (PGPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PG3 PR	PG2 PR	PG1 PR	PG0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	PG3	PG2	PG1	PG0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(9) ポート H ポートレジスタ 0 (PHPR0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PH7 PR	PH6 PR	PH5 PR	PH4 PR	PH3 PR	PH2 PR	PH1 PR	PH0 PR
初期値:	0	0	0	0	0	0	0	0	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(10) ポート J ポートレジスタ 0 (PJPR0 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ14 PR	PJ13 PR	PJ12 PR	PJ11 PR	PJ10 PR	PJ9 PR	PJ8 PR	PJ7 PR	PJ6 PR	PJ5 PR	PJ4 PR	PJ3 PR	PJ2 PR	PJ1 PR	PJ0 PR
初期値:	0	PJ14	PJ13	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(11) ポート K ポートレジスタ 0 (PKPR0 : SH726B のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PK1 PR	PK0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PK1	PK0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

31.2.5 シリアルサウンドインタフェースノイズキャンセラコントロールレジスタ (SNCR)

SNCR は、本 LSI 端子からシリアルサウンドインタフェースへの入力経路に存在するノイズキャンセラを制御します。各ビットは、対応するシリアルサウンドインタフェースのチャンネルがスレーブモードである場合のみ設定可能です。マスタモード時は、初期値のまま使用してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SSI3 NCE	SSI2 NCE	SSI1 NCE	SSI0 NCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SSI3NCE	0	R/W	シリアルサウンドインタフェースチャンネル 3 ノイズキャンセライネーブル SSISCK3、SSIWS3、SSIDATA3 のノイズキャンセラの有効／無効を選択します。 0: ノイズキャンセラ無効 1: ノイズキャンセラ有効
2	SSI2NCE	0	R/W	シリアルサウンドインタフェースチャンネル 2 ノイズキャンセライネーブル SSISCK2、SSIWS2、SSIDATA2 のノイズキャンセラの有効／無効を選択します。 0: ノイズキャンセラ無効 1: ノイズキャンセラ有効
1	SSI1NCE	0	R/W	シリアルサウンドインタフェースチャンネル 1 ノイズキャンセライネーブル SSISCK1、SSIWS1、SSIRxD1 のノイズキャンセラの有効／無効を選択します。 0: ノイズキャンセラ無効 1: ノイズキャンセラ有効
0	SSI0NCE	0	R/W	シリアルサウンドインタフェースチャンネル 0 ノイズキャンセライネーブル SSISCK0、SSIWS0、SSIRxD0 のノイズキャンセラの有効／無効を選択します。 0: ノイズキャンセラ無効 1: ノイズキャンセラ有効

32. 低消費電力モード

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

32.1 特長

32.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 32.1 に示します。

表 32.1 低消費電力モードの状態

低消費電力 モード	遷移条件	状 態 ^{*1}									解除方法
		CPG	CPU	CPU レジスタ	高速内蔵 RAM キャッシュ メモリ	大容量内蔵 RAM (保持用内蔵 RAM含む)	内蔵周辺 モジュール	リアル タイム クロック	電源	外部メモリ	
スリープ モード	STBCR1のSTBY ビットが0の状態 でSLEEP命令を実行	動作	停止	保持	動作	動作	動作	動作 ^{*2}	動作	オート リフレッシュ にしてください	・割り込み ・マニュアルリセット ・パワーオンリセット ・DMAアドレスエラー
ソフトウェア スタンバイ モード	STBCR1のSTBY ビットが1、DEEP ビットが0の状態 でSLEEP命令を 実行	停止	停止	保持	停止 (内容は 保持 ^{*5*6})	停止 (内容は 保持 ^{*5*6*7})	停止	動作 ^{*2}	動作	セルフ リフレッシュ にしてください	・NMI割り込み ・IRQ割り込み ・パワーオンリセット
ディープ スタンバイ モード	STBCR1のSTBY ビットとDEEP ビットが1の状態 でSLEEP命令を実行	停止	停止	停止	停止 (内容は 非保持)	停止 (保持用 内蔵RAMの 内容は保持 ^{*3})	停止	動作 ^{*2}	停止	セルフ リフレッシュ にしてください	・NMI割り込み ^{*4} ・パワーオンリセット ^{*4} ・リアルタイムクロック アラーム割り込み ^{*4} ・解除用端子の変化 ^{*4}
モジュール スタンバイ モード	STBCR2、STBCR3、 STBCR4、STBCR5、 STBCR6、STBCR7、 STBCR8のMSTP ビットを1とする	動作	動作	保持	動作	動作	指定 モジュール が停止	停止	動作	オート リフレッシュ にしてください	・MSTPビットを0に クリア ・パワーオンリセット (ただしユーザデバッグインタ フェース、ダイレクトメモリ アクセスコントローラのみ)

【注】 *1 端子状態は、保持またはハイインピーダンスです。詳細は「第 36 章 端子状態と処理方法」の「36.1 端子状態」を参照してください。

*2 リアルタイムクロックは RCR2 レジスタの START ビットが 1 のとき動作します。詳細は「第 15 章 リアルタイムクロック」を参照してください。なお、パワーオンリセットによりディープスタンバイモードを解除した場合、動作状態を保持することができません。再度、リアルタイムクロックの初期設定を行ってください。

*3 RRAMKP レジスタの RRAMKP3～RRAMKP0 ビットを 1 にセットすると保持用内蔵 RAM の対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、保持している内容は初期化されます。

*4 ディープスタンバイモードは、割り込み（NMI、リアルタイムクロックアラーム割り込み）、リセット（パワーオンリセット）および解除用端子（PC8～PC5、PF7～PF6、PJ13、PJ11）の変化により解除されます。ただし、リセット以外によってディープスタンバイモードを解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。PJ13、PJ11 は、SH726B でのみ使用できます。

*5 パワーオンリセットによりソフトウェアスタンバイモードを解除した場合、保持している内容は初期化されます。

*6 高速内蔵 RAM は、SYSCR1 レジスタの RAME ビット、または SYSCR2 レジスタの RAMWE ビットをディセーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。

*7 大容量内蔵 RAM（保持用内蔵 RAM 含む）は、SYSCR3 レジスタの VRAME ビット、または SYSCR4 レジスタの VRAMWE ビットをディセーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。

32.2 レジスタの説明

表 32.2 にレジスタ構成を示します。

表 32.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
スタンバイコントロールレジスタ 1	STBCR1	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'7E	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'FF	H'FFFE040C	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FFFE0410	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'FF	H'FFFE0414	8
スタンバイコントロールレジスタ 7	STBCR7	R/W	H'FF	H'FFFE0418	8
スタンバイコントロールレジスタ 8	STBCR8	R/W	H'FF	H'FFFE041C	8
ソフトウェアリセットコントロールレジスタ	SWRSTCR	R/W	H'00	H'FFFE0430	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0400	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0404	8
システムコントロールレジスタ 3	SYSCR3	R/W	H'FF	H'FFFE0420	8
システムコントロールレジスタ 4	SYSCR4	R/W	H'FF	H'FFFE0424	8
システムコントロールレジスタ 5	SYSCR5	R/W	H'00	H'FFFE0428	8
保持用内蔵 RAM 保持エリア指定レジスタ	RRAMKP	R/W	H'00	H'FFFE6800	8
ディープスタンバイコントロールレジスタ	DSCTR	R/W	H'00	H'FFFE6802	8
ディープスタンバイ解除要因セレクトレジスタ	DSSSR	R/W	H'0000	H'FFFE6804	16
ディープスタンバイ解除エッジセレクトレジスタ	DSESR	R/W	H'0000	H'FFFE6806	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/W	H'0000	H'FFFE6808	16
XTAL 水晶発振器ゲインコントロールレジスタ	XTALCTR	R/W	H'00	H'FFFE6810	8

32.2.1 スタンバイコントロールレジスタ 1 (STBCR1)

STBCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	STBY	DEEP	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	STBY	0	R/W	ソフトウェアスタンバイ、ディープスタンバイ
6	DEEP	0	R/W	ソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。 0x : SLEEP 命令の実行で、スリープモードへ遷移 10 : SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移 11 : SLEEP 命令の実行で、ディープスタンバイモードへ遷移
5~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【記号説明】 x : Don't care

32.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 10	MSTP 9	MSTP 8	MSTP 7	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットするとユーザデバッグインタフェースへのクロックの供給を停止します。 0 : ユーザデバッグインタフェースは動作 1 : ユーザデバッグインタフェースへのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットするとユーザブレイクコントローラへのクロックの供給を停止します。 0 : ユーザブレイクコントローラは動作 1 : ユーザブレイクコントローラへのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットするとダイレクトメモリアクセスコントローラへのクロックの供給を停止します。 0 : ダイレクトメモリアクセスコントローラは動作 1 : ダイレクトメモリアクセスコントローラへのクロックの供給を停止
4	MSTP7	0	R/W	モジュールストップ 7 MSTP7 ビットを 1 にセットすると FPU へのクロックの供給を停止します。MSTP7 ビットを 1 にセットした後、0 をライトしてクリアすることはできません。つまり、MSTP7 ビットを 1 にセットして FPU へのクロック供給をいったん停止した後、MSTP7 ビットを 0 にクリアして FPU へのクロック供給を再開することはできません。 FPU へのクロックの供給を停止した後、再開するには、本 LSI をパワーオンリセットしてください。 0 : FPU は動作 1 : FPU へのクロックの供給を停止
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

32.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	HIZ	MSTP 36	MSTP 35	MSTP 34	MSTP 33	MSTP 32	-	MSTP 30
初期値:	0	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	HIZ	0	R/W	ポートハインピーダンス ソフトウェアスタンバイモード時およびディープスタンバイモード時に、特定の出力端子の状態を保持するか、ハインピーダンスにするかを選択します。どの端子を制御するかは、「第 36 章 端子状態と処理方法」の「36.1 端子状態」を参照してください。 本ビットは、ウォッチドッグタイマの WTSCR の TME ビットが 1 の状態では設定しないでください。出力端子の状態をハインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。 0 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態を保持する 1 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態をハインピーダンスにする
6	MSTP36	1	R/W	モジュールストップ 36 MSTP36 ビットを 1 にセットすると IEBus コントローラへのクロックの供給を停止します。 0 : IEBus コントローラは動作 1 : IEBus コントローラへのクロックの供給を停止
5	MSTP35	1	R/W	モジュールストップ 35 MSTP35 ビットを 1 にセットするとマルチファンクションタイマパルスユニット 2 へのクロックの供給を停止します。 0 : マルチファンクションタイマパルスユニット 2 は動作 1 : マルチファンクションタイマパルスユニット 2 へのクロックの供給を停止
4	MSTP34	1	R/W	モジュールストップ 34 MSTP34 ビットを 1 にセットすると SD ホストインタフェース 0 へのクロックの供給を停止します。 0 : SD ホストインタフェース 0 は動作 1 : SD ホストインタフェース 0 へのクロックの供給を停止
3	MSTP33	1	R/W	モジュールストップ 33 MSTP33 ビットを 1 にセットすると SD ホストインタフェース 1 へのクロックの供給を停止します。 0 : SD ホストインタフェース 1 は動作 1 : SD ホストインタフェース 1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説 明
2	MSTP32	1	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると A/D 変換器へのクロックの供給を停止します。 0 : A/D 変換器は動作 1 : A/D 変換器へのクロックの供給を停止
1	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットするとリアルタイムクロックへのクロックの供給を停止します。 0 : リアルタイムクロックは動作 1 : リアルタイムクロックへのクロックの供給を停止 【注】リアルタイムクロックを停止する場合、以下のリアルタイムクロックのレジスタ設定を行ってください。 - コントロールレジスタ 2 (RCR2) の RTCEN ビットを 0 に設定 - コントロールレジスタ 5 (RCR5) の RCKSEL[1:0] ビットを 0 に設定 上記の設定の後に、MSTP30 ビットを 1 に設定してください。

32.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP 47	MSTP 46	MSTP 45	MSTP 44	MSTP 43	-	-	-
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	MSTP47	1	R/W	モジュールストップ 47 MSTP47 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャネル 0 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャネル 0 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャネル 0 へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ 46 MSTP46 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャネル 1 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャネル 1 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャネル 1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説 明
5	MSTP45	1	R/W	モジュールストップ 45 MSTP45 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 2 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 2 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 2 へのクロックの供給を停止
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 3 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 3 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 3 へのクロックの供給を停止
3	MSTP43	1	R/W	モジュールストップ 43 MSTP43 ビットを 1 にセットすると FIFO 内蔵シリアルコミュニケーションユニットチャンネル 3 へのクロックの供給を停止します。 0 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 4 は動作 1 : FIFO 内蔵シリアルコミュニケーションユニットチャンネル 4 へのクロックの供給を停止
2~0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

32.2.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 57	MSTP 56	MSTP 55	-	MSTP 53	MSTP 52	MSTP 51	MSTP 50
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP57	1	R/W	モジュールストップ 57 MSTP57 ビットを 1 にセットすると I ² C バスインタフェース 3 チャネル 0 へのクロックの供給を停止します。 0: I ² C バスインタフェース 3 チャネル 0 は動作 1: I ² C バスインタフェース 3 チャネル 0 へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ 56 MSTP56 ビットを 1 にセットすると I ² C バスインタフェース 3 チャネル 1 へのクロックの供給を停止します。 0: I ² C バスインタフェース 3 チャネル 1 は動作 1: I ² C バスインタフェース 3 チャネル 1 へのクロックの供給を停止
5	MSTP55	1	R/W	モジュールストップ 55 MSTP55 ビットを 1 にセットすると I ² C バスインタフェース 3 チャネル 2 へのクロックの供給を停止します。 0: I ² C バスインタフェース 3 チャネル 2 は動作 1: I ² C バスインタフェース 3 チャネル 2 へのクロックの供給を停止
4	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP53	1	R/W	モジュールストップ 53 MSTP53 ビットを 1 にセットするとコントローラエリアネットワークチャネル 0 へのクロックの供給を停止します。 0: コントローラエリアネットワークチャネル 0 は動作 1: コントローラエリアネットワークチャネル 0 へのクロックの供給を停止
2	MSTP52	1	R/W	モジュールストップ 52 MSTP52 ビットを 1 にセットするとコントローラエリアネットワークチャネル 1 へのクロックの供給を停止します。 0: コントローラエリアネットワークチャネル 1 は動作 1: コントローラエリアネットワークチャネル 1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説 明
1	MSTP51	1	R/W	モジュールストップ 51 MSTP51 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャンネル 0 へのクロックの供給を停止します。 0 : ルネサスシリアルペリフェラルインタフェースチャンネル 0 は動作 1 : ルネサスシリアルペリフェラルインタフェースチャンネル 0 へのクロックの供給を停止
0	MSTP50	1	R/W	モジュールストップ 50 MSTP50 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャンネル 1 へのクロックの供給を停止します。 0 : ルネサスシリアルペリフェラルインタフェースチャンネル 1 は動作 1 : ルネサスシリアルペリフェラルインタフェースチャンネル 1 へのクロックの供給を停止

32.2.6 スタンバイコントロールレジスタ 6 (STBCR6)

STBCR6 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 67	MSTP 66	MSTP 65	MSTP 64	MSTP 63	MSTP 62	MSTP 61	MSTP 60
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP67	1	R/W	モジュールストップ 67 MSTP67 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 0 へのクロックの供給を停止します。 0: シリアルサウンドインタフェースチャネル 0 は動作 1: シリアルサウンドインタフェースチャネル 0 へのクロックの供給を停止
6	MSTP66	1	R/W	モジュールストップ 66 MSTP66 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 1 へのクロックの供給を停止します。 0: シリアルサウンドインタフェースチャネル 1 は動作 1: シリアルサウンドインタフェースチャネル 1 へのクロックの供給を停止
5	MSTP65	1	R/W	モジュールストップ 65 MSTP65 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 2 へのクロックの供給を停止します。 0: シリアルサウンドインタフェースチャネル 2 は動作 1: シリアルサウンドインタフェースチャネル 2 へのクロックの供給を停止
4	MSTP64	1	R/W	モジュールストップ 64 MSTP64 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 3 へのクロックの供給を停止します。 0: シリアルサウンドインタフェースチャネル 3 は動作 1: シリアルサウンドインタフェースチャネル 3 へのクロックの供給を停止
3	MSTP63	1	R/W	モジュールストップ 63 MSTP63 ビットを 1 にセットすると CD-ROM デコーダへのクロックの供給を停止します。 0: CD-ROM デコーダは動作 1: CD-ROM デコーダへのクロックの供給を停止
2	MSTP62	1	R/W	モジュールストップ 62 MSTP62 ビットを 1 にセットするとサンプリングレートコンバータチャネル 0 へのクロックの供給を停止します。 0: サンプリングレートコンバータチャネル 0 は動作 1: サンプリングレートコンバータチャネル 0 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説 明
1	MSTP61	1	R/W	モジュールストップ 61 MSTP61 ビットを 1 にセットするとサンプリングレートコンバータチャンネル 1 へのクロックの供給を停止します。 0 : サンプリングレートコンバータチャンネル 1 は動作 1 : サンプリングレートコンバータチャンネル 1 へのクロックの供給を停止
0	MSTP60	1	R/W	モジュールストップ 60 MSTP60 ビットを 1 にセットすると USB2.0 ホスト／ファンクションモジュールへのクロックの供給を停止します。 0 : USB2.0 ホスト／ファンクションモジュールは動作 1 : USB2.0 ホスト／ファンクションモジュールへのクロックの供給を停止

32.2.7 スタンバイコントロールレジスタ 7 (STBCR7)

STBCR7 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP 77	MSTP 76	-	-	-	MSTP 72	-	MSTP 70
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP77	1	R/W	モジュールストップ 77 MSTP77 ビットを 1 にセットすると FIFO 付きクロック同期シリアル I/O へのクロックの供給を停止します。 0 : FIFO 付きクロック同期シリアル I/O は動作 1 : FIFO 付きクロック同期シリアル I/O へのクロックの供給を停止
6	MSTP76	1	R/W	モジュールストップ 76 MSTP76 ビットを 1 にセットするとルネサス SPDIF インタフェースへのクロックの供給を停止します。 0 : ルネサス SPDIF インタフェースは動作 1 : ルネサス SPDIF インタフェースへのクロックの供給を停止
5～3	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	MSTP72	1	R/W	モジュールストップ 72 MSTP72 ビットを 1 にセットするとコンペアマッチタイマへのクロックの供給を停止します。 0 : コンペアマッチタイマは動作 1 : コンペアマッチタイマへのクロックの供給を停止
1	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説 明
0	MSTP70	1	R/W	モジュールストップ 70 MSTP70 ビットを 1 にセットするとサンプリングレートコンバータチャンネル 2 へのクロックの供給を停止します。 0 : サンプリングレートコンバータチャンネル 2 は動作 1 : サンプリングレートコンバータチャンネル 2 のクロックの供給を停止

32.2.8 スタンバイコントロールレジスタ 8 (STBCR8)

STBCR8 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MST P82	MST P81	MST P80
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	MSTP82	1	R/W	モジュールストップ 82 MSTP82 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャンネル 2 へのクロックの供給を停止します。 0 : ルネサスシリアルペリフェラルインタフェースチャンネル 2 は動作 1 : ルネサスシリアルペリフェラルインタフェースチャンネル 2 へのクロックの供給を停止
1	MSTP81	1	R/W	モジュールストップ 81 MSTP81 ビットを 1 にセットすると I²C バスインタフェース 3 チャンネル 3 へのクロックの供給を停止します。 0 : I²C バスインタフェース 3 チャンネル 3 は動作 1 : I²C バスインタフェース 3 チャンネル 3 のクロックの供給を停止
0	MSTP80	1	R/W	モジュールストップ 80 MSTP80 ビットを 1 にセットすると SPI マルチ I/O バスコントローラへのクロックの供給を停止します。 0 : SPI マルチ I/O バスコントローラは動作 1 : SPI マルチ I/O バスコントローラへのクロックの供給を停止

32.2.9 ソフトウェアリセットコントロールレジスタ（SWRSTCR）

SWRSTCR は、読み出し／書き込み可能な 8 ビットのレジスタで、シリアルサウンドインタフェースと IEBus コントローラのソフトウェアリセット制御とオーディオ用水晶発振子の制御を行います。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	AXT ALE	-	-	IEB SRST	SSIF3 SRST	SSIF2 SRST	SSIF1 SRST	SSIF0 SRST
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	AXTALE	0	R/W	AUDIO_X1 クロック制御 AUDIO_X1 端子の機能を制御します。 0：内蔵水晶発振器を動作／外部クロック入力許可 1：内蔵水晶発振器を停止／外部クロック入力禁止
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	IEBSRST	0	R/W	IEBus コントローラソフトウェアリセット IEBus コントローラのリセットをソフトウェアで制御します。 0：IEBus コントローラのリセットを解除 1：IEBus コントローラをリセット状態
3	SSIF3SRST	0	R/W	シリアルサウンドインタフェースチャネル 3 ソフトウェアリセット シリアルサウンドインタフェースチャネル 3 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 3 のリセットを解除 1：シリアルサウンドインタフェースチャネル 3 をリセット状態
2	SSIF2SRST	0	R/W	シリアルサウンドインタフェースチャネル 2 ソフトウェアリセット シリアルサウンドインタフェースチャネル 2 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 2 のリセットを解除 1：シリアルサウンドインタフェースチャネル 2 をリセット状態
1	SSIF1SRST	0	R/W	シリアルサウンドインタフェースチャネル 1 ソフトウェアリセット シリアルサウンドインタフェースチャネル 1 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 1 のリセットを解除 1：シリアルサウンドインタフェースチャネル 1 をリセット状態
0	SSIF0SRST	0	R/W	シリアルサウンドインタフェースチャネル 0 ソフトウェアリセット シリアルサウンドインタフェースチャネル 0 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 0 のリセットを解除 1：シリアルサウンドインタフェースチャネル 0 をリセット状態

32.2.10 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、高速内蔵 RAM の各ページへのアクセス（リードおよびライト）許可／禁止を設定します。

SYSCR1 の RAME_n（ $n=0\sim3$ ）ビットを 1 にセットするとページ n へのアクセスが有効になります。0 に設定するとページ n はアクセスできません。このとき、ページ n からのリードおよび命令フェッチは不定値が読み出され、ページ n へのライトは無視されます。初期値は 1 です。

RAME_n ビットを 0 に設定する場合は、RAME_n ビット設定前に必ずページ n の任意の同一アドレスに対し、リードとライトを実行してください。このアクセスを実行しない場合、ページ n の最後に書かれたデータが高速内蔵 RAM に書き込まれない可能性があります。

SYSCR1 の設定は、高速内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR1 へのライトを実行する命令の直後に SYSCR1 からリードを実行する命令を配置してください。これらが守られない場合、高速内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	RAME3	RAME2	RAME1	RAME0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～4	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAME3	1	R/W	RAM イネーブル 3（対象：高速内蔵 RAM のページ 3*） 0：ページ 3 へのアクセス無効 1：ページ 3 へのアクセス有効
2	RAME2	1	R/W	RAM イネーブル 2（対象：高速内蔵 RAM のページ 2*） 0：ページ 2 のアクセス無効 1：ページ 2 へのアクセス有効
1	RAME1	1	R/W	RAM イネーブル 1（対象：高速内蔵 RAM のページ 1*） 0：ページ 1 へのアクセス無効 1：ページ 1 へのアクセス有効
0	RAME0	1	R/W	RAM イネーブル 0（対象：高速内蔵 RAM のページ 0*） 0：ページ 0 へのアクセス無効 1：ページ 0 へのアクセス有効

【注】 * 各ページのアドレスについては、「第 30 章 内蔵 RAM」を参照してください。

32.2.11 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、高速内蔵 RAM の各ページへのライト許可／禁止を設定します。

SYSCR2 の RAMWEn (n=0~3) ビットを 1 にセットするとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 1 です。

なお、RAMWEn ビットを 0 に設定する場合は、RAMWEn ビット設定前に、ページ n の任意のアドレスに対し、リードとライトを実行してください。このアクセスを実行しない場合、ページ n の最後に書かれたデータが高速内蔵 RAM に書き込まれない可能性があります。

SYSCR2 の設定は、高速内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR2 へのライトを実行する命令の直後に SYSCR2 からリードを実行する命令を配置してください。これらが守られない場合、高速内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象：高速内蔵 RAM のページ 3*) 0：ページ 3 へのライト無効 1：ページ 3 へのライト有効
2	RAMWE2	1	R/W	RAM ライトイネーブル 2 (対象：高速内蔵 RAM のページ 2*) 0：ページ 2 へのライト無効 1：ページ 2 へのライト有効
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象：高速内蔵 RAM のページ 1*) 0：ページ 1 へのライト無効 1：ページ 1 へのライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象：高速内蔵 RAM のページ 0*) 0：ページ 0 へのライト無効 1：ページ 0 へのライト有効

【注】 * 各ページのアドレスについては、「第 30 章 内蔵 RAM」を参照してください。

32.2.12 システムコントロールレジスタ 3 (SYSCR3)

SYSCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのアクセス（リードおよびライト）の許可／禁止を設定します。

SYSCR3 の VRAMEn (n=0~4) ビットを 1 に設定するとページ n へのアクセスが有効になります。0 に設定するとページ n はアクセスできません。このとき、ページ n からのリードおよび命令フェッチは不定値が読み出され、ページ n へのライトは無視されます。初期値は 1 です。

SYSCR3 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR3 へのライトを実行する命令の直後に SYSCR3 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	VRA ME4	VRA ME3	VRA ME2	VRA ME1	VRA ME0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	VRAME4	1	R/W	RAM イネーブル 4（対象：大容量内蔵 RAM のページ 4*） 0：ページ 4 へのアクセス無効 1：ページ 4 へのアクセス有効
3	VRAME3	1	R/W	RAM イネーブル 3（対象：大容量内蔵 RAM のページ 3*） 0：ページ 3 へのアクセス無効 1：ページ 3 へのアクセス有効
2	VRAME2	1	R/W	RAM イネーブル 2（対象：大容量内蔵 RAM のページ 2*） 0：ページ 2 へのアクセス無効 1：ページ 2 へのアクセス有効
1	VRAME1	1	R/W	RAM イネーブル 1（対象：大容量内蔵 RAM のページ 1*） 0：ページ 1 へのアクセス無効 1：ページ 1 へのアクセス有効
0	VRAME0	1	R/W	RAM イネーブル 0（対象：大容量内蔵 RAM のページ 0*） 0：ページ 0 へのアクセス無効 1：ページ 0 へのアクセス有効

【注】 * 各ページのアドレスについては、「第 30 章 内蔵 RAM」を参照してください。

32.2.13 システムコントロールレジスタ 4 (SYSCR4)

SYSCR4 は、読み出し／書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのライト許可／禁止を設定します。

SYSCR4 の VRAMWE_n (n=0~4) ビットを 1 に設定するとページ **n** へのライトが有効になります。0 に設定するとページ **n** へのライトは無視されます。初期値は 1 です。

SYSCR4 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR4 へのライトを実行する命令の直後に SYSCR4 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	VRAM WE4	VRAM WE3	VRAM WE2	VRAM WE1	VRAM WE0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	VRAMWE4	1	R/W	RAM ライトイネーブル 4 (対象：大容量内蔵 RAM のページ 4*) 0：ページ 4 へのライト無効 1：ページ 4 へのライト有効
3	VRAMWE3	1	R/W	RAM ライトイネーブル 3 (対象：大容量内蔵 RAM のページ 3*) 0：ページ 3 へのライト無効 1：ページ 3 へのライト有効
2	VRAMWE2	1	R/W	RAM ライトイネーブル 2 (対象：大容量内蔵 RAM のページ 2*) 0：ページ 2 へのライト無効 1：ページ 2 へのライト有効
1	VRAMWE1	1	R/W	RAM ライトイネーブル 1 (対象：大容量内蔵 RAM のページ 1*) 0：ページ 1 へのライト無効 1：ページ 1 へのライト有効
0	VRAMWE0	1	R/W	RAM ライトイネーブル 0 (対象：大容量内蔵 RAM のページ 0*) 0：ページ 0 へのライト無効 1：ページ 0 へのライト有効

【注】 * 各ページのアドレスについては、「第 30 章 内蔵 RAM」を参照してください。

32.2.14 システムコントロールレジスタ 5 (SYSCR5)

SYSCR5 は、読み出し／書き込み可能な 8 ビットのレジスタで、保持用内蔵 RAM の各ページへのライト許可／禁止を設定します。

SYSCR5 の RRAMWE_n (n=0~3) ビットを 1 に設定するとページ **n** へのライトが有効になります。0 に設定するとページ **n** へのライトは無視されます。初期値は 0 です。

SYSCR5 の設定は、保持用内蔵 RAM 空間以外にあるプログラムで行ってください。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RRAM WE3	RRAM WE2	RRAM WE1	RRAM WE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RRAMWE3	0	R/W	RAM ライトイネーブル 3 (対象: 保持用内蔵 RAM のページ 3 ^{*2}) 0: ページ 3 へのライト無効 1: ページ 3 へのライト有効
2	RRAMWE2	0	R/W	RAM ライトイネーブル 2 (対象: 保持用内蔵 RAM のページ 2 ^{*2}) 0: ページ 2 へのライト無効 1: ページ 2 へのライト有効
1	RRAMWE1	0	R/W	RAM ライトイネーブル 1 (対象: 保持用内蔵 RAM のページ 1 ^{*2}) 0: ページ 1 へのライト無効 1: ページ 1 へのライト有効
0	RRAMWE0	0	R/W	RAM ライトイネーブル 0 (対象: 保持用内蔵 RAM のページ 0 ^{*2}) 0: ページ 0 へのライト無効 1: ページ 0 へのライト有効

【注】 *1 各ページのアドレスについては、「第 30 章 内蔵 RAM」を参照してください。

*2 SYSCR3.VRAMWE0=0 (大容量内蔵 RAM のページ 0 へのアクセス無効) に設定している場合は、本ビットの設定にかかわらず保持用内蔵 RAM へのアクセス (リードおよびライト) はできません。また、SYSCR4.VRAMWE0=0 (大容量内蔵 RAM のページ 0 へのライト無効) に設定している場合は、本ビットの設定にかかわらず保持用内蔵 RAM へのライトはできません。

32.2.15 保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)

RRAMKP は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に対象の保持用内蔵 RAM エリアの内容を保持するかどうかを設定します。

RRAMKP3～0 ビットを 1 にセットすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されます。0 にクリアすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RRAM KP3	RRAM KP2	RRAM KP1	RRAM KP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RRAMKP3	0	R/W	保持用内蔵 RAM 保持エリア 3 (対象: 保持用内蔵 RAM のページ 3*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する
2	RRAMKP2	0	R/W	保持用内蔵 RAM 保持エリア 2 (対象: 保持用内蔵 RAM のページ 2*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する
1	RRAMKP1	0	R/W	保持用内蔵 RAM 保持エリア 1 (対象: 保持用内蔵 RAM のページ 1*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する
0	RRAMKP0	0	R/W	保持用内蔵 RAM 保持エリア 0 (対象: 保持用内蔵 RAM のページ 0*) 0: ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM を保持する

【注】 * 各ページのアドレスについては、「第 30 章 内蔵 RAM」を参照してください。

32.2.16 ディープスタンバイコントロールレジスタ (DSCTR)

DSCTR は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードから復帰する際の、外部メモリ制御端子の状態と起動方法を制御します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	EBUS KEEPE	RAM BOOT	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	EBUSKEEPE	0	R/W	外部メモリ制御端子状態保持 0：ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持しない 1：ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持する
6	RAMBOOT	0	R/W	ディープスタンバイから復帰後の起動方法選択 ディープスタンバイから復帰後の起動方法を選択します。 0：リセット時に設定したブートモードに従います。 1：保持用内蔵 RAM からプログラムを読み出します。 プログラムカウンタ (PC) : H'1C000000 番地 スタックポインタ (SP) : H'1C000004 番地
5~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

32.2.17 ディープスタンバイ解除要因セレクトレジスタ (DSSSR)

DSSSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードをどの要因で解除するかを選択するビットで構成されています。リアルタイムクロックのアラーム割り込み、解除用端子 (PC8～PC5、PF7～PF6、PJ13、PJ11) の変化を選択可能です。解除用端子は、汎用入出力ポートの機能設定にかかわらずディープスタンバイ解除要因として機能します。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PF7	PF6	NMI	-	RTCAR	PC8	PC7	PC6	PC5	PJ13	PJ11
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PF7	0	R/W	PF7 の変化で解除 0 : PF7 の変化で解除しない 1 : PF7 の変化で解除する
9	PF6	0	R/W	PF6 の変化で解除 0 : PF6 の変化で解除しない 1 : PF6 の変化で解除する
8	NMI	0	R/W	NMI の変化で解除 0 : NMI の変化で解除しない 1 : NMI の変化で解除する
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RTCAR	0	R/W	リアルタイムクロックのアラーム割り込みで解除 0 : リアルタイムクロックのアラーム割り込みで解除しない 1 : リアルタイムクロックのアラーム割り込みで解除する
5	PC8	0	R/W	PC8 の変化で解除 0 : PC8 の変化で解除しない 1 : PC8 の変化で解除する
4	PC7	0	R/W	PC7 の変化で解除 0 : PC7 の変化で解除しない 1 : PC7 の変化で解除する
3	PC6	0	R/W	PC6 の変化で解除 0 : PC6 の変化で解除しない 1 : PC6 の変化で解除する
2	PC5	0	R/W	PC5 の変化で解除 0 : PC5 の変化で解除しない 1 : PC5 の変化で解除する

ビット	ビット名	初期値	R/W	説 明
1	PJ13	0	R/W	PJ13 の変化で解除 0 : PJ13 の変化で解除しない 1 : PJ13 の変化で解除する 【注】 SH726B のみ使用できます。
0	PJ11	0	R/W	PJ11 の変化で解除 0 : PJ11 の変化で解除しない 1 : PJ11 の変化で解除する 【注】 SH726B のみ使用できます。

32.2.18 ディープスタンバイ解除エッジセレクトレジスタ (DSESR)

DSESR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードを、DSSSR で解除要因に選択した端子の検出エッジを選択するビットで構成されています。ディープスタンバイモードの解除には、割り込みコントローラの設定にかかわらず、本レジスタの設定が有効となります。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PF7E	PF6E	NMIE	-	-	PC8E	PC7E	PC6E	PC5E	PJ13E	PJ11E
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PF7E	0	R/W	PF7 エッジ検出 0 : PF7 の立ち下がリエッジで検出する 1 : PF7 の立ち上がリエッジで検出する
9	PF6E	0	R/W	PF6 エッジ検出 0 : PF6 の立ち下がリエッジで検出する 1 : PF6 の立ち上がリエッジで検出する
8	NMIE	0	R/W	NMI エッジ検出 0 : NMI の立ち下がリエッジで検出する 1 : NMI の立ち上がリエッジで検出する
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PC8E	0	R/W	PC8 エッジ検出 0 : PC8 の立ち下がリエッジで検出する 1 : PC8 の立ち上がリエッジで検出する
4	PC7E	0	R/W	PC7 エッジ検出 0 : PC7 の立ち下がリエッジで検出する 1 : PC7 の立ち上がリエッジで検出する
3	PC6E	0	R/W	PC6 エッジ検出 0 : PC6 の立ち下がリエッジで検出する 1 : PC6 の立ち上がリエッジで検出する
2	PC5E	0	R/W	PC5 エッジ検出 0 : PC5 の立ち下がリエッジで検出する 1 : PC5 の立ち上がリエッジで検出する
1	PJ13E	0	R/W	PJ13 エッジ検出 0 : PJ13 の立ち下がリエッジで検出する 1 : PJ13 の立ち上がリエッジで検出する
【注】 SH726B のみ使用できます。				

ビット	ビット名	初期値	R/W	説 明
0	PJ11E	0	R/W	PJ11 エッジ検出 0 : PJ11 の立ち下がリエッジで検出する 1 : PJ11 の立ち上がりエッジで検出する 【注】 SH726B のみ使用できます。

32.2.19 ディープスタンバイ解除要因フラグレジスタ (DSFR)

DSFR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの要因で解除されたのかを確認するフラグと、ディープスタンバイモード解除後に端子状態の解除を行うビットで構成されます。DSFR は、ディープスタンバイモードが割り込み (NMI、リアルタイムクロックのアラーム割り込み) および解除用端子の変化により解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは H'0000 に初期化されます。

ディープスタンバイモードに遷移する直前には、すべてのフラグをクリアする必要があります。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO KEEP	-	-	-	-	PF7F	PF6F	NMIF	-	RTC ARF	PC8F	PC7F	PC6F	PC5F	PJ13F	PJ11F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
15	IOKEEP	0	R/(W)*	端子状態保持解除 ディープスタンバイモード解除時に端子状態保持を解除するビットです。 0: 端子状態を保持していない [クリア条件] • 1 リード後の 0 ライト 1: 端子状態を保持している [セット条件] • ディープスタンバイモードに遷移したとき
14~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PF7F	0	R/(W)*	PF7 フラグ 0: PF7 端子変化なし 1: PF7 端子変化あり
9	PF6F	0	R/(W)*	PF6 フラグ 0: PF6 端子変化なし 1: PF6 端子変化あり
8	NMIF	0	R/(W)*	NMI フラグ 0: NMI 端子に割り込みなし 1: NMI 端子に割り込みあり
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RTCARF	0	R/(W)*	RTCAR フラグ 0: リアルタイムクロックのアラーム割り込みなし 1: リアルタイムクロックのアラーム割り込みあり

ビット	ビット名	初期値	R/W	説 明
5	PC8F	0	R/(W)*	PC8 フラグ 0 : PC8 端子変化なし 1 : PC8 端子変化あり
4	PC7F	0	R/(W)*	PC7 フラグ 0 : PC7 端子変化なし 1 : PC7 端子変化あり
3	PC6F	0	R/(W)*	PC6 フラグ 0 : PC6 端子変化なし 1 : PC6 端子変化あり
2	PC5F	0	R/(W)*	PC5 フラグ 0 : PC5 端子変化なし 1 : PC5 端子変化あり
1	PJ13F	0	R/(W)*	PJ13 フラグ 0 : PJ13 端子変化なし 1 : PJ13 端子変化あり 【注】 SH726B のみ使用できます。
0	PJ11F	0	R/(W)*	PJ11 フラグ 0 : PJ11 端子変化なし 1 : PJ11 端子変化あり 【注】 SH726B のみ使用できます。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

32.2.20 XTAL 水晶発振器ゲインコントロールレジスタ (XTALCTR)

XTALCTR は、読み出し／書き込み可能な 8 ビットのレジスタで、XTAL 用およびリアルタイムクロック用水晶発振器のゲインを制御します。

GAIN0 ビットは、リアルタイムクロックが EXTAL 入力使用時に、ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセット以外で解除された場合は、前の値を保持します。リアルタイムクロックが EXTAL 入力未使用時には、ソフトウェアスタンバイモード、ディープスタンバイモードで、本ビットは 0 に初期化されます。

GAIN1 ビットは、リアルタイムクロックが RTC_X1 入力使用時に、ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセット以外で解除された場合は、前の値を保持します。リアルタイムクロックが RTC_X1 入力未使用時には、ソフトウェアスタンバイモード、ディープスタンバイモードで、本ビットは 0 に初期化されます。

ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセットにより解除された場合は、本レジスタは H'00 に初期化されます。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	GAIN1	GAIN0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	GAIN1	0	R/W	リアルタイムクロック用水晶発振器 (RTC_X1、RTC_X2 端子) のゲイン選択 0：大ゲイン発振 1：小ゲイン発振
0	GAIN0	0	R/W	XTAL 用水晶発振器 (EXTAL、XTAL 端子) のゲイン選択* 0：大ゲイン発振 1：小ゲイン発振

【注】 * クロックモード 1 (48MHz 入力) 使用時は小ゲイン発振に設定しないでください。

32.3 動作説明

32.3.1 スリープモード

(1) スリープモードへの遷移

STBCR1 の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに移ります。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子からのクロック出力は続行されます。

(2) スリープモードの解除

スリープモードは、割り込み（NMI、IRQ、内蔵周辺）、DMA アドレスエラー、およびリセット（マニュアルリセット、パワーオンリセット）により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ（SR）に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMA アドレスエラーによる解除

DMA アドレスエラーが発生するとスリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

32.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに移ります。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

また、CPU は、STBCR1 への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を SLEEP 命令に確実に反映するためには、STBCR1 を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. ウォッチドッグタイマのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、ウォッチドッグタイマを停止させます。
2. ウォッチドッグタイマのタイマカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS[2:0]ビットを発振安定時間以上になるように、値を設定します。
3. STBCR1レジスタのSTBYビットに1、DEEPビットに0を設定した後STBCR1レジスタを読み出します。その後、SLEEP命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (パワーオンリセット) により解除されます。CKIO 端子からクロックが出力され始めます。

● 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラの割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) で選択)、IRQ端子 (IRQ7~IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラの割り込みコントロールレジスタ1 (ICR1) のIRQnセンスセレクトビット (IRQnIS~IRQnOS) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (ウォッチドッグタイマ) にだけ供給されます。

ソフトウェアスタンバイモードに遷移する前にウォッチドッグタイマのウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、ウォッチドッグタイマのオーパフローが発生します。このオーパフロー発生によってクロックが安定したと判断され本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI割り込み例外処理 (IRQの場合、IRQ割り込み例外処理) が実行されます。発生した割り込みの優先レベルがCPUのステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

NMI割り込みまたはIRQ割り込みによってソフトウェアスタンバイモードを解除する場合、ウォッチドッグタイマのオーパフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。

● リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。

$\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

CKIO端子には、内部のクロックが出力され続けます。

(3) ソフトウェアスタンバイモード遷移時の注意事項

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）およびリセット（マニュアルリセット、パワーオンリセット）により解除されますが、SLEEP 命令と NMI、IRQ 以外の割り込みが同時に発生すると、割り込みを受け付けてソフトウェアスタンバイモードが解除される場合があります。

ソフトウェアスタンバイモードへ遷移させるときは、割り込みが入らないように設定してから SLEEP 命令を実行してください。

(4) ソフトウェアスタンバイモード解除時の注意事項

ソフトウェアスタンバイモード解除後の発振安定時間の間、不安定なクロックが CKIO 端子から出力されます。これによる誤動作を防ぐためには FRQCR レジスタのビット 13、12 を変更してください。

32.3.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 32.1 に示します。

割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

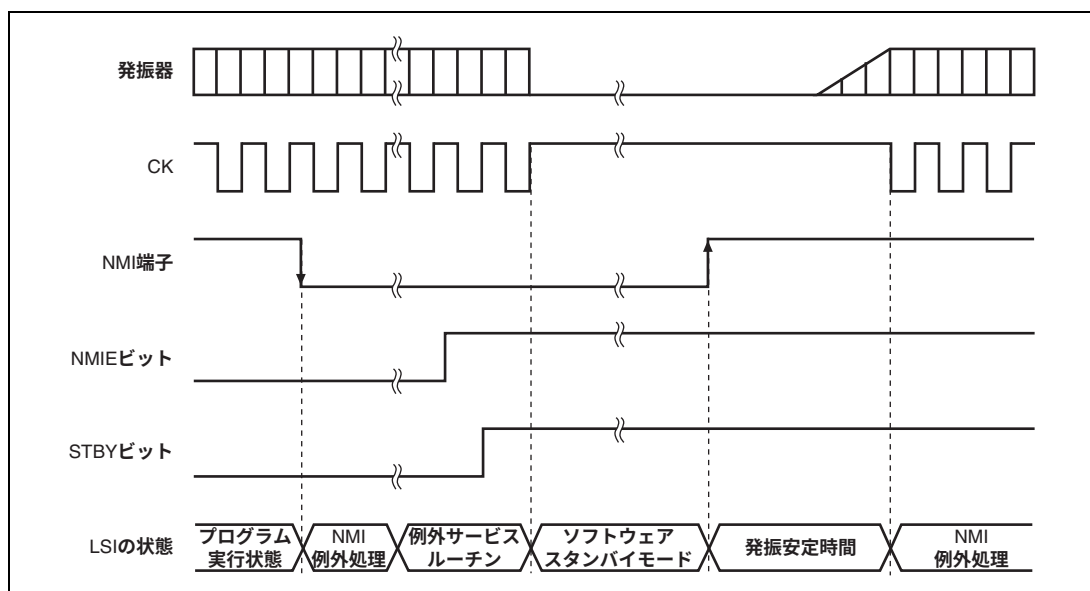


図 32.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

32.3.4 ディープスタンバイモード

(1) ディープスタンバイモードへの遷移

STBCR1 の STBY ビットと DEEP ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけでなく、RRAMKP レジスタの RRAMKP3～RRAMKP0 ビットの設定により保持となる保持用内蔵 RAM エリア、リアルタイムクロックを除き電源がオフになり、消費電力を大幅に削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、DSFR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から DSFR への書き込み値を SLEEP 命令に確実に反映するためには、DSFR を読み出してから SLEEP 命令を実行してください。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを図 32.2 に示します。

1. 保持する必要がある保持用内蔵RAMエリアに対して、RRAMKPレジスタのRRAMKP3～RRAMKP0ビットを設定します。設定した保持用内蔵RAMエリアに保持したいプログラムを転送します。
2. ディープスタンバイモードから復帰する時の起動方法と外部メモリ制御端子状態保持を、DSCTRレジスタのEBUSKEEPEビットとRAMBOOTビットで設定します。
3. ディープスタンバイモードを割り込みで解除する場合、どの端子またはどの条件で解除するかDSSSRの該当ビットを設定します。このとき解除する端子の入力信号検出モードをDSESRの該当ビットで設定します。
4. 保持する保持用内蔵RAMの各ページに対し、任意の同一アドレスのリード／ライトを実行します。実行しない場合、最後に書かれたデータが保持用内蔵RAMに書き込まれない可能性があります。以後、保持用内蔵RAMへのライトがある場合には、最後の保持用内蔵RAMライト後に、本処理を実行してください。
5. STBCR1 レジスタのSTBYビットとDEEPビットに1を設定します。
6. DSFRレジスタのフラグをクリアした後に、DSFRレジスタを読み出します。その後、SLEEP命令を実行します。

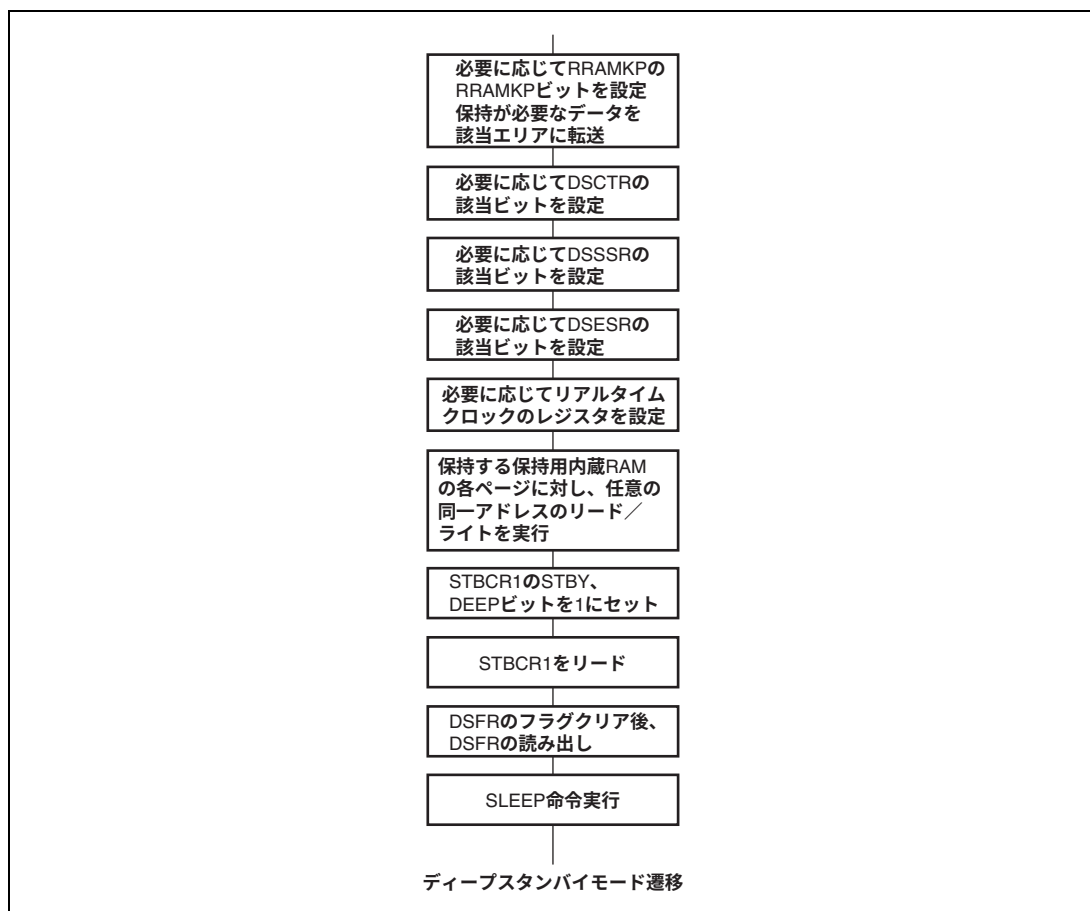


図 32.2 ディープスタンバイモード遷移フロー

(2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み（NMI、リアルタイムクロックのアラーム割り込み）、解除用端子の変化、およびリセット（パワーオンリセット）により解除されます。リアルタイムクロックのアラーム割り込みは、割り込み優先レベルおよびCPUのステータスレジスタ（SR）とアラーム割り込みイネーブルフラグ

（RCR1.AIE）に関係なく、ディープスタンバイ解除要因として動作します。リセット以外の要因によって解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。ディープスタンバイモード解除のフローを図 32.3 に示します。

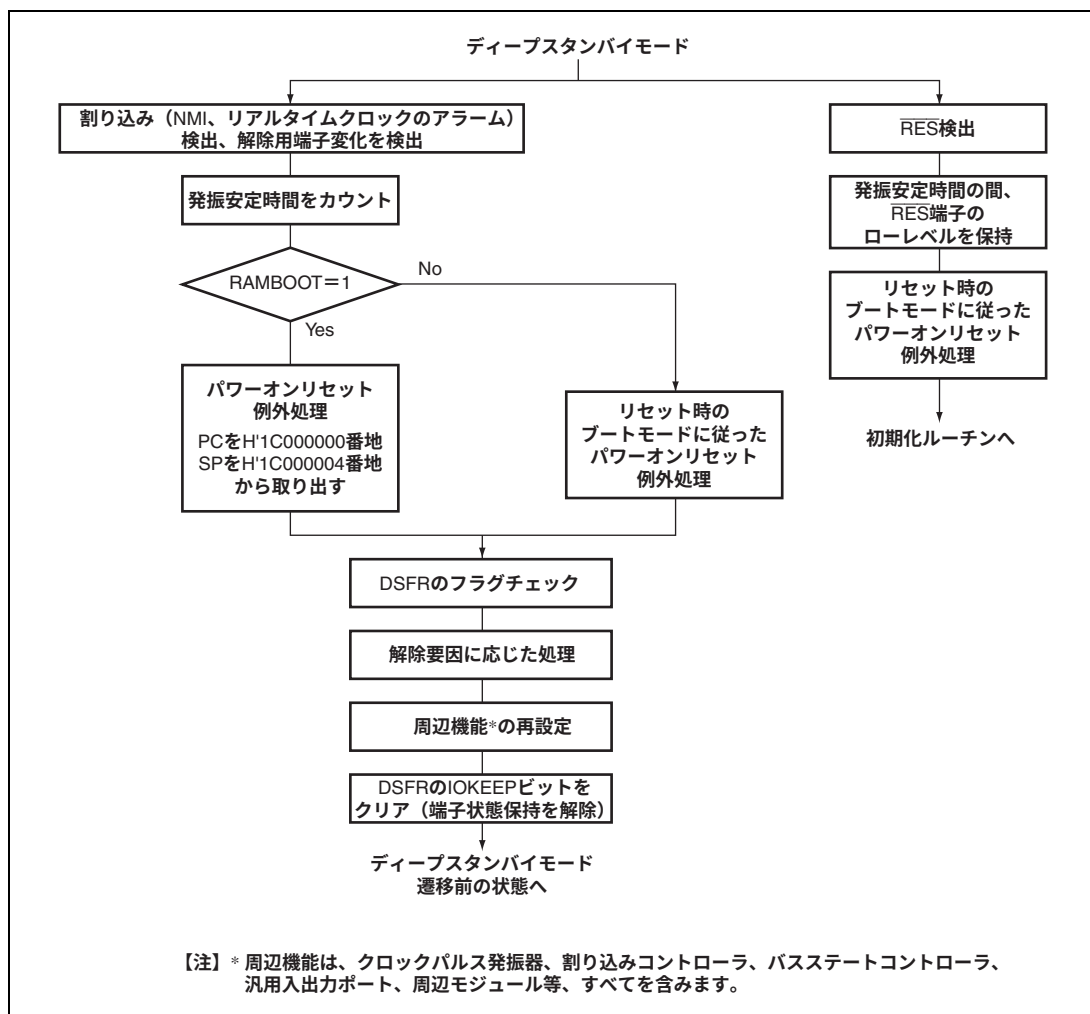


図 32.3 ディープスタンバイモード解除フロー

- リセット以外による解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ（DSESrの該当ビットで選択）、解除用端子の立ち下がりエッジまたは立ち上がりエッジ（DSESrの該当ビットで選択）が検出されるか、リアルタイムクロックのアラーム割り込み（設定方法の詳細は「15.4.4 アラーム機能」を参照してください）が発生すると、電源安定待ち時間後、クロックの発振が開始されます。発振安定時間経過後ディープスタンバイモードが解除され、パワーオンリセット例外処理が実行されます。

解除要因の検出直後からディープスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。

NMI端子、解除用端子の変化、およびリアルタイムクロックのアラーム割り込みの検出は、DSSSRの該当ビットを設定した時点から有効になります。検出された解除要因は保持されますが、DSFRへの反映はディープスタンバイモード解除後となります。また、CPUが割り込み要求を受け付けることにより、保持された解除要因がすべてクリアされます。解除要因検出後に、そのままディープスタンバイモードに遷移すると、遷移後すぐにディープスタンバイモードが解除されます。

- リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO端子には、 $\overline{\text{RES}}$ 端子をローレベルにすると内部のクロックが出力され始めます。

$\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

(3) ディープスタンバイモード解除後の動作

DSCTR レジスタのRAMBOOT ビット設定により外部メモリ起動か保持用内蔵RAM 起動かを選択することができます。EBUSKEEPE ビットの設定によりディープスタンバイモード解除後も外部メモリ制御端子の状態を保持することができます。各ビットによるディープスタンバイモード解除後の端子状態を表 32.3 に示します。外部メモリ制御端子一覧を表 32.4 に示します。

表 32.3 DSCTR レジスタ設定によるディープスタンバイ解除後の端子状態と起動方法

EBUSKEEPE ビット	RAMBOOT ビット	起動方法	ディープスタンバイ解除後の端子状態
0	0	外部メモリ	外部メモリ制御端子は保持しない。 その他の端子はIOKEEP ビットクリア時に端子保持解除。
0	1	保持用内蔵 RAM	外部メモリ制御端子は保持しない。 ディープスタンバイ解除後外部メモリ制御端子は端子保持解除。 その他の端子はIOKEEP ビットクリア時に端子保持解除。
1	0	—	設定禁止
1	1	保持用内蔵 RAM	外部メモリ制御端子は保持する。 外部メモリ制御端子もその他の端子も、IOKEEP ビットクリア時に端子保持解除。

表 32.4 外部メモリ制御端子一覧

ブートモード 0 (CS0 空間)	ブートモード 1 (シリアルフラッシュメモリ)
A[20:1] D[15:0] $\overline{\text{CS0}}$ 、 $\overline{\text{RD}}$ 、CKIO	RSPCK0、SSL00、MOSI0、MISO0 (PF3~0 のみ)

ディープスタンバイモードが、割り込み (NMI、リアルタイムクロックのアラーム)、解除用端子の変化により解除された場合、どの要因で解除されたのかをディープスタンバイ解除要因フラグレジスタ (DSFR) により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持していますが、外部メモリ起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子の状態保持を解除してプログラムフェッチ可能とします。その他の端子は、ディープスタンバイモード解除後も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。保持用内蔵 RAM 起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子もその他の端子も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、クロックパルス発振器、割り込みコントローラ、汎用入出力ポート、周辺モジュール等のすべてを含みます。再設定後、IOKEEP ビットの 1 を読み出した後に 0 を書き込むことにより、端子の状態保持が解除されディープスタンバイモード遷移前の状態になります。

(4) ディープスタンバイモード遷移時の注意事項

解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされます。

32.3.5 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、プログラム実行状態およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどを行わないでください。

レジスタの状態は、「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット (ただしリアルタイムクロック、ユーザデバッグインタフェース、ダイレクトメモリアクセスコントローラのみ) により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

32.3.6 XTAL 用水晶発振器ゲイン調整機能

XTAL 水晶発振器ゲインコントロールレジスタの GAIN1 および GAIN0 ビットを変更することにより、XTAL 用およびリアルタイムクロック用発振器のゲインを変更することができます。EXTAL、XTAL 端子のゲインを変更する場合は、PLL 安定時間が必要になります。内蔵ウォッチドッグタイマにより安定時間のカウントを行います。RTC_X1、RTC_X2 端子のゲインを変更する場合は、PLL 安定時間のカウントは不要です。

1. 初期状態では、発振器のゲインは大ゲインになっています。
2. ウォッチドッグタイマに、指定された発振安定時間になるように値をセットし、ウォッチドッグタイマを停止します。次の設定が必要です。

WTCSR.TME=0 : ウォッチドッグタイマの停止

WTCSR.CKS[2:0] : ウォッチドッグタイマカウントクロックの分周率

WTCNT : カウンタの初期値

(ウォッチドッグタイマのカウントアップは、設定後のクロックでカウントアップされます。)

3. GAIN0 ビットを目的とする値に設定します。
4. 本LSI内部は、一時的に停止し、ウォッチドッグタイマのカウントアップを開始します。ウォッチドッグタイマにのみクロックが供給され、それ以外の内部クロックが停止します。また、CKIO端子には不安定なクロックが出力され続けます。これによる誤動作を防ぐためには、FRQCRレジスタのCKOEN2ビットを変更してください。本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われます。詳細は「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。
5. ウォッチドッグタイマのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。ウォッチドッグタイマはオーバーフロー後、停止します。

32.4 使用上の注意事項

32.4.1 レジスタ設定時の注意

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

32.4.2 リアルタイムクロック未使用時の注意

リアルタイムクロックを使用しない場合、以下のリアルタイムクロックのレジスタ設定を行った後、STBCR3 レジスタの MSTP30 ビットを 1 に設定してください。詳細は、「32.2.3 スタンバイコントロールレジスタ 3 (STBCR3)」を参照してください。

- コントロールレジスタ2 (RCR2) の RTCEN ビットを 0 に設定
- コントロールレジスタ5 (RCR5) の RCKSEL[1:0] ビットを 00 に設定

33. ユーザデバッグインタフェース

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェースを内蔵しています。

33.1 特長

ユーザデバッグインタフェースは、JTAG（Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）に対応したシリアル入出力インタフェースです。

本モジュールは、バウンダリスキャン用 TAP コントローラとユーザデバッグインタフェース割り込み機能などを制御するエミュレーション用 TAP コントローラを内蔵しています。電源投入時を含め、 $\overline{\text{TRST}}$ 端子をアサートすることでバウンダリスキャン用 TAP コントローラが選択されます。また、エミュレーション用 TAP コントローラ切り替えコマンドを入力することにより、エミュレーション用 TAP コントローラが選択されます。エミュレーション用 TAP コントローラからバウンダリスキャン用 TAP コントローラに切り替えるには、 $\overline{\text{TRST}}$ 端子をアサートする必要があります。

ASE モード時は、エミュレーション用 TAP コントローラが選択されます。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 33.1 にブロック図を示します。

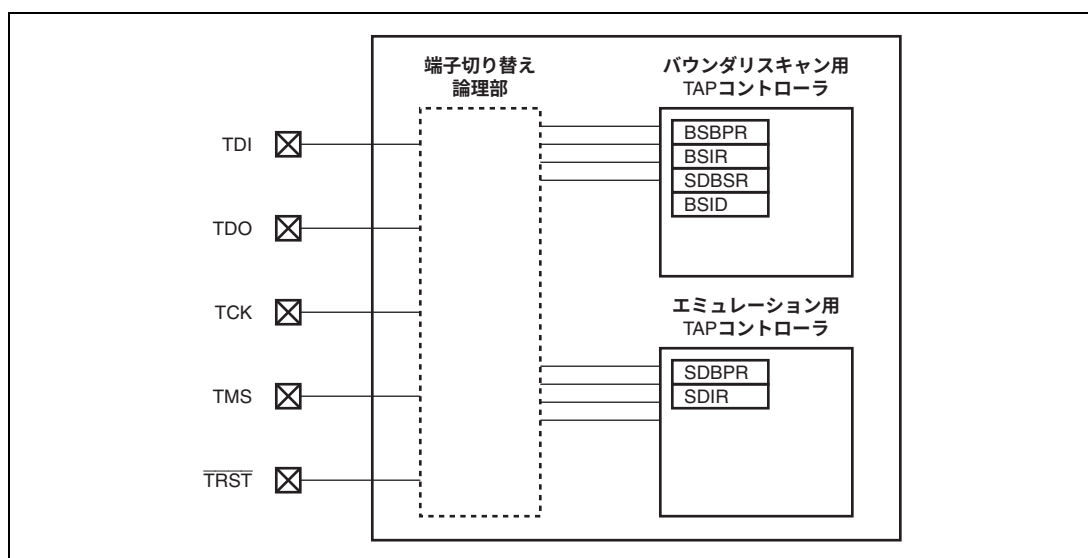


図 33.1 ブロック図

33.2 入出力端子

表 33.1 端子構成

名称	端子名	入出力	機 能
シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から本モジュールにシリアルに供給され、データ出力端子 (TDO) から出力されます。
モードセレクト入力端子	TMS	入力	TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは、JTAG 規格 (IEEE Std.1149.1) に対応しています。
リセット入力端子	$\overline{\text{TRST}}$	入力	TCK とは非同期で入力を受け付けローレベルで本モジュールをリセットします。本モジュール機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「33.5.2 リセット構成」を参照してください。
シリアルデータ入力端子	TDI	入力	TCK に同期してこの端子を変化させることによって本モジュールにデータを送ります。
シリアルデータ出力端子	TDO	出力	TCK に同期してこの端子を読み出すことによって本モジュールからデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIR に「TDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「33.5.3 TDO 出力タイミング」を参照してください。
ASE モードセレクト端子	$\overline{\text{ASEMD}}^*$	入力	$\overline{\text{RES}}$ 端子アサート期間中に、 $\overline{\text{ASEMD}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD}}$ 端子への入力レベルは、 $\overline{\text{RES}}$ 端子ネグート後、最低 1 サイクル保持してください。

【注】 * エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

33.3 バウンダリスキャン用 TAP コントローラのレジスタの説明

バウンダリスキャン用 TAP コントローラには以下のレジスタがあります。

表 33.2 バウンダリスキャン用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	BSBPR	—	—	—	—
インタラクションレジスタ	BSIR	—	H'4	—	—
バウンダリスキャンレジスタ	SDBSR	—	—	—	—
ID レジスタ	BSID	—	H'08134447	—	—

33.3.1 バイパスレジスタ (BSBPR)

BSBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。BSIR を BYPASS モードにセットすると、BSBPR は TDI 端子と TDO 端子の間に接続されます。初期値は不定です。

33.3.2 インストラクションレジスタ (BSIR)

BSIR は 4 ビットのレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。CPU からは、アクセスできません。

ビット	ビット名	初期値	R/W	説 明
3～0	TI[3:0]	0100	—	テストインストラクション 本モジュールのインストラクションは TDI からのシリアル入力によって BSIR に転送されます。 コマンドは表 33.3 を参照してください。

表 33.3 バウンダリスキャン用 TAP コントローラのサポートコマンド

ビット 3～0				説 明
TI3	TI2	TI1	TI0	
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	エミュレーション用 TAP コントローラ切り替えコマンド
0	1	0	0	IDCODE (初期値)
0	1	1	0	CLAMP
0	1	1	1	HIGHZ
1	1	1	1	BYPASS
上記以外				予約

33.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。CPU からは、アクセスできません。初期値は、不定です。

EXTTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 33.4 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 33.4 本 LSI の端子とバウンダリスキャンレジスタの対応

SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ	SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ	SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ
From TDI				228	228	PA0	CONTROL	202	202	PC4	OUTPUT
253	253	PF0	OUTPUT	227	227	PA0	INPUT	201	201	PC4	CONTROL
252	252	PF0	CONTROL	226	226	PA1	OUTPUT	200	200	PC4	INPUT
251	251	PF0	INPUT	225	225	PA1	CONTROL	199	199	PC5	OUTPUT
250	250	PF1	OUTPUT	224	224	PA1	INPUT	198	198	PC5	CONTROL
249	249	PF1	CONTROL	—	223	PJ13	OUTPUT	197	197	PC5	INPUT
248	248	PF1	INPUT	—	222	PJ13	CONTROL	196	196	PC6	OUTPUT
247	247	PF2	OUTPUT	—	221	PJ13	INPUT	195	195	PC6	CONTROL
246	246	PF2	CONTROL	—	220	PJ14	OUTPUT	194	194	PC6	INPUT
245	245	PF2	INPUT	—	219	PJ14	CONTROL	193	193	PE0	OUTPUT*2
244	244	PF3	OUTPUT	—	218	PJ14	INPUT	192	192	PE1	OUTPUT*2
243	243	PF3	CONTROL	—	217	PJ0	OUTPUT	191	191	PE0	INPUT
242	242	PF3	INPUT	—	216	PJ0	CONTROL	190	190	PE1	INPUT
—	241	PJ11	OUTPUT	—	215	PJ0	INPUT	189	189	PE2	OUTPUT*2
—	240	PJ11	CONTROL	214	214	PC0	OUTPUT	188	188	PE3	OUTPUT*2
—	239	PJ11	INPUT	213	213	PC0	CONTROL	187	187	PE2	INPUT
—	238	PJ12	OUTPUT	212	212	PC0	INPUT	186	186	PE3	INPUT
—	237	PJ12	CONTROL	211	211	PC1	OUTPUT	185	185	PE4	OUTPUT*2
—	236	PJ12	INPUT	210	210	PC1	CONTROL	184	184	PE5	OUTPUT*2
235	235	PF4	OUTPUT	209	209	PC1	INPUT	183	183	PE4	INPUT
234	234	PF4	CONTROL	208	208	PC2	OUTPUT	182	182	PE5	INPUT
233	233	PF4	INPUT	207	207	PC2	CONTROL	181	181	PE6	OUTPUT*2
232	232	PF5	OUTPUT	206	206	PC2	INPUT	180	180	PE7	OUTPUT*2
231	231	PF5	CONTROL	205	205	PC3	OUTPUT	179	179	PE6	INPUT
230	230	PF5	INPUT	204	204	PC3	CONTROL	178	178	PE7	INPUT

SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ	SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ	SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ
229	229	PA0	OUTPUT	203	203	PC3	INPUT	177	177	PC7	OUTPUT
176	176	PC7	CONTROL	—	144	PJ3	OUTPUT	112	112	PD14	INPUT
175	175	PC7	INPUT	—	143	PJ3	CONTROL	111	111	PD15	OUTPUT
174	174	PC8	OUTPUT	—	142	PJ3	INPUT	110	110	PD15	CONTROL
173	173	PC8	CONTROL	—	141	PJ4	OUTPUT	109	109	PD15	INPUT
172	172	PC8	INPUT	—	140	PJ4	CONTROL	108	108	PB1	OUTPUT
171	171	PD0	OUTPUT	—	139	PJ4	INPUT	107	107	PB1	CONTROL
170	170	PD0	CONTROL	—	138	PJ5	OUTPUT	106	106	PB1	INPUT
169	169	PD0	INPUT	—	137	PJ5	CONTROL	105	105	PB2	OUTPUT
168	168	PD1	OUTPUT	—	136	PJ5	INPUT	104	104	PB2	CONTROL
167	167	PD1	CONTROL	135	135	PD7	OUTPUT	103	103	PB2	INPUT
166	166	PD1	INPUT	134	134	PD7	CONTROL	102	102	PB3	OUTPUT
165	165	PD2	OUTPUT	133	133	PD7	INPUT	101	101	PB3	CONTROL
164	164	PD2	CONTROL	132	132	PD8	OUTPUT	100	100	PB3	INPUT
163	163	PD2	INPUT	131	131	PD8	CONTROL	99	99	PB4	OUTPUT
—	162	PJ1	OUTPUT	130	130	PD8	INPUT	98	98	PB4	CONTROL
—	161	PJ1	CONTROL	129	129	PD9	OUTPUT	97	97	PB4	INPUT
—	160	PJ1	INPUT	128	128	PD9	CONTROL	—	96	PJ6	OUTPUT
—	159	PJ2	OUTPUT	127	127	PD9	INPUT	—	95	PJ6	CONTROL
—	158	PJ2	CONTROL	126	126	PD10	OUTPUT	—	94	PJ6	INPUT
—	157	PJ2	INPUT	125	125	PD10	CONTROL	—	93	PJ7	OUTPUT
156	156	PD3	OUTPUT	124	124	PD10	INPUT	—	92	PJ7	CONTROL
155	155	PD3	CONTROL	123	123	PD11	OUTPUT	—	91	PJ7	INPUT
154	154	PD3	INPUT	122	122	PD11	CONTROL	90	90	PB5	OUTPUT
153	153	PD4	OUTPUT	121	121	PD11	INPUT	89	89	PB5	CONTROL
152	152	PD4	CONTROL	120	120	PD12	OUTPUT	88	88	PB5	INPUT
151	151	PD4	INPUT	119	119	PD12	CONTROL	87	87	PB6	OUTPUT
150	150	PD5	OUTPUT	118	118	PD12	INPUT	86	86	PB6	CONTROL
149	149	PD5	CONTROL	117	117	PD13	OUTPUT	85	85	PB6	INPUT
148	148	PD5	INPUT	116	116	PD13	CONTROL	84	84	PB7	OUTPUT
147	147	PD6	OUTPUT	115	115	PD13	INPUT	83	83	PB7	CONTROL
146	146	PD6	CONTROL	114	114	PD14	OUTPUT	82	82	PB7	INPUT

SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ	SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ	SH726A ビット 番号	SH726B ビット 番号	端子名*1	タイプ
145	145	PD6	INPUT	113	113	PD14	CONTROL	81	81	PB8	OUTPUT
80	80	PB8	CONTROL	52	52	PB14	INPUT	—	24	PK1	OUTPUT
79	79	PB8	INPUT	51	51	PB15	OUTPUT	—	23	PK1	CONTROL
78	78	PB9	OUTPUT	50	50	PB15	CONTROL	—	22	PK1	INPUT
77	77	PB9	CONTROL	49	49	PB15	INPUT	21	21	PF6	OUTPUT
76	76	PB9	INPUT	48	48	PB16	OUTPUT	20	20	PF6	CONTROL
—	75	PJ8	OUTPUT	47	47	PB16	CONTROL	19	19	PF6	INPUT
—	74	PJ8	CONTROL	46	46	PB16	INPUT	18	18	PF7	OUTPUT
—	73	PJ8	INPUT	45	45	PB17	OUTPUT	17	17	PF7	CONTROL
—	72	PJ9	OUTPUT	44	44	PB17	CONTROL	16	16	PF7	INPUT
—	71	PJ9	CONTROL	43	43	PB17	INPUT	15	15	NMI	INPUT
—	70	PJ9	INPUT	42	42	PB18	OUTPUT	—	14	PG2	INPUT
—	69	PJ10	OUTPUT	41	41	PB18	CONTROL	—	13	PG3	INPUT
—	68	PJ10	CONTROL	40	40	PB18	INPUT	12	12	PG0	INPUT
—	67	PJ10	INPUT	39	39	PB19	OUTPUT	11	11	PG1	INPUT
66	66	PB10	OUTPUT	38	38	PB19	CONTROL	10	10	PH0	INPUT
65	65	PB10	CONTROL	37	37	PB19	INPUT	9	9	PH1	INPUT
64	64	PB10	INPUT	36	36	PB20	OUTPUT	8	8	PH2	INPUT
63	63	PB11	OUTPUT	35	35	PB20	CONTROL	7	7	PH3	INPUT
62	62	PB11	CONTROL	34	34	PB20	INPUT	6	6	PH4	INPUT
61	61	PB11	INPUT	33	33	PB21	OUTPUT	5	5	PH5	INPUT
60	60	PB12	OUTPUT	32	32	PB21	CONTROL	—	4	PH6	INPUT
59	59	PB12	CONTROL	31	31	PB21	INPUT	—	3	PH7	INPUT
58	58	PB12	INPUT	30	30	PB22	OUTPUT	2	2	ASEBRKAKN /ASEBRK	OUTPUT
57	57	PB13	OUTPUT	29	29	PB22	CONTROL	1	1	ASEBRKAKN /ASEBRK	CONTROL
56	56	PB13	CONTROL	28	28	PB22	INPUT	0	0	ASEBRKAKN /ASEBRK	INPUT
55	55	PB13	INPUT	—	27	PK0	OUTPUT	To TDO			
54	54	PB14	OUTPUT	—	26	PK0	CONTROL				
53	53	PB14	CONTROL	—	25	PK0	INPUT				

【注】 *1 「1.6 端子一覧」の機能1の端子機能名

- *2 オープンドレイン端子です。Low にすることで Low 出力、High にすることで Hi-Z となります。
- *3 CONTROL はローアクティブです。CONTROL を Low にすることで該当端子を OUT 値に出力します。

33.3.4 ID レジスタ (BSID)

BSID は、CPU ではアクセスすることができない 32 ビットのレジスタです。端子側からは、IDCODE のコマンドがセットされたときに、読み出し可能です。書き込みはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DID[31:16]															
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID[15:0]															
初期値：	0	1	1	0	0	1	0	0	0	1	0	0	0	1	1	1
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説 明
31～0	DID[31:0]	H'08134447	—	デバイス JTAG に規定されている ID レジスタです。本 LSI では、H'08134447 です。 ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。

33.4 エミュレーション用 TAP コントローラのレジスタの説明

エミュレーション用 TAP コントローラを使用するためには、バウンダリスキャン用 TAP コントローラの BSIR レジスタにエミュレーション用 TAP コントローラ切り替えコマンドを入力する必要があります。エミュレーション用 TAP コントローラには以下のレジスタがあります。

表 33.5 エミュレーション用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	—	—	—	—
インタラクションレジスタ	SDIR	R	H'EFFD	H'FFFE2000	16

33.4.1 バイパスレジスタ（SDBPR）

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は TDI 端子と TDO 端子の間に接続されます。初期値は不定です。

33.4.2 インストラクションレジスタ（SDIR）

SDIR は、16 ビットの読み出し専用のレジスタです。TRST のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、本モジュールからは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI[7:0]							-	-	-	-	-	-	-	-	-
初期値：	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * TI[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説 明
15～8	TI[7:0]	11101111*	R	テストインストラクション 本モジュールのインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 33.6 を参照してください。
7～2	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 33.6 エミュレーション用 TAP コントローラのサポートコマンド

ビット 15～8								説 明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	1	1	0	－	－	－	－	ユーザデバッグインタフェースリセットネゲート
0	1	1	1	－	－	－	－	ユーザデバッグインタフェースリセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	－	－	－	－	ユーザデバッグインタフェース割り込み
1	1	1	1	－	－	－	－	BYPASS
上記以外								予約

33.5 動作説明

33.5.1 TAP コントローラ

図 33.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

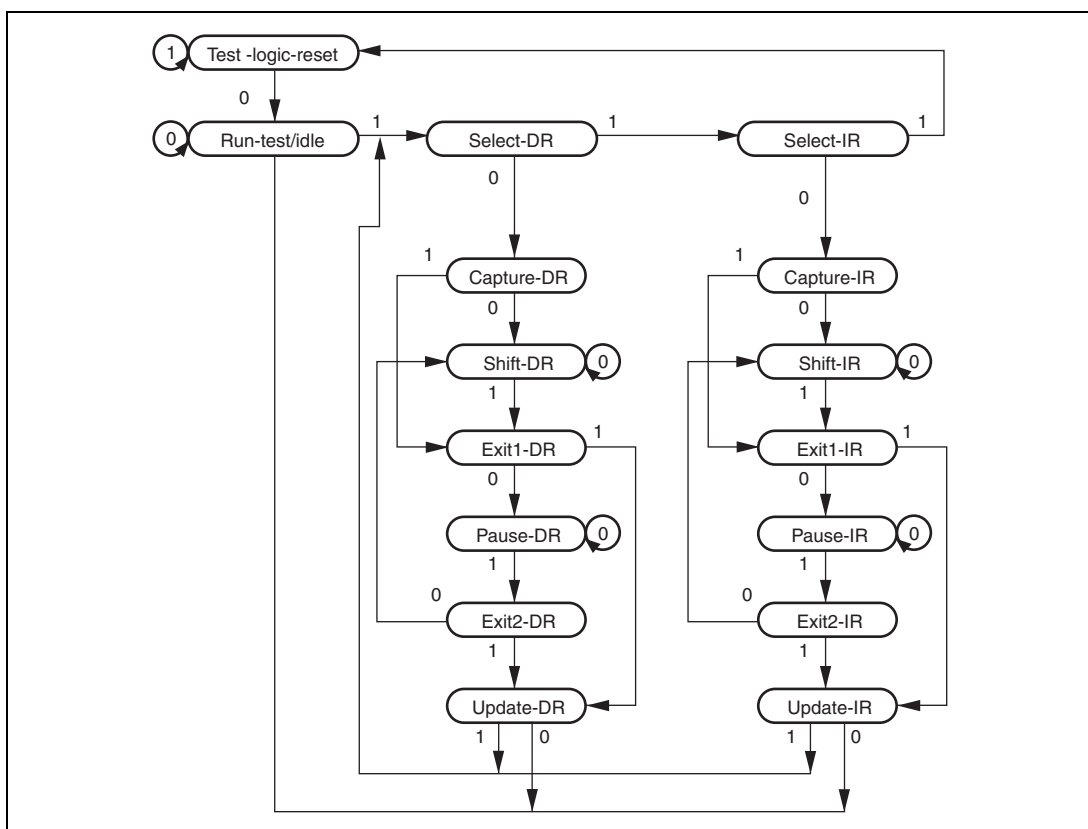


図 33.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「33.5.3 TDO 出力タイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

33.5.2 リセット構成

表 33.7 リセット構成

$\overline{\text{ASEMD}}^{*1}$	$\overline{\text{RES}}$	$\overline{\text{TRST}}$	チップ状態
H	L	L	パワーオンリセットおよび本モジュールのリセット
		H	パワーオンリセット
	H	L	本モジュールのみリセット
		H	通常動作
L	L	L	リセットホールド ^{*2}
		H	パワーオンリセット
	H	L	本モジュールのみリセット
		H	通常動作

【注】 *1 製品チップモードと ASE モードの設定を選択。

$\overline{\text{ASEMD}} = \text{H}$ 、製品チップモード

$\overline{\text{ASEMD}} = \text{L}$ 、ASE モード

*2 ASE モードで $\overline{\text{RES}}$ ネゲート時に $\overline{\text{TRST}}$ 端子がローレベルであるとリセットホールド状態になります。この状態では、CPU は起動しません。その後、 $\overline{\text{TRST}}$ をハイレベルにセットすると、本モジュール動作が有効になりますが、CPU は起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

33.5.3 TDO 出力タイミング

エミュレーション用 TAP コントローラを選択したときの TDO 変化タイミングは、初期値では TCK の立ち下がりがエッジ同期で出力されます。ただし、端子から SDIR に TDO 変化タイミング切り替えコマンドをセットし、Update-IR を通過することで、TDO の変化タイミングは TCK の立ち上がりエッジに同期します。本コマンドは、バウンダリスキャン用 TAP コントローラの TDO 出力タイミングには影響しません。

TDO 変化タイミング切り替えコマンドをセット後、TDO の変化タイミングを TCK の立ち下がりがエッジ同期出力にする場合は、パワーオンリセットと同時に $\overline{\text{TRST}}$ 端子のアサートを行う必要があります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットの場合、 $\overline{\text{RES}}$ 端子ネゲート後もチップ内部で同期リセットが一定期間働いています。そのため、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO 変化タイミング切り替えコマンドはクリアされ、TDO の変化タイミングが TCK の立ち下がりがエッジ同期出力になります。これを防ぐため、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず 20tcyc 以上間隔を空けてください。

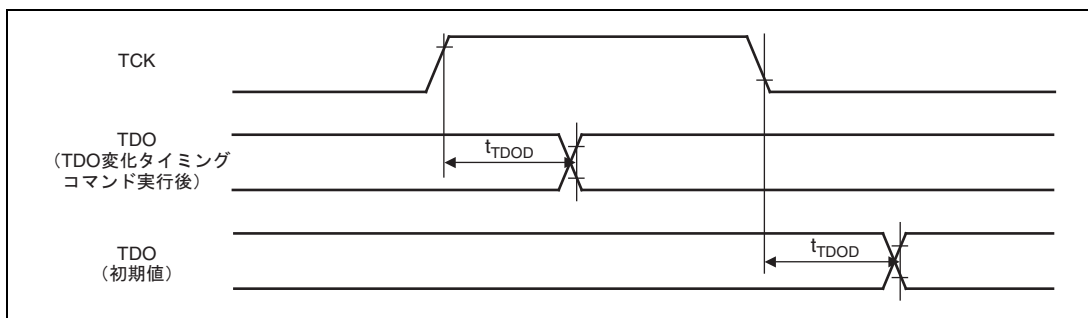


図 33.3 データ転送タイミング

33.5.4 ユーザデバッグインタフェースリセット

ユーザデバッグインタフェースリセットは、SDIR へユーザデバッグインタフェースリセットアサートコマンドをセットすることにより発生します。ユーザデバッグインタフェースリセットはパワーオンリセットと同様のリセットです。ユーザデバッグインタフェースリセットネゲートコマンドをセットすることにより、ユーザデバッグインタフェースリセットが解除されます。ユーザデバッグインタフェースリセットアサートコマンドとユーザデバッグインタフェースリセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。

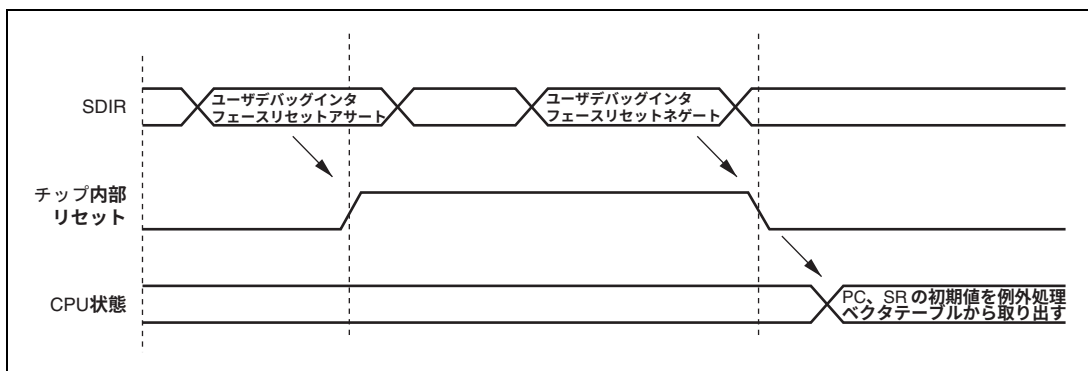


図 33.4 ユーザデバッグインタフェースリセット

33.5.5 ユーザデバッグインタフェース割り込み

ユーザデバッグインタフェース割り込み機能は SDIR へ本モジュールからのコマンドをセットすることにより割り込みを発生させます。ユーザデバッグインタフェース割り込みは一般例外／割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でもユーザデバッグインタフェース割り込みは受け付けられますが、ソフトウェアスタンバイモードではユーザデバッグインタフェース割り込みは受け付けられません。

33.6 バウンダリスキャン

本モジュールから BSIR にコマンドを設定することにより、端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

33.6.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、および EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP、および HIGHZ) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がり同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST 命令では出力ピンに常に平行出力ラッチを出力する）ことになります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うときは、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません（シフト動作で入れ換えます）。

(4) IDCODE

端子から SDIR にコマンドを設定することにより端子を JTAG で規定されている IDCODE モードに設定できます。本モジュールを初期化した場合($\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする場合)は、IDCODE モードになります。

(5) CLAMP、HIGHZ

端子から SDIR にコマンドを設定することにより端子を JTAG で規定されている CLAMP、および HIGHZ モードに設定できます。

33.6.2 注意事項

1. クロック関連信号 (EXTAL、XTAL、CKIO、AUDIO_X1、およびAUDIO_X2) は、バウンダリスキャン対象外です。
2. リセット関連記号 ($\overline{\text{RES}}$) は、バウンダリスキャン対象外です。
3. 本モジュール関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、および $\overline{\text{ASEMD}}$) は、バウンダリスキャン対象外です。
4. USB関連信号 (DPおよびDM) は、バウンダリスキャン対象外です。
5. バウンダリスキャンを実行するときは、 $\overline{\text{RES}}$ 端子アサート期間中に必ず $\overline{\text{ASEMD}}$ 端子にハイレベルを入力し製品チップモードで行ってください。また、バウンダリスキャン実行中は、必ず $\overline{\text{ASEMD}}$ 端子をハイレベルに固定してください。

33.7 使用上の注意事項

1. 本モジュールコマンドは、いったんセットされると他のコマンドが再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド（BYPASSモード等）をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモード、本モジュールのモジュールスタンバイ状態中は、本モジュールのすべての機能を使用することができません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. 本モジュールを使用する／しないにかかわらず、電源投入、ディープスタンバイからの $\overline{\text{RES}}$ 端子アサートによる解除時は必ず $\overline{\text{TRST}}$ 端子をローレベルにして本モジュールを初期化してください。
4. TDO変化タイミング切り替えコマンドをセットし、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO変化タイミング切り替えコマンドがクリアされることがあります。
これを防ぐため、TDO変化タイミング切り替えコマンドをセットした場合、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず20tcyc以上間隔を空けてください。詳細は「33.5.3 TDO出力タイミング」を参照してください。
5. $\overline{\text{TRST}}$ 端子ネゲート後、TAPコントローラを動かす際は必ず200ns以上間隔を空けてください。
6. $\overline{\text{TRST}}$ 端子ネゲートから200ns経過するまでの間、TMS端子はハイレベルに固定してください。

34. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
- 読み出し時と書き込み時でアクセスサイズの異なるレジスタは、アクセスサイズ部に「*」と表記しています。詳細は、該当する章のレジスタ説明を参照してください。

(2) レジスタビット一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「-」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

(4) 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック（P ϕ ）で2サイクル以上かかります。一方、CPUから内蔵周辺レジスタに書き込みを行う際、CPUはレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR1 レジスタのSTBY ビットを1に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR1 レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが1にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR1 レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

34.1 レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
クロックパルス発振器	周波数制御レジスタ	FRQCR	16	H'FFFE0010	16
割り込みコントローラ	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16、32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16、32
	割り込みコントロールレジスタ 2	ICR2	16	H'FFFE0804	16、32
	IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFE0806	16、32
	PINT 割り込みネーブルレジスタ	PINTER	16	H'FFFE0808	16、32
	PINT 割り込み要求レジスタ	PIRR	16	H'FFFE080A	16、32
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16、32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16、32
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16、32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16、32
	割り込み優先レベル設定レジスタ 05	IPR05	16	H'FFFE0820	16、32
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C00	16、32
	割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFE0C02	16、32
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C04	16、32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C06	16、32
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C08	16、32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C0A	16、32
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C0C	16、32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C0E	16、32
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C10	16、32
	割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C12	16、32
	割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFE0C14	16、32
	割り込み優先レベル設定レジスタ 17	IPR17	16	H'FFFE0C16	16、32
	割り込み優先レベル設定レジスタ 18	IPR18	16	H'FFFE0C18	16、32
	割り込み優先レベル設定レジスタ 19	IPR19	16	H'FFFE0C1A	16、32
	割り込み優先レベル設定レジスタ 20	IPR20	16	H'FFFE0C1C	16、32
	割り込み優先レベル設定レジスタ 21	IPR21	16	H'FFFE0C1E	16、32
	割り込み優先レベル設定レジスタ 22	IPR22	16	H'FFFE0C20	16、32
キャッシュ	キャッシュ制御レジスタ 1	CCR1	32	H'FFFC1000	32
	キャッシュ制御レジスタ 2	CCR2	32	H'FFFC1004	32
バスステート コントローラ	共通コントロールレジスタ	CMNCR	32	H'FFFC0000	32
	CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFC0004	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
バスデイト コントローラ	CS1 空間バスコントロールレジスタ	CS1BCR	32	H'FFFC0008	32
	CS2 空間バスコントロールレジスタ	CS2BCR	32	H'FFFC000C	32
	CS3 空間バスコントロールレジスタ	CS3BCR	32	H'FFFC0010	32
	CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FFFC0014	32
	CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFC0028	32
	CS1 空間ウェイトコントロールレジスタ	CS1WCR	32	H'FFFC002C	32
	CS2 空間ウェイトコントロールレジスタ	CS2WCR	32	H'FFFC0030	32
	CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'FFFC0034	32
	CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FFFC0038	32
	SDRAM コントロールレジスタ	SDCR	32	H'FFFC004C	32
	リフレッシュタイムコントロール/ステータスレジスタ	RTC SR	16	H'FFFC0050	32
	リフレッシュタイムカウンタ	RTCNT	16	H'FFFC0054	32
	リフレッシュタイムコンスタントレジスタ	RTCOR	16	H'FFFC0058	32
ユーザブレイク コントローラ	ブレイクアドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブレイクアドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブレイクデータレジスタ_0	BDR_0	32	H'FFFC0408	32
	ブレイクデータマスクレジスタ_0	BDMR_0	32	H'FFFC040C	32
	ブレイクアドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブレイクアドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブレイクデータレジスタ_1	BDR_1	32	H'FFFC0418	32
	ブレイクデータマスクレジスタ_1	BDMR_1	32	H'FFFC041C	32
	ブレイクバスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブレイクバスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブレイクコントロールレジスタ	BR CR	32	H'FFFC04C0	32
ダイレクトメモリ アクセスコントローラ	DMA ソースアドレスレジスタ_0	SAR_0	32	H'FFFE1000	16、32
	DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'FFFE1004	16、32
	DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'FFFE1008	16、32
	DMA チャネルコントロールレジスタ_0	CHCR_0	32	H'FFFE100C	8、16、32
	DMA リロードソースアドレスレジスタ_0	RSAR_0	32	H'FFFE1100	16、32
	DMA リロードデスティネーションアドレスレジスタ_0	RDAR_0	32	H'FFFE1104	16、32
	DMA リロードトランスファカウンタレジスタ_0	RDMATCR_0	32	H'FFFE1108	16、32
	DMA ソースアドレスレジスタ_1	SAR_1	32	H'FFFE1010	16、32
	DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'FFFE1014	16、32
	DMA トランスファカウンタレジスタ_1	DMATCR_1	32	H'FFFE1018	16、32
	DMA チャネルコントロールレジスタ_1	CHCR_1	32	H'FFFE101C	8、16、32
	DMA リロードソースアドレスレジスタ_1	RSAR_1	32	H'FFFE1110	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA リロードデスティネーションアドレスレジスタ_1	RDAR_1	32	H'FFFE1114	16、32
	DMA リロードトランスファカウンタレジスタ_1	RDMATCR_1	32	H'FFFE1118	16、32
	DMA ソースアドレスレジスタ_2	SAR_2	32	H'FFFE1020	16、32
	DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'FFFE1024	16、32
	DMA トランスファカウンタレジスタ_2	DMATCR_2	32	H'FFFE1028	16、32
	DMA チャネルコントロールレジスタ_2	CHCR_2	32	H'FFFE102C	8、16、32
	DMA リロードソースアドレスレジスタ_2	RSAR_2	32	H'FFFE1120	16、32
	DMA リロードデスティネーションアドレスレジスタ_2	RDAR_2	32	H'FFFE1124	16、32
	DMA リロードトランスファカウンタレジスタ_2	RDMATCR_2	32	H'FFFE1128	16、32
	DMA ソースアドレスレジスタ_3	SAR_3	32	H'FFFE1030	16、32
	DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'FFFE1034	16、32
	DMA トランスファカウンタレジスタ_3	DMATCR_3	32	H'FFFE1038	16、32
	DMA チャネルコントロールレジスタ_3	CHCR_3	32	H'FFFE103C	8、16、32
	DMA リロードソースアドレスレジスタ_3	RSAR_3	32	H'FFFE1130	16、32
	DMA リロードデスティネーションアドレスレジスタ_3	RDAR_3	32	H'FFFE1134	16、32
	DMA リロードトランスファカウンタレジスタ_3	RDMATCR_3	32	H'FFFE1138	16、32
	DMA ソースアドレスレジスタ_4	SAR_4	32	H'FFFE1040	16、32
	DMA デスティネーションアドレスレジスタ_4	DAR_4	32	H'FFFE1044	16、32
	DMA トランスファカウンタレジスタ_4	DMATCR_4	32	H'FFFE1048	16、32
	DMA チャネルコントロールレジスタ_4	CHCR_4	32	H'FFFE104C	8、16、32
	DMA リロードソースアドレスレジスタ_4	RSAR_4	32	H'FFFE1140	16、32
	DMA リロードデスティネーションアドレスレジスタ_4	RDAR_4	32	H'FFFE1144	16、32
	DMA リロードトランスファカウンタレジスタ_4	RDMATCR_4	32	H'FFFE1148	16、32
	DMA ソースアドレスレジスタ_5	SAR_5	32	H'FFFE1050	16、32
	DMA デスティネーションアドレスレジスタ_5	DAR_5	32	H'FFFE1054	16、32
	DMA トランスファカウンタレジスタ_5	DMATCR_5	32	H'FFFE1058	16、32
	DMA チャネルコントロールレジスタ_5	CHCR_5	32	H'FFFE105C	8、16、32
	DMA リロードソースアドレスレジスタ_5	RSAR_5	32	H'FFFE1150	16、32
	DMA リロードデスティネーションアドレスレジスタ_5	RDAR_5	32	H'FFFE1154	16、32
	DMA リロードトランスファカウンタレジスタ_5	RDMATCR_5	32	H'FFFE1158	16、32
	DMA ソースアドレスレジスタ_6	SAR_6	32	H'FFFE1060	16、32
	DMA デスティネーションアドレスレジスタ_6	DAR_6	32	H'FFFE1064	16、32
	DMA トランスファカウンタレジスタ_6	DMATCR_6	32	H'FFFE1068	16、32
	DMA チャネルコントロールレジスタ_6	CHCR_6	32	H'FFFE106C	8、16、32
	DMA リロードソースアドレスレジスタ_6	RSAR_6	32	H'FFFE1160	16、32
	DMA リロードデスティネーションアドレスレジスタ_6	RDAR_6	32	H'FFFE1164	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA リロードトランスファカウントレジスタ_6	RDMATCR_6	32	H'FFFE1168	16、32
	DMA ソースアドレスレジスタ_7	SAR_7	32	H'FFFE1070	16、32
	DMA デスティネーションアドレスレジスタ_7	DAR_7	32	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ_7	DMATCR_7	32	H'FFFE1078	16、32
	DMA チャネルコントロールレジスタ_7	CHCR_7	32	H'FFFE107C	8、16、32
	DMA リロードソースアドレスレジスタ_7	RSAR_7	32	H'FFFE1170	16、32
	DMA リロードデスティネーションアドレスレジスタ_7	RDAR_7	32	H'FFFE1174	16、32
	DMA リロードトランスファカウントレジスタ_7	RDMATCR_7	32	H'FFFE1178	16、32
	DMA ソースアドレスレジスタ_8	SAR_8	32	H'FFFE1080	16、32
	DMA デスティネーションアドレスレジスタ_8	DAR_8	32	H'FFFE1084	16、32
	DMA トランスファカウントレジスタ_8	DMATCR_8	32	H'FFFE1088	16、32
	DMA チャネルコントロールレジスタ_8	RSAR_8	32	H'FFFE1180	16、32
	DMA リロードソースアドレスレジスタ_8	RDAR_8	32	H'FFFE1184	16、32
	DMA リロードデスティネーションアドレスレジスタ_8	RDMATCR_8	32	H'FFFE1188	16、32
	DMA リロードトランスファカウントレジスタ_8	CHCR_8	32	H'FFFE108C	8、16、32
	DMA ソースアドレスレジスタ_9	SAR_9	32	H'FFFE1090	16、32
	DMA デスティネーションアドレスレジスタ_9	DAR_9	32	H'FFFE1094	16、32
	DMA トランスファカウントレジスタ_9	DMATCR_9	32	H'FFFE1098	16、32
	DMA チャネルコントロールレジスタ_9	CHCR_9	32	H'FFFE109C	8、16、32
	DMA リロードソースアドレスレジスタ_9	RSAR_9	32	H'FFFE1190	16、32
	DMA リロードデスティネーションアドレスレジスタ_9	RDAR_9	32	H'FFFE1194	16、32
	DMA リロードトランスファカウントレジスタ_9	RDMATCR_9	32	H'FFFE1198	16、32
	DMA ソースアドレスレジスタ_10	SAR_10	32	H'FFFE10A0	16、32
	DMA デスティネーションアドレスレジスタ_10	DAR_10	32	H'FFFE10A4	16、32
	DMA トランスファカウントレジスタ_10	DMATCR_10	32	H'FFFE10A8	16、32
	DMA チャネルコントロールレジスタ_10	CHCR_10	32	H'FFFE10AC	8、16、32
	DMA リロードソースアドレスレジスタ_10	RSAR_10	32	H'FFFE11A0	16、32
	DMA リロードデスティネーションアドレスレジスタ_10	RDAR_10	32	H'FFFE11A4	16、32
	DMA リロードトランスファカウントレジスタ_10	RDMATCR_10	32	H'FFFE11A8	16、32
	DMA ソースアドレスレジスタ_11	SAR_11	32	H'FFFE10B0	16、32
	DMA デスティネーションアドレスレジスタ_11	DAR_11	32	H'FFFE10B4	16、32
	DMA トランスファカウントレジスタ_11	DMATCR_11	32	H'FFFE10B8	16、32
	DMA チャネルコントロールレジスタ_11	CHCR_11	32	H'FFFE10BC	8、16、32
	DMA リロードソースアドレスレジスタ_11	RSAR_11	32	H'FFFE11B0	16、32
	DMA リロードデスティネーションアドレスレジスタ_11	RDAR_11	32	H'FFFE11B4	16、32
	DMA リロードトランスファカウントレジスタ_11	RDMATCR_11	32	H'FFFE11B8	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA ソースアドレスレジスタ_12	SAR_12	32	H'FFFE10C0	16、32
	DMA デスティネーションアドレスレジスタ_12	DAR_12	32	H'FFFE10C4	16、32
	DMA トランスファカウンタレジスタ_12	DMATCR_12	32	H'FFFE10C8	16、32
	DMA チャネルコントロールレジスタ_12	CHCR_12	32	H'FFFE10CC	8、16、32
	DMA リロードソースアドレスレジスタ_12	RSAR_12	32	H'FFFE11C0	16、32
	DMA リロードデスティネーションアドレスレジスタ_12	RDAR_12	32	H'FFFE11C4	16、32
	DMA リロードトランスファカウンタレジスタ_12	RDMATCR_12	32	H'FFFE11C8	16、32
	DMA ソースアドレスレジスタ_13	SAR_13	32	H'FFFE10D0	16、32
	DMA デスティネーションアドレスレジスタ_13	DAR_13	32	H'FFFE10D4	16、32
	DMA トランスファカウンタレジスタ_13	DMATCR_13	32	H'FFFE10D8	16、32
	DMA チャネルコントロールレジスタ_13	CHCR_13	32	H'FFFE10DC	8、16、32
	DMA リロードソースアドレスレジスタ_13	RSAR_13	32	H'FFFE11D0	16、32
	DMA リロードデスティネーションアドレスレジスタ_13	RDAR_13	32	H'FFFE11D4	16、32
	DMA リロードトランスファカウンタレジスタ_13	RDMATCR_13	32	H'FFFE11D8	16、32
	DMA ソースアドレスレジスタ_14	SAR_14	32	H'FFFE10E0	16、32
	DMA デスティネーションアドレスレジスタ_14	DAR_14	32	H'FFFE10E4	16、32
	DMA トランスファカウンタレジスタ_14	DMATCR_14	32	H'FFFE10E8	16、32
	DMA チャネルコントロールレジスタ_14	CHCR_14	32	H'FFFE10EC	8、16、32
	DMA リロードソースアドレスレジスタ_14	RSAR_14	32	H'FFFE11E0	16、32
	DMA リロードデスティネーションアドレスレジスタ_14	RDAR_14	32	H'FFFE11E4	16、32
	DMA リロードトランスファカウンタレジスタ_14	RDMATCR_14	32	H'FFFE11E8	16、32
	DMA ソースアドレスレジスタ_15	SAR_15	32	H'FFFE10F0	16、32
	DMA デスティネーションアドレスレジスタ_15	DAR_15	32	H'FFFE10F4	16、32
	DMA トランスファカウンタレジスタ_15	DMATCR_15	32	H'FFFE10F8	16、32
	DMA チャネルコントロールレジスタ_15	CHCR_15	32	H'FFFE10FC	8、16、32
	DMA リロードソースアドレスレジスタ_15	RSAR_15	32	H'FFFE11F0	16、32
	DMA リロードデスティネーションアドレスレジスタ_15	RDAR_15	32	H'FFFE11F4	16、32
	DMA リロードトランスファカウンタレジスタ_15	RDMATCR_15	32	H'FFFE11F8	16、32
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	8、16
	DMA 拡張リソースセクタ 0	DMARS0	16	H'FFFE1300	16
	DMA 拡張リソースセクタ 1	DMARS1	16	H'FFFE1304	16
	DMA 拡張リソースセクタ 2	DMARS2	16	H'FFFE1308	16
	DMA 拡張リソースセクタ 3	DMARS3	16	H'FFFE130C	16
	DMA 拡張リソースセクタ 4	DMARS4	16	H'FFFE1310	16
	DMA 拡張リソースセクタ 5	DMARS5	16	H'FFFE1314	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ダイレクトメモリ アクセスコントローラ	DMA 拡張リソースセクタ 6	DMARS6	16	H'FFFE1318	16
	DMA 拡張リソースセクタ 7	DMARS7	16	H'FFFE131C	16
マルチファンクション タイマパルスユニット 2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8
	タイマモードレジスタ_0	TMDR_0	8	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFE4303	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304	8
	タイマステータスレジスタ_0	TSR_0	8	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	16	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308	16
	タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C	16
	タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320	16
	タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFE4322	16
	タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	8	H'FFFE4324	8
	タイマステータスレジスタ 2_0	TSR2_0	8	H'FFFE4325	8
	タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FFFE4326	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380	8
	タイマモードレジスタ_1	TMDR_1	8	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFE4382	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384	8
	タイマステータスレジスタ_1	TSR_1	8	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	16	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16
	タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE438A	16
	タイマインプットキャプチャコントロールレジスタ	TICCR	8	H'FFFE4390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	8	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE4002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	8	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	16	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16
	タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE400A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
マルチファンクション タイマパルスユニット 2	タイマモードレジスタ_3	TMDR_3	8	H'FFFE4202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE4205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE4226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8
	タイマコントロールレジスタ_4	TCR_4	8	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	8	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE4207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	8	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	16	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16
	タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFE422A	16
	タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE4239	8
	タイマ A/D 変換開始要求コントロールレジスタ	TADCR	16	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	16	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4248	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ B_4	TADCOBRB_4	16	H'FFFE424A	16
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8
	タイマシンクロレジスタ	TSYR	8	H'FFFE4281	8
	タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE4284	8
	タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFE420A	8
	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8
	タイマアウトプットコントロールレジスタ 2	TOCR2	8	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE4216	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
マルチファンクション タイマパルスユニット 2	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	16	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTERR	8	H'FFFE4232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE4234	8
	タイマ波形コントロールレジスタ	TWCR	8	H'FFFE4260	8
	タイマアウトブットレベルバッファレジスタ	TOLBR	8	H'FFFE4236	8
コンペアマッチタイマ	コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFFE0000	16
	コンペアマッチタイマコントロール/ステータスレジスタ_0	CMCSR_0	16	H'FFFE0002	16
	コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFE0004	8、16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFE0006	8、16
	コンペアマッチタイマコントロール/ステータスレジスタ_1	CMCSR_1	16	H'FFFE0008	16
	コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFE000A	8、16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFE000C	8、16
ウォッチドッグタイマ	ウォッチドッグタイマコントロール/ステータスレジスタ	WTCSR	8	H'FFFE0000	8、16*
	ウォッチドッグタイマカウンタ	WTCNT	8	H'FFFE0002	8、16*
	ウォッチドッグリセットコントロール/ステータスレジスタ	WRCSR	8	H'FFFE0004	8、16*
リアルタイムクロック	64Hz カウンタ	R64CNT	8	H'FFFE6000	8
	秒カウンタ	RSECCNT	8	H'FFFE6002	8
	分カウンタ	RMINCNT	8	H'FFFE6004	8
	時カウンタ	RHRCNT	8	H'FFFE6006	8
	曜日カウンタ	RWKCNT	8	H'FFFE6008	8
	日カウンタ	RDAYCNT	8	H'FFFE600A	8
	月カウンタ	RMONCNT	8	H'FFFE600C	8
	年カウンタ	RYRCNT	16	H'FFFE600E	16
	秒アラームレジスタ	RSECAR	8	H'FFFE6010	8
	分アラームレジスタ	RMINAR	8	H'FFFE6012	8
	時アラームレジスタ	RHRAR	8	H'FFFE6014	8
	曜日アラームレジスタ	RWKAR	8	H'FFFE6016	8
	日アラームレジスタ	RDAYAR	8	H'FFFE6018	8
	月アラームレジスタ	RMONAR	8	H'FFFE601A	8
	年アラームレジスタ	RYRAR	16	H'FFFE6020	16
	コントロールレジスタ 1	RCR1	8	H'FFFE601C	8
	コントロールレジスタ 2	RCR2	8	H'FFFE601E	8
	コントロールレジスタ 3	RCR3	8	H'FFFE6024	8
	コントロールレジスタ 5	RCR5	8	H'FFFE6026	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
リアルタイムクロック	周波数レジスタ H	RFRH	16	H'FFFE602A	16
	周波数レジスタ L	RFRL	16	H'FFFE602C	16
FIFO 内蔵シリアル コミュニケーション インタフェース	シリアルモードレジスタ_0	SCSMR_0	16	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	8	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	16	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	8	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	16	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	8	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	16	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	16	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	16	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	16	H'FFFE8024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	16	H'FFFE8028	16
	シリアルモードレジスタ_1	SCSMR_1	16	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	8	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	16	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	8	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	16	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	8	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	16	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	16	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	16	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	16	H'FFFE8824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	16	H'FFFE8828	16
	シリアルモードレジスタ_2	SCSMR_2	16	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	8	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	16	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	8	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	16	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	8	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	16	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	16	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	16	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	16	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	16	H'FFFE9028	16
	シリアルモードレジスタ_3	SCSMR_3	16	H'FFFE9800	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
FIFO 内蔵シリアル コミュニケーション インタフェース	ビットレートレジスタ_3	SCBRR_3	8	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	16	H'FFFE9808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	8	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	16	H'FFFE9810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	8	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	16	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	16	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	16	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	16	H'FFFE9824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	16	H'FFFE9828	16
	シリアルモードレジスタ_4	SCSMR_4	16	H'FFFEA000	16
	ビットレートレジスタ_4	SCBRR_4	8	H'FFFEA004	8
	シリアルコントロールレジスタ_4	SCSCR_4	16	H'FFFEA008	16
	送信 FIFO データレジスタ_4	SCFTDR_4	8	H'FFFEA00C	8
	シリアルステータスレジスタ_4	SCFSR_4	16	H'FFFEA010	16
	受信 FIFO データレジスタ_4	SCFRDR_4	8	H'FFFEA014	8
	FIFO コントロールレジスタ_4	SCFCR_4	16	H'FFFEA018	16
	FIFO データカウントセットレジスタ_4	SCFDR_4	16	H'FFFEA01C	16
	シリアルポートレジスタ_4	SCSPTR_4	16	H'FFFEA020	16
	ラインステータスレジスタ_4	SCLSR_4	16	H'FFFEA024	16
	シリアル拡張モードレジスタ_4	SCEMR_4	16	H'FFFEA028	16
ルネサスシリアル ペリフェラル インタフェース	制御レジスタ_0	SPCR_0	8	H'FFF8000	8、16
	スリープセレクト極性レジスタ_0	SSLP_0	8	H'FFF8001	8、16
	端子制御レジスタ_0	SPPCR_0	8	H'FFF8002	8、16
	ステータスレジスタ_0	SPSR_0	8	H'FFF8003	8、16
	データレジスタ_0	SPDR_0	32	H'FFF8004	8、16、32
	シーケンス制御レジスタ_0	SPSCR_0	8	H'FFF8008	8、16
	シーケンスステータスレジスタ_0	SPSSR_0	8	H'FFF8009	8、16
	ビットレートレジスタ_0	SPBR_0	8	H'FFF800A	8、16
	データコントロールレジスタ_0	SPDCR_0	8	H'FFF800B	8、16
	クロック遅延レジスタ_0	SPCKD_0	8	H'FFF800C	8、16
	スリープセレクトネゲート遅延レジスタ_0	SSLND_0	8	H'FFF800D	8、16
	次アクセス遅延レジスタ_0	SPND_0	8	H'FFF800E	8
	コマンドレジスタ_00	SPCMD_00	16	H'FFF8010	16
	コマンドレジスタ_01	SPCMD_01	16	H'FFF8012	16
	コマンドレジスタ_02	SPCMD_02	16	H'FFF8014	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ルネサスシリアル ペリフェラル インタフェース	コマンドレジスタ_03	SPCMD_03	16	H'FFFF8016	16
	バッファコントロールレジスタ_0	SPBFCR_0	8	H'FFFF8020	8、16
	バッファデータカウントセットレジスタ_0	SPBFDR_0	16	H'FFFF8022	16
	制御レジスタ_1	SPCR_1	8	H'FFFF8800	8、16
	スLEEPセレクト極性レジスタ_1	SSLP_1	8	H'FFFF8801	8、16
	端子制御レジスタ_1	SPPCR_1	8	H'FFFF8802	8、16
	ステータスレジスタ_1	SPSR_1	8	H'FFFF8803	8、16
	データレジスタ_1	SPDR_1	32	H'FFFF8804	8、16、32
	シーケンス制御レジスタ_1	SPSCR_1	8	H'FFFF8808	8、16
	シーケンスステータスレジスタ_1	SPSSR_1	8	H'FFFF8809	8、16
	ビットレートレジスタ_1	SPBR_1	8	H'FFFF880A	8、16
	データコントロールレジスタ_1	SPDCR_1	8	H'FFFF880B	8、16
	クロック遅延レジスタ_1	SPCKD_1	8	H'FFFF880C	8、16
	スLEEPセレクトネゲート遅延レジスタ_1	SSLND_1	8	H'FFFF880D	8、16
	次アクセス遅延レジスタ_1	SPND_1	8	H'FFFF880E	8
	コマンドレジスタ_10	SPCMD_10	16	H'FFFF8810	16
	コマンドレジスタ_11	SPCMD_11	16	H'FFFF8812	16
	コマンドレジスタ_12	SPCMD_12	16	H'FFFF8814	16
	コマンドレジスタ_13	SPCMD_13	16	H'FFFF8816	16
	バッファコントロールレジスタ_1	SPBFCR_1	8	H'FFFF8820	8、16
	バッファデータカウントセットレジスタ_1	SPBFDR_1	16	H'FFFF8822	16
	制御レジスタ_2	SPCR_2	8	H'FFFFB000	8、16
	スLEEPセレクト極性レジスタ_2	SSLP_2	8	H'FFFFB001	8、16
	端子制御レジスタ_2	SPPCR_2	8	H'FFFFB002	8、16
	ステータスレジスタ_2	SPSR_2	8	H'FFFFB003	8、16
	データレジスタ_2	SPDR_2	32	H'FFFFB004	8、16、32
	シーケンス制御レジスタ_2	SPSCR_2	8	H'FFFFB008	8、16
	シーケンスステータスレジスタ_2	SPSSR_2	8	H'FFFFB009	8、16
	ビットレートレジスタ_2	SPBR_2	8	H'FFFFB00A	8、16
	データコントロールレジスタ_2	SPDCR_2	8	H'FFFFB00B	8、16
	クロック遅延レジスタ_2	SPCKD_2	8	H'FFFFB00C	8、16
	スLEEPセレクトネゲート遅延レジスタ_2	SSLND_2	8	H'FFFFB00D	8、16
	次アクセス遅延レジスタ_2	SPND_2	8	H'FFFFB00E	8
	コマンドレジスタ_20	SPCMD_20	16	H'FFFFB010	16
	コマンドレジスタ_21	SPCMD_21	16	H'FFFFB012	16
	コマンドレジスタ_22	SPCMD_22	16	H'FFFFB014	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ルネサスシリアル ペリフェラル インタフェース	コマンドレジスタ_23	SPCMD_23	16	H'FFFFB016	16
	バッファコントロールレジスタ_2	SPBFCR_2	8	H'FFFFB020	8、16
	バッファデータカウントセットレジスタ_2	SPBFDR_2	16	H'FFFFB022	16
SPI マルチ I/O バスコント ローラ	共通コントロールレジスタ	CMNCR	32	H'FFFC1C00	32
	SSL 遅延レジスタ	SSLDR	32	H'FFFC1C04	32
	ビットレート設定レジスタ	SPBCR	32	H'FFFC1C08	32
	データリードコントロールレジスタ	DRCR	32	H'FFFC1C0C	32
	データリードコマンド設定レジスタ	DRCMR	32	H'FFFC1C10	32
	データリード拡張アドレス設定レジスタ	DREAR	32	H'FFFC1C14	32
	データリードオプション設定レジスタ	DROPR	32	H'FFFC1C18	32
	データリードイネーブル設定レジスタ	DRENr	32	H'FFFC1C1C	32
	SPI モードコントロールレジスタ	SMCR	32	H'FFFC1C20	32
	SPI モードコマンド設定レジスタ	SMCMR	32	H'FFFC1C24	32
	SPI モードアドレス設定レジスタ	SMADR	32	H'FFFC1C28	32
	SPI モードオプション設定レジスタ	SMOPR	32	H'FFFC1C2C	32
	SPI モードイネーブル設定レジスタ	SMENr	32	H'FFFC1C30	32
	SPI モードリードデータレジスタ 0	SMRDR0	32	H'FFFC1C38	8,16,32
	SPI モードリードデータレジスタ 1	SMRDR1	32	H'FFFC1C3C	8,16,32
	SPI モードライトデータレジスタ 0	SMWDR0	32	H'FFFC1C40	8,16,32
	SPI モードライトデータレジスタ 1	SMWDR1	32	H'FFFC1C44	8,16,32
	共通ステータスレジスタ	CMNSR	32	H'FFFC1C48	32
	AC 特性調整レジスタ	SPBACR	32	H'FFFC1C50	32
I ² C バスインタフェース 3	I ² C バスコントロールレジスタ 1_0	ICCR1_0	8	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2_0	ICCR2_0	8	H'FFFEE001	8
	I ² C バスモードレジスタ_0	ICMR_0	8	H'FFFEE002	8
	I ² C バスインタラプティネーブルレジスタ_0	ICIER_0	8	H'FFFEE003	8
	I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFFEE004	8
	スレーブアドレスレジスタ_0	SAR_0	8	H'FFFEE005	8
	I ² C バス送信データレジスタ_0	ICDRT_0	8	H'FFFEE006	8
	I ² C バス受信データレジスタ_0	ICDRR_0	8	H'FFFEE007	8
	NF2CYC レジスタ_0	NF2CYC_0	8	H'FFFEE008	8
	I ² C バスコントロールレジスタ 1_1	ICCR1_1	8	H'FFFEE400	8
	I ² C バスコントロールレジスタ 2_1	ICCR2_1	8	H'FFFEE401	8
	I ² C バスモードレジスタ_1	ICMR_1	8	H'FFFEE402	8
	I ² C バスインタラプティネーブルレジスタ_1	ICIER_1	8	H'FFFEE403	8
	I ² C バスステータスレジスタ_1	ICSR_1	8	H'FFFEE404	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
I ² C バスインタフェース 3	スレーブアドレスレジスタ_1	SAR_1	8	H'FFFE405	8
	I ² C バス送信データレジスタ_1	ICDRT_1	8	H'FFFE406	8
	I ² C バス受信データレジスタ_1	ICDRR_1	8	H'FFFE407	8
	NF2CYC レジスタ_1	NF2CYC_1	8	H'FFFE408	8
	I ² C バスコントロールレジスタ 1_2	ICCR1_2	8	H'FFFE800	8
	I ² C バスコントロールレジスタ 2_2	ICCR2_2	8	H'FFFE801	8
	I ² C バスモードレジスタ_2	ICMR_2	8	H'FFFE802	8
	I ² C バスインタラプティネブルレジスタ_2	ICIER_2	8	H'FFFE803	8
	I ² C バスステータスレジスタ_2	ICSR_2	8	H'FFFE804	8
	スレーブアドレスレジスタ_2	SAR_2	8	H'FFFE805	8
	I ² C バス送信データレジスタ_2	ICDRT_2	8	H'FFFE806	8
	I ² C バス受信データレジスタ_2	ICDRR_2	8	H'FFFE807	8
	NF2CYC レジスタ_2	NF2CYC_2	8	H'FFFE808	8
	I ² C バスコントロールレジスタ 1_3	ICCR1_3	8	H'FFFE8C0	8
	I ² C バスコントロールレジスタ 2_3	ICCR2_3	8	H'FFFE8C1	8
	I ² C バスモードレジスタ_3	ICMR_3	8	H'FFFE8C2	8
	I ² C バスインタラプティネブルレジスタ_3	ICIER_3	8	H'FFFE8C3	8
	I ² C バスステータスレジスタ_3	ICSR_3	8	H'FFFE8C4	8
	スレーブアドレスレジスタ_3	SAR_3	8	H'FFFE8C5	8
	I ² C バス送信データレジスタ_3	ICDRT_3	8	H'FFFE8C6	8
	I ² C バス受信データレジスタ_3	ICDRR_3	8	H'FFFE8C7	8
	NF2CYC レジスタ_3	NF2CYC_3	8	H'FFFE8C8	8
シリアルサウンド インタフェース	コントロールレジスタ_0	SSICR_0	32	H'FFF0000	8、16、32
	ステータスレジスタ_0	SSISR_0	32	H'FFF0004	8、16、32
	FIFO コントロールレジスタ_0	SSIFCR_0	32	H'FFF0010	8、16、32
	FIFO ステータスレジスタ_0	SSIFSR_0	32	H'FFF0014	8、16、32
	送信 FIFO データレジスタ_0	SSIFTDR_0	32	H'FFF0018	32
	受信 FIFO データレジスタ_0	SSIFRDR_0	32	H'FFF001C	32
	TDM モードレジスタ_0	SSITDMR_0	32	H'FFF0020	8、16、32
	コントロールレジスタ_1	SSICR_1	32	H'FFF0800	8、16、32
	ステータスレジスタ_1	SSISR_1	32	H'FFF0804	8、16、32
	FIFO コントロールレジスタ_1	SSIFCR_1	32	H'FFF0810	8、16、32
	FIFO ステータスレジスタ_1	SSIFSR_1	32	H'FFF0814	8、16、32
	送信 FIFO データレジスタ_1	SSIFTDR_1	32	H'FFF0818	32
	受信 FIFO データレジスタ_1	SSIFRDR_1	32	H'FFF081C	32
	TDM モードレジスタ_1	SSITDMR_1	32	H'FFF0820	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
シリアルサウンド インタフェース	コントロールレジスタ_2	SSICR_2	32	H'FFFF1000	8、16、32
	ステータスレジスタ_2	SSISR_2	32	H'FFFF1004	8、16、32
	FIFO コントロールレジスタ_2	SSIFCR_2	32	H'FFFF1010	8、16、32
	FIFO ステータスレジスタ_2	SSIFSR_2	32	H'FFFF1014	8、16、32
	送信 FIFO データレジスタ_2	SSIFTDR_2	32	H'FFFF1018	32
	受信 FIFO データレジスタ_2	SSIFRDR_2	32	H'FFFF101C	32
	TDM モードレジスタ_2	SSITDMR_2	32	H'FFFF1020	8、16、32
	コントロールレジスタ_3	SSICR_3	32	H'FFFF1800	8、16、32
	ステータスレジスタ_3	SSISR_3	32	H'FFFF1804	8、16、32
	FIFO コントロールレジスタ_3	SSIFCR_3	32	H'FFFF1810	8、16、32
	FIFO ステータスレジスタ_3	SSIFSR_3	32	H'FFFF1814	8、16、32
	送信 FIFO データレジスタ_3	SSIFTDR_3	32	H'FFFF1818	32
	受信 FIFO データレジスタ_3	SSIFRDR_3	32	H'FFFF181C	32
	TDM モードレジスタ_3	SSITDMR_3	32	H'FFFF1820	8、16、32
FIFO 付きクロック同期 シリアル I/O	モードレジスタ	SIMDR	16	H'FFFF4800	16
	クロックセレクトレジスタ	SISCR	16	H'FFFF4802	16
	送信データアサインレジスタ	SITDAR	16	H'FFFF4804	16
	受信データアサインレジスタ	SIRDAR	16	H'FFFF4806	16
	コントロールレジスタ	SICTR	16	H'FFFF480C	16
	FIFO コントロールレジスタ	SIFCTR	16	H'FFFF4810	16
	ステータスレジスタ	SISTR	16	H'FFFF4814	16
	割り込み許可レジスタ	SIIER	16	H'FFFF4816	16
	送信データレジスタ	SITDR	32	H'FFFF4820	8、16、32
	受信データレジスタ	SIRDR	32	H'FFFF4824	8、16、32
コントローラ エリアネットワーク	マスタコントロールレジスタ_0	MCR_0	16	H'FFE5000	16
	ジェネラルステータスレジスタ_0	GSR_0	16	H'FFE5002	16
	ビットコンフィギュレーションレジスタ 1_0	BCR1_0	16	H'FFE5004	16
	ビットコンフィギュレーションレジスタ 0_0	BCR0_0	16	H'FFE5006	16
	インタラプトリクエストレジスタ_0	IRR_0	16	H'FFE5008	16
	インタラプトマスクレジスタ_0	IMR_0	16	H'FFE500A	16
	送信／受信エラーカウンタ_0	TEC_REC_0	16	H'FFE500C	8、16
	送信待ちレジスタ 1_0	TXPR1_0	16	H'FFE5020	32
	送信待ちレジスタ 0_0	TXPR0_0	16	H'FFE5022	16
	送信キャンセルレジスタ 1_0	TXCR1_0	16	H'FFE5028	16
	送信キャンセルレジスタ 0_0	TXCR0_0	16	H'FFE502A	16
	送信アクノリッジレジスタ 1_0	TXACK1_0	16	H'FFE5030	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラ エリアネットワーク	送信アクノリッジレジスタ 0_0	TXACK0_0	16	H'FFFE5032	16
	アポートアクノリッジレジスタ 1_0	ABACK1_0	16	H'FFFE5038	16
	アポートアクノリッジレジスタ 0_0	ABACK0_0	16	H'FFFE503A	16
	データフレーム受信完了レジスタ 1_0	RXPR1_0	16	H'FFFE5040	16
	データフレーム受信完了レジスタ 0_0	RXPR0_0	16	H'FFFE5042	16
	リモートフレーム受信完了レジスタ 1_0	RFPR1_0	16	H'FFFE5048	16
	リモートフレーム受信完了レジスタ 0_0	RFPR0_0	16	H'FFFE504A	16
	メールボックスインタラプトマスクレジスタ 1_0	MBIMR1_0	16	H'FFFE5050	16
	メールボックスインタラプトマスクレジスタ 0_0	MBIMR0_0	16	H'FFFE5052	16
	未読メッセージステータスレジスタ 1_0	UMSR1_0	16	H'FFFE5058	16
	未読メッセージステータスレジスタ 0_0	UMSR0_0	16	H'FFFE505A	16
	タイマトリガコントロールレジスタ 0_0	TTCR0_0	16	H'FFFE5080	16
	サイクルマキシマム/Tx_Enable_Window レジスタ 0_0	CMAX_TEW_0	16	H'FFFE5084	16
	リファレンストリガオフセットレジスタ 0_0	RFTR0FF_0	16	H'FFFE5086	16
	タイマステータスレジスタ 0_0	TSR_0	16	H'FFFE5088	16
	サイクルカウンタレジスタ 0_0	CCR_0	16	H'FFFE508A	16
	タイマカウンタレジスタ 0_0	TCNTR_0	16	H'FFFE508C	16
	サイクルタイムレジスタ 0_0	CYCTR_0	16	H'FFFE5090	16
	リファレンスマークレジスタ 0_0	RFMK_0	16	H'FFFE5094	16
	タイムコンペアマッチレジスタ 0_0	TCMR0_0	16	H'FFFE5098	16
	タイムコンペアマッチレジスタ 1_0	TCMR1_0	16	H'FFFE509C	16
	タイムコンペアマッチレジスタ 2_0	TCMR2_0	16	H'FFFE50A0	16
	送信トリガタイムセレクトレジスタ 0_0	TTTSEL_0	16	H'FFFE50A4	16
	メールボックス n コントロール 0H_0 (n=0~31)	MBn_CONTROL0_H_0 (n=0~31)	16	H'FFFE5100+ n×32	16、32
	メールボックス n コントロール 0L_0 (n=0~31)	MBn_CONTROL0_L_0 (n=0~31)	16	H'FFFE5102+ n×32	16
	メールボックス n ローカルアクセプタンスフィルタマスク 0_0 (n=0~31)	MBn_LAFM0_0 (n=0~31)	16	H'FFFE5104+ n×32	16、32
	メールボックス n ローカルアクセプタンスフィルタマスク 1_0 (n=0~31)	MBn_LAFM1_0 (n=0~31)	16	H'FFFE5106+ n×32	16
	メールボックス n データ 01_0 (n=0~31)	MBn_DATA_01_0 (n=0~31)	16	H'FFFE5108+ n×32	8、16、32
	メールボックス n データ 23_0 (n=0~31)	MBn_DATA_23_0 (n=0~31)	16	H'FFFE510A+ n×32	8、16
	メールボックス n データ 45_0 (n=0~31)	MBn_DATA_45_0 (n=0~31)	16	H'FFFE510C+ n×32	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラ エリアネットワーク	メールボックス n データ 67_0 (n=0~31)	MBn_DATA_67_0 (n=0~31)	16	H'FFFE510E+ n×32	8、16
	メールボックス n コントロール 1_0 (n=0~31)	MBn_CONTROL1_0 (n=0~31)	16	H'FFFE5110+ n×32	8、16
	メールボックス n タイムスタンプ_0 (n=0~15、30、31)	MBn_TIMESTAMP_0 (n=0~15、30、31)	16	H'FFFE5112+ n×32	16
	メールボックス n トリガタイム_0 (n=24~30)	MBn_TTT_0 (n=24~30)	16	H'FFFE5114+ n×32	16
	メールボックス nTT コントロール_0 (n=24~29)	MBn_TTCONTROL_0 (n=24~29)	16	H'FFFE5116+ n×32	16
	マスタコントロールレジスタ_1	MCR_1	16	H'FFFE5800	16
	ジェネラルステータスレジスタ_1	GSR_1	16	H'FFFE5802	16
	ビットコンフィギュレーションレジスタ 1_1	BCR1_1	16	H'FFFE5804	16
	ビットコンフィギュレーションレジスタ 0_1	BCR0_1	16	H'FFFE5806	16
	インタラプトリクエストレジスタ_1	IRR_1	16	H'FFFE5808	16
	インタラプトマスクレジスタ_1	IMR_1	16	H'FFFE580A	16
	送信/受信エラーカウンタ_1	TEC_REC_1	16	H'FFFE580C	8、16
	送信待ちレジスタ 1_1	TXPR1_1	16	H'FFFE5820	32
	送信待ちレジスタ 0_1	TXPR0_1	16	H'FFFE5822	16
	送信キャンセルレジスタ 1_1	TXCR1_1	16	H'FFFE5828	16
	送信キャンセルレジスタ 0_1	TXCR0_1	16	H'FFFE582A	16
	送信アクノリッジレジスタ 1_1	TXACK1_1	16	H'FFFE5830	16
	送信アクノリッジレジスタ 0_1	TXACK0_1	16	H'FFFE5832	16
	アボートアクノリッジレジスタ 1_1	ABACK1_1	16	H'FFFE5838	16
	アボートアクノリッジレジスタ 0_1	ABACK0_1	16	H'FFFE583A	16
	データフレーム受信完了レジスタ 1_1	RXPR1_1	16	H'FFFE5840	16
	データフレーム受信完了レジスタ 0_1	RXPR0_1	16	H'FFFE5842	16
	リモートフレーム受信完了レジスタ 1_1	RFPR1_1	16	H'FFFE5848	16
	リモートフレーム受信完了レジスタ 0_1	RFPR0_1	16	H'FFFE584A	16
	メールボックスインタラプトマスクレジスタ 1_1	MBIMR1_1	16	H'FFFE5850	16
	メールボックスインタラプトマスクレジスタ 0_1	MBIMR0_1	16	H'FFFE5852	16
	未読メッセージステータスレジスタ 1_1	UMSR1_1	16	H'FFFE5858	16
	未読メッセージステータスレジスタ 0_1	UMSR0_1	16	H'FFFE585A	16
	タイマトリガコントロールレジスタ 0_1	TTCR0_1	16	H'FFFE5880	16
	サイクルマキシマム/Tx_Enable_Window レジスタ_1	CMAX_TEW_1	16	H'FFFE5884	16
	リファレンストリガオフセットレジスタ_1	RFTROFF_1	16	H'FFFE5886	16
	タイムステータスレジスタ_1	TSR_1	16	H'FFFE5888	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
コントローラ エリアネットワーク	サイクルカウンタレジスタ_1	CCR_1	16	H'FFFE588A	16
	タイマカウンタレジスタ_1	TCNTR_1	16	H'FFFE588C	16
	サイクルタイムレジスタ_1	CYCTR_1	16	H'FFFE5890	16
	リファレンスマークレジスタ_1	RFMK_1	16	H'FFFE5894	16
	タイムコンペアマッチレジスタ 0_1	TCMR0_1	16	H'FFFE5898	16
	タイムコンペアマッチレジスタ 1_1	TCMR1_1	16	H'FFFE589C	16
	タイムコンペアマッチレジスタ 2_1	TCMR2_1	16	H'FFFE58A0	16
	送信トリガタイムセレクトレジスタ_1	TTTSEL_1	16	H'FFFE58A4	16
	メールボックス n コントロール 0H_1 (n=0~31)	MBn_CONTROL0_H_1 (n=0~31)	16	H'FFFE5900+ n×32	16、32
	メールボックス n コントロール 0L_1 (n=0~31)	MBn_CONTROL0_L_1 (n=0~31)	16	H'FFFE5902+ n×32	16
	メールボックス n ローカルアクセプタンスフィルタマスク 0_1 (n=0~31)	MBn_LAFM0_1 (n=0~31)	16	H'FFFE5904+ n×32	16、32
	メールボックス n ローカルアクセプタンスフィルタマスク 1_1 (n=0~31)	MBn_LAFM1_1 (n=0~31)	16	H'FFFE5906+ n×32	16
	メールボックス n データ 01_1 (n=0~31)	MBn_DATA_01_1 (n=0~31)	16	H'FFFE5908+ n×32	8、16、32
	メールボックス n データ 23_1 (n=0~31)	MBn_DATA_23_1 (n=0~31)	16	H'FFFE590A+ n×32	8、16
	メールボックス n データ 45_1 (n=0~31)	MBn_DATA_45_1 (n=0~31)	16	H'FFFE590C+ n×32	8、16、32
	メールボックス n データ 67_1 (n=0~31)	MBn_DATA_67_1 (n=0~31)	16	H'FFFE590E+ n×32	8、16
	メールボックス n コントロール 1_1 (n=0~31)	MBn_CONTROL1_1 (n=0~31)	16	H'FFFE5910+ n×32	8、16
	メールボックス n タイムスタンプ_1 (n=0~15、30、31)	MBn_TIMESTAMP_1 (n=0~15、30、31)	16	H'FFFE5912+ n×32	16
	メールボックス n トリガタイム_1 (n=24~30)	MBn_TTT_1 (n=24~30)	16	H'FFFE5914+ n×32	16
	メールボックス n TT コントロール_1 (n=24~29)	MBn_TTCONTROL_1 (n=24~29)	16	H'FFFE5916+ n×32	16
IEBus コントローラ	IEBus コントロールレジスタ	IECTR	8	H'FFFEF000	8
	IEBus コマンドレジスタ	IECMR	8	H'FFFEF001	8
	IEBus マスタコントロールレジスタ	IEMCR	8	H'FFFEF002	8
	IEBus 自局アドレスレジスタ 1	IEAR1	8	H'FFFEF003	8
	IEBus 自局アドレスレジスタ 2	IEAR2	8	H'FFFEF004	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
IEBus コントローラ	IEBus スレーブアドレス設定レジスタ 1	IESA1	8	H'FFFEF005	8
	IEBus スレーブアドレス設定レジスタ 2	IESA2	8	H'FFFEF006	8
	IEBus 送信電文長レジスタ	IETBFL	8	H'FFFEF007	8
	IEBus 受信マスタアドレスレジスタ 1	IEMA1	8	H'FFFEF009	8
	IEBus 受信マスタアドレスレジスタ 2	IEMA2	8	H'FFFEF00A	8
	IEBus 受信コントロールフィールドレジスタ	IERCTL	8	H'FFFEF00B	8
	IEBus 受信電文長レジスタ	IERBFL	8	H'FFFEF00C	8
	IEBus ロックアドレスレジスタ 1	IELA1	8	H'FFFEF00E	8
	IEBus ロックアドレスレジスタ 2	IELA2	8	H'FFFEF00F	8
	IEBus ゼネラルフラグレジスタ	IEFLG	8	H'FFFEF010	8
	IEBus 送信ステータスレジスタ	IETSR	8	H'FFFEF011	8
	IEBus 送信割り込み許可レジスタ	IEIET	8	H'FFFEF012	8
	IEBus 受信ステータスレジスタ	IERSR	8	H'FFFEF014	8
	IEBus 受信割り込み許可レジスタ	IEIER	8	H'FFFEF015	8
	IEBus クロック選択レジスタ	IECKSR	8	H'FFFEF018	8
	IEBus 送信データバッファ 001~128	IETB001~IETB128	8	H'FFFEF100~ H'FFFEF17F	8
	IEBus 受信データバッファ 001~128	IERB001~IERB128	8	H'FFFEF200~ H'FFFEF27F	8
ルネサス SPDIF インタフェース	送信モジュールチャネル 1 オーディオレジスタ	TLCA	32	H'FFFFD800	32
	送信モジュールチャネル 2 オーディオレジスタ	TRCA	32	H'FFFFD804	32
	送信モジュールチャネル 1 ステータスレジスタ	TLCS	32	H'FFFFD808	32
	送信モジュールチャネル 2 ステータスレジスタ	TRCS	32	H'FFFFD80C	32
	送信ユーザデータレジスタ	TUI	32	H'FFFFD810	32
	受信モジュールチャネル 1 オーディオレジスタ	RLCA	32	H'FFFFD814	32
	受信モジュールチャネル 2 オーディオレジスタ	RRCA	32	H'FFFFD818	32
	受信モジュールチャネル 1 ステータスレジスタ	RLCS	32	H'FFFFD81C	32
	受信モジュールチャネル 2 ステータスレジスタ	RRCS	32	H'FFFFD820	32
	受信ユーザデータレジスタ	RUI	32	H'FFFFD824	32
	コントロールレジスタ	CTRL	32	H'FFFFD828	32
	ステータスレジスタ	STAT	32	H'FFFFD82C	32
	送信モジュール DMA オーディオデータレジスタ	TDAD	32	H'FFFFD830	32
	受信モジュール DMA オーディオデータレジスタ	RDAD	32	H'FFFFD834	32
CD-ROM デコーダ	イネーブルコントロールレジスタ	CROMEN	8	H'FFFF9000	8
	同期コードの同期制御コントロールレジスタ	CROMSY0	8	H'FFFF9001	8
	デコーディングモードコントロールレジスタ	CROMCTL0	8	H'FFFF9002	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
CD-ROM デコーダ	EDC、ECC チェック制御コントロールレジスタ	CROMCTL1	8	H'FFFF9003	8
	デコード処理自動停止コントロールレジスタ	CROMCTL3	8	H'FFFF9005	8
	デコードオプション設定コントロールレジスタ	CROMCTL4	8	H'FFFF9006	8
	HEAD20~22 表示コントロールレジスタ	CROMCTL5	8	H'FFFF9007	8
	同期コードステータスレジスタ	CROMST0	8	H'FFFF9008	8
	ECC 後のヘッダに対するエラーステータスレジスタ	CROMST1	8	H'FFFF9009	8
	ECC 後のサブヘッダに対するエラーステータスレジスタ	CROMST3	8	H'FFFF900B	8
	ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ	CROMST4	8	H'FFFF900C	8
	モード判定結果とリンクセクタ検出ステータスレジスタ	CROMST5	8	H'FFFF900D	8
	ECC、EDC エラーステータスレジスタ	CROMST6	8	H'FFFF900E	8
	バッファステータスレジスタ	CBUFST0	8	H'FFFF9014	8
	デコード中止要因ステータスレジスタ	CBUFST1	8	H'FFFF9015	8
	バッファオーバーフローステータスレジスタ	CBUFST2	8	H'FFFF9016	8
	ECC 訂正前ヘッダ部-MINUTES データレジスタ	HEAD00	8	H'FFFF9018	8
	ECC 訂正前ヘッダ部-SECONDS データレジスタ	HEAD01	8	H'FFFF9019	8
	ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD02	8	H'FFFF901A	8
	ECC 訂正前ヘッダ部-MODE データレジスタ	HEAD03	8	H'FFFF901B	8
	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD00	8	H'FFFF901C	8
	ECC 訂正前サブヘッダ部-チャネルナンバ (BYTE-17) データレジスタ	SHEAD01	8	H'FFFF901D	8
	ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD02	8	H'FFFF901E	8
	ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD03	8	H'FFFF901F	8
	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD04	8	H'FFFF9020	8
	ECC 訂正前サブヘッダ部-チャネルナンバ (BYTE-21) データレジスタ	SHEAD05	8	H'FFFF9021	8
	ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD06	8	H'FFFF9022	8
	ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD07	8	H'FFFF9023	8
	ECC 訂正後ヘッダ部-MINUTES データレジスタ	HEAD20	8	H'FFFF9024	8
	ECC 訂正後ヘッダ部-SECONDS データレジスタ	HEAD21	8	H'FFFF9025	8
	ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD22	8	H'FFFF9026	8
	ECC 訂正後ヘッダ部-MODE データレジスタ	HEAD23	8	H'FFFF9027	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
CD-ROM デコーダ	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD20	8	H'FFFF9028	8
	ECC 訂正後サブヘッダ部-チャネルナンバ (BYTE-17) データレジスタ	SHEAD21	8	H'FFFF9029	8
	ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD22	8	H'FFFF902A	8
	ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD23	8	H'FFFF902B	8
	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD24	8	H'FFFF902C	8
	ECC 訂正後サブヘッダ部-チャネルナンバ (BYTE-21) データレジスタ	SHEAD25	8	H'FFFF902D	8
	ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD26	8	H'FFFF902E	8
	ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD27	8	H'FFFF902F	8
	自動バッファリング設定コントロールレジスタ	CBUFCTL0	8	H'FFFF9040	8
	自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ	CBUFCTL1	8	H'FFFF9041	8
	自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ	CBUFCTL2	8	H'FFFF9042	8
	自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ	CBUFCTL3	8	H'FFFF9043	8
	ISY 割り込み要因マスクコントロールレジスタ	CROMST0M	8	H'FFFF9045	8
	CD-ROM デコーダモジュールリセットコントロールレジスタ	ROMDECRST	8	H'FFFF9100	8
	CD-ROM デコーダモジュールリセットステータスレジスタ	RSTSTAT	8	H'FFFF9101	8
	シリアルサウンドインタフェースデータコントロールレジスタ	SSI	8	H'FFFF9102	8
	割り込みフラグレジスタ	INTHOLD	8	H'FFFF9108	8
	割り込み要因マスクコントロールレジスタ	INHINT	8	H'FFFF9109	8
	CD-ROM デコーダストリームデータ入力レジスタ	STRMDIN0	16	H'FFFF9200	16、32*
	CD-ROM デコーダストリームデータ入力レジスタ	STRMDIN2	16	H'FFFF9202	16
	CD-ROM デコーダストリームデータ出力レジスタ	STRMDOUT0	16	H'FFFF9204	16、32
A/D 変換器	A/D データレジスタ A	ADDRA	16	H'FFFF9800	16
	A/D データレジスタ B	ADDRB	16	H'FFFF9802	16
	A/D データレジスタ C	ADDRC	16	H'FFFF9804	16
	A/D データレジスタ D	ADDRD	16	H'FFFF9806	16
	A/D データレジスタ E	ADDRE	16	H'FFFF9808	16
	A/D データレジスタ F	ADDRF	16	H'FFFF980A	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
A/D 変換器	A/D データレジスタ G	ADDRG	16	H'FFFF980C	16
	A/D データレジスタ H	ADDRH	16	H'FFFF980E	16
	A/D コントロール/ステータスレジスタ	ADCSR	16	H'FFFF9820	16
USB2.0 ホスト/ファンク ションモジュール	システムコンフィギュレーションコントロールレジスタ 0	SYSCFG0	16	H'FFFFC000	16
	システムコンフィギュレーションコントロールレジスタ 1	SYSCFG1	16	H'FFFFC002	16
	システムコンフィギュレーションステータスレジスタ 0	SYSSTS0	16	H'FFFFC004	16
	システムコンフィギュレーションステータスレジスタ 1	SYSSTS1	16	H'FFFFC006	16
	デバイスステートコントロールレジスタ 0	DVSTCTR0	16	H'FFFFC008	16
	デバイスステートコントロールレジスタ 1	DVSTCTR1	16	H'FFFFC00A	16
	DMA0-FIFO ビンコンフィグレーションレジスタ	DMA0PCFG	16	H'FFFFC010	16
	DMA1-FIFO ビンコンフィグレーションレジスタ	DMA1PCFG	16	H'FFFFC012	16
	CFIFO ポートレジスタ	CFIFO	16	H'FFFFC014	8、16
	D0FIFO ポートレジスタ	D0FIFO	16	H'FFFFC018	8、16
	D1FIFO ポートレジスタ	D1FIFO	16	H'FFFFC01C	8、16
	CFIFO ポート選択レジスタ	CFIFOSEL	16	H'FFFFC020	16
	CFIFO ポートコントロールレジスタ	CFIFOCTR	16	H'FFFFC022	16
	D0FIFO ポート選択レジスタ	D0FIFOSEL	16	H'FFFFC028	16
	D0FIFO ポートコントロールレジスタ	D0FIFOCTR	16	H'FFFFC02A	16
	D1FIFO ポート選択レジスタ	D1FIFOSEL	16	H'FFFFC02C	16
	D1FIFO ポートコントロールレジスタ	D1FIFOCTR	16	H'FFFFC02E	16
	割り込み許可レジスタ 0	INTENB0	16	H'FFFFC030	16
	割り込み許可レジスタ 1	INTENB1	16	H'FFFFC032	16
	割り込み許可レジスタ 2	INTENB2	16	H'FFFFC034	16
	BRDY 割り込み許可レジスタ	BRDYENB	16	H'FFFFC036	16
	NRDY 割り込み許可レジスタ	NRDYENB	16	H'FFFFC038	16
	BEMP 割り込み許可レジスタ	BEMPENB	16	H'FFFFC03A	16
	SOF 出力コンフィグレーションレジスタ	SOFCFG	16	H'FFFFC03C	16
	割り込みステータスレジスタ 0	INTSTS0	16	H'FFFFC040	16
	割り込みステータスレジスタ 1	INTSTS1	16	H'FFFFC042	16
	割り込みステータスレジスタ 2	INTSTS2	16	H'FFFFC044	16
	BRDY 割り込みステータスレジスタ	BRDYSTS	16	H'FFFFC046	16
	NRDY 割り込みステータスレジスタ	NRDYSTS	16	H'FFFFC048	16
	BEMP 割り込みステータスレジスタ	BEMPSTS	16	H'FFFFC04A	16
	フレームナンバーレジスタ	FRMNUM	16	H'FFFFC04C	16
	USB アドレスレジスタ	USBADDR	16	H'FFFFC050	16
	USB リクエストタイプレジスタ	USBREQ	16	H'FFFFC054	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
USB2.0 ホスト/ファンク ションモジュール	USB リクエストバリュールレジスタ	USBVAL	16	H'FFFFC056	16
	USB リクエストインデックスレジスタ	USBINDX	16	H'FFFFC058	16
	USB リクエストレンスレジスタ	USBLENG	16	H'FFFFC05A	16
	DCP コンフィギュレーションレジスタ	DCPCFG	16	H'FFFFC05C	16
	DCP マックスバケットサイズレジスタ	DCPMAXP	16	H'FFFFC05E	16
	DCP コントロールレジスタ	DCPCTR	16	H'FFFFC060	16
	パイプウィンドウ選択レジスタ	PIPESEL	16	H'FFFFC064	16
	パイプコンフィギュレーションレジスタ	PIPECFG	16	H'FFFFC068	16
	パイプマックスバケットサイズレジスタ	PIPEMAXP	16	H'FFFFC06C	16
	パイプ周期制御レジスタ	PIPEPERI	16	H'FFFFC06E	16
	パイプ1 コントロールレジスタ	PIPE1CTR	16	H'FFFFC070	16
	パイプ2 コントロールレジスタ	PIPE2CTR	16	H'FFFFC072	16
	パイプ3 コントロールレジスタ	PIPE3CTR	16	H'FFFFC074	16
	パイプ4 コントロールレジスタ	PIPE4CTR	16	H'FFFFC076	16
	パイプ5 コントロールレジスタ	PIPE5CTR	16	H'FFFFC078	16
	パイプ6 コントロールレジスタ	PIPE6CTR	16	H'FFFFC07A	16
	パイプ7 コントロールレジスタ	PIPE7CTR	16	H'FFFFC07C	16
	パイプ8 コントロールレジスタ	PIPE8CTR	16	H'FFFFC07E	16
	パイプ9 コントロールレジスタ	PIPE9CTR	16	H'FFFFC080	16
	パイプ1 トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	H'FFFFC090	16
	パイプ1 トランザクションカウンタレジスタ	PIPE1TRN	16	H'FFFFC092	16
	パイプ2 トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	H'FFFFC094	16
	パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	16	H'FFFFC096	16
	パイプ3 トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	H'FFFFC098	16
	パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	16	H'FFFFC09A	16
	パイプ4 トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	H'FFFFC09C	16
	パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	16	H'FFFFC09E	16
	パイプ5 トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	H'FFFFC0A0	16
	パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	16	H'FFFFC0A2	16
	デバイスアドレス0 コンフィギュレーションレジスタ	DEVADD0	16	H'FFFFC0D0	16
	デバイスアドレス1 コンフィギュレーションレジスタ	DEVADD1	16	H'FFFFC0D2	16
	デバイスアドレス2 コンフィギュレーションレジスタ	DEVADD2	16	H'FFFFC0D4	16
	デバイスアドレス3 コンフィギュレーションレジスタ	DEVADD3	16	H'FFFFC0D6	16
	デバイスアドレス4 コンフィギュレーションレジスタ	DEVADD4	16	H'FFFFC0D8	16
	デバイスアドレス5 コンフィギュレーションレジスタ	DEVADD5	16	H'FFFFC0DA	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
サンプリングレートコン バータ	入力データレジスタ_0	SRCID_0	32	H'FFFE7000	16、32
	出力データレジスタ_0	SRCOD_0	32	H'FFFE7004	16、32
	入力データ制御レジスタ_0	SRCIDCTRL_0	16	H'FFFE7008	16
	出力データ制御レジスタ_0	SRCODCTRL_0	16	H'FFFE700A	16
	制御レジスタ_0	SRCCTRL_0	16	H'FFFE700C	16
	ステータスレジスタ_0	SRCSTAT_0	16	H'FFFE700E	16
	入力データレジスタ_1	SRCID_1	32	H'FFFE7800	16、32
	出力データレジスタ_1	SRCOD_1	32	H'FFFE7804	16、32
	入力データ制御レジスタ_1	SRCIDCTRL_1	16	H'FFFE7808	16
	出力データ制御レジスタ_1	SRCODCTRL_1	16	H'FFFE780A	16
	制御レジスタ_1	SRCCTRL_1	16	H'FFFE780C	16
	ステータスレジスタ_1	SRCSTAT_1	16	H'FFFE780E	16
	入力データレジスタ_2	SRCID_2	32	H'FFFEF800	16、32
	出力データレジスタ_2	SRCOD_2	32	H'FFFEF804	16、32
	入力データ制御レジスタ_2	SRCIDCTRL_2	16	H'FFFEF808	16
	出力データ制御レジスタ_2	SRCODCTRL_2	16	H'FFFEF80A	16
	制御レジスタ_2	SRCCTRL_2	16	H'FFFEF80C	16
	ステータスレジスタ_2	SRCSTAT_2	16	H'FFFEF80E	16
汎用入出力ポート	ポート A・IO レジスタ 0	PAIOR0	16	H'FFFE3812	8、16
	ポート A データレジスタ 0	PADR0	16	H'FFFE3816	8、16
	ポート A ポートレジスタ 0	PAPR0	16	H'FFFE381A	8、16
	シリアルサウンドインタフェースノイズキャンセラ コントロールレジスタ	SNCR	16	H'FFFE381E	8、16
	ポート B コントロールレジスタ 5	PBCR5	16	H'FFFE3824	8、16、32
	ポート B コントロールレジスタ 4	PBCR4	16	H'FFFE3826	8、16
	ポート B コントロールレジスタ 3	PBCR3	16	H'FFFE3828	8、16、32
	ポート B コントロールレジスタ 2	PBCR2	16	H'FFFE382A	8、16
	ポート B コントロールレジスタ 1	PBCR1	16	H'FFFE382C	8、16、32
	ポート B コントロールレジスタ 0	PBCR0	16	H'FFFE382E	8、16
	ポート B・IO レジスタ 1	PBIOR1	16	H'FFFE3830	8、16、32
	ポート B・IO レジスタ 0	PBIOR0	16	H'FFFE3832	8、16
	ポート B データレジスタ 1	PBDR1	16	H'FFFE3834	8、16、32
	ポート B データレジスタ 0	PBDR0	16	H'FFFE3836	8、16
	ポート B ポートレジスタ 1	PBPR1	16	H'FFFE3838	8、16、32
	ポート B ポートレジスタ 0	PBPR0	16	H'FFFE383A	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
汎用入出力ポート	ポート C コントロールレジスタ 2	PCCR2	16	H'FFFE384A	8、16
	ポート C コントロールレジスタ 1	PCCR1	16	H'FFFE384C	8、16、32*
	ポート C コントロールレジスタ 0	PCCR0	16	H'FFFE384E	8、16
	ポート C・IO レジスタ 0	PCIOR0	16	H'FFFE3852	8、16
	ポート C データレジスタ 0	PCDR0	16	H'FFFE3856	8、16
	ポート C ポートレジスタ 0	PCPR0	16	H'FFFE385A	8、16
	ポート D コントロールレジスタ 3	PDCR3	16	H'FFFE3868	8、16、32
	ポート D コントロールレジスタ 2	PDCR2	16	H'FFFE386A	8、16
	ポート D コントロールレジスタ 1	PDCR1	16	H'FFFE386C	8、16、32
	ポート D コントロールレジスタ 0	PDCR0	16	H'FFFE386E	8、16
	ポート D・IO レジスタ 0	PDIOR0	16	H'FFFE3872	8、16
	ポート D データレジスタ 0	PDDR0	16	H'FFFE3876	8、16
	ポート D ポートレジスタ 0	PDPR0	16	H'FFFE387A	8、16
	ポート E コントロールレジスタ 1	PECR1	16	H'FFFE388C	8、16、32
	ポート E コントロールレジスタ 0	PECR0	16	H'FFFE388E	8、16
	ポート E・IO レジスタ 0	PEIOR0	16	H'FFFE3892	8、16
	ポート E データレジスタ 0	PEDR0	16	H'FFFE3896	8、16
	ポート E ポートレジスタ 0	PEPR0	16	H'FFFE389A	8、16
	ポート F コントロールレジスタ 1	PFCR1	16	H'FFFE38AC	8、16、32
	ポート F コントロールレジスタ 0	PFCR0	16	H'FFFE38AE	8、16
	ポート F・IO レジスタ 0	PFIOR0	16	H'FFFE38B2	8、16
	ポート F データレジスタ 0	PFDR0	16	H'FFFE38B6	8、16
	ポート F ポートレジスタ 0	PFPR0	16	H'FFFE38BA	8、16
	ポート G コントロールレジスタ 0	PGCR0	16	H'FFFE38CE	8、16
	ポート G ポートレジスタ 0	PGPR0	16	H'FFFE38DA	8、16
	ポート H コントロールレジスタ 1	PHCR1	16	H'FFFE38EC	8、16、32
	ポート H コントロールレジスタ 0	PHCR0	16	H'FFFE38EE	8、16
	ポート H ポートレジスタ 0	PHPR0	16	H'FFFE38FA	8、16
	ポート J コントロールレジスタ 4	PJCR4	16	H'FFFE3906	8、16*
	ポート J コントロールレジスタ 3	PJCR3	16	H'FFFE3908	8、16、32
	ポート J コントロールレジスタ 2	PJCR2	16	H'FFFE390A	8、16
	ポート J コントロールレジスタ 1	PJCR1	16	H'FFFE390C	8、16、32
	ポート J コントロールレジスタ 0	PJCR0	16	H'FFFE390E	8、16
	ポート J・IO レジスタ 0	PJIOR0	16	H'FFFE3912	8、16
	ポート J データレジスタ 0	PJDR0	16	H'FFFE3916	8、16
	ポート J ポートレジスタ 0	PJPR0	16	H'FFFE391A	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
汎用入出力ポート	ポート K コントロールレジスタ 0	PKCR0	16	H'FFFE392E	8、16
	ポート K・IO レジスタ 0	PKIOR0	16	H'FFFE3932	8、16
	ポート K データレジスタ 0	PKDR0	16	H'FFFE3936	8、16
	ポート K ポートレジスタ 0	PKPR0	16	H'FFFE393A	8、16
低消費電力モード	スタンバイコントロールレジスタ 1	STBCR1	8	H'FFFE0014	8
	スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018	8
	スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0408	8
	スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE040C	8
	スタンバイコントロールレジスタ 5	STBCR5	8	H'FFFE0410	8
	スタンバイコントロールレジスタ 6	STBCR6	8	H'FFFE0414	8
	スタンバイコントロールレジスタ 7	STBCR7	8	H'FFFE0418	8
	スタンバイコントロールレジスタ 8	STBCR8	8	H'FFFE041C	8
	ソフトウェアリセットコントロールレジスタ	SWRSTCR	8	H'FFFE0430	8
	システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0400	8
	システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0404	8
	システムコントロールレジスタ 3	SYSCR3	8	H'FFFE0420	8
	システムコントロールレジスタ 4	SYSCR4	8	H'FFFE0424	8
	システムコントロールレジスタ 5	SYSCR5	8	H'FFFE0428	8
	保持用内蔵 RAM 保持エリア指定レジスタ	RRAMKP	8	H'FFFE6800	8
	ディープスタンバイコントロールレジスタ	DSCTR	8	H'FFFE6802	8
	ディープスタンバイ解除要因セレクトレジスタ	DSSSR	16	H'FFFE6804	16
	ディープスタンバイ解除エッジセレクトレジスタ	DSESR	16	H'FFFE6806	16
	ディープスタンバイ解除要因フラグレジスタ	DSFR	16	H'FFFE6808	16
	XTAL 水晶発振器ゲインコントロールレジスタ	XTALCTR	8	H'FFFE6810	8
ユーザデバッグ インタフェース	インストラクションレジスタ	SDIR	16	H'FFFE2000	16

34.2 レジスタビット一覧

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
クロック パルス発振器	FRQCR	—	CKOEN2	CKOEN[1]	CKOEN[0]	—	—	—	—
		—	—	IFC	—	—	PFC[2]	PFC[1]	PFC[0]
割り込み コントローラ	ICR0	NMIL	—	—	—	—	—	—	NMIE
		—	—	—	—	—	—	NMIF	NMIM
	ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	ICR2	—	—	—	—	—	—	—	—
		PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
	IRQRR	—	—	—	—	—	—	—	—
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	PINTER	—	—	—	—	—	—	—	—
		PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
	PIRR	—	—	—	—	—	—	—	—
		PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
	IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	—
	IBNR	BE[1]	BE[0]	BOVE	—	—	—	—	—
		—	—	—	—	BN[3]	BN[2]	BN[1]	BN[0]
	IPR01								
	IPR02								
	IPR05								
	IPR06								
	IPR07								
	IPR08								
	IPR09								
	IPR10								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
割り込み コントローラ	IPR11								
	IPR12								
	IPR13								
	IPR14								
	IPR15								
	IPR16								
	IPR17								
	IPR18								
	IPR19								
	IPR20								
	IPR21								
	IPR22								
キャッシュ	CCR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	ICF	—	—	ICE
		—	—	—	—	OCF	—	WT	OCE
	CCR2	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	LE
		—	—	—	—	—	—	W3LOAD	W3LOCK
		—	—	—	—	—	—	W2LOAD	W2LOCK

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
バスステート コントローラ	CMNCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	DPRTY[1]	DPRTY[0]	DMAW[2]
		DMAIW[1]	DMAIW[0]	DMAIWA	—	—	—	HIZMEM	HIZCNT
	CS0BCR	—	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		—	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	—
		—	—	—	—	—	—	—	—
	CS1BCR	—	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		—	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	—
		—	—	—	—	—	—	—	—
	CS2BCR	—	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		—	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	—
		—	—	—	—	—	—	—	—
	CS3BCR	—	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		—	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	—
		—	—	—	—	—	—	—	—
	CS4BCR	—	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		—	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	—
		—	—	—	—	—	—	—	—
	CS0WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	—	—	—
		—	—	—	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	—	—	—	—	HW[1]	HW[0]
	CS0WCR	—	—	—	—	—	—	—	—
		—	—	BST[1]	BST[0]	—	—	BW[1]	BW[0]
		—	—	—	—	—	W[3]	W[2]	W[1]
		W[0]	WM	—	—	—	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
バスステート コントローラ	CS0WCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	BW[1]	BW[0]
		—	—	—	—	—	W[3]	W[2]	W[1]
		W[0]	WM	—	—	—	—	—	—
	CS1WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	WW[2]	WW[1]	WW[0]
		—	—	—	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	—	—	—	—	HW[1]	HW[0]
	CS2WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	—	—	—
		—	—	—	—	—	WR[3]	WR[2]	WR[1]
		WR[0]	WM	—	—	—	—	—	—
	CS2WCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	A2CL1
		A2CL0	—	—	—	—	—	—	—
	CS3WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	—	—	—
		—	—	—	—	—	WR[3]	WR[2]	WR[1]
		WR[0]	WM	—	—	—	—	—	—
	CS3WCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	WTRP[1]	WTRP[0]	—	WTRCD[1]	WTRCD[0]	—	A3CL1
		A3CL0	—	—	TRWL[1]	TRWL[0]	—	WTRC[1]	WTRC[0]
	CS4WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	WW[2]	WW[1]	WW[0]
		—	—	—	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	—	—	—	—	HW[1]	HW[0]
	CS4WCR	—	—	—	—	—	—	—	—
		—	—	BST[1]	BST[0]	—	—	BW[1]	BW[0]
		—	—	—	SW[1]	SW[0]	W[3]	W[2]	W[1]
		W[0]	WM	—	—	—	—	HW[1]	HW[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
バスステート コントローラ	SDCR	—	—	—	—	—	—	—	—
		—	—	—	A2ROW[1]	A2ROW[0]	—	A2COL[1]	A2COL[0]
		—	—	DEEP	—	RFSH	RMODE	PDOWN	BACTV
		—	—	—	A3ROW[1]	A3ROW[0]	—	A3COL[1]	A3COL[0]
	RTCSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		CMF	CMIE	CKS[2]	CKS[1]	CKS[0]	RRC[2]	RRC[1]	RRC[0]
	RTCNT	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
	RTCOR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
ユーザ ブレイク コントローラ	BAR_0	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_0	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_0	—	—	UBID	DBE	—	—	CP[1]	CP[0]
		CD[1]	CD[0]	ID[1]	ID[0]	RW[1]	RW[0]	SZ[1]	SZ[0]
	BDR_0	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
	BDMR_0	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ユーザ ブレーク コントローラ	BAR_1	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_1	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_1	—	—	UBID	DBE	—	—	CP[1]	CP[0]
		CD[1]	CD[0]	ID[1]	ID[0]	RW[1]	RW[0]	SZ[1]	SZ[0]
	BDR_1	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
	BDMR_1	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
	BRCCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		SCMFC0	SCMFC1	SCMFD0	SCMFD1	—	—	—	—
		—	PCB1	PCB0	—	—	—	—	—
ダイレクト メモリ アクセス コントローラ	SAR_0								
	DAR_0								
	DMATCR_0	—	—	—	—	—	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	CHCR_0	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		DO	TL	—	TEMASK	HE	HIE	AM	AL
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		DL	DS	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_0								
	RDAR_0								
	RDMATCR_0	—	—	—	—	—	—	—	—
	SAR_1								
	DAR_1								
	DMATCR_1	—	—	—	—	—	—	—	—
	CHCR_1	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	RSAR_1								
	RDAR_1								
	RDMATCR_1	—	—	—	—	—	—	—	—
	SAR_2								
	DAR_2								
	DMATCR_2	—	—	—	—	—	—	—	—
	CHCR_2	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	RSAR_2								
	RDAR_2								
	RDMATCR_2	—	—	—	—	—	—	—	—
	SAR_3								
	DAR_3								
	DMATCR_3	—	—	—	—	—	—	—	—
	CHCR_3	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_3								
	RDAR_3								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	RDMATOR_3	—	—	—	—	—	—	—	—
	SAR_4								
	DAR_4								
	DMATOR_4	—	—	—	—	—	—	—	—
	CHCR_4	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_4								
	RDAR_4								
	RDMATOR_4	—	—	—	—	—	—	—	—
	SAR_5								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	DAR_5								
	DMATCR_5	—	—	—	—	—	—	—	—
	CHCR_5	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_5								
	RDAR_5								
	RDMATCR_5	—	—	—	—	—	—	—	—
	SAR_6								
	DAR_6								
	DMATCR_6	—	—	—	—	—	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	CHCR_6	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_6								
	RDAR_6								
	RDMATCR_6	—	—	—	—	—	—	—	—
	SAR_7								
	DAR_7								
	DMATCR_7	—	—	—	—	—	—	—	—
	CHCR_7	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_7								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	RDAR_7								
	RDMATCR_7	—	—	—	—	—	—	—	—
	SAR_8								
	DAR_8								
	DMATCR_8	—	—	—	—	—	—	—	—
	CHCR_8	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_8								
	RDAR_8								
	RDMATCR_8	—	—	—	—	—	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	SAR_9								
	DAR_9								
	DMATCR_9	—	—	—	—	—	—	—	—
	CHCR_9	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_9								
	RDAR_9								
	RDMATCR_9	—	—	—	—	—	—	—	—
	SAR_10								
	DAR_10								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	DMATCR_10	—	—	—	—	—	—	—	—
	CHCR_10	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_10								
	RDAR_10								
	RDMATCR_10	—	—	—	—	—	—	—	—
	SAR_11								
	DAR_11								
	DMATCR_11	—	—	—	—	—	—	—	—
	CHCR_11	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	RSAR_11								
	RDAR_11								
	RDMATCR_11	—	—	—	—	—	—	—	—
	SAR_12								
	DAR_12								
	DMATCR_12	—	—	—	—	—	—	—	—
	CHCR_12	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_12								
	RDAR_12								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	RDMATCR_12	—	—	—	—	—	—	—	—
	SAR_13								
	DAR_13								
	DMATCR_13	—	—	—	—	—	—	—	—
	CHCR_13	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_13								
	RDAR_13								
	RDMATCR_13	—	—	—	—	—	—	—	—
	SAR_14								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	DAR_14								
	DMATCR_14	—	—	—	—	—	—	—	—
	CHCR_14	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_14								
	RDAR_14								
	RDMATCR_14	—	—	—	—	—	—	—	—
	SAR_15								
	DAR_15								
	DMATCR_15	—	—	—	—	—	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ダイレクト メモリ アクセス コントローラ	CHCR_15	TC	—	RLDSAR	RLDDAR	—	DAF	SAF	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		—	—	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR_15								
	RDAR_15								
	RDMATCR_15	—	—	—	—	—	—	—	—
	DMAOR	—	—	CMS[1]	CMS[0]	—	—	PR[1]	PR[0]
		—	—	—	—	—	AE	NMIF	DME
	DMARS0	CH1MID[5]	CH1MID[4]	CH1MID[3]	CH1MID[2]	CH1MID[1]	CH1MID[0]	CH1RID[1]	CH1RID[0]
		CH0MID[5]	CH0MID[4]	CH0MID[3]	CH0MID[2]	CH0MID[1]	CH0MID[0]	CH0RID[1]	CH0RID[0]
	DMARS1	CH3MID[5]	CH3MID[4]	CH3MID[3]	CH3MID[2]	CH3MID[1]	CH3MID[0]	CH3RID[1]	CH3RID[0]
		CH2MID[5]	CH2MID[4]	CH2MID[3]	CH2MID[2]	CH2MID[1]	CH2MID[0]	CH2RID[1]	CH2RID[0]
	DMARS2	CH5MID[5]	CH5MID[4]	CH5MID[3]	CH5MID[2]	CH5MID[1]	CH5MID[0]	CH5RID[1]	CH5RID[0]
		CH4MID[5]	CH4MID[4]	CH4MID[3]	CH4MID[2]	CH4MID[1]	CH4MID[0]	CH4RID[1]	CH4RID[0]
	DMARS3	CH7MID[5]	CH7MID[4]	CH7MID[3]	CH7MID[2]	CH7MID[1]	CH7MID[0]	CH7RID[1]	CH7RID[0]
		CH6MID[5]	CH6MID[4]	CH6MID[3]	CH6MID[2]	CH6MID[1]	CH6MID[0]	CH6RID[1]	CH6RID[0]
	DMARS4	CH9MID[5]	CH9MID[4]	CH9MID[3]	CH9MID[2]	CH9MID[1]	CH9MID[0]	CH9RID[1]	CH9RID[0]
		CH8MID[5]	CH8MID[4]	CH8MID[3]	CH8MID[2]	CH8MID[1]	CH8MID[0]	CH8RID[1]	CH8RID[0]
	DMARS5	CH11MID[5]	CH11MID[4]	CH11MID[3]	CH11MID[2]	CH11MID[1]	CH11MID[0]	CH11RID[1]	CH11RID[0]
		CH10MID[5]	CH10MID[4]	CH10MID[3]	CH10MID[2]	CH10MID[1]	CH10MID[0]	CH10RID[1]	CH10RID[0]
	DMARS6	CH13MID[5]	CH13MID[4]	CH13MID[3]	CH13MID[2]	CH13MID[1]	CH13MID[0]	CH13RID[1]	CH13RID[0]
		CH12MID[5]	CH12MID[4]	CH12MID[3]	CH12MID[2]	CH12MID[1]	CH12MID[0]	CH12RID[1]	CH12RID[0]
	DMARS7	CH15MID[5]	CH15MID[4]	CH15MID[3]	CH15MID[2]	CH15MID[1]	CH15MID[0]	CH15RID[1]	CH15RID[0]
		CH14MID[5]	CH14MID[4]	CH14MID[3]	CH14MID[2]	CH14MID[1]	CH14MID[0]	CH14RID[1]	CH14RID[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチ ファンク ション タイマ/パルス ユニット 2	TCR_0	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_0	—	BFE	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_0	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_0	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_0								
	TGRA_0								
	TGRB_0								
	TGRC_0								
	TGRD_0								
	TGRE_0								
	TGRF_0								
	TIER2_0	TTGE2	—	—	—	—	—	TGIEF	TGIEE
	TSR2_0	—	—	—	—	—	—	TGFF	TGFE
	TBTM_0	—	—	—	—	—	TTSE	TTSB	T TSA
	TCR_1	—	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_1	—	—	—	—	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_1	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
	TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
	TCNT_1								
	TGRA_1								
	TGRB_1								
	TICCR	—	—	—	—	I2BE	I2AE	I1BE	I1AE
	TCR_2	—	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチ ファンク ション タイマ/パルス ユニット 2	TMDR_2	—	—	—	—	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_2	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
	TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
	TCNT_2								
	TGRA_2								
	TGRB_2								
	TCR_3	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_3	—	—	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_3	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_3	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_3	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_3	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_3								
	TGRA_3								
	TGRB_3								
	TGRC_3								
	TGRD_3								
	TBTM_3	—	—	—	—	—	—	TTSB	TTSA
	TCR_4	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_4	—	—	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_4	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_4	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_4	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_4	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_4								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチ ファンク ション タイマパルス ユニット2	TGRA_4								
	TGRB_4								
	TGRC_4								
	TGRD_4								
	TBTM_4	—	—	—	—	—	—	TTSB	T TSA
	TADCR	BF[1]	BF[0]	—	—	—	—	—	—
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
	TADCORA_4								
	TADCORB_4								
	TADCOBRA_4								
	TADCOBRB_4								
	TSTR	CST4	CST3	—	—	—	CST2	CST1	CST0
	TSYR	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
	TRWER	—	—	—	—	—	—	—	RWE
	TOER	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
	TOCR2	BF[1]	BF[0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	TGCR	—	BDC	N	P	FB	WF	VF	UF
	TCDR								
	TDDR								
	TCNTS								
	TCBR								
	TITCR	T3AEN	3ACOR[2]	3ACOR[1]	3ACOR[0]	T4VEN	4VCOR[2]	4VCOR[1]	4VCOR[0]
	TITCNT	—	3ACNT[2]	3ACNT[1]	3ACNT[0]	—	4VCNT[2]	4VCNT[1]	4VCNT[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチ ファンク ション タイムバ ルース ユニット2	TBTER	—	—	—	—	—	—	BTE[1]	BTE[0]
	TDER	—	—	—	—	—	—	—	TDER
	TWCR	CCE	—	—	—	—	—	—	WRE
	TOLBR	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
コンベ ア マッチタイ マ	CMSTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR1	STR0
	CMCSR_0	—	—	—	—	—	—	—	—
		CMF	CMIE	—	—	—	—	CKS[1]	CKS[0]
	CMCNT_0								
	CMCOR_0								
	CMCSR_1	—	—	—	—	—	—	—	—
		CMF	CMIE	—	—	—	—	CKS[1]	CKS[0]
	CMCNT_1								
	CMCOR_1								
ウォッチ ドッグタイ マ	WTCNT								
	WTCSCR	IOVF	WT/IT	TME	—	—	CKS[2]	CKS[1]	CKS[0]
	WRCSCR	WOVF	RSTE	RSTS	—	—	—	—	—
リアルタイ ム クロック	R64CNT	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
	RSECCNT	—	10 秒[2]	10 秒[1]	10 秒[0]	1 秒[3]	1 秒[2]	1 秒[1]	1 秒[0]
	RMINCNT	—	10 分[2]	10 分[1]	10 分[0]	1 分[3]	1 分[2]	1 分[1]	1 分[0]
	RHRCNT	—	—	10 時間[1]	10 時間[0]	1 時間[3]	1 時間[2]	1 時間[1]	1 時間[0]
	RWKCNT	—	—	—	—	—	曜日[2]	曜日[1]	曜日[0]
	RDAYCNT	—	—	10 日[1]	10 日[0]	1 日[3]	1 日[2]	1 日[1]	1 日[0]
	RMONCNT	—	—	—	10 月	1 月[3]	1 月[2]	1 月[1]	1 月[0]
	RYRCNT	1000 年[3]	1000 年[2]	1000 年[1]	1000 年[0]	100 年[3]	100 年[2]	100 年[1]	100 年[0]
		10 年[3]	10 年[2]	10 年[1]	10 年[0]	1 年[3]	1 年[2]	1 年[1]	1 年[0]
	RSECAR	ENB	10 秒[2]	10 秒[1]	10 秒[0]	1 秒[3]	1 秒[2]	1 秒[1]	1 秒[0]
	RMINAR	ENB	10 分[2]	10 分[1]	10 分[0]	1 分[3]	1 分[2]	1 分[1]	1 分[0]
	RHRAR	ENB	—	10 時間[1]	10 時間[0]	1 時間[3]	1 時間[2]	1 時間[1]	1 時間[0]
	RWKAR	ENB	—	—	—	—	曜日[2]	曜日[1]	曜日[0]
	RDAYAR	ENB	—	10 日[1]	10 日[0]	1 日[3]	1 日[2]	1 日[1]	1 日[0]
	RMONAR	ENB	—	—	10 月	1 月[3]	1 月[2]	1 月[1]	1 月[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
リアルタイム クロック	RYRAR	1000 年[3]	1000 年[2]	1000 年[1]	1000 年[0]	100 年[3]	100 年[2]	100 年[1]	100 年[0]
		10 年[3]	10 年[2]	10 年[1]	10 年[0]	1 年[3]	1 年[2]	1 年[1]	1 年[0]
	RCR1	CF	—	—	CIE	AIE	—	—	AF
	RCR2	PEF	PES[2]	PES[1]	PES[0]	RTCEN	ADJ	RESET	START
	RCR3	ENB	—	—	—	—	—	—	—
	RCR5	—	—	—	—	—	—	RCKSEL[1]	RCKSEL[0]
	RFRH	SEL64	—	—	—	—	—	—	—
		—	—	—	—	—	RFC[18]	RFC[17]	RFC[16]
	RFRL	RFC[15]	RFC[14]	RFC[13]	RFC[12]	RFC[11]	RFC[10]	RFC[9]	RFC[8]
		RFC[7]	RFC[6]	RFC[5]	RFC[4]	RFC[3]	RFC[2]	RFC[1]	RFC[0]
FIFO 内蔵 シリアル コミュニケー ションインタ フェース	SCSMR_0	—	—	—	—	—	—	—	—
		C/Ā	CHR	PE	O/Ē	STOP	—	CKS[1]	CKS[0]
	SCBRR_0								
	SCSCR_0	—	—	—	—	—	—	—	—
		TIE	RIE	TE	RE	REIE	—	CKE[1]	CKE[0]
	SCFTDR_0								
	SCFSR_0	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_0								
	SCFCR_0	—	—	—	—	—	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_0	—	—	—	T[4]	T[3]	T[2]	T[1]	T[0]
		—	—	—	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_0	—	—	—	—	—	—	—	—
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ORER
	SCEMR_0	—	—	—	—	—	—	—	—
		BGDM	—	—	—	—	—	—	ABCS
	SCSMR_1	—	—	—	—	—	—	—	—
		C/Ā	CHR	PE	O/Ē	STOP	—	CKS[1]	CKS[0]
	SCBRR_1								
	SCSCR_1	—	—	—	—	—	—	—	—
		TIE	RIE	TE	RE	REIE	—	CKE[1]	CKE[0]
	SCFTDR_1								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FIFO 内蔵 シリアル コミュニケー ションインタ フェース	SCFSR_1	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_1								
	SCFCR_1	—	—	—	—	—	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_1	—	—	—	T[4]	T[3]	T[2]	T[1]	T[0]
		—	—	—	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_1	—	—	—	—	—	—	—	—
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ORER
	SCEMR_1	—	—	—	—	—	—	—	—
		BGDM	—	—	—	—	—	—	ABCS
	SCSMR_2	—	—	—	—	—	—	—	—
		C/Ā	CHR	PE	O/Ē	STOP	—	CKS[1]	CKS[0]
	SCBRR_2								
	SCSCR_2	—	—	—	—	—	—	—	—
		TIE	RIE	TE	RE	REIE	—	CKE[1]	CKE[0]
	SCFTDR_2								
	SCFSR_2	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_2								
	SCFCR_2	—	—	—	—	—	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_2	—	—	—	T[4]	T[3]	T[2]	T[1]	T[0]
		—	—	—	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_2	—	—	—	—	—	—	—	—
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_2	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ORER
	SCEMR_2	—	—	—	—	—	—	—	—
		BGDM	—	—	—	—	—	—	ABCS
	SCSMR_3	—	—	—	—	—	—	—	—
		C/Ā	CHR	PE	O/Ē	STOP	—	CKS[1]	CKS[0]
	SCBRR_3								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FIFO 内蔵 シリアル コミュニケー ションインタ フェース	SCSCR_3	—	—	—	—	—	—	—	—
		TIE	RIE	TE	RE	REIE	—	CKE[1]	CKE[0]
	SCFTDR_3								
	SCFSR_3	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_3								
	SCFCR_3	—	—	—	—	—	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_3	—	—	—	T[4]	T[3]	T[2]	T[1]	T[0]
		—	—	—	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_3	—	—	—	—	—	—	—	—
		—	—	—	—	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_3	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ORER
	SCEMR_3	—	—	—	—	—	—	—	—
		BGDM	—	—	—	—	—	—	ABCS
	SCEMR_4	—	—	—	—	—	—	—	—
		C/Ā	CHR	PE	O/Ē	STOP	—	CKS[1]	CKS[0]
	SCBRR_4								
	SCSCR_4	—	—	—	—	—	—	—	—
		TIE	RIE	TE	RE	REIE	—	CKE[1]	CKE[0]
	SCFTDR_4								
	SCFSR_4	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_4								
	SCFCR_4	—	—	—	—	—	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_4	—	—	—	T[4]	T[3]	T[2]	T[1]	T[0]
		—	—	—	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_4	—	—	—	—	—	—	—	—
		—	—	—	—	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_4	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ORER
	SCEMR_4	—	—	—	—	—	—	—	—
		BGDM	—	—	—	—	—	—	ABCS

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス シリアル ペリフェラル インタフェー ス	SPCR_0	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	—	—
	SSLP_0	—	—	—	—	—	—	—	SSL0P
	SPPCR_0	—	—	MOIFE	MOIFV	—	—	—	SPLP
	SPSR_0	SPRF	TEND	SPTIEF	—	—	MODF	—	OVRF
	SPDR_0	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_0	—	—	—	—	—	—	SPSLN1	SPSLN0
	SPSSR_0	—	—	—	—	—	—	SPCP1	SPCP0
	SPBR_0	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_0	TXDMY	SPLW1	SPLW0	—	—	—	—	—
	SPCKD_0	—	—	—	—	—	SCKDL2	SCKDL1	SCKDL0
	SSLND_0	—	—	—	—	—	SLNDL2	SLNDL1	SLNDL0
	SPND_0	—	—	—	—	—	SPNDL2	SPNDL1	SPNDL0
	SPCMD_00	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_01	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_02	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_03	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPBFDR_0	TXRST	RXRST	TXTRG[1]	TXTRG[0]	—	RXTRG[2]	RXTRG[1]	RXTRG[0]
	SPBFDR_0	—	—	—	—	T[3]	T[2]	T[1]	T[0]
		—	—	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]
	SPCR_1	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	—	—
	SSLP_1	—	—	—	—	—	—	—	SSL0P
	SPPCR_1	—	—	MOIFE	MOIFV	—	—	—	SPLP
	SPSR_1	SPRF	TEND	SPTIEF	—	—	MODF	—	OVRF

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス シリアル ペリフェラル インタフェー ス	SPDR_1	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_1	—	—	—	—	—	—	SPSLN1	SPSLN0
	SPSSR_1	—	—	—	—	—	—	SPCP1	SPCP0
	SPBR_1	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_1	TXDMY	SPLW1	SPLW0	—	—	—	—	—
	SPCKD_1	—	—	—	—	—	SCKDL2	SCKDL1	SCKDL0
	SSLND_1	—	—	—	—	—	SLNDL2	SLNDL1	SLNDL0
	SPND_1	—	—	—	—	—	SPNDL2	SPNDL1	SPNDL0
	SPCMD_10	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_11	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_12	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_13	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPBFCR_1	TXRST	RXRST	TXTRG[1]	TXTRG[0]	—	RXTRG[2]	RXTRG[1]	RXTRG[0]
	SPBFDR_1	—	—	—	—	T[3]	T[2]	T[1]	T[0]
		—	—	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]
	SPCR_2	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	—	—
	SSLP_2	—	—	—	—	—	—	—	SSL0P
	SPPCR_2	—	—	MOIFE	MOIFV	—	—	—	SPLP
	SPSR_2	SPRF	TEND	SPTEF	—	—	MODF	—	OVRF
	SPDR_2	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス シリアル ペリフェラル インタフェー ス	SPSCR_2	—	—	—	—	—	—	SPSLN1	SPSLN0
	SPSSR_2	—	—	—	—	—	—	SPCP1	SPCP0
	SPBR_2	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_2	TXDMY	SPLW1	SPLW0	—	—	—	—	—
	SPCKD_2	—	—	—	—	—	SCKDL2	SCKDL1	SCKDL0
	SSLND_2	—	—	—	—	—	SLNDL2	SLNDL1	SLNDL0
	SPND_2	—	—	—	—	—	SPNDL2	SPNDL1	SPNDL0
	SPCMD_20	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_21	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_22	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPCMD_23	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
	SPBFCR_2	TXRST	RXRST	TXTRG[1]	TXTRG[0]	—	RXTRG[2]	RXTRG[1]	RXTRG[0]
	SPBFDR_2	—	—	—	—	T[3]	T[2]	T[1]	T[0]
		—	—	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]
SPI マルチ I/O バス コントローラ	CMNCR	MD	—	—	—	—	—	—	—
		MOIO3[1]	MOIO3[0]	MOIO2[1]	MOIO2[0]	MOIO1[1]	MOIO1[0]	MOIO0[1]	MOIO0[0]
		IO3FV[1]	IO3FV[0]	IO2FV[1]	IO2FV[0]	—	—	IO0FV[1]	IO0FV[0]
		—	CPHAT	CPHAR	SSLP	CPOL	—	BSZ[1]	BSZ[0]
	SSLDR	—	—	—	—	—	—	—	—
		—	—	—	—	—	SPNDL[2]	SPNDL[1]	SPNDL[0]
		—	—	—	—	—	SLNDL[2]	SLNDL[1]	SLNDL[0]
		—	—	—	—	—	SCKDL[2]	SCKDL[1]	SCKDL[0]
	SPBCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		SPBR[7]	SPBR[6]	SPBR[5]	SPBR[4]	SPBR[3]	SPBR[2]	SPBR[1]	SPBR[0]
		—	—	—	—	—	—	BRDV[1]	BRDV[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SPI マルチ I/O バス コントローラ	DRCR	—	—	—	—	—	—	—	SSLN
		—	—	—	—	RBURST[3]	RBURST[2]	RBURST[1]	RBURST[0]
		—	—	—	—	—	—	RCF	RBE
		—	—	—	—	—	—	—	SSLE
	DRCMR	—	—	—	—	—	—	—	—
		CMD[7]	CMD[6]	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		—	—	—	—	—	—	—	—
		OCMD[7]	OCMD[6]	OCMD[5]	OCMD[4]	OCMD[3]	OCMD[2]	OCMD[1]	OCMD[0]
	DREAR	—	—	—	—	—	—	—	—
		EAV[7]	EAV[6]	EAV[5]	EAV[4]	EAV[3]	EAV[2]	EAV[1]	EAV[0]
		—	—	—	—	—	—	—	—
		—	—	—	—	—	EAC[2]	EAC[1]	EAC[0]
	DROPR	OPD3[7]	OPD3[6]	OPD3[5]	OPD3[4]	OPD3[3]	OPD3[2]	OPD3[1]	OPD3[0]
		OPD2[7]	OPD2[6]	OPD2[5]	OPD2[4]	OPD2[3]	OPD2[2]	OPD2[1]	OPD2[0]
		OPD1[7]	OPD1[6]	OPD1[5]	OPD1[4]	OPD1[3]	OPD1[2]	OPD1[1]	OPD1[0]
		OPD0[7]	OPD0[6]	OPD0[5]	OPD0[4]	OPD0[3]	OPD0[2]	OPD0[1]	OPD0[0]
	DRENr	CDB[1]	CDB[0]	OCDB[1]	OCDB[0]	—	—	ADB[1]	ADB[0]
		—	—	OPDB[1]	OPDB[0]	—	—	DRDB[1]	DRDB[0]
		—	CDE	—	OCDE	ADE[3]	ADE[2]	ADE[1]	ADE[0]
		OPDE[3]	OPDE[2]	OPDE[1]	OPDE[0]	—	—	—	—
	SMCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	SSLKP
		—	—	—	—	—	SPIRE	SPIWE	SPIE
	SMCMR	—	—	—	—	—	—	—	—
		CMD[7]	CMD[6]	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		—	—	—	—	—	—	—	—
		OCMD[7]	OCMD[6]	OCMD[5]	OCMD[4]	OCMD[3]	OCMD[2]	OCMD[1]	OCMD[0]
	SMADR	ADR[31]	ADR[30]	ADR[29]	ADR[28]	ADR[27]	ADR[26]	ADR[25]	ADR[24]
		ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]
		ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]
		ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SPI マルチ I/O バス コントローラ	SMOPR	OPD3[7]	OPD3[6]	OPD3[5]	OPD3[4]	OPD3[3]	OPD3[2]	OPD3[1]	OPD3[0]
		OPD2[7]	OPD2[6]	OPD2[5]	OPD2[4]	OPD2[3]	OPD2[2]	OPD2[1]	OPD2[0]
		OPD1[7]	OPD1[6]	OPD1[5]	OPD1[4]	OPD1[3]	OPD1[2]	OPD1[1]	OPD1[0]
		OPD0[7]	OPD0[6]	OPD0[5]	OPD0[4]	OPD0[3]	OPD0[2]	OPD0[1]	OPD0[0]
	SMENR	CDB[1]	CDB[0]	OCDB[1]	OCDB[0]	—	—	ADB[1]	ADB[0]
		—	—	OPDB[1]	OPDB[0]	—	—	SPIDB[1]	SPIDB[0]
		—	CDE	—	OCDE	ADE[3]	ADE[2]	ADE[1]	ADE[0]
		OPDE[3]	OPDE[2]	OPDE[1]	OPDE[0]	SPIDE[3]	SPIDE[2]	SPIDE[1]	SPIDE[0]
	SMRDR0	RDATA0[31]	RDATA0[30]	RDATA0[29]	RDATA0[28]	RDATA0[27]	RDATA0[26]	RDATA0[25]	RDATA0[24]
		RDATA0[23]	RDATA0[22]	RDATA0[21]	RDATA0[20]	RDATA0[19]	RDATA0[18]	RDATA0[17]	RDATA0[16]
		RDATA0[15]	RDATA0[14]	RDATA0[13]	RDATA0[12]	RDATA0[11]	RDATA0[10]	RDATA0[9]	RDATA0[8]
		RDATA0[7]	RDATA0[6]	RDATA0[5]	RDATA0[4]	RDATA0[3]	RDATA0[2]	RDATA0[1]	RDATA0[0]
	SMRDR1	RDATA1[31]	RDATA1[30]	RDATA1[29]	RDATA1[28]	RDATA1[27]	RDATA1[26]	RDATA1[25]	RDATA1[24]
		RDATA1[23]	RDATA1[22]	RDATA1[21]	RDATA1[20]	RDATA1[19]	RDATA1[18]	RDATA1[17]	RDATA1[16]
		RDATA1[15]	RDATA1[14]	RDATA1[13]	RDATA1[12]	RDATA1[11]	RDATA1[10]	RDATA1[9]	RDATA1[8]
		RDATA1[7]	RDATA1[6]	RDATA1[5]	RDATA1[4]	RDATA1[3]	RDATA1[2]	RDATA1[1]	RDATA1[0]
	SMWDR0	WDATA0[31]	WDATA0[30]	WDATA0[29]	WDATA0[28]	WDATA0[27]	WDATA0[26]	WDATA0[25]	WDATA0[24]
		WDATA0[23]	WDATA0[22]	WDATA0[21]	WDATA0[20]	WDATA0[19]	WDATA0[18]	WDATA0[17]	WDATA0[16]
		WDATA0[15]	WDATA0[14]	WDATA0[13]	WDATA0[12]	WDATA0[11]	WDATA0[10]	WDATA0[9]	WDATA0[8]
		WDATA0[7]	WDATA0[6]	WDATA0[5]	WDATA0[4]	WDATA0[3]	WDATA0[2]	WDATA0[1]	WDATA0[0]
	SMWDR1	WDATA1[31]	WDATA1[30]	WDATA1[29]	WDATA1[28]	WDATA1[27]	WDATA1[26]	WDATA1[25]	WDATA1[24]
		WDATA1[23]	WDATA1[22]	WDATA1[21]	WDATA1[20]	WDATA1[19]	WDATA1[18]	WDATA1[17]	WDATA1[16]
		WDATA1[15]	WDATA1[14]	WDATA1[13]	WDATA1[12]	WDATA1[11]	WDATA1[10]	WDATA1[9]	WDATA1[8]
		WDATA1[7]	WDATA1[6]	WDATA1[5]	WDATA1[4]	WDATA1[3]	WDATA1[2]	WDATA1[1]	WDATA1[0]
	CMNSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	SSLF	TEND
	SPBACR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		Guard Bit[7]	Guard Bit[6]	Guard Bit[5]	Guard Bit[4]	Guard Bit[3]	Guard Bit[2]	Guard Bit[1]	Guard Bit[0]
		—	—	—	—	SPBAC[3]	SPBAC[2]	SPBAC[1]	SPBAC[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PCバス インタフェース3	ICCR1_0	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_0	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
	ICMR_0	MLS	—	—	—	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_0	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_0								
	ICDRR_0								
	NF2CYC_0	—	—	—	CKS4	—	—	PRS	NF2CYC
	ICCR1_1	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_1	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
	ICMR_1	MLS	—	—	—	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_1	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_1								
	ICDRR_1								
	NF2CYC_1	—	—	—	CKS4	—	—	PRS	NF2CYC
	ICCR1_2	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_2	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
	ICMR_2	MLS	—	—	—	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_2	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_2	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_2	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_2								
	ICDRR_2								
	NF2CYC_2	—	—	—	CKS4	—	—	PRS	NF2CYC
	ICCR1_3	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_3	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
	ICMR_3	MLS	—	—	—	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_3	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_3	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_3	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_3								
	ICDRR_3								
	NF2CYC_3	—	—	—	CKS4	—	—	PRS	NF2CYC

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
シリアル サウンド インタフェース	SSICR_0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	I IEN	—
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	—	TEN	REN
	SSISR_0	—	—	TUIRQ	TOIRQ	RUIRQ	ROI RQ	IIRQ	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_0	—	—	—	—	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		—	—	—	—	—	—	—	TDE
		—	—	—	—	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		—	—	—	—	—	—	—	RDF
	SSIFTDR_0								
	SSIFRDR_0								
	SSITDMR_0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	CONT
		—	—	—	—	—	—	—	TDM
	SSICR_1	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	I IEN	—
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	—	TEN	REN

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
シリアル サウンド インタフェース	SSISR_1	—	—	TUIRQ	TOI	RUIRQ	ROIIRQ	IIRQ	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_1	—	—	—	—	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		—	—	—	—	—	—	—	TDE
		—	—	—	—	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		—	—	—	—	—	—	—	RDF
	SSIFTDR_1								
	SSIFRDR_1								
	SSITDMR_1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	CONT
		—	—	—	—	—	—	—	TDM
	SSICR_2	—	CKS	TUIEN	TOIMEN	RUIEN	ROIEN	IIEEN	—
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[1]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	—	TEN	REN
	SSISR_2	—	—	TUIRQ	TOIRQ	RUIRQ	ROIIRQ	IIRQ	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_2	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
シリアル サウンド インタフェース	SSIFSR_2	—	—	—	—	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		—	—	—	—	—	—	—	TDE
		—	—	—	—	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		—	—	—	—	—	—	—	RDF
	SSIFTDR_2								
	SSIFRDR_2								
	SSITDMR_2	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	CONT
		—	—	—	—	—	—	—	TDM
	SSICR_3	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	I IEN	—
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	—	TEN	REN
	SSISR_3	—	—	TUIRQ	TOIRQ	RUIRQ	ROI RQ	IIRQ	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_3	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_3	—	—	—	—	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		—	—	—	—	—	—	—	TDE
		—	—	—	—	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		—	—	—	—	—	—	—	RDF

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
シリアル サウンド インタフェース	SSIFTDR_3								
	SSIFRDR_3								
	SSITDMR_3	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	CONT
		—	—	—	—	—	—	—	TDM
FIFO 付き クロック同期 シリアル I/O	SIMDR	TRMD[1]	TRMD[0]	SYNCAT	REDG	FL[3]	FL[2]	FL[1]	FL[0]
		TXDIZ	—	SYNCAC	SYNCDL	—	—	—	—
	SISCR	MSSEL	—	—	BRPS[4]	BRPS[3]	BRPS[2]	BRPS[1]	BRPS[0]
		—	—	—	—	—	BRDV[2]	BRDV[1]	BRDV[0]
	SITDAR	TDLE	—	—	—	TDLA[3]	TDLA[2]	TDLA[1]	TDLA[0]
		TDRE	TLREP	—	—	TDRA[3]	TDRA[2]	TDRA[1]	TDRA[0]
	SIRDAR	RDLE	—	—	—	RDLA[3]	RDLA[2]	RDLA[1]	RDLA[0]
		RDRE	—	—	—	RDRA[3]	RDRA[2]	RDRA[1]	RDRA[0]
	SICTR	SCKE	FSE	—	—	—	—	TXE	RXE
		—	—	—	—	—	—	TXRST	RXRST
	SIFCTR	TFWM[2]	TFWM[1]	TFWM[0]	TFUA[4]	TFUA[3]	TFUA[2]	TFUA[1]	TFUA[0]
		RFWM[2]	RFWM[1]	RFWM[0]	RFUA[4]	RFUA[3]	RFUA[2]	RFUA[1]	RFUA[0]
	SISTR	—	—	TFEMP	TDREQ	—	—	RFFUL	RDREQ
		—	—	—	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
	SIER	TDMAE	—	TFEMPE	TDREQE	RDMAE	—	RFFULE	RDREQE
		—	—	—	FSERRE	TFOVFE	TFUDFE	RFUDFE	RFOVFE
	SITDR	SITDL[15]	SITDL[14]	SITDL[13]	SITDL[12]	SITDL[11]	SITDL[10]	SITDL[9]	SITDL[8]
		SITDL[7]	SITDL[6]	SITDL[5]	SITDL[4]	SITDL[3]	SITDL[2]	SITDL[1]	SITDL[0]
		SITDR[15]	SITDR[14]	SITDR[13]	SITDR[12]	SITDR[11]	SITDR[10]	SITDR[9]	SITDR[8]
		SITDR[7]	SITDR[6]	SITDR[5]	SITDR[4]	SITDR[3]	SITDR[2]	SITDR[1]	SITDR[0]
	SIRD	SIRDL[15]	SIRDL[14]	SIRDL[13]	SIRDL[12]	SIRDL[11]	SIRDL[10]	SIRDL[9]	SIRDL[8]
		SIRDL[7]	SIRDL[6]	SIRDL[5]	SIRDL[4]	SIRDL[3]	SIRDL[2]	SIRDL[1]	SIRDL[0]
		SIRDR[15]	SIRDR[14]	SIRDR[13]	SIRDR[12]	SIRDR[11]	SIRDR[10]	SIRDR[9]	SIRDR[8]
		SIRDR[7]	SIRDR[6]	SIRDR[5]	SIRDR[4]	SIRDR[3]	SIRDR[2]	SIRDR[1]	SIRDR[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	MCR_0	MCR15	MCR14	—	—	—	TST[2]	TST[1]	TST[0]
		MCR7	MCR6	MCR5	—	—	MCR2	MCR1	MCR0
	GSR_0	—	—	—	—	—	—	—	—
		—	—	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
	BCR1_0	TSG1[3]	TSG1[2]	TSG1[1]	TSG1[0]	—	TSG2[2]	TSG2[1]	TSG2[0]
		—	—	SJW[1]	SJW[0]	—	—	—	BSP
	BCR0_0	—	—	—	—	—	—	—	—
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]
	IRR_0	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
	IMR_0	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
	TEC_REC_0	TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]
		REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]
	TXPR1_0	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]
		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]
	TXPR0_0	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]
		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	—
	TXCR1_0	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]
		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]
	TXCR0_0	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]
		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	—
	TXACK1_0	TXACK1[15]	TXACK1[14]	TXACK1[13]	TXACK1[12]	TXACK1[11]	TXACK1[10]	TXACK1[9]	TXACK1[8]
		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]
	TXACK0_0	TXACK0[15]	TXACK0[14]	TXACK0[13]	TXACK0[12]	TXACK0[11]	TXACK0[10]	TXACK0[9]	TXACK0[8]
		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	—
	ABACK1_0	ABACK1[15]	ABACK1[14]	ABACK1[13]	ABACK1[12]	ABACK1[11]	ABACK1[10]	ABACK1[9]	ABACK1[8]
		ABACK1[7]	ABACK1[6]	ABACK1[5]	ABACK1[4]	ABACK1[3]	ABACK1[2]	ABACK1[1]	ABACK1[0]
	ABACK0_0	ABACK0[15]	ABACK0[14]	ABACK0[13]	ABACK0[12]	ABACK0[11]	ABACK0[10]	ABACK0[9]	ABACK0[8]
		ABACK0[7]	ABACK0[6]	ABACK0[5]	ABACK0[4]	ABACK0[3]	ABACK0[2]	ABACK0[1]	—
	RXPR1_0	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]
		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	RXPR0_0	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]
		RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]
	RFPR1_0	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]
		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]
	RFPR0_0	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]
		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]
	MBIMR1_0	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]
		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]
	MBIMR0_0	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]
		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]
	UMSR1_0	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]
		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]
	UMSR0_0	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]
		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]
	TTCR0_0	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	—	—
		—	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_TEW_0	—	—	—	—	—	CMAX[2]	CMAX[1]	CMAX[0]
		—	—	—	—	TEW[3]	TEW[2]	TEW[1]	TEW[0]
	RFTROFF_0	RFTROFF[7]	RFTROFF[6]	RFTROFF[5]	RFTROFF[4]	RFTROFF[3]	RFTROFF[2]	RFTROFF[1]	RFTROFF[0]
		—	—	—	—	—	—	—	—
	TSR_0	—	—	—	—	—	—	—	—
		—	—	—	TSR4	TSR3	TSR2	TSR1	TSR0
	CCR_0	—	—	—	—	—	—	—	—
		—	—	CCR[5]	CCR[4]	CCR[3]	CCR[2]	CCR[1]	CCR[0]
	TCNTR_0	TCNTR[15]	TCNTR[14]	TCNTR[13]	TCNTR[12]	TCNTR[11]	TCNTR[10]	TCNTR[9]	TCNTR[8]
		TCNTR[7]	TCNTR[6]	TCNTR[5]	TCNTR[4]	TCNTR[3]	TCNTR[2]	TCNTR[1]	TCNTR[0]
	CYCTR_0	CYCTR[15]	CYCTR[14]	CYCTR[13]	CYCTR[12]	CYCTR[11]	CYCTR[10]	CYCTR[9]	CYCTR[8]
		CYCTR[7]	CYCTR[6]	CYCTR[5]	CYCTR[4]	CYCTR[3]	CYCTR[2]	CYCTR[1]	CYCTR[0]
	RFMK_0	RFMK[15]	RFMK[14]	RFMK[13]	RFMK[12]	RFMK[11]	RFMK[10]	RFMK[9]	RFMK[8]
		RFMK[7]	RFMK[6]	RFMK[5]	RFMK[4]	RFMK[3]	RFMK[2]	RFMK[1]	RFMK[0]
	TCMR0_0	TCMR0[15]	TCMR0[14]	TCMR0[13]	TCMR0[12]	TCMR0[11]	TCMR0[10]	TCMR0[9]	TCMR0[8]
		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]
	TCMR1_0	TCMR1[15]	TCMR1[14]	TCMR1[13]	TCMR1[12]	TCMR1[11]	TCMR1[10]	TCMR1[9]	TCMR1[8]
		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]
	TCMR2_0	TCMR2[15]	TCMR2[14]	TCMR2[13]	TCMR2[12]	TCMR2[11]	TCMR2[10]	TCMR2[9]	TCMR2[8]
		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	TTTSEL_0	—	TTTSEL[14]	TTTSEL[13]	TTTSEL[12]	TTTSEL[11]	TTTSEL[10]	TTTSEL[9]	TTTSEL[8]
		—	—	—	—	—	—	—	—
	MBn_CONTRO L0_H_0	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]
	(n=0~31)* ¹	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]
	MBn_CONTRO L0_H_0	IDE	RTR	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]
	(n=0~31)* ²	STDID[5]	STDID[4]	STDID[3]	STDID[2]	STDID[1]	STDID[0]	EXTID[17]	EXTID[16]
	MBn_CONTRO L0_L_0	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]
	(n=0~31)	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]
	MBn_LAFM0_0	—	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]	STDID_ LAFM[5]	STDID_ LAFM[4]
	(n=0~31)* ¹	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	—	IDE	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM0_0	IDE	—	—	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]
	(n=0~31)* ²	STDID_ LAFM[5]	STDID_ LAFM[4]	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM1_0	EXTID_ LAFM[15]	EXTID_ LAFM[14]	EXTID_ LAFM[13]	EXTID_ LAFM[12]	EXTID_ LAFM[11]	EXTID_ LAFM[10]	EXTID_ LAFM[9]	EXTID_ LAFM[8]
	(n=0~31)	EXTID_ LAFM[7]	EXTID_ LAFM[6]	EXTID_ LAFM[5]	EXTID_ LAFM[4]	EXTID_ LAFM[3]	EXTID_ LAFM[2]	EXTID_ LAFM[1]	EXTID_ LAFM[0]
	MBn_DATA_ 01_0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0
	(n=0~31)	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1
	MBn_DATA_ 23_0	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2
	(n=0~31)	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3
	MBn_DATA_ 45_0	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4
	(n=0~31)	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5
	MBn_DATA_ 67_0	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6
	(n=0~31)	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7
	MBn_CONTRO L1_0	—	—	NMC	—	—	MBC[2]	MBC[1]	MBC[0]
	(n=0)	—	—	—	—	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_CONTRO L1_0	—	—	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]
	(n=1~31)	—	—	—	—	DLC[3]	DLC[2]	DLC[1]	DLC[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	MBn_TIME	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8
	STAMP_0 (n=0~15、30、 31)	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
	MBn_TTT_0 (n=24~30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8
		TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
	MBn_TT CONTROL_0 (n=24~29)	TTW[1]	TTW[0]	OFFSET[5]	OFFSET[4]	OFFSET[3]	OFFSET[2]	OFFSET[1]	OFFSET[0]
		—	—	—	—	—	REP_ FACTOR[2]	REP_ FACTOR[1]	REP_ FACTOR[0]
	MCR_1	MCR15	MCR14	—	—	—	TST[2]	TST[1]	TST[0]
		MCR7	MCR6	MCR5	—	—	MCR2	MCR1	MCR0
	GSR_1	—	—	—	—	—	—	—	—
		—	—	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
	BCR1_1	TSG1[3]	TSG1[2]	TSG1[1]	TSG1[0]	—	TSG2[2]	TSG2[1]	TSG2[0]
		—	—	SJW[1]	SJW[0]	—	—	—	BSP
	BCR0_1	—	—	—	—	—	—	—	—
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]
	IRR_1	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
	IMR_1	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
	TEC_REC_1	TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]
		REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]
	TXPR1_1	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]
		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]
	TXPR0_1	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]
		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	—
	TXCR1_1	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]
		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]
	TXCR0_1	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]
		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	—
	TXACK1_1	TXACK1[15]	TXACK1[14]	TXACK1[13]	TXACK1[12]	TXACK1[11]	TXACK1[10]	TXACK1[9]	TXACK1[8]
		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]
	TXACK0_1	TXACK0[15]	TXACK0[14]	TXACK0[13]	TXACK0[12]	TXACK0[11]	TXACK0[10]	TXACK0[9]	TXACK0[8]
		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	—
	ABACK1_1	ABACK1[15]	ABACK1[14]	ABACK1[13]	ABACK1[12]	ABACK1[11]	ABACK1[10]	ABACK1[9]	ABACK1[8]
		ABACK1[7]	ABACK1[6]	ABACK1[5]	ABACK1[4]	ABACK1[3]	ABACK1[2]	ABACK1[1]	ABACK1[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	ABACK0_1	ABACK0[15]	ABACK0[14]	ABACK0[13]	ABACK0[12]	ABACK0[11]	ABACK0[10]	ABACK0[9]	ABACK0[8]
		ABACK0[7]	ABACK0[6]	ABACK0[5]	ABACK0[4]	ABACK0[3]	ABACK0[2]	ABACK0[1]	—
	RXPR1_1	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]
		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]
	RXPR0_1	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]
		RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]
	RFPR1_1	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]
		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]
	RFPR0_1	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]
		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]
	MBIMR1_1	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]
		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]
	MBIMR0_1	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]
		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]
	UMSR1_1	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]
		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]
	UMSR0_1	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]
		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]
	TTCR0_1	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	—	—
		—	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_ TEW_1	—	—	—	—	—	CMAX[2]	CMAX[1]	CMAX[0]
		—	—	—	—	TEW[3]	TEW[2]	TEW[1]	TEW[0]
	RFTROFF_1	RFTROFF[7]	RFTROFF[6]	RFTROFF[5]	RFTROFF[4]	RFTROFF[3]	RFTROFF[2]	RFTROFF[1]	RFTROFF[0]
		—	—	—	—	—	—	—	—
	TSR_1	—	—	—	—	—	—	—	—
		—	—	—	TSR4	TSR3	TSR2	TSR1	TSR0
	CCR_1	—	—	—	—	—	—	—	—
		—	—	CCR[5]	CCR[4]	CCR[3]	CCR[2]	CCR[1]	CCR[0]
	TCNTR_1	TCNTR[15]	TCNTR[14]	TCNTR[13]	TCNTR[12]	TCNTR[11]	TCNTR[10]	TCNTR[9]	TCNTR[8]
		TCNTR[7]	TCNTR[6]	TCNTR[5]	TCNTR[4]	TCNTR[3]	TCNTR[2]	TCNTR[1]	TCNTR[0]
	CYCTR_1	CYCTR[15]	CYCTR[14]	CYCTR[13]	CYCTR[12]	CYCTR[11]	CYCTR[10]	CYCTR[9]	CYCTR[8]
		CYCTR[7]	CYCTR[6]	CYCTR[5]	CYCTR[4]	CYCTR[3]	CYCTR[2]	CYCTR[1]	CYCTR[0]
	RFMK_1	RFMK[15]	RFMK[14]	RFMK[13]	RFMK[12]	RFMK[11]	RFMK[10]	RFMK[9]	RFMK[8]
		RFMK[7]	RFMK[6]	RFMK[5]	RFMK[4]	RFMK[3]	RFMK[2]	RFMK[1]	RFMK[0]
	TCMR0_1	TCMR0[15]	TCMR0[14]	TCMR0[13]	TCMR0[12]	TCMR0[11]	TCMR0[10]	TCMR0[9]	TCMR0[8]
		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	TCMR1_1	TCMR1[15]	TCMR1[14]	TCMR1[13]	TCMR1[12]	TCMR1[11]	TCMR1[10]	TCMR1[9]	TCMR1[8]
		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]
	TCMR2_1	TCMR2[15]	TCMR2[14]	TCMR2[13]	TCMR2[12]	TCMR2[11]	TCMR2[10]	TCMR2[9]	TCMR2[8]
		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]
	TTTSEL_1	—	TTTSEL[14]	TTTSEL[13]	TTTSEL[12]	TTTSEL[11]	TTTSEL[10]	TTTSEL[9]	TTTSEL[8]
		—	—	—	—	—	—	—	—
	MBn_CONTRO L0_H_1 (n=0~31)* ¹	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]
		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]
	MBn_CONTRO L0_H_1 (n=0~31)* ²	IDE	RTR	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]
		STDID[5]	STDID[4]	STDID[3]	STDID[2]	STDID[1]	STDID[0]	EXTID[17]	EXTID[16]
	MBn_CONTRO L0_L_1 (n=0~31)	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]
		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]
	MBn_LAFM0_1 (n=0~31)* ¹	—	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]	STDID_ LAFM[5]	STDID_ LAFM[4]
		STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	—	IDE	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM0_1 (n=0~31)* ²	IDE	—	—	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]
		STDID_ LAFM[5]	STDID_ LAFM[4]	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM1_1 (n=0~31)	EXTID_ LAFM[15]	EXTID_ LAFM[14]	EXTID_ LAFM[13]	EXTID_ LAFM[12]	EXTID_ LAFM[11]	EXTID_ LAFM[10]	EXTID_ LAFM[9]	EXTID_ LAFM[8]
		EXTID_ LAFM[7]	EXTID_ LAFM[6]	EXTID_ LAFM[5]	EXTID_ LAFM[4]	EXTID_ LAFM[3]	EXTID_ LAFM[2]	EXTID_ LAFM[1]	EXTID_ LAFM[0]
	MBn_DATA_ 01_1 (n=0~31)	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0
		MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1
	MBn_DATA_ 23_1 (n=0~31)	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2
		MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3
	MBn_DATA_ 45_1 (n=0~31)	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4
		MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5
	MBn_DATA_ 67_1 (n=0~31)	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6
		MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
コントローラ エリア ネットワーク	MBn_	—	—	NMC	—	—	MBC[2]	MBC[1]	MBC[0]
	CONTROL1_1 (n=0)	—	—	—	—	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_CONTROL1_1 (n=1~31)	—	—	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]
		—	—	—	—	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_TIME STAMP_1 (n=0~15、30、 31)	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8
		TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
	MBn_TTT_1 (n=24~30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8
		TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
	MBn_TT CONTROL_1 (n=24~29)	TTW[1]	TTW[0]	OFFSET[5]	OFFSET[4]	OFFSET[3]	OFFSET[2]	OFFSET[1]	OFFSET[0]
		—	—	—	—	—	REP_ FACTOR[2]	REP_ FACTOR[1]	REP_ FACTOR[0]
IEBus コントローラ	IECTR	—	IOL	DEE	—	RE	—	—	—
	IECMR	—	—	—	—	—	CMD[2]	CMD[1]	CMD[0]
	IEMCR	SS	RN[2]	RN[1]	RN[0]	CTL[3]	CTL[2]	CTL[1]	CTL[0]
	IEAR1	IARL4[3]	IARL4[2]	IARL4[1]	IARL4[0]	IMD[1]	IMD[0]	—	STE
	IEAR2	IARU8[7]	IARU8[6]	IARU8[5]	IARU8[4]	IARU8[3]	IARU8[2]	IARU8[1]	IARU8[0]
	IESA1	ISAL4[3]	ISAL4[2]	ISAL4[1]	ISAL4[0]	—	—	—	—
	IESA2	ISAU8[7]	ISAU8[6]	ISAU8[5]	ISAU8[4]	ISAU8[3]	ISAU8[2]	ISAU8[1]	ISAU8[0]
	IETBFL	IBFL[7]	IBFL[6]	IBFL[5]	IBFL[4]	IBFL[3]	IBFL[2]	IBFL[1]	IBFL[0]
	IEMA1	IMAL4[3]	IMAL4[2]	IMAL4[1]	IMAL4[0]	—	—	—	—
	IEMA2	IMAU8[7]	IMAU8[6]	IMAU8[5]	IMAU8[4]	IMAU8[3]	IMAU8[2]	IMAU8[1]	IMAU8[0]
	IERCTL	—	—	—	—	RCTL[3]	RCTL[2]	RCTL[1]	RCTL[0]
	IERBFL	RBFL[7]	RBFL[6]	RBFL[5]	RBFL[4]	RBFL[3]	RBFL[2]	RBFL[1]	RBFL[0]
	IELA1	ILAL8[7]	ILAL8[6]	ILAL8[5]	ILAL8[4]	ILAL8[3]	ILAL8[2]	ILAL8[1]	ILAL8[0]
	IELA2	—	—	—	—	ILAU4[3]	ILAU4[2]	ILAU4[1]	ILAU4[0]
	IEFLG	CMX	MRQ	SRQ	SRE	LCK	—	RSS	GG
	IETSR	—	TXS	TXF	—	TXEAL	TXETIME	TXERO	TXEACK
	IEIET	—	TXSE	TXFE	—	TXEAL	TXETTIME	TXEROE	TXEACK
	IERSR	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXERTIME	RXEDLE	RXEPE
	IEIER	RXBSYE	RXSE	RXFE	RXEDEE	RXEOVEE	RXERTMEE	RXEDLEE	RXEPEE
	IECKSR	—	—	—	CKS3	—	CKS[2]	CKS[1]	CKS[0]
	IETB001~ IETB128								
	IERB001~ IERB128								

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス SPDIF インタフェース	TLCA	—	—	—	—	—	—	—	—
	TRCA	—	—	—	—	—	—	—	—
	TLCS	—	—	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		—	—	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	—
	TRCS	—	—	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		—	—	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	—
	TUI								
	RLCA	—	—	—	—	—	—	—	—
	RRCA	—	—	—	—	—	—	—	—
	RLCS	—	—	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		—	—	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	—
	RRCS	—	—	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		—	—	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ルネサス SPDIF インタフェー ス	RUI								
	CTRL	—	—	—	CKS	—	PB	RASS[1]	RASS[0]
		TASS[1]	TASS[0]	RDE	TDE	NCSI	AOS	RME	TME
		REIE	TEIE	UBOI	UBUI	CREI	PAEI	PREI	CSEI
		ABOI	ABUI	RUII	TUII	RCSI	RCBI	TCSI	TCBI
	STAT	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	CMD
		RIS	TIS	UBO	UBU	CE	PARE	PREE	CSE
		ABO	ABU	RUIR	TUIR	CSRX	CBRX	CSTX	CBTX
	TDAD	—	—	—	—	—	—	—	—
	RDAD	—	—	—	—	—	—	—	—
CD-ROM デコーダ	CROMEN	SUBC_EN	CROM_EN	CROM_STP	—	—	—	—	—
	CROMSY0	SY_AUT	SY_IEN	SY_DEN	—	—	—	—	—
	CROMCTL0	MD_DESC	—	MD_AUTO	MD_AUTOS1	MD_AUTOS2	MD_SEC[2]	MD_SEC[1]	MD_SEC[0]
	CROMCTL1	M2F2EDC	MD_DEC[2]	MD_DEC[1]	MD_DEC[0]	—	—	MD_ PQREP[1]	MD_ PQREP[0]
	CROMCTL3	STP_ECC	STP_EDC	—	STP_MD	STP_MIN	—	—	—
	CROMCTL4	—	LINK2	—	EROSL	NO_ECC	—	—	—
	CROMCTL5	—	—	—	—	—	—	—	MSF_LBA_ SEL
	CROMST0	—	—	ST_SYIL	ST_SYNO	ST_BLKs	ST_BLKL	ST_SECS	ST_SECL
	CROMST1	—	—	—	—	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
	CROMST3	ER2_SHEAD0	ER2_SHEAD1	ER2_SHEAD2	ER2_SHEAD3	ER2_SHEAD4	ER2_SHEAD5	ER2_SHEAD6	ER2_SHEAD7
	CROMST4	NG_MD	NG_MDCMP1	NG_MDCMP2	NG_MDCMP3	NG_MDCMP4	NG_MDDEF	NG_MDTIM1	NG_MDTIM2
	CROMST5	ST_AMD[2]	ST_AMD[1]	ST_AMD[0]	ST_MDx	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1
	CROMST6	ST_ERR	—	ST_ECCABT	ST_ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
	CBUFST0	BUF_REF	BUF_ACT	—	—	—	—	—	—
	CBUFST1	BUF_ECC	BUF_EDC	—	BUF_MD	BUF_MIN	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CD-ROM デコーダ	CBUFST2	BUF_NG	—	—	—	—	—	—	—
	HEAD00	HEAD00[7]	HEAD00[6]	HEAD00[5]	HEAD00[4]	HEAD00[3]	HEAD00[2]	HEAD00[1]	HEAD00[0]
	HEAD01	HEAD01[7]	HEAD01[6]	HEAD01[5]	HEAD01[4]	HEAD01[3]	HEAD01[2]	HEAD01[1]	HEAD01[0]
	HEAD02	HEAD02[7]	HEAD02[6]	HEAD02[5]	HEAD02[4]	HEAD02[3]	HEAD02[2]	HEAD02[1]	HEAD02[0]
	HEAD03	HEAD03[7]	HEAD03[6]	HEAD03[5]	HEAD03[4]	HEAD03[3]	HEAD03[2]	HEAD03[1]	HEAD03[0]
	SHEAD00	SHEAD00[7]	SHEAD00[6]	SHEAD00[5]	SHEAD00[4]	SHEAD00[3]	SHEAD00[2]	SHEAD00[1]	SHEAD00[0]
	SHEAD01	SHEAD01[7]	SHEAD01[6]	SHEAD01[5]	SHEAD01[4]	SHEAD01[3]	SHEAD01[2]	SHEAD01[1]	SHEAD01[0]
	SHEAD02	SHEAD02[7]	SHEAD02[6]	SHEAD02[5]	SHEAD02[4]	SHEAD02[3]	SHEAD02[2]	SHEAD02[1]	SHEAD02[0]
	SHEAD03	SHEAD03[7]	SHEAD03[6]	SHEAD03[5]	SHEAD03[4]	SHEAD03[3]	SHEAD03[2]	SHEAD03[1]	SHEAD03[0]
	SHEAD04	SHEAD04[7]	SHEAD04[6]	SHEAD04[5]	SHEAD04[4]	SHEAD04[3]	SHEAD04[2]	SHEAD04[1]	SHEAD04[0]
	SHEAD05	SHEAD05[7]	SHEAD05[6]	SHEAD05[5]	SHEAD05[4]	SHEAD05[3]	SHEAD05[2]	SHEAD05[1]	SHEAD05[0]
	SHEAD06	SHEAD06[7]	SHEAD06[6]	SHEAD06[5]	SHEAD06[4]	SHEAD06[3]	SHEAD06[2]	SHEAD06[1]	SHEAD06[0]
	SHEAD07	SHEAD07[7]	SHEAD07[6]	SHEAD07[5]	SHEAD07[4]	SHEAD07[3]	SHEAD07[2]	SHEAD07[1]	SHEAD07[0]
	HEAD20	HEAD20[7]	HEAD20[6]	HEAD20[5]	HEAD20[4]	HEAD20[3]	HEAD20[2]	HEAD20[1]	HEAD20[0]
	HEAD21	HEAD21[7]	HEAD21[6]	HEAD21[5]	HEAD21[4]	HEAD21[3]	HEAD21[2]	HEAD21[1]	HEAD21[0]
	HEAD22	HEAD22[7]	HEAD22[6]	HEAD22[5]	HEAD22[4]	HEAD22[3]	HEAD22[2]	HEAD22[1]	HEAD22[0]
	HEAD23	HEAD23[7]	HEAD23[6]	HEAD23[5]	HEAD23[4]	HEAD23[3]	HEAD23[2]	HEAD23[1]	HEAD23[0]
	SHEAD20	SHEAD20[7]	SHEAD20[6]	SHEAD20[5]	SHEAD20[4]	SHEAD20[3]	SHEAD20[2]	SHEAD20[1]	SHEAD20[0]
	SHEAD21	SHEAD21[7]	SHEAD21[6]	SHEAD21[5]	SHEAD21[4]	SHEAD21[3]	SHEAD21[2]	SHEAD21[1]	SHEAD21[0]
	SHEAD22	SHEAD22[7]	SHEAD22[6]	SHEAD22[5]	SHEAD22[4]	SHEAD22[3]	SHEAD22[2]	SHEAD22[1]	SHEAD22[0]
	SHEAD23	SHEAD23[7]	SHEAD23[6]	SHEAD23[5]	SHEAD23[4]	SHEAD23[3]	SHEAD23[2]	SHEAD23[1]	SHEAD23[0]
	SHEAD24	SHEAD24[7]	SHEAD24[6]	SHEAD24[5]	SHEAD24[4]	SHEAD24[3]	SHEAD24[2]	SHEAD24[1]	SHEAD24[0]
	SHEAD25	SHEAD25[7]	SHEAD25[6]	SHEAD25[5]	SHEAD25[4]	SHEAD25[3]	SHEAD25[2]	SHEAD25[1]	SHEAD25[0]
	SHEAD26	SHEAD26[7]	SHEAD26[6]	SHEAD26[5]	SHEAD26[4]	SHEAD26[3]	SHEAD26[2]	SHEAD26[1]	SHEAD26[0]
	SHEAD27	SHEAD27[7]	SHEAD27[6]	SHEAD27[5]	SHEAD27[4]	SHEAD27[3]	SHEAD27[2]	SHEAD27[1]	SHEAD27[0]
	CBUFCTL0	CBUF_AUT	CBUF_EN	—	CBUF_MD[1]	CBUF_MD[0]	CBUF_TS	CBUF_Q	—
	CBUFCTL1	BS_MIN[7]	BS_MIN[6]	BS_MIN[5]	BS_MIN[4]	BS_MIN[3]	BS_MIN[2]	BS_MIN[1]	BS_MIN[0]
	CBUFCTL2	BS_SEC[7]	BS_SEC[6]	BS_SEC[5]	BS_SEC[4]	BS_SEC[3]	BS_SEC[2]	BS_SEC[1]	BS_SEC[0]
	CBUFCTL3	BS_FRM[7]	BS_FRM[6]	BS_FRM[5]	BS_FRM[4]	BS_FRM[3]	BS_FRM[2]	BS_FRM[1]	BS_FRM[0]
	CROMST0M	—	—	ST_SYLM	ST_SYNOM	ST_BLKSM	ST_BLKLM	ST_SECSM	ST_SECLM
	ROMDECRST	LOGICRST	RAMRST	—	—	—	—	—	—
	RSTSTAT	RAMCLRST	—	—	—	—	—	—	—
	SSI	BYTEND	BITEND	BUFEND0[1]	BUFEND0[0]	BUFEND1[1]	BUFEND1[0]	—	—
	INTHOLD	ISEC	ITARG	ISY	IERR	IBUF	IREADY	—	—
	INHINT	INHISEC	INHITARG	INHISY	INHIERR	INHIBUF	INHIREADY	PREINH REQDM	PREINH READY

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CD-ROM デコーダ	STRMDIN0	STRMDIN[31]	STRMDIN[30]	STRMDIN[29]	STRMDIN[28]	STRMDIN[27]	STRMDIN[26]	STRMDIN[25]	STRMDIN[24]
		STRMDIN[23]	STRMDIN[22]	STRMDIN[21]	STRMDIN[20]	STRMDIN[19]	STRMDIN[18]	STRMDIN[17]	STRMDIN[16]
	STRMDIN2	STRMDIN[15]	STRMDIN[14]	STRMDIN[13]	STRMDIN[12]	STRMDIN[11]	STRMDIN[10]	STRMDIN[9]	STRMDIN[8]
		STRMDIN[7]	STRMDIN[6]	STRMDIN[5]	STRMDIN[4]	STRMDIN[3]	STRMDIN[2]	STRMDIN[1]	STRMDIN[0]
	STRMDOUT0	STRMDOUT [15]	STRMDOUT [14]	STRMDOUT [13]	STRMDOUT [12]	STRMDOUT [11]	STRMDOUT [10]	STRMDOUT [9]	STRMDOUT [8]
		STRMDOUT [7]	STRMDOUT [6]	STRMDOUT [5]	STRMDOUT [4]	STRMDOUT [3]	STRMDOUT [2]	STRMDOUT [1]	STRMDOUT [0]
A/D 変換器	ADDRA								
				—	—	—	—	—	—
	ADDRB								
				—	—	—	—	—	—
	ADDRC			—	—	—	—	—	—
	ADDRD			—	—	—	—	—	—
	ADDRE			—	—	—	—	—	—
	ADDRF			—	—	—	—	—	—
	ADDRG			—	—	—	—	—	—
	ADDRH			—	—	—	—	—	—
	ADCSR	ADF	ADIE	ADST	TRGS[3]	TRGS[2]	TRGS[1]	TRGS[0]	CKS[2]
		CKS[1]	CKS[0]	MDS[2]	MDS[1]	MDS[0]	CH[2]	CH[1]	CH[0]
USB2.0 ホスト/ ファンクショ ンモジュール	SYSCFG0	—	—	—	—	—	SCKE	—	—
		—	DCFM	DRPD	DPRPU	—	—	—	USBE
	SYSCFG1	BERRS	—	—	—	—	—	—	—
		—	—	DRPD	—	—	—	—	—
	SYSSTS0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	LNST[1]	LNST[0]
	SYSSTS1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	LNST[1]	LNST[0]
	DVSTCTR0	—	—	—	—	—	—	—	WKUP
		RWUPE	USBRST	RESUME	UACT	—	RHST[2]	RHST[1]	RHST[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB2.0 ホスト/ ファンクショ ンモジュール	DVSTCTR1	—	—	—	—	—	—	—	—
		RWUPE	USBRST	RESUME	UACT	—	RHST[2]	RHST[1]	RHST[0]
	DMA0PCFG	—	—	—	—	—	—	—	DFWRENDE
		—	—	—	—	—	—	—	—
	DMA1PCFG	—	—	—	—	—	—	—	DFWRENDE
		—	—	—	—	—	—	—	—
	CFIFO	FIFOPORT [15]	FIFOPORT [14]	FIFOPORT [13]	FIFOPORT [12]	FIFOPORT [11]	FIFOPORT [10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFO	FIFOPORT [15]	FIFOPORT [14]	FIFOPORT [13]	FIFOPORT [12]	FIFOPORT [11]	FIFOPORT [10]	FIFOPORT [9]	FIFOPORT [8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFO	FIFOPORT [15]	FIFOPORT [14]	FIFOPORT [13]	FIFOPORT [12]	FIFOPORT [11]	FIFOPORT [10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	CFIFOSEL	RCNT	REW	—	—	—	MBW	—	BIGEND
		—	—	ISEL	—	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	CFIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND
		—	—	—	—	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	D0FIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND
		—	—	—	—	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	D1FIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		—	—	—	—	—	—	—	—
	INTENB1	—	BCHGE	—	DTCHE	ATTCH	—	—	—
		—	EOFERRE	SIGNE	SACKE	—	—	—	—
	INTENB2	—	BCHGE	—	DTCHE	ATTCH	—	—	—
		—	EOFERRE	—	—	—	—	—	—
	BRDYENB	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE
		PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB2.0 ホスト／ ファンクショ ンモジュール	NRDYENB	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE
		PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
	BEMPENB	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE
		PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
	SOFCFG	—	—	—	—	—	—	—	—
		—	BRDYM	—	—	—	—	—	—
	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2]	DVSQ[1]	DVSQ[0]	VALID	CTSQ[2]	CTSQ[1]	CTSQ[0]
	INTSTS1	—	BCHG	—	DTCH	ATTCH	—	—	—
		—	EOFERR	SIGN	SACK	—	—	—	—
	INTSTS2	—	BCHG	—	DTCH	ATTCH	—	—	—
		—	EOFERR	—	—	—	—	—	—
	BRDYSTS	—	—	—	—	—	—	PIPE9BRDY	PIPE8BRDY
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
	NRDYSTS	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
	BEMPSTS	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
	FRMNUM	OV RN	CRCE	—	—	—	FRNM[10]	FRNM[9]	FRNM[8]
		FRNM[7]	FRNM[6]	FRNM[5]	FRNM[4]	FRNM[3]	FRNM[2]	FRNM[1]	FRNM[0]
	USBADDR	—	—	—	—	—	—	—	—
		—	USBADDR[6]	USBADDR[5]	USBADDR[4]	USBADDR[3]	USBADDR[2]	USBADDR[1]	USBADDR[0]
	USBREQ	BREQUEST [7]	BREQUEST [6]	BREQUEST [5]	BREQUEST [4]	BREQUEST [3]	BREQUEST [2]	BREQUEST [1]	BREQUEST [0]
		BMREQUEST TYPE[7]	BMREQUEST TYPE[6]	BMREQUEST TYPE[5]	BMREQUEST TYPE[4]	BMREQUEST TYPE[3]	BMREQUEST TYPE[2]	BMREQUEST TYPE[1]	BMREQUEST TYPE[0]
	USBVAL	WVALUE[15]	WVALUE[14]	WVALUE[13]	WVALUE[12]	WVALUE[11]	WVALUE[10]	WVALUE[9]	WVALUE[8]
		WVALUE[7]	WVALUE[6]	WVALUE[5]	WVALUE[4]	WVALUE[3]	WVALUE[2]	WVALUE[1]	WVALUE[0]
	USBINDX	WINDEX[15]	WINDEX[14]	WINDEX[13]	WINDEX[12]	WINDEX[11]	WINDEX[10]	WINDEX[9]	WINDEX[8]
		WINDEX[7]	WINDEX[6]	WINDEX[5]	WINDEX[4]	WINDEX[3]	WINDEX[2]	WINDEX[1]	WINDEX[0]
	USBLENG	WLENGTH [15]	WLENGTH [14]	WLENGTH [13]	WLENGTH [12]	WLENGTH [11]	WLENGTH [10]	WLENGTH[9]	WLENGTH[8]
		WLENGTH[7]	WLENGTH[6]	WLENGTH[5]	WLENGTH[4]	WLENGTH[3]	WLENGTH[2]	WLENGTH[1]	WLENGTH[0]
	DCPCFG	—	—	—	—	—	—	—	—
		SHTNAK	—	—	DIR	—	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB2.0 ホスト/ ファンクショ ンモジュール	DCPMAXP	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	—	—	—	—
		—	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	DCPCTR	BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR
		SQSET	SQMON	PBUSY	—	—	CCPL	PID[1]	PID[0]
	PIPESEL	—	—	—	—	—	—	—	—
		—	—	—	—	PIPESEL[3]	PIPESEL[2]	PIPESEL[1]	PIPESEL[0]
	PIPECFG	TYPE[1]	TYPE[0]	—	—	—	BFRE	DBLB	—
		SHTNAK	—	—	DIR	EPNUM[3]	EPNUM[2]	EPNUM[1]	EPNUM[0]
	PIPEMAXP	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	—	—	—	MXPS[8]
		MXPS[7]	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	PIPEPERI	—	—	—	IFIS	—	—	—	—
		—	—	—	—	—	IITV[2]	IITV[1]	IITV[0]
	PIPE1CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE2CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE3CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE4CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE5CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE6CTR	BSTS	—	—	—	—	—	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE7CTR	BSTS	—	—	—	—	—	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE8CTR	BSTS	—	—	—	—	—	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE9CTR	BSTS	—	—	—	—	—	ACLARM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1]	PID[0]
	PIPE1TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
	PIPE1TRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE2TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB2.0 ホスト/ ファンクショ ンモジュール	PIPE2TRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE3TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
	IPE3TRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE4TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
	PIPE4TRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE5TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
	PIPE5TRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	DEVADD0	—	—	—	—	—	—	—	—
		USBSPPD[1]	USBSPPD[0]	—	—	—	—	—	RTPORT
	DEVADD1	—	—	—	—	—	—	—	—
		USBSPPD[1]	USBSPPD[0]	—	—	—	—	—	RTPORT
	DEVADD2	—	—	—	—	—	—	—	—
		USBSPPD[1]	USBSPPD[0]	—	—	—	—	—	RTPORT
	DEVADD3	—	—	—	—	—	—	—	—
		USBSPPD[1]	USBSPPD[0]	—	—	—	—	—	RTPORT
	DEVADD4	—	—	—	—	—	—	—	—
		USBSPPD[1]	USBSPPD[0]	—	—	—	—	—	RTPORT
	DEVADD5	—	—	—	—	—	—	—	—
		USBSPPD[1]	USBSPPD[0]	—	—	—	—	—	RTPORT
サンプリング レート コンバータ	SRCID_0								
	SRCOD_0								
	SRCIDCTRL _0	—	—	—	—	—	—	IED	IEN
		—	—	—	—	—	—	IFTRG[1]	IFTRG[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
サンプリング レート コンバータ	SRCODCTRL_0	—	—	—	—	—	OCH	OED	OEN
		—	—	—	—	—	—	OFTRG[1]	OFTRG[0]
	SRCCTRL_0	—	—	CEEN	SRCEN	UDEN	OVEN	FL	CL
		IFS[3]	IFS[2]	IFS[1]	IFS[0]	—	OFS[2]	OFS[1]	OFS[0]
	SRCSTAT_0	OFDN[4]	OFDN[3]	OFDN[2]	OFDN[1]	OFDN[0]	IFDN[3]	IFDN[2]	IFDN[1]
		IFDN[0]	—	CEF	FLF	UDF	OVF	IINT	OINT
	SRCID_1								
	SRCOD_1								
	SRCIDCTRL_1	—	—	—	—	—	—	IED	IEN
		—	—	—	—	—	—	IFTRG[1]	IFTRG[0]
	SRCODCTRL_1	—	—	—	—	—	OCH	OED	OEN
		—	—	—	—	—	—	OFTRG[1]	OFTRG[0]
	SRCCTRL_1	—	—	CEEN	SRCEN	UDEN	OVEN	FL	CL
		IFS[3]	IFS[2]	IFS[1]	IFS[0]	—	OFS[2]	OFS[1]	OFS[0]
	SRCSTAT_1	OFDN[4]	OFDN[3]	OFDN[2]	OFDN[1]	OFDN[0]	IFDN[3]	IFDN[2]	IFDN[1]
		IFDN[0]	—	CEF	FLF	UDF	OVF	IINT	OINT
	SRCID_2								
	SRCOD_2								
	SRCIDCTRL_2	—	—	—	—	—	—	IED	IEN
		—	—	—	—	—	—	IFTRG[1]	IFTRG[0]
	SRCODCTRL_2	—	—	—	—	—	OCH	OED	OEN
		—	—	—	—	—	—	OFTRG[1]	OFTRG[0]
	SRCCTRL_2	—	—	CEEN	SRCEN	UDEN	OVEN	FL	CL
		IFS[3]	IFS[2]	IFS[1]	IFS[0]	—	OFS[2]	OFS[1]	OFS[0]

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
サンプリング レート コンバータ	SRCSTAT_2	OFDN[4]	OFDN[3]	OFDN[2]	OFDN[1]	OFDN[0]	IFDN[3]	IFDN[2]	IFDN[1]
		IFDN[0]	—	CEF	FLF	UDF	OVF	IINT	OINT
汎用入出力 ポート	PAIOR0	—	—	—	—	—	—	—	PA1IOR
		—	—	—	—	—	—	—	PA0IOR
	PADR0	—	—	—	—	—	—	—	PA1DR
		—	—	—	—	—	—	—	PA0DR
	PAPR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	PA1PR	PA0PR
	SNCR	—	—	—	—	—	—	—	—
		—	—	—	—	SSI3	SSI2	SSI1	SSI0
	PBCR5	—	—	—	—	—	—	PB22MD1	PB22MD0
		—	—	PB21MD1	PB21MD0	—	—	PB20MD1	PB20MD0
	PBCR4	—	—	PB19MD1	PB19MD0	—	—	PB18MD1	PB18MD0
		—	—	PB17MD1	PB17MD0	—	—	PB16MD1	PB16MD0
	PBCR3	—	—	PB15MD1	PB15MD0	—	—	PB14MD1	PB14MD0
		—	—	PB13MD1	PB13MD0	—	—	PB12MD1	PB12MD0
	PBCR2	—	—	PB11MD1	PB11MD0	—	—	PB10MD1	PB10MD0
		—	—	PB9MD1	PB9MD0	—	—	PB8MD1	PB8MD0
	PBCR1	—	—	PB7MD1	PB7MD0	—	—	PB6MD1	PB6MD0
		—	—	PB5MD1	PB5MD0	—	—	PB4MD1	PB4MD0
	PBCR0	—	—	PB3MD1	PB3MD0	—	—	PB2MD1	PB2MD0
		—	—	PB1MD1	PB1MD0	—	—	—	—
	PBIOR1	—	—	—	—	—	—	—	—
		—	PB22IOR	PB21IOR	PB20IOR	PB19IOR	PB18IOR	PB17IOR	PB16IOR
	PBIOR0	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR
		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	—
	PBDR1	—	—	—	—	—	—	—	—
		—	PB22DR	PB21DR	PB20DR	PB19DR	PB18DR	PB17DR	PB16DR
	PBDR0	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR
		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	—
	PBPR1	—	—	—	—	—	—	—	—
		—	PB22PR	PB21PR	PB20PR	PB19PR	PB18PR	PB17PR	PB16PR
	PBPR0	PB15PR	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR
		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	—
	PCCR2	—	PC8MD2	PC8MD1	PC8MD0	—	PC7MD2	PC7MD1	PC7MD0
		—	PC6MD2	PC6MD1	PC6MD0	—	PC5MD2	PC5MD1	PC5MD0

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
汎用入出力 ポート	PCCR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	PC4MD1	PC4MD0
	PCCR0	—	—	PC3MD1	PC3MD0	—	—	PC2MD1	PC2MD0
		—	—	PC1MD1	PC1MD0	—	—	PC0MD1	PC0MD0
	PCIOR0	—	—	—	—	—	—	—	PC8IOR
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR
	PCDR0	—	—	—	—	—	—	—	PC8DR
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
	PCPR0	—	—	—	—	—	—	—	PC8PR
		PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR
	PDCR3	—	—	PD15MD1	PD15MD0	—	—	PD14MD1	PD14MD0
		—	—	PD13MD1	PD13MD0	—	—	PD12MD1	PD12MD0
	PDCR2	—	—	PD11MD1	PD11MD0	—	—	PD10MD1	PD10MD0
		—	—	PD9MD1	PD9MD0	—	—	PD8MD1	PD8MD0
	PDCR1	—	PD7MD2	PD7MD1	PD7MD0	—	PD6MD2	PD6MD1	PD6MD0
		—	PD5MD2	PD5MD1	PD5MD0	—	PD4MD2	PD4MD1	PD4MD0
	PDCR0	—	PD3MD2	PD3MD1	PD3MD0	—	PD2MD2	PD2MD1	PD2MD0
		—	PD1MD2	PD1MD1	PD1MD0	—	PD0MD2	PD0MD1	PD0MD0
	PDIOR0	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR
		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
	PDDR0	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR
		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
	PDPR0	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR
		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR
	PECR1	—	—	PE7MD1	PE7MD0	—	—	PE6MD1	PE6MD0
		—	—	PE5MD1	PE5MD0	—	—	PE4MD1	PE4MD0
	PECR0	—	—	PE3MD1	PE3MD0	—	—	PE2MD1	PE2MD0
		—	—	PE1MD1	PE1MD0	—	—	PE0MD1	PE0MD0
	PEIOR0	—	—	—	—	—	—	—	—
		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR
	PEDR0	—	—	—	—	—	—	—	—
		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
	PEPR0	—	—	—	—	—	—	—	—
		PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR
	PFCR1	—	—	PF7MD1	PF7MD0	—	—	PF6MD1	PF6MD0
		—	—	PF5MD1	PF5MD0	—	—	PF4MD1	PF4MD0

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
汎用入出力 ポート	PFCR0	—	—	PF3MD1	PF3MD0	—	—	PF2MD1	PF2MD0
		—	—	PF1MD1	PF1MD0	—	—	PF0MD1	PF0MD0
	PFIOR0	—	—	—	—	—	—	—	—
		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR
	PFDR0	—	—	—	—	—	—	—	—
		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
	PFPR0	—	—	—	—	—	—	—	—
		PF7PR	PF6PR	PF5PR	PF4PR	PF3PR	PF2PR	PF1PR	PF0PR
	PGCR0	—	—	PG3MD1	PG3MD0	—	—	PG2MD1	PG2MD0
		—	—	PG1MD1	PG1MD0	—	—	PG0MD1	PG0MD0
	PGPR0	—	—	—	—	—	—	—	—
		—	—	—	—	PG3PR	PG2PR	PG1PR	PG0PR
	PHCR1	—	—	PH7MD1	PH7MD0	—	—	PH6MD1	PH6MD0
		—	—	PH5MD1	PH5MD0	—	—	PH4MD1	PH4MD0
	PHCR0	—	—	PH3MD1	PH3MD0	—	—	PH2MD1	PH2MD0
		—	—	PH1MD1	PH1MD0	—	—	PH0MD1	PH0MD0
	PHPR0	—	—	—	—	—	—	—	—
		PH7PR	PH6PR	PH5PR	PH4PR	PH3PR	PH2PR	PH1PR	PH0PR
	PJCR4	—	—	—	—	—	—	—	—
		—	—	—	—	—	PJ14MD2	PJ14MD1	PJ14MD0
	PJCR3	—	—	—	—	—	—	—	—
		—	PJ13MD2	PJ13MD1	PJ13MD0	—	PJ12MD2	PJ12MD1	PJ12MD0
	PJCR2	—	PJ11MD2	PJ11MD1	PJ11MD0	—	PJ10MD2	PJ10MD1	PJ10MD0
		—	PJ9MD2	PJ9MD1	PJ9MD0	—	PJ8MD2	PJ8MD1	PJ8MD0
	PJCR1	—	—	PJ7MD1	PJ7MD0	—	—	PJ6MD1	PJ6MD0
		—	—	PJ5MD1	PJ5MD0	—	—	PJ4MD1	PJ4MD0
	PJCR0	—	—	PJ3MD1	PJ3MD0	—	—	PJ2MD1	PJ2MD0
		—	PJ1MD2	PJ1MD1	PJ1MD0	—	—	PJ0MD1	PJ0MD0
	PJIOR0	—	PJ14IOR	PJ13IOR	PJ12IOR	PJ11IOR	PJ10IOR	PJ9IOR	PJ8IOR
		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR
	PJDR0	—	PJ14DR	PJ13DR	PJ12DR	PJ11DR	PJ10DR	PJ9DR	PJ8DR
		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR
	PJPR0	—	PJ14PR	PJ13PR	PJ12PR	PJ11PR	PJ10PR	PJ9PR	PJ8PR
		PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR
	PKCR0	—	—	—	—	—	—	—	—
		—	—	—	PK1MD0	—	—	—	PK0MD0

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
汎用入出力 ポート	PKIOR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	PK1IOR	PK0IOR
	PKDR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	PK1DR	PK0DR
	PKPR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	PK1PR	PK0PR
低消費電力 モード	STBCR1	STBY	DEEP	—	—	—	—	—	—
	STBCR2	MSTP10	MSTP9	MSTP8	MSTP7	—	—	—	—
	STBCR3	HIZ	MSTP36	MSTP35	MSTP34	MSTP33	MSTP32	—	MSTP30
	STBCR4	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	—	—	—
	STBCR5	MSTP57	MSTP56	MSTP55	—	MSTP53	MSTP52	MSTP51	MSTP50
	STBCR6	MSTP67	MSTP66	MSTP65	MSTP64	MSTP63	MSTP62	MSTP61	MSTP60
	STBCR7	MSTP77	MSTP76	—	—	—	MSTP72	—	MSTP70
	STBCR8	—	—	—	—	—	MSTP82	MSTP81	MSTP80
	SWRSTCR	AXTALE	—	—	IEBSRST	SSIF3SRST	SSIF2SRST	SSIF1SRST	SSIF0SRST
	SYSCR1	—	—	—	—	RAME3	RAME2	RAME1	RAME0
	SYSCR2	—	—	—	—	RAMWE3	RAMWE2	RAMWE1	RAMWE0
	SYSCR3	—	—	—	VRAME4	VRAME3	VRAME2	VRAME1	VRAME0
	SYSCR4	—	—	—	VRAMWE4	VRAMWE3	VRAMWE2	VRAMWE1	VRAMWE0
	SYSCR5	—	—	—	—	RRAMWE3	RRAMWE2	RRAMWE1	RRAMWE0
	RRAMKP	—	—	—	—	RRAMKP3	RRAMKP2	RRAMKP1	RRAMKP0
	DSCTR	EBUSKEEPE	RAMBOOT	—	—	—	—	—	—
	DSSSR	—	—	—	—	—	PF7	PF6	NMI
		—	RTCAR	PC8	PC7	PC6	PC5	PJ13	PJ11
	DSESR	—	—	—	—	—	PF7E	PF6E	NMIE
		—	—	PC8E	PC7E	PC6E	PC5E	PJ13E	PJ11E
	DSFR	IOKEEP	—	—	—	—	PF7F	PF6F	NMIF
		—	RTCARF	PC8F	PC7F	PC6F	PC5F	PJ13F	PJ11F
	XTALCTR	—	—	—	—	—	—	GAIN1	GAIN0
ユーザ デバッグイン タフェース	SDIR	TI[7]	TI[6]	TI[5]	TI[4]	TI[3]	TI[2]	TI[1]	TI[0]
		—	—	—	—	—	—	—	—

【注】 *1 MCR15=0 の場合です。

*2 MCR15=1 の場合です。

34.3 各動作モードにおけるレジスタの状態の一覧

モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
クロックバルス発振器	FRQCR	初期化*1	保持	初期化	保持	—	保持
割り込みコントローラ	IBNR	初期化	保持*2	初期化	保持	—	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	—	保持
キャッシュ	全レジスタ	初期化	保持	初期化	保持	—	保持
バステートコントローラ	RTCSR	初期化	保持*3	初期化	保持	—	保持*3
	RTCNT	初期化	保持*4	初期化	保持	—	保持*4
	上記以外の全レジスタ	初期化	保持	初期化	保持	—	保持
ユーザブレイクコントローラ	全レジスタ	初期化	保持	初期化	保持	保持	保持
ダイレクトメモリアクセスコントローラ	全レジスタ	初期化	保持	初期化	保持	保持	保持*7
マルチファンクション タイマパルスユニット 2	全レジスタ	初期化	保持	初期化	保持	初期化	保持
コンペアマッチタイマ	全レジスタ	初期化	保持	初期化	初期化	保持	保持
ウォッチドッグタイマ	WRCSR	初期化*1	保持	初期化	保持	—	保持
	上記以外の全レジスタ	初期化	初期化	初期化	保持	—	保持
リアルタイムクロック	R64CNT RSECCNT RMINCNT RHRCNT RWKCNT RDAYCNT RMONCNT RYRCNT	保持*4	保持*4	保持*4	保持*4	保持	保持*4
	RSECAR RMINAR RHRAR RWKAR RDAYAR RMONAR RYRAR	保持	保持	保持	保持	保持	保持
	RCR1	初期化	初期化	初期化	保持	保持	保持
	RCR2	初期化	初期化*5	初期化*11	保持	保持	保持
	RCR3	保持	保持	保持	保持	保持	保持
	RCR5	保持	保持	保持	保持	保持	保持
	RFRH	保持	保持	保持	保持	保持	保持
	RFRL	保持	保持	保持	保持	保持	保持

モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
FIFO 内蔵シリアルコミュニケーション インタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
ルネサスシリアルペリフェラル インタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
SPI マルチ I/O バスコントローラ	全レジスタ	初期化	保持	初期化	保持	保持	保持
I ² C バスインタフェース 3	ICMR_0~3	初期化	保持	初期化	保持*6	保持*6	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	保持	保持
シリアルサウンドインタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
FIFO 付きクロック同期シリアル I/O	全レジスタ	初期化	初期化	初期化	保持	保持	保持
コントローラエリアネットワーク	全レジスタ	初期化	保持	初期化	保持	保持	保持
IEBus コントローラ	全レジスタ	初期化	保持	初期化	保持	保持	保持
ルネサス SPDIF インタフェース	全レジスタ	初期化	保持	初期化	保持	保持	保持
CD-ROM デコーダ	全レジスタ	初期化	保持	初期化	保持	保持	保持
A/D 変換器	全レジスタ	初期化	保持	初期化	初期化	初期化	保持
USB2.0 ホスト/ファンクションモジュール	全レジスタ	初期化	保持	初期化	保持	保持	保持
サンプリングレートコンバータ	全レジスタ	初期化	保持	初期化	保持	保持	保持
汎用入出力ポート	全レジスタ	初期化	保持	初期化	保持	—	保持
低消費電力モード	DSFR	初期化	保持	保持	保持	—	保持
	XTALCTR	初期化*10	保持	保持*9	保持*9	—	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	—	保持
ユーザデバッグインタフェース*8	SDIR	保持	保持	初期化	保持	保持	保持

【注】 *1 ウォッチドッグタイマによる内部パワーオンリセットでは保持

*2 BN[3:0]ビットは初期化

*3 フラグ処理続行

*4 カウントアップ続行

*5 RTCEN、START ビットは保持

*6 BC[3:0]ビットは初期化

*7 転送動作継続可能

*8 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化

*9 GAIN0 ビットはリアルタイムクロックが EXTERNAL 未使用時は初期化、
GAIN1 ビットはリアルタイムクロックが RTC_X1 未使用時は初期化

*10 ウォッチドッグタイマによる内部パワーオンリセットおよびユーザデバッグインタフェースリセットでは保持

*11 RTCEN ビットは保持

35. 電気的特性

35.1 絶対最大定格

表 35.1 絶対最大定格

項 目		記号	定格値	単位
電源電圧 (I/O)		PV _{CC}	−0.3~4.6	V
電源電圧 (内部)		V _{CC}	−0.3~1.7	V
PLL 電源電圧		PLL _{VCC}	−0.3~1.7	V
アナログ電源電圧		AV _{CC}	−0.3~4.6	V
アナログ基準電圧		AV _{ref}	−0.3~AV _{CC} +0.3	V
入力電圧	アナログ入力端子	V _{AN}	−0.3~AV _{CC} +0.3	V
	5V トレラント端子	V _{in}	−0.3~5.5	V
	その他の入力端子	V _{in}	−0.3~PV _{CC} +0.3	V
動作温度		T _{opr}	−40~85	°C
保存温度		T _{stg}	−55~125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

35.2 電源投入・切断シーケンス

1.2V 系電源（V_{cc}、PLL_V_{cc}）と 3.3V 系電源（PV_{cc}、AV_{cc}）の投入・切断順序はどちらが先でも問題ありません。

電源の投入時は、必ず $\overline{\text{TRST}}$ 端子を Low レベル、かつ $\overline{\text{RES}}$ 端子を Low レベルにしてください。これが守られない場合、出力端子および入出力端子が不定出力し、それによってシステム全体が誤動作を引き起こす可能性があります。

電源の切断時も、上記が問題となる可能性がある場合は、 $\overline{\text{TRST}}$ 端子を Low レベル、かつ $\overline{\text{RES}}$ 端子を Low レベルにしてください。

35.3 DC 特性

・表 35.2 DC 特性 (2) 【消費電流】を除く条件

$V_{CC}=PLL_{VCC}=1.15\sim1.35V$ 、 $PV_{CC}=3.0\sim3.6V$ 、 $AV_{CC}=3.0\sim3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、

$T_a=-40\sim85^{\circ}C$

・表 35.2 DC 特性 (2) 【消費電流】の条件

$V_{CC}=PLL_{VCC}=1.25V$ 、 $PV_{CC}=3.3V$ 、 $AV_{CC}=3.3V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $AV_{ref}=3.3V$

$T_a=-40\sim85^{\circ}C$

$I_{\phi}=216.00MHz$ 、 $B_{\phi}=72.00MHz$ 、 $P_{\phi}=36.00MHz$

表 35.2 DC 特性 (1) 【共通項目】

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		PV_{CC}	3.0	3.3	3.6	V	
		V_{CC}	1.15	1.25	1.35	V	
PLL 電源電圧		PLL_{VCC}	1.15	1.25	1.35	V	
アナログ電源電圧		AV_{CC}	3.0	3.3	3.6	V	
入力リーク電流	全入力端子	$ I_{in} $	—	—	1.0	μA	$V_{in}=0.5\sim PV_{CC}-0.5V$
スリーステート リーク電流	全入出力、出力端子 (PE7~PE0 除く) (オフ状態)	$ I_{STI} $	—	—	1.0	μA	$V_{in}=0.5\sim PV_{CC}-0.5V$
	PE7~PE0		—	—	10	μA	
端子容量	全端子	C_{in}	—	—	20	pF	

表 35.2 DC 特性 (2) 【消費電流】

項 目		電源種類	記号	Typ.	Max.	単位	測定条件
通常動作時消費電流		Vcc+PLLVcc	Icc	80	115	mA	
		PVcc	PIcc*1	60	—	mA	
		AVcc	AIcc	1	4	mA	A/D 変換中
				1	3	μA	A/D 待機中
		AVref	AIref	1	4	mA	A/D 変換中、 A/D 待機中
スリープ時消費電流		Vcc+PLLVcc	Isleep	50	80	mA	
		上記以外は通常動作時と同じです					
ソフトウェア スタンバイ時 消費電流	Ta>50℃	Vcc+PLLVcc	Isstby	4	16	mA	
		PVcc	PIsstby	1.5	—	μA	
		上記以外は通常動作時と同じです					
	Ta≤50℃	Vcc+PLLVcc	Isstby	2	8	mA	
		PVcc	PIsstby	1	—	μA	
		上記以外は通常動作時と同じです					
ディープ スタンバイ時 消費電流	Ta>50℃	Vcc+PLLVcc	Idstby	3	23	μA	RAM0KB 保持、 RTC_X1 外部選択時*2
				5	36	μA	RAM16KB 保持、 RTC_X1 外部選択時*2
				7	49	μA	RAM32KB 保持、 RTC_X1 外部選択時*2
				11	76	μA	RAM64KB 保持、 RTC_X1 外部選択時*2
				19	128	μA	RAM128KB 保持、 RTC_X1 外部選択時*2
				EXTAL 12MHz 選択時は上記に Typ.5 μA、Max.6 μA 加算 EXTAL 48MHz 選択時は上記に Typ.20 μA、Max.25 μA 加算 RTC_X1 4MHz 選択時は上記に Typ.2 μA、Max.2.5 μA 加算			
		PVcc+AVcc+AVref	Pldstby	3.5	16	μA	RTC 非動作時
				7.5	20	μA	RTC_X1 外部選択時*2
				0.8	—	mA	RTC_X1 4MHz 選択 ドライバ小*1
				1	—	mA	EXTAL 12MHz 選択 ドライバ小*1
				3.5	—	mA	EXTAL 48MHz 選択 ドライバ大*1

項 目		電源種類	記号	Typ.	Max.	単位	測定条件
ディープ スタンバイ時 消費電流	Ta≤50°C	Vcc+PLLVcc	ldstby	2	17	μA	RAM0KB 保持、 RTC_X1 外部選択時*2
				3.5	27	μA	RAM16KB 保持、 RTC_X1 外部選択時*2
				5	37	μA	RAM32KB 保持、 RTC_X1 外部選択時*2
				8	56	μA	RAM64KB 保持、 RTC_X1 外部選択時*2
				14	95	μA	RAM128KB 保持、 RTC_X1 外部選択時*2
				EXTAL 12MHz 選択時は上記に Typ.5 μA、Max.6 μA 加算 EXTAL 48MHz 選択時は上記に Typ.20 μA、Max.25 μA 加算 RTC_X1 4MHz 選択時は上記に Typ.2 μA、Max.2.5 μA 加算			
		PVcc+AVcc+AVref	Pldstby	3	12	μA	RTC 非動作時
				7	16	μA	RTC_X1 外部選択時*2
				0.8	—	mA	RTC_X1 4MHz 選択 ドライバ小*1
				1	—	mA	EXTAL 12MHz 選択 ドライバ小*1
				3.5	—	mA	EXTAL 48MHz 選択 ドライバ大*1

【注】 *1 参考値です。実際の動作電流はシステムに大きく依存します（IOの負荷による波形なまり、トグル頻度等）ので、必ずシステムでの実測を行ってください。

*2 RTC_X1 に外部クロック 32.768KHz を入力（RCKSEL[1:0]=2'b00）した場合です。

表 35.2 DC 特性 (3) 【I²C バスインタフェース、USB2.0 ホスト/ファンクションモジュール関連端子を除く】

項 目		記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧 (シュミット端子除く)		V _{IH}	2.2	—	PV _{CC} +0.3	V	
入力ローレベル電圧 (シュミット端子除く)		V _{IL}	−0.3	—	0.8	V	
シュミットトリガ入力特性		V _T ⁺	PV _{CC} × 0.75	—	—	V	
		V _T [−]	—	—	0.5	V	
		V _T ⁺ −V _T [−]	0.2	—	—	V	
出力ハイレベル電圧		V _{OH}	PV _{CC} −0.5	—	—	V	I _{OH} =−2.0mA
出力ローレベル電圧		V _{OL}	—	—	0.4	V	I _{OL} =2.0mA
RAM スタンバイ電圧	ソフトウェアスタンバイモード時 (高速内蔵 RAM および大容量内蔵 RAM)	V _{RAMS}	0.85	—	—	V	V _{CC} (=PLL _{VCC}) をパラメータとして測定
	ディープスタンバイモード時 (保持用内蔵 RAM のみ)	V _{RAMD}	1.15	—	—	V	

表 35.2 DC 特性 (4) 【I²C バスインタフェース 3 関連端子*】

項 目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	PV _{CC} × 0.7	—	PV _{CC} +0.3	V	
入力ローレベル電圧	V _{IL}	−0.3	—	PV _{CC} × 0.3	V	
シュミットトリガ入力特性	V _{IH} −V _{IL}	PV _{CC} × 0.05	—	—	V	
出力ローレベル電圧	V _{OL}	—	—	0.4	V	I _{OL} =3.0mA

【注】 * PE7~PE0 端子 (オープンドレイン端子)

表 35.2 DC 特性 (5) 【USB2.0 ホスト/ファンクションモジュール関連端子*】

項 目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	2.0	—	—	V	
入力ローレベル電圧	V _{IL}	—	—	0.8	V	
差動入力感度	V _{DI}	0.2	—	—	V	(DP) − (DM)
差動コモンモード範囲	V _{CM}	0.8	—	2.5	V	
出力ハイレベル電圧	V _{OH}	2.8	—	3.6	V	I _{OH} =−200 μA
出力ローレベル電圧	V _{OL}	0.0	—	0.3	V	I _{OL} =2mA
出力信号クロスオーバー電圧	V _{CRS}	1.3	—	2.0	V	C _L =50pF

【注】 * DP、DM 端子

表 35.3 出力許容電流値

項 目		記号	Min.	Typ.	Max.	単位
出力ローレベル 許容電流 (1 端子当たり)	PE7~PE0	I _{OL}	—	—	10	mA
	その他の出力端子				2	mA
出力ローレベル許容電流 (総和)		Σ I _{OL}	—	—	120	mA
出力ハイレベル許容電流 (1 端子当たり)		— I _{OH}	—	—	2	mA
出力ハイレベル許容電流 (総和)		Σ -I _{OH}	—	—	120	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 35.3 の値を超えないようにしてください。

35.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

条件：VCC=PLLVC=1.15~1.35V、PVCC=3.0~3.6V、AVCC=3.0~3.6V、VSS=AVSS=0V、
Ta=-40~85°C

表 35.4 動作周波数

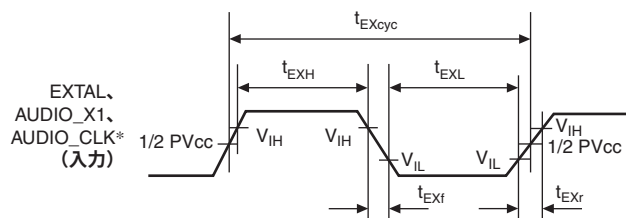
項 目		記号	Min.	Max.	単位	備考
動作周波数	CPU クロック (Iφ)	f	60.00	216.00	MHz	
	バスクロック (Bφ)		60.00	72.00	MHz	
	周辺クロック (Pφ)		15.00	36.00	MHz	

35.4.1 クロックタイミング

表 35.5 クロックタイミング

項 目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数 (クロックモード 0)	fEX	10.00	12.00	MHz	35.1
EXTAL クロック入力サイクル時間 (クロックモード 0)	tEXcyc	83.33	100.00	ns	
EXTAL クロック入力周波数 (クロックモード 1) (USB2.0 ホスト/ファンクションモジュールヘクロック供給時)	fEX	48MHz±500ppm			
EXTAL クロック入力周波数 (クロックモード 1) (USB2.0 ホスト/ファンクションモジュールヘクロック非供給時)		40.00	48.00	MHz	
EXTAL クロック入力サイクル時間 (クロックモード 1) (USB2.0 ホスト/ファンクションモジュールヘクロック非供給時)	tEXcyc	20.83	25.00	ns	
AUDIO_X1 クロック入力周波数 (水晶発振子接続時)	fEX	10.00	50.00	MHz	
AUDIO_X1 クロック入力サイクル時間 (水晶発振子接続時)	tEXcyc	20.00	100.00	ns	
AUDIO_X1、AUDIO_CLK クロック入力周波数 (外部クロック入力時)	fEX	1.00	50.00	MHz	
AUDIO_X1、AUDIO_CLK クロック入力サイクル時間 (外部クロック入力時)	tEXcyc	20.00	1000.00	ns	
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力 ローレベルパルス幅	tEXL	0.4	0.6	tEXcyc	
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力 ハイレベルパルス幅	tEXH	0.4	0.6	tEXcyc	
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力 立ち上がり時間	tEXr	—	4	ns	
EXTAL、AUDIO_X1、AUDIO_CLK クロック入力 立ち下がり時間	tEXf	—	4	ns	

項 目	記号	Min.	Max.	単位	参照図
CKIO クロック出力周波数	f _{OP}	60.00	72.00	MHz	
CKIO クロック出力サイクル時間	t _{cyc}	13.88	16.66	ns	35.2 (1)、 35.2 (2)
CKIO クロック出力ローレベルパルス幅 1	t _{CKOL1}	t _{cyc} /2 - t _{CKOr1}	—	ns	35.2 (1)
CKIO クロック出力ハイレベルパルス幅 1	t _{CKOH1}	t _{cyc} /2 - t _{CKOf1}	—	ns	
CKIO クロック出力立ち上がり時間 1	t _{CKOr1}	—	3	ns	
CKIO クロック出力立ち下がり時間 1	t _{CKOf1}	—	3	ns	
CKIO クロック出力ローレベルパルス幅 2	t _{CKOL2}	t _{cyc} /2 - t _{CKOr2}	—	ns	35.2 (2)
CKIO クロック出力ハイレベルパルス幅 2	t _{CKOH2}	t _{cyc} /2 - t _{CKOf2}	—	ns	
CKIO クロック出力立ち上がり時間 2	t _{CKOr2}	—	2	ns	
CKIO クロック出力立ち下がり時間 2	t _{CKOf2}	—	2	ns	
パワーオン発振安定時間	t _{OSC1}	10	—	ms	35.3
スタンバイ復帰発振安定時間 1	t _{OSC2}	10	—	ms	35.4
リアルタイムクロック発振安定時間	t _{ROSC}	—	10	ms	35.6
モードホールド時間	t _{MDH}	200	—	ns	35.3、 35.4



【注】 * EXTAL、AUDIO_X1、AUDIO_CLK端子からクロックを入力する場合

図 35.1 EXTAL、AUDIO_X1、AUDIO_CLK クロック入力タイミング

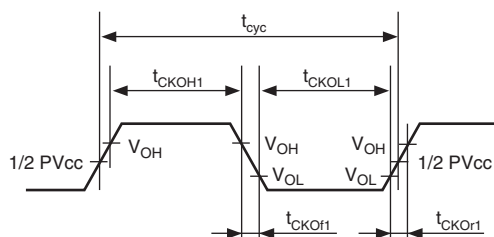


図 35.2 (1) CKIO クロック出力タイミング 1

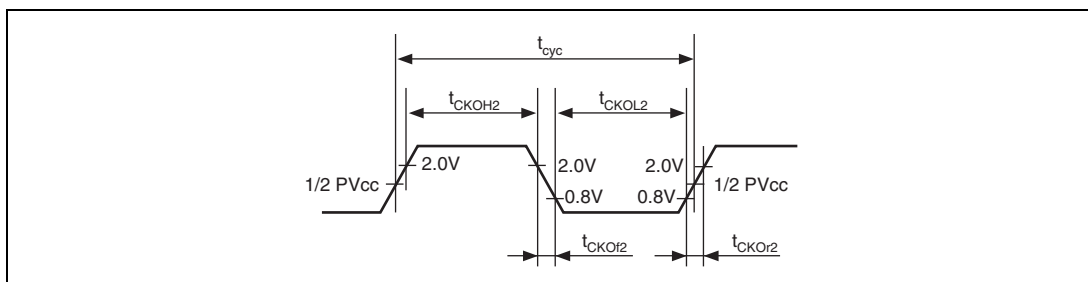


図 35.2 (2) CKIO クロック出力タイミング 2

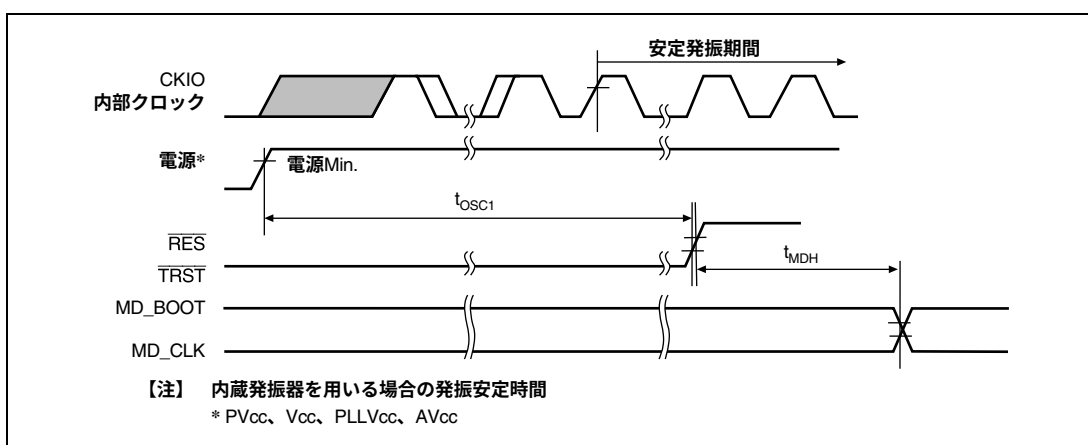


図 35.3 パワーオン発振安定時間

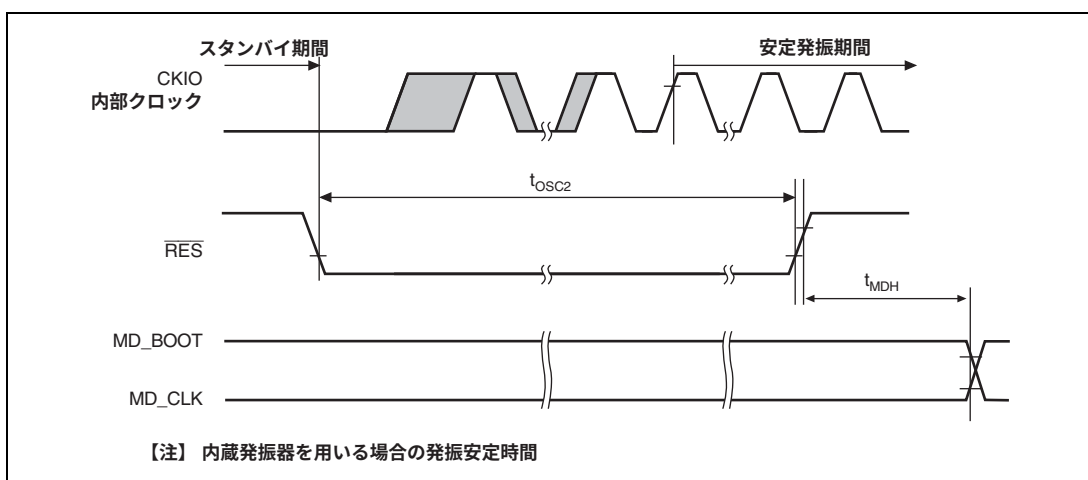


図 35.4 スタンバイ復帰時発振安定時間（リセットによる復帰）

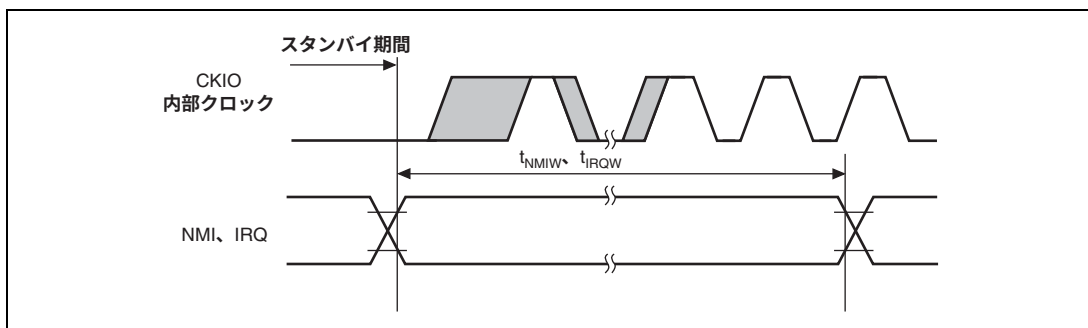


図 35.5 スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）

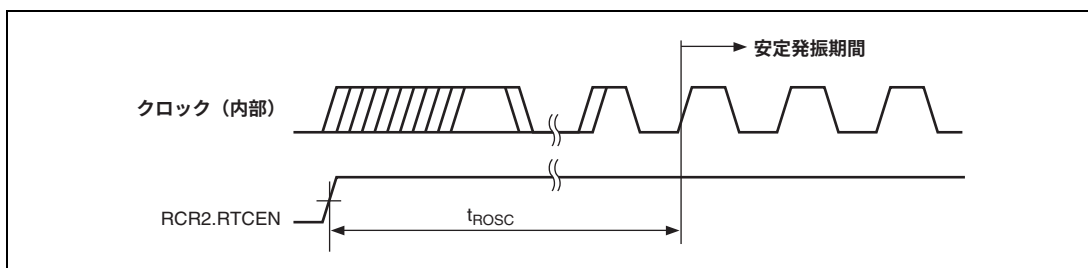


図 35.6 リアルタイムクロック発振安定時間

35.4.2 制御信号タイミング

表 35.6 制御信号タイミング

項 目		記号	B ϕ = 72MHz		単位	参照図
			Min.	Max.		
RESパルス幅	スタンバイモード解除時	t _{RESW}	10	—	ms	35.7 (1)
	上記以外		20	—	t _{cyc}	
TRSTパルス幅		t _{TRSW}	20	—	t _{cyc}	
NMI パルス幅		t _{NMIW}	20	—	t _{cyc}	35.5、
IRQ パルス幅		t _{IRQW}	20	—	t _{cyc}	35.7 (2)
PINT パルス幅		t _{PINTW}	20	—	t _{cyc}	35.7 (2)

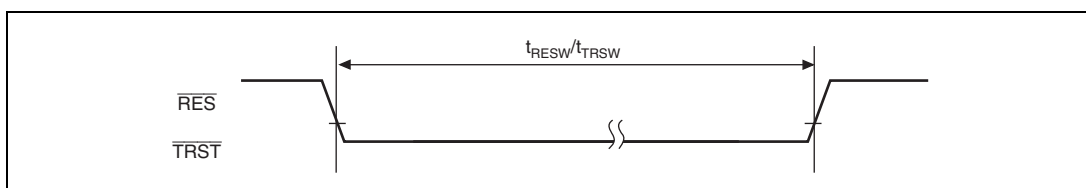


図 35.7 (1) リセット入カタイミング

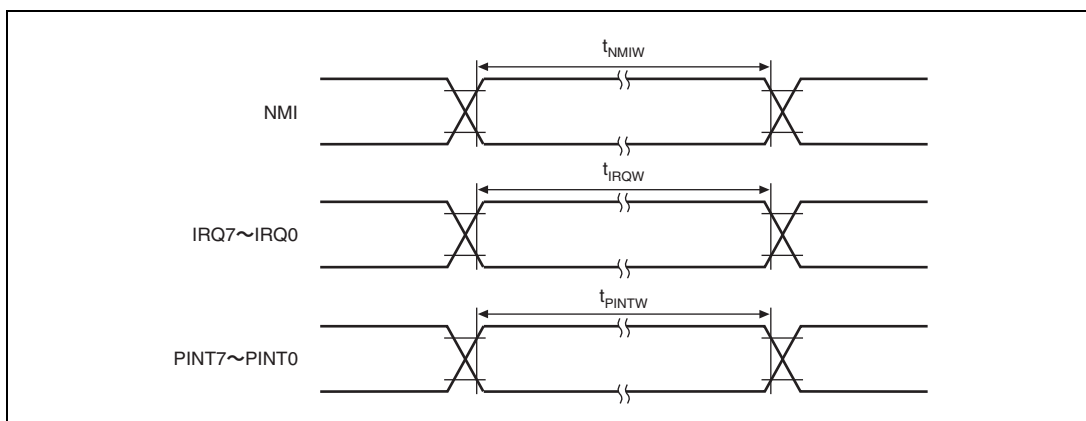


図 35.7 (2) 割り込み信号入カタイミング

35.4.3 バスタイミング

表 35.7 バスタイミング

項 目	記号	B ϕ = 72MHz*1		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	tAD1	0/2*3	10.5	ns	35.8~35.31
アドレス遅延時間 2	tAD2	1/2t _{cy}	1/2t _{cy} + 10.5	ns	35.14
アドレスセットアップ時間	tAS	0	—	ns	35.8~35.11、35.14
チップイネーブルセットアップ時間	tCS	0	—	ns	35.8~35.11、35.14
アドレスホールド時間	tAH	0	—	ns	35.8~35.11
$\overline{\text{BS}}$ 遅延時間	tBSD	—	10.5	ns	35.8~35.28
$\overline{\text{CS}}$ 遅延時間 1	tCSD1	0/2*3	10.5	ns	35.8~35.31
リードライト遅延時間 1	trWD1	0/2*3	10.5	ns	35.8~35.31
リードストロブ遅延時間	trSD	1/2t _{cy}	1/2t _{cy} + 10.5	ns	35.8~35.14
リードデータセットアップ時間 1	trDS1	1/2t _{cy} + 4	—	ns	35.8~35.13
リードデータセットアップ時間 2	trDS2	7	—	ns	35.15~35.18、35.23~35.25
リードデータセットアップ時間 3	trDS3	1/2t _{cy} + 4	—	ns	35.14
リードデータホールド時間 1	trDH1	0	—	ns	35.8~35.13
リードデータホールド時間 2	trDH2	2	—	ns	35.15~35.18、35.23~35.25
リードデータホールド時間 3	trDH3	0	—	ns	35.14
ライトイネーブル遅延時間 1	twED1	1/2t _{cy}	1/2t _{cy} + 10.5	ns	35.8~35.12
ライトイネーブル遅延時間 2	twED2	—	10.5	ns	35.13
ライトデータ遅延時間 1	twDD1	—	10.5	ns	35.8~35.13
ライトデータ遅延時間 2	twDD2	—	10.5	ns	35.19~35.22、35.26~35.28
ライトデータホールド時間 1	twDH1	1	—	ns	35.8~35.13
ライトデータホールド時間 2	twDH2	2	—	ns	35.19~35.22、35.26~35.28
ライトデータホールド時間 4	twDH4	0	—	ns	35.8~35.11
WAIT セットアップ時間	twTS	1/2t _{cy} + 4.5	—	ns	35.9~35.14
WAIT ホールド時間	twTH	1/2t _{cy} + 3.5	—	ns	35.9~35.14
$\overline{\text{RAS}}$ 遅延時間 1	trASD1	2	10.5	ns	35.15~35.31
$\overline{\text{CAS}}$ 遅延時間 1	trASD1	2	10.5	ns	35.15~35.31
DQM 遅延時間 1	trQMD1	2	10.5	ns	35.15~35.28
CKE 遅延時間 1	tCKED1	2	10.5	ns	35.30
DACK、TEND 遅延時間	trACD	ダイレクトメモリアクセス コントローラタイミング参照		ns	35.8~35.28

【注】 *1 B ϕ (外部バスクロック) の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。

*2 遅延時間やセットアップ、ホールド時間の 1/2t_{cy} の記述は、クロックの立ち上がりから 1/2 サイクル、つまりクロックの立ち下がり基準であることを表現しています。

*3 SDRAM を使う場合の値です。

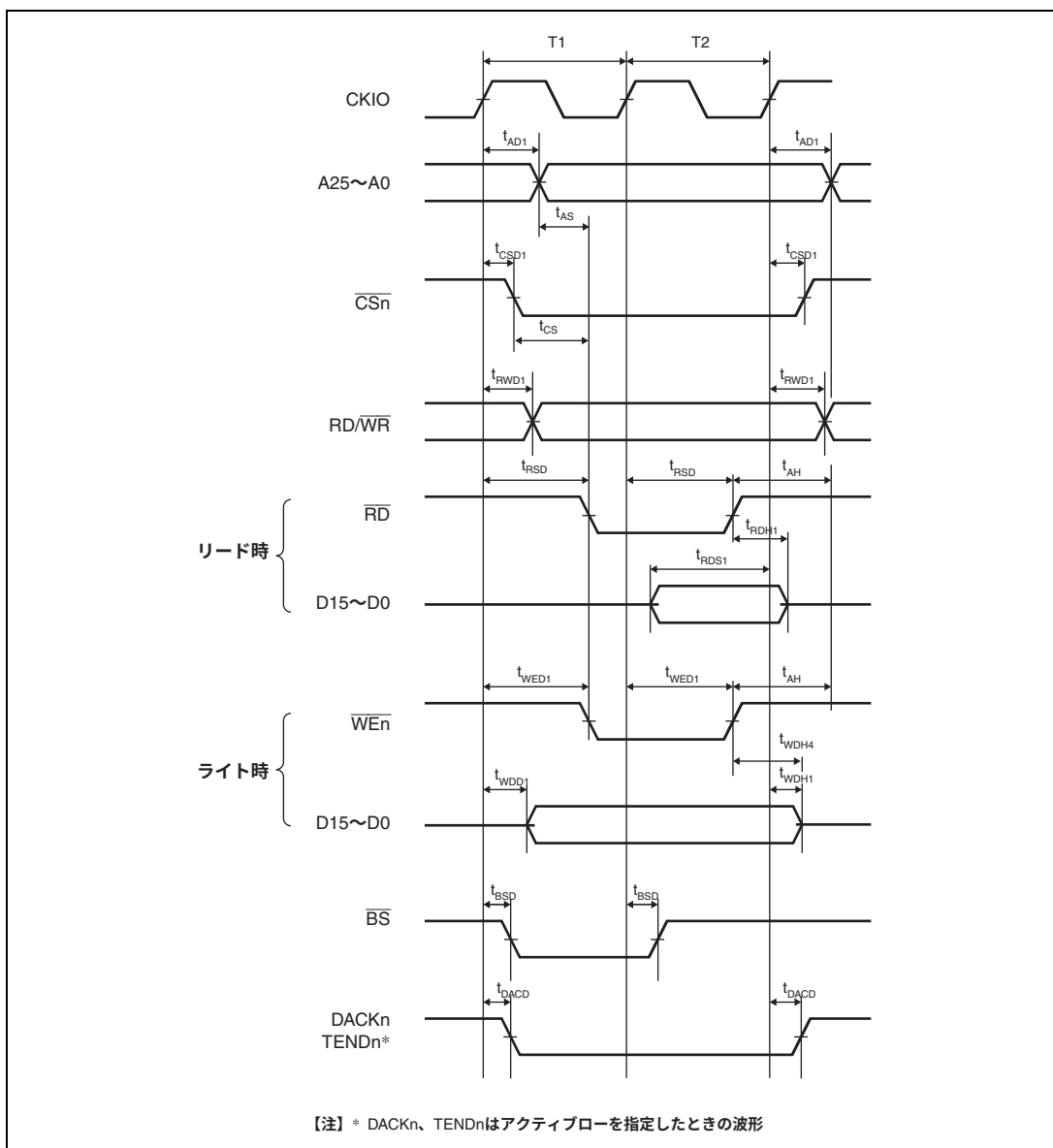


図 35.8 通常空間基本バスサイクル (ノーウェイト)

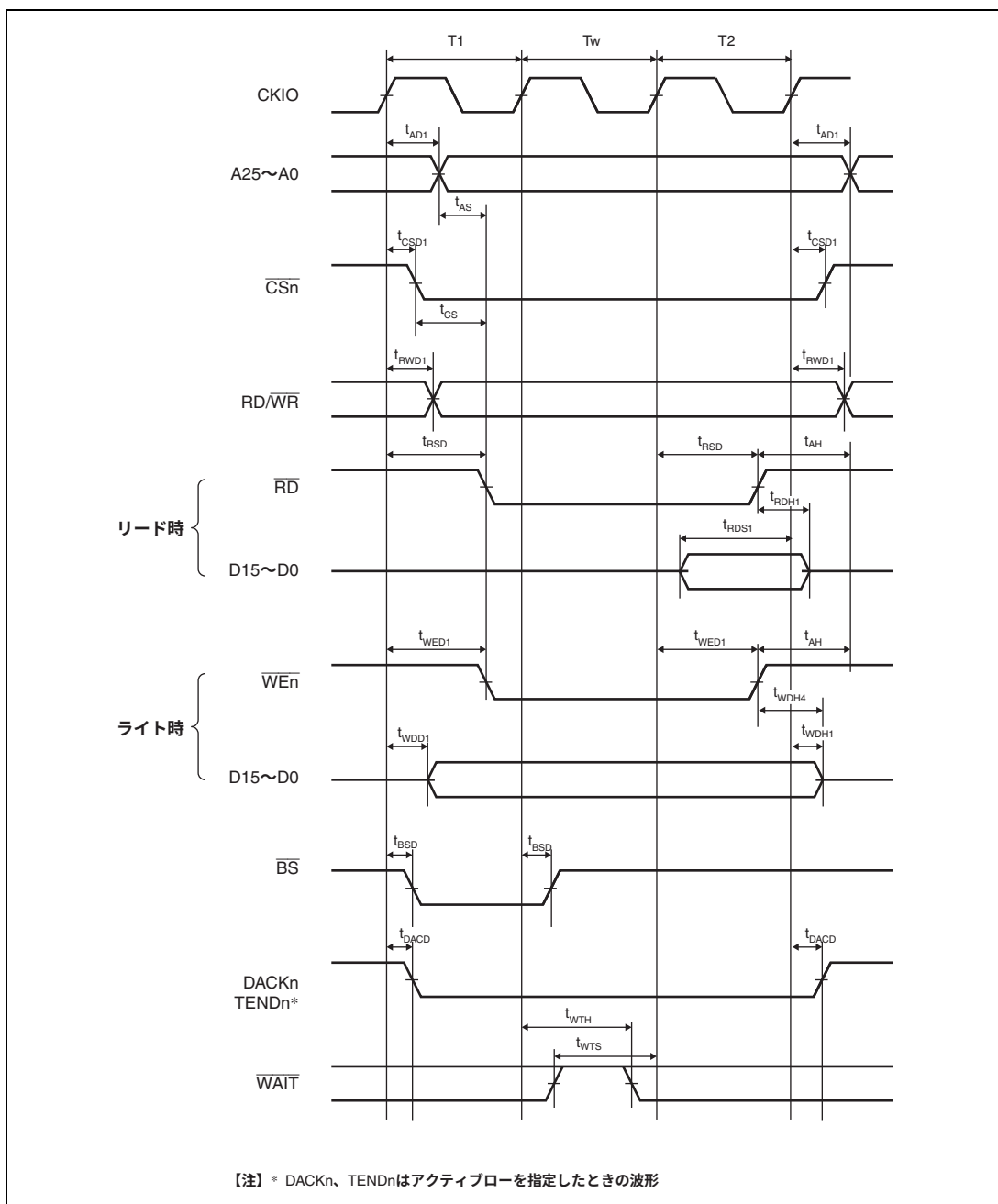


図 35.9 通常空間基本バスサイクル (ソフトウェアウェイト1)

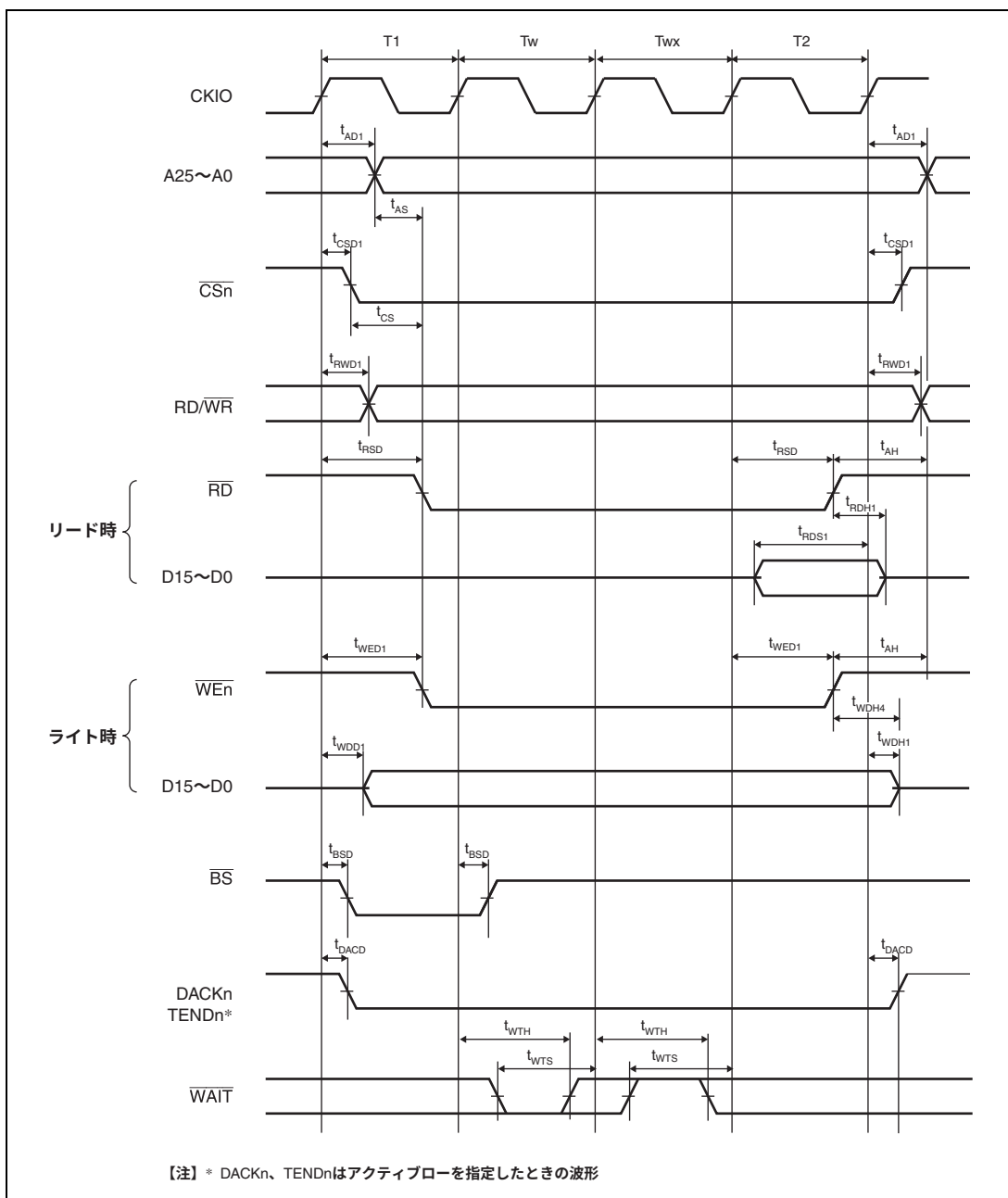
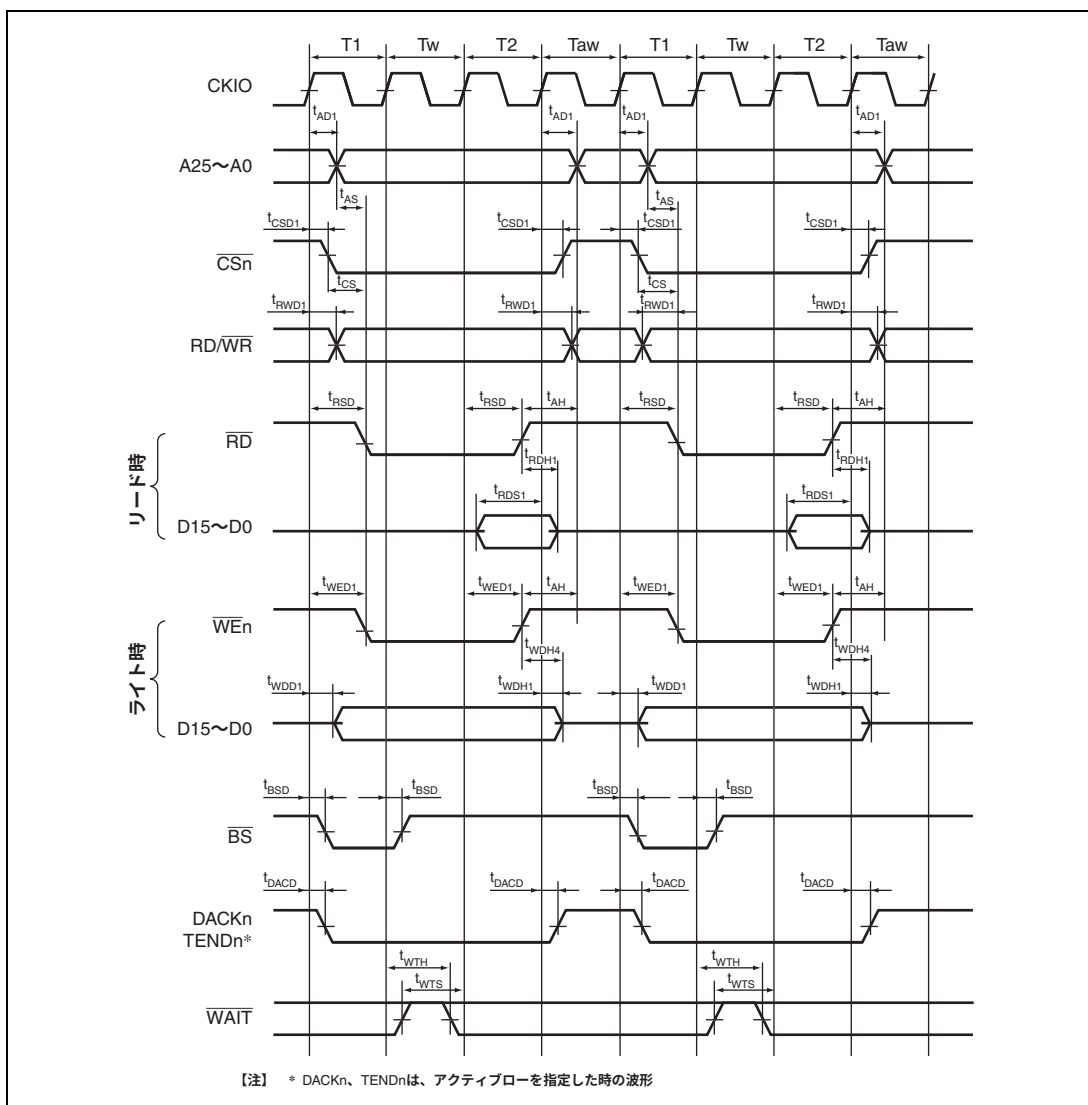


図 35.10 通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト 1 挿入）



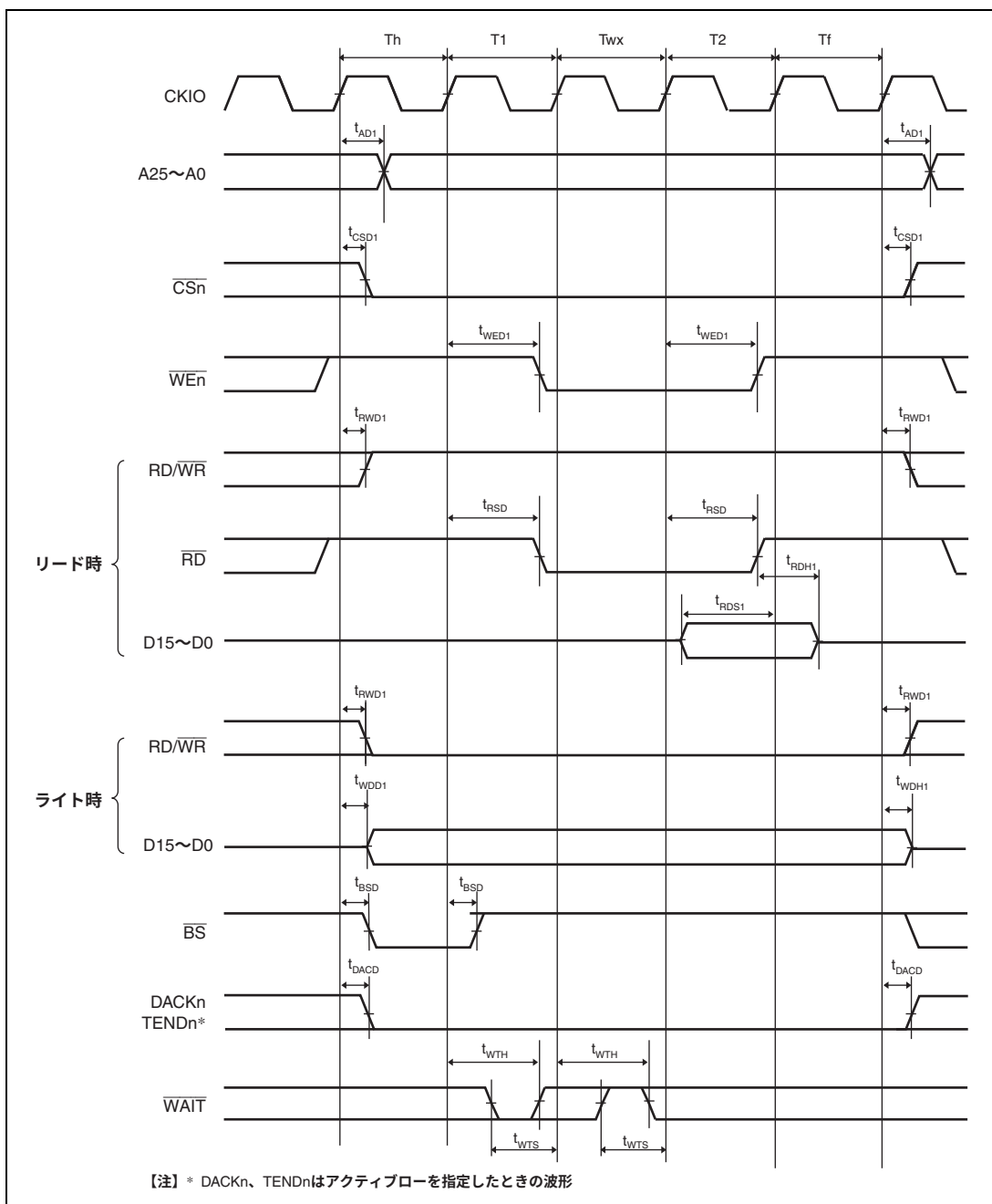


図 35.12 バイト選択付き SRAM バスサイクル (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=0 (ライトサイクル UB/LB コントロール))

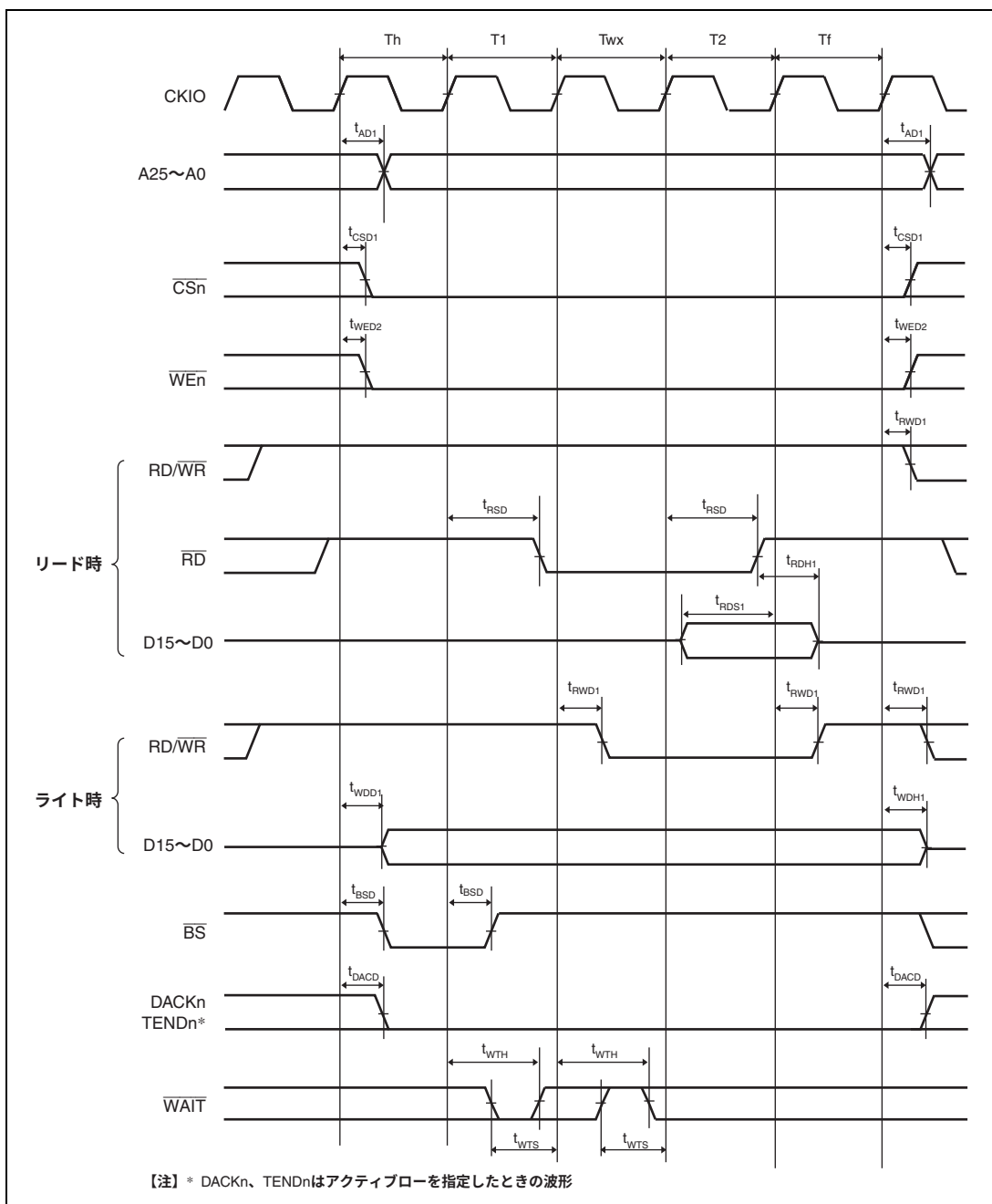


図 35.13 バイト選択付き SRAM バスサイクル (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=1 (ライトサイクル WE コントロール))

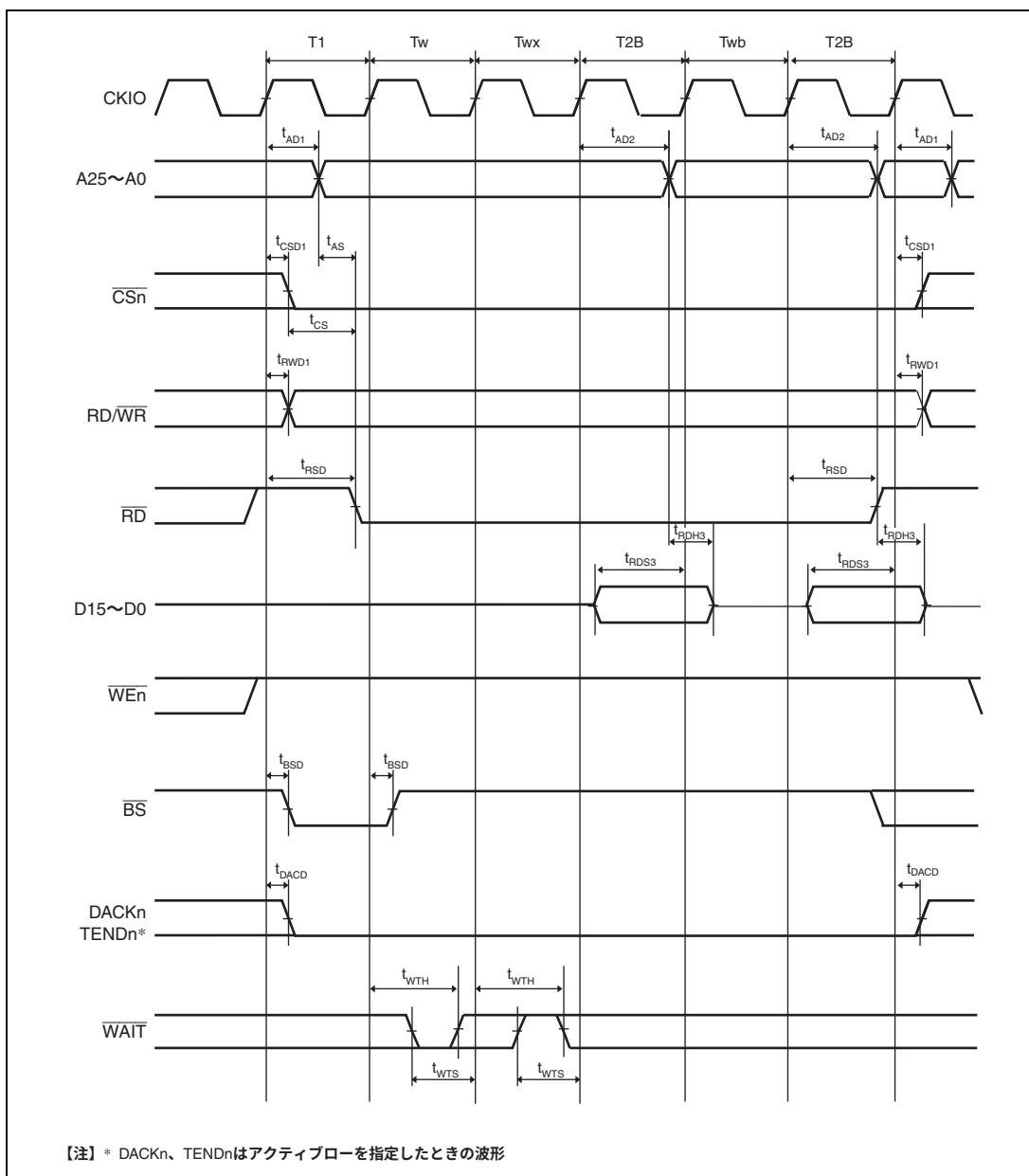


図 35.14 バースト ROM リードサイクル
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト)

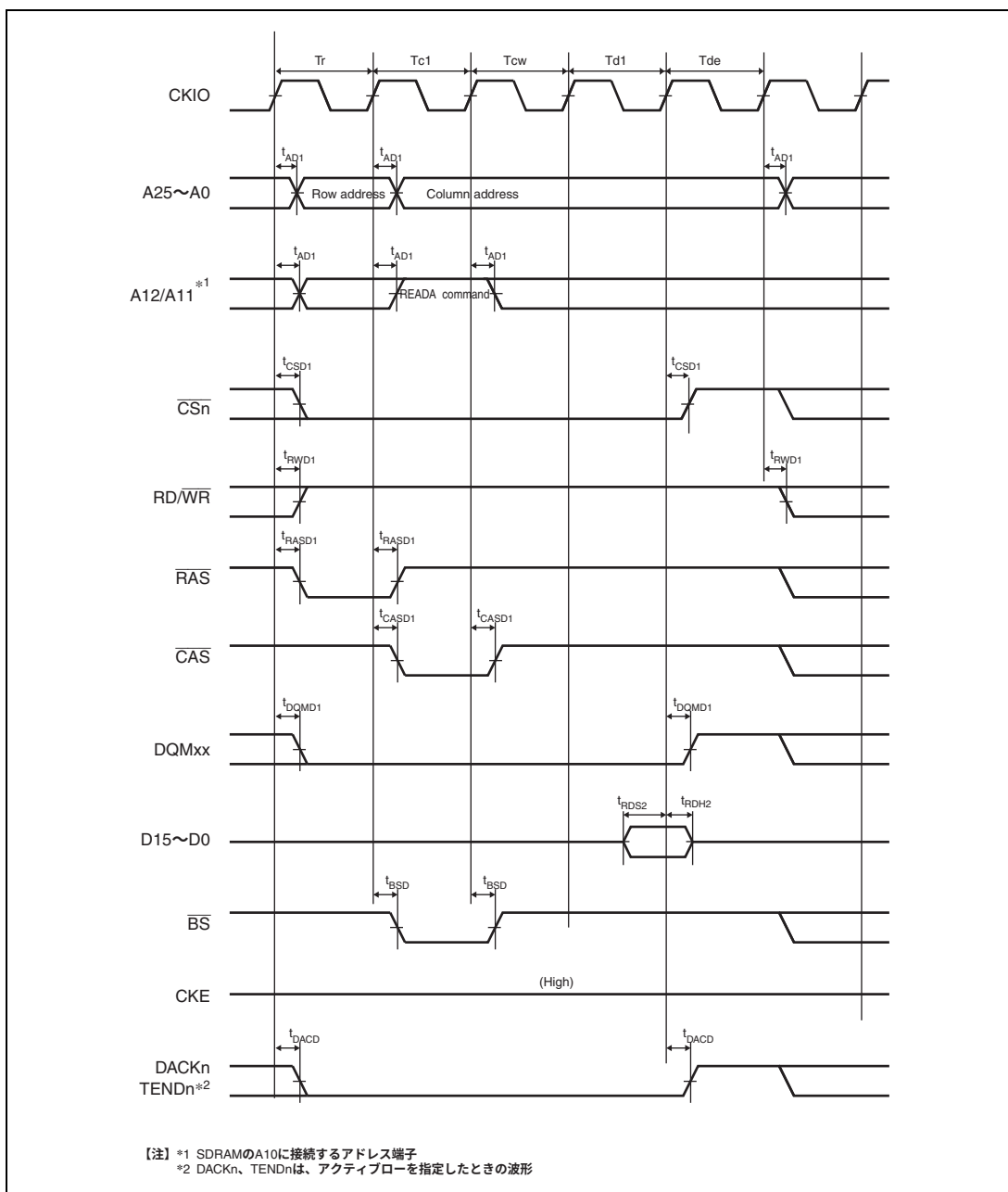


図 35.15 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=0 サイクル)

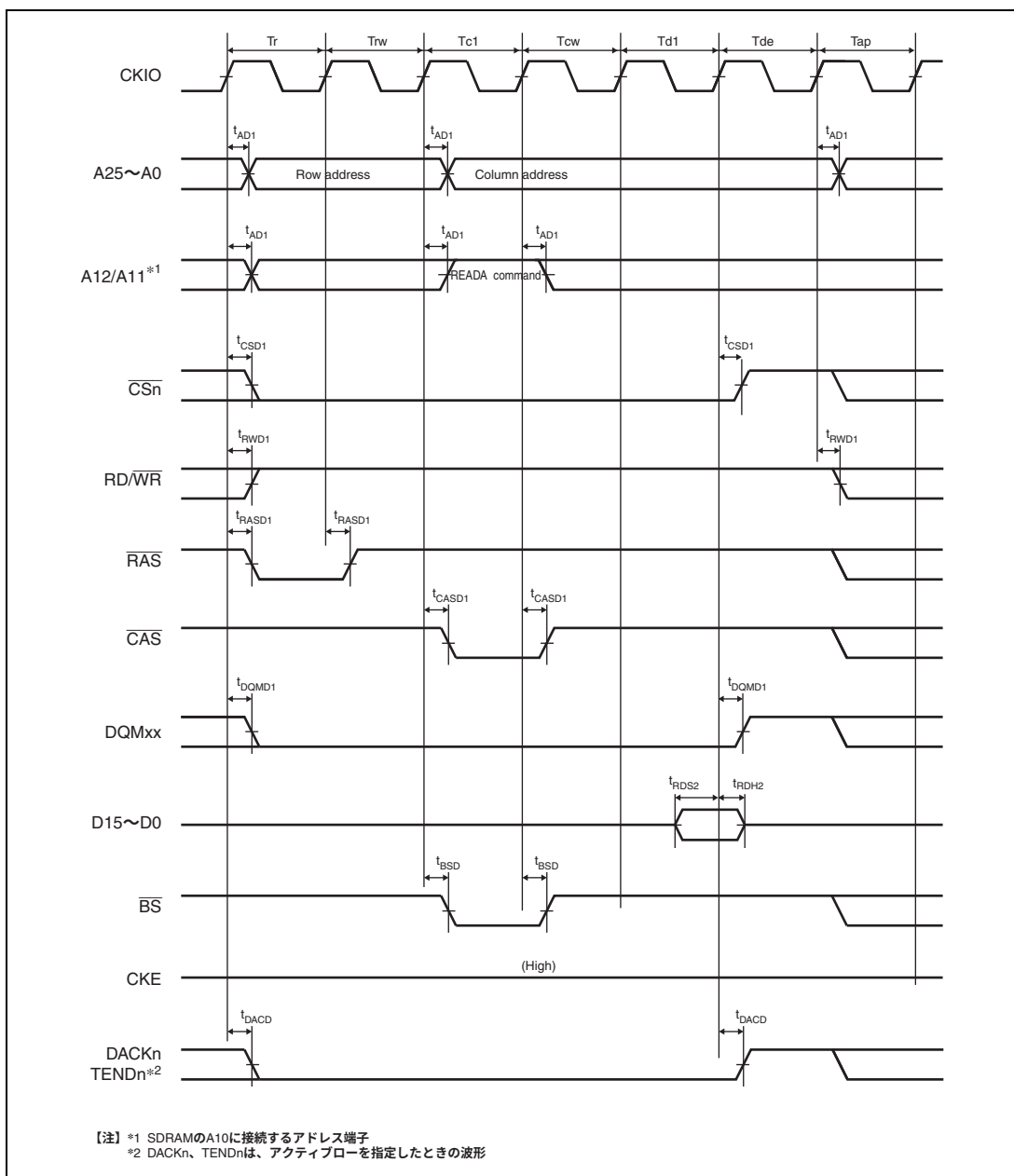


図 35.16 シンクロナス DRAM シングルリードバスサイクル
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=1 サイクル)

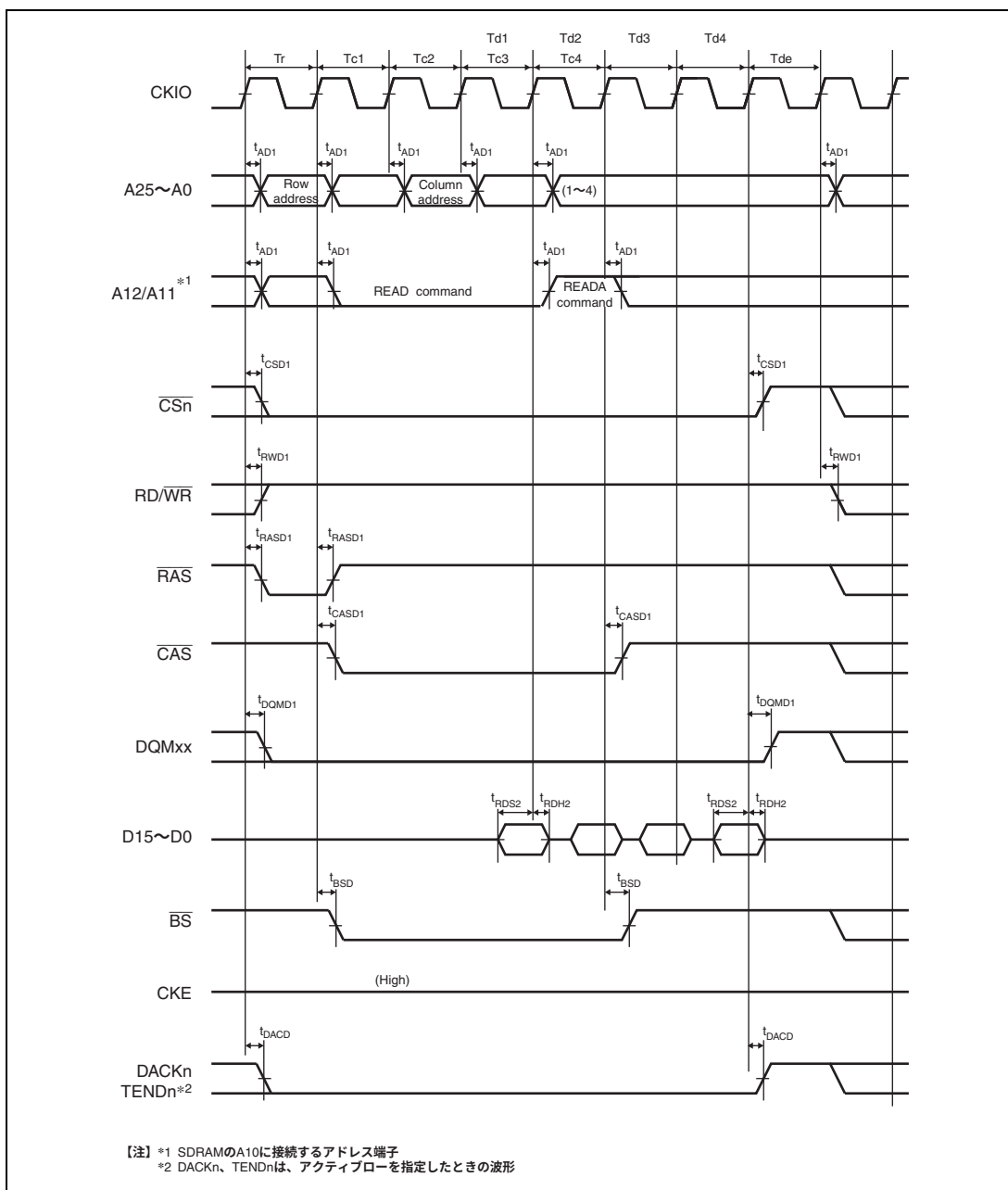


図 35.17 シンクロナス DRAM バーストリードバスサイクル (リード4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=1 サイクル)

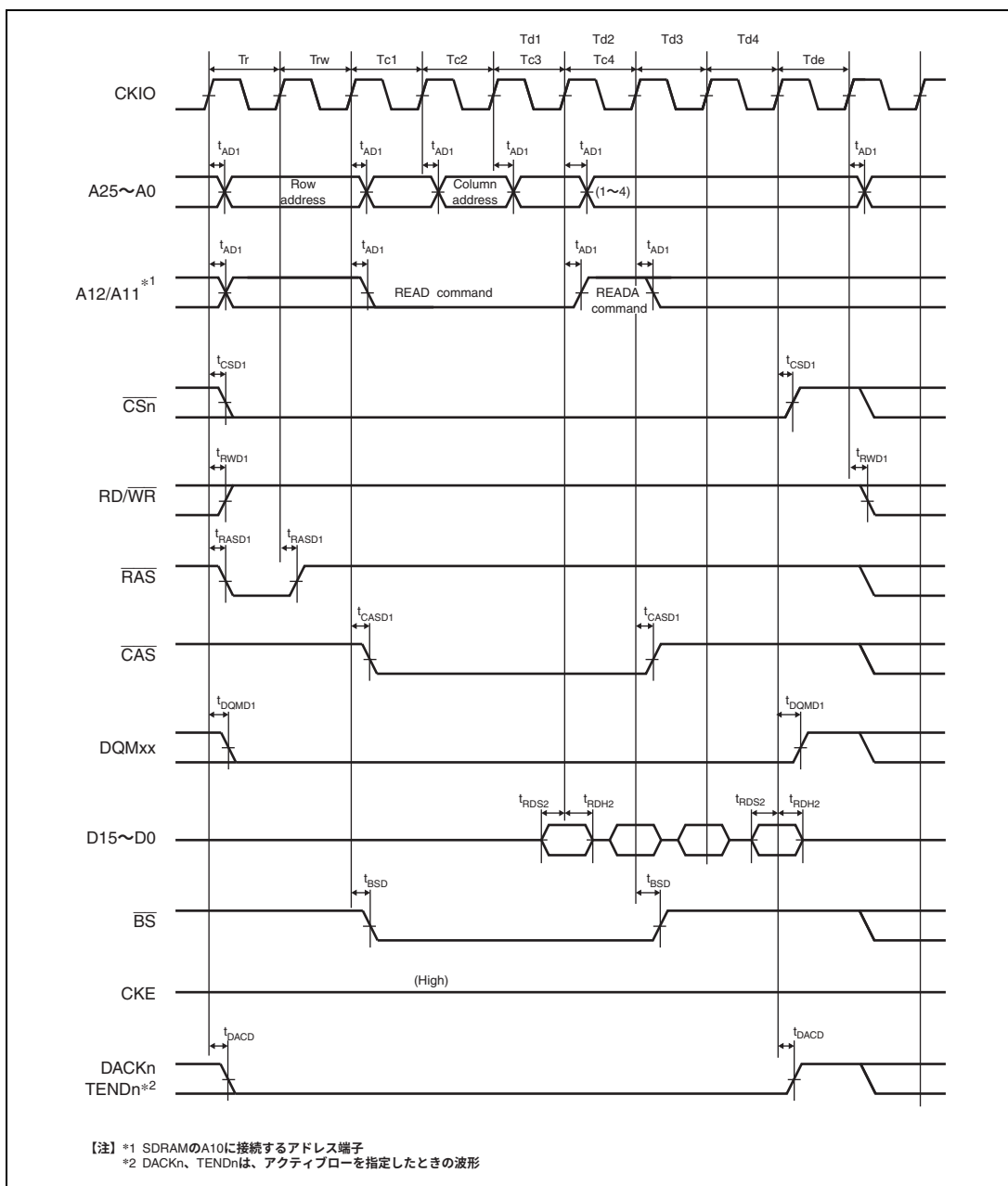


図 35.18 シンクロナス DRAM パーストリードバスサイクル (リード4サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=0 サイクル)

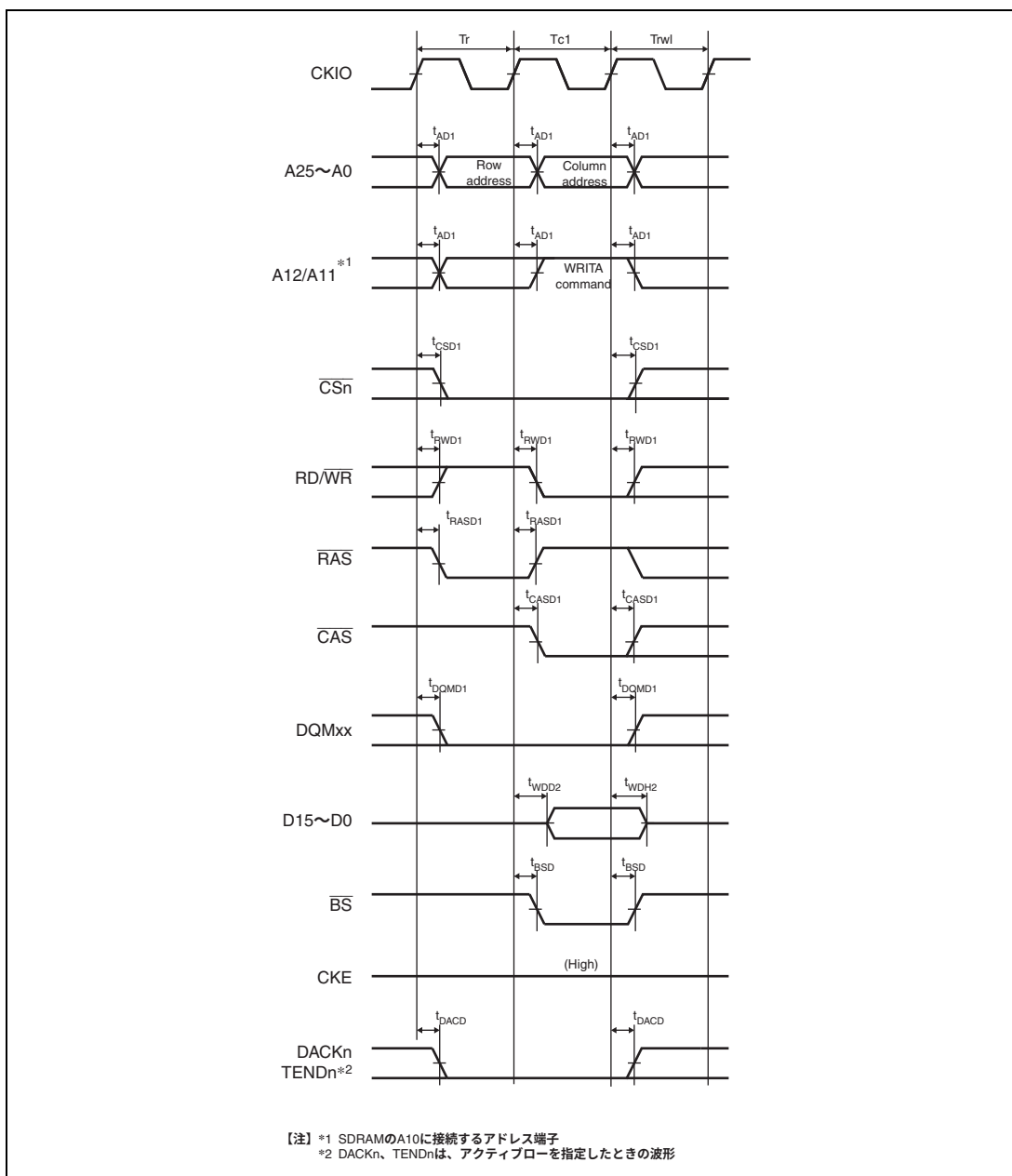


図 35.19 シンクロナス DRAM シングルライトバスサイクル
 (オートプリチャージあり、TRWL=1 サイクル)

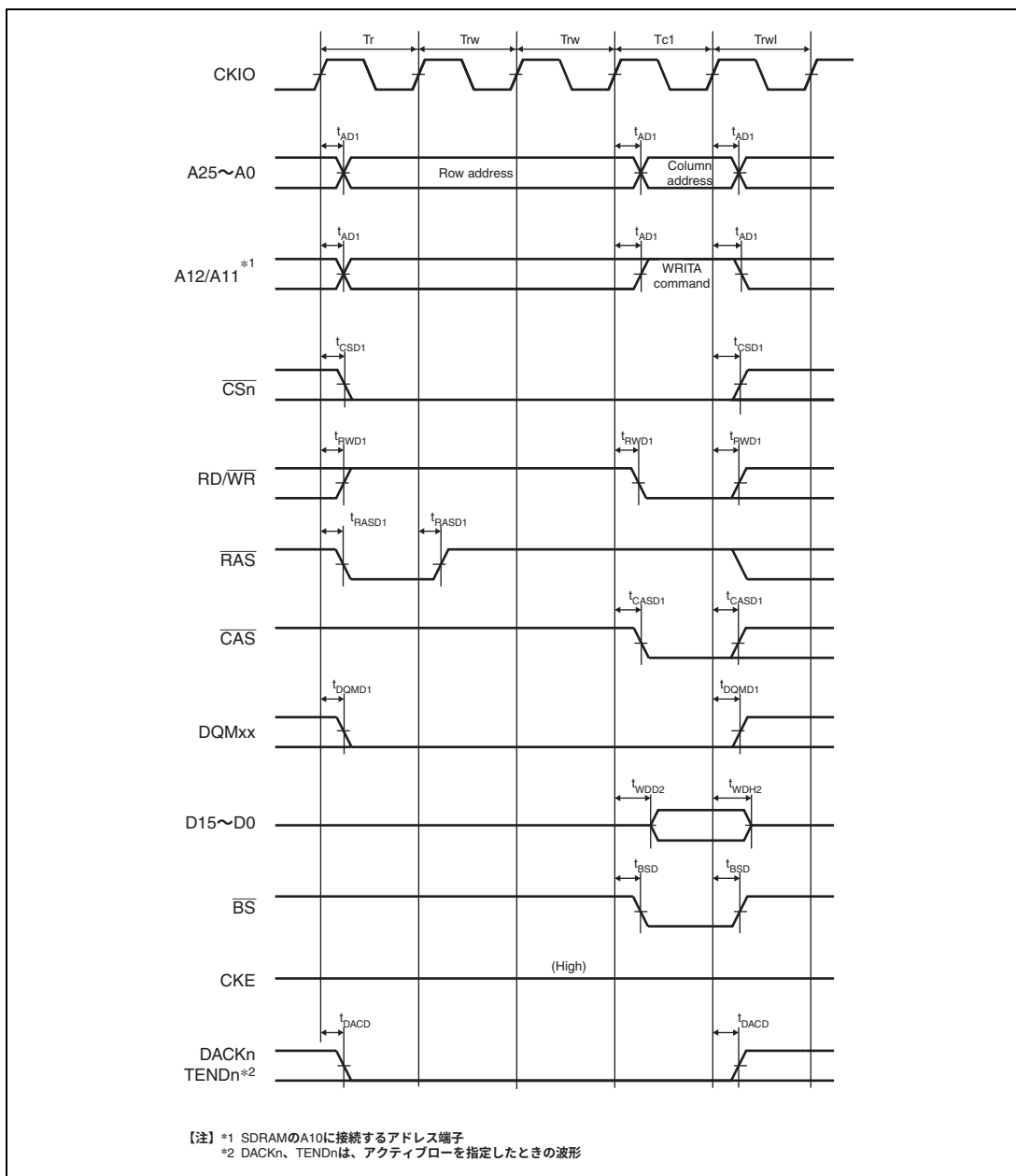


図 35.20 シンクロナス DRAM シングルライトバスサイクル
 (オートプリチャージあり、WTRCD=2 サイクル、TRWL=1 サイクル)

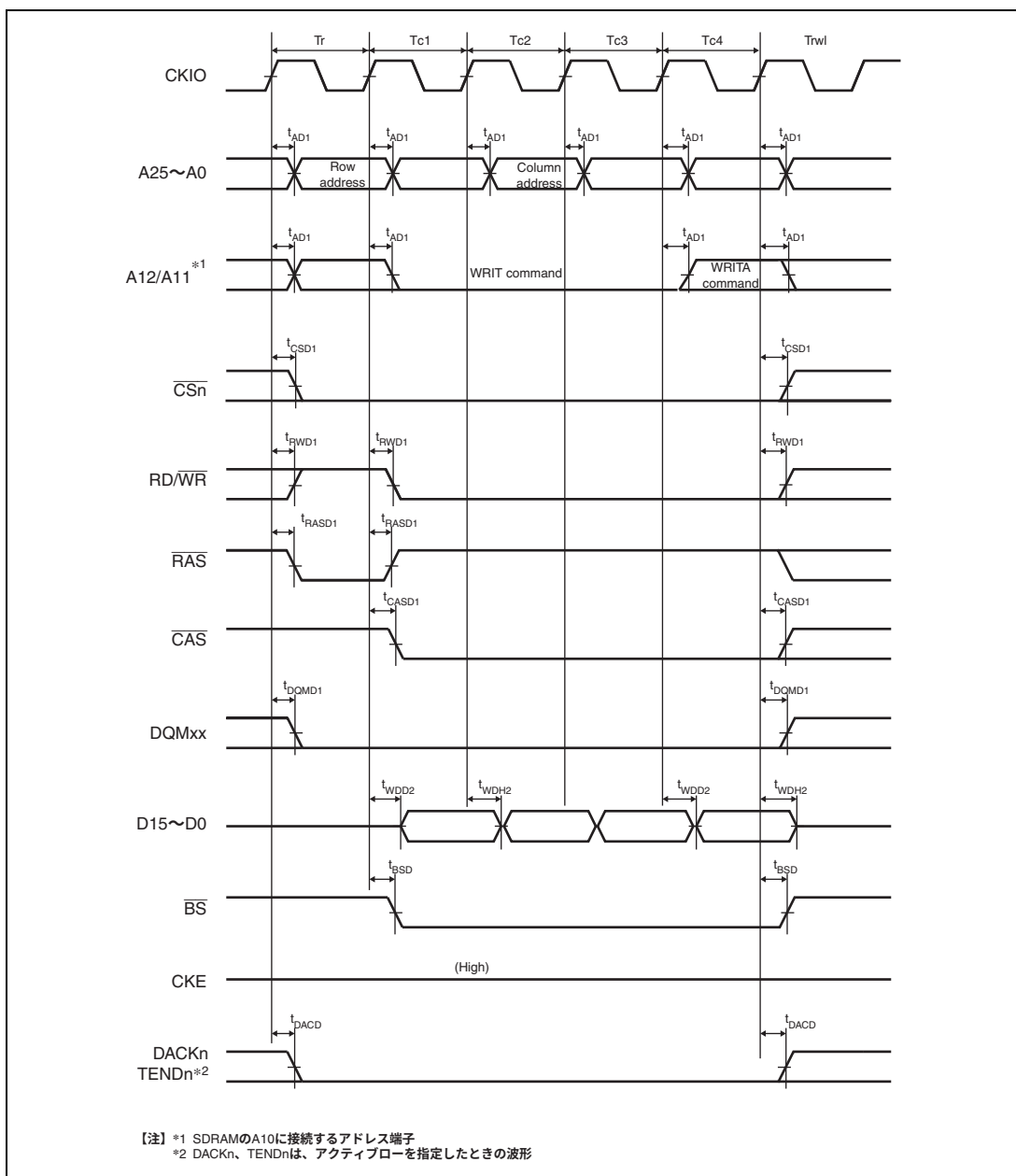


図 35.21 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(オートプリチャージあり、WTRCD=0 サイクル、TRWL=1 サイクル)

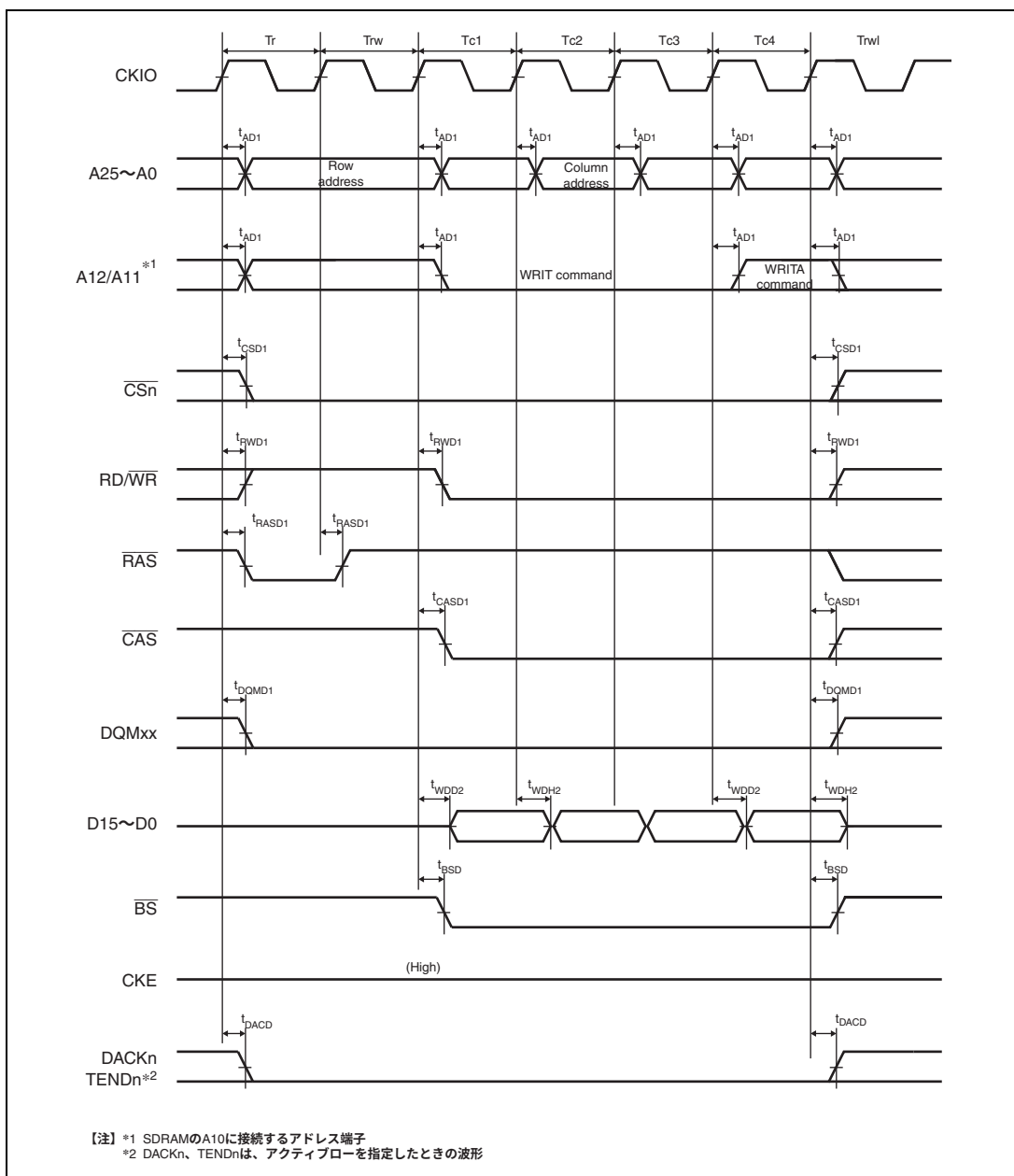


図 35.22 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(オートプリチャージあり、WTRCD=1 サイクル、TRWL=1 サイクル)

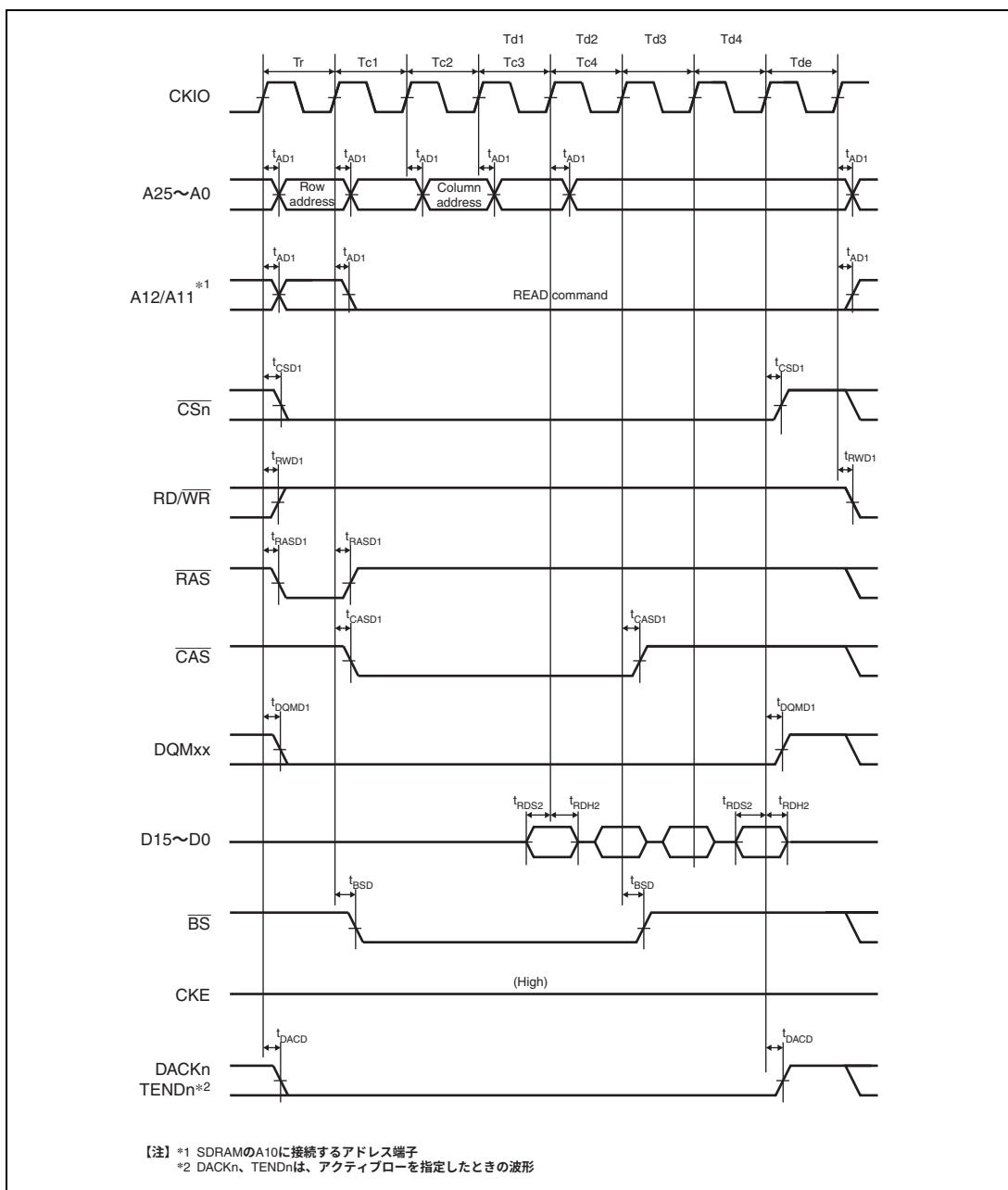


図 35.23 シンクロナス DRAM パーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : ACT+READ コマンド、CAS レイテンシ2、WTRCD=0 サイクル)

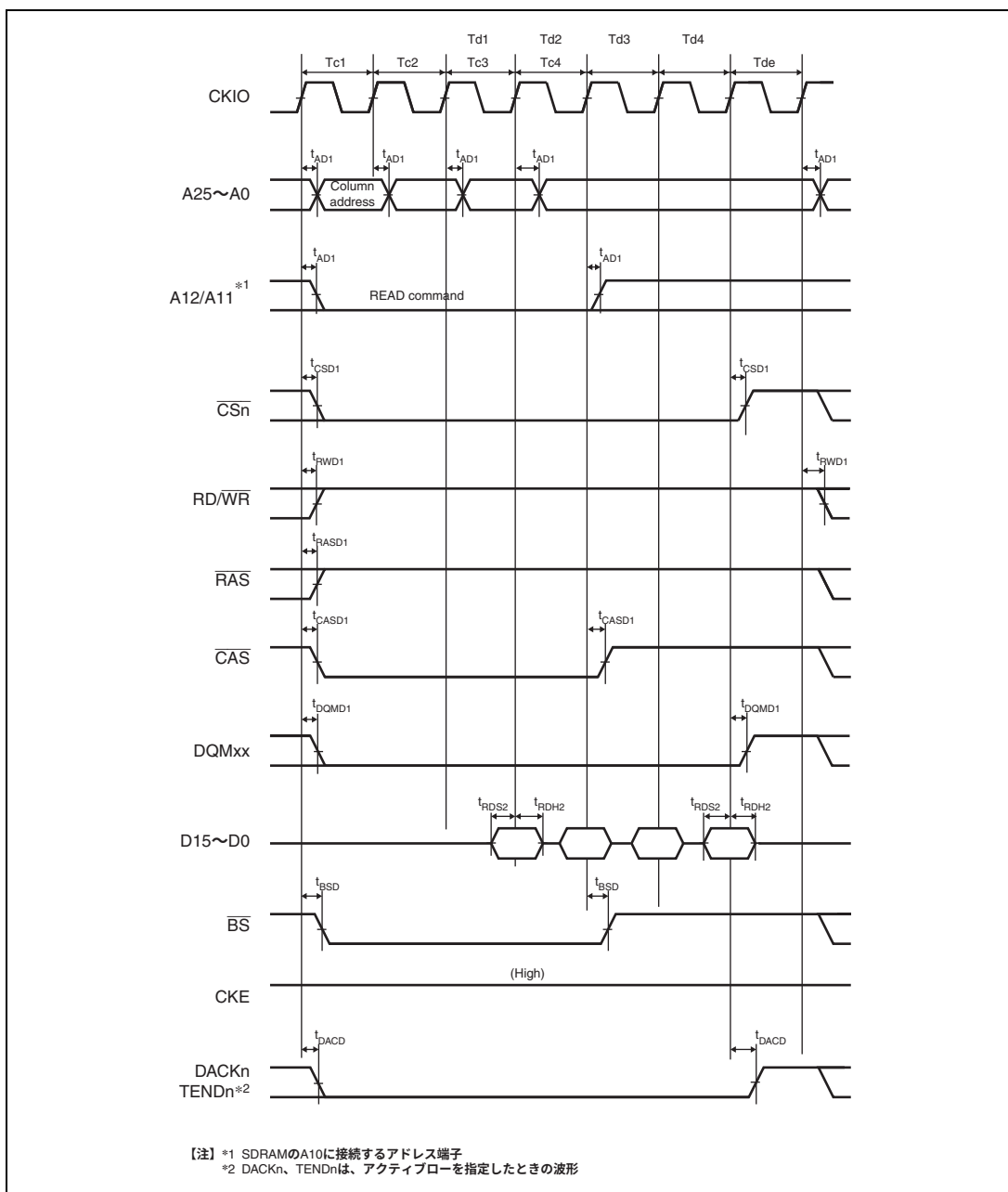


図 35.24 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ2、WTRCD=0 サイクル)

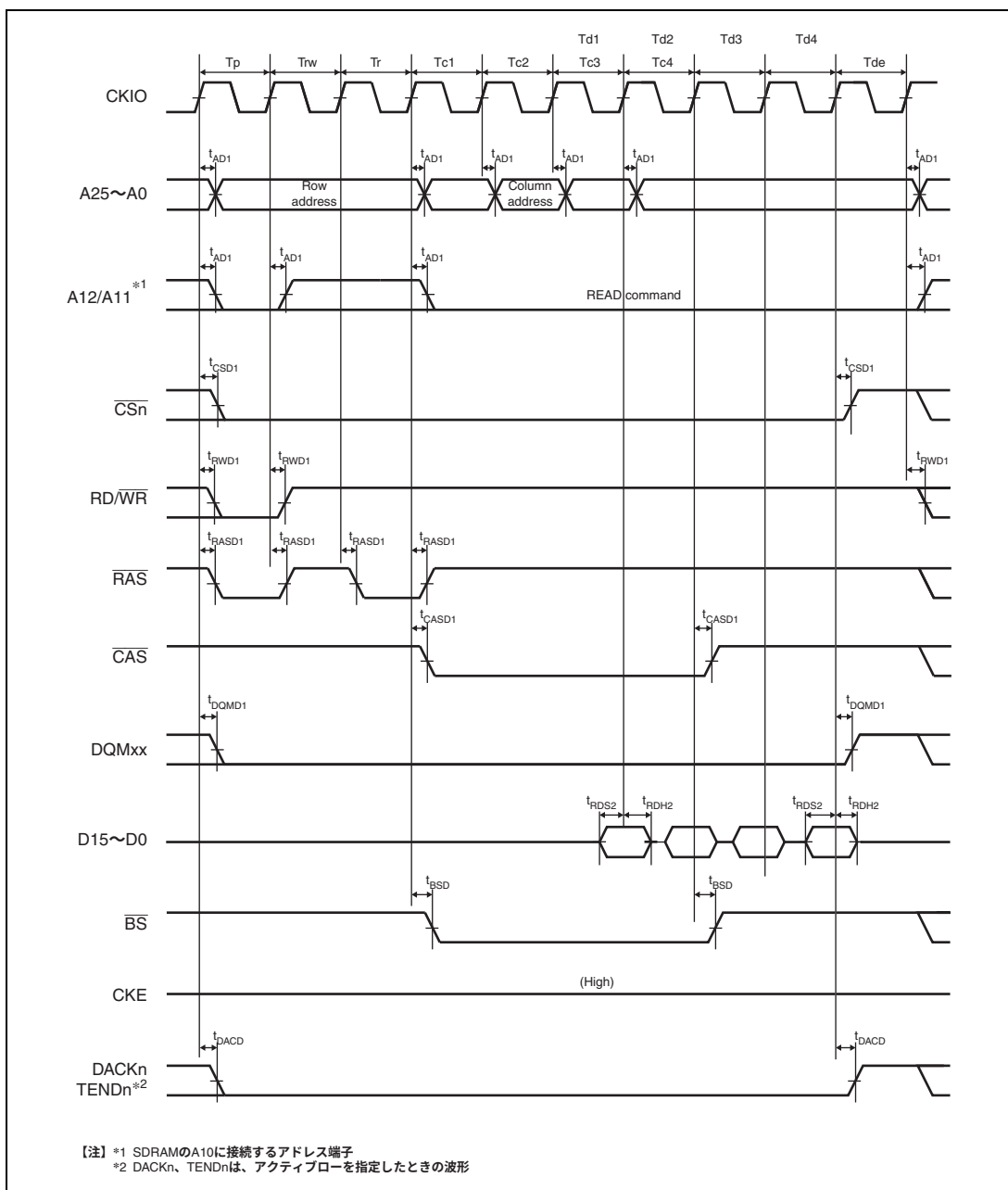


図 35.25 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : PRE+ACT+READ コマンド、異なるロウアドレス、CAS レイテンシ2、
WTRCD=0 サイクル)

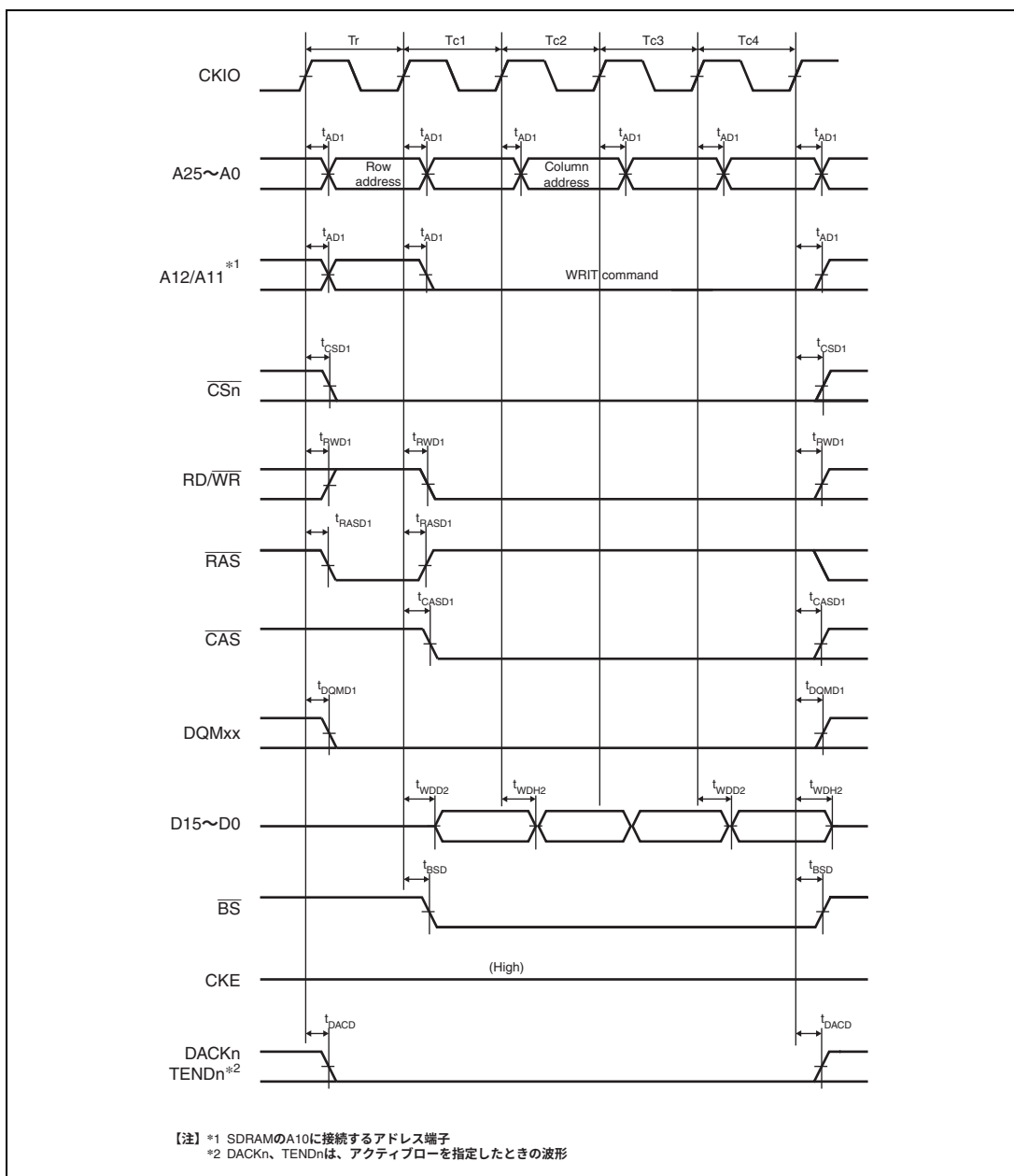


図 35.26 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル)
(バンクアクティブモード: ACT+WRITE コマンド、WTRCD=0 サイクル、TRWL=0 サイクル)

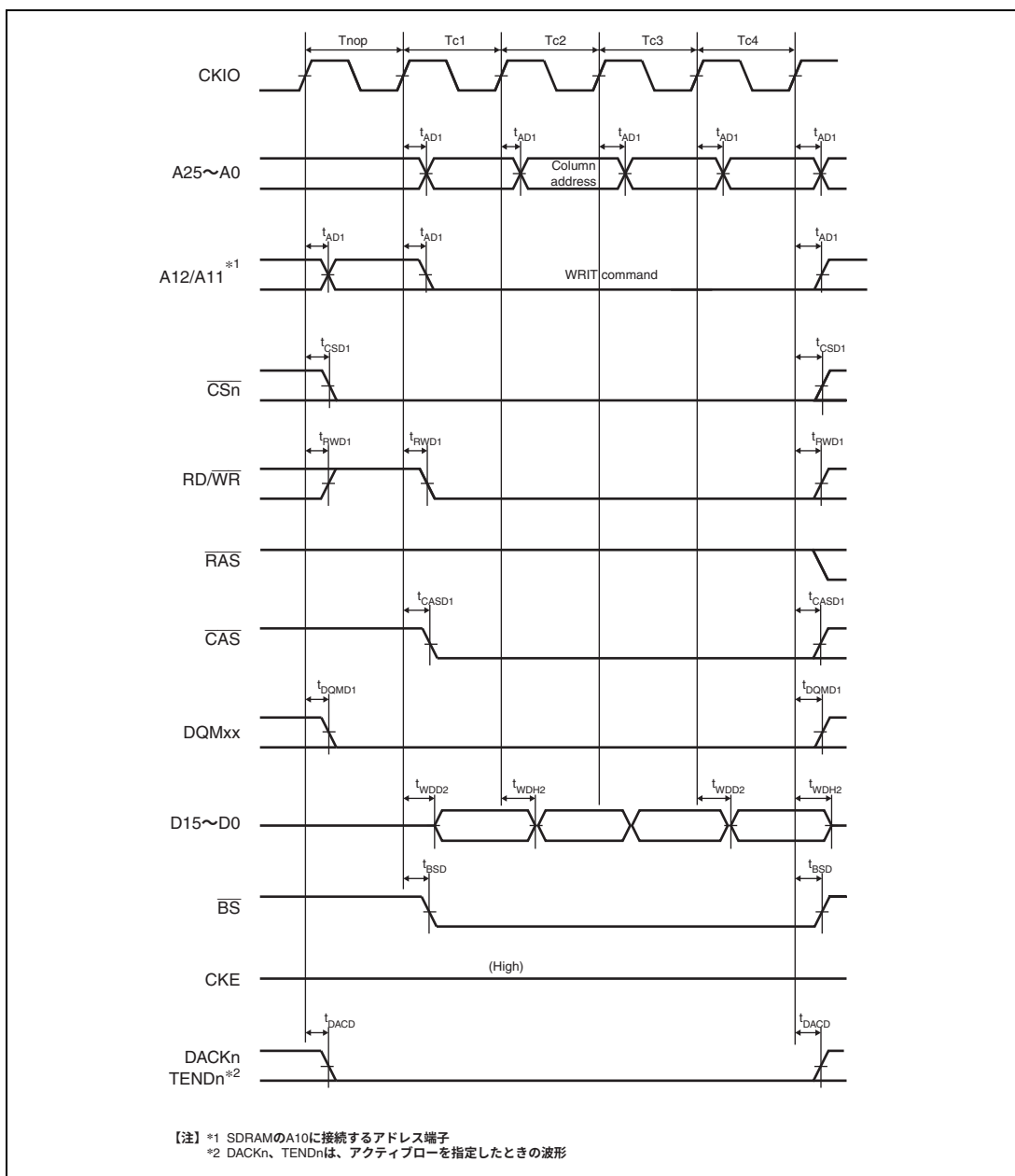


図 35.27 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード: WRITE コマンド、同一ロウアドレス、WTRCD=0 サイクル、TRWL=0 サイクル)

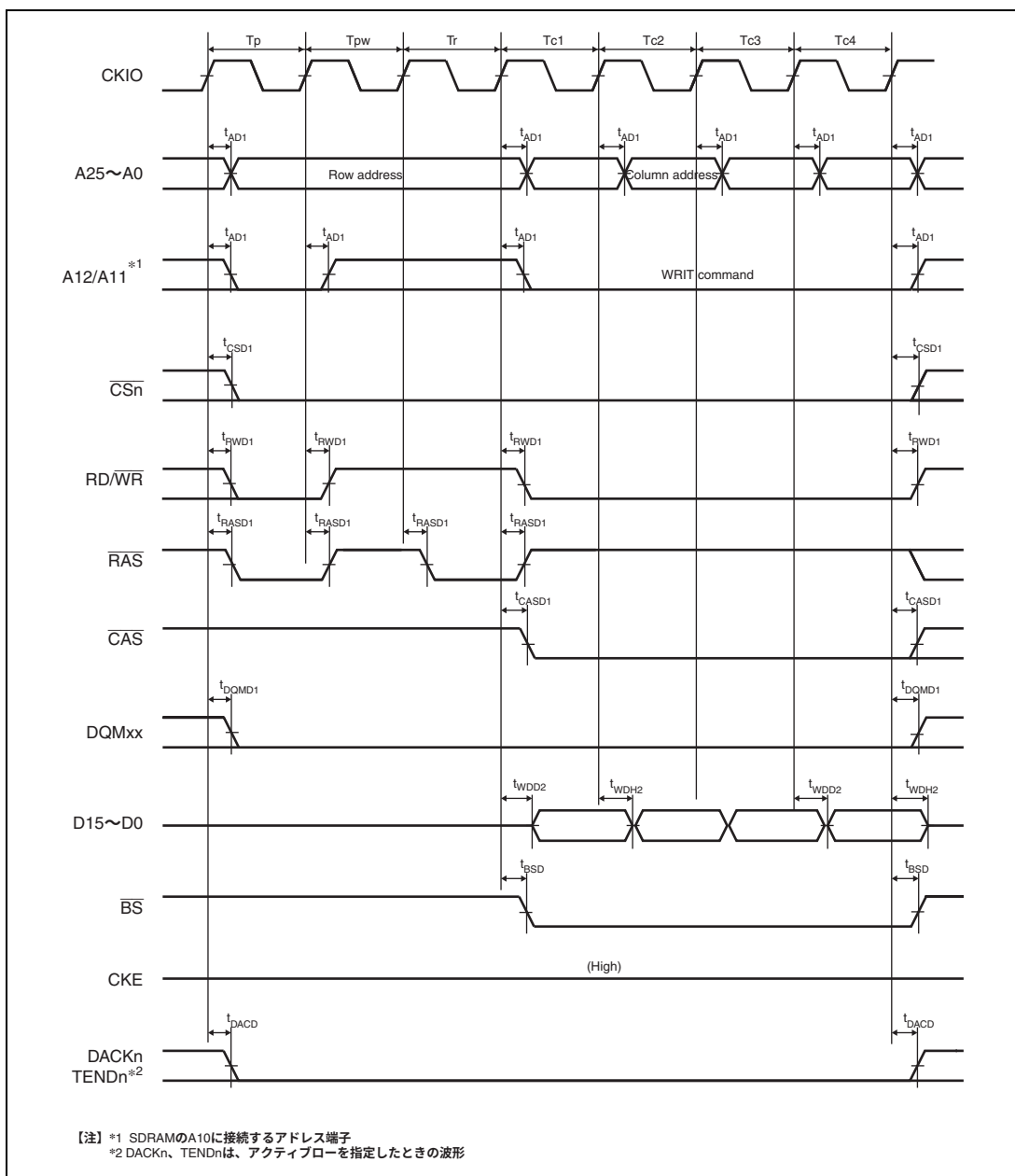


図 35.28 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード : PRE+ACT+WRITE コマンド、異なるロウアドレス、WTRCD=0 サイクル、
TRWL=0 サイクル)

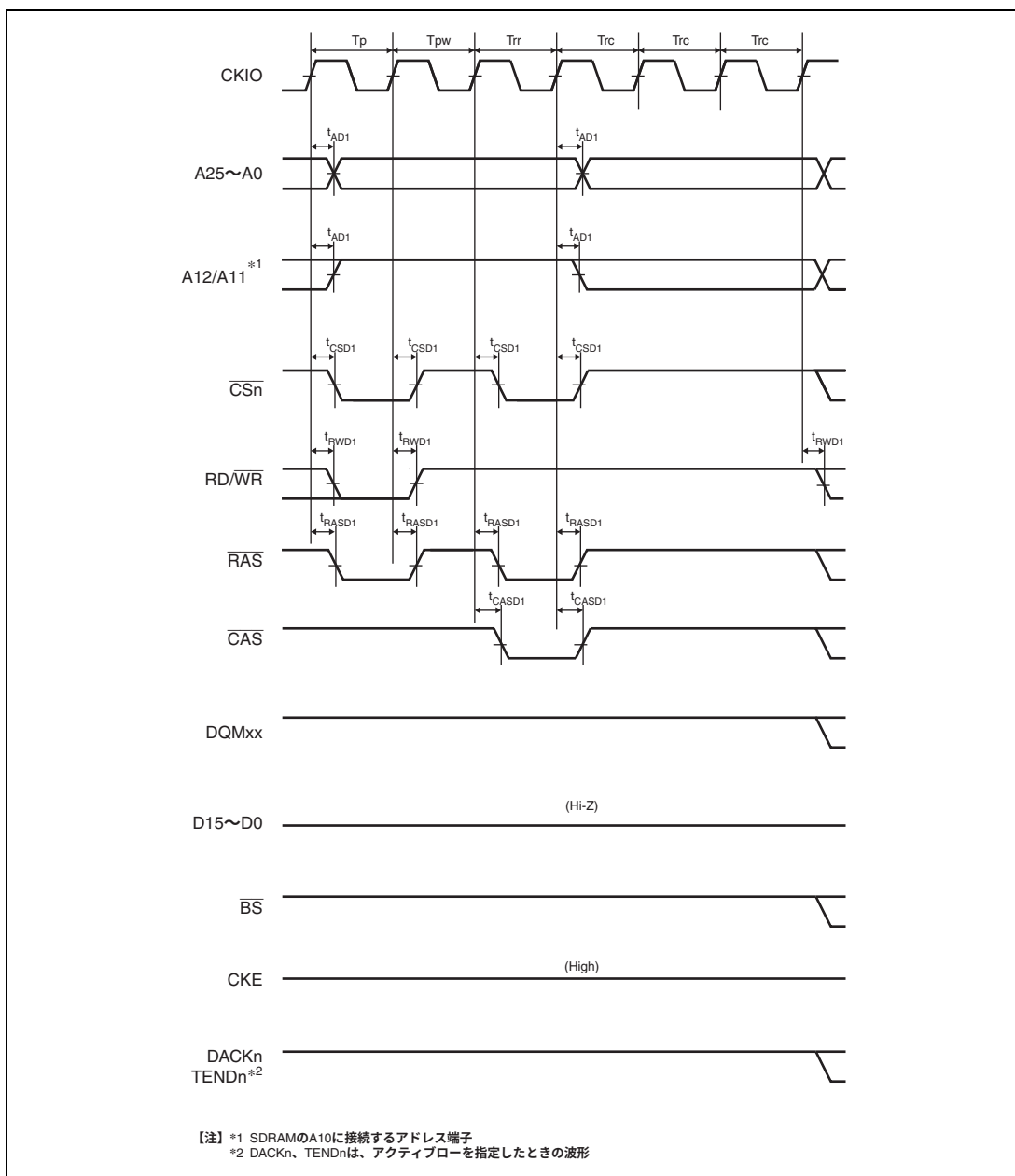


図 35.29 シンクロナス DRAM オートリフレッシュタイミング (WTRP=1 サイクル、WTRC=3 サイクル)

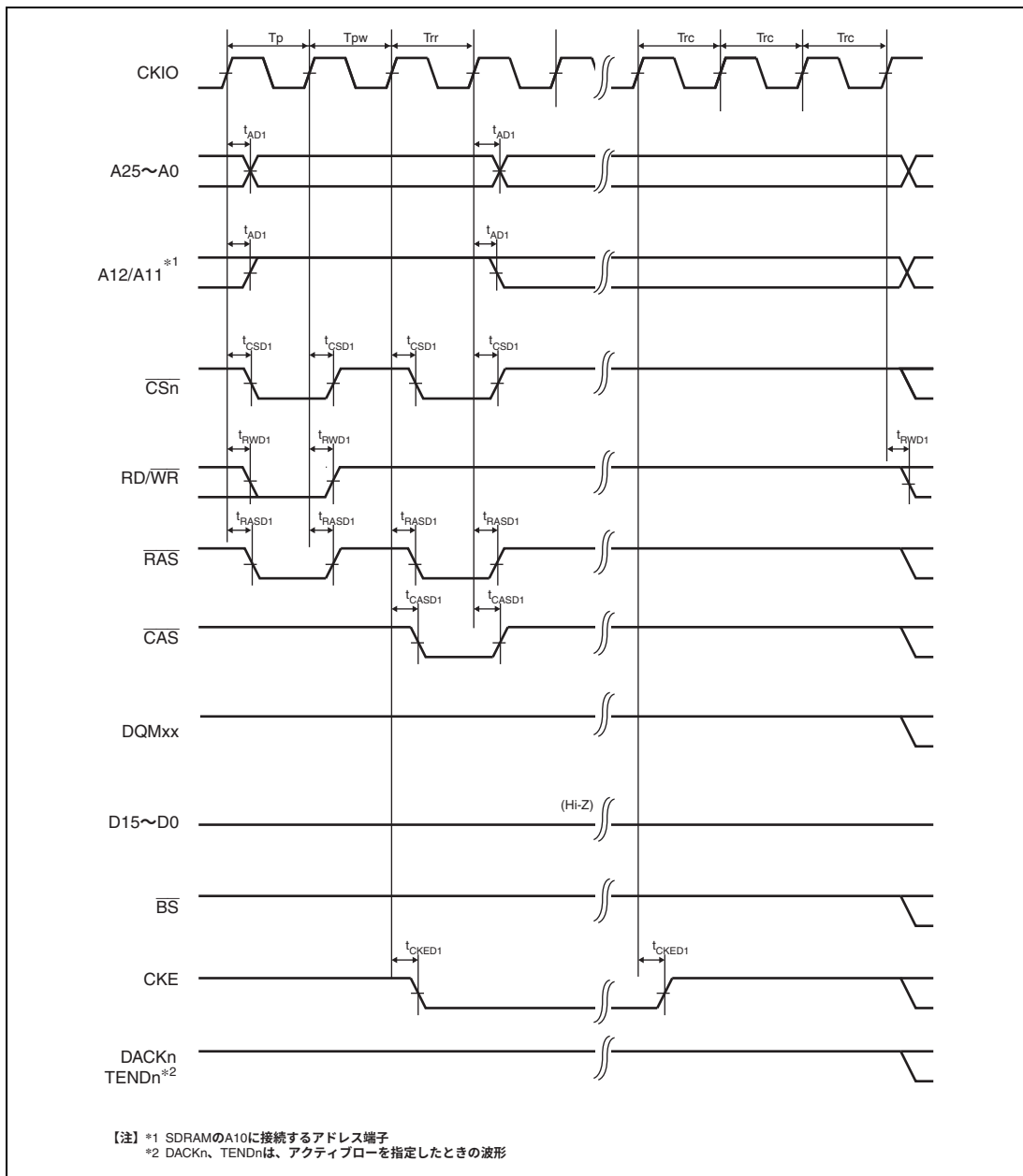


図 35.30 シンクロナス DRAM セルフリフレッシュタイミング (WTRP=1 サイクル)

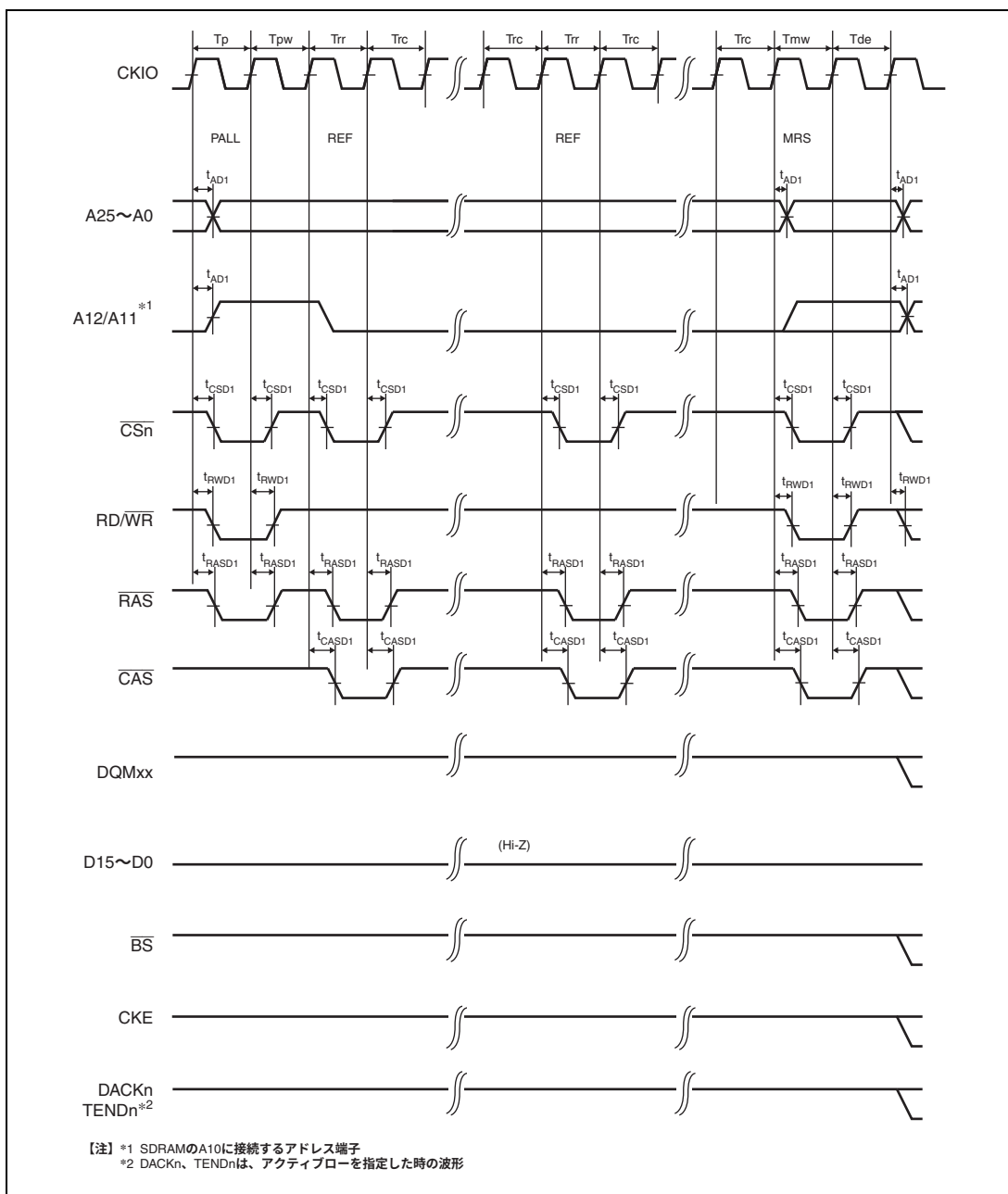


図 35.31 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP=1 サイクル)

35.4.4 ダイレクトメモリアクセスコントローラタイミング

表 35.8 ダイレクトメモリアクセスコントローラタイミング

項 目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	5.5	—	ns	35.32
DREQ ホールド時間	t_{DRQH}	2.5	—		
DACK、TEND 遅延時間	t_{DACD}	0	10.5		35.33

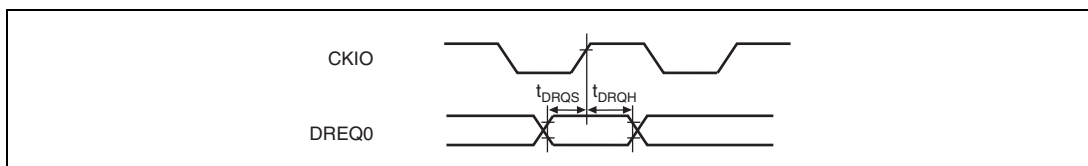


図 35.32 DREQ 入力タイミング

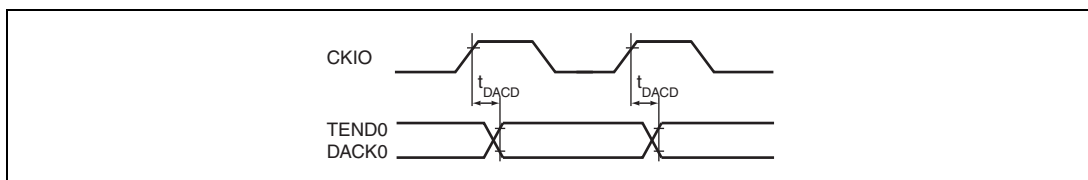


図 35.33 DACK、TEND 出力タイミング

35.4.5 マルチファンクションタイマパルスユニット 2 タイミング

表 35.9 マルチファンクションタイマパルスユニット 2 タイミング

項 目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	—	20	ns	35.34
インプットキャプチャ入力セットアップ時間	t_{TICS}	20	—	ns	
タイマ入力セットアップ時間	t_{TCKS}	20	—	ns	35.35
タイマクロックパルス幅 (単エッジ指定)	$t_{TCKWH/L}$	1.5	—	t_{pcyc}	
タイマクロックパルス幅 (両エッジ指定)	$t_{TCKWH/L}$	2.5	—	t_{pcyc}	
タイマクロックパルス幅 (位相計数モード)	$t_{TCKWH/L}$	2.5	—	t_{pcyc}	

【注】 t_{pcyc} は周辺クロック (P ϕ) の周期を示します。

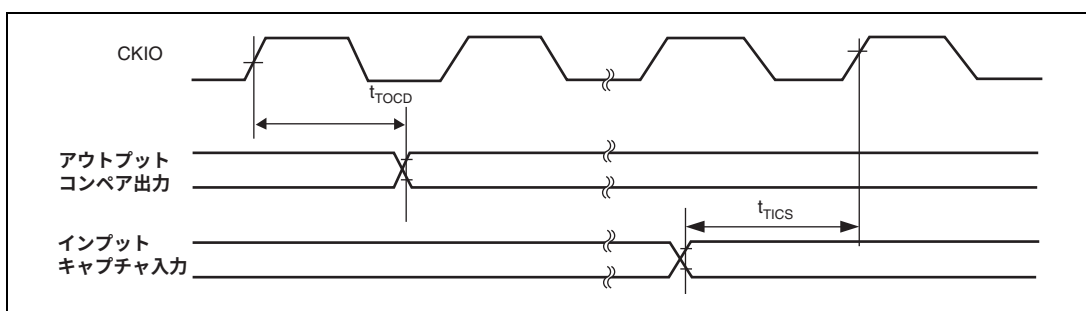


図 35.34 パルス入出力タイミング

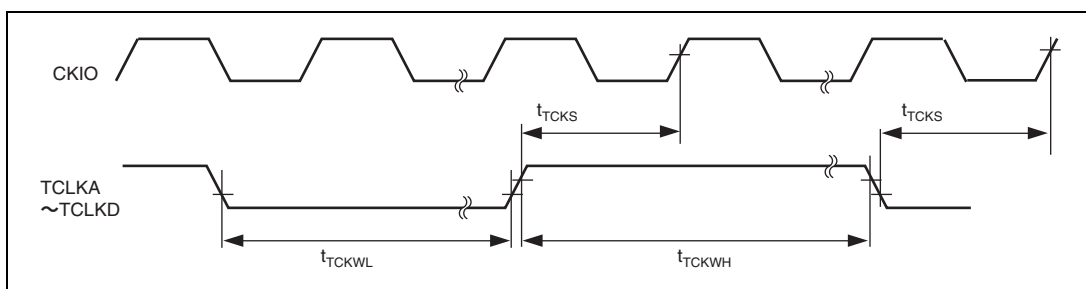
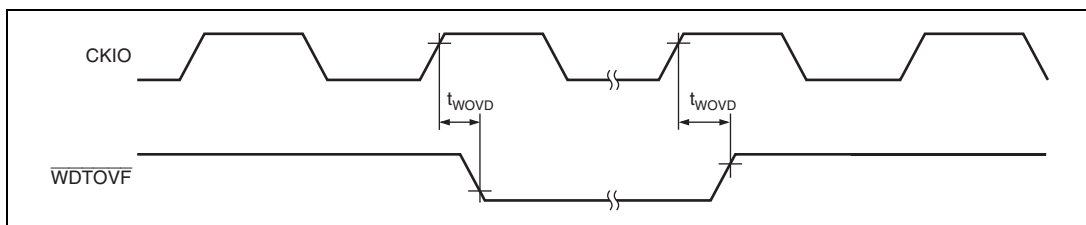


図 35.35 クロック入力タイミング

35.4.6 ウォッチドッグタイマタイミング

表 35.10 ウォッチドッグタイマタイミング

項 目	記号	Min.	Max.	単位	参照図
WDTOVF遅延時間	t_{WOVD}	—	100	ns	35.36

図 35.36 $\overline{\text{WDTOVF}}$ 出力タイミング

35.4.7 FIFO 内蔵シリアルコミュニケーションインタフェースタイミング

表 35.11 FIFO 内蔵シリアルコミュニケーションインタフェースタイミング

項 目		記号	Min.	Max.	単位	参照図
入力クロックサイクル	クロック同期	t_{Syc}	12	—	t_{pcyc}	35.37
	調歩同期		4	—	t_{pcyc}	
入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{pcyc}	
入力クロック立ち下がり時間		t_{SCKf}	—	1.5	t_{pcyc}	
入力クロック幅		t_{SCKW}	0.4	0.6	t_{Syc}	
送信データ遅延時間（クロック同期）		t_{TXD}	—	$3t_{pcyc} + 15$	ns	35.38
受信データセットアップ時間（クロック同期）		t_{RXS}	$4t_{pcyc} + 15$	—	ns	
受信データホールド時間（クロック同期）		t_{RXH}	$1t_{pcyc} + 15$	—	ns	

【注】 t_{pcyc} は周辺クロック（Pφ）の周期を示します。

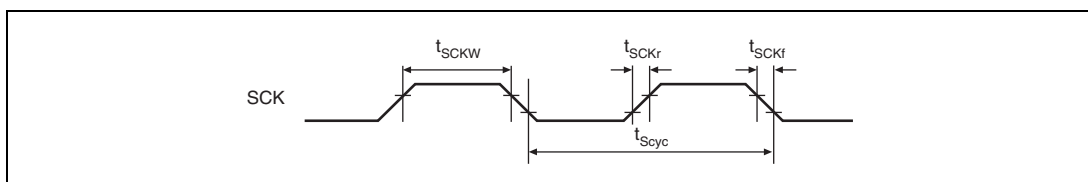


図 35.37 SCK 入力クロックタイミング

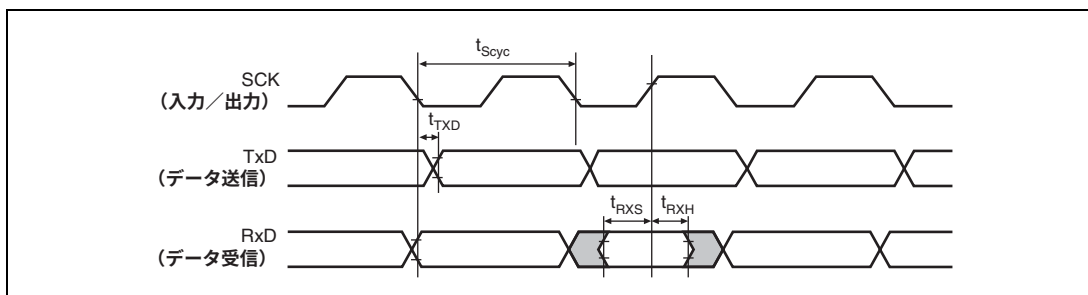


図 35.38 クロック同期式モード時の送受信データ入出力タイミング

35.4.8 ルネサスシリアルペリフェラルインタフェースタイミング

表 35.12 ルネサスシリアルペリフェラルインタフェースタイミング

項 目		記号	Min.	Max.	単位	参照図
RSPCK クロックサイクル	マスタ	tSPcyc	2	4096	tcyc	35.39
	スレーブ		8	4096		
RSPCK クロックハイレベルパルス幅	マスタ	tSPCKWH	0.4	—	tSPcyc	
	スレーブ		0.4	—		
RSPCK クロックローレベルパルス幅	マスタ	tSPCKWL	0.4	—	tSPcyc	
	スレーブ		0.4	—		
データ入力セットアップ時間	マスタ	tsu	15	—	ns	35.40～ 35.43
	スレーブ		0	—	tcyc	
データ入力ホールド時間	マスタ	th	0	—	ns	
	スレーブ		4	—	tcyc	
SSL セットアップ時間	マスタ	tLEAD	$1 \times tSPcyc - 20$	$8 \times tSPcyc$	ns	
	スレーブ		4	—	tcyc	
SSL ホールド時間	マスタ	tLAG	$1 \times tSPcyc$	$8 \times tSPcyc + 20$	ns	
	スレーブ		4	—	tcyc	
データ出力遅延時間	マスタ	toD	—	21	ns	
	スレーブ		—	4	tcyc	
データ出力ホールド時間	マスタ	toH	5	—	ns	
	スレーブ		3	—	tcyc	
連続送信遅延時間	マスタ	tTD	$1 \times tSPcyc + 2 \times tcyc$	$8 \times tSPcyc + 2 \times tcyc$	ns	
	スレーブ		$4 \times tcyc$	—		
スレーブアクセス時間		tSA	—	4	tcyc	35.42、
スレーブ出力解放時間		tREL	—	3	tcyc	35.43

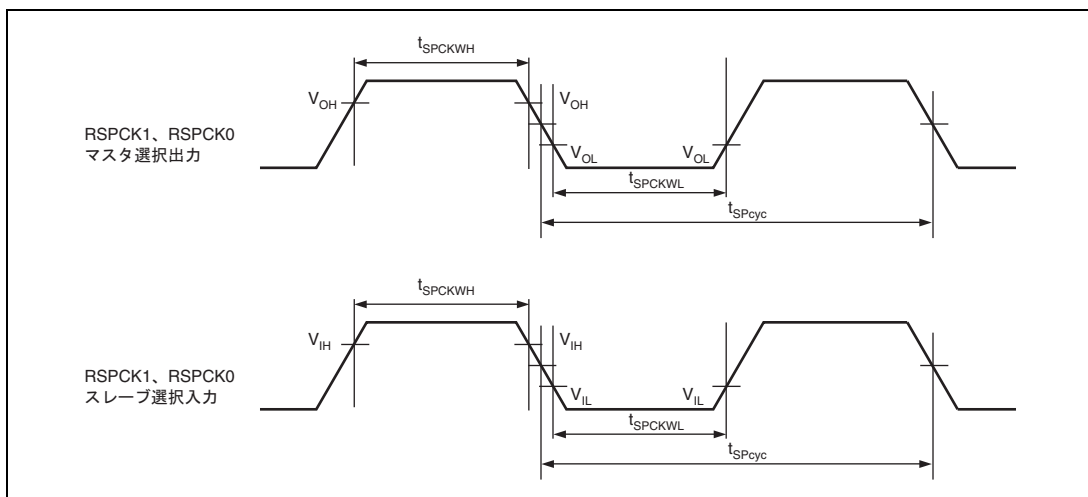


図 35.39 クロックタイミング

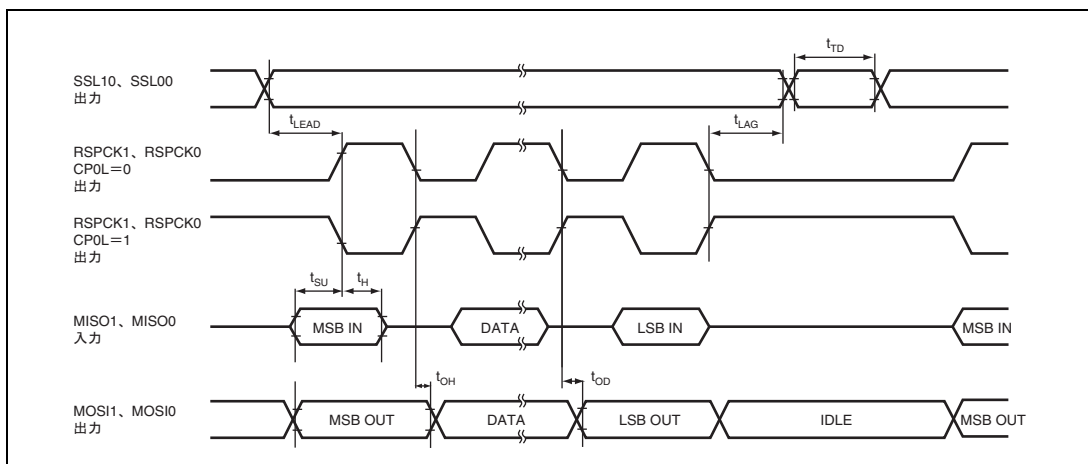


図 35.40 送受信タイミング (マスタ、CPHA=0)

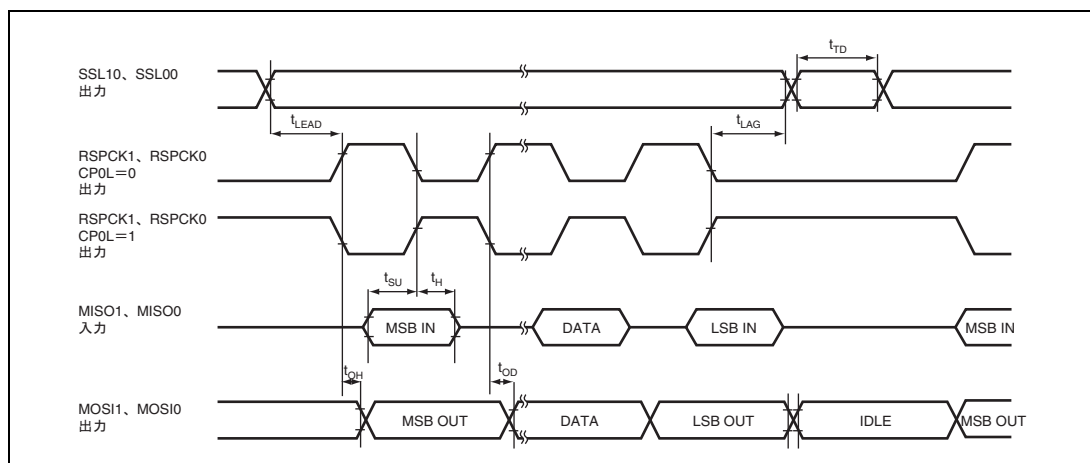


図 35.41 送受信タイミング (マスタ、CPHA=1)

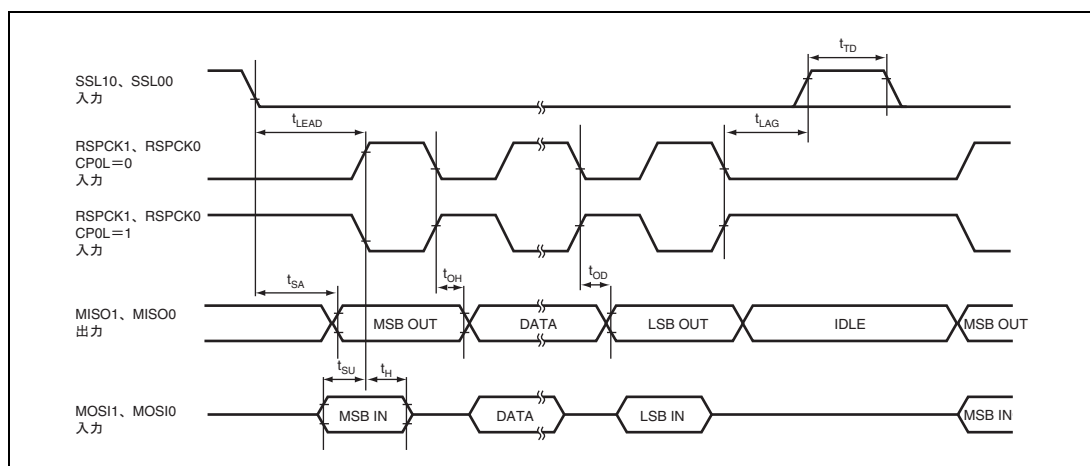


図 35.42 送受信タイミング (スレーブ、CPHA=0)

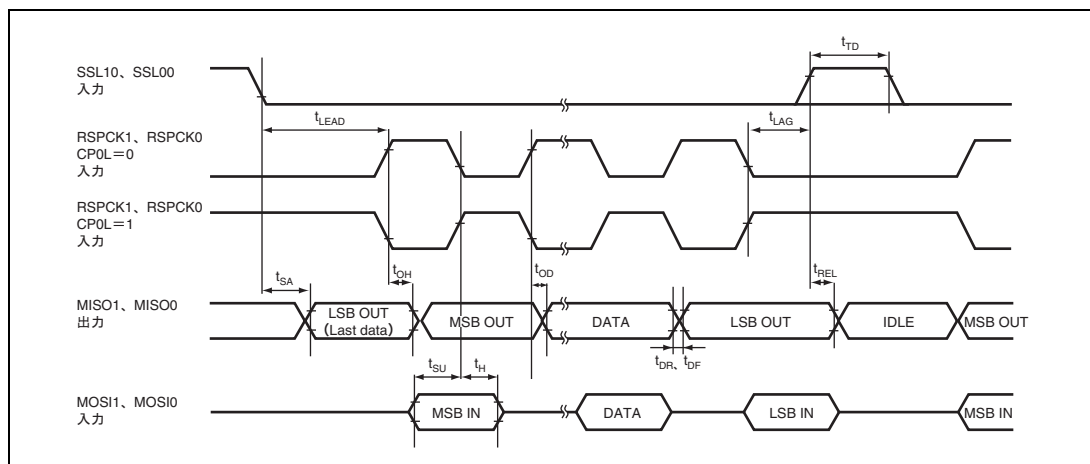


図 35.43 送受信タイミング（スレープ、CPHA=1）

35.4.9 SPI マルチ I/O バスコントローラタイミング

表 35.13 SPI マルチ I/O バスコントローラタイミング

項 目	記号	Min.	Max.	単位	参照図
SPBCLK クロックサイクル	t_{SPBcyc}	1	4080	t_{cyc}	35.44
データ入力セットアップ時間	t_{SU}	4.0	—	ns	35.45、 35.46
データ入力ホールド時間	t_H	0.0	—	ns	
SSL セットアップ時間	t_{LEAD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc}$	ns	
SSL ホールド時間	t_{LAG}	$1.5 \times t_{SPBcyc}$	$8.5 \times t_{SPBcyc} + 3$	ns	
連続転送遅延時間	t_{TD}	1	8	t_{SPBcyc}	
データ出力遅延時間	t_{OD}	—	3.6	ns	
データ出力ホールド時間	t_{OH}	-1.6	—	ns	35.47、 35.48
データ出力バッファオン時間	t_{BON}	—	3.6	ns	
データ出力バッファオフ時間	t_{BOFF}	-7.0	0.0	ns	

【注】 t_{cyc} はバスクロック（Bφ）の 1 サイクル時間を示します。

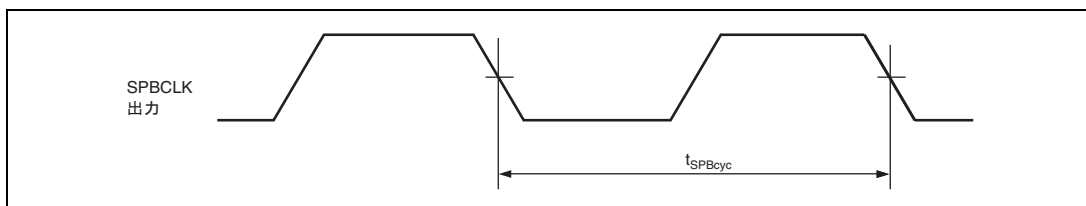


図 35.44 クロックタイミング

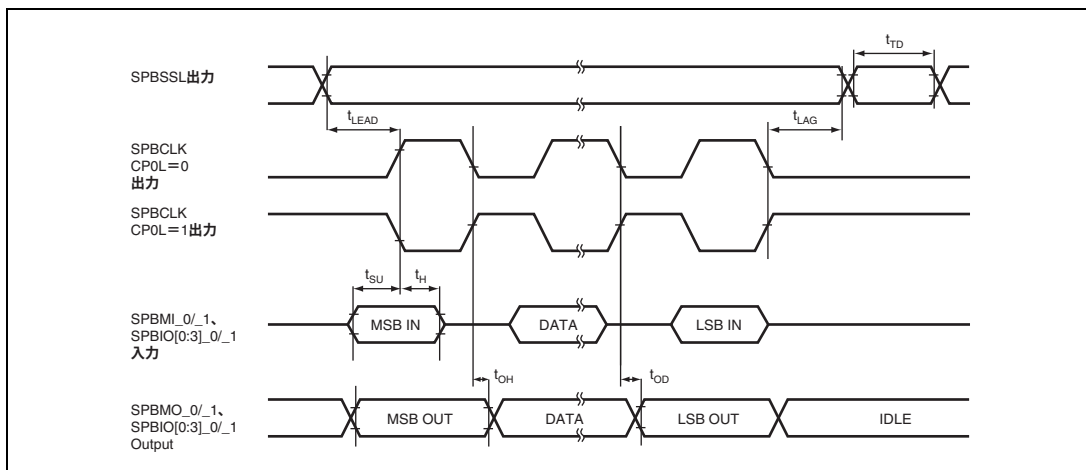


図 35.45 送受信タイミング（CPHAT=0、CPBAR=0）

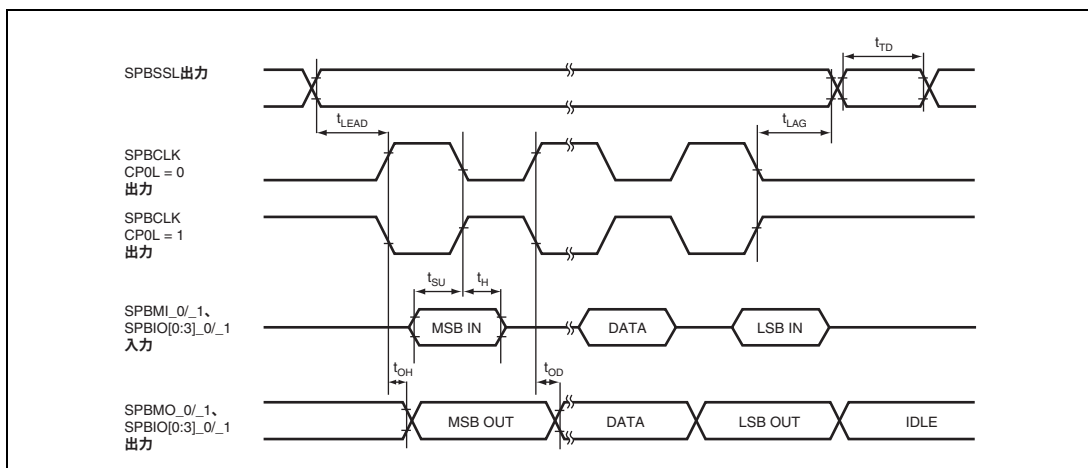


図 35.46 送受信タイミング (CPHAT=1、CPHAR=1)

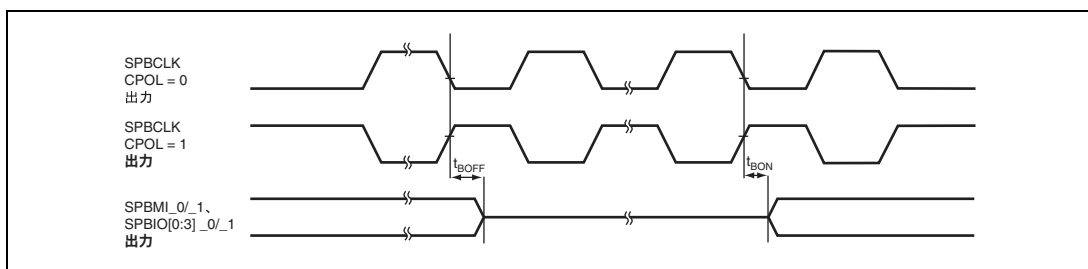


図 35.47 バッファオン／オフタイミング (CPHAT=0、CPHAR=0)

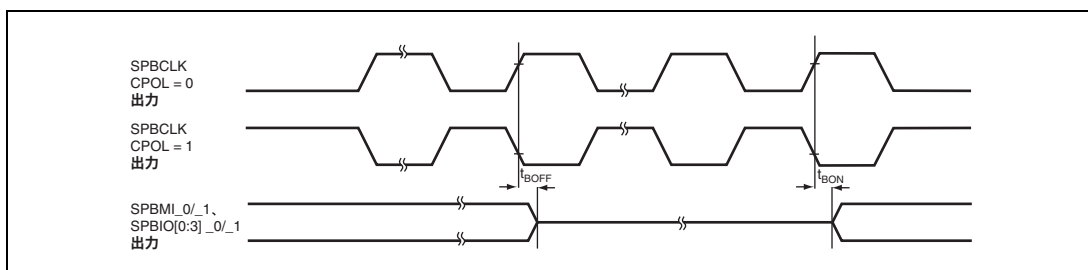


図 35.48 バッファオン／オフタイミング (CPHAT=1、CPHAR=1)

35.4.10 I²C バスインタフェース 3 タイミング表 35.14 (1) I²C バスインタフェース 3 タイミング I²C バスフォーマット

項 目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	t _{SCL}	12t _{pcyc} * ¹ +600	—	ns	35.49 (1)
SCL 入力ハイレベルパルス幅	t _{SCLH}	3t _{pcyc} * ¹ +300	—	ns	
SCL 入力ローレベルパルス幅	t _{SCLL}	5t _{pcyc} * ¹ +300	—	ns	
SCL、SDA 入力立ち上がり時間	t _{Sr}	—	300	ns	
SCL、SDA 入力立ち下がり時間	t _{Sf}	—	300	ns	
SCL、SDA 入力カスパイクパルス除去時間* ²	t _{SP}	—	1、2	t _{pcyc} * ¹	
SDA 入力バスフリー時間	t _{BUF}	5	—	t _{pcyc} * ¹	
開始条件入力ホールド時間	t _{STAH}	3	—	t _{pcyc} * ¹	
再送開始条件入力セットアップ時間	t _{STAS}	3	—	t _{pcyc} * ¹	
停止条件入力セットアップ時間	t _{STOS}	3	—	t _{pcyc} * ¹	
データ入力セットアップ時間	t _{SDAS}	1t _{pcyc} * ¹ +20	—	ns	
データ入力ホールド時間	t _{SDAH}	0	—	ns	
SCL、SDA の容量性負荷	C _b	0	400	pF	
SCL、SDA 出力立ち下がり時間* ³	t _{Sf}	—	250	ns	

【注】 *1 t_{pcyc} は周辺クロック (Pφ) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

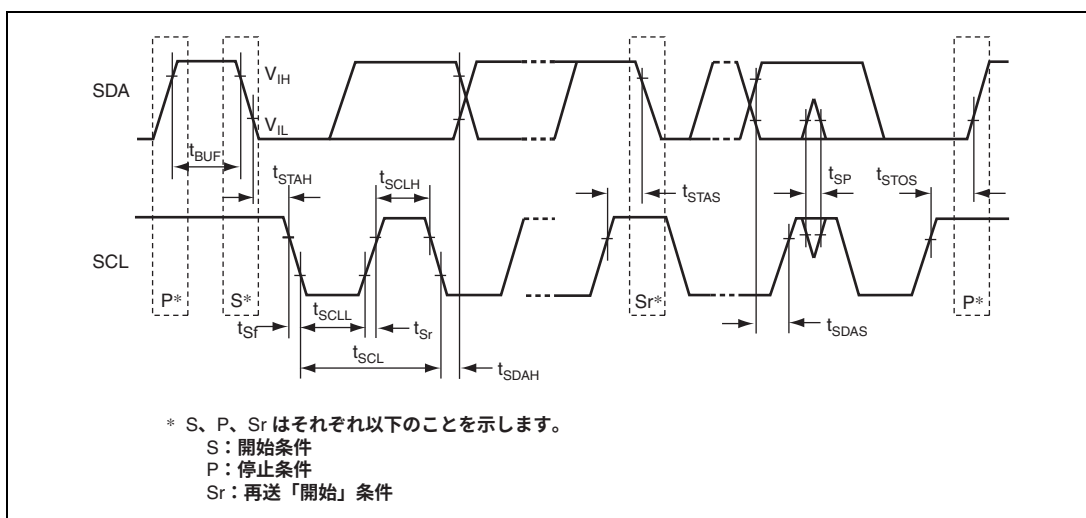


図 35.49 (1) 入出力タイミング

表 35.14 (2) I²C バスインタフェース 3 タイミング クロック同期式シリアルフォーマット

項 目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	t _{SCL}	12t _{pcyc} *1+600	—	ns	35.49 (2)
SCL 入力ハイレベルパルス幅	t _{SCLH}	3t _{pcyc} *1+300	—	ns	
SCL 入力ローレベルパルス幅	t _{SCLL}	5t _{pcyc} *1+300	—	ns	
SCL、SDA 入力立ち上がり時間	t _{Sr}	—	300	ns	
SCL、SDA 入力立ち下がり時間	t _{Sf}	—	300	ns	
SCL、SDA 入カスパイクパルス除去時間*2	t _{SP}	—	1、2	t _{pcyc} *1	
データ出力遅延時間	t _{HD}	0	900	ns	35.49 (3)
データ入力セットアップ時間	t _{SDAS}	1t _{pcyc} *1+20	—	ns	
データ入力ホールド時間	t _{SDAH}	0	—	ns	
SCL、SDA の容量性負荷	C _b	0	400	pF	35.49 (2)
SCL、SDA 出力立ち下がり時間*3	t _{Sf}	—	250	ns	35.49 (3)

【注】 *1 t_{pcyc} は周辺クロック (Pφ) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

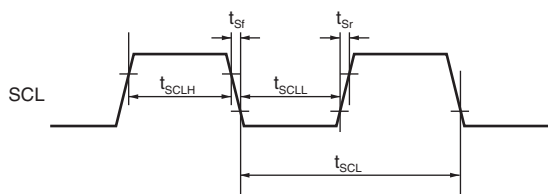


図 35.49 (2) クロック入出力タイミング

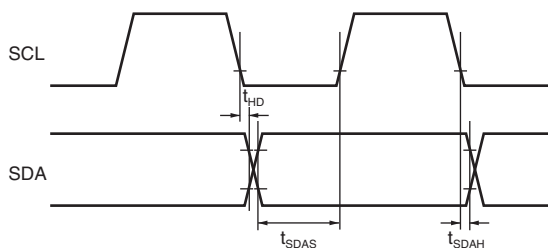


図 35.49 (3) 送受信タイミング

35.4.11 シリアルサウンドインタフェースタイミング

表 35.15 シリアルサウンドインタフェースタイミング

項目	記号	Min.	Max.	単位	備考	参照図
出力クロック周期	t_o	80	64000	ns	出力	35.50
入力クロック周期	t_i	80	64000	ns	入力	
クロックハイレベル	t_{HC}	32	—	ns	双方向	
クロックローレベル	t_{LC}	32	—	ns		
クロック立ち上がり時間	t_{RC}	—	25	ns	出力	
遅延	ノイズキャンセラ不使用時	t_{DTR}	—5	25	ns	35.51、35.52
	ノイズキャンセラ使用時		10	45		
セットアップ時間	t_{SR}	25	—	ns		
ホールド時間	t_{HTR}	5	—	ns		

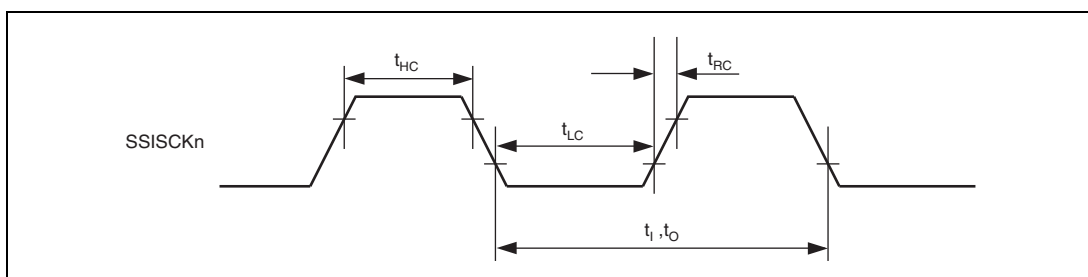


図 35.50 クロック入出力タイミング

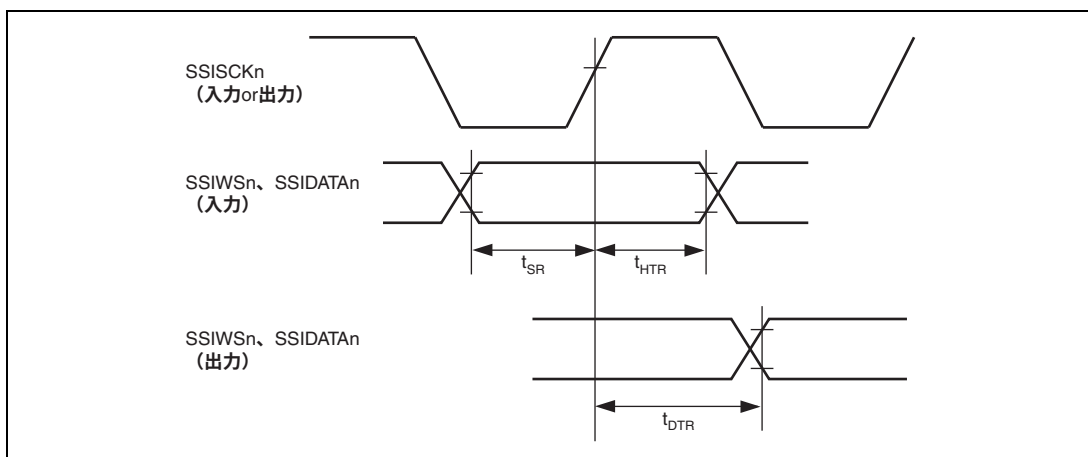
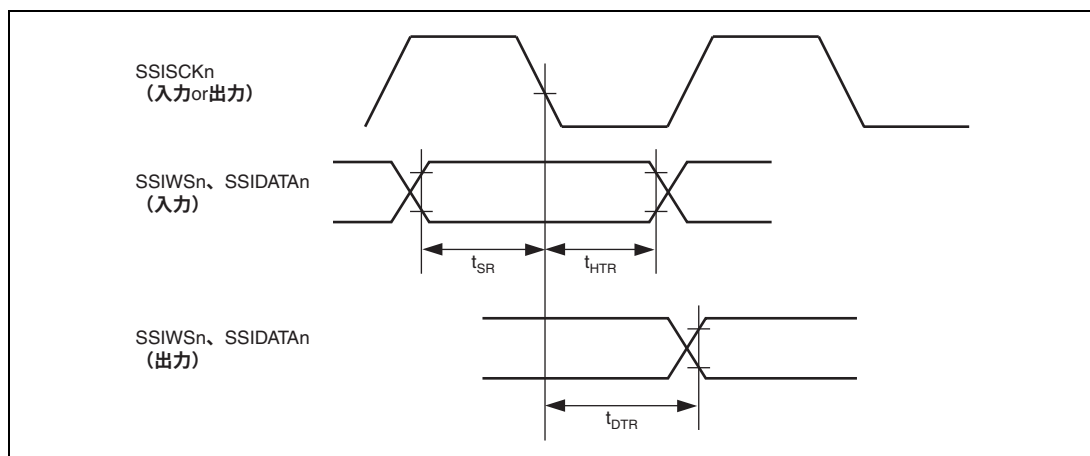


図 35.51 送受信タイミング (SSISCKn 立ち上がり同期)

図 35.52 送受信タイミング (SSISCK_n 立ち下がり同期)

35.4.12 FIFO 付きクロック同期シリアル I/O タイミング

表 35.16 FIFO 付きクロック同期シリアル I/O タイミング

項 目	記号	min	max	単位	参照図
SCK_SIO クロック入出力サイクル時間	t_{SIOcyc}	80	—	ns	35.53~35.55
SCK_SIO 出力 High レベル幅	t_{SWHO}	$0.4 \times t_{SIOcyc}$	—		35.53、35.54
SCK_SIO 出力 Low レベル幅	t_{SWLO}	$0.4 \times t_{SIOcyc}$	—		
SIOFSYNC 出力遅延時間	t_{FSD}	—5	20		
SCK_SIO 入力 High レベル幅	t_{SWHI}	$0.4 \times t_{SIOcyc}$	—		35.55
SCK_SIO 入力 Low レベル幅	t_{SWLI}	$0.4 \times t_{SIOcyc}$	—		
SIOFSYNC 入力セットアップ時間	t_{FSS}	20	—		
SIOFSYNC 入力ホールド時間	t_{FSH}	20	—		
TXD_SIO 出力遅延時間	t_{STD}	—5	20		35.53~35.55
RXD_SIO 入力セットアップ時間	t_{SRDS}	20	—		
RXD_SIO 入力ホールド時間	t_{SRDH}	20	—		

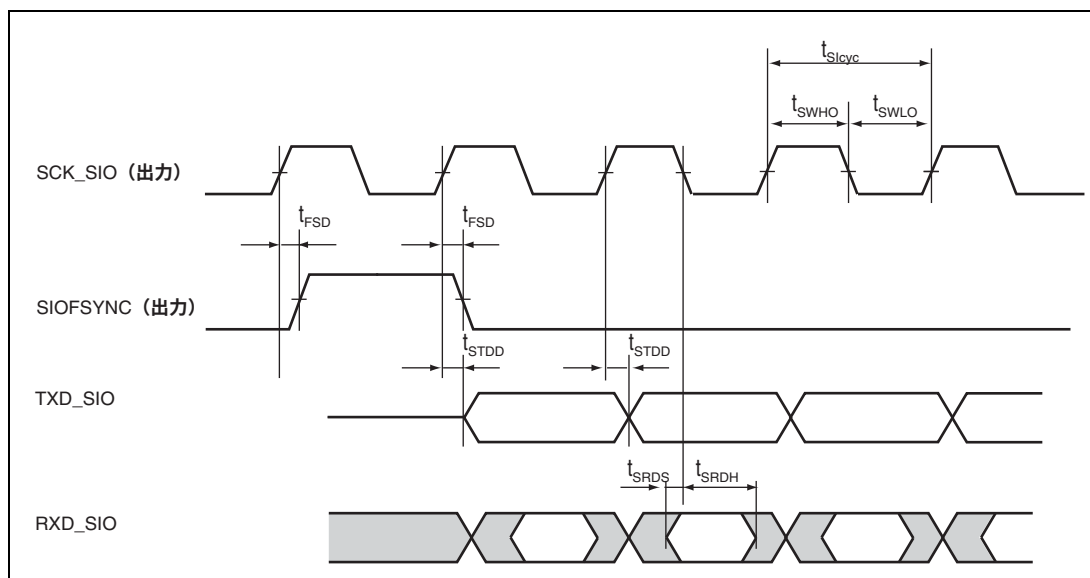


図 35.53 送受信タイミング（マスターモード1／立ち下がりサンプリング時）

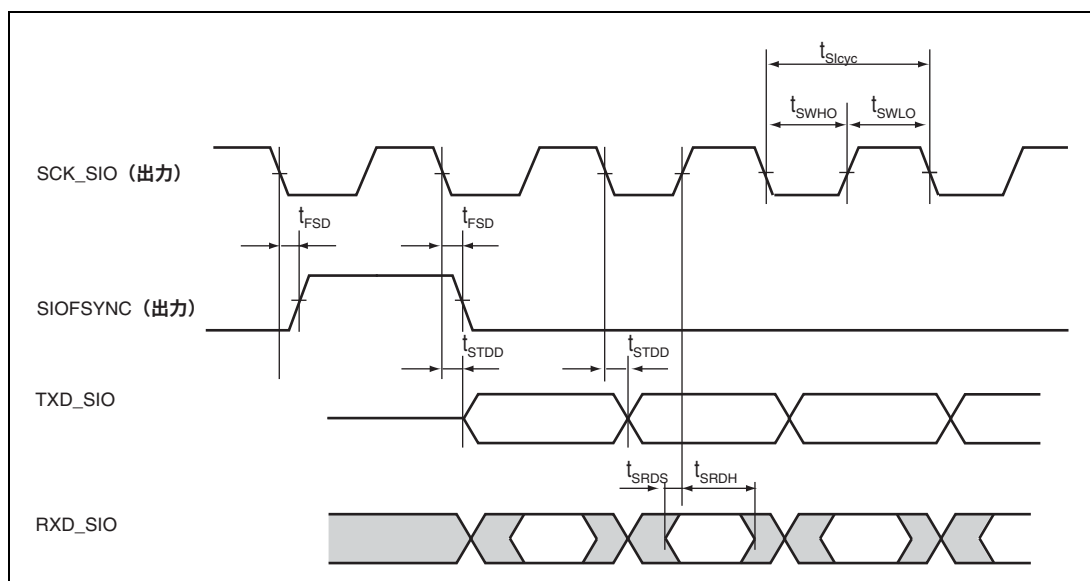


図 35.54 送受信タイミング（マスターモード1／立ち上がりサンプリング時）

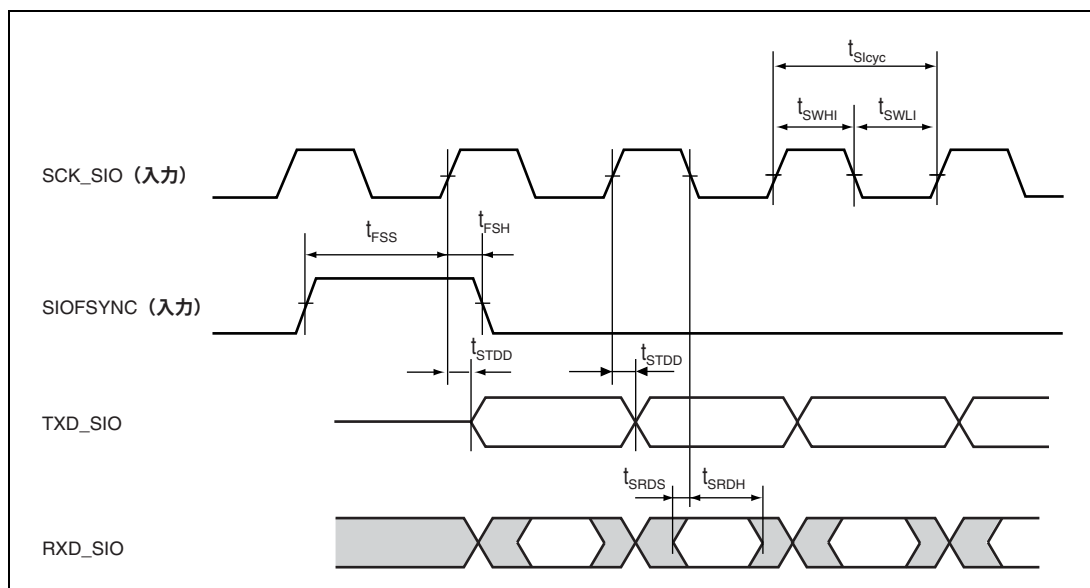


図 35.55 送受信タイミング（スレープモード 1）

35.4.13 A/D 変換器タイミング

表 35.17 A/D 変換器タイミング

モジュール	項 目	記号	Min.	Max.	単位	参照図
A/D 変換器	トリガ入力セットアップ時間	t _{TRGS}	17	—	ns	35.56

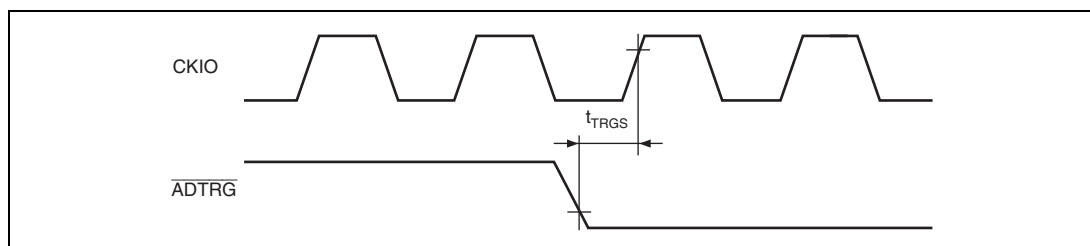


図 35.56 A/D 変換器外部トリガ入力タイミング

35.4.14 USB2.0 ホスト／ファンクションモジュールタイミング

表 35.18 USB トランシーバタイミング（フルスピード時）

項 目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	—	20	ns	35.57
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり／立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%	
出力ドライバ抵抗	Z_{DRV}	28	—	44	Ω	

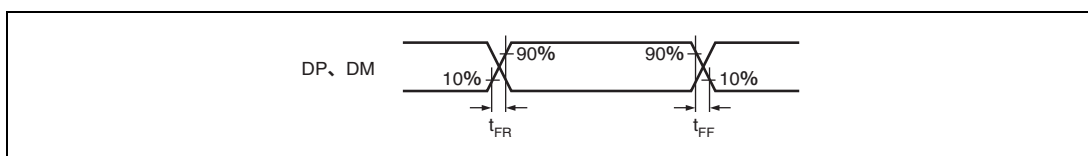


図 35.57 DP、DM 出力タイミング（フルスピード時）

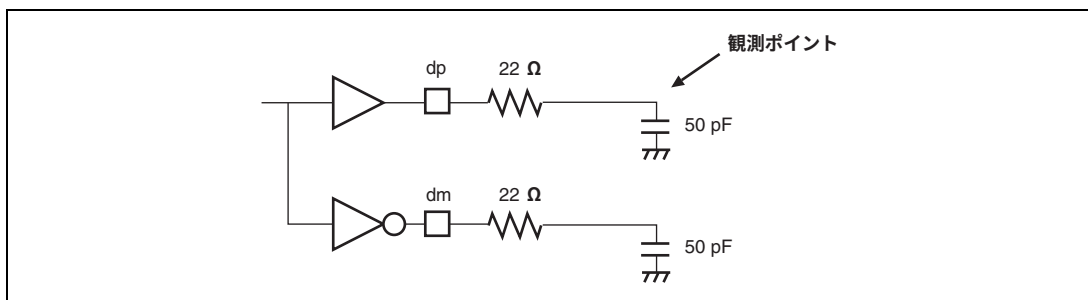


図 35.58 測定回路（フルスピード時）

35.4.15 SD ホストインタフェースタイミング

表 35.19 SD ホストインタフェースタイミング

項 目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	tSDPP	$2 \times t_{cyc}$	—	ns	35.59
SD_CLK クロックハイレベル幅	tSDWH	$0.4 \times t_{SDPP}$	—	ns	
SD_CLK クロックローレベル幅	tSDWL	$0.4 \times t_{SDPP}$	—	ns	
SD_CLK クロック立ち上がり時間	tSDLH	—	3	ns	
SD_CLK クロック立ち下がり時間	tSDHL	—	3	ns	
SD_CMD、SD_D3~SD_D0 出力データ遅延（データ転送モード）	tSDODLY	—	4	ns	
SD_CMD、SD_D3~SD_D0 入力データセットアップ	tSDISU	5	—	ns	
SD_CMD、SD_D3~SD_D0 入力データホールド	tSDIH	2	—	ns	

【注】 t_{cyc} はバスクロック（B ϕ ）の 1 サイクル時間を示します。

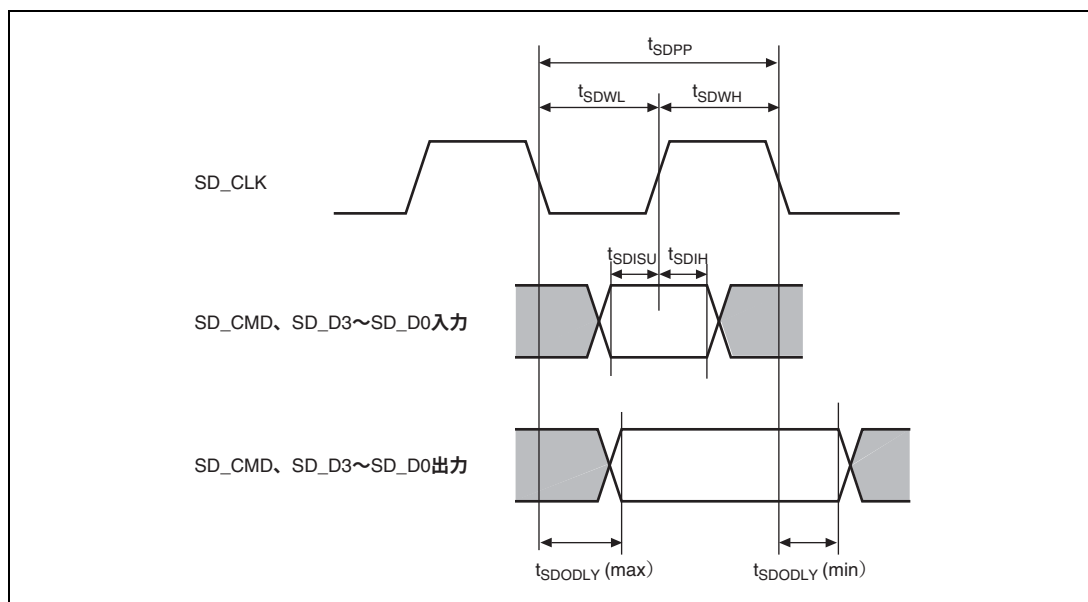


図 35.59 SD カードインタフェース

35.4.16 ユーザデバッグインタフェースタイミング

表 35.20 ユーザデバッグインタフェースタイミング

項 目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50*	—	ns	35.60
TCK ハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK ローレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間	t_{TDIS}	10	—	ns	35.61
TDI ホールド時間	t_{TDIH}	10	—	ns	
TMS セットアップ時間	t_{TMSS}	10	—	ns	
TMS ホールド時間	t_{TMSh}	10	—	ns	
TDO 遅延時間	t_{TDOD}	—	16	ns	35.62
キャプチャレジスタセットアップ時間	t_{CAPTS}	10	—	ns	
キャプチャレジスタホールド時間	t_{CAPTH}	10	—	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	—	20	ns	

【注】 * 周辺クロック (Pφ) のサイクル時間より大きくなるようにしてください。

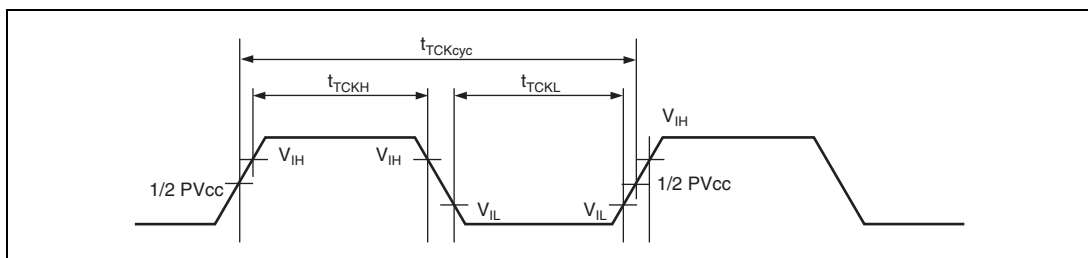


図 35.60 TCK 入力タイミング

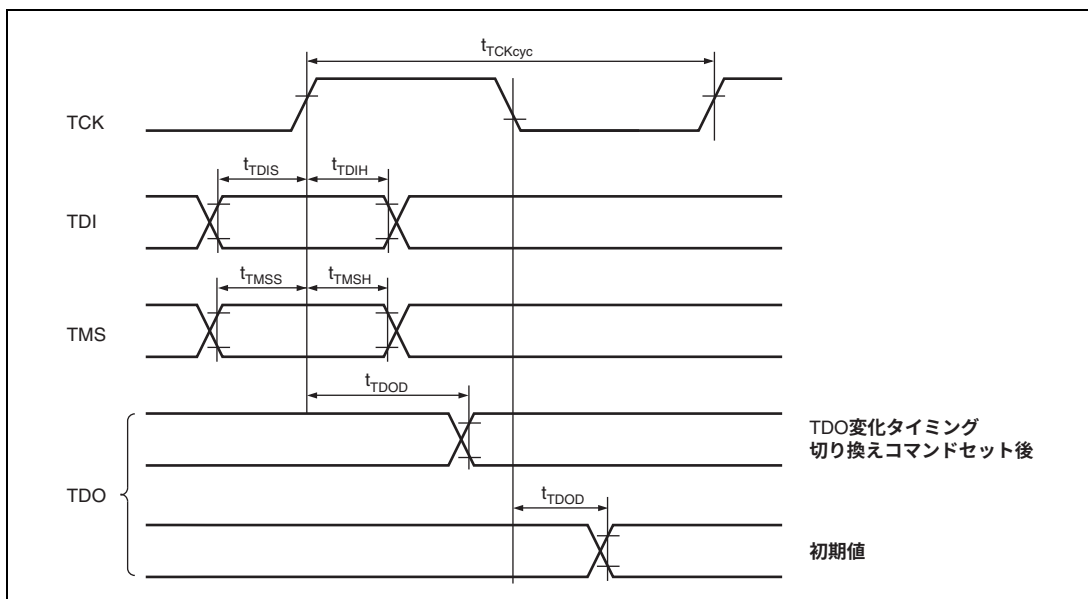


図 35.61 データ転送タイミング

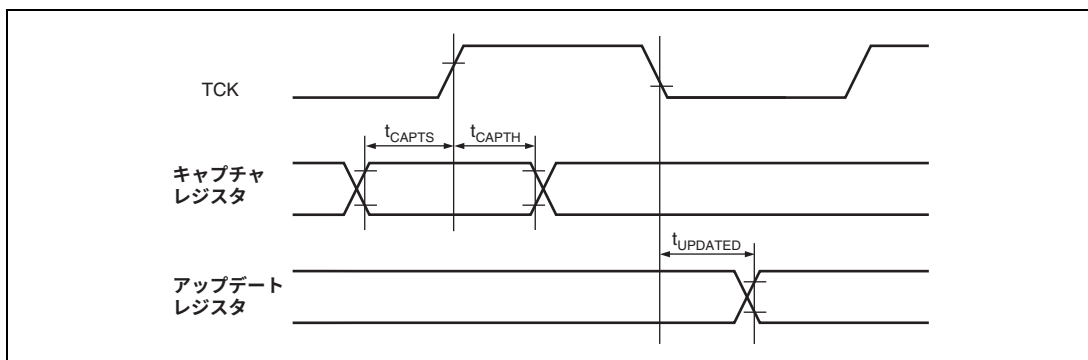


図 35.62 バウンダリスキャン入出力タイミング

35.4.17 AC 特性測定条件

- 入出力信号参照レベル : $PV_{CC}/2$ ($PV_{CC}=3.0\sim3.6V$ 、 $V_{CC}=1.15\sim1.35V$)
- 入力パルスレベル : PV_{CC}
- 入力立ち上がり、立ち下がり時間 : 1ns

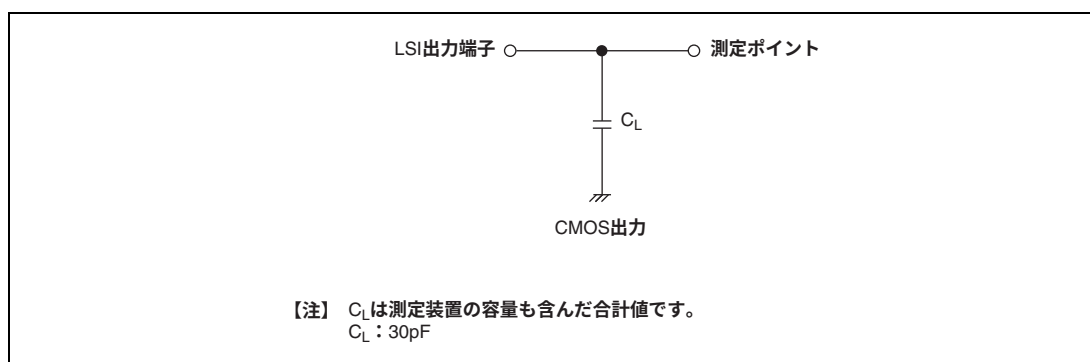


図 35.63 出力負荷回路

35.5 A/D 変換器特性

表 35.21 A/D 変換器特性

条件：VCC=PLLVC=1.15~1.35V、PVCC=3.0~3.6V、AVCC=3.0~3.6V、VSS=AVSS=0V、

Ta=-40~85°C

項 目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	6	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	$\pm 3.0^*$	LSB
オフセット誤差	—	—	$\pm 2.0^*$	LSB
フルスケール誤差	—	—	$\pm 2.0^*$	LSB
量子化誤差	—	—	$\pm 0.5^*$	LSB
絶対精度	—	—	± 5.0	LSB

【注】 * 参考値

36. 端子状態と処理方法

本章では、各動作モードにおける端子状態と処理方法を示します。

36.1 端子状態

各動作モードにおける端子状態を表 36.1 に示します。

入出力機能については、上段に入力バッファ、下段に出力バッファの状態を記載しています。

表 36.1 端子状態

端子機能				端子状態						
分類	端子名			通常状態 (右記以外)	パワーオン リセット *1	端子状態保持*2		低消費電力状態		
						EBUSKEEPE*3 (右記以外)		パワー オン リセット*4	ディープ スタンバイ モード	ソフトウェア スタンバイ モード
						0	1			
クロック	EXTAL*6	クロック 動作モード	0	I	I	I		I/Z*5	I	
			1	Z	Z	Z		Z	Z	
	XTAL*6			O	O	O		O/L*5	O/L*5	
	CKIO	ブート モード	0	O/Z*7	O	O	O/Z*7	O/Z*7	O/Z*7	
			1	O/Z*7	O	O/Z*7		O/Z*7	O/Z*7	
	AUDIO_CLK			I	-	-		Z	Z	
	AUDIO_X1*6			I/Z*8	I	I		Z	Z	
	AUDIO_X2*6			O/L*8	O	O		L	L	
	AUDIO_XOUT			O/L*8	-	O/Z*9*16		O/Z*9*16	L/Z*9	
システム制御	RES			I	I	I		I	I	
	WDTOVF			O	-	H		H	H	
動作モード 制御	MD_BOOT			-	I	-		-	-	
	MD_CLK			-	I	-		-	-	
	ASEMD			I	I	I		I	I	

端子機能				端子状態					
分類	端子名			通常状態 (右記以外)	パワーオン リセット*1	端子状態保持*2		低消費電力状態	
						EBUSKEEPE*3 (右記以外)	パワー オン リセット*4	ディープ スタンバイ モード	ソフトウェア スタンバイ モード
割り込み	NMI			I	I	I		I	I
	IRQ7～IRQ4 (PC8～PC5)、IRQ3 (PF7)、IRQ2(PF6)、IRQ1(PJ13)、 IRQ0 (PJ11)			I	-	-		I/Z*12	I
	IRQ7～IRQ4 (PJ3～PJ0)、IRQ3 (PD13)、IRQ2(PD12)、IRQ1(PE1)、 IRQ0 (PE0)			I	-	-		Z	I
	PINT7～PINT0			I	-	-		Z	Z
アドレスバス	A25～A21、A0			O	-	O/Z*10		O/Z*10	O/Z*10
	A20～A1	ブートモード	0	O	Z	O	O/Z*10	O/Z*10	O/Z*10
			1	O	-	O/Z*10		O/Z*10	O/Z*10
データバス	D15～D0	ブートモード	0	I/Z	Z	I/Z	Z	Z	Z
				O/Z	Z	O/Z	Z	Z	Z
			1	I/Z	-	-		Z	Z
				O/Z	-	Z		Z	Z
バス制御	CS0	ブートモード	0	O	Z	O	H/Z*10	H/Z*10	H/Z*10
			1	O	-	H/Z*10		H/Z*10	H/Z*10
	CS4～CS1			O	-	H/Z*10		H/Z*10	H/Z*10
	RD	ブートモード	0	O	Z	O	H/Z*10	H/Z*10	H/Z*10
			1	O	-	H/Z*10		H/Z*10	H/Z*10
	RD/WR			O	-	H/Z*10		H/Z*10	H/Z*10
	BS			O	-	H/Z*10		H/Z*10	H/Z*10
	WAIT			I	-	-		Z	Z
	WE1/DQMLU、WE0/DQMLL			O	-	H/Z*10		H/Z*10	H/Z*10
	RAS、CAS			O	-	O/Z*11		O/Z*11	O/Z*11
CKE			O	-	O/Z*11		O/Z*11	O/Z*11	
ダイレクト	DREQ0			I	-	-		Z	Z
メモリアクセス コントローラ	DACK0			O	-	O/Z*9		O/Z*9	O/Z*9
	TEND0			O	-	O/Z*9		O/Z*9	O/Z*9

端子機能		端子状態					
分類	端子名	通常状態 (右記以外)	パワーオン リセット*1	端子状態保持*2		低消費電力状態	
				EBUSKEEPE*3 (右記以外)		ディープ スタンバイ モード	ソフトウェア スタンバイ モード
				0	1		
マルチファンクシ ョン タイマパルス ユニット 2	TCLKA ~ TCLKD	I	-	-		Z	Z
	TIOC0A ~ TIOC0D、TIOC1A、TIOC1B、 TIOC2A、TIOC2B、TIOC3A ~ TIOC3C、 TIOC3D (PB22)、TIOC4A ~ TIOC4D	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	TIOC3D (PJ11)	I	-	-		I/Z*12	I
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
リアルタイム クロック	RTC_X1*6	I/Z*13	-	I/Z*13		I/Z*13	I/Z*13
	RTC_X2*6	O/H*13	-	O/H*13		O/H*13	O/H*13
FIFO 内蔵 シリアル コミュニケーション インタフェース	TxD4 ~ TxD0	O/Z	-	O/Z*9		O/Z*9	O/Z*9
	RxD4 (PH7)、RxD3 (PH6)、 RxD2 ~ RxD0	I	-	-		Z	Z
	RxD4 (PF7、PJ13)、RxD3 (PF6)	I	-	-		I/Z*12	Z
	SCK4 (PD6)、SCK3 ~ SCK0	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SCK4 (PJ11)	I	-	-		I/Z*12	I
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	RTS2 ~ RTS0	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	CTS2 ~ CTS0	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9

端子機能			端子状態					
分類	端子名		通常状態 (右記以外)	パワーオン リセット*1	端子状態保持*2		低消費電力状態	
					EBUSKEEPE*3 (右記以外)		ディープ スタンバイ モード	ソフトウェア スタンバイ モード
					0	1		
ルネサス シリアル ペリフェラル インタフェース	MISO2、MISO1、MISO0 (PB18)		I	-	-		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	MISO0 (PF3)		I	-	-		Z	Z
			ブートモード	0	O/Z	-	O/Z*9	O/Z*9
				1	O/Z	-	-	O/Z*9
	MOSI2、MOSI1、MOSI0 (PB17)		I	-	-		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	MOSI0 (PF2)		I	-	-		Z	Z
			ブートモード	0	O/Z	-	O/Z*9	O/Z*9
				1	O/Z	-	-	O/Z*9
	RSPCK2、RSPCK1、RSPCK0 (PB15)		I	-	-		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	RSPCK0 (PF0)		I	-	-		Z	Z
			ブートモード	0	O/Z	-	O/Z*9	O/Z*9
				1	O/Z	-	-	O/Z*9
	SSL20、SSL10、SSL00 (PB17)		I	-	-		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SSL00 (PF1)		I	-	-		Z	Z
			ブートモード	0	O/Z	-	O/Z*9	O/Z*9
				1	O/Z	-	-	O/Z*9
SPI マルチ I/O バスコントローラ	SPBIO3_1、SPBIO3_0、SPBIO2_1、 SPBIO2_0、SPBIO1_1、 SPBIO1_0、 SPBMO_1/SPBIO0_1、 SPBMO_0/SPBIO0_0		I	-	-		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SPBCLK、SPBSSL		O/Z	-	O/Z*9		O/Z*9	O/Z*9
I ² C バス インタフェース 3	SCL3～SCL0、SDA3～SDA0		I	-	-		Z	Z
			O/Z	-	Z		Z	Z

端子機能		端子状態					
分類	端子名	通常状態 (右記以外)	パワーオン リセット*1	端子状態保持*2		低消費電力状態	
				EBUSKEEPE*3 (右記以外)		ディープ スタンバイ モード	ソフトウェア スタンバイ モード
				0	1		
シリアル サウンド インタフェース	SSITxD1, SSITxD0	O	-	O/Z*9		O/Z*9	O/Z*9
	SSIRxD1, SSIRxD0	I	-	-		Z	Z
	SSIDATA3, SSIDATA2	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SSISCK3 ~ SSISCK0	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SSIWS3 (PB2), SSIWS1, SSIWS0	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
FIFO 付き クロック同期 シリアル I/O	SIOFSCK	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SIOFSYNC	I	-	-		Z	Z
		O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SIOFTxD	O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SIOFRxD	I	-	-		Z	Z
コントローラ エリアネットワーク	CTx1, CTx0	O	-	O/Z*9		O/Z*9	O/Z*9
	CRx1, CRx0	I	-	-		I/Z*12	I
IEBus™ コントローラ	IETxD	O	-	O/Z*9		O/Z*9	O/Z*9
	IERxD	I	-	-		I/Z*12	I
ルネサス SPDIF インタフェース	SPDIF_OUT	O	-	O/Z*9		O/Z*9	O/Z*9
	SPDIF_IN	I	-	-		Z	Z
A/D 変換器	AN7 ~ AN0	I	-	-		Z	Z
	ADTRG	I	-	-		Z	Z
USB2.0 フルスピー ドホスト/ファン クションモジュール	DP1, DP0, DM1, DM0	I/Z	-	I/Z		Z	I/Z
		O/Z	-	O/Z		Z	O/Z
	VBUS	I	-	-		Z	I

端子機能			端子状態					
分類	端子名		通常状態 (右記以外)	パワーオン リセット*1	端子状態保持*2		低消費電力状態	
					EBUSKEEPE*3 (右記以外)		ディープ スタンバイ モード	ソフトウェア スタンバイ モード
					0	1		
SD ホスト インタフェース	SD_CLK		O	-	O/Z*9		O/Z*9	O/Z*9
	SD_CMD		I	-	-		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SD_D3 ~ SD_D0		I	-	-		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	SD_CD		I	-	-		Z	Z
汎用入出力 ポート	PA1		I	-	Z		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	PA0		I	-	I		Z	Z
			O/Z	-	O/Z*9		O/Z*9	O/Z*9
	PB22、PB21、PC4 ~ PC2、PF5、PF4、 PJ14、PJ12、PJ10 ~ PJ0、PK1、PK0		I	Z	Z		Z	Z
			O/Z	Z	O/Z*9		O/Z*9	O/Z*9
	PB20 ~ PB1、PC1、PC0、PD15 ~ PD0 (ブートモード 1 のみ)		I	Z	Z		Z	Z
			O/Z	Z	O/Z*9		O/Z*9	O/Z*9
	PC8 ~ PC5、PF7、PF6、PJ13、PJ11		I	Z	Z		I/Z*12	I
			O/Z	Z	O/Z*9		O/Z*9	O/Z*9
	PE7 ~ PE0		I	Z	Z		Z	Z
			O/Z	Z	Z		Z	Z
	PF3 ~ PF0		I	Z	Z		Z	Z
			ブートモード	0	O/Z	Z	O/Z*9	O/Z*9
				1	O/Z	Z	Z	O/Z*9
ユーザ デバッグ インタフェース*15	TRST		I	I	I		Z	I
	TCK		I	I	I		Z	I
	TDI		I	I	I		Z	I
	TDO		O/Z*14	O/Z*14	O/Z*14		O/Z*14	O/Z*14
	TMS		I	I	I		Z	I
	ASEBRKAK/ASEBRK		Z	Z	Z		Z	Z
エミュレータ*15	AUDSYNC		-	-	-		-	-
	AUDCK		-	-	-		-	-
	AUDATA3 ~ AUDATA0		-	-	-		-	-
	ASEBRKAK/ASEBRK		Z	Z	Z		Z	Z

【記号説明】

- I : 入力
- O : 出力
- H : ハイレベル出力
- L : ローレベル出力
- Z : ハイインピーダンス

- 【注】 *1 RES端子へのローレベル入力によるパワーオンリセットを指します。ユーザデバッグインタフェースリセットアサートコマンドおよびウォッチドッグタイマオーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります（「第 31 章 汎用入出力ポート」参照）。
- *2 ディープスタンバイモードから NMI などの各端子入力またはリアルタイムクロックのアラーム割り込みによって復帰した後、ディープスタンバイ解除要因フラグレジスタ (DSFR) の IOKEEP ビットがクリアされるまでの状態を指します（「第 32 章 低消費電力モード」参照）。
- *3 ディープスタンバイコントロールレジスタ (DSCTR) の EBUSKEEPE ビットです（「第 32 章 低消費電力モード」参照）。
- *4 本 LSI は、ディープスタンバイモードから復帰後、一定期間パワーオンリセット状態になります（「第 32 章 低消費電力モード」参照）。
- *5 リアルタイムクロックのコントロールレジスタ 5 (RCR5) の RCKSEL ビットの設定に従います（「第 15 章 リアルタイムクロック」参照）。
- *6 水晶発振子接続用の端子を使用しない場合は、入力端子 (EXTAL、RTC_X1、AUDIO_X1) は固定 (プルアップ / プルダウン / 電源接続 / グランド接続)、出力端子 (XTAL、RTC_X2、AUDIO_X2) はオープンにしてください。
- *7 クロックパルス発振器の周波数制御レジスタ (FRQCR) の CKOEN ビットの設定に従います（「第 5 章 クロックパルス発振器」参照）。
- *8 ソフトウェアリセットコントロールレジスタ (SWRSTCR) の AXTALE ビット設定に従います（「第 32 章 低消費電力モード」参照）。
- *9 スタンバイコントロールレジスタ 3 (STBCR3) の HIZ ビットの設定に従います（「第 32 章 低消費電力モード」参照）。
- *10 バスステートコントローラの共通コントロールレジスタ (CMNCR) の HIZMEM ビットの設定に従います（「第 10 章 バスステートコントローラ」参照）。
- *11 バスステートコントローラの共通コントロールレジスタ (CMNCR) の HIZCNT ビットの設定に従います（「第 10 章 バスステートコントローラ」参照）。
- *12 ディープスタンバイ解除要因セレクトレジスタ (DSSSR) の各ビットの設定に従います（「第 32 章 低消費電力モード」参照）。
- *13 リアルタイムクロックのコントロールレジスタ 2 (RCR2) の RTCEN ビットの設定に従います（「第 15 章 リアルタイムクロック」参照）。
- *14 ユーザデバッグインタフェースの TAP コントローラが Shift-DR、Shift-IR 状態以外では Z となります。
- *15 製品チップモード時 ($\overline{\text{ASEMD}} = \text{H}$) の端子状態です。ASE モード時 ($\overline{\text{ASEMD}} = \text{L}$) の端子状態については、「エミュレーションマニュアル」を参照してください。
- *16 出力となる場合は、ハイレベルまたはローレベルの固定出力となります。発振はしません。

36.2 未使用端子の処理

未使用端子の処理方法を下記に示します。

表 36.2 未使用端子の処理 (ユーザデバッグインタフェース / エミュレータインタフェース端子を除く)

端 子	処 理
NMI	ハイレベル固定 (プルアップ / 電源接続)
AVref	AVcc に接続
A/D 専用電源 (AVcc)	3.3V 電源を供給
A/D 専用グラウンド (AVss)	グラウンドに接続
上記以外の入力専用端子	固定 (プルアップ / プルダウン / 電源接続 / グラウンド接続)
上記以外の入出力端子	入力端子設定にして固定 (プルアップ / プルダウン) または出力設定にしてオープン
出力専用端子	オープン

【注】 プルアップ / プルダウンの抵抗は 4.7k Ω ~ 100k Ω を推奨します。

表 36.3 製品チップモードかつユーザデバッグインタフェース未使用時の端子処理

端 子	処 理
ASEMD	ハイレベル固定 (プルアップ / 電源接続)
TRST	ローレベル固定 (プルダウン / グラウンド接続)
TCK、TMS、TDI	固定 (プルアップ / プルダウン / 電源接続 / グラウンド接続)
TDO、ASEBRKAK/ASEBRK	オープン

- 【注】
1. ユーザデバッグインタフェース使用時の端子処理は、使用するエミュレータの仕様に従ってください。
 2. プルアップ / プルダウンの抵抗は 4.7k Ω ~ 100k Ω を推奨します。

36.3 ディープスタンバイモード時の端子処理

ディープスタンバイモード時の、端子処理方法を下記に示します。

ディープスタンバイモード時の端子状態については、「36.1 端子状態」のディープスタンバイモードの項目を参照してください。

また、端子を未使用時は、ディープスタンバイモードにおいても「36.2 未使用端子の処理」に従ってください。

表 36.4 ディープスタンバイモード時の端子処理

端 子	処 理
1.2V 電源 (Vcc, PLLVcc)	1.2V 電源を供給
3.3V 電源 (PVcc, AVcc)	3.3V 電源を供給
グラント (Vss)	グラントに接続
AVref	固定 (3.0V ~ AVcc)
EXTAL, RTC_X1, AUDIO_X1	水晶発振子接続、クロック入力または固定 (プルアップ / プルダウン / 電源接続 / グラント接続)
XTAL, RTC_X2, AUDIO_X2	水晶発振子接続またはオープン
上記以外の入力専用端子	固定 (プルアップ / プルダウン / 電源接続 / グラント接続)
上記以外の入力状態となる入出力端子	固定 (プルアップ / プルダウン)
上記以外の入出力ハイインピーダンス状態となる入出力端子	固定 (プルアップ / プルダウン) またはオープン
上記以外の出力状態となる入出力端子	オープン
上記以外の出力専用端子	オープン

【注】 プルアップ / プルダウンの抵抗は 4.7kΩ ~ 100kΩを推奨します。

36.4 バイパスコンデンサ推奨組み合わせ

電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるだけ LSI の電源端子の近くの実装してください。コンデンサの容量値は $0.1\ \mu\text{F}$ ~ $0.33\ \mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「第 5 章 クロックパルス発振器」も参照してください。

図 36.1 に SH726A の外付けコンデンサ配置例、図 36.2 に SH726B の外付けコンデンサ配置例を示します。

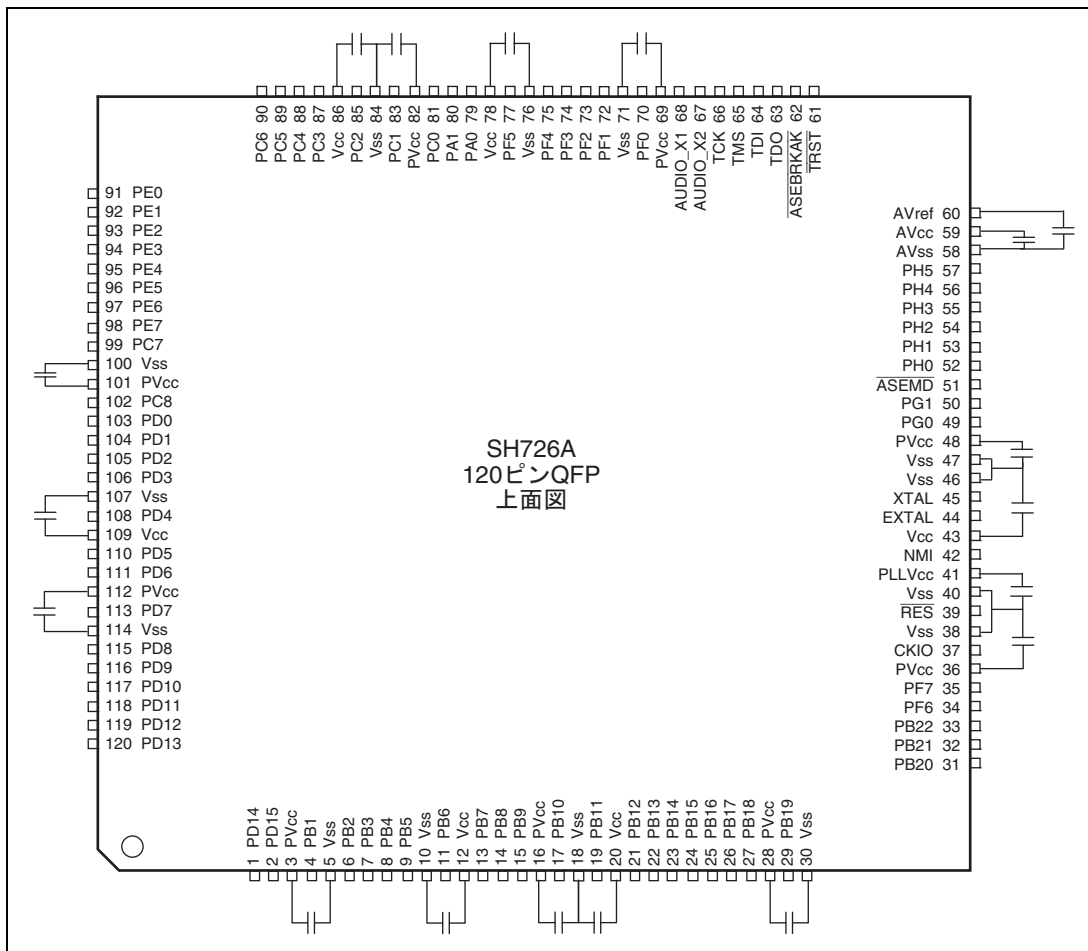


図 36.1 SH726A の外付けコンデンサ配置例

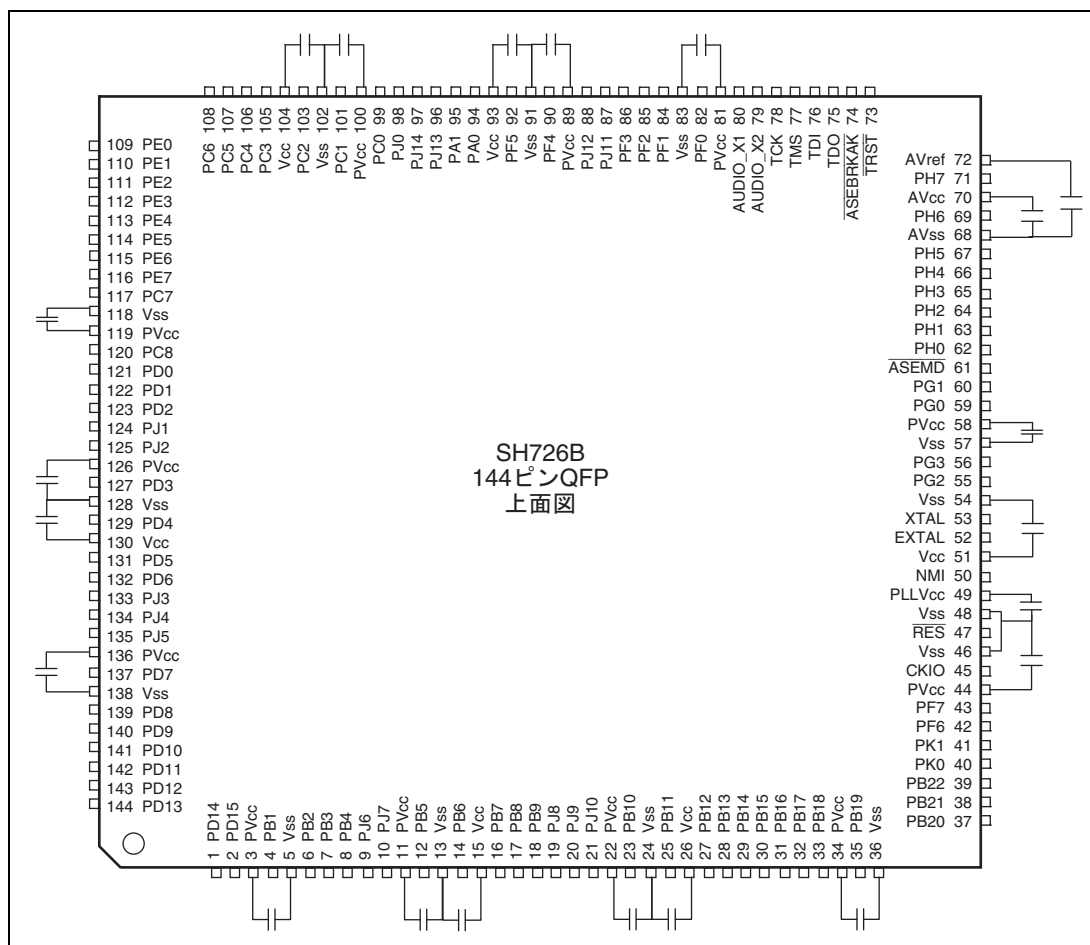


図 36.2 SH726B の外付けコンデンサ配置例

付録

A. 外形寸法図

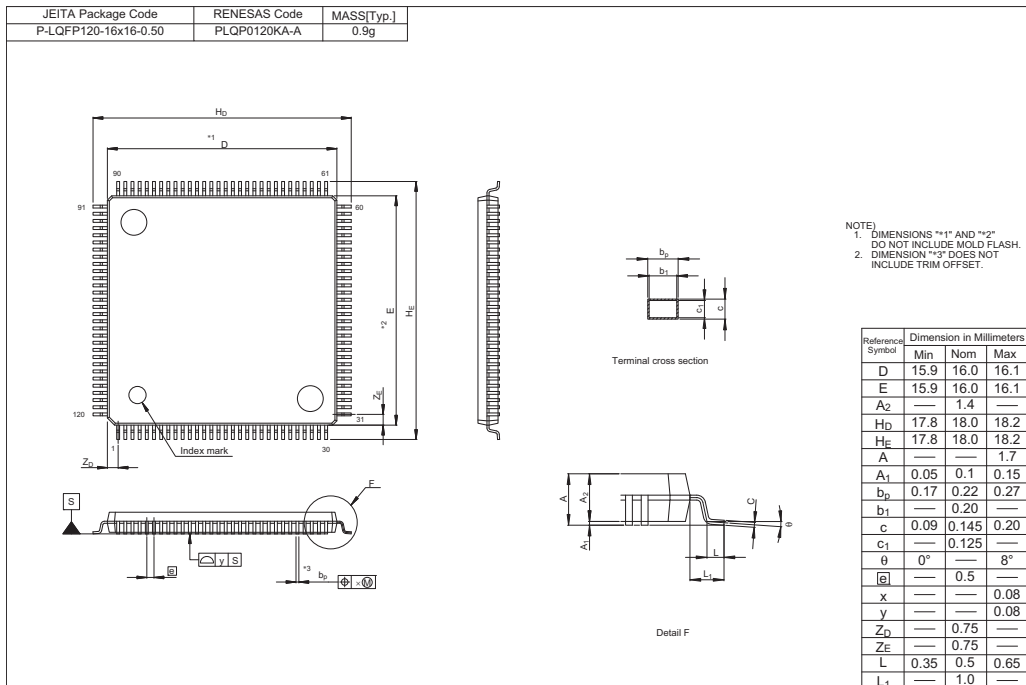


図 A.1 SH726A の外形寸法図 (1)

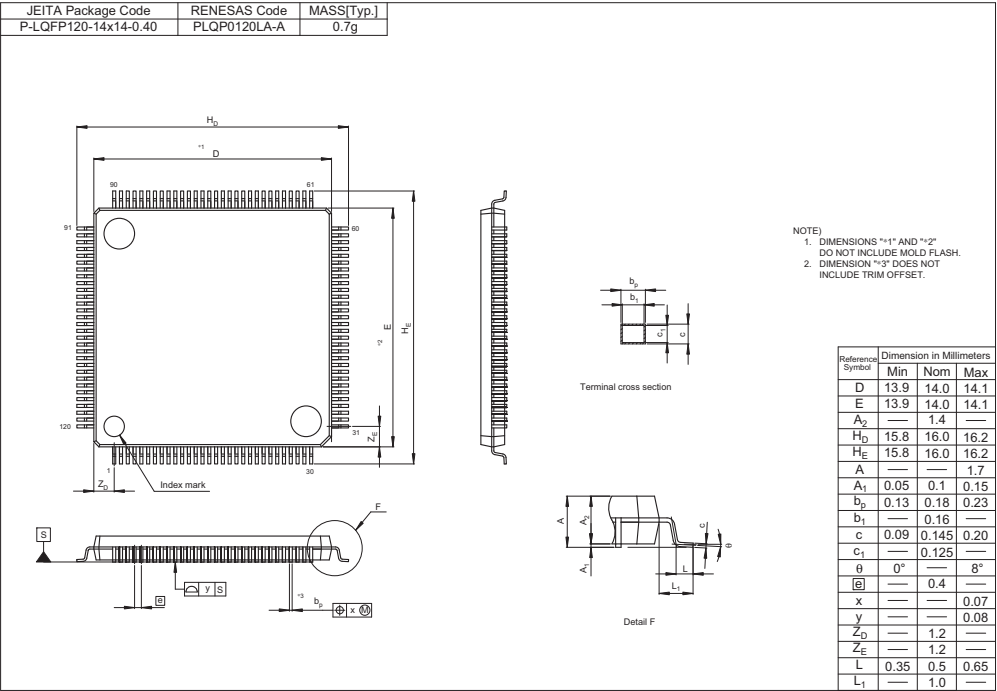


図 A.2 SH726A の外形寸法図 (2)

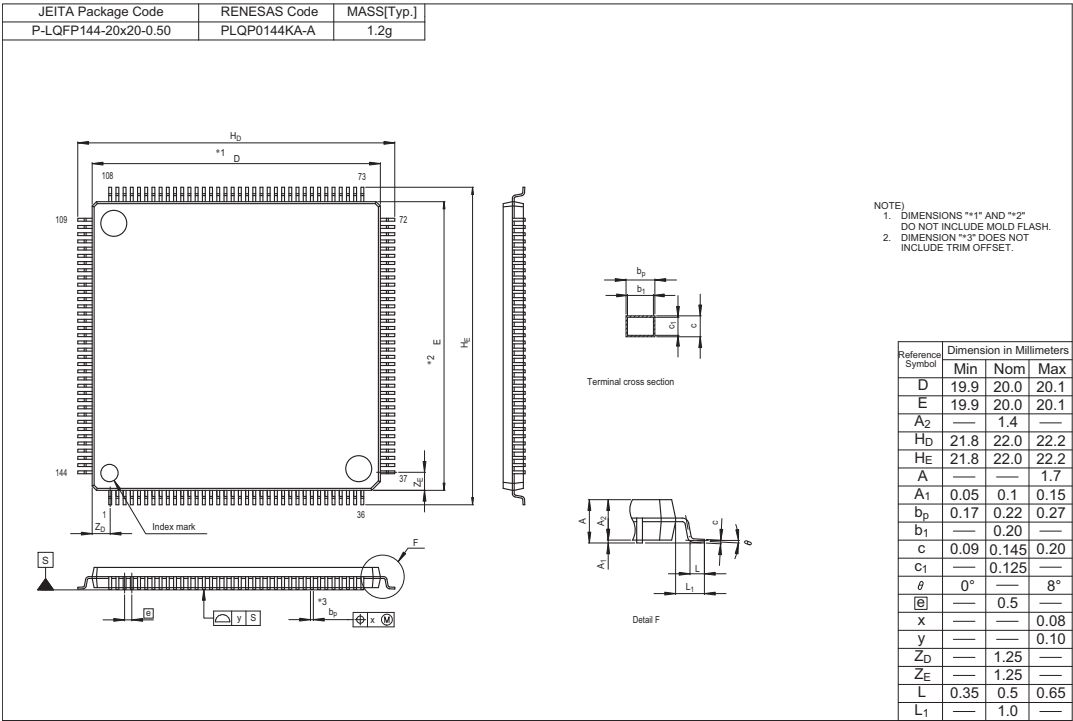


図 A.3 SH726B の外形寸法図

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）							
1.2 製品一覧 表 1.2 製品一覧	1-9	表を修正							
		製品 分類	カタログ 型名	コントローラ エリア ネットワーク	温度範囲	品質レベル	パッケージ	新規 採用時	代替製品
		SH726A グループ	R5S726A0 D216FP	搭載	- 40 ~ + 85℃	Industry usage etc.	PLQP0120KA-A (120 ピン	推奨	⌵
			R5S726A0 P216FP	非搭載		Car Accessories	LQFP、16mm 角、 0.5mm ピッチ)	非推奨	R5S726A1P216FP
			R5S726A1 D216FP	搭載		Industry usage etc.		非推奨	R5S726A0D216FP
			R5S726A1 P216FP			Car Accessories		推奨	⌵
			R5S726A2 D216FP	搭載		Industry usage etc.	PLQP0120LA-A (120 ピン	推奨	⌵
			R5S726A2 P216FP	非搭載		Car Accessories	LQFP、14mm 角、 0.4mm ピッチ)	非推奨	R5S726A3P216FP
			R5S726A3 D216FP	搭載		Industry usage etc.		非推奨	R5S726A2D216FP
			R5S726A3 P216FP			Car Accessories		推奨	⌵
		SH726B グループ	R5S726B0 D216FP	搭載		Industry usage etc.	PLQP0144KA-A (144 ピン	推奨	⌵
			R5S726B0 P216FP	非搭載		Car Accessories	LQFP、20mm 角、 0.5mm ピッチ)	非推奨	R5S726B1P216FP
			R5S726B1 D216FP	搭載		Industry usage etc.		非推奨	R5S726B0D216FP
			R5S726B1 P216FP			Car Accessories		推奨	⌵

1.5 端子機能 表 1.3 端子機能 FIFO 内蔵シリアルコミュニケーションインタフェース RTS2~RTS0 CTS2~CTS0	1-15	表を修正							
		分類	端子名	入出力	名称	機 能			
		FIFO 内蔵シリアルコミュニケーションインタフェース	TxD4 ~ TxD0	出力	送信データ	データ出力端子です。			
		RxD4 ~ RxD0	入力	受信データ	データ入力端子です。				
		SCK4 ~ SCK0	入出力	シリアルクロック	クロック入出力端子です。				
		RTS2 ~ RTS0	入出力	送信要求	モデムコントロール端子です。				
		CTS2 ~ CTS0	入出力	送信可	モデムコントロール端子です。				

修正項目

ページ

12.3 レジスタの説明

12.3.8 タイマ A/D 変換開始

要求コントロールレジスタ (TADCR)

12-43

～

12-44

図を修正

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

BF[1:0]	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE

初期値: 0⁰ 0 0 0 0 0 0 0 0 0⁰ 0 0⁰ 0⁰ 0⁰ 0⁰

R/W: R/W R/W R R R R R R R/W R/W R/W R/W R/W R/W

【注】 TADCRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

【注】 * 相補PWMモード以外では、0を設定してください。

表を修正、【注】を修正

ビット	ビット名	初期値	R/W	説 明
15, 14	BF[1:0]	0 ⁰ 0	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 12.27 を参照してください。
6	DT4AE	0 ⁰ 1	R/W	ダウンカウンタ TRG4AN イネーブル TCNT_4 のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可
4	DT4BE	0 ⁰ 1	R/W	ダウンカウンタ TRG4BN イネーブル TCNT_4 のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可
3	ITA3AE	0 ⁰ 1 ² x3	R/W	TGIA_3 割り込み関引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み関引き機能と連動する / しないを選択します。 0: TGIA_3 割り込み関引き機能と連動しない 1: TGIA_3 割り込み関引き機能と連動する
2	ITA4VE	0 ⁰ 1 ² x3	R/W	TCIV_4 割り込み関引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み関引き機能と連動する / しないを選択します。 0: TCIV_4 割り込み関引き機能と連動しない 1: TCIV_4 割り込み関引き機能と連動する
1	ITB3AE	0 ⁰ 1 ² x3	R/W	TGIA_3 割り込み関引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み関引き機能と連動する / しないを選択します。 0: TGIA_3 割り込み関引き機能と連動しない 1: TGIA_3 割り込み関引き機能と連動する
0	ITB4VE	0 ⁰ 1 ² x3	R/W	TCIV_4 割り込み関引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み関引き機能と連動する / しないを選択します。 0: TCIV_4 割り込み関引き機能と連動しない 1: TCIV_4 割り込み関引き機能と連動する

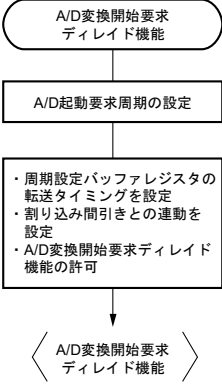
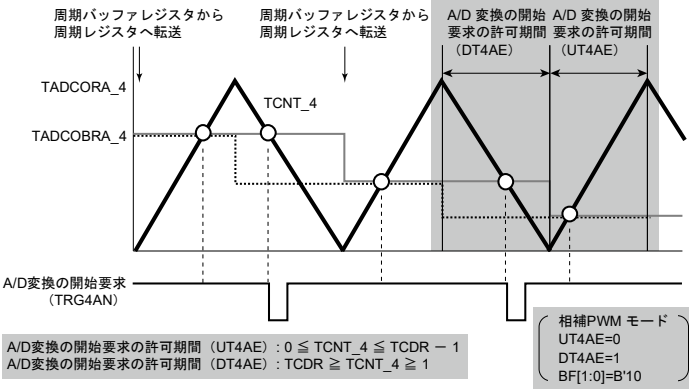
【注】 1. 相補 PWM モード以外では、0 を設定してください。

2. 割り込み関引きが禁止のとき (タイマ割り込み関引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の 関引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、0 を設定してください。

3. 割り込み関引きが禁止のときに、割り込み関引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

* 相補 PWM モード以外では、1 に設定しないでください。

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																
12.3.8 タイマ A/D 変換開始 要求コントロールレジスタ (TADCR) 表 12.27 BF[1:0]ビットによる転送タイミングの設定	12-45	表を修正、【注】を削除 表 12.27 BF[1:0]ビットによる転送タイミングの設定 <table><tr><th>ビット 15</th><th>ビット 14</th><th colspan="2">説 明</th></tr><tr><th>BF1</th><th>BF0</th><th>相補 PWM モード時</th><th>リセット同期 PWM モード時</th></tr><tr><td>0</td><td>0</td><td>周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない</td><td>周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない</td></tr><tr><td>0</td><td>1</td><td>TCNT_4 の山で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する</td><td>TCNT_3 が TGRA_3 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する</td></tr><tr><td>1</td><td>0</td><td>TCNT_4 の谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>TCNT_4 の山と谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する</td><td>設定禁止</td></tr></table> <table><tr><th>ビット 15</th><th>ビット 14</th><th colspan="2">説 明</th></tr><tr><th>BF1</th><th>BF0</th><th>PWM モード 1 時</th><th>通常動作モード時</th></tr><tr><td>0</td><td>0</td><td>周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない</td><td>周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない</td></tr><tr><td>0</td><td>1</td><td>TCNT_4 が TGRA_4 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する</td><td>TCNT_4 が TGRA_4 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する</td></tr><tr><td>1</td><td>0</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td><td>設定禁止</td></tr></table>	ビット 15	ビット 14	説 明		BF1	BF0	相補 PWM モード時	リセット同期 PWM モード時	0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	0	1	TCNT_4 の山で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_3 が TGRA_3 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	1	0	TCNT_4 の谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止	1	1	TCNT_4 の山と谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止	ビット 15	ビット 14	説 明		BF1	BF0	PWM モード 1 時	通常動作モード時	0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	0	1	TCNT_4 が TGRA_4 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_4 が TGRA_4 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	1	0	設定禁止	設定禁止	1	1	設定禁止	設定禁止
ビット 15	ビット 14	説 明																																																
BF1	BF0	相補 PWM モード時	リセット同期 PWM モード時																																															
0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない																																															
0	1	TCNT_4 の山で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_3 が TGRA_3 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する																																															
1	0	TCNT_4 の谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止																																															
1	1	TCNT_4 の山と谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止																																															
ビット 15	ビット 14	説 明																																																
BF1	BF0	PWM モード 1 時	通常動作モード時																																															
0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない																																															
0	1	TCNT_4 が TGRA_4 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_4 が TGRA_4 とコンペアマッチしたとき 周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する																																															
1	0	設定禁止	設定禁止																																															
1	1	設定禁止	設定禁止																																															
12.3.29 タイマ波形コントロールレジスタ (TWCR)	12-65	説明を修正 TWCR は、8 ビットの読み出し／書き込み可能なレジスタです。相補 PWM モードで TCNT_3、TCNT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。 TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。																																																
12.4.8 相補 PWM モード (2) 相補 PWM モードの動作概要 (g) PWM 周期の設定	12-105	説明を修正 相補 PWM モードでは、PWM パルスの周期を TCNT_3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。																																																
12.4.8 相補 PWM モード (2) 相補 PWM モードの動作概要 (l) PWM 周期に同期したトグル出力	12-115	説明を修正 この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT_4 と H'0000 のコンペアマッチでトグルを行います。																																																

修正項目	ページ	修正内容（詳細はマニュアル参照）
12.4.9 A/D 変換開始要求ディレイド機能 図 12.73 A/D 変換開始要求ディレイド機能の設定手順例	12-130	図を修正  【1】 タイマA/D起動要求用周期バッファレジスタ (TADCOBRA/B_4) とタイマA/D起動要求用周期レジスタ (TADCORA/B_4) に、周期を設定します。 (初期設定は、周期バッファレジスタと周期レジスタには同じ値を設定してください。) 【2】 タイマA/D変換開始要求コントロールレジスタ (TADCR) のBF[1:0]ビットには、タイマA/D起動要求用周期バッファレジスタからA/D起動要求用周期レジスタへのバッファ転送タイミングを設定します。 ・ITA3AE、ITA4VE、ITB3AE、ITB4VEビットで、割り込み間引き機能と連動するか設定します。 ・UT4AE、DT4AE、UT4BE、DT4BEビットを設定し、A/D変換の開始要求 (TRG4AN、TRG4BN) を許可します。 【注】 1. TADCRの設定は、TCNT_4が停止した状態で行ってください。 2. 相補PWMモード以外では、BF1ビットを0に設定してください。 3. 相補PWMモード以外では、ITA3AE/4VE、ITB3AE/4VE、DT4AE/4BEビットを0に設定してください。 4. 割り込み間引きが禁止のときは、ITA3AE/4VE、ITB3AE/4VEビットを0に設定してください。
12.4.9 A/D 変換開始要求ディレイド機能 図 12.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例	12-131	図を修正  A/D変換の開始要求の許可期間 (UT4AE) : $0 \leq TCNT\_4 \leq TCDR - 1$ A/D変換の開始要求の許可期間 (DT4AE) : $TCDR \geq TCNT\_4 \geq 1$ 相補PWMモード UT4AE=0 DT4AE=1 BF[1:0]=B*10
12.4.9 A/D 変換開始要求ディレイド機能	12-131	説明を追加 A/D 変換の開始要求の許可期間 TADCR の UT4AE、DT4AE、UT4BE、DT4BE ビットで許可した期間内に TCNT_4 と TADCORA/B_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。 相補 PWM モードで UT4AE、UT4BE ビットを 1 に設定すると、TCNT_4 のアップカウント期間 ($0 \leq TCNT\_4 \leq TCDR - 1$) に A/D 変換の開始要求を許可します。 DT4AE、DT4BE ビットを 1 に設定すると、TCNT_4 のダウンカウント期間 ($TCDR \geq TCNT\_4 \geq 1$) に A/D 変換の開始要求を許可します (図 12.74)。 相補 PWM モード以外のときは、DT4AE、DT4BE ビットを 0 に設定してください。UT4AE、UT4BE ビットに 1 を設定すると、TCNT_4 のアップ/ダウンカウントに関係なく、TCNT_4 と TADCORA/B_4 のコンペアマッチで A/D 変換の開始要求を行います。

修正項目	ページ	修正内容（詳細はマニュアル参照）
12.4.9 A/D 変換開始要求ディレイド機能	12-131	説明を修正 バッファ転送 タイマ A/D 起動要求用周期設定レジスタ（TADCORA/B_4）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（TADCOBRA/B_4）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の BF[1:0] ビットを設定することにより選択することができます。 相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。 詳細は、「12.7.24 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」をご覧ください。 また、相補 PWM モード以外のときは、BF1 ビットを 0 に設定してください。
12.4.9 A/D 変換開始要求ディレイド機能	12-131 ～ 12-132	説明を修正 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能 相補 PWM モードでは、タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求（TRG4AN、TRG4BN）を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を図 12.75 に示します。 また、TCNT_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を図 12.76 に示します。 相補 PWM モード以外では、割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能は使用できません。TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定してください。
12.4.9 A/D 変換開始要求ディレイド機能	12-132	【注】を修正 【注】 本機能は割り込み間引き機能と組み合わせて使用してください。 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ず割り込み間引き機能と連動しない（タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定）設定にしてください。 また、本機能使用時、TADCORA/B_4 には H'0002～TCDR-2 を設定してください。

修正項目	ページ	修正内容（詳細はマニュアル参照）
12.7.15 リセット同期PWM モードのバッファ動作とコ ンペアマッチフラグ 図 12.109 リセット同期 PWM モードのバッファ動作 とコンペアマッチフラグ	12-160	図を修正
12.7.23 相補 PWM モード での同期カウンタクリア時 出力波形制御における注意 事項 図 12.113 条件 (1) の同期 クリア例	12-164	図を修正

修正項目	ページ	修正内容（詳細はマニュアル参照）										
12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項 図 12.114 条件（2）の同期クリア例	12-165	図を修正 同期クリア TGTA_3 TCNT_3 Tb期間 TCNT_4 TDDR TGR 0 PWM出力（正相） PWM出力（逆相） アクティブレベル出力期間は存在しないのに、同期クリアでアクティブレベル出力する デッドタイム消失 初期出力抑止 ■ デッドタイム ※PWM出力はLowアクティブ										
12.7.24 相補 PWM モードにおけるA/D変換ディレイド機能の注意事項	12-166	項目を追加										
16.6.4 ブレークの検出と処理	16-51	説明を修正 フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0（ローレベル）が入力されると、ブレーク（BRK）を検出します。ブレークを検出すると、SCFRDR への受信データ（H'00）の転送だけでなく、RXD 端子から入力されたシリアルデータを SCRSR にセットする動作も停止します。SCSCR の RIE ビット、または、REIE ビットをセットしている場合、ブレーク割り込み要求（BRI）も発生します。ブレークが終了し、受信信号がマーク 1（ハイレベル）になると、受信を再開します。 また、フレーミングエラー（FER）検出時に RXD 端子のレベルを SCSPTR から直接読み出すことでも、ブレークを検出できます。ブレークでは、Rx D 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ（PER）もセットされる場合があります。 ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。										
17.3.4 ステータスレジスタ（SPSR）	17-12	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>6</td><td>TEND</td><td>1</td><td>R</td><td>送信終了 送信終了したことを示すビットです。TEND ビットが 1 の場合、送信終了したことを示し、TEND ビットが 0 の場合、送信未終了であることを示します。 TEND ビットを 0 にクリアする条件は以下のとおりです。 • 送信レジスタからシフトレジスタへ送信データが転送されたとき TEND ビットを 1 にセットする条件は以下のとおりです。 • シリアル転送終了時に送信バッファ（SPTX）のデータ格納数が空であるとき 【注】 SPI マスタモード設定時のみ有効となります。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	6	TEND	1	R	送信終了 送信終了したことを示すビットです。TEND ビットが 1 の場合、送信終了したことを示し、TEND ビットが 0 の場合、送信未終了であることを示します。 TEND ビットを 0 にクリアする条件は以下のとおりです。 • 送信レジスタからシフトレジスタへ送信データが転送されたとき TEND ビットを 1 にセットする条件は以下のとおりです。 • シリアル転送終了時に送信バッファ（SPTX）のデータ格納数が空であるとき 【注】 SPI マスタモード設定時のみ有効となります。
ビット	ビット名	初期値	R/W	説 明								
6	TEND	1	R	送信終了 送信終了したことを示すビットです。TEND ビットが 1 の場合、送信終了したことを示し、TEND ビットが 0 の場合、送信未終了であることを示します。 TEND ビットを 0 にクリアする条件は以下のとおりです。 • 送信レジスタからシフトレジスタへ送信データが転送されたとき TEND ビットを 1 にセットする条件は以下のとおりです。 • シリアル転送終了時に送信バッファ（SPTX）のデータ格納数が空であるとき 【注】 SPI マスタモード設定時のみ有効となります。								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																						
18.4.1 共通コントロールレジスタ（CMNCR）	18-5～18-6	表を修正 <table><thead><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr></thead><tbody><tr><td>23、22</td><td>MOIO3 [1:0]</td><td>10</td><td>R/W</td><td>SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1 SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z</td></tr><tr><td>21、20</td><td>MOIO2 [1:0]</td><td>10</td><td>R/W</td><td>SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1 SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z</td></tr><tr><td>19、18</td><td>MOIO1 [1:0]</td><td>10</td><td>R/W</td><td>SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1 SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z</td></tr><tr><td>17、16</td><td>MOIO0 [1:0]</td><td>10</td><td>R/W</td><td>SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1 SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z</td></tr><tr><td>15、14</td><td>IO3FV[1:0]</td><td>01</td><td>R/W</td><td>1ビット / 2ビット幅時 SPBIO3_0、SPBIO3_1 固定値 1ビット / 2ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z</td></tr><tr><td>13、12</td><td>IO2FV[1:0]</td><td>00</td><td>R/W</td><td>1ビット / 2ビット幅時 SPBIO2_0、SPBIO2_1 固定値 1ビット / 2ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z</td></tr><tr><td>9、8</td><td>IO0FV[1:0]</td><td>00</td><td>R/W</td><td>1ビット幅入力時 SPBIO0_0、SPBIO0_1 固定値 1ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z</td></tr></tbody></table>	ビット	ビット名	初期値	R/W	説 明	23、22	MOIO3 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1 SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z	21、20	MOIO2 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1 SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z	19、18	MOIO1 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1 SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z	17、16	MOIO0 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1 SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z	15、14	IO3FV[1:0]	01	R/W	1ビット / 2ビット幅時 SPBIO3_0、SPBIO3_1 固定値 1ビット / 2ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z	13、12	IO2FV[1:0]	00	R/W	1ビット / 2ビット幅時 SPBIO2_0、SPBIO2_1 固定値 1ビット / 2ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z	9、8	IO0FV[1:0]	00	R/W	1ビット幅入力時 SPBIO0_0、SPBIO0_1 固定値 1ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z														
ビット	ビット名	初期値	R/W	説 明																																																				
23、22	MOIO3 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO3_0、SPBIO3_1 SPBSSL ネゲート期間に SPBIO3_0、SPBIO3_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z																																																				
21、20	MOIO2 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO2_0、SPBIO2_1 SPBSSL ネゲート期間に SPBIO2_0、SPBIO2_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z																																																				
19、18	MOIO1 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO1_0、SPBIO1_1 SPBSSL ネゲート期間に SPBIO1_0、SPBIO1_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z																																																				
17、16	MOIO0 [1:0]	10	R/W	SPBSSL 出力アイドル値固定 SPBIO0_0、SPBIO0_1 SPBSSL ネゲート期間に SPBIO0_0、SPBIO0_1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z																																																				
15、14	IO3FV[1:0]	01	R/W	1ビット / 2ビット幅時 SPBIO3_0、SPBIO3_1 固定値 1ビット / 2ビット幅時、SPBIO3_0、SPBIO3_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z																																																				
13、12	IO2FV[1:0]	00	R/W	1ビット / 2ビット幅時 SPBIO2_0、SPBIO2_1 固定値 1ビット / 2ビット幅時、SPBIO2_0、SPBIO2_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z																																																				
9、8	IO0FV[1:0]	00	R/W	1ビット幅入力時 SPBIO0_0、SPBIO0_1 固定値 1ビット幅入力時、SPBIO0_0、SPBIO0_1 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は直前のビット（直前のビットが Hi-Z のときは Hi-Z） 11：出力値は Hi-Z																																																				
18.5.11 データ端子制御 表 18.8 端子状態（2）	18-53	表を修正 <table><thead><tr><th rowspan="3">端子</th><th colspan="6">転送データ</th></tr><tr><th colspan="3">外部アドレス空間リード動作</th><th colspan="3">SPI 動作</th></tr><tr><th>1ビット幅</th><th>2ビット幅</th><th>4ビット幅</th><th colspan="3">SPIRE ビット = 1、SPIWE ビット = 0</th></tr><tr><th></th><th></th><th></th><th></th><th>1ビット幅</th><th>2ビット幅</th><th>4ビット幅</th></tr></thead><tbody><tr><td>SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1</td><td>IO0FV ビット設定値</td><td>入力</td><td>入力</td><td>IO0FV ビット設定値</td><td>入力</td><td>入力</td></tr><tr><td>SPBMO_0/SPBIO1_0、 SPBMO_1/SPBIO1_1</td><td>入力</td><td>入力</td><td>入力</td><td>入力</td><td>入力</td><td>入力</td></tr><tr><td>SPBIO2_0、SPBIO2_1</td><td>IO2FV ビット設定値</td><td>IO2FV ビット設定値</td><td>入力</td><td>IO2FV ビット設定値</td><td>IO2FV ビット設定値</td><td>入力</td></tr><tr><td>SPBIO3_0、SPBIO3_1</td><td>IO3FV ビット設定値</td><td>IO3FV ビット設定値</td><td>入力</td><td>IO3FV ビット設定値</td><td>IO3FV ビット設定値</td><td>入力</td></tr></tbody></table>	端子	転送データ						外部アドレス空間リード動作			SPI 動作			1ビット幅	2ビット幅	4ビット幅	SPIRE ビット = 1、SPIWE ビット = 0							1ビット幅	2ビット幅	4ビット幅	SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	IO0FV ビット設定値	入力	入力	IO0FV ビット設定値	入力	入力	SPBMO_0/SPBIO1_0、 SPBMO_1/SPBIO1_1	入力	入力	入力	入力	入力	入力	SPBIO2_0、SPBIO2_1	IO2FV ビット設定値	IO2FV ビット設定値	入力	IO2FV ビット設定値	IO2FV ビット設定値	入力	SPBIO3_0、SPBIO3_1	IO3FV ビット設定値	IO3FV ビット設定値	入力	IO3FV ビット設定値	IO3FV ビット設定値	入力
端子	転送データ																																																							
	外部アドレス空間リード動作			SPI 動作																																																				
	1ビット幅	2ビット幅	4ビット幅	SPIRE ビット = 1、SPIWE ビット = 0																																																				
				1ビット幅	2ビット幅	4ビット幅																																																		
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	IO0FV ビット設定値	入力	入力	IO0FV ビット設定値	入力	入力																																																		
SPBMO_0/SPBIO1_0、 SPBMO_1/SPBIO1_1	入力	入力	入力	入力	入力	入力																																																		
SPBIO2_0、SPBIO2_1	IO2FV ビット設定値	IO2FV ビット設定値	入力	IO2FV ビット設定値	IO2FV ビット設定値	入力																																																		
SPBIO3_0、SPBIO3_1	IO3FV ビット設定値	IO3FV ビット設定値	入力	IO3FV ビット設定値	IO3FV ビット設定値	入力																																																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																															
18.5.11 データ端子制御 表 18.9 端子状態（3）	18-54	表を修正 <table><tr><th rowspan="4">端子</th><th colspan="6">転送データ</th></tr><tr><th colspan="6">SPI 動作</th></tr><tr><th colspan="3">SPIRE ビット = 0、SPIWE ビット = 1</th><th colspan="3">SPIRE ビット = 1、SPIWE ビット = 1</th></tr><tr><th>1 ビット幅</th><th>2 ビット幅</th><th>4 ビット幅</th><th>1 ビット幅</th><th>2 ビット幅</th><th>4 ビット幅</th></tr><tr><td>SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1</td><td>出力</td><td>出力</td><td>出力</td><td>出力</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1</td><td>Hi-Z</td><td>出力</td><td>出力</td><td>入力</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>SPBIO2_0、SPBIO2_1</td><td>IO2FV ビット 設定値</td><td>IO2FV ビット 設定値</td><td>出力</td><td>IO2FV ビット 設定値</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>SPBIO3_0、SPBIO3_1</td><td>IO3FV ビット 設定値</td><td>IO3FV ビット 設定値</td><td>出力</td><td>IO3FV ビット 設定値</td><td>設定禁止</td><td>設定禁止</td></tr></table>	端子	転送データ						SPI 動作						SPIRE ビット = 0、SPIWE ビット = 1			SPIRE ビット = 1、SPIWE ビット = 1			1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅	SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	出力	出力	出力	出力	設定禁止	設定禁止	SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	Hi-Z	出力	出力	入力	設定禁止	設定禁止	SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	出力	IO2FV ビット 設定値	設定禁止	設定禁止	SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	出力	IO3FV ビット 設定値	設定禁止	設定禁止																																										
端子	転送データ																																																																																																
	SPI 動作																																																																																																
	SPIRE ビット = 0、SPIWE ビット = 1			SPIRE ビット = 1、SPIWE ビット = 1																																																																																													
	1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅																																																																																											
SPBMO_0/SPBIO0_0、 SPBMO_1/SPBIO0_1	出力	出力	出力	出力	設定禁止	設定禁止																																																																																											
SPBMI_0/SPBIO1_0、 SPBMI_1/SPBIO1_1	Hi-Z	出力	出力	入力	設定禁止	設定禁止																																																																																											
SPBIO2_0、SPBIO2_1	IO2FV ビット 設定値	IO2FV ビット 設定値	出力	IO2FV ビット 設定値	設定禁止	設定禁止																																																																																											
SPBIO3_0、SPBIO3_1	IO3FV ビット 設定値	IO3FV ビット 設定値	出力	IO3FV ビット 設定値	設定禁止	設定禁止																																																																																											
19.7.8 マスタ受信モード切り替え時の注意事項	19-40	項目を追加																																																																																															
27.4.3 パイプコントロール （1）パイプコントロールレジスタの切り替え手順	27-122	説明を修正 1. パイプコントロールレジスタのビット変更要求発生。 2. 当該パイプの PID を NAK に変更。 3. 当該パイプの CSSTS ビットが 0 になるまで待つ。（ホストコントローラ機能選択時のみ） 3. 当該パイプの PBUSY ビットが 0 になるまで待つ。																																																																																															
32.3.4 ディープスタンバイモード （2）ディープスタンバイモードの解除	32-35	説明を修正 ディープスタンバイモードは、割り込み（NMI、リアルタイムクロックのアラーム割り込み）、解除用端子の変化、およびリセット（パワーオンリセット）により解除されます。リアルタイムクロックのアラーム割り込みは、割り込み優先レベルおよび CPU のステータスレジスタ（SR）とアラーム割り込みイネーブルフラグ（RCR1.AIE）に関係なく、ディープスタンバイ解除要因として動作します。リセット以外の要因によって解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。ディープスタンバイモード解除のフローを図 32.3 に示します。																																																																																															
36.1 端子状態 表 36.1 端子状態 FIFO 内蔵シリアルコミュニケーションインタフェース	36-3	表を修正 <table><tr><th colspan="2">端子機能</th><th colspan="5">端子状態</th></tr><tr><th rowspan="3">分類</th><th rowspan="3">端子名</th><th rowspan="3">通常状態 （右記以外）</th><th rowspan="3">パワーオン リセット^{a1}</th><th colspan="2">端子状態保持^{a2}</th><th colspan="2">低消費電力状態</th></tr><tr><th rowspan="2">EBUSKEEP^{a3} （右記以外）</th><th rowspan="2">パワー オン リセット^{a4}</th><th rowspan="2">ディープ スタンバイ モード</th><th rowspan="2">ソフトウェ アスタンバイ モード</th></tr><tr><th>0</th><th>1</th></tr><tr><td rowspan="11">FIFO 内蔵 シリアル コミュニケーション インタフェース</td><td>TxD4 ~ TxD0</td><td>OIZ</td><td>-</td><td colspan="2">OIZ^{a5}</td><td>OIZ^{a6}</td><td>OIZ^{a6}</td></tr><tr><td>RxD4（PH7）、RxD3（PH6）、 RxD2 ~ RxD0</td><td>I</td><td>-</td><td colspan="2">-</td><td>Z</td><td>Z</td></tr><tr><td>RxD4（PF7、PJ13）、RxD3（PF6）</td><td>I</td><td>-</td><td colspan="2">-</td><td>I/Z^{a7}</td><td>Z</td></tr><tr><td rowspan="2">SCK4（PD6）、SCK3 ~ SCK0</td><td>I</td><td>-</td><td colspan="2">-</td><td>Z</td><td>Z</td></tr><tr><td>OIZ</td><td>-</td><td colspan="2">OIZ^{a8}</td><td>OIZ^{a9}</td><td>OIZ^{a9}</td></tr><tr><td rowspan="2">SCK4（PJ11）</td><td>I</td><td>-</td><td colspan="2">-</td><td>I/Z^{a7}</td><td>I</td></tr><tr><td>OIZ</td><td>-</td><td colspan="2">OIZ^{a8}</td><td>OIZ^{a8}</td><td>OIZ^{a9}</td></tr><tr><td rowspan="2">RTS2 ~ RTS0</td><td>I</td><td>-</td><td colspan="2">-</td><td>Z</td><td>Z</td></tr><tr><td>OIZ</td><td>-</td><td colspan="2">OIZ^{a8}</td><td>OIZ^{a8}</td><td>OIZ^{a9}</td></tr><tr><td rowspan="2">CTS2 ~ CTS0</td><td>I</td><td>-</td><td colspan="2">-</td><td>Z</td><td>Z</td></tr><tr><td>OIZ</td><td>-</td><td colspan="2">OIZ^{a8}</td><td>OIZ^{a8}</td><td>OIZ^{a9}</td></tr></table>	端子機能		端子状態					分類	端子名	通常状態 （右記以外）	パワーオン リセット ^{a1}	端子状態保持 ^{a2}		低消費電力状態		EBUSKEEP ^{a3} （右記以外）	パワー オン リセット ^{a4}	ディープ スタンバイ モード	ソフトウェ アスタンバイ モード	0	1	FIFO 内蔵 シリアル コミュニケーション インタフェース	TxD4 ~ TxD0	OIZ	-	OIZ ^{a5}		OIZ ^{a6}	OIZ ^{a6}	RxD4（PH7）、RxD3（PH6）、 RxD2 ~ RxD0	I	-	-		Z	Z	RxD4（PF7、PJ13）、RxD3（PF6）	I	-	-		I/Z ^{a7}	Z	SCK4（PD6）、SCK3 ~ SCK0	I	-	-		Z	Z	OIZ	-	OIZ ^{a8}		OIZ ^{a9}	OIZ ^{a9}	SCK4（PJ11）	I	-	-		I/Z ^{a7}	I	OIZ	-	OIZ ^{a8}		OIZ ^{a8}	OIZ ^{a9}	RTS2 ~ RTS0	I	-	-		Z	Z	OIZ	-	OIZ ^{a8}		OIZ ^{a8}	OIZ ^{a9}	CTS2 ~ CTS0	I	-	-		Z	Z	OIZ	-	OIZ ^{a8}		OIZ ^{a8}	OIZ ^{a9}
端子機能		端子状態																																																																																															
分類	端子名	通常状態 （右記以外）	パワーオン リセット ^{a1}	端子状態保持 ^{a2}		低消費電力状態																																																																																											
				EBUSKEEP ^{a3} （右記以外）	パワー オン リセット ^{a4}	ディープ スタンバイ モード	ソフトウェ アスタンバイ モード																																																																																										
								0	1																																																																																								
FIFO 内蔵 シリアル コミュニケーション インタフェース	TxD4 ~ TxD0	OIZ	-	OIZ ^{a5}		OIZ ^{a6}	OIZ ^{a6}																																																																																										
	RxD4（PH7）、RxD3（PH6）、 RxD2 ~ RxD0	I	-	-		Z	Z																																																																																										
	RxD4（PF7、PJ13）、RxD3（PF6）	I	-	-		I/Z ^{a7}	Z																																																																																										
	SCK4（PD6）、SCK3 ~ SCK0	I	-	-		Z	Z																																																																																										
		OIZ	-	OIZ ^{a8}		OIZ ^{a9}	OIZ ^{a9}																																																																																										
	SCK4（PJ11）	I	-	-		I/Z ^{a7}	I																																																																																										
		OIZ	-	OIZ ^{a8}		OIZ ^{a8}	OIZ ^{a9}																																																																																										
	RTS2 ~ RTS0	I	-	-		Z	Z																																																																																										
		OIZ	-	OIZ ^{a8}		OIZ ^{a8}	OIZ ^{a9}																																																																																										
	CTS2 ~ CTS0	I	-	-		Z	Z																																																																																										
		OIZ	-	OIZ ^{a8}		OIZ ^{a8}	OIZ ^{a9}																																																																																										

修正項目	ページ	修正内容（詳細はマニュアル参照）
	36-7	【注】を修正 【注】*2 ディープスタンバイモードからNMIなどの各端子入力またはリアルタイム クロックのアラーム割り込みによって復帰した後、ディープスタンバイ解 除要因フラグレジスタ（DSFR）のIOKEEP ビットがクリアされるまでの 状態を指します（「第 32 章 低消費電力モード」参照）。

索引

【数字／記号】

16ビット／32ビットディスプレイメント 2-10

【A】

A/D変換開始要求ディレイド機能 12-129
A/D変換器 26-1
A/D変換器タイミング 35-53
A/D変換器特性 35-59
A/D変換器の起動 12-137
A/D変換時間（マルチモード／スキャンモード） 26-16
A/D変換精度の定義 26-19
A/D変換タイミング 26-15
AC特性 35-8
AC特性測定条件 35-58
ATTCH割り込み 27-120

【B】

BCHG割り込み 27-119
BEMP割り込み 27-114
BRDY割り込み 27-106

【C】

CANインタフェース 22-5
CANスリープモード 22-72
CANバスインタフェース 22-95
CD-DSP停止・再開時の注意点 25-51
CD-ROMデコーダ 25-1
CMCNTカウントタイミング 13-6
CMCNTの書き込みとコンペアマッチの競合 13-9
CMCNTのバイト書き込みとカウントアップの競合 .. 13-10
CMCNTのワード書き込みとカウントアップの競合 13-9
CPU 2-1
 $\overline{\text{CSn}}$ アサート期間拡張 10-47

【D】

DC特性 35-3
DMA転送フローチャート 11-29
DREQ端子のサンプリングタイミング 11-45
DTCH割り込み 27-119

【E】

ECC訂正機能 25-43
EDCチェック機能 25-43
EOFERR割り込み 27-120

【F】

FIFO付きクロック同期シリアルI/Oタイミング 35-51
FIFO付きクロック同期シリアルI/O 21-1
FIFO内蔵シリアルコミュニケーションインタフェース
..... 16-1
FIFO内蔵シリアルコミュニケーションインタフェースタ
イミング 35-41
FIFOバッファメモリ 27-127
FPUに関するCPU命令 2-36
FPU例外要因 3-9

【I】

I²Cバスインタフェース3 19-1
I²Cバスインタフェース3タイミング 35-48
I²Cバスフォーマット 19-18
IBUF割り込み 25-50
ID並べ替え 22-29
IEBus™コントローラ 23-1
IEBus通信プロトコル 23-2
IEBusビットフォーマット 23-13
IERR割り込み 25-50
IREADY割り込み 25-50
IRQ割り込み 7-16
ISEC割り込み 25-49
ISY割り込み 25-49
ITARG割り込み 25-49

【L】

LRU 9-3

【N】

NRDY割り込み 27-111

【P】

PINT割り込み 7-17

PLL回路.....	5-3
PLL発振回路使用時の注意	5-10, 5-13
PWMモード	12-83

【R】

RISC方式	2-7

【S】

SACK割り込み	27-120
SCBRRの設定値を求める計算式.....	16-17
SDRAMインタフェース	10-48
SDホストインタフェース.....	29-1
SDホストインタフェースタイミング.....	35-55
SIGN割り込み	27-120
SOF補間機能	27-147
SSLネゲート期間のMOSI信号値の決定方法	17-31

【T】

TAPコントローラ.....	33-12
TDO出力タイミング.....	33-13
TSGとTSEGの設定.....	22-35
TTW[1:0] (タイムトリガウィンドウ)	22-20
Tビット	2-8

【U】

USB2.0ホスト／ファンクションモジュール	27-1
USB2.0ホスト／ファンクションモジュールタイミング	35-54
USBデータバス抵抗制御.....	27-101

【V】

VBUS割り込み	27-119

【あ】

アイソクロナス転送	27-137
アイドルサイクル数を決める項目	10-83
アクセスウェイト制御.....	10-45
アクセスサイクル間アイドル.....	10-82
アクセスサイズとデータアライメント	10-38
アクセスサイズとバースト数の関係	10-52
アドレスアレイ	9-2, 9-14
アドレスアレイライト (連想あり)	9-15
アドレスアレイライト (連想なし)	9-14
アドレスアレイリード.....	9-14
アドレスエラー	6-9
アドレスマップ	10-5
アドレスマルチプレクス	10-49

アドレッシングモード.....	2-11
アナログ電圧の設定	26-20
アナログ入力端子の規格	26-21
アナログ入力端子の取り扱い	26-20
アラーム機能の使用手法	15-26
位相計数モード	12-88
一般不当命令	6-15
イミディエイトデータ.....	2-9
イミディエイトデータによる参照.....	2-9
イミディエイトデータのデータ形式.....	2-6
インターバルタイマモードの使用法.....	14-12
インタラプト転送.....	27-136
ウォッチドッグタイマ.....	14-1
ウォッチドッグタイマタイミング	35-40
ウォッチドッグタイマモードの使用法	14-11
エンディアン	10-38
応答PID	27-124
オートリクエストモード	11-30
オートリフレッシュ	10-66
オフセット誤差	26-19

【か】

外部トリガ入力タイミング.....	26-17
外部リクエストモード.....	11-30
各動作モードにおけるレジスタの状態の一覧	34-83
カスケード接続動作	12-79
キャッシュ	9-1
キャッシュ動作まとめ.....	9-12
キャッシュと外部メモリ／大容量内蔵RAMとのコヒーレンシ	9-13
キャッシュの検索.....	9-9
許容信号源インピーダンス.....	26-22
グローバルベースレジスタ (GBR)	2-3
クロック周波数制御回路	5-3
クロックタイミング.....	35-8
クロック同期式シリアルフォーマット	19-27
クロック同期式モード時の動作.....	16-41
クロック動作モード	5-5
クロックパルス発振器.....	5-1
高速内蔵RAMアドレス空間.....	30-1
コントローラエリアネットワーク	22-1
コントローラエリアネットワーク端子ポート設定	22-96
コントローラエリアネットワークのコントロールレジスタ	22-24
コントローラエリアネットワークの設定.....	22-69
コントローラエリアネットワークのメールボックスレジスタ	22-44

コントローラエリアネットワークのメモリマップ	22-6
コントローラエリアネットワークの割り込み要因	22-93
コントロール転送ステージ遷移割り込み	27-117
コントロールレジスタの初期値	2-4
コンフィギュレーションモード	20-32
コンペアマッチタイマ	13-1

【さ】

サイクルスチールモード	11-40
サポートできるDMA転送	11-36
算術演算命令	2-27
サンプリングレートコンバータ	28-1
システム構成例	17-31
システム制御命令	2-32
システムマトリックス	22-23
システムレジスタの初期値	2-4
実効アドレスの計算方法	2-11
自動デコード停止機能	25-44
シフト命令	2-30
ジャンプテーブルベースレジスタ (TBR)	2-3
周期設定上の注意事項	12-150
周波数変更方法	5-9
出力負荷回路	35-58
乗算／積和演算	2-8
初期化	17-45
シリアルサウンドインタフェース	20-1
シリアルサウンドインタフェースタイミング	35-50
シングルアドレスモード	11-39
シングルモード	26-8
シングルライト	10-58
シングルリード	10-55
シンドローム演算機能	25-43
水晶発振器	5-3
スキャンモード	26-12
スタックからの復帰	7-38
スタックへの退避	7-38
スタンバイ制御回路	5-3
ステータスレジスタ (SR)	2-2
スリープモード	32-29
スレーブ受信動作	19-25
スレーブ送信動作	19-23
スレーブモード動作	17-53
スロット不当命令	6-15
制御信号タイミング	35-12
整数除算命令	6-16
積和下位レジスタ (MACL)	2-4
積和上位レジスタ (MACH)	2-4

絶対アドレス	2-9
絶対アドレスによる参照	2-10
絶対最大定格	35-1
絶対精度への影響	26-22
セルフリフレッシュ	10-67
送信トリガコントロールフィールド	22-20
送信トリガタイム (TTT)	22-20
送信用内部アービトレーション	22-77
相補PWMモード	12-97
ソフトウェアスタンバイモード	32-29
ソフトウェアスタンバイモード解除の手順 (ウォッチドッグタイマ)	14-10

【た】

タイマレジスタ	22-56
タイムスタンプ	22-19
タイムスレーブ	22-82
タイムトリガコントロール (TTコントロール)	22-20
タイムトリガシステムの例	22-85
タイムトリガ送信	22-78
大容量内蔵RAMアドレス空間	30-1
ダイレクトメモリアクセスコントローラ	11-1
ダイレクトメモリアクセスコントローラインタフェース	22-94
ダイレクトメモリアクセスコントローラ使用上の制約事項	16-50
ダイレクトメモリアクセスコントローラ	
タイミング	35-38
ダイレクトメモリアクセスコントローラの起動	12-137
端子の制御	17-30
単精度浮動小数点フォーマット	3-2
遅延スロットなし無条件分岐命令	2-8
遅延分岐命令	2-8
遅延分岐命令の直後の例外要因発生	6-17
調歩同期式モード時の動作	16-33
調歩同期式モードの受信データサンプリングタイミングと受信マージン	16-51
通常以外の転送の発生条件とエラー検出機能	17-42
通常空間インタフェース	10-41
ディープスタンバイモード	32-33
ディープパワーダウンモード	10-74
低消費電力状態	2-39
低消費電力モード	32-1
ディスプレースメントによる参照	2-10
データPIDシーケンスビット	27-125
データアクセスサイクルでのブ레이크	8-13
データアレイ	9-2, 9-15

データアレイライト	9-15
データアレイリード	9-15
データ転送命令	2-24
データフォーマット	17-36
テストモードの設定	22-75
デバイスステート遷移割り込み	27-115
デュアルアドレスモード	11-37
電気的特性	35-1
電源投入・切断シーケンス	35-2
転送フォーマット	17-34, 17-35
伝送プロトコル	23-4
転送レート	19-7
同期コード保護機能	25-39
トラップ命令	6-14
トランザクション発行条件	27-148

【な】

内蔵RAM	30-1
内蔵周辺モジュールリクエストモード	11-31
内蔵周辺モジュール割り込み	7-18
入カストリームデータエンディアン変換機能	25-38
ノイズ除去回路	19-30

【は】

バーストROM（クロック同期）インタフェース	10-81
バーストROM（クロック非同期）インタフェース	10-75
バーストモード	11-42
バーストライト	10-56
バーストリード	10-52
倍精度浮動小数点フォーマット	3-2
バイト選択付きSRAMインタフェース	10-76
パイプコントロール	27-121
パイプスケジュール	27-148
バウンダリスキャン	33-15
バスステートコントローラ	10-1
バスタイミング	35-13
バッファリングフォーマット	25-45
バルク転送	27-135
パワーオンシーケンス	10-70
パワーオンリセット	6-7
パワーダウンモード	10-69
バンクアクティブ	10-59
バンクからの復帰	7-37
バンクの対象レジスタと入出力方式	7-35
バンクへの退避	7-36
汎用入出力ポート	31-1
汎用レジスタ	2-1

汎用レジスタの初期値	2-4
非圧縮モード	20-20
非数（NaN）	3-4
非正規化数	3-4
非直線性誤差	26-19
ビット操作命令	2-37
ビット同期回路	19-36
ファンクションコントローラ機能選択時のコントロール転送	27-133
ブートモード	4-1
浮動小数点演算命令	2-34, 6-16
浮動小数点の範囲	3-3
浮動小数点ユニット（FPU）	3-1
浮動小数点レジスタ	3-5
プリフェッチ動作（オペランドキャッシュのみ）	9-10
フルスケール誤差	26-19
ブレイクの送り出し	16-51
ブレイクの検出と処理	16-51
フレーム更新割り込み	27-119
プログラムカウンタ（PC）	2-4
プログラム実行状態	2-39
プロシージャレジスタ（PR）	2-4
分岐命令	2-31
分周器1	5-3
分周器2	5-3
分周率の変更	5-9
ページ競合	30-4
ベクタベースレジスタ（VBR）	2-3
ポーレートジェネレータ	21-18
保持用内蔵RAMアドレス空間	30-2, 30-3
ホストコントローラ機能選択時のコントロール転送	27-132
（ポテンシャル）タイムマスタ	22-81
ホルトモード	22-71
本LSIの外形寸法図	1, 2, 3
本LSIの製品一覧	1-9
本LSIの端子一覧	1-19
本LSIの端子機能	1-13
本LSIの特長	1-1
本LSIのピン配置図	1-11
本LSIのブロック図	1-10

【ま】

マイクロプロセッサインタフェース（MPI）	22-4
マスタ受信動作	19-21
マスタ送信動作	19-19
マスタモード動作	17-46

マニュアルリセット	6-8
マルチファンクションタイマパルスユニット2	12-1
マルチファンクションタイマパルスユニット2出力端子の 初期化方法	12-167
マルチファンクションタイマパルスユニット2タイミング	35-39
マルチファンクションタイマパルスユニット2の機能一覧	12-2
マルチファンクションタイマパルスユニット2割り込み要 因	12-135
マルチモード	26-10
丸め	3-8
命令形式	2-15
命令セット	2-19
命令による例外	6-14
命令の特長	2-7
命令フェッチサイクルでのブレイク	8-12
メールボックス	22-4, 22-7
メールボックスコントロール	22-4
メールボックスの機能の設定	22-16
メールボックスの再設定	22-91
メールボックスの役割	22-8
メッセージコントロールフィールド	22-12
メッセージ受信シーケンス	22-89
メッセージ送信リクエスト	22-77, 22-84
メッセージデータフィールド	22-18
メモリのデータ形式	2-5
メモリ割り付けキャッシュの構成	9-14
モードとSPCR設定の関係	17-29
目標セクタバッファリング機能	25-47
モジュールスタンバイ機能	32-37
モジュール有効モード	20-32

【や】

ユーザデバッグインタフェース	33-1
ユーザデバッグインタフェースタイミング	35-56
ユーザデバッグインタフェースリセット	33-14
ユーザデバッグインタフェース割り込み	7-16, 33-14
ユーザブレイクコントローラ	8-1
ユーザブレイク動作の流れ	8-11

【ら】

ライトバックバッファ（オペランドキャッシュのみ）	9-11
リアルタイムクロック	15-1
リセットシーケンス	22-70
リセット状態	2-39
リセット同期PWMモード	12-94

リフレッシュ要求とバスサイクルの関係	10-68
量子化誤差	26-19
ループバックモード	17-58
ルネサスSPDIFインタフェース	24-1
ルネサスシリアルペリフェラルインタフェース	17-1
ルネサスシリアルペリフェラルインタフェースタイミング	35-42
例外処理	6-1
例外処理後のスタックの状態	6-18
例外処理状態	2-39
例外処理ベクタテーブル	6-4, 7-19
例外処理ベクタテーブルアドレスの算出法	6-5
例外要因の種類と優先順位	6-1
レジスタ	

ABACK0	22-51
ABACK1	22-51
ADCSR	26-5
ADDRA~ADDRH	26-4
BAMR	8-4
BAR	8-3
BBR	8-7
BCR0	22-34
BCR1	22-32
BDMR	8-6
BDR	8-5
BEMPENB	27-39
BEMPSTS	27-57
BRCR	8-9
BRDYENB	27-35
BRDYSTS	27-53
BSBPR	33-3
BSID	33-9
BSIR	33-3
CBUFCTL0	25-30
CBUFCTL1	25-31
CBUFCTL2	25-31
CBUFCTL3	25-32
CBUFST0	25-21
CBUFST1	25-21
CBUFST2	25-22
CCR	22-63
CCR1	9-4
CCR2	9-6
CFIFO	27-19
CFIFOCTR	27-27
CFIFOSEL	27-21
CHCR	11-11

CMAX_TEW	22-59
CMCNT	13-5
CMCOR	13-5
CMCSR	13-4
CMNCR	10-8
CMSTR	13-3
CROMCTL0	25-12
CROMCTL1	25-13
CROMCTL3	25-14
CROMCTL4	25-15
CROMCTL5	25-16
CROMEN	25-10
CROMST0	25-16
CROMST0M	25-32
CROMST1	25-17
CROMST3	25-17
CROMST4	25-18
CROMST5	25-19
CROMST6	25-20
CROMSY0	25-11
CS0WCR	10-14, 10-22, 10-29
CS1WCR	10-16
CS2WCR	10-18, 10-26
CS3WCR	10-18, 10-27
CS4WCR	10-20, 10-24
CS7WCR	10-16
CsnBCR (n = 0~6)	10-10
CTRL	24-6
CYCTR	22-65
D0FBCFG	27-18
D0FIFO	27-19
D0FIFOCTR	27-27
D0FIFOSEL	27-24
D1FBCFG	27-18
D1FIFO	27-19
D1FIFOCTR	27-27
D1FIFOSEL	27-24
DAR	11-10
DCPCFG	27-66
DCPCTR	27-69
DCPMAXP	27-67
DEVADDn (n = 0~A)	27-99
DMAOR	11-21
DMARS0~DMARS7	11-24
DMATCR	11-11
DSCTR	32-21
DSESR	32-24

DSFR	32-26
DSSSR	32-22
DVSTCTR	27-12
FPSCR	3-6
FPUL	3-7
FRMNUM	27-59
FRQCR	5-7
GSR	22-30
HEAD00	25-22
HEAD01	25-22
HEAD02	25-23
HEAD03	25-23
HEAD20	25-26
HEAD21	25-26
HEAD22	25-27
HEAD23	25-27
IBCR	7-13
IBNR	7-14
ICCR1	19-6
ICCR2	19-8
ICDRR	19-16
ICDRS	19-16
ICDRT	19-15
ICIER	19-11
ICMR	19-9
ICR0	7-7
ICR1	7-8
ICR2	7-9
ICSR	19-13
IEAR1	23-21
IEAR2	23-22
IECKSR	23-36
IECMR	23-18
IECTR	23-17
IEFLG	23-27
IEIER	23-35
IEIET	23-31
IELA1	23-26
IELA2	23-26
IEMA1	23-24
IEMA2	23-24
IEMCR	23-19
IERB	23-37
IERBFL	23-25
IERCTL	23-25
IERSR	23-32
IESA1	23-22

IESA2.....	23-23	PECR0.....	31-25
IETB.....	23-37	PECR1.....	31-24
IETBFL.....	23-23	PEDR0.....	31-39
IETSR.....	23-29	PEIOR0.....	31-37
IMR.....	22-43	PEPR0.....	31-42
INHINT.....	25-36	PFCR0.....	31-27
INTENB0.....	27-30	PFCR1.....	31-26
INTENB1.....	27-32	PFDR0.....	31-40
INTHOLD.....	25-35	PFIOR0.....	31-37
INTSTS0.....	27-42	PFPR0.....	31-42
INTSTS1.....	27-46	PHCR0.....	31-30
IPR01、IPR02、IPR05~IPR22.....	7-5	PHCR1.....	31-29
IRQRR.....	7-10	PHPR0.....	31-42
IRR.....	22-36	PINTER.....	7-11
MBIMR0.....	22-54	PIPECFG.....	27-75
MBIMR1.....	22-54	PIPEMAXP.....	27-79
MCR.....	22-24	PIPEnCTR (n=1~9).....	27-83
NF2CYC.....	19-17	PIPEnTRE (n=1~5).....	27-95
NRDYENB.....	27-37	PIPEnTRN (n=1~5).....	27-97
NRDYSTS.....	27-55	PIPEPERI.....	27-81
PAIOR0.....	31-36	PIPESEL.....	27-74
PAPR0.....	31-41	PIRR.....	7-12
PBCR0.....	31-14	PJCR0.....	31-34
PBCR1.....	31-13	PJCR1.....	31-33
PBCR2.....	31-12	PJDR0.....	31-40
PBCR3.....	31-11	PJIOR0.....	31-37
PBCR4.....	31-9	PJPR0.....	31-42
PBCR5.....	31-9	R64CNT.....	15-4
PBDR0.....	31-39	RCR1.....	15-18
PBDR1.....	31-39	RCR2.....	15-20
PBIOR0.....	31-37	RCR3.....	15-21
PBIOR1.....	31-37	RCR5.....	15-22
PBPR0.....	31-41	RDAD.....	24-25
PBPR1.....	31-41	RDAR.....	11-20
PCCR0.....	31-17	RDAYAR.....	15-16
PCCR1.....	31-17	RDAYCNT.....	15-9
PCCR2.....	31-15	RDMATCR.....	11-21
PCDR0.....	31-39	REC.....	22-43
PCIOR0.....	31-37	RFMK.....	22-65
PCPR0.....	31-41	RFPR0.....	22-53
PDCR0.....	31-22	RFPR1.....	22-53
PDCR1.....	31-21	RFRH/L.....	15-22
PDCR2.....	31-19	RFTROFF.....	22-60
PDCR3.....	31-18	RHRAR.....	15-14
PDDR0.....	31-39	RHRCNT.....	15-7
PDIOR0.....	31-37	RLCA.....	24-23
PDPR0.....	31-41	RLCS.....	24-27

RMINAR	15-13
RMINCNT	15-6
RMONAR	15-17
RMONCNT	15-10
ROMDECRST	25-33
RRAMKP	32-20
RRCA	24-24
RRCS	24-29
RSAR	11-19
RSECAR	15-12
RSECCNT	15-5
RSTSTAT	25-33
RTCNT	10-36
RTCOR	10-37
RTCSR	10-34
RUI	24-26
RWKAR	15-15
RWKCNT	15-8
RXPR0	22-52
RXPR1	22-52
RYRAR	15-18
RYRCNT	15-11
SAR	11-10
SAR (I ² Cバスインタフェース3)	19-15
SCBRR	16-17
SCEMR	16-30
SCFCR	16-23
SCFDR	16-26
SCFRDR	16-6
SCFSR	16-12
SCFTDR	16-7
SCLSR	16-29
SCRSR	16-6
SCSCR	16-10
SCSMR	16-7
SCSPTR	16-27
SCTSR	16-6
SDBPR	33-10
SDBSR	33-5
SDCR	10-31
SDIR	33-10
SHEAD00	25-23
SHEAD01	25-24
SHEAD02	25-24
SHEAD03	25-24
SHEAD04	25-25
SHEAD05	25-25

SHEAD06	25-25
SHEAD07	25-26
SHEAD20	25-27
SHEAD21	25-28
SHEAD22	25-28
SHEAD23	25-28
SHEAD24	25-29
SHEAD25	25-29
SHEAD26	25-29
SHEAD27	25-30
SICTR	21-6
SIFCTR	21-13
SIIER	21-12
SIMDR	21-4
SIRDAR	21-17
SIRDOR	21-8
SISCR	21-15
SISTR	21-9
SITDAR	21-16
SITDR	21-8
SOFCFG	27-41
SPBFCR	17-26
SPBFDR	17-28
SPBR	17-18
SPCKD	17-20
SPCMD	17-23
SPCR	17-8
SPDCR	17-19
SPDR	17-15
SPND	17-22
SPPCR	17-11
SPSCR	17-16
SPSR	17-12
SPSSR	17-17
SRCCTRL	28-8
SRCID	28-4
SRCIDCTRL	28-6
SRCOD	28-5
SRCODCTRL	28-7
SRCSTAT	28-11
SSI	25-34
SSICR	20-5
SSIFCR	20-14
SSIFRDR	20-18
SSIFSR	20-16
SSIFTDR	20-18
SSIRDOR	20-13

SSISR	20-10
SSITDR	20-13
SSLND	17-21
SSLP	17-10
STAT	24-10
STBCR1	32-4
STBCR2	32-5
STBCR3	32-6
STBCR4	32-7
STBCR5	32-9
STBCR6	32-11
STBCR7	32-12
STBCR8	32-13
STRMDIN0	25-37
STRMDIN2	25-37
STRMDOUT0	25-37
SWRSTCR	32-14
SYSCFG0	27-6
SYSCFG1	27-9
SYSCR1	32-15
SYSCR2	32-16
SYSCR3	32-17
SYSCR4	32-18
SYSCR5	32-19
SYSSTS	27-10
TADCOBRA_4	12-46
TADCOBRB_4	12-46
TADCORA_4	12-46
TADCORB_4	12-46
TADCR	12-43
TBTER	12-63
TBTM	12-41
TCBR	12-60
TCDR	12-60
TCMR0~2	22-66
TCNT	12-47
TCNTR	22-64
TCNTS	12-59
TCR	12-11
TDAD	24-17
TDDR	12-59
TDER	12-64
TEC	22-43
TGCR	12-58
TGR	12-47
TICCR	12-42
TIER	12-34

TIOR	12-16
TITCNT	12-62
TITCR	12-61
TLCA	24-15
TLCS	24-19
TMDR	12-14
TOCR1	12-52
TOCR2	12-54
TOER	12-51
TOLBR	12-57
TRCA	24-16
TRCS	24-21
TRWER	12-50
TSR	12-37, 22-61
TSTR	12-48
TSYR	12-49
TTCR0	22-57
TTTSEL	22-68
TUI	24-18
TWCR	12-65
TXACK0	22-50
TXACK1	22-50
TXCR0	22-49
TXCR1	22-48
TXPR0	22-47
TXPR1	22-47
UMSR0	22-55
UMSR1	22-55
USBADDR	27-61
USBINDX	27-64
USBLENG	27-65
USBREQ	27-62
USBVAL	27-63
WRCSR	14-7
WTCNT	14-4
WTCSR	14-5
XTALCTR	32-28

レジスタアドレス一覧（機能モジュールごと、マニュアル 章番号順）	34-2
レジスタのデータ形式	2-5
レジスタバンク	2-4, 7-35
レジスタバンクエラー	6-11
レジスタバンクエラー例外処理	6-11, 7-39
レジスタバンクの例外	7-39
レジスタビット一覧	34-27
レジューム割り込み	27-119
ローカルアクセプタンスフィルタマスク（LAFM）	22-17

ロードストアアーキテクチャ	2-7
ローパワーSDRAM	10-72
論理演算命令	2-29

【わ】

ワードデータの符号拡張	2-7
割り込み応答時間	7-30

割り込みコントローラ	7-1
割り込み優先順位	6-12
割り込み要因	16-49
割り込み要因クリアのタイミング	7-42
割り込み要求信号によるデータ転送	7-40
割り込み例外処理	6-13
割り込み例外処理終了後のスタックの状態	7-29

SH726A グループ、SH726B グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2012年3月12日 Rev.1.00
 2026年5月20日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
 〒135-0061 東京都江東区豊洲3-2-24(豊洲フォレシア)

SH726A グループ、SH726B グループ