User's Manual

16

RL78/G11

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり，ルネサス エレクトロニクスは，
予告なしに，本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.2.60　2024.03

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者　　このマニュアルは RL78/G11 の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。
対象製品は，次に示す各製品です。

- 10 ピン：　R5F1051A
- 16 ピン：　R5F1054A
- 20 ピン：　R5F1056A
- 24 ピン：　R5F1057A
- 25 ピン：　R5F1058A

目的　　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構成　　RL78/G11 のマニュアルは，このマニュアルとソフトウエア編(RL78 ファミリ共通)の 2 冊に分かれています。

RL78/G11 ユーザーズ・マニュアル ハードウエア編	RL78 ファミリ ユーザーズ・マニュアル ソフトウエア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU 機能 ●命令セット ●命令の説明

読み方　　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき
　→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この“★”を PDF 上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方
　→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr 指令で，sfr 変数として定義されているものです。

□ RL78/G11 マイクロコントローラの命令機能の詳細を知りたいとき
　→別冊の RL78 ファミリ　ユーザーズ・マニュアル　ソフトウエア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁，右が下位桁
	アクティブ・ロウの表記：	$\overline{\times\times\times}$ (端子，信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数…××××または××××B
		10進数…××××
		16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G11　ユーザーズ・マニュアル　ハードウェア編	このマニュアル	R01UH0637E
RL78 ファミリ　ユーザーズ・マニュアル　ソフトウエア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP6　フラッシュメモリプログラマ　ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20 エミュレータ　ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2 エミュレータ　ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Lite エミュレータ　ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ　RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は，それぞれの所有者に帰属します。

EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

1. 概説 1
1.1 特徴 1
1.2 型名一覧 4
1.3 端子接続図(Top View) 6
1.3.1 10ピン製品 6
1.3.2 16ピン製品 6
1.3.3 20ピン製品 7
1.3.4 24ピン製品 8
1.3.5 25ピン製品 9
1.4 端子名称 10
1.5 ブロック図 11
1.5.1 10ピン製品 11
1.5.2 16ピン製品 12
1.5.3 20ピン製品 13
1.5.4 24, 25ピン製品 14
1.6 機能概要 15

2. 端子機能 18
2.1 ポート機能 18
2.1.1 10ピン製品 19
2.1.2 16ピン製品 20
2.1.3 20ピン製品 21
2.1.4 24ピン製品 22
2.1.5 25ピン製品 23
2.2 ポート以外の機能 25
2.2.1 製品別の搭載機能 25
2.2.2 機能説明 28
2.3 未使用端子の処理 30
2.4 端子ブロック図 31

3. CPUアーキテクチャ 42
3.1 メモリ空間 43
3.1.1 内部プログラム・メモリ空間 46
3.1.2 ミラー領域 50
3.1.3 内部データ・メモリ空間 52
3.1.4 特殊機能レジスタ(SFR：Special Function Register)領域 53
3.1.5 拡張特殊機能レジスタ(2nd SFR：2nd Special Function Register)領域 53
3.1.6 データ・メモリ・アドレッシング 54
3.2 プロセッサ・レジスタ 55
3.2.1 制御レジスタ 55
3.2.2 汎用レジスタ 58
3.2.3 ES, CSレジスタ 59
3.2.4 特殊機能レジスタ(SFR：Special Function Register) 60
3.2.5 拡張特殊機能レジスタ(2nd SFR：2nd Special Function Register) 64
3.3 命令アドレスのアドレッシング 72

3.3.1 レラティブ・アドレッシング 72
3.3.2 イミーディエト・アドレッシング 72
3.3.3 テーブル・インダイレクト・アドレッシング 73
3.3.4 レジスタ・インダイレクト・アドレッシング 74
3.4 処理データ・アドレスに対するアドレッシング 75
3.4.1 インプライド・アドレッシング 75
3.4.2 レジスタ・アドレッシング 75
3.4.3 ダイレクト・アドレッシング 76
3.4.4 ショート・ダイレクト・アドレッシング 77
3.4.5 SFRアドレッシング 78
3.4.6 レジスタ・インダイレクト・アドレッシング 79
3.4.7 ベースト・アドレッシング 80
3.4.8 ベースト・インデクスト・アドレッシング 83
3.4.9 スタック・アドレッシング 84

4. ポート機能 87
4.1 ポートの機能 87
4.2 ポートの構成 88
4.2.1 ポート0 89
4.2.2 ポート2 89
4.2.3 ポート3 90
4.2.4 ポート4 90
4.2.5 ポート5 91
4.2.6 ポート12 91
4.2.7 ポート13 91
4.3 ポート機能を制御するレジスタ 92
4.3.1 ポート・モード・レジスタ(PMxx) 94
4.3.2 ポート・レジスタ(Pxx) 95
4.3.3 プルアップ抵抗オプション・レジスタ(PUxx) 96
4.3.4 ポート入力モード・レジスタ(PIMxx) 97
4.3.5 ポート出力モード・レジスタ(POMxx) 98
4.3.6 ポート・モード・コントロール・レジスタ(PMCxx) 99
4.3.7 周辺I/Oリダイレクション・レジスタ(PIORx) 100
4.3.8 グローバル・デジタル・インプット・ディスエーブル・レジスタ(GDIDIS) 101
4.4 ポート機能の動作 102
4.4.1 入出力ポートへの書き込み 102
4.4.2 入出力ポートからの読み出し 102
4.4.3 入出力ポートでの演算 102
4.4.4 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応 103
4.5 兼用機能使用時のレジスタの設定 106
4.5.1 兼用機能使用時の基本的な考え方 106
4.5.2 出力機能を使用しない兼用機能のレジスタ設定 107
4.5.3 使用するポート機能および兼用機能のレジスタ設定例 109
4.6 ポート機能使用時の注意事項 121
4.6.1 ポート・レジスタn(Pn)に対する1ビット・メモリ操作命令に関する注意事項 121
4.6.2 端子設定に関する注意事項 122

5. オペレーション・ステート・コントロール 123
5.1 オペレーション・ステート・コントロールの構成 123

5.2 オペレーション・ステート・コントロールを制御するレジスタ 125
5.2.1 フラッシュ動作モード選択レジスタ (FLMODE) 125
5.2.2 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) 127
5.2.3 レギュレータ・モード制御レジスタ (PMMC) 127
5.3 フラッシュ動作モードの初期設定 128
5.4 フラッシュ動作モードの遷移 129
5.5 フラッシュ動作モードの詳細 130
5.5.1 HS (高速メイン)モードの詳細 130
5.5.2 LS (低速メイン)モードの詳細 131
5.5.3 LP (低電力メイン)モードの詳細 132
5.5.4 LV (低電圧メイン)モードの詳細 133

6. クロック発生回路 134
6.1 クロック発生回路の機能 134
6.2 クロック発生回路の構成 137
6.3 クロック発生回路を制御するレジスタ 139
6.3.1 クロック動作モード制御レジスタ (CMC) 139
6.3.2 システム・クロック制御レジスタ (CKC) 141
6.3.3 クロック動作ステータス制御レジスタ (CSC) 143
6.3.4 発振安定時間カウンタ状態レジスタ (OSTC) 144
6.3.5 発振安定時間選択レジスタ (OSTS) 146
6.3.6 サブシステム・クロック選択レジスタ (CKSEL) 148
6.3.7 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2) 149
6.3.8 動作スピード・モード制御レジスタ (OSMC) 154
6.3.9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 155
6.3.10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) 156
6.3.11 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) 157
6.4 システム・クロック発振回路 158
6.4.1 X1 発振回路 158
6.4.2 高速オンチップ・オシレータ 161
6.4.3 中速オンチップ・オシレータ 161
6.4.4 低速オンチップ・オシレータ 161
6.5 クロック発生回路の動作 162
6.6 クロックの制御 164
6.6.1 高速オンチップ・オシレータの設定例 164
6.6.2 X1 発振回路の設定例 166
6.6.3 CPU クロック状態移行図 168
6.6.4 CPU クロックの移行前の条件と移行後の処理 172
6.6.5 CPU クロックの切り替えとメイン・システム・クロックの切り替えに要する時間 174
6.6.6 クロック発振停止前の条件 176
6.7 発振子と発振回路定数 177

7. タイマ・アレイ・ユニット 178
7.1 タイマ・アレイ・ユニットの機能 180
7.1.1 単独チャネル動作機能 180
7.1.2 複数チャネル連動動作機能 181
7.1.3 8 ビット・タイマ動作機能 (チャネル 1, 3 のみ) 183
7.2 タイマ・アレイ・ユニットの構成 184
7.2.1 タイマ・カウンタ・レジスタ mn (TCRmn) 188

7.2.2 タイマ・データ・レジスタmn (TDRmn) 190
7.3 タイマ・アレイ・ユニットを制御するレジスタ 191
7.3.1 周辺イネーブル・レジスタ0 (PER0) 192
7.3.2 周辺リセット制御レジスタ0 (PRR0) 193
7.3.3 タイマ・クロック選択レジスタm (TPSm) 194
7.3.4 タイマ・モード・レジスタmn (TMRmn) 197
7.3.5 タイマ・ステータス・レジスタmn (TSRmn) 202
7.3.6 タイマ・チャネル許可ステータス・レジスタm (TEm) 203
7.3.7 タイマ・チャネル開始レジスタm (TSm) 204
7.3.8 タイマ・チャネル停止レジスタm (TTm) 206
7.3.9 タイマ入力選択レジスタ0 (TIS0) 207
7.3.10 タイマ出力許可レジスタm (TOEm) 208
7.3.11 タイマ出力レジスタm (TOm) 209
7.3.12 タイマ出力レベル・レジスタm (TOLm) 210
7.3.13 タイマ出力モード・レジスタm (TOMm) 211
7.3.14 入力切り替え制御レジスタ(ISC) 212
7.3.15 ノイズ・フィルタ許可レジスタ1 (NFEN1) 213
7.3.16 タイマ入出力端子のポート機能を制御するレジスタ 214
7.4 タイマ・アレイ・ユニットの基本ルール 215
7.4.1 複数チャネル連動動作機能の基本ルール 215
7.4.2 8ビット・タイマ動作機能の基本ルール(チャネル1, 3のみ) 217
7.5 カウンタの動作 218
7.5.1 カウント・クロック(fTCLK) 218
7.5.2 カウンタのスタート・タイミング 220
7.5.3 カウンタの動作 221
7.6 チャネル出力(TOmn端子)の制御 226
7.6.1 TOmn端子の出力回路の構成 226
7.6.2 TOmn端子の出力設定 227
7.6.3 チャネル出力操作時の注意事項 228
7.6.4 TOmnビットの一括操作 233
7.6.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について 234
7.7 タイマ入力(TImn)の制御 235
7.7.1 TImnの入力回路構成 235
7.7.2 ノイズ・フィルタ 235
7.7.3 チャネル入力操作時の注意事項 236
7.8 タイマ・アレイ・ユニットの単独チャネル動作機能 237
7.8.1 インターバル・タイマ／方形波出力としての動作 237
7.8.2 外部イベント・カウンタとしての動作 242
7.8.3 分周器としての動作 246
7.8.4 入力パルス間隔測定としての動作 250
7.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作 254
7.8.6 ディレイ・カウンタとしての動作 258
7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能 262
7.9.1 ワンショット・パルス出力機能としての動作 262
7.9.2 2入力式ワンショット・パルス出力としての動作 269
7.9.3 PWM機能としての動作 276
7.9.4 多重PWM出力機能としての動作 283
7.10 タイマ・アレイ・ユニット使用時の注意事項 291
7.10.1 タイマ出力使用時の注意事項 291

8. 12ビット・インターバル・タイマ ... 292
8.1 12ビット・インターバル・タイマの機能 ... 292
8.2 12ビット・インターバル・タイマの構成 ... 292
8.3 12ビット・インターバル・タイマを制御するレジスタ ... 293
8.3.1 周辺イネーブル・レジスタ2 (PER2) ... 293
8.3.2 周辺リセット制御レジスタ2 (PRR2) ... 294
8.3.3 動作スピード・モード制御レジスタ (OSMC) ... 294
8.3.4 タイマ・クロック選択レジスタ3（TPS3） ... 295
8.3.5 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC) ... 296
8.4 12ビット・インターバル・タイマの動作 ... 297
8.4.1 12ビット・インターバル・タイマの動作タイミング ... 297
8.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行 ... 298

9. 8ビット・インターバル・タイマ ... 299
9.1 概要 ... 299
9.2 入出力端子 ... 301
9.3 レジスタの説明 ... 301
9.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタni (TRTni) (n = 0, i = 0, 1) ... 302
9.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタn (TRTn) (n = 0) ... 302
9.3.3 8ビット・インターバル・タイマ・コンペア・レジスタni (TRTCMPni) (n = 0, i = 0, 1) ... 303
9.3.4 8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn) (n = 0) ... 303
9.3.5 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) (n = 0) ... 304
9.3.6 8ビット・インターバル・タイマ分周レジスタn (TRTMDn) (n = 0) ... 305
9.4 動作説明 ... 306
9.4.1 カウンタ・モード ... 306
9.4.2 タイマ動作 ... 307
9.4.3 開始/停止タイミング ... 309
9.4.3.1 カウント・ソース(f_{IL})選択時 ... 309
9.4.3.2 カウント・ソース($f_{IL}/2^m$)選択時 ... 311
9.4.4 コンペア・レジスタ値の反映タイミング ... 313
9.4.5 8ビット・インターバル・タイマの設定手順 ... 314
9.5 8ビット・インターバル・タイマ使用上の注意事項 ... 315
9.5.1 動作モード設定変更について ... 315
9.5.2 コンペア・レジスタへのアクセスについて ... 315
9.5.3 8ビット・インターバル・タイマ設定手順について ... 315

10. 16ビット・タイマKB0 ... 316
10.1 16ビット・タイマKB0の機能 ... 316
10.2 16ビット・タイマKB0の構成 ... 318
10.2.1 16ビット・タイマKBコンペア・レジスタn0-n3（TKBCRn0-TKBCRn3） ... 320
10.2.2 16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn） ... 320
10.3 16ビット・タイマKB0を制御するレジスタ ... 321
10.3.1 周辺イネーブル・レジスタ2（PER2） ... 322
10.3.2 周辺リセット制御レジスタ2 (PRR2) ... 322
10.3.3 タイマ・クロック選択レジスタ2（TPS2） ... 323
10.3.4 16ビット・タイマKB動作制御レジスタn0（TKBCTLn0） ... 325
10.3.5 16ビット・タイマKB動作制御レジスタn1（TKBCTLn1） ... 327

10.3.6 16ビット・タイマKB出力制御レジスタn0（TKBIOCn0） 328
10.3.7 16ビット・タイマKB出力制御レジスタn1（TKBIOCn1） 329
10.3.8 16ビット・タイマKBフラグ・レジスタn（TKBFLGn） 330
10.3.9 16ビット・タイマKBトリガ・レジスタn（TKBTRGn） 331
10.3.10 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn（TKBCLRn） 332
10.3.11 16ビット・タイマKBディザリング数レジスタn0, n1（TKBDNRn0, TKBDNRn1） 333
10.3.12 16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0） 334
10.3.13 16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1） 334
10.3.14 16ビット・タイマKBソフト・スタート初期デューティ・レジスタn0, n1（TKBSIRn0, TKBSIRn1） 335
10.3.15 16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1） 335
10.3.16 16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn） 336
10.3.17 周辺機能切り替えレジスタ0（PFSEL0） 337
10.3.18 外部割り込みエッジ許可レジスタ(INTPEG) 339
10.3.19 16ビット・タイマKB入出力端子のポート機能を制御するレジスタ 340
10.4 16ビット・タイマKB0の動作 341
10.4.1 カウンタ基本動作 344
10.4.2 デフォルト・レベルとアクティブ・レベル 344
10.4.3 動作停止と動作開始 348
10.4.4 一斉書き込み動作 351
10.4.5 単体動作モード（TKBCRn0による周期制御） 352
10.4.6 単体動作モード（外部トリガ入力による周期制御） 358
10.4.7 インターリーブPFC（Power Factor Correction）出力モード 365
10.5 16ビット・タイマKB0のオプション機能 378
10.5.1 トリガ出力機能 379
10.5.2 PWM出力ディザリング機能 380
10.5.3 PWM出力ソフト・スタート機能 384
10.5.4 最大周波数リミット機能 387
10.6 強制出力停止機能 389
10.6.1 強制出力停止機能1と強制出力停止機能2 390
10.6.2 強制出力停止機能の構成 392
10.6.3 強制出力停止機能を制御するレジスタ 392
10.6.3.1 強制出力停止機能制御レジスタn0, n1（TKBPACTLn0, TKBPACTLn1） 393
10.6.3.2 強制出力停止機能制御レジスタn2（TKBPACTLn2） 395
10.6.3.3 強制出力停止機能フラグ・レジスタ（TKBPAFLGn） 396
10.6.3.4 強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn） 397
10.6.3.5 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn） 397
10.7 強制出力停止機能1の動作説明 398
10.7.1 強制出力停止機能1の概要 398
10.7.2 強制出力停止機能1のソフトウエア解除操作 399
10.7.3 強制出力停止機能1の基本動作 400
10.8 強制出力停止機能2の動作説明 404
10.8.1 強制出力停止機能2の概要 404
10.8.2 強制出力停止機能2の基本動作 405

11. クロック出力／ブザー出力制御回路 407
11.1 クロック出力／ブザー出力制御回路の機能 407
11.2 クロック出力／ブザー出力制御回路の構成 408

11.3 クロック出力／ブザー出力制御回路を制御するレジスタ 408
11.3.1 クロック出力選択レジスタ n (CKSn) 408
11.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ 410
11.4 クロック出力／ブザー出力制御回路の動作 411
11.4.1 出力端子の動作 411
11.5 クロック出力／ブザー出力制御回路の注意事項 411

12. ウォッチドッグ・タイマ 412
12.1 ウォッチドッグ・タイマの機能 412
12.2 ウォッチドッグ・タイマの構成 413
12.3 ウォッチドッグ・タイマを制御するレジスタ 414
12.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) 414
12.4 ウォッチドッグ・タイマの動作 415
12.4.1 ウォッチドッグ・タイマの動作制御 415
12.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 417
12.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 418
12.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 420

13. シリアル・アレイ・ユニット 421
13.1 シリアル・アレイ・ユニットの機能 422
13.1.1 簡易 SPI (CSI00, CSI01, CSI10, CSI11) 422
13.1.2 UART (UART0, UART1) 423
13.1.3 簡易 I2C (IIC00, IIC01, IIC10, IIC11) 424
13.2 シリアル・アレイ・ユニットの構成 425
13.2.1 シフト・レジスタ 428
13.2.2 シリアル・データ・レジスタ mn (SDRmn)の下位8/9ビット 428
13.3 シリアル・アレイ・ユニットを制御するレジスタ 430
13.3.1 周辺イネーブル・レジスタ 0 (PER0) 431
13.3.2 周辺リセット制御レジスタ 0 (PRR0) 432
13.3.3 シリアル・クロック選択レジスタ m (SPSm) 433
13.3.4 シリアル・モード・レジスタ mn (SMRmn) 435
13.3.5 シリアル通信動作設定レジスタ mn (SCRmn) 436
13.3.6 シリアル・データ・レジスタ mn (SDRmn) 439
13.3.7 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) 441
13.3.8 シリアル・ステータス・レジスタ mn (SSRmn) 442
13.3.9 シリアル・チャネル開始レジスタ m (SSm) 444
13.3.10 シリアル・チャネル停止レジスタ m (STm) 445
13.3.11 シリアル・チャネル許可ステータス・レジスタ m (SEm) 446
13.3.12 シリアル出力許可レジスタ m (SOEm) 447
13.3.13 シリアル出力レジスタ m (SOm) 448
13.3.14 シリアル出力レベル・レジスタ m (SOLm) 449
13.3.15 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) 451
13.3.16 入力切り替え制御レジスタ (ISC) 452
13.3.17 ノイズ・フィルタ許可レジスタ 0 (NFEN0) 453
13.3.18 シリアル入出力端子のポート機能を制御するレジスタ 454
13.4 動作停止モード 455
13.4.1 ユニット単位で動作停止とする場合 455
13.4.2 チャネルごとに動作停止とする場合 456
13.5 簡易 SPI (CSI00, CSI01, CSI10, CSI11)通信の動作 457

13.5.1 マスタ送信 459
13.5.2 マスタ受信 467
13.5.3 マスタ送受信 475
13.5.4 スレーブ送信 483
13.5.5 スレーブ受信 491
13.5.6 スレーブ送受信 497
13.5.7 SNOOZEモード機能 505
13.5.8 転送クロック周波数の算出 510
13.5.9 簡易SPI (CSI00, CSI01, CSI10, CSI11)通信時におけるエラー発生時の処理手順 512
13.6 スレーブ・セレクト入力機能付クロック同期シリアル通信の動作 513
13.6.1 スレーブ送信 516
13.6.2 スレーブ受信 526
13.6.3 スレーブ送受信 533
13.6.4 転送クロック周波数の算出 543
13.6.5 スレーブ・セレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順 545
13.7 UART (UART0, UART1)通信の動作 546
13.7.1 UART送信 549
13.7.2 UART受信 558
13.7.3 SNOOZEモード機能 565
13.7.4 ボー・レートの算出 573
13.7.5 UART (UART0, UART1)通信時におけるエラー発生時の処理手順 577
13.8 LIN通信の動作 578
13.8.1 LIN送信 578
13.8.2 LIN受信 581
13.9 簡易I2C (IIC00, IIC01, IIC10, IIC11)通信の動作 586
13.9.1 アドレス・フィールド送信 588
13.9.2 データ送信 593
13.9.3 データ受信 596
13.9.4 ストップ・コンディション発生 600
13.9.5 転送レートの算出 601
13.9.6 簡易I2C (IIC00, IIC01, IIC10, IIC11)通信時におけるエラー発生時の処理手順 603

14. シリアル・インタフェースIICA 604
14.1 シリアル・インタフェースIICAの機能 604
14.2 シリアル・インタフェースIICAの構成 607
14.3 シリアル・インタフェースIICAを制御するレジスタ 610
14.3.1 周辺イネーブル・レジスタ0 (PER0) 611
14.3.2 周辺リセット制御レジスタ0 (PRR0) 612
14.3.3 IICAコントロール・レジスタn0 (IICCTLn0) 612
14.3.4 IICAステータス・レジスタn (IICSn) 617
14.3.5 IICAフラグ・レジスタn (IICFn) 619
14.3.6 IICAコントロール・レジスタn1 (IICCTLn1) 621
14.3.7 IICAロウ・レベル幅設定レジスタn (IICWLn) 623
14.3.8 IICAハイ・レベル幅設定レジスタn (IICWHn) 623
14.3.9 IICA入出力端子のポート機能を制御するレジスタ 624
14.4 I2Cバス・モードの機能 625
14.4.1 端子構成 625
14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法 626

14.5 I2Cバスの定義および制御方法 628
14.5.1 スタート・コンディション 628
14.5.2 アドレス 629
14.5.3 転送方向指定 629
14.5.4 アクノリッジ(ACK) 630
14.5.5 ストップ・コンディション 631
14.5.6 クロック・ストレッチ 632
14.5.7 クロック・ストレッチ解除方法 634
14.5.8 割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御 635
14.5.9 アドレスの一致検出方法 636
14.5.10 エラーの検出 636
14.5.11 拡張コード 637
14.5.12 アービトレーション 638
14.5.13 ウエイク・アップ機能 640
14.5.14 通信予約 643
14.5.15 その他の注意事項 647
14.5.16 通信動作 648
14.5.17 I2C割り込み要求(INTIICAn)の発生タイミング 656
14.6 タイミング・チャート 677

15. データ演算回路(DOC) 692
15.1 概要 692
15.2 データ演算回路を制御するレジスタ 693
15.2.1 周辺イネーブル・レジスタ2 (PER2) 694
15.2.2 周辺リセット制御レジスタ2 (PRR2) 695
15.2.3 DOCコントロールレジスタ(DOCR) 696
15.2.4 DOCデータインプットレジスタ(DODIR) 697
15.2.5 DOCデータセッティングレジスタ(DODSR) 697
15.3 動作説明 698
15.3.1 データ比較モード 698
15.3.2 データ加算モード 699
15.3.3 データ減算モード 700
15.4 割り込み要求 701

16. A/Dコンバータ 702
16.1 A/Dコンバータの機能 702
16.2 A/Dコンバータの構成 705
16.3 A/Dコンバータを制御するレジスタ 707
16.3.1 周辺イネーブル・レジスタ0 (PER0) 708
16.3.2 周辺リセット制御レジスタ0 (PRR0) 709
16.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0) 710
16.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1) 718
16.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2) 719
16.3.6 10ビットA/D変換結果レジスタ(ADCR) 721
16.3.7 8ビットA/D変換結果レジスタ(ADCRH) 721
16.3.8 アナログ入力チャネル指定レジスタ(ADS) 722
16.3.9 変換結果比較上限値設定レジスタ(ADUL) 724
16.3.10 変換結果比較下限値設定レジスタ(ADLL) 724
16.3.11 A/Dテスト・レジスタ(ADTES) 725

16.3.12 アナログ入力端子のポート機能を制御するレジスタ 726
16.4 A/Dコンバータの変換動作 727
16.5 入力電圧と変換結果 729
16.6 A/Dコンバータの動作モード 730
16.6.1 ソフトウエア・トリガ・モード(セレクト・モード，連続変換モード) 730
16.6.2 ソフトウエア・トリガ・モード(セレクト・モード，ワンショット変換モード) 731
16.6.3 ソフトウエア・トリガ・モード(スキャン・モード，連続変換モード) 732
16.6.4 ソフトウエア・トリガ・モード(スキャン・モード，ワンショット変換モード) 733
16.6.5 ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード，連続変換モード) .. 734
16.6.6 ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード，ワンショット変換モード) 735
16.6.7 ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード，連続変換モード) .. 736
16.6.8 ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード，ワンショット変換モード) 737
16.6.9 ハードウエア・トリガ・ウエイト・モード(セレクト・モード，連続変換モード) 738
16.6.10 ハードウエア・トリガ・ウエイト・モード(セレクト・モード，ワンショット変換モード) 739
16.6.11 ハードウエア・トリガ・ウエイト・モード(スキャン・モード，連続変換モード) 740
16.6.12 ハードウエア・トリガ・ウエイト・モード(スキャン・モード，ワンショット変換モード) 741
16.7 A/Dコンバータの設定フロー・チャート 742
16.7.1 ソフトウエア・トリガ・モード設定 743
16.7.2 ハードウエア・トリガ・ノーウエイト・モード設定 744
16.7.3 ハードウエア・トリガ・ウエイト・モード設定 745
16.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定(例　ソフトウエア・トリガ・モード，ワンショット変換モード時) 746
16.7.5 テスト・モード設定 747
16.8 SNOOZEモード機能 748
16.9 A/Dコンバータ特性表の読み方 752
16.10 A/Dコンバータの注意事項 755

17. D/Aコンバータ 759
17.1 D/Aコンバータの機能 759
17.2 D/Aコンバータの構成 760
17.3 D/Aコンバータを制御するレジスタ 761
17.3.1 周辺イネーブル・レジスタ1 (PER1) 761
17.3.2 周辺リセット制御レジスタ1 (PRR1) 762
17.3.3 D/Aコンバータ・モード・レジスタ (DAM) 763
17.3.4 D/A変換値設定レジスタi (DACSi)(i = 0, 1) 763
17.3.5 イベント出力先選択レジスタn (ELSELRn), n = 00～17 764
17.3.6 アナログ出力端子のポート機能を制御するレジスタ 764
17.4 D/Aコンバータの動作 765
17.4.1 通常モード時の動作 765
17.4.2 リアルタイム出力モード時の動作(チャネル1 (i= 1)のみ) 767
17.4.3 D/A変換値の出力タイミング 768
17.5 D/Aコンバータ使用上の注意事項 769

18. プログラマブル・ゲイン・アンプ(PGA) 770
18.1 プログラマブル・ゲイン・アンプの性能 770

18.2 プログラマブル・ゲイン・アンプの構成 770
18.3 プログラマブル・ゲイン・アンプを制御するレジスタ 772
18.3.1 周辺イネーブル・レジスタ1 (PER1) 773
18.3.2 周辺リセット制御レジスタ1 (PRR1) 773
18.3.3 PGA制御レジスタ（PGACTL） 774
18.3.4 コンパレータ入力信号選択制御レジスタ （COMPISEL） 775
18.3.5 ポート・モード・コントロール・レジスタ2（PMC2） 776
18.3.6 ポート・モード・レジスタ2（PM2） 777
18.4 プログラマブル・ゲイン・アンプの動作 777
18.4.1 プログラマブル・ゲイン・アンプの設定手順 778
18.4.2 プログラマブル・ゲイン・アンプの設定手順 779

19. コンパレータ 780
19.1 コンパレータの機能 780
19.2 コンパレータの構成 781
19.3 コンパレータを制御するレジスタ 782
19.3.1 周辺イネーブル・レジスタ1 (PER1) 782
19.3.2 周辺リセット制御レジスタ1 (PRR1) 783
19.3.3 コンパレータモード設定レジスタ (COMPMDR) 784
19.3.4 コンパレータフィルタ制御レジスタ (COMPFIR) 786
19.3.5 コンパレータ出力制御レジスタ (COMPOCR) 788
19.3.6 コンパレータの入出力端子のポート機能を制御するレジスタ 789
19.4 動作説明 790
19.4.1 コンパレータiデジタルフィルタ (i = 0, 1) 793
19.4.2 コンパレータi割り込み (i = 0, 1) 793
19.4.3 イベント・リンク・コントローラ (ELC)へのイベント信号出力 794
19.4.4 コンパレータi出力 (i = 0, 1) 795
19.4.5 コンパレータクロック停止/供給 795
19.5 タイマKB連動機能使用時の注意事項 796

20. データ・トランスファ・コントローラ (DTC) 798
20.1 DTCの機能 798
20.2 DTCの構成 800
20.3 DTCを制御するレジスタ 801
20.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 802
20.3.2 コントロール・データの配置 803
20.3.3 ベクタ・テーブル 804
20.3.4 周辺イネーブル・レジスタ1 (PER1) 806
20.3.5 DTC制御レジスタj (DTCCRj) (j = 0-23) 807
20.3.6 DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0-23) 808
20.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0-23) 808
20.3.8 DTC転送回数リロード・レジスタj (DTRLDj) (j = 0-23) 809
20.3.9 DTCソース・アドレス・レジスタj (DTSARj) (j = 0-23) 809
20.3.10 DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23) 809
20.3.11 DTC起動許可レジスタi (DTCENi) (i = 0-2) 810
20.3.12 DTCベース・アドレス・レジスタ (DTCBAR) 813
20.4 DTCの動作 813
20.4.1 起動要因 814
20.4.2 ノーマル・モード 815

20.4.3 リピート・モード 818
20.4.4 チェイン転送 821
20.5 DTC使用上の注意事項 823
20.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定 823
20.5.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 823
20.5.3 DTC保留命令 824
20.5.4 データ・フラッシュ空間にアクセスする場合の動作 824
20.5.5 DTC実行クロック数 825
20.5.6 DTC応答時間 826
20.5.7 DTC起動要因 826
20.5.8 スタンバイ・モード時の動作 827

21. イベント・リンク・コントローラ(ELC) 828
21.1 ELCの機能 828
21.2 ELCの構成 828
21.3 ELCを制御するレジスタ 829
21.3.1 イベント出力先選択レジスタn (ELSELRn) (n = 00-17) 830
21.4 ELCの動作 833

22. 割り込み機能 835
22.1 割り込み機能の種類 835
22.2 割り込み要因と構成 835
22.3 割り込み機能を制御するレジスタ 840
22.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) 843
22.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) 846
22.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) 848
22.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0) 850
22.3.5 割り込みフラグ制御レジスタ 852
22.3.6 プログラム・ステータス・ワード(PSW) 854
22.4 割り込み処理動作 855
22.4.1 マスカブル割り込み要求の受け付け動作 855
22.4.2 ソフトウエア割り込み要求の受け付け動作 858
22.4.3 多重割り込み処理 858
22.4.4 除算命令中の割り込み処理 862
22.4.5 割り込み要求の保留 863

23. キー割り込み機能 864
23.1 キー割り込みの機能 864
23.2 キー割り込みの構成 864
23.3 キー割り込みを制御するレジスタ 866
23.3.1 キー・リターン・コントロール・レジスタ (KRCTL) 866
23.3.2 キー・リターン・モード・レジスタ0 (KRM0) 867
23.3.3 キー・リターン・フラグ・レジスタ (KRF) 868
23.3.4 ポート・モード・レジスタ3, 5 (PM3, PM5) 869

24. スタンバイ機能 870
24.1 スタンバイ機能 870

24.2 スタンバイ機能を制御するレジスタ 871
24.3 スタンバイ機能の動作 872
24.3.1 HALTモード 872
24.3.2 STOPモード 877
24.3.3 SNOOZEモード 883

25. リセット機能 887
25.1 リセット動作のタイミング 889
25.2 リセット要因を確認するレジスタ 893
25.2.1 リセット・コントロール・フラグ・レジスタ(RESF) 893
25.2.2 周辺リセット制御レジスタ0 (PRR0) 896
25.2.3 周辺リセット制御レジスタ1 (PRR1) 897
25.2.4 周辺リセット制御レジスタ2 (PRR2) 898

26. パワーオン・リセット回路 899
26.1 パワーオン・リセット回路の機能 899
26.2 パワーオン・リセット回路の構成 900
26.3 パワーオン・リセット回路の動作 900

27. 電圧検出回路 904
27.1 電圧検出回路の機能 904
27.2 電圧検出回路の構成 905
27.3 電圧検出回路を制御するレジスタ 905
27.3.1 電圧検出レジスタ(LVIM) 906
27.3.2 電圧検出レベル・レジスタ(LVIS) 907
27.4 電圧検出回路の動作 911
27.4.1 リセット・モードとして使用する場合の設定 911
27.4.2 割り込みモードとして使用する場合の設定 913
27.4.3 割り込み&リセット・モードとして使用時の設定 915
27.5 LVD 検出電圧の設定変更 920
27.5.1 LVD リセット・モード時のLVD 検出電圧の設定変更 921
27.5.2 LVD 割り込みモード時のLVD 検出電圧の設定変更 922
27.6 電圧検出回路の注意事項 924

28. 安全機能 926
28.1 安全機能の概要 926
28.2 安全機能で使用するレジスタ 927
28.3 安全機能の動作 927
28.3.1 フラッシュ・メモリCRC演算機能(高速CRC) 927
28.3.1.1 フラッシュ・メモリCRC制御レジスタ(CRC0CTL) 928
28.3.1.2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL) 929
28.3.2 CRC演算機能(汎用CRC) 931
28.3.2.1 CRC入力レジスタ(CRCIN) 932
28.3.2.2 CRCデータ・レジスタ(CRCD) 933
28.3.3 RAMパリティ・エラー検出機能 934
28.3.3.1 RAMパリティ・エラー制御レジスタ(RPECTL) 934
28.3.4 RAMガード機能 935
28.3.4.1 不正メモリ・アクセス検出制御レジスタ(IAWCTL) 936
28.3.5 SFRガード機能 937

28.3.5.1 不正メモリ・アクセス検出制御レジスタ(IAWCTL) 937
28.3.6 不正メモリ・アクセス検出機能 938
28.3.6.1 不正メモリ・アクセス検出制御レジスタ(IAWCTL) 939
28.3.7 周波数検出機能 940
28.3.7.1 タイマ入力選択レジスタ0 (TIS0) 941
28.3.8 A/Dテスト機能 942
28.3.8.1 A/Dテスト・レジスタ(ADTES) 944
28.3.8.2 アナログ入力チャネル指定レジスタ(ADS) 945
28.3.9 入出力端子のデジタル出力信号レベル検出機能 947
28.3.9.1 ポート・モード選択レジスタ(PMS) 947

29. レギュレータ 948
29.1 レギュレータの概要 948
29.2 レギュレータを制御するレジスタ 949
29.2.1 レギュレータ・モード制御レジスタ (PMMC) 949

30. オプション・バイト 950
30.1 オプション・バイトの機能 950
30.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H) 950
30.1.2 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H) 951
30.2 ユーザ・オプション・バイトのフォーマット 952
30.3 オンチップ・デバッグ・オプション・バイトのフォーマット 959
30.4 オプション・バイトの設定 960

31. フラッシュ・メモリ 961
31.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 962
31.1.1 プログラミング環境 964
31.1.2 通信方式 964
31.2 外部デバイス(UART内蔵)によるシリアル・プログラミング 965
31.2.1 プログラミング環境 965
31.2.2 通信方式 966
31.3 オンボード上の端子処理 966
31.3.1 P40/TOOL0端子 967
31.3.2 RESET端子 967
31.3.3 ポート端子 968
31.3.4 REGC端子 968
31.3.5 X1, X2端子 968
31.3.6 電源 968
31.4 プログラミング方法 969
31.4.1 シリアル・プログラミング手順 969
31.4.2 フラッシュ・メモリ・プログラミング・モード 970
31.4.3 通信方式 972
31.4.4 通信コマンド 973
31.5 PG-FP6使用時の各コマンド処理時間(参考値) 975
31.6 セルフ・プログラミング 976
31.6.1 セルフ・プログラミング手順 977
31.6.2 ブート・スワップ機能 978
31.6.3 フラッシュ・シールド・ウインドウ機能 980
31.7 セキュリティ設定 981

31.8　データ・フラッシュ 983
31.8.1　データ・フラッシュの概要 983
31.8.2　データ・フラッシュを制御するレジスタ 984
31.8.2.1 データ・フラッシュ・コントロール・レジスタ(DFLCTL) 984
31.8.3　データ・フラッシュへのアクセス手順 985

32.　オンチップ・デバッグ機能 986
32.1　E1オンチップデバッギングエミュレータとの接続 986
32.2　オンチップ・デバッグ・セキュリティ ID 987
32.3　ユーザ資源の確保 987
32.4　使用上の注意事項 988

33.　10進補正(BCD)回路 989
33.1　10進補正回路の機能 989
33.2　10進補正回路で使用するレジスタ 989
33.2.1　BCD補正結果レジスタ(BCDADJ) 989
33.3　10進補正回路の動作 990

34.　命令セットの概要 992
34.1　凡例 993
34.1.1　オペランドの表現形式と記述方法 993
34.1.2　オペレーション欄の説明 994
34.1.3　フラグ動作欄の説明 995
34.1.4　PREFIX命令 995
34.2　オペレーション一覧 996

35.　電気的特性（T_A = －40～＋85°C） 1014
35.1　絶対最大定格 1015
35.2　発振回路特性 1017
35.2.1　X1特性 1017
35.2.2　オンチップ・オシレータ特性 1018
35.3　DC特性 1019
35.3.1　端子特性 1019
35.3.2　電源電流特性 1024
35.4　AC特性 1031
35.5　周辺機能特性 1035
35.5.1　シリアル・アレイ・ユニット 1036
35.5.2　シリアル・インタフェースIICA 1065
35.6　アナログ特性 1069
35.6.1　A/Dコンバータ特性 1069
35.6.2　温度センサ／内部基準電圧特性 1073
35.6.3　D/Aコンバータ（チャネル1） 1073
35.6.4　コンパレータ 1074
35.6.5　PGA 1075
35.6.6　POR回路特性 1076
35.6.7　LVD回路特性 1077
35.6.8　電源電圧立ち上がり傾き特性 1078
35.7　RAMデータ保持特性 1079
35.8　フラッシュ・メモリ・プログラミング特性 1079

35.9 専用フラッシュ・メモリ・プログラマ通信(UART) 1080
35.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング 1080

36. 電気的特性（TA = －40～＋105°C） 1081
36.1 絶対最大定格 1083
36.2 発振回路特性 1085
36.2.1 X1特性 1085
36.2.2 オンチップ・オシレータ特性 1085
36.3 DC特性 1086
36.3.1 端子特性 1086
36.3.2 電源電流特性 1091
36.4 AC特性 1096
36.5 周辺機能特性 1099
36.5.1 シリアル・アレイ・ユニット 1100
36.5.2 シリアル・インタフェースIICA 1125
36.6 アナログ特性 1126
36.6.1 A/Dコンバータ特性 1126
36.6.2 温度センサ／内部基準電圧特性 1130
36.6.3 D/Aコンバータ（チャネル1） 1130
36.6.4 コンパレータ 1131
36.6.5 PGA 1132
36.6.6 POR回路特性 1133
36.6.7 LVD回路特性 1134
36.6.8 電源電圧立ち上がり傾き特性 1134
36.7 RAMデータ保持特性 1135
36.8 フラッシュ・メモリ・プログラミング特性 1135
36.9 専用フラッシュ・メモリ・プログラマ通信(UART) 1136
36.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング 1136

37. 外形図 1137
37.1 10ピン製品 1137
37.2 16ピン製品 1138
37.3 20ピン製品 1141
37.4 24ピン製品 1143
37.5 25ピン製品 1146

付録A 改版履歴 1147
A.1 本版で改訂された主な箇所 1147
A.2 前版までの改版履歴 1148

第1章　概説

1.1　特徴

超低消費電力テクノロジー

- V_{DD} = 1.6～5.5 V
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速(0.04167 μs：高速オンチップ・オシレータ・クロック24 MHz動作時)から超低速(66.6 μs：低速オンチップ・オシレータ・クロック15 kHz動作時)までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ × 8 × 4バンク
- 内蔵RAM：1.5 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：16 KB
- ブロック・サイズ：1 KB
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：2 KB
- バックグランド・オペレーション(BGO)；データ・フラッシュ書き換え中に，プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回(TYP.)
- 書き換え電圧：V_{DD} = 1.8～5.5 V

高速オンチップ・オシレータ

- 48 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- 高精度 ± 1.0% (V_{DD} = 1.8～5.5 V，T_A = -20～+85 °C)

中速オンチップ・オシレータ

- 4 MHz/2 MHz/1 MHzから選択

動作周囲温度

●T_A = -40～+85 °C（A：民生用途）
●T_A = -40～+105 °C（G：産業用途）

電源管理とリセット機能

●パワーオン・リセット(POR)回路内蔵
●電圧検出(LVD)回路内蔵(割り込み，リセットを14段階で選択)

データ・トランスファ・コントローラ(DTC)

●転送モード：ノーマル転送モード，リピート転送モード，ブロック転送モード
●起動要因：割り込み要因により起動
●チェイン転送機能あり

イベント・リンク・コントローラ(ELC)

●18種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

●簡易SPI (CSI注1)：4チャネル
●UART：2チャネル
●I^2C/簡易I^2C ：4チャネル
●マルチマスタI^2C ：2チャネル

タイマ

●16ビット・タイマ （TAU)：4チャネル
●TKB：1チャネル
●12ビット・インターバル・タイマ ：1チャネル
●8ビット・インターバル・タイマ ：2チャネル
●ウォッチドッグ・タイマ ：1チャネル

A/Dコンバータ

●8/10ビット分解能A/Dコンバータ (V_{DD} = 1.6～5.5 V)
●アナログ入力：10～11チャネル
●内部基準電圧(1.45 V)と温度センサを搭載

D/Aコンバータ

●8ビット分解能D/Aコンバータ (V_{DD} = 1.6～5.5 V)
●アナログ出力：2チャネル
（チャネル1：端子ANO1に出力，チャネル0：CMPに出力）
●出力電圧：0V～V_{DD}
●リアルタイム出力機能を搭載

コンパレータ

●2チャネル
●動作モード：コンパレータ高速モード，コンパレータ低速モード，ウィンドウモード

PGA

●1チャネル

入出力ポート

●I/Oポート：17～21本
N-chオープン・ドレイン入出力[V_{DD}耐圧注2/EV_{DD}耐圧注3]：10～14本
●N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
●異電位(1.8/2.5/3V系)動作デバイスと接続可能
●キー割り込み機能内蔵
●クロック出力/ブザー出力制御回路内蔵

その他

●10進補正(BCD)回路内蔵
●データ演算回路内蔵

注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. 16, 20, 24ピン製品

注3. 25ピン製品

備考 製品によって，搭載している機能が異なります。1.6 機能概要を参照してください。

○ROM，RAM容量

フラッシュROM	データ・フラッシュ	RAM	RL78/G11				
			10ピン	16ピン	20ピン	24ピン	25ピン
16 KB	2 KB	1.5 KB	R5F1051A	R5F1054A	R5F1056A	R5F1057A	R5F1058A

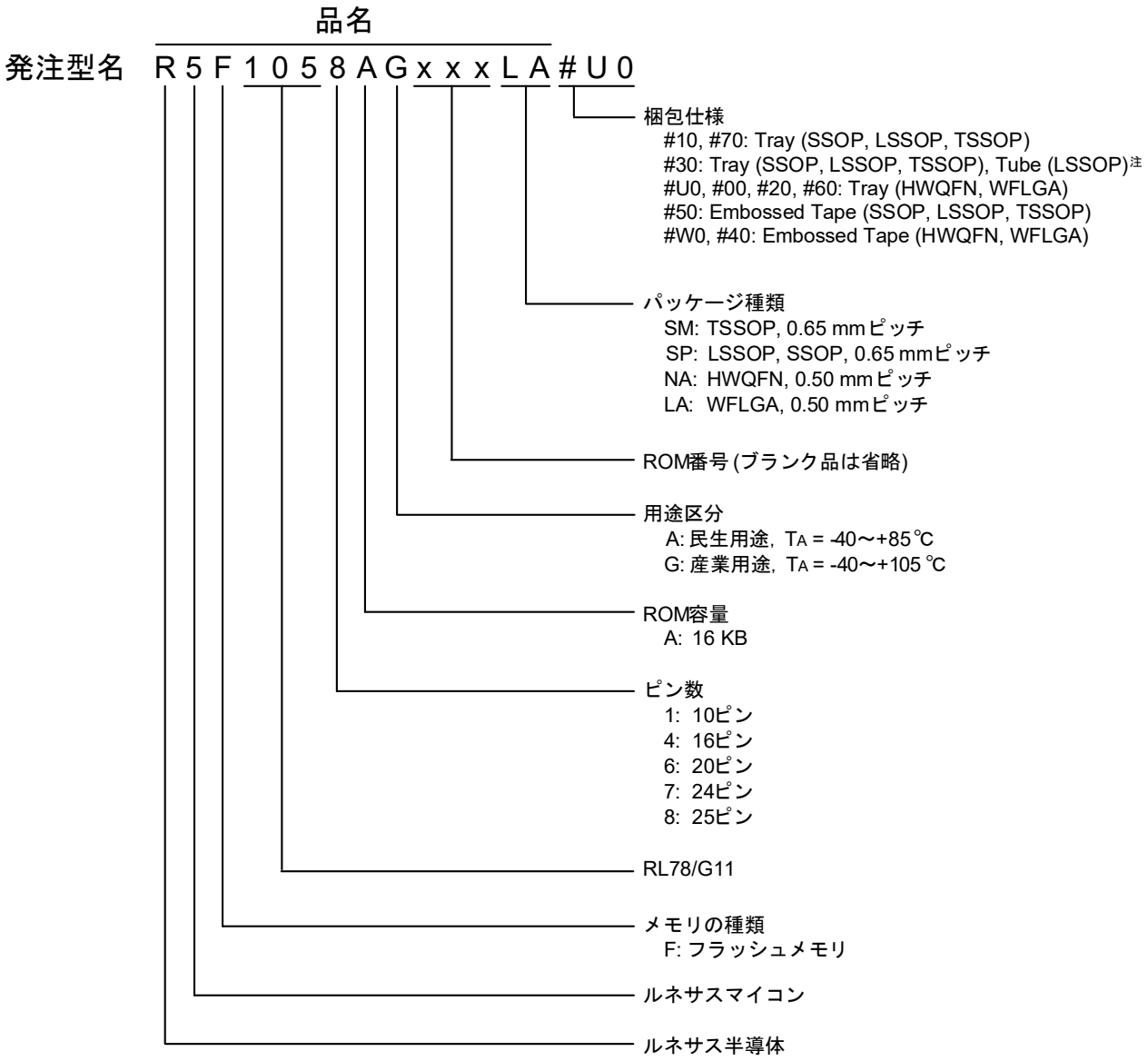
備考 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合，ライブラリが次に示す製品の RAM 領域を一部使用します。対象製品とライブラリが使用するRAM領域のスタートアドレスを示します。

R5F105xA (x = 1, 4, 6, 7, 8) ：スタート・アドレス FF900H

フラッシュ・ライブラリが使用する RAM 領域は，RL78 ファミリ セルフ・プログラミング・ライブラリ セルフ RAM リスト（R20UT2943）を参照してください。

1.2 型名一覧

★ 図1 - 1 RL78/G11の型名とメモリサイズ・パッケージ



注 20ピンLSSOP製品のみ，梱包仕様はTubeとなります。

表1 - 1 発注型名一覧

	ピン数	パッケージ	発注型名		RENESAS Code
			品名	梱包仕様	
★	10ピン	10ピン・プラスチックLSSOP (4.4 × 3.6 mm, 0.65 mmピッチ)	R5F1051AGSP, R5F1051AASP	#10, #30, #50, #70	PLSP0010JA-A
★	16ピン	16ピン・プラスチックSSOP (4.4 × 5.0 mm, 0.65 mmピッチ)	R5F1054AGSP, R5F1054AASP	#10, #30, #50, #70	PRSP0016JC-B
★		16ピン・プラスチックHWQFN (3 × 3 mm, 0.50 mmピッチ)	R5F1054AGNA, R5F1054AANA	#00, #20, #40, #60	PWQN0016KD-A PWQN0016KE-A
	20ピン	20ピン・プラスチックLSSOP (4.4 × 6.5 mm, 0.65 mmピッチ)	R5F1056AGSP, R5F1056AASP	#30, #50	PLSP0020JB-A
★		20ピン・プラスチック TSSOP (4.4 × 6.5 mm, 0.65 mmピッチ)	R5F1056AGSM, R5F1056AASM	#10, #30, #50, #70	PTSP0020JI-A
	24ピン	24ピン・プラスチックHWQFN (4 × 4 mm, 0.50 mmピッチ)	R5F1057AGNA, R5F1057AANA	#U0, #W0	PWQN0024KE-A
★			R5F1057AGNA, R5F1057AANA	#00, #20, #40, #60	PWQN0024KF-A PWQN0024KH-A
	25ピン	25ピン・プラスチックWFLGA (3 × 3 mm, 0.50 mmピッチ)	R5F1058AGLA, R5F1058AALA	#U0, #W0	PWLG0025KA-A

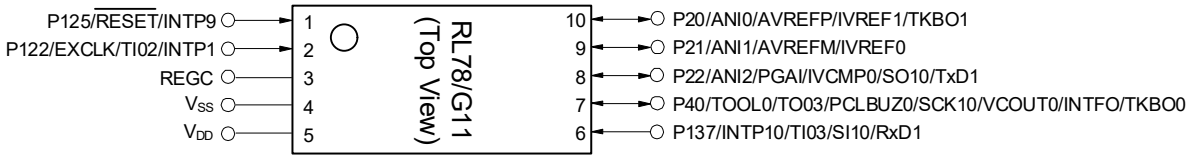
注意1. 用途区分は，図1 - 1 RL78/G11の型名とメモリサイズ・パッケージを参照してください。

注意2. 発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図(Top View)

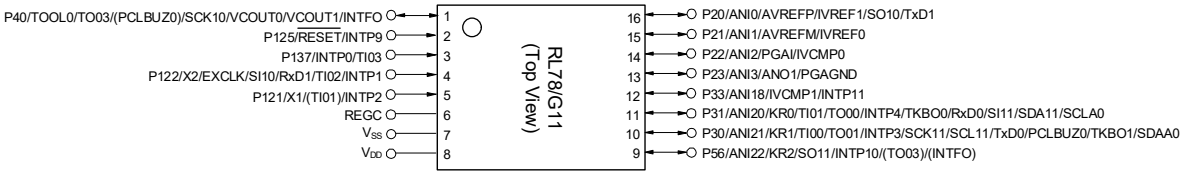
1.3.1 10ピン製品

• 10ピン・プラスチックLSSOP (4.4 × 3.6 mm, 0.65 mmピッチ)

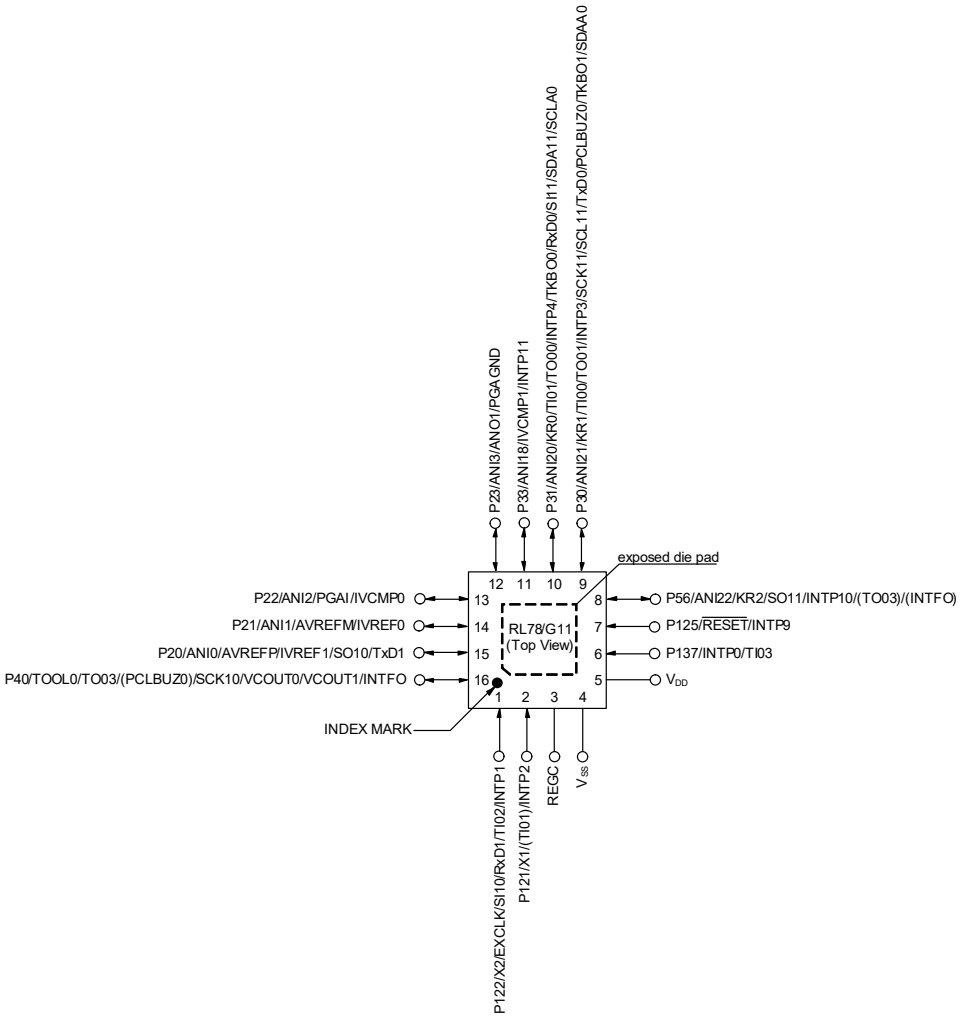


1.3.2 16ピン製品

• 16ピン・プラスチックSSOP (4.4 × 5.0 mm, 0.65 mmピッチ)



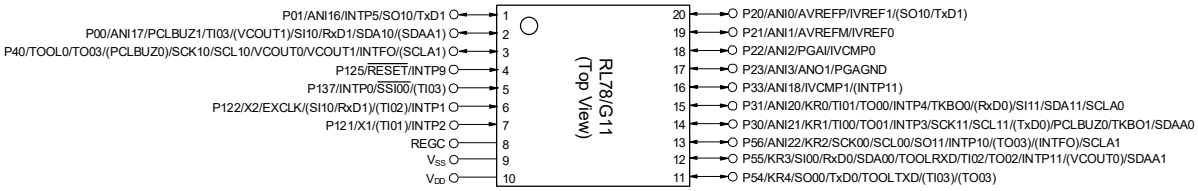
• 16ピン・プラスチックHWQFN (3 × 3 mm, 0.5 mmピッチ)



1.3.3 20ピン製品

• 20ピン・プラスチックLSSOP (4.4 × 6.5 mm, 0.65 mmピッチ)

• 20 ピン・プラスチックTSSOP (4.4 × 6.5 mm, 0.65 mmピッチ)



注意 REGC端子はコンデンサ(0.47～1 μF)を介し，Vssに接続してください。

備考1. 端子名称は，1.4 端子名称を参照してください。

備考2. 上図の( )内の機能は，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により割り当て可能です。

1.3.4 24ピン製品

• 24ピン・プラスチック HWQFN (4 × 4 mm, 0.5 mmピッチ)



注意 REGC端子はコンデンサ(0.47～1 μF)を介し，Vssに接続してください。

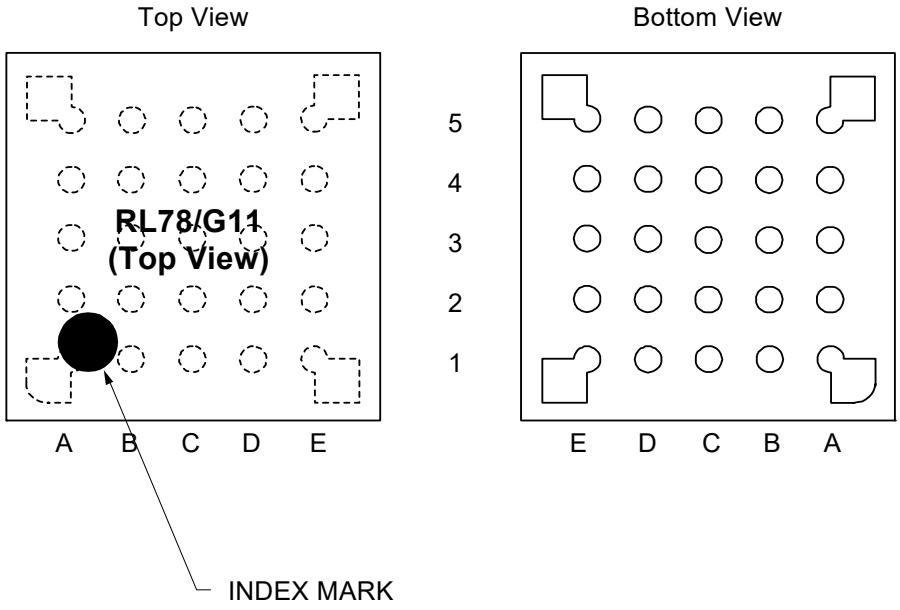
備考1. 端子名称は，1.4 端子名称を参照してください。

備考2. exposed die padは，Vssに接続することを推奨します。

備考3. 上図の ( )内の機能は，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により割り当て可能です。

1.3.5 25ピン製品

• 25ピン・プラスチックWFLGA（3 × 3 mm, 0.5 mmピッチ）



	A	B	C	D	E	
5	P40/TOOL0/TO03/(PCLBUZ0)/SCK10/SCL10/VCOUT0/VCOUT1/INTFO/(SCLA1)	P125/$\overline{\text{RESET}}$/INTP9	P01/ANI16/INTP5/SO10/TxD1	P20/ANI0/AVREFP/IVREF1/(SO10/TxD1)	P21/ANI1/AVREFM/IVREF0	5
4	P122/X2/EXCLK/(SI10/RxD1)/(TI02)/INTP1	P137/INTP0/$\overline{\text{SSI00}}$/(TI03)	P00/ANI17/PCLBUZ1/TI03/(VCOUT1)/SI10/RxD1/SDA10/(SDAA1)	P22/ANI2/PGAI/IVCMP0	P23/ANI3/ANO1/PGAGND	4
3	P121/X1/(TI01)/INTP2/(SI01)	V_{DD}	EV_{DD}	P33/ANI18/IVCMP1/(INTP11)/(SCLA1)	P32/ANI19/SO11/(INTP10)/(VCOUT1)/(SDAA1)	3
2	REGC	V_{SS}	P30/ANI21/KR1/TI00/TO01/INTP3/SCK11/SCL11/(TxD0)/PCLBUZ0/TKBO1/(SDAA0)	P31/ANI20/KR0/TI01/TO00/INTP4/TKBO0/(RxD0)/SI11/SDA11/(SCLA0)	P56/ANI22/KR2/SCK00/SCL00/(SO11)/INTP10/(TO03)/(INTFO)/SCLA1	2
1	P51/KR7/INTP8/(TI02)/(TO02)/SCK01/SCL01/(TxD0)	P52/KR6/INTP7/SI01/SDA01/(RxD0)/(SDAA0)	P53/KR5/INTP6/SO01/SDAA0	P54/KR4/SO00/TxD0/TOOLTXD/(TI03)/(TO03)/SCLA0	P55/KR3/SI00/RxD0/SDA00/TOOLRXD/TI02/TO02/INTP11/(VCOUT0)/SDAA1	1
	A	B	C	D	E	

注意 REGC端子はコンデンサ(0.47～1 μF)を介し，V_{SS}に接続してください。

備考1. 端子名称は，1.4 端子名称を参照してください。

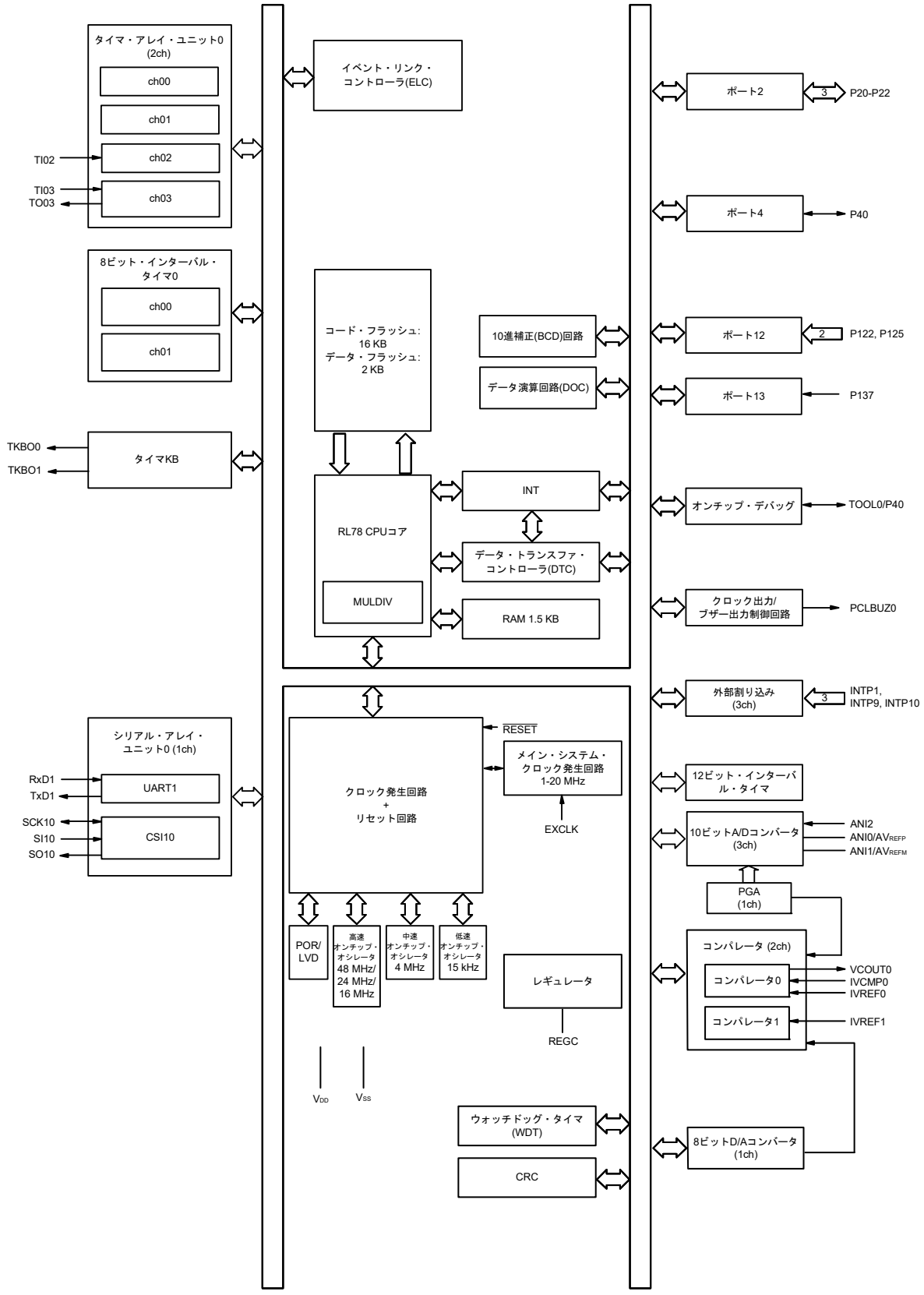
備考2. 上図の( )内の機能は，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により割り当て可能です。

1.4 端子名称

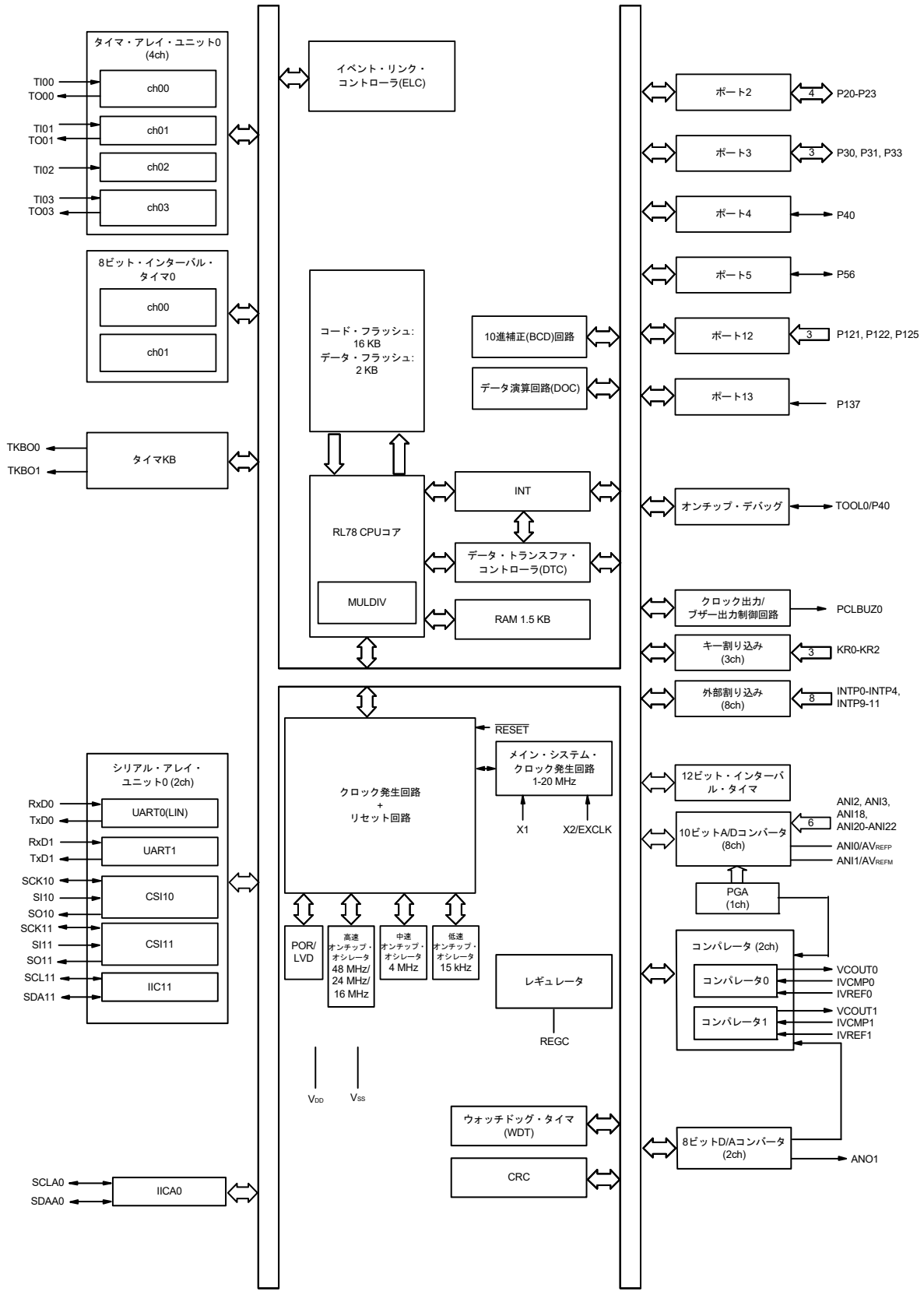
ANI0 to ANI3, ANI16 to ANI22 : Analog input
ANO1 : Analog output
AVREFM : A/D converter reference potential (- side) input
AVREFP : A/D converter reference potential (+ side) input
EVDD : Power supply
EXCLK : External clock input (main system clock)
INTP0 to INTP11 : External interrupt input
INTFO : Interrupt Flag output
IVCMP0, IVCMP1 : Comparator input
IVREF0, IVREF1 : Comparator reference input
KR0 to KR7 : Key return
PGAI, PGAGND : PGA Input
P00 to P01 : Port 0
P20 to P23 : Port 2
P30 to P33 : Port 3
P40 : Port 4
P51 to P56 : Port 5
P121, P122, P125 : Port 12
P137 : Port 13
PCLBUZ0, PCLBUZ1 : Programmable clock output/buzzer output
REGC : Regulator capacitance
$\overline{\text{RESET}}$: Reset
RxD0, RxD1 : Receive data
SCK00, SCK01, SCK10, SCK11 : Serial clock input/output
SCLA0, SCLA1 : Serial clock input/output
SCL00, SCL01, SCL10, SCL11 : Serial clock output
SDAA0, SDAA1 : Serial data input/output
SDA00, SDA01, SDA10, SDA11 : Serial data input/output
SI00, SI01, SI10, SI11 : Serial data input
SO00, SO01, SO10, SO11 : Serial data output
$\overline{\text{SSI00}}$: Serial interface chip select input
TI00 to TI03 : Timer input
TKBO0, TKBO1 : TMKB output
TO00 to TO03 : Timer output
TOOL0 : Data input/output for tool
TOOLRXD, TOOLTXD : Data input/output for external device
TxD0, TxD1 : Transmit data
VCOUT0, VCOUT1 : Comparator output
VDD : Power supply
VSS : Ground
X1, X2 : Crystal oscillator (main system clock)

1.5 ブロック図

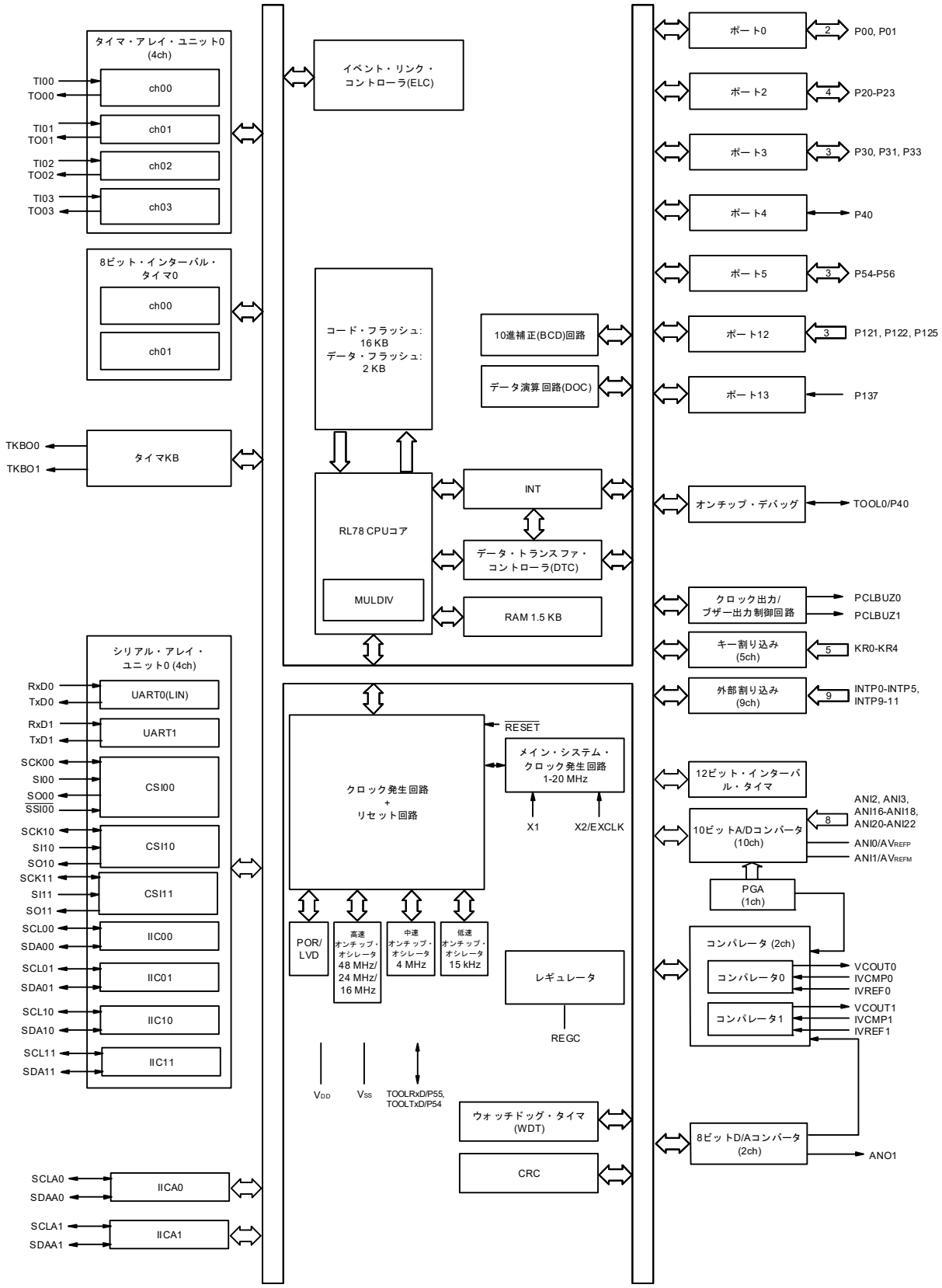
1.5.1 10ピン製品



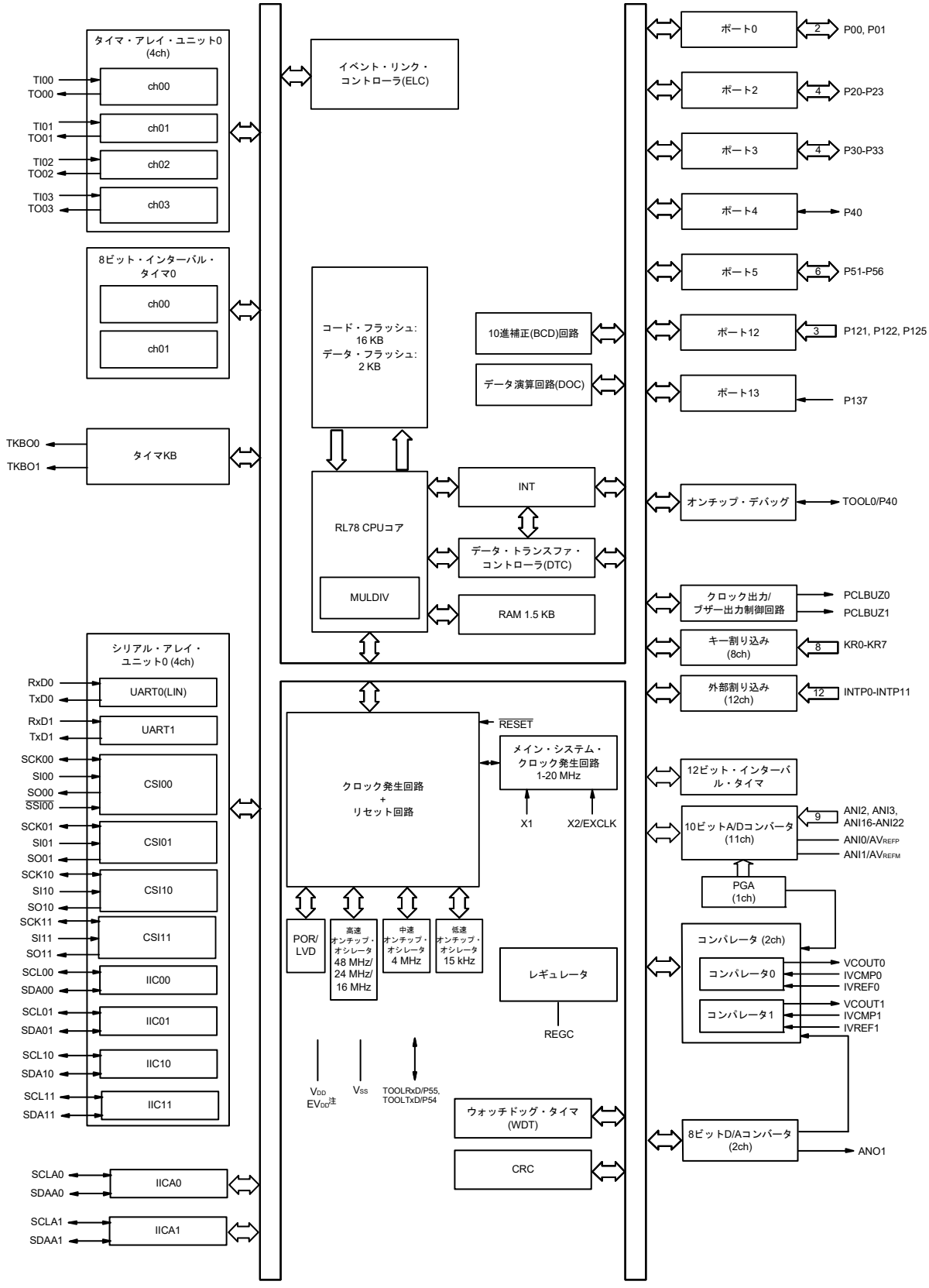
1.5.2 16ピン製品


タイマ・アレイ・ユニット0 (4ch)
TI00
TO00
TI01
TO01
TI02
TI03
TO03
ch00
ch01
ch02
ch03
8ビット・インターバル・タイマ0
ch00
ch01
TKBO0
TKBO1
タイマKB
イベント・リンク・コントローラ(ELC)
コード・フラッシュ: 16 KB
データ・フラッシュ: 2 KB
10進補正(BCD)回路
データ演算回路(DOC)
RL78 CPUコア
MULDIV
INT
データ・トランスファ・コントローラ(DTC)
RAM 1.5 KB
ポート2
4
P20-P23
ポート3
3
P30, P31, P33
ポート4
P40
ポート5
P56
ポート12
3
P121, P122, P125
ポート13
P137
オンチップ・デバッグ
TOOL0/P40
クロック出力/ブザー出力制御回路
PCLBUZ0
キー割り込み (3ch)
3
KR0-KR2
外部割り込み (8ch)
8
INTP0-INTP4, INTP9-11
シリアル・アレイ・ユニット0 (2ch)
RxD0
TxD0
RxD1
TxD1
SCK10
SI10
SO10
SCK11
SI11
SO11
SCL11
SDA11
UART0(LIN)
UART1
CSI10
CSI11
IIC11
SCLA0
SDAA0
IICA0
クロック発生回路 + リセット回路
RESET
メイン・システム・クロック発生回路 1-20 MHz
X1
X2/EXCLK
POR/LVD
高速オンチップ・オシレータ 48 MHz/24 MHz/16 MHz
中速オンチップ・オシレータ 4 MHz
低速オンチップ・オシレータ 15 kHz
レギュレータ
REGC
VDD
VSS
ウォッチドッグ・タイマ (WDT)
CRC
12ビット・インターバル・タイマ
10ビットA/Dコンバータ (8ch)
6
ANI2, ANI3, ANI18, ANI20-ANI22
ANI0/AVREFP
ANI1/AVREFM
PGA (1ch)
コンパレータ (2ch)
コンパレータ0
VCOUT0
IVCMP0
IVREF0
コンパレータ1
VCOUT1
IVCMP1
IVREF1
8ビットD/Aコンバータ (2ch)
ANO1

1.5.3 20ピン製品


タイマ・アレイ・ユニット0 (4ch)
TI00
TO00
TI01
TO01
TI02
TO02
TI03
TO03
ch00
ch01
ch02
ch03
8ビット・インターバル・タイマ0
ch00
ch01
TKBO0
TKBO1
タイマKB
シリアル・アレイ・ユニット0 (4ch)
RxD0
TxD0
UART0(LIN)
RxD1
TxD1
UART1
SCK00
SI00
SO00
SSI00
CSI00
SCK10
SI10
SO10
CSI10
SCK11
SI11
SO11
CSI11
SCL00
SDA00
IIC00
SCL01
SDA01
IIC01
SCL10
SDA10
IIC10
SCL11
SDA11
IIC11
SCLA0
SDAA0
IICA0
SCLA1
SDAA1
IICA1
イベント・リンク・コントローラ(ELC)
コード・フラッシュ: 16 KB
データ・フラッシュ: 2 KB
RL78 CPUコア
MULDIV
10進補正(BCD)回路
データ演算回路(DOC)
INT
データ・トランスファ・コントローラ(DTC)
RAM 1.5 KB
RESET
クロック発生回路 + リセット回路
メイン・システム・クロック発生回路 1-20 MHz
X1
X2/EXCLK
POR/ LVD
高速オンチップ・オシレータ 48 MHz/ 24 MHz/ 16 MHz
中速オンチップ・オシレータ 4 MHz
低速オンチップ・オシレータ 15 kHz
レギュレータ
REGC
VDD
VSS
TOOLRxD/P55, TOOLTxD/P54
ウォッチドッグ・タイマ (WDT)
CRC
ポート0
2
P00, P01
ポート2
4
P20-P23
ポート3
3
P30, P31, P33
ポート4
P40
ポート5
3
P54-P56
ポート12
3
P121, P122, P125
ポート13
P137
オンチップ・デバッグ
TOOL0/P40
クロック出力/ブザー出力制御回路
PCLBUZ0
PCLBUZ1
キー割り込み (5ch)
5
KR0-KR4
外部割り込み (9ch)
9
INTP0-INTP5, INTP9-11
12ビット・インターバル・タイマ
10ビットA/Dコンバータ (10ch)
8
ANI2, ANI3, ANI16-ANI18, ANI20-ANI22
ANI0/AVREFP
ANI1/AVREFM
PGA (1ch)
コンパレータ (2ch)
コンパレータ0
VCOUT0
IVCMP0
IVREF0
コンパレータ1
VCOUT1
IVCMP1
IVREF1
8ビットD/Aコンバータ (2ch)
ANO1

1.5.4 24, 25ピン製品



注 25ピン製品

1.6 機能概要

周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)を00Hに設定時の機能概要です。

(1/3)

項目		10ピン	16ピン	20ピン	24ピン	25ピン
		R5F1051A	R5F1054A	R5F1056A	R5F1057A	R5F1058A
コード・フラッシュ・メモリ		16 KB				
データ・フラッシュ・メモリ		2 KB				
RAM		1.5 KB				
メモリ空間		1 Mバイト				
メイン・システム・クロック	高速システム・クロック(f_{MX})	X1 (水晶／セラミック)発振注，外部メイン・システム・クロック入力(EXCLK) 1～20 MHz：V_{DD} = 2.7～5.5 V 1～16 MHz：V_{DD} = 2.4～5.5 V 1～8 MHz：V_{DD} = 1.8～5.5 V 1～4 MHz：V_{DD} = 1.6～5.5 V				
	高速オンチップ・オシレータ・クロック(f_{IH}) Max: 24 MHz 中速オンチップ・オシレータ・クロック(f_{IM}) Max: 4 MHz	HS (高速メイン)モード：　1～24 MHz (V_{DD} = 2.7～5.5 V), HS (高速メイン)モード：　1～16 MHz (V_{DD} = 2.4～5.5 V), LS (低速メイン)モード：　1～8 MHz (V_{DD} = 1.8～5.5 V), LV (低電圧メイン)モード：　1～4 MHz (V_{DD} = 1.6～5.5 V), LP (低電力メイン)モード：　1 MHz (V_{DD} = 1.8～5.5 V)				
サブシステム・クロック	低速オンチップ・オシレータ・クロック(f_{IL})	15 kHz (TYP.): V_{DD} = 1.6～5.5 V				
汎用レジスタ		8ビット × 32レジスタ (8ビット × 8レジスタ × 4バンク)				
最小命令実行時間		0.04167 μs (高速オンチップ・オシレータ・クロック：f_{IH} = 24 MHz動作時)				
		0.05 μs (高速システム・クロック：f_{MX} = 20 MHz動作時)				
命令セット		• データ転送(8/16ビット) • 加減／論理演算(8/16ビット) • 乗算(8 × 8ビット，16 × 16ビット)，除算(16 ÷ 16ビット，32 ÷ 32ビット) • 積和演算(16 × 16 + 32ビット) • ローテート，バレル・シフト，ビット操作(セット，リセット，テスト，ブール演算)など				
I/Oポート	合計	7	13	17	21	
	CMOS入出力	4	9	13	17	
	CMOS入力	3	4			
タイマ	16ビット・タイマ	4チャネル				
	ウォッチドッグ・タイマ	1チャネル				
	タイマKB	1チャネル				
	12ビット・インターバル・タイマ	1チャネル				
	8/16ビット・インターバル・タイマ	2チャネル(8ビット)／1チャネル(16ビット)				
	タイマ出力	3	5	6		

注　16, 20, 24, 25ピン製品

注意　セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合，ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とライブラリが使用するRAM領域のスタートアドレスを示します。

R5F105xA (x = 1, 4, 6, 7, 8)　：スタート・アドレス FF900H

フラッシュ・ライブラリが使用するRAM領域は，RL78 ファミリ セルフ・プログラミング・ライブラリ セルフRAM リスト（R20UT2943）を参照してください。

(2/3)

項目		10ピン	16ピン	20ピン	24ピン	25ピン
		R5F1051A	R5F1054A	R5F1056A	R5F1057A	R5F1058A
クロック出力／ブザー出力		1本		2本		
		• 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック：f_{MAIN} = 20 MHz動作時) • 117 Hz, 234 Hz, 469 Hz, 938 Hz, 1.875 kHz, 3.75 kHz, 7.5 kHz, 15 kHz (サブシステム・クロック：f_{IL} = 15 kHz動作時)				
10ビット分解能A/Dコンバータ	外部	3チャネル	8チャネル	10チャネル	11チャネル	
	内部	1チャネル				
8ビットD/Aコンバータ		1チャネル	2チャネル			
コンパレータ (ウィンドウコンパレータ)		1チャネル	2チャネル			
PGA		1チャネル				
データ演算回路(DOC)		16ビットのデータを比較，加算，減算する機能				
シリアル・インタフェース		【10ピン製品】 • 簡易SPI（CSI）：1チャネル／UART：1チャネル 【16ピン製品】 • 簡易SPI（CSI）：2チャネル／UART：2チャネル／簡易I^2C：1チャネル 【20ピン製品】 • 簡易SPI（CSI）：3チャネル／UART：2チャネル／簡易I^2C：3チャネル 【24，25ピン製品】 • 簡易SPI（CSI）：4チャネル／UART：2チャネル／簡易I^2C：4チャネル				
	I^2Cバス	なし	1チャネル	2チャネル		
データ・トランスファ・コントローラ(DTC)		13要因	22要因	23要因	24要因	
イベント・リンク・コントローラ(ELC)		イベント入力：11， イベントトリガ 出力：3	イベント入力：16， イベントトリガ 出力：4	イベント入力：17， イベントトリガ 出力：4	イベント入力：18， イベントトリガ出力：4	
ベクタ割り込み要因	内部	20	24	25		
	外部	3	9	10	13	
キー割り込み		なし	3	5	8	
リセット		• $\overline{\text{RESET}}$端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路による内部リセット • 不正命令の実行による内部リセット • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット				
パワーオン・リセット回路		• パワーオン・リセット ：1.51 ± 0.04 V (T_A = -40～+85 °C) 1.51 ± 0.06 V (T_A = +85～+105 °C) • パワーダウン・リセット：1.50 ± 0.04 V (T_A = -40～+85 °C) 1.50 ± 0.06 V (T_A = +85～+105 °C)				

(3/3)

項目		10ピン	16ピン	20ピン	24ピン	25ピン
		R5F1051A	R5F1054A	R5F1056A	R5F1057A	R5F1058A
電圧検出回路	パワーオン	1.67 V～4.06 V (14段階)				
	パワーダウン	1.63 V～3.98 V (14段階)				
オンチップ・デバッグ機能		あり (トレース機能なし)				
電源電圧		V_{DD} = 1.6～5.5 V				
動作周囲温度		T_A = -40～ + 85 °C（民生用途） T_A = -40～ + 105 °C（産業用途）				

第2章　端子機能

2.1　ポート機能

端子の入出力バッファ電源は，製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

(1)　10ピン製品

電源	対応する端子
VDD	P20-P22, P40, P122, P125, P137

(2)　16ピン製品

電源	対応する端子
VDD	P20-P23, P30, P31, P33, P40, P56, P121, P122, P125, P137

(3)　20ピン製品

電源	対応する端子
VDD	P00, P01, P20-P23, P30, P31, P33, P40, P54-P56, P121, P122, P125, P137

(4)　24ピン製品

電源	対応する端子
VDD	P00, P01, P20-P23, P30-P33, P40, P51-P56, P121, P122, P125, P137

(5)　25ピン製品

電源	対応する端子
VDD	P20-P23, P121, P122, P125, P137
EVDD	P00, P01, P30-P33, P40, P51-P56

各ポートで設定した入出力やバッファ，プルアップ抵抗は，兼用機能に対しても有効です。

2.1.1 10ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-9-3	入出力	アナログ入力ポート	ANI0/AVREFP/IVREF1/TKBO1	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-9-4			ANI1/AVREFM/IVREF0	
P22	4-18-2			ANI2/PGAI/IVCMP0/SO10/TxD1	
P40	8-1-4	入出力	入力ポート	TOOL0/TO03/PCLBUZ0/SCK10/ VCOUT0/INTFO/TKBO0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P40の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P122	2-2-1	入力	入力ポート	EXCLK/TI02/INTP1	ポート12。 2ビット入力専用ポート。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しています。外部リセットとして使用する場合は，オプション・バイト（000C1H）のPORTSELBビットに“1”を設定してください。 P125はソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P125	3-1-1			$\overline{\text{RESET}}$/INTP9	
P137	2-1-2	入力	入力ポート	INTP10/TI03/SI10/RxD1	ポート13。 1ビット入力専用ポート。

2.1.2 16ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-9-3	入出力	アナログ入力ポート	P20/ANI0/AVREFP/IVREF1/SO10/TxD1	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-9-4			ANI1/AVREFM/IVREF0	
P22	4-18-2			ANI2/PGAI/IVCMP0	
P23	4-8-2			ANI3/ANO1/PGAGND	
P30	8-1-4	入出力	アナログ入力ポート	ANI21/KR1/TI00/TO01/INTP3/SCK11/SCL11/TxD0/PCLBUZ0/TKBO1/SDAA0	ポート3。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P30, P31, P33の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P30-P31の入力はTTL入力バッファに設定可能。 P30, P31の出力はN-chオープン・ドレイン出力に設定可能。
P31				ANI20/KR0/TI01/TO00/INTP4/TKBO0/RxD0/SI11/SDA11/SCLA0	
P33	7-9-4			ANI18/IVCMP1/INTP11	
P40	8-1-4	入出力	入力ポート	TOOL0/TO03/(PCLBUZ0)/SCK10/VCOUT0/VCOUT1/INTFO	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P40の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P56	8-3-4	入出力	アナログ入力ポート	ANI22/KR2/SO11/INTP10/(TO03)/(INTFO)	ポート5。 1ビット入出力ポート。 P56の入力では，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P56の出力はN-chオープン・ドレイン出力に設定可能。
P121	2-2-1	入力	入力ポート	X1/(TI01)/INTP2	ポート12。 3ビット入力専用ポート。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しています。外部リセットとして使用する場合は，オプション・バイト（000C1H）のPORTSELBビットに“1”を設定してください。 P125はソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/SI10/RxD1/TI02/INTP1	
P125	3-1-1			$\overline{\text{RESET}}$/INTP9	
P137	2-1-2	入力	入力ポート	INTP0/TI03	ポート13。 1ビット入力専用ポート。

2.1.3 20ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-3-4	入出力	アナログ入力ポート	ANI17/PCLBUZ1/TI03/(VCOUT1)/SI10/RxD1/SDA10/(SDAA1)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P00-P01の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P00の入力はTTL入力バッファに設定可能。 P00-P01の出力はN-chオープン・ドレイン出力に設定可能。
P01	7-3-4			ANI16/INTP5/SO10/TxD1	
P20	4-9-3	入出力	アナログ入力ポート	ANI0/AVREFP/IVREF1/(SO10/TXD1)	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-9-4			ANI1/AVREFM/IVREF0	
P22	4-18-2			ANI2/PGAI/IVCMP0	
P23	4-8-2			ANI3/ANO1/PGAGND	
P30	8-1-4	入出力	アナログ入力ポート	ANI21/KR1/TI00/TO01/INTP3/SCK11/SCL11/(TxD0)/PCLBUZ0/TKBO1/SDAA0	ポート3。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P30, P31, P33の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P30, P31の入力はTTL入力バッファに設定可能。 P30, P31の出力はN-chオープン・ドレイン出力に設定可能。
P31				ANI20/KR0/TI01/TO00/INTP4/TKBO0/(RxD0)/SI11/SDA11/SCLA0	
P33	7-9-4			ANI18/IVCMP1/(INTP11)	
P40	8-1-4	入出力	入力ポート	TOOL0/TO03/(PCLBUZ0)/SCK10/SCL10/VCOUT0/VCOUT1/INTFO/(SCLA1)	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P40の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P40の入力はTTL入力バッファに設定可能。 P40の出力はN-chオープン・ドレイン出力に設定可能。
P54	8-1-4	入出力	入力ポート	KR4/SO00/TxD0/TOOLTXD/(TI03)/(TO03)	ポート5。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P54-P56の入力では，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P55, P56の入力はTTL入力バッファに設定可能。 P54-P56の出力はN-chオープン・ドレイン出力に設定可能。
P55				KR3/SI00/RxD0/SDA00/TOOLRXD/TI02/TO02/INTP11/(VCOUT0)/SDAA1	
P56	8-3-4		アナログ入力ポート	ANI22/KR2/SCK00/SCL00/SO11/INTP10/(TO03)/(INTFO)/SCLA1	
P121	2-2-1	入力	入力ポート	X1/(TI01)/INTP2	ポート12。 3ビット入力専用ポート。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しています。外部リセットとして使用する場合は，オプション・バイト（000C1H）のPORTSELBビットに“1”を設定してください。 P125はソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/(SI10/RxD1)/(TI02)/INTP1	
P125	3-1-1			$\overline{\text{RESET}}$/INTP9	
P137	2-1-2	入力	入力ポート	INTP0/$\overline{\text{SSI00}}$/(TI03)	ポート13。 1ビット入力専用ポート。

備考 表中の( )内の機能は，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により，割り当て可能です。

2.1.4 24ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-3-4	入出力	アナログ入力ポート	ANI17/PCLBUZ1/TI03/(VCOUT1)/SI10/RxD1/SDA10/(SDAA1)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P00-P01の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P00の入力はTTL入力バッファに設定可能。 P00-P01の出力はN-chオープン・ドレイン出力に設定可能。
P01	7-3-4			ANI16/INTP5/SO10/TxD1	
P20	4-9-3	入出力	アナログ入力ポート	ANI0/AVREFP/IVREF1/(SO10/TXD1)	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-9-4			ANI1/AVREFM/IVREF0	
P22	4-18-2			ANI2/PGAI/IVCMP0	
P23	4-8-2			ANI3/ANO1/PGAGND	
P30	8-1-4	入出力	アナログ入力ポート	ANI21/KR1/TI00/TO01/INTP3/SCK11/SCL11/(TxD0)/PCLBUZ0/TKBO1/(SDAA0)	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P30-P33の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P30-P32の入力はTTL入力バッファに設定可能。 P30-P33の出力はN-chオープン・ドレイン出力に設定可能。
P31				ANI20/KR0/TI01/TO00/INTP4/TKBO0/(RxD0)/SI11/SDA11/(SCLA0)	
P32				ANI19/SO11/(INTP10)/(VCOUT1)/(SDAA1)	
P33	7-9-4			ANI18/IVCMP1/(INTP11)/(SCLA1)	
P40	8-1-4	入出力	入力ポート	TOOL0/TO03/(PCLBUZ0)/SCK10/SCL10/VCOUT0/VCOUT1/INTFO/(SCLA1)	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P40の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P40の入力はTTL入力バッファに設定可能。 P40の出力はN-chオープン・ドレイン出力に設定可能。
P51	8-1-4	入出力	入力ポート	KR7/INTP8/(TI02)/(TO02)/SCK01/SCL01/(TxD0)	ポート5。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P51-P56の入力では，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P51-P56の入力はTTL入力バッファに設定可能。 P51-P56の出力はN-chオープン・ドレイン出力に設定可能。
P52				KR6/INTP7/SI01/SDA01/(RxD0)/(SDAA0)	
P53				KR5/INTP6/SO01/SDAA0	
P54				KR4/SO00/TxD0/TOOLTXD/(TI03)/(TO03)/SCLA0	
P55				KR3/SI00/RxD0/SDA00/TOOLRXD/TI02/TO02/INTP11/(VCOUT0)/SDAA1	
P56	8-3-4		アナログ入力ポート	ANI22/KR2/SCK00/SCL00/(SO11)/INTP10/(TO03)/(INTFO)/SCLA1	
P121	2-2-1	入力	入力ポート	X1/(TI01)/INTP2/(SI01)	ポート12。 3ビット入力専用ポート。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しています。外部リセットとして使用する場合は，オプション・バイト（000C1H）のPORTSELBビットに“1”を設定してください。 P125は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/(SI10/RxD1)/(TI02)/INTP1	
P125	3-1-1			$\overline{\text{RESET}}$/INTP9	
P137	2-1-2	入力	入力ポート	INTP0/$\overline{\text{SSI00}}$/(TI03)	ポート13。 1ビット入力専用ポート。

備考 表中の( )内の機能は，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により，割り当て可能です。

2.1.5 25ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-3-4	入出力	アナログ入力ポート	ANI17/PCLBUZ1/TI03/(VCOUT1)/SI10/RxD1/SDA10/(SDAA1)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P00-P01の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P00の入力はTTL入力バッファに設定可能。 P00-P01の出力はN-chオープン・ドレイン出力に設定可能。
P01	7-3-4			ANI16/INTP5/SO10/TxD1	
P20	4-9-3	入出力	アナログ入力ポート	ANI0/AVREFP/IVREF1/(SO10/TXD1)	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-9-4			ANI1/AVREFM/IVREF0	
P22	4-18-2			ANI2/PGAI/IVCMP0	
P23	4-8-2			ANI3/ANO1/PGAGND	
P30	8-1-4	入出力	アナログ入力ポート	ANI21/KR1/TI00/TO01/INTP3/SCK11/SCL11/(TxD0)/PCLBUZ0/TKBO1/(SDAA0)	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P30-P33の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P30-P32の入力はTTL入力バッファに設定可能。 P30-P33の出力はN-chオープン・ドレイン出力に設定可能。
P31				ANI20/KR0/TI01/TO00/INTP4/TKBO0/(RxD0)/SI11/SDA11/(SCLA0)	
P32				ANI19/SO11/(INTP10)/(VCOUT1)/(SDAA1)	
P33	7-9-4			ANI18/IVCMP1/(INTP11)/(SCLA1)	
P40	8-1-4	入出力	入力ポート	TOOL0/TO03/(PCLBUZ0)/SCK10/SCL10/VCOUT0/VCOUT1/INTFO/(SCLA1)	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P40の入力は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P40の入力はTTL入力バッファに設定可能。 P40の出力はN-chオープン・ドレイン出力に設定可能。
P51	8-1-4	入出力	入力ポート	KR7/INTP8/(TI02)/(TO02)/SCK01/SCL01/(TxD0)	ポート5。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P51-P56の入力では，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P51-P56の入力はTTL入力バッファに設定可能。 P51-P56の出力はN-chオープン・ドレイン出力に設定可能。
P52				KR6/INTP7/SI01/SDA01/(RxD0)/(SDAA0)	
P53				KR5/INTP6/SO01/SDAA0	
P54				KR4/SO00/TxD0/TOOLTXD/(TI03)/(TO03)/SCLA0	
P55				KR3/SI00/RxD0/SDA00/TOOLRXD/TI02/TO02/INTP11/(VCOUT0)/SDAA1	
P56	8-3-4		アナログ入力ポート	ANI22/KR2/SCK00/SCL00/(SO11)/INTP10/(TO03)/(INTFO)/SCLA1	
P121	2-2-1	入力	入力ポート	X1/(TI01)/INTP2/(SI01)	ポート12。 3ビット入力専用ポート。 125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しています。外部リセットとして使用する場合は，オプション・バイト（000C1H）のPORTSELBビットに“1”を設定してください。 P125は，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/(SI10/RxD1)/(TI02)/INTP1	
P125	3-1-1			$\overline{\text{RESET}}$/INTP9	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P137	2-1-2	入力	入力ポート	INTP0/SSI00/(TI03)	ポート13。 1ビット入力専用ポート。

備考　表中の( )内の機能は，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により，割り当て可能です。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/3)

機能名称	25ピン	24ピン	20ピン	16ピン	10ピン
ANI0	○	○	○	○	○
ANI1	○	○	○	○	○
ANI2	○	○	○	○	○
ANI3	○	○	○	○	—
ANI16	○	○	○	—	—
ANI17	○	○	○	—	—
ANI18	○	○	○	○	—
ANI19	○	○	—	—	—
ANI20	○	○	○	○	—
ANI21	○	○	○	○	—
ANI22	○	○	○	○	—
IVCMP0	○	○	○	○	○
IVCMP1	○	○	○	○	—
IVREF0	○	○	○	○	○
IVREF1	○	○	○	○	○
PGAI	○	○	○	○	○
PGAGND	○	○	○	○	—
KR0	○	○	○	○	—
KR1	○	○	○	○	—
KR2	○	○	○	○	—
KR3	○	○	○	—	—
KR4	○	○	○	—	—
KR5	○	○	—	—	—
KR6	○	○	—	—	—
KR7	○	○	—	—	—
TI00	○	○	○	○	—
TI01	○	○	○	○	—
TI02	○	○	○	○	○
TI03	○	○	○	○	○
TO00	○	○	○	○	—
TO01	○	○	○	○	—
TO02	○	○	○	—	—
TO03	○	○	○	○	○
ANO1	○	○	○	○	—
VCOUT0	○	○	○	○	○
VCOUT1	○	○	○	○	—
TKBO0	○	○	○	○	○
TKBO1	○	○	○	○	○
RXD0	○	○	○	○	—

(2/3)

機能名称	25ピン	24ピン	20ピン	16ピン	10ピン
RXD1	○	○	○	○	○
TXD0	○	○	○	○	—
TXD1	○	○	○	○	○
SCLA0	○	○	○	○	—
SCLA1	○	○	○	—	—
SCL00	○	○	○	—	—
SCL01	○	○	—	—	—
SCL10	○	○	○	—	—
SCL11	○	○	○	○	—
SDAA0	○	○	○	○	—
SDAA1	○	○	○	—	—
SDA00	○	○	○	—	—
SDA01	○	○	—	—	—
SDA10	○	○	○	—	—
SDA11	○	○	○	○	—
SCK00	○	○	○	—	—
SCK01	○	○	—	—	—
SCK10	○	○	○	○	○
SCK11	○	○	○	○	—
SI00	○	○	○	—	—
SI01	○	○	—	—	—
SI10	○	○	○	○	○
SI11	○	○	○	○	—
SO00	○	○	○	—	—
SO01	○	○	—	—	—
SO10	○	○	○	○	○
SO11	○	○	○	○	—
$\overline{\text{SSI00}}$	○	○	○	—	—
INTP0	○	○	○	○	—
INTP1	○	○	○	○	○
INTP2	○	○	○	○	—
INTP3	○	○	○	○	—
INTP4	○	○	○	○	—
INTP5	○	○	○	—	—
INTP6	○	○	—	—	—
INTP7	○	○	—	—	—
INTP8	○	○	—	—	—
INTP9	○	○	○	○	○
INTP10	○	○	○	○	○

(3/3)

機能名称	25ピン	24ピン	20ピン	16ピン	10ピン
INTP11	○	○	○	○	—
INTFO	○	○	○	○	○
PCLBUZ0	○	○	○	○	○
PCLBUZ1	○	○	○	—	—
EXCLK	○	○	○	○	○
X1	○	○	○	○	—
X2	○	○	○	○	—
$\overline{\text{RESET}}$	○	○	○	○	○
REGC	○	○	○	○	○
V_{DD}	○	○	○	○	○
EV_{DD}	○	—	—	—	—
AV_{REFP}	○	○	○	○	○
AV_{REFM}	○	○	○	○	○
V_{SS}	○	○	○	○	○
TOOLRXD	○	○	○	—	—
TOOLTXD	○	○	○	—	—
TOOL0	○	○	○	○	○

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI3	入力	A/Dコンバータのアナログ入力(VDD接続)
ANI16-ANI22	入力	A/Dコンバータのアナログ入力(25ピン製品：EVDD接続，24, 20, 16ピン製品：VDD接続)
IVCMP0, IVCMP1	入力	コンパレータアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
PGAI,PGAGND	入力	PGA入力
KR0-KR7	入力	キー割り込み入力
TI00-TI03	入力	16ビット・タイマ00-03への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO03	出力	16ビット・タイマ00-03のタイマ出力
ANO1	出力	D/Aコンバータ出力
VCOUT0, VCOUT1	出力	コンパレータ出力
TKBO0, TKBO1	出力	16ビット・タイマKB0出力
RxD0, RXD1	入力	シリアル・インタフェースUART0, UART1のシリアル・データ入力
TxD0, TXD1	出力	シリアル・インタフェースUART0, UART1のシリアル・データ出力
SCLA0, SCLA1	入出力	シリアル・インタフェースIICA0, IICA1のシリアル・クロック入出力
SCL00, SCL01, SCL10, SCL11	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11のシリアル・クロック出力
SDAA0, SDAA1	入出力	シリアル・インタフェースIICA0, IICA1のシリアル・データ入出力
SDA00, SDA01, SDA10, SDA11	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11のシリアル・データ入出力
SCK00, SCK01, SCK10, SCK11	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11のシリアル・クロック入力／出力
SI00, SI01, SI10, SI11	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11のシリアル・データ入力
SO00, SO01, SO10, SO11	出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11のシリアル・データ出力
$\overline{\text{SSI00}}$	入力	シリアル・インタフェースCSI00のチップ・セレクト入力
INTP0-INTP11	入力	外部割り込み要求入力
INTFO	出力	割り込みフラグ出力
PCLBUZ0, PCLBUZ1	出力	クロック出力／ブザー出力
EXCLK	入力	メイン・システム・クロック用外部クロック入力
X1, X2	—	メイン・システム・クロック用発振子接続
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力。
REGC	—	内部動作用レギュレータ出力安定容量接続。 コンデンサ(0.47～1 μF)を介し，Vssに接続してください。 また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。
V_{DD}	—	P20-P23, P121, P122, P125, P137端子の正電源(25ピン製品) 全端子の正電源（24, 20, 16, 10ピン製品）
EV_{DD}	—	P20-P23, P121, P122, P125, P137端子以外の正電源（25ピン製品）
AV_{REFP}	入力	A/Dコンバータの＋側基準電圧入力
AV_{REFM}	入力	A/Dコンバータの－側基準電圧入力
V_{SS}	—	全端子のグランド電位

(2/2)

機能名称	入出力	機能
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。

表2 - 2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は，31.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として，EV_{DD}-EV_{SS}，V_{DD}-V_{SS}ライン間へのバイパスコンデンサ(0.1 μF程度)を最短距離でかつ，比較的太い配線を使って接続してください。

2.3 未使用端子の処理

表2 - 3に各端子の未使用端子処理を示します。

備考 製品により，搭載している端子が異なります。1.3 端子接続図(Top View)，2.1 ポート機能を参照してください。

表2 - 3 各端子の未使用端子処理

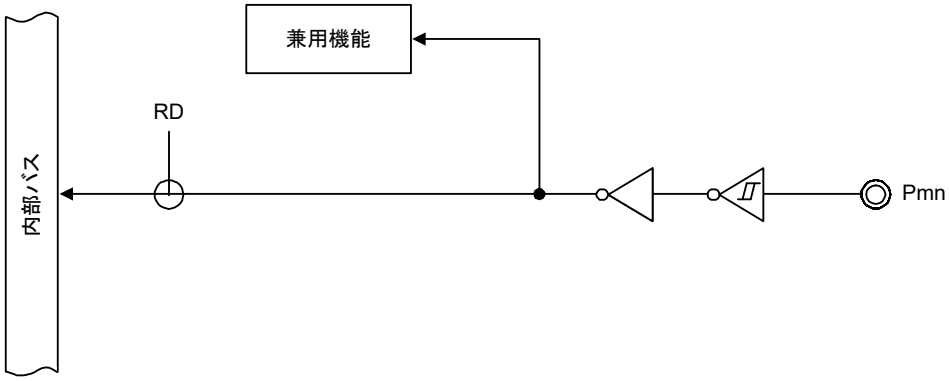
端子名称	入出力	未使用時の推奨接続方法
P00-P01	入出力	入力時： 個別に抵抗を介して，EVDD注またはVSSに接続してください。 出力時： オープンにしてください。
P20-P23		入力時： 個別に抵抗を介して，VDDまたはVSSに接続してください。 出力時： オープンにしてください。
P30-P33		入力時： 個別に抵抗を介して，EVDD注またはVSSに接続してください。 出力時： オープンにしてください。
P40/TOOL0		入力時： 個別に抵抗を介して，EVDD注に接続またはオープンにしてください。 出力時： オープンにしてください。
P51-P56		入力時： 個別に抵抗を介して，EVDD注またはVSSに接続してください。 出力時： オープンにしてください。
P121,P122	入力	個別に抵抗を介して，VDDまたはVSSに接続してください。
★ P125／$\overline{\text{RESET}}$	入力	PORTSELB=0時 :個別に抵抗を介して、VDDに接続してください。
★		PORTSELB=1時 :オープンまたはVDDに接続してください。
P137	入力	個別に抵抗を介して，VDDまたはVSSに接続してください。
REGC	—	コンデンサ(0.47～1 μF)を介し，VSSに接続してください。

注 25ピン製品のみ。24, 20, 16, 10ピン製品の場合はVDD。

2.4　端子ブロック図

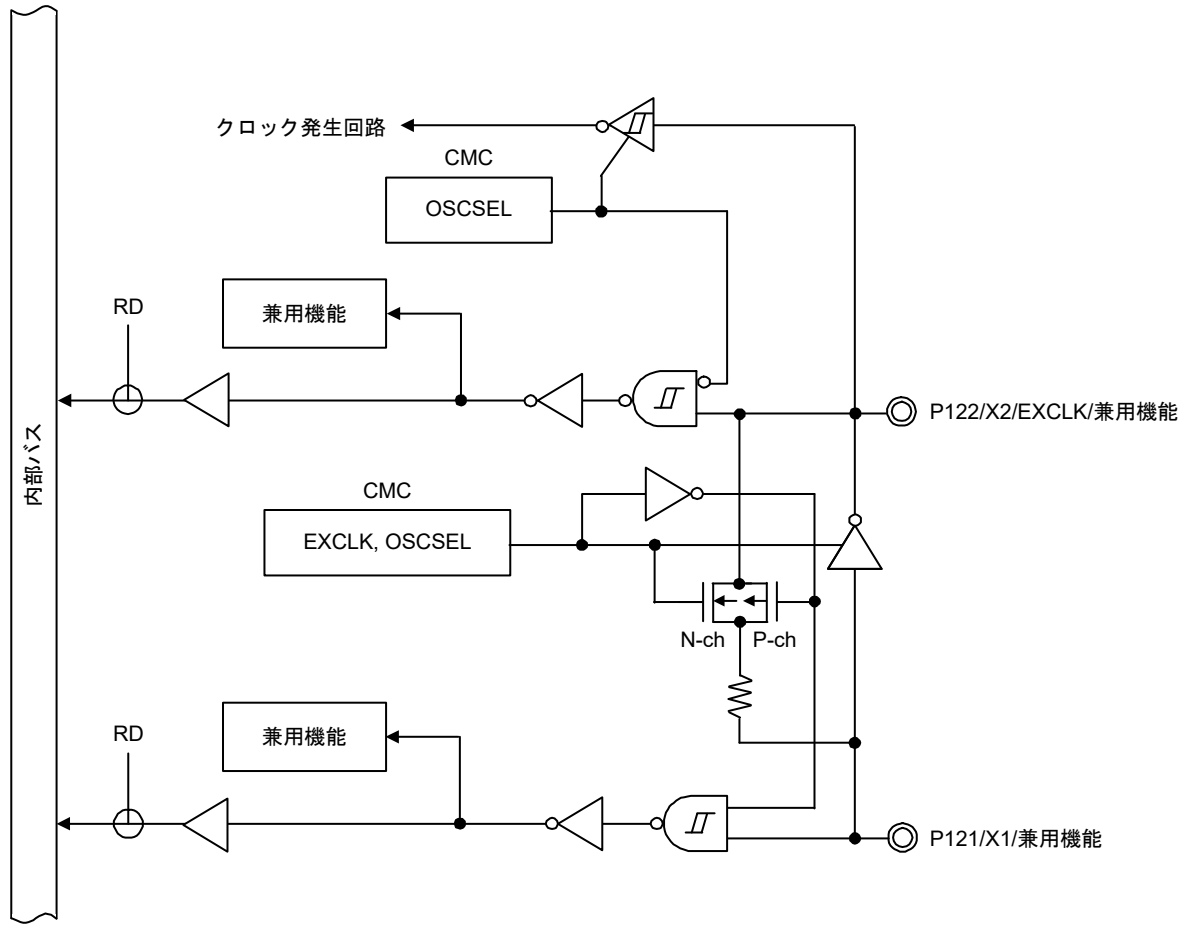
2.1.1　10ピン製品～2.1.5　25ピン製品に記載した端子タイプについて，端子ブロック図を図2 - 1～図2 - 11に示します。

図2 - 1 端子タイプ 2-1-2 の端子ブロック図



備考　兼用機能は，2.1　ポート機能を参照してください。

図2 - 2 端子タイプ 2-2-1 の端子ブロック図



備考 兼用機能は，2.1 ポート機能を参照してください。

図2 - 3 端子タイプ3-1-1の端子ブロック図

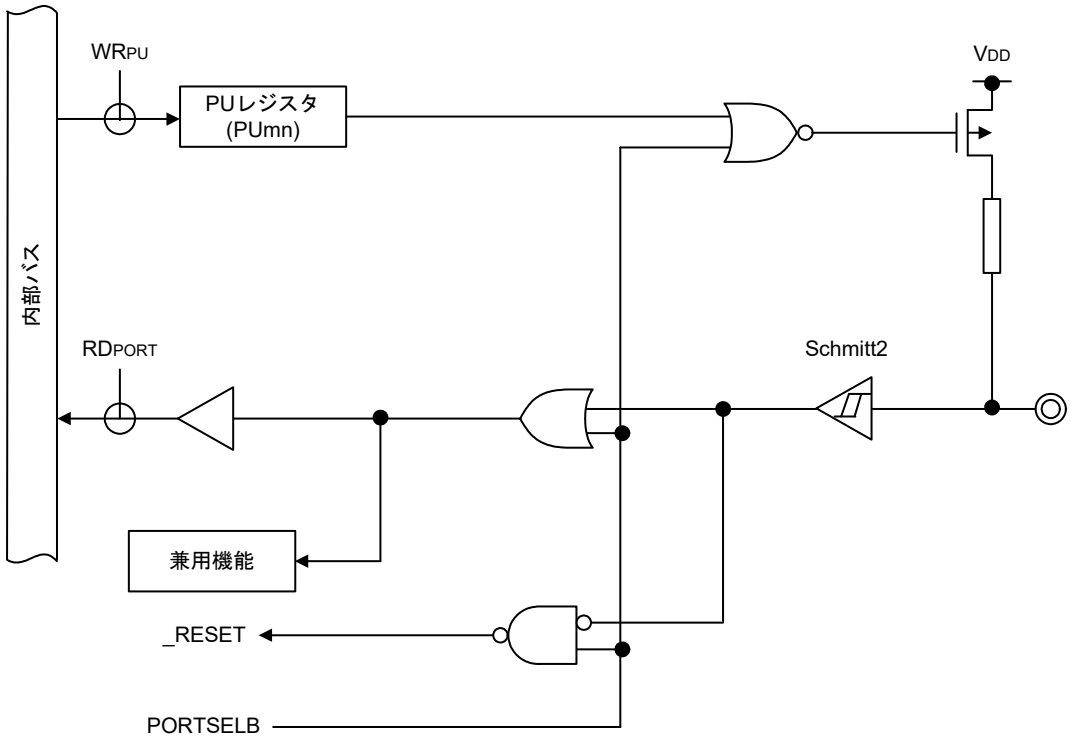


図2 - 4 端子タイプ4-8-2の端子ブロック図

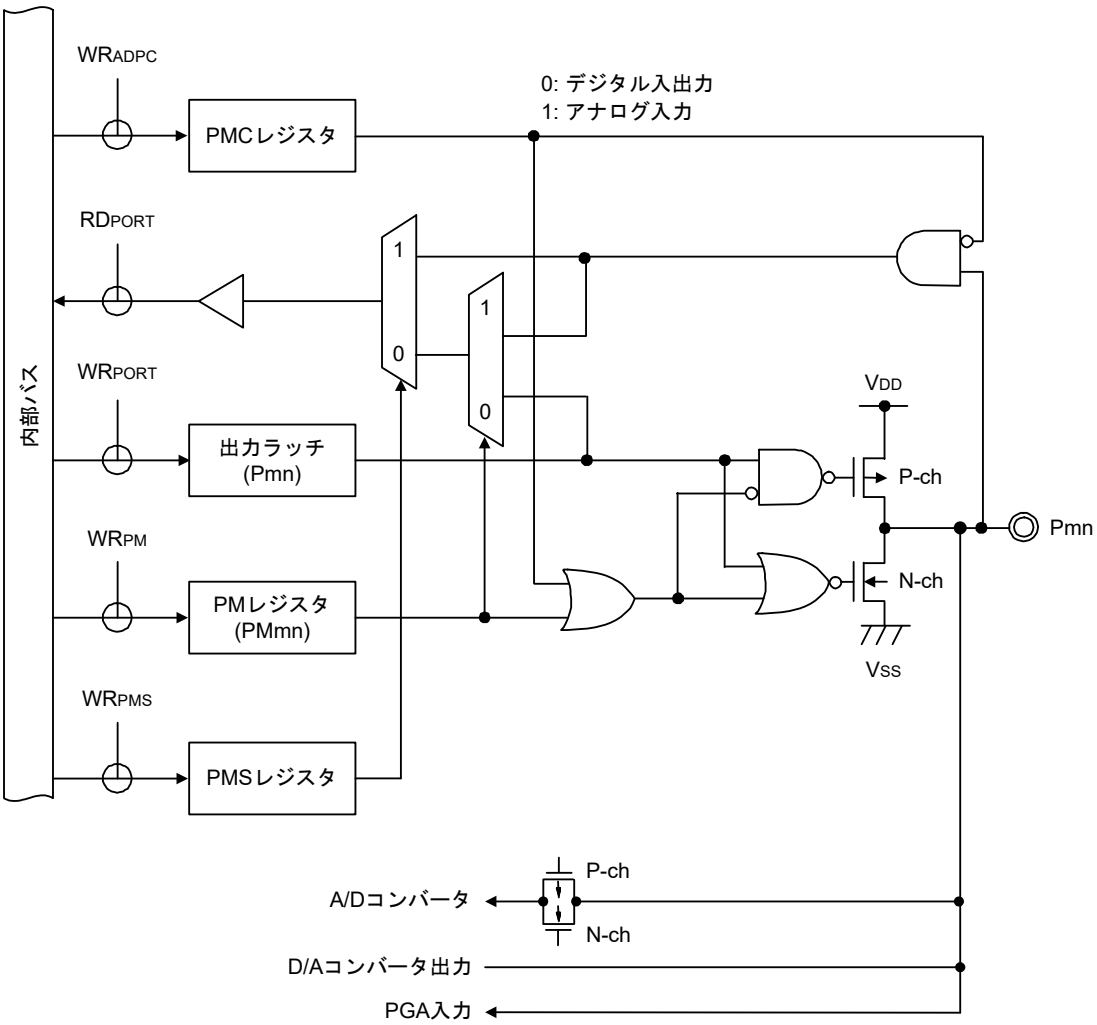
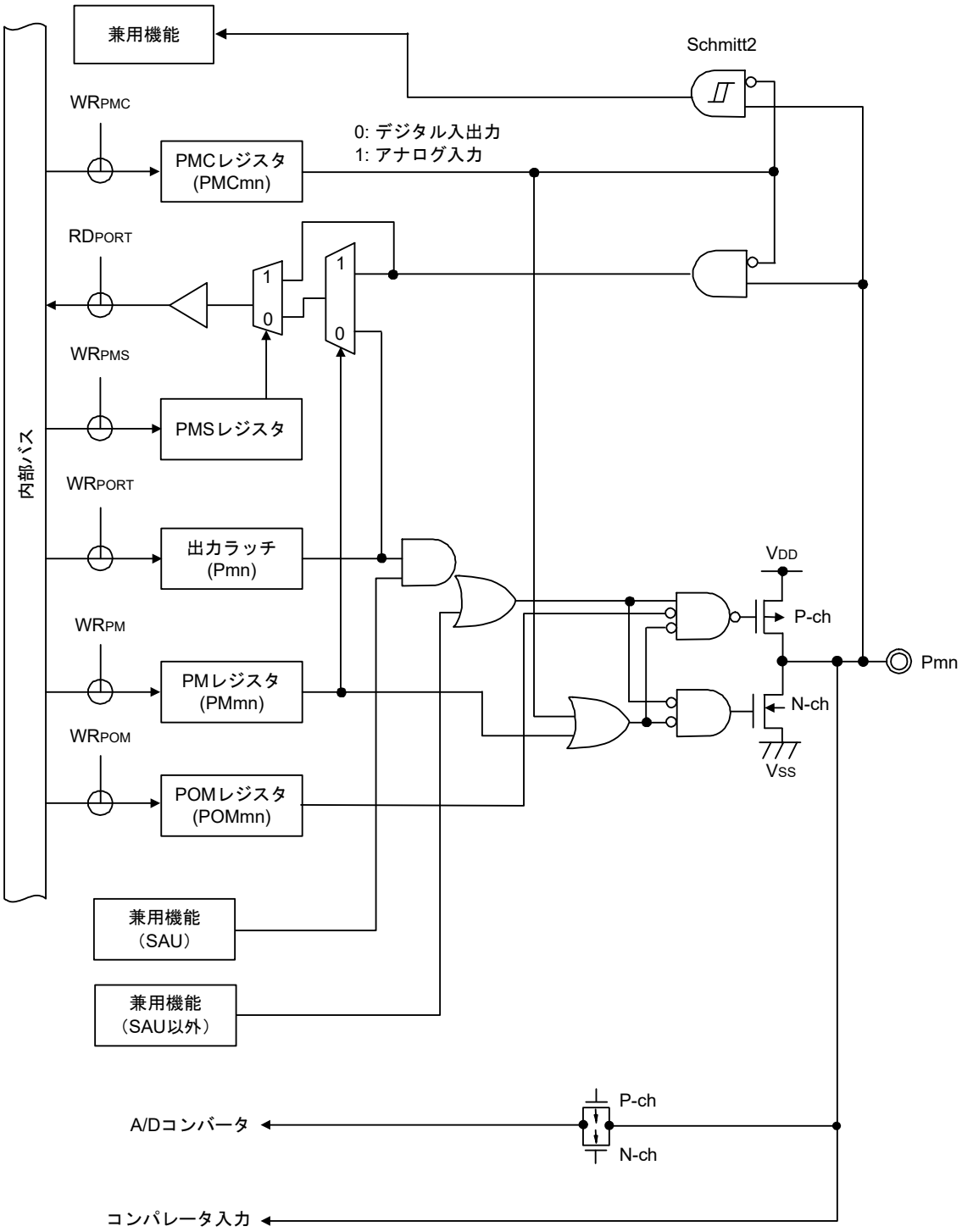


図2 - 5 端子タイプ4-9-3の端子ブロック図



注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

図2 - 6 端子タイプ4-9-4の端子ブロック図

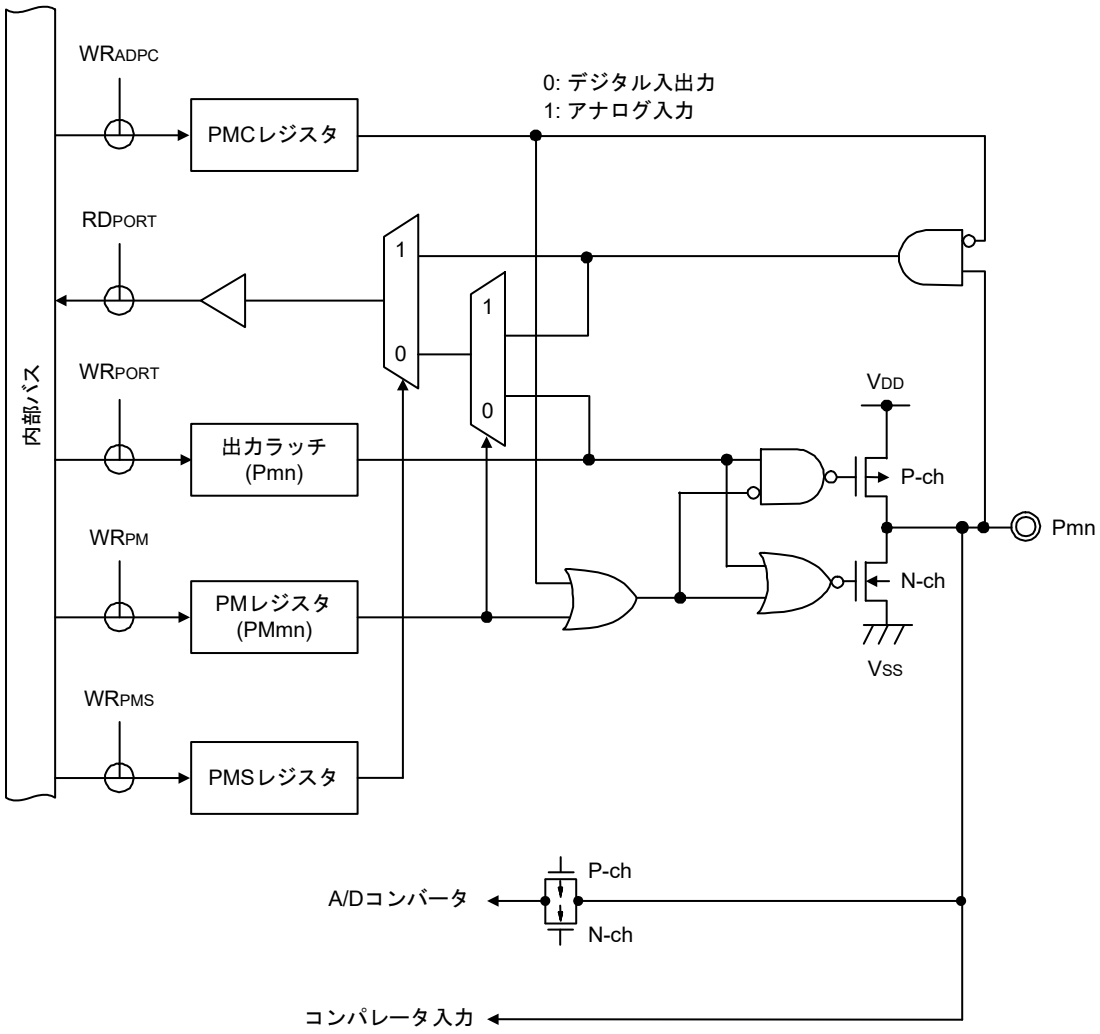


図2 - 7 端子タイプ4-18-2の端子ブロック図

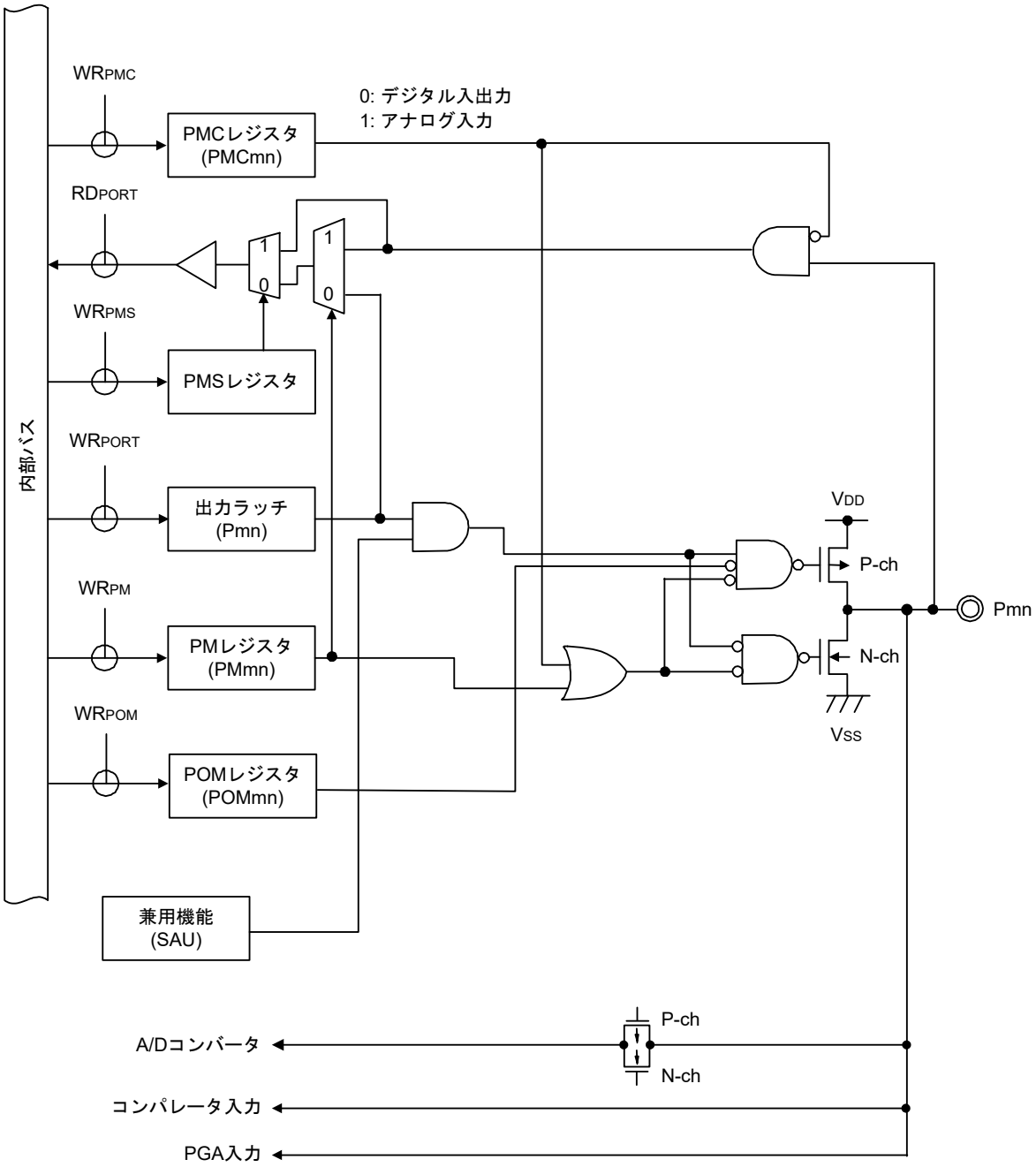
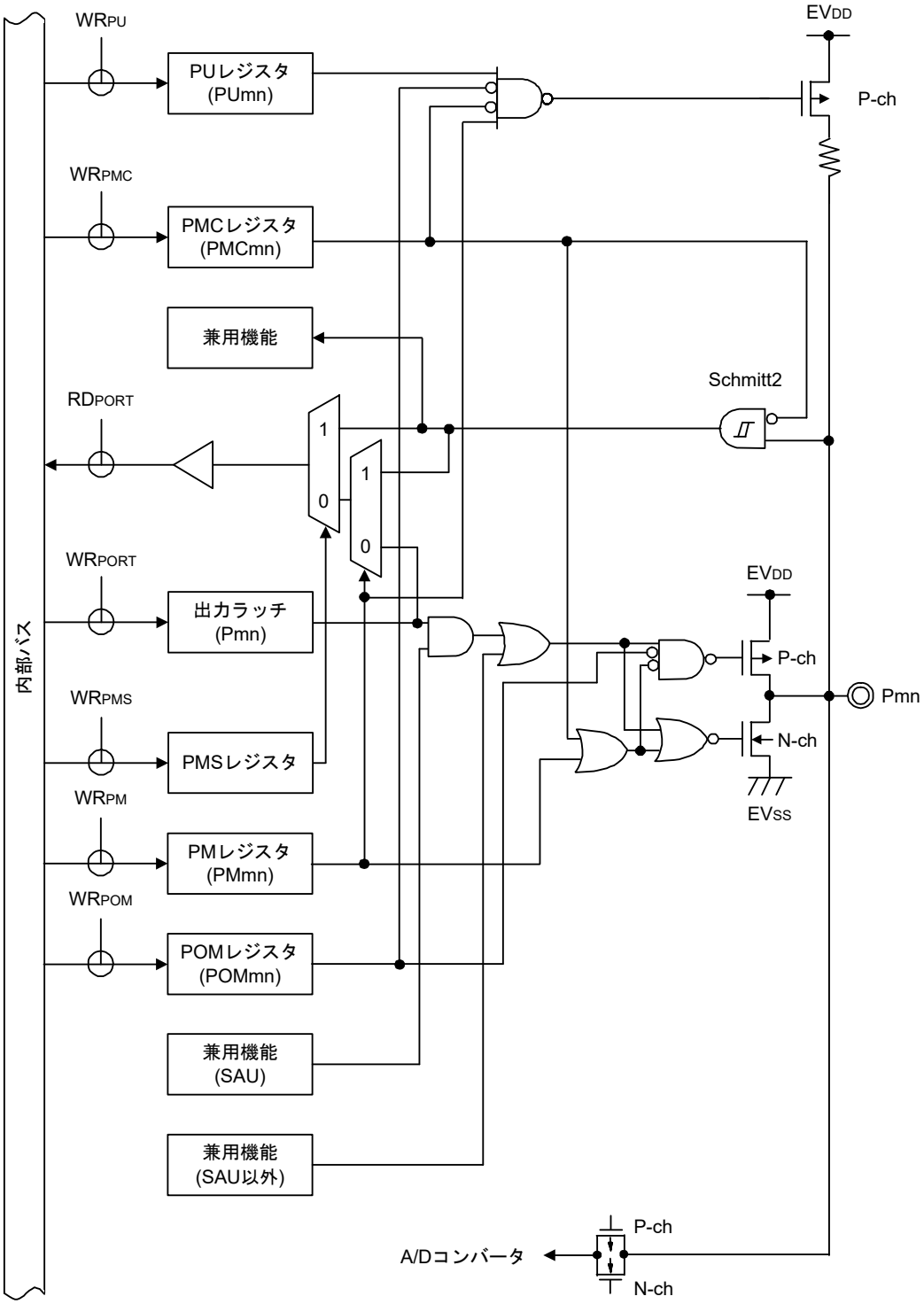


図2 - 8 端子タイプ7-3-4の端子ブロック図

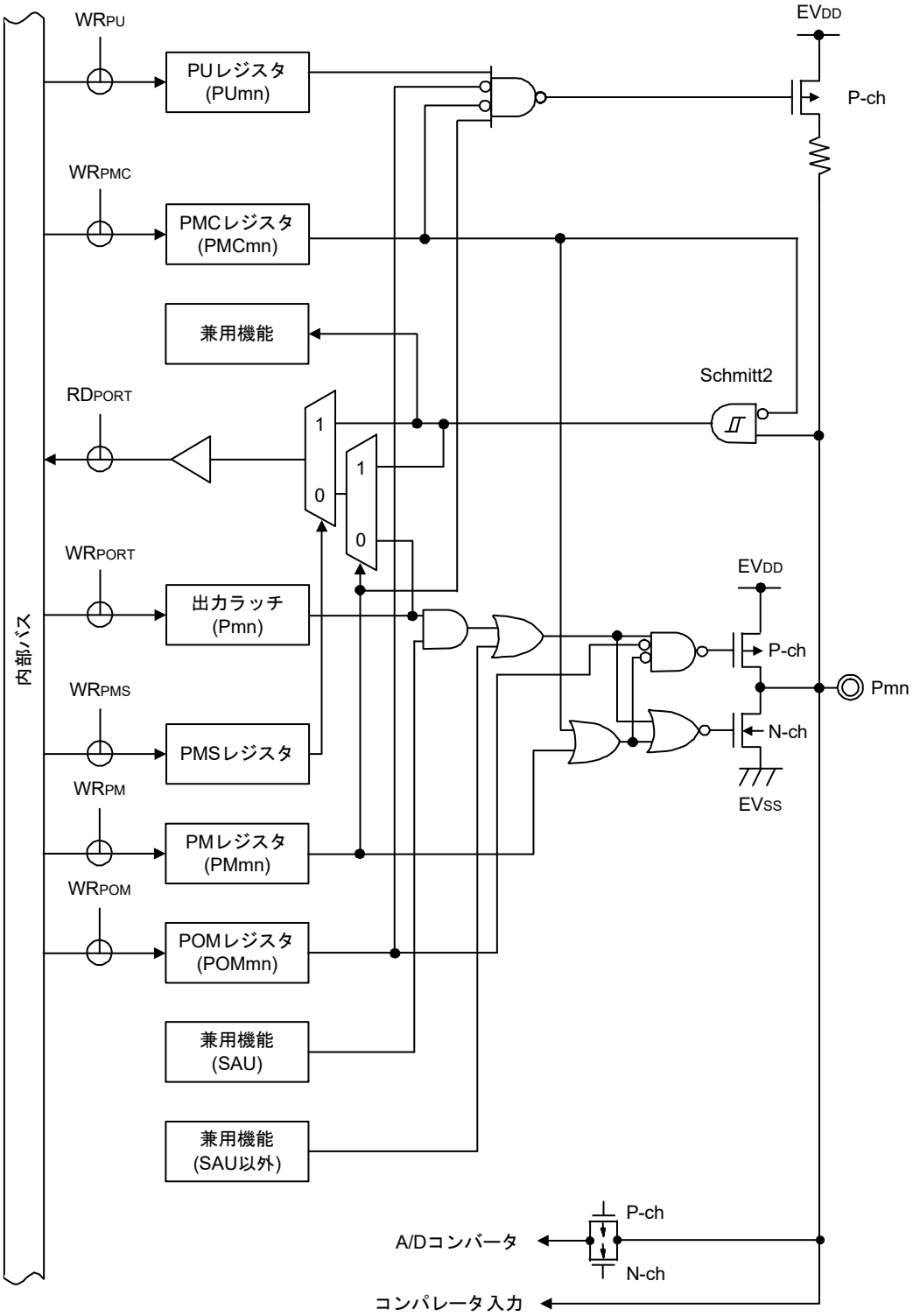


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

備考1. 兼用機能は，2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 9 端子タイプ7-9-4の端子ブロック図

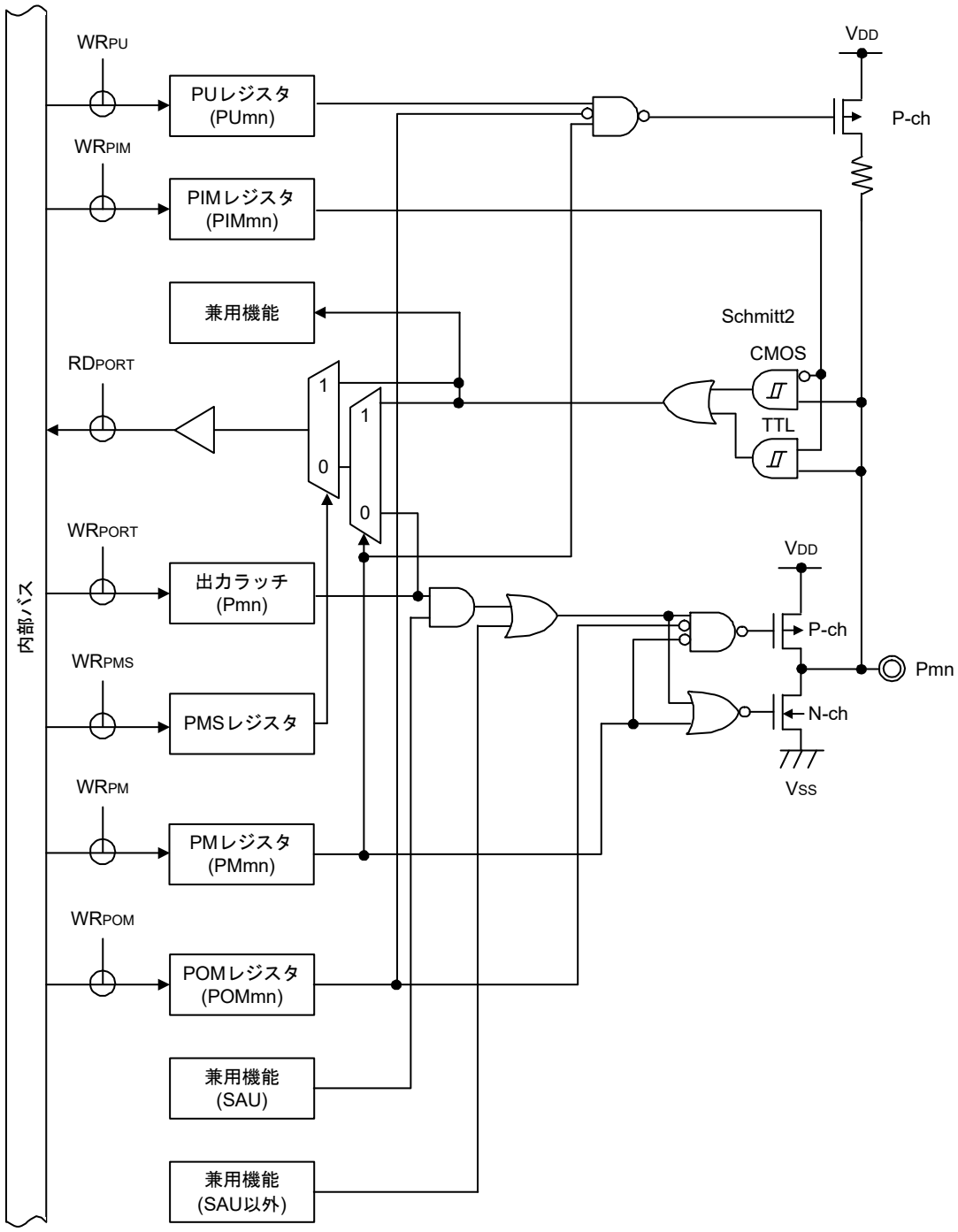


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

備考1. 兼用機能は，2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 10 端子タイプ8-1-4の端子ブロック図



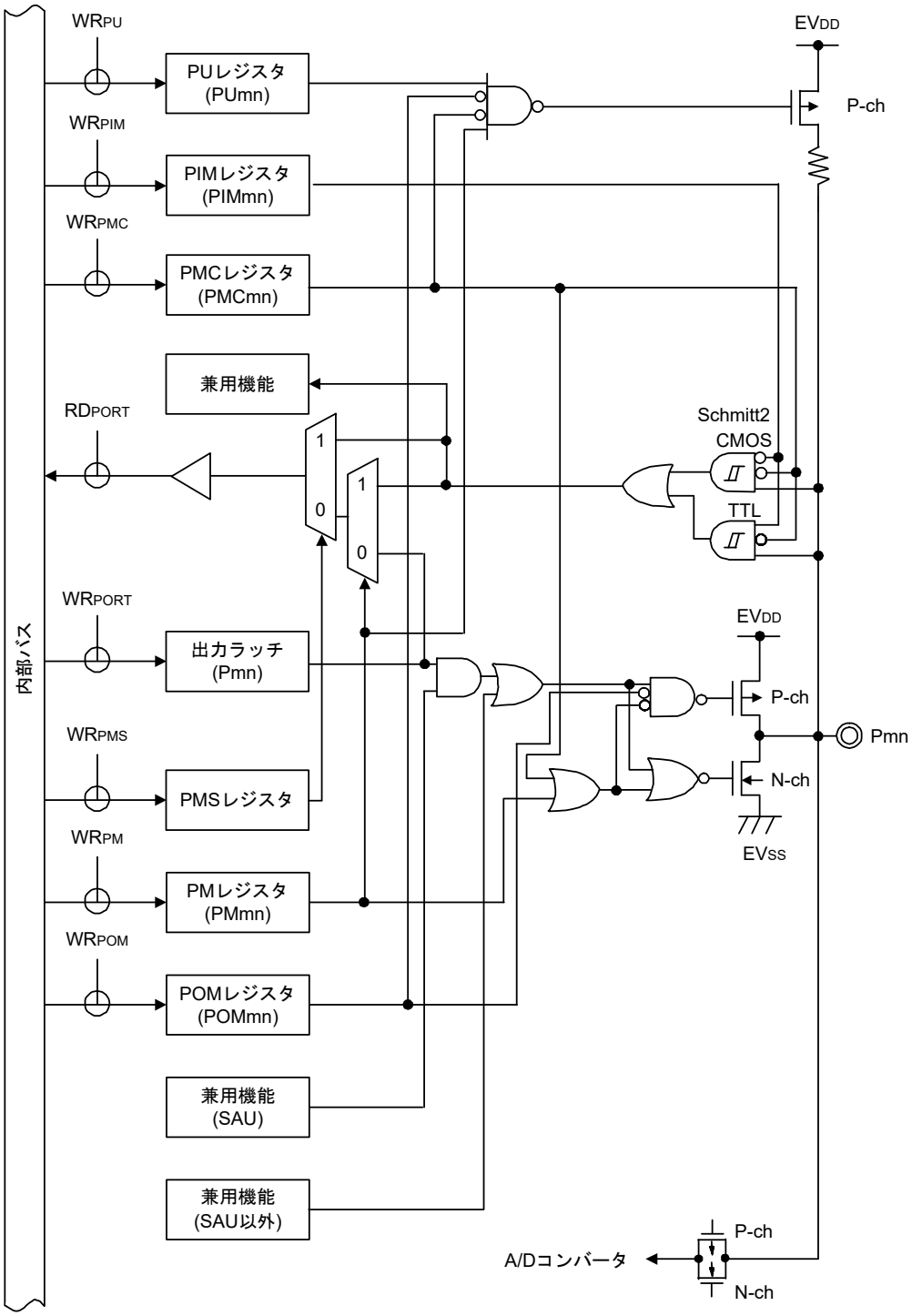
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し，ハイレベルを入力している場合，TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには，ローレベルを入力してください。

備考1. 兼用機能は，2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 11 端子タイプ8-3-4の端子ブロック図



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し，ハイレベルを入力している場合，TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには，ローレベルを入力してください。

備考1. 兼用機能は，2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

第3章　CPUアーキテクチャ

RL78/G11は, RL78-S3 CPUコアを搭載するマイクロコントローラです。

RL78-S3のCPUコアは，命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに，フェッチ，デコード，メモリ・アクセスの3段パイプライン制御を採用することで，従来のCPUコアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とする様々なアプリケーションに対して，高性能かつ高速な命令処理で応えることができます。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ×8本
- 命令の種類：81種類

以下の乗除算命令は, RL78-S3コアにのみあります。

MULHU (符号なし16ビット乗算)
MULH (符号付き16ビット乗算)
DIVHU (符号なし16ビット除算)
DIVWU (符号なし32ビット除算)
MACHU (符号なし積和算(16ビット×16ビット)+32ビット)
MACH (符号付き積和算(16ビット×16ビット)+32ビット)

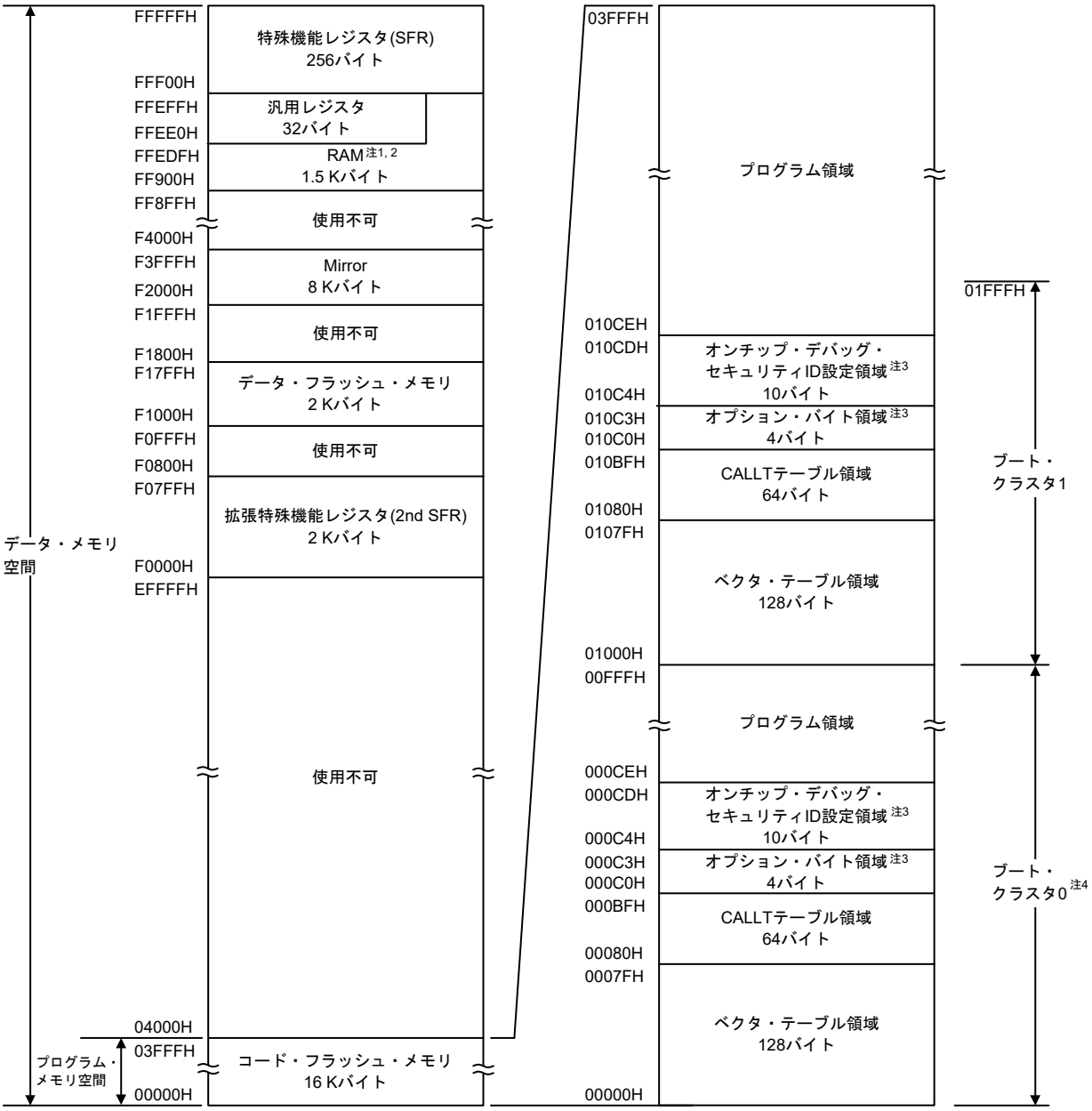
- データ配置：リトル・エンディアン

RL78/G11はOCDトレース機能をサポートしません。

3.1 メモリ空間

RL78/G11は，1 Mバイトのアドレス空間をアクセスできます。図3 - 1にメモリ・マップを示します。

図3 - 1 メモリ・マップ



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。また，フラッシュ・ライブラリがFF900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は，RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト（R20UT2943）を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

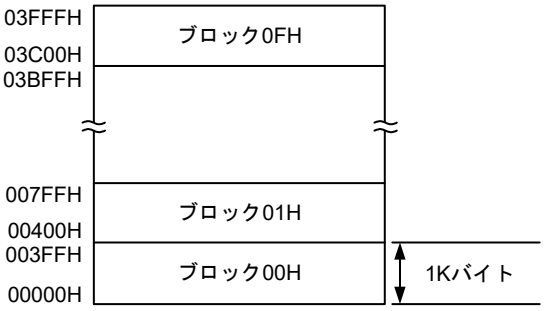
注3. ブート・スワップ未使用時 :000C0H-000C3H にオプション・バイト，000C4H-000CDH にオンチップ・デバッグ・セキュリティ IDを設定

ブート・スワップ使用時： 000C0H-000C3H, 010C0H-010C3Hにオプション･バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID設定

注4.　セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます(31.7　セキュリティ設定を参照)。

注意　RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により，RAM パリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は，28.3.3　RAM パリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック=1Kバイト)。アドレス値とブロック番号については，表3-1のフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	02000H-023FFH	08H
00400H-007FFH	01H	02400H-027FFH	09H
00800H-00BFFH	02H	02800H-02BFFH	0AH
00C00H-00FFFH	03H	02C00H-02FFFH	0BH
01000H-013FFH	04H	03000H-033FFH	0CH
01400H-017FFH	05H	03400H-037FFH	0DH
01800H-01BFFH	06H	03800H-03BFFH	0EH
01C00H-01FFFH	07H	03C00H-03FFFH	0FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G11は，次に示す内部ROM (フラッシュ・メモリ) を内蔵しています。

表3 - 2 内部ROM容量

内部ROM	
構造	容量
フラッシュ・メモリ	16384 × 8ビット(00000H-03FFFH)

内部プログラム・メモリ空間には，次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトとしているため，割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には，01000H-0107FHにもベクタ・テーブルを設定してください。

表3 - 3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

表3 - 3 ベクタ・テーブル（1/2）

ベクタ・テーブル・アドレス	割り込み要因	25ピン	24ピン	20ピン	16ピン	10ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○
00004H	INTWDTI	○	○	○	○	○
	INTSRO	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○
00008H	INTP0	○	○	○	○	−
0000AH	INTP1	○	○	○	○	○
0000CH	INTP2	○	○	○	○	−
0000EH	INTP3	○	○	○	○	−
00010H	INTP4	○	○	○	○	−
00012H	INTP5	○	○	○	−	−
00014H	INTP6	○	○	−	−	−
00016H	INTST0	○	○	○	○	−
	INTCSI00	○	○	○	−	−
	INTIIC00	○	○	○	−	−
00018H	INTSR0	○	○	○	○	−
	INTCSI01	○	○	−	−	−
	INTIIC01	○	○	−	−	−
0001EH	INTSRE0	○	○	○	○	−
00020H	INTTM00	○	○	○	○	○
00022H	INTST1	○	○	○	○	○
	INTCSI10	○	○	○	○	○
	INTIIC10	○	○	○	−	−
00024H	INTSR1	○	○	○	○	○
	INTCSI11	○	○	○	○	−
	INTIIC11	○	○	○	○	−
00026H	INTSRE1	○	○	○	○	○
00028H	INTIICA0	○	○	○	○	−
0002AH	INTTM01H	○	○	○	○	○
0002CH	INTTM03H	○	○	○	○	○
0002EH	INTTM01	○	○	○	○	○
00030H	INTTM02	○	○	○	○	○
00032H	INTTM03	○	○	○	○	○

表3 - 3 ベクタ・テーブル（2/2）

ベクタ・テーブル・アドレス	割り込み要因	25ピン	24ピン	20ピン	16ピン	10ピン
00034H	INTAD	○	○	○	○	○
00036H	INTIT	○	○	○	○	○
00038H	INTKR	○	○	○	○	−
0003AH	INTP7	○	○	−	−	−
0003CH	INTP8	○	○	−	−	−
0003EH	INTP9	○	○	○	○	○
00040H	INTP10	○	○	○	○	○
00042H	INTP11	○	○	○	○	−
00044H	INTCMP0	○	○	○	○	○
00046H	INTCMP1	○	○	○	○	−
00048H	INTDOC	○	○	○	○	○
0004AH	INTIT00	○	○	○	○	○
0004CH	INTIT01	○	○	○	○	○
0004EH	INTTMKB0	○	○	○	○	○
00050H	INTIICA1	○	○	○	−	−
00052H	INTFL	○	○	○	○	○
00054H	INTFO	○	○	○	○	○
0007EH	BRK	○	○	○	○	○

(2)　CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には，01080H-010BFHにもCALLT命令テーブルを設定してください。

(3)　オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第30章　オプション・バイトを参照してください。

(4)　オンチップ・デバッグ・セキュリティIDの設定領域

000C4H-000CDH，010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティIDの設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに，ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第32章　オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

RL78/G11では，00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています(プロセッサ・モード・コントロール・レジスタ(PMC)で設定)。

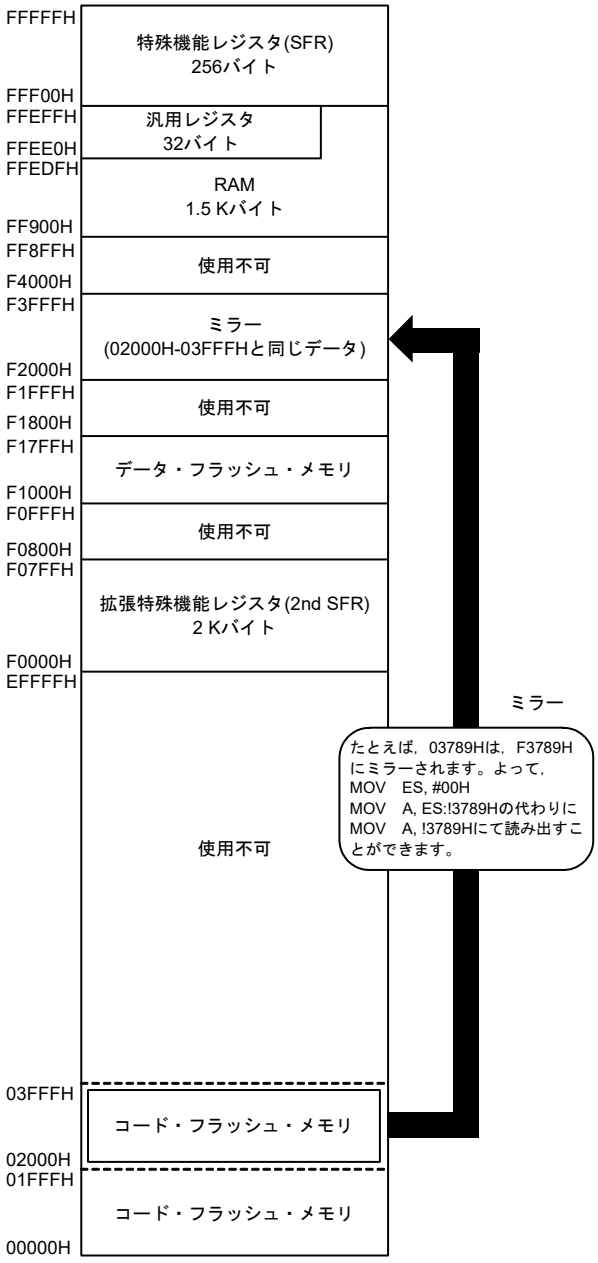
ミラー先のF0000H-FFFFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，特殊機能レジスタ(SFR)，拡張特殊機能レジスタ(2nd SFR)，RAM領域，データ・フラッシュ・メモリ領域，使用不可領域にはミラーされません。

各製品のミラー領域は，3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で，命令フェッチはできません。

次に例を示します。

例



次に，PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ(PMC)

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図3 - 2 プロセッサ・モード・コントロール・レジスタ(PMC)のフォーマット

アドレス：FFFFEH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	設定禁止

注意1. 必ずビット0 (MAA)を0 (初期値)でご使用ください。

注意2. PMCレジスタの設定後，1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/G11は，次に示すRAMを内蔵しています。

表3 - 4 内部RAM容量

内部RAM
1536 × 8ビット(FF900H-FFEFFH)

内部RAMは，データ領域として使用できるほか，プログラム領域として命令を実行することができます(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。

また，スタック・メモリは内部RAMを使用します。

注意1. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFH)は，命令フェッチやスタックの領域に使用できません。

注意2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注意3. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合，フラッシュ・ライブラリがFF900Hから一部のRAM領域を使用します。
フラッシュ・ライブラリが使用するRAM領域は，RL78 ファミリセルフプログラミングライブラリセルフRAMリスト（R20UT2943）を参照してください。

3.1.4 特殊機能レジスタ(SFR：Special Function Register)領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ(SFR)が割り付けられています(3.2.4 特殊機能レジスタ(SFR：Special Function Register)の表3 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ(2nd SFR：2nd Special Function Register)領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ(2nd SFR)が割り付けられています(3.2.5 拡張特殊機能レジスタ(2nd SFR：2nd Special Function Register)の表3 - 6参照)。

注意1. 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

注意2. 拡張SFR (2nd SFR)の一部の領域F0500H-F0515Hに配置している8ビット・インターバル・タイマ・カウンタ・レジスタ0 (TRT0)，8ビット・インターバル・タイマ・カウンタ・レジスタ1 (TRT1)，DOCコントロールレジスタ(DOCR)，DOCデータインプットレジスタ(DODIR)，DOCデータセッティングレジスタ(DODSR)へのアクセス時に，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。8ビット・インターバル・タイマ・カウンタ・レジスタ0 (TRT0)，8ビット・インターバル・タイマ・カウンタ・レジスタ1 (TRT1)，DOCコントロールレジスタ(DOCR)，DOCデータインプットレジスタ(DODIR)，DOCデータセッティングレジスタ(DODSR)アクセス時のウエイト・クロック数は，リード，ライトともに1クロックです。

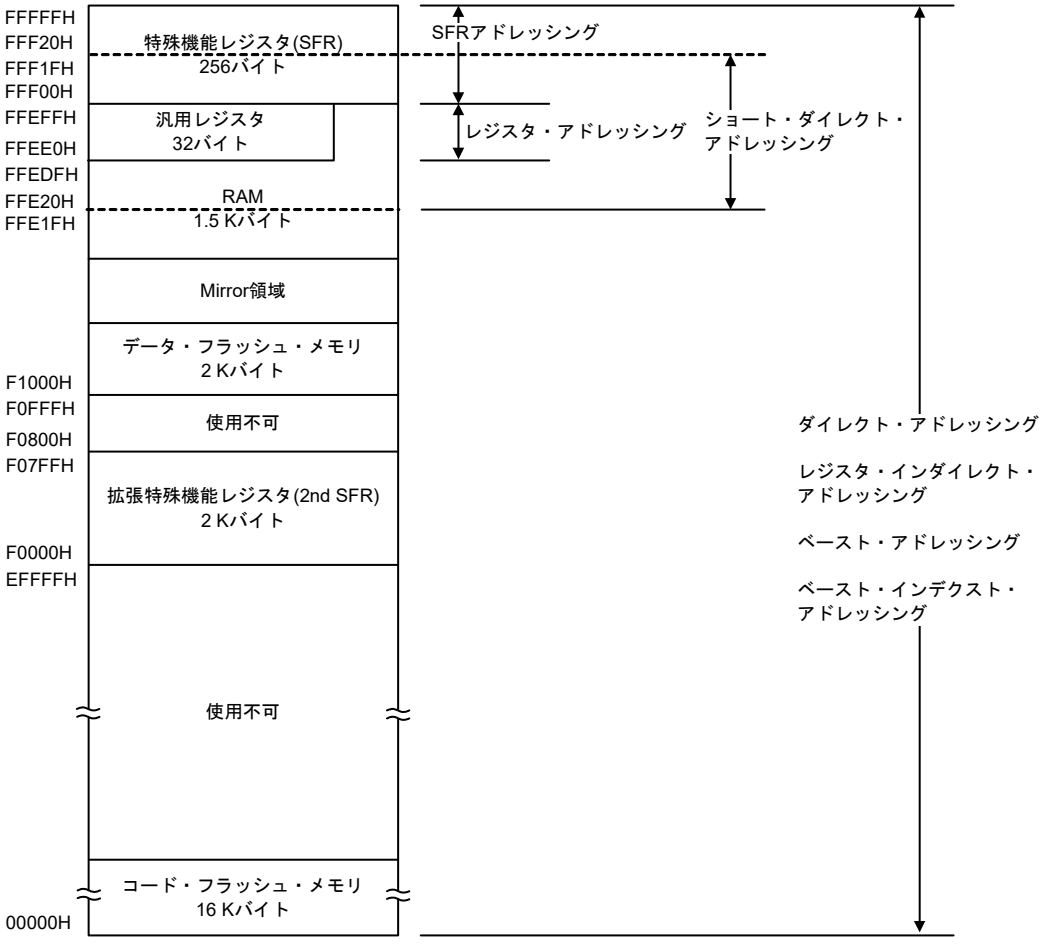
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/G11では，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ (SFR) や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3 - 3にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については，「3.4 処理データ・アドレスに対するアドレッシング」を参照してください。

図3 - 3 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/G11は，次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ(PC)，プログラム・ステータス・ワード(PSW)，スタック・ポインタ(SP)があります。

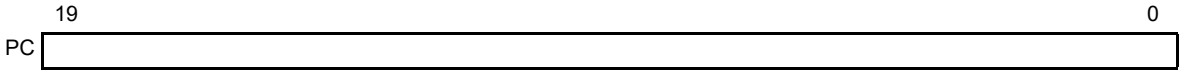
(1) プログラム・カウンタ(PC)

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 4 プログラム・カウンタの構成



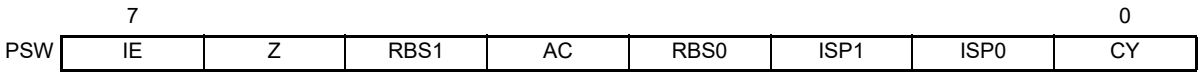
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3 - 5 プログラム・ステータス・ワードの構成



(a)割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このとき割り込み要求の受け付けは，インサービス・プライオリティ・フラグ(ISP1, ISP0)，各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット(0)され，EI命令の実行によりセット(1)されます。

(b)ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され，それ以外のときにリセット(0)されるフラグです。

(c)レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d)補助キャリー・フラグ(AC)

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット(1)され，それ以外のときリセット(0)されるフラグです。

(e)インサービス・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ(PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (22.3.3参照)でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際に割り込み要求が受け付けられるかどうかは，割り込み許可フラグ(IE)の状態により制御されます。

備考n = 0, 1

(f)キャリー・フラグ(CY)

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 6 スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは，スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ，スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。

注意2. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFH)は，命令フェッチやスタックの領域に使用できません。

注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

3.2.2 汎用レジスタ

汎用レジスタは，データ・メモリの特定番地(FFEE0H-FFEFFH)にマッピングされており，8ビット・レジスタ8個(X, A, C, B, E, D, L, H)を1バンクとして4バンクのレジスタで構成されています。

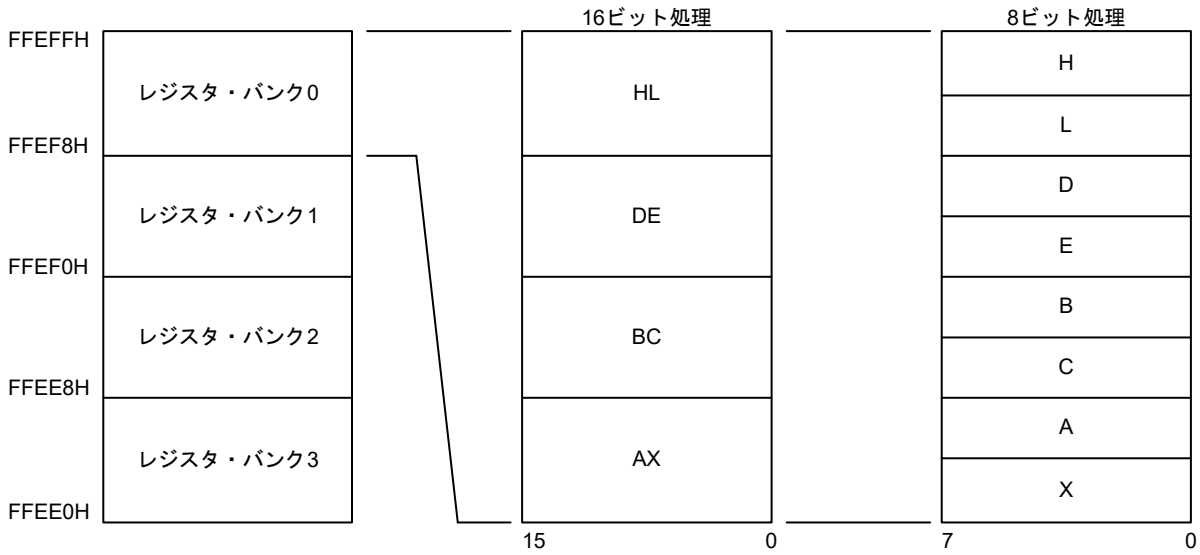
各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます(AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは，CPU制御命令(SEL RBn)によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えすれば，効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は，命令フェッチやスタックの領域に使用できません。

図3 - 7 汎用レジスタの構成

(a)機能名称



3.2.3 ES, CSレジスタ

ESレジスタでデータ・アクセス，CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の，それぞれ上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

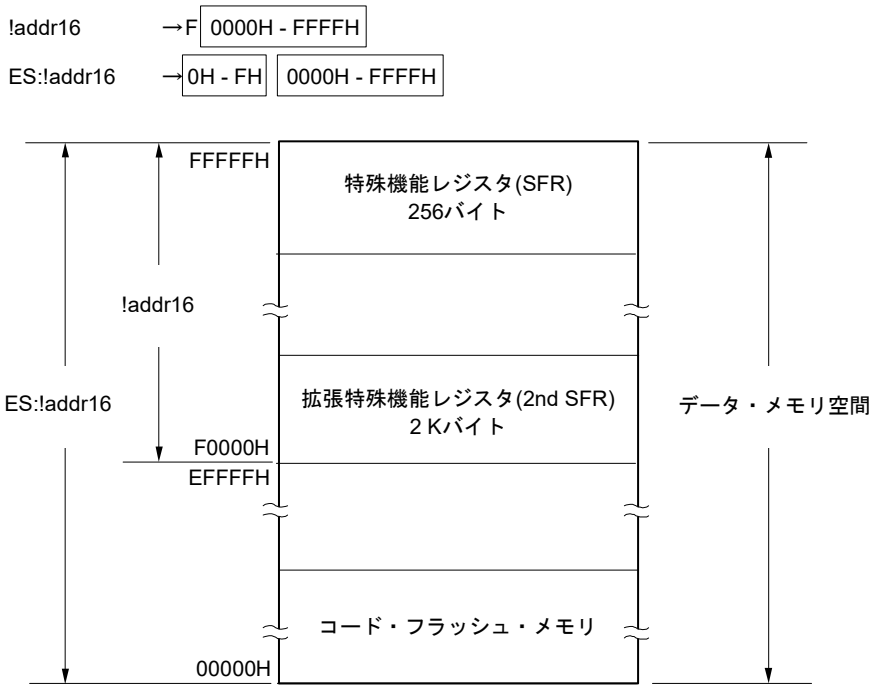
図3 - 8 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16 ビット・アドレスでアクセスできるデータ領域は，F0000H-FFFFFHの64 Kバイト空間ですが，ES: を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3 - 9 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ(SFR：Special Function Register)

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド(sfr.bit)には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

・8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表3 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W ：読み出し／書き込みがともに可能

R ：読み出しのみ可能

W ：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については，3.2.5 拡張特殊機能レジスタ(2nd SFR：2nd Special Function Register)を参照してください。

表3 - 5 特殊機能レジスタ(SFR)一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R	○	○	—	不定
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	—	○	—	00H
FFF37H	キー・リターン・モード・レジスタ0	KRM0		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	—	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	—	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	—	00H
FFF3CH	D/A変換値設定レジスタ0	DACS0		R/W	—	○	—	00H
FFF3DH	D/A変換値設定レジスタ1	DACS1		R/W	—	○	—	00H

表3 - 5 特殊機能レジスタ(SFR)一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF3EH	D/Aコンバータ・モード・レジスタ	DAM		R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ	IICF0		R/W	○	○	—	00H
FFF54H	IICAシフト・レジスタ1	IICA1		R/W	—	○	—	00H
FFF55H	IICAステータス・レジスタ1	IICS1		R	○	○	—	00H
FFF56H	IICAフラグ・レジスタ1	IICF1		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○		00H
FFF90H	12ビット・インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	—	—	○	0FFFH
FFF91H								
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	—	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL		R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定注1
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H注1
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	注3
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	1AH/9AH注2
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W	○	○		FFH

表3 - 5 特殊機能レジスタ(SFR)一覧(3/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH		PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ(L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ(H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

注1. リセット要因により，次のように異なります。

レジスタ ＼ リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア(0)		セット(1)	保持			保持
	WDTRF			保持	セット(1)	保持		
	RPERF			保持		セット(1)	保持	
	IAWRF			保持			セット(1)	
	LVIRF			保持				セット(1)
LVIM	LVISEN	クリア(0)						保持
	LVIOMSK	保持						
	LVIF							

注2. WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

注3. LVISレジスタのリセット値は，オプション・バイトの設定で決定します。

備考 拡張SFR (2nd SFR)については，表3 - 6 拡張SFR (2nd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR：2nd Special Function Register)

拡張SFR (2nd SFR)は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張 SFR は，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

  1ビット操作命令のオペランド(!addr16.bit)には，次のような記述をしてください。

  ビット名称が定義されている場合：<ビット名称>

  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

  8ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

  16ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

  拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

  該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

  R/W ：読み出し／書き込みがともに可能

  R ：読み出しのみ可能

  W ：書き込みのみ可能

- 操作可能ビット単位

  操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

  リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR 領域の SFR については，3.2.4 特殊機能レジスタ (SFR：Special Function Register) を参照してください。

表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(1/7)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	20H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロール・レジスタ2	PMC2	R/W	○	○	—	FFH
F0063H	ポート・モード・コントロール・レジスタ3	PMC3	R/W	○	○	—	FFH
F0065H	ポート・モード・コントロール・レジスタ5	PMC5	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	周辺I/Oリダイレクション・レジスタ2	PIOR2	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	—	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F007CH	周辺I/Oリダイレクション・レジスタ3	PIOR3	R/W	—	○	—	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H

表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(2/7)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM		R/W	—	○	—	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV		R/W	—	○	—	不定注2
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE		R/W	○	○	—	不定注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP		R/W	○	○	—	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	—	00H
F00F1H	周辺リセット制御レジスタ0	PRR0		R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV		R/W	—	○	—	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	○	○	–	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	—	00H
F00F8H	レギュレータ・モード制御レジスタ	PMMC		R/W	○	○	—	00H
F00FAH	周辺イネーブル・レジスタ1	PER1		R/W	○	○	—	00H
F00FBH	周辺リセット制御レジスタ1	PRR1		R/W	○	○	—	00H
F00FCH	周辺イネーブル・レジスタ2	PER2		R/W	○	○	—	00H
F00FDH	周辺リセット制御レジスタ2	PRR2		R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	—	○	—	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—	—		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—	—		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—	—		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—	—		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—	—		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—	—		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—	—		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—	—		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

注3. FLMODEレジスタのリセット値は，オプション・バイトの設定で決定します。

表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(3/7)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	—	—	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	—	—	○	0000H
F0193H								

表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(4/7)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	—	—	○	0000H
F0197H								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F0230H	IICA コントロール・レジスタ 00	IICCTL00		R/W	○	○	—	00H
F0231H	IICA コントロール・レジスタ 01	IICCTL01		R/W	○	○	—	00H
F0232H	IICA ロウ・レベル幅設定レジスタ 0	IICWL0		R/W	—	○	—	FFH
F0233H	IICA ハイ・レベル幅設定レジスタ 0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ 0	SVA0		R/W	—	○	—	00H
F0238H	IICA コントロール・レジスタ 10	IICCTL10		R/W	○	○	—	00H
F0239H	IICA コントロール・レジスタ 11	IICCTL11		R/W	○	○	—	00H
F023AH	IICA ロウ・レベル幅設定レジスタ 1	IICWL1		R/W	—	○	—	FFH
F023BH	IICA ハイ・レベル幅設定レジスタ 1	IICWH1		R/W	—	○	—	FFH
F023CH	スレーブ・アドレス・レジスタ 1	SVA1		R/W	—	○	—	00H
F0240H	イベント出力先選択レジスタ00	ELSELR00		R/W	—	○	—	00H
F0241H	イベント出力先選択レジスタ01	ELSELR01		R/W	—	○	—	00H

表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(5/7)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0242H	イベント出力先選択レジスタ02	ELSELR02		R/W	—	○	—	00H
F0243H	イベント出力先選択レジスタ03	ELSELR03		R/W	—	○	—	00H
F0244H	イベント出力先選択レジスタ04	ELSELR04		R/W	—	○	—	00H
F0245H	イベント出力先選択レジスタ05	ELSELR05		R/W	—	○	—	00H
F0246H	イベント出力先選択レジスタ06	ELSELR06		R/W	—	○	—	00H
F0247H	イベント出力先選択レジスタ07	ELSELR07		R/W	—	○	—	00H
F0248H	イベント出力先選択レジスタ08	ELSELR08		R/W	—	○	—	00H
F0249H	イベント出力先選択レジスタ09	ELSELR09		R/W	—	○	—	00H
F024AH	イベント出力先選択レジスタ10	ELSELR10		R/W	—	○	—	00H
F024BH	イベント出力先選択レジスタ11	ELSELR11		R/W	—	○	—	00H
F024CH	イベント出力先選択レジスタ12	ELSELR12		R/W	—	○	—	00H
F024DH	イベント出力先選択レジスタ13	ELSELR13		R/W	—	○	—	00H
F024EH	イベント出力先選択レジスタ14	ELSELR14		R/W	—	○	—	00H
F024FH	イベント出力先選択レジスタ15	ELSELR15		R/W	—	○	—	00H
F0250H	イベント出力先選択レジスタ16	ELSELR16		R/W	—	○	—	00H
F0251H	イベント出力先選択レジスタ17	ELSELR17		R/W	—	○	—	00H
F02D4H	タイマ・クロック選択レジスタ2	TPS2		R/W	—	○	—	00H
F02D5H	タイマ・クロック選択レジスタ3	TPS3		R/W	—	○	—	00H
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR		R/W	—	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0		R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1		R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2		R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	—	—	○	0000H
F0340H	コンパレータモード設定レジスタ	COMPMDR		R/W	○	○	—	00H
F0341H	コンパレータフィルタ制御レジスタ	COMPFIR		R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR		R/W	○	○	—	00H
F0348H	コンパレータ入力選択レジスタ	COMPISEL		R/W	○	○	—	00H
F0349H	PGA制御レジスタ	PGACTL		R/W	○	○	—	00H
F0350H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00	TRTCMP0	R/W	—	○	○	FFH
F0351H	8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01		R/W	—	○		FFH
F0352H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0		R/W	○	○	—	00H

表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(6/7)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0353H	8ビット・インターバル・タイマ・分周レジスタ0	TRTMD0	R/W	—	○	—	00H
F0400H F0401H	16ビット・タイマKBコンペア・レジスタ00	TKBCR00	R/W	—	—	○	0000H
F0402H F0403H	16ビット・タイマKBコンペア・レジスタ01	TKBCR01	R/W	—	—	○	0000H
F0404H F0405H	16ビット・タイマKBコンペア・レジスタ02	TKBCR02	R/W	—	—	○	0000H
F0406H F0407H	16ビット・タイマKBコンペア・レジスタ03	TKBCR03	R/W	—	—	○	0000H
F0408H F0409H	16ビット・タイマKBトリガ・コンペア・レジスタ0	TKBTGCR0	R/W	—	—	○	0000H
F040AH F040BH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ00	TKBSIR00	R/W	—	—	○	0000H
F040CH F040DH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ01	TKBSIR01	R/W	—	—	○	0000H
F040EH	16ビット・タイマKBディザリング数レジスタ00	TKBDNR00	R/W	—	○	—	00H
F040FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ00	TKBSSR00	R/W	—	○	—	00H
F0410H	16ビット・タイマKBディザリング数レジスタ01	TKBDNR01	R/W	—	○	—	00H
F0411H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ01	TKBSSR01	R/W	—	○	—	00H
F0412H	16ビット・タイマKBトリガ・レジスタ0	TKBTRG0	W	○	○	—	00H
F0413H	16ビット・タイマKBフラグ・レジスタ0	TKBFLG0	R	○	○	—	00H
F0414H F0415H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ00	TKBCRLD00	R/W	—	—	○	0000H
F0416H F0417H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ01	TKBCRLD01	R/W	—	—	○	0000H
F0420H F0421H	16ビット・タイマ・カウンタKB0	TKBCNT0	R	—	—	○	FFFFH
F0422H F0423H	16ビット・タイマKB動作制御レジスタ00	TKBCTL00	R/W	—	—	○	0000H
F0424H F0425H	16ビット・タイマKB最大周波数リミット設定レジスタ0	TKBMFR0	R/W	—	—	○	0000H

表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(7/7)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0426H	16ビット・タイマKB出力制御レジスタ00	TKBIOC00		R/W	○	○	—	00H
F0427H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ0	TKBCLR0		W	○	○	—	00H
F0428H	16ビット・タイマKB出力制御レジスタ01	TKBIOC01		R/W	○	○	—	00H
F0429H	16ビット・タイマKB動作制御レジスタ01	TKBCTL01		R/W	○	○	—	00H
F0430H	強制出力停止機能制御レジスタ00	TKBPACTL00		R/W	—	—	○	0000H
F0431H								
F0432H	強制出力停止機能制御レジスタ01	TKBPACTL01		R/W	—	—	○	0000H
F0433H								
F0434H	強制出力停止機能スタート・トリガ・レジスタ0	TKBPAHFS0		W	○	○	—	00H
F0435H	強制出力停止機能ストップ・トリガ・レジスタ0	TKBPAHFT0		W	○	○	—	00H
F0436H	強制出力停止機能フラグ・レジスタ0	TKBPAFLG0		R	○	○	—	00H
F0437H	強制出力停止機能制御レジスタ02	TKBPACTL02		R/W	○	○	—	00H
F0440H	周辺機能切り替えレジスタ0	PFSEL0		R/W	○	○	—	00H
F0441H	外部割り込みエッジ許可レジスタ	INTPEG		R/W	○	○	—	00H
F0448H	割り込みフラグ許可レジスタ	INTFE		R/W	○	○	—	00H
F0449H	割り込みフラグ出力制御レジスタ0	INTFOCTL0		R/W	○	○	—	00H
F044AH	割り込みフラグ出力制御レジスタ1	INTFOCTL1		R/W	○	○	—	00H
F0500H	8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00	TRT0	R	—	○	○	00H
F0501H	8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01		R	—	○		00H
F0511H	DOCコントロールレジスタ	DOCR		R/W	○	○	—	00H
F0512H	DOCデータインプットレジスタ	DODIR		R/W	—	—	○	0000H
F0514H	DOCデータセッティングレジスタ	DODSR		R/W	—	—	○	0000H

備考 SFR領域のSFRについては，表3 - 5 SFR一覧を参照してください。

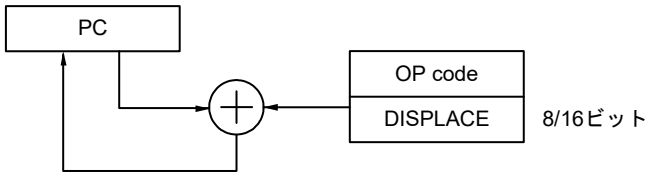
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ(PC)の値(次に続く命令の先頭アドレス)に対し，命令語に含まれるディスプレースメント値(符号付きの補数データ：-128～+127または-32768～+32767)を加算した結果を，プログラム・カウンタ(PC)に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 10 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 11 CALL !!addr20/BR !!addr20の例

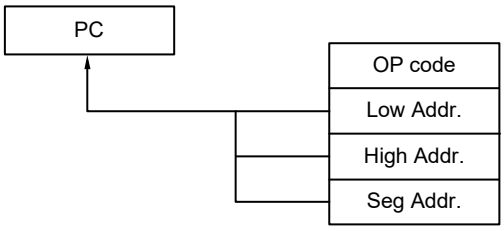
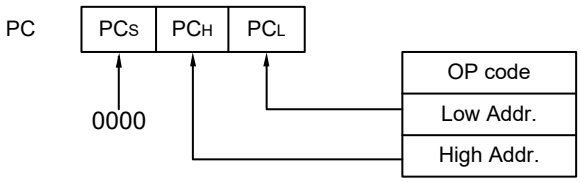


図3 - 12 CALL !addr16/BR !addr16の例



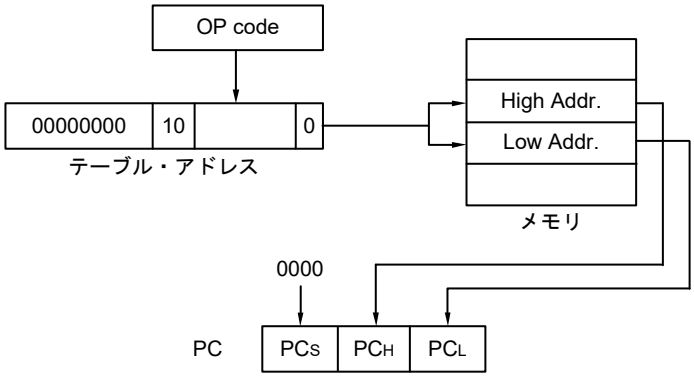
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは，00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 13 テーブル・インダイレクト・アドレッシングの概略

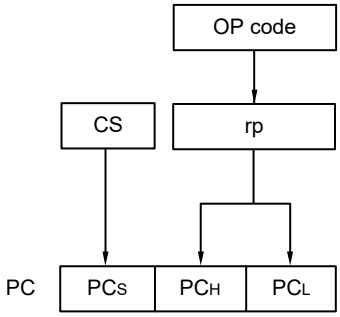


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア(AX/BC/DE/HL)とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ(PC)に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 14 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

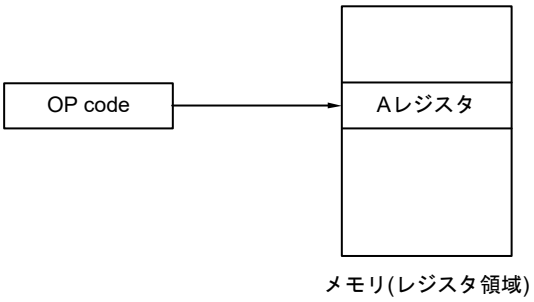
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 15 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

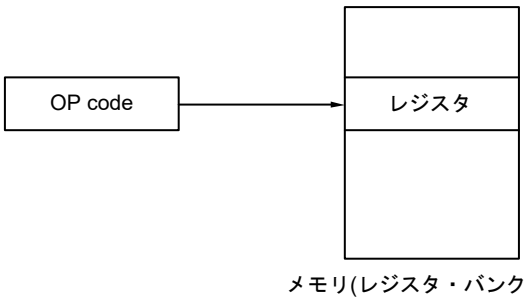
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット，16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X，A，C，B，E，D，L，H
rp	AX，BC，DE，HL

図3 - 16 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 17 !addr16の例

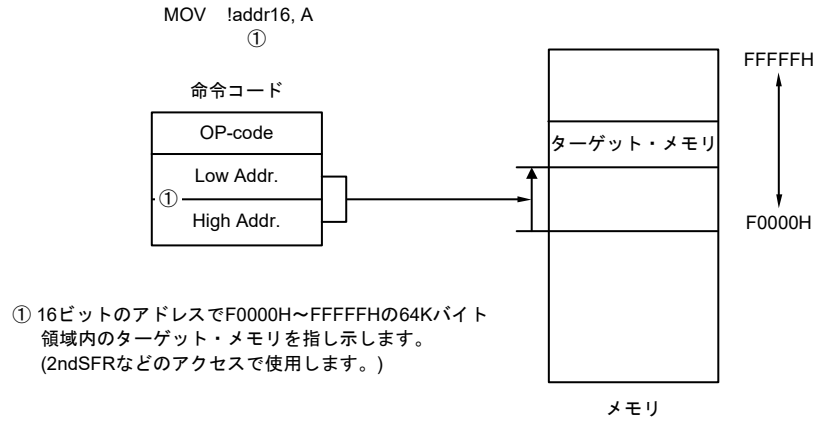
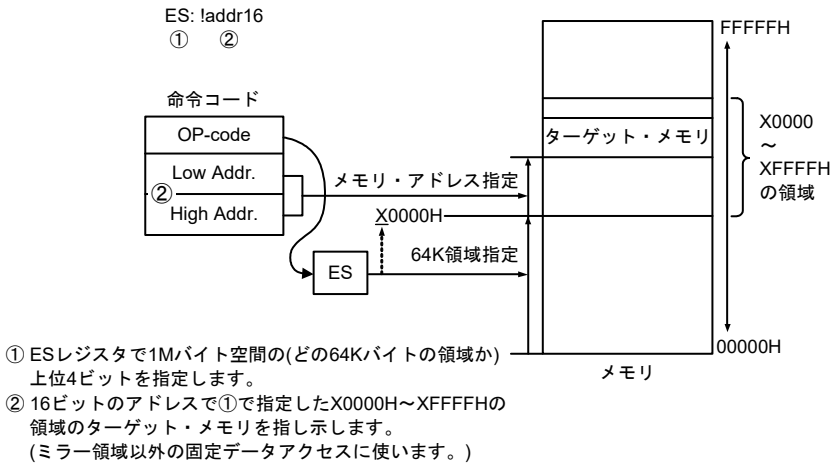


図3 - 18 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

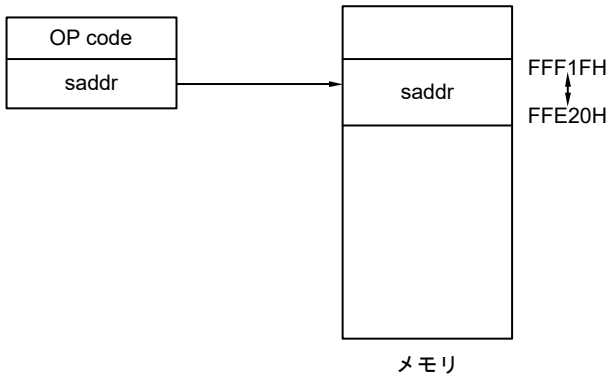
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ(偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 19 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは，(実アドレスの上位4ビット・アドレスを省略した)16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

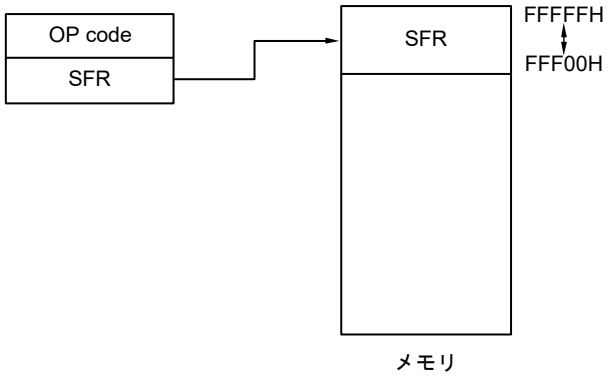
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名(偶数アドレス)

図3 - 20 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE]，[HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE]，ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 21 [DE]，[HL]の例

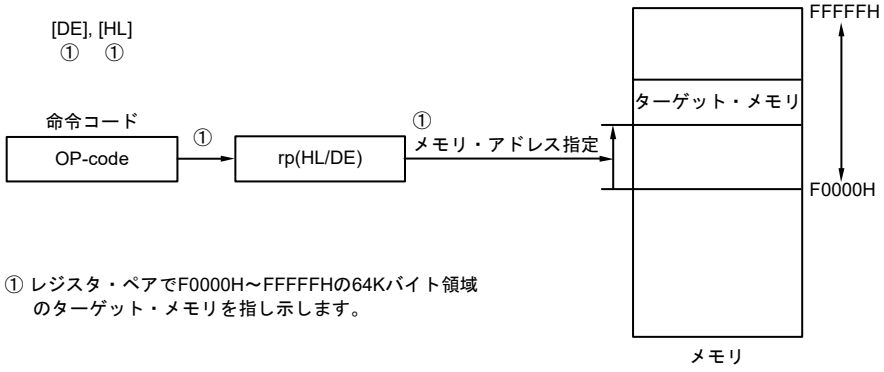
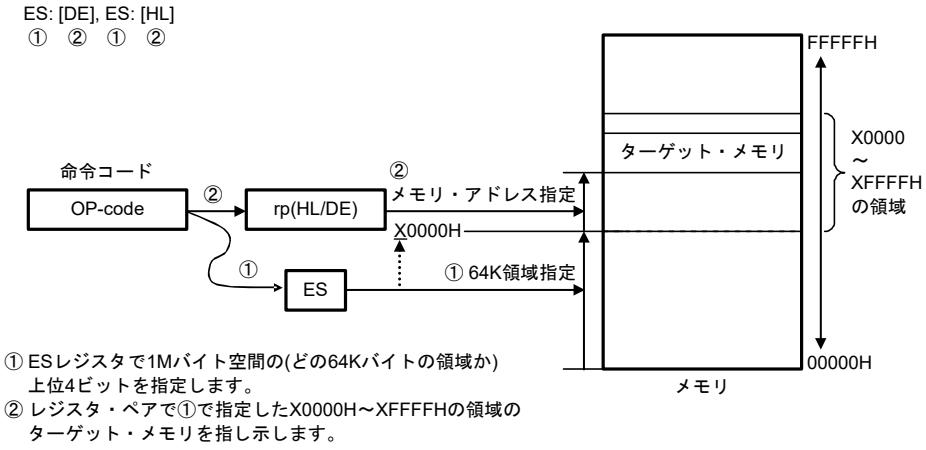


図3 - 22 ES:[DE]，ES:[HL]の例



3.4.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16 ビットのイミーディエト・データをベース・アドレスとし，8 ビット・イミーディエト・データまたは16 ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte]，[DE + byte]，[SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B]，word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte]，ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B]，ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 23 [SP + byte]の例

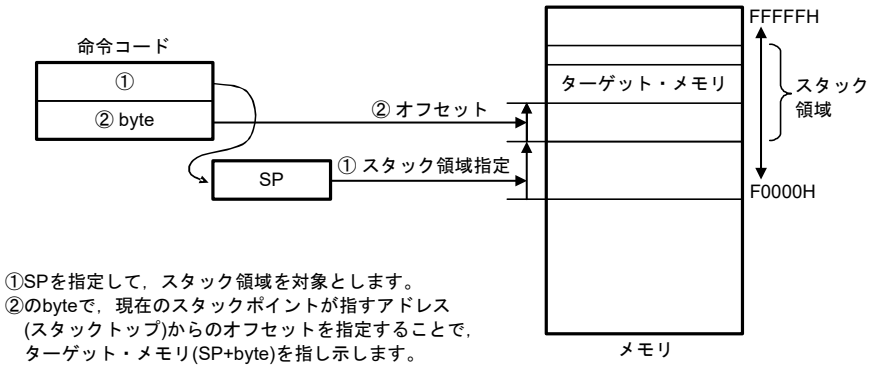


図3 - 24 [HL + byte]，[DE + byte]の例

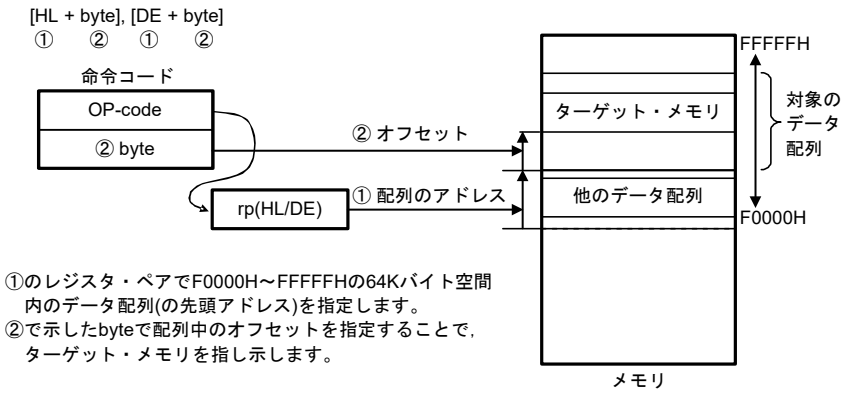


図3 - 25 word[B]，word[C]の例

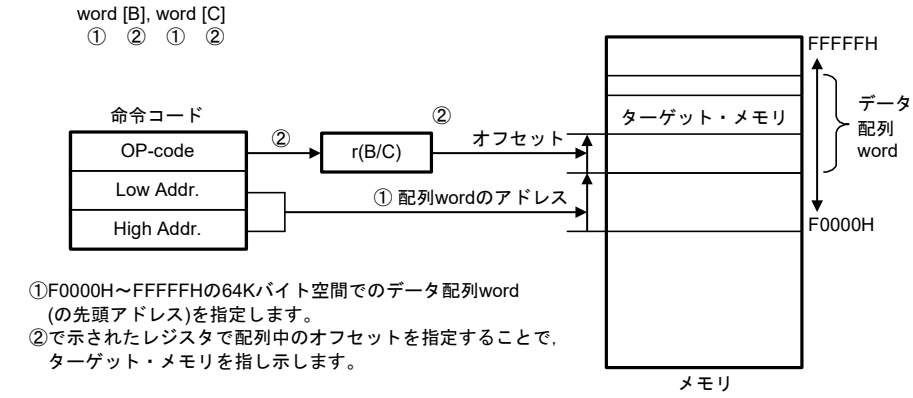


図3 - 26 word[BC]の例

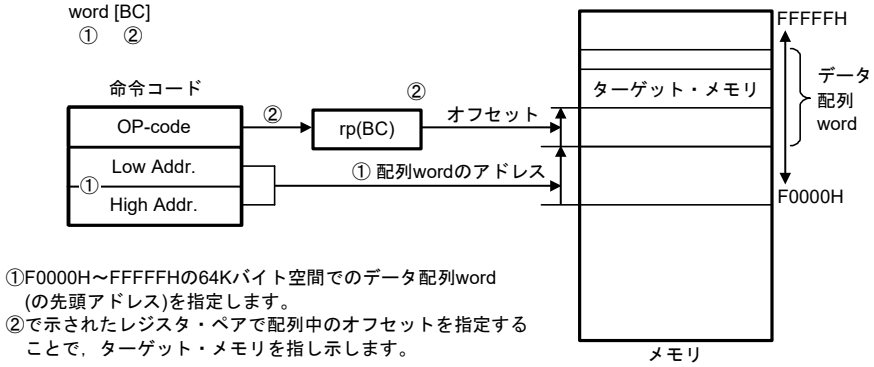
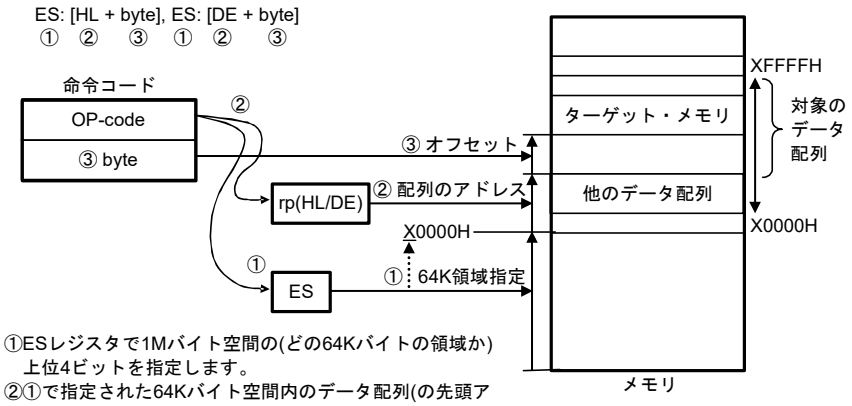
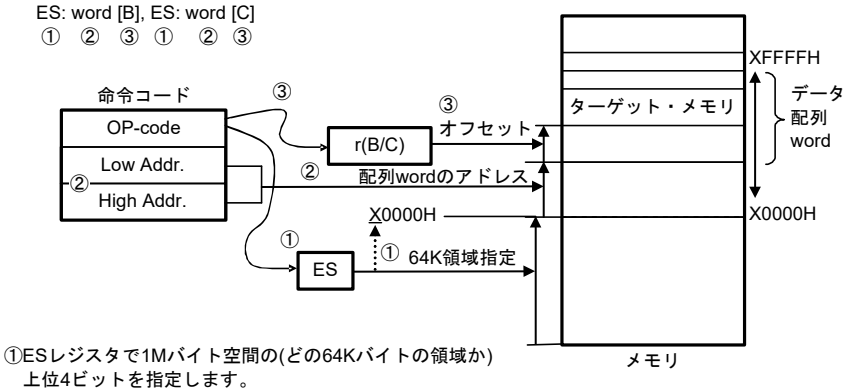


図3 - 27 ES:[HL + byte], ES:[DE + byte]の例



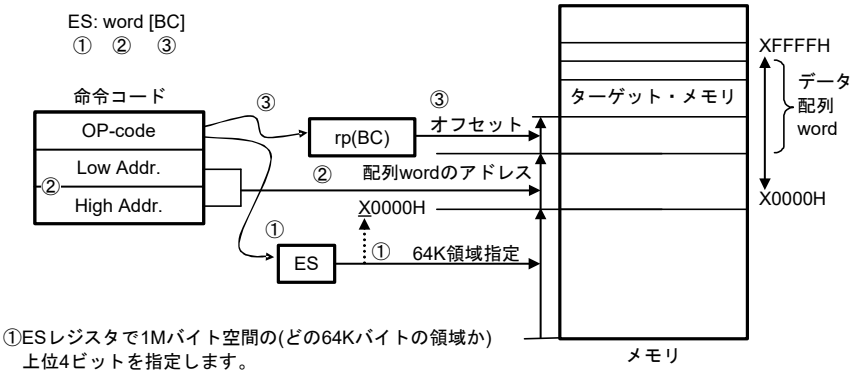
①ESレジスタで1Mバイト空間の(どの64Kバイトの領域か)
上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列(の先頭アドレス)をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで,
ターゲット・メモリを指し示します。

図3 - 28 ES:word[B], ES:word[C]の例



①ESレジスタで1Mバイト空間の(どの64Kバイトの領域か)
上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列(の先頭アドレス)を指定します。
③で示したレジスタで配列中のオフセットを指定することで,
ターゲット・メモリを指し示します。

図3 - 29 ES:word[BC]の例



①ESレジスタで1Mバイト空間の(どの64Kバイトの領域か)
上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word (の先頭アドレス)を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで, ターゲット・メモリを指し示します。

3.4.8 ベースト・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B]，[HL + C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + B]，ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 30 [HL + B]，[HL + C]の例

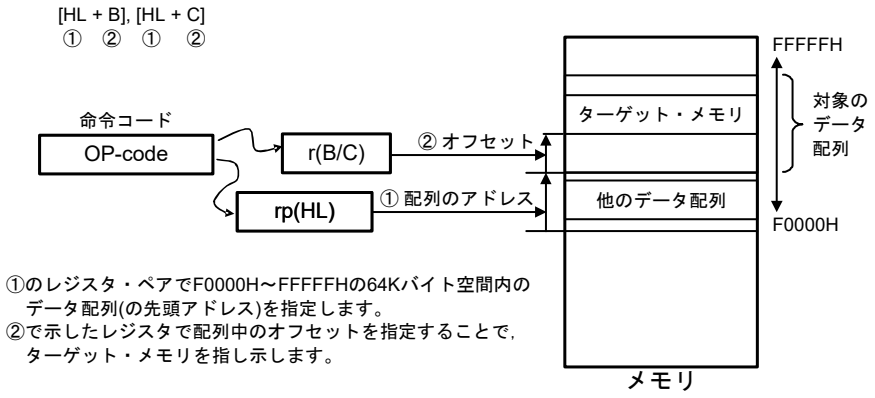
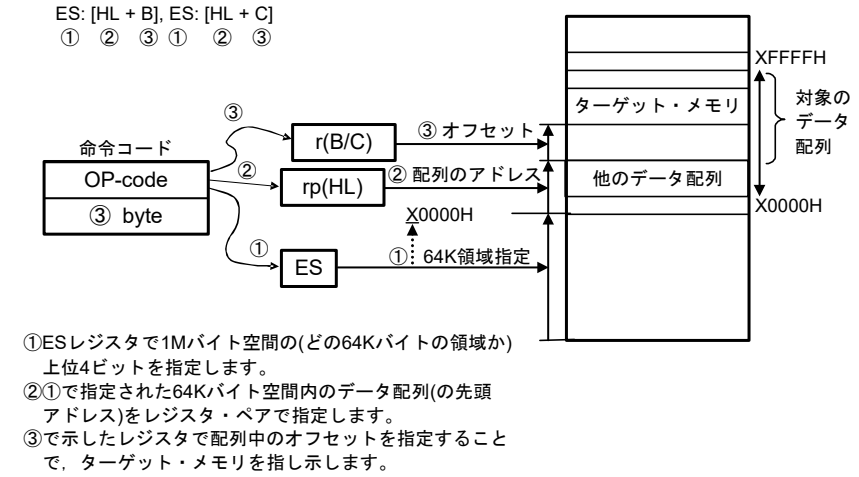


図3 - 31 ES:[HL + B]，ES:[HL + C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

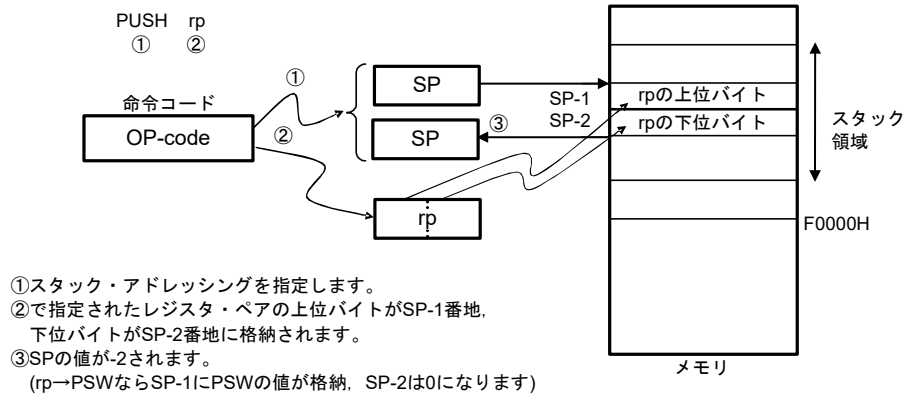
スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

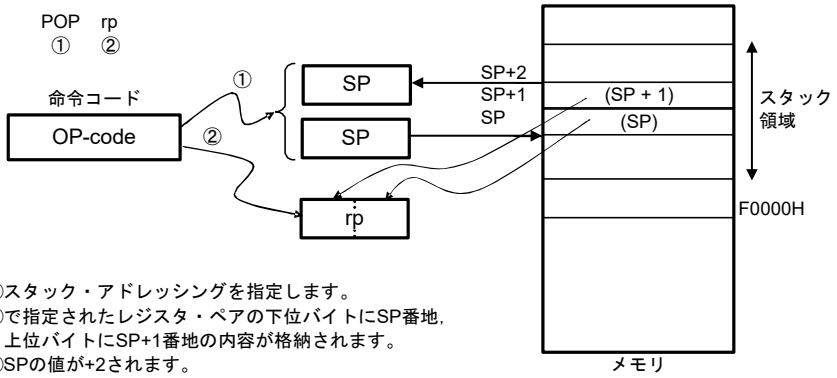
各スタック動作によって退避／復帰されるデータは図3 - 32～図3 - 37のようになります。

図3 - 32 PUSH rpの例



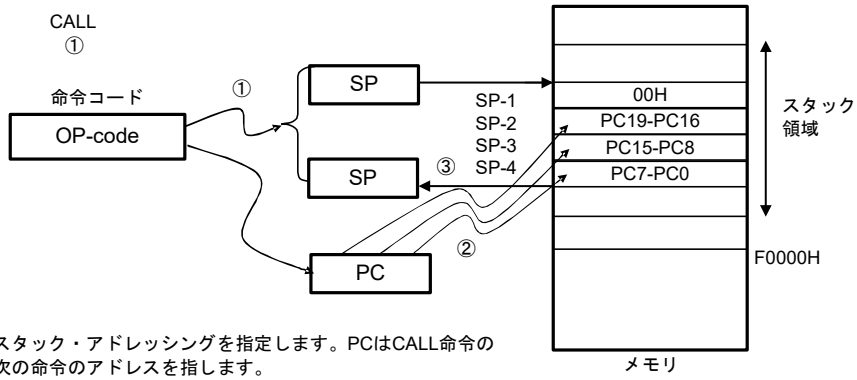
①スタック・アドレッシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP-1番地，
下位バイトがSP-2番地に格納されます。
③SPの値が-2されます。
(rp→PSWならSP-1にPSWの値が格納，SP-2は0になります)

図3 - 33 POPの例



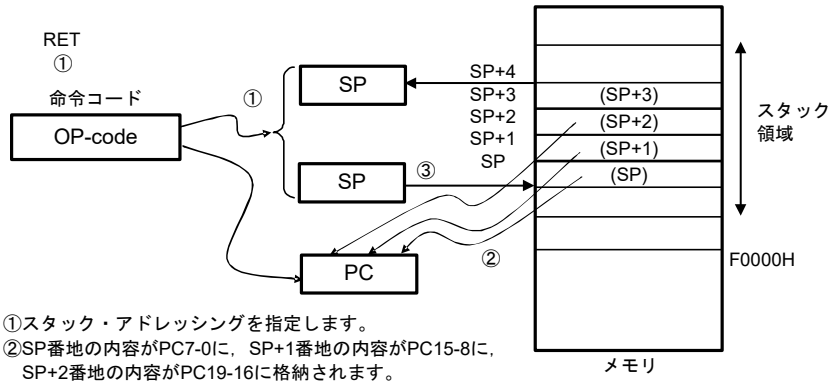
①スタック・アドレッシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
上位バイトにSP+1番地の内容が格納されます。
③SPの値が+2されます。
(rp→PSWならSP+1番地の内容がPSWに格納されます)

図3 - 34 CALL，CALLTの例



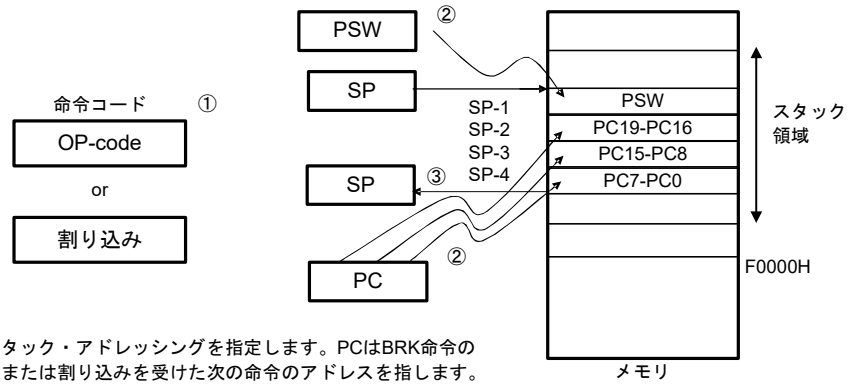
①スタック・アドレッシングを指定します。PCはCALL命令の
次の命令のアドレスを指します。
②SP-1番地には00Hが，SP-2番地にはPC19-16の値が，
SP-3番地にはPC15-8の値が，SP-4番地にはPC7-0の
値が格納されます。
③SPの値が-4されます。

図3 - 35 RETの例



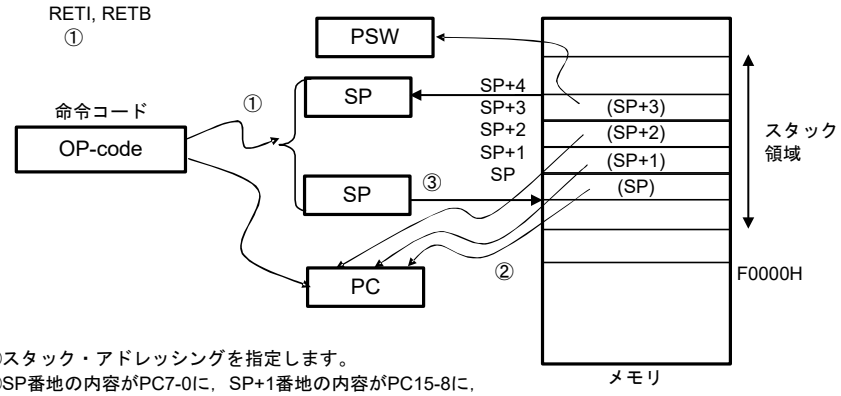
①スタック・アドレッシングを指定します。
②SP番地の内容がPC7-0に，SP+1番地の内容がPC15-8に，
SP+2番地の内容がPC19-16に格納されます。
③SPの値が+4されます。

図3 - 36 割り込み，BRKの例



①スタック・アドレッシングを指定します。PCはBRK命令の
次または割り込みを受けた次の命令のアドレスを指します。
②SP-1番地にはPSWの値が，SP-2番地にはPC19-16の値が，
SP-3番地にはPC15-8の値が，SP-4番地にはPC7-0の値が
格納されます。
③SPの値が-4されます。

図3 - 37 RETI，RETBの例



①スタック・アドレッシングを指定します。
②SP番地の内容がPC7-0に，SP+1番地の内容がPC15-8に，
SP+2番地の内容がPC19-16に，SP+3番地の内容がPSWに
格納されます。
③SPの値が+4されます。

第4章　ポート機能

4.1　ポートの機能

RL78/G11は，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは，次のハードウエアで構成しています。

表4 - 1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0,PM2-PM5) ポート・レジスタ (P0,P2-P5, P12, P13) プルアップ抵抗オプション・レジスタ (PU0, PU3-PU5, PU12) ポート入力モード・レジスタ (PIM0,PIM3-PIM5) ポート出力モード・レジスタ (POM0,POM3-POM5) ポート・モード・コントロール・レジスタ (PMC0,PMC2,PMC3,PMC5) 周辺I/Oリダイレクション・レジスタ (PIOR0-3)
ポート	• 10ピン製品： 合計：7本(CMOS入出力：4本，CMOS入力：3本) • 16ピン製品： 合計：13本(CMOS入出力：9本，CMOS入力：4本) • 20ピン製品： 合計：17本(CMOS入出力：13本，CMOS入力：4本) • 24ピン製品： 合計：21本(CMOS入出力：17本，CMOS入力：4本) • 25ピン製品： 合計：21本(CMOS入出力：17本，CMOS入力：4本)
プルアップ抵抗	• 10ピン製品：合計：2本 • 16ピン製品：合計：6本 • 20ピン製品：合計：10本 • 24ピン製品：合計：14本 • 25ピン製品：合計：14本

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。

P00,P01端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00端子の入力は，ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00,P01端子の出力は，ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])に設定可能です。

P00,P01端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ0 (PMC0)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また，兼用機能としてA/Dコンバータのアナログ入力，外部割り込み要求入力，シリアル・インタフェースのデータ入出力，タイマの入力，コンパレータ出力，ブザー出力があります。

リセット信号の発生により，アナログ入力ポートになります。

注1. 20, 24ピン製品

注2. 25ピン製品

4.2.2 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード／出力モードの指定ができます。

P20-P23端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ2 (PMC2)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また，兼用機能としてA/Dコンバータのアナログ入力，コンパレータアナログ電圧入力，PGA入力，シリアル・インタフェースのデータ出力，DAコンバータ出力があります。

リセット信号の発生により，アナログ入力ポートになります。

4.2.3 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。

P30-P33端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P30-P32端子の入力は，ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P30-P33端子の出力は，ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])に設定可能です。

P30-P33 端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ3 (PMC3)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また，兼用機能としてA/D コンバータのアナログ入力，外部割り込み要求入力，キー割り込み入力，シリアル・インタフェースのクロック入出力およびデータ入出力，タイマの入出力，ブザー出力，コンパレータ出力，コンパレータアナログ電圧入力があります。

リセット信号の発生により，アナログ入力ポートになります。

注1. 20, 24ピン製品

注2. 25ピン製品

4.2.4 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。

P40端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P40 端子の入力は，ポート入力モード・レジスタ4 (PIM4) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P40端子の出力は，ポート出力モード・レジスタ4 (POM4)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])に設定可能です。

また，兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力，タイマ出力，ブザー出力，シリアル・インタフェースのクロック入出力，コンパレータ出力，割り込みフラグ出力があります。

リセット信号の発生により，入力ポートになります。

注1. 20, 24ピン製品

注2. 25ピン製品

4.2.5 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。

P51-P56端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P51-P56端子の入力は，ポート入力モード・レジスタ5 (PIM5)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P51-P56端子の出力は，ポート出力モード・レジスタ5 (POM5)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])に設定可能です。

P56端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ5 (PMC5)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また，兼用機能としてA/Dコンバータのアナログ入力，外部割り込み要求入力，キー割り込み入力，シリアル・インタフェースのクロック入出力およびデータ入出力，クロック入出力，プログラミングUARTの送受信，タイマの入出力，コンパレータ出力，割り込みフラグ出力 があります。

リセット信号の発生により，入力ポート（P56以外），アナログ入力ポート（P56)になります。

注1. 16, 20, 24ピン製品

注2. 25ピン製品

4.2.6 ポート12

P121, P122, P125は3ビットの入力ポートです。

P125端子はプルアップ抵抗オプション・レジスタ12（PU12）により，内蔵プルアップ抵抗を使用できます。（$\overline{\text{RESET}}$端子（PORTSELB = 1）を選択時は，内蔵プルアップ抵抗が常時有効になります)。

また兼用機能としてメイン・システム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，外部割り込み要求入力，シリアル・インタフェースのデータ入力，タイマ入力があります。

注意 電源投入後，P125は$\overline{\text{RESET}}$入力として機能します。パワー・オン・リセット（POR）が内部リセット信号を解除しても，この端子にロウ・レベルが入力されている期間はリセット状態を継続します。P125/INTP9を使用する場合は，オプション・バイト（000C1H）でポート機能（PORTSELB =0）を選択し，すべてのリセット要因を解除してください。

4.2.7 ポート13

P137は1ビットの入力ポートです。

また兼用機能として外部割り込み要求入力，シリアル・インタフェースのチップセレクト入力，タイマ入力があります。

4.3 ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMx)
- ポート出力モード・レジスタ (POMx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- 周辺I/Oリダイレクション・レジスタx (PIORx)

注意 製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表4 - 2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット (1/2)

ポート		ビット名						25-pin	24-pin	20-pin	16-pin	10-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート0	0	PM00	P00	PU00	PIM00	POM00	PMC00	○	○	○	—	—
	1	PM01	P01	PU01	—	POM01	PMC01	○	○	○	—	—
	2	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート2	0	PM20	P20	—	—	—	PMC20	○	○	○	○	○
	1	PM21	P21	—	—	—	PMC21	○	○	○	○	○
	2	PM22	P22	—	—	—	PMC22	○	○	○	○	○
	3	PM23	P23	—	—	—	PMC23	○	○	○	○	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート3	0	PM30	P30	PU30	PIM30	POM30	PMC30	○	○	○	○	—
	1	PM31	P31	PU31	PIM31	POM31	PMC31	○	○	○	○	—
	2	PM32	P32	PU32	PIM32	POM32	PMC32	○	○	—	—	—
	3	PM33	P33	PU33	—	POM33注	PMC33	○	○	○	○	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—

注 24, 25ピン製品

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(2/2)

ポート		ビット名						25-pin	24-pin	20-pin	16-pin	10-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート4	0	PM40	P40	PU40	PIM40注1	POM40注1	—	○	○	○	○	○
	1	—	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート5	0	—	—	—	—	—	—	—	—	—	—	—
	1	PM51	P51	PU51	PIM51	POM51	—	○	○	—	—	—
	2	PM52	P52	PU52	PIM52	POM52	—	○	○	—	—	—
	3	PM53	P53	PU53	PIM53	POM53	—	○	○	—	—	—
	4	PM54	P54	PU54	PIM54注2	POM54	—	○	○	○	—	—
	5	PM55	P55	PU55	PIM55	POM55	—	○	○	○	—	—
	6	PM56	P56	PU56	PIM56注1	POM56	PMC56	○	○	○	○	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート12	0	—	—	—	—	—	—	—	—	—	—	—
	1	—	P121	—	—	—	—	○	○	○	○	—
	2	—	P122	—	—	—	—	○	○	○	○	○
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	P125	PU125	—	—	—	○	○	○	○	○
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—
ポート13	0	—	—	—	—	—	—	—	—	—	—	—
	1	—	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○	○	○	○

注1. 20, 24, 25ピン製品

注2. 24, 25ピン製品

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート･モード･レジスタは, それぞれ1ビット･メモリ操作命令または8ビット･メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，4.5 兼用機能使用時のレジスタの設定を参照し，設定してください。

図4 - 1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM5	1	PM56	PM55	PM54	PM53	PM52	PM51	1	FFF25H	FFH	R/W

PMmn	PMmn端子の入出力モードの選択(m = 0,2-5; n = 0-6)
0	出力モード(出力ポートとして機能(出力バッファ・オン))
1	入力モード(入力ポートとして機能(出力バッファ・オフ))

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出力ラッチの値を設定するレジスタです。

リードする場合, 入力モード時は端子レベルが, 出力モード時はポートの出力ラッチの値が読み出されます注。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注 P00, P01, P20-P23, P30-P33, P56 をアナログ機能として設定した場合に，ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

また，$\overline{\text{RESET}}$ 端子（PORTSELB = 1）を選択時に，P125 の入力データを読み出すと常に 1 が読み出されます。

図4 - 2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P2	0	0	0	0	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	P56	P55	P54	P53	P52	P51	0	FFF05H	00H (出力ラッチ)	R/W
P12	0	0	P125	0	0	P122	P121	0	FFF0CH	不定	R
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

Pmn	m = 0,2-5, 12, 13; n = 0-7	
	出力データの制御(出力モード時)	入力データの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，POMmn = 0で入力モード(PMmn = 1)に設定したビットにのみ，ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ機能に設定している場合も同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H (PU4のみ01H)になります。

注意 PIMnレジスタがあるポートで，異電位デバイスからTTLバッファに入力する場合は，PUmn = 0を設定して，外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4 - 3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU5	0	PU56	PU55	PU54	PU53	PU52	PU51	0	F0035H	00H	R/W
PU12	0	0	PU125注	0	0	0	0	0	F003CH	20H	R/W

PUmn	PUmnの内蔵プルアップ抵抗の選択(m = 0, 3-5, 12; n = 0-6)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 P125/INTP9（PORTSELB = 0）を選択しているときのみ，PU125を選択できます。

$\overline{\text{RESET}}$端子（PORTSELB = 1）を選択時は，内蔵プルアップ抵抗が常時有効になります。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4 - 4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	0	PIM00	F0040H	00H	R/W
PIM3	0	0	0	0	0	PIM32	PIM31	PIM30	F0043H	00H	R/W
PIM4	0	0	0	0	0	0	0	PIM40 注1	F0044H	00H	R/W
PIM5	0	PIM56 注1	PIM55	PIM54 注2	PIM53	PIM52	PIM51	0	F0045H	00H	R/W

PIMmn	PIMmn端子の入力バッファの選択(m = 0,3-5; n = 0-6)
0	通常入力バッファ
1	TTL入力バッファ

注1. 20, 24, 25ピン製品

注2. 24, 25ピン製品

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとのマルチマスタ I²C , 簡易 I²C 通信時のSDAA0, SDAA1, SDA00, SDA01, SDA10, SDA11 端子にN-ch オープン・ドレイン出力(VDD耐圧[注1]／EVDD耐圧[注2])モードを選択できます。

また，POMxxレジスタはPUxxレジスタとともに，内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意 N-chオープン・ドレイン出力(VDD 耐圧[注1]／EVDD耐圧[注2])モード(POMmn = 1)を設定したビットは，内蔵プルアップ抵抗が接続されません。

図4 - 5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	POM01	POM00	F0050H	00H	R/W
POM3	0	0	0	0	POM33 注3	POM32	POM31	POM30	F0053H	00H	R/W
POM4	0	0	0	0	0	0	0	POM40 注4	F0054H	00H	R/W
POM5	0	POM56	POM55	POM54	POM53	POM52	POM51	0	F0055H	00H	R/W

POMmn	POMmn端子の出力モードの選択(m = 0,2-5; n = 0-6)
0	通常出力モード
1	N-chオープン・ドレイン出力(VDD 耐圧[注1] ／EVDD耐圧[注2])モード

注1. 16, 20, 24ピン製品

注2. 25ピン製品

注3. 24, 25ピン製品

注4. 20, 24, 25ピン製品

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図4 - 6 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	1	1	PMC01	PMC00	F0060H	FFH	R/W
PMC2	1	1	1	1	PMC23	PMC22	PMC21	PMC20	F0062H	FFH	R/W
PMC3	1	1	1	1	PMC33	PMC32	PMC31	PMC30	F0063H	FFH	R/W
PMC5	1	PMC56	1	1	1	1	1	1	F0065H	FFH	R/W

PMCmn	PMCmn端子のデジタル入出力／アナログ入力の選択(m = 0,2,3,5; n = 0-3,6)
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

注意 搭載していないビットには必ず初期値を設定してください。

4.3.7 周辺I/Oリダイレクション・レジスタ (PIORx)

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

なお，リダイレクトの設定を変更できるのは，その機能を動作許可にするまでです。

PIORxレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4 - 7 周辺I/Oリダイレクション・レジスタ (PIORx)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR0	0	PIOR06	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00	F0077H	00H	R/W
PIOR1	PIOR17	PIOR16	PIOR15	PIOR14	PIOR13	PIOR12	PIOR11	PIOR10	F0079H	00H	R/W
POIR2	0	0	PIOR25	PIOR24	PIOR23	PIOR22	PIOR21	PIOR20	F0075H	00H	R/W
POIR3	0	0	0	0	PIOR33	PIOR32	PIOR31	PIOR30	F007CH	00H	R/W

ビット	機能	25ﾋﾟﾝ		24ピン		20ピン		16ピン	
		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1
PIOR06	INTP11	P55	P33	P55	P33	P55	P33	注	注
PIOR05	INTP10	P56	P32	P56	P32	P56	注	注	注
PIOR02	VCOUT0	P40	P55	P40	P55	P40	P55	注	注
PIOR01	PCLBUZ0	P30	P40	P30	P40	P30	P40	P30	P40
PIOR00	INTFO	P40	P56	P40	P56	P40	P56	P40	P56
PIOR15	TO02	P55	P51	P55	P51	P55	注	注	注
PIOR10	TI01	P31	P121	P31	P121	P31	P121	P31	P121
PIOR25	SO11	P32	P56	P32	P56	注	注	—	—
PIOR24	SO10/TxD1	P01	P20	P01	P20	P01	P20	—	—
PIOR23	SI10/RxD1	P00	P122	P00	P122	P00	P122	—	—
PIOR22	SI01	P52	P121	P52	P121	注	注	—	—

ビット		機能	25ﾋﾟﾝ				24ピン				20ピン				16ピン			
			設定値				設定値				設定値				設定値			
			00	01	10	11	00	01	10	11	00	01	10	11	00	01	10	11
PIOR04	PIOR03	VCOUT1	P40	P00	P32	注	P40	P00	P32	注	P40	P00	注	注	注	注	注	注
PIOR17	PIOR16	TO03	P40	P56	P54	注	P40	P56	P54	注	P40	P56	P54	注	P40	P56	注	注
PIOR14	PIOR13	TI03	P00	P54	P137	注	P00	P54	P137	注	P00	P54	P137	注	注	注	注	注
PIOR12	PIOR11	TI02	P55	P122	P51	注	P55	P122	P51	注	P55	P122	注	注	注	注	注	注
PIOR21	PIOR20	RXD0	P55	P31	P52	注	P55	P31	P52	注	P55	P31	注	注	注	注	注	注
		TxD0	P54	P30	P51	注	P54	P30	P51	注	P54	P30	注	注	注	注	注	注
PIOR33	PIOR32	SCLA1	P56	P40	P33	注	P56	P40	P33	注	P56	P40	注	注	—	—	—	—
		SDAA1	P55	P00	P32	注	P55	P00	P32	注	P55	P00	注	注	—	—	—	—
PIOR31	PIOR30	SCLA0	P54	P31	P54	注	P54	P31	P54	注	注	注	注	注	—	—	—	—
		SDAA0	P53	P30	P52	注	P53	P30	P52	注	注	注	注	注	—	—	—	—

注 使用できません。0 (初期値) を設定してください。

4.3.8 グローバル・デジタル・インプット・ディスエーブル・レジスタ(GDIDIS)

EVDDの電源をオフする時に，EVDDを電源とする入力ポートの入力バッファの貫通電流を防止するレジスタです。

EVDDを電源とする入出力ポートを全て使用しない場合，GDIDISレジスタをセット(1)してEVDDの電源をオフすることにより，低消費電力にすることができます。

GDIDIS0ビットを1に設定することにより，EVDDを電源とするすべての入力バッファを入力禁止とし，EVDDの電源をオフした時の貫通電流を防止します。

GDIDISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考 GDIDISレジスタは，25ピン製品に搭載しています。

図4 - 8 グローバル・デジタル・インプット・ディスエーブル・レジスタ(GDIDIS)

アドレス：F007DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EVDD電源の入力バッファ設定
0	入力バッファの入力許可(デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

EVDDの電源をオフする場合は，次の手順で設定してください。

① 入力バッファの入力禁止(GDIDIS0 = 1)に設定

② EVDDの電源オフ

EVDDの電源を再投入する場合は，次の手順で設定してください。

① EVDDの電源オン

② 入力バッファの入力許可(GDIDIS0 = 0)に設定

注意1. EVDDを電源とする入力ポートに，EVDD以上の入力電圧を入力しないでください。

注意2. 入力バッファの入力禁止(GDIDIS0 = 1)を設定した場合，EVDDを電源とするポートのポート・レジスタ(Pxx)の読み出し値は“1”となります。また，ポート出力モード・レジスタ(POMxx)に“1”(N-chオープン・ドレイン出力(EVDD耐圧))設定時は，ポート・レジスタ(Pxx)の読み出し値は“0”となります。

備考 入力バッファの入力禁止(GDIDIS0 = 1)を設定した場合でも，EVDDを電源とするポート機能を使用しない周辺機能は使用できます。

4.4 ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応

ポート入力モード・レジスタ(PIMxx), ポート出力モード・レジスタ(POMxx)で入出力バッファを切り換えることにより, 異電位(1.8 V系, 2.5 V系, 3.0 V系)で動作している外部デバイスとの接続が可能になります。

異電位(1.8 V系, 2.5 V系, 3.0 V系)の外部デバイスからの入力を受ける場合, ポート入力モード・レジスタ0, 3- 5 (PIM0, PIM3-5)をビットごとに設定して, 通常入力(CMOS)/TTL入力バッファを切り換えます。

異電位(1.8 V系, 2.5 V系, 3.0 V系)の外部デバイスへ出力する場合, ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5)をビットごとに設定して, 通常出力(CMOS)/N-chオープン・ドレイン(V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])を切り換えます。

注1. 16, 20, 24ピン製品

注2. 25ピン製品

以下, シリアル・インタフェースでの接続について説明します。

(1) UART0, UART1, CSI00, CSI01, CSI10, CSI11機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合： P55 (P31, P52)
UART1の場合： P00
CSI00の場合： P55, P56
CSI01の場合： P51, P52
CSI10の場合： P00, P40
CSI11の場合： P30, P31

備考 ( )内の端子は, 周辺I/Oリダイレクション・レジスタ2 (PIOR2)の設定により, 割り当て可能です。

①使用する入力端子を外部抵抗を介して, 対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
②PIM0, PIM3-PIM5 レジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。なお, V_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。
③シリアル・アレイ・ユニットを動作許可し, UART/簡易SPI（CSI[注]）モードに設定します。

注 一般的にはSPI と呼ばれる機能ですが、本製品ではCSI とも呼称しているため、本マニュアルでは併記します。

(2) UART0, UART1, CSI00, CSI01, CSI10, CSI11 機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合： P54 (P30, P51)
UART1の場合： P01
CSI00の場合： P54, P56
CSI01の場合： P51, P53
CSI10の場合： P01, P40
CSI11の場合： P30, P32, (P56)

備考 ( )内の端子は，周辺I/Oリダイレクション・レジスタ2 (PIOR2)の設定により，割り当て可能です。

①使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
②リセット解除後，ポート・モードは入力モード(Hi-Z)になっています。
③該当するポートの出力ラッチに1を設定します。
④POM0, POM3-POM5 レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力 (V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])モードに設定します。
⑤シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI（CSI）モードに設定します。
⑥PM0, PM3-PM5 レジスタを操作して出力モードに設定します。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

注1. 16, 20, 24ピン製品
注2. 25ピン製品

(3) IIC00, IIC01, IIC10, IIC11機能の入出力ポートを, 異電位(1.8 V系, 2.5 V系, 3 V系)で使用する場合の設定手順

簡易IIC00の場合：P55, P56
簡易IIC01の場合：P51, P52
簡易IIC10の場合：P00, P40
簡易IIC11の場合：P30, P31

①使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
②リセット解除後，ポート・モードは入力モード(Hi-Z)になっています。
③該当するポートの出力ラッチに1を設定します。
④POM0, POM3-POM5レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力(V_{DD}耐圧注1/EV_{DD}耐圧注2)モードに設定します。
⑤PIM0，PIM3-PIM5 レジスタの該当ビットを 1 に設定し，TTL 入力バッファに切り換えます。なお，V_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。
⑥シリアル・アレイ・ユニットを動作許可し，簡易I^2Cモードに設定します。
⑦PM0, PM3-PM5レジスタの該当ビットを出力モードに設定します(出力モードのままでデータ入出力可能)。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

注1. 16, 20, 24ピン製品
注2. 25ピン製品

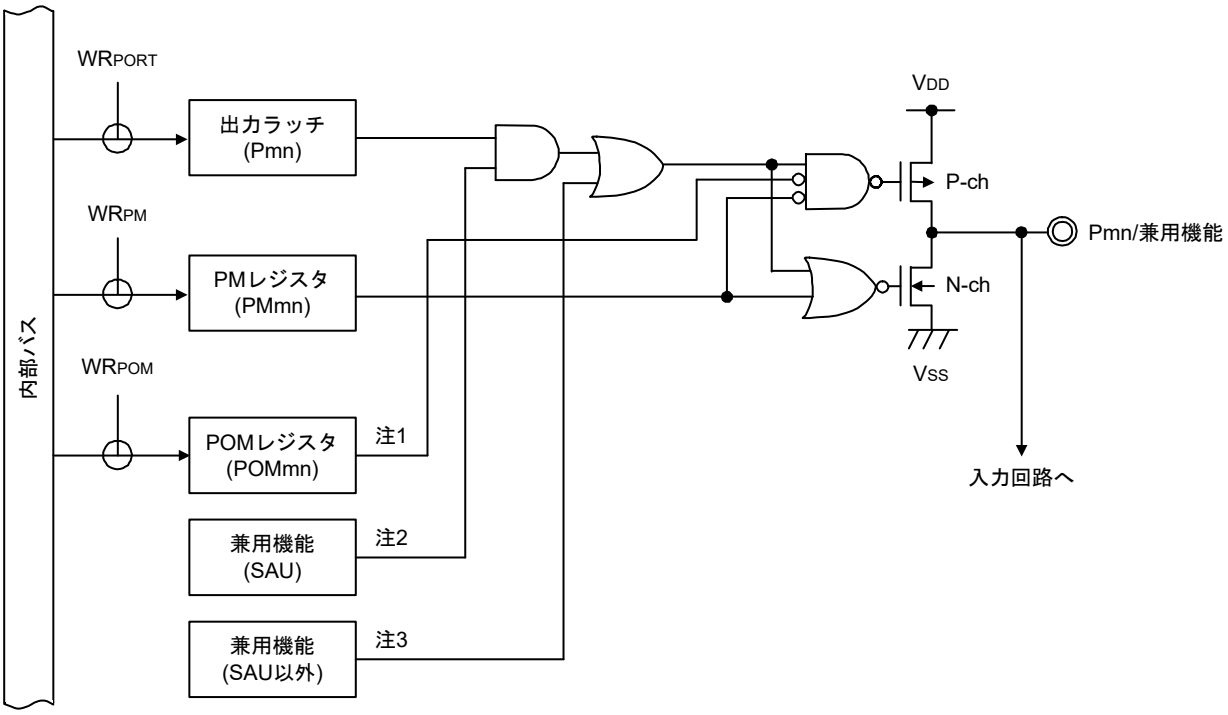
4.5 兼用機能使用時のレジスタの設定

4.5.1 兼用機能使用時の基本的な考え方

最初に，アナログ機能と兼用している端子については，アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ(PMCxx)で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4 - 9に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には，兼用しているSAU以外の機能(タイマ，クロック／ブザー出力，IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には，使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4 - 3に示します。

図4 - 9 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には，この信号はLow (0)と考えてください。

注2. 兼用機能がない場合には，この信号はHigh (1)と考えてください。

注3. 兼用機能がない場合には，この信号はLow (0)と考えてください。

表4 - 3 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0)注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので，使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については，4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には，次に示す設定を行ってください。なお，周辺I/Oリダイレクト機能の対象になっている場合には，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)を設定することで，出力を他の端子に切り替えることもできます。これにより，対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

(1) SOp＝1/TxDq＝1（SAUのシリアル出力（SOp/TxDq）を使用しない場合の設定）

SAUをシリアル入力のみで使用するなど，シリアル出力（SOp/TxDq）を使用しない場合は，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2) SCKp＝1/SDAr＝1/SCLr＝1（SAUのチャネルnを使用しない場合の設定）

SAUを使用しない場合は，シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）を0（動作停止状態）に設定し，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットとCKOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3) TOmn＝0（TAUのチャネルnの出力を使用しない場合の設定）

TAUのTOmn出力を使用しない場合は，使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4) SDAAn＝0/SCLAn＝0（IICAを使用しない場合の設定）

IICAを使用しない場合は，IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) PCLBUZn＝0（クロック出力/ブザー出力を使用しない場合の設定）

クロック出力/ブザー出力を使用しない場合は，クロック出力選択レジスタn（CKSn）のPCLOEnビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

(6) TKBO0＝0（16ビット・タイマKB0を使用しない場合の設定）

16ビット・タイマKB0を使用しない場合は，16ビット・タイマKB出力制御レジスタn1（TKBIOCn1）のTKBTOEn0,1ビットを0（出力停止）にしてください。これは初期状態と同じ設定です。

4.5.3　使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4 - 4～表4 - 10に示します。ポート機能を制御するレジスタを表4 - 4～表4 - 10のように設定してください。なお，表4 - 4～表4 - 10の表記については次の備考を参照してください。

備考　—：　対象外

×：　Don’t care 注

PIORx：　周辺I/Oリダイレクション・レジスタ

POMxx：　ポート出力モード・レジスタ

PMCxx：　ポート・モード・コントロール・レジスタ

PMxx：　ポート・モード・レジスタ

Pxx：　ポートの出力ラッチ

( ) 内の機能は，周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により，割り当て可能です。

注　兼用機能を持たない場合も含む

表4 - 4 P00-P01端子機能使用時のレジスタの設定例

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外の出力機能					
P00	P00	入力	—	×	0	1	×	×	×	○	○	○	—	—
		出力	—	0	0	0	0/1	SDA10=1	PCLBUZ1=0 (VCOUT1)=0 (SDAA1)=0					
		Nch-OD出力	—	1	0	0	0/1							
	ANI17	アナログ入力	—	×	1	1	×	×	×	○	○	○	—	—
	PCLBUZ1	出力	—	0	0	0	0	SDA10=1	(VCOUT1)=0 (SDAA1)=0	○	○	○	—	—
	TI03	入力	—	×	0	1	×	×	×	○	○	○	—	—
	（VCOUT1）	出力	PIOR0 [4:3]=01	0	0	0	0	SDA10=1	PCLBUZ1=0 (SDAA1)=0	○	○	○	—	—
	SI10/RxD1	入力	—	×	0	1	×	×	×	○	○	○	—	—
	SDA10	入出力	—	1	0	0	1	—	PCLBUZ1=0 (VCOUT1)=0 (SDAA1)=0	○	○	○	—	—
	（SDAA1)	入出力	PIOR3 [3:2]=01	1	0	0	0	SDA10=1	PCLBUZ1=0 (VCOUT1)=0	○	○	○	—	—
P01	P01	入力	—	×	0	1	×	×	—	○	○	○	—	—
		出力	—	0	0	0	0/1	SO10/TxD1=1	—					
		Nch-OD出力	—	1	0	0	0/1							
	ANI16	アナログ入力	—	×	1	1	×	×	—	○	○	○	—	—
	INTP5	入力	—	×	0	1	×	×	—	○	○	○	—	—
	SO10/TxD1	出力	—	0/1	0	0	1	—	—	○	○	○	—	—

表4 - 5 P20-P23端子機能使用時のレジスタの設定例

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P20	P20	入力	—	—	0	1	×	×	×	○	○	○	○	○
		出力	—	—	0	0	0/1	(SO10/TxD1)=1 注1 SO10/TxD1=1 注2	TKBO1=0 注3					
	ANI0	アナログ入力	—	—	1	1	×	×	×	○	○	○	○	○
	AVREFP	アナログ入力	—	—	1	1	×	×	×	○	○	○	○	○
	IVREF1	アナログ入力	—	—	1	1	×	×	×	○	○	○	○	○
	(SO10/TxD1)	出力	PIOR2[4]=1	—	0	0	1	—	—	○	○	○	—	—
	SO10/TxD1	出力	—	—	0	0	1	—	—	—	—	—	○	—
	TKBO1	出力	—	—	0	0	0	—	—	—	—	—	—	○
P21	P21	入力	—	—	0	1	×	—	—	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—					
	ANI1	アナログ入力	—	—	1	1	×	—	—	○	○	○	○	○
	AVREFM	アナログ入力	—	—	1	1	×	—	—	○	○	○	○	○
	IVREF0	アナログ入力	—	—	1	1	×	—	—	○	○	○	○	○
P22	P22	入力	—	—	0	1	×	×	—	○	○	○	○	○
		出力	—	—	0	0	0/1	SO10/TxD1=1 注3	—					
	ANI2	アナログ入力	—	—	1	1	×	×	—	○	○	○	○	○
	PGAI	アナログ入力	—	—	1	1	×	×	—	○	○	○	○	○
	IVCMP0	アナログ入力	—	—	1	1	×	×	—	○	○	○	○	○
	SO10/TxD1	出力	—	—	0	0	1	—	—	—	—	—	—	○
P23	P23	入力	—	—	0	1	×	—	—	○	○	○	○	—
		出力	—	—	0	0	0/1	—	—					
	ANI3	アナログ入力	—	—	1	1	×	—	—	○	○	○	○	—
	ANO1	アナログ出力	—	—	1	1	×	—	—	○	○	○	○	—
	PGAGND	アナログ入力	—	—	1	1	×	—	—	○	○	○	○	—

注1. 20, 24, 25ピン製品のみ。

注2. 16ピン製品のみ。

注3. 10ピン製品のみ。

表4 - 6 P30-P33端子機能使用時のレジスタの設定例 (1/3)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P30	P30	入力	—	×	0	1	×	×	×	○	○	○	○	—
		出力	—	0	0	0	0/1	SCK11/SCL11=1 (TxD0)=1 注1 TxD0=1 注2	TO01=0 PCLBUZ0=0 TKBO1=0 (SDAA0)=0 注3 SDAA0=0 注4					
		Nch-OD出力	—	1	0	0	0/1							
	ANI21	アナログ入力	—	×	1	1	×	×	×	○	○	○	○	—
	KR1	入力	—	×	0	1	×	×	×	○	○	○	○	—
	TI00	入力	—	×	0	1	×	×	×	○	○	○	○	—
	TO01	出力	—	0	0	0	0	SCK11/SCL11=1 (TxD0)=1 注1 TxD0=1 注2	PCLBUZ0=0 TKBO1=0 (SDAA0)=0 注3 SDAA0=0 注4	○	○	○	○	—
	INTP3	入力	—	×	0	1	×	×	×	○	○	○	○	—
	SCK11	入力	—	×	0	1	×	×	×	○	○	○	○	—
		出力	—	0/1	0	0	1	(TxD0)=1 注1 TxD0=1 注2	TO01=0 PCLBUZ0=0 TKBO1=0 (SDAA0)=0 注3 SDAA0=0 注4	○	○	○	○	—
	SCL11	出力	—	0/1	0	0	1	(TxD0)=1 注1 TxD0=1 注2	TO01=0 PCLBUZ0=0 TKBO1=0 (SDAA0)=0 注3 SDAA0=0 注4	○	○	○	○	—
	(TxD0)	出力	PIOR2[1:0]=01	0/1	0	0	1	SCK11/SCL11=1	TO01=0 PCLBUZ0=0 TKBO1=0 (SDAA0)=0 注3 SDAA0=0 注5	○	○	○	—	—
	TxD0	出力	—	0/1	0	0	1	SCK11/SCL11=1	TO01=0 PCLBUZ0=0 TKBO1=0 SDAA0=0	—	—	—	○	—
	PCLBUZ0	出力	—	0	0	0	0	SCK11/SCL11=1 (TxD0)=1 注1 TxD0=1 注2	TO01=0 TKBO1=0 (SDAA0)=0 注3 SDAA0=0 注4	○	○	○	○	—
	TKBO1	出力	—	0	0	0	0	SCK11/SCL11=1 (TxD0)=1 注1 TxD0=1 注2	TO01=0 PCLBUZ0=0 (SDAA0)=0 注3 SDAA0=0 注4	○	○	○	○	—

表4 - 6 P30-P33端子機能使用時のレジスタの設定例 (2/3)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P30	(SDAA0)	入出力	PIOR3[1:0]=01	1	0	0	0	SCK11/SCL11=1 (TxD0)=1	TO01=0 PCLBUZ0=0 TKBO1=0	○	○	—	—	—
	SDAA0	入出力	—	1	0	0	0	SCK11/SCL11=1 (TxD0)=1 注5 TxD0=1 注2	TO01=0 PCLBUZ0=0 TKBO1=0	—	—	○	○	—
P31	P31	入力	—	×	0	1	×	×	×	○	○	○	○	—
		出力	—	0	0	0	0/1	SDA11= 1	TO00=0 TKBO0=0 (SCLA0)=0 注3 SCLA0=0 注4					
		Nch-OD出力	—	1	0	0	0/1							
	ANI20	アナログ入力	—	×	1	1	×	×	×	○	○	○	○	—
	KR0	入力	—	×	0	1	×	×	×	○	○	○	○	—
	TI01	入力	—	×	0	1	×	×	×	○	○	○	○	—
	TO00	出力	—	0	0	0	0	SDA11= 1	TKBO0=0 (SCLA0)=0 注3 SCLA0=0 注4	○	○	○	○	—
	INTP4	入力	—	×	0	1	×	×	×	○	○	○	○	—
	TKBO0	出力	—	0	0	0	0	SDA11= 1	TO00=0 (SCLA0)=0 注3 SCLA0=0 注4	○	○	○	○	—
	(RxD0)	入力	PIOR2[1:0]=01	×	0	1	×	×	×	○	○	○	—	—
	RxD0	入力	—	×	0	1	×	×	×	—	—	—	○	—
	SI11	入力	—	×	0	1	×	×	×	○	○	○	○	—
	SDA11	入出力	—	1	0	0	1	—	TO00=0 TKBO0=0 (SCLA0)=0 注3 SCLA0=0 注4	○	○	○	○	—
	(SCLA0)	入出力	PIOR3[1:0]=01	1	0	0	0	SDA11= 1	TO00=0 TKBO0=0	○	○	—	—	—
	SCLA0	入出力	—	1	0	0	0	SDA11= 1	TO00=0 TKBO0=0	—	—	○	○	—
P32	P32	入力	—	×	0	1	×	×	×	○	○	—	—	—
		出力	—	0	0	0	0/1	SO11= 1	(VCOUT1)=0 (SDAA1)=0					
		Nch-OD出力	—	1	0	0	0/1							
	ANI19	アナログ入力	—	×	1	1	×	×	×	○	○	—	—	—
	SO11	出力	—	0/1	0	0	1	—	(VCOUT1)=0 (SDAA1)=0	○	○	—	—	—
	(INTP10)	入力	PIOR0[5]=1	×	0	1	×	×	×	○	○	—	—	—
	(VCOUT1)	出力	PIOR0[4:3]=10	0	0	0	0	SO11= 1	(SDAA1)=0	○	○	—	—	—
	(SDAA1)	入出力	PIOR3[3:2]=10	1	0	0	0	SO11= 1	(VCOUT1)=0	○	○	—	—	—

表4 - 6 P30-P33端子機能使用時のレジスタの設定例 (3/3)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P33	P33	入力	—	×	0	1	×	—	×	○	○	○	○	—
		出力	—	0	0	0	0/1	—	(SCLA1)=0 注3					
		Nch-OD出力	—	1	0	0	0/1							
	ANI18	アナログ入力	—	×	1	1	×	—	×	○	○	○	○	—
	IVCMP1	アナログ入力	—	×	1	1	×	—	×	○	○	○	○	—
	(INTP11)	入力	PIOR0[6] = 1	×	0	1	×	—	×	○	○	○	—	—
	INTP11	入力	—	×	0	1	×	—	×	—	—	—	○	—
	(SCLA1)	入出力	PIOR3[3:2] =10	1	0	0	0	—	—	○	○	—	—	—

注1. 20, 24, 25ピン製品のみ。

注2. 16ピン製品のみ。

注3. 24, 25ピン製品のみ。

注4. 16, 20ピン製品のみ。

注5. 20ピン製品のみ。

表4 - 7 P40端子機能使用時のレジスタの設定例 (1/2)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P40	P40	入力	—	×	0	1	×	×	×	○	○	○	○	○
		出力	—	0	0	0	0/1	SCK10=1 SCL10=1 注1	TO03=0 (PCLBUZ0)=0 注2 PCLBUZ0=0 注3 VCOUT0=0 VCOUT1=0 注2 INTFO=0 (SCLA1)=0 注1 TKBO0=0 注3					
		Nch-OD出力	—	1	0	0	0/1							
	TO03	出力	—	0	0	0	0	SCK10=1 SCL10=1 注1	(PCLBUZ0)=0 注2 PCLBUZ0=0 注3 VCOUT0=0 VCOUT1=0 注2 INTFO=0 (SCLA1)=0 注1 TKBO0=0 注3	○	○	○	○	○
	(PCLBUZ0)	出力	PIOR0[1] = 1	0	0	0	0	SCK10=1 SCL10=1 注1	TO03=0 VCOUT0=0 VCOUT1=0 INTFO=0 (SCLA1)=0 注1	○	○	○	○	—
	PCLBUZ0	出力	—	0	0	0	0	SCK10=1	TO03=0 VCOUT0=0 INTFO=0 TKBO0=0	—	—	—	—	○
	SCK10	入力	—	×	0	1	×	×	×	○	○	○	○	○
		出力	—	0/1	0	0	1	×	TO03=0 (PCLBUZ0)=0 注2 PCLBUZ0=0 注3 VCOUT0=0 VCOUT1=0 注2 INTFO=0 (SCLA1)=0 注1 TKBO0=0 注3	○	○	○	○	○
	SCL10	出力	—	0/1	0	0	1	×	TO03=0 (PCLBUZ0)=0 VCOUT0=0 VCOUT1=0 INTFO=0 (SCLA1)=0	○	○	○	—	—

表4 - 7 P40端子機能使用時のレジスタの設定例 (2/2)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P40	VCOUT0	出力	—	0	0	0	0	SCK10=1 SCL10=1注1	TO03=0 (PCLBUZ0)=0注2 PCLBUZ0=0注3 VCOUT1=0注2 INTFO=0 (SCLA1)=0注1 TKBO0=0注3	○	○	○	○	○
	VCOUT1	出力	—	0	0	0	0	SCK10=1 SCL10=1注1	TO03=0 (PCLBUZ0)=0 VCOUT0=0 INTFO=0 (SCLA1)=0注1	○	○	○	○	—
	INTFO	出力	—	0	0	0	0	SCK10=1 SCL10=1注1	TO03=0 (PCLBUZ0)=0注2 PCLBUZ0=0注3 VCOUT0=0 VCOUT1=0注2 (SCLA1)=0注1 TKBO0=0注3	○	○	○	○	○
	(SCLA1)	入出力	PIOR3 [3:2]=01	1	0	0	0	SCK10/ SCL10=1	TO03=0 (PCLBUZ0)=0 VCOUT0=0 VCOUT1=0 INTFO=0	○	○	○	—	—
	TKBO0	出力	—	0	0	0	0	SCK10=1	TO03=0 PCLBUZ0=0 VCOUT0=0 INTFO=0	—	—	—	—	○

注1. 20, 24, 25ピン製品のみ。

注2. 16, 20, 24, 25ピン製品のみ。

注3. 10ピン製品のみ。

表4 - 8 P51-P56端子機能使用時のレジスタの設定例 (1/3)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P51	P51	入力	—	×	0	1	×	×	×	○	○	—	—	—
		出力	—	0	0	0	0/1	SCK10/SCL10=1 (TxD0)=1	(TO02)=0					
		Nch-OD出力	—	1	0	0	0/1							
	KR7	入力	—	×	0	1	×	×	×	○	○	—	—	—
	INTP8	入力	—	×	0	1	×	×	×	○	○	—	—	—
	(TI02)	入力	PIOR1[2:1]=10 注1	×	0	1	×	×	×	○	○	—	—	—
	(TO02)	出力	PIOR1[5]=1 注1	0	0	0	0	SCK10/SCL10=1 (TxD0)=1	—	○	○	—	—	—
	SCK01	入力	—	×	0	1	×	×	×	○	○	—	—	—
		出力	—	0/1	0	0	1	(TxD0)=1	(TO02)=0	○	○	—	—	—
	SCL01	出力	—	0/1	0	0	1	(TxD0)=1	(TO02)=0	○	○	—	—	—
	(TxD0)	出力	PIOR2[1:0]=10	0/1	0	0	1	SCK10/SCL10=1	(TO02)=0	○	○	—	—	—
P52	P52	入力	—	×	0	1	×	×	×	○	○	—	—	—
		出力	—	0	0	0	0/1	SDA01 = 1	(SDAA0)=0					
		Nch-OD出力	—	1	0	0	0/1							
	KR6	入力	—	×	0	1	×	×	×	○	○	—	—	—
	INTP7	入力	—	×	0	1	×	×	×	○	○	—	—	—
	SI01	入力	—	×	0	1	×	×	×	○	○	—	—	—
	SDA01	入出力	—	1	0	0	1	—	(SDAA0)=0	○	○	—	—	—
	(RxD0)	入力	PIOR2[1:0]=10	×	0	1	×	×	×	○	○	—	—	—
	(SDAA0)	入出力	PIOR3[1:0]=10	1	0	0	0	SDA01 = 1	—	○	○	—	—	—
P53	P53	入力	—	×	0	1	×	×	×	○	○	—	—	—
		出力	—	0	0	0	0/1	SO01 = 1	SDAA0 = 0					
		Nch-OD出力	—	1	0	0	0/1							
	KR5	入力	—	×	0	1	×	×	×	○	○	—	—	—
	INTP6	入力	—	×	0	1	×	×	×	○	○	—	—	—
	SO01	出力	—	0/1	0	0	1	—	SDAA0 = 0	○	○	—	—	—
	SDAA0	入出力	—	1	0	0	0	SO01=1	—	○	○	—	—	—

表4 - 8 P51-P56端子機能使用時のレジスタの設定例 (2/3)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P54	P54	入力	—	×	0	1	×	×	×	○	○	○	—	—
		出力	—	0	0	0	0/1	SO00/TxD0=1	(TO03)=0 SCLA0=0注1					
		Nch-OD出力	—	1	0	0	0/1							
	KR4	入力	—	×	0	1	×	×	×	○	○	○	—	—
	SO00/TxD0	出力	—	0/1	0	0	1	—	(TO03)=0 SCLA0=0注1	○	○	○	—	—
	(TI03)	入力	PIOR1[4:3]=01	×	0	1	×	×	×	○	○	○	—	—
	(TO03)	出力	PIOR1[7:6]=10	0	0	0	0	SO00/TxD0=1	SCLA0=0注1	○	○	○	—	—
	SCLA0	入出力	—	1	0	0	0	SO00/TxD0=1	(TO03)=0	○	○	—	—	—
P55	P55	入力	—	×	0	1	×	×	×	○	○	○	—	—
		出力	—	0	0	0	0/1	SDA00=1	TO02=0 (VCOUT0)=0 SDAA1=0					
		Nch-OD出力	—	1	0	0	0/1							
	KR3	入力	—	×	0	1	×	×	×	○	○	○	—	—
	SI00/RxD0	入力	—	×	0	1	×	×	×	○	○	○	—	—
	SDA00	入出力	—	1	0	0	1	—	TO02=0 (VCOUT0)=0 SDAA1=0	○	○	○	—	—
	TI02	入力	—	×	0	1	×	×	×	○	○	○	—	—
	TO02	出力	—	0	0	0	0	SDA00=1	(VCOUT0)=0 SDAA1=0	○	○	○	—	—
	INTP11	入力	—	×	0	1	×	×	×	○	○	○	—	—
	(VCOUT0)	出力	PIOR0[2]=1	0	0	0	0	SDA00=1	TO02=0 SDAA1=0	○	○	○	—	—
	SDAA1	入出力	—	1	0	0	0	SDA00=1	TO02=0 (VCOUT0)=0	○	○	○	—	—

表4 - 8 P51-P56端子機能使用時のレジスタの設定例 (3/3)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P56	P56	入力	—	×	0	1	×	×	×	○	○	○	○	—
		出力	—	0	0	0	0/1	SCK00/ SCL00=1 注3 (SO11)=1 注1 SO11=1 注2	(TO03)=0 (INTFO)=0 SCLA1=0 注3					
		Nch-OD出力	—	1	0	0	0/1							
	ANI22	アナログ入力	—	×	1	1	×	×	×	○	○	○	○	—
	KR2	入力	—	×	0	1	×	×	×	○	○	○	○	—
	SCK00	入力	—	×	0	1	×	×	×	○	○	○	—	—
		出力	—	0/1	0	0	1	(SO11)=1 注1 SO11=1 注4	(TO03)=0 (INTFO)=0 SCLA1=0	○	○	○	—	—
	SCL00	出力	—	0/1	0	0	1	(SO11)=1 注1 SO11=1 注4	(TO03)=0 (INTFO)=0 SCLA1=0	○	○	○	—	—
	(SO11)	出力	PIOR2[5] =1	0/1	0	0	1	SCK00/ SCL00=1	(TO03)=0 (INTFO)=0 SCLA1=0	○	○	—	—	—
	SO11	出力	—	0/1	0	0	1	SCK00/ SCL00=1 注4	(TO03)=0 (INTFO)=0 SCLA1=0 注4	—	—	○	○	—
	INTP10	入力	—	×	0	1	×	×	×	○	○	○	○	—
	(TO03)	出力	PIOR1[7:6] =01	0	0	0	0	SCK00/ SCL00=1 注3 (SO11)=1 注1 SO11=1 注2	(INTFO)=0 SCLA1=0 注3	○	○	○	○	—
	(INTFO)	出力	PIOR0[0]= 1	0	0	0	0	SCK00/ SCL00=1 注3 (SO11)=1 注1 SO11=1 注2	(TO03)=0 SCLA1=0 注3	○	○	○	○	—
	SCLA1	入出力	—	1	0	0	0	SCK00/ SCL00=1 (SO11)=1 注1 SO11=1 注4	(TO03)=0 (INTFO)=0	○	○	○	—	—

注1. 24, 25ピン製品のみ。

注2. 16, 20ピン製品のみ。

注3. 20, 24, 25ピン製品のみ。

注4. 20ピン製品のみ。

表4 - 9 P121, P122, P125端子機能使用時のレジスタの設定例

端子名称	使用機能		PIORx	Pxx	その他	25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力								
P121	P121	入力	—	×	EXCLK,OSCSEL=00/10/11	○	○	○	○	—
	X1	—	—	—	EXCLK,OSCSEL=01	○	○	○	○	—
	(TI01)	入力	PIOR1[0]=1	×	EXCLK,OSCSEL=00/10/11	○	○	○	○	—
	INTP2	入力	—	×	EXCLK,OSCSEL=00/10/11	○	○	○	○	—
	(SI01)	入力	PIOR2[2]=1	×	EXCLK,OSCSEL=00/10/11	○	○	—	—	—
P122	P122	入力	—	×	EXCLK,OSCSEL=00/10	○	○	○	○	○
	X2	—	—	—	EXCLK,OSCSEL=01	○	○	○	○	○
	EXCLK	入力	—	—	EXCLK,OSCSEL=11	○	○	○	○	○
	SI10/RxD0	入力	—	×	EXCLK,OSCSEL=00/10	—	—	—	○	—
	(SI10/RxD1)	入力	PIOR2[3]=1	×	EXCLK,OSCSEL=00/10	○	○	○	—	—
	TI02	入力	—	×	EXCLK,OSCSEL=00/10	—	—	—	○	○
	(TI02)	入力	PIOR1[2:1]=01	×	EXCLK,OSCSEL=00/10	○	○	○	—	—
	INTP1	入力	—	×	EXCLK,OSCSEL=00/10	○	○	○	○	○
P125	P125	入力	—	×	PORTSELB=0	○	○	○	○	○
	$\overline{\text{RESET}}$	—	—	—	PORTSELB=1	○	○	○	○	○
	INTP9	入力	—	×	PORTSELB=0	○	○	○	○	○

表4 - 10 P137端子機能使用時のレジスタの設定例

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		25ピン	24ピン	20ピン	16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外					
P137	P137	入力	—	—	—	—	×	—	—	○	○	○	○	○
	INTP0	入力	—	—	—	—	×	—	—	○	○	○	○	○
	$\overline{\text{SSI00}}$	入力	—	—	—	—	×	—	—	○	○	○	—	—
	$\overline{\text{TI03}}$	入力	—	—	—	—	×	—	—	—	—	—	○	○
	(TI03)	入力	PIOR1 [4:3]=10	—	—	—	×	—	—	○	○	○	—	—
	SI10/RxD1	入力	—	—	—	—	×	—	—	—	—	—	—	○

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタn (Pn)に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P20は出力ポート，P21-P23は入力ポート(端子状態はすべてハイ・レベル)で，かつポート2の出力ラッチの値が“00H”のとき，出力ポートP20の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート2の出力ラッチの値は，“0FH”になります。

説明： PMnmビット＝1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G11内部で，次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

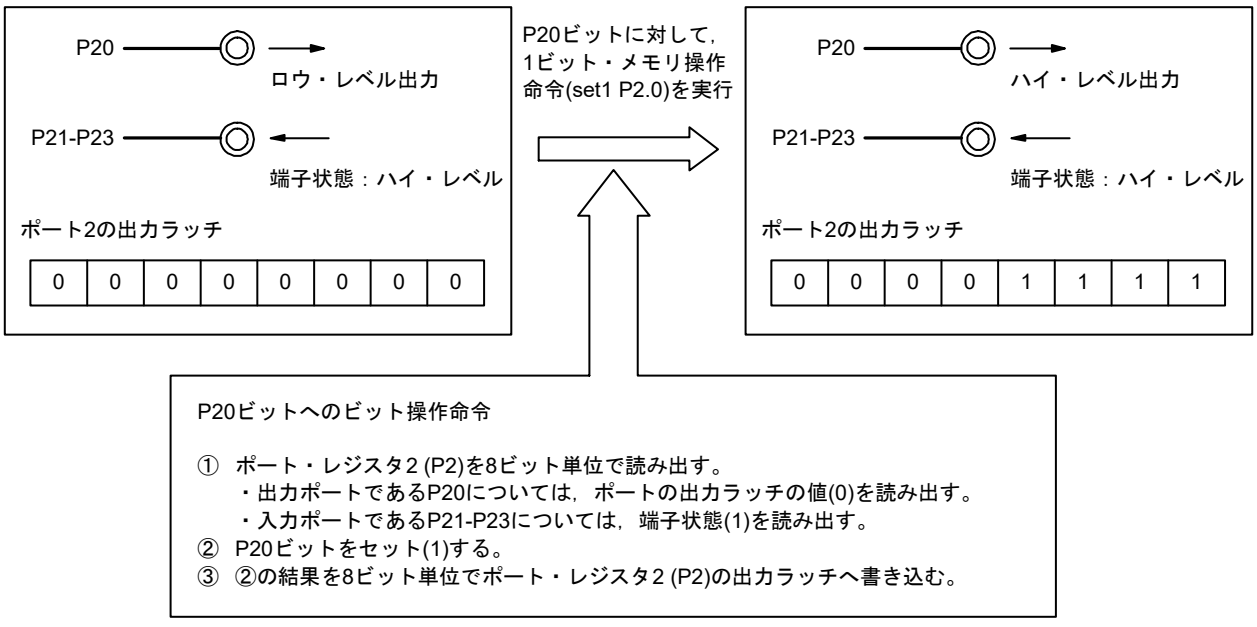
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP20は出力ラッチの値(0)を読み出し，入力ポートであるP21-P23は端子状態を読み出します。このときP21-P23の端子状態が“ハイ・レベル”とすると，読み出し値は“0EH”となります。

<2> の操作で，値は“0FH”となります。

<3> の操作で，出力ラッチに“0FH”が書き込まれます。

図4 - 10 1ビット・メモリ操作命令(P20の場合)



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については，使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により，割り当てられた機能も同様です。兼用出力については，4.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では，兼用機能の出力が無効(バッファ出力がHi-Z)となるので，処理不要です。

なお，入力だけや入出力のないブロックを含めて，低消費電力化のために，使用しない機能は停止させることをおすすめします。

第5章　オペレーション・ステート・コントロール

内部回路の動作電圧，動作タイミング，動作電流は，フラッシュ動作モードによって最適化されます。マイコンを動作させる電源電圧範囲やクロック周波数に合わせて，適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後，レジスタの設定により各モードで動作します。

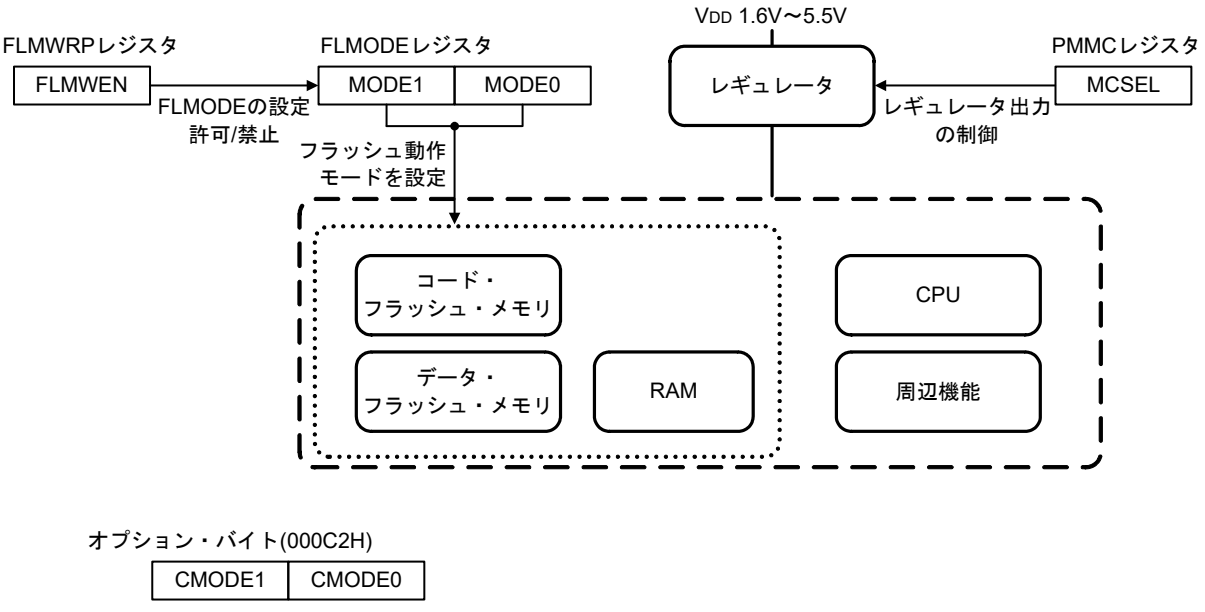
5.1　オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは，次のハードウエアで構成されています。

表5 - 1 オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	• ユーザ・オプション・バイト アドレス：000C2H
制御レジスタ	• フラッシュ動作モード選択レジスタ (FLMODE) • フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) • レギュレータ・モード制御レジスタ (PMMC)

図5 - 1 オペレーション・ステート・コントロールの概略図



フラッシュ動作モードは，以下の4つのモードあります。

- HS (高速メイン)モード
- LS (低速メイン)モード
- LV (低電圧メイン)モード
- LP (低電力メイン)モード

マイコンの動作環境に合わせてこれらのフラッシュ動作モードを設定することにより，効率よくマイコンを動作せることができます。表5 - 2各フラッシュ動作モードの特長示します。

表5 - 2 各フラッシュ動作モードの特長

フラッシュ動作モード	レギュレータ・モード	推奨動作範囲		動作電流 (typ.)	説明
HS(高速メイン)モード	通常設定のみ (MCSEL = 0)	2.7 V～5.5 V	1 MHz～24 MHz	3.2 mA (24 MHz注1動作時)	CPUの高速動作(24 MHz (max.))が可能なモードです。CPUの処理能力が必要な場合に最適です。
		2.4 V～5.5V	1 MHz～16 MHz		
LS(低速メイン)モード	通常設定 (MCSEL = 0)	1.8 V～5.5 V	1 MHz～8 MHz	1.1 mA (8 MHz注1動作時)	動作電流とCPUの演算処理(8 MHz (max.))のバランスのとれたモードです。CPUを4 MHz～8 MHzで動作させる場合，レギュレータ・モードを通常設定にしてください。CPUを1 MHz～4 MHzで動作させる場合は，レギュレータ・モードを低消費設定にすることでより動作電流を低減することができます。
	低消費設定 (MCSEL = 1)	1.8 V～5.5 V	1 MHz～4 MHz	0.58 mA (4 MHz注2動作時)	
LP(低電力メイン)モード	低消費設定のみ (MCSEL = 1)	1.8 V～5.5 V	1 MHz	0.124 mA (1 MHz注2動作時)	1 MHzで動作するモードです。1 MHzで低動作電流を実現します。
LV(低電圧メイン)モード注1	通常設定のみ (MCSEL = 0)	1.6 V～5.5 V	1 MHz～4 MHz	1.2 mA (4 MHz動作時)	1.6 Vまで低電圧動作が可能なモードです。電源電圧が1.6 V～1.8 VでCPUを動作させる場合はこのモードを選択してください。

注1. 高速オンチップ・オシレータのみで動作可能

注2. 中速オンチップ・オシレータ動作時

5.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ (FLMODE)
- フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)
- レギュレータ・モード制御レジスタ (PMMC)

5.2.1 フラッシュ動作モード選択レジスタ (FLMODE)

FLMODE レジスタは，フラッシュ動作モードとコード・フラッシュ・メモリの動作を制御する 8 ビットのレジスタです。

FLMODE レジスタは 1 ビット・メモリ操作命令または，8 ビット・メモリ操作命令で設定します。但し，フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) の FLMWEN が 0 のとき，値を変更することはできません。

リセット発生により，MODE1, MODE0 はオプション・バイトの CMODE1, CMODE0 (アドレス：000C2H) の設定値が反映されます。

図5 - 2 フラッシュ動作モード選択レジスタ (FLMODE)のフォーマット

アドレス：F00AAH　リセット時：00H/80H/C0H[注1]　R/W

略号	7	6	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	0	CFLSTOP

MODE1	MODE0	フラッシュ動作モードの選択
0	0	LV (低電圧メイン)モード (LS モードで 1 MHz ≦ f_{CLK} ≦ 4 MHz のとき，選択可能です。)
0	1	LP (低電力メイン)モード (LS モードで 1.8 V ≦ V_{DD} ≦ 5.5 V かつ f_{CLK}=1 MHz のとき，選択可能です。[注2])
1	0	LS (低速メイン)モード (HS モードまたは LP モードまたは LV モードで 1.8 V ≦ V_{DD} ≦ 5.5 V かつ 1 MHz ≦ f_{CLK} ≦ 8 MHz のとき，選択可能です。)
1	1	HS (高速メイン)モード (LS モードで 2.4 V ≦ V_{DD} ≦ 5.5 V のとき，選択可能です。)

CFLSTOP	コード・フラッシュ制御
0	コード・フラッシュ動作
1	コード・フラッシュ停止

注1. FLMODE レジスタの初期値は，MODE1 ビット，MODE0 ビットにオプション・バイトの CMODE1 ビット，CMODE0 ビット (アドレス：000C2H) の設定値が反映された値になります。

注2. LP(低電力メイン)モードを選択後，レギュレータ・モード制御レジスタ (PMMC) の MCSEL ビットを 1 に設定してください。

注意1. FLMODE レジスタは，フラッシュ動作モードプロテクトレジスタ (FLMWRP) のFLMWEN ビットが0のとき，値を変更できません。また，レギュレータ・モード制御レジスタのMCSEL ビットが1のとき，値を変更しないでください。FLMODE レジスタの値を変更する場合は，MCSEL が0のときにFLMERP レジスタのFLMWEN ビットに1を設定した後に行ってください。また，FLMODE レジスタの値を変更した後はFLMWEN ビットを0に設定してください。

注意2. MODE1ビット，MODE0ビットはシステム・クロック制御レジスタ (CKC) のCSS ビットが1 (低速オンチップ・オシレータ (f_{IL})動作)のとき，設定できません。

注意3. MODE1ビット，MODE0ビットはCFLSTOPビットが1のとき，値を変更しないでください。

注意4. MODE1ビット，MODE0ビットをDTCで値を変更しないでください。

注意5. フラッシュ動作モードを変更する場合，変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認した後，フラッシュ動作モードを変更してください。

注意6. LV （低電圧メイン）モードでは中速オンチップ・オシレータを使用できません。LV モードに遷移する場合，前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち，LVモードに遷移してください。

注意7. MODE1 ビット，MODE0 ビットでフラッシュ動作モードを変更した場合，フラッシュ動作モードが遷移するまで下記の時間CPUはウエイト状態になります。このウエイト期間中の割り込み要求は保留されます。

表5 - 3 フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS (低速メイン)モード ⇒ HS (高速メイン)モード	225サイクル*1
LS (低速メイン)モード ⇒ LV (低電圧メイン)モード	99サイクル*1, *2
LP (低電力メイン)モード ⇒ LS (低速メイン)モード	10サイクル*1
LS (低速メイン)モード⇒LP (低電力メイン)モード	10サイクル*1
LV (低電圧メイン)モード ⇒ LS (低速メイン)モード	20サイクル*1
HS (高速メイン)モード ⇒ LS (低速メイン)モード	30サイクル*1

*1：CPU/周辺クロック（f_{CLK}）のサイクル数

*2：LV（低電圧メイン）モードに切り替える場合は，高速オンチップ・オシレータの発振が安定している状態で行ってください。

注意8. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後，1クロック以上間を空けてから書き込みを行ってください。FLMODE レジスタへの連続書き込みはしないでください。

注意9. フラッシュ・メモリ書き換えの際にFLMODE レジスタは変更しないでください。

注意10. CFLSTOPビットに1を設定した時点でコード・フラッシュが停止状態に遷移するため，CLFSTOPビットはRAMに転送したプログラムで設定してください。

5.2.2 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

FLMWRPレジスタは，フラッシュ動作モード選択レジスタへのアクセスを制御する8ビットのレジスタです。

FLMWRPレジスタは1ビット・メモリ操作命令または，8ビット・メモリ操作命令で設定します。

リセット発生により，FLMWRPレジスタは00Hになります。

図5 - 3 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)のフォーマット

アドレス：F00ABH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
FLMWRP	0	0	0	0	0	0	0	FLMWEN

FLMWEN	フラッシュ動作モード選択レジスタ (FLMODE)の制御
0	FLMODEレジスタの書き換え禁止
1	FLMODEレジスタの書き換え許可

5.2.3 レギュレータ・モード制御レジスタ (PMMC)

PMMCレジスタは，内蔵されているレギュレータのモードを制御する8ビットのレジスタです。

PMMCレジスタは1ビット・メモリ操作命令または，8ビット・メモリ操作命令で設定します。

リセット発生により，PMMCレジスタは00Hになります。

図5 - 4 レギュレータ・モード制御レジスタ (PMMC)のフォーマット

アドレス：F00F8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0

MCSEL	レギュレータ・モードの制御
0	通常設定
1	低消費設定

注意1. MCSELが1のときフラッシュ動作モード選択レジスタ(FLMODE)を変更しないでください。

注意2. HS (高速メイン)モード，LV (低電圧メイン)モードではMCSELを1に設定しないでください。

注意3. LS (低速メイン)モードでは，MCSELが1のときにSTOPモード状態に遷移することは禁止です。

5.3 フラッシュ動作モードの初期設定

オプション・バイト (000C2H) は，フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時のV_{DD}の電圧と高速オンチップ・オシレータの周波数に合わせて，適切なフラッシュ動作モードを設定してください。

リセット解除時にCMODE1, CMODE0の値はフラッシュ動作モード選択レジスタ (FLMODE)のMODE1, MODE0に，FRQSEL4-FRQSEL0の値は，高速オンチップ・オシレータ周波数選択レジスタ (HIODIV)に反映されます。

図5 - 5 ユーザ・オプション・バイト (000C2H)のフォーマット

アドレス：000C2H

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

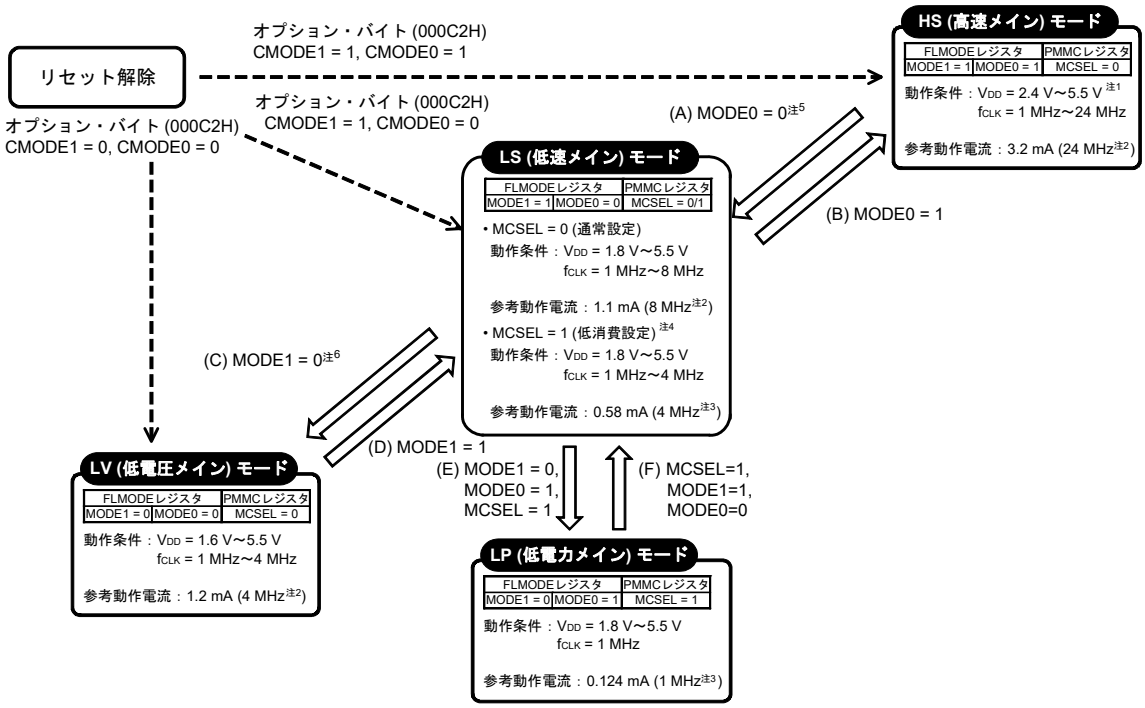
CMODE1	CMODE0	フラッシュ動作モードの選択		
			動作周波数範囲 （f_{MAIN}）	動作電圧範囲 （V_{DD}）
0	0	LV (低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5V
1	0	LS (低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS (高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V
上記以外		設定禁止		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータ・クロック周波数	
					f_{HOCO}	f_{IH}
1	0	0	0	0	48 MHz	24 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

5.4 フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは，オプション・バイト(000C2H)のCMODE1, CMODE0で設定によって，HS (高速メイン)モード，LS (低速メイン)モード，LV (低電圧メイン)モードを選択することができます。また，CMODE1，CMODE0の値はフラッシュ動作モード選択レジスタ(FLMODE)のMODE1，MODE0ビットに反映されます。その後は，CPU動作中にFLMODEレジスタの値を変更することによって，フラッシュ動作モードを遷移させることができます。

図5 - 6 フラッシュ動作モードの状態遷移



注1. 動作周波数と動作電圧範囲は，次のとおりです。

1MHz≦fCLK≦16MHz (2.4V≦VDD≦5.5V)

1MHz≦fCLK≦24MHz (2.7V≦VDD≦5.5V)

注2. 高速オンチップ・オシレータ動作時の電流です。

注3. 中速オンチップ・オシレータ動作時の電流です。

注4. MCSEL = 1 (低消費設定)のときは，各フラッシュ動作モードおよび，STOPモードへ遷移できません。フラッシュ動作モードを変更，およびSTOPモードに遷移する場合，必ずMCSEL = 0 (通常設定)で変更してください。

注5. オプション・バイト(000C2H)のCMODE1 = 1, CMODE0 = 1に設定した場合，LS (低速メイン)モードへ遷移後，動作電圧2.4 V未満でリセットが発生した場合の動作は保障できません。

注6. オプション・バイト(000C2H)のCMODE1 = 1, CMODE0 = 0に設定した場合，LV (低電圧メイン)モードへ遷移後，動作電圧1.8 V未満でリセットが発生した場合の動作は保障できません。

注意 マイコンの動作中にリセットが入った場合，リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。従って，LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲以上に設定するなど，リセット解除時に動作電圧範囲外で動作を開始しないようにしてください。

5.5 フラッシュ動作モードの詳細

5.5.1 HS (高速メイン)モードの詳細

HS (高速メイン)モードは，CPUの高速処理が必要なアプリケーションに最適なモードです。

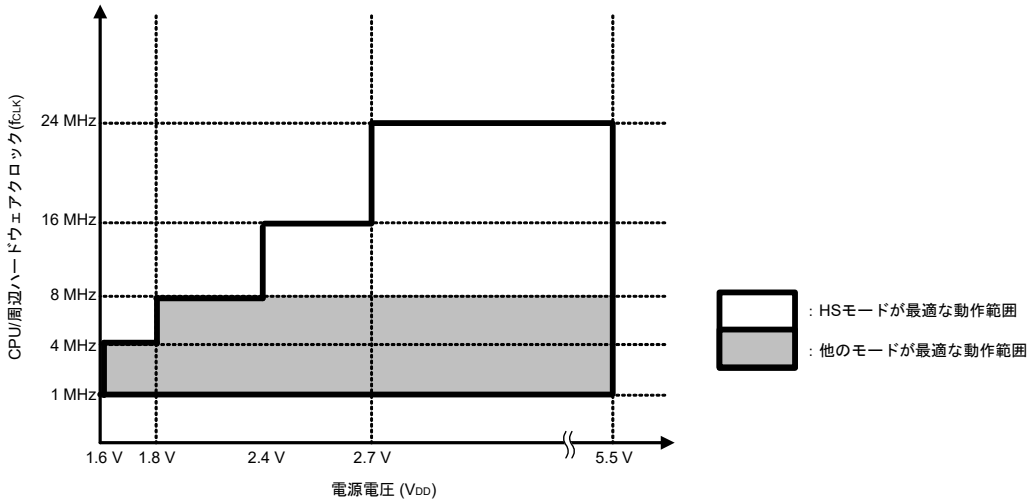
HS モードは，リセット解除直後から動作可能です。また，LS (低速メイン) モードから遷移することが可能です。HSモードに遷移する場合は，LSモードで電源電圧が2.4 V≦V_{DD}≦5.5 V，動作周波数が1 MHz≦f_{CLK}≦8 MHzの状態で遷移してください。

HSモードの最適動作範囲は，電源電圧が以下の条件のときです。

- 2.4 V ≦V_{DD} ≦ 5.5 V，動作周波数が1MHz≦f_{CLK}≦16MHz
- 2.7 V≦V_{DD}≦5.5 V，動作周波数が1MHz≦f_{CLK}≦24 MHz

8 MHz以下で動作させる場合は，その他のモードが最適なフラッシュ動作モードになります。

図5 - 7 HSモードの動作範囲



5.5.2 LS (低速メイン)モードの詳細

LS (低速メイン)モードは，CPUの処理能力と動作電力性能を両立しており，1 MHz～8 MHzで低消費電力が必要なアプリケーションに最適なモードです。

LSモードはリセット解除直後から動作可能です。また，HS (高速メイン)モード，LV (低電圧メイン)モード，LP (低電力メイン)モードから遷移することが可能です。HSモードからLSモードに遷移する場合，動作周波数が1 MHz≦f_{CLK}≦8 MHzの状態で遷移してください。

LSモードはレギュレータ・モード制御レジスタ (PMMC)のMCSELビットによって，低消費設定にすることが可能です。低消費設定にする場合，動作周波数が1 MHz≦f_{CLK}≦4 MHzの状態でMCSELビットを1に設定してください。

LSモードの最適動作範囲は，MCSEL = 0の場合，電源電圧が1.8 V≦V_{DD}≦5.5 V，動作周波数が4 MHz＜f_{CLK}≦8 MHzのときで，MCSEL = 1の場合，電源電圧が1.8 V≦V_{DD}≦5.5 V, 動作周波数が1 MHz＜f_{CLK}≦4 MHzのときです。

図5 - 8 LSモードの動作範囲(MCSEL = 0)

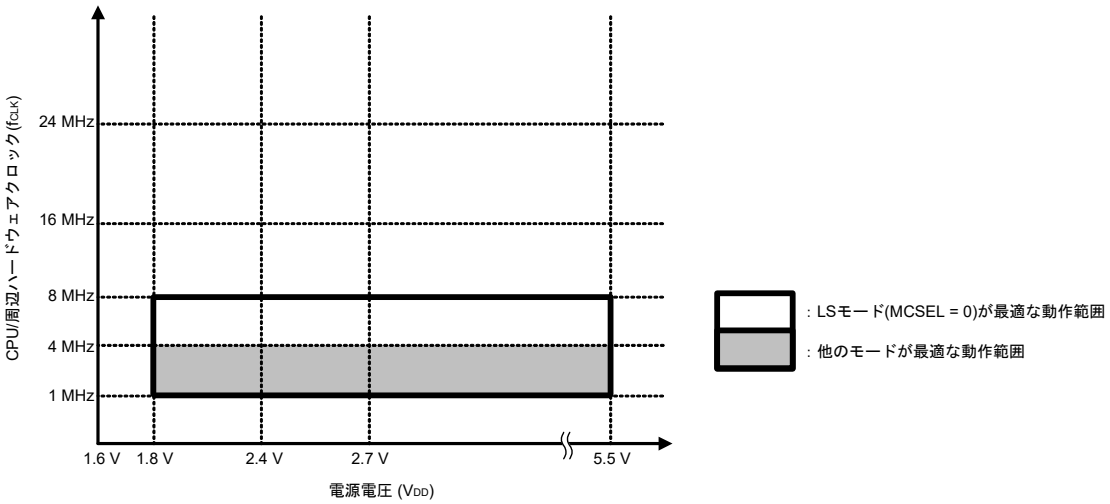
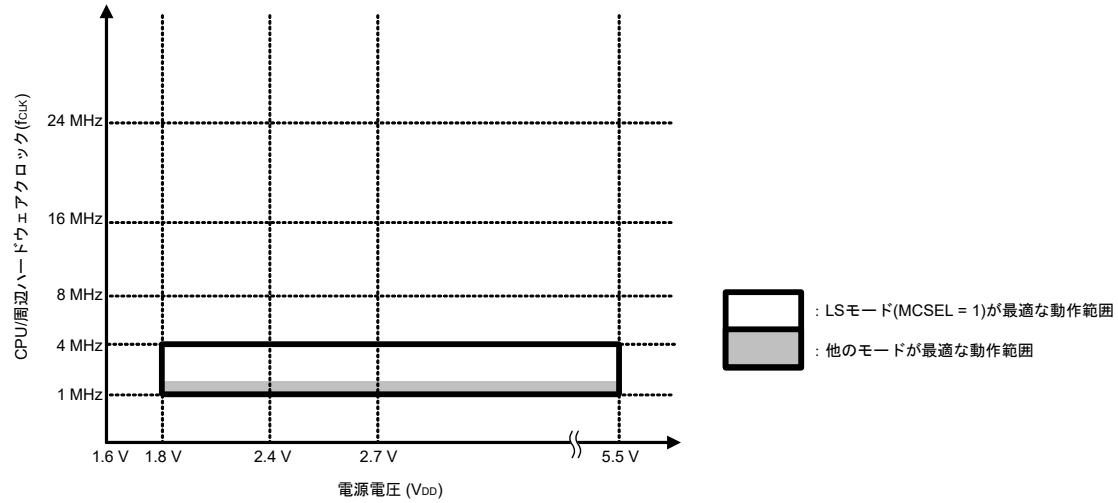


図5 - 9 LSモードの動作範囲(MCSEL = 1)



注意 他のフラッシュ動作モードに遷移する場合は，MCSEL = 0の状態で遷移してください。

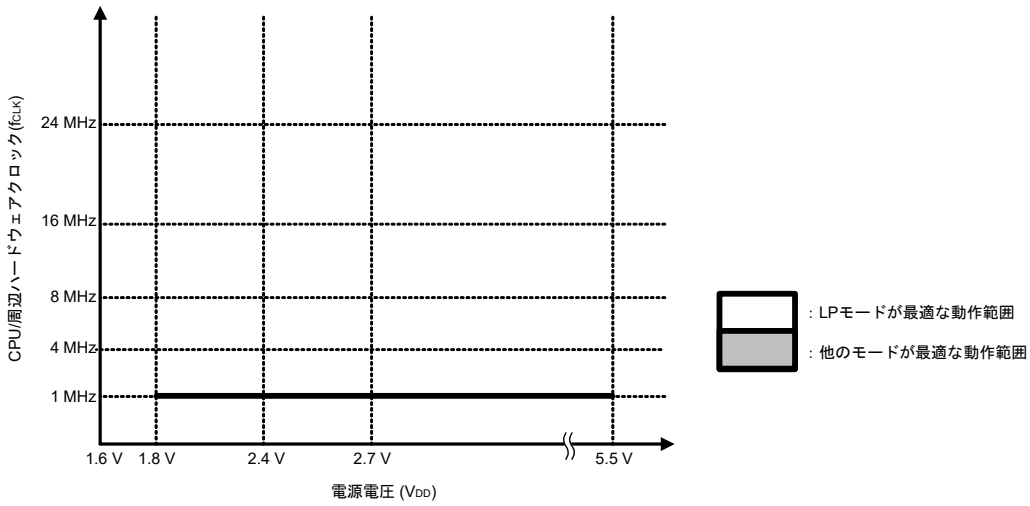
5.5.3 LP (低電力メイン)モードの詳細

LP (低電力メイン)モードは，1 MHzの動作周波数によって低電力でCPUを動作させるモードです。

LPモードはLS (低速メイン)モードから遷移することが可能です。LSモードからLPモードに遷移する場合，動作周波数がf_{CLK}＝1 MHzの状態で遷移してください。遷移後は，レギュレータ・モード制御レジスタのMCSELビットを1にセットしてください。

LPモードの最適動作範囲は，電源電圧が1.8 V≦V_{DD}≦5.5 V，動作周波数が1 MHzのときです。

図5 - 10 LPモードの動作範囲



注意 LS (低速メイン)モードに遷移する場合は，MCSEL = 0の状態で遷移してください。

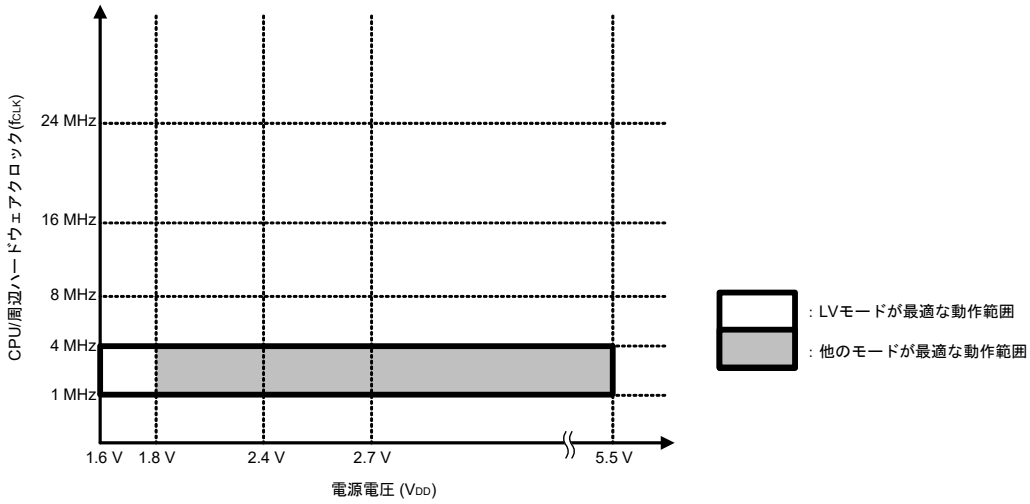
5.5.4 LV (低電圧メイン)モードの詳細

LV (低電圧メイン)モードは，1.8V以下の動作が必要なアプリケーションに最適なモードです。

LV モードはリセット解除直後から動作可能です。また，LS (低速メイン) モードから遷移することが可能です。LSモードからLVモードに遷移する場合，動作周波数が1 MHz≦f_{CLK}≦4 MHzの状態で遷移してください。

LVモードの最適動作範囲は，電源電圧が1.6 V≦V_{DD}＜1.8 Vのときです。電源電圧が1.8 V≦V_{DD}≦5.5 Vで動作させる場合は他のモードが最適なフラッシュ動作になります。

図5 - 11 LVモードの最適な動作範囲



注意 LV (低電圧メイン)モードでは中速オンチップ・オシレータを使用できません。LVモードに遷移する場合，前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち，LVモードに遷移してください。

第6章　クロック発生回路

6.1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には，次の種類があります。

(1)　メイン・システム・クロック

① X1発振回路

X1端子，X2端子に発振子を接続することにより，fx = 1～20 MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ

オプションバイト(000C2H)により，f_{HOCO} = 48 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz /4 MHz /3 MHz /2 MHz /1 MHz (TYP.)から周波数を選択し，発振させることができます。f_{HOCO}に48 MHz を選択した場合，f_{IH} は24 MHzになります。f_{HOCO}に24 MHz以下を選択した場合，f_{IH} は分周されず，f_{HOCO}と同じ周波数になります。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は，図6 - 12　高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数(MHz)									
	1	2	3	4	6	8	12	16	24	48
2.7 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	○	○	○	○
2.4 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	○	○	—	—
1.8 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	—	—	—	—
1.6 V≦V_{DD}≦5.5 V	○	○	○	○	—	—	—	—	—	—

③ 中速オンチップ・オシレータ

MOCODIV ビット (MOCODIV レジスタのビット 0, 1) の設定により，f_{IM} = 4 MHz/2 MHz/1 MHz (TYP.) から周波数を選択し，発振させることができます。STOP 命令の実行または MIOEN ビット (CSC レジスタのビット 1) の設定により，発振を停止することができます。

また，EXCLK/X2/P122 端子から外部メイン・システム・クロック (f_{EX} = 1～20 MHz) を供給することができます。STOP 命令の実行または MSTOP ビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは，MCM0 ビット (システム・クロック制御レジスタ (CKC) のビット 4) および MCM1 ビット (システム・クロック制御レジスタ (CKC) のビット 0) の設定により，高速システム・クロック (X1 クロックまたは外部メイン・システム・クロック) とメイン・オンチップ・オシレータ・クロック（高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロック）を切り替えられます。

なお，メイン・システム・クロックは，電源電圧 V_{DD} によって使用可能な周波数範囲が異なり，オプション・バイト（000C2H) の CMODE0, CMODE1 によりフラッシュの動作電圧モードの設定 (第 30 章 オプション・バイト）が必要です。

(2)　サブシステム・クロック

①　低速オンチップ・オシレータ・クロック

f_{IL} = 15 kHz (TYP.)のクロックを発振させることができます。

オプション・バイト(000C0H)のビット4 (WDTON)または，動作スピード・モード制御レジスタ(OSMC)のビット4 (WUTMMCK0)または，サブシステム・クロック選択レジスタ(CKSEL)のビット0(SELLOSC)のいずれか，または複数のビットが1のときに動作します。

ただし，WDTON = 1，WUTMMCK0 = 0, SELLOSC = 0 かつオプション・バイト (000C0H) のビット0(WDSTBYON)が0のときに，HALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータは発振を停止します。

備考　f_X：　X1クロック発振周波数

f_{IH}：　高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

f_{IM}：　中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

f_{EX}：　外部メイン・システム・クロック周波数

f_{IL}：　低速オンチップ・オシレータ・クロック周波数

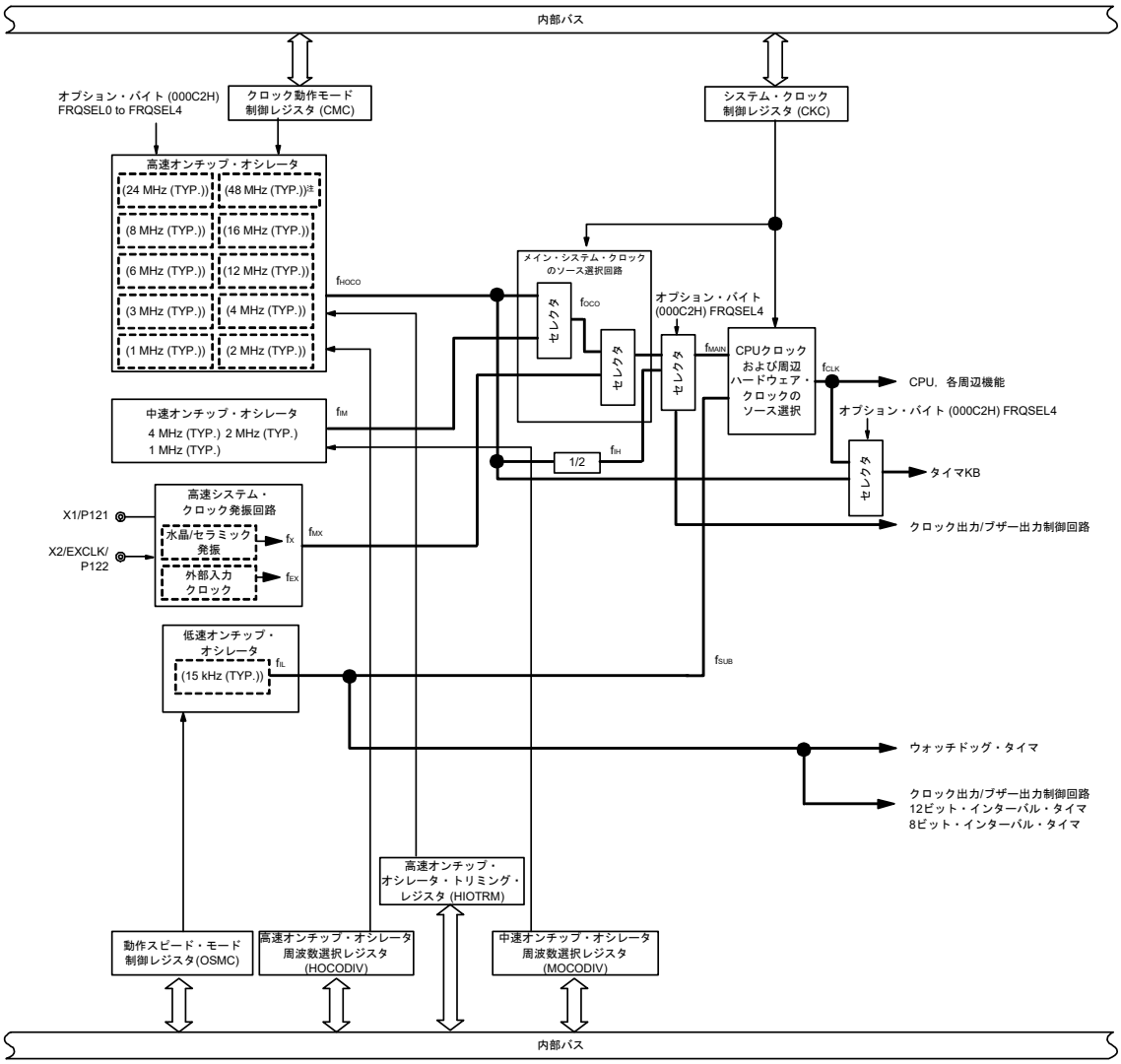
6.2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表6 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2) 動作スピード・モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) サブシステム・クロック選択レジスタ (CKSEL) 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)
発振回路	X1発振回路 高速オンチップ・オシレータ 中速オンチップ・オシレータ 低速オンチップ・オシレータ

図6 - 1 クロック発生回路のブロック図



注　TMKB用倍速

備考　fX：　X1クロック発振周波数

fHOCO：高速オンチップ・オシレータ・クロック周波数(最大48 MHz)

fIH：　高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

fIM：　中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

fEX：　外部メイン・システム・クロック周波数

fMX：　高速システム・クロック周波数

fMAIN：メイン・システム・クロック周波数

fXT：　XT1クロック発振周波数

fSUB：　サブシステム・クロック周波数

fCLK：　CPU／周辺ハードウエア・クロック周波数

fIL：　低速オンチップ・オシレータ・クロック周波数

fOCO：　メイン・オンチップ・オシレータ・クロック周波数(fIHまたはfIM)

6.3　クロック発生回路を制御するレジスタ

クロック発生回路は，次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)
- 動作スピード・モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
- サブシステム・クロック選択レジスタ (CKSEL)
- 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)

注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

6.3.1　クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMC レジスタは，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により，00Hになります。

図6 - 2 クロック動作モード制御レジスタ(CMC)のフォーマット

アドレス：FFFA0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	1 MHz≦fx≦10 MHz
1	10 MHz＜fx≦20 MHz

注意1. CMC レジスタは，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。CMC レジスタを初期値(00H)のまま使用する場合，暴走時の誤動作(00H 以外の誤書き込みで復帰不可)を防止するために，リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後，クロック動作ステータス制御レジスタ(CSC)の設定でX1発振を開始する前に，CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを越える場合は，必ずAMPHビットに1を設定してください。

注意4. AMPHビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態(f_{CLK}をf_{MX}に切り替える前の状態)で設定してください。

注意5. システム・クロックの周波数上限は24 MHzですが，X1発振回路の周波数上限は20 MHzになります。

備考　fx：X1クロック発振周波数

6.3.2　システム・クロック制御レジスタ(CKC)

CPU／周辺ハードウエア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6 - 3 システム・クロック制御レジスタ(CKC)のフォーマット

アドレス：FFFA4H　リセット時：00H　R/W注1

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS注2	MCS	MCM0注2	0	0	MCS1	MCM1注2

CLS	CPU／周辺ハードウエア・クロック(fCLK)のステータス
0	メイン・システム・クロック(fMAIN)
1	サブシステム・クロック(fSUB)

CSS注2	CPU／周辺ハードウエア・クロック(fCLK)の選択
0	メイン・システム・クロック(fMAIN)
1	サブシステム・クロック(fSUB)

MCS	メイン・システム・クロック(fMAIN)のステータス
0	メイン・オンチップ・オシレータ・クロック(fOCO)
1	高速システム・クロック(fMX)

MCM0注2	メイン・システム・クロック(fMAIN)の動作制御
0	メイン・システム・クロック(fMAIN)にメイン・オンチップ・オシレータ・クロック(fOCO)を選択
1	メイン・システム・クロック(fMAIN)に高速システム・クロック(fMX)を選択

MCS1	メイン・オンチップ・オシレータ・クロック(fOCO)のステータス
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

MCM1注2	メイン・オンチップ・オシレータ・クロック(fOCO)の動作制御
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

注1.　ビット7, 5, 1は，Read Onlyです。

注2.　CSS = 1を設定した状態で，MCM0ビット，MCM1ビットの値を変更することは禁止です。

注意1. ビット2, 3には，必ず0を設定してください。

注意2. CSSビットで設定したクロックは，CPUと周辺ハードウエアに供給されます。したがって，CPUクロックを変更すると，周辺ハードウエア・クロックも同時に変更されます(12ビット・インターバル・タイマ，クロック出力／ブザー出力，8ビット・インターバル・タイマおよびウォッチドッグ・タイマは除く)。よって，CPU／周辺ハードウエア・クロックを変更する場合は，各周辺機能を停止してください。

注意3. 周辺ハードウエア・クロックとしてサブシステム・クロックが使われている場合，A/Dコンバータ，IICAの動作は保証できません。周辺ハードウエアの動作特性については，各周辺ハードウエアの章および第35章または第36章　電気的特性を参照してください。

備考　f_{IH}：　高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

f_{MX}：　高速システム・クロック周波数

f_{MAIN}：　メイン・システム・クロック周波数

f_{SUB}：　サブシステム・クロック周波数

f_{OCO}：　メイン・オンチップ・オシレータ・クロック周波数(f_{IH}またはf_{IM})

6.3.3 クロック動作ステータス制御レジスタ(CSC)

高速システム・クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図6 - 4 クロック動作ステータス制御レジスタ(CSC)のフォーマット

アドレス：FFFA1H　リセット時：C0H　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	1	0	0	0	0	MIOEN	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

MIOEN	中速オンチップ・オシレータ・クロックの動作制御
0	中速オンチップ・オシレータ停止
1	中速オンチップ・オシレータ動作

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1. リセット解除後は，クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。

注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注意4. CPU／周辺ハードウエア・クロック(f_{CLK})に選択しているクロックは，CSCレジスタで停止させないでください。

注意5. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表6 - 2のようになります。

クロックを停止する場合は，クロック停止前条件を確認した後に停止してください。

表6 - 2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU／周辺ハードウエア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0，またはCLS = 1)	MSTOP = 1
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウエア・クロックが高速オンチップ・オシレータ・クロック以外で動作(CLS = 0かつMCS = 1，またはCLS = 1)，またはCLS = 0かつMCS = 0かつMCS1 = 1	HIOSTOP = 1

6.3.4 発振安定時間カウンタ状態レジスタ(OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により，00Hになります。

備考 発振安定時間カウンタは，次の場合にカウントを開始します。

- X1クロック発振開始時(EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図6 - 5 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス：FFFA2H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.2 ms以上	13.1 ms以上

注意1. 上記時間経過後，MOST8ビットから順番に“1”となっていき，そのまま“1”を保持します。

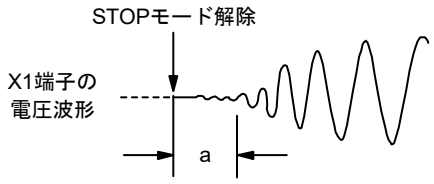
注意2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次のときには，OSTSレジスタの発振安定時間を，OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合

(したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間(下図a)は含みません。



備考　fx：X1クロック発振周波数

6.3.5　発振安定時間選択レジスタ(OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は，X1発振回路動作(MSTOP = 0)後，OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックから，X1クロックに切り換える場合や，CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後STOPモードを解除した場合は，発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図6 - 6 発振安定時間選択レジスタ(OSTS)のフォーマット

アドレス：FFFA3H　リセット時：07H　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

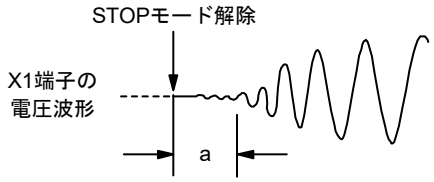
OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	2^8/fx	25.6 μs	12.8 μs
0	0	1	2^9/fx	51.2 μs	25.6 μs
0	1	0	2^{10}/fx	102 μs	51.2 μs
0	1	1	2^{11}/fx	204 μs	102 μs
1	0	0	2^{13}/fx	819 μs	409 μs
1	0	1	2^{15}/fx	3.27 ms	1.63 ms
1	1	0	2^{17}/fx	13.1 ms	6.55 ms
1	1	1	2^{18}/fx	26.2 ms	13.1 ms

注意1. OSTSレジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ(CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。
次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合

(したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間(下図a)は含みません。



備考　fx：X1クロック発振周波数

6.3.6 サブシステム・クロック選択レジスタ (CKSEL)

サブシステム・クロックとして低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSEL レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6 - 7 サブシステム・クロック選択レジスタ (CKSEL)のフォーマット

アドレス：FFFA7H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	低速オンチップ・オシレータ・クロック選択
0	低速オンチップ・オシレータ・クロックを選択しない
1	低速オンチップ・オシレータ・クロックを選択

注意　SELLOSCを変更する場合は，必ずCSS = 0 (f_{MAIN}選択)に設定し，CLS = 0の状態で切り替えてください。

6.3.7　周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット(1)してください。

- A/Dコンバータ
- D/Aコンバータ
- PGA0
- シリアル・アレイ・ユニット0
- IICA0, 1
- タイマKB0
- タイマ・アレイ・ユニット0
- コンパレータ
- DTC
- 12ビット・インターバル・タイマ
- データ演算回路(DOC)

PER0, PER1, PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6 - 8 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICA1EN	IICA1の入力クロック供給の制御
0	入力クロック供給停止 • IICA1で使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注1
1	入力クロック供給 • IICA1で使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 • A/Dコンバータで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注2
1	入力クロック供給 • A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	IICA0の入力クロック供給の制御
0	入力クロック供給停止 • IICA0で使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注3
1	入力クロック供給 • IICA0で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニット0で使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注4
1	入力クロック供給 • シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 • タイマ・アレイ・ユニット0で使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注5
1	入力クロック供給 • タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注1. IICA1ENおよびIICA1ENで使用するSFRを初期化する場合，PRR0のビット6 (IICA1RES)を使用してください。

注2. A/Dコンバータおよび A/Dコンバータで使用するSFRを初期化する場合，PRR0のビット5 (ADCRES)を使用してください。

注3. IICA0ENおよびIICA0ENで使用するSFRを初期化する場合, PRR0のビット4 (IICA0RES)を使用してください。

注4. シリアル・アレイ・ユニット0およびシリアル・アレイ・ユニット0で使用するSFRを初期化する場合，PRR0のビット2 (SAU0RES)を使用してください。

注5. タイマ・アレイ・ユニット0およびタイマ・アレイ・ユニット0で使用するSFRを初期化する場合，PRR0のビット0 (TAU0RES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。
ビット1, 3, 7

注意2. 各周辺機能が動作許可の状態で，PER0 レジスタの対象ビットを切り替えないでください。PER0による設定は，PER0に割り当てている各周辺機能が停止している状態で切り替えてください。

図6 - 9 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス：F00FAH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	0	DTCEN	PGA0EN	0	0

DACEN	D/Aコンバータの入力クロック供給の制御
0	入力クロック供給停止 • D/Aコンバータで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注1
1	入力クロック供給 • D/Aコンバータで使用するSFRへのリード／ライト可

CMPEN	コンパレータの入力クロック供給の制御
0	入力クロック供給停止 • コンパレータで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注2
1	入力クロック供給 • コンパレータで使用するSFRへのリード／ライト可

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 • DTCは動作不可
1	入力クロック供給 • DTCは動作可

PGA0EN	PGAの入力クロック供給の制御
0	入力クロック供給停止 • PGAで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注3
1	入力クロック供給 • PGAで使用するSFRへのリード／ライト可

注1. DACENおよびDACENで使用するSFRを初期化する場合，PRR1のビット7 (DACRES)を使用してください。

注2. コンパレータおよびコンパレータで使用するSFRを初期化する場合，PRR1のビット5 (CMPRES)を使用してください。

注3. PGA0ENおよびPGA0ENで使用するSFRを初期化する場合，PRR1のビット2 (PGA0RES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。
ビット0, 1, 4, 6

注意2. 各周辺機能が動作許可の状態で，PER1 レジスタの対象ビットを切り替えないでください。PER1 による設定は，PER1に割り当てている各周辺機能が停止している状態で切り替えてください。

図6 - 10 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス：F00FCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	0	DOCEN	0	0	0	0	TKB0EN

TMKAEN	12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 • 12ビット・インターバル・タイマで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注1
1	入力クロック供給 • 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

DOCEN	データ演算回路の入力クロック供給の制御
0	入力クロック供給停止 • データ演算回路で使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注2
1	入力クロック供給 • データ演算回路で使用するSFRへのリード／ライト可

TKB0EN	タイマKB0の入力クロック供給の制御
0	入力クロック供給停止 • タイマKB0で使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注3
1	入力クロック供給 • タイマKB0で使用するSFRへのリード／ライト可

注1. 12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合，PRR2のビット7 (TMKARES)を使用してください。

注2. データ演算回路およびデータ演算回路で使用するSFRを初期化する場合，PRR2のビット5 (DOCRES)を使用してください。

注3. TKB0ENおよびTKB0ENで使用するSFRを初期化する場合，PRR2のビット0 (TKB0RES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。
ビット1-4, 6

注意2. 各周辺機能が動作許可の状態で，PER2レジスタの対象ビットを切り替えないでください。PER2による設定は，PER2に割り当てている各周辺機能が停止している状態で切り替えてください。

6.3.8 動作スピード・モード制御レジスタ(OSMC)

OSMCレジスタでは12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力／ブザー出力制御回路の動作クロックを選択できます。

OSMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，不定になります。

図6 - 11 動作スピード・モード制御レジスタ(OSMC)のフォーマット

アドレス：F00F3H　リセット時：不定　R/W[注1]

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	x	x	0	0

WUTMMCK0	12ビット・インターバル・タイマ[注2]，8ビット・インターバル・タイマ，クロック出力/ブザー出力制御回路の動作クロックの選択
0	低速オンチップ・オシレータ・クロックを選択しない
1	低速オンチップ・オシレータ・クロックを選択

注1. ビット0-3, 5-7には，必ず0を設定してください。

注2. 12ビット・インターバル・タイマの動作クロックは，タイマ・クロック選択レジスタ3（TPS3）とOSMC.WUTMMCK0で選択します（8.3.4 タイマ・クロック選択レジスタ3（TPS3）を参照）。

6.3.9 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし,オプション・バイト(000C2H)のFRQSEL4, FRQSEL3ビットの値によって,選択できる周波数が異なります。

HOCODIVは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図6 - 12 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマット

アドレス:F00A8H　リセット時:オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	設定禁止	f_{IH} = 24 MHz f_{HOCO} = 48 MHz	設定禁止
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz	f_{IH} = 12 MHz f_{HOCO} = 24 MHz	設定禁止
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz	f_{IH} = 6 MHz f_{HOCO} = 12 MHz	設定禁止
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz	f_{IH} = 3 MHz f_{HOCO} = 6 MHz	設定禁止
1	0	0	設定禁止	f_{IH} = 2 MHz	設定禁止	設定禁止
1	0	1	設定禁止	f_{IH} = 1 MHz	設定禁止	設定禁止
上記以外			設定禁止			

注意1. HOCODIV レジスタの設定は,周波数の変更前,変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV(低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS(低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V
上記以外		設定禁止		

注意2. HOCODIV レジスタの設定は,高速オンチップ・オシレータ・クロック(f_{IH})をCPU／周辺ハードウエア・クロック(f_{CLK})に選択している状態で行ってください。

注意3. HOCODIV レジスタで周波数を変更後,次の遷移時間経過して周波数が切り替わります。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロックウエイト

6.3.10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し，精度補正することができます。

HIOTRMは，8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度，VDD端子電圧に変化があった場合，周波数は変動します。
温度，VDD 電圧が変動する場合は，周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 13 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)のフォーマット

アドレス：F00A0H リセット時：注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
			.			
			.			
			.			
1	1	1	1	1	0	↓
1	1	1	1	1	1	最高速

注 リセット値は出荷時に調整した値です。

備考1. HIOTRM レジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRM レジスタの使用例は，RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

6.3.11　中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)

中速オンチップ・オシレータの分周比を選択するレジスタです。

MOCODIV レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図6 - 14 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)のフォーマット

アドレス：F00F2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV1	MOCODIV0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
上記以外		設定禁止

6.4　システム・クロック発振回路

6.4.1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1～20 MHz)によって発振します。

また，外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

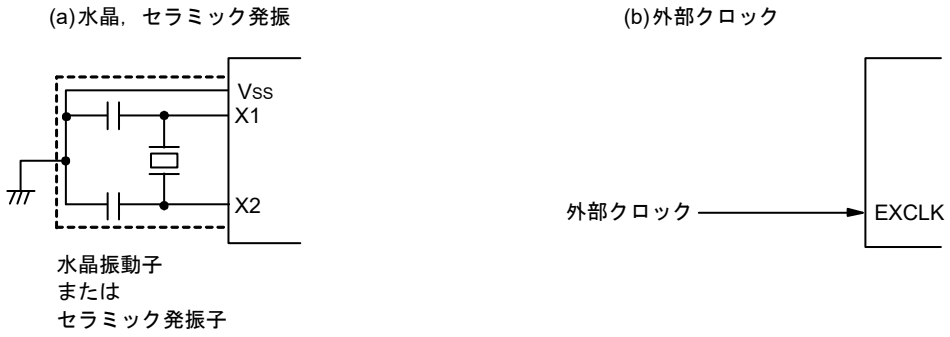
- 水晶，セラミック発振：EXCLK, OSCSEL = 0, 1
- 外部クロック入力：　EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は，入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに，入力ポートとしても使用しない場合は，表2 - 3　各端子の未使用端子処理を参照してください。

図6 - 15にX1発振回路の外付け回路例を示します。

図6 - 15 X1発振回路の外付け回路例



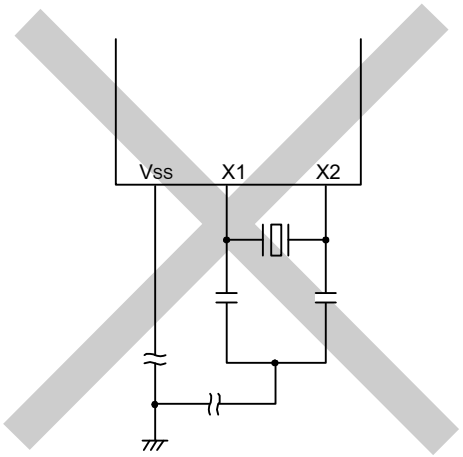
注意　X1発振回路を使用する場合は，配線容量などの影響を避けるために，図6 - 15の破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- 他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

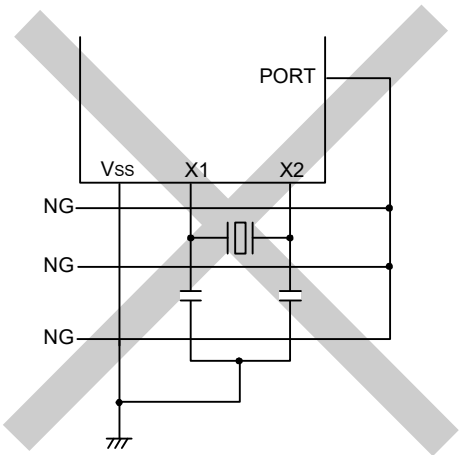
図6 - 16に発振子の接続の悪い例を示します。

図6 - 16 発振子の接続の悪い例(1/2)

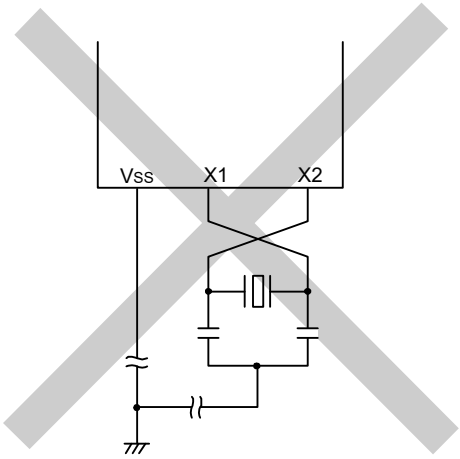
(a) 接続回路の配線が長い



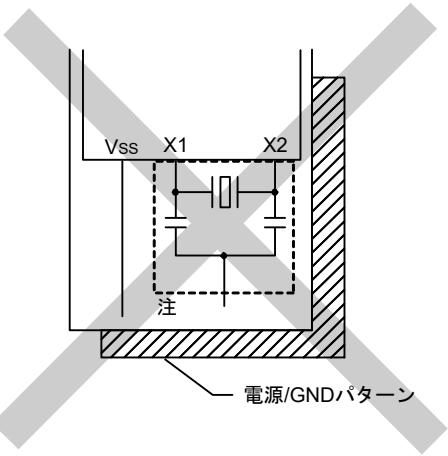
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



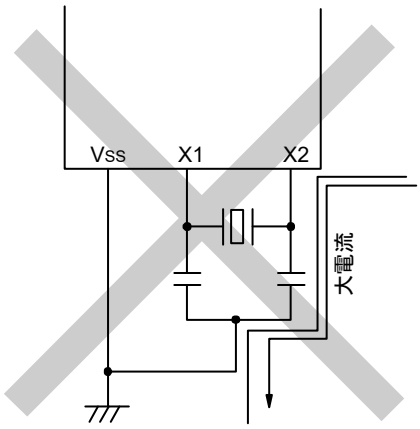
(d) X1, X2配線の下に電源／GNDパターンがある



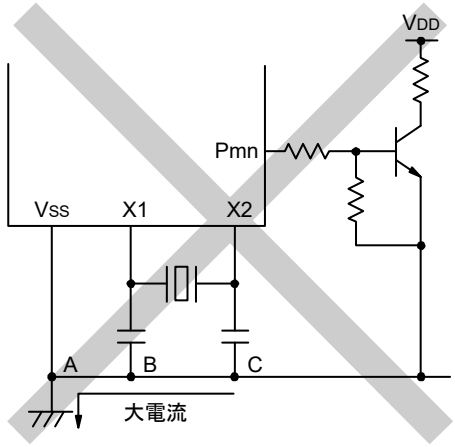
注　多層基板や両面基板において，X1, X2端子と発振子の配線部(図中の点線部分)の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

図6 - 16 発振子の接続の悪い例(2/2)

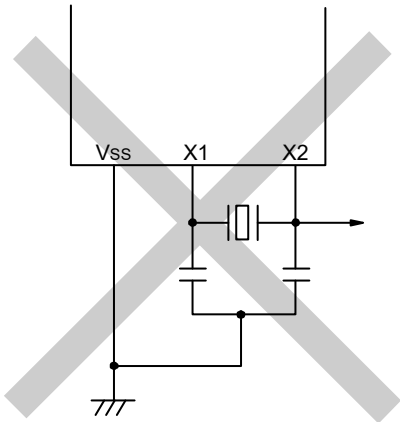
(e)変化する大電流が信号線に
近接している



(f)発振回路部のグランド・ライン上に電流が流れる
(A点，B点，C点の電位が変動する)



(g)信号を取り出している



6.4.2　高速オンチップ・オシレータ

RL78/G11 は，高速オンチップ・オシレータを内蔵しています。オプションバイト (000C2H) により 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC)のビット0 (HIOSTOP)にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

6.4.3　中速オンチップ・オシレータ

RL78/G11 は，中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ (CSC)のビット1 (MIOEN)にて発振を制御できます。

6.4.4　低速オンチップ・オシレータ

RL78/G11は，低速オンチップ・オシレータを内蔵しています。

ウォッチドッグ・タイマの動作時，または，動作スピード・モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) とサブシステム・クロック選択レジスタ (CKSEL) のビット0 (SELLOSC) のいずれか，または両ビットが1の時に低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時で，WUTMMCK0 = 0かつ, SELLOSC = 0のとき，低速オンチップ・オシレータは停止します。

6.5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します(図6 - 1を参照)。

〇メイン・システム・クロック　f_{MAIN}

・高速システム・クロック　f_{MX}

X1クロック　f_X

外部メイン・システム・クロック　f_{EX}

・高速オンチップ・オシレータ・クロック　f_{IH}

・中速オンチップ・オシレータ・クロック　f_{IM}

〇サブシステム・クロック　f_{SUB}

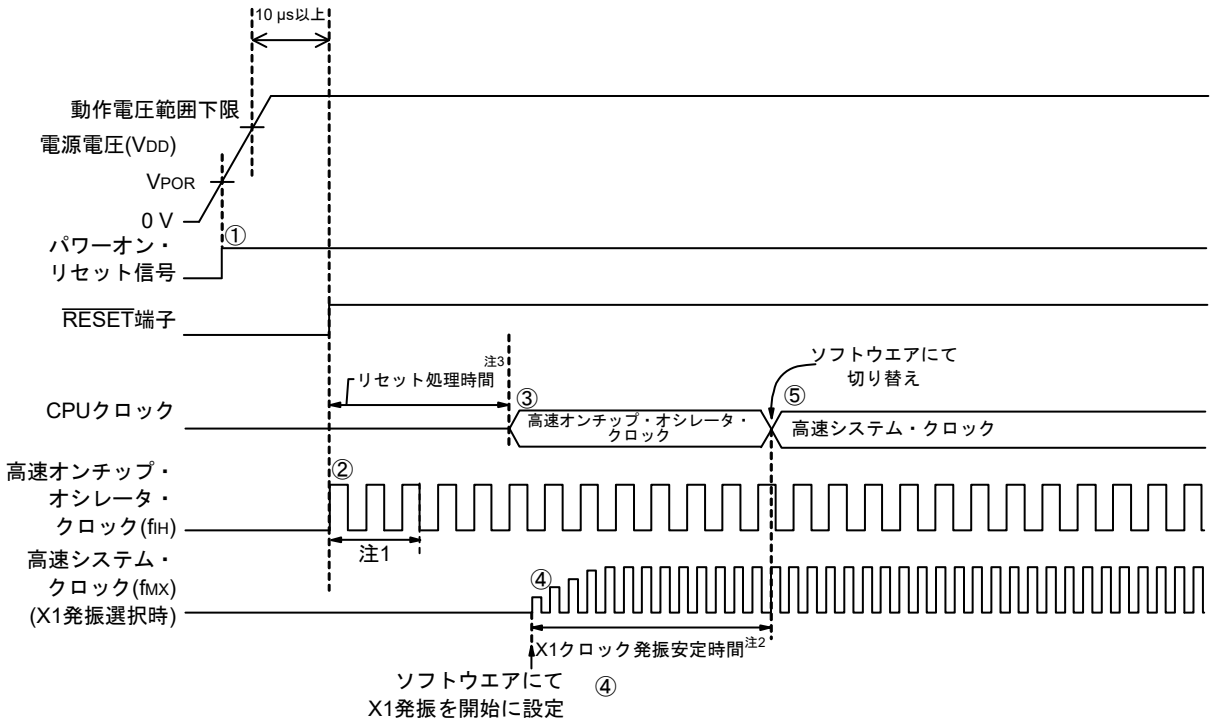
・低速オンチップ・オシレータ・クロック　f_{IL}

〇CPU／周辺ハードウエア・クロック　f_{CLK}

RL78/G11では，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を，図6 - 17に示します。

図6 - 17 電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット(POR)回路による内部リセット信号が発生します。
ただし，35.4 AC特性に示す動作電圧範囲に達するまで，電圧検出回路か外部リセットでリセット状態を保ちます(上図は，外部リセット使用時の例)。

② リセットが解除されると，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに，CPU が高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロックは，ソフトウエアにて発振開始を設定してください(6.6.2 X1発振回路の設定例を参照)。

⑤ CPU を X1 クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください(6.6.2 X1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，リセット処理時間に含まれます。

注2. リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注3. リセット処理時間は，第26章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

6.6 クロックの制御

6.6.1 高速オンチップ・オシレータの設定例

CPU／周辺ハードウエア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，オプション・バイト (000C2H) の FRQSEL0-FRQSEL4 により，48MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)により，周波数を変更することもできます。

【オプション・バイト設定】

アドレス：00C2H

オプション・バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定
0	0	LV (低電圧メイン)モード　V_{DD} = 1.6 V～5.5 V @ 1 MHz～4 MHz
1	0	LS (低速メイン)モード　V_{DD} = 1.8 V～5.5 V @ 1 MHz～8 MHz
1	1	HS (高速メイン)モード　V_{DD} = 2.4 V～5.5 V @ 1 MHz～16 MHz V_{DD} = 2.7 V～5.5 V@ 1 MHz～24 MHz
上記以外		設定禁止

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					f_{HOCO}	f_{IH}
1	0	0	0	0	48 MHz	24 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)設定】

アドレス：F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	設定禁止	f_{IH} = 24 MHz f_{HOCO} = 48 MHz	設定禁止
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz	f_{IH} = 12 MHz f_{HOCO} = 24 MHz	設定禁止
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz	f_{IH} = 6 MHz f_{HOCO} = 12 MHz	設定禁止
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz	f_{IH} = 3 MHz f_{HOCO} = 6 MHz	設定禁止
1	0	0	設定禁止	f_{IH} = 2 MHz	設定禁止	設定禁止
1	0	1	設定禁止	f_{IH} = 1 MHz	設定禁止	設定禁止
上記以外			設定禁止			

6.6.2 X1発振回路の設定例

CPU／周辺ハードウエア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1発振クロックに変更する場合，発振安定時間選択レジスタ (OSTS)，クロック動作モード制御レジスタ (CMC)，クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ (CKC) でX1発振クロックをfCLKに設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMCレジスタのOSCSELビットをセット(1)，fx＞10 MHz以上の場合はAMPHビットをセット(1)してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	0	0	0	0	0	AMPH 0/1

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例) 10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

③ CSCレジスタのMSTOPビットをクリア(0)してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	1	0	0	0	0	MIOEN 0	HIOSTOP 0

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例) 10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	MCS1 0	MCM1 0

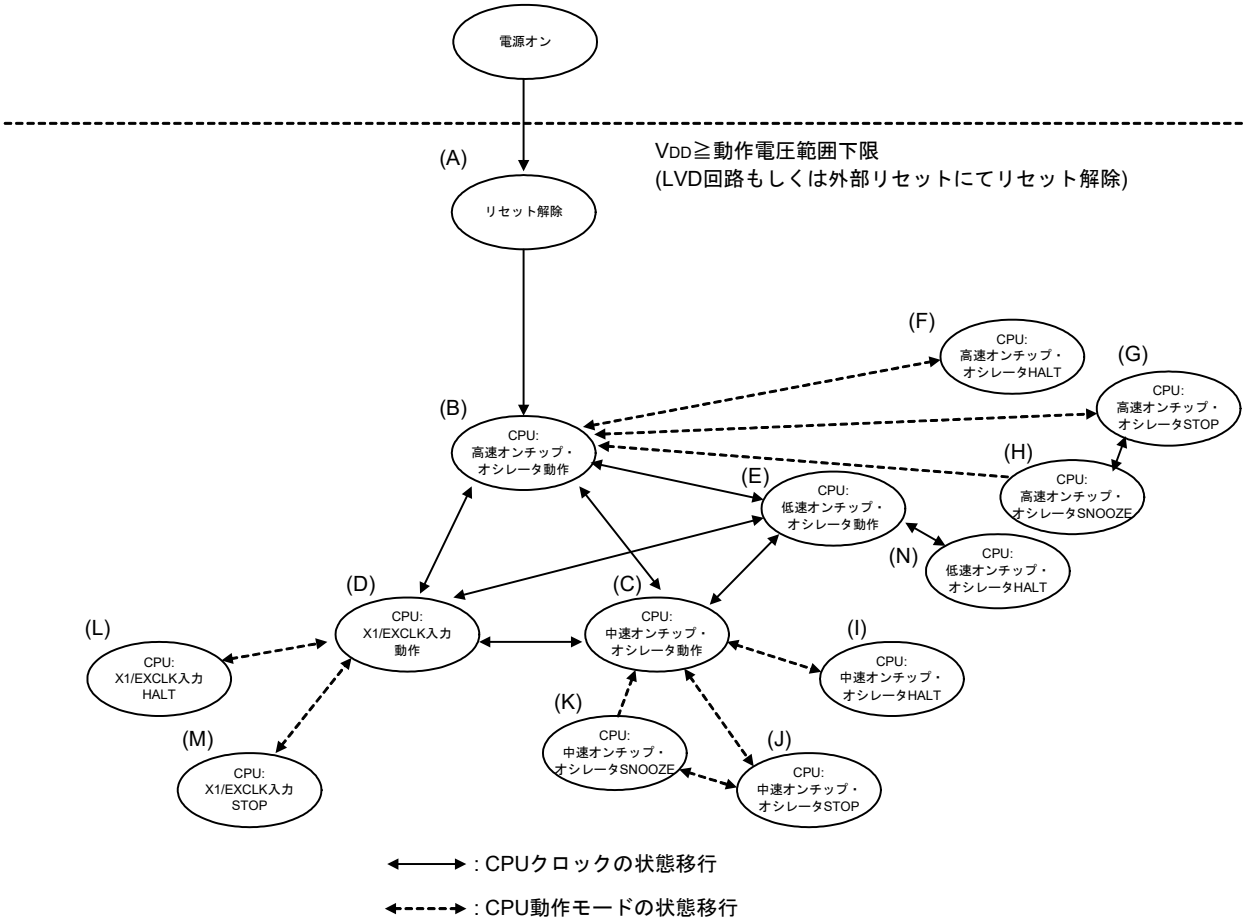
注意 HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV (低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS (低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS (高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V
上記以外		設定禁止		

6.6.3 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6 - 18に示します。

図6 - 18 CPUクロック状態移行図



CPUクロックの状態移行とレジスタの設定例などを表6 - 3に示します。

表6 - 3 CPUクロックの移行とSFRレジスタの設定例(1/4)

(1)　リセット解除後 (A) に，CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

対象状態遷移：(A) → (B)

移行先のクロック	SFRレジスタの設定
高速オンチップ・オシレータ	SFRレジスタ設定不要(リセット解除後の初期状態)

(2)　高速オンチップ・オシレータ・クロック動作 (B) へ移行

対象状態遷移：(C) → (B)，(D) → (B)，(E) → (B)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ / 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	HIOSTOP		CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	65 μs	0	0	0

高速オンチップ・オシレータ・
クロック動作中の場合は不要

(3)　中速オンチップ・オシレータ・クロック動作 (C) へ移行

対象状態遷移：(B) → (C)，(D) → (C)，(E) → (C)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ / 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	MIOEN		CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	4 μs	0	0	1

中速オンチップ・オシレータ・
クロック動作中の場合は不要

備考　表6 - 3の (A) – (N) は，図6 - 18の(A) – (N) と対応しています。

表6 - 3 CPUクロックの移行とSFRレジスタの設定例(2/4)

(4)　CPUを高速システム・クロック動作 (D) へ移行

対象状態遷移：(B) → (D)，(C) →(D)，(E) → (D)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ / 移行先のクロック	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ	
	EXCLK	OSCSEL	AMPH		MSTOP		CSS	MCM0
X1クロックに移行：1 MHz≦fx≦10 MHz	0	1	0	注2	0	確認必要	0	1
X1クロックに移行：10 MHz＜fx≦20 MHz	0	1	1	注2	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注2	0	確認不要	0	1

設定済みの場合は不要　　高速システム・クロック動作中の場合は不要

注1.　クロック動作モード制御レジスタ(CMC)は，リセット解除後，1回のみ設定可能です。設定済みの場合は不要です。

注2.　発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- 期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧(第35章または第36章　電気的特性を参照)に電源電圧が達してから，クロックを設定してください。

備考　表6 - 3の (A) – (N) は，図6 - 18の(A) – (N) と対応しています。

表6 - 3 CPUクロックの移行とSFRレジスタの設定例(3/4)

(5)　低速オンチップ・オシレータ・クロック動作 (E) へ移行

対象状態遷移：(B) → (E)，(C) → (E)，(D) → (E)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ / 移行先のクロック	CKSEL	発振精度安定待ち	CKCレジスタ
	SELLOSC		CSS
低速オンチップ・オシレータに移行	1	210 μs	1

低速オンチップ・オシレータ・クロック動作中の場合は不要

備考1.　×：don't care

備考2.　表6 - 3の (A) – (N) は，図6 - 18の(A) – (N) と対応しています。

表6 - 3 CPUクロックの移行とSFRレジスタの設定例(4/4)

(6) CPU動作モード(B), (C), (D), (E)からHALTモード(F), (I), (L), (N)へ移行

対象状態遷移：(B) → (F), (C) →(I), (D) → (L), (E) → (N)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

(7) CPU動作モード(B), (C), (D)からSTOPモード(G), (J), (M)へ移行

対象状態遷移：(B) → (G), (C) →(J), (D) → (M)

(設定順序) →

移行先のモード	設定内容		
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTS レジスタを設定する	STOP命令を実行する

CPUが高速システム・クロック動作中からSTOPモードに移行する場合以外は設定不要

(8) STOPモード(G), (J)とSNOOZEモード (H), (K)の移行

STOP モードから SNOOZE モードへ移行するための設定の詳細については，13.5.7 SNOOZE モード機能，13.7.3 SNOOZEモード機能，16.8 SNOOZEモード機能を参照してください。

備考1. 表6 - 3の (A) – (N) は，図6 - 18の(A) – (N) と対応しています。

6.6.4 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表6 - 4 CPUクロックの移行について(1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後，高速オンチップ・オシレータを停止(HIOSTOP = 1)すると，動作電流を低減可能
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること • HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，中速オンチップ・オシレータを停止(MIOEN = 0)すると，動作電流を低減可能
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能(MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	
	外部メイン・システム・クロック	移行不可	—
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能(MSTOP = 1)

表6 - 4 CPUクロックの移行について(2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	
	X1クロック	移行不可	—
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 SELLOSC = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後，外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，低速オンチップ・オシレータ・クロックを停止(SELLOSC = 0)すると，動作電流を低減可能
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され，中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	低速オンチップ・オシレータ・クロック	移行不可	—

6.6.5 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ(CKC)のビット0, 4, 6 (MCM0, MCM1, CSS)のの設定により，CPUクロックの切り替え(メイン・システム・クロック⇔サブシステム・クロック)，メイン・システム・クロックの切り替え(オンチップ・オシレータ・クロック→高速システム・クロック), オンチップ・オシレータ・クロックの切り替え(高速オンチップ･オシレータ･クロック⇔中速オンチップ･オシレータ･クロック)をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します(表6 - 5～表6 - 8参照)。

CPUクロックがメイン・システム・クロックで動作しているか，サブシステム・クロックで動作しているかは，CKCレジスタのビット7 (CLS)で判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか，メイン・オンチップ・オシレータ・クロックで動作しているかは，CKCレジスタのビット5 (MCS)で判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか，中速オンチップ・オシレータで動作しているかは，CKCレジスタのビット1 (MCS1)で判定できます。

CPUクロックを切り替えると，周辺ハードウエア・クロックも同時に切り替わります。

表6 - 5 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
fOCO	⟷	fMX	表6 - 6参照
fIH	⟷	fIM	表6 - 7参照
fMAIN	⟷	fSUB	表6 - 8参照

表6 - 6 fOCO⇔fMXで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (fMAIN = fOCO)	1 (fMAIN = fMX)
0 (fMAIN = fOCO)	fMX≧fOCO		2クロック
	fMX＜fOCO		2 fOCO/fMXクロック
1 (fMAIN = fMX)	fMX≧fOCO	2 fMX/fOCOクロック	
	fMX＜fOCO	2クロック	

表6 - 7 fIH⇔fIMで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 (fMAIN = fIH)	1 (fMAIN = fIM)
0 (fMAIN = fIH)	fIM≧fIH		2クロック
	fIM＜fIH		2 fIH/fIMクロック
1 (fMAIN = fIM)	fIM≧fIH	2 fIM/fIHクロック	
	fIM＜fIH	2クロック	

表6 - 8 f_{MAIN}⇔f_{SUB}で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 (f_{CLK} = f_{MAIN})	1 (f_{CLK} = f_{SUB})
0 (f_{CLK} = f_{MAIN})		1 + 2 f_{MAIN}/f_{SUB}クロック
1 (f_{CLK} = f_{SUB})	3クロック	

備考1. 表6 - 6，表6 - 7，表6 - 8のクロック数は，切り替え前のCPUクロックのクロック数です。

備考2. 表6 - 6，表6 - 7，表6 - 8のクロック数は，小数点以下を切り上げてください。

例　メイン・システム・クロックを高速オンチップ・オシレータ・クロック(8 MHz選択時)から高速システム・クロックに切り替える場合(f_{IH} = 8 MHz, f_{MX} =10 MHz発振時)

1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 → 2クロック

6.6.6 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は，クロック停止前条件を確認した後に停止してください。

表6 - 9 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS1 = 1またはMCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1=0またはMCS = 1またはCLS = 1 (CPUクロックが中速オンチップ・オシレータ・クロック以外で動作)	MIOEN = 0
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
低速オンチップ・オシレータ・クロック	CLS = 0 (CPUクロックが低速オンチップ・オシレータ・クロック以外で動作)	SELLOSC = 0

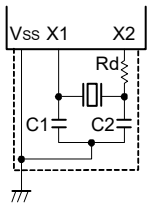
6.7　発振子と発振回路定数

動作確認済みの発振子と，その発振回路定数(参考)は，当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は，発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは，実装回路上での評価を発振子メーカに依頼してください。
また，別製品からのマイコンの変更，基板の変更の際には，再度，実装回路上での評価を発振子メーカに依頼してください。

注意2. 発振電圧，発振周波数は，あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については，DC, AC特性の規格内で使用してください。

図6 - 19 X1発振外付け回路例



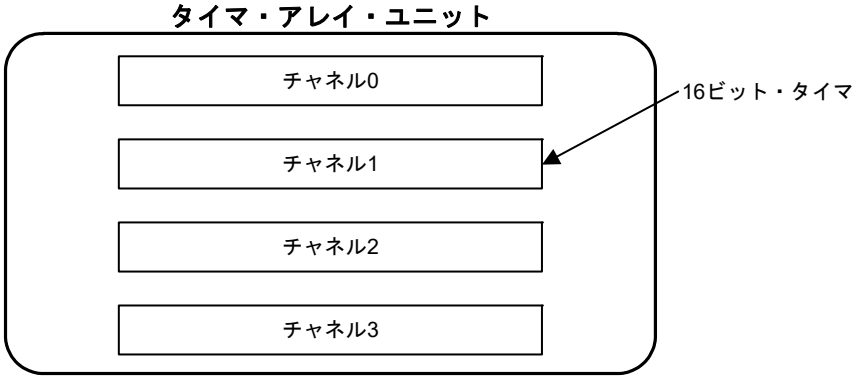
第7章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのチャネルは製品によって異なります。

チャネル	10ピン	16, 20, 24, 25ピン
チャネル0	—	○
チャネル1	—	○
チャネル2	○	○
チャネル3	○	○

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャネル動作機能	複数チャネル連動動作機能
• インターバル・タイマ(→7.8.1参照) • 方形波出力(→7.8.1参照) • 外部イベント・カウンタ(→7.8.2参照) • 分周器注(→7.8.3参照) • 入力パルス間隔測定(→7.8.4参照) • 入力信号のハイ／ロウ・レベル幅測定(→7.8.5参照) • ディレイ・カウンタ(→7.8.6参照)	• ワンショット・パルス出力(→7.9.1参照) • 2入力式ワンショット・パルス出力(→7.9.2参照) • PWM出力(→7.9.3参照) • 多重PWM出力(→7.9.4参照)

注　チャネル0のみ

チャネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位／下位)として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

- インターバル・タイマ(上位/下位 8ビット・タイマ)/方形波出力(下位 8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- ディレイ・カウンタ(下位8ビット・タイマのみ)

7.1　タイマ・アレイ・ユニットの機能

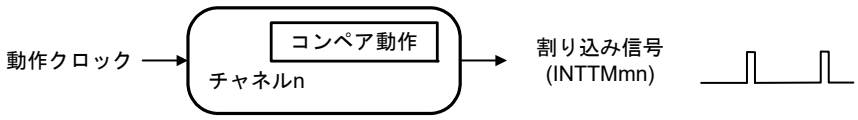
タイマ・アレイ・ユニットには，次のような機能があります。

7.1.1　単独チャネル動作機能

単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

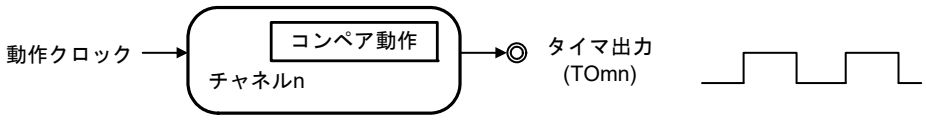
(1)　インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



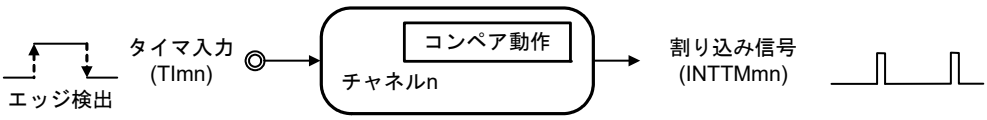
(2)　方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い，デューティ 50%の方形波をタイマ出力端子(TOmn)より出力します。



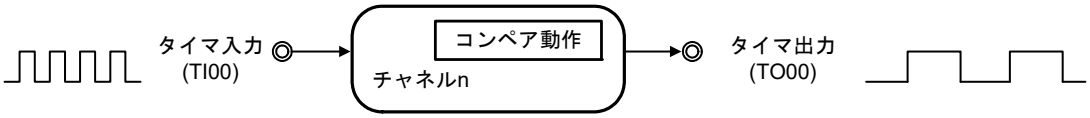
(3)　外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



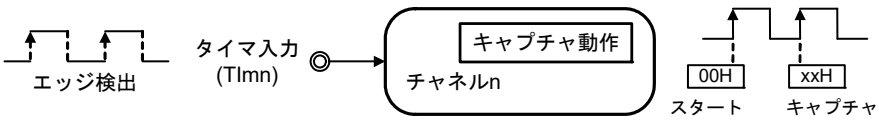
(4)　分周器機能(チャネル0のみ)

タイマ入力端子(TI00)から入力されたクロックを分周して出力端子(TO00)より出力します。



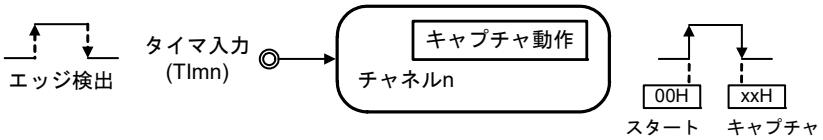
(5)　入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



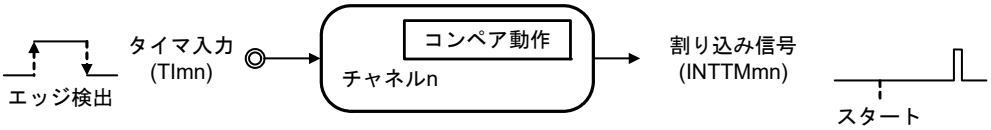
(6) 入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子(TImn)に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



(7) ディレイ・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

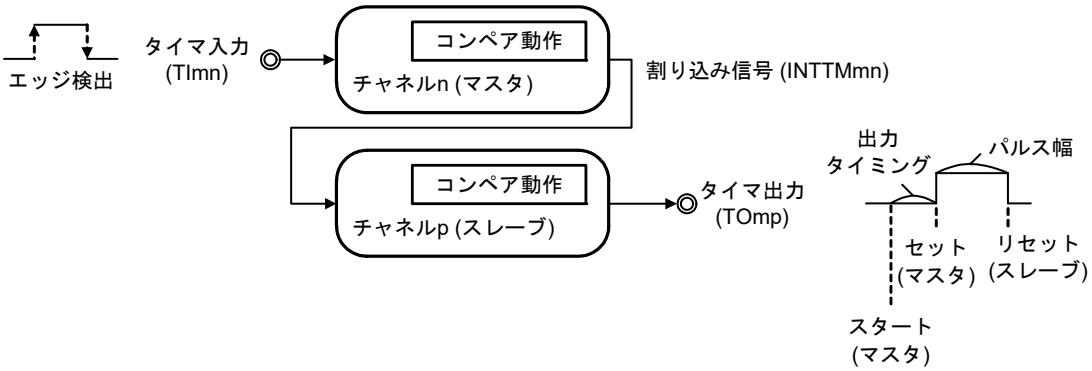
7.1.2 複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル(主に周期を制御する基準タイマ)とスレーブ・チャネル(マスタ・チャネルに従い動作するタイマ)を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

(1) ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



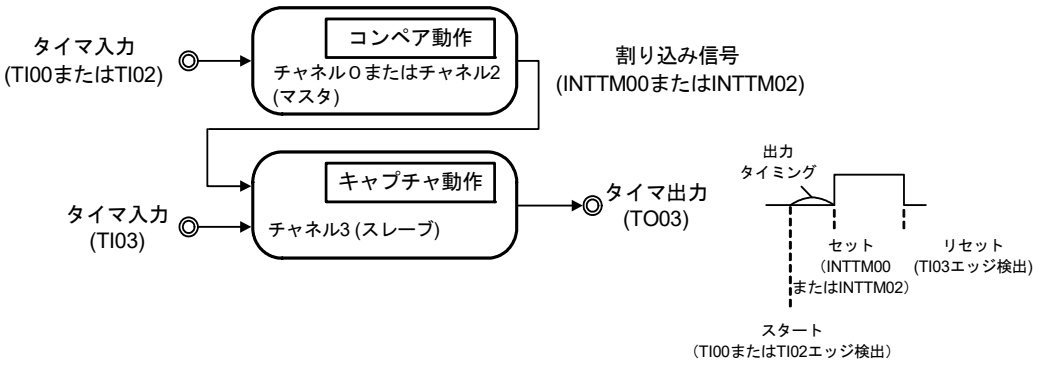
注意 複数チャネル連動動作機能のルールの詳細については，7.4.1 複数チャネル連動動作機能の基本ルールを参照してください。

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(p=3)

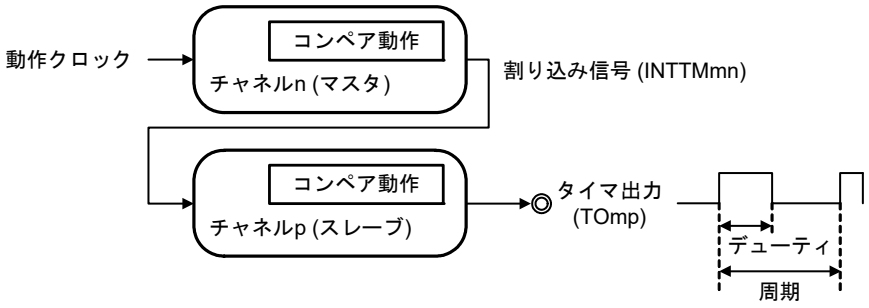
(2)　2入力式ワンショット・パルス出力

2チャネルをセットで使用し，タイマ入力端子（TI00またはTI02, TI03）に入力される有効エッジで，タイマ出力端子（TO03）をセット／リセットして任意のワンショット・パルスを生成します。



(3)　PWM (Pulse Width Modulation)出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。

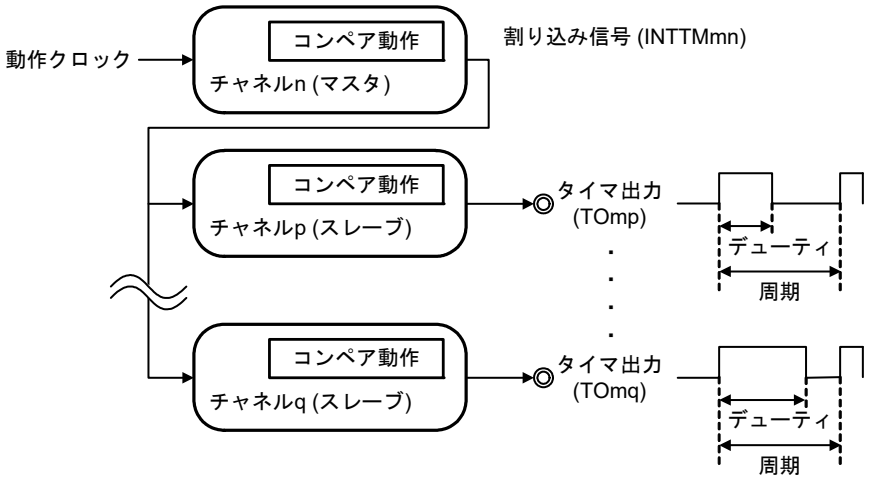


注意　複数チャネル連動動作機能のルールの詳細については，7.4.1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3),
p, q：スレーブ・チャネル番号(n＜p＜q≦3)

(4)　多重PWM (Pulse Width Modulation)出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大3種類生成することができます。



注意　複数チャネル連動動作機能のルールの詳細については，7.4.1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3),
p, q：スレーブ・チャネル番号(n＜p＜q≦3)

7.1.3　8ビット・タイマ動作機能(チャネル1, 3のみ)

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。チャネル1, 3のみが使用できます。

注意　8ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。
詳細は，7.4.2　8ビット・タイマ動作機能の基本ルール(チャネル1, 3のみ)を参照してください。

7.2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表7 - 1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ／カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI03注1
タイマ出力	TO00-TO03注1，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ • 周辺イネーブル・レジスタ 0 (PER0) • 周辺リセット制御レジスタ 0 (PRR0) • タイマ・クロック選択レジスタ m (TPSm) • タイマ・チャネル許可ステータス・レジスタ m (TEm) • タイマ・チャネル開始レジスタ m (TSm) • タイマ・チャネル停止レジスタ m (TTm) • タイマ入力選択レジスタ 0 (TIS0) • タイマ出力許可レジスタ m (TOEm) • タイマ出力レジスタ m (TOm) • タイマ出力レベル・レジスタ m (TOLm) • タイマ出力モード・レジスタ m (TOMm)
	＜各チャネル部のレジスタ＞ • タイマ・モード・レジスタ mn (TMRmn) • タイマ・ステータス・レジスタ mn (TSRmn) • ノイズ・フィルタ許可レジスタ 1 (NFEN1) • ポート・モード・コントロール・レジスタ (PMCxx)注2 • ポート・モード・レジスタ (PMxx)注2 • ポート・レジスタ (Pxx)注2

注1.　チャネル0-3のタイマ入出力端子の有無は製品によって異なります。

注2.　製品によって設定するポート・モード・コントロール・レジスタ (PMCxx)，ポート・モード・レジスタ (PMxx)とポート・レジスタ (Pxx)が異なります。詳細は，4.5　兼用機能使用時のレジスタの設定を参照してください。

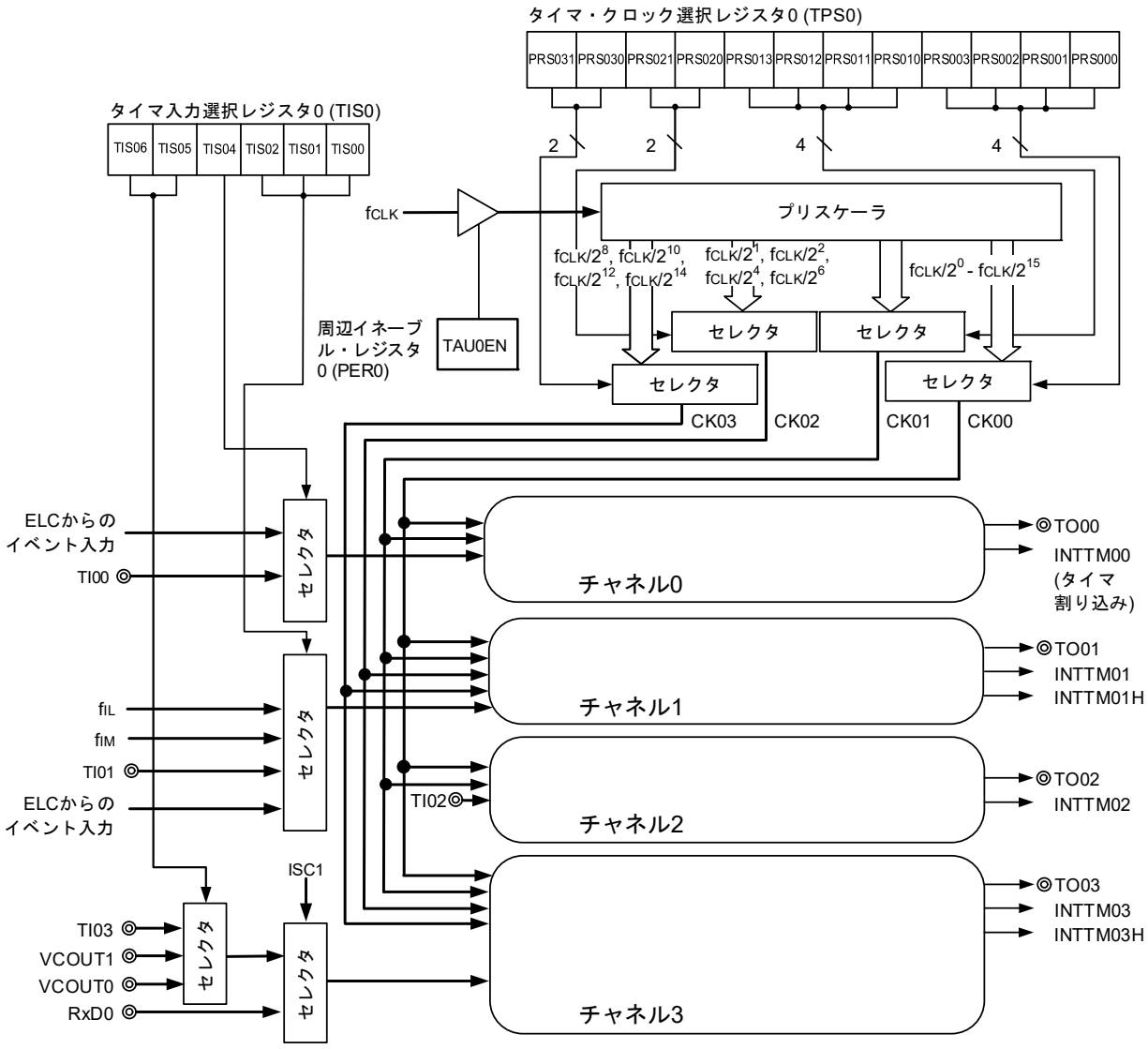
備考　m：ユニット番号 (m = 0)，n：チャネル番号 (n = 0-3)

タイマ・アレイ・ユニットは，4本の入出力端子（TI00-TI03, TO00-TO03）を搭載しています。

タイマ入力とタイマ出力が同一端子で兼用されている場合は，タイマ入力かタイマ出力のどちらかのみ使用可能です。

図7 - 1，図7 - 2にタイマ・アレイ・ユニットのブロック図を示します。

図7 - 1 タイマ・アレイ・ユニット0の全体ブロック図



備考 fIL : 低速オンチップ・オシレータ・クロック周波数

fIM : 中速オンチップ・オシレータ・クロック周波数

図7 - 2 タイマ・アレイ・ユニット0のチャネル0内部ブロック図

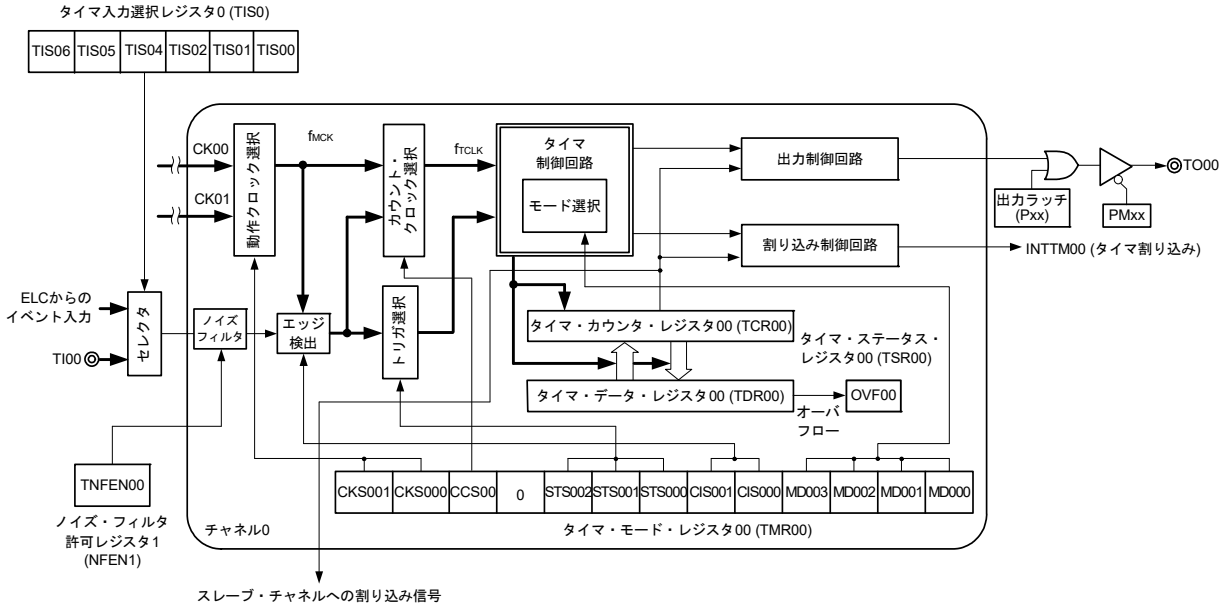


図7 - 3 タイマ・アレイ・ユニット0のチャネル1内部ブロック図

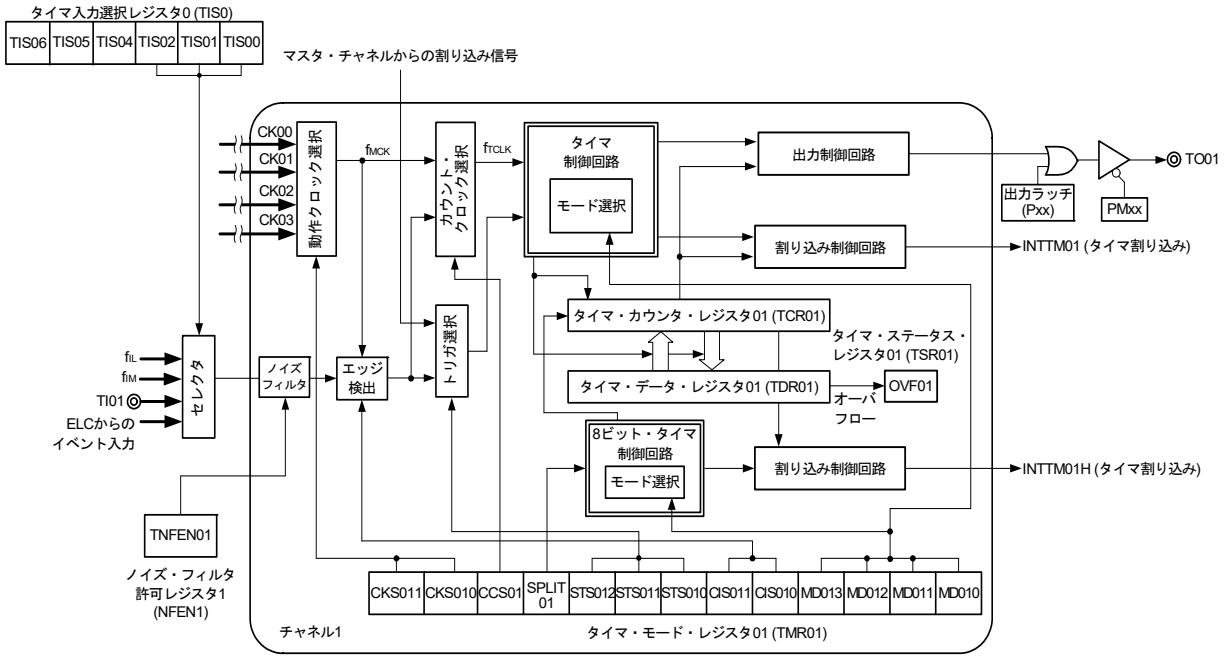


図7 - 4 タイマ・アレイ・ユニット0のチャネル2内部ブロック図

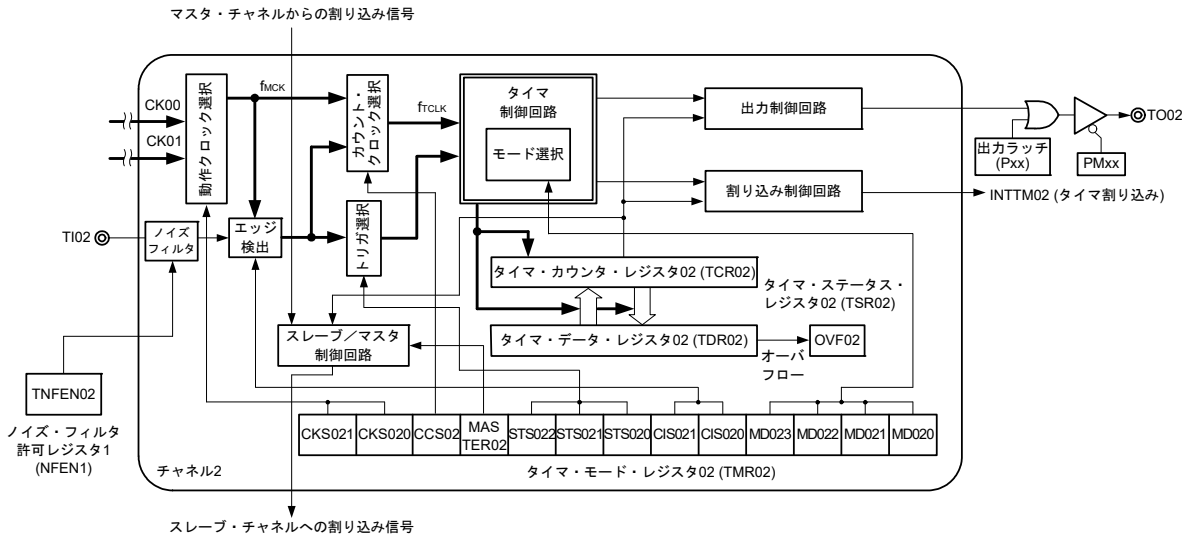
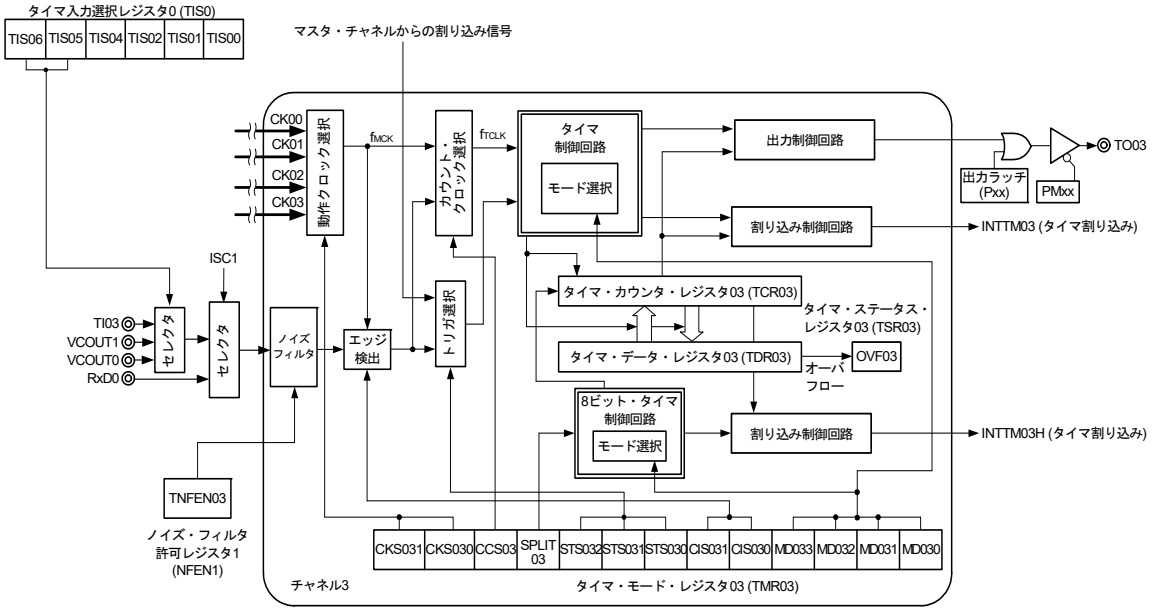


図7 - 5 タイマ・アレイ・ユニット0のチャネル3内部ブロック図



7.2.1　タイマ・カウンタ・レジスタ mn (TCRmn)

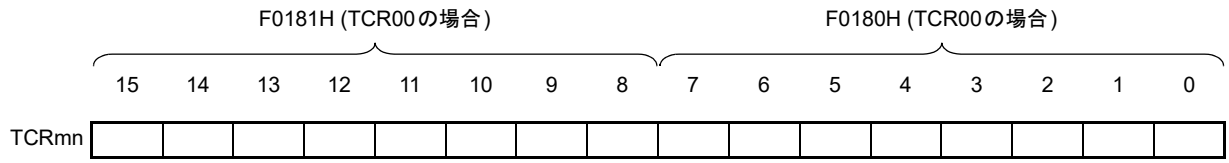
TCRmn レジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(7.3.4　タイマ・モード・レジスタ mn (TMRmn)参照)。

図7 - 6 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット

アドレス：F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03)　　リセット時：FFFFH　R



備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

タイマ・カウンタ・レジスタmn (TCRmn)をリードすることにより，カウント値をリードできます。

次の場合，カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺リセット制御レジスタ0 (PRR0)のTAU0RESビットをクリアしたとき
- PWM出力モードで，スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。

- キャプチャ・モード時に，スタート・トリガが入力されたとき
- キャプチャ・モード時で，キャプチャ完了時

注意　TCRmnレジスタをリードしても，タイマ・データ・レジスタmn (TDRmn)にはキャプチャしません。

TCRmnレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表7 - 2 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn)読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ(TCRmn)の読み出し値[注]			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止(TTmn = 1)した場合の値	カウント動作を一時停止(TTmn = 1)後，動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ＆ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmnレジスタのキャプチャ値 + 1

注　チャネルnがタイマ動作停止状態(TEmn = 0)かつカウント動作許可状態(TSmn = 1)にした時点の，TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmn レジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また，TDRm1, TDRm3 レジスタは，8ビット・タイマ・モード時(タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITビットが1)に，上位8ビットをTDRm1H, TDRm3H，下位8ビットをTDRm1L, TDRm3Lとして，8ビット単位でリード/ライト可能になります。

リセット信号の発生により，TDRmn レジスタは0000Hになります。

図7 - 7 タイマ・データ・レジスタ mn (TDRmn)(n = 0, 2)のフォーマット

アドレス：FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02)　　リセット時：0000H　R/W

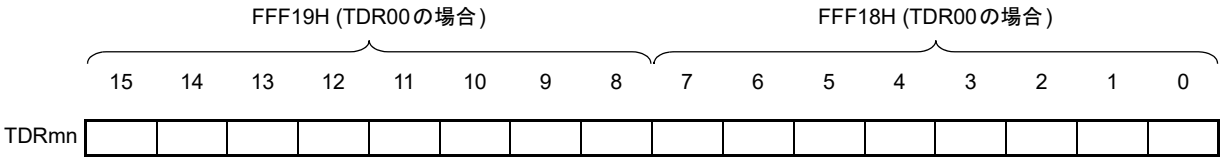
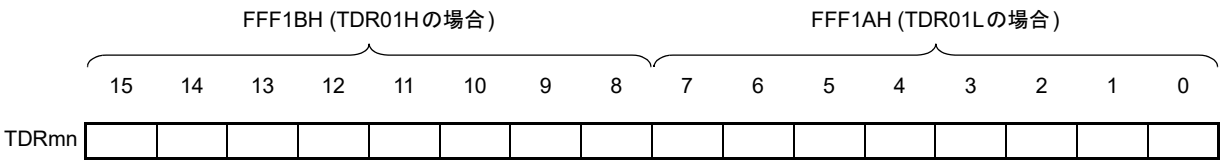


図7 - 8 タイマ・データ・レジスタ mn (TDRmn)(n = 1, 3)のフォーマット

アドレス：FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03)　　リセット時：0000H　R/W



(i)タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用するとき

TDRmn レジスタに設定した値からダウン・カウントをスタートして，0000H になったときに割り込み信号(INTTMmn)を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDRmn レジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

(ii)タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタ mn (TCRmn)のカウント値をTDRmn レジスタにキャプチャします。

キャプチャ・トリガとして，TImn 端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- タイマ・クロック選択レジスタm (TPSm)
- タイマ・モード・レジスタmn (TMRmn)
- タイマ・ステータス・レジスタmn (TSRmn)
- タイマ・チャネル許可ステータス・レジスタm (TEm)
- タイマ・チャネル開始レジスタm (TSm)
- タイマ・チャネル停止レジスタm (TTm)
- タイマ入力選択レジスタ0 (TIS0)
- タイマ出力許可レジスタm (TOEm)
- タイマ出力レジスタm (TOm)
- タイマ出力レベル・レジスタm (TOLm)
- タイマ出力モード・レジスタm (TOMm)
- ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考　m：ユニット番号 (m = 0)，n：チャネル番号 (n = 0-3)

7.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は，必ずビット0 (TAU0EN)を1に設定してください。

PER0 レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0 レジスタは00Hになります。

図7 - 9 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入力クロックの制御
0	入力クロック供給停止 • タイマ・アレイ・ユニット0で使用するSFRへのライト不可
1	入力クロック供給 • タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には，必ず最初に TAUmEN = 1 の状態で，下記のレジスタの設定を行ってください。TAUmEN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視されます(タイマ入力選択レジスタ0 (TIS0)，ノイズ・フィルタ許可レジスタ1 (NFEN1)，ポート・モード・コントロール・レジスタ0, 3, 5 (PMC0, PMC3, PMC5)，ポート・モード・レジスタ0, 3, 4, 5 (PM0, PM3, PM4, PM5)，ポート・レジスタ0, 3, 4, 5, 12, 13 (P0, P3, P4, P5, P12, P13)は除く)。

- タイマ・ステータス・レジスタmn (TSRmn)
- タイマ・チャネル許可ステータス・レジスタm (TEm)
- タイマ・チャネル開始レジスタm (TSm)
- タイマ・チャネル停止レジスタm (TTm)
- タイマ出力許可レジスタm (TOEm)
- タイマ出力レジスタm (TOm)
- タイマ出力レベル・レジスタm (TOLm)
- タイマ出力モード・レジスタm (TOMm)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 7

7.3.2　周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニット0をリセットする場合は，必ずビット0 (TAU0RES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図7 - 10 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IICA1RES	ADCRES	IICA0RES	0	SAU0RES	0	TAU0RES

TAU0RES	タイマ・アレイ・ユニット0のリセット制御
0	タイマ・アレイ・ユニット0のリセット解除
1	タイマ・アレイ・ユニット0はリセット状態

7.3.3　タイマ・クロック選択レジスタm (TPSm)

TPSmレジスタは，各チャネルに共通して供給される2種類または4種類の動作クロック(CKm0, CKm1, CKm2, CKm3)を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で，CKm1はTPSmレジスタのビット7-4で選択します。さらにチャネル1, 3のみ，CKm2，CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で，CKm3はTPSmレジスタのビット13，12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは，次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合(n = 0-3)：

動作クロックにCKm0を選択(CKSmn1, CKSmn0 = 0, 0)しているチャネルがすべて停止状態(TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合(n = 0-3)：

動作クロックにCKm2を選択(CKSmn1, CKSmn0 = 0, 1)しているチャネルがすべて停止状態(TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合(n = 1, 3)：

動作クロックにCKm1を選択(CKSmn1, CKSmn0 = 1, 0)しているチャネルがすべて停止状態(TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合(n = 1, 3)：

動作クロックにCKm3を選択(CKSmn1, CKSmn0 = 1, 1)しているチャネルがすべて停止状態(TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPSmレジスタは0000Hになります。

図7 - 11 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス：F01B6H, F01B7H (TPS0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック(CKmk)の選択注(k = 0, 1)					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61.0 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注　f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は，タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。
動作クロック(f_{MCK}), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には，必ず0を設定してください。

注意2. 動作クロック(CKmk)にf_{CLK} (分周なし)を選択し，TDRnm = 0000H (n = 0, m = 0-3)を設定すると，タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. f_{CLK}：CPU／周辺ハードウエア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります(m = 1-15)。詳しくは，7.5.1　カウント・クロック(f_{TCLK})を参照してください。

図7 - 11 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス：F01B6H, F01B7H (TPS0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック(CKm2)の選択注					
			fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	fCLK/2^2	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
1	0	fCLK/2^4	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
1	1	fCLK/2^6	31.3 kHz	78.1 kHz	156.2 kHz	313 kHz	375 kHz

PRS m31	PRS m30	動作クロック(CKm3)の選択注					
			fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz
0	0	fCLK/2^8	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
0	1	fCLK/2^{10}	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	fCLK/2^{12}	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	fCLK/2^{14}	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz

注　fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は，タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。
動作クロック(fMCK)，TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には，必ず0を設定してください。

チャネル1, 3を8ビット・タイマ・モードで使用し，CKm2, CKm3を動作クロックとすることにより，インターバル・タイマ機能で，表7 - 3に示すインターバル時間を実現することが可能です。

表7 - 3 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注(fCLK = 20 MHz)			
		16 μs	160 μs	1.6 ms	16 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2^2	○	—	—	—
	fCLK/2^4	○	○	—	—
	fCLK/2^6	○	○	—	—
CKm3	fCLK/2^8	—	○	○	—
	fCLK/2^{10}	—	○	○	—
	fCLK/2^{12}	—	—	○	○
	fCLK/2^{14}	—	—	○	○

注　○には5%以下の誤差が含まれます。

備考1. fCLK：CPU／周辺ハードウエア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2^rの詳細は，7.5.1　カウント・クロック(fTCLK)を参照してください。

7.3.4　タイマ・モード・レジスタ mn (TMRmn)

TMRmn レジスタは，チャネルnの動作モード設定レジスタです。動作クロック(fMCK)の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択(チャネル1, 3のみ)，スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード(インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント)設定を行います。

TMRmn レジスタは，動作中(TEmn = 1のとき)の書き換えは禁止です。ただし，ビット7, 6 (CISmn1, CISmn0)は，一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は7.8　タイマ・アレイ・ユニットの単独チャネル動作機能，7.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能を参照)。

TMRmn レジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMRmn レジスタは0000Hになります。

注意　TMRmn レジスタのビット11は，チャネルによって搭載するビットが異なります。

TMRm2 :　MASTERmn ビット(n = 2)

TMRm1, TMRm3:　SPLITmn ビット(n = 1, 3)

TMRm0:　0 固定

図7 - 12 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス：F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャネルnの動作クロック(fMCK)の選択
0	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm3
動作クロック(fMCK)は，エッジ検出回路に使用されます。また，CCSmn ビットの設定によりサンプリング・クロックおよびカウント・クロック(fTCLK)を生成します。 動作クロック CKm2, CKm3 は，チャネル 1, 3 のみ選択可能です。		

CCSmn	チャネルnのカウント・クロック(fTCLK)の選択
0	CKSmn0, CKSmn1 ビットで指定した動作クロック(fMCK)
1	TImn 端子からの入力信号の有効エッジ チャネル 0，チャネル 1 では，TIS0 で選択した入力信号の有効エッジ
カウント・クロック(fTCLK)は，カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注　ビット 11 は Read only の 0 固定で，書き込みは無視されます。

注意 1. ビット 13, 5, 4 には，必ず 0 を設定してください。

注意 2. カウント・クロック(fTCLK)に CKSmn0, CKSmn1 ビットで指定した動作クロック(fMCK)，TImn 端子からの入力信号の有効エッジのどれを選択していても，fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC)の値を変更)する場合は，タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 12 タイマ・モード・レジスタmn (TMRmn)のフォーマット(2/4)

アドレス：F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MASTERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2)のビット11)

MASTERmn	チャネルnの単独チャネル動作／複数チャネル連動動作(スレーブ／マスタ)の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル2のみマスタ・チャネル(MASTERmn = 1)に設定できます。 チャネル0は0固定となります(チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します)。 また，単独チャネル動作機能として使用するチャネルは，MASTERmn = 0 にします。	

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用 (複数チャネル連動動作機能のスレーブ・チャネル時)
1	1	0	マスタ・チャネルのINTTMmnをスタート・トリガに選択，スレーブ・チャネルのTImp端子入力の有効エッジをエンド・トリガ（キャプチャ・トリガ）に選択
上記以外			設定禁止

注　　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 12 タイマ・モード・レジスタmn (TMRmn)のフォーマット(3/4)

アドレス：F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	TImn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット = 10Bに設定してください。		

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 12 タイマ・モード・レジスタmn (TMRmn)のフォーマット (4/4)

アドレス：F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力(マスタ)	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力(スレーブ)	ダウン・カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は，MDmn0ビットによって変わります(下表を参照)。					

動作モード(MDmn3-MDmn1で設定(上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ワンカウント・モード注2 (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・キャプチャ＆ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

注1.　ビット11はRead onlyの0固定で，書き込みは無視されます。

注2.　ワンカウント・モードでは，カウント動作開始時の割り込み出力(INTTMmn)，TOmn出力は制御しません。

注3.　動作中にスタート・トリガ(TSmn = 1)がかかると，カウンタを初期化し，再カウント・スタートします(割り込み要求は発生せず)。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3.5 タイマ・ステータス・レジスタmn (TSRmn)

TSRmnレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは，キャプチャ・モード(MDmn3-MDmn1 = 010B)とキャプチャ＆ワンカウント・モード(MDmn3-MDmn1 = 110B)のみ有効です。各動作モードにおけるOVFビットの動作とセット／クリア条件は表7 - 4を参照してください。

TSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは，TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSRmnレジスタは0000Hになります。

図7 - 13 タイマ・ステータス・レジスタmn (TSRmn)のフォーマット

アドレス：F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03)　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア(OVF = 0)されます。	

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

表7 - 4 各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
• キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
• キャプチャ＆ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
• インターバル・タイマ・モード • イベント・カウンタ・モード • ワンカウント・モード	クリア	— (使用不可)
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

7.3.6 タイマ・チャネル許可ステータス・レジスタm (TEm)

TEmレジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは，タイマ・チャネル開始レジスタm (TSm) とタイマ・チャネル停止レジスタm (TTm)の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると，TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TEmレジスタは，16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは，TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TEmレジスタは0000Hになります。

図7 - 14 タイマ・チャネル許可ステータス・レジスタm (TEm)のフォーマット

アドレス：F01B0H, F01B1H (TE0)　　リセット時：0000H　　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm3	0	TEHm1	0	0	0	0	0	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1, 3が8ビット・タイマ・モード時は，TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3.7　タイマ・チャネル開始レジスタm (TSm)

TSmレジスタは，タイマ・カウンタ・レジスタmn (TCRmn)を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm (TEm)の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので，動作許可状態(TEmn, TEHm1, TEHm3 = 1)になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは，16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは，TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TSmレジスタは0000Hになります。

図7 - 15 タイマ・チャネル開始レジスタm (TSm)のフォーマット

アドレス：F01B2H, F01B3H (TS0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は，インターバル・タイマ・モードになります (7.5.2　カウンタのスタート・タイミングの表7 - 5参照)。

TSHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は，インターバル・タイマ・モードになります(7.5.2　カウンタのスタート・タイミングの表7 - 5参照)。

TSmn	チャネルnの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は，各動作モードにより異なります(7.5.2　カウンタのスタート・タイミングの表7 - 5参照)。 チャネル1, 3が8ビット・タイマ・モード時は，TSm1, TSm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。

(注意，備考は次ページにあります。)

注意1. ビット15-12, 10, 8-4には必ず0を設定してください。

注意2. TImn端子入力を使用しない機能から，TImn端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタmn (TMRmn)設定後，TSmn (TSHm1, TSHm3)ビットを1に設定するまでに，次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時(TNFENmn = 1)：動作クロック(f_{MCK})の4クロック

TImn端子のノイズ・フィルタ無効時(TNFENmn = 0)：動作クロック(f_{MCK})の2クロック

備考1. TSmレジスタの読み出し値は常に0となります。

備考2. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3.8 タイマ・チャネル停止レジスタm (TTm)

TTmレジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので，動作停止状態(TEmn, TEHm1, TEHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは，16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは，TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TTmレジスタは0000Hになります。

図7 - 16 タイマ・チャネル停止レジスタm (TTm)のフォーマット

アドレス：F01B4H, F01B5H (TT0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	0	0	0	0	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし，カウント動作停止状態になる。

TTHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし，カウント動作停止状態になる。

TTmn	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし，カウント動作停止状態になる。 チャネル1, 3が8ビット・タイマ・モード時は，TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意　ビット15-12, 10, 8-4には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3.9 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは，ユニット0のチャネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TIS0レジスタは00Hになります。

図7 - 17 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	TIS06	TIS05	TIS04	0	TIS02	TIS01	TIS00

TIS06	TIS05	チャネル3で使用するタイマ入力の選択
0	0	タイマ入力端子(TI03)の入力信号
0	1	コンパレータ1のVCOUT1出力信号注1
1	0	コンパレータ0のVCOUT0出力信号注2
1	1	設定禁止

TIS04	チャネル0で使用するタイマ入力の選択
0	タイマ入力端子(TI00)の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子(TI01)の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子(TI01)の入力信号
0	1	1	中速オンチップ・オシレータ・クロック(f_{IM})
1	0	0	低速オンチップ・オシレータ・クロック(f_{IL})
上記以外			設定禁止

注1. VCOUT1信号は外部端子に出力できません。

注2. VCOUT0信号は外部端子に出力できません。

注意1. 選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，$1/f_{MCK}$ + 10 ns以上必要となります。そのため，f_{CLK}にf_{IL}を選択時（CKCレジスタのCSS = 1）は，TIS02ビットに1を設定できません。

注意2. タイマ入力選択レジスタ0 (TIS0)で，ELCからのイベント入力信号を選択する場合，タイマ・クロック選択レジスタ0 (TPS0)はf_{CLK}を選択してください。

7.3.10　タイマ出力許可レジスタm (TOEm)

TOEmレジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタm (TOm)のTOmnビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子(TOmn)から出力されます。

TOEmレジスタは，16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは，TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOEmレジスタは0000Hになります。

図7 - 18 タイマ出力許可レジスタm (TOEm)のフォーマット

アドレス：F01BAH, F01BBH (TOE0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず，出力を固定します。 TOmnビットへの書き込みが可能となり，TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し，出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意　ビット15-4には必ず0を設定してください。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3.11　タイマ出力レジスタ m (TOm)

TOm レジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子(TOmn)から出力されます。

このレジスタの TOmn ビットのソフトウエアによる書き換えは，タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，TI00, TO00, TI01/TO01, TI02/TO02, TI03/TO03 をポート機能として使用する場合は，該当する TOmn ビットに“0”を設定してください。

TOm レジスタは，16 ビット・メモリ操作命令で設定します。

またTOm レジスタの下位 8 ビットは，TOmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOm レジスタは0000Hになります。

図7 - 19 タイマ出力レジスタ m (TOm)のフォーマット

アドレス：F01B8H, F01B9H (TO0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意　ビット 15-4 には必ず 0 を設定してください。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3.12　タイマ出力レベル・レジスタ m (TOLm)

TOLm レジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネル n の反転設定は，タイマ出力許可 (TOEmn = 1)，複数チャネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード(TOMmn = 0)時には，このレジスタの設定は無効となります。

TOLm レジスタは，16ビット・メモリ操作命令で設定します。

またTOLm レジスタの下位8ビットは，TOLmL で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOLm レジスタは0000Hになります。

図7 - 20 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス：F01BCH, F01BDH (TOL0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネルnのタイマ出力レベルの制御
0	正論理出力(アクティブ・ハイ)
1	反転出力(アクティブ・ロウ)

注意　ビット15-4, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

備考2. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.3.13　タイマ出力モード・レジスタm (TOMm)

TOMmレジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能(PWM出力，ワンショット・パルス出力，多重PWM出力)として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可(TOEmn = 1)時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOMmレジスタは，16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは，TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOMmレジスタは0000Hになります。

図7 - 21 タイマ出力モード・レジスタm (TOMm)のフォーマット

アドレス：F01BEH, F01BFH (TOM0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)
1	スレーブ・チャネル出力モード (マスタ・チャネルのタイマ割り込み要求信号(INTTMmn)で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)

注意　ビット15-4, 0には必ず0を設定してください。

備考　m：ユニット番号(m = 0)

n：チャネル番号

n = 0-3 (マスタ・チャネル時：n = 0, 2)

p：スレーブ・チャネル番号

n = 0：p = 1, 2, 3

n = 2：p = 3

(マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，7.4.1　複数チャネル連動動作機能の基本ルールを参照してください。)

7.3.14　入力切り替え制御レジスタ(ISC)

ISC1ビットは，タイマ・アレイ・ユニットのチャネル3のTI03端子入力を制御するビットです。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図7 - 22 入力切り替え制御レジスタ(ISC)のフォーマット

アドレス：F0073H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル3のTI03端子入力の設定
0	TIS0レジスタのTIS06,TIS05ビットで指定する信号注
1	RXD0端子入力

注　　図7 - 17　タイマ入力選択レジスタ0 (TIS0)のフォーマット参照。

注意　　ビット6-2に必ず0を設定してください。

7.3.15　ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック(fMCK)で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック(fMCK)で同期化だけ行います注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1レジスタは00Hになります。

注　詳細は，7.5.1　(2)　TImn端子からの入力信号の有効エッジを選択した場合(CCSmn = 1)，7.5.2　カウンタのスタート・タイミング，7.7　タイマ入力(TImn)の制御を参照してください。

図7 - 23 ノイズ・フィルタ許可レジスタ1 (NFEN1)のフォーマット

アドレス：F0071H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN03	TI03端子またはRxD0端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

備考　チャネル0-3のタイマ入出力端子の有無は製品によって異なります。

7.3.16　タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は，対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx)，ポート・レジスタ(Pxx)，ポート・モード・コントロール・レジスタ(PMCxx))を設定してください。詳細は，4.3.1　ポート・モード・レジスタ(PMxx)，4.3.2　ポート・レジスタ(Pxx)，4.3.6　ポート・モード・コントロール・レジスタ(PMCxx)を参照してください。

また，製品によって設定するポート・モード・レジスタ(PMxx)，ポート・レジスタ(Pxx)，ポート・モード・コントロール・レジスタ(PMCxx)が異なります。詳細は，4.5　兼用機能使用時のレジスタの設定を参照してください。

タイマ出力端子を兼用するポート(P30/TO01など)をタイマ出力として使用するときは，各ポートに対応するポート・モード・コントロール・レジスタ(PMCxx)のビット，ポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例)　P30/TO01をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ3のPMC30ビットを0に設定

ポート・モード・レジスタ3のPM30ビットを0に設定

ポート・レジスタ3のP30ビットを0に設定

タイマ入力端子を兼用するポート(P30/TI00など)をタイマ入力として使用するときは，各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ(PMCxx)のビットに0を設定してください。このときポート・レジスタ(Pxx)のビットは，0または1のどちらでもかまいません。

(例)　P30/TI00をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ3のPMC30ビットを0に設定

ポート・モード・レジスタ3のPM30ビットを1に設定

ポート・レジスタ3のP30ビットを0または1に設定

7.4　タイマ・アレイ・ユニットの基本ルール

7.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル(主に周期をカウントする基準タイマ)とスレーブ・チャネル(マスタ・チャネルに従い動作するタイマ)を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには，偶数チャネル(チャネル0，チャネル2)のみ設定できます。

(2) スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。

(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。

例　チャネル0をマスタ・チャネルにした場合，チャネル1以降(チャネル1，チャネル2，チャネル3)をスレーブ・チャネルに設定できます。

(4) 1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。

(5) マスタ･チャネルを複数使用する場合，マスタ･チャネルをまたいだスレーブ･チャネルの設定はできません。

例　チャネル0，チャネル2をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1をスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル3をスレーブ・チャネルとして設定できません。

(6) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。

(7) マスタ・チャネルはINTTMmn (割り込み)／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。

(8) スレーブ・チャネルはマスタ・チャネルのINTTMmn (割り込み)／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTMmn (割り込み)／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。

(9) マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTMmn（割り込み)／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。

(10) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。

(11) カウント動作中のTSmnビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。

(12) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。

(13) 連動動作時は，マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため，CKm2/CKm3は選択できません。

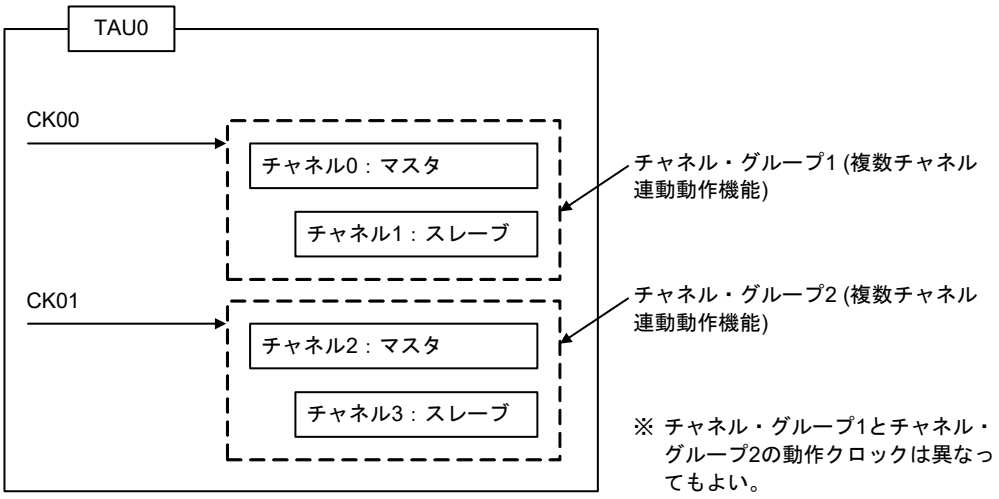
(14) タイマ・モード・レジスタm0 (TMRm0)は，マスタ・ビットがなく，“0”に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ(1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合)内に適用されるルールです。

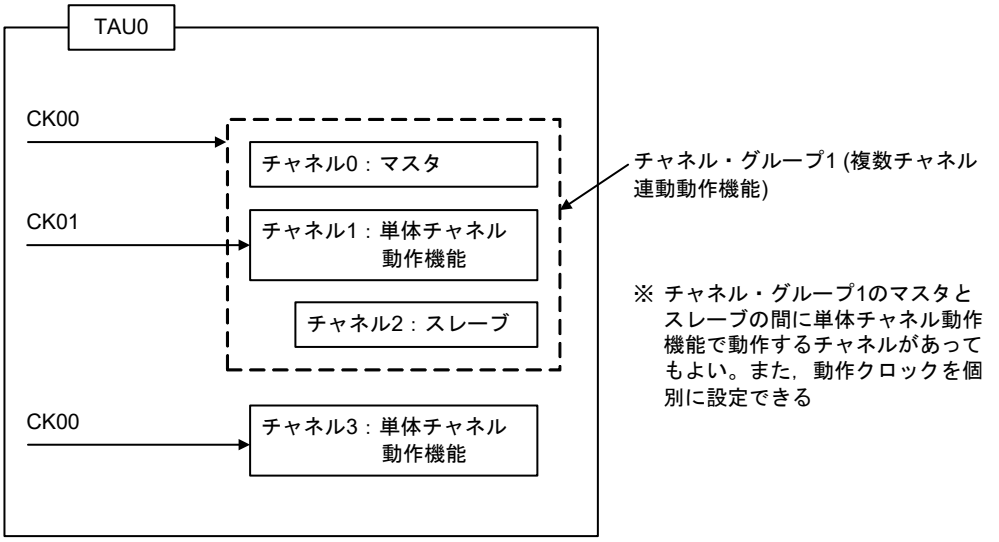
それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

例1



例2



7.4.2 8ビット・タイマ動作機能の基本ルール(チャネル1, 3のみ)

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8 ビットタイマ動作機能は，チャネル 1, 3 のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。

(2) 8ビット・タイマとして使用する場合には，タイマ・モード・レジスタ mn (TMRmn) の SPLIT ビットを“1”に設定します。

(3) 上位8ビットは，インターバル・タイマ機能として動作することができます。

(4) 上位8ビットは，動作開始時にINTTMm1H/INTTMm3H (割り込み) を出力します(MDmn0 =1 設定と同じ動作)。

(5) 上位8ビットの動作クロック選択は, 下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。

(6) 上位 8 ビットは，TSHm1/TSHm3 ビットを操作することでチャネル動作を開始し，TTHm1/TTHm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEHm1/TEHm3 ビットで確認できます。

(7) 下位 8 ビットは，TMRmn レジスタの設定にしたがって動作します。下位 8 ビットの動作をサポートする機能は，以下の3機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能
- ディレイ・カウント機能

(8) 下位 8 ビットは，TSm1/TSm3 ビットを操作することでチャネル動作を開始し，TTm1/TTm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEm1/TEm3ビットで確認できます。

(9) 16ビットで動作させる場合には，TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。

(10) 8ビット・タイマ機能で，連動動作機能(ワンショット・パルス，PWM，多重PWM)を使用することはできません。

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 1, 3)

7.5 カウンタの動作

7.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は，タイマ・モード・レジスタ mn (TMRmn) のCCSmn ビットにより，以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

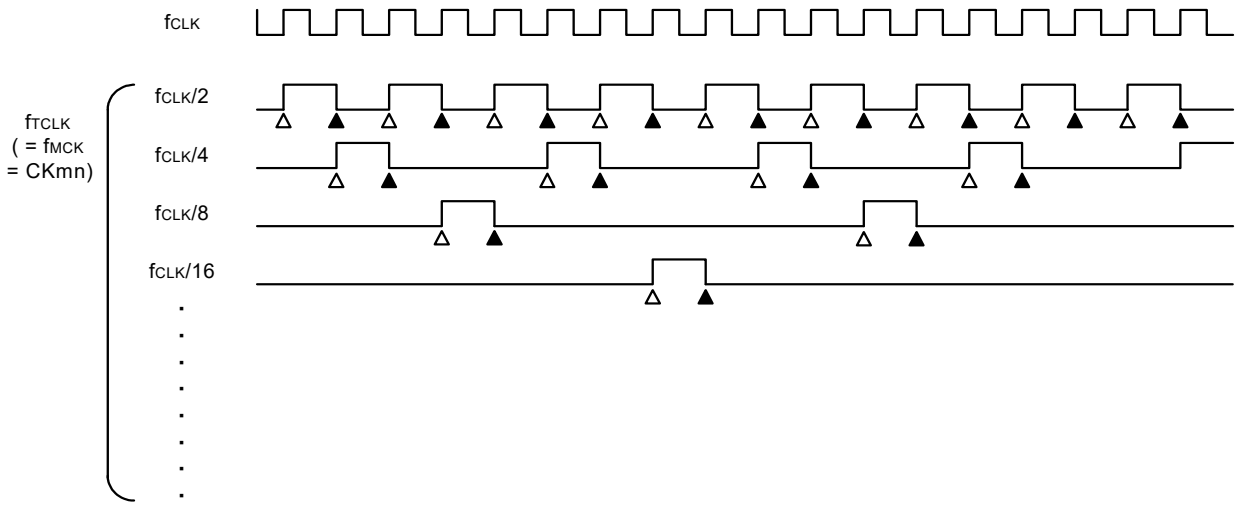
タイマ・アレイ・ユニットは，fCLK との同期をとって動作するよう設計されているため，カウント・クロック (fTCLK) のタイミングは次のようになります。

(1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は，タイマ・クロック選択レジスタ m (TPSm) の設定により，fCLK ～ fCLK/2^{15} となります。ただし，fCLK の分周を選んだ場合，TPSm レジスタで選択するクロックは，立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は，fCLK との同期をとるため，カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7 - 24 fCLK とカウント・クロック (fTCLK) のタイミング (CCSmn = 0 時)



備考1. △：カウント・クロックの立ち上がり
▲：同期化，カウンタのインクリメント／デクリメント

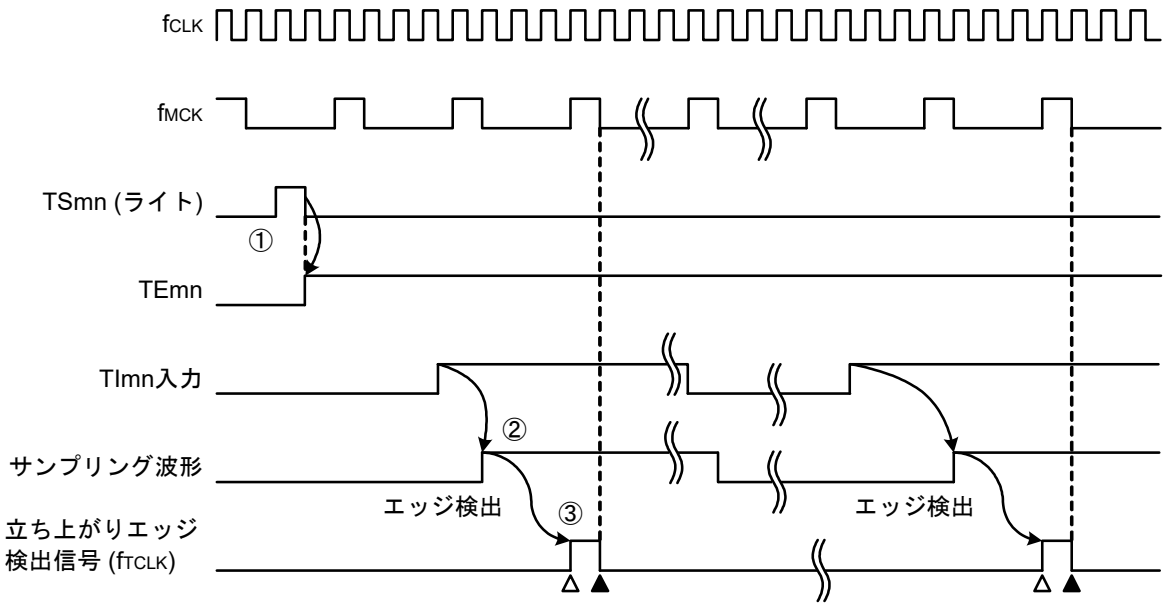
備考2. fCLK：CPU／周辺ハードウエア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合(CCSmn = 1)

カウント・クロック(fTCLK)は，TImn端子からの入力信号の有効エッジを検出し，次のfMCKの立ち上がりに同期した信号になります。これは，実際のTImn端子からの入力信号よりfMCKの1～2クロック分遅れた信号になります(ノイズ・フィルタ使用時は，fMCKの3～4クロック分遅れます)。

また，タイマ・カウンタ・レジスタmn (TCRmn)は，fCLKとの同期をとるためにカウント・クロックの立ち上がりからfCLKの1クロック分遅れてカウントしますが，このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図7 - 25 カウント・クロック(fTCLK)のタイミング(CCSmn = 1，ノイズ・フィルタ未使用時)



①TSmnビットをセットすることでタイマが動作を開始し，TImn入力の有効エッジ待ちになります。

②TImn入力の立ち上がりがfMCKでサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号(カウント・クロック)が出力されます。

備考1. △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

備考2. fCLK：CPU／周辺ハードウエア・クロック

fMCK：チャネルnの動作クロック

備考3. 入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTImn入力も同様の波形になります。

7.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタmn (TCRmn)は，タイマ・チャネル開始レジスタm (TSm)のTSmnビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタmn (TCRmn)のカウント・スタートまでの動作を，表7 - 5に示します。

表7 - 5 カウント動作許可状態からタイマ・カウンタ・レジスタmn (TCRmn)のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出(TSmn = 1)後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います(7.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmnビットに1を書き込むことにより，TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると，以降のカウント・クロックでダウン・カウント動作を行います(7.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います(7.5.3 (3) キャプチャ・モードの動作(入力パルス間隔測定)参照)。
ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います(7.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ＆ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います(7.5.3 (5) キャプチャ＆ワンカウント・モードの動作(ハイ・レベル幅測定)参照)。

7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

①TSmnビットへ1を書き込むことにより，動作許可状態(TEmn = 1)となります。タイマ・カウンタ・レジスタmn (TCRmn)は，カウント・クロック発生まで初期値を保持しています。

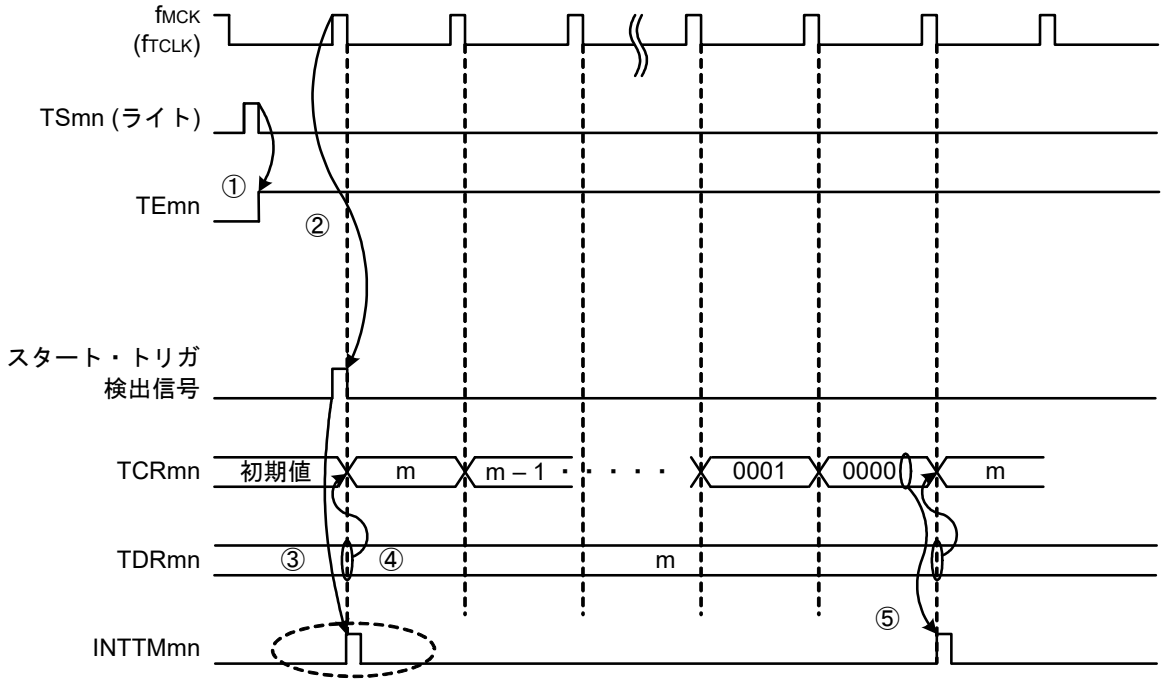
②動作許可後の最初のカウント・クロック(fMCK)で，スタート・トリガが発生します。

③MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。

④動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタmn (TDRmn)の値をTCRmnレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。

⑤TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック(fMCK)でINTTMmnを発生し，タイマ・データ・レジスタmn (TDRmn)の値をTCRmnレジスタにロードしてカウントを継続します。

図7 - 26 動作タイミング(インターバル・タイマ・モード)



MDmn0 = 1設定時

注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考 fMCK，スタート・トリガ検出信号，INTTMmnは，fCLKに同期して1クロック間アクティブとなります。

(2)　イベント・カウンタ・モードの動作

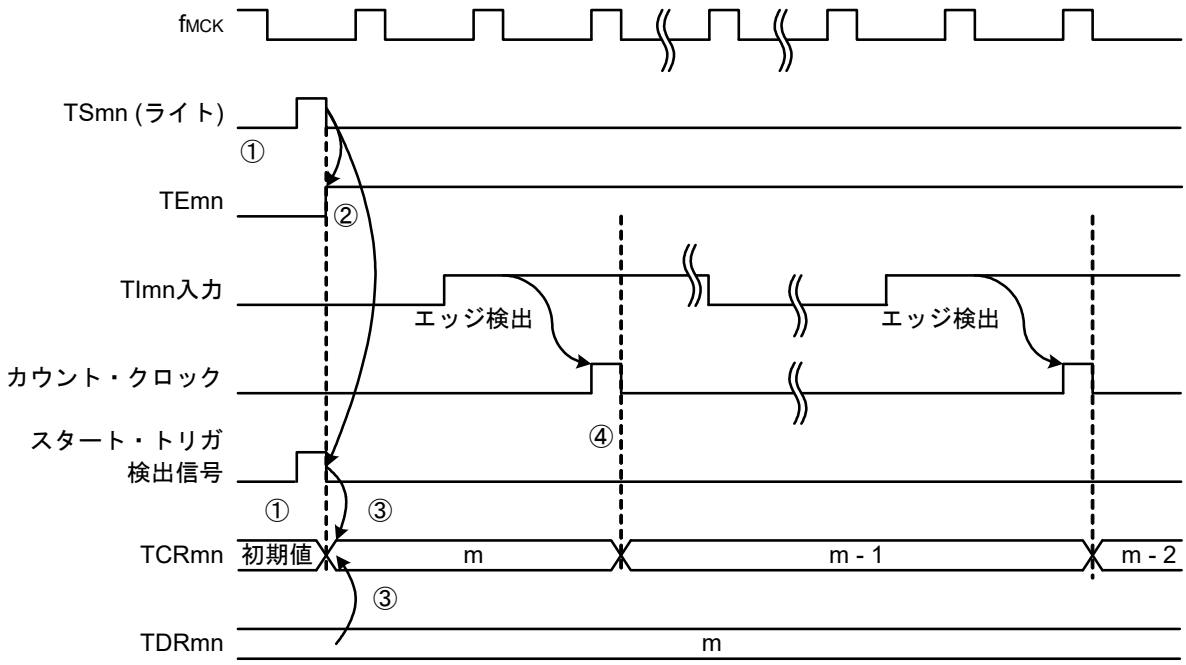
①動作停止状態(TEmn = 0)の期間，タイマ・カウンタ・レジスタ mn (TCRmn)は，初期値を保持します。

②TSmnビットへ1を書き込むことにより，動作許可状態(TEmn = 1)となります。

③TSmn = 1→TEmn = 1と同時に，TCRmnレジスタにタイマ・データ・レジスタ mn (TDRmn)の値をロードし，カウントを開始します。

④以降はTImn入力の有効エッジでのカウント・クロックに従い，TCRmnレジスタの値をダウン・カウントします。

図7 - 27 動作タイミング(イベント・カウンタ・モード)



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3～4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

①TSmnビットへ1を書き込むことにより，動作許可状態(TEmn = 1)となります。

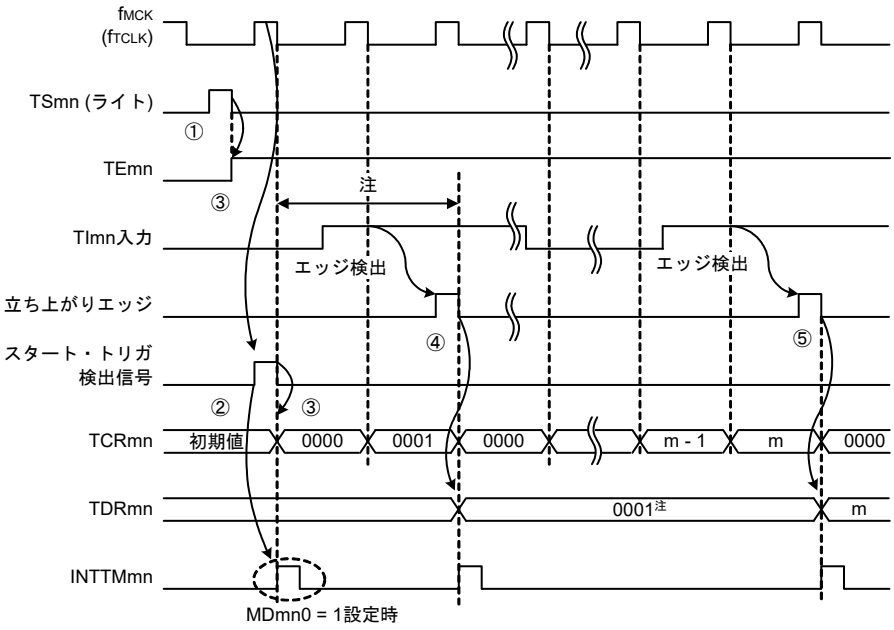
②タイマ・カウンタ・レジスタmn (TCRmn)は，カウント・クロック発生まで初期値を保持しています。

③動作許可後の最初のカウント・クロック(fMCK)で，スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし，キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。)

④TImn 入力の有効エッジを検出すると，TCRmn レジスタの値を TDRmn レジスタにキャプチャし，INTTMmn割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。

⑤次のTImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図7 - 28 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001：2クロック分の間隔)ので，無視してください。

注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3～4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(4)　ワンカウント・モードの動作

①TSmnビットへ1を書き込むことにより，動作許可状態(TEmn = 1)となります。

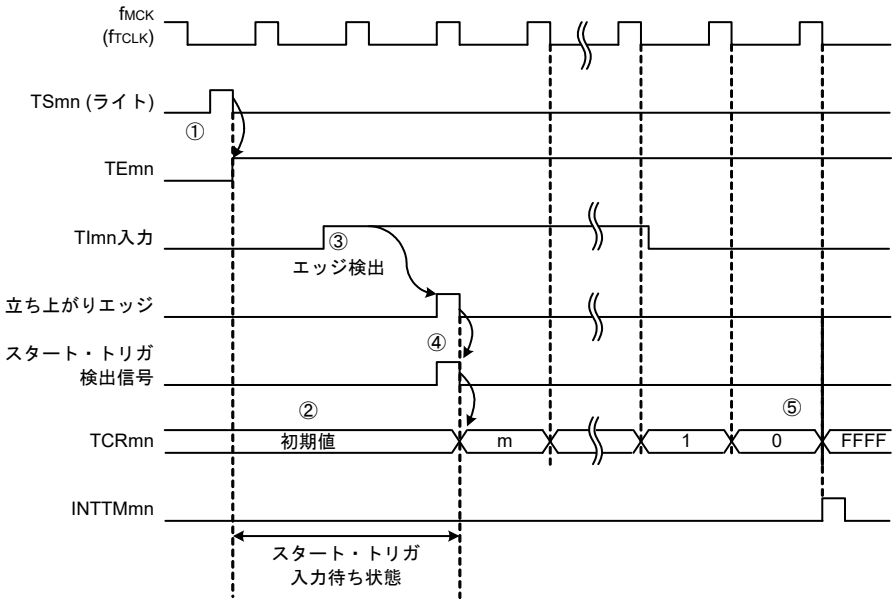
②タイマ・カウンタ・レジスタmn (TCRmn)は，スタート・トリガ発生まで初期値を保持しています。

③TImn入力の立ち上がりエッジを検出します。

④スタート・トリガが発生して，TDRmnレジスタの値(m)をTCRmnレジスタにロードし，カウントを開始します。

⑤TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，INTTMmn割り込みを発生し，TCRmnレジスタはFFFFHで停止します。

図7 - 29 動作タイミング(ワンカウント・モード)



備考　このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると，エッジ検出は TImn入力からさらにfMCKの2周期分(合計で3～4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(5) キャプチャ＆ワンカウント・モードの動作(ハイ・レベル幅測定)

①タイマ・チャネル開始レジスタm (TSm)のTSmnビットに1を書き込むことにより，動作許可状態(TEmn = 1)となります。

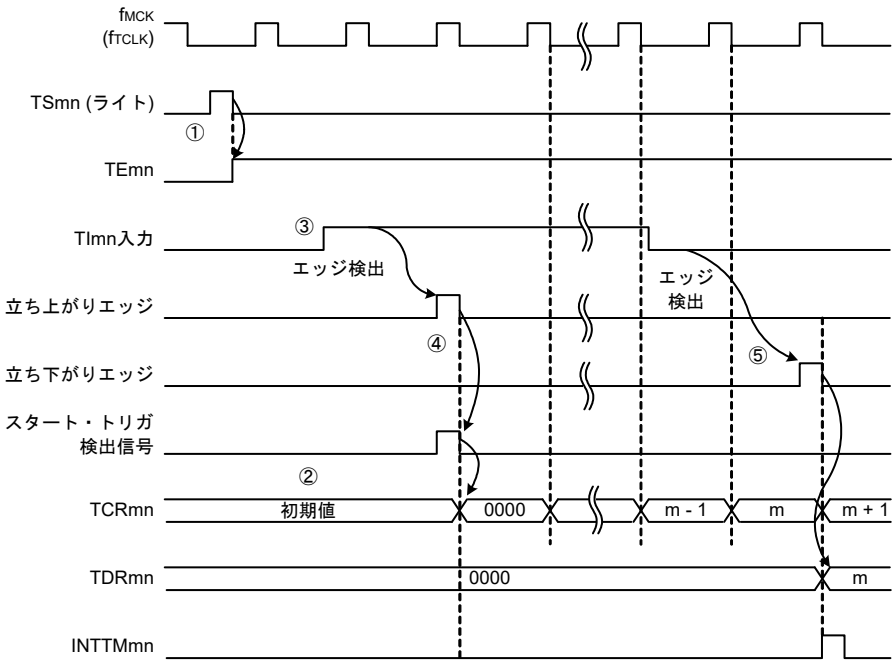
②タイマ・カウンタ・レジスタmn (TCRmn)は，スタート・トリガ発生まで初期値を保持します。

③TImn入力の立ち上がりエッジを検出します。

④スタート・トリガが発生して，0000HをTCRmnレジスタにロードし，カウントを開始します。

⑤TImn入力の立ち下がりエッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図7 - 30 動作タイミング(キャプチャ＆ワンカウント・モード：ハイ・レベル幅測定)

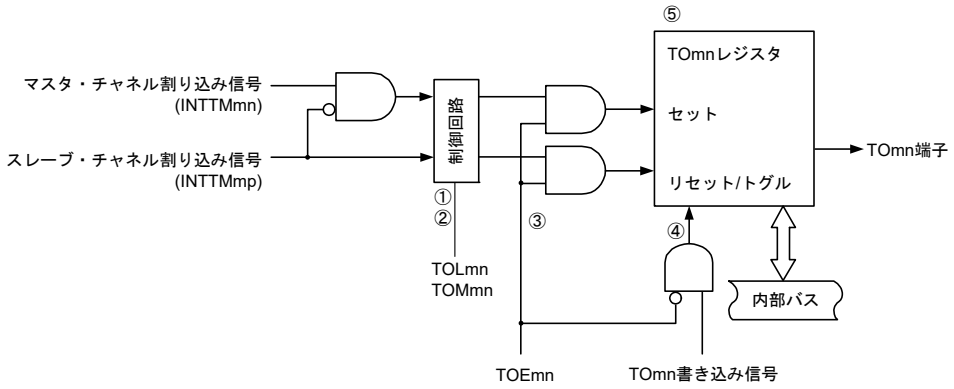


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3～4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

7.6 チャネル出力(TOmn端子)の制御

7.6.1 TOmn端子の出力回路の構成

図7 - 31 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

①TOMmn = 0 (マスタ・チャネル出力モード)のときは，タイマ出力レベル・レジスタm (TOLm)の設定値は無視され，INTTMmp (スレーブ・チャネル・タイマ割り込み)のみがタイマ出力レジスタm (TOm)に伝えられます。

②TOMmn = 1 (スレーブ・チャネル出力モード)のときは，INTTMmn (マスタ・チャネル・タイマ割り込み)とINTTMmp (スレーブ・チャネル・タイマ割り込み)がTOmレジスタに伝えられます。

このとき，TOLmレジスタが有効となり，次のように信号を制御します。

TOLmn = 0の場合 ：正転動作(INTTMmn→セット，INTTMmp→リセット)

TOLmn = 1の場合 ：反転動作(INTTMmn→リセット，INTTMmp→セット)

また，INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は，INTTMmp (リセット信号)が優先され，INTTMmn (セット信号)はマスクされます。

③タイマ出力許可状態(TOEmn = 1)で，INTTMmn (マスタ・チャネル・タイマ割り込み)とINTTMmp (スレーブ・チャネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み(TOmnライト信号)は無効となります。

また，TOEmn = 1のとき，割り込み信号以外でTOmn端子の出力が変化することはありません。

TOmn端子の出力レベルを初期化する場合は，タイマ動作停止(TOEmn = 0)に設定しTOmレジスタに値を書き込む必要があります。

④タイマ出力禁止状態(TOEmn = 0)で，対象チャネルのTOmnビットへの書き込み(TOmnライト信号)が有効となります。タイマ出力禁止状態(TOEmn = 0)のとき，INTTMmn (マスタ・チャネル・タイマ割り込み)とINTTMmp (スレーブ・チャネル・タイマ割り込み)はTOmレジスタに伝えられません。

⑤TOmレジスタは常に読み出し可能であり，TOmn端子の出力レベルを確認することができます。

備考 m： ユニット番号(m = 0)

n：チャネル番号

n = 0-3 (マスタ・チャネル時：n = 0, 2)

p：スレーブ・チャネル番号

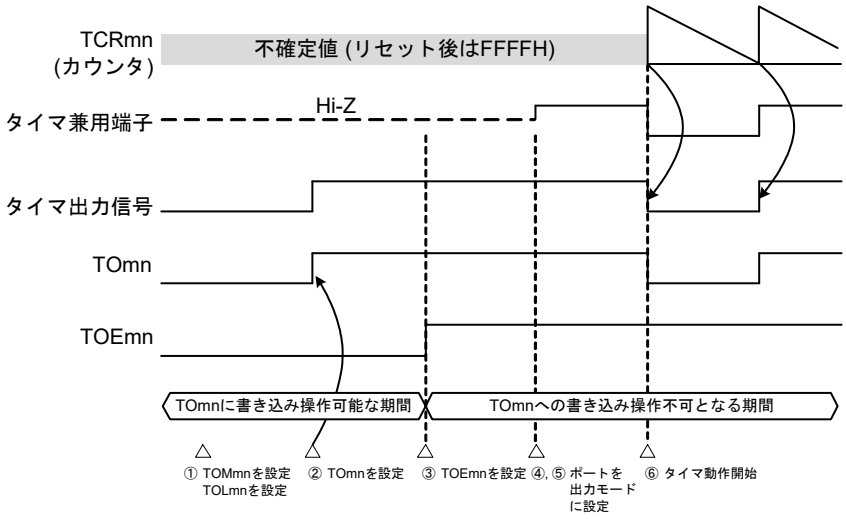
n = 0：p = 1, 2, 3

n = 2：p = 3

7.6.2　TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7 - 32 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- TOMmnビット(0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード)
- TOLmnビット(0：正論理出力，1：負論理出力)

②タイマ出力レジスタm (TOm)を設定することにより，タイマ出力信号が初期状態に設定されます。

③TOEmnビットに1を書き込み，タイマ出力動作を許可します(TOmレジスタへの書き込みは不可となります)。

④ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します(7.3.16　タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑤ポートの入出力設定を出力に設定します(7.3.16　タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥タイマを動作許可にします(TSmn = 1)。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.6.3　チャネル出力操作時の注意事項

(1)　タイマ動作中のTOm,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタmn (TCRmn),タイマ・データ・レジスタmn (TDRmn)の動作)は，TOmn出力回路とは独立しています。よって，タイマ出力レジスタm (TOm)，タイマ出力許可レジスタm (TOEm)，タイマ出力レベル・レジスタm (TOLm)の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形をTOmn端子から出力するためには，7.8, 7.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み(INTTMmn)近辺で，TOmレジスタを除くTOEmレジスタ，TOLmレジスタの設定値変更を行うと，タイマ割り込み(INTTMmn)信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み(INTTMmn)信号発生タイミング直後に設定値変更が実施された場合とでは，TOmn端子に出力される波形が異なる場合があります。

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

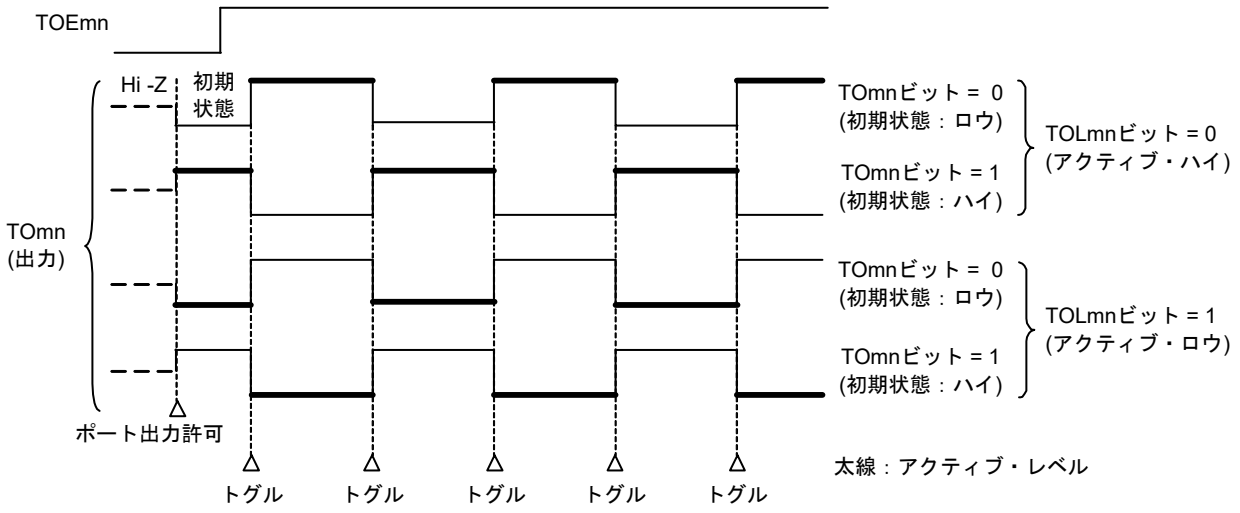
(2)　TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止(TOEmn = 0)の状態でタイマ出力レジスタm (TOm)に書き込みを行い，初期レベル変更後，タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a)　マスタ・チャネル出力モード(TOMmn= 0)設定で動作を開始した場合

マスタ・チャネル出力モード(TOMmn= 0)の時，タイマ出力レベル・レジスタm (TOLm)の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図7 - 33 トグル出力時(TOMmn = 0)のTOmn端子出力状態



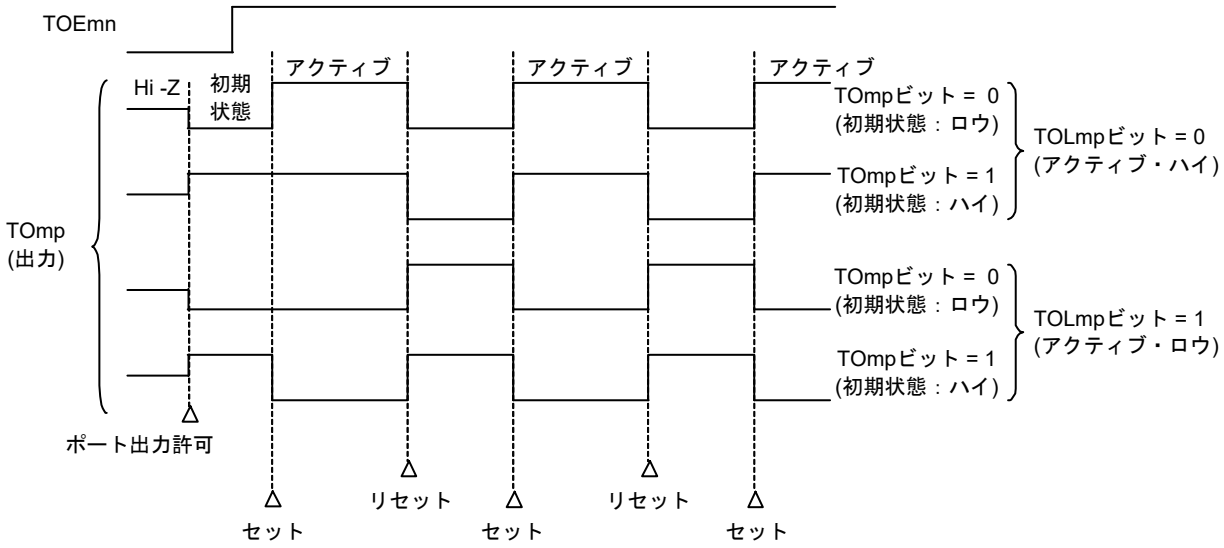
備考1.　トグル：TOmn端子の出力状態を反転

備考2.　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

(b)　スレーブ・チャネル出力モード(TOMmn = 1)設定で動作を開始した場合(PWM出力)

スレーブ・チャネル出力モード(TOMmn = 1)の時，タイマ出力レベル・レジスタ m (TOLmn)の設定によりアクティブ・レベルを決定します。

図7 - 34 PWM出力時 (TOMmn = 1)のTOmn端子出力状態



備考1. セット：TOmp端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmp端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0)，n：チャネル番号(p = 1-3)

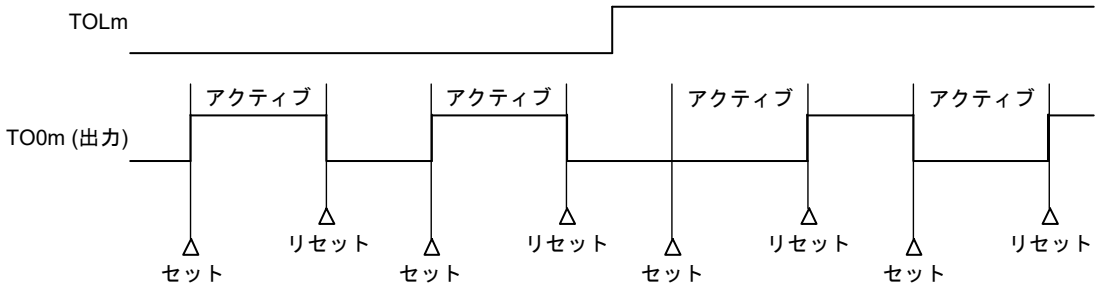
(3)　TOmn端子のスレーブ・チャネル出力モード(TOMmn = 1)での動作について

(a)　タイマ動作中にタイマ出力レベル・レジスタm (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合，設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは，TOmn端子の出力レベルは変化しません。

TOMmn = 1で，タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

図7 - 35 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOmn端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmn端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

(b)　セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み(INTTMmn)発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

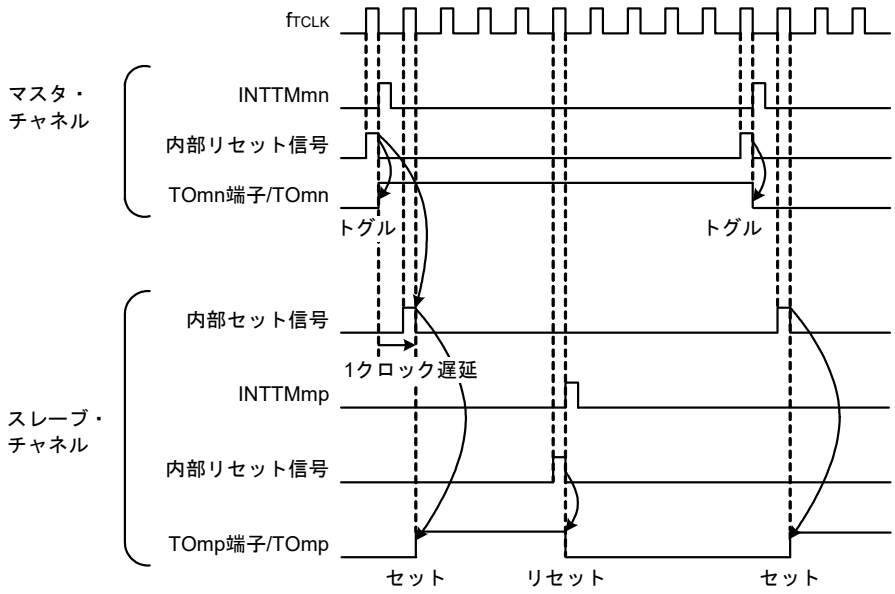
マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図7 - 36に示します。

マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0

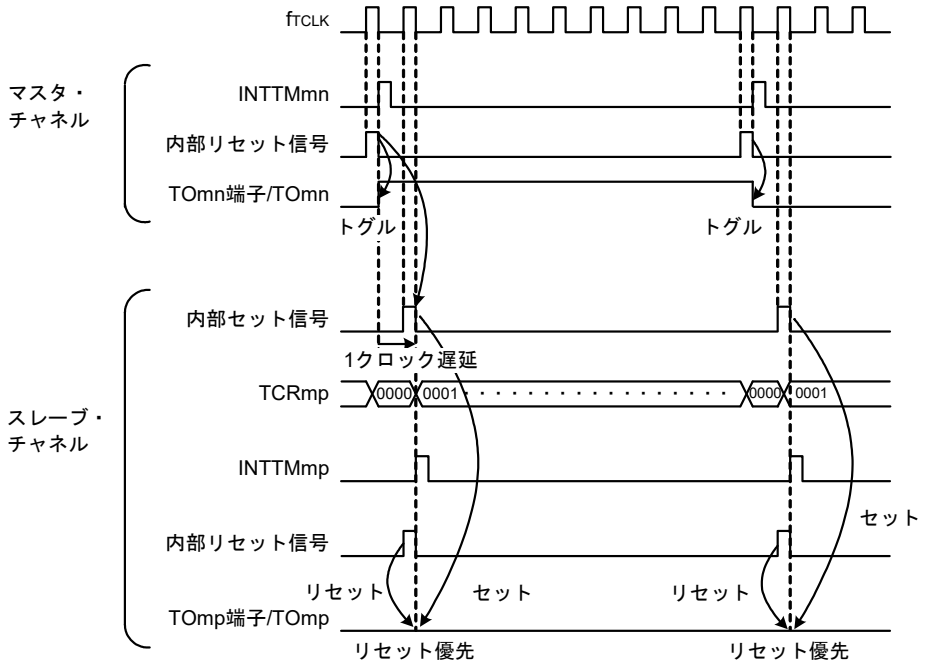
スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図7 - 36 セット／リセット・タイミング動作状態

(1)基本動作タイミング



(2) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 ：TOmn端子のリセット／トグル信号

内部セット信号 ：TOmn端子のセット信号

備考2. m：ユニット番号(m = 0)

n：チャネル番号

n = 0-3 (マスタ・チャネル時：n = 0, 2)

p：スレーブ・チャネル番号

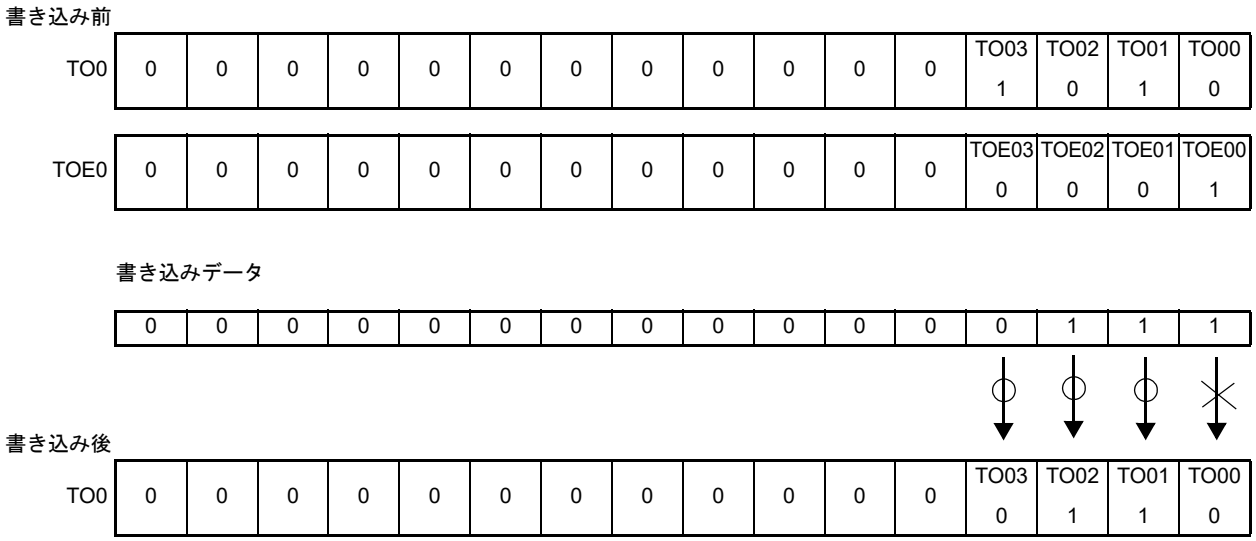
n = 0：p = 1, 2, 3

n = 2：p = 3

7.6.4 TOmnビットの一括操作

タイマ出力レジスタm (TOm)には，タイマ・チャネル開始レジスタm (TSm)と同様に，1レジスタに全チャネル分の設定ビット(TOmn)が配置されています。よって，全チャネルのTOmnビットを一括で操作することが可能です。また，操作対象としたいチャネル出力(TOmn)のみTOmnビットへの書き込み可能(TOEmn = 0)とすることによって任意のビットのみ操作することが可能です。

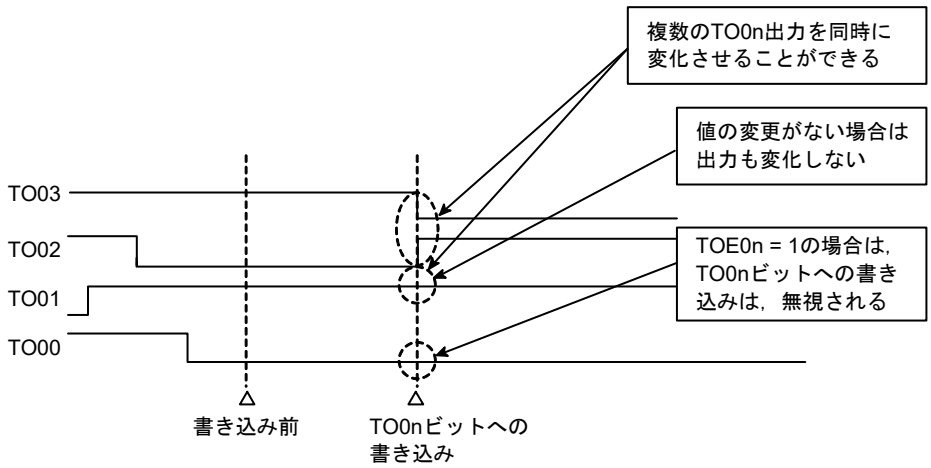
図7 - 37 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャネル出力)は，書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図7 - 38 TO0nビットの一括操作によるTO0nの端子状態



備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.6.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタ mn (TMRmn) のMDmn0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

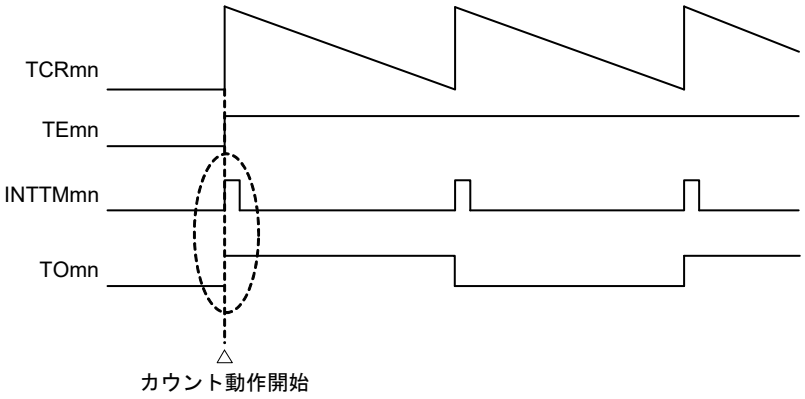
MDmn0 = 1に設定することで，タイマ割り込み(INTTMmn)の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOmn出力は制御しません。

インターバル・タイマ・モード(TOEmn = 1, TOMmn = 0)に設定した場合の動作例を次に示します。

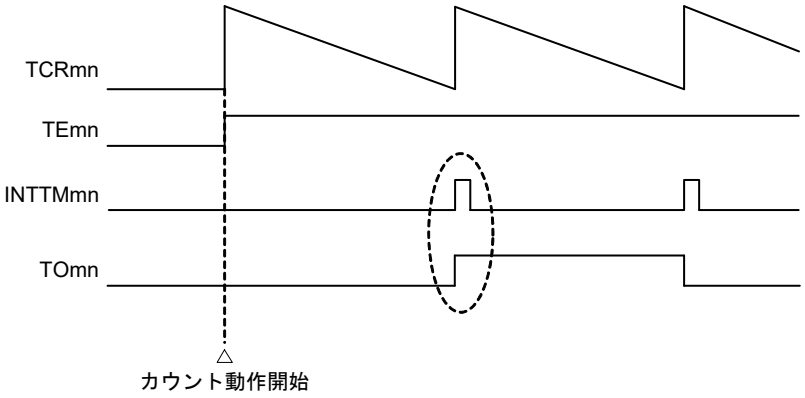
図7 - 39 カウント動作開始時のタイマ割り込み，TOmn出力の動作例

(a) MDmn0 = 1に設定した場合



MDmn0 = 1に設定した場合，カウント動作開始時にタイマ割り込み(INTTMmn)が出力され，TOmnがトグル動作します。

(b) MDmn0 = 0に設定した場合



MDmn0 = 0に設定した場合，カウント動作開始時にタイマ割り込み(INTTMmn)を出力しません。TOmnも変化しません。1周期をカウント後，INTTMmnを出力し，TOmnがトグル動作します。

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

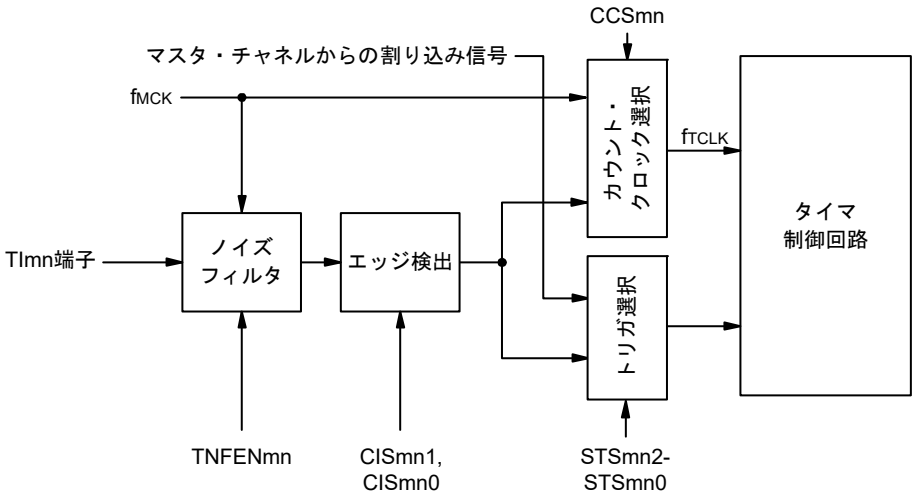
7.7　タイマ入力(TImn)の制御

7.7.1　TImnの入力回路構成

タイマ入力端子から信号は，ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。

ノイズ除去が必要な端子は，対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

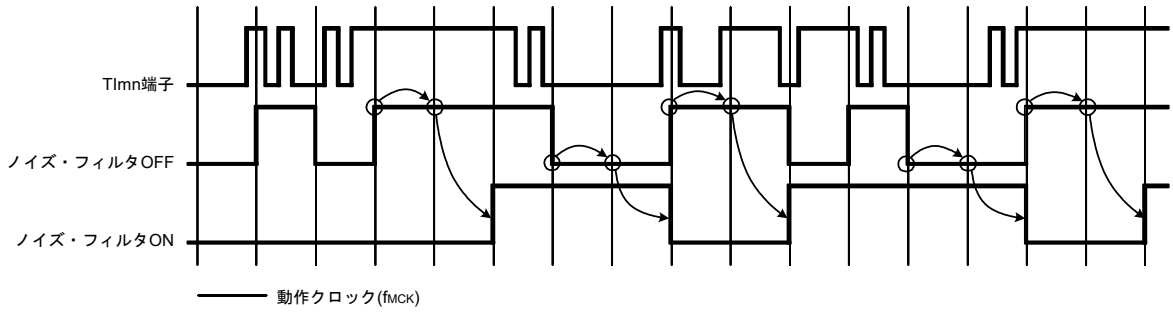
図7 - 40 入力回路構成図



7.7.2　ノイズ・フィルタ

ノイズ・フィルタ無効時は，チャネルnの動作クロック(fMCK)で同期化だけ行います。ノイズ・フィルタ有効時は，チャネルnの動作クロック(fMCK)で同期化のあと，2クロックの一致検出を行います。以下に，TImn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図7 - 41 TImn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



注意　TImn端子の入力波形は，ノイズ・フィルタON/OFFの動作を説明するためのものであり，実際は，35.4　AC特性に示すTImn入力ハイ・レベル幅，ロウ・レベル幅に従って入力してください。

7.7.3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において，ノイズ・フィルタ回路へ動作クロックは供給されません。そのため，タイマ入力端子を使用する設定をしてから，タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで，以下の待ち時間が必要になります。

(1)　ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn (TMRmn)のビット12 (CCSmn)，ビット9 (STSmn1)，ビット8 (STSmn0)がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック (fMCK)の2サイクル以上経過してから，タイマ・チャネル開始レジスタ(TSm)の動作許可トリガをセットしてください。

(2)　ノイズ・フィルタONの場合

タイマ・モード・レジスタmn (TMRmn)のビット12 (CCSmn)，ビット9 (STSmn1)，ビット8 (STSmn0)がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック (fMCK)の4サイクル以上経過してから，タイマ・チャネル開始レジスタ(TSm)の動作許可トリガをセットしてください。

7.8　タイマ・アレイ・ユニットの単独チャネル動作機能

7.8.1　インターバル・タイマ／方形波出力としての動作

(1)　インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み)を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn (タイマ割り込み)の発生周期 = カウント・クロックの周期 × (TDRmnの設定値 + 1)

(2)　方形波出力としての動作

TOmnは，INTTMmn発生と同時にトグル動作を行い，デューティ 50%の方形波を出力します。

TOmn出力波形の周期と周波数は，次の式で求めることができます。

• TOmnからの出力方形波の周期 = カウント・クロックの周期× (TDRmnの設定値 + 1) × 2
• TOmnからの出力方形波の周波数 = カウント・クロックの周波数／ {(TDRmnの設定値 + 1) × 2}

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm (TSm)のチャネル・スタート・トリガ・ビット(TSmn, TSHm1, TSHm3)に1を設定後，最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn (TDRmn)の値をロードします。このときタイマ・モード・レジスタmn (TMRmn)のMDmn0 = 0ならば，INTTMmnを出力せず，TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば，INTTMmnを出力して，TOmnをトグルします。

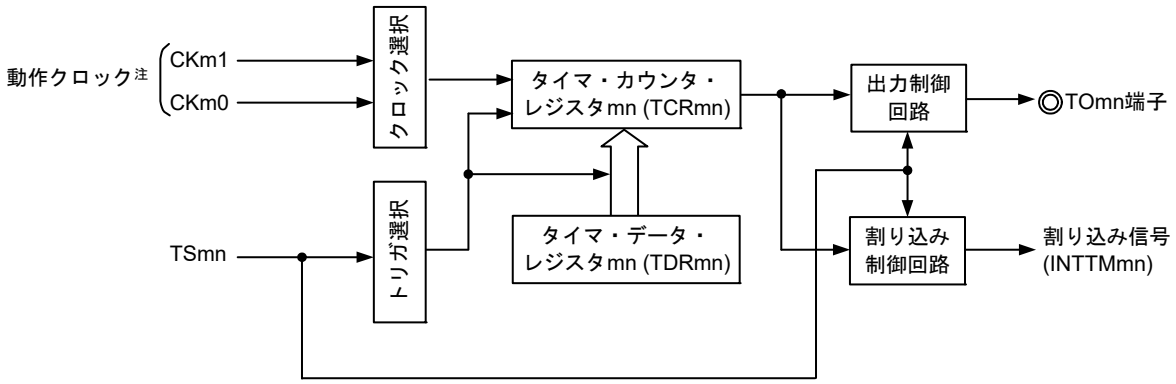
その後，TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H となったら，次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また，同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降，同様の動作を継続します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えたTDRmn レジスタの値は，次の周期から有効となります。

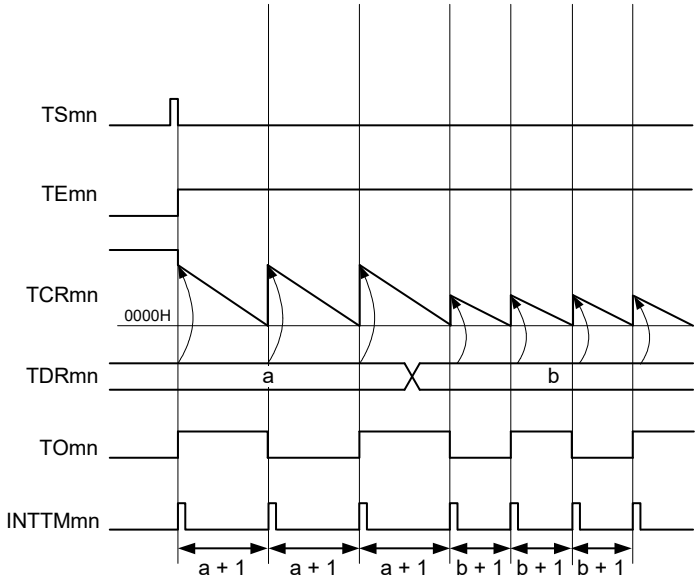
備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 42 インターバル・タイマ／方形波出力としての動作のブロック図



注　　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7 - 43 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

備考2. TSmn：　タイマ・チャネル開始レジスタm (TSm)のビットn

TEmn：　タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn

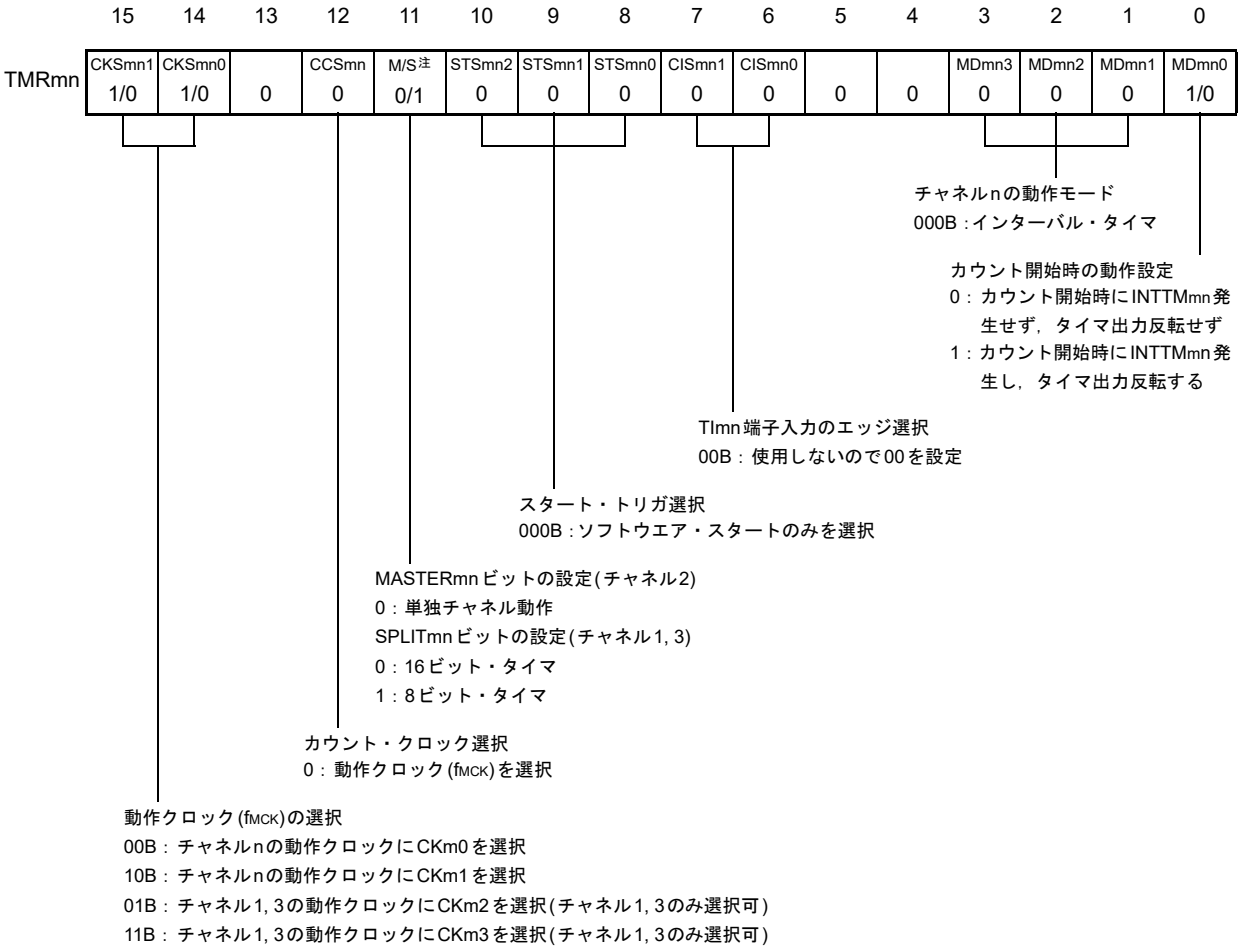
TCRmn：タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn：タイマ・データ・レジスタmn (TDRmn)

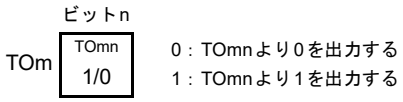
TOmn：　TOmn端子出力信号

図7 - 44 インターバル・タイマ／方形波出力時のレジスタ設定内容例

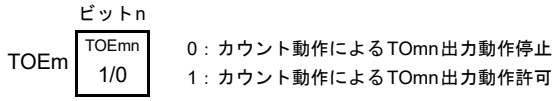
(a)タイマ・モード・レジスタ mn (TMRmn)



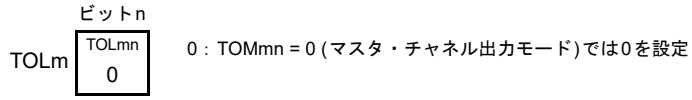
(b)タイマ出力レジスタ m (TOm)



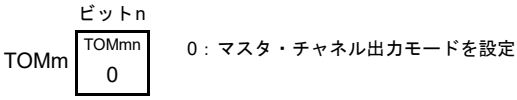
(c)タイマ出力許可レジスタ m (TOEm)



(d)タイマ出力レベル・レジスタ m (TOLm)



(e)タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 ：MASTERmnビット
TMRm1, TMRm3の場合 ：SPLITmnビット
TMRm0の場合 ：0固定

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 45 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
	TOmn出力を使用する場合， タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0(マスタ・チャネル出力モード)を設定する TOLmnビットに0を設定する TOmnビットを設定し，TOmn出力の初期レベルを確定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可 →	チャネルは動作停止状態なので，TOmnは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はTOmn設定レベルを出力
動作開始	(TOmn出力を使用する場合で，かつ動作再開時のみTOEmnビットに1を設定する) TSmn (TSHm1, TSHm3)ビットに1を設定する →	TEmn (TEHm1, TEHm3) = 1になり，カウント動作開始
	TSmn (TSHm1, TSHm3)ビットはトリガ・ビットなので，自動的に0に戻る	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TOm, TOEmレジスタは，設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは，設定値変更禁止	カウンタ(TCRmn)はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。 以降，この動作を繰り返す。
動作停止	TTmn (TTHm1, TTHm3)ビットに1を設定する →	TEmn (TEHm1, TEHmn) = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TTmn (TTHm1, TTHm3)ビットはトリガ・ビットなので，自動的に0に戻る	
	TOEmnビットに0を設定し，TOmnビットに値を設定する →	TOmn端子はTOmnビットに設定したレベルを出力

動作再開

(備考は次ページにあります。)

図7 - 45 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウエア操作	ハードウエアの状態
TAU停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態
	全回路を初期化する場合はPRR0レジスタの →	全回路が初期化され，各チャネルのSFRも初期化される
	TAU0RESビットに1を設定する	(TOmnビットが0になり，TOmn端子はポート機能となる)

備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.8.2　外部イベント・カウンタとしての動作

TImn端子入力の有効エッジ検出(外部イベント)をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmnの設定値 + 1

タイマ・カウンタ・レジスタmn (TCRmn)はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm (TSm) の任意のチャネル・スタート・トリガ・ビット(TSmn, TSHm1, TSHm3)に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn (TDRmn)の値をロードします。

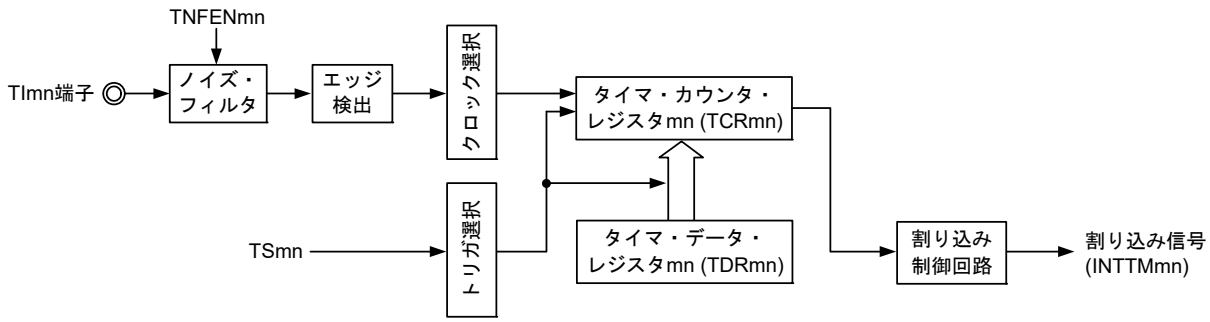
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら，再びTDRmnレジスタの値をロードして，INTTMmnを出力します。

以降，同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタm (TOEm)のTOEmnビットに0を設定して出力動作を停止するようにしてください。

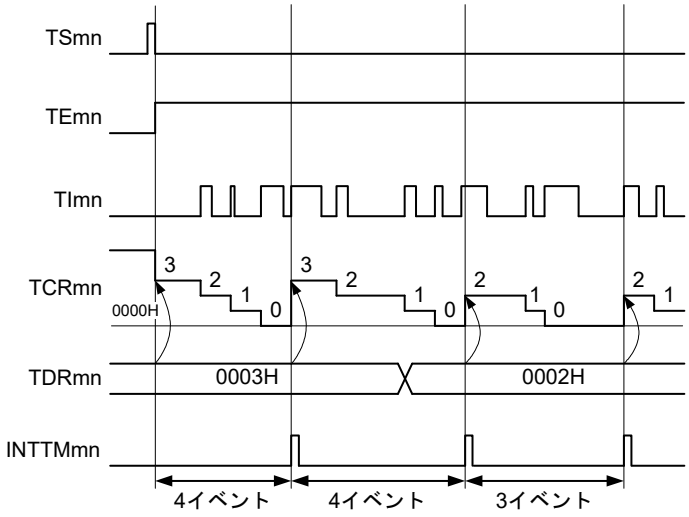
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図7 - 46 外部イベント・カウンタとしての動作のブロック図



備考　m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 47 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

備考2. TSmn：　タイマ・チャネル開始レジスタm (TSm)のビットn

TEmn：　タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn

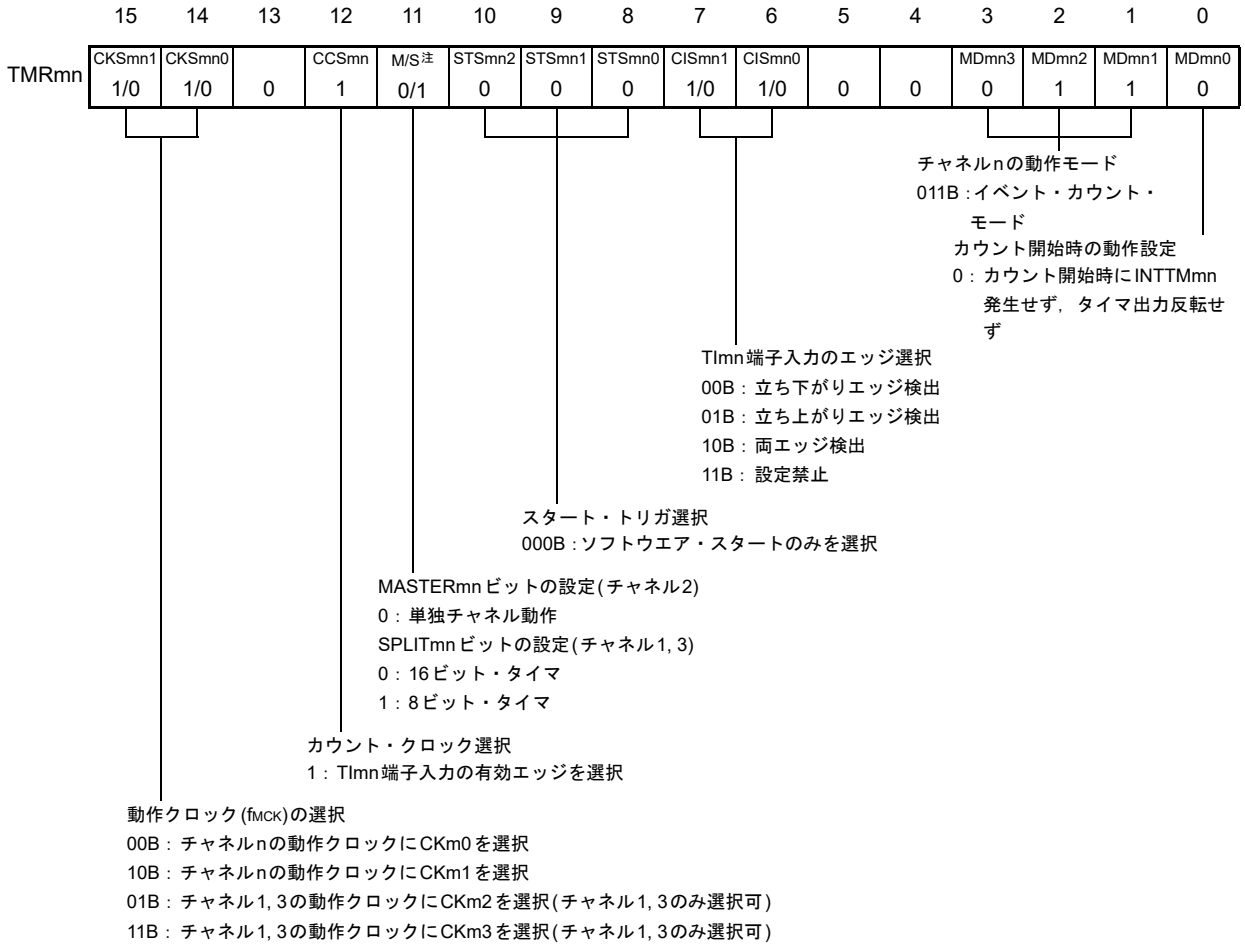
TImn：　TImn端子入力信号

TCRmn：タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn：タイマ・データ・レジスタmn (TDRmn)

図7 - 48 外部イベント・カウンタ・モード時のレジスタ設定内容例

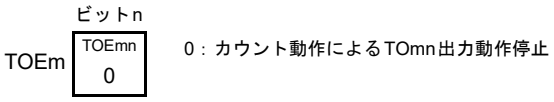
(a)タイマ・モード・レジスタ mn (TMRmn)



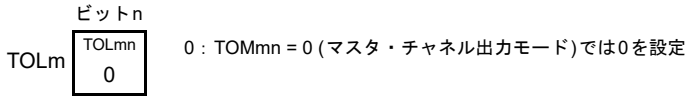
(b)タイマ出力レジスタ m (TOm)



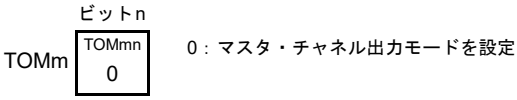
(c)タイマ出力許可レジスタ m (TOEm)



(d)タイマ出力レベル・レジスタ m (TOLm)



(e)タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 ：MASTERmnビット
TMRm1, TMRm3の場合 ：SPLITmnビット
TMRm0の場合 ：0固定

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 49 外部イベント・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ)，1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にカウント数を設定する タイマ出力許可レジスタm (TOEm)のTOEmnビットに0を設定する	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし，TImn端子入力のエッジ検出待ち状態になる
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止	TImn端子入力のエッジが検出されるごとに，カウンタ(TCRmn)はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.8.3 分周器としての動作

TImn端子に入力されたクロックを分周し，TOmn端子から出力する分周器として利用することができます。

TOmn出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：
  分周クロック周波数 = 入力クロック周波数／{(TDRmn の設定値 + 1) × 2}
- 両エッジ選択時：
  分周クロック周波数 ≒ 入力クロック周波数／(TDRmnの設定値 + 1)

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ 0 (TS0)のチャネル・スタート・トリガ・ビット(TSmn)に1を設定後，TImnの有効エッジ検出でTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0 = 0 ならば，INTTMmn を出力せず，TOmn はトグルしません。TMRmn レジスタのMDmn0 = 1ならば，INTTMmn を出力して，TOmn をトグルします。

その後，TImn端子入力の有効エッジに合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら，TOmnをトグルします。同時にTCRmnレジスタはTDRmnレジスタの値をロードして，カウントを継続します。

TImn端子入力の両エッジ検出を選択すると，入力クロックのデューティ誤差がTOmn出力の分周クロック周期に影響します。

TOmnの出力クロックの周期には，動作クロック1周期分のサンプリング誤差が含まれます。

TOmn出力のクロック周期 = 理想のTOmn出力クロック周期 ± 動作クロック周期(誤差)

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えたTDRmn レジスタの値は次のカウント期間で有効となります。

図7 - 50 分周器としての動作のブロック図

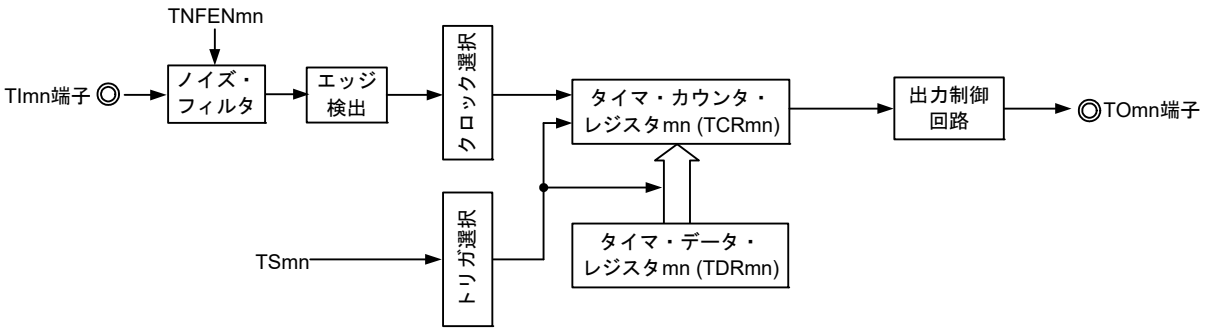
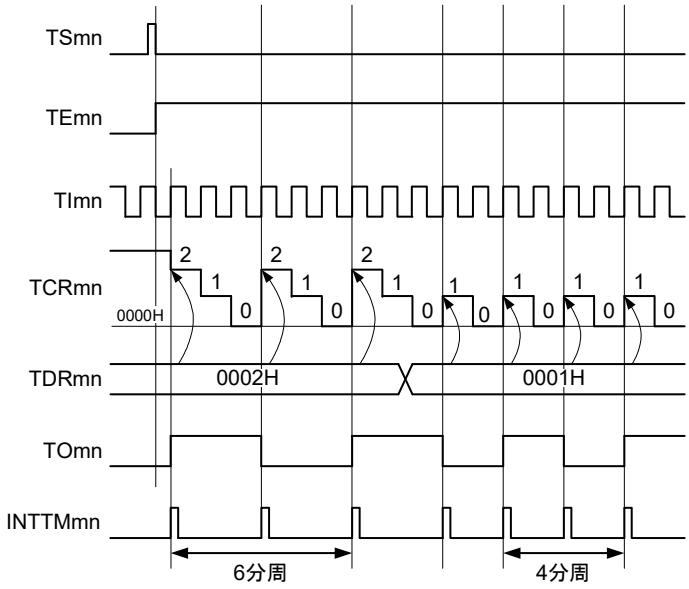


図7 - 51 分周器としての動作の基本タイミング例(MDmn0 = 1)



備考　TSmn：　タイマ・チャネル開始レジスタ0 (TS0)のビット0

TEmn：　タイマ・チャネル許可ステータス・レジスタ0 (TE0)のビット0

TImn：　TImn端子入力信号

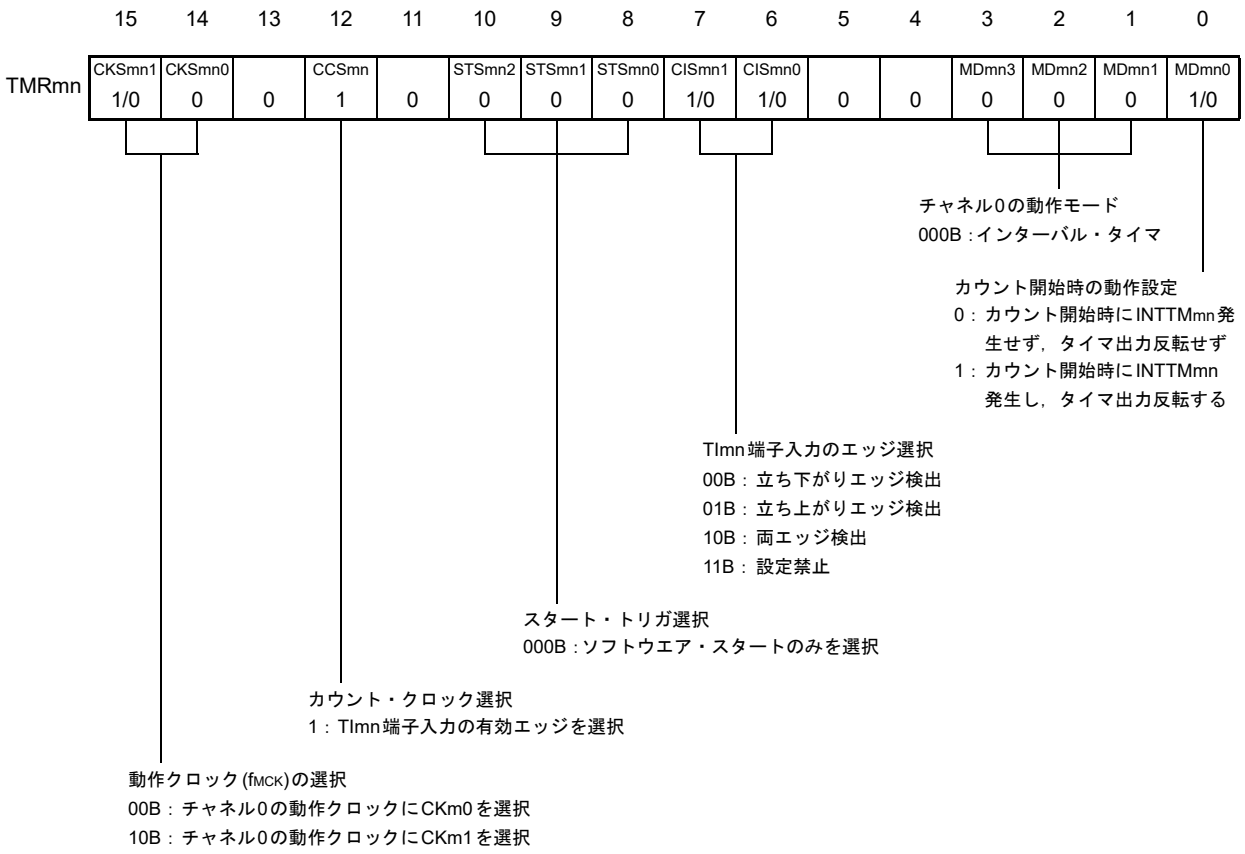
TCRmn：タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn：タイマ・データ・レジスタmn (TDRmn)

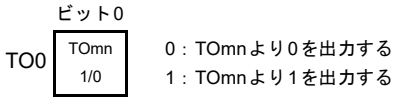
TOmn：　TOmn端子出力信号

図7 - 52 分周器として動作時のレジスタ設定内容例

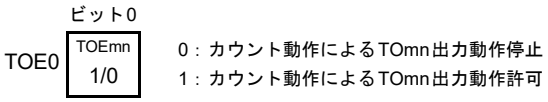
(a)タイマ・モード・レジスタ mn (TMRmn)



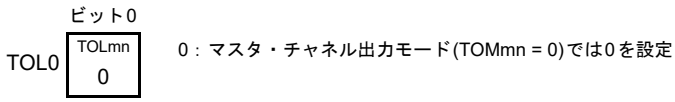
(b)タイマ出力レジスタ 0 (TO0)



(c)タイマ出力許可レジスタ 0 (TOE0)



(d)タイマ出力レベル・レジスタ 0 (TOL0)



(e)タイマ出力モード・レジスタ 0 (TOM0)

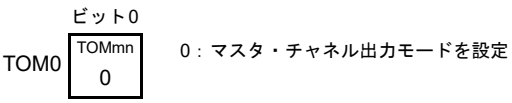


図7 - 53 分周器機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニット0の入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAU0ENビットに1を設定する →	タイマ・アレイ・ユニット0の入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0)を設定する CK00-CK03のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ)，1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルの動作モード確定，検出エッジの選択) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0)のTOMmnビットに0 (マスタ・チャネル出力モード)を設定する TOLmnビットに0を設定する	TOmn端子はHi-Z出力状態
	TOmnビットを設定し，TOmn出力の初期レベルを確定する →	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可 →	チャネルは動作停止状態なので，TOmnは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はTOmn設定レベルを出力
動作開始	TOEmnビットに1を設定する(動作再開時のみ) TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TO0, TOE0レジスタは，設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは，設定値変更禁止	カウンタ(TCRmn)はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn= 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TOEmnビットに0を設定し，TOmnビットに値を設定する →	TOmn端子はTOmn設定レベルを出力
TAU停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する → TOmn端子の出力レベルを保持不要の場合 設定不要	TOmn端子出力レベルはポート機能により保持される。
	PER0レジスタのTAU0ENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタの → TAU0RESビットに1を設定する	タイマ・アレイ・ユニット0の入力クロック供給停止状態 全回路が初期化され，各チャネルのSFRも初期化される (TOmnビットが0になり，TOmn端子はポート機能となる)

動作再開

7.8.4 入力パルス間隔測定としての動作

TImn 有効エッジでカウント値をキャプチャし，TImn 入力パルスの間隔を測定することができます。また，TEmn = 1の期間中に，ソフトウエア操作(TSmn = 1)をキャプチャ・トリガにして，カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 = カウント・クロックの周期 × ((10000H × TSRmn:OVF) + (TDRmnのキャプチャ値 + 1))

注意 TImn端子入力は，タイマ・モード・レジスタmn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ･レジスタmn (TCRmn)はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm (TSm)のチャネル・スタート・トリガ・ビット(TSmn)に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

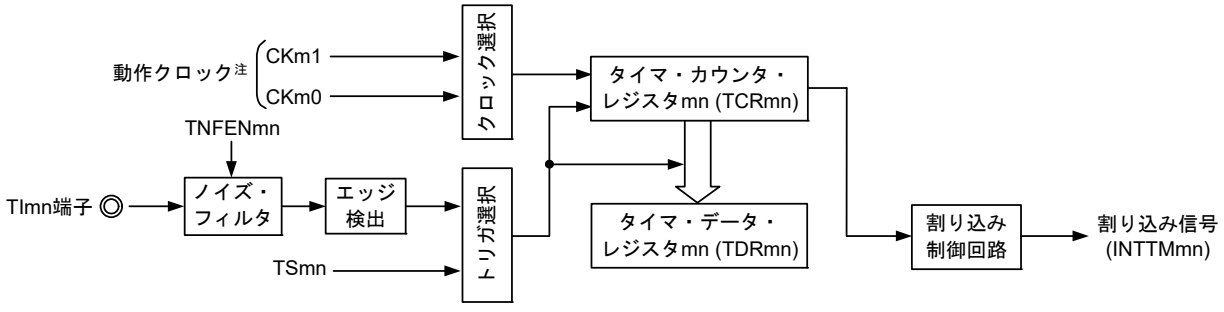
TImn 端子入力の有効エッジを検出すると，TCRmn レジスタのカウント値をタイマ・データ・レジスタmn (TDRmn)に転送(キャプチャ)すると同時に，TCRmn レジスタを0000Hにクリアして，INTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn (TSRmn)のOVFビットが1にセットされ，オーバフローが発生していなかったらOVF ビットはクリアされます。以降，同様の動作を継続します。

カウント値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット(1)されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して，TImn有効エッジをスタート･トリガとキャプチャ･トリガに利用します。

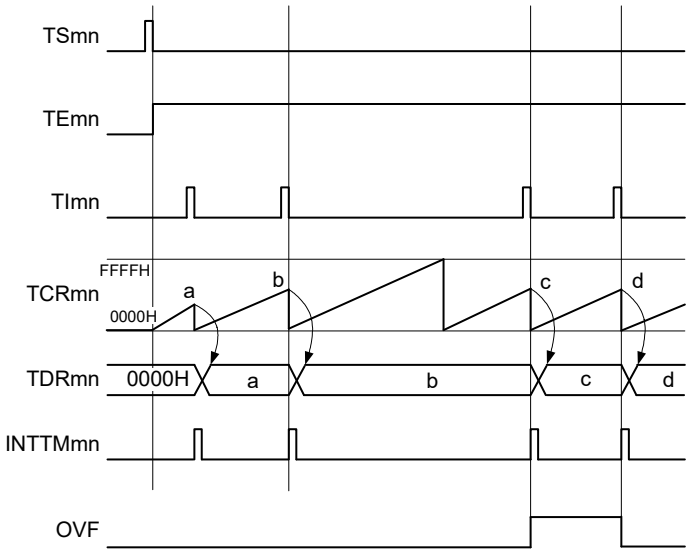
図7 - 54 入力パルス間隔測定としての動作のブロック図



注 チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 55 入力パルス間隔測定としての動作の基本タイミング例(MDmn0 = 0)



備考1. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

備考2. TSmn：　タイマ・チャネル開始レジスタm (TSm)のビットn

TEmn：　タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn

TImn：　TImn端子入力信号

TCRmn：タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn：タイマ・データ・レジスタmn (TDRmn)

OVF：　タイマ・ステータス・レジスタmn (TSRmn)のビット0

図7 - 56 入力パルス間隔測定時のレジスタ設定内容例

(a)タイマ・モード・レジスタmn (TMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

チャネルnの動作モード
010B :キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生しない
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B :TImn端子入力の有効エッジを選択

MASTERmnビットの設定(チャネル2)
0：単独チャネル動作
SPLITmnビットの設定(チャネル1, 3)
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック(fMCK)の選択

動作クロック(fMCK)の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択(チャネル1, 3のみ選択可)
11B：チャネル1, 3の動作クロックにCKm3を選択(チャネル1, 3のみ選択可)

(b)タイマ出力レジスタm (TOm)

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

(c)タイマ出力許可レジスタm (TOEm)

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

(d)タイマ出力レベル・レジスタm (TOLm)

	ビットn
TOLm	TOLmn
	0

0：マスタ・チャネル出力モード(TOMmn = 0)では0を設定

(e)タイマ出力モード・レジスタm (TOMm)

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注 TMRm2の場合 ：MASTERmnビット
TMRm1, TMRm3の場合 ：SPLITmnビット
TMRm0の場合 ：0固定

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 57 入力パルス間隔測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)，1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生する。
動作中	TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは，常に読み出し可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止	カウンタ (TCRmn)は0000Hからアップ・カウント動作を行い，TImn端子入力の有効エッジが検出または，TSmnビットに1を設定すると，カウント値をタイマ・データ・レジスタmn (TDRmn)に転送(キャプチャ)する。同時に，TCRmnレジスタを0000Hにクリアし，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.8.5　入力信号のハイ／ロウ・レベル幅測定としての動作

TImn端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TImnの信号幅(ハイ・レベル幅／ロウ・レベル幅)を測定することができます。TImnの信号幅は次の式で求めることができます。

TImn入力の信号幅 = カウント・クロックの周期 × ((10000H × TSRmn:OVF) + (TDRmnのキャプチャ値 + 1))

注意　TImn端子入力は，タイマ・モード・レジスタmn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn)はキャプチャ＆ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm (TSm)のチャネル・スタート・トリガ・ビット(TSmn)に1を設定すると，TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ(ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ)を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ(ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ)を検出すると，カウンタ値をタイマ・データ・レジスタmn (TDRmn)に転送すると同時にINTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは，「TDRmnレジスタに転送した値 + 1」の値で停止し，TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット(1)されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

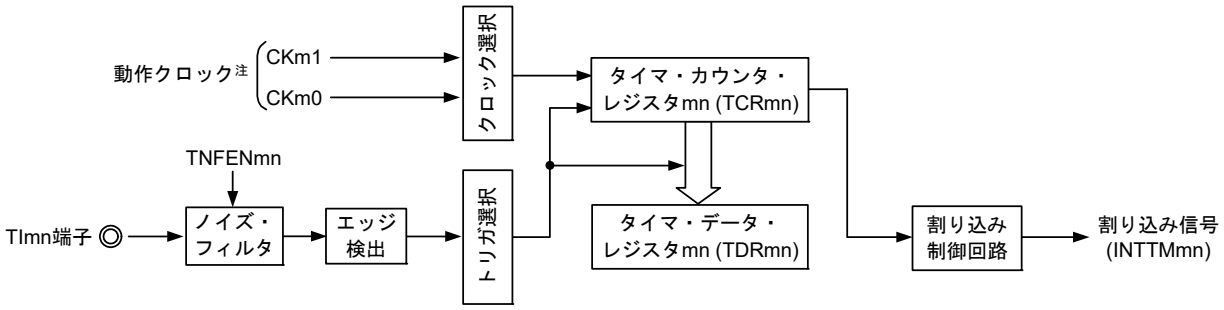
TImn端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは，TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は，TImn端子入力の信号幅測定を目的とするため，TEmn = 1期間中のTSmnビットのセット(1)は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する

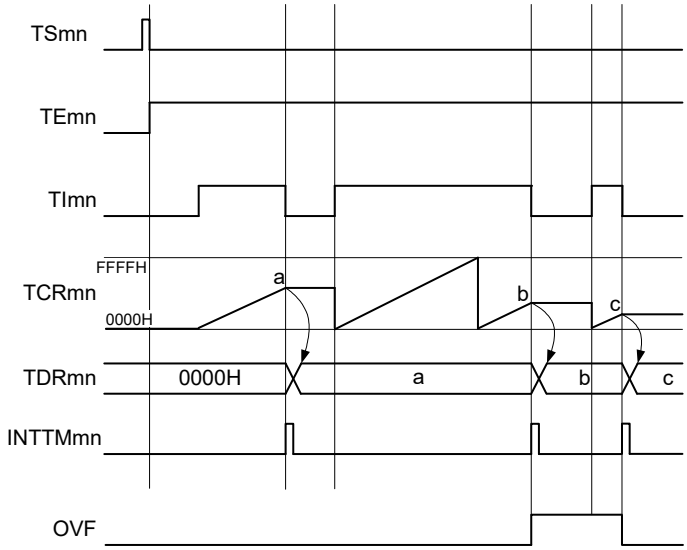
TMRmnレジスタのCISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図7 - 58 入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



注　　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7 - 59 入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

備考2. TSmn：　タイマ・チャネル開始レジスタm (TSm)のビットn

TEmn：　タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn

TImn：　TImn端子入力信号

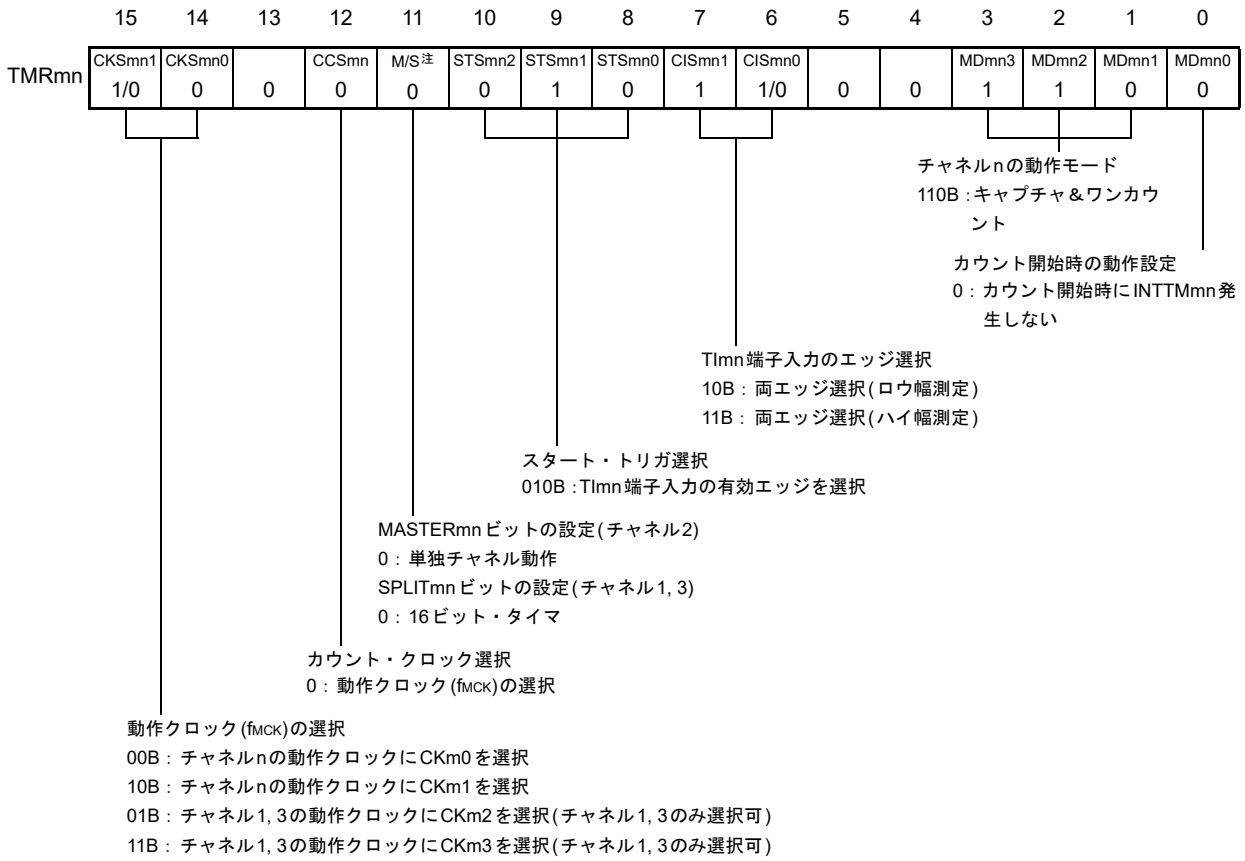
TCRmn：タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn：タイマ・データ・レジスタmn (TDRmn)

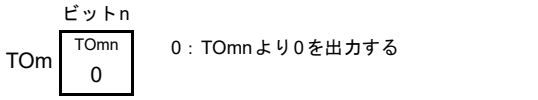
OVF：　タイマ・ステータス・レジスタmn (TSRmn)のビット0

図7 - 60 入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

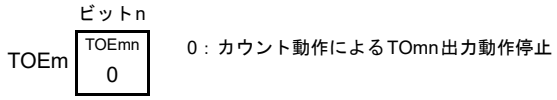
(a)タイマ・モード・レジスタmn (TMRmn)



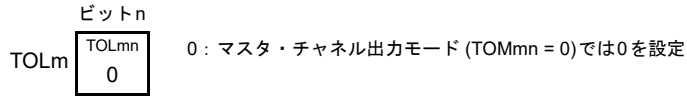
(b)タイマ出力レジスタm (TOm)



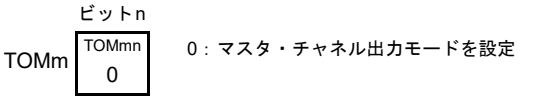
(c)タイマ出力許可レジスタm (TOEm)



(d)タイマ出力レベル・レジスタm (TOLm)



(e)タイマ出力モード・レジスタm (TOMm)



注 TMRm2の場合 ：MASTERmnビット
TMRm1, TMRm3の場合 ：SPLITmnビット
TMRm0の場合 ：0固定

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 61 入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ)，1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャネルの動作モード確定) TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止	TImn端子のスタート・エッジ検出後，カウンタ(TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタmn (TDRmn)に転送し，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは，次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.8.6 ディレイ・カウンタとしての動作

TImn 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし，任意の設定間隔で INTTMmn (タイマ割り込み) を発生することができます。

また，TEmn = 1 の期間中に，ソフトウエアで TSmn = 1 に設定してダウン・カウントをスタートし，任意の設定間隔で INTTMmn (タイマ割り込み) を発生することもできます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn (タイマ割り込み) の発生周期 = カウント・クロックの周期 × (TDRmn の設定値 + 1)

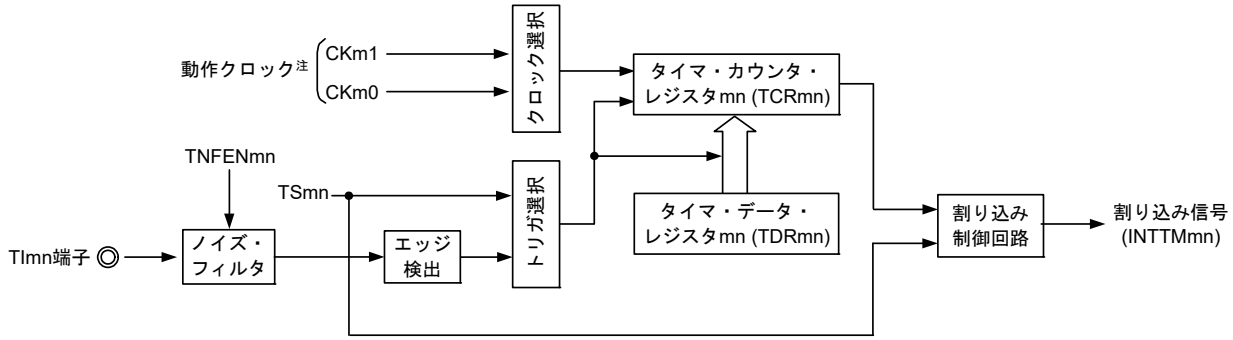
タイマ・カウンタ・レジスタ mn (TCRmn) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSm) のチャネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定すると，TEmn, TEHm1, TEHm3 = 1 となり TImn 端子の有効エッジ検出待ち状態となります。

TCRmn レジスタは，TImn 端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000H となったら INTTMmn を出力し，次の TImn 端子入力の有効エッジがあるまで，カウントを停止します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は，次の周期から有効となります。

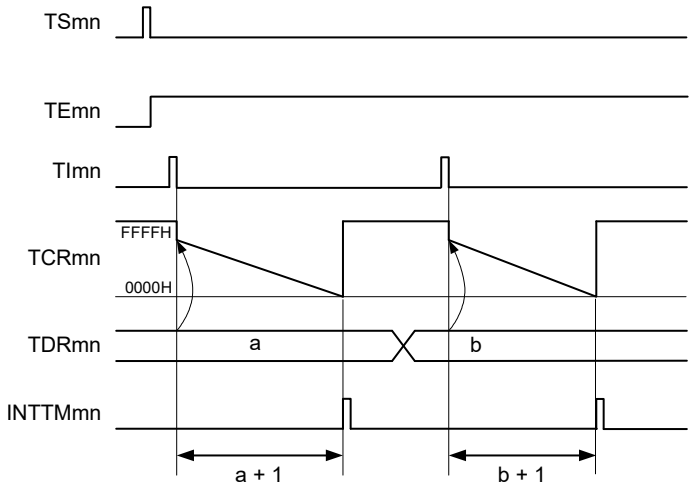
図 7 - 62 ディレイ・カウンタとしての動作のブロック図



注 チャネル 1, 3 の場合は，CKm0, CKm1, CKm2, CKm3 からクロックを選択できます。

備考 m : ユニット番号 (m = 0)，n : チャネル番号 (n = 0-3)

図7 - 63 ディレイ・カウンタとしての動作の基本タイミング例



備考1. m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

備考2. TSmn：　タイマ・チャネル開始レジスタm (TSm)のビットn

TEmn：　タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn

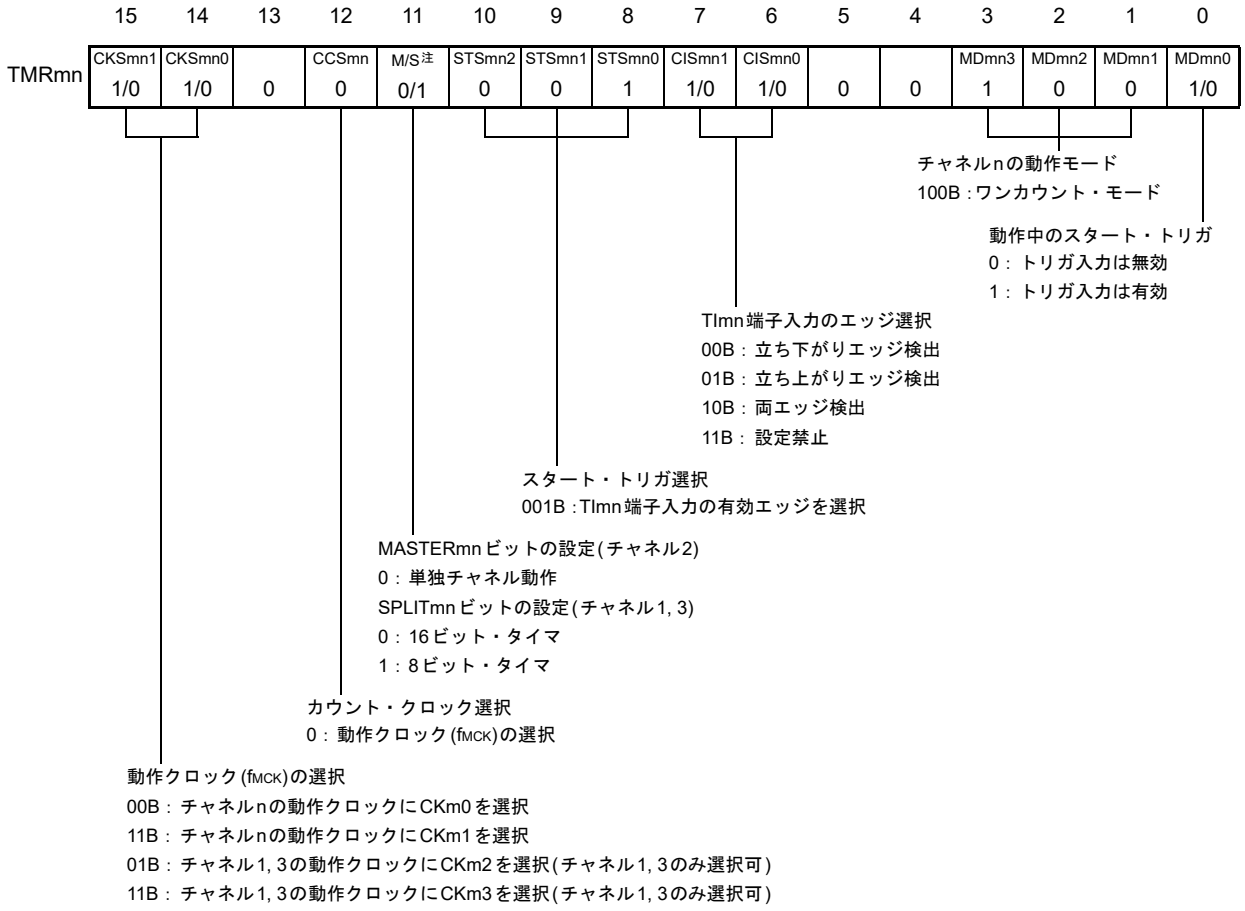
TImn：　TImn端子入力信号

TCRmn：タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn：タイマ・データ・レジスタmn (TDRmn)

図7 - 64 ディレイ・カウンタ機能時のレジスタ設定内容例

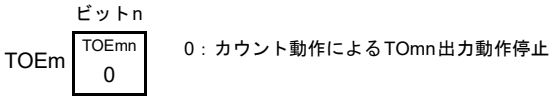
(a)タイマ・モード・レジスタ mn (TMRmn)



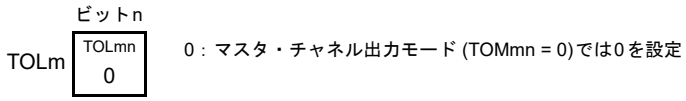
(b)タイマ出力レジスタ m (TOm)



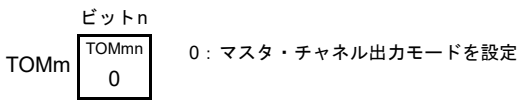
(c)タイマ出力許可レジスタ m (TOEm)



(d)タイマ出力レベル・レジスタ m (TOLm)



(e)タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 ：MASTERmnビット
TMRm1, TMRm3の場合 ：SPLITmnビット
TMRm0の場合 ：0固定

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

図7 - 65 ディレイ・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ)，1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，スタート・トリガ検出(TImn端子入力の有効エッジの検出，またはTSmnビットに1を設定)待ち状態となる
	次のスタート・トリガ検出によって，ダウン・カウントを開始します。 • TImn端子入力の有効エッジ検出 • ソフトウエアでTSmnビットに1を設定 →	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない	カウンタ(TCRmn)はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し，次のスタート・トリガ検出(TImn端子入力の有効エッジの検出，またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考 m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)

7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

7.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ = {TDRmn (マスタ)の設定値 + 2} × カウント・クロック周期
パルス幅 = {TDRmp (スレーブ)の設定値} × カウント・クロック周期

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn)は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタ mn (TDRmn)から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら INTTMmnを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

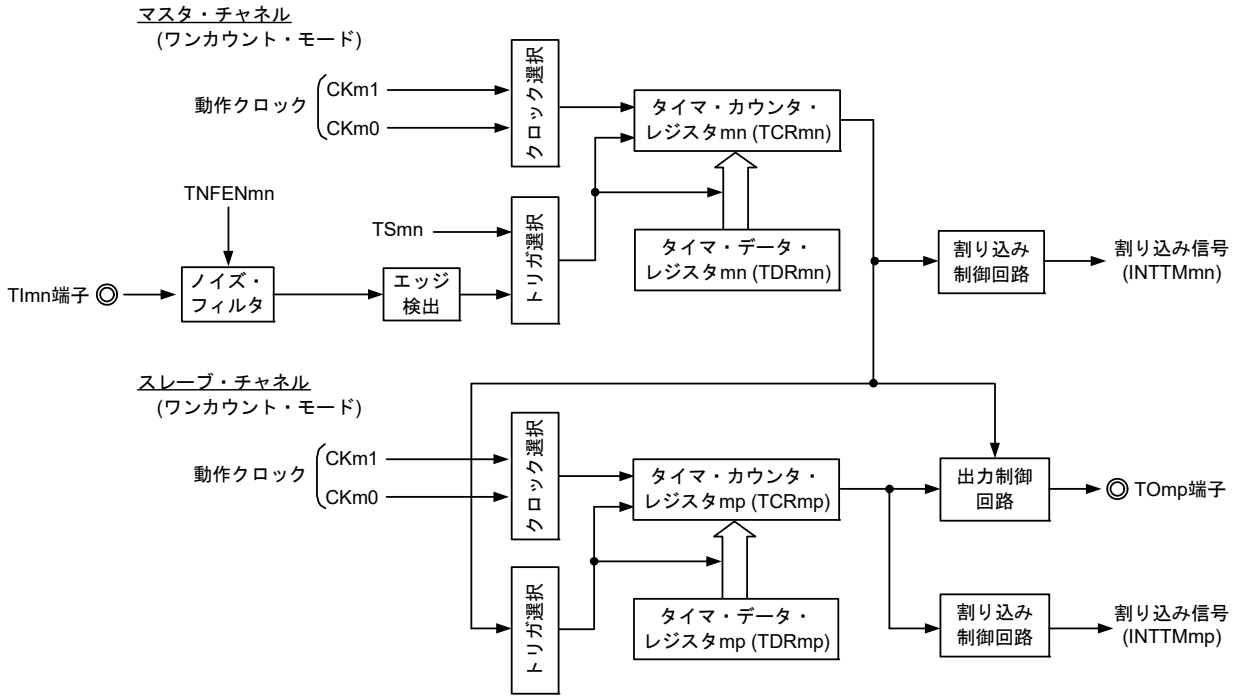
スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し，TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000Hとなったら INTTMmpを出力して，次のスタート・トリガ(マスタ・チャネルの INTTMmn)検出があるまで，カウントを停止します。TOmpの出力レベルは，マスタ・チャネルの INTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は，TImn端子入力を使用せず，ソフトウエア操作(TSmn = 1)をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャネルのTDRmpレジスタでは，ロード・タイミングが異なるため，カウント動作中にTDRmnレジスタ，TDRmpレジスタを書き換えるとロード・タイミングと競合して不正波形が出力される場合があります。TDRmnレジスタはINTTMmn発生後に，TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)
p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

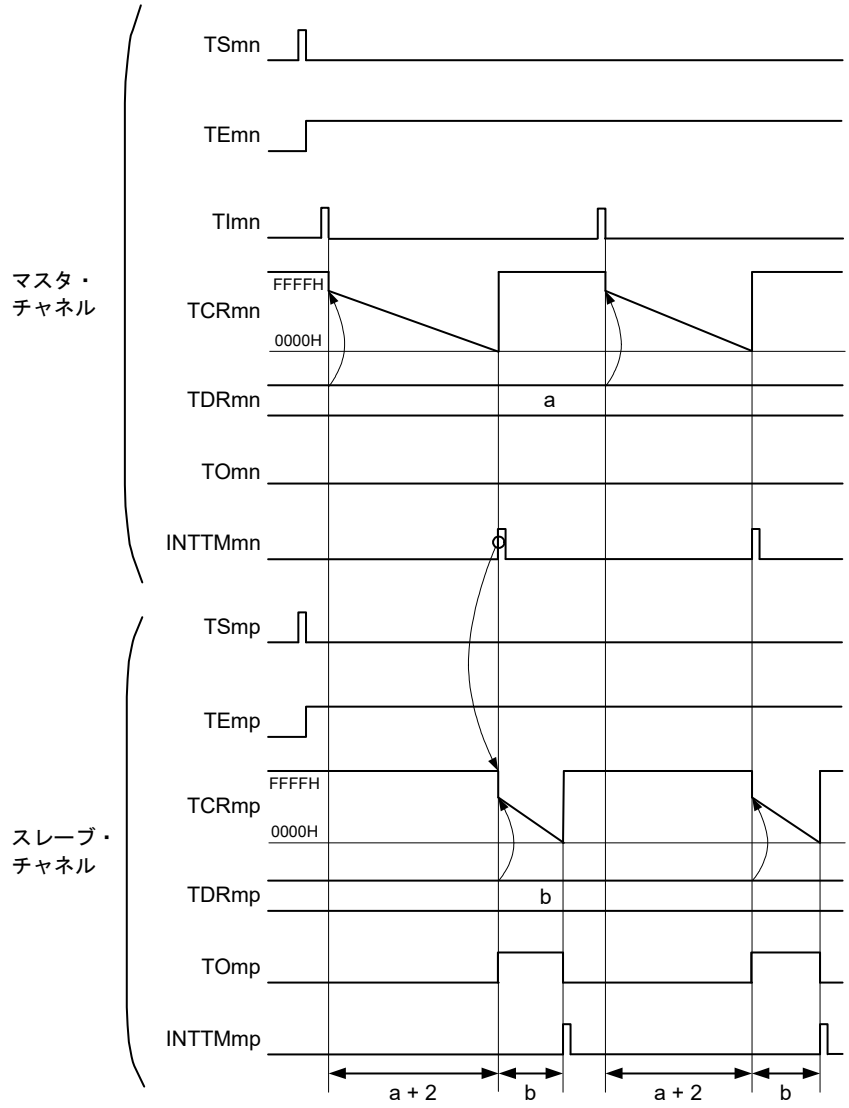
図7 - 66 ワンショット・パルス出力機能としての動作のブロック図



備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

図7 - 67 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

備考2. TSmn, TSmp： タイマ・チャネル開始レジスタm (TSm)のビットn, p

TEmn, TEmp： タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn, p

TImn, TImp： TImn, TImp端子入力信号

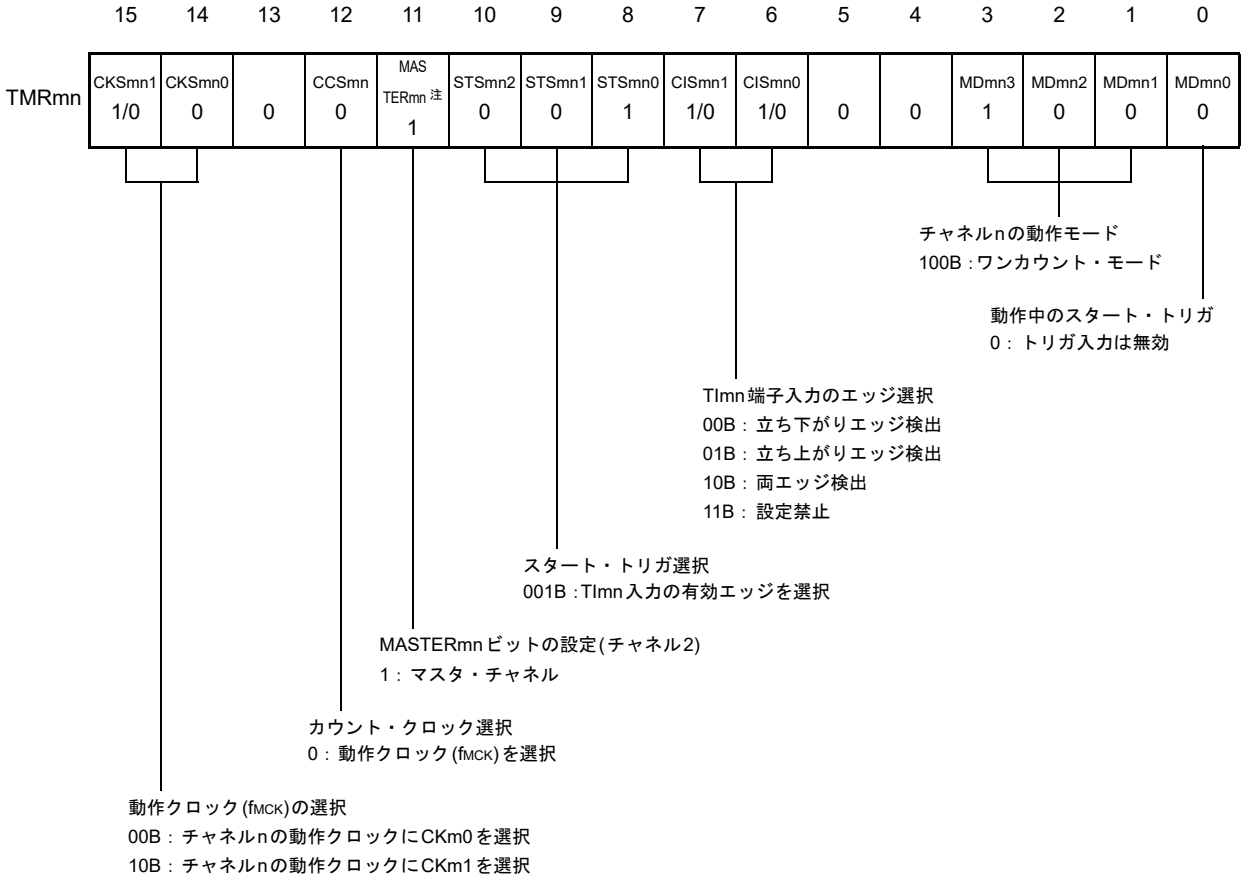
TCRmn, TCRmp： タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)

TDRmn, TDRmp： タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)

TOmn, TOmp： TOmn, TOmp端子出力信号

図7 - 68 ワンショット・パルス出力機能時(マスタ・チャネル)のレジスタ設定内容例

(a)タイマ・モード・レジスタ mn (TMRmn)



(b)タイマ出力レジスタ m (TOm)

	ビットn	
TOm	TOmn 0	0 : TOmnより0を出力する

(c)タイマ出力許可レジスタ m (TOEm)

	ビットn	
TOEm	TOEmn 0	0 : カウント動作によるTOmn出力動作停止

(d)タイマ出力レベル・レジスタ m (TOLm)

	ビットn	
TOLm	TOLmn 0	0 : マスタ・チャネル出力モード(TOMmn = 0)では0を設定

(e)タイマ出力モード・レジスタ m (TOMm)

	ビットn	
TOMm	TOMmn 0	0 : マスタ・チャネル出力モードを設定

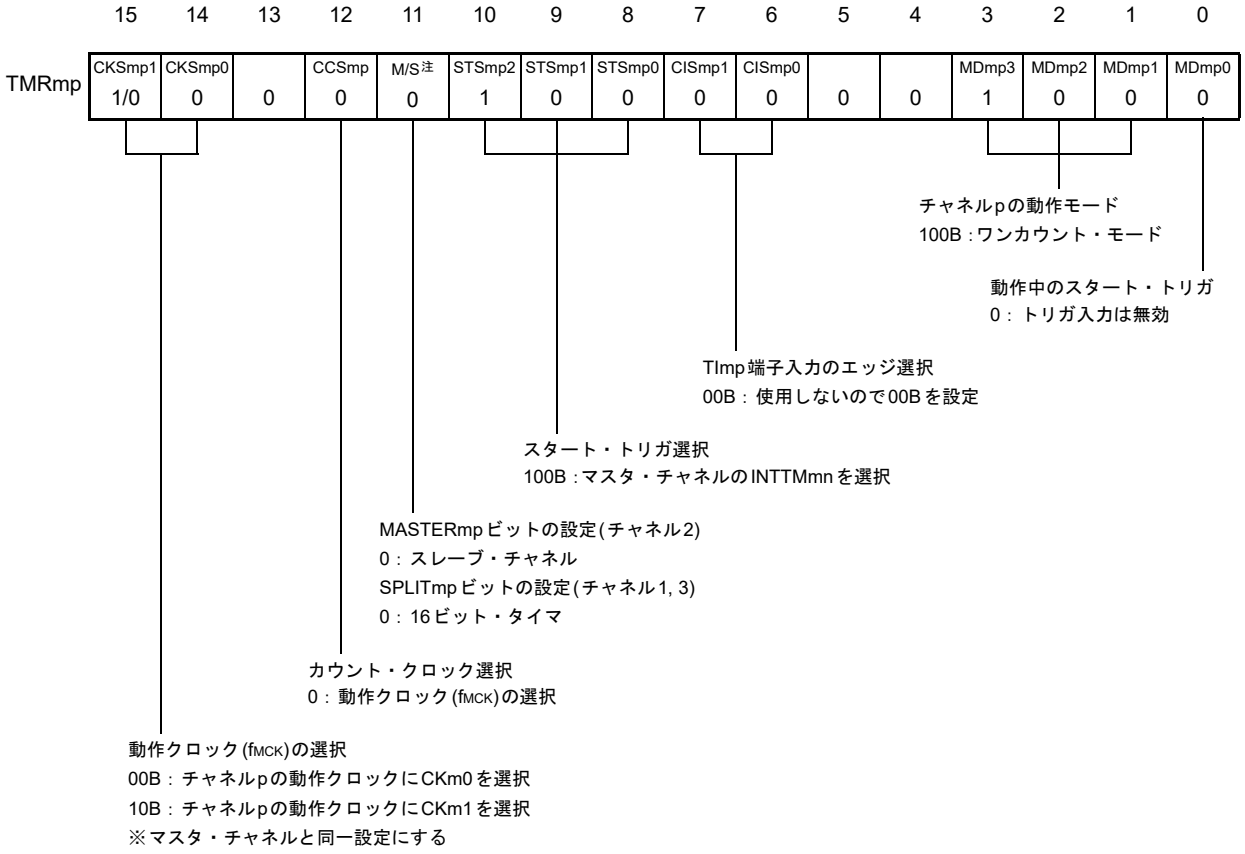
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

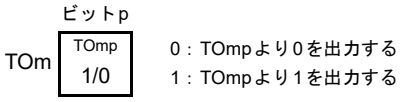
備考 m : ユニット番号(m = 0), n : マスタ・チャネル番号(n = 0, 2)

図7 - 69 ワンショット・パルス出力機能時(スレーブ・チャネル)のレジスタ設定内容例

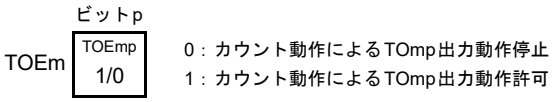
(a)タイマ・モード・レジスタ mp (TMRmp)



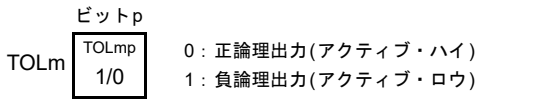
(b)タイマ出力レジスタ m (TOm)



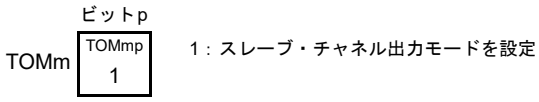
(c)タイマ出力許可レジスタ m (TOEm)



(d)タイマ出力レベル・レジスタ m (TOLm)



(e)タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmpビット

TMRm1, TMRm3の場合 : SPLITmpビット

備考 m : ユニット番号(m = 0), n : マスタ・チャネル番号(n = 0, 2)

p : スレーブ・チャネル番号(n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7 - 70 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間，スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1 (スレーブ・チャネル出力モード)を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

(注，備考は次ページにあります。)

図7 - 70 ワンショット・パルス出力機能時の操作手順(2/2)

		ソフトウエア操作	ハードウエアの状態
動作再開	動作開始	TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャネル開始レジスタm (TSm)のTSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する →	TEmn = 1, TEmp = 1となり，マスタ・チャネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出，または，マスタ・チャネルのTSmnビットに1を設定)待ち状態となる カウンタはまだ停止状態のまま
		TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	
		マスタ・チャネルのスタート・トリガ検出によって，マスタ・チャネルのカウント動作を開始します。 • TImn端子入力の有効エッジ検出 • ソフトウエアでマスタ・チャネルのTSmnビットに1を設定注	マスタ・チャネルがカウント動作開始
	動作中	TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは，設定値変更禁止 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない スレーブ・チャネルのTOm, TOEmレジスタは，設定値変更可能	マスタ・チャネルでは，スタート・トリガ検出(TImn端子入力の有効エッジの検出または，マスタ・チャネルのTSmnビットに1を設定)により，タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し，次のTImn端子入力までカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
	動作停止	TTmn (マスタ)，TTmp (スレーブ)ビットに同時に1を設定する →	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
		TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	
		スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する →	TOmp端子はTOmp設定レベルを出力
	TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する →	TOmp端子出力レベルはポート機能により保持される。
		TOmp端子の出力レベルを保持不要の場合 設定不要	
		PER0レジスタのTAUmENビットに0を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態
		全回路を初期化する場合はPRR0レジスタの TAU0RESビットに1を設定する →	全回路が初期化され，各チャネルのSFRも初期化される (TOmpビットが0になり，TOmp端子はポート機能となる)

注 スレーブ・チャネルのTSmnビットには1を設定しないでください。

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)
p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

7.9.2　2入力式ワンショット・パルス出力としての動作

2端子入力（TImn, TImp端子入力）により任意のディレイ（出力遅延時間）を持ったワンショット・パルスを生成できます。

ディレイ（出力遅延時間）とワンショット・パルス幅は，次の式で求められます。

ディレイ = {TDRmn（マスタ）の設定値＋2} ×カウント・クロック周期
ワンショット・パルスのアクティブ・レベル幅 =
カウント・クロックの周期×（(10000H×TSRmp：OVF）＋（TDRmp（スレーブ）のキャプチャ値＋1））

注意　TImn, TImp端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmn1ビットで選択した動作クロック（fMCK）でサンプリングされるため，動作クロック（fMCK）の1クロック分の誤差が発生します。

マスタ・チャネルは，ワンカウント・モードとして動作させます。マスタ・チャネルのTImn端子入力の有効エッジ検出をスタート・トリガにしてディレイ（出力遅延時間）をカウントします。TImn端子入力によりスタート・トリガ検出すると，タイマ・データ・レジスタmn（TDRmn）に設定した値をタイマ・カウンタ・レジスタmn（TCRmn）にロードし，カウント・クロック（fTCLK）に合わせてダウン・カウントを行います。TCRmn = 0000HとなったらINTTMmnを出力し，TOmp端子からアクティブ・レベルを出力します。次のスタート・トリガ検出があるまで，マスタ・チャネルはカウント動作を停止します。

スレーブ・チャネルは，キャプチャ・モードとして動作させます。スレーブ・チャネルのTImp端子入力，もしくはTIS0レジスタで選択したタイマ入力信号の有効エッジ検出をエンド・トリガとしてワンショット・パルスをインアクティブ・レベルにします。

TImp端子入力によりエンド・トリガ検出すると，TCRmpレジスタのカウント値をTDRmpレジスタに転送（キャプチャ）して，TCRmnレジスタを0000Hにクリアします。それと同時に，INTTMmpを出力し，TOmp端子からインアクティブ・レベルを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmp）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

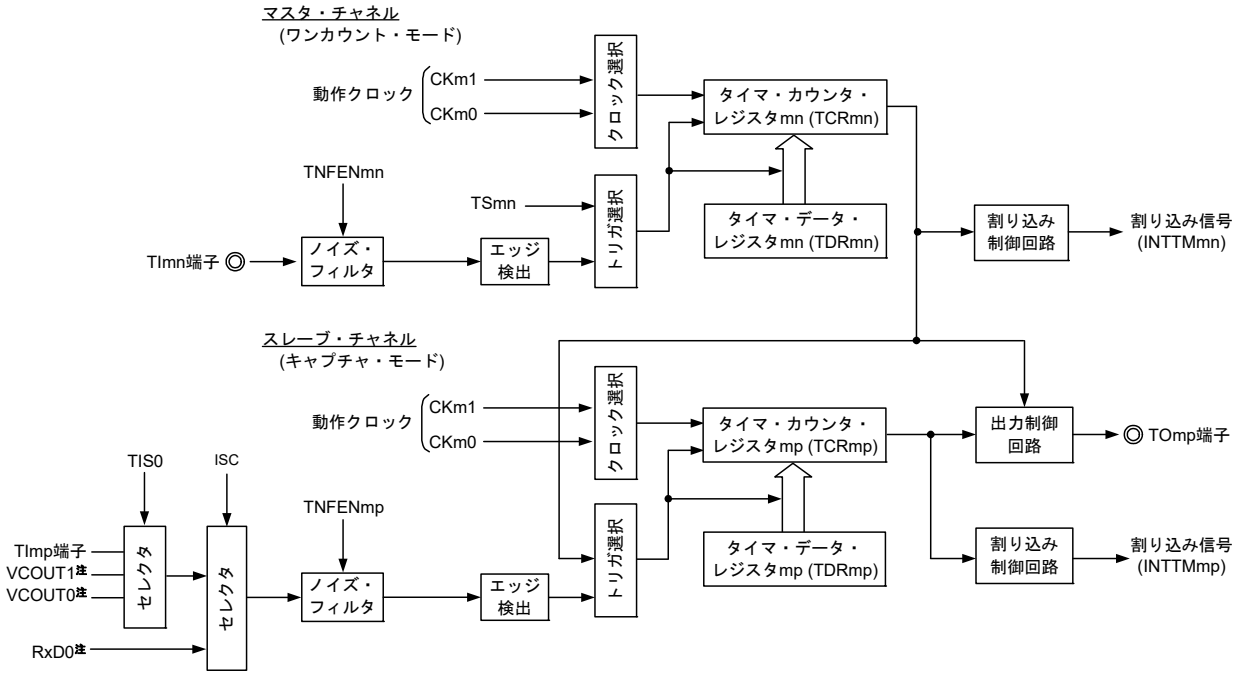
カウント値がTDRmpレジスタにキャプチャされると同時に，アクティブ・レベル期間のオーバフロー有無に応じて，TSRmpレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmpレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

マスタ・チャネルのスタート・アップ検出は，TImn端子入力を使用せず，ソフトウエア操作（TSmn = 1）をスタート・トリガにすることもできます。

備考　m：ユニット番号(m = 0)，n：マスタ・チャネル番号（n = 0, 2），p：スレーブ・チャネル番号（p =3）

図7 - 71 2入力式ワンショット・パルス出力としての動作のブロック図



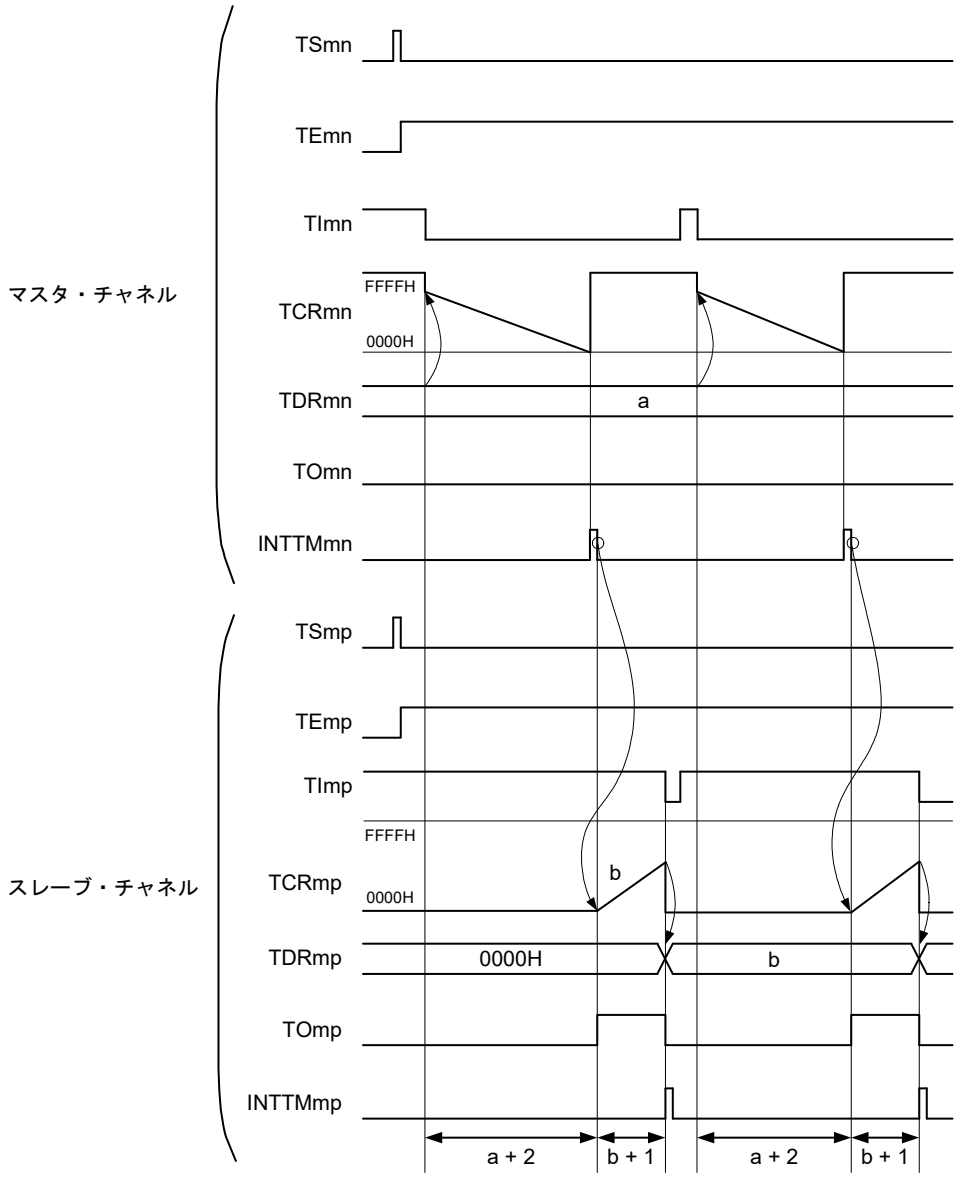
注 チャネル3のみ

備考 m：ユニット番号(m = 0),

n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（p = 3）

図7 - 72 2入力式ワンショット・パルス出力としての動作の基本タイミング例



備考1. m：ユニット番号(m = 0),

n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（p = 3）

備考2. TSmn, TSmp：タイマ・チャネル開始レジスタ0（TS0）のビットn, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p

TImn, TImp　：TImn, TImp端子入力信号

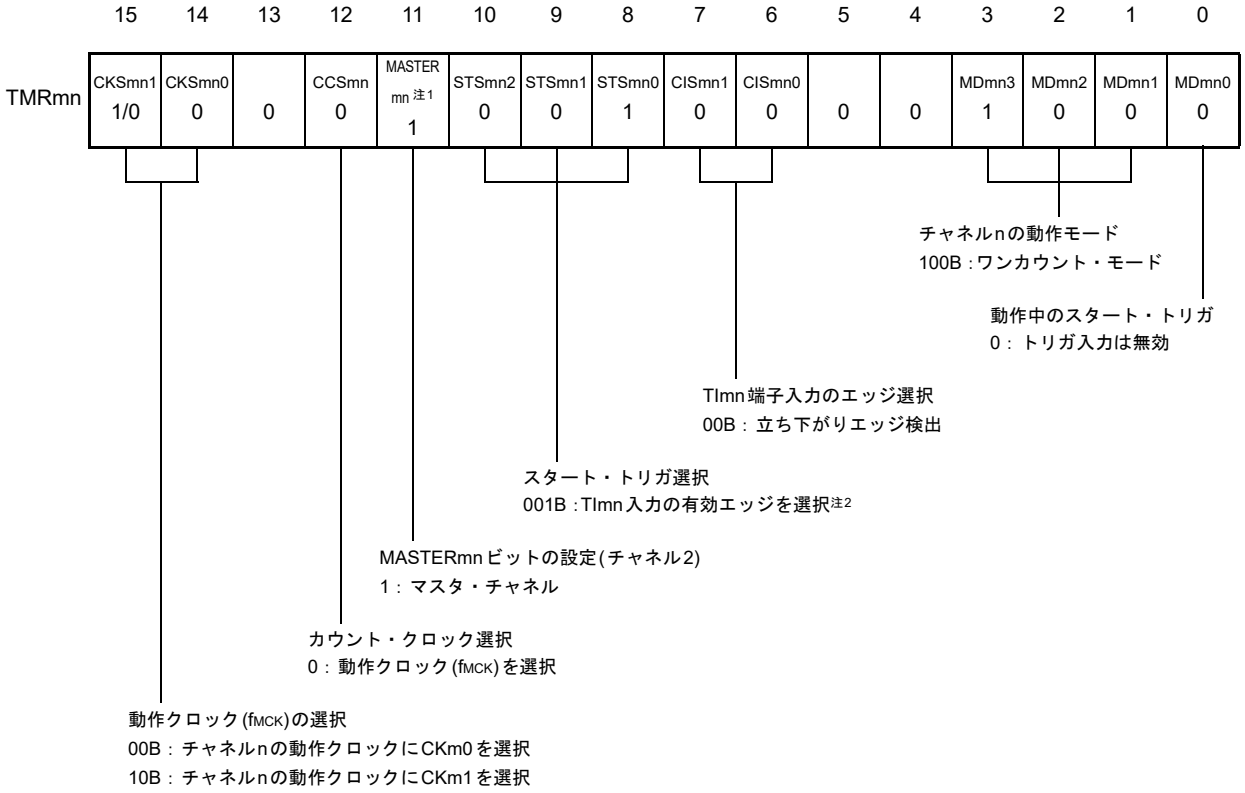
TCRmn, TCRmp　：タイマ・カウンタ・レジスタm0n, mp（TCRmn, TCRmp）

TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）

TOmn, TOmp　：TOmn, TOmp端子出力信号

図7 - 73 2入力式ワンショット・パルス出力（マスタ・チャネル）のレジスタ設定内容例

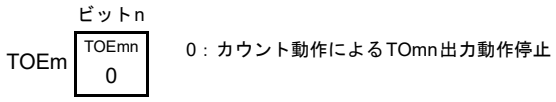
(a)タイマ・モード・レジスタ mn (TMRmn)



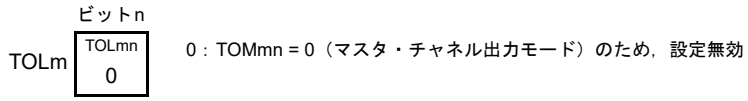
(b)タイマ出力レジスタ m (TOm)



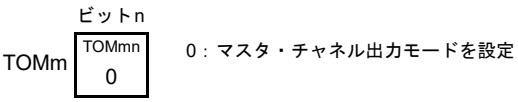
(c)タイマ出力許可レジスタ m (TOEm)



(d)タイマ出力レベル・レジスタ m (TOLm)



(e)タイマ出力モード・レジスタ m (TOMm)



注1. TMRm2の場合：MASTERm2 = 1

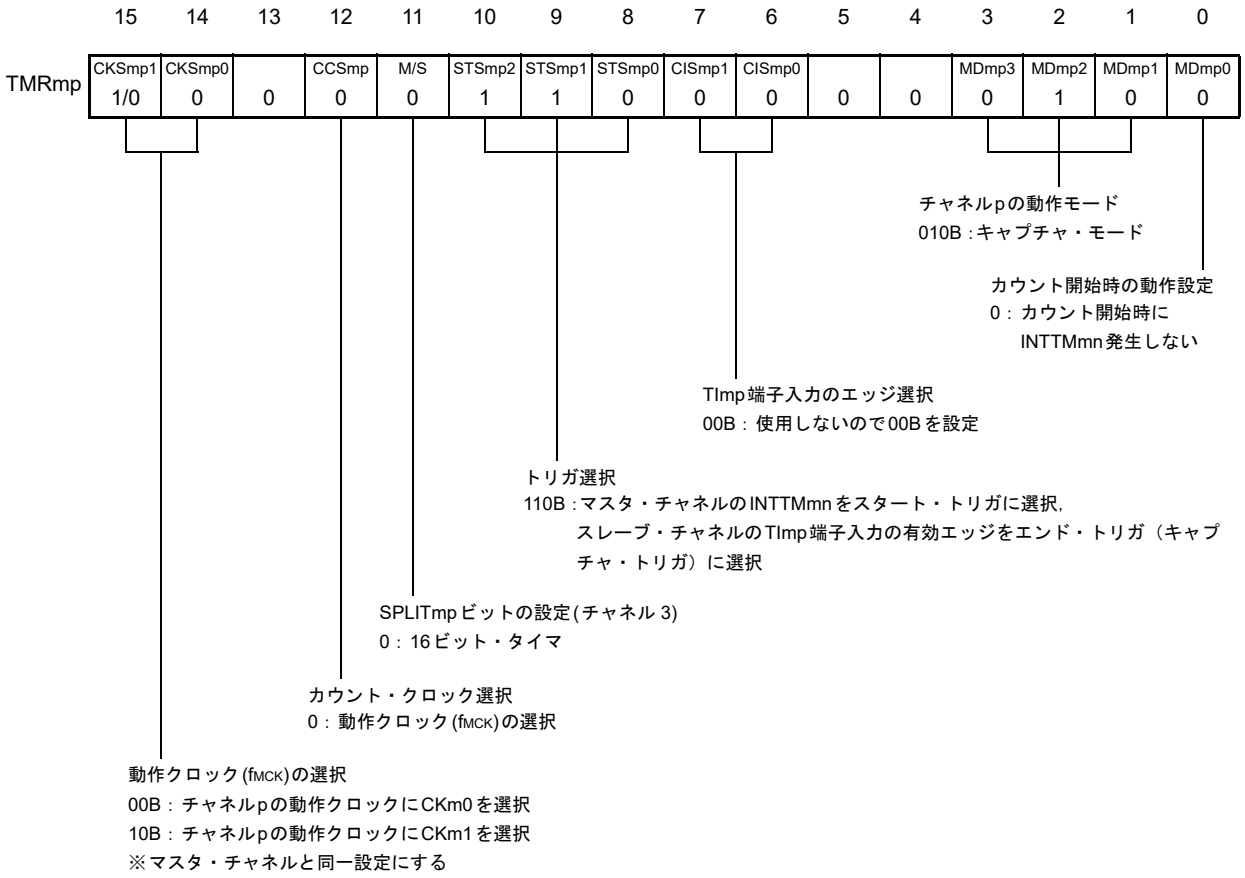
TMRm0の場合：0固定

注2. TImn端子入力を使用せず，ソフトウエア操作（TSmn = 1）をスタート・トリガにすることもできます。

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

図7 - 74 2入力式ワンショット・パルス出力（スレーブ・チャネル）のレジスタ設定内容例

(a)タイマ・モード・レジスタ mp (TMRmp)



(b)タイマ出力レジスタ m (TOm)

	ビットp		
TOm	TOmp 1/0	0：TOmpより0を出力する 1：TOmpより1を出力する	

(c)タイマ出力許可レジスタ m (TOEm)

	ビットp	
TOEm	TOEmp 1/0	0：カウント動作によるTOmp出力動作停止（TOmpビットに設定したレベルをTOmp端子から出力） 1：カウント動作によるTOmp出力動作許可（TOmp端子からトグル出力）

(d)タイマ出力レベル・レジスタ m (TOLm)

	ビットp	
TOLm	TOLmp 1/0	0：正論理出力(アクティブ・ハイ) 1：負論理出力(アクティブ・ロウ)

(e)タイマ出力モード・レジスタ m (TOMm)

	ビットp	
TOMm	TOMmp 1	1：スレーブ・チャネル出力モードを設定

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(p = 3)

図7 - 75 2入力式ワンショット・パルス出力の操作手順(1/2)

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAUmENビットが0のときは，読み出し／書き込み不可） →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ・モード・レジスタmn, p（TMRmn, TMRmp）を設定する（各チャネルの動作モードを確定，検出エッジの選択）	チャネルは動作停止状態
	マスタ・チャネルの設定 タイマ・データ・レジスタmn（TDRmn）にディレイ（出力遅延時間）を設定する（TDRmnH, TDRmnLレジスタへのアクセス手順は，7.2.2 タイマ・データ・レジスタmn (TDRmn)を参照）タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOLmレジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOEm）の対象ビットに0を設定する スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）の対象ビットに1（スレーブ・チャネル出力モード）を設定する TOLmレジスタの対象ビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する	TOmp端子はHi-Z状態 （ポート・モード・レジスタは入力モード）
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない（TO0pビットを書き換えてもTOmp端子に反映されない）
	ポート・レジスタとポート・モード・レジスタに0を設定する（出力モード設定） →	TOmpビットに設定したレベルをTOmp端子から出力

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(p = 3)

図7 - 75 2入力式ワンショット・パルス出力の操作手順(2/2)

	ソフトウエア操作	ハードウエアの状態
動作再開	動作開始	スレーブ・チャネルのTOEmpビットに1を設定し，TO0pの動作を許可（動作再開時のみ） TSmレジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TSmレジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TEmレジスタの対象ビットが1となり，マスタ・チャネルはTImn端子入力の有効エッジ検出待ち状態になる
		次のスタート・トリガ検出によって，カウント動作開始 • TImn端子入力の有効エッジ検出 • ソフトウエアによりTSmnビットに1を設定	マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を開始する。
	動作中	マスタ・チャネルの設定変更 TCRmnレジスタは，常に読み出し可能（TCRmnH, TCRmnLレジスタへのアクセス手順は，7.2.1 タイマ・カウンタ・レジスタmn (TCRmn)を参照） TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TDRmn, TOm, TOEm, TOMm, TOLmレジスタの対象ビットは，設定値変更禁止 スレーブ・チャネルの設定変更 TDRmpレジスタは，常に読み出し可能 TCRmpレジスタは，常に読み出し可能 TSRmpレジスタは，常に読み出し可能 TMRmpレジスタは，CISmp1, CIS0pmビットのみ設定値変更可能 TOmp, TOEmp, TOMm, TOLmレジスタの対象ビットは，設定値変更可能	マスタ・チャネルのカウンタ（TCRmn）はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生し，次のスタート・トリガ検出（TImn端子入力の有効エッジ検出または，TSmnビットに1を設定）までTCRmn = FFFFHでカウント動作を停止する。 スレーブ・チャネルは，マスタ・チャネルのINTTMmnをスタート・トリガとして，タイマ・カウンタ・レジスタmp（TCRmp）を0000Hにクリアする。カウンタ（TCRmp）は0000Hからアップ・カウント動作を行い，TImn端子入力の有効エッジが検出すると，カウント値をタイマ・データ・レジスタmp（TDRmp）に転送（キャプチャ）し，TCRmpレジスタを0000Hにクリアする。同時に，INTTMmnを発生してTOmp出力レベルをインアクティブ・レベルとする。 以降，この動作を繰り返す。
	動作停止	TT0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
		スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmpビットに設定したレベルをTOmp端子から出力
	TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後，TOmpビットに0を設定する	TOmp端子出力レベルはポート機能で保持される。
		PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

備考 m：ユニット番号（m = 0)

n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(n < p ≦3)

7.9.3 PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TDRmn (マスタ)の設定値 + 1} × カウント・クロック周期
デューティ [%] = {TDRmp (スレーブ)の設定値} ／ {TDRmn (マスタ)の設定値 + 1} × 100
0%出力：TDRmp (スレーブ)の設定値 = 0000H
100%出力：TDRmp (スレーブ)の設定値≧ {TDRmn (マスタ)の設定値 + 1}

備考 TDRmp (スレーブの設定値)＞ {TDRmn (マスタ)の設定値 + 1} の場合は，デューティ値が100 %を越えますが，集約して100%出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタ m (TSm)のチャネル・スタート・トリガ・ビット(TSmn)に1を設定すると，割り込み(INTTMmn)を出力して，タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，INTTMmnを出力して，再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタ m (TTm)のチャネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTMmnをスタート・トリガとして，TDRmpレジスタからTCRmpレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000Hになったところでで INTTMmpを出力して，次のスタート・トリガ(マスタ・チャネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

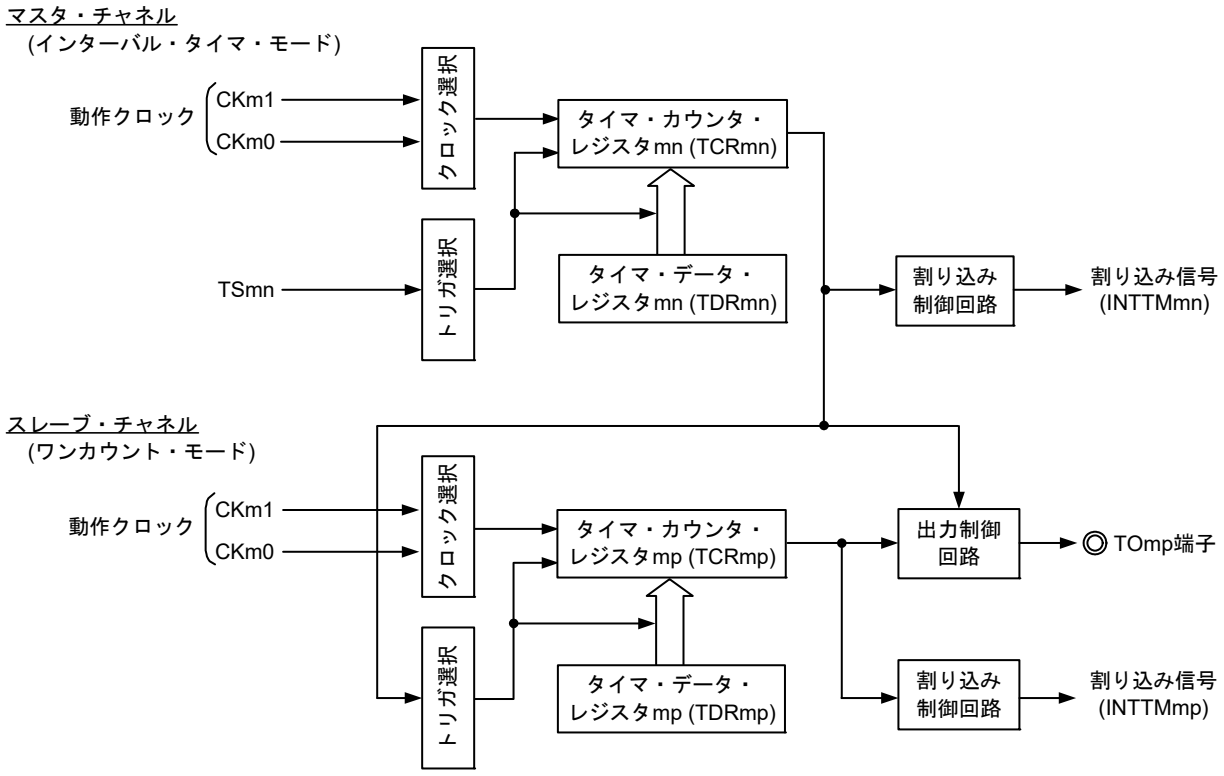
PWM出力(TOmp)は，マスタ・チャネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャネルのTDRmpレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは，マスタ・チャネルのINTTMmn発生時となります。そのため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は期待通りの波形を出力できません。したがって，マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

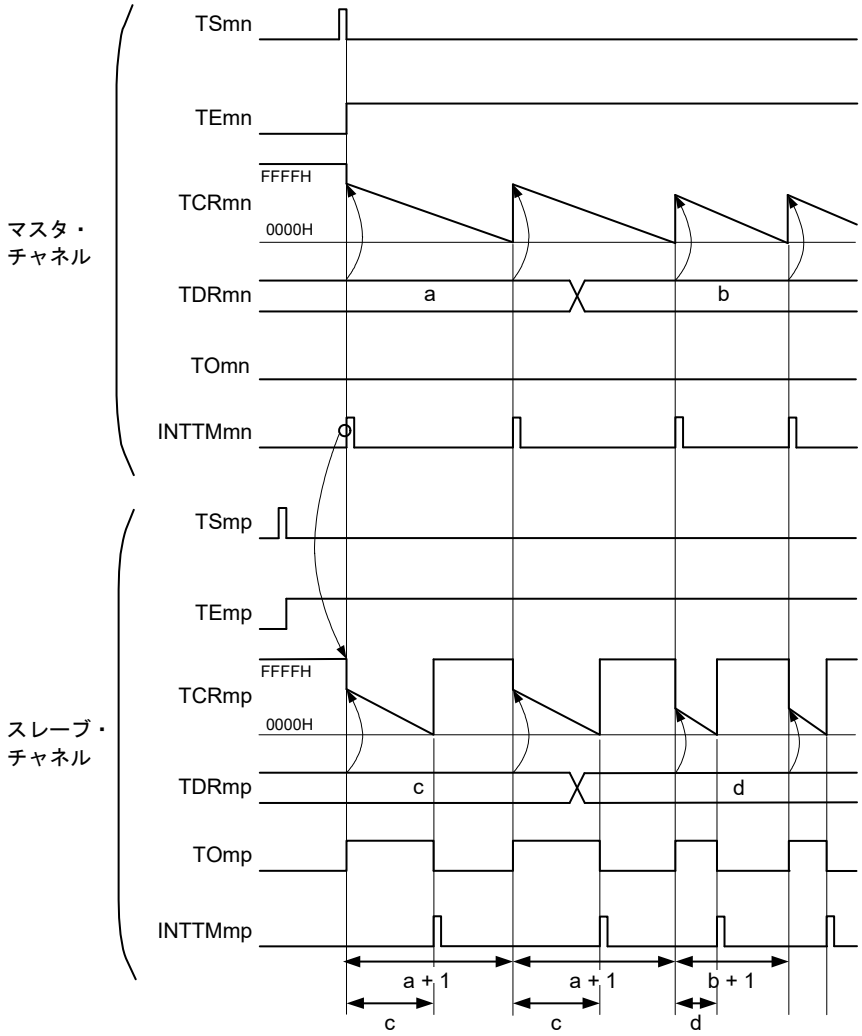
図7 - 76 PWM機能としての動作のブロック図



備考　m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

図7 - 77 PWM機能としての動作の基本タイミング例



備考1. m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

備考2. TSmn, TSmp：　タイマ・チャネル開始レジスタm (TSm)のビットn, p

TEmn, TEmp：　タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn, p

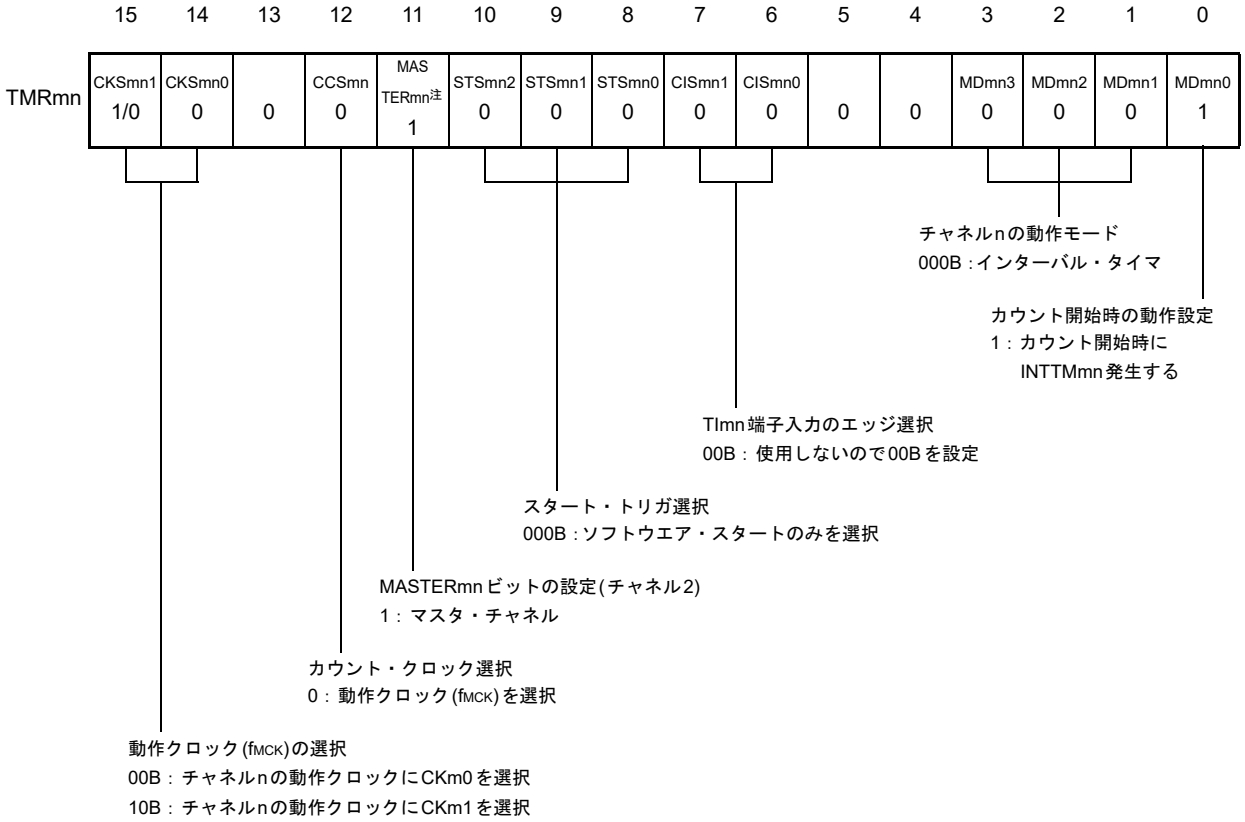
TCRmn, TCRmp：タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)

TDRmn, TDRmp：タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)

TOmn, TOmp：　TOmn, TOmp端子出力信号

図7 - 78 PWM機能時(マスタ・チャネル)のレジスタ設定内容例

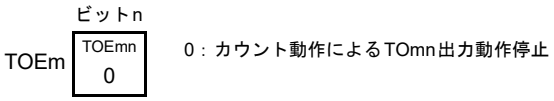
(a)タイマ・モード・レジスタmn (TMRmn)



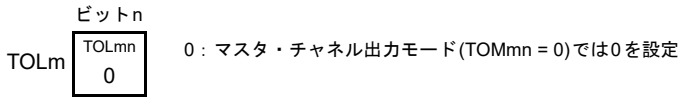
(b)タイマ出力レジスタm (TOm)



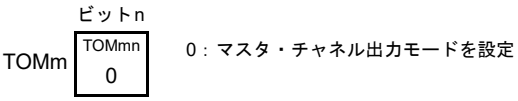
(c)タイマ出力許可レジスタm (TOEm)



(d)タイマ出力レベル・レジスタm (TOLm)



(e)タイマ出力モード・レジスタm (TOMm)



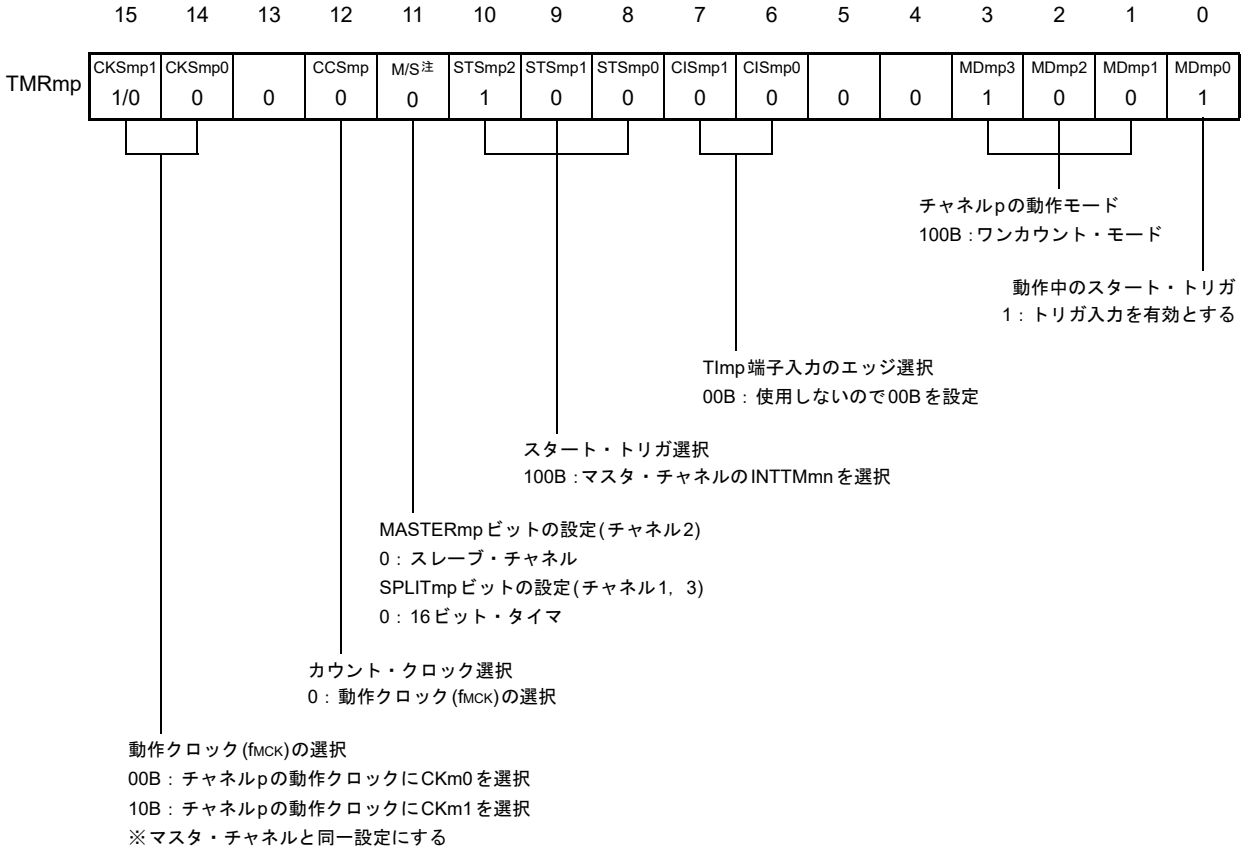
注 TMRm2の場合：MASTERmn = 1

TMRm0の場合：0固定

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

図7 - 79 PWM機能時(スレーブ・チャネル)のレジスタ設定内容例

(a)タイマ・モード・レジスタ mp (TMRmp)



(b)タイマ出力レジスタ m (TOm)

	ビットp	
TOm	TOmp 1/0	0 : TOmpより0を出力する 1 : TOmpより1を出力する

(c)タイマ出力許可レジスタ m (TOEm)

	ビットp	
TOEm	TOEmp 1/0	0 : カウント動作によるTOmp出力動作停止 1 : カウント動作によるTOmp出力動作許可

(d)タイマ出力レベル・レジスタ m (TOLm)

	ビットp	
TOLm	TOLmp 1/0	0 : 正論理出力(アクティブ・ハイ) 1 : 負論理出力(アクティブ・ロウ)

(e)タイマ出力モード・レジスタ m (TOMm)

	ビットp	
TOMm	TOMmp 1	1 : スレーブ・チャネル出力モードを設定

注 TMRm2の場合 : MASTERmpビット
TMRm1, TMRm3の場合 : SPLITmpビット

備考 m : ユニット番号(m = 0), n : マスタ・チャネル番号(n = 0, 2)
p : スレーブ・チャネル番号(n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図7 - 80 PWM機能時の操作手順(1/2)

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値，スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1 (スレーブ・チャネル出力モード)を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	チャネルは動作停止状態なので，TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図7 - 80 PWM機能時の操作手順(2/2)

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャネル開始レジスタm (TSm)のTSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する →	TEmn = 1, TEmp = 1となる
	TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn, TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは，設定値変更禁止 TDRmn, TDRmpレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSR0pレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn (マスタ)，TTmp (スレーブ)ビットに同時に1を設定する →	TEmn, TEmp = 0になり，カウント動作停止
	TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する →	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する →	TOmp端子出力レベルはポート機能により保持される。
	TOmp端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態
	全回路を初期化する場合はPRR0レジスタの → TAU0RESビットに1を設定する	全回路が初期化され，各チャネルのSFRも初期化される (TOmpビットが0になり，TOmp端子はポート機能となる)

動作再開

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0, 2)

p：スレーブ・チャネル番号(n = 0：p = 1, 2, 3, n = 2：p = 3)

7.9.4　多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TDRmn (マスタ)の設定値 + 1} × カウント・クロック周期
デューティ 1 [%] = {TDRmp (スレーブ1)の設定値} ／ {TDRmn (マスタ)の設定値 + 1} × 100
デューティ 2 [%] = {TDRmq (スレーブ2)の設定値} ／ {TDRmn (マスタ)の設定値 + 1} × 100

備考　TDRmp (スレーブ1)の設定値＞{TDRmn (マスタ)の設定値 + 1} の場合
または TDRmq (スレーブ2)の設定値＞{TDRmn (マスタ)の設定値 + 1} の場合は，
デューティ値が100%を越えますが，集約して100%出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTCRmpレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOmp端子よりPWM波形を出力します。TCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして，タイマ・データ・レジスタ mp (TDRmp) の値をロードし，ダウン・カウントを行います。TCRmp = 0000Hとなったら，INTTMmpを出力し，次のスタート・トリガ(マスタ・チャネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

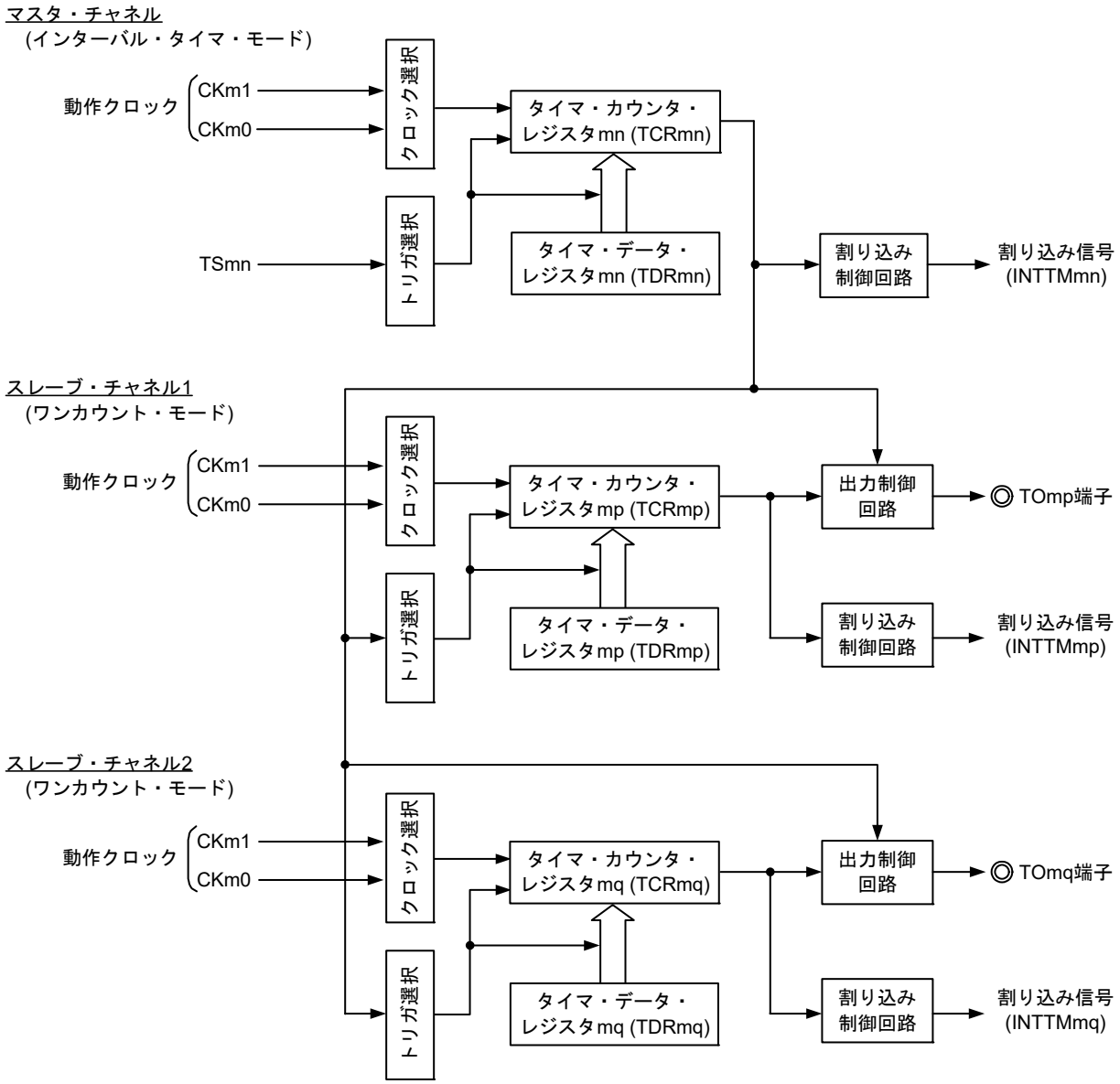
スレーブ・チャネル2のTCRmqレジスタも，スレーブ・チャネル1のTCRmpレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOmq 端子より PWM 波形を出力します。TCRmq レジスタは，マスタ・チャネルの INTTMmn をスタート・トリガとして，TDRmq レジスタの値をロードし，ダウン・カウントを行います。TCRmq = 0000Hとなったら，INTTMmqを出力し，次のスタート・トリガ(マスタ・チャネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大3種のPWMを同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャネル1のTDRmpレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは，マスタ・チャネルのINTTMmn発生後となるため，書き換えがマスタ・チャネルの INTTMmn 発生前と発生後に分かれて行われると，TOmp 端子は，期待通りの波形を出力できません。したがって，TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャネル2のTDRmqレジスタの場合も同様です。)

備考　m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0)
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦3 (ただしp, qは，n以降の整数)

図7 - 81 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)

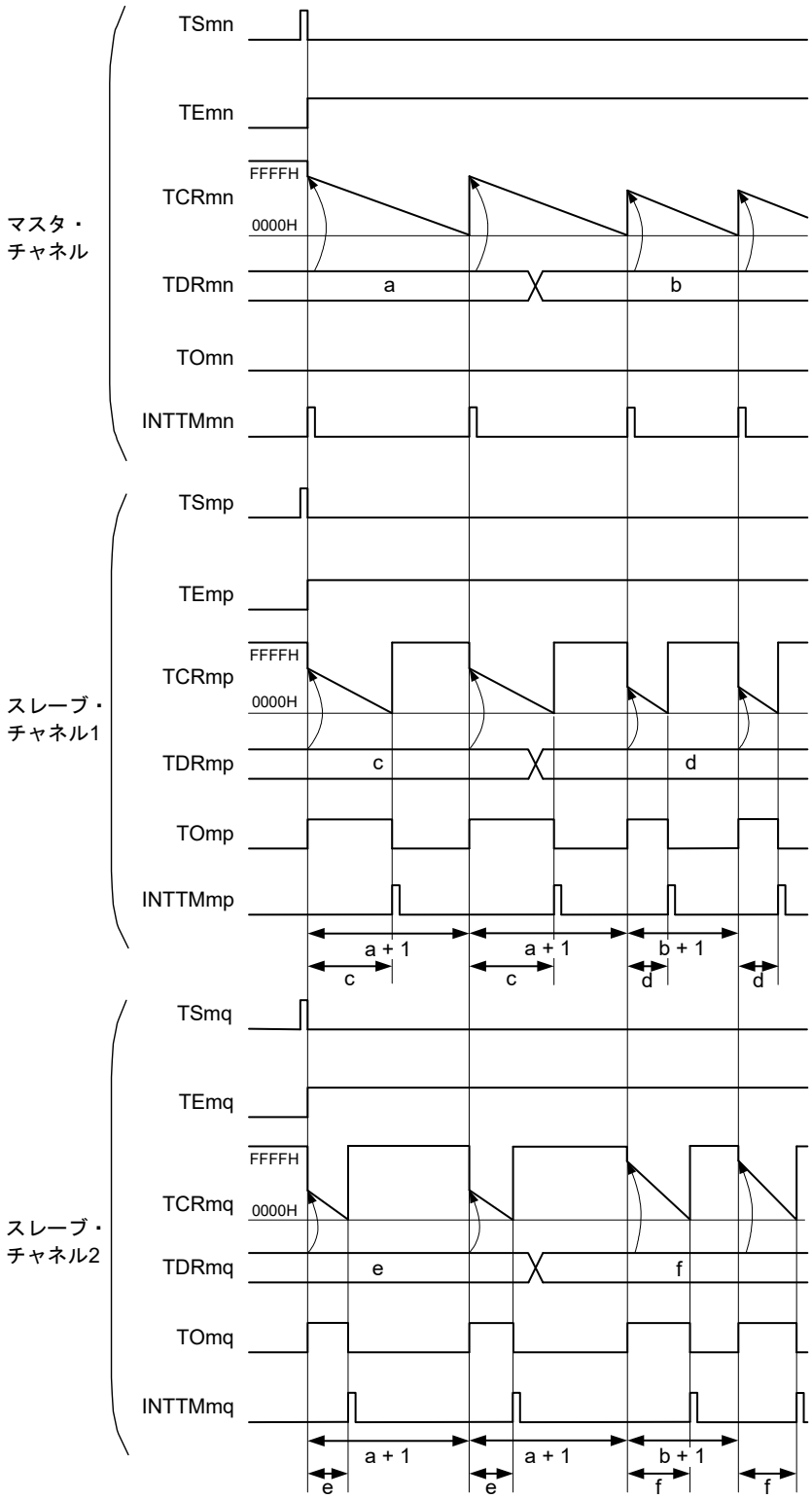


備考　m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0)

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n＜p＜q≦3 (ただしp, qは，n以降の整数)

図7 - 82 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0)

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n＜p＜q≦3 (ただしp, qは，n以降の整数)

備考2. TSmn, TSmp, TSmq：　タイマ・チャネル開始レジスタm (TSm)のビットn, p, q

TEmn, TEmp, TEmq：　タイマ・チャネル許可ステータス・レジスタm (TEm)のビットn, p, q

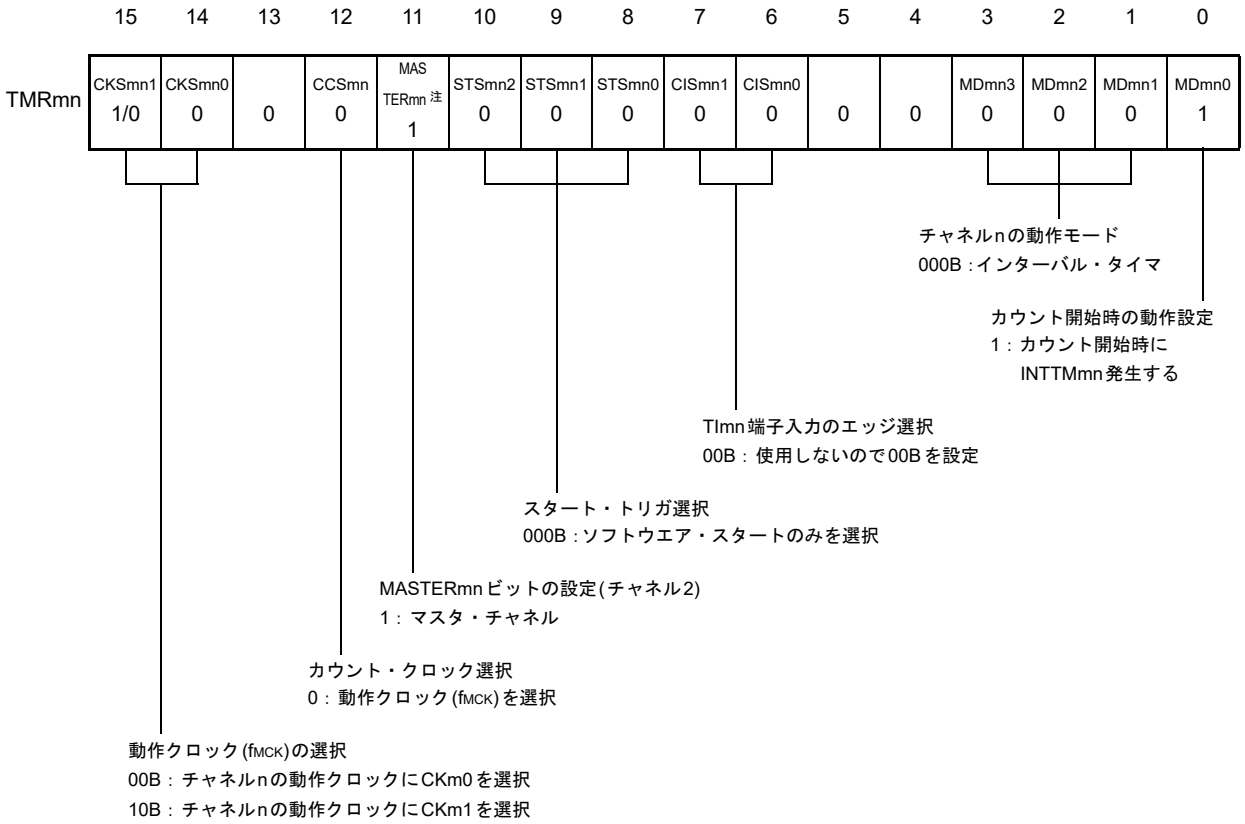
TCRmn, TCRmp, TCRmq：タイマ・カウンタ・レジスタmn, mp, mq (TCRmn, TCRmp, TCRmq)

TDRmn, TDRmp, TDRmq：タイマ・データ・レジスタmn, mp, mq (TDRmn, TDRmp, TDRmq)

TOmn, TOmp, TOmq：　TOmn, TOmp, TOmq端子出力信号

図7 - 83 多重PWM出力機能時(マスタ・チャネル)のレジスタ設定内容例

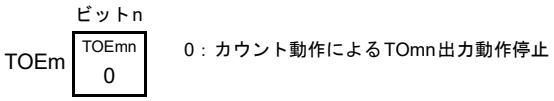
(a)タイマ・モード・レジスタmn (TMRmn)



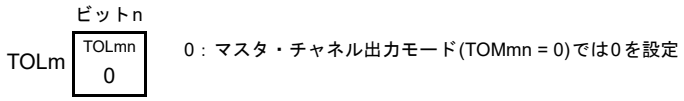
(b)タイマ出力レジスタm (TOm)



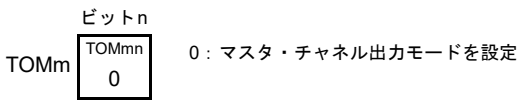
(c)タイマ出力許可レジスタm (TOEm)



(d)タイマ出力レベル・レジスタm (TOLm)



(e)タイマ出力モード・レジスタm (TOMm)



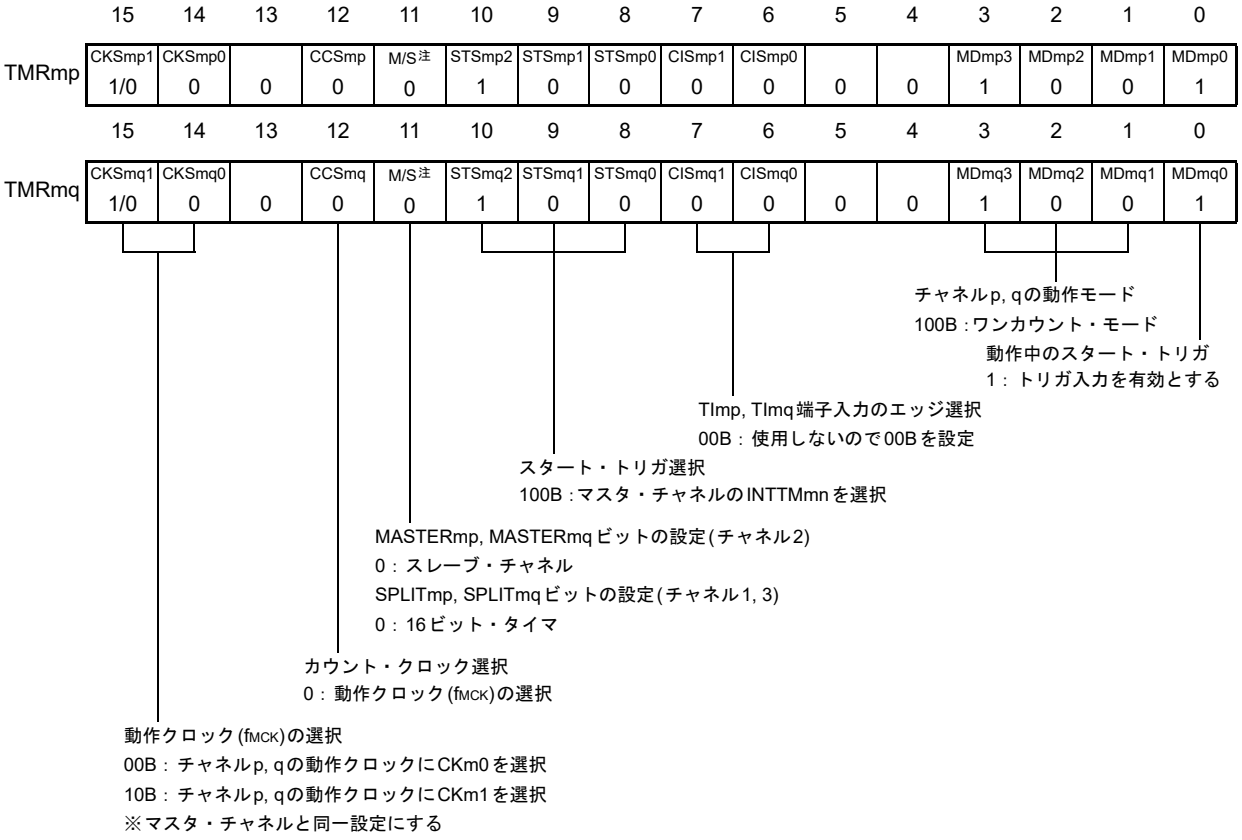
注 TMRm2の場合：MASTERmn = 1

TMRm0の場合：0固定

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0)

図7 - 84 多重PWM機能時(スレーブ・チャネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

(a)タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



(b)タイマ出力レジスタ m (TOm)

	ビットq	ビットp	
TOm	TOmq	TOmp	0：TOmp, TOmqより0を出力する 1：TOmp, TOmqより1を出力する
	1/0	1/0	

(c)タイマ出力許可レジスタ m (TOEm)

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0：カウント動作によるTOmp, TOmq出力動作停止 1：カウント動作によるTOmp, TOmq出力動作許可
	1/0	1/0	

(d)タイマ出力レベル・レジスタ m (TOLm)

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0：正論理出力(アクティブ・ハイ) 1：負論理出力(アクティブ・ロウ)
	1/0	1/0	

(e)タイマ出力モード・レジスタ m (TOMm)

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1：スレーブ・チャネル出力モードを設定
	1	1	

注 TMRm2の場合：MASTERmp, MASTERmqビット
TMRm1, TMRm3の場合：SPLITmp, SPLITmqビット

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0)
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦3(ただしp, qは，n以降の整数)

図7 - 85 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		タイマ・アレイ・ユニットmの入力クロック供給停止状態 (クロック供給停止，各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給状態，各チャネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値，スレーブ・チャネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp, TOMmqビットに1 (スレーブ・チャネル出力モード)を設定する TOLmp, TOLmqビットに0を設定する TOmp, TOmqビットを設定し，TOmp, TOmq出力の初期レベルを確定する →	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp, TOmq初期設定レベルが出力される。
	TOEmp, TOEmqビットに1を設定し，TOmp, TOmqの動作を許可 →	チャネルは動作停止状態なので，TOmp, TOmqは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作開始	(動作再開時のみTOEmp, TOEmq (スレーブ)ビットに1を設定する) タイマ・チャネル開始レジスタm (TSm)のTSmn (マスタ)，TSmp, TSmq (スレーブ)ビットに同時に1を設定する → TSmn, TSmp, TSmqビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

動作再開(次ページへ)

(備考は次ページにあります。)

図7 - 85 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

動作再開(前ページへ)

	ソフトウエア操作	ハードウエアの状態
動作中	TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは，設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは，常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル1では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmpレジスタ値をTCRmpレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル2では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmqレジスタ値をTCRmqレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmq出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。
動作停止	TTmn (マスタ)，TTmp, TTmq (スレーブ)ビットに同時に1を設定する →	TEmn, TEmp, TEmq = 0になり，カウント動作停止 TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し，TOmp, TOmqビットに値を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後， TOmp,TOmqビットに0を設定する →	TOmp, TOmq端子出力レベルはポート機能により保持される。
	TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態
	全回路を初期化する場合はPRR0レジスタのTAU0RESビットに1を設定する →	全回路が初期化され，各チャネルのSFRも初期化される (TOmp, TOmqビットが0になり，TOmp, TOmq端子はポート機能となる)

備考 m：ユニット番号(m = 0)，n：マスタ・チャネル番号(n = 0)
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦3 (ただしp, qは，n以降の整数)

7.10　タイマ・アレイ・ユニット使用時の注意事項

7.10.1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには，他方の兼用機能の出力を初期状態にする必要があります。

詳細は，4.5　兼用機能使用時のレジスタの設定を参照してください。

第8章　12ビット・インターバル・タイマ

8.1　12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み(INTIT)を発生します。STOPモードからのウエイク･アップや，A/Dコンバータの SNOOZE モードのトリガに使えます。

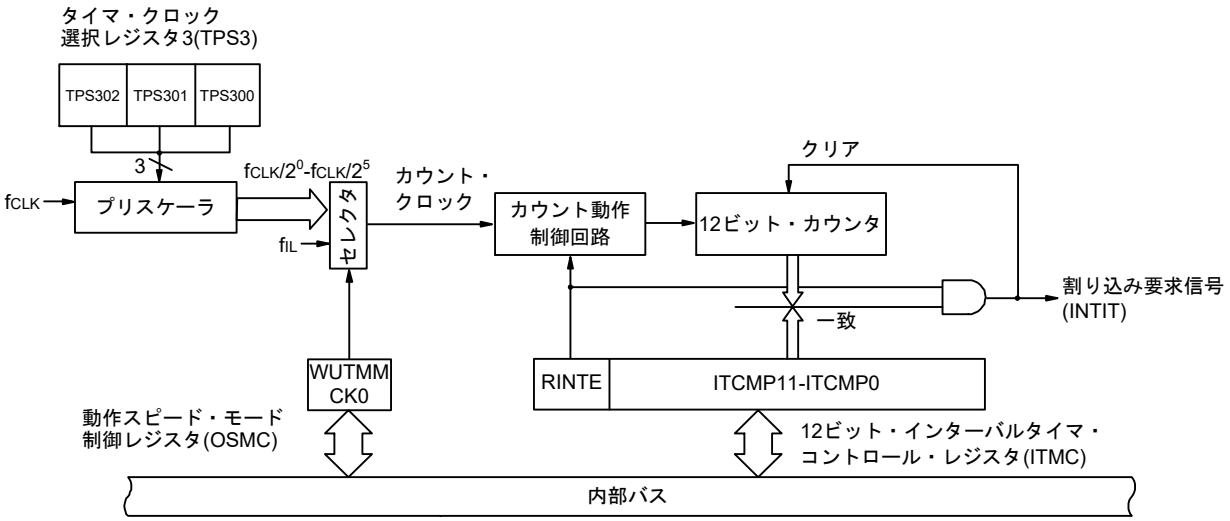
8.2　12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは，次のハードウエアで構成されています。

表8 - 1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ2 (PER2)
	周辺リセット制御レジスタ2 (PRR2)
	動作スピード・モード制御レジスタ (OSMC)
	タイマ・クロック選択レジスタ3 (TPS3)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図8 - 1 12ビット・インターバル・タイマのブロック図



8.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- 動作スピード・モード制御レジスタ (OSMC)
- タイマ・クロック選択レジスタ3 (TPS3)
- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

8.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは，必ずビット7 (TMKAEN) を1に設定してください。

PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8 - 2 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス：F00FCH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	0	DOCEN	0	0	0	0	TKB0EN

TMKAEN	12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 • 12ビット・インターバル・タイマで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 • 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注　12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合，PRR2のビット7 (TMKARES) を使用してください。(タイマ・クロック選択レジスタ (TPS3) を除く)

注意1. 次のビットには必ず“0”を設定してください。
ビット0～4

注意2. 各周辺機能が動作許可の状態で，PER2レジスタの対象ビットを切り替えないでください。PER2による設定は，PER2に割り当てている各周辺機能が停止している状態で切り替えてください(ただし，FMCENは除く)。

8.3.2 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

12ビット・インターバル・タイマをリセットする場合は，必ずビット7 (TMKARES)を1に設定してください。

PRR2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR2レジスタは00Hになります。

図8 - 3 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス：F00FDH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	0	DOCRES	0	0	0	0	TKB0RES

TMKARES	12ビット・インターバル・タイマのリセット制御
0	12ビット・インターバル・タイマのリセット解除
1	12ビット・インターバル・タイマはリセット状態

8.3.3 動作スピード・モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，不定になります。

図8 - 4 動作スピード・モード制御レジスタ(OSMC)のフォーマット

アドレス：F00F3H　リセット時：不定　R/W注1

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	x	x	0	0

WUTMMCK0	12ビット・インターバル・タイマ注2 8ビット・インターバル・タイマ，クロック出力/ブザー出力制御回路の動作クロックの選択
0	低速オンチップ・オシレータ・クロックを選択しない
1	低速オンチップ・オシレータ・クロックを選択

注1. ビット0-3, 5, 6には，必ず0を設定してください。

注2. 12ビット・インターバル・タイマの動作クロックは，タイマ・クロック選択レジスタ3（TPS3）とOSMC.WUTMMCK0で選択します（8.3.4 タイマ・クロック選択レジスタ3（TPS3）を参照）。

8.3.4　タイマ・クロック選択レジスタ3（TPS3）

TPS3レジスタは，カウント・クロックを選択する8ビット・レジスタです。

TPS3レジスタの書き換えは，12ビット・インターバル・タイマの停止状態で可能です。

TPS3レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPS3レジスタは00Hになります。

図8 - 5 タイマ・クロック選択レジスタ3 (TPS3) のフォーマット

アドレス：F02D5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TPS3	0	0	0	0	0	TPS302	TPS301	TPS300

TPS302	TPS301	TPS300		カウント・クロックの選択[注1]				
				f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	f_{IL}[注2]	15 kHz				
0	0	1	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MH	24 MHz
0	1	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
1	0	0	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
1	0	1	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
1	1	0	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
上記以外			設定禁止					

注1.　カウント・クロックを変更する場合は，12ビット・インターバル・タイマを停止 (RINTE = 0) させてください。

注2.　OSMC.WUTMMCK0 = 1のときに，f_{IL}を選択します（OSMC.WUTMMCK0 = 0のときはクロックは供給されません）。

注意　ビット7-3には必ず“0”を設定してください。

8.3.5 12ビット・インターバル・タイマ・コントロール・レジスタ(ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFFHになります。

図8 - 6 12ビット・インターバル・タイマ・コントロール・レジスタ(ITMC)のフォーマット

アドレス：FFF90H　リセット時：0FFFFH　R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止(カウント・クリア)
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。
・ ・ ・	
FFFH	
000H	設定禁止
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例 • ITCMP11-ITCMP0 = 001H，カウント・クロック：f_{SUB} = 15kHz 1/15 [kHz] × (1 + 1) ≒0.133 [ms] = 13.3[us] • ITCMP11-ITCMP0 = FFFH，カウント・クロック：f_{SUB} = 15kHz 1/15 [kHz] × (4095 +1) ≒273 [ms]	

注意1. RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は，ITIFフラグをクリアしてから割り込み処理許可にしてください。

注意2. RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

注意3. スタンバイ・モードから復帰後にRINTEビット設定して，再度スタンバイ・モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。

注意4. ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。
ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

8.4　12ビット・インターバル・タイマの動作

8.4.1　12ビット・インターバル・タイマの動作タイミング

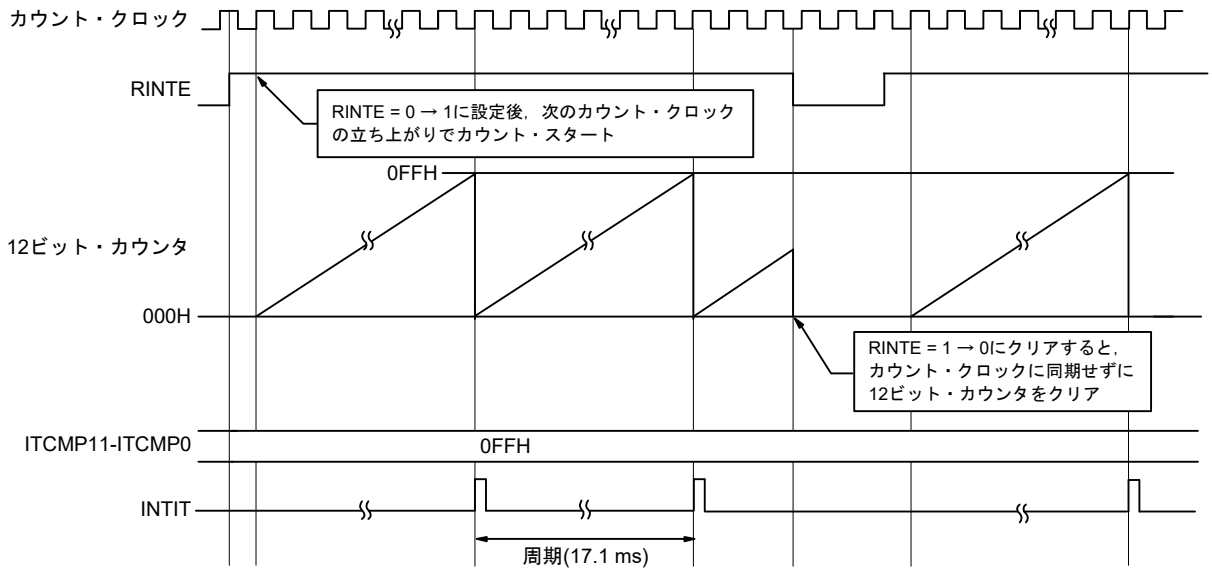
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求(INTIT)を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号(INTIT)を発生します。

12ビット・インターバル・タイマの基本動作を図8 - 7に示します。

図8 - 7 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH，カウント・クロック：f_{IL} = 15 kHz)

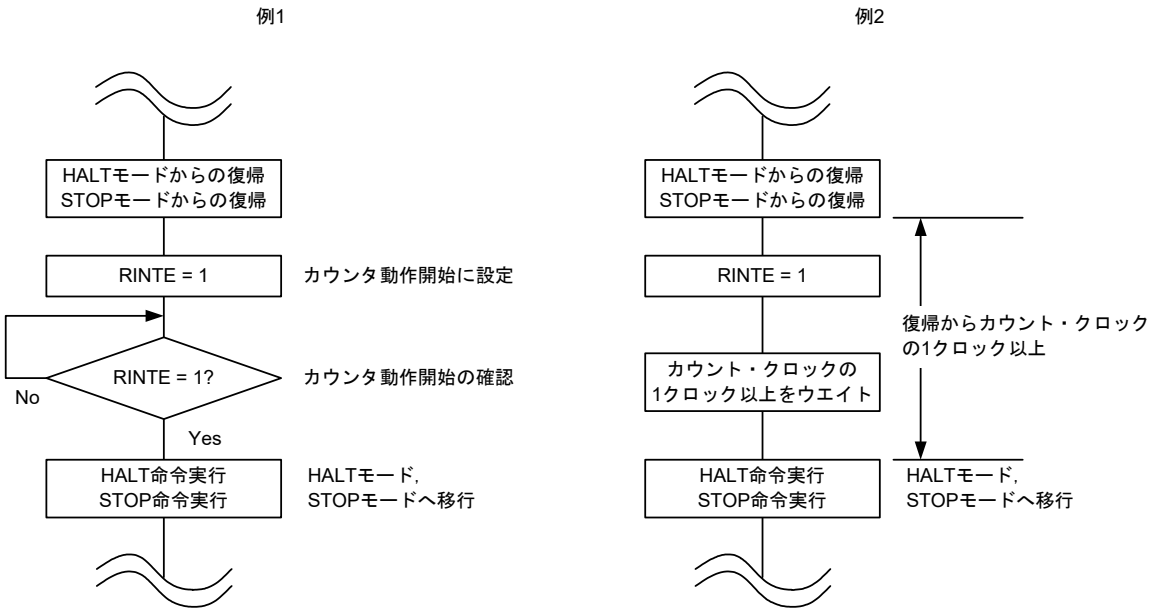


8.4.2　HALT/STOP モードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し，再度HALTモード，STOPモードへ移行する場合は，RINTE = 1に設定してから，RINTEビットの書き込み値が反映されたことを確認するか，復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後，RINTEビットが1になるのをポーリングで確認後にHALTモード，STOPモードへ移行する(図8 - 8　例1参照)。
- RINTE = 1に設定してから，カウント・クロックの1クロック分以上経過後にHALTモード，STOPモードへ移行する(図8 - 8　例2参照)。

図8 - 8 RINTE = 1に設定後のHALTモード，STOPモードへの移行手順



第9章　8ビット・インターバル・タイマ

8ビット・インターバル・タイマは8ビット・タイマを2つ(チャネル0, チャネル1)持ち，それぞれが独立して動作します。また，2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作させることができます。

9.1　概要

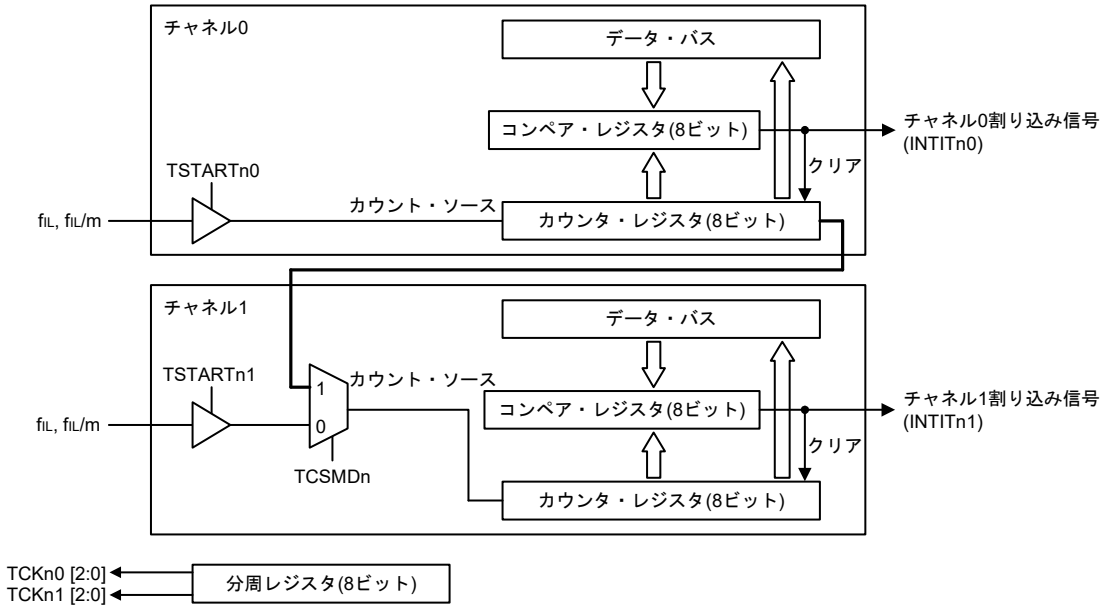
8ビット・インターバル・タイマはCPUと非同期のf_{IL}クロックで動作する8ビット・タイマです。

表9 - 1に8ビット・インターバル・タイマの仕様を，図9 - 1に8ビット・インターバル・タイマのブロック図を示します。

表9 - 1 8ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	• f_{IL}, f_{IL}/2, f_{IL}/4, f_{IL}/8, f_{IL}/16, f_{IL}/32, f_{IL}/64, f_{IL}/128
動作モード	• 8ビット・カウンタ・モード チャネル0, チャネル1が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャネル0, チャネル1を連結して16ビット・カウンタとして動作するモード
割り込み	• カウンタがコンペア値と一致したとき出力

図9 - 1 8ビット・インターバル・タイマのブロック図



TSTARTni (i = 0, 1), TCSMDn, TCLKENn: TRTCRn レジスタのビット

TCKni [2:0]: TRTMDn レジスタのビット

備考　m = 2, 4, 8, 16, 32, 64, 128

n = 0

9.2 入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

9.3 レジスタの説明

表9 - 2に8ビット・インターバル・タイマのレジスタ構成を示します。

表9 - 2 レジスター覧

レジスタ名	シンボル
8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00注1
8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01注1
8ビット・インターバル・タイマ・カウンタ・レジスタ0	TRT0注2
8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00注1
8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01注1
8ビット・インターバル・タイマ・コンペア・レジスタ0	TRTCMP0注2
8ビット・インターバル・タイマ制御レジスタ0	TRTCR0
8ビット・インターバル・タイマ分周レジスタ0	TRTMD0

注1. TRTCRnレジスタのTCSMDnビット = 0のときのみアクセス可能です。

注2. TRTCRnレジスタのTCSMDnビット = 1のときのみアクセス可能です。

備考 n = 0

9.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタni (TRTni) (n = 0, i = 0, 1)

8ビット・インターバル・タイマのカウント・レジスタです。カウント・クロックによりカウント・アップするカウンタです。

TRTniレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9 - 2 8ビット・インターバル・タイマ・カウンタ・レジスタni (TRTni)のフォーマット

アドレス：F0500H (TRT00), F0501H (TRT01) リセット時：00H R注1, 2

略号	7	6	5	4	3	2	1	0
TRTni								

注1. TRTni レジスタはコンペア・レジスタ TRTCMPni に書き込みアクセス後，カウント・クロックで 2 サイクル後00Hになります。詳細は，9.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタn (TRTCRn)のモード選択ビット(TCSMDn)が0の場合のみアクセスが可能になります。

9.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタn (TRTn) (n = 0)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合の16ビットのカウント・レジスタです。

TRTnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図9 - 3 8ビット・インターバル・タイマ・カウンタ・レジスタn (TRTn)のフォーマット

アドレス：F0500H (TRT0) リセット時：0000H R注1, 2

	F0501H (TRT01)								F0500H (TRT00)							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRTn																

注1. TRTn レジスタはコンペア・レジスタ TRTCMPn に書き込みアクセス後，カウント・クロックで2サイクル後に0000Hになります。詳細は，9.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタn (TRTCRn)のモード選択ビット(TCSMDn)が1の場合のみアクセスが可能になります。

9.3.3 8ビット・インターバル・タイマ・コンペア・レジスタni (TRTCMPni) (n = 0, i = 0, 1)

8ビット・インターバル・タイマのコンペア値レジスタです。

TRTCMPniレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

設定範囲は01H-FFH注1です。

TRTn0，TRTn1レジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRT0)を00Hにクリアします。

コンペア値の書き換えタイミングは，9.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図9 - 4 8ビット・インターバル・タイマ・コンペア・レジスタni (TRTCMPni)のフォーマット

アドレス：F0350H (TRTCMP00), F0351H (TRTCMP01) リセット時：FFH R/W注1, 2

略号	7	6	5	4	3	2	1	0
TRTCMPni								

注1. TRTCMPniレジスタの00H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタn (TRTCRn)のモード選択ビット(TCSMDn)が0の場合のみアクセスが可能になります。

9.3.4 8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn) (n = 0)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTCMPnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFFFHになります。

設定範囲は0001H-FFFFH注1です。

TRTnレジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRTn)を0000Hにクリアします。

コンペア値の書き換えタイミングは，9.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図9 - 5 8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn)のフォーマット

アドレス：F0350H (TRTCMP0) リセット時：FFFFH R/W注2

	F0351H (TRTCMP01)								F0350H (TRTCMP00)							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRTCMPn																

注1. TRTCMPnレジスタの0000H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタn (TRTCRn)のモード選択ビット(TCSMDn)が1の場合のみアクセスが可能になります。

9.3.5 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) (n = 0)

8ビット・インターバル・タイマのカウント停止／開始の設定と8ビット・カウンタ/16ビット・カウンタ動作の切替えを設定するレジスタです。

TRTCRnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9 - 6 8ビット・インターバル・タイマ制御レジスタn (TRTCRn)のフォーマット

アドレス：F0352H (TRTCR0)　　リセット時：00H　　R/W注3

略号	7	6	5	4	3	2	1	0
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0

TCSMDn	モード選択
0	8ビット・カウンタとして動作
1	16ビット・カウンタとして動作(チャネル0, チャネル1を連結)
詳細は，9.4 動作説明を参照。	

TCLKENn	8ビット・インターバル・タイマ・クロック許可 注1
0	クロック停止
1	クロック供給

TSTARTn1	8ビット・インターバル・タイマ1カウント開始 注1, 2
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは，TSTARTn1ビットに1を書くことによりTRTn1がカウントを開始し，0を書くことによりカウントを停止します。 16ビット・インターバル・タイマ・モードでは，未使用のため無効になります。詳細は，9.4 動作説明を参照。	

TSTARTn0	8ビット・インターバル・タイマ0カウント開始 注1, 2
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは，TSTARTn0ビットに1を書くことによりTRTn0がカウントを開始し，0を書くことによりカウントを停止します。 16ビット・インターバル・タイマ・モードでは，TSTARTn0ビットに1を書くことによりTRTnがカウントを開始し，0を書くことによりカウントを停止します。詳細は，9.4 動作説明を参照。	

注1. 8ビット・インターバル・タイマを設定する際には，必ず最初にTCLKENnビットを1に設定してください。クロックを停止させる場合，TSTARTn0およびTSTARTn1に0を設定後，動作クロック(fIL)で1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は，9.5.3 8ビット・インターバル・タイマ設定手順についてを参照してください。

注2. TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は，9.5.1 動作モード設定変更についてを参照してください。

注3. ビット6, 5, 3, 1は，Read Onlyです。ライトする場合は，0を書き込んでください。リードする場合は，0が読み込まれます。

9.3.6 8ビット・インターバル・タイマ分周レジスタn (TRTMDn) (n = 0)

8ビット・インターバル・タイマのカウント・ソースの分周比選択を設定するレジスタです。

TRTMDnレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9 - 7 8ビット・インターバル・タイマ分周レジスタn (TRTMDn)のフォーマット

アドレス：F0353H (TRTMD0)　　リセット時：00H　R/W注4

略号	7	6	5	4	3	2	1	0
TRTMDn	—	TCKn1			—	TCKn0		

TCKn1			8ビット・インターバル・タイマ1分周選択 注1, 2, 3
ビット6	ビット5	ビット4	
0	0	0	f_{IL}
0	0	1	$f_{IL}/2$
0	1	0	$f_{IL}/4$
0	1	1	$f_{IL}/8$
1	0	0	$f_{IL}/16$
1	0	1	$f_{IL}/32$
1	1	0	$f_{IL}/64$
1	1	1	$f_{IL}/128$
8ビット・インターバル・タイマ・モードでは，TCKn1に設定したカウント・ソースによりTRTn1がカウントします。 16ビット・インターバル・タイマ・モードでは，使用しないため“000”に設定してください。詳細は，9.4 動作説明を参照。			

TCKn0			8ビット・インターバル・タイマ1分周選択 注1, 2, 3
ビット2	ビット1	ビット0	
0	0	0	f_{IL}
0	0	1	$f_{IL}/2$
0	1	0	$f_{IL}/4$
0	1	1	$f_{IL}/8$
1	0	0	$f_{IL}/16$
1	0	1	$f_{IL}/32$
1	1	0	$f_{IL}/64$
1	1	1	$f_{IL}/128$
8ビット・インターバル・タイマ・モードでは，TCKn0に設定したカウント・ソースによりTRTn0がカウントします。 16ビット・インターバル・タイマ・モードでは，TCKn0に設定したカウント・ソースによりTRTnがカウントします。詳細は，9.4 動作説明を参照。			

注1. カウント中にカウント・ソースの切り替えをしないでください。カウント・ソースを切替えるときは，TRTCRnレジスタのTSTARTniビットが0 (カウント停止)の時に，設定してください。

注2. 未使用チャネルのTCKniは000Bに設定してください。

注3. TCKni (i = 0, 1)ビットは，必ずTRTCMPniレジスタの設定前に設定してください。

注4. ビット7, 3は，Read Onlyです。ライトする場合は，0を書き込んでください。リードする場合は，0が読み込まれます。

9.4 動作説明

9.4.1 カウンタ・モード

8ビット・カウンタ・モード/16ビット・カウンタ・モードの2種類のモードを持ちます。表9 - 3に8ビット・カウンタ・モード時の使用レジスタと設定値を，表9 - 4に16ビット・カウンタ・モード時の使用レジスタと設定値を示します。

表9 - 3 8ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn0 (TRTn0)	7-0	チャネル0側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタn1 (TRTn1)	7-0	チャネル1側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn0 (TRTCMPn0)	7-0	チャネル0側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタn1 (TRTCMPn1)	7-0	チャネル1側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn (TRTCRn)	TSTARTn0	チャネル0側のカウント開始/停止を選択してください。
	TSTARTn1	チャネル1側のカウント開始/停止を選択してください。
	TCLKENn	1に設定してください。
	TCSMDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタn (TRTMDn)	TCKn0	チャネル0側のカウント・クロックを選択してください。
	TCKn1	チャネル1側のカウント・クロックを選択してください。

備考 n = 0

表9 - 4 16ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn (TRTn)	15-0	16ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn)	15-0	16ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn (TRTCRn)	TSTARTn0	カウント開始/停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSMDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタn (TRTMDn)	TCKn0	カウント・クロックを選択してください。
	TCKn1	000Bに設定してください。

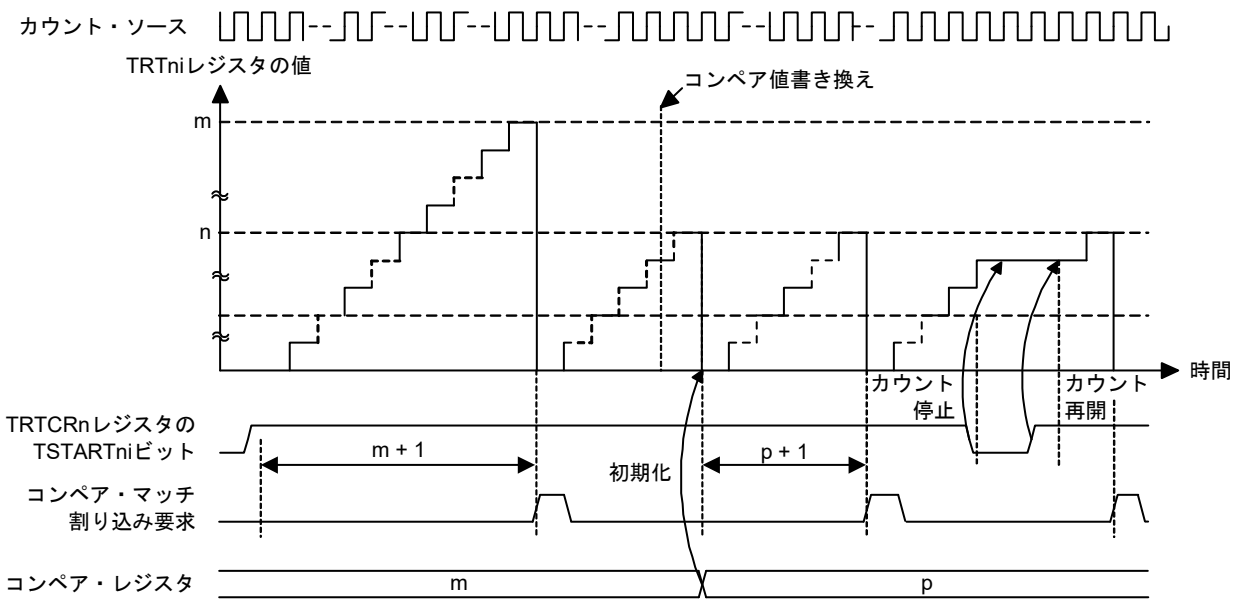
備考 n = 0

9.4.2 タイマ動作

分周レジスタ(TRTMDn)のTCKni (n = 0, i = 0, 1)ビットにより選択されたカウント・ソースで，アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し，カウント値がコンペア値になったあと，次のカウント・ソースが入力されるとコンペア・マッチし，割り込み要求を発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし，TRTCRnレジスタのTSTARTniビットを0に設定し，カウント値が00hで停止した場合は，割り込み信号(INTITnm)がハイ・レベルで固定されます。その間はデータ・トランスファ・コントローラのDTC起動要因，またはイベント・リンク・コントローラのイベント発生元に使用している場合は，起動要因またはイベントが発生し続けます。

また，動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は，TRTCMPniレジスタのコンペア値を再設定してください。TRTCMPni レジスタに書き込み後，カウント・ソースで2 サイクル後にカウント値がクリアされます。

図9 - 8 タイマ動作例



備考 n = 0 i = 0, 1 m, p: TRTCMPniレジスタの設定値

ただし，カウント動作開始時の最初の00H カウント期間は，TRTCR レジスタのTSTARTni (i = 0, 1)ビットに1を書き込むタイミングにより，下記のように可変します。

- カウント・ソース(f_{IL})選択時
  - 最大：カウント・ソースで2 サイクル
  - 最小：カウント・ソースで1 サイクル
- カウント・ソース ($f_{IL}/2^m$)選択時
  - 最大：カウント・ソース1 サイクル
  - 最小：選択クロック(f_{IL}) 1 サイクル

カウント値がコンペア値と一致した場合，次のカウント・ソースでカウント値はクリアされます。また，TRTCMPniレジスタのコンペア値を書き換えた場合も，書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

8/16ビット・カウンタ・モード時割り込み要因を，以下の表9 - 5に示します。

表9 - 5 8/16ビット・カウンタ・モード時割り込み要因

割り込み名称	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因
INTITn0	チャネル0コンペア・マッチ後，次のカウント・ソースの立ち上がり	コンペア・マッチ後，次のカウント・ソースの立ち上がり
INTITn1	チャネル1コンペア・マッチ後，次のカウント・ソースの立ち上がり	未発生

備考　n = 0

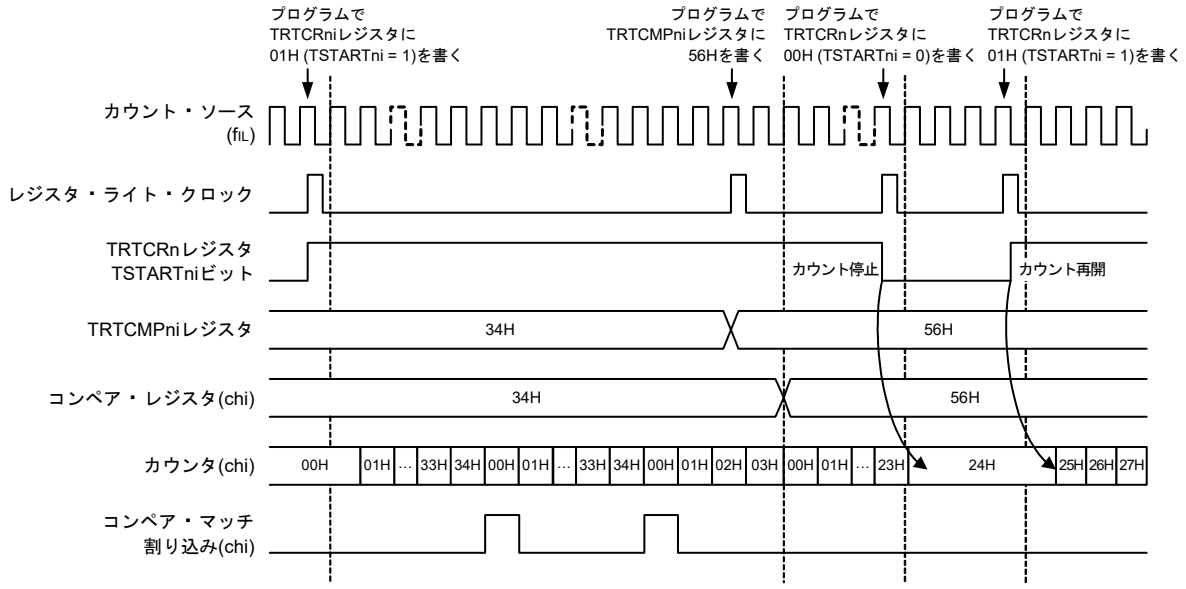
9.4.3 開始/停止タイミング

9.4.3.1 カウント・ソース(fIL)選択時

TRTCRnレジスタのTSTARTni (n = 0, i = 0, 1)ビットに1を書き込み後，次の低速オンチップ・オシレータ・クロック(fIL)でカウントが開始され，その次のカウント・ソース(fIL)でカウンタが00Hから01Hにカウント・アップされます。同様に，TSTARTniビットに0を書き込み後，低速オンチップ・オシレータ・クロック(fIL)でカウント・アップ後にカウントが停止します。

カウント動作の開始/停止タイミングを図9 - 9，カウント停止→コンペア設定(カウント・クリア)→カウント開始のタイミングを図9 - 10に示します。図9 - 9，図9 - 10は，8ビット・カウンタ・モード時の反映タイミングですが，16ビット・カウンタ・モードでも同タイミングの動作となります。

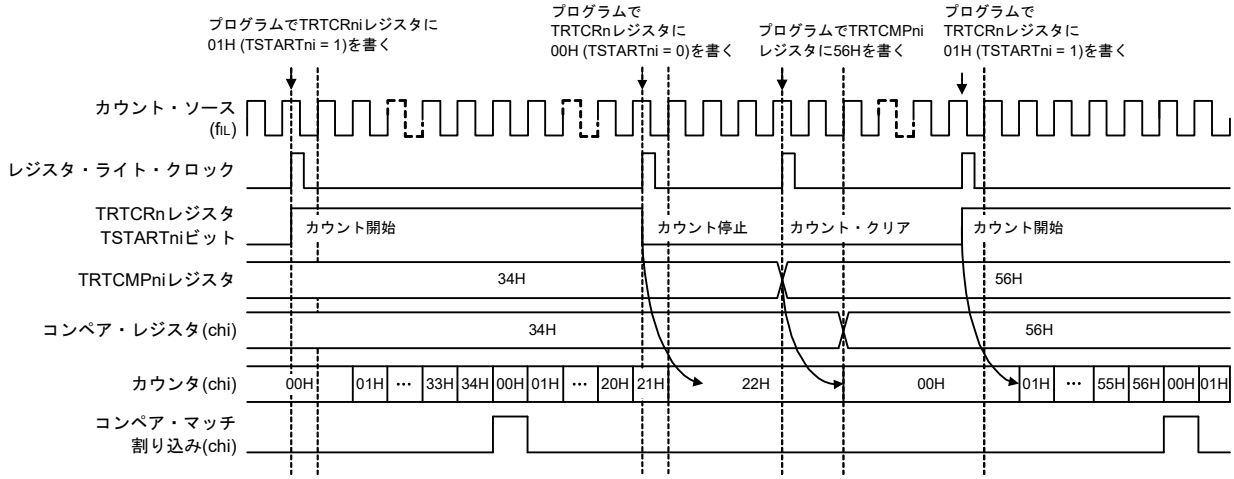
図9 - 9 カウント開始/停止動作例(fIL選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0
i = 0, 1

図9 - 10 カウント停止→カウント・クリア→カウント開始動作例(fIL選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0

i = 0, 1

9.4.3.2 カウント・ソース(fIL/2m)選択時

TRTCRnレジスタのTSTARTni (n = 0, i = 0, 1)ビットに1を書き込み後，次の低速オンチップ・オシレータ・クロック(fIL)でカウントが開始され，その次のカウント・ソース(fIL/2m)でカウンタが00Hから01Hにカウント・アップされます。同様に，TSTARTniビットに0を書き込み後，次の低速オンチップ・オシレータ・クロック(fIL)でカウントが停止します。

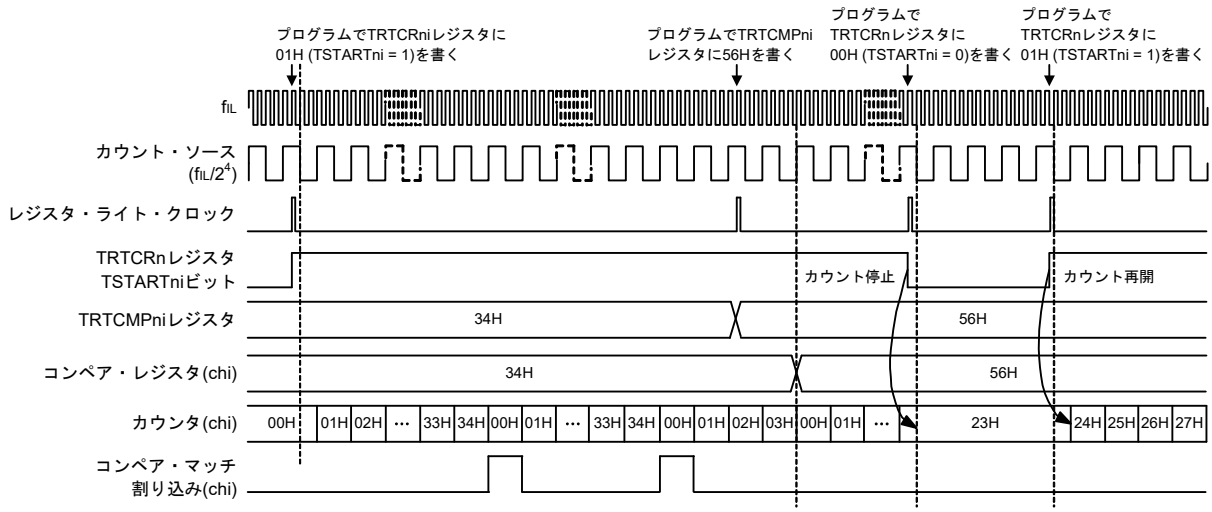
ただし，タイマカウント開始時の最初の00Hカウント期間は，TSTARTniビットの書き込みタイミングと次のカウント・ソースのタイミングによって下記のようにカウント・ソース1サイクルよりも短くなります。

最小：低速オンチップ・オシレータ・クロック(fIL) 1サイクル

最大：カウント・ソース1サイクル

カウント動作の開始/停止タイミングを図9 - 11，カウント停止→コンペア・レジスタ設定(カウント・クリア)→カウント開始のタイミングを図9 - 12に示します。図9 - 11，図9 - 12は，8ビット・カウンタ・モード時の反映タイミングですが，16ビット・カウンタ・モードでも同タイミングの動作となります。

図9 - 11 カウント開始/停止動作例(fIL/2m 選択時)

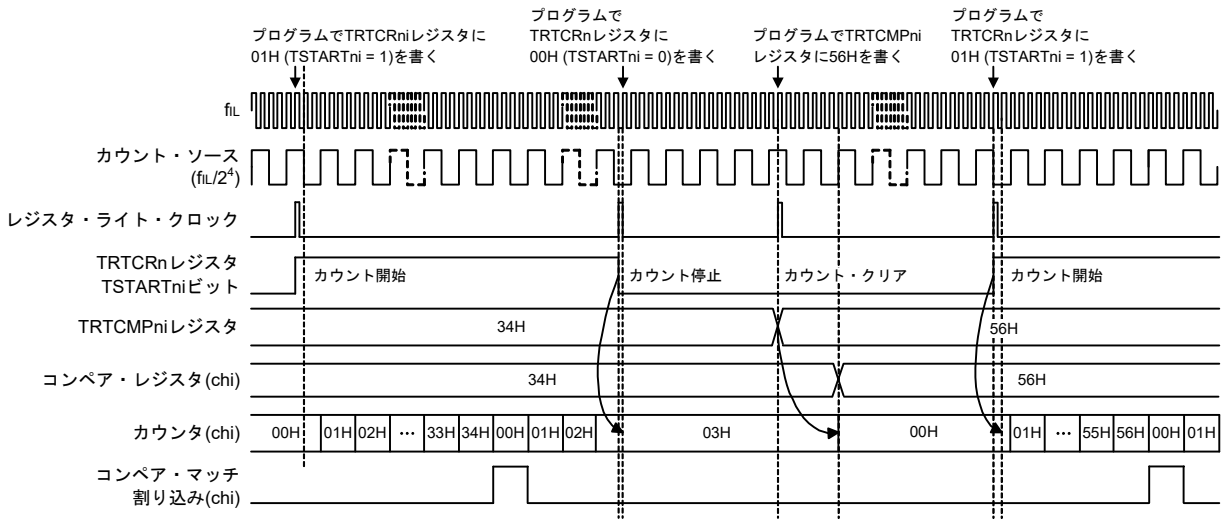


TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0

i = 0, 1

図9 - 12 カウント停止→カウント・クリア→カウント開始動作例(fIL/2m選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0

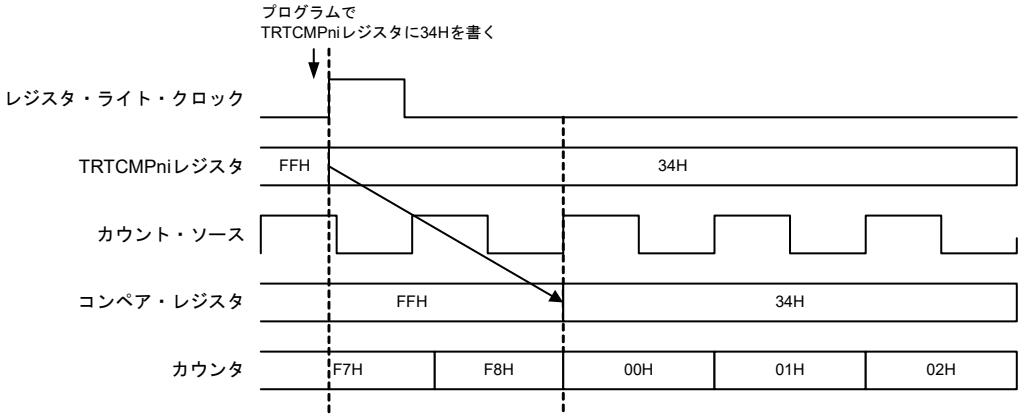
i = 0, 1

9.4.4　コンペア・レジスタ値の反映タイミング

TRTCMPni (n = 0, i = 0, 1) レジスタの値が反映されるタイミングはTRTCRnレジスタのTSTARTniビットの値によらず，同じタイミングとなります。TRTCMPniへの書き込みアクセス後，カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリアされ (8ビット・カウンタ・モード：00H, 16ビット・カウンタ・モード：0000H)になります。

図9 - 13に書き換え動作のタイミング図を示します。図9 - 13は，8ビット・カウンタ・モード時の反映タイミングですが，16ビット・カウンタ・モードでも同タイミングの動作となります。

図9 - 13 コンペア値書き換え動作のタイミング図

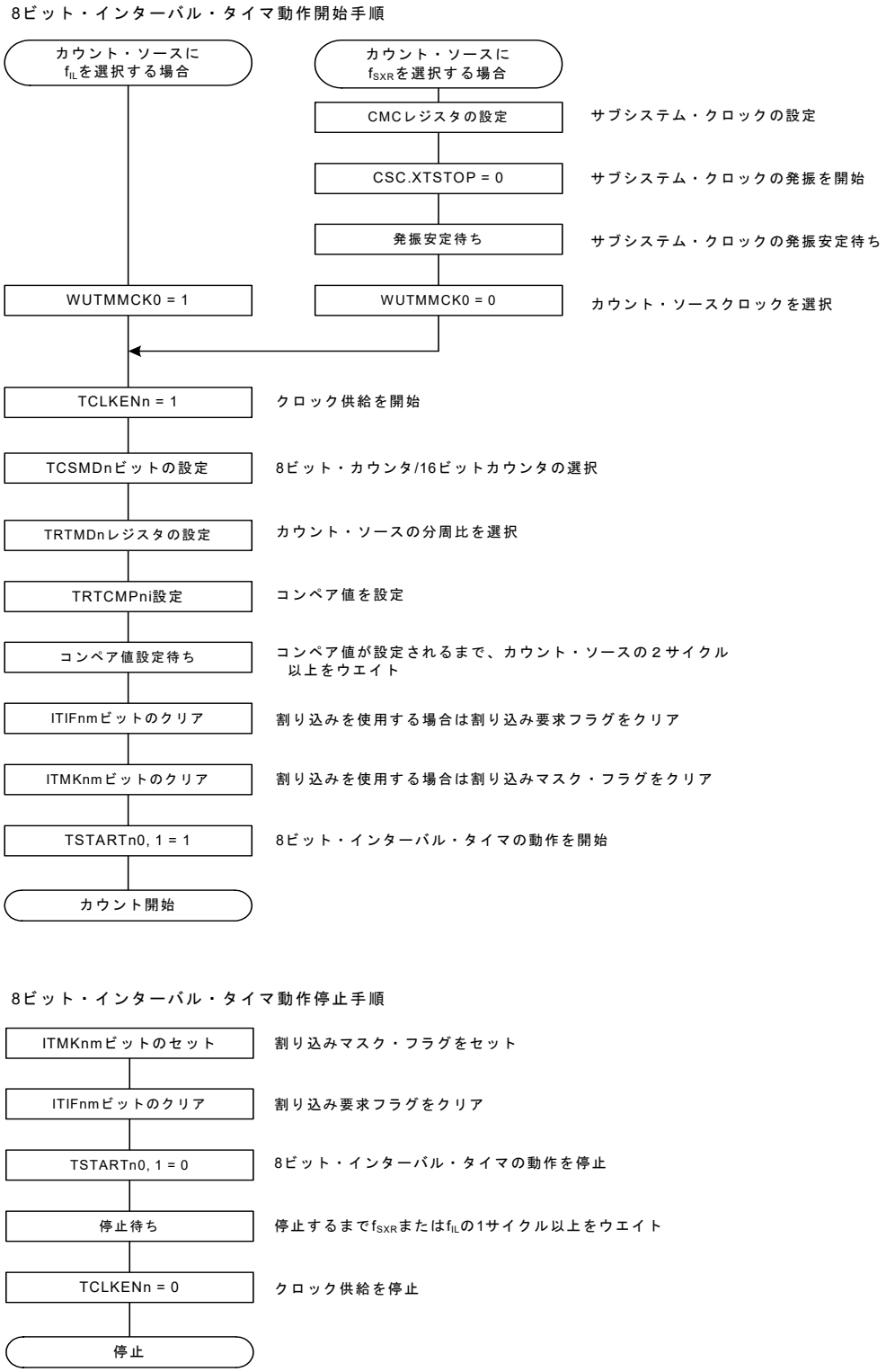


備考　n = 0
　　i = 0, 1

9.4.5 8ビット・インターバル・タイマの設定手順

8ビット・インターバル・タイマの設定手順を以下に示します。

図9 - 14 8ビット・インターバル・タイマの設定手順フロー



9.5 8ビット・インターバル・タイマ使用上の注意事項

9.5.1 動作モード設定変更について

TCSMDnビット，TCKni (n = 0, i = 0, 1)ビットの設定変更は，TRTCRnレジスタのTSTARTniビットが0(カウント停止)中に設定してください。また，TSTARTniビットを1から0に書き換え後(カウント停止)，8ビット・インターバル・タイマ関連レジスタ(TRTCRn, TRTMDn)にアクセスする場合，fILで1サイクル以上経過後にアクセスしてください。

9.5.2 コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ(TRTCMPn0, TRTCMPn1, TRTCMPn)に連続して書き込みしないでください。連続して書くときは，書き込み間隔をカウント・ソースクロックの2サイクル以上空けてください。

また，コンペア・レジスタ（TRTCMPn0，TRTCMPn1，TRTCMPn）への書き込みは，必ずカウント・ソースが発振している状態で，8ビット・インターバル・タイマ・クロック許可ビット（TCLKENn）を1に設定したあとに書き込みを実施してください。

9.5.3 8ビット・インターバル・タイマ設定手順について

クロックを供給する場合，最初に8ビット・インターバル・タイマ制御レジスタn (TRTCRn)の8ビット・インターバル・タイマ・クロック許可ビット(TCLKENn)を1に設定したあとに，TSTARTniビットを設定してください。(TCLKENn, TSTARTniビットを同時に変更しないでください。)

クロックを停止させる場合，TSTARTniを0に設定したあと，fILで1サイクル以上経過後にTCLKENnビットを0に設定してください。

第10章　16ビット・タイマKB0

16ビット・タイマKB0は電源や照明制御に適したPWM出力を生成可能なタイマです。

10.1　16ビット・タイマKB0の機能

16ビット・タイマKB0は，それぞれ2つの出力を持つPWM出力専用のタイマで，最大2出力のPWM出力を生成することができます。また，ハーフブリッジ回路（2出力）を制御する相補PWM出力を生成することができます。さらに，コンパレータやINTP10, INTP11と連動してPWM出力の緊急停止を実現することができます。

16ビット・タイマKB0には，次のような機能があります。

(1)　PWM出力

•PWM出力のデューティおよび周期は，タイマ動作中に変更することができます。

•タイマ停止中のデフォルト・レベルとタイマ動作中のアクティブ・レベルをそれぞれハイ・レベルまたはロウ・レベルに設定することができます。

(2)　トリガ出力（ELCイベント発生信号出力）

16ビット・タイマKBトリガ・コンペア・レジスタ0 (TKBTGCR0)を使用して，ELCイベント発生元に出力することができます。

(3)　タイマ・リスタート機能（コンパレータ，INTPと連動）

トリガ要因（コンパレータ0, 1出力，INTP10, INTP11）の発生により，CPUを介さずにタイマ出力をリスタートすることができます。本機能を使用することにより，たとえば臨界導通モードのPFC制御が実現可能です。

(4)　強制出力停止機能1（コンパレータと連動）

トリガ要因（コンパレータ0, 1出力）の発生により，CPUを介さずに16ビット・タイマKBn回路の動作クロック f_{KBKC} と非同期でタイマ出力をHi-Z，ハイ／ロウ・レベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により，16ビット・タイマKBn回路の動作クロック f_{KBKC} と同期して強制出力停止状態は解除されます。

(5)　強制出力停止機能2（コンパレータ，INTPと連動）

トリガ要因（コンパレータ0, 1出力，INTP10, INTP11）の発生により，CPUを介さずに16ビット・タイマKBn回路の動作クロック f_{KBKC} と非同期でタイマ出力をハイ／ロウ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始，またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます。

(6)　PWM出力ディザリング機能

16周期ごとに設定デューティ +1の波形を0～15回の範囲で出力させることができます。本機能を使用することにより，タイマKBn 16周期間の平均分解能として，カウント・クロックの16倍に向上したPWMを出力することができます。

(7)　PWM出力ソフト・スタート機能

PWM出力スタート後に設定デューティまで自動的にデューティを増加させるソフト・スタートが実現できます。

初期デューティおよびデューティ＋1増加周期を設定可能です。

(8)　最大周波数リミット機能

タイマ・リスタート機能使用時に，設定した最大周波数より早いタイミングでトリガが発生した場合に，設定した最大周波数までリスタートを保留することができます。

(9)　インターリーブPFC出力モード

タイマ・リスタート機能時に，外部要因により2つの出力を自動で交互にリスタート出力することができます。臨界導通モードのインターリーブPFC制御が実現可能です。

備考　臨界導通モードとは，インダクタ電流がゼロになることを検出してスイッチングFETをオンにするPFC制御の方式です。

10.2　16ビット・タイマKB0の構成

16ビット・タイマKB0は，次のハードウエアで構成されています。

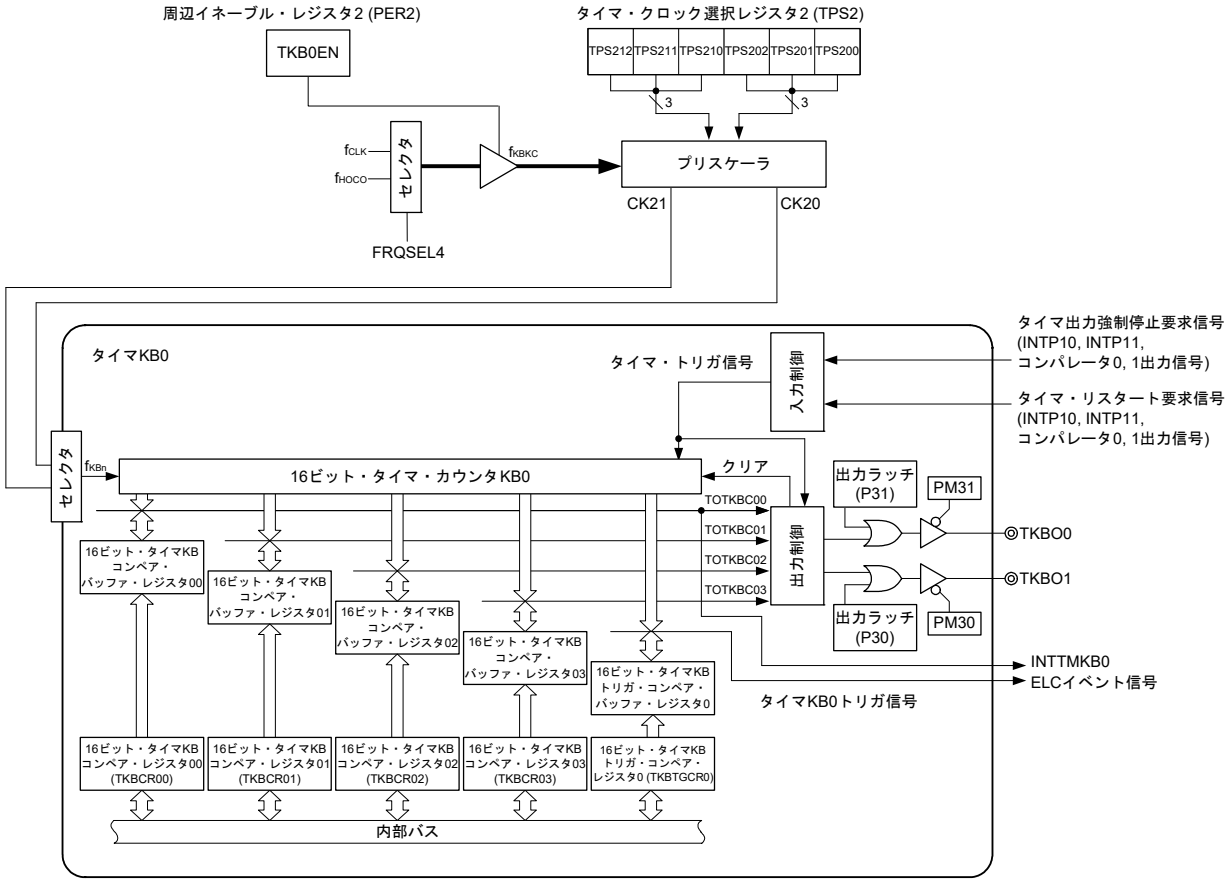
表10 - 1 16ビット・タイマKB0の構成

項目	構成
タイマ／カウンタ	16ビット・タイマ・カウンタKBn（TKBCNTn）
レジスタ	16ビット・タイマKBコンペア・レジスタn0-n3（TKBCRn0-TKBCRn3） 16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）
タイマ出力	TKBO0, TKBO1
制御レジスタ	周辺イネーブル・レジスタ2（PER2） 周辺リセット制御レジスタ2 （PRR2） タイマ・クロック選択レジスタ2（TPS2） 16ビット・タイマKB動作制御レジスタn0（TKBCTLn0） 16ビット・タイマKB動作制御レジスタn1（TKBCTLn1） 16ビット・タイマKB出力制御レジスタn0（TKBIOCn0） 16ビット・タイマKB出力制御レジスタn1（TKBIOCn1） 16ビット・タイマKBフラグ・レジスタn（TKBFLGn） 16ビット・タイマKBトリガ・レジスタn（TKBTRGn） 16ビット・タイマKBクリア・トリガ・レジスタn（TKBCLRn） 16ビット・タイマKBディザリング数レジスタn0, n1（TKBDNRn0, TKBDNRn1） 16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0） 16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1） 16ビット・タイマKBソフト・スタート・初期デューティ・レジスタn0, n1（TKBSIRn0, TKBSIRn1） 16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1） 16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn） 周辺機能切り替えレジスタ0（PFSEL0） 外部割り込みエッジ許可レジスタ（INTPEG） ポート・モード・コントロール・レジスタ3（PMC3） ポート・モード・レジスタ3（PM3） ポート・レジスタ3（P3）

備考　n = 0

図10 - 1にブロック図を示します。

図10 - 1 16ビットタイマKB0のブロック図



備考1. f_{KBKC}：16ビット・タイマKBn, KC0回路全体の動作クロック

f_{KBn}：16ビット・タイマKBnのカウント・クロック

備考2. n = 0

10.2.1 16ビット・タイマKBコンペア・レジスタn0-n3（TKBCRn0-TKBCRn3）

TKBCRnmは，タイマ・カウント中（TKBCEn = 1）にリフレッシュ（同値書き込み）および値の書き換えが可能です。タイマ動作中にTKBCRnmの値を書き換える場合，その値はラッチされ，下記のタイミングでTKBCRnmに転送され，TKBCRnmの値が変更されます。

- カウンタのカウント動作開始時（TKBCEn =0）
- 一斉書き換えのトリガ発生時（TKBRDTn =1 または 外部トリガ（TKBTSEn = 1のとき））

16ビット単位でリード／ライト可能です。

リセット信号の発生により，0000Hになります。

図10 - 2 16ビット・タイマKBコンペア・レジスタnm（TKBCRnm）のフォーマット

アドレス：F0400H（TKBCR00），F0402H（TKBCR01），F0404H（TKBCR02），F0406H（TKBCR03）

リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBCRnm																

備考 n = 0, m = 0-3

10.2.2 16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）

TKBTGCRnは，タイマ・カウント中（TKBCEn = 1）にリフレッシュ（同値書き込み）および値の書き換えが可能です。タイマ動作中にTKBTGCRnの値を書き換える場合，その値はラッチされ，下記のタイミングでTKBTGCRnに転送され，TKBTGCRnの値が変更されます。

- カウンタのカウント動作開始時（TKBCEn =0）
- 一斉書き換えのトリガ発生時（TKBRDTn =1 または 外部トリガ（TKBTSEn = 1のとき））

本レジスタによる周期信号をA/D変換のハードウエア・トリガとして使用可能です。

16ビット単位でリード／ライト可能です。

リセット信号の発生により，0000Hになります。

図10 - 3 16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）のフォーマット

アドレス：F0408H（TKBTGCR0） リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBTGCRn																

備考 n = 0

10.3　16ビット・タイマKB0を制御するレジスタ

16ビット・タイマKB0を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2（PER2）
- 周辺リセット制御レジスタ2（PRR2）
- タイマ・クロック選択レジスタ2（TPS2）
- 16ビット・タイマKB動作制御レジスタn0, n1（TKBCTLn0, TKBCTLn1）
- 16ビット・タイマKB出力制御レジスタn0, n1（TKBIOCn0, TKBIOCn1）
- 16ビット・タイマKBフラグ・レジスタn（TKBFLGn）
- 16ビット・タイマKBトリガ・レジスタn（TKBTRGn）
- 16ビット・タイマKBクリア・トリガ・レジスタn（TKBCLRn）
- 16ビット・タイマKBディザリング数レジスタn0, n1（TKBDNRn0, TKBDNRn1）
- 16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0）
- 16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1）
- 16ビット・タイマKBソフト・スタート・初期デューティ・レジスタn0, n1（TKBSIRn0, TKBSIRn1）
- 16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1）
- 16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn）
- 周辺機能切り替えレジスタ0（PFSEL0）
- 外部割り込みエッジ許可レジスタ（INTPEG）
- ポート・モード・コントロール・レジスタ3（PMC3）
- ポート・モード・レジスタ3（PM3）
- ポート・レジスタ3（P3）

10.3.1　周辺イネーブル・レジスタ2（PER2）

PER2 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマKB0を使用する場合は，必ずビット0（TKB0EN）を1に設定してください。

PER2レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER2レジスタは00Hになります。

図10 - 4 周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F00FCH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	0	DOCEN	0	0	0	0	TKB0EN

TKB0EN	タイマKB0の入力クロックの制御
0	入力クロック供給停止 • タイマKB0で使用するSFRへのライト不可
1	入力クロック供給 • タイマKB0で使用するSFRへのリード／ライト可

注意　タイマKB0の設定をする際には，必ず最初にTKB0EN = 1の設定を行ってください。TKB0EN = 0の場合は，タイマKB0の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（タイマ・クロック選択レジスタ2（TPS2），ポート・モード・コントロール・レジスタ3（PMC3），ポート・モード・レジスタ3（PM3），ポート・レジスタ3（P3）は除く）。

10.3.2　周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

16ビット・タイマKB0をリセットする場合は，必ずビット0 (TKB0RES)を1に設定してください。

PRR2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR2レジスタは00Hになります。

図10 - 5 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス：F00FDH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	0	DOCRES	0	0	0	0	TKB0RES

TKB0RES	16ビット・タイマKB0のリセット制御
0	16ビット・タイマKB0のリセット解除
1	16ビット・タイマKB0はリセット状態

10.3.3　タイマ・クロック選択レジスタ2（TPS2）

TPS2 レジスタは，外部プリスケーラからタイマ KB0 に共通して供給される 2 種類の動作クロック（CK20, CK21）を選択する 16 ビット・レジスタです。TPS2 レジスタのビット 6-4 で CK21 を，ビット 2-0 で CK20 を選択します。

タイマ動作中の TPS2 レジスタの書き換えは，次の場合のみ可能です。

TPS200-TPS202 ビットが書き換え可能な場合（n = 0）：

動作クロックに CK20 を選択（TKBCKSn = 0）しているタイマがすべて停止状態（TKBCEn = 0）

TPS210-TPS212 ビットが書き換え可能な場合（n = 0）：

動作クロックに CK21 を選択（TKBCKSn = 1）しているタイマがすべて停止状態（TKBCEn = 0）

TPS2 レジスタは 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPS2 レジスタは 00H になります。

図 10 - 6 タイマ・クロック選択レジスタ 2（TPS2）のフォーマット

アドレス：F02D4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TPS2	0	TPS212	TPS211	TPS210	0	TPS202	TPS201	TPS200

・ユーザ・オプション・バイト (000C2H/010C2H) の FRQSEL4 = 0 のとき

TPS2k2	TPS2k1	TPS2k0		タイマKB動作クロック（CK2k）の選択（k = 0, 1）				
				f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	750 kHz
上記以外			設定禁止					

・ユーザ・オプション・バイト (000C2H/010C2H) の FRQSEL4 = 1 のとき

TPS2k2	TPS2k1	TPS2k0		タイマKB動作クロック（CK2k）の選択（k = 0, 1）			
				f_{HOCO} = 6 MHz	f_{HOCO} = 12 MHz	f_{HOCO} = 24 MHz	f_{HOCO} = 48 MHz
0	0	0	f_{HOCO}	6 MHz	12 MHz	24 MHz	48 MHz
0	0	1	$f_{HOCO}/2$	3 MHz	6 MHz	12 MHz	24 MHz
0	1	0	$f_{HOCO}/2^2$	1.5 MHz	3 MHz	6 MHz	12 MHz
0	1	1	$f_{HOCO}/2^3$	750 kHz	1.5 MHz	3 MHz	6 MHz
1	0	0	$f_{HOCO}/2^4$	375 kHz	750 kHz	1.5 MHz	3 MHz
1	0	1	$f_{HOCO}/2^5$	187.5 kHz	375 kHz	750 kHz	1.5 MHz
上記以外			設定禁止				

注意 1. f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ KB0 を停止（TKBCEn = 0）させてください。

注意2. ビット7, 3には，必ず0を設定してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{HOCO}：高速オンチップ・オシレータ・クロック周波数

10.3.4　16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）

TKBCTLn0は，ソフト・スタート機能，ディザリング機能，最大周波数リミット機能，インターリーブPFC出力モード，外部トリガによるコンペア・レジスター斉書き換え機能，タイマ・リスタート・トリガの設定をするレジスタです。

TKBCTLn0は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図10 - 7 16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）のフォーマット（1/2）

アドレス：F0422H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
TKBCTLn0	0	0	TKBSSEn1	TKBDIEn1	0	0	TKBSSEn0	TKBDIEn0
	7	6	5	4	3	2	1	0
	TKBMFEn	0	TKBIRSn1	TKBIRSn0	0	TKBTSEn	TKBSTSn1	TKBSTSn0

TKBSSEnp	TKBOpのPWM出力ソフト・スタート機能の制御
0	PWM出力ソフト・スタート機能を使用しない
1	PWM出力ソフト・スタート機能を使用する

TKBDIEnp	TKBOpのPWM出力ディザリング機能の制御
0	PWM出力ディザリング機能を使用しない
1	PWM出力ディザリング機能を使用する

TKBMFEn	TKBO0, TKBO1の最大周波数リミット機能の制御
0	最大周波数リミット機能を使用しない
1	最大周波数リミット機能を使用する

TKBIRSn1	TKBIRSn0	インターリーブPFC出力モードにおけるTKBO1即時出力する INTP11入力受け付け範囲設定
0	0	T/2～T/2＋T/64
0	1	T/2～T/2＋T/32
1	0	T/2～T/2＋T/16
1	1	T/2～T/2＋T/8

TKBTSEn	外部トリガによるコンペア・レジスター斉書き換え機能の制御
0	外部トリガによるコンペア・レジスター斉書き換え機能を使用しない
1	外部トリガによるコンペア・レジスター斉書き換え機能を使用する

備考1. n = 0, p = 0, 1

備考2. Tは直前のリスタート周期

図10 - 7 16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）のフォーマット（2/2）

TKBSTSn1	TKBSTSn0	タイマKBnのリスタート・トリガの選択
0	0	トリガ入力を使用しない
0	1	外部割り込み信号（INTP10）
1	0	外部割り込み信号（INTP11）
1	1	PFSEL0レジスタのCTRGSEL1, CTRGSEL0ビットで指定するコンパレータの検出信号注

注　コンパレータの検出信号をリスタート・トリガとして使用する場合は，コンパレータ出力制御レジスタ（COMPOCR）のCiOEビットを1に設定してください。詳細は19.5タイマKB連動機能使用時の注意事項を参照してください。

注意1. タイマ動作中に，TKBCTLn0レジスタを書き換えないでください。ただし，TKBCTLn0レジスタにリフレッシュ（同値書き込み）することは可能です。

注意2. ビット15, 14, 11, 10, 6, 3には必ず0を設定してください。

注意3. INTP10/INTP11の設定は第19章　コンパレータを参照してください。

備考　i = 0,1，n = 0, p = 0, 1

10.3.5　16ビット・タイマKB動作制御レジスタn1（TKBCTLn1）

TKBCTLn1は，16ビット・タイマの動作の制御とカウント･クロックの設定をするレジスタです。

TKBCTLn1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10 - 8 16ビット・タイマKB動作制御レジスタn1（TKBCTLn1）のフォーマット

アドレス：F0429H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCE0	0	0	TKBCKS0	0	0	TKBMD01	TKBMD00

TKBCEn	タイマKBnの動作制御
0	タイマ動作停止（カウンタはFFFF）
1	タイマ動作許可

TKBCKS0	タイマKB0のクロック選択
0	TPS202-TPS200ビットで選択したCK20クロック
1	TPS212-TPS210ビットで選択したCK21クロック

TKBMDn1	TKBMDn0	タイマKBnの動作モードの選択
0	0	単体動作モード（マスタ使用）
1	1	インターリーブPFC出力モード
上記以外		設定禁止

注意1. タイマ動作中に，TKBCTLn1レジスタを書き換えないでください。ただし，TKBCTLn1レジスタにリフレッシュ（同値書き込み）することは可能です。

注意2. TKBCTLn1は，ビット6, 5, 3, 2に必ず0を設定してください。

備考　n = 0

10.3.6　16ビット・タイマKB出力制御レジスタn0（TKBIOCn0）

TKBIOCn0は，16ビット・タイマKBn出力（TKBOp）のデフォルト・レベル／アクティブ・レベルを設定するレジスタです。

TKBIOCn0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10 - 9 16ビット・タイマKB出力制御レジスタn0（TKBIOCn0）のフォーマット

アドレス：F0426H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKBIOCn0	0	0	0	0	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0

TKBTOLnp	タイマ出力TKBOpのアクティブ・レベル設定
0	ハイ・レベル
1	ロウ・レベル

TKBTODnp	タイマ出力TKBOpのデフォルト・レベル設定
0	ロウ・レベル
1	ハイ・レベル

注意1. タイマ動作中に，TKBIOCn0レジスタを書き換えないでください。ただし，TKBIOCn0レジスタにリフレッシュ（同値書き込み）することは可能です。

注意2. ビット7-4には必ず0を設定してください。

注意3. 実際のTKBOp端子の出力は，TKBOp出力のほかに，兼用ポートのポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）によって決まります。

備考　n = 0, p = 0, 1

10.3.7　16ビット・タイマKB出力制御レジスタn1（TKBIOCn1）

TKBIOCn1は，16ビット・タイマKBn出力（TKBOp）の出力禁止／許可を制御するレジスタです。

TKBIOCn1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10 - 10 16ビット・タイマKB出力制御レジスタn1（TKBIOCn1）のフォーマット

アドレス：F0428H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKBIOCn1	0	0	0	0	0	0	TKBTOEn1	TKBTOEn0

TKBTOEnp	タイマ出力TKBOpの出力許可／禁止
0	タイマ出力禁止（TKBTODnp = 0の場合，ロウ・レベル出力。TKBTODnp = 1の場合，ハイ・レベル出力）
1	タイマ出力許可

注意1. タイマ動作中に，TKBIOCn1レジスタを書き換え可能です。

注意2. ビット7-2には必ず0を設定してください。

注意3. 実際のTKBOp端子の出力は，TKBOp出力のほかに，兼用ポートのポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）によって決まります。

備考　n = 0, p = 0, 1

10.3.8　16ビット・タイマKBフラグ・レジスタn（TKBFLGn）

TKBFLGnは，16ビット・タイマKBnのステータス・フラグを表示するレジスタです。

TKBFLGnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

図10 - 11 16ビット・タイマKBフラグ・レジスタn（TKBFLGn）のフォーマット

アドレス：F0413H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
TKBFLGn	TKBSSFn1	TKBSSFn0	TKBSEFn1	TKBSEFn0	TKBIRFn	TKBIEFn	TKBMFFn	TKBRSFn

TKBSSFnp	TKBOp端子のPWM出力ソフト・スタート機能のステータス・フラグ
0	PWM出力ソフト・スタート停止中
1	PWM出力ソフト・スタート実行中

TKBSEFnp	TKBOp端子のPWM出力ソフト・スタート機能のエラー・フラグ
0	エラー未発生，またはTKBCLSEnpによるクリアの完了
1	エラー発生（PWM出力ソフト・スタート実行中（TKBSSFnp = 1）にTKBRDTn = 1が発生）

TKBIRFn	インターリーブPFCモードでのINTP11トリガ未検出エラー・フラグ
0	エラー未発生，またはTKBCLIRnによるクリアの完了
1	エラー発生（0～T/2とTKBIRSn1, TKBIRSn0で設定した判定範囲内にINTP11トリガ未検出）

TKBIEFn	インターリーブPFCモードでのINTP11トリガ多重検出エラー・フラグ
0	エラー未発生，またはTKBCLIEnによるクリアの完了
1	エラー発生（TKBO1のアクティブ出力中に，再度INTP11トリガを検出）

TKBMFFn	最大周波数リミット機能のステータス・フラグ
0	最大周波数リミット機能未発生，またはTKBCLMFnによるクリアの完了
1	タイマ出力許可最大周波数リミット機能発生

TKBRSFn	一斉書き換えトリガの保留ステータス・フラグ
0	一斉書き換え許可状態，または一斉書き換えトリガ発生による一斉書き換えの完了
1	一斉書き換えトリガ・ビットTKBRDTnへの書き込みによる一斉書き換え保留（完了待ち）状態。

備考1. n = 0, p = 0, 1

備考2. Tは直前のリスタート周期

10.3.9　16ビット・タイマKBトリガ・レジスタn（TKBTRGn）

TKBTRGnは，16ビット・タイマKBnのコンペア・レジスタを一斉書き換えするためのトリガ・レジスタです。

TKBTRGnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図10 - 12 16ビット・タイマKBトリガ・レジスタn（TKBTRGn）のフォーマット

アドレス：F0412H　　リセット時：00H　　W

略号	7	6	5	4	3	2	1	0
TKBTRGn	0	0	0	0	0	0	0	TKBRDTn

TKBRDTn	コンペアレジスター斉書き換え要求のトリガ
0	設定無効
1	コンペアレジスター斉書き換え要求

備考　n = 0

10.3.10　16ビット・タイマKBフラグ・クリア・トリガ・レジスタn（TKBCLRn）

TKBCLRnは，16ビット・タイマKBフラグ・レジスタn（TKBFLGn）のフラグをクリアするレジスタです。

TKBCLRnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図10 - 13 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn（TKBCLRn）のフォーマット

アドレス：F0427H　リセット時：00H　W

略号	7	6	5	4	3	2	1	0
TKBCLRn	0	0	TKBCLSEn1	TKBCLSEn0	TKBCLIRn	TKBCLIEn	TKBCLMFn	0

TKBCLSEnp	TKBOp端子のPWM出力ソフト・スタート機能のエラー・フラグのクリア・トリガ
0	設定無効
1	TKBSEFnpフラグを“0”にクリアする

TKBCLIRn	インターリーブPFCモードでのINTP11トリガ未検出エラー・フラグのクリア・トリガ
0	設定無効
1	TKBIRFnフラグを“0”にクリアする

TKBCLIEn	インターリーブPFCモードでのINTP11トリガ多重検出エラー・フラグのクリア・トリガ
0	設定無効
1	TKBIEFnフラグを“0”にクリアする

TKBCLMFn	最大周波数リミット機能のステータス・フラグのクリア・トリガ
0	設定無効
1	TKBMFFnフラグを“0”にクリアする

備考　n = 0, p = 0, 1

10.3.11 16ビット・タイマKBディザリング数レジスタn0, n1（TKBDNRn0, TKBDNRn1）

TKBDNRnpは，TKBOp出力のPWMディザリング機能で使用するレジスタです。

このレジスタの値の上位4ビットの値をN (N = 0H-FH)としたとき, PWM出力の16周期ごとにN回のアクティブ期間を1クロック分延長して出力します。

TKBDNRnpの設定とアクティブ期間を1クロック延長する周期の回数（N）の関係を表10 - 2に示します。

TKBDNRnpは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10 - 14 16ビット・タイマKBディザリング数レジスタnp（TKBDNRnp）のフォーマット

アドレス：F040EH (TKBDNR00) リセット時：00H R/W
F0410H (TKBDNR01)

略号	7	6	5	4	3	2	1	0
TKBDNRnp					0	0	0	0

注意 ビット3-0には必ず0を設定してください。

備考 n = 0, p = 0, 1

表10 - 2 16ビット・タイマKBディザリング数レジスタnp（TKBDNRnp）の設定

回数（N） ＼ 周期	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■								■							
3	■				■				■							
4	■				■				■				■			
5	■		■		■				■				■			
6	■		■		■				■		■		■			
7	■		■		■		■		■		■		■			
8	■		■		■		■		■		■		■		■	
9	■	■	■		■		■		■		■		■		■	
10	■	■	■		■		■		■	■	■		■		■	
11	■	■	■		■	■	■		■	■	■		■		■	
12	■	■	■		■	■	■		■	■	■		■	■	■	
13	■	■	■	■	■	■	■		■	■	■		■	■	■	
14	■	■	■	■	■	■	■		■	■	■	■	■	■	■	
15	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	

備考1. □ セルの周期：TKBCRn1, TKBCRn3レジスタの設定値で出力をインアクティブ
■ セルの周期：TKBCRn1, TKBCRn3レジスタの設定値+1で出力をインアクティブ

備考2. n = 0, p = 0, 1

10.3.12　16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0）

TKBCRLDn0は，上位8ビットに「TKBCRn1レジスタの下位8ビット」，下位8ビットに「TKBDNRn0レジスタ」の値を格納したレジスタです。

TKBCRLDn0は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図10 - 15 16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0）のフォーマット

アドレス：F0414H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBCRLDn0													0	0	0	0

TKBCRn1レジスタの下位8ビット　　TKBDNRn0レジスタ

注意　ビット3-0には必ず0を設定してください。

備考　n = 0

10.3.13　16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1）

TKBCRLDn1は，上位8ビットに「TKBCRn3レジスタの下位8ビット」，下位8ビットに「TKBDNRn1レジスタ」の値を格納したレジスタです。

TKBCRLDn1は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図10 - 16 16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1）のフォーマット

アドレス：F0416H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBCRLDn1													0	0	0	0

TKBCRn3レジスタの下位8ビット　　TKBDNRn1レジスタ

注意　ビット3-0には必ず0を設定してください。

備考　n = 0

10.3.14　16ビット・タイマKBソフト・スタート初期デューティ・レジスタn0, n1（TKBSIRn0, TKBSIRn1）

TKBSIRnpは，TKBOp出力のPWM出力ソフト・スタート機能での初期デューティを設定するレジスタです。

TKBSIRnpは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図10 - 17 16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp（TKBSIRnp）のフォーマット

アドレス：F040AH (TKBSIR00)　リセット時：0000H　R/W
F040CH (TKBSIR01)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBSIRnp																

備考　n = 0, p = 0, 1

10.3.15　16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1）

TKBSSRnpは，TKBOp出力のPWM出力ソフト・スタート機能で使用するレジスタです。

このレジスタの値をN（N = 0000B-1111B）とするとTKBSIRnpで設定したアクティブ出力期間のPWMをN+1回分出力します。その後は，（アクティブ期間＋1クロック）の波形をN+1回，（アクティブ期間＋2クロック）の波形をN+1回，・・・というように継続出力して，最終的にTKBCRn1またはTKBCRn3と同じデューティになったところで，PWM出力ソフト・スタート機能が解除され，通常PWM出力に移行します。

TKBSSRnpは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10 - 18 16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp（TKBSSRnp）のフォーマット

アドレス：F040FH (TKBSSR00)　リセット時：00H　R/W
F0411H (TKBSSR01)

略号	7	6	5	4	3	2	1	0
TKBSSRnp	0	0	0	0				

注意　ビット7-4には必ず0を設定してください。

備考　n = 0, p = 0, 1

10.3.16　16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn）

TKBMFRnは，外部トリガによるタイマ・リスタートの最小周期を設定するレジスタです。

カウンタ（TKBCNTn）が，このTKBMFRnよりも小さい値のときにトリガ入力を検出すると，そのトリガを保留し，TKBMFRn設定値までカウントしたあとにカウンタ（TKBCNTn）をクリア（リスタート）します。

TKBMFRnは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図10 - 19 16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn）のフォーマット

アドレス：F0424H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBMFRn																

備考　n = 0

10.3.17 周辺機能切り替えレジスタ0（PFSEL0）

PFSEL0は，16ビット・タイマKB0と周辺機能の入出力を設定するレジスタです。

PFSEL0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

備考 INTP10, INTP11を強制出力停止機能2で使用する際に，トリガ入力から出力停止までの反応速度を早くするためには，ノイズ・フィルタなしを選択してください。

図10 - 20 周辺機能切り替えレジスタ0（PFSEL0）のフォーマット

アドレス：F0440H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	CTRGSEL1	CTRGSEL0	INTPINV1	INTPINV0	PNFEN1	PNFEN0	TMRSTEN1	TMRSTEN0

CTRGSEL1	CTRGSEL0	タイマKBのカウンタ・スタート・トリガ要因[注1]
0	0	コンパレータ0検出を使用する
0	1	コンパレータ1検出を使用する
1	0	コンパレータ0検出とコンパレータ1検出を同時に使用する
1	1	設定禁止（出力信号 = ロウ固定）

INTPINV1	INTP11信号の反転設定
0	INTP11信号を反転しない
1	INTP11信号を反転

INTPINV0	INTP10信号の反転設定
0	INTP10信号を反転しない
1	INTP10信号を反転

PNFEN1	外部割り込みINTP11のノイズ・フィルタ設定
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

PNFEN0	外部割り込みINTP10のノイズ・フィルタ設定
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

TMRSTEN1	外部割り込みINTP11の切り替え[注2]
0	外部割り込み機能を選択（STOPモード解除可能，タイマ・リスタート不可）
1	タイマ・リスタート機能を選択（STOPモード解除不可，タイマ・リスタート可）

TMRSTEN0	外部割り込みINTP10の切り替え[注2]
0	外部割り込み機能を選択（STOPモード解除可能，タイマ・リスタート不可）
1	タイマ・リスタート／強制出力停止機能2を選択（STOPモード解除不可，タイマ・リスタート可）

注1. コンパレータi検出をタイマKBのカウント・スタート・トリガとして使用する場合は，コンパレータ出力制御レジスタ（COMPOCR）のCiOEビットを1に設定してください。詳細は19.5タイマKB連動機能使用時の注意事項を参照してください。

注2. INTP10, INTP11をタイマKBの強制出力停止機能2またはタイマ・リスタート機能のトリガとして使用する場合は，19.5タイマKB連動機能使用時の注意事項も参照してください。

備考 ・図19 - 1コンパレータのブロック図を参照してください。

・i = 0, 1

10.3.18 外部割り込みエッジ許可レジスタ (INTPEG)

INTPEG はタイマ・リスタート機能トリガ要因とする外部割り込み（INTP10, INTP11）の有効エッジを設定するレジスタです。

INTPEGは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図10 - 21 外部割り込みエッジ許可レジスタ（INTPEG）のフォーマット

アドレス：F0441H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTPEG	0	0	0	0	INTPEGP11	INTPEGN11	INTPEGP10	INTPEGN10

INTPEGP11	INTPEGN11	INTP11端子の有効エッジの選択
0	0	エッジ検出禁止 （タイマ・リスタート信号の出力禁止（出力信号 = ロウ固定））
0	1	立ち下がりエッジ （タイマ・リスタート信号の出力許可）
1	0	立ち上がりエッジ （タイマ・リスタート信号の出力許可）
1	1	立ち上がり，立ち下がりの両エッジ （タイマ・リスタート信号の出力許可）

INTPEGP10	INTPEGN10	INTP10端子の有効エッジの選択
0	0	エッジ検出禁止 （タイマ・リスタート信号の出力禁止（出力信号 = ロウ固定））
0	1	立ち下がりエッジ （タイマ・リスタート信号の出力許可）
1	0	立ち上がりエッジ （タイマ・リスタート信号の出力許可）
1	1	立ち上がり，立ち下がりの両エッジ （タイマ・リスタート信号の出力許可）

10.3.19 16ビット・タイマKB入出力端子のポート機能を制御するレジスタ

16ビット・タイマKB使用時は，対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx)，ポート・レジスタ(Pxx)，ポート・モード・コントロール・レジスタ(PMCxx))を設定してください。詳細は，4.3.1　ポート・モード・レジスタ(PMxx)，4.3.2　ポート・レジスタ(Pxx)，4.3.6　ポート・モード・コントロール・レジスタ(PMCxx)を参照してください。

また，製品によって設定するポート・モード・レジスタ(PMxx)，ポート・レジスタ(Pxx)，ポート・モード・コントロール・レジスタ(PMCxx)が異なります。詳細は，4.5　兼用機能使用時のレジスタの設定を参照してください。

16ビット・タイマKB出力端子を兼用するポート(P30/TKBO1など)を16ビット・タイマKB出力として使用するときは，各ポートに対応するポート・モード・コントロール・レジスタ(PMCxx)のビット，ポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例)　P30/TKBO1をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ3のPMC30ビットを0に設定

ポート・モード・レジスタ3のPM30ビットを0に設定

ポート・レジスタ3のP30ビットを0に設定

10.4　16ビット・タイマKB0の動作

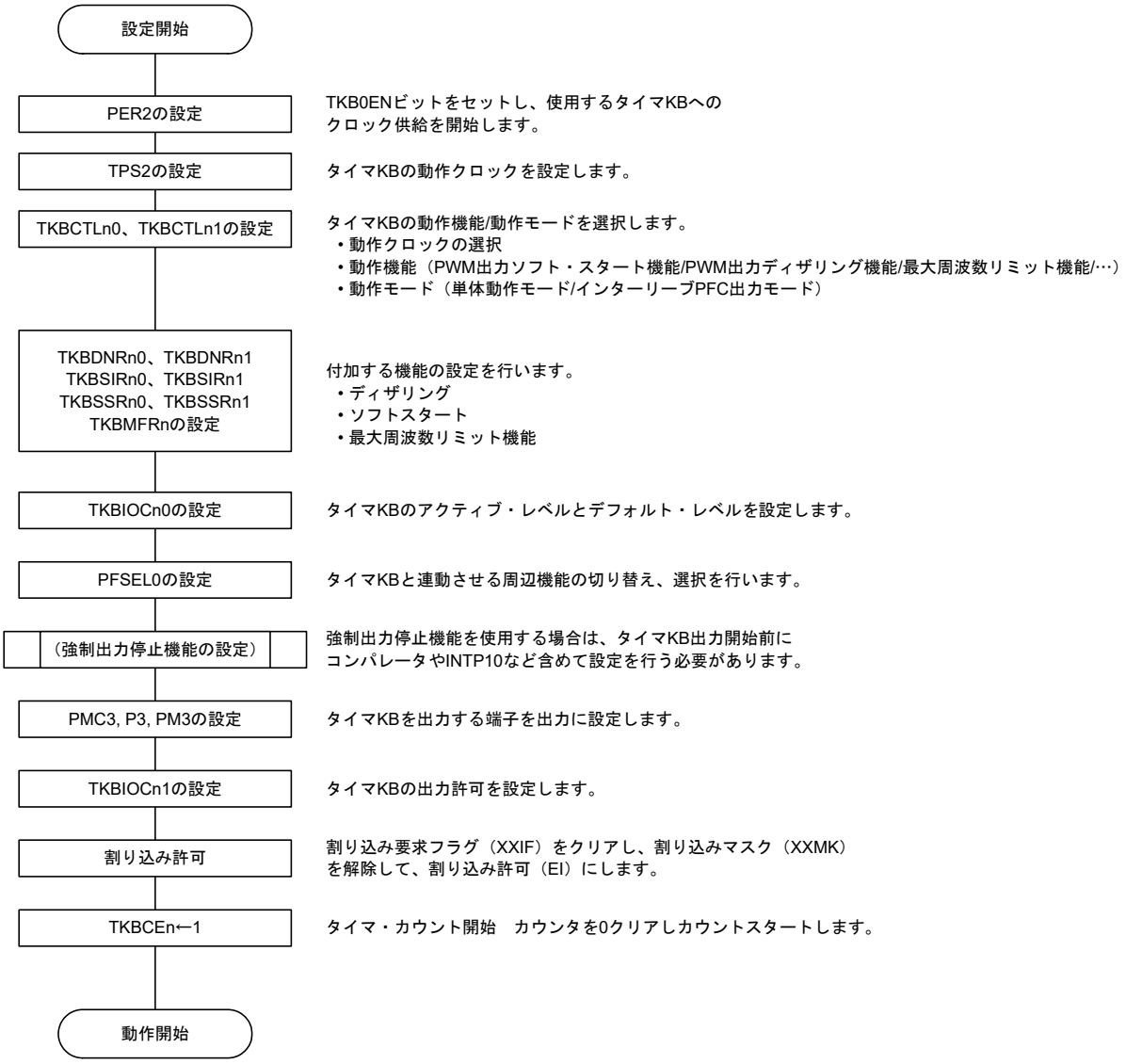
タイマKB0の動作仕様を以下で説明します。

- カウンタ基本動作　（10.4.1項を参照）
- デフォルト・レベルとアクティブ・レベル　（10.4.2項を参照）
- 動作停止と動作開始　（10.4.3項を参照）
- 一斉書き込み動作　（10.4.4項を参照）

タイマKB0には，以下の3種類の動作モードがあります。

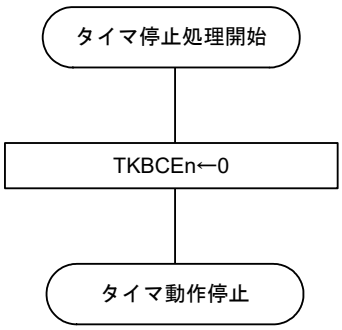
- 単体動作モード（TKBCRn0による周期制御）　（10.4.5項を参照）
- 単体動作モード（外部トリガ入力による周期制御）　（10.4.6項を参照）
- インターリーブPFC出力モード　（10.4.7項を参照）

図10 - 22 タイマKB動作設定例（動作開始フロー）



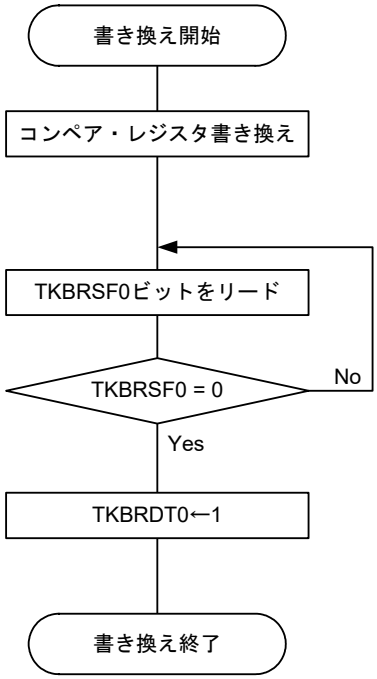
備考　n = 0

図10 - 23 タイマKB動作設定例（動作停止フロー）



タイマ・カウントは停止し、タイマKB出力は設定された
デフォルト・レベルの固定出力となります。

図10 - 24 タイマKB動作設定例（動作停止フロー）



TKBCNTn、TKBCRn0-TKBCRn3、TKBTGCRn（n = 0）
TKBDNRn0、TKBDNRn1、TKBCRLDn0、TKBCRLDn1レジスタ
を書き換えます。

TKBFLG0レジスタのTKBRSF0を読み込みます。
TKBRSF0 = 0のとき一斉書き換え要求を受けつけます。

コンペア・レジスター斉書き換え要求

書き換え要求受け付け後、実際に設定変更されるまで
TKBRSF0ビットは“1”のままとなります。

備考　一斉書き換え機能はタイマKB動作中にタイマ・カウント動作設定を変更する場合に使用します。

設定値は次のリスタート時から動作に反映されます。

10.4.1　カウンタ基本動作

(1)　カウント開始動作

タイマKBの16ビット・カウンタは，すべてのモードで初期値FFFFHからカウントを開始します。カウント動作は，FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

(2)　クリア動作

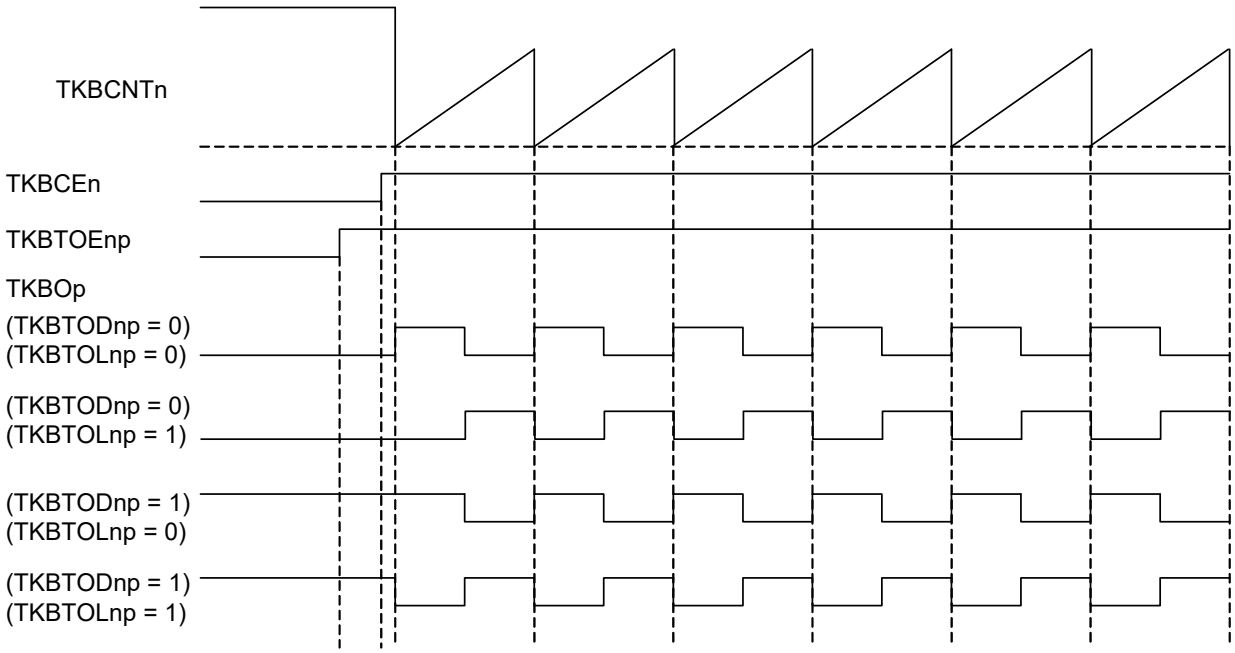
16ビット・カウンタとTKBCRn0に設定された値との一致および外部トリガによる周期決定の場合の外部トリガで16ビット・カウンタは0000Hにクリアされます。なお，TKBCRn0に設定された値との一致によるクリアではINTTMKBn割り込みは発生しますが，外部トリガによるクリアでは割り込みは発生しません。

10.4.2　デフォルト・レベルとアクティブ・レベル

(1)　基本動作

16ビット・タイマKB出力制御レジスタn0（TKBIOCn0）によってタイマKB出力のデフォルト・レベルとアクティブ・レベルを設定できます。

図10 - 25 デフォルト・レベルとアクティブ・レベルのタイミング図
（基本動作）



TKBTOEnpを“0”から“1”に変更した場合，TKBOp出力が許可され，TKBTOLnpの設定値に従いPWM波形を出力します。

TKBTOEnpを“1”から“0”に変更した場合，TKBOp出力は禁止され，TKBTODnpの設定値に従い，デフォルト・レベルを出力します。

(2)　TKBTOEnpを“0”から“1”に変更した場合

タイマ・カウンタ動作中に，カウンタ（TKBCNTn）とコンペア・レジスタ（TKBCRnp）の一致より前にTKBTOEnpを0から1に変更した場合，タイマ出力がTKBTOLnpの設定に従ってその一致タイミングでPWM波形が出力されます。

カウンタ（TKBCNTn）とコンペア・レジスタ（TKBCRnp）の一致より後にTKBTOEnpを0から1に変更した場合は，タイマ出力は次の一致タイミングまでデフォルト・レベルを継続します。

図10 - 26 デフォルト・レベルとアクティブ・レベルのタイミング図
（カウンタとコンペア・レジスタTKBCRn1からTKBCRn3の一致）より前にTKBTOEnp = 0を1に変更した場合）

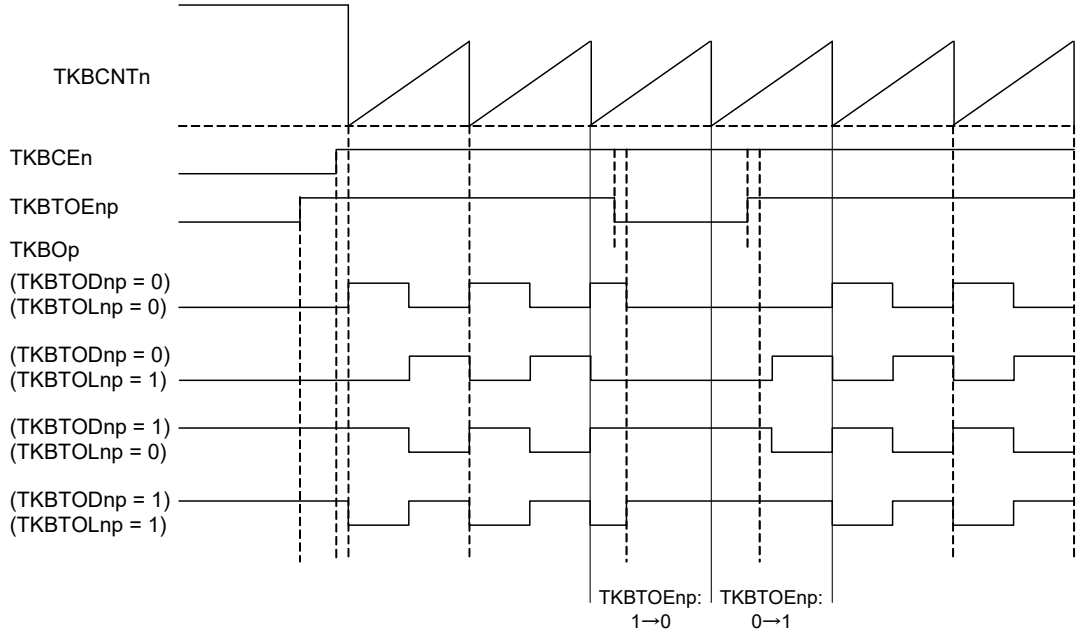
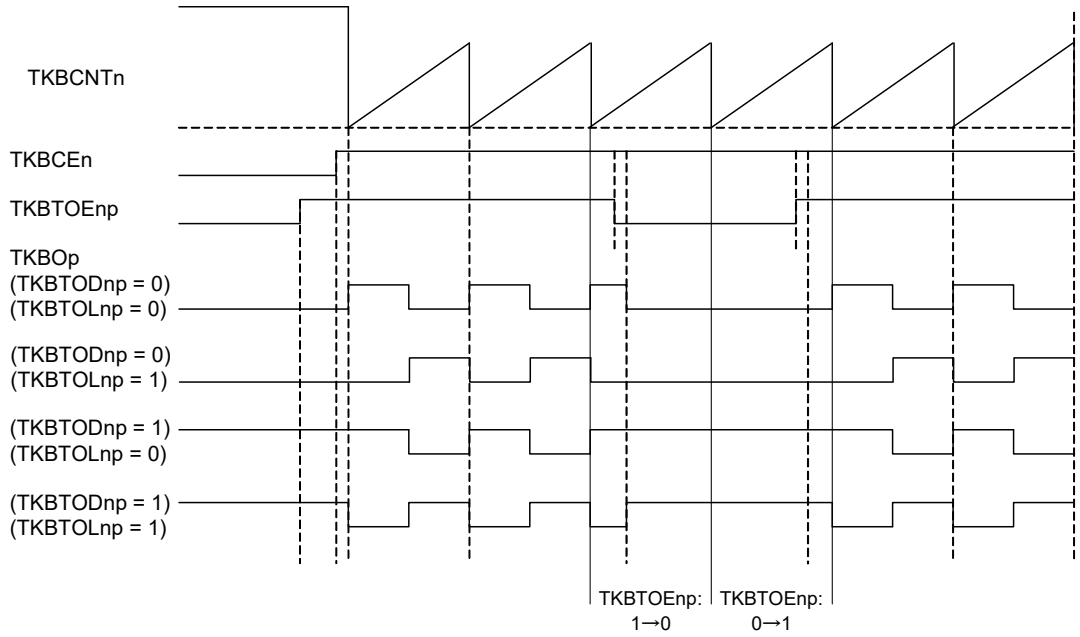


図10 - 27 デフォルト・レベルとアクティブ・レベルのタイミング図
（カウンタとコンペア・レジスタTKBCRn1からTKBCRn3の一致）より後にTKBTOEnp = 0を1に変更した場合

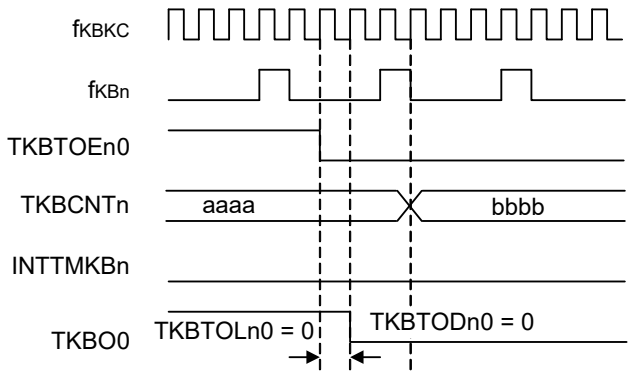


(3)　TKBTOEnpを“1”から“0”に変更した場合

（a）基本タイミング

TKBTOEnpを“1”から“0”に変更した場合, f_{KBKC}1クロック後に, TKBOpは, TKBTODnpで設定しているデフォルト・レベルになります。

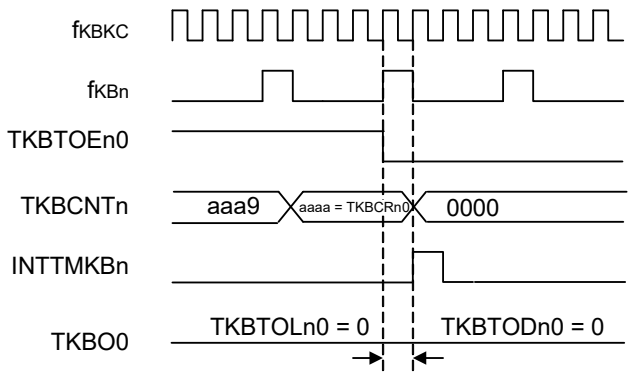
図10 - 28 デフォルト・レベルとアクティブ・レベルのタイミング図
（TKBTOEn0を“1”から“0”に変更した場合）



（b）TKBCRn0の一致によるセットとTKBTOEnpのクリア・タイミングが同時の場合

TKBTOEnpを1から0に変更するタイミングとTKBCNTnとTKBCRnmが一致するタイミングが同時になる場合, TKBTOEnpの変更が優先され, TKBTODnpで設定しているデフォルト・レベルになります。

図10 - 29 デフォルト・レベルとアクティブ・レベルのタイミング図（TKBTOEnpを1から0に変更するタイミングとTKBCNTnとTKBCRnmが一致するタイミングが同時になる場合

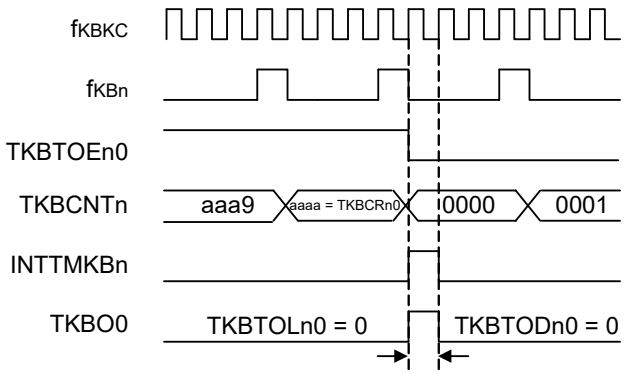


（c）TKBTOEnpの操作がタイマ・カウント・クロックの発生と同時の場合

TKBTOEnpの操作がf_{KBn}の発生と同時の場合，TKBCNTn = TKBCRnmの一致によりTKBOpがセットされます。

1 f_{KBKC}後，TKBOpは，TKBTODnpで設定しているデフォルト・レベルになります。

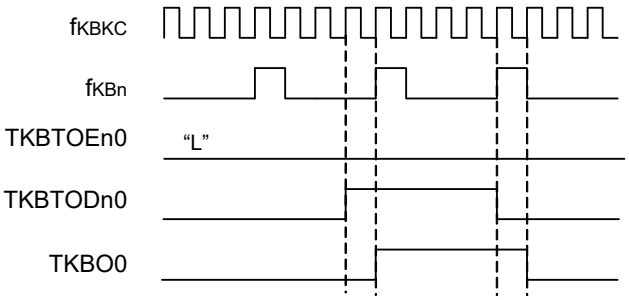
図10 - 30 デフォルト・レベルとアクティブ・レベルのタイミング図
（TKBTOEn0の操作がタイマ・カウント・クロックの発生と同時の場合）



(4)　TKBTOEnp=0でTKBTODnpを変更した場合

TKBTOEnp=0でTKBTODnpを変更した場合，1 f_{KBKC}後，TKBOpは，TKBTODnpで設定しているデフォルト・レベルになります。

図10 - 31 デフォルト・レベルとアクティブ・レベルのタイミング図
（TKBTOEn0 = 0でTKBTODn0を変更した場合）



10.4.3 動作停止と動作開始

16ビット・タイマKBの動作停止と開始はTKBCEnを制御することにより可能となります。

16ビット・タイマKBはTKBCEnを“1”から“0”にすることでリセットし動作を停止します。

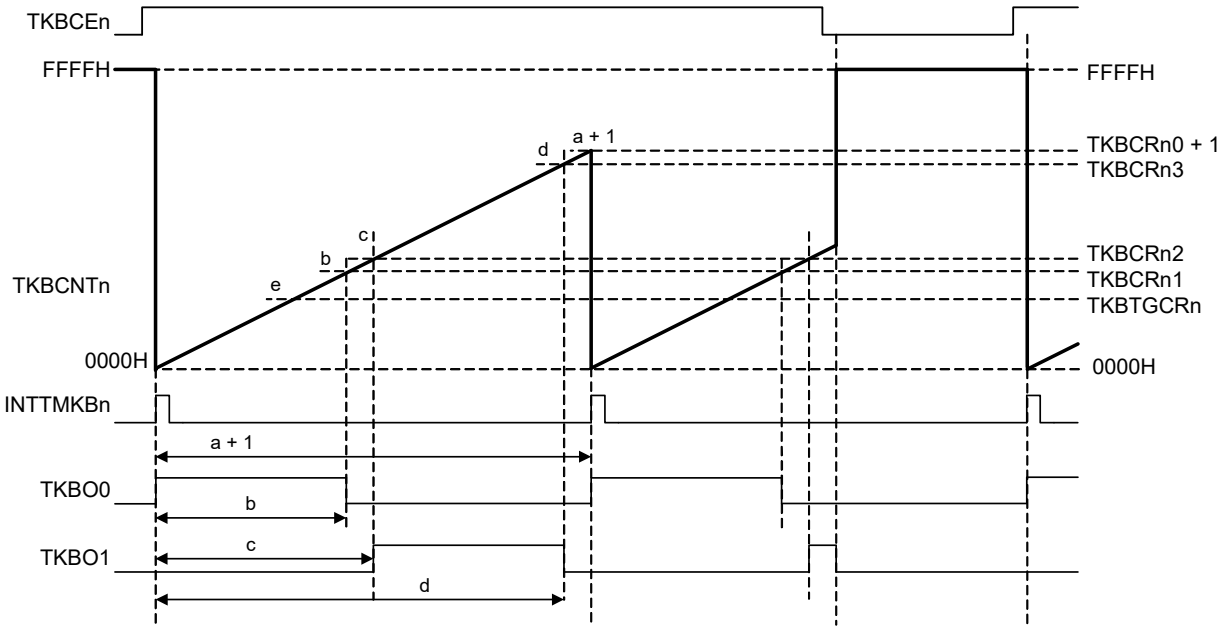
このときカウンタTKBCNTnは, FFFFHにリセットされ動作を停止します。

TKBOp出力は, TKBTODnpで設定したデフォルト・レベルを出力します。

16ビット・タイマKBはTKBCEnを“0”から“1”にすることで動作を開始します。

TKBCEn = 0のとき, カウンタTKBCNTnは, FFFFHを保持し, TKBCEnを“0”から“1”することでアップ・カウント動作を開始します。

図10 - 32 動作停止のタイミング図（TKBTOLnp = 0, TKBTODnp = 0時）

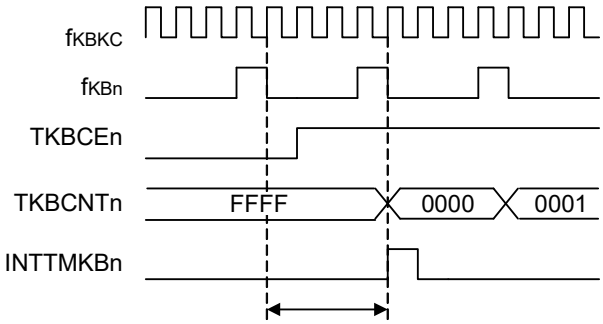


(1)　カウント動作開始タイミング

TKBCEnを“0”から“1”に変更した場合，最小1 f_{KBKC}から最大1 f_{KBn}経過後に，カウント動作を開始します。

カウント動作開始タイミングで，INTTMKBnを出力します。

図10 - 33 動作開始のタイミング図（TKBCEnを“0”から“1”に変更した場合）

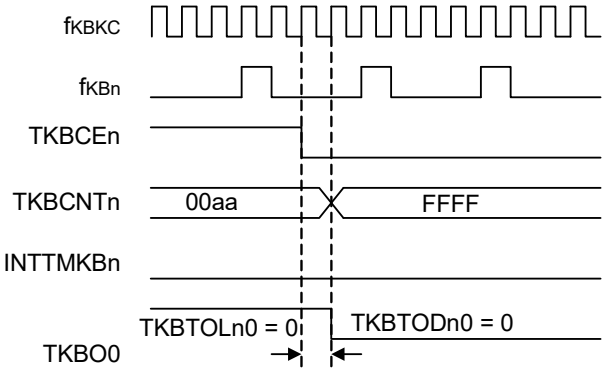


(2)　カウント動作停止タイミング

TKBCEnを“1”から“0”に変更した場合，1 f_{KBKC}経過後に，カウント動作を停止します。

TKBCNTnは，FFFFHにリセットされ，TKBOpは，TKBTODnpで設定しているデフォルト・レベルになります。

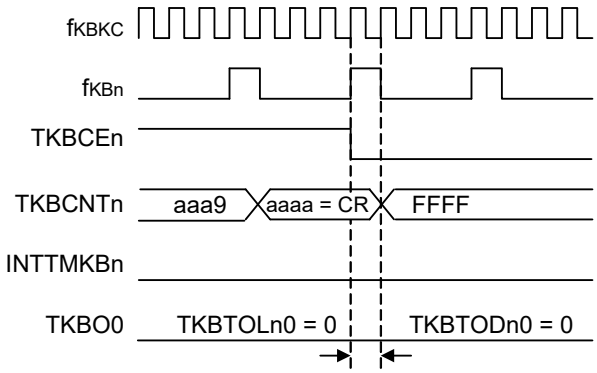
図10 - 34 動作停止のタイミング図（TKBCEnを“1”から“0”に変更した場合）



TKBCEnを“1”から“0”に変更した場合，1 f_{KBKC}経過後に，カウント動作を停止します。

f_{KBn}発生前は，TKBCNTn = TKBCRn0の一致が発生していてもINTTMKBnは出力されません。

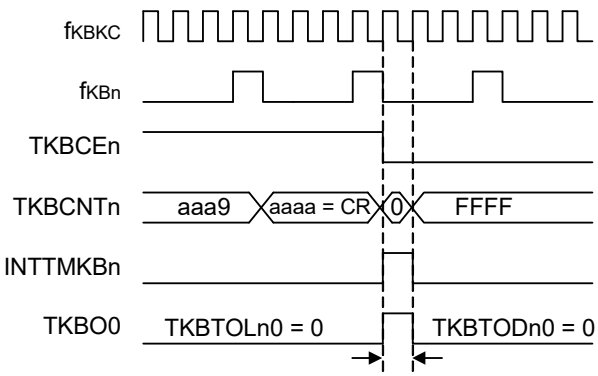
図10 - 35 動作停止のタイミング図（TKBCEnの操作がタイマ・カウント・クロック発生前の場合）



TKBCEnの操作がf_{KBKC}の発生と同時の場合，TKBCNTn = TKBCRn0の一致発生でINTTMKBnを出力し，TKBOpがセットされます。

1 f_{KBKC}経過後，TKBCNTnは，FFFFHにリセットされ，TKBOpは，TKBTODnpで設定しているデフォルト・レベルになります。

図10 - 36 動作停止のタイミング図（TKBCEnの操作がタイマ・カウント・クロックの発生と同時の場合）

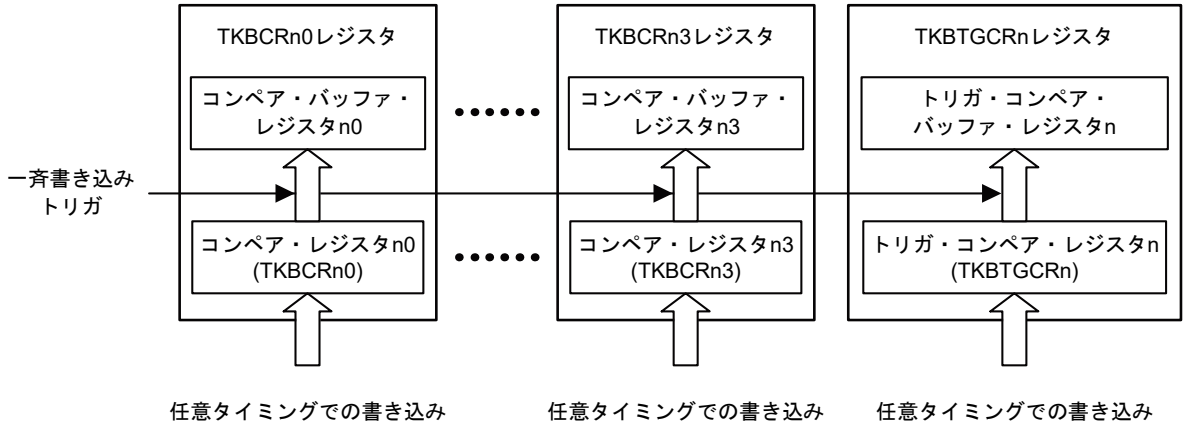


10.4.4　一斉書き込み動作

タイマKBでは，TMKBコンペア・レジスタnp（TKBCRnp）は図10 - 37に示すように二段構成になっています。

そのため，プログラムでTKBCRnpに値を設定しても，その値は直ちに有効にはなりません。TKBCRnpに任意のタイミングで設定された値は，カウント動作開始や転送トリガ時に，バッファ・レジスタに一斉に転送され，実際に比較動作で使用されます。これにより，複数のコンペア・レジスタに異なるタイミングで値を設定できるようになっています。

図10 - 37 コンペア・レジスター一斉書き換え機能



備考　TMKBコンペア・レジスタnp（TKBCRnp）はこのように二段構成になっていますが，値の書き込み以外では一つのレジスタとして扱います。

(1)　一斉書き込みのタイミング

コンペア・レジスタの一斉書き込みには次の3つの場合があります。このうち，(c)についてはレジスタ設定で制御することができます。

(a) タイマKBのカウント動作開始時

(b) 16ビット・カウンタのカウント値とTMKBコンペア・レジスタn0（TKBCRn0）に設定された値が一致した。

(c) 外部トリガによる一斉書き込み許可時に，外部トリガが発生した。

10.4.5　単体動作モード（TKBCRn0による周期制御）

(1)　機能概要

単体動作モードでは，TKBCRn0の設定値で周期を決め，TKBCRn0とTKBCRn1によりTKBO0を生成し，TKBCRn2とTKBCRn3によりTKBO1を生成します。

デューティは，0%～100%の範囲で設定可能で，周期とデューティは以下の計算式で求められます。

【TKBO0出力の計算式】

パルス周期 =（TKBCRn0の設定値＋1）×カウント・クロック周期

デューティ [%] =（TKBCRn1の設定値／（TKBCRn0の設定値＋1））×100

0%出力 ：TKBCRn1の設定値 = 0000H

100%出力 ：TKBCRn1の設定値 ≧ TKBCRn0の設定値＋1

【TKBO1出力の計算式】

デューティ [%] =（（TKBCRn3の設定－TKBCRn2の設定値）／（TKBCRn0の設定値＋1））×100

0%出力 ：TKBCRn3の設定値 = TKBCRn2の設定値

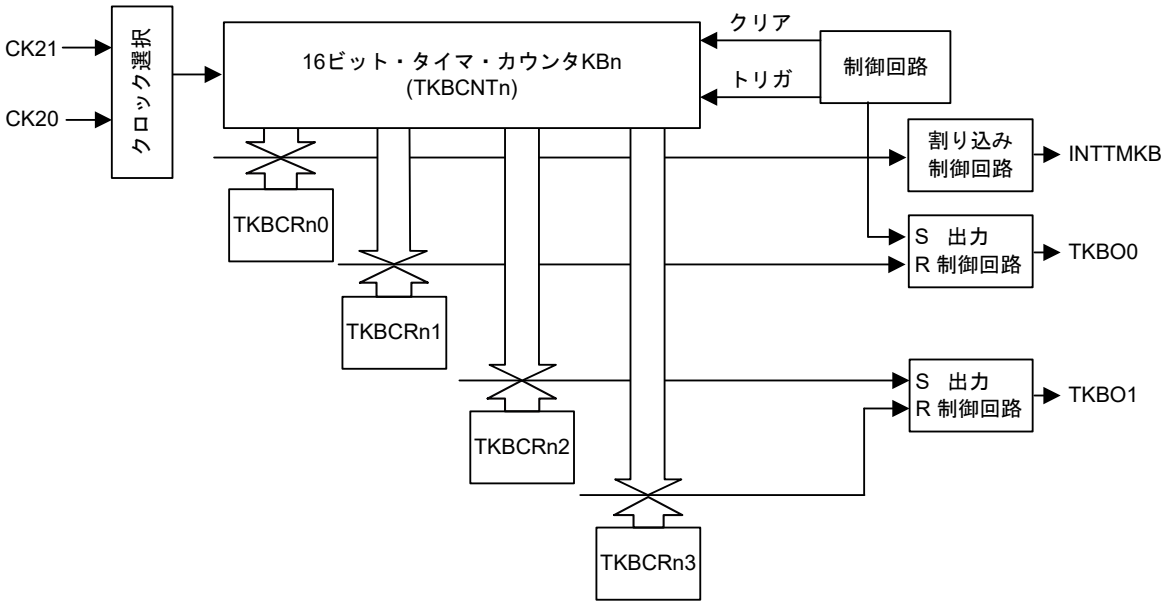
100%出力 ：TKBCRn2の設定値 = 0000H

TKBCRn3の設定値 ≧ TKBCRn0の設定値＋1

注意　必ずTKBCRn2の設定値≦ TKBCRn3の設定値としてください。

図10 - 38に単体動作時の構成図を示します。

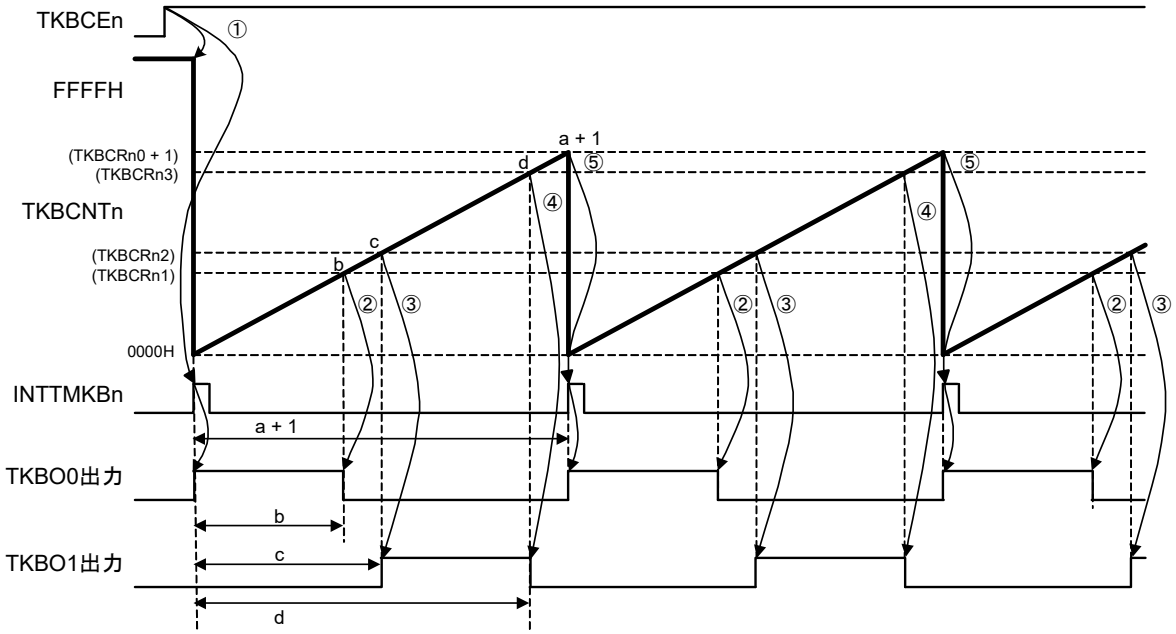
図10 - 38 単体動作時の構成図（TKBCRn0による周期制御）



(2)　動作概要

図10 - 39に単体動作タイミング例を示します。

図10 - 39 単体動作タイミング例（TKBCRn0による周期制御）（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



単体動作（TKBCR0による周期制御）の動作例について説明します。次の説明は図7 - 38の①～⑤とリンクしています。

① TKBCEnに1を設定すると，カウント・クロックに同期して16ビット・タイマ・カウンタKBn（TKBCNTn）はFFFFHから0000Hになり，アップ・カウントを開始します。同時にINTTMKBnが出力され，TKBO0出力がTKB0IOC0レジスタのTKB0TOD0ビットで指定されたデフォルト値からTKB0TOL0ビットで指定されたアクティブ値（この例ではハイ・レベル）に変化します（TKBO1出力はTKB0TOD1ビットで指定されたデフォルト値を保持しています）。

② TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn1（TKBCRn1）に設定されている値と一致すると，TKBO0出力がイン・アクティ・レベルとなります。

③ TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn2（TKBCRn2）に設定されている値と一致すると，TKBO1出力がアクティ・レベルとなります。

④ TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn3（TKBCRn3）に設定されている値と一致すると，TKBO1出力がイン・アクティ・レベルとなります。

⑤ TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn0（TKBCRn0）に設定されている値と一致すると，次のカウント・クロックでINTTMKBnが出力され，TKBO0出力がアクティ・レベルとなります。TKBCNTnは0000Hからカウント・アップします。

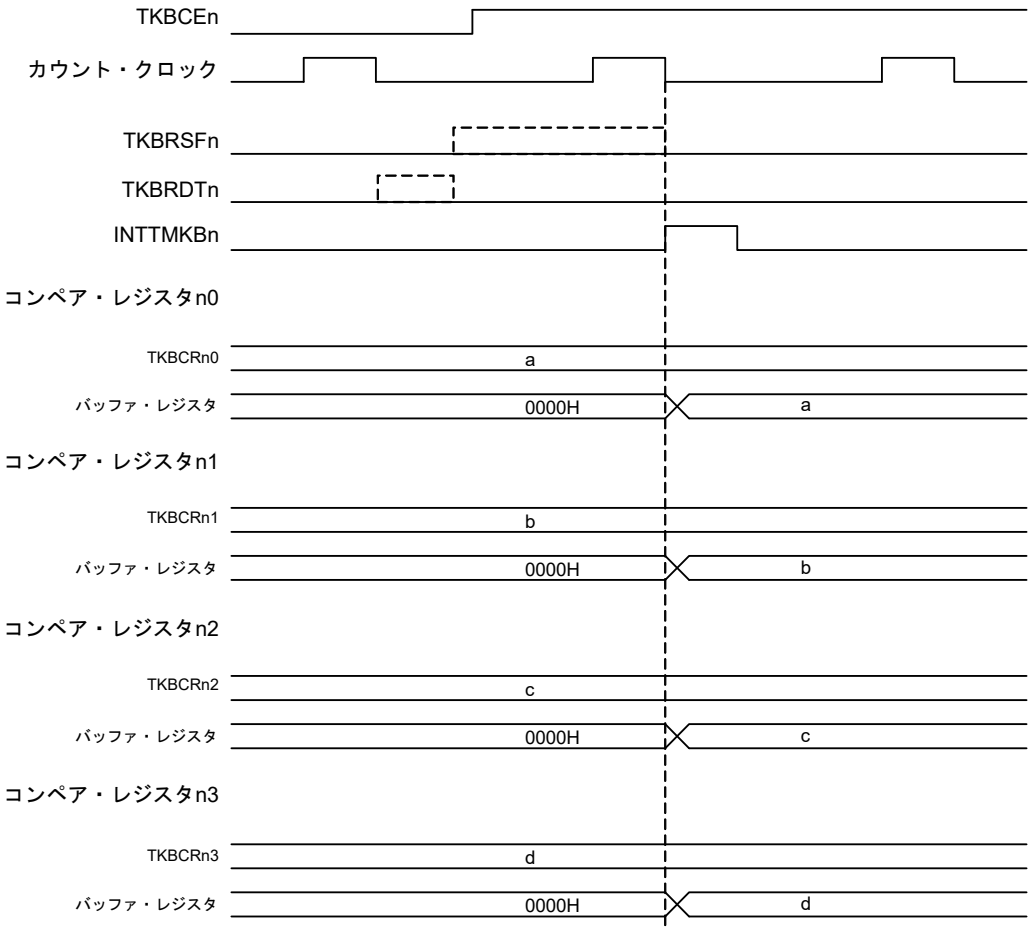
⑥ 以降②～⑤を繰り返します。

(3)　一斉書き込みの動作（カウント動作開始時）

タイマKBのコンペア・レジスタは，TKBCTLn1レジスタのTKBCEnビットへの“1”書き込み後のカウント・クロック発生によるカウンタの動作開始タイミングで，内部バッファ・レジスタを一斉に更新する機能になっています。

カウント動作開始タイミングに限り，TKBTRGnレジスタのTKBRDTnビットへ“1”を書き込まなくても一斉書き換えが発生します（図10 - 40参照）。

図10 - 40 一斉書き換え機能：カウント動作開始時のバッファ更新タイミング図



備考　TKBCEn = 0のとき，TKBRDTnに“1”を書き込むとTKBRSFnに“1”がセットされ，カウント動作開始タイミング（カウンタ・スタート・トリガ発生）でTKBRSFnが“0”にクリアされます。

(4)　一斉書き込みの動作（カウント動作中のバッファ更新）

タイマKBのコンペア・レジスタは，TKBRDTnビットへの“1”の書き込みを一斉書き換えトリガとして，次回のカウンタ・クリア（TKBCNTnとTKBCRn0の一致）のタイミングで内部バッファ・レジスタを一斉に更新するようになっています。TKBRDTnビットへの“1”書き込みから一斉書き換え完了までを示すフラグとして，TKBRSFnビットを準備しています（図10 - 41参照）。

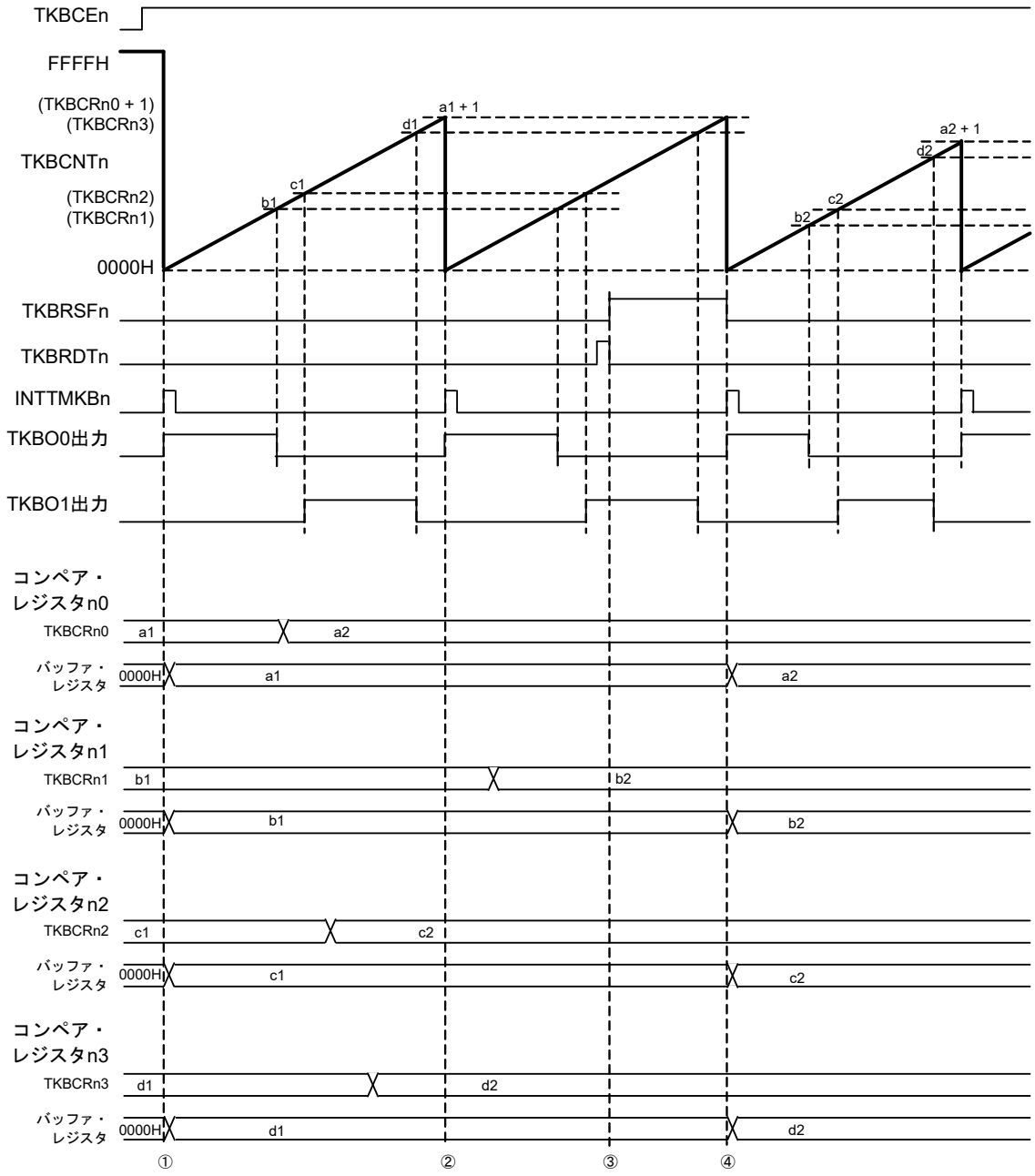
① TKBCEnビットを“0”から“1”に設定し，TKBCNTnがカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。

② TKBCRn0-3，TKBTGCRnレジスタ書き換え後，カウンタ・クリアが発生した場合であっても，TKBRDTnビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。

③ TKBRDTnビットへの“1”書き込みにより，一斉書き換え保留フラグ（TKBRSFnビット）が“1”となります。

④ TKBRSFnビットが“1”のときの，カウンタ・クリア発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSFnビットが“0”となります。

図10 - 41 一斉書き換え機能：カウント動作中のバッファ更新タイミング図



(5)　単体動作モード（TKBCRn0による周期制御）でのレジスタ設定内容例

ビット番号	15	14	13	12	11	10	9	8
TKBCTLn0	-	-	TKBSSEn1	TKBDIEn1	-	-	TKBSSEn0	TKBDIEn0
設定値	0	0	1/0	1/0	0	0	1/0	1/0

ビット番号	7	6	5	4	3	2	1	0
TKBCTLn0	TKBMFEn	-	TKBIRSn1	TKBIRSn0	-	TKBTSEn	TKBSTSn1	TKBSTSn0
設定値	0	0	0	0	0	0	0	0

ビット番号	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	-	-	TKBCKSn	-	-	TKBMDn1	TKBMDn0
設定値	1	0	0	1/0	0	0	0	0

ビット番号	7	6	5	4	3	2	1	0
TKBIOCn0	-	-	-	-	TKBTOLn	TKBTOLn0	TKBTODn1	TKBTODn0
設定値	0	0	0	0	1/0	1/0	1/0	1/0

ビット番号	7	6	5	4	3	2	1	0
TKBIOCn1	-	-	-	-	-	-	TKBTOEn1	TKBTOEn0
設定値	0	0	0	0	0	0	1/0	1/0

レジスタ	設定範囲
TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H

：このモードでは設定固定　　：設定不要（初期値を設定）

10.4.6　単体動作モード（外部トリガ入力による周期制御）

(1)　機能概要

単体動作モードは，TKBCRn0 による周期制御だけでなく，外部トリガ入力にて周期を制御することもできます。（タイマ・リスタート機能）。本機能を使用することにより，たとえば臨界導通モードのPFC制御が実現可能です。

外部トリガ入力検出は，16ビット・タイマKB動作制御レジスタn0のTKBSTSn1, TKBSTSn0ビットにより選択された入力信号を使用します。

外部トリガ入力検出により，カウンタTKBCNTnを0000Hにクリアし，TKBO0/TKBO1出力をそれぞれアクティブ・レベルとイン・アクティブ・レベルにします。外部トリガ入力検出より先に，TKBCRn0に設定されている値とカウンタ（TKBCNTn）の値の一致が発生した場合は，カウンタは0000Hにクリアされ動作を継続します。

外部トリガ入力が未検出で，TKBCRn0 により周期制御した場合の TKBO0/TKBO1 出力の計算式は，10.4.5単体動作モード（TKBCRn0による周期制御）を参照してください。

外部トリガ入力検出により周期制御した場合のTKBO0/TKBO1出力の計算式は，以下のとおりです。

【TKBO0出力の計算式】

パルス周期 =（外部トリガ入力検出時のカウンタ値＋1）× カウント・クロック周期

デューティ [%] =（TKBCRn1の設定値／（外部トリガ入力検出時のカウンタ値＋1））× 100

0%出力　：TKBCRn1の設定値 = 0000H

100%出力 ：TKBCRn1の設定値 ≧ 外部トリガ入力検出時のカウンタ値＋1

【TKBO1出力の計算式】

パルス周期 =（外部トリガ入力検出時のカウンタ値＋1）× カウント・クロック周期

デューティ [%] =（（TKBCRn3の設定値－TKBCRn2の設定値）／（外部トリガ入力検出時のカウンタ値＋1））× 100

0%出力　：TKBCRn3の設定値 = TKBCRn2の設定値

100%出力 ：TKBCRn2の設定値 = 0000H

TKBCRn3の設定値 ≧ 外部トリガ入力検出時のカウンタ値＋1

注意 必ずTKBCRn2の設定値≦ TKBCRn3の設定値としてください。

図10 - 42に単体動作時（外部トリガ入力による周期制御）の構成図を示します。

図10 - 42 単体動作時の構成図（外部トリガ入力による周期制御）

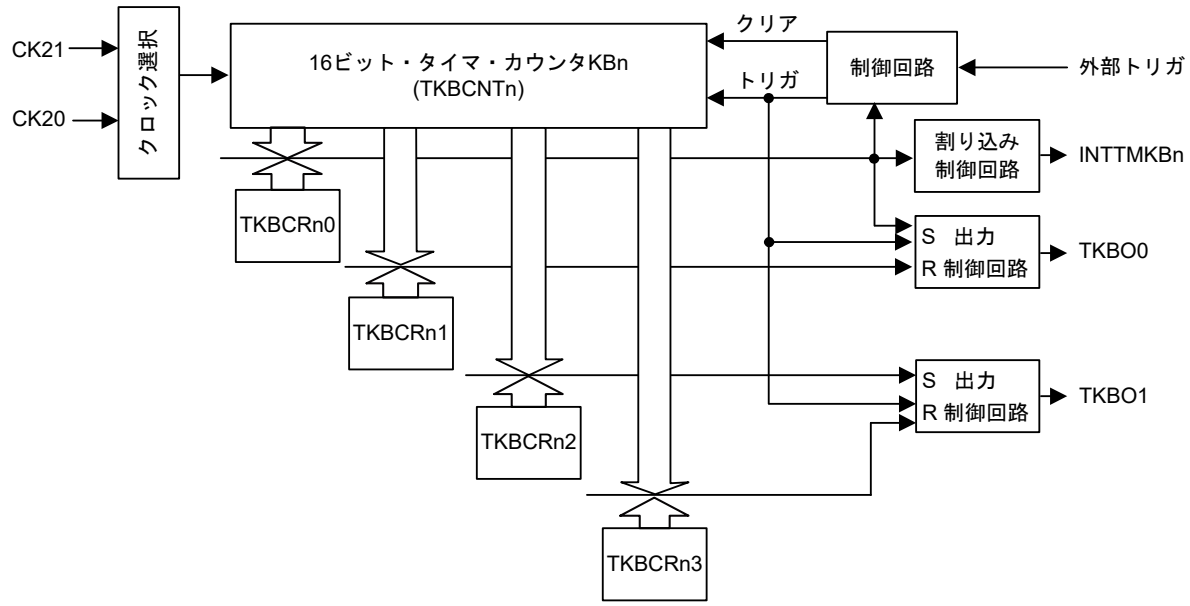


表10 - 3 単体動作（外部トリガ入力による周期制御）の外部トリガ割り当て一覧

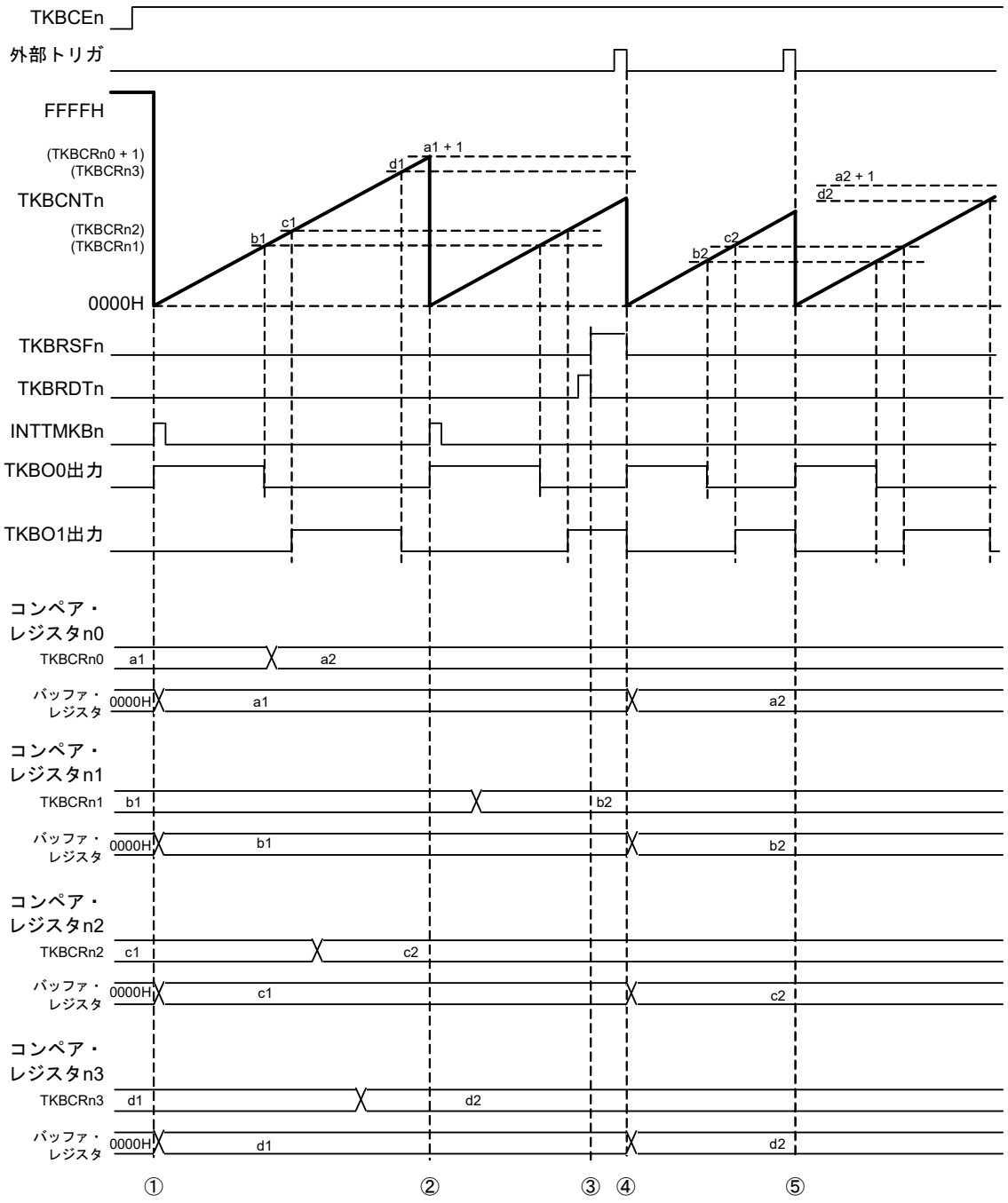
	タイマKB0
コンパレータ0	○
コンパレータ1	○
INTP10	○
INTP11	○

(2)　一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新（TKBTSEnビットを1に設定））

外部トリガ入力による周期制御での単体動作時に，TKBCTLn0 レジスタの TKBTSEn ビットを “1” に設定することで，TKBRDTn ビットへの “1” 書き込み後の外部トリガ入力検出タイミングで，カウンタのクリア，およびコンペア・レジスター一斉書き換えを実施することができます。カウンタ・クリア同様，TKBRDTn ビットへの “1” 書き込み後に，外部トリガ入力検出より先にTKBCRn0とカウンタ（TKBCNTn）の一致が発生した場合も，一斉書き換えが実施されます。外部トリガ入力要因はTKBCTLn0 レジスタの TKBSTSn1,TKBSTSn0 ビットで選択します。TKBTSEn ビットを “1” に設定した場合の一斉書き込みの動作タイミングの例を図10 - 43に示します。

① TKBCEn ビットを “0” から “1” に設定し，TKBCNTn がカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
② TKBCRn0-TKBCRn3, TKBTGCRn レジスタ書き換え後，カウンタ・クリアが発生した場合であっても，TKBRDTn ビットへ “1” を書き込んでいなければ一斉書き換えは発生しません。
③ TKBRDTn ビットへの “1” 書き込みにより，一斉書き換え保留フラグ（TKBRSFn ビット）が “1” となります。
④ TKBTSEn ビットが “1” に設定されて，TKBRSFn ビットが “1” 時の，外部トリガ入力によるカウンタ・クリア発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSFn ビットが “0” となります。
⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても，TKBRDTn ビットへ “1” を書き込んでいなければ一斉書き換えは発生しません。

図10 - 43 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，
カウント動作中のバッファ更新タイミング図（TKBTSEnビットを1に設定）



(3)　一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新（TKBTSEnビットを0に設定））

外部トリガ入力による周期制御での単体動作時に，TKBCTLn0 レジスタの TKBTSEn ビットを “0” に設定した場合の例です。この場合には，TKBRDTnビットに“1”が書き込まれて，一斉書き換え保留フラグ（TKBRSFn ビット）が “1” の状態で外部トリガ入力を検出すると，カウンタのクリアは行われますが，コンペア・レジスター斉書き換えは行いません。

外部トリガ入力要因はTKBCTLn0 レジスタのTKBSTSn1, TKBSTSn0 ビットで選択します。TKBTSEnビットを“0”に設定した場合の一斉書き込みの動作タイミングの例を図10 - 44に示します。

① TKBCEnビットを“0”から“1”に設定し，TKBCNTnがカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。

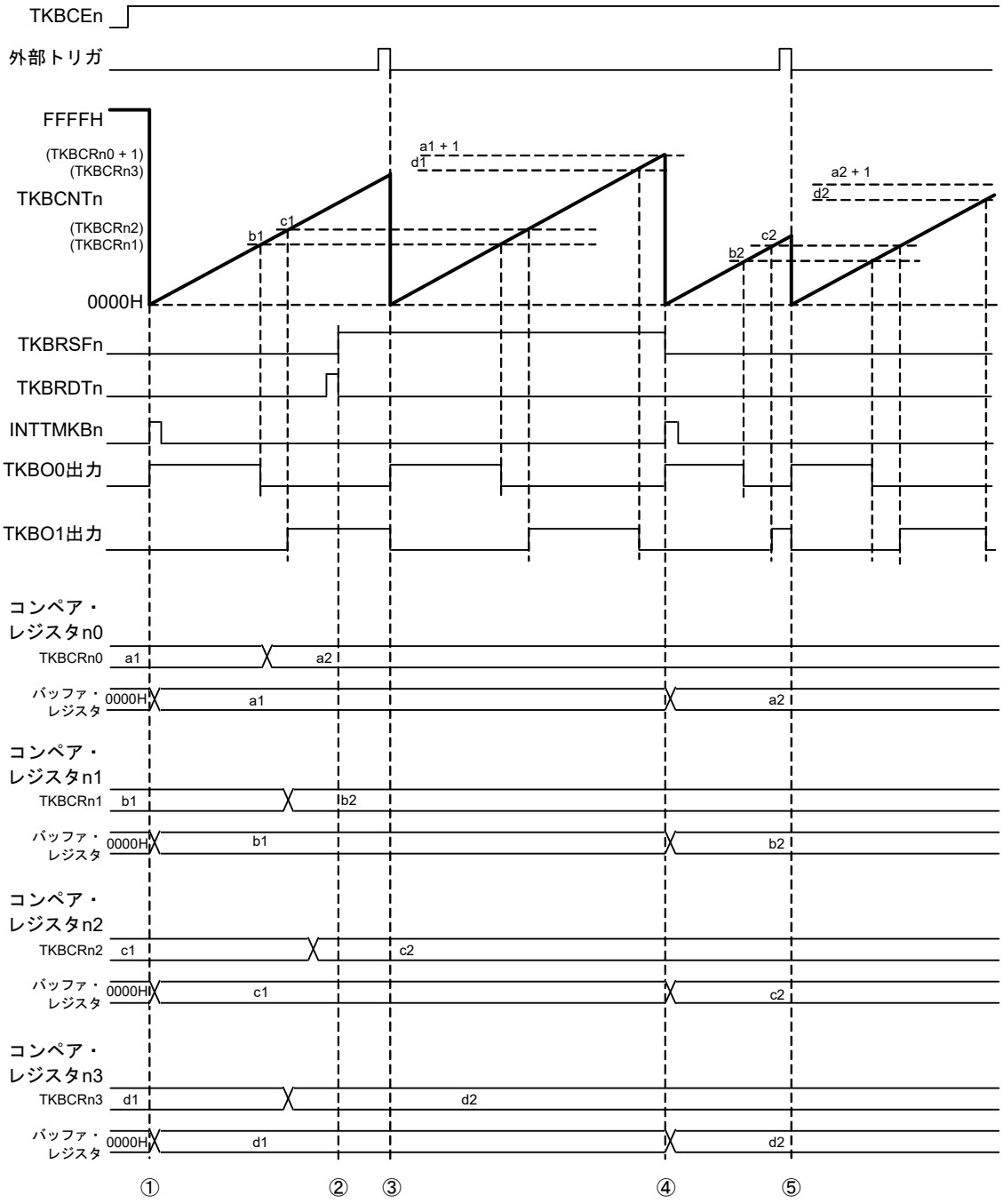
② TKBCRn0-3，TKBTGCRnレジスタ書き換え後，TKBRDTnビットへの“1”書き込みにより，一斉書き換え保留フラグ（TKBRSFnビット）が“1”となります。

③ 外部トリガ入力により，カウンタ・クリアが発生した場合であっても，TKBTSEnビットが“1”になっていなければ一斉書き換えは発生しません。

④ TKBRSFnビットが“1”の状態で，カウンタ・クリア（TKBCNTnとTKBCRn0 の一致）が発生すると，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSFn ビットが “0” となります。

⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても，TKBTSEn ビットとTKBRSFnビットが“1”の状態でなければ一斉書き換えは発生しません。

図10 - 44 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，
カウント動作中のバッファ更新タイミング図（TKBTSEnビットを0に設定）



(4)　単体動作モード（外部トリガ入力による周期制御）でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	-	-	TKBSSEn1	TKBDIEn1	-	-	TKBSSEn0	TKBDIEn0
	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TKBMFEn	-	TKBIRSn10	TKBIRSn00	-	TKBTSEn	TKBSTSn1	TKBSTSn0
	1/0	0	0	0	0	1/0	1/0	1/0
	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	-	-	TKBCKSn	-	-	TKBMDn1	TKBMDn0
	1/0	0	0	1/0	0	0	0	0
	7	6	5	4	3	2	1	0
TKBIOCn0	-	-	-	-	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
	0	0	0	0	1/0	1/0	1/0	1/0
	7	6	5	4	3	2	1	0
TKBIOCn1	-	-	-	-	-	-	TKBTOEn1	TKBTOEn0
	0	0	0	0	0	0	1/0	1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH

：このモードでは設定固定　　：設定不要（初期値を設定）

10.4.7　インターリーブPFC（Power Factor Correction）出力モード

電源の高調波電流を抑制するPFC回路を制御する信号をインターリーブ出力できるモードです。

インターリーブPFC回路はシングルPFC回路に比べ，入力ピーク電流を抑制できるため，部品の小型化や電源装置の大電力化を図ることができます。

インターリーブPFC制御には2本のゼロ電流検出用入力とスイッチング用の2本のPWM出力が必要です。

TMKBはインターリーブPFC制御を外部割込み入力INTP10-タイマ出力TKBO0, 外部割込み入力INTP11-タイマ出力TKBO1の組み合わせで実現します。

INTP10の信号入力に応じてTKBO0がパルス出力を行い, INTP11の信号入力に応じてTKBO1がパルス出力を行います。

このとき，TKBO0出力タイミングを基準として，TKBO1出力が180度位相ずれとなるように制御します。

備考　シングルPFC制御は単体動作モード(外部入力トリガによる周期制御)で実現することができます。
詳しくは10.4.6単体動作モード（外部トリガ入力による周期制御）を参照してください。

TKBCRn0により，外部入力INTP10が検出されない場合のタイマKBnのリスタート周期を設定します。

TKBCRn1により，TKBO0出力のアクティブ幅を設定します。

TKBCRn3により，TKBO1出力のアクティブ幅を設定します。

備考　インターリーブPFC（Power Factor Correction）出力モードではTKBCRn2は使用しません。

TKBTOLn0ビットとTKBTODn0ビット, TKBTOLn1ビットとTKBTODn1ビットの設定値を同じ値に設定してください。これによりデフォルト・レベルがロウ・レベル（ハイ・レベル）のとき，アクティブ・レベルをハイレベル（ロウ・レベル）となるようにします。

【TKBO0出力とTKBO1出力の計算式】

パルス周期（Max）注1 = （TKBCRn0の設定値＋1）×カウント・クロック周期

TKBO0出力のアクティブ幅 = TKBCRn1の設定値×カウント・クロック周期

TKBO1出力のアクティブ幅 = TKBCRn3の設定値×カウント・クロック周期

TKBO1出力時の位相ずれ幅注2= INT[（前周期幅－1）注3/2+1]×カウント・クロック周期

注1.　外部割り込み入力INTP10が検出されない場合のタイマKBnのリスタート周期となります。

注2.　条件No.7の場合を除く。

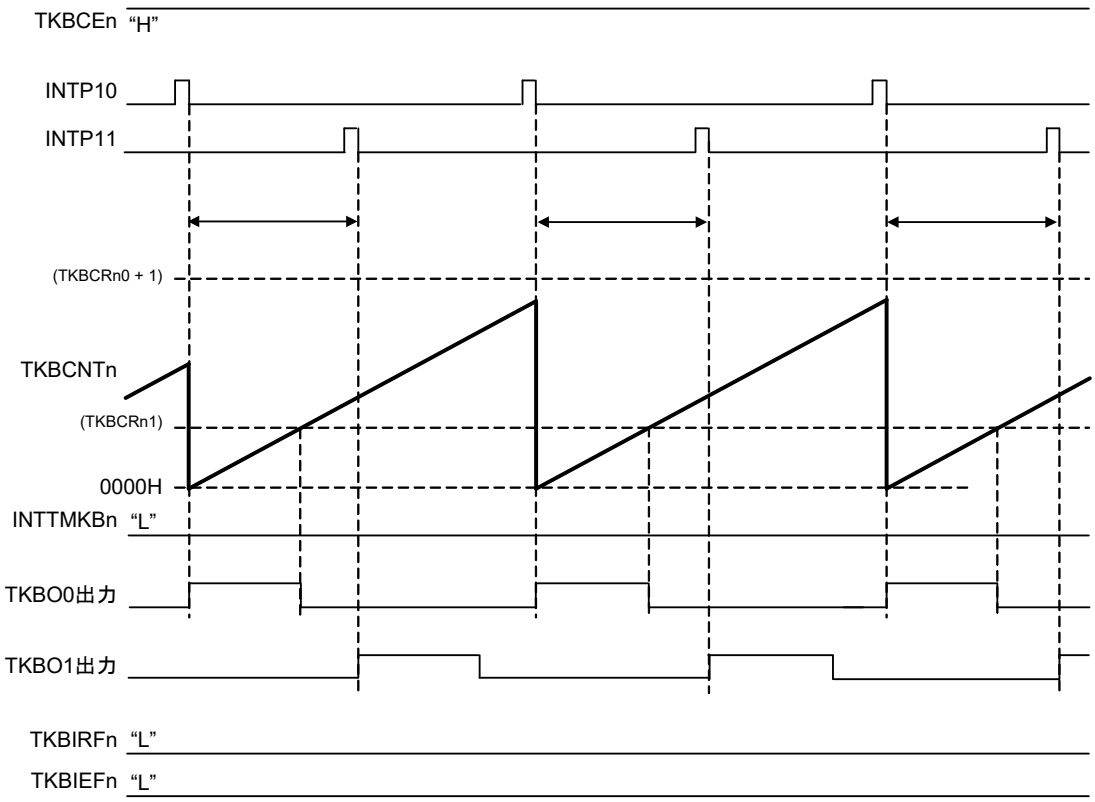
注3.　条件No.1の場合はTKBCRn0の設定値

インターリーブPFCモード基本動作の概要を図10 - 45に示します。インターリーブPFCモード基本動作では，INTP10をトリガとして，TKBCNTnはクリアされて0000Hからカウント・アップします。このとき，TKBO0はアクティブ・レベルとなり，TKBCRn1レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

INTP10と位相がずれたINTP11によるトリガでTKBO1はアクティブ・レベルとなり，TKBCRn3レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

TKBCNTnがTKBCRn0レジスタの設定値と一致する前に次のINTP10が入力されて，上記の動作を繰り返していきます。

図10 - 45 インターリーブPFCモード基本動作の動作概要
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



(1)　インターリーブPFCにおけるTKBO1の出力条件

TKBO1の出力には出力条件があり，下記の表に従って制御されます。

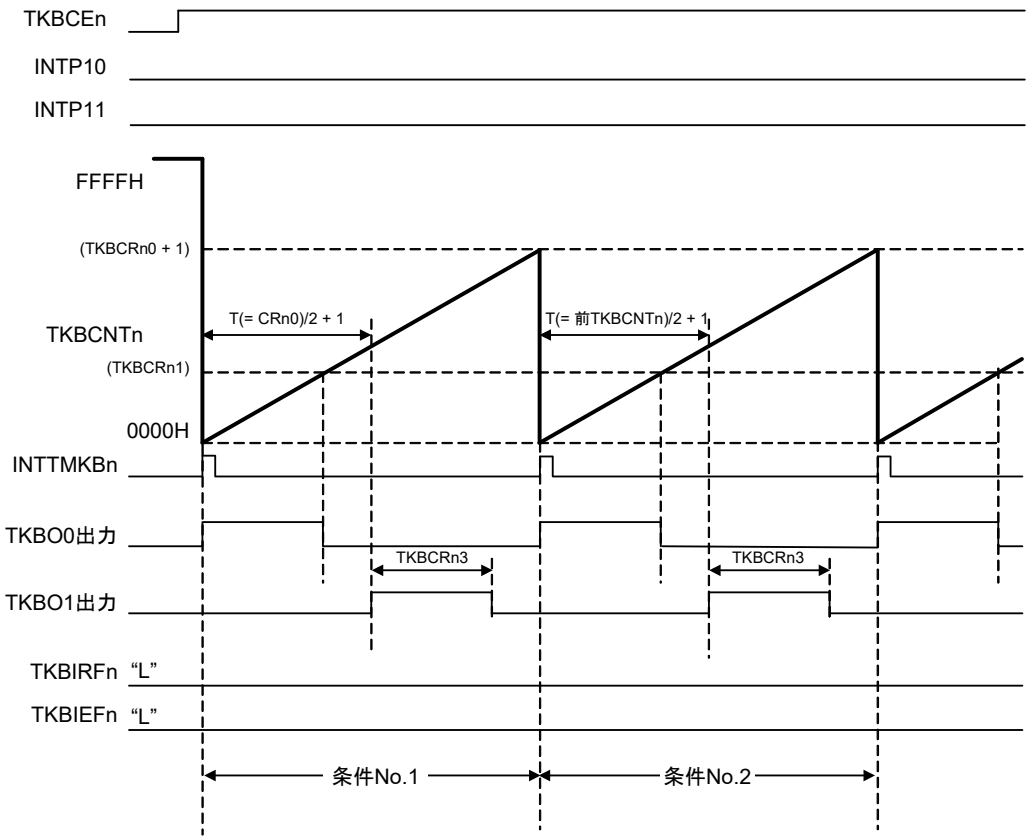
条件No	判定状態1（INTP10入力）	判定状態2（CR0との一致/INTP11入力）	判定状態3（周期幅）	出力状態
1	1周期目（CR0設定値をTとして波形を生成する。）	－	－	T/2で出力
2	INTP10入力未検出	CNTnとCRn0との一致発生（INTP11入力検出は無視する）	次の周期がT/2以上の場合	T/2で出力
3	↑	↑	次の周期がT/2以下の場合	状態保持
4	No.3の次の周期	－	－	T/2で出力
5	INTP10入力検出（1回目）注1	－	－	T/2で出力
6	INTP10入力検出（2回目以降）注2	INTP11検出（前TKBO1立ち下がりエッジ～T/2の範囲）	－	T/2で出力
7	INTP10入力検出（2回目以降）注2	INTP11検出（T/2～T/2＋T/(TKBIRSn1-TKBIRSn0の設定値)の範囲）	－	トリガ入力で出力
8	INTP10入力検出（2回目以降）注2	INTP11検出（T/2＋T/(TKBIRSn1-TKBIRSn0の設定値)の範囲以降）	－	状態保持
9	No.8の次の周期	－	－	T/2で出力
10	INTP10入力検出	－	次の周期がT/2以下の場合	状態保持
11	No.10の次の周期	－	－	T/2で出力

注1.　INTP10入力検出(1回目)とは，前の周期がINTP10入力検出によりクリアされなかった場合を意味します。

注2.　INTP10入力検出(2回目以降)とは，前の周期がINTP10入力検出によりクリアされた場合を意味します。

以下に，「条件No.」ごとの波形図を記載します。

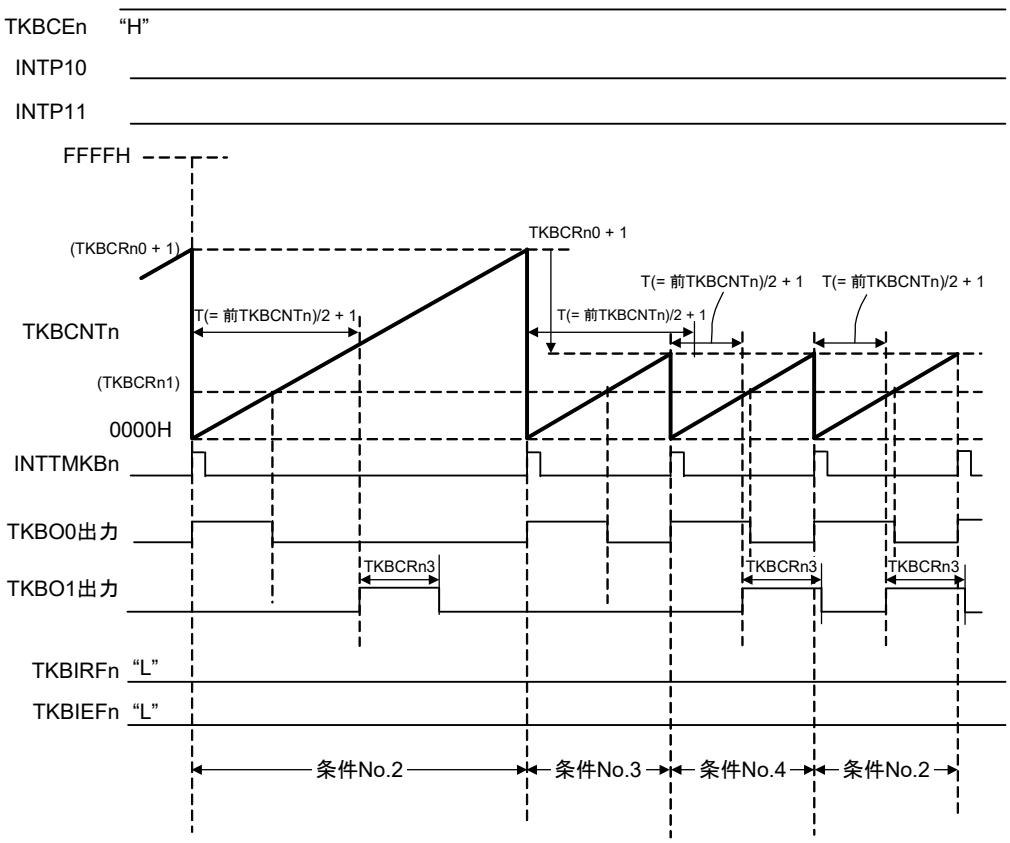
図10 - 46 インターリーブPFCモードのタイミング図（条件No.1～No.2の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.1　TKBCEn = 1設定後の1周期目だけは, TKBCRn0を“T”としてT/2でTKBCRn3の設定幅のTKBO1を出力します。

条件No.2　2周期目は, 前の周期のT/2でTKBCRn3の設定幅のTKBO1を出力します

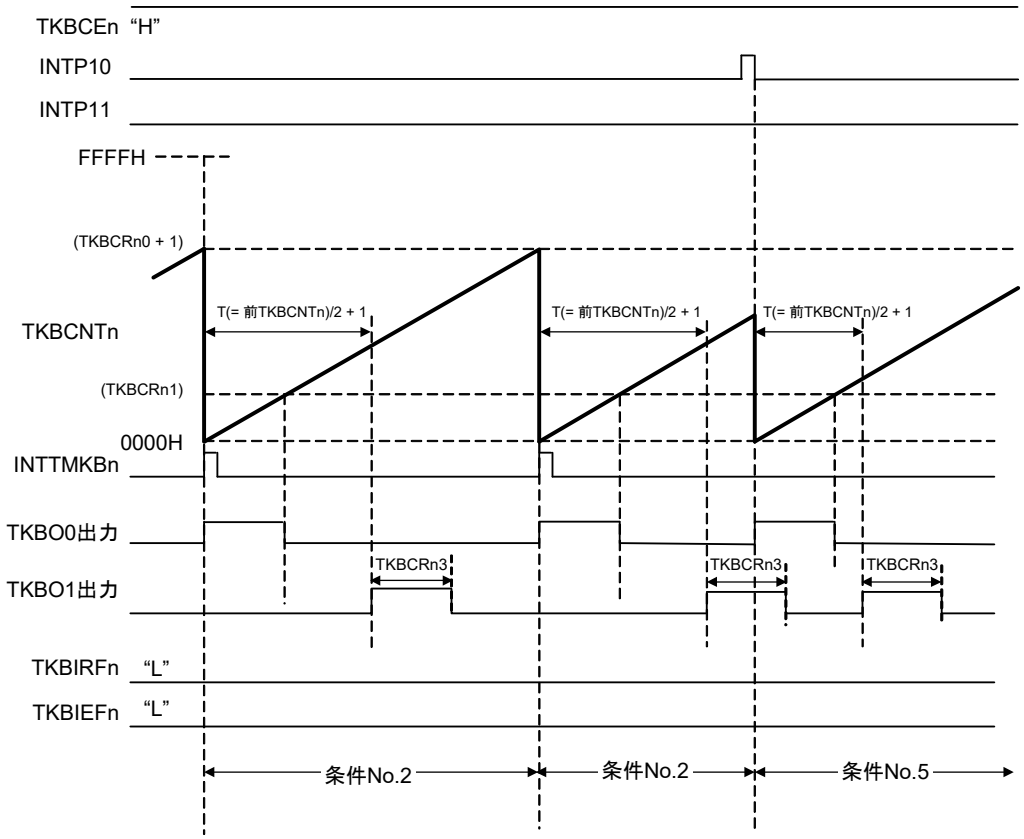
図10 - 47 インターリーブPFCモードのタイミング図（条件No.3～No.4の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.3　前の周期のT/2を確保できず，TKBO1は状態を保持。

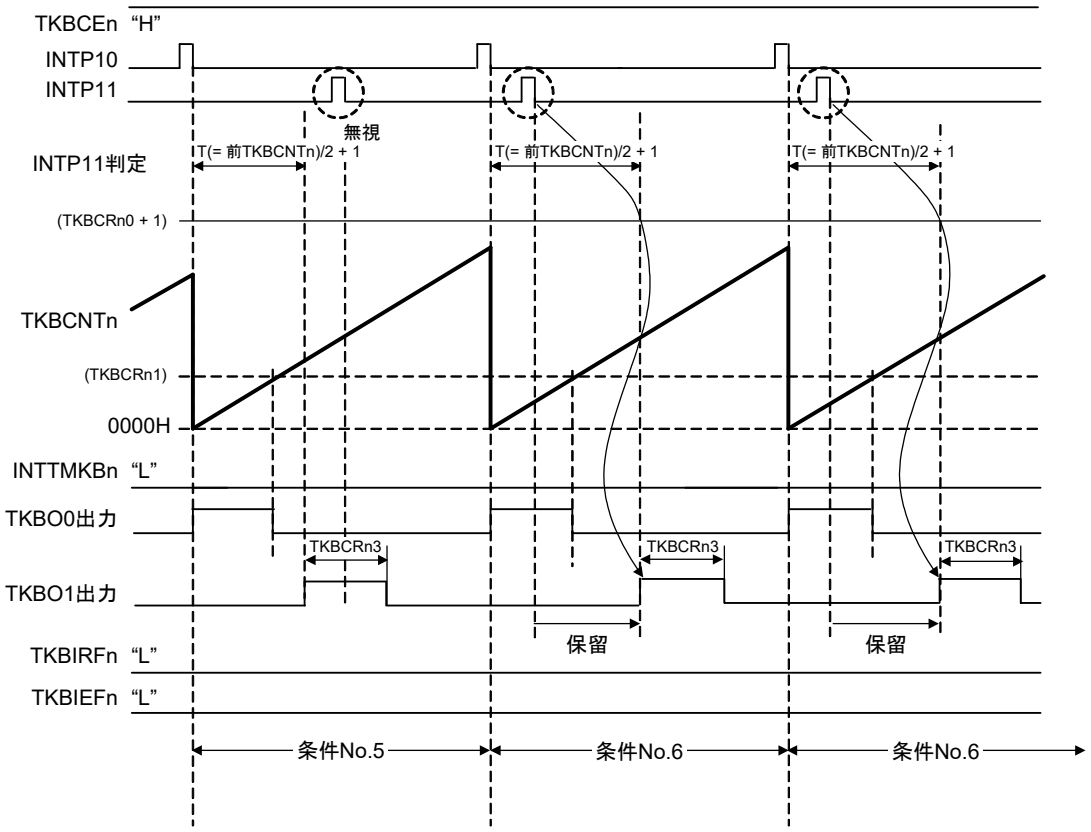
条件No.4　前の周期のT/2でTKBCRn3の設定幅のTKBO1を出力する。

図10 - 48 インターリーブPFCモードのタイミング図（条件No.5の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



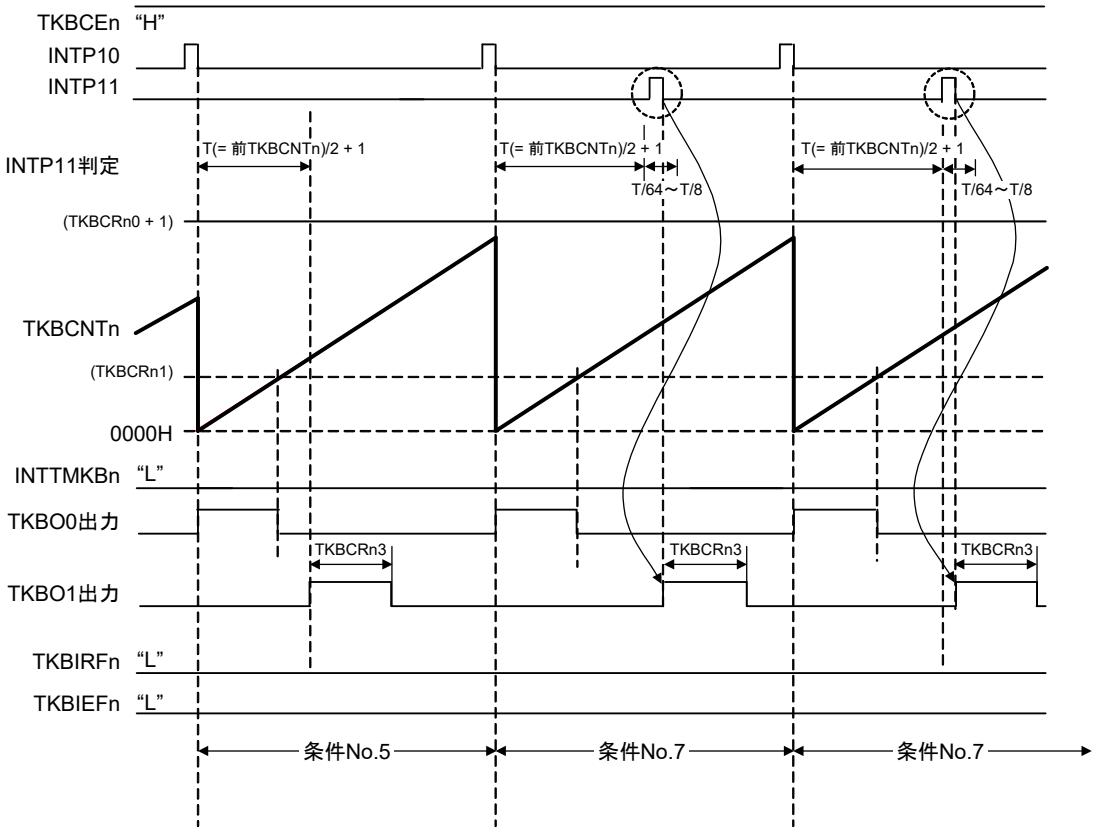
条件 No.5　TKBCEn = 1 設定後の最初に検出した INTP10 は , 前の周期の T/2 で TKBCRn3 の設定幅の TKBO1 を出力します。INTP11 の検出/未検出によりません。

図10 - 49 インターリーブPFCモードのタイミング図（条件No.6の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



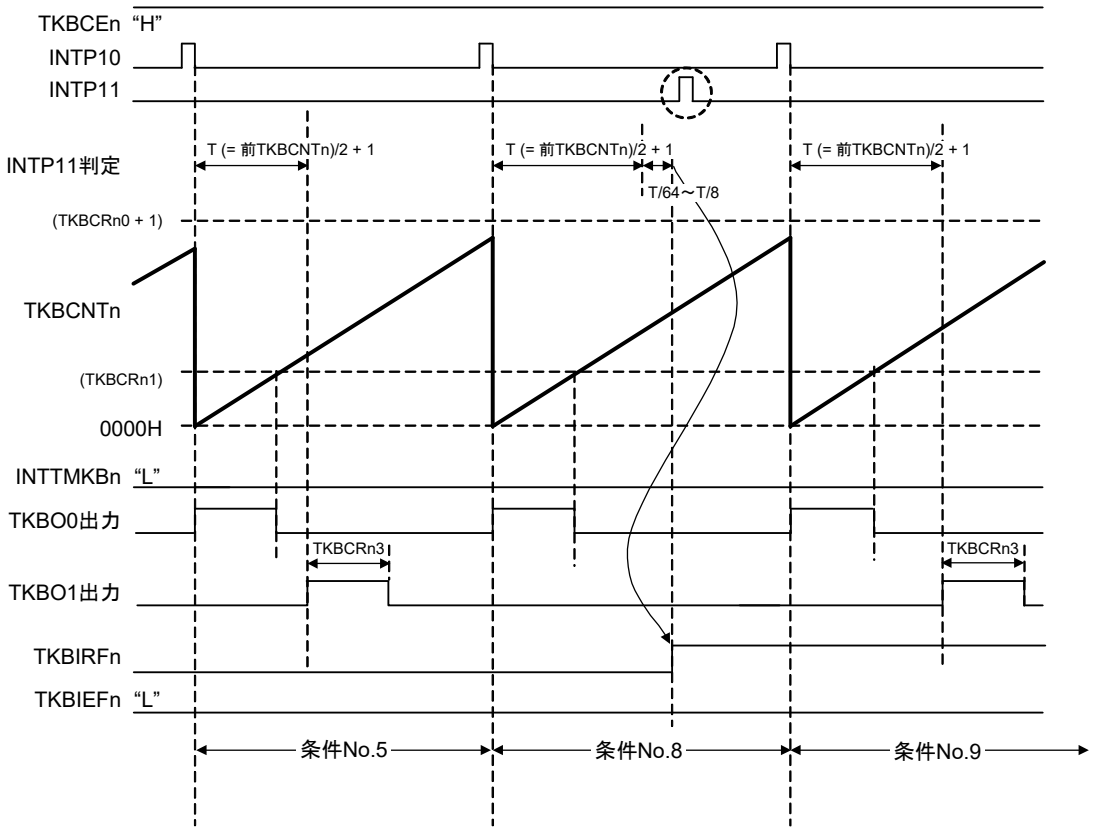
条件No.6　INTP11の入力が前の周期のT/2内であるため, 前の周期のT/2でTKBCRn3の設定幅のTKBO1を出力します。

図10 - 50 インターリーブPFCモードのタイミング図（条件No7の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.7　INTP10検出後，前の周期のT/2以上，前の周期のT/2＋T/m（mは，8, 16, 32, 64 : TKBIRSn1, TKBIRSn0で設定）以内にINTP11検出するとTKBCRn3の設定幅のTKBO1を出力します。

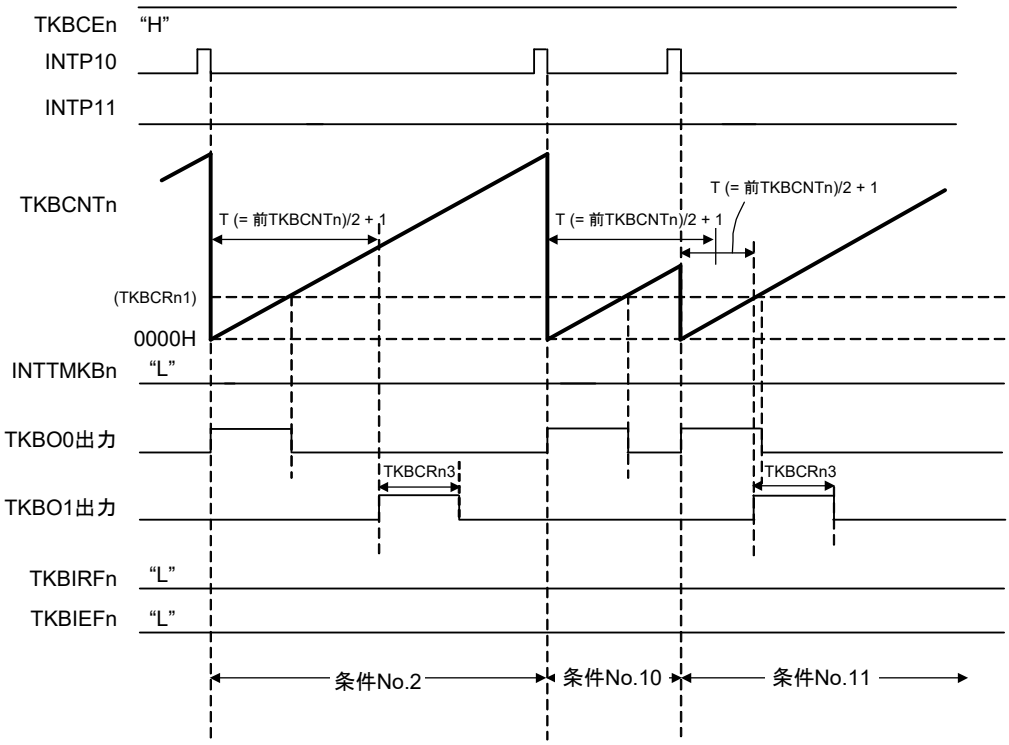
図10 - 51 インターリーブPFCモードのタイミング図（条件No8～No.9の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.8　前の周期のT/2＋T/m（mは8, 16, 32, 64：TKBIRSn1, TKBIRSn0で設定）以内にINTP11が検出されなかった場合，TKBO1は状態を保持します。このとき，TKBIRFnが“1”にセットされます。

条件No.9　前の周期のT/2でTKBCRn3の設定幅のTKBO1を出力します。

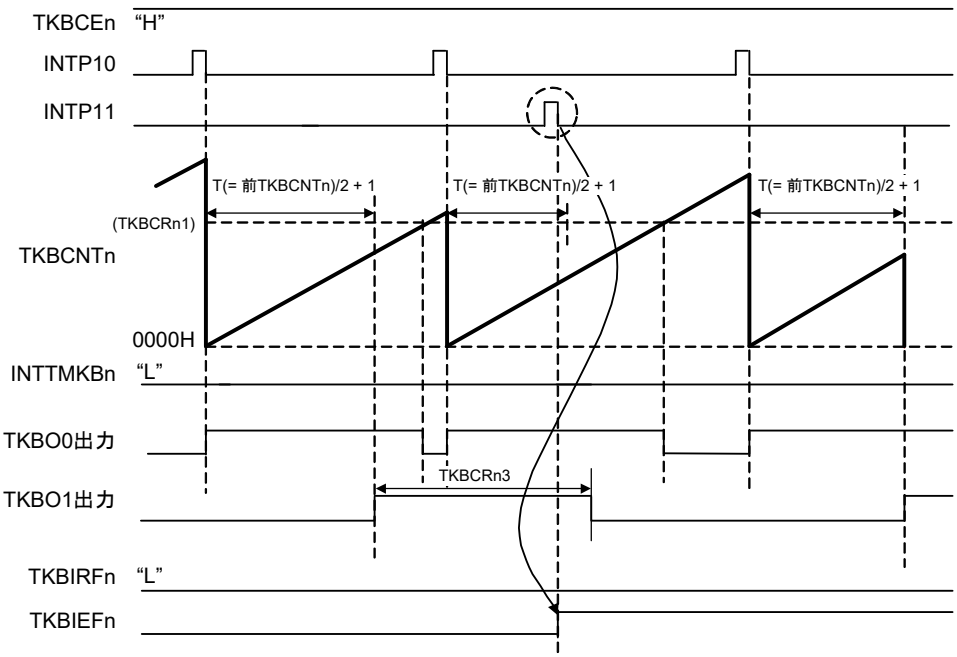
図10 - 52 インターリーブPFCモードのタイミング図（条件No.10～No.11の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.10　前の周期のT/2を確保できず, TKBO1は状態を保持します。

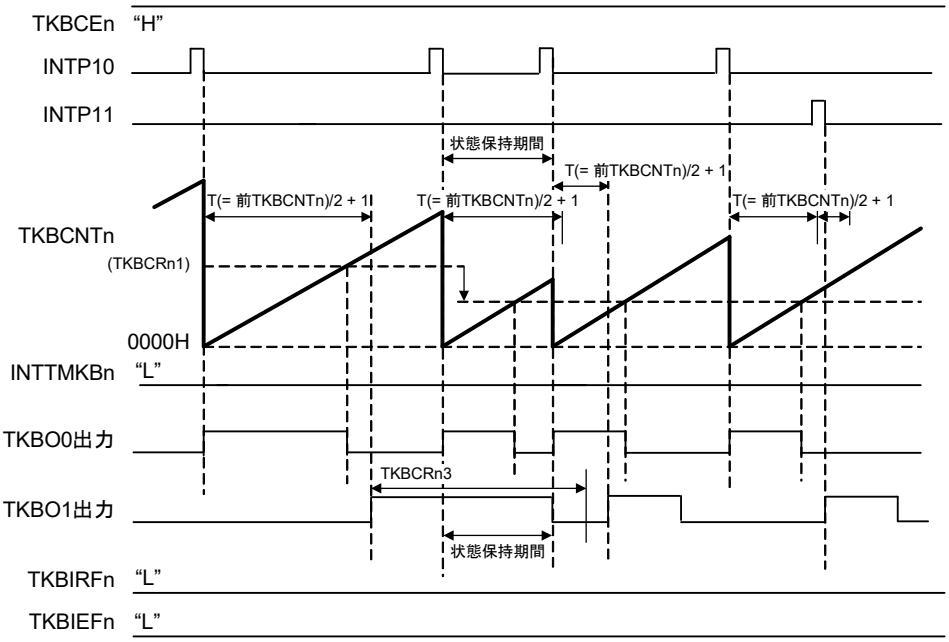
条件No.11　前の周期のT/2でTKBCRn3の設定幅のTKBO1を出力します。

図10 - 53 インターリーブPFCモードのタイミング図（TKBO1出力中にINTP11入力が検出された場合）



前の周期のTKBO1出力中に，INTP11入力が検出された場合，このトリガを無視します。このとき，TKBIEFnが“1”にセットされます。

図10 - 54 インターリーブPFCモードのタイミング図（TKBO1の出力が前回の出力幅で, 状態保持期間を超える場合）



TKBO1出力の前回の出力幅が長く, 状態保持期間を超える場合は, 状態保持期間を完了した次の周期の開始タイミングで強制的にデフォルト出力とします。

(2)　インターリーブPFC出力モードでのレジスタ設定一覧

ビット番号	15	14	13	12	11	10	9	8
TKBCTLn0	-	-	TKBSSEn1	TKBDIEn1	-	-	TKBSSEn0	TKBDIEn0
設定値	0	0	0	0	0	0	0	0

ビット番号	7	6	5	4	3	2	1	0
TKBCTLn0	TKBMFEn	-	TKBIRSn1	TKBIRSn0	-	TKBTSEn	TKBSTSn1	TKBSTSn0
設定値	1/0	0	1/0	1/0	0	1	0	0

ビット番号	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	-	-	TKBCKSn	-	-	TKBMDn1	TKBMDn0
設定値	1	0	0	1/0	0	0	1	1

ビット番号	7	6	5	4	3	2	1	0
TKBIOCn0	-	-	-	-	TKBTOLn	TKBTOLn0	TKBTODn1	TKBTODn0
設定値	0	0	0	0	1/0	1/0	1/0	1/0

ビット番号	7	6	5	4	3	2	1	0
TKBIOCn1	-	-	-	-	-	-	TKBTOEn1	TKBTOEn0
設定値	0	0	0	0	0	0	1/0	1/0

レジスタ	設定範囲
TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH

：このモードでは設定固定　　：設定不要（初期値を設定）

10.5　16ビット・タイマKB0のオプション機能

タイマKB0にはオプション機能を付加することができます。

タイマKB0の各動作モードに対する選択可能なオプションを次の表に示します。

動作モード		単体動作モード		インターリーブPFC出力モード
動作モードにおける周期制御方法		TKBCR0mで周期制御	トリガで周期制御	INTP10/TKBCR0mで周期制御
オプション機能	トリガ信号出力機能	○	○	○
	PWM出力ディザリング機能	○	×	×
	PWM出力ソフト・スタート機能	○	×	×
	最大周波数リミット機能	×	○	○

備考1. m = 0-3

備考2. 動作仕様の詳細は，10.4.2　デフォルト・レベルとアクティブ・レベル，10.4.3　動作停止と動作開始を参照してください。

10.5.1 トリガ出力機能

16 ビット・タイマKB トリガ・コンペア・レジスタ n (TKBTGCRn) を設定することによりタイマKBn トリガ出力信号を生成することができます。このトリガ出力信号は，ELCのイベント入力信号(ELSELR17)として使用することができます。

TKBCNTn とTKBTGCRn の一致検出により，タイマKBn トリガ出力信号を出力し，TKBCRnm の設定周期に対して任意のタイミングでトリガ出力が可能です。タイマKBn トリガ出力信号の出力幅は，タイマ・クロックの1クロック幅です。PWM出力周期スタートからのトリガ出力タイミングは次の計算式により求められます。

トリガ出力タイミング = TKBTGCRnの設定値×カウント・クロック周期

注意 TKBCRn0<TKBTGCRnのとき，タイマKBn トリガ出力信号は出力されません。

図10 - 55 単体動作モード(TKB0CR0による周期制御)でのトリガ出力機能

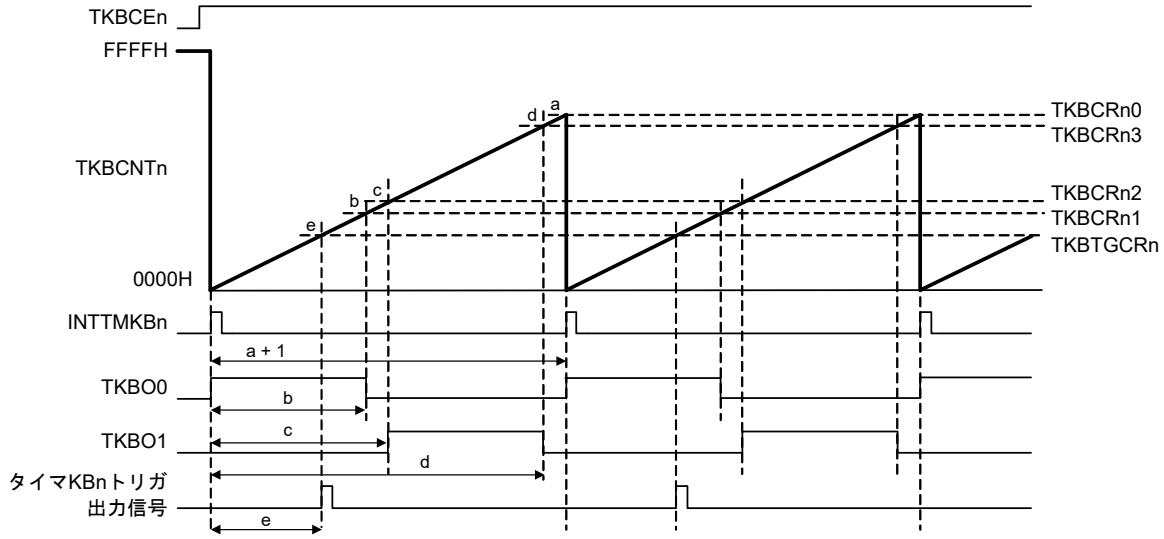
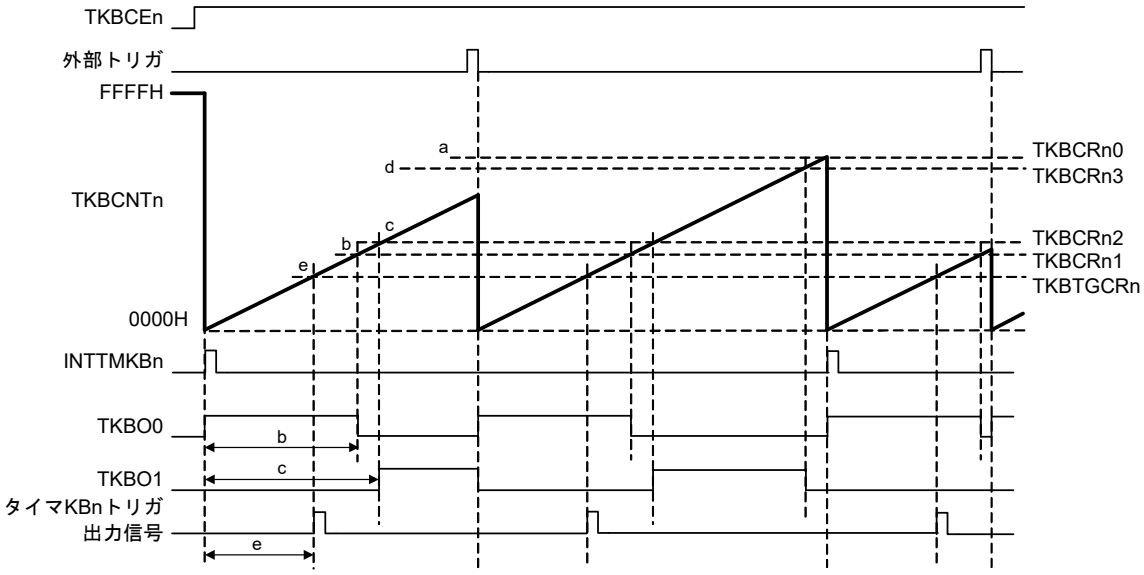


図10 - 56 単体動作モード(外部トリガ入力による周期制御)でのトリガ出力機能



備考 n = 0

10.5.2　PWM出力ディザリング機能

16ビット・タイマKBはPWM出力ディザリング機能を使用することで高分解PWM出力を可能としています。

PWM周期の16周期を基準とし, 16周期中のn周期（n = 0-15）でアクティブ期間を1カウント・クロック分延長することにより, 平均分解能として16倍向上させたPWM出力を可能とします。

16周期中のアクティブ期間を1カウント・クロック延長させる周期は, TKBDNRnpにより決まります。

TKBDNRnpと, アクティブ期間を1カウント・クロック延長する周期との関係は以下の通りです。

図10 - 57 TKBDNRnpと, アクティブ期間を1カウント・クロック延長する周期との関係図

周期 / 回数（N）	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■								■							
3	■				■				■							
4	■				■				■				■			
5	■		■		■				■				■			
6	■		■		■				■		■		■			
7	■		■		■		■		■		■		■			
8	■		■		■		■		■		■		■		■	
9	■	■	■		■		■		■		■		■		■	
10	■	■	■		■		■		■	■	■		■		■	
11	■	■	■		■	■	■		■	■	■		■		■	
12	■	■	■		■	■	■		■	■	■		■	■	■	
13	■	■	■	■	■	■	■		■	■	■		■	■	■	
14	■	■	■	■	■	■	■		■	■	■	■	■	■	■	
15	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	

備考1.　□ セルの周期：TKBCRn1, TKBCRn3レジスタの設定値で出力波形をリセット

■ セルの周期：TKBCRn1, TKBCRn3レジスタの設定値+1で出力波形をリセット

備考2.　n = 0,

p = 0, 1

図10 - 58 ディザリング動作の波形図

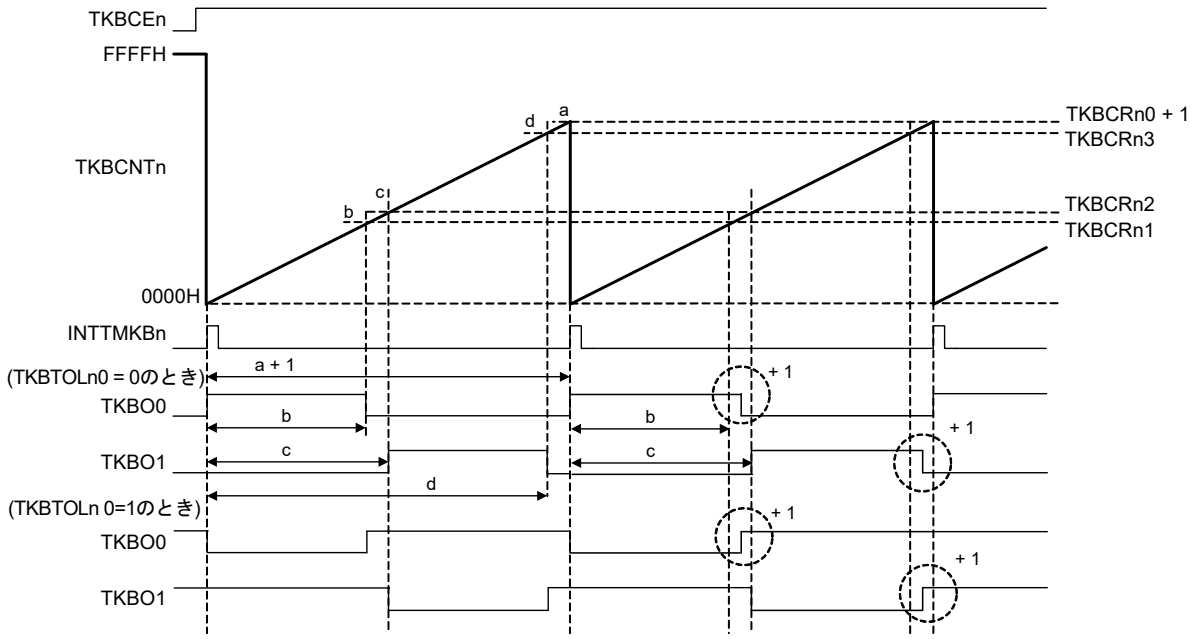


図10 - 59 ディザリング動作の波形図
（TKBCRn1 = TKBCRn0（100%近傍），TKBCRn2 = TKBCRn3（0%近傍）の場合）

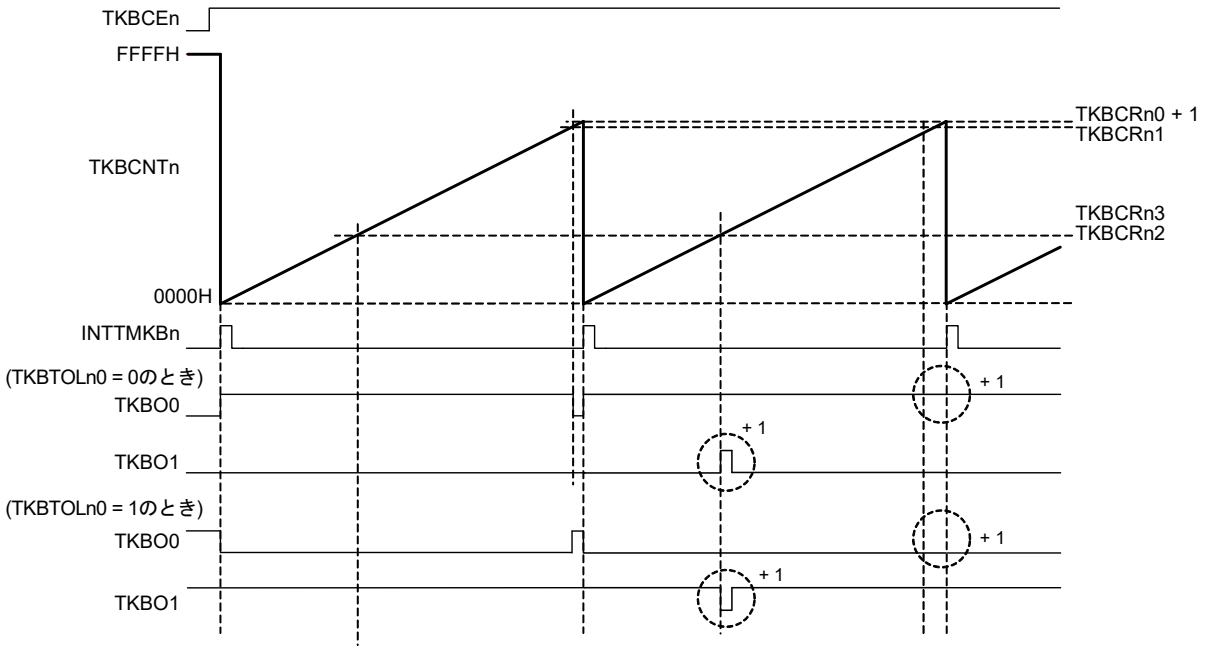
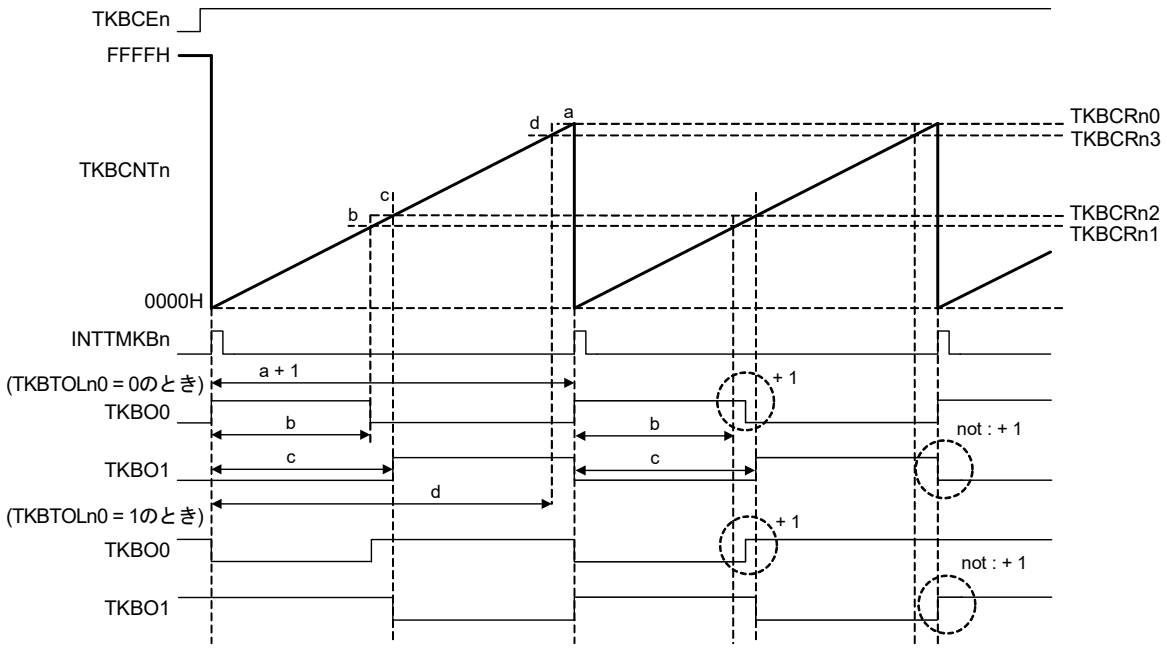


図10 - 60 ディザリング動作の波形図（TKBCRn3 = TKBCRn0＋1の場合）



(1)　使用可能な動作モード

TKBCTLn0レジスタ（TKBSTSn1, TKBSTSn0ビット）, TKBCTLn1レジスタ（TKBMDn1, TKBMDn0ビット）に指定される各モードでの動作可否を示します。

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00	00	○
単体動作モード（外部トリガ入力による周期制御）	00	01/10/11	×
インターリーブPFC出力モード	11	-	×

PWM出力ディザリング機能は，外部トリガ入力を使用せず, TKBCRn0による周期制御の場合に使用できます。

TKBDNRn0/TKBDNRn1は, それぞれTKBO0/TKBO1のPWM出力ディザリング機能を制御します。

注意1.【TKBDNRn0/TKBDNRn1レジスタの動作中（TKBCEn = 1）書き換え】

TKBDNRn0/TKBDNRn1は, バッファを保有しているので, 動作中（TKBCEn = 1）の書き換えが可能です。

その際には，TKBRDTnビットへの“1”書き込みによる一斉書き換えを行います。

注意2.【TKBCRLDn0/TKBCRLDn1レジスタによるアクセス】

TKBCRLDn0は, TKBCRn1の下位8ビットとTKBDNRn0をマッピングした16ビット・レジスタです。TKBCRLDn1は, TKBCRn3の下位8ビットとTKBDNRn1をマッピングした16ビット・レジスタです。

TKBDNRn0/TKBDNRn1は, TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されます。

TKBCRn1/TKBCRn3は, TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されます。

TKBCRLDn0/TKBCRLDn1レジスタへアクセスした場合, TKBCRn1/TKBCRn3の下位8ビットのみが変更されることに注意してください。

注意3.【PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合】

PWM出力ソフト・スタート機能実行（TKBSSFnp = 1）中は, PWM出力ディザリング機能は無効になります。

PWM出力ソフト・スタート機能停止（TKBSSFnp = 0）で, PWM出力ディザリング機能が有効になります。

10.5.3　PWM出力ソフト・スタート機能

タイマKB0は，突入電流抑制，および，過電圧の防止に対応するPWM出力ソフト・スタート機能を保有しています。PWM出力ソフト・スタート機能は，タイマ・スタート・タイミングで起動します。従来，ユーザがソフト操作で行っていた処理をハードウエアのオプション機能で容易に実現することができます。16 ビット・タイマ KB ソフト・スタート初期デューティ・レジスタ（TKBSIRnp）の設定値を 1 周期のアクティブ期間としてPWM波形を生成し，16ビット・タイマKBソフト・スタート・ステップ幅レジスタ（TKBSSRnp）で指定した値+1周期は同一アクティブ期間のPWM波形を出力したあと，「アクティブ期間を＋1」して再度TKBSSRnp＋1周期間同一波形を出力します。

動作を繰り返し，TKBCRn1，TKBCRn3で決定されるアクティブ期間と同じになったらPWM出力ソフト・スタート機能を解除します。

16ビット・タイマKBソフト・スタート初期デューティ・レジスタは，以下の条件で設定する必要があります。

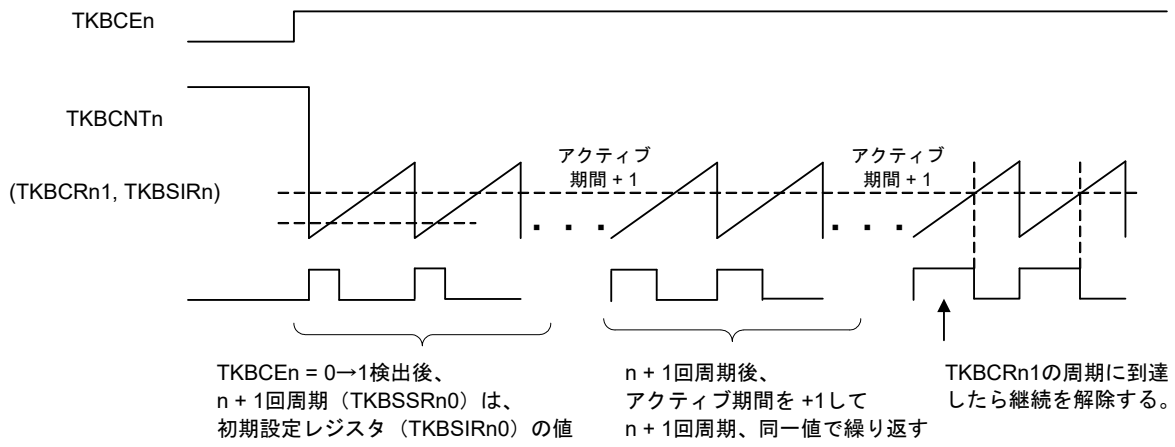
0000H ≦ TKBSIRn0 ＜ TKBCRn1 ≦ TKBCRn0+1

TKBCRn2 ≦ TKBSIRn1 ＜ TKBCRn3 ≦ TKBCRn0+1

同期スタート／クリア・モード使用時は，以下の条件で設定する必要があります。

TKBCRn0 ≦ TKBSIRn0 ＜ TKBCRn1 ≦ Master のTKBCR00+1

図10 - 61 PWM出力ソフト・スタート機能



(1)　PWM出力ソフト・スタート機能が使用可能な動作モード

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00B	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	×
インターリーブPFC出力モード	11B	-	×

(2)　TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中（TKBCEn = 1）書き換え

TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1は，動作中（TKBCEn = 1）に書き換えが可能です。

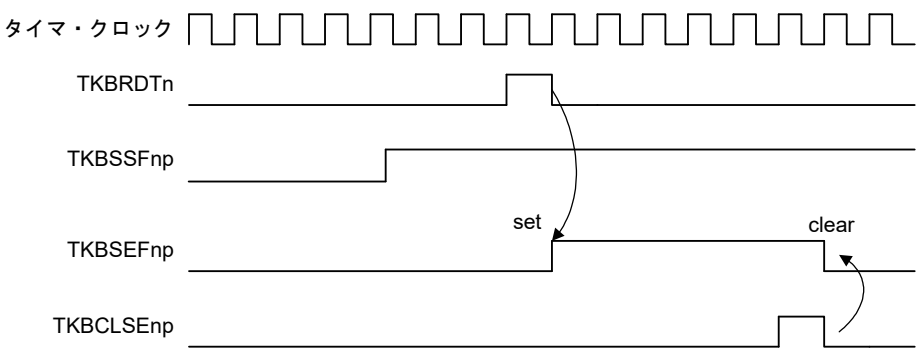
TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1は，バッファを保有しておりTKBRDTnビットへの“1”書き込みにより一斉に書き換えられます。TKBSIRn0/TKBSIRn1 は，PWM 出力ソフト・スタート機能開始タイミングでのバッファの値が duty の初期値となり，TKBSSRn0/TKBSSRn1 は，内部 4 ビット・カウンタの比較値となります。

内部 4 ビット・カウンタは，TKBCNTn の周期をカウント・クロックとしてアップ・カウントし，TKBSSRn0/TKBSSRn1との一致で0Hとなり，カウント動作を継続します。

(3)　TKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中（TKBCEn = 1）書き換え

PWM出力ソフト・スタート期間（TKBSSFn0 = 1, TKBSSFn1 = 1）中にTKBRDTnを"1"設定した場合，一斉書き換えがマスクされTKBSEFnp フラグがセットされます。一斉書き換えするためには，TKBSEFnpをクリアしてTKBSSFnpが”0”となることを確認してTKBRDTnを”1”にセットしてください。

図10 - 62 ソフト・スタート機能動作中（TKBSSFnp = 1）のTKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの書き換え



(4)　PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合

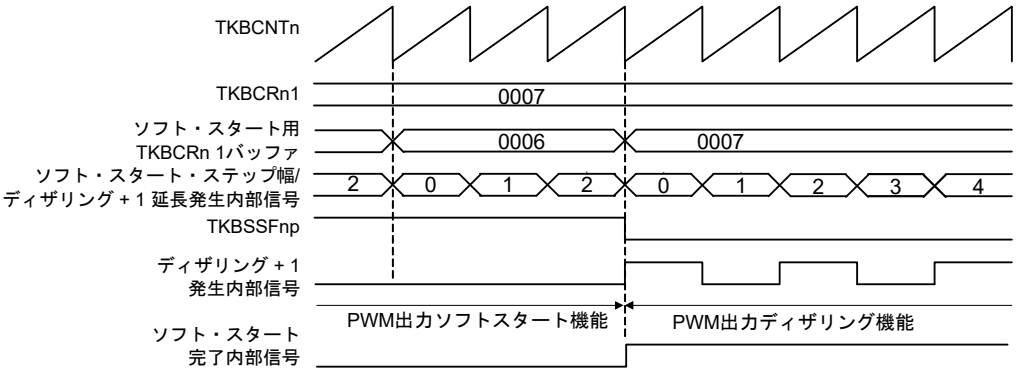
PWM出力ソフト・スタート機能実行（TKBSSFnp = 1）中は，PWM出力ディザリング機能は無効となります。

PWM出力ソフト・スタート機能停止（TKBSSFnp = 0）で，PWM出力ディザリング機能が有効となります。

(5)　PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作

TKBCRn1を0007H，TKBDNRnpを70H，TKBSSRnpを02Hとした場合の図を示します。TKBCRn1=0007Hと内部のソフト・スタート用TKBCRn1バッファの値が一致するタイミングでTKBSSFnpがクリアされ，ディザリング機能が開始されます。

図10 - 63 PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作



10.5.4　最大周波数リミット機能

タイマKB0は，外部トリガ入力による周期制御またはインターリーブPFC出力モード時に，カウンタ・クリアの最小周期（最大周波数）を制限する機能です。

この機能を使用すると，カウンタ・クリアを行う外部トリガ入力が，カウンタ値が最大周波数リミット・レジスタ（TKBMFRn）の設定値より小さい時に発生した場合，その入力を保留し，TKBMFRnレジスタの設定値までカウントを継続したあとにカウンタ・クリアを行います。

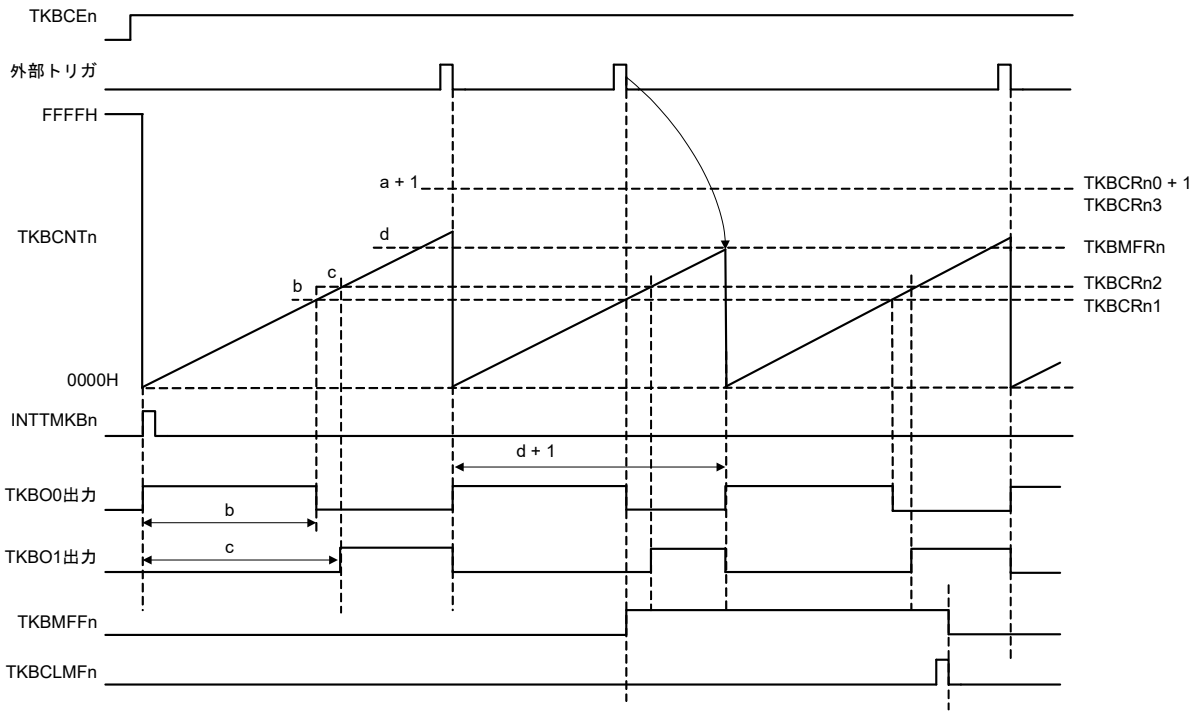
(1)　最大周波数リミット（＝1／最小周期）の計算式

最小周期（= 1／最大周波数リミット）= （TKBMFRnの設定値＋1）×カウント・クロック周期

注意TKBMFRn の設定値≦ TKBCRn0 の設定値とする必要があります。

外部トリガ入力検出タイミングで，カウンタ値がTKBMFRnより小さい場合，TKBMFFnフラグが“1”セットされます。TKBMFFnフラグは，TKBCLMFnビットへの“1”書き込みにより“0”にクリアされます。

図10 - 64 最大周波数リミット機能



備考　外部トリガ入力による周期制御の場合

(2)　最大周波数リミット機能で使用可能な動作モード

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00B	00B	×
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	○
インターリーブPFC出力モード	11B	-	○

備考　外部トリガ入力による周期制御の場合に使用可能です。

10.6　強制出力停止機能

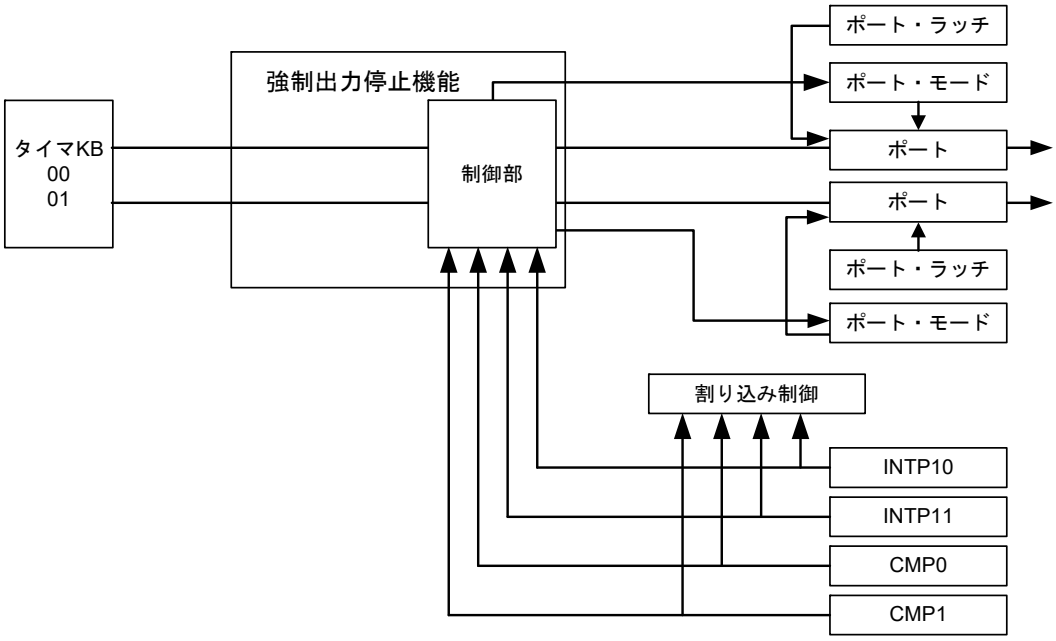
強制出力停止機能は，電源回路などの保護を行なうための機能です。

マイコン外部で構成された電源回路において，ショートなどの異常が発生し，過電圧や過電流状態となった場合に，電圧や電流センス信号をINTP10, INTP11／コンパレータなどに入力することで，CPUのプログラム制御を介することなく，タイマ出力をハイ・インピーダンスまたは固定出力状態として回路を保護します。

この機能では，入力信号のエッジを検出したときのみ，異常状態とみなします。エッジがない固定レベルは異常状態としません。

強制出力停止機能のシステム構成を次の図に示します。

図10 - 65 強制出力停止機能のシステム構成図



10.6.1　強制出力停止機能1と強制出力停止機能2

強制出力停止機能は，2つの制御方法があります。強制出力停止機能1はレベル固定出力とハイ・インピーダンス出力を選択でき，強制出力停止機能2はレベル固定出力のみ設定可能です。次に制御方法の差分を示します。

(1)　強制出力停止機能1／強制出力停止機能2の選択可能出力レベル

選択可能出力レベル	強制出力停止	
	機能1	機能2
ハイ・インピーダンス出力	○	×
ロウ・レベル固定出力	○	○
ハイ・レベル固定出力	○	○

(2)　強制出力停止機能1／強制出力停止機能2の開始・解除条件

機能・動作説明（強制出力停止開始）	強制出力停止	
	機能1	機能2
コンパレータ出力の立ち上がりエッジ検出により強制出力停止開始	○	○
外部割り込み入力（INTP10, INTP11）の立ち上がりエッジもしくは立ち下がりエッジ検出により強制出力停止開始	×	○
ソフトウエアビット（TKBPAHTSnp）の設定により強制出力停止開始	○	×

機能・動作説明（強制出力停止解除）	強制出力停止	
	機能1	機能2
ソフトウエアビット（TKBPAHTTnp）の設定により強制出力停止解除	○	×
ソフトウエアビット（TKBPAHTTnp）の設定後，TMKB周期に同期して強制出力停止解除	○	×
強制出力停止を開始した次のカウンタの周期で強制出力停止解除	×	○
トリガ信号の立ち上がりエッジもしくは立ち下がりエッジ検出後，次のカウンタの周期で強制出力停止解除	×	○

(3)　強制出力停止機能1／強制出力停止機能2の選択可能トリガ信号と使用可能トリガビットの条件

選択可能出力レベル	強制出力停止	
	機能1	機能2
コンパレータ0, 1	○	○
外部割り込み入力（INTP10, INTP11）	×	○

使用可能トリガビット	強制出力停止	
	機能1	機能2
TKBPAHTSnp（TKBOp出力の強制出力停止を開始するトリガ・ビット）	○	×
TKBPAHTTnp（TKBOp出力の強制出力停止を解除するトリガ・ビット）	○	×

備考　n = 0, p = 0, 1

表10 - 4 強制出力停止機能1の外部トリガ割り当て一覧

	TKBO0	TKBO1
コンパレータ0	○	○
コンパレータ1	○	○
INTP10	×	×
INTP11	×	×

表10 - 5 強制出力停止機能2の外部トリガ割り当て一覧

	TKBO0	TKBO1
コンパレータ0	○	○
コンパレータ1	○	○
INTP10	○	○
INTP11	○	○

注意　INTP10/INTP11の設定は第19章　コンパレータを参照してください。

10.6.2　強制出力停止機能の構成

強制出力停止機能は，次のハードウエアで構成されています。

表10 - 6 強制出力停止機能の構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ2（PER2）
	強制出力停止機能制御レジスタn0（TKBPACTLn0）
	強制出力停止機能制御レジスタn1（TKBPACTLn1）
	強制出力停止機能制御レジスタn2（TKBPACTLn2）
	強制出力停止機能フラグ・レジスタ（TKBPAFLGn）
	強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）
	強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）

10.6.3　強制出力停止機能を制御するレジスタ

強制出力停止機能を制御するレジスタを次に示します。

- 強制出力停止機能制御レジスタn0（TKBPACTLn0）
- 強制出力停止機能制御レジスタn1（TKBPACTLn1）
- 強制出力停止機能制御レジスタn2（TKBPACTLn2）
- 強制出力停止機能フラグ・レジスタ（TKBPAFLGn）
- 強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）
- 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）

10.6.3.1　強制出力停止機能制御レジスタn0, n1（TKBPACTLn0, TKBPACTLn1）

TKBPACTLnpは，TKBOp端子の強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTLnpは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図10 - 66 強制出力停止機能制御レジスタ0p（TKBPACTL0p）のフォーマット（1/2）

アドレス：F0430H (TKBPACTL00)　リセット時：0000H　R/W
F0432H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p

7	6	5	4	3	2	1	0
0	0	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0

TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP11をトリガとしない
1	INTP11をトリガとする注1

TKBPAFXS0p2	強制出力停止機能2の外部割り込みトリガ選択
0	INTP10をトリガとしない
1	INTP10をトリガとする注1

TKBPAFXS0p1	強制出力停止機能2のコンパレータ・トリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする注3

TKBPAFXS0p0	強制出力停止機能2のコンパレータ・トリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注3

TKBPAFCM0p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し，次のカウンタの周期で強制出力停止機能2を解除。注2
1	トリガ入力で強制出力停止機能2を開始し，そのトリガの逆エッジを検出してから，次のカウンタの周期で強制出力停止機能2を解除。注2

TKBPAHZS0p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする注3

TKBPAHZS0p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注3

図10 - 66 強制出力停止機能制御レジスタ0p（TKBPACTL0p）のフォーマット（2/2）

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注2
1	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注2

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ･レベル固定出力
0	1	Hi-Z出力	ハイ･レベル固定出力
1	0	ロウ･レベル固定出力	ロウ･レベル固定出力
1	1	ハイ･レベル固定出力	ハイ･レベル固定出力

注1.　INTP10, INTP11を強制出力停止機能2のトリガとして使用する場合は，19.5　タイマKB連動機能使用時の注意事項も参照してください。

注2.　次のカウンタ同期を待たずにタイマKBを停止（TKBCEn=0）した場合，次にタイマKBを動作（TKBCEn = 1）するまで強制出力停止機能を継続します。

注3.　コンパレータiを強制出力停止機能1および強制出力停止機能2のトリガとして使用する場合は，コンパレータ出力制御レジスタ（COMPOCR）のCiOEビットを1に設定してください。

注意1. タイマ動作中に，TKBPACTL0pレジスタを書き換えないでください。ただし，TKBPACTL0pレジスタにリフレッシュ（同値書き込み）することは可能です。

注意2. ビット11-9, 7, 6には必ず0を設定してください。

備考　i = 0, 1, n =0, p = 0, 1

10.6.3.2　強制出力停止機能制御レジスタn2（TKBPACTLn2）

TKBPACTLn2は，TKBOp端子の強制出力停止機能を許可／禁止するレジスタです。TKBPACTLn2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10 - 67 強制出力停止機能制御レジスタn2（TKBPACTLn2）のフォーマット

アドレス：F0437H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKBPACTLn2	0	0	0	0	0	0	TKBPACEn1	TKBPACEn0

TKBPACEnp	TKBOp端子の強制出力停止機能に使用するトリガ信号の入力制御
0	強制出力停止機能動作禁止
1	強制出力停止機能動作許可

注意1. タイマ動作中に，TKBPACTLn2レジスタを書き換え可能です。

注意2. ビット7-2には必ず0を設定してください。

備考　n = 0, p = 0, 1

10.6.3.3　強制出力停止機能フラグ・レジスタ（TKBPAFLGn）

TKBPAFLGnは，TKBOp端子の強制出力停止機能のステータス・フラグを表示するレジスタです。

TKBPAFLGnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

図10 - 68 強制出力停止機能フラグ・レジスタ（TKBPAFLGn）のフォーマット

アドレス：F0436H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
TKBPAFLGn	TKBPAFSFn1	TKBPAHSFn1	TKBPAFSFn0	TKBPAHSFn0	TKBPAFIFn1	TKBPAHIFn1	TKBPAFIFn0	TKBPAHIFn0

TKBPAFSFnp	TKBOp端子に対する強制出力停止機能2のステータス・フラグ
0	強制出力停止解除状態
1	強制出力停止状態

TKBPAHSFnp	TKBOp端子に対する強制出力停止機能1のステータス・フラグ
0	強制出力停止解除状態
1	強制出力停止状態

TKBPAFIFnp	TKBOp端子に対する強制出力停止機能2の入力モニタ・ビット
0	強制出力停止2トリガ信号がロウ・レベル（インアクティブ）
1	強制出力停止2トリガ信号がハイ・レベル（アクティブ）

TKBPAHIFnp	TKBOp端子に対する強制出力停止機能1の入力モニタ・ビット
0	強制出力停止1トリガ信号がロウ・レベル（インアクティブ）
1	強制出力停止1トリガ信号がハイ・レベル（アクティブ）

注意　強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は10.7.2　強制出力停止機能1のソフトウエア解除操作を参照してください。

備考　n = 0, p = 0, 1

10.6.3.4 強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）

TKBPAHFSnは，TKBOp出力の強制出力停止機能1に使用する開始トリガ・レジスタです。

TKBPAHFSnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図10 - 69 強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）のフォーマット

アドレス：F0434H　リセット時：00H　W

略号	7	6	5	4	3	2	1	0
TKBPAHFSn	0	0	0	0	0	0	TKBPAHTSn1	TKBPAHTSn0

TKBPAHTSnp	TKBOp出力に対する強制出力停止機能1開始トリガ
0	設定無効
1	TKBOp出力に対する強制出力停止機能1を開始

注意1. タイマ動作中に，TKBPAHFSnレジスタを書き換え可能です。

注意2. ビット7-2には必ず0を設定してください。

注意3. リード時は，0が読み出されます。

備考　n = 0, p = 0, 1

10.6.3.5 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）

TKBPAHFTnは，TKBOp出力の強制出力停止機能1に使用する解除トリガ・レジスタです。

TKBPAHFTnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図10 - 70 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）のフォーマット

アドレス：F0435H　リセット時：00H　W

略号	7	6	5	4	3	2	1	0
TKBPAHFTn	0	0	0	0	0	0	TKBPAHTTn1	TKBPAHTTn0

TKBPAHTTnp	TKBOp出力に対する強制出力停止機能解除トリガ
0	設定無効
1	TKBOp出力に対する強制出力停止機能1を解除

注意1. タイマ動作中に，TKBPAHFTnレジスタを書き換え可能です。

注意2. ビット7-2には必ず0を設定してください。

注意3. リード時は，0が読み出されます。

注意4. 強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は10.7.2　強制出力停止機能1のソフトウエア解除操作を参照してください。

備考　n = 0, p = 0, 1

10.7　強制出力停止機能1の動作説明

トリガ要因（コンパレータ0, 1出力）の発生により，CPUを介さずに16ビット・タイマKBn回路の動作クロックfKBKCと非同期でタイマ出力をHi-Z，ハイ／ロウ・レベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により，16ビット・タイマKBn回路の動作クロックfKBKCと同期して強制出力停止状態は解除されます。

10.7.1　強制出力停止機能1の概要

この機能では，コンパレータ出力信号およびソフトウエア・トリガを強制出力停止機能1のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は，TKBPACTLnpレジスタのTKBPAMDnp0, TKBPAMDnp1ビットによって制御されます。

タイマKBnの出力p端子（TKBOp）の強制出力停止機能1出力レベルとの関係を次の表に示します。

表10 - 7 TKBOpの強制出力停止機能1出力レベルとの関係

TKBPAMDnp1	TKBPAMDnp0	強制出力停止機能1実行時の出力レベル選択
0	0	Hi-Z出力
0	1	Hi-Z出力
1	0	ロウ·レベル固定出力
1	1	ハイ·レベル固定出力

使用するコンパレータ出力の選択は，強制出力停止機能制御np（TKBPACTLnp）のTKBPAHZSnp2-TKBPAHZSnp0ビットによって制御されます。

タイマKBnの出力p端子（TKBOp）の強制出力停止機能1トリガ選択を次の表に示します。

表10 - 8 TKBOpの強制出力停止機能1トリガ選択

ビット名	選択可能なトリガ信号
TKBPAHZSnp0	コンパレータ0
TKBPAHZSnp1	コンパレータ1

備考　n = 0, p = 0, 1

10.7.2　強制出力停止機能1のソフトウエア解除操作

強制出力停止機能1を開始する開始トリガ（TKBPAHFSnレジスタのTKBPAHTSnpビット）の設定を次の表に示します。

表10 - 9 強制出力停止機能1での開始トリガ（TKBPAHTSnpビット）の動作

TKBPAHTSnp	ソフトウエアによる強制出力停止機能1の開始
0	設定無効
1	“1”書き込みで，TKBOp出力に対するハイ・インピーダンス／ロウ・レベル／ハイ・レベル固定出力制御を開始する（強制出力停止機能1のトリガ信号の立ち上がりエッジ検出と同等の機能になります）。

強制出力停止機能1を解除する解除トリガ（TKBPAHFTnレジスタのTKBPAHTTnpビット）の設定を次の表に示します。

表10 - 10 強制出力停止機能1での解除トリガ（TKBPAHTTnpビット）の動作

TKBPACTLnpレジスタ		ソフトウエアによる強制出力停止機能1の解除
TKBPAHCMnp1	TKBPAHCMnp0	
0	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注
1	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注

注　次のカウンタ周期を待たずにタイマKBを停止（TKBCEn=0）した場合，次にタイマKBを動作（TKBCEn= 1）するまで強制出力停止機能を継続します。

備考　n = 0, p = 0, 1

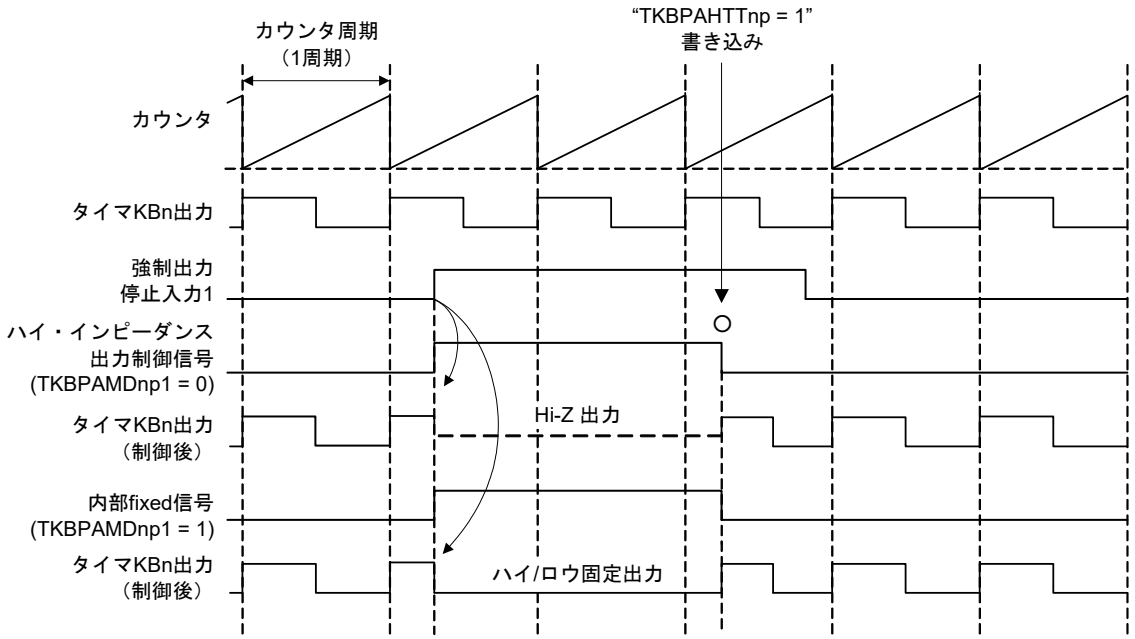
10.7.3　強制出力停止機能1の基本動作

TKBPAHCMnp1, TKBPAHCMnp0 レジスタの設定の違いによる強制出力機能1の動作を示します。

強制出力停止機能 1 を開始するトリガ信号（強制出力停止入力 1）は，強制出力停止機能制御レジスタ np（TKBPACTLnp）のTKBPAHZSnp0-TKBPAHZSnp2 ビットで選択されたトリガ信号と強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）のTKBPAHTSnp ビットのor出力です。

(1)　TKBPAHCMnp1, TKBPAHCMnp0 = 0, 0での強制出力停止機能1

図10 - 71 TKBPAHCMnp1, TKBPAHCMnp0 = 0, 0での強制出力停止機能1



(a)　TKBPAMDnp1 = 0（Hi-Z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力 1 の入力レベルに関係なく，解除トリガ（TKBPAHTTnp ビット）への“1”書き込みで，タイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止 1 の期間（ハイ・インピーダンス出力）となります。

(b)　TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

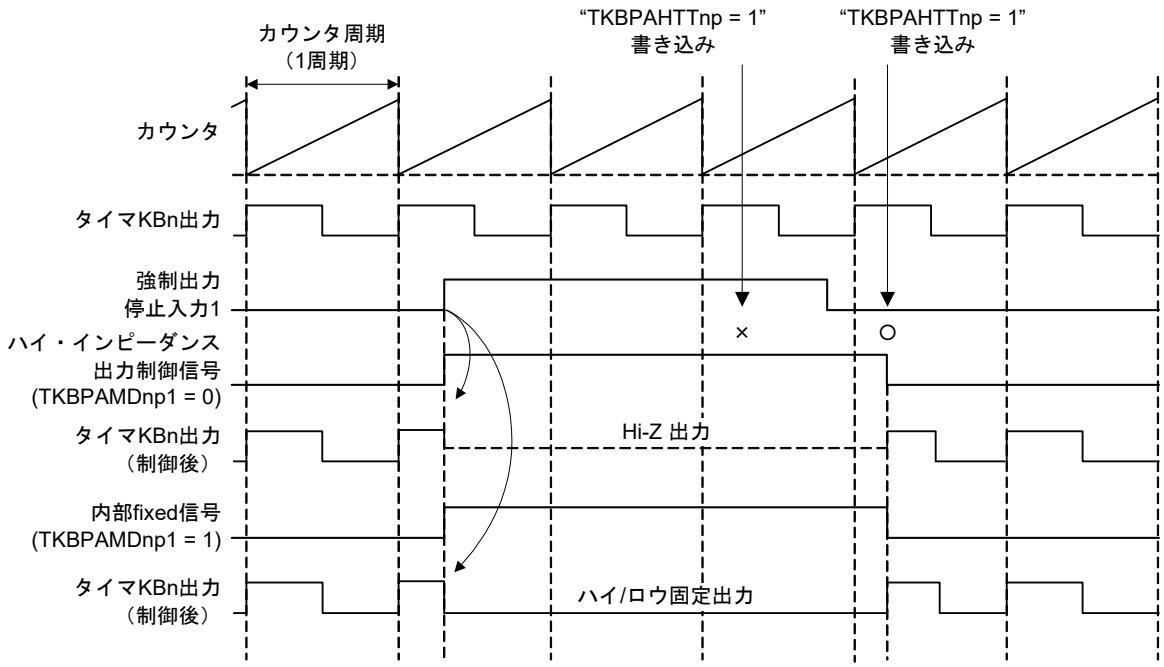
強制出力停止入力 1 の入力レベルに関係なく，解除トリガ（TKBPAHTTnp ビット）への“1”書き込みで，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0, p = 0, 1

(2) TKBPAHCMnp1, TKBPAHCMnp0 = 0, 1での強制出力停止機能1

図10 - 72 TKBPAHCMnp1, TKBPAHCMnp0 = 0, 1での強制出力停止機能1



(a) TKBPAMDnp1 = 0（Hi-Z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）になったあと，解除トリガ（TKBPAHTTnpビット）への“1”書き込みで，タイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止1の期間（ハイ・インピーダンス出力）となります。

(b) TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

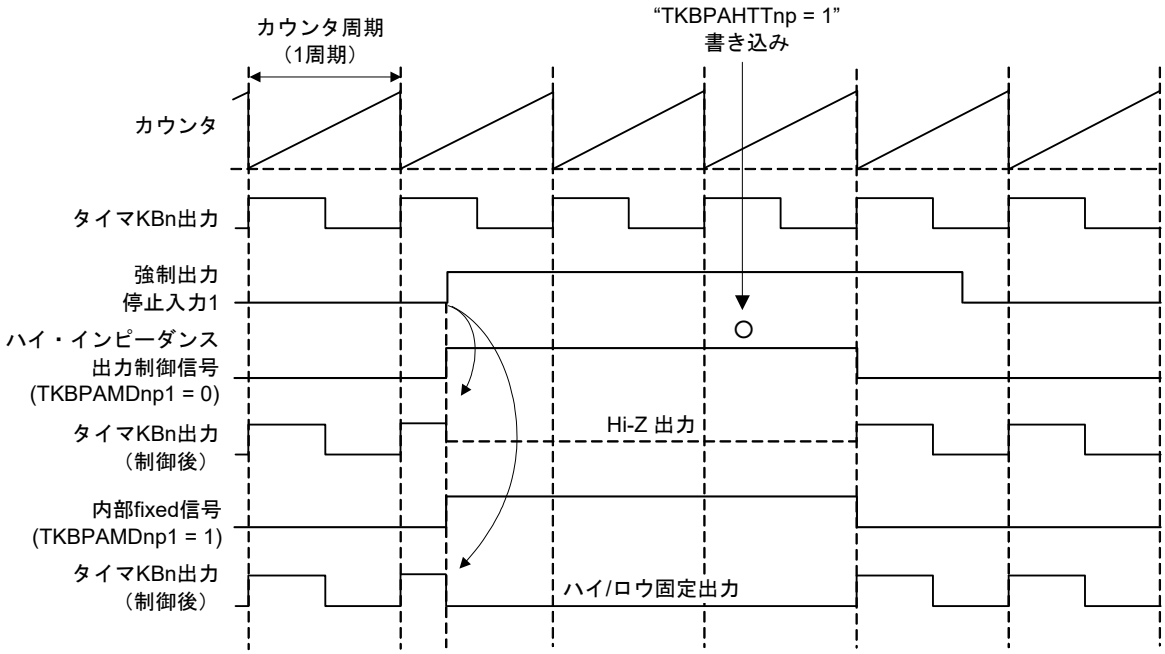
強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）になったあと，解除トリガ（TKBPAHTTnpビット）への“1”書き込みで，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考 n = 0, p = 0, 1

(3)　TKBPAHCMnp1, TKBPAHCMnp0 = 1, 0での強制出力停止機能1

図10 - 73 TKBPAHCMnp1, TKBPAHCMnp0 = 1, 0での強制出力停止機能1



(a)　TKBPAMDnp1 = 0（Hi-Z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力1の入力レベルに関係なく，解除トリガ（TKBPAHTTnp ビット）への“1”書き込みのあと，次のカウンタの周期でタイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止1の期間（ハイ・インピーダンス出力）となります。

(b)　TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

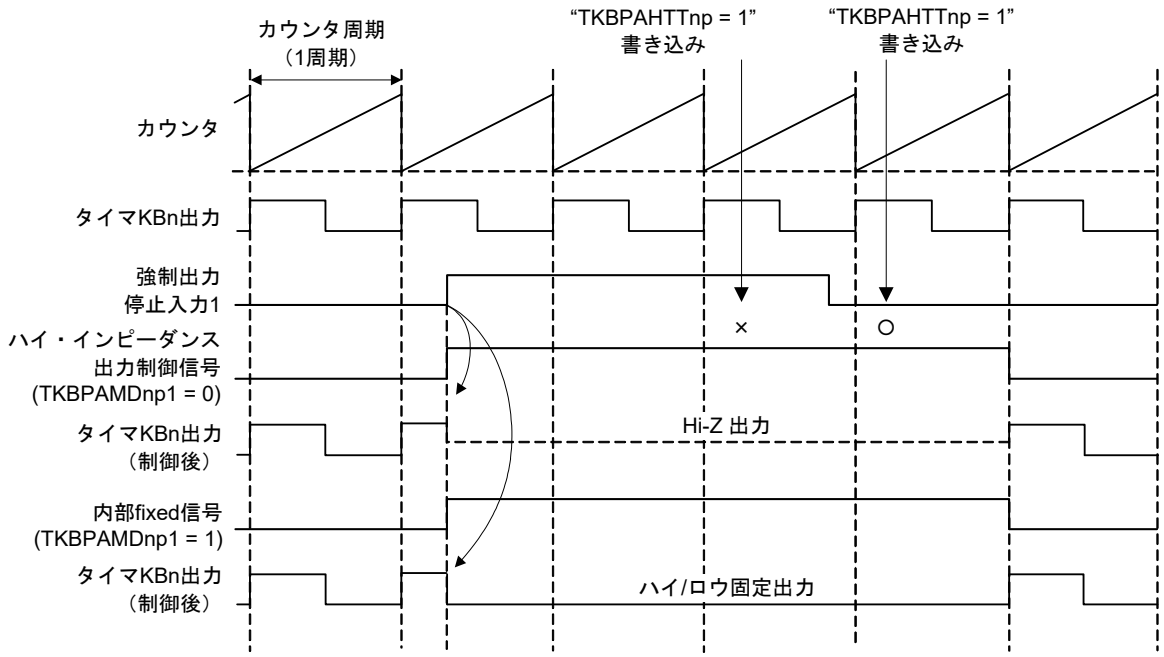
強制出力停止入力1の入力レベルに関係なく，解除トリガ（TKBPAHTTnp ビット）への“1”書き込みのあと，次のカウンタの周期で，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0, p = 0, 1

(4)　TKBPAHCMnp1, TKBPAHCMnp0 = 1, 1での強制出力停止機能1

図10 - 74 TKBPAHCMnp1, TKBPAHCMnp0 = 1, 1での強制出力停止機能1



(a)　TKBPAMDnp1 = 0（Hi-Z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みのあと，次のカウンタの周期で，タイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止1の期間（ハイ・インピーダンス出力）となります。

(b)　TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みのあと，次のカウンタの周期で，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0, p = 0, 1

10.8　強制出力停止機能2の動作説明

トリガ要因（コンパレータ0, 1出力，INTP10, INTP11）の発生により，CPUを介さずに16ビット・タイマKBn回路の動作クロック f_{KBKC} と非同期でタイマ出力をハイ／ロウ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始，またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます。

10.8.1　強制出力停止機能2の概要

この機能では，コンパレータ出力信号および外部割り込み（IINTP10, INTP11）を強制出力停止機能2のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は，TKBPACTLnpレジスタのTKBPAMDnp0, TKBPAMDnp1ビットによって制御されます。

タイマKBnの出力p端子（TKBOp）の強制出力停止機能2出力レベルとの関係を次の表に示します。

表10 - 11 TKBOpの強制出力停止機能2出力レベルとの関係

TKBPAMDnp1	TKBPAMDnp0	強制出力停止機能2実行時の出力レベル選択
0	0	ロウ･レベル固定出力
0	1	ハイ･レベル固定出力
1	0	ロウ･レベル固定出力
1	1	ハイ･レベル固定出力

使用するコンパレータ出力の選択は，強制出力停止機能制御np（TKBPACTLnp）のTKBPAFXSnp3-TKBPAFXSnp0ビットによって制御されます。

タイマKBnの出力p端子（TKBOp）の強制出力停止機能2トリガ選択を次の表に示します。

表10 - 12 TKBOpの強制出力停止機能2トリガ選択

ビット名	選択可能なトリガ信号
TKBPAFXSnp0	コンパレータ0
TKBPAFXSnp1	コンパレータ1
TKBPAFXSnp2	INTP10
TKBPAFXSnp3	INTP11

備考　n = 0, p = 0, 1

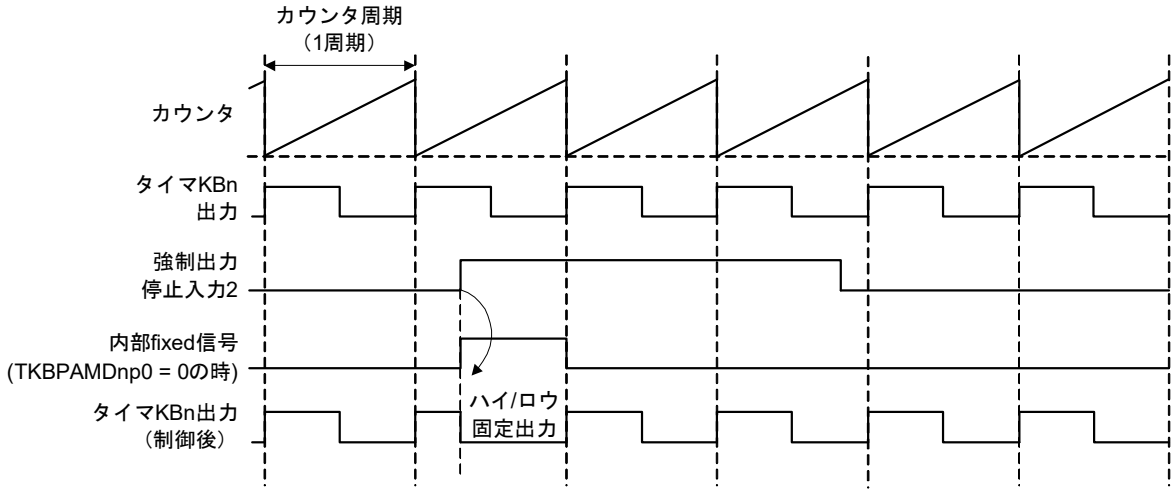
10.8.2　強制出力停止機能2の基本動作

TKBPAFCMnpビットの設定の違いによる強制出力機能2の動作を示します。

強制出力停止機能2を開始するトリガ信号（強制出力停止入力2）は，強制出力停止機能制御レジスタnp（TKBPACTLnp）のTKBPAFXSnp0-TKBPAFXSnp3ビットで選択されたトリガ信号です。

(1)　TKBPAFCMnp = 0での強制出力停止機能2

図10 - 75 TKBPAFCMnp = 0での強制出力停止機能2



強制出力停止入力2の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

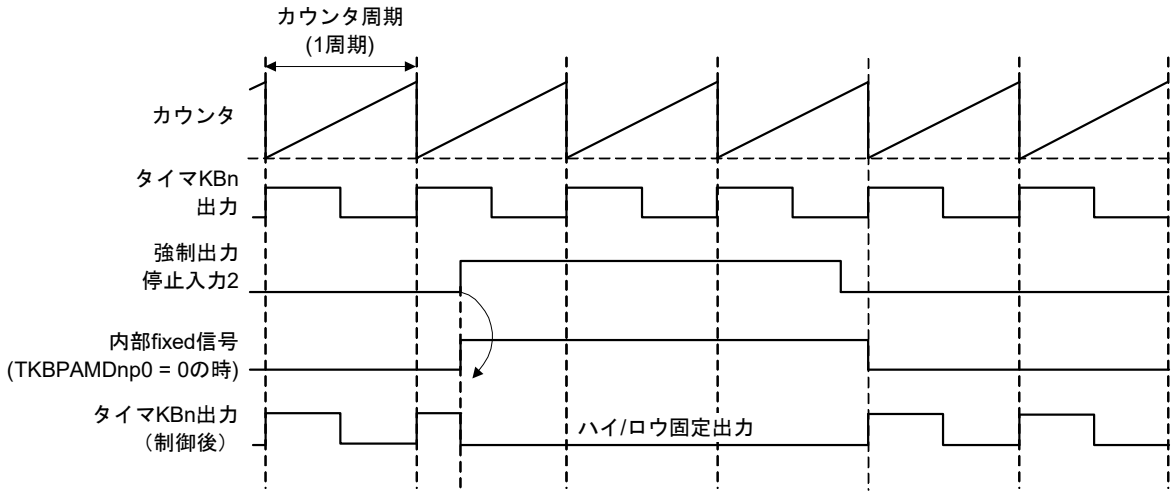
強制出力停止入力2の入力レベルに関係なく，次のカウンタの周期で出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0, p = 0, 1

(2)　TKBPAFCMnp = 1での強制出力停止機能2

図10 - 76 TKBPAFCMnp = 1での強制出力停止機能2



強制出力停止入力２の立ち上がりエッジ検出で，TKBPAMDnp0 の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力２が逆エッジになったあと，次のカウンタの周期で出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0, p = 0, 1

第11章　クロック出力／ブザー出力制御回路

11.1　クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

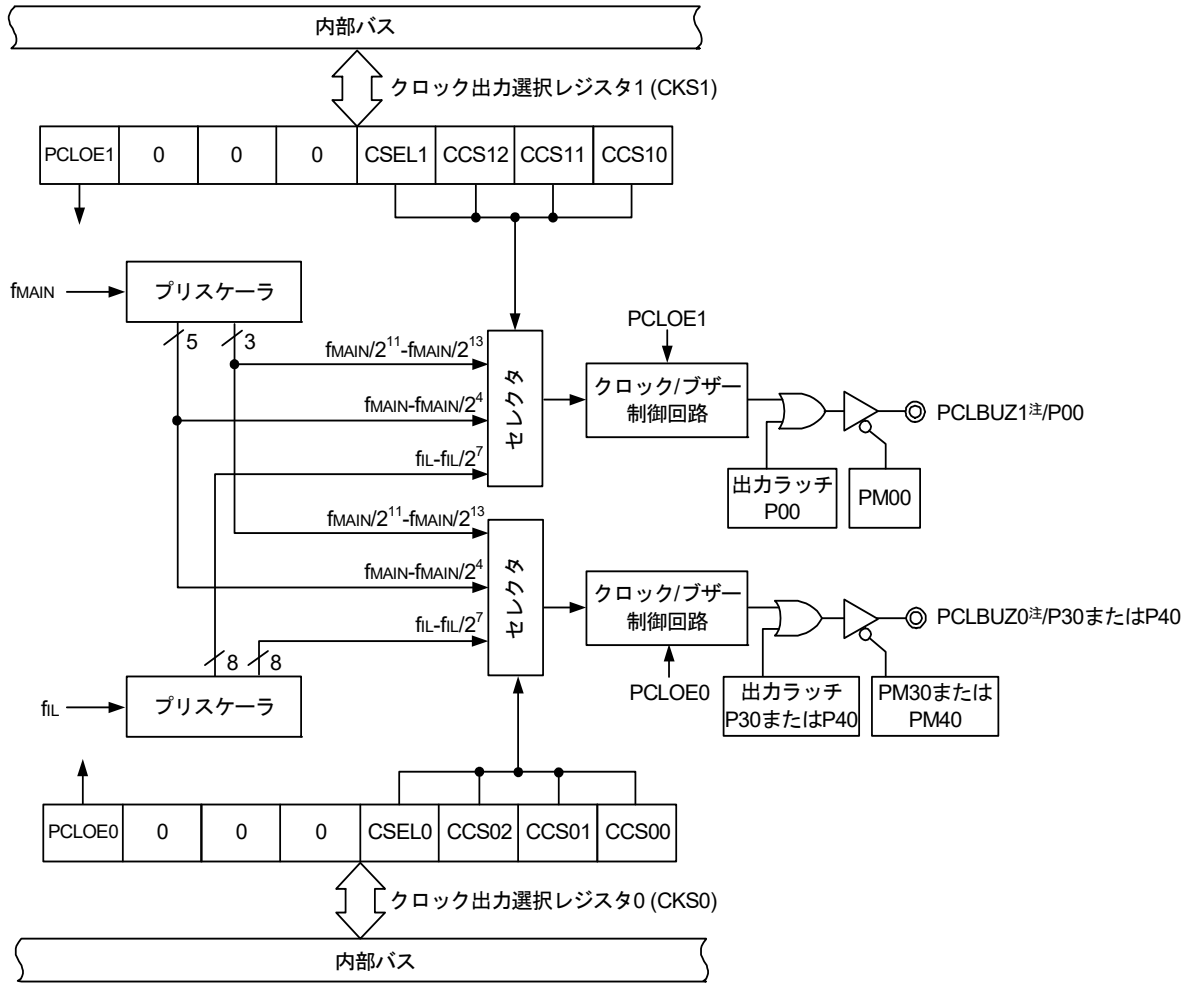
1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は，クロック出力選択レジスタn (CKSn)で選択したクロックを出力します。

図11 - 1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考　n = 0, 1

図11 - 1 クロック出力／ブザー出力制御回路のブロック図



注　PCLBUZ0, PCLBUZ1端子から出力可能な周波数は，35.4, 36.4　AC特性を参照してください。

11.2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表11 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタn (CKSn) 動作スピード・モード制御レジスタ (OSMC) ポート・モード・レジスタ0, 3, 4 (PM0, PM3, PM4) ポート・レジスタ0, 3, 4 (P0, P3, P4) ポート・モード・コントロール・レジスタ0, 3 (PMC0, PMC3) 周辺I/Oリダイレクション・レジスタ0 (PIOR0)

11.3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次のレジスタで制御します。

- クロック出力選択レジスタn (CKSn)
- 動作スピード・モード制御レジスタ (OSMC)
- ポート・モード・レジスタ0, 3, 4 (PM0, PM3, PM4)
- ポート・レジスタ0, 3, 4 (P0, P3, P4)
- ポート・モード・コントロール・レジスタ0, 3 (PMC0, PMC3)
- 周辺I/Oリダイレクション・レジスタ0 (PIOR0)

11.3.1　クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子(PCLBUZn)の出力許可／禁止，および出力クロックを設定するレジスタです。

CKSnレジスタで，PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11 - 2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス：FFFA5H (CKS0)，FFFA6H (CKS1)　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 24 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz注	12 MHz
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	f_{IL}	15 kHz			
1	0	0	1	$f_{IL}/2$	7.5 kHz			
1	0	1	0	$f_{IL}/2^2$	3.75 kHz			
1	0	1	1	$f_{IL}/2^3$	1.875 kHz			
1	1	0	0	$f_{IL}/2^4$	938 Hz			
1	1	0	1	$f_{IL}/2^5$	469 Hz			
1	1	1	0	$f_{IL}/2^6$	234 Hz			
1	1	1	1	$f_{IL}/2^7$	117 Hz			

注　　出力クロックは，16 MHz以内の範囲で使用してください。詳しくは，35.4, 36.4　AC特性を参照してください。

注意　　出力クロックの切り替えは，出力禁止(PCLOEn = 0)にしてから行ってください。

備考1. n = 0, 1

備考2. f_{MAIN}：メイン・システム・クロック周波数

f_{IL}：　低速オンチップ・オシレータ・クロック周波数

11.3.2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は，対象チャネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx)，ポート・レジスタ (Pxx)，ポート・モード・コントロール・レジスタ (PMCxx)) を設定してください。詳細は，4.3.1　ポート・モード・レジスタ (PMxx)，4.3.2　ポート・レジスタ (Pxx), 4.3.6　ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

クロック出力／ブザー出力端子を兼用するポート (P30/PCLBUZ0 など) をクロック出力／ブザー出力として使用するときは，各ポートに対応するポート・モード・レジスタ (PMxx) のビット , ポート・モード・コントロール・レジスタ (PMCxx) のビットおよびポート・レジスタ (Pxx) のビットに 0 を設定してください。

例　P30/PCLBUZ0 をクロック出力／ブザー出力として使用する場合

ポート・モード・コントロール・レジスタ 3 の PMC30 ビットを 0 に設定

ポート・モード・レジスタ 3 の PM30 ビットを 0 に設定

ポート・レジスタ 3 の P30 ビットを 0 に設定

11.4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は，クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

11.4.1　出力端子の動作

PCLBUZn端子は，次の手順で出力します。

① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx)およびポート・レジスタ (Pxx)のビットに0を設定する。

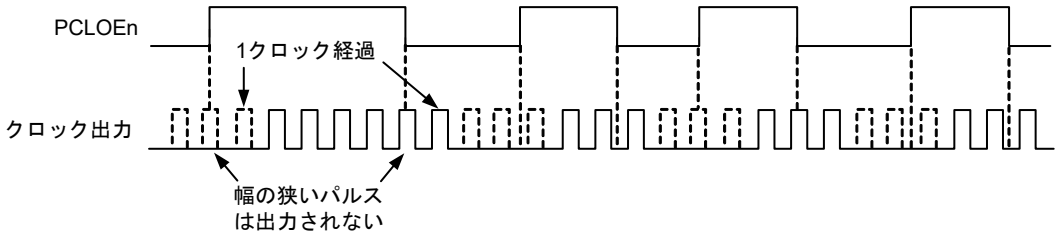
② PCLBUZn端子のクロック出力選択レジスタ (CKSn)のビット0-3 (CCSn0-CCSn2, CSELn)で出力周波数を選択する (出力は禁止の状態)。

③ CKSnレジスタのビット7 (PCLOEn)に1を設定し，クロック出力／ブザー出力を許可する。

備考1.　クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止 (PCLOEnビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図11 - 3に示します。

備考2.　n = 0, 1

図11 - 3 PCLBUZn端子からのクロック出力のタイミング



11.5　クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択 (CSELn = 0)している場合は，出力停止設定 (PCLOEn = 0)にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると，PCLBUZnの出力幅が短くなります。

第12章　ウォッチドッグ・タイマ

12.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック(f_{IL})で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ(RESF)のビット4 (WDTRF)がセット(1)されます。RESFレジスタの詳細については第25章　リセット機能を参照してください。

また，オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込みを発生することもできます。

12.2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表12 - 1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

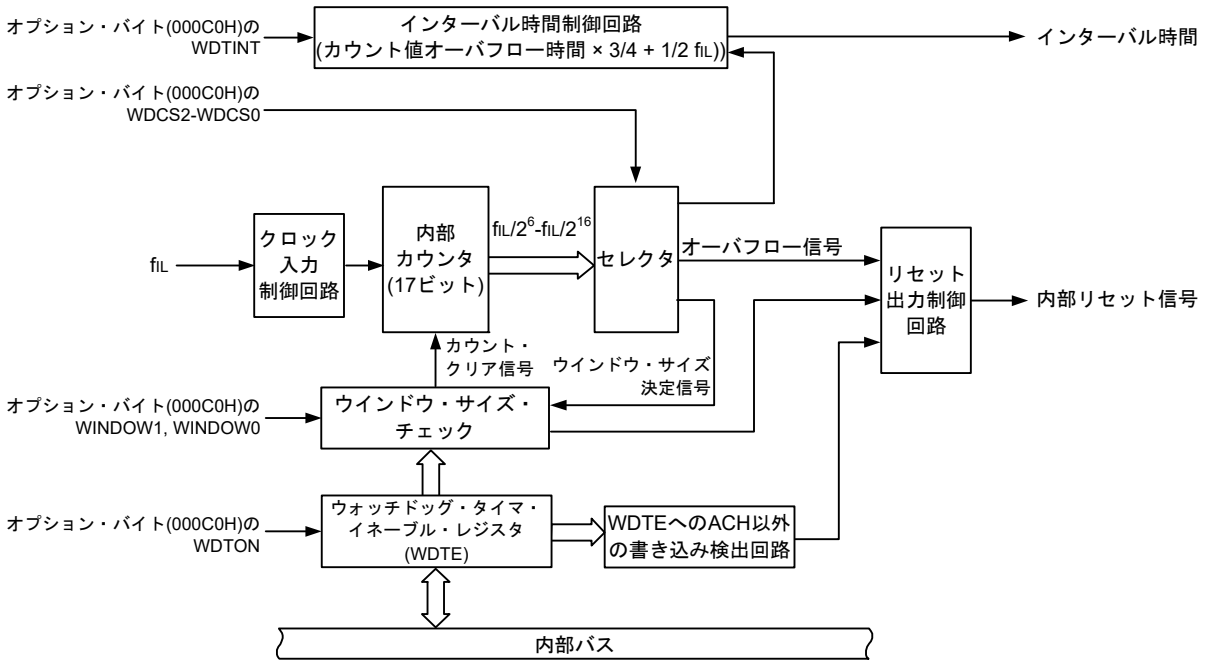
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

表12 - 2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考　オプション・バイトについては，第30章　オプション・バイトを参照してください。

図12 - 1 ウォッチドッグ・タイマのブロック図



備考　fIL：低速オンチップ・オシレータ・クロック周波数

12.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

12.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTE レジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTE レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，9AHまたは1AH注になります。

図12 - 2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス：FFFABH　リセット時：1AH/9AH注　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTE レジスタのリセット値は，オプション･バイト(000C0H)の WDTON ビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTE レジスタのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTE レジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

注意2. WDTE レジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

注意3. WDTE レジスタのリード値は，“9AH／1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

12.4　ウォッチドッグ・タイマの動作

12.4.1　ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4 (WDTON)を1に設定し，ウォッチドッグ・タイマのカウント動作を許可(リセット解除後，カウンタは動作開始)にしてください(詳細は，第30章　オプション・バイトを参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止(リセット解除後，カウント停止)
1	カウント動作許可(リセット解除後，カウント開始)

- オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で，オーバフロー時間を設定してください(詳細は，12.4.2および第30章　を参照)。
- オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で，ウインドウ・オープン期間を設定してください(詳細は，12.4.3および第30章　を参照)。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

注意2. WDTE レジスタに “ACH” を書き込んでから，ウォッチドッグ・タイマのカウンタがクリアされるまで，最大f_{IL}の2クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により，ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は，次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合，HALTおよびSTOPモード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア(0)して，カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。

そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。

よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

12.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表12 - 3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f_{IL} = 17.25 kHz (MAX.)の場合)
0	0	0	$2^6/f_{IL}$ (3.71 ms)
0	0	1	$2^7/f_{IL}$ (7.42 ms)
0	1	0	$2^8/f_{IL}$ (14.84 ms)
0	1	1	$2^9/f_{IL}$ (29.68 ms)
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)
★ 1	0	1	$2^{13}/f_{IL}$ (474.89 ms) 注
★ 1	1	0	$2^{14}/f_{IL}$ (949.79 ms) 注
★ 1	1	1	$2^{16}/f_{IL}$ (3799.18 ms) 注

★ 注　下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

・ウォッチドッグ・タイマのオーバフローの時間を$2^{13}/f_{IL}$，$2^{14}/f_{IL}$または$2^{16}/f_{IL}$ に設定

・ウォッチドッグ・タイマのインターバル割り込みを使用

・ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75% 以上の時にWDTE レジスタ(FFFABH)にACH を書き込み

① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット

② ウォッチドッグ・タイマのカウンタをクリア

③ 80 μs 以上ウエイト

④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア

⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

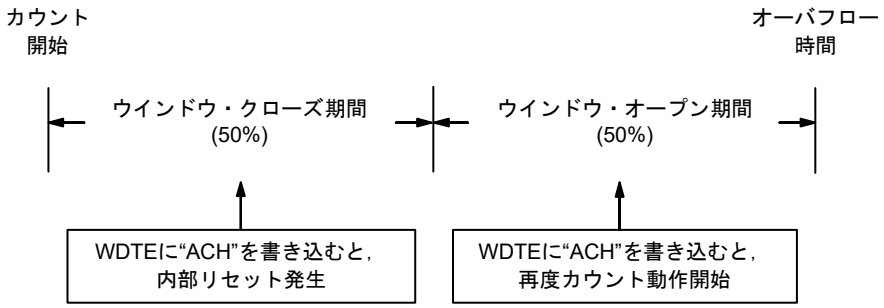
備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

12.4.3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は，オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
- ウインドウ・クローズ期間中は，WDTEレジスタに“ACH”を書き込んでも，異常検出され，内部リセットを発生します。

例 ウインドウ・オープン期間が50%の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表12 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

注　ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f_{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

注意　オプション・バイト(000C0H)のビット0 (WDSTBYON) = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　オーバフロー時間を2^9/fILに設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50%	75%	100%
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50%のとき>

- オーバフロー時間：

  2^9/fIL (MAX.) = 2^9 /17.25 kHz (MAX.) = 29.68 ms

- ウインドウ・クローズ時間：

  0～2^9/fIL (MIN.) × (1 - 0.5) = 0～2^9/12.75 kHz × 0.5 = 0～20.08 ms

- ウインドウ・オープン時間：

  2^9/fIL (MIN.) × (1 - 0.5) ～2^9/fIL (MAX.) = 2^9/12.75 kHz × 0.5～2^9 /17.25 kHz = 20.08～29.68 ms

12.4.4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7 (WDTINT)の設定により，オーバフロー時間の75% + 1/2 fIL到達時にインターバル割り込み(INTWDTI)を発生することができます。

表12 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 fIL到達時にインターバル割り込みを発生する

注意　STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第13章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに2つのシリアル・チャネルを持ちます。各チャネルは簡易SPI（CSI注），UART，簡易I²Cの通信機能を実現できます。

RL78/G11で対応している各チャネルの機能割り当ては，次のようになっています。

注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○10ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用
0	0	—	—
	1		
	2	CSI10	UART1
	3	—	

○16ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	—	UART0 (LIN-bus対応)	—
	1			
	2	CSI10	UART1	—
	3	CSI11		IIC11

○20ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

○24, 25ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

チャネル0, 1で「UART0」を使用するときは，CSI00やCSI01を使用することはできませんが，チャネル2, 3のCSI10やUART1やIIC10は使用できます。

注意　この章では，以降の主な説明を24ピン製品のユニット，チャネル構成で説明しています。

13.1　シリアル・アレイ・ユニットの機能

RL78/G11で対応している各シリアル・インタフェースの特徴を示します。

13.1.1　簡易SPI (CSI00, CSI01, CSI10, CSI11)

マスタから出力されるシリアル・クロック(SCK)に同期してデータの送信／受信を行います。

シリアル・クロック(SCK) 1本と送信，受信のシリアル・データ(SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「13.5　簡易SPI (CSI00, CSI01, CSI10, CSI11)通信の動作」を参照してください。

［データ送受信］

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注　マスタ通信時：　Max. f_{CLK}/2 (CSI00のみ)
  Max. f_{CLK}/4
  スレーブ通信時：　Max. f_{MCK}/6

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

以下のチャネルの簡易SPI（CSI）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。以下の簡易SPI（CSI）のみ設定可能です。

- CSI00

注　SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は，第35章，第36章 電気的特性を参照してください。

13.1.2　UART (UART0, UART1)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)データを送受信します。送信専用(偶数チャネル)と受信専用(奇数チャネル)の2チャネルを使用することで，全2重UART通信が実現できます。

また，タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は，「13.7　UART (UART0, UART1)通信の動作」を参照してください。

［データ送受信］

- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，以下のチャネルのUART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック(f_{IH}) を選択している場合に，以下のUARTのみ設定可能です。

- UART0

UART0 (チャネル0, 1)は，LIN-busに対応しています。

［LIN-bus機能］

- ウエイクアップ信号検出
- ブレーク・フィールド(BF)検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み(INTP0)，タイマ・アレイ・ユニットを使用

注　9ビット・データ長は，以下のUARTのみ対応しています。

- UART0

13.1.3　簡易I²C (IIC00, IIC01, IIC10, IIC11)

シリアル・クロック(SCL)とシリアル・データ(SDA)の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM, フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

具体的な設定例は，「13.9　簡易I²C (IIC00, IIC01, IIC10, IIC11)通信の動作」を参照して下さい。

［データ送受信］

- マスタ送信，マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  (アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御)
- スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- ACKエラー，オーバーラン・エラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注　最終データの受信時は, SOEmnビット(シリアル出力許可レジスタm (SOEm))ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，13.9.3　(2)　処理フローを参照してください。

備考　フル機能のI²Cバスをご使用の場合は，第14章　シリアル・インタフェースIICAを参照してください。

13.2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表13 - 1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn)の下位8ビットまたは9ビット[注]
シリアル・クロック入出力	SCK00, SCK01, SCK10, SCK11端子(簡易SPI用)，SCL00, SCL01, SCL10, SCL11端子(簡易I^2C用)
シリアル・データ入力	SI00, SI01, SI10, SI11端子(簡易SPI用)，RxD0端子(LIN-bus対応UART用), RxD1 (UART用)
シリアル・データ出力	SO00, SO01, SO10, SO11端子(簡易SPI用)，TxD0端子(LIN-bus対応UART用), TxD1 (UART用)
シリアル・データ入出力	SDA00, SDA01, SDA10, SDA11端子(簡易I^2C用)
スレーブ選択入力	$\overline{\text{SSI00}}$端子(スレーブ・セレクト入力機能用)
制御レジスタ	＜ユニット設定部のレジスタ＞ • 周辺イネーブル・レジスタ0 (PER0) • 周辺リセット制御レジスタ0 (PRR0) • シリアル・クロック選択レジスタm (SPSm) • シリアル・チャネル許可ステータス・レジスタm (SEm) • シリアル・チャネル開始レジスタm (SSm) • シリアル・チャネル停止レジスタm (STm) • シリアル出力許可レジスタm (SOEm) • シリアル出力レジスタm (SOm) • シリアル出力レベル・レジスタm (SOLm) • シリアル・スタンバイ・コントロール・レジスタm (SSCm) • 入力切り替え制御レジスタ(ISC) • ノイズ・フィルタ許可レジスタ0 (NFEN0)
	＜各チャネル部のレジスタ＞ • シリアル・データ・レジスタmn (SDRmn) • シリアル・モード・レジスタmn (SMRmn) • シリアル通信動作設定レジスタmn (SCRmn) • シリアル・ステータス・レジスタmn (SSRmn) • シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
	• ポート入力モード・レジスタ0, 3-5 (PIM0, PIM3-PIM5) • ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5) • ポート・モード・レジスタ0, 2-5 (PM0, PM2-PM5) • ポート・レジスタ0, 2-5 (P0, P2-P5)

(注，備考は次ページにあります。)

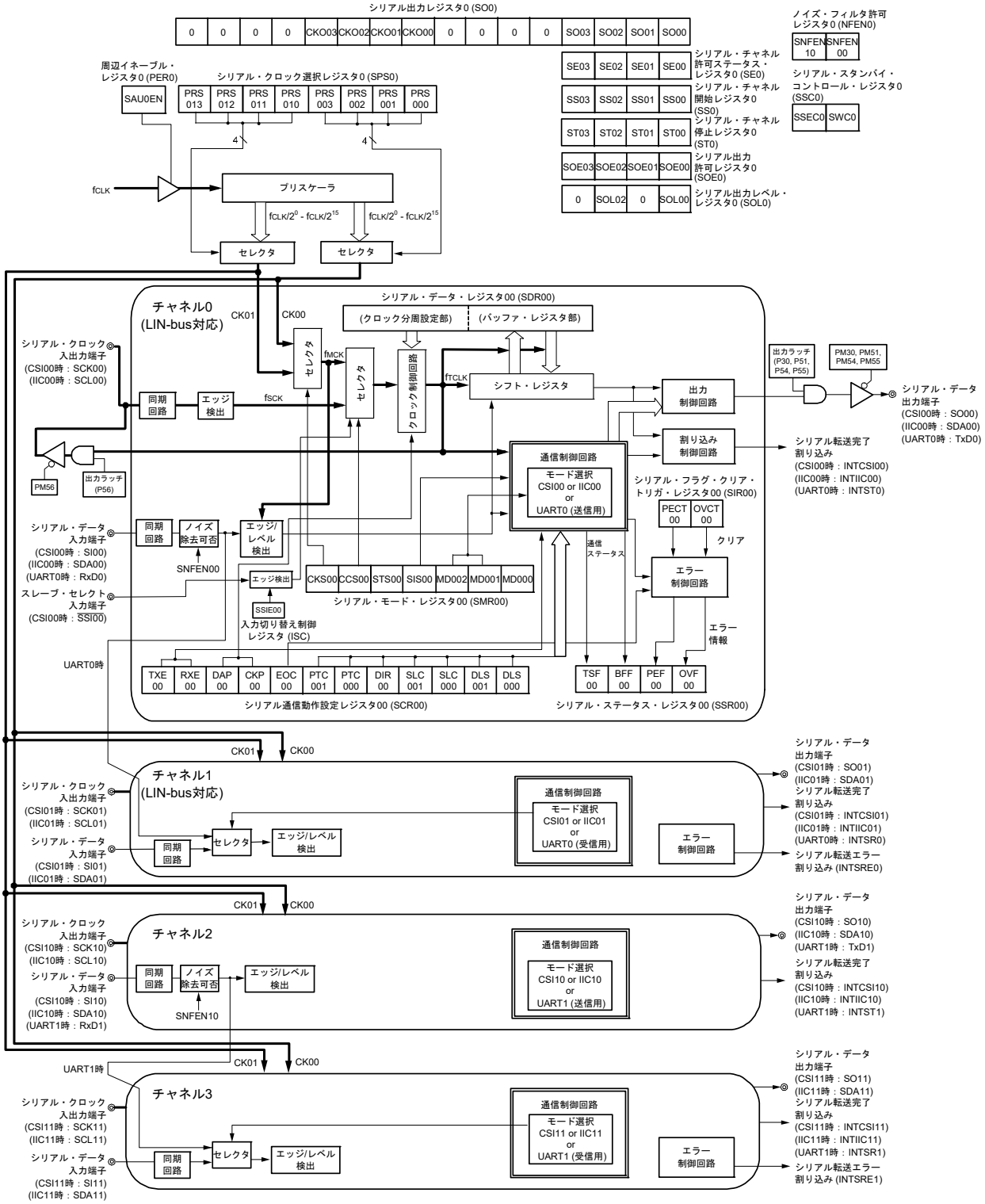
注　シリアル・データ・レジスタmn (SDRmn)の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

- CSIp通信時 .....SIOp (CSIpデータ・レジスタ)
- UARTq受信時.....RXDq (UARTq受信データ・レジスタ)
- UARTq送信時.....TXDq (UARTq送信データ・レジスタ)
- IICr通信時.....SIOr (IICrデータ・レジスタ)

備考　m：ユニット番号(m = 0)　n：チャネル番号(n = 0-3)　p：CSI番号(p = 00, 01, 10, 11)
q：UART番号(q = 0, 1)　r：IIC番号(r = 00, 01, 10, 11)

図13 - 1にシリアル・アレイ・ユニット0のブロック図を示します。

図13 - 1 シリアル・アレイ・ユニット0のブロック図



13.2.1　シフト・レジスタ

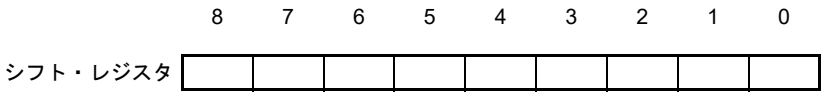
パラレル⇔シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は，9ビット(ビット0～8)を使用します注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します注。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタmn (SDRmn)の下位8/9ビットを使用します。



注　9ビット・データ長は，以下のUARTのみ対応しています。

・UART0

13.2.2　シリアル・データ・レジスタmn (SDRmn)の下位8/9ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0 (下位9ビット)注1，またはビット7-0 (下位8ビット)は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック(fMCK)の分周設定レジスタとして使われます。

受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn (SCRmn)のビット0, 1 (DLSmn0, DLSmn1)の設定によって，次のようになります。

- 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- 9ビット・データ長(SDRmnレジスタのビット0-8に格納)注1

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8/9ビットは，通信方式により，次のSFR名称で8ビット単位でリード／ライト可能注2です。

- CSIp通信時 .....SIOp (CSIpデータ・レジスタ)
- UARTq受信時 .....RXDq (UARTq受信データ・レジスタ)
- UARTq送信時 .....TXDq (UARTq送信データ・レジスタ)
- IICr通信時 .....SIOr (IICrデータ・レジスタ)

リセット信号の発生により，SDRmnレジスタは0000Hになります。

注1.　9ビット・データ長は，以下のUARTのみ対応しています。

・UART0

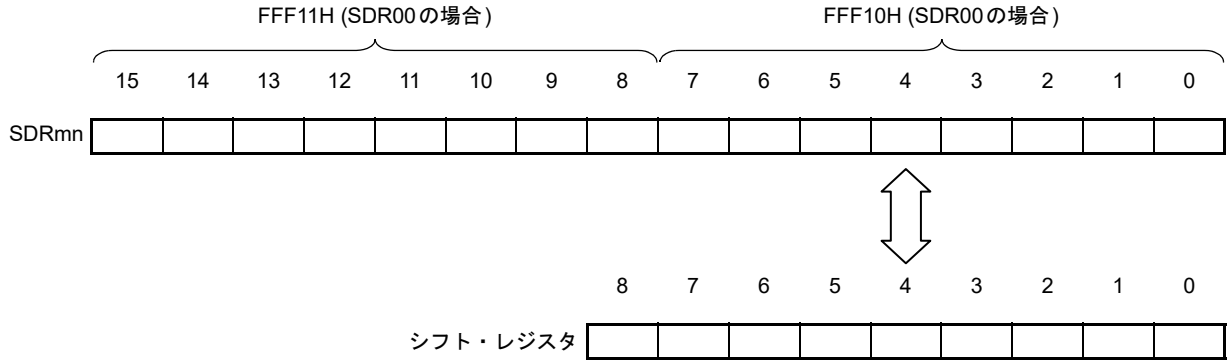
注2.　動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1.　受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。

備考2.　m：ユニット番号(m = 0)　n：チャネル番号(n = 0-3)　p：CSI番号(p = 00, 01, 10, 11)
q：UART番号(q = 0, 1)　r：IIC番号(r = 00, 01, 10, 11)

図13 - 2 シリアル・データ・レジスタmn (SDRmn)(mn = 00, 01)のフォーマット

アドレス：FFF10H, FFF11H (SDR00)注1, FFF12H, FFF13H (SDR01)注2　リセット時：0000H　R/W



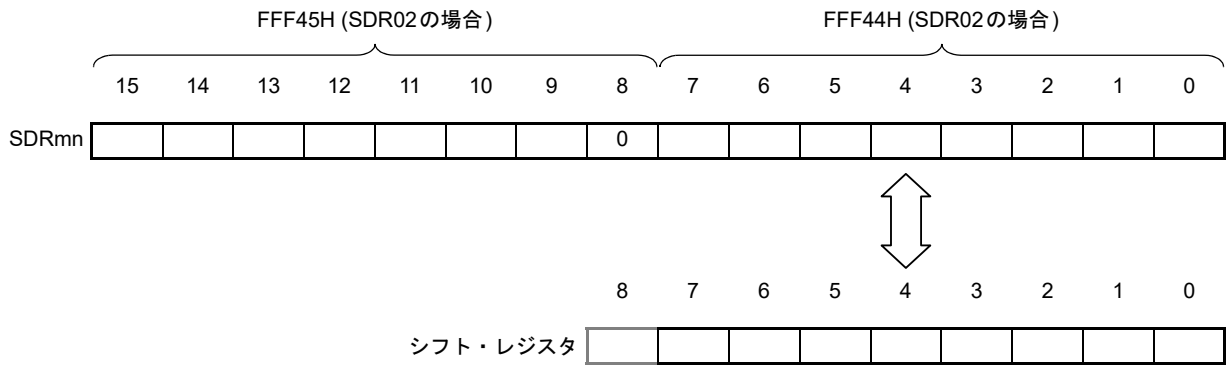
注1.　20, 24, 25ピン製品のみ

注2.　24, 25ピン製品のみ

備考　SDRmnレジスタの上位7ビットの機能については，13.3　シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図13 - 3 シリアル・データ・レジスタmn (SDRmn)(mn = 02, 03)のフォーマット

アドレス：FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)注　リセット時：0000H　R/W



注　16, 20, 24, 25ピン製品

注意　ビット8は，必ず0を設定してください。

備考　SDRmnレジスタの上位7ビットの機能については，13.3　シリアル・アレイ・ユニットを制御するレジスタを参照してください。

13.3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- シリアル・クロック選択レジスタm (SPSm)
- シリアル・モード・レジスタmn (SMRmn)
- シリアル通信動作設定レジスタmn (SCRmn)
- シリアル・データ・レジスタmn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- シリアル・ステータス・レジスタmn (SSRmn)
- シリアル・チャネル開始レジスタm (SSm)
- シリアル・チャネル停止レジスタm (STm)
- シリアル・チャネル許可ステータス・レジスタm (SEm)
- シリアル出力許可レジスタm (SOEm)
- シリアル出力レベル・レジスタm (SOLm)
- シリアル出力レジスタm (SOm)
- シリアル・スタンバイ・コントロール・レジスタm (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0, 3-5 (PIM0, PIM3-PIM5)
- ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5)
- ポート・モード・レジスタ0, 2-5 (PM0, PM2-PM5)
- ポート・レジスタ0, 2-5 (P0, P2-P5,)

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

13.3.1　周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2 (SAU0EN)に1を設定してください。

PER0 レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0 レジスタは00Hになります。

図13 - 4 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニットmで使用するSFRへのライト不可
1	入力クロック供給許可 • シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には，必ず最初にSAUmEN = 1の状態で，下記のレジスタ設定を行ってください。SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます(入力切り替え制御レジスタ (ISC)，ノイズ・フィルタ許可レジスタ0 (NFEN0)，ポート入力モード・レジスタ0, 3-5 (PIM0, PIM3-PIM5)，ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5)，ポート・モード・レジスタ0, 2-5 (PM0, PM2-PM5)，ポート・レジスタ0, 2-5 (P0, P2-P5)は除く)。

- シリアル・クロック選択レジスタm (SPSm)
- シリアル・モード・レジスタmn (SMRmn)
- シリアル通信動作設定レジスタmn (SCRmn)
- シリアル・データ・レジスタmn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- シリアル・ステータス・レジスタmn (SSRmn)
- シリアル・チャネル開始レジスタm (SSm)
- シリアル・チャネル停止レジスタm (STm)
- シリアル・チャネル許可ステータス・レジスタm (SEm)
- シリアル出力許可レジスタm (SOEm)
- シリアル出力レベル・レジスタm (SOLm)
- シリアル出力レジスタm (SOm)
- シリアル・スタンバイ・コントロール・レジスタm (SSCm)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 7

13.3.2　周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニットをリセットする場合は，必ずビット2 (SAU0RES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図13 - 5 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IICA1RES	ADCRES	IICA0RES	0	SAU0RES	0	TAU0RES

SAU0RES	シリアル・アレイ・ユニットのリセット制御
0	シリアル・アレイ・ユニットのリセット解除
1	シリアル・アレイ・ユニットはリセット状態

13.3.3　シリアル・クロック選択レジスタm (SPSm)

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック(CKm0, CKm1)を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中(SEmn = 1のとき)の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図13 - 6 シリアル・クロック選択レジスタm (SPSm)のフォーマット

アドレス：F0126H, F0127H (SPS0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック (CKmk)の選択注				
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注　シリアル・アレイ・ユニット(SAU)動作中にf_{CLK}で選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は，SAUの動作を停止(シリアル・チャネル停止レジスタm (STm) = 000FH)させてから変更してください。

注意　ビット15-8には，必ず0を設定してください。

備考1. f_{CLK}：CPU／周辺ハードウエア・クロック周波数

備考2. m：ユニット番号(m = 0)

備考3. k = 0, 1

13.3.4 シリアル・モード・レジスタmn (SMRmn)

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック(fMCK)の選択，シリアル・クロック(fSCK)入力の使用可否，スタート・トリガ設定，動作モード(簡易SPI（CSI），UART, 簡易I2C)設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中(SEmn = 1のとき)の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図13 - 7 シリアル・モード・レジスタmn (SMRmn)のフォーマット(1/2)

アドレス：F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03)　　リセット時：0020H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn注	0	SISmn0注	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャネルnの動作クロック(fMCK)の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック(fMCK)は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック(fTCLK)を生成します。	

CCSmn	チャネルnの転送クロック(fTCLK)の選択
0	CKSmnビットで指定した動作クロックfMCKの分周クロック
1	SCKp端子からの入力クロックfSCK (簡易SPI（CSI）モードのスレーブ転送)
転送クロックfTCLKは，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック(fMCK)の分周設定を行います。	

STSmn注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効(簡易SPI（CSI），UART送信，簡易I2C時に選択)
1	RxDq端子の有効エッジ(UART受信時に選択)
SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注　SMR01，SMR03レジスタのみ。

注意　ビット13-9, 7, 4, 3 (SMR00, SMR02レジスタの場合は，ビット13-6, 4, 3)には，必ず0を設定してください。
ビット5には，必ず1を設定してください。

備考　m：ユニット番号(m = 0)　n：チャネル番号(n = 0-3)　p：CSI番号(p = 00, 01, 10, 11)
q：UART番号(q = 0, 1)　r：IIC番号(r = 00, 01, 10, 11)

図13 - 7 シリアル・モード・レジスタmn (SMRmn)のフォーマット(2/2)

アドレス：F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) リセット時：0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn注	0	SISmn0注	1	0	0	MDmn2	MDmn1	MDmn0

SISmn0注	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MDmn2	MDmn1	チャネルnの動作モードの設定
0	0	簡易SPI（CSI）モード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MDmn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01，SMR03レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02レジスタの場合は，ビット13-6, 4, 3)には，必ず0を設定してください。
ビット5には，必ず1を設定してください。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11)
q：UART番号(q = 0, 1) r：IIC番号(r = 00, 01, 10, 11)

13.3.5 シリアル通信動作設定レジスタmn (SCRmn)

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定します。

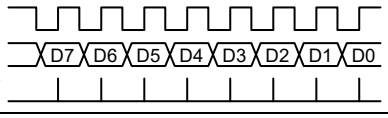
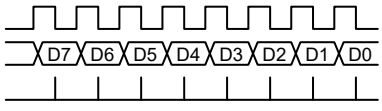
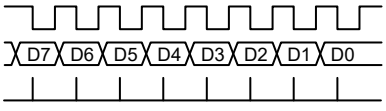
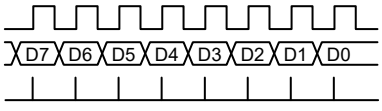
リセット信号の発生により，SCRmnレジスタは0087Hになります。

図13 - 8 シリアル通信動作設定レジスタmn (SCRmn)のフォーマット(1/2)

アドレス：F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03)　　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易SPI（CSI）モードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード，簡易I²Cモード時には，必ずDAPmn, CKPmn = 0, 0に設定してください。			

EOCmn	エラー割り込み信号(INTSREx (x = 0,1))のマスク制御
0	エラー割り込みINTSRExの発生を禁止する(INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する(エラー発生時，INTSRxは発生しない)
簡易SPI（CSI）モード，簡易I²Cモード，UART送信時には，EOCmn = 0に設定してください注2。	

注1.　SCR00，SCR02レジスタのみ。

注2.　CSImnをEOCmn = 0で使用しない場合，エラー割り込みINTSRENnが発生する場合があります。

注意　ビット3, 6, 11には，必ず0を設定してください(SCR01, SCR03レジスタはビット5も0に設定してください。
ビット2には，必ず1を設定してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11)

図13 - 8 シリアル通信動作設定レジスタmn (SCRmn)のフォーマット(2/2)

アドレス：F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) リセット時：0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力注2	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI（CSI）モード, 簡易I2Cモード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIRmn	簡易SPI（CSI）, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I2Cモード時には，必ずDIRmn = 0に設定してください。	

SLCmn1注1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット(mn = 00, 02のみ)
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時，簡易I2Cモード時には，1ビット(SLCmn1, SLCmn0 = 0, 1)に設定してください。 簡易SPI（CSI）モード時には，ストップ・ビットなし(SLCmn1, SLCmn0 = 0, 0)に設定してください。 UART送信時は，1ビット(SLCmn1, SLCmn0 = 0, 1)又は2ビット(SLCmn1, SLCmn0 = 1, 0)に設定してください。		

DLSmn1	DLSmn0	簡易SPI（CSI）, UARTモードでのデータ長の設定
0	1	9ビット・データ長(SDRmnレジスタのビット0-8に格納)(UARTモード時のみ選択可)
1	0	7ビット・データ長(SDRmnレジスタのビット0-6に格納)
1	1	8ビット・データ長(SDRmnレジスタのビット0-7に格納)
その他		設定禁止
簡易I2Cモード時には，必ずDLSmn1, DLSmn0 = 1, 1に設定してください。		

注1. SCR00，SCR02レジスタのみ。

注2. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には，必ず0を設定してください(SCR01, SCR03レジスタはビット5も0に設定してください。
ビット2には，必ず1を設定してください。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11)

13.3.6 シリアル・データ・レジスタmn (SDRmn)

SDRmnレジスタは，チャネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01のビット8-0 (下位9ビット)は，送受信バッファ・レジスタとして機能し，ビット15-9 (上位7ビット)の部分は動作クロック(fMCK) の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn (SMRmn) でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタのビット15-9 (上位7ビット)で分周設定したクロックが，転送クロックとして使用されます。

また，CCSmnビットを1に設定した場合は，SDR00，SDR01ビット15-9 (上位7ビット)に“0000000B”を設定してください。SCKp端子からの入力クロックfSCK (簡易SPI（CSI）モードのスレーブ転送)が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SEmn = 0) のときのみ有効です。動作中(SEmn = 1)にSDRmnレジスタに書き込みを行ったときは，下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合，上位7ビットは常に0が読み出されます。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図13 - 9 シリアル・データ・レジスタmn (SDRmn)のフォーマット

アドレス：FFF10H, FFF11H (SDR00)[注1], FFF12H, FFF13H (SDR01)[注2] リセット時：0000H R/W

	FFF11H (SDR00の場合)								FFF10H (SDR00の場合)							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn																

アドレス：FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)[注3] リセット時：0000H R/W

	FFF45H (SDR02の場合)								FFF44H (SDR02の場合)							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0								

SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	fMCK/2
0	0	0	0	0	0	1	fMCK/4
0	0	0	0	0	1	0	fMCK/6
0	0	0	0	0	1	1	fMCK/8
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	fMCK/254
1	1	1	1	1	1	1	fMCK/256

注1. 20, 24, 25ピン製品

注2. 24, 25ピン製品

注3. 16, 20, 24, 25ピン製品

注意1. UART使用時は，SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

注意2. 簡易I2C使用時は，SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

注意3. 動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1. SDRmn レジスタの下位 8/9 ビットの機能については，13.2　シリアル・アレイ・ユニットの構成を参照してください。

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

13.3.7　シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると，シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn) が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので，SSRmn レジスタの対応ビットをクリアするとすぐSIRmn レジスタもクリアされます。

SIRmn レジスタは，16 ビット・メモリ操作命令で設定します。

またSIRmn レジスタの下位8ビットは，SIRmnL で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SIRmn レジスタは0000Hになります。

図13 - 10 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス：F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn注	PECTmn	OVCTmn

FECTmn注	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタのFEFmn ビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタのPEFmn ビットを0にクリアする

OVCTmn	チャネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタのOVFmn ビットを0にクリアする

注　SIR01, SIR03 レジスタのみ。

注意　ビット15-3 (SIR00, SIR02 レジスタの場合は，ビット15-2)には，必ず0を設定してください。

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

備考2. SIRmn レジスタの読み出し値は常に0000Hとなります。

13.3.8　シリアル・ステータス・レジスタmn (SSRmn)

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図13 - 11 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット(1/2)

アドレス：F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03)　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

TSF mn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
＜クリア条件＞ • STmレジスタのSTmnビットに1を設定時(通信停止状態)，もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) • 通信動作が終了時 ＜セット条件＞ 通信動作を開始時	

BFF mn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
＜クリア条件＞ • 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき • 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき • STmレジスタのSTmnビットに1を設定時(通信停止状態)，SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 ＜セット条件＞ • SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信，送受信モード時)の状態でSDRmnレジスタに送信データを書き込んだとき • SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信，送受信モード時)の状態でSDRmnレジスタに受信データが格納されたとき • 受信エラー時	

注　　SSR01, SSR03レジスタのみ。

注意　SNOOZEモード(SWCm = 1)で簡易SPI（CSI）の受信動作を行う場合，BFFmnフラグは動作しません。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

図13 - 11 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット(2/2)

アドレス：F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn

FEF mn注	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
＜クリア条件＞ SIRmnレジスタのFECTmnビットに1を書き込んだとき ＜セット条件＞ UART受信完了時に，ストップ・ビットが検出されないとき	

PEF mn	チャネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)，またはACK未検出発生(I^2C送信時)
＜クリア条件＞ SIRmnレジスタのPECTmnビットに1を書き込んだとき ＜セット条件＞ • UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) • I^2C送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出)	

OVF mn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
＜クリア条件＞ SIRmnレジスタのOVCTmnビットに1を書き込んだとき ＜セット条件＞ • SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信，送受信モード時)の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき • 簡易SPI（CSI）モードのスレーブ送信／送受信で，送信データが準備できていないとき	

注 SSR01, SSR03レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー (OVFmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI（CSI）の受信動作を行う場合，OVFmnフラグは動作しません。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3)

13.3.9　シリアル・チャネル開始レジスタm (SSm)

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット(SSmn)に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm (SEm)の対応ビット(SEmn)が1にセット(動作許可状態)されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSmレジスタは0000Hになります。

図13 - 12 シリアル・チャネル開始レジスタm (SSm)のフォーマット

アドレス：F0122H, F0123H (SS0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS03	SS02	SS01	SS00

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし，通信待機状態に遷移する注

注　通信動作中にSSmn = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタの15-4には，必ず0を設定してください。

注意2. UART受信の場合は，SCRmnレジスタのRXEmnビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

13.3.10　シリアル・チャネル停止レジスタm (STm)

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット(STmn)に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm (SEm)の対応ビット(SEmn)が0にクリア(動作停止状態)されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，STmレジスタは0000Hになります。

図13 - 13 シリアル・チャネル停止レジスタm (STm)のフォーマット

アドレス：F0124H, F0125H (ST0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST03	ST02	ST01	ST00

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし，通信動作を停止する注

注　制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意　ST0レジスタの15-4には，必ず0を設定してください。

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

13.3.11　シリアル・チャネル許可ステータス・レジスタm (SEm)

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm (SSm)の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm (STm)の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm (SOm)のCKOmnビット(チャネルnのシリアル・クロック出力)の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SEmレジスタは0000Hになります。

図13 - 14 シリアル・チャネル許可ステータス・レジスタm (SEm)のフォーマット

アドレス：F0120H, F0121H (SE0)　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE03	SE02	SE01	SE00

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

注意　SE0レジスタの15-4には，必ず0を設定してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

13.3.12 シリアル出力許可レジスタm (SOEm)

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm (SOm)のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図13 - 15 シリアル出力許可レジスタm (SOEm)のフォーマット

アドレス：F012AH, F012BH　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	SOE03	SOE02	SOE01	SOE00

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　SOE0レジスタの15-4には，必ず0を設定してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

13.3.13 シリアル出力レジスタ m (SOm)

SOm レジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウエアによる書き換えは，シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウエアによる書き換えは，チャネル動作停止(SEmn = 0)時のみ可能です。チャネル動作許可(SEmn = 1)時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能等のシリアル・インタフェース機能以外として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

SOm レジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SOm レジスタは0F0FHになります。

図13 - 16 シリアル出力レジスタ m (SOm)のフォーマット

アドレス：F0128H, F0129H　　リセット時：0F0FH　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO03	CKO02	CKO01	CKO00	0	0	0	0	SO03	SO02	SO01	SO00

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意　SO0 レジスタのビット15-12, 7-4には，必ず0を設定してください。また，20ピン製品のSO0 レジスタのビット9には，必ず1を設定してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

13.3.14　シリアル出力レベル・レジスタ m (SOLm)

SOLm レジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI（CSI）モード，簡易 I^2C モード時は，必ず対応するビットに 0 を設定してください。

このレジスタによる各チャネル n の反転設定は，シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時は SOmn ビットの値がそのまま出力されます。

SOLm レジスタは，動作中(SEmn = 1 のとき)の書き換えは禁止です。

SOLm レジスタは，16 ビット・メモリ操作命令で設定します。

また SOLm レジスタの下位 8 ビットは，SOLmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOLm レジスタは 0000H になります。

図 13 - 17 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス：F0134H, F0135H (SOL0)　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL02	0	SOL00

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

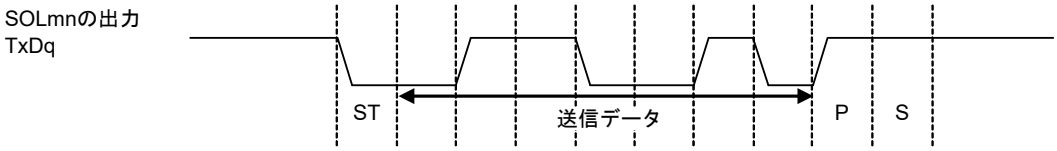
注意　SOL0 レジスタのビット 15-3, 1 には，必ず 0 を設定してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0, 2)

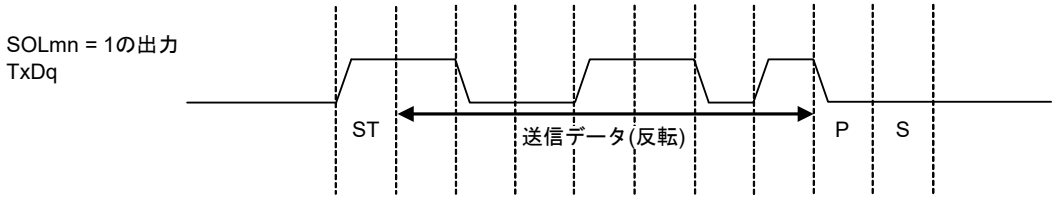
UART 送信時，送信データのレベル反転例を図 13 - 18 に示します。

図13 - 18 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考　m：ユニット番号(m = 0)　n：チャネル番号(n = 0, 2)

13.3.15 シリアル・スタンバイ・コントロール・レジスタm (SSCm)

SSC0レジスタは，CSI00，UART0のシリアル・データ受信による，STOPモード状態からの受信動作起動(SNOOZEモード)を制御するレジスタです。

SSCmレジスタは，16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは，SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSCmレジスタは0000Hになります。

注意　SNOOZEモード時の最大転送レートは，次のようになります。

- CSI00の場合：～1 Mbps
- UART0の場合：4800 bpsのみ

図13 - 19 シリアル・スタンバイ・コントロール・レジスタm (SSCm)のフォーマット

アドレス：F0138H, F0139H (SSC0)　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み(INTSRE0)発生許可
1	エラー割り込み(INTSRE0)発生停止
• SNOOZEモード時のUART受信で，SWCm = 1かつEOCmn = 1の時のみ，SSECmビットを1/0に設定することができます。その他の場合は，SSECmビットを0に設定してください。 • SSECm, SWCm = 1, 0は設定禁止です。	

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
• STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなく，CSI00/UART0の受信動作を行います(SNOOZEモード)。 • SNOOZEモード機能は，CPU／周辺ハードウエア・クロック(f_{CLK})に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • SNOOZEモードを使用する場合でも，通常動作モード時はSWCmを0に設定し，STOPモードへ移行する直前にSWCmを1に変更してください。 またSTOPモードから通常動作モードへ復帰後，必ずSWCmを0に変更してください。	

注意　SSECm, SWCm = 1, 0は設定禁止です。

図13 - 20 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

13.3.16 入力切り替え制御レジスタ(ISC)

ISCレジスタのISC1, ISC0ビットは，UART0でLIN-bus通信動作を実現するときに，外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると，シリアル・データ入力(RxD0)端子の入力信号が外部割り込み入力(INTP0)として選択されます。これによって，ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると，シリアル・データ力(RxD0)端子の入力信号がタイマ入力として選択されます。これによって，ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

SSIE00ビットは，CSI00通信かつスレーブ・モード時にチャネル0の$\overline{\text{SSI00}}$端子入力を制御するビットです。$\overline{\text{SSI00}}$端子にハイ・レベルが入力されている期間は，シリアル・クロックが入力されても送受信動作を行いません。$\overline{\text{SSI00}}$端子にロウ・レベルが入力されている期間は，シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図13 - 21 入力切り替え制御レジスタ(ISC)のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	CSI00通信かつスレーブ・モード時のチャネル0の$\overline{\text{SSI00}}$入力の設定
0	$\overline{\text{SSI00}}$端子入力の無効
1	$\overline{\text{SSI00}}$端子入力の有効

ISC1	タイマ・アレイ・ユニット0のチャネル3の入力切り替え
0	TIS0レジスタのビットTIS06, TIS05で指定する信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)

注意　ビット6-2に必ず0を設定してください。

13.3.17 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

簡易SPI（CSI），簡易I²C通信に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック(fMCK)で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック(fMCK)で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN0レジスタは00Hになります。

図13 - 22 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス：F0070H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	SNFEN10	0	SNFEN00

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは，SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは，SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは，SNFEN10 = 0に設定してください。	

注意　10, 16ピン製品のビット7-3, 1, 0には必ず0を設定してください。

20, 24, 25ピン製品のビット7-3, 1には必ず0を設定してください。

13.3.18 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ(ポート・モード・レジスタ(PMxx)，ポート・レジスタ(Pxx)，ポート入力モード・レジスタ(PIMxx)，ポート出力モード・レジスタ(POMxx)，ポート・モード・コントロール・レジスタ(PMCxx)を設定してください。

詳細は，4.3.1　ポート・モード・レジスタ(PMxx)，4.3.2　ポート・レジスタ(Pxx)，4.3.4　ポート入力モード・レジスタ(PIMxx)，4.3.5　ポート出力モード・レジスタ(POMxx)，4.3.6　ポート・モード・コントロール・レジスタ(PMCxx)を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート(P01/ANI16/INTP5/SO10/TxD1など)をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・レジスタ(PMxx)のビットに0を，ポート・レジスタ(Pxx)のビットに1を設定してください。

なお，N-chオープン・ドレイン出力(V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])モードで使用する場合は，各ポートに対応するポート出力モード・レジスタ(POMxx)のビットに1を設定してください。異電位(1.8V系，2.5V系，3V系)で動作している外部デバイスと接続する場合は，4.4.4　入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応を参照してください。

(例) P01/ANI16/INTP5/SO10/TxD1をシリアル・データ出力として使用する場合
ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定
ポート・モード・レジスタ0のPM01ビットを0に設定
ポート・レジスタ0のP01ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート(P00/ANI17/PCLBUZ1/TI03/(VCOUT1)/SI10/RxD1/SDA10/(SDAA1)など)をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは，0または1のどちらでもかまいません。

なお，TTL入力バッファで使用する場合は，各ポートに対応するポート入力モード・レジスタ(PIMxx)のビットに1を設定してください。異電位(1.8V系，2.5V系，3V系)で動作している外部デバイスと接続する場合は，4.4.4　入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応を参照してください。

(例) P00/ANI17/PCLBUZ1/TI03/(VCOUT1)/SI10/RxD1/SDA10/(SDAA1)をシリアル・データ入力として使用する場合
ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定
ポート・モード・レジスタ0のPM00ビットを1に設定
ポート・レジスタ0のP00ビットを0または1に設定

注1.　10, 16, 20, 24ピン製品の場合

注2.　25ピン製品の場合

13.4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

また動作停止モードでは，シリアル・インタフェース用端子をポート機能として使用できます。

13.4.1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0 (PER0)で行います。

PER0 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，ビット2 (SAU0EN)に0を設定してください。

図13 - 23 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0) 停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0		IICA1EN	ADCEN	IICA0EN		SAU0EN		TAU0EN
	0	×	×	×	0	0/1	0	×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意1. SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます。
ただし，次のレジスタは除きます。
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0, 3-5 (PIM0, PIM3-PIM5)
- ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5)
- ポート・モード・レジスタ0, 2-5 (PM0, PM2-PM5)
- ポート・レジスタ0, 2-5 (P0, P2-P5)

注意2. 次のビットには必ず“0”を設定してください。
ビット1, 3, 7

備考　×：シリアル・アレイ・ユニットでは使用しないビット(他の周辺機能の設定による)
0/1：ユーザの用途に応じて0または1に設定

13.4.2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図13 - 24 チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm (STm)

. . . . . 各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3 0/1	STm2 0/1	STm1 0/1	STm0 0/1

1：SEmnビットを0にクリアし，通信動作を停止

※ STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm (SEm)

. . . . . 各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3 0/1	SEm2 0/1	SEm1 0/1	SEm0 0/1

0：動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり，STmレジスタにて動作停止にします。
動作を停止したチャネルは，SOmレジスタのCKOmnビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタm (SOEm)

. . . . . 各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SOmレジスタのSOmnビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタm (SOm) . . . . . 各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3 0/1	SOm2 0/1	SOm1 0/1	SOm0 0/1

1：シリアル・クロック出力値が“1”　　1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)

備考2. ■：設定不可(初期値を設定)　0/1：ユーザの用途に応じて0または1に設定

13.5　簡易SPI (CSI00, CSI01, CSI10, CSI11)通信の動作

シリアル・クロック(SCK)とシリアル・データ(SI, SO)の3本のラインによる，クロック同期式通信機能です。

［データ送受信］

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時：　Max. f_{CLK}/2 (CSI00のみ)
  マスタ通信時：　Max. f_{CLK}/4
  スレーブ通信時：　Max. f_{MCK}/6

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

以下のチャネルの簡易SPI（CSI）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。以下の簡易SPI（CSI）のみ設定可能です。

- CSI00

注　SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は，第35章, 第36章　電気的特性を参照してください。

簡易SPI (CSI00, CSI01, CSI10, CSI11)に対応しているチャネルは，SAU0のチャネル0-3です。

○10ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用
0	0	—	—
	1	—	
	2	CSI10	UART1
	3	—	

○16ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I^2Cとして使用
0	0	—	UART0 (LIN-bus対応)	—
	1	—		—
	2	CSI10	UART1	—
	3	CSI11		IIC11

○20ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

○24, 25ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

簡易SPI (CSI00, CSI01, CSI10, CSI11)の通信動作は，以下の7種類があります。

- マスタ送信(13.5.1項を参照)
- マスタ受信(13.5.2項を参照)
- マスタ送受信(13.5.3項を参照)
- スレーブ送信(13.5.4項を参照)
- スレーブ受信(13.5.5項を参照)
- スレーブ送受信(13.5.6項を参照)
- SNOOZEモード機能(13.5.7項を参照)

13.5.1　マスタ送信

マスタ送信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. $f_{CLK}/2$ [Hz] (CSI00のみ), $f_{CLK}/4$ [Hz] Min. f_{CLK} ($2 \times 2^{15} \times 128$)[Hz]　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

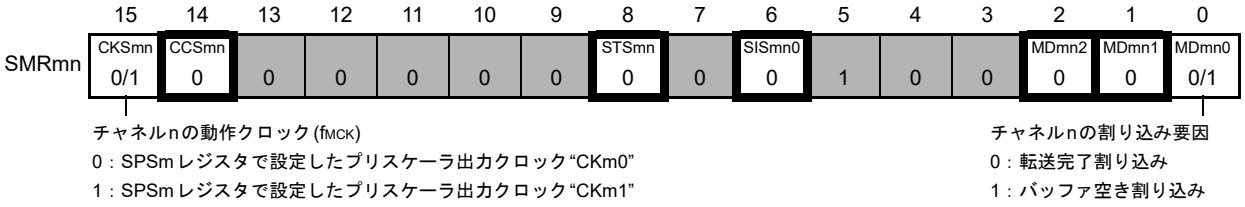
注　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

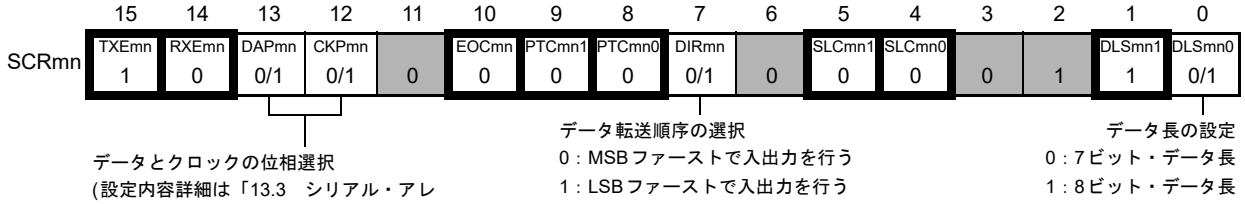
(1)　レジスタ設定

図13 - 25 簡易SPI (CSI00, CSI01, CSI10, CSI11)のマスタ送信時のレジスタ設定内容例

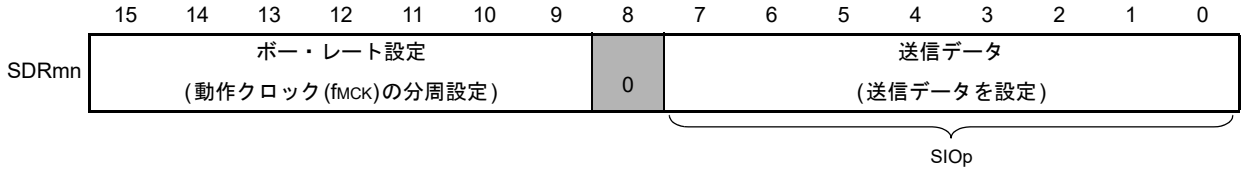
(a) シリアル・モード・レジスタmn (SMRmn)



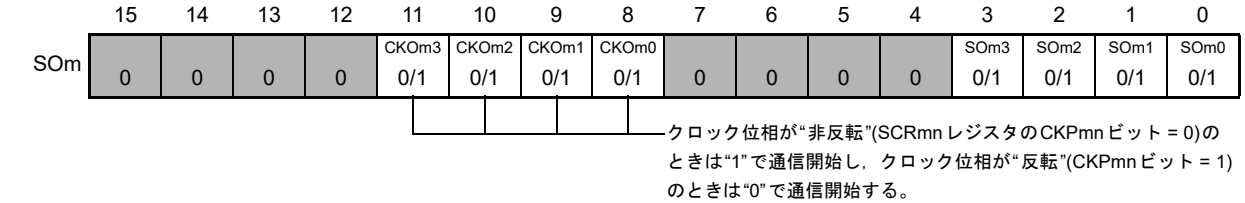
(b) シリアル通信動作設定レジスタmn (SCRmn)



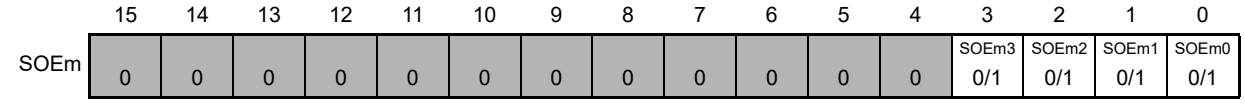
(c) シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOp)



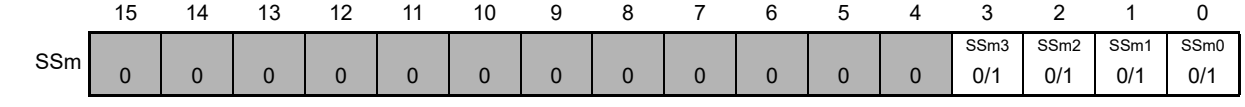
(d) シリアル出力レジスタm (SOm) . . . . . 対象チャネルのビットのみ設定する



(e) シリアル出力許可レジスタm (SOEm) 対象チャネルのビットのみ1に設定する



(f) シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する



備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11),
mn = 00-03

備考2. ■：簡易SPI（CSI）マスタ送信モードでは設定固定　▒：設定不可(初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 26 マスタ送信の初期設定手順

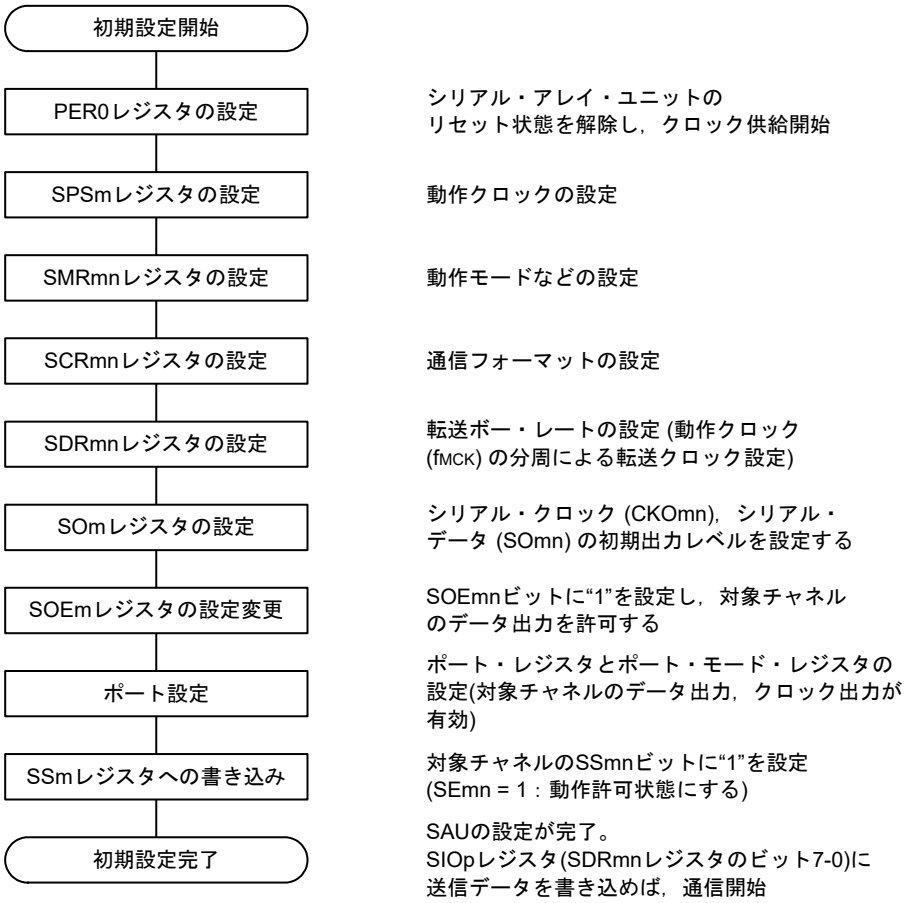


図13 - 27 マスタ送信の中断手順

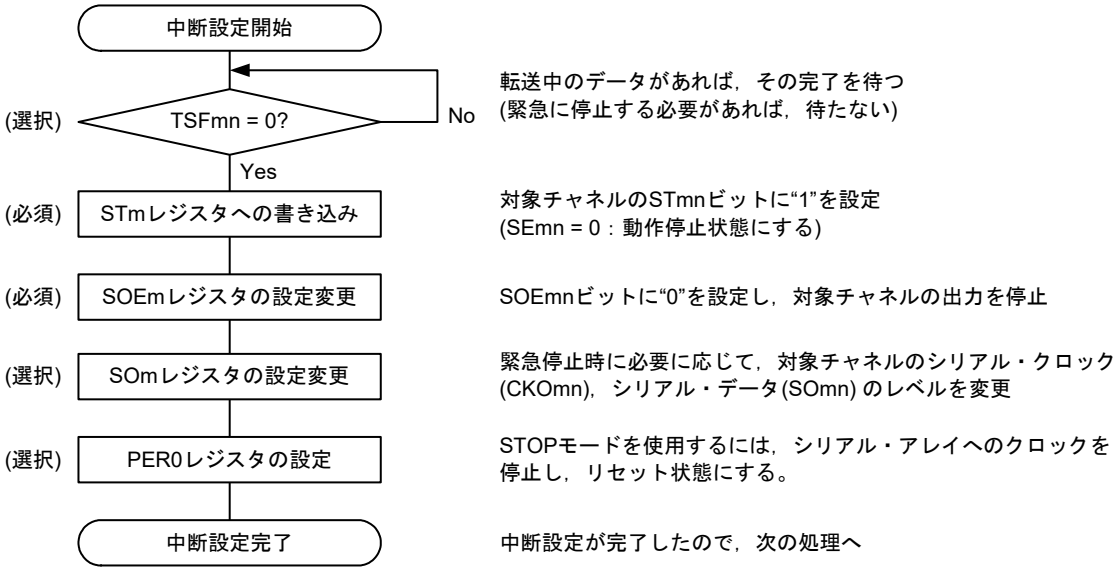
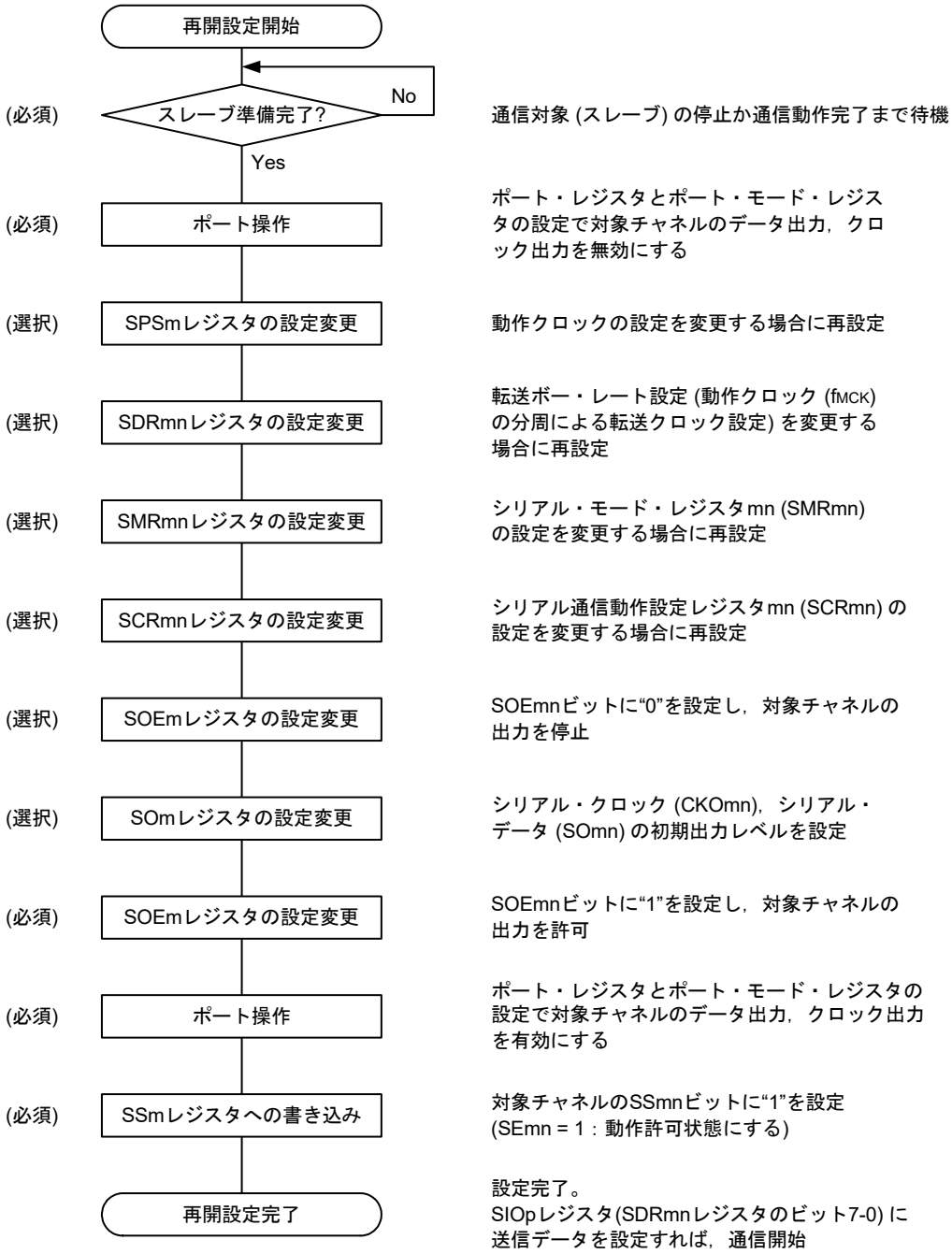


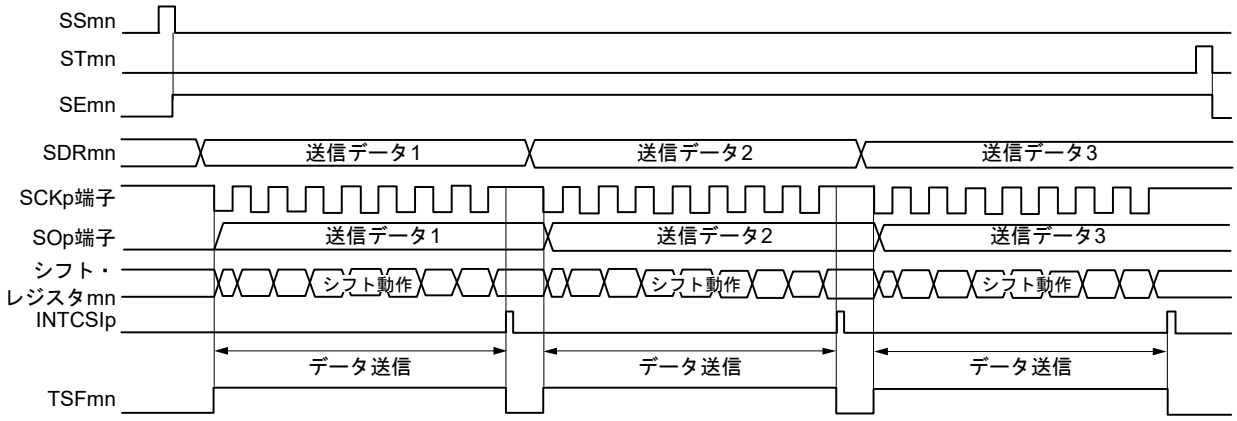
図13 - 28 マスタ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象(スレーブ)の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

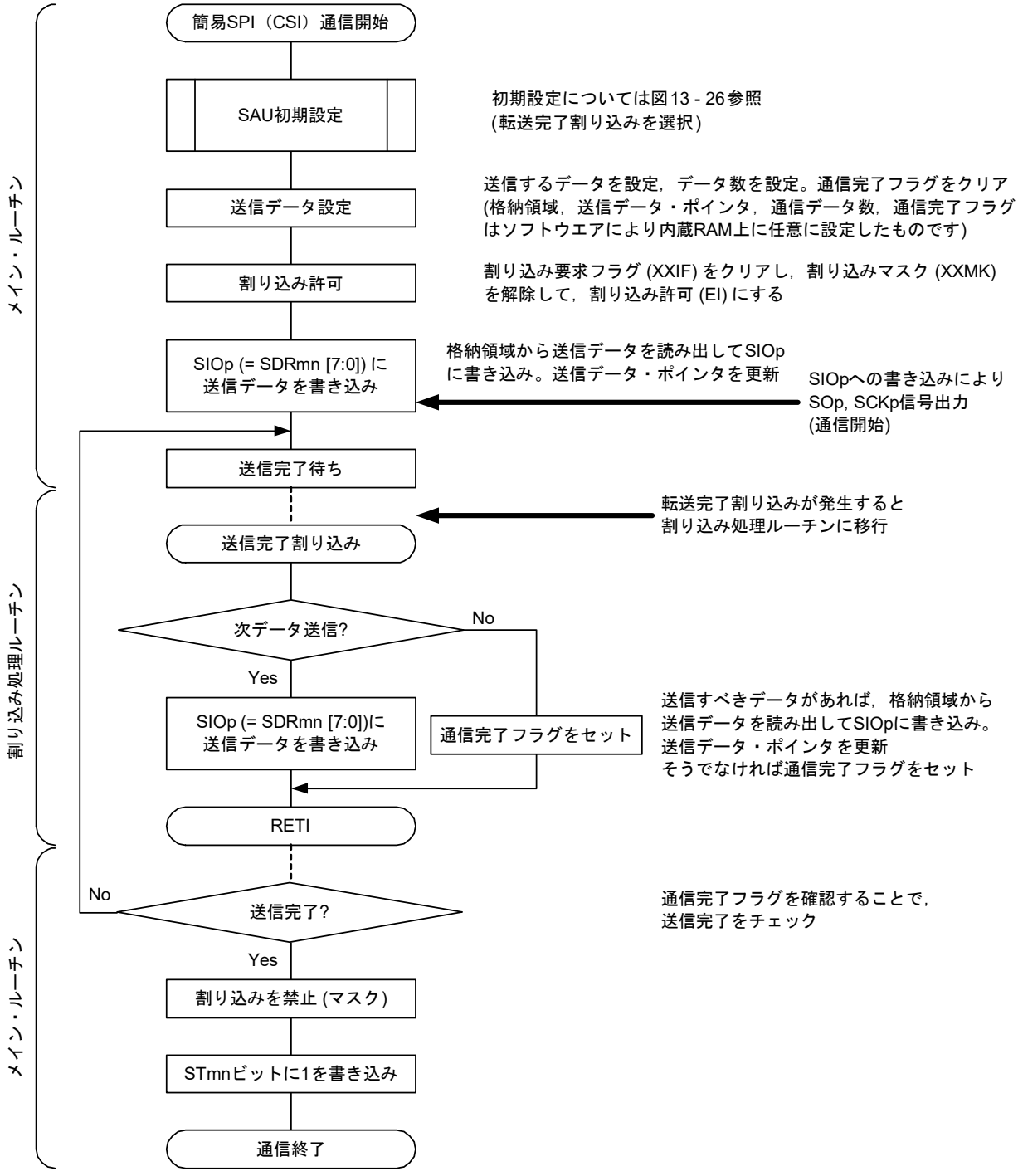
(3) 処理フロー(シングル送信モード時)

図13 - 29 マスタ送信(シングル送信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



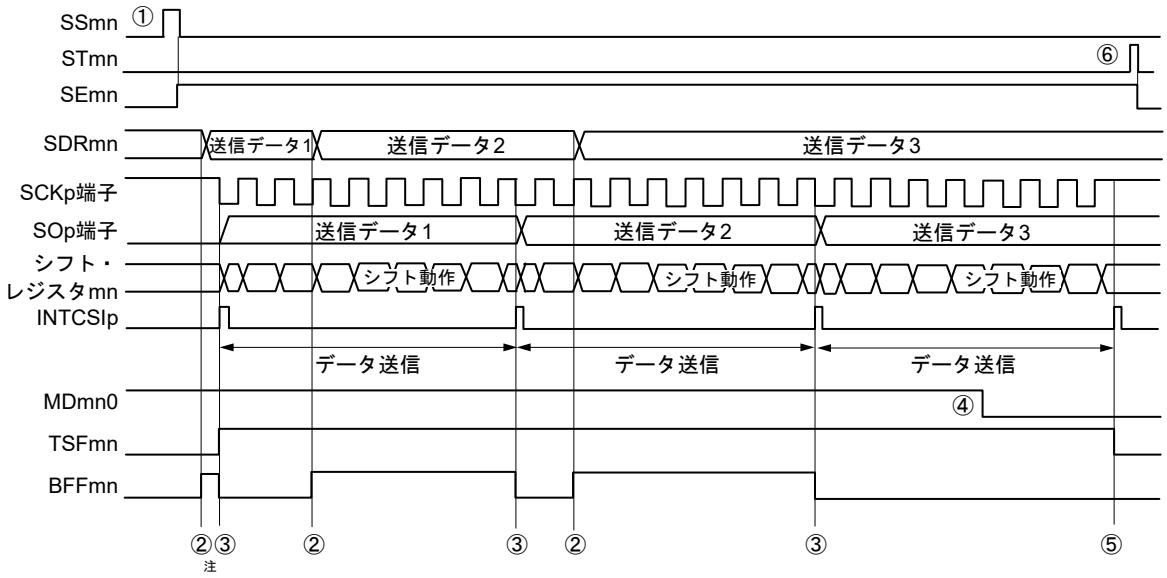
備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11), mn = 00-03

図13 - 30 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー(連続送信モード時)

図13 - 31 マスタ送信(連続送信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)

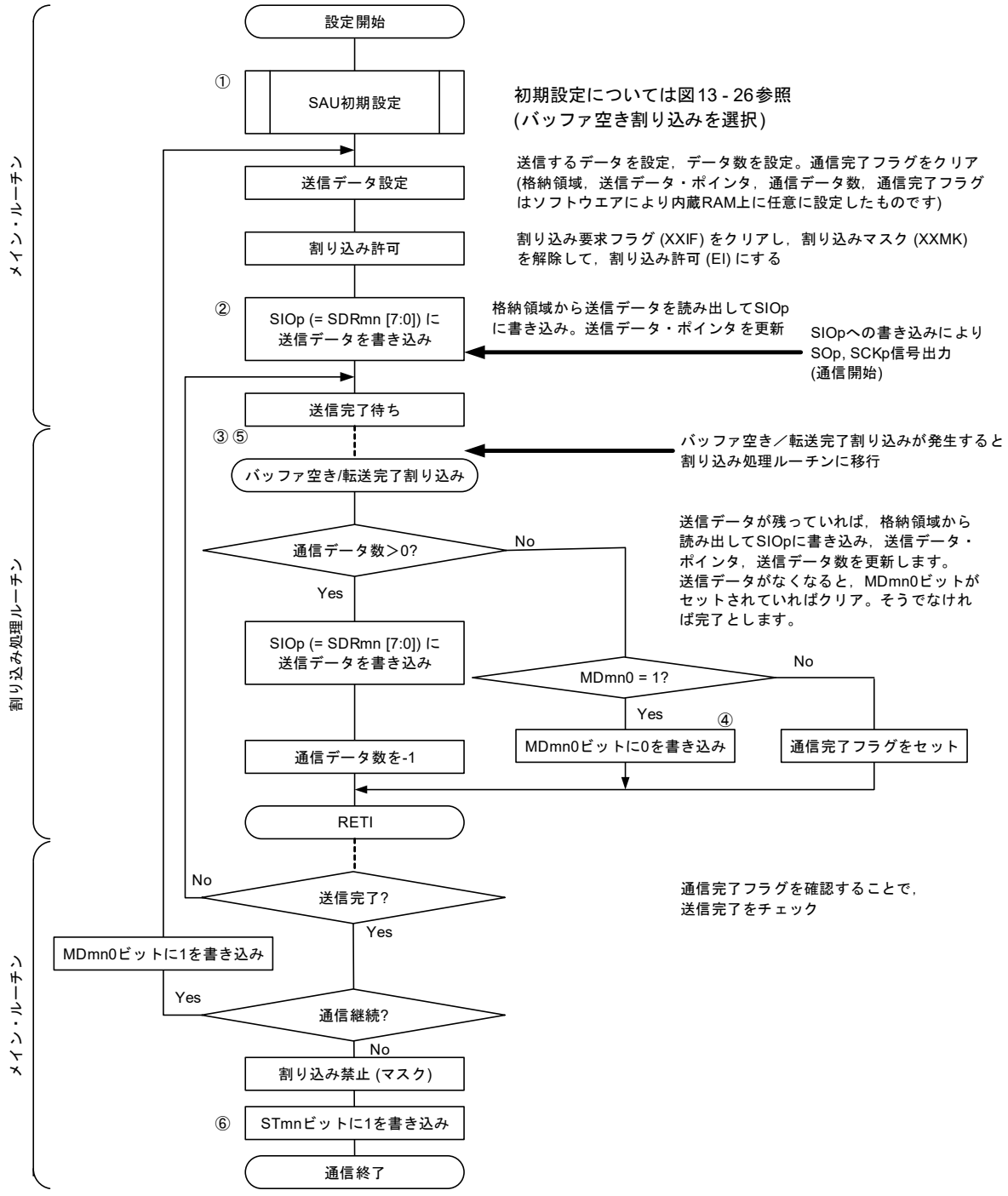


注 シリアル・ステータス・レジスタmn (SSRmn)のBFFmnビットが“1”の期間(有効なデータがシリアル・データ・レジスタmn (SDRmn)に格納されているとき)にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn)のMDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

図13 - 32 マスタ送信(連続送信モード時)のフロー・チャート



備考　図中の①～⑥は，図13 - 31　マスタ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

13.5.2　マスタ受信

マスタ受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. f_{CLK}/2 [Hz] (CSI00のみ), f_{CLK}/4 [Hz] Min. f_{CLK}/(2 × 2^{15} × 128) [Hz]　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

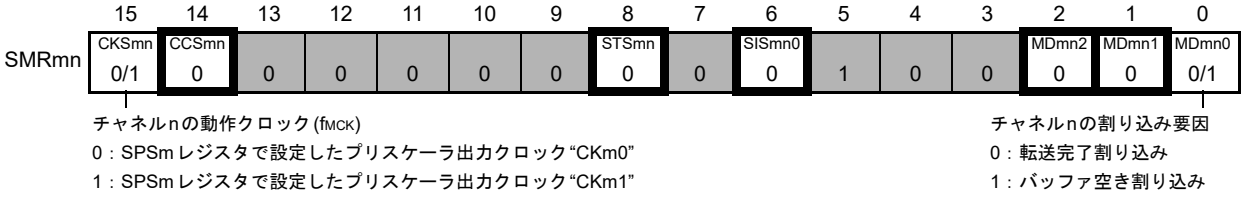
注　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

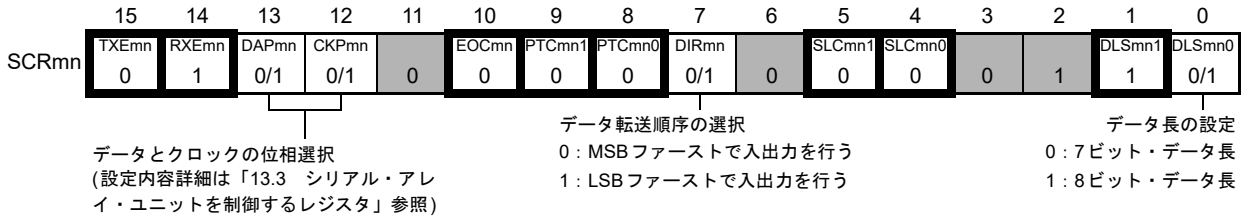
(1)　レジスタ設定

図13 - 33 簡易SPI (CSI00, CSI01, CSI10, CSI11)のマスタ受信時のレジスタ設定内容例

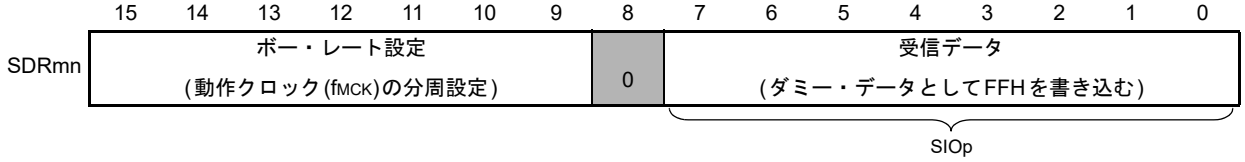
(a)シリアル・モード・レジスタmn (SMRmn)



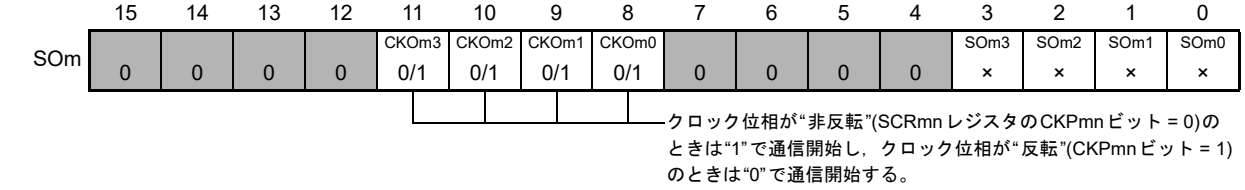
(b)シリアル通信動作設定レジスタmn (SCRmn)



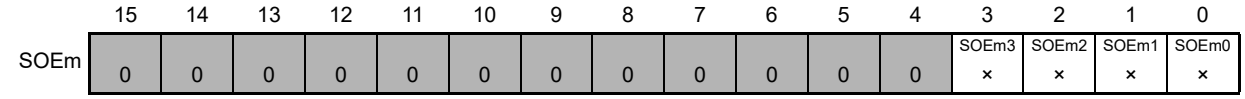
(c)シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOp)



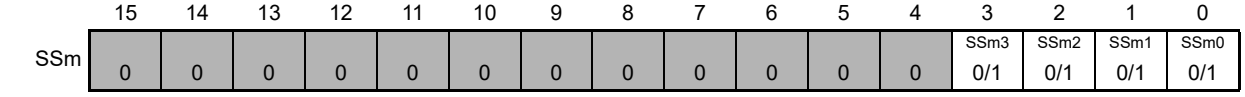
(d)シリアル出力レジスタm (SOm) . . . . . 対象チャネルのビットのみ設定する



(e)シリアル出力許可レジスタm (SOEm) . . . . . このモードでは使用しない



(f)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する



備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11),
mn = 00-03

備考2. ■：簡易SPI（CSI）マスタ受信モードでは設定固定　■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 34 マスタ受信の初期設定手順

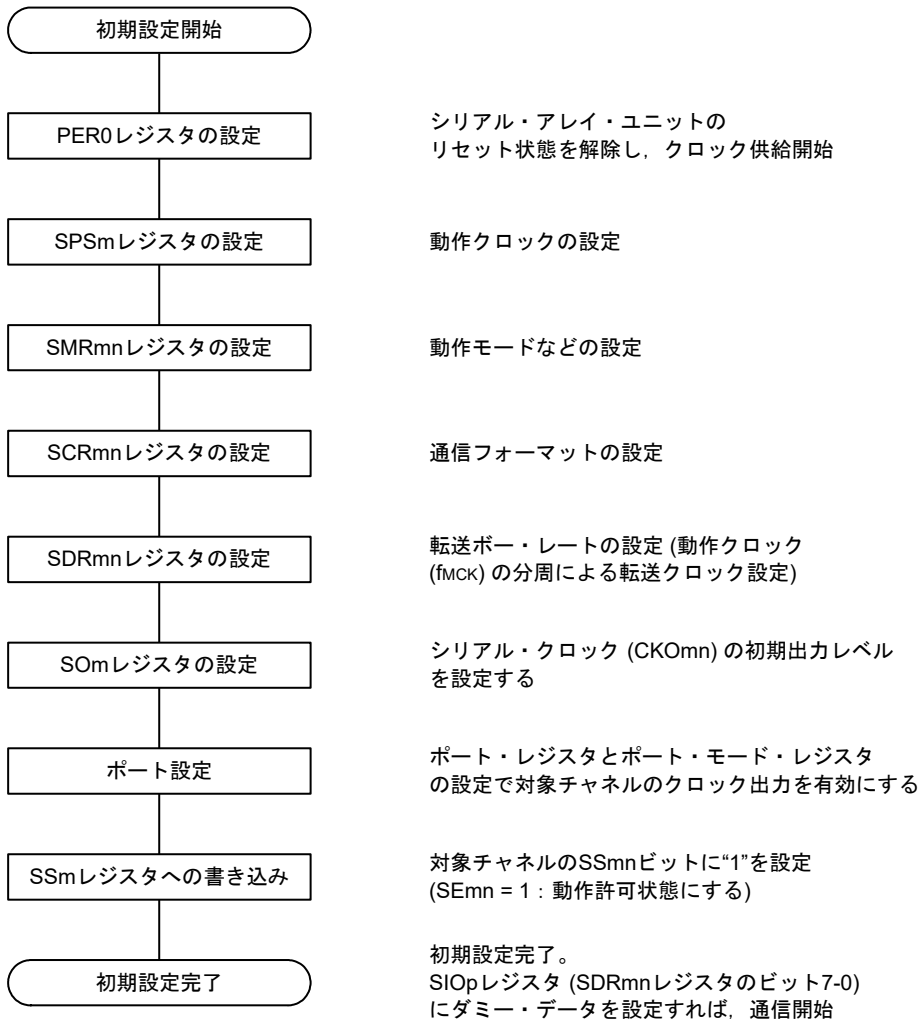


図13 - 35 マスタ受信の中断手順

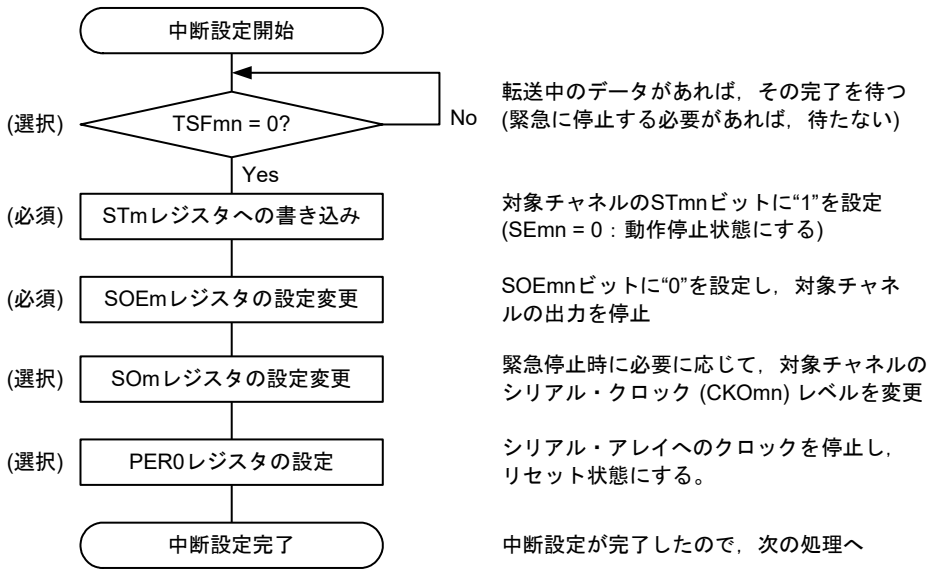
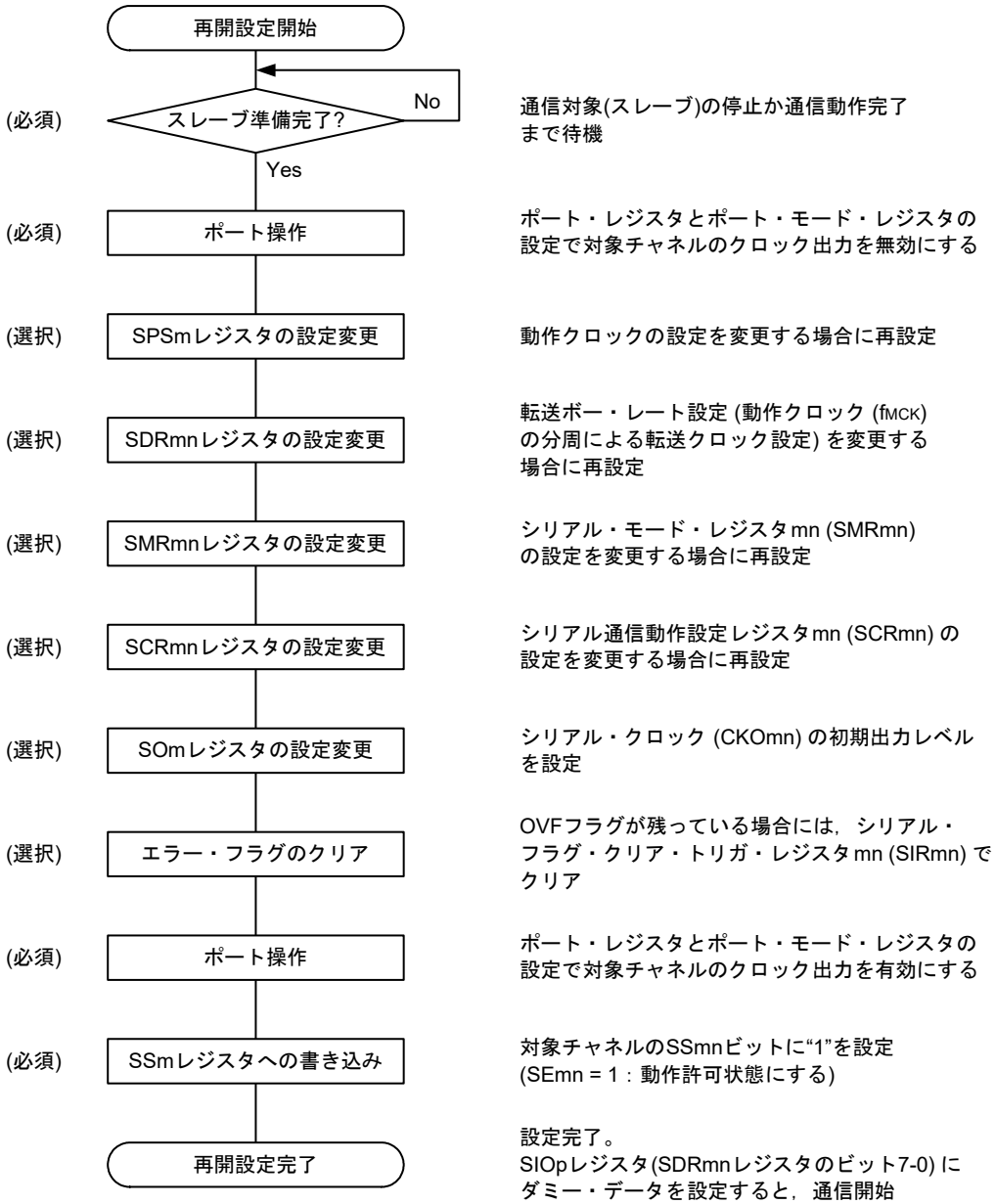


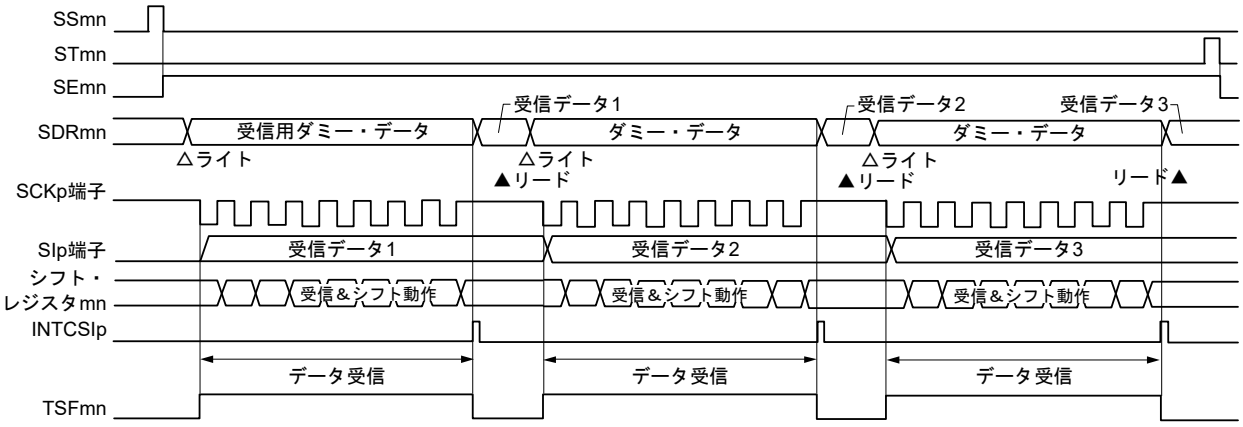
図13 - 36 マスタ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象(スレーブ)の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

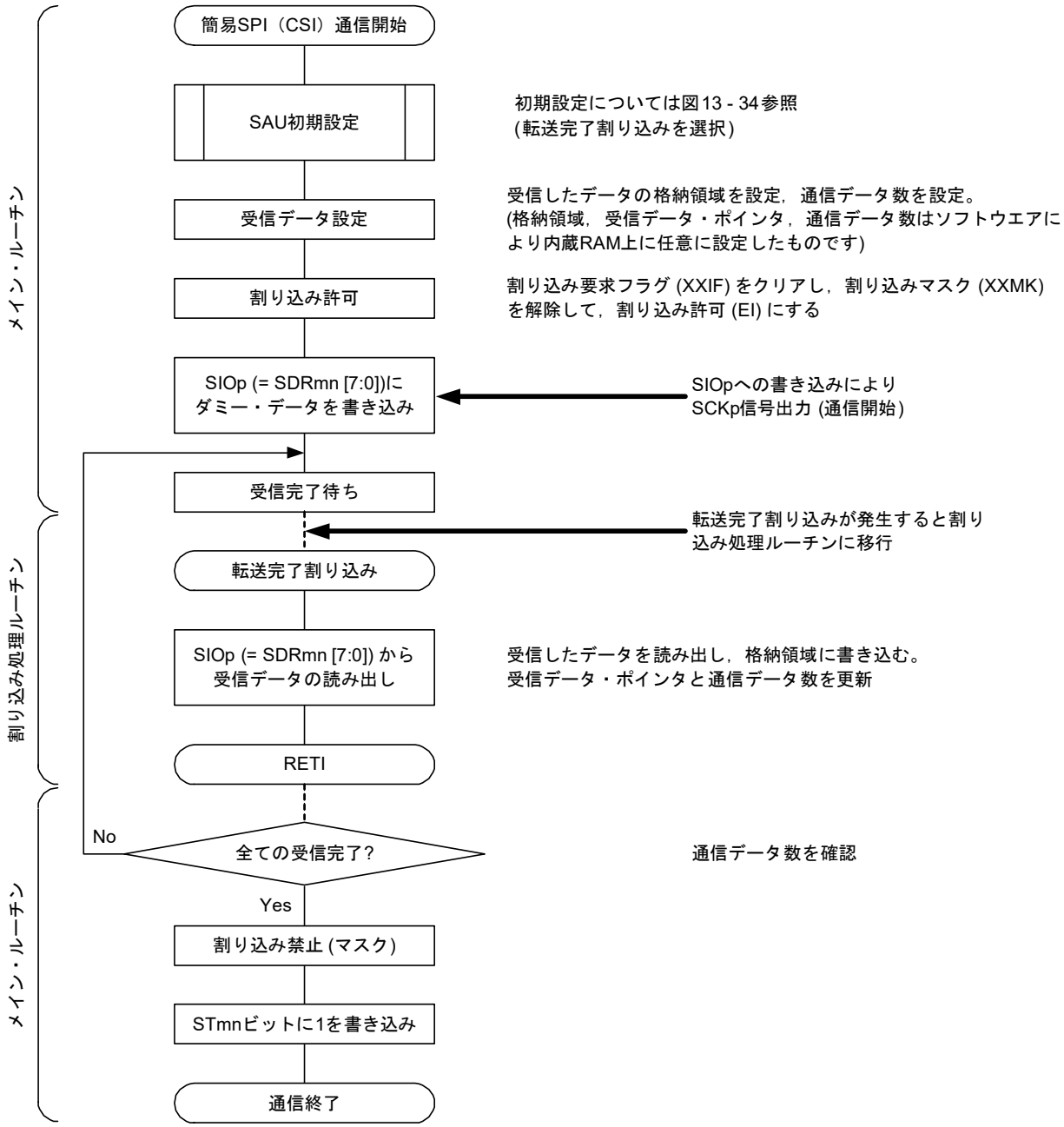
(3) 処理フロー(シングル受信モード時)

図13 - 37 マスタ受信(シングル受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



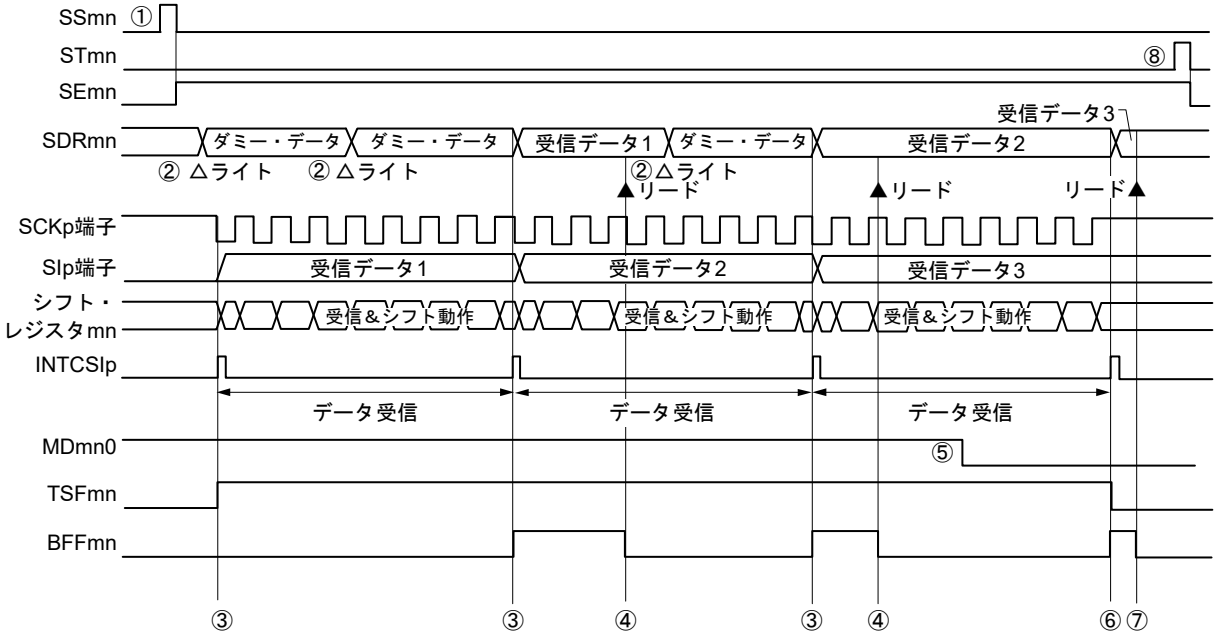
備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11), mn = 00-03

図13 - 38 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー(連続受信モード時)

図13 - 39 マスタ受信(連続受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)

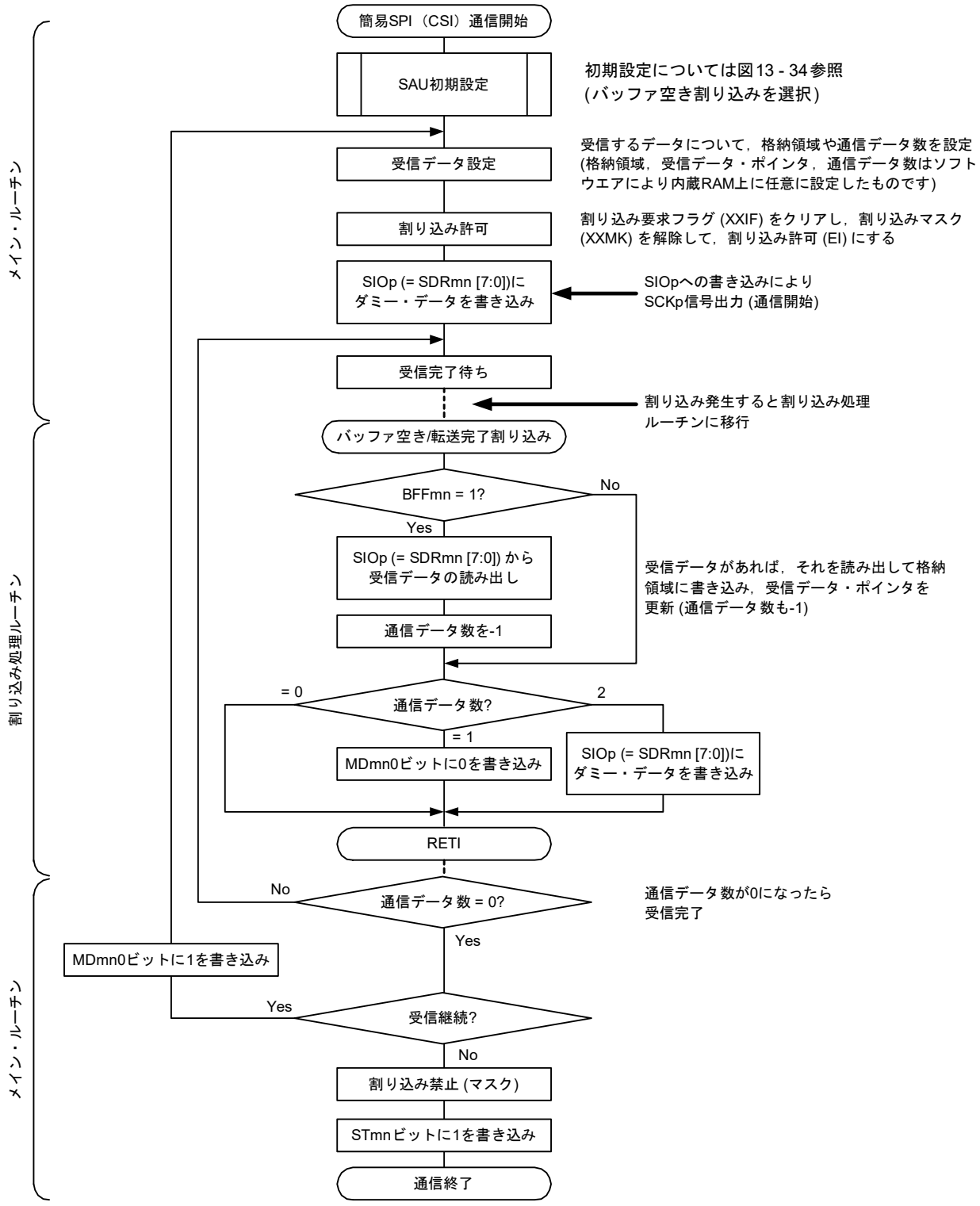


注意 MDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は，図13 - 40 マスタ受信(連続受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

図13 - 40 マスタ受信(連続受信モード時)のフロー・チャート



備考　図中の①～⑧は，図13 - 39　マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

13.5.3　マスタ送受信

マスタ送受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10,SO10	SCK11, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. f_{CLK}/2 [Hz] (CSI00のみ), f_{CLK}/4 [Hz] Min. f_{CLK}/ (2 × 2^{15} × 128)[Hz]　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

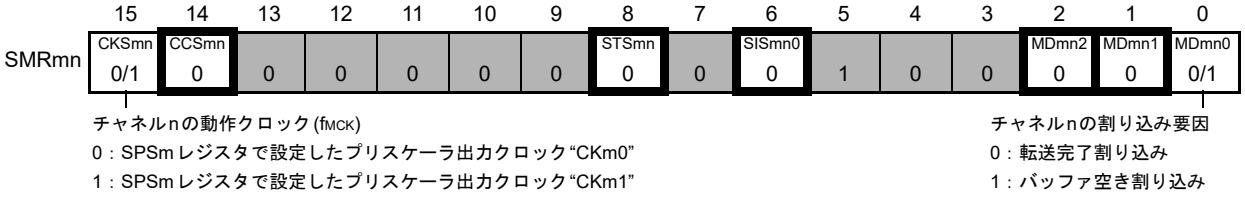
注　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

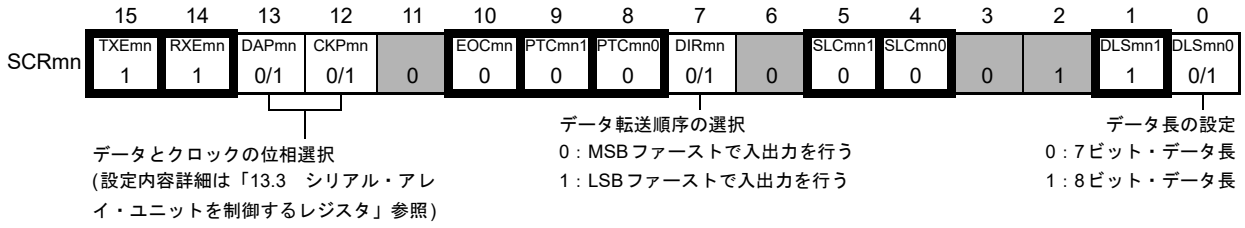
(1)　レジスタ設定

図13 - 41 簡易SPI (CSI00, CSI01, CSI10, CSI11)のマスタ送受信時のレジスタ設定内容例

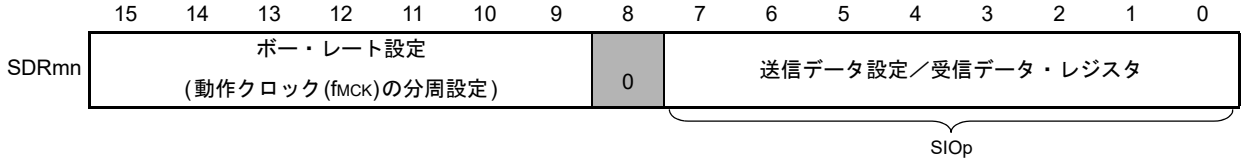
(a)シリアル・モード・レジスタmn (SMRmn)



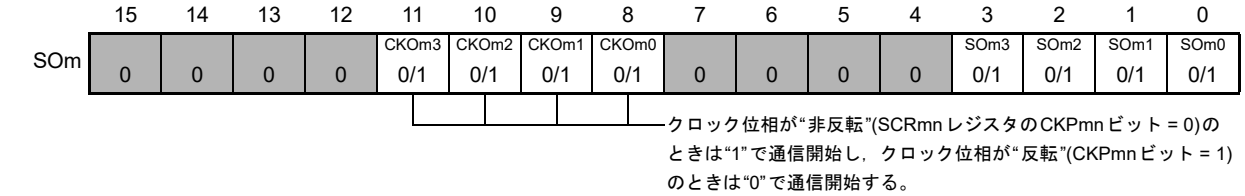
(b)シリアル通信動作設定レジスタmn (SCRmn)



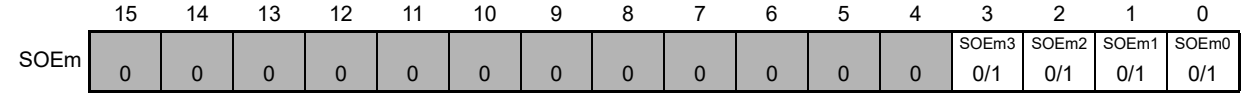
(c)シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOp)



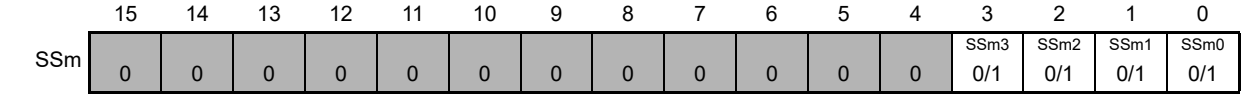
(d)シリアル出力レジスタm (SOm) . . . . . 対象チャネルのビットのみ設定する



(e)シリアル出力許可レジスタm (SOEm) 対象チャネルのビットのみ1に設定する



(f)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する



備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11),
mn = 00-03

備考2. ■：簡易SPI（CSI）マスタ送受信モードでは設定固定　■：設定不可(初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 42 マスタ送受信の初期設定手順

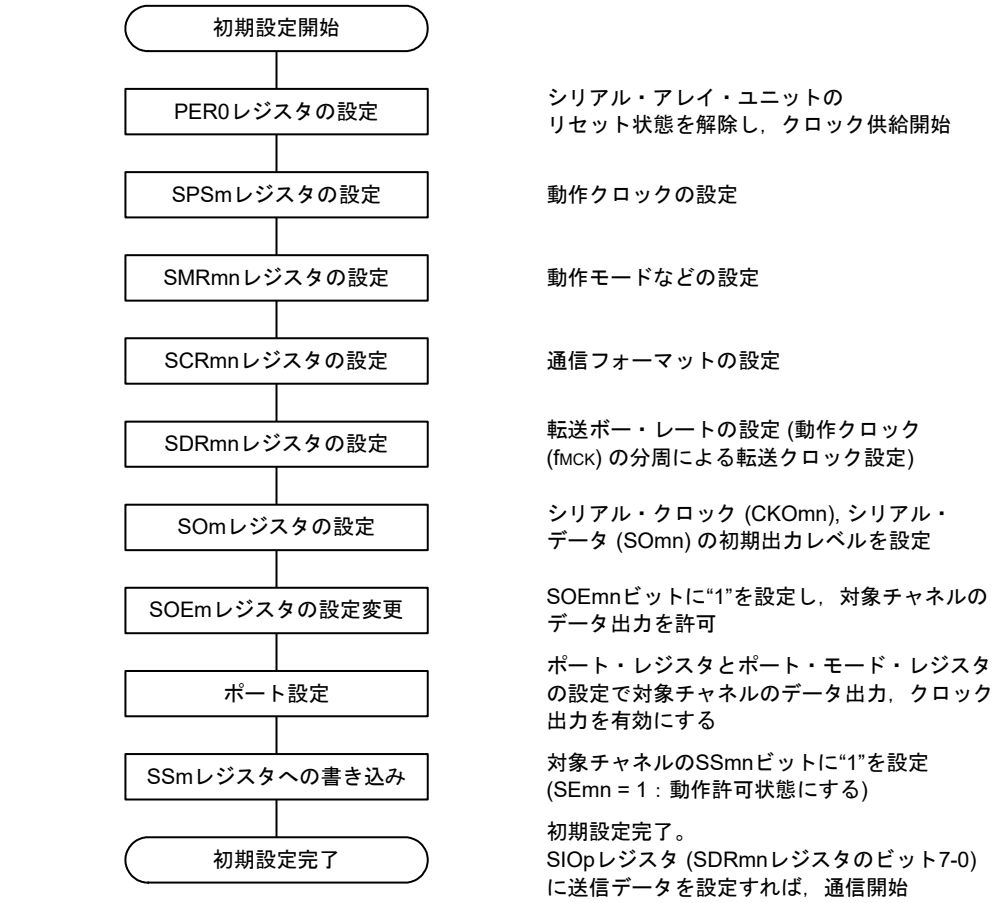


図13 - 43 マスタ送受信の中断手順

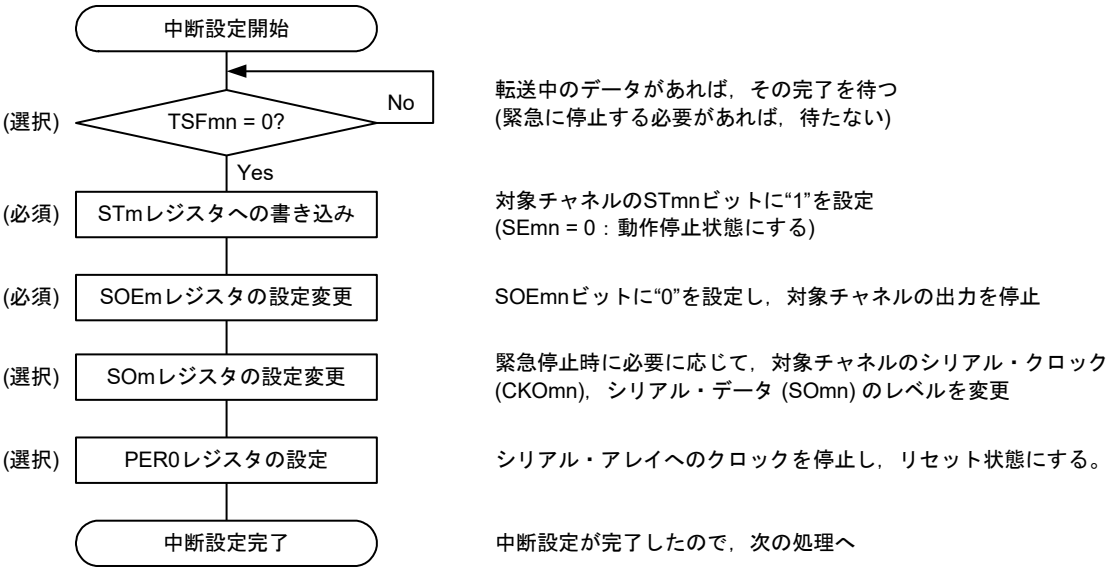
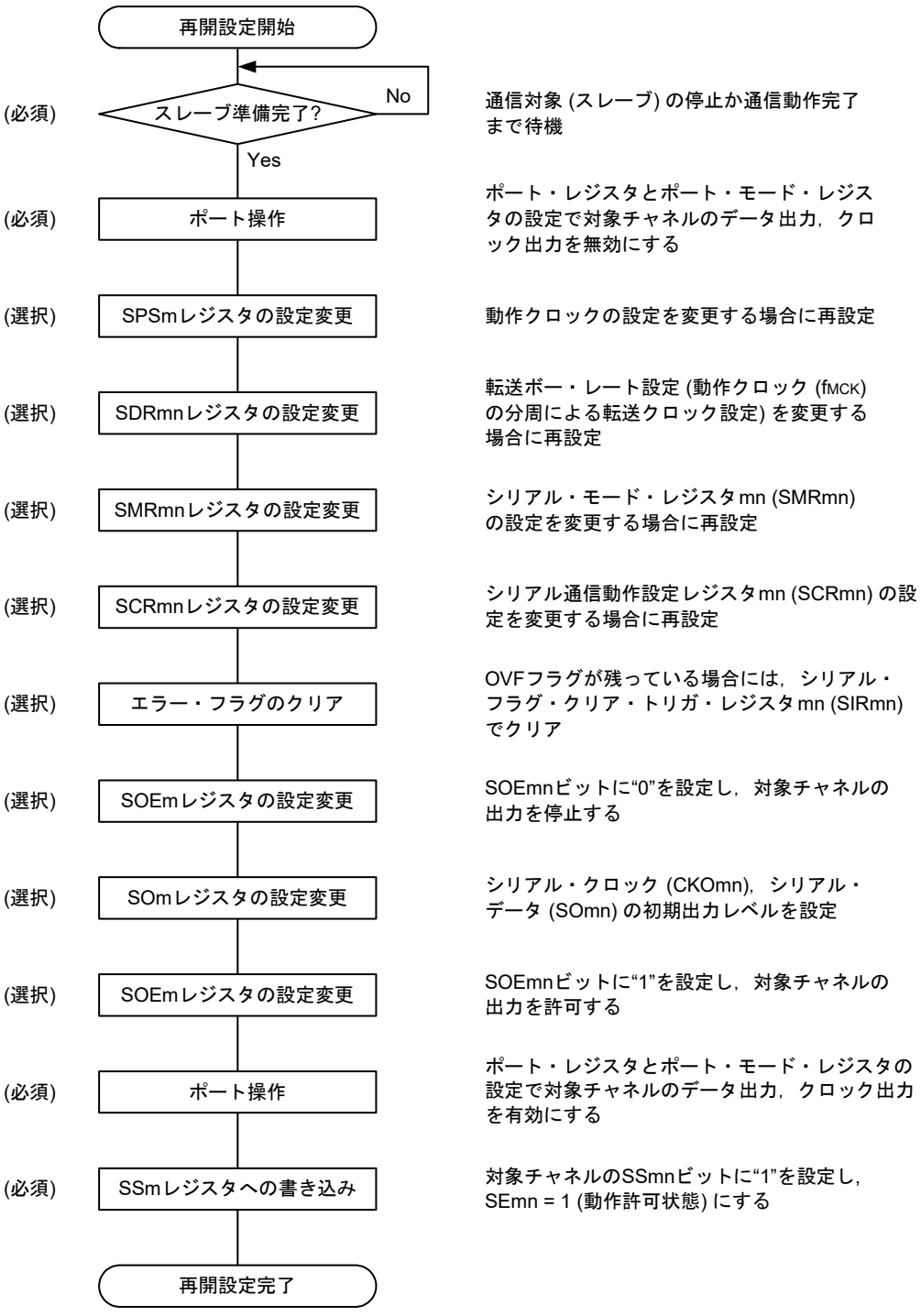
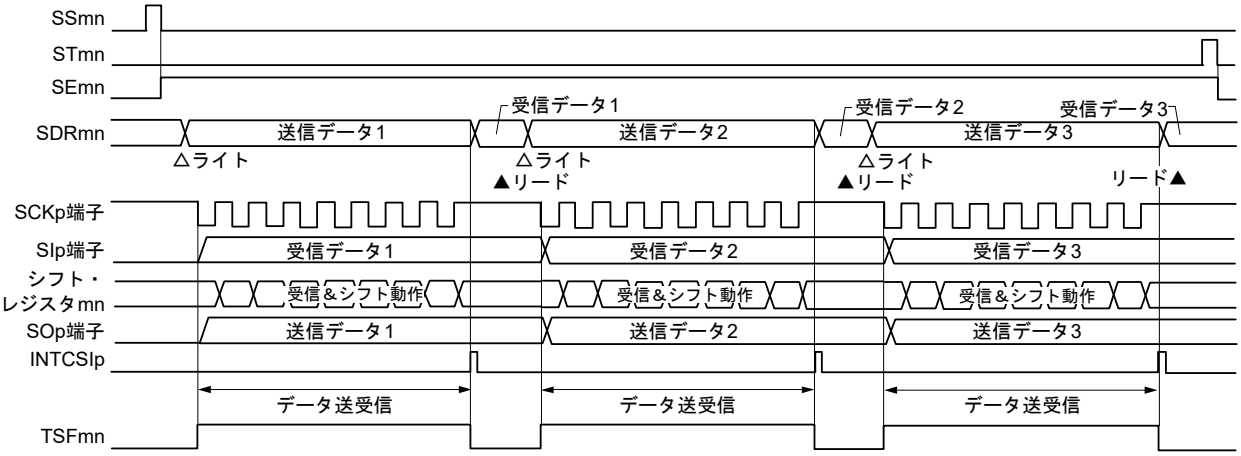


図13 - 44　マスタ送受信の再開設定手順



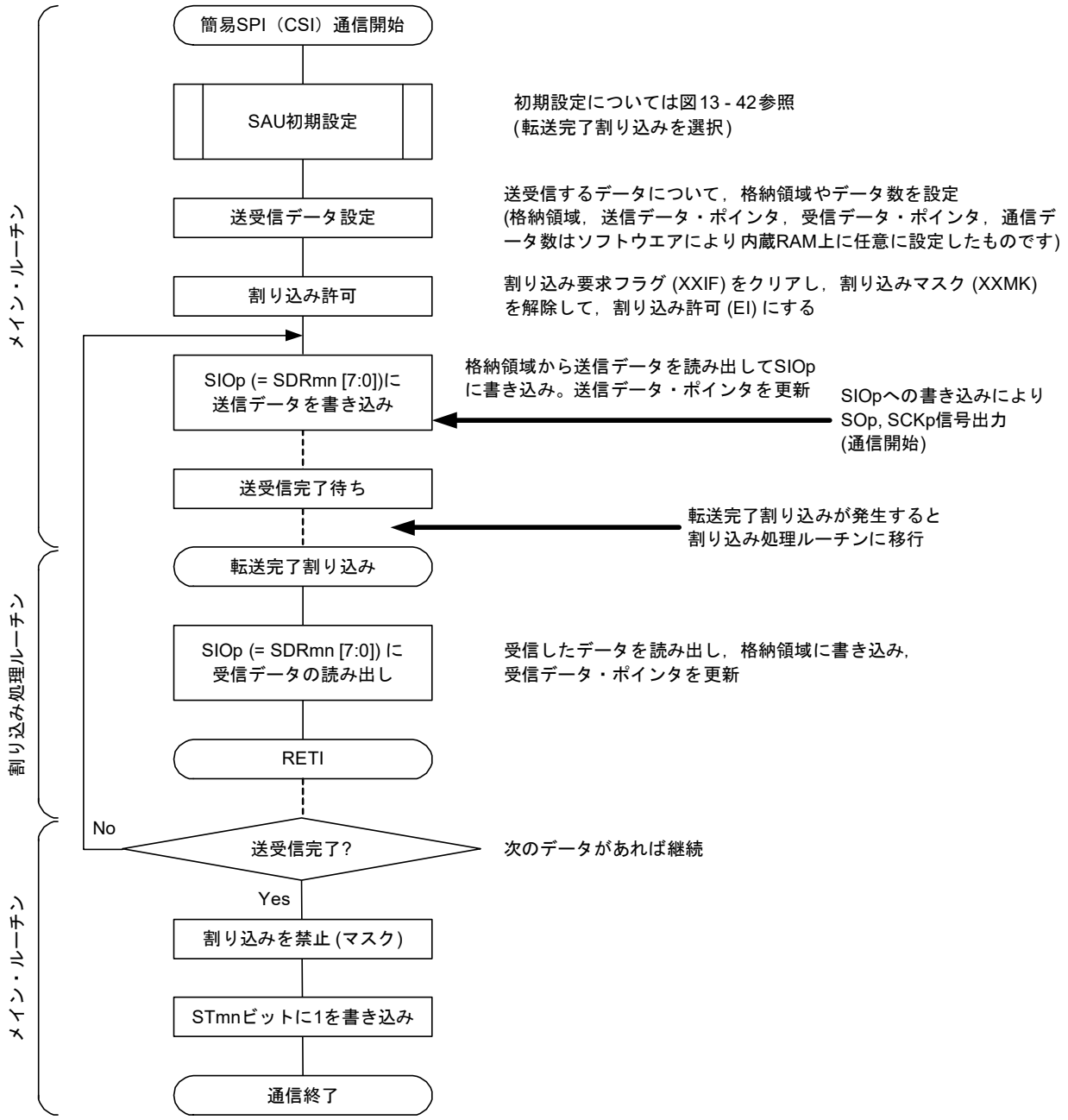
(3) 処理フロー(シングル送受信モード時)

図13 - 45 マスタ送受信(シングル送受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



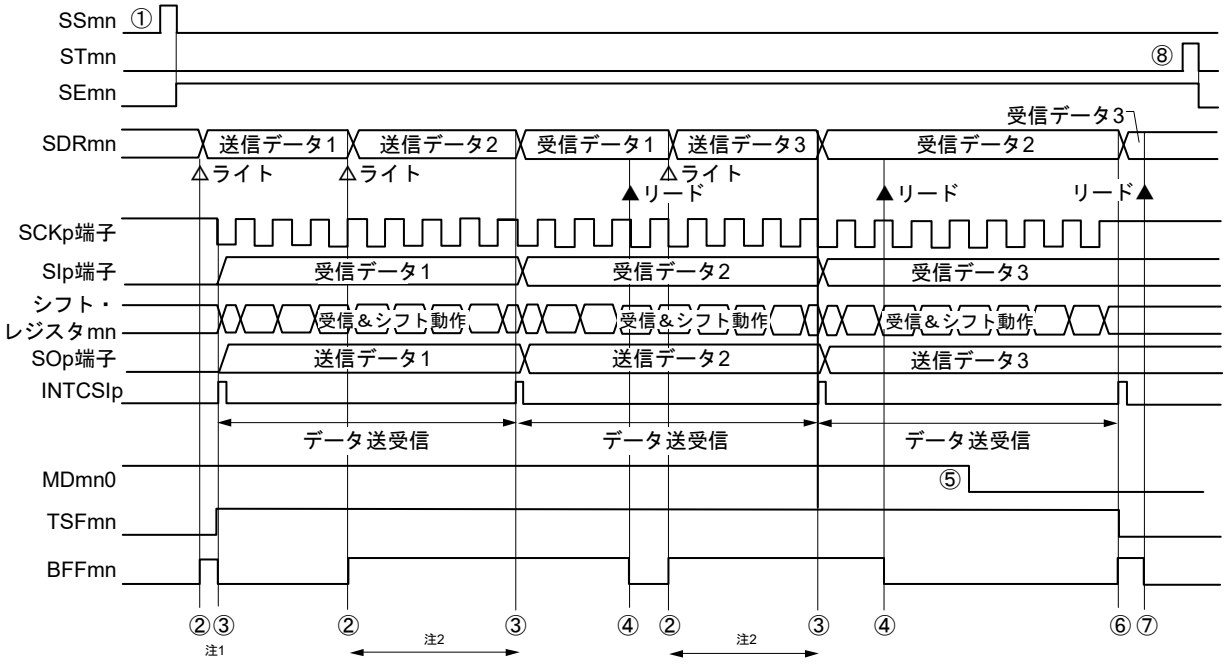
備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11), mn = 00-03

図13 - 46 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4)　処理フロー(連続送受信モード時)

図13 - 47 マスタ送受信(連続送受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



注1.　シリアル・ステータス・レジスタmn (SSRmn)のBFFmnビットが“1”の期間(有効なデータがシリアル・データ・レジスタmn (SDRmn)に格納されている時)にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

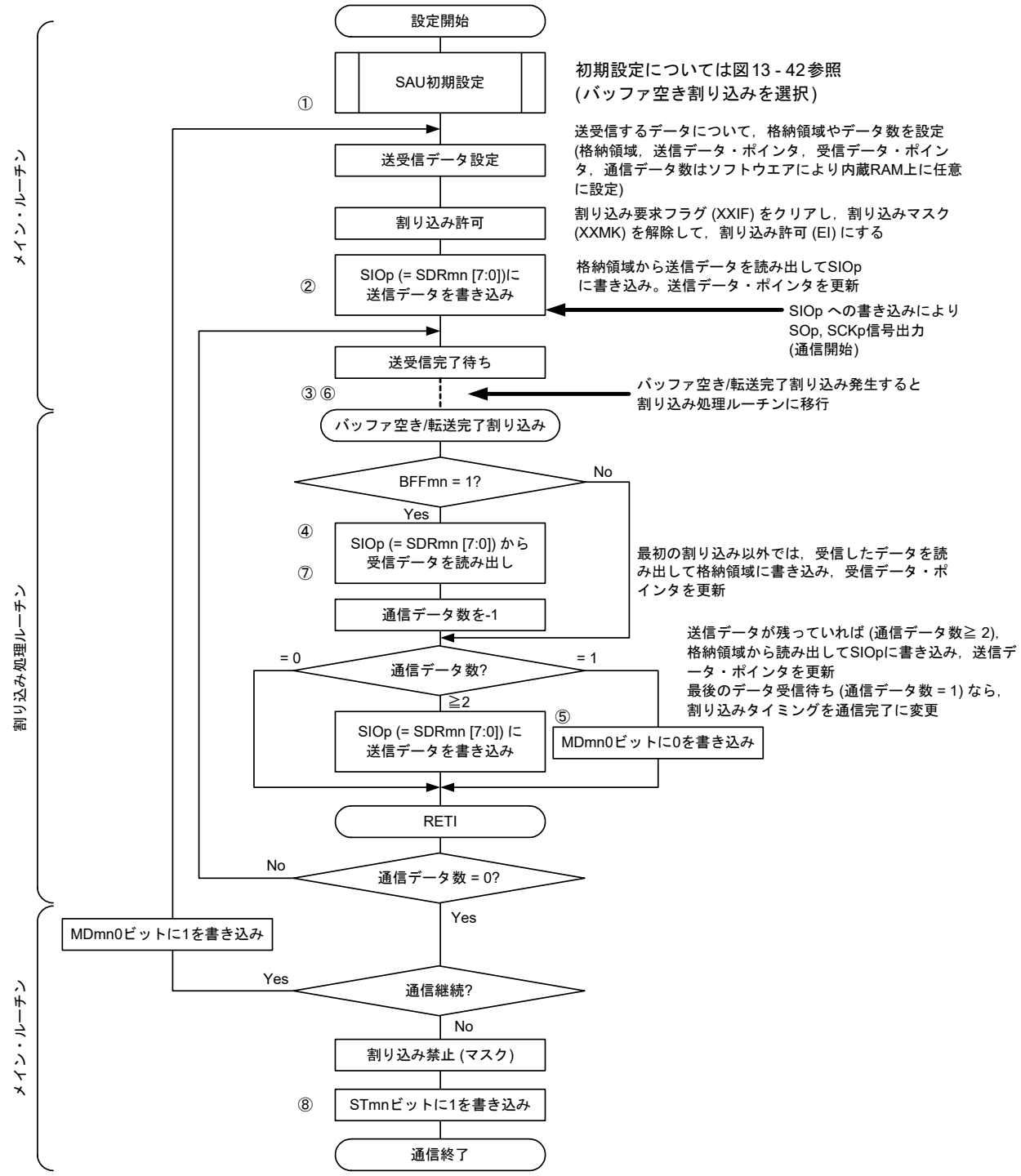
注2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn (SMRmn)のMDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は，図13 - 48　マスタ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

図13 - 48 マスタ送受信(連続送受信モード時)のフロー・チャート



備考　図中の①～⑧は，図13 - 47　マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

13.5.4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{MCK}/6 [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1.　SCK00, SCK01, SCK10, SCK11端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

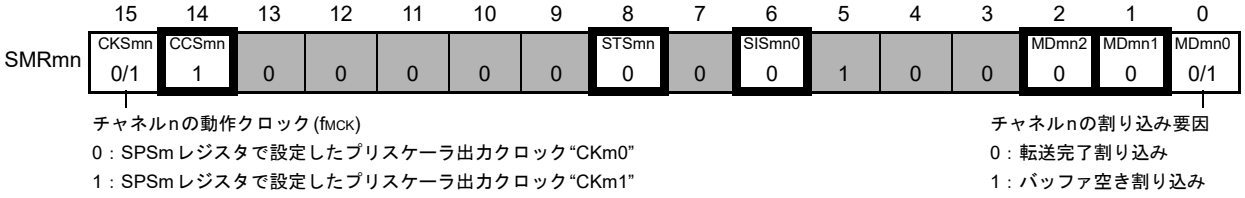
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　mn = 00-03

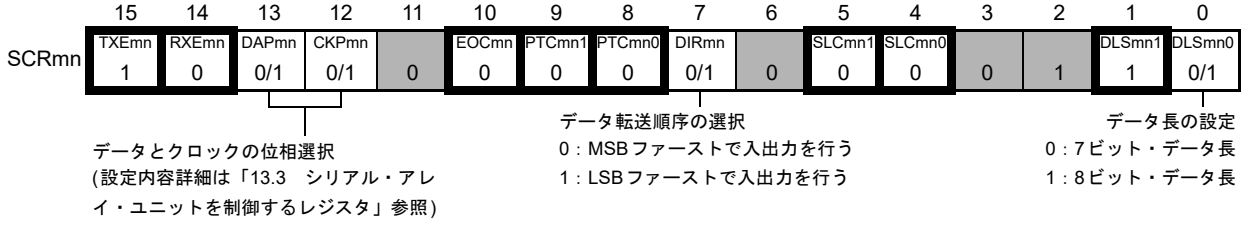
(1)　レジスタ設定

図13 - 49 簡易SPI (CSI00, CSI01, CSI10, CSI11)のスレーブ送信時のレジスタ設定内容例

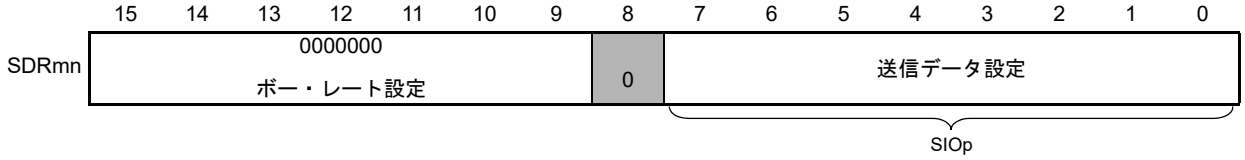
(a)シリアル・モード・レジスタmn (SMRmn)



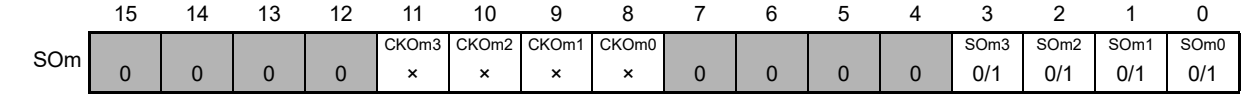
(b)シリアル通信動作設定レジスタmn (SCRmn)



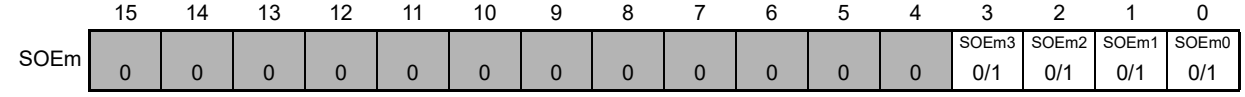
(c)シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOp)



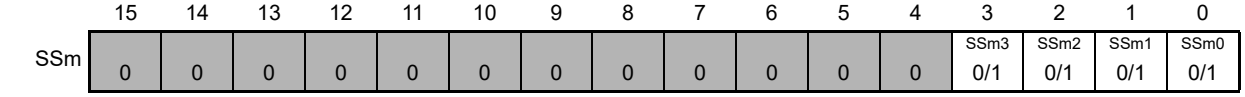
(d)シリアル出力レジスタm (SOm) . . . . . 対象チャネルのビットのみ設定する



(e)シリアル出力許可レジスタm (SOEm) 対象チャネルのビットのみ1に設定する



(f)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する



備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11),
mn = 00-03

備考2. ■：簡易SPI（CSI）スレーブ送信モードでは設定固定　■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 50 スレーブ送信の初期設定手順

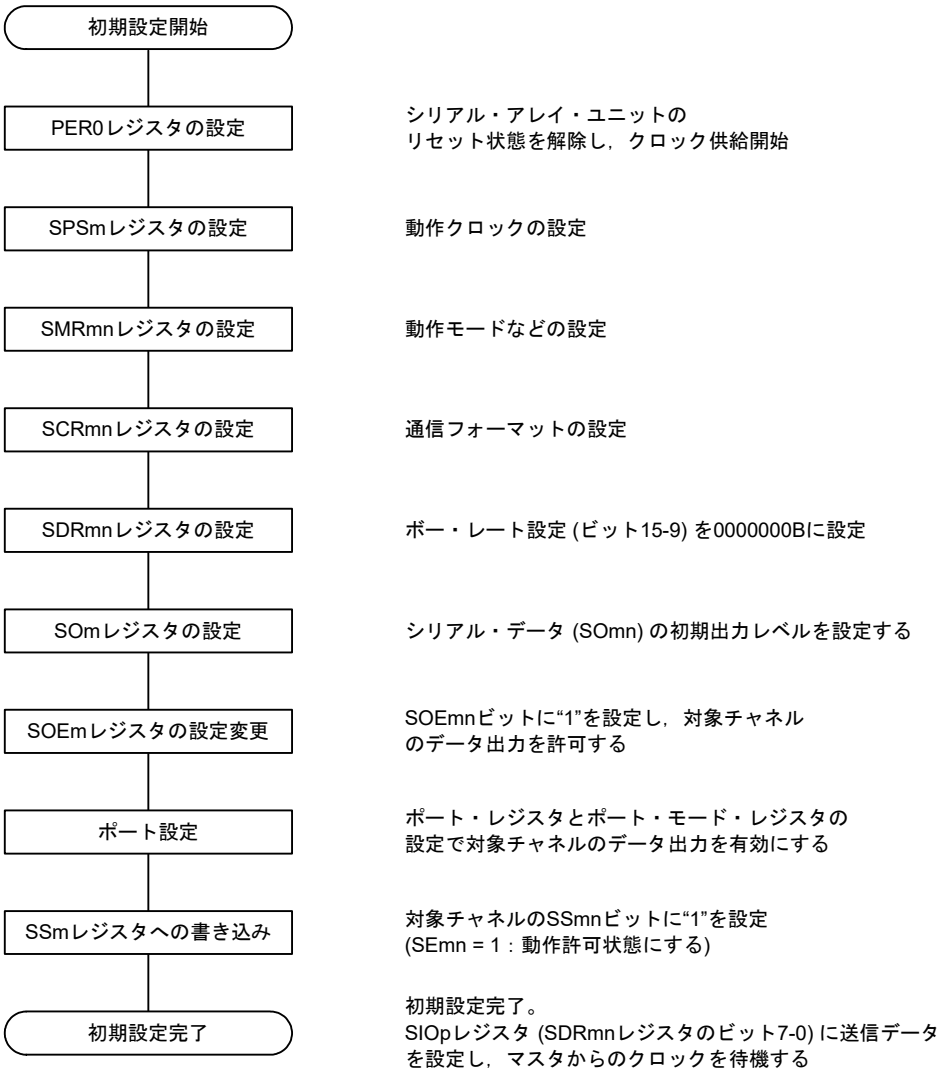


図13 - 51 スレーブ送信の中断手順

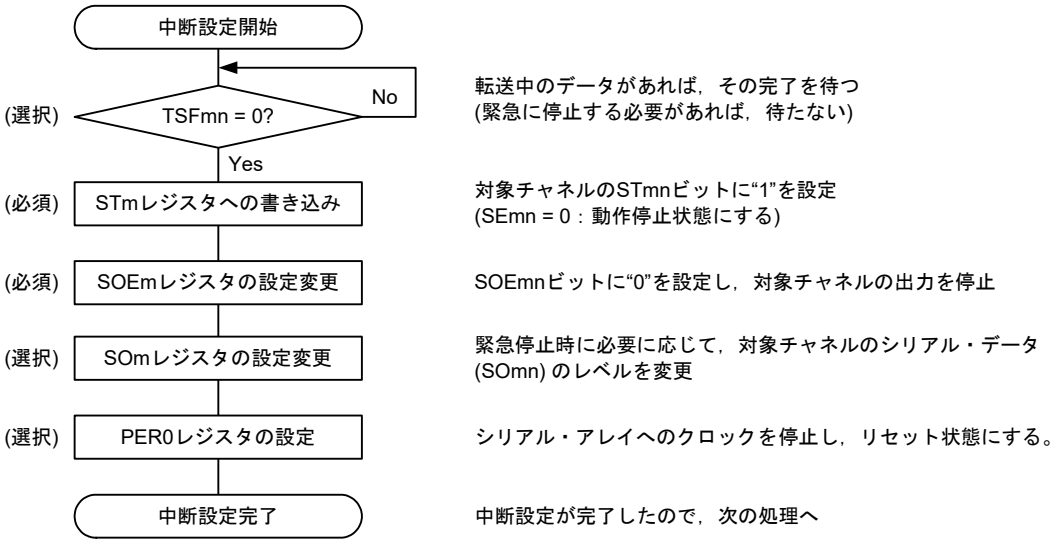
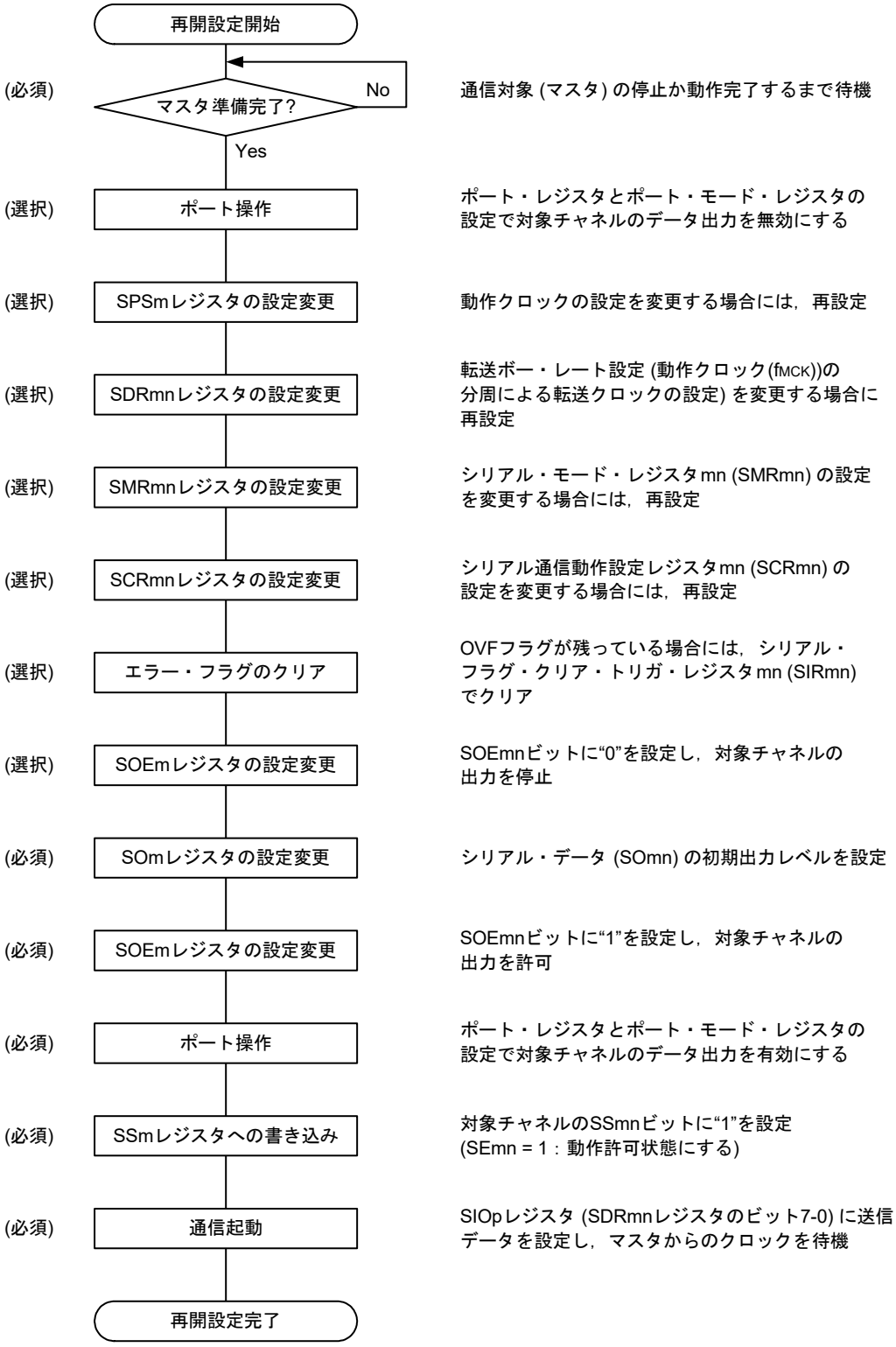


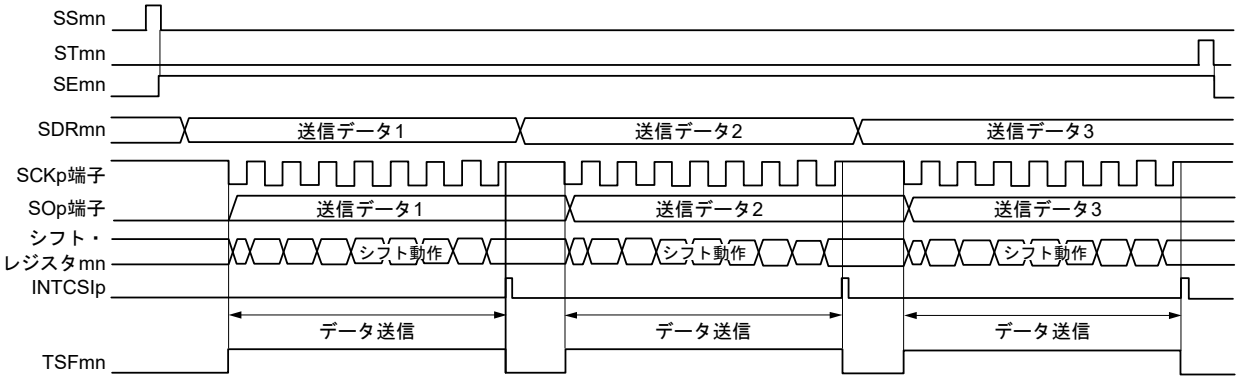
図13 - 52 スレーブ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象(マスタ)の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

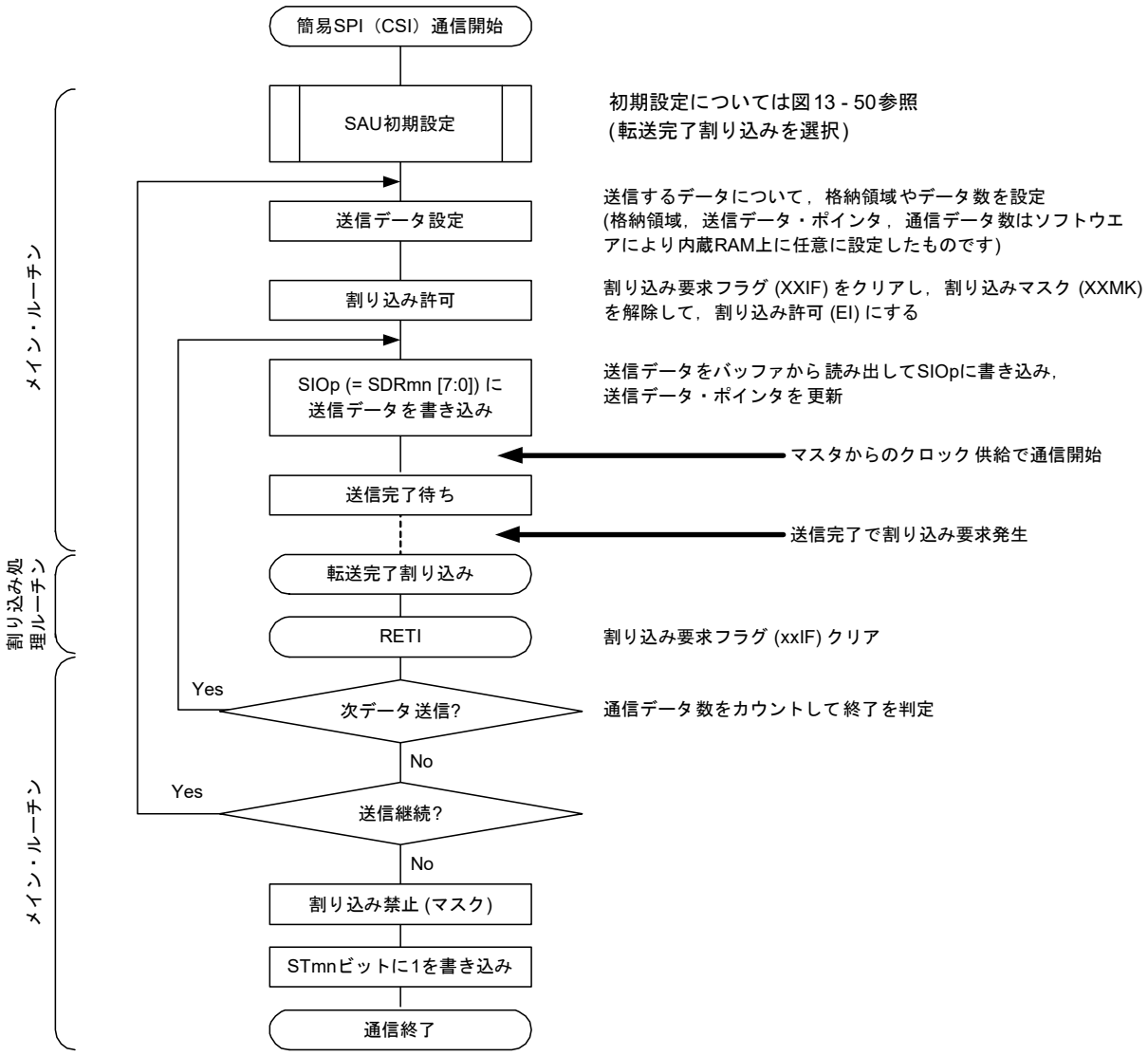
(3)　処理フロー(シングル送信モード時)

図13 - 53 スレーブ送信(シングル送信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



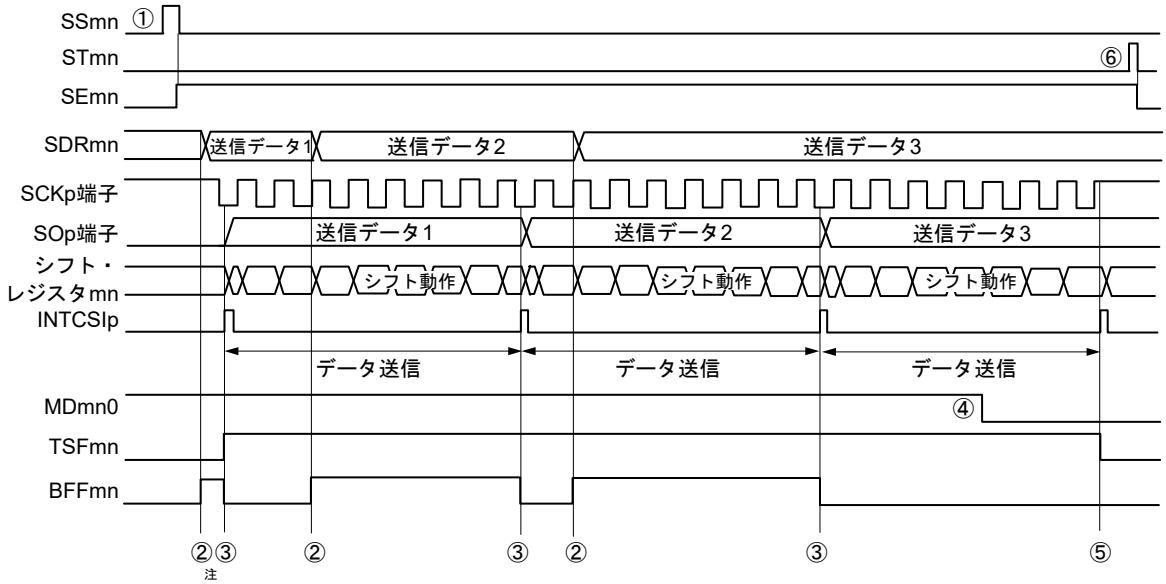
備考　m：ユニット番号(m = 0)　n：チャネル番号(n = 0-3)　p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

図13 - 54 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー(連続送信モード時)

図13 - 55 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)

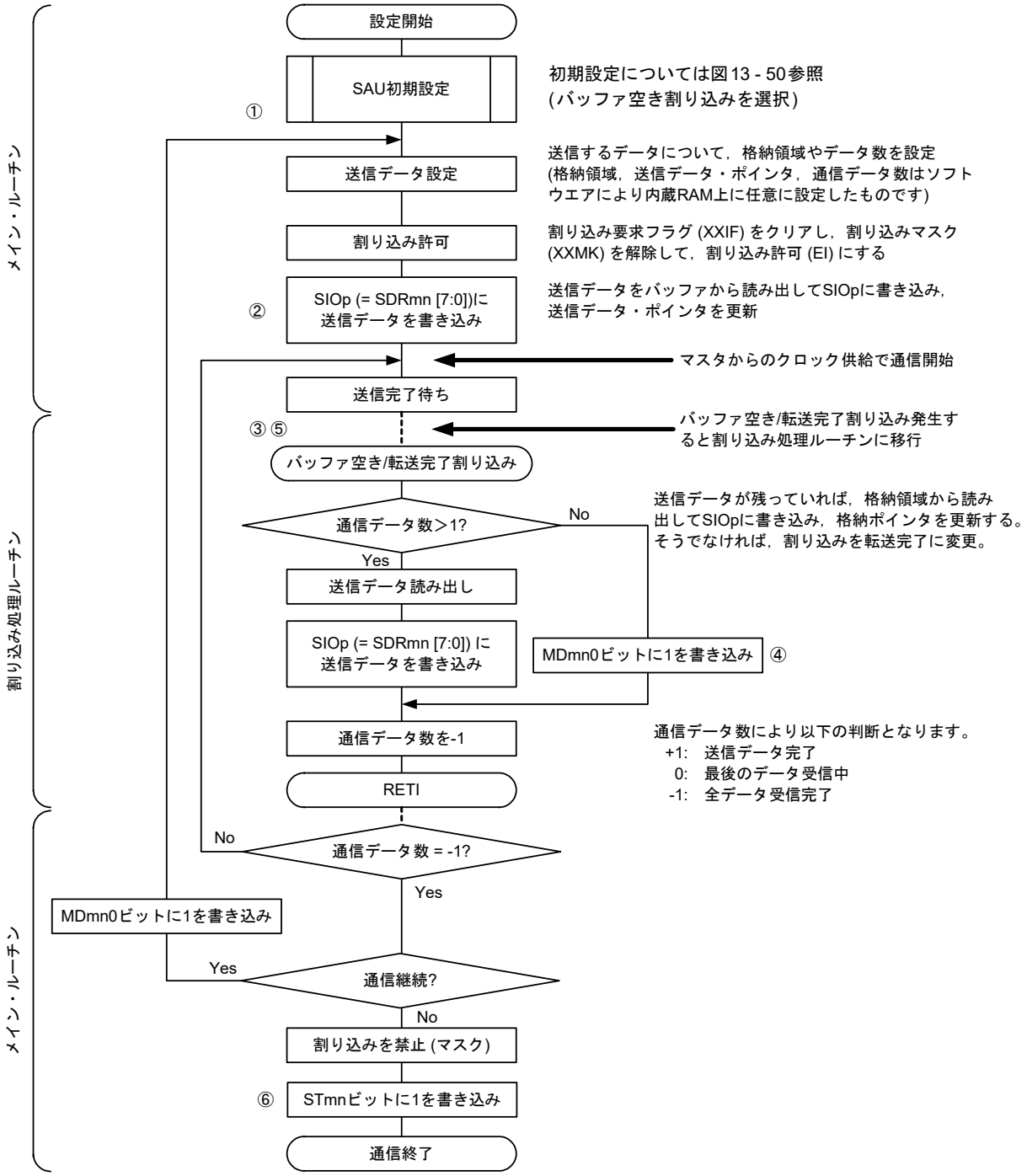


注 シリアル・ステータス・レジスタmn (SSRmn)のBFFmnビットが“1”の期間(有効なデータがシリアル・データ・レジスタmn (SDRmn)に格納されているとき)にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn)のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

図13 - 56 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は，図13 - 55 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

13.5.5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{MCK}/6 [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1.　SCK00, SCK01, SCK10, SCK11端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

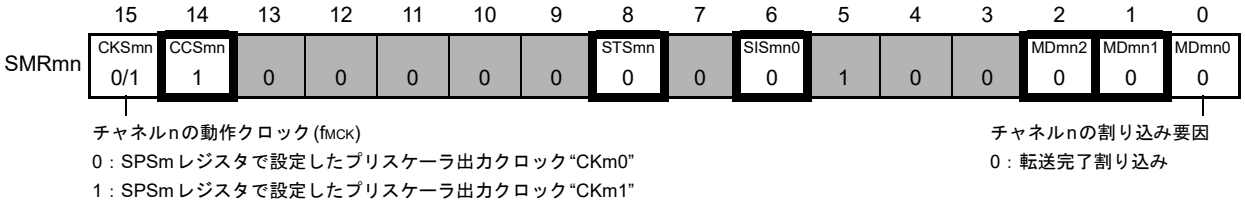
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

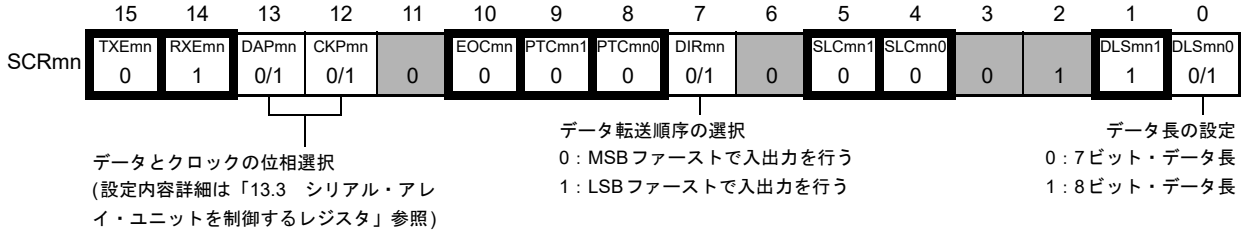
(1)　レジスタ設定

図13 - 57 簡易SPI (CSI00, CSI01, CSI10, CSI11)のスレーブ受信時のレジスタ設定内容例

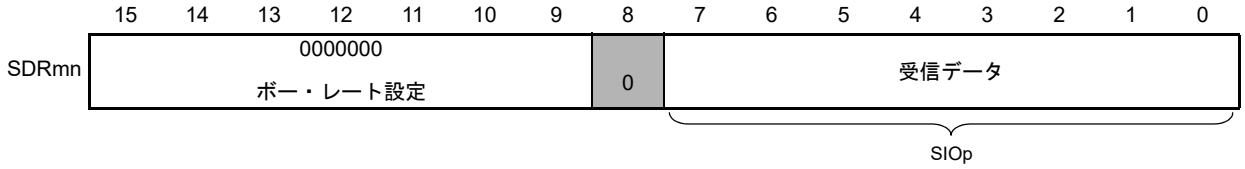
(a)シリアル・モード・レジスタmn (SMRmn)



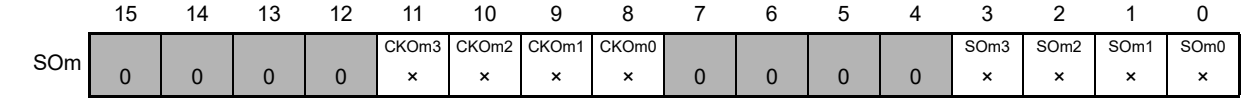
(b)シリアル通信動作設定レジスタmn (SCRmn)



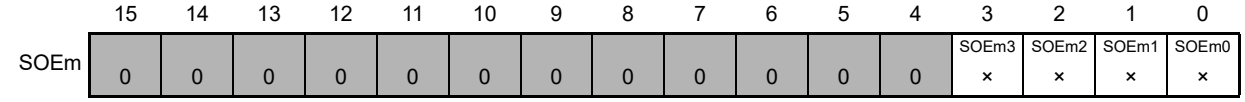
(c)シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOp)



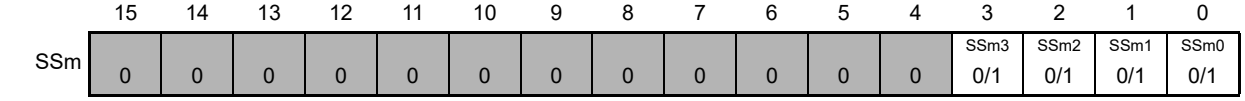
(d)シリアル出力レジスタm (SOm) . . . . . このモードでは使用しない



(e)シリアル出力許可レジスタm (SOEm). . . . . このモードでは使用しない



(f)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する



備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11),
mn = 00-03

備考2. ■：簡易SPI（CSI）スレーブ受信モードでは設定固定 ■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 58 スレーブ受信の初期設定手順

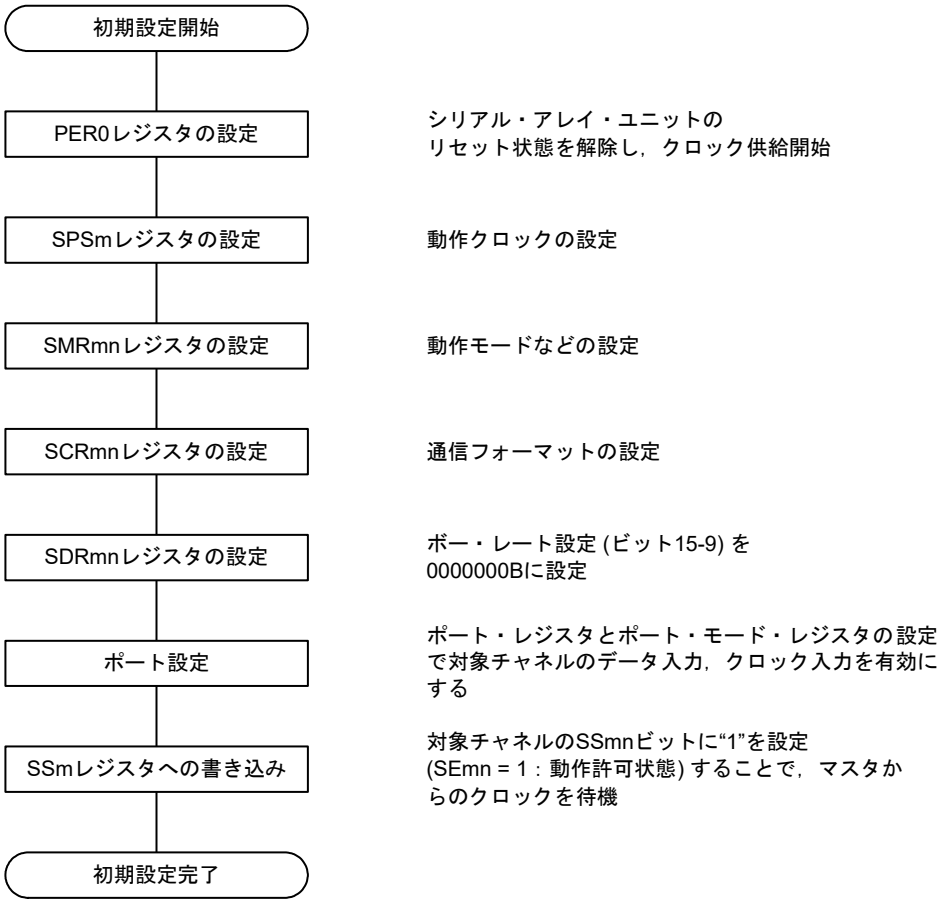


図13 - 59 スレーブ受信の中断手順

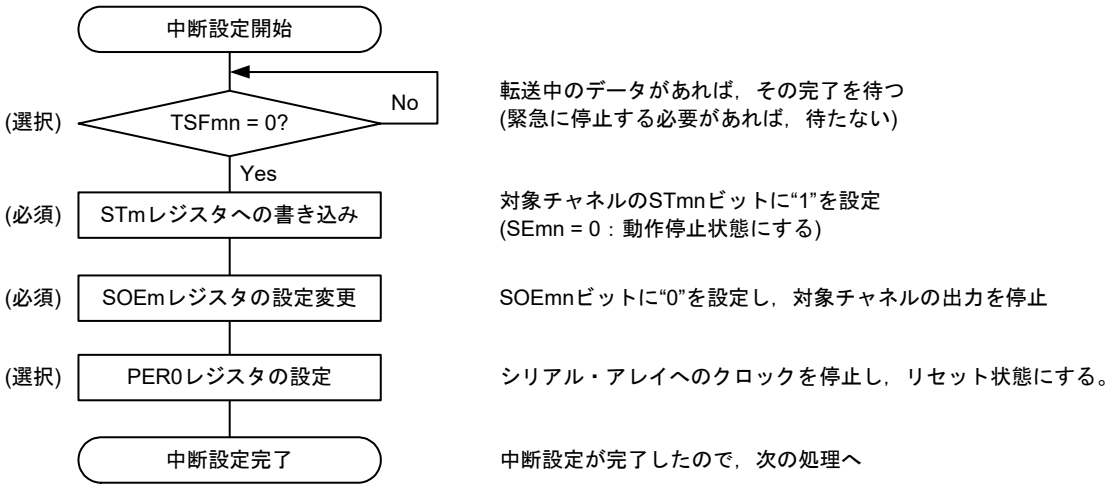
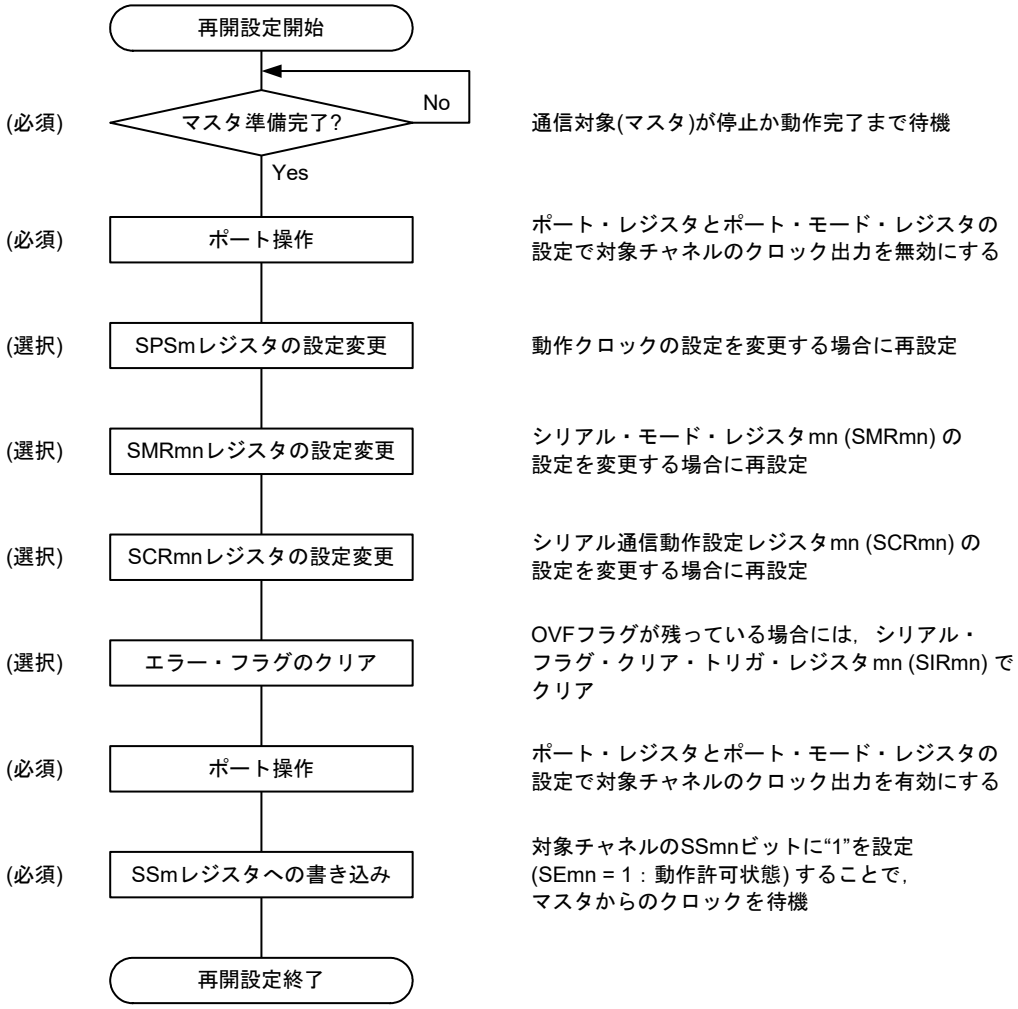


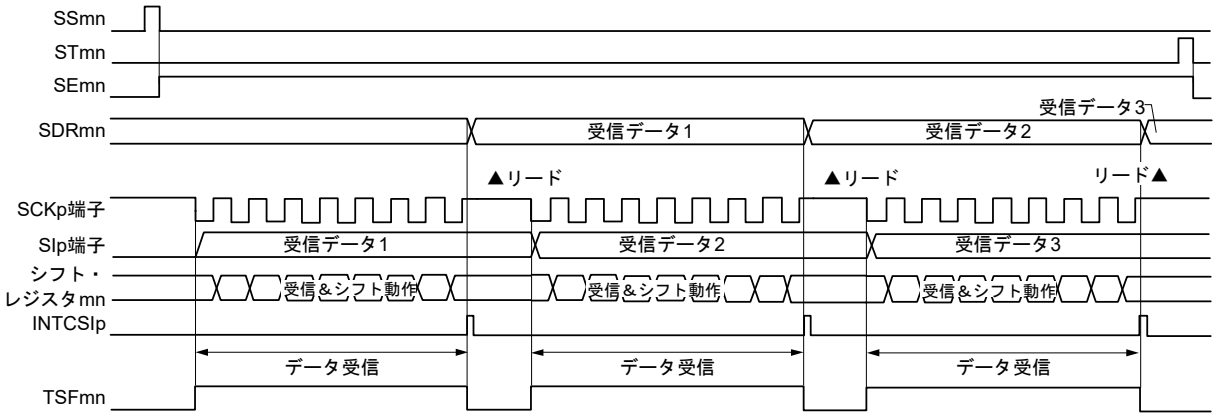
図13 - 60 スレーブ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象(マスタ)の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

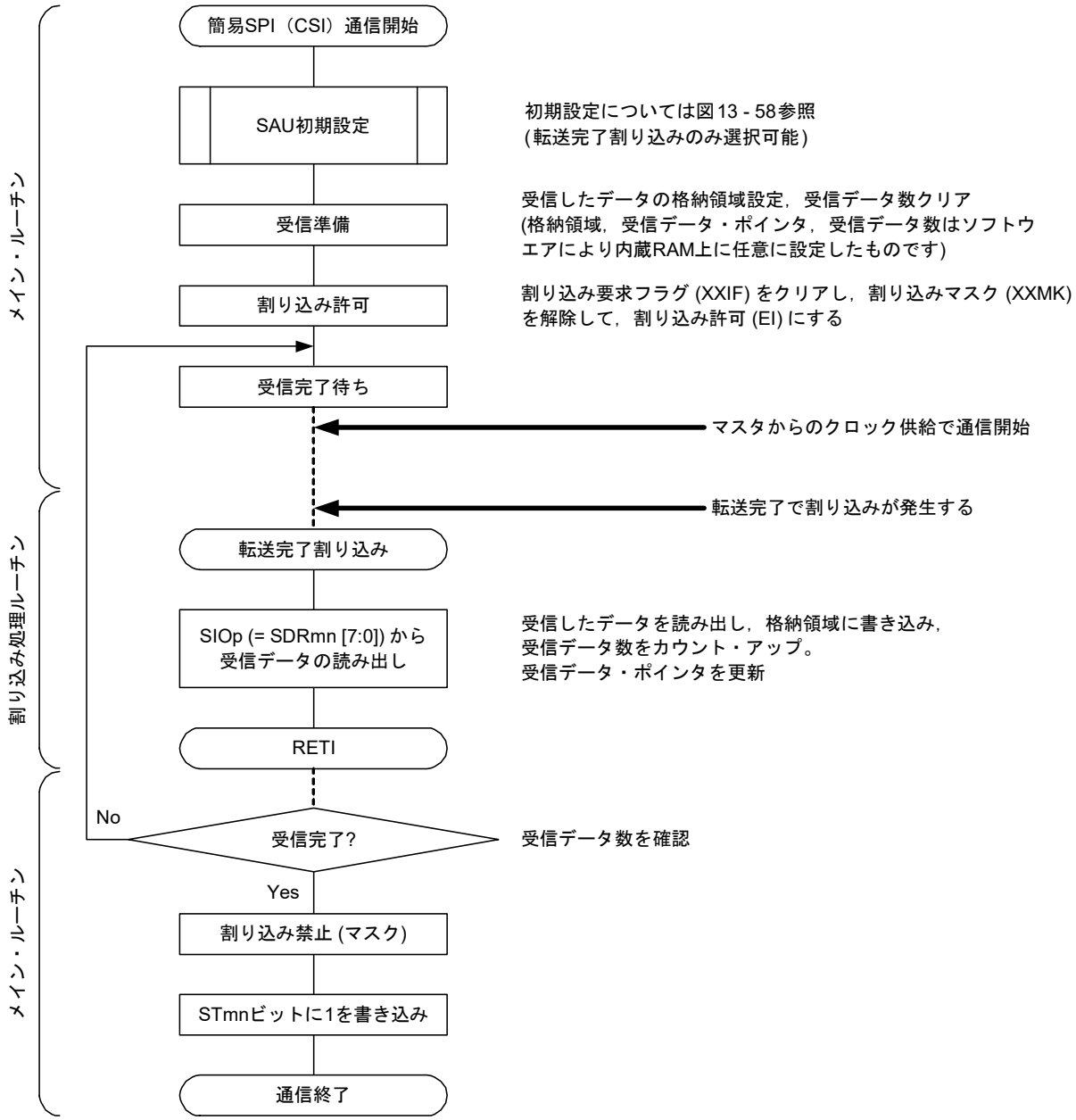
(3)　処理フロー(シングル受信モード時)

図13 - 61 スレーブ受信(シングル受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

図13 - 62 スレーブ受信(シングル受信モード時)のフロー・チャート



13.5.6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{MCK}/6 [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1.　SCK00, SCK01, SCK10, SCK11端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

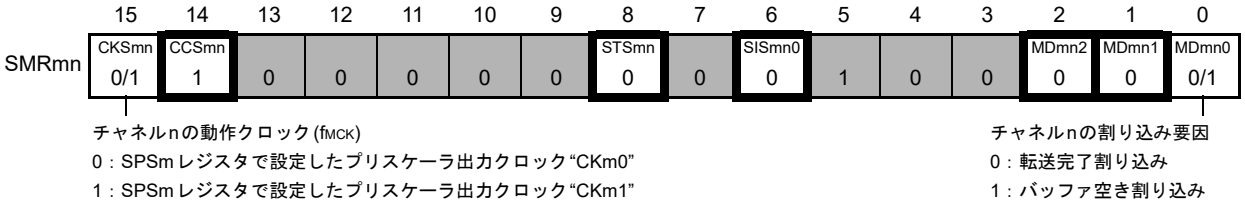
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

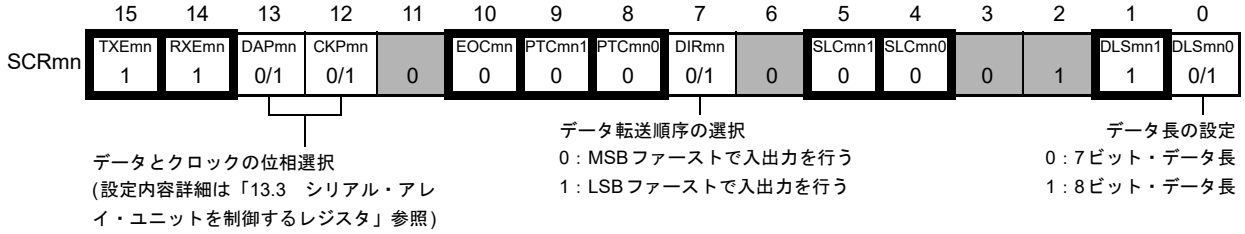
(1)　レジスタ設定

図13 - 63 簡易SPI (CSI00, CSI01, CSI10, CSI11)のスレーブ送受信時のレジスタ設定内容例

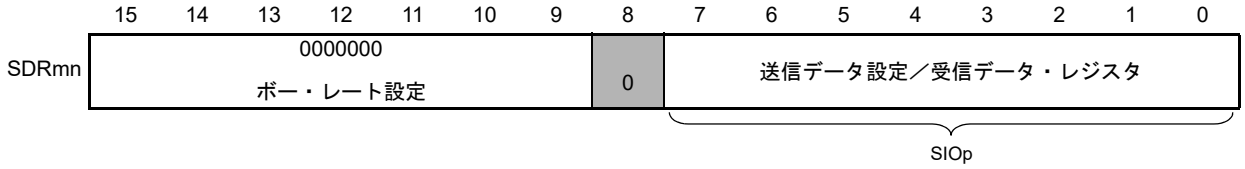
(a) シリアル・モード・レジスタmn (SMRmn)



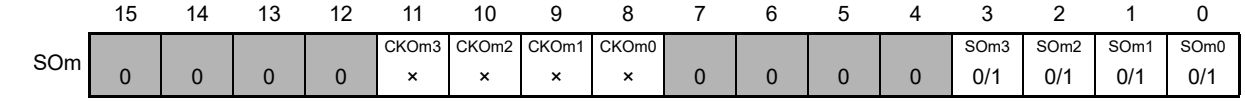
(b) シリアル通信動作設定レジスタmn (SCRmn)



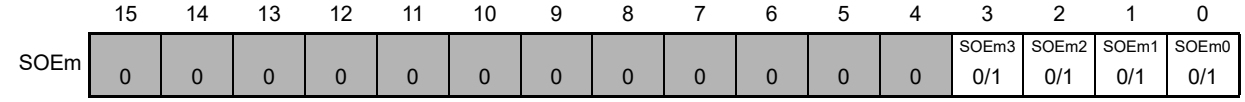
(c) シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOp)



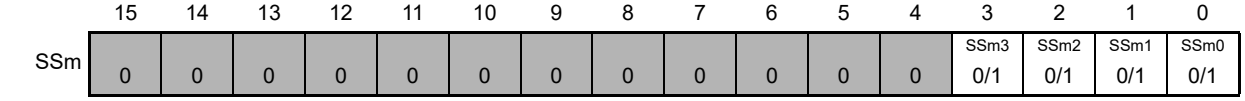
(d) シリアル出力レジスタm (SOm) . . . . . 対象チャネルのビットのみ設定する



(e) シリアル出力許可レジスタm (SOEm) 対象チャネルのビットのみ1に設定する



(f) シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する



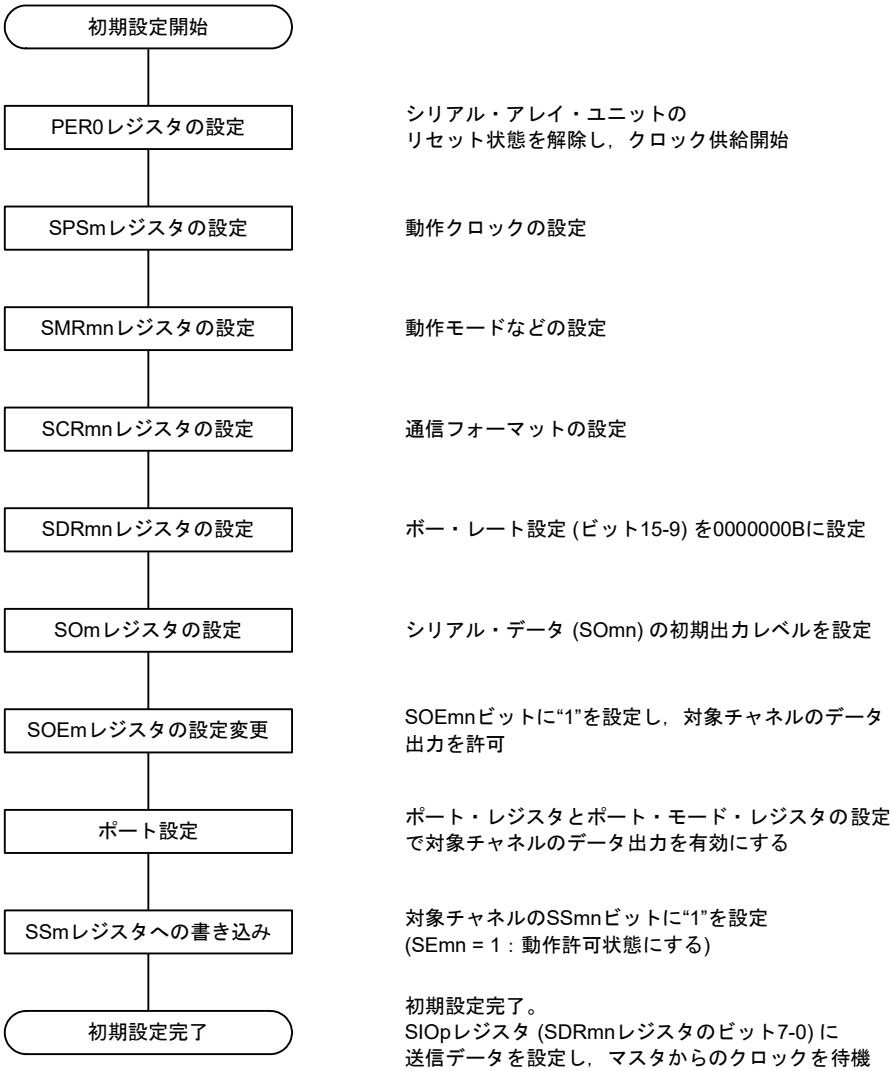
注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11),
mn = 00-03

備考2. ■：簡易SPI（CSI）スレーブ送受信モードでは設定固定　■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 64 スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

図13 - 65 スレーブ送受信の中断手順

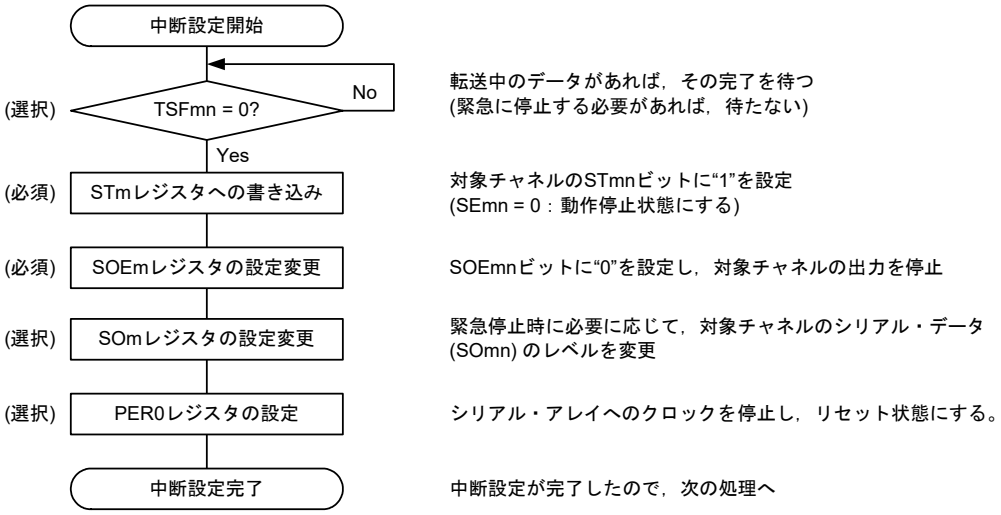
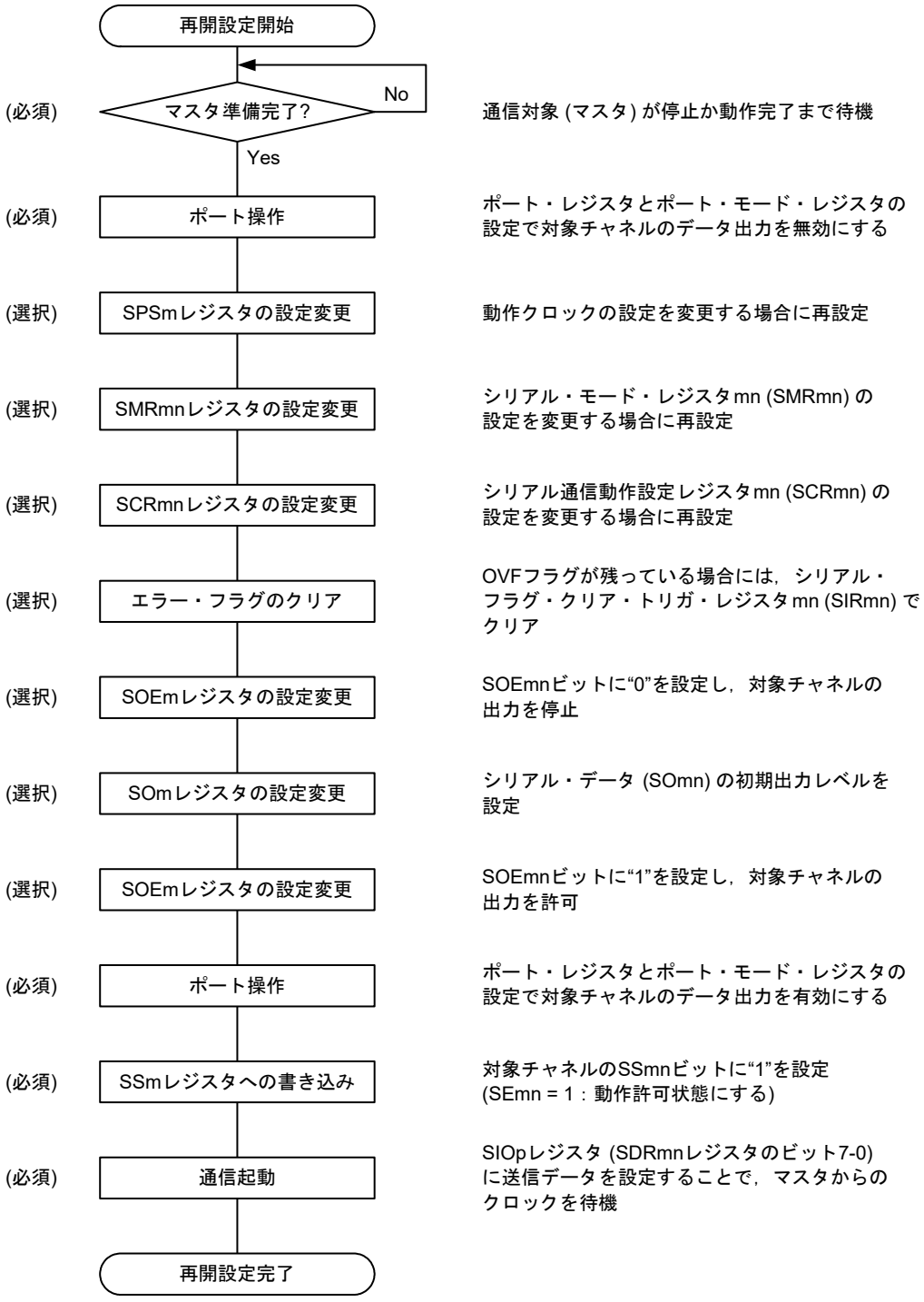


図13 - 66 スレーブ送受信の再開設定手順

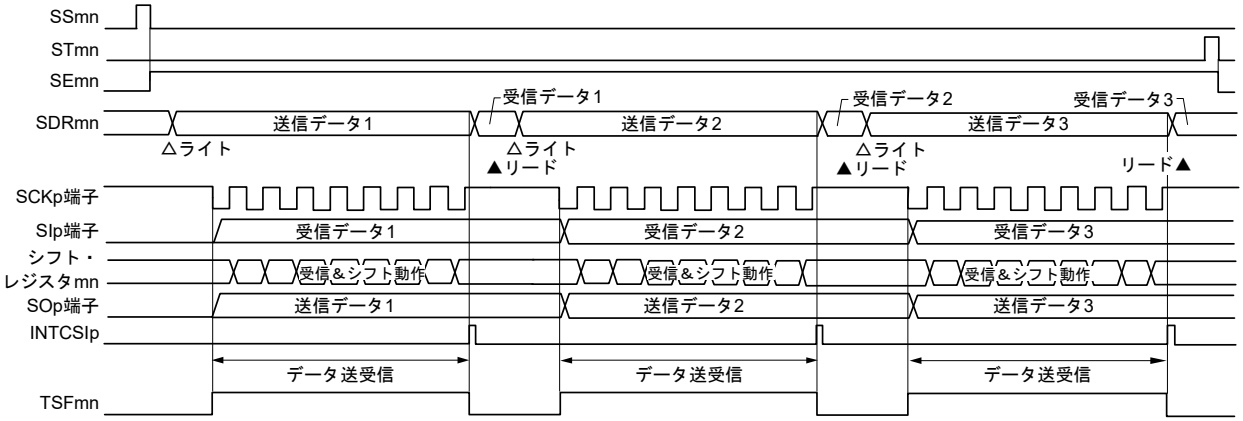


注意1. マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象(マスタ)の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

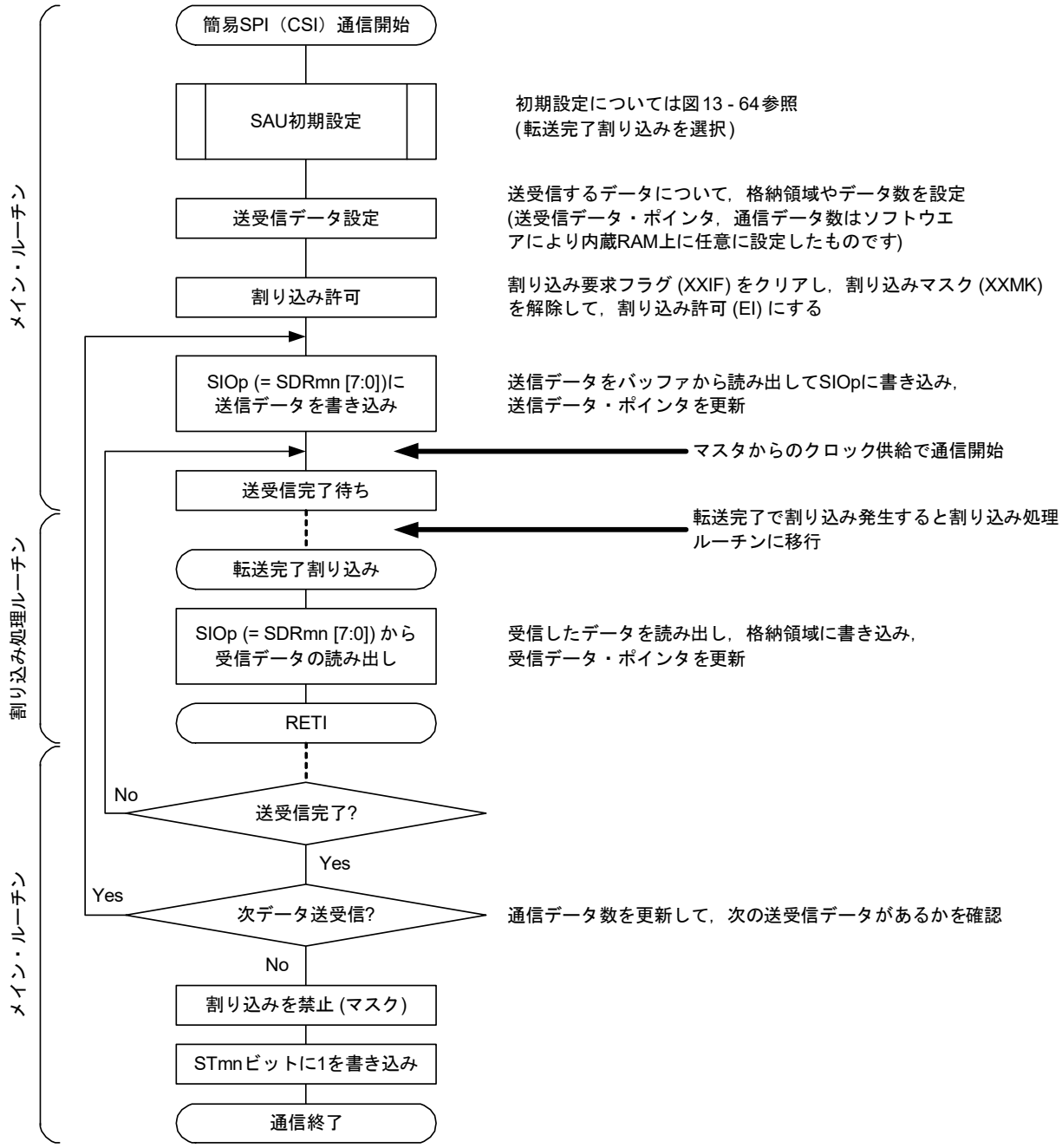
(3) 処理フロー(シングル送受信モード時)

図13 - 67 スレーブ送受信(シングル送受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) p：CSI番号(p = 00, 01, 10, 11), mn = 00-03

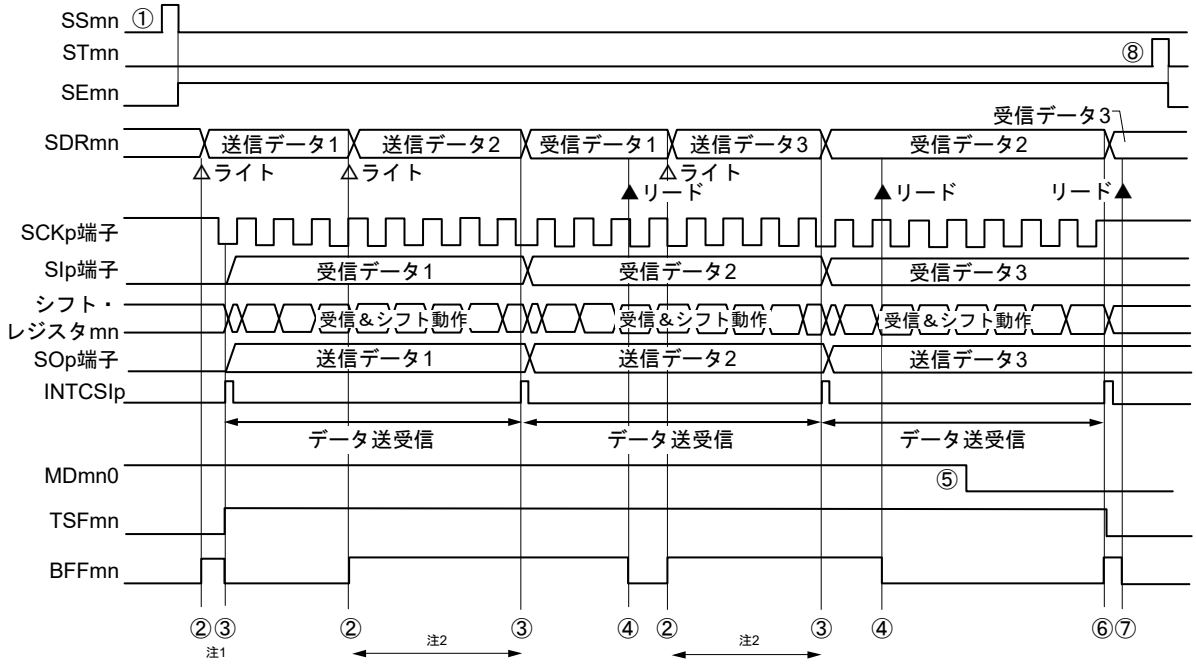
図13 - 68 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

(4)　処理フロー (連続送受信モード時)

図13 - 69 スレーブ送受信(連続送受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



注1.　シリアル・ステータス・レジスタmn (SSRmn)のBFFmnビットが“1”の期間(有効なデータがシリアル・データ・レジスタmn (SDRmn)に格納されている時)にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

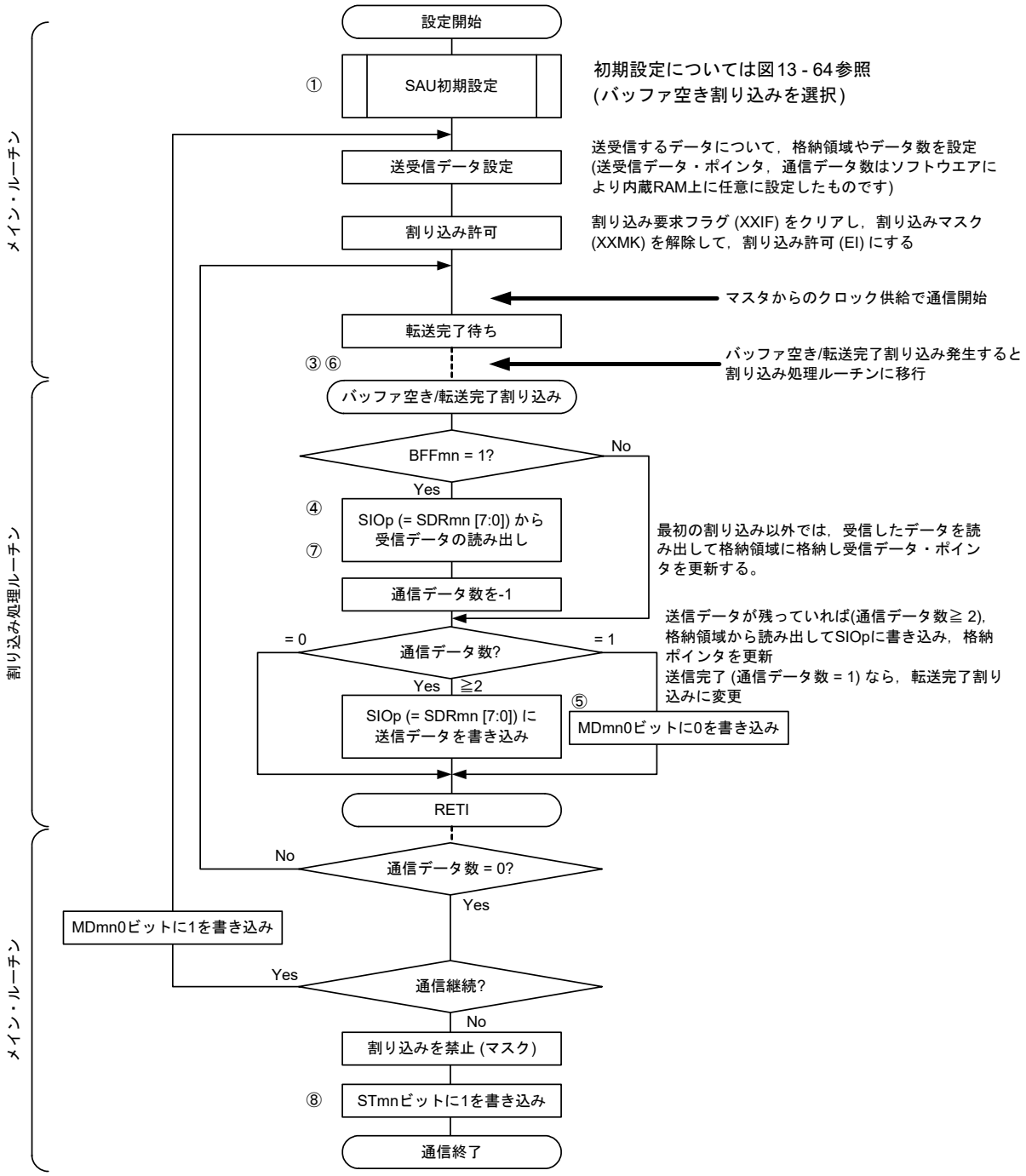
注2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn (SMRmn)のMDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は，図13 - 70　スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　p：CSI番号(p = 00, 01, 10, 11)，mn = 00-03

図13 - 70 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は，図13 - 69 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

13.5.7　SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI（CSI）の受信動作をさせるモードです。通常STOP時に簡易SPI（CSI）は通信動作を停止しますが，このモードを使うことで，SCKp端子入力の検出によってCPUを動作させずに簡易SPI（CSI）の受信動作を行うことができます。SNOOZEモードは，以下のチャネルのみ設定可能です。

- CSI00

簡易SPI（CSI）をSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います(図13 - 72，図13 - 74 SNOOZEモード動作時のフローチャートを参照)。

- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm)のSWCmビットをセット(1)してください。初期設定完了後，シリアル・チャネル開始レジスタm (SSm)のSSm0ビットをセット(1)します。

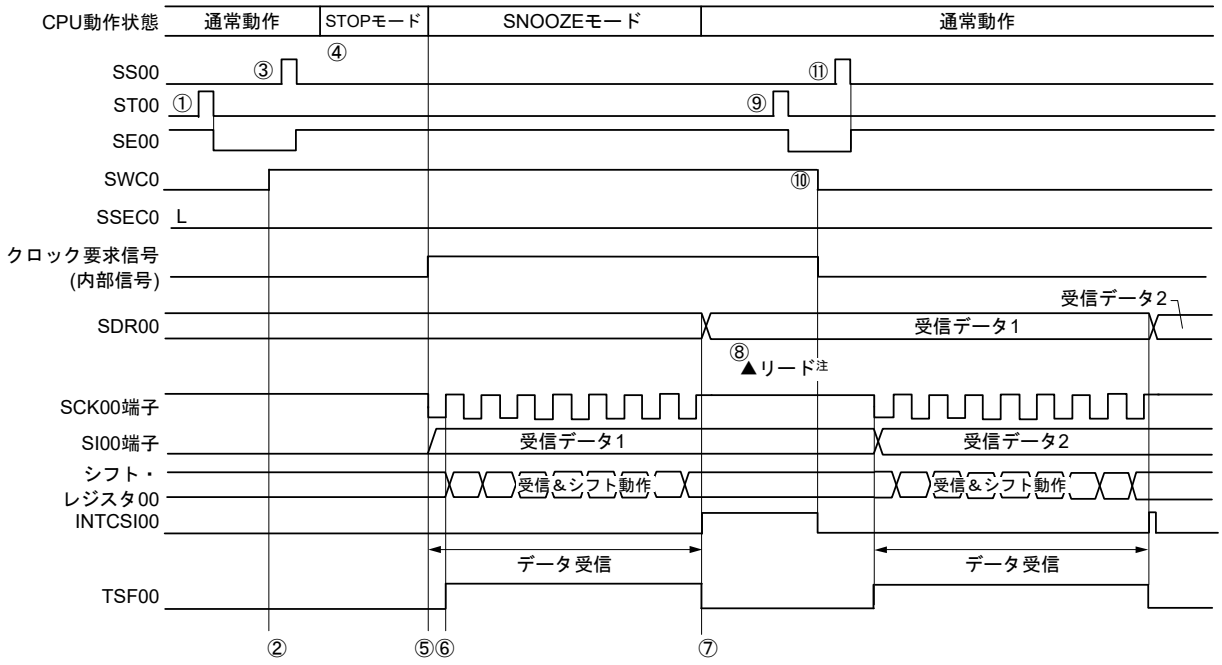
- STOPモードに移行後，SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。
  SCKp端子のシリアル・クロック入力により，CSIpは受信動作を開始します。

注意1. SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック(f_{IH})または，中速オンチップ・オシレータ・クロック(f_{IM})を選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1)　SNOOZEモード動作(1回起動)

図13 - 71 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



注　　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

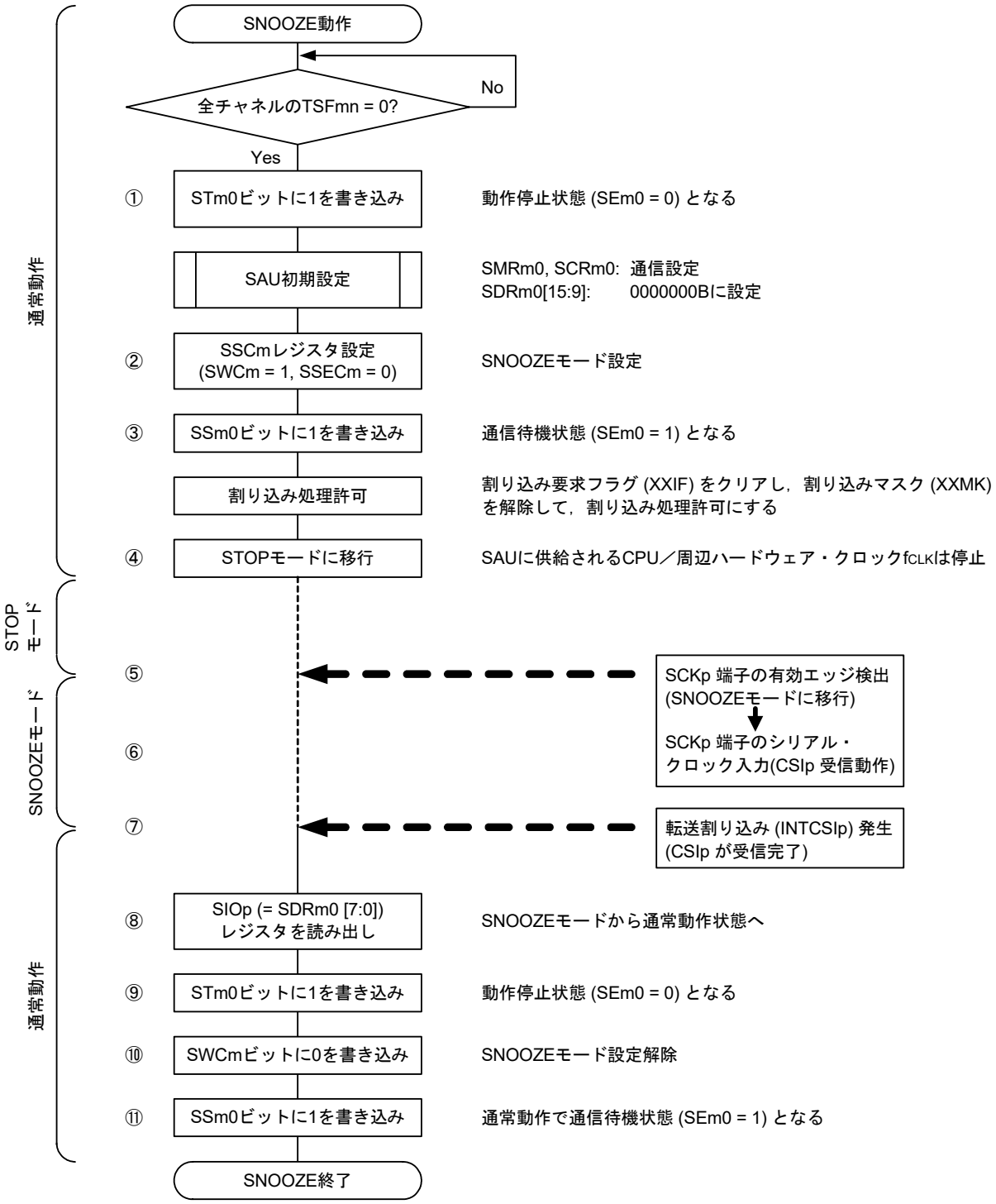
また，受信動作を完了したあとは，SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。

備考1. 図中の①～⑪は，図13 - 72　SNOOZEモード動作(1回起動)時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0; p = 00

図13 - 72 SNOOZEモード動作(1回起動)時のフロー・チャート

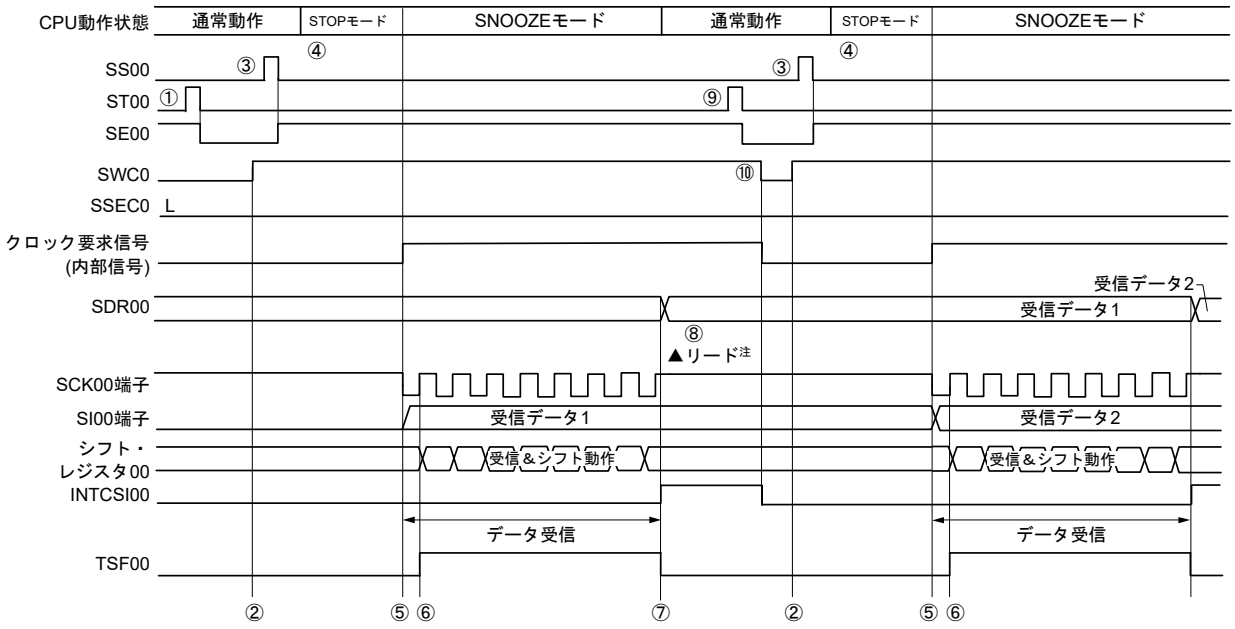


備考1. 図中の①～⑪は，図13 - 71　SNOOZEモード動作(1回起動)時のタイミング・チャートの①～⑪に対応しています。

備考2. m = 0; p = 00

(2) SNOOZEモード動作(連続起動)

図13 - 73 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

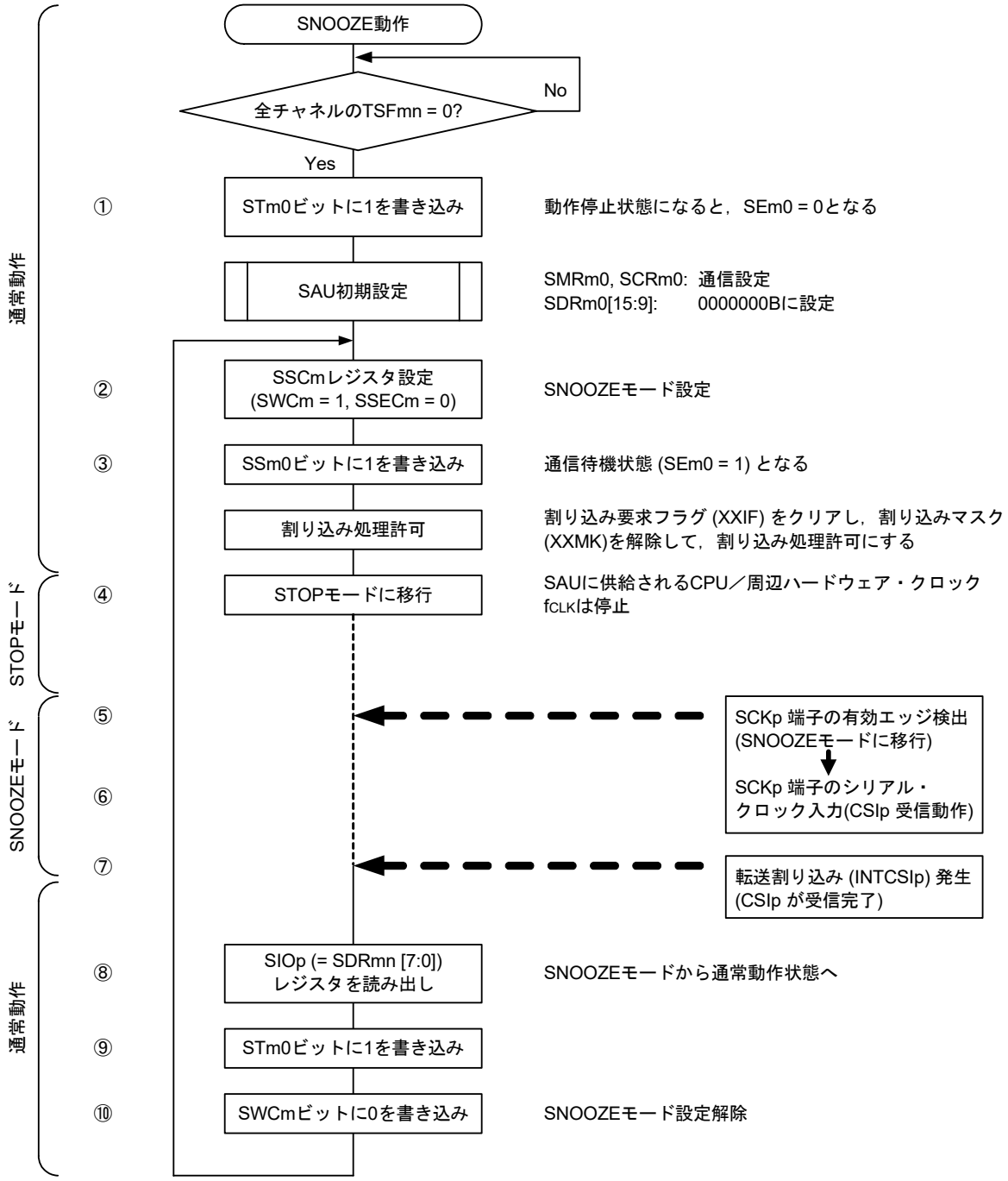
また，受信動作を完了したあとは，SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは，BFFm1，OVFm1フラグは動作しません。

備考1. 図中の①～⑩は，図13 - 74 SNOOZEモード動作(連続起動)時のフロー・チャートの①～⑩に対応しています。

備考2. m = 0; p = 00

図13 - 74 SNOOZEモード動作(連続起動)時のフロー・チャート



備考1. 図中の①～⑩は，図13 - 73 SNOOZEモード動作(連続起動)時のタイミング・チャートの①～⑩に対応しています。

備考2. m = 0; p = 00

13.5.8　転送クロック周波数の算出

簡易SPI (CSI00, CSI01, CSI10, CSI11)通信での転送クロック周波数は下記の計算式にて算出できます。

(1)　マスタの場合

(転送クロック周波数) = ｛対象チャネルの動作クロック (f_{MCK})周波数｝÷ (SDRmn[15:9] + 1) ÷ 2 [Hz]

(2)　スレーブの場合

(転送クロック周波数) = ｛マスタが供給するシリアル・クロック (SCK)周波数｝注 [Hz]

注　　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9]は，シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので，0-127になります。

動作クロック (f_{MCK}) は，シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表13 - 2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック(f_{MCK})注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732 Hz

注　f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は，シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャネル停止レジスタm (STm) = 000FH)させてから変更してください。

備考1. X：Don't care

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

13.5.9　簡易SPI (CSI00, CSI01, CSI10, CSI11)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI01, CSI10, CSI11)通信時にエラーが発生した場合の処理手順を図13 - 75に示します。

図13 - 75 オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする ⟶	SSRmn レジスタのBFFmn ビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)に“1”をライトする ⟶	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのままSIRmn レジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

13.6　スレーブ・セレクト入力機能付クロック同期シリアル通信の動作

スレーブ・セレクト入力機能付クロック同期シリアル通信に対応しているチャネルは，SAU0のチャネル0です。

［データ送受信］

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

［クロック制御］

- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注　スレーブ通信時：Max. f_{MCK}/6

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

注　SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は，第35章，第36章　電気的特性を参照を参照してください。

○20ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

○24, 25ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

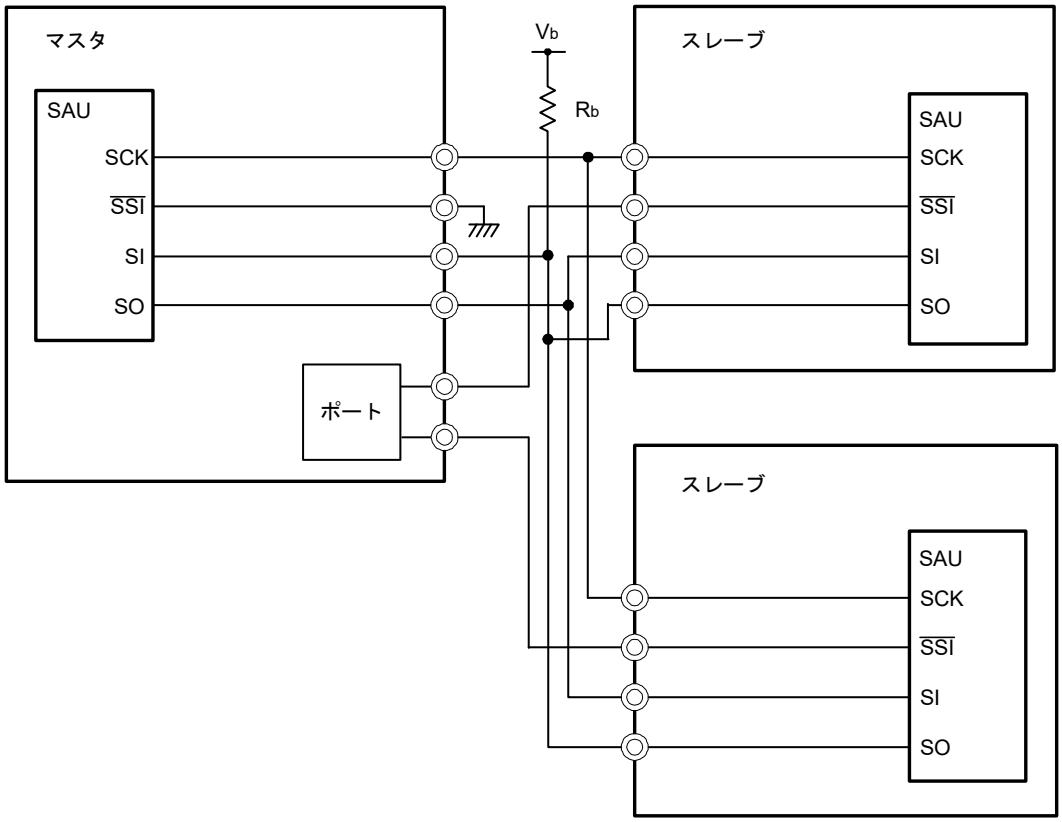
スレーブ・セレクト入力機能の通信動作は，以下の3種類があります。

- スレーブ送信(13.6.1項を参照)
- スレーブ受信(13.6.2項を参照)
- スレーブ送受信(13.6.3項を参照)

スレーブ・セレクト入力機能を使うことで，マスタ１つに対し複数のスレーブを接続し，通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し，各スレーブは通信相手として自分が選択されたかを判断し，SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には，SO端子はハイ・レベル出力となるため，複数のスレーブが接続される環境では，SO端子はNch-O.Dの設定にし，そのノードはプルアップする必要があります。また，スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意　スレーブ選択信号の出力はポート操作により行ってください。

図13 - 76 スレーブ・セレクト入力機能の構成例

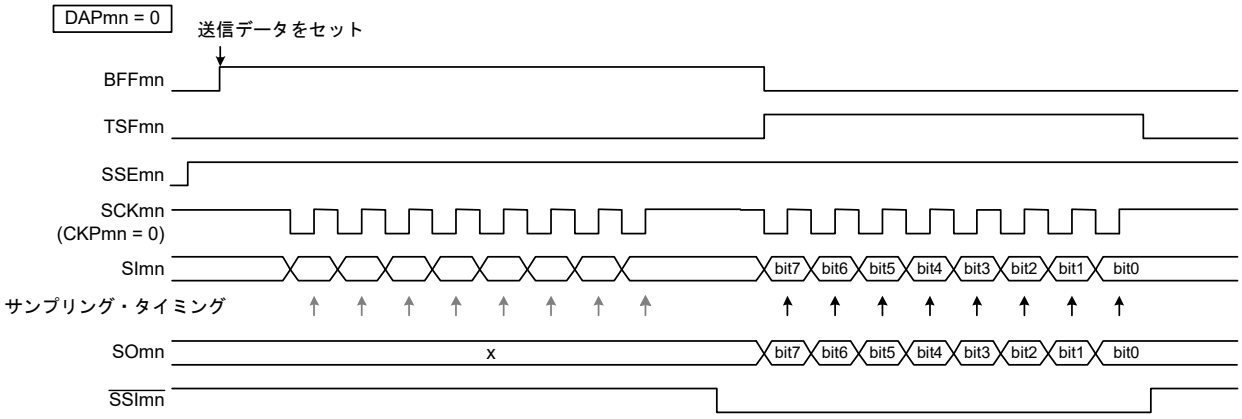


注意　10, 16, 20, 24ピン製品は$V_{DD} \geqq V_b$，25ピン製品は$EV_{DD} \geqq V_b$で使用してください。
SO00端子はN-chオープン・ドレイン出力(V_{DD}耐圧[注1]/EV_{DD}耐圧[注2])モードを選択。

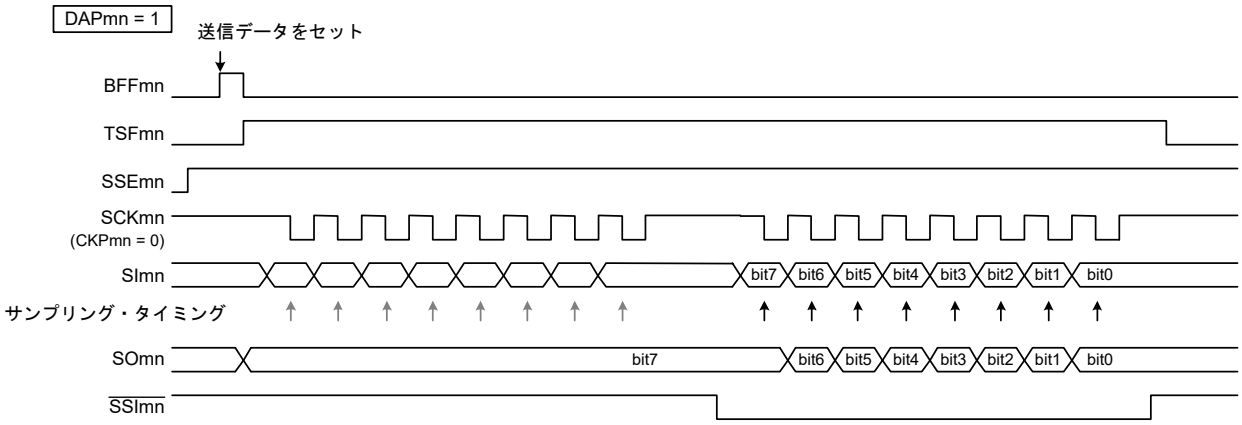
注1.　10, 16, 20, 24ピン製品

注2.　25ピン製品

図13 - 77 スレーブ・セレクト入力機能のタイミング図



SSImnがハイ期間ではSCKmn (シリアル・クロック) の立ち下がりエッジが来ても送信を行いません。
また，立ち上がりエッジに同期して受信データのサンプリングも行いません。
SSImnがロウとなった際，シリアル・クロックの立ち下がりエッジに同期してデータを出力 (シフト) し，
立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合，SSImnがハイ期間に送信データがセットされると，データ出力に最初のデータ (bit7) を出力します。しかし，SCKmn (シリアル・クロック) の立ち上がりエッジが来てもシフト動作を行わず，立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると，次の立ち上がりエッジに同期してデータを出力 (シフト) し，立ち下がりエッジに同期して受信動作を行います。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0)

13.6.1　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

スレーブ・セレクト入力機能	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SO00, $\overline{SSI00}$
割り込み	INTCSI00
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. f_{MCK}/6[Hz]注1, 2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブ・セレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1.　SCK00 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6[Hz]となります。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

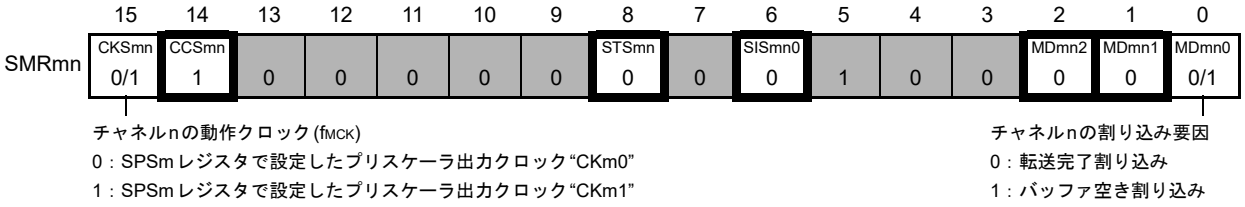
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)

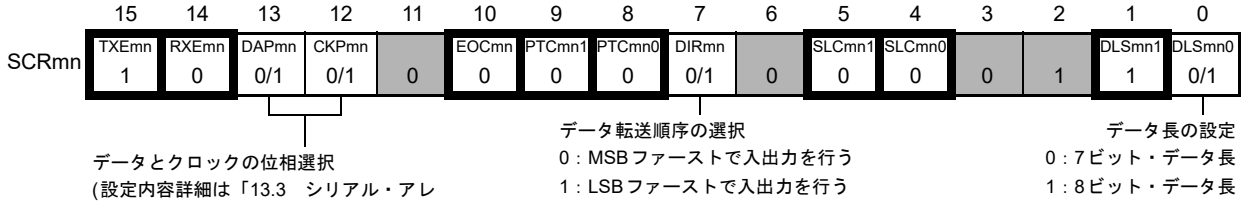
(1)　レジスタ設定

図13 - 78 スレーブ・セレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

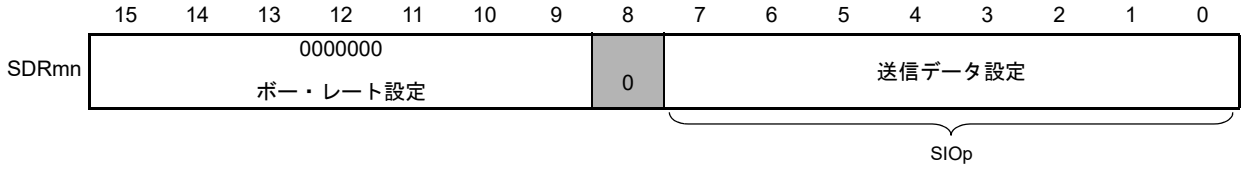
(a) シリアル・モード・レジスタ mn (SMRmn)



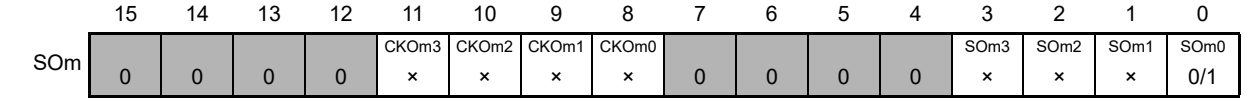
(b) シリアル通信動作設定レジスタ mn (SCRmn)



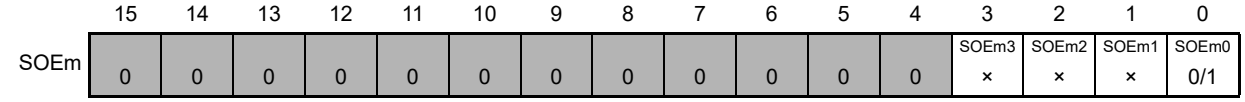
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット：SIOp)



(d) シリアル出力レジスタ m (SOm) . . . . . 対象チャネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャネルのビットのみ1に設定する



備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

備考2. ■：簡易SPI（CSI）スレーブ送信モードでは設定固定　■：設定不可(初期値を設定)

×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1：ユーザの用途に応じて0または1に設定

図13 - 78 スレーブ・セレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g)入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャネル(ユニット0のチャネル0)の$\overline{\text{SSI00}}$端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0：$\overline{\text{SSI00}}$端子の入力値を無効
1：$\overline{\text{SSI00}}$端子の入力値を有効

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

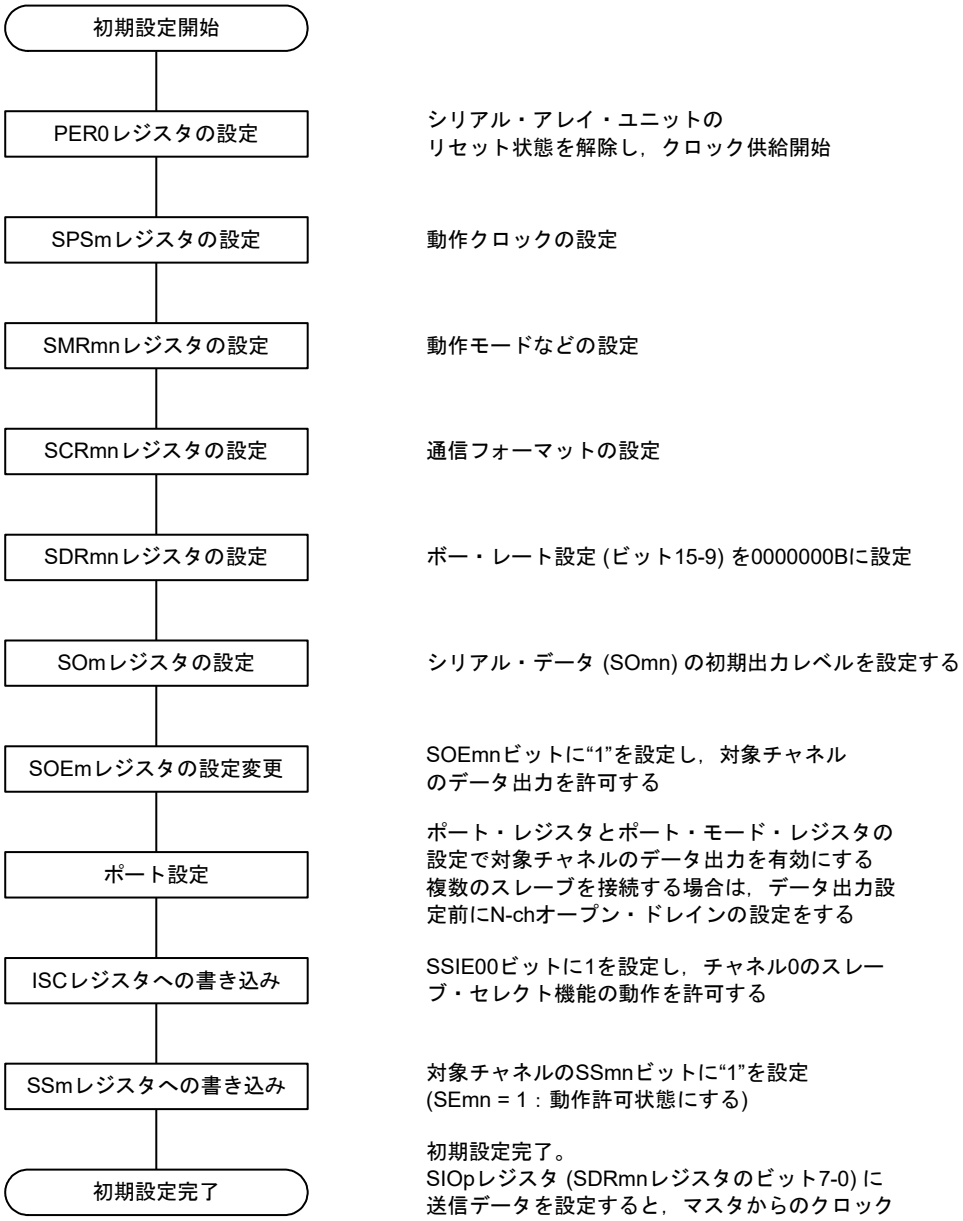
備考2. ■：簡易SPI（CSI）スレーブ送信モードでは設定固定　■：設定不可(初期値を設定)

×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1：ユーザの用途に応じて0または1に設定

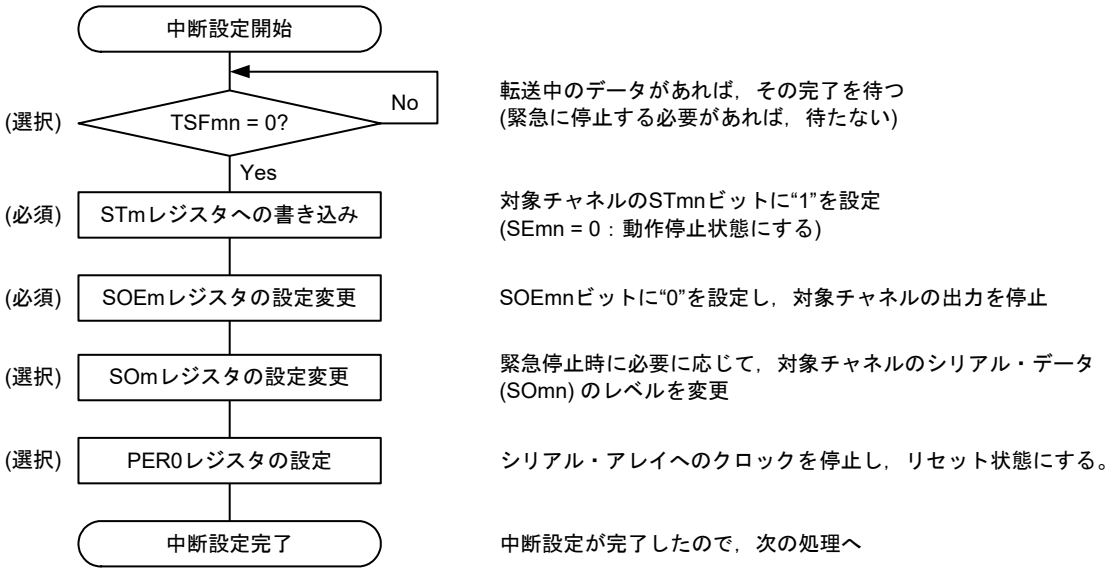
(2)　操作手順

図13 - 79 スレーブ送信の初期設定手順



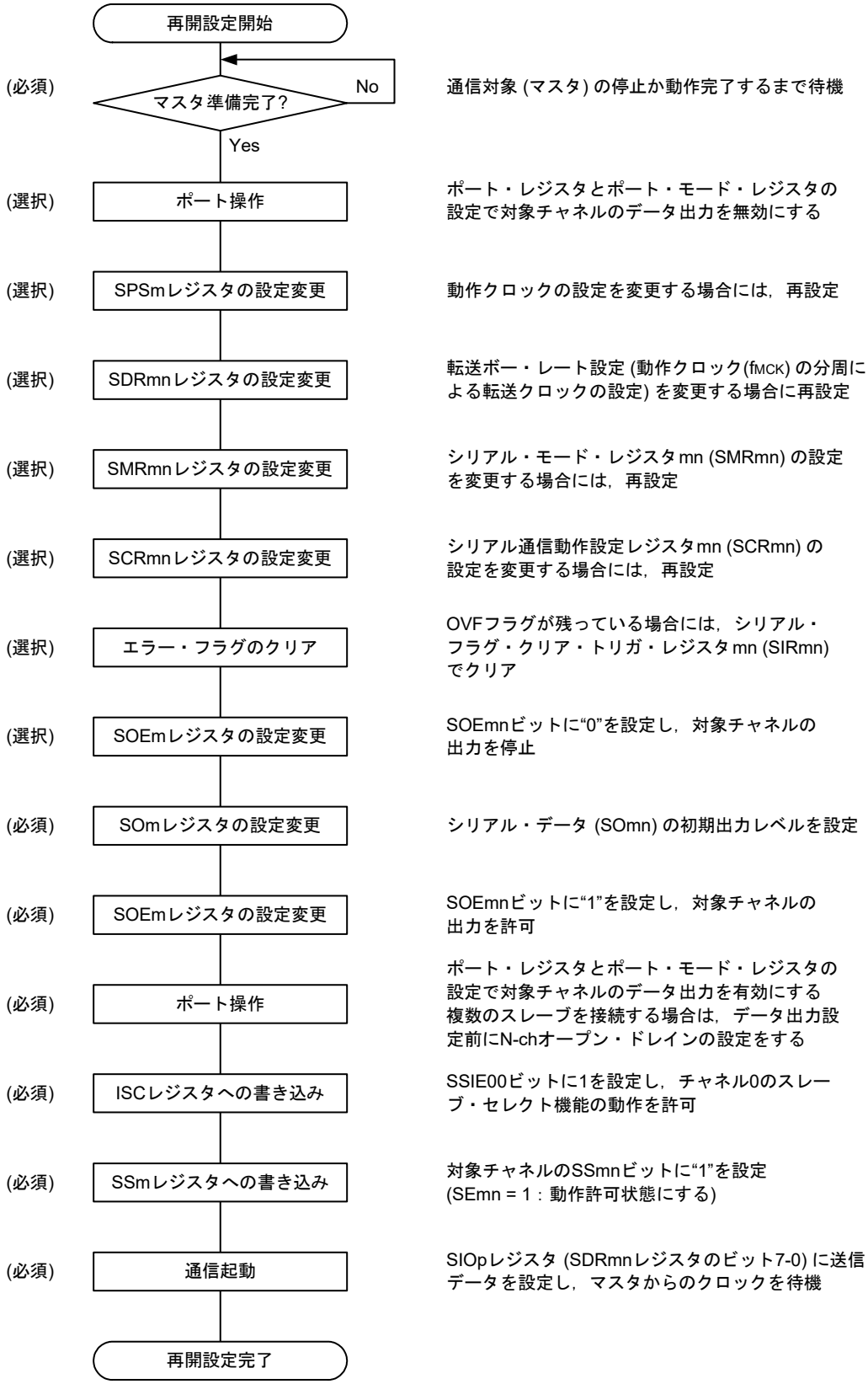
備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

図13 - 80 スレーブ送信の中断手順



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

図13 - 81 スレーブ送信の再開設定手順

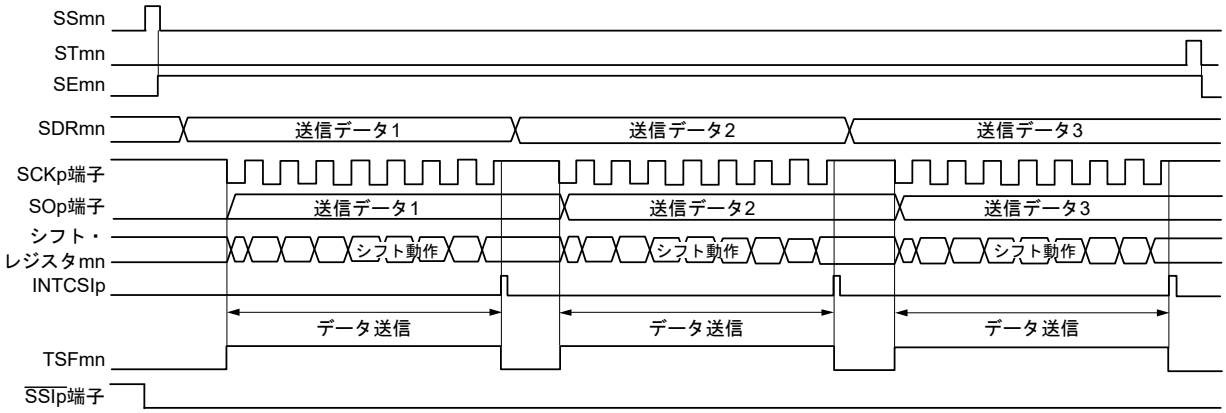


備考1. 中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象(マスタ)の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

備考2. m：ユニット番号(m = 0)　n：チャネル番号(n = 0)　p：CSI番号(p = 00)

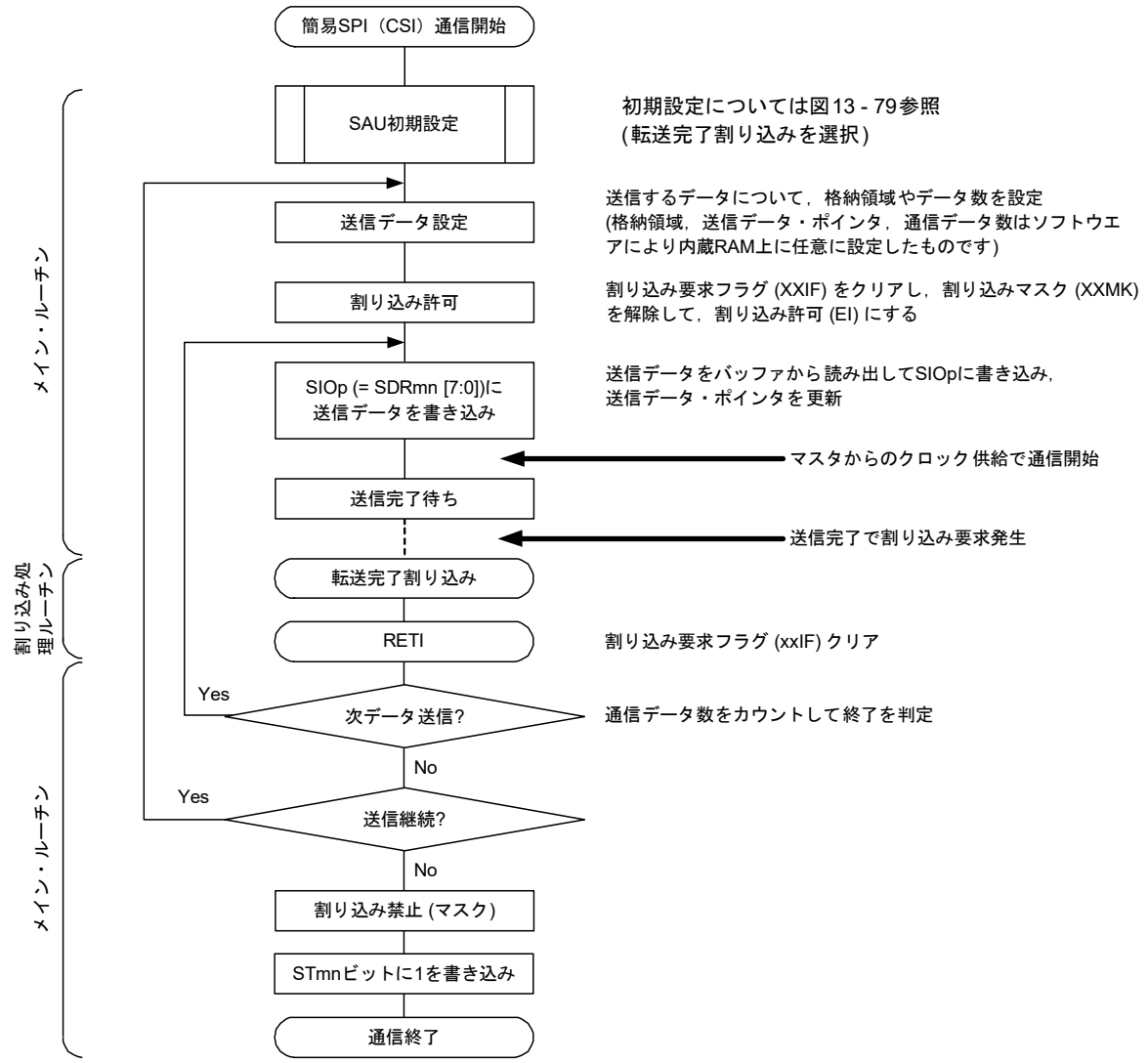
(3) 処理フロー(シングル送信モード時)

図13 - 82 スレーブ送信(シングル送信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0) p：CSI番号(p = 00)

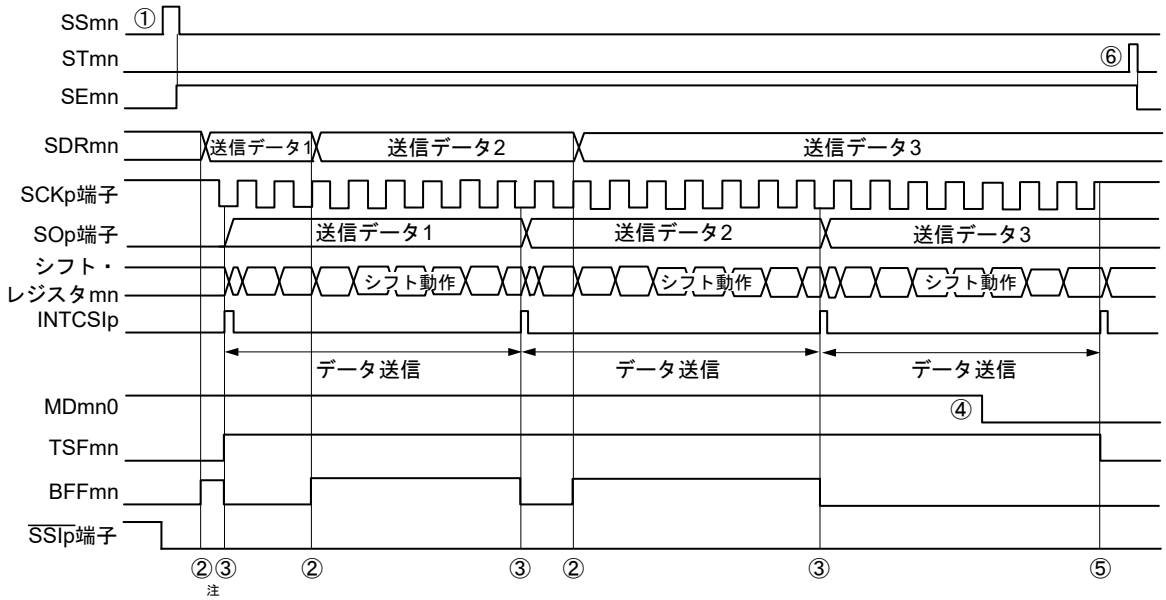
図13 - 83 スレーブ送信(シングル送信モード時)のフロー・チャート



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

(4) 処理フロー(連続送信モード時)

図13 - 84 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)

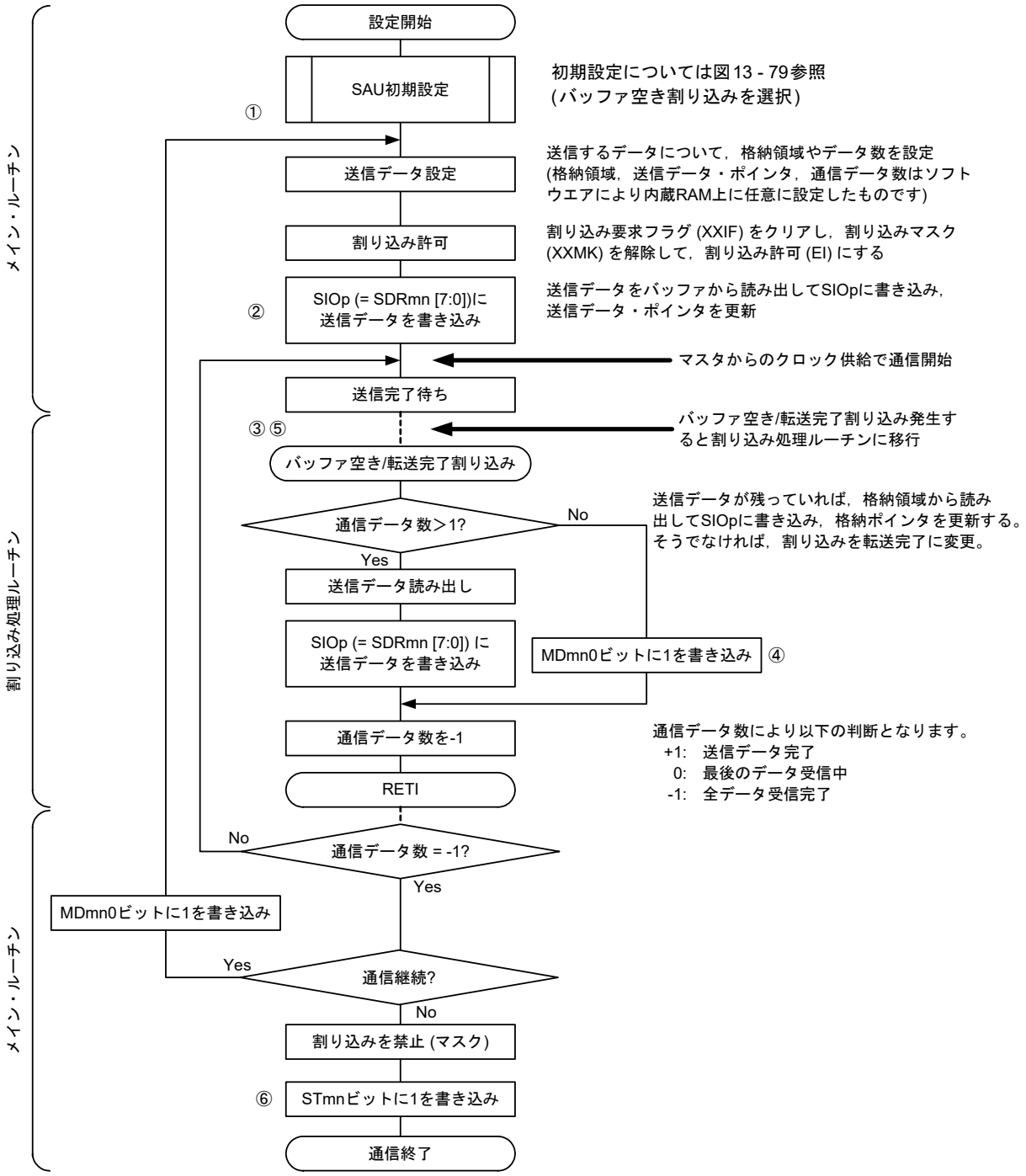


注 シリアル・ステータス・レジスタmn (SSRmn)のBFFmnビットが“1”の期間(有効なデータがシリアル・データ・レジスタmn (SDRmn)に格納されているとき)にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn)のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0) p：CSI番号(p = 00)

図13 - 85 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①～⑥は，図13 - 84　スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

13.6.2　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブ・セレクト入力機能	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. f_{MCK}/6[Hz]注1, 2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブ・セレクト入力機能	スレーブ・セレクト入力機能の動作を選択可能

注1.　SCK00 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6[Hz]となります。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)

(1)　レジスタ設定

図13 - 86 スレーブ・セレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn	0	SISmn0	1	0	0	MDmn2	MDmn1	MDmn0
	0/1	1						0		0				0	0	0

チャネルnの動作クロック (f_{MCK})
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	0	1	DLSmn1	DLSmn0
	0	1	0/1	0/1		0	0	0	0/1		0	0			1	0/1

データとクロックの位相選択
(設定内容詳細は「13.3　シリアル・アレイ・ユニットを制御するレジスタ」参照)

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット：SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	受信データ							

SIOp

(d) シリアル出力レジスタ m (SOm) . . . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3	CKOm2	CKOm1	CKOm0	0	0	0	0	SOm3	SOm2	SOm1	SOm0
					×	×	×	×					×	×	×	×

(e) シリアル出力許可レジスタ m (SOEm) . . . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
													×	×	×	×

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

備考2. ■：簡易SPI（CSI）スレーブ受信モードでは設定固定　■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

図13 - 86 スレーブ・セレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g)入力切り替え制御レジスタ(ISC)

..... CSI00スレーブ・チャネル(ユニット0のチャネル0)の$\overline{\text{SSI00}}$端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0：$\overline{\text{SSI00}}$端子の入力値を無効
1：$\overline{\text{SSI00}}$端子の入力値を有効

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

備考2. ■：スレーブ受信モードでは設定固定　■：設定不可(初期値を設定)

×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 87 スレーブ受信の初期設定手順

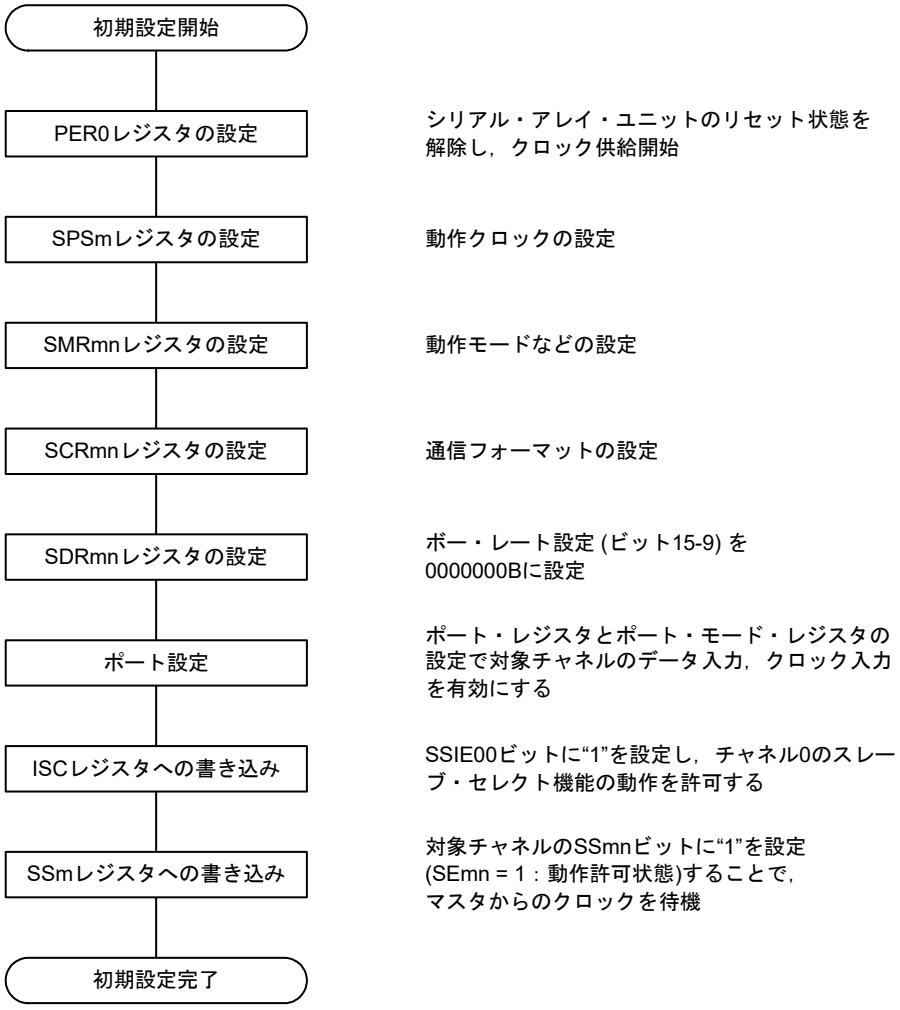
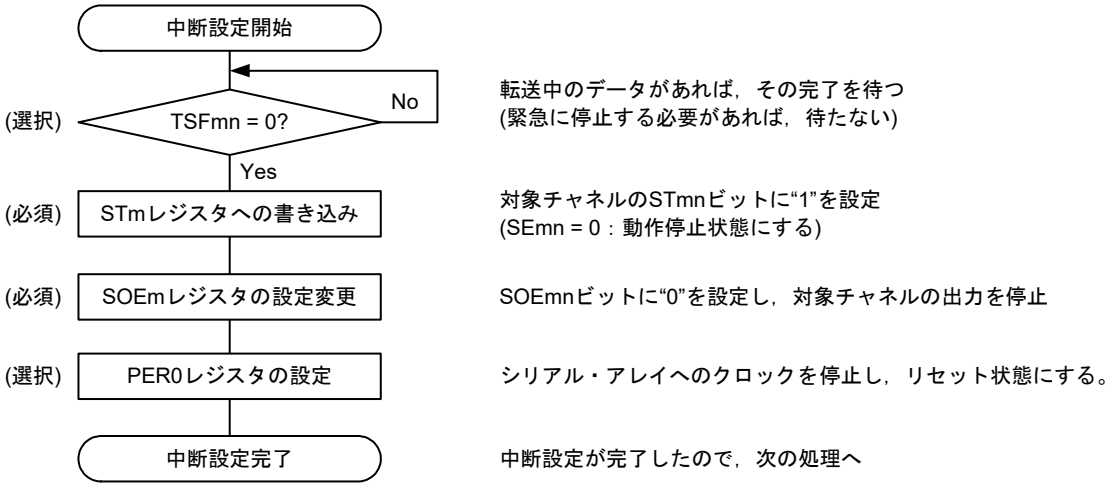
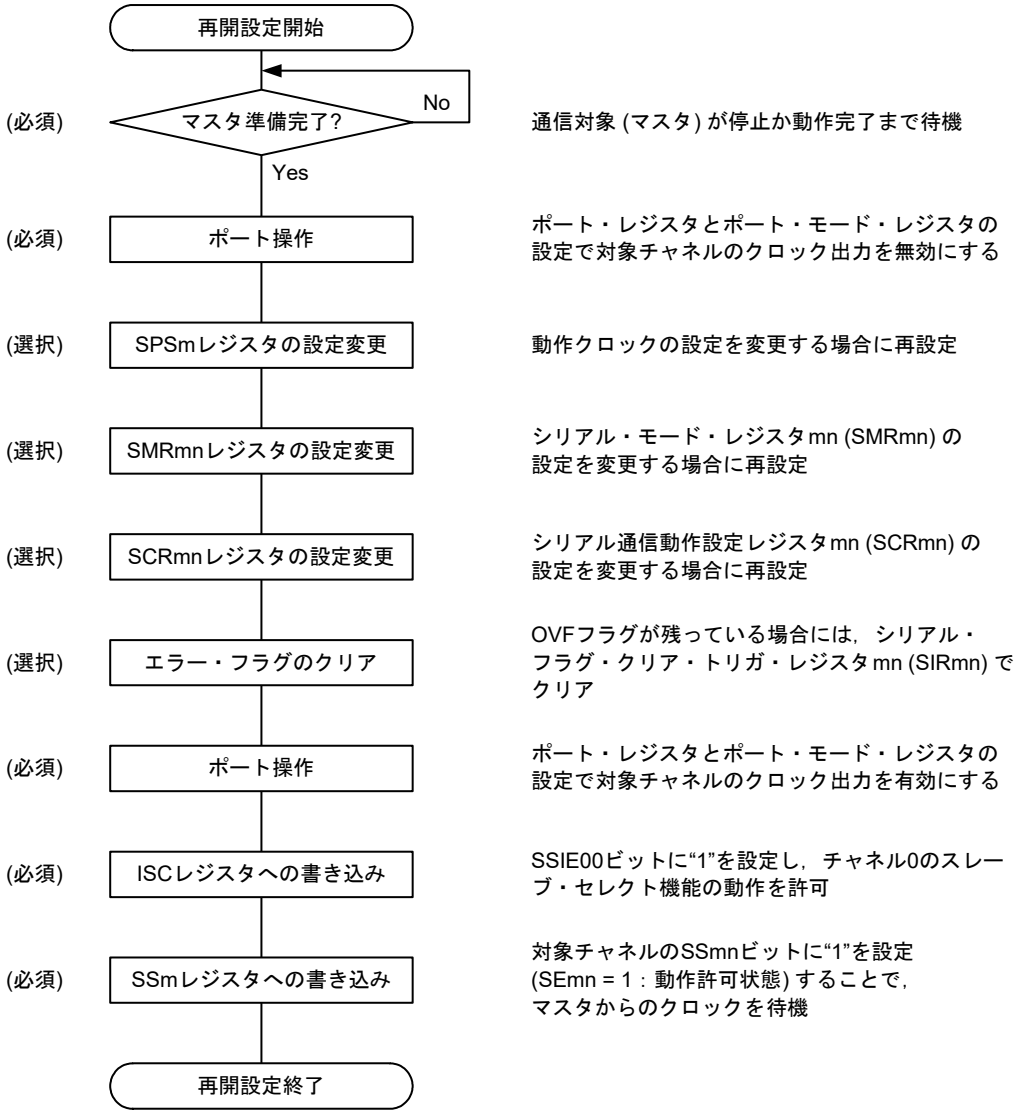


図13 - 88 スレーブ受信の中断手順



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

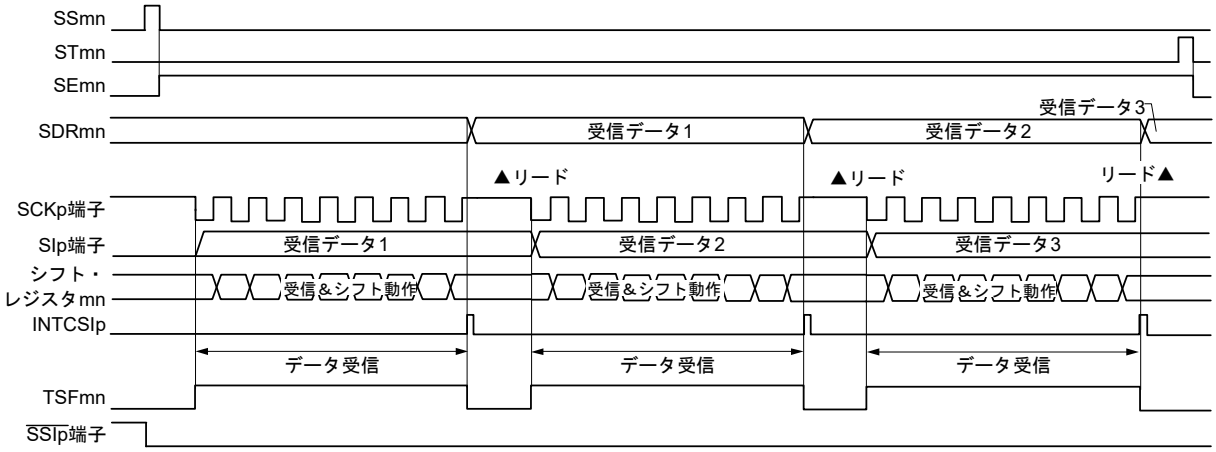
図13 - 89 スレーブ受信の再開設定手順



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

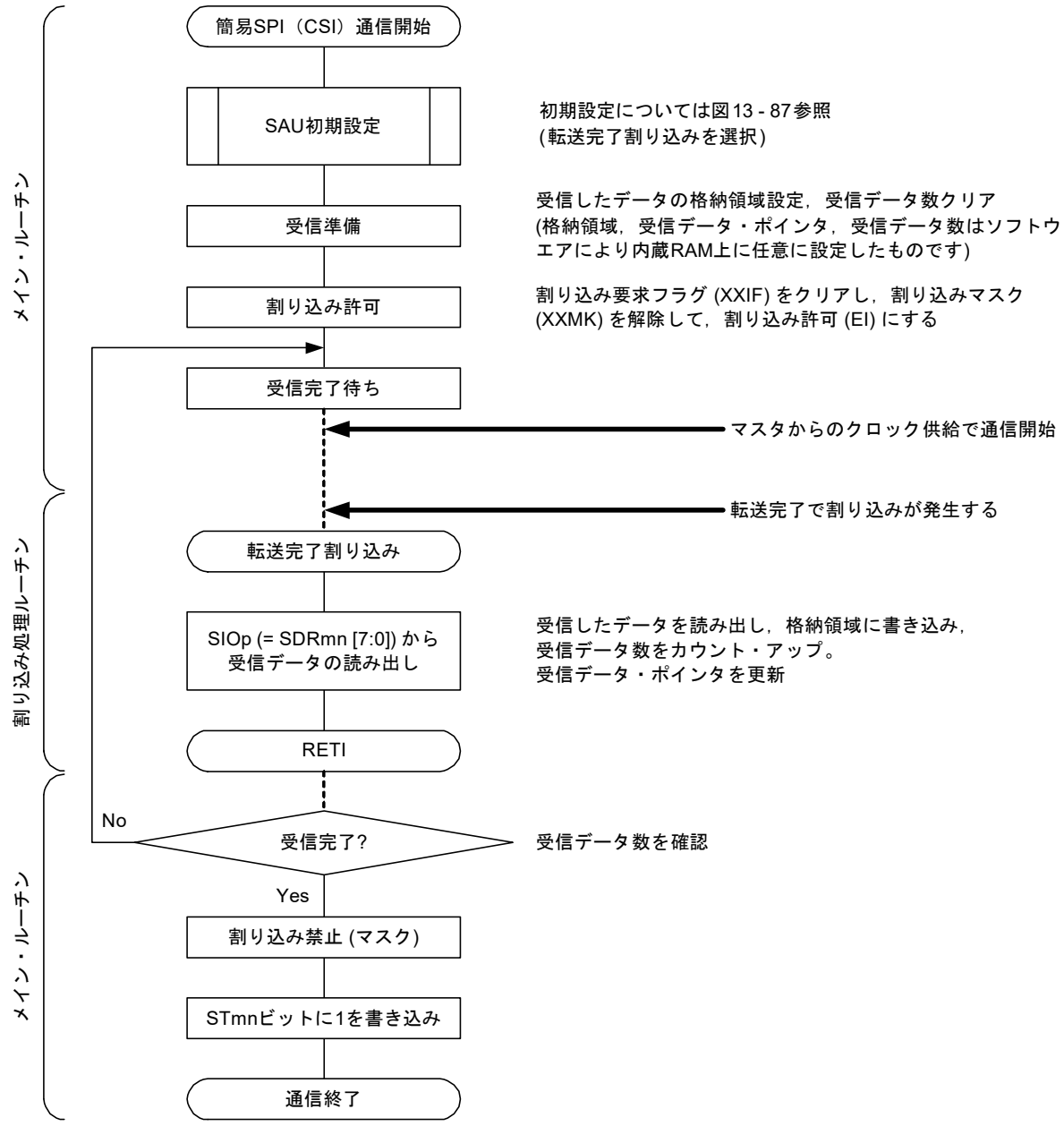
(3)　処理フロー(シングル受信モード時)

図13 - 90 スレーブ受信(シングル受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

図13 - 91 スレーブ受信(シングル受信モード時)のフロー・チャート



13.6.3　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブ・セレクト入力機能	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. f_{MCK}/6[Hz]注1, 2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブ・セレクト入力機能	スレーブ・セレクト入力機能の動作を選択可能

注1.　SCK00 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6[Hz]となります。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

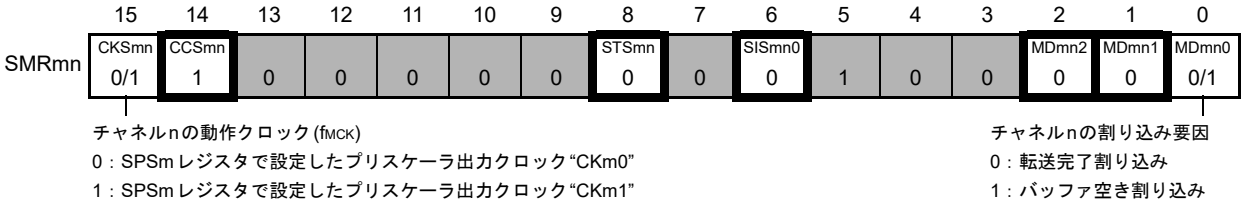
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)

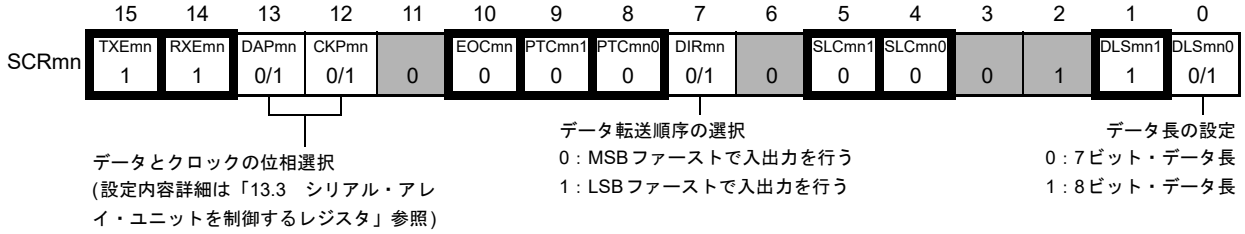
(1)　レジスタ設定

図13 - 92 スレーブ・セレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

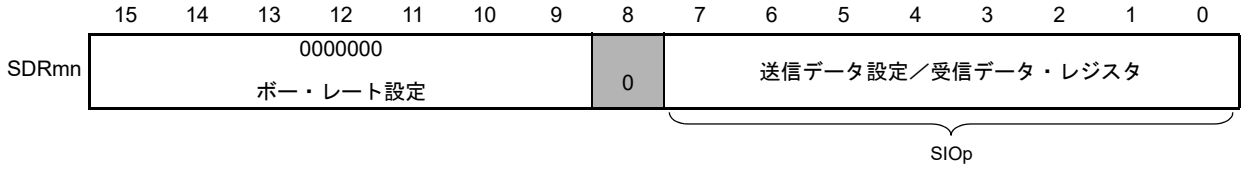
(a) シリアル・モード・レジスタ mn (SMRmn)



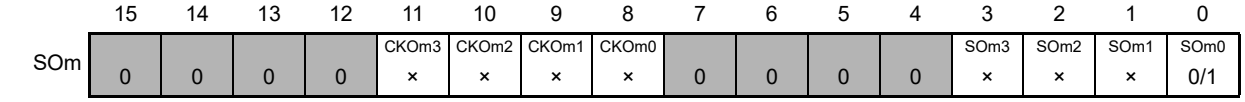
(b) シリアル通信動作設定レジスタ mn (SCRmn)



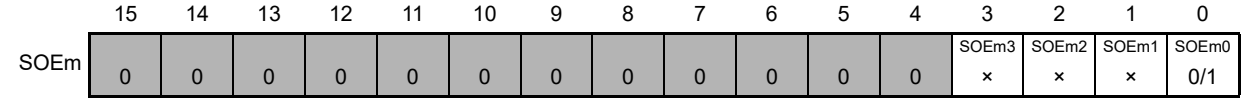
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット：SIOp)



(d) シリアル出力レジスタ m (SOm) . . . . . 対象チャネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャネルのビットのみ1に設定する



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

備考2. ■：簡易SPI（CSI）スレーブ送受信モードでは設定固定　■：設定不可(初期値を設定)

×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1：ユーザの用途に応じて0または1に設定

図13 - 92 スレーブ・セレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g)入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャネル(ユニット0のチャネル0)の$\overline{\text{SSI00}}$端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0：$\overline{\text{SSI00}}$端子の入力値を無効
1：$\overline{\text{SSI00}}$端子の入力値を有効

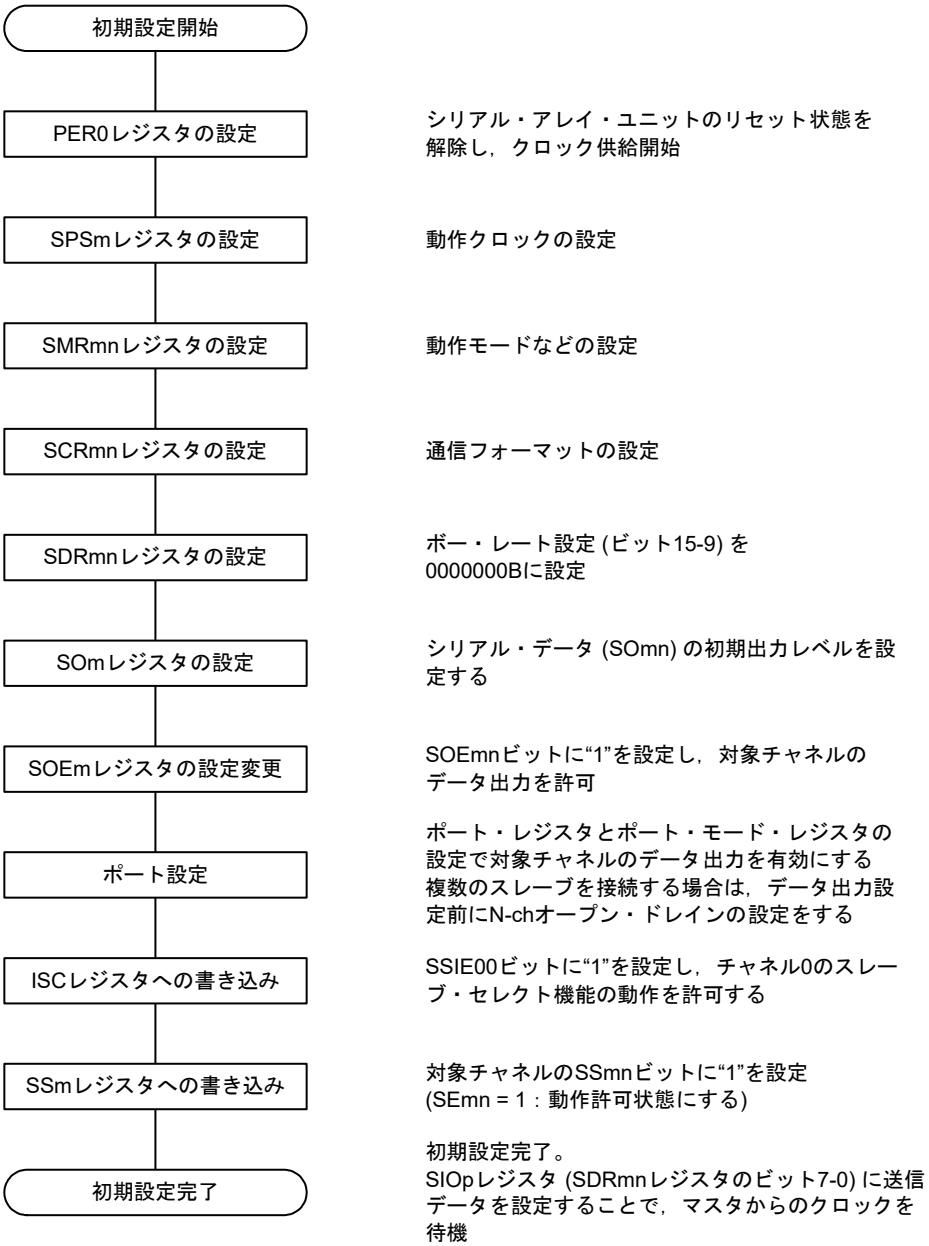
注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

備考1. ■：簡易SPI（CSI）スレーブ送受信モードでは設定固定 ■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

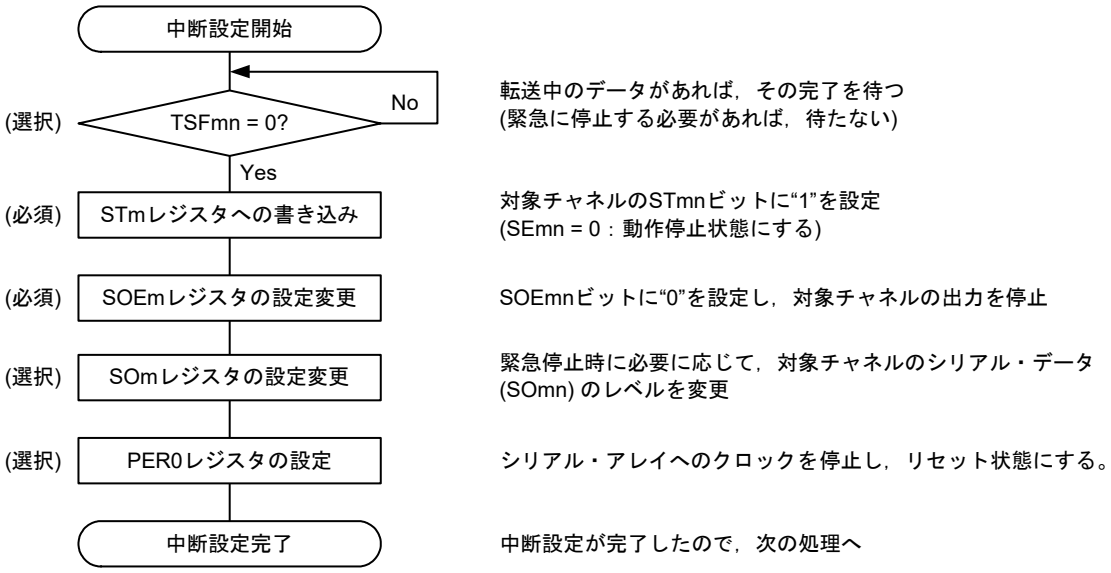
図13 - 93 スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

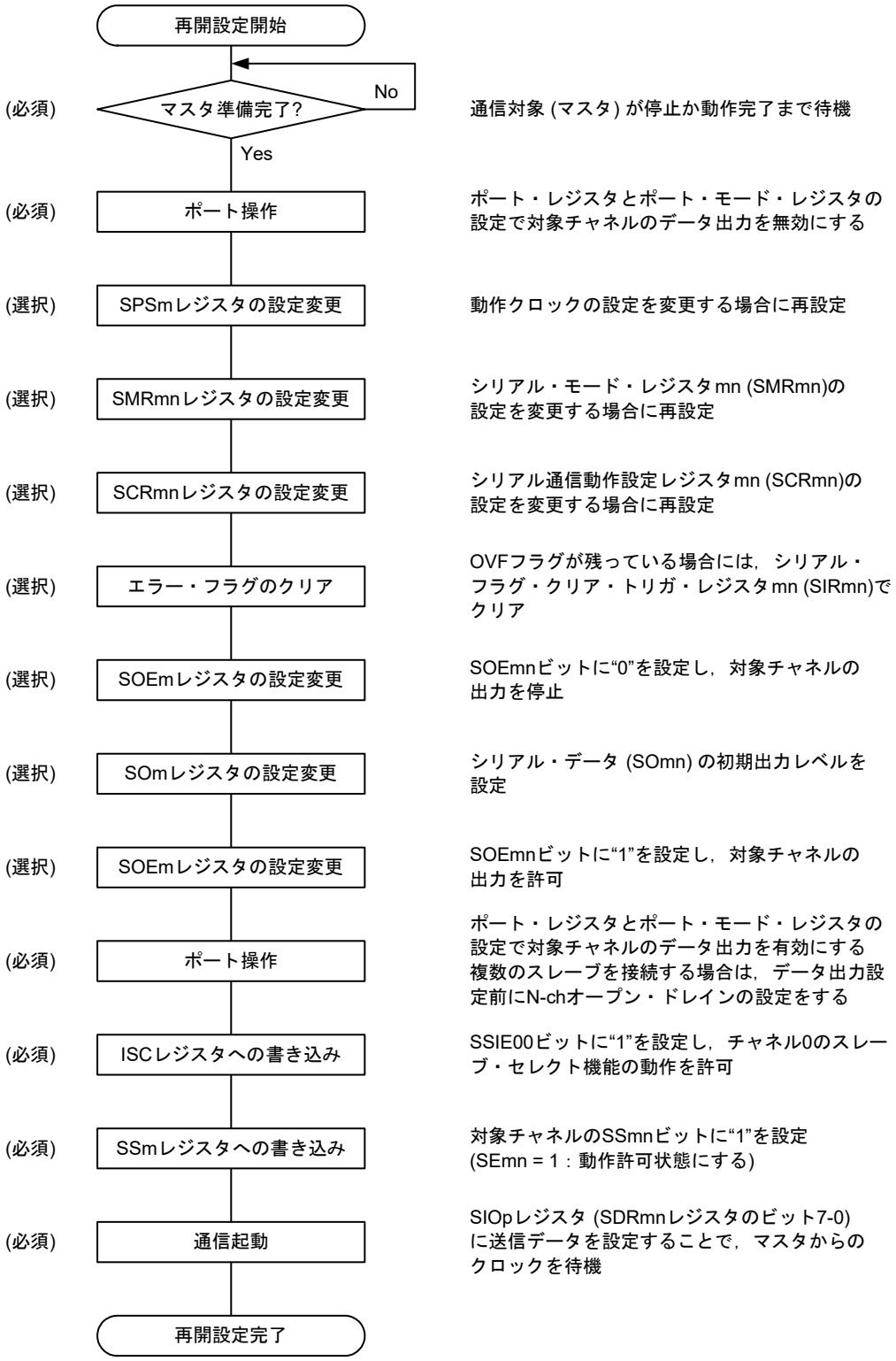
備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

図13 - 94 スレーブ送受信の中断手順



備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

図13 - 95 スレーブ送受信の再開設定手順

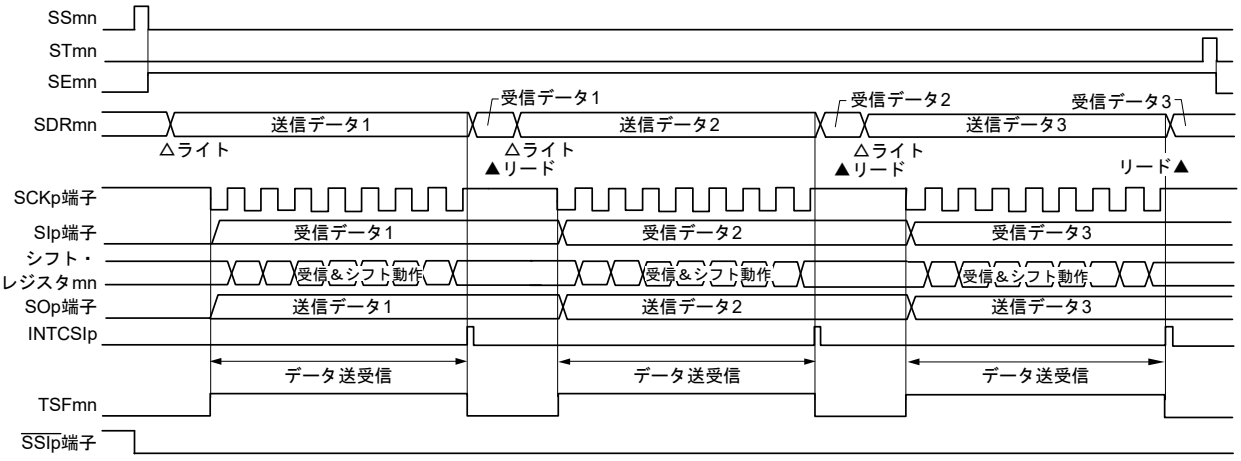


注意1. マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象(マスタ)の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

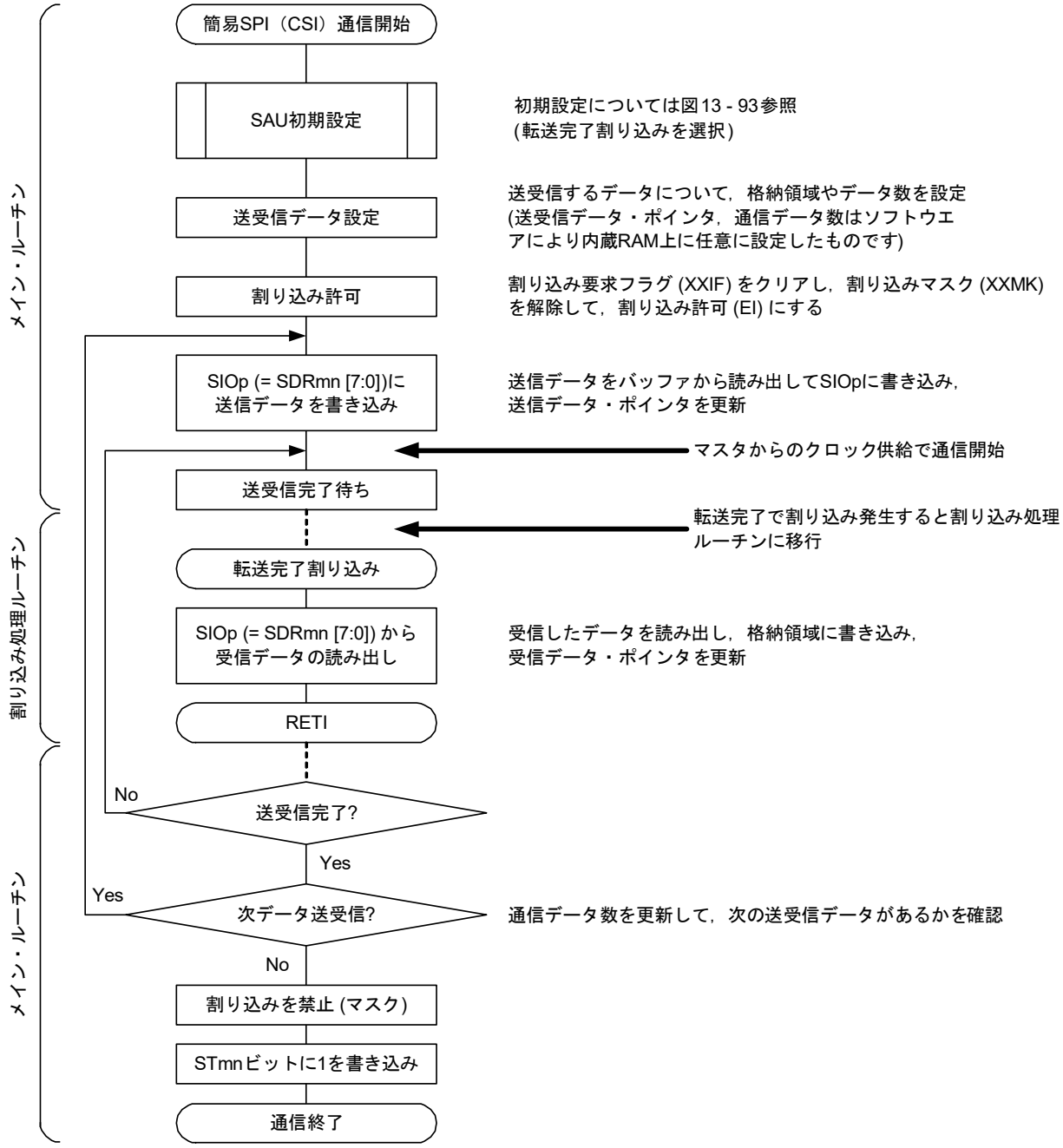
(3) 処理フロー(シングル送受信モード時)

図13 - 96 スレーブ送受信(シングル送受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0) p：CSI番号(p = 00)

図13 - 97 スレーブ送受信(シングル送受信モード時)のフロー・チャート

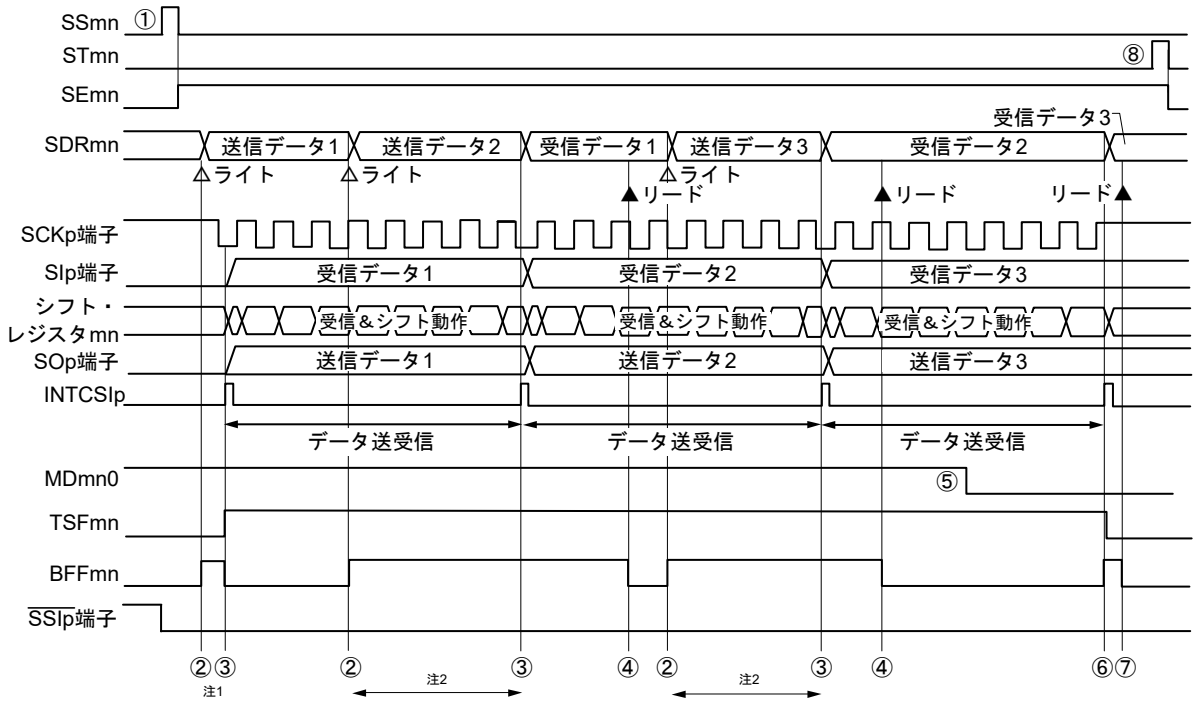


注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0) p：CSI番号(p = 00)

(4)　処理フロー (連続送受信モード時)

図13 - 98 スレーブ送受信(連続送受信モード時)のタイミング・チャート(タイプ1：DAPmn = 0, CKPmn = 0)



注1.　シリアル・ステータス・レジスタmn (SSRmn)のBFFmnビットが“1”の期間(有効なデータがシリアル・データ・レジスタmn (SDRmn)に格納されている時)にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

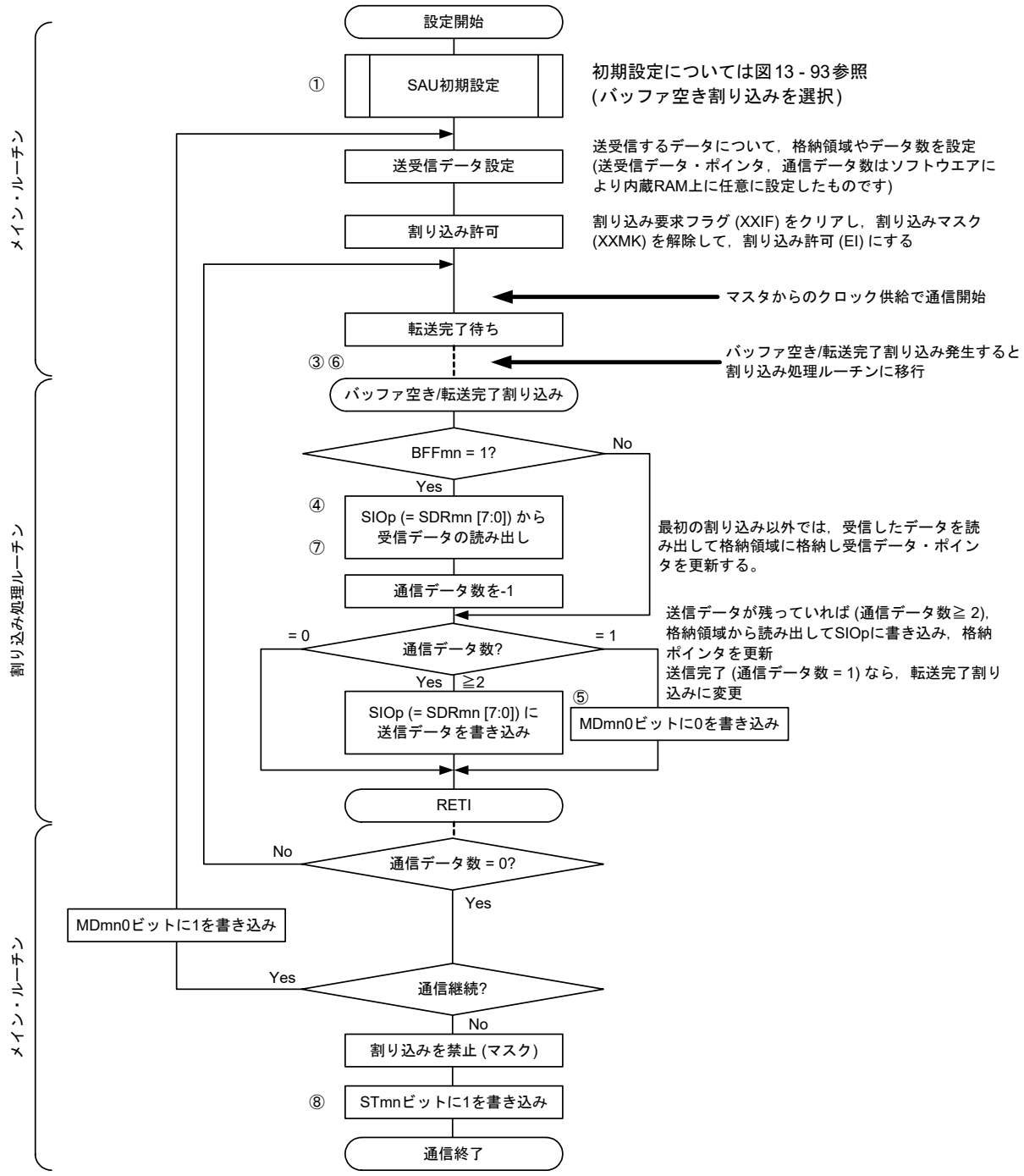
注2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn (SMRmn)のMDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は，図13 - 99　スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

図13 - 99 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①～⑧は，図13 - 98 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考2. m：ユニット番号(m = 0) n：チャネル番号(n = 0) p：CSI番号(p = 00)

13.6.4　転送クロック周波数の算出

スレーブ・セレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1)　スレーブの場合

(転送クロック周波数) = ｛マスタが供給するシリアル・クロック(SCK)周波数｝注 [Hz]

注　　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)　　p：CSI番号(p = 00)

表13 - 3 スレーブ・セレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (f_{MCK})注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz

注　f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は，シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャネル停止レジスタm (STm) = 000FH)させてから変更してください。

備考1. X：Don’t care

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)

13.6.5　スレーブ・セレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブ・セレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図13 - 100に示します。

図13 - 100 オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする →	SSRmn レジスタのBFFmn ビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)に“1”をライトする →	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのままSIRmn レジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0)

13.7　UART (UART0, UART1)通信の動作

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)，データを送受信します。送信専用(偶数チャネル)と受信専用(奇数チャネル)の2チャネルを使用することで，全2重調歩同期UART通信が実現できます。

また，タイマ・アレイ・ユニット0 (チャネル3) と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

［データ送受信］

- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定(レベルを，反転するかどうかの選択)
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加，ストップ・ビット・チェック機能

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

以下のチャネルのUART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは，以下のUARTのみ設定可能です。

- UART0

UART0 (チャネル0, 1)は，LIN-busに対応しています。

［LIN-bus機能］

- ウエイクアップ信号検出
- ブレーク・フィールド(BF)検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み(INTP0)，タイマ・アレイ・ユニットを使用

注　9ビット・データ長は，以下のUARTのみ対応しています。

- UART0

UART0では，SAU0のチャネル0, 1を使用します。

UART1では，SAU0のチャネル2, 3を使用します。

○10ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用
0	0	—	—
	1	—	
	2	CSI10	UART1
	3	—	

○16ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	—	UART0 (LIN-bus対応)	—
	1	—		—
	2	CSI10	UART1	—
	3	CSI11		IIC11

○20ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

○24, 25ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

各チャネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば，ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00やCSI01を使用することはできません。しかし，UART0と同時にチャネルが異なるチャネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意　UARTとして使用する場合は，送信側(偶数チャネル)と受信側(奇数チャネル)のどちらもUARTにしか使用できません。

UARTの通信動作は，以下の4種類があります。

- UART送信(13.7.1項を参照)
- UART受信(13.7.2項を参照)
- LIN送信(UART0のみ)(13.8.1項を参照)
- LIN受信(UART0のみ)(13.8.2項を参照)

13.7.1　UART送信

UART送信は, RL78マイクロコントローラから他デバイスへ, 非同期(調歩同期)でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

UART	UART0	UART1
対象チャネル	SAU0のチャネル0	SAU0のチャネル2
使用端子	TxD0	TxD1
割り込み	INTST0	INTST1
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビットまたは9ビット注1	
転送レート	Max. f_{MCK}/6 [bps] (SDRmn[15:9] = 2以上)，Min. $f_{CLK}/(2 \times 2^{15} \times 128)$[bps] 注2	
データ位相	非反転出力(デフォルト：ハイ・レベル) 反転出力(デフォルト：ロウ・レベル)	
パリティ・ビット	以下の選択が可能 • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加	
ストップ・ビット	以下の選択が可能 • 1ビット付加 • 2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注1.　9ビット・データ長は，以下のUARTのみ対応しています。

• UART0

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

UART送信では，高速システム・クロックか高速オンチップ・オシレータを使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

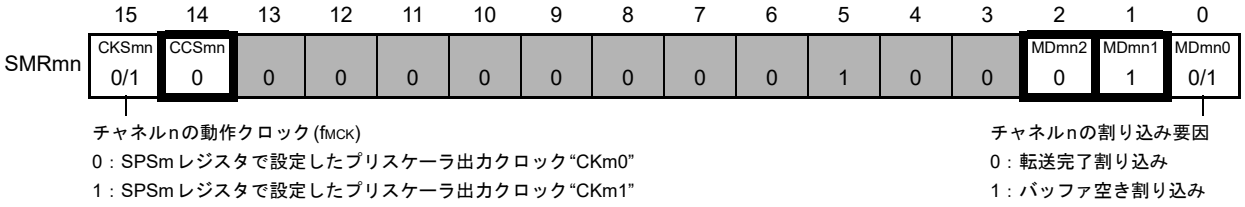
f_{CLK}：システム・クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0, 2)，mn=00, 02

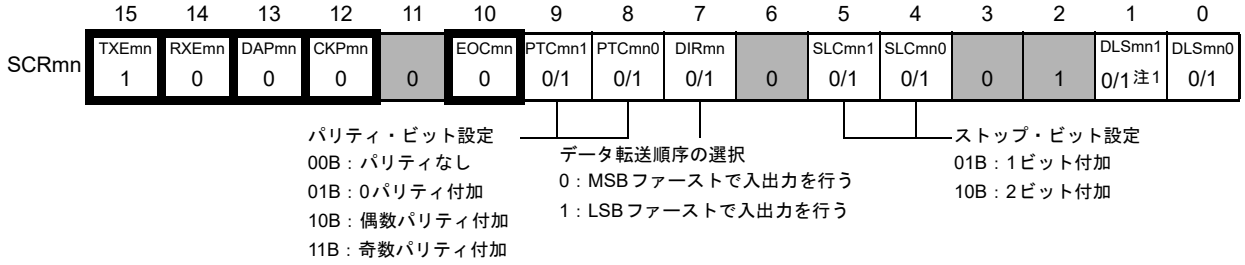
(1)　レジスタ設定

図13 - 101 UART (UART0, UART1)のUART送信時のレジスタ設定内容例(1/2)

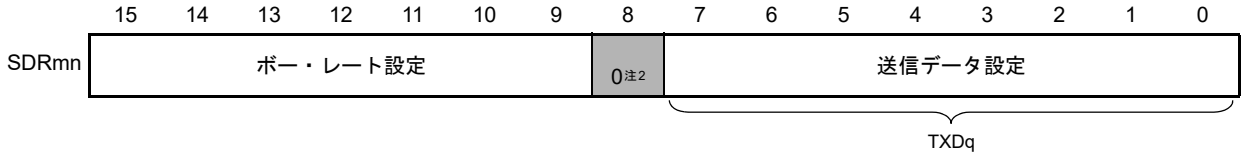
(a)シリアル・モード・レジスタmn (SMRmn)



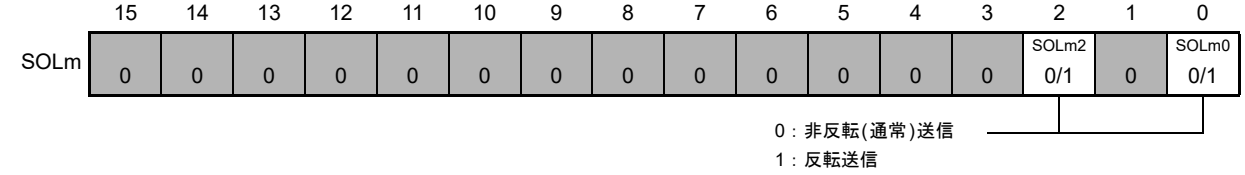
(b)シリアル通信動作設定レジスタmn (SCRmn)



(c)シリアル・データ・レジスタmn (SDRmn)(下位8ビット：TXDq)



(d)シリアル出力レベル・レジスタm (SOLm) . . . . . 対象チャネルのビットのみ設定する



注1.　SCR00レジスタのみ。その他は1固定になります。

注2.　9ビット・データ長での通信を行う場合は，SDRm0レジスタのビット0-8が送信データ設定領域になります。
9ビット・データ長での通信が行えるのは，UART0のみです。

備考1. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0, 2)　　q：UART番号(q = 0, 1)，mn = 00, 02

備考2. ■：UART送信モードでは設定固定　■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

図13 - 101 UART (UART0, UART1)のUART送信時のレジスタ設定内容例(2/2)

(e)シリアル出力レジスタm (SOm) . . . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 ×	SOm2 0/1注	SOm1 ×	SOm0 0/1注

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

(f)シリアル出力許可レジスタm (SOEm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 0/1	SOEm1 ×	SOEm0 0/1

(g)シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

注　該当するチャネルのSOLmnビットに0を設定している場合は“1”に，SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m：ユニット番号(m = 0)　n：チャネル番号(n = 0, 2)　q：UART番号(q = 0, 1)，mn = 00, 02

備考2. ■：UART送信モードでは設定固定　■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 102 UART送信の初期設定手順

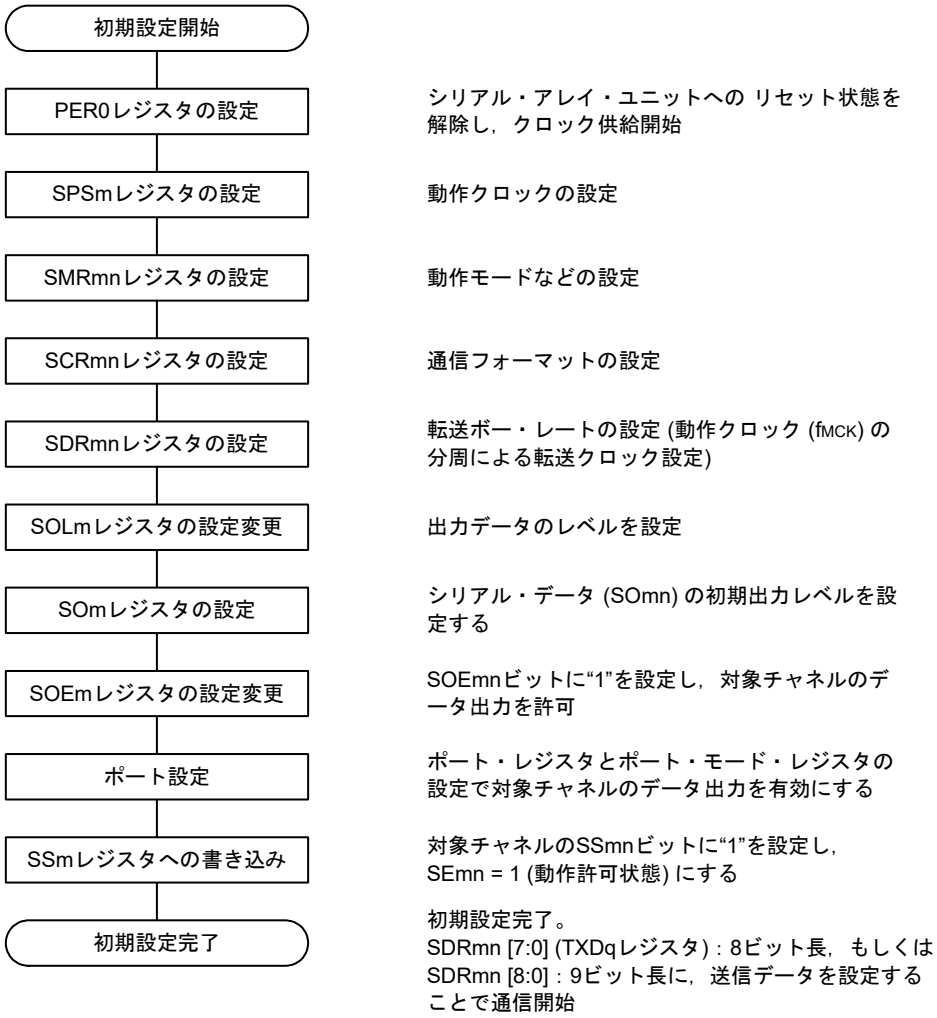


図13 - 103 UART送信の中断手順

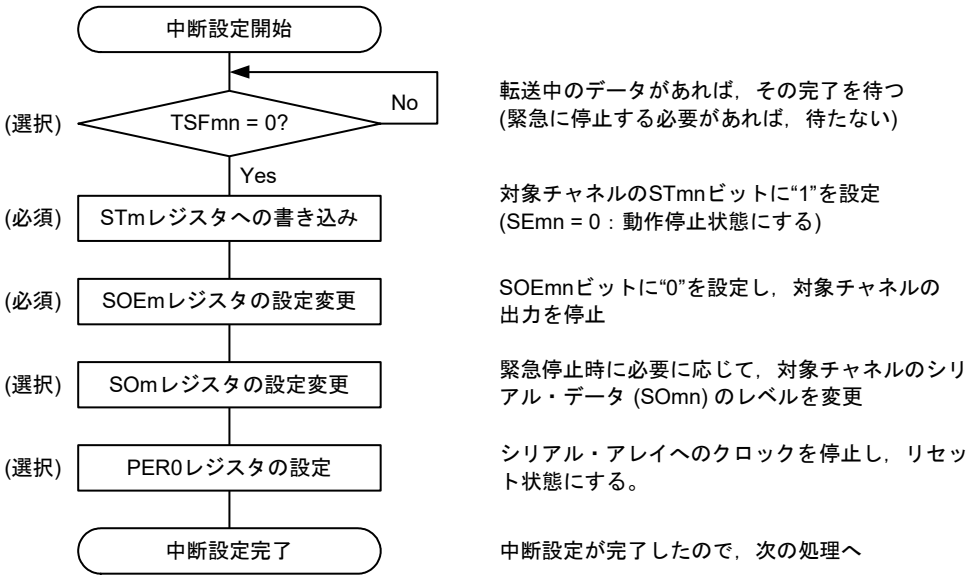
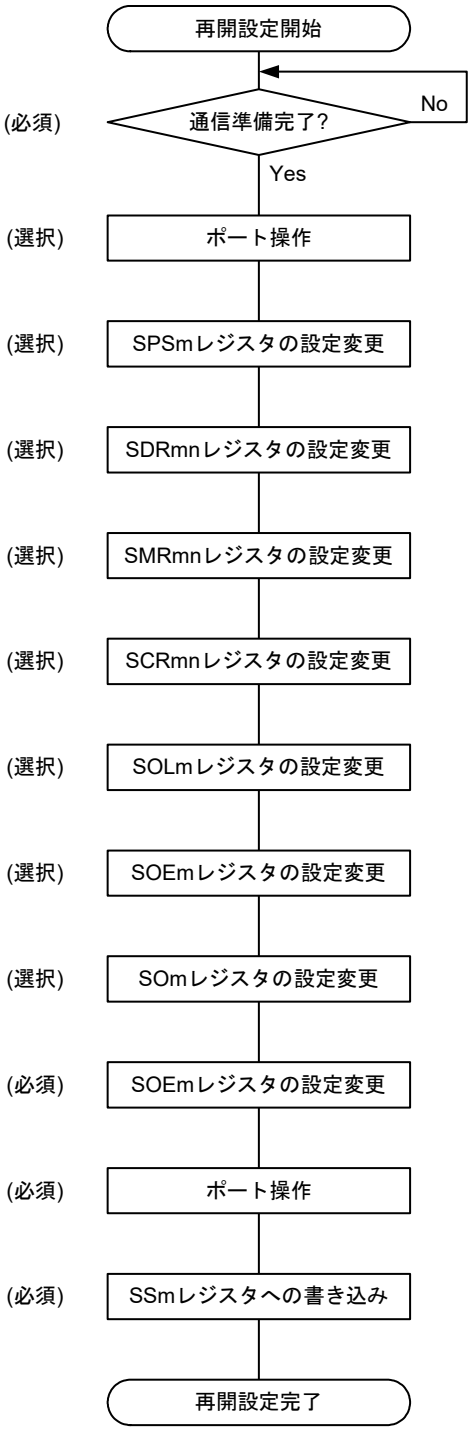


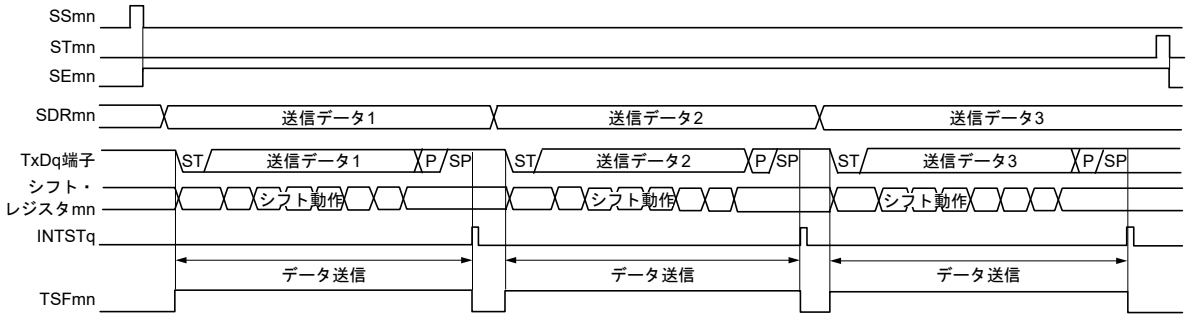
図13 - 104 UART送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を 待って，再開設定ではなく初期設定をしてください。

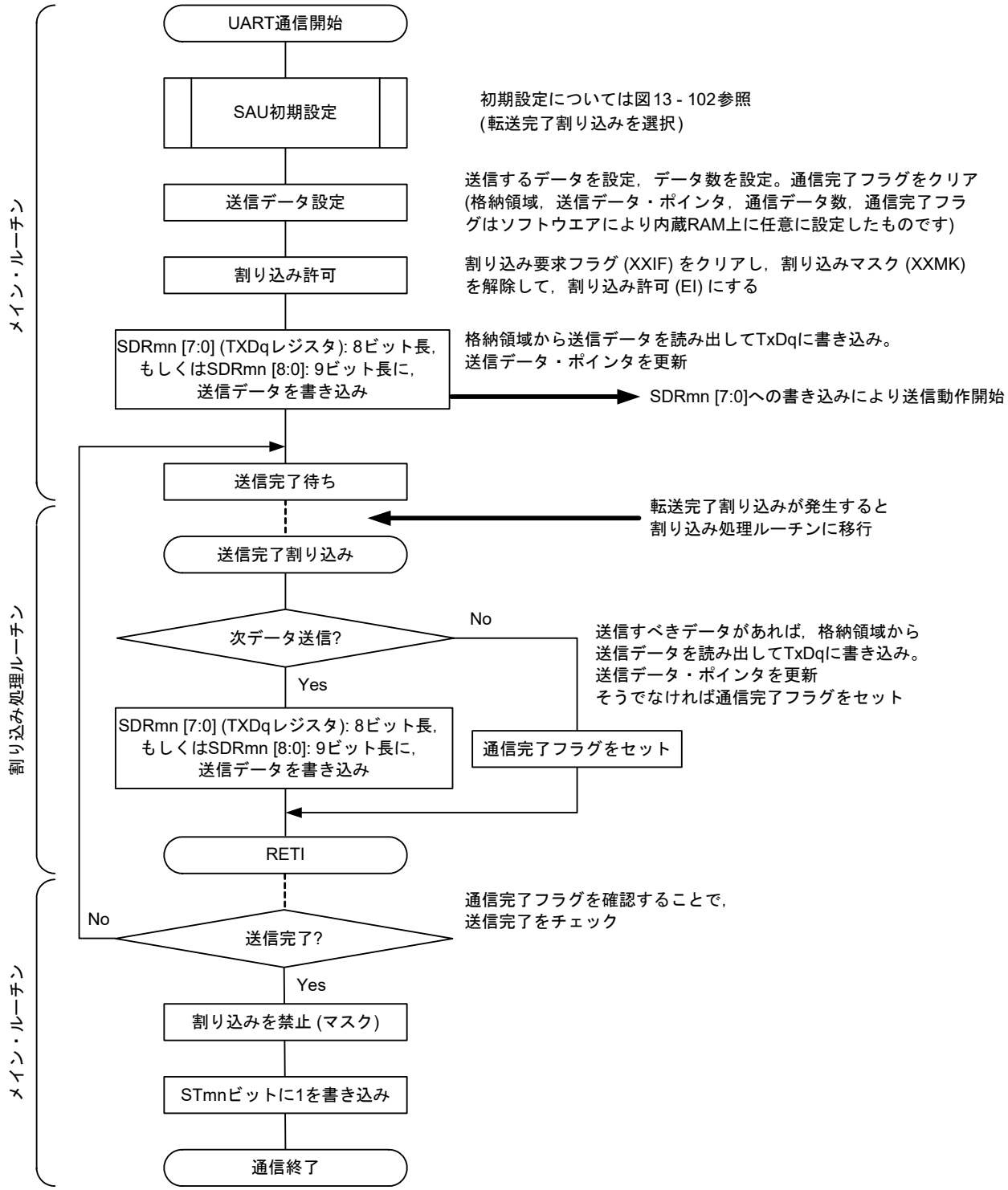
(3) 処理フロー(シングル送信モード時)

図13 - 105 UART送信(シングル送信モード時)のタイミング・チャート



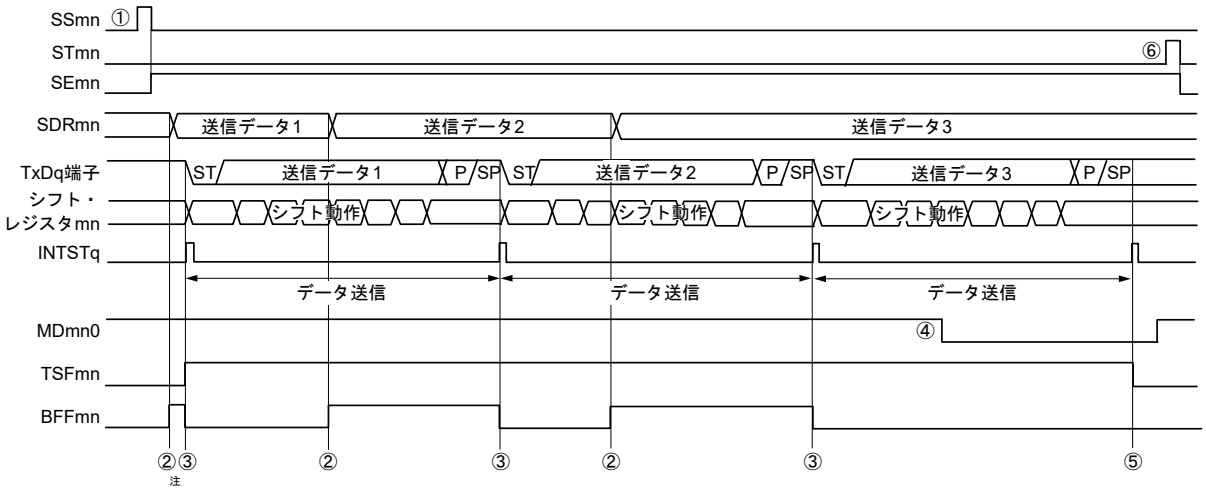
備考 m:ユニット番号(m = 0) n:チャネル番号(n = 0, 2) q:UART番号(q = 0, 1), mn = 00, 02

図13 - 106 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー(連続送信モード時)

図13 - 107 UART送信(連続送信モード時)のタイミング・チャート

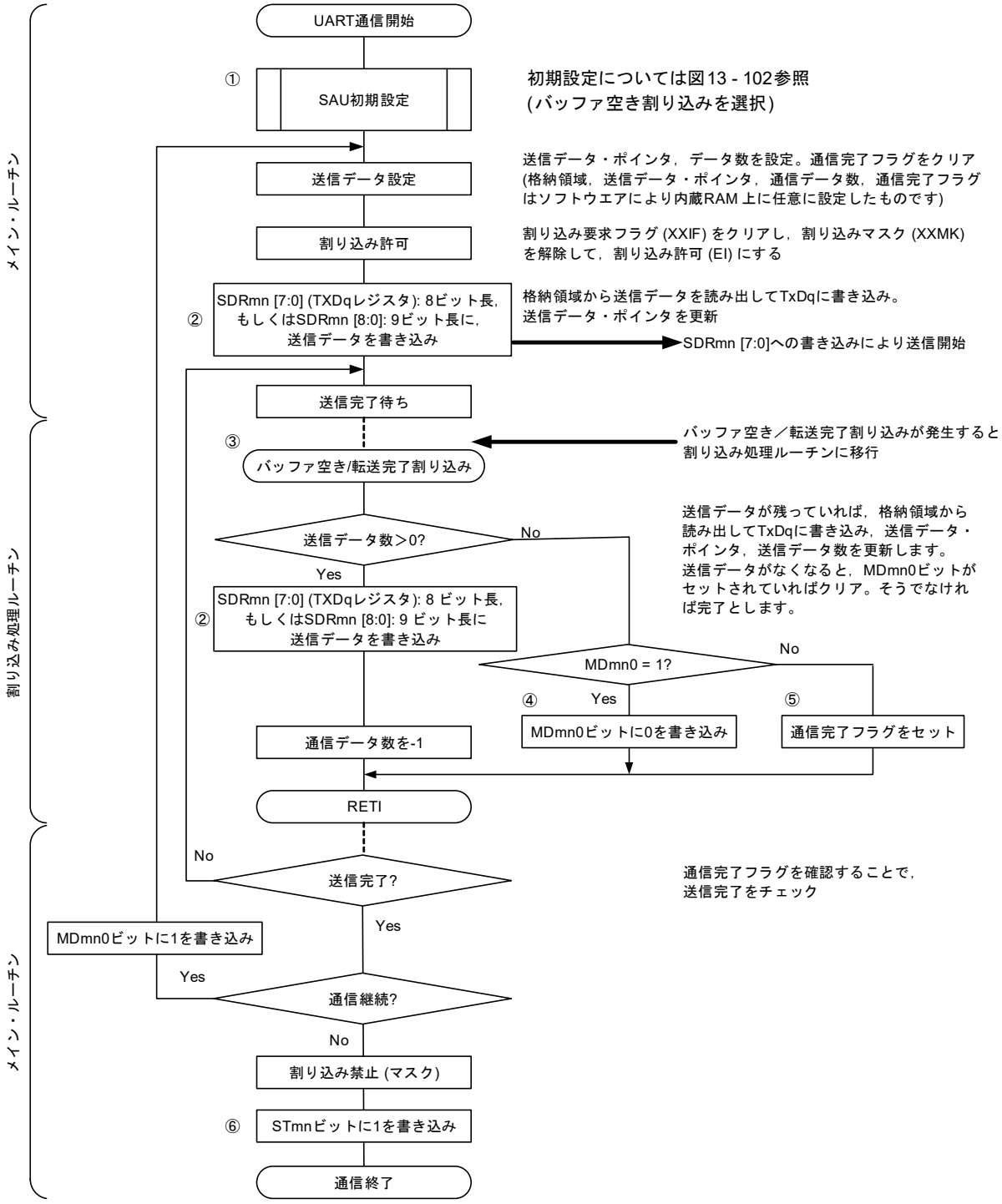


注 シリアル・ステータス・レジスタmn (SSRmn)のBFFmnビットが“1”の期間(有効なデータがシリアル・データ・レジスタmn (SDRmn)に格納されているとき)にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn)のMDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0, 2) q：UART番号(q = 0, 1)，mn = 00, 02

図13 - 108 UART送信(連続送信モード時)のフロー・チャート



備考　図中の①～⑥は，図13 - 107　UART送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

13.7.2　UART受信

UART受信は，他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1
対象チャネル	SAU0のチャネル1	SAU0のチャネル3
使用端子	RxD0	RxD1
割り込み	INTSR0	INTSR1
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	
エラー割り込み	INTSRE0	INTSRE1
エラー検出フラグ	• フレーミング・エラー検出フラグ(FEFmn) • パリティ・エラー検出フラグ(PEFmn) • オーバラン・エラー検出フラグ(OVFmn)	
転送データ長	7ビットまたは8ビットまたは9ビット注1	
転送レート注2	Max. f_{MCK}/6 [bps] (SDRmn[15:9] = 2以上)，Min. $f_{CLK}/(2 \times 2^{15} \times 128)$[bps]	
データ位相	非反転出力(デフォルト：ハイ・レベル) 反転出力(デフォルト：ロウ・レベル)	
パリティ・ビット	以下の選択が可能 • パリティ・ビットなし(パリティ・チェックなし) • 0パリティ・ビット付加(パリティ・チェックなし) • 偶数パリティ・チェック • 奇数パリティ・チェック	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注1.　9ビット・データ長は，以下のUARTのみ対応しています。

• UART0

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

UART受信では，高速システム・クロックか高速オンチップ・オシレータを使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

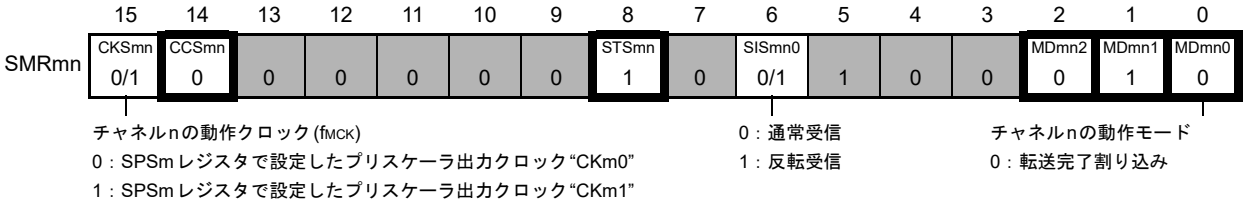
f_{CLK}：システム・クロック周波数

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 1, 3)，mn=01, 03

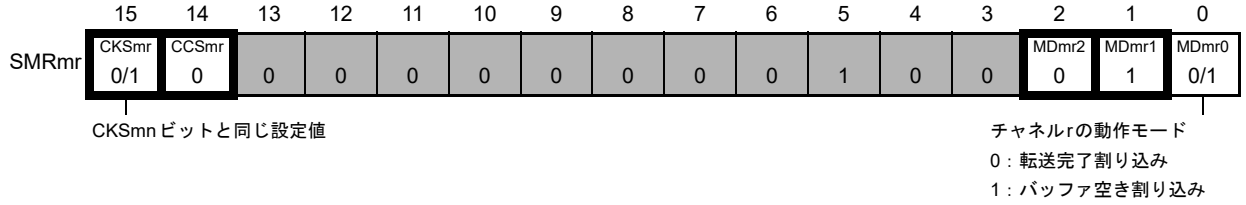
(1) レジスタ設定

図13 - 109 UART (UART0, UART1)のUART受信時のレジスタ設定内容例(1/2)

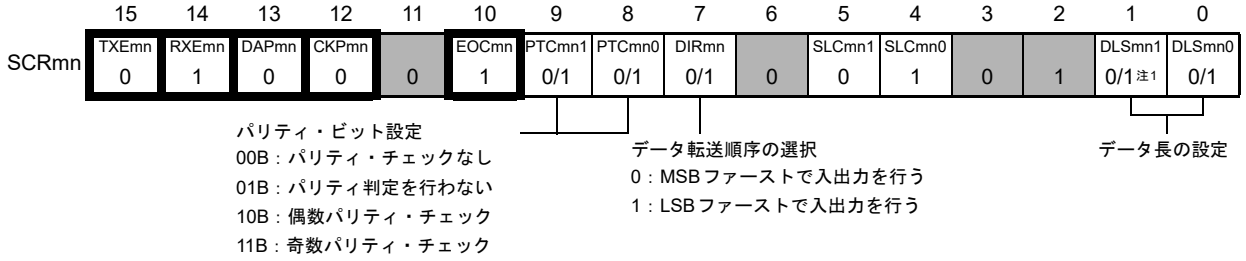
(a)シリアル・モード・レジスタmn (SMRmn)



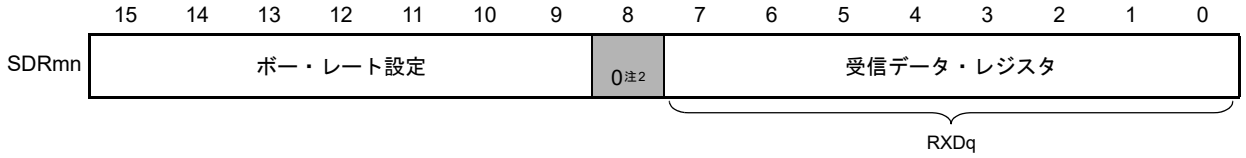
(b)シリアル・モード・レジスタmr (SMRmr)



(c)シリアル通信動作設定レジスタmn (SCRmn)



(d)シリアル・データ・レジスタmn (SDRmn)(下位8ビット：RXDq)



注1. SCR01レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は，SDRm1レジスタのビット0-8が受信データ設定領域になります。
9ビット・データ長での通信が行えるのは，UART0のみです。

注意 UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ず設定してください。

備考1. m：ユニット番号(m = 0) n：チャネル番号(n = 1, 3)，mn = 01, 03
r：チャネル番号(r = n - 1) q：UART番号(q = 0, 1)

備考2. ■：UART受信モードでは設定固定 ■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

図13 - 109 UART (UART0, UART1)のUART受信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタm (SOm) . . . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 ×	SOm2 ×	SOm1 ×	SOm0 ×

(f) シリアル出力許可レジスタm (SOEm) . . . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(g) シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

備考1. m：ユニット番号(m = 0)

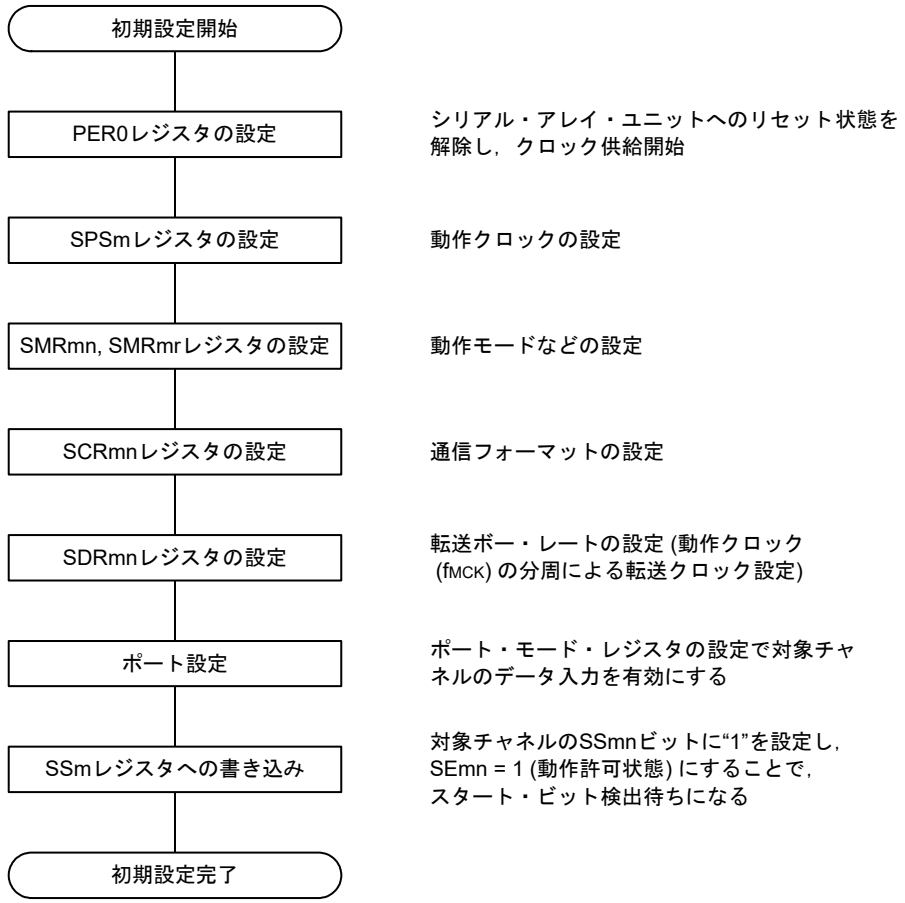
備考2. ■: UART受信モードでは設定固定 ■ ：設定不可(初期値を設定)

×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

図13 - 110 UART受信の初期設定手順



注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図13 - 111 UART受信の中断手順

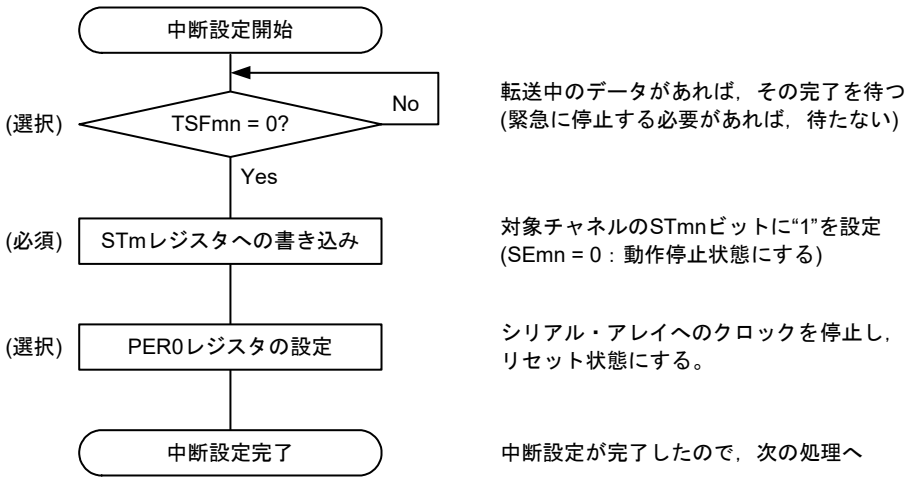
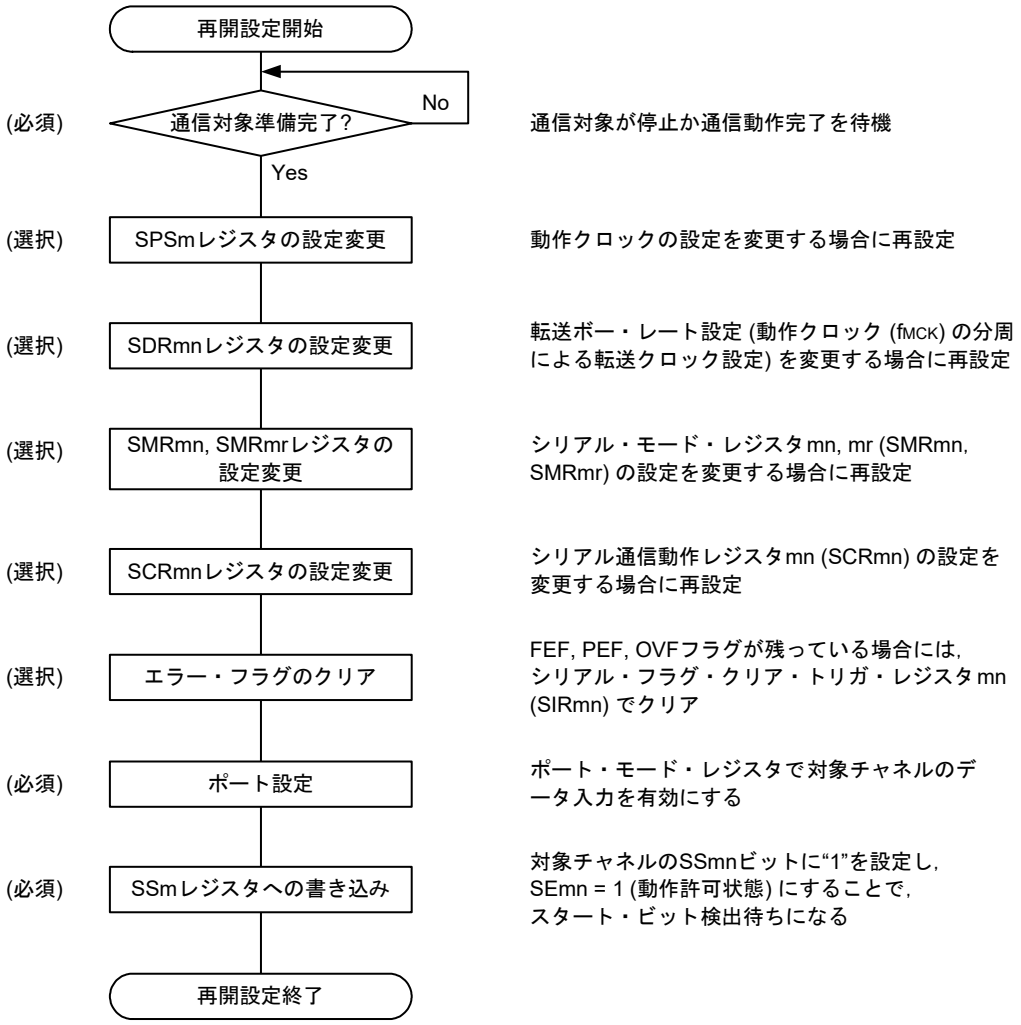


図13 - 112 UART受信の再開設定手順

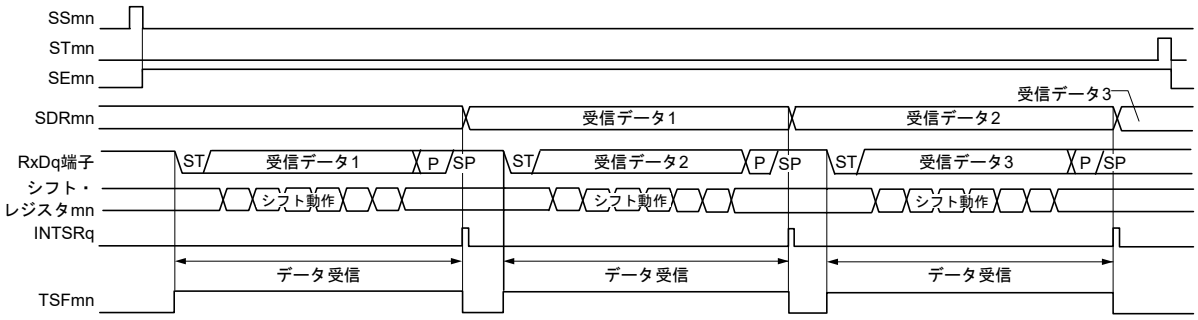


注意　SCRmnレジスタのRXEmnビットを“1”に設定後に, fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

(3)　処理フロー

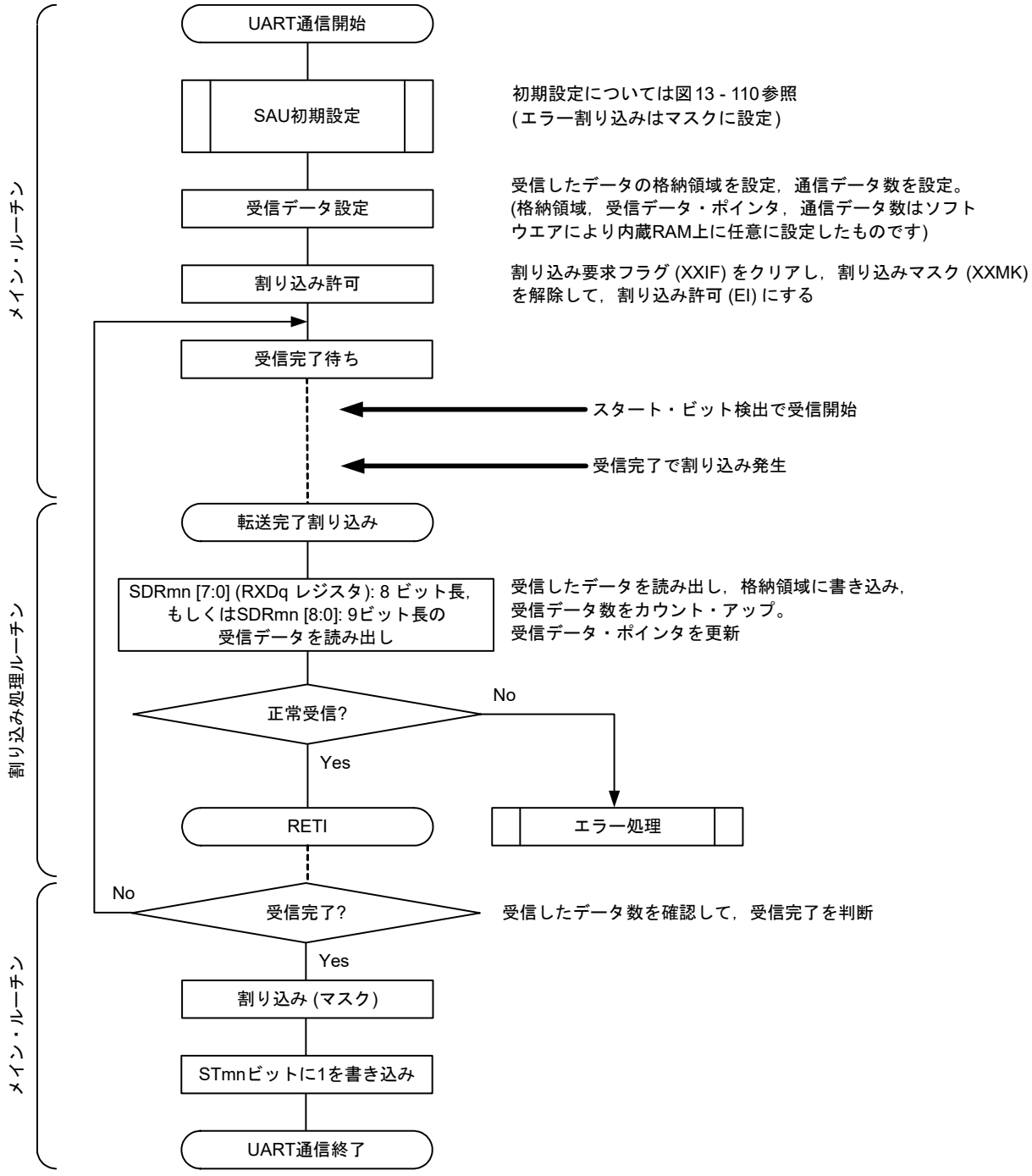
図13 - 113 UART受信のタイミング・チャート



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 1, 3)，mn = 01, 03

r：チャネル番号(r = n - 1)　　q：UART番号(q = 0, 1)

図13 - 114 UART受信のフロー・チャート



13.7.3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により，UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUART受信を行うことができます。SNOOZEモードは，以下のUARTのみ設定可能です。

- UART0

UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。(図13 - 117，図13 - 119 SNOOZEモード動作時のフローチャートを参照)

- SNOOZE モード時は，UART 受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表13 - 4を参照してSPSmレジスタ，SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット，SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可／停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm)のSWCmビットをセット(1)してください。初期設定完了後，シリアル・チャネル開始レジスタm (SSm)のSSm1ビットをセット(1)します。
- STOPモードに移行後，RxDq のスタート・ビット入力を検出すると，UARTqは受信動作を開始します。

注意1. SNOOZE モードは，f_{CLK}に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合に使用できます。

注意2. SNOOZEモードでの転送レートは4800bpsのみです。

注意3. SWCm=1の設定では，STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して，次のようなSTOPモード以外の状態で受信開始した場合は，正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm=1に設定後，STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後，SWCm=0に戻す前に受信開始した場合

注意4. SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn，OVFmn フラグはセットされず，エラー割り込み (INTSREq) も発生しません。そのため，SSECm＝１で使用するときは，SWC0= １に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq 端子の有効エッジ検出により SNOOZE モードへ移行します。また，スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず，SNOOZE モードを継続することがあります。この場合，次のUART受信で正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

注意6. UART受信を使用してSTOPモードからSNOOZEモードへ遷移する場合，高速オンチップ・オシレータを使用してください。

表13 - 4 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ(f_{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f_{MCK})	SDRmn [15:9]	最大許容値	最小許容値
24 MHz ± 1.0%注	f_{CLK} /2^5	79	1.60%	-2.18%
16 MHz ± 1.0%注	f_{CLK} /2^4	105	2.27%	-1.53%
12 MHz ± 1.0%注	f_{CLK} /2^4	79	1.60%	-2.19%
8 MHz ± 1.0%注	f_{CLK} /2^3	105	2.27%	-1.53%
6 MHz ± 1.0%注	f_{CLK} /2^3	79	1.60%	-2.19%
4 MHz ± 1.0%注	f_{CLK} /2^2	105	2.27%	-1.53%
3 MHz ± 1.0%注	f_{CLK} /2^2	79	1.60%	-2.19%
2 MHz ± 1.0%注	f_{CLK} /2	105	2.27%	-1.54%
1 MHz ± 1.0%注	f_{CLK}	105	2.27%	-1.57%

注　高速オンチップ・オシレータ・クロック周波数精度が±1.5%，±2.0%の場合は，次のように許容範囲が狭くなります。

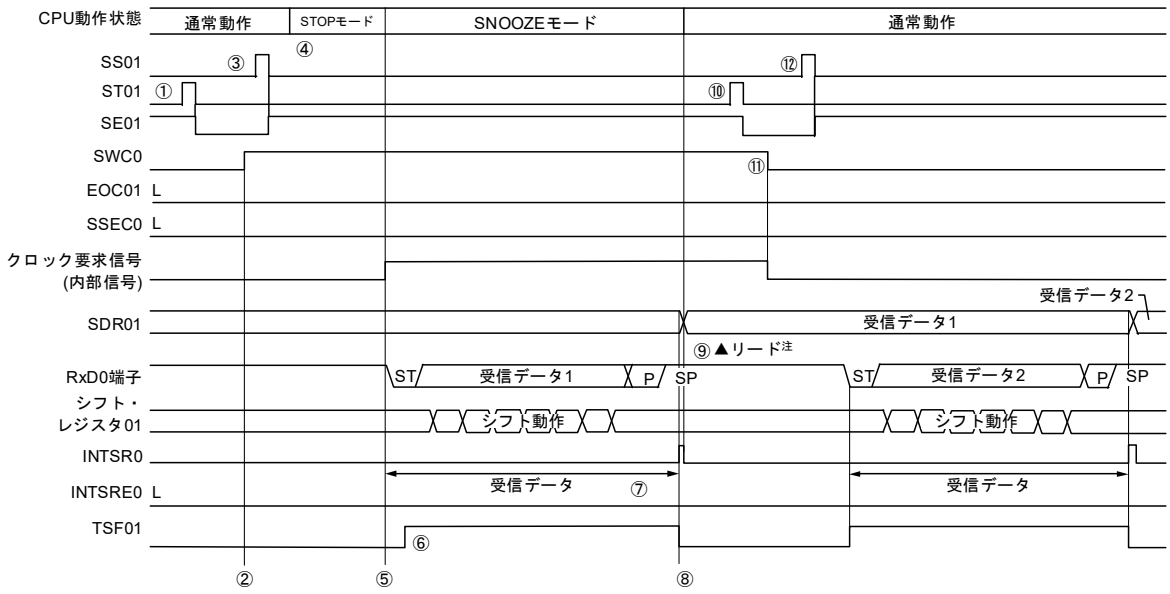
- f_{IH} ± 1.5%の場合は，上表の最大許容値に-0.5%，最小許容値に+0.5%してください。
- f_{IH} ± 2.0%の場合は，上表の最大許容値に-1.0%，最小許容値に+1.0%してください。

備考　最大許容値，最小許容値は，UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

(1)　SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0 のためSSECmビットの設定にかかわらず，通信エラーが発生してもエラー割り込み(INTSREq)は発生しません。転送完了割り込み(INTSRq)は発生します。

図13 - 115 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート



注　　SWCm = 1の状態で，受信データの読み出しを行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。
また，受信動作を完了した後は，SWCmビットもクリアしてください(SNOOZE解除)。

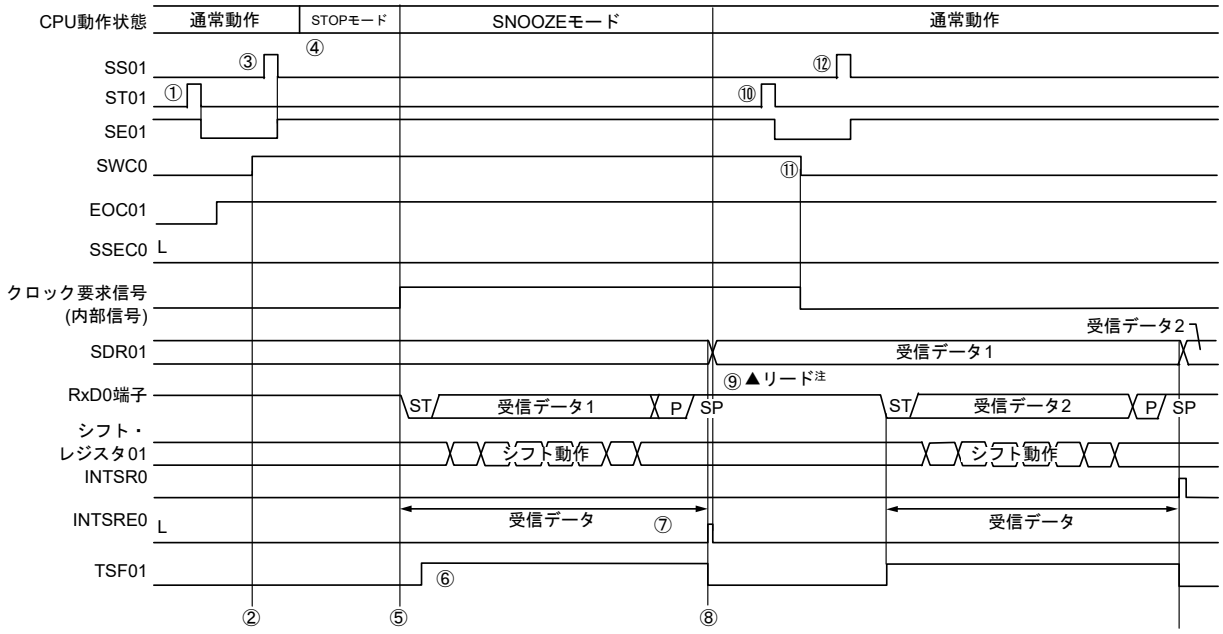
備考1.　図中の①～⑫は，図13 - 117　SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャートの①～⑫に対応しています。

備考2.　m = 0; q = 0, 1

(2)　SNOOZEモード動作(EOCm1 = 1, SSECm = 0：エラー割り込み(INTSREq)発生許可)

EOCm1 = 1, SSECm = 0のため，通信エラーが発生した場合にエラー割り込み(INTSREq)を発生します。

図13 - 116 SNOOZEモード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャート



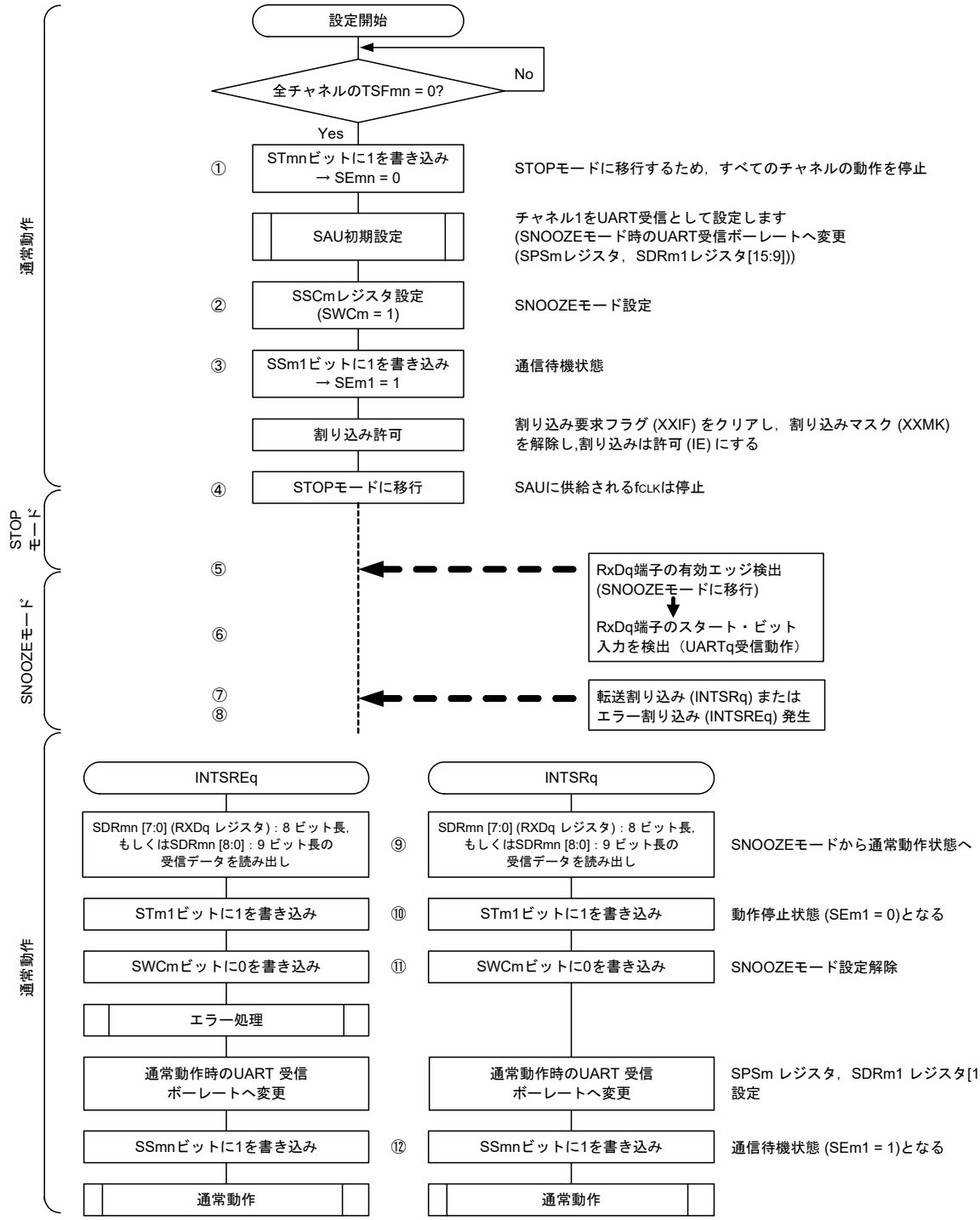
注　　SWCm = 1の状態で，受信データの読み出しを行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。
また，受信動作を完了した後は，SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①～⑫は，図13 - 117　SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0; q = 0, 1

図13 - 117 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャート



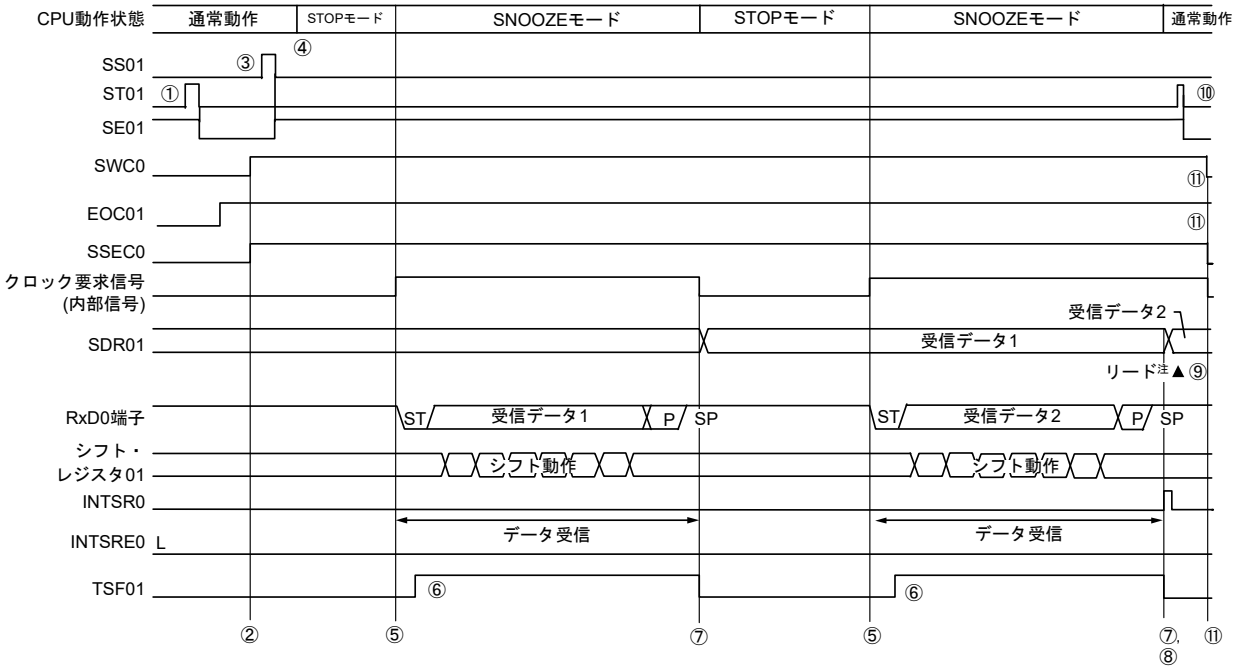
備考1. 図中の①～⑫は，図13 - 115 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート，図13 - 116 SNOOZEモード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャートの①～⑫に対応しています。

備考2. m = 0; q = 0, 1

(3) SNOOZEモード動作(EOCm1 = 1, SSECm = 1：エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECm = 1のため，通信エラーが発生した場合にエラー割り込み(INTSREq)を発生しません。

図13 - 118 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート



注 SWCm = 1の状態で，受信データの読み出しを行ってください。

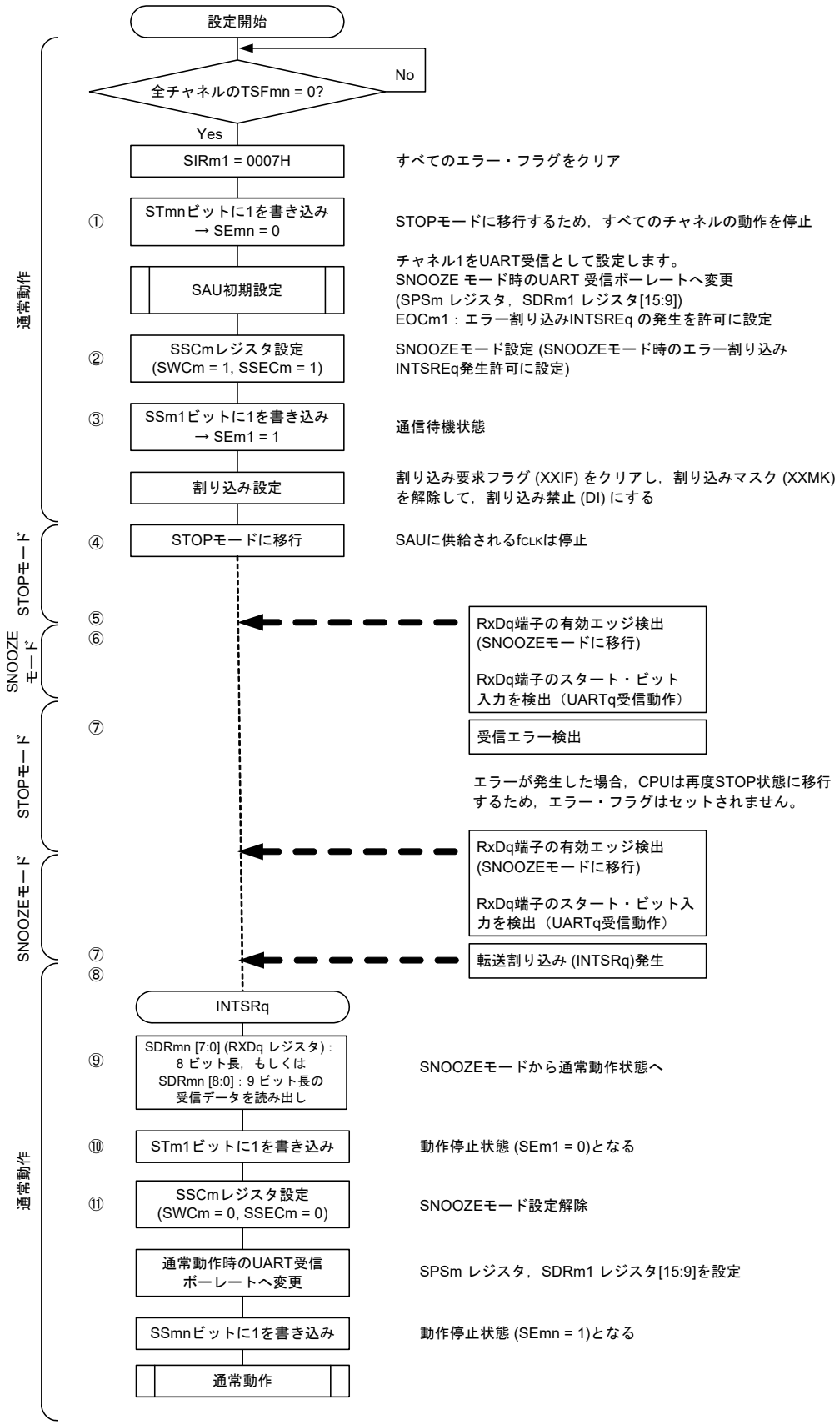
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。
また，受信動作を完了した後は，SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECm = 1のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFm1，FEFm1, OVFm1フラグはセットされず，エラー割り込み(INTSREq)も発生しません。そのため，SSECm = 1で使用するときは，SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1 フラグをクリアし，また，SDRm1[7:0] (RXDq レジスタ) : 8 ビット長，もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①～⑪は，図13 - 119 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0; q = 0, 1

図13 - 119 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャート



(注意，備考は次ページにあります。)

注意　SSECm = 1のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず，エラー割り込み(INTSREq)も発生しません。そのため，SSECm = 1で使用するときは，SWC0 = 1に設定する前にPEFm1, FEFm1, OVFm1 フラグをクリアし，また，SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長，もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①～⑪は，図13 - 118　SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャートの①～⑪に対応しています。

備考2. m = 0; q = 0, 1

13.7.4　ボー・レートの算出

(1)　ボー・レート算出式

UART (UART0, UART1)通信でのボー・レートは下記の計算式にて算出できます。

(ボー・レート) = ｛対象チャネルの動作クロック (f_{MCK})周波数｝÷ (SDRmn[15:9] + 1) ÷ 2 [bps]

注意　シリアル・データ・レジスタ mn (SDRmn)　SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1.　UART使用時は，SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので，2-127になります。

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

動作クロック (f_{MCK}) は，シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表13 - 5 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f_{MCK})注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732 Hz

注　f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は，シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャネル停止レジスタm (STm) = 000FH)させてから変更してください。

備考1. X：Don't care

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

(2)　送信時のボー・レート誤差

UART (UART0, UART1) 通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

(ボー・レート誤差) = (算出ボー・レート値) ÷ (目標ボー・レート値) × 100 - 100 [%]

f_{CLK} = 24 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	f_{CLK} = 24 MHz時			
	動作クロック (f_{MCK})	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	77	300.48 bps	+0.16%
600 bps	$f_{CLK}/2^8$	77	600.96 bps	+0.16%
1200 bps	$f_{CLK}/2^7$	77	1201.92 bps	+0.16%
2400 bps	$f_{CLK}/2^6$	77	2403.85 bps	+0.16%
4800 bps	$f_{CLK}/2^5$	77	4807.69 bps	+0.16%
9600 bps	$f_{CLK}/2^4$	77	9615.38 bps	+0.16%
19200 bps	$f_{CLK}/2^3$	77	19230.8 bps	+0.16%
31250 bps	$f_{CLK}/2^3$	47	31250.0 bps	±0.0%
38400 bps	$f_{CLK}/2^2$	77	38461.5 bps	+0.16%
76800 bps	$f_{CLK}/2$	77	76923.1 bps	+0.16%
153600 bps	f_{CLK}	77	153846 bps	+0.16%
312500 bps	f_{CLK}	37	315789 bps	±1.05%

備考　m：ユニット番号 (m = 0)　　n：チャネル番号 (n = 0, 2)，mn=00, 02

(3) 受信時のボー・レート許容範囲

UART (UART0, UART1) 通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate： 受信側の算出ボー・レート値 (13.7.4 (1) ボー・レート算出式参照)

k： SDRmn[15:9] + 1

Nfr： 1データ・フレーム長［ビット］

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m：ユニット番号 (m = 0) n：チャネル番号 (n = 1, 3)，mn = 01, 03

図13 - 120 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

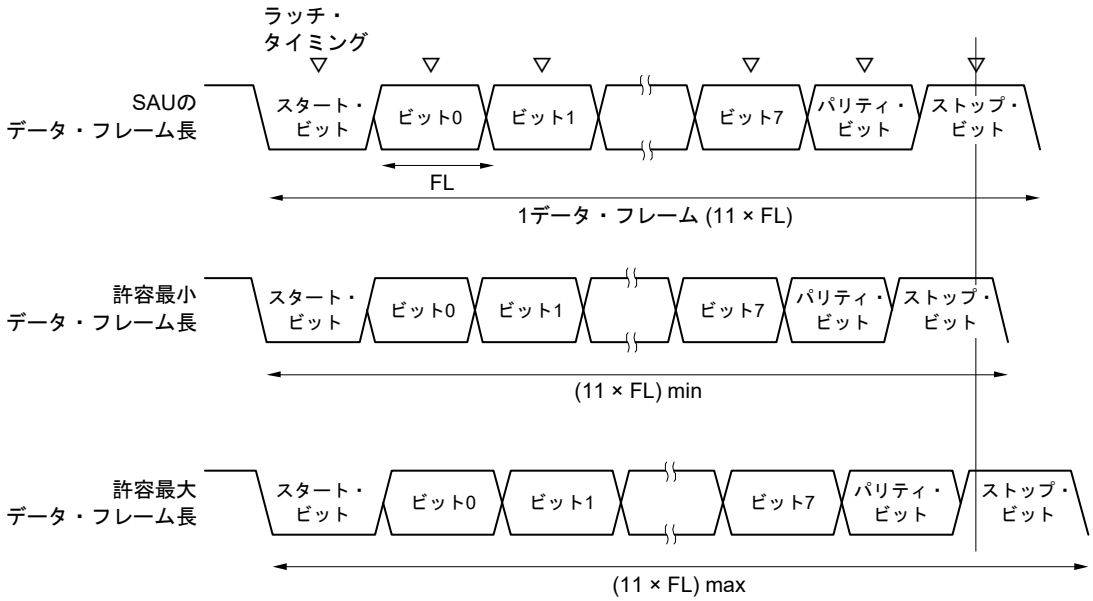


図13 - 120に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

13.7.5 UART (UART0, UART1)通信時におけるエラー発生時の処理手順

UART (UART0, UART1)通信時にエラーが発生した場合の処理手順を図13 - 121，図13 - 122に示します。

図13 - 121 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図13 - 122 フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm (STm)のSTmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm (SEm)のSEmnビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm (SSm)のSSmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm (SEm)のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3)，mn=00-03

13.8　LIN通信の動作

13.8.1　LIN送信

UART送信のうち，UART0はLIN通信に対応しています。

LIN送信では，チャネル0を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャネル	SAU0のチャネル0	—
使用端子	TxD0	—
割り込み	INTST0	—
	転送完了割り込み(シングル転送モード時)か，バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート注	Max. f_{MCK}/6 [bps] (SDR00[15:9] = 2以上)，Min. $f_{CLK}/(2 \times 2^{15} \times 128)$[bps]	
データ位相	非反転出力(デフォルト：ハイ・レベル) 反転出力(デフォルト：ロウ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加	
データ方向	MSBファースト	

注　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。なお，LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速(1～20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

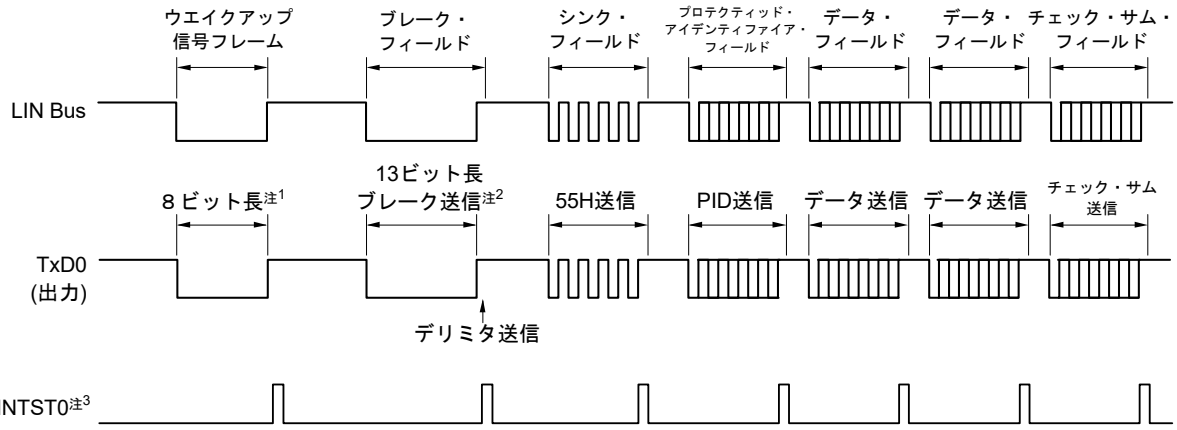
LINのマスタは通常，CAN (Controller Area Network)などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作の概略を，図13 - 123に示します。

図13 - 123 LINの送信操作



注1.　ウエイクアップ信号の規定を満たせるようにボー・レートを設定し，80Hのデータ送信をすることで対応します。

注2.　ブレーク・フィールドは 13 ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートを N [bps]とすると，ブレーク・フィールドで使用するボー・レートは次のようになります。

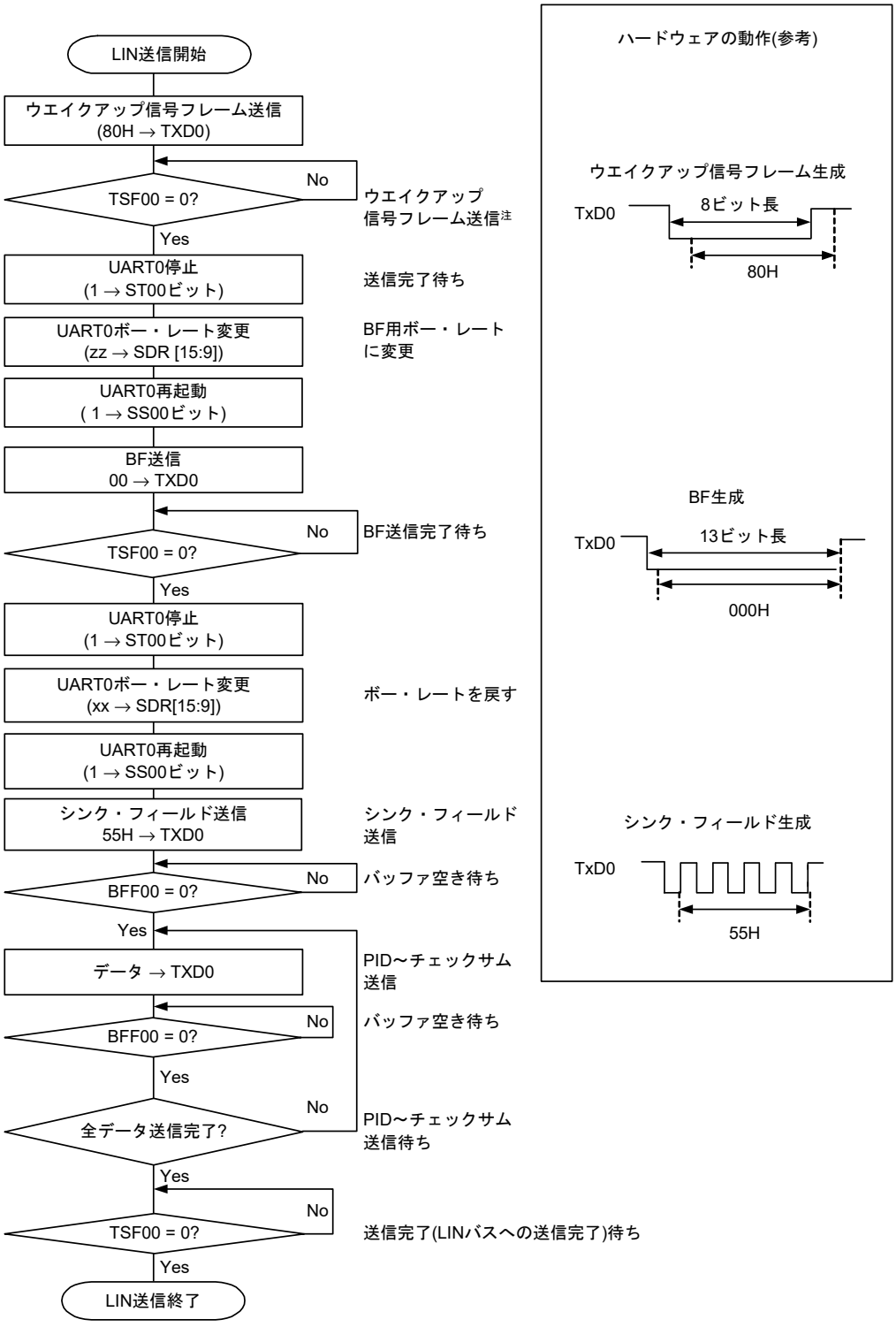
(ブレーク・フィールド時のボー・レート) = 9/13 × N

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3.　各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図13 - 124 LIN送信のフロー・チャート



注　　LIN-busがスリープ状態からの起動時のみ。

備考　　UARTの初期設定は完了し，送信許可状態からのフローです。

13.8.2　LIN受信

UART受信のうち，UART0はLIN通信に対応しています。

LIN受信では，チャネル1を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャネル	SAU0のチャネル1	—
使用端子	RxD0	—
割り込み	INTSR0	—
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	
エラー割り込み	INTSRE0	—
エラー検出フラグ	・フレーミング・エラー検出フラグ(FEF01) ・オーバラン・エラー検出フラグ(OVF01)	
転送データ長	8ビット	
転送レート注	Max. f_{MCK}/6 [bps] (SDR01[15:9] = 2以上)，Min. $f_{CLK}/(2 \times 2^{15} \times 128)$[bps]	
データ位相	非反転出力(デフォルト：ハイ・レベル) 反転出力(デフォルト：ロウ・レベル)	
パリティ・ビット	パリティ・ビットなし(パリティ・チェックしない)	
ストップ・ビット	1ビット付加	
データ方向	LSBファースト	

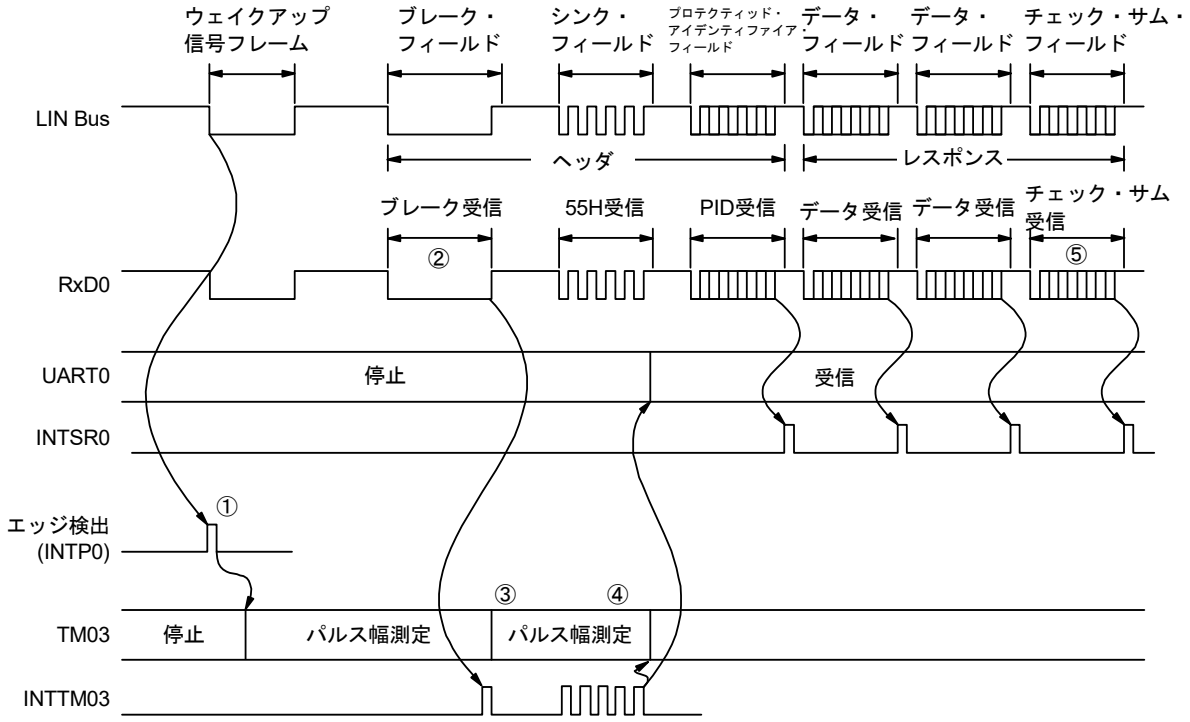
注　この条件を満たし，かつ電気的特性の周辺機能特性(第35章または第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINの受信操作の概略を，図13 - 125に示します。

図13 - 125 LINの受信操作



受信処理の流れを次に示します。

①ウエイクアップ信号の検出は，端子の割り込みエッジ検出(INTP0)で行います。ウエイクアップ信号を検出したら，TM03をBFのロウ・レベル幅測定のためにパルス幅測定に設定して，BF受信待ち状態にします。

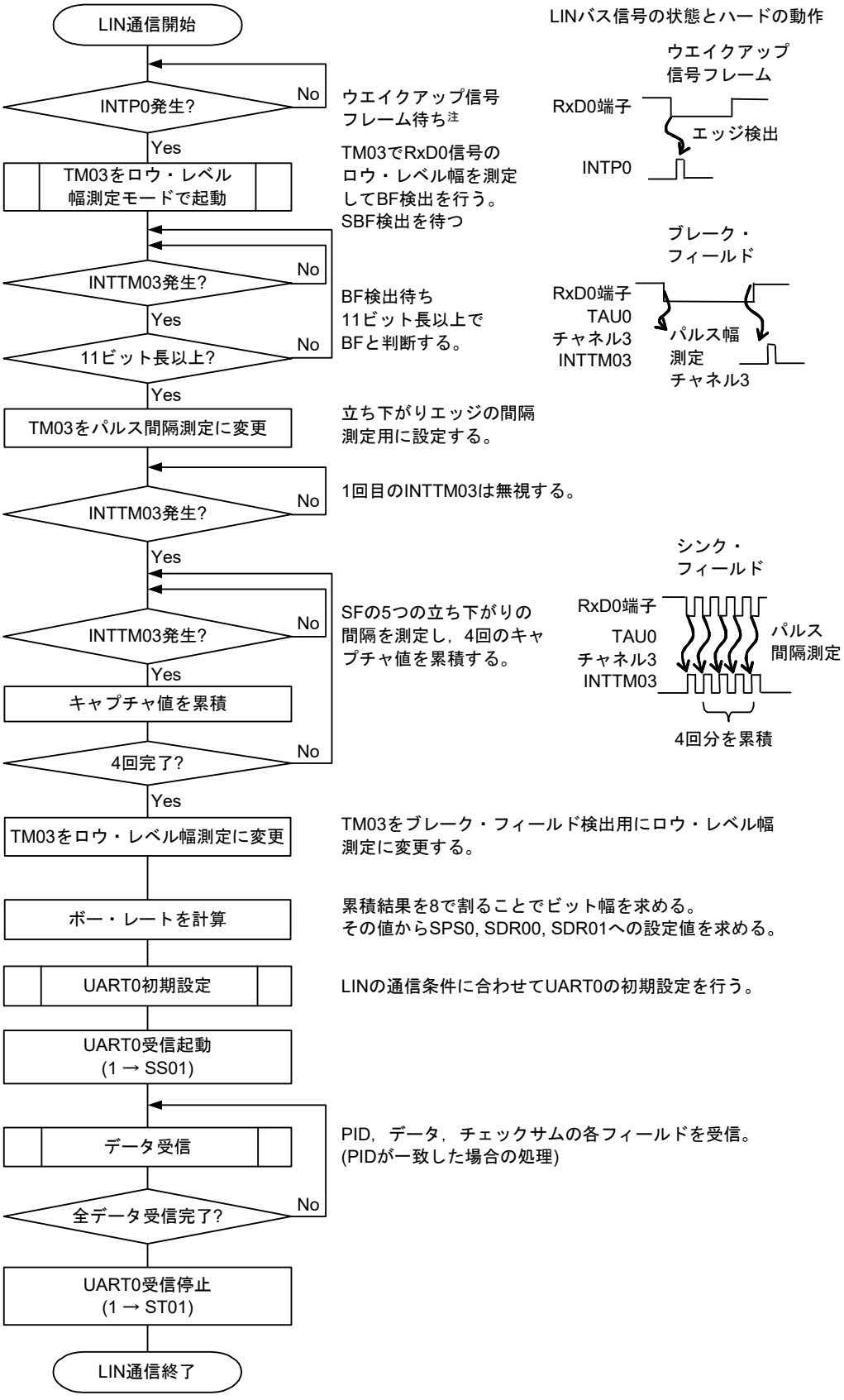
②BF の立ち下がりを検出したら，TM03 はロウ・レベル幅の測定を開始し，立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。

③BF受信を正常終了した場合，TM03をパルス間隔測定に設定し，シンク・フィールドのRxD0信号の立ち下がりの間隔を4回測定してください(7.8.4　入力パルス間隔測定としての動作を参照)。

④シンク・フィールド(SF)のビット間隔からボー・レート誤差を算出します。そして，いったんUART0を動作停止にしてからボー・レートを調整(再設定)してください。

⑤チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し，再びBF受信待ちに設定する処理もソフトウエアにて行ってください。

図13 - 126 LIN受信のフロー・チャート



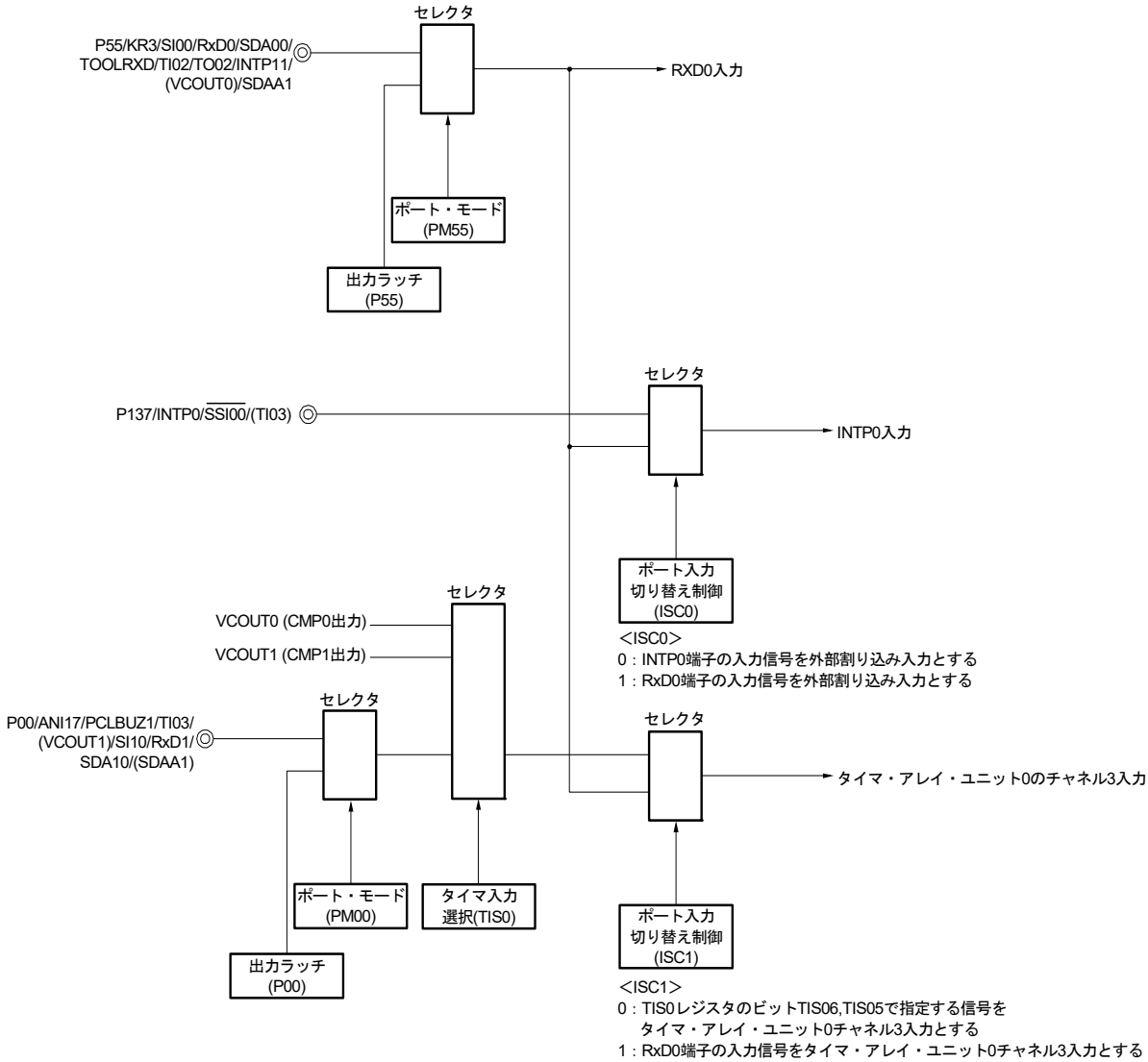
注 スリープ状態でのみ必要となります。

図13 - 127はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み(INTP0)のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により，外部で結線をせずに，受信用ポート入力(RxD0)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニットへ入力することができます。

図13 - 127 LINの受信操作用のポート構成図



備考　ISC0, ISC1：入力切り替え制御レジスタ(ISC)のビット0, 1 (図13 - 21参照)

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

・外部割り込み(INTP0)；ウエイクアップ信号検出

　用途：ウエイクアップ信号のエッジを検出し，通信開始を検出

・タイマ・アレイ・ユニットのチャネル3；ボー・レート誤差検出，ブレーク・フィールド(BF)検出

　用途：　シンク・フィールド(SF)の長さを検出し，ビット数で割ることでボー・レート誤差を検出

　　(RxD0入力エッジの間隔をキャプチャ・モードで測定)

　　ロウ・レベル幅を測定し，ブレーク・フィールド(BF)かを判定

・シリアル・アレイ・ユニット0 (SAU0)のチャネル0, 1 (UART0)

13.9　簡易I²C (IIC00, IIC01, IIC10, IIC11)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の２本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM, フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

［データ送受信］

- マスタ送信，マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能注，ACK検出機能
- 8ビットのデータ長
  (アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御)
- ソフトウエアによるスタート・コンディション，ストップ・コンディションの発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- オーバラン・エラー
- ACKエラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信，スレーブ受信
- マルチ・マスタ機能(アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

注　　最終データの受信時は，SOEmn (SOEmレジスタ) ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，13.9.3　(2)　処理フローを参照してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn=00-03

簡易I²C (IIC00, IIC01, IIC10, IIC11)に対応しているチャネルは，SAU0のチャネル0-3です。

○16ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	—	UART0 (LIN-bus対応)	—
	1	—		—
	2	CSI10	UART1	—
	3	CSI11		IIC11

○20ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

○24, 25ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00 (スレーブ・セレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11

簡易I²C (IIC00, IIC01, IIC10, IIC11)の通信動作は，以下の4種類があります。

- アドレス・フィールド送信(13.9.1項を参照)
- データ送信(13.9.2項を参照)
- データ受信(13.9.3項を参照)
- ストップ・コンディション発生(13.9.4項を参照)

13.9.1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象(スレーブ)を特定するために，I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)			
転送データ長	8ビット(上位7ビットをアドレス，下位1ビットをR/W制御として送信)			
転送レート注2	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)			
データ・レベル	非反転出力(デフォルト：ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK受信タイミング用)			
データ方向	MSBファースト			

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(VDD耐圧)モードを設定してください(POMxx = 1)。詳細は，4.3　ポート機能を制御するレジスタ，4.5　兼用機能使用時のレジスタの設定を参照してください。
IIC00を異電位の外部デバイスと通信する場合は，クロック入力／出力端子(SCL00)も同様にN-chオープン・ドレイン出力(VDD耐圧)モードを設定してください(POMxx = 1)。
詳細は，4.4.4　入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応を参照してください。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

(1)　レジスタ設定

図13 - 128 簡易I²C (IIC00, IIC01, IIC10, IIC11) のアドレス・フィールド送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn	0	SISmn0	1	0	0	MDmn2	MDmn1	MDmn0
	0/1	0						0注1		0注1				1	0	0

チャネルnの動作クロック (fMCK)
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの動作モード
0：転送完了割り込み

(b) シリアル通信動作設定レジスタmn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	0	1	DLSmn1	DLSmn0
	1	0	0	0		0	0	0	0		0注2	1			1	1

パリティ・ビット設定
00B：パリティなし

ストップ・ビット設定
01B：1ビット付加(ACK)

(c) シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOr)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定(アドレス + R/W)							

SIOr

(d) シリアル出力レジスタm (SOm)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3	CKOm2	CKOm1	CKOm0	0	0	0	0	SOm3	SOm2	SOm1	SOm0
					0/1	0/1	0/1	0/1					0/1	0/1	0/1	0/1

SOmnビットを操作して，スタート・コンディションを発生する

(e) シリアル出力許可レジスタm (SOEm)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
													0/1	0/1	0/1	0/1

スタート・コンディションを発生まではSOEmn = 0とし，
発生後はSOEmn = 1とする

(f) シリアル・チャネル開始レジスタm (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													0/1	0/1	0/1	0/1

注1.　SMR01, SMR03レジスタのみ。

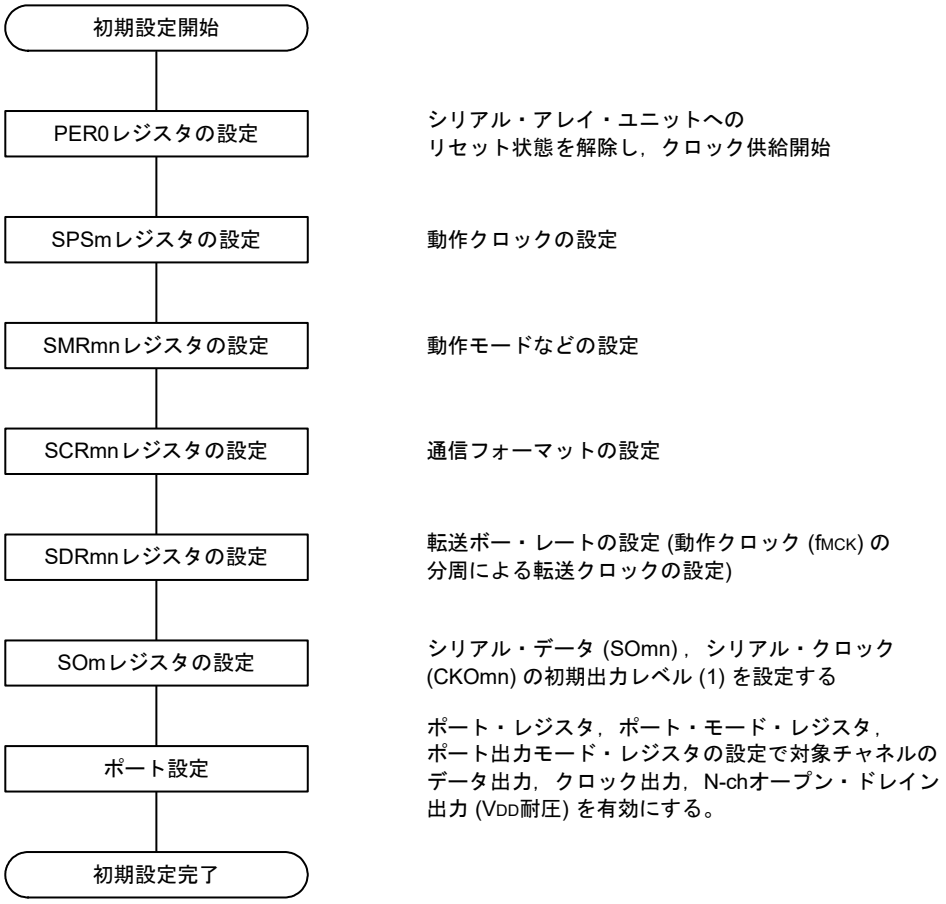
注2.　SCR00, SCR02レジスタのみ。

備考1.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　r：IIC番号(r = 00, 01, 10, 11),
mn = 00-03

備考2.　■：IICモードでは設定固定　▒：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2)　操作手順

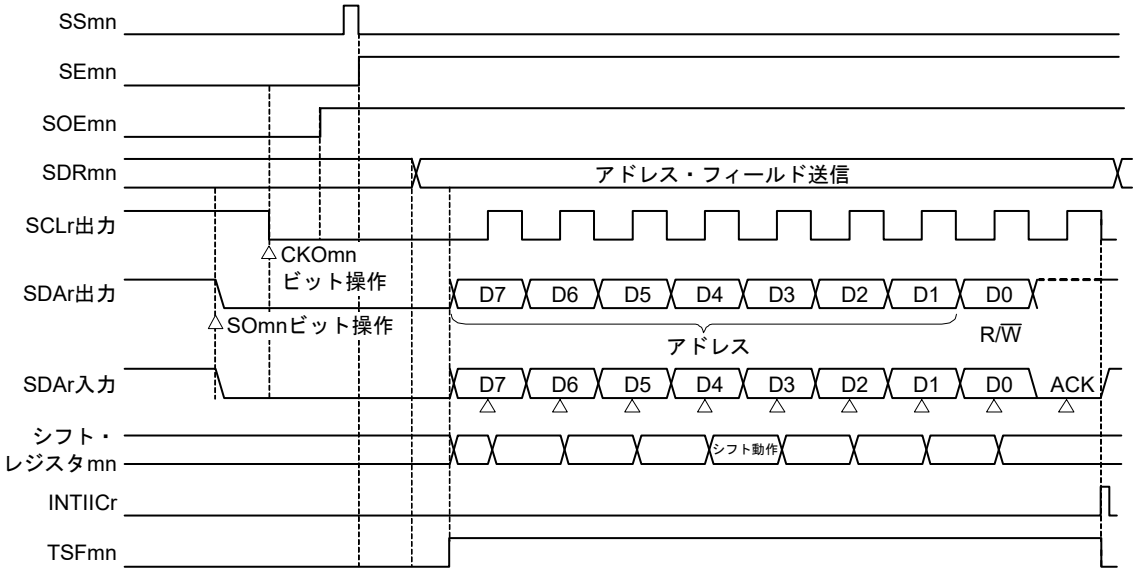
図13 - 129 アドレス・フィールド送信の初期設定手順



備考　初期設定完了時点では，簡易I2C (IIC00, IIC01, IIC10, IIC11) は出力禁止，動作停止状態としておきます。

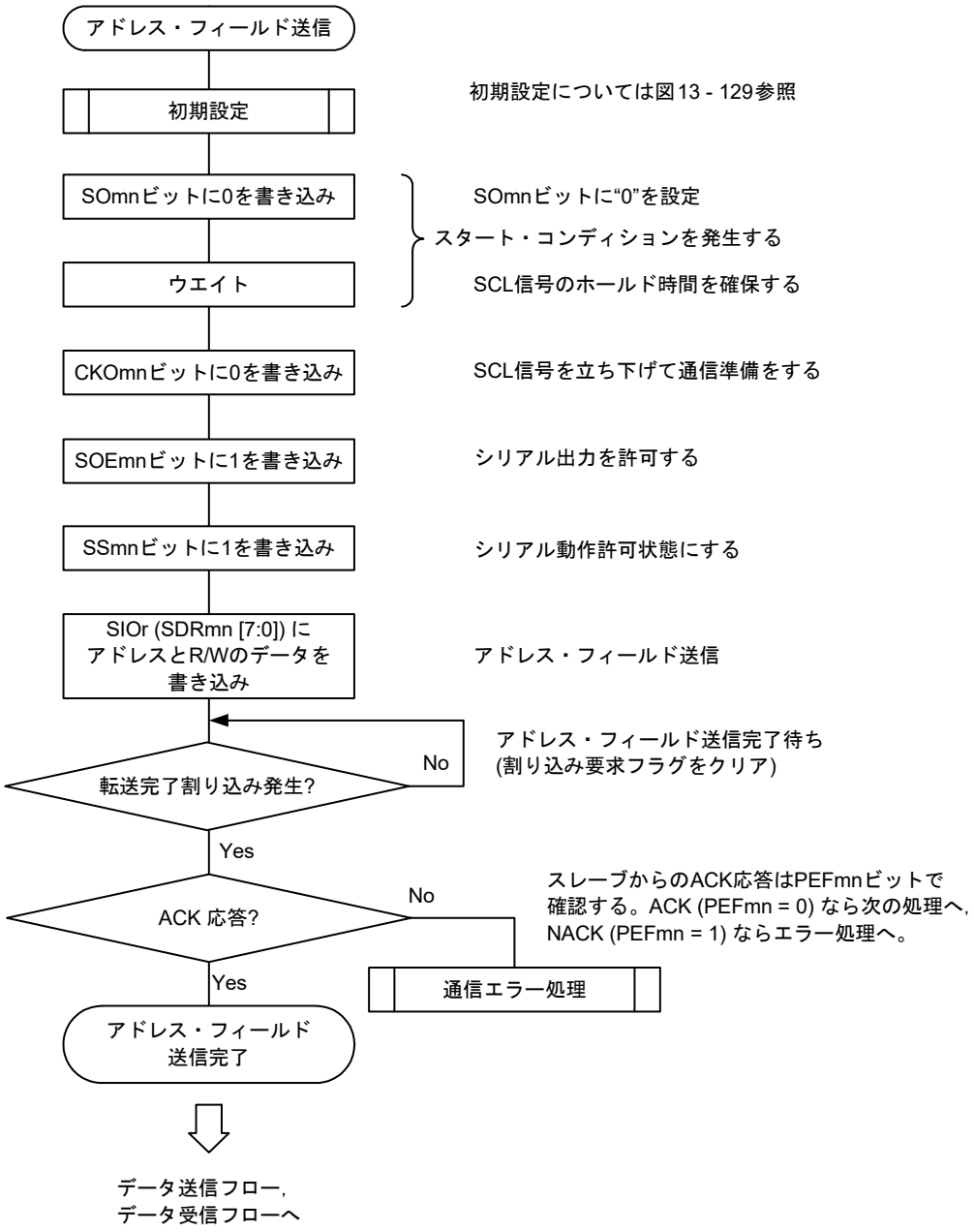
(3)　処理フロー

図13 - 130 アドレス・フィールド送信のタイミング・チャート



備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　r：IIC番号(r = 00, 01, 10, 11)，mn = 00-03

図13 - 131 アドレス・フィールド送信のフロー・チャート



13.9.2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	ACKエラー・フラグ(PEFmn)			
転送データ長	8ビット			
転送レート注2	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)			
データ・レベル	非反転出力(デフォルト：ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK受信タイミング用)			
データ方向	MSBファースト			

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(VDD耐圧)モードを設定してください(POMxx = 1)。詳細は，4.3　ポート機能を制御するレジスタ，4.5　兼用機能使用時のレジスタの設定を参照してください。
IIC00を異電位の外部デバイスと通信する場合は，クロック入力／出力端子(SCL00)も同様にN-chオープン・ドレイン出力(VDD耐圧)モードを設定してください(POMxx = 1)。
詳細は，4.4.4　入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応を参照してください。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

(1) レジスタ設定

図13 - 132 簡易I²C (IIC00, IIC01, IIC10, IIC11)のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn (SMRmn) . . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn	0	SISmn0	1	0	0	MDmn2	MDmn1	MDmn0
	0/1	0						0注1		0注1				1	0	0

(b) シリアル通信動作設定レジスタmn (SCRmn)

..... TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	0	1	DLSmn1	DLSmn0
	1	0	0	0		0	0	0	0		0注2	1			1	1

(c) シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOr)

. . . . . データ送受信中は下位8ビット(SIOr)のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注3							0	送信データ設定							
									SIOr							

(d) シリアル出力レジスタm (SOm) . . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3	CKOm2	CKOm1	CKOm0	0	0	0	0	SOm3	SOm2	SOm1	SOm0
					0/1注4	0/1注4	0/1注4	0/1注4					0/1注4	0/1注4	0/1注4	0/1注4

(e) シリアル出力許可レジスタm (SOEm). . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
													1	1	1	1

(f) シリアル・チャネル開始レジスタm (SSm) . . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													0/1	0/1	0/1	0/1

注1. SMR01, SMR03レジスタのみ。

注2. SCR00, SCR02レジスタのみ。

注3. アドレス・フィールド送信で設定済みなので，設定不要です。

注4. 通信動作中は通信データにより値が変わります。

備考1. m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) r：IIC番号(r = 00, 01, 10, 11),
mn = 00-03

備考2. ■：IICモードでは設定固定 ■：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

(2) 処理フロー

図13 - 133 データ送信のタイミング・チャート

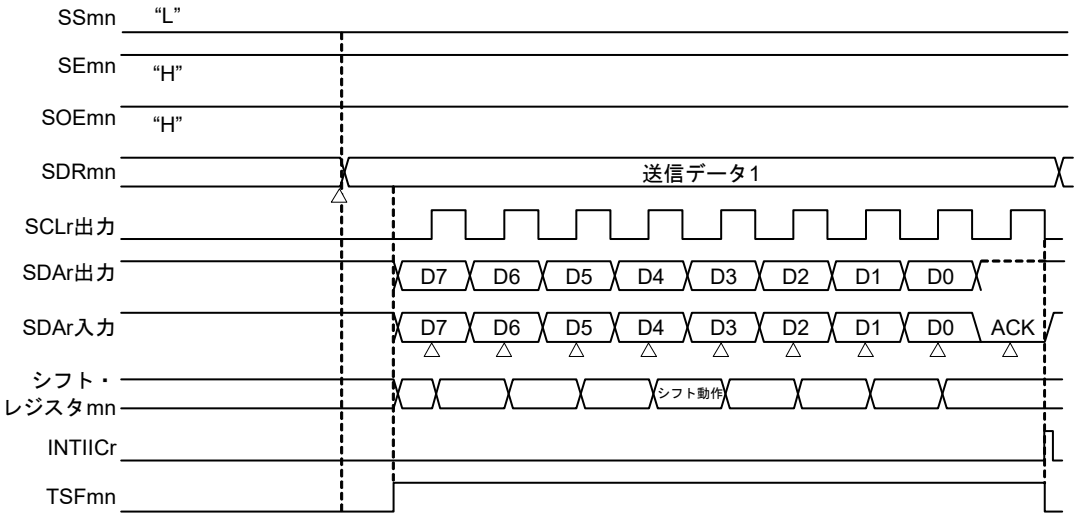
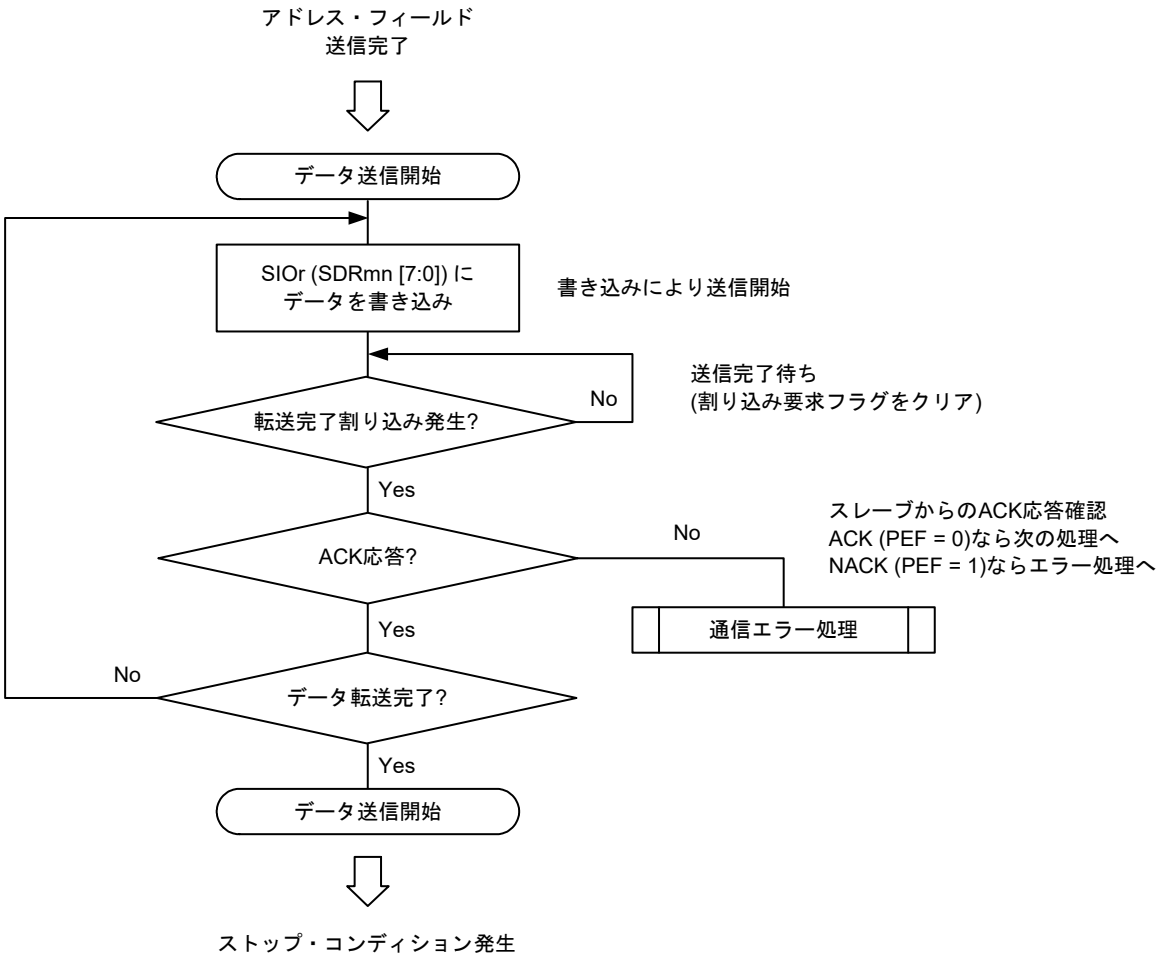


図13 - 134 データ送信のフロー・チャート



13.9.3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象(スレーブ)にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	8ビット			
転送レート注2	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)			
データ・レベル	非反転出力(デフォルト：ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK送信)			
データ方向	MSBファースト			

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(VDD耐圧)モードを設定してください(POMxx = 1)。詳細は，4.3　ポート機能を制御するレジスタ，4.5　兼用機能使用時のレジスタの設定を参照してください。
IIC00を異電位の外部デバイスと通信する場合は，クロック入力／出力端子(SCL00)も同様にN-chオープン・ドレイン出力(VDD耐圧)モードを設定してください(POMxx = 1)。
詳細は，4.4.4　入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応を参照してください。

注2.　この条件を満たし，かつ電気的特性の周辺機能特性(第35章，第36章　電気的特性を参照)を満たす範囲内で使用してください。

備考　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

(1)　レジスタ設定

図13 - 135 簡易I²C (IIC00, IIC01, IIC10, IIC11)のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn (SMRmn) . . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn	0	SISmn0	1	0	0	MDmn2	MDmn1	MDmn0
	0/1	0						0注1		0注1				1	0	0

(b) シリアル通信動作設定レジスタmn (SCRmn)

..... TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	0	1	DLSmn1	DLSmn0
	0	1	0	0		0	0	0	0		0注2	1			1	1

(c) シリアル・データ・レジスタmn (SDRmn)(下位8ビット：SIOr)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注3							0	ダミー送信データ設定(FFH)							

SIOr

(d) シリアル出力レジスタm (SOm) . . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm4	CKOm3	CKOm1	CKOm0	0	0	0	0	SOm3	SOm2	SOm1	SOm0
					0/1注4	0/1注4	0/1注4	0/1注4					0/1注4	0/1注4	0/1注4	0/1注4

(e) シリアル出力許可レジスタm (SOEm). . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
													0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタm (SSm) . . . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													0/1	0/1	0/1	0/1

注1.　SMR01, SMR03レジスタのみ。

注2.　SCR00, SCR02レジスタのみ。

注3.　アドレス・フィールド送信で設定済みなので，設定不要です。

注4.　通信動作中は通信データにより値が変わります。

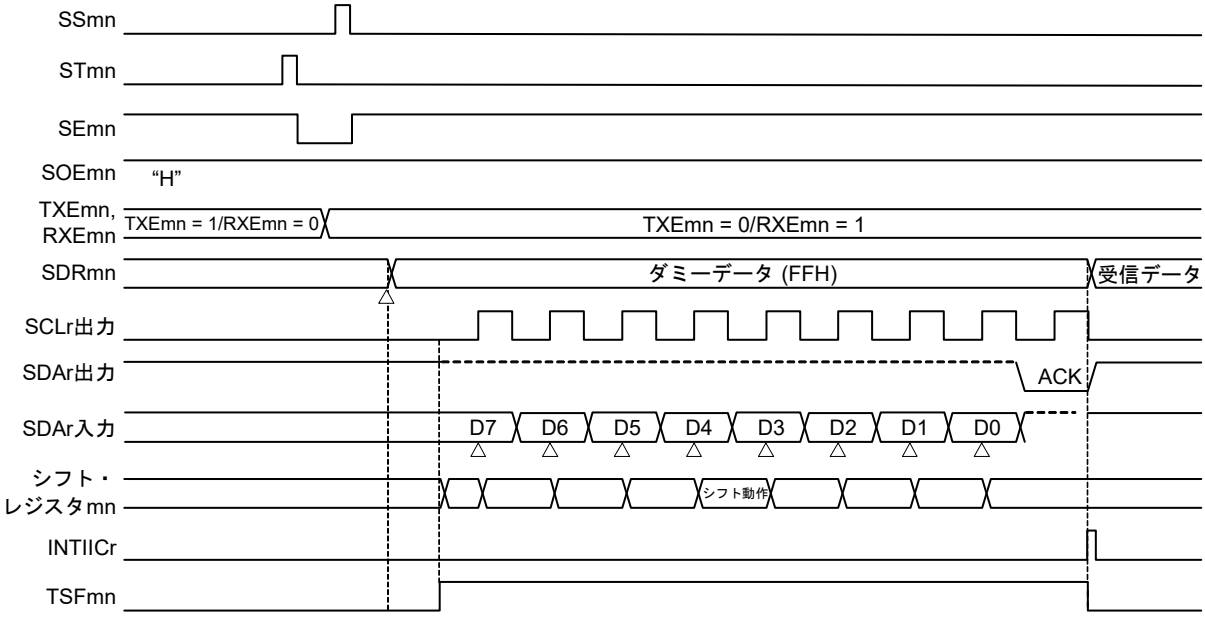
備考1.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)　　r：IIC番号(r = 00, 01, 10, 11),
mn = 00-03

備考2.　■：IICモードでは設定固定　□：設定不可(初期値を設定)
×：このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1：ユーザの用途に応じて0または1に設定

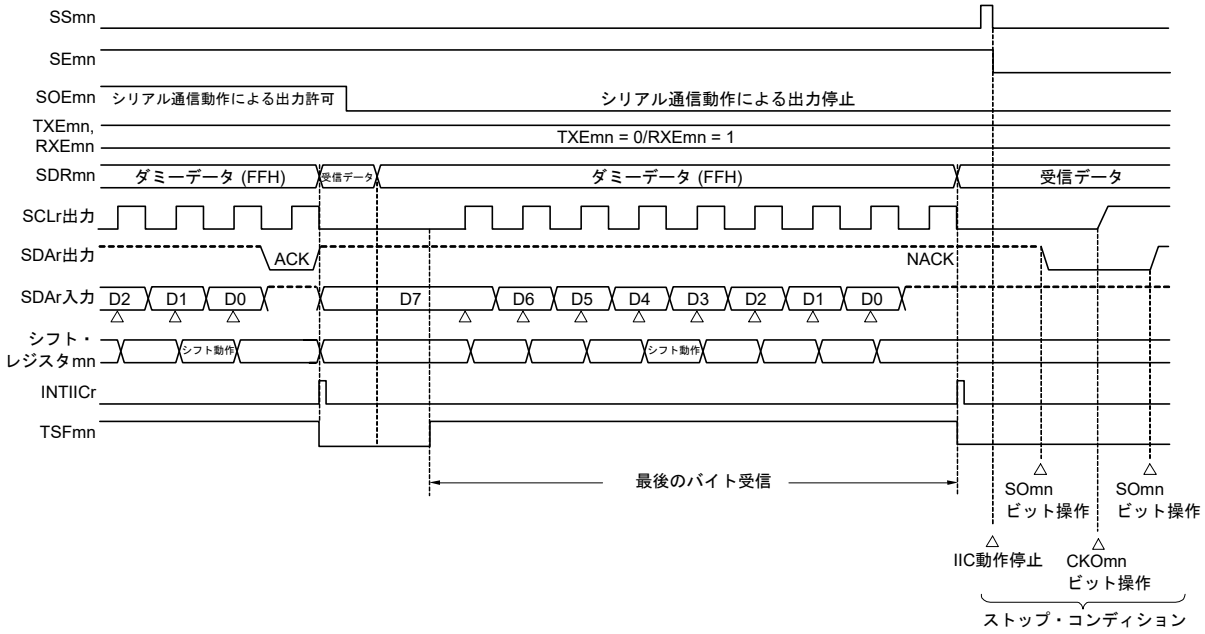
(2) 処理フロー

図13 - 136 データ受信のタイミング・チャート

(a) データ受信開始時

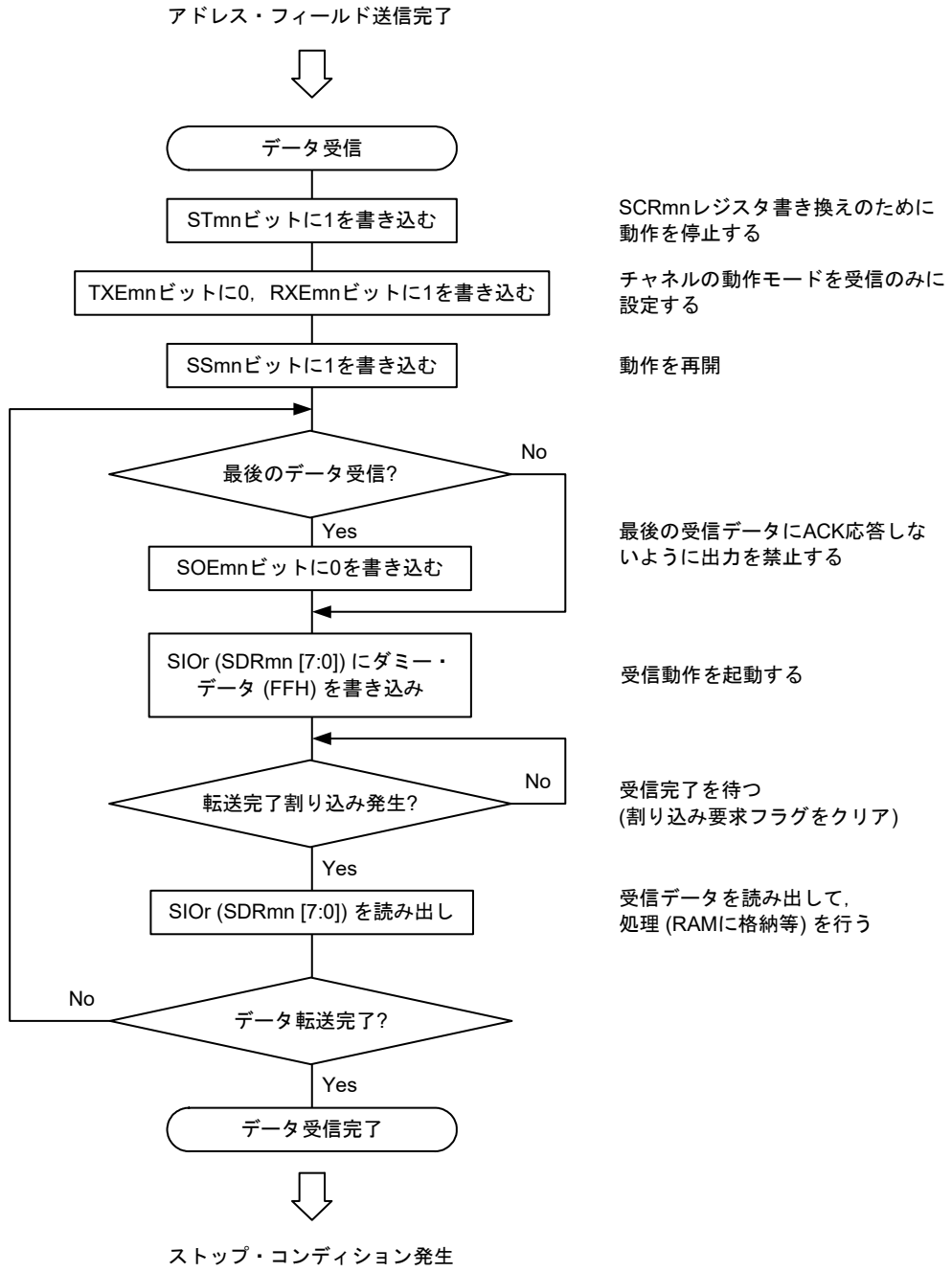


(b) 最終データ受信時



備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) r：IIC番号(r = 00, 01, 10, 11), mn = 00-03

図13 - 137 データ受信のフロー・チャート



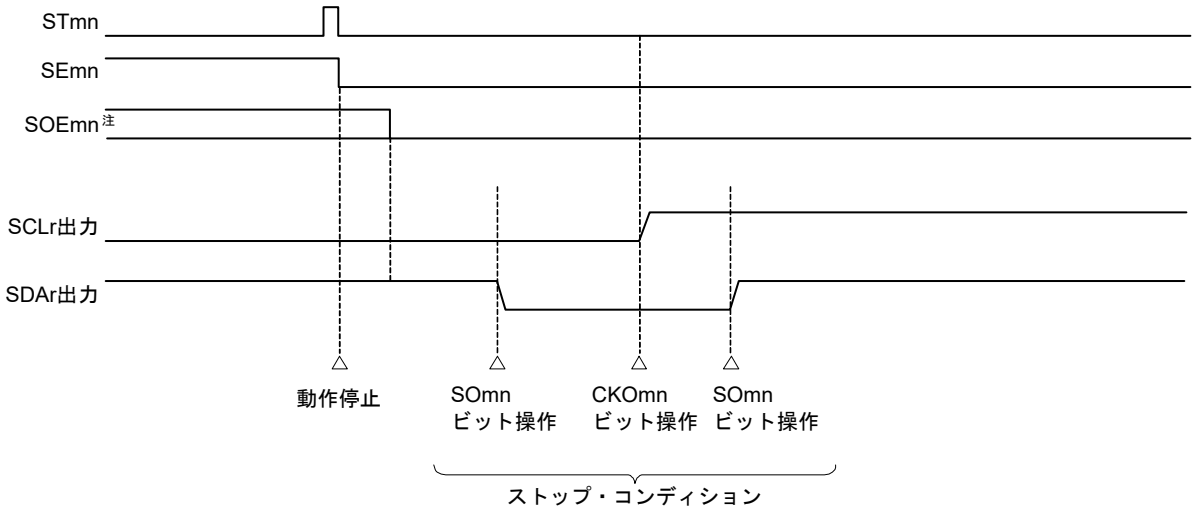
注意 最終データの受信時はACKを出力しません(NACK)。その後，シリアル・チャネル停止レジスタm (STm)のSTmnビットに“1”を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

13.9.4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

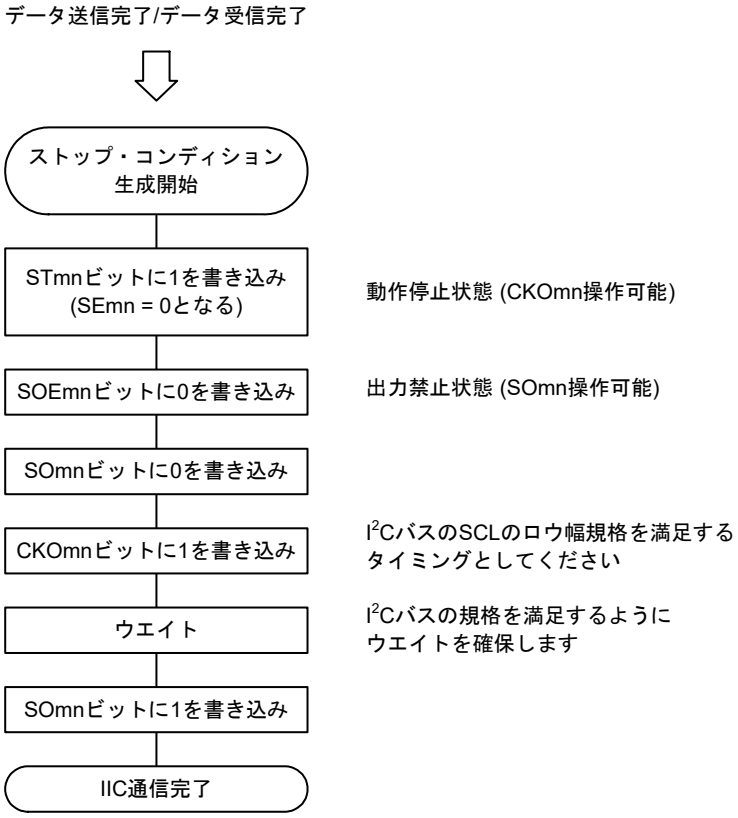
(1)　処理フロー

図13 - 138 ストップ・コンディション発生のタイミング・チャート



注　　受信動作時は最終データを受信する前に，シリアル出力許可レジスタm (SOEm)のSOEmnビットを“0”に設定しています。

図13 - 139 ストップ・コンディション発生のフロー・チャート



13.9.5　転送レートの算出

簡易I²C (IIC00, IIC01, IIC10, IIC11)通信での転送レートは下記の計算式にて算出できます。

(転送レート) = ｛対象チャネルの動作クロック (fMCK)周波数｝÷ (SDRmn[15:9] + 1) ÷ 2

注意　SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では，SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため，ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると，SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には，この規格を満足できる値を設定してください。

備考1.　(SDRmn[15:9])は，シリアル・データ・レジスタmn (SDRmn)のビット15-9の値(0000001B-1111111B)なので，1-127になります。

備考2.　m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

動作クロック (fMCK) は，シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn)のビット15 (CKSmnビット)で決まります。

表13 - 6 簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック(fMCK)注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2¹¹	11.7 kHz
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	fCLK/2¹¹	11.7 kHz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は，シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャネル停止レジスタm (STm) = 000FH)させてから変更してください。

備考1. X：Don't care

備考2. m：ユニット番号(m = 0)　　n：チャネル番号(n = 0-3)，mn = 00-03

fMCK = fCLK = 24 MHzの場合のI²C転送レート設定例を示します。

I²C転送モード (希望転送レート)	fCLK = 24 MHz時			
	動作クロック(fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	59	100 kHz	0.0%
400 kHz	fCLK	31	375 kHz	6.25%注
1 MHz	fCLK	14	0.80 MHz	20.0%注

注 SCL信号がデューティ比50%なので，誤差を0%程度に設定することはできません。

13.9.6 簡易I2C (IIC00, IIC01, IIC10, IIC11)通信時におけるエラー発生時の処理手順

簡易I2C (IIC00, IIC01, IIC10, IIC11)通信時にエラーが発生した場合の処理手順を図13 - 140，図13 - 141に示します。

図13 - 140 オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする →	SSRmn レジスタのBFFmn ビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)に“1”をライトする →	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのままSIRmn レジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図13 - 141 簡易I2Cモード時のACKエラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)をライトする →	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのままSIRmn レジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm (STm)のSTmn ビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm (SEm)のSEmn ビットが“0”となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm (SSm)のSSmn ビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm (SEm)のSEmn ビットが“1”となり，チャネルnは動作許可状態になる	

備考 m：ユニット番号(m = 0) n：チャネル番号(n = 0-3) r：IIC番号(r = 00, 01, 10, 11)，mn = 00-03

第14章　シリアル・インタフェースIICA

シリアル・インタフェースIICAのチャネルは製品によって異なります。

チャネル	10ピン	16ピン	20, 24, 25ピン
IICA0	—	○	○
IICA1	—	—	○

14.1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

(1)　動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2)　I^2Cバス・モード(マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I^2Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI^2Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

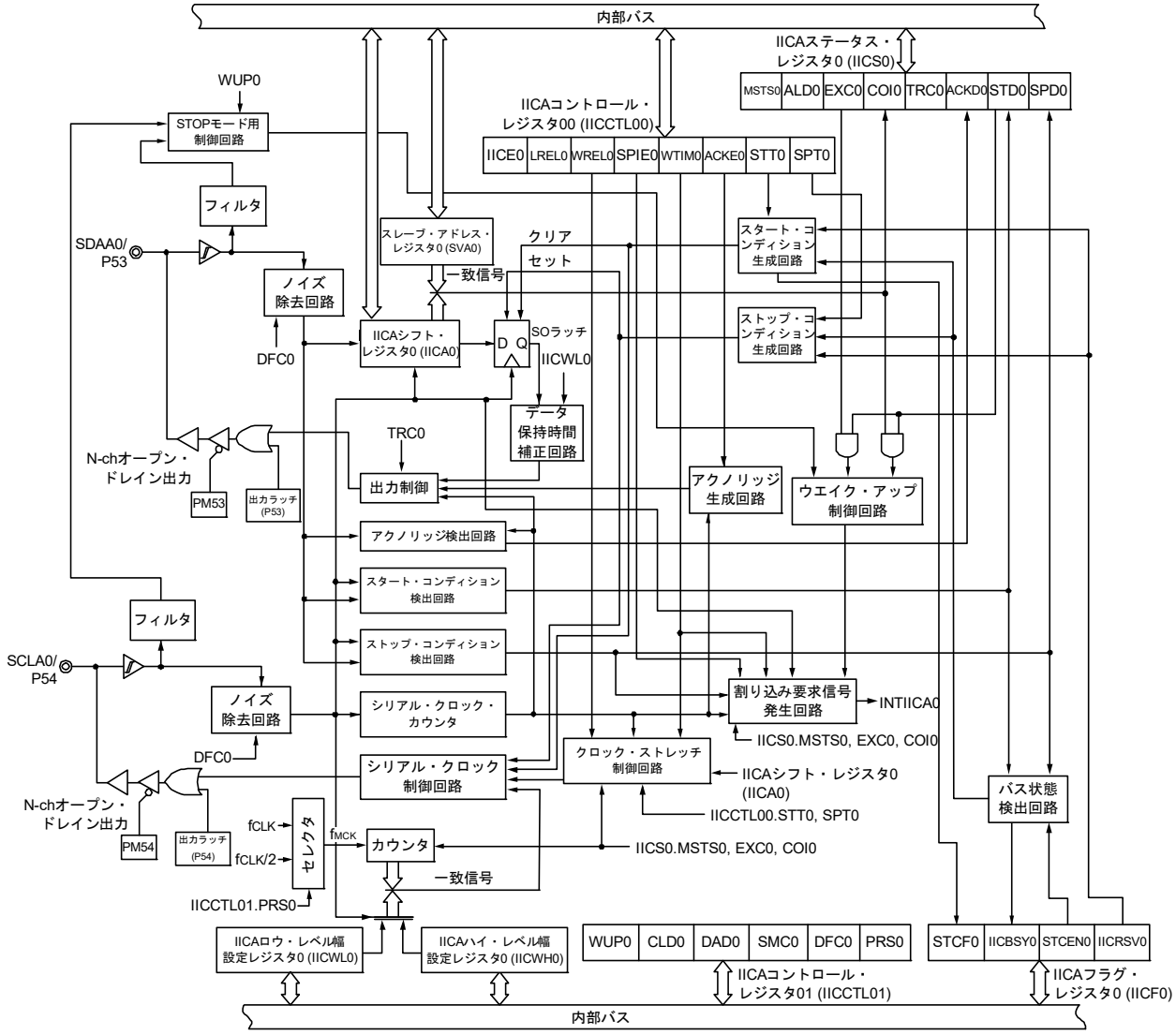
(3)　ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1 (IICCTLn1) のWUPnビットにより設定します。

図14 - 1にシリアル・インタフェースIICAのブロック図を示します。

備考　n = 0, 1

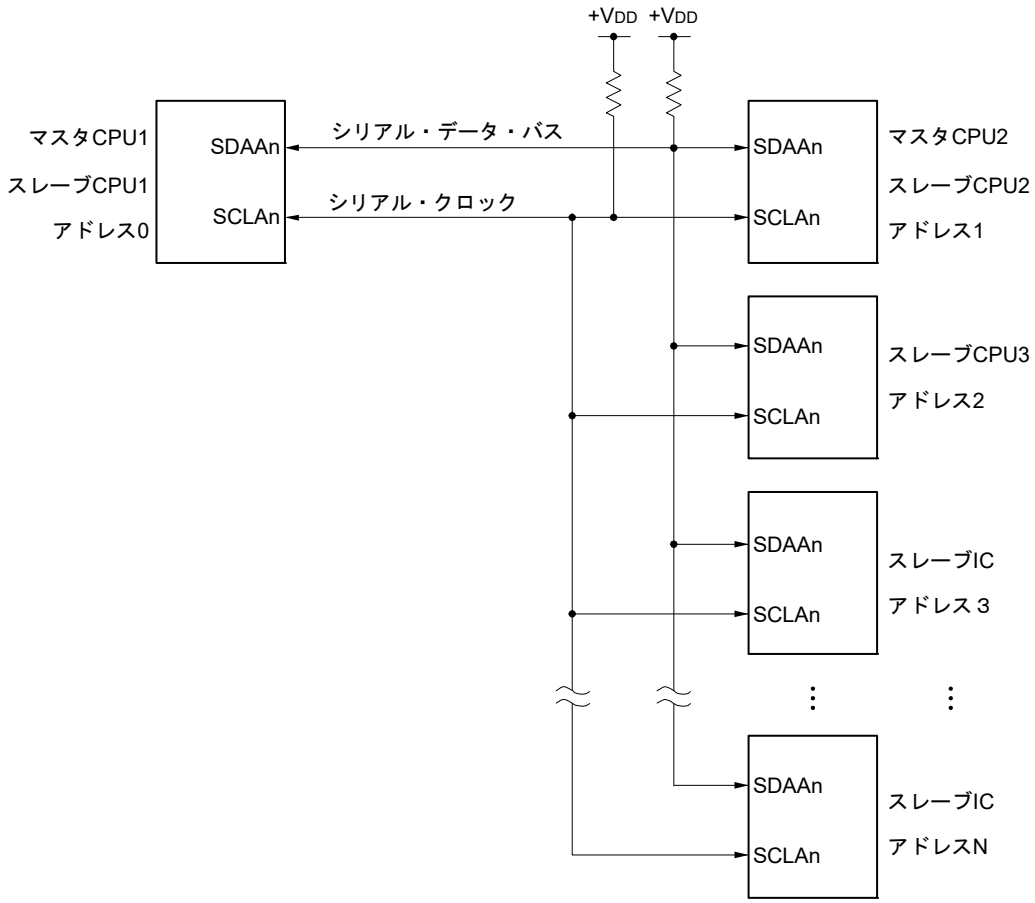
図14 - 1 シリアル・インタフェースIICAのブロック図



備考　この図のIICA端子は，24, 25ピン製品でPIOR31 = 0,PIOR30 = 0の場合です。

図14 - 2にシリアル・バス構成例を示します。

図14 - 2 I²Cバスによるシリアル・バス構成例



備考　n = 0, 1

14.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表14 - 1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタn (IICAn) スレーブ・アドレス・レジスタn (SVAn)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) 周辺リセット制御レジスタ0 (PRR0) IICAコントロール・レジスタn0 (IICCTLn0) IICAステータス・レジスタn (IICSn) IICAフラグ・レジスタn (IICFn) IICAコントロール・レジスタn1 (IICCTLn1) IICAロウ・レベル幅設定レジスタn (IICWLn) IICAハイ・レベル幅設定レジスタn (IICWHn) ポート・モード・レジスタ0, 3-5 (PM0, PM3-PM5) ポート・レジスタ0, 3-5 (P0, P3-P5) ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5) ポート・モード・コントロール・レジスタ0, 3, 5 (PMC0, PMC3, PMC5)

備考 n = 0, 1

(1) IICAシフト・レジスタn (IICAn)

IICAnレジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより，クロック・ストレッチを解除し，データ転送を開始します。

IICAnレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14 - 3 IICAシフト・レジスタn (IICAn)のフォーマット

アドレス：FFF50H (IICA0), FFF54H (IICA1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには，クロック・ストレッチ期間中にだけ，書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット(STTn)をセット(1)したあと，1回書き込みできます。

注意3. 通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0, 1

(2) スレーブ・アドレス・レジスタn (SVAn)

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVAnレジスタは，8ビット・メモリ操作命令で設定します。

ただし，STDn = 1 (スタート・コンディション検出)のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図14 - 4 スレーブ・アドレス・レジスタn (SVAn)のフォーマット

アドレス：F0234H (SVA0), F023CH (SVA1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAAn端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタn (SVAn)に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求(INTIICAn)を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn)の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)

・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット：IICAコントロール・レジスタn0 (IICCTLn0)のビット3

SPIEnビット： IICAコントロール・レジスタn0 (IICCTLn0)のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0, 1

(9) アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STTnビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVnビット = 1)で，かつバスが解放されていない(IICBSYnビット = 1)場合には，スタート・コンディション要求は無視し，STCFnビットをセット(1)します。

(12) ストップ・コンディション生成回路

SPTnビットがセット(1)されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCENnビットにより，バス状態検出回路の初期状態を設定してください。

備考1. STTnビット： IICAコントロール・レジスタn0 (IICCTLn0)のビット1
SPTnビット： IICAコントロール・レジスタn0 (IICCTLn0)のビット0
IICRSVnビット： IICAフラグ・レジスタn (IICFn)のビット0
IICBSYnビット： IICAフラグ・レジスタn (IICFn)のビット6
STCFnビット： IICAフラグ・レジスタn (IICFn)のビット7
STCENnビット： IICAフラグ・レジスタn (IICFn)のビット1

備考2. n = 0, 1

14.3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次の9種類のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0（PRR0)
- IICAコントロール・レジスタn0 (IICCTLn0)
- IICAフラグ・レジスタn (IICFn)
- IICAステータス・レジスタn (IICSn)
- IICAコントロール・レジスタn1 (IICCTLn1)
- IICAロウ・レベル幅設定レジスタn (IICWLn)
- IICAハイ・レベル幅設定レジスタn (IICWHn)
- ポート・モード・レジスタ0, 3-5 (PM0, PM3-PM5)
- ポート・レジスタ0, 3-5 (P0, P3-P5)
- ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5)
- ポート・モード・コントロール・レジスタ0, 3, 5 (PMC0, PMC3, PMC5)

備考　n = 0, 1

14.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは，必ずビット6, 4 (IICA1EN, IICA0EN)を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14 - 5 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・インタフェースIICAnで使用するSFRへのライト不可 • シリアル・インタフェースIICAnはリセット状態
1	入力クロック供給許可 • シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注意1. シリアル・インタフェースIICAの設定をする際には，必ず最初にIICAnEN = 1の状態で，下記のレジスタの設定を行ってください。IICAnEN = 0の場合は，シリアル・インタフェースIICAの制御レジスタは初期値となり，書き込みは無視されます (ポート・モード・レジスタ 0, 3-5 (PM0, PM3-PM5)，ポート・レジスタ 0, 3-5 (P0, P3-P5)，ポート出力モード・レジスタ0, 3-5 (POM0, POM3-POM5)，ポート・モード・コントロール・レジスタ0, 3, 5 (PMC0, PMC3, PMC5)は除く)。

- IICAコントロール・レジスタn0 (IICCTLn0)
- IICAフラグ・レジスタn (IICFn)
- IICAステータス・レジスタn (IICSn)
- IICAコントロール・レジスタn1 (IICCTLn1)
- IICAロウ・レベル幅設定レジスタn (IICWLn)
- IICAハイ・レベル幅設定レジスタn (IICWHn)

注意2. ビット7, 3, 1には必ず“0”を設定してください。

備考　n = 0, 1

14.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

IICA1, IICA0をリセットする場合は，必ずビット6,4 (IICA1RES, IICA0RES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図14 - 6 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IICA1RES	ADCRES	IICA0RES	0	SAU0RES	0	TAU0RES

IICA1RES	IICA1のリセット制御
0	IICA1のリセット解除
1	IICA1はリセット状態

IICA0RES	IICA0のリセット制御
0	IICA0のリセット解除
1	IICA0はリセット状態

14.3.3 IICAコントロール・レジスタn0 (IICCTLn0)

I²Cの動作許可／停止，クロック・ストレッチ・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIEn, WTIMn, ACKEnビットは，IICEn = 0のとき，またはクロック・ストレッチ期間中に設定してください。またIICEnビットを”0”から”1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

備考　n = 0, 1

図14 - 7 IICAコントロール・レジスタn0 (IICCTLn0)のフォーマット(1/4)

アドレス：F0230H (IICCTL00), F0238H (IICCTL10) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I²Cの動作許可
0	動作停止。IICAステータス・レジスタn (IICSn)をリセット注1。内部動作も停止。
1	動作許可。
このビットのセット(1)は，必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。	
クリアされる条件(IICEn = 0)	セットされる条件(IICEn = 1)
• 命令によるクリア • リセット時	• 命令によるセット

LRELn 注2, 3	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0 (IICCTLn0)，IICAステータス・レジスタn (IICSn)のうち，次のフラグがクリア(0)される。 ・STTn ・SPTn ・MSTSn ・EXCn ・COIn ・TRCn ・ACKDn ・STDn
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 • ストップ・コンディション検出後，マスタとしての起動 • スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件(LRELn = 0)	セットされる条件(LRELn = 1)
• 実行後，自動的にクリア • リセット時	• 命令によるセット

WRELn 注2, 注3	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後，自動的にクリアされる。
送信状態(TRCn = 1)で，9クロック目のクロック・ストレッチ期間中にWRELnビットをセット(クロック・ストレッチを解除)した場合，SDAAnラインをハイ・インピーダンス(TRCn = 0)にします。	
クリアされる条件(WRELn = 0)	セットされる条件(WRELn = 1)
• 実行後，自動的にクリア • リセット時	• 命令によるセット

注1. リセットされるのは，IICAシフト・レジスタn (IICAn)，IICAフラグ・レジスタn (IICFn)のSTCFn，IICBSYnビット，IICAコントロール・レジスタn1 (IICCTLn1)レジスタのCLDn，DADnビットです。

注2. IICEn = 0の状態では，このビットの信号は無効になります。

注3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル，SDAAnラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン(IICCTLn1レジスタのDFCn = 1)のときにI²Cを動作許可(IICEn = 1)した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I²Cを動作許可(IICEn = 1)したあと，連続して1ビット・メモリ操作命令により，LRELnビットをセット(1)してください。

備考 n = 0, 1

図14 - 7 IICAコントロール・レジスタn0 (IICCTLn0)のフォーマット(2/4)

SPIEn 注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタn1 (IICCTLn1)のWUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件(SPIEn = 0)	セットされる条件(SPIEn = 1)
• 命令によるクリア • リセット時	• 命令によるセット

WTIMn 注1	クロック・ストレッチおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 8クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 9クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは，アクノリッジ(ACK)発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件(WTIMn = 0)	セットされる条件(WTIMn = 1)
• 命令によるクリア • リセット時	• 命令によるセット

ACKEn 注1, 2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。
クリアされる条件(ACKEn = 0)	セットされる条件(ACKEn = 1)
• 命令によるクリア • リセット時	• 命令によるセット

注1. IICEn = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

注2. アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

備考 n = 0, 1

図14 - 7 IICAコントロール・レジスタn0 (IICCTLn0)のフォーマット(3/4)

STTn 注1, 2	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき(待機状態，IICBSYnが0のとき) : セット(1)すると，スタート・コンディションを生成する(マスタとしての起動)。 第三者が通信中のとき : • 通信予約機能許可の場合(IICRSVn = 0) スタート・コンディション予約フラグとして機能する。セット(1)すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 • 通信予約機能禁止の場合(IICRSVn = 1) セット(1)してもSTTnビットはクリアされ，STTnクリア・フラグ(STCFn)がセット(1)される。スタート・コンディションは生成しない。 クロック・ストレッチ状態(マスタ時) : クロック・ストレッチを解除してリスタート・コンディションを生成する。
セット・タイミングに関する注意 • マスタ受信の場合 : 転送中のセット(1)は禁止です。ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット(1)可能です。 • マスタ送信の場合 : アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット(1)してください。 • ストップ・コンディション・トリガ(SPTn)と同時セット(1)することは禁止です。 • STTnビットをセット(1)後，クリア条件になる前に再度セット(1)することは禁止です。	
クリアされる条件(STTn = 0)	セットされる条件(STTn = 1)
• 通信予約禁止状態でのSTTnビットのセット(1) • アービトレーションに負けたとき • マスタでのスタート・コンディション生成 • LRELn = 1 (通信退避)によるクリア • IICEn = 0 (動作停止)のとき • リセット時	• 命令によるセット

注1. IICEn = 0の状態では，このビットの信号は無効になります。

注2. STTnビットの読み出し値は，常に0になります。

備考1. ビット1 (STTn)は，データ設定後に読み出すと0になっています。

備考2. IICRSVn : IICAフラグ・レジスタn (IICFn)のビット0

STCFn : IICAフラグ・レジスタn (IICFn)のビット7

備考3. n = 0, 1

図14 - 7 IICAコントロール・レジスタn0 (IICCTLn0)のフォーマット(4/4)

SPTn注	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する(マスタとしての転送終了)。

セット・タイミングに関する注意

- マスタ受信の場合 : 転送中のセット(1)は禁止です。ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット(1)可能です。
- マスタ送信の場合 : アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。
- スタート・コンディション・トリガ(STTn)と同時にセット(1)することは禁止です。
- SPTnビットのセット(1)は，マスタのときのみ行ってください。
- WTIMn = 0設定時に，8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)すると，クロック・ストレッチ解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し，9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)してください。
- SPTnビットをセット(1)後，クリア条件になる前に，再度セット(1)することは禁止です。

クリアされる条件(SPTn = 0)	セットされる条件(SPTn = 1)
• アービトレーションに負けたとき • ストップ・コンディション検出後，自動的にクリア • LRELn = 1 (通信退避)によるクリア • IICEn = 0 (動作停止)のとき • リセット時	• 命令によるセット

注　SPTnビットの読み出し値は，常に0になります。

注意　IICAステータス・レジスタn (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき，9クロック目にIICCTLn0レジスタのビット5 (WRELn)をセット(1)してクロック・ストレッチ解除すると，TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考　n = 0, 1

14.3.4 IICAステータス・レジスタn (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは，STTn = 1およびクロック・ストレッチ期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可(WUPn=1)状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から，INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止) に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可(SPIEn = 1)して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn：IICAコントロール・レジスタn0 (IICCTLn0)のビット1

WUPn: IICAコントロール・レジスタn1 (IICCTLn1)のビット7

図14 - 8 IICAステータス・レジスタn (IICSn)のフォーマット(1/3)

アドレス：FFF51H (IICS0), FFF55H (IICS1) リセット時：00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件(MSTSn = 0)	セットされる条件(MSTSn = 1)
• ストップ・コンディション検出時 • ALDn = 1 (アービトレーション負け)のとき • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時	• スタート・コンディション生成時

ALDn	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。

クリアされる条件(ALDn = 0)	セットされる条件(ALDn = 1)
• IICSnレジスタ読み出し後，自動的にクリア注 • IICEn = 1→0 (動作停止)のとき • リセット時	• アービトレーションに負けたとき

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALDnビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考1. LRELn： IICAコントロール・レジスタn0 (IICCTLn0)のビット6

IICEn： IICAコントロール・レジスタn0 (IICCTLn0)のビット7

備考2. n = 0, 1

図14 - 8 IICAステータス・レジスタn (IICSn)のフォーマット(2/3)

EXCn	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件(EXCn = 0)	セットされる条件(EXCn = 1)
• スタート・コンディション検出時 • ストップ・コンディション検出時 • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時	• 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき(8クロック目の立ち上がりでセット)

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件(COIn = 0)	セットされる条件(COIn = 1)
• スタート・コンディション検出時 • ストップ・コンディション検出時 • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時	• 受信アドレスが自局アドレス(スレーブ・アドレス・レジスタn (SVAn))と一致したとき(8クロック目の立ち上がりでセット)

TRCn	送信／受信状態検出
0	受信状態(送信状態以外)。SDAAnラインをハイ・インピーダンスにする。
1	送信状態。SDAAnラインにSOnラッチの値が出力できるようにする(1バイト目の9クロック目の立ち下がり以降有効)。

クリアされる条件(TRCn = 0)	セットされる条件(TRCn = 1)
＜マスタ，スレーブ共通＞ • ストップ・コンディション検出時 • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • WRELn = 1 (クロック・ストレッチ解除)によるクリア注 • ALDn = 0→1 (アービトレーション負け)のとき • リセット時 • 通信不参加の場合(MSTSn, EXCn, COIn = 0) ＜マスタの場合＞ • 1バイト目のLSB (転送方向指定ビット)に“1”を出力したとき ＜スレーブの場合＞ • スタート・コンディション検出時 • 1バイト目のLSB (転送方向指定ビット)に“0”を入力したとき	＜マスタの場合＞ • スタート・コンディション生成時 • 1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“0” (マスタ送信)を出力したとき ＜スレーブの場合＞ • マスタからの1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“1” (スレーブ送信)が入力されたとき

注 IICAステータス・レジスタn (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき，9クロック目にIICAコントロール・レジスタn0 (IICCTLn0)のビット5 (WRELn)をセット(1)してクロック・ストレッチを解除すると，TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考1. LRELn： IICAコントロール・レジスタn0 (IICCTLn0)のビット6
IICEn： IICAコントロール・レジスタn0 (IICCTLn0)のビット7

備考2. n = 0, 1

図14 - 8 IICAステータス・レジスタn (IICSn)のフォーマット(3/3)

ACKDn	アクノリッジ(ACK)検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件(ACKDn = 0)	セットされる条件(ACKDn = 1)
• ストップ・コンディション検出時 • 次のバイトの1クロック目の立ち上がり時 • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時	• SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件(STDn = 0)	セットされる条件(STDn = 1)
• ストップ・コンディション検出時 • アドレス転送後の次のバイトの1クロック目の立ち上がり時 • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時	• スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件(SPDn = 0)	セットされる条件(SPDn = 1)
• このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 • WUPn = 1→0のとき • IICEn = 1→0 (動作停止)のとき • リセット時	• ストップ・コンディション検出時

備考1. LRELn： IICAコントロール・レジスタn0 (IICCTLn0)のビット6

IICEn： IICAコントロール・レジスタn0 (IICCTLn0)のビット7

備考2. n = 0, 1

14.3.5 IICAフラグ・レジスタn (IICFn)

I²Cの動作モードの設定と，I²Cバスの状態を表すレジスタです。

IICFnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STTnクリア・フラグ(STCFn)，I²Cバス状態フラグ(IICBSYn)は読み出しのみ可能です。

IICRSVnビットにより，通信予約機能の禁止／許可を設定します。

またSTCENnビットにより，IICBSYnビットの初期値を設定します。

IICRSVn，STCENnビットはI²Cが動作禁止(IICAコントロール・レジスタn0 (IICCTLn0)のビット7 (IICEn) = n)のときのみ書き込み可能です。動作許可後，IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図14 - 9 IICAフラグ・レジスタn (IICFn)のフォーマット

アドレス：FFF52H (IICF0), FFF56H (IICF1) リセット時：00H R/W注

略号	7	6	5	4	3	2	1	0
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STTnフラグ・クリア。

クリアされる条件(STCFn = 0)	セットされる条件(STCFn = 1)
• STTn = 1によるクリア • IICEn = 0 (動作停止)のとき • リセット時	• 通信予約禁止(IICRSVn = 1)設定時にスタート・コンディション発行できず，STTnビットがクリア(0)されたとき

IICBSYn	I²Cバス状態フラグ
0	バス解放状態(STCENn = 1時の通信初期状態)。
1	バス通信状態(STCENn = 0時の通信初期状態)。

クリアされる条件(IICBSYn = 0)	セットされる条件(IICBSYn = 1)
• ストップ・コンディション検出時 • IICEn = 0 (動作停止)のとき • リセット時	• スタート・コンディション検出時 • STCENn = 0時のIICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可(IICEn = 1)後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可(IICEn = 1)後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件(STCENn = 0)	セットされる条件(STCENn = 1)
• 命令によるクリア • スタート・コンディション検出時 • リセット時	• 命令によるセット

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件(IICRSVn = 0)	セットされる条件(IICRSVn = 1)
• 命令によるクリア • リセット時	• 命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

注意2. STCENn = 1とした場合，実際のバス状態にかかわらずバス解放状態(IICBSYn = 0)と認識しますので，1回目のスタート・コンディションを発行(STTn = 1)する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

備考1. STTn： IICAコントロール・レジスタn0 (IICCTLn0)のビット1

備考2. IICEn： IICAコントロール・レジスタn0 (IICCTLn0)のビット7

備考3. n=0, 1

14.3.6　IICAコントロール・レジスタn1 (IICCTLn1)

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLDn，DADnビットは読み出しのみ可能です。

IICCTLn1 レジスタは，WUPnビットを除きI²Cが動作禁止(IICAコントロール・レジスタn0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により，00Hになります。

図14 - 10 IICAコントロール・レジスタn1 (IICCTLn1)のフォーマット(1/2)

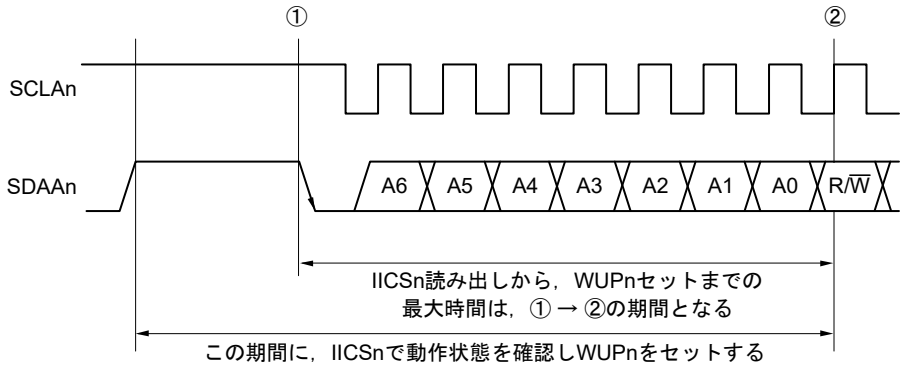
アドレス：F0231H (IICCTL01), F0239H (IICCTL11)　　リセット時：00H　　R/W注1

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
WUPn = 1でSTOPモードに移行する場合は，WUPnビットをセット(1)してfMCKの3クロック以上経過後にSTOP命令を実行してください(図14 - 22　WUPn = 1を設定する場合のフロー参照)。 アドレス一致，または拡張コード受信後はWUPnビットをクリア(0)してください。WUPnビットをクリア(0)することで，その後の通信に参加する事ができます(クロック・ストレッチ解除および送信データ書き込みは，WUPnビットをクリア(0)したあとに行う必要があります)。 WUPn = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUPn = 0の場合の割り込みタイミングと同じです(クロックによるサンプリング誤差分の遅延差は生じます)。また，WUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件(WUPn = 0)	セットされる条件(WUPn = 1)
• 命令によるクリア(アドレス一致もしくは拡張コード受信後)	• 命令によるセット(MSTSn, EXCn, COIn = 0であり，STDn = 0 (通信に不参加である事)のとき)注2

注1.　ビット4, 5はRead Onlyです。

注2.　次に示す期間に，IICAステータス・レジスタn (IICSn)の状態を確認しセットする必要があります。



備考　n = 0, 1

図14 - 10 IICAコントロール・レジスタn1 (IICCTLn1)のフォーマット(2/2)

CLDn	SCLAn端子のレベル検出(IICEn = 1のときのみ有効)
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出
クリアされる条件(CLDn = 0)	セットされる条件(CLDn = 1)
• SCLAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時	• SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出(IICEn = 1のときのみ有効)
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出
クリアされる条件(DADn = 0)	セットされる条件(DADn = 1)
• SDAAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時	• SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作(最大転送レート：100 kbps)
1	ファースト・モード(最大転送レート：400 kbps)またはファースト・モード・プラス(最大転送レート：1 Mbps)で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは，ノイズ除去のために使用します。 DFCnビットのセット(1)／クリア(0)により，転送クロックが変化することはありません。	

PRSn	動作クロック(f_{MCK})の制御
0	f_{CLK}を選択(1 MHz≦f_{CLK}≦20 MHz)
1	f_{CLK}/2を選択(20 MHz＜f_{CLK})

注意1. IICA動作クロック(f_{MCK})の最高動作周波数は20 MHz (Max.)です。f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタn1 (IICCTLn1)のビット0 (PRSn)に“1”を設定してください。

注意2. 転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時 ： f_{CLK} = 3.5 MHz (Min.)

ファースト・モード・プラス時 ： f_{CLK} = 10 MHz (Min.)

標準モード時 ： f_{CLK} = 1 MHz (Min.)

注意3. ファースト・モード・プラスは，A：民生用途(T_A = -40～+85 °C)　D：産業用途(T_A = -40～+85 °C)のみです。

備考1. IICEn：IICAコントロール・レジスタn0 (IICCTLn0)のビット7

備考2. n = 0, 1

14.3.7 IICAロウ・レベル幅設定レジスタn (IICWLn)

シリアル・インタフェースIICAが，出力するSCLAn端子信号のロウ・レベル幅(tLOW)とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは，8ビット・メモリ操作命令で設定します。

IICWLnレジスタは，I2Cが動作禁止(IICAコントロール・レジスタn0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により，FFHになります。

IICWLnの設定方法については，14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

また，データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図14 - 11 IICAロウ・レベル幅設定レジスタn (IICWLn)のフォーマット

アドレス：F0232H (IICWL0), F023AH (IICWL1) リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

14.3.8 IICAハイ・レベル幅設定レジスタn (IICWHn)

シリアル・インタフェースIICAが，出力するSCLAn端子信号のハイ・レベル幅とSDAAn端子信号を制御するレジスタです。

IICWHnレジスタは，8ビット・メモリ操作命令で設定します。

IICWHnレジスタは，I2Cが動作禁止(IICAコントロール・レジスタn0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により，FFHになります。

図14 - 12 IICAハイ・レベル幅設定レジスタn (IICWHn)のフォーマット

アドレス：F0233H (IICWH0), F023BH (IICWH1) リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考1. マスタ側の転送クロックの設定方法は14.4.2 (1)を，スレーブ側のIICWLn，IICWHnレジスタの設定方法は，14.4.2 (2)を参照してください。

備考2. n = 0, 1

14.3.9　IICA入出力端子のポート機能を制御するレジスタ

シリアル・インタフェースIICA使用時は，対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx)，ポート・レジスタ(Pxx)，ポート・モード・コントロール・レジスタ(PMCxx))を設定してください。詳細は，4.3.1　ポート・モード・レジスタ(PMxx)，4.3.2　ポート・レジスタ(Pxx)，4.3.6　ポート・モード・コントロール・レジスタ(PMCxx)を参照してください。

また，製品によって設定するポート・モード・レジスタ(PMxx)，ポート・レジスタ(Pxx)，ポート・モード・コントロール・レジスタ(PMCxx)が異なります。詳細は，4.5　兼用機能使用時のレジスタの設定を参照してください。

IICA端子を兼用するポート(P30/SDAA0など)をIICAとして使用するときは，各ポートに対応するポート・モード・コントロール・レジスタ(PMCxx)のビット，ポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

備考　P30/SDAA0をIICA端子として使用する場合

ポート・モード・コントロール・レジスタ3のPMC30ビットを0に設定

ポート・モード・レジスタ3のPM30ビットを0に設定

ポート・レジスタ3のP30ビットを0に設定

14.4　I²Cバス・モードの機能

14.4.1　端子構成

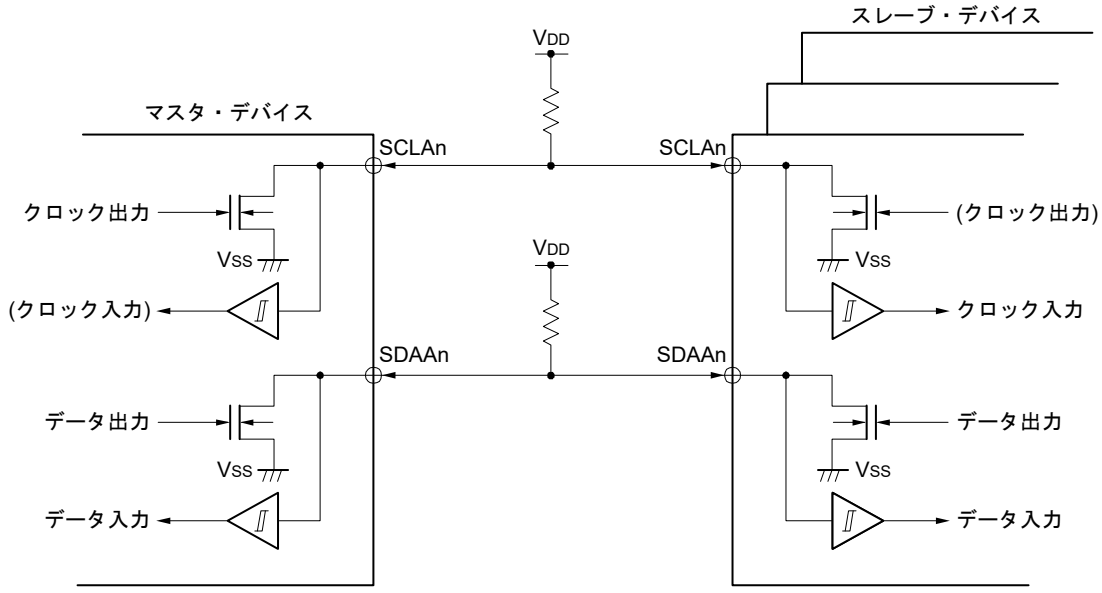
シリアル・クロック端子(SCLAn)と，シリアル・データ・バス端子(SDAAn)の構成は，次のようになっています。

(1)　SCLAn. . . シリアル・クロックを入出力するための端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

(2)　SDAAn. . . シリアル・データの入出力兼用端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図14 - 13 端子構成図



備考　n = 0, 1

14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$転送クロック = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき，最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト･モード時

$$IICWLn = \frac{0.52}{転送クロック} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{転送クロック} - t_R - t_F\right) \times f_{MCK}$$

・標準モード時

$$IICWLn = \frac{0.47}{転送クロック} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{転送クロック} - t_R - t_F\right) \times f_{MCK}$$

・ファースト･モード･プラス時

$$IICWLn = \frac{0.50}{転送クロック} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{転送クロック} - t_R - t_F\right) \times f_{MCK}$$

(2) スレーブ側のIICWLn, IICWHnレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト･モード時

$IICWLn = 1.3\ \mu s \times f_{MCK}$

$IICWHn = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$

・標準モード時

$IICWLn = 4.7\ \mu s \times f_{MCK}$

$IICWHn = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$

・ファースト･モード･プラス時

$IICWLn = 0.50\ \mu s \times f_{MCK}$

$IICWHn = (0.50\ \mu s - t_R - t_F) \times f_{MCK}$

注意1. IICA動作クロック(f_{MCK})の最高動作周波数は20 MHz (Max.)です。f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタn1 (IICCTLn1)のビット0 (PRSn)に “1” を設定してください。

注意2. 転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル･インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時 : f_{CLK} = 3.5 MHz (Min.)

ファースト・モード・プラス時 : f_{CLK} = 10 MHz (Min.)

標準モード時 : f_{CLK} = 1 MHz (Min.)

(備考は，次ページにあります。)

備考1. SDAAn, SCLAn信号の立ち上がり時間(t_R)と立ち下がり時間(t_F)は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

備考2. IICWLn：　IICAロウ・レベル幅設定レジスタn

IICWHn：　IICAハイ・レベル幅設定レジスタn

t_F：　SDAAn, SCLAn信号の立ち下がり時間

t_R：　SDAAn, SCLAn信号の立ち上がり時間

f_{MCK}：　IICA動作クロック周波数

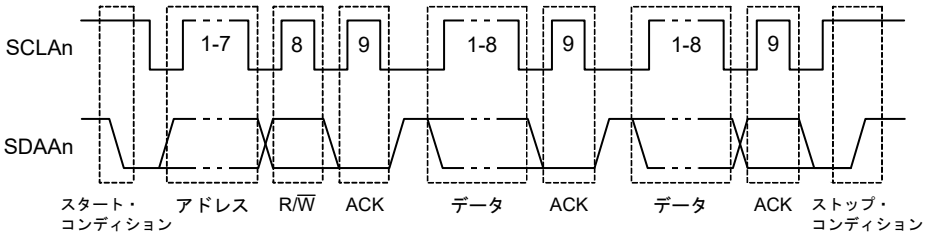
備考3. n = 0, 1

14.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図14 - 14に示します。

図14 - 14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

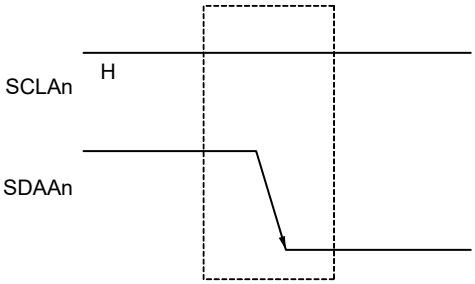
アクノリッジ(ACK)は，マスタ，スレーブのどちらでも生成できます(通常，8ビット・データの受信側が出力します)。

シリアル・クロック(SCLAn)は，マスタが出力し続けます。ただし，スレーブはSCLAn端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

14.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子，SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図14 - 15 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態(SPDn：IICAステータス・レジスタn(IICSn)のビット0 = 1)のときにIICAコントロール・レジスタn0 (IICCTLn0)のビット1 (STTn)をセット(1)すると出力されます。また，スタート・コンディションを検出すると，IICSnレジスタのビット1 (STDn)がセット(1)されます。

備考 n = 0, 1

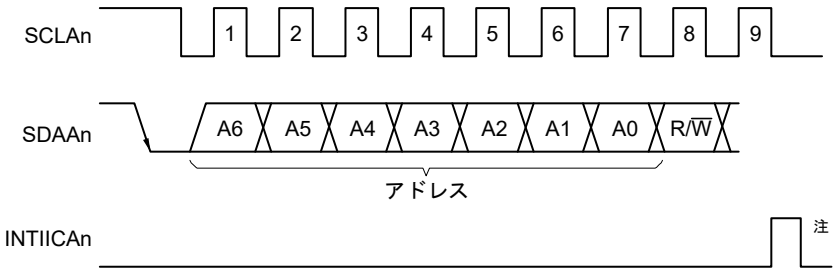
14.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタn (SVAn)と一致しているかを調べます。このとき，7ビット・データとSVAnレジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図14 - 16 アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

アドレスは，スレーブのアドレスと14.5.3　転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタn (IICAn)に書き込むと出力します。また，受信したアドレスはIICAnレジスタに書き込まれます。

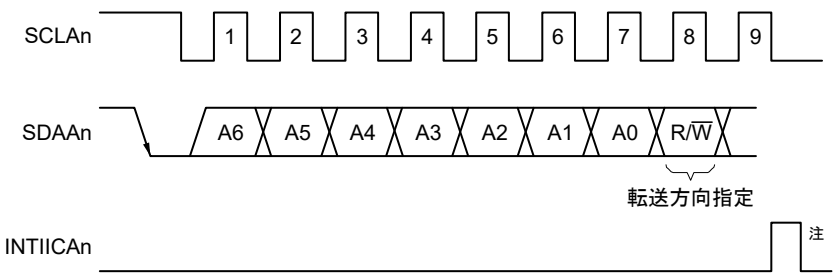
なお，スレーブのアドレスは，IICAnレジスタの上位7ビットに割り当てられます。

14.5.3 転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図14 - 17 転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

備考　n = 0, 1

14.5.4 アクノリッジ(ACK)

アクノリッジ(ACK)によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICA ステータス・レジスタ n (IICSn)のビット2 (ACKDn)で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

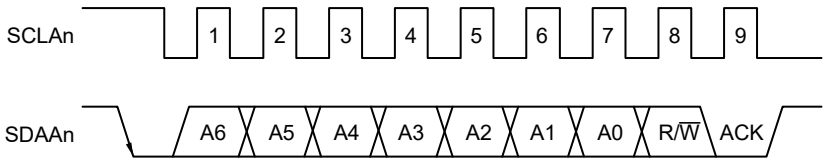
アクノリッジ生成は，受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICA コントロール・レジスタ n0 (IICCTLn0)のビット2 (ACKEn)をセット(1)することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn レジスタのビット3 (TRCn)が設定されます。受信(TRCn = 0)の場合は，通常，ACKEn ビットをセット(1)してください。

スレーブ受信動作時(TRCn = 0)にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKEnビットをクリア(0)し，マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCn = 0)に，次のデータを必要としない場合，アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって，スレーブ送信側にデータの終わりを知らせます(送信停止)。

図14 - 18 アクノリッジ



自局アドレス受信時は，ACKEn ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません(NACK)。

拡張コード受信時は，あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，クロック・ストレッチ・タイミングの設定により次のように異なります。

・8クロック目の立ち下がりに設定した場合(IICCTLn0 レジスタのビット3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前にACKEn ビットをセット(1)することによって，SCLAn 端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

・9クロック目の立ち下がりに設定した場合(IICCTLn0 レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット(1)することによって，アクノリッジを生成します。

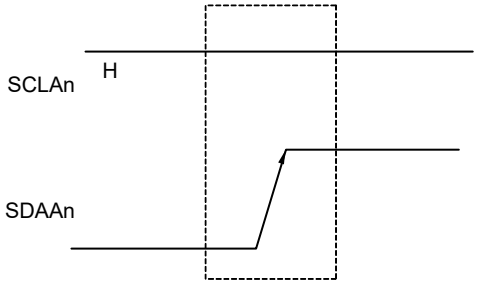
備考 n = 0, 1

14.5.5　ストップ・コンディション

SCLAn 端子がハイ・レベルのときに，SDAAn 端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図14 - 19 ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタn0 (IICCTLn0)のビット0 (SPTn)をセット(1)すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタn (IICSn)のビット0 (SPDn)がセット(1)され，IICCTLn0レジスタのビット4 (SPIEn)がセット(1)されている場合にはINTIICAnが発生します。

備考　n = 0, 1

14.5.6　クロック・ストレッチ

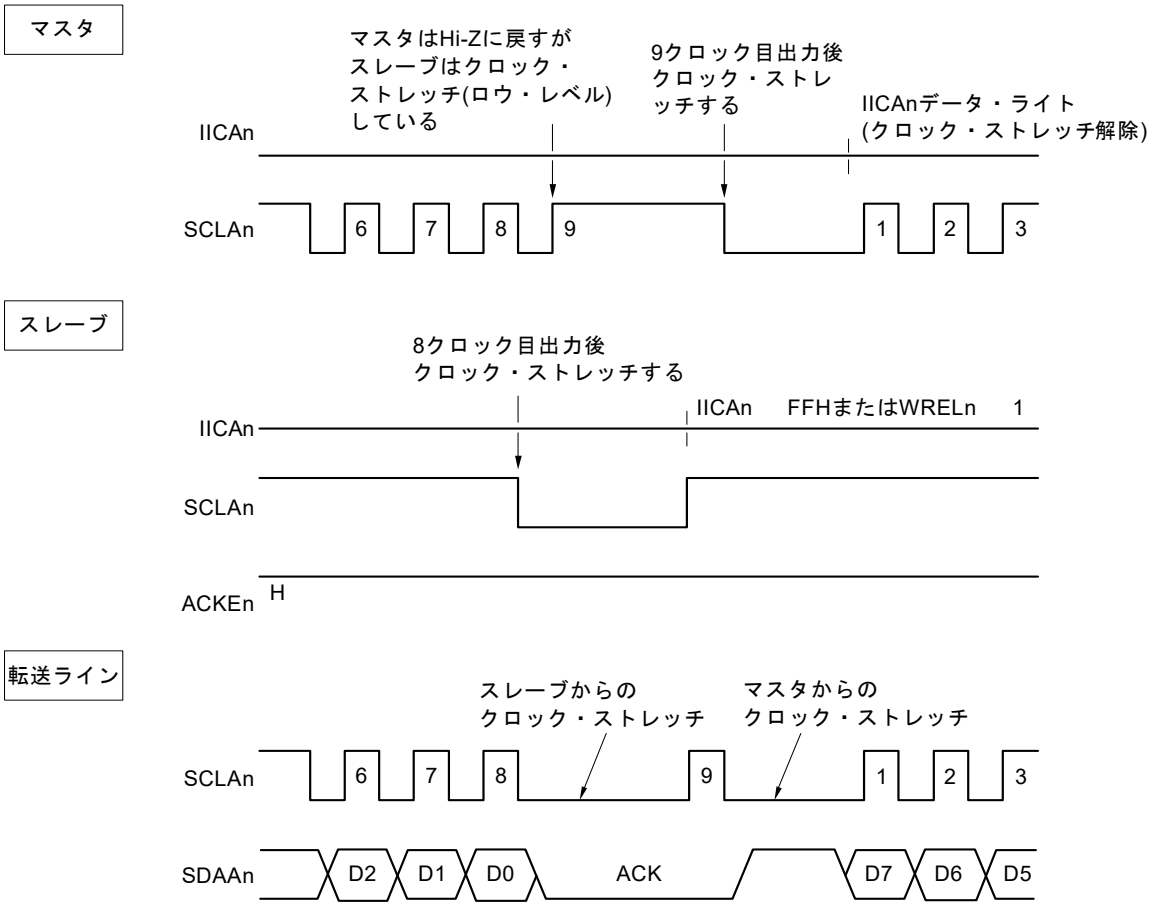
クロック・ストレッチによっては，マスタまたはスレーブがデータの送受信のための準備中(クロック・ストレッチ状態)であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより，相手にクロック・ストレッチ状態を知らせます。マスタ，スレーブ両方のクロック・ストレッチ状態が解除されると，次の転送を開始できます。

図14 - 20 クロック・ストレッチ(1/2)

(1)　マスタは9クロック目の立ち下がりで，スレーブは8クロック目の立ち下がりで，クロック・ストレッチが発生する場合

(マスタ：送信，スレーブ：受信，ACKEn = 1)

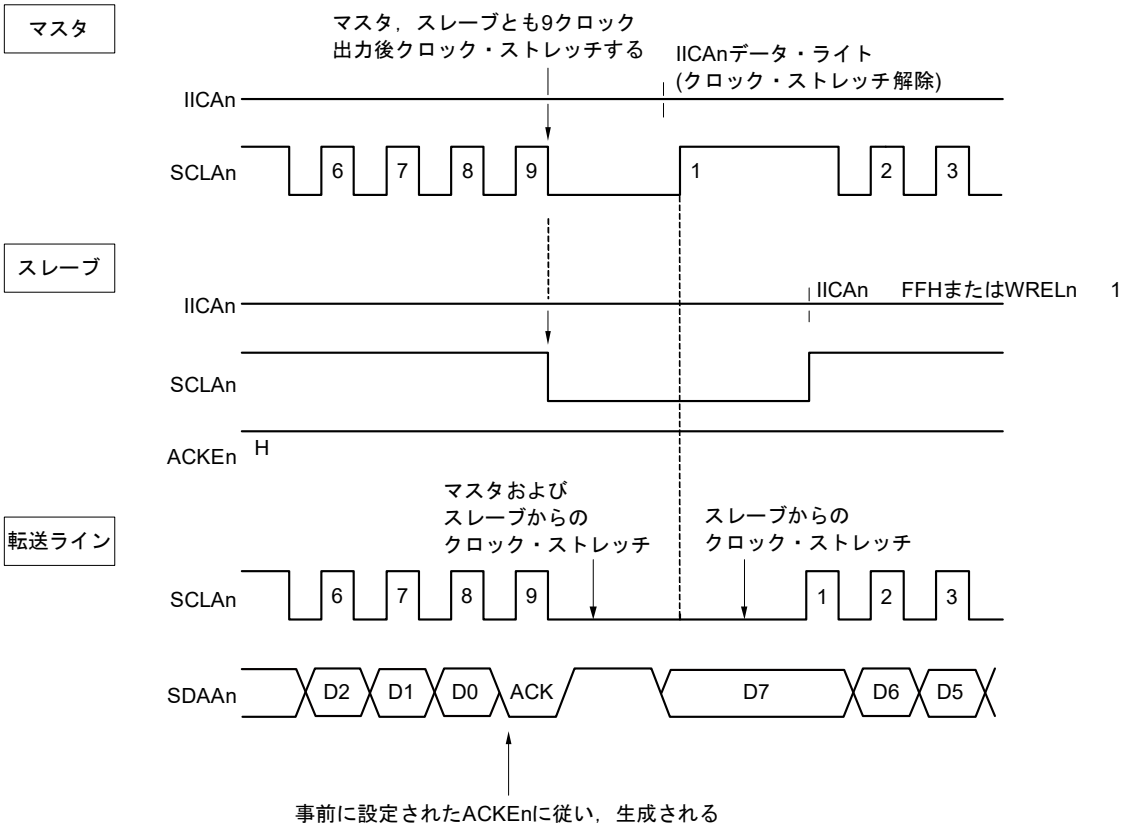


備考　n = 0, 1

図14 - 20 クロック・ストレッチ(2/2)

(2) マスタ，スレーブとも9クロック目の立ち下がりでクロック・ストレッチが発生する場合

(マスタ：送信，スレーブ：受信，ACKEn = 1)



備考 ACKEn： IICAコントロール・レジスタn0 (IICCTLn0)のビット2
WRELn： IICAコントロール・レジスタn0 (IICCTLn0)のビット5

クロック・ストレッチは，IICAコントロール・レジスタn0 (IICCTLn0)のビット3 (WTIMn)の設定により自動的に発生します。

通常，受信側はIICCTLn0 レジスタのビット5 (WRELn ビット) = 1またはIICA シフト・レジスタn (IICAn)にFFHを書き込むとクロック・ストレッチを解除し，送信側はIICAn レジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は，次の方法でもクロック・ストレッチを解除できます。

- IICCTLn0 レジスタのビット1 (STTn) = 1
- IICCTLn0 レジスタのビット0 (SPTn) = 1

備考 n = 0, 1

14.5.7 クロック・ストレッチ解除方法

I²Cでは，通常，次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタn (IICAn)へのデータ書き込み
- IICAコントロール・レジスタn0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)注
- IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合，I²Cはクロック・ストレッチを解除し，通信が再開されます。

クロック・ストレッチを解除してデータ(アドレスを含む)を送信する場合には，IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTLn0レジスタのビット5 (WRELn)をセット(1)してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には，IICCTLn0レジスタのビット1 (STTn)をセット(1)してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には，IICCTLn0レジスタのビット0 (SPTn)をセット(1)してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば，WRELnビットにセット(1)によるクロック・ストレッチ解除後，IICAnレジスタへのデータ書き込みを実施した場合には，SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により，SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICEnビットをクリア(0)すると通信を停止するので，クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTLn0レジスタのビット6 (LRELn)をセット(1)すると通信から退避するので，クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合，クロック・ストレッチは解除されません。

備考 n = 0, 1

14.5.8 割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 3 (WTIMn) の設定で，表 14 - 2 に示すタイミングで INTIICAnが発生し，また，クロック・ストレッチ制御を行います。

表 14 - 2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブの INTIICAn 信号およびクロック・ストレッチは，スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTLn0 レジスタのビット2 (ACKEn)の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAn を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICAn を発生しますが，クロック・ストレッチは発生しません。

注2. スレーブ・アドレス・レジスタ n (SVAn)と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICAn もクロック・ストレッチも発生しません。

備考 表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- スレーブ動作時: WTIMn ビットにかかわらず，上記の注 1，2 の条件により，割り込みおよびクロック・ストレッチ・タイミングが決まります。
- マスタ動作時 : WTIMn ビットにかかわらず，割り込みおよびクロック・ストレッチ・タイミングは，9クロック目の立ち下がりで発生します。

(2) データ受信時

- マスタ／スレーブ動作時：WTIMn ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- マスタ／スレーブ動作時：WTIMn ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0, 1

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- IICAシフト・レジスタn (IICAn)へのデータ書き込み
- IICAコントロール・レジスタn0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)注
- IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)注

注 マスタのみ。

クロック・ストレッチ・タイミングを8クロック目の立ち下がり（WTIM0 = 0）に設定した場合，クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは，ストップ・コンディションを検出すると発生します(SPIEn = 1のときのみ)。

14.5.9 アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn (SVAn)に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICAn割り込み要求が発生します。

14.5.10 エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス(SDAAn)の状態が，送信しているデバイスのIICAシフト・レジスタn (IICAn)にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0, 1

14.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ(EXCn)をセット(1)し，8クロック目の立ち下がりで割り込み要求(INTIICAn)を発生します。
スレーブ・アドレス・レジスタn (SVAn)に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに，10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は，次のようになります。ただし割り込み要求(INTIICAn)は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致：EXCn = 1
・7ビット・データの一致：COIn = 1

備考 EXCn： IICAステータス・レジスタn (IICSn)のビット5
COIn： IICAステータス・レジスタn (IICSn)のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICA コントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表14 - 3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後，リード・コマンド発行時)

備考1. 上記以外の拡張コードについては，NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0, 1

14.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合(STDn = 1になる前にSTTn = 1にしたとき),データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタn (IICSn)のアービトレーション負けフラグ(ALDn)をセット(1)し，SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

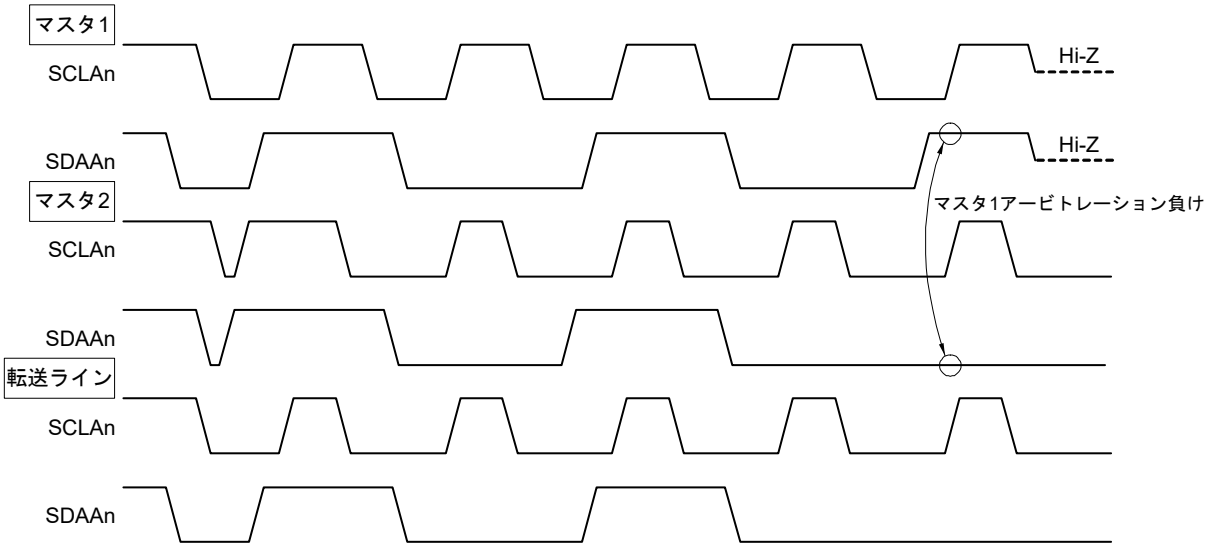
アービトレーションに負けたことは，次の割り込み要求発生タイミング(8または9クロック目，ストップ・コンディション検出など)で，ソフトウエアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては，14.5.8　割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考　STDn：IICAステータス・レジスタn (IICSn)のビット1

STTn：IICAコントロール・レジスタn0 (IICCTLn0)のビット1

図14 - 21 アービトレーション・タイミング例



備考　n = 0, 1

表14 - 4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1.　WTIMnビット(IICAコントロール・レジスタn0 (IICCTLn0)のビット3) = 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

注2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn：IICAコントロール・レジスタn0 (IICCTLn0)のビット4

備考2. n = 0, 1

14.5.13 ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生する機能です。

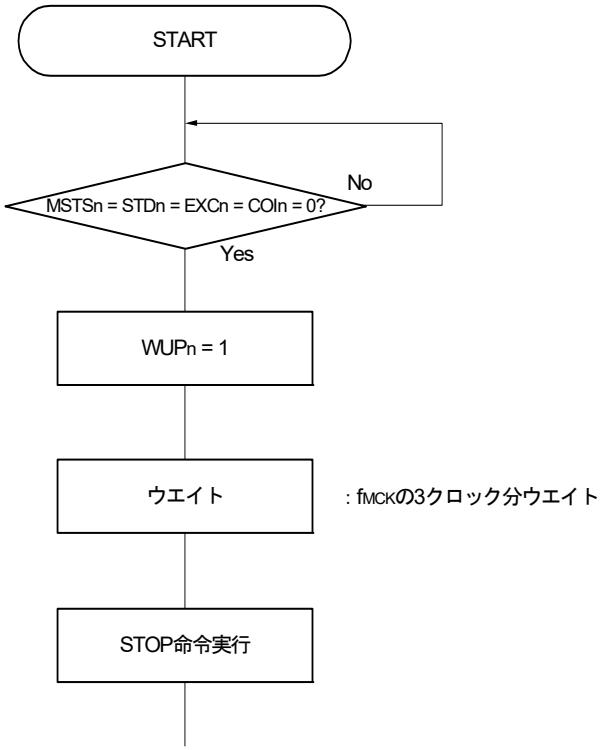
アドレスが一致しないときは不要なINTIICAn信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ(スタート・コンディションを生成した場合)でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生します。この割り込み発生後に命令でWUPnビットをクリア(0)することで通常動作に戻ります。

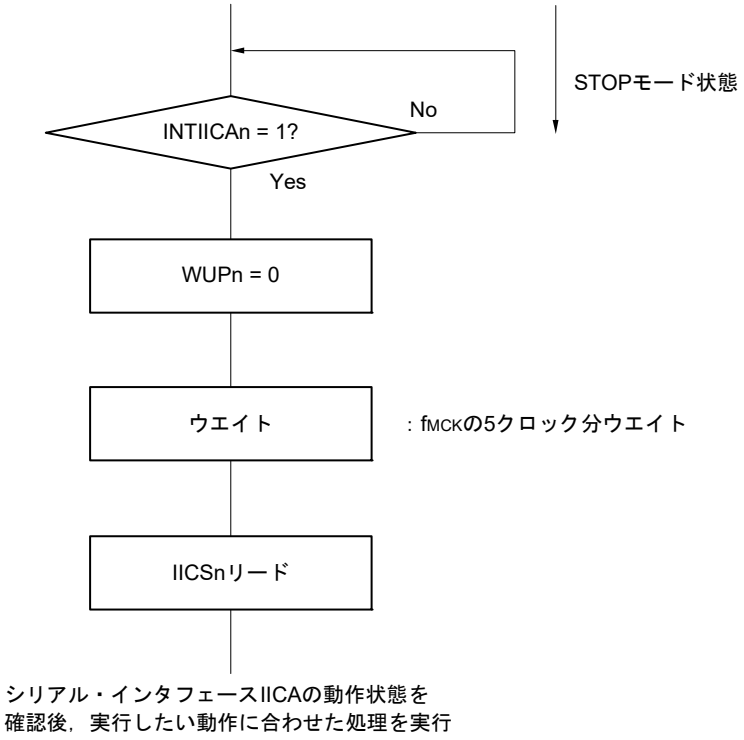
WUPn = 1に設定する場合のフローを図14 - 22に，アドレス一致によりWUPn = 0に設定する場合のフローを図14 - 23に示します。

図14 - 22 WUPn = 1を設定する場合のフロー



備考 n = 0, 1

図14 - 23 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む)



また，シリアル・インタフェースIICAからの割り込み要求(INTIICAn)以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

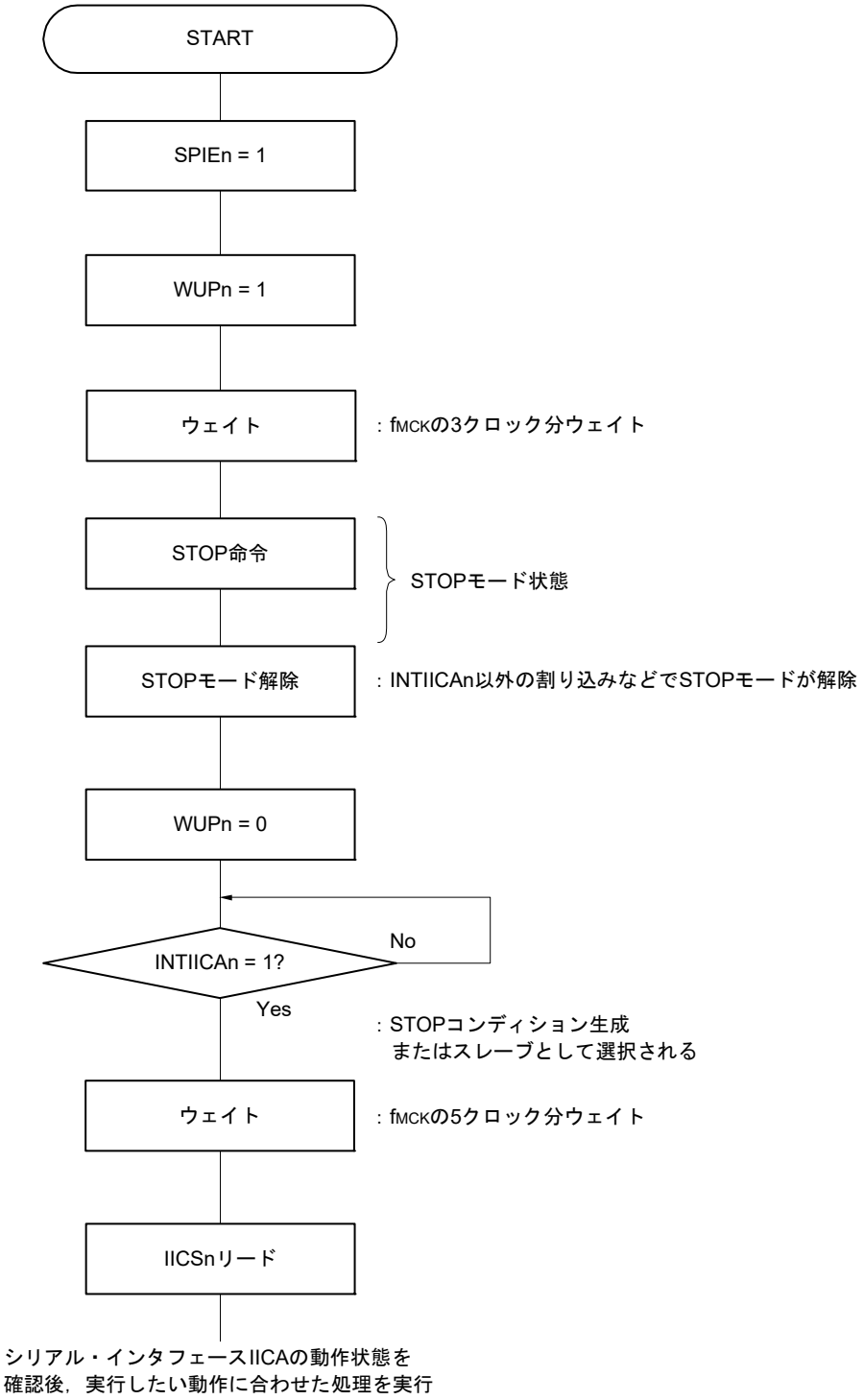
- 次のIIC通信をマスタとして動作させる場合：図14 - 24のフロー
- 次のIIC通信をスレーブとして動作させる場合：

INTIICAn割り込みで復帰した場合：　図14 - 23のフローと同じになります。

INTIICAn割り込み以外の割り込みで復帰した場合：　INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考　n = 0, 1

図14 - 24 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考　n = 0, 1

14.5.14 通信予約

(1)　通信予約機能許可の場合(IICAフラグ・レジスタn (IICFn)のビット0 (IICRSVn) = 0)

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず，IICAコントロール・レジスタn0 (IICCTLn0)のビット6 (LRELn) = 1で通信退避してバスを解放した)とき

バスに不参加の状態で，IICCTLn0レジスタのビット1 (STTn)をセット(1)すると，バスが解放されたあと(ストップ・コンディション検出時)に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTLn0 レジスタのビット4 (SPIEn) をセット (1) し，割り込み要求信号 (INTIICAn) 発生でバスの解放を検出(ストップ・コンディション検出)したあと，IICAシフト・レジスタn (IICAn)にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICAn レジスタに書き込まれたデータは，無効です。

STTnビットをセット(1)したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき ..... スタート・コンディション生成
・バスが解放されていないとき(待機状態) ..... 通信予約

通信予約として動作するのかどうかは，STTnビットをセット(1)し，ウエイト時間をとったあと，MSTSnビット(IICAステータス・レジスタn (IICSn)のビット7)で確認します。

ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

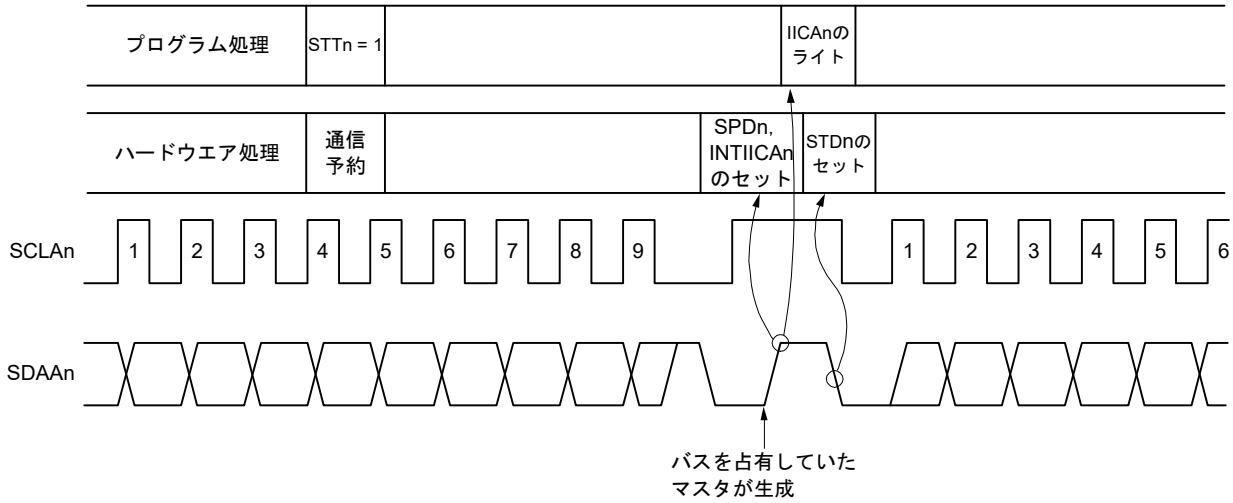
STTn = 1からMSTSnフラグ確認までのウエイト時間： （IICWLnの設定値＋IICWHnの設定値＋4）/ f_{MCK} ＋ t_F×2

備考1. IICWLn：　IICAロウ・レベル幅設定レジスタn
IICWHn：　IICAハイ・レベル幅設定レジスタn
t_F：　SDAAn, SCLAn信号の立ち下がり時間
f_{MCK}：　IICA動作クロック周波数

備考2. n = 0, 1

通信予約のタイミングを図14 - 25に示します。

図14 - 25 通信予約のタイミング



備考 IICAn : IICAシフト・レジスタn

STTn : IICAコントロール・レジスタn0 (IICCTLn0)のビット1

STDn : IICAステータス・レジスタn (IICSn)のビット1

SPDn : IICAステータス・レジスタn (IICSn)のビット0

通信予約は図14 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタn (IICSn)のビット1 (STDn) = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタn0 (IICCTLn0)のビット1 (STTn) = 1で通信予約をします。

図14 - 26 通信予約受け付けタイミング

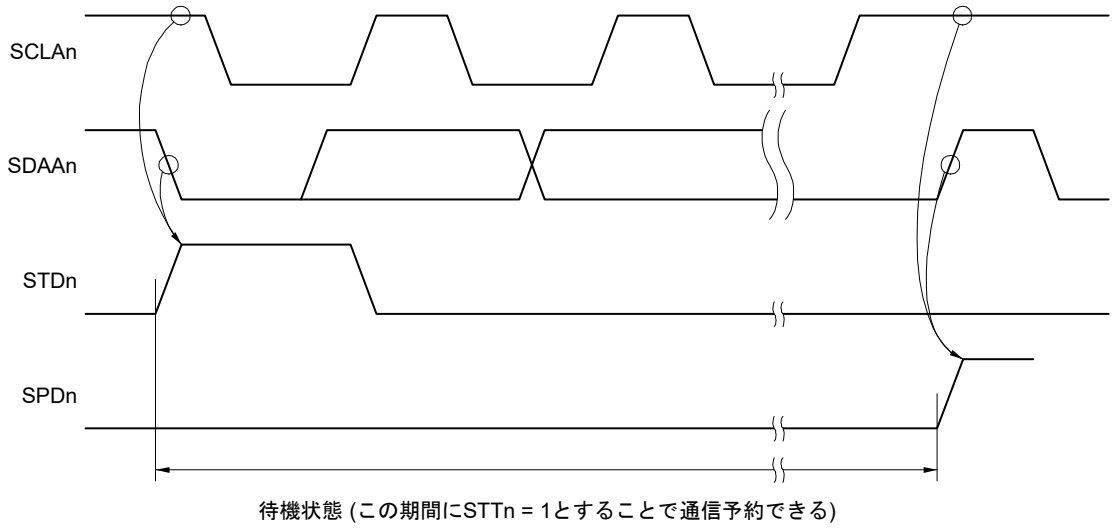
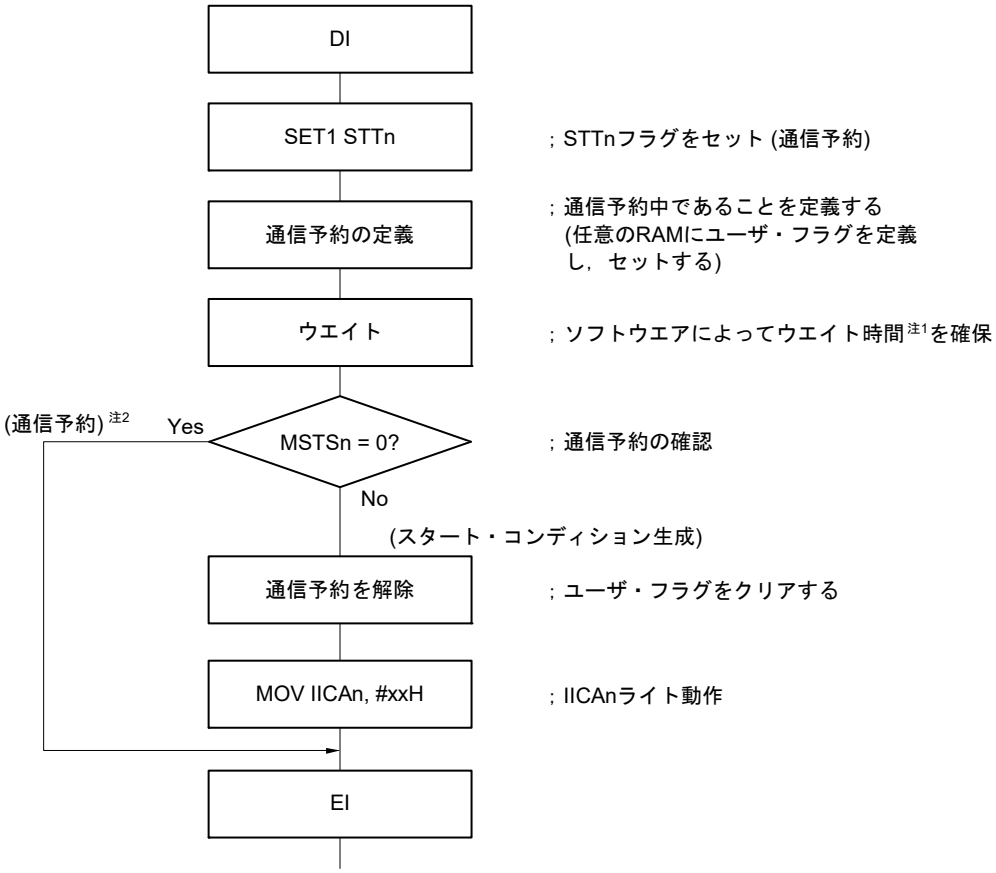


図14 - 27に通信予約の手順を示します。

備考 n = 0, 1

図14 - 27 通信予約の手順



注1. ウエイト時間は次のようになります。
（IICWLnの設定値＋IICWHnの設定値＋4）/ f_{MCK} ＋ t_F×2

注2. 通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn)への書き込みを実行します。

備考1. STTn： IICAコントロール・レジスタn0 (IICCTLn0)のビット1
MSTSn： IICAステータス・レジスタn (IICSn)のビット7
IICAn： IICAシフト・レジスタn
IICWLn： IICAロウ・レベル幅設定レジスタn
IICWHn： IICAハイ・レベル幅設定レジスタn
t_F： SDAAn, SCLAn信号の立ち下がり時間
f_{MCK} ： IICA動作クロック周波数

備考2. n = 0, 1

(2)　通信予約機能禁止の場合(IICAフラグ・レジスタn (IICFn)のビット0 (IICRSVn) = 1)

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタn0 (IICCTLn0)のビット1 (STTn)をセット(1)すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず，IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した)とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCFn (IICFnレジスタのビット7)で確認できます。STTn = 1としてからSTCFnがセット(1)されるまでf_{MCK}の5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

備考　n = 0, 1

14.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可(IICEn = 1)直後，実際のバス状態にかかわらず通信状態(IICBSYn = 1)と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない(ストップ・コンディションを検出していない)状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタn1 (IICCTLn1)を設定する

② IICAコントロール・レジスタn0 (IICCTLn0)のビット7 (IICEn)をセット(1)する

③ IICCTLn0レジスタのビット0 (SPTn)をセット(1)する

(2) STCENn = 1の場合

I²C動作許可(IICEn = 1)直後，実際のバス状態にかかわらず解放状態(IICBSYn = 0)と認識しますので，1回目のスタート・コンディションを生成(STTn = 1)する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで，かつSCLAn端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²Cのマクロは SDAAn端子がハイ・レベルからロウ・レベルに変化したと認識(スタート・コンディション検出)します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTLn0レジスタのビット4 (SPIEn)をクリア(0)し，ストップ・コンディション検出による割り込み要求信号(INTIICAn)発生を禁止する

② IICCTLn0レジスタのビット7 (IICEn)をセット(1)し，I²Cの動作を許可する

③ スタート・コンディションを検出するまで待つ

④ アクノリッジを返すまで(IICEnビットをセット(1)してから，f_{MCK}の4～72クロック)に，IICCTLn0レジスタのビット6 (LRELn)をセット(1)にし，強制的に検出を無効とする

(4) STTn, SPTnビット(IICCTLn0レジスタのビット1, 0)をセットしたあと，クリア(0)される前の再セットは禁止します。

(5) 送信予約をした場合には，SPIEnビット(IICCTLn0レジスタのビット4)をセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタn (IICAn)に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTSnビット(IICAステータス・レジスタn (IICSn)のビット7)を検出する場合には，SPIEnビットをセット(1)する必要はありません。

備考 n = 0, 1

14.5.16 通信動作

ここでは，次の3つの動作手順をフローとして示します。

(1)　シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2)　マルチマスタ・システムでのマスタ動作

I²C バスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²C バスの仕様だけでは判断できません。ここでは，一定(1 フレーム)期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」,「通信待ち」,「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3)　スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

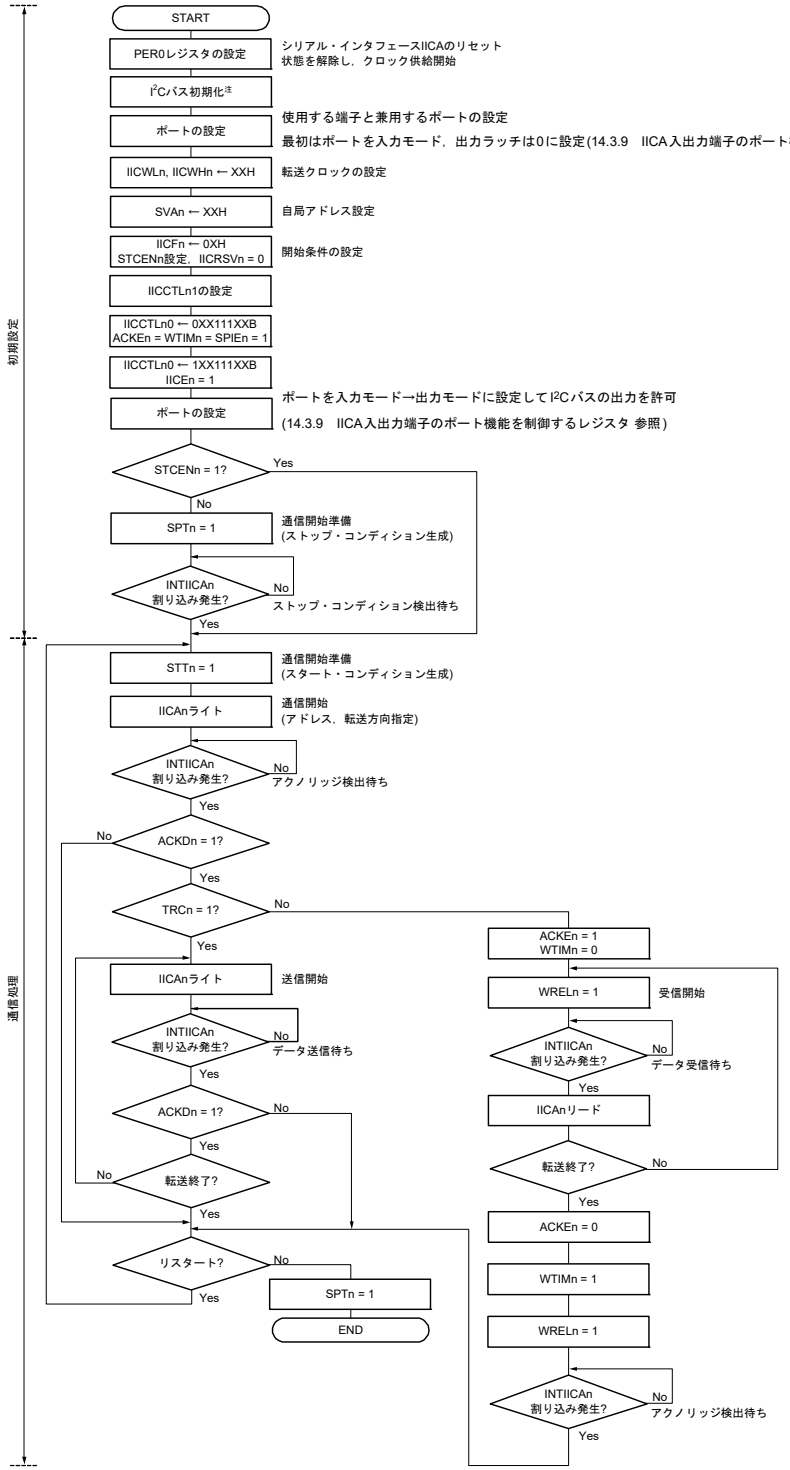
スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

備考　n = 0, 1

(1) シングルマスタ・システムでのマスタ動作

図14 - 28 シングルマスタ・システムでのマスタ動作



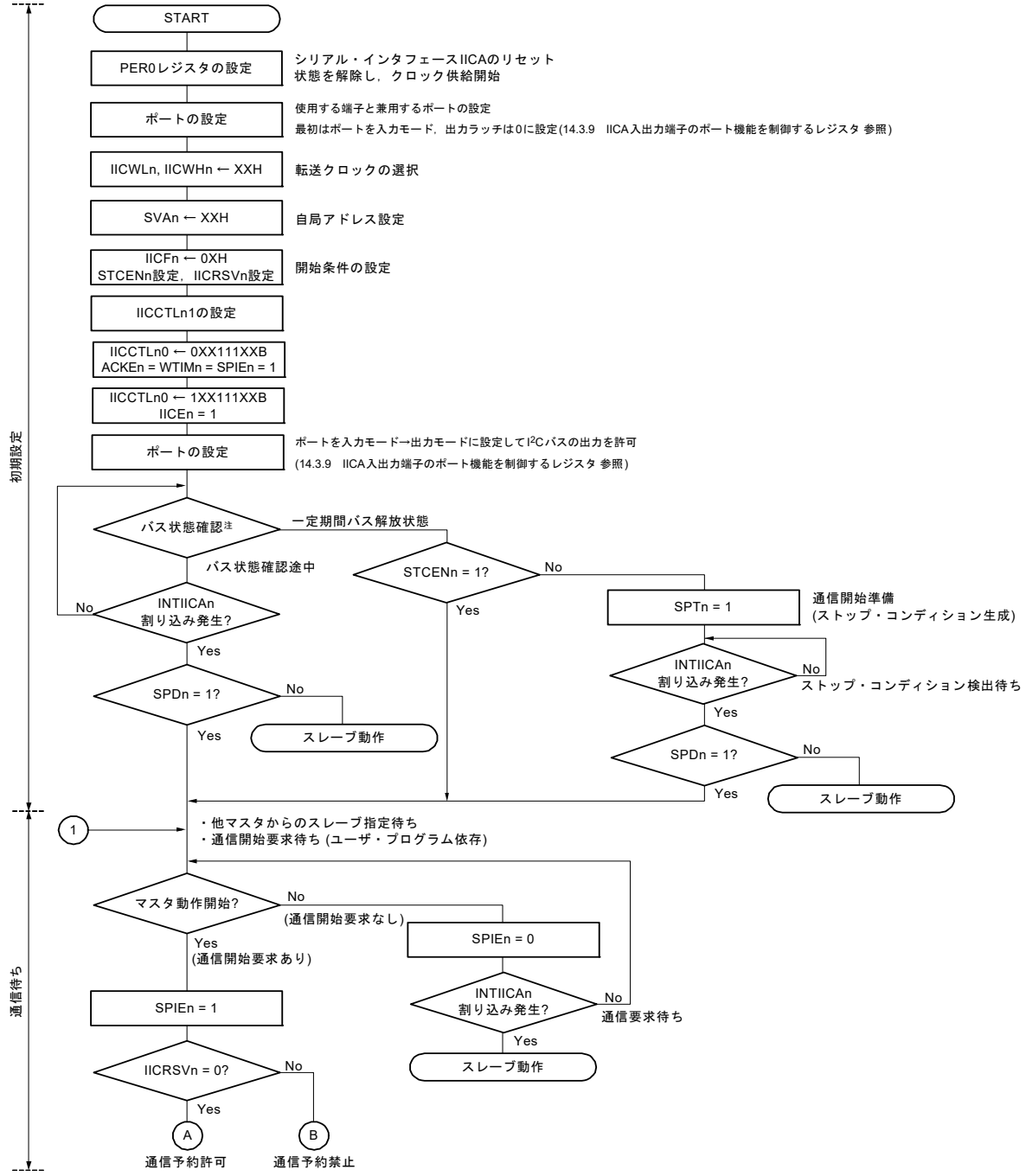
注 通信している製品の仕様に準拠し，I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)してください。たとえば，EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば，SCLAn端子を出力ポートに設定し，SDAAn端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは，通信している製品の仕様に準拠してください。

備考2. n = 0, 1

(2) マルチマスタ・システムでのマスタ動作

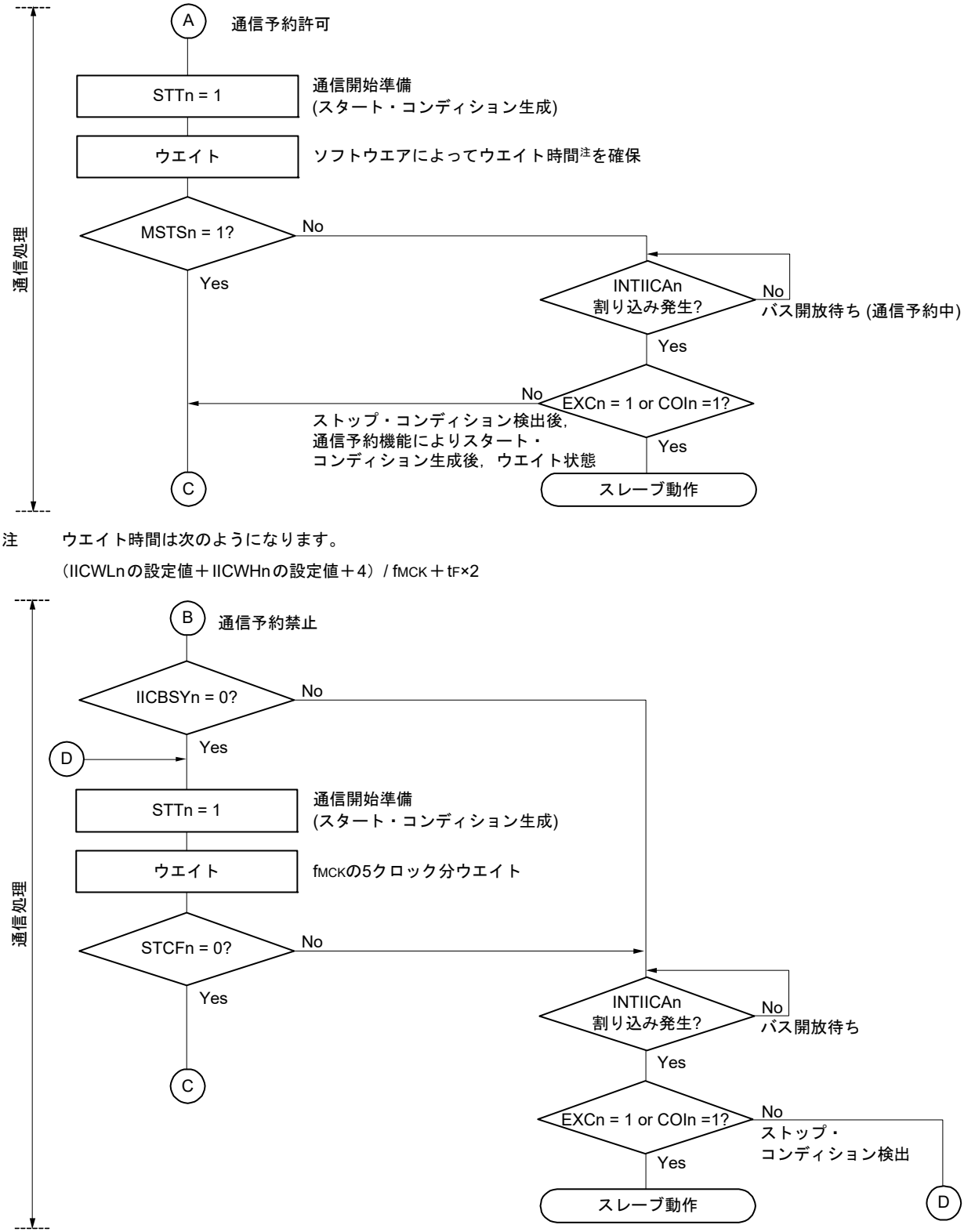
図14 - 29 マルチマスタ・システムでのマスタ動作(1/3)



注 一定期間(たとえば1フレーム分)，バス解放状態(CLDnビット = 1, DADnビット = 1)であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I2Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)するか判断してください。

備考 n = 0, 1

図14 - 29 マルチマスタ・システムでのマスタ動作(2/3)



注 ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値＋4）/ f_{MCK} ＋ t_F×2

備考1. IICWLn： IICAロウ・レベル幅設定レジスタn

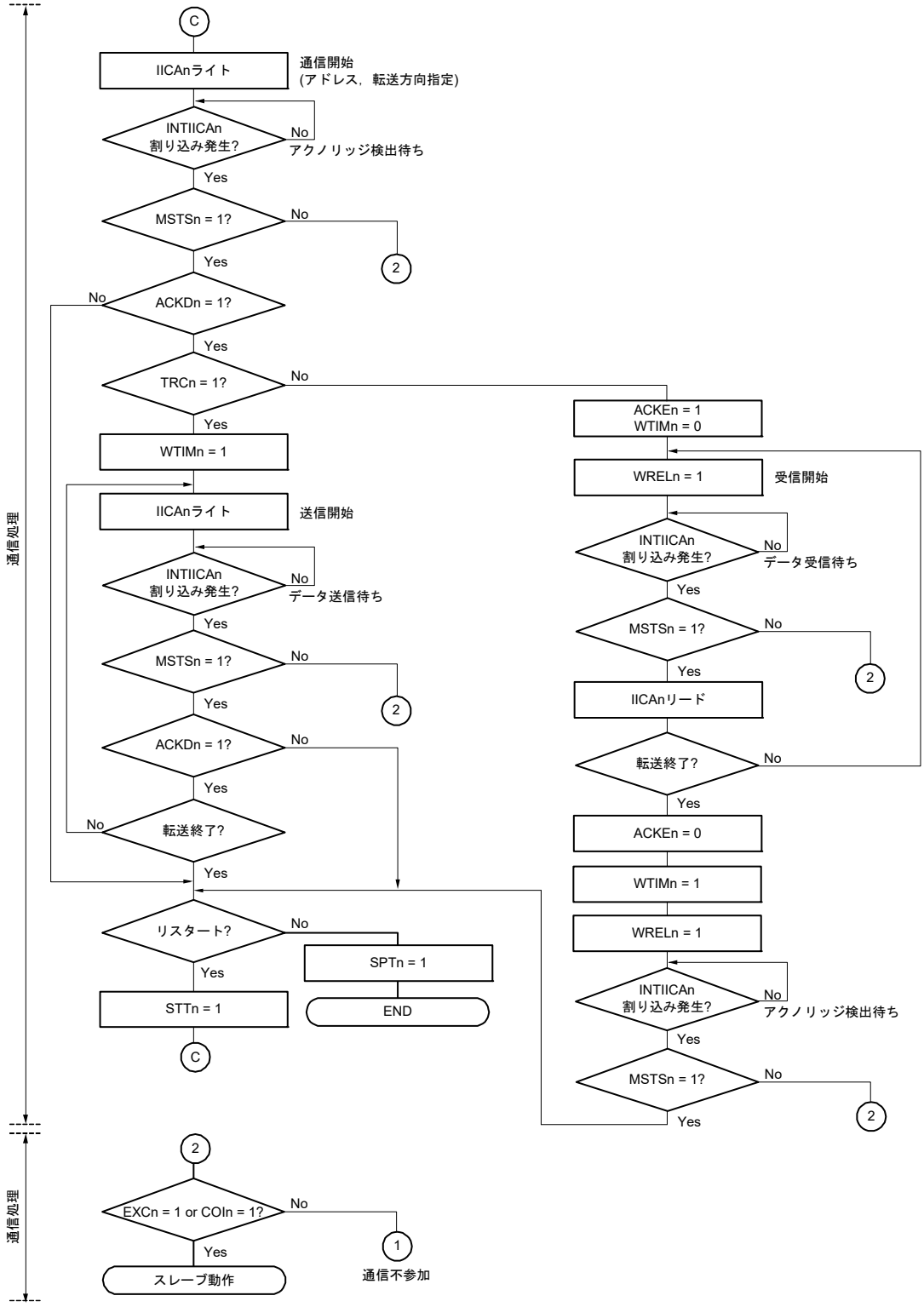
IICWHn： IICAハイ・レベル幅設定レジスタn

t_F： SDAAn, SCLAn信号の立ち下がり時間

f_{MCK} ： IICA動作クロック周波数

備考2. n = 0, 1

図14 - 29 マルチマスタ・システムでのマスタ動作(3/3)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

備考2. マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

備考3. マルチマスタ・システムでスレーブとして使用する場合は，INTIICAn 割り込み発生ごとに IICA ステータス・レジスタ n (IICSn)，IICAフラグ・レジスタn (IICFn)でステータスを確認して次に行う処理を決定してください。

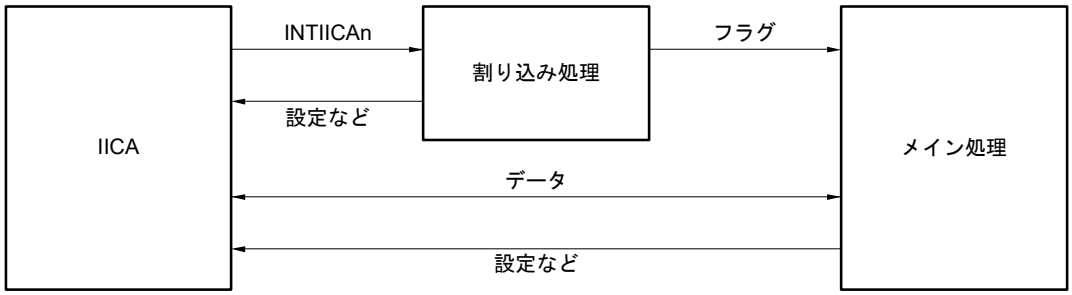
備考4. n = 0, 1

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理(通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理)が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICAnの代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード： データ通信を行っていない状態

・通信モード： データ通信を行っている状態(有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致)

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります(アドレス一致自体が次のデータの要求と解釈します)。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考 n = 0, 1

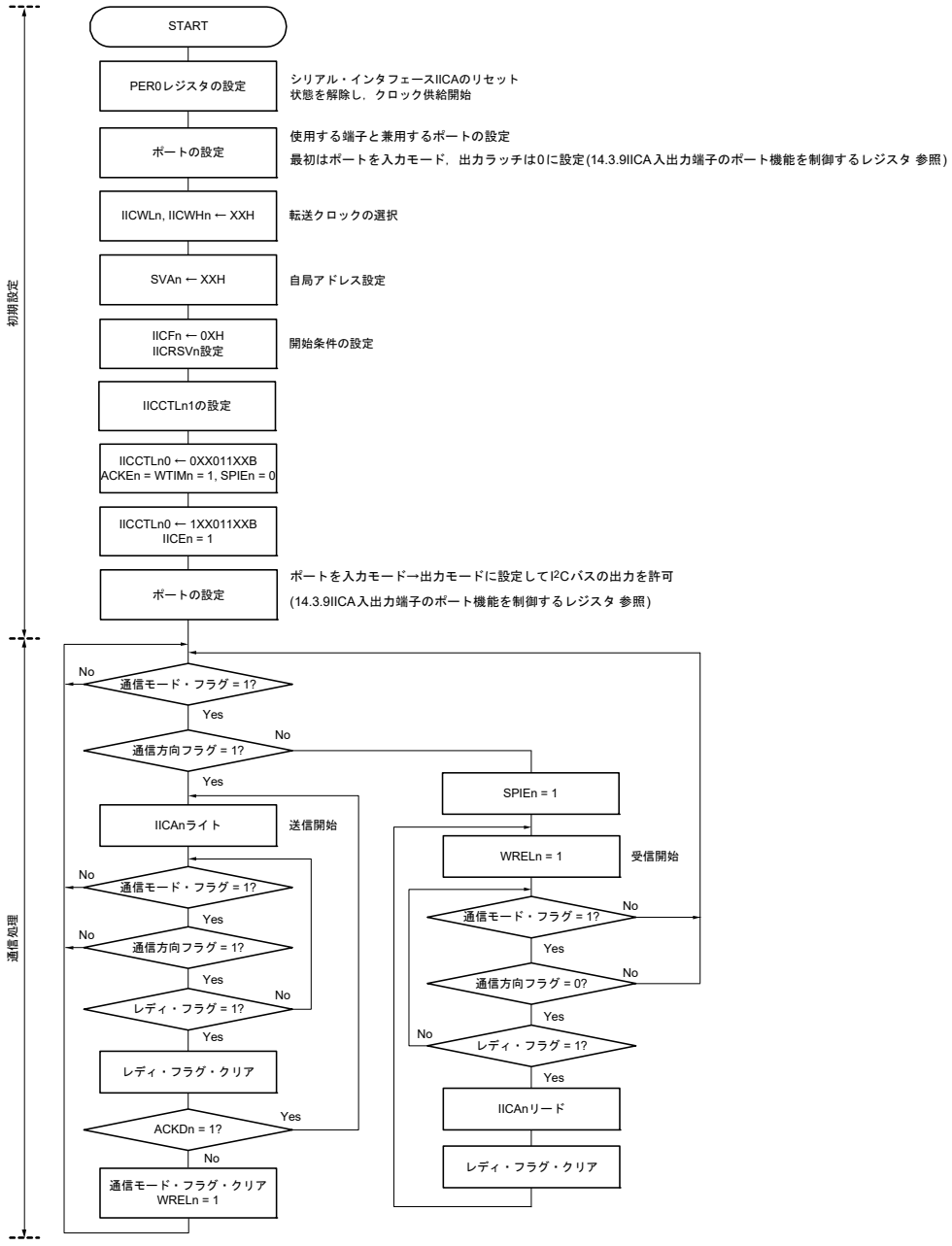
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います(ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します)。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図14 - 30 スレーブ動作手順(1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

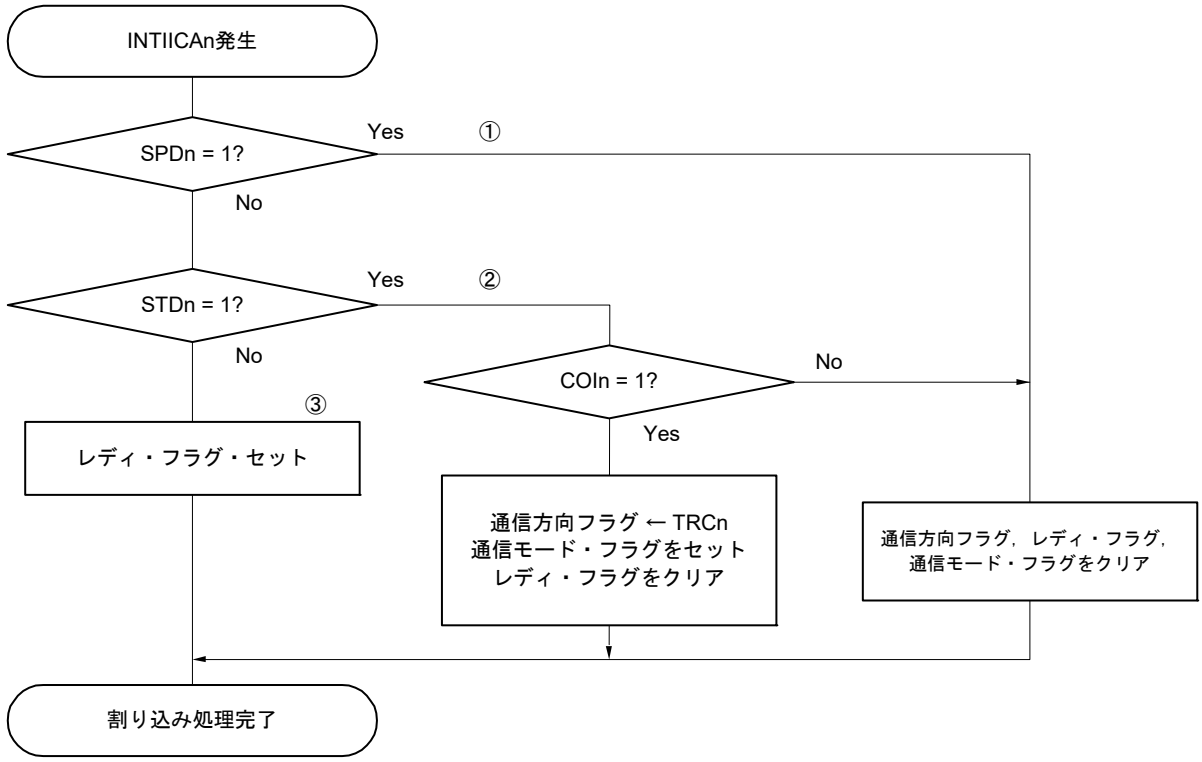
備考2. n = 0, 1

スレーブのINTIICAn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICAn割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。
アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります(レディ・フラグはクリアする)。
③ データ送受信の場合，レディ・フラグをセットするだけで，I²C バスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，図14 - 31　スレーブ動作手順(2)の①～③と対応しています。

図14 - 31 スレーブ動作手順(2)



備考　n = 0, 1

14.5.17 I²C割り込み要求(INTIICAn)の発生タイミング

次に，データの送受信，INTIICAn割り込み要求信号発生タイミングと，INTIICAn信号タイミングでのIICAステータス・レジスタn (IICSn)の値を示します。

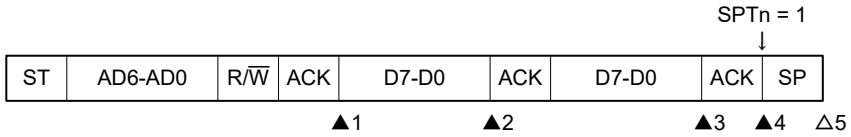
備考1. ST：スタート・コンディション
AD6-AD0：アドレス
R/$\overline{W}$：転送方向指定
ACK：アクノリッジ
D7-D0：データ
SP：ストップ・コンディション

備考2. n = 0, 1

(1) マスタ動作

(a) Start～Address～Data～Data～Stop (送受信)

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B

▲3：IICSn = 1000×000B (WTIMnビットをセット(1))注

▲4：IICSn = 1000××00B (SPTnビットをセット(1))

△5：IICSn = 00000001B

注 ストップ・コンディションを生成するために，WTIMnビットをセット(1)し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B

▲3：IICSn = 1000××00B (SPTnビットをセット(1))

△4：IICSn = 00000001B

備考 ▲ 必ず発生

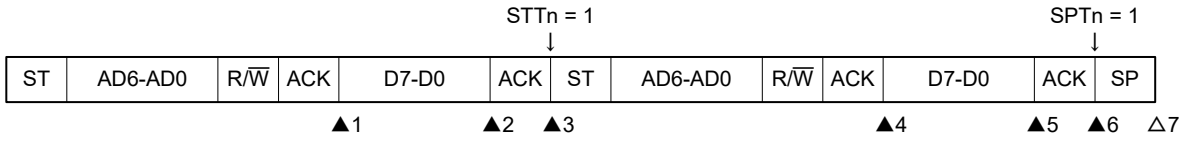
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(b) Start～Address～Data～Start～Address～Data～Stop (リスタート)

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B (WTIMnビットをセット(1)注1)

▲3：IICSn = 1000××00B (WTIMnビットをクリア(0)注2，STTnビットをセット(1))

▲4：IICSn = 1000×110B

▲5：IICSn = 1000×000B (WTIMnビットをセット(1)注3)

▲6：IICSn = 1000××00B (SPTnビットをセット(1))

△7：IICSn = 00000001B

注1. スタート・コンディションを生成するために，WTIMnビットをセット(1)し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

注2. 設定を元に戻すために，WTIMnビットをクリア(0)してください。

注3. ストップ・コンディションを生成するために，WTIMnビットをセット(1)し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

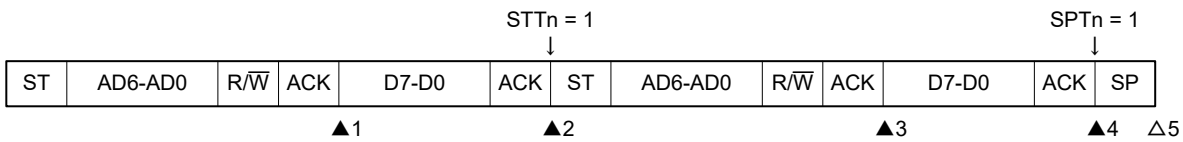
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B (STTnビットをセット(1))

▲3：IICSn = 1000×110B

▲4：IICSn = 1000××00B (SPTnビットをセット(1))

△5：IICSn = 00000001B

備考 ▲ 必ず発生

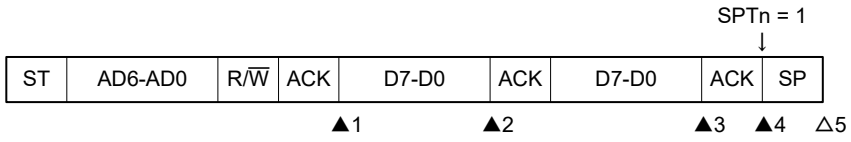
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(c) Start～Code～Data～Data～Stop (拡張コード送信)

(i) WTIMn = 0のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×000B

▲3：IICSn = 1010×000B (WTIMnビットをセット(1)注)

▲4：IICSn = 1010××00B (SPTnビットをセット(1))

△5：IICSn = 00000001B

注 ストップ・コンディションを生成するために，WTIMnビットをセット(1)し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

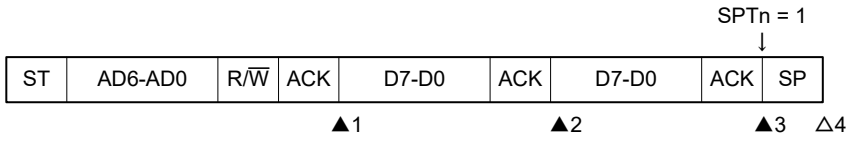
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×100B

▲3：IICSn = 1010××00B (SPTnビットをセット(1))

△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

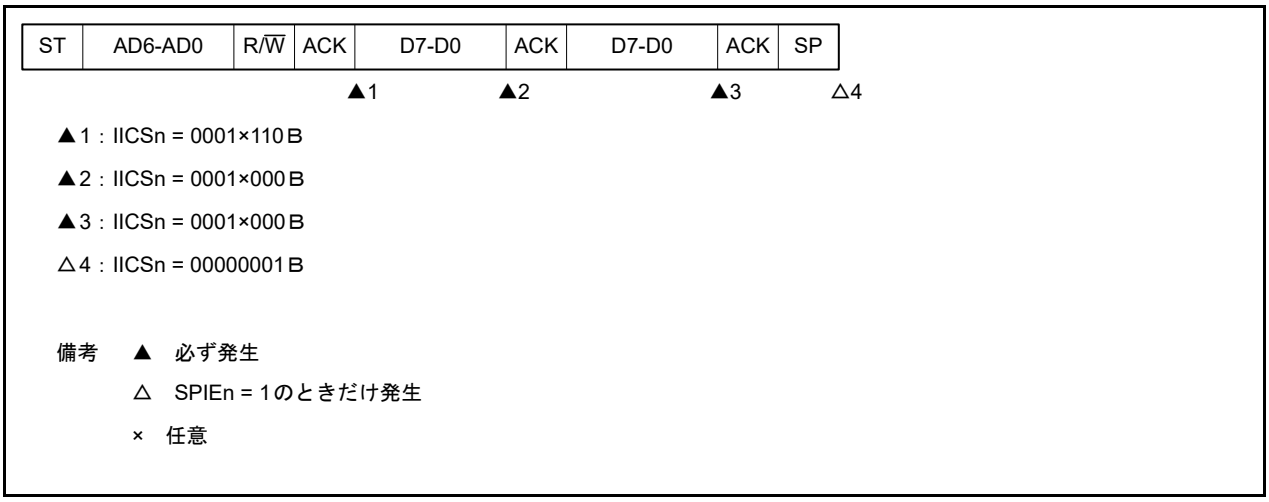
× 任意

備考 n = 0, 1

(2)　スレーブ動作(スレーブ・アドレス受信時)

(a) Start～Address～Data～Data～Stop

(i) WTIMn = 0のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

△4：IICSn = 00000001B

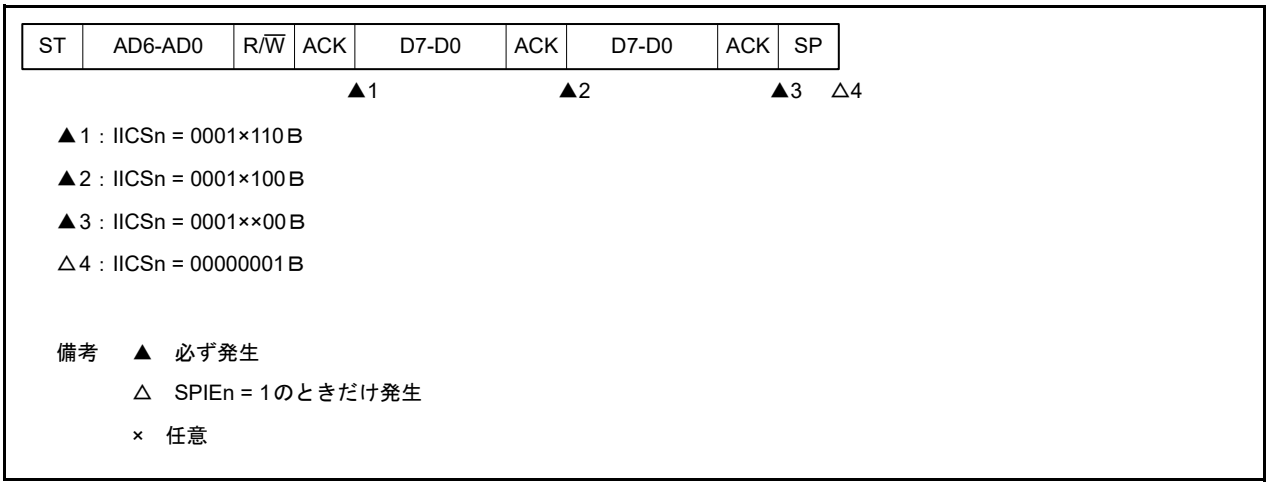
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考　▲　必ず発生

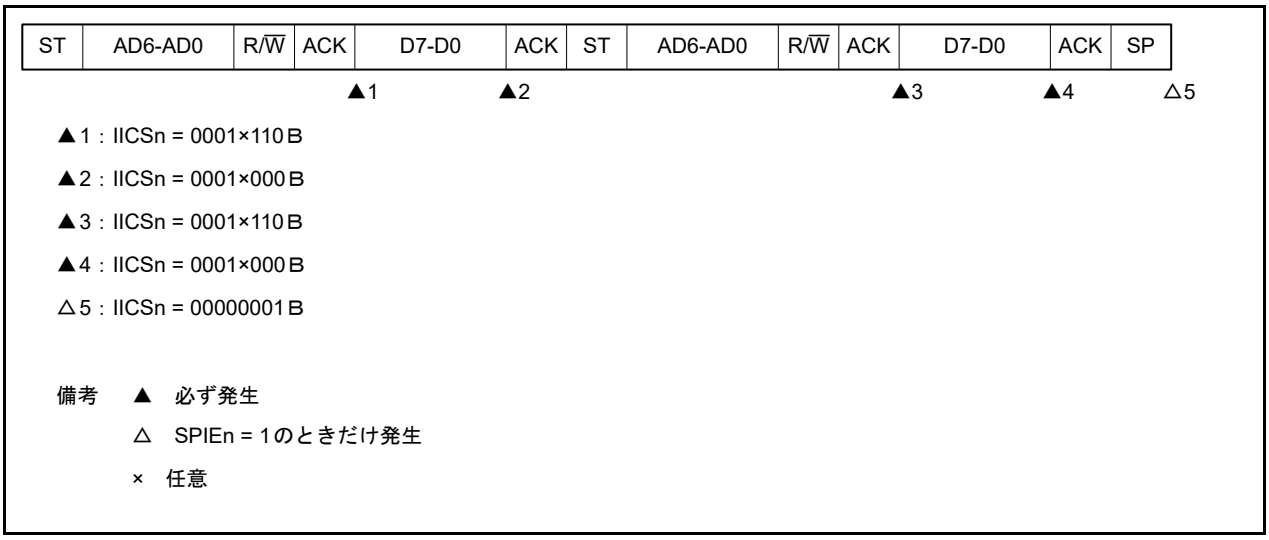
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(b) Start～Address～Data～Start～Address～Data～Stop

(i) WTIMn = 0のとき(リスタート後，SVAn一致)



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

△5：IICSn = 00000001B

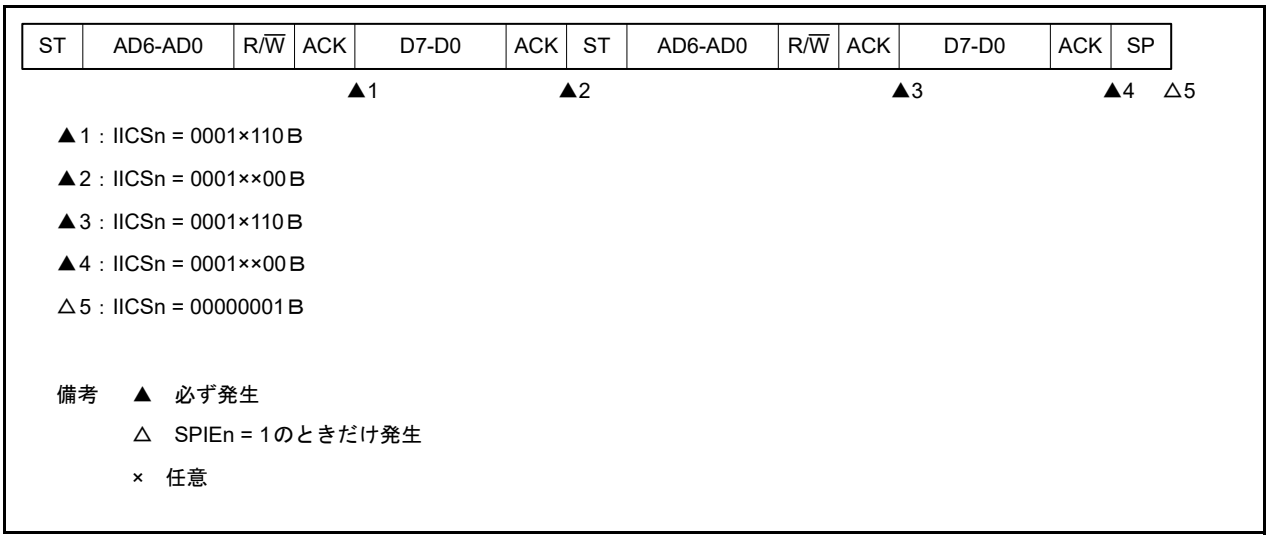
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(ii) WTIMn = 1のとき(リスタート後，SVAn一致)



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

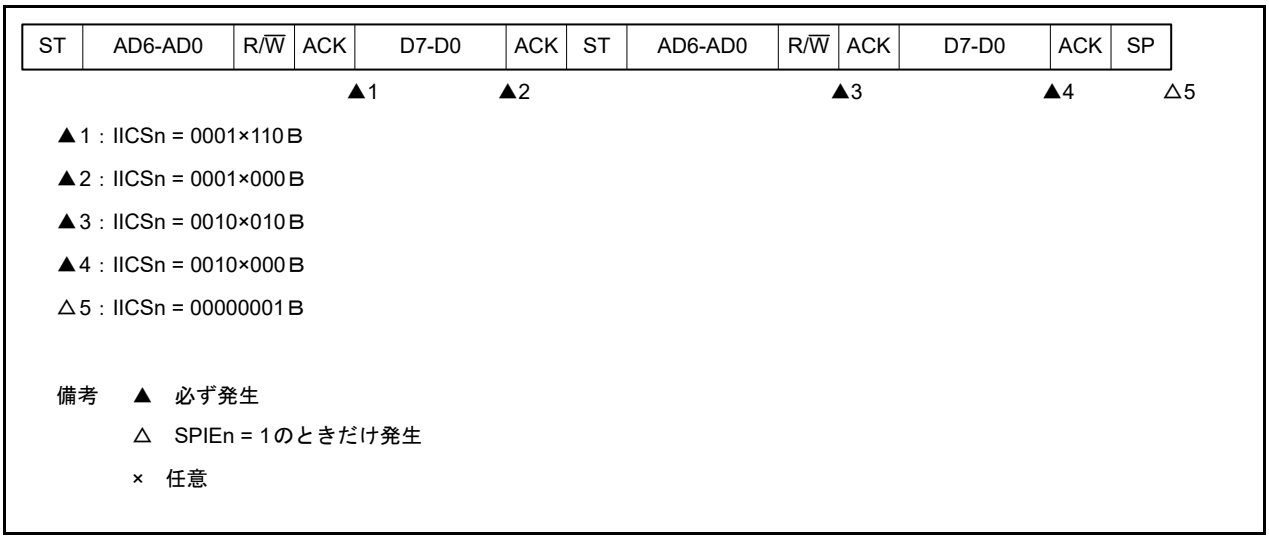
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(c) Start～Address～Data～Start～Code～Data～Stop

(i) WTIMn = 0のとき(リスタート後，アドレス不一致(拡張コード))



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

△5：IICSn = 00000001B

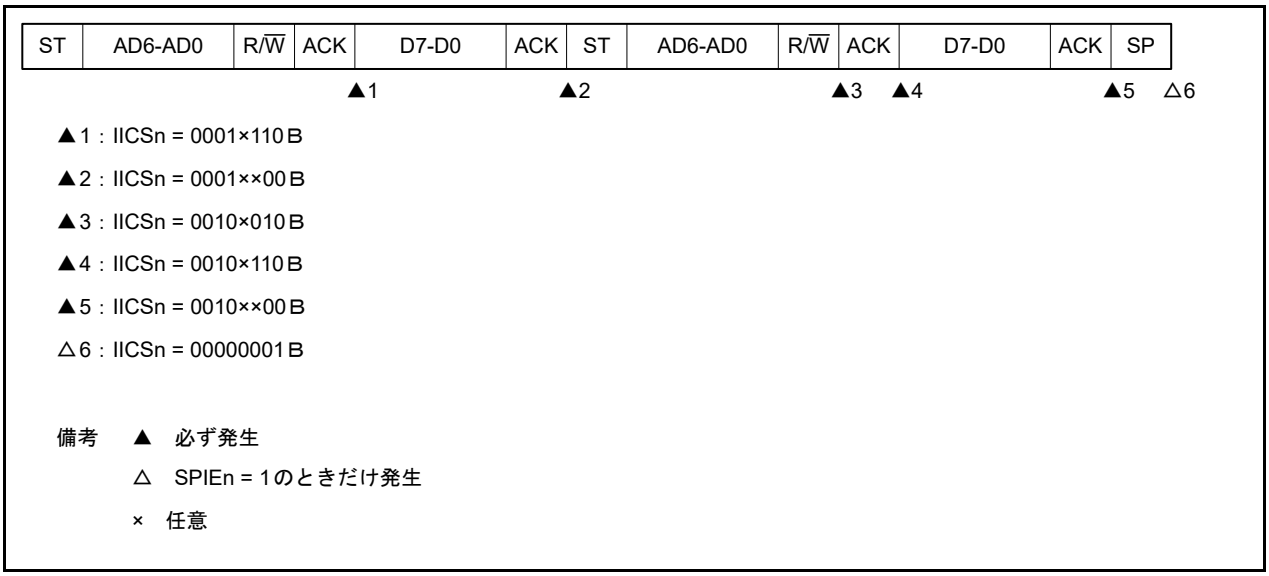
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき(リスタート後，アドレス不一致(拡張コード))



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×110B

▲5：IICSn = 0010××00B

△6：IICSn = 00000001B

備考 ▲ 必ず発生

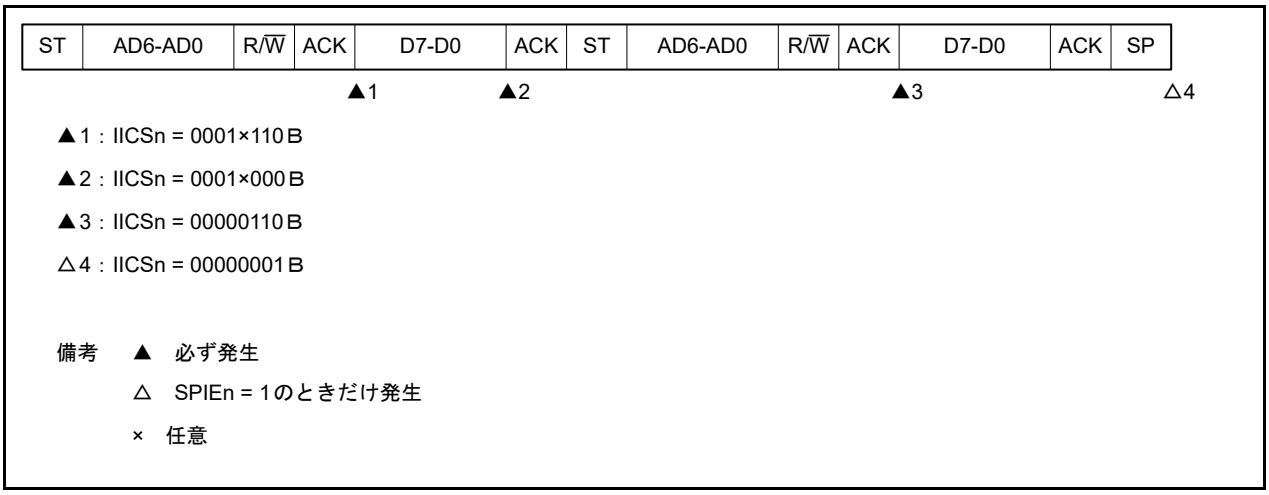
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(d) Start～Address～Data～Start～Address～Data～Stop

(i) WTIMn = 0のとき(リスタート後，アドレス不一致(拡張コード以外))



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 00000110B

△4：IICSn = 00000001B

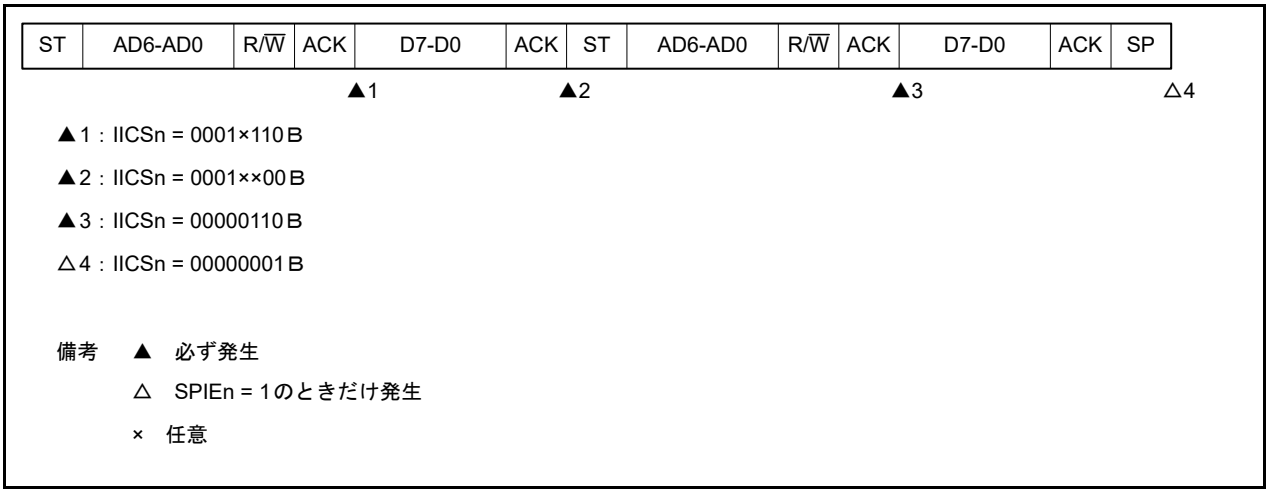
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき(リスタート後，アドレス不一致(拡張コード以外))



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 00000110B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

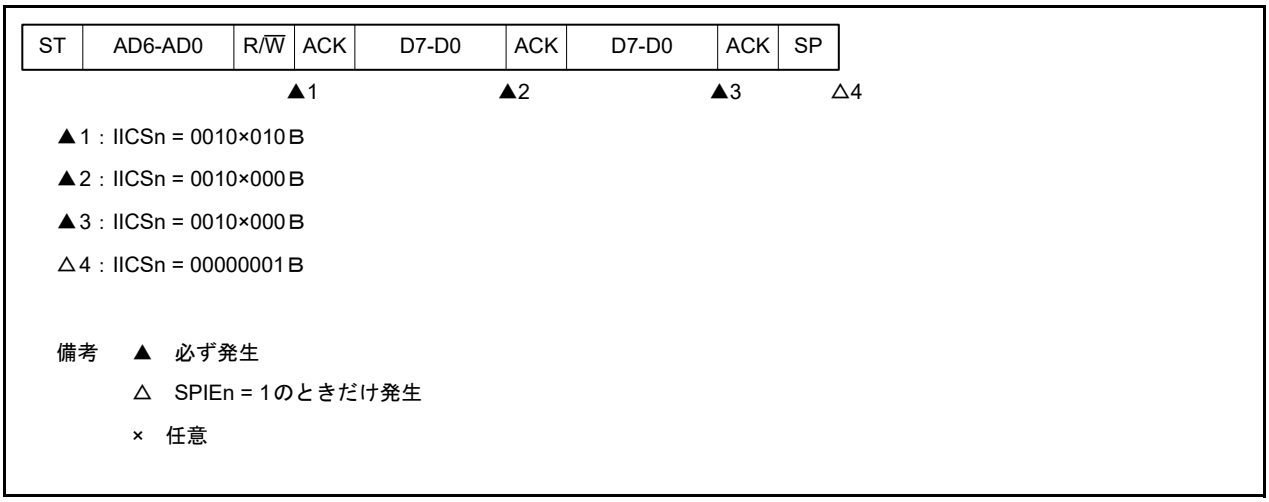
備考 n = 0, 1

(3) スレーブ動作(拡張コード受信時)

拡張コード受信時は，常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIMn = 0のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

△4：IICSn = 00000001B

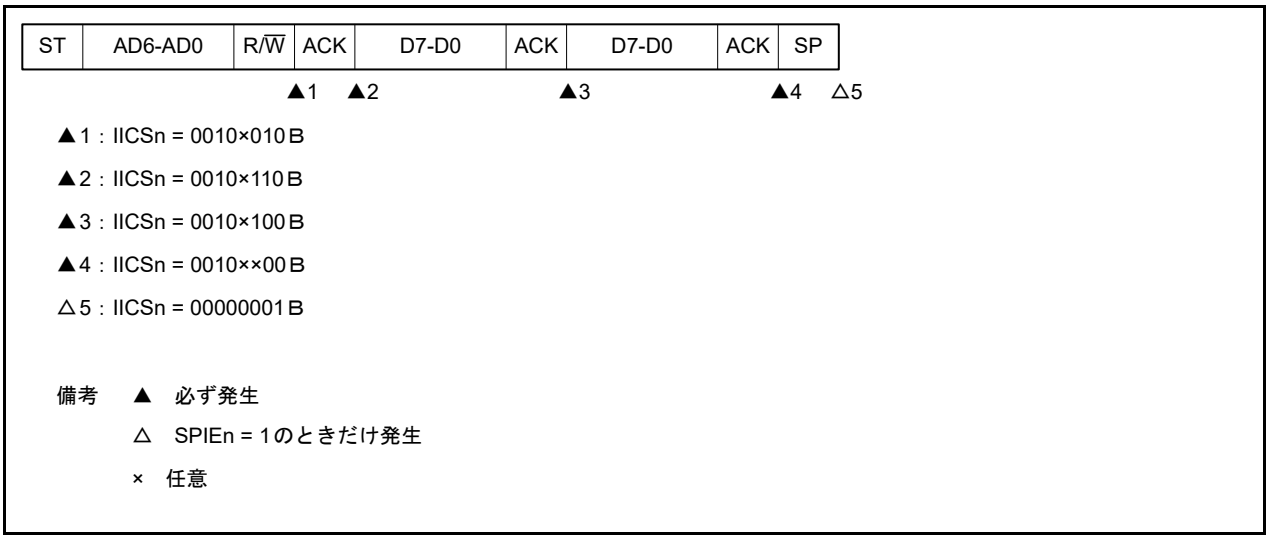
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考 ▲ 必ず発生

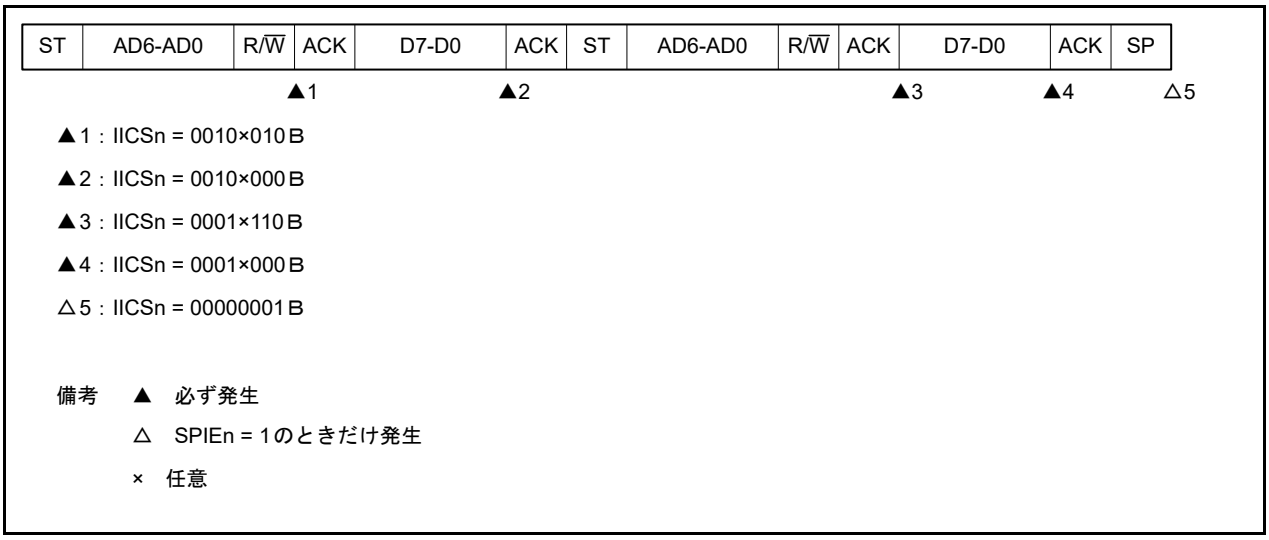
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(b) Start～Code～Data～Start～Address～Data～Stop

(i) WTIMn = 0のとき(リスタート後，SVAn一致)



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

△5：IICSn = 00000001B

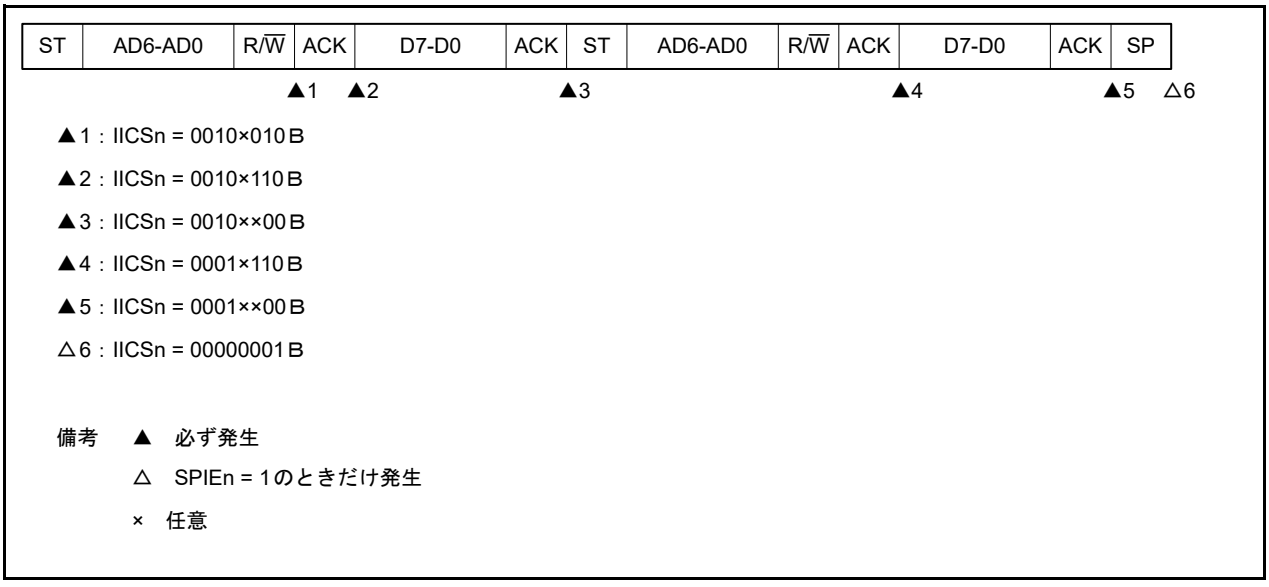
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき(リスタート後，SVAn一致)



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0001×110B

▲5：IICSn = 0001××00B

△6：IICSn = 00000001B

備考 ▲ 必ず発生

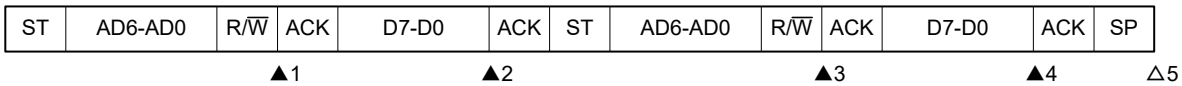
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(c) Start～Code～Data～Start～Code～Data～Stop

(i) WTIMn = 0のとき(リスタート後，拡張コード受信)



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

△5：IICSn = 00000001B

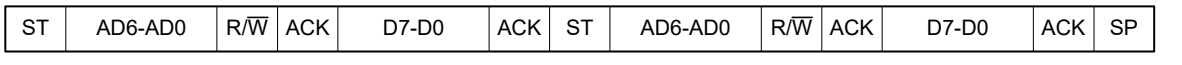
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(ii) WTIMn = 1のとき(リスタート後，拡張コード受信)



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0010×010B

▲5：IICSn = 0010×110B

▲6：IICSn = 0010××00B

△7：IICSn = 00000001B

備考　▲　必ず発生

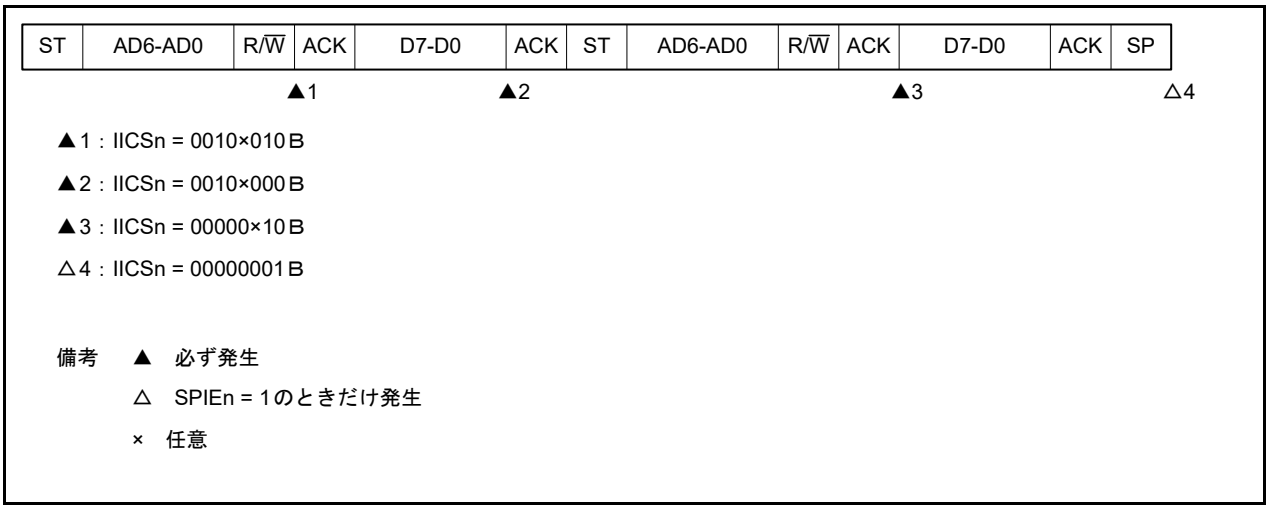
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(d) Start～Code～Data～Start～Address～Data～Stop

(i) WTIMn = 0のとき(リスタート後，アドレス不一致(拡張コード以外))



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

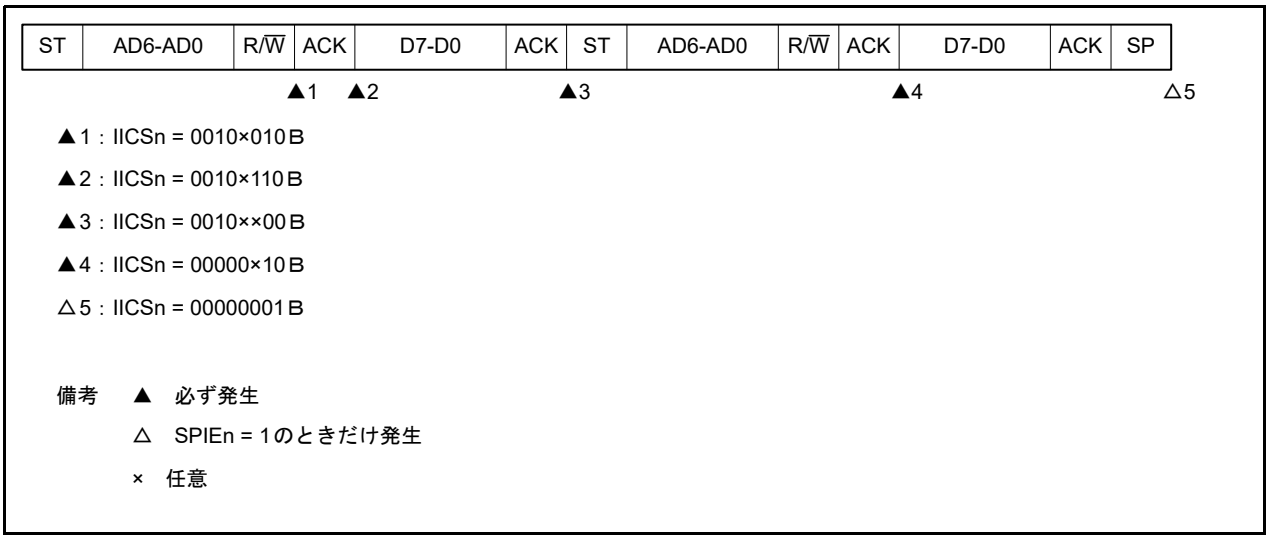
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(ii) WTIMn = 1のとき(リスタート後，アドレス不一致(拡張コード以外))



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 00000×10B

△5：IICSn = 00000001B

備考　▲　必ず発生

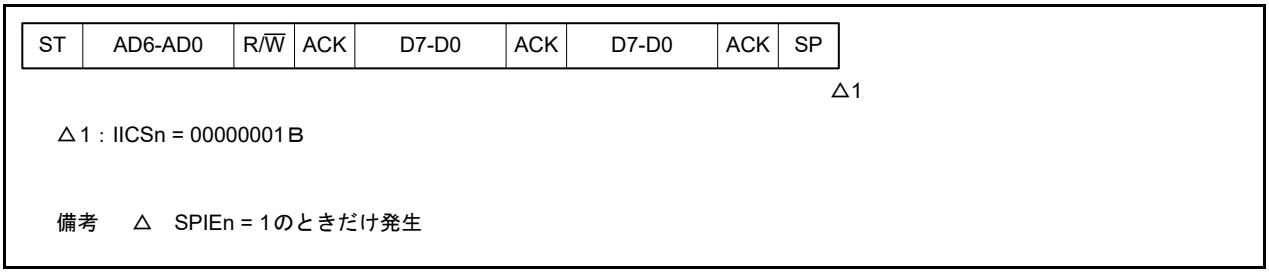
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(4)　通信不参加の動作

(a) Start～Code～Data～Data～Stop



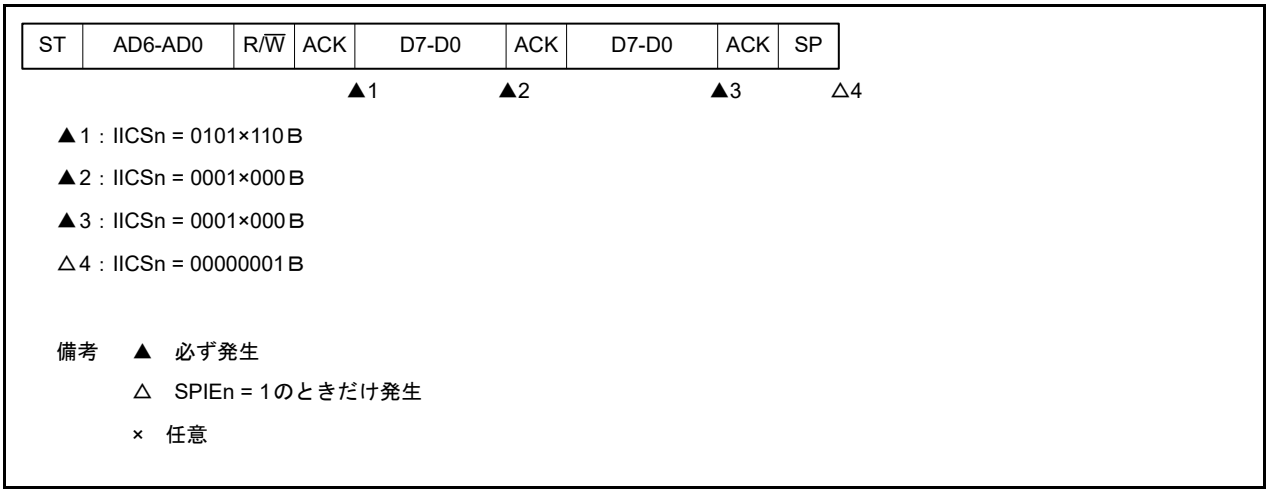
備考　n = 0, 1

(5)　アービトレーション負けの動作(アービトレーション負けのあと，スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

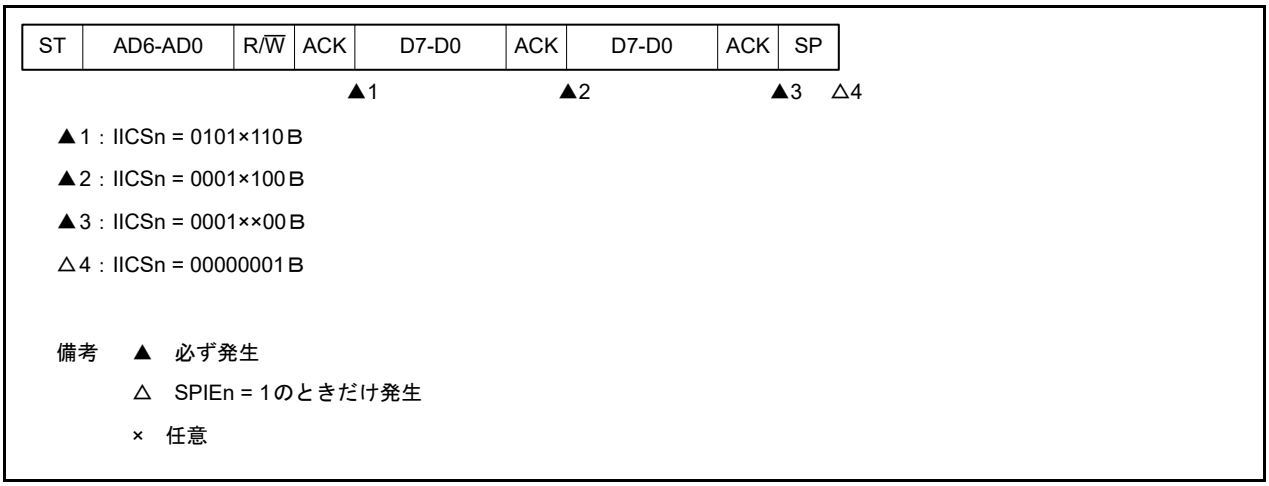
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき



備考　n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 0101×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

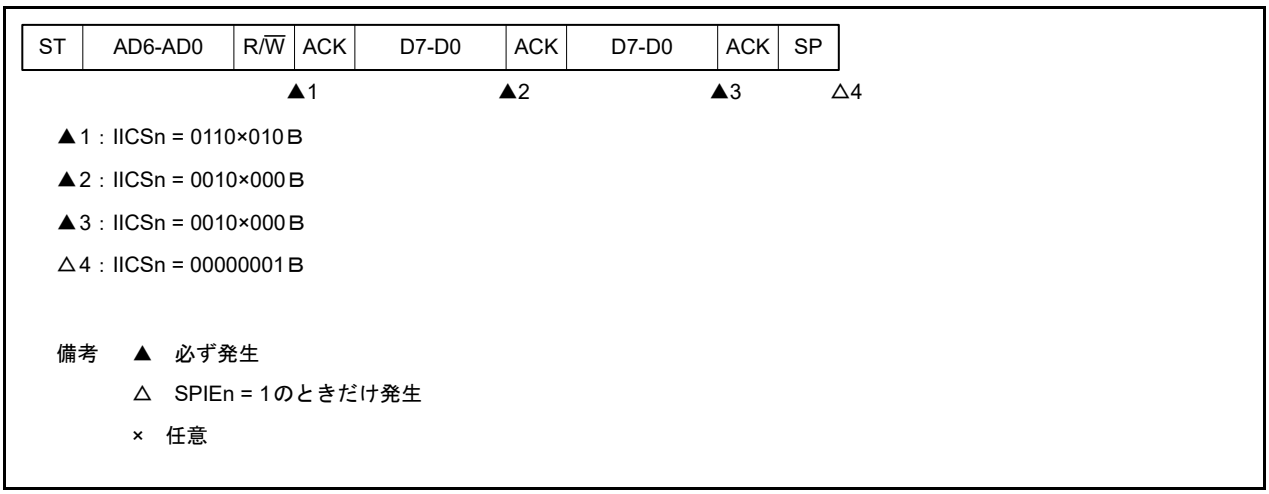
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

△4：IICSn = 00000001B

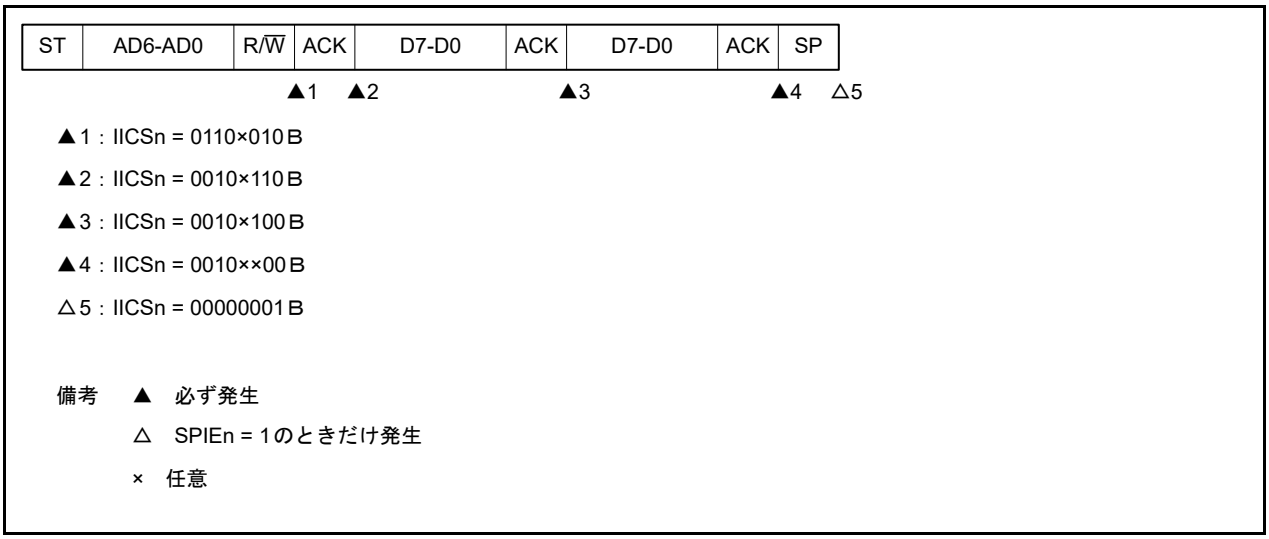
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

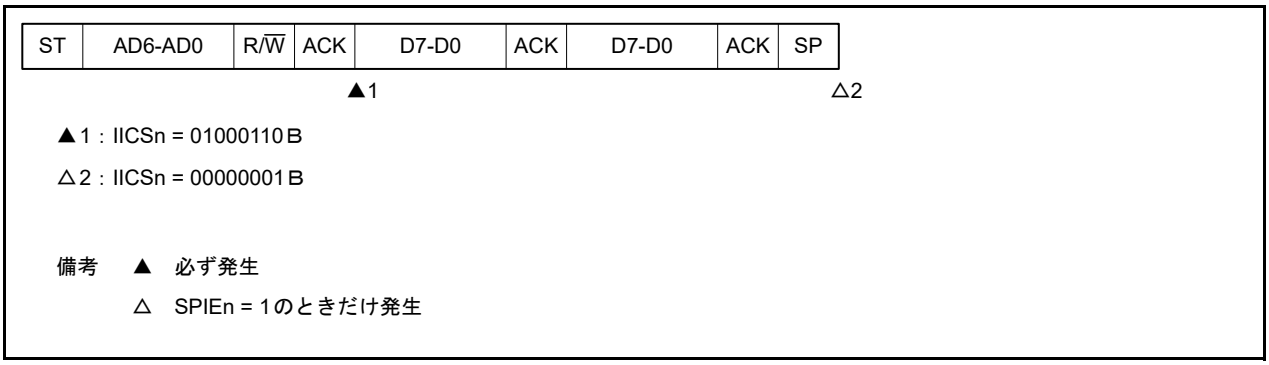
× 任意

備考 n = 0, 1

(6) アービトレーション負けの動作(アービトレーション負けのあと，不参加)

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合(WTIMn = 1のとき)



▲1：IICSn = 01000110B

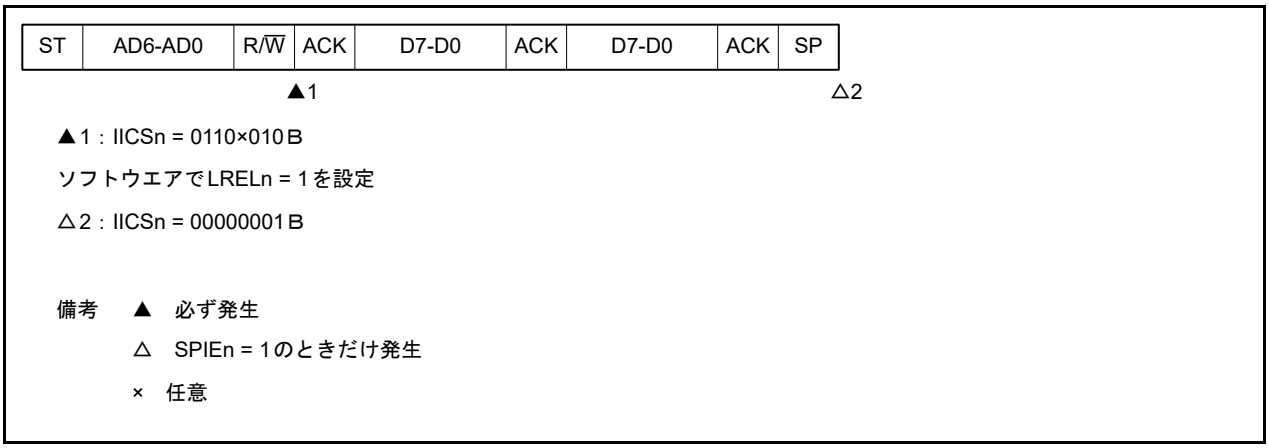
△2：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

備考 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICSn = 0110×010B

ソフトウエアでLRELn = 1を設定

△2：IICSn = 00000001B

備考　▲　必ず発生

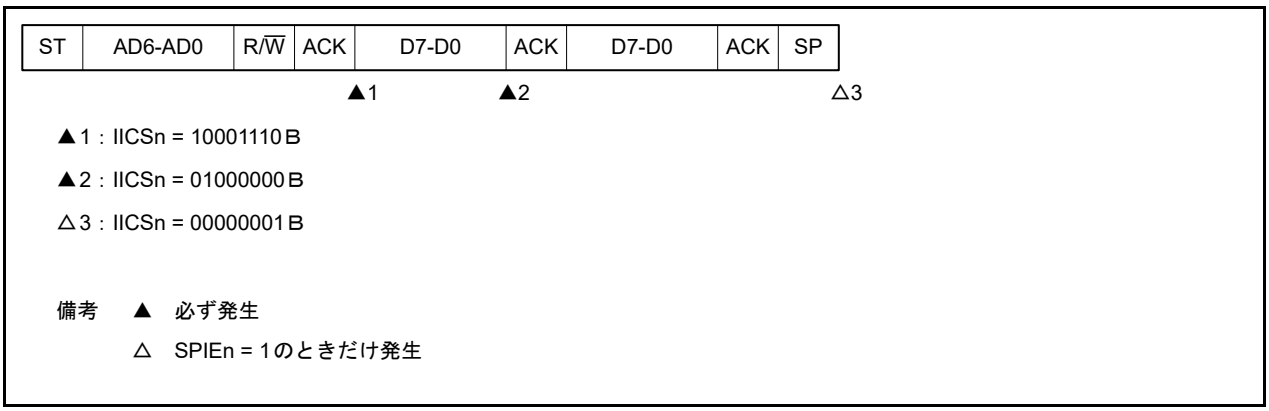
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1：IICSn = 10001110B

▲2：IICSn = 01000000B

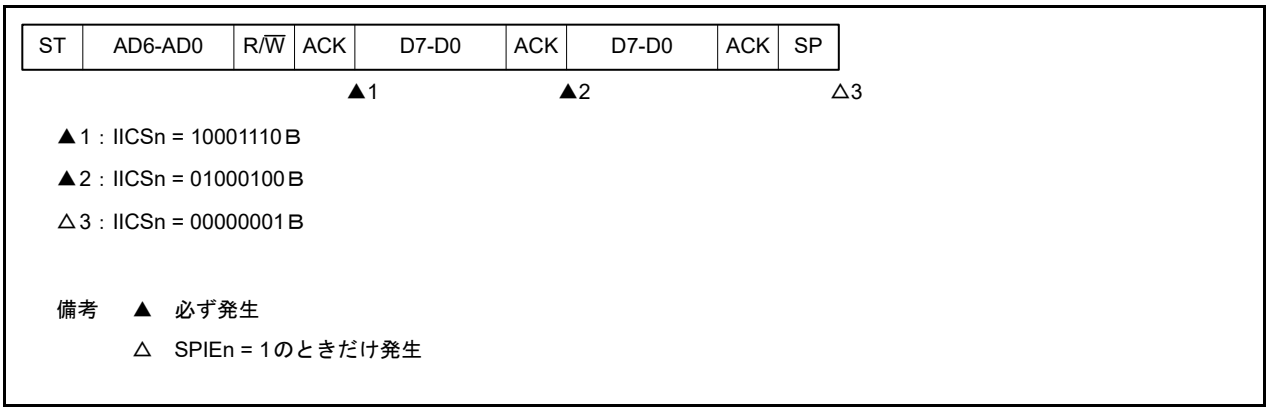
△3：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

備考　n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 10001110B

▲2：IICSn = 01000100B

△3：IICSn = 00000001B

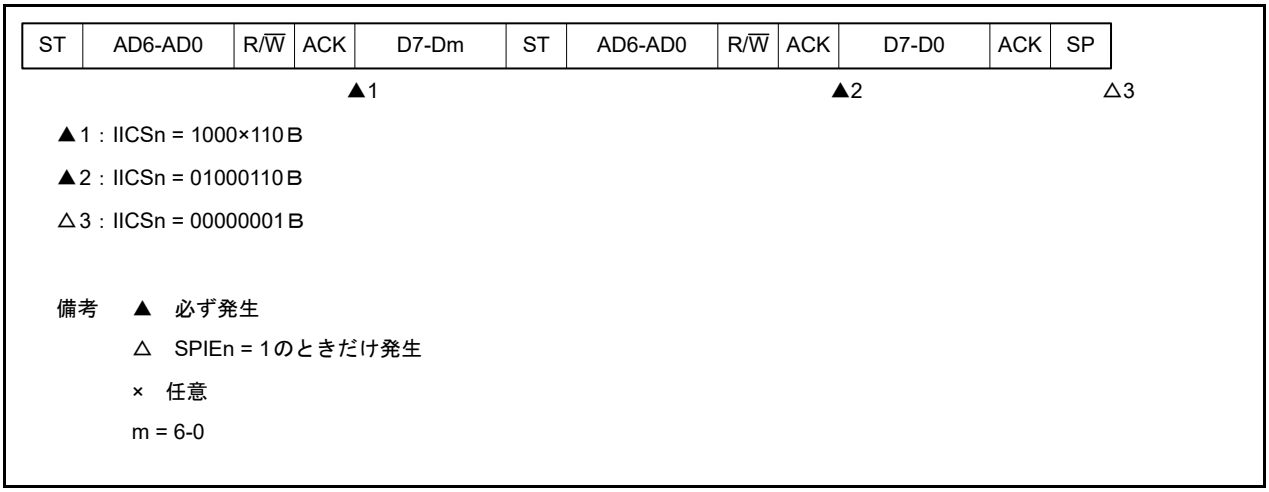
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

備考　n = 0, 1

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外(例　SVAn不一致)



▲1：IICSn = 1000×110B

▲2：IICSn = 01000110B

△3：IICSn = 00000001B

備考　▲　必ず発生

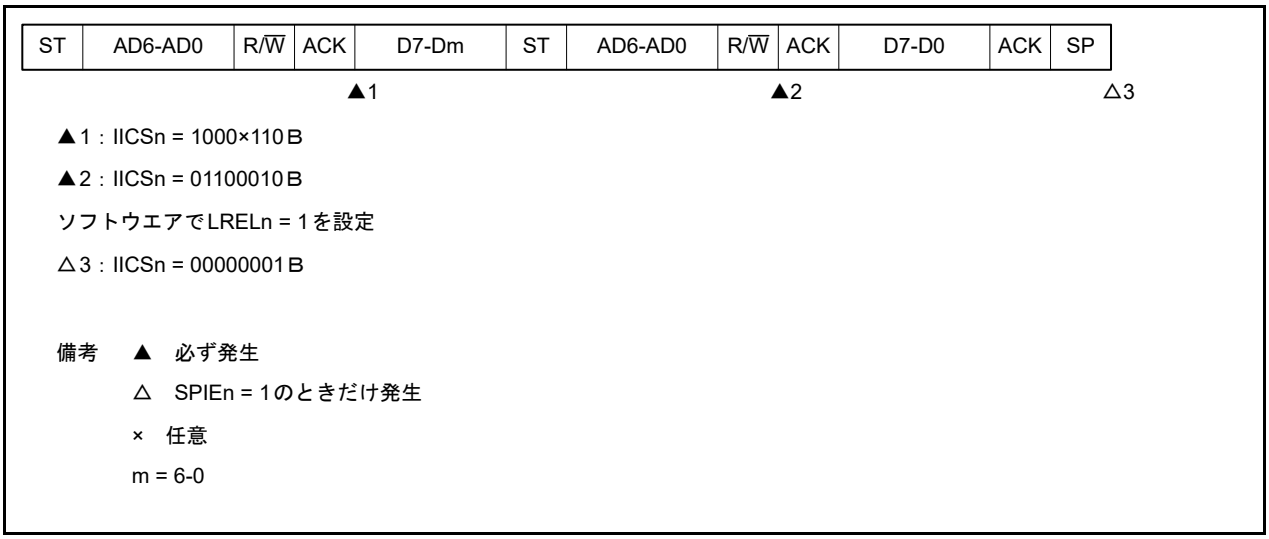
△　SPIEn = 1のときだけ発生

×　任意

m = 6-0

備考　n = 0, 1

(ii) 拡張コード



▲1：IICSn = 1000×110B

▲2：IICSn = 01100010B

ソフトウエアでLRELn = 1を設定

△3：IICSn = 00000001B

備考 ▲ 必ず発生

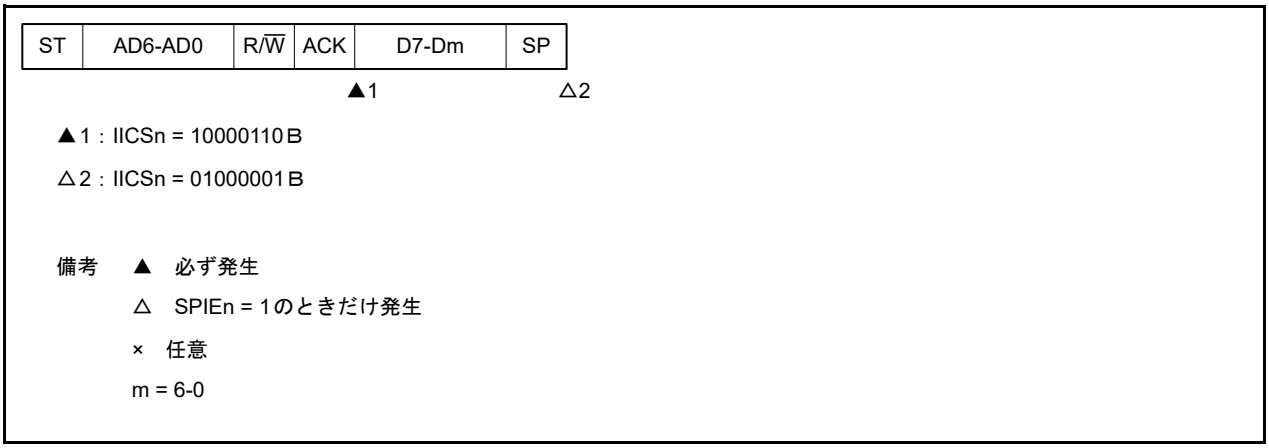
△ SPIEn = 1のときだけ発生

× 任意

m = 6-0

備考 n = 0, 1

(e) データ転送時にストップ・コンディションで負けた場合



▲1：IICSn = 10000110B

△2：IICSn = 01000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

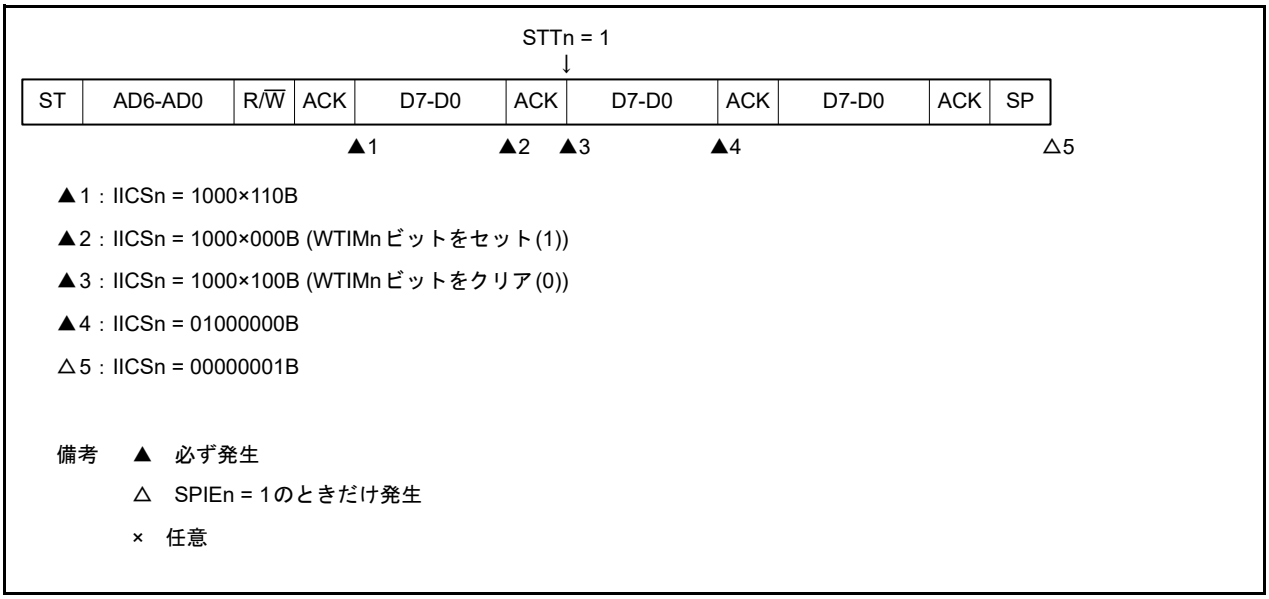
× 任意

m = 6-0

備考 n = 0, 1

(f) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B (WTIMnビットをセット(1))

▲3：IICSn = 1000×100B (WTIMnビットをクリア(0))

▲4：IICSn = 01000000B

△5：IICSn = 00000001B

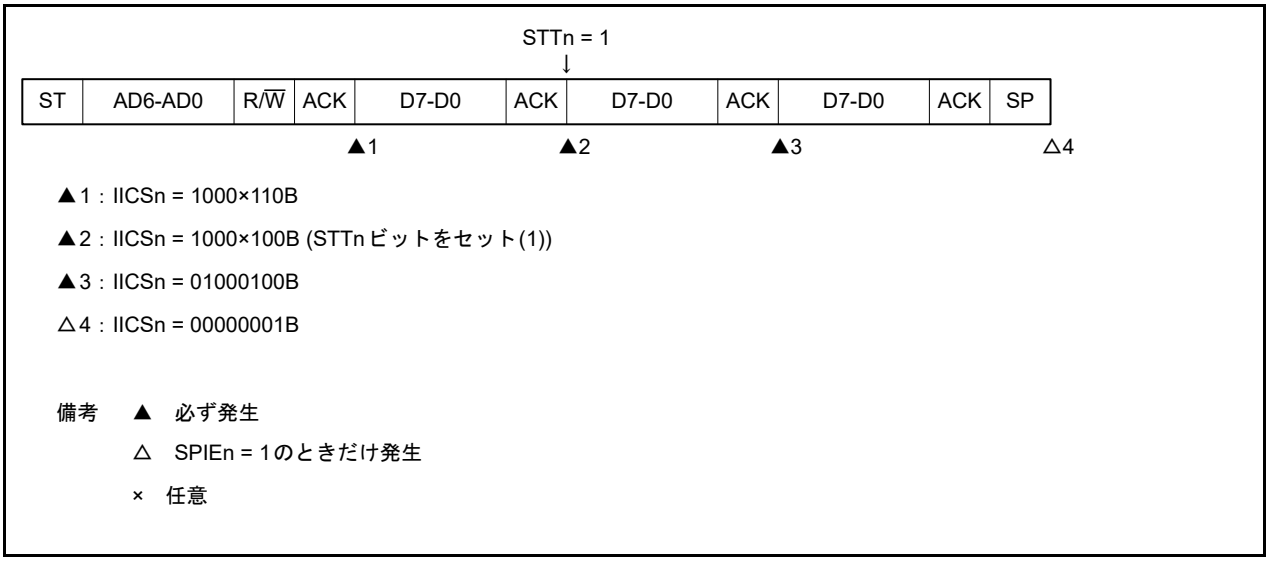
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B (STTnビットをセット(1))

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

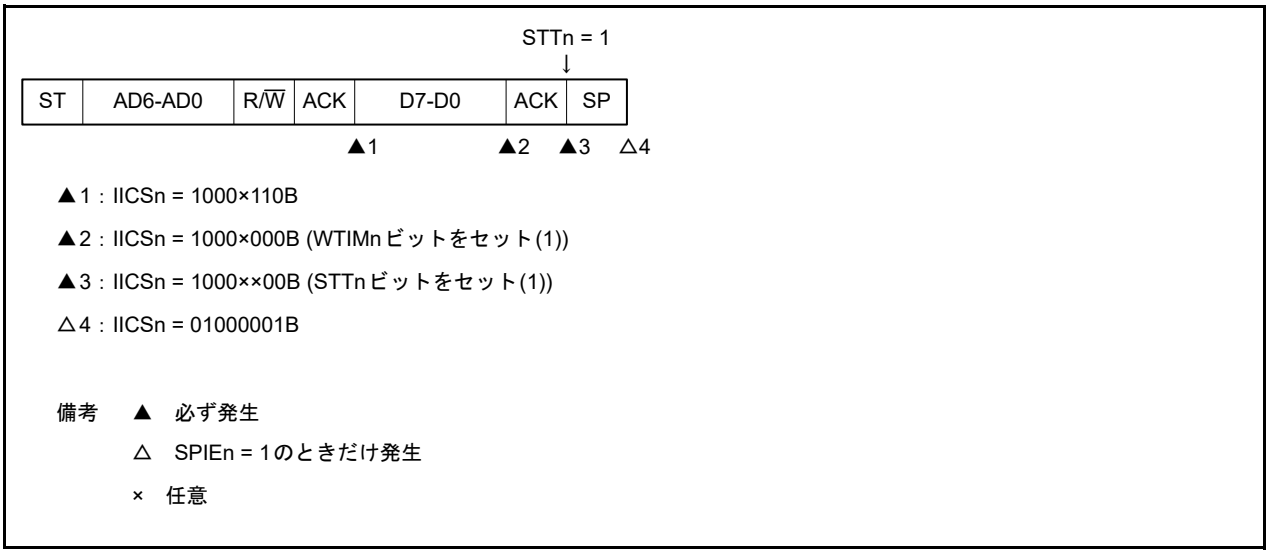
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(g) リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B (WTIMnビットをセット(1))

▲3：IICSn = 1000××00B (STTnビットをセット(1))

△4：IICSn = 01000001B

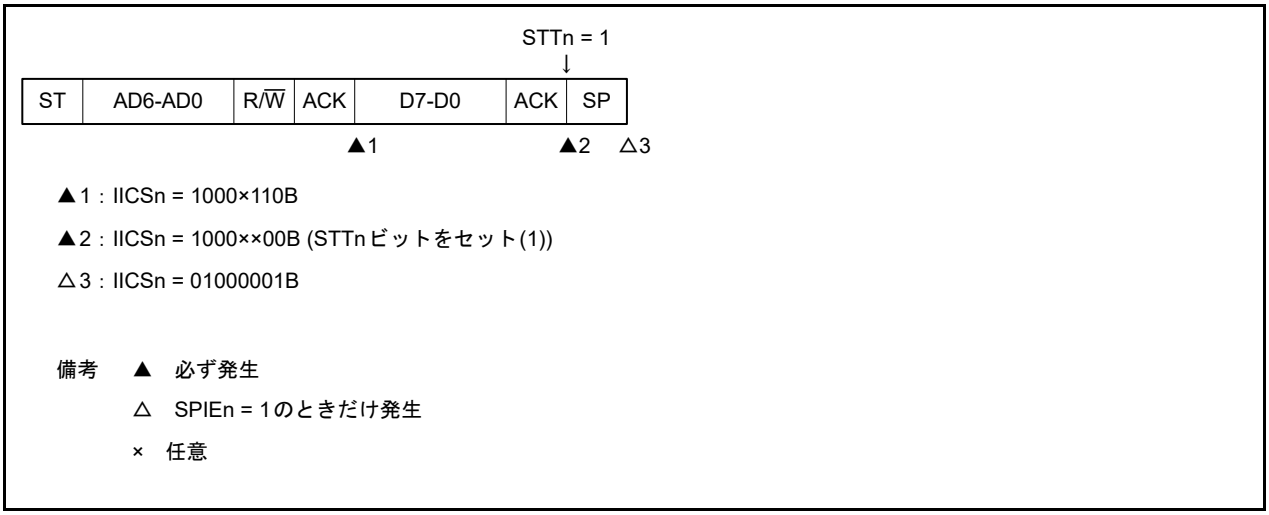
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B (STTnビットをセット(1))

△3：IICSn = 01000001B

備考　▲　必ず発生

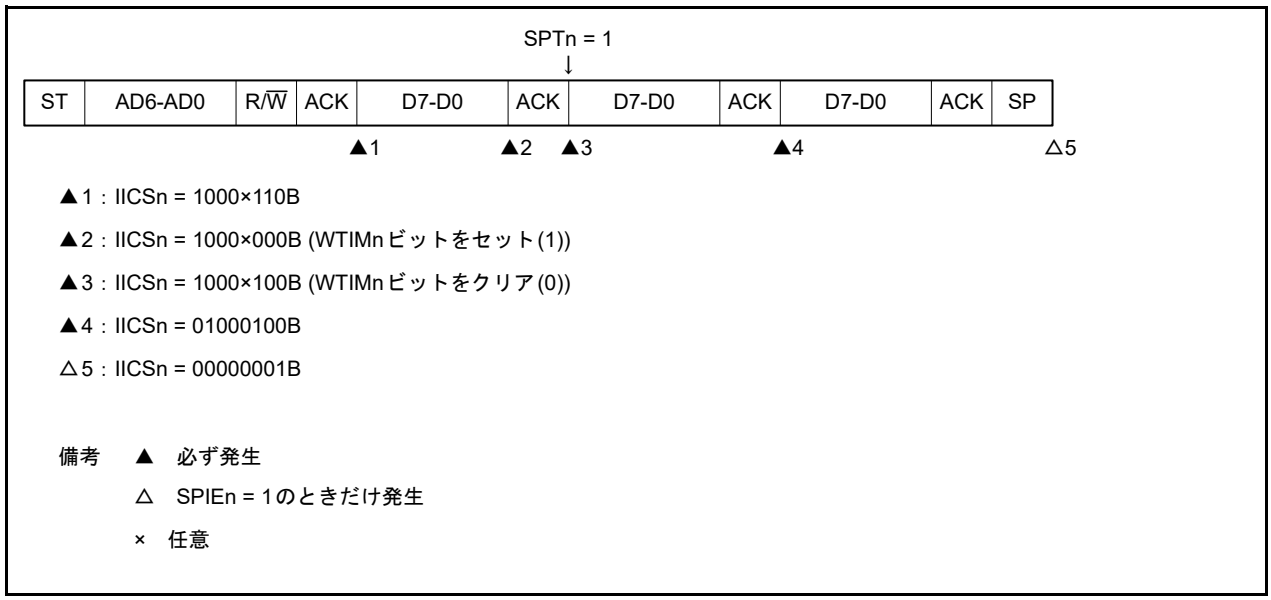
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(h) ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B (WTIMnビットをセット(1))

▲3：IICSn = 1000×100B (WTIMnビットをクリア(0))

▲4：IICSn = 01000100B

△5：IICSn = 00000001B

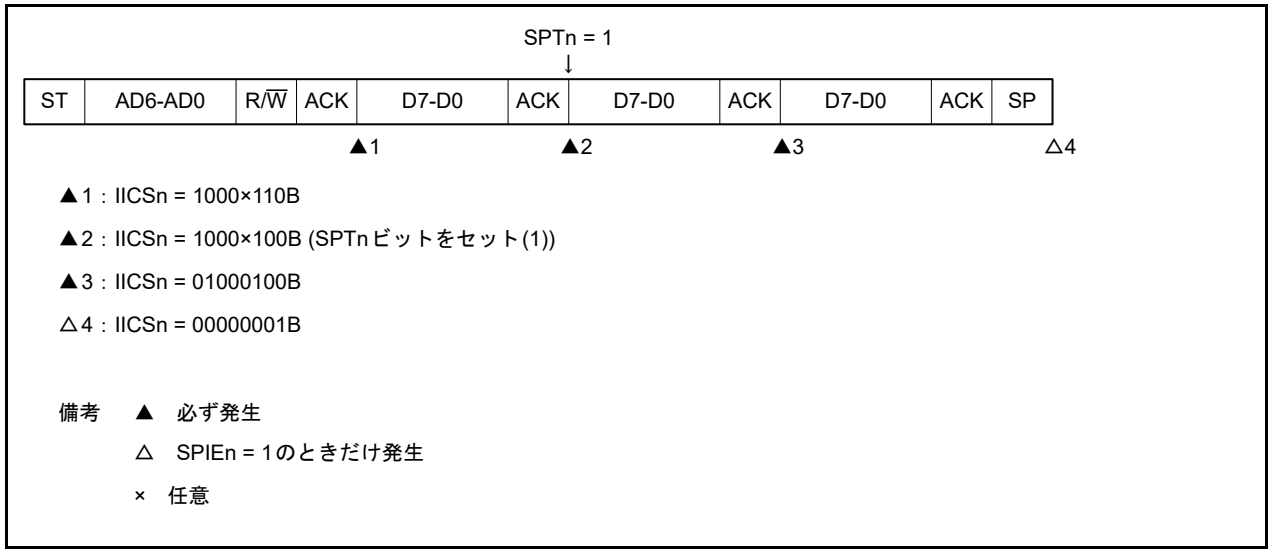
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B (SPTnビットをセット(1))

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

14.6　タイミング・チャート

I²C バス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRCnビット(IICAステータス・レジスタn (IICSn)のビット3)を送信し，スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図14 - 32～図14 - 33に示します。

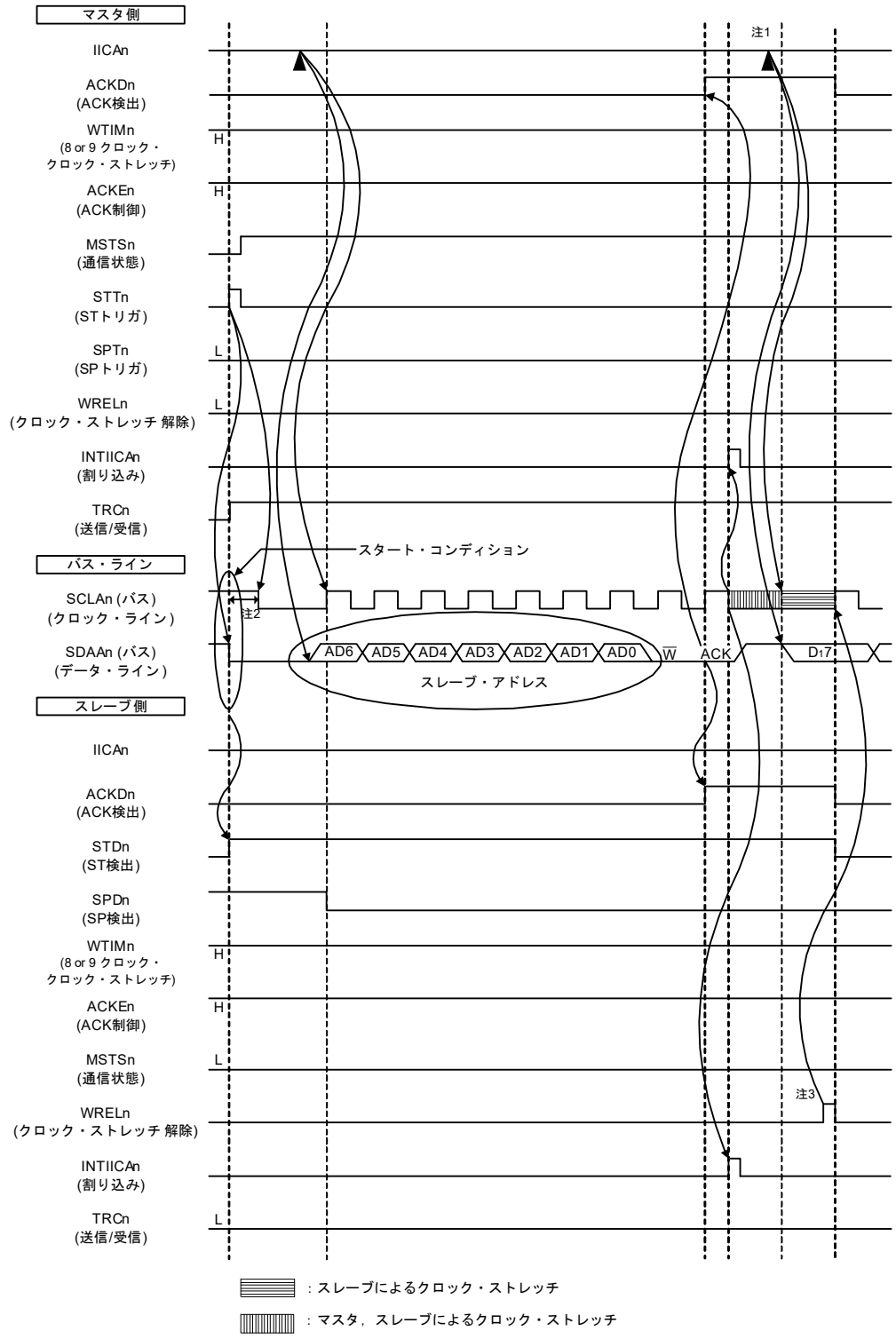
シリアル・クロック(SCLAn)の立ち下がりに同期してIICAシフト・レジスタn (IICAn)のシフト動作が行われ，送信データがSOラッチに転送され，SDAAn端子からMSBファーストで出力されます。

また，SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考　n = 0, 1

図14 - 32 マスタ→スレーブ通信例(マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時) (1/4)

(1) スタート・コンディション～アドレス～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図14 - 32　(1)　スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット(STTn = 1)されると，バス・データ・ライン(SDAAn)が立ち下がり，スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態(MSTSn = 1)となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり(SCLAn = 0), 通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn (IICAn)にアドレス + W (送信)が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス(SVAnの値)が一致した場合注，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出(ACKDn = 1)されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み(INTIICAn：アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブは，クロック・ストレッチ(SCLAn = 0)をかけ，割り込み(INTIICAn：アドレス一致割り込み)が発生します注。

⑤ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除(WRELn = 1)すると，マスタ側からスレーブ側にデータ転送を開始します。

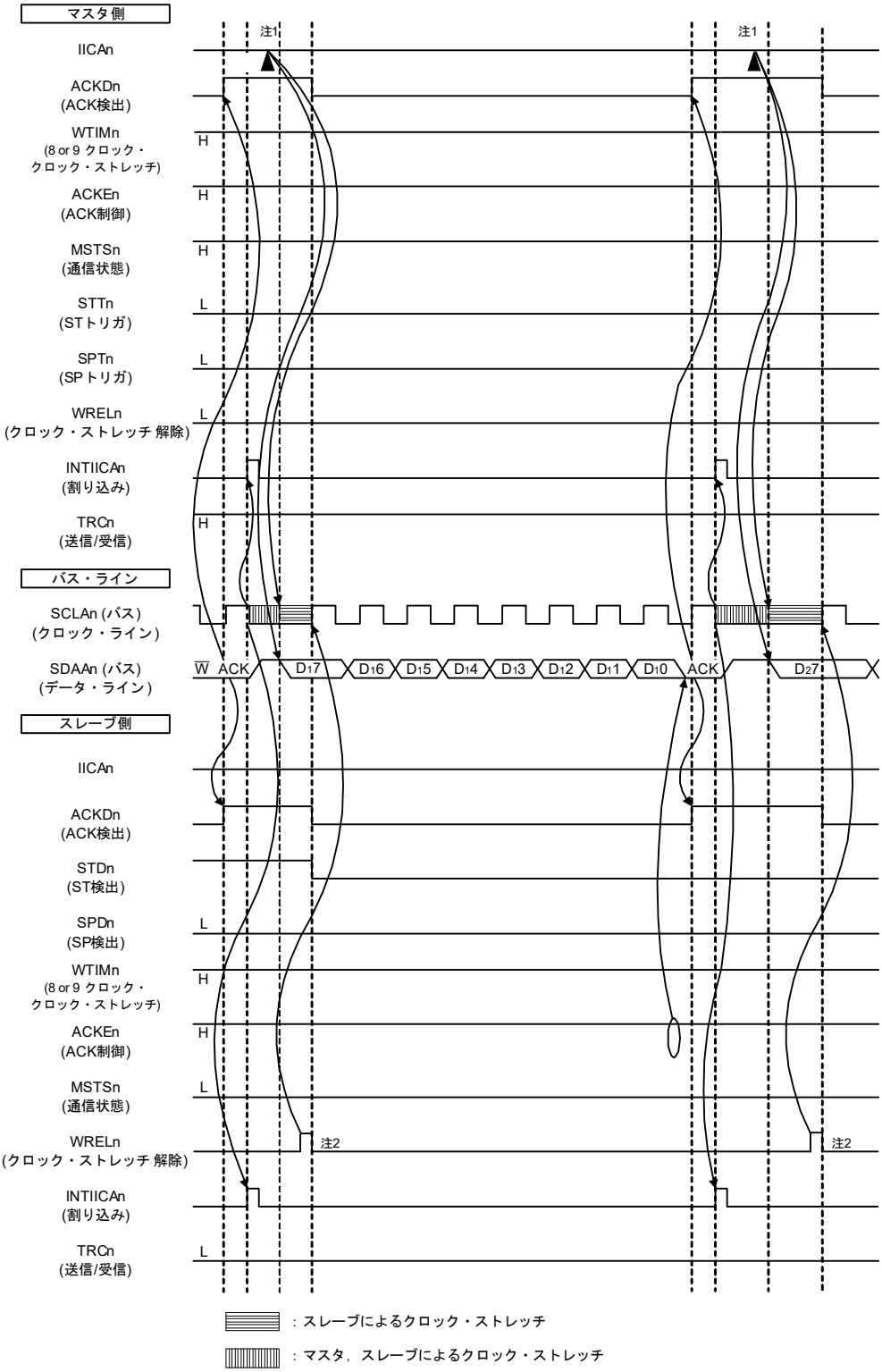
注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません(NACK：SDAAn = 1)。また，スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図14 - 32～図14 - 32の①～⑮は，I²Cバスによるデータ通信の一連の操作手順です。
図14 - 32 (1)スタート・コンディション～アドレス～データでは手順①～⑥
図14 - 32 (2)アドレス～データ～データでは手順③～⑩
図14 - 32 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

備考2. n = 0, 1

図14 - 32 マスタ→スレーブ通信例(マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時) (2/4)

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

n = 0, 1

図14 - 32　(2)　アドレス～データ～データの③～⑩の説明を次に示します。

③　スレーブ側では，受信したアドレスと自局のアドレス(SVAnの値)が一致した場合注，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出(ACKDn = 1)されます。

④　9クロック目の立ち下がりで，マスタ側の割り込み(INTIICAn：アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ，割り込み(INTIICAn：アドレス一致割り込み)が発生します注。

⑤　マスタ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥　スレーブ側がクロック・ストレッチを解除(WRELn = 1)すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦　データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出(ACKDn = 1)されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり，マスタ側，スレーブ側で割り込み(INTIICAn：転送完了割り込み)が発生します。

⑨　マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩　スレーブ側が受信データを読み出して，クロック・ストレッチを解除(WRELn = 1)すると，マスタ側からスレーブ側にデータ転送を開始します。

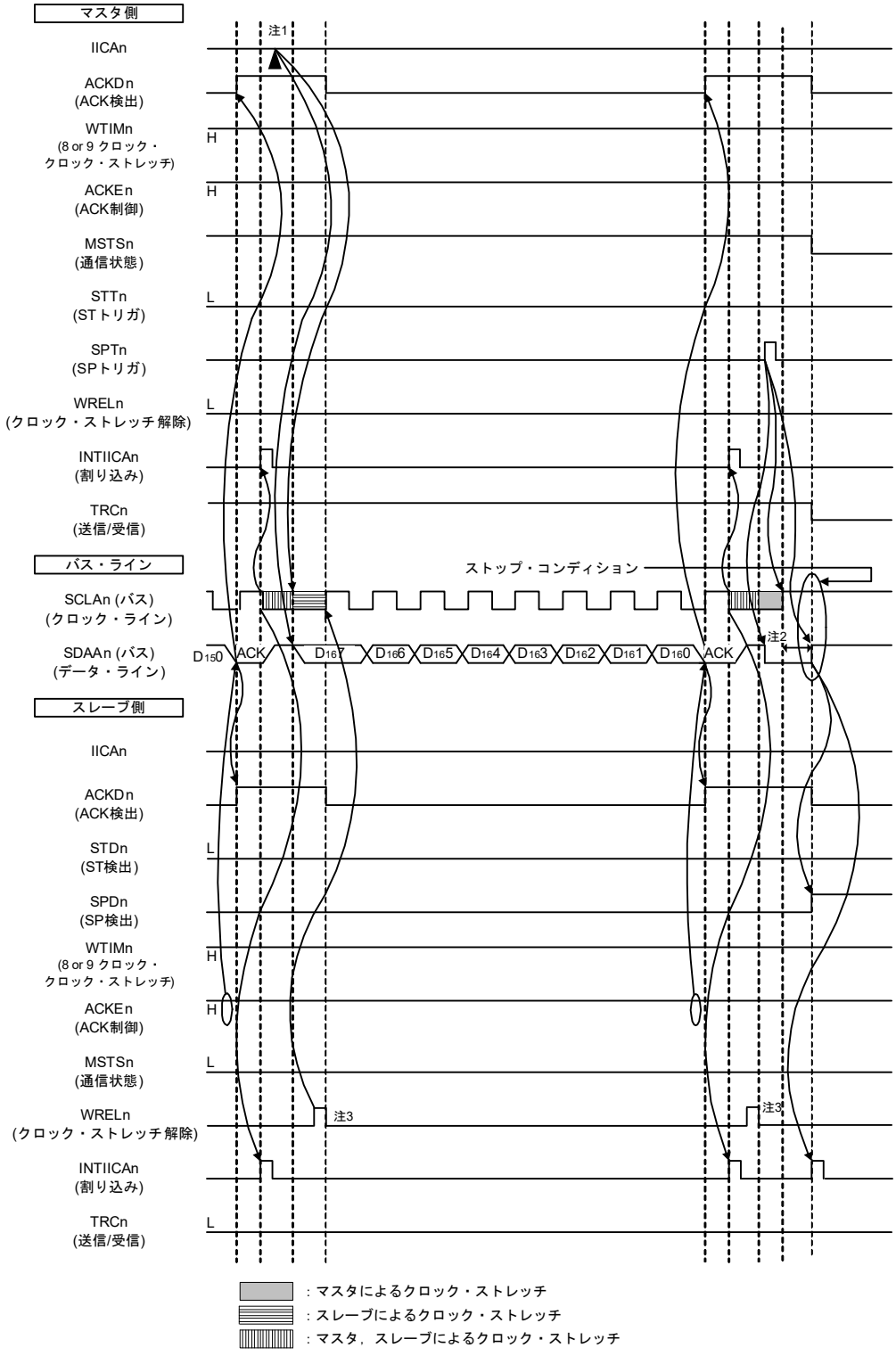
注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません(NACK：SDAAn = 1)。また，スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図14 - 32～図14 - 32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図14 - 32 (1)スタート・コンディション～アドレス～データでは手順①～⑥
図14 - 32 (2)アドレス～データ～データでは手順③～⑩
図14 - 32 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

備考2. n = 0, 1

図14 - 32 マスタ→スレーブ通信例(マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時) (3/4)

(3) データ～データ～ストップ・コンディション



注1. マスタ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

注2. ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図14 - 32　(3)　データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦　データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出(ACKDn = 1)されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり，マスタ側，スレーブ側で割り込み(INTIICAn：転送完了割り込み)が発生します。

⑨　マスタ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩　スレーブ側が受信データを読み出して，クロック・ストレッチを解除(WRELn = 1)すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪　データ転送完了後，スレーブ側(ACKEn = 1)のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出(ACKDn = 1)されます。

⑫　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり，マスタ側，スレーブ側で割り込み(INTIICAn：転送完了割り込み)が発生します。

⑬　スレーブ側が受信データを読み出し，クロック・ストレッチを解除(WRELn = 1)します。

⑭　マスタ側でストップ・コンディション・トリガをセット(SPTn = 1)すると，バス・データ・ラインがクリア(SDAAn = 0)され，バス・クロック・ラインがセット(SCLAn = 1)され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット(SDAAn = 1)されることでストップ・コンディション(SCLAn = 1でSDAAn = 0→1)が生成されます。

⑮　ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み(INTIICAn：ストップ・コンディション割り込み)が発生します。

備考1. 図14 - 32～図14 - 32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。

図14 - 32 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図14 - 32 (2)アドレス～データ～データでは手順③～⑩

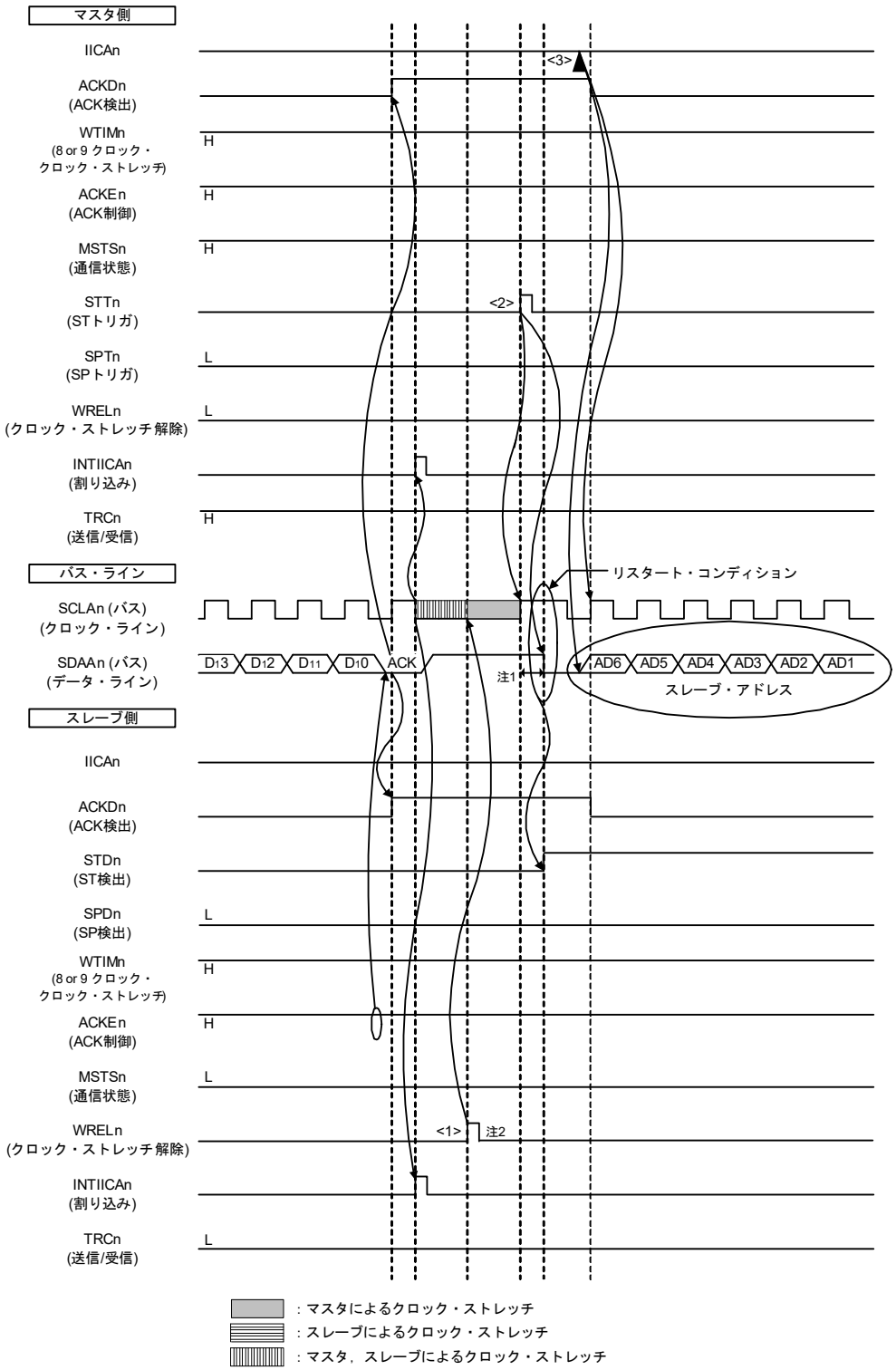
図14 - 32 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0, 1

図14 - 32 マスタ→スレーブ通信例(マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時) (4/4)

(4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後，SCLAn 端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

注2. スレーブ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図 14 - 32　(4)　データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出(ACKDn = 1)されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり，マスタ側，スレーブ側で割り込み(INTIICAn：転送完了割り込み)が発生します。

<1> スレーブ側が受信データを読み出して，クロック・ストレッチを解除(WRELn = 1)します。

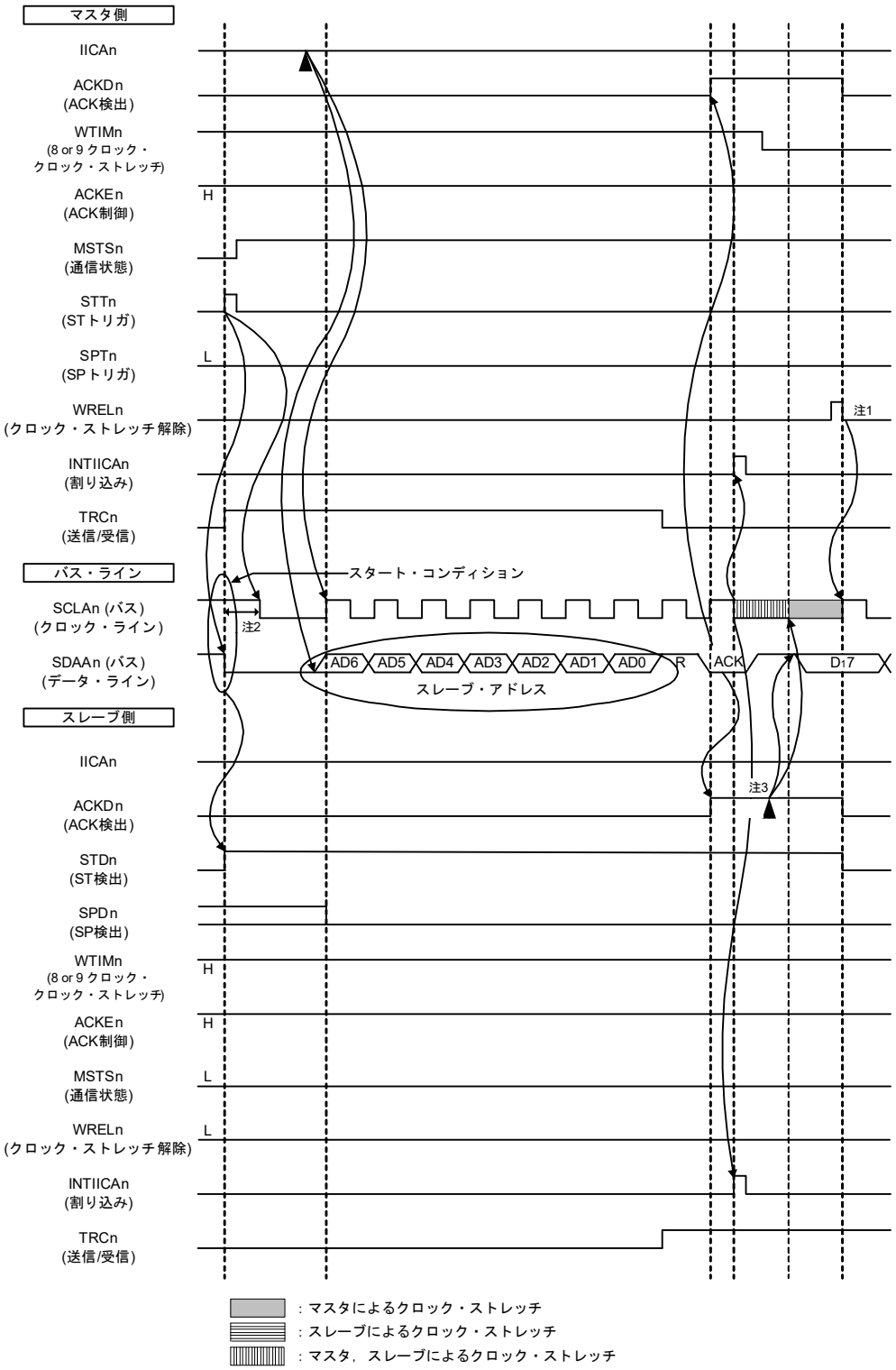
<2> マスタ側で再度スタート・コンディション・トリガがセット(STTn = 1)されると，バス・クロック・ラインが立ち上がり(SCLAn = 1)，リスタート・コンディション・セットアップ時間後バス・データ・ライン(SDAAn = 0)が立ち下がり，スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり(SCLAn = 0)，通信準備が完了となります。

<3> マスタ側がIICAシフト・レジスタn (IICAn)にアドレス + R/W (送信)を書き込むと，スレーブ・アドレスが送信されます。

備考　n = 0, 1

図14 - 33 スレーブ→マスタ通信例(マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択時) (1/3)

(1) スタート・コンディション～アドレス～データ



注1. マスタ側での受信時クロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

備考 n = 0, 1

図14 - 33 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット(STTn = 1)されると，バス・データ・ライン(SDAAn)が立ち下がり，スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態(MSTSn = 1)となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり(SCLAn = 0), 通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn (IICAn)にアドレス + R (受信)が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注，ハードウエアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出(ACKDn = 1)されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み(INTIICAn：アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ，割り込み(INTIICAn：アドレス一致割り込み)が発生します注。

⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に(WTIMn = 0)に変更します。

⑥ スレーブ側がIICAnレジスタに送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して，スレーブからのデータ転送を開始します。

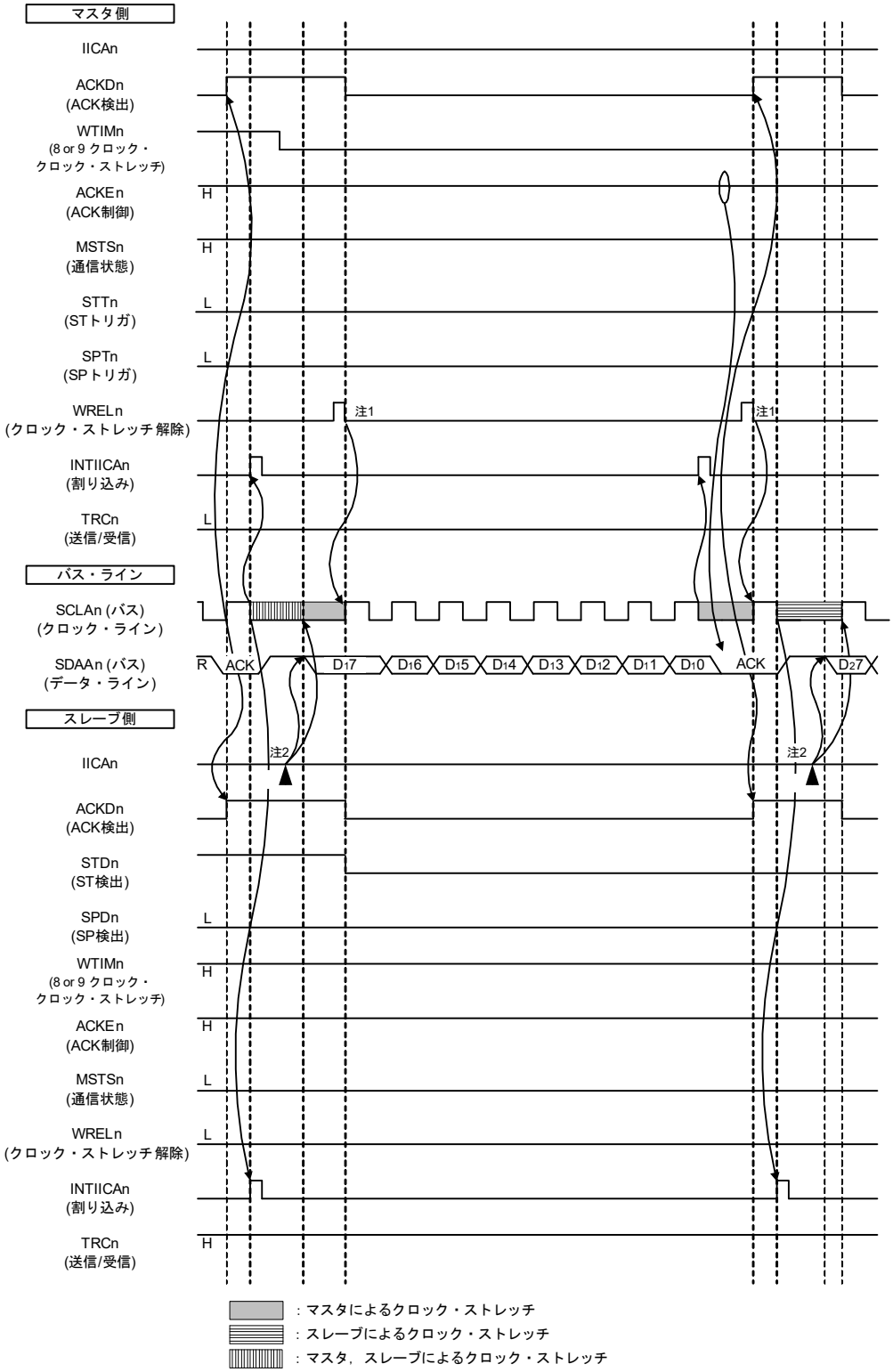
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側は ACK をマスタ側へ返しません(NACK：SDAAn = 1)。また，スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図14 - 33～図14 - 33の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図14 - 33 (1)スタート・コンディション～アドレス～データでは手順①～⑦
図14 - 33 (2)アドレス～データ～データでは手順③～⑫
図14 - 33 (3)データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

備考2. n = 0, 1

図14 - 33 スレーブ→マスタ通信例(マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択時) (2/3)

(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

備考 n = 0, 1

図14 - 33　(2)　アドレス～データ～データの③～⑫の説明を次に示します。

③　スレーブ側で，受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注，ハードウエアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出(ACKDn = 1)されます。

④　9クロック目の立ち下がりで，マスタ側の割り込み(INTIICAn：アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ，割り込み(INTIICAn：アドレス一致割り込み)が発生します注。

⑤　マスタ側はクロック・ストレッチ・タイミングを8クロック目(WTIMn = 0)に変更します。

⑥　スレーブ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦　マスタ側がクロック・ストレッチを解除(WRELn = 1)して，スレーブからのデータ転送を開始します。

⑧　8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり，マスタ側の割り込み
(INTIICAn：転送完了割り込み) が発生し，マスタ側ACKEn = 1なのでハードウエアによりACKがスレーブ側へ送信されます。

⑨　マスタ側は受信したデータを読み出して，クロック・ストレッチを解除(WRELn = 1)します。

⑩　9クロック目の立ち上がり時に，スレーブ側でACKが検出(ACKDn = 1)されます。

⑪　9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり，スレーブ側は割り込み(INTIICAn：転送完了割り込み)が発生します。

⑫　スレーブ側がIICAnレジスタに送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

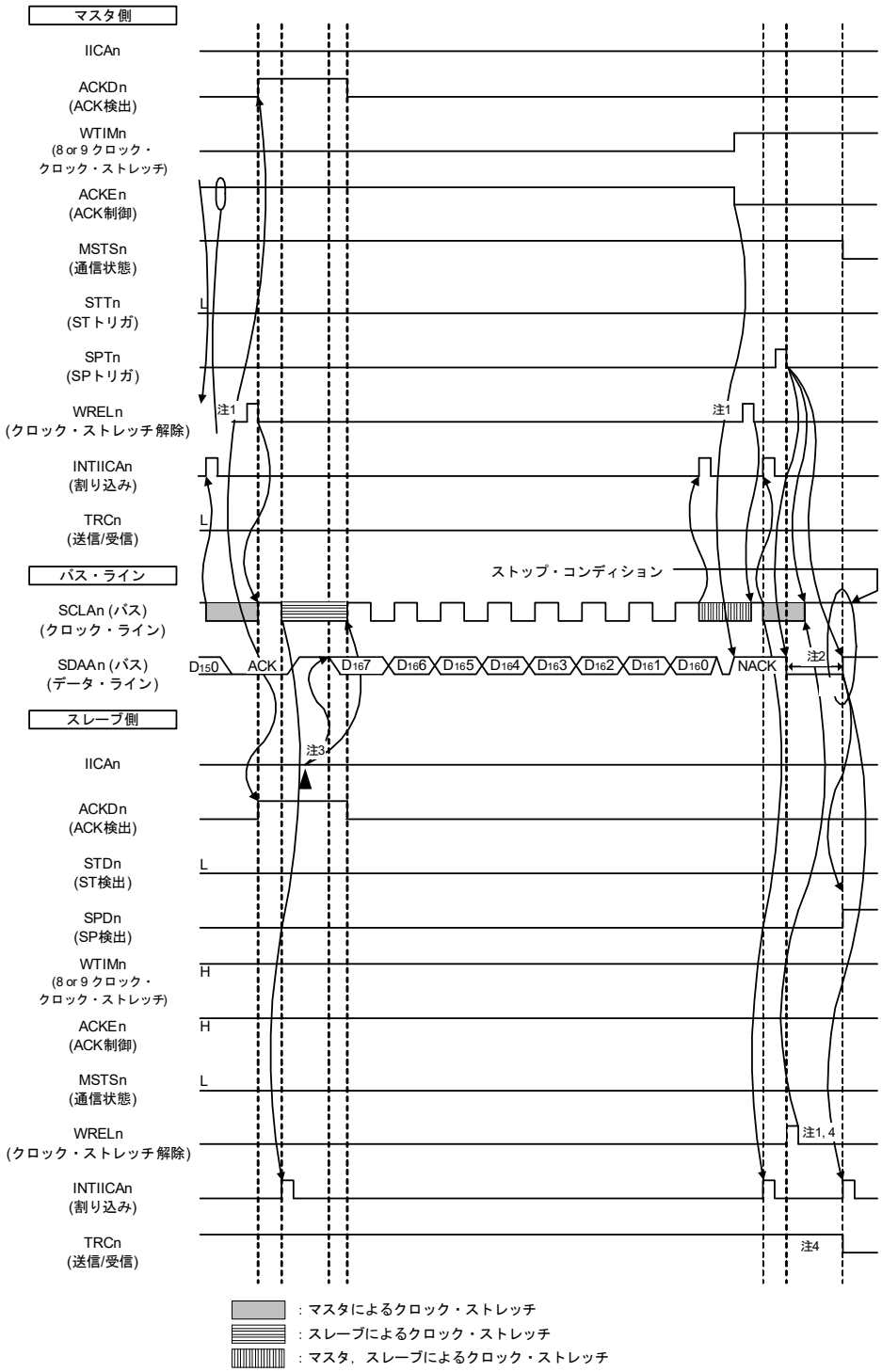
注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側は ACK をマスタ側へ返しません(NACK：SDAAn = 1)。また，スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図14 - 33～図14 - 33の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図14 - 33 (1)スタート・コンディション～アドレス～データでは手順①～⑦
図14 - 33 (2)アドレス～データ～データでは手順③～⑫
図14 - 33 (3)データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

備考2. n = 0, 1

図14 - 33 スレーブ→マスタ通信例(マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択時) (3/3)

(3) データ～データ～ストップ・コンディション



注1. クロック・ストレッチ解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での送信時のクロック・ストレッチ解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると，TRCnビットはクリアされます。

備考 n = 0, 1

図14 - 33 (3) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり，マスタ側の割り込み
(INTIICAn：転送完了割り込み) が発生し，マスタ側は ACKEn = 0 なので，ハードウエアにより ACK がスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除(WRELn = 1)します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出(ACKDn = 1)されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり，スレーブ側は割り込み(INTIICAn：転送完了割り込み)が発生します。

⑫ スレーブ側がIICAシフト・レジスタn (IICAn)に送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み(INTIICAn：転送完了割り込み)が発生し，マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかります。ACK制御(ACKEn = 1)されているので，この段階でのバス・データ・ラインはロウ・レベル(SDAAn = 0)となります。

⑭ マスタ側はNACK応答に設定 (ACKEn = 0) し，クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ(WTIMn =1)に変更します。

⑮ マスタ側がクロック・ストレッチを解除 (WRELn = 1) すると，スレーブ側は9クロック目の立ち上がりでNACKを検出(ACKDn = 0)します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり，マスタ側，スレーブ側で割り込み(INTIICAn：転送完了割り込み)が発生します。

⑰ マスタ側でストップ・コンディション発行(SPTn = 1)すると，バス・データ・ラインがクリア(SDAAn = 0)され，マスタ側のクロック・ストレッチが解除されます。その後，マスタ側はバス・クロック・ラインがセット(SCLAn = 1)されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにクロック・ストレッチを解除(WRELn = 1) します。スレーブによるクロック・ストレッチが解除されると，バス・クロック・ラインがセット(SCLAn = 1)されます。

⑲ マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット (SDAAn = 1) してストップ・コンディション(SCLAn = 1でSDAAn = 0→1)を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み(INTIICAn：ストップ・コンディション割り込み)が発生します。

備考1. 図14 - 33～図14 - 33の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図14 - 33 (1)スタート・コンディション～アドレス～データでは手順①～⑦
図14 - 33 (2)アドレス～データ～データでは手順③～⑫
図14 - 33 (3)データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

備考2. n = 0, 1

第15章　データ演算回路(DOC)

15.1　概要

データ演算回路(DOC)は，16ビットのデータを比較，加算または減算をする機能です。

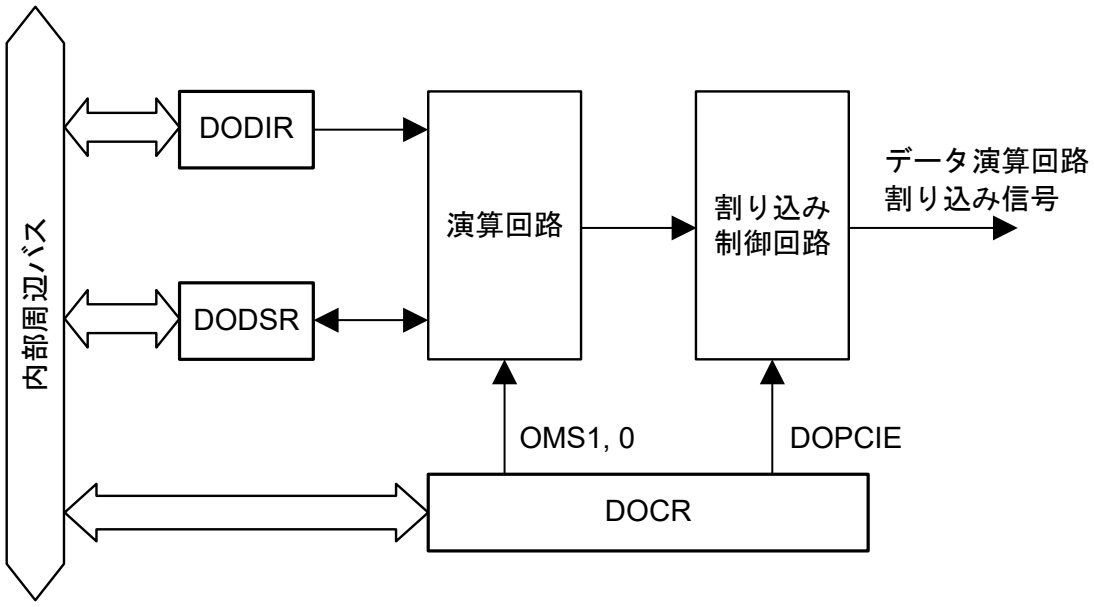
表15 - 1にデータ演算回路の仕様を示します。データ演算回路のブロック図を図15 - 1に示します。

16ビットのデータを比較し，選択した条件に該当する場合に割り込みを発生させることができます。

表15 - 1 データ演算回路の仕様

項目	仕様
データ演算機能	16ビットデータの比較，加算，または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	• データ比較の結果が一致または不一致のとき • データ加算の結果がFFFFHより大きくなったとき • データ減算の結果が0000Hより小さくなったとき

図15 - 1 データ演算回路のブロック図



DOCR：DOCコントロールレジスタ
DODIR：DOCデータインプットレジスタ
DODSR：DOCデータセッティングレジスタ

15.2　データ演算回路を制御するレジスタ

表15 - 2にデータ演算回路を制御するレジスタを示します。

表15 - 2 データ演算回路を制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ2	PER2
周辺リセット制御レジスタ2	PRR2
DOCコントロールレジスタ	DOCR
DOCデータインプットレジスタ	DODIR
DOCデータセッティングレジスタ	DODSR

15.2.1　周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

データ演算回路を使用するときは，必ずビット5 (DOCEN)を1に設定してください。

PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15 - 2 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス：F00FCH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	0	DOCEN	0	0	0	0	TKB0EN

DOCEN	データ演算回路の入力クロック供給の制御
0	入力クロック供給停止 • データ演算回路で使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。注
1	入力クロック供給 • データ演算回路で使用するSFRへのリード／ライト可

注　データ演算回路およびデータ演算回路で使用するSFRを初期化する場合，PRR2のビット5 (DOCRES)を使用してください。

注意1. 次のビットには必ず“0”を設定してください。

ビット1～4, 6

注意2. 各周辺機能が動作許可の状態で，PER2レジスタの対象ビットを切り替えないでください。PER2による設定は，PER2に割り当てている各周辺機能が停止している状態で切り替えてください。

15.2.2　周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

データ演算回路をリセットする場合は，必ずビット5 (DOCRES)を1に設定してください。

PRR2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR2レジスタは00Hになります。

図15 - 3 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス：F00FDH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	0	DOCRES	0	0	0	0	TKB0RES

DOCRES	データ演算回路のリセット制御
0	データ演算回路のリセット解除
1	データ演算回路はリセット状態

15.2.3 DOCコントロールレジスタ(DOCR)

DOCRレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図15 - 4 DOCコントロールレジスタ(DOCR)のフォーマット

アドレス：F0511H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DOCR	0	DOPCFCL	DOPCF	DOPCIE	0	DCSEL	OMS1	OMS0

DOPCFCL	DOPCFクリア
0	何もしない
1	DOPCFフラグをクリア
本ビットを“1” にするとDOPCF フラグをクリアします。 読むと“0” が読めます。	

DOPCF	データ演算回路フラグ
0	DOPCFCL ビットに“1” を書き込んだとき
1	• DCSEL ビットで選択した条件になったとき • データ加算の結果がFFFFHより大きくなったとき • データ減算の結果が0000Hより小さくなったとき
演算結果を示します。	

DOPCIE	データ演算回路割り込み許可
0	データ演算回路割り込み無効
1	データ演算回路割り込み有効
本ビットが“1” の場合，データ演算回路割り込みを許可します。	

DCSEL	検出条件選択
0	不一致を検出する。
1	一致を検出する。
データ比較モード選択時のみ有効です。 本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。	

OMS1	OMS0	動作モード選択
0	0	データ比較モード
0	1	データ加算モード
1	0	データ減算モード
1	1	設定禁止
本ビットの設定によりデータ演算回路の動作モードを選択します。		

注意　ビット3, 7には，必ず“0”を設定してください。

15.2.4　DOCデータインプットレジスタ(DODIR)

DODIRレジスタは，演算対象の16ビットのデータを格納する16ビットの読み出し／書き込み可能なレジスタです。

図15 - 5 DOCデータインプットレジスタ(DODIR)のフォーマット

アドレス：F0512H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DODIR																

15.2.5　DOCデータセッティングレジスタ(DODSR)

DODSRレジスタは，16ビットの読み出し／書き込み可能なレジスタです。データ比較モードでは，基準となる16ビットのデータを格納します。また，データ加算モードおよびデータ減算モードでは，演算結果を格納します。

図15 - 6 DOCデータセッティングレジスタ(DODSR)のフォーマット

アドレス：F0514H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DODSR																

15.3 動作説明

15.3.1 データ比較モード

図15 - 7にデータ比較モードの動作例を示します。

データ演算回路は，データ比較モード時，以下のように動作します。

以下はDCSEL = 0 (データ比較の結果，不一致を検出)設定時の動作例です。

(1) DOCRレジスタのOMS1, 0ビットに“00B”を書き込むと，データ比較モードになります。

(2) DODSRレジスタに基準となる16ビットのデータを設定します。

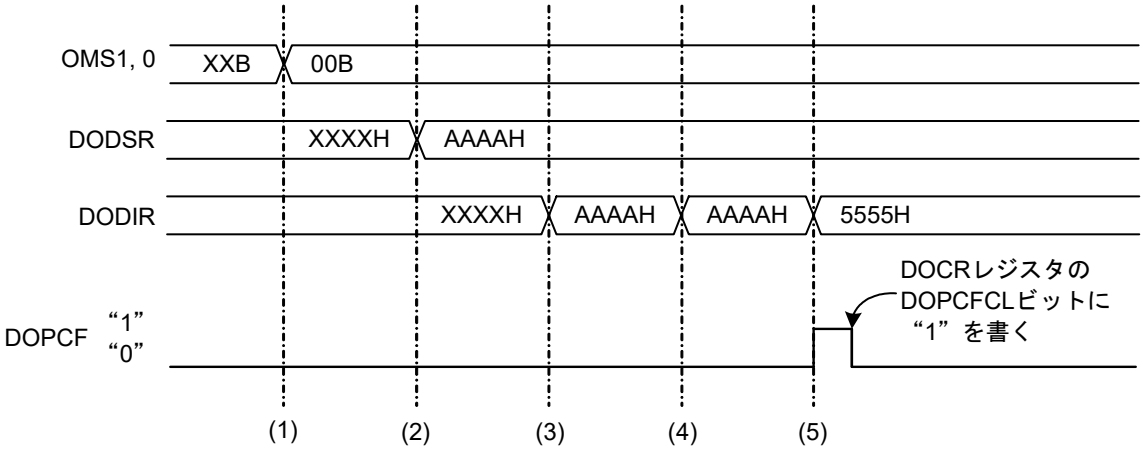
(3) DODIRレジスタに比較する16ビットのデータを書き込みます。

(4) すべての比較するデータの書き込みが完了するまで，DODIRレジスタに比較する16ビットのデータを書き込みます。

(5) DODIRレジスタに書き込まれたデータが，DODSRレジスタに設定されているデータと一致しなかった注とき，DOCRレジスタのDOPCFフラグが“1”になります。また，DOCRレジスタのDOPCIEビットが“1”の場合は，データ演算回路割り込みが発生します。

注 DOCRレジスタのDCSEL = 0の場合

図15 - 7 データ比較モードの動作例



15.3.2 データ加算モード

図15 - 8にデータ加算モードの動作例を示します。

データ演算回路は，データ加算モード時，以下のように動作します。

(1) DOCRレジスタのOMS1, 0ビットに“01B”を書き込むと，データ加算モードになります。

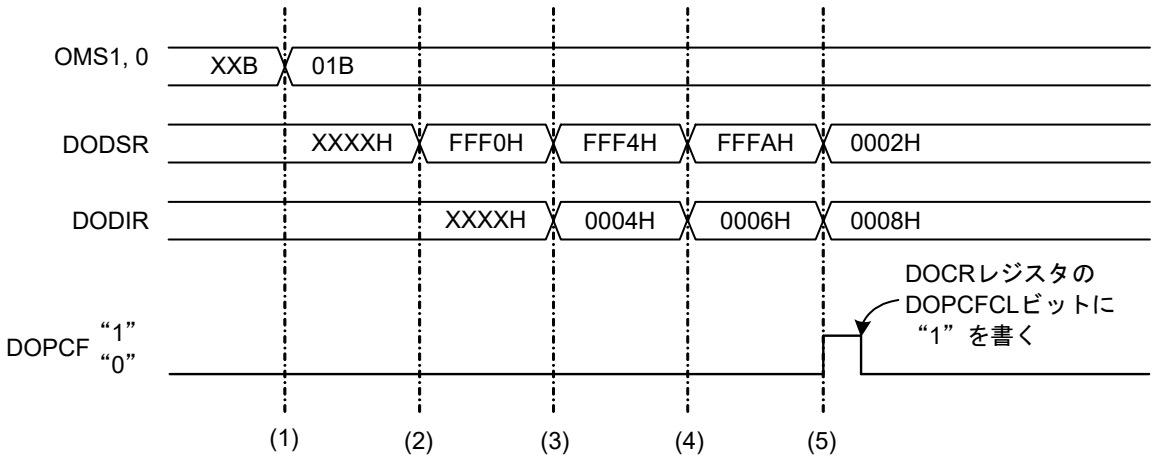
(2) DODSRレジスタに初期値として16ビットのデータを設定します。

(3) DODIRレジスタに加算する16ビットのデータを書き込みます。演算結果はDODSRレジスタに格納されます。

(4) すべての加算するデータの書き込みが完了するまで，DODIRレジスタに加算する16ビットのデータを書き込みます。

(5) 演算結果が“FFFFH”よりも大きくなったときDOCRレジスタのDOPCFフラグが“1”になります。
また，DOCRレジスタのDOPCIEビットが“1”の場合は，データ演算回路割り込みが発生します。

図15 - 8 データ加算モードの動作例



15.3.3 データ減算モード

図15 - 9にデータ減算モードの動作例を示します。

データ演算回路は，データ減算モード時，以下のように動作します。

(1) DOCRレジスタのOMS1, 0ビットに“10B”を書き込むと，データ減算モードになります。

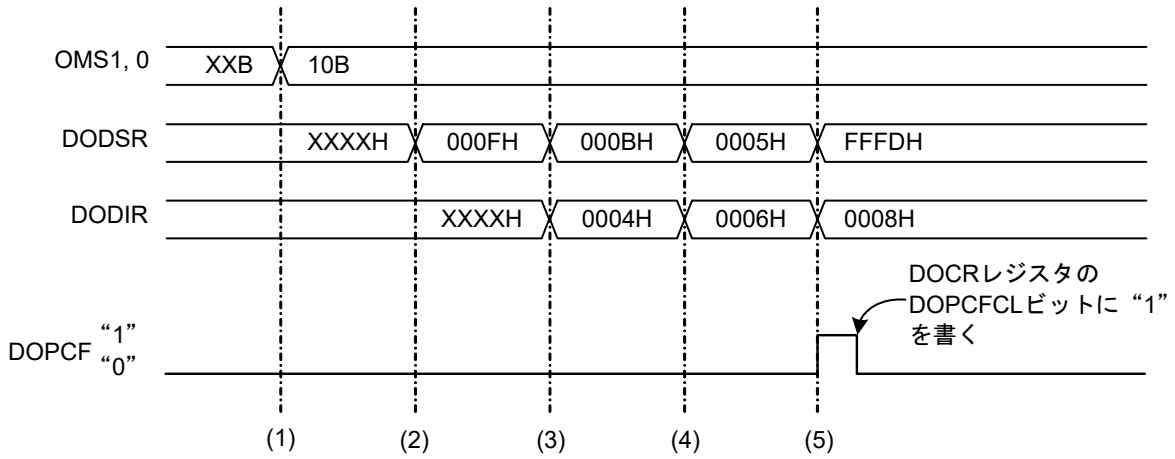
(2) DODSRレジスタに初期値として16ビットのデータを設定します。

(3) DODIRレジスタに減算する16ビットのデータを書き込みます。演算結果はDODSRレジスタに格納されます。

(4) すべての減算するデータの書き込みが完了するまで，DODIRレジスタに減算する16ビットのデータを書き込みます。

(5) 演算結果が“0000H”よりも小さくなったときDOCRレジスタのDOPCFフラグが“1”になります。
また，DOCRレジスタのDOPCIEビットが“1”の場合は，データ演算回路割り込みが発生します。

図15 - 9 データ減算モードの動作例



15.4　割り込み要求

データ演算回路が生成する割り込み要求には，データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表15 - 3に割り込み要求の内容を示します。

表15 - 3 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	• データ比較の結果が一致または不一致のとき • データ加算の結果がFFFFHより大きくなったとき • データ減算の結果が0000Hより小さくなったとき

第16章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

	10ピン	16ピン	20ピン	24, 25ピン
アナログ入力チャネル	3ch (ANI0-2)	8ch (ANI0-3, ANI18, ANI20-22)	10ch (ANI0-ANI3, ANI16-ANI18, ANI20-ANI22)	11ch (ANI0-ANI3, ANI16-ANI22)

16.1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換するコンバータで，最大11チャネルのA/Dコンバータ・アナログ入力 (ANI0-ANI3, ANI16-ANI22) を制御できる構成になっています。A/D コンバータ・モード・レジスタ 2 (ADM2) のADTYPビットにより，10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには，次のような機能があります。

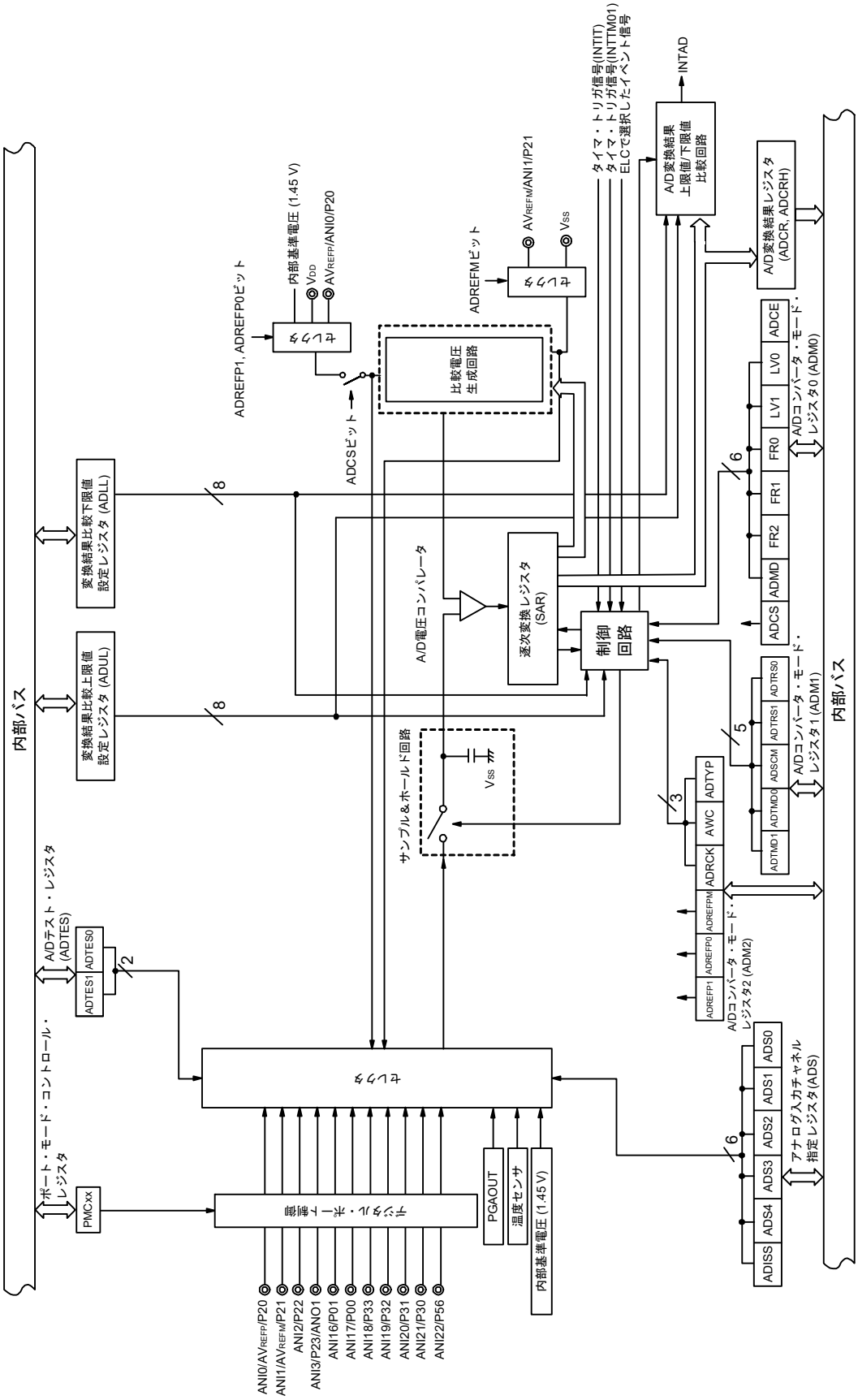
・10ビット/8ビット分解能A/D変換

ANI0-ANI3, ANI16-ANI22からアナログ入力を1チャネル選択し，10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求(INTAD)を発生します(セレクト・モード時の場合)。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウエア・トリガ	ソフトウエア操作で，変換動作を開始します。
	ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガを検出することにより，変換動作を開始します。
	ハードウエア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウエア・トリガを検出することにより，パワー・オンとなり，A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は，ハードウエア・トリガ・ウエイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し，A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。ANI0-ANI3のうち連続した4チャネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウエアで停止するまで，連続してA/D変換します。
動作電圧モード	標準1／標準2 モード	2.7 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	1.6 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作が可能です。 低電圧時に変換動作する時に選択します。低電圧動作のため，変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数：7 f_{AD}	標準1／低電圧1モードのサンプリング時間は，変換クロック(f_{AD})の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数：5 f_{AD}	標準2／低電圧2モードのサンプリング時間は，変換クロック(f_{AD})の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図16 - 1 A/Dコンバータのブロック図



備考　この図のアナログ入力端子は，25ピン製品の場合です。

16.2 A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

(1) ANI0-ANI3, ANI16-ANI22端子

A/Dコンバータの11チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

(2) サンプル＆ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧(1/2 AV_{REF})より大きい場合には，逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧(1/2 AV_{REF})より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます

ビット9 = 0：(1/4 AV_{REF})

ビット9 = 1：(3/4 AV_{REF})

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1

アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考 AV_{REF}：A/Dコンバータの + 側基準電圧。AV_{REFP}, 内部基準電圧(1.45 V)，V_{DD}から選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ(SAR：Successive Approximation Register)

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)，そのSARレジスタの内容(変換結果)は，A/D変換結果レジスタ(ADCR)に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号(INTAD)が発生します。

(6) 10ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します(下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，A/D変換結果上限値/下限値比較回路を通りINTADを発生します。

(9) AV_{REFP}端子

外部から基準電圧(AV_{REFP})を入力する端子です。

AV_{REFP}をA/Dコンバータの+側基準電圧として使用する場合は，A/Dコンバータ・モード・レジスタ2(ADM2)のADREFP1ビットに0を，ADREFP0ビットに1を設定してください。

AV_{REFP}と－側基準電圧(AV_{REFM}/V_{SS})間にかかる電圧に基づいて，ANI2-ANI3，ANI16-ANI22に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には，AV_{REFP}のほかにV_{DD}と内部基準電圧(1.45 V)を選択することが可能です。

(10) AV_{REFM}端子

外部から基準電圧(AV_{REFM})を入力する端子です。AV_{REFM}をA/Dコンバータの－側基準電圧として使用する場合は，ADM2レジスタのADREFMビットをセット(1)してください。

A/Dコンバータの－側基準電圧には，AV_{REFM}のほかにV_{SS}を選択することが可能です。

16.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0（PRR0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- ポート・モード・コントロール・レジスタ0, 2, 3, 5 (PMC0, PMC2, PMC3, PMC5)
- ポート・モード・レジスタ0, 2, 3, 5 (PM0, PM2, PM3, PM5)

16.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5 (ADCEN)を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16 - 2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 • A/Dコンバータで使用するSFRへのライト不可
1	入力クロック供給 • A/Dコンバータで使用するSFRへのリード／ライト可

注意1. A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の状態で，下記のレジスタの設定を行ってください。ADCEN = 0の場合は，A/Dコンバータの制御レジスタは初期値となり，書き込みは無視されます(ポート・モード・レジスタ0, 2, 3, 5 (PM0, PM2, PM3, PM5)，ポート・モード・コントロール・レジスタ0, 2, 3, 5 (PMC0, PMC2, PMC3, PMC5)。

- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 7

16.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

A/Dコンバータをリセットする場合は，必ずビット5 (ADCRES)を1に設定してください。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR0レジスタは00Hになります。

図16 - 3 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IICA1RES	ADCRES	IICA0RES	0	SAU0RES	0	TAU0RES

ADCRES	A/Dコンバータのリセット制御
0	A/Dコンバータのリセット解除
1	A/Dコンバータはリセット状態

16.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16 - 4 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス：FFF30H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止／待機状態
1	変換動作許可 [リード時] ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：A/D電源安定待ち状態 + 変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，表16 - 3 A/D変換時間の選択を参照してください。

注2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は，変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず16.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

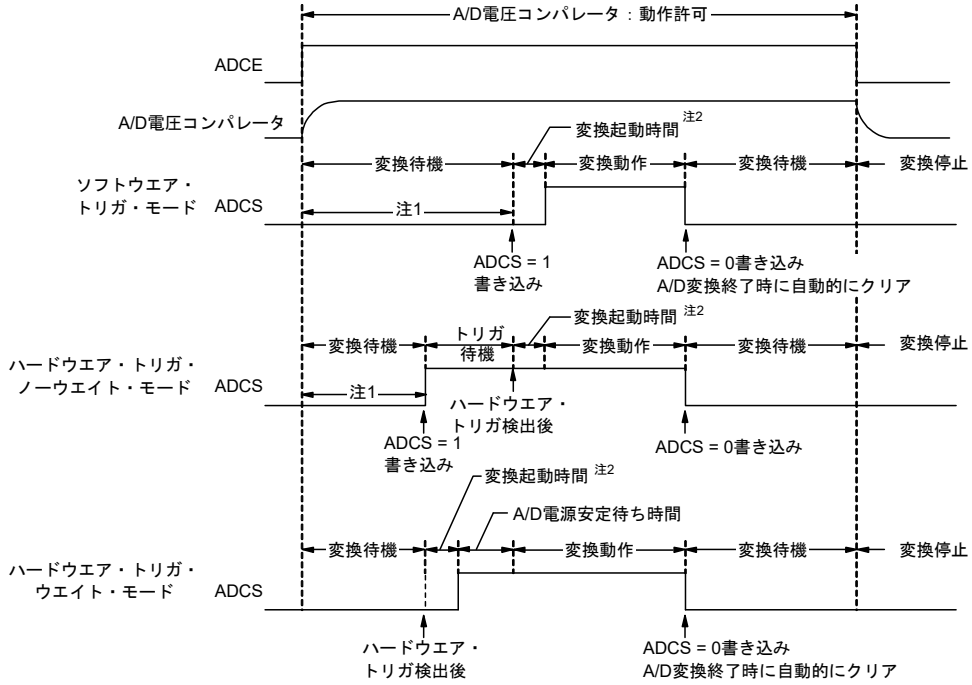
表16 - 1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表16 - 2 ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		• ADCS = 0ライトした場合 • AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		• ADCS = 0ライトした場合 • 設定した4チャネル分の変換が終了すると，自動的に“0”にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		• ADCS = 0ライトした場合 • AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		• ADCS = 0ライトした場合 • 設定した4チャネル分の変換が終了すると，自動的に“0”にクリア

図16 - 5 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。

注2. 変換起動には，最大で次の時間がかかります。

ADM0			変換クロック (fAD)	変換起動時間(fCLKクロック数)	
FR2	FR1	FR0		ソフトウエア・トリガ・モード/ ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガ・ウエイト・モード
0	0	0	fCLK/64	63	1
0	0	1	fCLK/32	31	
0	1	0	fCLK/16	15	
0	1	1	fCLK/8	7	
1	0	0	fCLK/6	5	
1	0	1	fCLK/5	4	
1	1	0	fCLK/4	3	
1	1	1	fCLK/2	1	

ただし，連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です(ハードウエア・トリガ信号検出時に，自動的に1に切り替わります)。ただし，AD変換待機状態にするために，ADCSビットに0を設定することは可能です。

注意2. ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，AD 変換終了時に ADCS フラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

注意3. ADCEビットの書き換えは，ADCS = 0 (変換停止／変換待機状態)のときに行ってください。

注意4. A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウエア・トリガ・ウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 fCLK：CPU／周辺ハードウエア・クロック周波数

表16 - 3 A/D変換時間の選択(1/4)

(1) A/D電源安定待ち時間なし 標準モード1, 2
(ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換クロック数 注	変換時間	10ビット分解能時の変換時間				
									2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD} (サンプリング・クロック数：7 f_{AD})	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	50.667 μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76 μs	38 μs	25.333 μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76 μs	38 μs	19 μs	12.667 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	6.333 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95 μs	23.75 μs	11.875 μs	5.938 μs	3.958 μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	3.167 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD} (サンプリング・クロック数：5 f_{AD})	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	68 μs	45.333 μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68 μs	34 μs	22.667 μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68 μs	34 μs	17 μs	11.333 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	5.667 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	4.25 μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85 μs	21.25 μs	10.625 μs	5.3125 μs	3.542 μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68 μs	17 μs	8.5 μs	4.25 μs	2.833 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック(f_{AD})の2クロック分短くなります。

注意1. A/D変換時間は，35.6.1または36.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表16 - 3 A/D変換時間の選択(2/4)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2
(ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換クロック数 注4	変換時間	10ビット分解能時の変換時間				
									1.6 V≦V_{DD}≦5.5 V		注1	注2	注3
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	19 f_{AD} (サンプリング・クロック数：7 f_{AD})	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	50.667 μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76 μs	38 μs	25.333 μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76 μs	38 μs	19 μs	12.667 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	6.333 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95 μs	23.75 μs	11.875 μs	5.938 μs	3.958 μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	3.167 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	17 f_{AD} (サンプリング・クロック数：5 f_{AD})	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	68 μs	45.333 μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68 μs	34 μs	22.667 μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68 μs	34 μs	17 μs	11.333 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	5.667 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	4.25 μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85 μs	21.25 μs	10.625 μs	5.3125 μs	3.542 μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68 μs	17 μs	8.5 μs	4.25 μs	2.833 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注1. 1.8 V≦V_{DD}≦5.5 V

注2. 2.4 V≦V_{DD}≦5.5 V

注3. 2.7 V≦V_{DD}≦5.5 V

注4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック(f_{AD})の2クロック分短くなります。

注意1. A/D変換時間は，35.6.1または36.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表16 - 3 A/D変換時間の選択(3/4)

(3) A/D電源安定待ち時間あり 標準モード1, 2
(ハードウエア・トリガ・ウエイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	A/D電源安定待ちクロック数	変換クロック数 注2	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間				
										2.7 V ≦ V_{DD} ≦ 5.5 V				
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD} (サンプリング・クロック数：7 f_{AD})	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	108 μs	72 μs
0	0	1				f_{CLK}/32			864/f_{CLK}			108 μs	54 μs	36 μs
0	1	0				f_{CLK}/16			432/f_{CLK}		108 μs	54 μs	27 μs	18 μs
0	1	1				f_{CLK}/8			216/f_{CLK}		54 μs	27 μs	13.5 μs	9 μs
1	0	0				f_{CLK}/6			162/f_{CLK}		40.5 μs	20.25 μs	10.125 μs	6.75 μs
1	0	1				f_{CLK}/5			135/f_{CLK}	135 μs	33.75 μs	16.875 μs	8.4375 μs	5.625 μs
1	1	0				f_{CLK}/4			108/f_{CLK}	108 μs	27 μs	13.5 μs	6.75 μs	4.5 μs
1	1	1				f_{CLK}/2			54/f_{CLK}	54 μs	13.5 μs	6.75 μs	3.375 μs	2.25 μs
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD} (サンプリング・クロック数：5 f_{AD})	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	100 μs	66.667 μs
0	0	1				f_{CLK}/32			800/f_{CLK}			100 μs	50 μs	33.333 μs
0	1	0				f_{CLK}/16			400/f_{CLK}		100 μs	50 μs	25 μs	16.667 μs
0	1	1				f_{CLK}/8			200/f_{CLK}		50 μs	25 μs	12.5 μs	8.333 μs
1	0	0				f_{CLK}/6			150/f_{CLK}		37.5 μs	18.75 μs	9.375 μs	6.25 μs
1	0	1				f_{CLK}/5			125/f_{CLK}	125 μs	31.25 μs	15.625 μs	7.8125 μs	5.208 μs
1	1	0				f_{CLK}/4			100/f_{CLK}	100 μs	25 μs	12.5 μs	6.25 μs	4.167 μs
1	1	1				f_{CLK}/2			50/f_{CLK}	50 μs	12.5 μs	6.25 μs	3.125 μs	2.083 μs

注1. 連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません(表16 - 3参照)。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック(f_{AD})の2クロック分短くなります。

注意1. A/D変換時間は，35.6.1または36.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。
なお，変換時間(t_{CONV})はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

注意4. ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表16 - 3 A/D変換時間の選択(4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2
(ハードウエア・トリガ・ウエイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	A/D電源安定待ちクロック数	変換クロック数注5	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間				
										1.6 V≦V_{DD}≦5.5 V		注2	注3	注4
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	2 f_{AD}	19 f_{AD} (サンプリング・クロック数：7 f_{AD})	1344/f_{CLK}	設定禁止	設定禁止	設定禁止	84 μs	56 μs
0	0	1				f_{CLK}/32			672/f_{CLK}			84 μs	42 μs	28 μs
0	1	0				f_{CLK}/16			336/f_{CLK}		84 μs	42 μs	21 μs	14 μs
0	1	1				f_{CLK}/8			168/f_{CLK}		42 μs	21 μs	10.5 μs	7 μs
1	0	0				f_{CLK}/6			126/f_{CLK}		31.25 μs	15.75 μs	7.875 μs	5.25 μs
1	0	1				f_{CLK}/5			105/f_{CLK}	105 μs	26.25 μs	13.125 μs	6.5625 μs	4.375 μs
1	1	0				f_{CLK}/4			84/f_{CLK}	84 μs	21 μs	10.5 μs	5.25 μs	3.5 μs
1	1	1				f_{CLK}/2			42/f_{CLK}	42 μs	10.5 μs	5.25 μs	2.625 μs	1.75 μs
0	0	0	1	1	低電圧2	f_{CLK}/64	2 f_{AD}	17 f_{AD} (サンプリング・クロック数：5 f_{AD})	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	50.667 μs
0	0	1				f_{CLK}/32			608/f_{CLK}			76 μs	38 μs	25.333 μs
0	1	0				f_{CLK}/16			304/f_{CLK}		76 μs	38 μs	19 μs	12.667 μs
0	1	1				f_{CLK}/8			152/f_{CLK}		38 μs	19 μs	9.5 μs	6.333 μs
1	0	0				f_{CLK}/6			114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f_{CLK}/5			95/f_{CLK}	96 μs	23.75 μs	11.875 μs	5.938 μs	3.958 μs
1	1	0				f_{CLK}/4			76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	3.167 μs
1	1	1				f_{CLK}/2			38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません(表16 - 3参照)。

注2. 1.8 V≦V_{DD}≦5.5 V

注3. 2.4 V≦V_{DD}≦5.5 V

注4. 2.7 V≦V_{DD}≦5.5 V

注5. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック(f_{AD})の2クロック分短くなります。

注意1. A/D変換時間は，35.6.1または36.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。
なお，変換時間(t_{CONV})はA/D電源安定待ち時間を含みません。

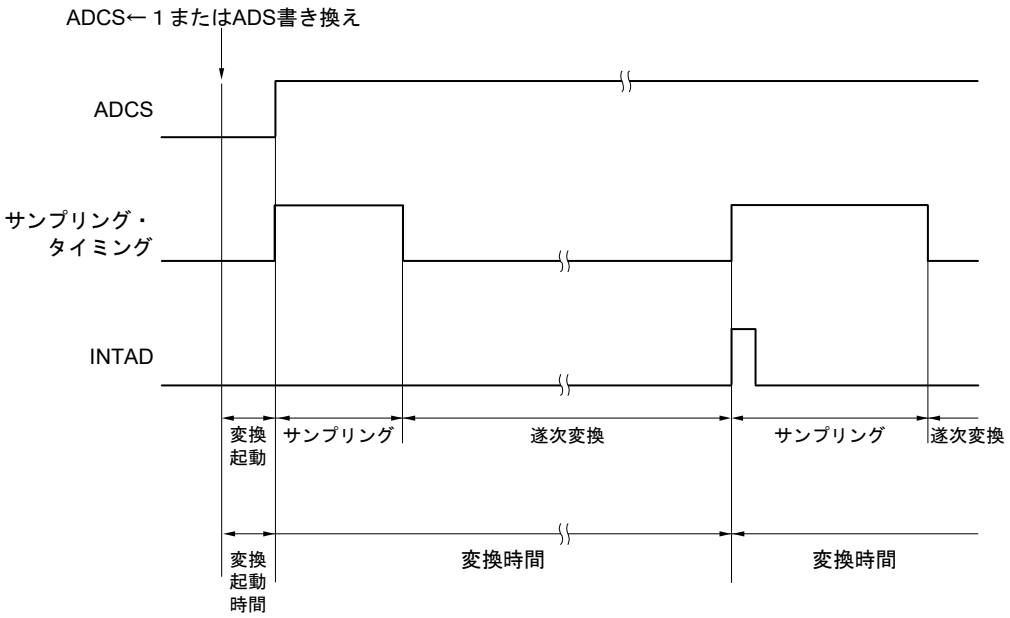
注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

注意4. ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図16 - 6 A/Dコンバータのサンプリングと A/D変換のタイミング(例 ソフトウエア・トリガ・モードの場合)



16.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16 - 7 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス：FFF32H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	0	ソフトウエア・トリガ・モード
0	1	
1	0	ハードウエア・トリガ・ノーウエイト・モード
1	1	ハードウエア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	タイマ・チャネル1のカウント完了またはキャプチャ完了割り込み信号(INTTM01)
0	1	ELCで選択されたイベント信号
1	0	設定禁止
1	1	12ビット・インターバル・タイマ割り込み信号(INTIT)

注意1. ADM1レジスタを書き換える場合は，必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには，ハードウエア・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック + 変換起動時間 + A/D変換時間

ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて，INTIT入力後最大f_{CLK}の4クロック間は，次のINTIT入力がトリガとして有効になりません。

備考1. ×：Don't care

備考2. f_{CLK}：CPU／周辺ハードウエア・クロック周波数

16.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および−側基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	V_{DD}から供給
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧(1.45 V)から供給注
1	1	設定禁止

• ADREFP1, ADREFP0ビットを書き換える場合，次の手順で設定してください。

① ADCE = 0に設定
② ADREFP1, ADREFP0の値を変更
③ 基準電圧安定待ち時間ウエイト(A)
④ ADCE = 1に設定
⑤ 基準電圧安定待ち時間ウエイト(B)

ADREFP1, ADREFP0 = 1, 0に変更する場合：A = 10 μs, B = 1 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合：Aはウエイト不要，B = 1 μs

⑤のウエイトのあとに，A/D変換開始してください。

• ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力電圧と内部基準電圧をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの−側の基準電圧の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

注　動作電圧1.8 V以上で設定してください。

注意1. ADM2レジスタを書き換える場合は，必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧(ADREFP1, ADREFP0 = 1, 0)選択時は，35.3.2 または36.3.2　電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

注意3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

図16 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2)

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限／下限値チェック
0	ADLL レジスタ≦ADCR レジスタ≦ADUL レジスタ(AREA1)のとき割り込み信号(INTAD)が発生。
1	ADCR レジスタ＜ADLL レジスタ(AREA2)，ADUL レジスタ＜ADCR レジスタ(AREA3)のとき割り込み信号(INTAD)が発生。
AREA1～AREA3の割り込み信号(INTAD)発生範囲を図16 - 9に示します。	

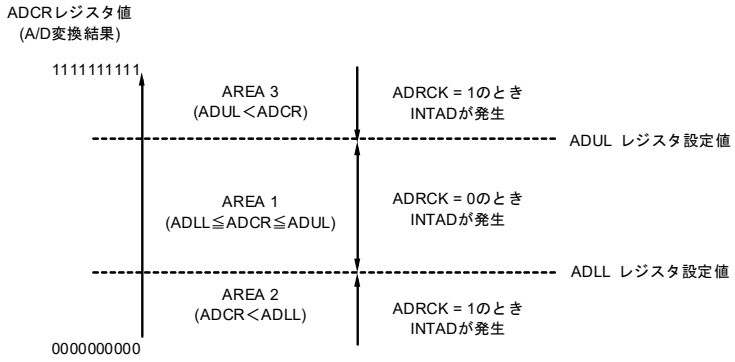
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います(SNOOZEモード)。 • SNOOZEモード機能は，CPU／周辺ハードウエア・クロック(f_{CLK})に高速オンチップ・オシレータ・クロック(f_{IH})または，中速オンチップ・オシレータ・クロック(f_{IM})が選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック(f_{IH})または，中速オンチップ・オシレータ・クロック(f_{IM})以外が選択されている場合は設定禁止です。 • ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「SNOOZEモードの遷移時間注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + f_{CLK}の2クロック」以上の間隔を空けて設定してください。 • SNOOZE機能を使用する場合でも，通常動作時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。 またSTOPモードから通常動作へ復帰後，必ずAWCを0に変更してください。 AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注　24.3.3　SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意　ADM2レジスタを書き換える場合は，必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

図16 - 9 ADRCKビットによる割り込み信号発生範囲



備考　INTADが発生しない場合は，A/D変換結果がADCR, ADCRHレジスタに格納されません。

16.3.6 10ビットA/D変換結果レジスタ(ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに，逐次変換レジスタ(SAR)から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます注。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット，ADUL/ADLLレジスタで設定(図16 - 9参照))で設定した値の範囲外の場合は格納されません。

図16 - 10 10ビットA/D変換結果レジスタ(ADCR)のフォーマット

アドレス：FFF1FH, FFF1EH　　リセット時：0000H　R

略号	FFF1FH								FFF1EH							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR											0	0	0	0	0	0

注意1. 8ビット分解能A/D変換を選択時(A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYP = 1)にADCRレジスタをリードした場合，下位2ビット(ADCRレジスタのビット7，ビット6)は，0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがビット15から順に読み出せます。

16.3.7 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します注。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット，ADUL/ADLLレジスタで設定(図16 - 9参照))で設定した値の範囲外の場合は格納されません。

図16 - 11 8ビットA/D変換結果レジスタ(ADCRH)のフォーマット

アドレス：FFF1FH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意 A/Dコンバータ・モード・レジスタ0 (ADM0)，アナログ入力チャネル指定レジスタ(ADS)に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

16.3.8 アナログ入力チャネル指定レジスタ(ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16 - 12 アナログ入力チャネル指定レジスタ(ADS)のフォーマット(1/2)

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P01/ANI16端子
0	1	0	0	0	1	ANI17	P00/ANI17端子
0	1	0	0	1	0	ANI18	P33/ANI18端子
0	1	0	0	1	1	ANI19	P32/ANI19端子
0	1	0	1	0	0	ANI20	P31/ANI20端子
0	1	0	1	0	1	ANI21	P30/ANI21端子
0	1	0	1	1	0	ANI22	P56/ANA22端子
0	1	0	1	1	1	—	PGAOUT(PGA出力)
1	0	0	0	0	0	—	温度センサ出力電圧注
1	0	0	0	0	1	—	内部基準電圧(1.45 V)
上記以外						設定禁止	

注　コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧(1.45 V)を選択している場合は，温度センサ出力を選択できません。

(注意は次ページにあります。)

図16 - 12 アナログ入力チャネル指定レジスタ(ADS)のフォーマット(2/2)

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○スキャン・モード(ADMD = 1)

ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
					スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
上記以外					設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

注意2. PMCxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 2, 3, 5 (PM0, PM2, PM3, PM5)で入力モードに選択してください。

注意3. ポート・モード・コントロール・レジスタ0, 2, 3, 5 (PMC0, PMC2, PMC3, PMC5)でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は，必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. AV_{REFP}をA/Dコンバータの + 側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

注意6. AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

注意7. ADISS = 1を設定した場合，+ 側の基準電圧に内部基準電圧(1.45 V)は使用できません。
また，ADISS = 1に設定後，1回目の変換結果は使用できません。詳細設定フローは，16.7.4　温度センサ出力電圧／内部基準電圧を選択時の設定 (例　ソフトウエア・トリガ・モード，ワンショット変換モード時) を参照してください。

注意8. STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，35.3.2 または36.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

16.3.9 変換結果比較上限値設定レジスタ(ADUL)

A/D変換結果対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図16 - 9参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

注意1. 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは，必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは，ADUL＞ADLLになるように設定を行ってください。

図16 - 13 変換結果比較上限値設定レジスタ(ADUL)のフォーマット

アドレス：F0011H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

16.3.10 変換結果比較下限値設定レジスタ(ADLL)

A/D変換結果対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図16 - 9参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16 - 14 変換結果比較下限値設定レジスタ(ADLL)のフォーマット

アドレス：F0012H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは，必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは，ADUL＞ADLLになるように設定を行ってください。

16.3.11 A/Dテスト・レジスタ(ADTES)

A/D変換対象にA/Dコンバータの + 側の基準電圧，－側の基準電圧，アナログ入力チャネル(ANIxx)，温度センサ出力電圧，内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に + 側の基準電圧を選択。

ADTESレジスタは，は8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16 - 15 A/Dテスト・レジスタ(ADTES)のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx / 温度センサ出力電圧 / 内部基準電圧(1.45 V) (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	－側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+ 側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注意　A/Dテスト機能についての詳細は，第28章　安全機能を参照してください。

16.3.12 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx),ポート・モード・コントロール・レジスタ(PMCxx)を設定してください。詳細は，4.3.1 ポート・モード・レジスタ(PMxx)，4.3.6 ポート・モード・コントロール・レジスタ(PMCxx)を参照してください。

ANI0-ANI3, ANI16-ANA22端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ(PMxx)とポート・モード・コントロール・レジスタ(PMCxx)のビットに1を設定してください。

16.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。

② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。

③ 逐次変換レジスタ (SAR) のビット 9 をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを(1/2)AVREFにします。

④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし，アナログ入力が(1/2)AVREFよりも大きければ，SARレジスタのMSBビットをセットしたままです。また，(1/2)AVREFよりも小さければ，MSBビットはリセットします。

⑤ 次に SAR レジスタのビット 8 が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。

- ビット9 = 1：(3/4) AVREF
- ビット9 = 0：(1/4) AVREF

この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。

- サンプリングされた電圧≧電圧タップ：ビット8 = 1
- サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較をSARレジスタのビット0まで続けます。

⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ(ADCR, ADCRH)に転送され，ラッチします注1。

同時に，A/D変換終了割り込み要求(INTAD)を発生させることができます。

⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します注2。

A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能(ADRCKビット，ADUL/ADLLレジスタで設定(図16 - 9参照))で設定した値の範囲外の場合，A/D変換終了割り込み要求信号(INTAD)は発生しません。この場合，ADCR, ADCRHレジスタに結果は格納されません。

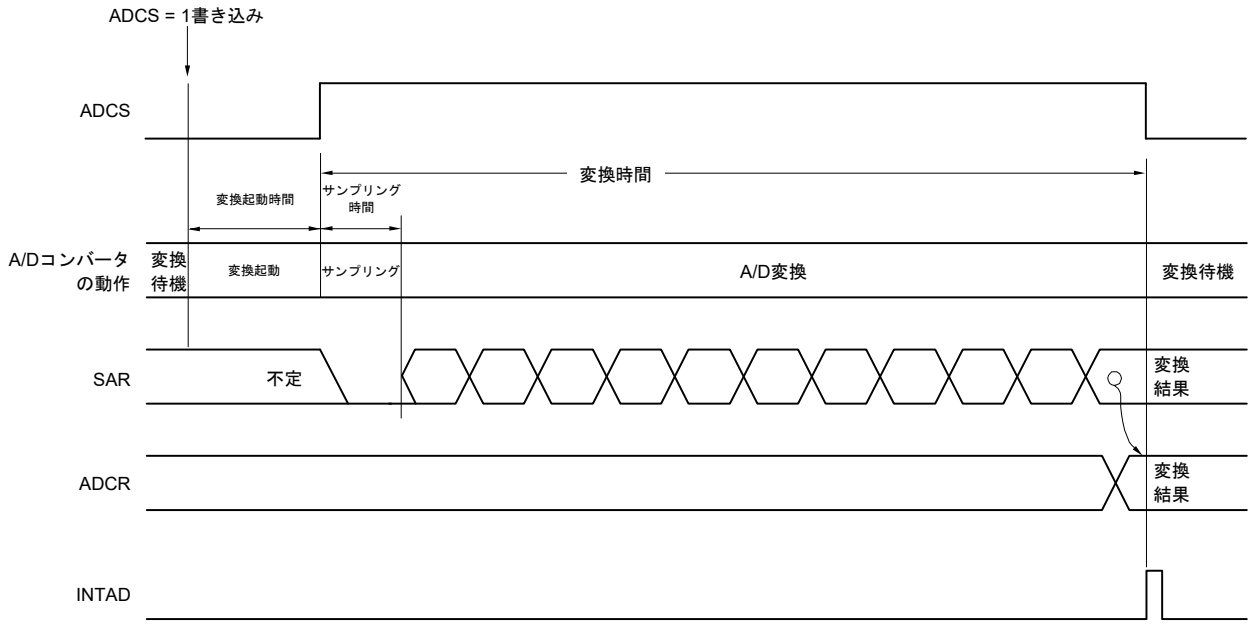
注2. 連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ(16ビット)：10ビットのA/D変換値を格納します。
- ADCRHレジスタ(8ビット)：8ビットのA/D変換値を格納します。

備考2. AVREF：A/Dコンバータの + 側基準電圧。AVREFP, 内部基準電圧(1.45 V)，VDDから選択可能です。

図16 - 16 A/Dコンバータの変換動作(ソフトウエア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は，A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ(ADS)に対して書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ(ADCR, ADCRH)は，リセット信号の発生により0000Hまた00Hとなります。

16.5 入力電圧と変換結果

アナログ入力端子(ANI0-ANI3, ANI16-ANI22)に入力されたアナログ入力電圧と理論上のA/D変換結果(10ビットA/D変換結果レジスタ(ADCR))には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

または,

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT ( ) : ( )内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

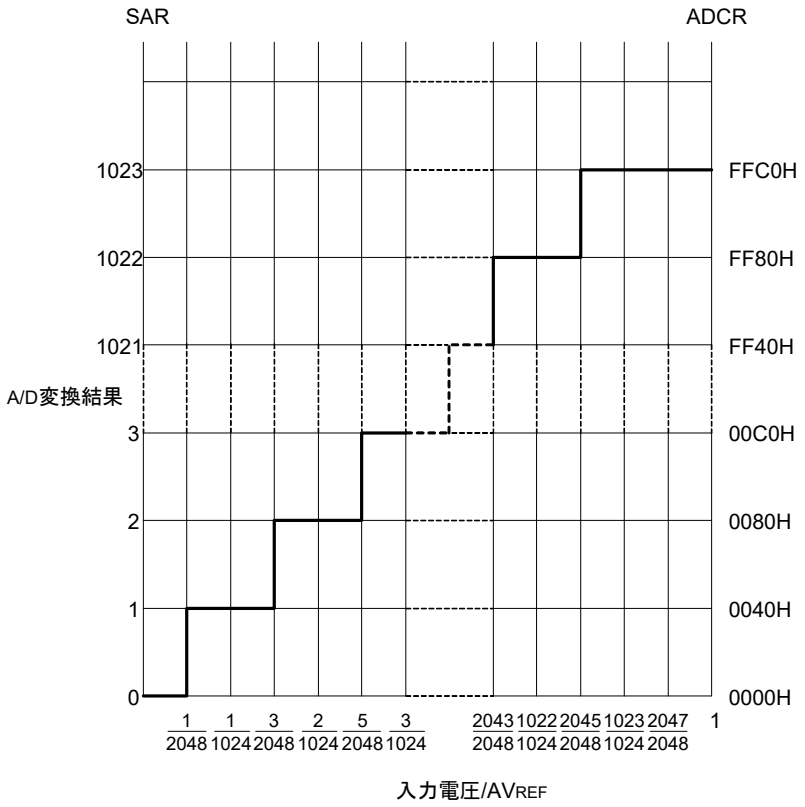
AV_{REF} : AV_{REF}端子電圧

ADCR : A/D変換結果レジスタ(ADCR)の値

SAR : 逐次変換レジスタ

図16 - 17にアナログ入力電圧とA/D変換結果の関係を示します。

図16 - 17 アナログ入力電圧とA/D変換結果の関係



備考 AV_{REF} : A/Dコンバータの + 側基準電圧。AV_{REFP}, 内部基準電圧(1.45 V), V_{DD}から選択可能です。

16.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順を16.7 A/Dコンバータの設定フロー・チャートに示します。

16.6.1 ソフトウエア・トリガ・モード(セレクト・モード，連続変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

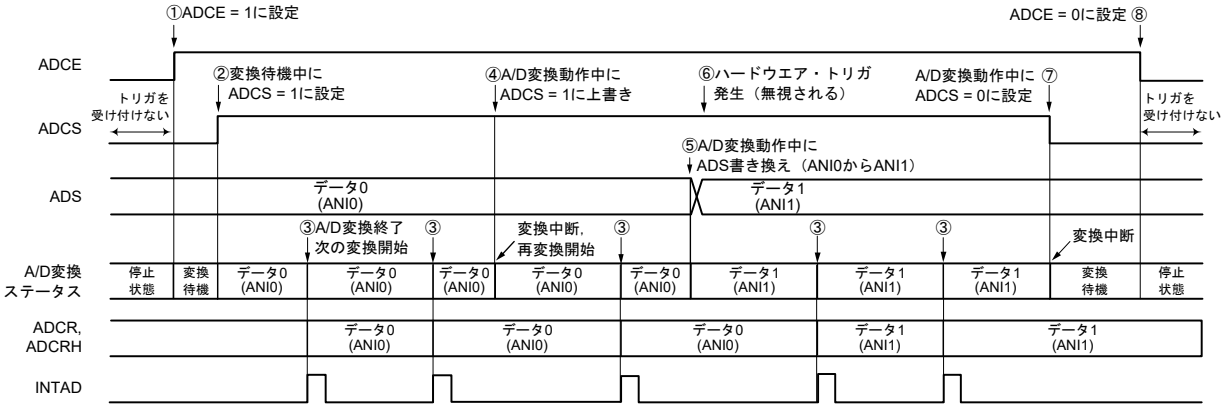
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図16 - 18 ソフトウエア・トリガ・モード(セレクト・モード，連続変換モード)動作タイミング例



16.6.2 ソフトウエア・トリガ・モード(セレクト・モード，ワンショット変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

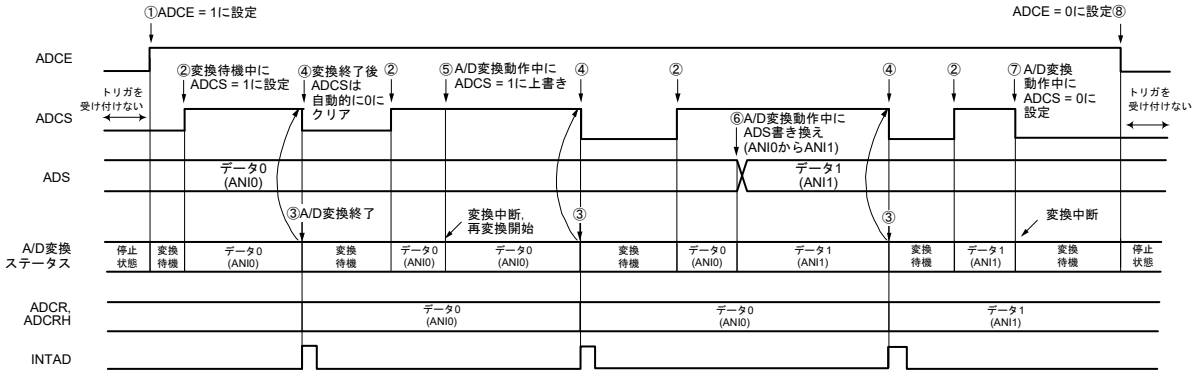
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図16 - 19 ソフトウエア・セレクト・モード(セレクト・モード，ワンショット変換モード)動作タイミング例



16.6.3 ソフトウエア・トリガ・モード(スキャン・モード，連続変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます(4チャネル分)。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

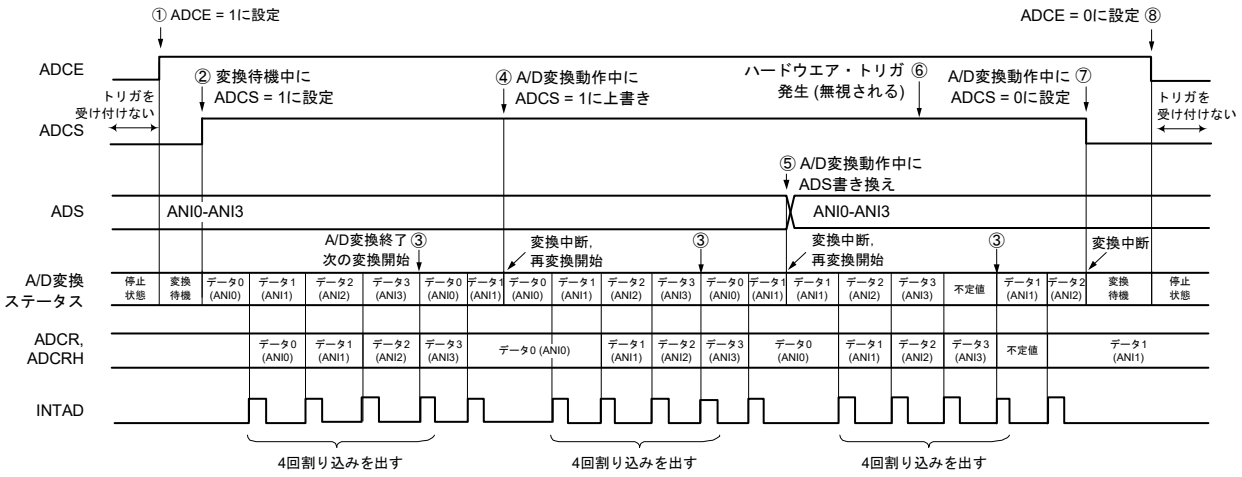
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図16 - 20 ソフトウエア・トリガ・モード(スキャン・モード，連続変換モード)動作タイミング例



16.6.4 ソフトウエア・トリガ・モード(スキャン・モード，ワンショット変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

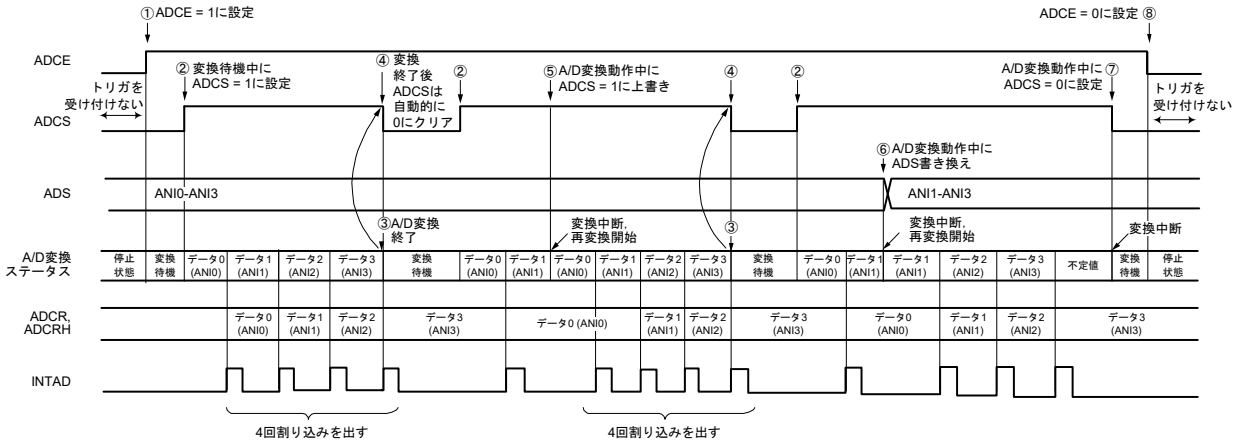
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図16 - 21 ソフトウエア・トリガ・モード(スキャン・モード，ワンショット変換モード)動作タイミング例



16.6.5 ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード，連続変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります(この段階では変換を開始しません)。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

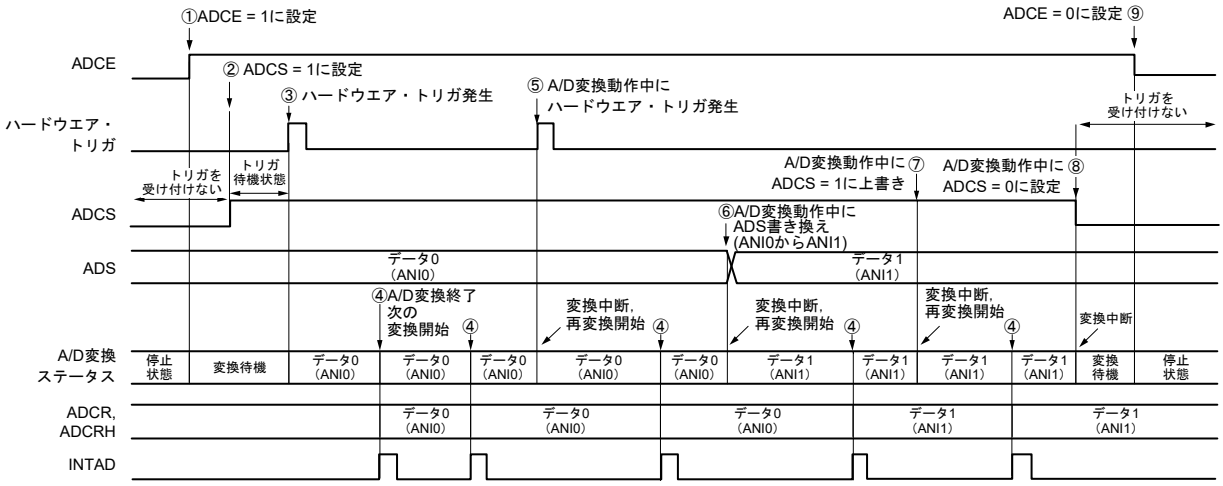
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図16 - 22 ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード，連続変換モード)動作タイミング例



16.6.6 ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード，ワンショット変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります(この段階では変換を開始しません)。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

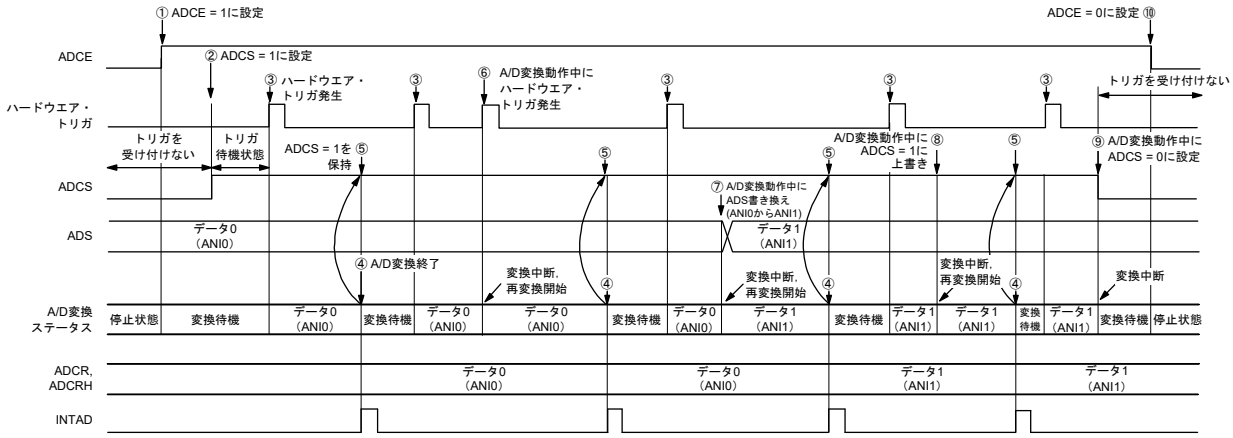
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図16 - 23 ハードウエア・トリガ・ノーウエイト・モード(セレクト・モード，ワンショット変換モード)動作タイミング例



16.6.7 ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード，連続変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります(この段階では変換を開始しません)。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

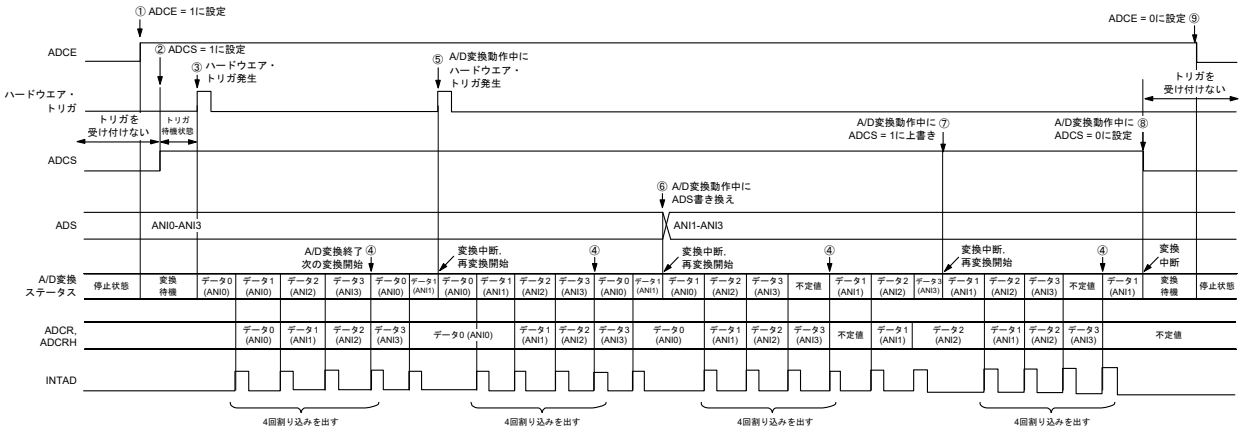
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図16 - 24 ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード，連続変換モード)動作タイミング例



16.6.8 ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード，ワンショット変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間(1 μs)をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります(この段階では変換を開始しません)。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

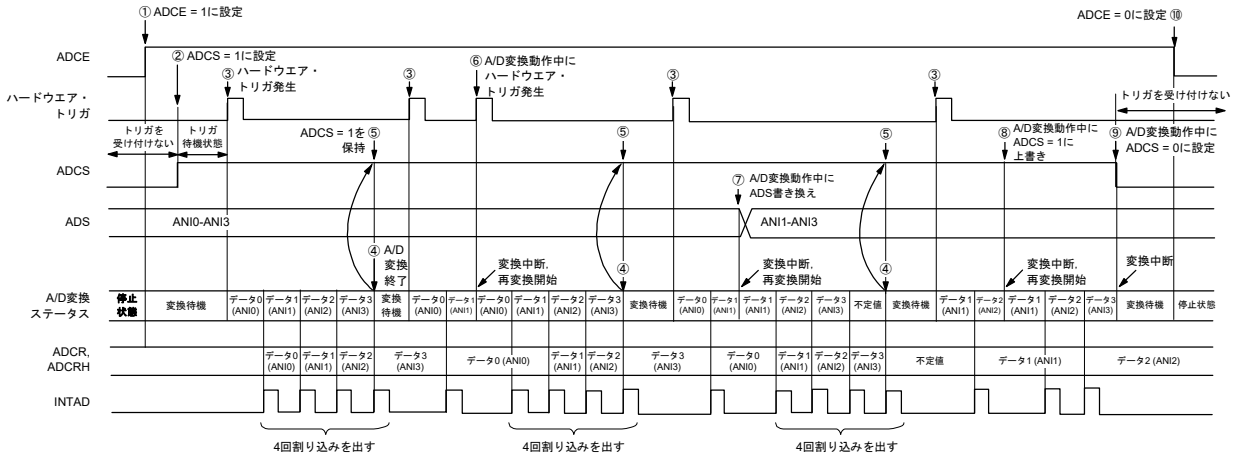
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図16 - 25 ハードウエア・トリガ・ノーウエイト・モード(スキャン・モード，ワンショット変換モード)動作タイミング例



16.6.9 ハードウエア・トリガ・ウエイト・モード(セレクト・モード，連続変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します(このとき，ハードウエア・トリガは不要です)。

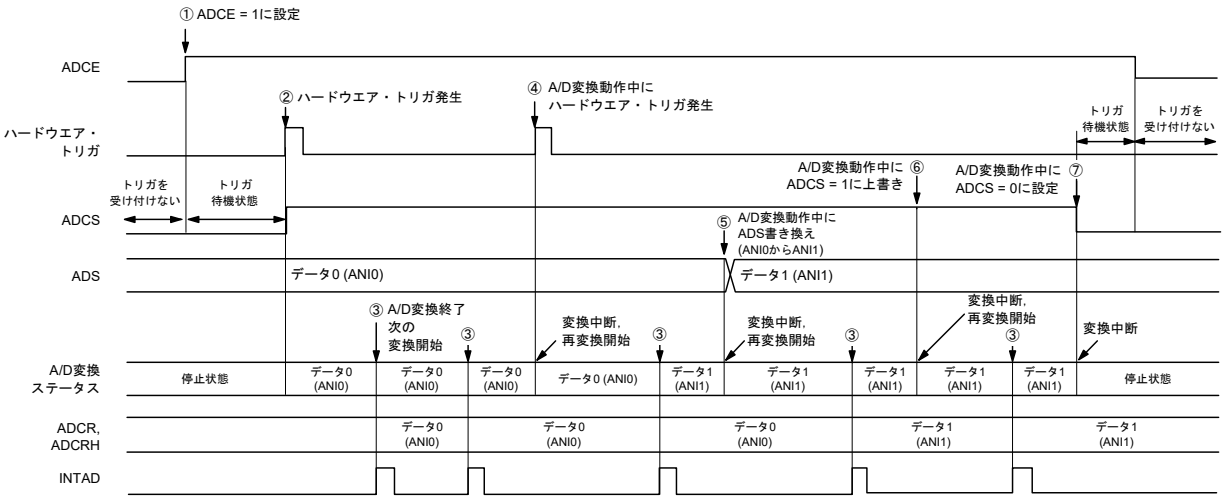
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図16 - 26 ハードウエア・トリガ・ウエイト・モード(セレクト・モード，連続変換モード)動作タイミング例



16.6.10 ハードウエア・トリガ・ウエイト・モード(セレクト・モード，ワンショット変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

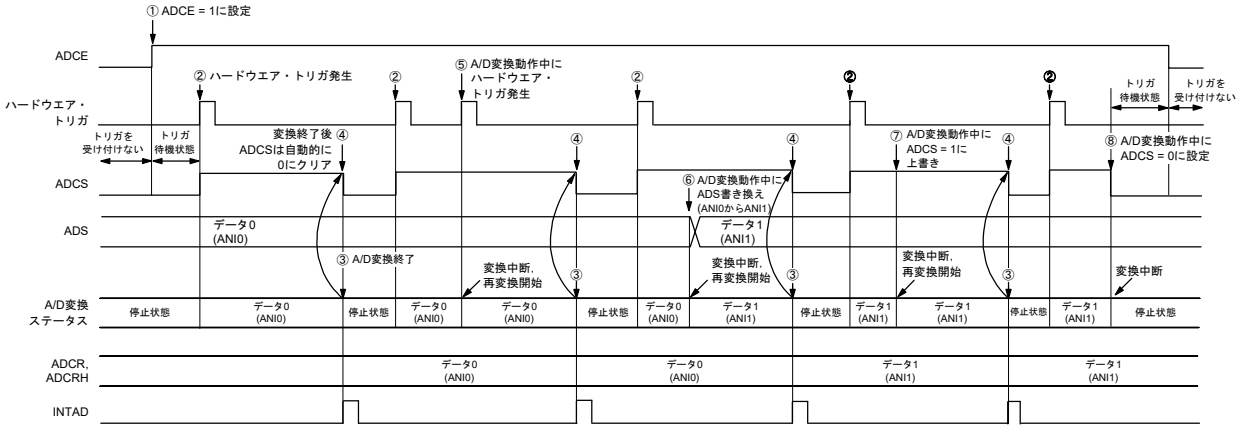
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図16 - 27 ハードウエア・トリガ・ウエイト・モード(セレクト・モード，ワンショット変換モード)動作タイミング例



16.6.11 ハードウエア・トリガ・ウエイト・モード(スキャン・モード，連続変換モード)

① 停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

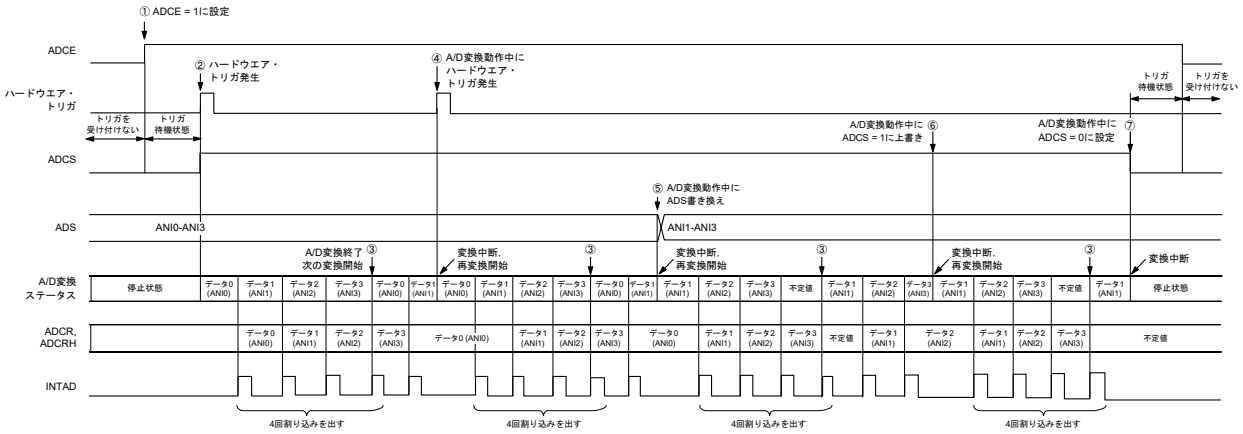
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図16 - 28 ハードウエア・トリガ・ウエイト・モード(スキャン・モード，連続変換モード)動作タイミング例



16.6.12 ハードウエア・トリガ・ウエイト・モード(スキャン・モード，ワンショット変換モード)

①停止状態で，A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し，A/D変換終了割り込み要求信号(INTAD)を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

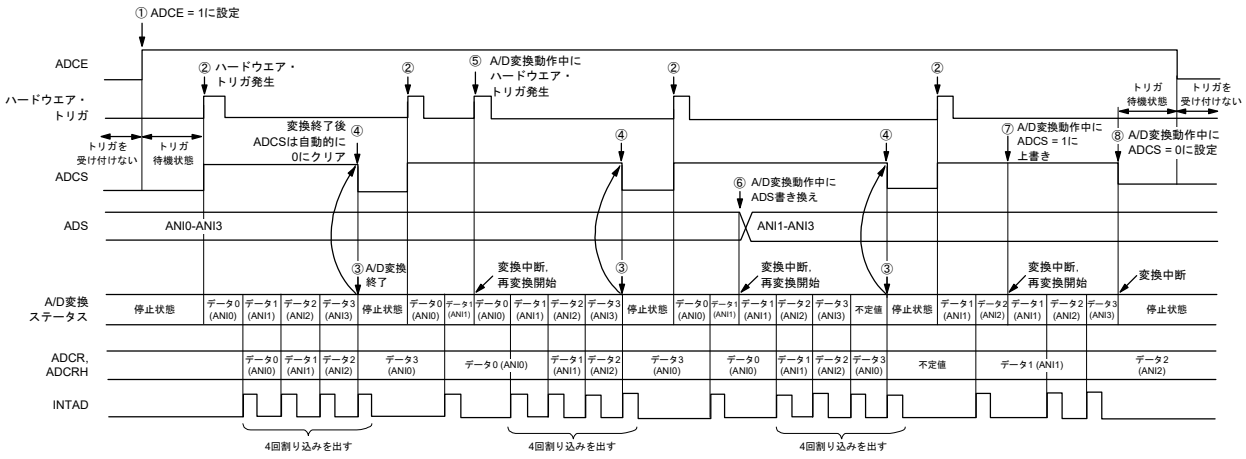
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図16 - 29 ハードウエア・トリガ・ウエイト・モード(スキャン・モード，ワンショット変換モード)動作タイミング例



16.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

16.7.1 ソフトウエア・トリガ・モード設定

図16 - 30 ソフトウエア・トリガ・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

16.7.2 ハードウエア・トリガ・ノーウエイト・モード設定

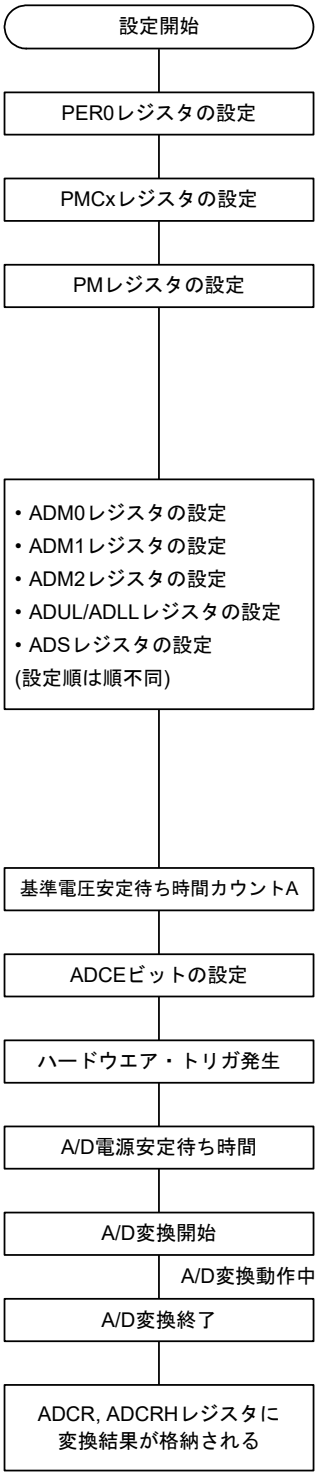
図16 - 31 ハードウエア・トリガ・ノーウエイト・モード設定



注 ADRCKビット, ADUL/ADLL レジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRH レジスタに結果は格納されません。

16.7.3 ハードウエア・トリガ・ウエイト・モード設定

図16 - 32 ハードウエア・トリガ・ウエイト・モード設定



PER0レジスタのADCENビットをセット(1)し，クロック供給を開始します。

ポートをアナログ入力に設定します。
ANI0-ANI3,ANI16-ANI22端子： PMCxレジスタで設定

ポートを入力モードに設定します。

- ADM0レジスタ
  FR2-FR0, LV1, LV0ビット：A/D変換時間を設定
  ADMDビット：セレクト・モード/スキャン・モード
- ADM1レジスタ
  ADTMD1, ADTMD0ビット：ハードウエア・トリガ・ウエイト・モードに設定
  ADSCMビット：連続変換モード/ワンショット変換モード
  ADTRS1, ADTRS0ビット：ハードウエア・トリガ信号を選択
- ADM2レジスタ
  ADREFP1, ADREFP0, ADREFMビット：基準電圧の選択
  ADRCKビット：割り込み信号が発生するA/D変換結果比較値の範囲を
  AREA1, AREA3, またはAREA2から選択
  ADTYPビット：8ビット/10ビット分解能
- ADUL/ADLLレジスタ
  A/D変換結果比較値の上限値/下限値を設定
- ADSレジスタ
  ADS4-ADS0ビット：アナログ入力チャネルを選択

基準電圧安定待ち時間カウントAは，ADREFP1, ADREFP0の値の変更時に必要となります。
ADREFP1, ADREFP0 = 1, 0に変更する場合： A = 10 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合： ウエイト不要

ADM0レジスタのADCEビットをセット(1)し，A/D変換待機状態にします。

A/D電源の安定待ち時間を自動的にカウントします。

基準電圧安定待ち時間カウントをカウント終了後，A/D変換を開始します。

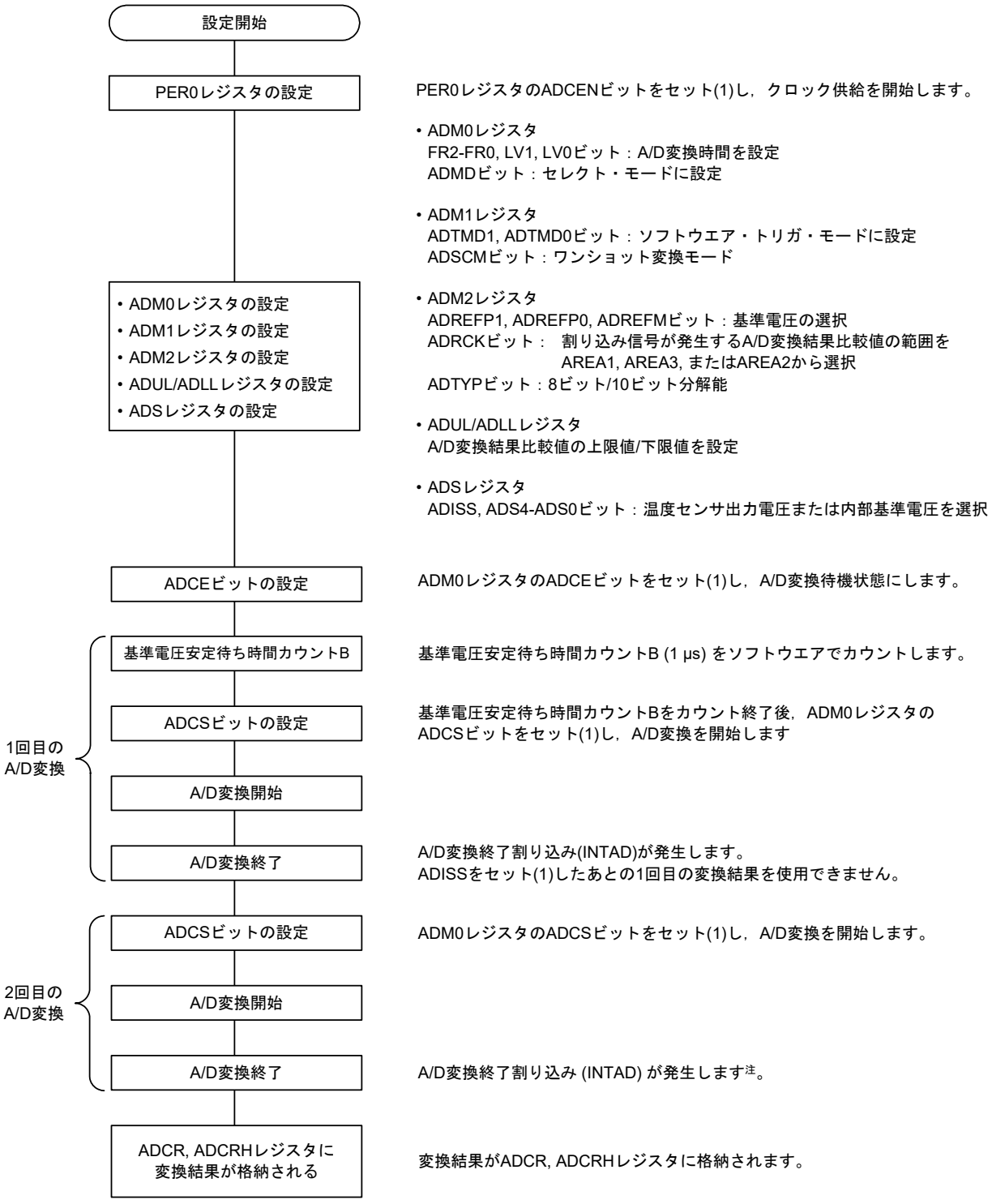
A/D変換終了割り込み (INTAD) が発生します注。

変換結果がADCR, ADCRHレジスタに格納されます。

注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

16.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウエア・トリガ・モード，ワンショット変換モード時)

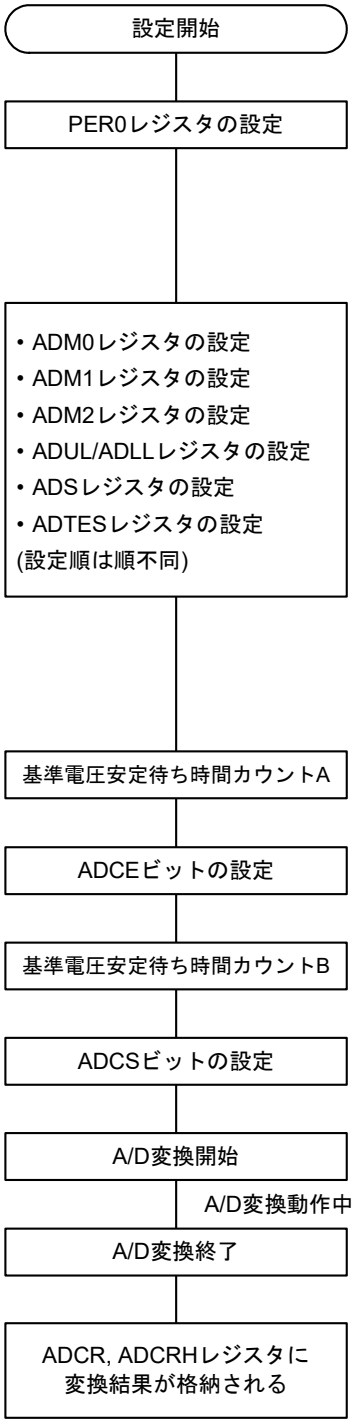
図16 - 33 温度センサ出力電圧／内部基準電圧を選択時の設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

16.7.5 テスト・モード設定

図16 - 34 テスト・モード設定



PER0レジスタのADCENビットをセット(1)し，クロック供給を開始します。

- ADM0レジスタ
  FR2-FR0, LV1, LV0ビット：A/D変換時間を設定
  ADMDビット：セレクト・モードに設定
- ADM1レジスタ
  ADTMD1, ADTMD0ビット：ソフトウエア・トリガ・モードに設定
  ADSCMビット：ワンショット変換モードに設定
- ADM2レジスタ
  ADREFP1, ADREFP0, ADREFMビット：基準電圧の選択
  ADRCKビット：割り込み信号が発生するA/D変換結果比較値の範囲を
  AREA2に設定
  ADTYPビット：10ビット分解能に設定
- ADUL/ADLLレジスタ
  ADUL = FFH, ADLL = 00Hに設定 (初期値)
- ADSレジスタ
  ADS4-ADS0ビット：ANI0に設定
- ADTESレジスタ
  ADTES1, ADTES0ビット：AV_{REFM}/AV_{REFP}

基準電圧安定待ち時間カウントAは，ADREFP1, ADREFP0の値の変更時に必要となります。
ADREFP1, ADREFP0 = 1, 0に変更する場合： A = 10 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合： ウエイト不要

ADM0レジスタのADCEビットをセット(1)し，A/D変換待機状態にします。

基準電圧安定待ち時間カウントB (1 μs) をソフトウエアでカウントします。

基準安定待ち時間カウントBをカウント終了後，ADM0レジスタのADCSビットをセット(1)し，A/D変換を開始します。

A/D変換終了割り込み (INTAD) が発生します注。

変換結果がADCR, ADCRHレジスタに格納されます。

注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については，28.3.8 A/Dテスト機能を参照してください。

16.8 SNOOZEモード機能

STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが，このモードを使うことで，ハードウエア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

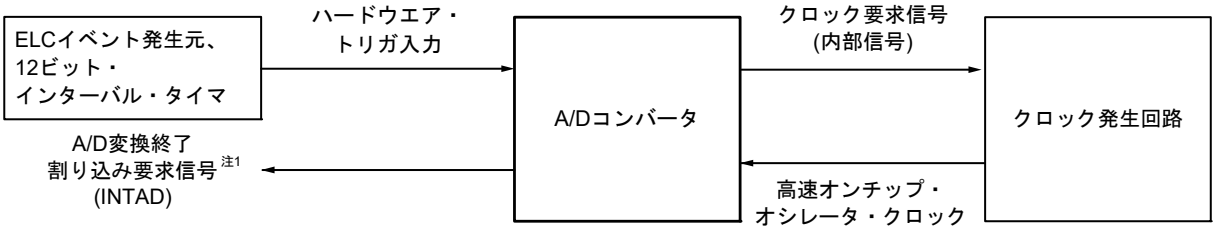
SNOOZEモードでは，ADUL, ADLLで変換結果の範囲を指定すれば，一定時間ごとにA/D変換結果の判断ができます。これにより，電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは，次の2つの変換モードのみ使用可能です。

- ハードウエア・トリガ・ウエイト・モード(セレクト・モード，ワンショット変換モード)
- ハードウエア・トリガ・ウエイト・モード(スキャン・モード，ワンショット変換モード)

注意 SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック(f_{IH})または，中速オンチップ・オシレータ・クロック(f_{IM})を選択している場合のみ設定可能です。

図16 - 35 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います(16.7.3 ハードウエア・トリガ・ウエイト・モード設定を参照注2)。このとき，A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定しておきます。初期設定完了後，A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，A/D電源安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります注1。

注1. A/D変換結果比較機能の設定(ADRCKビット，ADUL/ADLLレジスタ)により，割り込み信号が発生しない場合があります。

注2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考 ハードウエア・トリガは，ELCで選択されたイベント，INTITです。
ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合，A/D変換終了割り込み要求信号(INTAD)は発生します。

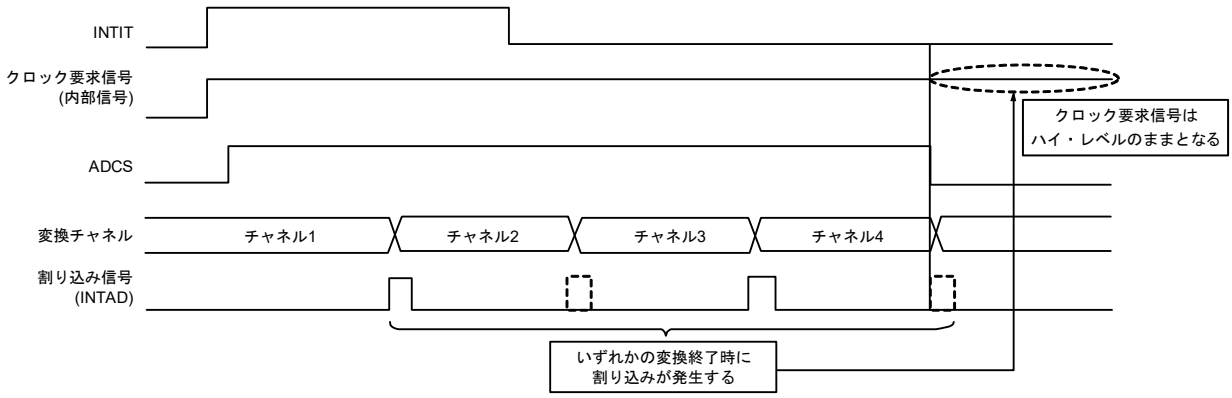
・セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0 : SNOOZE解除)してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません。

・スキャン・モード時

4チャネル分のA/D変換で1回でもA/D変換終了割り込み要求信号(INTAD)が発生した場合，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0 : SNOOZE解除)してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません。

図16 - 36 A/D変換終了後に割り込みが発生する場合の動作例(スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合，A/D変換終了割り込み要求信号(INTAD)は発生しません。

・セレクト・モード時

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合，A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

・スキャン・モード時

4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号(INTAD)が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図16 - 37 A/D変換終了後に割り込みが発生しない場合の動作例(スキャン・モード時)

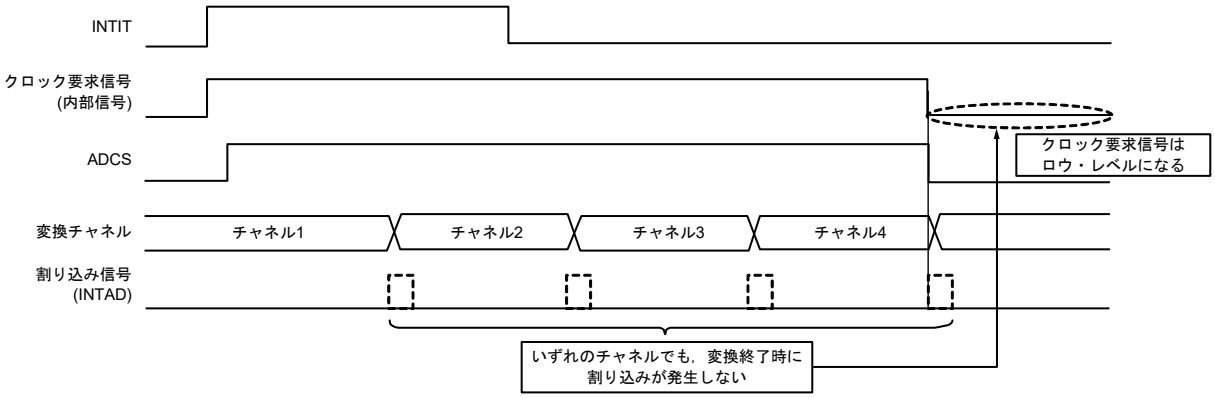
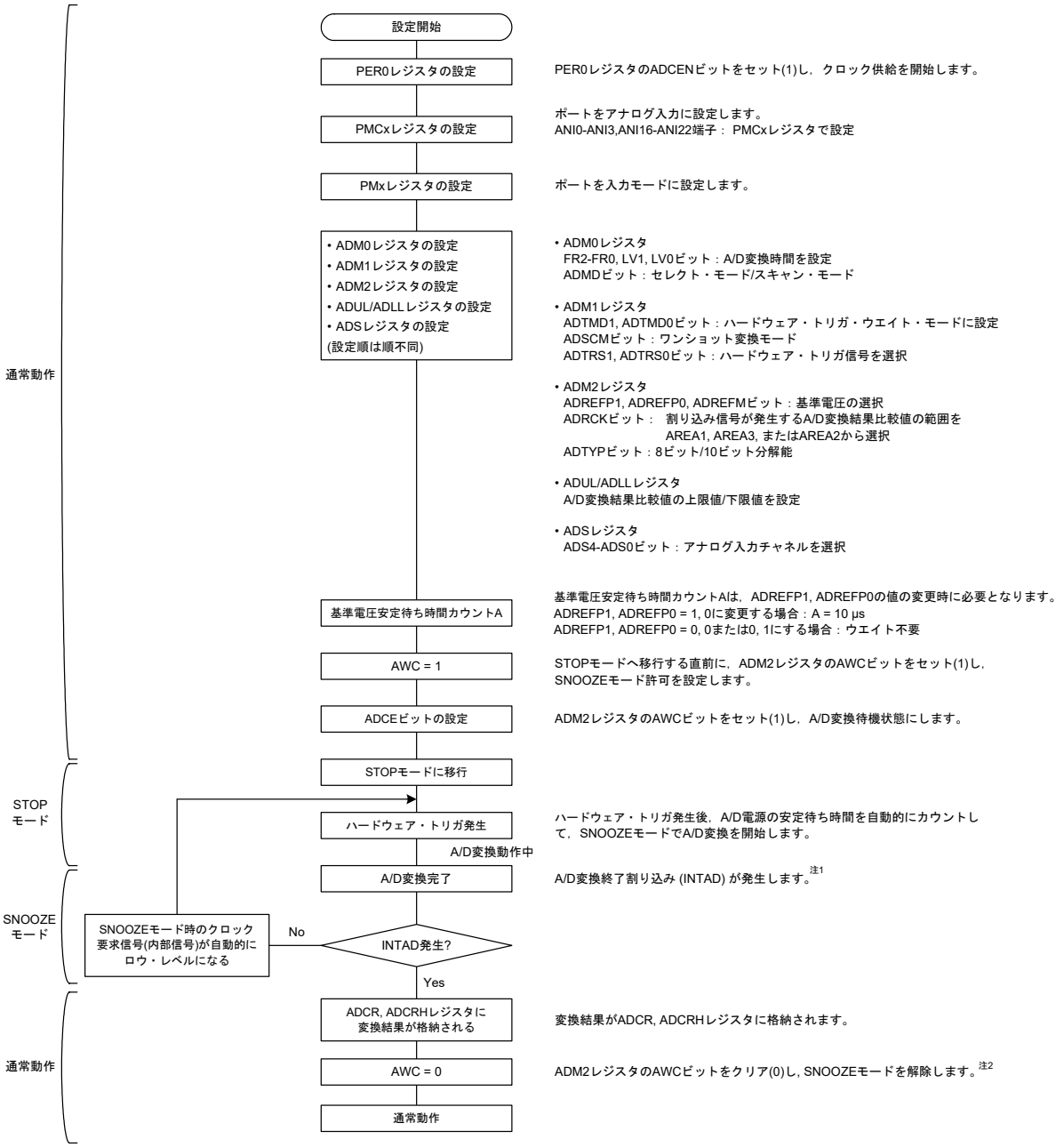


図16 - 38 SNOOZEモード設定のフローチャート



注1. ADRCKビット，ADUL/ADLLレジスタの設定により，A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合，ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

16.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range)で表します。

分解能10ビットのとき

$1\ LSB = 1/2^{10} = 1/1024$

$= 0.098\ \%FSR$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図16 - 39 総合誤差

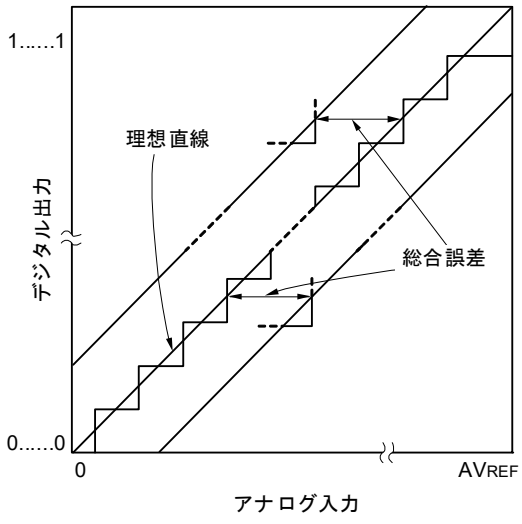
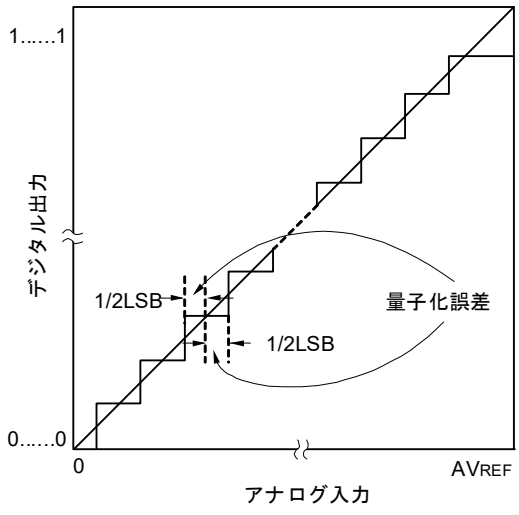


図16 - 40 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの，アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0.....001から0.....010に変化するときの，アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの，アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図16 - 41 ゼロスケール誤差

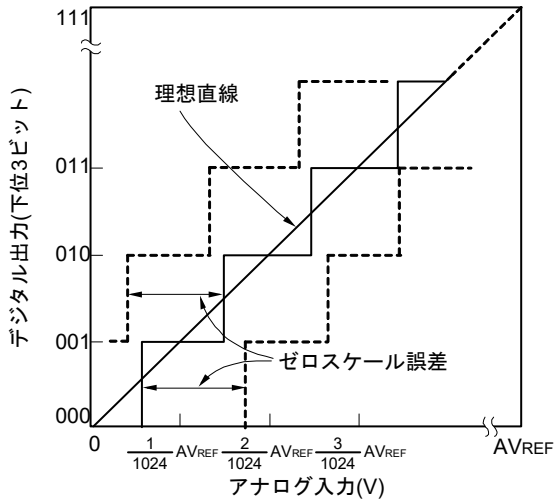


図16 - 42 フルスケール誤差

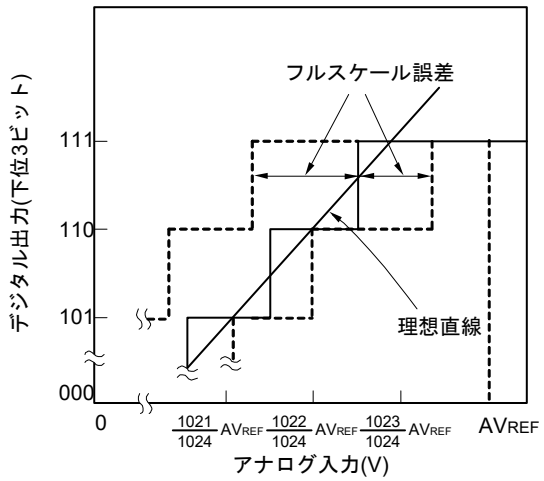


図16 - 43 積分直線性誤差

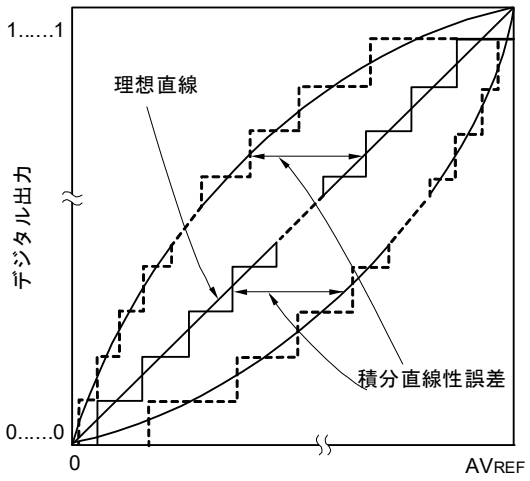
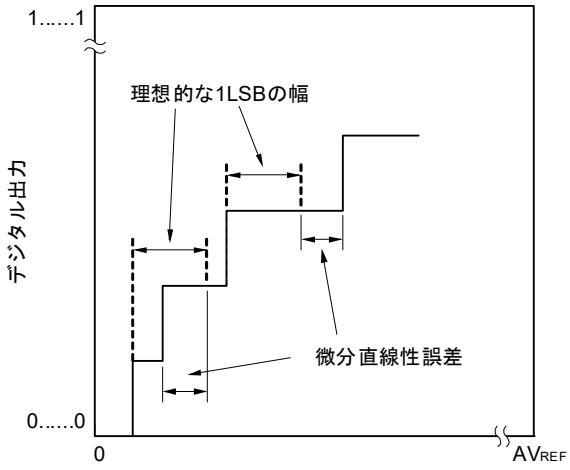


図16 - 44 微分直線性誤差



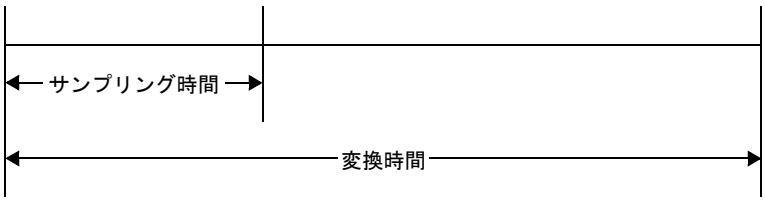
(8) 変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



16.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H (IF1H)のビット0 (ADIF)をクリア(0)してから，動作開始してください。

(2) ANI0-ANI3, ANI16-ANI22端子入力範囲について

ANI0-ANI3, ANI16-ANI22端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}を超える電圧，V_{SS}，AV_{REFM}未満(絶対最大定格の範囲内でも)の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は，ADSレジスタで選択されている端子には内蔵基準電圧(1.45 V)を超える電圧を入れないでください。ただし，ADSレジスタで選択されていない端子が内蔵基準電圧(1.45 V)を超える電圧になっていても問題ありません。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと，命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト，アナログ入力チャネル指定レジスタ(ADS)へのライトの競合

ADM0, ADSレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また，変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには，AV_{REFP}, V_{DD}, ANI0-ANI3, ANI16-ANI22端子へのノイズに注意する必要があります。

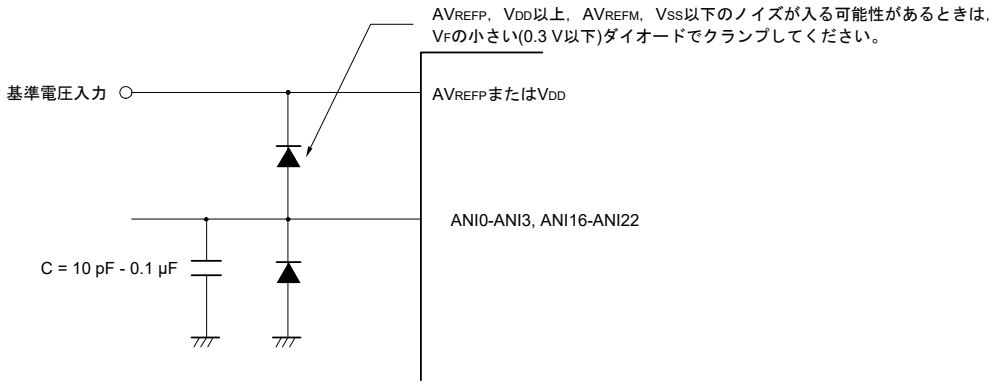
① 電源には等価抵抗が小さく，周波数応答のよいコンデンサを接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図16 - 45のようにコンデンサを外付けすることを推奨します。

③ 変換中においては，他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

図16 - 45 アナログ入力端子の処理



(5) アナログ入力(ANIn)端子

① アナログ入力(ANI0-ANI3, ANI16-ANI22)端子は入力ポート(P20-P23, P01, P00, P33-P30, P56)端子と兼用になっています。

ANI0-ANI3, ANI16-ANI22 端子のいずれかを選択して A/D 変換をする場合，変換中に P20-P23, P01, P00, P33-P30, P56 に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによって A/D 変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

(6) アナログ入力(ANIn)端子の入力インピーダンスについて

この A/D コンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを 1 kΩ 以下にしてください。出力インピーダンスが 1 kΩ 以下にできないときはサンプリング時間を長く設定するか ANI0-ANI3, ANI16-ANI22 端子に 0.1 μF 程度のコンデンサを付けることを推奨します(図16 - 45参照)。また，変換動作中に ADCS = 0 に設定した場合および再変換を開始した場合は，サンプリング・コンデンサに充電された電圧は不定となります。そのため，ADCS = 0 を設定時は次の変換が，再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには，アナログ信号の変化の大きさによらず，アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

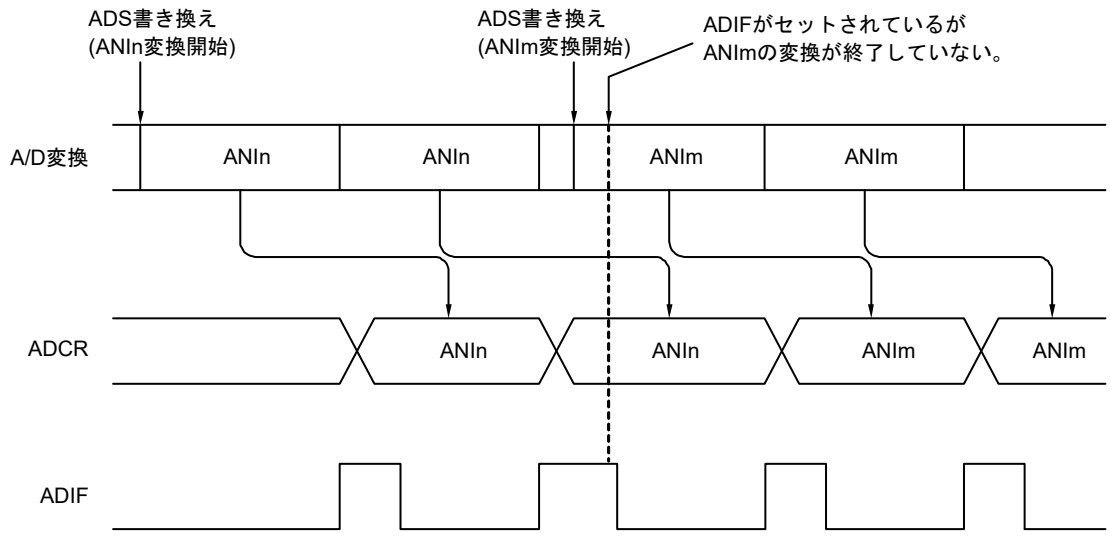
(7) 割り込み要求フラグ(ADIF)について

アナログ入力チャネル指定レジスタ(ADS)を変更しても割り込み要求フラグ(ADIF)はクリア(0)されません。

したがって，A/D 変換中にアナログ入力端子の変更を行った場合，ADS レジスタ書き換え直前に，変更前のアナログ入力に対する A/D 変換結果および ADIF フラグがセットされている場合があります。ADS レジスタ書き換え直後に ADIF フラグを読み出すと，変換後のアナログ入力に対する A/D 変換が終了していないにもかかわらず ADIF フラグがセットされていることになりますので注意してください。

また，A/D 変換を一度停止させて再開する場合は，再開する前に ADIF フラグをクリア(0)してください。

図16 - 46 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから，1 μs以内にADCSビット = 1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)，アナログ入力チャネル指定レジスタ(ADS)，ポート・モード・コントロール・レジスタ(PMCxx)に対して書き込み動作を行ったとき，ADCR, ADCRH レジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, PMC レジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図16 - 47 ANIn端子内部等価回路

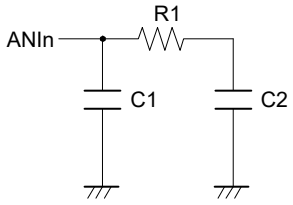


表16 - 4 等価回路の各抵抗と容量値(参考値)

AV_{REFP}, V_{DD}	ANIn端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦V_{DD}≦5.5 V	ANI0-ANI3	14	8	2.5
	ANI16-ANI22	18	8	7.0
2.7 V≦V_{DD}＜3.6 V	ANI0-ANI3	39	8	2.5
	ANI16-ANI22	53	8	7.0
1.8 V≦V_{DD}＜2.7 V	ANI0-ANI3	231	8	2.5
	ANI16-ANI22	321	8	7.0
1.6 V≦V_{DD}＜2.7 V	ANI0-ANI3	632	8	2.5
	ANI16-ANI22	902	8	7.0

備考 表16 - 4の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は，AV_{REFP}, V_{DD}の電圧が安定してから開始してください。

第17章　D/Aコンバータ

D/Aコンバータのチャネルは製品によって異なります。

表17 - 1 D/Aコンバータの出力端子

D/A出力端子	10ピン	16ピン	20ピン	24ピン	25ピン
ANO1	—	○	○	○	○

17.1　D/Aコンバータの機能

D/Aコンバータは，デジタル入力をアナログ信号に変換する8ビット分解能のコンバータで，CMP0へのアナログ出力および1チャネル(ANO1)のアナログ出力を制御できます。

D/Aコンバータには，次のような機能があります。

○8ビット分解能 × 2ch

○R-2Rラダー方式

○アナログ出力電圧

- 8ビット分解能：V_{DD} × m8/256 (m8：DACSiレジスタに設定した値)

○動作モード

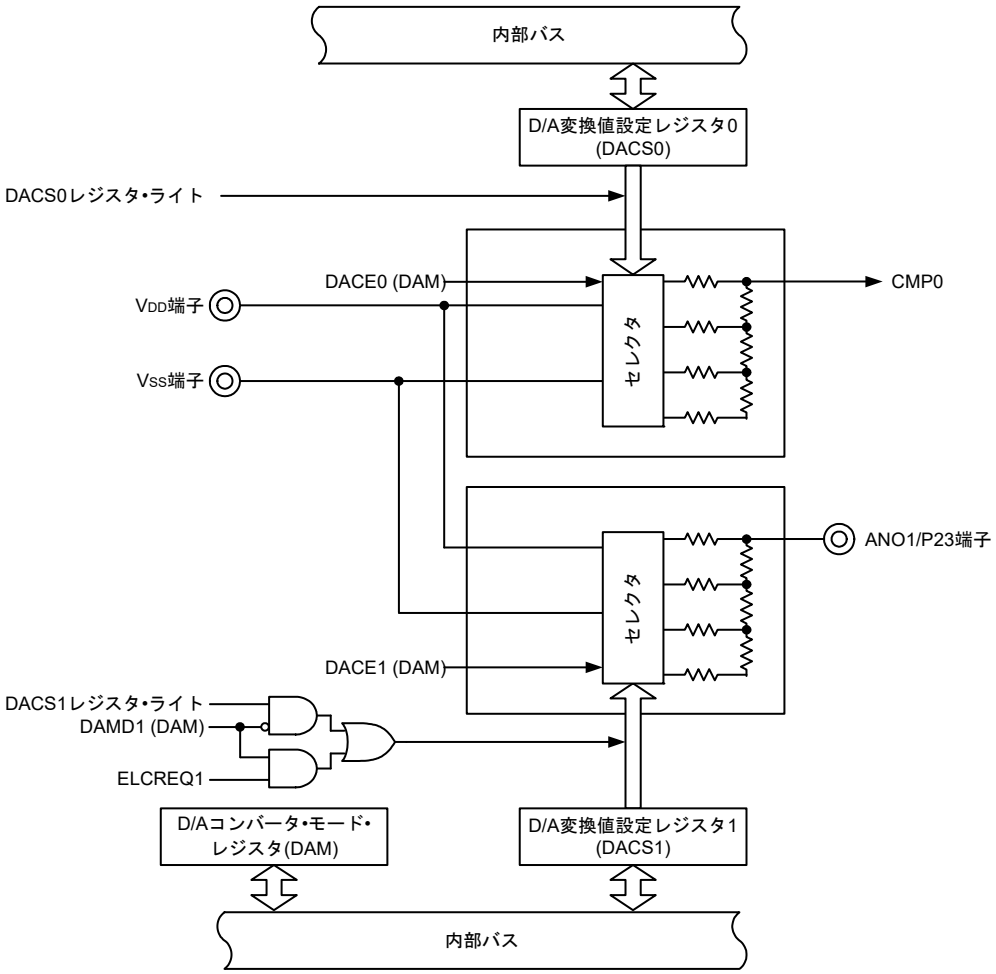
- 通常モード
- リアルタイム出力モード

備考　i = 0, 1

17.2 D/Aコンバータの構成

図17 - 1にD/Aコンバータのブロック図を示します。

図17 - 1 D/Aコンバータのブロック図



備考 ELCREQ1は，リアルタイム出力モードに使用するトリガ信号(ELCからのイベント信号)です。

17.3 D/Aコンバータを制御するレジスタ

D/Aコンバータは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- D/Aコンバータ・モード・レジスタ (DAM)
- D/A変換値設定レジスタ0, 1 (DACS0, DACS1)
- イベント出力先選択レジスタn (ELSELRn), n = 00～17
- ポート・モード・コントロール・レジスタ 2 (PMC2)
- ポート・モード・レジスタ2 (PM2)

17.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用する場合は，必ずビット7 (DACEN)を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER1レジスタは00Hになります。

図17 - 2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス：F007AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	0	DTCEN	PGA0EN	0	0

DACEN	D/Aコンバータの入力クロック供給の制御
0	入力クロック供給停止 • D/Aコンバータで使用するSFRへのライト不可，リードした場合は0Hが読めます。ただし，初期化はされていません。
1	入力クロック供給 • D/Aコンバータで使用するSFRへのリード／ライト可

注意1. D/Aコンバータの設定をする際には，必ず最初にDACEN = 1の設定を行ってください。
DACEN = 0の場合は，D/Aコンバータの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります(ポート・モード・コントロール・レジスタ2 (PMC2)，ポート・モード・レジスタ2 (PM2)は除く)。

注意2. 次のビットには必ず“0”を設定してください。
ビット0, 1, 4, 6

17.3.2 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

D/Aコンバータをリセットする場合は，必ずビット7(DACRES)を1に設定してください。

PRR1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR1レジスタは00Hになります。

図17 - 3 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス：F00FBH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR1	DACRES	0	CMPRES	0	0	PGA0RES	0	0

DACRES	D/Aコンバータのリセット制御
0	D/Aコンバータのリセット解除
1	D/Aコンバータはリセット状態

17.3.3 D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

DAMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17 - 4 D/Aコンバータ・モード・レジスタ (DAM)のフォーマット

アドレス：FFF3EH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	0

DACEi	D/Aコンバータの変換動作の制御
0	D/A変換動作停止
1	D/A変換動作許可

DAMD1	D/Aコンバータの動作モードの選択
0	通常動作モード
1	リアルタイム出力モード

備考　i = 0, 1

17.3.4 D/A変換値設定レジスタi (DACSi)(i = 0, 1)

D/Aコンバータを使用する場合に，CMP0およびANO1端子に出力するアナログ電圧値を設定するレジスタです。

DACSiレジスタは，8ビット・メモリ操作命令で設定します。

リセットにより，00Hになります。

図17 - 5 D/A変換値設定レジスタi (DACSi)(i = 0, 1)のフォーマット

アドレス：FFF3CH (DACS0), FFF3DH (DACS1)　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DACSi	DACSi7	DACSi6	DACSi5	DACSi4	DACSi3	DACSi2	DACSi1	DACSi0

備考　D/Aコンバータのアナログ出力電圧(VANOi)は，次のようになります。

$VANOi = V_{DD} \times (DACSi)/256$

D/Aコンバータを使用しない場合には，不要な消費電流を小さくするためにDACEiビットを0 (出力禁止) にし，DACSiレジスタを00Hにして，R-2Rの抵抗に電流が流れないようにしてください。

17.3.5 イベント出力先選択レジスタn (ELSELRn), n = 00～17

D/Aコンバータのリアルタイム出力モードを使用する場合，イベント・リンク・コントローラからのイベント信号を起動トリガとして，D/A変換を行います。詳細は, 21.3.1 イベント出力先選択レジスタn (ELSELRn) (n = 00-17)を参照してください。

17.3.6 アナログ出力端子のポート機能を制御するレジスタ

D/Aコンバータのアナログ出力と兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx), ポート・モード・コントロール・レジスタ(PMCxx))を設定してください。詳細は，4.3.1 ポート・モード・レジスタ(PMxx)，4.3.6 ポート・モード・コントロール・レジスタ(PMCxx)を参照してください。

ANO1端子をD/Aコンバータのアナログ出力として使用するときは，対応するポート・モード・レジスタ2(PM2)のビット3に1を設定し，ポート・モード・コントロール・レジスタ2(PMC2)のビット3に1をに設定してください。

17.4 D/Aコンバータの動作

17.4.1 通常モード時の動作

DACSiレジスタへのライト動作を起動トリガとして，D/A変換を行います。

以下にその設定動作を示します。

D/A コンバータのチャネル0の設定手順：

①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し，D/Aコンバータへの入力クロック供給を開始します。

②DACS0レジスタ(D/A変換値設定レジスタ0)に，CMP0に出力するアナログ電圧値を設定します。

以上①, ②を初期設定として行います。

③DAMレジスタのDACE0ビットを1 (D/A変換動作許可)に設定します。これによりD/A変換を開始し，セトリング・タイム経過後，CMP0に②にて設定したアナログ電圧を出力します。

④以降，D/A変換を行う場合は，DACS0レジスタへのライト動作を行います。

D/A コンバータのチャネル1の設定手順：

①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し，D/Aコンバータへの入力クロック供給を開始します。

②PMレジスタ(ポート・モード・レジスタ)，PMCレジスタ(ポート・モード・コントロール・レジスタ)でポートをアナログ出力端子に設定します。

③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMD1ビットを0 (通常モード)に設定します。

④DACS1レジスタ(D/A変換値設定レジスタ1)に，ANO1端子出力するアナログ電圧値を設定します。

以上①～④を初期設定として行います。

⑤DAMレジスタのDACE1ビットを1 (D/A変換動作許可)に設定します。

これによりD/A変換を開始し，セトリング・タイム経過後，ANO1端子に④にて設定したアナログ電圧を出力します。

⑥以降，D/A変換を行う場合は，DACS1レジスタへのライト動作を行います。

なお，次のD/A変換を行うまでは，前回D/A変換した結果を保持します。

また，DAMレジスタのDACEiビット= 0 (D/A変換動作停止)に設定すると，D/A変換を停止します。

注意1. DACEiビットの設定値を，1→0→1とした場合も，最後に1を設定したあとに，セトリング・タイム経過後，ANO1端子，CMP0にDACSiレジスタにて設定したアナログ電圧を出力します。

注意2. セトリング・タイム中にDACSiレジスタを書き換えた場合，変換を中断し，書き換えた値で変換を再開します。

備考．i = 0, 1

17.4.2 リアルタイム出力モード時の動作(チャネル1 (i= 1)のみ)

D/Aコンバータの各チャネルはELCからのイベント信号を起動トリガとして，D/A変換を行います。以下に，その設定方法を示します。

①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し，D/Aコンバータへの入力クロック供給を開始します。
②PMレジスタ(ポート・モード・レジスタ)，PMCレジスタ(ポート・モード・コントロール・レジスタ)でポートをアナログ出力端子に設定します。
③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMDiビットを0(通常モード)に設定します。
④DACSiレジスタ(D/A変換値設定レジスタi)に，ANOi端子出力するアナログ電圧値を設定します。
⑤DAMレジスタのDACEiビットを1(D/A変換動作許可)に設定します。
これによりD/A変換を開始し，セトリング・タイム経過後，ANOi端子に③にて設定したアナログ電圧を出力します。
⑥イベント出力先選択レジスタn (ELSELRn, n = 00～17)で，リアルタイム出力モードに使用するトリガ信号を設定します。
⑦DAMレジスタのDAMDiビットを1(リアルタイム出力モード)に設定します。
⑧イベント発生元の動作を開始します。

以上①～⑧を初期設定として行います。

⑨以降，リアルタイム出力モードに使用するトリガ信号の発生により，D/A変換を開始し，セトリング・タイム経過後，ANOi端子に④にて設定したアナログ電圧を出力します。
なお，次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までにANOi端子に出力するアナログ電圧値をDACSiレジスタに設定します。

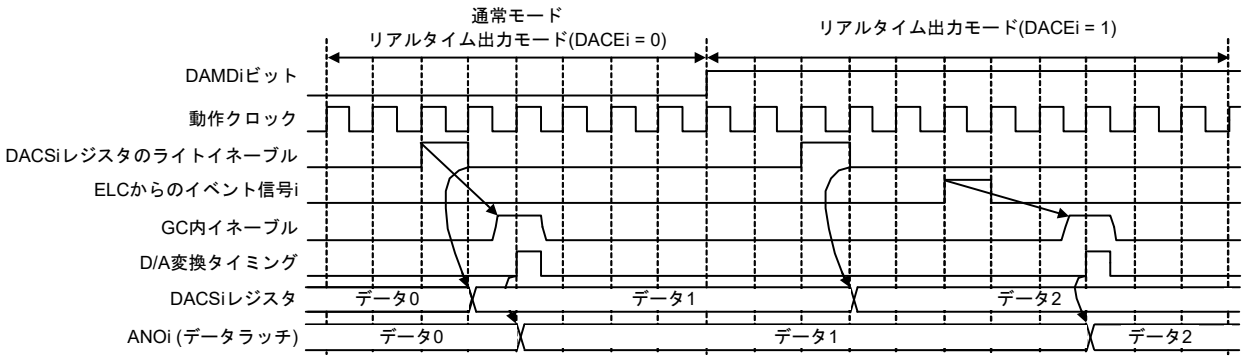
なお，次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までに，DACSiレジスタに，ANOi端子に出力するアナログ電圧値を設定してください。
また，DAMレジスタのDACEiビット= 0 (D/A変換動作停止)に設定すると，D/A変換を停止します。

注意1. DACEiビットの設定値を，1→0→1とした場合も，最後に1を設定したあとに，セトリング・タイム経過後，ANOi端子にDACSiレジスタにて設定したアナログ電圧を出力します。
注意2. 同一チャネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は，セトリング・タイムよりも長くしてください。セトリング・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合，D/A変換を中断し，再変換を開始します。
注意3. 同一チャネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は，f_{CLK}の3クロックより長くしてください。f_{CLK}の3クロック以下の間隔で連続して起動トリガを発生させると，最初のトリガでのみD/A変換をします。

17.4.3 D/A変換値の出力タイミング

図17 - 6にD/A変換値の出力タイミングを示します。

図17 - 6 D/A変換値の出力タイミング



備考 i = 1

- 通常動作モードおよびリアルタイム出力モード(変換動作不許可時)

  DACSiレジスタへのライトの1周期後(動作クロック)にデータラッチへライト(ANOi端子から出力)

- リアルタイム出力モード(変換動作許可時)

  ELCからのイベント信号の受け付けから3周期後(動作クロック)にデータラッチへライト(ANOi端子から出力)

17.5 D/Aコンバータ使用上の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。（ただし，チャネル0は(2)のみ該当します。）

(1) PMCレジスタ(ポート・モード・コントロール・レジスタ)およびPMレジスタ（ポート・モード・レジスタ）でポートをアナログ出力端子に設定している場合は，ANO1端子と兼用するデジタル・ポートの入出力機能は動作しません。
PMCレジスタおよびPMレジスタでポートをアナログ出力端子に設定中にP2レジスタをリードしても，0の値が読み出されます。

(2) HALTモード時とSTOPモード時に，D/Aコンバータの動作は継続します。消費電力を低減させるためには，DACEiビットを0にクリアし，D/A変換動作を停止させてから，HALT命令またはSTOP命令を実行してください。

備考 i = 0, 1

(3) リアルタイム出力モードを停止する場合(通常モードへ変更する場合を含む)には以下のいずれかの手順で行う必要があります。

- トリガ出力元を停止させてから3クロック以上待ってからDACEiビットおよびDAMDiビットを0にする。
- DACEiビットおよびDAMDiビットを0にした後，PER1レジスタのDACENビットを0にする(DAC入力クロック供給停止)。
  ただし，DACENビットを0にしても，初期化はされていません。
  D/AコンバータおよびD/Aコンバータ内のSFRを初期化する場合，PRR1のビット7 (DACRES)を使用してください。

(4) D/A変換動作許可時に，ANO1端子と兼用するアナログ入力端子からA/D変換を行わないでください。

(5) リアルタイム出力モード時は，リアルタイム出力モードに使用するトリガ信号が発生する前までにDACSiレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSiレジスタの設定値を変更しないでください。

(6) D/Aコンバータの出力インピーダンスが高いため，ANO1端子から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には，負荷とANO1端子の間にフォロアアンプを挿入して使用してください。また，フォロアアンプや負荷までの配線は極力短くするようにしてください(出力インピーダンスが高いため)。配線が長くなるような場合は，グランド・パターンで囲むなどの処置をしてください。

(7) リアルタイム出力モード有効時にSTOPモードに入る場合は，STOPモードに入る前にELCのイベントリンクを禁止にしてください。

備考 i = 1

第18章　プログラマブル・ゲイン・アンプ(PGA)

RL78/G11は，プログラマブル・ゲイン・アンプを1回路搭載しています。

項目	RL78G11
アナログ入力チャネル	PGAI
プログラマブル・ゲイン・アンプのフィードバック抵抗のGND	PGAGND

18.1　プログラマブル・ゲイン・アンプの性能

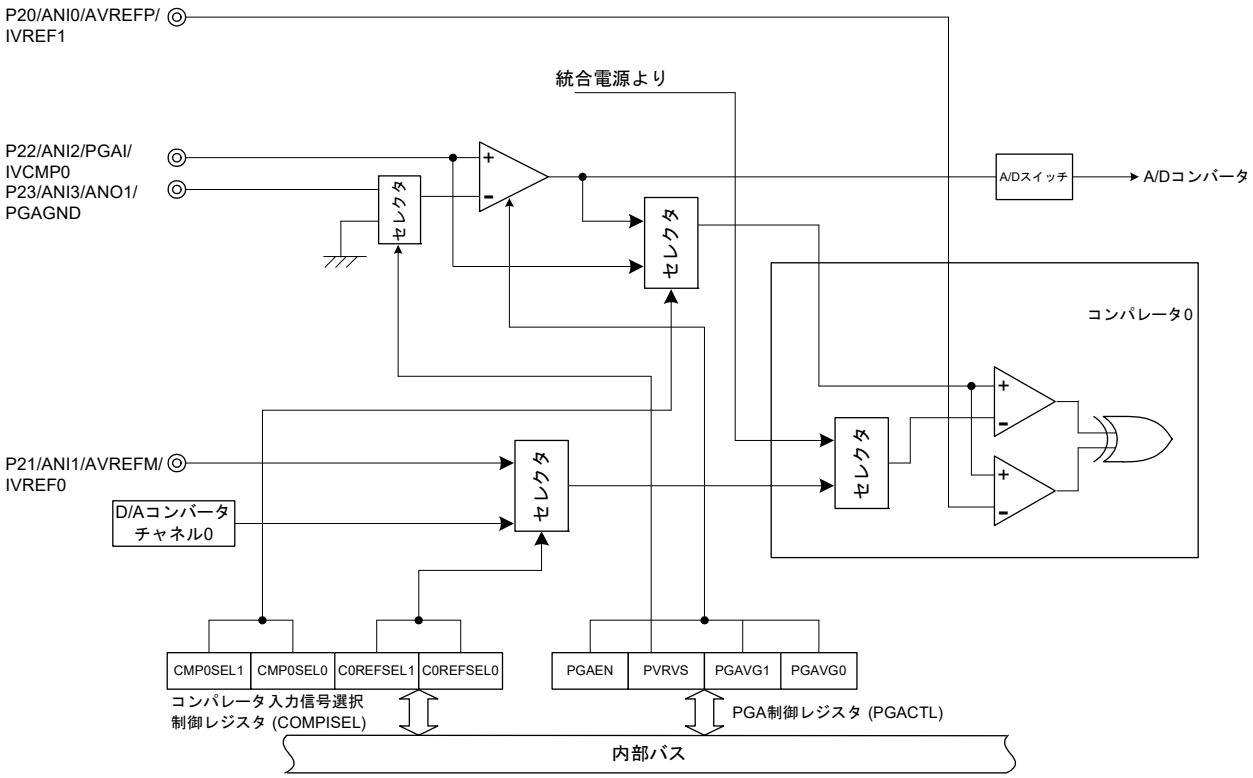
プログラマブル・ゲイン・アンプには，次のような機能があります。

- 増幅率を4通りから選択可能
- プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力，コンパレータ0（CMP0）の”＋”側入力信号として設定可能

18.2　プログラマブル・ゲイン・アンプの構成

プログラマブル・ゲイン・アンプは，次のハードウエアで構成されています。

図18 - 1 プログラマブル・ゲイン・アンプのブロック図



18.3　プログラマブル・ゲイン・アンプを制御するレジスタ

表18 - 1にプログラマブル・ゲイン・アンプを制御するレジスタを示します。

表18 - 1 プログラマブル・ゲイン・アンプを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
周辺リセット制御レジスタ1	PRR1
PGA制御レジスタ	PGACTL
コンパレータ入力信号選択制御レジスタ	COMPISEL
ポート・モード・コントロール・レジスタ2	PMC2
ポート・モード・レジスタ2	PM2

18.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

PGA を使用するときは，必ずビット2 (PGA0EN) を1に設定してください。

PER1 レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18 - 2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス：F00FAH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	0	DTCEN	PGA0EN	0	0

PGA0EN注	プログラマブル・ゲイン・アンプの入力クロックの制御
0	• プログラマブル・ゲイン・アンプで使用するSFRへのライト不可 • プログラマブル・ゲイン・アンプは初期化されていません。注
1	• プログラマブル・ゲイン・アンプで使用するSFRへのリード／ライト可

注　PGA0ENで使用するSFRを初期化する場合，PRR1のビット2 (PGA0RES) を使用してください。

注意1. プログラマブル・ゲイン・アンプの設定をする際には，必ず最初にPGA0EN = 1の設定を行ってください。PGA0EN = 0の場合は，プログラマブル・ゲイン・アンプの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります (ポート・モード・レジスタ 2 (PM2)，ポート・モード・コントロール・レジスタ 2 (PMC2)，ポート・レジスタ 2 (P2)は除く)。

注意2. ビット0, 1, 4, 6には必ず“0”を設定してください。

18.3.2 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PGA をリセットする場合は，必ずビット2(PGA0RES) を1に設定してください。

PRR1 レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR1 レジスタは00Hになります。

図18 - 3 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス：F00FBH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR1	DACRES	0	CMPRES	0	0	PGA0RES	0	0

PGA0RES	PGAのリセット制御
0	PGAのリセット解除
1	PGAはリセット状態

18.3.3 PGA制御レジスタ（PGACTL）

プログラマブル・ゲイン・アンプの動作許可／停止と増幅率を設定するレジスタです。

PGACTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図18 - 4 PGA制御レジスタ（PGACTL）のフォーマット

アドレス：F0349H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PGACTL	PGAEN	0	0	0	PVRVS	0	PGAVG1	PGAVG0

PGAEN	プログラマブル・ゲイン・アンプの動作制御
0	プログラマブル・ゲイン・アンプ 動作停止
1	プログラマブル・ゲイン・アンプ動作許可

PVRVS	プログラマブル・ゲイン・アンプ のフィードバック抵抗のGND選択
0	Vss選択
1	PGAGND 選択

PGAVG1	PGAVG0	プログラマブル・ゲイン・アンプの増幅率選択
0	0	4倍
0	1	8倍
1	0	16倍
1	1	32倍

注意1. PGACTLレジスタのPGAENを除くビットは，PGA 動作停止中（PGAEN = 0）に書き換えてください。

注意2. プログラマブル・ゲイン・アンプは，PGAEN = 1に設定後，動作安定待ち時間に10μsが必要です。

注意3. ビット6-4, 2には必ず“0”を設定してください。

18.3.4 コンパレータ入力信号選択制御レジスタ （COMPISEL）

コンパレータ0の＋端子と－端子の入力信号を選択するレジスタです。

COMPISELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図18 - 5 コンパレータ入力信号選択制御レジスタ （COMPISEL）のフォーマット

アドレス：F0348H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
COMPISEL	0	0	0	0	COMP0SEL1	COMP0SEL0	C0REFSEL1	C0REFSEL0

COMP0SEL1	COMP0SEL0	コンパレータ0の＋端子の入力信号選択
0	0	選択しない
0	1	IVCMP0端子を選択
1	0	プログラマブル・ゲイン・アンプの出力を選択
1	1	設定禁止

C0REFSEL1	C0REFSEL0	コンパレータ0の－端子の入力信号選択
0	0	選択しない
0	1	IVREF0端子を選択
1	0	内蔵D/Aコンバータのチャネル0の出力を選択
1	1	設定禁止

注意　ビット7-4には必ず“0”を設定してください。

18.3.5　ポート・モード・コントロール・レジスタ2（PMC2）

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

プログラマブル・ゲイン・アンプを使用するときは，ビット2（PMC22）を1に設定してください。また，プログラマブル・ゲイン・アンプのフィードバック抵抗のGNDにPGAGNDを選択するときは，ビット3（PMC23）を1に設定してください。

ポート・モード・コントロール・レジスタ2（PMC2）は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図18 - 6 ポート・モード・コントロール・レジスタ2（PMC2）のフォーマット

アドレス：F0062H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PMC2	1	1	1	1	PMC23	PMC22	PMC21	PMC20

PMC2n	P2n端子のデジタル入出力/アナログ入力の選択
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

備考　n：チャネル番号(n=0-3)

18.3.6 ポート・モード・レジスタ2（PM2）

ポートの入力／出力を1ビット単位で設定するレジスタです。

プログラマブル・ゲイン・アンプを使用するときは，ビット2（PM22）を1に設定してください。また，プログラマブル・ゲイン・アンプのフィードバック抵抗のGNDにPGAGNDを選択するときは，ビット3（PM23）を1に設定してください。

ポート・モード・レジスタ2（PM2）は，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。リセット信号の発生により，FFHになります。

図18 - 7 ポート・モード・レジスタ2（PM2）のフォーマット

アドレス：FFF22H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択
0	出力モード（出力バッファ・オン）
1	入力モード（入力バッファ・オン）

備考　n：チャネル番号(n = 0-3)

18.4 プログラマブル・ゲイン・アンプの動作

プログラマブル・ゲイン・アンプはPGAI端子から入力されたアナログ電圧を，マイコン内部で増幅します。増幅率は4種類（4倍/8倍/16倍/32倍）から選択できます。

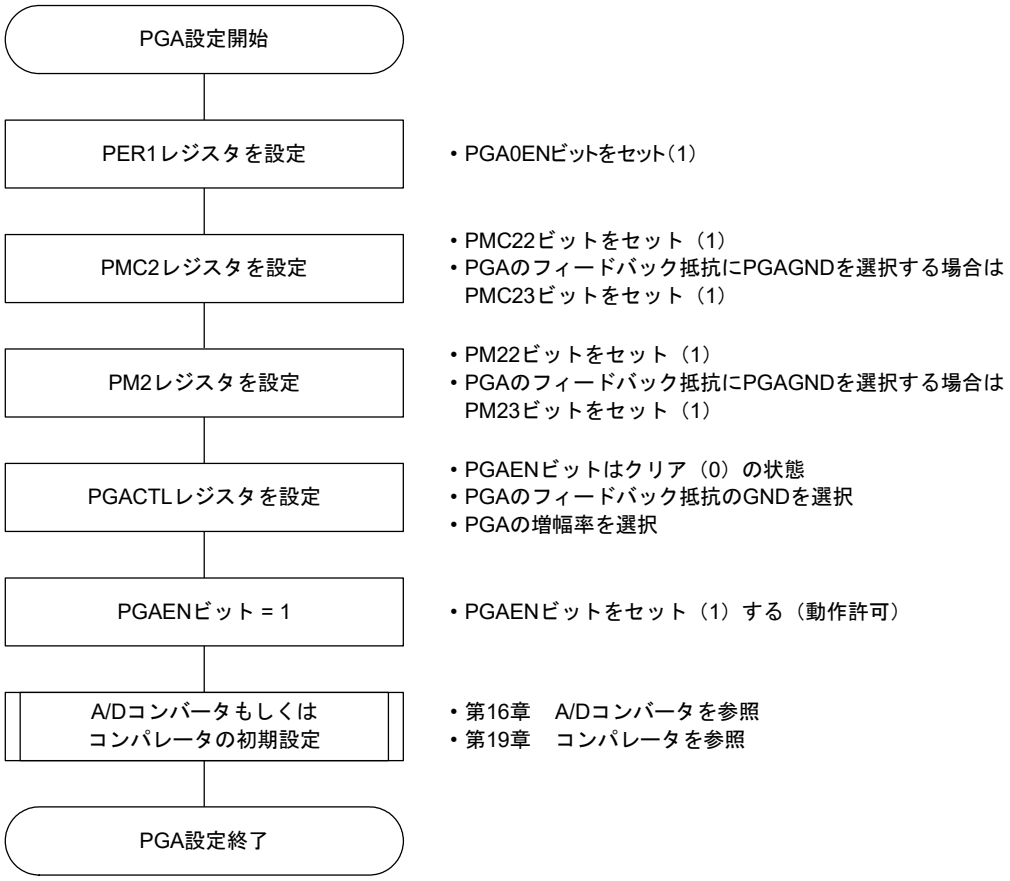
増幅した電圧は，A/Dコンバータのアナログ入力，コンパレータ0（CMP0）の”＋”側入力信号として使用することができます。

プログラマブル・ゲイン・アンプの動作開始手順を次に示します。

(1) PER1レジスタのPGA0ENビットで，プログラマブル・ゲイン・アンプに入力クロック供給を設定
(2) PMC2レジスタで，プログラマブル･ゲイン･アンプで使用する端子(PMC22，PMC23)をアナログ入力に設定
(3) PM2レジスタで，プログラマブル・ゲイン・アンプで使用する端子(PM22，PM23)を入力モードに設定
(4) PGAVG1，PGAVG0ビットで，増幅率(4倍/8倍/16倍/32倍)を選択
(5) プログラマブル・ゲイン・アンプの出力をコンパレータ 0 の ” ＋ ” 側入力信号として使用するときは，COMPISELレジスタのCOMP0SEL1，COMP0SEL0ビットにプログラマブル･ゲイン･アンプの出力を設定
(6) PGAENビットをセット(1)し，プログラマブル・ゲイン・アンプの動作を許可

18.4.1　プログラマブル・ゲイン・アンプの設定手順

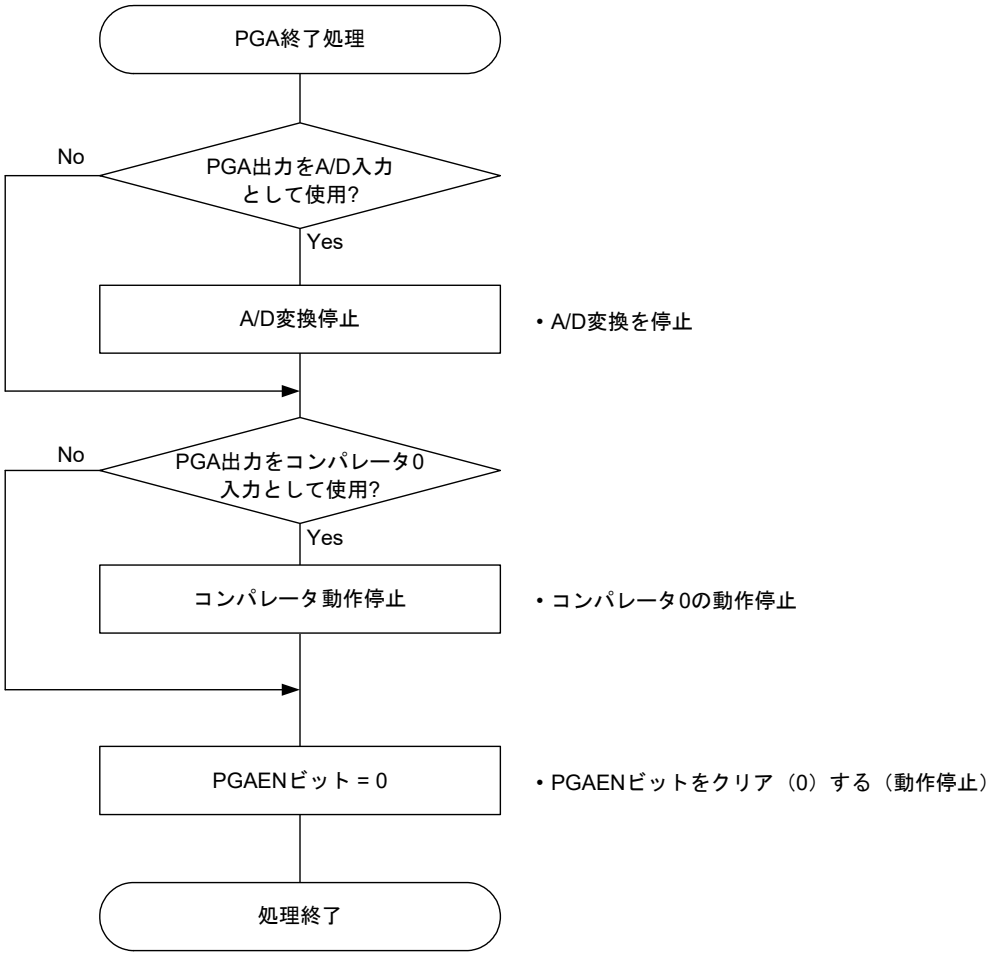
図18 - 8　プログラマブル・ゲイン・アンプ（PGA）動作設定フロー・チャート



注意　PGAENビットをセット（1）したあと，PGA動作安定待ち時間として10μs経過後にA/D変換を開始してください。

18.4.2 プログラマブル・ゲイン・アンプの設定手順

図18 - 9 プログラマブル・ゲイン・アンプ（PGA）動作停止フロー・チャート



注意1. PGAとA/Dコンバータ，もしくはコンパレータの動作再開時は，PGAENビットをセット（1）したあと，PGA動作安定待ち時間として10μs経過後に各機能を開始してください。

注意2. PGA出力が接続されていないA/D変換用端子，コンパレータに関してはPGA動作停止中も使用することができます。

第19章　コンパレータ

19.1　コンパレータの機能

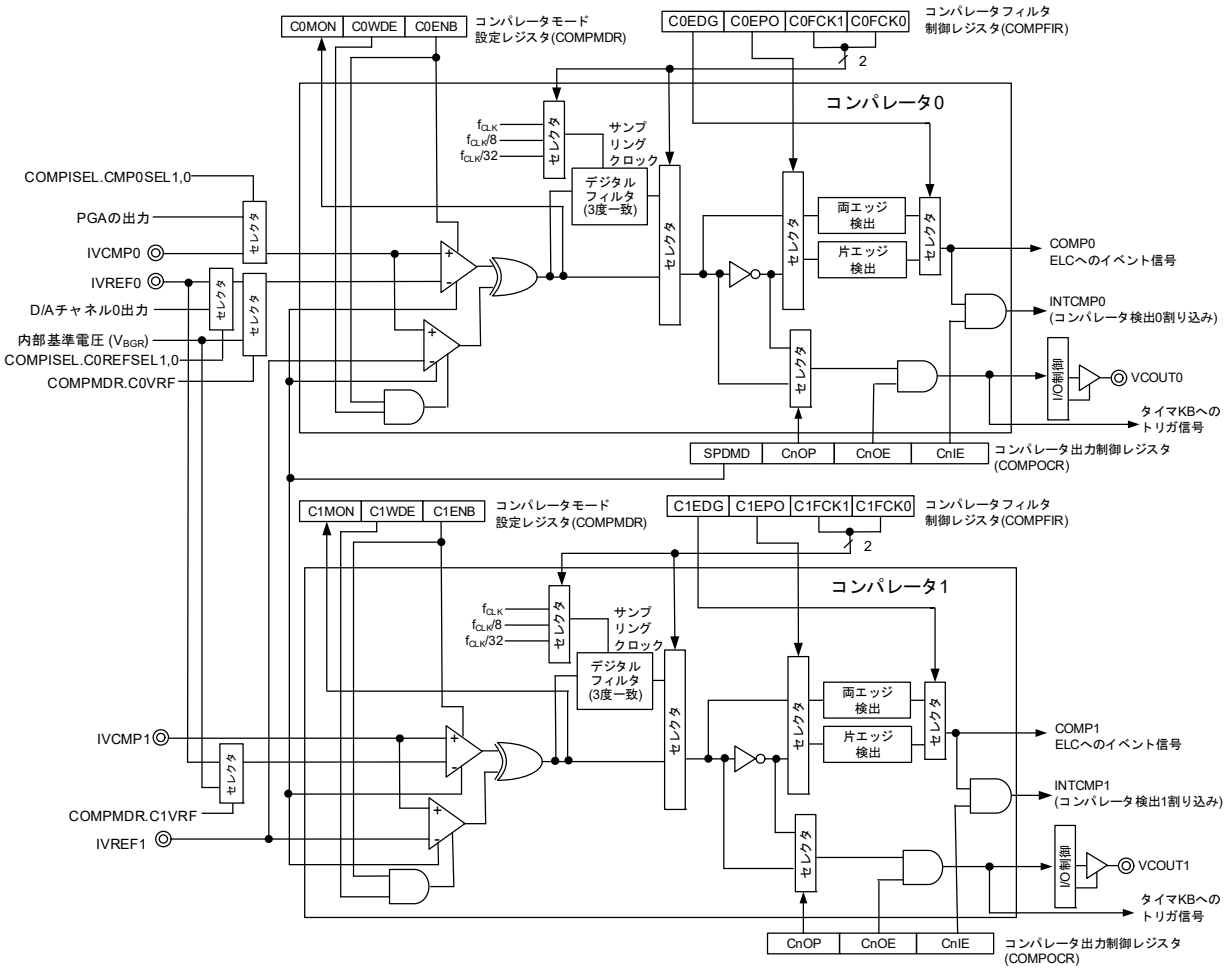
コンパレータには，次のような機能があります。

- コンパレータ高速モード/コンパレータ低速モード/コンパレータ高速ウィンドウモード/コンパレータ低速ウィンドウモードが選択できます。
- 基準電圧は内部基準電圧(1.45 V)，外部基準電圧入力，（コンパレータ0のみ）DAのチャネル0出力を選択可能です。
- ノイズ除去デジタルフィルタの除去幅が選択できます。
- コンパレータ出力の有効エッジを検出し，割り込み信号を発生できます。
- コンパレータ出力の有効エッジを検出し，イベント・リンク・コントローラ (ELC) へイベント信号を出力できます。

19.2 コンパレータの構成

図19 - 1にコンパレータのブロック図を示します。

図19 - 1 コンパレータのブロック図



備考 n = 0, 1

19.3　コンパレータを制御するレジスタ

表19 - 1にコンパレータを制御するレジスタを示します。

表19 - 1 コンパレータを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
周辺リセット制御レジスタ1	PRR1
コンパレータモード設定レジスタ	COMPMDR
コンパレータフィルタ制御レジスタ	COMPFIR
コンパレータ出力制御レジスタ	COMPOCR
コンパレータ入力選択制御レジスタ	COMPISEL
ポート・モード・コントロール・レジスタ0, 2, 3	PMC0, PMC2, PMC3
ポート・モード・レジスタ0, 2, 3, 4, 5	PM0, PM2, PM3, PM4, PM5
ポート・レジスタ0, 3, 4, 5	P0, P3, P4, P5

19.3.1　周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは，必ずビット5 (CMPEN) を1に設定してください。

PER1 レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19 - 2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス：F00FAH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	0	DTCEN	PGA0EN	0	0

CMPEN	コンパレータの入力クロックの制御
0	入力クロック供給停止 • コンパレータで使用するSFRへのライト不可
1	入力クロック供給 • コンパレータで使用するSFRへのリード／ライト可

注意1. コンパレータの設定をする際には，必ず最初にCMPEN = 1の設定を行ってください。
CMPEN = 0の場合は，コンパレータの制御レジスタへの書き込みは無視されます(ポート・モード・コントロール・レジスタ0, 2, 3 (PMC0, PMC2, PMC3)，ポート・モード・レジスタ0, 2, 3,4, 5 (PM0, PM2, PM3, PM4, PM5)，ポート・レジスタ0, 3, 4, 5 (P0, P3, P4, P5)は除く)。

注意2. ビット0, 1, 4, 6には必ず“0”を設定してください。

19.3.2　周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

コンパレータをリセットする場合は，必ずビット5 (CMPRES)を1に設定してください。

PRR1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PRR1レジスタは00Hになります。

図19 - 3 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス：F00FBH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRR1	DACRES	0	CMPRES	0	0	PGA0RES	0	0

CMPRES	コンパレータのリセット制御
0	コンパレータのリセット解除
1	コンパレータはリセット状態

19.3.3　コンパレータモード設定レジスタ(COMPMDR)

COMPMDRレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図19 - 4 コンパレータモード設定レジスタ(COMPMDR)のフォーマット(1/2)

アドレス：F0340H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB

C1MON	コンパレータ1モニタフラグ注1, 2
0	基本モード時： IVCMP1＜コンパレータ1　リファレンス電圧注5 ウィンドウモード時： IVCMP1＜IVREF0，またはIVCMP1＞IVREF1
1	基本モード時： IVCMP1＞コンパレータ1　リファレンス電圧注5 ウィンドウモード時： IVREF0＜IVCMP1＜IVREF1

C1VRF	コンパレータ1リファレンス電圧選択注6
0	コンパレータ1リファレンス電圧はIVREF0入力
1	コンパレータ1リファレンス電圧は内部基準電圧(1.45 V)

C1WDE	コンパレータ1ウィンドウモード選択注4
0	コンパレータ1基本モード
1	コンパレータ1ウィンドウモード

C1ENB	コンパレータ1動作許可
0	コンパレータ1動作禁止
1	コンパレータ1動作許可

C0MON	コンパレータ0モニタフラグ注1, 2
0	基本モード時： IVCMP0＜コンパレータ0　リファレンス電圧注3 ウィンドウモード時： IVCMP0＜COMPISEL.C0REFSELにて指定するリファレンス電圧，またはIVCMP0＞IVREF1
1	基本モード時： IVCMP0＞コンパレータ0　リファレンス電圧注3 ウィンドウモード時： COMPISEL.C0REFSELにて指定するリファレンス電圧　＜IVCMP0＜IVREF1

C0VRF	コンパレータ0リファレンス電圧選択注6
0	コンパレータ0リファレンス電圧はCOMPISEL.C0REFSELにて指定するリファレンス電圧
1	コンパレータ0リファレンス電圧は内部基準電圧(1.45 V)

C0WDE	コンパレータ0ウィンドウモード選択注4
0	コンパレータ0基本モード
1	コンパレータ0ウィンドウモード

図19 - 4 コンパレータモード設定レジスタ(COMPMDR)のフォーマット(2/2)

アドレス：F0340H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB

C0ENB	コンパレータ0動作許可
0	コンパレータ0動作禁止
1	コンパレータ0動作許可

注1. リセット解除直後は初期値“0”ですが，一度コンパレータを動作許可にした後にC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。

注2. このビットに書き込まれた値は無視されます。

注3. 基本モードで，コンパレータ0リファレンス電圧として内部基準電圧(1.45 V)，IVREF0端子入力，DA ch0出力を選択できます。

注4. ウィンドウモードを使用する場合，リファレンス電圧はIVREF1＞IVREF0でご使用ください。

注5. 基本モードで，コンパレータ1リファレンス電圧として内部基準電圧(1.45 V)，IVREF0端子入力を選択できます。

注6. 内部基準電圧(1.45 V)を選択している場合は，A/Dコンバータで，温度センサ出力をA/D変換することはできません。

備考 低速モード選択時(COMPOCRレジスタのSPDMDビットが0)でもウィンドウモードに使用可能です。

19.3.4 コンパレータフィルタ制御レジスタ(COMPFIR)

COMPFIRレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図19 - 5 コンパレータフィルタ制御レジスタ(COMPFIR)のフォーマット

アドレス：F0341H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0

C1EDG	コンパレータ1エッジ検出選択注1
0	コンパレータ1片エッジ検出での割り込み要求
1	コンパレータ1両エッジ検出での割り込み要求

C1EPO	コンパレータ1エッジ極性切り替え注1
0	コンパレータ1立ち上がりエッジで割り込み要求
1	コンパレータ1立ち下がりエッジで割り込み要求

C1FCK1	C1FCK0	コンパレータ1フィルタ選択注1
0	0	コンパレータ1フィルタなし
0	1	コンパレータ1フィルタあり，f_{CLK}でサンプリング
1	0	コンパレータ1フィルタあり，f_{CLK}/8でサンプリング
1	1	コンパレータ1フィルタあり，f_{CLK}/32でサンプリング

C0EDG	コンパレータ0エッジ検出選択注2
0	コンパレータ0片エッジ検出での割り込み要求
1	コンパレータ0両エッジ検出での割り込み要求

C0EPO	コンパレータ0エッジ極性切り替え注2
0	コンパレータ0立ち上がりエッジで割り込み要求
1	コンパレータ0立ち下がりエッジで割り込み要求

C0FCK1	C0FCK0	コンパレータ0フィルタ選択注2
0	0	コンパレータ0フィルタなし
0	1	コンパレータ0フィルタあり，f_{CLK}でサンプリング
1	0	コンパレータ0フィルタあり，f_{CLK}/8でサンプリング
1	1	コンパレータ0フィルタあり，f_{CLK}/32でサンプリング

注1. C1FCK1 - C1FCK0ビット，C1EPOビット，C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは，ELCのELSELR16レジスタを0 (コンパレータ1出力をリンクさせない)にしてから変更してください。また，割り込み要求フラグ・レジスタ2L (IF2L)のビット1 (CMPIF1)をクリア(0)してください。

また，C1FCK1 - C1FCK0ビットを00B (コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は，フィルタ出力が更新されるまでのサンプリング4回を経過した後に，コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

注2.　C0FCK1 - C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは，ELCのELSELR15レジスタを0 (コンパレータ0出力をリンクさせない)にしてから変更してください。また，割り込み要求フラグ・レジスタ2L (IF2L)のビット0 (CMPIF0)をクリア(0)してください。
また，C0FCK1 - C0FCK0ビットを00B (コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は，フィルタ出力が更新されるまでのサンプリング4回を経過した後に，コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

19.3.5　コンパレータ出力制御レジスタ (COMPOCR)

図19 - 6 コンパレータ出力制御レジスタ (COMPOCR)のフォーマット

アドレス：F0342H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE

SPDMD	コンパレータ速度選択[注1]
0	コンパレータ低速モード
1	コンパレータ高速モード

C1OP	VCOUT1出力極性選択
0	コンパレータ1出力をVCOUT1へ出力
1	コンパレータ1出力の反転をVCOUT1へ出力

C1OE	VCOUT1端子出力許可
0	コンパレータ1のVCOUT1端子出力禁止
1	コンパレータ1のVCOUT1端子出力許可[注4]

C1IE	コンパレータ1割り込み要求許可[注2]
0	コンパレータ1割り込み要求禁止
1	コンパレータ1割り込み要求許可

C0OP	VCOUT0出力極性選択
0	コンパレータ0出力をVCOUT0へ出力
1	コンパレータ0出力の反転をVCOUT0へ出力

C0OE	VCOUT0端子出力許可
0	コンパレータ0のVCOUT0端子出力禁止
1	コンパレータ0のVCOUT0端子出力許可[注4]

C0IE	コンパレータ0割り込み要求許可[注3]
0	コンパレータ0割り込み要求禁止
1	コンパレータ0割り込み要求許可

注1.　SPDMDビットを書き換える場合は，必ずCOMPMDRレジスタのCiENBビットを0にしてから書き換えてください。

注2.　C1IEを0 (割り込み要求禁止)から1 (割り込み要求許可)にした場合，割り込み要求フラグ・レジスタ2L (IF2L)のビット1 (CMPIF1)が1 (割り込み要求あり)になることがありますので，割り込み要求フラグ・レジスタ2L (IF2L)のビット1 (CMPIF1)をクリア(0)してから割り込みを使用してください。

注3.　C0IEを0 (割り込み要求禁止)から1 (割り込み要求許可)にした場合，割り込み要求フラグ・レジスタ2L (IF2L)のビット0 (CPMIF0)が1 (割り込み要求あり)になることがありますので，割り込み要求フラグ・レジスタ2L (IF2L)のビット0 (CMPIF0)をクリア(0)してから割り込みを使用してください。

注4.　コンパレータi出力を，タイマKB0のタイマ・リスタート機能，強制出力停止機能1および強制出力停止機能2のトリガとして使用する場合は，CiOEビットを1に設定してください。

備考　i = 0, 1

19.3.6　コンパレータの入出力端子のポート機能を制御するレジスタ

IVCMP0, 1端子，IVREF0, 1端子をコンパレータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに1を設定してください。

VCOUT0, 1機能を使用する場合は，対象チャネルと兼用するポート機能を制御するレジスタ (ポート・モード・コントロール・レジスタ (PMCxx)，ポート・モード・レジスタ (PMxx)，ポート・レジスタ (Pxx)) を設定してください。詳細は，4.3.1　ポート・モード・レジスタ (PMxx)，4.3.2　ポート・レジスタ (Pxx)，4.3.6　ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

19.4　動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。表19 - 2にコンパレータ関連レジスタの設定手順を示します

表19 - 2 コンパレータ関連レジスタの設定手順

順番		レジスタ	ビット	設定値	
CMP0	CMP1				
1	1	PRR1	CMPRES	0 (コンバータiのリセット解除)	
2	-	PRR1	PGA0RES	0 (PGAリセット解除)	
3	-	PRR1	DACRES	0 (DACリセット解除)	
4	2	PER1	CMPEN	1 (入力クロック供給)	
5	-	PER1	PGA0EN	1 (入力クロック供給)	
6	-	PER1	DACEN	1（入力クロック供給)	
7	3	PMCxx	PMC20, PMC21, PMC22, PMC33	IVCMPi, IVREFi端子の機能選択 • PMC20, PMC21, PMC22, PMC33ビットに1 (アナログ入力)	
		PMxx	PM20, PM21, PM22, PM33	• PM20, PM21, PM22, PM33ビットに1 (入力モード)	
8	-	PGACTL	PGAVG0, PGAVG1	(PGA増幅率選択)	
9	-	PGACTL	PVRVS	(PGAフィードバック抵抗のGND選択)	
10	-	PGACTL	PGAEN	1 (PGA動作許可)	
11	-	COMPISEL	CMP0SEL0,CMP0SEL1	(コンパレータ0の＋端子の入力信号選択)	
12	-	COMPISEL	C0REFSEL0,C0REFSEL1	(コンパレータ0の－端子の入力信号選択)	
13	-	DACS0		(D/A変換値設定)	
14	-	DAM	DACE0	(DAC動作許可)	
15	4	COMPMDR	C0VRF, C1VRF	コンパレータ0, 1リファレンス電圧選択	
16	5	COMPOCR	SPDMD	コンパレータ応答速度の選択(0：低速モード/1：高速モード)注1	
17	6	COMPMDR	CiWDE	0 (基本モード)	1 (ウィンドウモード)注2
18	7	COMPMDR	CiENB	1 (動作許可)	
19	8	コンパレータ安定時間t_{CMP}待ち			
20	9	COMPFIR	CiFCK1 - CiFCK0	デジタルフィルタ使用する/しない，サンプリングクロック選択	
			CiEPO, CiEDG	割り込み要求のためのエッジ検出条件選択(立ち上がり/立ち下がり/両エッジ)	
21	10	COMPOCR	CiOP, CiOE	VCOUTi出力の設定(極性選択，出力許可/禁止を設定)	
			CiIE	割り込み要求出力の許可/禁止を設定	
22	11	ポート論理の出力端子選択：VCOUTi「19.4.4　コンパレータi出力(i = 0, 1)」参照。			
23	12	PR02L, PR12L	CMPPR0i, CMPPR1i	割り込みを使用する場合：割り込み優先レベル選択	
24	13	MK2L	CMPMKi	割り込みを使用する場合：割り込みマスク選択	
25	14	IF2L	CMPIFi	割り込みを使用する場合：0 (割り込み要求なし：初期化)注3	

注1.　コンパレータ0とコンパレータ1を独立に設定することはできません。

注2.　高速モード(SPDMD = 1)の場合のみ設定可能

注3.　コンパレータの設定後，安定動作するまでに不要な割り込みが発生することがありますので，割り込みフラグを初期化してください。

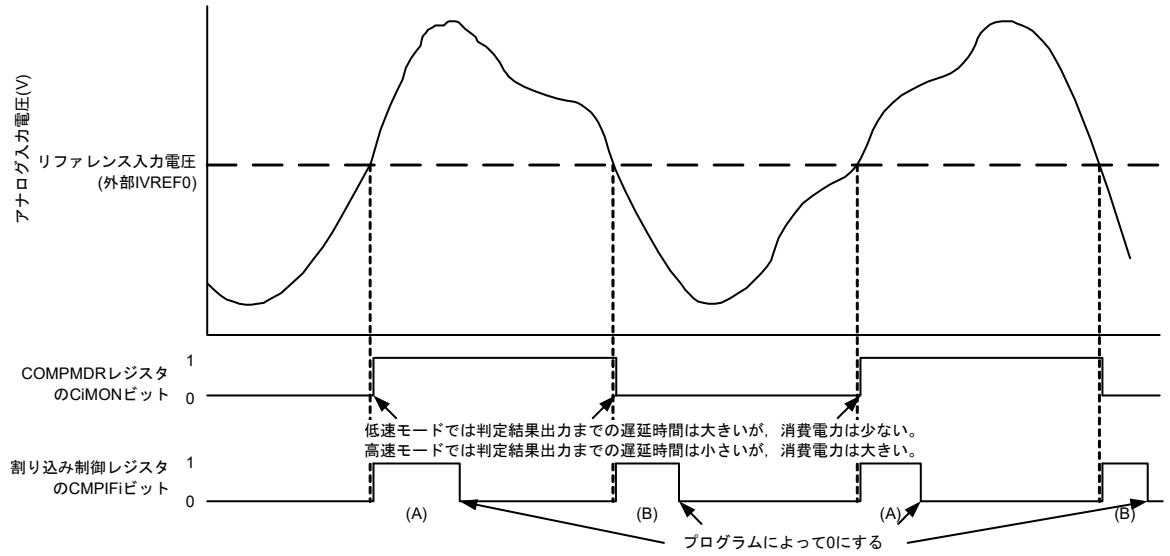
注意　コンバータiの全回路を初期化する場合はPRR1レジスタのCMPRESビットに1を設定して下さい。

備考　i = 0, 1

図19 - 7にコンパレータi (i = 0, 1)の動作例(基本モード)を 示します。低速モード時/ 高速モード時とも，リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが“1”になり，リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが“0”になります(リファレンス電圧はIVREF0端子への入力電圧を使用します)。

図19 - 7 コンパレータi (i = 0, 1)の動作例(基本モード)

• 基本モード動作の例



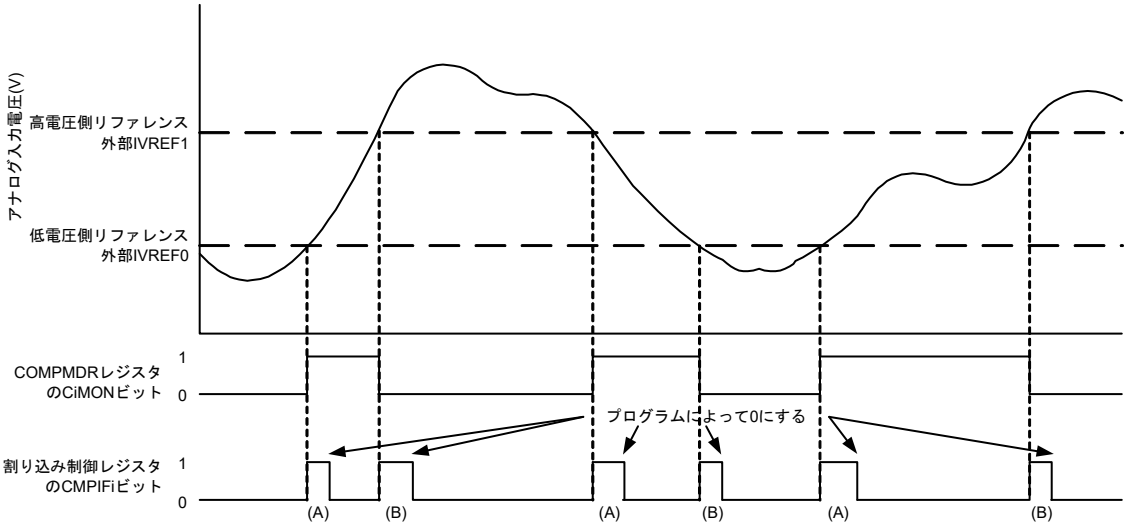
注意 上図は，COMPFIR レジスタの CiFCK1 - CiFCK0 = 00B (フィルタなし)，CiEDG = 1 (両エッジ) の場合です (CiEDG = 0, CiEPO = 0 (立ち上がりエッジ) のときの CMPIFi は (A) の変化のみ，CiEDG = 0, CiEPO = 1 (立ち下がりエッジ) のときの CMPIFiは(B)の変化のみとなります)。

図19 - 8にコンパレータi (i = 0, 1)の動作例(ウィンドウモード)を示します。ウィンドウモード時は，低速モード時／高速モード時とも，アナログ入力の電圧が，次の条件を満たす場合にCOMPMDRレジスタのCiMONビットが“1” になり，アナログ入力の電圧がこの条件を満たさない場合はCiMONビットが“0”になります(低電圧側リファレンス電圧はIVREF0端子への入力電圧，高電圧側リファレンス電圧はIVREF1端子への入力電圧です)。

“低電圧側リファレンス電圧＜アナログ入力の電圧＜高電圧側リファレンス電圧”

図19 - 8 コンパレータi (i = 0, 1)の動作例(ウィンドウモード)

・ウィンドウモード動作の例



注意　上図は，COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし)，CiEDG = 1 (両エッジ) の場合です (CiEDG = 0, CiEPO = 0 (立ち上がりエッジ) のときのCMPIFiは(A)の変化のみ，CiEDG = 0, CiEPO = 1 (立ち下がりエッジ) のときのCMPIFiは(B)の変化のみとなります)。

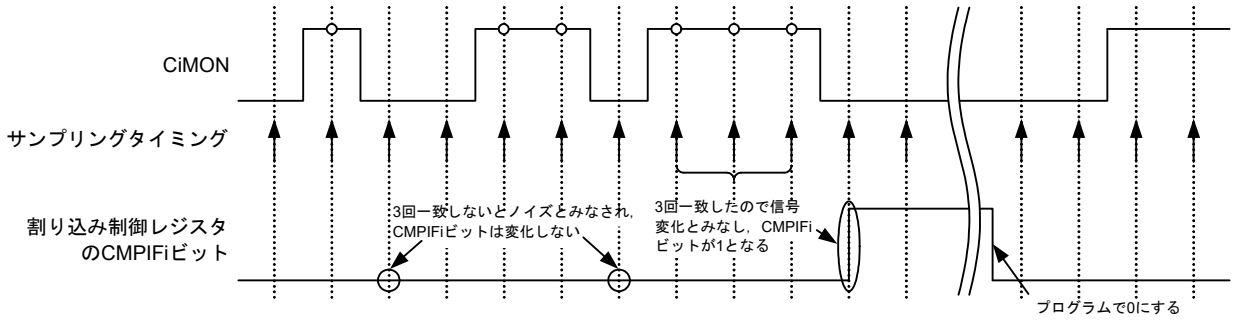
コンパレータi割り込みを使用する場合は，COMPOCRレジスタのCiIEを1 (割り込み要求許可)にしてください。このとき比較結果が変化すれば，コンパレータi割り込み要求が発生します。割り込み要求の詳細については「19.4.2 コンパレータi割り込み(i = 0, 1)」を参照してください。

19.4.1 コンパレータiデジタルフィルタ (i = 0, 1)

コンパレータiは, デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1 - CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータiの出力信号をサンプリングし，レベルが3度一致した次のサンプリングクロックで，デジタルフィルタ出力がその値になります。

図19 - 9にコンパレータi (i = 0, 1)デジタルフィルタと割り込み動作例を示します。

図19 - 9 コンパレータi (i = 0, 1)デジタルフィルタと割り込み動作例



注意 上図は，COMPFIRレジスタのCiFCK1 - CiFCK0ビットが，01B, 10B, 11Bのいずれか(デジタルフィルタあり)の場合の動作例です。

19.4.2 コンパレータi割り込み(i = 0, 1)

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータi割り込みは，それぞれ1つずつの優先順位指定フラグ，割り込みマスクフラグ，割り込み要求フラグ，割り込みベクタを持ちます。

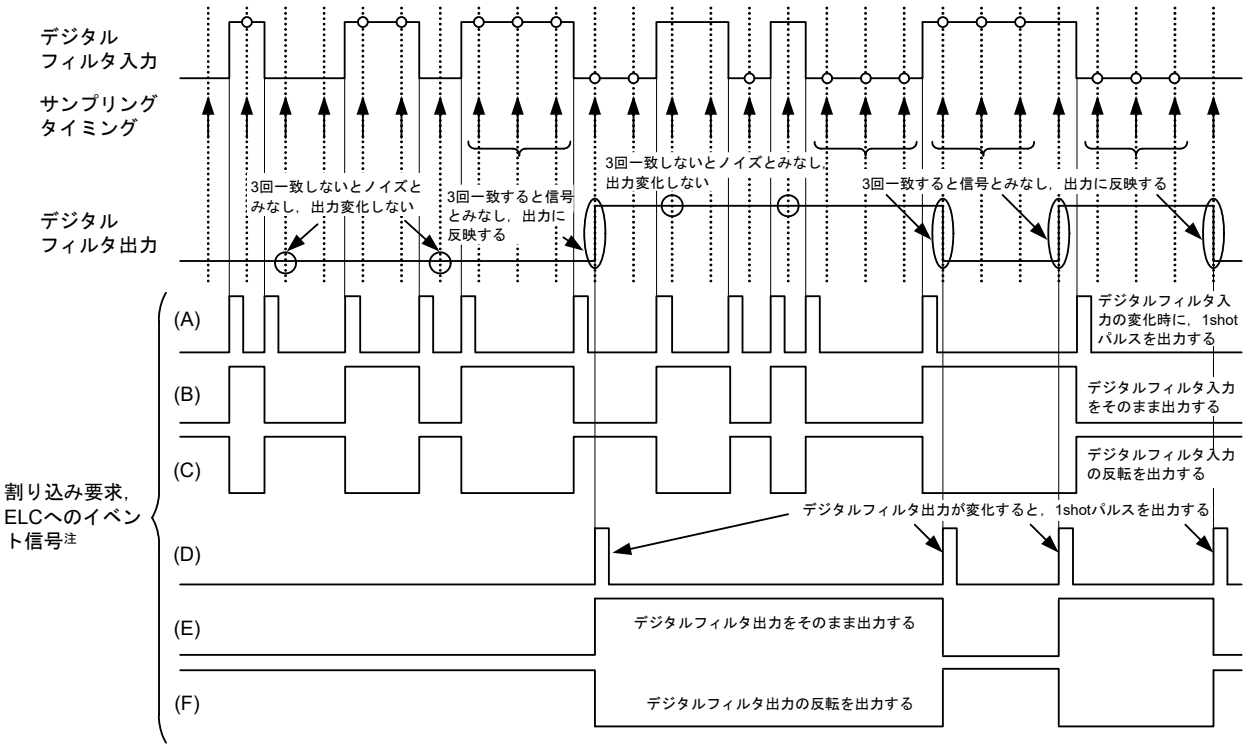
コンパレータi割り込みを使用するときは, COMPOCRレジスタのCiIEビットを1 (割り込み要求出力許可)にしてください。割り込み要求を発生する条件は，COMPFIRレジスタにより設定します。また，コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは，3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生の対応については,「19.3.4 コンパレータフィルタ制御レジスタ(COMPFIR)」および「19.3.5 コンパレータ出力制御レジスタ(COMPOCR)」を参照してください。

19.4.3 イベント・リンク・コントローラ(ELC)へのイベント信号出力

ELCへのイベント信号は，割り込み要求の発生条件と同じくCOMPFIRレジスタで設定したデジタルフィルタ出力のエッジ検出により発生します。ただし，割り込み要求と異なり，COMPOCRレジスタのCiIEビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は，ELCのELSELR15レジスタ，ELSELR16レジスタで設定してください。

図19 - 10 デジタルフィルタと割り込み要求・ELCへのイベント信号出力動作



注 CiIEビット(i = 0, 1)が1の場合は，割り込み要求とELCへのイベント信号は同じ波形になります。
CiIEビット(i = 0, 1)が0の場合は，割り込み要求のみ0固定になります。

(A)，(B)，(C)の波形はCOMPFIRレジスタのCiFCKビット(i = 0, 1)が“00B”(デジタルフィルタなし)の場合，(D)，(E)，(F)の波形はCOMPFIRレジスタのCiFCKビット(i = 0, 1)が“01B”，“10B”，“11B”のいずれか(デジタルフィルタあり)の場合の動作例です。(A)，(D)はCiEDGビットを“1”(両エッジ)に設定した場合，(B)，(E)はCiEDGビット = 0, CiEPOビット = 0(立ち上がりエッジ)の場合，(C)，(F)はCiEDGビット = 0, CiEPOビット = 1(立ち下がりエッジ)の場合です。

19.4.4　コンパレータi出力(i = 0, 1)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性(そのまま出力/反転出力)や出力許可/禁止を設定できます。レジスタ設定とコンパレータ出力の対応は，「19.3.5　コンパレータ出力制御レジスタ(COMPOCR)」を参照してください。

VCOUTi出力端子へコンパレータ比較結果を出力する場合は，以下の手順に従ってポート設定してください(リセット後，ポートは入力設定になっています)。

①コンパレータのモード設定をする(表19 - 2　コンパレータ関連レジスタの設定手順の順番1～9)。
②VCOUT0, VCOUT1出力の極性選択，出力許可する(表19 - 2　コンパレータ関連レジスタの設定手順の順番11)。
③VCOUTi出力端子に対応するポート・モード・コントロール・レジスタのビットを"0"にする。
④VCOUTi出力端子に対応するポート・レジスタのビットのビットを"0"にする。
⑤VCOUTi出力端子に対応するポート・モード・レジスタを"0"にする(端子から出力開始)。

19.4.5　コンパレータクロック停止/供給

周辺イネーブル・レジスタ1 (PER1)の設定により，コンパレータのクロックを停止する場合は，以下の手順に従ってください。

①COMPOCRレジスタのCiIEビット(i = 0, 1)を“0”にする(コンパレータの割り込みを禁止します)。
②COMPMDRレジスタのCiENBビットを“0”にする(コンパレータを停止する)。
③IF2Lレジスタの CMPIFiビットを“0”にする(コンパレータ停止前の不要な割り込みをクリア)。
④PER1レジスタのCMPENビットを“0”にする。

PER1の設定によりクロック停止しますが，コンパレータ内部のレジスタはすべて初期化されません(レジスタの値を保持します)。

注意　コンパレータを片エッジ検出での割り込み要求に設定(CiEDG = 0)かつコンパレータの立ち上がりエッジで割り込み要求に設定(CiEPO = 0)かつIVCMP＞IVREFの状態または，コンパレータを片エッジ検出での割り込み要求に設定(CiEDG = 0)，コンパレータの立ち下がりエッジで割り込み要求に設定(CiEPO = 1)，IVCMP＜IVREFの状態で，DTCを起動許可した場合，DTC転送を開始し，転送終了後に割り込み要求が発生します。そのため必要に応じて，コンパレータのモニタフラグ(CiMON)を確認してからDTCを起動許可にしてください(i = 0-1)。

19.5　タイマKB連動機能使用時の注意事項

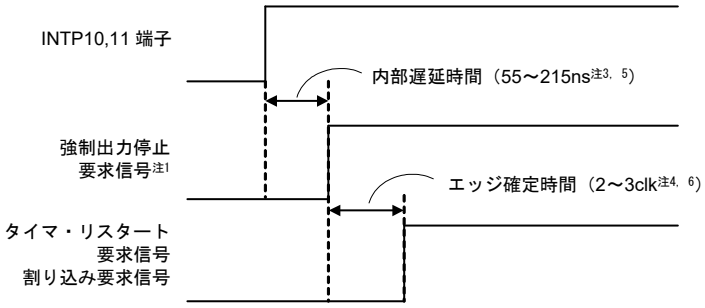
INTP10，11，コンパレータは，外部割り込み機能の他にタイマKBとの連動機能(強制出力停止機能，タイマ・リスタート機能)のトリガとして使用することができます。使用する機能に応じて，周辺機能切り替えレジスタ(PFSEL0)，エッジ設定レジスタおよびコンパレータ出力制御レジスタ (COMPOCR) を設定する必要があります。また，各機能が動作するまでに必要なアクティブ信号の幅が異なります。

INTP10，11，コンパレータをご使用になる場合は，表19 - 3～表19 - 4を参考にレジスタの設定を行い，必要なアクティブ信号幅が確保されるように外部回路を構築してください。

表19 - 3 INTP10，11の機能，レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替えレジスタの設定	エッジ設定レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み(STOP解除可能)	TMRSTENm = 0	EGPn, EGNn	～1 μs	-	-
強制出力停止注1	TMRSTENm = 1	INTPEG[3:0]注2	55～215ns注3 +2～3clk注4	55～215ns注3, 注5	-
タイマ・リスタート	TMRSTENm = 1	INTPEG[3:0]	55～215ns注3 +2～3clk注4	-	55～215ns注3 +2～3clk注4, 注6

図19 - 11 INTP10，11による強制出力停止要求信号，タイマ・リスタート要求信号の発生タイミング



注1.　INTP10，11のみ強制出力停止機能2のトリガとして使用可能です。

注2.　強制出力停止機能2はハイ・レベルでアクティブとなります。エッジ選択は割り込みにのみ有効です。

注3.　INTP10，11でノイズ・フィルタをOFF(PNFEN = 1)した場合，5～15nsとなります。

注4.　f_{CLK}またはf_{HOCO}

注5.　強制出力停止機能2が動作してから端子出力が変化するまでには，別途出力遅延時間(10～40 ns)がかかります。

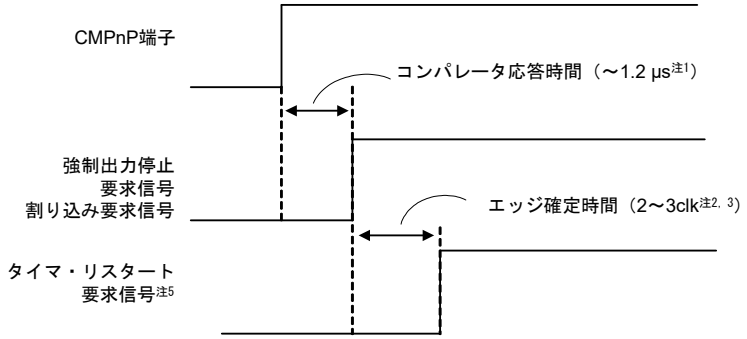
注6.　タイマ・リスタート機能が動作するには，要求信号を受けてからさらに1clk，出力端子の状態が変化するまでには，別途出力遅延時間(10～40 ns)がかかります。

備考　m = 0, 1　n = 10, 11　p = 7, 6

表19 - 4 コンパレータ0, 1の機能，レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替えレジスタの設定	エッジ設定レジスタ	コンパレータ出力制御レジスタの設定	各機能が動作するのに必要なアクティブ信号幅		
				割り込み	強制出力停止	タイマ・リスタート
外部割り込み(STOP解除可能) 注1	-	CnEDG,CnEPO (n = 0,1)	-	～1.2 μs注1		
強制出力停止	-	注4	CnOE = 1注6	～1.2 μs注1	～1.2 μs注1, 注5	
タイマ・リスタート注6	-	CnEDG,CnEPO (n = 0,1)	CnOE = 1注6	～1.2 μs注1		～1.2 μs注1+ 2～3clk注2, 注3

図19 - 12 コンパレータ0, 1による強制出力停止要求信号，タイマ・リスタート要求信号の発生タイミング



注1. コンパレータ制御レジスタ（CnCTL）のノイズ・フィルタ設定（CnDFS1, CnDFS0）=(0, 0)の場合です。ノイズ・フィルタ設定を(0, 0)から変更した場合は，設定した除去幅分が加算されます。

注2. f_{CLK}またはf_{HOCO}

注3. タイマ・リスタート機能が動作するには，要求信号を受けてからさらに1clk，出力端子の状態が変化するまでには，別途出力遅延時間(10～40 ns)がかかります。

注4. 強制出力停止機能はハイ・レベルでアクティブとなります。

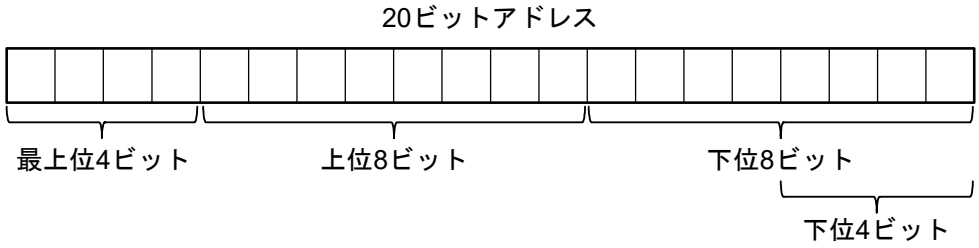
注5. 強制出力停止機能が動作してから出力端子の状態が変化するまでには，別途出力遅延時間(10～40 ns)がかかります。

注6. コンパレータnからタイマKBへのトリガ信号は内部で接続されています。ただし、コンパレータnをタイマKBのトリガ信号として使用する場合は、VCOUTn出力端子と端子を兼用する他の出力機能は使用できません。なお、入力の兼用機能は使用可能です。このとき、VCOUTn出力端子に対応するポート・モード・レジスタのビットを1に設定してください。

備考 n = 0, 1

第20章　データ・トランスファ・コントローラ(DTC)

本章の説明で記載されているアドレスの上位8ビットとは，以下に示す20ビットアドレスのビット15-8になります。



また，特に指定がない場合，アドレスの最上位4ビットはすべて1(FxxxxH)になります。

20.1　DTCの機能

データ・トランスファ・コントローラ (DTC)は，CPUを使わずに，メモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し，データを転送します。DTCはCPUと同じデータ・バスを使用し，DTCのバス使用権は，CPUよりも優先されます。

表20 - 1にDTCの仕様を示します。

表20 - 1 DTCの仕様

項目		仕様
起動要因		23要因
配置可能なコントロール・データ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間(F0000H-FFFFFH)ただし, 汎用レジスタを除く
	ソース	特殊機能レジスタ(SFR), RAM領域(汎用レジスタを除く), ミラー領域を介してアクセスできるコード・フラッシュ・メモリ領域注, データ・フラッシュ・メモリ領域注, 拡張特殊機能レジスタ(2nd SFR)
	デスティネーション	特殊機能レジスタ(SFR), RAM領域(汎用レジスタを除く), 拡張特殊機能レジスタ(2nd SFR)
最大転送回数	ノーマル・モード	256回
	リピート・モード	255回
最大転送ブロック・サイズ	ノーマル・モード(8ビット転送)	256バイト
	ノーマル・モード(16ビット転送)	512バイト
	リピート・モード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマル・モード	DTCCTjレジスタが1から0になる転送で終了する
	リピート・モード	DTCCTjレジスタが1から0になる転送終了後, リピート・エリアのアドレスを初期化し, DTRLDjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマル・モード	固定, または加算
	リピート・モード	リピート・エリアでないアドレスを固定, または加算
起動要因優先度		表20 - 5 DTC起動要因とベクタ・アドレス参照
割り込み要求	ノーマル・モード	DTCCTjレジスタが1から0になるデータ転送時に, CPUへ起動要因となった割り込み要求が発生し, データ転送終了後に割り込み処理を行う
	リピート・モード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき, DTCCTjレジスタが1から0になるデータ転送時に, CPUへ起動要因となった割り込み要求を発生し, データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0-DTCENi7 ビットを1(起動許可)にすると, DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマル・モード	• DTCENi0-DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピート・モード	• DTCENi0-DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき, DTCCTjレジスタが1から0になるデータ転送が終了したとき

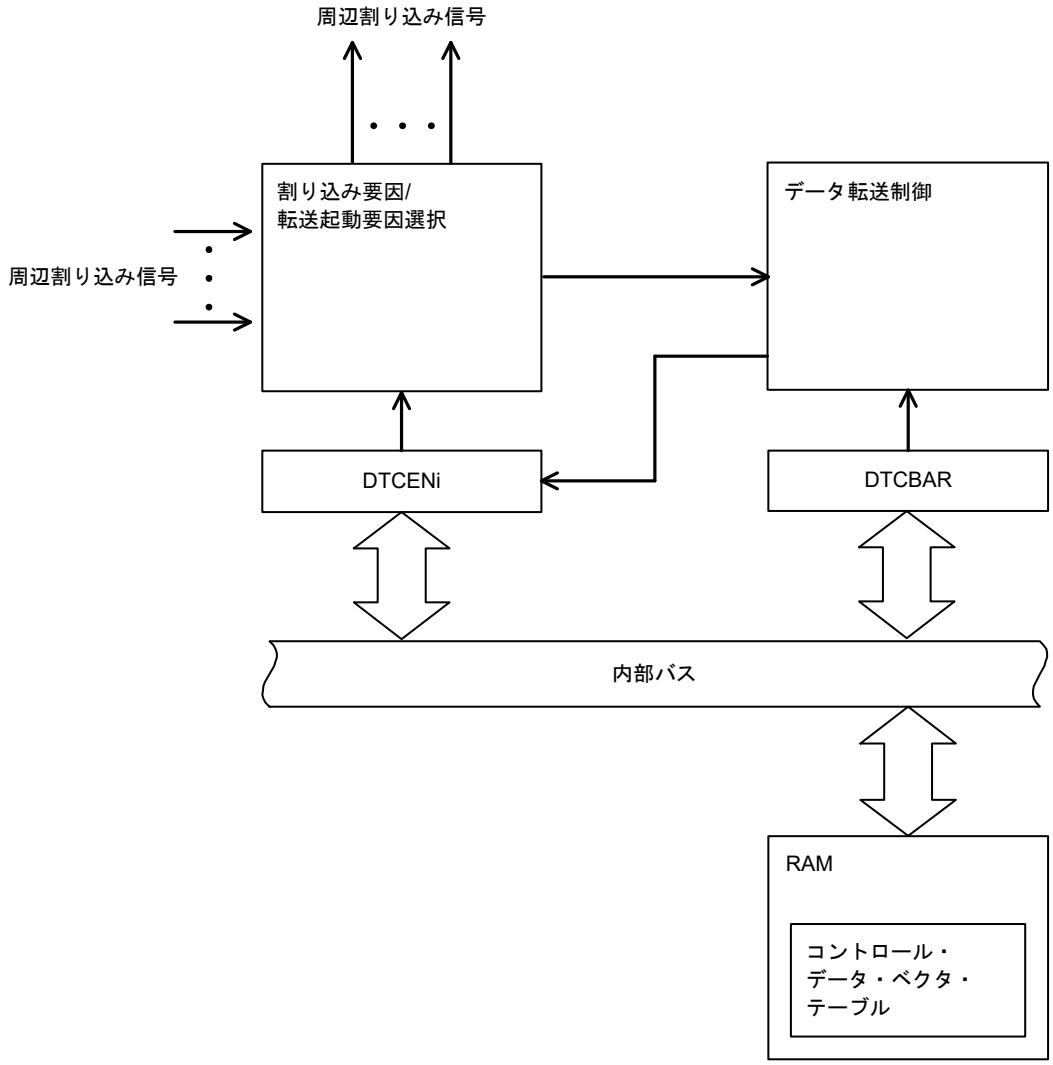
注 HALTモードおよびSNOOZEモードでは, フラッシュ・メモリが停止しているため, DTC転送のソースにできません。

備考 i = 0-2, j = 0-23

20.2 DTCの構成

図20 - 1にDTCのブロック図を示します。

図20 - 1 DTCのブロック図



20.3 DTCを制御するレジスタ

表20 - 2にDTCを制御するレジスタを示します。

表20 - 2 DTCを制御するレジスタ

レジスタ名	略号
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTCベース・アドレス・レジスタ	DTCBAR

表20 - 3にDTCのコントロール・データを示します。

DTCのコントロール・データはRAMのDTCコントロール・データ領域に配置されます。

DTCBARレジスタでDTCコントロール・データ領域と, コントロール・データの先頭番地を格納するDTCベクタ・テーブル領域を含めた256バイトの領域を設定します。

表20 - 3 DTCのコントロール・データ

レジスタ名	略号
DTC制御レジスタj	DTCCRj
DTCブロック・サイズ・レジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロード・レジスタj	DTRLDj
DTCソース・アドレス・レジスタj	DTSARj
DTCデスティネーション・アドレス・レジスタj	DTDARj

備考 j = 0-23

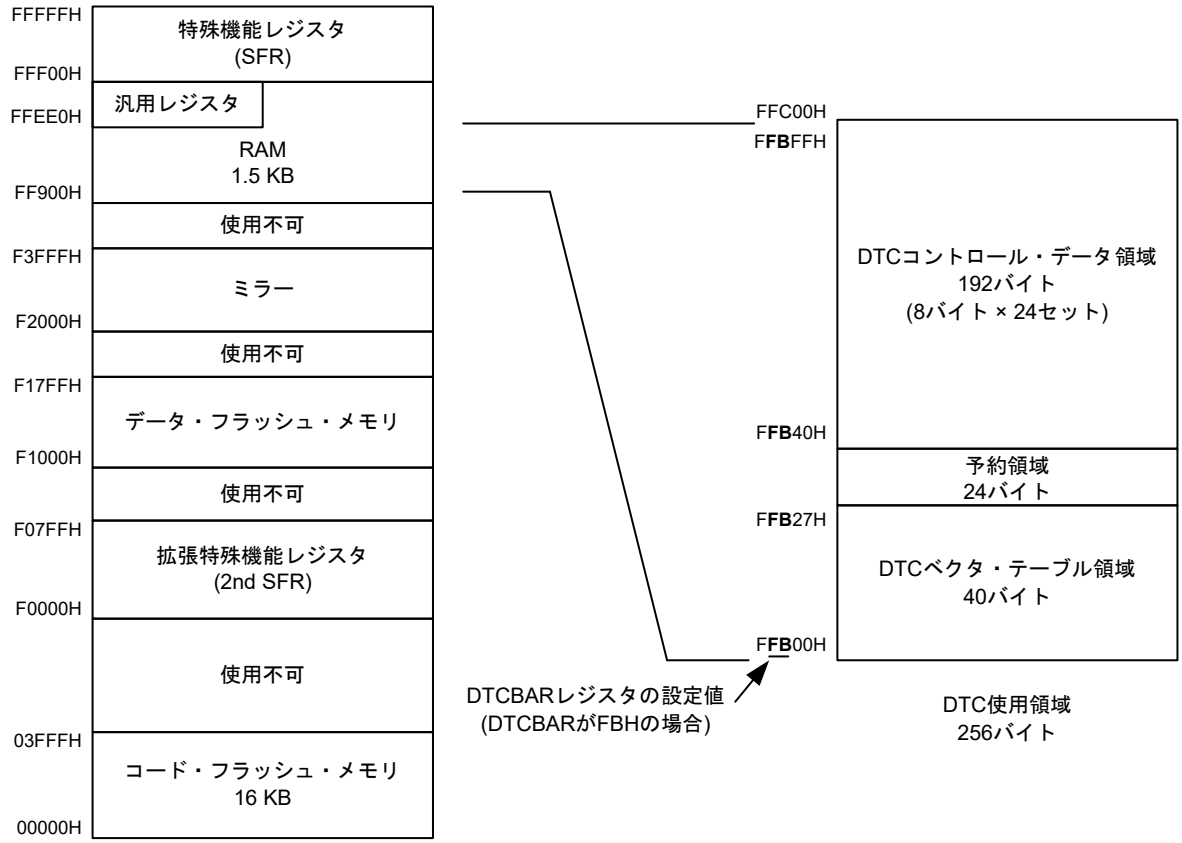
20.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCBARレジスタで, DTCのコントロール・データとベクタ・テーブルを配置する256バイトの領域をRAM領域内に設定します。

図20 - 2にDTCBARレジスタにFBHを設定したときのメモリ・マップ例を示します。

DTCコントロール・データ領域192バイトのうち, DTCで使用しない空間はRAMとして使用できます。

図20 - 2 DTCBARレジスタにFBHを設定したときのメモリ・マップ例



DTCのコントロール・データとベクタ・テーブルを配置できる領域は製品によって異なります。

注意1. 汎用レジスタ(FFEE0H-FFEFFH)の空間は，DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。

注意2. スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。

注意3. 次に示す製品の内部RAM領域は，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。

R5F117xC (x = A, B, G) : FF300H-FF709H

注意4. 次に示す製品の内部RAM領域は，オンチップ・デバッキングのトレース機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。

R5F117xC (x = A, B, G) : FF700H-FF8FFH

20.3.2 コントロール・データの配置

コントロール・データは先頭アドレスから, DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0-23) レジスタの順に配置します。

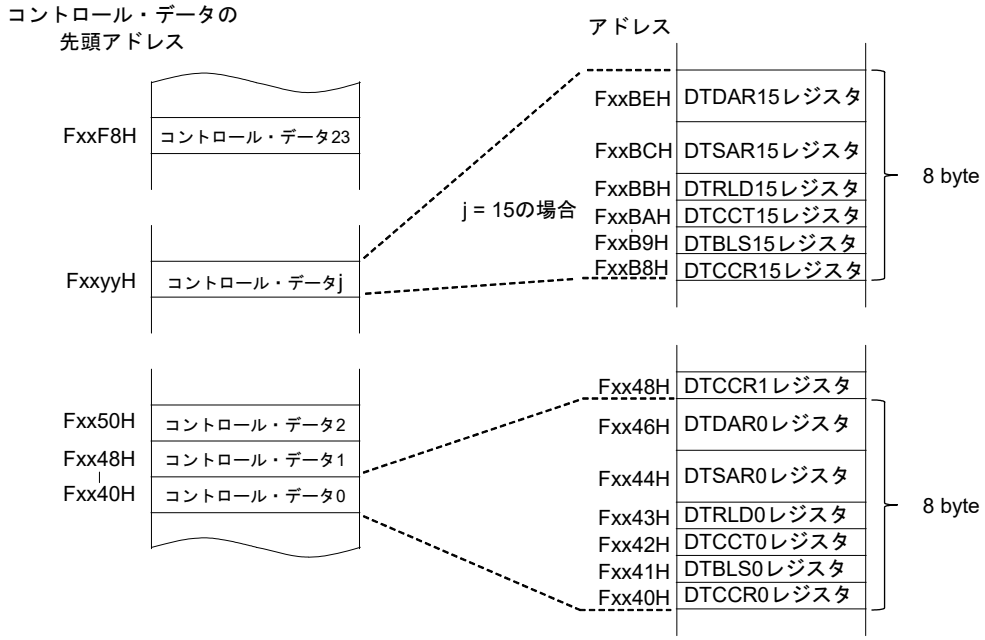
先頭アドレス0-23の上位8ビットはDTCBARレジスタで設定し, 下位8ビットは起動要因ごとに割り当てられているベクタ・テーブルでそれぞれ設定します。

図20 - 3にコントロール・データの配置をを示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0-2) のDTCENi0-DTCENi7ビットが0 (起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図20 - 3 コントロール・データの配置



備考 xx : DTCBARレジスタの設定値

表20 - 4 コントロール・データの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考 xx : DTCBARレジスタの設定値

20.3.3　ベクタ・テーブル

DTC が起動すると, 起動要因ごとに割り当てられているベクタ・テーブルから読み出した下位8ビットのアドレス・データにより 24組のコントロール・データから１つコントロール・データを決定し, DTCコントロール・データ領域上に配置されたコントロール・データを読み出します。

ベクタ・アドレスの上位8ビットはDTCBARレジスタで設定し, 下位8ビットは起動要因に対応して00Hから17Hまでが割り当てられます。起動要因ごとにベクタ・テーブルが1バイトあり, 40HからF8Hのデータを格納し, DTC起動時にはこの下位4ビットのアドレスを元に24組のコントロール・データから１つを選択します。表20 - 5にDTC起動要因とベクタ・アドレスを示します。

注意　ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は, 対応するDTCENi (i = 0-2) レジスタのDTCENi0-DTCENi7 ビットが0 (起動禁止)のときに変更してください。

図20 - 4 コントロール・データの先頭アドレスとベクタ・テーブル

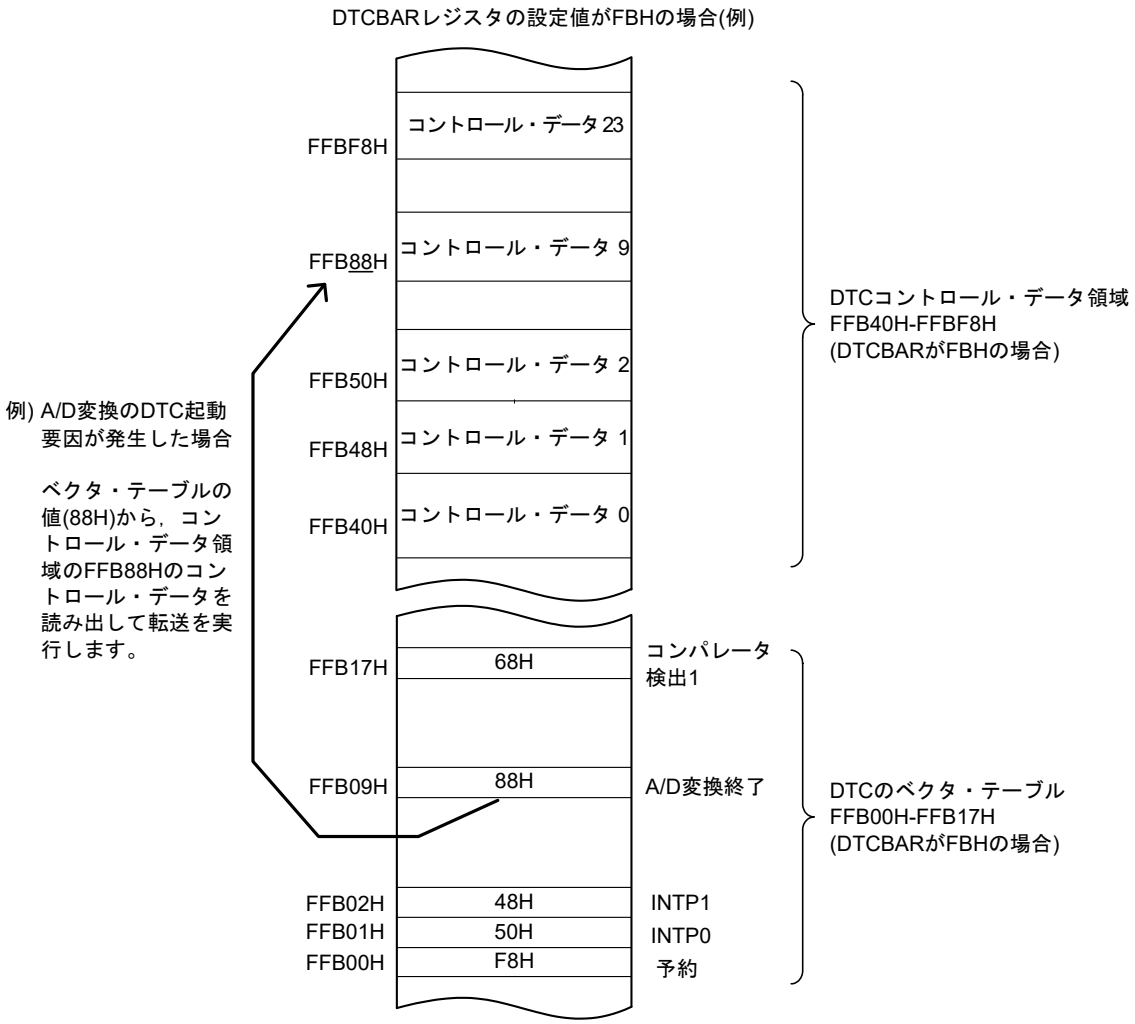


表20 - 5 DTC起動要因とベクタ・アドレス

DTC起動要因(割り込み要因発生元)	要因番号	ベクタ・アドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス + 00H	高
INTP0	1	DTCBARレジスタの設定アドレス + 01H	
INTP1	2	DTCBARレジスタの設定アドレス + 02H	
INTP2	3	DTCBARレジスタの設定アドレス + 03H	
INTP3	4	DTCBARレジスタの設定アドレス + 04H	
INTP4	5	DTCBARレジスタの設定アドレス + 05H	
INTP5	6	DTCBARレジスタの設定アドレス + 06H	
INTP6	7	DTCBARレジスタの設定アドレス + 07H	
キー入力	8	DTCBARレジスタの設定アドレス + 08H	
A/D変換終了	9	DTCBARレジスタの設定アドレス + 09H	
UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	10	DTCBARレジスタの設定アドレス + 0AH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	11	DTCBARレジスタの設定アドレス + 0BH	
UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	12	DTCBARレジスタの設定アドレス + 0CH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	13	DTCBARレジスタの設定アドレス + 0DH	
タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	14	DTCBARレジスタの設定アドレス + 0EH	
タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	15	DTCBARレジスタの設定アドレス + 0FH	
タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	16	DTCBARレジスタの設定アドレス + 10H	
タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	17	DTCBARレジスタの設定アドレス + 11H	
12ビット・インターバル・タイマ	18	DTCBARレジスタの設定アドレス + 12H	
8ビット・インターバル・タイマ00	19	DTCBARレジスタの設定アドレス + 13H	
8ビット・インターバル・タイマ01	20	DTCBARレジスタの設定アドレス + 14H	
TMKBカウント完了	21	DTCBARレジスタの設定アドレス + 15H	
コンパレータ検出0	22	DTCBARレジスタの設定アドレス + 16H	
コンパレータ検出1	23	DTCBARレジスタの設定アドレス + 17H	低

20.3.4　周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

DTC を使用する場合は，必ずビット3 (DTCEN) を1に設定してください。

PER1 レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20 - 5 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス：F00FAH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	0	DTCEN	PGA0EN	0	0

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 • DTCは動作不可
1	入力クロック供給 • DTCは動作可

注意　ビット0, 1, 4, 6には必ず“0”を設定してください。

20.3.5 DTC制御レジスタj (DTCCRj) (j = 0-23)

DTCCRjレジスタは，DTCの動作モードを制御します。

図20 - 6 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス：20.3.2 コントロール・データの配置参照　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

SZ	転送データ・サイズの選択
0	8ビット
1	16ビット

RPTINT	リピート・モード割り込みの許可・禁止
0	割り込み発生禁止
1	割り込み発生許可
MODEビットが0 (ノーマル・モード)のときRPTINT ビットの設定は無効です。	

CHNE	チェイン転送の許可・禁止
0	チェイン転送禁止
1	チェイン転送許可
DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止)にしてください。	

DAMOD	転送先アドレスの制御
0	固定
1	加算
MODEビットが1 (リピート・モード)でRPTSELビットが0 (転送先がリピート・エリア)のときDAMODビットの設定は無効です。	

SAMOD	転送元アドレスの制御
0	固定
1	加算
MODEビットが1 (リピート・モード)でRPTSELビットが1 (転送元がリピート・エリア)のときSAMODビットの設定は無効です。	

RPTSEL	リピート・エリアの選択
0	転送先がリピート・エリア
1	転送元がリピート・エリア
MODEビットが0 (ノーマル・モード)のときRPTSELビットの設定は無効です。	

MODE	転送モードの選択
0	ノーマル・モード
1	リピート・モード

注意　DTC転送でDTCCRjレジスタをアクセスしないでください。

20.3.6 DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0-23)

1回の起動で転送されるデータのブロック・サイズを設定します。

図20 - 7 DTCブロック・サイズ・レジスタj (DTBLSj)のフォーマット

アドレス：20.3.2 コントロール・データの配置参照　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロック・サイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
・ ・ ・	・ ・ ・	・ ・ ・
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意　DTC転送でDTBLSjレジスタをアクセスしないでください。

20.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0-23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図20 - 8 DTC転送回数レジスタj (DTCCTj)のフォーマット

アドレス：20.3.2 コントロール・データの配置参照　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
・ ・ ・	・ ・ ・
FDH	253回
FEH	254回
FFH	255回

注意　DTC転送でDTCCTjレジスタをアクセスしないでください。

20.3.8 DTC転送回数リロード・レジスタj (DTRLDj) (j = 0-23)

リピート・モードで転送回数レジスタの初期値を設定します。リピート・モード時は, 本レジスタの値がDTCCTレジスタにリロードされますので, DTCCTレジスタの初期値と同じ値を設定してください。

図20 - 9 DTC転送回数リロード・レジスタj (DTRLDj)のフォーマット

アドレス：20.3.2 コントロール・データの配置参照　　リセット時：不定　　R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意　DTC転送でDTRLDjレジスタをアクセスしないでください。

20.3.9 DTCソース・アドレス・レジスタj (DTSARj) (j = 0-23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1 (16ビット転送)のとき, 最下位ビットは無視され, 偶数番地として扱われます。

図20 - 10 DTCソース・アドレス・レジスタj (DTSARj)のフォーマット

アドレス：20.3.2 コントロール・データの配置参照　　リセット時：不定　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意1. 転送元アドレスに汎用レジスタ(FFEE0H-FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

20.3.10 DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1 (16ビット転送)のとき, 最下位ビットは無視され, 偶数番地として扱われます。

図20 - 11 DTCデスティネーション・アドレス・レジスタj (DTDARj)のフォーマット

アドレス：20.3.2 コントロール・データの配置参照　　リセット時：不定　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意1. 転送先アドレスに汎用レジスタ(FFEE0H-FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

20.3.11 DTC起動許可レジスタi (DTCENi) (i = 0-2)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表20 - 6に割り込み要因とDTCENi0-DTCENi7ビットの対応を示します。

DTCENiレジスタは8ビット・メモリ操作命令, および1ビット・メモリ操作命令で設定できます。

注意1. DTCENi0-DTCENi7ビットは， そのビットに対応する起動要因が発生しない箇所で変更してください。

注意2. DTC転送でDTCENiレジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには，必ず“0”を設定してください。

図20 - 12 DTC起動許可レジスタi (DTCENi) (i = 0-2)のフォーマット

アドレス： F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi7	DTC起動許可i7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi7ビットは0 (起動禁止)になります。	

DTCENi6	DTC起動許可i6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi6ビットは0 (起動禁止)になります。	

DTCENi5	DTC起動許可i5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi5ビットは0 (起動禁止)になります。	

DTCENi4	DTC起動許可i4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi4ビットは0 (起動禁止)になります。	

DTCENi3	DTC起動許可i3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi3ビットは0 (起動禁止)になります。	

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0 (起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0 (起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0 (起動禁止)になります。	

表20 - 6 割り込み要因とDTCENi0-DTCENi7ビットの対応

レジスタ	DTCENi7ビット	DTCENi6ビット	DTCENi5ビット	DTCENi4ビット	DTCENi3ビット	DTCENi2ビット	DTCENi1ビット	DTCENi0ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	キー入力	A/D変換終了	UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了
DTCEN2	タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	12ビット・インターバル・タイマ	8ビット・インターバル・タイマ00	8ビット・インターバル・タイマ01	タイマKBカウンタ完了	コンパレータ検出0	コンパレータ検出1

注意　機能が割り当てられていないビットには，必ず“0”を設定してください。

備考　i = 0-2

20.3.12 DTCベース・アドレス・レジスタ(DTCBAR)

DTCコントロール・データ領域の先頭番地を格納するベクタ・アドレスと, DTCコントロール・データ領域のアドレスを設定する8ビット・レジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

注意1. DTCBARレジスタは,すべてのDTC起動要因を起動禁止に設定した状態で変更してください。

注意2. DTCBARレジスタを2回以上書き換えないでください。

注意3. DTC転送でDTCBARレジスタをアクセスしないでください。

注意4. DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置については, 20.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置の注意を参照してください。

図20 - 13 DTCベース・アドレス・レジスタ(DTCBAR)のフォーマット

アドレス：F02E0H　リセット時：FDH　R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

20.4 DTCの動作

DTCが起動すると, DTCコントロール・データ領域からコントロール・データを読み出し, このコントロール・データに従ってデータ転送を行い, データ転送後のコントロール・データをDTCコントロール・データ領域へ書き戻します。24組のコントロール・データをDTCコントロール領域へ格納でき, 24通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり, 転送サイズは8ビット転送と16ビット転送があります。また, DTCCTj (j = 0-23)レジスタのCHNEビットが1 (チェイン転送許可)のとき, 1つの起動要因に対して複数のコントロール・データを読み出し, 連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ, 転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは, データ転送後, コントロール・データに従って加算されるか固定されます。

20.4.1 起動要因

DTCは, 周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は, DTCENi (i = 0-2) レジスタで選択します。

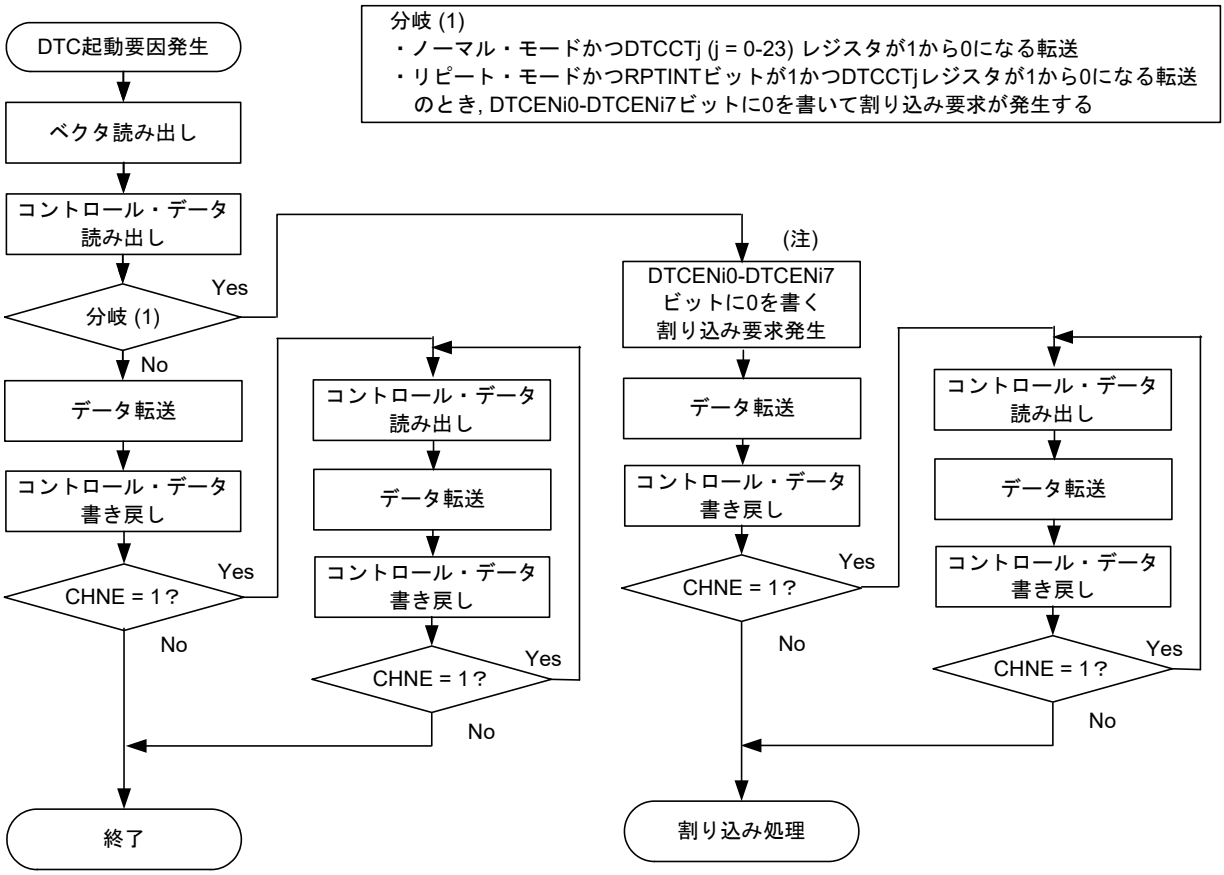
データ転送(チェイン転送の場合, 連続して行う最初の転送)の設定が,

- ノーマル・モードでDTCCTj (j = 0-23) レジスタが0になる転送
- リピート・モードでDTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) かつDTCCTjレジスタが0になる転送

のとき, DTCは動作中にDTCENiレジスタの対応するDTCENi0-DTCENi7ビットを0 (起動禁止)にします。

図20 - 14にDTC内部動作フロー・チャートを示します。

図20 - 14 DTC内部動作フロー・チャート



注 チェイン転送の許可 (CHNEビットが1) の設定により起動されたデータ転送では, DTCENi0-DTCENi7ビットに0を書きません。また, 割り込み要求は発生しません。

備考 DTCENi0-DTCENi7 : DTCENi (i = 0-2) レジスタのビット
RPTINT, CHNE : DTCCRj (j = 0-23) レジスタのビット

20.4.2 ノーマル・モード

1回の起動で, 8ビット転送の場合1-256バイト, 16ビット転送の場合2-512バイトをデータ転送します。転送回数は1-256回です。DTCCTj (j = 0-23)レジスタが0になるデータ転送を行うとき, DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し, DTCENi (i = 0-2) レジスタの対応するDTCENi0-DTCENi7ビットを0 (起動禁止)にします。

表20 - 7にノーマル・モードでのレジスタ機能を示します。図20 - 15にノーマル・モードでのデータ転送を示します。

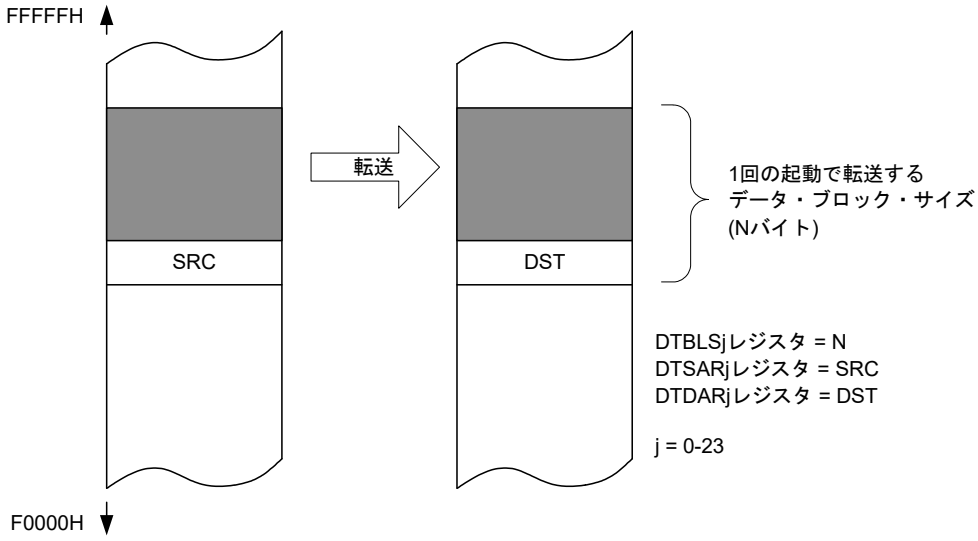
表20 - 7 ノーマル・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	使用しません注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は，初期化(00H)してください。

備考 j = 0-23

図20 - 15 ノーマル・モードでのデータ転送



DTCCRレジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

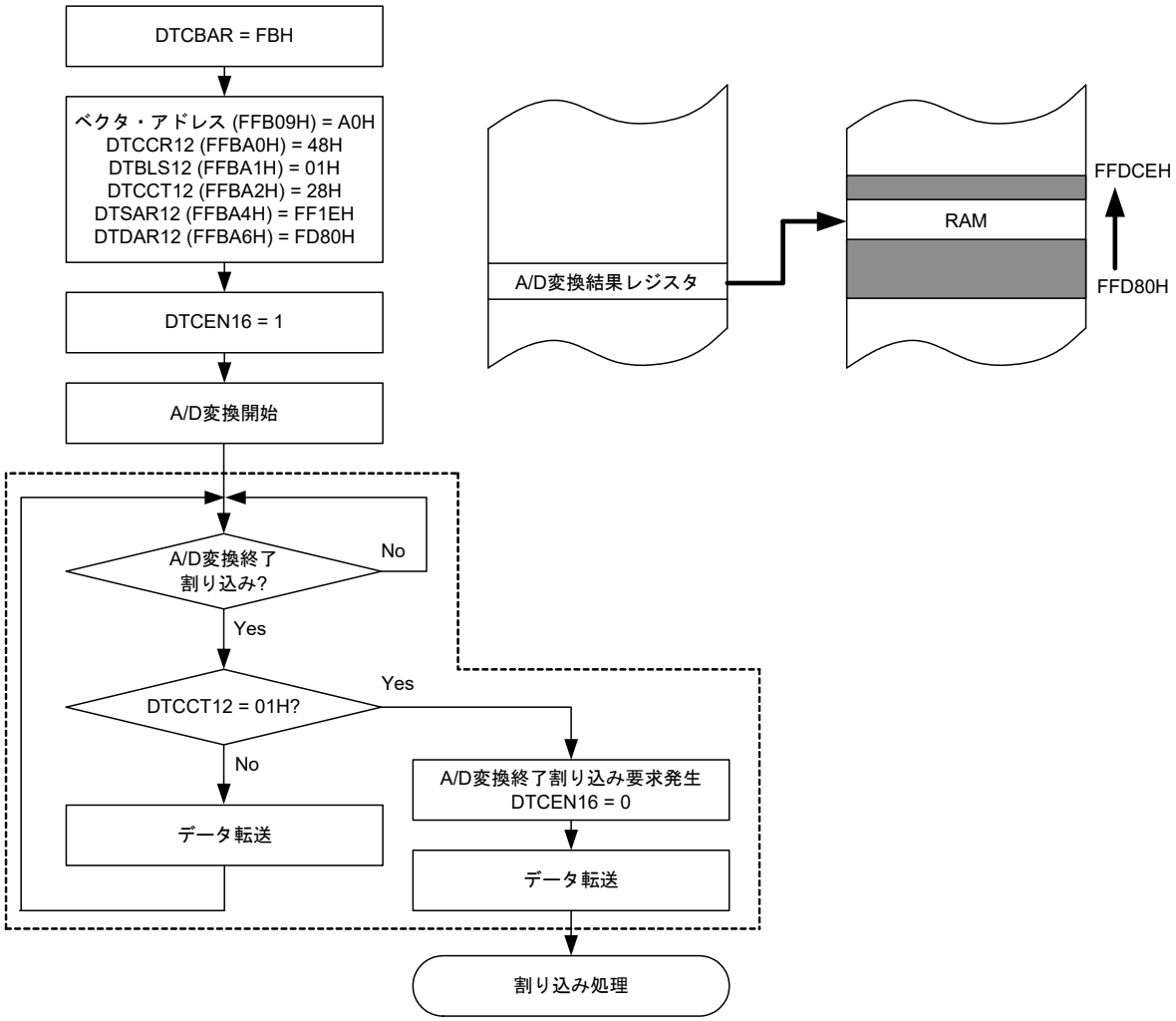
X : 0または1

(1) ノーマル・モードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し，A/D変換結果レジスタの値をRAMに転送します。

- ベクタ・アドレスはFFB09H，コントロール・データはFFBA0H-FFBA7Hに配置
- A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイト・データをRAMのFFD80H-FFDCFHの80バイトへ40回転送

図20 - 16 ノーマル・モードの使用例1：A/D変換結果の連続取り込み



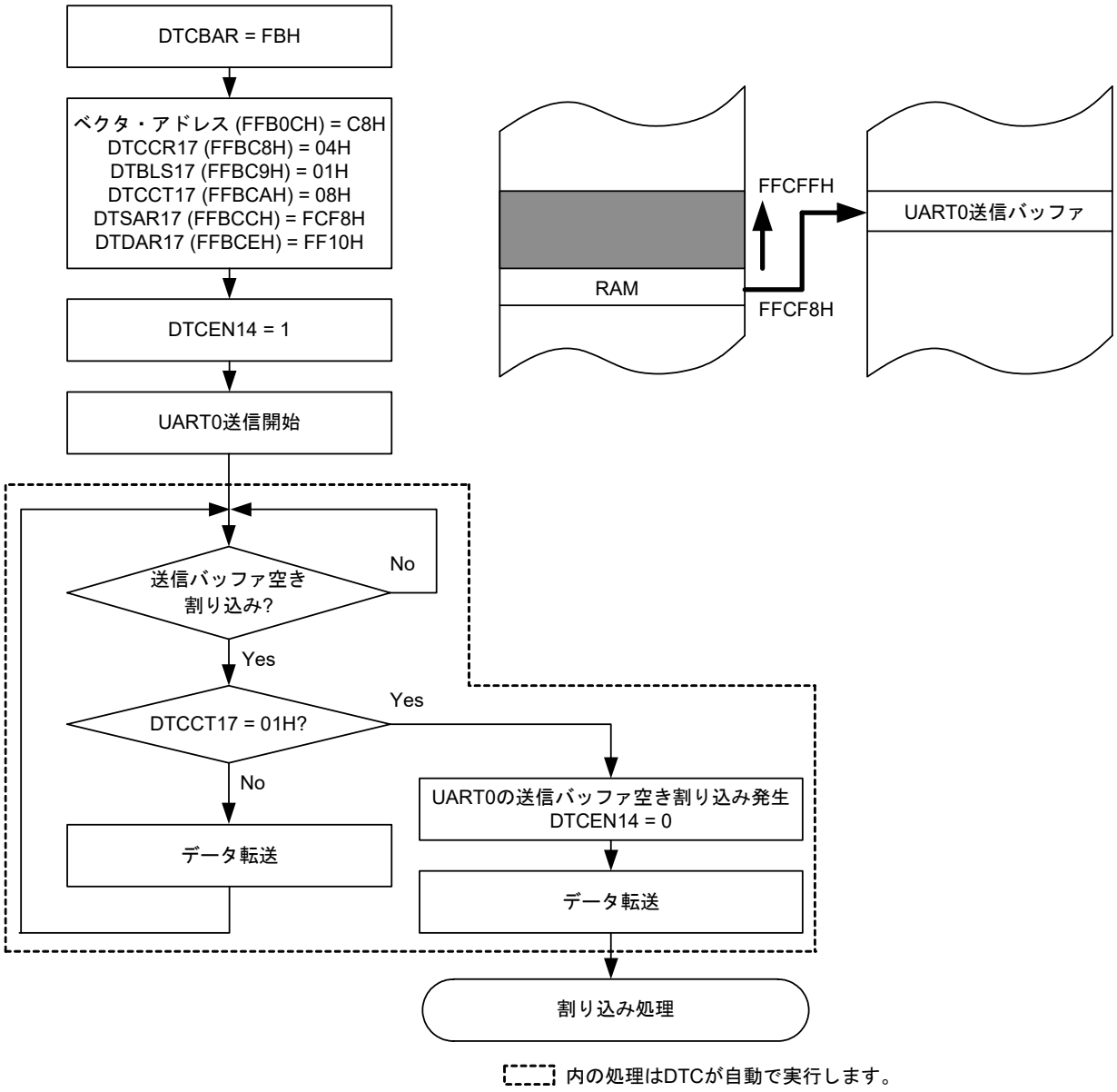
ノーマル・モードのため，DTRLD12レジスタの値は使用しませんが，RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は，DTRLD12レジスタを初期化(00H)してください。

(2) ノーマル・モードの使用例2：UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し，RAMの値をUART0の送信バッファに転送します。

- ベクタ・アドレスはFFB0BH，コントロール・データはFFBC8H-FFBCFHに配置
- RAMのFFCF8H-FFCFFHの8バイトをUART0の送信バッファ (FFF10H)へ転送

図20 - 17 ノーマル・モードの使用例2：UART0連続送信



ノーマル・モードのため，DTRLD17レジスタの値は使用しませんが，RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は，DTRLD17レジスタを初期化(00H)してください。

UART0の最初の送信は，ソフトウエアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより，自動的に送信されます。

20.4.3 リピート・モード

1回の起動で, 1-255バイトを転送します。転送元, 転送先のいずれか一方をリピート・エリアに指定します。転送回数は1-255回です。指定回数の転送が終了すると, DTCCTj (j = 0-23) レジスタおよびリピート・エリアに指定したアドレスが初期化され, 転送を繰り返します。DTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) でDTCCTjレジスタが0になるデータ転送をDTCが行うとき, DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し, DTCENi (i = 0-2) レジスタの対応するDTCENi0-DTCENi7ビットを0 (起動禁止) にします。DTCCRjレジスタのRPTINTビットが0 (割り込み発生禁止) の場合は, DTCCTjレジスタが0になるデータ転送を行っても, 割り込み要求は発生しません。また, DTCENi0-DTCENi7ビットは0になりません。

表20 - 8にリピート・モードでのレジスタ機能を示します。図20 - 18にリピート・モードでのデータ転送を示します。

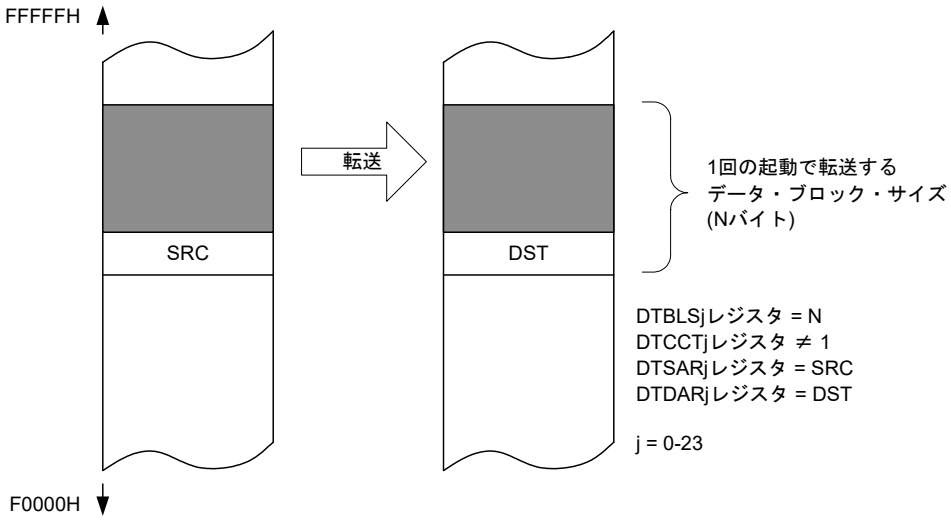
表20 - 8 リピート・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	このレジスタの値をDTCCTjレジスタへリロード (データ転送回数を初期化)
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

備考 j = 0-23

図20 - 18 リピート・モードでのデータ転送

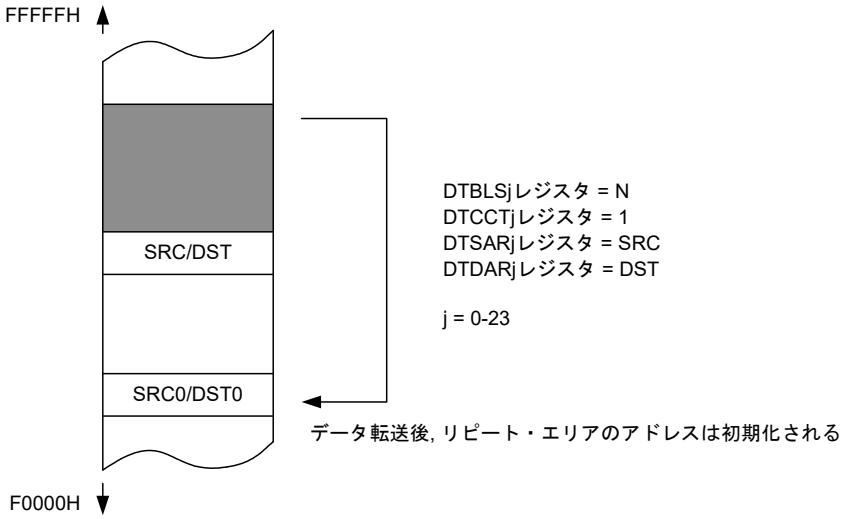
DTCCTjレジスタ ≠ 1



DTCCRレジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソースアドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピート・エリア	固定	SRC + N	DST
1	X	1	1	リピート・エリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピート・エリア	SRC	DST + N
X	1	0	1	加算	リピート・エリア	SRC + N	DST + N

X：0または1

DTCCTjレジスタ = 1



DTCCRレジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピート・エリア	固定	SRC0	DST
1	X	1	1	リピート・エリア	加算	SRC0	DST + N
X	0	0	1	固定	リピート・エリア	SRC	DST0
X	1	0	1	加算	リピート・エリア	SRC + N	DST0

SRC0：ソース・アドレス初期値
DST0：デスティネーション・アドレス初期値
X：0または1

注意1. リピート・モード使用時は，リピート・エリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

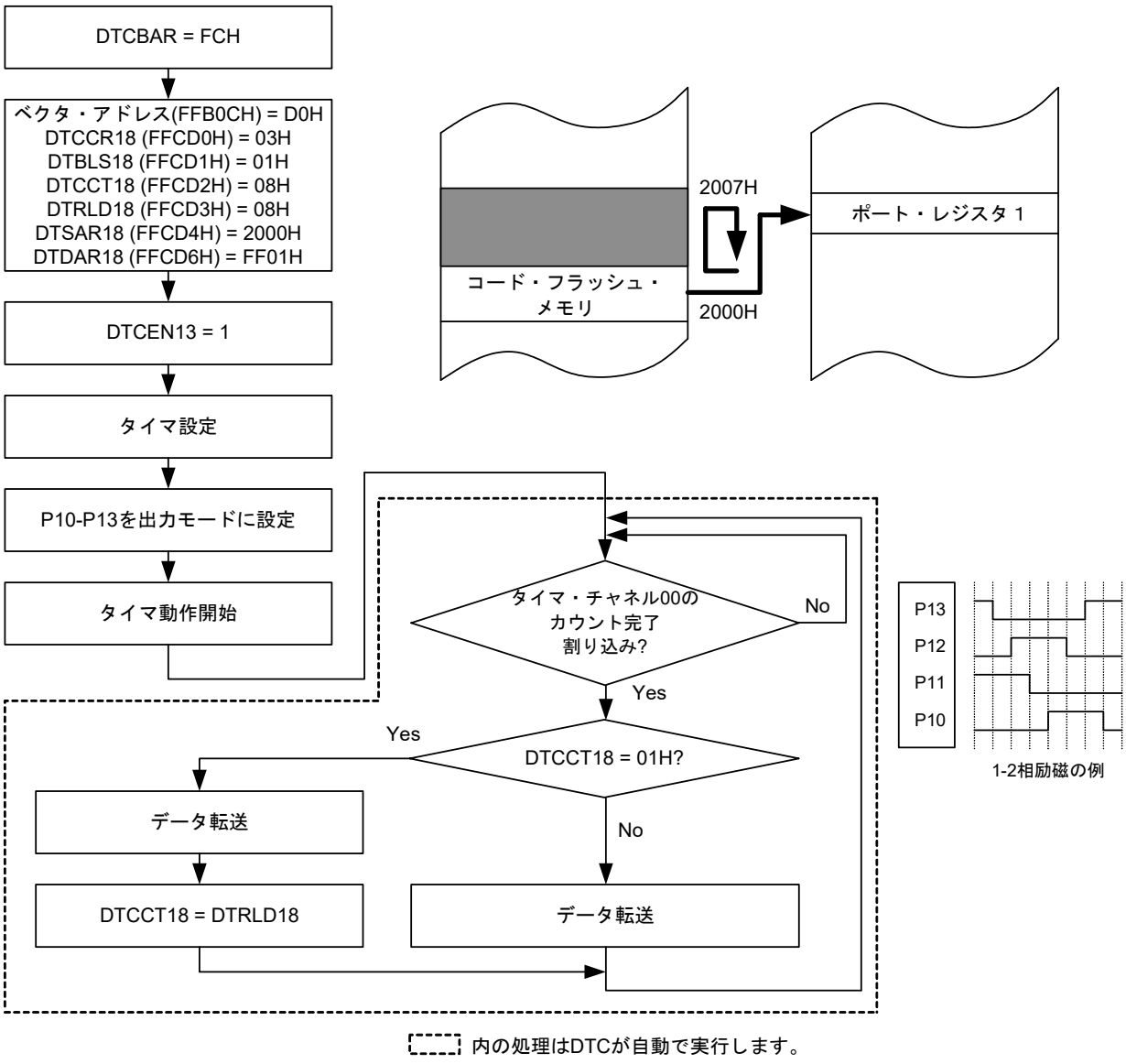
注意2. リピート・モード使用時は，リピート・エリアのデータ・サイズを255バイト以内にしてください。

(1) リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力

タイマ・アレイ・ユニット0のチャネル0のインターバルタイマ機能を使ってDTCを起動し，コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ベクタ・アドレスはFFB0CH，コントロール・データはFFCD0H-FFCD7Hに配置
- コード・フラッシュ・メモリの02000H-02007Hの8バイト・データをミラー領域F2000H-F2007Hからポート・レジスタ1 (FFF01H)へ転送
- リピート・モード割り込みは禁止

図20 - 19 リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は，タイマを停止してから，DTCEN13をクリアしてください。

20.4.4 チェイン転送

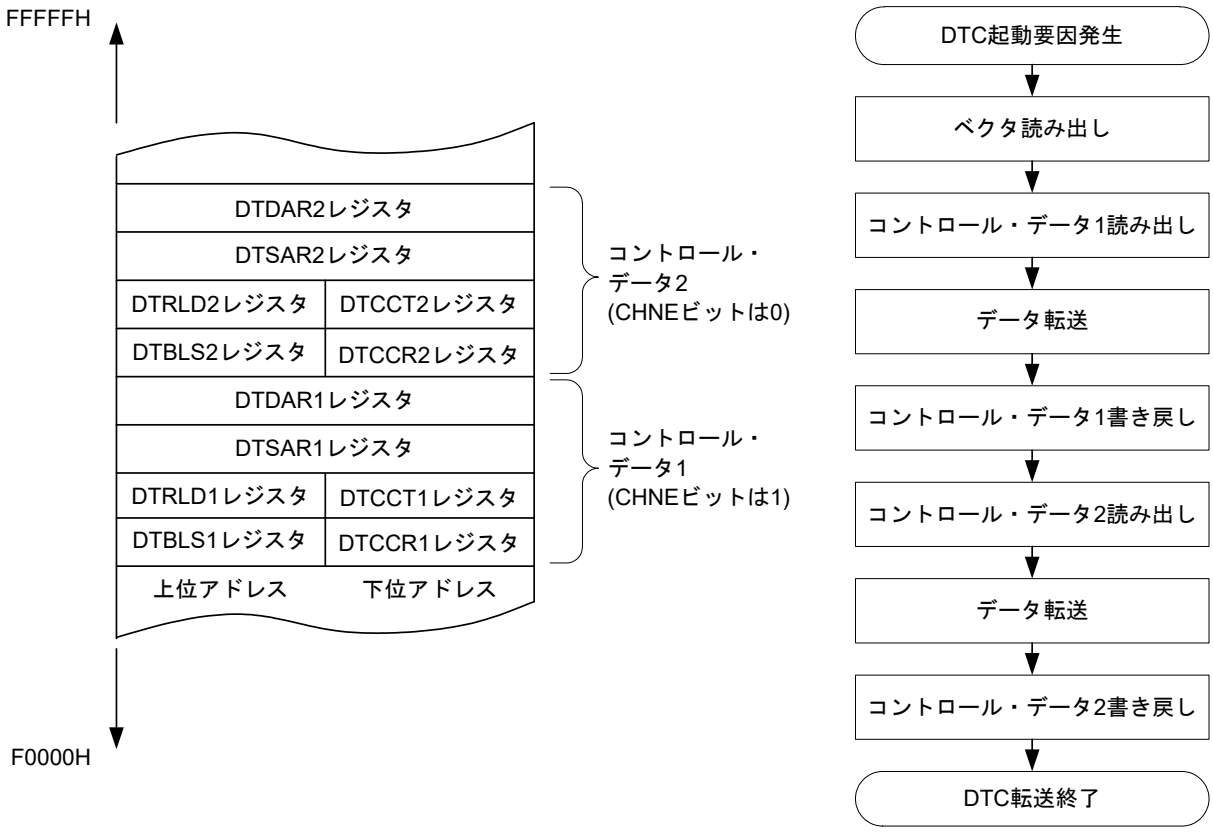
DTCCRj (j = 0-22)レジスタのCHNEビットが1 (チェイン転送許可)のとき，1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると，起動要因に対応したベクタ・アドレスから読み出されたデータによりコントロール・データを選択し，DTCコントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データのCHNEビットが1 (チェイン転送許可)であれば，転送終了後，連続して配置した次のコントロール・データを読み出して転送します。この動作をCHNEビットが0 (チェイン転送禁止)のコントロール・データのデータ転送が終了するまで続けます。

複数のコントロール・データを用いてチェイン転送を行う場合は，最初のコントロール・データに設定された転送回数が有効となり，2番目以降に処理されるコントロール・データの転送回数は無効となります。

図20 - 20にチェイン転送でのデータ転送を示します。

図20 - 20 チェイン転送でのデータ転送



注意1. DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止)にしてください。

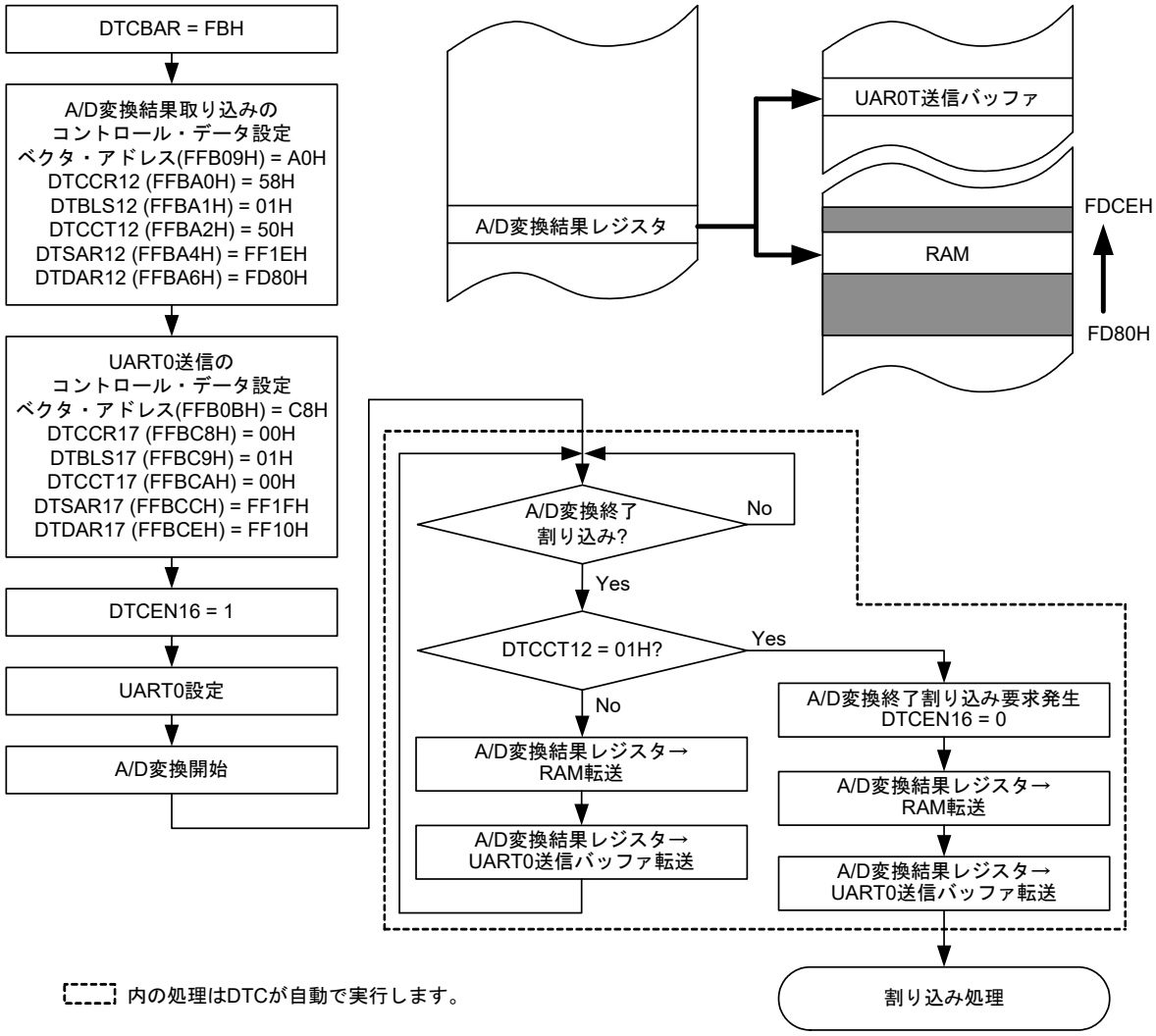
注意2. チェイン転送の場合，2回目以降のデータ転送では，DTCENi (i = 0-2)レジスタのDTCENi0-DTCENi7ビットは0 (起動禁止)になりません。また，割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し，A/D変換結果をRAMに転送し，UART0で送信します。

- ベクタ・アドレスはFFB09H
- A/D変換結果取り込みのコントロール・データはFFBA0H-FFBA7Hに配置
- UART0送信のコントロール・データはFFBA8H-FFBAFHに配置
- A/D変換結果レジスタ(FFF1FH，FFF1EH)の2バイト・データをRAMのFFD80H-FFDCFHに転送し，A/D変換結果レジスタの上位1バイト(FFF1FH)をUARTの送信バッファ(FFF10H)へ転送

図20 - 21 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



20.5 DTC使用上の注意事項

20.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロール・データ領域，DTCベクタ・テーブル領域，汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベース・アドレス・レジスタ(DTCBAR)は，すべてのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベース・アドレス・レジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0-23)レジスタのデータは対応するDTCENi (i = 0-2)レジスタのDTCENi0-DTCENi7ビットが0 (起動禁止)のときに変更してください。
- ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は，対応するDTCENi (i = 0-2)レジスタのDTCENi0-DTCENi7ビットが0 (起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，DTC による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に設定しないでください。

20.5.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTC のコントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は，DTC コントロール・データ領域およびDTC ベクタ・テーブル領域としての使用を禁止します。
- スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。
- 内部RAM領域のFFE20H-FFEDFHは，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は，ノーマル・モード使用時においてもDTRLDレジスタを初期化(00H)してください。

20.5.3　DTC保留命令

DTC 転送要求が発生しても，次の命令直後ではデータ転送は保留されます。また，PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリード・アクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和演算(MULU命令を除く)

注意1. DTC 転送要求を受け付けると，DTC 転送が完了するまで，すべての割り込み要求が保留されます。

注意2. DTC保留命令によるDTC 保留中は，すべての割り込み要求が保留されます。

20.5.4　データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合，間の命令に3クロック分のウエイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウエイト発生

MOV A, ！データ・フラッシュ空間

20.5.5 DTC実行クロック数

表20 - 9にDTC起動時の実行状況と必要なクロック数を示します。

表20 - 9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロール・データの書き戻しに必要なクロック数は, 表20 - 10 コントロール・データの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は, 表20 - 11 1データの読み出し/書き込みに必要なクロック数を参照してください。

表20 - 10 コントロール・データの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート・エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート・エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0-23, X: 0または1

表20 - 11 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
					ウエイトなし	ウエイトあり
データ読み出し	1	2	4	1	1	1 + ウエイト数注
データ書き込み	1	—	—	1	1	1 + ウエイト数注

注 ウエイト数はアクセスする拡張特殊機能レジスタ (2nd SFR)に配置されたレジスタの仕様によって異なります。

20.5.6　DTC応答時間

表20 - 12にDTCにおける応答時間を示します。DTC応答時間とはDTC起動要因の検出からDTC転送開始までの時間です。DTC応答時間にDTC実行クロック数は含まれません。

表20 - 12 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし，以下の場合は更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合

  最大応答時間：20クロック
- DTC保留命令実行の場合(20.5.3　DTC保留命令を参照)

  最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウエイトが発生するTRJ0レジスタをアクセスした場合

  最大応答時間：各条件時の最大応答時間 + 1クロック

備考　1クロック：1/f_{CLK} (f_{CLK}：CPU／周辺ハードウエア・クロック)

20.5.7　DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所で，その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因に8ビット・インターバル・タイマ，12ビット・インターバル・タイマを選択し，DTC転送完了後に再転送する場合は，各タイマ動作クロックの1クロック後に対応するDTCENi (i=0～2)レジスタのDTCENi0～DTCENi7ビットを1 (起動許可)にしてください。
- DTC起動要因が競合した場合は，CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は20.3.3　ベクタ・テーブルを参照してください。
- コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)かつコンパレータの立ち上がりエッジで割り込み要求に設定(CnEPO = 0)かつIVCMP＞IVREFの状態または，コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)，コンパレータの立ち下がりエッジで割り込み要求に設定 (CnEPO = 1)，IVCMP＜IVREFの状態で，DTCを起動許可した場合，DTC転送を開始し，転送終了後に割り込み要求が発生します。そのため必要に応じて，コンパレータのモニタ・フラグ(CnMON)を確認してからDTCを起動許可にしてください。

備考　n = 0-1

20.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能
STOPモード	DTC起動要因受付可能注1
SNOOZEモード	動作可能注2, 3, 4, 5

注1. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して，DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし，SNOOZEモード中はコード･フラッシュ・メモリおよび，データ・フラッシュ・メモリが停止しているため，フラッシュ・メモリを転送元(ソース)にすることはできません。

注2. SNOOZE モードは，f_{CLK} に高速オンチップ・オシレータ・クロック (f_{IH}) または，中速オンチップ・オシレータ・クロック (f_{IM})を選択している場合のみ設定可能です。

注3. CSIp の SNOOZE モード機能から転送完了割り込みを DTC 起動要因とした場合，DTC 転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか，チェイン転送を使い，CSIpの受信再設定(STm0ビットに1を書き込み，SWCmビットに0を書き込み，SSCmレジスタ設定，SSm0ビットに1を書き込み)をDTC転送で行ってください。

注4. UARTq の SNOOZE モード機能から転送完了割り込みを DTC 起動要因とした場合，DTC 転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか，チェイン転送を使い，UARTqの受信再設定(STm1ビットに1を書き込み，SWCmビットに0を書き込み，SSCmレジスタ設定，SSm1ビットに1を書き込み)を行ってください。

注5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合，DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか，チェイン転送を使い，A/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み，AWCビットに1を書き込む)を行ってください。

備考 p = 00; q = 0; m = 0

第21章　イベント・リンク・コントローラ(ELC)

21.1　ELCの機能

イベント・リンク・コントローラ(ELC)は，各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接，周辺機能間での連携動作が可能になります。

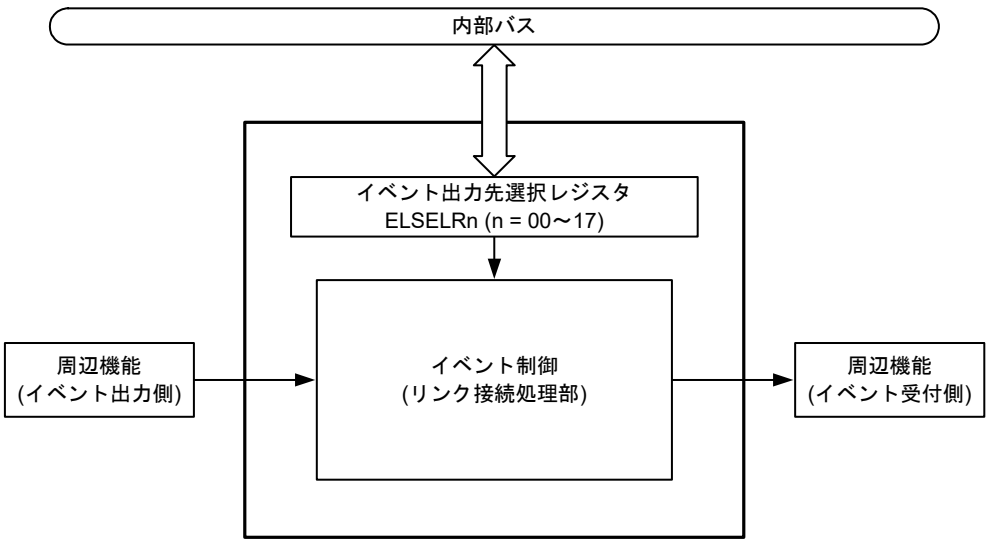
ELCには次の機能があります。

- 18種類の周辺機能からのイベント信号を，指定した周辺機能へ直接リンク可能
- 4種類の内の1つの周辺機能動作の起動要因として，イベント信号を使用可能

21.2　ELCの構成

図21 - 1にELCのブロック図を示します。

図21 - 1 ELCのブロック図



21.3　ELCを制御するレジスタ

表21 - 1にELCを制御するレジスタを示します。

表21 - 1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06注	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17

注　20ピン製品は，初期値(イベントリンク禁止)以外設定しないでください。

21.3.1 イベント出力先選択レジスタn (ELSELRn) (n = 00-17)

ELSELRnレジスタは各イベント信号を, イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を, 同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる, イベント信号が正確に受け付けられないことがあります。また, イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間かつイベント出力先(イベント受付側)の機能が停止している期間に, ELSELRnレジスタを設定してください。

表21 - 2にELSELRnレジスタ(n = 00-17)と周辺機能の対応を, 表21 - 3にELSELRnレジスタ(n = 00-17)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図21 - 2 イベント出力先選択レジスタn (ELSELRn)のフォーマット

アドレス：F0240H (ELSELR00)- F0251H (ELSELR17)　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	0	ELSELn2	ELSELn1	ELSELn0

ELSELn2	ELSELn1	ELSELn0	イベント・リンクの選択
0	0	0	イベントリンク禁止
0	0	1	リンクする周辺機能1の動作を選択注
0	1	0	リンクする周辺機能2の動作を選択注
0	1	1	リンクする周辺機能3の動作を選択注
1	0	0	リンクする周辺機能4の動作を選択注
上記以外			設定禁止

注　表21 - 3　ELSELRnレジスタ(n = 00-17)に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表21 - 2 ELSELRnレジスタ(n = 00-17)と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	外部割り込みエッジ検出6	INTP6
ELSELR07	キーリターン信号検出	INTKR
ELSELR08	12ビット・インターバル・タイマ・インターバル信号検出	INTIT
ELSELR9	8ビット・インターバル・タイマ・チャネル00のコンペアマッチまたは 16ビット・インターバル・タイマ・チャネル0のコンペアマッチ(カスケード時)	INTIT00
ELSELR10	8ビット・インターバル・タイマ・チャネル01のコンペアマッチ	INTIT01
ELSELR11	TAUチャネル00カウント完了/キャプチャ完了	INTTM00
ELSELR12	TAUチャネル01カウント完了/キャプチャ完了	INTTM01
ELSELR13	TAUチャネル02カウント完了/キャプチャ完了	INTTM02
ELSELR14	TAUチャネル03カウント完了/キャプチャ完了	INTTM03
ELSELR15	コンパレータ検出0	INTCMP0
ELSELR16	コンパレータ検出1	INTCMP1
ELSELR17	TMKBトリガ出力	INTTMKB0

表21 - 3 ELSELRnレジスタ(n = 00-17)に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSELn2-ELSELn0ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
001B	1	A/Dコンバータ	A/D変換開始
010B	2	タイマ・アレイ・ユニット0 チャネル0のタイマ入力注1	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
011B	3	タイマ・アレイ・ユニット0 チャネル1のタイマ入力注2	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
100B	4	D/Aコンバータ1 ch	D/A変換開始

注1. リンク先周辺機能にタイマ・アレイ・ユニット0チャネル0のタイマ入力を選択する場合は，先にタイマ・クロック選択レジスタ0 (TPS0)でチャネル0の動作クロックをf_{CLK}に設定し，ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI00端子のノイズフィルタをOFFに(TNFEN00 = 0)設定し，タイマ入力選択レジスタ0 (TIS0)でチャネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニット0チャネル1のタイマ入力を選択する場合，先にタイマ・クロック選択レジスタ0 (TPS0)でチャネル1の動作クロックをf_{CLK}に設定し，ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI01端子のノイズフィルタをOFF (TNFEN01 = 0)に設定し，タイマ入力選択レジスタ0 (TIS0)でチャネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

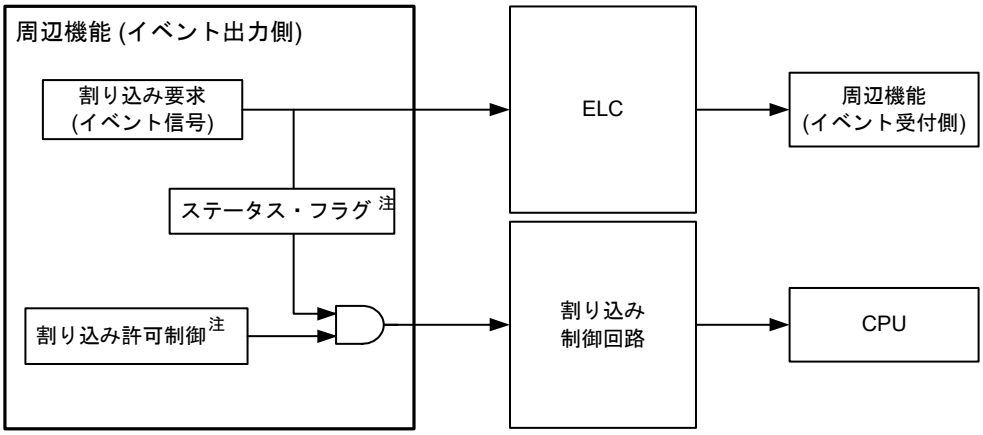
21.4 ELCの動作

各周辺機能で発生するイベント信号を, 割り込み制御回路への割り込み要求として使う経路と, ELC のイベントとして使う経路が独立しています。したがって, 各イベント信号は割り込み制御に関係なく, イベント受付側周辺機能の動作のイベント信号として使用できます。

図21 - 3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータス・フラグと, これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は, 受付側周辺機能に応じたイベント受付後の動作をします(表21 - 3 ELSELRnレジスタ(n = 00-17)に設定する値とリンク先周辺機能の受付時の動作の対応参照)。

図21 - 3 割り込み処理とELCの関係



注 周辺機能によっては, 搭載していません。

表21 - 4にイベントを受け付ける周辺機能の応答性を示します。

表21 - 4 イベントを受け付ける周辺機能の応答性

イベント受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベントが直接，A/D変換のハードウエア・トリガになります。
2	タイマ・アレイ・ユニット0 チャネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
4	D/Aコンバータ 1 チャネル	D/A変換開始	ELCからのイベントが直接，D/A変換のハードウエア・トリガになります。

第22章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

		10ピン	16ピン	20ピン	24, 25ピン
マスカブル割り込み	外部	3	9	10	13
	内部	20	25	26	26

22.1　割り込み機能の種類

割り込み機能には，次の2種類があります。

(1)　マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表22 - 1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

(2)　ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

22.2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計7要因あります(表22 - 1参照)。リセット，各割り込み要求発生により分岐するときのプログラム・スタート･アドレスを格納しておくベクタ･コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表22 - 1 割り込み要因一覧(1/2)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	24, 25ピン	20ピン	16ピン	10ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3 (オーバフロー時間の75% + 1/2 fIL)	内部	00004H	(A)	○	○	○	○
	1	INTLVI	電圧検出注4		00006H		○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○	○	—
	3	INTP1			0000AH		○	○	○	○
	4	INTP2			0000CH		○	○	○	—
	5	INTP3			0000EH		○	○	○	—
	6	INTP4			00010H		○	○	○	—
	7	INTP5			00012H		○	○	—	—
	8	INTP6			00014H		○	—	—	—
	9	INTST0	UART0送信の転送完了，バッファ空き割り込み	内部	00016H	(A)	○	○	○	—
		INTCSI00	CSI00の転送完了，バッファ空き割り込み				○	○	—	—
		INTIIC00	IIC00の転送完了				○	○	—	—
	10	INTSR0	UART0受信の転送完了		00018H		○	○	○	—
		INTCSI01	CSI01の転送完了，バッファ空き割り込み				○	—	—	—
		INTIIC01	IIC01の転送完了				○	—	—	—
	11	INTSRE0	UART0受信の通信エラー発生		0001EH		○	○	○	—
	12	INTTM00	TAU・チャネル00のカウント完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)		00020H		○	○	○	○
	13	INTST1	UART1送信完了		00022H		○	○	○	○
		INTCSI10	CSI10通信完了				○	○	○	○
		INTIIC10	IIC10通信完了				○	○	—	—
	14	INTSR1	UART1受信完了		00024H		○	○	○	○
		INTCSI11	CSI11通信完了				○	○	○	—
		INTIIC11	IIC11通信完了				○	○	○	—
	15	INTSRE1	UART1受信エラー発生		00026H		○	○	○	○
	16	INTIICA0	IICA0通信完了		00028H		○	○	○	—
	17	INTTM01H	TAU・チャネル01のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		0002AH		○	○	○	○
	18	INTTM03H	TAU・チャネル03のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		0002CH		○	○	○	○
	19	INTTM01	TAU・チャネル01のカウント完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)		0002EH		○	○	○	○

注1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，38が最低順位です。

注2. 基本構成タイプの(A) - (D)は，それぞれ図22 - 1の(A) - (D)に対応しています。

注3. オプション・バイト(000C0H)のビット7 (WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7 (LVIMD) = 0選択時。

表22 - 1 割り込み要因一覧(2/2)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	24, 25ピン	20ピン	16ピン	10ピン
マスカブル	20	INTTM02	TAU・チャネル02のカウント完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)	内部	00030H	(A)	○	○	○	○
	21	INTTM03	TAU・チャネル03のカウント完了またはキャプチャ完了 (16ビット動作または下位8ビット動作)		00032H		○	○	○	○
	22	INTAD	A/D変換終了		00034H		○	○	○	○
	23	INTIT	12ビット・インターバル・タイマ・インターバル信号検出		00036H		○	○	○	○
	24	INTKR	キー・リターン信号検出	外部	00038H	(C)	○	○	○	—
	25	INTP7	外部割り込みエッジ検出7	外部	0003AH	(B)	○	—	—	—
	26	INTP8	外部割り込みエッジ検出8		0003CH		○	—	—	—
	27	INTP9	外部割り込みエッジ検出9		0003EH		○	○	○	○
	28	INTP10	外部割り込みエッジ検出10		00040H		○	○	○	○
	29	INTP11	外部割り込みエッジ検出11		00042H		○	○	○	—
	30	INTCMP0	コンパレータ検出0	内部	00044H	(A)	○	○	○	○
	31	INTCMP1	コンパレータ検出1		00046H		○	○	○	—
	32	INTDOC	DOC演算結果検出		00048H		○	○	○	○
	33	INTIT00	8ビット・インターバル・タイマ・チャネル00コンペアマッチまたは 16ビット・インターバル・タイマ・チャネル0コンペアマッチ (カスケード時)		0004AH		○	○	○	○
	34	INTIT01	8ビット・インターバル・タイマ・チャネル01		0004CH		○	○	○	○
	35	INTTMKB0	TMKBカウンタ完了		0004EH		○	○	○	○
	36	INTIICA1	IICA1通信完了		00050H		○	○	—	—
	37	INTFL	予約		00052H		○	○	○	○
	38	INTFO	割り込みフラグ出力信号		00054H		○	○	○	○
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○	○	○
リセット	—	RESET	$\overline{\text{RESET}}$端子入力	—	00000H	—	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○
		LVD	電圧検出注3				○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○
		TRAP	不正命令の実行注4				○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○

注1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。
0が最高順位，38が最低順位です。

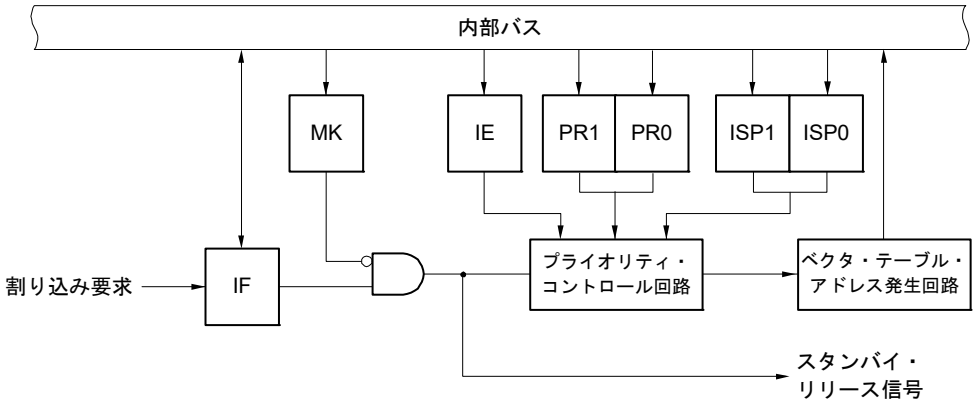
注2. 基本構成タイプの(A) - (D)は，それぞれ図22 - 1の(A) - (D)に対応しています。

注3. 電圧検出レベル・レジスタ(LVIS)のビット7 (LVIMD) = 1選択時。

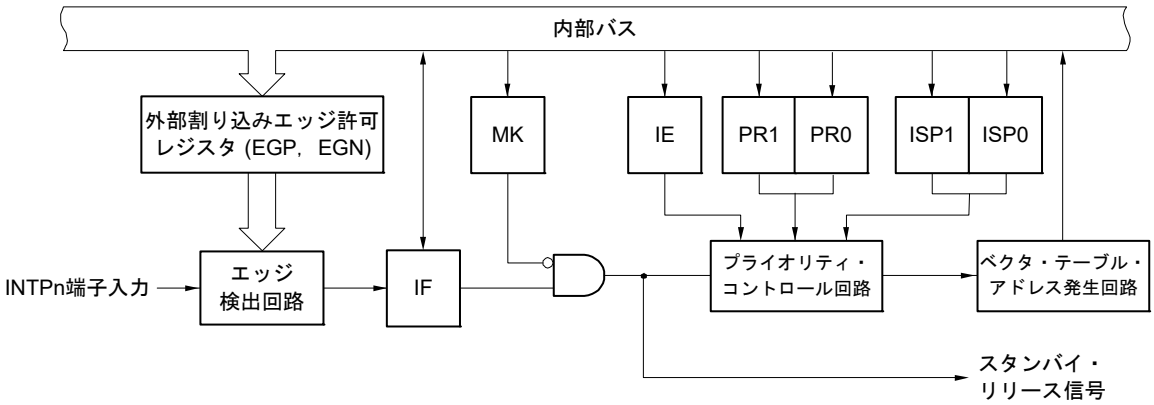
注4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図22 - 1 割り込み機能の基本構成 (1/2)

(A)内部マスカブル割り込み



(B)外部マスカブル割り込み(INTPn)



IF： 割り込み要求フラグ

IE： 割り込み許可フラグ

ISP0： インサービス・プライオリティ・フラグ0

ISP1： インサービス・プライオリティ・フラグ1

MK： 割り込みマスク・フラグ

PR0： 優先順位指定フラグ0

PR1： 優先順位指定フラグ1

備考 10ピン製品：n = 1, 9, 10

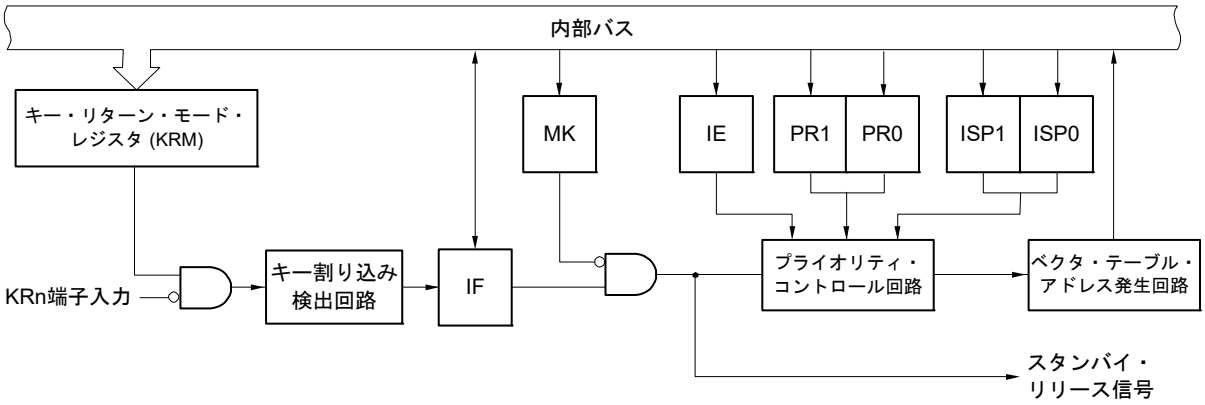
16ピン製品：n = 0-4, 9-11

20ピン製品：n = 0-5, 9-11

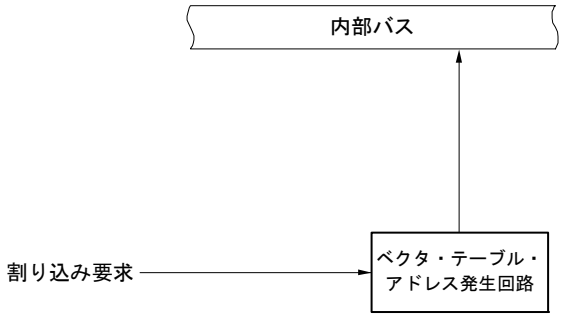
24, 25ピン製品：n = 0-11

図22 - 1 割り込み機能の基本構成 (2/2)

(C)外部マスカブル割り込み(INTKR)



(D)ソフトウエア割り込み



IF : 割り込み要求フラグ
IE : 割り込み許可フラグ
ISP0 : インサービス・プライオリティ・フラグ0
ISP1 : インサービス・プライオリティ・フラグ1
MK : 割り込みマスク・フラグ
PR0 : 優先順位指定フラグ0
PR1 : 優先順位指定フラグ1

備考 n = 0-7

22.3　割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 優先順位指定フラグ・レジスタ (PR00L，PR00H，PR01L，PR01H，PR02L，PR02H，PR10L，PR10H，PR11L，PR11H, PR12L, PR12H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- 割り込みフラグ出力制御レジスタ (INTFE)
- プログラム・ステータス・ワード(PSW)

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表22 - 2に示します。

表22 - 2 割り込み要求ソースに対応する各種フラグ(1/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		24, 25ピン	20ピン	16ピン	10ピン
		レジスタ		レジスタ		レジスタ				
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	—
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	—
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	—
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	—
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	—	—
INTP6	PIF6	IF0H	PMK6	MK0H	PPR06, PPR16	PR00H, PR10H	○	—	—	—
INTST0注1	STIF0		STMK0		STPR00, STPR10		○	○	○	—
INTCSI00注1	CSIIF00		CSIMK00		CSIPR000, CSIPR100		○	○	—	—
INTIIC00注1	IICIF00		IICMK00		IICPR000, IICPR100		○	○	—	—
INTSR0注2	SRIF0		SRMK0		SRPR00, SRPR10		○	○	○	—
INTCSI01注2	CSIIF01		CSIMK01		CSIPR001, CSIPR101		○	—	—	—
INTIIC01注2	IICIF01		IICMK01		IICPR001, IICPR101		○	—	—	—
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10		○	○	○	—
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○
INTST1	STIF1		STMK1		STPR01, STPR11		○	○	○	○
INTCSI10	CSIIF10		CSIMK10		CSIPR010, CSIPR110		○	○	○	○
INTIIC10	IICIF10		IICMK10		IICPR010, IICPR110		○	○	—	—
INTSR1	SRIF1	IF1L	SRMK1	MK1L	SRPR01, SRPR11	PR01L, PR11L	○	○	○	○
INTCSI11	CSIIF11		CSIMK11		CSIPR011, CSIPR111		○	○	○	—
INTIIC11	IICIF11		IICMK11		IICPR011, IICPR111		○	○	○	—
INTSRE1	SREIF1		SREMK1		SREPR01, SREPR11		○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	—
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H		○	○	○	○
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H		○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○

注1. 割り込み要因INTST0, INTCSI00, INTIIC00のうち，いずれかが発生したら，IF0Hレジスタのビット1はセット(1)されます。
また，MK0H, PR00H, PR10Hレジスタのビット1は，3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち，いずれかが発生したら，IF0Hレジスタのビット2はセット(1)されます。
また，MK0H, PR00H, PR10Hレジスタのビット2は，3つすべての割り込み要因に対応しています。

表22 - 2 割り込み要求ソースに対応する各種フラグ(2/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		24, 25ピン	20ピン	16ピン	10ピン
		レジスタ		レジスタ		レジスタ				
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1		○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	—
INTP7	PIF7		PMK7		PPR07, PPR17		○	—	—	—
INTP8	PIF8		PMK8		PPR08, PPR18		○	—	—	—
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	○	○
INTP10	PIF10		PMK10		PPR010, PPR110		○	○	○	○
INTP11	PIF11		PMK11		PPR011, PPR111		○	○	○	—
INTCMP0	CMPIF0	IF2L	CMPMK0	MK2L	CMPPR00, CMPPR01	PR02L, PR12L	○	○	○	○
INTCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11		○	○	○	—
INTDOC	DOCIF		DOCMK		DOCPR0, DOCPR1		○	○	○	○
INTIT00	ITIF00		ITMK00		ITPR000, ITPR100		○	○	○	○
INTIT01	ITIF01		ITMK01		ITPR001, ITPR101		○	○	○	○
INTTMKB0	TMKBIF0		TMKBMK0		TMKBPR00, TMKBPR10		○	○	○	○
INTIICA1	IICAIF1		IICAMK1		IICAPR01, IICAPR11		○	○	—	—
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○
INTFO	FOIF	IF2H	FOMK	MK2H	FOPR0, FOPR1	PR02H, PR12H	○	○	○	○

22.3.1　割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット(1)され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタ, IF1LレジスタとIF1Hレジスタをあわせて16ビット・レジスタIF0, IF1として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図22 - 2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット

アドレス：FFFE0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0H	STIF1 CSIIF10 IICIF10	TMIF00	SREIF0	0	0	SRIF0 CSIIF01 IICIF01	STIF0 CSIIF00 IICIF00	PIF6

アドレス：FFFE2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF03H	TMIF01H	IICAIF0	SREIF1	SRIF1 CSIIF11 IICIF11

アドレス：FFFE3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1H	PIF11	PIF10	PIF9	PIF8	PIF7	KRIF	TMKAIF	ADIF

アドレス：FFFD0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2L	FLIF	IICAIF1	TMKBIF0	ITIF01	ITIF00	DOCIF	CMPIF1	CMPIF0

アドレス：FFFD1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2H	0	0	0	0	0	0	0	FOIF

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意1. 製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表22 - 2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令(CLR1)を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令(CLR1)になっている必要があるため，「IF0L.0 = 0;」や「_asm(“clr1 IF0L.0”);」のようなビット操作命令を使用してください。
なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ(IF0L)の他ビットの要求フラグがセット(1)されても，「mov IF0L, a」でクリア(0)されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

22.3.2　割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは，対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0Lレジスタと MK0Hレジスタ , MK1Lレジスタと MK1Hレジスタをあわせて16ビット・レジスタ MK0, MK1として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図22 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	STMK1 CSIMK10 IICMK10	TMMK00	SREMK0	1	1	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	PMK6

アドレス：FFFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK03H	TMMK01H	IICAMK0	SREMK1	SRMK1 CSIMK11 IICMK11

アドレス：FFFE7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1H	PMK11	PMK10	PMK9	PMK8	PMK7	KRMK	TMKAMK	ADMK

アドレス：FFFD4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2L	FLMK	IICAMK1	TMKBMK0	ITMK01	ITMK00	DOCMK	CMPMK1	CMPMK0

アドレス：FFFD5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2H	1	1	1	1	1	1	1	FOMK

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表22 - 2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

22.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて，優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR00L レジスタと PR00H レジスタ , PR01L レジスタと PR01H レジスタ , PR10L レジスタと PR10H レジスタ , PR11L レジスタと PR11H レジスタをあわせて16ビット・レジスタ PR00, PR01, PR10, PR11 として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考 このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図22 - 4 優先順位指定フラグ・レジスタ
(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(1/2)

アドレス：FFFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	STPR01 CSIPR010 IICPR010	TMPR000	SREPR00	1	1	SRPR00 CSIPR001 IICPR001	STPR00 CSIPR000 IICPR000	PPR06

アドレス：FFFEDH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	STPR11 CSIPR110 IICPR110	TMPR100	SREPR10	1	1	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100	PPR16

アドレス：FFFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR003H	TMPR001H	IICAPR00	SREPR01	SRPR01 CSIPR011 IICPR011

図22 - 4 優先順位指定フラグ・レジスタ
(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(2/2)

アドレス：FFFEEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR103H	TMPR101H	IICAPR10	SREPR11	SRPR11 CSIPR111 IICPR111

アドレス：FFFEBH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01H	PPR011	PPR010	PPR09	PPR08	PPR07	KRPR0	TMKAPR0	ADPR0

アドレス：FFFEFH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11H	PPR111	PPR110	PPR19	PPR18	PPR17	KRPR1	TMKAPR1	ADPR1

アドレス：FFFD8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02L	FLPR0	IICAPR01	TMKBPR00	ITPR001	ITPR000	DOCPR0	CMPPR01	CMPPR00

アドレス：FFFDCH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12L	FLPR1	IICAPR11	TMKBPR10	ITPR101	ITPR100	DOCPR1	CMPPR11	CMPPR10

アドレス：FFFD9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02H	1	1	1	1	1	1	1	FOPR0

アドレス：FFFDDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12H	1	1	1	1	1	1	1	FOPR1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表22 - 2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

22.3.4　外部割り込み立ち上がりエッジ許可レジスタ (EGP0)，外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP6の有効エッジを設定するレジスタです。

EGP0, EGN0 レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)，外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス：FFF3AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス：FFF3BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-11)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表22 - 3に示します。

表22 - 3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	24, 25ピン	20ピン	16ピン	10ピン
EGP0	EGN0	INTP0	○	○	○	—
EGP1	EGN1	INTP1	○	○	○	○
EGP2	EGN2	INTP2	○	○	○	—
EGP3	EGN3	INTP3	○	○	○	—
EGP4	EGN4	INTP4	○	○	○	—
EGP5	EGN5	INTP5	○	○	—	—
EGP6	EGN6	INTP6	○	—	—	—
EGP7	EGN7	INTP7	○	—	—	—
EGP8	EGN8	INTP8	○	—	—	—
EGP9	EGN9	INTP9	○	○	○	○
EGP10	EGN10	INTP10	○	○	○	○
EGP11	EGN11	INTP11	○	○	○	—

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると，有効エッジを検出してINTPn割り込みが発生する可能性があります。
出力モードに切り替える場合は，エッジ検出禁止 (EGPn，EGNn=0, 0)にしてからポート・モード・レジスタ (PMxx)を0に設定してください。

備考1. エッジ検出ポートに関しては，2.1　ポート機能を参照してください。

備考2. n = 0-11

22.3.5　割り込みフラグ制御レジスタ

A/Dコンバータ，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，タイマKBカウント完了，データ演算回路(DOC)，コンパレータで発生した割り込み要求のフラグ状態をINTFO端子に出力制御するレジスタです。

(1)　割り込みフラグ・イネーブル・レジスタ (INTFE)

INTFEレジスタは，割り込み要求フラグの変化の許可／禁止を設定するレジスタです。

INTFEレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，INTFEレジスタは00Hになります。

図22 - 6 割り込みフラグ・イネーブル・レジスタ (INTFE)のフォーマット

アドレス：F0448H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTFE	INTCMP1FE	INTCMP0FE	INTDOCFE	INTTMKB0FE	INTIT01FE	INTIT00FE	INTITFE	INTADFE

INTCMP1FE	コンパレータ1の割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

INTCMP0FE	コンパレータ0の割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

INTDOCFE	データ演算回路（DOC）の割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

INTTMKB0FE	タイマKBの割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

INTIT01FE	8ビット・インターバル・タイマ01の割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

INTIT00FE	8ビット・インターバル・タイマ00の割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

INTITFE	12ビット・インターバル・タイマの割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

INTADFE	A/Dコンバータの割り込み要求フラグの変化の許可／禁止
0	割り込み要求フラグの変化を禁止
1	割り込み要求フラグの変化を許可

(2)　割り込みフラグ出力制御レジスタ０１(INTFOCTL0, INTFOCTL1)

INTFOCTL0, INTFOCTL1 レジスタは，割り込み要求フラグの状態の出力を制御するレジスタです。

INTFOCTL0, INTFOCTL1 レジスタは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

リセット信号の発生により，INTFOCTL0, INTFOCTL1 レジスタは00Hになります。

図22 - 7 割り込みフラグ出力制御レジスタ０１(INTFOCTL0, INTFOCTL1)のフォーマット

アドレス：F0449H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
INTFOCTL0	0	0	0	0	0	INTFOEN	INTFINV	INTFM注1

アドレス：F044AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
INTFOCTL1	0	0	0	0	0	0	INTFRD注2	INTFCLR注3

INTFOEN	割り込み要求フラグの状態の出力の許可／禁止
0	割り込み要求フラグの状態の出力を禁止
1	割り込み要求フラグの状態の出力を許可

INTFINV	割り込み要求フラグの状態の出力の論理を選択
0	正論理（非反転）で出力
1	負論理（反転）で出力

INTFM注1	割り込み要求フラグの状態の出力モードを選択
0	ハードウエア・クリア・モード 出力は割り込み要求信号と同じで，ソフトウエアでクリアできません。
1	ソフトウエア・クリア・モード ソフトウエアだけでクリアできます(ハードクリアでクリアできません)。

INTFRD注2	正論理の割り込み要求フラグの状態の出力レベルを選択
0	ロウ・レベル
1	ハイ・レベル

INTFCLR注3	割り込み要求フラグの状態の出力のクリア制御
0	出力をクリアしません。
1	INTFM = 1のとき，出力をクリアします。

注1.　INTFM = 0のとき，リード値は0固定です。

INTFM = 1のとき，リード値は正論理の割り込み要求フラグの状態の出力レベルです。

注2.　INTFRDビットはRead Onlyです。

注3.　INTFCLRビットはWrite Onlyで，リード値は0固定です。

INTFM＝0 のとき：0，１のどちらの書き込みも無効です。割り込み要求フラグの出力に影響はありません。

INTFM＝1 のとき：0 の書き込みで，割り込み要求フラグの出力がクリアされません。

１の書き込みで，割り込み要求フラグの 出力がクリアされます。

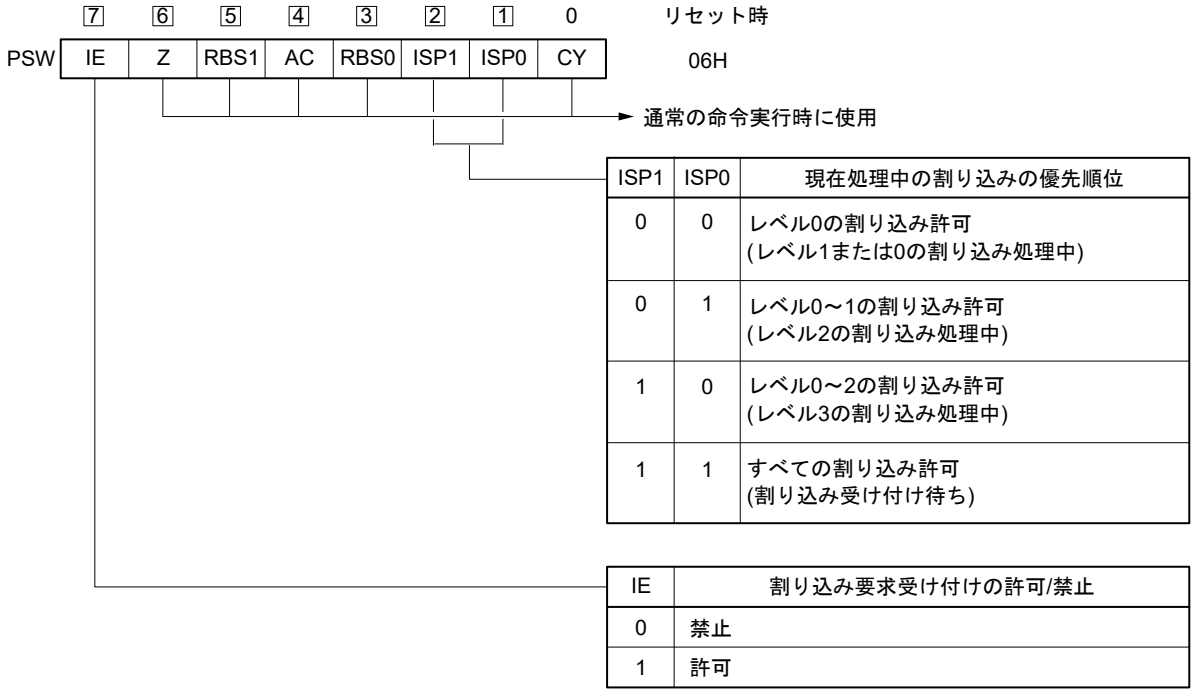
22.3.6 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令(EI, DI)により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット(0)されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は，“-1”された値がISP0，ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図22 - 8 プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 (レベル1または0の割り込み処理中)
0	1	レベル0～1の割り込み許可 (レベル2の割り込み処理中)
1	0	レベル0～2の割り込み許可 (レベル3の割り込み処理中)
1	1	すべての割り込み許可 (割り込み受け付け待ち)

IE	割り込み要求受け付けの許可/禁止
0	禁止
1	許可

22.4　割り込み処理動作

22.4.1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット(1)され，その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表22 - 4のようになります。

割り込み要求の受け付けタイミングについては，図22 - 10, 図22 - 11を参照してください。

表22 - 4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	9クロック	16クロック

注　内部RAM領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK} (f_{CLK}：CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

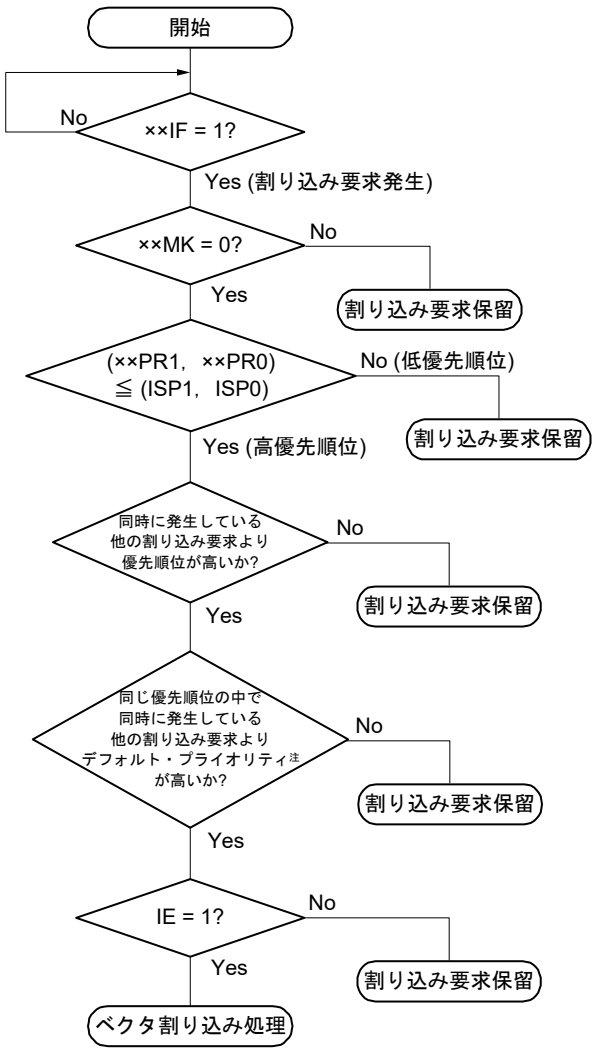
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図22 - 9に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード(PSW)，プログラム・カウンタ(PC)の順に内容をスタックに退避し，IEフラグをリセット(0)し，受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図22 - 9 割り込み要求受け付け処理アルゴリズム



注 デフォルト・プライオリティは，表22 - 1 割り込み要因一覧を参照してください。

備考 ××IF：割り込み要求フラグ

××MK: 割り込みマスク・フラグ

××PR0: 優先順位指定フラグ0

××PR1: 優先順位指定フラグ1

IE: マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可，0 = 禁止)

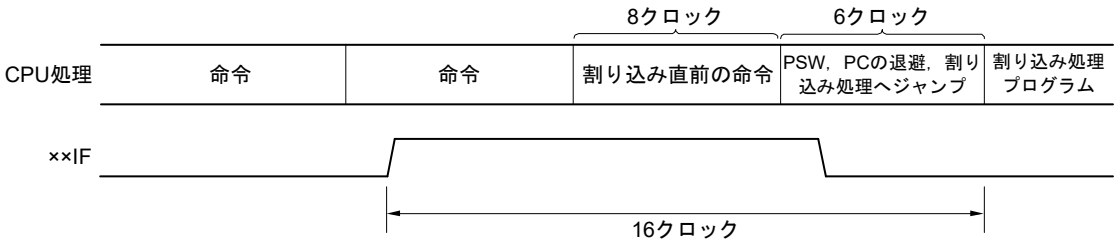
ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図22 - 8参照)

図22 - 10 割り込み要求の受け付けタイミング(最小時間)



備考　1クロック：1/fCLK (fCLK：CPUクロック)

図22 - 11 割り込み要求の受け付けタイミング(最大時間)



備考　1クロック：1/fCLK (fCLK：CPUクロック)

22.4.2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード(PSW)，プログラム・カウンタ(PC)の順に内容をスタックに退避し，IEフラグをリセット(0)し，ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。

22.4.3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態(IE = 0)になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット(1)して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表22 - 5に割り込み処理中に多重割り込み可能な割り込み要求の関係を，図22 - 12～図22 - 12に多重割り込みの例を示します。

表22 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

処理中の割り込み ＼ 多重割り込み要求		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

備考2. ×：多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0：レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1：割り込み受け付け待ち(すべての割り込み許可)

IE = 0：割り込み要求受け付け禁止

IE = 1：割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR10L, PR10H, PR11L, PR11H, PR12Lレジスタに含まれるフラグです。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定(高優先順位)

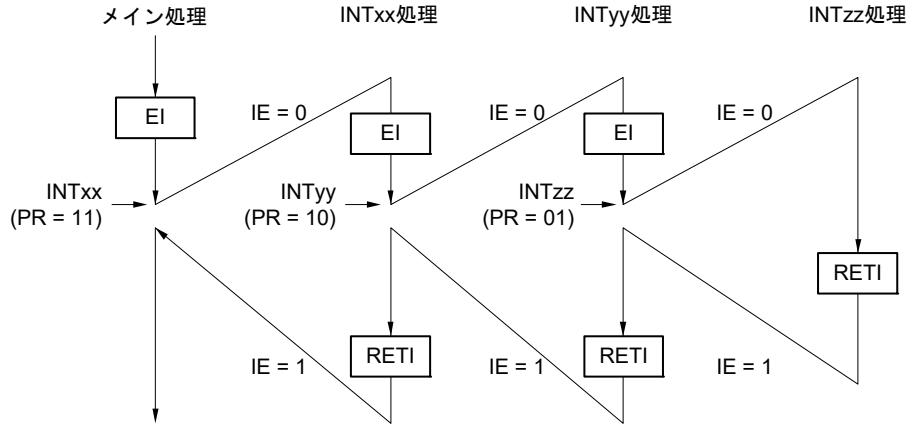
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定(低優先順位)

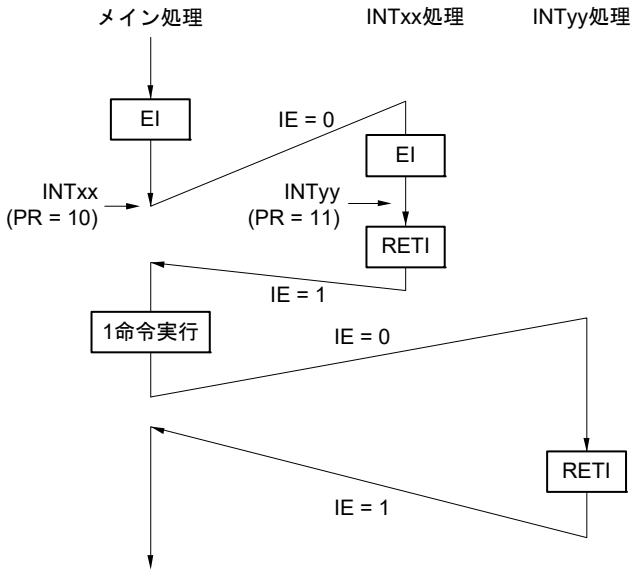
図22 - 12 多重割り込みの例(1/2)

例1．多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2．優先順位制御により，多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定(高優先順位)

PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

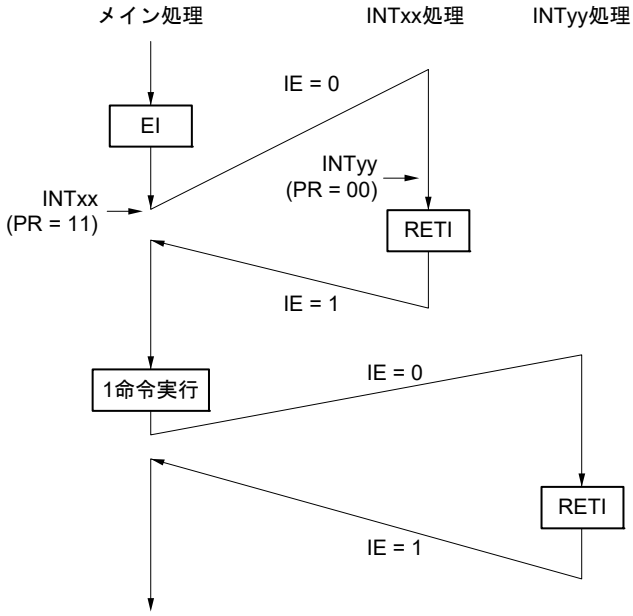
PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定(低優先順位)

IE = 0：割り込み要求受け付け禁止

IE = 1：割り込み要求受け付け許可

図22 - 12 多重割り込みの例(2/2)

例3．割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定(高優先順位)

PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定(低優先順位)

IE = 0：割り込み要求受け付け禁止

IE = 1：割り込み要求受け付け許可

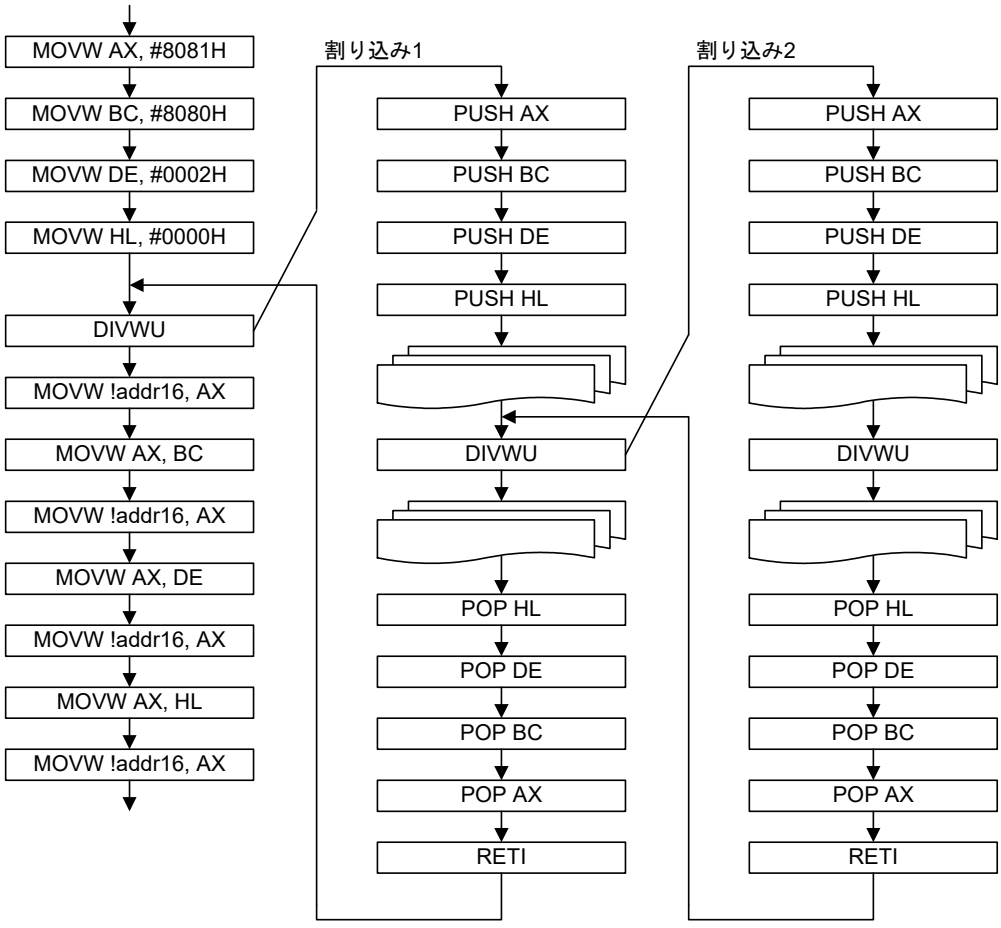
22.4.4　除算命令中の割り込み処理

RL78/G11は，除算命令実行時に割り込み応答性を向上させるため，DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は，DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために，PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)S	(SP-2) ← (PC-3)S
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCS ← 0000	PCS ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



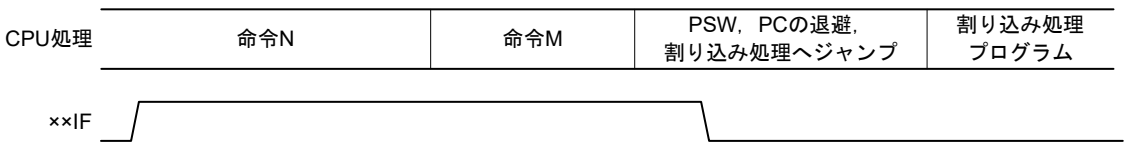
22.4.5　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図22 - 13に示します。

図22 - 13 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

備考2. 命令M：割り込み要求の保留命令以外の命令

第23章　キー割り込み機能

キー割り込み入力チャネル数は，製品によって異なります。

	16ピン	20ピン	24, 25ピン
キー割り込み入力チャネル	3ch	5ch	8ch

23.1　キー割り込みの機能

キー割り込み入力端子(KR0-KR7)に立ち上がり/立ち下がりエッジを入力することによって，キー割り込み(INTKR)を発生させることができます。

表23 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0 (KRM0)
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

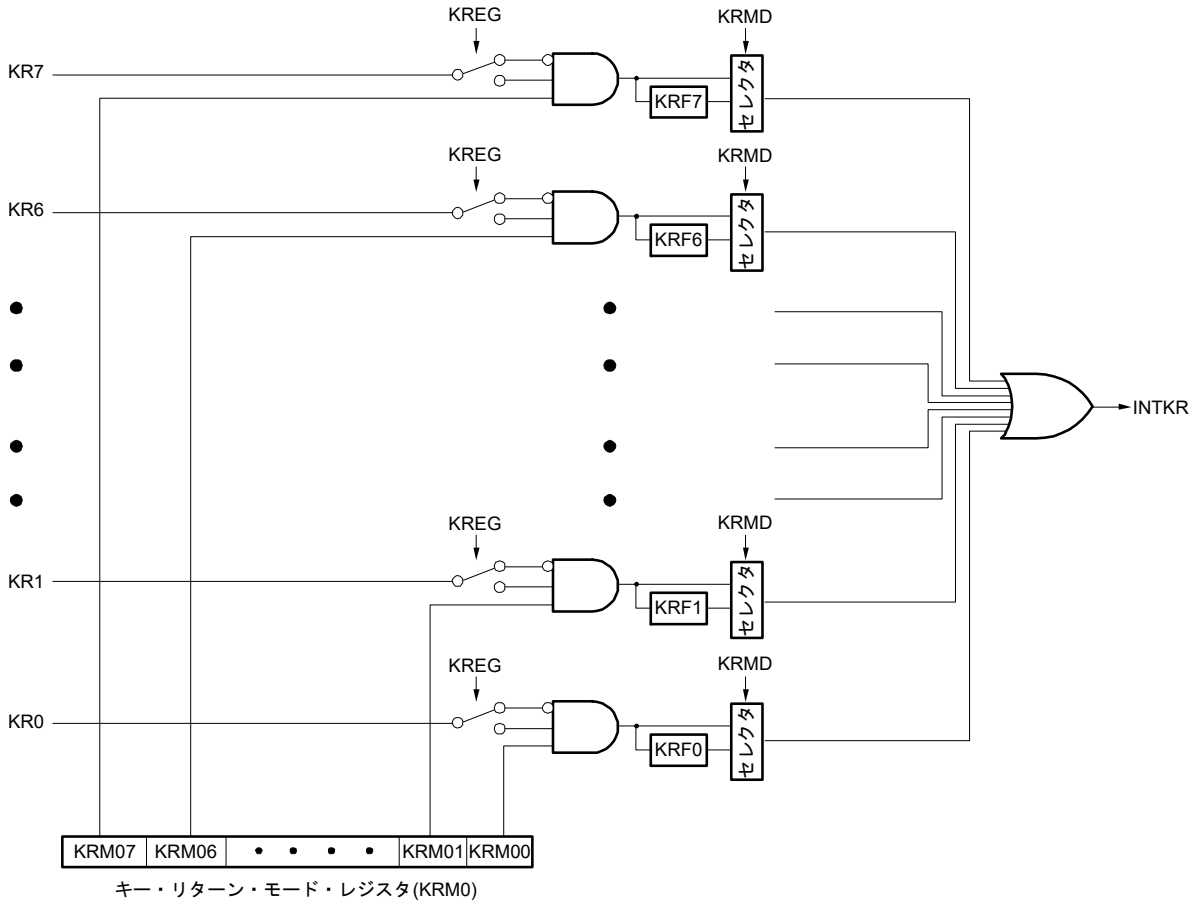
23.2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表23 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・コントロール・レジスタ(KRCTL) キー・リターン・モード・レジスタ0 (KRM0) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・レジスタ3, 5 (PM3, PM5)

図23 - 1 キー割り込みのブロック図



23.3　キー割り込みを制御するレジスタ

キー割り込み機能は，次のレジスタで制御します。

- キー・リターン・コントロール・レジスタ(KRCTL)
- キー・リターン・モード・レジスタ0 (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ3, 5 (PM3, PM5)

23.3.1　キー・リターン・コントロール・レジスタ(KRCTL)

キー・リターン・フラグ(KRF0-KRF7)の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23 - 2 キー・リターン・コントロール・レジスタ(KRCTL)のフォーマット

アドレス：FFF34H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー・リターン・フラグ(KRF0-KRF7)の使用
0	キー・リターン・フラグを使用しない
1	キー・リターン・フラグを使用する

KREG	検出エッジの選択(KR0-KR7)
0	立ち下がりエッジ
1	立ち上がりエッジ

23.3.2　キー・リターン・モード・レジスタ0 (KRM0)

KRM0レジスタはKR0-KR7信号を制御するレジスタです。

KRM0レジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23 - 3 キー・リターン・モード・レジスタ0 (KRM0)のフォーマット

アドレス：FFF37H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. キー割り込み入力端子のプルアップ抵抗レジスタ3, 5 (PU3, PU5)の対象となるビットに1を設定して，内蔵プルアップ抵抗を使用することができます。

注意2. キー割り込み入力端子にロウ・レベル(KREGに0を設定時)／ハイ・レベル(KREGに1を設定時)が入力されている状態で，KRM0レジスタの対象ビットをセットすると，割り込みが発生します。

この割り込みを無視したい場合は，割り込みマスク・フラグで割り込み処理禁止にしてから，KRM0レジスタをセットしてください。その後，キー割り込み入力ハイ・レベル幅，ロウ・レベル幅(35.4　AC特性参照)を待ってから，割り込み要求フラグをクリアし，割り込み処理許可にしてください。

注意3. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考　n = 0-7

23.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー割り込みフラグ(KRF0-KRF7)を制御するレジスタです。

KRFレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23 - 4 キー・リターン・フラグ・レジスタ (KRF)のフォーマット

アドレス：FFF35H　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ(n = 0-7)
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注 “1”の書き込みは無効になります。KRFnをクリアする場合は，対象ビットに“0”を，他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

23.3.4 ポート・モード・レジスタ3, 5 (PM3, PM5)

ポート3，ポート5の入力／出力を1ビット単位で設定するレジスタです。

キー割り込み入力 (KR0-KR7) として使用するとき，各ポートに対応するポート・モード・レジスタ (PM3, PM5) のビットに“1”を設定してください。

PM3, PM5レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PM3, PM5レジスタはFFHになります。

図23 - 5 ポート・モード・レジスタ3, 5 (PM3, PM5)のフォーマット

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

アドレス：FFF25H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PMmn	PMmnの入出力モードの選択(m = 3, 5, n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

第24章　スタンバイ機能

24.1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

(1)　HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータ，中速オンチップ・オシレータ，サブシステム・クロック発振回路が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

(2)　STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータ，中速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3)　SNOOZEモード

CSI0, UART0のデータ受信，タイマ・トリガ信号(割り込み要求信号(INTIT)またはELCイベント入力)によるA/D変換要求，DTC起動要因により，STOPモードを解除し，CPUを動作させることなくCSI0, UART0のデータ受信，A/D変換，DTC動作を行います。CPU／周辺ハードウエア・クロック (f_{CLK}) に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは，STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。

注意2. STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。

注意3. CSI0, UART0, A/Dコンバータ をSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタm (SSCm)，A/Dコンバータ・モード・レジスタ2 (ADM2) をSTOPモードに移行前に設定してください。詳細は，13.3　シリアル・アレイ・ユニットを制御するレジスタ，16.3　A/Dコンバータを制御するレジスタを参照してください。

注意4. A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。

注意5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は第30章　オプション・バイトを参照してください。

24.2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- 動作スピード・モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考　上記レジスタの詳細は，第6章　クロック発生回路を参照してください。また，SNOOZEモード機能を制御するレジスタは，第16章　A/Dコンバータ，第13章　シリアル・アレイ・ユニットを参照してください。

24.3　スタンバイ機能の動作

24.3.1　HALTモード

(1)　HALTモード

HALT モードは，HALT 命令の実行により設定されます。設定前の CPU クロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが “0” (割り込み処理許可)で且つ割り込み要求フラグが“1” (割り込み要求信号が発生)の場合，HALTモードの解除に割り込み要求信号が用いられるため，その状況下でHALT命令を実行しても，HALTモードに移行しません。

表24 - 1 HALTモード時の動作状態(1/2)

HALTモードの設定 / 項目			メイン・システム・クロックでCPU動作中のHALT命令実行時			
			高速オンチップ・オシレータ・クロック(f_{IH})でCPU動作時	中速オンチップ・オシレータ・クロック(f_{IM})でCPU動作時	X1クロック(f_X)でCPU動作時	外部メイン・システム・クロック(f_{EX})でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{IH}	動作継続(停止不可)	動作禁止	動作禁止	
		f_{IM}	動作禁止	動作継続(停止不可)	動作禁止	
		f_X	動作禁止		動作継続(停止不可)	動作不可
		f_{EX}			動作不可	動作継続(停止不可)
	低速オンチップ・オシレータ・クロック	f_{IL}	オプション・バイト(000C0H)のビット0 (WDSTBYON)，ビット4 (WDTON)および動作スピード・モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止			
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ						
RAM			動作停止(DTC実行時は動作可能)			
ポート(ラッチ)			HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット			動作可能			
タイマKB						
12ビット・インターバル・タイマ						
8ビット・インターバル・タイマ						
ウォッチドッグ・タイマ			第12章　ウォッチドッグ・タイマ参照			
クロック出力／ブザー出力			動作可能			
10ビット A/Dコンバータ						
D/Aコンバータ						
コンパレータ						
プログラマブル・ゲイン・アンプ (PGA)						
シリアル・アレイ・ユニット(SAU)						
シリアル・インタフェースIICA						
データ演算回路(DOC)			DTCによるレジスタ設定にて動作可能			
データ・トランスファ・コントローラ(DTC)			動作可能			
イベント・リンク・コントローラ(ELC)			動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能			動作可能			
電圧検出機能						
外部割り込み						
キー割り込み機能						
CRC演算機能		高速CRC				
		汎用CRC	RAM領域の演算で，DTC実行時は動作可能			
不正メモリ・アクセス検出機能			DTC実行時は動作可能			
RAMパリティ・エラー検出機能						
RAMガード機能						
SFRガード機能						

備考　動作停止：　HALTモード移行時に自動的に動作停止
　　動作禁止：　HALTモード移行前に動作を停止させる
　　f_{IH}：　高速オンチップ・オシレータ・クロック　　f_{IL}：　低速オンチップ・オシレータ・クロック
　　f_{IM}：　中速オンチップ・オシレータ・クロック　　f_X：　X1クロック
　　f_{EX}：　外部メイン・システム・クロック

表24 - 1 HALTモード時の動作状態(2/2)

HALTモードの設定 / 項目			サブシステム・クロックでCPU動作中のHALT命令実行時
			低速オンチップ・オシレータ・クロック(f_{IL})でCPU動作時
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作禁止
		f_{IM}	
		f_X	
		f_{EX}	
	低速オンチップ・オシレータ・クロック	f_{IL}	動作継続(停止不可)
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			動作停止(DTC実行時は動作可能)
ポート(ラッチ)			HALTモード設定前の状態を保持
タイマ・アレイ・ユニット			動作可能
タイマKB			動作可能
12ビット・インターバル・タイマ			
8ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			第12章　ウォッチドッグ・タイマ参照
クロック出力／ブザー出力			動作可能
10ビット A/Dコンバータ			動作禁止
D/Aコンバータ			動作可能
コンパレータ			
プログラマブル・ゲイン・アンプ (PGA)			
シリアル・アレイ・ユニット(SAU)			
シリアル・インタフェースIICA			
データ演算回路(DOC)			DTCによるレジスタ設定にて動作可能
データ・トランスファ・コントローラ(DTC)			動作可能
イベント・リンク・コントローラ(ELC)			動作可能な機能ブロック間のリンクが可能
パワーオン・リセット機能			動作可能
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能		高速CRC	動作禁止
		汎用CRC	RAM領域の演算で，DTC実行時は動作可能
不正メモリ・アクセス検出機能			DTC実行時は動作可能
RAMパリティ・チェック機能			
RAMガード機能			
SFRガード機能			

備考　動作停止：　HALTモード移行時に自動的に動作停止
　　動作禁止：　HALTモード移行前に動作を停止させる
　　f_{IH}：　高速オンチップ・オシレータ・クロック　　f_{IL}：　低速オンチップ・オシレータ・クロック
　　f_{IM}：　中速オンチップ・オシレータ・クロック　　f_X：　X1クロック
　　f_{EX}：　外部メイン・システム・クロック

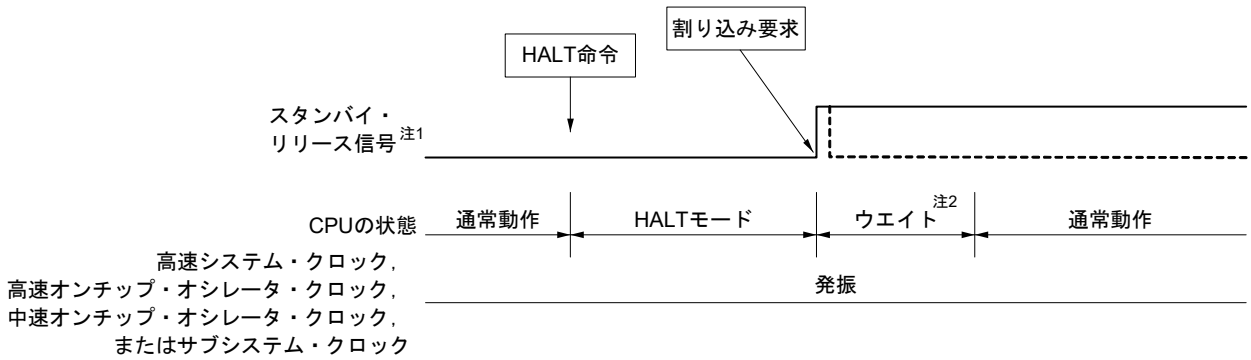
(2)　HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

(a)　マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALT モードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図24 - 1 HALTモードの割り込み要求発生による解除



注1.　スタンバイ・リリース信号に関しての詳細は，図22 - 1　割り込み機能の基本構成 (1/2) を参照してください。

注2.　HALTモード解除のウエイト時間

- ベクタ割り込み処理を行う場合
  - メイン・システム・クロック時:　15～16クロック
  - サブシステム・クロック時:　10～11クロック
- ベクタ割り込み処理を行わない場合
  - メイン・システム・クロック時:　9～10クロック
  - サブシステム・クロック時:　4～5クロック

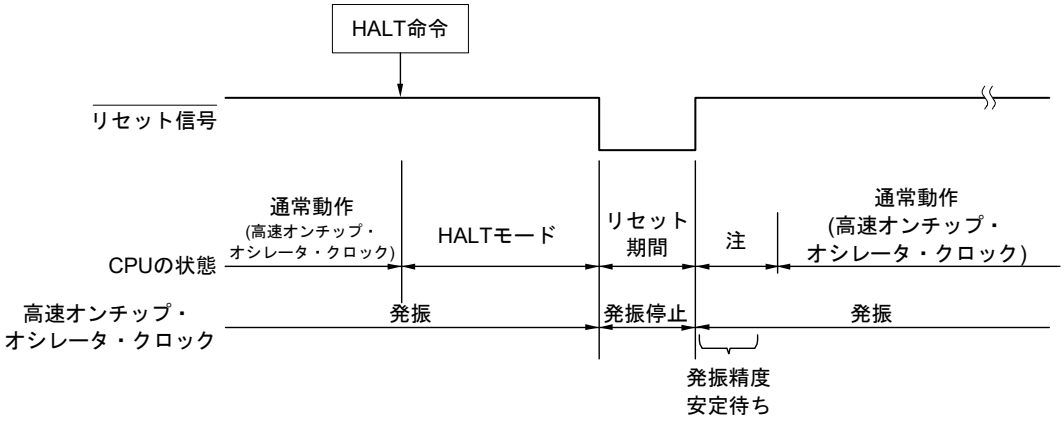
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

(b)　リセット信号の発生による解除

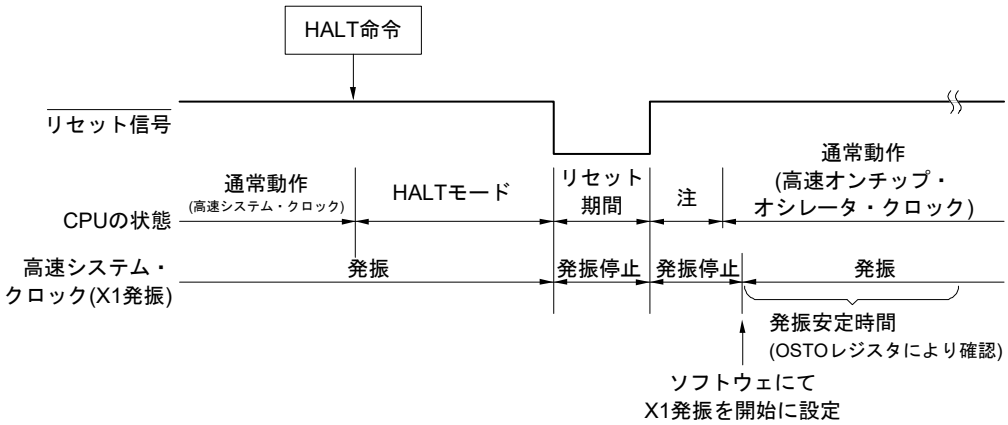
リセット信号の発生により，HALT モードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図24 - 2 HALTモードのリセットによる解除(1/2)

(1)　CPUクロックが高速オンチップ・オシレータ・クロックの場合



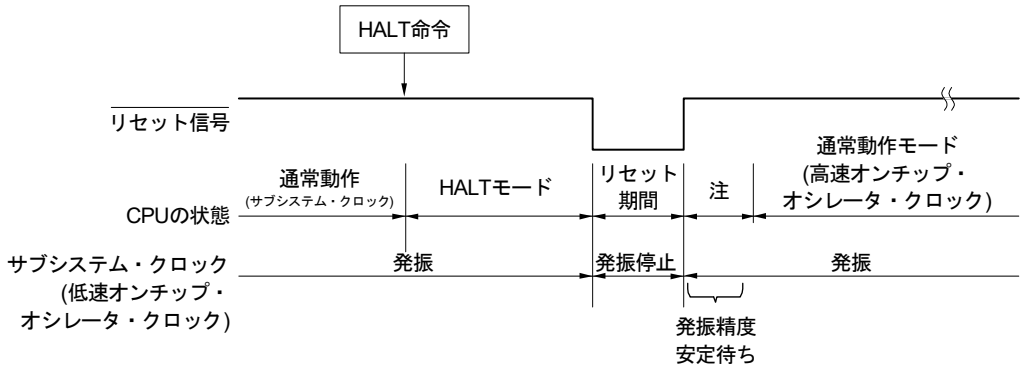
(2)　CPUクロックが高速システム・クロックの場合



注　　リセット処理時間は，第25章　リセット機能を参照してください。なお，パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は，第26章　パワーオン・リセット回路を参照してください。

図24 - 2 HALTモードのリセットによる解除(2/2)

(3)　CPUクロックがサブシステム・クロックの場合



注　　リセット処理時間は，第25章　リセット機能を参照してください。なお，パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は，第26章　パワーオン・リセット回路を参照してください。

24.3.2　STOPモード

(1)　STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

注意　　割り込みマスク・フラグが“0”(割り込み処理許可)かつ割り込み要求フラグが“1”(割り込み要求信号が発生)の場合，STOPモードの解除に割り込み要求信号が用いられるため，その状況でSTOP命令を実行すると，いったんSTOPモードに入ってただちに解除されます。
したがって，STOP命令実行後，STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表24 - 2 STOPモード時の動作状態

項目＼STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック(f_{IH})でCPU動作時	中速オンチップ・オシレータ・クロック(f_{IM})でCPU動作時	X1クロック(f_X)でCPU動作時	外部メイン・システム・クロック(f_{EX})でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	f_{IH}	停止			
	f_{IM}	停止	停止	停止	
	f_X, f_{EX}	動作可能			
f_{IL}		オプション・バイト(000C0H)のビット0 (WDSTBYON)，ビット4 (WDTON)および動作スピード・モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート(ラッチ)		STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット		動作禁止			
タイマKB					
12ビット・インターバル・タイマ		カウント・クロックにf_{CLK}選択時は動作禁止，f_{IL}選択時は動作可能			
8ビット・インターバル・タイマ		動作可能			
ウォッチドッグ・タイマ		第12章　ウォッチドッグ・タイマ参照			
クロック出力／ブザー出力		カウント・クロックにサブシステム・クロック選択時は動作可能(それ以外は，動作禁止)			
10ビット A/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)			
D/Aコンバータ		動作可能(STOPモード設定前の状態を継続)			
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)			
プログラマブル・ゲイン・アンプ (PGA)		動作可能			
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止			
シリアル・インタフェースIICA		アドレス一致によるウエイク・アップ動作可能			
データ演算回路(DOC)		動作停止			
データ・トランスファ・コントローラ(DTC)		DTC起動要因受付動作可能(SNOOZEモードへ移行)			
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

(備考は次ページにあります。)

備考 動作停止： STOPモード移行時に自動的に動作停止
動作禁止： STOPモード移行前に動作を停止させる
f_{IH}： 高速オンチップ・オシレータ・クロック　f_{IL}： 低速オンチップ・オシレータ・クロック
f_{IM}： 中速オンチップ・オシレータ・クロック　f_X： X1クロック
f_{EX}： 外部メイン・システム・クロック

(2) STOPモードの解除

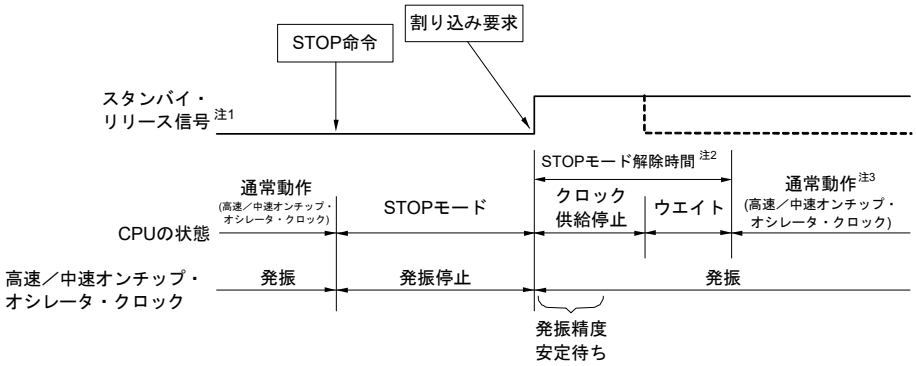
STOPモードは，次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，STOP モードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図24 - 3 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速／中速オンチップ・オシレータ・クロック



注1. スタンバイ・リリース信号に関しての詳細は，図22 - 1 割り込み機能の基本構成 (1/2)を参照してください。

注2. STOPモード解除時間

クロック供給停止：

高速オンチップ・オシレータ・クロックの場合：18 μs～65 μs

中速オンチップ・オシレータ・クロックの場合：22 μs～31 μs (HSモード)

2.2 μs～3.4 μs (LSモード，4MHz動作時)

2.9 μs～4.2 μs (LSモード，2MHz動作時)

4.2 μs～5.9 μs (LSモード，1MHz動作時)

4.2 μs～5.9 μs (LPモード，1MHz動作時)

ウエイト：

(高速／中速オンチップ・オシレータ・クロック共通)

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注3. 中速オンチップ・オシレータ・クロックでSTOPモードから通常動作に遷移後，CPU／周辺ハードウエア・クロック(f_{CLK})を高速オンチップ・オシレータ・クロックに切り替える場合は，ソフトウエアで以下の時間が経過した後に切り替えてください。

HSモード時：24μs

LSモード時：10μs

LPモード時：7μs

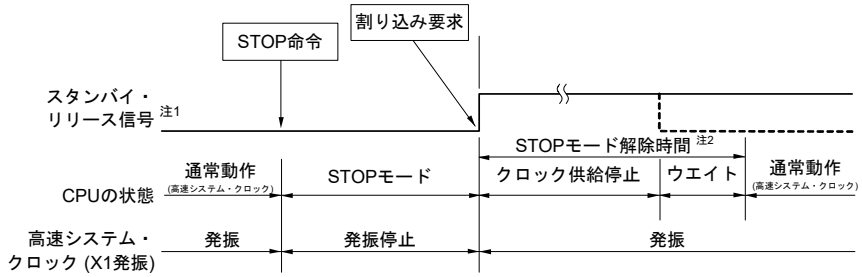
注意　高速システム・クロック(X1発振)でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

備考2. 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図24 - 3 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関しての詳細は，図22 - 1 割り込み機能の基本構成 (1/2)を参照してください。

注2. STOPモード解除時間

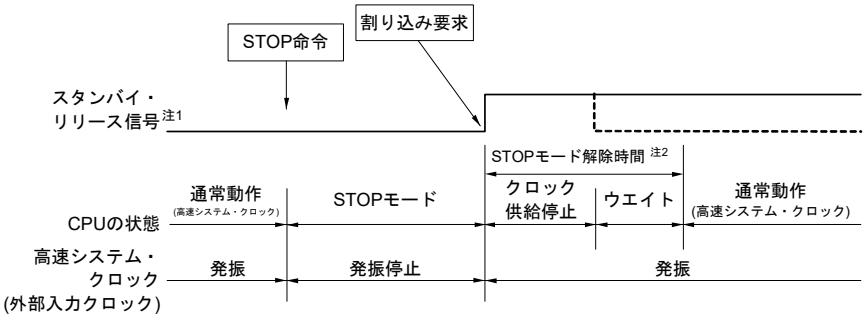
クロック供給停止：

18 μs ～“65 μs または発振安定時間(OSTSで設定)の長い方”

ウエイト

- ベクタ割り込み処理を行う場合：10～11クロック
- ベクタ割り込み処理を行わない場合：4～5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関しての詳細は，図22 - 1 割り込み機能の基本構成 (1/2)を参照してください。

注2. STOPモード解除時間

クロック供給停止：

18 μs ～65 μs

ウエイト：

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

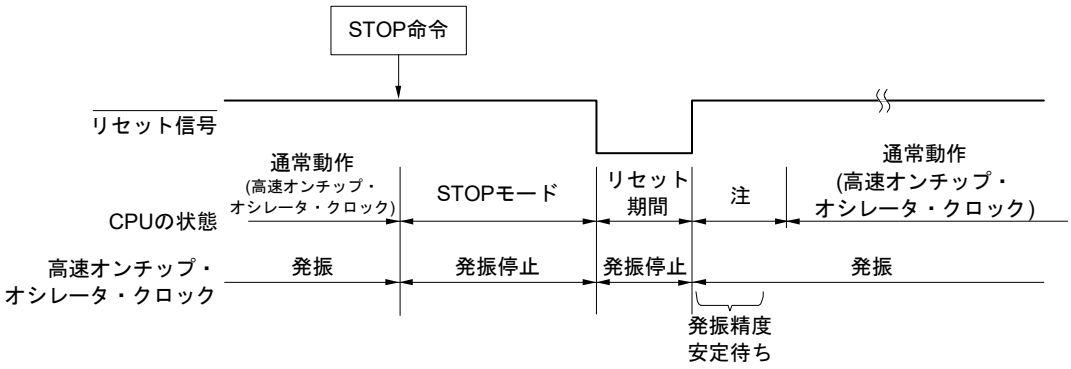
備考2. 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

(b)　リセット信号の発生による解除

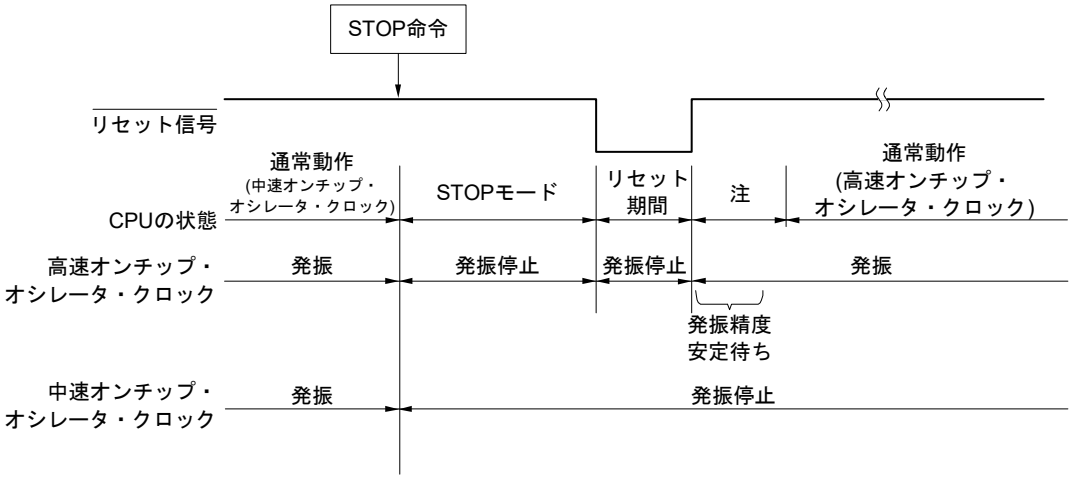
リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図24 - 4 STOPモードのリセットによる解除

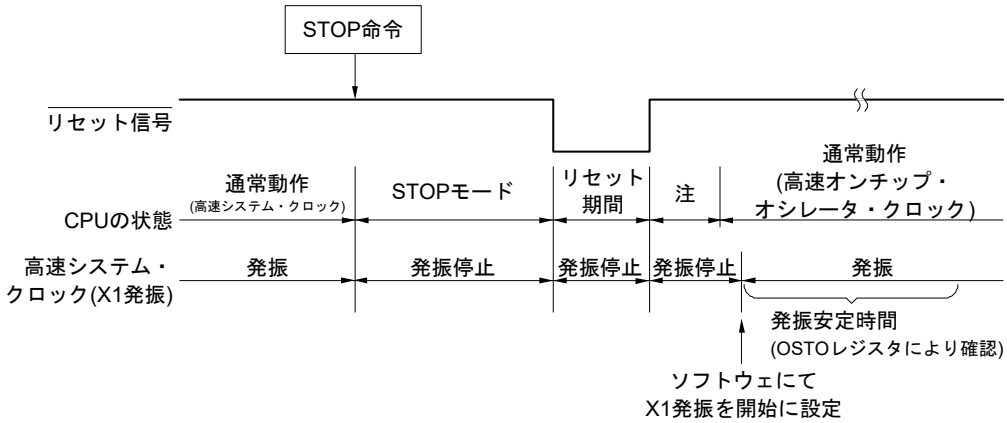
(1)　CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2)　CPUクロックが中速オンチップ・オシレータ・クロックの場合



(3)　CPUクロックが高速システム・クロックの場合



注　　リセット処理時間は，第25章　リセット機能を参照してください。なお，パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は，第26章　パワーオン・リセット回路を参照してください。

24.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSI0, UART0, A/Dコンバータ，DTCによって設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合，設定可能です注。

CSI0, UART0をSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタm (SSCm)をSTOPモードに移行前に設定してください。詳細は，13.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/Dコンバータを SNOOZE モードで使用する場合は，A/D コンバータ・モード・レジスタ 2 (ADM2) を STOP モードに移行前に設定してください。詳細は，16.3 A/D コンバータを制御するレジスタを参照してください。

DTC転送をSNOOZEモードで使用する場合は，STOPモードに移行する前に，使用するDTC起動要因を許可してください。STOPモード中に，許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は，20.3 DTCを制御するレジスタを参照してください。

注 UART受信を使用してSTOPモードからSNOOZEモードへ遷移する場合，高速オンチップ・オシレータを使用してください。

SNOOZEモードの移行では，次の時間だけウエイト状態になります。

STOPモード→ SNOOZEモードの遷移時間：

高速オンチップ・オシレータ・クロックの場合：18 μs～65 μs

中速オンチップ・オシレータ・クロックの場合：22 μs～31 μs (HSモード)
2.2 μs～3.4 μs (LSモード，4MHz動作時)
2.9 μs～4.2 μs (LSモード，2MHz動作時)
4.2 μs～5.9 μs (LSモード，1MHz動作時)
4.2 μs～5.9 μs (LPモード，1MHz動作時)

備考 STOPモード→ SNOOZEモードの遷移時間は，温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合

  HS (高速メイン)モード：“5.2～9.4μs” + 7クロック

  LS (低速メイン)モード：“1.3～4.5μs” + 7クロック

  LV (低電圧メイン)モード：“17.5～25.2μs” + 7クロック

- ベクタ割り込み処理を行わない場合

  HS (高速メイン)モード：“5.2～9.4μs” + 1クロック

  LS (低速メイン)モード：“1.3～4.5μs” + 1クロック

  LV (低電圧メイン)モード：“17.5～25.2μs” + 1クロック

中速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合

  HS (高速メイン)モード：“6.0～10.3μs” + 7クロック

  LS (低速メイン)モード：“1.8～4.9μs” + 7クロック

  LP (低電力メイン)モード：“3.8～4.9μs” + 7クロック

- ベクタ割り込み処理を行わない場合

  HS (高速メイン)モード：“6.0～10.3μs” + 1クロック

  LS (低速メイン)モード：“1.8～4.9μs” + 1クロック

  LP (低電力メイン)モード：“3.8～4.9μs” + 1クロック

次にSNOOZEモード時の動作状態を示します。

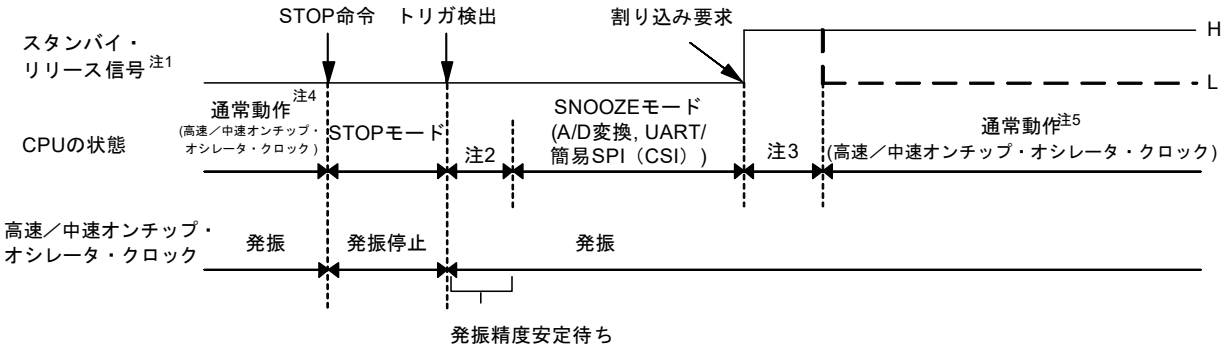
表24 - 3 SNOOZEモード時の動作状態

項目＼STOPモードの設定		STOPモード中にCSI0, UART0のデータ受信信号，A/Dコンバータのタイマ・トリガ信号入力，DTC起動要因発生時	
		高速オンチップ・オシレータ・クロック(fIH)でのCPU動作時	中速オンチップ・オシレータ・クロック(fIM)でのCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	fIH	動作開始	停止
	fIM	停止	動作開始
	fX	停止	
	fEX		
fIL		オプション・バイト(000C0H)のビット0 (WDSTBYON)，ビット4 (WDTON)および動作スピード・モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止	
CPU		動作停止	
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM		動作停止(DTC実行時は動作可能)	
ポート(ラッチ)		STOPモード中の状態を継続	
タイマ・アレイ・ユニット		動作禁止	
タイマKB			
12ビット・インターバル・タイマ		カウント・クロックにfCLK選択時は動作禁止，fIL選択時は動作可能	
8ビット・インターバル・タイマ		動作可能	
ウォッチドッグ・タイマ		第12章　ウォッチドッグ・タイマ参照	
クロック出力／ブザー出力		カウント・クロックにfIL選択時は動作可能(それ以外は，動作禁止)	
10ビット A/Dコンバータ		動作可能	
D/Aコンバータ		動作可能(STOPモード設定前の状態を継続)	
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)	
プログラマブル・ゲイン・アンプ (PGA)		動作可能	
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止	
シリアル・インタフェースIICA		動作禁止	
データ演算回路(DOC)		DTCによるレジスタ設定にて動作可能	
データ・トランスファ・コントローラ(DTC)		動作可能	
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能	
パワーオン・リセット機能		動作可能	
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能	高速CRC	動作停止	
	汎用CRC	動作禁止	
不正メモリ・アクセス検出機能		DTC実行時は動作可能	
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

備考　動作停止：　STOPモード移行時に自動的に動作停止
　　動作禁止：　STOPモード移行前に動作を停止させる
　　fIH：　高速オンチップ・オシレータ・クロック　　fIL：　低速オンチップ・オシレータ・クロック
　　fIM：　中速オンチップ・オシレータ・クロック　　fX：　X1クロック
　　fEX：　外部メイン・システム・クロック

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図24 - 5 SNOOZEモードの割り込み要求が発生する場合



注1. スタンバイ・リリース信号に関しての詳細は，図22 - 1を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

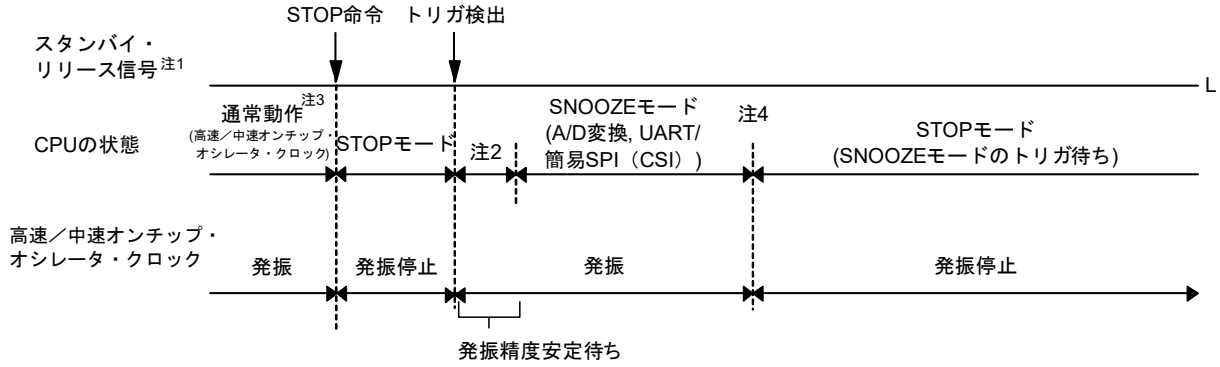
注3. SNOOZEモード→通常動作の遷移時間

注4. STOPモードへ移行する直前に，SNOOZEモード許可(AWC = 1/SWCm = 1)に設定してください。

注5. 通常動作に復帰後すぐに，必ずSNOOZEモード解除(AWC = 0/SWCm = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図24 - 6 SNOOZEモードの割り込み要求が発生しない場合



注1. スタンバイ・リリース信号に関しての詳細は，図22 - 1を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

注3. STOPモードへ移行する直前に，SNOOZEモード許可(AWC = 1/SWCm = 1)に設定してください。

注4. SNOOZE モードから STOP モードへ移行するタイミングで SNOOZE モードに設定した機能以外の割り込みによるスタンバイ・リリース信号が発生した場合，CPU動作開始から15 μs (max.)の間，高速オンチップ・オシレータの周波数が遅くなる可能性があります。スタンバイ解除直後に電気的特性に示す周波数精度が必要な場合は，CPUクロック周波数で15 μs相当分ウエイトしてください。

備考 SNOOZEモード機能の詳細は，第16章 A/Dコンバータ，第13章 シリアル・アレイ・ユニットを参照してください。

第25章　リセット機能

リセット信号を発生させる方法には，次の7種類があります。

(1)　$\overline{\text{RESET}}$端子による外部リセット入力
(2)　ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3)　パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
(4)　電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
(5)　不正命令の実行による内部リセット注
(6)　RAMパリティ・エラーによる内部リセット
(7)　不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，00000H，00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR 回路，LVD回路の電圧検出，不正命令の実行注，RAMパリティ・エラーの発生，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは表25 - 1に示すような状態になります。

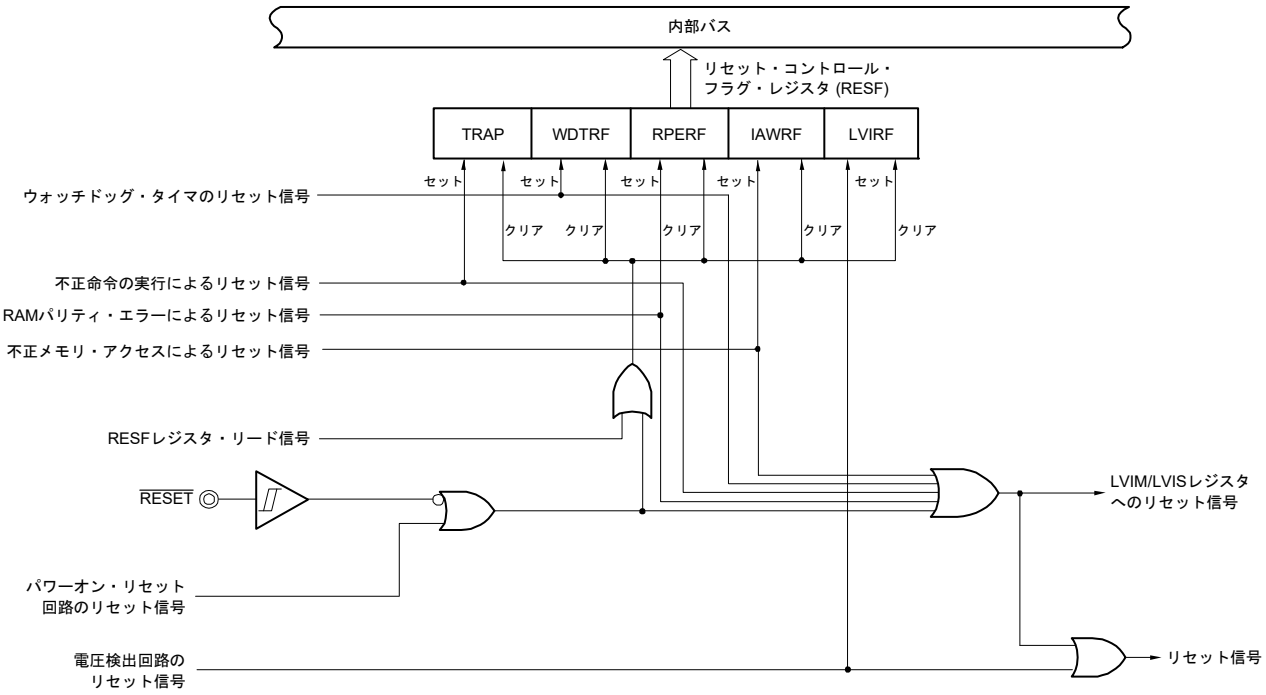
注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し，35.4, 36.4　AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

注意2. リセット信号発生中では，X1　クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック，外部サブシステム・クロックの入力は無効となります。

注意3. リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子は次の状態になります。
- P40：外部リセットか POR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)
- P40以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

図25 - 1 リセット機能のブロック図



注意　　LVD回路の内部リセットの場合，LVD回路はリセットされません。

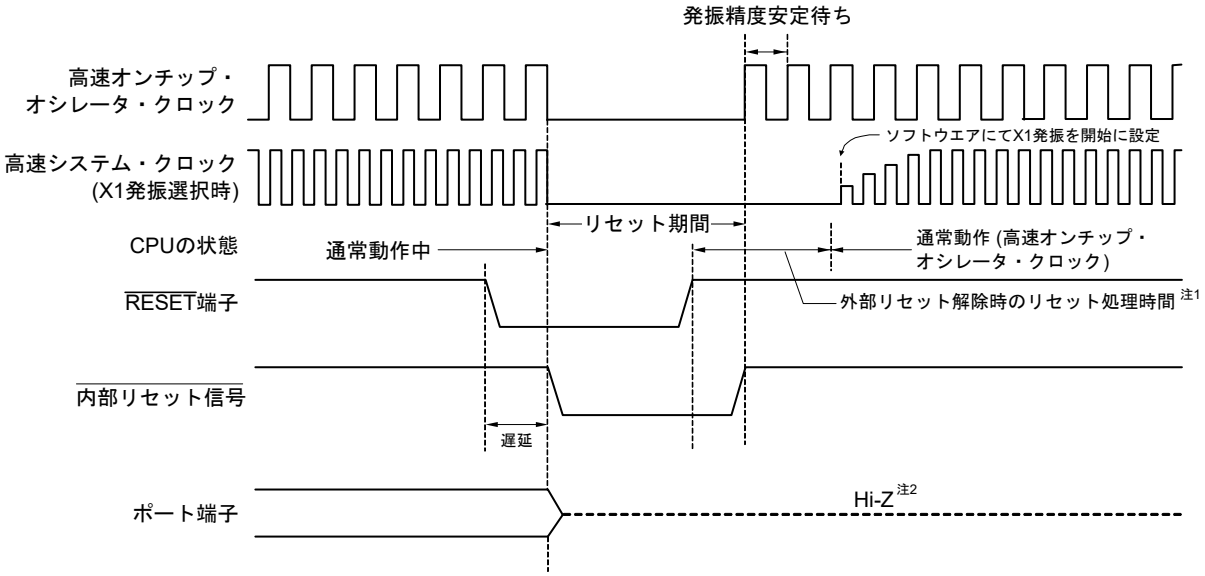
備考1. LVIM：電圧検出レジスタ

備考2. LVIS：電圧検出レベル・レジスタ

25.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

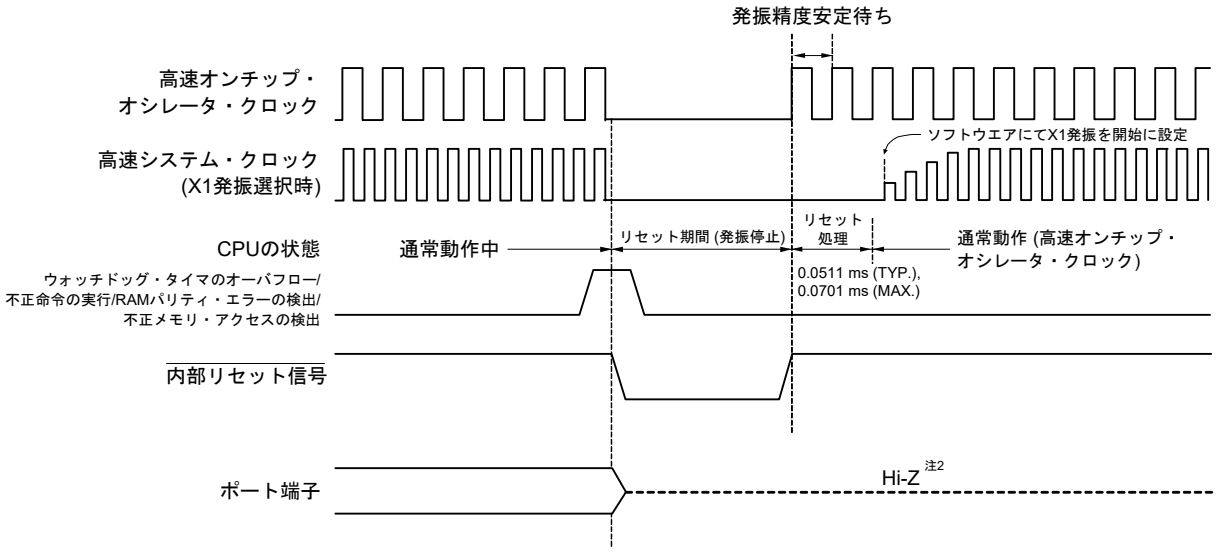
図25 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



(注，注意は，次ページにあります。)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図25 - 3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注，注意は，次ページにあります。)

注1.　外部リセット解除時のリセット時間：

POR解除後1回目：　0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降：　0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) がかかります。

注2.　ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

注意　ウォッチドッグ・タイマも例外なく，内部リセット発生時にリセットされます。

POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVD}$になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は，第26章　パワーオン・リセット回路または第27章　電圧検出回路を参照してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{LVD}：LVD検出電圧

表25 - 1 リセット期間中の動作状態

項目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_{IM}	
		f_X	動作停止(X1, X2端子は入力ポート・モード)
		f_{EX}	クロックの入力無効(端子は入力ポート・モード)
	f_{IL}		動作停止
CPU			
コード・フラッシュ・メモリ			動作停止
データ・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート(ラッチ)			ハイ・インピーダンス注
タイマ・アレイ・ユニット			動作停止
タイマKB			
12ビット・インターバル・タイマ			
8ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
10ビット A/Dコンバータ			
D/Aコンバータ			
コンパレータ			
プログラマブル・ゲイン・アンプ (PGA)			
シリアル・アレイ・ユニット(SAU)			
シリアル・インタフェースIICA			
データ演算回路(DOC)			
データ・トランスファ・コントローラ(DTC)			
イベント・リンク・コントローラ(ELC)			
パワーオン・リセット機能			検出動作可能
電圧検出機能			LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み			動作停止
キー割り込み機能			
CRC演算機能		高速CRC	
		汎用CRC	
不正メモリ・アクセス検出機能			
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

注 ポート端子P40, P125は次の状態になります。

- P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル(内蔵プルアップ抵抗接続)
- 外部リセット期間中はロウ・レベル。それ以外のリセット期間中はハイ・レベル(内蔵プルアップ抵抗接続)

備考 f_{IH} : 高速オンチップ・オシレータ・クロック　f_X : X1発振クロック
f_{IM} : 中速オンチップ・オシレータ・クロック　f_{EX} : 外部メイン・システム・クロック
f_{IL} : 低速オンチップ・オシレータ・クロック

表25 - 2 各ハードウエアのリセット受け付け後の状態

ハードウエア		リセット受け付け後の状態[注]
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(00000H, 00001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

備考　特殊機能レジスタ(SFR：Special Function Register)のリセット受け付け後の状態は，3.1.4　特殊機能レジスタ(SFR：Special Function Register)領域，3.1.5　拡張特殊機能レジスタ(2nd SFR：2nd Special Function Register)領域を参照してください。

25.2 リセット要因を確認するレジスタ

25.2.1 リセット・コントロール・フラグ・レジスタ(RESF)

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ(RESF)は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット(POR)回路によるリセットおよびRESFレジスタのデータを読み出し後，RESFレジスタ以外のSFRにアクセスすることにより，TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図25 - 4 リセット・コントロール・フラグ・レジスタ(RESF)のフォーマット

アドレス：FFFA8H　リセット時：不定[注1]　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ(WDT)による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出(LVD)回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表25 - 3を参照してください。

注2. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は，28.3.3 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表25 - 3に示します。

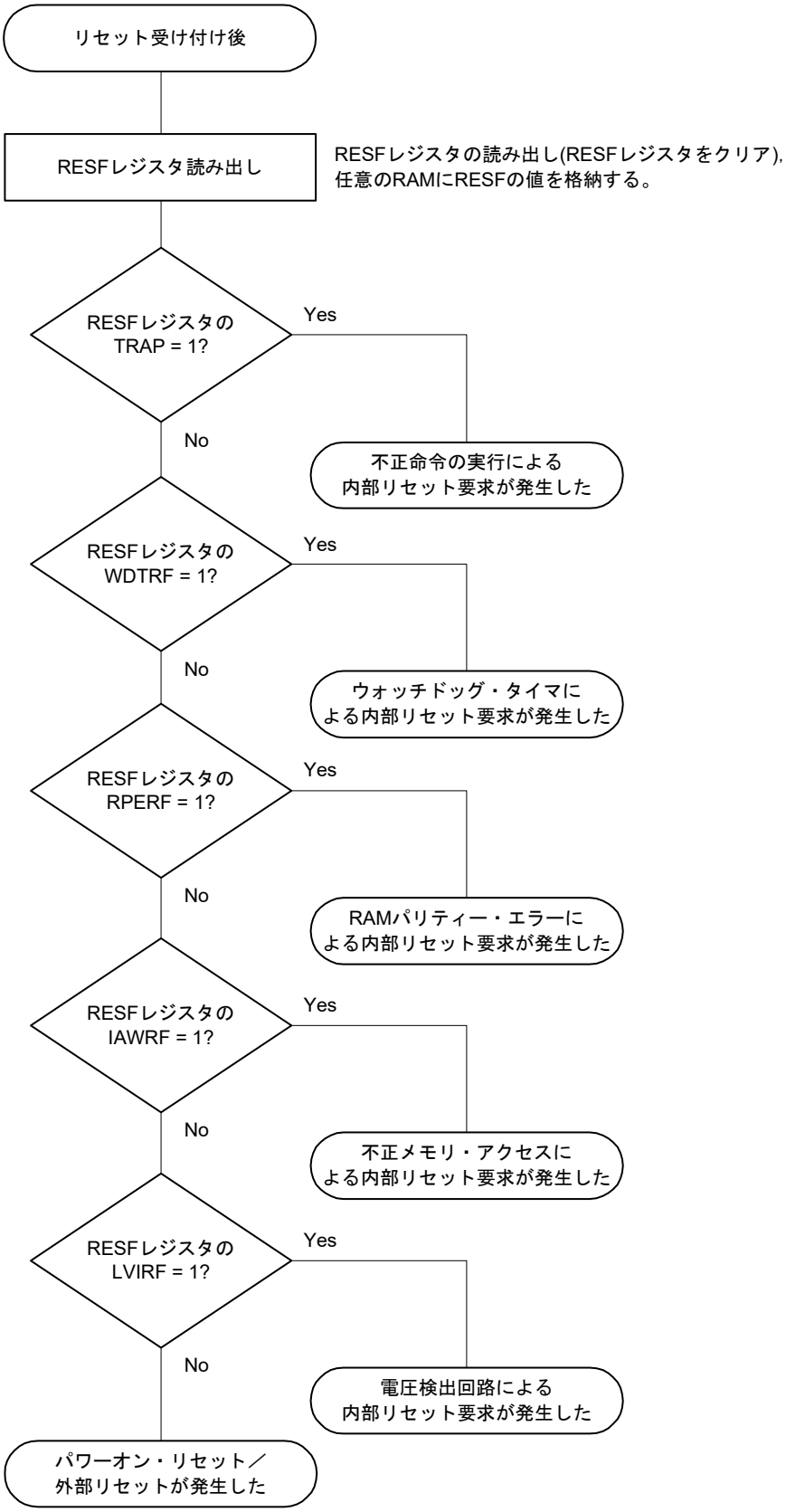
表25 - 3 リセット要求時のRESFレジスタの状態

リセット要因 / フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持
WDTRF			保持	セット(1)			
RPERF				保持	セット(1)		
IAWRF					保持	セット(1)	
LVIRF						保持	セット(1)

RESFレジスタは，8ビット・メモリ操作命令で読み出し後，RESFレジスタ以外のSFRにアクセスすると，自動的にクリアされます。

リセット要因の手順を図25 - 5に示します。

図25 - 5 リセット要因の確認手順



25.2.2　周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図25 - 6 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス：F00F1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IICA1RES	ADCRES	IICA0RES	0	SAU0RES	0	TAU0RES

PRR0n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考　n = 0, 2, 4-6

各ビットの制御対象を以下に示します。

表25 - 4 PRR0の各ビットにおける制御対象

ビット	ビット名	制御対象
0	TAU0RES	タイマ・アレイ・ユニット (ユニット0)
2	SAU0RES	シリアル・アレイ・ユニット (ユニット0)
4	IICA0RES	シリアル・インタフェースIICA (ユニット0)
5	ADCRES	10ビット A/Dコンバータ
6	IICA1RES	シリアル・インタフェースIICA (ユニット1)

25.2.3　周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図25 - 7 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス：F00FBH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR1	DACRES	0	CMPRES	0	0	PGA0RES	0	0

PRR1n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考　n = 2, 5, 7

各ビットの制御対象を以下に示します。

表25 - 5 PRR1の各ビットにおける制御対象

ビット	ビット名	制御対象
2	PGA0RES	プログラマブル・ゲイン・アンプ (PGA)
5	CMPRES	コンパレータ0，コンパレータ1
7	DACRES	D/Aコンバータ

25.2.4　周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図25 - 8 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス：F00FDH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	0	DOCRES	0	0	0	0	TKB0RES

PRR2n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考　　n = 0, 5, 7

各ビットの制御対象を以下に示します。

表25 - 6 PRR2の各ビットにおける制御対象

ビット	ビット名	制御対象
0	TKB0RES	タイマKB
5	DOCRES	データ演算回路 (DOC)
7	TMKARES	12ビット・インターバル・タイマ

第26章　パワーオン・リセット回路

26.1　パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
　電源電圧(V_{DD})が検出電圧(V_{POR})を越えた場合に，リセットを解除します。ただし，35.4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。
・電源電圧(V_{DD})と検出電圧(V_{PDR})を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。ただし，電源立ち下がり時は，35.4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

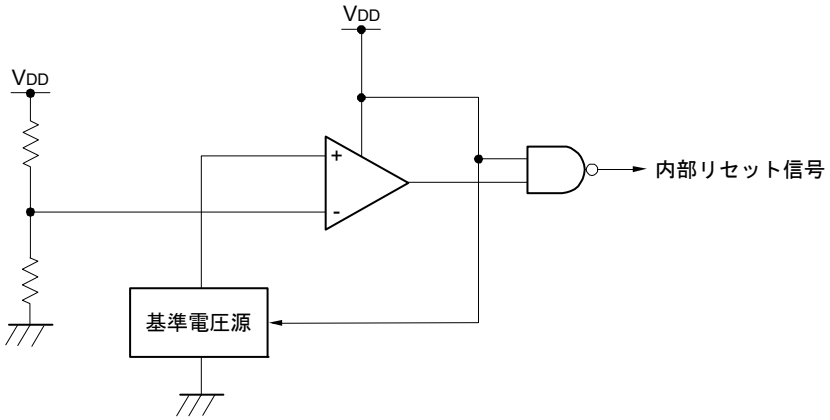
注意　パワーオン・リセット回路による内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ(RESF)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウエアが複数内蔵されています。
　ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については，第25章　リセット機能を参照してください。
備考2. V_{POR}：POR電源立ち上がり検出電圧
　V_{PDR}：POR電源立ち下がり検出電圧
　詳細は，35.6.6　POR回路特性を参照してください。

26.2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図26 - 1に示します。

図26 - 1 パワーオン・リセット回路のブロック図

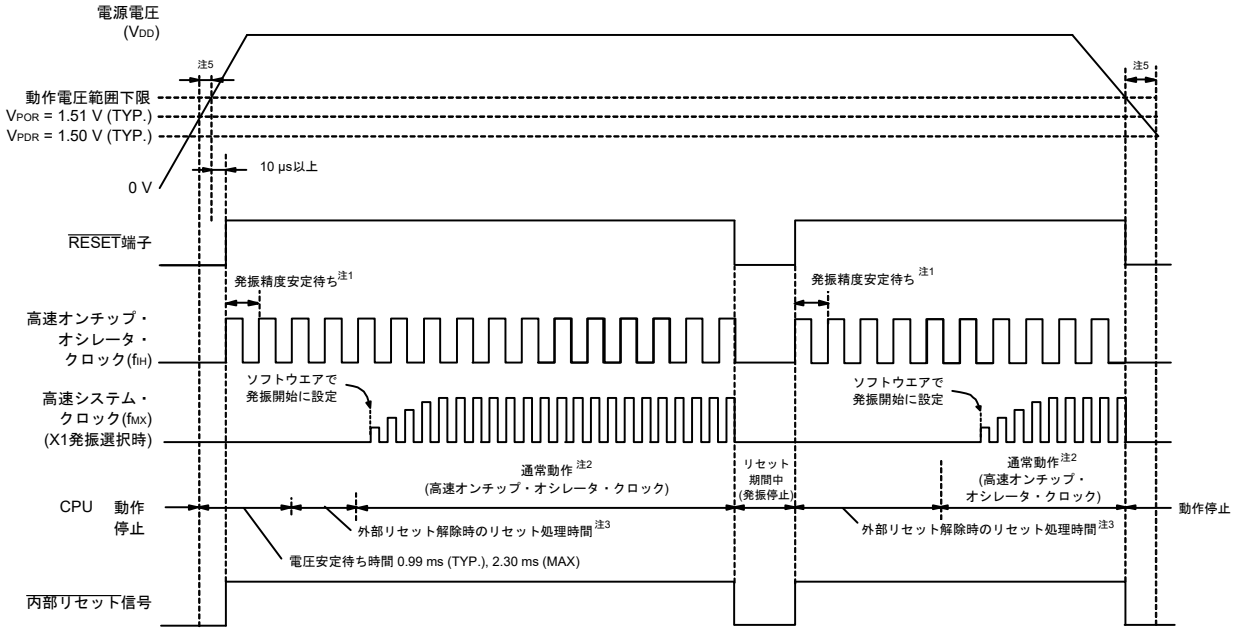


26.3　パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図26 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) $\overline{\text{RESET}}$端子による外部リセット入力使用時



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ(OSTC)で，発振安定時間を確認してから切り替えてください。

注3. 通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて，$\overline{\text{RESET}}$信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

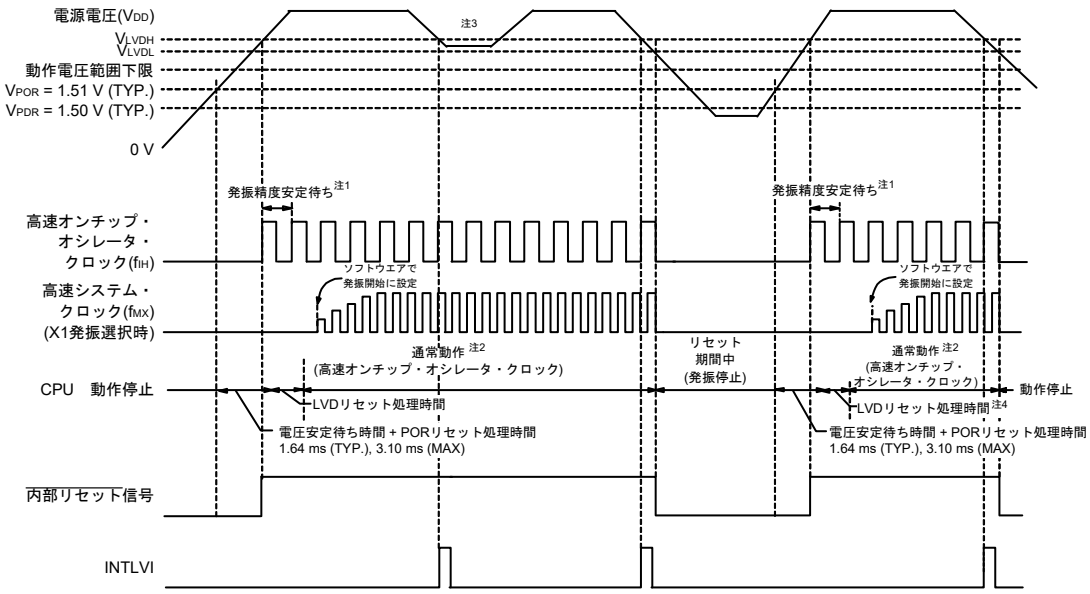
注4. 電源立ち上がり時は，35.4 AC 特性に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOP モードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 VPOR： POR電源立ち上がり検出電圧
VPDR： POR電源立ち下がり検出電圧

注意 LVDオフ時は必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。詳細は，第27章 電圧検出回路を参照してください。

図26 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(2/3)

(2) LVD割り込み＆リセットモード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ(OSTC)で，発振安定時間を確認してから，切り替えてください。

注3. 割り込み要求信号(INTLVI)が発生したあと，電圧検出レベル・レジスタ(LVIS)のLVIL, LVIMDビットは自動的に1に設定されます。そのため，電源電圧が低電圧検出電圧(VLVDL)を下回らずに，高電圧検出電圧(VLVDH)以上に復帰する場合を考慮して，INTLVI発生後は，“図27 - 7 動作電圧確認／リセットの設定手順”に従って設定をしてください。

注4. 通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて，LVD検出レベル(VLVDH)に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0 ms ～ 0.0701 ms (MAX.)

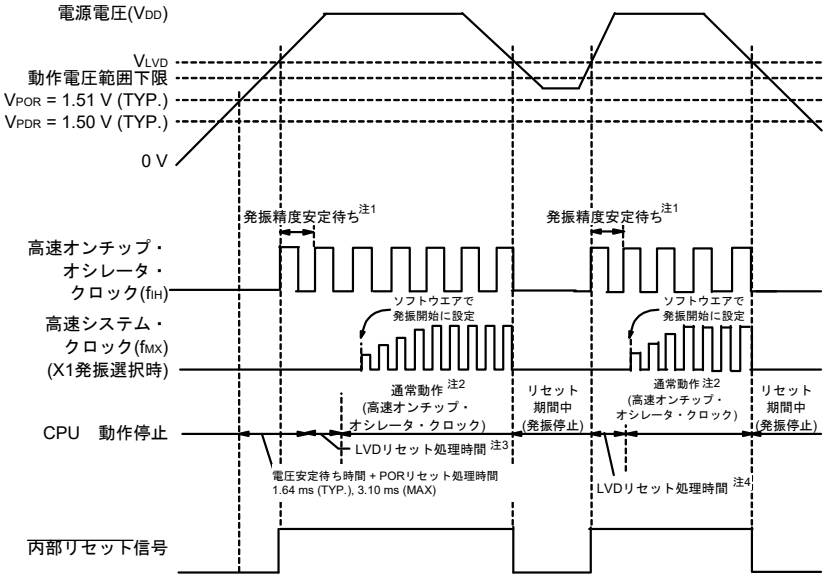
備考 VLVDH, VLVDL： LVD検出電圧

VPOR： POR電源立ち上がり検出電圧

VPDR： POR電源立ち下がり検出電圧

図26 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(3/3)

(3) LVD リセット・モード時(オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ(OSTC)で，発振安定時間を確認してから，切り替えてください。

注3. 通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて，LVD検出レベル(VLVD)に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0 ms ～ 0.0701 ms (MAX.)

注4. 電源電圧降下時，電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合，LVD検出レベル(VLVD)に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. VLVDH, VLVDL：LVD検出電圧

VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

備考2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1，LVIMD0 = 0, 1)を選択した場合，電源投入後に通常動作が開始されるまでの時間は，図26 - 2 (3) LVDリセット・モード時の“注3”の時間と同じです。

第27章　電圧検出回路

27.1　電圧検出回路の機能

電圧検出回路は，オプション・バイト(000C1H)で動作モードと検出電圧(V_{LVDH}, V_{LVDL}, V_{LVD})を設定します。また，検出電圧はLVISレジスタで再設定が可能です。電圧検出(LVD)回路は，次のような機能を持ちます。

- 電源電圧(V_{DD})と検出電圧(V_{LVDH}, V_{LVDL}, V_{LVD})を比較し，内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧(V_{LVDH}, V_{LVDL})は，検出レベルを14段階より選択できます(27.3.2　電圧検出レベル・レジスタ(LVIS)および第30章　オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は，35.4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は，ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a)　割り込み＆リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(V_{LVDH}，V_{LVDL})を選択します。高電圧検出レベル(V_{LVDH})はリセット解除用／割り込み発生用として使用します。リセット発生用としても使用します。低電圧検出レベル(V_{LVDL})はリセット発生用として使用します。

(b)　リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(V_{LVD})を，リセット発生／解除用として使用します。また，検出電圧はLVISレジスタで再設定が可能です。

(c)　割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(V_{LVD})を，割り込み発生／リセット解除用として使用します。また，検出電圧はLVISレジスタで再設定が可能です。

各モードにおける割り込み信号と内部リセット信号は，次のように発生します。

割り込み＆リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に，$V_{DD} < V_{LVDH}$を検出して割り込み要求信号を発生，$V_{DD} < V_{LVDL}$を検出して内部リセットを発生。 $V_{DD} \geqq V_{LVDH}$を検出して内部リセットを解除。	$V_{DD} \geqq V_{LVD}$を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$を検出して内部リセット発生。	POR解除後1回目の動作電圧立ち上げ時に$V_{DD} \geqq V_{LVD}$を検出して内部リセットを解除。 POR解除後2回目以降は，$V_{DD} < V_{LVD}$または$V_{DD} \geqq V_{LVD}$を検出して割り込み要求信号を発生。

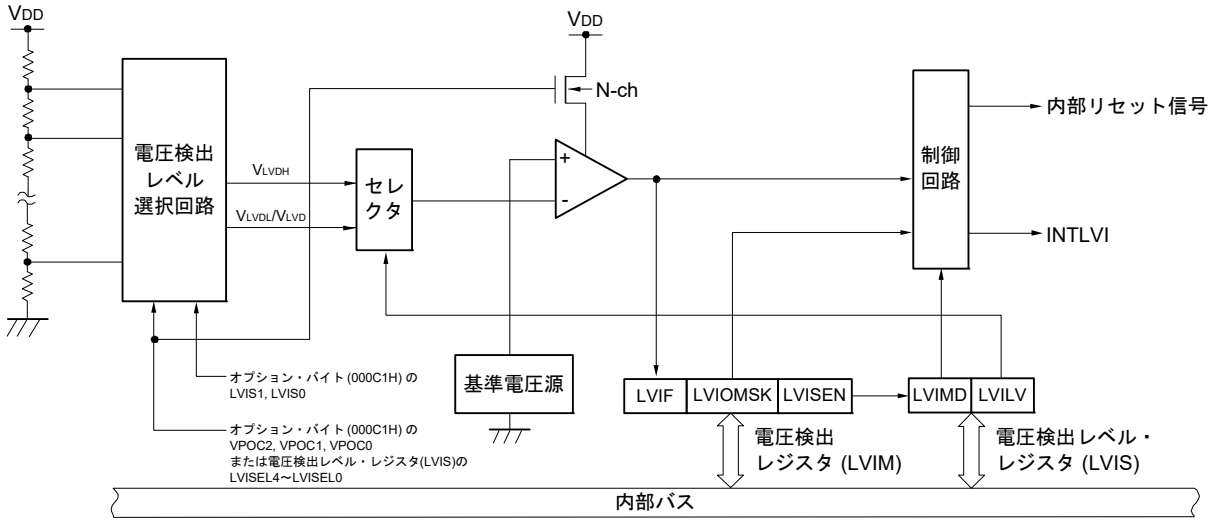
電圧検出回路動作時では，電圧検出フラグ(LVIF：電圧検出レジスタ(LVIM)のビット0)を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ(RESF)のビット0 (LVIRF)がセット(1)されます。RESFレジスタについての詳細は，第25章　リセット機能を参照してください。

27.2　電圧検出回路の構成

電圧検出回路のブロック図を図27 - 1に示します。

図27 - 1 電圧検出回路のブロック図



27.3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

27.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定，LVD 出力のマスク状態を確認するレジスタです。

LVIM レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図27 - 2 電圧検出レジスタ (LVIM)のフォーマット

アドレス：FFFA9H　リセット時：00H注1　R/W注2

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ (LVIS)の書き換え許可／禁止の設定
0	LVIS レジスタの書き換え禁止(LVIOMSK = 0 (LVD出力マスク無効)になる)
1	LVIS レジスタの書き換え許可(LVIOMSK = 1 (LVD出力マスク有効)になる)

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効注3

LVIF	電圧検出フラグ
0	電源電圧(VDD)≧検出電圧(VLVD)，またはLVDオフ時
1	電源電圧(VDD)＜検出電圧(VLVD)

注1. リセット値は，リセット要因により変化します。
LVD によるリセットのときには，LVIM レジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，LVISENは“0”にクリアされます。

注2. ビット0, 1は，Read Only です。

注3. LVIOMSKビットは以下の間に自動で1となり，LVDによるリセットまたは割り込み発生がマスクされます。
- LVISEN = 1の期間
  以下のいずれかの場合は，割り込み＆リセットモード時のみLVDによるリセットまたは割り込み発生がマスクされます。
- LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間
- LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

27.3.2　電圧検出レベル・レジスタ(LVIS)

電圧検出レベルを設定するレジスタです。ユーザ・オプション・バイトで設定した電源下限電圧(LVD検出電圧)とLVD検出レベルの設定を，ソフトウエアで変更できます。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，注1になります。

注意　割り込み＆リセットモード時に検出電圧を変更しないでください。

(注1は，次ページにあります。)

図27 - 3 電圧検出レベル・レジスタ(LVIS)のフォーマット

アドレス：FFFAAH　リセット時：注1　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD注2	0	LVISEL4	LVISEL3	LVISEL2	LVISEL1	LVISEL0	LVILV注2

LVIMD注2	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVISEL4注6	LVISEL3	LVISEL2	動作下限電圧(立ち下がりTYP値)注5
0	0	1	1.84 V
0	1	0	2.45 V
0	1	1	2.75 V
1	1	1	1.53 V (LVD OFF)
上記以外			設定禁止

LVISEL1	LVISEL0	LVD検出レベル設定注5
0	0	LVISEL4/3/2による設定電圧 + 1.2 V注3
0	1	LVISEL4/3/2による設定電圧 + 0.2 V注3
1	0	LVISEL4/3/2による設定電圧 + 0.1 V注3
1	1	LVISEL4/3/2による設定電圧注4

LVILV注2	LVD検出レベル
0	高電圧検出レベル(V_{LVDH})
1	低電圧検出レベル(V_{LVDL}またはV_{LVD})

注1. リセット値は，オプション・バイトの設定により変化します。
リセット解除後，ユーザ・オプション・バイトのVPOC2～VPOC0およびLVIS1, LVIS0の値がそれぞれLVISEL4～LVISEL2, LVISEL1, LVISEL0に反映されます。
LVIMDおよびLVIVLのリセット値は，次のようになります。
オプションバイトLVIMDS1, LVIMDS0 = 1, 0のとき：LVIMD = 0, LVILV = 0
オプションバイトLVIMDS1, LVIMDS0 = 1, 1のとき：LVIMD = 1, LVILV = 1
オプションバイトLVIMDS1, LVIMDS0 = 0, 1のとき：LVIMD = 0, LVILV = 1

注2. 割り込み＆リセット・モード(オプション・バイトLVIMDS1，LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み＆リセット・モードでのリセットまたは割り込み発生により，自動で値が切り替わります。

注3. おおよその検出値を示しています。実際の検出電圧は，電気的特性のLVDの項目を参照してください。

注4. LVIMDS1 - 0 = 1, 0のときは選択不可です。

注5. ソフトウエアによってLVISEL4-0を変更し2種類以上のLVD検出電圧を使用する場合，使用するLVD検出電圧のうち最も高い電圧値を示す設定値をユーザ・オプション・バイトのVPOC2-0, LVIS1-0ビットに設定して使用してください。

注6. LVISEL4の書き換えは禁止です。初期値から変更しないでください。

注意1. LVIMDビットおよびLVILVビットを書き換える場合は，図27 - 7の手順で行ってください。

注意2. LVDの動作モードと各モードの初期検出電圧(V_{LVDH}, V_{LVDL}, V_{LVD})は，オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを表27 - 1に示します。オプション・バイトの詳細は第30章　オプション・バイトを参照してください。

表27 - 1 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定 (割り込み＆リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は，第27章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は，35.6.7 LVD回路特性を参照してください。

(注意は，次ページにあります。)

表27 - 1 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

• LVDオフ (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

• P125/RESET/INTP9端子の設定

PORTSELB	P125/RESET/端子の制御
0	ポート機能(P125/INTP9)
1	RESET入力(内部プルアップ抵抗が常時有効)

注 ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意 電源立ち上がり時は，35.4 AC 特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. ×：Don't care

備考2. LVD回路の詳細は，第27章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は，35.6.7 LVD回路特性を参照してください。

27.4　電圧検出回路の動作

27.4.1　リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と初期検出電圧(V_{LVD})の設定は，オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ(LVIM)のビット7 (LVISEN)は，“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は, 27.3.2　電圧検出レベル・レジスタ(LVIS)を参照してください。
  ビット7 (LVIMD)は“1” (リセット・モード)
  ビット0 (LVILV)は“1” (電圧検出レベル：V_{LVD})

●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は，電源投入時，電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えると内部リセットを解除します。

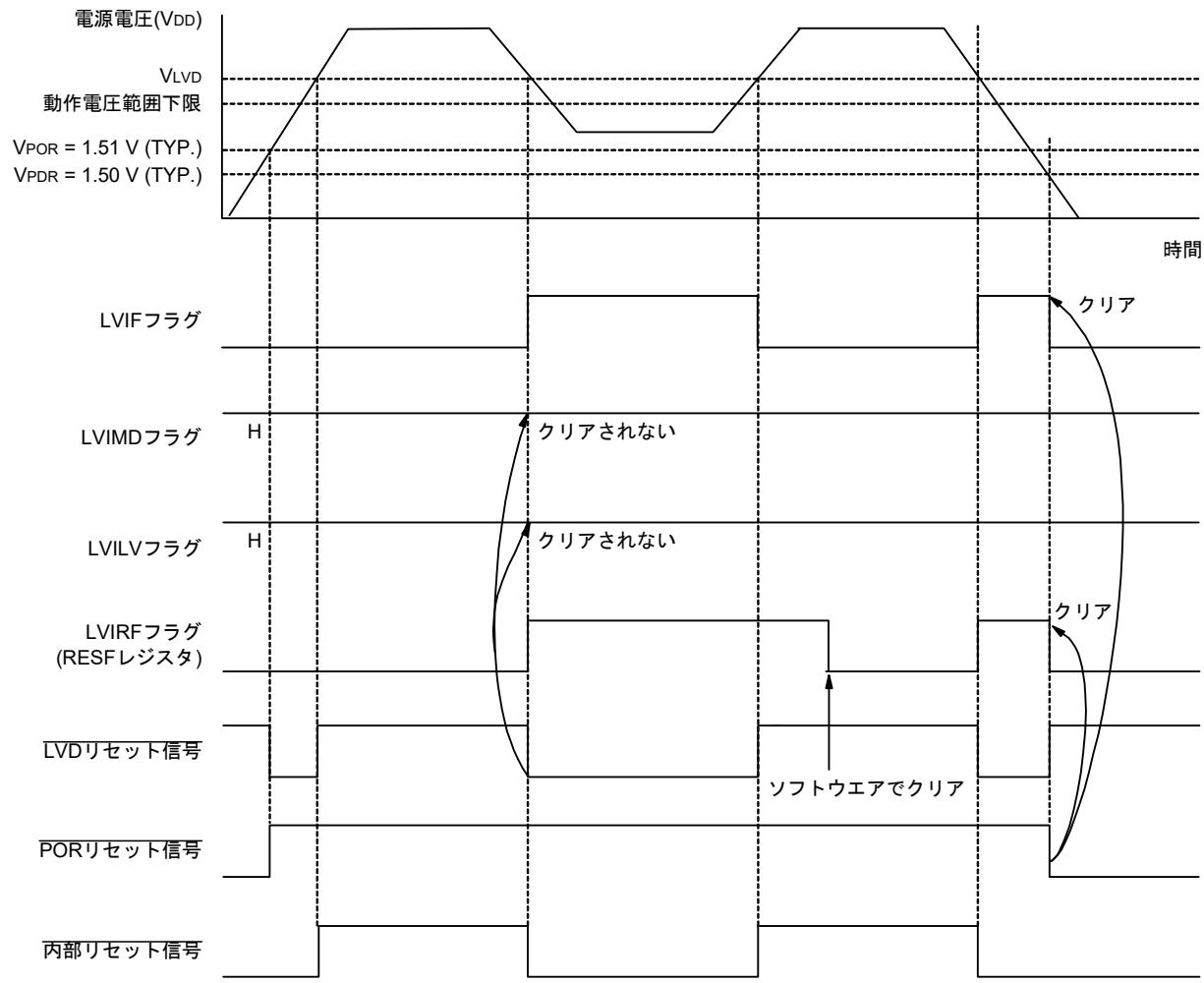
動作電圧降下時は電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を下回るとLVDによる内部リセットが発生します。

LVDリセット発生時のリセット解除電圧は，オプション・バイトで設定した検出電圧と，LVISレジスタで設定した検出電圧の高い方の電圧になります。電源電圧が電圧検出レベルを超えるまでLVDによる内部リセット状態を保ちます。

LVDリセット以外のリセットでのリセット解除電圧は，オプション・バイトで設定した電圧検出レベルになります。

図27 - 4に，LVDリセット・モードの内部リセット信号発生のタイミングを示します。

図27 - 4 内部リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



備考 VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

27.4.2　割り込みモードとして使用する場合の設定

動作モード(割り込みモード(LVIMDS1, LVIMDS0 = 0, 1))と初期検出電圧(V_{LVD})の設定は，オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

割り込みモードを設定した場合，次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ(LVIM)のビット7 (LVISEN)は，“0” (電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は，27.3.2　電圧検出レベル・レジスタ(LVIS)を参照してください。

  ビット7 (LVIMD)は“0” (割り込みモード)

  ビット0 (LVILV)は“1” (電圧検出レベル：V_{LVD})

●LVD割り込みモードの動作

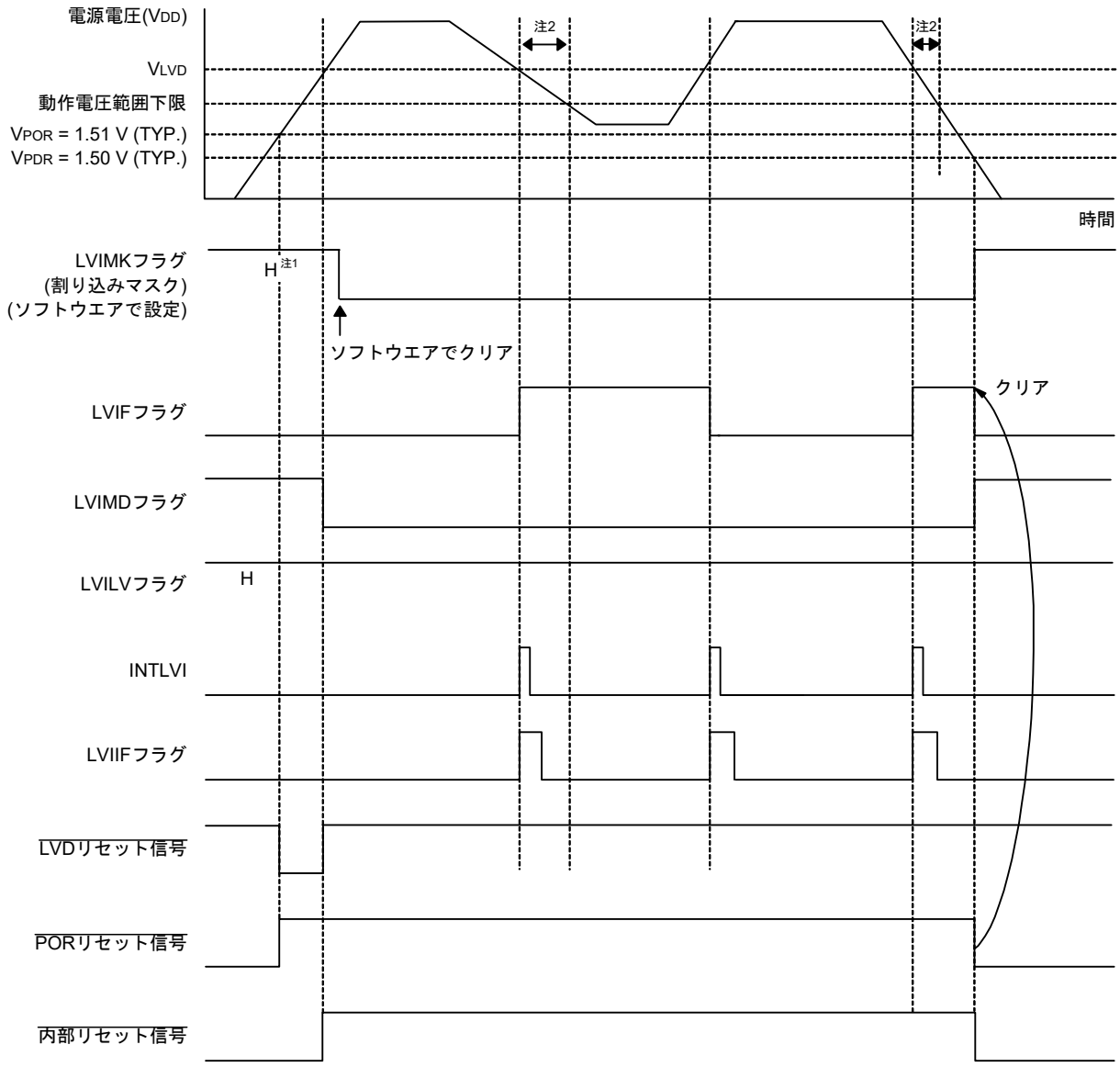
割り込みモード(オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)は，電源投入時(POR解除後1回目)，電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えるまではLVDによる内部リセット状態を保ちます。動作電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えると内部リセットを解除します。

動作電圧降下時に電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を下回る，またはPOR解除後2回目以降に電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えるとLVDによる割り込み要求信号(INTLVI)が発生します。動作電圧降下時は，35.4, 36.4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

検出レベルを変更するなどでLVISENビットを1にした(LVDをマスクした)後，LVISEN = 0にした時に，電源電圧(V_{DD})が電圧検出レベル(VLVD)を下回っていた場合，LVDによる割り込み要求信号(INTLVD)が発生します。

図27 - 5に，LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図27 - 5 割り込み信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

注2. 動作電圧降下時は，35.4, 36.4 AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

27.4.3　割り込み＆リセット・モードとして使用時の設定

動作モード(割り込み＆リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(V_{LVDH}, V_{LVDL})の設定は，オプション・バイト000C1Hで設定します。検出電圧をLVISレジスタで変更する操作は禁止です。

割り込み＆リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ(LVIM)のビット7 (LVISEN)は，“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は，27.3.2　電圧検出レベル・レジスタ(LVIS)を参照してください。ビット7 (LVIMD)は“0”(割り込みモード)，ビット0 (LVILV)は“0”(高電圧検出レベル：V_{LVDH})

●LVD割り込み＆リセット・モードの動作

割り込み＆リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0)は，電源投入時，電源電圧(V_{DD})が高電圧検出レベル(V_{LVDH})を超えるまではLVDによる内部リセット状態を保ちます。

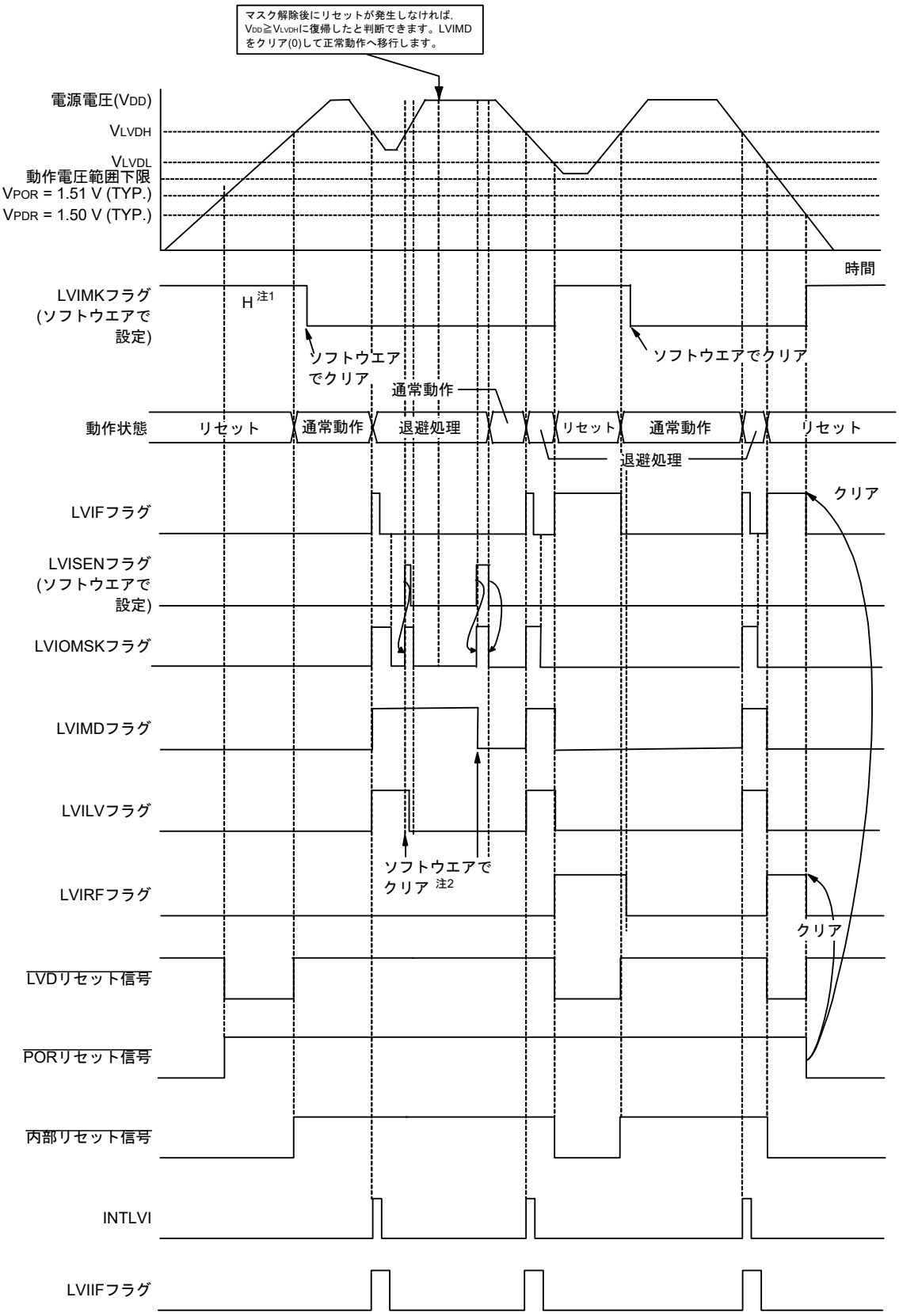
電源電圧(V_{DD})が高電圧検出レベル(V_{LVDH})を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(V_{DD})が高電圧検出レベル(V_{LVDH})を下回るとLVDによる割り込み要求信号(INTLVI)が発生し，任意の退避処理を行うことができます。その後，電源電圧(V_{DD})が低電圧検出レベル(V_{LVDL})を下回るとLVDによる内部リセットが発生します。ただし，INTLVI発生後，電源電圧(V_{DD})が低電圧検出電圧(V_{LVDL})を下回らずに高電圧検出電圧(V_{LVDH})以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み＆リセット・モードの使用する場合は，“図27 - 7　動作電圧確認／リセットの設定手順”に従って設定をしてください。

図27 - 6（1/2）～図27 - 6（2/2）に，LVD割り込み＆リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図27 - 6 割り込み＆リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



(注，備考は次ページにあります。)

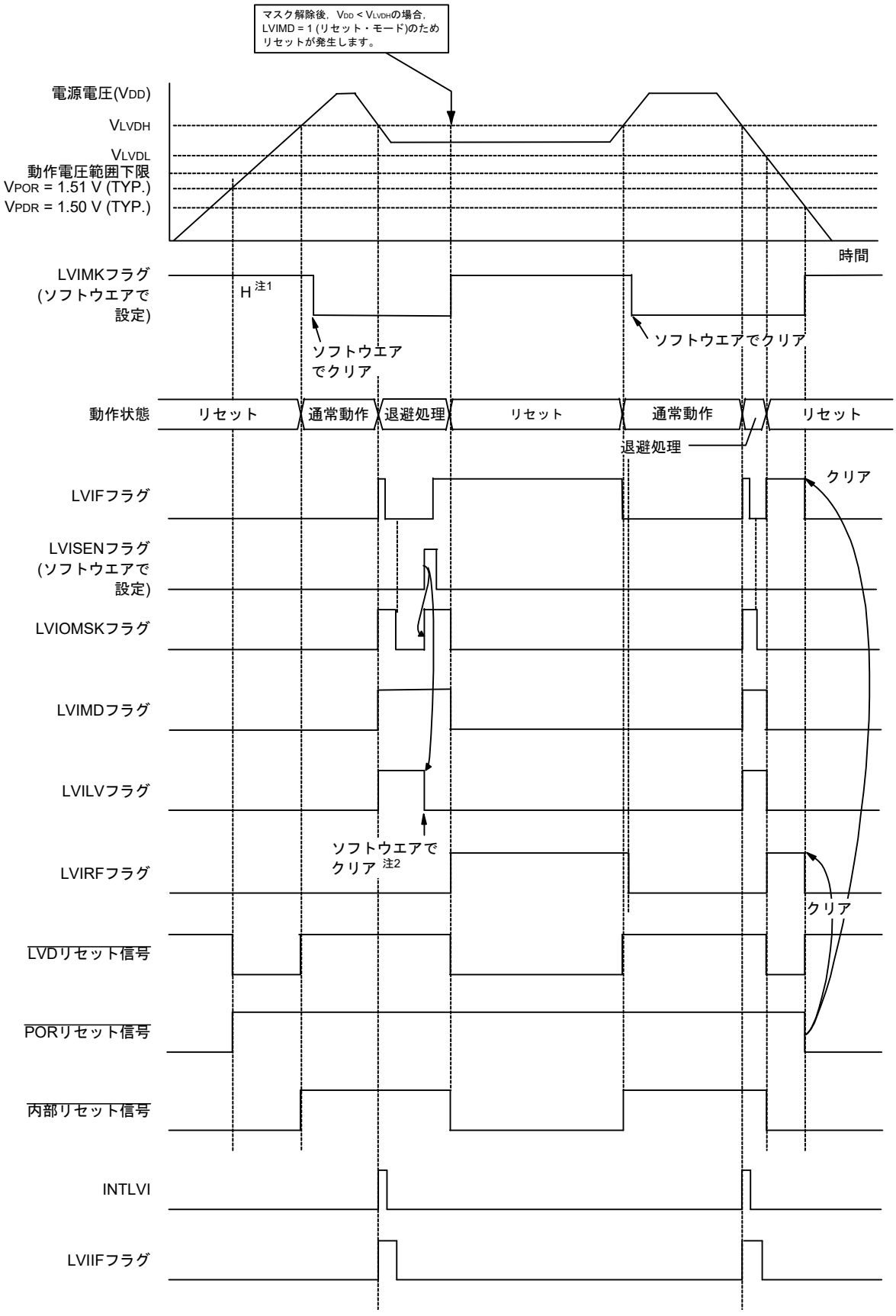
注1.　LVIMKフラグはリセット信号の発生により，“1”になっています。

注2.　割り込み＆リセット・モード使用時，割り込み発生後は，図27 - 7　動作電圧確認／リセットの設定手順に従って実施してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図27 - 6 割り込み＆リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)



(注，備考は次ページにあります。)

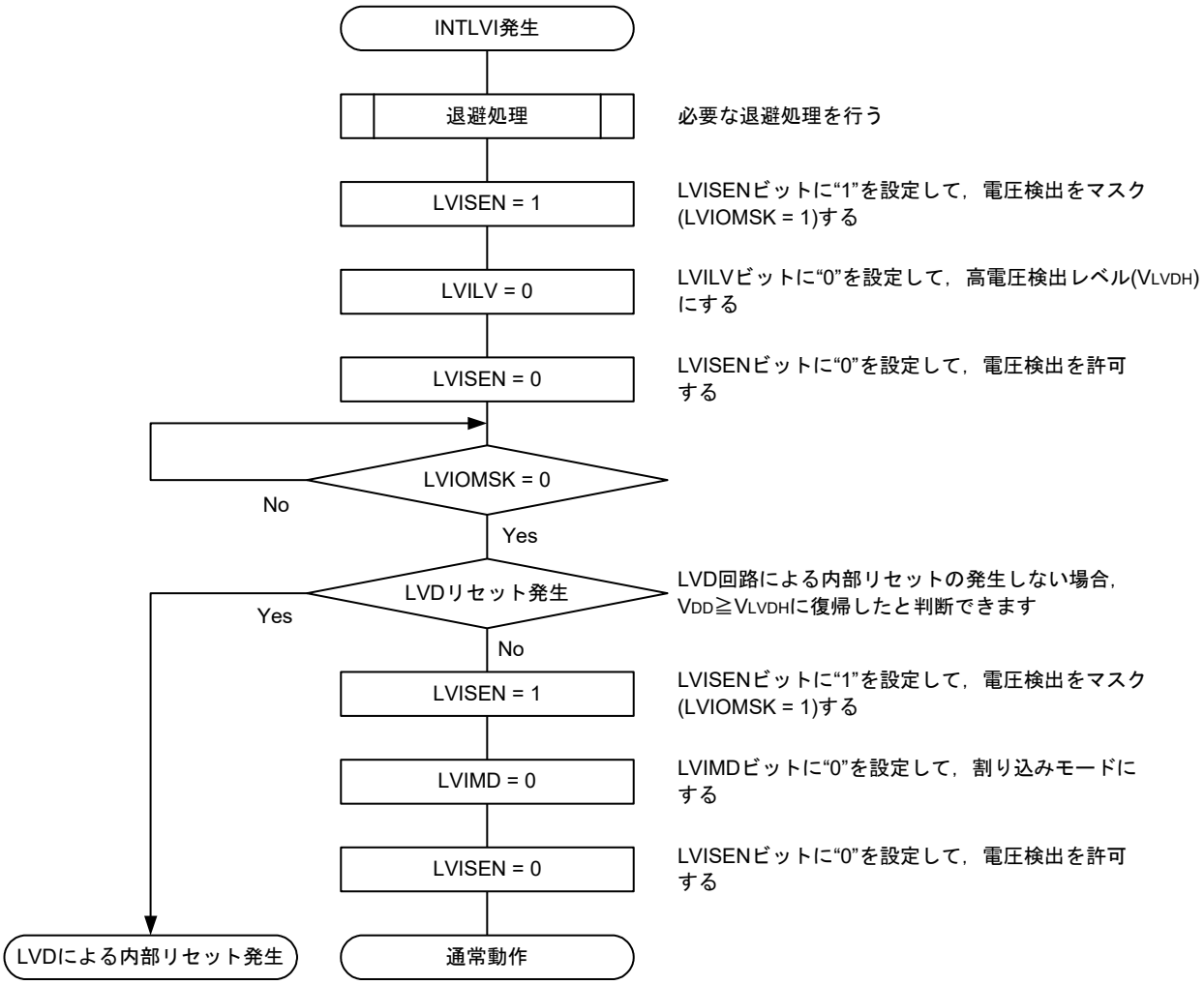
注1.　LVIMKフラグはリセット信号の発生により，“1”になっています。

注2.　割り込み＆リセット・モード使用時，割り込み発生後は，図27 - 7　動作電圧確認／リセットの設定手順に従って実施してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図27 - 7 動作電圧確認／リセットの設定手順



27.5　LVD 検出電圧の設定変更

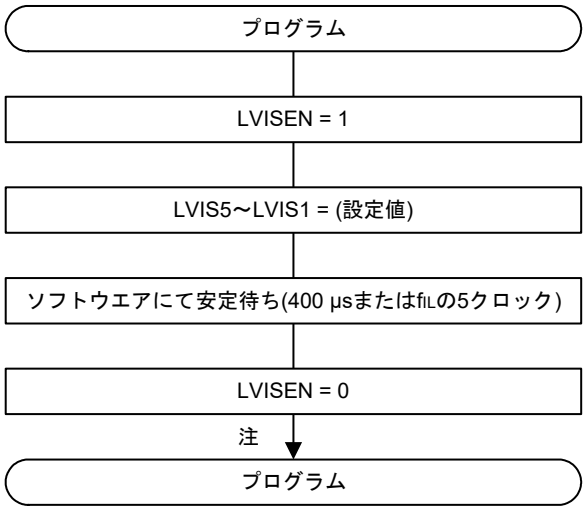
ソフトウエアによりLVD の検出電圧を変更する場合は，以下の手順で変更してください。

LVD 検出電圧は割り込みモード，リセット・モードで変更可能です。

割り込み&リセット・モードでは，LVD 検出電圧値の変更はできません。初期値(オプション・バイト設定値)から変更しないでください。

ソフトウエアによってLVIS レジスタ LVISEL4 ～ LVISEL0 を変更して，2 種類以上のLVD 検出電圧を使用する場合，使用するLVD 検出電圧のうち最も高い電圧値をオプション・バイト (000C1H) の VPOC2 ～ VPOC0，LVIS1，LVIS0 ビットに必ず設定してください。

図27 - 8 LVD 検出電圧設定変更

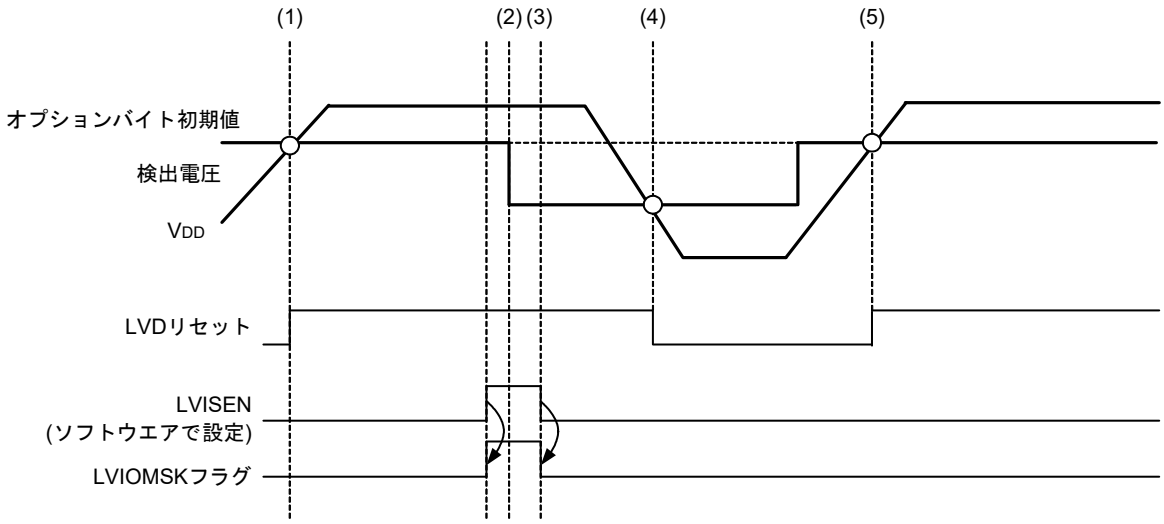


注　　LVISEN = 0 設定後，$V_{LVD} > V_{DD}$ ならばLVD 検出し，リセット/割り込みが発生します。

27.5.1　LVD リセット・モード時のLVD 検出電圧の設定変更

図27 - 9にLVD リセット・モード時のLVD検出電圧設定変更タイミング例を示します。

図27 - 9 LVD リセット・モード時のLVD検出電圧設定変更タイミング例



■動作

(1)　電源立ち上がりはオプション・バイトで設定した検出電圧でリセット解除

(2)　LVIS レジスタ変更

(3)　ソフトウエアにて安定待ち完了((2)より400 μsまたはfIL の5クロック)

(4)　LVD検出(立ち下がり)はLVIS レジスタで設定した検出電圧

(5)　LVD リセット解除(立ち上がり)はオプション・バイトで設定した検出電圧

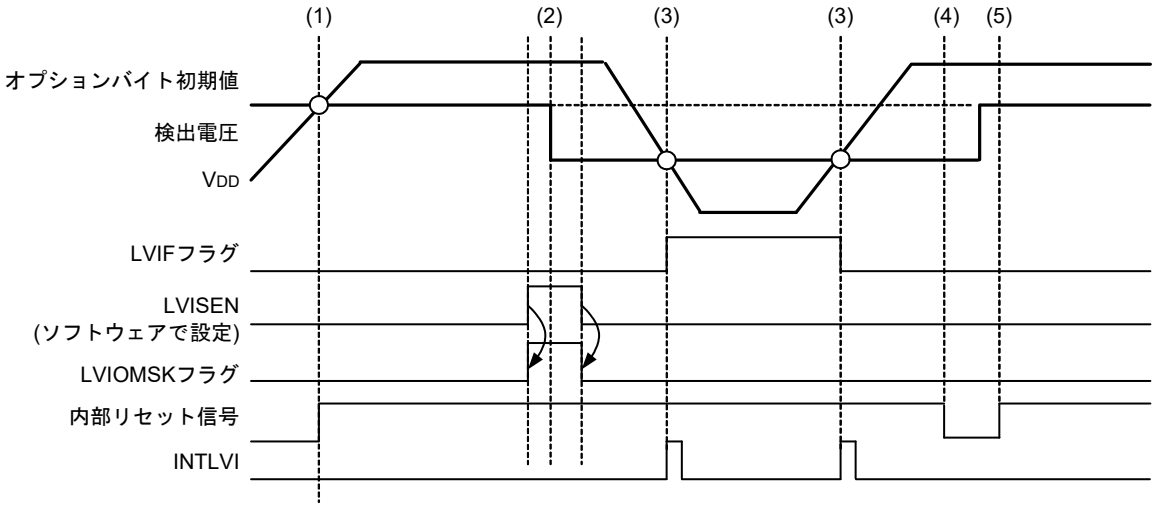
LVD リセット時のLVD 検出電圧の設定を変更する際は，以下に注意してください。

注意　　LVD リセット・モード時のリセット解除電圧は，オプション・バイト設定値となります。

27.5.2 LVD 割り込みモード時のLVD 検出電圧の設定変更

図27 - 10にLVD 割り込みモード時のLVD 検出電圧設定変更タイミング例を示します。

図27 - 10 LVD 割り込みモード時のLVD 検出電圧設定変更タイミング例



■動作

(1) 電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除

(2) LVIS レジスタ変更

(3) LVD検出(立ち下がり，立ち上がり)はLVIS レジスタで設定した検出電圧

(4) 内部リセット発生

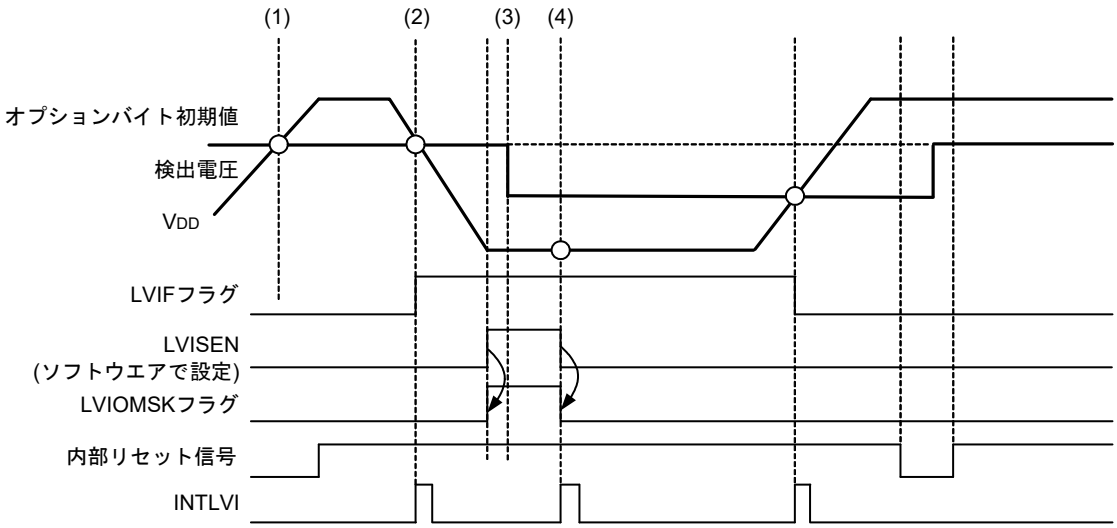
(5) 内部リセット解除時にはオプション・バイト設定値に戻る。

LVD 割り込みモード時にLVD 検出電圧の設定を変更する際は，以下に注意してください。

注意1. 全リセット発生直後，LVD の内部リセットは $V_{DD} \geqq V_{LVD}$ (オプション・バイト設定値)になるまでリセット状態を継続します。$V_{DD} \geqq V_{LVD}$ (オプション・バイト設定値)を検出してLVD の内部リセットは解除されます。それ以降は，$V_{DD} < V_{LVD}$ または$V_{DD} \geqq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

注意2. $V_{DD} < V_{LVD}$ でLVIS レジスタのLVISEL4～LVISEL0 によりLVD 設定電圧を変更した場合，マスク解除時(LVISEN = 0)にLVD 割り込みが発生します(図27 - 11参照)。

図27 - 11 V_{DD}＜V_{LVD} 時，LVIS によるLVD 検出電圧の設定変更タイミング例



■動作

(1)　電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除

(2)　LVD検出(立ち下がり)はオプション・バイトで設定した検出電圧

(3)　LVIS レジスタ変更

(4)　マスク解除同時にV_{DD}＜V_{LVD}であるなら割り込みが発生

27.6　電圧検出回路の注意事項

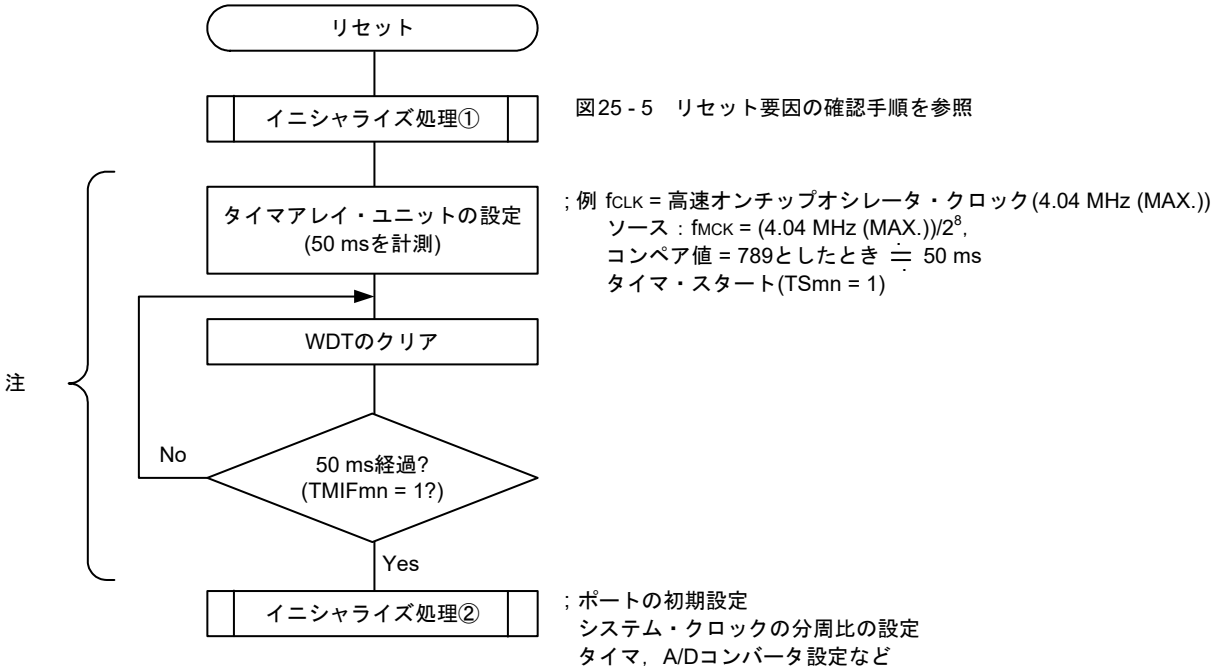
(1)　電源投入時の電圧変動について

電源電圧 (V_{DD}) が LVD 検出電圧付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図27 - 12 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



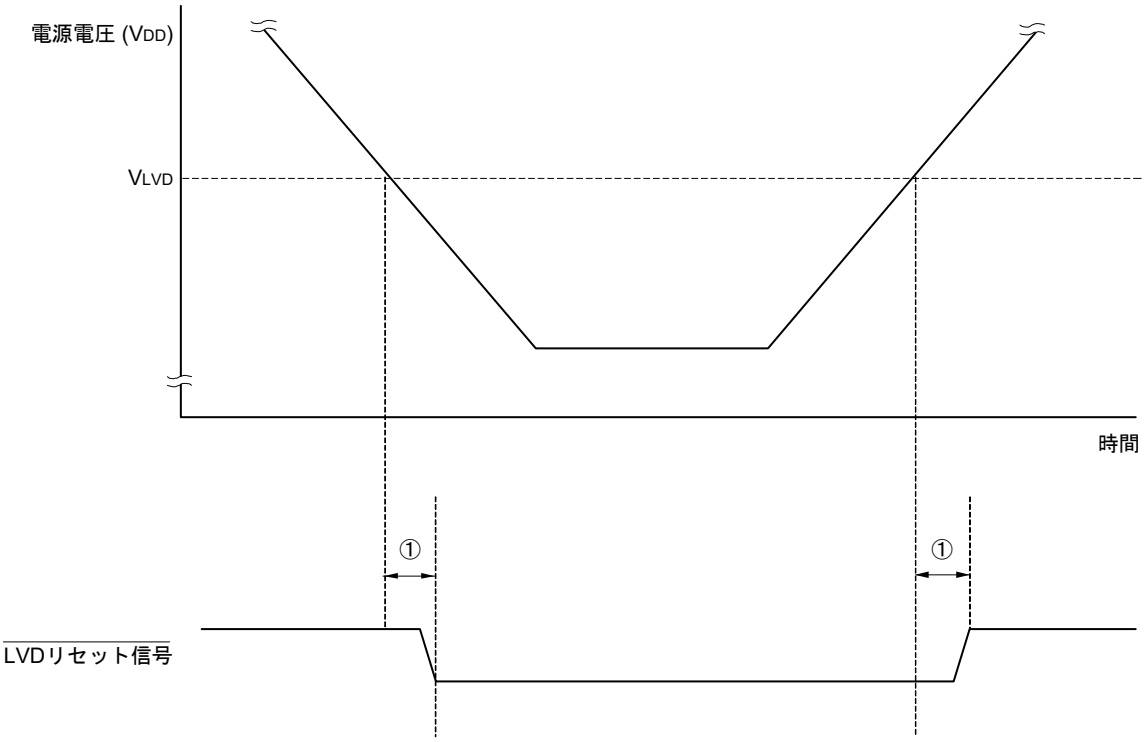
注　　この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

備考　　m = 0　n = 0-3

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧(V_{DD})＜LVD検出電圧(V_{LVD})になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧(V_{LVD})≦電源電圧(V_{DD})になってから，LVDリセットが解除されるまでにも遅延が生じます(図27 - 13参照)。

図27 - 13 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① ：検出遅延(300 μs (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ずRESET端子による外部リセットを使用してください。

外部リセットを行う場合，RESET端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，RESET端子にロウ・レベルを入力してから電源を投入し，35.4, 36.4 AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は，35.4 AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

第28章　安全機能

28.1　安全機能の概要

★ 安全規格IEC60730に対応するため，RL78/G11では以下の安全機能を搭載しています。

この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

(1)　フラッシュ・メモリCRC演算機能(高速CRC，汎用CRC)

CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて，以下の2つのCRCを使い分けていただくことができます。

- 「高速CRC」… 初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用CRC」… CPU動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

(2)　RAMパリティ・エラー検出機能

RAMをデータとして読み出すとき，パリティ・エラーを検出します。

(3)　RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4)　SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5)　不正メモリ・アクセス検出機能

不正メモリ領域(メモリが存在しない，アクセスが制限されている領域)への不正なアクセスを検出します。

(6)　周波数検出機能

タイマ・アレイ・ユニットを使用して，CPU/周辺ハードウエア・クロック周波数の自己チェックができます。

(7)　A/Dテスト機能

A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル(ANI)，温度センサ出力および内部基準電圧出力をA/D変換することにより，A/Dコンバータの自己チェックができます。

(8)　入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に，端子の出力レベルをリードすることができます。

★ 備考　安全規格IEC60730に対応する安全機能の使用例は，RL78 MCUシリーズのIEC60730/60335セルフテスト・ライブラリ アプリケーションノート(R01AN1062，R01AN1296)を参照してください。

28.2　安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
• フラッシュ・メモリCRC制御レジスタ(CRC0CTL) • フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)	フラッシュ・メモリCRC演算機能 (高速CRC)
• CRC入力レジスタ(CRCIN) • CRCデータ・レジスタ(CRCD)	CRC演算機能 (汎用CRC)
• RAMパリティ・エラー制御レジスタ(RPECTL)	RAMパリティ・エラー検出機能
• 不正メモリ・アクセス検出制御レジスタ(IAWCTL)	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
• タイマ入力選択レジスタ0(TIS0)	周波数検出機能
• A/Dテスト・レジスタ(ADTES)	A/Dテスト機能
• ポート・モード選択レジスタ(PMS)	入出力端子のデジタル出力信号レベル検出機能

各レジスタの内容については，28.3　安全機能の動作の中で説明します。

28.3　安全機能の動作

28.3.1　フラッシュ・メモリCRC演算機能(高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。この高速CRCでは，初期設定(イニシャライズ)ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは，CPUを停止させて，フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です(フラッシュ・メモリ16 KB: 170 μs@24 MHz)。

CRC生成多項式はCRC-16-CCITTの「$X^{16} + X^{12} + X^5 + 1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意　オンチップ・デバッグでは，モニタ・プログラムを配置するため，CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため，演算結果は異なります。

28.3.1.1　フラッシュ・メモリCRC制御レジスタ(CRC0CTL)

高速CRC演算器の動作制御を行うレジスタです。

CRC0CTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 1 フラッシュ・メモリCRC制御レジスタ(CRC0CTL)のフォーマット

アドレス：F02F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	0	0	0	0	0	0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

高速CRCの演算範囲は00000H-03FFBH (16K－4バイト)です。

備考　フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

28.3.1.2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図28 - 2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)のフォーマット

アドレス：F02F2H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8

7	6	5	4	3	2	1	0
PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

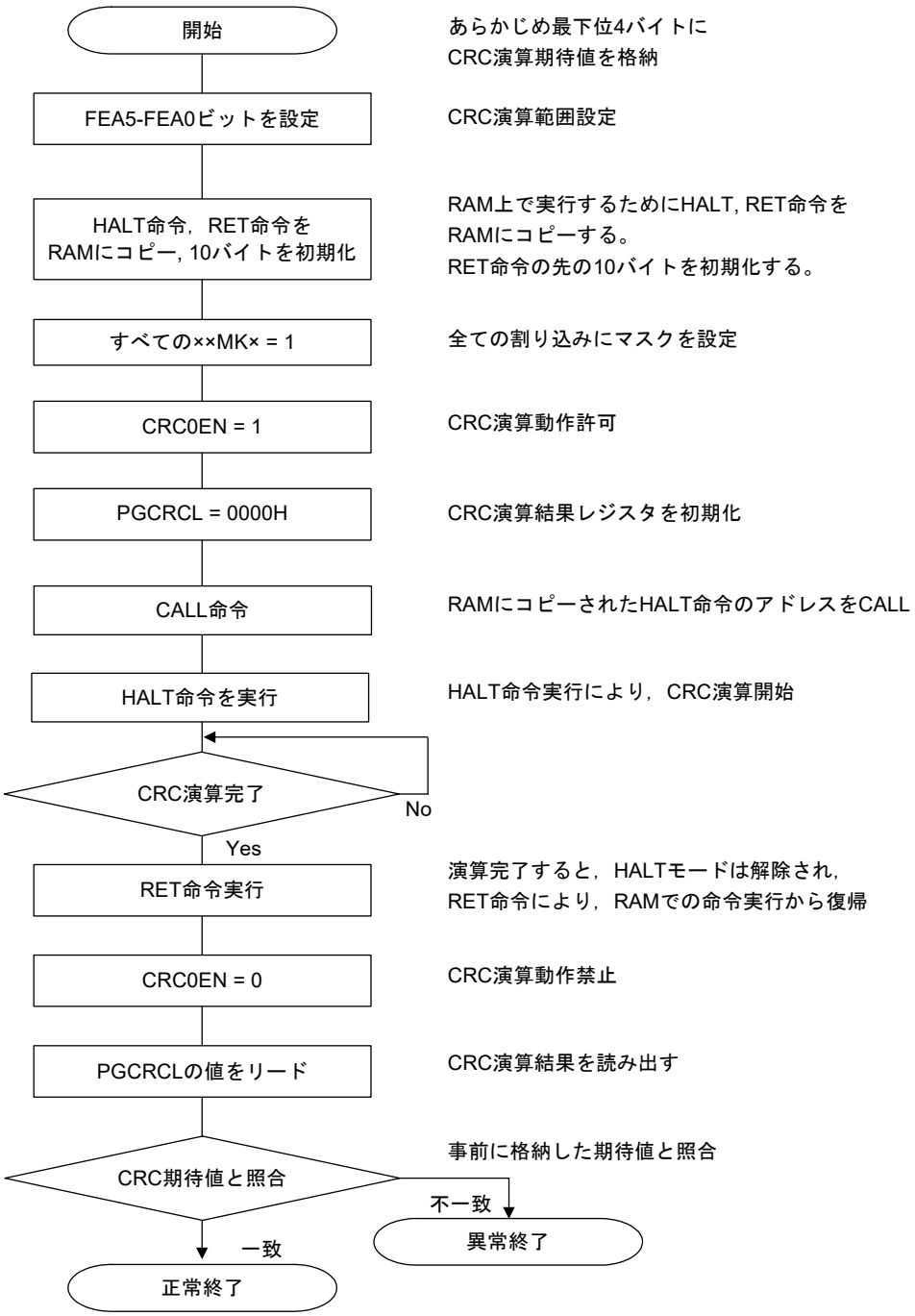
PGCRC15-0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　PGCRCLレジスタは，CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図28 - 3に示します。

＜動作フロー＞

図28 - 3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は，コード・フラッシュのみです。

注意2. CRC演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて，HALT命令を実行することで，CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

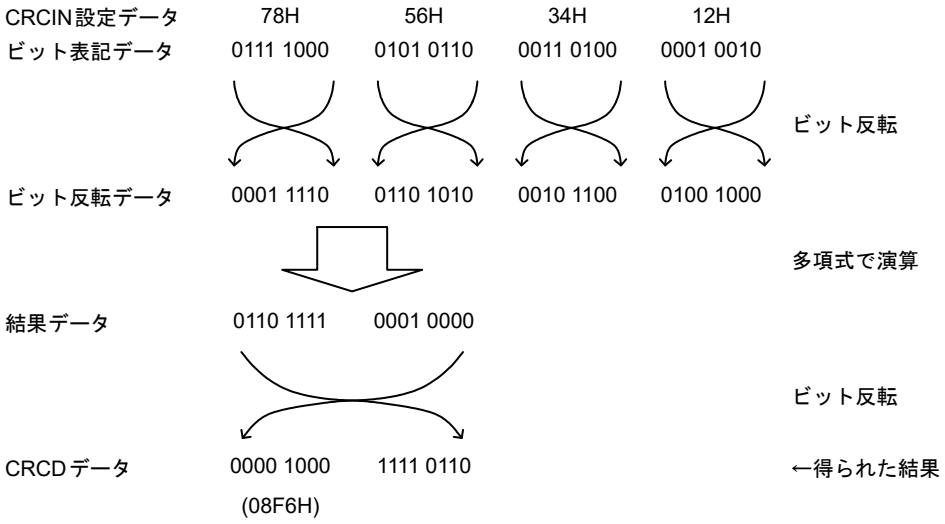
CRC 演算の期待値は，総合開発環境 CubeSuite+ を使用して算出することができます。詳細は，CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

28.3.2 CRC演算機能(汎用CRC)

★ この汎用CRCでは，CPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は，DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16} + X^{12} + X^5 + 1$」を使用します。入力するデータはLSBファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ12345678HをLSBから送信する場合には78H，56H，34H，12Hの順でCRCINレジスタに値を書き込むことで，CRCDレジスタから08F6Hの値が得られます。これは，データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中，デバッガはソフトウエア・ブレーク設定行をブレーク命令へ書き変えるため，CRC演算の対象領域にソフトウエア・ブレークを設定すると，CRC演算結果が異なります。

28.3.2.1 CRC入力レジスタ (CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 4 CRC入力レジスタ (CRCIN)のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

ビット7-0	機能
00H-FFH	データ入力

28.3.2.2 CRCデータ・レジスタ(CRCD)

汎用CRC演算結果を格納するレジスタです。

設定可能範囲は，0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック(fCLK)の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図28 - 5 CRCデータ・レジスタ(CRCD)のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

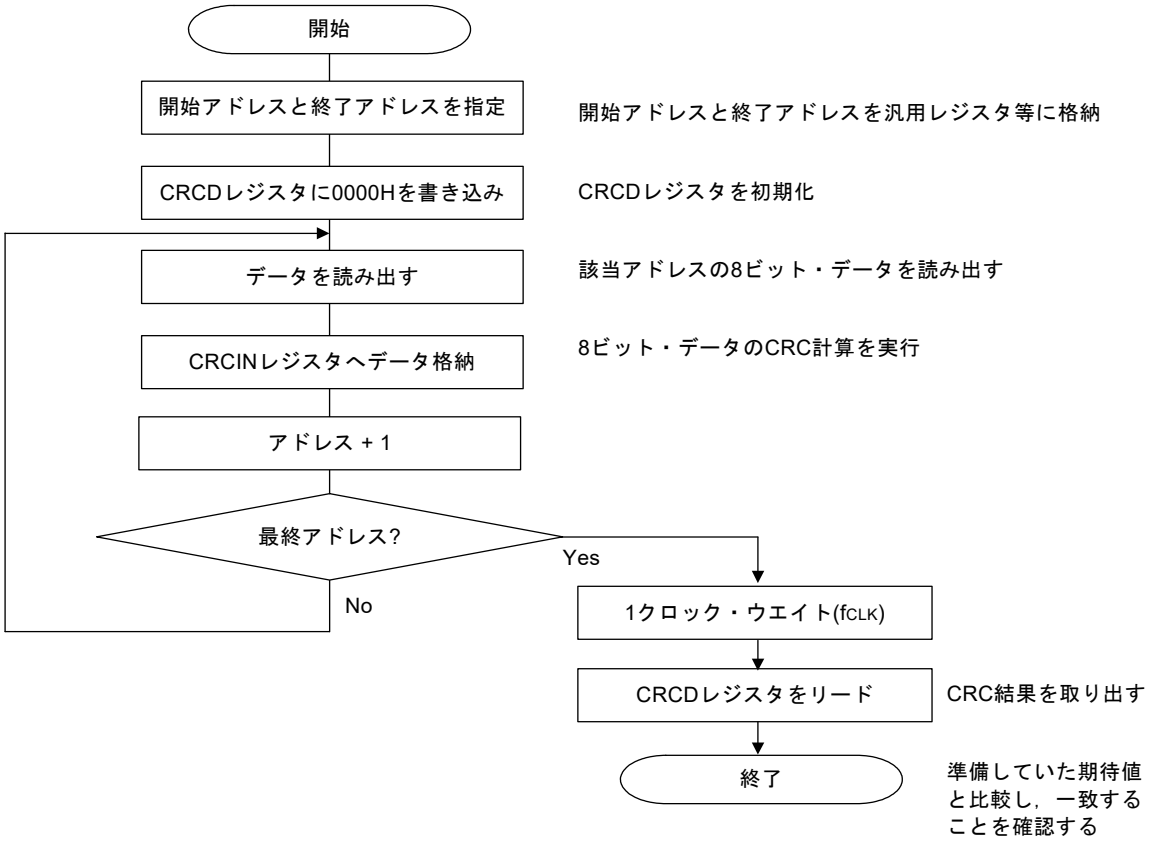
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1. CRCD レジスタに書き込まれた値を読み出す場合は，CRCIN レジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。

＜動作フロー＞

図28 - 6 CRCIN演算機能(汎用CRC)のフロー・チャート



28.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため，RL78/G11のRAMには，8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では，データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。また，パリティ・エラー発生時にリセットを発生することもできます。

28.3.3.1 RAMパリティ・エラー制御レジスタ(RPECTL)

パリティ・エラーの発生確認ビットと，パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 7 RAMパリティ・エラー制御レジスタ(RPECTL)のフォーマット

アドレス：F00F5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意　データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。
そのため，RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合，データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。
また，RL78はパイプライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。したがって，RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合，RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

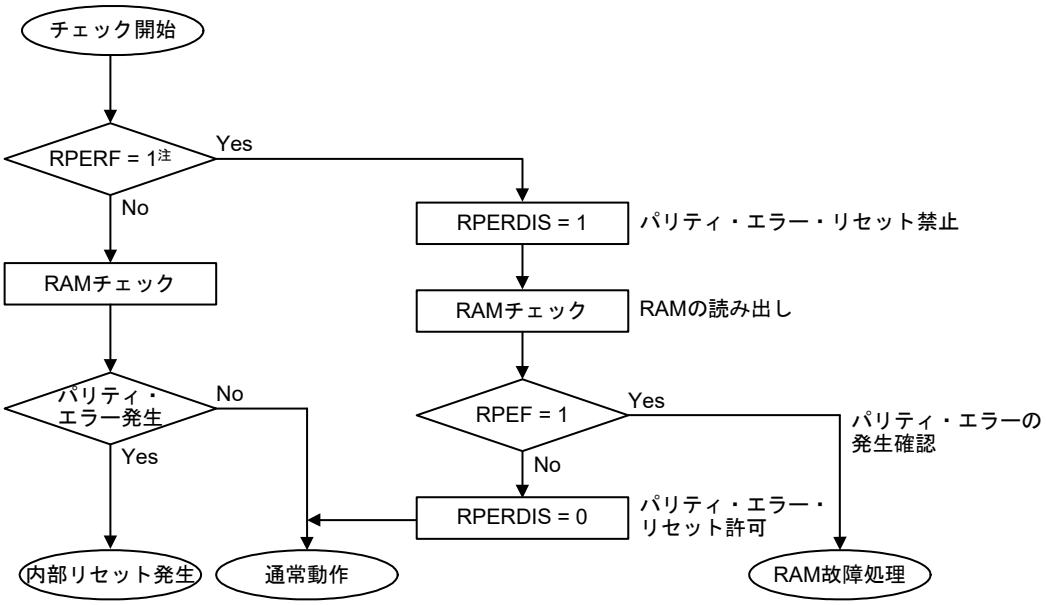
備考1. 初期状態では，パリティ・エラー・リセット発生許可(RPERDIS = 0)になっています。

備考2. パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に，パリティ・エラーが発生した場合も，RPEFフラグはセット(1)されます。なお，RPEF = 1の状態で，パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると，RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。

備考3. RPECTLレジスタのRPEFフラグは，RAMのパリティ・エラーによりセット(1)され，0の書き込みまたはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

備考4. 汎用レジスタは，RAMパリティ・エラー検出の範囲に含みません。

図28 - 8 RAMパリティ・チェック・フロー



注 RAMパリティ・エラーによる内部リセットの確認は，第25章 リセット機能を参照してください。

28.3.4 RAMガード機能

★ このRAMガード機能は，指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると，指定した空間へのRAM書き込みは無効になり，読み出しは通常通りに可能となります。

28.3.4.1　不正メモリ・アクセス検出制御レジスタ(IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 9 不正メモリ・アクセス検出制御レジスタ(IAWCTL)のフォーマット

アドレス：F0078H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間
0	0	無効。RAMへのライト可能
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

28.3.5 SFRガード機能

★ SFRガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると，ガードされたSFRへの書き込みは無効になり，読み出しは通常通りに可能となります。

28.3.5.1 不正メモリ・アクセス検出制御レジスタ(IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 10 不正メモリ・アクセス検出制御レジスタ(IAWCTL)のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PMxx, PUxx, PIMxx, POMxx, PMCxx, PIORx 注

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］IFxx, MKxx, PRxx, EGPx, EGNx, INTPEG

GCSC	クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］ CMC, CSC, OSTS, CKC, CKSEL, PERx, PRRx, OSMC, LVIM, LVIS, RPECTL, PMMC, MOCODIV

注 Pxx (ポート・レジスタ)はガードされません。

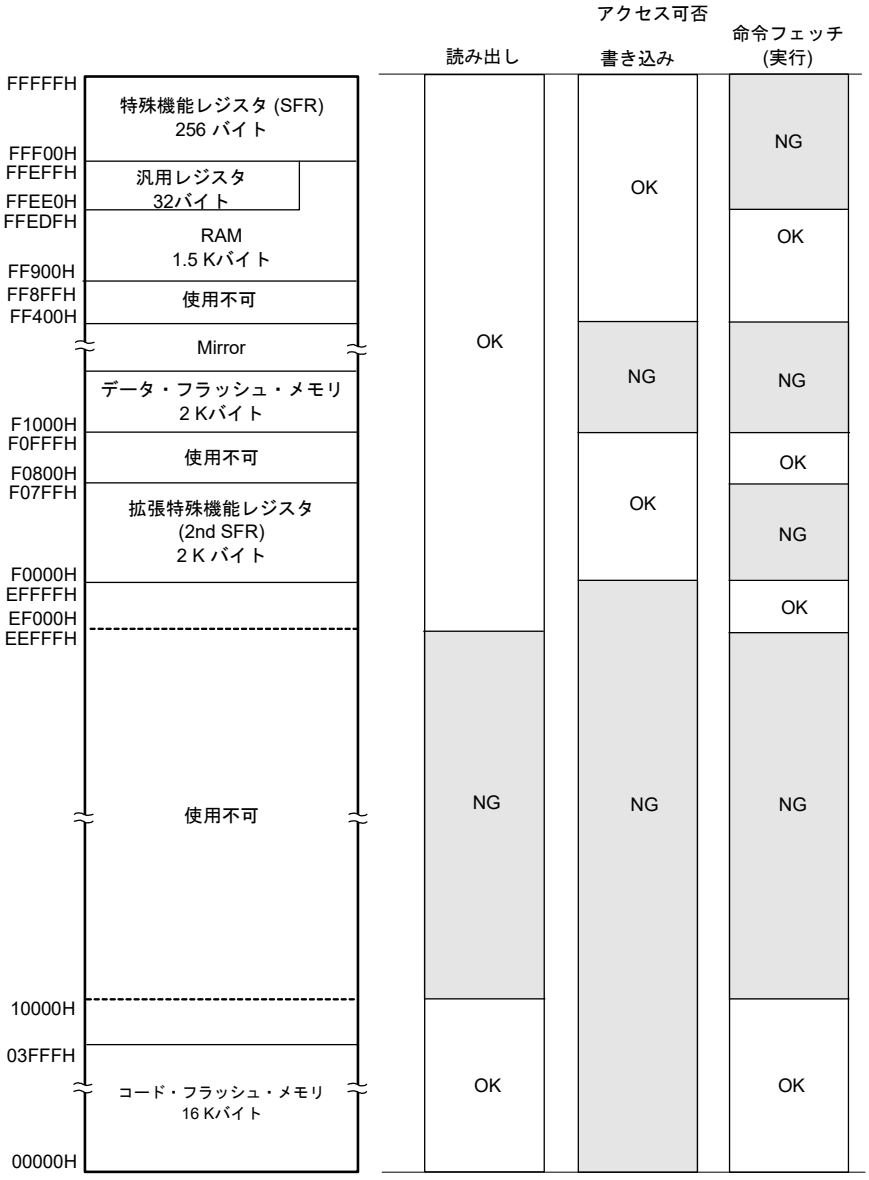
28.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，図28 - 11で「NG」と記載した範囲になります。

図28 - 11 不正アクセス検出空間


アクセス可否
読み出し
書き込み
命令フェッチ
(実行)
FFFFFH
特殊機能レジスタ (SFR)
256 バイト
FFF00H
FFEFFH
汎用レジスタ
32バイト
FFEE0H
FFEDFH
RAM
1.5 Kバイト
FF900H
FF8FFH
使用不可
FF400H
Mirror
データ・フラッシュ・メモリ
2 Kバイト
F1000H
F0FFFH
使用不可
F0800H
F07FFH
拡張特殊機能レジスタ
(2nd SFR)
2 K バイト
F0000H
EFFFFH
EF000H
EEFFFH
使用不可
10000H
03FFFH
コード・フラッシュ・メモリ
16 Kバイト
00000H
OK
NG
OK
NG
OK
NG

28.3.6.1　不正メモリ・アクセス検出制御レジスタ(IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 12 不正メモリ・アクセス検出制御レジスタ(IAWCTL)のフォーマット

アドレス：F0078H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効。
1	不正メモリ・アクセスの検出有効。

注　IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考　オプション・バイトWDTON = 1（ウォッチドッグ・タイマ動作許可）のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

28.3.7　周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は，CPU/周辺ハードウエア・クロック周波数 (f_{CLK}) を使用し，タイマ・アレイ・ユニット0 (TAU0)のチャネル1の入力パルスを測定することで，2つのクロックの比率関係が正しいか判定することができます。

ただし，片一方のクロック，もしくは両方のクロックが完全に停止している場合は，クロックの比率関係を判定することができません。

＜比較するクロック＞

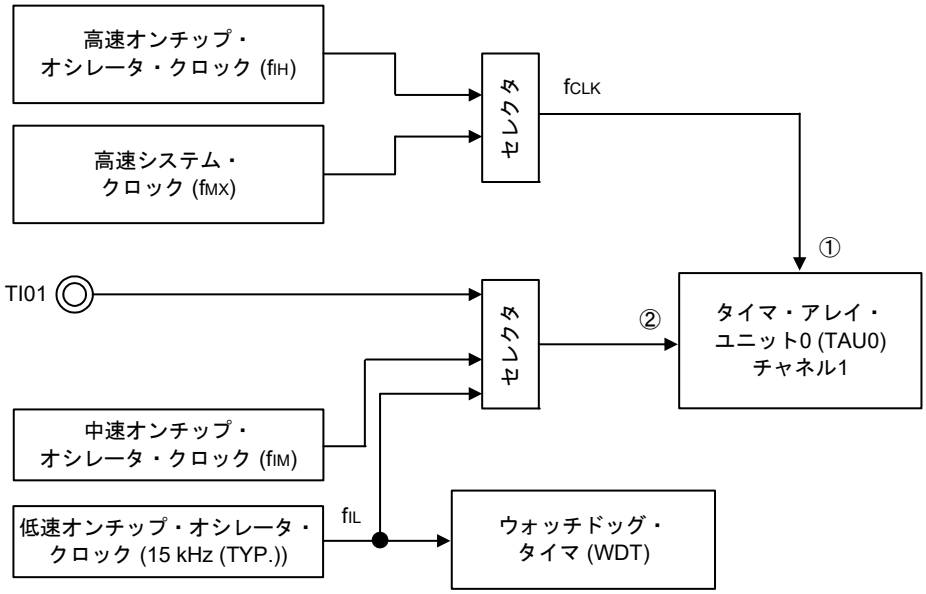
① CPU/周辺ハードウエア・クロック周波数 (f_{CLK})：

- 高速オンチップ・オシレータ・クロック (f_{IH})
- 高速システム・クロック (f_{MX})

② タイマ・アレイ・ユニット0のチャネル1入力：

- チャネル1のタイマ入力(TI01)
- 低速オンチップ・オシレータ・クロック (f_{IL}：15 kHz (TYP.))
- 中速オンチップ・オシレータ・クロック (f_{IM})

図28 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については，7.8.4　入力パルス間隔測定としての動作を参照してください。

28.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは，タイマ・アレイ・ユニット0 (TAU0)のチャネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	TIS06	TIS05	TIS04	0	TIS02	TIS01	TIS00

TIS04	チャネル0で使用するタイマ入力の選択
0	タイマ入力端子(TI00)の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子(TI01)の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子(TI01)の入力信号
0	1	1	中速オンチップ・オシレータ・クロック(f_{IM})
1	0	0	低速オンチップ・オシレータ・クロック(f_{IL})
上記以外			設定禁止

TIS06	TIS05	チャネル3 で使用するタイマ入力の選択
0	0	タイマ入力端子（TI03）の入力信号
0	1	CMP1 の出力VCOUT1 信号[注1]
1	0	CMP0 の出力VCOUT0 信号[注2]
1	1	設定禁止

注1. VCOUT1 をTI03 の入力信号として選択時，VCOUT1 信号を外部端子に出力できません。

注2. VCOUT0 をTI03 の入力信号として選択時，VCOUT0 信号を外部端子に出力できません。

28.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル(ANI)，温度センサ出力電圧および内部基準電圧のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。確認方法の詳細は，安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

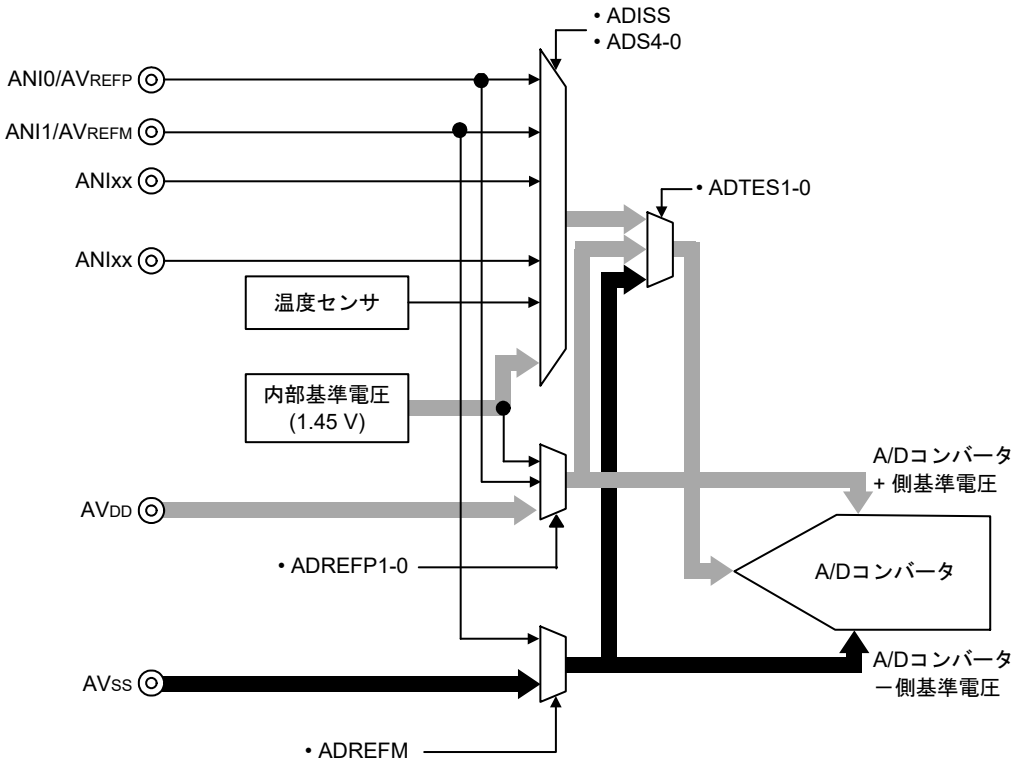
また，アナログ・マルチプレクサは，以下の手順で確認できます。

① ADTESレジスタでA/D変換対象にANIx端子を選択(ADTES1, ADTES0 = 0, 0)
② ANIx端子のA/D変換を行う(変換結果1-1)。
③ ADTESレジスタでA/D変換対象にA/Dコンバータの－側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
④ A/Dコンバータの－側基準電圧のA/D変換を行う(変換結果2-1)
⑤ ADTESレジスタでA/D変換対象にANIx端子を選択(ADTES1, ADTES0 = 0, 0)
⑥ ANIx端子のA/D変換を行う(変換結果1-2)
⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの＋側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
⑧ A/Dコンバータの＋側基準電圧のA/D変換を行う(変換結果2-2)
⑨ ADTESレジスタでA/D変換対象にANIx端子を選択(ADTES1, ADTES0 = 0, 0)
⑩ ANIx端子のA/D変換を行う(変換結果1-3)
⑪「変換結果1-1」=「変換結果1-2」=「変換結果1-3」であることを確認する。
⑫「変換結果2-1」のA/D変換結果がオール0，「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で，アナログ・マルチプレクサが選択されていることと，配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は，別の手段でアナログ・マルチプレクサの確認をしてください。
備考2. 変換結果は誤差を含むので，変換結果を比較するときは，適切な誤差を考慮してください。

図28 - 15 A/Dテスト機能の構成



28.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの + 側の基準電圧，－側の基準電圧，アナログ入力チャネル(ANIxx)，温度センサ出力電圧，内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に + 側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx/温度センサ出力／内部基準電圧出力(1.45 V) (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	－側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+ 側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

28.3.8.2　アナログ入力チャネル指定レジスタ(ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANIxx／温度センサ出力／内部基準電圧(1.45 V)を測定するときは，A/Dテスト・レジスタ(ADTES)を00Hに設定してください。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 17 アナログ入力チャネル指定レジスタ(ADS)のフォーマット

アドレス：FFF31H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

〇セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P01/ANI16端子
0	1	0	0	0	1	ANI17	P00/ANI17端子
0	1	0	0	1	0	ANI18	P33/ANI18端子
0	1	0	0	1	1	ANI19注	P32/ANI19注
0	1	0	1	0	0	ANI20	P31/ANI20
0	1	0	1	0	1	ANI21	P30/ANI21
0	1	0	1	1	0	ANI22	P56/ANI22
0	1	0	1	1	1	—	PGAOUT
1	0	0	0	0	0	—	温度センサ出力
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V)
上記以外						設定禁止	

注　　25, 24ピン製品のみ

注意1. ビット5, 6には必ず0を設定してください。

注意2. PMCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 2, 3, 5 (PM0, PM2, PMC3, PMC5)で入力モードに選択してください。

注意3. ポート・モード・コントロール・レジスタ0, 2, 3, 5 (PMC0, PMC2, PMC3, PMC5)でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は，必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. AVREFPをA/Dコンバータの + 側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

注意6. AVREFMをA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

注意7. ADISS = 1を設定した場合，+ 側の基準電圧に内部基準電圧出力(1.45 V)は使用できません。また，ADISS = 1に設定後，1回目の変換結果は使用できません。詳細設定フローは，16.7.4　温度センサ出力電圧／内部基準電圧を選択時の設定 (例　ソフトウエア・トリガ・モード，ワンショット変換モード時)を参照してください。

注意8. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1 設定時は，35.3.2, 36.3.2　電源電流特性に示す A/D コンバータ基準電圧電流 (I_{ADREF})の電流値が加算されます。

28.3.9 入出力端子のデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では，端子が出力モード時に，端子のデジタル出力レベルをリードすることができます。

28.3.9.1 ポート・モード選択レジスタ(PMS)

端子が出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に，ポートの出力ラッチの値をリードするか，端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28 - 18 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス：F007BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

注意　PMSレジスタのPMS0ビットを“1”に設定時は，ビット操作命令でポート・レジスタ(Pxx)を書き換えないでください。ポート・レジスタ(Pxx)を書き換える場合は，8ビット・データ操作命令を使用してください。

備考　m = 0, 2-5,12, 13

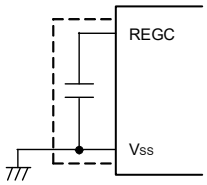
n = 0-7

入力ポート（P121, P122, P125, P137）に対して，PMS0 = 1の設定は無効です。

第29章　レギュレータ

29.1　レギュレータの概要

RL78/G11は，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC端子にはレギュレータ安定として，コンデンサ(0.47～1 μF)を介し，Vssに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は，表29 - 1のようになります。

表29 - 1 レギュレータ出力電圧条件

モード	出力電圧	条件
LV (低電圧メイン)モード	1.8 V	—
LP (低電力メイン)モード		
LS (低速メイン)モード		
HS (高速メイン)モード	1.8 V	STOPモード時
		サブシステム・クロック(fSUB)でCPU動作中で，高速システム・クロック(fMX)と高速オンチップ・オシレータ・クロック(fIH)が共に停止
		サブシステム・クロック(fSUB)でCPU動作設定時のHALTモード中で，高速システム・クロック(fMX)と高速オンチップ・オシレータ・クロック(fIH)が共に停止
	2.1 V	上記以外(オンチップ・デバッグ中を含む)注

注　オンチップ・デバッグ中に，サブシステム・クロック動作やSTOPモードに移行する場合は，レギュレータ出力電圧は2.1 Vを継続します(1.8 Vにはなりません)。

29.2 レギュレータを制御するレジスタ

レギュレータは, 次のレジスタで制御します。

・レギュレータ・モード制御レジスタ (PMMC)

29.2.1 レギュレータ・モード制御レジスタ (PMMC)

PMMCレジスタは，内蔵されているレギュレータのモードを制御する8ビットのレジスタです。

PMMCレジスタは1ビット・メモリ操作命令または，8ビット・メモリ操作命令で設定します。

リセット発生により，PMMCレジスタは00Hになります。

図29 - 1 レギュレータ・モード制御レジスタ (PMMC)のフォーマット

アドレス：F00F8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0

MCSEL	レギュレータ・モードの制御
0	通常設定
1	低消費設定

注意1. MCSELが1の時フラッシュ動作モード選択レジスタ(FLMODE)を変更しないでください。

注意2. HS (高速メイン)モード，LV (低電圧メイン)モードではMCSELを1に設定しないでください。

注意3. LS (低速メイン)モードではMCSELが1の時にSTOPモード状態に遷移することは禁止です。

第30章　オプション・バイト

30.1　オプション・バイトの機能

RL78/G11のフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお，機能が配置されていないビットは，初期値から変更しないでください。

また，セルフ・プログラミング時にブート・スワップ動作を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わるので，010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意　オプション・バイトは，各機能の使用の有無にかかわらず必ず設定してください。

30.1.1　ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1)　000C0H/010C0H

〇ウォッチドッグ・タイマの動作
- カウンタの動作許可／禁止
- HALT/STOPモード時のカウンタの動作可能／停止

〇 ウォッチドッグ・タイマのオーバフロー時間の設定

〇 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

〇 ウォッチドッグ・タイマのインターバル割り込みの設定
- インターバル割り込みを使用する／使用しない

注意　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

(2)　000C1H/010C1H

〇 LVDの動作モード設定
- 割り込み＆リセット・モード
- リセット・モード
- 割り込みモード
- LVDオフ(RESET端子による外部リセット入力を使用)

〇 LVD検出レベル(V_{LVDH}, V_{LVDL}, V_{LVD})の設定

〇 P125/RESET端子の制御
- P125/INTP9かRESETかを選択

注意1.　電源立ち上がり時は，35.4, 36.4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに

移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

注意2.　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください

(3)　000C2H/010C2H

○ フラッシュの動作モード設定
- LV (低電圧メイン)モード
- LS (低速メイン)モード
- HS (高速メイン)モード

○ 高速オンチップ・オシレータの周波数設定
- 1 MHz～24 MHz, 48 MHzから選択

注意　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

30.1.2　オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)

○ オンチップ・デバッグ動作制御
- オンチップ・デバッグ動作禁止／許可

○ セキュリティ ID認証失敗時のフラッシュ・メモリ・データの処理
- オンチップ・デバッグ・セキュリティ ID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

30.2　ユーザ・オプション・バイトのフォーマット

図30 - 1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス：000C0H/010C0H[注1]

略号	7	6	5	4	3	2	1	0
	WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 fIL 到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間[注2]
0	0	設定禁止
0	1	50%
1	0	75%[注3]
1	1	100%

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止(リセット解除後，カウント停止)
1	カウンタ動作許可(リセット解除後，カウント開始)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.)の場合)
0	0	0	2^6/fIL (3.71 ms)
0	0	1	2^7/fIL (7.42 ms)
0	1	0	2^8/fIL (14.84 ms)
0	1	1	2^9/fIL (29.68 ms)
1	0	0	2^{11}/fIL (118.72 ms)
1	0	1	2^{13}/fIL (474.90 ms)
1	1	0	2^{14}/fIL (949.80 ms)
1	1	1	2^{16}/fIL (3799.19 ms)

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)
0	HALT/STOPモード時，カウンタ動作停止[注2]
1	HALT/STOPモード時，カウンタ動作許可

注1.　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

注2.　WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

注3.　ウインドウ・オープン期間を 75% に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTE へのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f_{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

図30 - 2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/4)

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込み＆リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

注 ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は，第27章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は，35.6.7, 36.6.7 LVD回路特性を参照してください。

図30 - 2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/4)

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は，第27章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は，35.6.7, 36.6.7 LVD回路特性を参照してください。

図30 - 2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(3/4)

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は，第27章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は，35.6.7, 36.6.7 LVD回路特性を参照してください。

図30 - 2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(4/4)

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDオフの設定(RESET端子による外部リセット入力を使用)

検出電圧		オプション・バイト設定値						
VLVDH		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

• P125/RESET/INTP9端子の設定

PORTSELB	P125/RESET/端子の制御
0	ポート機能(P125/INTP9)
1	RESET入力(内部プルアップ抵抗が常時有効)

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意1. 電源投入後，P125はRESET端子として機能します。パワーオン・リセット（POR）が内部リセット信号を解除しても，この端子にロウ・レベルが入力されている期間はリセット状態を継続します。P125/INTP9を使用する場合は，オプション・バイト（000C1H/010C1H）でポート機能（PORTSELB = 0）を選択し，すべてのリセット要因を解除してください。

注意2. 電源立ち上がり時は，35.4, 36.4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. ×：Don’t care

備考2. LVD回路の詳細は，第27章　電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は，35.6.7, 36.6.7　LVD回路特性を参照してください。

図30 - 3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス：000C2H/010C2H[注]

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
0	0	LV (低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS (低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS (高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V
上記以外		設定禁止		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数	
					f_{HOCO}	f_{IH}
1	0	0	0	0	48 MHz	24 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

注 ブート・スワップ時は，000C2H と 010C2H が切り替わるので，010C2H にも 000C2H と同じ値を設定してください。

注意1. ビット5には，必ず1を書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は，フラッシュの各動作モードによって異なります。詳細は，35.4, 36.4 AC特性を参照してください。

30.3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図30 - 4 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス：000C3H/010C3H注

略号	7	6	5	4	3	2	1	0
	OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID認証失敗時にフラッシュ・メモリのデータを消去しない

注　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

注意　ビット7, 0 (OCDENSET, OCDERSD)のみ，値を指定できます。
ビット6-1には，必ず000010Bを書き込んでください。

備考　ビット3-1は，オンチップ・デバッグ機能使用時に値が書き変わるので，設定後は不定となります。ただし，設定時にはビット3-1にも，必ず初期値(0, 1, 0)を設定してください。

30.4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にリンク・オプションでも設定することができます。その場合，下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT         CSEG      OPT_BYTE
            DB        36H       ; ウォッチドッグ・タイマのインターバル割り込みを使用しない
                                ; ウォッチドッグ・タイマ動作許可
                                ; ウォッチドッグ・タイマのウインドウ・オープン期間50%
                                ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL
                                ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
            DB        1AH       ; VLVDLに1.63 Vを選択
                                ; VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択
                                ; RESET入力を使用
                                ; LVDの動作モードに割り込み＆リセット・モードを選択
            DB        2DH       ; フラッシュの動作モードにLV (低電圧メイン)モード
                                ; 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
                                ; タイマKB動作クロックにfCLKを選択
            DB        85H       ; オンチップ・デバッグ動作許可，セキュリティ ID認証失敗時に
                                ; フラッシュ・メモリのデータを消去しない
```

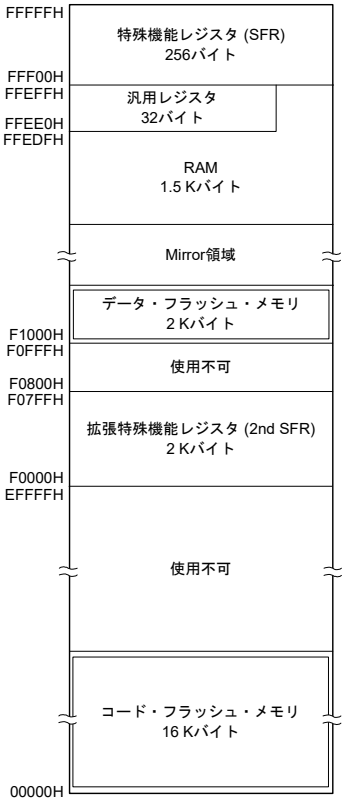
セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C3H は 010C0H-010C3H と切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を，次のように記述してください。

```
OPT2        CSEG      AT        010C0H
            DB        36H       ; ウォッチドッグ・タイマのインターバル割り込みを使用しない
                                ; ウォッチドッグ・タイマ動作許可
                                ; ウォッチドッグ・タイマのウインドウ・オープン期間50%
                                ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL
                                ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
            DB        1AH       ; VLVDLに1.63 Vを選択
                                ; VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択
                                ; RESET入力を使用
                                ; LVDの動作モードに割り込み＆リセット・モードを選択
            DB        2DH       ; フラッシュの動作モードにLV (低電圧メイン)モード
                                ; 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
                                ; タイマKB動作クロックにfCLKを選択
            DB        85H       ; オンチップ・デバッグ動作許可，セキュリティ ID認証失敗時に
                                ; フラッシュ・メモリのデータを消去しない
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお，ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は，再配置属性ATを使用して絶対番地を指定してください。

第31章　フラッシュ・メモリ

RL78マイクロコントローラは，基板に実装した状態でプログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス (UART 通信) によるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング(31.1 参照)

  専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- 外部デバイス(UART内蔵)によるシリアル・プログラミング(31.2 参照)

  外部デバイス(マイコンやASIC)とのUART通信を使用してオンボード上で書き込みができます。

- セルフ・プログラミング(31.6 参照)

  フラッシュ・セルフ・プログラミング・ライブラリを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。

注意　フラッシュ･メモリを書き換える際，中速オンチップ･オシレータは停止(MIOEN = 0)させ，メイン･オンチップ・オシレータ・クロック (fOCO) は高速オンチップ・オシレータを選択 (MCM1 = 0) してください。フラッシュ動作モード・レジスタ (FLMODE レジスタ) は変更しないでください。また，レギュレータ・モード制御レジスタ (PMMC)のMCSELビットは0でフラッシュ・メモリを書き換えてください。

データ・フラッシュ・メモリは，データ・フラッシュ・ライブラリを利用して，ユーザ・プログラム実行中に書き換えることができます(バックグランド・オペレーション)。データ・フラッシュへのアクセスや書き込みについては，31.8　データ・フラッシュ を参照してください。

31.1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6, FL-PR6
- E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1)　オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2)　オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ(FAシリーズ)などでフラッシュ・メモリに書き込みます。

備考　FL-PR6, FAシリーズは，(株)内藤電誠町田製作所の製品です。

表31 - 1 RL78/G11と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
					10ピン	16ピン	20ピン	24ピン	25ピン
信号名		入出力	端子機能		LSSOP	SSOP	LSSOP	HWQFN (4 × 4)	WFLGA (3 × 3)
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ								
—	TOOL0	入出力	送受信信号	TOOL0/P40	7	1	3	23	A5
SI/RxD	—	入出力	送受信信号						
—	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$/$\overline{\text{P125}}$	1	2	4	24	B5
/RESET	—	出力							
V_{DD}		入出力	V_{DD}電圧生成／電源監視	V_{DD}	5	8	10	6	B3
GND		—	グランド	V_{SS}	4	7	9	5	B2
				REGC注	3	6	8	4	A2
FLMD1	EMV_{DD}	—	TOOL0端子駆動電源	V_{DD}	5	8	10	6	B3

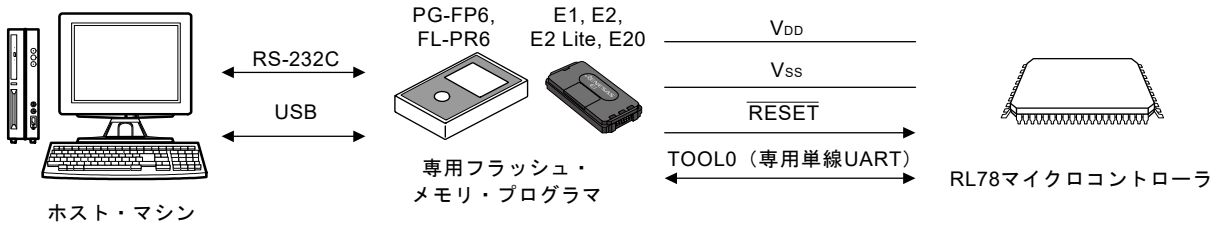
注 REGC端子はコンデンサ(0.47～1 μF)を介してグランドに接続してください。

備考 この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

31.1.1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31 - 1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

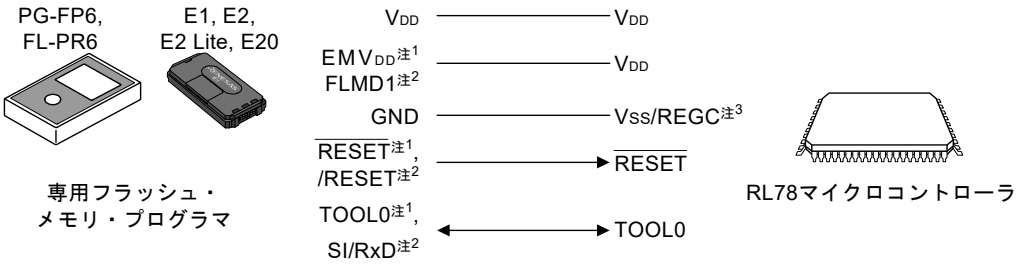
また，専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。

31.1.2　通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図31 - 2 専用フラッシュ・メモリ・プログラマとの通信



注1.　E1, E2, E2 Lite, E20オンチップデバッギングエミュレータ使用時。

注2.　PG-FP6, FL-PR6使用時。

注3.　REGC端子はコンデンサ(0.47～1 μF)を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6, FL-PR6 またはE1, E2, E2 Lite, E20 オンチップデバッギングエミュレータのマニュアルを参照してください。

表31 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78マイクロコントローラ
信号名		入出力	端子機能	端子名注1
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20 オンチップデバッギング エミュレータ			
VDD		入出力	VDD電圧生成／電圧監視	VDD
GND		—	グランド	VSS, REGC注2
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD, EVDD
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	$\overline{\text{RESET}}$	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1.　接続先端子は，製品によって異なります。詳細は，表31 - 1を参照してください。

注2.　REGC端子はコンデンサ(0.47～1 μF)を介してグランドに接続してください。

31.2　外部デバイス(UART内蔵)によるシリアル・プログラミング

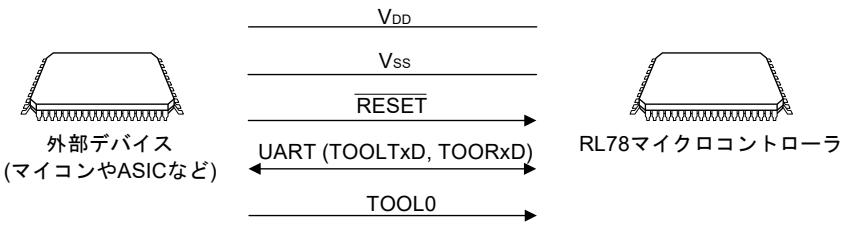
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

ユーザでのフラッシュ・メモリ・プログラマの開発については，RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

31.2.1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31 - 3 フラッシュ・メモリにプログラムを書き込むための環境



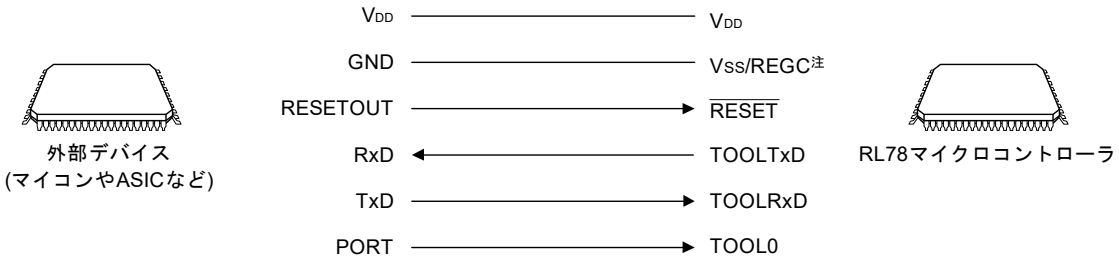
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

31.2.2　通信方式

外部デバイスとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOLTxD，TOOLRxD端子を使用して，専用のUARTによるシリアル通信で行います。

転送レート：1 M，500 k，250 k，115.2 kbps

図31 - 4 外部デバイスとの通信



注　REGC端子はコンデンサ(0.47～1 μF)を介してグランドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表31 - 3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD
GND	—	グランド	Vss, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注　REGC端子はコンデンサ(0.47～1 μF)を介してグランドに接続してください。

31.3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，31.4.2　フラッシュ・メモリ・プログラミング・モードを参照してください。

31.3.1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：　外部リセット解除時からtHDの期間はロウ・レベルを入力しないでください。ただし，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：　プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

備考1. tHD：フラッシュ・メモリ・プログラミング・モードに引き込むときに，外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。35.10, 36.10　フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

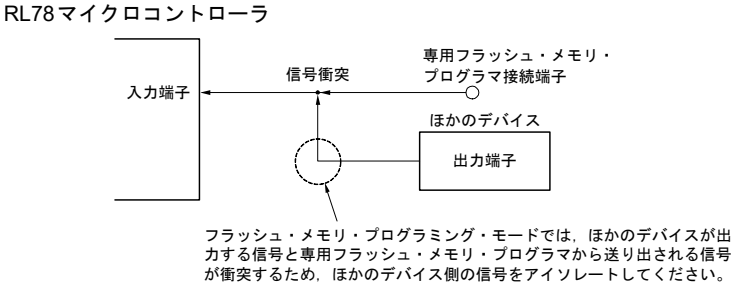
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には，単線UART (TOOL0端子)を使用するので，SAUやIICAの端子は使用しません。

31.3.2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図31 - 5 信号の衝突($\overline{\text{RESET}}$端子)



31.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

31.3.4 REGC端子

REGC端子は，通常動作時と同様に，特性の良いコンデンサ(0.47～1 μF)を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

31.3.5 X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック(f_{IH})を使用します。

31.3.6 電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

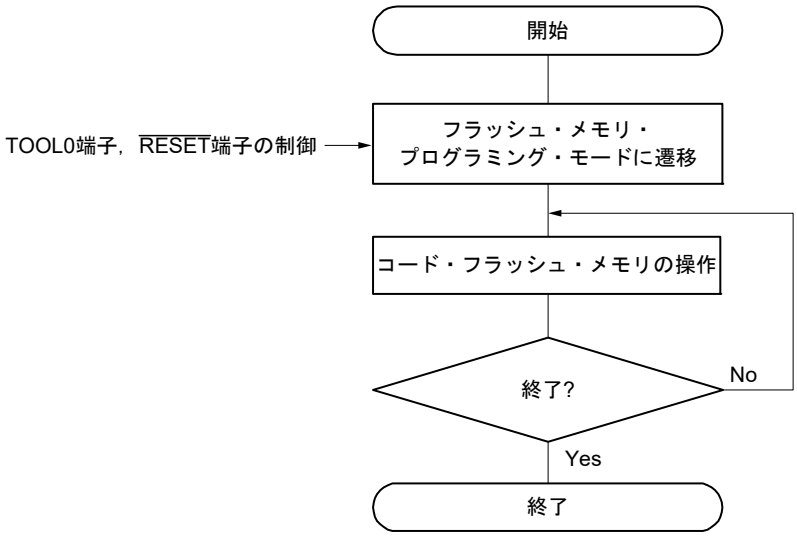
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}，V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}，GNDと必ず接続してください。

31.4　プログラミング方法

31.4.1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図31 - 6 コード・フラッシュメモリの操作手順



31.4.2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

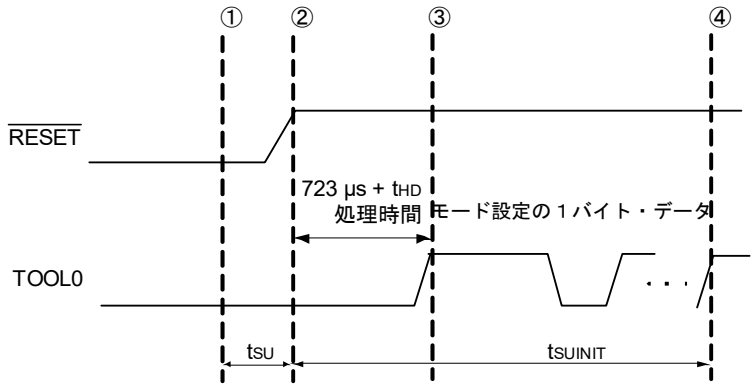
＜外部デバイスを使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後，リセットを解除します(表31 - 4 参照)。その後，図31 - 7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は，RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表31 - 4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図31 - 7 フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除(その前にPOR，LVDリセットが解除されていること)

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}: この区間では，外部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}:　TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

t_{HD}:　外部リセット解除から，TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

詳細は，35.10, 36.10　フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには，ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は，書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお，専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は，GUI 上で電圧設定を行うことでモードが自動選択されます。

表31 - 5 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

電源電圧(V_{DD})	フラッシュ・メモリ・プログラミング・モード引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数(f_{CLK})	
2.7 V ≦ V_{DD} ≦ 5.5 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz～24 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
2.4 V ≦ V_{DD} ＜ 2.7 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz～16 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
1.8 V ≦ V_{DD} ＜ 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は，31.4.4　通信コマンドを参照してください。

31.4.3 通信方式

RL78マイクロコントローラの通信方式は，次のようになります。

表31 - 6 通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・プログラマ使用時，または外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

31.4.4　通信コマンド

RL78マイクロコントローラは，表31 - 7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，RL78 マイクロコントローラ(RL78 プロトコルA) プログラマ編アプリケーション・ノート(R01AN0815) を参照してください。

表31 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名，フラッシュ・メモリ構成，プログラミング用ファームウエア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

“Silicon Signature”コマンドを実行することで製品情報(品名，ファームウエア・バージョンなど)を取得することができます。

表31 - 8　シグネチャ・データ一覧，表31 - 9　シグネチャ・データ例を示します。

表31 - 8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例．00000H-03FFFH (16 KB) → FFH, 3FH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例．F1000H-F17FFH (2 KB) → FFH, 17H, 0FH)	3バイト
ファームウエア・バージョン	プログラミング用ファームウエアのバージョン情報 (バージョンの上位から送信されます。 例．Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表31 - 9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78プロトコルA	3バイト	10　00　06
デバイス名	R5F1057A	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 30 = “0” 35 = “5” 37 = “7” 41 = “A” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-03FFFH (16 KB)	3バイト	FFH　3FH　00H
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F17FFH (2 KB)	3バイト	FFH　17H　0FH
ファームウエア・バージョン	Ver. 1. 23	3バイト	01　02　03

31.5　PG-FP6使用時の各コマンド処理時間(参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP6を使用した場合の各コマンド処理時間(参考値)を次に示します。

表31 - 10 PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP6のコマンド	Port: TOOL0 (UART) Speed: 1M bps 16 Kバイト
消去	1 s
書き込み	1.4 s
ベリファイ	1.5 s
消去後，書き込み	1.5 s

備考　コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port:　TOOL0 (単線UART)

Speed:　1,000,000 bps

Mode:　フルスピード・モード (フラッシュ動作モード：HS (高速メイン)モード)

31.6　セルフ・プログラミング

RL78 マイクロコントローラは，ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより，ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック(fSUB)動作時の場合，セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は，EI命令によりIEフラグがセット(1)されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア(0)して，フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

注意3. セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロック動作(HIOSTOP = 0)させ，65 μs経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。また，中速オンチップ・オシレータは停止(MIOEN = 0)させ，メイン・オンチップ・オシレータ・クロック(fOCO)は高速オンチップ・オシレータを選択(MCM1 = 0)してください。

注意4. フラッシュ・メモリを書き換える際，フラッシュ動作モードレジスタ(FLMODEレジスタ)は変更しないでください。また，レギュレータ・モード制御レジスタ(PMMC)のMCSELビットは0で書き換えてください。

備考　セルフ・プログラミング機能の詳細は，RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて，いずれかのモードを設定してください。

HS(高速メイン)モード設定時はフルスピード・モードに，LS(低速メイン)モードおよびLV(低電圧メイン)モード設定時はワイド・ボルテージ・モードに設定してください。

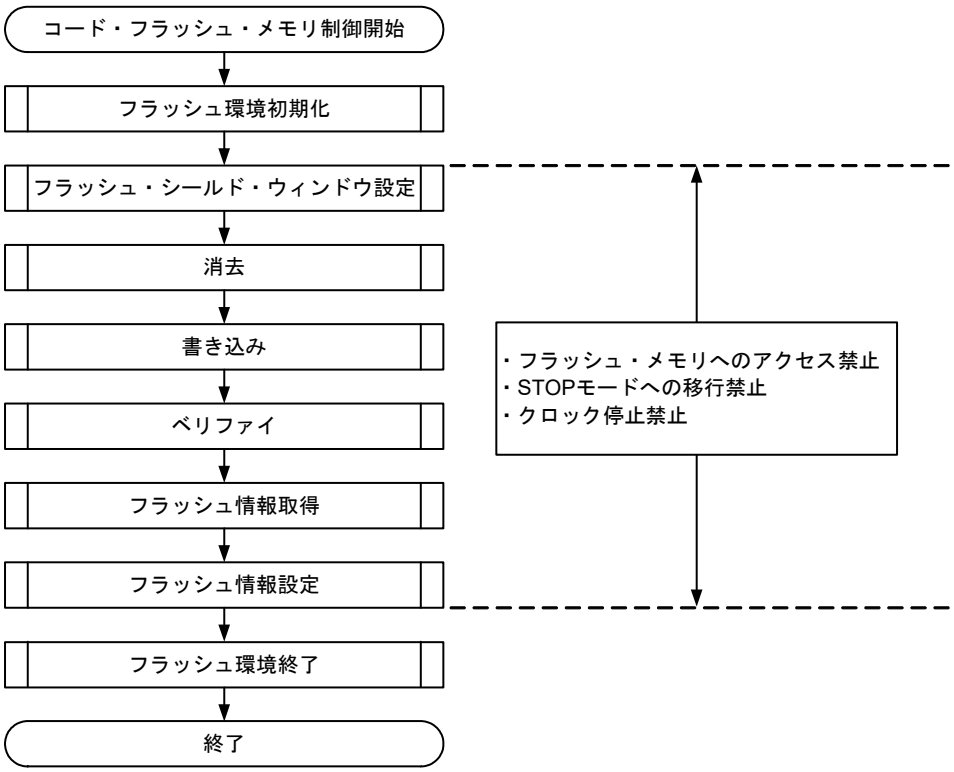
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に，引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに，00H以外であればワイド・ボルテージ・モードに設定されます。

備考　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

31.6.1　セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図31 - 8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



31.6.2　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，再書き込みができなくなります。

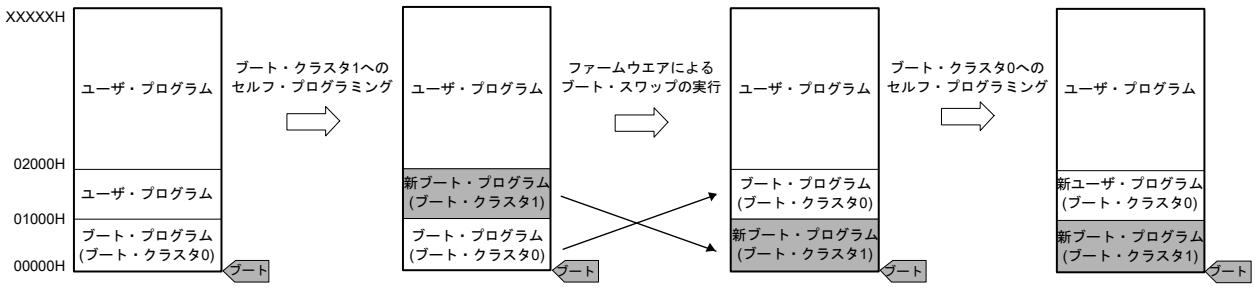
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[注]の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら，RL78 マイクロコントローラ内蔵のファームウエアのセット・インフォメーション機能で，このブート・クラスタ1とブート・クラスタ0をスワップし，ブート・クラスタ1をブート領域にします。このあと，本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ1からブートを行うため，正常にプログラムが動作します。

注　ブート・クラスタは4Kバイトの領域で，ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図31 - 9 ブート・スワップ機能

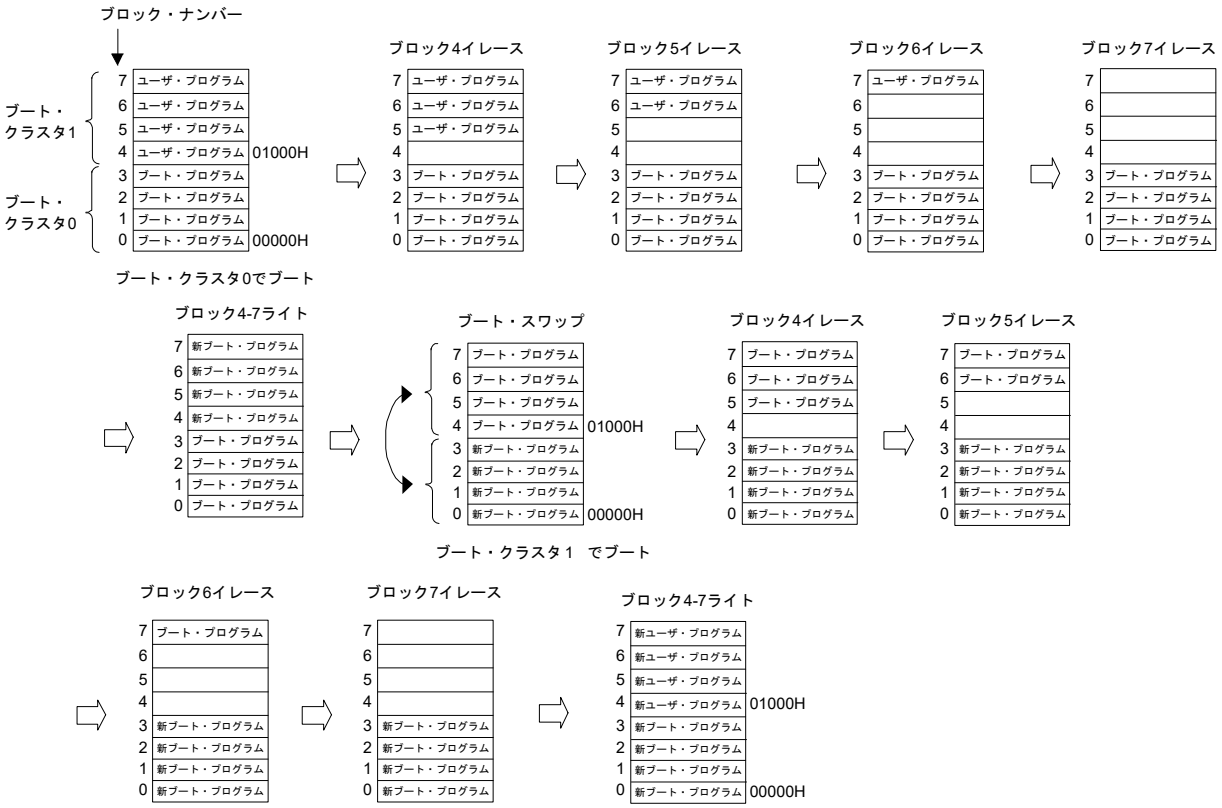


この図の例では，次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図31 - 10 ブート・スワップの実行例



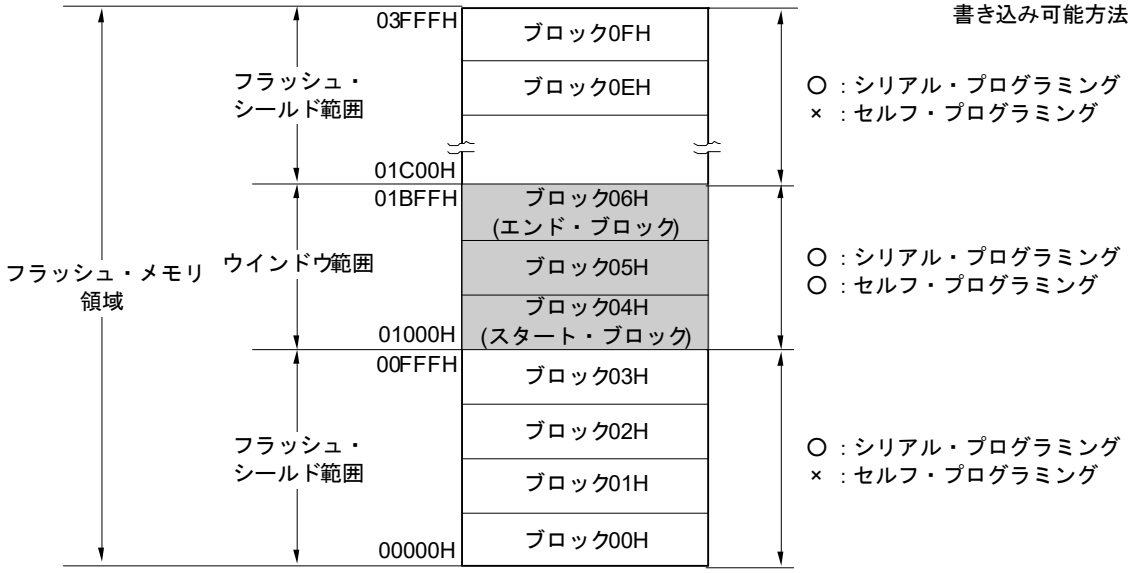
31.6.3　フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図31 - 11 フラッシュ・シールド・ウインドウの設定例
(スタート・ブロック：04H，エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は，ブート・クラスタ0の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表31 - 11 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考　シリアル・プログラミング時の書き込み／消去を禁止したい場合には，31.7　セキュリティ設定を参照してください。

31.7　セキュリティ設定

RL78マイクロコントローラは，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。

・ブロック消去禁止

シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし，セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

シリアル・プログラミング時に，フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後，Security Releaseコマンドによる解除はリセットで有効になります。

・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH)に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは，シリアル・プログラミングのみで設定できます。（セルフ・プログラミングで設定できません）。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表 31 - 12に示します。

注意　ただし，フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います(詳細は31.6.3を参照)。

表31 - 12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います(詳細は31.6.3を参照)。

表31 - 13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後，無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

注意 「書き込み禁止」設定の解除は，「ブロック消去禁止」，「ブート・クラスタ0の書き換え禁止」に設定されていない状態で，かつコード・フラッシュ領域，データ・フラッシュ領域がブランクの場合でのみ可能です。

31.8　データ・フラッシュ

31.8.1　データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより，ユーザ・プログラムでデータ・フラッシュ･メモリの書き換えが可能。詳細は，「RL78 ファミリ データ・フラッシュ・ライブラリ Type04」を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは，1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは，8ビット単位でのみアクセス可能
- データ・フラッシュは，CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行は可能(バックグランド・オペレーション(BGO)対応)
- データ・フラッシュは，データ専用領域のため，データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中 (セルフ・プログラミング時) に，データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に，DFLCTL レジスタを操作することは禁止
- データ・フラッシュの書き換え中に，STOP モード状態に遷移することは禁止

注意1.　リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2.　データ･フラッシュの書き換え中は，高速オンチップ･オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ，65 μs経過後にデータ・フラッシュ・ライブラリを実行してください。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，31.6　セルフ・プログラミングを参照してください。

31.8.2　データ・フラッシュを制御するレジスタ

31.8.2.1　データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTL レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図31 - 12 データ・フラッシュ・コントロール・レジスタ (DFLCTL)のフォーマット

アドレス：F0090H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTL レジスタを操作することは禁止です。

31.8.3　データ・フラッシュへのアクセス手順

リセット解除後の初期状態では，データ・フラッシュは停止状態であり，そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0 (DFLEN)に“1”を書き込む。
②ソフトウエア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
＜各メイン・クロック・モードでのセットアップ時間＞
- HS (高速メイン)モード時：5 μs
- LS (低速メイン)モード時：720 ns
- LP (低電力メイン)モード時：720 ns
- LV (低電圧メイン)モード時：10 μs

③セットアップ時間のウエイト完了後，データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は，データ・フラッシュへのアクセス禁止です。
注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は，DFLEN = 0に設定してから，STOP命令を実行してください。
注意3. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ，65 μs経過後にデータ・フラッシュ・ライブラリを実行してください。
注意4. CPU／周辺ハードウエア・クロック周波数にサブシステム・クロックを選択した状態 (CLS = 1) でデータ・フラッシュを読み出した場合は，CPU／周辺ハードウエア・クロックをサブシステム・クロックからメイン・システム・クロックに切り替え後，最初にデータ・フラッシュを読み出すときは以下の(1)～(3)の手順で読み出してください。
(1)メイン・システム・クロックに切り替わったこと (CLS = 0) 確認します。
(2)次に任意のデータ・フラッシュを読み出します。（読み出し値は不正）
(3)最後に各動作モードに応じて，以下時間経過後に読み出しを行ってください。
HS (高速メイン) モード　：5 μs
LS (低速メイン) モード　：1 μs
LV (低電圧メイン) モード　：10 μs
LP (低消費メイン) モード　：1 μs

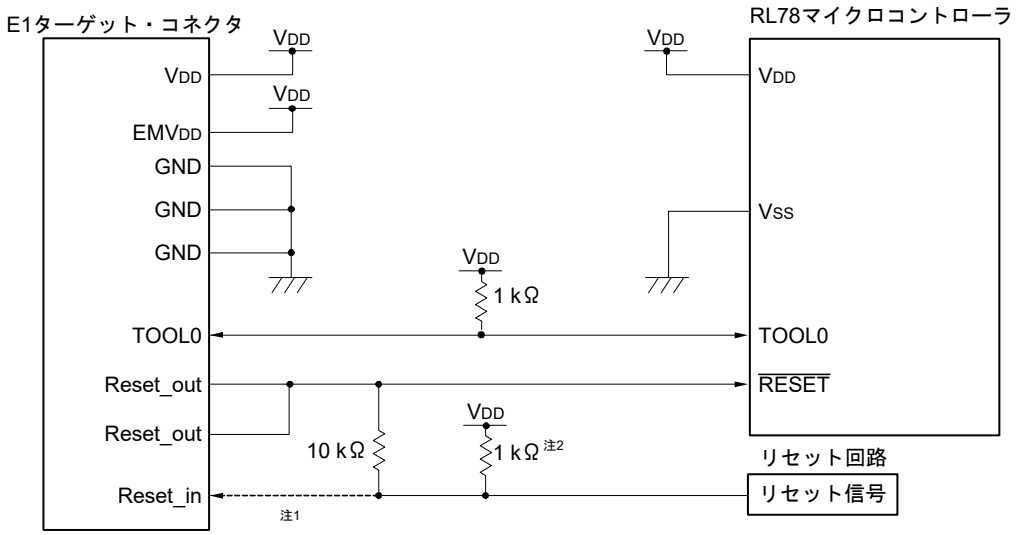
第32章　オンチップ・デバッグ機能

32.1　E1オンチップデバッギングエミュレータとの接続

RL78マイクロコントローラは，オンチップ・デバッグ対応のE1オンチップデバッギングエミュレータを介して，ホスト・マシンとの通信を行う場合，VDD, RESET, TOOL0, Vss端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

注意　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

図32 - 1 E1オンチップデバッギングエミュレータとの接続例



注1.　シリアル・プログラミング時，点線部の接続は必要ありません。

注2.　ターゲット・システム上のリセット回路にバッファがなく，抵抗やコンデンサのみでリセット信号を生成する場合，このプルアップは必要ありません。

注意　リセット信号の出力がN-chオープン・ドレインのバッファ (出力抵抗が100Ω以下) を想定した回路例です。

32.2　オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第30章　オプション・バイトを参照)を，000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので，あらかじめ010C3H，010C4H-010CDHにも同じ値を設定してください。

表32 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

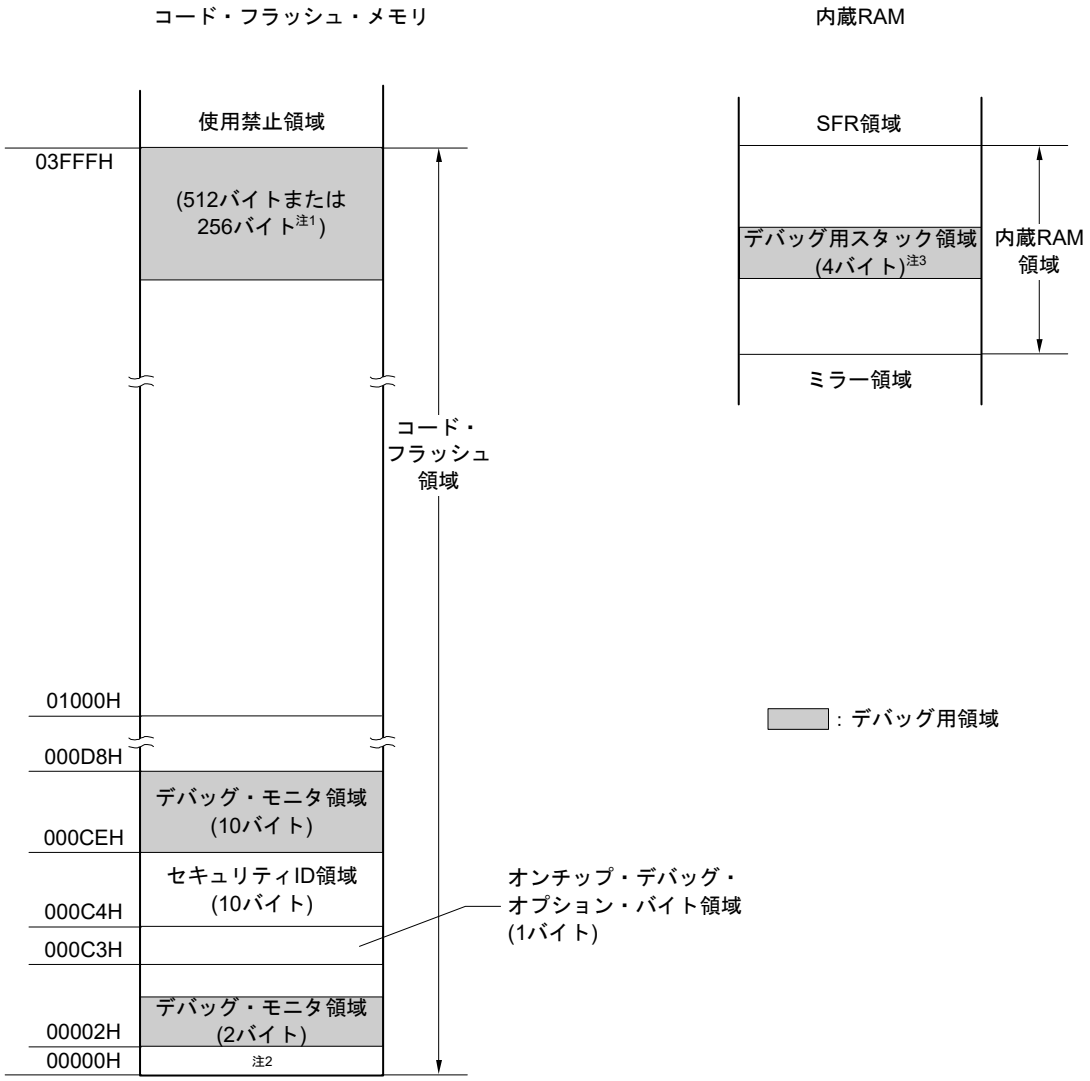
32.3　ユーザ資源の確保

RL78マイクロコントローラとE1オンチップデバッギングエミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンク・オプションで設定することもできます。

(1)　メモリ空間の確保

図32 - 2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図32 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1.　リアルタイムRAMモニタ(RRM)機能, Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注2.　デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注3.　この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，4バイト余分に消費します。

セルフ・プログラミングを行う場合は，12バイト余分に消費します。

32.4　使用上の注意事項

RL78/G11はエミュレータのトレース機能に対応していません。

第33章　10進補正(BCD)回路

33.1　10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を，BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

33.2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ(BCDADJ)

33.2.1　BCD補正結果レジスタ(BCDADJ)

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図33 - 1 BCD補正結果レジスタ(BCDADJ)のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

33.3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1)　加算　　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

①加算したいBCDコード値(被加算値)をAレジスタに格納する。

②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値，加算値)を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ(BCDADJ)に格納される。

③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW (CYフラグ，ACフラグ)は，RETI命令によって復帰されます。

例を次に示します。

例1　99 + 89 = 188

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #99H	; ①	99H	—	—	—
ADD	A, #89H	; ②	22H	1	1	66H
ADD	A, !BCDADJ	; ③	88H	1	0	—

例2　85 + 15 = 100

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #85H	; ①	85H	—	—	—
ADD	A, #15H	; ②	9AH	0	0	66H
ADD	A, !BCDADJ	; ③	00H	1	1	—

例3　80 + 80 = 160

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #80H	; ①	80H	—	—	—
ADD	A, #80H	; ②	00H	1	0	60H
ADD	A, !BCDADJ	; ③	60H	1	0	—

(2)　減算　　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

①減算されるBCDコード値(被減算値)をAレジスタに格納する。

②Aレジスタから第2オペランドの値(減算するBCDコード値，減算値)を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ(BCDADJ)に格納される。

③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正値)を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW (CYフラグ，ACフラグ)は，RETI命令によって復帰されます。

例を次に示します。

例　91 - 52 = 39

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H	; ①	91H	—	—	—
SUB	A, #52H	; ②	3FH	0	1	06H
SUB	A, !BCDADJ	; ③	39H	0	0	—

第34章　命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語 (命令コード)については，RL78 ファミリ　ユーザーズ・マニュアル　ソフトウエア編(R01US0015)を参照してください。

34.1　凡例

34.1.1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は，アセンブラ仕様によります)。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #：　イミーディエト・データ指定
- !：　16ビット絶対アドレス指定
- !!：　20ビット絶対アドレス指定
- $：　8ビット相対アドレス指定
- $!：　16ビット相対アドレス指定
- [ ]：　間接アドレス指定
- ES: :拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称(X, A, Cなど)，絶対名称(表34 - 1の中のカッコ内の名称，R0, R1, R2など)のいずれの形式でも記述可能です。

表34 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH　イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が“0”になります。

備考　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3 - 5　SFR一覧を参照してください。

拡張特殊機能レジスタは，オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3 - 6　拡張機能レジスタ (2nd SFR)一覧を参照してください。

34.1.2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表34 - 2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L	16ビット・レジスタの場合はX_H＝上位8ビット，X_L＝下位8ビット
X_S，X_H，X_L	20ビット・レジスタの場合はX_S（ビット19-16），X_H（ビット15-8），X_L（ビット7-0）
∧	論理積(AND)
∨	論理和(OR)
∀	排他的論理和(exclusive OR)
¯	反転データ
addr5	16ビット・イミーディエト・データ(0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ(ディスプレースメント値)
jdisp16	符号付き16ビット・データ(ディスプレースメント値)

34.1.3 フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表34 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

34.1.4 PREFIX命令

ES: で示される命令は，PREFIX 命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDTC転送を受け付けることはありません。

表34 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

34.2 オペレーション一覧

表34 - 5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	×	×	×
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r 注3	1	1	—	A ← r			
		r, A 注3	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	×	×	×
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
		ES:!addr16, A	4	2	—	(ES, addr16) ← A			
		A, saddr	2	1	—	A ← (saddr)			
		saddr, A	2	1	—	(saddr) ← A			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。
注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。
注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr	
		sfr, A	2	1	—	sfr ← A	
		A, [DE]	1	1	4	A ← (DE)	
		[DE], A	1	1	—	(DE) ← A	
		A, ES:[DE]	2	2	5	A ← (ES, DE)	
		ES:[DE], A	2	2	—	(ES, DE) ← A	
		A, [HL]	1	1	4	A ← (HL)	
		[HL], A	1	1	—	(HL) ← A	
		A, ES:[HL]	2	2	5	A ← (ES, HL)	
		ES:[HL], A	2	2	—	(ES, HL) ← A	
		A, [DE+byte]	2	1	4	A ← (DE + byte)	
		[DE+byte], A	2	1	—	(DE + byte) ← A	
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE) + byte)	
		ES:[DE+byte], A	3	2	—	((ES, DE) + byte) ← A	
		A, [HL+byte]	2	1	4	A ← (HL + byte)	
		[HL+byte], A	2	1	—	(HL + byte) ← A	
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL) + byte)	
		ES:[HL+byte], A	3	2	—	((ES, HL) + byte) ← A	
		A, [SP+byte]	2	1	—	A ← (SP + byte)	
		[SP+byte], A	2	1	—	(SP + byte) ← A	
		A, word[B]	3	1	4	A ← (B + word)	
		word[B], A	3	1	—	(B + word) ← A	
		A, ES:word[B]	4	2	5	A ← ((ES, B) + word)	
		ES:word[B], A	4	2	—	((ES, B) + word) ← A	
		A, word[C]	3	1	4	A ← (C + word)	
		word[C], A	3	1	—	(C + word) ← A	
		A, ES:word[C]	4	2	5	A ← ((ES, C) + word)	
		ES:word[C], A	4	2	—	((ES, C) + word) ← A	
		A, word[BC]	3	1	4	A ← (BC + word)	
		word[BC], A	3	1	—	(BC + word) ← A	
		A, ES:word[BC]	4	2	5	A ← ((ES, BC) + word)	
		ES:word[BC], A	4	2	—	((ES, BC) + word) ← A	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL + B)	
		[HL+B], A	2	1	—	(HL + B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL) + B)	
		ES:[HL+B], A	3	2	—	((ES, HL) + B) ← A	
		A, [HL+C]	2	1	4	A ← (HL + C)	
		[HL+C], A	2	1	—	(HL + C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL) + C)	
		ES:[HL+C], A	3	2	—	((ES, HL) + C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	—	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	—	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	—	C ← (saddr)	
		ES, saddr	3	1	—	ES ← (saddr)	
	XCH	A, r 注3	1 (r = X) 2 (r = X以外)	1	—	A ↔ r	
		A, !addr16	4	2	—	A ↔ (addr16)	
		A, ES:!addr16	5	3	—	A ↔ (ES, addr16)	
		A, saddr	3	2	—	A ↔ (saddr)	
		A, sfr	3	2	—	A ↔ sfr	
		A, [DE]	2	2	—	A ↔ (DE)	
		A, ES:[DE]	3	3	—	A ↔ (ES, DE)	
		A, [HL]	2	2	—	A ↔ (HL)	
		A, ES:[HL]	3	3	—	A ↔ (ES, HL)	
		A, [DE+byte]	3	2	—	A ↔ (DE + byte)	
		A, ES:[DE+byte]	4	3	—	A ↔ ((ES, DE) + byte)	
		A, [HL+byte]	3	2	—	A ↔ (HL + byte)	
		A, ES:[HL+byte]	4	3	—	A ↔ ((ES, HL) + byte)	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL + B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL) + B)			
		A, [HL+C]	2	2	—	A ↔ (HL + C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL) + C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES,addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL + byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL + byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word			
		saddrp, #word	4	1	—	(saddrp) ← word			
		sfrp, #word	4	1	—	sfrp ← word			
		AX, rp 注3	1	1	—	AX ← rp			
		rp, AX 注3	1	1	—	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	—	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	—	(ES, addr16) ← AX			
		AX, saddrp	2	1	—	AX ← (saddrp)			
		saddrp, AX	2	1	—	(saddrp) ← AX			
		AX, sfrp	2	1	—	AX ← sfrp			
		sfrp, AX	2	1	—	sfrp ← AX			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしない命令のとき。
CPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. rp = AXを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)	
		[DE], AX	1	1	—	(DE) ← AX	
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)	
		ES:[DE], AX	2	2	—	(ES, DE) ← AX	
		AX, [HL]	1	1	4	AX ← (HL)	
		[HL], AX	1	1	—	(HL) ← AX	
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)	
		ES:[HL], AX	2	2	—	(ES, HL) ← AX	
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)	
		[DE+byte], AX	2	1	—	(DE + byte) ← AX	
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)	
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX	
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)	
		[HL+byte], AX	2	1	—	(HL + byte) ← AX	
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)	
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX	
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)	
		[SP+byte], AX	2	1	—	(SP + byte) ← AX	
		AX, word[B]	3	1	4	AX ← (B + word)	
		word[B], AX	3	1	—	(B + word) ← AX	
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)	
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX	
		AX, word[C]	3	1	4	AX ← (C + word)	
		word[C], AX	3	1	—	(C + word) ← AX	
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)	
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX	
		AX, word[BC]	3	1	4	AX ← (BC + word)	
		word[BC], AX	3	1	—	(BC + word) ← AX	
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)	
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	×	×	×
		A, r 注4	2	1	—	A, CY ← A + r	×	×	×
		r, A	2	1	—	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A + ((ES, HL) + C)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。
注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。
注3. rp = AXを除く。
注4. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	A, CY ← A + byte + CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte + CY	×	×	×
		A, r 注3	2	1	—	A, CY ← A + r + CY	×	×	×
		r, A	2	1	—	r, CY ← r + A + CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16) + CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16) + CY	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr) + CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL) + CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A + (ES, HL) + CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte) + CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A + ((ES, HL) + byte) + CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B) + CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A + ((ES, HL) + B) + CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C) + CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A + ((ES, HL) + C) + CY	×	×	×
	SUB	A, #byte	2	1	—	A, CY ← A - byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte	×	×	×
		A, r 注3	2	1	—	A, CY ← A - r	×	×	×
		r, A	2	1	—	r, CY ← r - A	×	×	×
		A, !addr16	3	1	4	A, CY ← A - (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A - (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A - (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A - (HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A - (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A - ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A - ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A - ((ES, HL) + C)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A - byte - CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte - CY	×	×	×
		A, r 注3	2	1	—	A, CY ← A - r - CY	×	×	×
		r, A	2	1	—	r, CY ← r - A - CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A - (addr16) - CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A - (ES, addr16) - CY	×	×	×
		A, saddr	2	1	—	A, CY ← A - (saddr) - CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A - (HL) - CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A - (ES, HL) - CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte) - CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A - ((ES, HL) + byte) - CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B) - CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A - ((ES, HL) + B) - CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C) - CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A - ((ES:HL) + C) - CY	×	×	×
	AND	A, #byte	2	1	—	A ← A ∧ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	×		
		A, r 注3	2	1	—	A ← A ∧ r	×		
		r, A	2	1	—	r ← r ∧ A	×		
		A, !addr16	3	1	4	A ← A ∧ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∧ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∧ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∧ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∧ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∧ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∧ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∧ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	×		

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(9/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	A ← A ∨ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∨ byte	×		
		A, r 注3	2	1	—	A ← A ∨ r	×		
		r, A	2	1	—	r ← r ∨ A	×		
		A, !addr16	3	1	4	A ← A ∨ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∨ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∨ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∨ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∨ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∨ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∨ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∨ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∨ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∨ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∨ ((ES:HL) + C)	×		
	XOR	A, #byte	2	1	—	A ← A ∀ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∀ byte	×		
		A, r 注3	2	1	—	A ← A ∀ r	×		
		r, A	2	1	—	r ← r ∀ A	×		
		A, !addr16	3	1	4	A ← A ∀ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∀ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∀ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∀ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∀ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∀ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∀ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∀ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∀ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∀ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∀ ((ES:HL) + C)	×		

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A - byte	×	×	×
		!addr16, #byte	4	1	4	(addr16) - byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	×	×	×
		saddr, #byte	3	1	—	(saddr) - byte	×	×	×
		A, r 注3	2	1	—	A - r	×	×	×
		r, A	2	1	—	r - A	×	×	×
		A, !addr16	3	1	4	A - (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A - (ES:addr16)	×	×	×
		A, saddr	2	1	—	A - (saddr)	×	×	×
		A, [HL]	1	1	4	A - (HL)	×	×	×
		A, ES:[HL]	2	2	5	A - (ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A - (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A - (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A - (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	×	×	×
	CMP0	A	1	1	—	A - 00H	×	0	0
		X	1	1	—	X - 00H	×	0	0
		B	1	1	—	B - 00H	×	0	0
		C	1	1	—	C - 00H	×	0	0
		!addr16	3	1	4	(addr16) - 00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	×	0	0
		saddr	2	1	—	(saddr) - 00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX - BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX - DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX - HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX - word	×	×	×
		AX, BC	1	1	—	AX - BC	×	×	×
		AX, DE	1	1	—	AX - DE	×	×	×
		AX, HL	1	1	—	AX - HL	×	×	×
		AX, !addr16	3	1	4	AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX - ((ES:HL) + byte)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
乗除積和算	MULU	X	1	1	—	AX ← A × X	
	MULHU		3	2	—	BCAX ← A X × BC (符号なし)	
	MULH		3	2	—	BCAX ← A X × BC (符号付き)	
	DIVHU		3	9	—	AX (商), DE (余り) ← AX ÷ DE (符号なし)	
	DIVWU		3	17	—	BCAX (商), HLDE (余り) ← BCAX ÷ HLDE (符号なし)	
	MACHU		3	3	—	MACR ← MACR + AX × BC (符号なし)	× ×
	MACH		3	3	—	MACR ← MACR + AX × BC (符号付き)	× ×

注1. 内部 RAM 領域，SFR 領域および拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック (f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (f_{CLK})数。

注意 割り込み処理中にDIVHU，DIVWU命令を実行する場合，割り込み禁止状態(DI)で実行してください。
ただし，RAM領域での命令実行を除き，アセンブリ言語ソースにてDIVHU，DIVWU命令の直後にNOP命令を追加した場合は，割り込み許可状態でもDIVHU，DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU，DIVWU命令が出力される場合，その直後に自動でNOP命令が挿入されます。

- CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

備考2. MACR : 積和演算累計レジスタ (MACRH, MACRL)

表34 - 5 オペレーション一覧(13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	r ← r + 1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16) + 1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) + 1	×	×	
		saddr	2	2	—	(saddr) ← (saddr) + 1	×	×	
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) + 1	×	×	
		ES: [HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) + 1	×	×	
	DEC	r	1	1	—	r ← r—1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16) - 1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) - 1	×	×	
		saddr	2	2	—	(saddr) ← (saddr) - 1	×	×	
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) - 1	×	×	
		ES: [HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) - 1	×	×	
	INCW	rp	1	1	—	rp ← rp + 1			
		!addr16	3	2	—	(addr16) ← (addr16) + 1			
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) + 1			
		saddrp	2	2	—	(saddrp) ← (saddrp) + 1			
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) + 1			
		ES: [HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) + 1			
	DECW	rp	1	1	—	rp ← rp - 1			
		!addr16	3	2	—	(addr16) ← (addr16) - 1			
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) - 1			
		saddrp	2	2	—	(saddrp) ← (saddrp) - 1			
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) - 1			
		ES: [HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) - 1			
シフト	SHR	A, cnt	2	1	—	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) × cnt			×
	SHRW	AX, cnt	2	1	—	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) × cnt			×
	SHL	A, cnt	2	1	—	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) × cnt			×
		B, cnt	2	1	—	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) × cnt			×
		C, cnt	2	1	—	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) × cnt			×
	SHLW	AX, cnt	2	1	—	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) × cnt			×
		BC, cnt	2	1	—	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) × cnt			×
	SAR	A, cnt	2	1	—	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) × cnt			×
	SARW	AX, cnt	2	1	—	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) × cnt			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。

備考1. クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

備考2. cntはビット・シフト数です。

表34 - 5 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	(CY, A_7 ← A_0, A_{m-1} ← A_m) × 1			×
	ROL	A, 1	2	1	—	(CY, A_0 ← A_7, A_{m+1} ← A_m) × 1			×
	RORC	A, 1	2	1	—	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m) × 1			×
	ROLC	A, 1	2	1	—	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m) × 1			×
	ROLWC	AX,1	2	1	—	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) × 1			×
		BC,1	2	1	—	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) × 1			×
ビット操作	MOV1	CY, A.bit	2	1	—	CY ← A.bit			×
		A.bit, CY	2	1	—	A.bit ← CY			
		CY, PSW.bit	3	1	—	CY ← PSW.bit			×
		PSW.bit, CY	3	4	—	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	—	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	—	(saddr).bit ← CY			
		CY, sfr.bit	3	1	—	CY ← sfr.bit			×
		sfr.bit, CY	3	2	—	sfr.bit ← CY			
		CY,[HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	—	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	—	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	—	CY ← CY ∧ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∧ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∧ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∧ sfr.bit			×
		CY,[HL].bit	2	1	4	CY ← CY ∧ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∧ (ES, HL).bit			×
	OR1	CY, A.bit	2	1	—	CY ← CY ∨ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∨ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∨ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∨ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∨ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∨ (ES, HL).bit			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	CY ← CY ∀ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∀ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∀ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∀ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∀ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∀ (ES, HL).bit			×
	SET1	A.bit	2	1	—	A.bit ← 1			
		PSW.bit	3	4	—	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 1			
		saddr.bit	3	2	—	(saddr).bit ← 1			
		sfr.bit	3	2	—	sfr.bit ← 1			
		[HL].bit	2	2	—	(HL).bit ← 1			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	—	A.bit ← 0			
		PSW.bit	3	4	—	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 0			
		saddr.bit	3	2	—	(saddr).bit ← 0			
		sfr.bit	3	2	—	sfr.bit ← 0			
		[HL].bit	2	2	—	(HL).bit ← 0			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 0			
	SET1	CY	2	1	—	CY ← 1			1
	CLR1	CY	2	1	—	CY ← 0			0
	NOT1	CY	2	1	—	CY ← $\overline{CY}$			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2)S, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PC ← CS, rp, SP ← SP - 4	
		$!addr20	3	3	—	(SP - 2) ← (PC + 3)S, (SP - 3) ← (PC + 3)H, (SP - 4) ← (PC + 3)L, PC ← PC + 3 + jdisp16, SP ← SP - 4	
		!addr16	3	3	—	(SP - 2) ← (PC + 3)S, (SP - 3) ← (PC + 3)H, (SP - 4) ← (PC + 3)L, PC ← 0000, addr16, SP ← SP - 4	
		!!addr20	4	3	—	(SP - 2) ← (PC + 4)S, (SP - 3) ← (PC + 4)H, (SP - 4) ← (PC + 4)L, PC ← addr20, SP ← SP - 4	
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2)S, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L , PCS ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP - 4	
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2)S, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PCS ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP - 4, IE ← 0	
	RET	—	1	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), SP ← SP + 4	
	RETI	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R R R
	RETB	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R R R

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2	
		rp	1	1	—	(SP - 1) ← rp_H, (SP - 2) ← rp_L, SP ← SP - 2	
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R R R
		rp	1	1	—	rp_L ← (SP), rp_H ← (SP + 1), SP ← SP + 2	
	MOVW	SP, #word	4	1	—	SP ← word	
		SP, AX	2	1	—	SP ← AX	
		AX, SP	2	1	—	AX ← SP	
		HL, SP	3	1	—	HL ← SP	
		BC, SP	3	1	—	BC ← SP	
		DE, SP	3	1	—	DE ← SP	
	ADDW	SP, #byte	2	1	—	SP ← SP + byte	
	SUBW	SP, #byte	2	1	—	SP ← SP - byte	
無条件分岐	BR	AX	2	3	—	PC ← CS, AX	
		$addr20	2	3	—	PC ← PC + 2 + jdisp8	
		$!addr20	3	3	—	PC ← PC + 3 + jdisp16	
		!addr16	3	3	—	PC ← 0000, addr16	
		!!addr20	4	3	—	PC ← addr20	
条件付き分岐	BC	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1	
	BNC	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0	
	BZ	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1	
	BNZ	$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0	
	BH	$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 0	
	BNH	$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 1	
	BT	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1	
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1	
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1	
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1	
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1	
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。

注3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

表34 - 5 オペレーション一覧(18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック(f_{CLK})数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(f_{CLK})数。

注3. クロック数は“条件不成立時／条件成立時”を表しています。

注4. nはレジスタ・バンク番号です(n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍 + 3クロックになります。

第35章　電気的特性（TA = －40～＋85°C）

この章では，以下の対象製品の電気的特性を示します。

対象製品　A：民生用途（TA = －40～＋85°C）

R5F105xxAxx

G：産業用途 TA = －40～＋105°C品をTA = －40～＋85°Cの範囲で使用する場合

R5F105xxGxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

注意2. 製品により搭載している端子が異なります。 2.1　ポート機能～ 2.2.1　製品別の搭載機能を参照してください。

注意3. 24pin以下の製品はEVDD 端子を搭載しないため，EVDD をVDD，電圧条件：1.6 ≦EVDD≦VDD≦5.5V を1.6 ≦VDD ≦5.5Vに読み替えてください。

35.1　絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5～＋6.5	V
	EVDD		-0.5～＋6.5	V
	AVREFP		0.3～VDD + 0.3注2	V
	AVREFM		-0.3～VDD + 0.3注2 かつAVREFM≦AVREFP	V
REGC端子入力電圧	VIREGC	REGC	-0.3～＋2.8 かつ-0.3～VDD + 0.3注1	V
入力電圧	VI1	P00, P01, P30-P33, P40，P51-P56	-0.3～EVDD + 0.3 かつ-0.3～VDD + 0.3注2	V
	VI2	P20-P23, P121, P122, P125, P137, EXCLK, $\overline{\text{RESET}}$	-0.3～VDD + 0.3注2	V
出力電圧	VO1	P00, P01, P30-P33, P40，P51-P56	-0.3～EVDD + 0.3 かつ-0.3～VDD + 0.3注2	V
	VO2	P20-P23	-0.3～VDD + 0.3注2	V
アナログ入力電圧	VAI1	ANI16-ANI22	-0.3～EVDD + 0.3 かつ-0.3～AVREF(+) + 0.3注2, 3	V
	VAI2	ANI0-ANI3	-0.3～VDD + 0.3 かつ-0.3～AVREF(+) + 0.3注2, 3	V

注1.　REGC端子にはコンデンサ(0.47～1 μF)を介してVssに接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2.　6.5 V以下であること。

注3.　A/D変換対象の端子は，AVREF(+) + 0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考1. 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF (+)：A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I_{OH1}	1端子		-40	mA
		端子合計 -170 mA	P00, P01, P40	-70	mA
			P30-P33, P51-P56	-100	mA
	I_{OH2}	1端子	P20-P23	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	I_{OL1}	1端子		40	mA
		端子合計 170 mA	P00, P01, P40	70	mA
			P30-P33, P51-P56	100	mA
	I_{OL2}	1端子	P20-P23	1	mA
		端子合計		4	mA
動作周囲温度	T_A	通常動作時		-40～+85	°C
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			-65～+150	°C

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

35.2　発振回路特性

35.2.1　X1特性

(TA = -40～+85 °C, 1.6 V≦VDD≦5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数(fX)注	セラミック発振子/水晶振動子	2.7 V≦VDD≦5.5 V	1.0		20.0	MHz
		2.4 V≦VDD＜2.7 V	1.0		16.0	
		1.8 V≦VDD＜2.4 V	1.0		8.0	
		1.6 V≦VDD＜1.8 V	1.0		4.0	

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，35.4　AC特性を参照してください。
また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考　X1発振回路を使用する場合は，6.4　システム・クロック発振回路を参照してください。

35.2.2　オンチップ・オシレータ特性

(TA = -40～+85 °C, 1.6 V≦VDD≦5.5 V, VSS = 0 V)

発振子	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	fIH	2.7 V≦VDD≦5.5 V		1		24	MHz
		2.4 V≦VDD≦5.5 V		1		16	
		1.8 V≦VDD≦5.5 V		1		8	
		1.6 V≦VDD≦5.5 V		1		4	
高速オンチップ・オシレータ・クロック周波数精度		TA = -20～+85 °C	1.8 V≦VDD≦5.5 V	-1		1	%
			1.6 V≦VDD＜1.8 V	-5		5	
		TA = -40～-20 °C	1.8 V≦VDD≦5.5 V	-1.5		1.5	%
			1.6 V≦VDD＜1.8 V	-5.5		5.5	
中速オンチップ・オシレータ発振周波数注2	fIM			1		4	MHz
中速オンチップ・オシレータ発振周波数精度				-12		+12	%
中速オンチップ・オシレータ発振周波数精度の温度ドリフト	DIMT				0.008		%/°C
中速オンチップ・オシレータ発振周波数精度の電圧ドリフト	DIMV	TA = 25 °C	2.1 V≦VDD≦5.5 V		0.02		%/V
			2.0 V≦VDD＜2.1 V		-12		
			1.6 V≦VDD＜2.0 V		10		
低速オンチップ・オシレータ・クロック周波数注2	fIL				15		kHz
低速オンチップ・オシレータ・クロック周波数精度				-15		+15	%

注1.　高速オンチップ・オシレータの周波数は，オプション･バイト(000C2H/010C2H)のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

注2.　発振回路の特性だけを示すものです。命令実行時間は，35.4　AC特性を参照してください。

35.3 DC特性

35.3.1 端子特性

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (1/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流注1	IOH1	P00, P01, P30-P33, P40, P51-P56 1端子				-10.0注2	mA
		P00, P01, P40合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			-42.0	mA
			2.7 V≦EVDD＜4.0 V			-10.0	mA
			1.8 V≦EVDD＜2.7 V			-5.0	mA
			1.6 V≦EVDD＜1.8 V			-2.5	mA
		P30-P33, P51-P56 合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			-80.0	mA
			2.7 V≦EVDD＜4.0 V			-19.0	mA
			1.8 V≦EVDD＜2.7 V			-10.0	mA
			1.6 V≦EVDD＜1.8 V			-5.0	mA
		全端子合計 (デューティ≦70%時注3)				-122.0	mA
	IOH2	P20-P23 1端子				-0.1注2	mA
		全端子合計 (デューティ≦70%時注3)	1.6 V≦VDD≦5.5 V			-0.4	mA

注1. VDD端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ≦70%の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます(デューティ比をn%に変更する場合)。

- 端子合計の出力電流 = (IOH × 0.7)/(n × 0.01)

＜計算例＞ IOH = -10.0 mAの場合，n = 80%

端子合計の出力電流 = (-10.0 × 0.7)/(80 × 0.01) ≒ -8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意 P00, P01, P20, P30-P33, P40, P51-P56は，N-chオープン・ドレイン・モード時には，ハイ・レベルを出力しません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)　　(2/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流注1	IOL1	P00, P01, P30-P33, P40, P51-P56 1端子				20.0注2	mA
		P00, P01, P40　合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			70.0	mA
			2.7 V≦EVDD＜4.0 V			15.0	mA
			1.8 V≦EVDD＜2.7 V			9.0	mA
			1.6 V≦EVDD＜1.8 V			4.5	mA
		P30-P33, P51-P56　合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			80.0	mA
			2.7 V≦EVDD＜4.0 V			35.0	mA
			1.8 V≦EVDD＜2.7 V			20.0	mA
			1.6 V≦EVDD＜1.8 V			10.0	mA
		全端子合計 (デューティ≦70%時注3)				150.0	mA
	IOL2	P20-P23 1端子				0.4注2	mA
		全端子合計 (デューティ≦70%時注3)	1.6 V≦VDD≦5.5 V			1.6	mA

注1.　出力端子からVSS端子に流れ込んでも，デバイスの動作を保証する電流値です。

注2.　合計の電流値を越えないでください。

注3.　デューティ ≦ 70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます(デューティ比をn%に変更する場合)。

• 端子合計の出力電流 = (IOL × 0.7)/(n × 0.01)

＜計算例＞　IOL = 10.0 mAの場合，n = 80%

端子合計の出力電流 = (10.0 × 0.7)/(80 × 0.01) ≒ 8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (3/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	P00, P01, P30-P33, P40, P51-P56	通常モード	0.8 EVDD		EVDD	V
	VIH2	P00, P30-P32, P40, P51-P56	TTLモード 4.0V≦EVDD≦5.5 V	2.2		EVDD	V
			TTLモード 3.3 V≦EVDD＜4.0 V	2.0		EVDD	V
			TTLモード 1.6 V≦EVDD＜3.3 V	1.5		EVDD	V
	VIH3	P20-P23（デジタル入力）		0.7 VDD		VDD	V
	VIH4	P121, P122, P125, P137,EXCLK, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00, P01, P30-P33, P40, P51-P56	通常モード	0		0.2 EVDD	V
	VIL2	P00, P30-P32, P40, P51-P56	TTLモード 4.0V≦EVDD≦5.5 V	0		0.8	V
			TTLモード 3.3 V≦EVDD＜4.0 V	0		0.5	V
			TTLモード 1.6 V≦EVDD＜3.3 V	0		0.32	V
	VIH3	P20-P23（デジタル入力）		0		0.3 VDD	V
	VIH4	P121, P122, P125, P137, EXCLK, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P00, P01, P20, P30-P33, P40, P51-P56は，N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDD/EVDDです。
(P20: VDD
P00,P01,P30-P33,P40,P51-P56:EVDD)

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (4/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00, P01, P30-P33, P40, P51-P56	4.0 V≦EVDD≦5.5 V, IOH = -10 mA	EVDD - 1.5			V
			4.0 V≦EVDD≦5.5 V, IOH = -3.0 mA	EVDD - 0.7			V
			2.7 V≦EVDD≦5.5 V, IOH = -2.0 mA	EVDD - 0.6			V
			1.8 V≦EVDD≦5.5 V, IOH = -1.5 mA	EVDD - 0.5			V
			1.6 V≦EVDD≦5.5 V, IOH = -1.0 mA	EVDD - 0.5			V
	VOH2	P20-P23	1.6 V≦VDD≦5.5 V, IOH = -100 μA	VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P00, P01, P30-P33, P40, P51-P56	4.0 V≦EVDD≦5.5 V, IOL = 20 mA			1.3	V
			4.0 V≦EVDD≦5.5 V, IOL = 8.5 mA			0.7	V
			2.7 V≦EVDD≦5.5 V, IOL = 3.0 mA			0.6	V
			2.7 V≦EVDD≦5.5 V, IOL = 1.5 mA			0.4	V
			1.8 V≦EVDD≦5.5 V, IOL = 0.6 mA			0.4	V
			1.6 V≦EVDD≦5.5V, IOL = 0.3 mA			0.4	V
	VOL2	P20-P23	1.6 V≦VDD≦5.5 V, IOL = 400 μA			0.4	V

注意　P00, P01, P20, P30-P33, P40, P51-P56は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (5/5)

項目	略号	条件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	ILIH1	P00, P01, P30-P33, P40, P51-P56	VI = EVDD				1	μA
	ILIH2	P20-P23, P125, P137, $\overline{\text{RESET}}$	VI = VDD				1	μA
	ILIH3	P121, P122, X1, X2, EXCLK	VI = VDD	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	ILIL1	P00, P01, P30-P33, P40, P51-P56	VI = VSS				-1	μA
	ILIL2	P20-P23, P125, P137, $\overline{\text{RESET}}$	VI = VSS				-1	μA
	ILIL3	P121, P122, X1, X2, EXCLK	VI = VSS	入力ポート時，外部クロック入力時			-1	μA
				発振子接続時			-10	μA
内蔵プルアップ抵抗	RU	P00, P01, P30-P33, P40, P51-P56, P125	VI = VSS，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

35.3.2 電源電流特性

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (1/3)

項目	略号	条件						MIN.	TYP.	MAX.	単位
電源電流注1	IDD1	動作モード	基本動作	HS (高速メイン) モード	fHOCO = 48 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			1.7		mA
						VDD = 3.0 V			1.7		
					fHOCO = 24 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			1.4		
						VDD = 3.0 V			1.4		
			通常動作	HS (高速メイン) モード	fHOCO = 48 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			3.5	6.9	mA
						VDD = 3.0 V			3.5	6.9	
					fHOCO = 24 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			3.2	6.3	
						VDD = 3.0 V			3.2	6.3	
					fHOCO = 16 MHz注3 fIH = 16 MHz注3	VDD = 5.0 V			2.4	4.6	
						VDD = 3.0 V			2.4	4.6	
			通常動作	LS (低速メイン) モード (MCSEL = 0)	fIH = 8 MHz注3	VDD = 3.0 V			1.1	2.0	mA
						VDD = 2.0 V			1.1	2.0	
			通常動作	LS (低速メイン) モード (MCSEL = 1)	fIH = 4 MHz注3	VDD = 3.0 V			0.72	1.3	mA
						VDD = 2.0 V			0.72	1.3	
					fIM = 4 MHz注6	VDD = 3.0 V			0.58	1.1	
						VDD = 2.0 V			0.58	1.1	
			通常動作	LV (低電圧メイン) モード	fIH = 4 MHz注3	VDD = 3.0 V			1.2	1.8	mA
						VDD = 2.0 V			1.2	1.8	
			通常動作	LP (低電力メイン) モード (MCSEL = 1)	fIH = 1 MHz注3	VDD = 3.0 V			290	480	μA
						VDD = 2.0 V			290	480	
					fIM = 1 MHz注6	VDD = 3.0 V			124	230	
						VDD = 2.0 V			124	230	
			通常動作	HS (高速メイン) モード	fMX = 20 MHz注2	VDD = 5.0 V	方形波入力		2.7	5.3	mA
							発振子接続		2.8	5.5	
						VDD = 3.0 V	方形波入力		2.7	5.3	
							発振子接続		2.8	5.5	
					fMX = 10 MHz注2	VDD = 5.0 V	方形波入力		1.8	3.1	
							発振子接続		1.9	3.2	
						VDD = 3.0 V	方形波入力		1.8	3.1	
							発振子接続		1.9	3.2	
			通常動作	LS(低速メイン) モード (MCSEL = 0)	fMX = 8 MHz注2	VDD = 3.0 V	方形波入力		0.9	1.9	mA
							発振子接続		1.0	2.0	
					fMX = 8 MHz注2	VDD = 2.0 V	方形波入力		0.9	1.9	
							発振子接続		1.0	2.0	
			通常動作	LS (低速メイン) (MCSEL = 1)	fMX = 4 MHz注2	VDD = 3.0 V	方形波入力		0.6	1.1	mA
							発振子接続		0.6	1.2	
					fMX = 4 MHz注2	VDD = 2.0 V	方形波入力		0.6	1.1	
							発振子接続		0.6	1.2	
			通常動作	LP (低電力メイン) モード (MCSEL = 1)	fMX = 1 MHz注2	VDD = 3.0 V	方形波入力		100	190	μA
							発振子接続		145	250	
					fMX = 1 MHz注2	VDD = 2.0 V	方形波入力		100	190	
							発振子接続		145	250	
			通常動作	サブシステム・クロック動作	fIL = 15 kHz, TA = -40 °C注5				1.8	5.9	μA
					fIL = 15 kHz, TA = +25 °C注5				1.9	5.9	
					fIL = 15 kHz, TA = +85 °C注5				2.3	8.7	

(注，備考は次ページにあります。)

注1.　VDD, EVDD に流れるトータル電流です。入力端子を VDD, EVDD または VSS に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード，LS（低速メイン）モード，LV（低電圧メイン）モード，LP（低電力メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，D/Aコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD 回路，I/O ポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2.　高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注3.　高速システム・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注4.　高速システム・クロックは停止時。

注5.　高速システム・クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロックは停止時。

注6.　高速システム・クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

備考1. fMX ：　高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH ：　高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考3. fIM ：　中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

備考4. fIL ：　低速オンチップ・オシレータ・クロック周波数

備考5. fSUB ：　サブシステム・クロック周波数(低速オンチップ・オシレータ・クロック周波数)

備考6.「サブシステム・クロック動作」以外のTYP.値の温度条件は，TA = 25 °Cです。

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (2/3)

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流注1	IDD2 注2	HALTモード	HS (高速メイン) モード	fHOCO = 48 MHz注4 fIH = 24 MHz注4	VDD = 5.0 V			0.59	2.43	mA
					VDD = 3.0 V			0.59	2.43	
				fHOCO = 24 MHz注4 fIH = 24 MHz注4	VDD = 5.0 V			0.41	1.83	
					VDD = 3.0 V			0.41	1.83	
				fHOCO = 16 MHz注4 fIH = 16 MHz注4	VDD = 5.0 V			0.39	1.38	
					VDD = 3.0 V			0.39	1.38	
			LS (低速メイン) モード (MCSEL = 0	fIH = 8 MHz注4	VDD = 3.0 V			250	710	μA
					VDD = 2.0 V			250	710	
			LS (低速メイン) モード (MCSEL = 1)	fIH = 4 MHz注4	VDD = 3.0 V			204	400	μA
					VDD = 2.0 V			204	400	
				fIM = 4 MHz注6	VDD = 3.0 V			43	250	
					VDD = 2.0 V			43	250	
			LV (低電圧メイン) モード	fIH = 4 MHz注4	VDD = 3.0 V			450	700	μA
					VDD = 2.0 V			450	700	
			LP (低電力メイン) モード (MCSEL = 1)	fIH = 1 MHz注4	VDD = 3.0 V			192	400	μA
					VDD = 2.0 V			192	400	
				fIM = 1 MHz注6	VDD = 3.0 V			28	100	
					VDD = 2.0 V			28	100	
			HS (高速メイン) モード	fMX = 20 MHz注3	VDD = 5.0 V	方形波入力		0.20	1.55	mA
						発振子接続		0.40	1.74	
					VDD = 3.0 V	方形波入力		0.20	1.55	
						発振子接続		0.40	1.74	
				fMX = 10 MHz注3	VDD = 5.0 V	方形波入力		0.15	0.86	
						発振子接続		0.30	0.93	
					VDD = 3.0 V	方形波入力		0.15	0.86	
						発振子接続		0.30	0.93	
			LS (低速メイン) モード (MCSEL = 0)	fMX = 8 MHz注3	VDD = 3.0 V	方形波入力		68	550	μA
						発振子接続		125	590	
				fMX = 8 MHz注3	VDD = 2.0 V	方形波入力		68	550	
						発振子接続		125	590	
			LS (低速メイン) (MCSEL = 1)	fMX= 4 MHz注3	VDD = 3.0 V	方形波入力		23	128	μA
						発振子接続		65	200	
				fMX= 4 MHz注3	VDD = 2.0 V	方形波入力		23	128	
						発振子接続		65	200	
			LP(低電力メイン) モード (MCSEL = 1)	fMX = 1 MHz注3	VDD = 3.0 V	方形波入力		10	64	μA
						発振子接続		59	150	
				fMX = 1 MHz注3	VDD = 2.0 V	方形波入力		10	64	
						発振子接続		59	150	
			サブシステム・クロック動作	fIL = 15 kHz, TA = -40 °C注5				0.48	1.22	μA
				fIL = 15 kHz, TA = +25 °C注5				0.55	1.22	
				fIL = 15 kHz, TA = +85 °C注5				0.80	3.30	

(注，備考は次ページにあります。)

注1.　VDD, EVDD に流れるトータル電流です。入力端子を VDD, EVDD または VSS に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード，LS（低速メイン）モード，LV（低電圧メイン）モード，LP（低電力メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，D/Aコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2.　フラッシュ・メモリでのHALT命令実行時。

注3.　高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注4.　高速システム・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注5.　高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

注6.　高速システム・クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

備考1. fMX ：　高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH ：　高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考3. fIM ：　中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

備考4. fIL ：　低速オンチップ・オシレータ・クロック周波数

備考5. fSUB ：　サブシステム・クロック周波数(低速オンチップ・オシレータ・クロック周波数)

備考6.「サブシステム・クロック動作」以外のTYP.値の温度条件は，TA = 25 °Cです。

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流注1	IDD3	STOPモード注2	TA = -40 °C		0.19	0.51	μA
			TA = +25 °C		0.25	0.51	
			TA = +50 °C		0.28	1.10	
			TA = +70 °C		0.38	1.90	
			TA = +85 °C		0.60	3.30	

注1. VDD, EVDD に流れるトータル電流です。入力端子を VDD, EVDD または VSS に固定した状態での入力リーク電流を含みます。STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2. STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

周辺機能(全製品共通)

(T_A = -40～+85 °C, 1.6 V≦EV_{DD}≦V_{DD}≦5.5 V, V_{SS} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I_{FIL} 注1				0.22		μA
12ビット・インターバル・タイマ動作電流	I_{TMKA} 注1, 3, 4	f_{IL} = 15 kHz，f_{MAIN}は停止			0.02		μA
8ビット・インターバル・タイマ動作電流 注1, 9	I_{TMT}	f_{IL} = 15 kHz，f_{MAIN}は停止	8ビット・カウンタ・モード×2 ch動作		0.04		μA
			16ビット・カウンタ・モード動作		0.03		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 3, 5	f_{IL} = 15 kHz，f_{MAIN}は停止			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 6	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0V		1.3	1.7	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0V		0.5	0.7	mA
内部基準電圧(1.45 V)電流 注1, 10	I_{ADREF}				85.0		μA
温度センサ動作電流	I_{TMPS} 注1				85.0		μA
D/Aコンバータ動作電流	I_{DAC} 注1, 14	1チャネル当たり				1.5	mA
PGA動作電流	I_{PGA} 注1, 2				480	700	μA
コンパレータ動作電流	I_{CMP} 注8	V_{DD} = 5.0 V, レギュレータ 出力電圧 = 2.1 V	コンパレータ高速モード ウィンドウモード		12.5		μA
			コンパレータ低速モード ウィンドウモード		3.0		
			コンパレータ高速モード 基本モード		6.5		
			コンパレータ低速モード 基本モード		1.9		
		V_{DD} = 5.0 V, レギュレータ 出力電圧 = 1.8 V	コンパレータ高速モード ウィンドウモード		8.0		
			コンパレータ低速モード ウィンドウモード		2.2		
			コンパレータ高速モード 基本モード		4.0		
			コンパレータ低速モード 基本モード		1.3		
LVD動作電流	I_{LVD} 注1, 7				0.10		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 12				2.0	12.20	mA
BGO電流	I_{BGO} 注1, 11				2.0	12.20	mA
SNOOZE動作電流	I_{SNOZ} 注1	ADC動作, f_{IH} = 24 MHz, AV_{REFP} = V_{DD} = 3.0 V	モード遷移中 注13		0.50	0.60	mA
			変換動作中		1.20	1.44	mA
		簡易SPI（CSI）/UART動作，f_{IH} = 24 MHz			0.70	0.84	mA
	I_{SNOZM} 注1	ADC動作, f_{IM} = 4 MHz, AV_{REFP} = V_{DD} = 3.0 V	モード遷移中 注13		0.05	0.08	mA
			変換動作中		0.67	0.78	mA
		簡易SPI（CSI）動作，f_{IM} = 4 MHz			0.06	0.08	mA

(注，備考は次ページにあります。)

注1.　VDDに流れる電流です。

注2.　動作保証範囲は2.7-5.5Vです。

注3.　高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

注4.　12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，IDD1またはIDD2にIITを加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はIFILを加算してください。

注5.　ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。
ウォッチドッグ・タイマの動作時は，IDD1，IDD2またはIDD3にIWDTを加算した値が，RL78マイクロコントローラの電流値となります。

注6.　A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が，RL78マイクロコントローラの電流値となります。

注7.　LVD回路にのみ流れる電流です。LVD回路の動作時は，IDD1，IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。

注8.　コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は，IDD1，IDD2またはIDD3にICMPを加算した値が，RL78マイクロコントローラの電流値となります。

注9.　8ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は，IDD1またはIDD2にIITを加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はIFILを加算してください。

注10.　内部基準電圧(1.45 V)の生成で消費する電流です。

注11.　データ・フラッシュ書き換え時に流れる電流です。

注12.　セルフ・プログラミング時に流れる電流です。

注13.　SNOOZEモードへの移行時間は，24.3.3　SNOOZEモードを参照してください。

注14.　D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は，IDD1またはIDD2にIDACを加算した値が，RL78マイクロコントローラの電流値となります。

備考1.　fIL：低速オンチップ・オシレータ・クロック周波数

備考2.　fCLK：CPU／周辺ハードウエア・クロック周波数

備考3.　TYP.値の温度条件は，TA = 25 °Cです。

35.4 AC特性

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	TCY	メイン・システム・クロック(fMAIN)動作	HS (高速メイン) モード	2.7 V≦VDD≦5.5 V	0.04167		1	μs
				2.4 V≦VDD＜2.7 V	0.0625		1	μs
			LS(低速メイン) モード	1.8 V≦VDD≦5.5 V PMMC. MCSEL = 0	0.125		1	μs
				1.8 V≦VDD≦5.5 V PMMC. MCSEL = 1	0.25		1	
			LP(低電力メイン) モード	1.8 V≦VDD≦5.5 V	1			μs
			LV(低電圧メイン) モード	1.6 V≦VDD≦5.5 V	0.25		1	μs
		サブシステム・クロック(fSUB)動作	fIL	1.8 V≦VDD≦5.5 V		66.7		μs
		セルフ・プログラミング時	HS (高速メイン) モード	2.7 V≦VDD≦5.5 V	0.04167		1	μs
				2.4 V≦VDD＜2.7 V	0.0625		1	μs
			LS(低速メイン) モード	1.8 V≦VDD≦5.5 V	0.125		1	μs
			LV(低電圧メイン) モード	1.8 V≦VDD≦5.5 V	0.25		1	μs
外部システム・クロック周波数	fEX	2.7 V≦VDD≦5.5 V			1		20	MHz
		2.4 V≦VDD＜2.7 V			1		16	MHz
		1.8 V≦VDD＜2.4 V			1		8	MHz
		1.6 V≦VDD＜1.8 V			1		4	MHz
外部システム・クロック入力ハイ／ロウ・レベル幅	tEXH, tEXL	2.7 V≦VDD≦5.5 V			24			ns
		2.4 V≦VDD＜2.7 V			30			ns
		1.8 V≦VDD＜2.4 V			60			ns
		1.6 V≦VDD＜1.8 V			120			ns
TI00-TI03, 入力ハイ／ロウ・レベル幅	tTIH, tTIL 注				1/fMCK + 10			ns

注 EVDD＜VDDの低電圧インタフェースでは，次の値も満足する必要があります。

1.8V≦EVDD≦2.7V：MIN.125ns

1.6V≦EVDD＜1.8V：MIN.250ns

備考 fMCK：タイマ・アレイ·ユニットの動作クロック周波数。

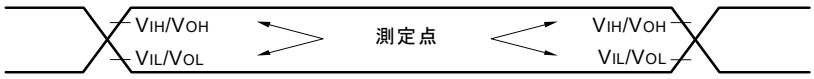
(タイマ・モード・レジスタmn (TMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号(m = 0), n：チャネル番号(n = 0-3))

(TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (2/2)

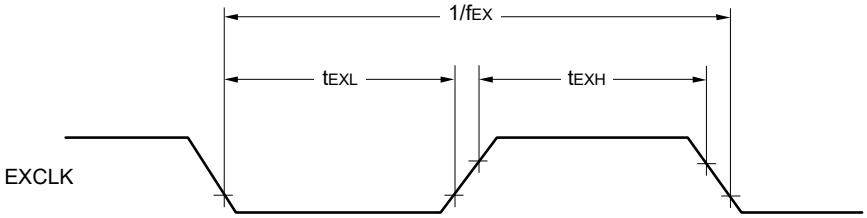
項目	略号	条件			MIN.	TYP.	MAX.	単位
TO00-TO03, TKBO0, TKBO1 出力周波数注	fTO	TO00-TO03 TKBO0, TKBO1 (非P20端子出力時)	HS (高速メイン) モード	4.0 V≦EVDD≦5.5 V			12	MHz
				2.7 V≦EVDD＜4.0 V			8	
				1.8 V≦EVDD＜2.7 V			4	
				1.6 V≦EVDD＜1.8 V			2	
			LS(低速メイン) モード	1.8 V≦EVDD≦5.5 V			4	
				1.6 V≦EVDD＜1.8 V			2	
			LP(低電力メイン) モード	1.8 V≦EVDD≦5.5 V			0.5	
			LV(低電圧メイン) モード	1.6 V≦EVDD≦5.5 V			2	
		TKBO1 (P20端子出力時)	HS (高速メイン) モード	4.0 V≦VDD≦5.5 V			1.5	MHz
				2.7 V≦VDD＜4.0 V			1.2	
				2.4 V≦VDD＜2.7 V			1	
			LS(低速メイン) モード	4.0 V≦VDD≦5.5 V			1.5	
				2.7 V≦VDD＜4.0 V			1.2	
				2.4 V≦VDD＜2.7 V			1	
				1.8 V≦VDD＜2.4 V			0.75	
			LP(低電力メイン) モード	1.8 V≦VDD≦5.5 V			0.5	
			LV(低電圧メイン) モード	4.0 V≦VDD≦5.5 V			1.5	
				2.7 V≦VDD＜4.0 V			1.2	
				2.4 V≦VDD＜2.7 V			1	
				1.8 V≦VDD＜2.4 V			0.75	
				1.6 V≦VDD＜1.8 V			0.5	
PCLBUZ0, PCLBUZ1 出力周波数	fPCL	HS (高速メイン)モード		4.0 V≦EVDD≦5.5 V			16	MHz
				2.7 V≦EVDD＜4.0 V			8	
				1.8 V≦EVDD＜2.7 V			4	
				1.6 V≦EVDD＜1.8 V			2	
		LS(低速メイン)モード		1.8 V≦EVDD≦5.5 V			4	
				1.6 V≦EVDD＜1.8 V			2	
		LP(低電力メイン)モード		1.6 V≦EVDD≦5.5 V			1	
		LV(低電圧メイン)モード		1.8 V≦EVDD≦5.5 V			4	
				1.6 V≦EVDD＜1.8 V			2	
割り込み入力ハイ／ロウ・レベル幅	tINTH, tINTL	INTP0-INTP2, INTP9		1.6 V≦VDD≦5.5 V	1			μs
		INTP3-INTP8, INTP10, INTP11		1.6 V≦EVDD≦5.5 V	1			
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7		1.8 V≦EVDD≦5.5 V	250			ns
				1.6 V≦EVDD＜1.8 V	1			μs
$\overline{\text{RESET}}$ロウ・レベル幅	tRSL				10			μs

注 デューティ 50%時

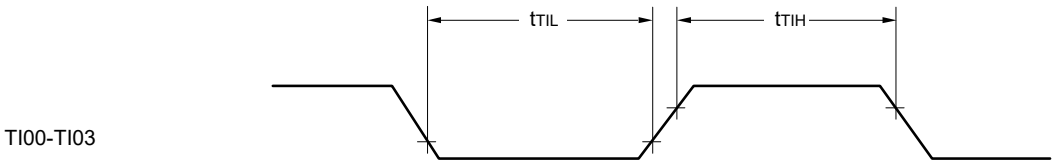
ACタイミング測定点

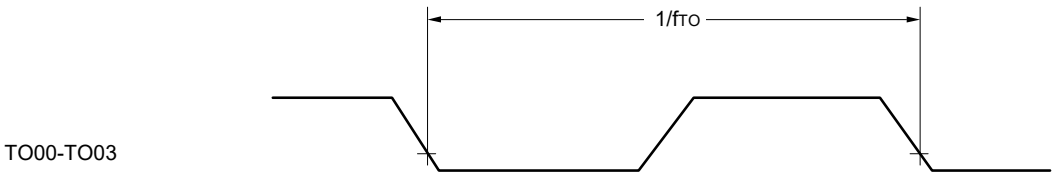


外部システム・クロック・タイミング

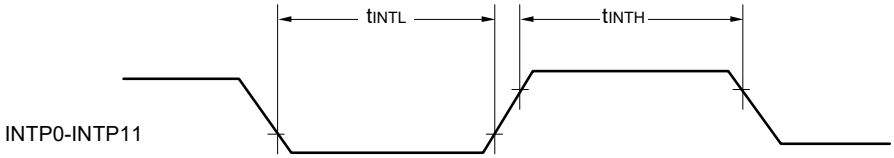


TI/TOタイミング

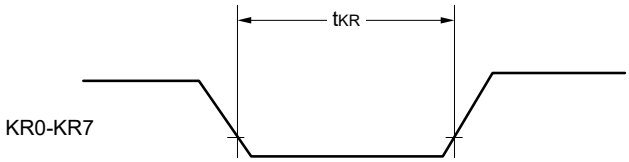




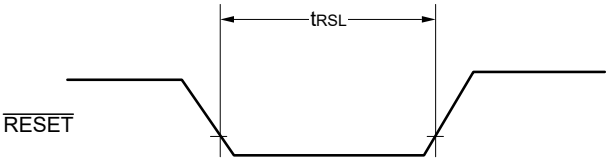
割り込み要求入力タイミング



キー割り込み入力タイミング

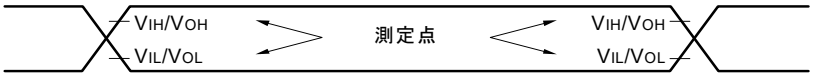


$\overline{\text{RESET}}$入力タイミング



35.5　周辺機能特性

ACタイミング測定点



35.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

P01, P30, P31, P54をTxDq端子とするとき

(TA = -40～+85 °C, 1.6 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート注1, 2		2.7 V≦EVDD≦5.5 V		fMCK/6		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps
		1.8 V≦EVDD≦5.5 V		fMCK/6		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps
		1.7 V≦EVDD≦5.5 V		fMCK/6		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps
		1.6 V≦EVDD≦5.5 V	—			fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3	—			1.3		0.1		0.6	Mbps

注1. SNOOZEモードでの転送レートは，4800 bpsのみとなります。

注2. EVDD＜VDDの低電圧インタフェースでは，次の値も満足する必要があります。

2.4V≦EVDD＜2.7V：MAX. 2.6 Mbps

1.8V≦EVDD＜2.4V：MAX. 1.3 Mbps

1.6V≦EVDD＜1.8V：MAX. 0.6 Mbps

注3. CPU／周辺ハードウエア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード ： 24 MHz (2.7 V≦EVDD≦5.5 V)

16 MHz (2.4 V≦EVDD≦5.5 V)

LS (低速メイン)モード ： 8 MHz (1.8 V≦EVDD≦5.5 V)

LP (低電力メイン)モード： 1 MHz (1.8 V≦EVDD≦5.5 V)

LV (低電圧メイン)モード ： 4 MHz (1.6 V≦EVDD≦5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

P20をTxD1端子とするとき

(TA = -40～+85 °C, 1.6 V≦EVDD = VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		4.0 V≦VDD≦5.5 V		fMCK/6 注1, 2, 3		fMCK/6 注1, 2		fMCK/6 注1, 2		fMCK/6 注1, 2	bps
		最大転送レート理論値 fMCK = fCLK注1, 3		1.5		1.3		0.1		0.6	Mbps
		2.7 V≦VDD≦5.5 V		fMCK/6 注1, 2, 3		fMCK/6 注1, 2		fMCK/6 注1, 2		fMCK/6 注1, 2	bps
		最大転送レート理論値 fMCK = fCLK注1, 3		1.2		1.2		0.1		0.6	Mbps
		2.4 V≦VDD≦5.5 V		fMCK/6 注1, 2, 3		fMCK/6 注1, 2		fMCK/6 注1, 2		fMCK/6 注1, 2	bps
		最大転送レート理論値 fMCK = fCLK注1, 3		1.0		1.0		0.1		0.6	Mbps
		1.8 V≦VDD≦5.5 V		使用禁止		fMCK/6 注1, 2		fMCK/6 注1, 2		fMCK/6 注1, 2	bps
		最大転送レート理論値 fMCK = fCLK注1, 3				0.6		0.1		0.6	Mbps
		1.7 V≦VDD≦5.5 V				使用禁止		使用禁止		fMCK/6 注1, 2	bps
		最大転送レート理論値 fMCK = fCLK注1, 3								0.5	Mbps
		1.6 V≦VDD≦5.5 V								fMCK/6 注1, 2	bps
		最大転送レート理論値 fMCK = fCLK注1, 3								0.5	Mbps

注1.　fMCKは,SPSレジスタとSMRレジスタのCKSビットで選択された周波数です。

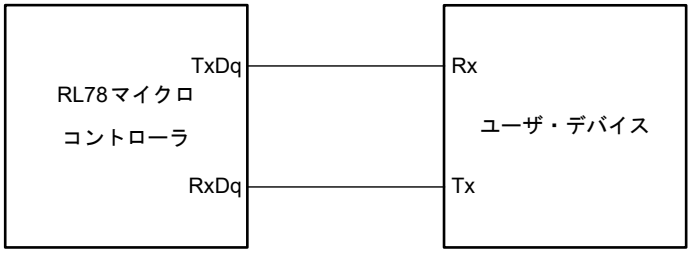
注2.　SNOOZEモードでの転送レートは，4800 bpsのみサポートします。
ただし，fHOCO = 48MHz時は，SNOOZEモードをサポートしません。

注3.　各動作モードのfCLKは以下の通りです。

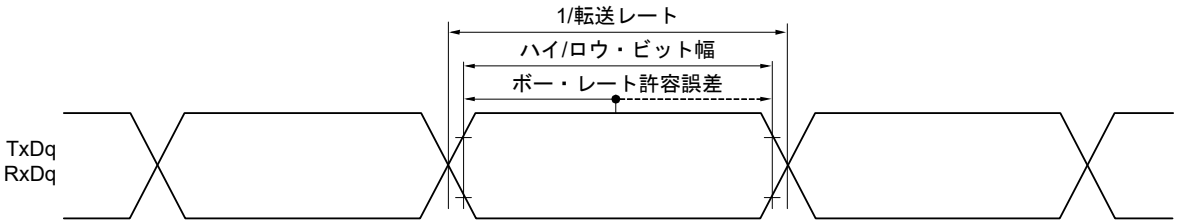
HS (高速メイン)モード ：　24 MHz (2.7 V≦VDD≦5.5 V)
16 MHz (2.4 V≦VDD≦5.5 V)
LS (低速メイン)モード ：　8 MHz (1.8 V≦VDD≦5.5 V)
LP (低電力メイン)モード：　1 MHz (1.8 V≦VDD≦5.5 V)
LV (低電圧メイン)モード ：　4 MHz (1.6 V≦VDD≦5.5 V)

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q：UART番号(q = 0, 1)，g：PIM, POM番号(g = 0, 2, 3, 5)

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，

n：チャネル番号(mn = 00-03))

(2) 同電位通信，簡易SPI（CSI）モード時 (マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応)

(TA = -40～+85 °C, 2.7 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tKCY1	tKCY1≧2/fCLK	83.3		250		2000		500		ns
SCKpハイ／ロウ・レベル幅	tKL1	4.0 V≦EVDD≦5.5 V	tKCY1/2 - 7		tKCY1/2 - 50		tKCY1/2 - 50		tKCY1/2 - 50		ns
		2.7 V≦EVDD≦5.5 V	tKCY1/2 - 10								ns
SIpセットアップ時間 (対SCKp↑)注1	tSIK1	4.0 V≦EVDD≦5.5 V	23		110		110		110		ns
		2.7 V≦EVDD≦5.5 V	33								
SIpホールド時間 (対SCKp↑)注1	tKSI1		10		10		10		10		ns
SCKp↓→SOp出力遅延時間注2	tKSO1	C = 20 pF注3		10		20		20		20	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p：CSI番号(p = 00), m：ユニット番号(m = 0), n：チャネル番号(n = 0), g：PIM, POM番号(g = 5)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00))

(3) 同電位通信，簡易SPI（CSI）モード時 (マスタ・モード，SCKp…内部クロック出力)

P01, P32, P53, P54, P56をSOmn端子とするとき

(TA = -40～+85 °C, 1.6V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tKCY1	tKCY1≧4/fCLK	2.7 V≦EVDD≦5.5 V	167		500		4000		1000		ns
			2.4 V≦EVDD≦5.5 V	250								
			1.8 V≦EVDD≦5.5 V	500								
			1.7 V≦EVDD≦5.5 V	1000		1000						
			1.6 V≦EVDD≦5.5 V	使用禁止								
SCKpハイ／ロウ・レベル幅	tKH1, tKL1	4.0 V≦EVDD≦5.5 V		tKCY1/2 - 12		tKCY1/2 - 50		tKCY1/2 - 50		tKCY1/2 - 50		ns
		2.7 V≦EVDD≦5.5 V		tKCY1/2 - 18								
		2.4 V≦EVDD≦5.5 V		tKCY1/2 - 38								
		1.8 V≦EVDD≦5.5 V		tKCY1/2 - 50								
		1.7 V≦EVDD≦5.5 V		tKCY1/2 - 100		tKCY1/2 - 100		tKCY1/2 - 100		tKCY1/2 - 100		
		1.6 V≦EVDD≦5.5 V		使用禁止								
SIpセットアップ時間 (対SCKp↑)注1	tSIK1	4.0 V≦EVDD≦5.5 V		44		110		110		110		ns
		2.7 V≦EVDD≦5.5 V										
		2.4 V≦EVDD≦5.5 V		75								
		1.8 V≦EVDD≦5.5 V		110								
		1.7 V≦EVDD≦5.5 V		220		220		220		220		
		1.6 V≦EVDD≦5.5 V		使用禁止								
SIpホールド時間(対SCKp↑) 注1	tKSI1	1.7 V≦EVDD≦5.5 V		19		19		19		19		ns
		1.6 V≦EVDD≦5.5 V		使用禁止								
SCKp↓→SOp出力遅延時間 注2	tKSO1	C = 30 pF注3	1.7 V≦EVDD≦5.5 V		33.4		33.4		33.4		33.4	ns
			1.6 V≦EVDD≦5.5 V		使用禁止							

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

P20をSO10端子とするとき

(TA = -40～+85 °C, 1.6 V≦EVDD = VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tKCY1	tKCY1≧4/fCLK	4.0 V≦VDD≦5.5 V	600		600		4000		1000		ns
			2.7 V≦VDD≦5.5 V	850		850						
			2.4 V≦VDD≦5.5 V	1000		1000						
			1.8 V≦VDD≦5.5 V	—		1500				1500		
			1.7 V≦VDD≦5.5 V	—		—		—		2000		
			1.6 V≦VDD≦5.5 V	—		—		—				
SCKpハイ／ロウ・レベル幅	tKH1, tKL1	4.0 V≦VDD≦5.5 V		tKCY1/2 - 12		tKCY1/2 - 50		tKCY1/2 - 50		tKCY1/2 - 50		ns
		2.7 V≦VDD≦5.5 V		tKCY1/2 - 18								
		2.4 V≦VDD≦5.5 V		tKCY1/2 - 38								
		1.8 V≦VDD≦5.5 V		—								
		1.7 V≦VDD≦5.5 V		—		—		—		tKCY1/2 - 100		
		1.6 V≦VDD≦5.5 V		—		—		—				
Slpセットアップ時間 (対SCKp↑)注1	tSIK1	4.0 V≦VDD≦5.5 V		44		110		110		110		ns
		2.7 V≦VDD≦5.5 V										
		2.4 V≦VDD≦5.5 V		75								
		1.8 V≦VDD≦5.5 V		—								
		1.7 V≦VDD≦5.5 V		—		—		—		220		
		1.6 V≦VDD≦5.5 V		—		—		—				
Slpホールド時間(対SCKp↑) 注1	tKSI1	2.4 V≦VDD≦5.5 V		19		19		19		19		ns
		1.8 V≦VDD≦5.5 V		—								
		1.6 V≦VDD≦5.5 V		—		—		—				
SCKp↓→SOp出力遅延時間 注2	tKSO1	C = 30 pF注3	2.4 V≦VDD≦5.5 V		150		250		250		300	ns
			1.8 V≦VDD≦5.5 V		—							
			1.6 V≦VDD≦5.5 V		—		—		—			

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，Slp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 4, 12)

fMCK：シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，

n：チャネル番号(mn = 00-03))

(4) 同電位通信，簡易SPI（CSI）モード時 (スレーブ・モード，SCKp…外部クロック入力)

P01, P32, P53, P54, P56をSOmn端子とするとき

(TA = -40～+85 °C, 1.6 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)　　(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム注2	t_{KCY2}	4.0 V≦EVDD≦5.5 V	fMCK＞20 MHz	8/fMCK		—		—		—		ns
			fMCK≦20 MHz	6/fMCK		6/fMCK		6/fMCK		6/fMCK		
		2.7 V≦EVDD≦5.5 V	fMCK＞16 MHz	8/fMCK		—		—		—		
			fMCK≦16 MHz	6/fMCK		6/fMCK		6/fMCK		6/fMCK		
		2.4 V≦EVDD≦5.5 V		6/fMCK かつ500								
		1.8 V≦EVDD≦5.5 V		6/fMCK かつ750								
		1.7 V≦EVDD≦5.5 V		6/fMCK かつ1500		6/fMCK かつ1500						
		1.6 V≦EVDD≦5.5 V		—								
SCKpハイ／ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EVDD≦5.5 V		t_{KCY2}/2 - 7		t_{KCY2}/2 - 7		t_{KCY2}/2 - 7		t_{KCY2}/2 - 7		ns
		2.7 V≦EVDD≦5.5 V		t_{KCY2}/2 - 8		t_{KCY2}/2 - 8		t_{KCY2}/2 - 8		t_{KCY2}/2 - 8		
		1.8 V≦EVDD≦5.5 V		t_{KCY2}/2 - 18		t_{KCY2}/2 - 18		t_{KCY2}/2 - 18		t_{KCY2}/2 - 18		
		1.7 V≦EVDD≦5.5 V		t_{KCY2}/2 - 66		t_{KCY2}/2 - 66		t_{KCY2}/2 - 66		t_{KCY2}/2 - 66		
		1.6 V≦EVDD≦5.5 V		—								
Slpセットアップ時間(対SCKp↑)注1	t_{SIK2}	2.7 V≦EVDD≦5.5 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V≦EVDD≦5.5 V		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		
		1.7 V≦EVDD≦5.5 V		1/fMCK + 40		1/fMCK + 40		1/fMCK + 40		1/fMCK + 40		
		1.6 V≦EVDD≦5.5 V		—								
Slpホールド時間(対SCKp↑)注1	t_{KSI2}	1.8 V≦EVDD≦5.5 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		1.7 V≦EVDD≦5.5 V		1/fMCK + 250		1/fMCK + 250		1/fMCK + 250		1/fMCK + 250		
		1.6 V≦EVDD≦5.5 V		—								

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2.　SNOOZEモードでの転送レートは，MAX.: 1 Mbpsです。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，Slp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

備考1. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

(TA = -40～+85 °C, 1.6 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)　　(2/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp ↓→SOp 出力遅延時間注1	tKSO2	C = 30 pF 注2	2.7 V≦EVDD≦5.5 V		2/fMCK + 44		2/fMCK + 110		2/fMCK + 110		2/fMCK + 110	ns
			2.4 V≦EVDD≦5.5 V		2/fMCK + 75							
			1.8 V≦EVDD≦5.5 V		2/fMCK + 110							
			1.7 V≦EVDD≦5.5 V		2/fMCK + 220		2/fMCK + 220		2/fMCK + 220		2/fMCK + 220	
			1.6 V≦EVDD≦5.5 V		—							
$\overline{SSI00}$セットアップ時間	tSSIK	DAPmn = 0	2.7 V≦VDD≦5.5 V	120		120		120		120		ns
			1.8 V≦VDD＜2.7 V	200		200		200		200		
			1.7 V≦VDD＜1.8 V	400		400		400		400		
			1.6 V≦VDD＜1.7 V	—								
		DAPmn = 1	2.7 V≦VDD≦5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		ns
			1.8 V≦VDD＜2.7 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		
			1.7 V≦VDD＜1.8 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400		1/fMCK + 400		
			1.6 V≦VDD＜1.7 V	—								
$\overline{SSI00}$ホールド時間	tKSSI	DAPmn = 0	2.7 V≦VDD≦5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		1/fMCK + 120		ns
			1.8 V≦VDD＜2.7 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		1/fMCK + 200		
			1.7 V≦VDD＜1.8 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400		1/fMCK + 400		
			1.6 V≦VDD＜1.7 V	—								
		DAPmn = 1	2.7 V≦VDD≦5.5 V	120		120		120		120		ns
			1.8 V≦VDD＜2.7 V	200		200		200		200		
			1.7 V≦VDD＜1.8 V	400		400		400		400		
			1.6 V≦VDD＜1.7 V	—								

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注2.　Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

備考1.　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考2.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

P20をSO10端子とするとき

(TA = -40～+85 °C, 1.6 V≦EVDD = VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム注4	tKCY2	4.0 V≦VDD≦5.5 V	fMCK＞20 MHz	14/fMCK		—		—		—		ns
			fMCK≦20 MHz	12/fMCK		12/fMCK		12/fMCK		12/fMCK		
		2.7 V≦VDD≦5.5 V	fMCK＞16 MHz	14/fMCK かつ850		—		—		—		
			fMCK≦16 MHz	12/fMCK かつ850		12/fMCK		12/fMCK		12/fMCK		
		2.4 V≦VDD≦5.5 V		12/fMCK かつ1000		12/fMCK		12/fMCK		12/fMCK		
		1.8 V≦VDD≦5.5 V		—		12/fMCK		12/fMCK		12/fMCK		
		1.7 V≦VDD≦5.5 V		—		—		—		12/fMCK		
		1.6 V≦VDD≦5.5 V		—		—		—				
SCKpハイ／ロウ・レベル幅	tKH2, tKL2	4.0 V≦VDD≦5.5 V		tKCY2/2 - 7		tKCY2/2 - 7		tKCY2/2 - 7		tKCY2/2 - 7		ns
		2.7 V≦VDD≦5.5 V		tKCY2/2 - 8		tKCY2/2 - 8		tKCY2/2 - 8		tKCY2/2 - 8		
		1.8 V≦VDD≦5.5 V		—		tKCY2/2 - 18		tKCY2/2 - 18		tKCY2/2 - 18		
		1.7 V≦VDD≦5.5 V		—		—		—		tKCY2/2 - 66		
		1.6 V≦VDD≦5.5 V		—		—		—				
Slpセットアップ時間(対SCKp↑)注1	tSIK2	2.7 V≦VDD≦5.5 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		2.4 V≦VDD≦5.5 V		1/fMCK + 30								
		1.8 V≦VDD≦5.5 V		—								
		1.7 V≦VDD≦5.5 V		—		—		—		1/fMCK + 40		
		1.6 V≦VDD≦5.5 V		—		—		—				
Slpホールド時間(対SCKp↑)注1	tKSI2	2.4 V≦VDD≦5.5 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		1.8 V≦VDD≦5.5 V		—		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		
		1.7 V≦VDD≦5.5 V		—		—		—		1/fMCK + 250		
		1.6 V≦VDD≦5.5 V		—		—		—				
SCKp↓→SOp出力遅延時間注2	tKSO2	C = 30 pF注3	2.7 V≦VDD≦5.5 V		2/fMCK + 160		2/fMCK + 260		2/fMCK + 260		2/fMCK + 260	ns
			2.4 V≦VDD≦5.5 V		2/fMCK + 190							
			1.8 V≦VDD≦5.5 V		—							
			1.7 V≦VDD≦5.5 V		—		—		—		2/fMCK + 320	
			1.6 V≦VDD≦5.5 V		—		—		—			

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3.　Cは，SCKp, SOp出力ラインの負荷容量です。

注4.　SNOOZEモードでの転送レートは，MAX.: 1 Mbpsです。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，Slp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

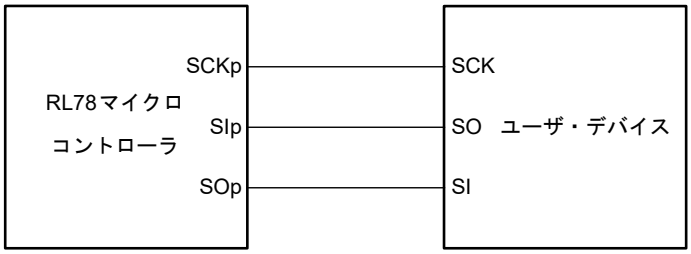
備考1. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 4, 12)

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

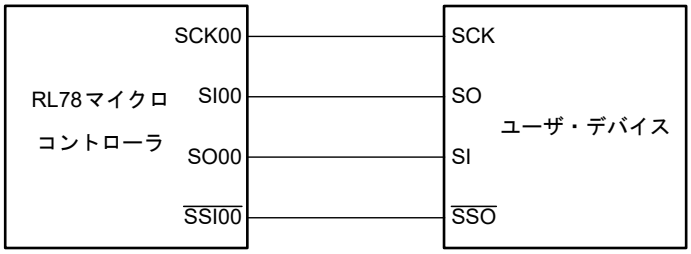
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，

n：チャネル番号(mn = 00-03))

簡易SPI（CSI）モード接続図(同電位通信時)

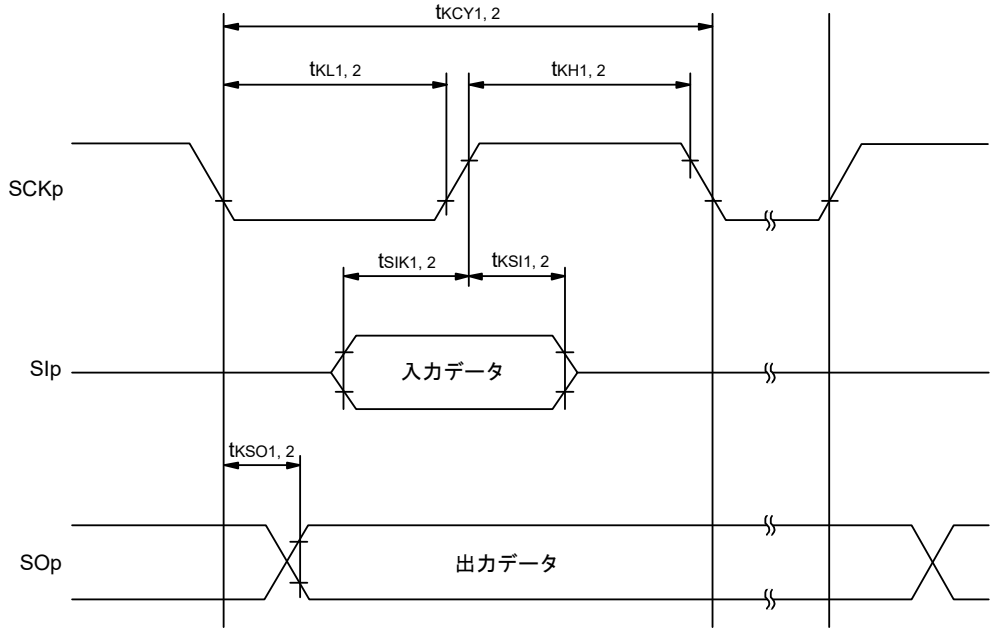


簡易SPI（CSI）モード接続図(同電位通信時)
(スレーブ・セレクト入力機能(CSI00)のスレーブ送信時)

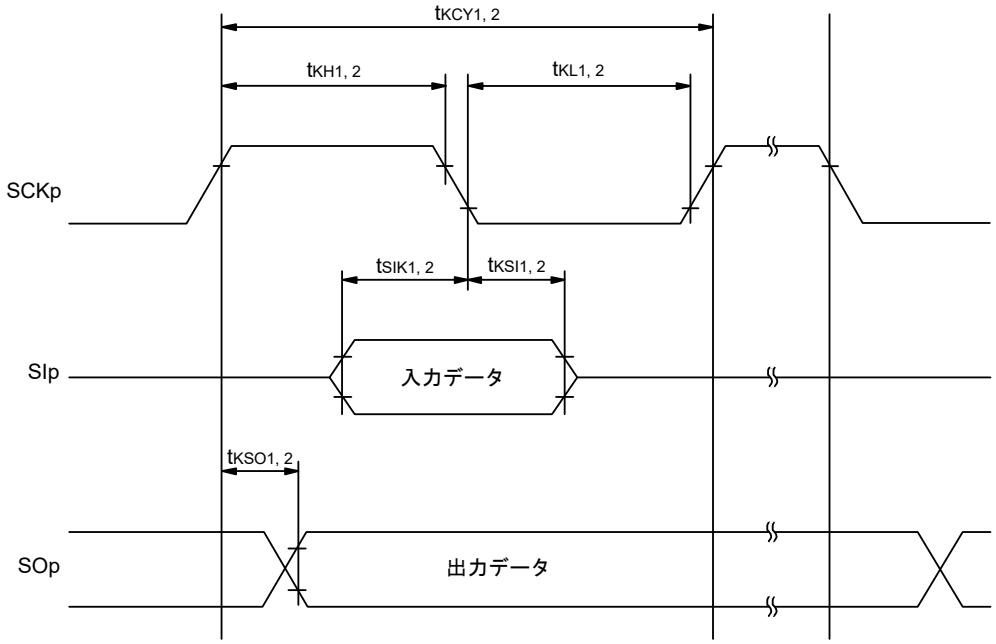


備考　p：CSI番号(p = 00, 01, 10, 11)

簡易SPI（CSI）モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI（CSI）モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p：CSI番号(p = 00, 01, 10, 11)

備考2. m：ユニット番号，n：チャネル番号(mn = 00-03)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40～+85 °C, 1.6 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fSCL	2.7 V≦EVDD≦5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000注1		400注1		250注1		400注1	kHz
		1.8 V≦EVDD≦5.5 V, Cb = 100 pF, Rb = 3 kΩ		400注1							
		1.8 V≦EVDD＜2.7 V, Cb = 100 pF, Rb = 5 kΩ		300注1		300注1		250注1		300注1	
		1.7 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ		250注1		250注1		250注1		250注1	
		1.6 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ		—							
SCLr = “L”のホールド・タイム	tLOW	2.7 V≦EVDD≦5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		1150		ns
		1.8 V≦EVDD≦5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150								
		1.8 V≦EVDD＜2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		1550		
		1.7 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		1850		
		1.6 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ	—								
SCLr = “H”のホールド・タイム	tHIGH	2.7 V≦EVDD≦5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		1150		ns
		1.8 V≦EVDD≦5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150								
		1.8 V≦EVDD＜2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		1550		
		1.7 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		1850		
		1.6 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ	—								
データ・セットアップ時間(受信時)	tSU: DAT	2.7 V≦EVDD≦5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 85注2		1/fMCK + 145注2		1/fMCK + 145注2		1/fMCK + 145注2		ns
		1.8 V≦EVDD≦5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 145注2								
		1.8 V≦EVDD＜2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 230注2		1/fMCK + 230注2		1/fMCK + 230注2		1/fMCK + 230注2		
		1.7 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 290注2		1/fMCK + 290注2		1/fMCK + 290注2		1/fMCK + 290注2		
		1.6 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ	—								
データ・ホールド時間(送信時)	tHD: DAT	2.7 V≦EVDD≦5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		1.8 V≦EVDD≦5.5 V, Cb = 100 pF, Rb = 3 kΩ		355		355		355		355	
		1.8 V≦EVDD＜2.7 V, Cb = 100 pF, Rb = 5 kΩ		405		405		405		405	
		1.7 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ									
		1.6 V≦EVDD＜1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—							

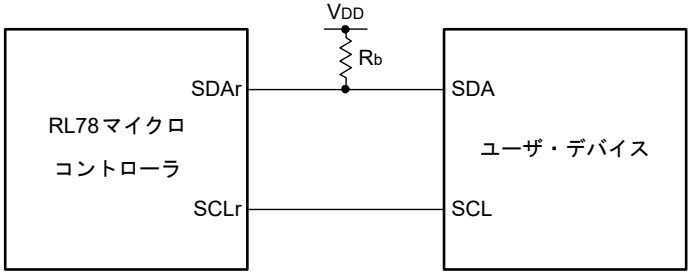
(注，注意は次ページにあります。)

注1.　fMCK/4以下に設定してください。

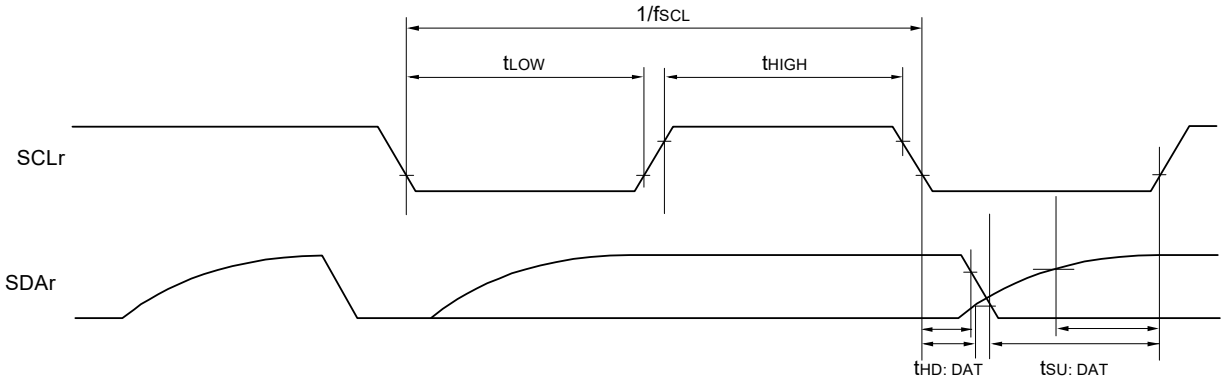
注2.　fMCK値は，SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で，SDArは通常入力バッファ，N-chオープン・ドレイン出力(EVDD耐圧)モードを選択し，SCLrは通常出力モードを選択します。

簡易I2Cモード接続図(同電位通信時)



簡易I2Cモード・シリアル転送タイミング(同電位通信時)



備考1. Rb [Ω]：通信ライン(SDAr)プルアップ抵抗値，Cb [F]：通信ライン(SCLr, SDAr)負荷容量値

•r：IIC番号(r = 00, 01, 10, 11), g：PIM番号(g =0, 3, 5), h：POM番号(h = 0, 3, 5)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3), mn = 00-03)

(6) 異電位(1.8 V系，2.5 V系，3.0 V系)通信時(UARTモード) (専用ボー・レート・ジェネレータ出力)

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		受信	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1	bps
			最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps
			2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1	bps
			最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps
			1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V		fMCK/6 注1, 2, 4		fMCK/6 注1, 2		fMCK/6 注1, 2		fMCK/6 注1, 2	bps
			最大転送レート理論値 fMCK = fCLK注3		4.0		1.3		0.1		0.6	Mbps

注1. SNOOZEモードでの転送レートは，4,800 bpsのみとなります。

注2. VDD≧Vbで使用してください。

注3. CPU／周辺ハードウエア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V≦VDD≦5.5 V)

16 MHz (2.4 V≦VDD≦5.5 V)

LS (低速メイン)モード: 8 MHz (1.8 V≦VDD≦5.5 V)

LP (低電力メイン)モード: 1 MHz (1.8 V≦VDD≦5.5 V)

LV (低電圧メイン)モード: 4 MHz (1.6 V≦VDD≦5.5 V)

注4. EVDD＜VDDとなる低電圧インタフェース時は，次の条件も必要になります。

2.4V ≦EVDD＜2.7V：Max.2.6 Mbps

1.8V ≦EVDD＜2.4V：Max.1.3 Mbps

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]：通信ライン電圧

備考2. q：UART番号(q = 0, 1)，g：PIM, POM番号(g = 0, 2, 3, 5, 12)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号(mn = 00-03))

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)　　(2/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		送信	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V		注1		注1		注1		注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2		2.8注2		2.8注2		2.8注2	Mbps
			2.7 V≦EVDD＜4.0V, 2.3 V≦Vb≦2.7 V		注3		注3		注3		注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4		1.2注4		1.2注4		1.2注4	Mbps
			1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V		注5, 6		注5, 6		注5, 6		注5, 6	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7		0.43注7		0.43注7		0.43注7	Mbps

注1.　fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3.　fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦EVDD≦4.0 V, 2.3 V≦Vb≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5.　EVDD≧Vbで使用してください。

注6.　fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

1.8 V ≦ EVDD ＜ 3.3 V, 1.6 V ≦ Vb ≦ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

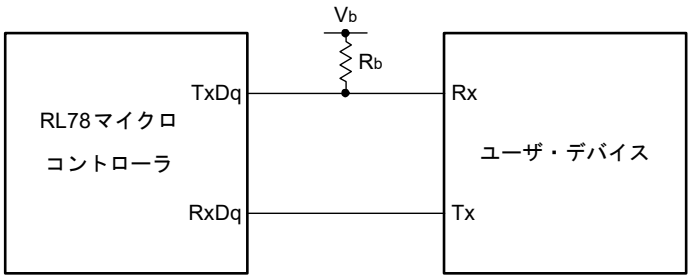
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

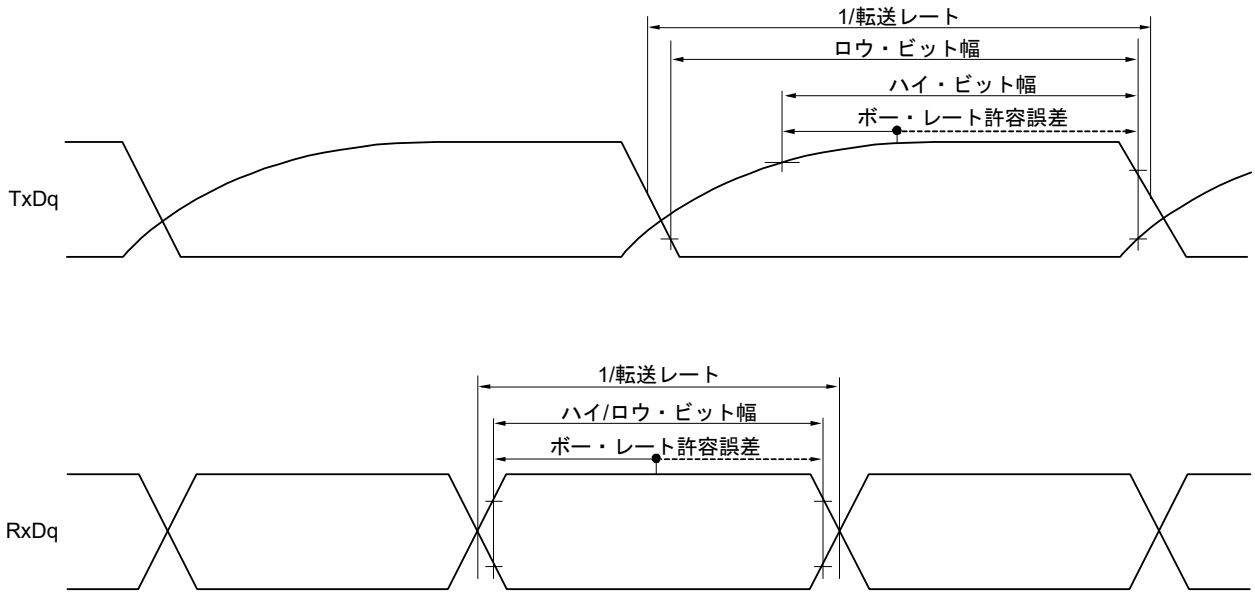
注7.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. Rb [Ω]：通信ライン(TxDq)プルアップ抵抗値，Cb [F]：通信ライン(TxDq)負荷容量値，Vb [V]：通信ライン電圧

備考2. q：UART番号(q = 0, 1)，g：PIM, POM番号(g = 0, 2, 3, 5, 12)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，

n：チャネル番号(mn = 00-03))

(7) 異電位(1.8 V，2.5 V系，3.0 V系)通信，簡易SPI（CSI）モード時(マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応)

(TA = -40～+85 °C，2.7 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tKCY1	tKCY1≧2/fCLK	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200		1150		1150		1150		ns
		tKCY1≧2/fCLK	2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300								
SCKpハイ・レベル幅	tKH1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		tKCY1/2 - 50		tKCY1/2 - 50		tKCY1/2 - 50		tKCY1/2 - 50		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		tKCY1/2 - 120		tKCY1/2 - 120		tKCY1/2 - 120		tKCY1/2 - 120		ns
SCKpロウ・レベル幅	tKL1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		tKCY1/2 - 7		tKCY1/2 - 50		tKCY1/2 - 50		tKCY1/2 - 50		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 1.4 kΩ		tKCY1/2 - 10								
SIpセットアップ時間(対SCKp↑)注1	tSIK1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		58		479		479		479		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		121								
SIpホールド時間(対SCKp↑)注1	tKSI1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10		10		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ										
SCKp↓→SOp出力遅延時間注1	tKSO1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ			60		60		60		60	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ			130		130		130		130	
SIpセットアップ時間(対SCKp↓)注2	tSIK1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		23		110		110		110		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		33								

(TA = -40～+85 °C, 2.7 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)　　(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpホールド時間 (対SCKp↓)注2	tKSI1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		10		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ									
SCKp↑→SOp出力遅延時間注2	tKSO1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10		10	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 20 pF, Rb = 2.7 kΩ									

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

備考1. Rb [Ω]：通信ライン(SCKp, SOp)プルアップ抵抗値，Cb [F]：通信ライン(SCKp, SOp)負荷容量値，Vb [V]：通信ライン電圧

備考2. p：CSI番号(p = 00)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0), g：PIM, POM番号(g = 5)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号 (mn = 00))

(8) 異電位(1.8 V，2.5 V系，3.0 V系)通信，簡易SPI（CSI）モード時(マスタ・モード，SCKp…内部クロック出力)

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)　　(1/3)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tKCY1	tKCY1≧4/fCLK	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		1150		1150		1150		ns
			2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500								
			1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	1150								ns
SCKpハイ・レベル幅	tKH1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tKCY1/2 - 75		tKCY1/2 - 75		tKCY1/2 - 75		tKCY1/2 - 75		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tKCY1/2 - 170		tKCY1/2 - 170		tKCY1/2 - 170		tKCY1/2 - 170		ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ		tKCY1/2 - 458		tKCY1/2 - 458		tKCY1/2 - 458		tKCY1/2 - 458		ns
SCKpロウ・レベル幅	tKL1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tKCY1/2 - 12		tKCY1/2 - 50		tKCY1/2 - 50		tKCY1/2 - 50		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tKCY1/2 - 18								
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ		tKCY1/2 - 50								ns

注　　EVDD≧Vbで使用してください。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (2/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間 (対SCKp↑)注1	tSIK1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		479		479		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177								
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	479								
SIpホールド時間 (対SCKp↑)注1	tKSI1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		19		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ									
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ									
SCKp↓→SOp出力遅延時間注1	tKSO1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100		100	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195		195	ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483		483	ns
SIpセットアップ時間 (対SCKp↓)注2	tSIK1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		110		110		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ									
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	110								
SIpホールド時間 (対SCKp↓)注2	tKSI1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		19		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ									
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ									

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)　　(3/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp ↑→SOp出力遅延時間注2	tKSO1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25		25	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ									
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ									

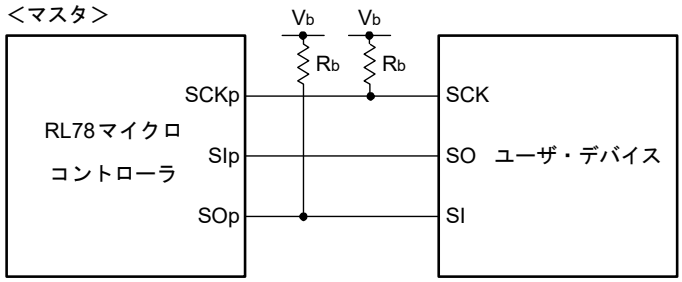
注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注3.　EVDD≧Vbで使用してください。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI（CSI）モード接続図(異電位通信時)

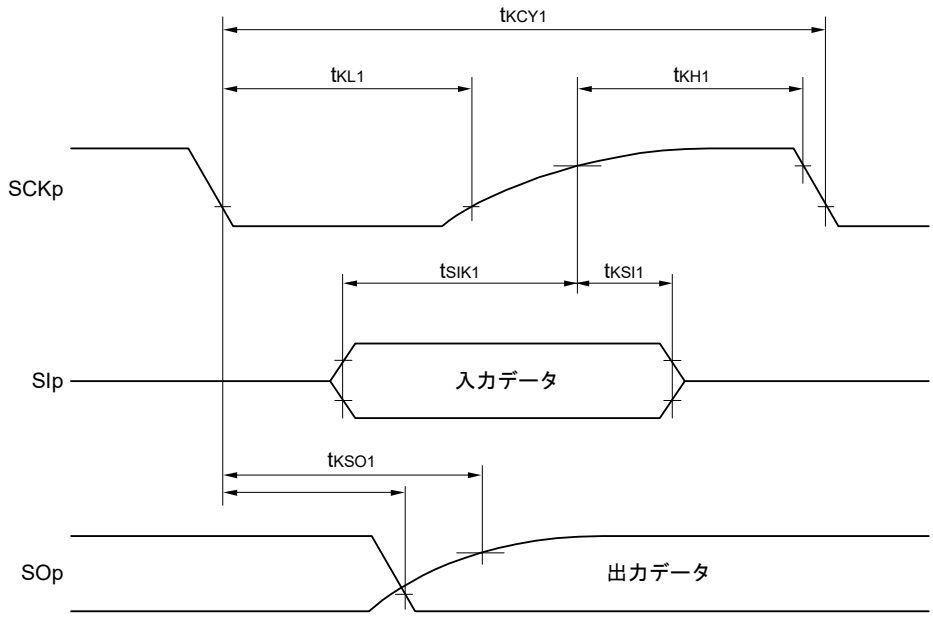


備考1.　Rb [Ω]：通信ライン(SCKp, SOp)プルアップ抵抗値，Cb [F]：通信ライン(SCKp, SOp)負荷容量値，Vb [V]：通信ライン電圧

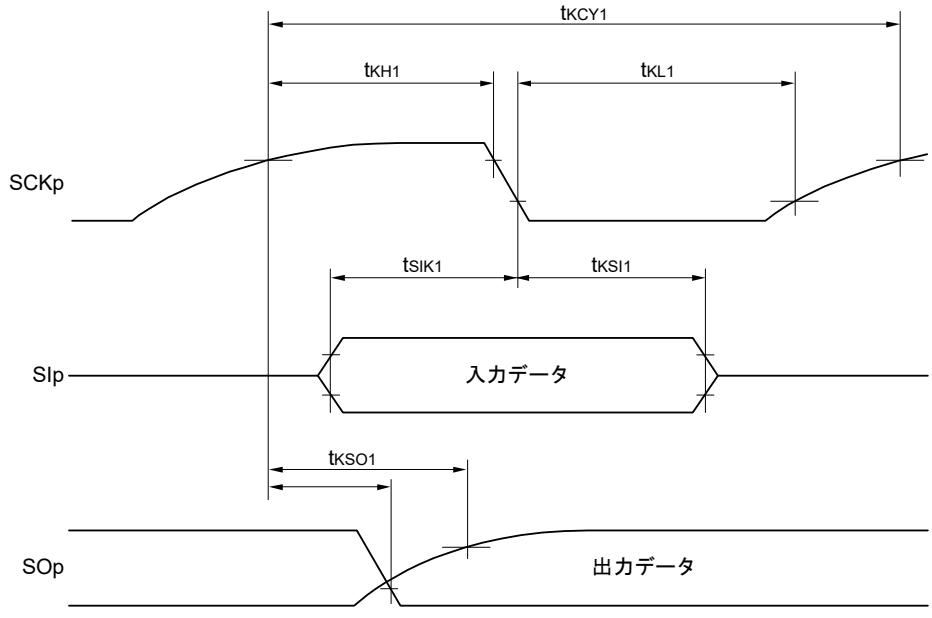
備考2.　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考3.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

(9) 異電位(1.8 V系, 2.5 V系, 3.0 V系)通信, 簡易SPI (CSI) モード時(スレーブ・モード, SCKp…外部クロック入力)

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム注1	tKCY2	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb ≦4.0 V	20 MHz＜fMCK≦24 MHz	12/fMCK		—		—		—		ns
			8 MHz＜fMCK≦20 MHz	10/fMCK		—		—		—		ns
			4 MHz＜fMCK≦8 MHz	8/fMCK		16/fMCK		—		—		ns
			fMCK≦4 MHz	6/fMCK		10/fMCK		10/fMCK		10/fMCK		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V	20 MHz＜fMCK≦24 MHz	16/fMCK		—		—		—		ns
			16 MHz＜fMCK≦20 MHz	14/fMCK		—		—		—		ns
			8 MHz＜fMCK≦16 MHz	12/fMCK		—		—		—		ns
			4 MHz＜fMCK≦8 MHz	8/fMCK		16/fMCK		—		—		ns
			fMCK≦4 MHz	6/fMCK		10/fMCK		10/fMCK		10/fMCK		ns
		1.8 V≦EVDD＜2.7 V, 1.6 V≦Vb≦2.0 V注2	20 MHz＜fMCK≦24 MHz	36/fMCK		—		—		—		ns
			16 MHz＜fMCK≦20 MHz	32/fMCK		—		—		—		ns
			8 MHz＜fMCK≦16 MHz	26/fMCK		—		—		—		ns
			4 MHz＜fMCK≦8 MHz	16/fMCK		16/fMCK		—		—		ns
			fMCK≦4 MHz	10/fMCK		10/fMCK		10/fMCK		10/fMCK		ns
SCKp ハイ／ロウ・レベル幅	tKH2, tKL2	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb ≦4.0 V		tKCY2/2 - 12		tKCY2/2 - 50		tKCY2/2 - 50		tKCY2/2 - 50		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V		tKCY2/2 - 18		tKCY2/2 - 50		tKCY2/2 - 50		tKCY2/2 - 50		ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2		tKCY2/2 - 50		tKCY2/2 - 50		tKCY2/2 - 50		tKCY2/2 - 50		ns
SIp セットアップ時間 (対SCKp ↑)注3	tSIK2	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb ≦4.0 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
SIp ホールド時間 (対SCKp ↑)注3	tKSI2			1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
SCKp ↓→ SOp出力遅延時間注4	tKSO2	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb ≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ			2/fMCK + 120		2/fMCK + 573		2/fMCK + 573		2/fMCK + 573	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 214		2/fMCK + 573		2/fMCK + 573		2/fMCK + 573	ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ			2/fMCK + 573		2/fMCK + 573		2/fMCK + 573		2/fMCK + 573	ns

(注，注意，備考は次ページにあります。)

注1.　SNOOZEモードでの転送レートは，MAX.: 1 Mbps

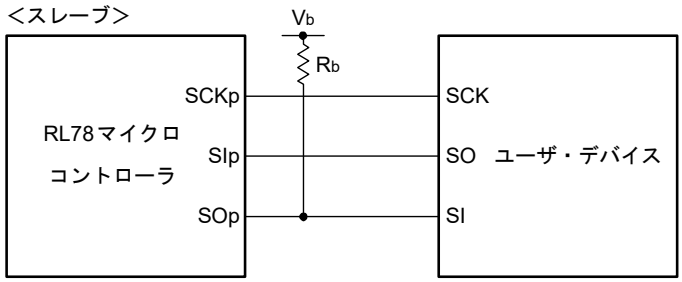
注2.　VDD≧Vbで使用してください。

注3.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注4.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子とSCKp端子はTTL入力バッファを選択し，SOp端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI（CSI）モード接続図(異電位通信時)

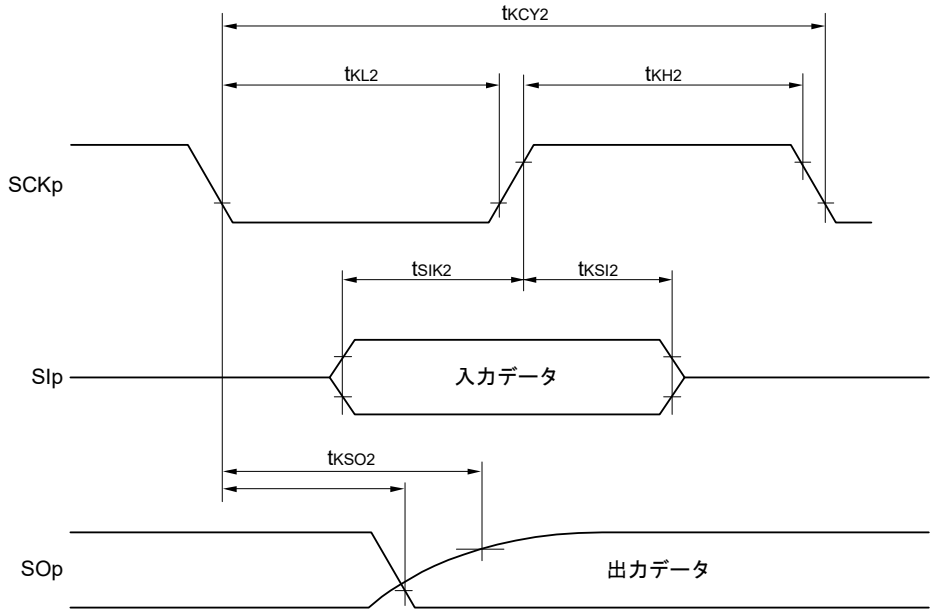


備考1.　Rb [Ω]：通信ライン(SOp)プルアップ抵抗値，Cb [F]：通信ライン(SOp)負荷容量値，
Vb [V]：通信ライン電圧

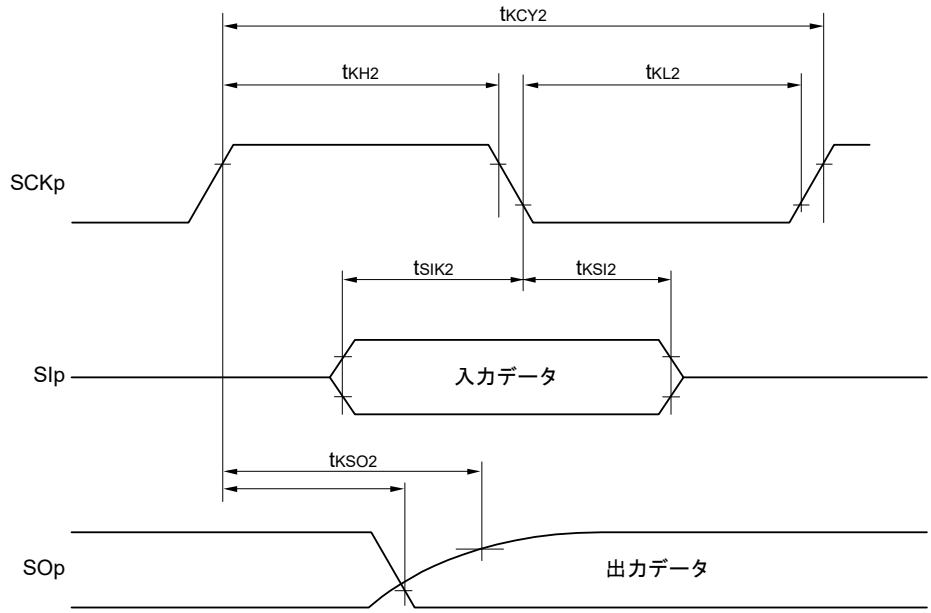
備考2.　p：CSI番号(p = 00-03)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考3.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

(10) 異電位通信時(1.8 V系，2.5 V系，3.0 V系） 通信時(簡易I²Cモード)

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (1/2)

項目	略号	条件	HS(高速メイン)モード		LS(低速メイン)モード		LP(低電力メイン)モード		LV(低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fSCL	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 注1		300注1		250注1		300注1	kHz
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 注1		300注1		250注1		300注1	kHz
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400注1		300注1		250注1		300注1	kHz
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400注1		300注1		250注1		300注1	kHz
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ		300注1		300注1		250注1		300注1	kHz
SCLr = “L”のホールド・タイム	tLOW	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		1550		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		1550		ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		1550		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		1550		ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		1550		ns
SCLr = “H”のホールド・タイム	tHIGH	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		610		610		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		610		610		ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		610		610		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		610		610		ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		610		ns
データ・セットアップ時間(受信時)	tSU : DAT	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135 注3		1/fMCK + 190 注2		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135 注3		1/fMCK + 190 注2		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns

(TA = -40～+85 °C, 1.8 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・ホールド時間 (送信時)	tHD : DAT	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	0	355	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	0	355	ns
		1.8 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	0	405	ns

注1. fMCK/4以下に設定してください。

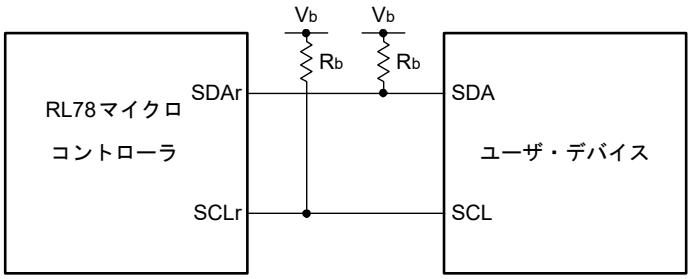
注2. EVDD≧Vbで使用してください。

注3. fMCK値は，SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

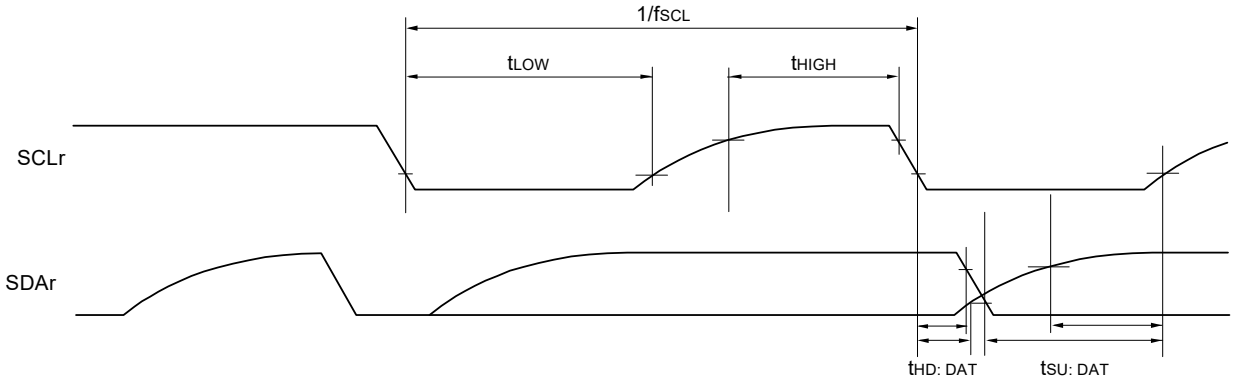
注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力(EVDD耐圧)モードを選択し，SCLrはN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I2Cモード接続図(異電位通信時)



簡易I2Cモード・シリアル転送タイミング(異電位通信時)



備考1. Rb [Ω]：通信ライン(SDAr, SCLr)プルアップ抵抗値，Cb [F]：通信ライン(SDAr, SCLr)負荷容量値，
Vb [V]：通信ライン電圧

備考2. r：IIC番号(r = 00, 01, 10, 11), g：PIM, POM番号(g = 0, 3, 5)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3),
mn = 00-03)

35.5.2 シリアル・インタフェースIICA

(1) I2C 標準モード

(T_A = -40～+85 °C, 1.6 V≦EV_{DD}≦V_{DD}≦5.5 V, V_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	2.7 V≦EV_{DD}≦5.5 V	0	100	0	100	0	100	0	100	kHz
			1.8 V≦EV_{DD}≦5.5 V	0	100	0	100	0	100	0	100	kHz
			1.7 V≦EV_{DD}≦5.5 V	0	100	0	100	0	100	0	100	kHz
			1.6 V≦EV_{DD}≦5.5 V	—		0	100	0	100	0	100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.6 V≦EV_{DD}≦5.5 V		—		4.7		4.7		4.7		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.6 V≦EV_{DD}≦5.5 V		—		4.0		4.0		4.0		μs
SCLA0 = “L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.6 V≦EV_{DD}≦5.5 V		—		4.7		4.7		4.7		μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.6 V≦EV_{DD}≦5.5 V		—		4.0		4.0		4.0		μs
データ・セットアップ時間(受信時)	$t_{SU:DAT}$	2.7 V≦EV_{DD}≦5.5 V		250		250		250		250		ns
		1.8 V≦EV_{DD}≦5.5 V		250		250		250		250		ns
		1.7 V≦EV_{DD}≦5.5 V		250		250		250		250		ns
		1.6 V≦EV_{DD}≦5.5 V		—		250		250		250		ns
データ・ホールド時間(送信時)[注2]	$t_{HD:DAT}$	2.7 V≦EV_{DD}≦5.5 V		0	3.45	0	3.45	0	3.45	0	3.45	μs
		1.8 V≦EV_{DD}≦5.5 V		0	3.45	0	3.45	0	3.45	0	3.45	μs
		1.7 V≦EV_{DD}≦5.5 V		0	3.45	0	3.45	0	3.45	0	3.45	μs
		1.6 V≦EV_{DD}≦5.5 V		—		0	3.45	0	3.45	0	3.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD}≦5.5 V		4.0		4.0		4.0		4.0		μs
		1.6 V≦EV_{DD}≦5.5 V		—		4.0		4.0		4.0		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD}≦5.5 V		4.7		4.7		4.7		4.7		μs
		1.6 V≦EV_{DD}≦5.5 V		—		4.7		4.7		4.7		μs

注1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

注2. $t_{HD:DAT}$の最大値(MAX.)は，通常転送時の数値であり，ACK(アクノリッジ)タイミングでは，クロック・ストレッチがかかります。

注意　周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も，上記の値を適用できます。
ただし，端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。

備考　各モードにおけるC_b (通信ライン容量)のMAX.値と，そのときのR_b (通信ライン・プルアップ抵抗値)の値は次のとおりです。
標準モード：C_b = 400 pF，R_b = 2.7 kΩ

(2) I²Cファースト・モード

(T_A = -40～+85 °C, 1.6 V≦EV_{DD}≦V_{DD}≦5.5 V, V_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz	2.7 V≦EV_{DD}≦5.5 V	0	400	0	400	0	400	0	400	kHz
			1.8 V≦EV_{DD}≦5.5 V	0	400	0	400	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU: STA}$	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
ホールド時間注1	$t_{HD: STA}$	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
SCLA0 = “L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V		1.3		1.3		1.3		1.3		μs
		1.8 V≦EV_{DD}≦5.5 V		1.3		1.3		1.3		1.3		μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
データ・セットアップ時間(受信時)	$t_{SU: DAT}$	2.7 V≦EV_{DD}≦5.5 V		100		100		100		100		ns
		1.8 V≦EV_{DD}≦5.5 V		100		100		100		100		ns
データ・ホールド時間(送信時)注2	$t_{HD: DAT}$	2.7 V≦EV_{DD}≦5.5 V		0	0.9	0	0.9	0	0.9	0	0.9	μs
		1.8 V≦EV_{DD}≦5.5 V		0	0.9	0	0.9	0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU: STO}$	2.7 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD}≦5.5 V		0.6		0.6		0.6		0.6		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD}≦5.5 V		1.3		1.3		1.3		1.3		μs
		1.8 V≦EV_{DD}≦5.5 V		1.3		1.3		1.3		1.3		μs

注1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

注2. $t_{HD: DAT}$の最大値(MAX.)は，通常転送時の数値であり，ACK(アクノリッジ)タイミングでは，クロック・ストレッチがかかります。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も，上記の値を適用できます。
ただし，端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量)のMAX.値と，そのときのR_b (通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード：C_b = 320 pF，R_b = 1.1 kΩ

(3) I^2C ファースト・モード・プラス

(T_A = -40～+85 °C，1.6 V≦EV_{DD}≦V_{DD}≦5.5 V, V_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス：f_{CLK}≧10 MHz	2.7 V≦EV_{DD}≦5.5 V	0	1000	—		—		—		kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD}≦5.5 V		0.26		—		—		—		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD}≦5.5 V		0.26		—		—		—		μs
SCLA0 = “L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V		0.5		—		—		—		μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V		0.26		—		—		—		μs
データ・セットアップ時間(受信時)	$t_{SU:DAT}$	2.7 V≦EV_{DD}≦5.5 V		50		—		—		—		ns
データ・ホールド時間(送信時)[注2]	$t_{HD:DAT}$	2.7 V≦EV_{DD}≦5.5 V		0	0.45	—		—		—		μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD}≦5.5 V		0.26		—		—		—		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD}≦5.5 V		0.5		—		—		—		μs

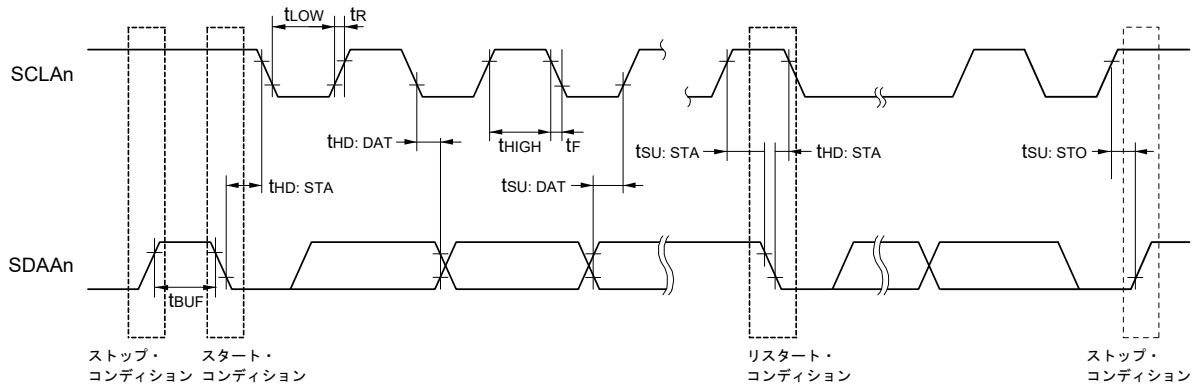
注1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

注2.　$t_{HD:DAT}$の最大値(MAX.)は，通常転送時の数値であり，ACK (アクノリッジ)タイミングでは，クロック・ストレッチがかかります。

注意　周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も，上記の値を適用できます。ただし，端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。

備考　各モードにおけるC_b (通信ライン容量)のMAX.値と，そのときのR_b (通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード・プラス ：C_b = 120 pF，R_b = 1.1 kΩ

IICAシリアル転送タイミング



備考　n = 0, 1

35.6　アナログ特性

35.6.1　A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧(+) = AVREFP 基準電圧(-) = AVREFM	基準電圧(+) = VDD 基準電圧(-) = VSS	基準電圧(+) = VBGR 基準電圧(-) = AVREFM
ANI0-ANI3	35.6.1 (1)参照	35.6.1 (3)参照	35.6.1 (4)参照
ANI16-ANI22	35.6.1 (2)参照		
内部基準電圧 温度センサ出力電圧	35.6.1 (1)参照		—

(1) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)，基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時，
変換対象：ANI2, ANI3，内部基準電圧，温度センサ出力電圧

(TA = -40～+85 °C，1.6 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V，基準電圧(+) = AVREFP，基準電圧(-) = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注3	1.8 V≦AVREFP≦5.5 V		1.2	±3.5	LSB
			1.6 V≦AVREFP≦5.5 V注4		1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI2, ANI3	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧， 温度センサ出力電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能 AVREFP = VDD注3	1.8 V≦AVREFP≦5.5 V			±0.25	%FSR
			1.6 V≦AVREFP≦5.5 V注4			±0.50	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能 AVREFP = VDD注3	1.8 V≦AVREFP≦5.5 V			±0.25	%FSR
			1.6 V≦AVREFP≦5.5 V注4			±0.50	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AVREFP = VDD注3	1.8 V≦AVREFP≦5.5 V			±2.5	LSB
			1.6 V≦AVREFP≦5.5 V注4			±5.0	LSB
微分直線性誤差注1	DLE	10ビット分解能 AVREFP = VDD注3	1.8 V≦AVREFP≦5.5 V			±1.5	LSB
			1.6 V≦AVREFP≦5.5 V注4			±2.0	LSB
アナログ入力電圧	VAIN	ANI2, ANI3		0		AVREFP	V
		内部基準電圧(1.8 V≦VDD≦5.5 V)		VBGR注5			V
		温度センサ出力電圧(1.8 V≦VDD≦5.5 V)		VTMPS25注5			V

注1.　量子化誤差(±1/2 LSB)を含みません。

注2.　フルスケール値に対する比率(%FSR)で表します。

注3.　AVREFP < VDDの場合，MAX.値は次のようになります。

総合誤差 ：　AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 ：　AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 ：　AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4.　変換時間をMIN. 57 μs，MAX. 95 μsに設定した場合の値です。

注5.　35.6.2　温度センサ／内部基準電圧特性を参照してください。

(2) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)，基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時，
変換対象：ANI16-ANI22

(TA = -40～+85 °C，1.6 V≦EVDD≦VDD≦5.5 V，1.6 V≦AVREFP≦VDD≦5.5 V，VSS = 0 V，
基準電圧(+) = AVREFP，基準電圧(-) = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	1.8 V≦AVREFP≦5.5 V		1.2	±5.0	LSB
			1.6 V≦AVREFP≦5.5 V注5		1.2	±8.5	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI16-ANI22	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	1.8 V≦AVREFP≦5.5 V			±0.35	%FSR
			1.6 V≦AVREFP≦5.5 V注5			±0.60	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	1.8 V≦AVREFP≦5.5 V			±0.35	%FSR
			1.6 V≦AVREFP≦5.5 V注5			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	1.8 V≦AVREFP≦5.5 V			±3.5	LSB
			1.6 V≦AVREFP≦5.5 V注5			±6.0	LSB
微分直線性誤差注1	DLE	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	1.8 V≦AVREFP≦5.5 V			±2.0	LSB
			1.6 V≦AVREFP≦5.5 V注5			±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI22		0		AVREFP かつ EVDD	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. EVDD ≦ AVREFP < VDDの場合，MAX.値は次のようになります。

総合誤差 ： AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 ： AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 ： AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. AVREFP < EVDD ≦ VDDの場合，MAX.値は次のようになります。

総合誤差 ： AVREFP = VDDのMAX.値に±4.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 ： AVREFP = VDDのMAX.値に±0.20 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 ： AVREFP = VDDのMAX.値に±2.0 LSBを加算してください。

注5. 変換時間をMIN. 57 μs，MAX. 95 μsに設定した場合の値です。

(3) 基準電圧(+) = VDD (ADREFP1 = 0, ADREFP0 = 0)，基準電圧(-) = VSS (ADREFM = 0)選択時，

変換対象：ANI0-ANI3，ANI16-ANI22，内部基準電圧，温度センサ出力電圧

(TA = -40～+85 °C，1.6 V≦EVDD≦VDD≦5.5 V，VSS = 0 V，基準電圧(+) = VDD，

基準電圧(-) = VSS)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能	1.8 V≦VDD≦5.5 V		1.2	±7.0	LSB
			1.6 V≦VDD≦5.5 V注3		1.2	±10.5	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI0-ANI3, ANI16-ANI22	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧， 温度センサ出力電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能	1.8 V≦VDD≦5.5 V			±0.60	%FSR
			1.6 V≦VDD≦5.5 V注3			±0.85	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能	1.8 V≦VDD≦5.5 V			±0.60	%FSR
			1.6 V≦VDD≦5.5 V注3			±0.85	%FSR
積分直線性誤差注1	ILE	10ビット分解能	1.8 V≦VDD≦5.5 V			±4.0	LSB
			1.6 V≦VDD≦5.5 V注3			±6.5	LSB
微分直線性誤差注1	DLE	10ビット分解能	1.8 V≦VDD≦5.5 V			±2.0	LSB
			1.6 V≦VDD≦5.5 V注3			±2.5	LSB
アナログ入力電圧	VAIN	ANI0-ANI3		0		VDD	V
		ANI16-ANI22		0		EVDD	V
		内部基準電圧(1.8 V≦VDD≦5.5 V)		VBGR注4			V
		温度センサ出力電圧(1.8 V≦VDD≦5.5 V)		VTMPS25注4			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 変換時間をMIN. 57 μs，MAX. 95 μsに設定した場合の値です。

注4. 35.6.2 温度センサ／内部基準電圧特性を参照してください。

(4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0)，基準電圧(-) = AV_{REFM}/ANI1 (ADREFM = 1)選択時，

変換対象：ANI0，ANI2，ANI3，ANI16-ANI22

(T_A = -40～+85 °C，1.8 V≦V_{DD}≦5.5 V，1.6 V≦ EV_{DD}≦V_{DD}，V_{SS} = 0 V，

基準電圧(+) = V_{BGR}注3，基準電圧(-) = AV_{REFM}注4 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		bit
変換時間	t_{CONV}		17		39	μs
ゼロスケール誤差注1, 2	E_{ZS}				±0.60	%FSR
積分直線性誤差注1	ILE				±2.0	LSB
微分直線性誤差注1	DLE				±1.0	LSB
アナログ入力電圧	V_{AIN}		0		V_{BGR}注3	V

注1.　量子化誤差(±1/2 LSB)を含みません。

注2.　フルスケール値に対する比率(%FSR)で表します。

注3.　35.6.2　温度センサ／内部基準電圧特性を参照してください。

注4.　基準電圧(-) = V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差 ：　基準電圧(-) = AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください。

積分直線性誤差 ：　基準電圧(-) = AV_{REFM}時のMAX.値に±0.5 LSBを加算してください。

微分直線性誤差 ：　基準電圧(-) = AV_{REFM}時のMAX.値に±0.2 LSBを加算してください。

35.6.2　温度センサ／内部基準電圧特性

(TA = -40～+85 °C，1.8 V≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	ADS レジスタ = 80H 設定，TA = +25 °C		1.05		V
内部基準電圧	VBGR	ADS レジスタ = 81H 設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP	2.4 V≦VDD≦5.5 V	5			μs
		1.8 V≦VDD＜2.4 V	10			μs

35.6.3　D/Aコンバータ（チャネル1）

(TA = -40～+85 °C，1.6 V≦ EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					8	bit
総合誤差	AINL	Rload = 4 MΩ	1.8 V≦VDD≦5.5 V			±2.5	LSB
		Rload = 8 MΩ	1.8 V≦VDD≦5.5 V			±2.5	LSB
セトリング・タイム	tSET	Cload = 20pF	2.7 V≦VDD≦5.5 V			3	μs
			1.6 V≦VDD＜2.7 V			6	μs

35.6.4 コンパレータ

(コンパレータ0：TA = -40～+85 °C, 2.7 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

(コンパレータ1：TA = -40～+85 °C, 1.6 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力電圧範囲	VIREF0	IVREF0端子		0		VDD - 1.4注1	V
	VIREF1	IVREF1端子		1.4注1		VDD	V
	VICMP	IVCMP0端子		-0.3		VDD + 0.3	V
		IVCMP1端子		-0.3		EVDD + 0.3	V
出力遅延	td	VDD = 3.0 V 入力スルー・レート＞50 mV/μs	コンパレータ高速モード，基本モード			1.2	μs
			コンパレータ高速モード，ウインドウ・モード			2.0	μs
			コンパレータ低速モード，基本モード		3		μs
			コンパレータ低速モード，ウインドウ・モード		4		μs
動作安定待ち時間	tCMP			100			μs
内蔵DACチャネル0基準電圧偏差注2	⊿VIDAC					± 2.5	LSB

注1. ウインドウ・モードの場合，VREF1 - VREF0 ≧ 0.2 Vとしてください。

注2. CMP0のみ

35.6.5　PGA

(T_A = -40～+85 °C，2.7 V≦EV_{DD}≦V_{DD}≦5.5 V, V_{SS} = 0 V)

項目	略号	条件			MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOPGA}						±10	mV
入力電圧範囲	V_{IPGA}				0		0.9 × V_{DD}/増幅率	V
出力電圧範囲	V_{IOHPGA}				0.93 × V_{DD}			V
	V_{IOLPGA}						0.07 × V_{DD}	V
増幅率誤差		4倍，8倍					±1	%
		16倍					±1.5	%
		32倍					±2	%
スルー・レート	SR_{RPGA}	立ち上がり V_{IN} = V_{DD} × 0.1/増幅率 ～V_{DD} × 0.9/増幅率 出力振幅の10-90%	4.0 V≦V_{DD}≦5.5V	32倍以外	3.5			V/μs
			4.0 V≦V_{DD}≦5.5V	32倍	3.0			
			2.7 V≦V_{DD}≦4.0V		0.5			
	SR_{FPGA}	立ち下がり V_{IN} = V_{DD} × 0.1/増幅率 ～V_{DD} × 0.9/増幅率 出力振幅の90-10%	4.0 V≦V_{DD}≦5.5V	32倍以外	3.5			
			4.0 V≦V_{DD}≦5.5V	32倍	3.0			
			2.7 V≦V_{DD}≦4.0V		0.5			
動作安定待ち時間注	t_{PGA}	4倍，8倍					5	μs
		16倍，32倍					10	μs

注　PGAの動作を許可（PGAEN=1）してから，PGA動作のDC/AC特性を満足できる状態になるまでの時間。

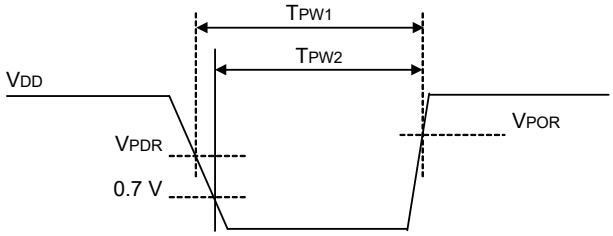
35.6.6　POR回路特性

(TA = -40～+85 °C，VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時注1	1.46	1.50	1.54	V
最小パルス幅注2	TPW1	STOP/SUB HALT/SUB RUN以外	300			μs
	TPW2	STOP/SUB HALT/SUB RUNのとき	300			μs

注1.　ただし，LVDオフの条件で動作電圧降下時は，35.4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行，または電圧検出機能か外部リセット端子で，リセット状態にしてください。

注2.　VDDがVPDRを下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモード時および，クロック動作ステータス制御レジスタ(CSC)のビット0 (HIOSTOP)とビット7 (MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は，VDDが0.7 Vを下回ってから，VPORを上回るまでのPORによるリセット動作に必要な時間です。



35.6.7　LVD回路特性

(1) リセット・モード，割り込みモードのLVD検出電圧

(TA = -40～+85 °C，VPDR≦EVDD ≦ VDD≦5.5 V，VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		VLVD1	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		VLVD11	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		VLVD12	電源立ち上がり時	1.74	1.77	1.81	V
			電源立ち下がり時	1.70	1.73	1.77	V
		VLVD13	電源立ち上がり時	1.64	1.67	1.70	V
			電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅		tLW		300			μs
検出遅延						300	μs

(2) 割り込み＆リセット・モードのLVD検出電圧

(TA = -40～+85 °C, VPDR≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件			MIN.	TYP.	MAX.	単位
割り込み＆リセット・モード	VLVDA0	VPOC0, VPOC1, VPOC2 = 0, 0, 0, 立ち下がりリセット電圧			1.60	1.63	1.66	V
	VLVDA1	LVIS0, LVIS1 = 1, 0		立ち上がりリセット解除電圧	1.74	1.77	1.81	V
				立ち下がり割り込み電圧	1.70	1.73	1.77	V
	VLVDA2	LVIS0, LVIS1 = 0, 1		立ち上がりリセット解除電圧	1.84	1.88	1.91	V
				立ち下がり割り込み電圧	1.80	1.84	1.87	V
	VLVDA3	LVIS0, LVIS1 = 0, 0		立ち上がりリセット解除電圧	2.86	2.92	2.97	V
				立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDB0	VPOC0, VPOC1, VPOC2 = 0, 0, 1, 立ち下がりリセット電圧			1.80	1.84	1.87	V
	VLVDB1	LVIS0, LVIS1 = 1, 0		立ち上がりリセット解除電圧	1.94	1.98	2.02	V
				立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS0, LVIS1 = 0, 1		立ち上がりリセット解除電圧	2.05	2.09	2.13	V
				立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS0, LVIS1 = 0, 0		立ち上がりリセット解除電圧	3.07	3.13	3.19	V
				立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC0, VPOC1, VPOC2 = 0, 1, 0, 立ち下がりリセット電圧			2.40	2.45	2.50	V
	VLVDC1	LVIS0, LVIS1 = 1, 0		立ち上がりリセット解除電圧	2.56	2.61	2.66	V
				立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS0, LVIS1 = 0, 1		立ち上がりリセット解除電圧	2.66	2.71	2.76	V
				立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDC3	LVIS0, LVIS1 = 0, 0		立ち上がりリセット解除電圧	3.68	3.75	3.82	V
				立ち下がり割り込み電圧	3.60	3.67	3.74	V
	VLVDD0	VPOC0, VPOC1, VPOC2 = 0, 1, 1, 立ち下がりリセット電圧			2.70	2.75	2.81	V
	VLVDD1	LVIS0, LVIS1 = 1, 0		立ち上がりリセット解除電圧	2.86	2.92	2.97	V
				立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDD2	LVIS0, LVIS1 = 0, 1		立ち上がりリセット解除電圧	2.96	3.02	3.08	V
				立ち下がり割り込み電圧	2.90	2.96	3.02	V
	VLVDD3	VIS0, LVIS1 = 0, 0		立ち上がりリセット解除電圧	3.98	4.06	4.14	V
				立ち下がり割り込み電圧	3.90	3.98	4.06	V

35.6.8 電源電圧立ち上がり傾き特性

(TA = -40～+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

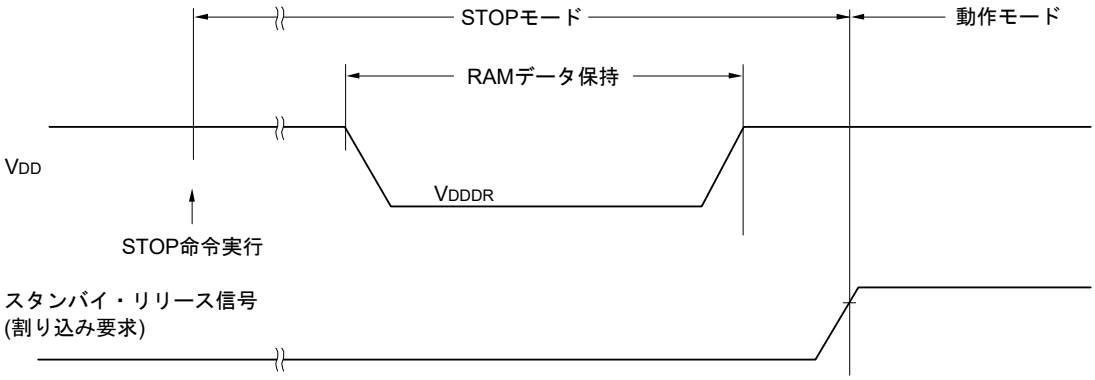
注意 VDDが35.4 AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

35.7　RAMデータ保持特性

(TA = -40～+85 °C, 1.8 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。



35.8　フラッシュ・メモリ・プログラミング特性

(TA = -40～+85 °C, 1.8 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	1.8 V≦VDD≦5.5 V		1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cerwr	保持年数：20年	TA = 85 °C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年	TA = 25 °C		1,000,000		
		保持年数：5年	TA = 85 °C	100,000			
		保持年数：20年	TA = 85 °C	10,000			

注1.　消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

注2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

35.9 専用フラッシュ・メモリ・プログラマ通信(UART)

(TA = -40～+85 °C, 1.8 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

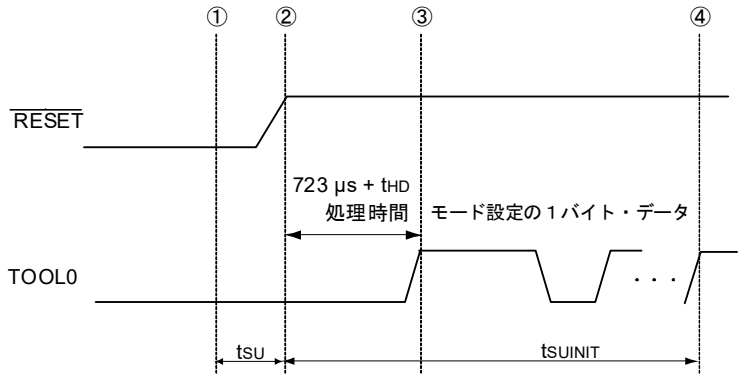
35.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40～+85 °C, 1.8 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間注1	tSUINIT	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間注1	tSU	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く注1, 2)	tHD	外部リセット解除前に POR, LVD リセットは解除	1			ms

注1. 端子リセット解除前にPOR, LVD リセットは解除されていること

注2. Flash ファーム処理時間723 μs は含まない



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除(その前にPOR，LVD リセットが解除されていること)

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考 tSUINIT: この区間では，外部リセット解除から100 ms以内に初期設定通信を完了してください。

tSU: TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

tHD: 外部リセット解除から，TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第36章　電気的特性（TA = －40～＋105°C）

この章では，以下の対象製品の電気的特性を示します。

対象製品　G：産業用途（TA = －40～＋105°C））

R5F105xxGxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

注意2. 製品により搭載している端子が異なります。 2.1　ポート機能～2.2.1　製品別の搭載機能を参照してください。

注意3. TA = +85 °C～+105 °Cで使用する場合のディレーティングについては，当社営業および販売店営業へお問い合わせください。なお，ディレーティングとは，「信頼性を改善するために，計画的に負荷を定格値から軽減すること」です。

注意4. 動作周囲温度が85 °Cを越える場合，フラッシュ動作モードはHS (高速メイン)モードのみが使用可能です。レギュレータ・モードは通常設定(MCSEL = 0)でご使用ください。

注意5. 24pin以下の製品はEVDD 端子を搭載しないため，EVDD をVDD，電圧条件：1.6 ≦EVDD≦VDD≦5.5V を1.6 ≦VDD ≦5.5Vに読み替えてください。

備考　TA = －40～＋85°Cの範囲で使用する場合は第35章　電気的特性(TA = －40～＋85°C)を参照してください。

用途区分	A：民生用途	G：産業用途
動作周囲温度	TA = -40 ～ +85 °C	TA = -40 ～ +105 °C
動作モード 動作電圧範囲	HS (高速メイン) モード ： 2.7 V ≦ VDD ≦ 5.5 V@1 MHz ～ 24 MHz 2.4 V ≦ VDD ≦ 5.5 V@1 MHz ～ 16 MHz LS (低速メイン) モード ： 1.8 V ≦ VDD ≦ 5.5 V@1 MHz ～ 8 MHz LV (低電圧メイン) モード： 1.6 V ≦ VDD ≦ 5.5 V@1 MHz ～ 4 MHz	HS (高速メイン) モードのみ： 2.7 V ≦ VDD ≦ 5.5 V@1 MHz ～ 24 MHz 2.4 V ≦ VDD ≦ 5.5 V@1 MHz ～ 16 MHz
高速オンチップ・オシレータ・クロック精度	1.8 V≦VDD≦5.5 V： ±1.0% @ TA = -20～+85 °C ±1.5% @ TA = -40～-20 °C 1.6 V≦VDD＜1.8 V： ±5.0% @ TA = -20～+85 °C ±5.5% @ TA = -40～-20 °C	2.4 V ≦ VDD ≦ 5.5 V： ±2.0% @ TA = +85 ～ +105 °C ±1.0% @ TA = -20 ～ +85 °C ±1.5%@ TA = -40 ～ -20 °C
シリアル・アレイ・ユニット	UART 簡易SPI（CSI）：fCLK/2 (12Mbps 対応), fCLK/4 簡易 I2C	UART 簡易SPI（CSI）：fCLK/4 簡易 I2C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	• 立ち上がり：1.67 V ～ 4.06 V (14 段階) • 立ち下がり：1.63 V ～ 3.98 V (14 段階)	• 立ち上がり：2.61 V ～ 4.06 V (8 段階) • 立ち下がり：2.55 V ～ 3.98 V (8 段階)

備考　G：産業用途 (TA = -40 ～ +105 °C) の電気的特性は，85 °C を超えて使用する場合には，“A：民生用途 ” と異な ります。詳細は，このページ以降の 36.1 ～ 36.10 を参照してください。

36.1　絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5～ + 6.5	V
	EVDD		-0.5～ + 6.5	V
	AVREFP		0.3～VDD + 0.3注2	V
	AVREFM		-0.3～VDD + 0.3注2 かつAVREFM≦AVREFP	V
REGC端子入力電圧	VIREGC	REGC	-0.3～ + 2.8 かつ-0.3～VDD + 0.3注1	V
入力電圧	VI1	P00, P01, P30-P33, P40，P51-P56	-0.3～EVDD + 0.3 かつ-0.3～VDD + 0.3注2	V
	VI2	P20-P23, P121, P122, P125, P137, EXCLK, $\overline{\text{RESET}}$	-0.3～VDD + 0.3注2	V
出力電圧	VO1	P00, P01, P30-P33, P40，P51-P56	-0.3～EVDD + 0.3 かつ-0.3～VDD + 0.3注2	V
	VO2	P20-P23	-0.3～VDD + 0.3注2	V
アナログ入力電圧	VAI1	ANI16-ANI22	-0.3～EVDD + 0.3 かつ-0.3～AVREF(+) + 0.3注2, 3	V
	VAI2	ANI0-ANI3	-0.3～VDD + 0.3 かつ-0.3～AVREF(+) + 0.3注2, 3	V

注1.　REGC端子にはコンデンサ(0.47～1 μF)を介してVssに接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2.　6.5 V以下であること。

注3.　A/D変換対象の端子は，AVREF(+) + 0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考1. 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF (+)：A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I_{OH1}	1端子	P00, P01, P30-P33, P40, P51-P56	-40	mA
		端子合計 -170 mA	P00, P01, P40	-70	mA
			P30-P33, P51-P56	-100	mA
	I_{OH2}	1端子	P20-P23	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00, P01, P30-P33, P40, P51-P56	40	mA
		端子合計 170 mA	P00, P01, P40	70	mA
			P30-P33, P51-P56	100	mA
	I_{OL2}	1端子	P20-P23	1	mA
		端子合計		4	mA
動作周囲温度	T_A	通常動作時		-40～+105	°C
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			-65～+150	°C

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

36.2　発振回路特性

36.2.1　X1特性

(TA = -40～+105 °C, 2.4 V≦VDD≦5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数(fX)注	セラミック発振子/水晶振動子	2.7 V≦VDD≦5.5 V	1.0		20.0	MHz
		2.4 V≦VDD＜2.7 V	1.0		16.0	

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，36.4　AC特性を参照してください。
また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考　X1発振回路を使用する場合は，6.4　システム・クロック発振回路を参照してください。

36.2.2　オンチップ・オシレータ特性

((TA = -40～+105 °C, 2.4 V≦VDD≦5.5 V, VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	fIH	2.7 V≦VDD≦5.5 V	1		24	MHz
		2.4 V≦VDD≦5.5 V	1		16	
高速オンチップ・オシレータ・クロック周波数精度		TA = +85～+105 °C	-2		2	%
		TA = -20～+85°C	-1		1	%
		TA = -40～-20 °C	-1.5		1.5	%
中速オンチップ・オシレータ発振周波数注2	fIM		1		4	MHz
中速オンチップ・オシレータ発振周波数精度			-12		+12	%
中速オンチップ・オシレータ発振周波数精度の温度ドリフト	DIMT			0.008		%/°C
中速オンチップ・オシレータ発振周波数精度の電圧ドリフト	DIMV	TA = 25 °C		0.02		%/V
低速オンチップ・オシレータ・クロック周波数注2	fIL			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1.　高速オンチップ・オシレータの周波数は，オプション･バイト(000C2H/010C2H)のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

注2.　発振回路の特性だけを示すものです。命令実行時間は，36.4　AC特性を参照してください。

36.3 DC特性

36.3.1 端子特性

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (1/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流注1	IOH1	P00, P01, P30-P33, P40, P51-P56 1端子				-3.0注2	mA
		P00, P01, P40合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			-12.5	mA
			2.7 V≦EVDD＜4.0 V			-10.0	mA
			2.4 V≦EVDD＜2.7 V			-5.0	mA
		P30-P33, P51-P56 合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			-30.0	mA
			2.7 V≦EVDD＜4.0 V			-19.0	mA
			2.4 V≦EVDD＜2.7 V			-10.0	mA
		全端子合計 (デューティ≦70%時注3)				-42.5	mA
	IOH2	P20-P23 1端子				-0.1注2	mA
		全端子合計 (デューティ≦70%時注3)	2.4 V≦VDD≦5.5 V			-0.4	mA

注1. VDD端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ≦70%の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます(デューティ比をn%に変更する場合)。

・端子合計の出力電流 = (IOH × 0.7)/(n × 0.01)

＜計算例＞ IOH = -10.0 mAの場合，n = 80%

端子合計の出力電流 = (-10.0 × 0.7)/(80 × 0.01) ≒ -8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意 P00, P01, P20, P30-P33, P40, P51-P56は，N-chオープン・ドレイン・モード時には，ハイ・レベルを出力しません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)　　(2/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流注1	IOL1	P00, P01, P30-P33, P40, P51-P56 1端子				8.5注2	mA
		P00, P01, P40　合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			36.0	mA
			2.7 V≦EVDD＜4.0 V			15.0	mA
			2.4 V≦EVDD＜2.7 V			9.0	mA
		P30-P33, P51-P56　合計 (デューティ≦70%時注3)	4.0 V≦EVDD≦5.5 V			40.0	mA
			2.7 V≦EVDD＜4.0 V			35.0	mA
			2.4 V≦EVDD＜2.7 V			20.0	mA
		全端子合計 (デューティ≦70%時注3)				76.0	mA
	IOL2	P20-P23 1端子				0.4注2	mA
		全端子合計 (デューティ≦70%時注3)	2.4 V≦VDD≦5.5 V			1.6	mA

注1.　出力端子からVSS端子に流れ込んでも，デバイスの動作を保証する電流値です。

注2.　合計の電流値を越えないでください。

注3.　デューティ ≦ 70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます(デューティ比をn%に変更する場合)。

・端子合計の出力電流 = (IOL × 0.7)/(n × 0.01)

＜計算例＞　IOL = 10.0 mAの場合，n = 80%

端子合計の出力電流 = (10.0 × 0.7)/(80 × 0.01) ≒ 8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (3/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	P00, P01, P30-P33, P40, P51-P56	通常モード	0.8 EVDD		EVDD	V
	VIH2	P00, P30-P32, P40, P51-P56	TTLモード 4.0V≦EVDD≦5.5 V	2.2		EVDD	V
			TTLモード 3.3 V≦EVDD＜4.0 V	2.0		EVDD	V
			TTLモード 2.4 V≦EVDD＜3.3 V	1.5		EVDD	V
	VIH3	P20-P23（デジタル入力）		0.7 VDD		VDD	V
	VIH4	P121, P122, P125, P137, EXCLK, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00, P01, P30-P33, P40, P51-P56	通常モード	0		0.2 EVDD	V
	VIL2	P00, P30-P32, P40, P51-P56	TTLモード 4.0V≦EVDD≦5.5 V	0		0.8	V
			TTLモード 3.3 V≦EVDD＜4.0 V	0		0.5	V
			TTLモード 2.4 V≦EVDD＜3.3 V	0		0.32	V
	VIH3	P20-P23（デジタル入力）		0		0.3 VDD	V
	VIH4	P121, P122, P125, P137, EXCLK, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P00, P01, P20, P30-P33, P40, P51-P56は，N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDD/EVDDです。
（P20: VDD
P00, P01, P30-P33, P40, P51-P56: EVDD）

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)　　(4/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00, P01, P30-P33, P40, P51-P56	4.0 V≦EVDD≦5.5 V, IOH = -3.0 mA	EVDD - 0.7			V
			2.7 V≦EVDD≦5.5 V, IOH = -2.0 mA	EVDD - 0.6			V
			2.4 V≦EVDD≦5.5 V, IOH = -1.5 mA	EVDD - 0.5			V
	VOH2	P20-P23	2.4 V≦VDD≦5.5 V, IOH = -100 μA	VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P00, P01, P30-P33, P40, P51-P56	4.0 V≦EVDD≦5.5 V, IOL = 8.5 mA			0.7	V
			2.7 V≦EVDD≦5.5 V, IOL = 3.0 mA			0.6	V
			2.7 V≦EVDD≦5.5 V, IOL = 1.5 mA			0.4	V
			2.4 V≦EVDD≦5.5 V, IOL = 0.6 mA			0.4	V
	VOL2	P20-P23	2.4 V≦VDD≦5.5 V, IOL = 400 μA			0.4	V

注意　P00, P01, P20, P30-P33, P40, P51-P56は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (5/5)

項目	略号	条件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	ILIH1	P00, P01, P30-P33, P40, P51-P56	VI = EVDD				1	μA
	ILIH2	P20-P23, P125, P137, $\overline{\text{RESET}}$	VI = VDD				1	μA
	ILIH3	P121, P122, X1, X2, EXCLK	VI = VDD	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	ILIL1	P00, P01, P30-P33, P40, P51-P56	VI = VSS				-1	μA
	ILIL2	P20-P23, P125, P137, $\overline{\text{RESET}}$	VI = VSS				-1	μA
	ILIL3	P121, P122, X1, X2, EXCLK	VI = VSS	入力ポート時，外部クロック入力時			-1	μA
				発振子接続時			-10	μA
内蔵プルアップ抵抗	RU	P00, P01, P30-P33, P40, P51-P56, P125	VI = VSS，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

36.3.2 電源電流特性

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (1/3)

項目	略号	条件						MIN.	TYP.	MAX.	単位
電源電流注1	IDD1	動作モード	基本動作	HS (高速メイン) モード	fHOCO = 48 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			1.7		mA
						VDD = 3.0 V			1.7		
					fHOCO = 24 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			1.4		
						VDD = 3.0 V			1.4		
			通常動作	HS (高速メイン) モード	fHOCO = 48 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			3.5	7.3	mA
						VDD = 3.0 V			3.5	7.3	
					fHOCO = 24 MHz注3 fIH = 24 MHz注3	VDD = 5.0 V			3.2	6.7	
						VDD = 3.0 V			3.2	6.7	
					fHOCO = 16 MHz注3 fIH = 16 MHz注3	VDD = 5.0 V			2.4	4.9	
						VDD = 3.0 V			2.4	4.9	
			通常動作	HS (高速メイン) モード	fMX = 20 MHz注2	VDD = 5.0 V	方形波入力		2.7	5.7	mA
							発振子接続		2.8	5.8	
						VDD = 3.0 V	方形波入力		2.7	5.7	
							発振子接続		2.8	5.8	
					fMX = 10 MHz注2	VDD = 5.0 V	方形波入力		1.8	3.4	
							発振子接続		1.9	3.5	
						VDD = 3.0 V	方形波入力		1.8	3.4	
							発振子接続		1.9	3.5	
			通常動作	サブシステム・クロック動作	fIL = 15 kHz, TA = -40 °C注4				1.8	5.9	μA
					fIL = 15 kHz, TA = +25 °C注4				1.9	5.9	
					fIL = 15 kHz, TA = +85 °C注4				2.3	8.7	
					fIL = 15 kHz, TA = +105 °C注4				3.0	20.9	

注1. VDD, EVDD に流れるトータル電流です。入力端子を VDD, EVDD または VSS に固定した状態での入力リーク電流を含みます。
HS（高速メイン）モード時，電源電流の TYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし，A/Dコンバータ，D/Aコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注3. 高速システム・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注4. 高速システム・クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロックは停止時。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考3. fIM : 中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

備考4. fIL : 低速オンチップ・オシレータ・クロック周波数

備考5. fSUB : サブシステム・クロック周波数(低速オンチップ・オシレータ・クロック周波数)

備考6.「サブシステム・クロック動作」以外のTYP.値の温度条件は，TA = 25 °Cです。

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)　　(2/3)

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流注1	IDD2 注2	HALTモード	HS (高速メイン) モード	fHOCO = 48 MHz注3 fIH = 24 MHz注4	VDD = 5.0 V			0.59	3.45	mA
					VDD = 3.0 V			0.59	3.45	
				fHOCO = 24 MHz注3 fIH = 24 MHz注4	VDD = 5.0 V			0.41	2.85	
					VDD = 3.0 V			0.41	2.85	
				fHOCO = 16 MHz注3 fIH = 16 MHz注4	VDD = 5.0 V			0.39	2.08	
					VDD = 3.0 V			0.39	2.08	
			HS (高速メイン) モード	fMX = 20 MHz注3	VDD = 5.0 V	方形波入力		0.20	2.45	mA
						発振子接続		0.40	2.57	
					VDD = 3.0 V	方形波入力		0.20	2.45	
						発振子接続		0.40	2.57	
				fMX = 10 MHz注3	VDD = 5.0 V	方形波入力		0.15	1.28	
						発振子接続		0.30	1.36	
					VDD = 3.0 V	方形波入力		0.15	1.28	
						発振子接続		0.30	1.36	
			サブシステム・クロック動作	fIL = 15 kHz, TA = -40 °C注5				0.48	1.22	μA
				fIL = 15 kHz, TA = +25 °C注5				0.55	1.22	
				fIL = 15 kHz, TA = +85 °C注5				0.80	3.30	
				fIL = 15 kHz, TA = +105 °C注5				2.00	17.3	

注1.　VDD, EVDD に流れるトータル電流です。入力端子を VDD, EVDD または VSS に固定した状態での入力リーク電流を含みます。
HS（高速メイン）モード時，電源電流の TYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし，A/Dコンバータ，D/Aコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2.　フラッシュ・メモリでのHALT命令実行時。

注3.　高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注4.　高速システム・クロック，中速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックは停止時。

注5.　高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

備考1. fMX ：　高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH ：　高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考3. fIM ：　中速オンチップ・オシレータ・クロック周波数(最大4 MHz)

備考4. fIL ：　低速オンチップ・オシレータ・クロック周波数

備考5. fSUB ：　サブシステム・クロック周波数(低速オンチップ・オシレータ・クロック周波数)

備考6.「サブシステム・クロック動作」以外のTYP.値の温度条件は，TA = 25 °Cです。

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流注1	IDD3	STOPモード注2	TA = -40 °C		0.19	0.51	μA
			TA = +25 °C		0.25	0.51	
			TA = +50 °C		0.28	1.10	
			TA = +70 °C		0.38	1.90	
			TA = +85 °C		0.60	3.30	
			TA = +105 °C		1.5	17.0	

注1. VDD, EVDD に流れるトータル電流です。入力端子を VDD, EVDD または VSS に固定した状態での入力リーク電流を含みます。STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2. STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

周辺機能(全製品共通)

(TA = -40～+105 °C, 2.4 V ≦ EVDD ≦ VDD ≦ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.22		μA
12ビット・インターバル・タイマ動作電流	ITMKA注1, 3, 4	fIL = 15 kHz，fMAINは停止			0.02		μA
8ビット・インターバル・タイマ動作電流注1, 9	ITMT	fIL = 15 kHz，fMAINは停止	8ビット・カウンタ・モード × 2 ch動作		0.04		μA
			16ビット・カウンタ・モード動作		0.03		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 3, 5	fIL = 15 kHz，fMAINは停止			0.22		μA
A/Dコンバータ動作電流	IADC注1, 6	最高速変換時	標準モード，AVREFP = VDD = 5.0V		1.3	1.7	mA
			低電圧モード，AVREFP = VDD = 3.0V		0.5	0.7	mA
内部基準電圧(1.45 V)電流注1, 10	IADREF				85.0		μA
温度センサ動作電流	ITMPS注1				85.0		μA
D/Aコンバータ動作電流	IDAC注1	1チャネル当たり				1.5	mA
PGA動作電流	IPGA注1, 2				480	700	μA
コンパレータ動作電流	ICMP注11	VDD = 5.0 V, レギュレータ 出力電圧 = 2.1 V	コンパレータ高速モード ウィンドウモード		12.5		μA
			コンパレータ低速モード ウィンドウモード		3.0		
			コンパレータ高速モード 基本モード		6.5		
			コンパレータ低速モード 基本モード		1.9		
		VDD = 5.0 V, レギュレータ 出力電圧 = 1.8 V	コンパレータ高速モード ウィンドウモード		8.0		
			コンパレータ低速モード ウィンドウモード		2.2		
			コンパレータ高速モード 基本モード		4.0		
			コンパレータ低速モード 基本モード		1.3		
LVD動作電流	ILVD注1, 7				0.10		μA
セルフ・プログラミング動作電流	IFSP注1, 12				2.0	12.20	mA
BGO電流	IBGO注1, 11				2.0	12.20	mA
SNOOZE動作電流	ISNOZ注1	ADC動作， fIH = 24 MHz， AVREFP = VDD = 3.0 V	モード遷移中注13		0.50	1.10	mA
			変換動作中		1.20	2.04	mA
		簡易SPI（CSI）/UART動作，fIH = 24 MHz			0.70	1.54	mA
	ISNOZM注1	ADC動作， fIM = 4 MHz， AVREFP = VDD = 3.0 V	モード遷移中注13		0.05	0.13	mA
			変換動作中		0.67	0.84	mA
		簡易SPI（CSI）動作，fIM = 4 MHz			0.06	0.15	mA

(注，備考は次ページにあります。)

注1.　VDDに流れる電流です。

注2.　動作保証範囲は2.7-5.5Vです。

注3.　高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

注4.　12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，IDD1またはIDD2にITを加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はIFILを加算してください。

注5.　ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。
ウォッチドッグ・タイマの動作時は，IDD1，IDD2またはIDD3にIWDTを加算した値が，RL78マイクロコントローラの電流値となります。

注6.　A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が，RL78マイクロコントローラの電流値となります。

注7.　LVD回路にのみ流れる電流です。LVD回路の動作時は，IDD1，IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。

注8.　コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は，IDD1，IDD2またはIDD3にICMPを加算した値が，RL78マイクロコントローラの電流値となります。

注9.　8ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は，IDD1またはIDD2にITを加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はIFILを加算してください。

注10.　内部基準電圧(1.45 V)の生成で消費する電流です。

注11.　データ・フラッシュ書き換え時に流れる電流です。

注12.　セルフ・プログラミング時に流れる電流です。

注13.　SNOOZEモードへの移行時間は，24.3.3　SNOOZEモードを参照してください。

備考1.　fIL：　低速オンチップ・オシレータ・クロック周波数

備考2.　fCLK：　CPU／周辺ハードウエア・クロック周波数

備考3.　TYP.値の温度条件は，TA = 25 °Cです。

36.4 AC特性

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件			MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	TCY	メイン・システム・クロック(fMAIN)動作	HS（高速メイン）モード	2.7 V≦VDD≦5.5 V	0.04167		1	μs
				2.4 V≦VDD＜2.7 V	0.0625		1	μs
		サブシステム・クロック(fSUB)動作	fIL	2.4 V≦VDD≦5.5 V		66.7		μs
		セルフ・プログラミング時	HS（高速メイン）モード	2.7 V≦VDD≦5.5 V	0.04167		1	μs
				2.4 V≦VDD＜2.7 V	0.0625		1	μs
外部システム・クロック周波数	fEX	2.7 V≦VDD≦5.5 V			1		20	MHz
		2.4 V≦VDD＜2.7 V			1		16	MHz
外部システム・クロック入力ハイ／ロウ・レベル幅	tEXH, tEXL	2.7 V≦VDD≦5.5 V			24			ns
		2.4 V≦VDD＜2.7 V			30			ns
TI00-TI03，入力ハイ／ロウ・レベル幅	tTIH, tTIL注1				1/fMCK + 10			ns
TO00-TO03, TKBO0, TKBO1出力周波数注2	fTO	TO00-TO03 TKBO0, TKBO1（非P20端子出力時）	HS（高速メイン）モード	4.0 V≦EVDD≦5.5 V			12	MHz
				2.7 V≦EVDD＜4.0 V			8	
				2.4 V≦EVDD＜2.7 V			4	
		TKBO1（P20端子出力時）	HS（高速メイン）モード	4.0 V≦VDD≦5.5 V			1.5	MHz
				2.7 V≦VDD＜4.0 V			1.2	
				2.4 V≦VDD＜2.7 V			1	
PCLBUZ0, PCLBUZ1出力周波数	fPCL	HS（高速メイン）モード		4.0 V≦EVDD≦5.5 V			16	MHz
				2.7 V≦EVDD＜4.0 V			8	
				2.4 V≦EVDD＜2.7 V			4	
割り込み入力ハイ／ロウ・レベル幅	tINTH, tINTL	INTP0-INTP2, INTP9		2.4 V≦VDD≦5.5 V	1			μs
		INTP3-INTP8, INTP10, INTP11		2.4 V≦EVDD≦5.5 V	1			
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7		2.4 V≦EVDD≦5.5 V	250			ns
$\overline{\text{RESET}}$ロウ・レベル幅	tRSL				10			μs

注1. EVDD＜VDDの低電圧インタフェースでは，次の値も満足する必要があります。

2.4 V≦EVDD≦2.7V：MIN.125ns

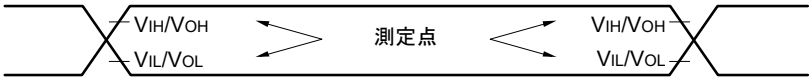
注2. デューティ 50%時

備考 fMCK：タイマ・アレイ·ユニットの動作クロック周波数。

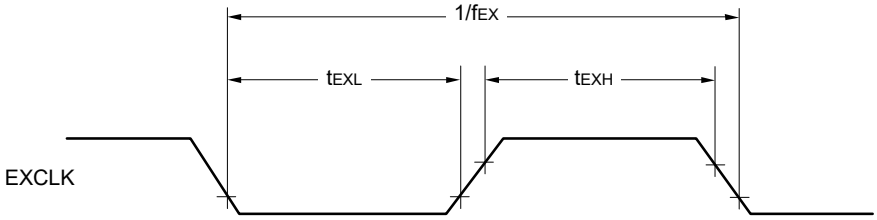
(タイマ・モード・レジスタmn (TMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号(m = 0),

n：チャネル番号(n = 0-3))

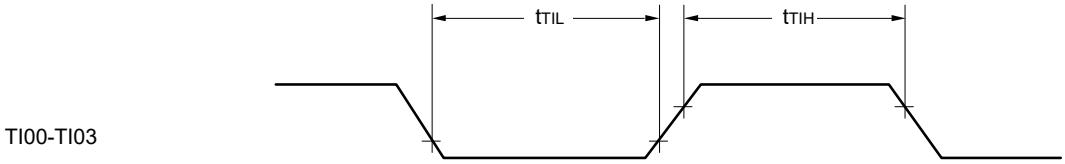
ACタイミング測定点

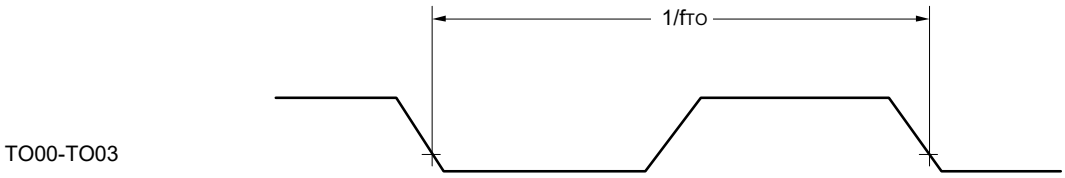


外部システム・クロック・タイミング

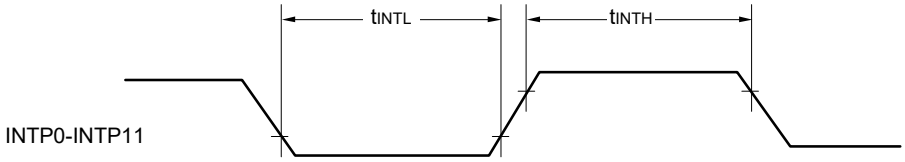


TI/TOタイミング

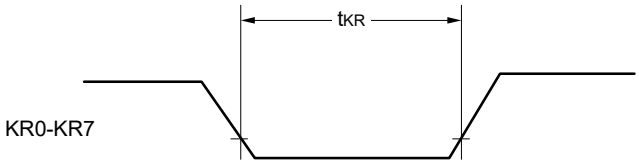




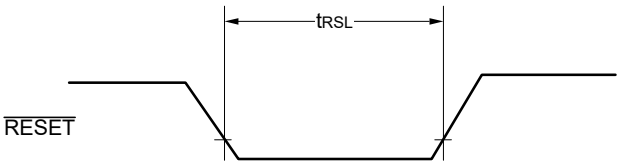
割り込み要求入力タイミング



キー割り込み入力タイミング

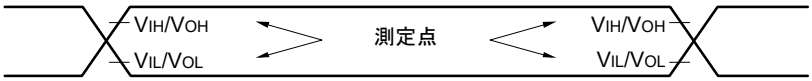


$\overline{\text{RESET}}$入力タイミング



36.5　周辺機能特性

ACタイミング測定点



36.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

P01, P30, P31, P54をTxDq端子とするとき

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート		最大転送レート理論値 fMCK = fCLK = 24 MHz		fMCK/12注1, 2	bps
				2.0	Mbps

注1. SNOOZEモードでの転送レートは，4800 bpsのみとなります。

注2. EVDD＜VDDの低電圧インタフェースでは，次の値も満足する必要があります。

2.4V≦EVDD＜2.7V：MAX. 1.3 Mbps

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

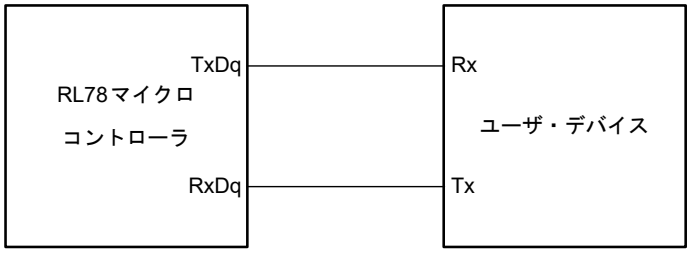
P20をTxD1端子とするとき

(TA = -40～+105 °C, 2.4 V≦EVDD = VDD≦5.5 V, VSS = 0 V)

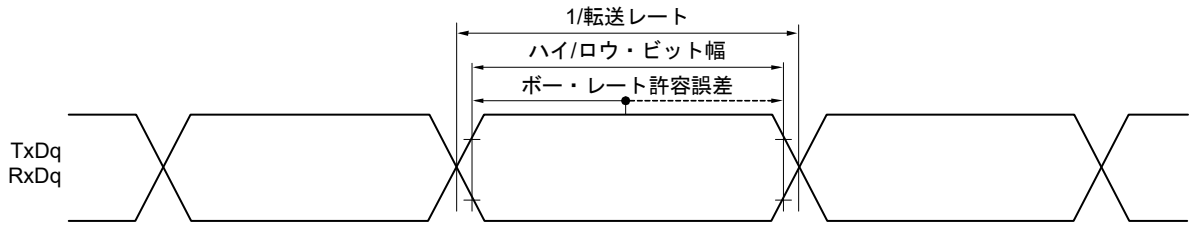
項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート		4.0 V≦VDD≦5.5 V		fMCK/16注	bps
		最大転送レート理論値 fMCK = 24 MHz, fMCK = fCLK		1.5	Mbps
		2.7 V≦VDD≦5.5 V		fMCK/20注	bps
		最大転送レート理論値 fMCK = 24 MHz, fMCK = fCLK		1.2	Mbps
		2.4 V≦VDD≦5.5 V		fMCK/16注	bps
		最大転送レート理論値 fMCK = 16 MHz, fMCK = fCLK		1.0	Mbps

注 SNOOZE モードでの転送レートは，4800 bps のみサポートする。ただし，fHOCO = 48 MHz 時はSNOOZE モードをサポートしない。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q：UART番号(q = 0, 1)，g：PIM, POM番号(g = 0, 2, 3, 5)

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，

n：チャネル番号(mn = 00-03))

(2) 同電位通信，簡易SPI（CSI）モード時(マスタ・モード，SCKp…内部クロック出力)

P01, P32, P53, P54, P56をSOmn端子とするとき

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦EVDD≦5.5 V	250		ns
			2.4 V≦EVDD≦5.5 V	500		ns
SCKpハイ／ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EVDD≦5.5 V		t_{KCY1}/2 - 24		ns
		2.7 V≦EVDD≦5.5 V		t_{KCY1}/2 - 36		ns
		2.4 V≦EVDD≦5.5 V		t_{KCY1}/2 - 76		ns
SIpセットアップ時間(対SCKp↑)注1	t_{SIK1}	4.0 V≦EVDD≦5.5 V		66		ns
		2.7 V≦EVDD≦5.5 V				ns
		2.4 V≦EVDD≦5.5 V		133		ns
SIpホールド時間(対SCKp↑)注1	t_{KSI1}			38		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 30 pF注3			50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

P20をSO10端子とするとき

(TA = -40～+105 °C, 2.4 V≦EVDD = VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム	tKCY1	tKCY1≧4/fCLK	2.7 V≦VDD≦5.5 V	1000		ns
			2.4 V≦VDD≦5.5 V	1200		ns
SCKpハイ／ロウ・レベル幅	tKH1, tKL1	4.0 V≦VDD≦5.5 V		tKCY1/2 - 24		ns
		2.7 V≦VDD≦5.5 V		tKCY1/2 - 36		ns
		2.4 V≦VDD≦5.5 V		tKCY1/2 - 76		ns
Slpセットアップ時間(対SCKp↑)注1	tSIK1	2.7 V≦VDD≦5.5 V		66		ns
		2.4 V≦VDD≦5.5 V		133		ns
Slpホールド時間(対SCKp↑)注1	tKSI1			38		ns
SCKp↓→SOp出力遅延時間注2	tKSO1	C = 30 pF注3			180	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，Slp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 4, 12)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

(3) 同電位通信，簡易SPI（CSI）モード時(スレーブ・モード，SCKp…外部クロック入力)

P01, P32, P53, P54, P56をSOmn端子とするとき

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (1/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム注4	tKCY2	4.0 V≦EVDD≦5.5 V	fMCK＞20 MHz	16/fMCK		ns
			fMCK≦20 MHz	12/fMCK		ns
		2.7 V≦EVDD＜4.0 V	fMCK＞16 MHz	16/fMCK		ns
			fMCK≦16 MHz	12/fMCK		ns
		2.4 V≦EVDD＜2.7 V		12/fMCK かつ1000		ns
SCKpハイ／ロウ・レベル幅	tKH2, tKL2	4.0 V≦EVDD≦5.5		tKCY2/2 - 14		ns
	tKH2, tKL2	2.7 V≦EVDD＜4.0 V		tKCY2/2 - 16		ns
		2.4 V≦EVDD＜2.7 V		tKCY2/2 - 36		ns
Slpセットアップ時間(対SCKp↑)注1	tSIK2	2.7 V≦EVDD≦5.5 V		1/fMCK + 40		ns
		2.4 V≦EVDD＜2.7 V		1/fMCK + 60		ns
Slpホールド時間(対SCKp↑)注1	tKSI2			1/fMCK + 62		ns
SCKp↓→SOp出力遅延時間注2	tKSO2	C = 30 pF注3	2.7 V≦EVDD≦5.5 V		2/fMCK + 66	ns
			2.4 V≦EVDD＜2.7 V		2/fMCK + 113	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは，SCKp, SOp出力ラインの負荷容量です。

注4. SNOOZEモードでの転送レートは，MAX.: 1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，Slp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

備考1. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (2/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
$\overline{SSI00}$セットアップ時間	tSSIK	DAPmn = 0	2.7 V≦VDD≦3.6 V	240		ns
			2.4 V≦VDD＜2.7 V	400		ns
		DAPmn = 1	2.7 V≦VDD≦3.6 V	1/fMCK + 240		ns
			2.4 V≦VDD＜2.7 V	1/fMCK + 400		ns
$\overline{SSI00}$ホールド時間	tKSSI	DAPmn = 0	2.7 V≦VDD≦3.6 V	1/fMCK + 240		ns
			2.4 V≦VDD＜2.7 V	1/fMCK + 400		ns
		DAPmn = 1	2.7 V≦VDD≦3.6 V	240		ns
			2.4 V≦VDD＜2.7 V	400		ns

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

備考　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

P20をSO10端子とするとき

(TA = -40～+105 °C, 2.4 V≦EVDD = VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム注4	tKCY2	4.0 V≦VDD≦5.5 V	fMCK＞20 MHz	20/fMCK		ns
			fMCK≦20 MHz	18/fMCK		ns
		2.7 V≦VDD＜4.0 V	fMCK＞16 MHz	20/fMCK かつ 1000		ns
			fMCK≦16 MHz	18/fMCK		ns
		2.4 V≦VDD＜2.7 V		18/fMCK かつ 1200		ns
SCKpハイ／ロウ・レベル幅	tKH2, tKL2	4.0 V≦VDD≦5.5		tKCY2/2 - 14		ns
	tKH2, tKL2	2.7 V≦VDD＜4.0 V		tKCY2/2 - 16		ns
		2.4 V≦VDD＜2.7 V		tKCY2/2 - 36		ns
Slpセットアップ時間(対SCKp↑)注1	tSIK2	2.7 V≦VDD≦5.5 V		1/fMCK + 40		ns
		2.4 V≦VDD＜2.7 V		1/fMCK + 60		ns
Slpホールド時間(対SCKp↑)注1	tKSI2			1/fMCK + 62		ns
SCKp↓→SOp出力遅延時間注2	tKSO2	C = 30 pF注3	2.7 V≦VDD≦5.5 V		2/fMCK + 190	ns
			2.4 V≦VDD＜2.7 V		2/fMCK + 250	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3. Cは，SCKp, SOp出力ラインの負荷容量です。

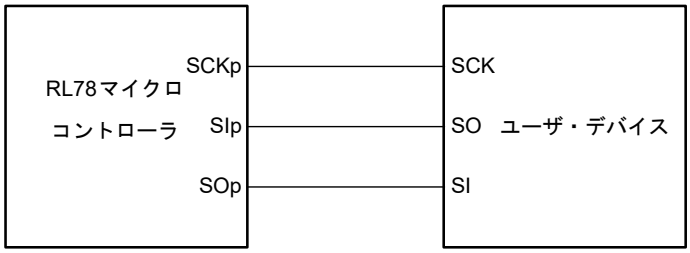
注4. SNOOZEモードでの転送レートは，MAX.: 1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，Slp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

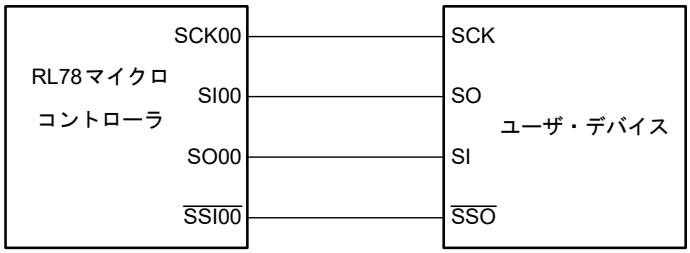
備考1. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 4, 12)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

簡易SPI（CSI）モード接続図(同電位通信時)

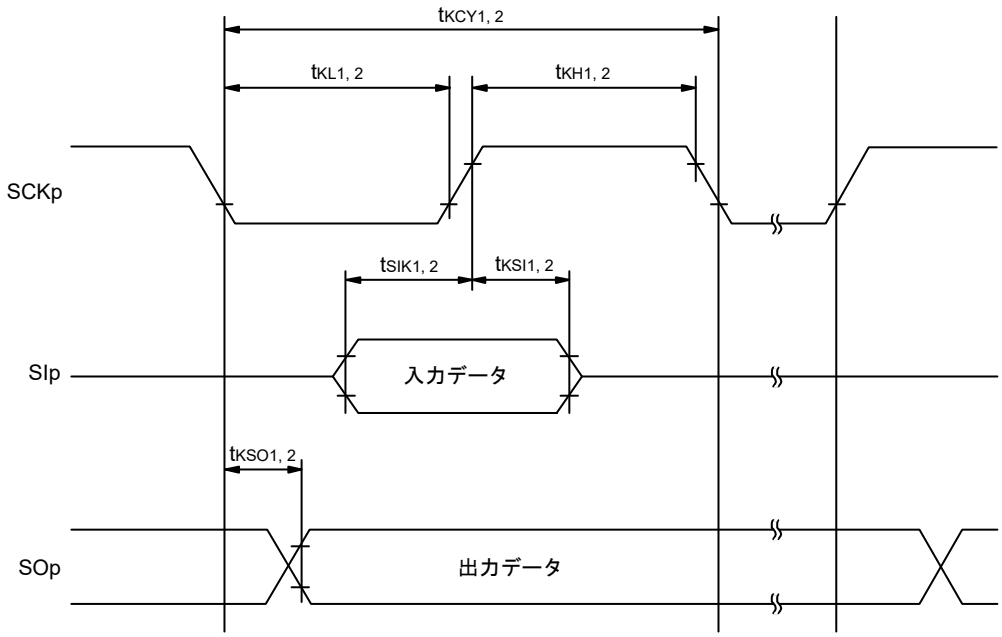


簡易SPI（CSI）モード接続図(同電位通信時)
(スレーブ・セレクト入力機能(CSI00)のスレーブ送信時)

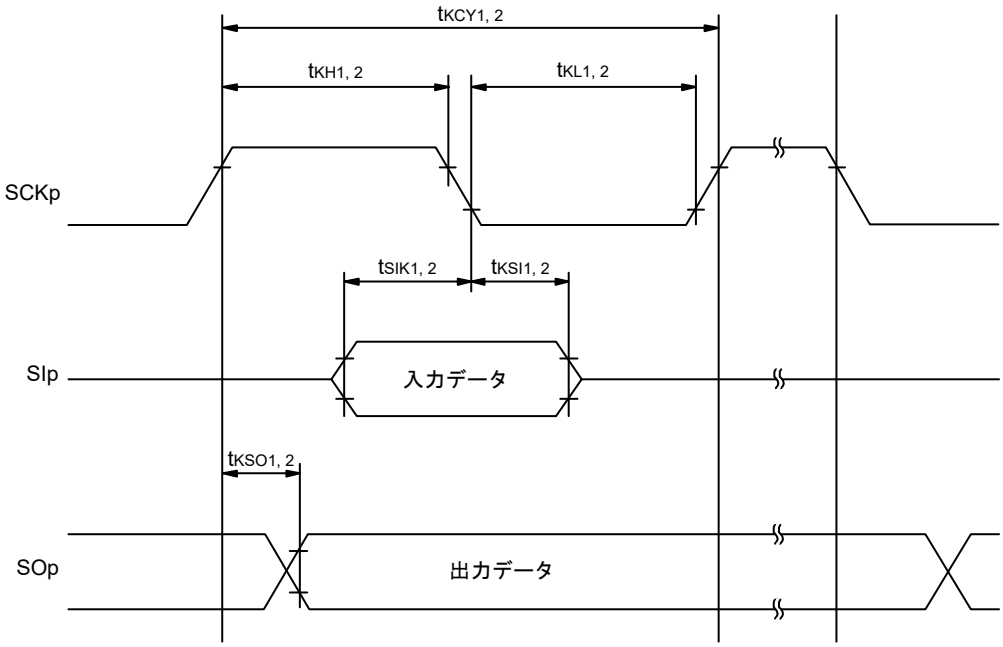


備考　p：CSI番号(p = 00, 01, 10, 11)

簡易SPI（CSI）モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI（CSI）モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p：CSI番号(p = 00, 01, 10, 11)

備考2. m：ユニット番号，n：チャネル番号(mn = 00-03)

(4) 同電位通信時(簡易I^2Cモード)

(T_A = -40～+105 °C, 2.4 V≦EV_{DD} ≦ V_{DD}≦5.5 V, V_{SS} = 0 V)

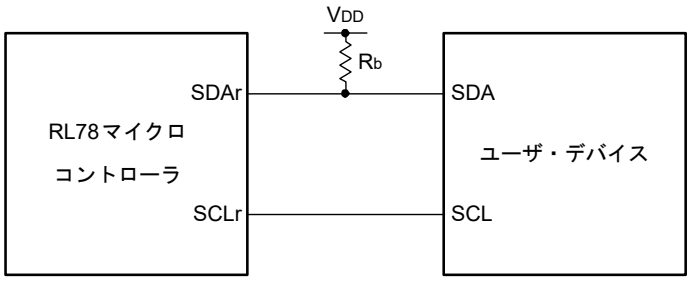
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f_{SCL}	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ		400注1	kHz
		2.4 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		100注1	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1200		ns
		2.4 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	4600		ns
SCLr = “H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1200		ns
		2.4 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	4600		ns
データ・セットアップ時間(受信時)	$t_{SU:DAT}$	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK} + 220 注2		ns
		2.4 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK} + 580 注2		ns
データ・ホールド時間(送信時)	$t_{HD:DAT}$	2.7 V≦EV_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	0	770	ns
		2.4 V≦EV_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	1420	ns

注1. f_{MCK}/4以下に設定してください。

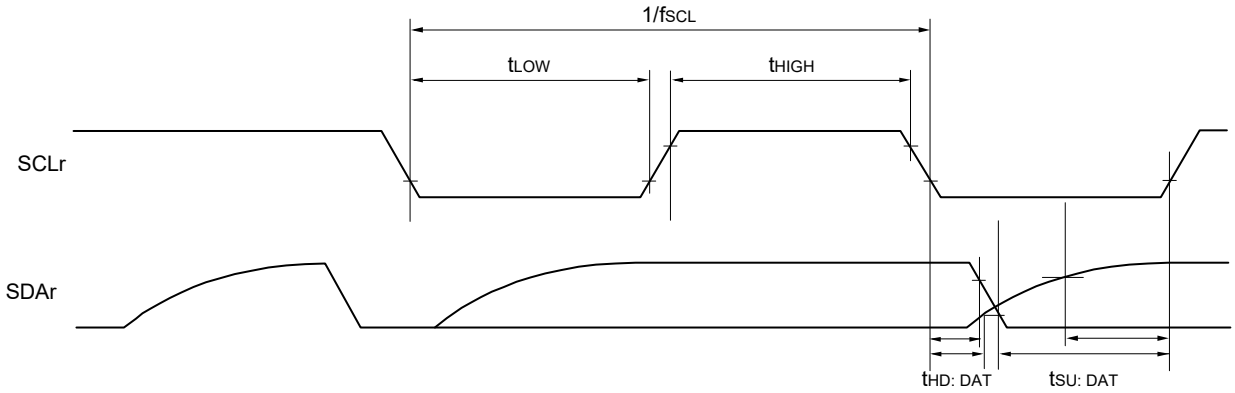
注2. f_{MCK}値は，SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で，SDArは通常入力バッファ，N-chオープン・ドレイン出力(EV_{DD}耐圧)モードを選択し，SCLrは通常出力モードを選択します。

簡易I2Cモード接続図(同電位通信時)



簡易I2Cモード・シリアル転送タイミング(同電位通信時)



備考1. Rb [Ω]：通信ライン(SDAr)プルアップ抵抗値，Cb [F]：通信ライン(SCLr, SDAr)負荷容量値

•r：IIC番号(r = 00, 01, 10, 11), g：PIM番号(g =0, 3, 5), h：POM番号(h = 0, 3, 5)

備考2. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3), mn = 00-03)

(5) 異電位(1.8 V系，2.5 V系，3.0 V系)通信時(UARTモード)(専用ボー・レート・ジェネレータ出力)

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V) (1/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
転送レート注1, 2		受信	4.0 V≦EVDD≦5.5 V, 2.3 V≦Vb≦4.0 V		fMCK/12注1	bps
			最大転送レート理論値 fMCK = fCLK注3		2.0	Mbps
			2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V		fMCK/12注1	bps
			最大転送レート理論値 fMCK = fCLK注3		2.0	Mbps
			2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V		fMCK/12注1, 2	bps
			最大転送レート理論値 fMCK = fCLK注3		1.3	Mbps

注1. SNOOZEモードでの転送レートは，4,800 bpsのみとなります。

注2. EVDD≧Vbで使用してください。

注3. CPU／周辺ハードウエア・クロック(fCLK)注3の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V≦VDD≦5.5 V)

16 MHz (2.4 V≦VDD≦5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]：通信ライン電圧

備考2. q：UART番号(q = 0, 1)，g：PIM, POM番号(g = 0, 2, 3, 5, 12)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号(mn = 00-03))

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)　　(2/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
転送レート		送信	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V		注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.6注2	Mbps
			2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V		注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4	Mbps
			2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V		注5, 6	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7	Mbps

注1.　fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3.　fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦EVDD≦4.0 V, 2.3 V≦Vb≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5.　EVDD≧Vbで使用してください。

注6.　fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.4 V ≦ EVDD ＜ 3.3 V, 1.6 V ≦ Vb ≦ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

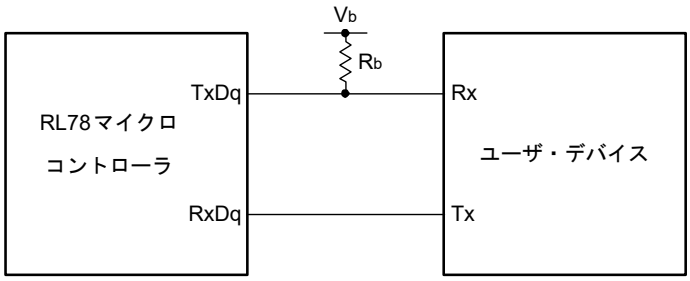
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

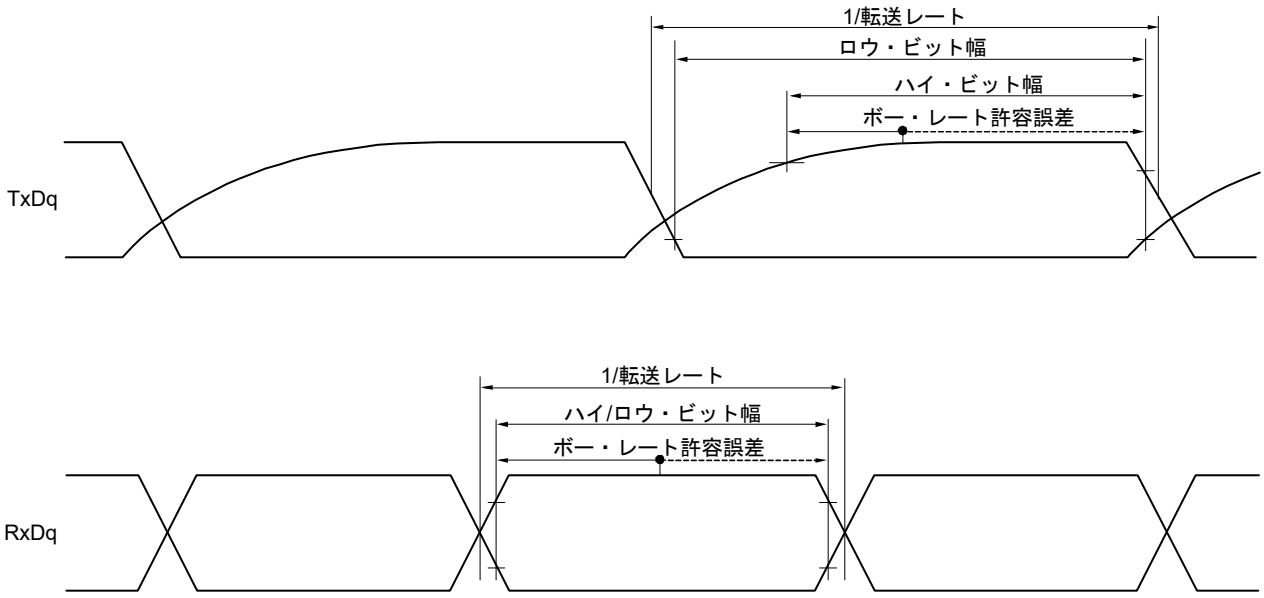
注7.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時) (参考)



備考1. Rb [Ω]：通信ライン(TxDq)プルアップ抵抗値，Cb [F]：通信ライン(TxDq)負荷容量値，Vb [V]：通信ライン電圧

備考2. q：UART番号(q = 0, 1)，g：PIM, POM番号(g = 0, 2, 3, 5, 12)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，

n：チャネル番号(mn = 00-03))

(6) 異電位(1.8 V，2.5 V系，3.0 V系)通信，簡易SPI（CSI）モード時(マスタ・モード，SCKp…内部クロック出力)

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V) (1/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム	tKCY1	tKCY1≧4/fCLK	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	600		ns
			2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000		ns
			2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	2300		ns
SCKpハイ・レベル幅	tKH1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tKCY2/2 - 150		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tKCY1/2 - 340		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		tKCY1/2 - 916		ns
SCKpロウ・レベル幅	tKL1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tKCY2/2 - 24		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tKCY1/2 - 36		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		tKCY1/2 - 100		ns

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)　　(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SIpセットアップ時間(対SCKp↑)注1	tSIK1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	162		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	354		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	958		ns
SIpホールド時間(対SCKp↑)注1	tKSI1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ			ns
SCKp↓→SOp出力遅延時間注1	tKSO1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		200	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		390	ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		966	ns
SIpセットアップ時間(対SCKp↓)注2	tSIK1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	88		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
SIpホールド時間(対SCKp↓)注2	tKSI1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ			ns
SCKp↑→SOp出力遅延時間注2	tKSO1	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		50	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ			ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

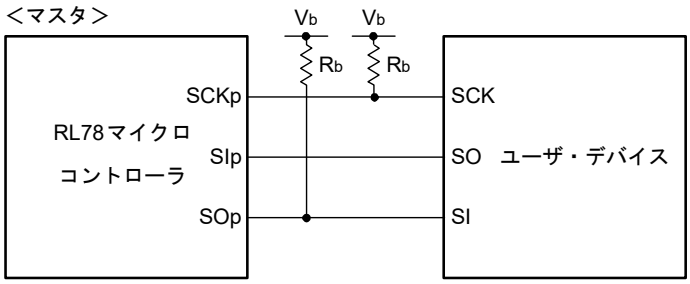
注2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注3.　EVDD≧Vbで使用してください。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI（CSI）モード接続図(異電位通信時)



備考1. Rb [Ω]：通信ライン(SCKp, SOp)プルアップ抵抗値，Cb [F]：通信ライン(SCKp, SOp)負荷容量値，Vb [V]：通信ライン電圧

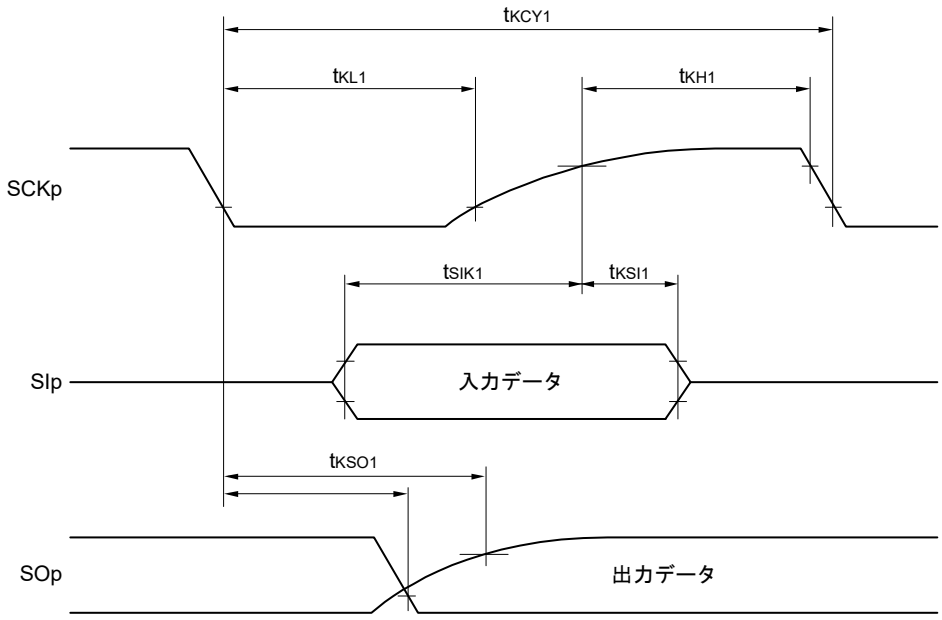
備考2. p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数

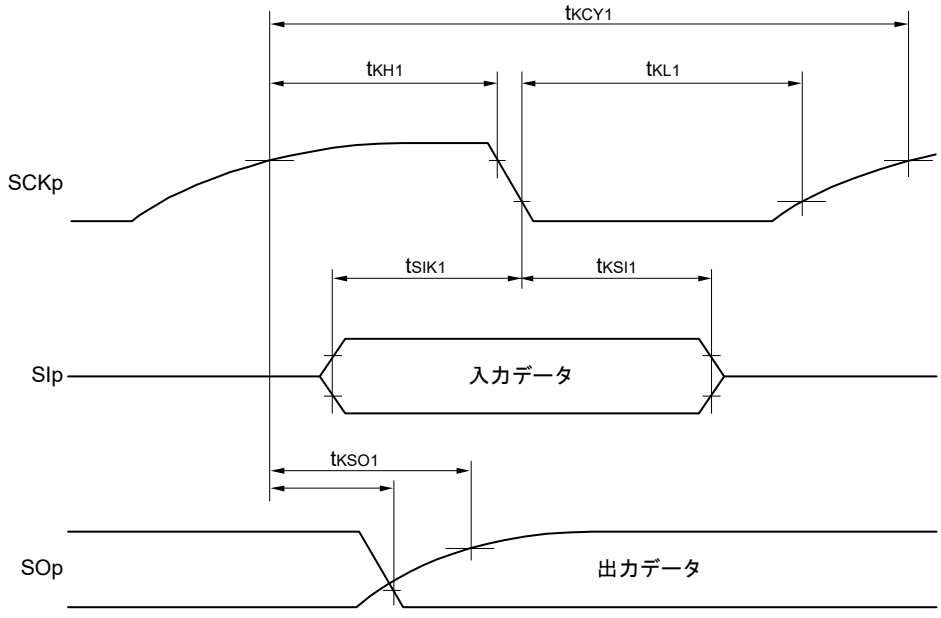
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，

n：チャネル番号(mn = 00-03))

簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

(7) 異電位(1.8 V系，2.5 V系，3.0 V系)通信，簡易SPI（CSI）モード時(スレーブ・モード，SCKp…外部クロック入力)

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム注1	tKCY2	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V	20 MHz＜fMCK≦24 MHz	24/fMCK		ns
			8 MHz＜fMCK≦20 MHz	20/fMCK		ns
			4 MHz＜fMCK≦8 MHz	16/fMCK		ns
			fMCK≦4 MHz	12/fMCK		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V	20 MHz＜fMCK≦24 MHz	32/fMCK		ns
			16 MHz＜fMCK≦20 MHz	28/fMCK		ns
			8 MHz＜fMCK≦16 MHz	24/fMCK		ns
			4 MHz＜fMCK≦8 MHz	16/fMCK		ns
			fMCK≦4 MHz	12/fMCK		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2	20 MHz＜fMCK≦24 MHz	72/fMCK		ns
			16 MHz＜fMCK≦20 MHz	64/fMCK		ns
			8 MHz＜fMCK≦16 MHz	52/fMCK		ns
			4 MHz＜fMCK≦8 MHz	32/fMCK		ns
			fMCK≦4 MHz	20/fMCK		ns
SCKpハイ／ロウ・レベル幅	tKH2, tKL2	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V		tKCY2/2 - 24		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V		tKCY2/2 - 36		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2		tKCY2/2 - 100		ns
SIpセットアップ時間(対SCKp↑)注3	tSIK2	2.7 V≦EVDD≦5.5 V, 2.3 V≦Vb≦4.0 V		1/fMCK + 40		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2		1/fMCK + 60		ns
SIpホールド時間(対SCKp↑)注3	tKSI2			1/fMCK + 62		ns
SCKp↓→SOp出力遅延時間注4	tKSO2	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 30 pF, Rb = 1.4 kΩ			2/fMCK + 240	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 428	ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ			2/fMCK + 1146	ns

(注，注意，備考は次ページにあります。)

注1.　SNOOZEモードでの転送レートは，MAX.: 1 Mbps

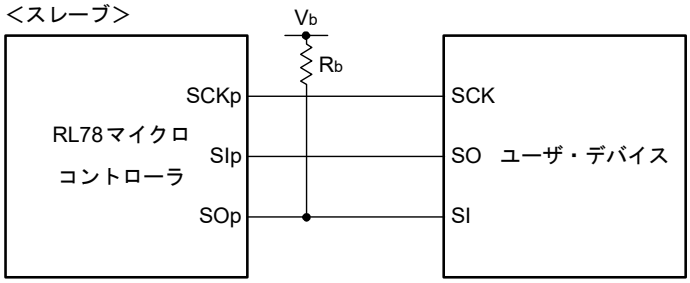
注2.　EVDD≧Vbで使用してください。

注3.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注4.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SIp端子とSCKp端子はTTL入力バッファを選択し，SOp端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI（CSI）モード接続図(異電位通信時)

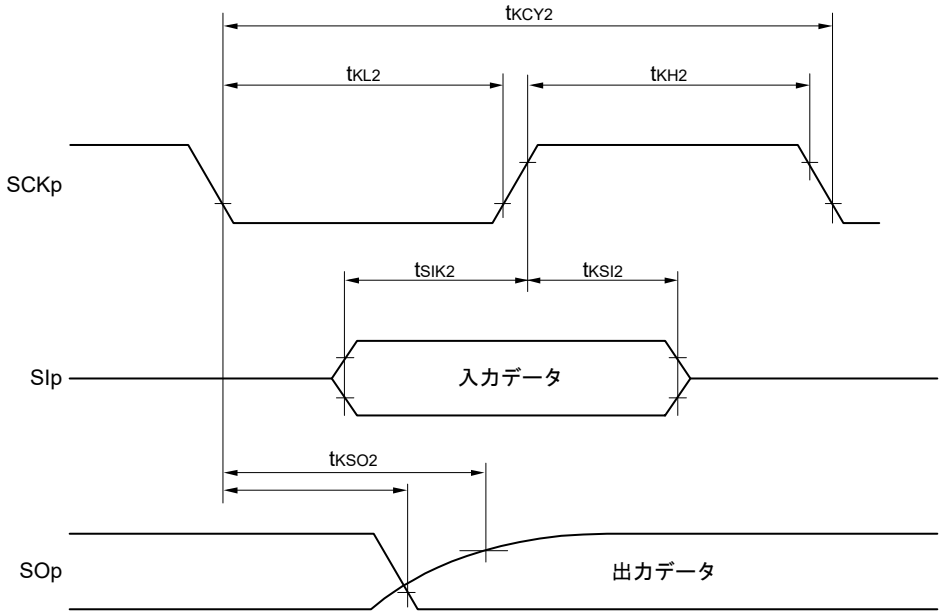


備考1.　Rb [Ω]：通信ライン(SOp)プルアップ抵抗値，Cb [F]：通信ライン(SOp)負荷容量値，
Vb [V]：通信ライン電圧

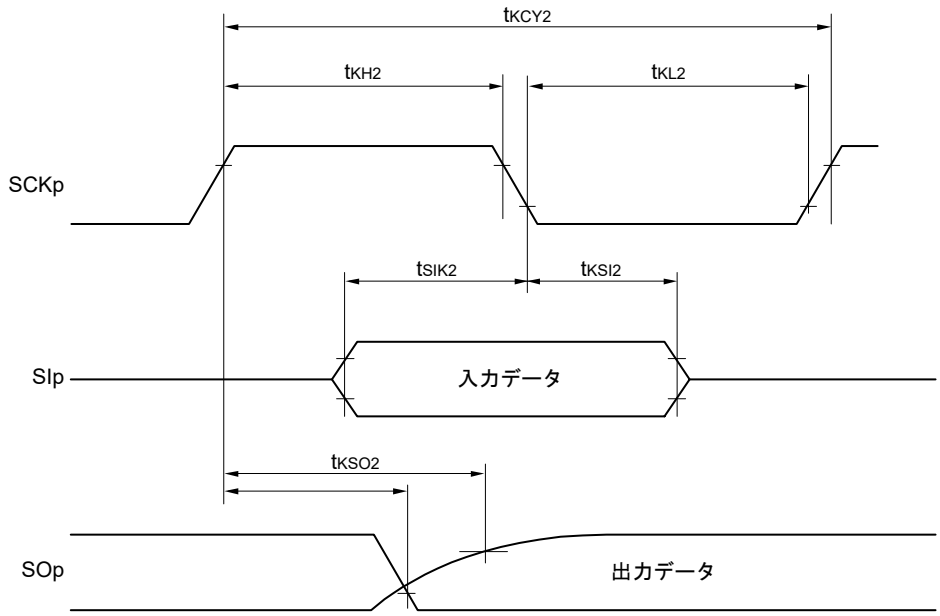
備考2.　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

備考3.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号(mn = 00-03))

簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考　p：CSI番号(p = 00, 01, 10, 11)，m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3)，g：PIM, POM番号(g = 0, 2, 3-5, 12)

(8) 異電位通信時(1.8 V系，2.5 V系，3.0 V系) 通信時(簡易I2Cモード)

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fSCL	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		100注1	kHz
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		100注1	kHz
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ		100注1	kHz
SCLr = “L”のホールド・タイム	tLOW	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	4600		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	4600		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	4650		ns
SCLr = “H”のホールド・タイム	tHIGH	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	620		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	500		ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	2700		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	2400		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1830		ns
データ・セットアップ時間(受信時)	tSU : DAT	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 340注3		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 340注3		ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK + 760注3		ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 760注3		ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 570注3		ns

(TA = -40～+105 °C, 2.4 V≦EVDD ≦ VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
データ・ホールド時間(送信時)	tHD：DAT	4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		4.0 V≦EVDD≦5.5 V, 2.7 V≦Vb≦4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	1420	ns
		2.7 V≦EVDD＜4.0 V, 2.3 V≦Vb≦2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	1420	ns
		2.4 V≦EVDD＜3.3 V, 1.6 V≦Vb≦2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	1215	ns

注1.　fMCK/4以下に設定してください。

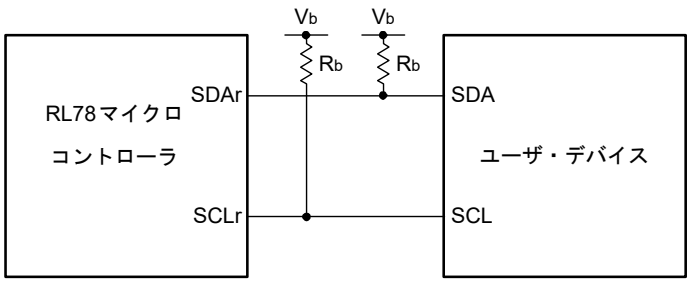
注2.　EVDD≧Vbで使用してください。

注3.　fMCK値は，SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

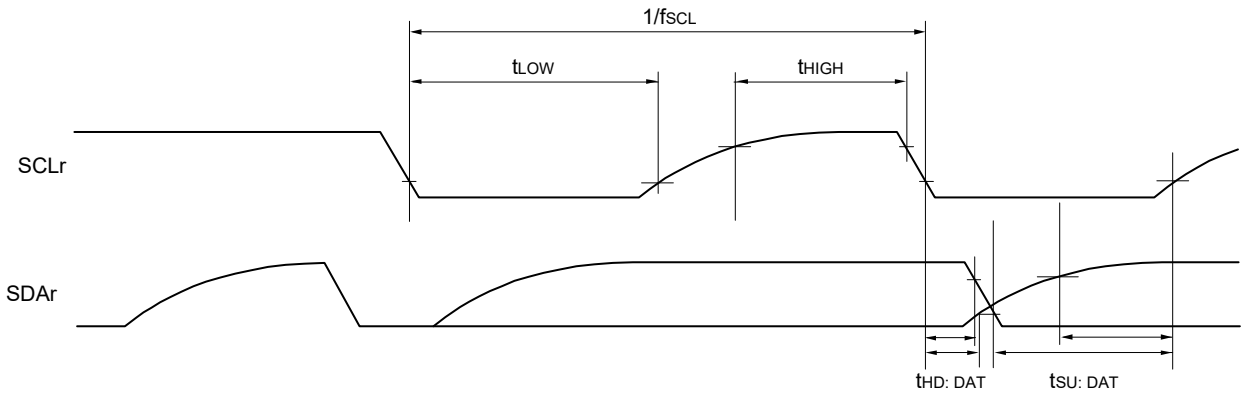
注意　ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力(EVDD耐圧)モードを選択し，SCLrはN-chオープン・ドレイン出力(EVDD耐圧)モードを選択します。なおVIH，VILは，TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I2Cモード接続図(異電位通信時)



簡易I2Cモード・シリアル転送タイミング(異電位通信時)



備考1. Rb [Ω]：通信ライン(SDAr, SCLr)プルアップ抵抗値，Cb [F]：通信ライン(SDAr, SCLr)負荷容量値，
Vb [V]：通信ライン電圧

備考2. r：IIC番号(r = 00, 01, 10, 11), g：PIM, POM番号(g = 0, 3, 5)

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号(m = 0)，n：チャネル番号(n = 0-3),
mn = 00-03)

36.5.2 シリアル・インタフェースIICA

(TA = -40～+105 °C，2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード：fCLK≧3.5 MHz	—	—	0	400	kHz
		標準モード：fCLK≧1 MHz	0	100	—	—	kHz
リスタート・コンディションのセットアップ時間	tSU: STA		4.7		0.6		μs
ホールド時間注1	tHD: STA		4.0		0.6		μs
SCLA0 = “L”のホールド・タイム	tLOW		4.7		1.3		μs
SCLA0 = “H”のホールド・タイム	tHIGH		4.0		0.6		μs
データ・セットアップ時間(受信時)	tSU: DAT		250		100		ns
データ・ホールド時間(送信時)注2	tHD: DAT		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO		4.0		0.6		μs
バス・フリー時間	tBUF		4.7		1.3		μs

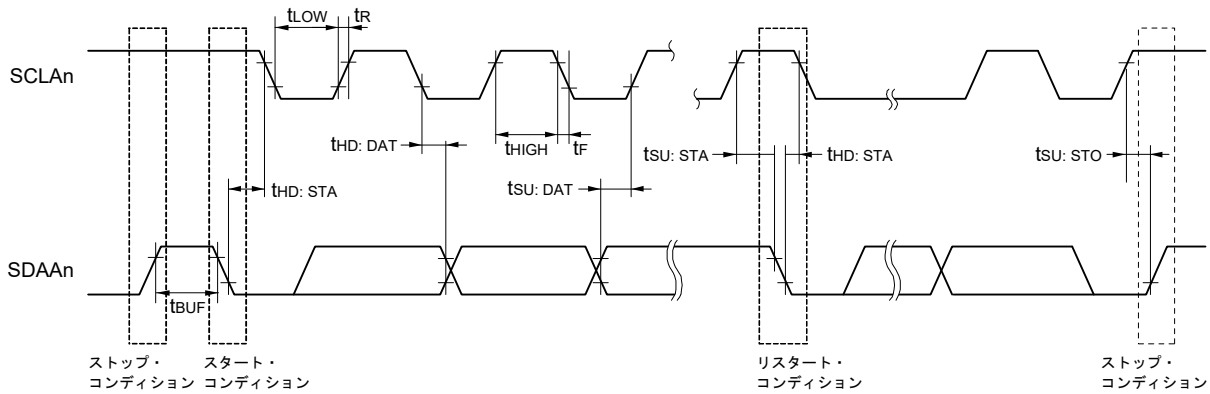
注1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は，通常転送時の数値であり，ACK (アクノリッジ)タイミングでは，クロック・ストレッチがかかります。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も，上記の値を適用できます。
ただし，端子特性(IOH1, IOL1, VOH1, VOL1)はリダイレクト先の値を満たしてください。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と，そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
標準モード： Cb = 400 pF，Rb = 2.7 kΩ
ファースト・モード： Cb = 320 pF，Rb = 1.1 kΩ

IICAシリアル転送タイミング



備考 n = 0, 1

36.6 アナログ特性

36.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧(+) = AVREFP 基準電圧(-) = AVREFM	基準電圧(+) = VDD 基準電圧(-) = VSS	基準電圧(+) = VBGR 基準電圧(-) = AVREFM
ANI0-ANI3	36.6.1 (1)参照	36.6.1 (3)参照	36.6.1 (4)参照
ANI16-ANI22	36.6.1 (2)参照		
内部基準電圧 温度センサ出力電圧	36.6.1 (1)参照		—

(1) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)，基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時，
変換対象：ANI2, ANI3，内部基準電圧，温度センサ出力電圧

(TA = -40～+105 °C，2.4 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V，基準電圧(+) = AVREFP，基準電圧(-) = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注3	2.4 V≦AVREFP≦5.5 V		1.2	±3.5	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI2, ANI3	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧， 温度センサ出力電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能 AVREFP = VDD注3	2.4 V≦AVREFP≦5.5 V			±0.25	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能 AVREFP = VDD注3	2.4 V≦AVREFP≦5.5 V			±0.25	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AVREFP = VDD注3	2.4 V≦AVREFP≦5.5 V			±2.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AVREFP = VDD注3	2.4 V≦AVREFP≦5.5 V			±1.5	LSB
アナログ入力電圧	VAIN	ANI2, ANI3		0		AVREFP	V
		内部基準電圧(2.4 V≦VDD≦5.5 V)		VBGR注4			V
		温度センサ出力電圧(2.4 V≦VDD≦5.5 V)		VTMPS25注4			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. AVREFP ＜ VDDの場合，MAX.値は次のようになります。

総合誤差 ： AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 ： AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 ： AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. 36.6.2 温度センサ／内部基準電圧特性を参照してください。

(2) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)，基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時，
変換対象：ANI16-ANI22

(TA = -40～+105 °C，2.4 V≦EVDD≦VDD≦5.5 V，2.4 V≦AVREFP≦VDD≦5.5 V，
VSS = 0 V，基準電圧(+) = AVREFP，基準電圧(-) = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	2.4 V≦AVREFP≦5.5 V		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI16-ANI20	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	2.4 V≦AVREFP≦5.5 V			±0.35	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	2.4 V≦AVREFP≦5.5 V			±0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	2.4 V≦AVREFP≦5.5 V			±3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 EVDD ≦AVREFP = VDD注3, 4	2.4 V≦AVREFP≦5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI22		0		AVREFP かつ EVDD	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. EVDD ≦ AVREFP < VDDの場合，MAX.値は次のようになります。

総合誤差 ： AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 ： AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 ： AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. AVREFP < EVDD ≦ VDDの場合，MAX.値は次のようになります。

総合誤差 ： AVREFP = VDDのMAX.値に±4.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 ： AVREFP = VDDのMAX.値に±0.20 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 ： AVREFP = VDDのMAX.値に±2.0 LSBを加算してください。

(3) 基準電圧(+) = VDD (ADREFP1 = 0, ADREFP0 = 0)，基準電圧(-) = VSS (ADREFM = 0)選択時，

変換対象：ANI0-ANI3，ANI16-ANI22，内部基準電圧，温度センサ出力電圧

(TA = -40～+105 °C，2.4 V≦EVDD≦VDD≦5.5 V，VSS = 0 V，基準電圧(+) = VDD，
基準電圧(-) = VSS)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能	2.4 V≦VDD≦5.5 V		1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI0-ANI3, ANI16-ANI22	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧， 温度センサ出力電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能	2.4 V≦VDD≦5.5 V			±0.60	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能	2.4 V≦VDD≦5.5 V			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	2.4 V≦VDD≦5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	2.4 V≦VDD≦5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI3		0		VDD	V
		ANI16-ANI22		0		EVDD	V
		内部基準電圧(2.4 V≦VDD≦5.5 V)		VBGR注3			V
		温度センサ出力電圧(2.4 V≦VDD≦5.5 V)		VTMPS25注3			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 36.6.2 温度センサ／内部基準電圧特性を参照してください。

(4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0)，基準電圧(-) = AV_{REFM}/ANI1 (ADREFM = 1)選択時，
変換対象：ANI0-ANI3，ANI16-ANI22

(T_A = -40～+105 °C，2.4 V≦V_{DD}≦5.5 V，2.4 V≦ EV_{DD}≦V_{DD}，V_{SS} = 0 V，
基準電圧(+) = V_{BGR}注3，基準電圧(-) = AV_{REFM}注4 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES			8		bit
変換時間	t_{CONV}		17		39	μs
ゼロスケール誤差注1, 2	E_{ZS}				±0.60	%FSR
積分直線性誤差注1	ILE				±2.0	LSB
微分直線性誤差注1	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	V_{AIN}		0		V_{BGR}注3	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 36.6.2 温度センサ／内部基準電圧特性を参照してください。

注4. 基準電圧(-) = V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差 ： 基準電圧(-) = AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください。

積分直線性誤差 ： 基準電圧(-) = AV_{REFM}時のMAX.値に±0.5 LSBを加算してください。

微分直線性誤差 ： 基準電圧(-) = AV_{REFM}時のMAX.値に±0.2 LSBを加算してください。

36.6.2　温度センサ／内部基準電圧特性

(TA = -40～+105 °C，2.4 V≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	ADS レジスタ = 80H 設定，TA = +25 °C		1.05		V
内部基準電圧	VBGR	ADS レジスタ = 81H 設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP		5			μs

36.6.3　D/Aコンバータ（チャネル1）

(TA = -40～+105 °C，2.4 V≦ EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					8	bit
総合誤差	AINL	Rload = 4 MΩ	2.4 V≦VDD≦5.5 V			±2.5	LSB
		Rload = 8 MΩ	2.4 V≦VDD≦5.5 V			±2.5	LSB
セトリング・タイム	tSET	Cload = 20pF	2.7 V≦VDD≦5.5 V			3	μs
			2.4 V≦VDD＜2.7 V			6	μs

36.6.4 コンパレータ

(コンパレータ0：TA = -40～+105 °C, 2.7 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

(コンパレータ1：TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力電圧範囲	VIREF0	IVREF0端子		0		VDD - 1.4注1	V
	VIREF1	IVREF1端子		1.4注1		VDD	V
	VICMP	IVCMP0端子		- 0.3		VDD + 0.3	V
		IVCMP1端子		- 0.3		EVDD + 0.3	V
出力遅延	td	VDD = 3.0 V 入力スルー・レート＞50 mV/μs	コンパレータ高速モード，基本モード			1.2	μs
			コンパレータ高速モード，ウインドウ・モード			2.0	μs
			コンパレータ低速モード，基本モード		3		μs
			コンパレータ低速モード，ウインドウ・モード		4		μs
動作安定待ち時間	tCMP			100			μs
内蔵DACチャネル0基準電圧偏差注2	⊿VIDAC					± 2.5	LSB

注1. ウインドウ・モードの場合，VREF1 - VREF0 ≧ 0.2 Vとしてください。

注2. CMP0のみ

36.6.5 PGA

(T_A = -40～+105 °C，2.7 V≦EV_{DD}≦V_{DD}≦5.5 V, V_{SS} = 0 V)

項目	略号	条件			MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOPGA}						±10	mV
入力電圧範囲	V_{IPGA}				0		0.9 × V_{DD}/増幅率	V
出力電圧範囲	V_{IOHPGA}				0.93 × V_{DD}			V
	V_{IOLPGA}						0.07 × V_{DD}	V
増幅率誤差		4倍，8倍					±1	%
		16倍					±1.5	%
		32倍					±2	%
スルー・レート	SR_{RPGA}	立ち上がり V_{IN} = V_{DD} × 0.1/増幅率 ～V_{DD} × 0.9/増幅率 出力振幅の10-90%	4.0 V≦V_{DD}≦5.5V	32倍以外	3.5			V/μs
			4.0 V≦V_{DD}≦5.5V	32倍	3.0			
			2.7 V≦V_{DD}≦4.0V		0.5			
	SR_{FPGA}	立ち下がり V_{IN} = V_{DD} × 0.1/増幅率 ～V_{DD} × 0.9/増幅率 出力振幅の90-10%	4.0 V≦V_{DD}≦5.5V	32倍以外	3.5			
			4.0 V≦V_{DD}≦5.5V	32倍	3.0			
			2.7 V≦V_{DD}≦4.0V		0.5			
動作安定待ち時間注	t_{PGA}	4倍，8倍					5	μs
		16倍，32倍					10	μs

注　PGAの動作を許可（PGAEN=1）してから，PGA動作のDC/AC特性を満足できる状態になるまでの時間。

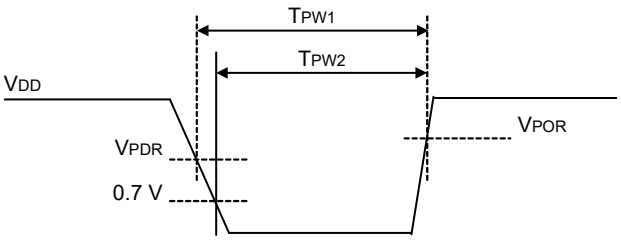
36.6.6　POR回路特性

(TA = -40～+105 °C，VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.45	1.51	1.57	V
	VPDR	電源立ち下がり時注1	1.44	1.50	1.56	V
最小パルス幅注2	TPW1	STOP/SUB HALT/SUB RUN以外	300			μs
	TPW2	STOP/SUB HALT/SUB RUNのとき	300			μs

注1.　ただし，LVDオフの条件で動作電圧降下時は，36.4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行，または電圧検出機能か外部リセット端子で，リセット状態にしてください。

注2.　VDDがVPDRを下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモード時および，クロック動作ステータス制御レジスタ(CSC)のビット0 (HIOSTOP)とビット7 (MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は，VDDが0.7 Vを下回ってから，VPORを上回るまでのPORによるリセット動作に必要な時間です。



36.6.7 LVD回路特性

(1) リセット・モード，割り込みモードのLVD検出電圧

(TA = -40～+105 °C，VPDR≦EVDD ≦ VDD≦5.5 V，VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.90	4.06	4.22	V
			電源立ち下がり時	3.83	3.98	4.13	V
		VLVD1	電源立ち上がり時	3.60	3.75	3.90	V
			電源立ち下がり時	3.53	3.67	3.81	V
		VLVD2	電源立ち上がり時	3.01	3.13	3.25	V
			電源立ち下がり時	2.94	3.06	3.18	V
		VLVD3	電源立ち上がり時	2.90	3.02	3.14	V
			電源立ち下がり時	2.85	2.96	3.07	V
		VLVD4	電源立ち上がり時	2.81	2.92	3.03	V
			電源立ち下がり時	2.75	2.86	2.97	V
		VLVD5	電源立ち上がり時	2.71	2.81	2.92	V
			電源立ち下がり時	2.64	2.75	2.86	V
		VLVD6	電源立ち上がり時	2.61	2.71	2.81	V
			電源立ち下がり時	2.55	2.65	2.75	V
		VLVD7	電源立ち上がり時	2.51	2.61	2.71	V
			電源立ち下がり時	2.45	2.55	2.65	V
最小パルス幅		tLW		300			μs
検出遅延						300	μs

(2) 割り込み＆リセット・モードのLVD検出電圧

(TA = -40～+105 °C，VPDR≦EVDD ≦ VDD≦5.5 V，VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み＆リセット・モード	VLVDD0	VPOC0, VPOC1, VPOC2 = 0, 1, 1，立ち下がりリセット電圧		2.64	2.75	2.86	V
	VLVDD1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がり割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
			立ち下がり割り込み電圧	2.85	2.96	3.07	V
	VLVDD3	LVIS0, LVIS1 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
			立ち下がり割り込み電圧	3.83	3.98	4.13	V

36.6.8 電源電圧立ち上がり傾き特性

(TA = -40～+105 °C，VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

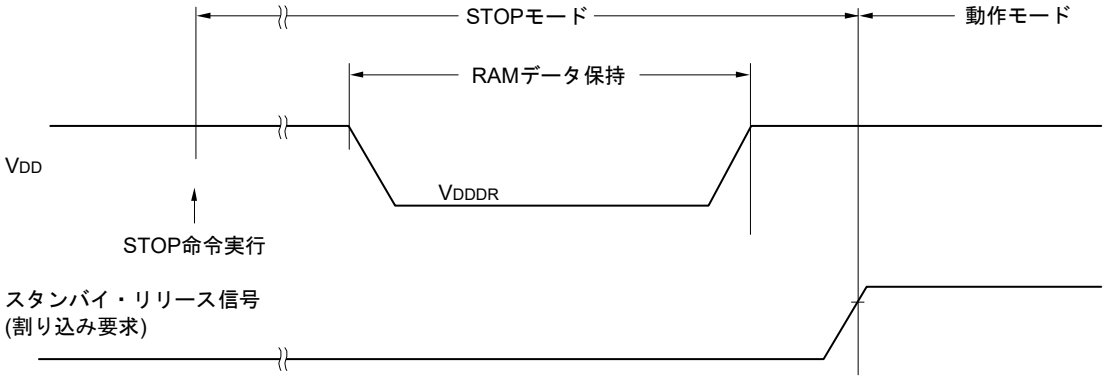
注意 VDDが36.4 AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

36.7　RAMデータ保持特性

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。



36.8　フラッシュ・メモリ・プログラミング特性

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V≦VDD≦5.5 V		1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cerwr	保持年数：20年	TA = 85 °C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年	TA = 25 °C		1,000,000		
		保持年数：5年	TA = 85 °C	100,000			
		保持年数：20年	TA = 85 °C	10,000			

注1.　消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

注2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

36.9 専用フラッシュ・メモリ・プログラマ通信(UART)

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

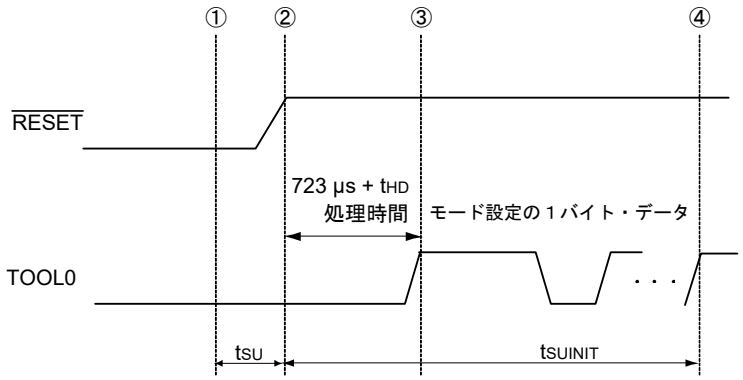
36.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40～+105 °C, 2.4 V≦EVDD≦VDD≦5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間注1	tSUINIT	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間注1	tSU	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く注1, 2)	tHD	外部リセット解除前に POR, LVD リセットは解除	1			ms

注1. 端子リセット解除前にPOR, LVD リセットは解除されていること

注2. Flash ファーム処理時間723 μs は含まない



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除(その前にPOR，LVD リセットが解除されていること)

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考 tSUINIT: この区間では，外部リセット解除から100 ms以内に初期設定通信を完了してください。

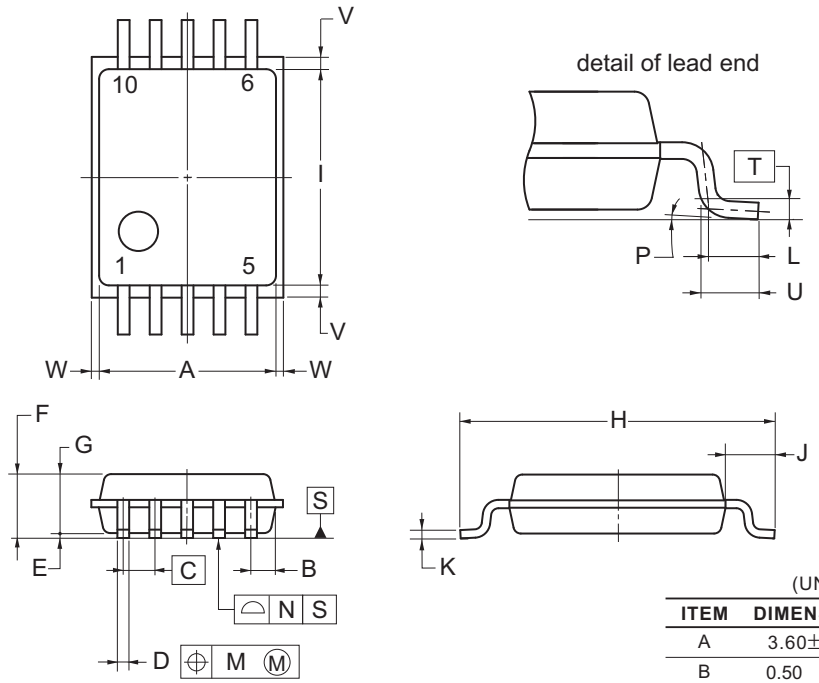
tSU: TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

tHD: 外部リセット解除から，TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第37章　外形図

37.1　10ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP10-4.4x3.6-0.65	PLSP0010JA-A	P10MA-65-CAC-2	0.05



(UNIT:mm)

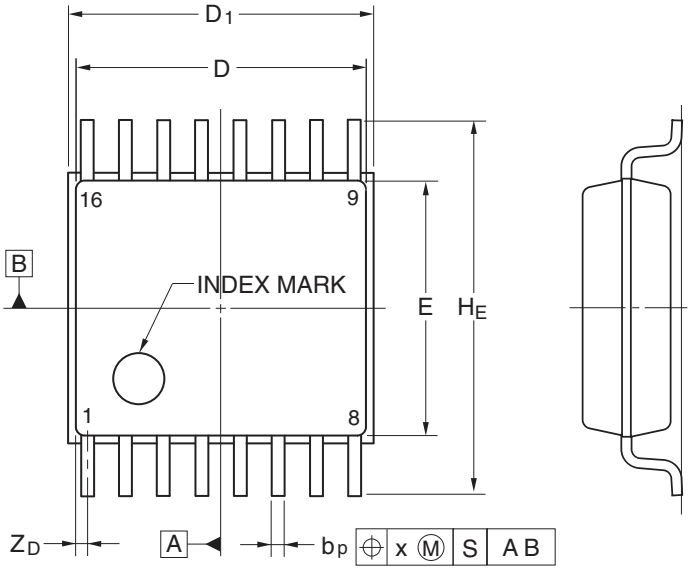
ITEM	DIMENSIONS
A	3.60±0.10
B	0.50
C	0.65 (T.P.)
D	0.24±0.08
E	0.10±0.05
F	1.45 MAX.
G	1.20±0.10
H	6.40±0.20
I	4.40±0.10
J	1.00±0.20
K	$0.17^{+0.08}_{-0.07}$
L	0.50
M	0.13
N	0.10
P	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
T	0.25 (T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

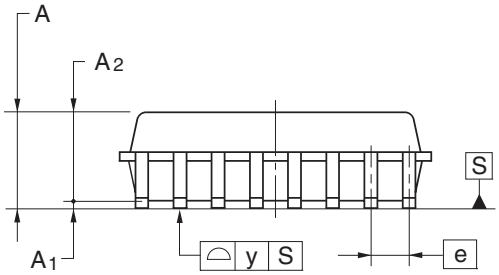
NOTE
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

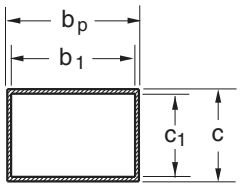
37.2 16ピン製品

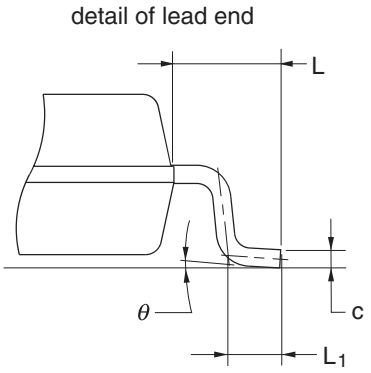
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-SSOP16-4.4x5-0.65	PRSP0016JC-B	P16MA-65-FAB	0.08





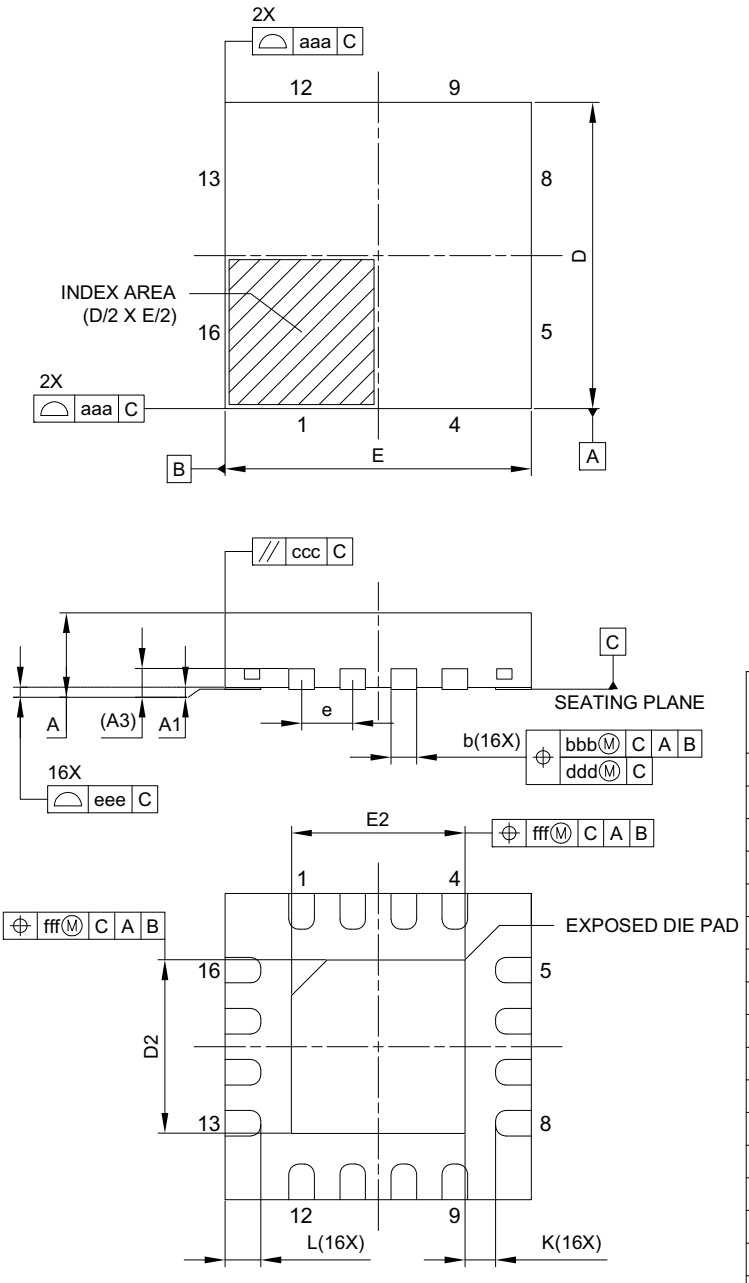
Terminal cross section





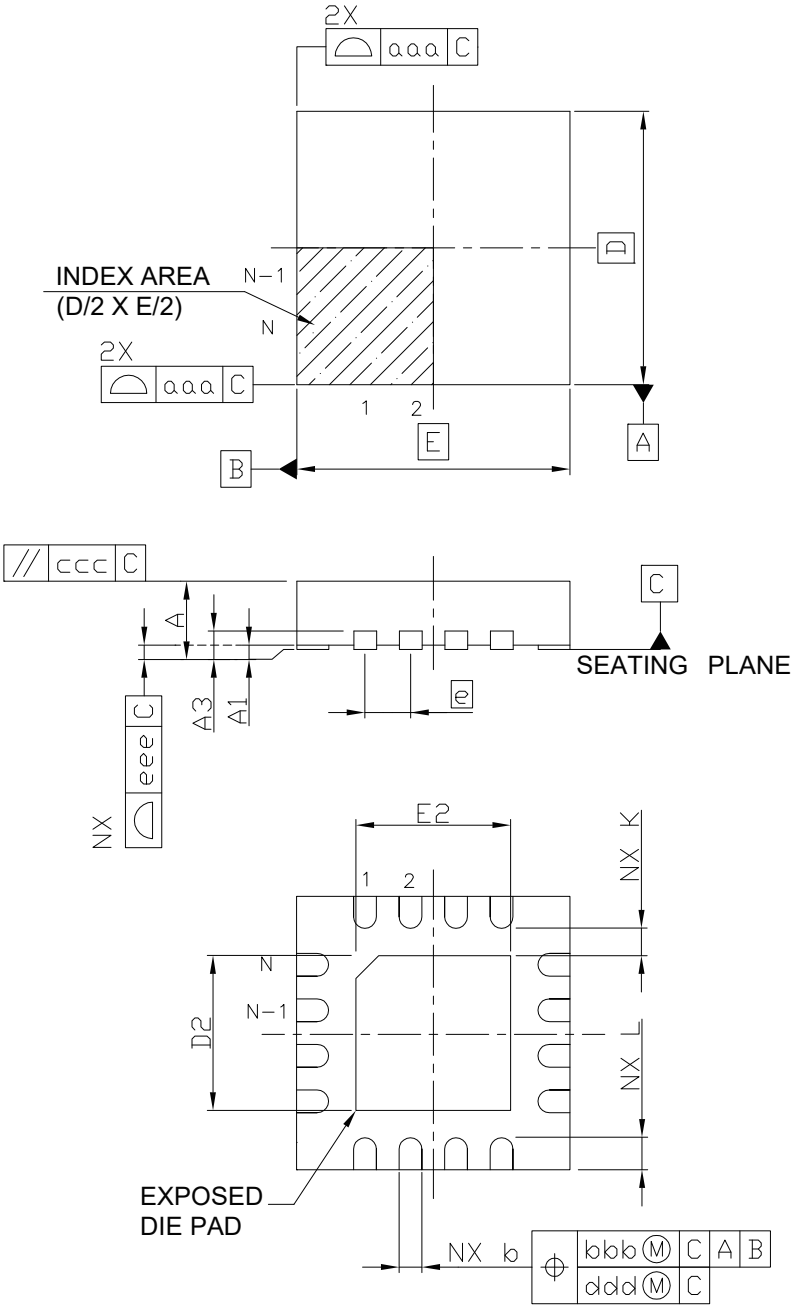
Referance Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	4.85	5.00	5.15
D_1	5.05	5.20	5.35
E	4.20	4.40	4.60
A_2	—	1.50	—
A_1	0.075	0.125	0.175
A	—	—	1.725
b_p	0.17	0.24	0.32
b_1	—	0.22	—
c	0.14	0.17	0.20
c_1	—	0.15	—
θ	0°	—	8°
H_E	6.20	6.40	6.60
e	—	0.65	—
x	—	—	0.13
y	—	—	0.10
Z_D	—	0.225	—
L	0.35	0.50	0.65
L_1	—	1.00	—

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN016-3x3-0.50	PWQN0016KD-A	0.02



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A1	0.00	0.02	0.05
A3		0.203 REF.	
b	0.20	0.25	0.30
D		3.00 BSC	
E		3.00 BSC	
e		0.50 BSC	
L	0.30	0.35	0.40
K	0.20	—	—
D2	1.65	1.70	1.75
E2	1.65	1.70	1.75
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

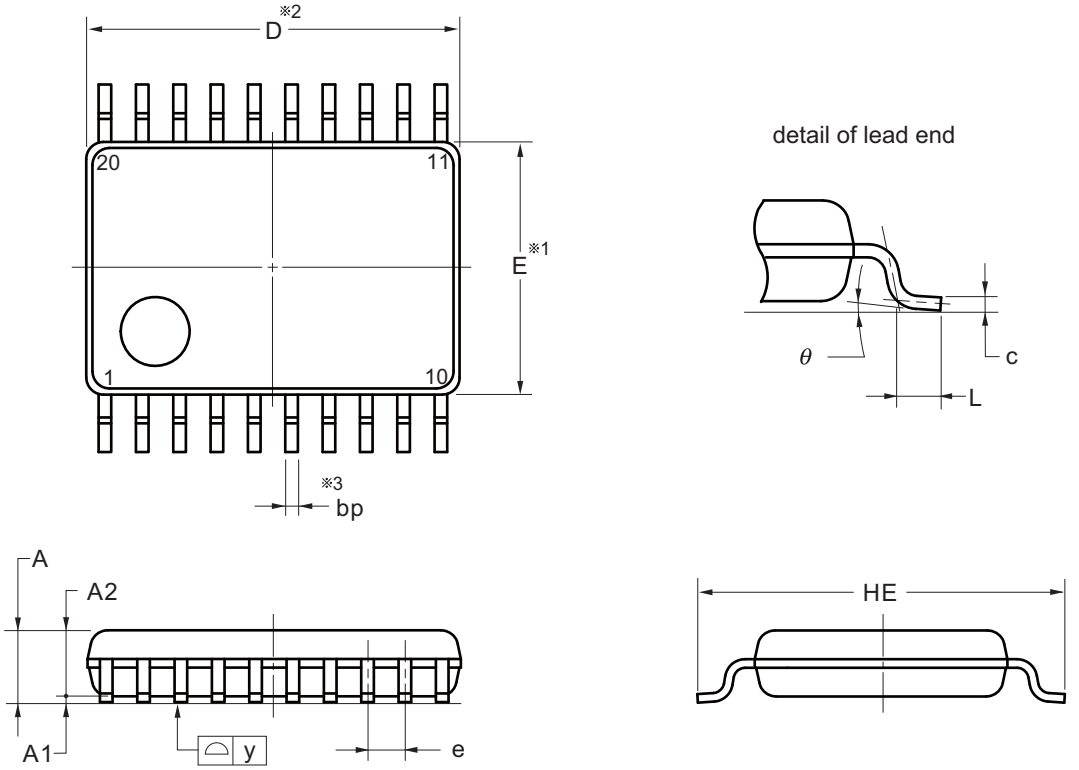
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN16-3×3-0.50	PWQN0016KE-A	0.02



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	—	0.05
A_3	0.20 REF.		
b	0.20	0.25	0.30
D	—	3.00	—
E	—	3.00	—
e	—	0.50	—
N	16		
L	0.25	0.35	0.45
K	0.20	—	—
D_2	1.60	1.70	1.80
E_2	1.60	1.70	1.80
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

37.3 20ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1



(UNIT:mm)

ITEM	DIMENSIONS
D	6.50±0.10
E	4.40±0.10
HE	6.40±0.20
A	1.45 MAX.
A1	0.10±0.10
A2	1.15
e	0.65±0.12
bp	$0.22^{+0.10}_{-0.05}$
c	$0.15^{+0.05}_{-0.02}$
L	0.50±0.20
y	0.10
θ	0° to 10°

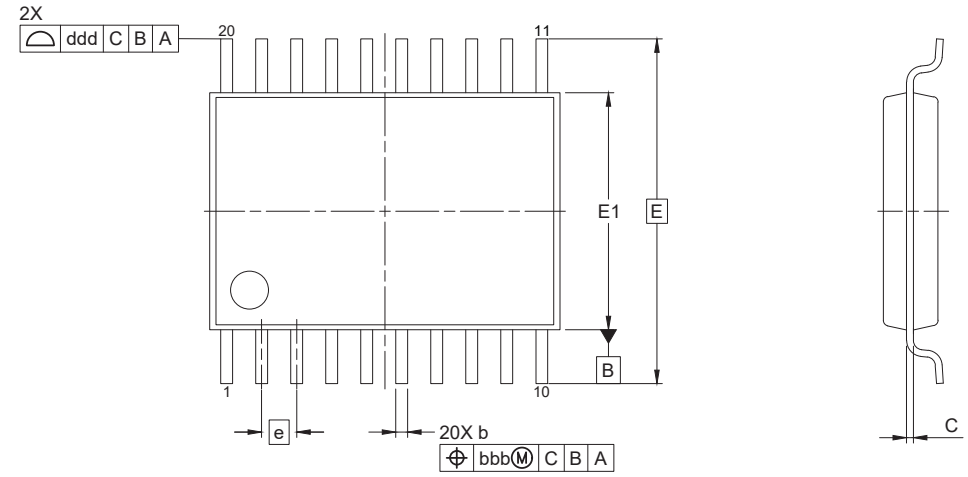
NOTE

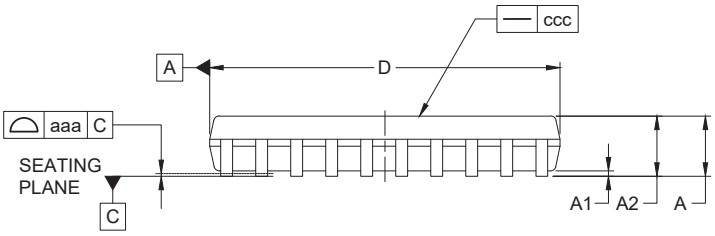
1.Dimensions “※1” and “※2” do not include mold flash.

2.Dimension “※3” does not include trim offset.

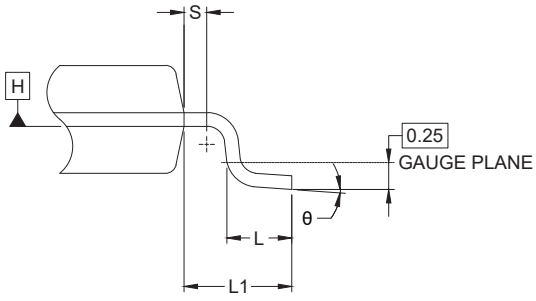
©2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-TSSOP20-4.40x6.50-0.65	PTSP0020JI-A	0.08





Detail of Lead End

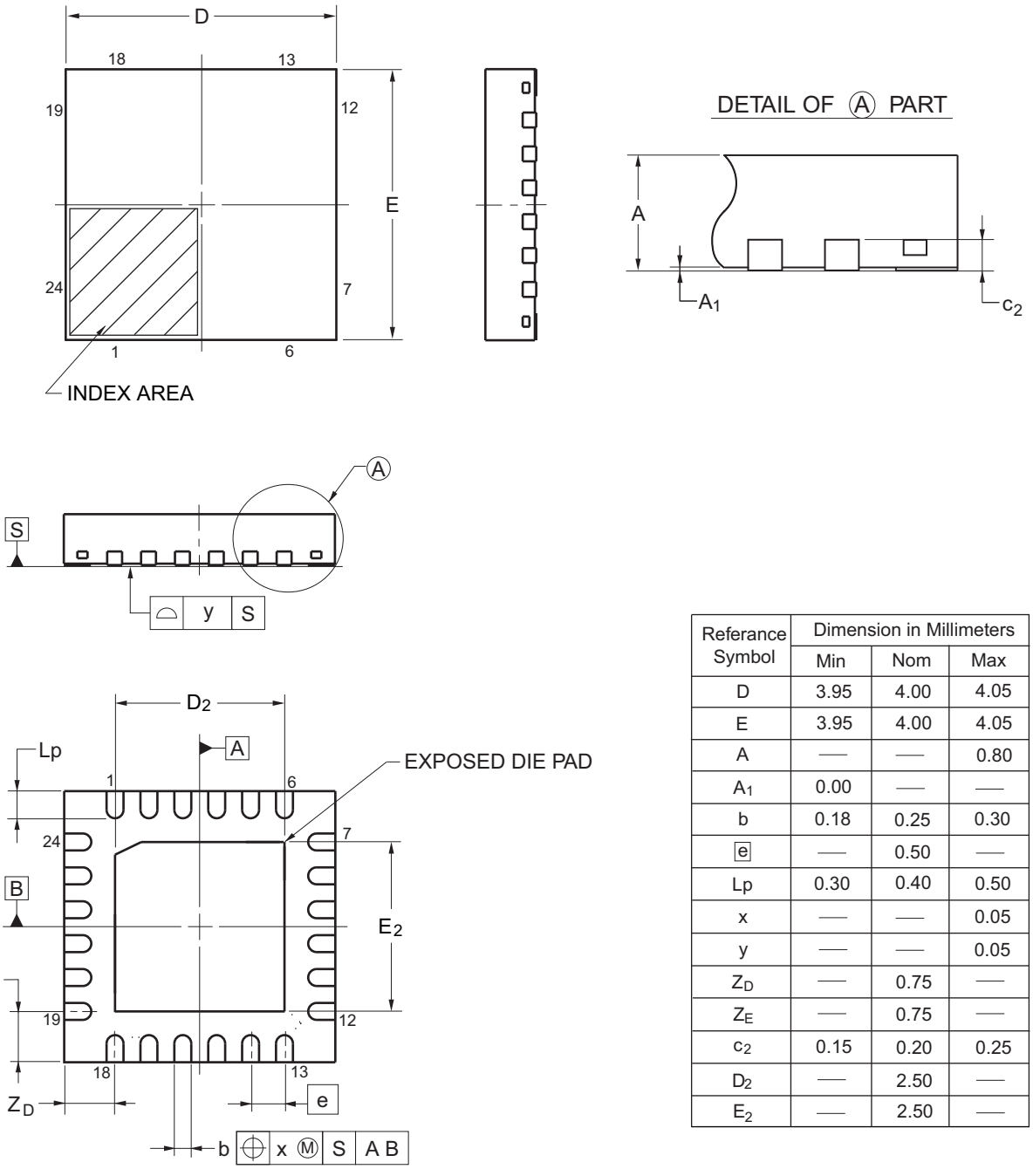


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	−	−	1.20
A1	0.05	−	0.15
A2	0.80	1.00	1.05
b	0.19	−	0.30
C	0.09	0.127	0.20
D	6.40	6.50	6.60
E1	4.30	4.40	4.50
E	6.40 BSC		
e	0.65 BSC		
L1	1.00 REF		
L	0.50	0.60	0.75
S	0.20	−	−
θ	0°	−	8°
aaa	0.10		
bbb	0.10		
ccc	0.05		
ddd	0.20		

NOTES:
1.DIMENSION 'D' AND 'E1' DOES NOT INCLUDE MOLD FLASH.
2.DIMENSION 'b' DOES NOT INCLUDE TRIM OFFSET.
3.DIMENSION 'D' AND 'E1' TO BE DETERMINED AT DATUM PLANE H.

37.4 24ピン製品

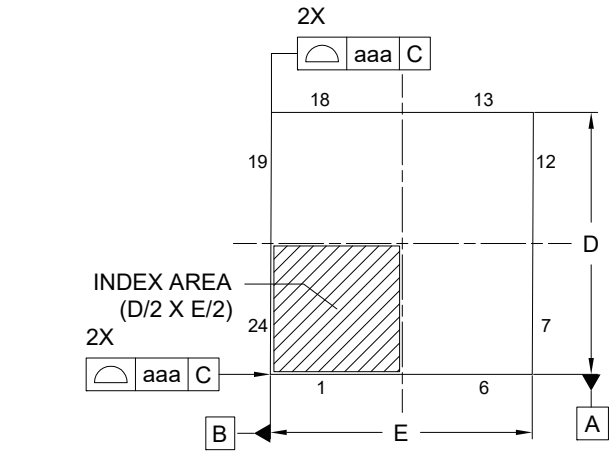
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN24-4x4-0.50	PWQN0024KE-A	P24K8-50-CAB-3	0.04

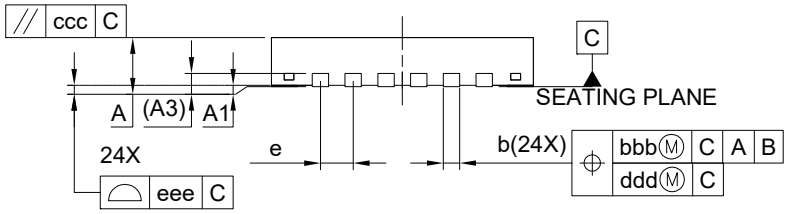


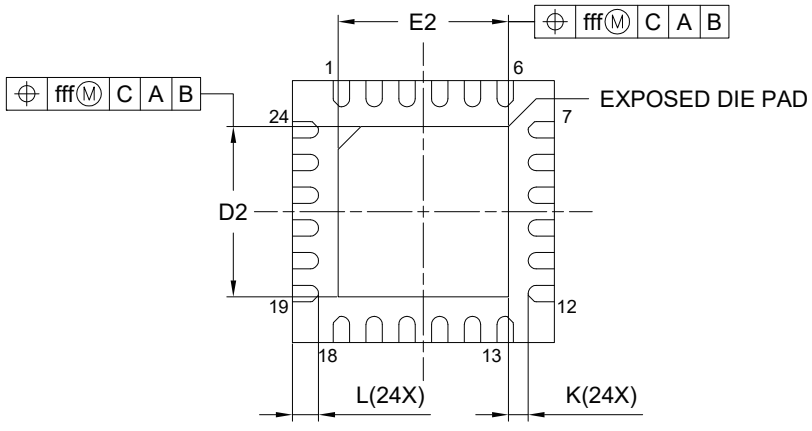
Referance Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	3.95	4.00	4.05
E	3.95	4.00	4.05
A	—	—	0.80
A_1	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z_D	—	0.75	—
Z_E	—	0.75	—
c_2	0.15	0.20	0.25
D_2	—	2.50	—
E_2	—	2.50	—

©2013 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN024-4x4-0.50	PWQN0024KF-A	0.04

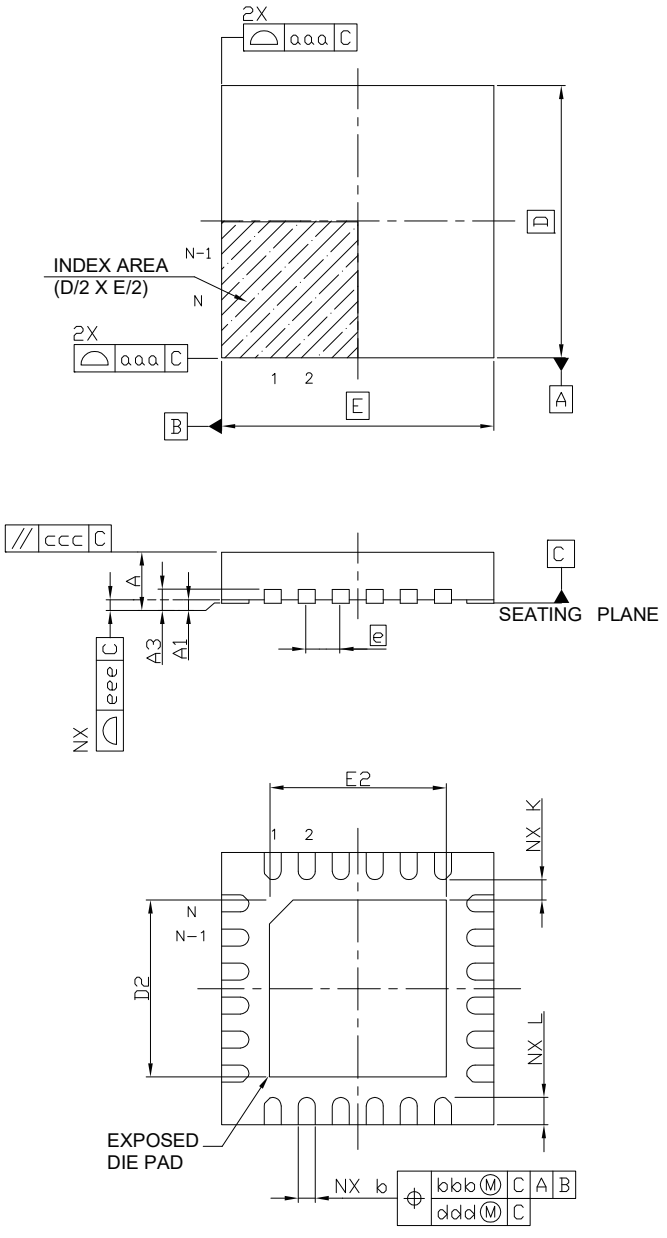






Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A1	0.00	0.02	0.05
A3		0.203 REF.	
b	0.18	0.25	0.30
D		4.00 BSC	
E		4.00 BSC	
e		0.50 BSC	
L	0.35	0.40	0.45
K	0.20	—	—
D2	2.55	2.60	2.65
E2	2.55	2.60	2.65
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

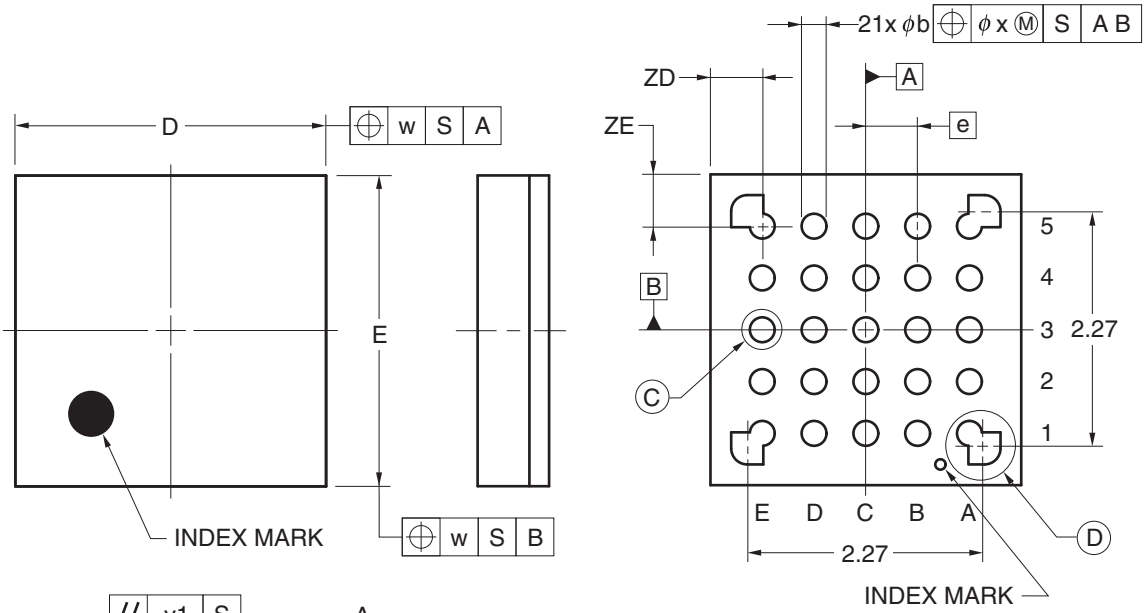
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN24-4×4-0.50	PWQN0024KH-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	—	0.05
A_3		0.20 REF.	
b	0.20	0.25	0.30
D	—	4.00	—
E	—	4.00	—
e	—	0.50	—
N		24	
L	0.30	0.40	0.50
K	0.20	—	—
D_2	2.50	2.60	2.70
E_2	2.50	2.60	2.70
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

37.5 25ピン製品

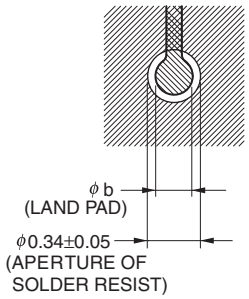
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-WFLGA25-3x3-0.50	PWLG0025KA-A	P25FC-50-2N2-2	0.01



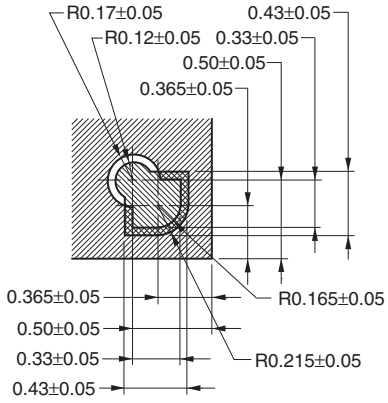
(UNIT:mm)

ITEM	DIMENSIONS
D	3.00±0.10
E	3.00±0.10
w	0.20
e	0.50
A	0.69±0.07
b	0.24±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.50
ZE	0.50

DETAIL OF Ⓒ PART



DETAIL OF Ⓓ PART



©2012 Renesas Electronics Corporation. All rights reserved.

付録A　改版履歴

A.1　本版で改訂された主な箇所

箇所	内容	分類
第1章　概説		
p.4	図1 - 1 RL78/G11の型名とメモリサイズ・パッケージを変更	(d)
p.5	表1 - 1 発注型名一覧を変更	(d)
第2章　端子機能		
p.30	表2 - 3 各端子の未使用端子処理を変更	(a)
第12章　ウォッチドッグ・タイマ		
p.417	表12-3 ウォッチドッグ・タイマのオーバフロー時間の設定の注を追加	(c)
第28章　安全機能		
p.926	28.1 安全機能の概要を変更	(c)
p.926	28.1 安全機能の概要の備考を変更	(c)
p.931	28.3.2 CRC演算機能(汎用CRC)を変更	(c)
p.935	28.3.4 RAMガード機能を変更	(c)
p.937	28.3.5 SFRガード機能を変更	(c)

備考　表中の「分類」により，改訂内容を次のように区分しています。

(a)：誤記訂正，(b)：仕様(スペック含む)の追加／変更，(c)：説明，注意事項の追加／変更，

(d)：パッケージ，オーダ名称，管理区分の追加／変更，(e)：関連資料の追加／変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/15)

版数	内容	適用箇所
Rev.0.50	初版発行	全般
Rev.1.00	1.3.3 25ピン製品　端子接続図を変更	第1章　概説
	1.5.1 20ピン製品　を追加	
	1.5.2 24,25ピン製品　製品名を追加　および　ブロック図変更	
	1.6　機能概要　I^2Cバスを追加	
	2.1.1 20ピン製品　兼用機能を変更	第2章　端子機能
	2.2.2 機能説明　備考を変更	
	表3 - 5 特殊機能レジスタ(SFR)一覧(1/3) P12,P13レジスタのR/W属性を変更	第3章　CPUアーキテクチャ
	表3 - 5 特殊機能レジスタ(SFR)一覧(2/3) CKSELレジスタを追加	
	表3 - 5 特殊機能レジスタ(SFR)一覧(3/3) PR02L,PR02Hレジスタの操作可能ビット範囲を追加	
	表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(2/7)　OMSCレジスタを追加　およびPORSRレジスタを削除	
	表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(5/7) TPS2,TPS3,DTBARレジスタの操作可能ビットを変更	
	表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧(7/7)　TRT00, TRT01, DOCR, DODIR, DODSR レジスタを追加	
	図4 - 7 周辺I/Oリダイレクション・レジスタ(PIORx)のフォーマット　PIOR25, PIOR22ビットを変更	第4章　ポート機能
	4.5.2 出力機能を使用しない兼用機能のレジスタ設定　説明を変更	
	表5 - 2 各フラッシュ動作モードの特長　動作電流を変更	第5章　オペレーション・ステート・コントロール
	図5 - 2 フラッシュ動作モード選択レジスタ(FLMODE)のフォーマットbit0を変更	
	6.3.8 動作スピード・モード制御レジスタ(OSMC)　説明を変更	第6章　クロック発生回路
	図6 - 11 動作スピード・モード制御レジスタ(OSMC)のフォーマット　リセット値を変更	
	図6 - 12 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマット 設定を変更	
	6.6.1 高速オンチップ・オシレータの設定例 設定を変更	
	6.6.2 X1発振回路の設定例 CSCレジスタを変更	
	表6 - 3 CPUクロックの移行とSFRレジスタの設定例(4/4)　(6)を変更	
	7.1.2 複数チャネル連動動作機能　(2)　を追加	第7章　タイマ・アレイ・ユニット
	図7 - 12 タイマ・モード・レジスタmn (TMRmn)のフォーマット　ビット10-8 説明追加	
	図7 - 22 入力切り替え制御レジスタ(ISC)のフォーマット　ビット登録指定を変更	
	7.8.3 分周器としての動作　説明文を変更	

(2/15)

版数	内容	適用箇所
Rev.1.00	図7 - 50 分周器としての動作のブロック図 を変更	第7章 タイマ・アレイ・ユニット
	図7 - 51 分周器としての動作の基本タイミング例(MDmn0 = 1) を変更	
	図7 - 52 分周器として動作時のレジスタ設定内容例 を変更	
	図7 - 53 分周器機能時の操作手順 を変更	
	7.9.2 2入力式ワンショット・パルス出力としての動作 説明文を変更	
	図7 - 71 2入力式ワンショット・パルス出力としての動作のブロック図を変更及び 注 を追加	
	図7 - 73 2入力式ワンショット・パルス出力（マスタ・チャネル）のレジスタ設定内容例 ビット名および 設定値を変更	
	8.3.3 動作スピード・モード制御レジスタ(OSMC) 説明文を変更	第8章 12ビット・インターバル・タイマ
	図8 - 4 動作スピード・モード制御レジスタ(OSMC)のフォーマット リセット値を変更	
	図8 - 6 12ビット・インターバル・タイマ・コントロール・レジスタ(ITMC)のフォーマット 説明変更	
	図10 - 19 周辺機能切り替えレジスタ0（PFSEL0）のフォーマット ビット登録指定を変更	第10章 16ビット・タイマKB0
	図10 - 69 強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）のフォーマット R/W属性を変更 および 備考を追加	
	図10 - 70 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）のフォーマット R/W属性を変更	
	図13 - 6 シリアル・モード・レジスタmn (SMRmn)のフォーマット(1/2) 注を変更	第13章 シリアル・アレイ・ユニット
	図13 - 6 シリアル・モード・レジスタmn (SMRmn)のフォーマット(2/2) 注を変更	
	図13 - 7 シリアル通信動作設定レジスタmn (SCRmn)のフォーマット(1/2) EOCmnビット説明 および注1 を変更	
	図13 - 7 シリアル通信動作設定レジスタmn (SCRmn)のフォーマット(2/2) SLCmn1,0ビット説明 および注1 を変更	
	図13 - 9 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)のフォーマット 注を変更	
	図13 - 10 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット(1/2) 注を変更	
	図13 - 11 シリアル・チャネル開始レジスタm (SSm)のフォーマット ビット3,2を変更	
	図13 - 12 シリアル・チャネル停止レジスタm (STm)のフォーマット ビット3,2を変更	
	図13 - 13 シリアル・チャネル許可ステータス・レジスタm (SEm)のフォーマット ビット3,2を変更	
	図13 - 14 シリアル出力許可レジスタm (SOEm)のフォーマット ビット3,2を変更	

(3/15)

版数	内容	適用箇所
Rev.1.00	図13 - 15 シリアル出力レジスタm (SOm)のフォーマット リセット値 およびビット3,2を変更	第13章 シリアル・アレイ・ユニット
	図13 - 16 シリアル出力レベル・レジスタm (SOLm)のフォーマット ﾋﾞｯﾄ3,2,1を変更	
	図13 - 20 入力切り替え制御レジスタ(ISC)のフォーマット ﾋﾞｯﾄ登録指定を変更	
	図13 - 108 UART (UART0, UART1)のUART受信時のレジスタ設定内容例(1/2) 注2を変更	
	14.3 シリアル・インタフェースIICAを制御するレジスタ PRR0レジスタを追加	第14章 シリアル・インタフェースIICA
	14.3.2 周辺リセット制御レジスタ0 (PRR0) 説明を追加	
	図14 - 9 IICAフラグ・レジスタn (IICFn)のフォーマット 備考3を追加	
	14.5.17 I2C割り込み要求(INTIICAn)の発生タイミング IICSnの値を変更	
	図16 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2) 基準電圧安定待ち時間ウエイト(A)を変更	第16章 A/Dコンバータ
	図16 - 30 ソフトウエア・トリガ・モード設定 基準電圧安定待ち時間カウントAを変更	
	図16 - 31 ハードウエア・トリガ・ノーウエイト・モード設定 基準電圧安定待ち時間カウントAを変更	
	図16 - 32 ハードウエア・トリガ・ウエイト・モード設定 基準電圧安定待ち時間カウントAを変更	
	図16 - 34 テスト・モード設定 基準電圧安定待ち時間カウントAを変更	
	図16 - 38 SNOOZEモード設定のフローチャート 基準電圧安定待ち時間カウントAを変更	
	16.10 A/Dコンバータの注意事項 (2) 注意を削除	
	図19 - 4 コンパレータモード設定レジスタ(COMPMDR)のフォーマット(2/2)を変更	第19章 コンパレータ
	20.3.3 ベクタ・テーブル 説明文を変更	第20章 データ・トランスファ・コントローラ(DTC)
	図20 - 4 コントロール・データの先頭アドレスとベクタ・テーブルを変更	
	図22 - 2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット IF0H,IF1L,IF1H レジスタのビット名を変更	第22章 割り込み機能
	第23章 キー割り込み機能 説明文 を変更	第23章 キー割り込み機能
	図24 - 3 STOPモードの割り込み要求発生による解除(1/2) 注2を変更	第24章 スタンバイ機能
	24.3.3 SNOOZEモード 注を変更	
	図24 - 6 SNOOZEモードの割り込み要求が発生しない場合 注4を追加	
	28.3.4.1 不正メモリ・アクセス検出制御レジスタ(IAWCTL) 説明を追加	第28章 安全機能
	図28 - 10 不正メモリ・アクセス検出制御レジスタ(IAWCTL)のフォーマット ビット7.5.4を変更	
	28.3.6.1 不正メモリ・アクセス検出制御レジスタ(IAWCTL) 説明を追加	

(4/15)

版数	内容	適用箇所
Rev.1.00	図30 - 1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット 注3追加	第30章 オプション・バイト
	図30 - 3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット（2/2)を削除	
	35.1 絶対最大定格 I_{OH1}, I_{OL1}条件を変更	第35章 電気的特性（TA = －40～＋85°C）
	35.2.2 オンチップ・オシレータ特性 高速オンチップ・オシレータ・クロック周波数精度を変更	
	35.2.2 オンチップ・オシレータ特性 D_{IMT}, D_{IMV}を追加	
	35.3.1 端子特性 注意を変更	
	35.3.1 端子特性 ハイ・レベル入力電圧，ロウ・レベル入力電圧条件 および注意を変更	
	35.3.1 端子特性 注意を変更	
	35.3.2 電源電流特性 スペックを変更	
	35.4 AC特性 スペックを変更	
	35.5.1 シリアル・アレイ・ユニット (1) スペックを変更	
	35.5.1 シリアル・アレイ・ユニット (3) スペックを変更	
	35.5.1 シリアル・アレイ・ユニット (4) スペックを変更	
	35.5.2 シリアル・インタフェースIICA (1) LP (低電力メイン)モードを追加	
	35.5.2 シリアル・インタフェースIICA (2) LP (低電力メイン)モードを追加	
	35.5.2 シリアル・インタフェースIICA (3) LP (低電力メイン)モードを追加	
	35.6.2 温度センサ／内部基準電圧特性 条件を変更	
	第36章 電気的特性（TA = －40～＋105°C）説明を追加	第36章 電気的特性(M: TA = -40～+125 °C)
	36.2.2 オンチップ・オシレータ特性 高速オンチップ・オシレータ・クロック周波数精度を変更	
	36.2.2 オンチップ・オシレータ特性 D_{IMT}, D_{IMV}を追加	
	36.3.1 端子特性 注意を変更	
	36.3.1 端子特性 ハイ・レベル入力電圧，ロウ・レベル入力電圧条件 および注意を変更	
	36.3.2 電源電流特性 スペックを変更	
	36.4 AC特性 項目を変更	
	36.5.1 シリアル・アレイ・ユニット (1) スペック および スペック表を変更	
	36.5.1 シリアル・アレイ・ユニット (3) スペックを変更	
	36.6.1 A/Dコンバータ特性 (4) 条件を変更	
	36.6.2 温度センサ／内部基準電圧特性 条件を変更	

(5/15)

版数	内容	適用箇所
Rev.1.10	6.4.4 低速オンチップ・オシレータ 説明を変更	第6章 クロック発生回路
	表12 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 注を追加	第12章 ウォッチドッグ・タイマ
	図16 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット 注を変更	第16章 A/Dコンバータ
	図16 - 12 アナログ入力チャネル指定レジスタ(ADS)のフォーマット 注を削除	
	図16 - 15 A/Dテスト・レジスタ(ADTES)のフォーマット 注を削除 および 注意を追加	
	図30 - 1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット 注3追加	第30章 オプション・バイト
Rev.2.00	10ピン，16ピン製品仕様を追加	全般
	PG-FP5をPG-FP6に,FL-PR5をFL-PR6に変更，E2, E2 Lite, E20を追加	
	1.1 特徴 説明文を変更	第1章 概説
	1.3.4 24ピン製品 図を変更	
	1.5.3 20ピン製品 ブロック図を変更	
	1.5.4 24, 25ピン製品 ブロック図を変更	
	1.6 機能概要 表を変更	
	2.1.3 20ピン製品 表を変更	第2章 端子機能
	2.1.4 24ピン製品 表を変更	
	2.1.5 25ピン製品 表を変更	
	2.2.2 機能説明 表を変更	
	2.3 未使用端子の処理 表を変更	
	図2 - 5 端子タイプ4-9-3の端子ブロック図 を変更 および 注意を追加	
	図2 - 7 端子タイプ4-18-2の端子ブロック図 を変更	
	図3 - 1 メモリ・マップ 注1を変更 および 注意を追加	第3章 CPUアーキテクチャ
	表3 - 4 内部RAM容量 注意3を追加	
	表3 - 6 拡張特殊機能レジスタ(2nd SFR)一覧 を変更	
	3.3.4 レジスタ・インダイレクト・アドレッシング を変更	
	表4 - 1 ポートの構成 を変更	第4章 ポート機能
	4.2.2 ポート2 説明文を変更	
	4.2.4 ポート4 の説明文を変更	
	4.2.5 ポート5 の説明文を変更	
	表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを変更 および注, 注1, 注2を追加	
	4.3.2 ポート・レジスタ(Pxx) 注を変更	
	図4 - 3 プルアップ抵抗オプション・レジスタのフォーマット を変更	
	図4 - 4 ポート入力モード・レジスタのフォーマット 注1, 注2を追加	

(6/15)

版数	内容	適用箇所
Rev.2.00	4.3.5 ポート出力モード・レジスタ(POMxx) 説明文を変更	第4章 ポート機能
	図4 - 5 ポート出力モード・レジスタのフォーマット を変更 および 注1-注4を追加	
	4.4.4 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3.0 V系)対応 説明文を変更	
	表4 - 4 P00-P01端子機能使用時のレジスタの設定例 を変更	
	表4 - 5 P20-P23端子機能使用時のレジスタの設定例 を変更	
	表4 - 6 P30-P33端子機能使用時のレジスタの設定例 を変更	
	表4 - 7 P40端子機能使用時のレジスタの設定例 を変更	
	表4 - 8 P51-P56端子機能使用時のレジスタの設定例 を変更	
	表4 - 9 P121, P122, P125端子機能使用時のレジスタの設定例 を変更	
	表4 - 10 P137端子機能使用時のレジスタの設定例 を変更	
	図5 - 2 フラッシュ動作モード選択レジスタ (FLMODE)のフォーマット を変更, 注意3, 注意10を追加	第5章 オペレーション・ステート・コントロール
	図5 - 5 ユーザ・オプション・バイト (000C2H)のフォーマット を変更	
	図5 - 6 フラッシュ動作モードの状態遷移 を変更	
	図6 - 1 クロック発生回路のブロック図 を変更 および 備考を追加	第6章 クロック発生回路
	図6 - 3 システム・クロック制御レジスタ(CKC)のフォーマット 注意2を変更 および注意3を追加	
	図6 - 8 周辺イネーブル・レジスタ0 (PER0)のフォーマット 注意2を変更	
	図6 - 9 周辺イネーブル・レジスタ1 (PER1)のフォーマット 注1, 2を変更	
	図6 - 10 周辺イネーブル・レジスタ2 (PER2)のフォーマット 注1, 2, 3を変更	
	6.3.8 動作スピード・モード制御レジスタ(OSMC) 説明文を削除	
	図6 - 11 動作スピード・モード制御レジスタ(OSMC)のフォーマット 注2を変更	
	図6 - 12 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマット を変更	
	6.4.4 低速オンチップ・オシレータ 説明文を変更	
	6.6.1 高速オンチップ・オシレータの設定例 図を変更	
	6.6.2 X1発振回路の設定例 図を変更 および 注意を追加	
	表6 - 4 CPUクロックの移行について を変更	
	表6 - 5 メイン・システム・クロックの切り替えに要する最大時間 を変更	

(7/15)

版数	内容	適用箇所
Rev.2.00	7.1.2 複数チャネル連動動作機能(2) を追加	第7章 タイマ・アレイ・ユニット
	図7 - 1 タイマ・アレイ・ユニット0の全体ブロック図 を変更	
	図7 - 2 タイマ・アレイ・ユニット0のチャネル0内部ブロック図 を変更	
	図7 - 3 タイマ・アレイ・ユニット0のチャネル1内部ブロック図 を変更	
	図7 - 5 タイマ・アレイ・ユニット0のチャネル3内部ブロック図 を変更	
	図7 - 9 周辺イネーブル・レジスタ0 (PER0)のフォーマット 注意1を変更	
	図7 - 38 TO0nビットの一括操作によるTO0nの端子状態 注意を削除	
	図7 - 71 2入力式ワンショット・パルス出力としての動作のブロック図 を変更	
	図7 - 73 2入力式ワンショット・パルス出力（マスタ・チャネル）のレジスタ設定内容例 を変更	
	表8 - 1 12ビット・インターバル・タイマの構成 を変更	第8章 12ビット・インターバル・タイマ
	8.3 12ビット・インターバル・タイマを制御するレジスタ を変更	
	8.3.4 タイマ・クロック選択レジスタ3（TPS3）タイトルを変更	
	図8 - 5 タイマ・クロック選択レジスタ3 (TPS3) のフォーマット）タイトルおよび注2を変更	
	9.3.3 8ビット・インターバル・タイマ・コンペア・レジスタni (TRTCMPni) 説明文を変更	第9章 8ビット・インターバル・タイマ
	図9- 5 8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn)のフォーマット を変更	
	9.4.2 タイマ動作 説明文を変更	
	9.4.3.2 カウント・ソース($f_{IL}/2^m$)選択時 説明文を変更	
	9.4.5 8ビット・インターバル・タイマの設定手順 を追加	
	10.1 16ビット・タイマKB0の機能 説明文を変更	第10章 16ビット・タイマKB0
	表10 - 1 16ビット・タイマKB0の構成 を変更	
	図10 - 1 16ビットタイマKB0のブロック図 を変更	
	図10 - 2 16ビット・タイマKBコンペア・レジスタnm（TKBCRnm）のフォーマット を変更	
	図10 - 3 16ビット・タイマKB トリガ・コンペア・レジスタn（TKBTGCRn）のフォーマット を変更	
	10.3 16ビット・タイマKB0を制御するレジスタ を変更	
	図10 - 4 周辺イネーブル・レジスタ2（PER2）のフォーマット 注意を変更	
	10.3.2 周辺リセット制御レジスタ2 (PRR2) を追加	
	図10 - 6 タイマ・クロック選択レジスタ2（TPS2）のフォーマット 表および備考を変更	
	図10 - 7 16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）のフォーマット を変更	
	10.3.19 16ビット・タイマKB入出力端子のポート機能を制御するレジスタ 説明文を変更	
	図10 - 22 タイマKB動作設定例（動作開始フロー）を変更	

(8/15)

版数	内容	適用箇所
Rev.2.00	10.4.5 単体動作モード（TKBCRn0による周期制御）(5)を変更	第10章 16ビット・タイマKB0
	10.4.6 単体動作モード（外部トリガ入力による周期制御）(4)を変更	
	図10 - 49 インターリーブPFCモードのタイミング図 （条件No.6の動作）を変更	
	図10 - 50 インターリーブPFCモードのタイミング図 （条件No.7の動作）を変更	
	10.4.7 インターリーブPFC（Power Factor Correction）出力モード (2)を変更	
	図10 - 58 ディザリング動作の波形図 を変更	
	10.6.1 強制出力停止機能1と強制出力停止機能2 (2)を変更	
	図10 - 69 強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）のフォーマット 備考を変更	
	表11 - 1 クロック出力／ブザー出力制御回路の構成 を変更	第11章 クロック出力／ブザー出力制御回路
	11.3 クロック出力／ブザー出力制御回路を制御するレジスタ を変更	
	11.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ 説明文を変更	
	11.5 クロック出力／ブザー出力制御回路の注意事項 説明文を変更	
	表12 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 注を追加	第12章 ウォッチドッグ・タイマ
	表13 - 1 シリアル・アレイ・ユニットの構成 備考を変更	第13章 シリアル・アレイ・ユニット
	図13 - 1 シリアル・アレイ・ユニット0のブロック図 を変更	
	13.2.2 シリアル・データ・レジスタmn (SDRmn)の下位8/9ビット 注2を変更	
	図13 - 2 シリアル・データ・レジスタmn (SDRmn)(mn = 00, 01)のフォーマットを変更	
	図13 - 3 シリアル・データ・レジスタmn (SDRmn)(mn = 02, 03)のフォーマットを追加	
	図13 - 7 シリアル・モード・レジスタmn (SMRmn)のフォーマット 注意を変更	
	図13 - 8 シリアル通信動作設定レジスタmn (SCRmn)のフォーマット 注意を変更	
	図13 - 9 シリアル・データ・レジスタmn (SDRmn)のフォーマット 図および注意3を変更	
	図13 - 10 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)のフォーマット 注意を変更	
	図13 - 11 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット 注を変更	
	図13 - 12 シリアル・チャネル開始レジスタm (SSm)のフォーマット 注意1を変更	
	図13 - 13 シリアル・チャネル停止レジスタm (STm)のフォーマット 注意を変更	
	図13 - 14 シリアル・チャネル許可ステータス・レジスタm (SEm)のフォーマット 注意を変更	

(9/15)

版数	内容	適用箇所
Rev.2.00	図13 - 15 シリアル出力許可レジスタm (SOEm)のフォーマット 注意を変更	第13章 シリアル・アレイ・ユニット
	13.3.13 シリアル出力レジスタm (SOm) 説明文を変更	
	図13 - 16 シリアル出力レジスタm (SOm)のフォーマット 図および注意を変更	
	図13 - 17 シリアル出力レベル・レジスタm (SOLm)のフォーマット 図および注意を変更	
	図13 - 18 送信データのレベル反転例 を変更	
	13.3.16 入力切り替え制御レジスタ(ISC) 説明文を追加	
	図13 - 22 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット 注意を変更	
	13.3.18 シリアル入出力端子のポート機能を制御するレジスタ 説明文を変更	
	図13 - 24 チャネルごとに動作停止とする場合の各レジスタの設定 を変更	
	13.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)通信の動作 説明文を変更	
	13.5.1 マスタ送信 備考を変更	
	図13 - 25 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)のマスタ送信時のレジスタ設定内容例 を変更	
	図13 - 33 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)のマスタ受信時のレジスタ設定内容例 を変更	
	図13 - 41 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)のマスタ送受信時のレジスタ設定内容例 を変更	
	13.5.4 スレーブ送信 注1を変更	
	図13 - 49 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)のスレーブ送信時のレジスタ設定内容例 を変更	
	13.5.5 スレーブ受信 注1を変更	
	図13 - 57 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)のスレーブ受信時のレジスタ設定内容例 を変更	
	13.5.6 スレーブ送受信 注1を変更	
	図13 - 63 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)のスレーブ送受信時のレジスタ設定内容例 を変更	
	13.5.7 SNOOZEモード機能 説明文を変更	
	図13 - 72 SNOOZEモード動作(1回起動)時のフロー・チャート を変更	
	図13 - 74 SNOOZEモード動作(連続起動)時のフロー・チャート を変更	
	図13 - 76 スレーブ・セレクト入力機能の構成例 注意を変更	
	図13 - 78 スレーブ・セレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例 を変更	
	図13 - 86 スレーブ・セレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例 を変更	
	図13 - 92 スレーブ・セレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例 を変更	
	13.7 UART (UART0, UART1)通信の動作 説明文を変更	
	図13 - 101 UART (UART0, UART1)のUART送信時のレジスタ設定内容例 を変更	

(10/15)

版数	内容	適用箇所
Rev.2.00	図13 - 106 UART送信(シングル送信モード時)のフロー・チャート を変更	第13章 シリアル・アレイ・ユニット
	13.7.2 UART受信 表を変更	
	図13 - 109 UART (UART0, UART1)のUART受信時のレジスタ設定内容例 を変更	
	13.7.3 SNOOZEモード機能 説明文を変更	
	図13 - 117 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャート を変更	
	図13 - 119 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートを変更	
	図13 - 123 LINの送信操作 を変更	
	図13 - 124 LIN送信のフロー・チャート を変更	
	図13 - 125 LINの受信操作 を変更	
	図13 - 126 LIN受信のフロー・チャート を変更	
	図13 - 127 LINの受信操作用のポート構成図 を変更	
	図13 - 128 簡易I^2C (IIC00, IIC01, IIC10, IIC11) のアドレス・フィールド送信時のレジスタ設定内容例 を変更	
	図13 - 132 簡易I^2C (IIC00, IIC01, IIC10, IIC11)のデータ送信時のレジスタ設定内容例 を変更	
	図13 - 135 簡易I^2C (IIC00, IIC01, IIC10, IIC11)のデータ受信時のレジスタ設定内容例 を変更	
	表14 - 1 シリアル・インタフェースIICAの構成 を変更	第14章 シリアル・インタフェースIICA
	14.3 シリアル・インタフェースIICAを制御するレジスタ を変更	
	図14 - 5 周辺イネーブル・レジスタ0 (PER0)のフォーマット 注意1を変更	
	14.3.9 IICA入出力端子のポート機能を制御するレジスタ 説明文を変更	
	図15 - 2 周辺イネーブル・レジスタ2 (PER2)のフォーマット 注意1を変更	第15章 データ演算回路(DOC)
	15.2.3 DOCコントロールレジスタ(DOCR) 説明文を追加	
	図16 - 12 アナログ入力チャネル指定レジスタ(ADS)のフォーマット 注1を削除	第16章 A/Dコンバータ
	図16 - 12 アナログ入力チャネル指定レジスタ(ADS)のフォーマット 表を変更	
	図16 - 15 A/Dテスト・レジスタ(ADTES)のフォーマット 注を削除，注意を追加	
	図16 - 33 温度センサ出力電圧／内部基準電圧を選択時の設定 注意を削除	
	図17 - 2 周辺イネーブル・レジスタ1 (PER1)のフォーマット 注意2を追加	第17章 D/Aコンバータ
	17.4.1 通常モード時の動作 注意1を変更	
	図17 - 6 D/A変換値の出力タイミング 備考を変更	
	17.5 D/Aコンバータ使用上の注意事項 備考を追加	
	図18 - 1 プログラマブル・ゲイン・アンプのブロック図 を変更	第18章 プログラマブル・ゲイン・アンプ(PGA)
	図18 - 2 周辺イネーブル・レジスタ1 (PER1)のフォーマット 注意1を変更	
	18.4 プログラマブル・ゲイン・アンプの動作 (1)(5)を変更	
	図18 - 8 プログラマブル・ゲイン・アンプ（PGA）動作設定フロー・チャート を変更	

(11/15)

版数	内容	適用箇所
Rev.2.00	図19 - 1 コンパレータのブロック図 を変更，注意を削除	第19章 コンパレータ
	19.3.3 コンパレータモード設定レジスタ(COMPMDR) 説明文を追加	
	19.3.4 コンパレータモード設定レジスタ(COMPMDR) 説明文を追加	
	表19 - 2 コンパレータ関連レジスタの設定手順 を変更	
	図20 - 16 ノーマル・モードの使用例1：A/D変換結果の連続取り込み を変更	第20章 データ・トランスファ・コントローラ(DTC)
	20.5.7 DTC起動要因 説明文を追加	
	21.3.1 イベント出力先選択レジスタn (ELSELRn) 説明文を変更	第21章 イベント・リンク・コントローラ(ELC)
	表22 - 1 割り込み要因一覧 注1を変更	第22章 割り込み機能
	表24 - 1 HALTモード時の動作状態 を変更	第24章 スタンバイ機能
	表24 - 2 STOPモード時の動作状態 を変更	
	24.3.3 SNOOZEモード 説明文を変更	
	表24 - 3 SNOOZEモード時の動作状態 を変更	
	図24 - 6 SNOOZEモードの割り込み要求が発生しない場合 注4を追加	
	25.2.2 周辺リセット制御レジスタ0 (PRR0) 説明文を追加	第25章 リセット機能
	25.2.3 周辺リセット制御レジスタ1 (PRR1) 説明文を追加	
	25.2.4 周辺リセット制御レジスタ2 (PRR2) 説明文を追加	
	表27 - 1 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット を変更	第27章 電圧検出回路
	図28 - 11 不正アクセス検出空間 を変更	第28章 安全機能
	図30 - 1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット 注3を追加	第30章 オプション・バイト
	図31 - 7 フラッシュ・メモリ・プログラミング・モードへの引き込み を変更	第31章 フラッシュ・メモリ
	35.2.2 オンチップ・オシレータ特性 を変更	第35章 電気的特性（T_A = −40～＋85°C）
	35.3.1 端子特性 を変更	
	35.3.2 電源電流特性 を変更	
	35.4 AC特性 を変更	
	35.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング を変更	
	36.2.2 オンチップ・オシレータ特性 を変更	第36章 電気的特性（T_A = −40～＋105°C）
	36.3.1 端子特性 を変更	
	36.4 AC特性 を変更	
	36.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング を変更	

(12/15)

版数	内容	適用箇所
Rev.2.10	35.6.1 A/Dコンバータ特性 (3) 基準電圧(+) = VDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = VSS (ADREFM = 0)選択時，変換対象：ANI0-ANI3，ANI16-ANI22，内部基準電圧，温度センサ出力電圧 を変更	第35章 電気的特性（TA = −40～＋85°C）
	35.6.1 A/Dコンバータ特性 (4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0)，基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時，変換対象：ANI0，ANI2，ANI3，ANI16-ANI22 を変更	
	36.6.1 A/Dコンバータ特性 (1) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)，基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時，変換対象：ANI2, ANI3，内部基準電圧，温度センサ出力電圧 を変更	第36章 電気的特性（TA = −40～＋105°C）
Rev.2.20	図1 - 1 RL78/G11の型名とメモリサイズ・パッケージ 注を追加	第1章 概説
	1.3.1 10ピン製品図を変更	
	1.3.2 16ピン製品図を変更	
	1.3.3 20ピン製品図を変更	
	1.3.4 24ピン製品図を変更	
	1.6 機能概要表を変更	
	図2 - 11 端子タイプ8-3-4の端子ブロック図 を変更	第2章 端子機能
	表4 - 5 P20-P23端子機能使用時のレジスタの設定例 を変更	第4章 ポート機能
	図7 - 16 タイマ・チャネル停止レジスタm (TTm)のフォーマット 説明を変更	第7章 タイマ・アレイ・ユニット
	図11 - 2 クロック出力選択レジスタn (CKSn)のフォーマット および注を変更	第11章 クロック出力／ブザー出力制御回路
	図16 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2) 説明を変更	第16章 A/Dコンバータ
	図16 - 12 アナログ入力チャネル指定レジスタ(ADS)のフォーマット 注を追加	
	16.8 SNOOZEモード機能 注意を変更	
	図19 - 1 コンパレータのブロック図 を変更	第19章 コンパレータ
	図19 - 4 コンパレータモード設定レジスタ(COMPMDR)のフォーマット および注3，注5を変更，注6を追加	
	表19 - 4 コンパレータ0, 1の機能，レジスタ設定とアクティブ信号幅の関係 を変更	
	図19 - 12 コンパレータ0, 1による強制出力停止要求信号，タイマ・リスタート要求信号の発生タイミング	
	35.1 絶対最大定格を変更	第35章 電気的特性（TA = −40～＋85°C）
	35.3.2 電源電流特性 注1を変更	
	35.3.2 電源電流特性 周辺機能(全製品共通)を変更，注14を追加	
	35.5.1 シリアル・アレイ・ユニット (3) 同電位通信時(CSIモード)(マスタ・モード，SCKp…内部クロック出力) P20をSO10端子とするとき を変更	

(13/15)

版数	内容	適用箇所
Rev.2.20	35.5.1 シリアル・アレイ・ユニット (4) 同電位通信時(CSIモード) (スレーブ・モード，SCKp…外部クロック入力) P01, P32, P53, P54, P56をSOmn端子とするとき を変更	第35章 電気的特性（TA = −40～＋85°C）
	35.5.1 シリアル・アレイ・ユニット (4) 同電位通信時(CSIモード) (スレーブ・モード，SCKp…外部クロック入力) P20をSO10端子とするとき を変更	
	35.5.1 シリアル・アレイ・ユニット (5) 同電位通信時(簡易I2Cモード) を変更	
	35.5.1 シリアル・アレイ・ユニット (10) 異電位通信時(1.8 V系，2.5 V系，3.0 V系） 通信時(簡易I2Cモード) を変更	
	35.6.3 D/Aコンバータ（チャネル1）を変更	
	35.6.4 コンパレータ を変更	
	36.1 絶対最大定格を変更	第36章 電気的特性（TA = −40～＋105°C）
	36.2.1 X1特性 を変更	
	36.3.1 端子特性 を変更	
	36.3.2 電源電流特性 周辺機能(全製品共通)を変更	
	36.5.1 シリアル・アレイ・ユニット(1) 同電位通信時(UARTモード） P20をSO10端子とするとき を変更	
	36.5.1 シリアル・アレイ・ユニット (2) 同電位通信時(CSIモード) (マスタ・モード，SCKp…内部クロック出力） P01, P32, P53, P54, P56をSOmn端子とするとき を変更	
	36.5.1 シリアル・アレイ・ユニット (2) 同電位通信時(CSIモード) (マスタ・モード，SCKp…内部クロック出力） P20をSO10端子とするとき を変更	
	36.5.1 シリアル・アレイ・ユニット (3) 同電位通信時(CSIモード) (スレーブ・モード，SCKp…外部クロック入力） P20をSO10端子とするとき を変更	
	36.5.1 シリアル・アレイ・ユニット (6) 異電位(1.8 V，2.5 V系，3.0 V系)通信時(CSIモード) (マスタ・モード，SCKp…内部クロック出力) を変更	
	36.6.1 A/Dコンバータ特性 (4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0)，基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時，変換対象：ANI0-ANI3，ANI16-ANI22 を変更	
	36.6.3 D/Aコンバータ（チャネル1）を変更	
	36.6.4 コンパレータ を変更	
	36.6.6 POR回路特性 を変更	
Rev.2.30	図1 - 1 RL78/G11の型名とメモリサイズ・パッケージを変更	第1章 概説
	1.2 型名一覧 表を変更	
	1.3.3 20ピン製品 を変更	
	図8 - 2 周辺イネーブル・レジスタ2 (PER2)のフォーマット 注を訂正	第8章 12ビット・インターバル・タイマ
	図13 - 11 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット 注意1を訂正	第13章 シリアル・アレイ・ユニット

(14/15)

版数	内容	適用箇所
Rev.2.30	図13 - 19 シリアル・スタンバイ・コントロール・レジスタm (SSCm)のフォーマット を訂正	第13章 シリアル・アレイ・ユニット
	図13 - 34 マスタ送信(連続送信モード時)のフロー・チャート を訂正	
	図13 - 114 UART送信(連続送信モード時)のフロー・チャートを訂正	
	31.8.3 データ・フラッシュへのアクセス手順 注意4を追加	第31章 フラッシュ・メモリ
	35.3.2 電源電流特性 を訂正	第35章 電気的特性（TA = −40～＋85°C）
	37.3 20ピン製品 外形図を追加	第37章 外形図
	37.4 24ピン製品 外形図を追加	
Rev.2.40	図1 - 1 RL78/G11の型名とメモリサイズ・パッケージを 変更	第1章 概説
	1.2 型名一覧 表を変更	
	1.3.2 16ピン製品 を変更	
	37.2 16ピン製品 を変更	第37章 外形図
Rev.2.50	3線シリアルI/O、3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPIに変更	
	IICAのウエイトをクロック・ストレッチに変更	
	1.1 特徴 注を追加	第1章 概説
	1.2 型名一覧 表1-1 発注型名一覧 タイトルおよびRENESAS Codeを追加	
	4. 4. 4 入出力バッファによる異電位（1.8 V系, 2.5 V系）対応 注を追加	第4章 ポート機能
	図10 - 7 16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）のフォーマット 注を追加および備考を変更	第10章 16ビット・タイマKB0
	図10 - 20 周辺機能切り替えレジスタ0（PFSEL0）のフォーマット 注を追加，変更および備考を変更	
	図10 - 66 強制出力停止機能制御レジスタ0p（TKBPACTL0p）のフォーマット 注を変更，追加および備考を変更	
	注を追加	第13章 シリアル・アレイ・ユニット
	図19 - 1 コンパレータのブロック図 を変更	第19章 コンパレータ
	図19 - 6 コンパレータ出力制御レジスタ(COMPOCR)のフォーマット 注を追加，変更および備考を追加	
	19.5 タイマKB連動機能使用時の注意事項 説明を変更	
	表19 - 4 コンパレータ0, 1の機能，レジスタ設定とアクティブ信号幅の関係 説明を追加	
	図19 - 12 コンパレータ0, 1による強制出力停止要求信号，タイマ・リスタート要求信号の発生タイミング 注を変更	
	20.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定 説明を変更	第20章 データ・トランスファ・コントローラ(DTC)
	20.5.8 スタンバイ・モード時の動作 表の備考を追加	

(15/15)

版数	内容	適用箇所
Rev.2.50	35.3.2 電源電流特性 表（1/3）の注を変更	第35章 電気的特性（TA = −40～＋85°C）
	35.3.2 電源電流特性 表（2/3）の注を変更	
	35.3.2 電源電流特性 表（3/3）の注を変更	
	36.3.2 電源電流特性 表（1/3）の注を変更	第36章 電気的特性（TA = −40～＋105°C）
	36.3.2 電源電流特性 表（2/3）の注を変更	
	36.3.2 電源電流特性 表（3/3）の注を変更	
	37.2 16ピン製品 図を追加	第37章 外形図
	37.4 24ピン製品 図を追加	

RL78/G11 ユーザーズマニュアル　ハードウェア編

発行年月日　2016年3月31日　Rev.0.50
　　2024年3月29日　Rev.2.60

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RL78/G11

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0637JJ0260