

RZ/N1D グループ、 RZ/N1S グループ、 RZ/N1L グループ

ユーザーズマニュアル システム・周辺機能 1 編

RZ ファミリ
RZ/N シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RZ/N1 グループでは次のドキュメントを用意しています。

■ RZ/N1 関連ドキュメント一覧

ドキュメント名	資料番号
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ データシート	R01DS0323JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編	R01UH0750JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル システム・周辺機能 1 編	R01UH0751JJ**** (本ユーザーズマニュアル)
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル 周辺機能 2 編	R01UH0752JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル R-IN Engine・イーサネット機能編	R01UH0753JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル PWMTimer	R01UH0913JJ****

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X [レジスタ名]

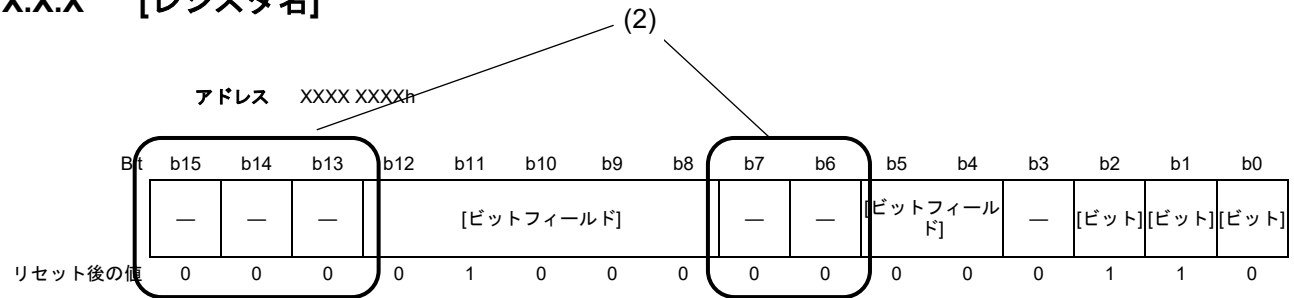


表 X.X [レジスタ名]レジスタの内容

ビット位置	ビット名	機能	R/W
b12~b8	[ビットフィールド]	[説明]	R/W
b5~b4	[ビットフィールド]	[説明] 2'b00 : Hi-Z 2'b01 : L 出力 上記以外 : 設定禁止	R/W
b2	[ビット]	[説明] 1'b0 : Hi-Z 1'b1 : 出力 (デフォルト値)	R/W
b1	[ビット]	[説明] 1'b0 : Hi-Z 1'b1 : 出力 (デフォルト値)	R/W
b0	[ビット]	[説明] 1'b0 : Hi-Z 1'b1 : 出力	R/W

(1) R/W : 読み出し／書き込みとも有効です。

R/(W) : 読み出し／書き込みとも有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。

R : 読み出しのみ有効です。書き込みは無効になります。

W : 書き込みのみ有効です。読み出した値は保証されません。

(2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定以外の値を書き込んだ場合の動作は保証されません。

(3) 設定禁止。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語／略称	フルスペル
AHB	Arm Advanced High-performance Bus
APB	Arm Advanced Peripheral Bus
AXI	Arm Advanced eXtensible Interface
bps	bits per second
CA7	Arm Cortex-A7 module
CM3	Arm Cortex-M3 module
CRC	Cyclic Redundancy Check
DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
Hi-Z	High Impedance
HSR	High-availability Seamless Redundancy
HW-RTOS	Hard Ware Real Time OS
I/O	Input/Output
INTC	Interrupt Controller
LSB	Least Significant Bit
MSB	Most Significant Bit
NC	Non-Connect
NoC	Network-on-Chip
PLL	Phase Locked Loop
PWM	Pulse Width Modulation
UART	Universal Asynchronous Receiver/Transmitter
OTP	One Time Programmable
PTP	Precision Time Protocol
PRP	Parallel Redundancy Protocol
SoC	System On Chip

4. アクセスサイズの表記

アクセスサイズ：

8 ビット＝バイト

16 ビット＝ハーフワード

32 ビット＝ワード

Arm は Arm Limited（またはその子会社）の EU およびその他地域における登録商標です。
全ての商標・登録商標は各所有者の財産です。

目 次

第 1 章	CPU	26
1.1	Arm Cortex-A7	26
1.1.1	概要	26
1.1.2	使用上の注意	27
1.2	Arm Cortex-M3	28
1.2.1	概要	28
1.2.2	信号インタフェース	28
1.2.3	使用上の注意	28
1.2.3.1	制限事項	28
第 2 章	ネットワークオンチップ	29
2.1	概要	29
2.2	特長	29
第 3 章	2MB SRAM	33
3.1	概要	33
3.2	信号インタフェース	33
3.3	レジスタマップ	34
3.4	レジスタの説明	35
3.4.1	RAMPCMD – RAM_SYS プロテクトコマンドレジスタ	35
3.4.2	RAMEDC – RAM_SYS ECC デコーダコンフィグレーションレジスタ	35
3.4.3	RAMEEC – RAM_SYS ECC エンコーダコンフィグレーションレジスタ	36
3.4.4	RAMDBEST – RAM_SYS ダブルビット ECC エラーステータスレジスタ	38
3.4.5	RAMDBEAD – RAM_SYS ダブルビット ECC エラーアドレスレジスタ	40
3.4.6	RAMDBECNT – RAM_SYS ダブルビット ECC エラーカウンタレジスタ	41
3.5	動作	42
3.5.1	メモリマップの構成	42
3.5.2	初期化	42
3.5.3	ECC エラー訂正機能	43
3.5.4	ECC 回路のセルフテスト	44
3.6	使用上の注意	46
3.6.1	プロテクトコマンドレジスタ (RAMPCMD)	46
3.6.2	ECC デコーダコンフィグレーションレジスタ (RAMEDC)	46
3.6.3	ECC エンコーダコンフィグレーションレジスタ (RAMEEC)	47
3.6.4	ダブルビット ECC エラーステータスレジスタ (RAMDBEST)	47
3.6.5	ダブルビット ECC エラーアドレスレジスタ (RAMDBEAD)	47
3.6.6	ダブルビット ECC エラーカウンタレジスタ (RAMDBECNT)	48
第 4 章	4MB SRAM	49
4.1	概要	49

4.2	信号インタフェース	49
4.3	レジスタマップ	49
4.4	レジスタの説明	50
4.4.1	SR4PCMD – SRAM 4MB プロテクトコマンドレジスタ	50
4.4.2	SR4EDC – SRAM 4MB ECC デコーダコンフィグレーションレジスタ	50
4.4.3	SR4EEC – SRAM 4MB ECC エンコーダコンフィグレーションレジスタ	51
4.4.4	SR4DBEST – SRAM 4MB ダブルビット ECC エラーステータスレジスタ	52
4.4.5	SR4DBEAD – SRAM 4MB ダブルビット ECC エラーアドレスレジスタ	53
4.4.6	SR4DBECNT – SRAM 4MB ダブルビット ECC エラーカウンタレジスタ	53
4.5	動作	54
4.5.1	メモリマップの構成	54
4.5.2	初期化	54
4.5.3	ECC エラー訂正機能	54
4.5.4	ECC 回路のセルフテスト	55
4.6	使用上の注意	57
4.6.1	SRAM 4MB プロテクトコマンドレジスタ (SR4PCMD)	57
4.6.2	SRAM 4MB ECC デコーダコンフィグレーションレジスタ (SR4EDC)	57
4.6.3	SRAM 4MB ECC エンコーダコンフィグレーションレジスタ (SR4EEC)	58
4.6.4	SRAM 4MB ダブルビット ECC エラーステータスレジスタ (SR4DBEST)	58
4.6.5	SRAM 4MB ダブルビット ECC エラーアドレスレジスタ (SR4DBEAD)	58
4.6.6	SRAM 4MB ダブルビット ECC エラーカウンタレジスタ (SR4DBECNT)	58
第 5 章	デバッグインタフェース	59
5.1	概要	59
5.2	JTAG インタフェース	60
5.2.1	JTAG インタフェースの推奨回路	60
5.2.2	JTAG デバッグインタフェースの推奨回路	61
5.2.3	シリアルワイヤデバッグインタフェースの推奨回路	62
5.3	リセットに関する注意事項	63
5.3.1	RZ/N1 リセット信号	63
5.3.2	デバッガリセット信号	63
5.3.3	リセット回路の例	64
第 6 章	16 ビット DDR2/3 コントローラ	65
6.1	概要	65
6.2	信号インタフェース	67
6.3	レジスタマップ	68
6.3.1	DDR コントローラ	68
6.3.2	DDR PHY	71
6.4	レジスタの説明	72
6.4.1	DDR コントローラレジスタの説明	72
6.4.1.1	DDR_CTL_00 – DDR コントローラステータス／制御 00 レジスタ	72

[illegible]

6.4.1.55	DDR_CTL_54 – DDR コントローラステータス／制御 54 レジスタ	105
6.4.1.56	DDR_CTL_55 – DDR コントローラステータス／制御 55 レジスタ	106
6.4.1.57	DDR_CTL_56 – DDR コントローラステータス／制御 56 レジスタ	107
6.4.1.58	DDR_CTL_57 – DDR コントローラステータス／制御 57 レジスタ	108
6.4.1.59	DDR_CTL_58 – DDR コントローラステータス／制御 58 レジスタ	108
6.4.1.60	DDR_CTL_59 – DDR コントローラステータス／制御 59 レジスタ	109
6.4.1.61	DDR_CTL_60 – DDR コントローラステータス／制御 60 レジスタ	109
6.4.1.62	DDR_CTL_61 – DDR コントローラステータス／制御 61 レジスタ	110
6.4.1.63	DDR_CTL_62 – DDR コントローラステータス／制御 62 レジスタ	110
6.4.1.64	DDR_CTL_63 – DDR コントローラステータス／制御 63 レジスタ	111
6.4.1.65	DDR_CTL_64 – DDR コントローラステータス／制御 64 レジスタ	112
6.4.1.66	DDR_CTL_65 – DDR コントローラステータス／制御 65 レジスタ	112
6.4.1.67	DDR_CTL_66 – DDR コントローラステータス／制御 66 レジスタ	113
6.4.1.68	DDR_CTL_67 – DDR コントローラステータス／制御 67 レジスタ	114
6.4.1.69	DDR_CTL_68 – DDR コントローラステータス／制御 68 レジスタ	115
6.4.1.70	DDR_CTL_69 – DDR コントローラステータス／制御 69 レジスタ	116
6.4.1.71	DDR_CTL_70 – DDR コントローラステータス／制御 70 レジスタ	117
6.4.1.72	DDR_CTL_71 – DDR コントローラステータス／制御 71 レジスタ	117
6.4.1.73	DDR_CTL_72 – DDR コントローラステータス／制御 72 レジスタ	118
6.4.1.74	DDR_CTL_73 – DDR コントローラステータス／制御 73 レジスタ	118
6.4.1.75	DDR_CTL_74 – DDR コントローラステータス／制御 74 レジスタ	119
6.4.1.76	DDR_CTL_75 – DDR コントローラステータス／制御 75 レジスタ	120
6.4.1.77	DDR_CTL_76 – DDR コントローラステータス／制御 76 レジスタ	121
6.4.1.78	DDR_CTL_77 – DDR コントローラステータス／制御 77 レジスタ	121
6.4.1.79	DDR_CTL_78 – DDR コントローラステータス／制御 78 レジスタ	122
6.4.1.80	DDR_CTL_79 – DDR コントローラステータス／制御 79 レジスタ	122
6.4.1.81	DDR_CTL_80 – DDR コントローラステータス／制御 80 レジスタ	123
6.4.1.82	DDR_CTL_81 – DDR コントローラステータス／制御 81 レジスタ	123
6.4.1.83	DDR_CTL_82 – DDR コントローラステータス／制御 82 レジスタ	124
6.4.1.84	DDR_CTL_83 – DDR コントローラステータス／制御 83 レジスタ	124
6.4.1.85	DDR_CTL_84 – DDR コントローラステータス／制御 84 レジスタ	125
6.4.1.86	DDR_CTL_85 – DDR コントローラステータス／制御 85 レジスタ	125
6.4.1.87	DDR_CTL_86 – DDR コントローラステータス／制御 86 レジスタ	126
6.4.1.88	DDR_CTL_87 – DDR コントローラステータス／制御 87 レジスタ	126
6.4.1.89	DDR_CTL_88 – DDR コントローラステータス／制御 88 レジスタ	127
6.4.1.90	DDR_CTL_89 – DDR コントローラステータス／制御 89 レジスタ	128
6.4.1.91	DDR_CTL_90 – DDR コントローラステータス／制御 90 レジスタ	129
6.4.1.92	DDR_CTL_[k] – ポート 0 レンジ[n]スタートアドレス設定レジスタ (n=0~15) (k=91+n×2)	129
6.4.1.93	DDR_CTL_[k] – ポート 0 レンジ[n]エンドアドレス設定レジスタ (n=0~15) (k=92+n×2)	130
6.4.1.94	DDR_CTL_[k] – ポート 1 レンジ[n]スタートアドレス設定レジスタ (n=0~15) (k=123+n×2)	130
6.4.1.95	DDR_CTL_[k] – ポート 1 レンジ[n]エンドアドレス設定レジスタ (n=0~15) (k=124+n×2)	131
6.4.1.96	DDR_CTL_[k] – ポート 2 レンジ[n]スタートアドレス設定レジスタ (n=0~15) (k=155+n×2)	131
6.4.1.97	DDR_CTL_[k] – ポート 2 レンジ[n]エンドアドレス設定レジスタ (n=0~15) (k=156+n×2)	132
6.4.1.98	DDR_CTL_[k] – ポート 3 レンジ[n]スタートアドレス設定レジスタ (n=0~15) (k=187+n×2)	132
6.4.1.99	DDR_CTL_[k] – ポート 3 レンジ[n]エンドアドレス設定レジスタ (n=0~14) (k=188+n×2)	133

6.4.1.100	DDR_CTL_218 – ポート 3 レンジ 15 エンドアドレス設定レジスタ	133
6.4.1.101	DDR_CTL_[k] – ポート 0 レンジ[n]プロテクト設定レジスタ 1 (n=0~15) (k=219+n×2)	134
6.4.1.102	DDR_CTL_[k] – ポート 0 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=220+n×2)	135
6.4.1.103	DDR_CTL_250 – ポート 0 レンジ 15 プロテクト設定レジスタ 2	136
6.4.1.104	DDR_CTL_[k] – ポート 1 レンジ[n]プロテクト設定レジスタ 1 (n=0~15) (k=251+n×2)	137
6.4.1.105	DDR_CTL_[k] – ポート 1 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=252+n×2)	138
6.4.1.106	DDR_CTL_282 – ポート 1 レンジ 15 プロテクト設定レジスタ 2	139
6.4.1.107	DDR_CTL_[k] – ポート 2 レンジ[n]プロテクト設定レジスタ レジスタ 1 (n=0~15) (k=283+n×2)	140
6.4.1.108	DDR_CTL_[k] – ポート 2 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=284+n×2)	141
6.4.1.109	DDR_CTL_314 – ポート 2 レンジ 15 プロテクト設定レジスタ 2	142
6.4.1.110	DDR_CTL_[k] – ポート 3 レンジ[n]プロテクト設定レジスタ 1 (n=0~15) (k=315+n×2)	143
6.4.1.111	DDR_CTL_[k] – ポート 3 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=316+n×2)	144
6.4.1.112	DDR_CTL_346 – ポート 3 レンジ 15 プロテクト設定レジスタ 2	145
6.4.1.113	DDR_CTL_347 – DDR コントローラステータス/制御 347 レジスタ	146
6.4.1.114	DDR_CTL_348 – DDR コントローラステータス/制御 348 レジスタ	147
6.4.1.115	DDR_CTL_349 – DDR コントローラステータス/制御 349 レジスタ	148
6.4.1.116	DDR_CTL_350 – DDR コントローラステータス/制御 350 レジスタ	149
6.4.1.117	DDR_CTL_351 – DDR コントローラステータス/制御 351 レジスタ	150
6.4.1.118	DDR_CTL_352 – DDR コントローラステータス/制御 352 レジスタ	151
6.4.1.119	DDR_CTL_353 – DDR コントローラステータス/制御 353 レジスタ	152
6.4.1.120	DDR_CTL_354 – DDR コントローラステータス/制御 354 レジスタ	152
6.4.1.121	DDR_CTL_355 – DDR コントローラステータス/制御 355 レジスタ	153
6.4.1.122	DDR_CTL_356 – DDR コントローラステータス/制御 356 レジスタ	153
6.4.1.123	DDR_CTL_357 – DDR コントローラステータス/制御 357 レジスタ	154
6.4.1.124	DDR_CTL_358 – DDR コントローラステータス/制御 358 レジスタ	155
6.4.1.125	DDR_CTL_359 – DDR コントローラステータス/制御 359 レジスタ	155
6.4.1.126	DDR_CTL_360 – DDR コントローラステータス/制御 360 レジスタ	156
6.4.1.127	DDR_CTL_361 – DDR コントローラステータス/制御 361 レジスタ	156
6.4.1.128	DDR_CTL_362 – DDR コントローラステータス/制御 362 レジスタ	157
6.4.1.129	DDR_CTL_363 – DDR コントローラステータス/制御 363 レジスタ	157
6.4.1.130	DDR_CTL_364 – DDR コントローラステータス/制御 364 レジスタ	158
6.4.1.131	DDR_CTL_365 – DDR コントローラステータス/制御 365 レジスタ	158
6.4.1.132	DDR_CTL_366 – DDR コントローラステータス/制御 366 レジスタ	159
6.4.1.133	DDR_CTL_367 – DDR コントローラステータス/制御 367 レジスタ	159
6.4.1.134	DDR_CTL_368 – DDR コントローラステータス/制御 368 レジスタ	160
6.4.1.135	DDR_CTL_369 – DDR コントローラステータス/制御 369 レジスタ	160
6.4.1.136	DDR_CTL_370 – DDR コントローラステータス/制御 370 レジスタ	161
6.4.1.137	DDR_CTL_371 – DDR コントローラステータス/制御 371 レジスタ	161
6.4.1.138	DDR_CTL_372 – DDR コントローラステータス/制御 372 レジスタ	162
6.4.1.139	DDR_CTL_373 – DDR コントローラステータス/制御 373 レジスタ	163
6.4.1.140	DDR_CTL_374 – DDR コントローラステータス/制御 374 レジスタ	164
6.4.2	DDR PHY レジスタの説明	165
6.4.2.1	FUNCCTRL – 機能制御レジスタ	165
6.4.2.2	DLLCTRL – MDLL 制御レジスタ	166
6.4.2.3	ZQCALCTRL – ZQ キャリブレーション制御レジスタ	168

6.4.2.4	ZQODTCTRL – ZQODT 制御レジスタ	170
6.4.2.5	RDCTRL – リード制御レジスタ	172
6.4.2.6	RDTMG – リードタイミング制御レジスタ	173
6.4.2.7	FIFOINIT – FIFO 初期化レジスタ	174
6.4.2.8	OUTCTRL – 出力制御レジスタ	175
6.4.2.9	WLCTRL1 – ライトレベリング制御レジスタ 1	176
6.4.2.10	DQCALOFS1 – DQS オフセット設定レジスタ	177
6.5	動作	178
6.5.1	アドレスマッピング	178
6.5.1.1	DDR SDRAM のアドレスマッピングオプション	178
6.5.1.2	最大アドレス空間	179
6.5.1.3	アドレス空間のメモリマッピング	180
6.5.2	AXI インタフェースポート	181
6.5.2.1	調停方式	181
6.5.2.2	ラウンドロビン調停とは	181
6.5.2.3	ポート優先度とは	182
6.5.2.4	ポート帯域幅とは	183
6.5.2.5	ポート帯域幅抑制とは	185
6.5.2.6	ポート帯域幅オーバーフローとは	187
6.5.2.7	優先度ラウンドロビン調停のまとめ	188
6.5.2.8	調停例	189
6.5.2.9	優先度ラウンドロビン調停のプログラミング	193
6.5.3	ポート保護オプション	194
6.5.4	コマンドキューの配置ロジック	196
6.5.4.1	配置アルゴリズムのルール	196
6.5.4.2	配置後のコマンド実行順	199
6.5.4.3	ACT 要求の制御	201
6.5.5	DRAM コマンドの処理	202
6.5.6	ECC 機能	202
6.5.6.1	ECC エラーの種類	202
6.5.6.2	ECC ロジックの機能	203
6.5.6.3	ECC の制御	204
6.5.6.4	シンδροーム	205
6.5.6.5	ECC が有効の場合のコマンド処理	206
6.5.6.6	ECC および読み出し動作	208
6.5.6.7	ECC および書き込み動作	209
6.5.6.8	ECC の自動破棄	210
6.5.6.9	ECC エラーイベントの強制	210
6.5.6.10	通知された ECC イベントのクリア	211
6.5.7	低消費電力制御の管理	212
6.5.7.1	低消費電力状態	212
6.5.7.2	低消費電力制御モジュールの管理	215
6.5.7.3	ソフトウェアプログラマブルインタフェース	216
6.5.7.4	自動インタフェース	218
6.6	使用上の注意	220
6.6.1	簡単な DDR 初期化	220
6.6.2	DDR 初期化の例	220
第 7 章	NAND Flash コントローラ	223
7.1	概要	223

7.2	信号インタフェース	224
7.3	レジスタマップ	225
7.4	レジスタの説明	226
7.4.1	COMMAND – コマンドレジスタ	226
7.4.2	CONTROL – CONTROL レジスタ	227
7.4.3	STATUS – STATUS レジスタ	229
7.4.4	STATUS_MASK – STATUS_MASK レジスタ	231
7.4.5	INT_MASK – INT_MASK レジスタ	232
7.4.6	INT_STATUS – INT_STATUS レジスタ	234
7.4.7	ECC_CTRL – ECC 制御レジスタ	235
7.4.8	ECC_OFFSET – ECC オフセットレジスタ	236
7.4.9	ECC_STAT – ECC ステータスレジスタ	237
7.4.10	ADDR0_COL – カラムアドレス 0 レジスタ	238
7.4.11	ADDR0_ROW – ロウアドレス 0 レジスタ	238
7.4.12	ADDR1_COL – カラムアドレス 1 レジスタ	239
7.4.13	ADDR1_ROW – ロウアドレス 1 レジスタ	239
7.4.14	PROTECT – プロテクトレジスタ	240
7.4.15	FIFO_DATA – FIFO データレジスタ	241
7.4.16	DATA_REG – データレジスタ	242
7.4.17	DATA_REG_SIZE – DATA_REG_SIZE レジスタ	242
7.4.18	DEV[n]_PTR – デバイス[n]リマップポインタレジスタ (n=0~3)	243
7.4.19	DMA_ADDR – DMA アドレスレジスタ	243
7.4.20	DMA_CNT – DMA カウンタレジスタ	244
7.4.21	DMA_CTRL – DMA 制御レジスタ	245
7.4.22	BBM_CTRL – BBM 制御レジスタ	246
7.4.23	MEM_CTRL – メモリデバイス制御レジスタ	247
7.4.24	DATA_SIZE – データサイズレジスタ	248
7.4.25	TIMINGS_ASYNC – 非同期モードタイミングレジスタ	249
7.4.26	TIME_SEQ_0 – コマンドシーケンスタイミングレジスタ 0	250
7.4.27	TIME_SEQ_1 – コマンドシーケンスタイミングレジスタ 1	251
7.4.28	TIME_GEN_SEQ_0 – ジェネリックコマンドシーケンスレジスタ 0	252
7.4.29	TIME_GEN_SEQ_1 – ジェネリックコマンドシーケンスレジスタ 1	253
7.4.30	TIME_GEN_SEQ_2 – ジェネリックコマンドシーケンスレジスタ 2	254
7.4.31	FIFO_INIT – FIFO 初期化レジスタ	255
7.4.32	FIFO_STATE – FIFO ステータスレジスタ	256
7.4.33	GEN_SEQ_CTRL – ジェネリックシーケンスレジスタ	257
7.4.34	MLUN – LUN コンフィグレーションレジスタ	259
7.4.35	DEV[n]_SIZE – デバイス[n] BBM レコードカウンタレジスタ (n=0~3)	260
7.4.36	DMA_TLVL – DMA トリガレベルレジスタ	260
7.4.37	CMD_MARK – CMD ID 初期値レジスタ	261
7.4.38	LUN_STATUS_0 – LUN ステータスレジスタ	261
7.4.39	TIME_GEN_SEQ_3 – ジェネリックコマンドシーケンスレジスタ 3	262
7.4.40	INT_STAT – 内部ステータスレジスタ	263

7.4.41	ECC_CNT – ECC エラーカウンタレジスタ	264
7.4.42	PARAM_REG – PARAMETER レジスタ	265
7.5	動作	268
7.5.1	NAND Flash コントローラのプログラミング	268
7.5.2	コマンド生成	268
7.5.2.1	命令のエンコーディング	268
7.5.2.2	コマンドシーケンスのエンコーディング	269
7.5.2.3	シーケンス SEQ_0	271
7.5.2.4	シーケンス SEQ_1	271
7.5.2.5	シーケンス SEQ_2	272
7.5.2.6	シーケンス SEQ_3	272
7.5.2.7	シーケンス SEQ_4	273
7.5.2.8	シーケンス SEQ_5	273
7.5.2.9	シーケンス SEQ_6	274
7.5.2.10	シーケンス SEQ_7	274
7.5.2.11	シーケンス SEQ_8	275
7.5.2.12	シーケンス SEQ_9	275
7.5.2.13	シーケンス SEQ_10	276
7.5.2.14	シーケンス SEQ_11	276
7.5.2.15	シーケンス SEQ_12	277
7.5.2.16	シーケンス SEQ_13	277
7.5.2.17	シーケンス SEQ_14	278
7.5.2.18	シーケンス SEQ_15	278
7.5.2.19	シーケンス SEQ_17	279
7.5.2.20	シーケンス SEQ_18	279
7.5.2.21	シーケンス SEQ_19	279
7.5.2.22	シーケンス SEQ_20	279
7.5.2.23	シーケンス SEQ_21	280
7.5.2.24	シーケンス SEQ_22	280
7.5.2.25	シーケンス SEQ_23	281
7.5.2.26	シーケンス SEQ_24	281
7.5.2.27	シーケンス SEQ_25	282
7.5.3	ジェネリックコマンドシーケンス	283
7.5.4	命令	287
7.5.4.1	命令セット	287
7.5.4.2	命令の実行	288
7.5.4.3	RESET コマンド	288
7.5.4.4	READ ID コマンド	289
7.5.4.5	READ PARAMETER PAGE コマンド	289
7.5.4.6	READ UNIQUE ID コマンド	290
7.5.4.7	GET FEATURES コマンド	290
7.5.4.8	SET FEATURES コマンド	291
7.5.4.9	READ STATUS コマンド	291
7.5.4.10	DEVICE STATUS コマンド	292
7.5.4.11	VOLUME SELECT コマンド	292
7.5.4.12	SELECT LUN WITH STATUS コマンド	293
7.5.4.13	LUN STATUS コマンド	293
7.5.4.14	CHANGE READ COLUMN コマンド	294
7.5.4.15	SELECT CACHE REGISTER コマンド	294
7.5.4.16	CHANGE WRITE COLUMN コマンド	295
7.5.4.17	CHANGE ROW ADDRESS コマンド	295

7.5.4.18	READ PAGE コマンド	296
7.5.4.19	READ PAGE CACHE コマンド	296
7.5.4.20	READ PAGE CACHE LAST コマンド	297
7.5.4.21	READ MULTIPLANE コマンド	297
7.5.4.22	QUEUE PAGE READ コマンド	298
7.5.4.23	TWO PLANE PAGE READ コマンド	298
7.5.4.24	PROGRAM PAGE コマンド	299
7.5.4.25	PROGRAM PAGE IMMEDIATE コマンド	299
7.5.4.26	PROGRAM PAGE DELAYED コマンド	300
7.5.4.27	PROGRAM PAGE 1 コマンド	300
7.5.4.28	PROGRAM PAGE CACHE コマンド	301
7.5.4.29	PROGRAM MULTIPLANE コマンド	301
7.5.4.30	WRITE PAGE コマンド	302
7.5.4.31	WRITE PAGE CACHE コマンド	302
7.5.4.32	WRITE MULTIPLANE コマンド	302
7.5.4.33	ERASE BLOCK コマンド	303
7.5.4.34	ERASE MULTIPLANE コマンド	303
7.5.4.35	COPYBACK READ コマンド	304
7.5.4.36	COPYBACK PROGRAM コマンド	304
7.5.4.37	COPYBACK PROGRAM 1 コマンド	304
7.5.4.38	COPYBACK MULTIPLANE コマンド	305
7.5.4.39	PROGRAM OTP コマンド	305
7.5.4.40	DATA PROTECT OTP コマンド	306
7.5.4.41	PAGE READ OTP コマンド	306
7.5.5	マルチ LUN ワークモード	307
7.5.6	リマッピングメカニズム	307
7.5.7	割り込みメカニズム	309
7.6	設定および構成	310
7.6.1	スレーブインタフェースによる NAND Flash へのデータ送出	312
7.6.2	スレーブインタフェースによる NAND Flash からのデータ読み出し	313
7.6.3	マスタインタフェースによる NAND Flash へのデータ送出 (DMA を使用)	314
7.6.4	DMA によるメモリの複数ページ高速の書き込みおよび読み出し	316
7.6.5	2 つの NAND Flash メモリデバイスに対するデータ書き込み	318
7.6.6	2 つの NAND Flash メモリデバイスからのデータ読み出し	319
7.6.7	4 つの NAND Flash メモリデバイスに対するデータ書き込み	320
7.6.8	4 つの NAND Flash メモリデバイスからのデータ読み出し	322
7.6.9	ページの部分書き込み	324
7.6.10	ページの部分読み出し	325
7.7	ECC モジュール	326
7.7.1	ページ内の ECC およびデータのロケーション	326
7.7.2	BCH アルゴリズムのインプリメンテーション	327
7.8	使用上の注意	328
7.8.1	ADDR[n]_COL および ADDR[n]_ROW レジスタ	328
7.8.2	プロテクトレジスタ (PROTECT)	329
7.8.3	非同期モードタイミングレジスタ (TIMINGS_ASYN)	330
7.8.4	コマンドシーケンスタイミングレジスタ 1 (TIME_SEQ_1)	330

第 8 章	Quad IO SPI.....	331
8.1	概要.....	331
8.2	信号インタフェース	332
8.3	レジスタマップ.....	333
8.4	レジスタの説明.....	335
8.4.1	config_reg – QSPI 設定レジスタ.....	335
8.4.2	dev_instr_rd_config_reg – デバイス読み出し命令設定レジスタ	338
8.4.3	dev_instr_wr_config_reg – デバイス書き込み命令設定レジスタ	339
8.4.4	dev_delay_reg – QSPI デバイス遅延レジスタ	340
8.4.5	rd_data_capture_reg – 読み出しデータキャプチャレジスタ	341
8.4.6	dev_size_config_reg – デバイスサイズ設定レジスタ.....	342
8.4.7	remap_addr_reg – アドレス再マッピングレジスタ	343
8.4.8	mode_bit_config_reg – モードビット設定レジスタ.....	343
8.4.9	tx_thresh_reg – TX 閾値レジスタ	344
8.4.10	rx_thresh_reg – RX 閾値レジスタ	344
8.4.11	write_completion_ctrl_reg – 書き込み完了制御レジスタ	345
8.4.12	no_of_polls_bef_exp_reg – ポーリング終了レジスタ	346
8.4.13	irq_status_reg – 割り込みステータスレジスタ	347
8.4.14	irq_mask_reg – 割り込みマスクレジスタ	349
8.4.15	lower_wr_prot_reg – 書き込み保護レジスタ（下位）	350
8.4.16	upper_wr_prot_reg – 書き込み保護レジスタ（上位）	350
8.4.17	wr_prot_ctrl_reg – 書き込み保護制御レジスタ	351
8.4.18	flash_cmd_ctrl_reg – フラッシュコマンド制御レジスタ	352
8.4.19	flash_cmd_addr_reg – フラッシュコマンドアドレスレジスタ	354
8.4.20	flash_rd_data_lower_reg – フラッシュコマンド読み出しデータレジスタ（下位）	354
8.4.21	flash_rd_data_upper_reg – フラッシュコマンド読み出しデータレジスタ（上位）	355
8.4.22	flash_wr_data_lower_reg – フラッシュコマンド書き込みデータレジスタ（下位）	355
8.4.23	flash_wr_data_upper_reg – フラッシュコマンド書き込みデータレジスタ（上位）	356
8.4.24	polling_flash_status_reg – ポーリングフラッシュステータスレジスタ	356
8.4.25	module_id_reg – モジュール ID レジスタ	357
8.5	動作.....	358
8.5.1	AHB 制御インタフェース	358
8.5.1.1	メモリマップアドレスの再マッピング.....	358
8.5.1.2	書き込み保護	358
8.5.2	ダイレクトアクセスコントローラ（DAC）	359
8.5.3	ソフトウェア発行命令ジェネレータ（STIG）	359
8.5.4	STIG 要求の処理.....	359
8.5.5	ダイレクトアクセスコントローラと STIG の間の調停.....	360
8.5.6	SPI コマンド変換.....	360
8.5.7	フラッシュ命令タイプの選択	361
8.5.8	APB インタフェースとレジスタモジュール.....	362
8.5.9	読み出しデータのキャプチャ	363
8.5.9.1	8 バイト読み出し転送の例	363

8.6	Quad SPI コントローラの設定	365
8.6.1	リセット後の Quad SPI コントローラの設定	365
8.6.2	最適な使用を考慮した Quad SPI コントローラの設定	365
8.6.3	フラッシュコマンド制御レジスタの使用 (STIG 動作)	367
8.6.4	レガシーSPI モードの使用	367
8.6.5	NoCMD モードへの移行と終了	368
8.6.5.1	NoCMD モード移行	368
8.6.5.2	NoCMD モード終了	368
8.6.6	書き込み保護レジスタの使用	368
8.7	使用上の注意	369
8.7.1	4 バイトアドレス出力	369
8.7.2	書き込み保護領域	369
8.7.3	書き込み完了の自動ポーリング	369
8.7.4	チップセレクト選択	369
第 9 章	SDIO/SD/eMMC コントローラ	370
9.1	概要	370
9.2	信号インターフェース	371
9.3	レジスタマップ	372
9.3.1	レジスタマップ (SDIO1)	372
9.3.2	レジスタマップ (SDIO2)	373
9.4	レジスタの説明	374
9.4.1	reg_sdmasysaddrlo – SDMA システムアドレスレジスタ (下位)	374
9.4.2	reg_sdmasysaddrhi – SDMA システムアドレスレジスタ (上位)	375
9.4.3	reg_blocksize – ブロックサイズレジスタ	376
9.4.4	reg_blockcount – ブロックカウントレジスタ	377
9.4.5	reg_argument1lo – 引数 1 レジスタ (下位)	377
9.4.6	reg_argument1hi – 引数 1 レジスタ (上位)	378
9.4.7	reg_transfermode – 転送モードレジスタ	379
9.4.8	reg_command – コマンドレジスタ	381
9.4.9	reg_response[n] – 応答レジスタ[n] (n=0~7)	383
9.4.10	reg_dataport – バッファデータポートレジスタ	384
9.4.11	reg_presentstate – 現ステータスレジスタ	385
9.4.12	reg_hostcontrol1 – ホスト制御 1 レジスタ	388
9.4.13	reg_powercontrol – 電源制御レジスタ	390
9.4.14	reg_blockgapcontrol – ブロックギャップ制御レジスタ	391
9.4.15	reg_wakeupcontrol – ウェイクアップ制御レジスタ	393
9.4.16	reg_clockcontrol – クロック制御レジスタ	394
9.4.17	reg_timeoutcontrol – タイムアウト制御レジスタ	396
9.4.18	reg_softwarereset – ソフトウェアリセットレジスタ	397
9.4.19	reg_normalintrsts – 通常割り込みステータスレジスタ	398
9.4.20	reg_errorintrsts – エラー割り込みステータスレジスタ	401
9.4.21	reg_normalintrstsena – 通常割り込みステータスイネーブルレジスタ	403

9.4.22	reg_errorintrstsena	— エラー割り込みステータスイネーブルレジスタ	404
9.4.23	reg_normalintrsigena	— 通常割り込み信号イネーブルレジスタ	405
9.4.24	reg_errorintrsigena	— エラー割り込み信号イネーブルレジスタ	406
9.4.25	reg_autocmderrsts	— Auto CMD エラーステータスレジスタ	407
9.4.26	reg_hostcontrol2	— ホスト制御 2 レジスタ	408
9.4.27	reg_capabilities	— 機能レジスタ	409
9.4.28	reg_capabilities_cont	— 機能レジスタ（続き）	411
9.4.29	reg_maxcurrentcap	— 最大電流容量レジスタ	412
9.4.30	reg_ForceEventforAUTOCMDErrorStatus	— Auto CMD エラー強制イベントステータス レジスタ	413
9.4.31	reg_forceeventforerrintrsts	— エラー割り込み強制イベントステータスレジスタ	414
9.4.32	reg_admaerrsts	— ADMA エラーステータスレジスタ	415
9.4.33	reg_admasysaddr0	— ADMA システムアドレスレジスタ（下位）	416
9.4.34	reg_admasysaddr1	— ADMA システムアドレスレジスタ（上位）	416
9.4.35	reg_presetvalue0	— 初期化プリセット値レジスタ	417
9.4.36	reg_presetvalue1	— デフォルトスピードプリセット値レジスタ	417
9.4.37	reg_presetvalue2	— ハイスピードプリセット値レジスタ	418
9.4.38	reg_slotintrsts	— スロット割り込みステータスレジスタ	418
9.4.39	reg_hostcontrollerver	— ホストコントローラバージョンレジスタ	419
9.5	SDIO のプログラミング		420
9.5.1	非 DMA トランザクション		421
9.5.2	DMA トランザクション		423
9.5.3	ADMA トランザクション		425
9.5.4	アボートトランザクション		426
9.5.4.1	同期アボート		427
9.5.4.2	非同期アボート		428
第 10 章	USB2.0 HS ホスト／ファンクションコントローラ（USBh/USBf）		429
10.1	概要		429
10.2	信号インタフェース		432
10.3	USBPLL の特長		433
10.4	レジスタマップ		434
10.4.1	OHCI オペレーションレジスタマップ		434
10.4.2	EHCI オペレーションレジスタマップ		435
10.4.3	OHCI（PCI 設定空間）レジスタマップ		435
10.4.4	EHCI（PCI 設定空間）レジスタマップ		436
10.4.5	AHB-PCI ブリッジ（PCI 設定空間）レジスタマップ		436
10.4.6	AHB-PCI ブリッジ（PCI 通信空間）レジスタマップ		437
10.4.7	EPC レジスタマップ		437
10.4.8	AHB-EPC ブリッジレジスタマップ		438
10.5	レジスタの説明		439
10.5.1	OHCI オペレーションレジスタの説明		439
10.5.1.1	HCREVISION — HcRevision レジスタ		439

10.5.1.2	HCCONTROL — HcControl レジスタ	440
10.5.1.3	HCCOMMANDSTATUS — HcCommandStatus レジスタ	442
10.5.1.4	HCINTERRUPTSTATUS — HcInterruptStatus レジスタ	443
10.5.1.5	HCINTERRUPTENABLE — HcInterruptEnable レジスタ	445
10.5.1.6	HCINTERRUPTDISABLE — HcInterruptDisable レジスタ	446
10.5.1.7	HCHCCA — HcHCCA レジスタ	447
10.5.1.8	HCPERIODCURRENTED — HcPeriodicCurrentED レジスタ	447
10.5.1.9	HCCONTROLHEADED — HcControlHeadED レジスタ	448
10.5.1.10	HCCONTROLCURRENTED — HcControlCurrentED レジスタ	448
10.5.1.11	HCBULKHEADED — HcBulkHeadED レジスタ	449
10.5.1.12	HCBULKCURRENTED — HcBulkCurrentED レジスタ	449
10.5.1.13	HCDONEHEAD — HcDoneHead レジスタ	450
10.5.1.14	HCFMINTERVAL — HcFrameInterval レジスタ	451
10.5.1.15	HCFMREMAINING — HcFrameRemaining レジスタ	452
10.5.1.16	HCFMNUMBER — HcFrameNumber レジスタ	452
10.5.1.17	HCPERIODICSTART — HcPeriodicStart レジスタ	453
10.5.1.18	HCLSTHRESHOLD — HcLSThreshold レジスタ	453
10.5.1.19	HCRHDESCRIPTORA — HcRhDescriptorA レジスタ	454
10.5.1.20	HCRHDESCRIPTORB — HcRhDescriptorB レジスタ	455
10.5.1.21	HCRHSTATUS — HcRhStatus レジスタ	456
10.5.1.22	HCRHPORTSTATUS1/HCRHPORTSTATUS2 — HcRhPortStatus1/HcRhPortStatus2 レジスタ	458
10.5.2	EHCI オペレーションレジスタの説明	461
10.5.2.1	CAPL_VERSION — HCVERSION および CAPLENGTH レジスタ (EHCI)	461
10.5.2.2	HCSPARAMS — HCSPARAMS レジスタ	462
10.5.2.3	HCCPARAMS — HCCPARAMS レジスタ	463
10.5.2.4	HCSP_PORTROUTE — HCSP_PORTROUTE レジスタ	464
10.5.2.5	USBCMD — USBCMD レジスタ	465
10.5.2.6	USBSTS — USBSTS レジスタ	467
10.5.2.7	USBINTR — USBINTR レジスタ	469
10.5.2.8	FRINDEX — フレームインデックスレジスタ	470
10.5.2.9	CTRLDSSEGMENT — CTRLDSSEGMENT レジスタ	471
10.5.2.10	PERIODICLISTBASE — PERIODICLISTBASE レジスタ	471
10.5.2.11	ASYNCLISTADDR — ASYNCLISTADDR レジスタ	472
10.5.2.12	CONFIGFLAG — CONFIGFLAG レジスタ	472
10.5.2.13	PORTSC1/PORTSC2 — PORTSC1/PORTSC2 レジスタ	473
10.5.3	OHCI (PCI 設定空間) レジスタの説明	477
10.5.3.1	VID_DID — デバイス ID・ベンダ ID (OHCI)	477
10.5.3.2	CMND_STS — ステータス・コマンド (OHCI)	478
10.5.3.3	REVID_CC — クラスコード・リビジョン ID (OHCI)	480
10.5.3.4	CLS_LT_HT_BIST — BIST・ヘッダタイプ・レイテンシタイマ・キャッシュ ラインサイズ (OHCI)	480
10.5.3.5	BASEAD — OHCI ベースアドレス	481
10.5.3.6	SSVID_SSID — サブシステム ID・サブシステムベンダ ID (OHCI)	482
10.5.3.7	EROM_BASEAD — 拡張 ROM ベースアドレス (OHCI)	482
10.5.3.8	CAPPTR — 機能 ID ポインタ (OHCI)	483
10.5.3.9	INTR_LINE_PIN — Max_Lat・Min_Gnt・割り込みピン・割り込みライン (OHCI)	483
10.5.3.10	CAPID_NIP_PMCAP — 機能 ID・次アイテムポインタ・パワーマネジメント 機能 (OHCI)	484
10.5.3.11	PMC_STS_PMCSCR — パワーマネジメント制御およびステータス・PMCSR ブリッジサポート拡張 (OHCI)	485

10.5.3.12	EXT1 – EXT1 レジスタ (OHCI)	486
10.5.3.13	EXT2 – EXT2 レジスタ (OHCI)	487
10.5.3.14	UTMICTRL – USBPHY オペレーションモード制御レジスタ (OHCI)	488
10.5.4	EHCI (PCI 設定空間) レジスタの説明	489
10.5.4.1	VID_DID – デバイス ID・ベンダ ID (EHCI)	489
10.5.4.2	CMND_STS – ステータス・コマンド (EHCI)	490
10.5.4.3	REVID_CC – クラスコード・リビジョン ID (EHCI)	492
10.5.4.4	CLS_LT_HT_BIST – BIST・ヘッダタイプ・レイテンシタイマ・キャッシュ ラインサイズ (EHCI)	492
10.5.4.5	BASEAD – EHCI ベースアドレス	493
10.5.4.6	SSVID_SSID – サブシステム ID・サブシステムベンダ ID (EHCI)	494
10.5.4.7	EROM_BASEAD – 拡張 ROM ベースアドレス (EHCI)	494
10.5.4.8	CAPPTR – 機能 ID ポインタ (EHCI)	495
10.5.4.9	INTR_LINE_PIN – Max_Lat・Min_Gnt・割り込みピン・割り込みライン (EHCI)	495
10.5.4.10	CAPID_NIP_PMCAP – 機能 ID・次アイテムポインタ・パワーマネジメント 機能 (EHCI)	496
10.5.4.11	PMC_STS_PMCSCR – パワーマネジメント制御およびステータス・PMCSR ブリッジサポート拡張 (EHCI)	497
10.5.4.12	SBRN_FLADJ_PW – SBRN・FLADJ・PORTWAKECAP	498
10.5.4.13	EXT1 – EXT1 レジスタ (EHCI)	498
10.5.4.14	EXT2 – EXT2 レジスタ (EHCI)	498
10.5.4.15	UTMICTRL – USBPHY オペレーションモード制御レジスタ (EHCI)	498
10.5.5	AHB-PCI ブリッジ (PCI 設定空間) レジスタの説明	499
10.5.5.1	VID_DID – デバイス ID・ベンダ ID (AHB-PCI ブリッジ)	499
10.5.5.2	CMND_STS – ステータス・コマンド (AHB-PCI ブリッジ)	500
10.5.5.3	REVID_CC – クラスコード・リビジョン ID (AHB-PCI ブリッジ)	501
10.5.5.4	CLS_LT_HT_BIST – BIST・ヘッダタイプ・レイテンシタイマ・キャッシュ ラインサイズ (AHB-PCI ブリッジ)	502
10.5.5.5	BASEAD – AHB-PCI ブリッジレジスタベースアドレス	502
10.5.5.6	WIN1_BASEAD – PCI-AHB Window1 ベースアドレス	503
10.5.5.7	WIN2_BASEAD – PCI-AHB Window2 ベースアドレス	504
10.5.5.8	SSVID_SSID – サブシステム ID・サブシステムベンダ ID (AHB-PCI ブリッジ)	504
10.5.5.9	INTR_LINE_PIN – Max_Lat・Min_Gnt・割り込みピン・割り込みライン (AHB-PCI ブリッジ)	505
10.5.6	AHB-PCI ブリッジ (PCI 通信空間) レジスタの説明	506
10.5.6.1	PCIAHB_WIN1_CTR – PCIAHB Window1 制御レジスタ	506
10.5.6.2	PCIAHB_WIN2_CTR – PCIAHB Window2 制御レジスタ	507
10.5.6.3	AHBPCI_WIN1_CTR – AHBPCI Window1 制御レジスタ	508
10.5.6.4	AHBPCI_WIN2_CTR – AHBPCI Window2 制御レジスタ	509
10.5.6.5	PCI_INT_ENABLE – PCI 割り込みイネーブルレジスタ	510
10.5.6.6	PCI_INT_STATUS – PCI 割り込みステータスレジスタ	512
10.5.6.7	AHB_BUS_CTR – AHB バス制御レジスタ	514
10.5.6.8	USBCTR – USB 制御レジスタ	515
10.5.6.9	PCI_ARBITER_CTR – PCI アービタ制御レジスタ	516
10.5.7	EPC レジスタの説明	517
10.5.7.1	USB_CONTROL – USB 制御レジスタ	517
10.5.7.2	USB_STATUS – USB ステータスレジスタ	519
10.5.7.3	USB_ADDRESS – フレーム番号および USB アドレスレジスタ	520
10.5.7.4	TEST_CONTROL – テスト制御レジスタ	521
10.5.7.5	SETUP_DATA0 – SETUP データ 0 レジスタ	522

10.5.7.6	SETUP_DATA1 – SETUP データ 1 レジスタ	522
10.5.7.7	USB_INT_STA – USB 割り込みステータスレジスタ	523
10.5.7.8	USB_INT_ENA – USB 割り込みイネーブルレジスタ	525
10.5.7.9	EP0_CONTROL – EP0 制御レジスタ	526
10.5.7.10	EP0_STATUS – EP0 ステータスレジスタ	528
10.5.7.11	EP0_INT_ENA – EP0 割り込みイネーブルレジスタ	531
10.5.7.12	EP0_LENGTH – EP0 長さレジスタ	533
10.5.7.13	EP0_READ – EP0 リードレジスタ	533
10.5.7.14	EP0_WRITE – EP0 ライトレジスタ	534
10.5.7.15	EP[m]_CONTROL – EP[m] 制御レジスタ (m=1~15)	535
10.5.7.16	EP[m]_STATUS – EP[m] ステータスレジスタ (m=1~15)	538
10.5.7.17	EP[m]_INT_ENA – EP[m] 割り込みイネーブルレジスタ (m=1~15)	542
10.5.7.18	EP[m]_DMA_CTRL – EP[m] DMA 制御レジスタ (m=1~15)	543
10.5.7.19	EP[m]_PKT_ADRS – EP[m] MaxPacket および BaseAddress レジスタ (m=1~15)	545
10.5.7.20	EP[m]_LEN_DCNT – EP[m] 長さおよび DMA カウントレジスタ (m=1~15)	546
10.5.7.21	EP[m]_READ – EP[m] リードレジスタ (m=1~15)	547
10.5.7.22	EP[m]_WRITE – EP[m] ライトレジスタ (m=1~15)	547
10.5.8	AHB-EPC ブリッジレジスタの説明	548
10.5.8.1	AHBSCTR – AHB スレーブコントローラコンフィグレーションレジスタ	548
10.5.8.2	AHBMCTR – AHB マスタコントローラコンフィグレーションレジスタ	549
10.5.8.3	AHBBINT – AHB-EPC ブリッジ割り込みソースレジスタ	550
10.5.8.4	AHBBINTEN – AHB-EPC ブリッジ割り込みイネーブルレジスタ	551
10.5.8.5	EPCTR – EPC およびトランシーバ制御レジスタ	552
10.5.8.6	USBSSVER – USBf バージョンレジスタ	553
10.5.8.7	USBSSCONF – エンドポイントコンフィグレーションレジスタ	553
10.5.8.8	EP[m]DCR1 – エンドポイント[m] DMA 設定レジスタ 1 (m=1~15)	554
10.5.8.9	EP[m]DCR2 – エンドポイント[m] DMA 設定レジスタ 2 (m=1~15)	555
10.5.8.10	EP[m]TADR – エンドポイント[m] DMA スタートアドレスレジスタ (m=1~15)	556
10.6	使用上の注意	557
10.6.1	ファンクションコントローラレジスタのアクセス	557
10.6.1.1	EPC レジスタにアクセスする際の注意点	557
10.6.1.2	リザーブ領域にアクセスする際の注意点	557
10.6.2	ホストコントローラレジスタにアクセスする際の注意点	558
10.6.2.1	PCI コンフィグレーションレジスタのアクセス	563
10.6.2.2	OHCI/EHCI オペレーションレジスタのアクセス	563
10.6.3	リセット制御	564
10.6.3.1	リセット設定	564
10.6.3.2	リセットシステム図	565
10.6.4	割り込み	566
10.6.4.1	割り込み制御レジスタ	566
10.6.4.2	割り込み信号の概要	568
10.6.4.3	割り込み信号のクリアタイミング	569
10.6.5	過電流制御および VBUS 制御	570
10.6.5.1	過電流制御	570
10.6.5.2	VBUS 制御	572
10.6.5.3	PPON による過電流検出	573
10.6.5.4	PPON の設定フロー	574
10.6.6	VBUS の検出	575
10.6.6.1	VBUS 検出の外部回路	575

10.6.6.2	VBUS の検出パート	575
10.6.6.3	VBUS の検出フロー	577
10.6.7	パワーマネジメント	578
10.6.7.1	ホストコントローラのパワーマネジメント	578
10.6.7.2	ファンクションコントローラのパワーマネジメント	583
10.6.7.3	ダイレクトパワーダウン機能	586
10.6.7.4	Suspend 状態遷移時の注意	590
10.6.8	USB ファンクションのエンドポイントの設定	591
10.6.8.1	ベースアドレスの指定	592
10.6.9	動作手順	593
10.6.9.1	リセットシーケンス	593
10.6.9.2	初期設定シーケンス	594
10.6.9.3	USB ホストの転送フロー	597
10.6.9.4	ファンクション転送の概要	598

第 11 章	DMA コントローラ	627
11.1	概要	627
11.2	信号インタフェース	628
11.3	基本定義	629
11.4	レジスタマップ	632
11.4.1	DMAC1 レジスタマップ	632
11.4.2	DMAC2 レジスタマップ	633
11.5	レジスタの説明	634
11.5.1	SAR[n] – チャネル [n] ソースアドレスレジスタ (n=0~7)	634
11.5.2	DAR[n] – チャネル [n] デスティネーションアドレスレジスタ (n=0~7)	635
11.5.3	LLP[n] – チャネル [n] リンクリストポインタレジスタ (n=0~7)	636
11.5.4	CTL[n] – チャネル [n] コントロールレジスタ (n=0~7)	637
11.5.5	SSTAT[n] – チャネル [n] ソースステータスレジスタ (n=0~7)	640
11.5.6	DSTAT[n] – チャネル [n] デスティネーションステータスレジスタ (n=0~7)	641
11.5.7	SSTATAR[n] – チャネル [n] ソースステータスアドレスレジスタ (n=0~7)	642
11.5.8	DSTATAR[n] – チャネル [n] デスティネーションステータスアドレスレジスタ (n=0~7)	643
11.5.9	CFG[n] – チャネル [n] コンフィグレーションレジスタ (n=0~7)	644
11.5.10	SGR[n] – チャネル [n] ソースギャザーレジスタ (n=0~7)	647
11.5.11	DSR[n] – チャネル [n] デスティネーションスキップレジスタ (n=0~7)	648
11.5.12	RawTfr – IntTfr 割り込み Raw ステータスレジスタ	649
11.5.13	RawBlock – IntBlock 割り込み Raw ステータスレジスタ	650
11.5.14	RawSrcTran – IntSrcTran 割り込み Raw ステータスレジスタ	651
11.5.15	RawDstTran – IntDstTran 割り込み Raw ステータスレジスタ	652
11.5.16	RawErr – IntErr 割り込み Raw ステータスレジスタ	653
11.5.17	StatusTfr – IntTfr 割り込みステータスレジスタ	654
11.5.18	StatusBlock – IntBlock 割り込みステータスレジスタ	655
11.5.19	StatusSrcTran – IntSrcTran 割り込みステータスレジスタ	656
11.5.20	StatusDstTran – IntDstTran 割り込みステータスレジスタ	657
11.5.21	StatusErr – IntErr 割り込みステータスレジスタ	658

11.5.22	MaskTfr — IntTfr 割り込みマスクレジスタ	659
11.5.23	MaskBlock — IntBlock 割り込みマスクレジスタ	660
11.5.24	MaskSrcTran — IntSrcTran 割り込みマスクレジスタ	661
11.5.25	MaskDstTran — IntDstTran 割り込みマスクレジスタ	662
11.5.26	MaskErr — IntErr 割り込みマスクレジスタ	663
11.5.27	ClearTfr — IntTfr 割り込みクリアレジスタ	664
11.5.28	ClearBlock — IntBlock 割り込みクリアレジスタ	665
11.5.29	ClearSrcTran — IntSrcTran 割り込みクリアレジスタ	666
11.5.30	ClearDstTran — IntDstTran 割り込みクリアレジスタ	667
11.5.31	ClearErr — IntErr 割り込みクリアレジスタ	668
11.5.32	StatusInt — 多重割り込みステータスレジスタ	669
11.5.33	ReqSrcReg — ソースソフトウェアトランザクション要求レジスタ	670
11.5.34	ReqDstReg — デスティネーションソフトウェアトランザクション要求レジスタ	671
11.5.35	SglRqSrcReg — シングルソーストランザクション要求レジスタ	672
11.5.36	SglRqDstReg — シングルデスティネーショントランザクション要求レジスタ	673
11.5.37	LstSrcReg — ソース最終トランザクション要求レジスタ	674
11.5.38	LstDstReg — デスティネーション最終トランザクション要求レジスタ	675
11.5.39	DmaCfgReg — DMA コンフィグレーションレジスタ	676
11.5.40	ChEnReg — DMA コントローラチャネルイネーブルレジスタ	677
11.5.41	DmaldReg — DMA ID レジスタ	678
11.5.42	DmaTestReg — DMA コントローラテストレジスタ	679
11.6	動作	680
11.6.1	データ転送モード	680
11.6.1.1	フローコントローラおよび転送タイプ	681
11.6.1.2	リンクリストによるブロックチェーン	682
11.6.1.3	基本インタフェースの定義	686
11.6.1.4	トランザクションの例	688
11.6.1.5	DMAC 設定例	692
11.6.2	DMA 要求の割り当て	693
11.6.3	不正なレジスタアクセス	694

第 12 章	RTC	695
12.1	概要	695
12.2	信号インタフェース	696
12.3	レジスタマップ	697
12.4	レジスタの説明	698
12.4.1	RTCA0CTL0 — RTC 制御レジスタ 0	698
12.4.2	RTCA0CTL1 — RTC 制御レジスタ 1	699
12.4.3	RTCA0CTL2 — RTC 制御レジスタ 2	700
12.4.4	RTCA0SUBC — RTC サブカウントレジスタ	702
12.4.5	RTCA0SRBU — RTC サブカウントレジスタ読み出しバッファ	703
12.4.6	RTCA0SEC — RTC 秒カウントバッファレジスタ	703
12.4.7	RTCA0MIN — RTC 分カウントバッファレジスタ	704

12.4.8	RTCA0HOUR – RTC 時カウントバッファレジスタ	705
12.4.9	RTCA0WEEK – RTC 曜日カウントバッファレジスタ	706
12.4.10	RTCA0DAY – RTC 日カウントバッファレジスタ	706
12.4.11	RTCA0MONTH – RTC 月カウントバッファレジスタ	707
12.4.12	RTCA0YEAR – RTC 年カウントバッファレジスタ	707
12.4.13	RTCA0TIME – RTC 時刻設定レジスタ	708
12.4.14	RTCA0CAL – RTC カレンダー設定レジスタ	708
12.4.15	RTCA0SUBU – RTC クロック誤差補正レジスタ	709
12.4.16	RTCA0SCMP – RTC サブカウント比較レジスタ	710
12.4.17	RTCA0ALM – RTC アラーム分設定レジスタ	711
12.4.18	RTCA0ALH – RTC アラーム時設定レジスタ	711
12.4.19	RTCA0ALW – RTC アラーム曜日設定レジスタ	712
12.4.20	RTCA0SECC – RTC 秒カウントレジスタ	713
12.4.21	RTCA0MINC – RTC 分カウントレジスタ	713
12.4.22	RTCA0HOURC – RTC 時カウントレジスタ	714
12.4.23	RTCA0WEEKC – RTC 曜日カウントレジスタ	714
12.4.24	RTCA0DAYC – RTC 日カウントレジスタ	715
12.4.25	RTCA0MONC – RTC 月カウントレジスタ	715
12.4.26	RTCA0YEARC – RTC 年カウントレジスタ	716
12.4.27	RTCA0TIMEC – RTC 時刻カウントレジスタ	716
12.4.28	RTCA0CALC – RTC カレンダーカウントレジスタ	717
12.4.29	RTCA0TCR – RTC テストレジスタ	717
12.5	動作	718
12.5.1	RTC のプログラミング	718
12.5.1.1	初期設定	718
12.5.1.2	クロックカウンタ動作有効時にクロックカウンタに書き込む	719
12.5.1.3	クロックカウンタ動作有効時のクロックカウンタ読み出し	720
12.5.1.4	クロックカウンタ動作有効時の RTCA0SRBU の読み出し	723
12.5.1.5	クロックカウンタ動作有効時の RTC 初期化	724
12.5.1.6	RTCA0SUBU クロックカウンタ動作への書き込み	725
12.5.1.7	クロックカウンタ動作中の RTCA0SCMP への書き込み	726
12.5.1.8	クロックカウンタ動作時の固定周期割り込みの設定変更	727
12.5.1.9	クロックカウンタ動作時のアラーム設定の変更	728
12.5.2	RTC バックアップモード	729
12.5.3	クロック誤差補正	730

第 13 章	ウォッチドッグ	732
13.1	概要	732
13.2	信号インタフェース	732
13.3	レジスタマップ	733
13.3.1	CA7 プロセッサ 0 ウォッチドッグのレジスタマップ	733
13.3.2	CA7 プロセッサ 1 ウォッチドッグのレジスタマップ	733
13.3.3	CM3 ウォッチドッグのレジスタマップ	733
13.4	レジスタの説明	734

13.4.1	CTRL_RETRIGGER – 制御およびリトリガレジスタ	734
13.5	動作	735
第 14 章	メールボックス (IPCM)	736
14.1	概要	736
14.2	信号インタフェース	736
14.3	レジスタマップ	737
14.4	レジスタの説明	738
14.4.1	IPCM[n]SOURCE – メールボックス [n] ソースレジスタ (n=0~2)	738
14.4.2	IPCM[n]DSET – メールボックス [n] デスティネーションセットレジスタ (n=0~2)	739
14.4.3	IPCM[n]DCLEAR – メールボックス [n] デスティネーションクリアレジスタ (n=0~2)	740
14.4.4	IPCM[n]DSTATUS – メールボックス [n] デスティネーションステータスレジスタ (n=0~2)	741
14.4.5	IPCM[n]MODE – メールボックス [n] モードレジスタ (n=0~2)	742
14.4.6	IPCM[n]MSET – メールボックス [n] マスクセットレジスタ (n=0~2)	742
14.4.7	IPCM[n]MCLEAR – メールボックス [n] マスククリアレジスタ (n=0~2)	743
14.4.8	IPCM[n]MSTATUS – メールボックス [n] マスクステータスレジスタ (n=0~2)	744
14.4.9	IPCM[n]SEND – メールボックス [n] 送信レジスタ (n=0~2)	745
14.4.10	IPCM[n]DR[k] – メールボックス [n] データレジスタ [k] (n=0~2) (k=0~6)	746
14.4.11	IPCM[n]MIS[n] – マスク対象割り込み [n] ステータスレジスタ (n=0~2)	746
14.4.12	IPCM[n]RIS[n] – マスク非対象割り込み [n] ステータスレジスタ (n=0~2)	747
14.4.13	IPCMCFGSTAT – 構成ステータスレジスタ	747
14.4.14	IPCMTCR – 統合テスト制御レジスタ	748
14.4.15	IPCMTOR – 統合テスト出力レジスタ	748
14.5	動作	749
14.5.1	チャンネル ID	749
14.5.2	送信元コアの定義	749
14.5.3	送信先コアの定義	749
14.5.4	メールボックスマスクレジスタの使用	750
14.5.5	メールボックス送信レジスタ	750
14.5.6	メールボックスデータレジスタ	750
14.5.7	モード設定	751
14.5.8	割り込みレジスタとステータスレジスタ	752
14.5.9	構成ステータスレジスタ	753
14.5.10	使用上の制約	753

第1章 CPU

1.1 Arm Cortex-A7

1.1.1 概要

RZ/N1 に搭載される Cortex®-A7 プロセッサは、FPU、ETM、デバッグ機能、L1 キャッシュ、L2 キャッシュ、および GIC を含む「Cortex-A7 コアサブシステム」として構成されています。

Cortex-A7 の詳細については、以下の Web サイトをご覧ください。

<https://developer.arm.com/products/processors/cortex-a/cortex-a7>

図 1.1 に、Arm® Cortex-A7 コアのインタフェースおよび他のブロックとの接続を示します。

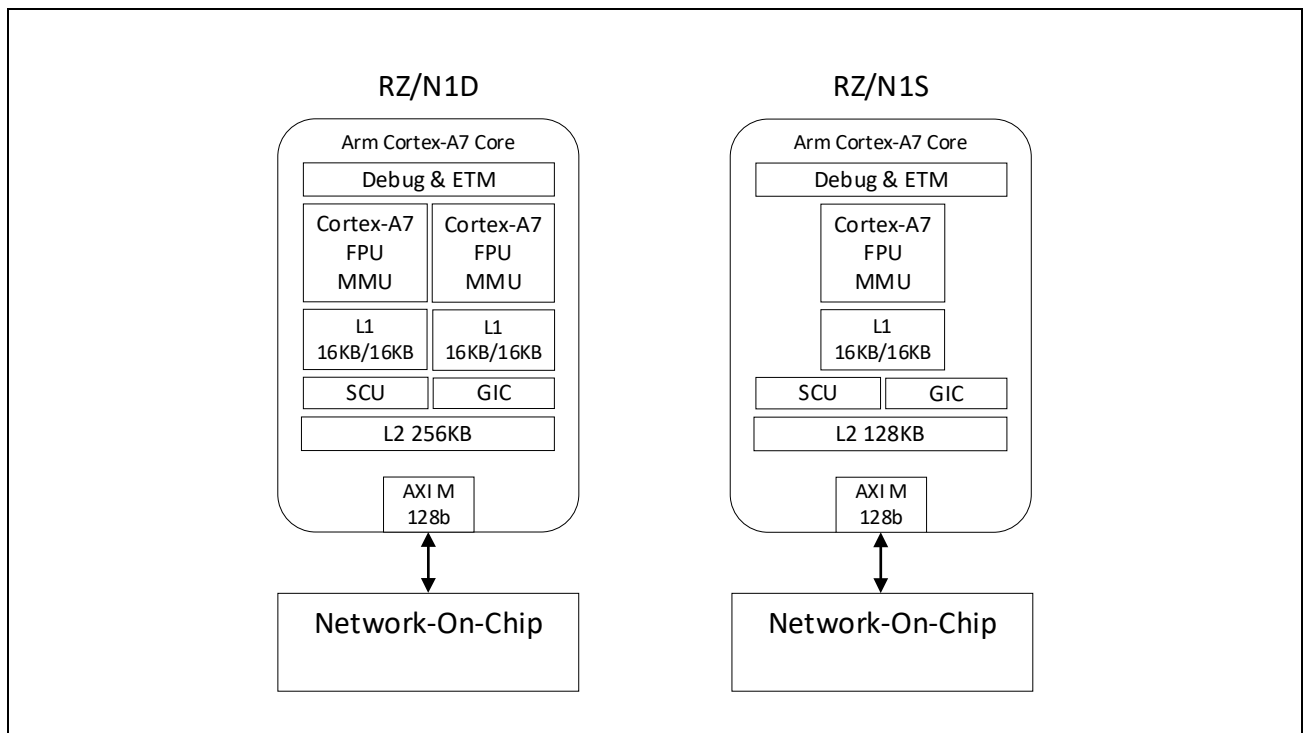


図 1.1 Arm Cortex-A7 コアのインタフェースおよび接続

Cortex-A7 プロセッサは以下の特長を備えています。

- Arm Cortex-A7 リビジョン : r0p5
- L1 キャッシュ 16K バイト (命令) / 16K バイト (データ)
- L2 キャッシュ (RZ/N1D : 256KB、RZ/N1S : 128KB)
- FPU リビジョン : VFPv4-D16
- MMU
- 統合 GIC
- ハードウェアコヒーレントキャッシュ
 - NoC (ネットワークオンチップ) を超えたキャッシュコヒーレンシは対象外
- 周波数 : 最大 500MHz

- ターゲット周波数は NoC 周波数に依存
 - PWRCTRL_CA7DIV レジスタによりダイナミックな変更が可能
 - NoC (1 倍) 時のクロック : 最大 125MHz
 - NoC (2 倍) 時のクロック : 最大 250MHz
 - NoC (4 倍) 時のクロック : 最大 500MHz

詳細については、『RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編』の『3.5 クロック周波数変更』の章を参照ください。

- Generic timer : 6.25MHz
- コンフィグレーションベースアドレスレジスタ (CBAR) 値 : 4410_0000h
- TrustZone は非サポート
セキュアワールド (初期値) のみ使用可能です。

1.1.2 使用上の注意

Cortex-A7 の周波数は NoC 周波数の 1 倍、2 倍、または 4 倍です。分周設定値は PWRCTRL_CA7DIV レジスタで設定され、Cortex-A7 自身で変更可能です。

例) 分周設定値を 2 (デフォルト) から 4 (NoC 周波数) に変更する場合。

- 手順 1 : PWRCTRL_CA7DIV.BUSY=1 なら Wait します。
- 手順 2 : PWRCTRL_CA7DIV に 8000_0004h を書き込みます。
- 手順 3 : PWRCTRL_CA7DIV.BUSY=1 なら Wait します。

1.2 Arm Cortex-M3

1.2.1 概要

Cortex-M3 は、低レイテンシの割り込みおよび低コストデバッグを特長とする低消費電力プロセッサです。高速な割り込み応答が要求される高度な組み込みアプリケーションに最適で、Armv7-M Thumb®命令セットをサポートしています。

Cortex-M3 の詳細については、以下の Web サイトをご覧ください。

<https://developer.arm.com/products/processors/cortex-m/cortex-m3>

Cortex-M3 プロセッサは以下の特長を備えています。

- Arm Cortex-M3 リビジョン：r2p1
- ITM、TPIU、FPB、DWT、ETM の各デバッグ機能をサポート
- ターゲット周波数は NoC 周波数に依存
 - クロック：15.625MHz（分周比：16）～125MHz（分周比：2）
- Memory Protection Unit（MPU）をサポート

1.2.2 信号インタフェース

信号名	入出力	内容
クロック		
CM3_FCLK	入力	Cortex-M3 コアクロック
CM3_HCLK	入力	Cortex-M3 コアクロックおよび AHB クロック
CM3_STCLK	入力	Systick クロック、6.25MHz 固定、クロックゲーティングなし
関連クロック		
RINBUS_HCLK	—	R-IN Engine クロック（Cortex-M3 は R-IN Engine に属しているためこのクロックが必要）
外部信号		
NMI_CORTEXM3	入力	ノンマスクابل割り込み、アクティブ High

1.2.3 使用上の注意

レジスタにアクセスする場合は、“Device” または “Strongly Ordered” に設定してください。リードクリアビットを持つレジスタがプリフェッチ動作によってクリアされる可能性があります。

以下の機能領域は Cortex-M3 からのみアクセスが可能です。

- HW-RTOS リソース

1.2.3.1 制限事項

NoC はロックアクセスをサポートしないため、Cortex-M3 で NoC を介したビットバンドアクセスは実際にはアトミックアクセスにはなりません。排他制御はソフトウェアにて対応してください。

Cortex-M3 コアの制限事項の詳細については、前述した Arm の Web サイトをご覧ください。

第2章 ネットワークオンチップ

2.1 概要

内部バスプロトコルとクロックゲーティング制御を組合せた SoC 機能ブロック接続機能を提供します。

2.2 特長

ネットワークオンチップは以下の特長を備えています。

- NoC およびクロックコントローラに組み込まれたクロックゲーティングにより以下の動作が可能：
 - 切断および接続サービス
 - 切断ポートのバスエラー管理
 - クロックゲーティング
- 専用の整数分周器によりダイナミックな変更が可能
 - クロック：15.625MHz（分周比：16）～125MHz（分周比：2）
- セキュア／非セキュアアクセス制御
- 優先順方式／ラウンドロビン方式を組み合わせた調停により、メモリ帯域幅を確保

注 意

- NoC はキャッシュコヒーレンシの対象外です。この機能は Cortex-A7 の L1 および L2 キャッシュ間でのみ管理されます。
- ロックアクセスはサポートされません。
したがって、Cortex-M3 で NoC を介したビットバンドアクセスは実際にはアトミックアクセスにはなりません。排他制御はソフトウェアにて対応してください。

表 2.1 RZ/N1D バス接続マップ

バスマスタ バススレーブ	Cortex-A7	Cortex-M3	NAND Flash	SDIO1 SDIO2	USBh USBf	DMAC1	DMAC2	GMAC1 GMAC2	MSEBI スレーブ	LCDC	Core Sight AHB	Core Sight ETR
DDR2/3 (メモリ) ポート 0 注1	○				○						○	○
DDR2/3 (メモリ) ポート 1 注1								○	○			
DDR2/3 (メモリ) ポート 2 注1			○	○		○						
DDR2/3 (メモリ) ポート 3 注1		○					○			○		
DDR2/3 (レジスタ)	○	○									○	
2MB SRAM (メモリ) 注2	○	○	○	○	○	○	○	○	○	○	○	○
QSPI1 (メモリ)	○	○					○				○	
QSPI1 (レジスタ)	○	○									○	
NAND Flash	○	○									○	
SDIO1/SDIO2	○	○									○	
USBh/USBf	○	○									○	
DMAC1/DMAC2	○	○									○	
R-IN Engine アクセサリ レジスタ イーサネットアクセサリ レジスタ	○	○									○	
GMAC1/GMAC2	○	○									○	
A5PSW	○	○									○	
HSR	○	○									○	
ETHERCAT/SERCOSIII	○	○				○	○				○	
MSEBIM/MSEBIS	○	○					○				○	
ペリフェラルグループ 1/2/3/4	○	○				○	○		○		○	
メールボックス	○	○									○	
ペリフェラルグループ 0	○	○					○				○	
システム制御 CA7/CM3 用ウォッチドッグ	○	○									○	
RTC	○	○									○	
ROM	○											
CoreSight	○	○									○	

注1. 各ポート同じアドレス空間にアクセス可能です（最大 2GB のアドレス空間）。

注2. 命令とデータ用にそれぞれポートがあります。

表 2.2 RZ/N1S バス接続マップ

バスマスタ バススレーブ	Cortex-A7	Cortex-M3	NAND Flash	SDIO1 SDIO2	USBh USBf	DMAC1	DMAC2	GMAC1 GMAC2	MSEBI スレーブ	LCDC	Core Sight AHB	Core Sight ETR
4MB SRAM (メモリ) 注1	○	○	○	○	○	○	○	○	○	○	○	○
4MB SRAM_CTRL (レジスタ)	○	○									○	
2MB SRAM (メモリ) 注2	○	○	○	○	○	○	○	○	○	○	○	○
QSPI1/QSPI2 (メモリ)	○	○					○				○	
QSPI1/QSPI2 (レジスタ)	○	○									○	
NAND Flash	○	○									○	
SDIO1/SDIO2	○	○									○	
USBh/USBf	○	○									○	
DMAC1/DMAC2	○	○									○	
R-IN Engine アクセサリ レジスタ イーサネットアクセサリ レジスタ	○	○									○	
GMAC1/GMAC2	○	○									○	
A5PSW	○	○									○	
ETHERCAT/SERCOSIII	○	○				○	○				○	
MSEBIM/MSEBIS	○	○					○				○	
ペリフェラルグループ 1/2/3/4	○	○				○	○		○		○	
メールボックス	○	○									○	
ペリフェラルグループ 0	○	○					○				○	
システム制御 CA7/CM3 用ウォッチドッグ	○	○									○	
RTC	○	○									○	
ROM	○											
CoreSight	○	○									○	

注1. 1MB ごとに独立したポートを持つメモリバンクがあります。

注2. 命令とデータ用にそれぞれポートがあります。

表 2.3 RZ/N1L バス接続マップ

バスマスタ バススレーブ	Cortex- M3	NAND Flash	SDIO1	USBh USBf	DMAC1	DMAC2	GMAC1	MSEBI スレーブ	Core Sight AHB	Core Sight ETR
4MB SRAM (メモリ) 注1	○	○	○	○	○	○	○	○	○	○
4MB SRAM_CTRL (レジスタ)	○								○	
2MB SRAM (メモリ) 注2	○	○	○	○	○	○	○	○	○	○
QSPI1 (メモリ)	○					○			○	
QSPI1 (レジスタ)	○								○	
NAND Flash	○								○	
SDIO1/SDIO2	○								○	
USBh/USBf	○								○	
DMAC1/DMAC2	○								○	
R-IN Engine アクセサリ レジスタ イーサネットアクセサリ レジスタ	○								○	
GMAC1 GMAC2	○								○	
A5PSW	○								○	
ETHERCAT/SERCOSIII	○				○	○			○	
MSEBIS	○					○			○	
ペリフェラルグループ 1/2/3/4	○				○	○		○	○	
ペリフェラルグループ 0	○					○			○	
システム制御 CM3 用ウォッチドッグ	○								○	
CoreSight	○								○	

注1. 1MB ごとに独立したポートを持つメモリバンクがあります。

注2. 命令とデータ用にそれぞれポートがあります。

第3章 2MB SRAM

RZ/N1 は、R-IN Engine ブロックに 2MB の SRAM を搭載しています。本モジュールは 2 個の ECC 機能付き 1MB SRAM で構成されており、CPU および一部の回路からのアクセスが可能です。

3.1 概要

表 3.1 2MB SRAM の概要

項目	説明
RAM 容量	2MB (命令 RAM: 1MB、データ RAM: 1MB)
RAM アドレス	命令 RAM 0400 0000h~040F FFFFh データ RAM 2000 0000h~200F FFFFh
エラーチェック	シングルエラーの訂正、ダブルエラーの検出 ECC 回路のセルフテスト 割り込み管理

3.2 信号インタフェース

信号名	入出力	説明
クロック		
SRAM2MB_HCLK	入力	内部バスクロック (AHB)、クロックゲーティングなし
RINBUS_HCLK	入力	R-IN Engine のローカルバスクロック、Cortex-M3、HW-RTOS、R-IN Engine アクセサリレジスタで共用
割り込み		
ECC_2MB_Int	出力	パルス検出割り込み、アクティブ High

3.3 レジスタマップ

2MB SRAM 内のレジスタは 32 ビット単位のアクセスが可能です。

本モジュールレジスタにアクセスする際は、RINBUS_HCLK を有効にし、RIN BUS サブシステムがリセット解除されている必要があります。詳細については PWRCTRL_RINCTRL レジスタの説明を参照してください。

備 考

RAMEDC レジスタおよび RAMEEC レジスタは RAMPCMD により書き込み保護されています。

表 3.2 2MB SRAM の制御レジスタリスト

アドレス	レジスタ表記	レジスタ名
400F 3000h	RAMPCMD	RAM_SYS プロテクトコマンドレジスタ
400F 3100h	RAMEDC	RAM_SYS ECC デコーダコンフィグレーションレジスタ
400F 3104h	RAMEEC	RAM_SYS ECC エンコーダコンフィグレーションレジスタ
400F 3108h	RAMDBEST	RAM_SYS ダブルビット ECC エラーステータスレジスタ
400F 310Ch	RAMDBEAD	RAM_SYS ダブルビット ECC エラーアドレスレジスタ
400F 3110h	RAMDBECNT	RAM_SYS ダブルビット ECC エラーカウンタレジスタ

3.4 レジスタの説明

3.4.1 RAMPCMD — RAM_SYS プロテクトコマンドレジスタ

詳細については「3.6 使用上の注意」を参照してください。

アドレス		400F 3000h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTR EL	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.3 RAMPCMD レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	PROTREL	保護レジスタの書き込みアクセス許可 1 : 保護レジスタへの書き込みアクセスを許可します。 0 : 保護レジスタへの書き込みアクセスを禁止します。	R/W

3.4.2 RAMEDC — RAM_SYS ECC デコーダコンフィグレーションレジスタ

RAMECC レジスタは RAMPCMD により書き込み保護されています。

詳細については「3.6 使用上の注意」を参照してください。

アドレス		400F 3100h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_E NABLE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.4 RAMEDC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	ECC_ENABLE	ECC デコーダのイネーブル 0 : 無効 1 : 有効	R/W

3.4.3 RAMEEC — RAM_SYS ECC エンコーダコンフィグレーションレジスタ

RAMECC レジスタは RAMPCMD により書き込み保護されています。

詳細については「3.6 使用上の注意」を参照してください。

アドレス 400F 3104h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_DIST15 ST15	DBE_DIST14 ST14	DBE_DIST13 ST13	DBE_DIST12 ST12	DBE_DIST11 ST11	DBE_DIST10 ST10	DBE_DIST9 ST9	DBE_DIST8 ST8	DBE_DIST7 ST7	DBE_DIST6 ST6	DBE_DIST5 ST5	DBE_DIST4 ST4	DBE_DIST3 ST3	DBE_DIST2 ST2	DBE_DIST1 ST1	DBE_DIST0 ST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.5 RAMEEC レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット		R
b19~b16	予約ビット	初期値を維持してください。	R/W
b15	DBE_DIST15	データ RAM バンク 1 ウェイ 3 の ECC エラー注入有効 0 : 無効 1 : 有効	R/W
b14	DBE_DIST14	データ RAM バンク 1 ウェイ 2 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b13	DBE_DIST13	データ RAM バンク 1 ウェイ 1 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b12	DBE_DIST12	データ RAM バンク 1 ウェイ 0 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b11	DBE_DIST11	データ RAM バンク 0 ウェイ 3 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b10	DBE_DIST10	データ RAM バンク 0 ウェイ 2 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b9	DBE_DIST9	データ RAM バンク 0 ウェイ 1 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b8	DBE_DIST8	データ RAM バンク 0 ウェイ 0 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b7	DBE_DIST7	命令 RAM バンク 1 ウェイ 3 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b6	DBE_DIST6	命令 RAM バンク 1 ウェイ 2 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b5	DBE_DIST5	命令 RAM バンク 1 ウェイ 1 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b4	DBE_DIST4	命令 RAM バンク 1 ウェイ 0 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b3	DBE_DIST3	命令 RAM バンク 0 ウェイ 3 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b2	DBE_DIST2	命令 RAM バンク 0 ウェイ 2 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W

表 3.5 RAMEEC レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	DBE_DIST1	命令 RAM バンク 0 ウェイ 1 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W
b0	DBE_DIST0	命令 RAM バンク 0 ウェイ 0 の ECC エラー注入有効 DBE_DIST15 と同じビット機能	R/W

3.4.4 RAMDBEST — RAM_SYS ダブルビット ECC エラーステータスレジスタ

詳細については「3.6 使用上の注意」を参照してください。

アドレス 400F 3108h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBE_R AM15	DBE_R AM14	DBE_R AM13	DBE_R AM12	DBE_R AM11	DBE_R AM10	DBE_R AM9	DBE_R AM8	DBE_R AM7	DBE_R AM6	DBE_R AM5	DBE_R AM4	DBE_R AM3	DBE_R AM2	DBE_R AM1	DBE_R AM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.6 RAMDBEST レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット		R
b15	DBE_RAM15	データ RAM バンク 1 ウェイ 3 のダブルビット ECC エラー検出フラグ 0 : エラーなし 1 : エラーあり	R
b14	DBE_RAM14	データ RAM バンク 1 ウェイ 2 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b13	DBE_RAM13	データ RAM バンク 1 ウェイ 1 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b12	DBE_RAM12	データ RAM バンク 1 ウェイ 0 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b11	DBE_RAM11	データ RAM バンク 0 ウェイ 3 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b10	DBE_RAM10	データ RAM バンク 0 ウェイ 2 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b9	DBE_RAM9	データ RAM バンク 0 ウェイ 1 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b8	DBE_RAM8	データ RAM バンク 0 ウェイ 0 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b7	DBE_RAM7	命令 RAM バンク 1 ウェイ 3 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b6	DBE_RAM6	命令 RAM バンク 1 ウェイ 2 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b5	DBE_RAM5	命令 RAM バンク 1 ウェイ 1 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b4	DBE_RAM4	命令 RAM バンク 1 ウェイ 0 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b3	DBE_RAM3	命令 RAM バンク 0 ウェイ 3 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b2	DBE_RAM2	命令 RAM バンク 0 ウェイ 2 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R

表 3.6 RAMDBEST レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	DBE_RAM1	命令 RAM バンク 0 ウェイ 1 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R
b0	DBE_RAM0	命令 RAM バンク 0 ウェイ 0 のダブルビット ECC エラー検出フラグ DBE_RAM15 と同じビット機能	R

3.4.5 RAMDBEAD — RAM_SYS ダブルビット ECC エラーアドレスレジスタ

詳細については「3.6 使用上の注意」を参照してください。

アドレス 400F 310Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	BANK		ADDRESS		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRESS														—	LOCK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.7 RAMDBEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b21	予約ビット		R
b20～b19	BANK	ダブルビット ECC エラーバンク ダブルビット ECC エラーが検出されたバンク番号を示します。 00b : 命令 RAM バンク 0 01b : 命令 RAM バンク 1 10b : データ RAM バンク 0 11b : データ RAM バンク 1	R
b18～b2	ADDRESS	ダブルビット ECC エラーアドレス ダブルビット ECC エラーアドレスを保持します。	R
b1	予約ビット		R
b0	LOCK	ロック有効 0 : レジスタのロックを解除します（ダブルビット ECC エラーアドレスの取り込みが可能） 1 : レジスタをロックします（ダブルビット ECC エラーアドレスの取り込みは不可） レジスタを読み出すとレジスタのロックが解除されます。	R

3.4.6 RAMDBECNT — RAM_SYS ダブルビット ECC エラーカウンタレジスタ

詳細については「3.6 使用上の注意」を参照してください。

アドレス		400F 3110h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	ERRCOUNT				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.8 RAMDBECNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3～b0	ERRCOUNT	ダブルビット ECC エラーカウンタ	R

3.5 動作

3.5.1 メモリマップの構成

命令 RAM およびデータ RAM はそれぞれ 512KB 容量で、2 バンク、4 ウェイで構成されます。

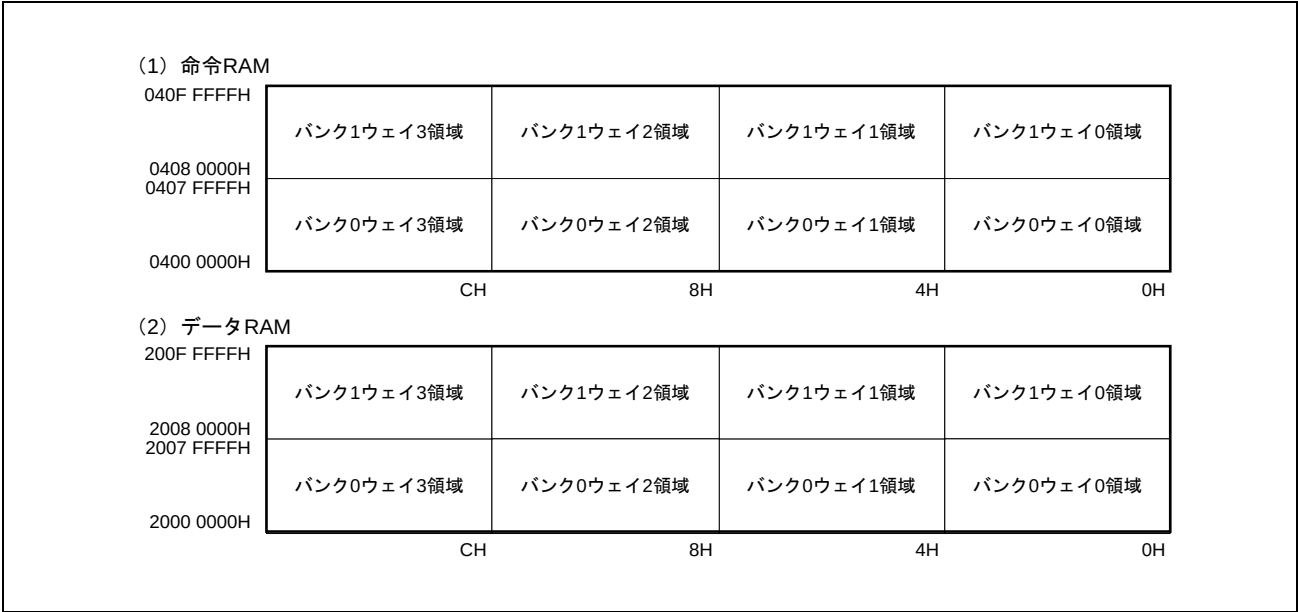


図 3.1 メモリ構成

3.5.2 初期化

ECC 回路の通常の動作を行う場合は、命令 RAM およびデータ RAM の初期化が必要です。（CPU（Cortex-A7 または Cortex-M3）は、RZ/N1 のブート時に命令 RAM およびデータ RAM を使用します。このときに ECC エラー保護は有効になっていません。）本モジュールレジスタにアクセスする際は、RINBUS_HCLK を有効にし、RIN BUS サブシステムがリセット解除されている必要があります。詳細については PWRCTRL_RINCTRL レジスタの説明を参照してください。

<RAM の初期化>

ECC エラー訂正機能は、命令 RAM およびデータ RAM を初期化するまで有効にできません。以下の手順で初期化した後で、本機能を有効にするため RAMEDC.ECC_ENABLE レジスタを 1 にセットしてください。

- 0x04000000～0x040FFFFFF および 0x20000000～0x200FFFFFF の領域を初期化します。
 1. Cortex-A7 の場合はキャッシュを無効に、Cortex-M3 の場合は NMI を無効にします。
 2. ECC 割り込みをマスクします。
 3. 初期化対象領域のデータを読み出します。
 4. 読み出したデータを同じアドレスに書き込みます。

3.5.3 ECC エラー訂正機能

2MB 領域の ECC エラー訂正機能の有効化または無効化には、RAMEDC レジスタを使用します。ECC により、シングルエラーは訂正され、ダブルエラーは検出されます。RAMDBEST レジスタはエラーが見つかったウェイを確認するために使用されます。さらに、RAMDBEAD レジスタはダブルエラーが検出されたアドレスを確認するために使用され、RAMDBECNT は検出されたダブルエラーの数を表示します。

3.5.4 ECC 回路のセルフテスト

ECC 回路のセルフテストはウェイト単位で実施されます。各ウェイトのターゲット領域は RAMEEC レジスタで設定します。図 3.2 に、ECC 回路のセルフテストの手順の例を示します。

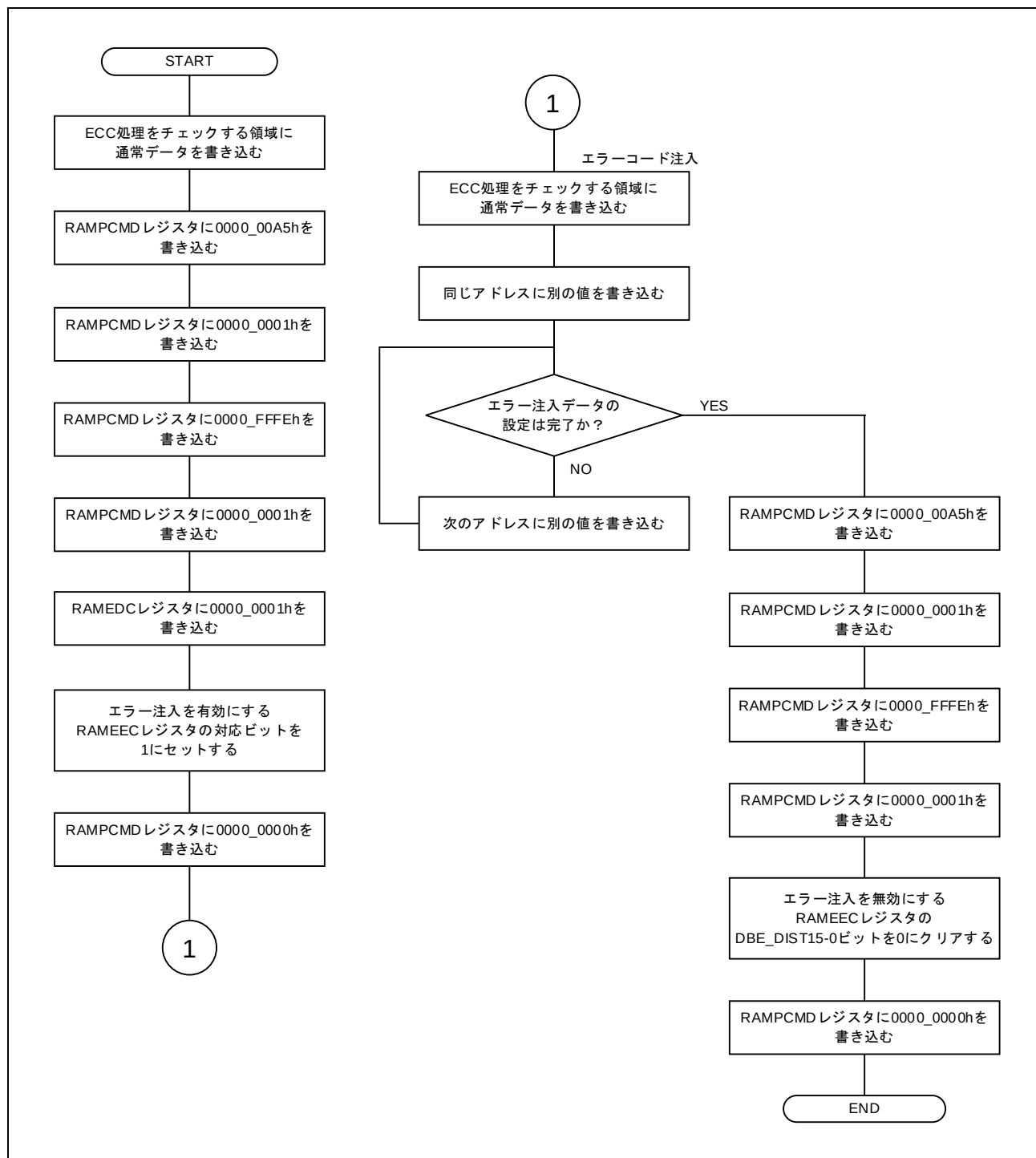


図 3.2 ECC エラー注入設定手順の例

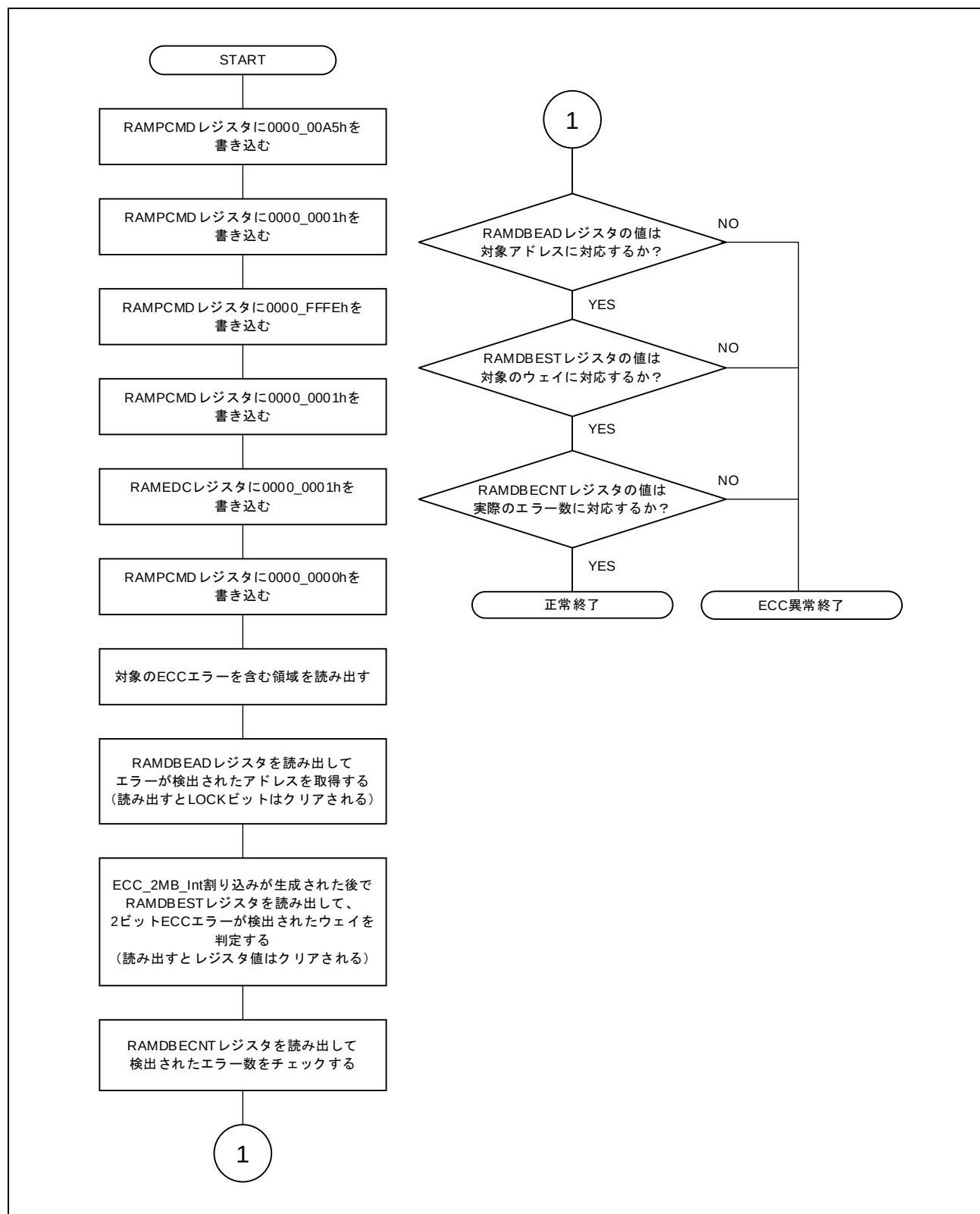


図 3.3 ECC 動作のチェック手順

3.6 使用上の注意

3.6.1 プロテクトコマンドレジスタ (RAMPCMD)

RAMPCMD レジスタは、アプリケーションシステムがプログラムの暴走などにより意図せずに停止しないように、システムに重大な影響を及ぼすレジスタを書き込み保護するために使われます。PROTREL ビットを 1 にセットしないかぎり保護されたレジスタへの書き込みは無効です。

RAMPCMD レジスタの PROTREL ビットを 1 にセットする手順は、以下のとおりです。ビットの 0 クリアまたはレジスタの読み出しは通常の手順です。

1. 書き込み 0000_00A5h RAMPCMD レジスタに特定の値を書き込みます。
2. 書き込み 0000_0001h RAMPCMD レジスタに書き込みます。
3. 書き込み 0000_FFEh RAMPCMD レジスタに書き込みます。
4. 書き込み 0000_0001h RAMPCMD レジスタに書き込みます。

注 意

1. 手順 1、2、および 3 では何も書き込まれません。
2. ターゲットレジスタへの書き込みが済んだら、必ず PROTREL ビットを 0 クリアしてください。

RAMPCMD ビットのクリア手順：

1. 書き込み 0b RAMPCMD レジスタの PROTREL ビットに書き込みます（書き込み保護が有効になります）。

3.6.2 ECC デコーダコンフィグレーションレジスタ (RAMEDC)

RAMEDC レジスタは、命令 RAM およびデータ RAM の ECC デコーダを制御します。

RAMEDC.ECC_ENABLE ビットを 1 にセットすると、命令 RAM およびデータ RAM の ECC デコーダロジックが有効となり、以下の機能が有効となって割り込みコントローラ (Cortex-A7、Cortex-M3) に通知されます。

- シングル ECC エラーの場合：読み出しデータが訂正されます。
- ダブル ECC エラーの場合：命令 RAM およびデータ RAM のダブルビット ECC エラー割り込みが生成され、割り込みコントローラ (Cortex-A7、Cortex-M3) に割り込み信号が通知されます。

RAMEDC.ECC_ENABLE ビットを 0 にクリアすると（「無効」設定）、ECC エラーが発生しても読み出したデータが訂正されず、割り込みコントローラにエラー信号が通知されません。このとき RAMDBEST レジスタのステータスの保持、RAMDBEAD レジスタのエラーアドレスの取り込み、および RAMDBECNT レジスタのエラーカウントは無効です。

注 意

1. 本レジスタは、各マスタから RAM へのアクセスが無い時に切り替えてください。
2. 本レジスタは、RAMPCMD レジスタで書き込み保護を解除するまでは、書き込むことができません。

3.6.3 ECC エンコーダコンフィグレーションレジスタ (RAMEEC)

RAMEEC レジスタは、命令 RAM およびデータ RAM の ECC 回路のセルフテストを制御します。

RAMEEC.DBE_DIST[n] (n=0~15) ビットを 1 にセットすると、各ビットに対応する RAM がアクセスされるときにシンドローム値 (ECC 冗長ビットデータ) がラッチされます。RAM がもう一度アクセスされると、ラッチされたシンドローム値が RAM に書き込まれて ECC エラーが注入されます。

RAMEEC.DBE_DIST[n] (n=0~15) ビットを 0 にクリアすると、各ビットに対応する RAM に常に通常のシンドローム値が書き込まれます。

注 意

1. 本レジスタは、各マスタから RAM へのアクセスが無い時に切り替えてください。
2. 本レジスタは、RAMPCMD レジスタで書き込み保護を解除するまでは、書き込むことができません。

3.6.4 ダブルビット ECC エラーステータスレジスタ (RAMDBEST)

RAMDBEST レジスタは、命令 RAM およびデータ RAM のダブルビット ECC エラーステータスを表示します。命令 RAM およびデータ RAM のダブルビット ECC エラー割り込みが生成された後で本レジスタを読み出すと、ダブルビット ECC エラーが発生したバンクおよびウェイを確認できます。

注 意

本レジスタはリードクリアです。

3.6.5 ダブルビット ECC エラーアドレスレジスタ (RAMDBEAD)

RAMDBEAD レジスタは、ダブルビット ECC エラーが検出されたアドレスを格納する読み出し専用レジスタです。ダブルビット ECC エラーが検出されると検出信号をトリガとして ECC エラーアドレスが取り込まれ、ADDRESS[16:0]ビットに格納されます。ECC エラーアドレスを取り込んだレジスタは LOCK ビットが有効にされ、レジスタを読み出さないかぎり次の ECC エラーアドレスを取り込むことはできません。そのため、新しい ECC エラーアドレスを取り込むには、まず本レジスタを読み出す必要があります。

注 意

異なるウェイでダブルビット ECC エラーが同時に発生した場合、取り込まれるアドレスの優先順位は以下のように決まります。

命令 RAM バンク 0 ウェイ 0 > 命令 RAM バンク 0 ウェイ 1 >
命令 RAM バンク 0 ウェイ 2 > 命令 RAM バンク 0 ウェイ 3 >
命令 RAM バンク 1 ウェイ 0 > 命令 RAM バンク 1 ウェイ 1 >
命令 RAM バンク 1 ウェイ 2 > 命令 RAM バンク 1 ウェイ 3 >
データ RAM バンク 0 ウェイ 0 > データ RAM バンク 0 ウェイ 1 >
データ RAM バンク 0 ウェイ 2 > データ RAM バンク 0 ウェイ 3 >
データ RAM バンク 1 ウェイ 0 > データ RAM バンク 1 ウェイ 1 >
データ RAM バンク 1 ウェイ 2 > データ RAM バンク 1 ウェイ 3

3.6.6 ダブルビット ECC エラーカウンタレジスタ (RAMDBECNT)

RAMDBECNT レジスタは、ダブルビット ECC エラーカウントを保持する読み出し専用レジスタです。ダブルビット ECC エラーが検出されると、検出信号をトリガとしてエラーカウンタがインクリメントされます。カウンタ値が最大値 (Fh) に達すると、次のインクリメントで 0h にクリアされます。

第4章 4MB SRAM

RZ/N1S および RZ/N1L は ECC 機能を持つ 4MB RAM を搭載しています。各 1MB 領域につき、4 つの NoC アクセスポートがあります。

4.1 概要

表 4.1 4MB SRAM の概要

項目	説明
RAM 容量	4MB
RAM アドレス	Area0: 8000 0000h~800F FFFFh Area1: 8010 0000h~801F FFFFh Area2: 8020 0000h~802F FFFFh Area3: 8030 0000h~803F FFFFh
エラーチェック	シングルエラーの訂正、ダブルエラーの検出 ECC 回路のセルフテスト 割り込み管理

4.2 信号インタフェース

信号名	入出力	説明
クロック		
SRAM4MB_HCLK	入力	内部バスクロック（AHB）、クロックゲーティングなし
割り込み		
ECC_4MB_Int	出力	パルス検出割り込み、アクティブ High

4.3 レジスタマップ

4MB SRAM 内のレジスタは 32 ビット単位のアクセスが可能です。

備 考

SR4EDC レジスタおよび SR4EEC レジスタは SR4PCMD により書き込み保護にされています。

表 4.2 4MB SRAM の制御レジスタリスト

アドレス	レジスタ表記	レジスタ名
8040 0000h	SR4PCMD	SRAM 4MB プロテクトコマンドレジスタ
8040 0100h	SR4EDC	SRAM 4MB ECC デコーダコンフィグレーションレジスタ
8040 0104h	SR4EEC	SRAM 4MB ECC エンコーダコンフィグレーションレジスタ
8040 0108h	SR4DBEST	SRAM 4MB ダブルビット ECC エラーステータスレジスタ
8040 010Ch	SR4DBEAD	SRAM 4MB ダブルビット ECC エラーアドレスレジスタ
8040 0110h	SR4DBECNT	SRAM 4MB ダブルビット ECC エラーカウンタレジスタ

4.4 レジスタの説明

4.4.1 SR4PCMD — SRAM 4MB プロテクトコマンドレジスタ

詳細については「4.6 使用上の注意」を参照してください。

アドレス		8040 0000h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTR EL	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.3 SR4PCMD レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	PROTREL	保護レジスタの書き込みアクセス許可 1：保護レジスタへの書き込みアクセスを許可します。 0：保護レジスタへの書き込みアクセスを禁止します。	R/W

4.4.2 SR4EDC — SRAM 4MB ECC デコーダコンフィグレーションレジスタ

SR4EDC レジスタは SR4PCMD により書き込み保護されています。

詳細については「4.6 使用上の注意」を参照してください。

アドレス		8040 0100h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_E NABLE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.4 SR4EDC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	ECC_ENABLE	ECC デコーダのイネーブル 0：無効 1：有効	R/W

4.4.3 SR4EEC — SRAM 4MB ECC エンコーダコンフィグレーションレジスタ

SR4EEC レジスタは SR4PCMD により書き込み保護されています。

詳細については「4.6 使用上の注意」を参照してください。

アドレス 8040 0104h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	DBE_DIST3	DBE_DIST2	DBE_DIST1	DBE_DIST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.5 SR4EEC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	DBE_DIST3	4MB SRAM Area3（8030 0000h～803F FFFFh）の ECC エラー注入有効 0：無効 1：有効	R/W
b2	DBE_DIST2	4MB SRAM Area2（8020 0000h～802F FFFFh）の ECC エラー注入有効 DBE_DIST3 と同じビット機能	R/W
b1	DBE_DIST1	4MB SRAM Area1（8010 0000h～801F FFFFh）の ECC エラー注入有効 DBE_DIST3 と同じビット機能	R/W
b0	DBE_DIST0	4MB SRAM Area0（8000 0000h～800F FFFFh）の ECC エラー注入有効 DBE_DIST3 と同じビット機能	R/W

4.4.4 SR4DBEST — SRAM 4MB ダブルビット ECC エラーステータスレジスタ

詳細については「4.6 使用上の注意」を参照してください。

アドレス		8040 0108h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	DBE_R AM3	DBE_R AM2	DBE_R AM1	DBE_R AM0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.6 SR4DBEST レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	DBE_RAM3	4MB SRAM Area3（8030 0000h～803F FFFFh）のダブルビット ECC エラー検出フラグ 0：エラーなし 1：エラーあり	R
b2	DBE_RAM2	4MB SRAM Area2（8020 0000h～802F FFFFh）のダブルビット ECC エラー検出フラグ DBE_RAM3 と同じビット機能	R
b1	DBE_RAM1	4MB SRAM Area1（8010 0000h～801F FFFFh）のダブルビット ECC エラー検出フラグ DBE_RAM3 と同じビット機能	R
b0	DBE_RAM0	4MB SRAM Area0（8000 0000h～800F FFFFh）のダブルビット ECC エラー検出フラグ DBE_RAM3 と同じビット機能	R

4.4.5 SR4DBEAD — SRAM 4MB ダブルビット ECC エラーアドレスレジスタ

詳細については「4.6 使用上の注意」を参照してください。

アドレス 8040 010Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	ADDRESS					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRESS												—	—	—	LOCK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.7 SR4DBEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b22	予約ビット		R
b21～b4	ADDRESS	ダブルビット ECC エラーアドレス ダブルビット ECC エラーアドレスを保持します。	R
b3～b1	予約ビット		R
b0	LOCK	ロック有効 0 : レジスタのロックを解除します（ダブルビット ECC エラーアドレスの取り込みが可能） 1 : レジスタをロックします（ダブルビット ECC エラーアドレスの取り込みは不可） レジスタを読み出すとレジスタのロックが解除されます。	R

4.4.6 SR4DBECNT — SRAM 4MB ダブルビット ECC エラーカウンタレジスタ

詳細については「4.6 使用上の注意」を参照してください。

アドレス		8040 0110h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	ERRCOUNT			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.8 SR4DBECNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3～b0	ERRCOUNT	ダブルビット ECC エラーカウンタ	R

4.5 動作

4.5.1 メモリマップの構成

4MB SRAM には個別の 1MB RAM が 4 つあります。

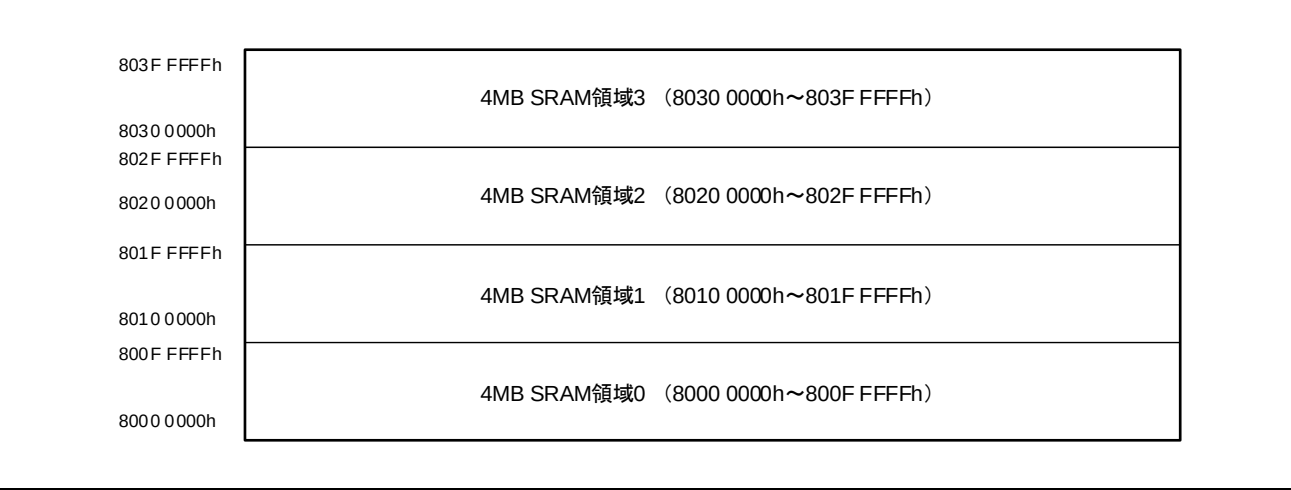


図 4.1 メモリ構成

4.5.2 初期化

ECC 回路の通常の動作を行う場合は、4MB SRAM の初期化が必要です

<RAM の初期化>

ECC エラー訂正機能は、4MB SRAM を初期化するまで有効にできません。以下の手順で初期化した後で、本機能を有効にするために SR4EDC.ECC_ENABLE レジスタを 1 にセットしてください。

- 0x80000000～0x803FFFFFFF を初期化
 1. Cortex-A7 の場合はキャッシュを無効に、Cortex-M3 の場合は NMI を無効にします。
 2. ECC 割り込みをマスクします。
 3. 初期化対象領域のデータを読み出します。
 4. 読み出したデータを同じアドレスに書き込みます。

4.5.3 ECC エラー訂正機能

4MB 領域の ECC エラー訂正機能の有効化または無効化には、SR4EDC レジスタを使用します。ECC により、シングルエラーは訂正され、ダブルエラーは検出されます。SR4DBEST レジスタはエラーが見つかった領域を確認するために使用されます。さらに、SR4DBEAD レジスタはダブルエラーが検出されたアドレスを確認するために使用され、SR4DBECNT は検出されたダブルエラーの数を表示します。

4.5.4 ECC 回路のセルフテスト

ECC 回路のセルフテストは領域単位で実施されます。32 ビットアクセスのみで行ってください。ターゲット領域は SR4EEC レジスタで設定します。図 4.2 に、ECC 回路のセルフテストの手順の例を示します。

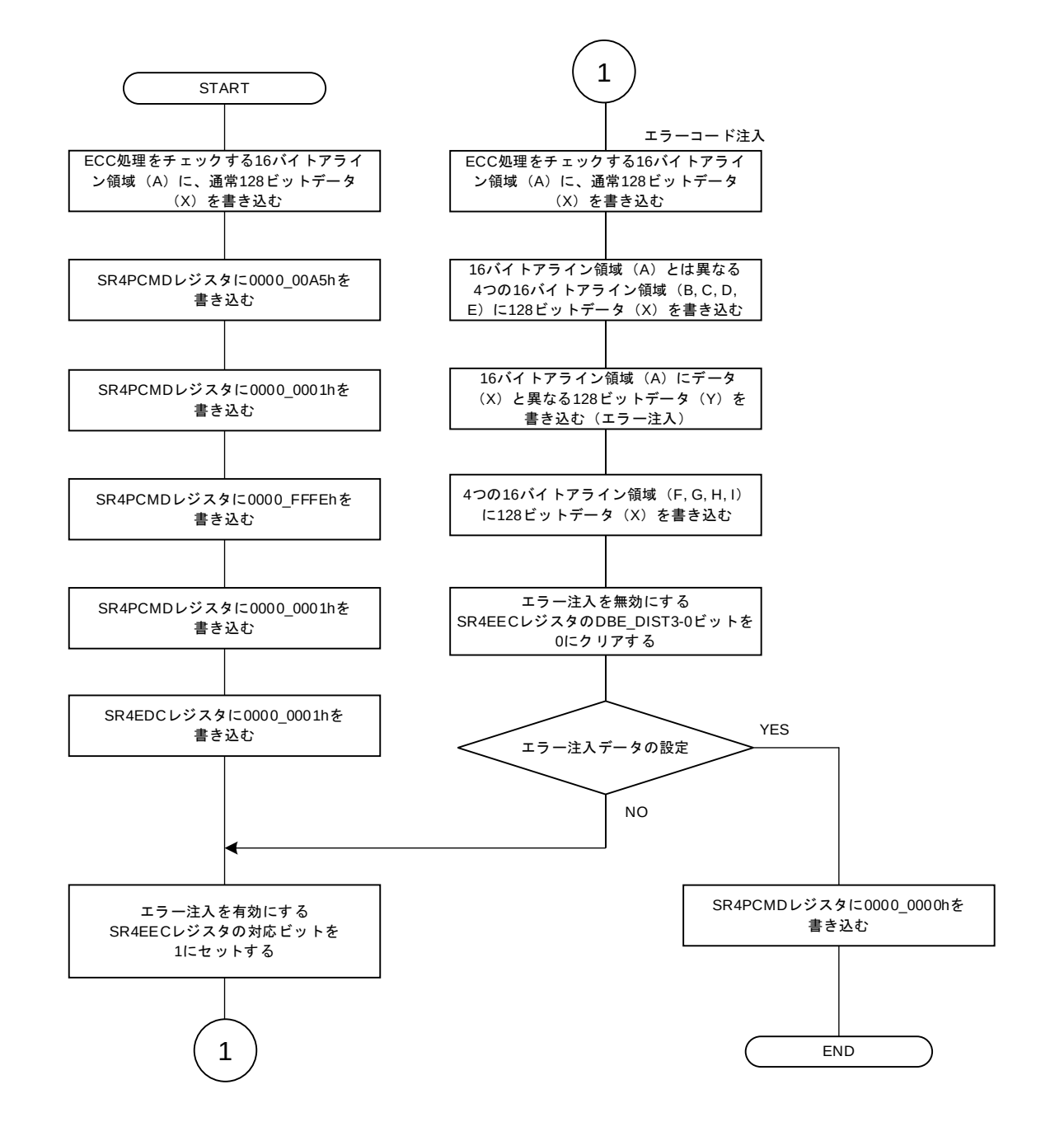


図 4.2 ECC エラー注入設定手順の例

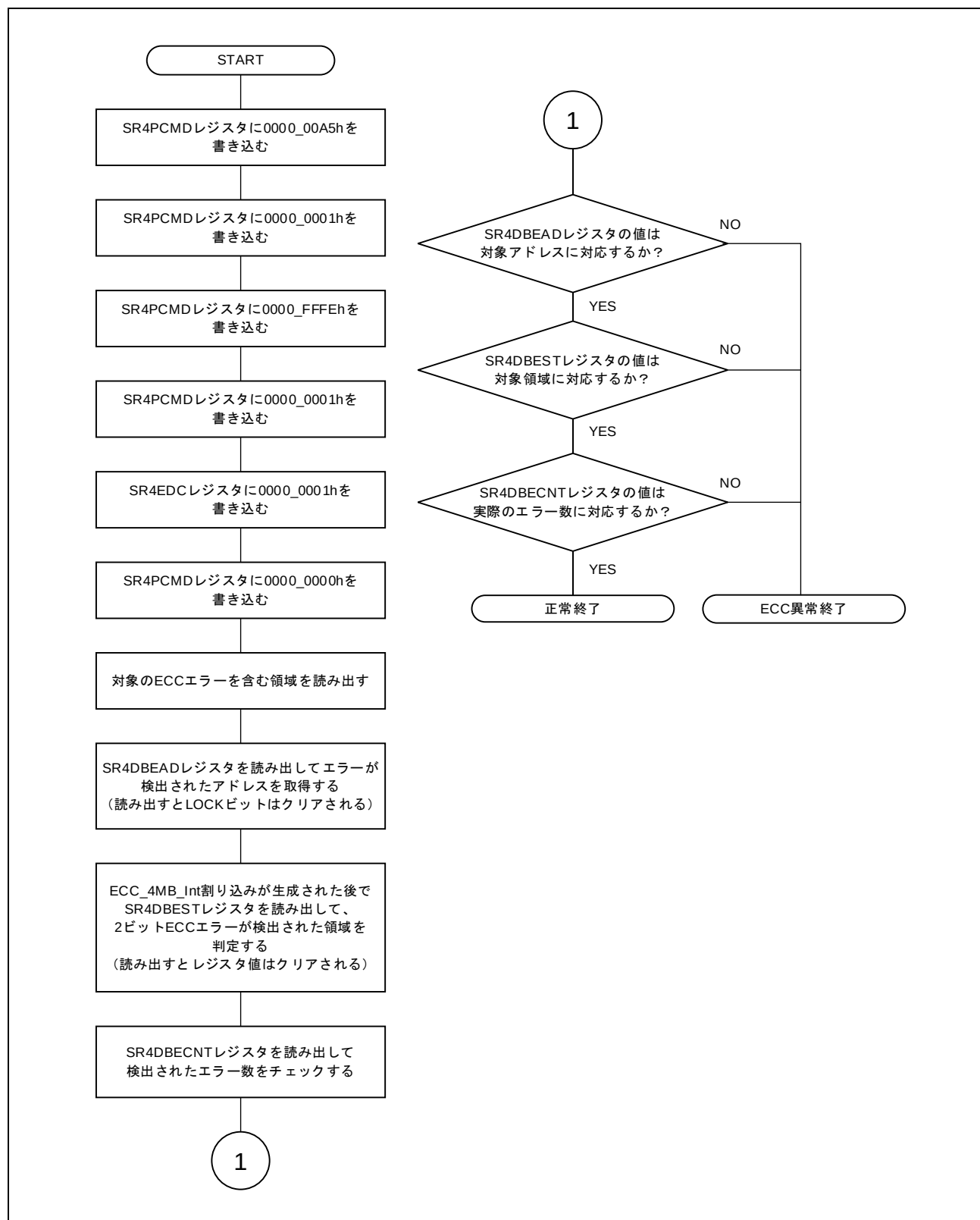


図 4.3 ECC 動作のチェック手順

4.6 使用上の注意

4.6.1 SRAM 4MB プロテクトコマンドレジスタ (SR4PCMD)

SR4PCMD レジスタは、アプリケーションシステムがプログラムの暴走などにより意図せずに停止しないように、システムに重大な影響を及ぼすレジスタを書き込み保護するために使われます。PROTREL ビットを 1 にセットしないかぎり保護されたレジスタへの書き込みは無効です。

SR4PCMD レジスタの PROTREL ビットを 1 にセットする手順は、以下のとおりです。ビットの 0 クリアまたはレジスタの読み出しは通常の手順です。

1. 書き込み 0000_00A5h SR4PCMD レジスタに特定の値を書き込みます。
2. 書き込み 0000_0001h SR4PCMD レジスタに書き込みます。
3. 書き込み 0000_FFEh SR4PCMD レジスタに書き込みます。
4. 書き込み 0000_0001h SR4PCMD レジスタに書き込みます。

注 意

1. 手順 1、2、および 3 では何も書き込まれません。
2. ターゲットレジスタへの書き込みが済んだら、必ず PROTREL ビットを 0 クリアしてください。

SR4PCMD ビットのクリア手順：

1. 書き込み 0b SR4PCMD レジスタの PROTREL ビットに書き込みます（書き込み保護が有効になります）。

4.6.2 SRAM 4MB ECC デコーダコンフィグレーションレジスタ (SR4EDC)

SR4EDC レジスタは、4MB SRAM の ECC デコーダを制御します。

SR4EDC.ECC_ENABLE ビットを 1 にセットすると、4MB SRAM の ECC デコーダロジックが有効となり、以下の機能が有効となって割り込みコントローラ (Cortex-A7、Cortex-M3) に通知されます。

- シングル ECC エラーの場合：読み出しデータが訂正されます。
- ダブル ECC エラーの場合：4MB SRAM のダブルビット ECC エラー割り込みが生成され、割り込みコントローラ (Cortex-A7、Cortex-M3) に割り込み信号が通知されます。

SR4EDC.ECC_ENABLE ビットを 0 にクリアすると（「無効」設定）、ECC エラーが発生しても読み出したデータが訂正されず、割り込みコントローラにエラー信号が通知されません。このとき SR4DBEST レジスタのステータスの保持、SR4DBEAD レジスタのエラーアドレスの取り込み、および SR4DBECNT レジスタのエラーカウンタは無効です。

注 意

1. 本レジスタは、各マスタから RAM へのアクセスが無い時に切り替えてください。
2. 本レジスタは、SR4PCMD レジスタで書き込み保護を解除するまでは、書き込むことができません。

4.6.3 SRAM 4MB ECC エンコーダコンフィグレーションレジスタ (SR4EEC)

SR4EEC レジスタは、4MB SRAM の ECC 回路のセルフテストを制御します。SR4EEC.DBE_DIST[n] (n=0~3) ビットを 1 にセットすると、各ビットに対応する RAM がアクセスされるときにシンドローーム値 (ECC 冗長ビットデータ) がラッチされます。RAM がもう一度アクセスされると、ラッチされたシンドローーム値が RAM に書き込まれて ECC エラーが注入されます。SR4EEC.DBE_DIST[n] (n=0~3) ビットを 0 にクリアすると、各ビットに対応する RAM に常に通常のシンドローーム値が書き込まれます。

注 意

1. 本レジスタは、各マスタから RAM へのアクセスが無い時に切り替えてください。
2. 本レジスタは、SR4PCMD レジスタで書き込み保護を解除するまでは、書き込むことができません。

4.6.4 SRAM 4MB ダブルビット ECC エラーステータスレジスタ (SR4DBEST)

SR4DBEST レジスタは、4MB SRAM のダブルビット ECC エラーステータスを表示します。4MB SRAM のダブルビット ECC エラー割り込みが生成された後で本レジスタを読み出すと、ダブルビット ECC エラーが発生した領域を確認できます。

注 意

本レジスタはリードクリアです。

4.6.5 SRAM 4MB ダブルビット ECC エラーアドレスレジスタ (SR4DBEAD)

SR4DBEAD レジスタは、ダブルビット ECC エラーが検出されたアドレスを格納する読み出し専用レジスタです。ダブルビット ECC エラーが検出されると検出信号をトリガとして ECC エラーアドレスが取り込まれ、ADDRESS[17:0] ビットに格納されます。ECC エラーアドレスを取り込んだレジスタは LOCK ビットが有効にされ、レジスタを読み出さないかぎり次の ECC エラーアドレスを取り込むことはできません。そのため、新しい ECC エラーアドレスを取り込むには、まず本レジスタを読み出す必要があります。

注 意

異なる領域でダブルビット ECC エラーが同時に発生した場合、取り込まれるアドレスの優先順位は以下のように決まります。

- 4MB SRAM Area0 (8000 0000h~800F FFFFh) >
- 4MB SRAM Area1 (8010 0000h~801F FFFFh) >
- 4MB SRAM Area2 (8020 0000h~802F FFFFh) >
- 4MB SRAM Area3 (8030 0000h~803F FFFFh)

4.6.6 SRAM 4MB ダブルビット ECC エラーカウンタレジスタ (SR4DBECNT)

SR4DBECNT レジスタは、ダブルビット ECC エラーカウントを保持する読み出し専用レジスタです。ダブルビット ECC エラーが検出されると、検出信号をトリガとしてエラーカウンタがインクリメントされます。カウンタ値が最大値 (Fh) に達すると、次のインクリメントで 0h にクリアされます。

第5章 デバッグインタフェース

5.1 概要

オンチップのデバッグおよびトレースユニットは、Arm Cortex-A7 コアおよび Arm Cortex-M3 プロセッサのデバッグやパフォーマンスをモニターおよび最適化するために、マルチコアデバッグおよびトレース用の CoreSight™ 準拠ロジックを搭載しています。

- 32KB オンチップトレースバッファ (ETB)
 - トレースデータ用のオンチップストレージ
 - Arm Cortex-A7 Core または Arm Cortex-M3 Core に接続される ETM コンポーネント、または ITM から
- 組み込みトレースルーター (ETR)
 - 内部 RAM (2MB または 4MB) および DDR2/3 を利用した大容量トレースデータ格納向け
- 組み込みトレースマクロセル (ETM)
 - プロセッサの命令およびデータのトレースを提供するリアルタイムトレースモジュール
- SWJ-DP デバッグポート
 - SWD または JTAG プロブをターゲットに接続可能な JTAG-DP と SW-DP を組み合わせたデバッグポート

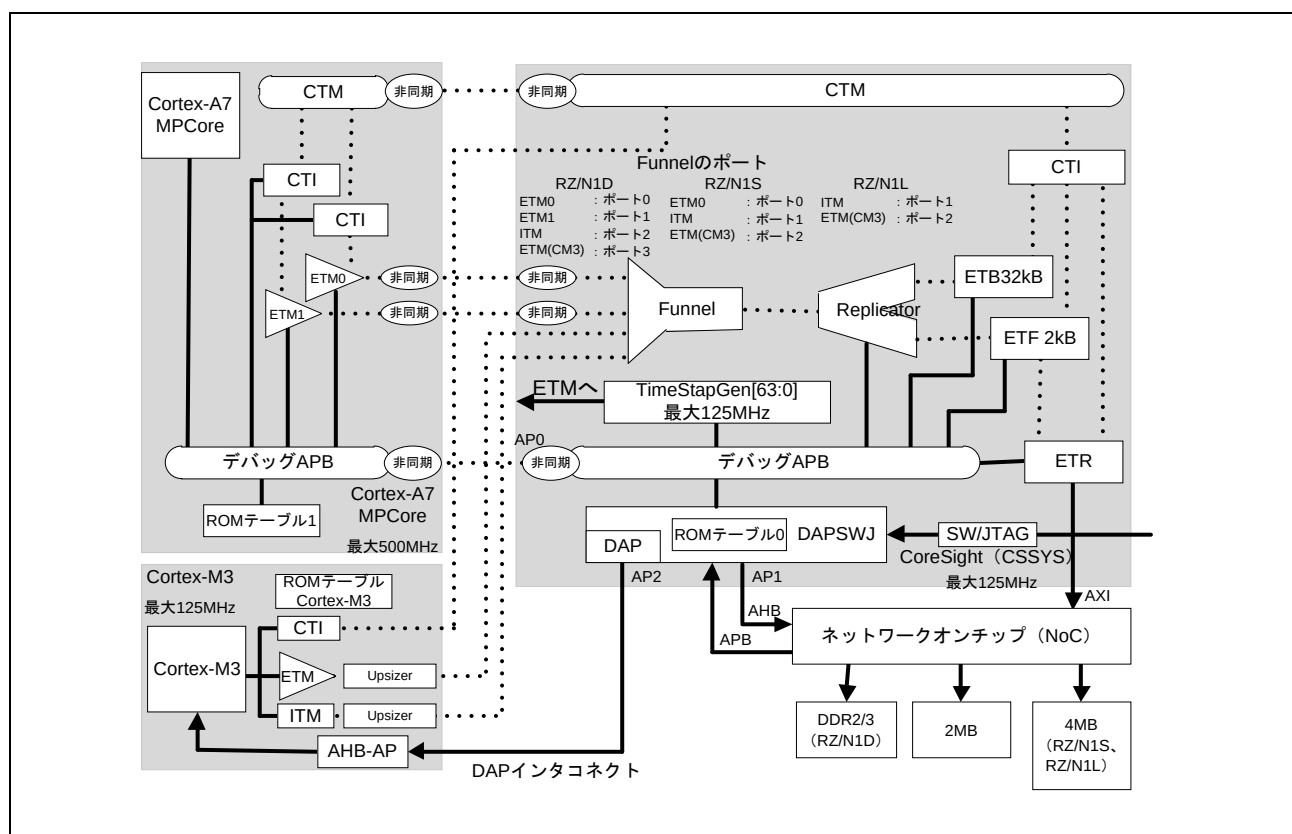


図 5.1 オンチップデバッグトレースユニットの概要ブロック図

5.2 JTAG インタフェース

5.2.1 JTAG インタフェースの推奨回路

JTAG インタフェースを使用しない場合、JTAG_TRST_N 入力に 4.7k Ω 抵抗器を経由してデジタル GND に接続することを推奨します。図 5.2 に、インタフェース用の推奨回路を示します。

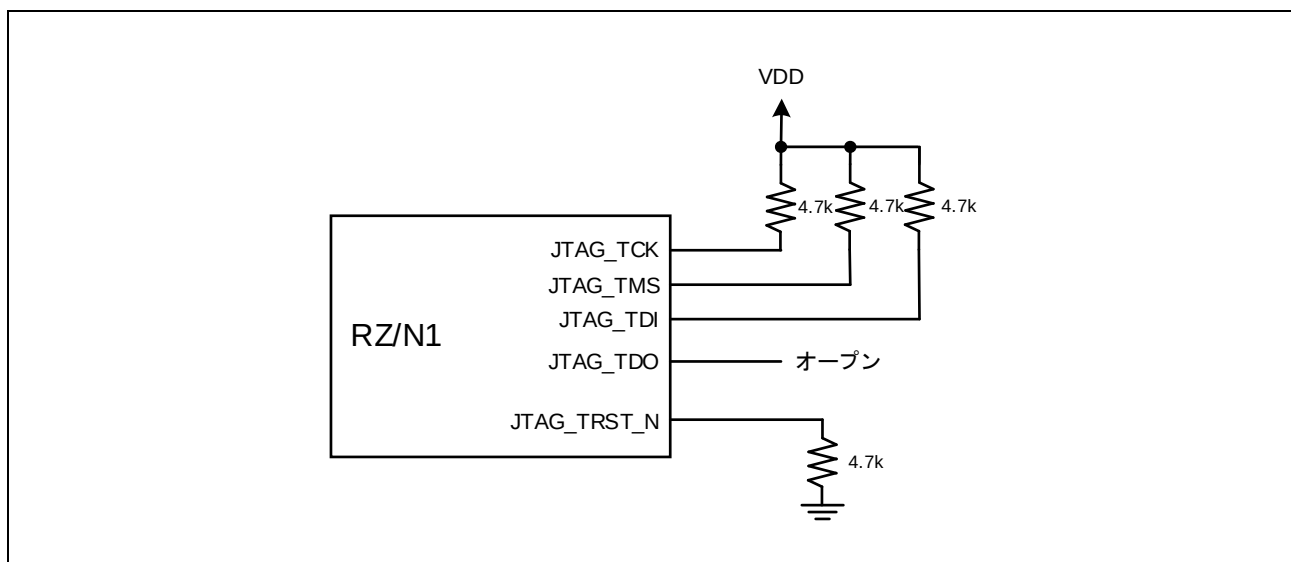


図 5.2 未使用時の JTAG インタフェース

JTAG インタフェースをバウンダリスキャンテストに使用する場合、ターゲットシステムの JTAG_TRST_N に関してバウンダリスキャンツールの特定条件を確認する必要があります。バウンダリスキャンツールに特定の条件が存在する場合、ターゲットシステムの回路を設定可変にする必要があります。図 5.3 に、バウンダリスキャンツールがチップの JTAG_TRST_N 入力でのプルアップを必要とする例を示します。

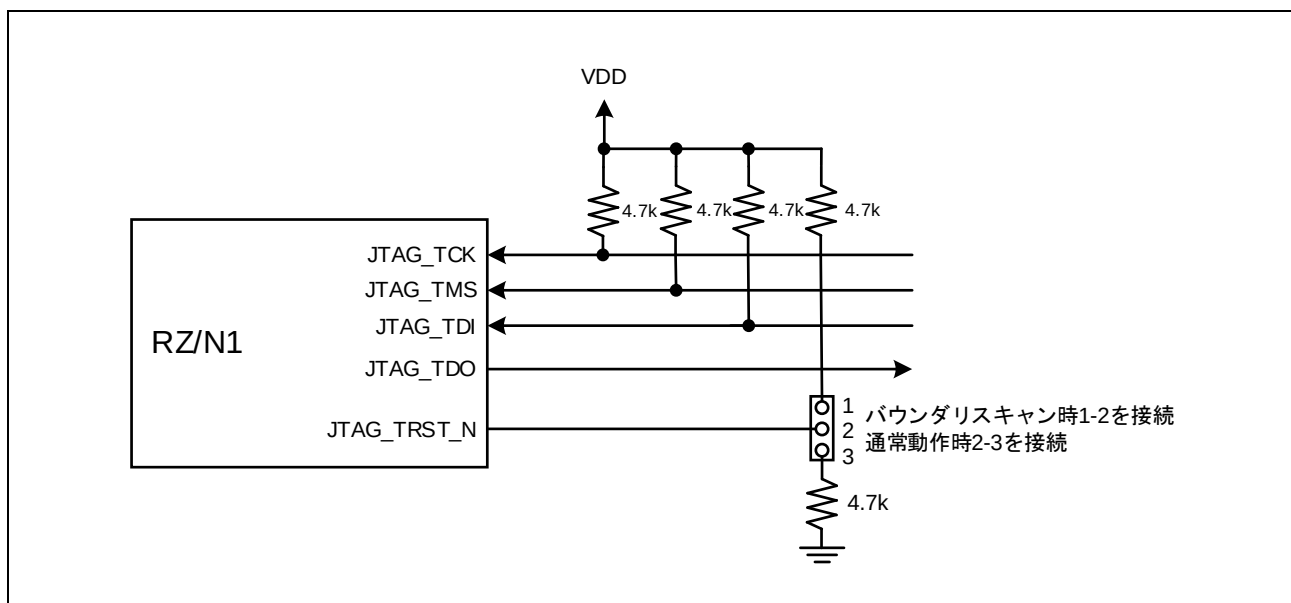


図 5.3 バウンダリスキャンで使用可能な JTAG インタフェース

5.2.2 JTAG デバッグインタフェースの推奨回路

図 5.4 に、JTAG デバッグ接続方式の例を示します（標準 JTAG IEEE 1149.1 モード準拠）。

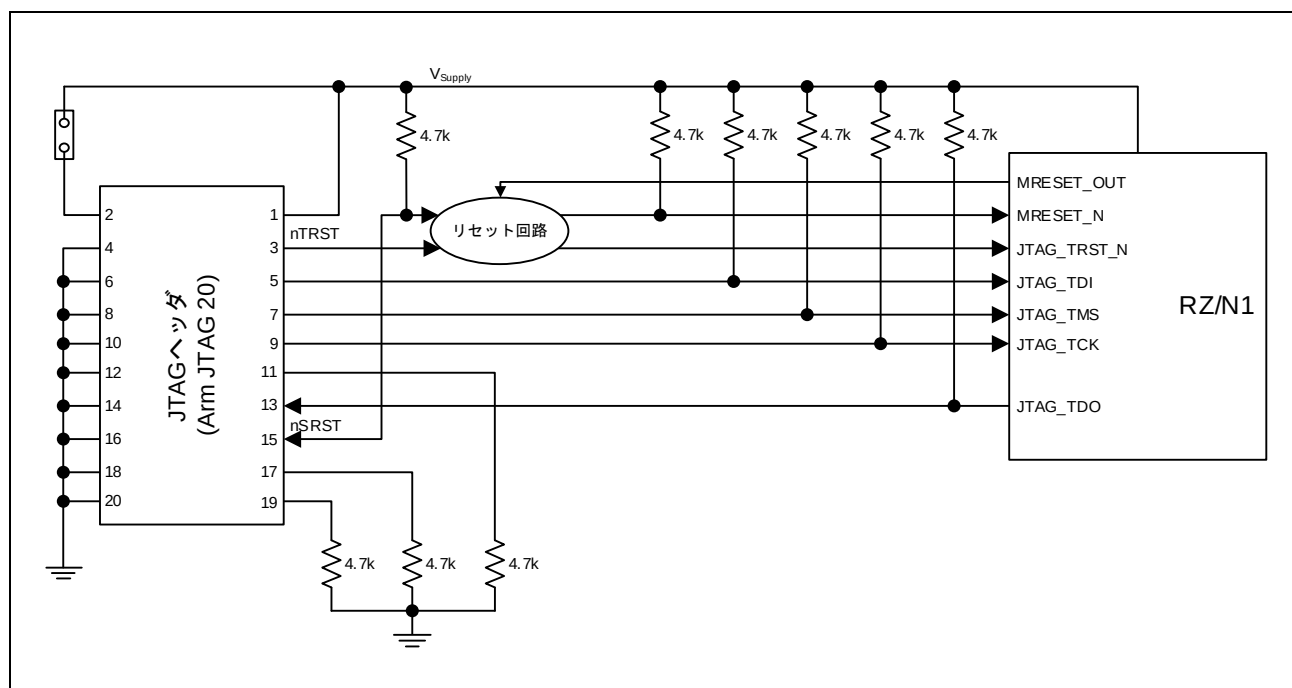


図 5.4 PCB/JTAG 接続の例

下記の事項に留意してください。

- デバッグ機器に接続していないときに安定性を維持するため、TDI、TMS、TCK、RTCK、および TDO 信号をターゲットボードで通常はプルアップします。
- DBGRQ および DBGACK は RZ/N1 サポート対象外のため、ターゲットボードで通常プルダウンされます。

RZ/N1 では RTCK 信号を出力しないため、固定ロジックレベルとするか、TCK 信号に接続して直接ループバックさせることが可能です。

5.2.3 シリアルワイヤデバッグインタフェースの推奨回路

図 5.5 に、シリアルワイヤデバッグ（SWD）の接続方式の例を示します。

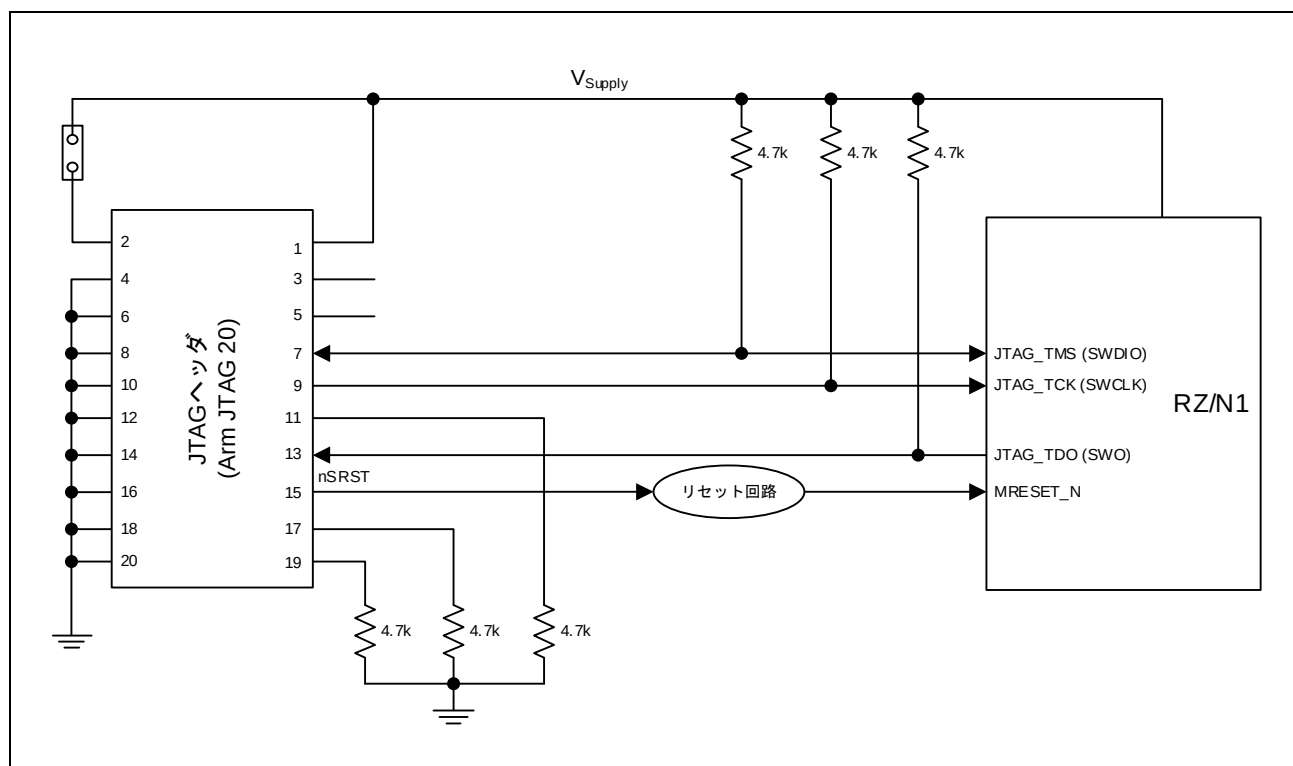


図 5.5 SWD 接続の例

下記の事項に留意してください。

- デバッグ機器に接続していないときに安定性を維持するため、SWDIO、SWCLK、および SWO 信号をターゲットボードで通常はプルアップします。
- その他の JTAG 信号は SWD モードで使用しません。

5.3 リセットに関する注意事項

5.3.1 RZ/N1 リセット信号

RZ/N1 には、MRESET_N (CPU コア、デバッグ回路、周辺機能全体をリセット) というリセットがあります。また、RZ/N1 デバイスには JTAG インタフェースが搭載されており、JTAG_TRST_N (TAP リセット) という 2 つ目のリセット入力があります。本リセットは、デバッグアクセスポート (DAP) (JTAG デバッグポート (JTAG-DP) / シリアルワイヤデバッグポート (SW-DP)) およびバウンダリスキャンセルをリセットします。

両信号が別々に JTAG コネクタで利用可能であることが推奨されます。MRESET_N 信号と JTAG_TRST_N 信号が直結されている場合、システムをリセットした際に TAP コントローラもリセットされます。この場合、

- 以前セットしたブレイクポイントが失われるため、リセットからのシステムデバッグは行えません
- TAP コントローラの状態変更にデバッガ (例: DSTREAM) が対応できない場合、デバッグセッションを最初からやり直さなければならない可能性があります

5.3.2 デバッガリセット信号

通常、デバッグユニットは RZ/N1 に接続された 2 つのリセット信号を持っています。

- nTRST は RZ/N1 の Arm プロセッサの JTAG_TRST_N 信号をドライブします。これは、デバッグソフトウェアがターゲットシステムのデバッグインタフェースを再初期化しなければならないときにアクティブにする出力です。
- nSRST は双方向信号で、RZ/N1 のシステムリセット信号 (MRESET_N、MRESET_OUT) のドライブと検出の両方を行います。RZ/N1 システム再初期化のため、通常はデバッガによって出力を LOW にドライブします。

JTAG インタフェースがアクティブではない時も正常に動作させるため、JTAG_TRST_N はプルアップすることを推奨します。詳細については、ご利用のデバッグツールベンダーまでお問い合わせください。

5.3.3 リセット回路の例

図 5.6 に、RZ/N1 リセット信号およびデバッグリセット信号のリセット回路の例を示します。

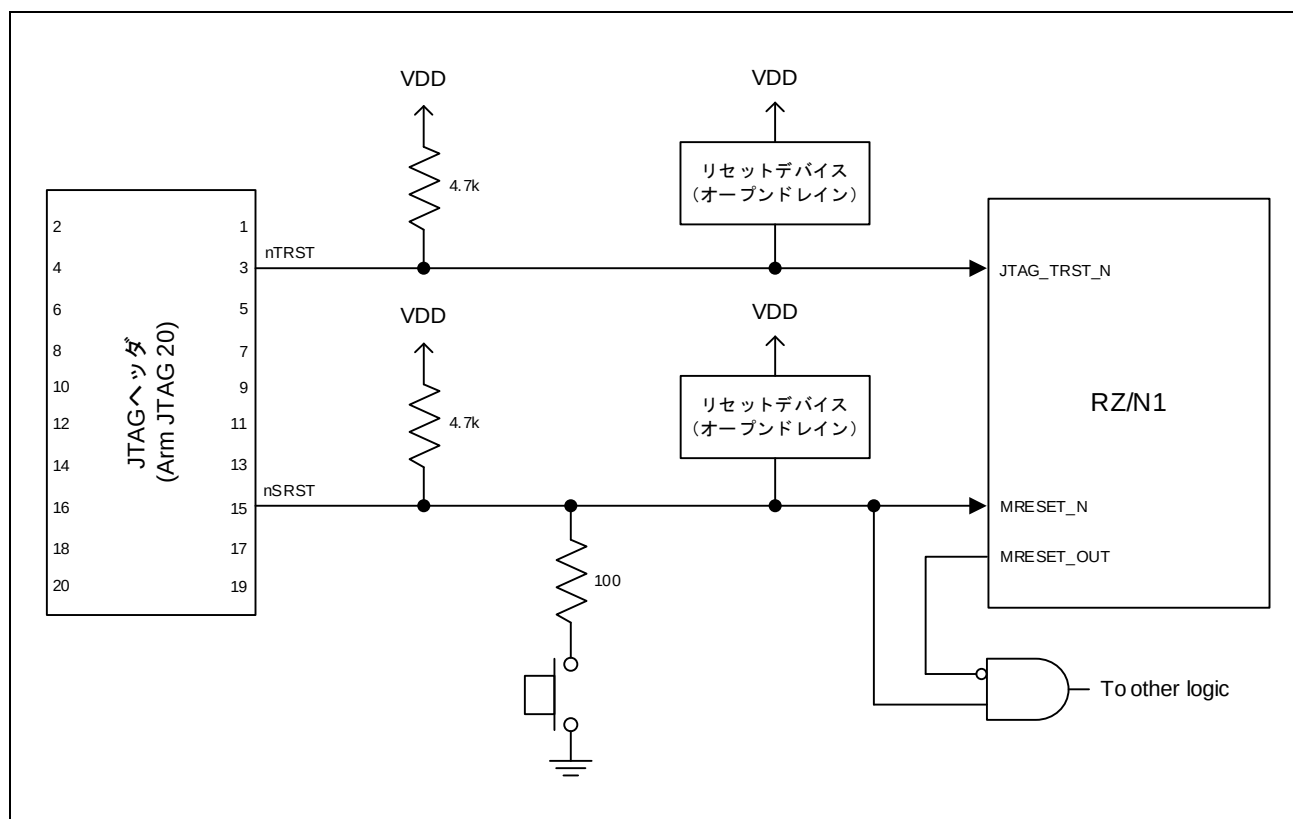


図 5.6 リセット回路の例

MRESET_OUT 出力信号は MRESET_N 入力信号を反映することに注意してください。MRESET_OUT はデッドロック接続を回避するために、MRESET_N 入力信号とともに nSRST（オープンドレインシステムリセット）へ接続してはいけません。

MRESET_N は RZ/N1 全体のデバッグ回路をリセットするため、nSRST が MRESET_N に接続された状態でシステムリセットを命令すると、外部デバッガがシステムのハングアップを発生させることがあります。内部システムリセット（例：ウォッチドッグあるいはソフトウェアビットによる）はデバッグ回路をリセットしないため、MRESET_OUT が nSRST に接続されている場合、デバッガで観測可能です。

第6章 16 ビット DDR2/3 コントローラ

本書は Cadence Design System Inc が著作権を有する内容を含みます（2012-2016）。無断複写・転載を禁じます。使用許諾を取得済みです。

6.1 概要

RZ/N1D が内蔵している DDR2/3 コントローラは固定動作周波数の DDR2 および DDR3 メモリデバイスをサポートします。マルチポートアーキテクチャにより異なるモジュール間で効率的にメモリを共有し、高帯域幅を確保します。

- 固定周波数で NoC と非同期な DDR2/3 メモリコントローラ

DDR3-1000

- (1) DDR コントローラ : 250MHz
- (2) DDR PHY : 500MHz

DDR2-500

- (1) DDR コントローラ : 125MHz
- (2) DDR PHY : 250MHz

- DQ/DQS 比率 : 8/1
- 2 個のチップセレクト
- 2 個の ODT
- 16 ビットのアドレスバス
- 最大 2GB のアドレス空間
- メモリデータパスサイズ可変（フルメモリ 16 ビットデータ幅、ハーフメモリ 8 ビットデータ幅）
 - 16 ビット、8 ビット、8+ECC ビット
- ECC 機能はソフトウェア設定可能（有効／無効）
 - バイトアクセスによる 2 ビット ECC
 - ECC 方式 : 32 データビットに対して 7 チェックビット（8 データビットに対して 2 ビット付加）
 - シングルビットエラー訂正（Single-bit Error Correction : SEC）およびダブルビットエラー検出（Double-bit Error Detection : DED）によるエラー通知、およびシングルビットエラーの自動訂正
 - 通知および訂正を設定可能
 - ECC ストレージの除外を設定可能
- 柔軟な優先度方式をソフトウェアで設定可能
- DQ/DQS 出力インピーダンス、スルーレート、および終端抵抗（ODT: On-Die Termination）を設定可能
- DDR2/DDR3 の低消費電力制御管理（ソフトウェア）
 - アクティブパワーダウン
 - プリチャージパワーダウン
 - セルフリフレッシュ
 - メモリクロックゲーティングありのセルフリフレッシュ
 - メモリおよびコントローラクロックゲーティングありのセルフリフレッシュ

- アクティベート／プリチャージを考慮した最適なコマンドスケジューリング
- チップセレクト単位のリフレッシュをサポート（リフレッシュ時のピーク電流回避）
- ポートアドレスの保護チェック
 - 各ポートに入力されるアドレスおよび命令の種類をレジスタ設定によりチェック
 - 各ポートで最大 16 のアドレス保護領域

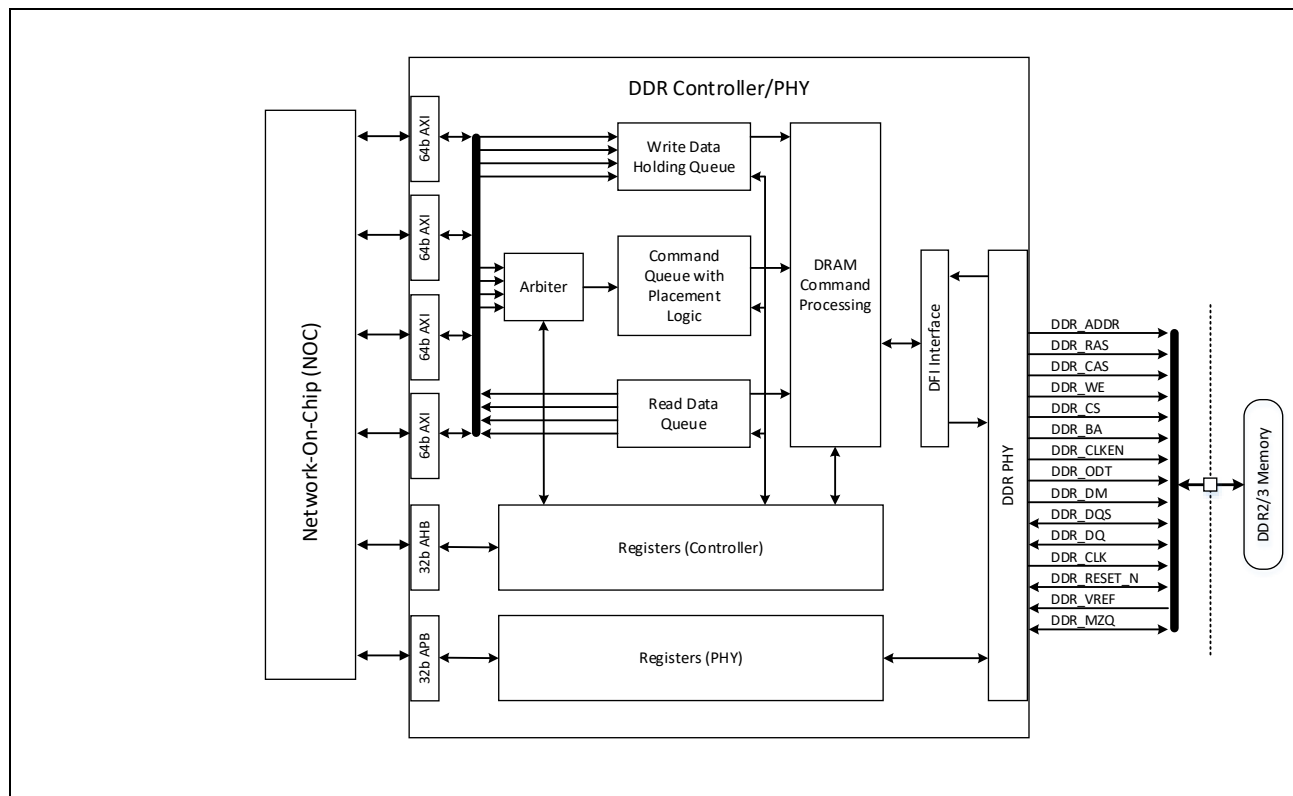


図 6.1 DDR コントローラのインタフェースおよび接続

6.2 信号インタフェース

信号名	入出力	説明
クロック		
DDR_XCLK	入力	内部バスクロック (AXI)
DDR_HCLK	入力	内部バスクロック (AHB、APB)、クロックゲーティングなし
DDR_DFICLK	入力	DDR PHY インタフェース用クロック
割り込み		
DDRC_Int	出力	レベル検出割り込み、アクティブ High
外部信号 (専用ピンのみ)		
DDR_CLKP DDR_CLKN	出力	差動クロック
DDR_CLKEN	出力	クロックイネーブル、アクティブ High
DDR_RESET_N	出力	DDR リセット、アクティブ Low
DDR_ADDR[15:0]	出力	アドレスバス
DDR_BA[2:0]	出力	バンクアドレス
DDR_DQ[15:0]	入出力	データバス
DDR_DM[1:0]	出力	データマスク
DDR_DQS1 DDR_DQS_N1	入出力	上位バイトレーン用差動双方向データストロブ
DDR_DQS0 DDR_DQS_N0	入出力	下位バイトレーン用差動双方向データストロブ
DDR_WE	出力	書き込みイネーブル、アクティブ Low
DDR_RAS	出力	RAS 信号出力、アクティブ Low
DDR_CAS	出力	CAS 信号出力、アクティブ Low
DDR_CS[1:0]	出力	チップセレクト、アクティブ Low
DDR_ODT[1:0]	出力	ODT 制御

6.3 レジスタマップ

6.3.1 DDR コントローラ

表 6.1 DDR コントローラのレジスタマップ (1/4)

アドレス	レジスタ表記	レジスタ名
4000 D000h	DDR_CTL_00	DDR コントローラステータス/制御 00 レジスタ
4000 D004h	DDR_CTL_01	DDR コントローラステータス/制御 01 レジスタ
4000 D008h	DDR_CTL_02	DDR コントローラステータス/制御 02 レジスタ
4000 D00Ch	DDR_CTL_03	DDR コントローラステータス/制御 03 レジスタ
4000 D010h	DDR_CTL_04	DDR コントローラステータス/制御 04 レジスタ
4000 D014h	DDR_CTL_05	DDR コントローラステータス/制御 05 レジスタ
4000 D018h	DDR_CTL_06	DDR コントローラステータス/制御 06 レジスタ
4000 D01Ch	DDR_CTL_07	DDR コントローラステータス/制御 07 レジスタ
4000 D020h	DDR_CTL_08	DDR コントローラステータス/制御 08 レジスタ
4000 D024h	DDR_CTL_09	DDR コントローラステータス/制御 09 レジスタ
4000 D028h	DDR_CTL_10	DDR コントローラステータス/制御 10 レジスタ
4000 D02Ch	DDR_CTL_11	DDR コントローラステータス/制御 11 レジスタ
4000 D030h	DDR_CTL_12	DDR コントローラステータス/制御 12 レジスタ
4000 D034h	DDR_CTL_13	DDR コントローラステータス/制御 13 レジスタ
4000 D038h	DDR_CTL_14	DDR コントローラステータス/制御 14 レジスタ
4000 D03Ch	DDR_CTL_15	DDR コントローラステータス/制御 15 レジスタ
4000 D040h	DDR_CTL_16	DDR コントローラステータス/制御 16 レジスタ
4000 D044h	DDR_CTL_17	DDR コントローラステータス/制御 17 レジスタ
4000 D048h	DDR_CTL_18	DDR コントローラステータス/制御 18 レジスタ
4000 D04Ch	DDR_CTL_19	DDR コントローラステータス/制御 19 レジスタ
4000 D050h	DDR_CTL_20	DDR コントローラステータス/制御 20 レジスタ
4000 D054h	DDR_CTL_21	DDR コントローラステータス/制御 21 レジスタ
4000 D058h	DDR_CTL_22	DDR コントローラステータス/制御 22 レジスタ
4000 D05Ch	DDR_CTL_23	DDR コントローラステータス/制御 23 レジスタ
4000 D060h	DDR_CTL_24	DDR コントローラステータス/制御 24 レジスタ
4000 D064h	DDR_CTL_25	DDR コントローラステータス/制御 25 レジスタ
4000 D068h	DDR_CTL_26	DDR コントローラステータス/制御 26 レジスタ
4000 D06Ch	DDR_CTL_27	DDR コントローラステータス/制御 27 レジスタ
4000 D070h	DDR_CTL_28	DDR コントローラステータス/制御 28 レジスタ
4000 D074h	DDR_CTL_29	DDR コントローラステータス/制御 29 レジスタ
4000 D078h	DDR_CTL_30	DDR コントローラステータス/制御 30 レジスタ
4000 D07Ch	DDR_CTL_31	DDR コントローラステータス/制御 31 レジスタ
4000 D080h	DDR_CTL_32	DDR コントローラステータス/制御 32 レジスタ
4000 D084h	DDR_CTL_33	DDR コントローラステータス/制御 33 レジスタ
4000 D088h	DDR_CTL_34	DDR コントローラステータス/制御 34 レジスタ
4000 D08Ch	DDR_CTL_35	DDR コントローラステータス/制御 35 レジスタ
4000 D090h	DDR_CTL_36	DDR コントローラステータス/制御 36 レジスタ
4000 D094h	DDR_CTL_37	DDR コントローラステータス/制御 37 レジスタ
4000 D098h	DDR_CTL_38	DDR コントローラステータス/制御 38 レジスタ
4000 D09Ch	DDR_CTL_39	DDR コントローラステータス/制御 39 レジスタ
4000 D0A0h	DDR_CTL_40	DDR コントローラステータス/制御 40 レジスタ
4000 D0A4h	DDR_CTL_41	DDR コントローラステータス/制御 41 レジスタ

表 6.1 DDR コントローラのレジスタマップ (2/4)

アドレス	レジスタ表記	レジスタ名
4000 D0A8h	DDR_CTL_42	DDR コントローラステータス/制御 42 レジスタ
4000 D0ACh	DDR_CTL_43	DDR コントローラステータス/制御 43 レジスタ
4000 D0B0h	DDR_CTL_44	DDR コントローラステータス/制御 44 レジスタ
4000 D0B4h	DDR_CTL_45	DDR コントローラステータス/制御 45 レジスタ
4000 D0B8h	DDR_CTL_46	DDR コントローラステータス/制御 46 レジスタ
4000 D0BCh	DDR_CTL_47	DDR コントローラステータス/制御 47 レジスタ
4000 D0C0h	DDR_CTL_48	DDR コントローラステータス/制御 48 レジスタ
4000 D0C4h	DDR_CTL_49	DDR コントローラステータス/制御 49 レジスタ
4000 D0C8h	DDR_CTL_50	DDR コントローラステータス/制御 50 レジスタ
4000 D0CCh	DDR_CTL_51	DDR コントローラステータス/制御 51 レジスタ
4000 D0D0h	DDR_CTL_52	DDR コントローラステータス/制御 52 レジスタ
4000 D0D4h	DDR_CTL_53	DDR コントローラステータス/制御 53 レジスタ
4000 D0D8h	DDR_CTL_54	DDR コントローラステータス/制御 54 レジスタ
4000 D0DCh	DDR_CTL_55	DDR コントローラステータス/制御 55 レジスタ
4000 D0E0h	DDR_CTL_56	DDR コントローラステータス/制御 56 レジスタ
4000 D0E4h	DDR_CTL_57	DDR コントローラステータス/制御 57 レジスタ
4000 D0E8h	DDR_CTL_58	DDR コントローラステータス/制御 58 レジスタ
4000 D0ECh	DDR_CTL_59	DDR コントローラステータス/制御 59 レジスタ
4000 D0F0h	DDR_CTL_60	DDR コントローラステータス/制御 60 レジスタ
4000 D0F4h	DDR_CTL_61	DDR コントローラステータス/制御 61 レジスタ
4000 D0F8h	DDR_CTL_62	DDR コントローラステータス/制御 62 レジスタ
4000 D0FCh	DDR_CTL_63	DDR コントローラステータス/制御 63 レジスタ
4000 D100h	DDR_CTL_64	DDR コントローラステータス/制御 64 レジスタ
4000 D104h	DDR_CTL_65	DDR コントローラステータス/制御 65 レジスタ
4000 D108h	DDR_CTL_66	DDR コントローラステータス/制御 66 レジスタ
4000 D10Ch	DDR_CTL_67	DDR コントローラステータス/制御 67 レジスタ
4000 D110h	DDR_CTL_68	DDR コントローラステータス/制御 68 レジスタ
4000 D114h	DDR_CTL_69	DDR コントローラステータス/制御 69 レジスタ
4000 D118h	DDR_CTL_70	DDR コントローラステータス/制御 70 レジスタ
4000 D11Ch	DDR_CTL_71	DDR コントローラステータス/制御 71 レジスタ
4000 D120h	DDR_CTL_72	DDR コントローラステータス/制御 72 レジスタ
4000 D124h	DDR_CTL_73	DDR コントローラステータス/制御 73 レジスタ
4000 D128h	DDR_CTL_74	DDR コントローラステータス/制御 74 レジスタ
4000 D12Ch	DDR_CTL_75	DDR コントローラステータス/制御 75 レジスタ
4000 D130h	DDR_CTL_76	DDR コントローラステータス/制御 76 レジスタ
4000 D134h	DDR_CTL_77	DDR コントローラステータス/制御 77 レジスタ
4000 D138h	DDR_CTL_78	DDR コントローラステータス/制御 78 レジスタ
4000 D13Ch	DDR_CTL_79	DDR コントローラステータス/制御 79 レジスタ
4000 D140h	DDR_CTL_80	DDR コントローラステータス/制御 80 レジスタ
4000 D144h	DDR_CTL_81	DDR コントローラステータス/制御 81 レジスタ
4000 D148h	DDR_CTL_82	DDR コントローラステータス/制御 82 レジスタ
4000 D14Ch	DDR_CTL_83	DDR コントローラステータス/制御 83 レジスタ
4000 D150h	DDR_CTL_84	DDR コントローラステータス/制御 84 レジスタ
4000 D154h	DDR_CTL_85	DDR コントローラステータス/制御 85 レジスタ
4000 D158h	DDR_CTL_86	DDR コントローラステータス/制御 86 レジスタ

表 6.1 DDR コントローラのレジスタマップ (3/4)

アドレス	レジスタ表記	レジスタ名
4000 D15Ch	DDR_CTL_87	DDR コントローラステータス/制御 87 レジスタ
4000 D160h	DDR_CTL_88	DDR コントローラステータス/制御 88 レジスタ
4000 D164h	DDR_CTL_89	DDR コントローラステータス/制御 89 レジスタ
4000 D168h	DDR_CTL_90	DDR コントローラステータス/制御 90 レジスタ
4000 D16Ch +8h × n	DDR_CTL_[k] (n=0~15) (k=91+n×2)	ポート 0 レンジ[n]スタートアドレス設定レジスタ
4000 D170h +8h × n	DDR_CTL_[k] (n=0~15) (k=92+n×2)	ポート 0 レンジ[n]エンドアドレス設定レジスタ
4000 D1ECh +8h × n	DDR_CTL_[k] (n=0~15) (k=123+n×2)	ポート 1 レンジ[n]スタートアドレス設定レジスタ
4000 D1F0h +8h × n	DDR_CTL_[k] (n=0~15) (k=124+n×2)	ポート 1 レンジ[n]エンドアドレス設定レジスタ
4000 D26Ch +8h × n	DDR_CTL_[k] (n=0~15) (k=155+n×2)	ポート 2 レンジ[n]スタートアドレス設定レジスタ
4000 D270h +8h × n	DDR_CTL_[k] (n=0~15) (k=156+n×2)	ポート 2 レンジ[n]エンドアドレス設定レジスタ
4000 D2ECh +8h × n	DDR_CTL_[k] (n=0~15) (k=187+n×2)	ポート 3 レンジ[n]スタートアドレス設定レジスタ
4000 D2F0h +8h × n	DDR_CTL_[k] (n=0~14) (k=188+n×2)	ポート 3 レンジ[n]エンドアドレス設定レジスタ
4000 D368h	DDR_CTL_218	ポート 3 レンジ 15 エンドアドレス設定レジスタ
4000 D36Ch +8h × n	DDR_CTL_[k] (n=0~15) (k=219+n×2)	ポート 0 レンジ[n]プロテクト設定レジスタ 1
4000 D370h +8h × n	DDR_CTL_[k] (n=0~14) (k=220+n×2)	ポート 0 レンジ[n]プロテクト設定レジスタ 2
4000 D3E8h	DDR_CTL_250	ポート 0 レンジ 15 プロテクト設定レジスタ 2
4000 D3ECh +8h × n	DDR_CTL_[k] (n=0~15) (k=251+n×2)	ポート 1 レンジ[n]プロテクト設定レジスタ 1
4000 D3F0h +8h × n	DDR_CTL_[k] (n=0~14) (k=252+n×2)	ポート 1 レンジ[n]プロテクト設定レジスタ 2
4000 D468h	DDR_CTL_282	ポート 1 レンジ 15 プロテクト設定レジスタ 2
4000 D46Ch +8h × n	DDR_CTL_[k] (n=0~15) (k=283+n×2)	ポート 2 レンジ[n]プロテクト設定レジスタ 1
4000 D470h +8h × n	DDR_CTL_[k] (n=0~14) (k=284+n×2)	ポート 2 レンジ[n]プロテクト設定レジスタ 2
4000 D4E8h	DDR_CTL_314	ポート 2 レンジ 15 プロテクト設定レジスタ 2
4000 D4ECh +8h × n	DDR_CTL_[k] (n=0~15) (k=315+n×2)	ポート 3 レンジ[n]プロテクト設定レジスタ 1
4000 D4F0h +8h × n	DDR_CTL_[k] (n=0~14) (k=316+n×2)	ポート 3 レンジ[n]プロテクト設定レジスタ 2
4000 D568h	DDR_CTL_346	ポート 3 レンジ 15 プロテクト設定レジスタ 2
4000 D56Ch	DDR_CTL_347	DDR コントローラステータス/制御 347 レジスタ
4000 D570h	DDR_CTL_348	DDR コントローラステータス/制御 348 レジスタ
4000 D574h	DDR_CTL_349	DDR コントローラステータス/制御 349 レジスタ
4000 D578h	DDR_CTL_350	DDR コントローラステータス/制御 350 レジスタ
4000 D57Ch	DDR_CTL_351	DDR コントローラステータス/制御 351 レジスタ
4000 D580h	DDR_CTL_352	DDR コントローラステータス/制御 352 レジスタ
4000 D584h	DDR_CTL_353	DDR コントローラステータス/制御 353 レジスタ

表 6.1 DDR コントローラのレジスタマップ (4/4)

アドレス	レジスタ表記	レジスタ名
4000 D588h	DDR_CTL_354	DDR コントローラステータス/制御 354 レジスタ
4000 D58Ch	DDR_CTL_355	DDR コントローラステータス/制御 355 レジスタ
4000 D590h	DDR_CTL_356	DDR コントローラステータス/制御 356 レジスタ
4000 D594h	DDR_CTL_357	DDR コントローラステータス/制御 357 レジスタ
4000 D598h	DDR_CTL_358	DDR コントローラステータス/制御 358 レジスタ
4000 D59Ch	DDR_CTL_359	DDR コントローラステータス/制御 359 レジスタ
4000 D5A0h	DDR_CTL_360	DDR コントローラステータス/制御 360 レジスタ
4000 D5A4h	DDR_CTL_361	DDR コントローラステータス/制御 361 レジスタ
4000 D5A8h	DDR_CTL_362	DDR コントローラステータス/制御 362 レジスタ
4000 D5ACh	DDR_CTL_363	DDR コントローラステータス/制御 363 レジスタ
4000 D5B0h	DDR_CTL_364	DDR コントローラステータス/制御 364 レジスタ
4000 D5B4h	DDR_CTL_365	DDR コントローラステータス/制御 365 レジスタ
4000 D5B8h	DDR_CTL_366	DDR コントローラステータス/制御 366 レジスタ
4000 D5BCh	DDR_CTL_367	DDR コントローラステータス/制御 367 レジスタ
4000 D5C0h	DDR_CTL_368	DDR コントローラステータス/制御 368 レジスタ
4000 D5C4h	DDR_CTL_369	DDR コントローラステータス/制御 369 レジスタ
4000 D5C8h	DDR_CTL_370	DDR コントローラステータス/制御 370 レジスタ
4000 D5CCh	DDR_CTL_371	DDR コントローラステータス/制御 371 レジスタ
4000 D5D0h	DDR_CTL_372	DDR コントローラステータス/制御 372 レジスタ
4000 D5D4h	DDR_CTL_373	DDR コントローラステータス/制御 373 レジスタ
4000 D5D8h	DDR_CTL_374	DDR コントローラステータス/制御 374 レジスタ

6.3.2 DDR PHY

表 6.2 DDR PHY のレジスタマップ

アドレス	レジスタ表記	レジスタ名
4000 E000h	FUNCCTRL	機能制御レジスタ
4000 E004h	DLLCTRL	MDLL 制御レジスタ
4000 E008h	ZQCALCTRL	ZQ キャリブレーション制御レジスタ
4000 E00Ch	ZQODTCTRL	ZQODT 制御レジスタ
4000 E010h	RDCTRL	リード制御レジスタ
4000 E014h	RDTMG	リードタイミング制御レジスタ
4000 E018h	FIFOINIT	FIFO 初期化レジスタ
4000 E01Ch	OUTCTRL	出力制御レジスタ
4000 E040h	WLCTRL1	ライトレベリング制御レジスタ 1
4000 E0E8h	DQCALOFS1	DQS オフセット設定レジスタ

6.4 レジスタの説明

6.4.1 DDR コントローラレジスタの説明

6.4.1.1 DDR_CTL_00 — DDR コントローラステータス／制御 00 レジスタ

アドレス 4000 D000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	VERSION															
リセット後の値	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DRAM_CLASS				—	—	—	—	—	—	—	START
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.3 DDR_CTL_00 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	VERSION	コントローラのバージョン番号を表示します。	R
b15～b12	予約ビット	使用不可	R
b11～b8	DRAM_CLASS	コントローラの動作モードを指定します。 3'b0100=DDR2 3'b0110=DDR3 それ以外は予約	R/W
b7～b1	予約ビット	使用不可	R
b0	START	コントローラのコマンド処理を開始します。1 にセットすると開始します。	R/W

6.4.1.2 DDR_CTL_01 — DDR コントローラステータス／制御 01 レジスタ

アドレス 4000 D004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	READ_DATA_FIFO_DEPTH								—	—	—	—	—	—	MAX_CS_REG	
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MAX_COL_REG				—	—	—	MAX_ROW_REG				
リセット後の値	0	0	0	0	1	0	1	1	0	0	0	1	0	0	0	0

表 6.4 DDR_CTL_01 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	READ_DATA_FIFO_DEPTH	コントローラの読み出しデータキューの深さを表示します。	R
b23～b18	予約ビット	使用不可	R
b17、b16	MAX_CS_REG	利用可能な最大チップセレクト数を表示します。	R
b15～b12	予約ビット	使用不可	R
b11～b8	MAX_COL_REG	DRAM のカラムアドレスの最大幅を表示します。	R
b7～b5	予約ビット	使用不可	R
b4～b0	MAX_ROW_REG	メモリアドレスバスの最大幅を表示します。	R

6.4.1.3 DDR_CTL_02 — DDR コントローラステータス／制御 02 レジスタ

アドレス 4000 D008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ASYNC_CDC_STAGES								WRITE_DATA_FIFO_PTR_WIDTH							
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WRITE_DATA_FIFO_DEPTH								READ_DATA_FIFO_PTR_WIDTH							
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0

表 6.5 DDR_CTL_02 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	ASYNC_CDC_STAGES	シンクロナイザの段数を表示します。	R
b23～b16	WRITE_DATA_FIFO_PTR_WIDTH	コントローラの書き込みデータレイテンシキューポイントの幅を表示します。	R
b15～b8	WRITE_DATA_FIFO_DEPTH	コントローラの書き込みデータレイテンシキューの幅を表示します。	R
b7～b0	READ_DATA_FIFO_PTR_WIDTH	コントローラの読み出しデータキューポイントの幅を表示します。	R

6.4.1.4 DDR_CTL_03 — DDR コントローラステータス／制御 03 レジスタ

アドレス 4000 D00Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AXI0_WRCMD_PROC_FIFO_LOG2_DEPTH								AXI0_WRFIFO_LOG2_DEPTH							
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI0_RDFIFO_LOG2_DEPTH								AXI0_CMDFIFO_LOG2_DEPTH							
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

表 6.6 DDR_CTL_03 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	AXI0_WRCMD_PRO C_FIFO_LOG2_DEP TH	AXI ポート 0 の書き込みコマンド処理 FIFO の深さを表示します。深さの log2 値です。	R
b23～b16	AXI0_WRFIFO_LOG 2_DEPTH	AXI ポート 0 の書き込みデータ FIFO の深さを表示します。深さの log2 値です。	R
b15～b8	AXI0_RDFIFO_LOG2 _DEPTH	AXI ポート 0 の読み出しデータ FIFO の深さを表示します。深さの log2 値です。	R
b7～b0	AXI0_CMDFIFO_LO G2_DEPTH	AXI ポート 0 のコマンド FIFO の深さを表示します。深さの log2 値です。	R

6.4.1.5 DDR_CTL_04 — DDR コントローラステータス／制御 04 レジスタ

アドレス 4000 D010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AXI1_WRCMD_PROC_FIFO_LOG2_DEPTH								AXI1_WRFIFO_LOG2_DEPTH							
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI1_RDFIFO_LOG2_DEPTH								AXI1_CMDFIFO_LOG2_DEPTH							
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

表 6.7 DDR_CTL_04 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	AXI1_WRCMD_PRO C_FIFO_LOG2_DEP TH	AXI ポート 1 の書き込みコマンド処理 FIFO の深さを表示します。深さの log2 値です。	R
b23～b16	AXI1_WRFIFO_LOG 2_DEPTH	AXI ポート 1 の書き込みデータ FIFO の深さを表示します。深さの log2 値です。	R
b15～b8	AXI1_RDFIFO_LOG2 _DEPTH	AXI ポート 1 の読み出しデータ FIFO の深さを表示します。深さの log2 値です。	R
b7～b0	AXI1_CMDFIFO_LO G2_DEPTH	AXI ポート 1 のコマンド FIFO の深さを表示します。深さの log2 値です。	R

6.4.1.6 DDR_CTL_05 — DDR コントローラステータス／制御 05 レジスタ

アドレス		4000 D014h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
AXI2_WRCMD_PROC_FIFO_LOG2_DEPTH								AXI2_WRFIFO_LOG2_DEPTH									
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
AXI2_RDFIFO_LOG2_DEPTH								AXI2_CMDFIFO_LOG2_DEPTH									
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	

表 6.8 DDR_CTL_05 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	AXI2_WRCMD_PRO C_FIFO_LOG2_DEP TH	AXI ポート 2 の書き込みコマンド処理 FIFO の深さを表示します。深さの log2 値で す。	R
b23～b16	AXI2_WRFIFO_LOG 2_DEPTH	AXI ポート 2 の書き込みデータ FIFO の深さを表示します。深さの log2 値です。	R
b15～b8	AXI2_RDFIFO_LOG2 _DEPTH	AXI ポート 2 の読み出しデータ FIFO の深さを表示します。深さの log2 値です。	R
b7～b0	AXI2_CMDFIFO_LO G2_DEPTH	AXI ポート 2 のコマンド FIFO の深さを表示します。深さの log2 値です。	R

6.4.1.7 DDR_CTL_06 — DDR コントローラステータス／制御 06 レジスタ

アドレス		4000 D018h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
AXI3_WRCMD_PROC_FIFO_LOG2_DEPTH								AXI3_WRFIFO_LOG2_DEPTH									
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
AXI3_RDFIFO_LOG2_DEPTH								AXI3_CMDFIFO_LOG2_DEPTH									
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	

表 6.9 DDR_CTL_06 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	AXI3_WRCMD_PRO C_FIFO_LOG2_DEP TH	AXI ポート 3 の書き込みコマンド処理 FIFO の深さを表示します。深さの log2 値で す。	R
b23～b16	AXI3_WRFIFO_LOG 2_DEPTH	AXI ポート 3 の書き込みデータ FIFO の深さを表示します。深さの log2 値です。	R
b15～b8	AXI3_RDFIFO_LOG2 _DEPTH	AXI ポート 3 の読み出しデータ FIFO の深さを表示します。深さの log2 値です。	R
b7～b0	AXI3_CMDFIFO_LO G2_DEPTH	AXI ポート 3 のコマンド FIFO の深さを表示します。深さの log2 値です。	R

6.4.1.8 DDR_CTL_07 — DDR コントローラステータス／制御 07 レジスタ

アドレス 4000 D01Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—		TINIT							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TINIT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.10 DDR_CTL_07 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b0	TINIT	DRAM TINIT 値（メモリクロック単位）	R/W

6.4.1.9 DDR_CTL_08 — DDR コントローラステータス／制御 08 レジスタ

アドレス 4000 D020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TRST_PWRON															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRST_PWRON															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.11 DDR_CTL_08 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TRST_PWRON	電源投入初期化時のメモリリセット期間（メモリクロック単位）	R/W

6.4.1.10 DDR_CTL_09 — DDR コントローラステータス／制御 09 レジスタ

アドレス 4000 D024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CKE_INACTIVE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKE_INACTIVE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.12 DDR_CTL_09 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	CKE_INACTIVE	リセット後に CKE がアクティブになるまでのサイクル数（メモリクロック単位）	R/W

6.4.1.11 DDR_CTL_10 — DDR コントローラステータス／制御 10 レジスタ

アドレス 4000 D028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	TCPD							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TCPD								—	—	—	—	INITAREF			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.13 DDR_CTL_10 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b8	TCPD	DDR2-DRAM TCPD 値（メモリクロック単位）	R/W
b7～b4	予約ビット	使用不可	R
b3～b0	INITAREF	DRAM 初期化時に実行される自動リフレッシュコマンド数。	R/W

6.4.1.12 DDR_CTL_11 — DDR コントローラステータス／制御 11 レジスタ

アドレス 4000 D02Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CASLAT_LIN						—	—	—	—	—	—	—	NO_CM D_INIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.14 DDR_CTL_11 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b30	予約ビット	使用不可	R
b29~b24	CASLAT_LIN	コントローラに対しての読み出しコマンド送信からデータ受信までのレイテンシを設定します。上位ビット[5:1]はコントローラのメモリ CAS レイテンシを指定します。ビット[0]は初期値のままにしてください。	R/W
b23~b17	予約ビット	使用不可	R
b16	NO_CMD_INIT	初期化時に、TDLL 設定値の期間が経過するまで DRAM コマンドを無効にします。無効にするには 1 をセットしてください。	R/W
b15~b0	TDLL	DRAM TDLL 値（メモリクロック単位）	R/W

6.4.1.13 DDR_CTL_12 — DDR コントローラステータス／制御 12 レジスタ

アドレス 4000 D030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	TCCD						—	—	—	—	—	TBST_INT_INTERVAL	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADDITIVE_LAT						—	—	—	WRLAT			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.15 DDR_CTL_12 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット	使用不可	R
b28~b24	TCCD	DRAM の CAS-to-CAS 値（メモリクロック単位）	R/W
b23~b19	予約ビット	使用不可	R
b18~b16	TBST_INT_INTERVAL	DRAM のバースト割り込みインターバル値（メモリクロック単位） RZ/N1 では使用しません。	R/W
b15~b13	予約ビット	使用不可	R
b12~b8	ADDITIVE_LAT	DRAM の付加レイテンシ値（メモリクロック単位）	R/W
b7~b5	予約ビット	使用不可	R
b4~b0	WRLAT	DRAM WRLAT 値（メモリクロック単位）	R/W

6.4.1.14 DDR_CTL_13 — DDR コントローラステータス／制御 13 レジスタ

アドレス 4000 D034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TWTR						TRAS_MIN							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRC								TRRD							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.16 DDR_CTL_13 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b30	予約ビット	使用不可	R
b29~b24	TWTR	DRAM TWTR 値（メモリクロック単位）	R/W
b23~b16	TRAS_MIN	DRAM の TRAS_MIN 値（メモリクロック単位）	R/W
b15~b8	TRC	DRAM TRC 値（メモリクロック単位）	R/W
b7~b0	TRRD	DRAM TRRD 値（メモリクロック単位）	R/W

6.4.1.15 DDR_CTL_14 — DDR コントローラステータス／制御 14 レジスタ

アドレス 4000 D038h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	TMRD					—	—	—	—	TRTP			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TFAW						—	—	—	TRP				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.17 DDR_CTL_14 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット	使用不可	R
b28~b24	TMRD	DRAM TMRD 値（メモリクロック単位）	R/W
b23~b20	予約ビット	使用不可	R
b19~b16	TRTP	DRAM TRTP 値（メモリクロック単位）	R/W
b15、b14	予約ビット	使用不可	R
b13~b8	TFAW	DRAM TFAW 値（メモリクロック単位）	R/W
b7~b5	予約ビット	使用不可	R
b4~b0	TRP	DRAM TRP 値（メモリクロック単位）	R/W

6.4.1.16 DDR_CTL_15 — DDR コントローラステータス／制御 15 レジスタ

アドレス 4000 D03Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	TRAS_MAX								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRAS_MAX								TMOD							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.18 DDR_CTL_15 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b25	予約ビット	使用不可	R
b24~b8	TRAS_MAX	DRAM の TRAS_MAX 値（メモリクロック単位）	R/W
b7~b0	TMOD	MRS コマンドから次のコマンドまでのサイクル数（メモリクロック単位）	R/W

6.4.1.17 DDR_CTL_16 — DDR コントローラステータス／制御 16 レジスタ

アドレス 4000 D040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TRCD								—	—	—	—	—	—	—	WRITEINTERP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TCKESR								—	—	—	—	—	TCKE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.19 DDR_CTL_16 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	TRCD	DRAM TRCD 値（メモリクロック単位）	R/W
b23~b17	予約ビット	使用不可	R
b16	WRITEINTERP	コントローラに対して、読み出しコマンドによる DRAM への書き込みバーストの中断を許可します。1 にセットすると中断が可能です。	R/W
b15~b8	TCKESR	セルフリフレッシュ時の最小の CKE Low パルス幅（メモリクロック単位）	R/W
b7~b3	予約ビット	使用不可	R
b2~b0	TCKE	最小の CKE パルス幅（メモリクロック単位）	R/W

6.4.1.18 DDR_CTL_17 — DDR コントローラステータス／制御 17 レジスタ

アドレス 4000 D044h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	TRAS_LOCKOUT	—	—	—	—	—	—	—	CONCURRENT AP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AP	—	—	TWR					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.20 DDR_CTL_17 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	TRAS_LOCKOUT	コントローラに対して、TRAS_MIN 設定値の期間が経過する前に、自動プリチャージコマンドの実行を許可します。有効にするには 1 をセットしてください。	R/W
b23～b17	予約ビット	使用不可	R
b16	CONCURRENTAP	コントローラに対して、あるバンクが自動プリチャージモードであるときに、他のバンクへのコマンド発行を許可します。有効にするには 1 をセットしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	AP	コントローラの自動プリチャージモードを有効にします。有効にするには 1 をセットしてください。	R/W
b7、b6	予約ビット	使用不可	R
b5～b0	TWR	DRAM TWR 値（メモリクロック単位）	R/W

6.4.1.19 DDR_CTL_18 — DDR コントローラステータス／制御 18 レジスタ

アドレス 4000 D048h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	REG_DIMM_ENAB LE	—	—	—	TRP_AB				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	BSTLEN		—	—	TDAL						
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

表 6.21 DDR_CTL_18 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	REG_DIMM_ENAB LE	コントローラのレジスタード DIMM 処理を有効にします。有効にするには 1 をセッ トしてください。	R/W
b23～b21	予約ビット	使用不可	R
b20～b16	TRP_AB	全バンクの DRAM tRP 値（メモリクロック単位）	R/W
b15～b11	予約ビット	使用不可	R
b10～b8	BSTLEN	初期化時に DRAM に送出されるエンコードされたバースト長。1 に設定すると BL2、2 に設定すると BL4、3 に設定すると BL8 です。	R/W
b7、b6	予約ビット	使用不可	R
b5～b0	TDAL	DRAM TDAL 値（メモリクロック単位）	R/W

6.4.1.20 DDR_CTL_19 — DDR コントローラステータス／制御 19 レジスタ

アドレス 4000 D04Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	TREF_ENABLE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AREFRESH	—	—	—	—	—	—	ADDRESS_MIRRORING	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.22 DDR_CTL_19 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	TREF_ENABLE	DRAM に対して、TREF 設定値で指定されるインターバルで自動リフレッシュコマンドを発行します。有効にするには 1 をセットしてください。	R/W
b23～b17	予約ビット	使用不可	R
b16	予約ビット	機能拡張用に予約済みです。初期値のままにしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	AREFRESH	現在のバースト境界の最後で自動リフレッシュを起動します。1 にセットすると起動します。	W
b7～b2	予約ビット	使用不可	R
b1、b0	ADDRESS_MIRRORING	アドレスミラーリングをサポートするチップセレクトを指定します。ビット[0]は cs0、ビット[1]は cs1 に対応します。有効にするには各ビットに 1 をセットしてください。	R/W

6.4.1.21 DDR_CTL_20 — DDR コントローラステータス／制御 20 レジスタ

アドレス 4000 D050h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TREF													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRFC									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.23 DDR_CTL_20 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b30	予約ビット	使用不可	R
b29～b16	TREF	DRAM TREF 値（メモリクロック単位）	R/W
b15～b10	予約ビット	使用不可	R
b9～b0	TRFC	DRAM TRFC 値（メモリクロック単位）	R/W

6.4.1.22 DDR_CTL_21 — DDR コントローラステータス／制御 21 レジスタ

アドレス 4000 D054h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TREF_INTERVAL													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.24 DDR_CTL_21 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット	使用不可	R
b15、b14	予約ビット	使用不可	R
b13～b0	TREF_INTERVAL	異なるチップセレクトに対するリフレッシュ間のサイクル数を指定します。（メモリクロック単位）	R/W

6.4.1.23 DDR_CTL_22 — DDR コントローラステータス／制御 22 レジスタ

アドレス 4000 D058h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TXPDLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TPDEX															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.25 DDR_CTL_22 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	TXPDLL	DRAM TXPDLL 値（メモリクロック単位）	R/W
b15～b0	TPDEX	DRAM TPDEX 値（メモリクロック単位）	R/W

6.4.1.24 DDR_CTL_23 — DDR コントローラステータス／制御 23 レジスタ

アドレス 4000 D05Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TXARDS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXARD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.26 DDR_CTL_23 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	TXARDS	DRAM TXARDS 値（メモリクロック単位）	R/W
b15～b0	TXARD	DRAM TXARD 値（メモリクロック単位）	R/W

6.4.1.25 DDR_CTL_24 — DDR コントローラステータス／制御 24 レジスタ

アドレス 4000 D060h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TXSNR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXSR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.27 DDR_CTL_24 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	TXSNR	DRAM TXSNR 値（メモリクロック単位）	R/W
b15～b0	TXSR	DRAM TXSR 値（メモリクロック単位）	R/W

6.4.1.26 DDR_CTL_25 — DDR コントローラステータス／制御 25 レジスタ

アドレス 4000 D064h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	CKE_DELAY			—	—	—	—	—	—	—	ENABLE_QUICK_SREFRESH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SREFRESH_EXIT_NO_REFRESH	—	—	—	—	—	—	—	PWRUP_SREFRESH_EXIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.28 DDR_CTL_25 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b27	予約ビット	使用不可	R
b26～b24	CKE_DELAY	ステータス通知で CKE を遅延させる追加サイクル数（DFICLK クロック単位）	R/W
b23～b17	予約ビット	使用不可	R
b16	ENABLE_QUICK_SREFRESH	メモリ初期化の中断によるにセルフリフレッシュモードへの移行を許可します。1 にセットすると中断が可能です。	R/W
b15～b9	予約ビット	使用不可	R
b8	SREFRESH_EXIT_NO_REFRESH	セルフリフレッシュ終了にともなう自動リフレッシュ要求を無効にします。無効にするには 1 をセットしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	PWRUP_SREFRESH_EXIT	パワーアップ時に全メモリの初期化ではなくセルフリフレッシュを実行します。有効にするには 1 をセットしてください。	R/W

6.4.1.27 DDR_CTL_26 — DDR コントローラステータス／制御 26 レジスタ

アドレス 4000 D068h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LP_CMD								CKSRX							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKSRE								—	—	—	—	—	—	LOWPOWER_REFRESH_ENABLE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.29 DDR_CTL_26 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	LP_CMD	ソフトウェアプログラマブルインタフェースで要求する低消費電力コマンドを指定します。このコマンドが完了すると、INT_STATUS フィールドの低消費電力コマンド完了割り込み（ビット[9]）がセットされます。割り込みがセットされる前に本フィールドを変更しても無効です。ビットは以下のように定義されます。 ビット[7]=ロック 1'b0=処理なし 1'b1=コマンドのロック ビット[6]=コントローラクロックゲーティング 1'b0=処理なし 1'b1=コントローラクロックのゲーティング ビット[5]=メモリクロックゲーティング 1'b0=処理なし 1'b1=メモリクロックのゲーティング ビット[4:2]=低消費電力状態 3'b000=アクティブパワーダウン 3'b001=プリチャージパワーダウン 3'b010=セルフリフレッシュ 上記以外は予約ビット ビット[1]=移行コマンド 1'b0=処理なし 1'b1=指定された状態に移行 ビット[0]=終了コマンド 1'b0=処理なし 1'b1=低消費電力モードの終了	W
b23～b16	CKSRX	セルフリフレッシュ終了時のクロック安定化遅延（メモリクロック単位）	R/W
b15～b8	CKSRE	セルフリフレッシュ移行時のクロックホールド遅延（メモリクロック単位）	R/W
b7～b2	予約ビット	使用不可	R
b1、b0	LOWPOWER_REFRESH_ENABLE	使用不可。初期値のままにしてください。	R/W

6.4.1.28 DDR_CTL_27 — DDR コントローラステータス／制御 27 レジスタ

アドレス 4000 D06Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	LP_AUTO_EXIT_EN	—	—	—	—	—	—	—	LP_AUTO_ENTRY_EN		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LP_ARB_STATE	—	—									
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

表 6.30 DDR_CTL_27 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b27	予約ビット	使用不可	R
b26～b24	LP_AUTO_EXIT_EN	コマンドキューに読み出しましたは書き込みコマンドを入力したときの各低消費電力状態の自動終了を有効にします。ビット[0]はパワーダウン、ビット[1]はセルフリフレッシュ、ビット[2]はメモリおよびコントローラのクロックゲーティングありのセルフリフレッシュに対応します。有効にするには各ビットに 1 をセットしてください。	R/W
b23～b19	予約ビット	使用不可	R
b18～b16	LP_AUTO_ENTRY_EN	対応するアイドルタイムがタイムアウトしたときに、各低消費電力状態への自動移行を有効にします。ビット[0]はパワーダウン、ビット[1]はセルフリフレッシュ、およびビット[2]はメモリおよびコントローラのクロックゲーティングありのセルフリフレッシュに対応します。有効にするには各ビットに 1 をセットしてください。	R/W
b15～b12	予約ビット	使用不可	R
b11～b8	LP_ARB_STATE	アービタの状態を表示します。ビット[2:0]は、低消費電力制御モジュールを制御するインタフェースを表示します。ビット[3]は、ソフトウェアプログラマブルインタフェースがアービタをアクティブにロックすることを表示します。ビット[2:0]の値が 0 ならモジュールはアイドル状態、1 ならソフトウェアプログラマブルインタフェースによる制御、3 なら自動インタフェースによる制御、4 ならチップセレクトインタフェース毎のダイナミックパワー制御による制御、5 ならコントローラによる制御を表します。	R
b7、b6	予約ビット	使用不可	R
b5～b0	LP_STATE	DRAM メモリの状態を表示します。 ビット[5]=有効状態。本ビットは、ソフトウェアプログラマブルインタフェースによりコマンドが受け付けられると 1'b0 にクリアされ、コマンドが完了するまで 1'b0 のままです。 1'b0=無効、低消費電力状態に遷移中 1'b1=有効、安定した低消費電力状態 ビット[4:0]=低消費電力状態 5'b00000=アイドル 5'b00001=アクティブパワーダウン 5'b00011=プリチャージパワーダウン 5'b00101=セルフリフレッシュ 5'b00110=メモリクロックゲーティングありのセルフリフレッシュ 5'b00111=メモリおよびコントローラのクロックゲーティングありのセルフリフレッシュ 上記以外の設定は予約済みで、設定することはできません。 備考) 本フィールドは、アクティブパワーダウンが要求されると、プリチャージパワーダウンが使用されている場合でも、要求されるアクティブなパワーダウン状態を表します。	R

6.4.1.29 DDR_CTL_28 — DDR コントローラステータス／制御 28 レジスタ

アドレス 4000 D070h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LP_AUTO_SR_IDLE								—	—	—	—	LP_AUTO_PD_IDLE			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LP_AUTO_PD_IDLE								—	—	—	—	—	—	LP_AUTO_MEM_GATE_EN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.31 DDR_CTL_28 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	LP_AUTO_SR_IDLE	コントローラがメモリをセルフリフレッシュ状態に設定するまでのロングカウントシーケンス数。	R/W
b23～b20	予約ビット	使用不可	R
b19～b8	LP_AUTO_PD_IDLE	コントローラがメモリをアクティブパワーダウンに設定するまでのアイドルタイムを指定します。（DFICLK クロック単位）	R/W
b7～b2	予約ビット	使用不可	R
b1、b0	LP_AUTO_MEM_GATE_EN	自動低消費電力カウンタにより低消費電力状態に移行する際にメモリクロックゲーティングを有効にします。ビット[0]はパワーダウン、ビット[1]はセルフリフレッシュに対応します。有効にするには各ビットを 1 にセットしてください。	R/W

6.4.1.30 DDR_CTL_29 — DDR コントローラステータス／制御 29 レジスタ

アドレス 4000 D074h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	LP_AUTO_SR_MC_GATE_IDLE							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.32 DDR_CTL_29 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b15	予約ビット	使用不可	R
b14～b8	予約ビット	機能拡張用に予約済みです。初期値のままにしてください。	R/W
b7～b0	LP_AUTO_SR_MC_GATE_IDLE	コントローラが、コントローラおよびメモリのクロックゲーティングありのセルフリフレッシュに設定するまでのロングカウントシーケンス数。	R/W

6.4.1.31 DDR_CTL_30 — DDR コントローラステータス／制御 30 レジスタ

アドレス 4000 D078h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	WRITE_MODEREG									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WRITE_MODEREG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.33 DDR_CTL_30 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25～b0	WRITE_MODEREG	DRAM へのメモリモードレジスタデータの書き込み。 ビット[7:0]は、ビット[23]がセットされている場合のメモリモードレジスタ番号を指定します。 ビット[15:8]は、ビット[24]がクリアされている場合のチップセレクトを指定します。 ビット[23:16]は、書き込み先のメモリモードレジスタを指定します。 ビット[24]は、全チップセレクトに書き込むかどうかを指定します。 ビット[25]は書き込みをトリガします。 書き込み可能ですが、内部ロジックにより変更されることがあります。	R/W

6.4.1.32 DDR_CTL_31 — DDR コントローラステータス／制御 31 レジスタ

アドレス 4000 D07Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	MR0_DATA_0							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MR0_DATA_0								MRW_STATUS							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.34 DDR_CTL_31 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b8	MR0_DATA_0	チップセレクト 0 でメモリモードレジスタ 0 にプログラムするデータ。	R/W
b7～b0	MRW_STATUS	メモリモードレジスタ書き込みのステータス。ビット[0]がセットされていれば、WRITE_MODEREG 設定値のプログラミングエラーを示します。	R

6.4.1.33 DDR_CTL_32 — DDR コントローラステータス／制御 32 レジスタ

アドレス 4000 D080h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MR2_DATA_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MR1_DATA_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.35 DDR_CTL_32 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	MR2_DATA_0	チップセレクト 0 でメモリモードレジスタ 2 にプログラムするデータ。	R/W
b15～b0	MR1_DATA_0	チップセレクト 0 でメモリモードレジスタ 1 にプログラムするデータ。	R/W

6.4.1.34 DDR_CTL_33 — DDR コントローラステータス／制御 33 レジスタ

アドレス 4000 D084h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MR3_DATA_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MRSINGLE_DATA_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.36 DDR_CTL_33 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	MR3_DATA_0	チップセレクト 0 でメモリモードレジスタ 3 にプログラムするデータ。	R/W
b15～b0	MRSINGLE_DATA_0	チップセレクト 0 でメモリモードレジスタの 1 回書き込みをプログラムするデータ。	R/W

6.4.1.35 DDR_CTL_34 — DDR コントローラステータス／制御 34 レジスタ

アドレス 4000 D088h

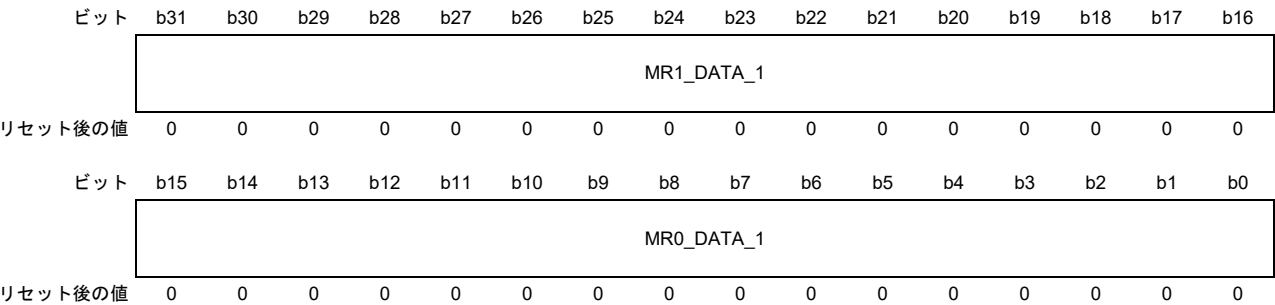


表 6.37 DDR_CTL_34 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	MR1_DATA_1	チップセレクト 1 でメモリモードレジスタ 1 にプログラムするデータ。	R/W
b15～b0	MR0_DATA_1	チップセレクト 1 でメモリモードレジスタ 0 にプログラムするデータ。	R/W

6.4.1.36 DDR_CTL_35 — DDR コントローラステータス／制御 35 レジスタ

アドレス 4000 D08Ch

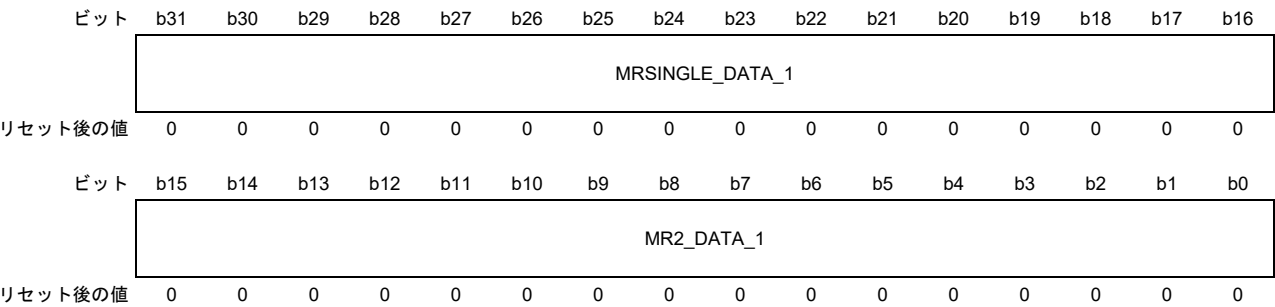


表 6.38 DDR_CTL_35 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	MRSINGLE_DATA_1	チップセレクト 1 でメモリモードレジスタの 1 回書き込みをプログラムするデータ。	R/W
b15～b0	MR2_DATA_1	チップセレクト 1 でメモリモードレジスタ 2 にプログラムするデータ。	R/W

6.4.1.37 DDR_CTL_36 — DDR コントローラステータス／制御 36 レジスタ

アドレス 4000 D090h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	FWC	—	—	—	—	—	—	—	ECC_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MR3_DATA_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.39 DDR_CTL_36 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	FWC	書き込みチェックを強制。XOR_CHECK_BITS 設定値と ECC コードを XOR 処理して、メモリに書き込みます。1 にセットすると起動要求します。	W
b23～b17	予約ビット	使用不可	R
b16	ECC_EN	ECC エラーのチェックおよび訂正の制御。0 にクリアすると ECC は無効で、1 にセットすると ECC は通知および訂正を行います。ECC 機能を有効にする場合は、“REDUC” 設定を 1 にセットしてハーフデータバス機能を有効にしてください。	R/W
b15～b0	MR3_DATA_1	チップセレクト 1 でメモリモードレジスタ 3 にプログラムするデータ。	R/W

6.4.1.38 DDR_CTL_37 — DDR コントローラステータス／制御 37 レジスタ

アドレス 4000 D094h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_DISABLE_W_UC_ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	XOR_CHECK_BITS													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.40 DDR_CTL_37 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b17	予約ビット	使用不可	R
b16	ECC_DISABLE_W_UC_ERR	リードモディファイライト操作で訂正不可エラーが発生した場合に、ECC の自動破棄を制御します。1 にセットすると破棄は無効です。	R/W
b15～b14	予約ビット	使用不可	R
b13～b0	XOR_CHECK_BITS	強制された書き込みチェックで生成された ECC コードと XOR 処理する値。	R/W

6.4.1.39 DDR_CTL_38 — DDR コントローラステータス／制御 38 レジスタ

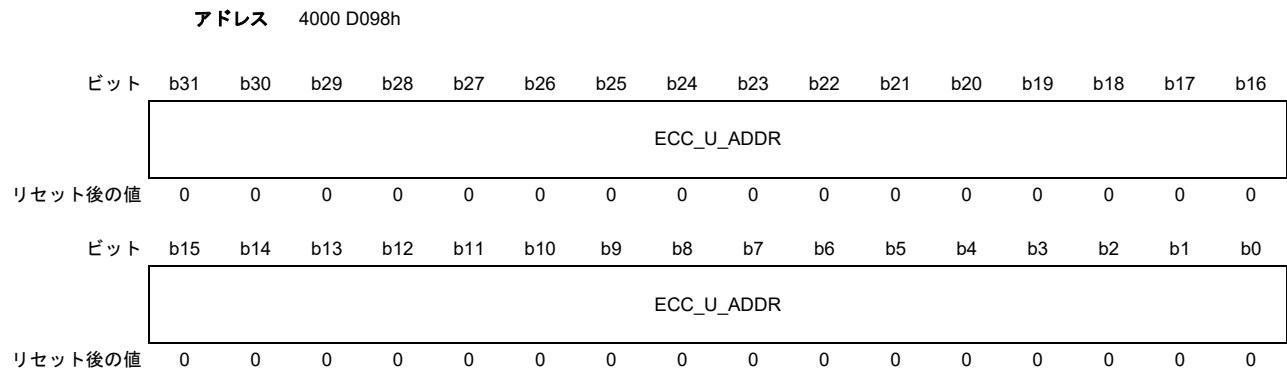


表 6.41 DDR_CTL_38 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	ECC_U_ADDR	訂正不可能な ECC イベントのアドレス。	R

6.4.1.40 DDR_CTL_39 — DDR コントローラステータス／制御 39 レジスタ

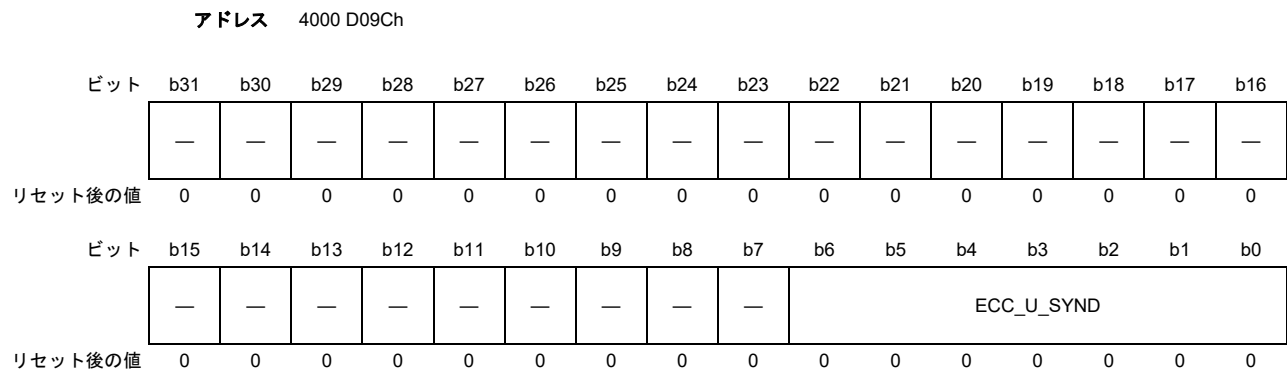


表 6.42 DDR_CTL_39 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット	使用不可	R
b7	予約ビット	使用不可	R
b6～b0	ECC_U_SYND	訂正不可能な ECC イベントのシンドローム。	R

6.4.1.41 DDR_CTL_40 — DDR コントローラステータス／制御 40 レジスタ

アドレス 4000 D0A0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECC_U_DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECC_U_DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.43 DDR_CTL_40 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	ECC_U_DATA	訂正不可能な ECC イベントの関連データ。	R

6.4.1.42 DDR_CTL_41 — DDR コントローラステータス／制御 41 レジスタ

アドレス 4000 D0A4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECC_C_ADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECC_C_ADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.44 DDR_CTL_41 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	ECC_C_ADDR	訂正可能な ECC イベントのアドレス。	R

6.4.1.43 DDR_CTL_42 — DDR コントローラステータス／制御 42 レジスタ

アドレス 4000 D0A8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ECC_C_SYND						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.45 DDR_CTL_42 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット	使用不可	R
b7	予約ビット	使用不可	R
b6～b0	ECC_C_SYND	訂正可能な ECC イベントのシンドローム。	R

6.4.1.44 DDR_CTL_43 — DDR コントローラステータス／制御 43 レジスタ

アドレス 4000 D0ACh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECC_C_DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECC_C_DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.46 DDR_CTL_43 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	ECC_C_DATA	訂正可能な ECC イベントの関連データ。	R

6.4.1.45 DDR_CTL_44 — DDR コントローラステータス／制御 44 レジスタ

アドレス 4000 D0B0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	LONG_COUNT_MASK				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.47 DDR_CTL_44 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b21	予約ビット	使用不可	R
b20～b16	LONG_COUNT_MASK	ロングカウンタ長の短縮設定はサポートされません。0x00 を設定してください。	R/W
b15～b0	予約ビット	使用不可	R

6.4.1.46 DDR_CTL_45 — DDR コントローラステータス／制御 45 レジスタ

アドレス 4000 D0B4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	ZQCL											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ZQINIT											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.48 DDR_CTL_45 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	予約ビット	使用不可	R
b27～b16	ZQCL	ZQCL コマンドの必要サイクル数（メモリクロック単位）	R/W
b15～b12	予約ビット	使用不可	R
b11～b0	ZQINIT	ZQINIT コマンドの必要サイクル数（メモリクロック単位）	R/W

6.4.1.47 DDR_CTL_46 — DDR コントローラステータス／制御 46 レジスタ

アドレス 4000 D0B8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	ZQ_ON_SREF_EXIT	—	—	—	—	—	—	—	ZQ_REQ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ZQCS											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.49 DDR_CTL_46 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25、b24	ZQ_ON_SREF_EXIT	セルフリフレッシュ終了時に実行する ZQ キャリブレーションのタイプを指定します。ビット[0]は ZQCS、ビット[1]は ZQCL です。有効にするにはいずれかのビットに 1 をセットしてください。	R/W
b23～b18	予約ビット	使用不可	R
b17、b16	ZQ_REQ	ZQ キャリブレーション起動のユーザ要求。ビット[0]は ZQCS、ビット[1]は ZQCL です。起動要求するにはいずれかのビットに 1 をセットしてください。	W
b15～b12	予約ビット	使用不可	R
b11～b0	ZQCS	ZQCS コマンドの必要サイクル数（メモリクロック単位）	R/W

6.4.1.48 DDR_CTL_47 — DDR コントローラステータス／制御 47 レジスタ

アドレス 4000 D0BCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ZQ_INTERVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ZQ_INTERVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.50 DDR_CTL_47 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	ZQ_INTERVAL	自動 ZQCS コマンド間で許可されるロングカウントシーケンス数。	R/W

6.4.1.49 DDR_CTL_48 — DDR コントローラステータス／制御 48 レジスタ

アドレス 4000 D0C0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	ROW_DIFF			—	—	—	—	—	—	BANK_DIFF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ZQCS_ROTATE	—	—	—	—	—	—	—	ZQ_IN_PROGRESS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.51 DDR_CTL_48 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b27	予約ビット	使用不可	R
b26～b24	ROW_DIFF	設定可能なアドレス端子数（16）と使用アドレス端子数の差。	R/W
b23～b18	予約ビット	使用不可	R
b17、b16	BANK_DIFF	DRAM のバンク数のエンコード値。 2'b00=8 バンク 2'b01=4 バンク 2'b10=2 バンク 2'b11=予約	R/W
b15～b9	予約ビット	使用不可	R
b8	ZQCS_ROTATE	ZQCS コマンドで 1 つのチップセレクトまたは全チップセレクトのどちらでキャリブレーションするかを選択します。1 にセットすると CS が循環します。	R/W
b7～b1	予約ビット	使用不可	R
b0	ZQ_IN_PROGRESS	ZQ コマンドが実行中かどうかを表示します。値が 1 ならコマンドは実行中です。	R

6.4.1.50 DDR_CTL_49 — DDR コントローラステータス／制御 49 レジスタ

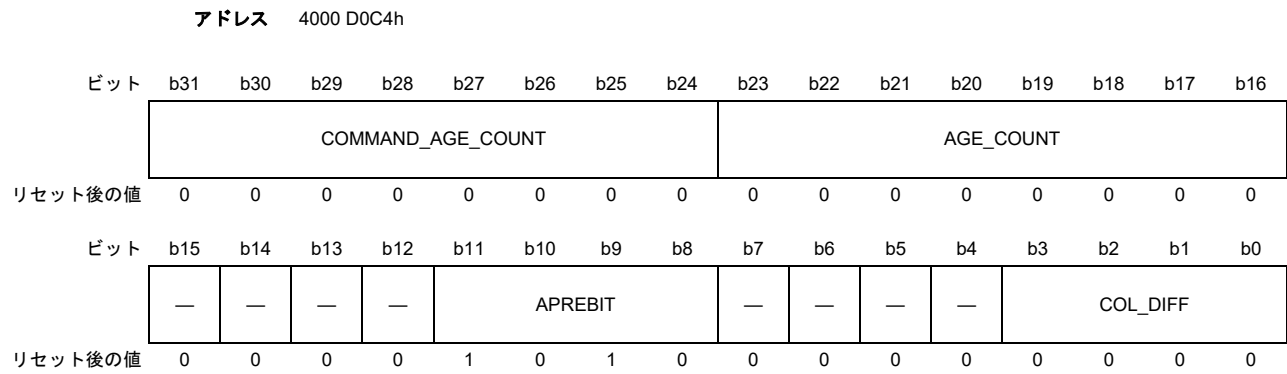


表 6.52 DDR_CTL_49 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	COMMAND_AGE_COUNT	コマンドエージング用の各コマンドエージングカウンタ初期値（DFICLK クロック単位）	R/W
b23～b16	AGE_COUNT	コマンドエージング用のマスタエージングレートカウンタ初期値（DFICLK クロック単位）	R/W
b15～b12	予約ビット	使用不可	R
b11～b8	APREBIT	自動プリチャージビットの DRAM アドレス内の位置。	R/W
b7～b4	予約ビット	使用不可	R
b3～b0	COL_DIFF	設定可能なカラム端子数（11）と使用カラム端子数の差違。	R/W

6.4.1.51 DDR_CTL_50 — DDR コントローラステータス／制御 50 レジスタ

アドレス 4000 D0C8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	PLACE MENT_ EN	—	—	—	—	—	—	—	BANK_ SPLIT_ EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADDR_ CMP_ EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.53 DDR_CTL_50 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	PLACEMENT_EN	コマンドキューの配置を有効にします。有効にするには 1 をセットしてください。	R/W
b23～b17	予約ビット	使用不可	R
b16	BANK_SPLIT_EN	コマンドキュー配置のルールとしてバンク分割を有効にします。有効にするには 1 をセットしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	予約ビット	機能拡張用に予約済みです。常に 1 にセットします。	R/W
b7～b1	予約ビット	使用不可	R
b0	ADDR_CMP_EN	コマンドキュー配置のルールとしてアドレス競合検出を有効にします。有効にするには 1 をセットしてください。	R/W

6.4.1.52 DDR_CTL_51 — DDR コントローラステータス／制御 51 レジスタ

アドレス 4000 D0CCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	CS_SAME_EN	—	—	—	—	—	—	—	RW_SAME_PAGE_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RW_SAME_EN	—	—	—	—	—	—	—	PRIORITY_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.54 DDR_CTL_51 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	CS_SAME_EN	コマンドキュー配置のルールとして、読み出し／書き込みを集約する場合のチップセレクトグループを有効にします。RW_SAME_EN ビットをセットしている場合のみ有効です。有効にするには 1 をセットしてください。	R/W
b23～b17	予約ビット	使用不可	R
b16	RW_SAME_PAGE_EN	コマンドキュー配置のルールとして、読み出し／書き込みを集約する場合のページ集約を有効にします。RW_SAME_EN ビットをセットしている場合のみ有効です。有効にするには 1 をセットしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	RW_SAME_EN	コマンドキュー配置のルールとして、読み出し／書き込みの集約を有効にします。有効にするには 1 をセットしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	PRIORITY_EN	コマンドキュー配置のルールとして、優先度を有効にします。有効にするには 1 をセットしてください。	R/W

6.4.1.53 DDR_CTL_52 — DDR コントローラステータス／制御 52 レジスタ

アドレス 4000 D0D0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	SWAP_EN	—	—	—	—	—	NUM_Q_ENTRIES_ACT_DISABLE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DISABLE_RW_GROUP_W_BNK_CONFLICT		—	—	—	—	—	—	—	W2R_SPLIT_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.55 DDR_CTL_52 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	SWAP_EN	実行ユニットのコマンド交換を有効にします。有効にするには 1 をセットしてください。	R/W
b23～b19	予約ビット	使用不可	R
b18～b16	NUM_Q_ENTRIES_ACT_DISABLE	ACT 要求を無効にするキューエントリ数。X に設定すると、コマンドキューの末尾から X 個のエントリの ACT 要求が無効になります。	R/W
b15～b10	予約ビット	使用不可	R
b9、b8	DISABLE_RW_GROUP_W_BNK_CONFLICT	集約でバンク競合が発生する場合に、読み出し／書き込み集約の配置を無効にします。ビット[0]はバンク競合コマンドの次の配置、ビット[1]はバンク競合コマンドの次の次の配置に対応します。無効にするには各ビットに 1 をセットしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	W2R_SPLIT_EN	コマンドキュー配置のルールとして、同じチップセレクトに対する書き込み後の読み出しのコマンド分割を有効にします。有効にするには 1 をセットしてください。	R/W

6.4.1.54 DDR_CTL_53 — DDR コントローラステータス／制御 53 レジスタ

アドレス 4000 D0D4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	BURST_ON_FLY_BIT				—	—	—	—	—	—	—	CS_MAP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	INHIBIT DRAM _CMD	—	—	—	—	—	—	—	DISABL E_RD_I NTERL EAVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.56 DDR_CTL_53 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	予約ビット	使用不可	R
b27～b24	BURST_ON_FLY_BIT	メモリモードレジスタのバーストオンフライビットを指示します。	R/W
b23～b18	予約ビット	使用不可	R
b17、b16	CS_MAP	アクティブ化するチップセレクトを指定します。	R/W
b15～b9	予約ビット	使用不可	R
b8	INHIBIT_DRAM_CMD	読み出し／書き込みコマンドおよび対応するバンクコマンドを禁止します。1 にセットすると禁止されます。	R/W
b7～b1	予約ビット	使用不可	R
b0	DISABLE_RD_INTERLEAVE	同じポートからのコマンドに対して読み出しデータのインタリーブを無効にします。 0：読み出しデータのインタリーブ有効 1：読み出しデータのインタリーブ無効	R/W

6.4.1.55 DDR_CTL_54 — DDR コントローラステータス／制御 54 レジスタ

アドレス 4000 D0D8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	CONTR OLLER _BUSY	—	—	—	—	—	—	—	IN_OR DER_A CCEPT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	Q_FULLNESS			—	—	—	—	—	—	—	REDUC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.57 DDR_CTL_54 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	CONTROLLER_BUSY	コントローラがコマンド処理中であることを表示します。対象は全ポートの未処理トランザクションです。値が 1 ならコントローラはビジーです。	R
b23～b17	予約ビット	使用不可	R
b16	IN_ORDER_ACCEPT	コントローラに対して、コマンドキューの配置順によるコマンドの受け付けを指示します。 0：最適なコマンドを選択するため選択ロジックを有効 1：コマンドを順番に実行	R/W
b15～b11	予約ビット	使用不可	R
b10～b8	Q_FULLNESS	コマンドキューフルを指示する数値。	R/W
b7～b1	予約ビット	使用不可	R
b0	REDUC	コントローラのハーフデータパス機能を有効にします。有効にするには 1 をセットしてください。データは下位を使用します。	R/W

6.4.1.56 DDR_CTL_55 — DDR コントローラステータス／制御 55 レジスタ

アドレス 4000 D0DCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CTRLUPD_REQ_PER_AREF_EN	—	—	—	—	—	—	—	CTRLUPD_REQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.58 DDR_CTL_55 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット	使用不可	R
b15～b9	予約ビット	使用不可	R
b8	CTRLUPD_REQ_PER_AREF_EN	各リフレッシュ後に、自動的なコントローラ起動更新（dfi_ctrlupd_req）を有効にします。RZ/N1 では使用しません。	R/W
b7～b1	予約ビット	使用不可	R
b0	CTRLUPD_REQ	DFI のコントローラ起動更新要求信号（dfi_ctrlupd_req）をアサートします。1 にセットすると起動要求します。	W

6.4.1.57 DDR_CTL_56 — DDR コントローラステータス／制御 56 レジスタ

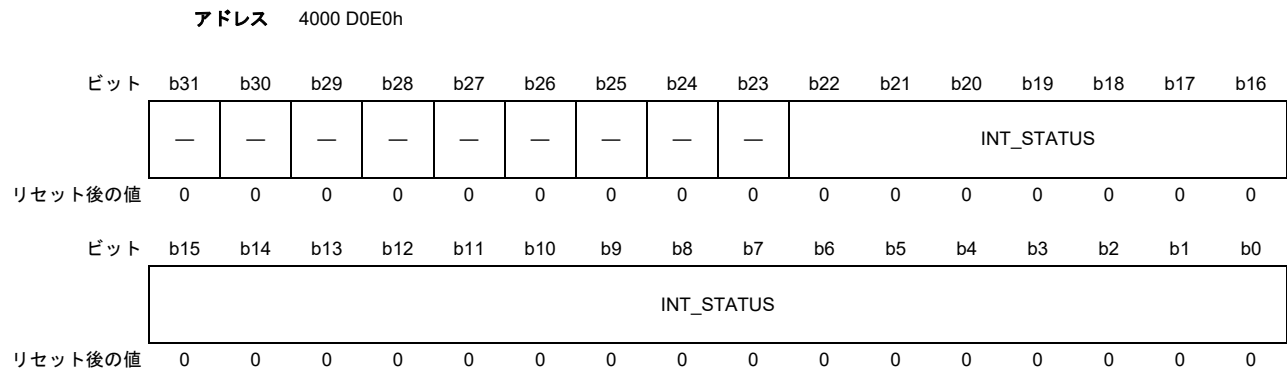


表 6.59 DDR_CTL_56 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23	予約ビット	使用不可	R
b22～b0	INT_STATUS	INT_STATUS のビットは以下の割り込みに対応します。 ビット[22]=以下の全ビット論理 OR ビット[21]=ユーザ起動の DLL 再同期完了 ビット[20]=初期化後に dfi_init_complete 信号で状態変化を検出 ビット[19]=INHIBIT_DRAM_CMD 設定のセットによるコマンドキュー禁止が成立 ビット[18]=レジスタインタフェースで起動されたモードレジスタの書き込みが完了し、別のモードレジスタの書き込みを許可 ビット[17:16]=予約ビット ビット[15]=DFI アップデートエラーが発生 エラー情報は UPDATE_ERROR_STATUS フィールドに格納されます。 ビット[14:12]=予約ビット ビット[11]=パースト当たりの 64 ビット定義ワード数に関する無効な設定 ビット[10]=DRAM ページをまたいだラップサイクルを検出 サポート対象外であるため、メモリデータが破損することがあります。 ビット[9]=低消費電力動作が完了 ビット[8]=メモリコントローラ初期化が完了 ビット[7]=ポートコマンドチャネルでエラーが発生 ビット[6]=訂正不可能な複数の ECC イベントを検出 ビット[5]=訂正不可能な 1 つの ECC イベントを検出 ビット[4]=訂正可能な複数の ECC イベントを検出 ビット[3]=訂正可能な 1 つの ECC イベントを検出 ビット[2]=定義された物理メモリ空間外での複数のアクセスの実行 ビット[1]=定義された物理メモリ空間外での 1 つのメモリアクセスの実行 ビット[0]=DFI バスのメモリリセットが有効。	R

6.4.1.58 DDR_CTL_57 — DDR コントローラステータス／制御 57 レジスタ

アドレス 4000 D0E4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	INT_ACK					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT_ACK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.60 DDR_CTL_57 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b22	予約ビット	使用不可	R
b21～b0	INT_ACK	INT_STATUS フィールドのビットをクリアします。 0：無効 1：INT_STATUS の対応ビットをクリア	W

6.4.1.59 DDR_CTL_58 — DDR コントローラステータス／制御 58 レジスタ

アドレス 4000 D0E8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	INT_MASK						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT_MASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.61 DDR_CTL_58 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23	予約ビット	使用不可	R
b22～b0	INT_MASK	INT_STATUS フィールドの DDRC_Int 信号をマスクします。 ビット[22] 0：ビット[21:0]の設定を使用した割り込み禁止 1：ビット[21:0]の設定に関係なくすべて割り込み禁止 ビット[21:0] 0：割り込み許可 1：割り込み禁止	R/W

6.4.1.60 DDR_CTL_59 — DDR コントローラステータス／制御 59 レジスタ

アドレス 4000 D0ECh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	OUT_OF_RANGE_ADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OUT_OF_RANGE_ADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.62 DDR_CTL_59 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	OUT_OF_RANGE_A DDR	範囲外割り込みを起こしたコマンドのアドレス。	R

6.4.1.61 DDR_CTL_60 — DDR コントローラステータス／制御 60 レジスタ

アドレス 4000 D0F0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OUT_OF_RANGE_TYPE					—	OUT_OF_RANGE_LENGTH							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.63 DDR_CTL_60 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b14	予約ビット	使用不可	R
b13~b8	OUT_OF_RANGE_T YPE	範囲外割り込みを起こしたコマンドの種類。	R
b7	予約ビット	使用不可	R
b6~b0	OUT_OF_RANGE_L ENGTH	範囲外割り込みを起こしたコマンドの長さ。	R

6.4.1.62 DDR_CTL_61 — DDR コントローラステータス／制御 61 レジスタ

アドレス 4000 D0F4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORT_CMD_ERROR_ADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PORT_CMD_ERROR_ADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.64 DDR_CTL_61 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PORT_CMD_ERROR_ADDR	PORT コマンドエラーを起こしたコマンドのアドレス。	R

6.4.1.63 DDR_CTL_62 — DDR コントローラステータス／制御 62 レジスタ

アドレス 4000 D0F8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	ODT_WR_MAP_CS0	—	—	—	—	—	—	—	ODT_RD_MAP_CS0	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PORT_CMD_ERROR_TYPE	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.65 DDR_CTL_62 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	使用不可	R
b25、b24	ODT_WR_MAP_CS0	チップセレクト 0 で書き込みが行われた場合に終端するチップを指定します。cs0 で書き込みを実行中の場合に csX での終端を有効にするには、ビット X にセットしてください。	R/W
b23~b18	予約ビット	使用不可	R
b17、b16	ODT_RD_MAP_CS0	チップセレクト 0 で読み出しが行われた場合に終端するチップを指定します。cs0 で読み出しを実行中の場合に csX での終端を有効にするには、ビット X にセットしてください。	R/W
b15~b11	予約ビット	使用不可	R
b10~b8	PORT_CMD_ERROR_TYPE	PORT コマンドエラーを起こしたエラーの種類およびアクセスタイプ。	R
b7~b0	予約ビット	使用不可	R

6.4.1.64 DDR_CTL_63 — DDR コントローラステータス／制御 63 レジスタ

アドレス 4000 D0FCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	TODTH_WR				TODTL_2CMD							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ODT_WR_MAP_CS1		—	—	—	—	—	—	ODT_RD_MAP_CS1	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.66 DDR_CTL_63 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	予約ビット	使用不可	R
b27～b24	TODTH_WR	書き込みコマンドで ODT アサート後の DRAM の ODT が High である最小期間を指定します。（メモリクロック単位）	R/W
b23～b16	TODTL_2CMD	ODT のデアサートから次の書き込み／読み出し以外のコマンドまでの DRAM 遅延を指定します。（メモリクロック単位）	R/W
b15～b10	予約ビット	使用不可	R
b9、b8	ODT_WR_MAP_CS1	チップセレクト 1 で書き込みが行われた場合に終端するチップを指定します。cs1 で書き込みを実行中の場合に csX での終端を有効にするには、ビット X にセットしてください。	R/W
b7～b2	予約ビット	使用不可	R
b1、b0	ODT_RD_MAP_CS1	チップセレクト 1 で読み出しが行われた場合に終端するチップを指定します。cs1 で読み出しを実行中の場合に csX での終端を有効にするには、ビット X にセットしてください。	R/W

6.4.1.65 DDR_CTL_64 — DDR コントローラステータス／制御 64 レジスタ

アドレス		4000 D100h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	RD_TO_ODTH							—	WR_TO_ODTH						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ODT_E N	—	—	—	—	TODTH_RD			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.67 DDR_CTL_64 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	使用不可	R
b30～b24	RD_TO_ODTH	読み出しコマンドから ODT アサートまでの遅延を指定します。（メモリクロック単位）	R/W
b23	予約ビット	使用不可	R
b22～b16	WR_TO_ODTH	書き込みコマンドから ODT アサートまでの遅延を指定します。（メモリクロック単位）	R/W
b15～b9	予約ビット	使用不可	R
b8	ODT_EN	DRAM ODT のサポートを有効にします。有効の場合、コントローラは必要に応じて DRAM に対して ODT 出力をアサートおよびデアサートします。有効にするには 1 をセットしてください。	R/W
b7～b4	予約ビット	使用不可	R
b3～b0	TODTH_RD	読み出しコマンドに対する ODT アサートの後で、DRAM の ODT が High である最小期間を指定します。（メモリクロック単位）	R/W

6.4.1.66 DDR_CTL_65 — DDR コントローラステータス／制御 65 レジスタ

アドレス		4000 D104h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	OBSOLETE0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OBSOLETE0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.68 DDR_CTL_65 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	OBSOLETE0	使用不可	R

6.4.1.67 DDR_CTL_66 — DDR コントローラステータス／制御 66 レジスタ

アドレス 4000 D108h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	W2W_DIFFCS_DLY				—	—	—	—	—	W2R_DIFFCS_DLY		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	R2W_DIFFCS_DLY			—	—	—	—	—	R2R_DIFFCS_DLY		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

表 6.69 DDR_CTL_66 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	予約ビット	使用不可	R
b27～b24	W2W_DIFFCS_DLY	異なるチップセレクトに対する書き込み間に挿入する追加遅延。0 以外の値を設定します。（メモリクロック単位）	R/W
b23～b19	予約ビット	使用不可	R
b18～b16	W2R_DIFFCS_DLY	異なるチップセレクトに対する書き込みと読み出しの間に挿入する追加遅延。設定可能な値はメモリシステムにより異なります。（メモリクロック単位）	R/W
b15～b11	予約ビット	使用不可	R
b10～b8	R2W_DIFFCS_DLY	異なるチップセレクトに対する読み出しと書き込みの間に挿入する追加遅延。0 以外の値を設定します。（メモリクロック単位）	R/W
b7～b3	予約ビット	使用不可	R
b2～b0	R2R_DIFFCS_DLY	異なるチップセレクトに対する読み出し間に挿入する追加遅延。0 以外の値を設定します。（メモリクロック単位）	R/W

6.4.1.68 DDR_CTL_67 — DDR コントローラステータス／制御 67 レジスタ

アドレス		4000 D10Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	W2W_SAMECS_DLY			—	—	—	—	—	W2R_SAMECS_DLY		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	R2W_SAMECS_DLY			—	—	—	—	—	R2R_SAMECS_DLY		
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

表 6.70 DDR_CTL_67 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b27	予約ビット	使用不可	R
b26～b24	W2W_SAMECS_DLY	同じチップセレクトに対する 2 つの書き込み間に挿入する追加遅延。0x0 を含めた任意の値を設定可能です。（メモリクロック単位）	R/W
b23～b19	予約ビット	使用不可	R
b18～b16	W2R_SAMECS_DLY	同じチップセレクトに対する書き込みと読み出しの間に挿入する追加遅延（メモリクロック単位）	R/W
b15～b11	予約ビット	使用不可	R
b10～b8	R2W_SAMECS_DLY	同じチップセレクトに対する読み出しと書き込みの間に挿入する追加遅延。0 以外の値を設定します。（メモリクロック単位）	R/W
b7～b3	予約ビット	使用不可	R
b2～b0	R2R_SAMECS_DLY	同じチップセレクトに対する 2 つの読み出し間に挿入する追加遅延。0x0 を含めた任意の値を設定可能です。（メモリクロック単位）	R/W

6.4.1.69 DDR_CTL_68 — DDR コントローラステータス／制御 68 レジスタ

アドレス 4000 D110h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	SWLVL_LOAD	—	—	—	—	—	—	—	SW_LEVELING_MODE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OCD_ADJUST_PUP_CS_0				—	—	—	OCD_ADJUST_PDN_CS_0					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.71 DDR_CTL_68 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	SWLVL_LOAD	使用不可	W
b23～b18	予約ビット	使用不可	R
b17、b16	SW_LEVELING_MODE	使用不可。初期値のままにしてください。	R/W
b15～b13	予約ビット	使用不可	R
b12～b8	OCD_ADJUST_PUP_CS_0	使用不可。初期値のままにしてください。	R/W
b7～b5	予約ビット	使用不可	R
b4～b0	OCD_ADJUST_PDN_CS_0	使用不可。初期値のままにしてください。	R/W

6.4.1.70 DDR_CTL_69 — DDR コントローラステータス／制御 69 レジスタ

アドレス 4000 D114h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	LVL_STATUS				—	—	—	—	—	—	—	SWLVL_OP_DONE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWLVL_EXIT	—	—	—	—	—	—	—	SWLVL_START
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.72 DDR_CTL_69 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	予約ビット	使用不可	R
b27～b24	LVL_STATUS	使用不可	R
b23～b17	予約ビット	使用不可	R
b16	SWLVL_OP_DONE	使用不可	R
b15～b9	予約ビット	使用不可	R
b8	SWLVL_EXIT	使用不可	W
b7～b1	予約ビット	使用不可	R
b0	SWLVL_START	使用不可	W

6.4.1.71 DDR_CTL_70 — DDR コントローラステータス／制御 70 レジスタ

アドレス 4000 D118h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	WRLVL_REQ	SWLVL_RESP_2							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWLVL_RESP_1								SWLVL_RESP_0							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.73 DDR_CTL_70 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	WRLVL_REQ	使用不可	W
b23～b16	SWLVL_RESP_2	使用不可	R
b15～b8	SWLVL_RESP_1	使用不可	R
b7～b0	SWLVL_RESP_0	使用不可	R

6.4.1.72 DDR_CTL_71 — DDR コントローラステータス／制御 71 レジスタ

アドレス 4000 D11Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	WRLVL_EN	—	—	WLMRD					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	WLDQSEN						—	—	—	—	—	—	—	WRLVL_CS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.74 DDR_CTL_71 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	WRLVL_EN	使用不可。初期値のままにしてください。	R/W
b23～b22	予約ビット	使用不可	R
b21～b16	WLMRD	使用不可。初期値のままにしてください。	R/W
b15～b14	予約ビット	使用不可	R
b13～b8	WLDQSEN	使用不可。初期値のままにしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	WRLVL_CS	使用不可。初期値のままにしてください。	R/W

6.4.1.73 DDR_CTL_72 — DDR コントローラステータス／制御 72 レジスタ

アドレス 4000 D120h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	WRLVL_ERROR_STATUS								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WRLVL_INTERVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.75 DDR_CTL_72 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	WRLVL_ERROR_STATUS	使用不可	R
b23~b19	予約ビット	使用不可	R
b18~b16	予約ビット	機能拡張用に予約済みです。初期値のままにしてください。	R/W
b15~b0	WRLVL_INTERVAL	使用不可。初期値のままにしてください。	R/W

6.4.1.74 DDR_CTL_73 — DDR コントローラステータス／制御 73 レジスタ

アドレス 4000 D124h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	WRLVL_DELAY_0							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WRLVL_DELAY_0								—	—	—	—	—	—	—	WRLVL_REG_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.76 DDR_CTL_73 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b8	WRLVL_DELAY_0	使用不可。初期値のままにしてください。	R/W
b7~b1	予約ビット	使用不可	R
b0	WRLVL_REG_EN	使用不可。初期値のままにしてください。	R/W

6.4.1.75 DDR_CTL_74 — DDR コントローラステータス／制御 74 レジスタ

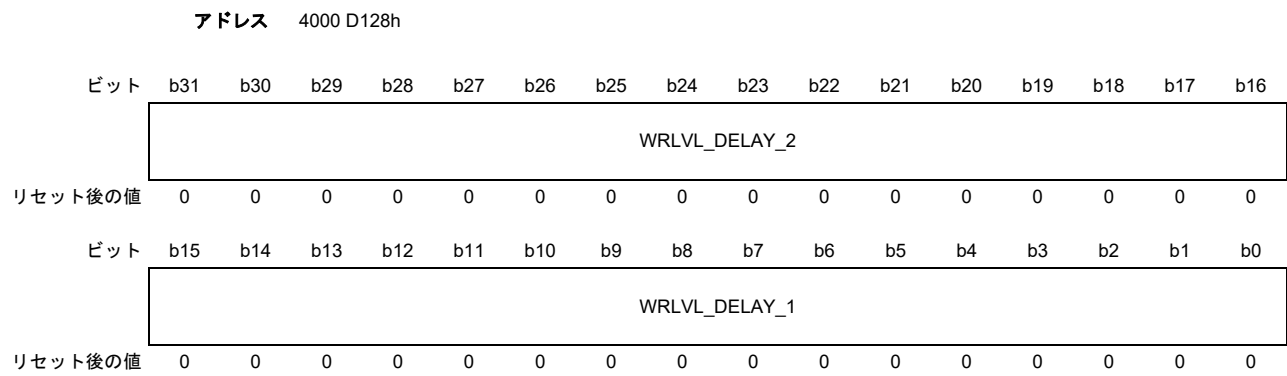


表 6.77 DDR_CTL_74 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	WRLVL_DELAY_2	使用不可。初期値のままにしてください。	R/W
b15～b0	WRLVL_DELAY_1	使用不可。初期値のままにしてください。	R/W

6.4.1.76 DDR_CTL_75 — DDR コントローラステータス／制御 75 レジスタ

アドレス 4000 D12Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	RDLVL_EDGE	—	—	—	—	—	—	—	RDLVL_CS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RDLVL_GATE_REQ	—	—	—	—	—	—	—	RDLVL_REQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.78 DDR_CTL_75 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	RDLVL_EDGE	使用不可。初期値のままにしてください。	R/W
b23～b17	予約ビット	使用不可	R
b16	RDLVL_CS	使用不可。初期値のままにしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	RDLVL_GATE_REQ	使用不可	W
b7～b1	予約ビット	使用不可	R
b0	RDLVL_REQ	使用不可	W

6.4.1.77 DDR_CTL_76 — DDR コントローラステータス／制御 76 レジスタ

アドレス 4000 D130h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDLVL_GATE_REG_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RDLVL_REG_EN	—	—	—	—	—	—	—	RDLVL_BEGIN_DELAY_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.79 DDR_CTL_76 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b17	予約ビット	使用不可	R
b16	RDLVL_GATE_REG_EN	使用不可。初期値のままにしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	RDLVL_REG_EN	使用不可。初期値のままにしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	RDLVL_BEGIN_DELAY_EN	使用不可。初期値のままにしてください。	R/W

6.4.1.78 DDR_CTL_77 — DDR コントローラステータス／制御 77 レジスタ

アドレス 4000 D134h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_END_DELAY_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_BEGIN_DELAY_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.80 DDR_CTL_77 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	RDLVL_END_DELAY_0	使用不可	R
b15～b0	RDLVL_BEGIN_DELAY_0	使用不可	R

6.4.1.79 DDR_CTL_78 — DDR コントローラステータス／制御 78 レジスタ

アドレス 4000 D138h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_OFFSET_DELAY_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_MIDPOINT_DELAY_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.81 DDR_CTL_78 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	RDLVL_OFFSET_DELAY_0	使用不可。初期値のままにしてください。	R/W
b15～b0	RDLVL_MIDPOINT_DELAY_0	使用不可	R

6.4.1.80 DDR_CTL_79 — DDR コントローラステータス／制御 79 レジスタ

アドレス 4000 D13Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	RDLVL_DELAY_0							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_DELAY_0								—	—	—	—	—	—	—	RDLVL_OFFSET_D IR_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.82 DDR_CTL_79 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b8	RDLVL_DELAY_0	使用不可。初期値のままにしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	RDLVL_OFFSET_D IR_0	使用不可。初期値のままにしてください。	R/W

6.4.1.81 DDR_CTL_80 — DDR コントローラステータス／制御 80 レジスタ

アドレス 4000 D140h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_BEGIN_DELAY_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_GATE_DELAY_0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.83 DDR_CTL_80 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	RDLVL_BEGIN_DELAY_1	使用不可	R
b15～b0	RDLVL_GATE_DELAY_0	使用不可。初期値のままにしてください。	R/W

6.4.1.82 DDR_CTL_81 — DDR コントローラステータス／制御 81 レジスタ

アドレス 4000 D144h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_MIDPOINT_DELAY_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_END_DELAY_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.84 DDR_CTL_81 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	RDLVL_MIDPOINT_DELAY_1	使用不可	R
b15～b0	RDLVL_END_DELAY_1	使用不可	R

6.4.1.83 DDR_CTL_82 — DDR コントローラステータス／制御 82 レジスタ

アドレス 4000 D148h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDLVL_OFFSET_D IR_1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_OFFSET_DELAY_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.85 DDR_CTL_82 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b17	予約ビット	使用不可	R
b16	RDLVL_OFFSET_D IR_1	使用不可。初期値のままにしてください。	R/W
b15～b0	RDLVL_OFFSET_DE LAY_1	使用不可。初期値のままにしてください。	R/W

6.4.1.84 DDR_CTL_83 — DDR コントローラステータス／制御 83 レジスタ

アドレス 4000 D14Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_GATE_DELAY_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_DELAY_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.86 DDR_CTL_83 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	RDLVL_GATE_DELA Y_1	使用不可。初期値のままにしてください。	R/W
b15～b0	RDLVL_DELAY_1	使用不可。初期値のままにしてください。	R/W

6.4.1.85 DDR_CTL_84 — DDR コントローラステータス／制御 84 レジスタ

アドレス 4000 D150h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_END_DELAY_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_BEGIN_DELAY_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.87 DDR_CTL_84 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	RDLVL_END_DELAY_2	使用不可	R
b15～b0	RDLVL_BEGIN_DELAY_2	使用不可	R

6.4.1.86 DDR_CTL_85 — DDR コントローラステータス／制御 85 レジスタ

アドレス 4000 D154h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_OFFSET_DELAY_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_MIDPOINT_DELAY_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.88 DDR_CTL_85 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	RDLVL_OFFSET_DELAY_2	使用不可。初期値のままにしてください。	R/W
b15～b0	RDLVL_MIDPOINT_DELAY_2	使用不可	R

6.4.1.87 DDR_CTL_86 — DDR コントローラステータス／制御 86 レジスタ

アドレス 4000 D158h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	RDLVL_DELAY_2							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_DELAY_2								—	—	—	—	—	—	—	RDLVL_OFFSET_D IR_2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.89 DDR_CTL_86 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b8	RDLVL_DELAY_2	使用不可。初期値のままにしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	RDLVL_OFFSET_D IR_2	使用不可。初期値のままにしてください。	R/W

6.4.1.88 DDR_CTL_87 — DDR コントローラステータス／制御 87 レジスタ

アドレス 4000 D15Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	AXI0_W_PRIOR ITY	—	—	—	—	—	—	—	AXI0_R_PRIORI TY	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_GATE_DELAY_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.90 DDR_CTL_87 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25、b24	AXI0_W_PRIORITY	AXI ポート 0 からの書き込みコマンドの優先度。0 が最上位優先度です。	R/W
b23～b18	予約ビット	使用不可	R
b17、b16	AXI0_R_PRIORITY	AXI ポート 0 からの読み出しコマンドの優先度。0 が最上位優先度です。	R/W
b15～b0	RDLVL_GATE_DELA Y_2	使用不可。初期値のままにしてください。	R/W

6.4.1.89 DDR_CTL_88 — DDR コントローラステータス／制御 88 レジスタ

アドレス 4000 D160h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	AXI1_FIFO_TYPE_REG	—	—	—	—	—	—	—	AXI1_W_PRIORITY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AXI1_R_PRIORITY	—	—	—	—	—	—	—	AXI0_FIFO_TYPE_REG	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.91 DDR_CTL_88 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25、b24	AXI1_FIFO_TYPE_REG	AXI ポート 1 とコントローラ間のクロックドメイン相互関係。0 をセットしてください。	R/W
b23～b18	予約ビット	使用不可	R
b17、b16	AXI1_W_PRIORITY	AXI ポート 1 からの書き込みコマンドの優先度。0 が最上位優先度です。	R/W
b15～b10	予約ビット	使用不可	R
b9、b8	AXI1_R_PRIORITY	AXI ポート 1 からの読み出しコマンドの優先度。0 が最上位優先度です。	R/W
b7～b2	予約ビット	使用不可	R
b1、b0	AXI0_FIFO_TYPE_REG	AXI ポート 0 とコントローラ間のクロックドメイン相互関係。0 をセットしてください。	R/W

6.4.1.90 DDR_CTL_89 — DDR コントローラステータス／制御 89 レジスタ

アドレス 4000 D164h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	AXI3_R_PRIORITY	—	—	—	—	—	—	—	AXI2_FIFO_TYPE_REG	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AXI2_W_PRIORITY	—	—	—	—	—	—	—	AXI2_R_PRIORITY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.92 DDR_CTL_89 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25、b24	AXI3_R_PRIORITY	AXI ポート 3 からの読み出しコマンドの優先度。0 が最上位優先度です。	R/W
b23～b18	予約ビット	使用不可	R
b17、b16	AXI2_FIFO_TYPE_REG	AXI ポート 2 とコントローラ間のクロックドメイン相互関係。0 をセットしてください。	R/W
b15～b10	予約ビット	使用不可	R
b9、b8	AXI2_W_PRIORITY	AXI ポート 2 からの書き込みコマンドの優先度。0 が最上位優先度です。	R/W
b7～b2	予約ビット	使用不可	R
b1、b0	AXI2_R_PRIORITY	AXI ポート 2 からの読み出しコマンドの優先度。0 が最上位優先度です。	R/W

6.4.1.91 DDR_CTL_90 — DDR コントローラステータス／制御 90 レジスタ

アドレス 4000 D168h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	PORT_A DDR_PROTECTION_EN	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AXI3_FIFO_TYPE_REG	—	—	—	—	—	—	—	AXI3_W_PRIORITY	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.93 DDR_CTL_90 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	PORT_ADDR_PROTECTION_EN	ポートアドレス範囲保護および割り込み生成を有効にします。有効にするには 1 をセットしてください。	R/W
b23～b16	予約ビット	使用不可	R
b15～b10	予約ビット	使用不可	R
b9、b8	AXI3_FIFO_TYPE_REG	AXI ポート 3 とコントローラコア間のクロックドメイン相互関係。0 をセットしてください。	R/W
b7～b2	予約ビット	使用不可	R
b1、b0	AXI3_W_PRIORITY	AXI ポート 3 からの書き込みコマンドの優先度。0 が最上位優先度です。	R/W

6.4.1.92 DDR_CTL_[k] — ポート 0 レンジ[n]スタートアドレス設定レジスタ (n=0～15)
(k=91+n×2)

アドレス 4000 D16Ch+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI0_START_ADDR[n]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI0_START_ADDR[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.94 DDR_CTL_[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b18	予約ビット	使用不可	R
b17～b0	AXI0_START_ADDR[n]	ポート 0 のアドレス範囲[n]の開始アドレス。	R/W

6.4.1.93 DDR_CTL[k] — ポート 0 レンジ[n]エンドアドレス設定レジスタ (n=0~15) (k=92+n×2)

アドレス 4000 D170h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI0_END_ADDR[n]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI0_END_ADDR[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.95 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17~b0	AXI0_END_ADDR[n]	ポート 0 のアドレス範囲[n]の終了アドレス。	R/W

6.4.1.94 DDR_CTL[k] — ポート 1 レンジ[n]スタートアドレス設定レジスタ (n=0~15) (k=123+n×2)

アドレス 4000 D1ECh+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI1_START_ADDR[n]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI1_START_ADDR[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.96 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17~b0	AXI1_START_ADDR[n]	ポート 1 のアドレス範囲[n]の開始アドレス。	R/W

6.4.1.95 DDR_CTL[k] — ポート 1 レンジ[n]エンドアドレス設定レジスタ (n=0~15) (k=124+n×2)

アドレス 4000 D1F0h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI1_END_ADDR[n]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI1_END_ADDR[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.97 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17~b0	AXI1_END_ADDR[n]	ポート 1 のアドレス範囲[n]の終了アドレス。	R/W

6.4.1.96 DDR_CTL[k] — ポート 2 レンジ[n]スタートアドレス設定レジスタ (n=0~15) (k=155+n×2)

アドレス 4000 D26Ch+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI2_START_ADDR[n]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI2_START_ADDR[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.98 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17~b0	AXI2_START_ADDR[n]	ポート 2 のアドレス範囲[n]の開始アドレス。	R/W

6.4.1.97 DDR_CTL[k] — ポート 2 レンジ[n]エンドアドレス設定レジスタ (n=0~15) (k=156+n×2)

アドレス 4000 D270h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI2_END_ADDR[n]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI2_END_ADDR[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.99 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17~b0	AXI2_END_ADDR[n]	ポート 2 のアドレス範囲[n]の終了アドレス。	R/W

6.4.1.98 DDR_CTL[k] — ポート 3 レンジ[n]スタートアドレス設定レジスタ (n=0~15) (k=187+n×2)

アドレス 4000 D2ECh+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI3_START_ADDR[n]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI3_START_ADDR[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.100 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17~b0	AXI3_START_ADDR[n]	ポート 3 のアドレス範囲[n]の開始アドレス。	R/W

6.4.1.99 DDR_CTL[k] — ポート 3 レンジ[n]エンドアドレス設定レジスタ (n=0~14) (k=188+n×2)

アドレス 4000 D2F0h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI3_END_ADDR_	R_[n]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI3_END_ADDR_[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.101 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17~b0	AXI3_END_ADDR_[n]	ポート 3 のアドレス範囲[n]の終了アドレス。	R/W

6.4.1.100 DDR_CTL_218 — ポート 3 レンジ 15 エンドアドレス設定レジスタ

アドレス 4000 D368h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	AXI0_RANGE_P	—	—	—	—	—	—	—	AXI3_END_ADDR_	R_15
リセット後の値	0	0	0	0	0	0	ROT_BITS_0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI3_END_ADDR_15															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.102 DDR_CTL_218 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	使用不可	R
b25、b24	AXI0_RANGE_PROT_BITS_0	ポート 0 のアドレス範囲 0 で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b23~b18	予約ビット	使用不可	R
b17~b0	AXI3_END_ADDR_15	ポート 3 のアドレス範囲 15 の終了アドレス。	R/W

6.4.1.101 DDR_CTL[k] — ポート 0 レンジ[n]プロテクト設定レジスタ 1 (n=0~15) (k=219+n×2)

アドレス 4000 D36Ch+8h×n

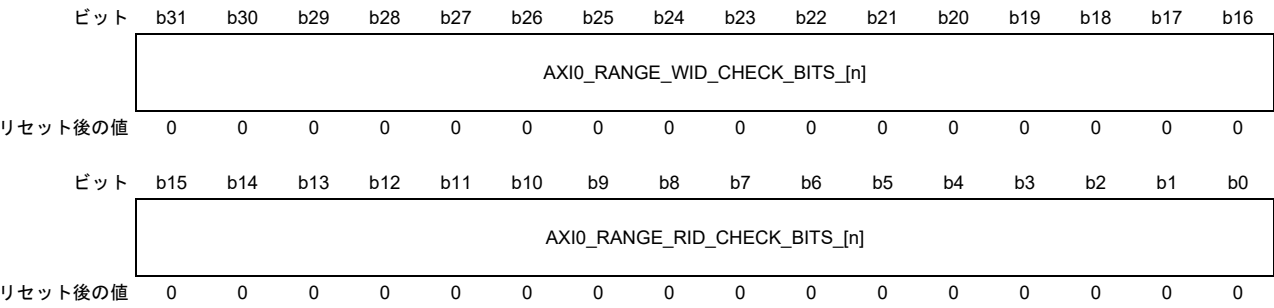


表 6.103 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	AXI0_RANGE_WID_CHECK_BITS_[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xFFFF に設定します。	R/W
b15~b0	AXI0_RANGE_RID_CHECK_BITS_[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xFFFF に設定します。	R/W

6.4.1.102 DDR_CTL[k] — ポート 0 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=220+n×2)

アドレス 4000 D370h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI0_RANGE_P ROT_BITS_ [n+1]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI0_RANGE_WID_CHECK_BIT S_ID_LOOKUP_[n]			—	—	—	—		AXI0_RANGE_RID_CHECK_BIT S_ID_LOOKUP_[n]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.104 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17、b16	AXI0_RANGE_PROT_BITS_[n+1]	ポート 0 のアドレス範囲[n+1]で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b15~b12	予約ビット	使用不可	R
b11~b8	AXI0_RANGE_WID_CHECK_BITS_ID_LOOKUP_[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7~b4	予約ビット	使用不可	R
b3~b0	AXI0_RANGE_RID_CHECK_BITS_ID_LOOKUP_[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.103 DDR_CTL_250 — ポート 0 レンジ 15 プロテクト設定レジスタ 2

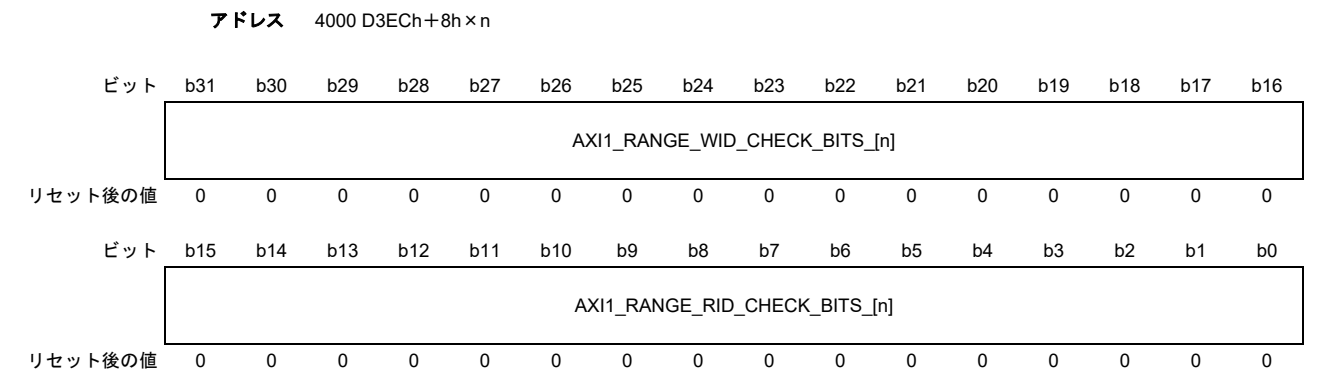
アドレス 4000 D3E8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI1_RANGE_PROT_BITS_0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI0_RANGE_WID_CHECK_BITS_ID_LOOKUP_15								AXI0_RANGE_RID_CHECK_BITS_ID_LOOKUP_15			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.105 DDR_CTL_250 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b18	予約ビット	使用不可	R
b17、b16	AXI1_RANGE_PROT_BITS_0	ポート 1 のアドレス範囲 0 で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b15～b12	予約ビット	使用不可	R
b11～b8	AXI0_RANGE_WID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7～b4	予約ビット	使用不可	R
b3～b0	AXI0_RANGE_RID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.104 DDR_CTL[k] — ポート 1 レンジ[n]プロテクト設定レジスタ 1 (n=0~15) (k=251+n×2)



6.4.1.105 DDR_CTL[k] — ポート 1 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=252+n×2)

アドレス		4000 D3F0h+8h×n														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI1_RANGE_PROT_BITS[n+1]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI1_RANGE_WID_CHECK_BITS_ID_LOOKUP[n]				—	—	—	—	AXI1_RANGE_RID_CHECK_BITS_ID_LOOKUP[n]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.107 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17、b16	AXI1_RANGE_PROT_BITS[n+1]	ポート 1 のアドレス範囲[n+1]で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b15~b12	予約ビット	使用不可	R
b11~b8	AXI1_RANGE_WID_CHECK_BITS_ID_LOOKUP[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7~b4	予約ビット	使用不可	R
b3~b0	AXI1_RANGE_RID_CHECK_BITS_ID_LOOKUP[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.106 DDR_CTL_282 — ポート 1 レンジ 15 プロテクト設定レジスタ 2

アドレス 4000 D468h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI2_RANGE_PROT_BITS_0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI1_RANGE_WID_CHECK_BITS_ID_LOOKUP_15								AXI1_RANGE_RID_CHECK_BITS_ID_LOOKUP_15			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.108 DDR_CTL_282 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17、b16	AXI2_RANGE_PROT_BITS_0	ポート 2 のアドレス範囲 0 で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b15~b12	予約ビット	使用不可	R
b11~b8	AXI1_RANGE_WID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7~b4	予約ビット	使用不可	R
b3~b0	AXI1_RANGE_RID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.107 DDR_CTL[k] — ポート 2 レンジ[n]プロテクト設定レジスタレジスタ 1 (n=0~15) (k=283+n×2)

アドレス 4000 D46Ch+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AXI2_RANGE_WID_CHECK_BITS_[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AXI2_RANGE_RID_CHECK_BITS_[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.109 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	AXI2_RANGE_WID_CHECK_BITS_[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xFFFF に設定します。	R/W
b15~b0	AXI2_RANGE_RID_CHECK_BITS_[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xFFFF に設定します。	R/W

6.4.1.108 DDR_CTL[k] — ポート 2 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=284+n×2)

アドレス 4000 D470h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI2_RANGE_PROT_BITS[n+1]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI2_RANGE_WID_CHECK_BITS_ID_LOOKUP[n]			—	—	—	—		AXI2_RANGE_RID_CHECK_BITS_ID_LOOKUP[n]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.110 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17、b16	AXI2_RANGE_PROT_BITS[n+1]	ポート 2 のアドレス範囲[n+1]で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b15~b12	予約ビット	使用不可	R
b11~b8	AXI2_RANGE_WID_CHECK_BITS_ID_LOOKUP[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7~b4	予約ビット	使用不可	R
b3~b0	AXI2_RANGE_RID_CHECK_BITS_ID_LOOKUP[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.109 DDR_CTL_314 — ポート 2 レンジ 15 プロテクト設定レジスタ 2

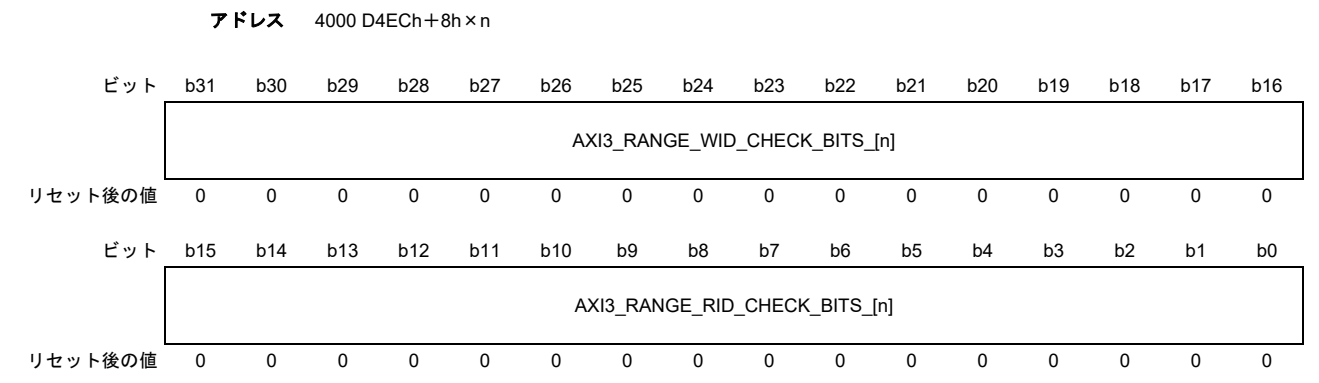
アドレス 4000 D4E8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI3_RANGE_P ROT_BITS_0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI2_RANGE_WID_CHECK_BIT S_ID_LOOKUP_15								AXI2_RANGE_RID_CHECK_BIT S_ID_LOOKUP_15			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.111 DDR_CTL_314 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b18	予約ビット	使用不可	R
b17、b16	AXI3_RANGE_PROT_BITS_0	ポート 3 のアドレス範囲 0 で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b15～b12	予約ビット	使用不可	R
b11～b8	AXI2_RANGE_WID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7～b4	予約ビット	使用不可	R
b3～b0	AXI2_RANGE_RID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.110 DDR_CTL[k] — ポート 3 レンジ[n]プロテクト設定レジスタ 1 (n=0~15) (k=315+n×2)



6.4.1.111 DDR_CTL[k] — ポート 3 レンジ[n]プロテクト設定レジスタ 2 (n=0~14) (k=316+n×2)

アドレス 4000 D4F0h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI3_RANGE_PROT_BITS[n+1]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI3_RANGE_WID_CHECK_BITS_ID_LOOKUP[n]			—	—	—	—		AXI3_RANGE_RID_CHECK_BITS_ID_LOOKUP[n]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.113 DDR_CTL[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	使用不可	R
b23~b18	予約ビット	使用不可	R
b17、b16	AXI3_RANGE_PROT_BITS[n+1]	ポート 3 のアドレス範囲[n+1]で許可するトランザクションタイプ。0 は特権ありおよびセキュアのみ、1 はセキュア（特権ありおよび特権なし）、2 は特権あり（セキュアおよびセキュアなし）、3 は制限なしです。	R/W
b15~b12	予約ビット	使用不可	R
b11~b8	AXI3_RANGE_WID_CHECK_BITS_ID_LOOKUP[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7~b4	予約ビット	使用不可	R
b3~b0	AXI3_RANGE_RID_CHECK_BITS_ID_LOOKUP[n]	ID チェックはサポートされません。 ポートの範囲[n]に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.112 DDR_CTL_346 — ポート 3 レンジ 15 プロテクト設定レジスタ 2

アドレス 4000 D568h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	AXI0_BDW							—	—	—	—	—	ARB_CMD_Q_THRESHOLD		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AXI3_RANGE_WID_CHECK_BITS_ID_LOOKUP_15				—	—	—	—	AXI3_RANGE_RID_CHECK_BITS_ID_LOOKUP_15			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.114 DDR_CTL_346 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	使用不可	R
b30～b24	AXI0_BDW	ポート 0 の最大帯域幅比率。	R/W
b23～b19	予約ビット	使用不可	R
b18～b16	ARB_CMD_Q_THRESHOLD	オーバーフローに関連したコマンドキューフル状態のしきい値。	R/W
b15～b12	予約ビット	使用不可	R
b11～b8	AXI3_RANGE_WID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲 15 に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W
b7～b4	予約ビット	使用不可	R
b3～b0	AXI3_RANGE_RID_CHECK_BITS_ID_LOOKUP_15	ID チェックはサポートされません。 ポートの範囲 15 に PORT_ADDR_PROTECTION_EN を適用する場合は 0xF に設定します。	R/W

6.4.1.113 DDR_CTL_347 — DDR コントローラステータス／制御 347 レジスタ

アドレス 4000 D56Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	AXI1_B DW_OV FLOW	—	AXI1_BDW						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	AXI0_CURRENT_BDW							—	—	—	—	—	—	—	AXI0_B DW_OV FLOW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.115 DDR_CTL_347 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	AXI1_BDW_OVFLOW	帯域幅が最大に達した際のポート 1 動作。1 にセットするとオーバーフロー許可。	R/W
b23	予約ビット	使用不可	R
b22～b16	AXI1_BDW	ポート 1 の最大帯域幅比率。	R/W
b15	予約ビット	使用不可	R
b14～b8	AXI0_CURRENT_BDW	ポート 0 の現在の帯域幅使用率。	R
b7～b1	予約ビット	使用不可	R
b0	AXI0_BDW_OVFLOW	帯域幅が最大に達した際のポート 0 動作。1 にセットするとオーバーフロー許可。	R/W

6.4.1.114 DDR_CTL_348 — DDR コントローラステータス／制御 348 レジスタ

アドレス 4000 D570h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	AXI2_CURRENT_BDW							—	—	—	—	—	—	—	AXI2_BDW_OVFLOW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	AXI2_BDW							—	AXI1_CURRENT_BDW						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.116 DDR_CTL_348 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	使用不可	R
b30～b24	AXI2_CURRENT_BDW	ポート 2 の現在の帯域幅使用率。	R
b23～b17	予約ビット	使用不可	R
b16	AXI2_BDW_OVFLOW	帯域幅が最大に達した際のポート 2 動作。1 にセットするとオーバーフロー許可。	R/W
b15	予約ビット	使用不可	R
b14～b8	AXI2_BDW	ポート 2 の最大帯域幅比率。	R/W
b7	予約ビット	使用不可	R
b6～b0	AXI1_CURRENT_BDW	ポート 1 の現在の帯域幅使用率。	R

6.4.1.115 DDR_CTL_349 — DDR コントローラステータス／制御 349 レジスタ

アドレス 4000 D574h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	CKE_STATUS	—	AXI3_CURRENT_BDW							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AXI3_BDW_OVFLOW	—	AXI3_BDW						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.117 DDR_CTL_349 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25、b24	CKE_STATUS	cke_status 内部信号の値。 ビット[0]は CS0、ビット[1]は CS1 を示します。 0：メモリはパワーダウンまたは、セルフリフレッシュ 1：メモリはアクティブ	R
b23	予約ビット	使用不可	R
b22～b16	AXI3_CURRENT_BDW	ポート 3 の現在の帯域幅使用率。	R
b15～b9	予約ビット	使用不可	R
b8	AXI3_BDW_OVFLOW	帯域幅が最大に達した際のポート 3 動作。1 にセットするとオーバーフロー許可。	R/W
b7	予約ビット	使用不可	R
b6～b0	AXI3_BDW	ポート 3 の最大帯域幅比率。	R/W

6.4.1.116 DDR_CTL_350 — DDR コントローラステータス／制御 350 レジスタ

アドレス 4000 D578h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLL_RST_ADJ_DLY								DLL_RST_DELAY							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DLL_RST_DELAY								—	—	—	—	—	—	—	MEM_RST_VALID
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.118 DDR_CTL_350 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	DLL_RST_ADJ_DLY	本設定は無効です。	R/W
b23～b8	DLL_RST_DELAY	本設定は無効です。	R/W
b7～b1	予約ビット	使用不可	R
b0	MEM_RST_VALID	mem_rst_valid 内部信号の値。 本ビットがセットされると、コントローラがメモリのリセットと CKE 信号を制御できます。	R

6.4.1.117 DDR_CTL_351 — DDR コントローラステータス／制御 351 レジスタ

アドレス 4000 D57Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TDFI_RDDATA_EN						—	—	TDFI_PHY_RDLAT					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	UPDATE_ERROR_STATUS						—	—	TDFI_PHY_WRLAT						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.119 DDR_CTL_351 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b30	予約ビット	使用不可	R
b29~b24	TDFI_RDDATA_EN	読み出しコマンドから dfi_rddata_en アサート間の最大サイクル数である、DFI の tRDDATA_EN タイミングパラメータ（メモリクロック単位）の計算値を格納します。	R
b23~b22	予約ビット	使用不可	R
b21~b16	TDFI_PHY_RDLAT	dfi_rddata_en アサートから dfi_rddata_valid アサート間の最大サイクル数である、DFI の tPHY_RDLAT タイミングパラメータ（メモリクロック単位）を指定します。	R/W
b15	予約ビット	使用不可	R
b14~b8	UPDATE_ERROR_STATUS	メモリコントローラ起動または PHY 起動の DFI 更新エラーの原因を表示します。1 なら、対応するタイミングパラメータのタイミング違反です。	R
b7~b6	予約ビット	使用不可	R
b5~b0	TDFI_PHY_WRLAT	書き込みコマンドから dfi_wrdata_en アサート間の最大サイクル数である、DFI の tPHY_WRLAT タイミングパラメータ（メモリクロック単位）の計算値を格納します。	R

6.4.1.118 DDR_CTL_352 — DDR コントローラステータス／制御 352 レジスタ

アドレス 4000 D580h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TDFI_CTRLUPD_MAX													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	TDFI_CTRLUPD_MIN				—	—	—	—	—	—	DRAM_CLK_DISABLE	
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

表 6.120 DDR_CTL_352 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b30	予約ビット	使用不可	R
b29～b16	TDFI_CTRLUPD_MAX	dfi_ctrlupd_req のアサートが可能な最大サイクル数である、DFI の tCTRLUPD_MAX タイミングパラメータ（DFICLK クロック単位）を指定します。0 以外に設定すると、タイミング違反により割り込みが発生し、UPDATE_ERROR_STATUS フィールドのビット[1]がセットされます。	R/W
b15～b12	予約ビット	使用不可	R
b11～b8	TDFI_CTRLUPD_MIN	dfi_ctrlupd_req のアサートが必要な最小サイクル数である、DFI の tCTRLUPD_MIN タイミングパラメータ（DFICLK クロック単位）を表示します。	R
b7～b2	予約ビット	使用不可	R
b1、b0	DRAM_CLK_DISABLE	dfi_dram_clk_disable 信号の値を設定します。ビット[0]は cs0、ビット[1]は cs1 に対応します。無効にするには各ビットに 1 をセットしてください。	R/W

6.4.1.119 DDR_CTL_353 — DDR コントローラステータス／制御 353 レジスタ

アドレス 4000 D584h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_PHYUPD_TYPE1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_PHYUPD_TYPE0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.121 DDR_CTL_353 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	TDFI_PHYUPD_TYP E1	dfi_phyupd_type 1 に対する dfi_phyupd_ack の後に dfi_phyupd_req のアサートが可能な最大サイクル数である、DFI の tPHYUPD_TYPE1 タイミングパラメータ（DFICLK クロック単位）を指定します。0 以外に設定すると、タイミング違反により割り込みが発生し、UPDATE_ERROR_STATUS フィールドのビット[3]がセットされます。	R/W
b15～b0	TDFI_PHYUPD_TYP E0	dfi_phyupd_type 0 に対する dfi_phyupd_ack の後に dfi_phyupd_req のアサートが可能な最大サイクル数である、DFI の tPHYUPD_TYPE0 タイミングパラメータ（DFICLK クロック単位）を指定します。0 以外に設定すると、タイミング違反により割り込みが発生し、UPDATE_ERROR_STATUS フィールドのビット[2]がセットされます。	R/W

6.4.1.120 DDR_CTL_354 — DDR コントローラステータス／制御 354 レジスタ

アドレス 4000 D588h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_PHYUPD_TYPE3															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_PHYUPD_TYPE2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.122 DDR_CTL_354 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	TDFI_PHYUPD_TYP E3	dfi_phyupd_type 3 に対する dfi_phyupd_ack の後に dfi_phyupd_req のアサートが可能な最大サイクル数である、DFI の tPHYUPD_TYPE3 タイミングパラメータ（DFICLK クロック単位）を指定します。0 以外に設定すると、タイミング違反により割り込みが発生し、UPDATE_ERROR_STATUS フィールドのビット[5]がセットされます。	R/W
b15～b0	TDFI_PHYUPD_TYP E2	dfi_phyupd_type 2 に対する dfi_phyupd_ack の後に dfi_phyupd_req のアサートが可能な最大サイクル数である、DFI の tPHYUPD_TYPE2 タイミングパラメータ（DFICLK クロック単位）を指定します。0 以外に設定すると、タイミング違反により割り込みが発生し、UPDATE_ERROR_STATUS フィールドのビット[4]がセットされます。	R/W

6.4.1.121 DDR_CTL_355 — DDR コントローラステータス／制御 355 レジスタ

アドレス 4000 D58Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TDFI_PHYUPD_RESP													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.123 DDR_CTL_355 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット	使用不可	R
b15、b14	予約ビット	使用不可	R
b13～b0	TDFI_PHYUPD_RESP	dfi_phyupd_req アサートから dfi_phyupd_ack アサート間の最大サイクル数である、DFI の tPHYUPD_RESP タイミングパラメータ（DFICLK クロック単位）を指定します。0 以外に設定すると、タイミング違反により割り込みが発生し、UPDATE_ERROR_STATUS フィールドのビット[6]がセットされます。	R/W

6.4.1.122 DDR_CTL_356 — DDR コントローラステータス／制御 356 レジスタ

アドレス 4000 D590h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_CTRLUPD_INTERVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_CTRLUPD_INTERVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.124 DDR_CTL_356 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TDFI_CTRLUPD_INTERVAL	dfi_ctrlupd_req アサート間の最大サイクル数である、DFI の tCTRLUPD_INTERVAL タイミングパラメータ（DFICLK クロック単位）を指定します。0 以外に設定すると、タイミング違反により割り込みが発生し、UPDATE_ERROR_STATUS フィールドのビット 0 がセットされます。	R/W

6.4.1.123 DDR_CTL_357 — DDR コントローラステータス／制御 357 レジスタ

アドレス 4000 D594h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	TDFI_DRAM_CLK_DISABLE				—	—	—	—	TDFI_CTRL_DELAY			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	WRLAT_ADJ						—	—	RDLAT_ADJ					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.125 DDR_CTL_357 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	予約ビット	使用不可	R
b27～b24	TDFI_DRAM_CLK_DISABLE	dfi_dram_clock_disable アサートからメモリクロック無効化間の遅延である、DFI の tDRAM_CLK_DISABLE タイミングパラメータ（DFICLK クロック単位）を指定します。	R/W
b23～b20	予約ビット	使用不可	R
b19～b16	TDFI_CTRL_DELAY	DFI コマンド変更からメモリコマンド間の遅延である、DFI の tCTRL_DELAY タイミングパラメータ（DFICLK クロック単位）を指定します。	R/W
b15、b14	予約ビット	使用不可	R
b13～b8	WRLAT_ADJ	PHY 書き込みタイミングの調整値（メモリクロック単位）	R/W
b7、b6	予約ビット	使用不可	R
b5～b0	RDLAT_ADJ	PHY 読み出しタイミングの調整値（メモリクロック単位）	R/W

6.4.1.124 DDR_CTL_358 — DDR コントローラステータス／制御 358 レジスタ

アドレス 4000 D598h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	TDFI_WRLVL_WW									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_WRLVL_EN								—	—	—	—	TDFI_DRAM_CLK_ENABLE			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.126 DDR_CTL_358 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25～b16	TDFI_WRLVL_WW	使用不可。初期値のままにしてください。	R/W
b15～b8	TDFI_WRLVL_EN	使用不可。初期値のままにしてください。	R/W
b7～b4	予約ビット	使用不可	R
b3～b0	TDFI_DRAM_CLK_ENABLE	dfi_dram_clk_disable デアサートからメモリクロック有効化間の遅延である、DFI の tDRAM_CLK_ENABLE タイミングパラメータ（DFICLK クロック単位）を指定します。	R/W

6.4.1.125 DDR_CTL_359 — DDR コントローラステータス／制御 359 レジスタ

アドレス 4000 D59Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_WRLVL_RESP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_WRLVL_RESP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.127 DDR_CTL_359 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TDFI_WRLVL_RESP	使用不可。初期値のままにしてください。	R/W

6.4.1.126 DDR_CTL_360 — DDR コントローラステータス／制御 360 レジスタ

アドレス 4000 D5A0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_WRLVL_MAX															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_WRLVL_MAX															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.128 DDR_CTL_360 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TDFI_WRLVL_MAX	使用不可。初期値のままにしてください。	R/W

6.4.1.127 DDR_CTL_361 — DDR コントローラステータス／制御 361 レジスタ

アドレス 4000 D5A4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_WRLVL_RESPLAT								TDFI_WRLVL_DLL							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DFI_WRLVL_MAX_DELAY															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.129 DDR_CTL_361 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	TDFI_WRLVL_RESP LAT	使用不可。初期値のままにしてください。	R/W
b23～b16	TDFI_WRLVL_DLL	使用不可。初期値のままにしてください。	R/W
b15～b0	DFI_WRLVL_MAX_D ELAY	使用不可。初期値のままにしてください。	R/W

6.4.1.128 DDR_CTL_362 — DDR コントローラステータス／制御 362 レジスタ

アドレス 4000 D5A8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_RDLVL_LOAD								TDFI_RDLVL_DLL							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_RDLVL_EN								TDFI_WRLVL_LOAD							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.130 DDR_CTL_362 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	TDFI_RDLVL_LOAD	使用不可。初期値のままにしてください。	R/W
b23～b16	TDFI_RDLVL_DLL	使用不可。初期値のままにしてください。	R/W
b15～b8	TDFI_RDLVL_EN	使用不可。初期値のままにしてください。	R/W
b7～b0	TDFI_WRLVL_LOAD	使用不可。初期値のままにしてください。	R/W

6.4.1.129 DDR_CTL_363 — DDR コントローラステータス／制御 363 レジスタ

アドレス 4000 D5ACh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	RDLVL_MAX_DELAY							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_MAX_DELAY								TDFI_RDLVL_RESPLAT							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.131 DDR_CTL_363 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b8	RDLVL_MAX_DELAY	使用不可。初期値のままにしてください。	R/W
b7～b0	TDFI_RDLVL_RESPLAT	使用不可。初期値のままにしてください。	R/W

6.4.1.130 DDR_CTL_364 — DDR コントローラステータス／制御 364 レジスタ

アドレス 4000 D5B0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	TDFI_RDLVL_RR									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_GATE_MAX_DELAY															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.132 DDR_CTL_364 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25～b16	TDFI_RDLVL_RR	使用不可。初期値のままにしてください。	R/W
b15～b0	RDLVL_GATE_MAX_DELAY	使用不可。初期値のままにしてください。	R/W

6.4.1.131 DDR_CTL_365 — DDR コントローラステータス／制御 365 レジスタ

アドレス 4000 D5B4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_RDLVL_RESP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_RDLVL_RESP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.133 DDR_CTL_365 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TDFI_RDLVL_RESP	使用不可。初期値のままにしてください。	R/W

6.4.1.132 DDR_CTL_366 — DDR コントローラステータス／制御 366 レジスタ

アドレス		4000 D5B8h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	RDLVL_RESP_MASK				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	RDLVL_RESP_MASK																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.134 DDR_CTL_366 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット	使用不可	R
b23～b20	予約ビット	使用不可	R
b19～b0	RDLVL_RESP_MASK	使用不可。初期値のままにしてください。	R/W

6.4.1.133 DDR_CTL_367 — DDR コントローラステータス／制御 367 レジスタ

アドレス		4000 D5BCh															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	RDLVL_EN	—	—	—	—	RDLVL_GATE_RESP_MASK				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	RDLVL_GATE_RESP_MASK																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.135 DDR_CTL_367 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	RDLVL_EN	使用不可。初期値のままにしてください。	R/W
b23～b20	予約ビット	使用不可	R
b19～b0	RDLVL_GATE_RESP_MASK	使用不可。初期値のままにしてください。	R/W

6.4.1.134 DDR_CTL_368 — DDR コントローラステータス／制御 368 レジスタ

アドレス 4000 D5C0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RDLVL_GATE_PRE- AMBLE_CHECK_EN	—	—	—	—	—	—	—	RDLVL_GATE_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.136 DDR_CTL_368 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット	使用不可	R
b15～b9	予約ビット	使用不可	R
b8	RDLVL_GATE_PRE- AMBLE_CHECK_EN	使用不可。初期値のままにしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	RDLVL_GATE_EN	使用不可。初期値のままにしてください。	R/W

6.4.1.135 DDR_CTL_369 — DDR コントローラステータス／制御 369 レジスタ

アドレス 4000 D5C4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDFI_RDLVL_MAX															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDFI_RDLVL_MAX															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.137 DDR_CTL_369 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TDFI_RDLVL_MAX	使用不可。初期値のままにしてください。	R/W

6.4.1.136 DDR_CTL_370 — DDR コントローラステータス／制御 370 レジスタ

アドレス 4000 D5C8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	RDLVL_ERROR_STATUS													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RDLVL_GATE_DQ_0_COUNT				—	—	—	—	RDLVL_DQ_0_COUNT			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.138 DDR_CTL_370 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b30	予約ビット	使用不可	R
b29~b16	RDLVL_ERROR_ST ATUS	使用不可	R
b15~b12	予約ビット	使用不可	R
b11~b8	RDLVL_GATE_DQ_0 _COUNT	使用不可。初期値のままにしてください。	R/W
b7~b4	予約ビット	使用不可	R
b3~b0	RDLVL_DQ_0_COU NT	使用不可。初期値のままにしてください。	R/W

6.4.1.137 DDR_CTL_371 — DDR コントローラステータス／制御 371 レジスタ

アドレス 4000 D5CCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLVL_GATE_INTERVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLVL_INTERVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.139 DDR_CTL_371 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	RDLVL_GATE_INTE RVAL	使用不可。初期値のままにしてください。	R/W
b15~b0	RDLVL_INTERVAL	使用不可。初期値のままにしてください。	R/W

6.4.1.138 DDR_CTL_372 — DDR コントローラステータス／制御 372 レジスタ

アドレス 4000 D5D0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	OPTIMAL_RMODW_EN	MEMCD_RMODW_FIFO_PTR_WIDTH							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MEMCD_RMODW_FIFO_DEPTH								—	—	—	—	—	TDFI_PHY_WRDATA		
リセット後の値	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0

表 6.140 DDR_CTL_372 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	OPTIMAL_RMODW_EN	使用不可。初期値のままにしてください。	R/W
b23～b16	MEMCD_RMODW_FIFO_PTR_WIDTH	コントローラのリードモディファイライト FIFO ポインタの幅を表示します。	R
b15～b8	MEMCD_RMODW_FIFO_DEPTH	コントローラのリードモディファイライト FIFO の深さを表示します。	R
b7～b3	予約ビット	使用不可	R
b2～b0	TDFI_PHY_WRDATA	dfi_wrdata_en アサートから dfi_wrdata 信号間の最大サイクル数である、DFI の tPHY_WRDATA タイミングパラメータ（メモリクロック単位）を指定します。	R/W

6.4.1.139 DDR_CTL_373 — DDR コントローラステータス／制御 373 レジスタ

アドレス 4000 D5D4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.141 DDR_CTL_373 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	予約ビット	機能拡張用に予約済みです。初期値のままにしてください。	R/W
b23～b21	予約ビット	使用不可	R
b20～b16	予約ビット	機能拡張用に予約済みです。初期値のままにしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	予約ビット	機能拡張用に予約済みです。初期値のままにしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	予約ビット	機能拡張用に予約済みです。常に 1 にセットします。	R/W

6.4.1.140 DDR_CTL_374 — DDR コントローラステータス／制御 374 レジスタ

アドレス 4000 D5D8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
								AXI3_ALL_STROBES_USED_ENABLE								AXI2_ALL_STROBES_USED_ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
								AXI1_ALL_STROBES_USED_ENABLE								AXI0_ALL_STROBES_USED_ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.142 DDR_CTL_374 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	使用不可	R
b24	AXI3_ALL_STROBES_USED_ENABLE	AXI ポート 3 の AWALLSTRB 信号を有効にします。有効にするには 1 をセットしてください。	R/W
b23～b17	予約ビット	使用不可	R
b16	AXI2_ALL_STROBES_USED_ENABLE	AXI ポート 2 の AWALLSTRB 信号を有効にします。有効にするには 1 をセットしてください。	R/W
b15～b9	予約ビット	使用不可	R
b8	AXI1_ALL_STROBES_USED_ENABLE	AXI ポート 1 の AWALLSTRB 信号を有効にします。有効にするには 1 をセットしてください。	R/W
b7～b1	予約ビット	使用不可	R
b0	AXI0_ALL_STROBES_USED_ENABLE	AXI ポート 0 の AWALLSTRB 信号を有効にします。有効にするには 1 をセットしてください。	R/W

6.4.2 DDR PHY レジスタの説明

6.4.2.1 FUNCCTRL — 機能制御レジスタ

アドレス 4000 E000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MASKSDLOFS						
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	1	1	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	IFSEL		—	—	—	—	—	—	—	FUNCRSTB
リセット後の値	X	X	X	X	X	X	0	1	X	X	X	X	X	X	X	0

表 6.143 FUNCCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b23	予約ビット	使用不可	R
b22～b16	MASKSDLOFS	Hi-Z マスク回路設定レジスタ。	R/W
b15～b10	予約ビット	使用不可	R
b9、b8	IFSEL	インタフェースの電圧設定。 2'b00 : DVDDQ 1.8V 2'b01 : DVDDQ 1.5V 2'b10 : (設定禁止) 2'b11 : (設定禁止)	R/W
b7～b1	予約ビット	使用不可	R
b0	FUNCRSTB	機能ブロックのリセット設定。 リセットすると、レジスタを除いて “PWRCTRL_DDRC.RSTN_B=0” と同じ状態になります。 0 : リセット状態 1 : 動作状態	R/W

6.4.2.2 DLLCTRL — MDLL 制御レジスタ

アドレス 4000 E004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	ASDLL OCK	MDLLO CK	MSATF G	—	MDACN TM	SDLYC TRL	DACNT UPD	—	—	MDACNT	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MDACNT								—	—	HSLMO DE	MSATM ODE	DDMO DE	MFSL	MDLLS TBY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 6.144 DLLCTRL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b27	予約ビット	使用不可	R
b26	ASDLLOCK	マスタ DLL のロック信号。 1'b0 : ロック解除 1'b1 : ロック	R
b25	MDLLOCK	マスタ DLL のロック信号。ロック状態は、ASDLLOCK ビットを使用してください。	R
b24	MSATFG	マスタ DLL のサチュレーションフラグ。 1'b0 : サチュレーション状態ではない（遅延ラインの範囲内制御） 1'b1 : サチュレーション状態（遅延ラインの最大／最小制御）	R
b23	予約ビット	使用不可	R
b22	MDACNTM	マスタ DLL の制御コードの書き込み。 “1” にセットすると、マスタ DLL の制御コードは MDACNT に保管されます。読み出すと“0”が返ります。MDACNT に直接書き込む値より優先します（ビット[20]と同時に書き込まないでください）。	W
b21	SDLYCTRL	スレーブ DLL の制御選択。 1'b0 : マスタ DLL による制御（デフォルト） 1'b1 : MDACNT による制御	R/W
b20	DACNTUPD	スレーブ遅延の制御コードの更新。 SDLYCTRL = “1” なら、MDACNT 値がスレーブ遅延に適用されます。“1” にセットすると、制御コードがスレーブ遅延に適用されます。読み出すと“0”が返ります。MDACNT による制御の場合は更新が必要です。（ビット[22]と同時に書き込まないでください）。	W
b19~b18	予約ビット	使用不可	R
b17~b8	MDACNT	マスタ DLL のコードモニタ信号。 MDACNTM を“1”にセットすると、マスタ DLL の DACNT[9:0]が保管されます。	R/W
b7~b6	予約ビット	使用不可	R
b5	HSLMODE	高速ロックアップモード設定（予約ビット：未実装）。 1'b0 : 詳細ロックアップモード（デフォルト） 1'b1 : 高速ロックアップモード（設定禁止）	R/W
b4	MSATMODE	サチュレーションモード設定。 1'b0 : OFF（セルフリセットモード） 1'b1 : ON（サチュレーションモード：遅延制御値が最大／最小値でカウント停止）	R/W

表 6.144 DLLCTRL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	DDMODE	ダブル遅延モード設定。 1'b0 : DDR3 1'b1 : DDR2	R/W
b2、b1	MFSL	周波数帯域設定。2'b10 を設定してください。	R/W
b0	MDLLSTBY	マスタ DLLSTBY 設定。 周波数の変更後はリセットの実行が必要です。 1'b0 : 通常動作 1'b1 : リセット (デフォルト)	R/W

6.4.2.3 ZQCALCTRL — ZQ キャリブレーション制御レジスタ

アドレス 4000 E008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ZQCAL RUN	ZQCAL END	ZQCAL GAP	ZQCALPC			ZQCALPF			ZQCALNC			ZQCALNF			
リセット後の値	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ZQCAL NF	ZQCALI NIT	—	—	—	—	ZQCALFREQ		ZQCALITVL				—	ZQCAL MODE	ZQCAL STRV	ZQCAL RSTB
リセット後の値	X	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0

表 6.145 ZQCALCTRL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	ZQCALRUN	ZQ キャリブレーションの状態を表す信号。 1'b0: 停止状態 (デフォルト) 1'b1: キャリブレーション実行中	R
b30	ZQCALEND	ZQ キャリブレーション完了の状態を表す信号。 1'b0: キャリブレーション未完了 (デフォルト) 1'b1: キャリブレーション完了	R
b29	ZQCALGAP	ZQ キャリブレーション結果と制御コードに差異があることを表す信号。 1'b0: 差異なし (デフォルト) 1'b1: 差異あり	R
b28~b26	ZQCALPC	Pch キャリブレーションの粗調整コード出力。	R
b25~b22	ZQCALPF	Pch キャリブレーションの微調整コード出力。	R
b21~b19	ZQCALNC	Nch キャリブレーションの粗調整コード出力。	R
b18~b15	ZQCALNF	Nch キャリブレーションの微調整コード出力。	R
b14	ZQCALINIT	ZQ キャリブレーションの初期化終了出力。 1'b0: キャリブレーション未実行 (デフォルト) 1'b1: キャリブレーション初期化終了	R
b13~b10	予約ビット	使用不可	R
b9、b8	ZQCALFREQ	ZQ キャリブレーションのサンプリング間隔設定。2'b01 を設定してください。	R/W
b7~b4	ZQCALITVL	ZQ キャリブレーションの実行間隔設定。 4'h0: 1 回で終了 2^ ⁿ (ZQCALITVL+16) DFICLK クロック単位 設定範囲は 4'h0~4'hA です。それ以外は設定しないでください。	R/W
b3	予約ビット	使用不可	R
b2	ZQCALMODE	ZQ キャリブレーションの初期コード設定。 1'b0: 終端なし (デフォルト) 1'b1: 終端を使用	R/W
b1	ZQCALSTRV	ZQ キャリブレーションの開始値設定。 1'b0: 中央値 1'b1: 前回結果 (デフォルト)	R/W

表 6.145 ZQCALCTRL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	ZQCALRSTB	ZQ キャリブレーション回路リセット設定。 1'b0 : リセット (デフォルト) 1'b1 : リセット解除	R/W

6.4.2.4 ZQODTCTRL — ZQODT 制御レジスタ

アドレス 4000 E00Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CAPHASE		WRFIFOEN	FIFORPINIT	ZQDATA				ZQCK				ZQCMDAD			
リセット後の値	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ZQCMDAD	—	SRDQ		SRCK		SRCMDAD		—	PHYODT		PHYODTEN	—	—	DRAMIF	
リセット後の値	1	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1

表 6.146 ZQODTCTRL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31、b30	CAPHASE	コマンド／アドレス出力フェーズ設定。 DDR メモリクロックに対するコマンド／アドレスの出力フェーズを設定します。 2'b10 : 2/4 tCK 設定 上記以外 : 予約ビット (設定禁止)	R/W
b29	WRFIFOEN	I/F FIFO モード設定。 1'b0 : 設定禁止 1'b1 : FIFO 許可 (デフォルト)	R/W
b28、b27	FIFORPINIT	I/F FIFO 読み出しポインタ初期化。 DFICLK および PHY のクロックフェーズ差の許容幅を設定します。 2'b01 : ±1 DFICLK クロック 上記以外 : 予約ビット	R/W
b26～b23	ZQDATA	データ用 (DQ、DM、DQS) PHY ドライバインピーダンス設定。 ZDQ/{ZQDATA}として設定されます。 設定可能な範囲 DDR3 : 3～6 DDR2 : 3～7 上記以外 : 予約ビット デフォルト=5 ZDQ は、ZQ 自動キャリブレーションおよび外部抵抗 (DDR2=150Ω, DDR3=120Ω) により決まります。 目標値は、DDR2 : ZDQ=300Ω および DDR3 : ZDQ=240Ω です。	R/W
b22～b19	ZQCK	CK 用 PHY ドライバインピーダンス設定。 ZDQ/{ZQCK}として設定されます。 設定可能な範囲 DDR3 : 3～8 DDR2 : 3～10 上記以外 : 予約ビット デフォルト=5	R/W
b18～b15	ZQCMDAD	コマンド／アドレス用 PHY ドライバインピーダンス設定。 ZDQ/{ZQCMDAD}として設定されます。 設定可能な範囲 DDR3 : 3～8 DDR2 : 3～10 上記以外 : 予約ビット デフォルト=5	R/W
b14	予約ビット	使用不可	R

表 6.146 ZQODTCTRL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b13、b12	SRDQ	データおよび DQS 用スルーレート設定。 2'b00 : ハイ (デフォルト) 2'b11 : ロー (設定禁止) 2'b01 : DQS 信号マスク回路停止 2'b10 : DQS 信号マスク回路停止 (設定禁止)	R/W
b11、b10	SRCK	CK 用スルーレート設定。 設定方法は SRDQ と同じです。	R/W
b9、b8	SRCMDAD	コマンド／アドレスのスルーレート設定。 設定方法は SRDQ と同じです。	R/W
b7	予約ビット	使用不可	R
b6、b5	PHYODT	PHY ODT 抵抗設定。 2'b00 : OFF (設定禁止) 2'b01 : Rtt_RD/1 2'b10 : Rtt_RD/2 (デフォルト) 2'b11 : Rtt_RD/3 Rtt_RD は、ZQ 自動キャリブレーションおよび外部抵抗 (DDR2=150Ω, DDR3=120Ω) により決まります。 目標値は、DDR2 : Rtt_RD=150Ω および DDR3 : Rtt_RD=120Ω です。	R/W
b4	PHYODTEN	PHY ODT 使用設定。 1'b0 : ODT 非使用 (設定禁止) 1'b1 : ODT 使用 (デフォルト)	R/W
b3、b2	予約ビット	使用不可	R
b1、b0	DRAMIF	DRAM I/F 設定。 2'b00 : DDR2 2'b01 : DDR3 (デフォルト) 2'b10 : 設定禁止 2'b11 : 設定禁止	R/W

6.4.2.5 RDCTRL — リード制御レジスタ

アドレス 4000 E010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PHYODTONT				PHYODTOFT				PDQODTONT				PDQODTOFT			
リセット後の値	1	1	1	0	0	1	1	1	0	1	0	0	0	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PHYBENONT				PHYBENOFT				PHYIENONT				PHYIENOFT			
リセット後の値	1	1	1	0	0	1	1	1	0	1	0	0	0	1	1	0

表 6.147 RDCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b28	PHYODTONT	PHY DQS ODT のオンタイミング設定。 PHYODTEN=1 の場合に有効です。PHY ODT のオンタイミングは 0.5 tCK ステップで設定可能です (0 遅延条件)。 プリアンプルの (PHYODTONT-4) × 0.5 tCK 前 4'hE : プリアンプルの 5.0 tCK 前 (デフォルト)	R/W
b27~b24	PHYODTOFT	PHY DQS ODT のオフタイミング設定。 PHYODTEN=1 の場合に有効です。PHY ODT のオフタイミングは 0.5 tCK ステップで設定可能です (0 遅延条件)。 ポストアンプルの (PHYODTOFT+2) × 0.5 tCK 後 4'h7 : ポストアンプル終了から 4.5 tCK 後 (デフォルト) 設定可能範囲は 4'h0~4'hC でそれ以外は設定禁止です。	R/W
b23~b20	PDQODTONT	PHY DQ ODT のオンタイミング設定。 設定方法は PHYODTONT と同じです。	R/W
b19~b16	PDQODTOFT	PHY DQ ODT オフタイミング設定。 設定方法は PHYODTOFT と同じです。	R/W
b15~b12	PHYBENONT	PHY DQS および DQ BEN のオンタイミング設定。 レシーバのバイアスイネーブルのオンタイミングは 0.5 tCK ステップで設定が可能です (0 遅延条件)。 プリアンプルの (PHYBENONT-4) × 0.5 tCK 前 : DDR2/DDR3 4'hE : プリアンプルの 5.0 tCK 前 (DDR3 : デフォルト)	R/W
b11~b8	PHYBENOFT	PHY DQS および DQ BEN のオフタイミング設定。 レシーバのバイアスイネーブルのオフタイミングは 0.5 tCK ステップで設定が可能です (0 遅延条件)。 ポストアンプルの (PHYBENOFT+2) × 0.5 tCK 後 : DDR2/DDR3. 4'h7 : ポストアンプル終了から 4.5 tCK 後 (DDR3 : デフォルト) 設定範囲は 4'h0~4'hC です。それ以外は設定しないでください。	R/W
b7~b4	PHYIENONT	PHY DQS および DQ 入カインーブルのオンタイミング設定。 レシーバの入カインーブルのオンタイミングは 0.5 tCK ステップで設定可能です (0 遅延条件)。DQS の最初の立ち上がりより 1ns 以上前にオンにする必要があります。 プリアンプルの (PHYIENONT-4) × 0.5 tCK 前 : DDR2/DDR3. 4'h4 : プリアンプルと同時 (DDR3 : デフォルト)	R/W
b3~b0	PHYIENOFT	PHY DQS および DQ 入カインーブルのオフタイミング設定。 レシーバの入カインーブルのオフタイミングは 0.5 tCK ステップで設定が可能です (0 遅延条件)。フライトタイムを考慮する必要があります。 ポストアンプルの (PHYIENOFT+2) × 0.5 tCK 後 : DDR2/DDR3. 4'h6 : ポストアンプル終了から 4.0 tCK 後 (デフォルト) 設定範囲は 4'h0~4'hC です。それ以外は設定しないでください。	R/W

6.4.2.6 RDTMG — リードタイミング制御レジスタ

アドレス 4000 E014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RDENVALID				—	—	WDOMODE	
リセット後の値	X	X	X	X	X	X	X	X	1	0	1	1	X	X	0	0

表 6.148 RDTMG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	使用不可	R
b7~b4	RDENVALID	読み出しデータ転送設定。 RDDATAEN= “1” から RDDATAVALID= “1” までの待機時間（DFICLK）を設定します。tphy_rdlat に一致させる必要があります。 RDENVALID+4 DFICLK 4'hB : 15 DFICLK（デフォルト）（WRFIFOEN=1'b1、FIFORPINIT=2'b01） 0 は設定しないでください。	R/W
b3、b2	予約ビット	使用不可	R
b1、b0	WDOMODE	コマンド DQ 出力モード設定。 2'b00 : 通常モード（デフォルト） それ以外 : 予約ビット（設定禁止）	R/W

6.4.2.7 FIFOINIT — FIFO 初期化レジスタ

アドレス		4000 E018h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RDPTIN ITEXE	—	—	—	—	—	—	—	WRPTI NITEXE
リセット後の値	X	X	X	X	X	X	X	0	X	X	X	X	X	X	X	0

表 6.149 FIFOINIT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b9	予約ビット	使用不可	R
b8	RDPTINITEXE	読み出し FIFO ポインタ初期化。 読み出しの FIFO ポインタを初期化します。 “1” を書き込むことで、初期化が実行されます。読み出すと “0” が返ります。	W
b7～b1	予約ビット	使用不可	R
b0	WRPTINITEXE	書き込み FIFO ポインタ初期化。 FIFORPINIT 値のポインタを初期化します。 “1” を書き込むことで、初期化が実行されます。読み出すと “0” が返ります。	W

6.4.2.8 OUTCTRL — 出力制御レジスタ

アドレス 4000 E01Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	MBL		—	—	—	MRL				
リセット後の値	X	X	X	X	X	X	1	0	X	X	X	0	1	0	1	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MWL					—	—	DISOUT		—	RESET BOE	CKEOD TOE	ADCMD OE
リセット後の値	X	X	X	0	1	0	0	0	X	X	0	0	X	1	1	0

表 6.150 OUTCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット	使用不可	R
b25～b24	MBL	評価用。リセット後の値以外に設定しないでください。	R/W
b23～b21	予約ビット	使用不可	R
b20～b16	MRL	評価用。リセット後の値以外に設定しないでください。	R/W
b15～b13	予約ビット	使用不可	R
b12～b8	MWL	評価用。リセット後の値以外に設定しないでください。	R/W
b7、b6	予約ビット	使用不可	R
b5、b4	DISOUT	DFIDATABYTEDISABLE の出力モード設定。 2'b00：フローティング 2'b01：Low 出力（ただし、DDR_DQS_N は High 出力） 上記以外：設定禁止	R/W
b3	予約ビット	使用不可	R
b2	RESETBOE	DDR_RESET_N の出力イネーブル設定。 1'b0：フローティング 1'b1：出力（デフォルト）	R/W
b1	CKEODTOE	DDR_CLKEN および DDR_ODT の出力イネーブル設定。 1'b0：フローティング 1'b1：出力（デフォルト）	R/W
b0	ADCMDOE	アドレスおよびコマンドの出力イネーブル設定。 DDR_CLKEN、DDR_ODT、および DDR_RESET_N 以外のアドレスコマンドの出力制御。 1'b0：フローティング 1'b1：出力	R/W

6.4.2.9 WLCTRL1 — ライトレベリング制御レジスタ 1

アドレス 4000 E040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	WLEN	WLAUTO	—	WLVEND	—	WLSTATE	WLSTR	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	X	0	X	0	0	0	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	WL2OFS						—	WL1OFS							
リセット後の値	X	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0

表 6.151 WLCTRL1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	WLEN	ライトレベリング機能使用設定。 ライトレベリングを使用する際は、FIFO ポインタを初期化する前に本ビットを“1”にセットする必要があります。 1'b0: 非使用 (デフォルト) 1'b1: 使用 (FIFO I/F モード制限)	R/W
b30	WLAUTO	ライトレベリング実行モード設定 (予約モード)。 1'b0: 手動設定 (デフォルト) 1'b1: 自動設定 (設定禁止)	R/W
b29	予約ビット	使用不可	R
b28	WLVEND	ライトレベリング終了フラグ。 1'b0: 未終了 1'b1: 終了	R
b27	予約ビット	使用不可	R
b26、b25	WLSTATE	ライトレベリングステータス設定 (設定禁止)。	R/W
b24	WLSTR	ライトレベリングタイミング調整。 “1”を書き込むと設定した値でタイミングが再調整されます。読み出すと“0”が返ります。 “0”の状態では各アイテムを設定し、50 クロック (DFICLK 変換値) 期間待機した後で、WLSTR のみを“1”に変更して書き込んでください。 処理の後で 50 DFICLK 以上の期間を待機する必要があります。	W
b23~b15	予約ビット	使用不可	R
b14~b8	WL2OFS	第 2 バイトライトレベリング手動操作オフセット設定。 WL2OFS[6]=1'b1 90-90/32×WL2OFS[5:0][度] (0~90 度: 0≤WL2OFS[5:0]≤32) WL2OFS[6]=1'b0 90+90/32×WL2OFS[5:0][度] (90~135 度: 0≤WL2OFS[5:0]≤16)	R/W
b7	予約ビット	使用不可	R
b6~b0	WL1OFS	第 1 バイトライトレベリング手動操作オフセット設定。 WL1OFS[6]=1'b1 90-90/32×WL1OFS[5:0][度] (0~90 度: 0≤WL1OFS[5:0]≤32) WL1OFS[6]=1'b0 90+90/32×WL1OFS[5:0][度] (90~135 度: 0≤WL1OFS[5:0]≤16)	R/W

6.4.2.10 DQCALOFS1 — DQS オフセット設定レジスタ

アドレス 4000 E0E8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	B2RSS AT	B1RSS AT	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	DQCAL2OFS						—	DQCAL1OFS							
リセット後の値	X	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0

表 6.152 DQCALOFS1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	B2RSSAT	第 2 バイト読み出しの SDLY サチュレーションフラグ出力 1'b0 : サチュレーション状態ではない 1'b1 : サチュレーション状態	R
b30	B1RSSAT	第 1 バイト読み出しの SDLY サチュレーションフラグ出力 1'b0 : サチュレーション状態ではない 1'b1 : サチュレーション状態	R
b29~b15	予約ビット	使用不可	R
b14~b8	DQCAL2OFS	第 2 バイト DQS オフセット設定 DQCAL2OFS[6]=1'b1 90-90/32 × DQCAL2OFS[5:0][度] (0~90 度 : 0 ≤ DQCAL2OFS[5:0] ≤ 32) DQCAL2OFS[6]=1'b0 90+90/32 × DQCAL2OFS[5:0][度] (90~180 度 : 0 ≤ DQCAL2OFS[5:0] ≤ 32)	R/W
b7	予約ビット	使用不可	R
b6~b0	DQCAL1OFS	第 1 バイト DQS オフセット設定 DQCAL1OFS[6]=1'b1 90-90/32 × DQCAL1OFS[5:0][度] (0~90 度 : 0 ≤ DQCAL1OFS[5:0] ≤ 32) DQCAL1OFS[6]=1'b0 90+90/32 × DQCAL1OFS[5:0][度] (90~180 度 : 0 ≤ DQCAL1OFS[5:0] ≤ 32)	R/W

6.5 動作

6.5.1 アドレスマッピング

DDR コントローラは、DRAM メモリの連続ブロックに自動的にユーザアドレスをマッピングします。開始ユーザアドレスは 0 で、終了アドレスは DRAM メモリの容量および個数に応じた最上位アドレスです。アドレスマッピングは、DDR コントローラの内部レジスタのパラメータ設定に応じて決まります。

DRAM メモリの内部データストレージ構造に対するアドレス空間のマッピングは、使用可能な実際の DRAM メモリサイズが基準となります。このサイズは、電源投入時に初期化が必要となるユーザ設定のパラメータに格納されます。DRAM メモリには、マッピングオプションが用意されたものや、選択したメモリバースト長でマッピングが決まるものがあります。

6.5.1.1 DDR SDRAM のアドレスマッピングオプション

DDR SDRAM メモリのアドレス構造には 5 個のフィールドがあります。各フィールドは、DRAM にアクセスする際に個別のアドレス指定が可能です。DDR コントローラのアドレスマップには以下の順番があります。

チップセレクト — ロウ — バンク — カラム — データパス

メモリアドレス幅パラメータ (COL_DIFF、BANK_DIFF、および ROW_DIFF) の設定を変更することで、フィールドの実際の幅を変更可能です。

注 意

DDR メモリコントローラの最大アドレス範囲は、内部で 0x00000000~0x7FFFFFFF に制限されます。RZ/N1 の場合、DDR メモリは 0x80000000~0xFFFFFFFF にマッピングされます。

6.5.1.2 最大アドレス空間

ユーザアドレスの最大範囲は、メモリのデータパス幅、チップセレクトの端子数、および DRAM メモリのアドレス空間で決まります。メモリの最大容量は以下の数式で求められます。

$$\text{MaxMemBytes} = \text{ChipSelects} \times 2^{\text{Address}} \times \text{NumBanks} \times \text{DPWidthBytes}$$

図 6.2 メモリの最大容量の計算式

以下は、8Gb=512M×16b 2 個使用時の例

チップセレクト (ChipSelects) =2

メモリアドレス (Address) =16+10 (ロウ+カラム)

各チップセレクトのバンク数 (NumBanks) =8

メモリのデータパス幅 (バイト) (DPWidthBytes) =2 バイト

注 意

DDR メモリコントローラの最大アドレス範囲は、内部で 0x00000000~0x7FFFFFFF に制限されます。RZ/N1 の場合、DDR メモリは 0x80000000~0xFFFFFFFF にマッピングされます。

したがって、アクセス可能な最大メモリ領域は 2GB です。

6.5.1.3 アドレス空間のメモリマッピング

「図 6.3 最大メモリマッピング」に、DDR コントローラの DRAM メモリで設定可能な最大アドレス空間およびマッピングを示します。

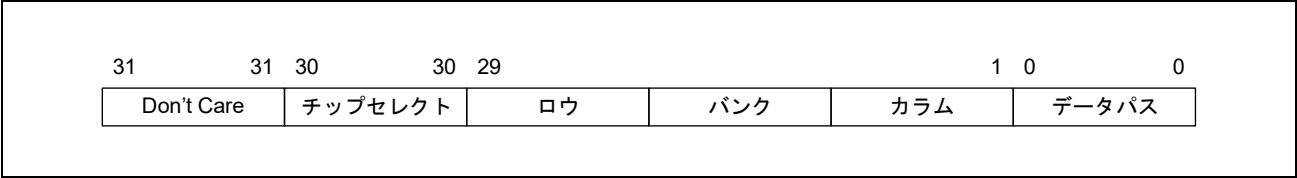


図 6.3 最大メモリマッピング

注 意

ビット[31]は DDR コントローラ内で使用していません。したがって指定可能な最大アドレスは 0x7FFFFFFF です。

“COL_DIFF” および “ROW_DIFF” パラメータの範囲は、コントローラ構成の最大値から、その最大値より 7 ビット小さい値の範囲で設定することが可能です。これにより、DDR コントローラはさまざまなメモリサイズに対応することが可能です。

“COL_DIFF” および “ROW_DIFF” パラメータは、アドレスマップを基準としたユーザアドレスを DRAM のチップセレクト、ロウ、およびカラムアドレスにデコードする方法に反映します。“BANK_DIFF” パラメータは、DRAM のバンクアドレスを制御します。これらのパラメータ値は、最大値を超えないようにしてください。

「図 6.3 最大メモリマッピング」構成と比較して、コントローラが 13 本のロウおよび 9 本のカラムビットを持つメモリに接続されている場合、アクセス可能な最大メモリ空間は減少します。この場合のアクセス可能なメモリ空間は 128MB です。

「図 6.4 実メモリマップ」に、この構成におけるアドレスマップを示します。アドレスビット 27～31 は「ドントケア」ビットです。これらのビットは、コントローラが DRAM メモリのアドレスを生成する場合には無視されますが、アドレスがコントローラの使用可能アドレス範囲内であることをチェックするために使用されます。そのため、これらのビットは必ず 0 に設定します。コントローラがコマンドをアドレス範囲外と解釈すると、“INT_STATUS” フィールドの 1 つまたは 2 つの範囲外割り込み（ビット 1 または 2）が 1 にセットされます。

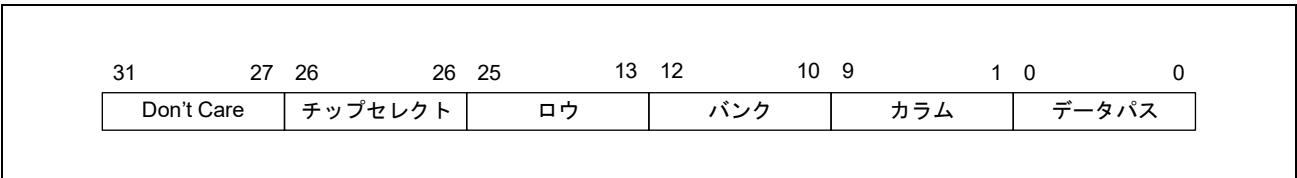


図 6.4 実メモリマップ

注 意

チップセレクト、ロウ、バンク、およびカラムの各フィールドは、メモリワード全体をアドレス指定するのに使用され、データパスビットはワード内の各バイトをアドレス指定するのに使用されます。たとえば、バイトアドレス 0x1 から読み出しを開始する場合、データパスビットはバイトを直接アドレス指定できるように 1'b1 に設定します。すべてのデータパスビットが 0 なら、読み出しおよび書き込みはメモリワードにアラインします。

6.5.2 AXI インタフェースポート

DDR コントローラには、AXI バスでの通信用として 4 個の内部 AXI ポートがあります。各ポートは、AXI インタフェースブロックによりコントローラコアに接続されます。ポートからの要求の調停、およびコントローラコアへの要求の送出は、調停方式で管理します。調停ロジックが受け付ける各トランザクションには優先度があり、この優先度と各ポートの調停ロジックによりポートからコントローラコアへの要求の発行方法が決まります。DDR コントローラは、帯域幅割り当て／優先度ラウンドロビンの調停方式を採用しています。

調停ロジックは、コントローラコアからの読み出しデータを適切なポートに転送します。このポートはデータ受信が可能であることが前提条件です。各ポートからの書き込みデータは、コントローラコアの専用の書き込みデータインタフェースに直接接続され、ポートは独立してコントローラコアのバッファに書き込みデータを転送することが可能です。

6.5.2.1 調停方式

帯域幅割り当ては、単純なラウンドロビン調停の機能を拡張した方式です。基準となるのは要求の優先度ですが、コントローラコアのポート側で消費される実際の帯域幅によっても変化します。

優先度ラウンドロビン調停は複雑な調停方式です。その処理を理解するには、まず個々の概念を理解することが必要です。以降では、優先度ラウンドロビン調停の各コンポーネントについて説明します。

6.5.2.2 ラウンドロビン調停とは

ラウンドロビンは、各ポートにコマンド発行の機会が与えられる単純な調停方式です。ポート番号を一巡するカウンタを使用し、いずれかのポートからの要求が許可される毎にカウンタをインクリメントします。

カウンタの指示するポートにアクティブな要求があり、コマンドキューがフルではない場合、その要求をコントローラコアに送出します。そのポートにアクティブな要求がない場合は、スキップして次のポートをチェックします。カウンタは、ポートの要求を調停したかどうかに関係なく、要求をチェックする毎に 1 ずつインクリメントします。

ラウンドロビン処理では、各ポートの要求が N サイクル毎に調停されてコントローラコアに送出されることが保証されます。N は DDR コントローラのポート数です。各ポートの要求は、それ以外にアクティブな要求を持つポートがなく、コマンドキューがフルではないかぎり、破棄されずに各サイクルで処理されます。

「表 6.153 ラウンドロビン処理の例」に、ラウンドロビン方式の例を示します。サイクル 0、2、および 6 は、コマンドキューがフルであるときのシステム動作を示します。サイクル 8 および 11 は、調停カウンタで指示されるポートにアクティブな要求がない場合のシステム動作を示します。サイクル 11 は注意が必要です。調停カウンタ (0) で指示されるポートに要求がないため、カウンタは昇順で他のポートをスキャンし、アクティブな要求を検出します。ポート 2 には要求があり、調停では制御権を得ますが、カウンタはインクリメントしてシーケンスの次のポートであるポート 1 を指示します。それ以外のすべてのサイクルは通常動作です。

表 6.153 ラウンドロビン処理の例

サイクル	調停カウンタの指示するポート	ポート要求				コマンドキューはフルか？	調停後の指示ポート	次サイクルのカウンタ値
		ポート 0	ポート 1	ポート 2	ポート 3			
0	0	Y	Y	Y	Y	Yes	なし	0
1	0	Y	Y	Y	Y	No	ポート 0	1
2	1		Y	Y	Y	Yes	なし	1
3	1	Y	Y	Y	Y	No	ポート 1	2
4	2	Y		Y	Y	No	ポート 2	3
5	3	Y			Y	No	ポート 3	0
6	0	Y		Y		Yes	なし	0
7	0	Y		Y		No	ポート 0	1
8	1			Y		No	ポート 2	2
9	2			Y	Y	No	ポート 2	3
10	3	Y			Y	No	ポート 3	0
11	0			Y		No	ポート 2	1

6.5.2.3 ポート優先度とは

ポートには優先度があり、各ポートには読み出しおよび書き込みの個別の優先度パラメータがあります。これらの値は、コントローラの初期化時に“AXIY_R_PRIORITY”および“AXIY_W_PRIORITY”パラメータに格納されます（Y は AXI ポート番号[0～3]を表す）。各ポートは、優先度設定に応じて内部で優先度グループに振り分けられます。1 つの優先度グループ内の全ポートは、割り当てられた帯域幅を超過しないかぎり、調停で平等に扱われます。優先度値は、コントローラコアでコマンドキューを充填する場合の配置ロジックにも使用されます。

注 意

多数のポートに対して 1 つの優先度が設定されているときに、一部の複数のポートが要求を生成する場合があります。この場合、アクティブな要求を持つポートが調停で制御権を獲得できないことがあります。調停はポートの要求および調停順内のアクティブポートの構成で決まります。詳細については「6.5.2.8(1) 4 ポート、1 つの優先度レベル、帯域幅条件なしのケース」を参照してください。

DDR コントローラ内の優先度は、0 が最上位、3 が最下位です。優先度 0 は設定は可能ですが、配置ロジックがエーijingの際にレベルを 0 に上げられるように予約値にしておくのが最善です。

6.5.2.4 ポート帯域幅とは

各ポートには、ポートの使用が許可されるコントローラコアの帯域幅の最大比率を指定するための帯域幅制限があります。この制限に達すると、帯域幅の利用量がしきい値未満に低下するまでは、アービタはそのポートからの要求を受け付けません、この方式により、ポート間で帯域幅を共有することが可能になります。また、必要な場合に帯域幅制限に達した後もポートが引き続き要求を発行できるオーバーフローオプションもあります。詳細については「**6.5.2.6 ポート帯域幅オーバーフローとは**」を参照してください。

帯域幅制限は、DDR コントローラの初期化時に各ポート Y の帯域幅パラメータである“AXIY_BDW”に格納されます。アービタ内の帯域幅計算モジュールにより算出される実際の帯域幅使用量は、現行帯域幅パラメータである“AXIY_CURRENT_BDW”で分かります。

ポートの帯域幅は、コントローラコアがポート要求の処理でビジーとなるサイクル数を統計ウィンドウと呼ぶ 100 サイクル周期でカウントすることにより計算されます。DDR コントローラは 10 個のカウンタでこの計算を実行します。カウンタは、各統計ウィンドウでビジーとなるサイクル数を追跡して、各ポートの帯域幅の移動平均値を生成します。この値は、DDR コントローラ各ポート Y の現行帯域幅パラメータである“AXIY_CURRENT_BDW”に保存される、実際の帯域幅利用量です。現行帯域幅パラメータの値は、10 サイクル（統計通知時間）毎に、直前の 100 サイクルの実際の帯域幅使用量に基づいて更新されます。

全ポートに 100%以上の帯域幅を割り当てた場合、調停の際に帯域幅利用量は考慮されず、優先度のみが基準となります。

コントローラコアは、以下のいずれかの場合にポートの処理でアクティブであると定義されます。

- コントローラコアは、ポートからの書き込みデータをメモリに転送する準備が整っていますが、データを未受信。
- コントローラコアは、ポートからのコマンドを格納してメモリに転送する準備が整っていますが、バンクのオープン、バンクのプリチャージ、またはそれ以外のメモリ関連の処理により待機中。
- コントローラコアは、ポートからメモリに対してアクティブにデータを転送中。
- コントローラコアは、メモリからの読み出しデータをポートに転送する準備が整っていますが、ポートがビジーでデータ受信不可。

「**図 6.5 システム帯域幅の例**」に、100 サイクルの計算ウィンドウおよび 10 個のカウンタによる、4 ポートシステムの帯域幅使用量の計算を示します。

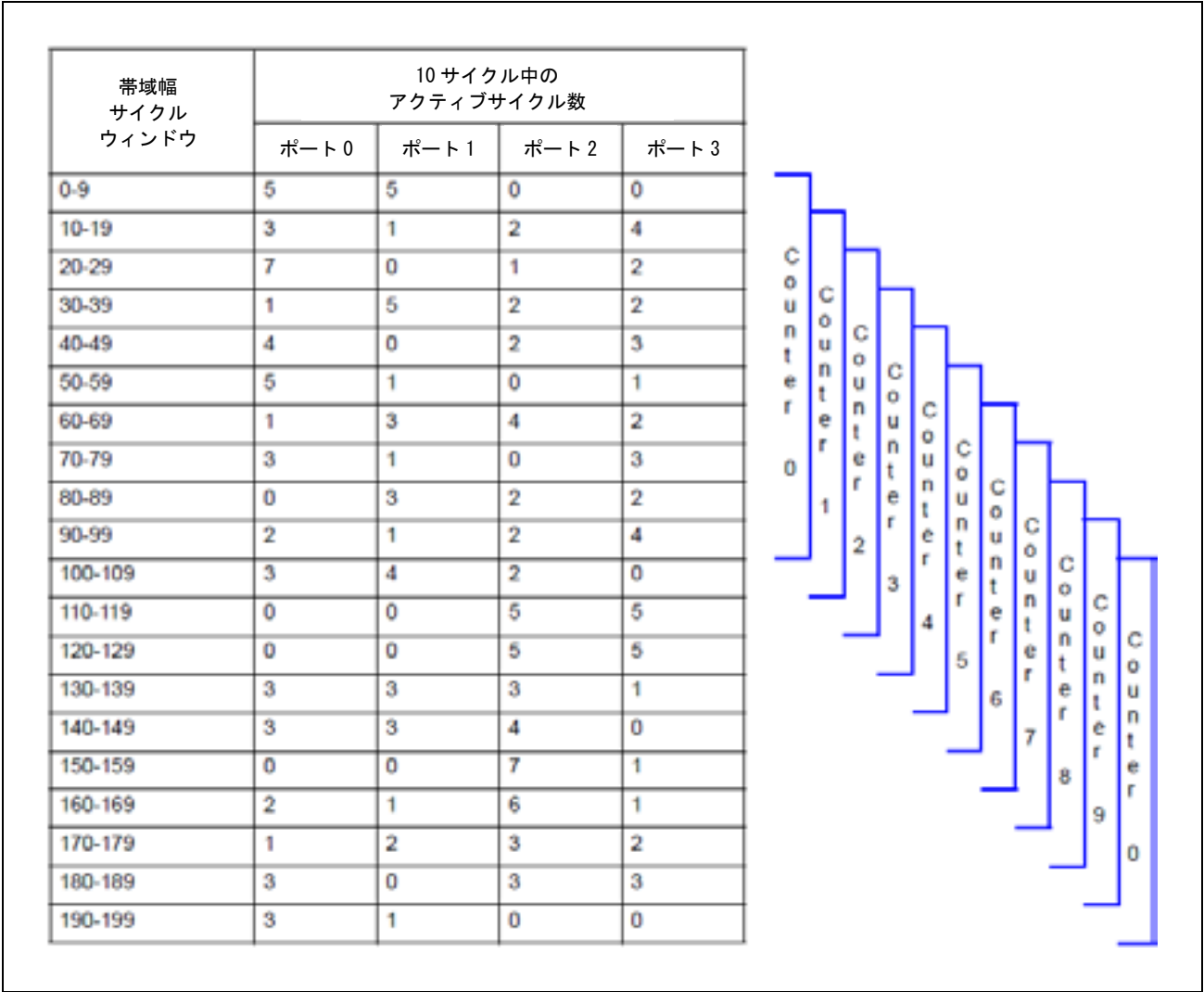


図 6.5 システム帯域幅の例

帯域幅は 100 サイクル毎に監視します。「**図 6.5 システム帯域幅の例**」に示すように、帯域幅計算パラメータは 10 サイクル毎に直前の 100 サイクルの帯域幅使用量に基づいて更新されます。「**表 6.154 システムの帯域幅使用量の例**」に帯域幅の合計を示します。これらの値は、計算が実行される毎に現行帯域幅パラメータの“AXIY_CURRENT_BDW”に格納されます。

表 6.154 システムの帯域幅使用量の例

カウンタ 番号	サイクル カウント	算出された使用量			
		ポート 0	ポート 1	ポート 2	ポート 3
0	0-99	31 / 100=31%	20 / 100=20%	15 / 100=15%	23 / 100=23%
1	10-109	29 / 100=29%	19 / 100=19%	17 / 100=17%	23 / 100=23%
2	20-119	26 / 100=26%	18 / 100=18%	20 / 100=20%	24 / 100=24%
3	30-129	19 / 100=19%	18 / 100=18%	24 / 100=24%	27 / 100=27%
4	40-139	21 / 100=21%	16 / 100=16%	25 / 100=25%	26 / 100=26%
5	50-149	20 / 100=20%	19 / 100=19%	27 / 100=27%	23 / 100=23%
6	60-159	15 / 100=15%	18 / 100=18%	34 / 100=34%	23 / 100=23%
7	70-169	16 / 100=16%	16 / 100=16%	36 / 100=36%	22 / 100=22%
8	80-179	14 / 100=14%	17 / 100=17%	39 / 100=39%	21 / 100=21%
9	90-189	17 / 100=17%	14 / 100=14%	40 / 100=40%	22 / 100=22%
0	100-199	18 / 100=18%	14 / 100=14%	38 / 100=38%	18 / 100=18%

6.5.2.5 ポート帯域幅抑制とは

ポートが使用する帯域幅が指定された制限を超えると、そのポートは統計通知時間と呼ばれる一定の期間で、それ以降の調停判定から除外されます。ポートが非アクティブとなるこの期間により、ポートが使用する実際の帯域幅はしきい値未満に低下します。帯域幅使用量は 10 サイクル毎に更新されるため、最小の除外期間は 10 サイクルです。

DDR コントローラは、10 サイクル（統計通知時間）毎に、直前の 100 サイクルの帯域幅使用量に基づいて現行帯域幅パラメータを更新します。いずれかのポート Y で、現行帯域幅パラメータの

“AXIY_CURRENT_BDW” の値が割り当て値の “AXIY_BDW” に達するかそれを超過すると、アービタは次の統計通知時間の 10 サイクルの期間はそのポートからの要求を受け付けません。10 サイクルが経過すると、現行帯域幅パラメータが更新され、DDR コントローラは再び使用量を評価します。

このシステムを使用する際は以下の点に留意する必要があります。

- 統計通知時間は 10 サイクルです。各 10 サイクルウィンドウの開始時に除外されていないポートは、帯域幅使用量が再び評価されるまでは、この 10 サイクルで最大 10 個のコマンドを発行することが可能です。帯域幅使用量はサイクル毎には計算されません。
- 統計ウィンドウは 100 クロックサイクルです。帯域幅使用量が考慮されるのは直前の 100 クロックサイクルです。100 サイクルより以前は対象外です。
- 帯域幅使用量はヒステリシスにより変化することがあります。調停で制御権を得たコマンドはコマンドキューに登録されます。コマンドキュー内のコマンドは、コマンドキューの先頭に移動して実行されるまでは、ポートの帯域幅使用量の計算には含まれません。

前項の例の「**図 6.5 システム帯域幅の例**」および「**表 6.154 システムの帯域幅使用量の例**」は、全ポートの帯域幅割り当てが 100%（またはそれ以上）で定義されたシステムです。つまり、ポートは帯域幅使用量による調停で除外されることはありません。今度は評価を以下の帯域幅制限にしてみます。

```

axi0_bdw=20%
axi1_bdw=10%
axi2_bdw=30%
axi3_bdw=50%
```

ポート 3 は、現行のトラフィックが帯域幅割り当てを超過することはありません。ポート 0、1、および 2 は帯域幅の超過により除外されます。「図 6.6 システムの帯域幅超過の例」でアスタリスク (*) を付けたサイクルは、ポートの除外期間です。

帯域幅サイクルウィンドウ	アクティブサイクル数			
	ポート 0	ポート 1	ポート 2	ポート 3
0-9	5	5	0	0
10-19	3	1	2	4
20-29	7	0	1	2
30-39	1	5	2	2
40-49	4	0	2	3
50-59	5	1	0	1
60-69	1	3	4	2
70-79	3	1	0	3
80-89	0	3	2	2
90-99	2	1	2	4
帯域幅 %、サイクル 0-99	31 %	20 %	15 %	23 %
100-109	0 *	0 *	2	0
帯域幅 %、サイクル 10-109	26 %	15 %	17 %	23 %
110-119	0 *	0 *	5	5
帯域幅 %、サイクル 20-119	23 %	14 %	20 %	24 %
120-129	0 *	0 *	5	5
帯域幅 %、サイクル 30-129	16 %	14 %	24 %	27 %
130-139	3	0 *	3	1
帯域幅 %、サイクル 40-139	18 %	9 %	25 %	26 %
140-149	3	3	4	0
帯域幅 %、サイクル 50-149	17 %	12 %	27 %	23 %
150-159	0	0 *	7	1
帯域幅 %、サイクル 60-159	12 %	11 %	34 %	23 %
160-169	2	0 *	0 *	1
帯域幅 %、サイクル 70-169	13 %	8 %	30 %	22 %
170-179	1	2	0 *	2
帯域幅 %、サイクル 80-179	11 %	9 %	30 %	21 %
180-189	3	0	0 *	3
帯域幅 %、サイクル 90-189	14 %	6 %	28 %	22 %

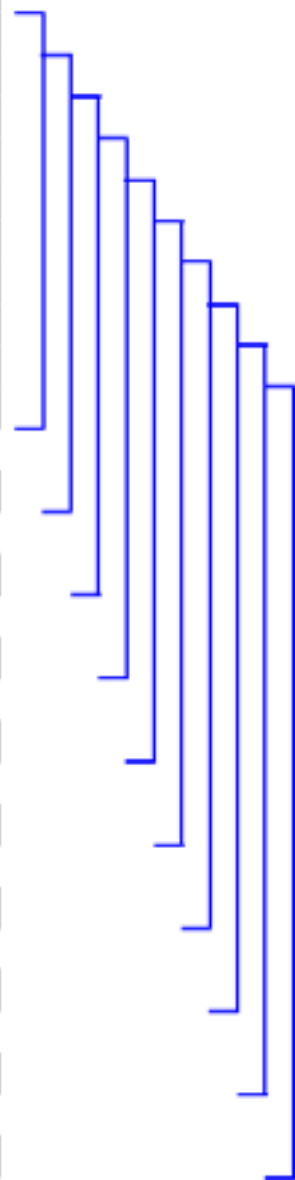


図 6.6 システムの帯域幅超過の例

6.5.2.6 ポート帯域幅オーバーフローとは

「6.5.2.5 ポート帯域幅抑制とは」の帯域幅抑制方式は、各ポート（特に上位優先度のポート）が使用可能なすべての帯域幅を占有することで他のポートが排除されないように設計されています。ただし、この方式には欠点があります。

アクティブに要求を発行するポートが 1 つだけで、使用可能なすべての帯域幅を使用するケースを想定してみましょう。このケースでは、それ以外に要求を発行するポートがない場合でも、帯域幅抑制によりそのポートからの以降の要求は受け付けられません。コマンドキューは、抑制が解消されるまでの一定の期間は空白のままです。これは明らかに DDR コントローラの帯域幅の空費で、システム全体の性能の低下をもたらします。帯域幅オーバーフローパラメータの“AXIY_BDW_OVFLOW”には、こうした状態に対処するための帯域幅抑制無効化機能が組み込まれています。

ポートは、以下に示すすべての条件が真の場合に、割り当てられた帯域幅を超過することが許可されます。

- (1) ポート Y の帯域幅オーバーフローパラメータの“AXIY_BDW_OVFLOW”が 1 にセット
- (2) 帯域幅が超過していない状態で要求を発行する、同じ優先度のポートなし
- (3) コマンドキューのエントリ数が、“ARB_CMD_Q_THRESHOLD”パラメータの指定値未満

最後の条件は、上位優先度のポートのレイテンシ条件を維持するための予防措置です。ポートが帯域幅超過できる場合、そのトランザクションでコマンドキューが埋まってしまう可能性があります。この状態で上位優先度のポートが要求を開始しても、コマンドキューには次の要求を受け付ける余地はありません。つまり、上位優先度のポートは実際には複数サイクルにわたって除外されます。この場合、コントローラコアの帯域幅が適切に使用される場合でも、上位優先度ポートのレイテンシ条件は満たされません。帯域幅オーバーフローの制限およびこの状況の回避には、“ARB_CMD_Q_THRESHOLD”パラメータが使用されます。本パラメータは、他のポートが使用できるようにコマンドキューの所定の数のスロットを確保します。そのため、帯域幅オーバーフローが許可されるのは、コマンドキューのエントリ数が

“ARB_CMD_Q_THRESHOLD”の値を下回る場合に限定されます。

6.5.2.7 優先度ラウンドロビン調停のまとめ

コントローラの優先度ラウンドロビン調停システムには、ラウンドロビン処理、優先度、ポート帯域幅、ポート帯域幅抑制、およびポート帯域幅オーバーフローの概念が組み合わされています。入力されるコマンドは、コマンドタイプに応じてポートの優先度に基づいた優先度グループに振り分けられます。アービタは、各優先度グループ内で、要求を発行するポート、コマンドキュー、要求の優先度、帯域幅使用量、およびオーバーフローオプションを評価して、調停で制御権を獲得する要求を決定します。以下に調停手順を示します。

- (1) コマンドキューはフルか？

Yes：処理を実行しません。

No：ポートをチェックします。

- (2) 少なくとも 1 つのアクティブな要求がある各優先度グループ内で、評価する要求を選択します。各優先度グループでは、ラウンドロビン調停カウンタにより調停の対象となるポートを指示します。

- (3) 選択したコマンドに基づいて最上位優先度のグループを評価します。ポートの帯域幅割り当てを超過しているか？

No：この要求は調停で制御権を獲得します。手順 7 に進みます。

Yes：次の手順 4 で帯域幅オーバーフローのステータスをチェックします。

- (4) 帯域幅オーバーフローは有効か？

No：手順 6 に進みます。

Yes：次の手順 5 でオーバーフローの条件をチェックします。

- (5) 「6.5.2.6 ポート帯域幅オーバーフローとは」のオーバーフロー条件は満たされたか？

No：次の手順 6 に進みます。

Yes：この要求は調停で制御権を獲得します。手順 7 に進みます。

- (6) 選択されたコマンドは評価により破棄されます。アービタは別のコマンドを選択して評価します。

- 同じ優先度グループに評価されていない別のコマンドがあるときは、その優先度グループの次のアクティブな要求（巡回ポート順）を選択して評価します。手順 3 に戻ります。
- その優先度グループに評価対象となる他のコマンドがないときは、次位の優先度グループをチェックし手順 3 に戻ります。

- (7) ある要求が調停で制御権を獲得すると、コマンドキューに転送し、循環キューの次のポートを指示するようにラウンドロビンカウンタを更新します。ある優先度グループのいずれかの要求が処理されると、その優先度グループのラウンドロビン調停カウンタを 1 だけインクリメントします。カウンタは、評価したコマンド数、または最終的に受け付けたコマンドに関係なく、常に 1 ずつインクリメントします。

6.5.2.8 調停例

(1) 4 ポート、1 つの優先度レベル、帯域幅条件なしのケース

ごく単純な例として、全ポートが 1 つの優先度レベルで全コマンドを受け付けるように設定されているシステムを想定します。調停カウンタは、ステータスがアクティブかどうかに関係なく、その優先度レベルで定義される全ポートを循環形式で指示します。各サイクルでは、調停カウンタが特定のポートを指示します。そのポートに要求がない場合、DDR コントローラは要求を発行し制御権を獲得する次のポートを検索（巡回形式）します。調停が解決すると、調停カウンタは次のサイクルで 1 だけインクリメントされ、その次のポートに調停の機会が与えられます。

以下のシステムにおいて実際の調停動作を示します。

- 4 ポート。
- 全ポートは優先度 1 のみで要求。
- 全ポートの帯域幅割り当ては 100% で、帯域幅オーバーフロービットはセット（帯域幅は調停に影響しません）。

「表 6.155 1 つの優先度レベルによる優先度ラウンドロビン」にこの設定を示します。サイクル 1～4 では、ポート 0 およびポート 1 は常に要求を発行し、ポート 2 およびポート 3 は発行しません。調停カウンタがポート 0 または 1 を指示すると、これらのポートは調停で制御権を獲得します。調停カウンタがポート 2 を指示すると、このポートにはアクティブな要求がないため、要求を発行するラウンドロビン順の次のポート（ポート 0）が調停で制御権を獲得します。同様に、調停カウンタがポート 3 を指示する場合にポート 0 が調停で制御権を獲得します。

サイクル 5 および 6 は、ポート 0 またはポート 1 がいずれかのサイクルで調停で制御権を獲得する場合があります。サイクル 5 では調停カウンタはポート 0 を指示しますが、ポート 1 が調停で制御権を獲得します。サイクル 6 はその逆のケースです。

一部の複数ポートが要求を発行している場合は、調停の結果は標準の手順ではなく、要求を発行するポートの調停順の並びで決まります。たとえば、サイクル 1～4 ではポート 0 および 1 のみが要求を発行します。これらのサイクルは、最小番号のポートが $(N-1)/N$ 回で調停による制御権を獲得することを表しています。N は優先度レベル内のポート数です。ただしこれはレアケースです。ポート 0 およびポート 3 が要求を発行するサイクル 7～10 では、上位番号のポートがより多くの回数で調停による制御権を獲得します。ポート 0 およびポート 2 が要求を発行するサイクル 11～14 では、平等に制御権が与えられます。したがって、制御権を得るポートをあらかじめ想定することはできません。

各ポートに対して平等に調停機会が与えられるようにするには、ある優先度レベルで要求を発行するポートに対してその優先値を設定する必要があります。

表 6.155 1 つの優先度レベルによる優先度ラウンドロビン

サイクル	調停カウンタの 指示するポート	ポート要求				コマンド キューは フルか？	調停後の 指示ポート	次サイクルの カウンタ値
		ポート 0	ポート 1	ポート 2	ポート 3			
0	0	Y	Y			Yes	なし	0
1	0	Y	Y			No	ポート 0	1
2	1	Y	Y			No	ポート 1	2
3	2	Y	Y			No	ポート 0	3
4	3	Y	Y			No	ポート 0	0
5	0		Y			No	ポート 1	1
6	1	Y				No	ポート 0	2
7	2	Y			Y	No	ポート 3	3
8	3	Y			Y	No	ポート 3	0
9	0	Y			Y	No	ポート 0	1
10	1	Y			Y	No	ポート 3	2
11	2	Y		Y		No	ポート 2	3
12	3	Y		Y		No	ポート 0	0
13	0	Y		Y		No	ポート 0	1
14	1	Y		Y		No	ポート 2	2

(2) 4 ポート、2 つの優先度レベル、帯域幅条件なしのケース

以下のシステムで実際の調停を見てみましょう。

- 4 ポート。
- ポート 0 および 1 は優先度 1 のみで要求を発行。ポート 2 および 3 は優先度 2 のみで要求を発行。
- 全ポートの帯域幅割り当ては 100% で、帯域幅オーバーフロービットはセット（帯域幅は調停に影響しません）。

「表 6.156 帯域幅条件なしの優先度ラウンドロビン」にこの設定を示します。優先度 2 の要求は、優先度 1 の要求がない場合のみ調停で制御権を獲得します。各調停カウンタは、その優先度の要求が処理される場合のみ常にインクリメントされます。サイクル 5 は、カウンタがインクリメントされる「定常」条件です。つまり、カウンタが指示するポートではなく、最上位優先度の他のポートに制御権が与えられた場合でも、カウンタは変わりなくインクリメントされます。

表 6.156 帯域幅条件なしの優先度ラウンドロビン

サイクル	調停カウンタの指示するポート		ポート要求				コマンドキューはフルか？	調停後の指示ポート	次サイクルのカウンタ値	
	PG 1 注1	PG 2 注2	ポート 0	ポート 1	ポート 2	ポート 3			PG 1 注1	PG 2 注2
0	0	2	Y	Y	Y	Y	Yes	なし	0	2
1	0	2	Y	Y	Y	Y	No	ポート 0	1	2
2	1	2		Y	Y	Y	No	ポート 1	0	2
3	0	2	Y		Y	Y	No	ポート 0	1	2
4	1	2			Y	Y	No	ポート 2	1	3
5	1	3	Y			Y	No	ポート 0	0	3
6	0	3				Y	No	ポート 3	0	2
7	0	2					No	なし	0	2
8	0	2			Y	Y	Yes	なし	0	2
9	0	2	Y		Y	Y	No	ポート 0	1	2
10	1	2			Y	Y	No	ポート 2	1	3
11	1	3				Y	No	ポート 3	1	2

注1. PG1=優先度グループ 1

注2. PG2=優先度グループ 2

(3) 4 ポート、2 つの優先度レベル、帯域幅条件ありのケース

「6.5.2.8(2) 4 ポート、2 つの優先度レベル、帯域幅条件なしのケース」の例は、帯域幅を考慮しないごく単純なケースでした。しかし、ほとんどの場合は調停での帯域幅の考慮が必要です。割り当てられた帯域幅が 100%未満のシステムを考えてみましょう。「表 6.157 帯域幅条件ありの優先度ラウンドロビン」にそのシステムを示します。「帯域幅抑制」の欄は、そのサイクル（サイクル 3 および 11）でいずれかのポートが帯域幅抑制されることを表します。優先度グループ 1 の調停カウンタはいずれのケースでもポート 0 を指示しますが、抑制されているために調停で制御権を獲得することはありません。代わりに、下位優先度である優先度グループ 2 のポートが制御権を獲得します。この簡単な例では、各統計通知時間は 1 サイクルとしており、ポート 0 は抑制（サイクル 4 および 12）後の次のサイクルで制御権を獲得します。ただし、DDR コントローラの統計通知時間は 10 サイクルであるため、ポート 0 が抑制されるのは実際には 10 サイクルの期間です。

表 6.157 帯域幅条件ありの優先度ラウンドロビン

サイクル	調停カウンタの指示するポート		ポート要求				コマンドキューはフルか？	帯域幅抑制？	調停後の指示ポート	次サイクルのカウンタ値	
	PG 1 注1	PG 2 注2	ポート 0	ポート 1	ポート 2	ポート 3				PG 1 注1	PG 2 注2
0	0	2	Y	Y	Y	Y	Yes	No	なし	0	2
1	0	2	Y	Y	Y	Y	No	No	ポート 0	1	2
2	1	2		Y	Y	Y	No	No	ポート 1	0	2
3	0	2	Y		Y	Y	No	Yes、ポート 0	ポート 2	0	3
4	0	3	Y			Y	No	No	ポート 0	1	3
5	1	3	Y			Y	No	No	ポート 0	0	3
6	0	3				Y	No	No	ポート 3	0	2
7	0	2					No	No	なし	0	2
8	0	2			Y	Y	Yes	No	なし	0	2
9	0	2	Y		Y	Y	No	No	ポート 0	1	2
10	1	2	Y		Y	Y	No	No	ポート 0	0	2
11	0	2	Y		Y	Y	No	Yes、ポート 0	ポート 2	0	3
12	0	3	Y			Y	No	No	ポート 0	1	3
13	1	3				Y	No	No	ポート 3	1	2

注1. PG1=優先度グループ 1

注2. PG2=優先度グループ 2

6.5.2.9 優先度ラウンドロビン調停のプログラミング

優先度ラウンドロビン調停方式には、AXIY_BDW、AXIY_BDW_OVFLOW、AXIY_CURRENT_BDW、AXIY_R_PRIORITY、AXIY_W_PRIORITY、および ARB_CMD_Q_THRESHOLD のパラメータが必要です。これらのパラメータは並行して動作するため、設定にはトレードオフが発生します。

注 意

すべての調停パラメータは、START パラメータを 1 にする前に設定する必要があります。それ以降に調停パラメータを変更すると、システムが予測外の動作をすることがあります。

コマンド優先度、ポート帯域幅、および帯域幅オーバーフローは、調停で重要な役割を果たします。優先度は最も重要なファクタで、コマンドは最初に優先度設定に応じて優先度グループに振り分けられます。マルチポートシステムでは、レイテンシ条件の厳しい全ポートに対して、上位優先度（下位番号）を割り当てる必要があります。コマンドの優先度は、調停およびコマンドキューでの配置にも影響します。以上のことから、全ポートのレイテンシ条件を満たすのはかなり複雑な作業です。低帯域幅が割り当てられた上位優先度のコマンドまたはポートに対しては、帯域幅オーバーフローの設定が効果的です。単純なラウンドロビン調停にできるだけ近づけるには、全ポートが同じ優先度で、帯域幅全体が割り当てられるようにプログラムします。

注 意

帯域幅パラメータの“AXIY_BDW”は 7 ビットあります。0x64 を超える値を設定すると、最大帯域幅の制限がないものとして解釈されます。

6.5.3 ポート保護オプション

各 AXI ポートには、保護するメモリマップ領域を設定するためのアドレス保護オプションがあります。
“PORT_ADDR_PROTECTION_EN” 設定を 1 にセットすると、各ポートの指定されるメモリ空間を保護する
目的で、入力されるすべてのアドレスおよびアクセスタイプに対して有効性がチェックされます。このパ
ラメータを 0 にクリアするとアドレスチェックは行われません。

保護が有効の場合、アドレスの領域情報、トランザクションタイプ、または保護レベルに適合しなければ、
ポートの範囲外エラーが記録されます。違反しているトランザクションは、無効書き込み、また 0 読み出し
として処理します。さらに、“INT_STATUS” フィールドの 1 つまたは 2 つの範囲外割り込み（ビット 1 ま
たは 2）がセットされ、エラーがイベントとして保存されます。バスエラーは AXI インタフェースで通知さ
れます。

アドレス領域数は 16 です。アドレス領域数については「表 6.158 AXI ポートのアドレス領域設定」を参照し
てください。

表 6.158 AXI ポートのアドレス領域設定

ポート番号	アドレス領域数
Port 0	16
Port 1	16
Port 2	16
Port 3	16

システムは、メモリ全体に対して任意のタイプのアクセスを制限するようにデフォルトで設定されます。各
ポートは、領域が重複しないように個別のアドレスにより有効領域を設定するとともに、サポートする ID
および保護レベルを指定します。不適切なパラメータで保護を有効にすると、コマンドはすべて違反になり
ます。保護を設定しないポートでは、任意のアドレスに対するすべての読み出しおよび書き込みを受け付け
る、少なくとも 1 つの領域を定義する必要があります。この場合は、少なくとも 1 つの領域に以下の特性を
設定します。

AXIY_START_ADDR_Z=全ビット 0（最小アドレス）
AXIY_END_ADDR_Z=全ビット 1（最大アドレス）
AXIY_RANGE_PROT_BITS_Z=2'b11
AXIY_RANGE_RID_CHECK_BITS_Z=0xFFFF
AXIY_RANGE_WID_CHECK_BITS_Z=0xFFFF
AXIY_RANGE_RID_CHECK_BITS_ID_LOOKUP_Z=0xF
AXIY_RANGE_WID_CHECK_BITS_ID_LOOKUP_Z=0xF

注 意

ID チェックはサポートされません。
ID_CHECK 設定に関連するビットは、すべて 1 にセットする必要があります。
AXIY_START_ADDR_Z,AXIY_END_ADDR_Z には、DDR コントローラのオフセットアドレスを設定します。
RZ/N1 メモリマップの 0x80000000~0x8FFFFFFF をアクセス許可する場合、AXIY_START_ADDRZ=18'h00000,
AXIY_END_ADDR_Z=18'h03FFF に設定します。

各パラメータの Y はポート番号を表し、Z は異なる領域を表します。あるポートのアドレス領域には、別の
ポートのアクセス領域を重複させることが可能です。

アドレス領域の最小単位は 16K です。入力されるシステムアドレスのビット[13]は、比較では最下位ビット
として使用されます。内部では、コントローラはアドレスのビット X を比較します。X は第 14 ビットとし

て定義され、データパスではビット数だけ左シフトされます。領域は、メモリ空間の 1/2 を最大として 16K の倍数で定義します。

ポート保護は、入力される要求と有効なアドレス範囲を照合します。たとえば、

“PORT_ADDR_PROTECTION_EN” 設定が 1 で有効な場合、入力されるコマンドはポート保護パラメータで指定される制限に基づいてチェックされます。コマンドが有効と認識されるには、以下の全テストにパスする必要があります。

- アドレスチェック：

開始アドレスおよび終了アドレスは、“AXIY_START_ADDR_Z” および “AXIY_END_ADDR_Z” パラメータで定義される単独領域 Z の範囲内でなければなりません。開始アドレスおよび終了アドレスがいずれも Z の範囲外なら、コマンドは違反になります。

- 保護チェック：

保護信号の “axiY_ARPROT” または “axiY_AWPROT” は、対応する “AXIY_RANGE_PROT_BITS_Z” パラメータの設定に一致しなければなりません。“AXIY_RANGE_PROT_BITS_Z” パラメータは領域 Z について、特権ありおよびセキュアアクセス、特権ありアクセス、セキュアアクセス、制限なしを指定します。保護信号が領域 Z の設定に一致しない場合は、コマンドは違反になります。

- 以下のパラメータは全ビットを 1 にセットします。

“AXIY_RANGE_RID_CHECK_BITS_Z”
“AXIY_RANGE_WID_CHECK_BITS_Z”
“AXIY_RANGE_RID_CHECK_BITS_ID_LOOKUP_Z”
“AXIY_RANGE_WID_CHECK_BITS_ID_LOOKUP_Z”

違反したコマンドはコントローラで処理されますが、データを破壊することではなく、ユーザインタフェースに有効なデータが返されることはありません。違反している書き込みコマンドは、無効書き込みコマンドとして内部処理されます。この場合、書き込みデータはコントローラ FIFO から消去されますが、DRAM メモリに格納されたデータは変更されません。

違反している読み出しコマンドは、メモリの適切なバイト数を読み出します。ただし、このデータは無効であるため、ECC の検出または訂正も実行されません。したがって、読み出しコマンドエラーで ECC エラー割り込みがトリガされたり、エラーデータが保存されることはありません。

違反イベントでは、“INT_STATUS” フィールドのポートコマンドエラー割り込み（ビット[7]）がセットされて、DDRC_Int 信号によりグローバル割り込みコントローラに通知されます（“INT_MASK” 設定の対応ビットがマスクされていない場合）。エラー情報は “PORT_CMD_ERROR_ADDR” および “PORT_CMD_ERROR_TYPE” に記録されます。

6.5.4 コマンドキューの配置ロジック

コントローラコアには、アービタからのコマンドを格納するコマンドキューがあります。コマンドキューは、配置アルゴリズムによりコマンドキュー内でのコマンドの配置順を決定します。配置ロジックは、さまざまなルールを順守すると同時にキューの内容を考慮しながら、新規コマンドを挿入するキュー位置を判定します。配置に際しては、アドレス競合、ソース競合、データ競合、コマンドタイプ、および優先度が考慮されます。さらに、コマンドの集約、書き込みと読み出しの分割、およびバンク分割により、コントローラコアの最大限の効率化に努めます。

配置に使用されるルールは個別の有効化／無効化が可能です。コマンドキューの配置順は

“PLACEMENT_EN” 設定をクリアすると無効となり、受け付ける順番で要求を処理するインラインキューとなります。“PLACEMENT_EN” 設定を 0 にクリア、かつ “IN_ORDER_ACCEPT” 設定を 1 にセットすると、配置アルゴリズムは無効になります。

6.5.4.1 配置アルゴリズムのルール

コマンド配置に影響する要因はすべて、新規コマンドの実行順として適切な位置を特定するために機能します。通常は重要度の順に並べられます。

(1) アドレス競合／データコヒーレンシ違反

システムが適切に動作するには、コントローラが読み出しおよび書き込みコマンドを処理する順序が重要です。異なるアドレスの読み出しおよび書き込みの間に依存関係がないため、システム性能への影響なしで順番が入れ替えられる場合がありますが、同じアドレスの読み出しおよび書き込みの間には重要な依存関係があります。ポートが同じアドレスに対して書き込み後の読み出しを要求する場合、順序を入れ替えて書き込み前の読み出しにすると、変更後ではなく変更前のデータが返されます。同様に、書き込み前の読み出しを要求した場合に誤って書き込みの順序が変わると、読み出しでは書き込まれる前のデータではなく変更後のデータが返されます。これは重大なデータコヒーレンシ違反です。

アドレス競合を回避するため、同じチップセレクト、バンク、およびロウにアクセスする読み出しまたは書き込みコマンドがコマンドキューに登録済みの場合、新規コマンドが上位の優先度の場合でも登録済みのコマンドの後に挿入します。このルールは、新規の読み出しコマンドと既存の読み出しを比較する場合は無視されます。このときに読み出し間のアドレス競合が発生しても、データ整合性の問題は発生せず、データは任意の順序で返されます。

アドレス競合チェックは “ADDR_CMP_EN” 設定で有効化／無効化します。無効化が可能なのは、システムにより読み出しおよび書き込みのコヒーレンシが保証される場合だけです。

(2) 優先度

優先度はコマンドの重要性を比較するのに用いられます。コマンドには、“AXIY_R_PRIORITY” および “AXIY_W_PRIORITY” 設定（Y はポート番号）によりコマンドタイプに応じた優先度が与えられます。

配置アルゴリズムは、アドレス競合が発生しないかぎり、上位優先度のコマンドを下位優先度のコマンドの上位に配置します。ただし、上位優先度のコマンドがコマンドキューにすでにある下位優先度のコマンドと同じアドレスをアクセスする場合、同一のソースから要求された場合、または同一のバッファを使用する場合は、下位側に配置します。

優先度チェックは “PRIORITY_EN” 設定で有効にします。

(3) バンク分割

同じバンク内の異なる 2 つのロウに対してアクセスするときは、1 つ目のアクティブなロウをクローズ（プリチャージ）して、2 つ目のロウをオープン（アクティブ化）する必要があります。いずれの動作も多少のタイミングオーバーヘッドが必要です。そのため、配置ロジックは最適化を目的として、このタイミングオーバーヘッドの間に他のバンクに対するコマンドが実行されるように、新規コマンドをコマンドキューに挿入します。この場合も、新規コマンドの配置は優先度およびアドレス競合ルールに従います。

バンク分割は“BANK_SPLIT_EN”設定で有効にします。

(4) 書き込みと読み出しの分割

同じチップセレクトに対して書き込みコマンドの後に読み出しコマンドが続く場合は、コマンドタイプの切り替えに多少のタイミングオーバーヘッドが発生します。配置ロジックは、最適化を目的として新規コマンドをコマンドキューに挿入する際に、同じチップセレクトにアクセスする異なるタイプに分割し、書き込みが読み出しの前に実行されるように試みます。この場合も、新規コマンドの配置は優先度およびアドレス競合ルールに従います。書き込みと読み出しの分割は“W2R_SPLIT_EN”設定で有効にします。

(5) 読み出しと書き込みの集約

読み出しから書き込みにモードを切り替える際には、メモリで多少のタイミングオーバーヘッドが発生します。配置ロジックは、効率化を目的として新規の読み出しコマンドが他の読み出しコマンドに続くように、または新規の書き込みコマンドが他の書き込みコマンドに続くように、コマンドキューに配置します。この集約は、優先度またはアドレス競合のルールに違反しない場合のみ可能です。

読み出しと書き込みの集約は“RW_SAME_EN”設定で有効にします。

(a) バンク競合および読み出しと書き込み集約

新規コマンドが、コマンドキューにすでにあるコマンドと同じチップセレクトおよび同じバンクにアクセスする場合（ただしロウは異なる）、これらのコマンドはバンク競合を起こすことが想定されます。

「6.5.4.1(3) バンク分割」に示すように、配置ロジックはバンク競合を起こすコマンドを可能なかぎり分割します。コントローラは、最適なバンク分割のサポートを目的として、読み出しと書き込みの集約に対して特定の配置が禁止されています。

このチェックは“DISABLE_RW_GROUP_W_BNK_CONFLICT”設定で制御します。ビット[0]をセットすると、新規コマンドはバンク競合を起こすコマンドの直前または直後に配置することはできません。さらにビット[1]をセットすると、新規コマンドはバンク競合を起こすコマンドの 2 つ前または 2 つ後に配置することはできません。表 6.159 に単純なコマンドキューを示します。

表 6.159 単純なコマンドキューの例

エントリ	読み出し／書き込み	バンク	ロウ
0	Rd	0	0
1	Rd	0	0
2	Rd	0	0
3	Rd	1	0
4	Rd	0	0
5	Rd	0	0
...			

この例では、優先度またはアドレス競合のルールに違反しないという条件で、バンク 1、ロウ 1 に対する読み出しの新規エントリは受け付けられます。新規コマンドはエントリ 3 でバンク競合を起こします。

- このときに `DISABLE_RW_GROUP_W_BNK_CONFLICT[0]=1` なら、新規コマンドは競合を起こすコマンドの直前または直後に配置することはできません。コマンドをエントリ 3 に配置すると、エントリ 3～5 はエントリ 4～6 に移動され、エントリ 3 および 4 の間でバンク競合が発生します。コマンドをエントリ 4 に配置すると、エントリ 4～5 はエントリ 5～6 に移動され、エントリ 3 および 4 の間でバンク競合が発生します。したがってエントリ 3 および 4 に配置することはできません。
- このときに `DISABLE_RW_GROUP_W_BNK_CONFLICT[1]=1` なら、新規コマンドは競合を起こすコマンドの 2 つ前または 2 つ後に配置することはできません。コマンドをエントリ 2 に配置すると、エントリ 2～5 はエントリ 3～6 に移動され、エントリ 2 および 4 の間でバンク競合が発生します。コマンドをエントリ 5 に配置すると、エントリ 3 および 5 の間でバンク競合が発生します。したがってエントリ 2 および 5 に配置することはできません。
- “`DISABLE_RW_GROUP_W_BNK_CONFLICT`” 設定を 2'b11 に設定すると、新規エントリはエントリ 0、1、または 6 のみの配置が可能となり、競合を起こすコマンドとの間に少なくとも 2 つのコマンドが入ります。

注 意

“`DISABLE_RW_GROUP_W_BNK_CONFLICT`” 設定は、ビット[0]をセットせずにビット[1]をセットしても無効です。

(b) 読み出しと書き込みの集約によるチップセレクトの集約

配置ロジックは、読み出しおよび書き込みコマンドを集約する際にコマンドの対象となるチップセレクトも考慮します。可能なら、読み出しコマンドは同じチップセレクトを対象とする読み出しコマンドと集約し、書き込みコマンドは同じチップセレクトを対象とする書き込みコマンドと集約します。チップセレクトを集約できない場合、“`RW_SAME_EN`” 設定が 1 にセットされていればコマンドタイプによりコマンドを集約します。読み出しと書き込みの集約が無効（“`RW_SAME_EN`” がクリア）なら、チップセレクトを集約しても無効です。

チップセレクトの集約は“`CS_SAME_EN`” 設定で有効にします。

(c) 読み出しと書き込みの集約によるページの集約

配置ロジックは、読み出しおよび書き込みコマンドを集約する際にコマンドの対象となるページも考慮します。可能なら、読み出しコマンドは同じページを対象とする読み出しコマンドと集約し、書き込みコマンドは同じページを対象とする書き込みコマンドと集約します。ページを集約できない場合、

“`RW_SAME_EN`” 設定が 1 にセットされていればコマンドタイプによりコマンドを統合します。読み出しと書き込みの集約が無効（“`RW_SAME_EN`” がクリア）なら、ページを集約しても無効です。

ページの集約は“`RW_SAME_PAGE_EN`” 設定で有効にします。

6.5.4.2 配置後のコマンド実行順

コマンドがコマンドキューに配置されると、選択ロジックが実行するコマンドをキューから取り出す方法を決定します。このロジックは“IN_ORDER_ACCEPT”設定を1にセットすると無効です。その場合、コマンドキューに配置された順番でコマンドが実行されます。“IN_ORDER_ACCEPT”設定を0にクリアすると選択ロジックが有効です。ただし、コマンドキューに配置された後のコマンド順を変更する上位優先度コマンドの交換およびコマンドエーシングは、本設定に関係なく適用されます。

(1) コマンド選択ロジック

選択ロジックは、各クロックサイクルでコマンドキューの先頭の4エントリをスキャンして、実行するコマンドを決定します。このエントリ数は設定時に指定します。コマンドの実行時に考慮されるのは、バンクの準備状況、少なくとも1回のデータバースト（書き込み）の実行可能性、少なくとも1回のデータバースト（読み出し）の格納可能性、バスのターンアラウンドタイミング（JEDECによる指定で設定が可能）、および競合です。配置ルールの場合と同様に、アドレスまたはバンクの競合を起こすときは、あるコマンドがコマンドキュー内でその前に位置するコマンドより先に実行されることはありません。

選択ロジックは、優先度を除いて本章で述べるすべての配置ルールを順守します。上位優先度のコマンドの実行準備が整っていない場合、競合を起こさないという条件で下位優先度のコマンドが先に実行されることがあります。ただし、コントローラコアの容量には制限があるため、コマンドキュー内で上位に位置するリードモディファイライトシーケンスより先に、コントローラコアが別のリードモディファイライトシーケンスを実行することはありません。

選択機能は“IN_ORDER_ACCEPT”設定で無効にします。本設定を1にセットすると、コマンドキューの先頭のエントリのみが実行を考慮されます。「図 6.7 選択ロジック」に、コマンドの選択ロジックと配置ロジックの関係を示します。

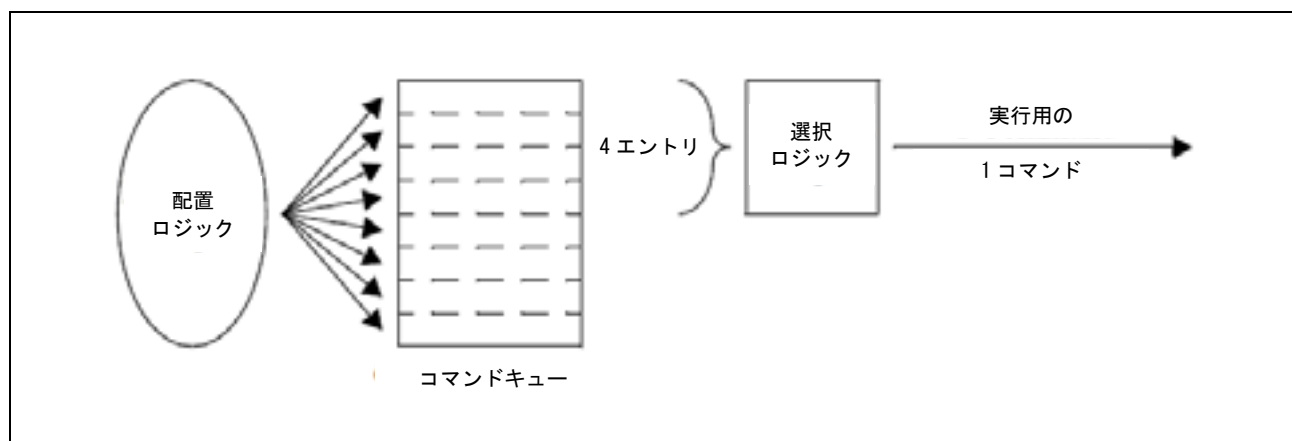


図 6.7 選択ロジック

(2) 上位優先度コマンドの交換

コマンドは、重要度の高いコマンドが重要度の低いコマンドより先に実行されるように優先度が割り当てられます。そのため、上位優先度のコマンドは可能なかぎり早くコントローラコアに転送することが推奨されます。配置アルゴリズムはコマンド順を決定する際に優先度を考慮しますが、別のコマンドの処理中はそれが下位優先度のコマンドであっても、上位優先度のコマンドは待機しなければなりません。

上位優先度コマンド交換機能は、新規の上位優先度コマンドを先に実行することを可能にします。

“SWAP_EN” 設定で交換機能を有効にすると、交換ロジックの処理は “IN_ORDER_ACCEPT” 設定の値で決まります。コマンドキューのコマンドを順番に実行すべき場合 (IN_ORDER_ACCEPT=1) は、コマンドキューの先頭のエントリと処理中のコマンドが比較されます。選択ロジックを使用する場合

(IN_ORDER_ACCEPT=0) は、コマンドキューの先頭の 4 エントリと処理中コマンドの比較により、先に実行するコマンドが決まります。選択された上位優先度 (同じ優先度ではない) のコマンドが、実行中のコマンドとアドレス競合を起こさなければ、そのコマンドの実行が中断されます。

実行が中断されるコマンドは、処理中のバーストの完了後に実行が停止してコマンドキューの先頭に格納され、その後で新規コマンドの実行が開始します。コマンドキューがフルにならないかぎり、新規コマンドは配置ルールに従ってコマンドキューに挿入され続けます。それが中断したコマンドより上位のキューの先頭であっても制限されることはありません。選択ロジックは次に実行するコマンドを決定します。中断したコマンドの実行が再開する場合は、中断した時点から処理が開始します。

優先度 0 のコマンドは中断されないため、中断を受けたくないコマンドは優先度 0 に設定する必要があります。

(3) コマンドエージング

新規コマンドをコマンドキューの既存のコマンドより上位に挿入することが可能であるため、下位優先度のコマンドが無期限にキューの下位に留まる場合があります。この締め出し状態を回避するため、配置ロジックには各コマンドが待機を続けたサイクル数をカウントするエージングカウンタが用意されています。エージングカウンタが最大値に達すると、そのコマンドの優先度は 1 だけデクリメントされます (下位優先度のコマンドの実行が早まる)。これにより、コマンドが選択ロジックにより選択されて実行される可能性が高まります。ただし、コマンドキュー内のコマンドの位置がエージングで変わることはありません。変更後の優先度は新規コマンドがコマンドキューに配置されるときに考慮されます。

エージングは、各コマンドのマスタエージングカウンタおよびコマンドエージングカウンタにより制御されます。各カウンタの初期値は、それぞれ “AGE_COUNT” および “COMMAND_AGE_COUNT” 設定に格納されます。マスタカウンタが “AGE_COUNT” 設定の値をカウントダウンすると、信号がコマンドエージングカウンタに送出されてカウンタがデクリメントされます。コマンドエージングカウンタが 0 に達すると、該当のコマンドの優先度がデクリメントされてカウンタがリセットされます。したがって、経過サイクル数の合計が $(\text{AGE\_COUNT} + 1) \times (\text{COMMAND\_AGE\_COUNT} + 1)$ の値に達するまでは、エージングによって優先度レベルが変わることはありません。コマンドが優先度レベルで最上位になるまでにコマンドキューで待機を続ける最大サイクル数は、 $(\text{AGE\_COUNT} + 1)$ 、 $(\text{COMMAND\_AGE\_COUNT} + 1)$ 、およびシステムの優先度レベル値を乗算して求められます。

コマンド交換が有効なら、実行中のコマンドをコマンドキュー内の上位優先度のコマンドで中断することが可能です。この条件が発生するのは、既存のコマンドの処理中に上位優先度の新規コマンドが配置されるか、エージングによりコマンドが上位優先度になる場合です。中断したコマンドはコマンドキューの先頭に配置されます。コマンドエージングは常に有効です。

6.5.4.3 ACT 要求の制御

DDR コントローラには、コマンドキュー内のコマンドによる ACT 要求の発行を制限する手段が用意されています。ACT を制限することにより、それを要求するコマンドが実行される前に、新規コマンドが同じバンクの異なるロウにアクセスするコマンドより上位に配置されます。これには、ACT が先に発行されないように PRE-ACT シーケンスの回避が必要です。

この機能は、ACT 要求を許可しないエントリ数を指定する “NUM_Q_ENTRIES_ACT_DISABLE” 設定で制御します。深さ 8 のコマンドキューの場合、エントリに 0～7 の番号が割り振られます。エントリ 0 が次に実行されるコマンドです。

表 6.160 NUM_Q_ENTRIES_ACT_DISABLE 設定のプログラミング

値	処理
3'b000	エントリ 0～7 の ACT 要求を許可
3'b001	エントリ 0～6 の ACT 要求を許可
3'b010	エントリ 0～5 の ACT 要求を許可
3'b011	エントリ 0～4 の ACT 要求を許可
3'b100	エントリ 0～3 の ACT 要求を許可
3'b101	エントリ 0～2 の ACT 要求を許可
3'b110	エントリ 0～1 の ACT 要求を許可
3'b111	エントリ 0 の ACT 要求を許可

6.5.5 DRAM コマンドの処理

コマンドキュー内のコマンドの操作には、DRAM コマンド処理ロジックを使用します。このロジックは、データスループットが最大限になるようにメモリ上でコマンドを編成します。データ転送にはバンクのオープンおよびクローズのサイクルを使用します。

処理ロジックは、さまざまなファクタに基づいて、バンクのオープンおよびクローズのコマンドを発行するタイミングを判定します。さらに、コマンドキューの全体を検査して、アクセスする予定のバンクを事前に決めておきます。タイミングは、初期化時にコントローラに設定された“TRC”および“TRAS_MIN”のタイミングパラメータに合わせて設定されます。この優れた柔軟性により、コントローラはメモリの最大限の性能を発揮するように調整されます。「6.4.1 DDR コントローラレジスタの説明」に、DRAM メモリのプロトコルに対応するパラメータの一覧を示します。

6.5.6 ECC 機能

DDR コントローラには、オプションとしてエラーの通知および訂正の回路が搭載されており、これによりメモリ内のデータを検証し、メモリエラーが発生した場合に訂正することが可能です。この回路は、すべての読み出しトランザクションについて、データおよびチェックコードのエラーをチェックします。メモリデータのビットエラーを検出し、可能なら訂正する一連の処理を、ECC (Error Checking and Correcting=誤り検出訂正) と呼びます。この機能により、データの正確性を確認して、ビットエラーを削除するか、少なくとも検出することが可能になります。ECC は、メモリに個別の「チェックコード」を格納して処理を実行します。チェックコードは、「ECC データワード」と呼ばれるメモリ内のアラインしたセグメントの情報を数学的に記述したものです。チェックコードは常に ECC データワード全体を対象としており、DDR コントローラはすべてのメモリ読み出しで使用してデータの正確性を管理します。チェックコードは、ユーザインタフェースを介して入出力されることはありません。

ECC データワードは、ランダムなアドレスで開始および終了することなく、常にサイズに応じてメモリアラインされます。ECC データワードの開始アドレスは ECC ワード境界として定義され、境界に対するユーザトランザクションのアライン状態により、DDR コントローラ内でのトランザクションの処理が決まります。ECC オプションを使用しない場合は、制御設定の“ECC_EN”を 0 にクリアすると ECC モジュールが無効になります。DDR コントローラは、32 ビットサイズの ECC データワードをサポートします。また、32 ビットの各メモリ領域に対して 7 ビットのチェックコードが使用されます。ECC ワード境界は各 4 バイトアドレス (0xN0、0xN4、0xN8、0xNC) です。

6.5.6.1 ECC エラーの種類

DDR コントローラは、ECC エラーを「訂正可能」または「訂正不可」として判定します。訂正可能エラーは、チェックコードまたはデータ内のシングルビットエラーです。コントローラは、シンδροームに基づいて、エラーを起こしたビットおよびその訂正が可能かどうかを判断します。訂正不可エラーは、チェックコードやデータ内のダブルビットエラーです。コントローラは、チェックコードやデータ内の 2 ビットにエラーがあることを特定することは可能ですが、どの 2 ビットかは特定できません。そのためエラーの訂正はできません。

注 意

DDR コントローラは、シングルビットおよびダブルビットのエラーを検出することが可能です。チェックコードやデータで 2 ビットを超えるエラーが発生した場合のコントローラの動作は予測できません。

6.5.6.2 ECC ロジックの機能

コントローラの ECC は以下の特長を備えています。

- 内部制御による、個別の I/O パッドの無効化または ECC モジュールの無効化

DDR コントローラは、メモリデータバスの特定ビットまたは全ビットを無効にできます。この処理はコントローラのデータバス削減や特定の ECC メモリ、あるいは ECC メモリが搭載されていないときに利用すると役に立ちます。ECC モジュールは、“ECC_EN” 設定を 0 にクリアすると完全に無効になります。このモードでは、コントローラはチェックコードの計算および比較を行わず、チェックコードをメモリに格納しません。

- ECC エラー時の ECC イベントの保管

読み出しコマンドの ECC エラーに対応するアドレス、データ、およびシンδροームは、2 セットのレジスタ（訂正可能エラー用 1 セット、訂正不可エラー用 1 セット）に格納されます。

- 割り込みの生成

読み出しコマンドの ECC ステータスは、レジスタセット内の 4 個の割り込みビットによりユーザに通知されます。

- シングルビットエラーの自動訂正

シングルビットエラーが発生すると、エラーを起こしたビットは自動的に訂正されて、正確なデータ/チェックコードがメモリに書き込まれるか（書き込みトランザクション）、ユーザインタフェースに返されます（読み出しトランザクション）。読み出しデータの訂正はメモリには反映されません。

- ECC スクラビングによるメモリ整合性の維持

RZ/N1 ではサポートされません。

- 読み出しデータエラーの ECC コードの自動破棄

読み出しデータは、まず ECC が検証され、その後で読み出しデータと新規書き込みデータが組み合わされて新規 ECC が計算されます。読み出しデータで訂正不可エラーが検出される場合は、そのアドレス空間に不正データが格納されていることを示します。この場合、コントローラは自動的にその ECC データワードのチェックコードを破棄します。そのため、この領域に対する以降のアクセスはすべてエラーとなります。この機能は無効化が可能です。無効の場合、エラーは無視されて、新規データおよび新規チェックコードがメモリに書き込まれます。そのアドレスに対する以降のアクセスで、訂正不可エラーが発生するかどうかは不定です。

- ECC エラーの強制

特別なチェックコードをメモリに意図的に書き込むことで、メモリの診断を行ったり、以降のアクセスに備えて特定のメモリアドレスにエラーフラグを立てることが可能です。書き込みチェックが開始すると、チェックコードと生成された ECC ビットが XOR 処理されてメモリに書き込まれます。この ECC データワードを読み戻すと ECC エラーイベントが検出されます。

6.5.6.3 ECC の制御

ECC 機能は、“ECC_EN”により制御します。本設定は、ECC を有効にして、通知および訂正の処理を有効にします。ECC 機能を有効にする場合は、“REDUC”設定を 1 にセットしてハーフデータパス機能を有効にしてください。残りのデータパスに ECC のチェックコードが使用され、データ領域は半分となります。

(1) エラーイベントパラメータ

読み出し動作で ECC のシングルビットおよびダブルビットのエラーが発生すると、該当のアドレス、データ、およびシンδροームがレジスタに格納されます。各エラーに対して、パラメータは 1 セットです。

コントローラは、64 ビット定義ワードの 1/2 の範囲内のエラーのみ通知することが可能です。したがって、エラーが発生したときに“ECC_C_ADDR”または“ECC_U_ADDR”パラメータで通知されるアドレスは、エラーを起こしたロケーションの前半の 32 ビット境界です。

イベント情報は、ユーザがこれらのレジスタロケーションを読み出すまで保存されます。エラー通知パラメータを読み出す前にさらにエラーが発生すると、割り込みがトリガされますがエラーイベントは失われます。

(2) 割り込みステータスビット

DDR コントローラのすべての割り込みのステータスは、“INT_STATUS”フィールドで示されます。本パラメータはコントローラのリセット時にクリアされます。“INT_STATUS”フィールドの 4 ビットは ECC に関するものです。

ビット[4]および[6]は、“INT_ACK”設定の対応ビットのセットにより最初の ECC エラーが認識される前に、さらに別の ECC エラーが発生したときのみセットされます。この場合のエラーでは、

“INT_STATUS”フィールドの対応ビットがセットされます。このときに対応する割り込みがマスクされてなければ、グローバル割り込みコントローラに対して DDRC_Int 信号がトリガされます。割り込みをマスクするには、“INT_MASK”設定の対応ビットを 1 にセットします。

6.5.6.4 シンドローム

読み出しコマンドでは、コントローラは ECC データワードおよび関連するチェックコードをメモリから回収します。コントローラは、メモリから読み出したデータに基づいてチェックコードを生成します。チェック機能は、この値とメモリから読み出したチェックコードを XOR 処理します。生成したチェックコードおよび格納されたチェックコードを XOR 処理した結果を、シンドロームと呼びます。シンドロームが 0x00 以外なら、ECC エラーが発生したことを表します。不正ビットがあるのは、データまたは保存されたチェックコードです。いずれのケースでも、データおよびチェックコードは一致しません。シンドロームは、ECC データまたはチェックコードの不正ビットを指示します（シングルビットエラーの場合）。シンドロームが破棄すべきデータビットを確定的に指示できない場合は、ダブルビットまたはマルチビットのエラーであるために訂正はできません。

「表 6.161 32 ビットの ECC シンドローム」に、シンドロームとシングルビットエラーの関係を示します。シンドロームが 0x00 なら ECC エラーは発生していません。表に示した以外の値はダブルビットまたはマルチビットのエラーです。

表 6.161 32 ビットの ECC シンドローム

シンドローム	不正ビット	シンドローム	不正ビット	シンドローム	不正ビット
0x00	エラーなし	0x20	チェック[5]	0x57	データ[11]
0x01	チェック[0]	0x23	データ[23]	0x58	データ[10]
0x02	チェック[1]	0x25	データ[22]	0x5B	データ[9]
0x04	チェック[2]	0x26	データ[21]	0x5E	データ[8]
0x08	チェック[3]	0x29	データ[20]	0x62	データ[7]
0x0B	データ[31]	0x2A	データ[19]	0x64	データ[6]
0x0E	データ[30]	0x2C	データ[18]	0x67	データ[5]
0x10	チェック[4]	0x31	データ[17]	0x68	データ[4]
0x13	データ[29]	0x34	データ[16]	0x6B	データ[3]
0x15	データ[28]	0x40	チェック[6]	0x6D	データ[2]
0x16	データ[27]	0x4A	データ[15]	0x70	データ[1]
0x19	データ[26]	0x4F	データ[14]	0x75	データ[0]
0x1A	データ[25]	0x52	データ[13]		
0x1C	データ[24]	0x54	データ[12]		

注 意

上記の表以外のシンドロームは、ダブルビットまたはマルチビットエラーです。

6.5.6.5 ECC が有効の場合のコマンド処理

DDR コントローラは、読み出しコマンドでは常に DRAM メモリから ECC データワード情報および対応するチェックコードを読み出します。コントローラコアは、先に ECC データワードを読み出してからそのチェックコードを生成します。次に、生成したコードとメモリから読み出したチェックコードを比較します。2つのチェックコードが一致しなければ、エラーが発生したことを表します。開始アドレスおよび終了アドレスを含めた ECC データワード全体は、要求元に返されます。要求元は、エラーを起こしたバイトは無視する必要があります。

DDR コントローラは、書き込みコマンドでは内部で読み出しコマンドをトリガしてから書き込みを実行します。この読み出しは、ECC データワード全体に対する正確なチェックコードを生成するために必要です。コントローラコアは、データを読み出してからそのチェックコードを生成します。エラーが通知される場合は、可能であれば訂正します。読み出したデータと新規の書き込みデータを組み合わせて、新規の ECC データワードを生成します。

新規の ECC データワードに対して、データの新規部分が全体か一部かに関係なく、チェックコードを生成します。このコードを、新規の ECC データワードとともにメモリに格納します。コントローラは、ユーザインタフェースから要求された場合にこのデータを返します。

「表 6.162 トランザクションタイプ別の ECC 機能」に、各コマンドの ECC ロジックの処理を示します。

表 6.162 トランザクションタイプ別の ECC 機能 (1/2)

コマンド タイプ	開始アドレス	終了アドレス	内部コマンド	チェックコード		
				生成?	比較?	保存?
読み出し	任意	任意	ECC データワード全体の読み出し	Yes	Yes	No
書き込み	アライン	アライン	ECC データワード全体の書き込み	Yes	No	Yes
書き込み	アライン	非アライン	1 回の読み出し後に書き込み。ECC データワード全体の書き込み。			
			終了アドレスを収めた ECC データワードの読み出し	Yes	Yes	No
			新規書き込みデータの ECC データワード全体の書き込み	Yes	No	Yes
			読み出しデータおよび新規書き込みデータの組み合わせ (RMW) による ECC データワードの最終書き込み	Yes	No	Yes
書き込み	非アライン	アライン	1 回の読み出し後に書き込み。ECC データワード全体の書き込み。			
			開始アドレスを収めた ECC データワードの読み出し	Yes	Yes	No
			読み出しデータおよび新規書き込みデータの組み合わせ (RMW) による ECC データワードの初回書き込み	Yes	No	Yes
			新規書き込みデータの ECC データワード全体の書き込み	Yes	No	Yes
書き込み	非アライン	非アライン	2 回の読み出し後に書き込み。ECC データワード全体の書き込み。			
			開始アドレスを収めた ECC データワードの読み出し	Yes	Yes	No
			初回ワードの読み出しデータおよび新規書き込みデータの組み合わせ (RMW) による ECC データワードの初回書き込み	Yes	No	Yes
			新規書き込みデータの ECC データワード全体の書き込み	Yes	No	Yes
			終了アドレスを収めた ECC データワードの読み出し	Yes	Yes	No
			最終ワードの読み出しデータおよび新規書き込みデータの組み合わせ (RMW) による ECC データワードの最終書き込み	Yes	No	Yes

表 6.162 トランザクションタイプ別の ECC 機能（2/2）

コマンド タイプ	開始アドレス	終了アドレス	内部コマンド	チェックコード		
				生成か？	比較か？	保存か？
マスク書き込み	任意	任意	マスク書き込みは 1 つの 64 ビット定義ワード長に制限されます。 2 回の RMW 動作が実行されます。 ECC データワード全体の書き込み。			
			開始アドレスを収めた ECC データワードの読み出し	Yes	Yes	No
			初回ワードの読み出しデータおよび新規書き込みデータの組み合わせ（RMW）による ECC データワードの初回書き込み	Yes	No	Yes
			終了アドレスを収めた ECC データワードの読み出し - 該当する場合	Yes	Yes	No
			最終ワードの読み出しデータおよび新規書き込みデータの組み合わせ（RMW）による ECC データワードの最終書き込み - 該当する場合	Yes	No	Yes

6.5.6.6 ECC および読み出し動作

ECC が無効（“ECC_EN” 設定がクリア）の場合、読み出し動作ではメモリからデータが取り出され、そのデータがユーザインタフェースに返されます。ECC チェックは行われず、エラー情報が保存または通知されることもありません。ECC が有効（“ECC_EN” 設定がセット）なら、ECC の処理は「**表 6.162 トランザクションタイプ別の ECC 機能**」の説明に従います。DDR コントローラは、すべての読み出しについて、読み出し要求が ECC データワード全体を対象としない場合でも、開始アドレスを収めた ECC データワード全体を読み出してユーザインタフェースに返します。ただし、要求が ECC データワード全体を対象としない場合は、余分なバイトは無視する必要があります。コントローラコアは保存されたチェックコードも読み出します。ECC 検証には、ECC データワード全体および保存されたチェックコードが必要です。内部ロジックは、データのチェックコードを生成し、メモリからの読み出しデータに対して生成されたコードと XOR 処理します。生成したチェックコードおよび格納されたチェックコードを XOR 処理した結果を、シンδροームと呼びます。コントローラの処理はシンδροームで決まります。

- シンδροームが 0x00 の場合

計算したチェックコードおよび保存されたチェックコードが一致し、データエラーはありません。コントローラはデータをユーザインタフェースに返します。エラーがなければ、ECC エラー情報レジスタは更新されず、割り込みは発生せず、ユーザインタフェース信号はアサートされません。

- シンδροームがシングルビットエラーを指示する場合

データまたはチェックコードにエラーがあり、コントローラはシンδροーム値によりエラーを起こしたビットを正確に認識します。ビットの訂正は可能で、「訂正可能」エラーのフラグが立ちます。コントローラは、ECC の訂正可能エラー情報レジスタにアドレス、データ、およびシンδροームを格納し、

“INT_STATUS” フィールドの第 1 訂正可能 ECC エラー割り込み（ビット[3]）または第 2 訂正可能 ECC エラー割り込み（ビット[4]）をセットします。続いて、シンδροーム情報に基づいてエラービットを訂正し、訂正後のデータをユーザインタフェースに返します。メモリ内のエラーを起こしたデータまたはチェックコードのビットは、変更されません。

- シンδροームがマルチビットエラーを指示する場合

データまたはチェックコードにエラーがあり、コントローラはエラーを起こしたビットを特定することはできません。コントローラは、ECC の訂正不可エラー情報レジスタにアドレス、データ、およびシンδροームを格納し、“INT_STATUS” フィールドの第 1 訂正不可 ECC エラー割り込み（ビット[5]）または第 2 訂正不可 ECC エラー割り込み（ビット[6]）をセットします。続いて、エラーを起こしたデータをユーザインタフェースに返します。さらに、“axiY_RRESP” 信号でエラー応答を送出します。デフォルト転送では、エラーはエラーが発生したビートにより送出されます。エラーの転送幅が狭い場合は、エラーはエラーが発生したデータワードの各ビートにより送出されます。

6.5.6.7 ECC および書き込み動作

ECC が無効（“ECC_EN” 設定がクリア）の場合、書き込み動作ではメモリにデータが書き込まれます。リードモディファイライト動作では、メモリからデータが取り込まれ、新規データと組み合わせられて、メモリに書き込まれます。メモリからは ECC チェックコードは読み出されず、ECC チェックは行われず、エラー情報は保存または通知されません。ECC が有効（“ECC_EN” 設定がセット）の場合、書き込み動作はすべてリードモディファイライト動作として実行されます。チェックコード値は ECC ワード全体で決まりますが、ECC ワードの一部のバイトのみが新規データのケースがあり得るため、コントローラはデータのチェックコードを計算することはできません。こうした理由から、書き込み動作はリードモディファイライト動作として実行されます。リードモディファイライト動作は以下の手順で実行されます。

- ECC データワードの読み出し

DDR コントローラコアは、書き込みデータアドレスを収めた ECC データワード、および対応するチェックコードを読み出します。

- データの検証

コントローラは、読み出しデータからチェックコードを生成し、その値をメモリから読み出したチェックコードと XOR 処理して、シンドロームを生成します。コントローラの処理はシンドロームで決まります。

- シンドロームが 0x00 の場合。計算したチェックコードおよび保存されたチェックコードが一致し、データエラーはありません。
- シンドロームがシングルビットエラーを指示する場合。データまたはチェックコードにエラーがあり、コントローラはシンドローム値によりエラーを起こしたビットを正確に認識します。ビットの訂正は可能で、「訂正可能」エラーのフラグが立ちます。コントローラは、ECC の訂正可能エラーパラメータにアドレス、データ、およびシンドロームを格納し、“INT_STATUS” フィールドの第 1 訂正可能 ECC エラー割り込み（ビット[3]）または第 2 訂正可能 ECC エラー割り込み（ビット[4]）をセットします。コントローラは、シンドローム情報に基づいてエラービットを訂正します。
- シンドロームがマルチビットエラーを指示する場合。データまたはチェックコードにエラーがあり、コントローラはエラーを起こしたビットを特定することはできません。コントローラは、ECC の訂正不可エラー情報レジスタにアドレス、データ、およびシンドロームを格納し、“INT_STATUS” フィールドの第 1 訂正不可 ECC エラー割り込み（ビット[5]）または第 2 訂正不可 ECC エラー割り込み（ビット[6]）をセットします。コントローラは、ECC 破棄が有効（“ECC_DISABLE_W_UC_ERR” 設定がクリア）なら、ECC データワードのチェックコードを自動的に破棄します。これにより、このロケーションに対する以降のアクセスでは常に ECC エラーが検出されます。
“ECC_DISABLE_W_UC_ERR” 設定がセットされていれば、チェックコードは破棄されず、訂正不可エラーを指示する情報は失われます。

- データの結合

64 ビット定義ワードは、訂正されたか否かに関係なく、新規の書き込みデータと組み合わせられます。チェックコードが読み出しフェーズで意図的に破棄される場合は、新規チェックコードも破棄されます。それ以外は、コントローラは組み合わせられたデータの新規チェックコードを計算します。

- 情報の書き込み

新規チェックコード（正当な値または破棄値）および 64 ビット定義ワード全体は、メモリに書き込まれます。

6.5.6.8 ECC の自動破棄

正確性を期すため、データはモディファイライト前の書き込みに対する読み出しのフェーズで ECC が検証されます。読み出しデータで訂正不可エラーが検出される場合は、そのアドレス空間に不正データが格納されていることを示します。この場合、コントローラは自動的にその ECC データワードのチェックコードを破棄します。そのため、この領域に対する以降のアクセスはすべてエラーとなります。破棄が実行されるのは、書き込みトランザクションの読み出しおよび書き込みのフェーズです。この機能は、必要なら

“ECC_DISABLE_W_UC_ERR” 設定をセットして無効にすることが可能です。無効にすると訂正不可エラーは無視されます。読み出しデータおよび書き込みデータは結合され、新規 ECC データワードに対応するチェックコードが計算されます。新規データおよび新規チェックコードはメモリに書き込まれます。そのアドレスに対する以降のアクセスで、訂正不可エラーが発生するかどうかは不定です。

6.5.6.9 ECC エラーイベントの強制

ECC エラーは意図的に発生させたい場合があります。たとえば、テストを目的とする場合、または特定のメモリロケーションにエラータグを付ける場合です。エラータグは、書き込み動作で訂正不可エラーが発生したときに、“ECC_DISABLE_W_UC_ERR” 設定が誤って 1 にセットされているケースで利用することが可能です。破棄を無効にすると ECC エラー情報は失われます。メモリのチェックコードを意図的に破棄すると、そのロケーションの以降の読み出しで ECC エラーが発生します。ECC イベントを意図的に発生させる手順は以下のとおりです。

- (1) “ECC_EN” 設定を 1 にセットします。ECC チェックが有効になります。
- (2) コントローラに保留中の書き込みがないことを確認します。
- (3) “XOR_CHECK_BITS” 設定に値を書き込みます。これにより、ワードが読み出されたときに ECC イベントがトリガされます。「**6.5.6.4 シンドローム**」のシンドロームを使用して、
“XOR_CHECK_BITS” 設定をプログラムします。“XOR_CHECK_BITS” 設定の各バイトにより、各 64 ビット定義ワード空間での ECC イベントの意図的な発生が制御されます。「**表 6.163 XOR_CHECK_BITS 設定のビット対応**」に、“XOR_CHECK_BITS” 設定の各バイトと 64 ビット定義ワードビットの対応を示します。たとえば、64 ビット定義ワード空間のビット 0 でシングルビットの訂正可能エラーを発生させるには、“XOR_CHECK_BITS” 設定の該当のバイトに 0x75 を書き込みます。64 ビット定義ワード空間でダブルビットの訂正不可エラーを発生させるには、
“XOR_CHECK_BITS” 設定の該当のバイトに 0x03 を書き込みます。
- (4) レジスタインタフェースを使用して FWC（強制書き込みチェック）設定をセットします。
- (5) コントローラで、アラインした 64 ビット定義ワードに書き込みコマンドを実行します。
- (6) 同じアドレスの次の読み出しコマンドで ECC エラーが発生します。この動作により、“FWC” 設定ビットは自動的にクリアされます。
- (7) “XOR_CHECK_BITS” 設定のプログラミングにより、シングルビット、ダブルビット、またはマルチビットの ECC エラーが発生します。シングルビットおよびダブルビットのエラーでは、
“INT_STATUS” フィールドの該当のビットが 1 にセットされ、ECC エラーイベント情報レジスタに対応する情報が格納されます。不正な ECC シンドロームを意図的に生成する方法については、「**表 6.163 XOR_CHECK_BITS 設定のビット対応**」を参照してください。

表 6.163 XOR_CHECK_BITS 設定のビット対応

ビット対応	機能
XOR_CHECK_BITS[13:7]は、64 ビット定義ワード[63:32]に対応 XOR_CHECK_BITS[6:0]は、64 ビット定義ワード[31:0]に対応	この値は、FWC ビットが 1 にセットされていれば生成された ECC ビットと XOR 処理され、メモリに書き込まれます。この 64 ビット定義ワードを読み戻すと ECC イベントが検出されます。特定のイベントを意図的に発生させるコードについては、ECC のシンドローム表を参照してください。

6.5.6.10 通知された ECC イベントのクリア

通知された ECC イベントのクリアは以下の手順で行います。

- ECC データ、アドレス、およびシンδροームのパラメータを読み出して、イベントが発生したロケーションを特定します。
- “INT_ACK” 設定の対応ビットを 1 にセットします。ECC 割り込みおよび ECC イベントのレジスタがクリアされ、以降のイベントがキャプチャされます。

6.5.7 低消費電力制御の管理

多くのアプリケーションでは、DDR コントローラおよびメモリの消費電力を最小限に抑制することが理想的です。DDR コントローラには、省電力に対応するさまざまな低消費電力オプションが用意されています。低消費電力ロジックは低消費電力制御（Low Power Control=LPC）モジュールに内蔵されています。

6.5.7.1 低消費電力状態

注 意

- 通常はより深い低消費電力状態への遷移です。低消費電力状態の切り替えを要求すると、現在の状態が終了した後で新しい状態に移行します。
- ただし、可能な場合は現在の低消費電力が終了せずに次の低消費電力に遷移します。システムは、低消費電力状態を切り替える場合に、必要に応じて現在の低消費電力を終了します。

(1) アクティブパワーダウン

コントローラは、バンク内にアクティブなロウがないときは、メモリをパワーダウン状態に設定します。この状態は、システム全体の電力消費は低減されますが、すべての低消費電力状態の中でその効果は最小です。コントローラおよびメモリのクロックは通常どおりに稼働し、メモリの CKE 入力はデアサートされます。「アクティブパワーダウン」状態への移行が要求されると、メモリはロウの状態に応じてアクティブまたはプリチャージのパワーダウンモードに移行します。オープン状態のロウがなければプリチャージパワーダウンモードに移行します。

コントローラは引き続きメモリリフレッシュ要求を監視し、要求があれば自動的にメモリのパワーダウンを終了してリフレッシュを実行します。リフレッシュが要求されると、メモリの CKE 入力を再びアサートします。この動作によりメモリのパワーダウンは終了します。アクティブパワーダウンモードに遷移したメモリは、コントローラがリフレッシュを実行すると、リフレッシュ処理にはプリチャージオールコマンドが含まれるために自動的にプリチャージパワーダウンモードに遷移します。

DDR2 のアクティブパワーダウンモードは、メモリモードレジスタの設定に応じて、高速および低速の終了モードをサポートします。アクティブパワーダウンビット（MR [A12]）がクリアされている（高速終了）場合は、低消費電力状態の終了から読み出しコマンドまでの時間はタイミングパラメータの“TXARD”で決まります。アクティブパワーダウンビットがセットされている（低速終了）場合のタイミングパラメータは“TXARDS”です。

(2) メモリクロックゲーティングありのアクティブパワーダウン

注 意

この低消費電力状態は、標準的な DDR2、または DDR3 メモリではサポートされません。この状態を設定すると、コントローラはメモリをパワーダウン状態に設定してメモリクロックをゲートオフします。これにより、メモリの予測外の動作でハングアップすることがあります。

(3) プリチャージパワーダウン

コントローラは、全バンクがアイドル状態になるとメモリをパワーダウン状態に設定します。このときにいずれかのロウがアクティブなら、パワーダウンモードコマンドを発行する前にプリチャージオールコマンドを発行します。システムに NVM メモリが搭載されている場合、プリチャージコマンドが無効である NVM メモリには発行されません。

コントローラは引き続きメモリリフレッシュ要求を監視し、要求があれば自動的にメモリのパワーダウンを終了してリフレッシュを実行します。リフレッシュが要求されると、メモリの CKE 入力を再びアサートします。この動作によりメモリのパワーダウンは終了します。リフレッシュ処理が完了すると、メモリの CKE 入力ビットをデアサートした後でプリチャージパワーダウンモードに復帰します。

DDR3 のプリチャージパワーダウンモードは、メモリモードレジスタの設定に応じて、高速および低速の終了モードをサポートします。プリチャージパワーダウンビット (MR0[A12]) がクリアされている (低速終了) 場合は、低消費電力状態の終了から読み出しコマンドまでの時間はタイミングパラメータ “TXPDLL” で決まります。プリチャージパワーダウンビットがセットされている (高速終了) 場合のタイミングパラメータは “TPDEX” です。

(4) メモリクロックゲーティングありのプリチャージパワーダウン

注 意

この低消費電力状態は、標準的な DDR2、または DDR3 メモリではサポートされません。この状態を設定すると、コントローラはメモリをパワーダウン状態に設定してメモリクロックをゲートオフします。これにより、メモリの予測外の動作でハングアップすることがあります。

(5) セルフリフレッシュ

コントローラは、メモリをセルフリフレッシュモードに設定します。このモードでは、コントローラおよびメモリのクロックは通常どおりに稼働し、メモリの CKE 入力はデアサートされます。メモリは自動的にリフレッシュされるため、コントローラからメモリに対して明示的にリフレッシュを発行する必要はありません。

(6) メモリクロックゲーティングありのセルフリフレッシュ

コントローラは、メモリをセルフリフレッシュモードに設定して、メモリに対するクロック供給をゲートオフします。メモリのセルフリフレッシュモードが終了する場合は、その前にクロック供給が再びゲートオンされます。

(7) メモリおよびコントローラのクロックゲーティングありのセルフリフレッシュ

これはコントローラの最大限の低消費電力状態です。コントローラは、メモリをセルフリフレッシュモードに設定して、メモリに対するクロック供給をゲートオフします。さらに、コントローラへのクロック供給は（AHB レジスタインタフェースを除いて）ゲートオフされます。

メモリのセルフリフレッシュモードが終了する場合は、その前にコントローラおよびメモリのクロック供給が再びゲートオンされます。この状態の自動終了が有効の場合、メモリデバイスを指定する新規トランザクションが要求されると、メモリがウェイクアップしてトランザクションが実行されます。

注 意

- 読み出しまたは書き込みコマンドの処理中は、この状態に移行することはできません。ソフトウェアプログラマブルインタフェースを使用している場合は、この状態への移行を要求する前に“CONTROLLER_BUSY”ビットをチェックして、コントローラがアイドル状態であることを確認する必要があります。自動インタフェースを使用している場合は、DDR コントローラがこのチェックを実行します。
- コントローラのクロック供給が低消費電力制御モジュールにより停止している場合、プログラマブルコマンドパラメータ（コントローラ内でのコマンド実行を指示する設定）への書き込みは無効で、該当のコマンドは実行されません。コントローラのクロック供給が停止しているときに発行されたコマンドが、クロック供給の再開時に実行されるかどうかは不定です。通常、コントローラのクロック供給が停止しているときは、コマンドレジスタにプログラムすることはできません。プログラムしたときのコマンドの結果は不定です。

6.5.7.2 低消費電力制御モジュールの管理

(1) インタフェース

LPC モジュールには 2 つの管理方法があります。

- ソフトウェアプログラマブルインタフェース

このインタフェースは、DDR コントローラレジスタのプログラマブルパラメータおよび低消費電力コマンドの動作状況管理用ステータスレポートを使用します。

- 自動インタフェース

このインタフェースは、各低消費電力状態の個別の有効化ビットおよびカウンタにより、すべての低消費電力状態の自動的な移行および終了をサポートします。

表 6.164 低消費電力状態の管理

低消費電力状態	インタフェース	
	ソフトウェアプログラマブル	自動
通常モード	—	—
アクティブパワーダウン	Yes	Yes
ブリチャージパワーダウン	Yes	Yes
セルフリフレッシュ	Yes	Yes
メモリクロックゲーティングありのセルフリフレッシュ	Yes	Yes
メモリおよびコントローラクロックゲーティングありのセルフリフレッシュ	Yes	Yes
シャットダウン	No	No

注 意

標準的な DDR2、および DDR3 メモリでは、パワーダウンによるメモリクロックの供給停止はサポートされません。

(2) 低消費電力アービタ

LPC モジュールは複数のマスタにより管理されるため、1 つのインタフェース（ソフトウェアプログラマブル、自動）のみが低消費電力コマンドを実行する調停方式が組み込まれています。各インタフェースは、要求処理中は LPC モジュールの所有権を獲得します。

ソフトウェアプログラマブルインタフェースおよび自動インタフェースは、コマンドにより要求信号を生成して、LPC モジュールの調停で制御権を獲得します。処理が完了すると制御権を解放します。ソフトウェアプログラマブルインタフェースには、別のコマンドの調停権を維持するためのロックオプションはフェイルセーフではないためありません。

コマンドが実行されるのは、低消費電力アービタがインタフェースに対して処理の実行を許可する場合、および LPC モジュールがコマンドの実行中ではない場合に限られます。インタフェースには以下の優先度があります。

- (1) ソフトウェアプログラマブルインタフェース
- (2) 自動インタフェース

6.5.7.3 ソフトウェアプログラマブルインタフェース

ソフトウェアプログラマブルインタフェースには、サポートする低消費電力状態への移行やその終了に使用する“LP_CMD”設定が用意されています。“LP_CMD”設定に所定の値をプログラムすると、モジュールがアイドル状態の“LP_ARB_STATE=4'b0000”なら、ソフトウェアプログラマブルインタフェースは調停により LPC モジュールの制御権を獲得します。この結果は“LP_ARB_STATE”フィールドが 4'b0001 にセットされることで示されます（コマンド要求時に“LOCK”ビット（ビット[7]）がセットされている場合は 4'b1001）。“LP_ARB_STATE=4'b0001 または 4'b1001”によりソフトウェアプログラマブルインタフェースの調停ステータスがすでに定義されている場合、“LP_ARB_STATE”は変更されずにコマンドは引き続き実行されます。他のインタフェースが調停で制御権を獲得すると、ソフトウェアコマンドは実行可能になるまで保留されます。発行された後でコマンドをアボートすることはできません。

インタフェースが調停で制御権を獲得すると、“LP_CMD”設定で定義されるコマンドが LPC モジュールに転送されます。“LP_CMD”設定値のエンコードにより、要求される低消費電力状態が指示され、その状態への移行または終了が起動されます。コマンドが受け付けられると、“LP_STATE”フィールドの“VALID”ビット（ビット[5]）がクリアされてコマンドが実行されます。

LPC モジュールが処理する内容は、要求される低消費電力状態、および要求が受け付けられたときの LPC モジュールの状態が決まります。メモリが低消費電力状態のときにコマンド要求の終了ビットがセットされると、LPC モジュールは現在の低消費電力状態の終了をトリガします。このときに移行ビットがセットされていれば、LPC モジュールは指定される低消費電力状態を確認します。メモリが低消費電力状態ではないか、要求がより深い低消費電力状態への移行であれば、LPC モジュールは新規の低消費電力状態への移行をトリガします。要求が現在と同じレベルか、より軽度の低消費電力状態への移行であれば、LPC モジュールは何も実行しません。

コマンドの実行が完了すると（または何も実行されなければ）、“LP_STATE”フィールドの“VALID”ビット（ビット[5]）がセットされ、新規の状態は低消費電力状態ビット（“LP_STATE”フィールドのビット[4:0]）に反映され、“INT_STATUS”フィールドの低消費電力コマンド完了割り込み（ビット[9]）がセットされます。“LOCK”ビット（“LP_CMD[7]”）をセットせずにコマンドが発行されると、調停ステータスはアイドル状態の“LP_ARB_STATE=4'b0000”にリセットされます。“LOCK”ビット

（“LP_CMD[7]”）をセットしてコマンドが発行されると、低消費電力アービタはロックインジケータを“LP_ARB_STATE=4'b1001”に設定し、ソフトウェアプログラマブルインタフェースの制御権を維持します。上位優先度の要求によりソフトウェアプログラマブルインタフェースのロックが解除される場合は、システムリセットが必要です。

“LP_STATE”フィールドの“VALID”ビット（ビット[5]）がクリアされていれば、LPC モジュールは以降のコマンドは受け付けません。“LP_CMD”設定に任意の値を書き込んだときの動作は不定です。

(1) ロックオプション

ソフトウェアプログラマブルインタフェースには調停をロックするオプションがあります。LPC モジュールは任意のタイミングでメモリの低消費電力状態を変更する可能性があるため、低消費電力コマンドを発行する直前にソフトウェアプログラマブルインタフェースで“LP_STATE”フィールドを読み出しても、読み出し以降に低消費電力状態が変化しないことは保証されません。“LP_STATE”フィールドの読み出しから

“LP_CMD”の実行までの状態を確実に維持する 1 つの方法は、LPC モジュールを他のインタフェースのアクセスからロックすることです。“LP_CMD=8'b100_000_00”に設定すると、低消費電力状態が変化しないようにロックされます。これにより、LPC モジュールの制御権が譲渡され、所定の状態が定義されて、

“INT_STATUS”フィールドの低消費電力コマンド完了割り込み（ビット[9]）がセットされます。このコマンドとソフトウェアプログラマブルインタフェースから発行される他の低消費電力コマンドの唯一の相違点は、コマンドの完了時に“LP_ARB_STATE”フィールドがアイドル状態（4'b0000）にリセットされず、4'b1001 のままソフトウェアプログラマブルインタフェースの制御がロックされることです。ソフトウェアプログラマブルインタフェースは、現在の状態に基づいて別の低消費電力に移行するか、低消費電力状態を終了することが可能です。

ロックオプションは、低消費電力移行または終了コマンドである “LP_CMD=8'b100_000_01 または 8'b100_000_01” でも発行されます。このコマンドは、コマンドの完了時に “LP_ARB_STATE” がアイドル状態にリセットされない点を除けば、他の低消費電力コマンドと同様に処理されます。ロックを解除する唯一の方法は、ロックビットをクリアした状態で別の低消費電力移行または終了コマンドを発行することです。

(2) ソフトウェアプログラマブルインタフェースのコマンド

ソフトウェアプログラマブルインタフェースで LPC モジュールに低消費電力コマンドを発行するときは、“LP_CMD” 設定を使用します。このインタフェースには対応するストローブはなく、“LP_CMD” に書き込むと LPC モジュールに送出されて調停および実行が処理されます。詳細については「**6.4.1.27**

DDR_CTL_26 — DDR コントローラステータス/制御 26 レジスタ」を参照してください。

ソフトウェアプログラマブルインタフェースは、以下のビット設定 (LP_CMD[4:2]) により 3 つの低消費電力モードをサポートします。

- 3'b000=アクティブパワーダウン

注 意

メモリは、いずれかの「アクティブパワーダウン」への移行が要求されると、ロウの状態に応じてアクティブまたはプリチャージのパワーダウンモードに移行します。すべてのロウがクローズしていなければ、メモリはアクティブパワーダウンモードに移行します。オープン状態のロウがなければプリチャージパワーダウンモードに移行します。すべてのロウを確実にクローズするには「プリチャージパワーダウン」を指定します。

- 3'b001=プリチャージパワーダウン
- 3'b010=セルフリフレッシュ

表 6.165 サポートされるソフトウェアプログラマブルインタフェースコマンド

“LP_CMD” 設定値	機能
8'b000_000_01	低消費電力状態の終了
8'b000_000_10	「アクティブパワーダウン」へ移行
8'b000_001_10	「プリチャージパワーダウン」へ移行
8'b000_010_10	「セルフリフレッシュ」へ移行
8'b001_010_10	「メモリクロックゲーティングありのセルフリフレッシュ」へ移行
8'b011_010_10	「メモリおよびコントローラのクロックゲーティングありのセルフリフレッシュ」へ移行 備考) 読み出しまたは書き込みコマンドの実行中はこの状態には移行しません。要求を発行する前に、“CONTROLLER_BUSY” ビットをチェックしてコントローラがアイドル状態であることを確認する必要があります。
8'b100_000_00	ロックの設定 (低消費電力コマンドなし)
8'b100_000_01	低消費電力状態の終了、ロックあり
8'b100_000_10	「アクティブパワーダウン」へ移行、ロックあり
8'b100_001_10	「プリチャージパワーダウン」へ移行、ロックあり
8'b100_010_10	「セルフリフレッシュ」へ移行、ロックあり
8'b101_010_10	「メモリクロックゲーティングありのセルフリフレッシュ」へ移行、ロックあり
8'b111_010_10	「メモリおよびコントローラクロックゲーティングありのセルフリフレッシュ」へ移行、ロックあり 備考) 読み出しまたは書き込みコマンドの実行中はこの状態には移行しません。要求を発行する前に、“CONTROLLER_BUSY” ビットをチェックしてコントローラがアイドル状態であることを確認する必要があります。

6.5.7.4 自動インタフェース

LPC モジュールは、プログラマブルな有効化またはアイドル状態の監視に基づいて、各低消費電力状態への自動的な移行をサポートします。「表 6.166 低消費電力状態の管理」に示すように、各低消費電力モード（状態ではない）には個別の有効化ビットおよびカウンタが用意されています。自動インタフェースは、ソフトウェアプログラマブルインタフェースの場合と同様に、調停により LPC モジュールの制御権を獲得して要求を発行する必要があります。自動インタフェースは調停に関しては最下位の優先度です。

コントローラがアイドル状態の場合、有効化された各タイミングカウンタは非アクティブ状態のサイクル数をカウントダウンします。アイドルとは、コマンドキューまたはいずれかのポートに、実行中または保留中の読み出しまたは書き込みコマンドがない状態のことです。パワーダウン状態では、メモリへの送待を待機するコマンドがなければアイドル状態が開始し、カウンタはコントローラの非アクティブ状態をサイクル単位でデクリメントします。セルフリフレッシュ状態では、処理の対象となる読み出しコマンドについてすべての読み出しデータが回収されると、アイドル状態が開始します。この制限により、コントローラクロックのゲートオフが自動要求される場合でも、すべての読み出しデータの回収が保証されます。セルフリフレッシュカウンタは、非アクティブ状態の各ロングカウントに対してデクリメントされます。

(1) 自動移行

いずれかのカウンタが満了すると、自動インタフェースは調停を要求します。タイミングカウンタには、初期値として対応するレジスタの値がロードされます。デクリメントされるのは、対応する

“LP_AUTO_ENTRY_EN” ビットがセットされていてカウンタに 0 以外の値がロードされる場合に限られます。LPC モジュールが “LP_ARB_STATE=4'b0000 または 4'b0011” であるときに他に制御するインタフェースがなければ、自動インタフェースが調停で制御権を獲得し、指定される低消費電力状態と現在の状態が比較されます。メモリがすでに低消費電力状態で、満了したカウンタが現在よりも深い低消費電力に対応する場合は、LPC モジュールは新規の低消費電力状態への移行をトリガします。満了したカウンタがより高い電力使用状態に対応する場合は、カウンタの有効期限は無視されます。

ソフトウェアプログラマブルインタフェースが LPC モジュールを制御しているときにカウンタが満了すると、自動要求はアービタがアイドル状態の “LP_ARB_STATE=4'b0000” に復帰するまで保留され、その後で自動インタフェースに対して LPC モジュールの制御が許可されます。読み出しまたは書き込みコマンドがコマンドキューに入力されると、保留中の要求はキャンセルされて、自動カウンタはプログラムされた値にリセットされます。

パワーダウンカウンタが満了すると、DDR コントローラはメモリの状態を評価し、

“LP_AUTO_MEM_GATE_EN” を設定して移行先の低消費電力状態を決定します。すべてのロウがクローズしていなければ、メモリはアクティブパワーダウンモードに移行します。オープン状態のロウがなければプリチャージパワーダウンモードに移行します。メモリクロックは、“LP_AUTO_MEM_GATE_EN” のビット[0]をセットすると、いずれのモードでもゲートオフされます。アクティブパワーダウンモードに遷移したメモリは、コントローラがリフレッシュを実行すると、リフレッシュ処理にはプリチャージオールコマンドが含まれるために自動的にプリチャージパワーダウンモードに遷移します。

同時に、複数の自動低消費電力アイドルカウンタが満了すると、最も深い低消費電力状態に対応するカウンタが起動します。現在の低消費電力状態が、満了したカウンタに対応する状態よりも深い低消費電力状態なら、状態は変化しません。

コントローラはより深い低消費電力状態への移行のみをサポートするため、より深い低消費電力状態に対してきわめて長期間のアイドルタイムをプログラムすることは有効な手段です。「表 6.166 低消費電力状態の管理」に、最小限から最大限までの省電力のパラメータを示します。カウンタは、

“LP_AUTO_ENTRY_EN” ビットが 1 にセットされ、対応する設定の値が 0 以外のときのみ、アイドルサイクルをカウントします。

表 6.166 低消費電力状態の管理

低消費電力状態	有効化設定値	カウンタ設定
アクティブパワーダウン	LP_AUTO_ENTRY_EN[0]=1'b1 LP_AUTO_MEM_GATE_EN[0]=1'b0	LP_AUTO_PD_IDLE
プリチャージパワーダウン	LP_AUTO_ENTRY_EN[0]=1'b1 LP_AUTO_MEM_GATE_EN[0]=1'b0	LP_AUTO_PD_IDLE
セルフリフレッシュ	LP_AUTO_ENTRY_EN[1]=1'b1 LP_AUTO_MEM_GATE_EN[1]=1'b0	LP_AUTO_SR_IDLE
メモリクロックゲーティングありの セルフリフレッシュ	LP_AUTO_ENTRY_EN[1]=1'b1 LP_AUTO_MEM_GATE_EN[1]=1'b1	LP_AUTO_SR_IDLE
メモリおよび コントローラクロックゲーティングありの セルフリフレッシュ	LP_AUTO_ENTRY_EN[2]=1'b1	LP_AUTO_SR_MC_GATE_IDLE

注 意

DDR コントローラがパワーダウンモードへの移行要求を発行すると、DRAM はロウの状態および “LP_AUTO_MEM_GATE_EN[0]” ビットの設定に応じて、パワーダウン状態のいずれかに移行します。

(2) 自動終了

自動インタフェースは、システムとして必要な場合は、各低消費電力状態の個別の有効化ビットにより低消費電力の自動終了もサポートします。自動終了が完了すると、すべてのアイドルカウンタはプログラムされた値にリセットされ、メモリは通常動作に復帰します。新規の読み出しまたは書き込みコマンドがコマンドキューに入力されると、現在の低消費電力状態に対応する “LP_AUTO_EXIT_EN” ビットが 1 にセットされていれば、自動インタフェースが調停を要求します。LPC モジュールが “LP_ARB_STATE=4'b0000 または 4'b0011” であるときに他に制御するインタフェースがなければ、自動インタフェースが調停で制御権を獲得し、低消費電力終了コマンドをトリガします。“LP_AUTO_EXIT_EN” 設定で現在の状態の自動終了が有効化されていなければ、LPC モジュールは低消費電力状態を終了しません。

ソフトウェアプログラマブルインタフェースが LPC モジュールを制御しているときに新規の読み出しまたは書き込みコマンドが発行されると、自動要求はアービタがアイドル状態の “LP_ARB_STATE=4'b0000” に復帰するまで保留され、その後で自動インタフェースに対して LPC モジュールの制御が許可されます。

新規の読み出しまたは書き込みコマンドが発行される場合のみ、カウンタにプログラム値が再ロードされて終了がトリガされます。MRR、MRW、低消費電力移行および終了、レジスタアクセス、リフレッシュ、ZQ などのそれ以外のコマンドでは、カウンタはリセットされず、低消費電力の終了はトリガされません。コントローラがアイドル状態でメモリが自動的に低消費電力状態に移行していれば、これらのコマンドは実行されません。

一般的に、自動移行の “LP_AUTO_ENTRY_EN” で定義される状態については、自動終了の “LP_AUTO_EXIT_EN” でも有効化することが推奨されます。自動移行で定義されていない低消費電力状態に対して自動終了を使用することも可能ですが、その場合はソフトウェアプログラマブルインタフェースの “LP_CMD” により手動で移行する方が適切です。同じ低消費電力状態に対する移行／終了で手動および自動をともに使用する場合は、ソフトウェアプログラマブルインタフェースを介して要求を発行する前に、“LP_AUTO_EXIT_EN” 設定を再プログラムする必要があります。

(3) 自動インタフェースの管理

LPC モジュールは、DDR コントローラレジスタの設定値で動作します。

6.6 使用上の注意

6.6.1 簡単な DDR 初期化

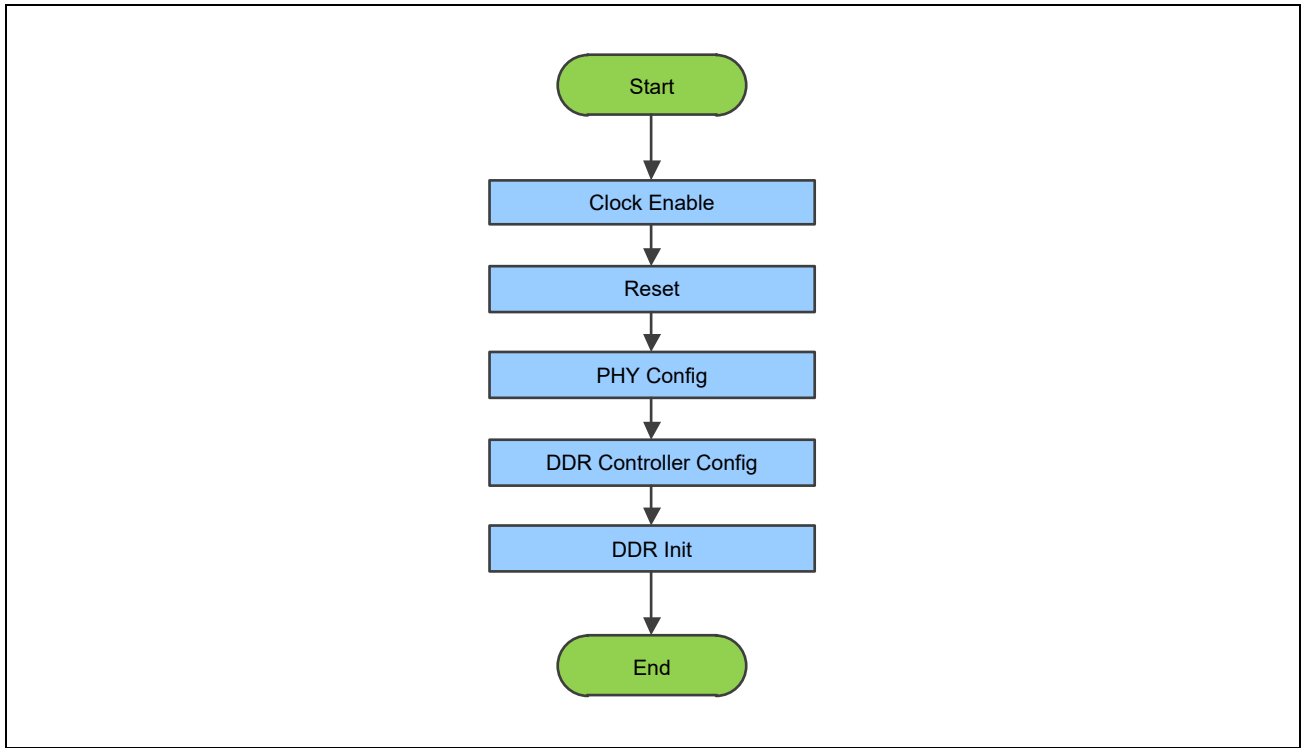


図 6.8 簡易初期化フロー

6.6.2 DDR 初期化の例

(1) クロック有効化

AXI インターコネクション (NoC) Clock-A (DDR_XCLK) および DDR (Ctrl/PHY) Clock-B (DDR_DFICLK) の有効化 :

{書き込み} PWRCTRL_DDRC.CLKEN_B=1

{書き込み} PWRCTRL_DDRC.CLKEN_A=1

(2) リセット

AXI インターコネクションのアイドル状態を要求して応答を待機

{書き込み} PWRCTRL_DDRC.MIREQ_A=1

{待機} PWRSTAT_DDRC.MISTAT_A=1

AXI インターコネクション (NoC) Reset-A および DDR (Ctrl/PHY) Reset-B のリセットをアサート

{書き込み} PWRCTRL_DDRC.RSTN_A=0

{書き込み} PWRCTRL_DDRC.RSTN_B=0

DDR (PHY) のソフトリセットをアサート、電圧設定、および Hi-Z マスクを事前定義

{書き込み} FUNCCTRL=0x00180100 (DDR3)

{書き込み} FUNCCTRL=0x00200000 (DDR2)

AXI インターコネクション (NoC) Reset-A および DDR (Ctrl/PHY) Reset-B のリセットをデアサート

{書き込み} PWRCTRL_DDRC.RSTN_B=1

{書き込み} PWRCTRL_DDRC.RSTN_A=1

AXI インターコネクションのアクティブ状態を要求して応答を待機

{書き込み} PWRCTRL_DDRC.MIREQ_A=0

{待機} PWRSTAT_DDRC.MISTAT_A=0

DLL (PHY) のソフトリセットをアサートして周波数帯域設定を事前定義

{書き込み} DLLCTRL=0x00000005 (DDR3)

{書き込み} DLLCTRL=0x0000000D (DDR2)

(3) DDRPHY の設定

ZQCALCTRL レジスタの設定

{書き込み} ZQCALCTRL=0x00000186 (終端使用)

{書き込み} ZQCALCTRL=0x00000182 (終端なし)

ZQODTCTRL レジスタの設定

{書き込み} ZQODTCTRL=0xAB330031 (DDR3)

{書き込み} ZQODTCTRL=0xAB330070 (DDR2)

RDCTRL レジスタの設定

{書き込み} RDCTRL=0xB545B544 (DDR3)

{書き込み} RDCTRL=0x94449443 (DDR2)

RDTMG レジスタの設定

{書き込み} RDTMG=0x000000B0 (DDR3)

{書き込み} RDTMG=0x000000A0 (DDR2)

DDR_CLKEN、DDR_ODT、および DDR_RESET_N 出力を有効化

{書き込み} OUTCTRL=0x020A0806

ライトレベリングの設定

{書き込み} WLCTRL1=0x80005556 (DDR3)

{書き込み} WLCTRL1=0x80005C5D (DDR2)

DQCALOFS1 レジスタの設定

{書き込み} DQCALOFS1=0x00004545

DLL (PHY) のソフトリセットをデアサートして周波数帯域設定を定義

{書き込み} DLLCTRL=0x00000004 (DDR3)

{書き込み} DLLCTRL=0x0000000C (DDR2)

DDR (PHY) のソフトリセットをデアサートして電圧設定および Hi-Z マスクを定義

{書き込み} FUNCCTRL=0x00180101 (DDR3)

{書き込み} FUNCCTRL=0x00200001 (DDR2)

DDR (PHY) FIFO ポインタを初期化

{書き込み} FIFOINIT=0x00000101

ZQ キャリブレーションの設定

{書き込み} ZQCALCTRL=0x00000187 (終端使用)

{書き込み} ZQCALCTRL=0x00000183 (終端なし)

200us 以上待機、または MDLL がロックされて ZQ キャリブレーションが完了するまで待機

{待機} DLLCTRL.ASDLLOCK=1

{待機} ZQCALCTRL.ZQCALEND=1

アドレスおよびコマンド出力を有効化
{書き込み} OUTCTRL=0x020A0807
200us 以上待機

(4) DDR (Ctrl) を初期化

DDR コントローラの設定

{書き込み} DDR_CTL_00
{書き込み} :
{書き込み} DDR_CTL_87

AXI ポートの設定

{書き込み} DDR_CTL_87
{書き込み} :
{書き込み} DDR_CTL_349
{書き込み} DDR_CTL_374

PHY の設定

{書き込み} DDR_CTL_350
{書き込み} :
{書き込み} DDR_CTL_372

初期化を開始

{書き込み} DDR_CTL_00.START=1

初期化の完了を待機

{待機} DDR_CTL_56.INT_STATUS[20]=1
{待機} DDR_CTL_56.INT_STATUS[8]=1

tXPR (DDR3) または 400ns (DDR2) 待機

DDR メモリを初期化

ライトレベリングの設定

{書き込み} WLCTRL1=0x81005556 (DDR3)
{書き込み} WLCTRL1=0x81005C5D (DDR2)

第7章 NAND Flash コントローラ

本書は Cadence Design System Inc が著作権を有する内容を含みます（2012-2016）。無断複写・転載を禁じます。使用許諾を取得済みです。

7.1 概要

NAND Flash コントローラは、ONFI 2.2 仕様に準拠するデバイスに加えて、ONFI 1.x 仕様との互換性を備えた従来のデバイスの機能をサポートします。BCH 誤り訂正符号（ECC）アルゴリズムの搭載により、最大 32 ビットのエラーを訂正します。

BCH コンポーネントの訂正機能およびサブページサイズは、プログラミングが可能です。コントローラは、各バンクについて 4 個のデバイスを処理する能力を備えています。

- 8 ビット幅の NAND インタフェース
- ONFI 1.x および 2.x 規格と互換
(RZ/N1 の NAND ブートモードは ONFI 準拠のメモリのみサポート)
- 非同期モードをサポート
- チップセレクト信号：4 本
- 各バンクで 4 個の NAND Flash デバイスをサポート（4 本のチップセレクト）
- 書き込み保護
- アドレスサイクル可変（0/1/2/3/4/5）
- 領域サイズ保護
- 内蔵 DMA
- 256B、512B、2KB、1KB、4KB、8KB、16KB ページをサポート
- BCH ECC アルゴリズムによる複数エラーの処理（エラー検出およびデータ訂正）
 - ECC データブロックサイズ：256B、512B、1024B
 - ECC 訂正機能：2、4、8、16、24、32 ビットエラー
- 不良ブロック管理（Bad Block Management：BBM）

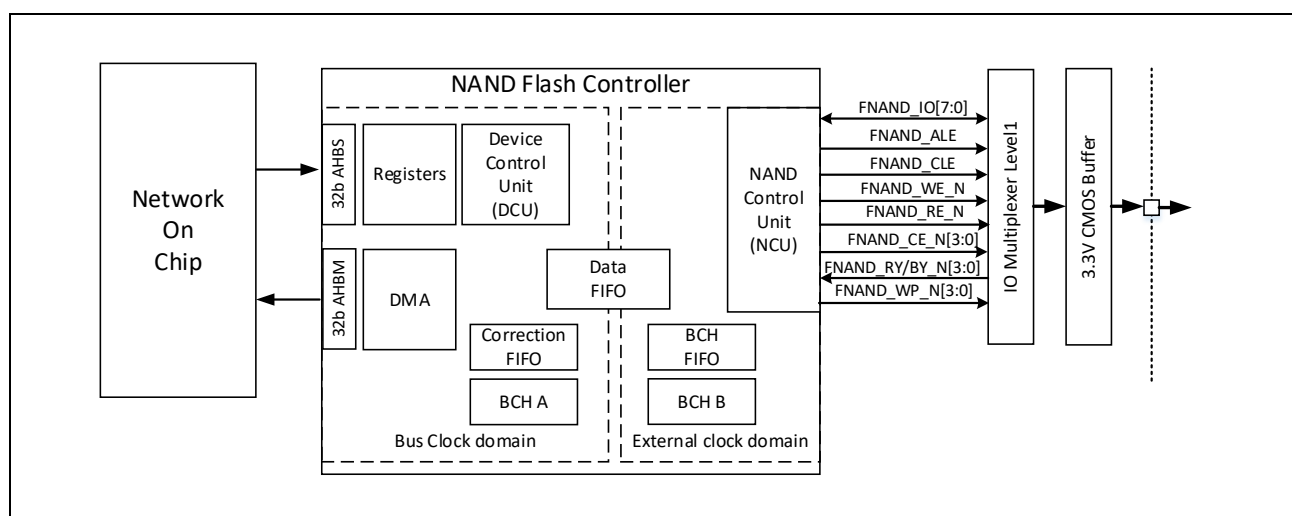


図 7.1 NAND Flash コントローラのインターフェースおよび接続

7.2 信号インタフェース

信号名	入出力	説明
クロック		
NAND_HCLK	入力	内部バスクロック (AHB)
NAND_ECLK	入力	外部インタフェースクロック
割り込み		
NAND_Int	出力	レベル検出割り込み、アクティブ High
外部信号		
FNAND_CE_N[3:0]	出力	チップイネーブル、アクティブ Low
FNAND_IO[7:0]	入出力	データ
FNAND_CLE	出力	コマンドラッチイネーブル
FNAND_ALE	出力	アドレスラッチイネーブル
FNAND_RE_N	出力	読み出しイネーブル、アクティブ Low
FNAND_WE_N	出力	書き込みイネーブル、アクティブ Low
FNAND_WP_N[3:0]	出力	書き込み保護／リセット
FNAND_RY/BY_N[3:0]	入力	レディ／ビジー (RnB)、レディ=High、ビジー=Low

7.3 レジスタマップ

表 7.1 NAND Flash コントローラのレジスタマップ

アドレス	レジスタ表記	レジスタ名
4010 2000h	COMMAND	コマンドレジスタ
4010 2004h	CONTROL	CONTROL レジスタ
4010 2008h	STATUS	STATUS レジスタ
4010 200Ch	STATUS_MASK	STATUS_MASK レジスタ
4010 2010h	INT_MASK	INT_MASK レジスタ
4010 2014h	INT_STATUS	INT_STATUS レジスタ
4010 2018h	ECC_CTRL	ECC 制御レジスタ
4010 201Ch	ECC_OFFSET	ECC オフセットレジスタ
4010 2020h	ECC_STAT	ECC ステータスレジスタ
4010 2024h	ADDR0_COL	カラムアドレス 0 レジスタ
4010 2028h	ADDR0_ROW	ロウアドレス 0 レジスタ
4010 202Ch	ADDR1_COL	カラムアドレス 1 レジスタ
4010 2030h	ADDR1_ROW	ロウアドレス 1 レジスタ
4010 2034h	PROTECT	プロテクトレジスタ
4010 2038h	FIFO_DATA	FIFO データレジスタ
4010 203Ch	DATA_REG	データレジスタ
4010 2040h	DATA_REG_SIZE	DATA_REG_SIZE レジスタ
4010 2044h+4h×n	DEV[n]_PTR (n=0~3)	デバイス[n]リマップポインタレジスタ
4010 2064h	DMA_ADDR	DMA アドレスレジスタ
4010 206Ch	DMA_CNT	DMA カウンタレジスタ
4010 2070h	DMA_CTRL	DMA 制御レジスタ
4010 2074h	BBM_CTRL	BBM 制御レジスタ
4010 2080h	MEM_CTRL	メモリデバイス制御レジスタ
4010 2084h	DATA_SIZE	データサイズレジスタ
4010 2088h	TIMINGS_ASYN	非同期モードタイミングレジスタ
4010 2090h	TIME_SEQ_0	コマンドシーケンスタイミングレジスタ 0
4010 2094h	TIME_SEQ_1	コマンドシーケンスタイミングレジスタ 1
4010 2098h	TIME_GEN_SEQ_0	ジェネリックコマンドシーケンスレジスタ 0
4010 209Ch	TIME_GEN_SEQ_1	ジェネリックコマンドシーケンスレジスタ 1
4010 20A0h	TIME_GEN_SEQ_2	ジェネリックコマンドシーケンスレジスタ 2
4010 20B0h	FIFO_INIT	FIFO 初期化レジスタ
4010 20B4h	FIFO_STATE	FIFO ステータスレジスタ
4010 20B8h	GEN_SEQ_CTRL	ジェネリックシーケンスレジスタ
4010 20BCh	MLUN	LUN コンフィグレーションレジスタ
4010 20C0h+4h×n	DEV[n]_SIZE (n=0~3)	デバイス[n] BBM レコードカウンタレジスタ
4010 2114h	DMA_TLVL	DMA トリガレベルレジスタ
4010 2124h	CMD_MARK	CMD ID 初期値レジスタ
4010 2128h	LUN_STATUS_0	LUN ステータスレジスタ
4010 2134h	TIME_GEN_SEQ_3	ジェネリックコマンドシーケンスレジスタ 3
4010 2148h	INT_STAT	内部ステータスレジスタ
4010 214Ch	ECC_CNT	ECC エラーカウンタレジスタ
4010 2150h	PARAM_REG	PARAMETER レジスタ

7.4 レジスタの説明

7.4.1 COMMAND — コマンドレジスタ

コマンドレジスタにコマンドシーケンスコードを書き込むと、可能なかぎり早いタイミングで、プログラムされたコマンドシーケンスの実行がトリガされます。即座に実行できない場合は、本レジスタへの転送は選択されたシステムバスに応じた複数の WAIT 応答により、延期されます。各コマンドシーケンスが完了すると割り込みがトリガされます。

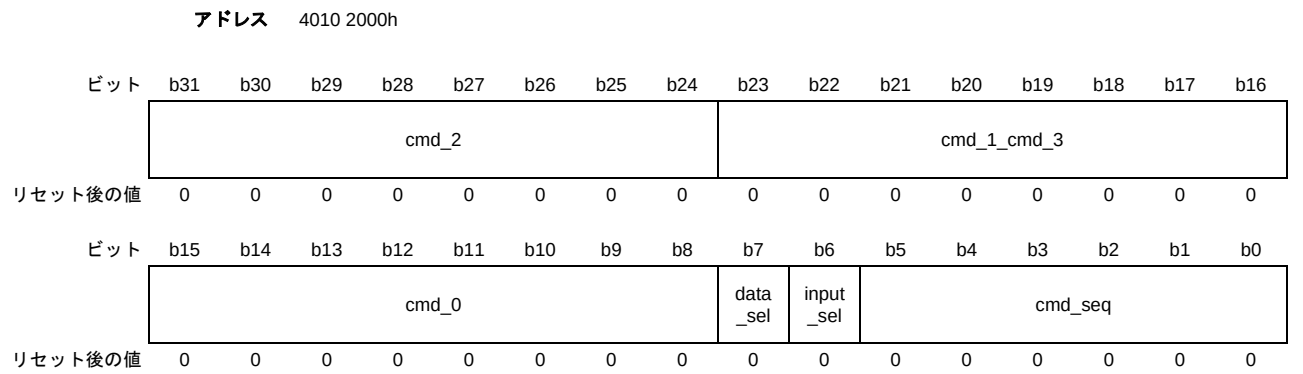


表 7.2 COMMAND レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	cmd_2	シーケンスの第 3 コマンドのコード	R/W
b23～b16	cmd_1_cmd_3	シーケンスの第 2 コマンドのコード	R/W
b15～b8	cmd_0	シーケンスの第 1 コマンドのコード	R/W
b7	data_sel	データまたは FIFO 選択フラグ 0 : FIFO モジュールを選択 1 : データレジスタを選択	R/W
b6	input_sel	入力モジュール選択フラグ 0 : 入力として AHBS モジュールを選択 1 : 入力として DMA モジュールを選択	R/W
b5～b0	cmd_seq	コマンドコード	R/W

7.4.2 CONTROL — CONTROL レジスタ

アドレス 4010 2004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	auto_read_stat_en	mlun_en	small_block_en	—	—	—	addr1_auto_incr	addr0_auto_incr
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	X	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	prot_en	bbm_en	io_width	—	—	—	—	block_size	ecc_en	int_en	—	ecc_block_size	read_status_en		
リセット後の値	X	0	0	0	X	X	X	X	0	0	0	0	X	0	0	0

表 7.3 CONTROL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット		R
b23	auto_read_stat_en	自動読み出しステータスモード有効 アクティブなら、コントローラは PROGRAM PAGE および BLOCK ERASE コマンドの後にステータスを読み出します。その後で割り込みをトリガします。この機能を有効にする場合は、STATUS_MASK レジスタの ERROR_MASK フィールドの設定が必要です。 0：自動読み出しステータスモードは無効 1：自動読み出しステータスモードは有効	R/W
b22	mlun_en	マルチ LUN モード有効 0：マルチ LUN モードは無効 1：マルチ LUN モードは有効	R/W
b21	small_block_en	小ブロックモード有効 0：大ブロックモードが有効（カラムアドレス 2 バイト） 1：小ブロックモードが有効（カラムアドレス 1 バイト） 注意 サポート対象は、デバイスがビジー状態のときに CE 信号の無効化が可能なデバイスに限定されます。	R/W
b20～b18	予約ビット		R
b17	addr1_auto_incr	ロウアドレスレジスタ 1 のアドレス自動インクリメント 0：自動インクリメントは無効 1：自動インクリメントは有効 本ビットがセットされていれば、アドレスレジスタ 1 によりコマンドシーケンスが送出されると、アドレスレジスタ 1 がインクリメントされます。	R/W
b16	addr0_auto_incr	ロウアドレスレジスタ 0 のアドレス自動インクリメント 0：自動インクリメントは無効 1：自動インクリメントは有効 本ビットがセットされていれば、アドレスレジスタ 0 によりコマンドシーケンスが送出されると、アドレスレジスタ 0 がインクリメントされます。	R/W
b15	予約ビット		R
b14	prot_en	保護メカニズム有効 0：保護は無効 1：保護は有効	R/W
b13	bbm_en	不良ブロック管理有効 詳細については「7.5.6 リマッピングメカニズム」を参照ください。	R/W
b12	io_width	NAND Flash I/O 幅選択 0：8 ビット 1：予約ビット	R/W

表 7.3 CONTROL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b11~b8	予約ビット		R
b7、b6	block_size	ブロックサイズ選択 2'b00 : ブロック当たり 32 ページ 2'b01 : ブロック当たり 64 ページ 2'b10 : ブロック当たり 128 ページ 2'b11 : ブロック当たり 256 ページ	R/W
b5	ecc_en	ハードウェア ECC サポート有効 0 : ECC は無効 1 : ECC は有効 ハードウェア ECC は、 $m \times (\text{ECC\_BLOCK\_SIZE}) \leq \text{DATA\_SIZE} \leq m \times (\text{ECC\_BLOCK\_SIZE} + 32)$ の場合のみ使用可能です。m は 1、2、3…の数値を表します。	R/W
b4	int_en	割り込み有効 0 : 割り込みは無効 1 : 割り込みは有効	R/W
b3	予約ビット		R
b2、b1	ecc_block_size	ECC ブロックサイズ 2'b00 : 256 バイト 2'b01 : 512 バイト 2'b10 : 1024 バイト 2'b11 : 使用禁止 ECC ブロックサイズは、全メモリデバイスがレディ状態の場合のみ変更が可能です。	R/W
b0	read_status_en	RnB ラインステータス自動チェック この機能を有効にする場合は、STATUS_MASK レジスタの STATE_MASK フィールドの設定が必要です。 0 : コントローラは RnB ラインをチェック 1 : コントローラは READ STATUS コマンドを送出 注意 自動送出の READ STATUS コマンドは、ONFI 1.0 に準拠するデバイスでのみ使用できます。	R/W

7.4.3 STATUS — STATUS レジスタ

STATUS レジスタは、NAND Flash コントローラおよび接続されたデバイスのステータスフラグを格納します。システムは、このフラグによりコントローラの現在の内部状態を認識します。

コントローラが、選択された NAND Flash デバイスに対して要求されたコマンドの実行を開始すると、CTRL_STAT フラグがセットされ、コマンドの処理中はセットされたままになります。コマンドは 2 つのフェーズで実行されます。第 1 フェーズでは、NAND Flash デバイスがビジー状態になると、コマンドシーケンスが実行されます。コントローラは、選択されたデバイスで実行中の処理に関する情報を格納しますが、別のデバイスで新規コマンドを実行することも可能です。第 2 フェーズでは、コントローラは格納したデータに基づいて、処理中のコマンドを自動的に終了します。コントローラは、上記のフラグがセットされている間は新規コマンドを受け付けません。

MEM[n]_ST フラグは、同じインデックス値の NAND Flash デバイスに対応します。本フラグは、NAND Flash デバイスの状態に関する情報を通知します。

アドレス		4010 2008h															
ビット		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
		—	—	—	—	—	—	—	—	cmd_id							
リセット後の値		X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0
ビット		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
		—	—	—	—	—	data_reg_st	datasize_error_st	ctrl_stat	—	—	—	—	mem3_st	mem2_st	mem1_st	mem0_st
リセット後の値		X	X	X	X	X	0	0	0	X	X	X	X	1	1	1	1

表 7.4 STATUS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット		R
b23~b16	cmd_id	コマンド ID フィールド	R
b15~b11	予約ビット		R
b10	data_reg_st	DATA_REG ステータスフラグ 本フラグは、DATA_REG からデータを読み出す場合のみリセットされます。 1 : DATA_REG にデータあり 0 : DATA_REG にデータなし	R
b9	datasize_error_st	DATA_SIZE 値エラー 本ビットは、ECC が有効のときに DATA_SIZE レジスタのデータが正しくないことを示します。 0 : 値は正しい 1 : 値は正しくない	R
b8	ctrl_stat	メインコントローラステータスビット 0 : コントローラはレディ 1 : コントローラはビジー	R
b7~b4	予約ビット		R
b3	mem3_st	デバイス 3 ステータスフラグ 1 : デバイスはレディ 0 : デバイスはビジー	R
b2	mem2_st	デバイス 2 ステータスフラグ 1 : デバイスはレディ 0 : デバイスはビジー	R

表 7.4 STATUS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	mem1_st	デバイス 1 ステータスフラグ 1 : デバイスはレディ 0 : デバイスはビジー	R
b0	mem0_st	デバイス 0 ステータスフラグ 1 : デバイスはレディ 0 : デバイスはビジー	R

7.4.4 STATUS_MASK — STATUS_MASK レジスタ

本レジスタの state_mask フィールドは、NAND Flash デバイスのステータスバイトのレディ／ビジービットをマスクする際に使用します。本レジスタは内部の読み出しステータス動作で使用します。ONFI の場合は、RDY または ARDY（アプリケーションによる）を除く全フィールドをマスクする必要があります。

error_mask フィールドは、コントローラが NAND Flash メモリデバイスのステータスを自動的に読み出すときに、未使用のフィールドをマスクする際に使用します。ONFI の場合は、FAIL または FAILC（アプリケーションによる）を除く全フィールドをマスクする必要があります。

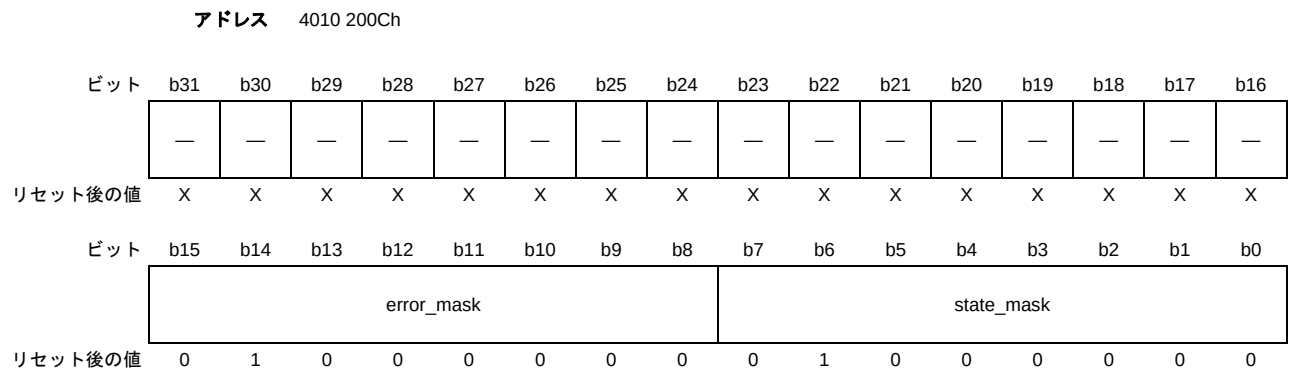


表 7.5 STATUS_MASK レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット		R
b15～b8	error_mask	エラーマスク 自動読み出しステータス機能が有効のときに、エラービットをマスクする際に使用します。 0：マスク有効 1：マスク無効	R/W
b7～b0	state_mask	状態マスク 読み出しステータスコマンドで NAND Flash のステータスを取得するときに、ステータスビットをマスクする際に使用します。 0：マスク有効 1：マスク無効	R/W

7.4.5 INT_MASK — INT_MASK レジスタ

INT_MASK レジスタは、NAND Flash コントローラの選択された割り込みソースをマスクします。割り込みがマスクされても STATUS レジスタの該当のビットはセットされますが、割り込みがトリガされることはありません。

アドレス 4010 2010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	ecc_int3_en	ecc_int2_en	ecc_int1_en	ecc_int0_en	—	—	—	—	stat_err_int3_en	stat_err_int2_en	stat_err_int1_en	stat_err_int0_en
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	mem3_rdy_int_en	mem2_rdy_int_en	mem1_rdy_int_en	mem0_rdy_int_en	—	pg_sz_err_int_en	—	—	dma_int_en	data_reng_int_en	cmd_end_int_en	prot_int_en
リセット後の値	X	X	X	X	0	0	0	0	X	0	X	X	0	0	0	0

表 7.6 INT_MASK レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット		R
b27	ecc_int3_en	デバイス 3 の ECC モジュールステータスによる割り込み許可 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b26	ecc_int2_en	デバイス 2 の ECC モジュールステータスによる割り込み許可 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b25	ecc_int1_en	デバイス 1 の ECC モジュールステータスによる割り込み許可 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b24	ecc_int0_en	デバイス 0 の ECC モジュールステータスによる割り込み許可 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b23~b20	予約ビット		R
b19	stat_err_int3_en	メモリデバイス 3 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み許可。READ 関連動作の後は禁止です。 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b18	stat_err_int2_en	メモリデバイス 2 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み許可。READ 関連動作の後は禁止です。 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b17	stat_err_int1_en	メモリデバイス 1 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み許可。READ 関連動作の後は禁止です。 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b16	stat_err_int0_en	メモリデバイス 0 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み許可。READ 関連動作の後は禁止です。 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b15~b12	予約ビット		R

表 7.6 INT_MASK レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b11	mem3_rdy_int_en	メモリデバイス 3 の新規コマンド受け付け可能割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b10	mem2_rdy_int_en	メモリデバイス 2 の新規コマンド受け付け可能割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b9	mem1_rdy_int_en	メモリデバイス 1 の新規コマンド受け付け可能割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b8	mem0_rdy_int_en	メモリデバイス 0 の新規コマンド受け付け可能割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b7	予約ビット		R
b6	pg_sz_err_int_en	データサイズエラー発生割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b5、b4	予約ビット		R
b3	dma_int_en	DMA 転送終了割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b2	data_reg_int_en	DATA_REG データ利用可能割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b1	cmd_end_int_en	コマンドシーケンス終了割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W
b0	prot_int_en	保護領域消去または書き込み割り込み 0 : 割り込みは禁止 1 : 割り込みは許可	R/W

7.4.6 INT_STATUS — INT_STATUS レジスタ

INT_STATUS レジスタは、NAND Flash コントローラの割り込みフラグを格納します。ビットがクリアされていれば、対応する割り込み条件は満たされていません。ビットが 1 セットされていれば対応する割り込み条件は満たされています。

アドレス 4010 2014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	ecc_int3_fl	ecc_int2_fl	ecc_int1_fl	ecc_int0_fl	—	—	—	—	stat_err_int3_fl	stat_err_int2_fl	stat_err_int1_fl	stat_err_int0_fl
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	mem3_rdy_int_fl	mem2_rdy_int_fl	mem1_rdy_int_fl	mem0_rdy_int_fl	—	pg_sz_err_int_fl	—	—	dma_int_fl	data_reg_int_fl	cmd_end_int_fl	prot_int_fl
リセット後の値	X	X	X	X	0	0	0	0	X	0	X	X	0	0	0	0

表 7.7 INT_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	予約ビット		R
b27	ecc_int3_fl	デバイス 3 の ECC モジュールの割り込みフラグはセット	R/W
b26	ecc_int2_fl	デバイス 2 の ECC モジュールの割り込みフラグはセット	R/W
b25	ecc_int1_fl	デバイス 1 の ECC モジュールの割り込みフラグはセット	R/W
b24	ecc_int0_fl	デバイス 0 の ECC モジュールの割り込みフラグはセット	R/W
b23～b20	予約ビット		R
b19	stat_err_int3_fl	デバイス 3 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み。READ 関連動作の後は無効です。	R/W
b18	stat_err_int2_fl	デバイス 2 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み。READ 関連動作の後は無効です。	R/W
b17	stat_err_int1_fl	デバイス 1 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み。READ 関連動作の後は無効です。	R/W
b16	stat_err_int0_fl	デバイス 0 で直近に失敗した動作が PROGRAM PAGE および BLOCK ERASE 動作の場合の割り込み。READ 関連動作の後は無効です。	R/W
b15～b12	予約ビット		R
b11	mem3_rdy_int_fl	メモリデバイス 3 の新規コマンド受け付け可能割り込み	R/W
b10	mem2_rdy_int_fl	メモリデバイス 2 の新規コマンド受け付け可能割り込み	R/W
b9	mem1_rdy_int_fl	メモリデバイス 1 の新規コマンド受け付け可能割り込み	R/W
b8	mem0_rdy_int_fl	メモリデバイス 0 の新規コマンド受け付け可能割り込み	R/W
b7	予約ビット		R
b6	pg_sz_err_int_fl	データサイズエラー発生割り込み	R/W
b5、b4	予約ビット		R
b3	dma_int_fl	DMA 転送終了割り込み	R/W
b2	data_reg_int_fl	DATA_REG データ利用可能割り込み	R/W
b1	cmd_end_int_fl	コマンドシーケンス終了割り込み	R/W
b0	prot_int_fl	保護領域消去または書き込み割り込み	R/W

7.4.7 ECC_CTRL — ECC 制御レジスタ

ECC 制御レジスタは、ECC に必要なすべての設定パラメータを格納します。ECC_CAP フィールドは、BCH ECC モジュールでソフトウェア設定の訂正ファクタが選択される場合のみ有効です。

アドレス 4010 2018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ecc_sel
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	err_threshold						—	—	—	—	—	ecc_cap		
リセット後の値	X	X	0	0	0	0	0	0	X	X	X	X	X	0	0	0

表 7.8 ECC_CTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b18	予約ビット		R
b17、b16	ecc_sel	ECC 割り込みソース選択 本ビットは、割り込み信号のソースとして使用する ECC モジュールフラグを選択します。 2'b00 : ECC_ERROR (訂正可能エラー) フラグを割り込みソースとして選択 2'b01 : ECC_UNC (訂正不可エラー) フラグを割り込みソースとして選択 2'b1x : ECC_OVER (許容エラーレベル超過) フラグを割り込みソースとして選択	R/W
b15、b14	予約ビット		R
b13~b8	err_threshold	許容エラーレベル 本フィールドは、ソフトウェアが許容するエラー数を格納します。本フィールドはソフトウェアが初期設定する必要があります。	R/W
b7~b3	予約ビット		R
b2~b0	ecc_cap	訂正機能 訂正機能は、全メモリデバイスがレディ状態の場合のみ変更が可能です。 3'b000 : 2 3'b001 : 4 3'b010 : 8 3'b011 : 16 3'b100 : 24 3'b101 : 32 上記以外は 32 ビット訂正機能が選択されます。	R/W

7.4.8 ECC_OFFSET — ECC オフセットレジスタ

ECC オフセットレジスタは、ページの先頭から訂正ワードが格納されるロケーションまでのオフセット値を格納します。

本レジスタの値は、DATA_SIZE レジスタ値より大きくなければなりません。

小ブロックモードでは ECC_OFFSET 値は無視され、NAND Flash メモリデバイスの訂正ワードのロケーションはデータの直後です。

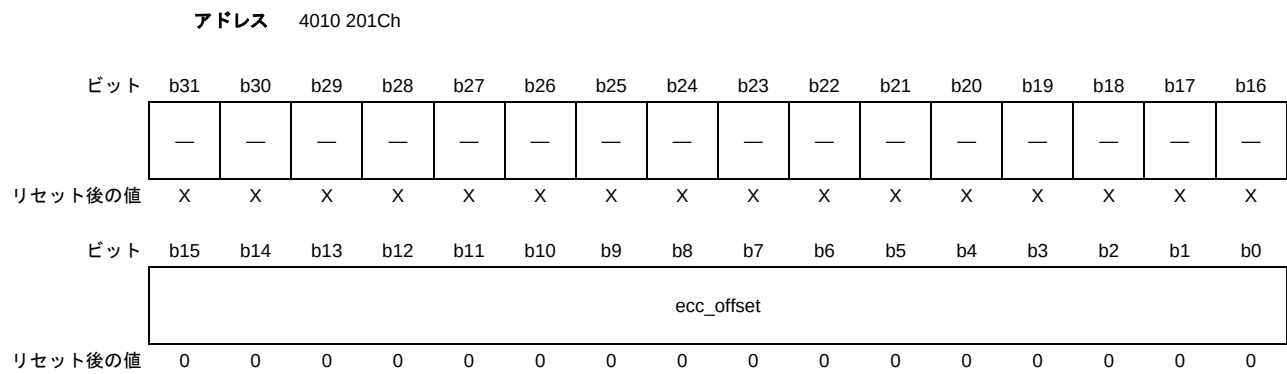


表 7.9 ECC_OFFSET レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット		R
b15~b0	ecc_offset	訂正ワードブロックオフセット	R/W

7.4.9 ECC_STAT — ECC ステータスレジスタ

ECC ステータスレジスタは ECC モジュールの全ステータス情報を格納します。

アドレス 4010 2020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	ecc_ove r_3	ecc_ove r_2	ecc_ove r_1	ecc_ove r_0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ecc_unc _3	ecc_unc _2	ecc_unc _1	ecc_unc _0	—	—	—	—	ecc_err or_3	ecc_err or_2	ecc_err or_1	ecc_err or_0
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

表 7.10 ECC_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b20	予約ビット		R
b19	ecc_over_3	メモリデバイス 3 の許容エラーレベル超過 本ビットは、エラー数が ERR_THRESHOLD ビットの設定値を超過するとセットされます。	R/W
b18	ecc_over_2	メモリデバイス 2 の許容エラーレベル超過 本ビットは、エラー数が ERR_THRESHOLD ビットの設定値を超過するとセットされます。	R/W
b17	ecc_over_1	メモリデバイス 1 の許容エラーレベル超過 本ビットは、エラー数が ERR_THRESHOLD ビットの設定値を超過するとセットされます。	R/W
b16	ecc_over_0	メモリデバイス 0 の許容エラーレベル超過 本ビットは、エラー数が ERR_THRESHOLD ビットの設定値を超過するとセットされます。	R/W
b15～b12	予約ビット		R
b11	ecc_unc_3	メモリデバイス 3 の訂正不可エラー 本ビットは、読み出し動作で訂正不可エラーが発生するとセットされます。	R/W
b10	ecc_unc_2	メモリデバイス 2 の訂正不可エラー 本ビットは、読み出し動作で訂正不可エラーが発生するとセットされます。	R/W
b9	ecc_unc_1	メモリデバイス 1 の訂正不可エラー 本ビットは、読み出し動作で訂正不可エラーが発生するとセットされます。	R/W
b8	ecc_unc_0	メモリデバイス 0 の訂正不可エラー 本ビットは、読み出し動作で訂正不可エラーが発生するとセットされます。	R/W
b7～b4	予約ビット		R
b3	ecc_error_3	メモリデバイス 3 の訂正可能エラー 本ビットは、読み出し動作で訂正可能エラーが発生するとセットされます。	R/W
b2	ecc_error_2	メモリデバイス 2 の訂正可能エラー 本ビットは、読み出し動作で訂正可能エラーが発生するとセットされます。	R/W
b1	ecc_error_1	メモリデバイス 1 の訂正可能エラー 本ビットは、読み出し動作で訂正可能エラーが発生するとセットされます。	R/W
b0	ecc_error_0	メモリデバイス 0 の訂正可能エラー 本ビットは、読み出し動作で訂正可能エラーが発生するとセットされます。	R/W

7.4.12 ADDR1_COL — カラムアドレス 1 レジスタ

アドレス 4010 202Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	addr1_col															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.13 ADDR1_COL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット		R
b15～b0	addr1_col	カラムアドレス 詳細については、「7.8.1 ADDR[n]_COL および ADDR[n]_ROW レジスタ」を参照 ください。	R/W

7.4.13 ADDR1_ROW — ロウアドレス 1 レジスタ

アドレス 4010 2030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	addr1_row							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	addr1_row															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.14 ADDR1_ROW レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット		R
b23～b0	addr1_row	ロウアドレス 詳細については、「7.8.1 ADDR[n]_COL および ADDR[n]_ROW レジスタ」を参照 ください。	R/W

7.4.14 PROTECT — プロテクトレジスタ

NAND Flash コントローラは、変更動作から保護する領域を指定することが可能です。

保護領域は消去または上書きすることはできません。消去／上書きを行うと常にエラーで終了します。書き込みおよび消去処理には制限（書き込みはページのみ可能、消去はブロックのみ可能）があり、保護領域はブロックサイズの単位で指定します。本レジスタの下位側ビット（ビット[15:0]）は、保護領域の開始アドレスを指定し、上位側ビット（ビット[31:16]）は保護領域の終了アドレスを指定します。いずれのビットも、NAND Flash メモリブロックの ADDR0_ROW および ADDR1_ROW レジスタのアドレスビットとの関連性があります。本レジスタによる保護領域の設定方法については、「7.8.2 プロテクトレジスタ (PROTECT)」を参照ください。

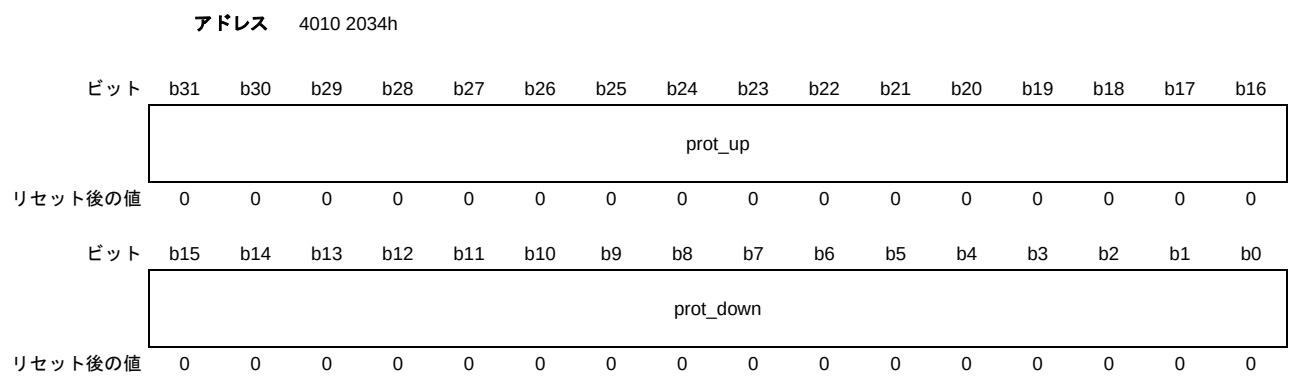


表 7.15 PROTECT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	prot_up	保護領域上限	R/W
b15～b0	prot_down	保護領域下限	R/W

7.4.15 FIFO_DATA — FIFO データレジスタ

FIFO データレジスタは、AHBS モジュールに対する FIFO モジュールのエントリポイントを格納します。CPU は、他のレジスタのアクセスと同じ方法で、本レジスタの読み出しまたは書き込みにより FIFO モジュールにアクセスすることが可能です。FIFO モジュールは 32 ビットワードを単位として処理するため、それより狭いバス幅で本レジスタアクセスする場合は、以下の条件が発生します。

- 読み出し動作で最下位バイトにアクセスすると、FIFO モジュールからのワード読み出しがトリガされます。要求されるデータ幅が FIFO ワードサイズより小さい場合は、以降のアクセスで読み出しワードが格納されます。読み出し要求が最下位バイトをストローブしない場合は、すでに格納済みのデータが使用されて、FIFO への新規アクセスがトリガされます。
- 書き込み動作時の条件もほぼ同じです。最下位バイトをストローブする要求に対してのみ、FIFO モジュールに対する書き込みアクセスがトリガされます。それ以外の要求では、FIFO モジュールの以降のアクセスはテンポラリレジスタに書き込まれます。

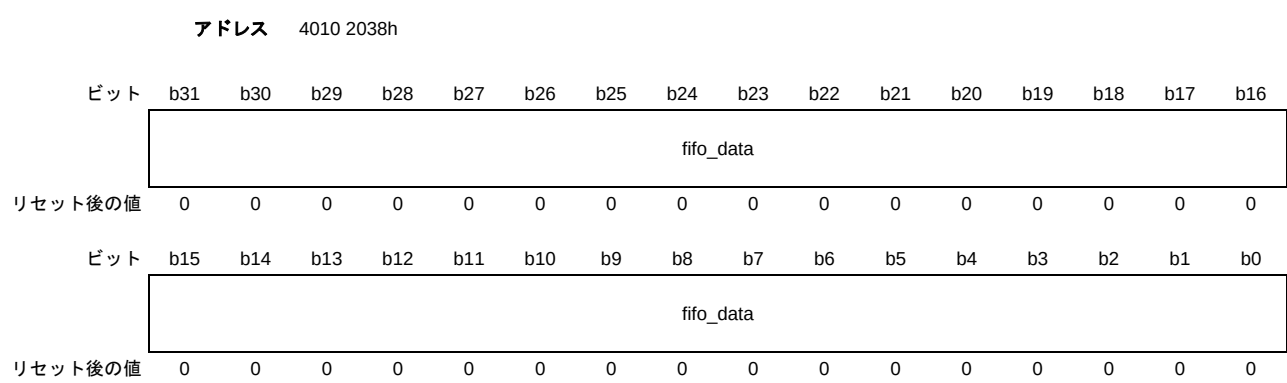


表 7.16 FIFO_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	fifo_data	データ FIFO インタフェースレジスタ	R/W

7.4.16 DATA_REG — データレジスタ

データレジスタはレジスタ管理モードで読み出されるデータを格納します。レジスタ管理モードは読み出し方向の動作でのみ許可されます。

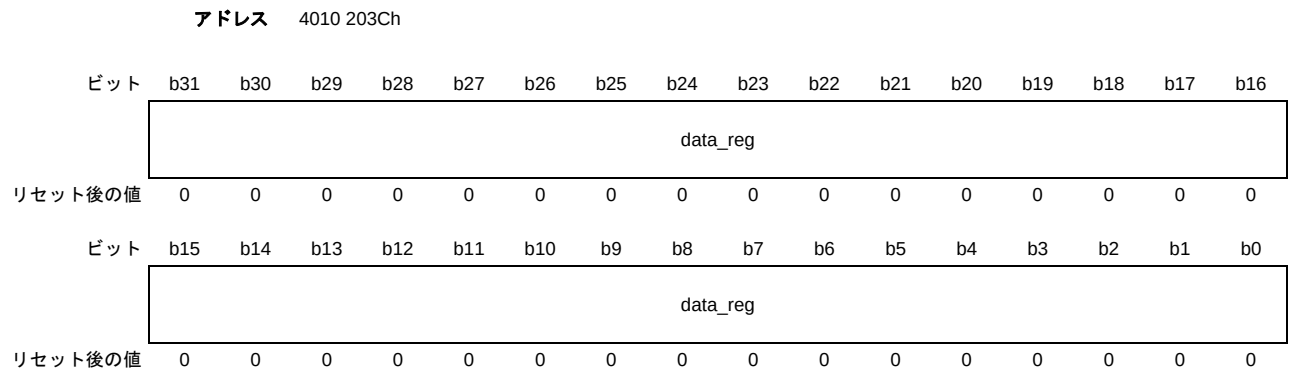


表 7.17 DATA_REG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	data_reg	データレジスタ	R

7.4.17 DATA_REG_SIZE — DATA_REG_SIZE レジスタ

DATA_REG_SIZE レジスタは、レジスタ管理モードのデータサイズを選択します。レジスタ管理モードのデータサイズは 4 バイトに限定されます。

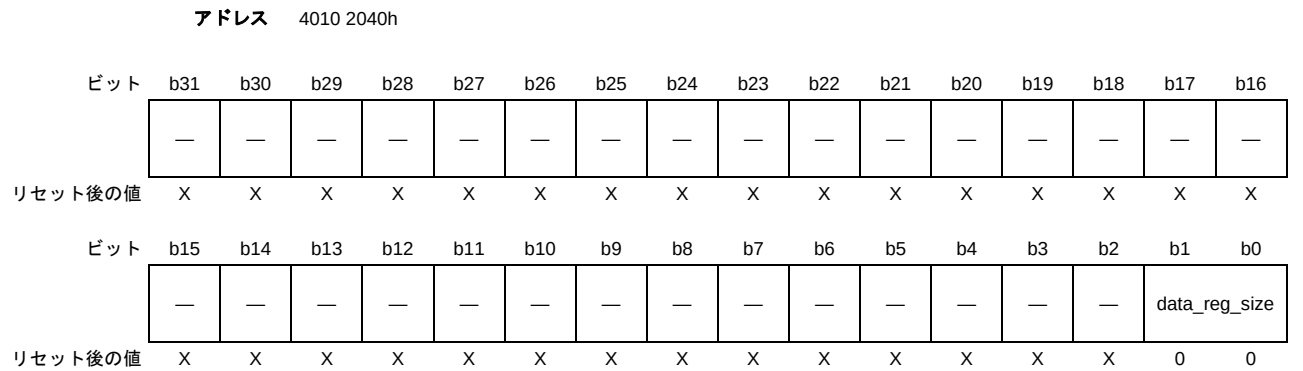


表 7.18 DATA_REG_SIZE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット		R
b1、b0	data_reg_size	データレジスタの有効バイト数選択 2'b00 : 1 バイト有効 2'b01 : 下位側 2 バイト有効 2'b10 : 下位側 3 バイト有効 2'b11 : 全 4 バイト有効	R/W

7.4.18 DEV[n]_PTR — デバイス[n]リマップポインタレジスタ (n=0~3)

コントローラに実装される不良ブロック管理メカニズムは、システムメモリのテーブルを使用して、リマッピングレコードを格納します。バンクの各デバイスは個別のテーブルを必要とします。本レジスタは、デバイス[n]のリマッピングレコードテーブルのアドレスを格納します。

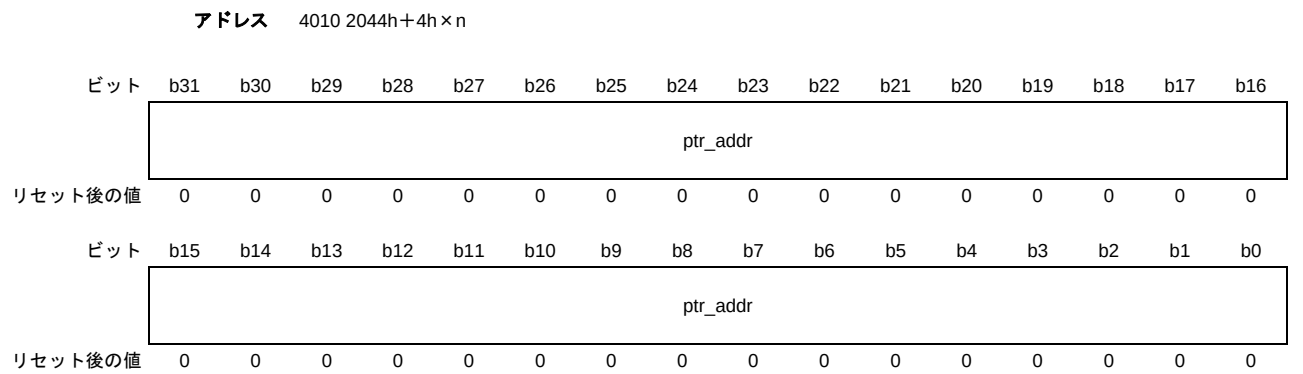


表 7.19 DEV[n]_PTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ptr_addr	リマッピングテーブルポインタ 本フィールドは、システムメモリのリマッピングテーブルのアドレスを格納します。	R/W

7.4.19 DMA_ADDR — DMA アドレスレジスタ

DMA アドレスレジスタは、DMA のベースアドレスを格納します。下位の 2 ビットは無視されます。

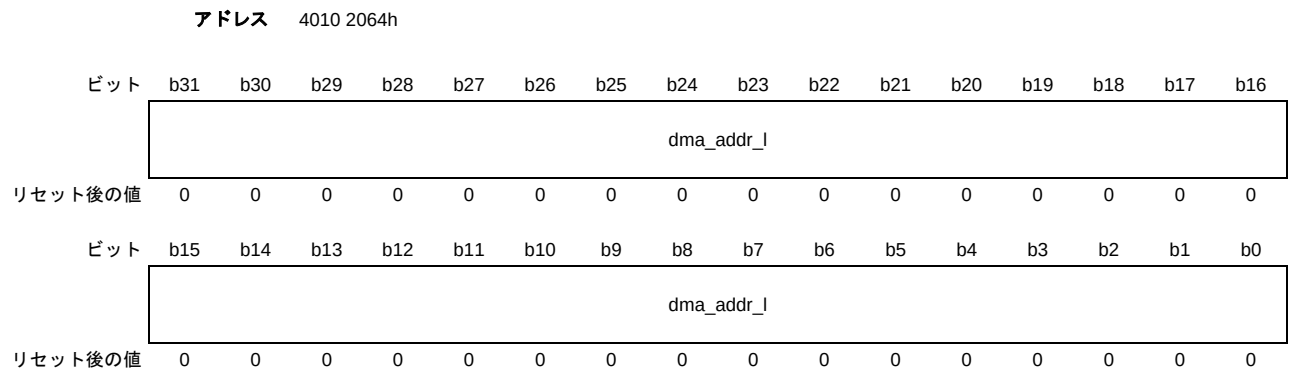


表 7.20 DMA_ADDR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	dma_addr_l	DMA アドレス	R/W

7.4.20 DMA_CNT — DMA カウンタレジスタ

DMA カウンタレジスタは、DMA モジュールで転送するバイト数を指定します。本レジスタの内容は転送処理中変更されません。

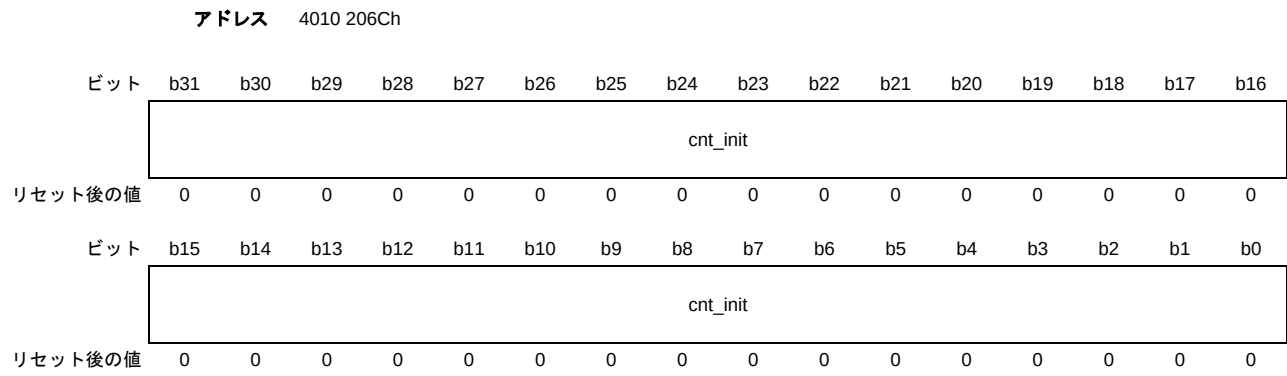


表 7.21 DMA_CNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	cnt_init	バイトカウンタ初期値 本フィールドは、データページのバイト長（0000_0004h～FFFF_FFFCh）を格納します。 バイト長は常に 4 の倍数です。	R/W

7.4.21 DMA_CTRL — DMA 制御レジスタ

アドレス 4010 2070h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	dma_start	—	dma_mode	dma_burst			err_flag	dma_ready
リセット後の値	X	X	X	X	X	X	X	X	0	X	0	0	0	0	0	0

表 7.22 DMA_CTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット		R
b7	dma_start	DMA 起動 本ビットをセットすると、コマンドシーケンスが NAND Flash メモリに送出されるときに DMA が起動します。	R/W
b6	予約ビット		R
b5	dma_mode	DMA ワークモード 0 : レジスタ管理モード 1 : スキャッターギャザーモード	R/W
b4~b2	dma_burst	DMA バーストタイプ 本ビットは、DMA が要求された転送で優先的に使用するメインの転送タイプを指定します。 3'b000 : インクリメント固定長バースト 4 回転送 (アドレスインクリメント) 3'b001 : アドレス固定の固定長バースト 16 回転送 3'b010 : シングル転送 (アドレスインクリメント) 3'b011 : 不定長バースト (アドレスインクリメント) 3'b100 : インクリメント固定長バースト 8 回転送 (アドレスインクリメント) 3'b101 : インクリメント固定長バースト 16 回転送 (アドレスインクリメント)	R/W
b1	err_flag	DMA エラーフラグ 本ビットは、DMA 転送で転送エラーが発生するとセットされます。	R
b0	dma_ready	DMA レディフラグ 本ビットは、転送が完了するとセットされます。	R

7.4.22 BBM_CTRL — BBM 制御レジスタ

アドレス		4010 2074h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	rmr_init	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 7.23 BBM_CTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	rmr_init	リマップ初期化フラグ 本ビットをセットすると、BBM モジュールはソフトウェアによる更新後にリマッピングテーブルを再読み出しします。 本ビットは、ソフトウェアによりセットされ、ハードウェアによりクリアされます。	R/W

7.4.24 DATA_SIZE — データサイズレジスタ

データサイズレジスタは、データブロックサイズ値を格納します。データサイズ値は転送するブロック当たりのバイト数として登録されますが、選択した NAND Flash のワードサイズの倍数で指定する必要があります。該当のワードサイズ内の未使用ビットは無効で、0 に置き換わります。

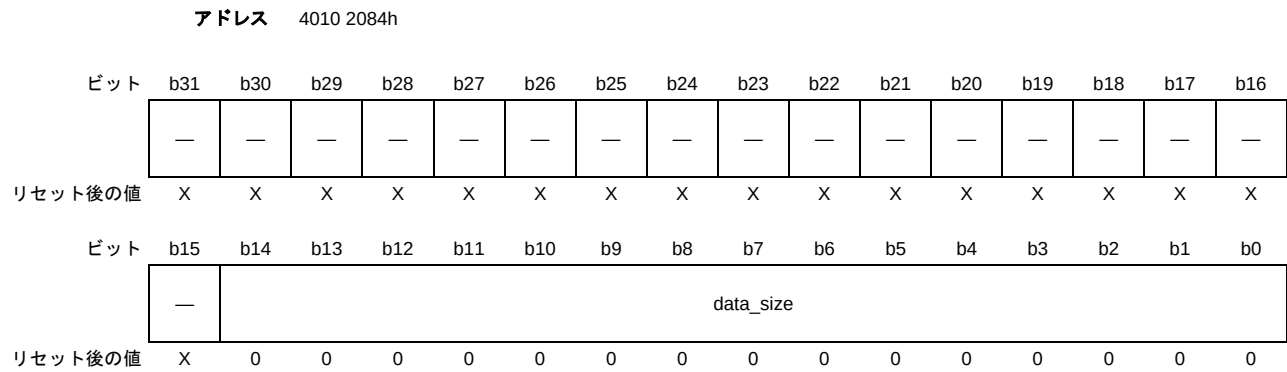


表 7.25 DATA_SIZE レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b15	予約ビット		R
b14～b0	data_size	データサイズ 注意) ECC が有効の場合は以下の条件で値を書き込みます。 (ECC_BLOCK_SIZE) × m ≤ data_size ≤ (ECC_BLOCK_SIZE + 32) × m (m は 1、2、3…の数値を表す)	R/W

7.4.25 TIMINGS_ASYNC — 非同期モードタイミングレジスタ

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。本レジスタは、2つの波形設定パラメータを指定します。コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。

NAND Flash インタフェースに対するタイミングパラメータの設定については、「7.8.3 非同期モードタイミングレジスタ (TIMINGS_ASYNC)」を参照ください。

アドレス

4010 2088h

ビット

b31

b30

b29

b28

b27

b26

b25

b24

b23

b22

b21

b20

b19

b18

b17

b16

リセット後の値

X

X

X

X

X

X

X

X

X

X

X

X

X

X

X

X

ビット

b15

b14

b13

b12

b11

b10

b9

b8

b7

b6

b5

b4

b3

b2

b1

b0

リセット後の値

X

X

X

X

X

X

X

X

0

0

0

0

0

0

0

0

表 7.26 TIMINGS_ASYNC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット		R
b7~b4	trwh	RE_N または WE_N の High ホールドタイム	R/W
b3~b0	trwp	RE_N または WE_N パルス幅	R/W

7.4.26 TIME_SEQ_0 — コマンドシーケンスタイミングレジスタ 0

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。本レジスタは、いくつかの波形設定パラメータを指定します。コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。

アドレス		4010 2090h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	twhr						—	—	trhw						
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	tadl						—	—	tccs						
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0	

表 7.27 TIME_SEQ_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット		R
b29～b24	twhr	WE_N High から RE_N Low までの期間	R/W
b23、b22	予約ビット		R
b21～b16	trhw	RE_N High から WE_N Low までの期間	R/W
b15、b14	予約ビット		R
b13～b8	tadl	ALE からデータ開始までの期間	R/W
b7、b6	予約ビット		R
b5～b0	tccs	カラム変更後セットアップ	R/W

7.4.27 TIME_SEQ_1 — コマンドシーケンスタイミングレジスタ 1

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。本レジスタは、いくつかの波形設定パラメータを指定します。コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。

NAND Flash インタフェースに対する tWW タイミングパラメータの設定については、「7.8.4 コマンドシーケンスタイミングレジスタ 1 (TIME_SEQ_1)」を参照ください。

アドレス 4010 2094h

ビット

b31b30b29b28b27b26b25b24b23b22

— — — — — — — — — —

tww

リセット後の値

X X X X X X X X X X

0 0 0 0 0 0

ビット

b15b14b13b12b11b10b9b8b7b6b5b4b3b2b1b0

— — trr — — twb

リセット後の値

X X 0 0 0 0 0 0 X X

0 0 0 0 0 0

表 7.28 TIME_SEQ_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b22	予約ビット		R
b21~b16	tww	WP_N 変更からコマンドドライブ間の遅延 本フィールドは、tWW 遅延パラメータを設定します。	R/W
b15、b14	予約ビット		R
b13~b8	trr	RnB High から RE_N アサート RnB 入力ラインの立ち上がりエッジから、読み出しイネーブル信号のアサートが可能になるまでの TRR 期間。	R/W
b7、b6	予約ビット		R
b5~b0	twb	tWB 遅延 WE_N 信号の立ち上がりエッジから、RnB ラインの立ち下がりエッジまたは NAND Flash デバイスの SR[6]クリアまでの期間。	R/W

7.4.28 TIME_GEN_SEQ_0 — ジェネリックコマンドシーケンスレジスタ 0

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。本レジスタは、ジェネリックシーケンスのいくつかの波形設定パラメータを指定します。コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。詳細については、「7.5.3 ジェネリックコマンドシーケンス」を参照ください。

アドレス 4010 2098h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	t0_d3						—	—	t0_d2					
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	t0_d1						—	—	t0_d0					
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0

表 7.29 TIME_GEN_SEQ_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット		R
b29～b24	t0_d3	コマンドからデータの間隔 コマンド送出からデータ転送までの間隔。	R/W
b23、b22	予約ビット		R
b21～b16	t0_d2	コマンドから遅延期間 NAND Flash メモリデバイスにコマンドを送出してから、メモリがレディ状態になるまで待機する期間。	R/W
b15、b14	予約ビット		R
b13～b8	t0_d1	コマンドからコマンドの間隔 NAND Flash メモリデバイスに対して 2 つの連続するコマンドを送出する間隔。	R/W
b7、b6	予約ビット		R
b5～b0	t0_d0	コマンドからアドレスの間隔 NAND Flash メモリデバイスに対してコマンドを送出してからアドレスを送出するまでの間隔。	R/W

7.4.29 TIME_GEN_SEQ_1 — ジェネリックコマンドシーケンスレジスタ 1

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。本レジスタは、ジェネリックシーケンスのいくつかの波形設定パラメータを指定します。コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。詳細については、「7.5.3 ジェネリックコマンドシーケンス」を参照ください。

アドレス 4010 209Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	t0_d7						—	—	t0_d6					
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	t0_d5						—	—	t0_d4					
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0

表 7.30 TIME_GEN_SEQ_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット		R
b29～b24	t0_d7	アドレスからデータの間隔 アドレス送出からデータ転送までの間隔。	R/W
b23、b22	予約ビット		R
b21～b16	t0_d6	アドレスからの遅延期間 NAND Flash メモリデバイスにアドレスを送出してから、メモリがレディ状態になるまで待機する期間。	R/W
b15、b14	予約ビット		R
b13～b8	t0_d5	アドレスからアドレスの間隔 NAND Flash メモリデバイスに対して 2 つの連続するアドレスを送出する間隔。	R/W
b7、b6	予約ビット		R
b5～b0	t0_d4	アドレスからコマンドの間隔 NAND Flash メモリデバイスに対してアドレスを送出してからコマンドを送出するまでの間隔。	R/W

7.4.30 TIME_GEN_SEQ_2 — ジェネリックコマンドシーケンスレジスタ 2

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。本レジスタは、ジェネリックシーケンスのいくつかの波形設定パラメータを指定します。コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。詳細については、「7.5.3 ジェネリックコマンドシーケンス」を参照ください。

アドレス

4010 20A0h

ビット

b31

b30

b29

b28

b27

b26

b25

b24

b23

b22

b21

b20

b19

b18

b17

b16

—

—

t0_d11

—

—

t0_d10

リセット後の値

X

X

0

0

0

0

0

0

X

X

0

0

0

0

0

0

ビット

b15

b14

b13

b12

b11

b10

b9

b8

b7

b6

b5

b4

b3

b2

b1

b0

—

—

t0_d9

—

—

t0_d8

リセット後の値

X

X

0

0

0

0

0

0

X

X

0

0

0

0

0

0

表 7.31 TIME_GEN_SEQ_2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット		R
b29～b24	t0_d11	データから遅延の間隔 データを転送してから、メモリがレディ状態になるまで待機する間隔。	R/W
b23、b22	予約ビット		R
b21～b16	t0_d10	データからコマンド期間 データを転送してから、NAND Flash メモリデバイスにコマンドを送出する期間。	R/W
b15、b14	予約ビット		R
b13～b8	t0_d9	遅延からコマンドの間隔 メモリがレディ状態になってから、NAND Flash メモリデバイスにコマンドを送出する間隔。	R/W
b7、b6	予約ビット		R
b5～b0	t0_d8	遅延からデータの間隔 メモリがレディ状態になってから、データを送出する間隔。	R/W

7.4.31 FIFO_INIT — FIFO 初期化レジスタ

本ビットをセットすると FIFO がフラッシュされます。本ビットは、NAND Flash メモリデバイスにコマンドを送出する毎にセットする必要はありません。この機能は、新たな動作を実行する前に FIFO の以前の内容を消去するための予備機能です。

アドレス		4010 20B0h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	fifo_init
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 7.32 FIFO_INIT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	fifo_init	FIFO 初期化要求	W

7.4.32 FIFO_STATE — FIFO ステータスレジスタ

アドレス 4010 20B4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	df_w_e empty	df_r_full	cf_acce pt_w	cf_acce pt_r	cf_full	cf_empty y	df_w_full	df_r_em pty
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 7.33 FIFO_STATE レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7	df_w_empty	FIFO エンプティ状態ビット 本ビットがセットされると、FIFO 内にデータがないことを示します。本ビットは書き込み方向で有効です。	R
b6	df_r_full	FIFO フル状態ビット 本ビットがセットされると、FIFO にデータを格納する空き領域がないことを示します。本ビットは読み出し方向で有効です。	R
b5	cf_accept_w	コマンド FIFO 受け付けフラグ - 書き込み方向 本ビットがセットされると、次の書き込みアクセスが終了することを示します。	R
b4	cf_accept_r	コマンド FIFO 受け付けフラグ - 読み出し方向 本ビットは情報ビットです。セットされていれば、CMD FIFO 内部インタフェースによる読み出し転送が受け付けられることを示します。	R
b3	cf_full	コマンド FIFO フルフラグ 本ビットがセットされると、実際のコマンド FIFO にデータを格納する空き領域がないことを示します。次の転送が受け付けられるかどうかの判定には使用できません。	R
b2	cf_empty	コマンド FIFO エンプティフラグ 本ビットがセットされると、実際のコマンド FIFO にデータがないことを示します。次の転送が受け付けられるかどうかの判定には使用できません。	R
b1	df_w_full	FIFO フル状態ビット 本ビットがセットされると、FIFO にデータを格納する空き領域がないことを示します。本ビットは書き込み方向で有効です。	R
b0	df_r_empty	FIFO エンプティ状態ビット 本ビットがセットされると、FIFO 内にデータがないことを示します。本ビットは読み出し方向で有効です。	R

7.4.33 GEN_SEQ_CTRL — ジェネリックシーケンスレジスタ

ジェネリックシーケンスレジスタは、ジェネリックコマンドシーケンスのパラメータを設定します。詳細については、「7.5.3 ジェネリックコマンドシーケンス」を参照ください。

アドレス 4010 20B8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	cmd3							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	imd_se q	delay_en		data_en	row_a1		row_a0		col_a1		col_a0		cmd3_e n	cmd2_e n	cmd1_e n	cmd0_e n
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.34 GEN_SEQ_CTRL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット		R
b23~b16	cmd3	コマンド 3 コード値	R/W
b15	imd_seq	即時コマンド実行有効 本ビットを使用すると、選択されたターゲットの状態をチェックせずに、コマンドシーケンスを実行することが可能です。 0 : 即時実行は無効 1 : 即時実行は有効	R/W
b14、b13	delay_en	ビジー0 または 1 フェーズ有効 本ビットは、ジェネリックコマンドシーケンスの「ビジー」フェーズの設定を有効化または無効化します。 2'b00 : いずれの遅延も無効 2'b01 : DELAY0 は有効 2'b10 : DELAY1 は有効 2'b11 : いずれの遅延も無効	R/W
b12	data_en	データフェーズ有効 本ビットは、ジェネリックコマンドシーケンスのデータフェーズを有効化または無効化します。 0 : データフェーズは無効 1 : データフェーズは有効	R/W
b11、b10	row_a1	ロウアドレスサイクル NAND Flash デバイスに送出するロウアドレスバイト数。 2'b00 : 0 アドレスサイクル 2'b01 : 1 アドレスサイクル 2'b10 : 2 アドレスサイクル 2'b11 : 3 アドレスサイクル	R/W
b9、b8	row_a0	ロウアドレスサイクル NAND Flash デバイスに送出するロウアドレスバイト数。 2'b00 : 0 アドレスサイクル 2'b01 : 1 アドレスサイクル 2'b10 : 2 アドレスサイクル 2'b11 : 3 アドレスサイクル	R/W

表 7.34 GEN_SEQ_CTRL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b7、b6	col_a1	カラムアドレスサイクル NAND Flash デバイスに送出するカラムアドレスバイト数。 2'b00 : 0 アドレスサイクル 2'b01 : 1 アドレスサイクル 2'b10 : 2 アドレスサイクル 2'b11 : 使用禁止	R/W
b5、b4	col_a0	カラムアドレスサイクル NAND Flash デバイスに送出するカラムアドレスバイト数。 2'b00 : 0 アドレスサイクル 2'b01 : 1 アドレスサイクル 2'b10 : 2 アドレスサイクル 2'b11 : 使用禁止	R/W
b3	cmd3_en	コマンド 3 フェーズ有効 本ビットは、ジェネリックコマンドシーケンスの「コマンド 3」フェーズの設定を有効化または無効化します。 1 : 有効 0 : 無効	R/W
b2	cmd2_en	コマンド 2 フェーズ有効 本ビットは、ジェネリックコマンドシーケンスの「コマンド 2」フェーズの設定を有効化または無効化します。 1 : 有効 0 : 無効	R/W
b1	cmd1_en	コマンド 1 フェーズ有効 本ビットは、ジェネリックコマンドシーケンスの「コマンド 1」フェーズの設定を有効化または無効化します。 1 : 有効 0 : 無効	R/W
b0	cmd0_en	コマンド 0 フェーズ有効 本ビットは、ジェネリックコマンドシーケンスの「コマンド 0」フェーズの設定を有効化または無効化します。 1 : 有効 0 : 無効	R/W

7.4.34 MLUN — LUN コンフィグレーションレジスタ

LUN コンフィグレーションレジスタは、LUN アドレスのオフセットビットおよび使用可能な LUN 数を格納します。

アドレス		4010 20BCh															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	mlun_sel	—	—	—	—	—	—	mlun_idx			
リセット後の値	X	X	X	X	X	X	0	0	X	X	X	X	X	0	0	0	

表 7.35 MLUN レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b10	予約ビット		R
b9、b8	mlun_sel	LUN 数 2'b00 : 2 個の LUN 2'b01 : 4 個の LUN	R/W
b7～b3	予約ビット		R
b2～b0	mlun_idx	LUN アドレスオフセット 本フィールドは、最後のアドレスバイトのビット 0 からのビットオフセット値を格納します。本フィールドは、アクティブ LUN を特定するアドレスのビットインデックスを指示します。	R/W

7.4.35 DEV[n]_SIZE — デバイス[n] BBM レコードカウンタレジスタ (n=0~3)

コントローラに実装される不良ブロック管理メカニズムは、システムメモリのテーブルを使用して、リマッピングレコードを格納します。各テーブルは、該当の NAND Flash デバイスの不良ブロック数に応じて、可変のレコード数を格納します。デバイス[n]のテーブルのレコード数を格納します。

アドレス 4010 20C0h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	dev_size											
リセット後の値	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0

表 7.36 DEV[n]_SIZE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b12	予約ビット		R
b11~b0	dev_size	デバイス[n]のレコード数	R/W

7.4.36 DMA_TLVL — DMA トリガレベルレジスタ

DMA トリガレベルレジスタは、DMA モジュールのトリガの要因となるデータ FIFO の占有レベルを設定します。

アドレス 4010 2114h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	dma_tlvl							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 7.37 DMA_TLVL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット		R
b7~b0	dma_tlvl	DMA トリガレベル トリガレベルは、32 ビットワードを単位としてカウントされます。	R/W

7.4.37 CMD_MARK — CMD ID 初期値レジスタ

アドレス		4010 2124h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	cmd_id							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 7.38 CMD_MARK レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b0	cmd_id	CMD ID 初期値	W

7.4.38 LUN_STATUS_0 — LUN ステータスレジスタ

LUN ステータスレジスタを使用すると、デバイス 0～3 の LUN ステータス情報のアクセスが可能です。
LUN ステータスフィールドの各ビットは、デバイスの各 LUN のステータスを格納します。ステータスがビジーならビットは ‘0’、ステータスがレディならビットは ‘1’ です。

アドレス		4010 2128h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	mem3_lun								mem2_lun							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	mem1_lun								mem0_lun							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.39 LUN_STATUS_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	mem3_lun	メモリ 3 LUN ステータスフィールド	R
b23～b16	mem2_lun	メモリ 2 LUN ステータスフィールド	R
b15～b8	mem1_lun	メモリ 1 LUN ステータスフィールド	R
b7～b0	mem0_lun	メモリ 0 LUN ステータスフィールド	R

7.4.39 TIME_GEN_SEQ_3 — ジェネリックコマンドシーケンスレジスタ 3

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。本レジスタは、ジェネリックシーケンスのいくつかの波形設定パラメータを指定します。コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。詳細については、「7.5.3 ジェネリックコマンドシーケンス」を参照ください。

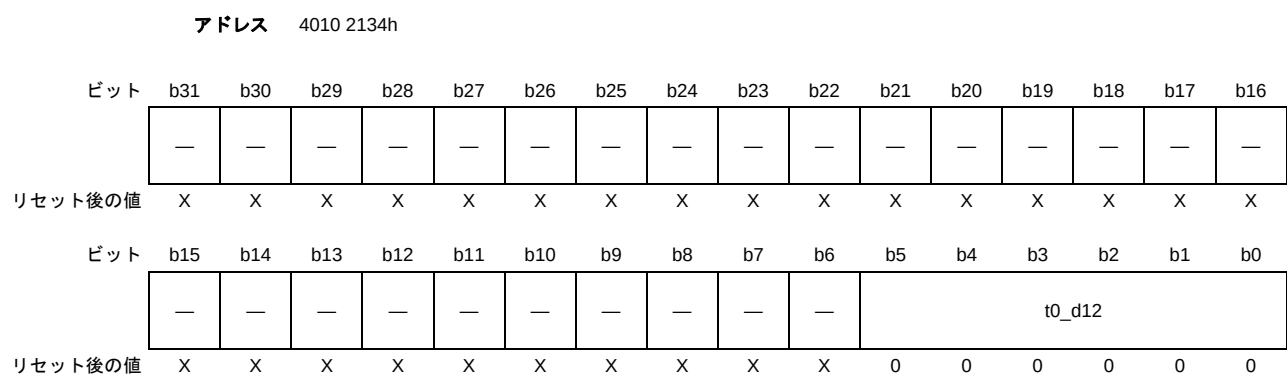


表 7.40 TIME_GEN_SEQ_3 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5～b0	t0_d12	データからシーケンス終了までの期間 データ転送フェーズからシーケンス終了までの期間。データ転送フェーズ後に有効なシーケンスがないと、シーケンスは終了します。	R/W

7.4.40 INT_STAT — 内部ステータスレジスタ

内部ステータスレジスタは、NAND Flash デバイスの内部ステータス値を格納します。上位側 2 ビットは、下位フィールド（ビット[7-0]）の値の取得に使用したシーケンスを指示します。

アドレス 4010 2148h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	seq_id		stat_value							
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0

表 7.41 INT_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b10	予約ビット		R
b9、b8	seq_id	ステータス処理識別フィールド 2'b00：処理中のステータス値なし 2'b01：プログラム／消去シーケンス後の読み出しステータス処理。制御レジスタで有効化します。	R/W
b7～b0	stat_value	ステータス処理値	R/W

7.4.41 ECC_CNT — ECC エラーカウンタレジスタ

ECC エラーカウンタレジスタは、前回のページ読み出し動作で検出された値を格納します。本レジスタは自動的にクリアされないため、ソフトウェアによるクリアが必要です。新規のページ読み出し動作で以前のレジスタ値が上書きされることはありません。処理対象の ECC ブロックで検出された最大のエラーレベルの値が格納されます。

アドレス 4010 214Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	err_lvl3						—	—	err_lvl2					
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	err_lvl1						—	—	err_lvl0					
リセット後の値	X	X	0	0	0	0	0	0	X	X	0	0	0	0	0	0

表 7.42 ECC_CNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット		R
b29～b24	err_lvl3	メモリデバイス 3 のエラーレベル	R/W
b23、b22	予約ビット		R
b21～b16	err_lvl2	メモリデバイス 2 のエラーレベル	R/W
b15、b14	予約ビット		R
b13～b8	err_lvl1	メモリデバイス 1 のエラーレベル	R/W
b7、b6	予約ビット		R
b5～b0	err_lvl0	メモリデバイス 0 のエラーレベル	R/W

7.4.42 PARAM_REG — PARAMETER レジスタ

PARAMETER レジスタは、NAND Flash コントローラコアの設定を記述するフィールドを格納します。読み出し専用です。

アドレス 4010 2150h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	asyn_reset_implement	—	—	—	—	dma_implement	small_block_implement	gen_seq_implement	—	ss_implement	noecc_implement	—	—	—
リセット後の値	X	X	1	X	X	X	X	1	1	1	X	0	0	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	bch32_conf_implement	big_endian_implement	clearna_and_implement	toggle_mode_implement	syn_mode_implement	protect_implement	bbm_int_implement	bbm_implement	boot_implement	device_per_bank	—	—	—
リセット後の値	X	X	X	1	0	0	0	0	1	1	1	1	1	0	0	0

表 7.43 PARAM_REG レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット		R
b29	asyn_reset_implement	非同期リセット機能実装フラグ 本フィールドは、コントローラに実装されたりセットのタイプを表示します。 0 : 同期リセットを実装 1 : 非同期リセットを実装	R
b28～b25	予約ビット		R
b24	dma_implement	DMA マスタ機能実装フラグ 本フィールドは、DMA マスタモジュールがコントローラに実装されているかどうかを表示します。 0 : DMA マスタは非実装 1 : DMA マスタを実装	R
b23	small_block_implement	小ブロックデバイスサポート機能実装フラグ 本フィールドは、小ブロックサポートがコントローラに実装されているかどうかを表示します。 0 : 小ブロックサポートは非実装 1 : 小ブロックサポートを実装	R
b22	gen_seq_implement	ジェネリックシーケンス機能実装フラグ 本フィールドは、ジェネリックシーケンス機能がコントローラに実装されているかどうかを表示します。 0 : ジェネリックシーケンスは非実装 1 : ジェネリックシーケンスを実装	R
b21	予約ビット		R
b20	ss_implement	スーパースーシーケンス機能実装フラグ 本フィールドは、スーパースーシーケンス機能がコントローラに実装されているかどうかを表示します。 0 : スーパースーシーケンスは非実装 1 : スーパースーシーケンスを実装	R
b19	noecc_implement	ECC 機能実装フラグ 本フィールドは、コントローラが訂正モジュールを内蔵するかどうかを表示します。 0 : 訂正モジュールを実装 1 : 訂正モジュールは非実装	R
b18～b13	予約ビット		R

表 7.43 PARAM_REG レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b12	bch32_conf_implement	BCH32_CONF 機能実装フラグ 本フィールドは、BCH32_CONF 訂正モジュールがコントローラに実装されているかどうかを表示します。 0 : BCH32_CONF は非実装 1 : BCH32_CONF を実装	R
b11	big_endian_implement	エンディアンタイプ識別フラグ 本フィールドは、コントローラのエンディアンのタイプを表示します。 0 : リトルエンディアンを実装 1 : ビッグエンディアンを実装	R
b10	cleannand_implement	ClearNAND™ サポート実装フラグ 本フィールドは、ClearNAND サポートがコントローラに実装されているかどうかを表示します。 0 : ClearNAND サポートは非実装 1 : ClearNAND サポートを実装	R
b9	toggle_mode_implement	トグルモード機能実装フラグ 本フィールドは、トグルモードサポートがコントローラに実装されているかどうかを表示します。 0 : トグルモードサポートは非実装 1 : トグルモードサポートを実装	R
b8	syn_mode_implement	同期ワークモード機能実装フラグ 本フィールドは、同期ワークモードサポートがコントローラに実装されているかどうかを表示します。 0 : 同期モードサポートは非実装 1 : 同期モードサポートを実装	R
b7	protect_implement	保護機能実装フラグ 本フィールドは、書き込み保護機能がコントローラに実装されているかどうかを表示します。 0 : 書き込み保護は非実装 1 : 書き込み保護を実装	R
b6	bbm_int_implement	不良ブロック管理機能のメモリロケーション 本フィールドは、BBM メカニズムのメモリロケーションを表示します。 0 : マスタインタフェースによる外部メモリアクセス 1 : コントローラの内部メモリに実装	R
b5	bbm_implement	不良ブロック管理機能実装フラグ 本フィールドは、BBM 機能がコントローラに実装されているかどうかを表示します。 0 : BBM は非実装 1 : BBM を実装	R
b4	boot_implement	ブート機能実装フラグ 本フィールドは、ブート機能がコントローラに実装されているかどうかを表示します。 0 : BOOT は非実装 1 : BOOT を実装	R
b3, b2	device_per_bank	バンク当たりデバイス数 本フィールドは、コントローラによる処理が可能なバンク当たりのデバイス数を表示します。 2'b00 : バンク当たり 1 デバイス 2'b01 : バンク当たり 2 デバイス 2'b10 : バンク当たり 4 デバイス 2'b11 : バンク当たり 8 デバイス	R

表 7.43 PARAM_REG レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b1、b0	bank_num	バンク数 本フィールドは、コントローラによる処理が可能なバンク数を表示します。 2'b00 : 1 バンク 2'b01 : 2 バンク 2'b10 : 4 バンク 2'b11 : 8 バンク	R

7.5 動作

7.5.1 NAND Flash コントローラのプログラミング

NAND Flash コントローラには、将来の NAND Flash デバイスへの対応として、新規コマンドの実行を可能にする拡張可能な命令セットが用意されています。

7.5.2 コマンド生成

NAND Flash デバイスは、大容量化および高データスループット化を目的として、常に機能拡張および機能評価が行われています。そのため、デバイスの世代が変わる毎に頻繁に新規コマンドが採用されます。

NAND Flash コントローラは、将来の世代のデバイスでも引き続き利用できるように、パラメタライズ方式によるコマンドシーケンスが組み込まれています。

パラメタライズ方式では、サポートする各コマンドシーケンスに応じたパラメータセットの定義が可能です。

7.5.2.1 命令のエンコーディング

コントローラの命令フィールドは固定幅の 32 ビットです。命令フィールドは、コマンドシーケンスコードおよびオプションのパラメータを格納します。パラメータは以下の内容で構成されます。

- 命令シーケンス内のコマンドコード
- データデスティネーションを選択するフラグ、およびオプションとしてデータレジスタおよび FIFO モジュール
- コマンドシーケンスのデータソース/シンクを選択するフラグ。可能な選択は AHBS モジュールまたは DMA モジュールです。
- コマンドシーケンスコード

コマンドシーケンスで使用しないパラメータフィールドは、未使用のパラメータとして無効になります。以下の表に、命令エンコーディング方式を示します。

表 7.44 命令のエンコーディング

フィールド名	ビット	機能
CMD_2	[31:24]	シーケンスの第 3 コマンドのコード
CMD_1/CMD_3 注1	[23:16]	シーケンスの第 2 または第 4 コマンドのコード
CMD_0	[15:8]	シーケンスの第 1 コマンドのコード
DATA_SEL	[7]	データまたは FIFO 選択フラグ： 0：FIFO モジュールを選択 1：データレジスタを選択
INPUT_SEL	[6]	入力モジュール選択フラグ： 0：入力として AHBS モジュールを選択 1：入力として DMA モジュールを選択
CMD_SEQ	[5:0]	コマンドコード

注1. 本フィールドは、選択されたコマンドシーケンスに応じて CMD1 または CMD3 のコードを格納します。シングルシーケンスでは、両方のコマンドが使用されることはありません。

7.5.2.2 コマンドシーケンスのエンコーディング

NAND Flash デバイスは、メモリ容量に関係なく共通の信号セットを使用します。そのため、PCB を再設計せずに旧デバイスから新デバイスにアップグレードすることが可能です。ただし、デバイスのアクセスプロトコルが複雑化することが難点です。

NAND Flash デバイスは、共通の I/O バスを使用してコマンド、アドレス、およびデータを転送します。デバイスの読み出しおよび書き込み動作には、あらかじめ定義されたコマンドシーケンスセットを使用します。サポート対象のコマンドシーケンスセットは、すべての NAND Flash デバイスメーカー間で共通化されているわけではなく、またデバイスの高性能化に応じて進化します。

NAND Flash コントローラに求められるのは、新たに登場する NAND Flash デバイスの機能を、設計者側の最小限の作業によりサポートすることです。この目的は多くのケースで達成が可能です。その理由は、ほとんどの新規命令はすでに定義済みのコマンドおよびアドレスのシーケンスを流用し、それに対して新規のコマンドコード、データページサイズ、データ予備領域サイズなどを追加するだけだからです。

NAND Flash コントローラは、現在のすべての命令および将来の多くの命令の実装が可能なように、コマンド、アドレス、およびデータのシーケンスセットが定義されています。以降で説明するシーケンスを利用すれば、将来の NAND Flash デバイスのほとんどの命令を問題なく定義することが可能です。

表 7.45 に、コマンドシーケンスのエンコーディングの詳細を示します。各シーケンスは、GEN_SEQ_CTRL レジスタで定義されるフィールドに従ってエンコードされます。

表 7.45 コマンドシーケンスのエンコーディング

シーケンス 表記	シーケンス エンコーディ ング	CMD0	CMD1	CMD2	CMD3	COL _A0 ^{注2}	COL _A1	ROW _A0	ROW _A1	DATA _EN	DELAY_EN	IMD_SEQ ^{注3}
SEQ_0	000000	○	—	—	—	—	—	—	—	—	DELAY1	—
SEQ_1	100001	○	—	—	—	1	—	—	—	○	—	—
SEQ_2	100010	○	—	—	—	1	—	—	—	○	DELAY0	—
SEQ_3	000011	○	—	—	—	1	—	—	—	○	DELAY1	—
SEQ_4	100100	○	—	—	—	—	—	—	—	○	—	○
SEQ_5	100101	○	—	—	—	—	—	3	—	○	—	○
SEQ_6	100110	○	—	○	—	2 (1)	—	—	—	○	—	—
SEQ_7	100111	○	—	○	—	2 (1)	—	3	—	○	DELAY0	—
SEQ_8	001000	○	—	—	—	2 (1)	—	—	—	○	—	—
SEQ_9	101001	○	○	—	—	2 (1)	—	3	—	—	DELAY1	—
SEQ_10	101010	○	—	○	—	2 (1)	—	3	—	○	DELAY0	—
SEQ_11	101011	○	—	—	—	—	—	—	—	○	DELAY0	—
SEQ_12	001100	○	○	—	—	2 (1)	—	3	—	○	DELAY1	—
SEQ_13	001101	○	—	—	—	2 (1)	—	3	—	○	DELAY1	—
SEQ_14	001110	○	○	—	—	—	—	3	—	—	DELAY1	—
SEQ_15	101111	○	—	○	○	2	2	3	3	○	DELAY0	—
SEQ_17	110001	○	—	—	—	2 (1)	—	3	—	○	DELAY1	—
SEQ_18	110010	注1	注1	注1	注1	注1	注1	注1	注1	注1	注1	注1
SEQ_19	010011	注1	注1	注1	注1	注1	注1	注1	注1	注1	注1	注1
SEQ_20	010100	○	—	—	—	—	—	3	—	—	DELAY1	—
SEQ_21	010101	○	—	—	—	1	—	—	—	—	—	—
SEQ_22	110110	○	—	○	—	2 (1)	2	—	3	○	DELAY0	—
SEQ_23	010111	○	○	—	—	—	—	3	—	○	DELAY1	—
SEQ_24	011000	○	—	○	○	—	—	3	3	—	DELAY0	—
SEQ_25	111001	○	—	○	○	2 (1)	2	3	—	○	—	—

備考 グレー行：NAND Flash メモリからの読み出し

ホワイト行：NAND Flash メモリへの書き込み

ブルー行：無方向コマンド

注1. SEQ_18 および SEQ_19 はパラメタライズジェネリックシーケンスです。GEN_SEQ_CTRL レジスタは、実行するシーケンス部分を指定します。

注2. カッコ内は小ブロックモードの値です。このモードでは、コントローラはカラムアドレスとしてシングルバイトのみを送出します。

注3. IMD_SEQ：コマンドは即座に送出されます。

7.5.2.3 シーケンス SEQ_0

無方向シーケンスで、1つのコマンドのみで構成されます。

コントローラは、NAND Flash デバイスにコマンドを書き込んだ後で、デバイスがビジー状態になり、RnB ラインを Low にするのを待機するか READ STATUS コマンドを送出します。遅延期間 (tWB) が経過するかデバイスがレディ状態になると、シーケンスは終了します。

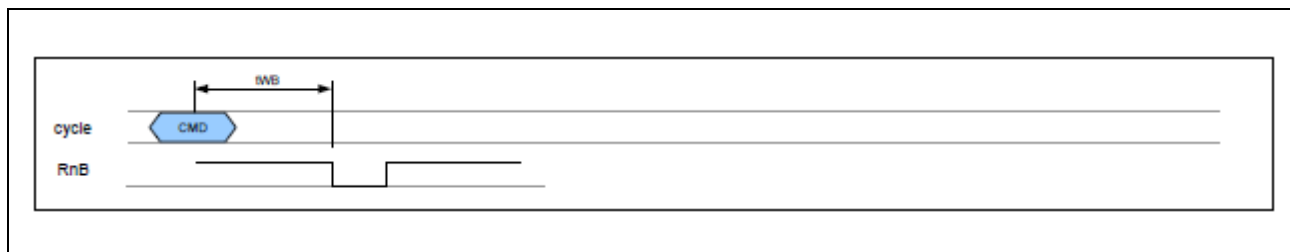


図 7.2 SEQ-0 シーケンス

7.5.2.4 シーケンス SEQ_1

読み出しシーケンスで、シングルコマンドサイクル、シングルアドレスサイクル、およびシングルデータサイクルで構成されます。読み出しシーケンス数は可変です。

コントローラは、アドレスシーケンスが終了すると、最後の書き込みから最初のデータ読み出しまでの標準遅延 (tWHR) 分ウェイトします。次に、読み出したデータワードを FIFO モジュールに書き込みます。入力モジュールは COMMAND レジスタの INPUT_SEL フィールドで選択します。アドレスのソースは ADDR0_COL レジスタに、コマンドコードは CMD_0 フィールドに、それぞれ格納されます。

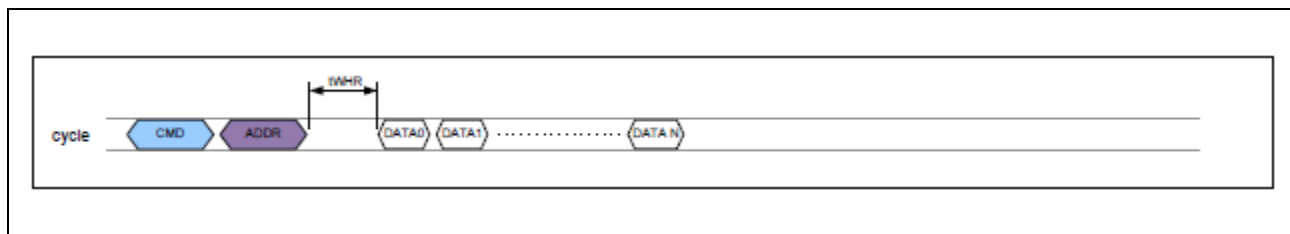


図 7.3 SEQ-1 シーケンス

7.5.2.5 シーケンス SEQ_2

SEQ_1 シーケンスと似た読み出しシーケンスです。相違点は、コントローラはアドレスサイクル後にデバイスがビジー状態に移行するまで待機します。

その後で、RnB ラインの状態をチェックするか、READ STATUS コマンドを送出して NAND Flash デバイスのステータスを取得します。

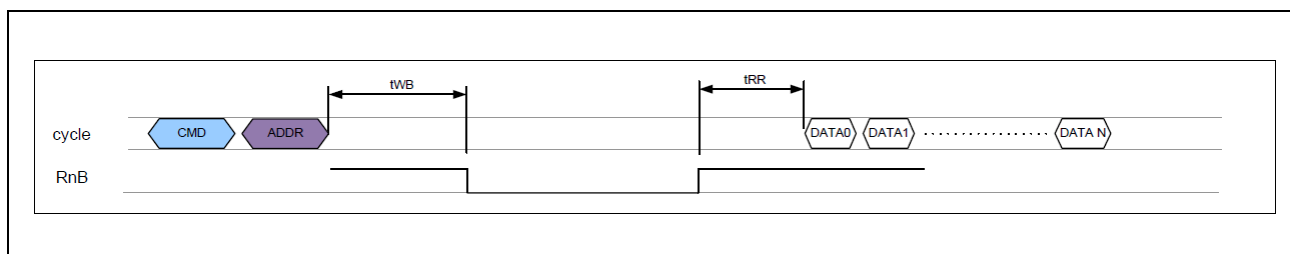


図 7.4 SEQ-2 シーケンス

7.5.2.6 シーケンス SEQ_3

書き込みシーケンスで、シングルコマンドサイクル、シングルアドレスサイクル、およびシングルデータサイクルで構成されます。書き込みシーケンス数は可変です。

コントローラは、アドレスシーケンスが終了すると、最後のアドレスサイクルから最初のデータ書き込みまでの標準遅延 (t_{ADL}) 分ウェイトします。書き込みワードは FIFO モジュールから読み出されます。その後で、RnB ラインの状態をチェックするか、READ STATUS コマンドを送出して NAND Flash デバイスのステータスを取得します。入力モジュールは COMMAND レジスタの INPUT_SEL フィールドで選択します。アドレスのソースは ADDR0_COL レジスタに、コマンドコードは CMD_0 フィールドに、それぞれ格納されます。

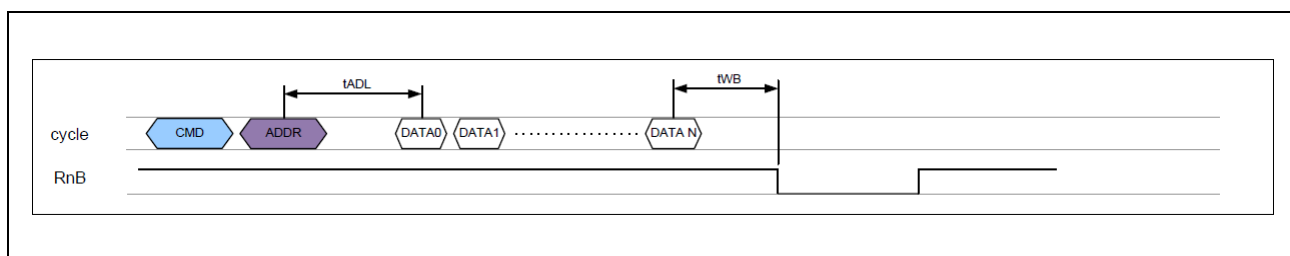


図 7.5 SEQ-3 シーケンス

7.5.2.7 シーケンス SEQ_4

特別な読み出しシーケンスで、読み出しステータスコマンドシーケンスの実装に使用します。

コマンドは即座に送出されます。構成はシングルコマンドサイクルおよびシングルデータサイクルです。サイクル間で遅延 (tWHR) がカウントされます。コマンドコードは **CMD_0** フィールドから読み出されます。

COMMAND レジスタでデータレジスタを選択すると、データがデータレジスタに格納されます。データ数は **DATA_REG_SIZE** レジスタで指定します。レジスタ管理モードは読み出し方向のみ許可されます。

COMMAND レジスタで **FIFO** レジスタを選択すると、データは **FIFO** に格納されます。**DATA_SIZE** レジスタを変更する必要があるため、コマンドは全メモリがレディ状態でコントローラがアイドル状態のときに送出されます。

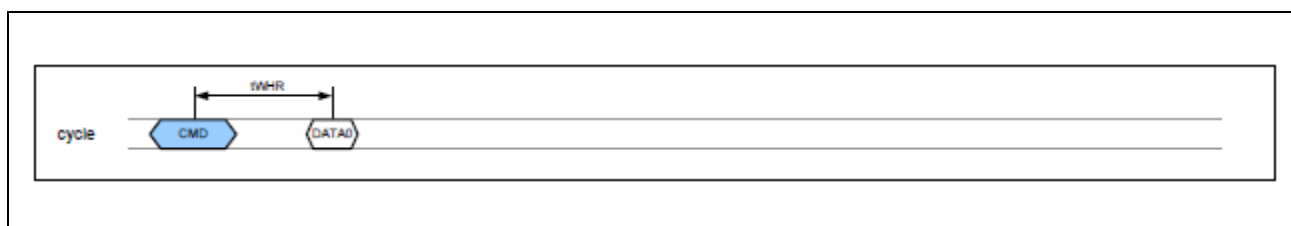


図 7.6 SEQ-4 シーケンス

7.5.2.8 シーケンス SEQ_5

SEQ_4 シーケンスと似た読み出しシーケンスです。

コマンドは即座に送出されます。唯一の相違点は、コマンドサイクル後にアドレスサイクルが実行されます。このシーケンスでは **ADDR0_ROW** レジスタを使用します。

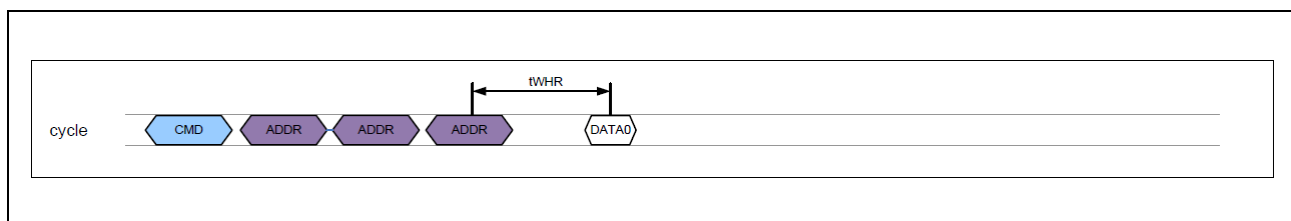


図 7.7 SEQ-5 シーケンス

7.5.2.9 シーケンス SEQ_6

読み出しシーケンスです。

コマンドサイクル、アドレスサイクル、およびコマンドサイクルが実行されます。その後で、カラム変更から次の動作までの遅延（tCCS）分ウェイトされます。最後に、読み出しデータサイクルが実行されます。最初のコマンドコードは CMD_0 命令フィールドでエンコードされ、次のコマンドコードは CMD_2 命令フィールドでエンコードされます。このシーケンスでは ADDR0_COL レジスタが使用され、入力モジュールは INPUT_SEL フィールドで選択します。

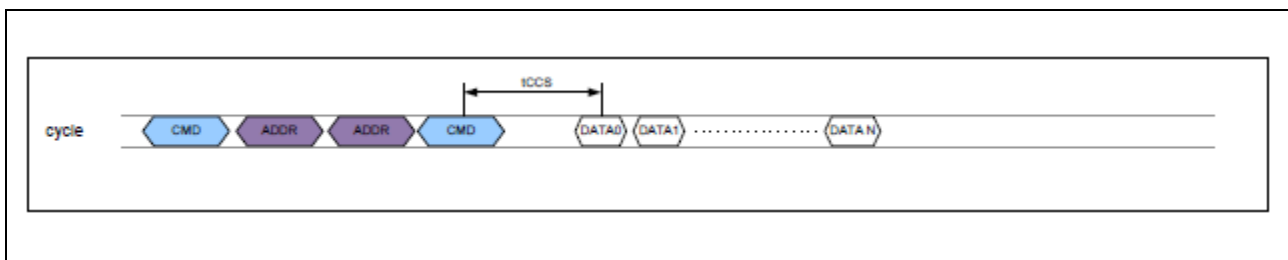


図 7.8 SEQ-6 シーケンス

7.5.2.10 シーケンス SEQ_7

SEQ_6 シーケンスに似た読み出しシーケンスで、唯一の相違点はアドレスサイクルが 3 バイトではなく 5 バイト（ADDR0_COL および ADDR0_ROW）で構成されます。

それ以外は SEQ_6 シーケンスと共通です。

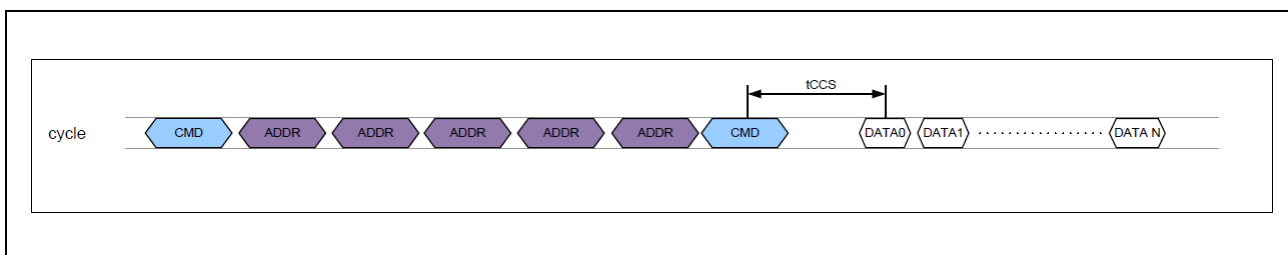


図 7.9 SEQ-7 シーケンス

7.5.2.11 シーケンス SEQ_8

書き込みシーケンスです。

最初に、コマンドサイクルおよび 2 バイトのアドレスサイクルのシーケンスが実行されます。次に、コラムアドレス変更後の遅延（tCCS）分ウェイトされます。最後に、シングルデータサイクルが実行されます。書き込みシーケンス数は可変です。

最初のコマンドコードは CMD_0 命令フィールドでエンコードされます。このシーケンスでは ADDR0_COL レジスタが使用され、入力モジュールは INPUT_SEL フィールド選択します。

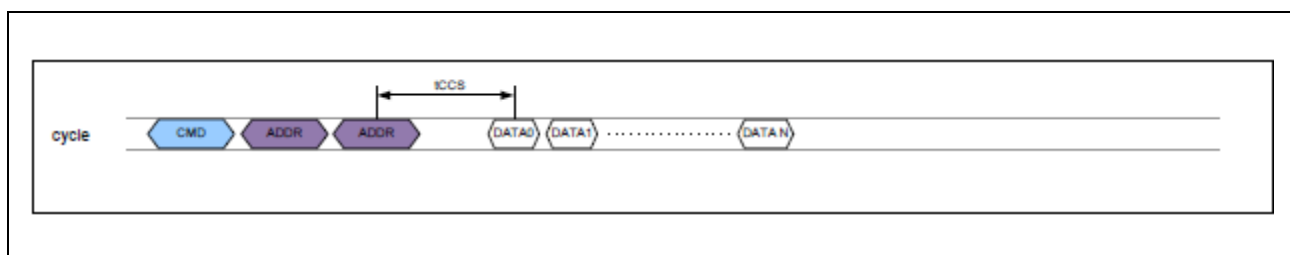


図 7.10 SEQ-8 シーケンス

7.5.2.12 シーケンス SEQ_9

無方向シーケンスです。

最初に、5 バイトのアドレスコマンドサイクルが実行されます。その後で、RnB ラインの状態をチェックするか、READ STATUS コマンドを送出して NAND Flash デバイスのステータスを取得します。

最初のコマンドコードは CMD_0 命令フィールドでエンコードされ、次のコマンドコードは CMD_1 命令フィールドでエンコードされます。このシーケンスでは ADDR0_COL および ADDR0_ROW レジスタが使用されます。

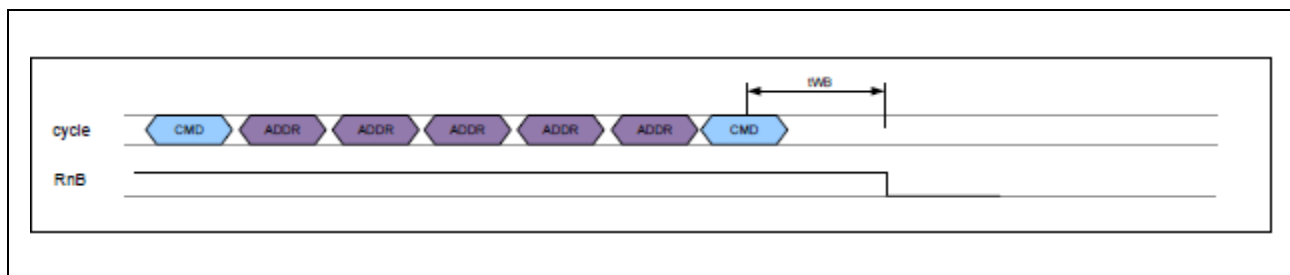


図 7.11 SEQ-9 シーケンス

7.5.2.13 シーケンス SEQ_10

読み出しシーケンスです。

SEQ_9 シーケンスと似たシーケンスで、相違点はデータ読み出しサイクルの分だけ延長されます。それ以外は共通です。

入力モジュールは INPUT_SEL フィールドで選択します。

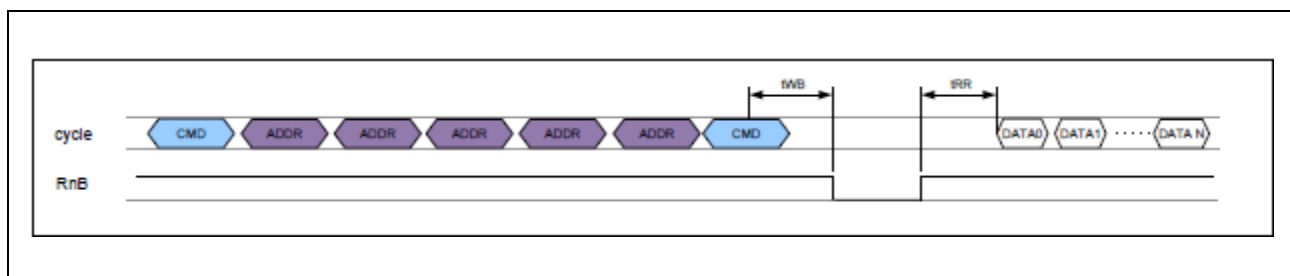


図 7.12 SEQ-10 シーケンス

7.5.2.14 シーケンス SEQ_11

読み出しシーケンスです。

最初にコマンドサイクルが実行されます。その後で、デバイスはビジー状態に移行します。その後で、RnB ラインの状態をチェックするか、READ STATUS コマンドを送出して NAND Flash デバイスのステータスを取得します。デバイスがレディ状態になると、書き込みデータサイクルが即座に実行されます。読み出しシーケンス数は可変です。

コマンドコードは CMD_0 命令フィールドでエンコードされ、入力モジュールは INPUT_SEL フィールドで選択します。転送バイト数は DATA_SIZE レジスタで指定します。

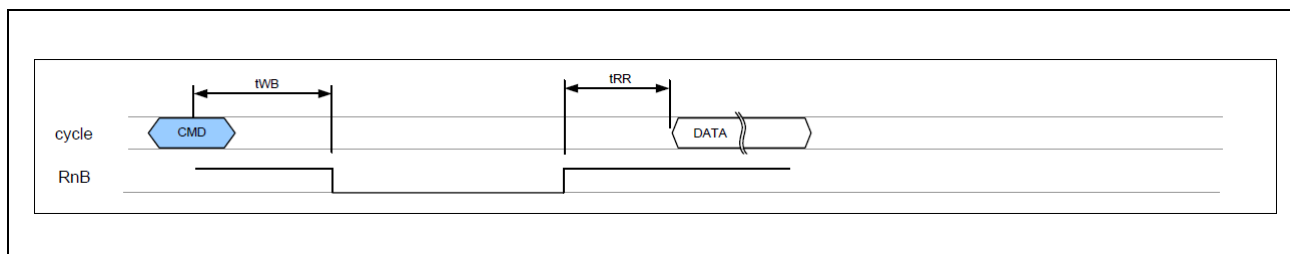


図 7.13 SEQ-11 シーケンス

7.5.2.15 シーケンス SEQ_12

書き込みシーケンスです。

連続するコマンドサイクル、アドレスサイクル、およびデータサイクルで構成されます。書き込み動作回数は可変で、別のコマンドサイクルを追加することも可能です。最後のアドレスサイクルから最初のデータサイクルまでの遅延 (tADL) 分ウェイトされ、次のコマンドサイクルの後でも別の遅延 (tWB) 分ウェイトされます。

最初のコマンドコードは CMD_0 命令フィールドでエンコードされ、次のコマンドコードは CMD_1 命令フィールドでエンコードされます。このシーケンスでは ADDR0_COL および ADDR0_ROW レジスタが使用され、入力モジュールは INPUT_SEL フィールドで選択します。

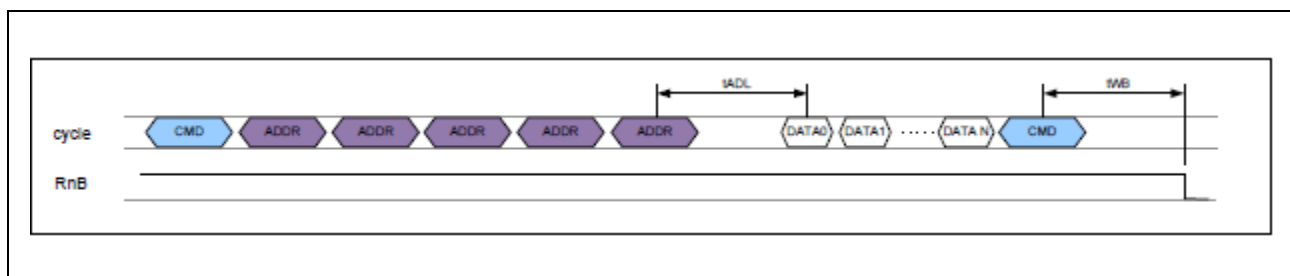


図 7.14 SEQ-12 シーケンス

7.5.2.16 シーケンス SEQ_13

書き込みシーケンスです。

連続するコマンドサイクル、アドレスサイクル、およびデータサイクルで構成されます。書き込み動作回数は可変です。最後のアドレスサイクルから最初のデータサイクルまでの遅延 (tADL) 分ウェイトされます。

コマンドコードは CMD_0 命令フィールドでエンコードされます。このシーケンスでは ADDR0_COL および ADDR0_ROW レジスタが使用され、入力モジュールは INPUT_SEL フィールドで選択します。

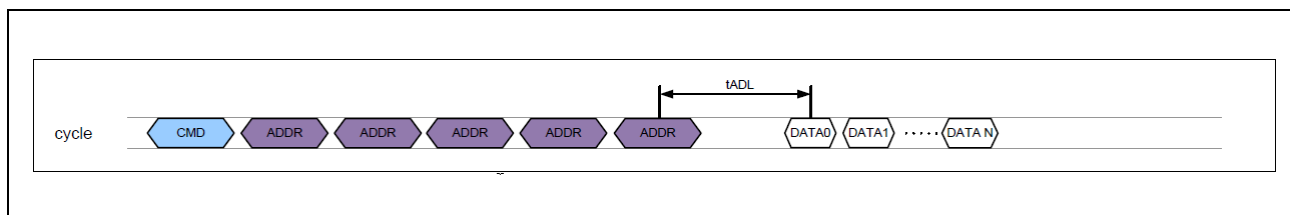


図 7.15 SEQ-13 シーケンス

7.5.2.17 シーケンス SEQ_14

無方向シーケンスです。

最初に、連続するコマンドサイクル、アドレスサイクル、およびコマンドサイクルが実行されます。その後で、RnB ラインの状態をチェックするか、READ STATUS コマンドを送出して NAND Flash デバイスのステータスを取得します。

最初のコマンドコードは CMD_0 命令フィールドでエンコードされ、次のコマンドコードは CMD_1 命令フィールドでエンコードされます。このシーケンスでは ADDR0_ROW および ADDR0_COL レジスタが使用されます。

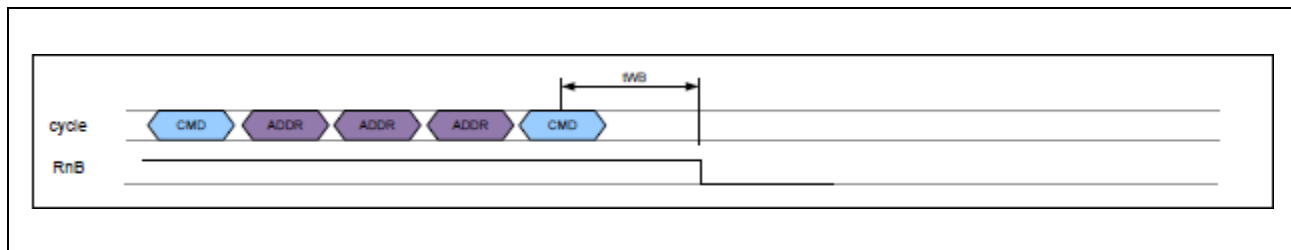


図 7.16 SEQ-14 シーケンス

7.5.2.18 シーケンス SEQ_15

読み出しシーケンスです。

最初に、連続する第 1 コマンドサイクル、第 1 アドレスサイクル、第 2 コマンドサイクル、第 2 アドレスサイクル、および第 3 コマンドサイクルが実行されます。その後で、RnB ラインの状態をチェックするか、READ STATUS コマンドを送出して NAND Flash デバイスのステータスを取得します。NAND Flash デバイスがレディ状態に復帰すると、データシーケンスが実行されます。読み出し動作回数は可変です。

第 1 コマンドコードは CMD_0 命令フィールドで、第 2 コマンドコードは CMD_2 命令フィールドで、第 3 コマンドコードは CMD_3 命令フィールドで、それぞれエンコードされます。

このシーケンスではすべてのアドレスレジスタが使用されます。ADDR0_ROW および ADDR0_COL レジスタの内容は第 1 コマンドの後に送出され、ADDR1_ROW および ADDR1_COL レジスタの内容は第 2 コマンドの後に送出されます。

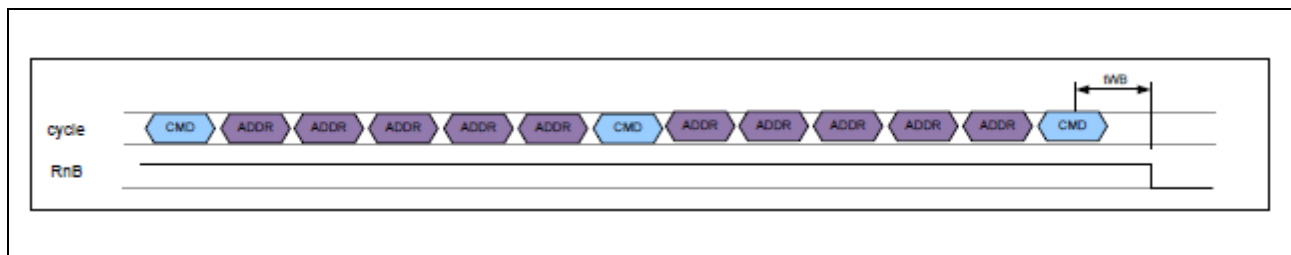


図 7.17 SEQ-15 シーケンス

7.5.2.19 シーケンス SEQ_17

読み出しシーケンスです。

SEQ_10 シーケンスと似ていますが第 2 コマンドサイクルはありません。

このシーケンスは小ブロックメモリを使用して実装されます。コントローラは、小ブロックモードが有効ならアドレスの 4 バイトのみ送出します。

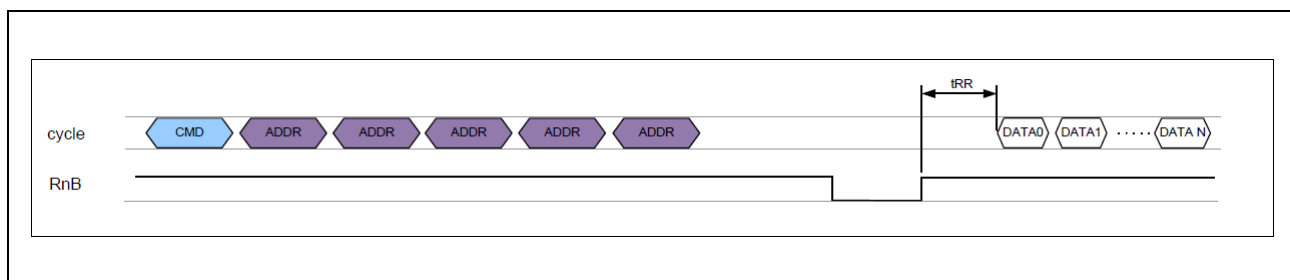


図 7.18 SEQ-17 シーケンス

7.5.2.20 シーケンス SEQ_18

「7.5.3 ジェネリックコマンドシーケンス」に、このジェネリック読み出しシーケンスを詳しく説明します。

7.5.2.21 シーケンス SEQ_19

「7.5.3 ジェネリックコマンドシーケンス」に、このジェネリック書き込みシーケンスを詳しく説明します。

7.5.2.22 シーケンス SEQ_20

無方向シーケンスで、1つのコマンドサイクルおよび3つのアドレスバイトで構成されます。

コントローラは、NAND Flash デバイスにコマンドおよびアドレスを書き込んだ後で、デバイスがビジー状態になり、RnB ラインを Low にするのを待機するか READ STATUS コマンドを送出します。遅延期間 (tWB) が経過するかデバイスがレディ状態になると、シーケンスは終了します。

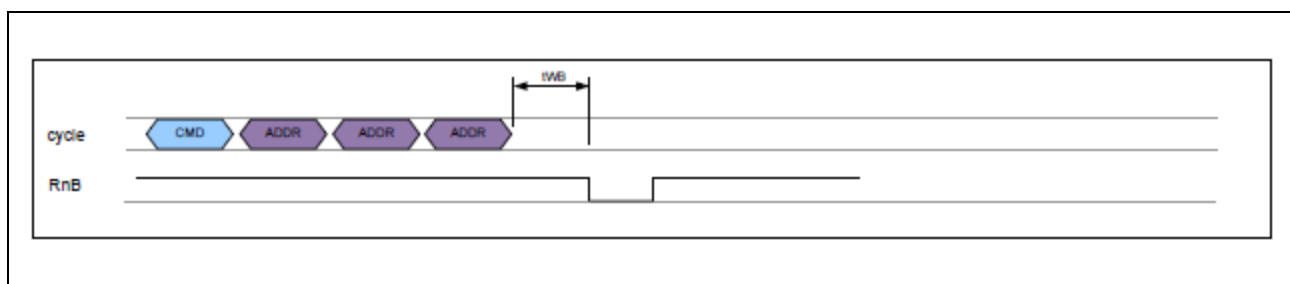


図 7.19 SEQ-20 シーケンス

7.5.2.23 シーケンス SEQ_21

無方向シーケンスで、1つのコマンドサイクルおよび1つのアドレスバイトで構成されます。
コマンドおよびアドレスが NAND Flash デバイスに書き込まれると、シーケンスは終了します。

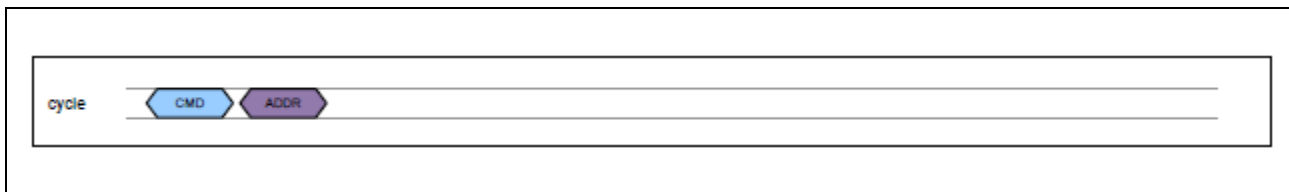


図 7.20 SEQ-21 シーケンス

7.5.2.24 シーケンス SEQ_22

読み出しシーケンスです。

最初に、アドレスコマンドサイクルが実行されます。その後で、RnB ラインの状態をチェックするか、READ STATUS コマンドを送出して NAND Flash デバイスのステータスを取得します。

最初のコマンドコードは CMD_0 命令フィールドでエンコードされ、次のコマンドコードは CMD_2 命令フィールドでエンコードされます。このシーケンスでは ADDR0_COL、ADDR1_COL、および ADDR1_ROW レジスタが使用されます。

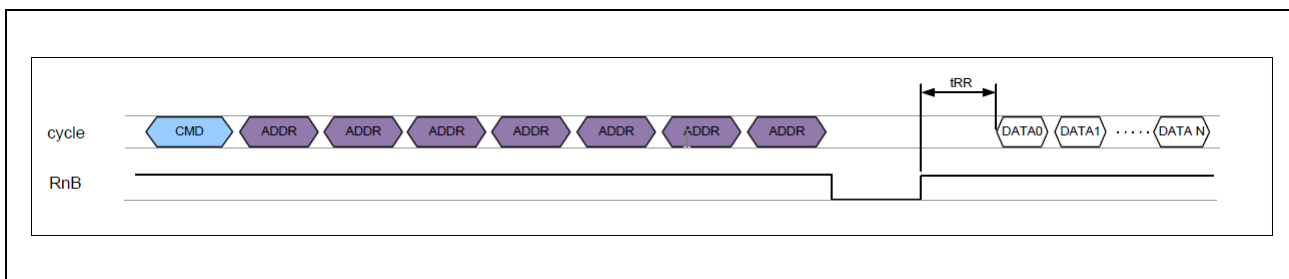


図 7.21 SEQ-22 シーケンス

7.5.2.25 シーケンス SEQ_23

書き込みシーケンスです。

連続するコマンドサイクル、アドレスサイクル、およびデータサイクルで構成されます。書き込み動作回数は可変で、別のコマンドサイクルを追加することも可能です。最後のアドレスサイクルから最初のデータサイクルまでの遅延 (tADL) 分ウェイトされ、次のコマンドサイクルの後でも別の遅延 (tWB) 分ウェイトされます。

最初のコマンドコードは **CMD_0** 命令フィールドでエンコードされ、次のコマンドコードは **CMD_1** 命令フィールドでエンコードされます。このシーケンスでは **ADDR0_ROW** レジスタが使用され、入力モジュールは **INPUT_SEL** フィールドで選択します。

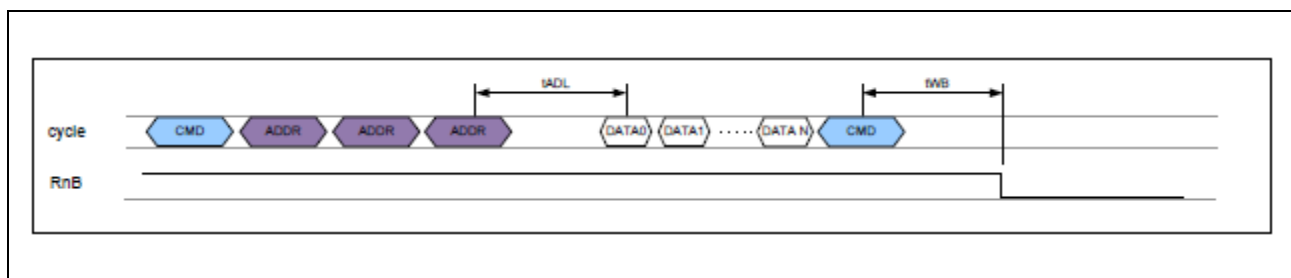


図 7.22 SEQ-23 シーケンス

7.5.2.26 シーケンス SEQ_24

書き込みシーケンスです。

3つのコマンドサイクルおよび2つのアドレスサイクルで構成されます。いずれのアドレスサイクルにもロウアドレスのパートがあります。最後のコマンドサイクルの後で tWB 遅延分ウェイトされます。

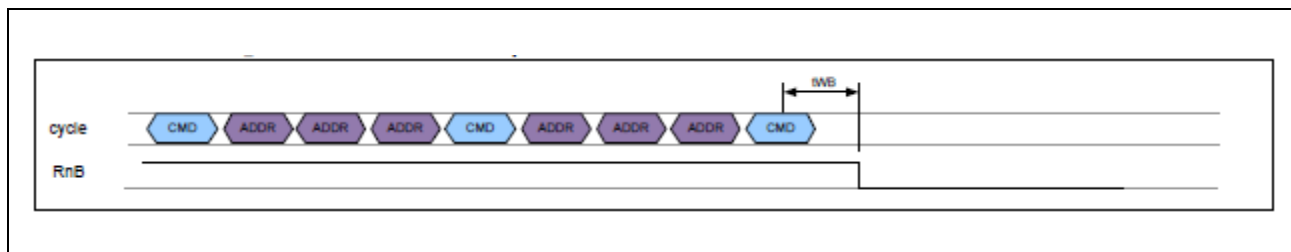


図 7.23 SEQ-24 シーケンス

7.5.2.27 シーケンス SEQ_25

読み出しシーケンスです。

3つのコマンドサイクルおよび2つのアドレスサイクルで構成されます。第1アドレスサイクルにはコラムアドレスおよびロウアドレスのパートがあります。第2アドレスサイクルはコラムアドレスのパートだけです。最後のコマンドサイクルの後で t_{WHR} 遅延分ウェイトされます。

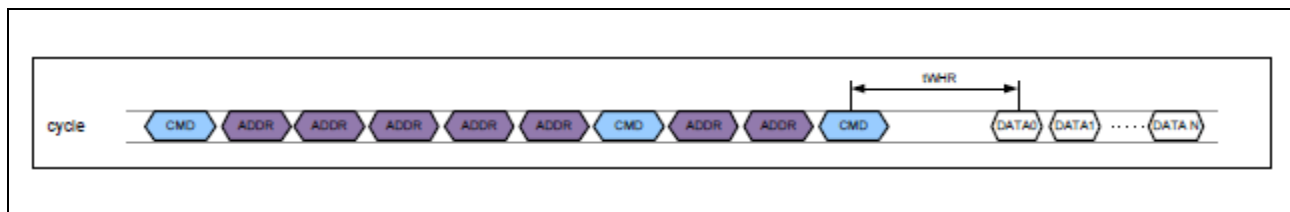


図 7.24 SEQ-25 シーケンス

7.5.3 ジェネリックコマンドシーケンス

新規コマンドシーケンスでは、以上で説明した定義済みのシーケンスだけでは処理しきれないケースがあります。その場合は、NAND Flash コントローラのジェネリックコマンドシーケンスを利用することが可能です。

このシーケンスは、NAND Flash デバイスのサポートするほとんどのコマンドを再現するように設計されていますが、そうしたコマンドをトリガするにはある程度の作業が必要となります。

ジェネリックコマンドシーケンスは以下の手順で実行します。

- **CMD0**

シーケンスの第 1 コマンド。コマンド値は、COMMAND レジスタの CMD_0 フィールドに格納されます。

- **ADDR0**

シーケンスの第 1 アドレス。GEN_SEQ_CTRL レジスタの COL_A0 および ROW_A0 フィールドが 0 以外の場合に有効です。このフェーズでは、アドレスが NAND Flash デバイスに送出され、ADDR0_COL および ADDR0_ROW レジスタが読み出されます。アドレスサイクルのバイト数は、GEN_SEQ_CTRL レジスタの COL_A0 および ROW_A0 フィールドで構成されます。

- **CMD1**

シーケンスの第 4 コマンド。コマンド値は、COMMAND レジスタの CMD_1 フィールドに格納されます。これは GEN_SEQ_CTRL レジスタの CMD1_EN フィールドで有効化します。

- **ADDR1**

シーケンスの第 2 アドレス。GEN_SEQ_CTRL レジスタの COL_A1 および ROW_A1 フィールドが 0 以外の場合に有効です。このフェーズでは、ADDR1_COL および ADDR1_ROW レジスタのアドレスが NAND Flash デバイスに送出されます。アドレスサイクルのバイト数は、GEN_SEQ_CTRL レジスタの COL_A1 および ROW_A1 フィールドで構成されます。

- **CMD2**

シーケンスの第 3 コマンド。コマンド値は、COMMAND レジスタの CMD_2 フィールドに格納されます。これは GEN_SEQ_CTRL レジスタの CMD2_EN フィールドで有効化します。

- **DELAY0**

デバイスがレディ状態に復帰するとシーケンスが継続します。これは GEN_SEQ_CTRL レジスタの DELAY_EN フィールドで有効化します。ジェネリックシーケンスで設定可能な遅延フェーズは 1 つだけです。

- **DATA**

シーケンスのデータフェーズ。これは GEN_SEQ_CTRL レジスタの DATA_EN フィールドで有効化します。転送方向はシーケンス番号で選択します。シーケンス 18 は NAND Flash メモリからのデータ読み出し、シーケンス 19 は NAND Flash メモリへのデータ書き込みです。転送するデータブロックのサイズは DATA_SIZE レジスタで指定します。

- **CMD3**

シーケンスの第 2 コマンド。これは GEN_SEQ_CTRL レジスタの CMD3_EN フィールドで有効化します。コマンド値は、GEN_SEQ_CTRL レジスタの CMD_3 フィールドに格納されます。

- **DELAY1**

デバイスがレディ状態に復帰するとシーケンスが終了します。これは GEN_SEQ_CTRL レジスタの DELAY_EN フィールドで有効化します。コントローラは、デバイスがレディ状態に復帰するのを待機してシーケンスを終了します。ジェネリックシーケンスで設定可能な遅延フェーズは 1 つだけです。

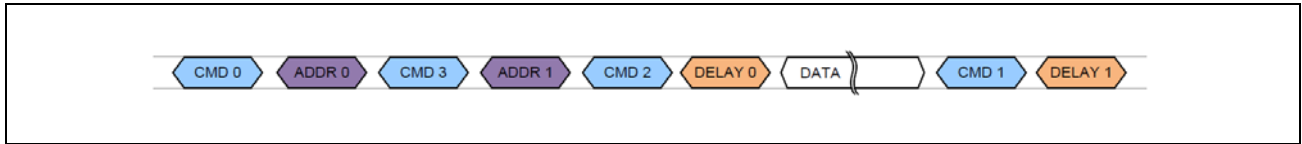


図 7.25 ジェネリックシーケンス

ジェネリックシーケンスの使用には以下に示す制限があります。

- シングルコマンドシーケンスでは、DELAY0 および DELAY1 の遅延フェーズを同時に有効にすることはできません。
- ジェネリックシーケンスを使用する場合も TIMINGS_ASYNC レジスタの設定が必要です。

GEN_SEQ_CTRL レジスタの IMD_SEQ ビットで有効に設定すると、コマンドシーケンスは即座に実行されます。

この場合、選択されたデバイスにすでに送出されたコマンドが完了しない場合でも、トリガされたコマンドが実行されます。シングルシーケンスでは IMD_SEQ および DATA_EN フラグをいずれも有効にして、レジスタをデータのソース/シンクとして選択する必要があります。IMD_SEQ は読み出し方向のみ有効です。この機能は、すべての状態読み出し動作を実装することを目的としています。

ジェネリックシーケンスでは、各ステップ後にプログラマブルな遅延分ウェイトされます。これらの遅延は TIME_GEN_SEQ[0-2] レジスタで設定します。詳細については TIME_GEN_SEQ[0-2] レジスタの説明、および図 7.26 を参照ください。

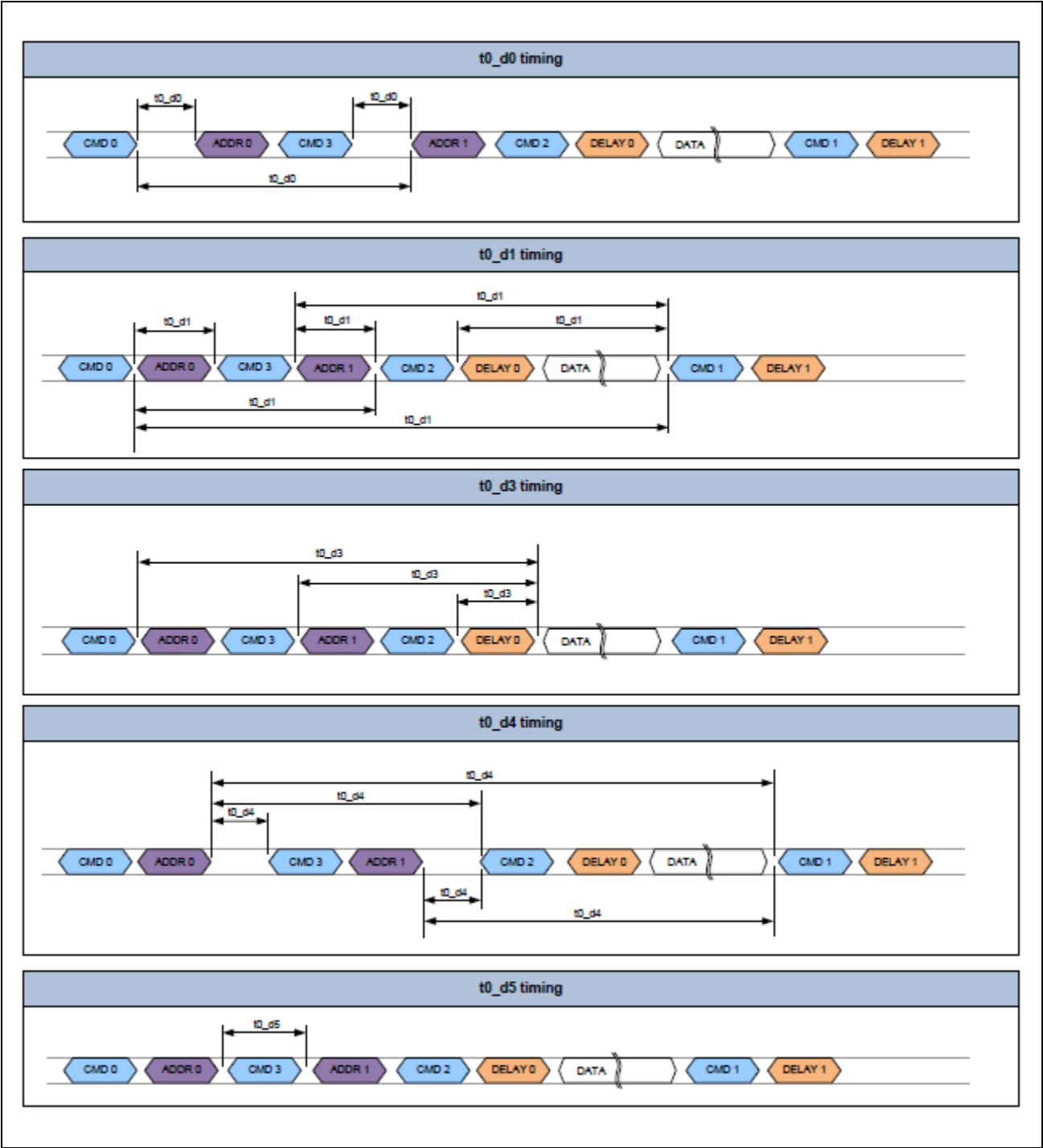


図 7.26 ジェネリックシーケンスのタイミングパラメータ 1

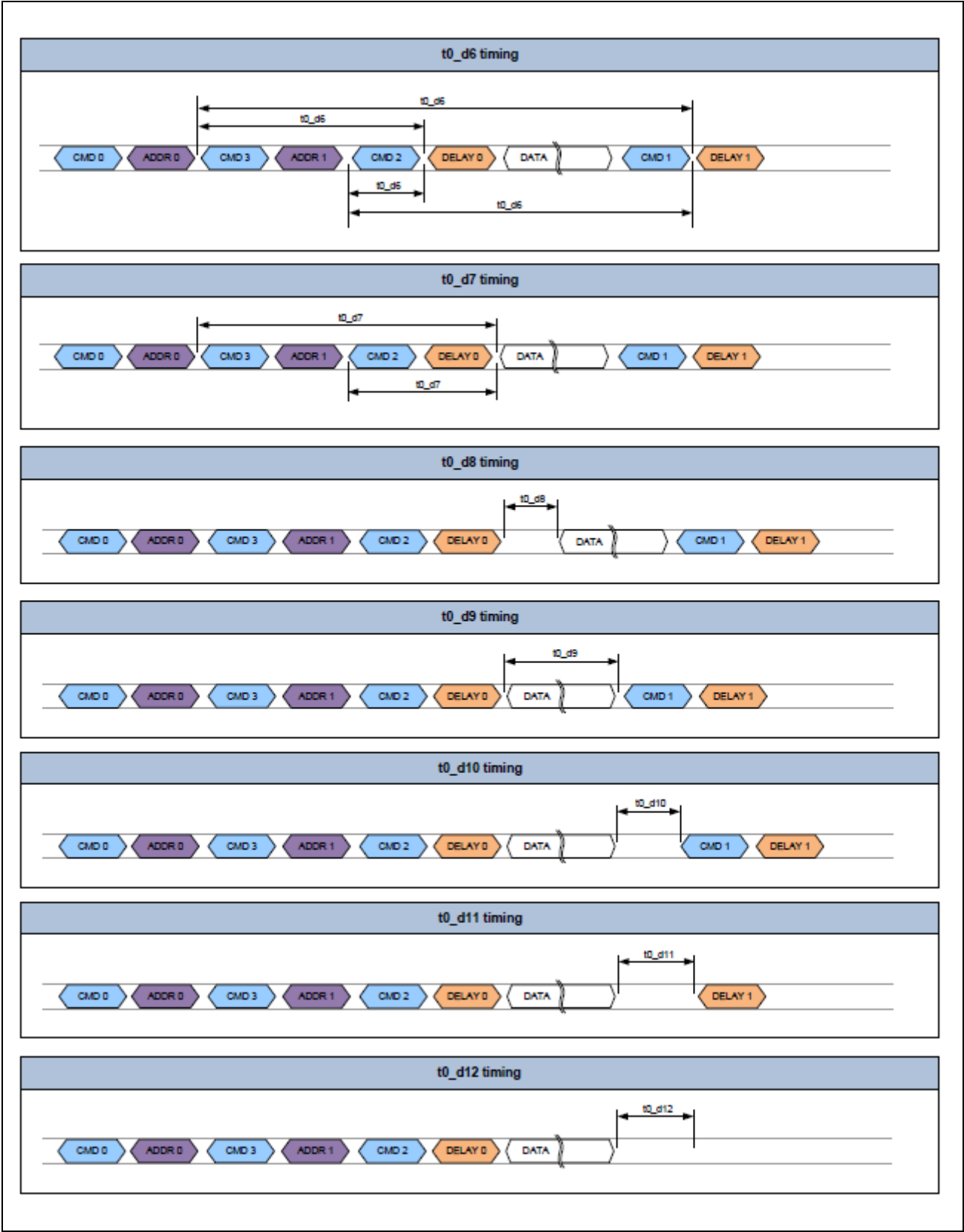


図 7.27 ジェネリックシーケンスのタイミングパラメータ 2

7.5.4 命令

以降では、命令セットのインプリメンテーションを通して、「7.5.2.1 命令のエンコーディング」で説明する命令エンコーディング方式の使用例を紹介します。これまでに詳細に説明したコマンドシーケンスを利用すれば、将来の NAND Flash デバイスの新規のコマンドおよびコマンドシーケンスを実装することが可能です。

7.5.4.1 命令セット

表 7.46 に、ONFI 1.x および 2.2 規格でアクセス可能な全コマンドシーケンスを実装するための基本命令の定義を示します。

表 7.46 命令セット (1/2)

命令	CMD_0	CMD_1 / CMD_3	CMD_2	CMD_SEQ	メモリ ビジー時の 送出
RESET	0xFF	—	—	SEQ_0	No
READ ID	0x90	—	—	SEQ_1	No
READ PARAMETER PAGE	0xEC	—	—	SEQ_2	No
READ UNIQUE ID	0xED	—	—	SEQ_2	No
GET FEATURES	0xEE	—	—	SEQ_2	No
SET FEATURES	0xEF	—	—	SEQ_3	No
READ STATUS	0x70	—	—	SEQ_4	Yes
SELECT LUN WITH STATUS	0x78	—	—	SEQ_5	Yes
LUN STATUS	0x71	—	—	SEQ_5	Yes
DEVICE STATUS	0x72	—	—	SEQ_4	Yes
VOLUME SELECT	0xE1	—	—	SEQ_21	Yes
CHANGE READ COLUMN	0x05	—	0xE0	SEQ_6	No
SELECT CACHE REGISTER	0x06	—	0xE0	SEQ_7	No
CHANGE WRITE COLUMN	0x85	—	—	SEQ_8	No
CHANGE ROW ADDRESS	0x85	0x11	—	SEQ_12	No
READ PAGE	0x00	—	0x30	SEQ_10	No
READ PAGE CACHE	0x31	—	—	SEQ_11	No
READ PAGE CACHE LAST	0x3F	—	—	SEQ_11	No
READ MULTIPLANE	0x00	0x32	—	SEQ_9	No
TWO PLANE PAGE READ	0x00	0x30	0x00	SEQ_15	No
QUEUE PAGE READ	0x07	—	0x37	SEQ_22	No
PROGRAM PAGE	0x80	0x10	—	SEQ_12	No
PROGRAM PAGE IMMEDIATE	0x80	0x10	—	SEQ_23	No
PROGRAM PAGE DELAYED	0x80	0x13	—	SEQ_23	No
PROGRAM PAGE 1	0x80	—	—	SEQ_13	No
PROGRAM PAGE CACHE	0x80	0x15	—	SEQ_12	No
PROGRAM MULTIPLANE	0x80	0x11	—	SEQ_12	No
WRITE PAGE	0x10	—	—	SEQ_0	No
WRITE PAGE CACHE	0x15	—	—	SEQ_0	No
WRITE MULTIPLANE	0x11	—	—	SEQ_0	No
ERASE BLOCK	0x60	0xD0	—	SEQ_14	No
ERASE MULTIPLANE	0x60	0xD1	—	SEQ_14	No
COPYBACK READ	0x00	—	0x35	SEQ_10	No

表 7.46 命令セット (2/2)

命令	CMD_0	CMD_1 / CMD_3	CMD_2	CMD_SEQ	メモリ ビジー時の 送出
COPYBACK PROGRAM	0x85	0x10	—	SEQ_9	No
COPYBACK PROGRAM 1	0x85	—	—	SEQ_13	No
COPYBACK MULTIPLANE	0x85	0x11	—	SEQ_12	No
PROGRAM OTP	0xA0	0x10	—	SEQ_12	No
DATA PROTECT OTP	0xA5	0x10	—	SEQ_9	No
READ PAGE OTP	0xAF	—	0x30	SEQ_10	No

7.5.4.2 命令の実行

各命令の実行に対してはフェーズが適切に定義されています。該当のフェーズが実行されるかどうかはコントローラの設定により決まります。コマンド実行サイクルは以下のように機能します。

命令コードが COMMAND レジスタに書き込まれます。これにより命令実行がトリガされます。

DCU ユニットは、命令をデコードし、命令を実行するようにコントローラを設定します。この時点で、データ FIFO の入力モジュールが選択されます。NCU モジュールは、実行するシーケンス番号および動作をパラメタライズする補助パラメータを受け取ります。

その後で、NCU モジュールが命令でエンコードされたコマンドシーケンスを実行します。このプロセスの詳細はコントローラの設定により異なります。

コマンドの実行後に、割り込みが有効なら割り込みが発生します。

実行する各命令に対しては、命令コードの DATA_SEL および INPUT_SEL フィールドの設定が可能です。レジスタまたは FIFO アドレスを使用しない命令では、これらのフィールドは無効です。無効のフィールドは全ビットが 0 に設定されます。

7.5.4.3 RESET コマンド

a. コマンドの説明

RESET コマンドは、ターゲットを所定の状態に設定して、処理中のコマンドシーケンスをアボートします。

b. コマンドのエンコーディング

RESET コマンドは SEQ_0 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.47 RESET 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0xFF	—	—	SEQ_0_ID

7.5.4.4 READ ID コマンド

a. コマンドの説明

READ ID コマンドは、ターゲットにプログラムされた ID コードを読み出します。本コマンドは、ターゲットのすべての LUN がアイドル状態の場合のみ受け付けられます。

コマンドの後に 0x00 のアドレスサイクルが続く場合、ターゲットは製造者 ID、デバイス構成、およびパーツ固有の情報からなる 5 バイトの ID コードを返送します。

コマンドの後に 0x20 のアドレスサイクルが続く場合、ターゲットは 4 バイトの ONFI ID コードを返送します。

b. コマンドのエンコーディング

READ ID コマンドは SEQ_1 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.48 READ ID 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x90	0/1	0/1	SEQ_1_ID

7.5.4.5 READ PARAMETER PAGE コマンド

a. コマンドの説明

READ PARAMETER PAGE コマンドは、ターゲットにプログラムされた ONFI パラメータページを読み出します。本コマンドは、ターゲットのすべての LUN がアイドル状態の場合のみ受け付けられます。

コマンドの後に 00h のアドレスサイクルが続く場合、ターゲットはビジー状態に移行します。コントローラは、読み出しプロセスが完了した後で、データ出力モードを有効にしてパラメータページを読み出します。

b. コマンドのエンコーディング

READ PARAMETER PAGE コマンドは SEQ_2 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.49 READ PARAMETER PAGE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0xEC	0/1	0/1	SEQ_2_ID

7.5.4.6 READ UNIQUE ID コマンド

a. コマンドの説明

READ UNIQUE ID コマンドは、ターゲットにプログラムされた個別の ID を読み出します。本コマンドは、ターゲットのすべての LUN がアイドル状態の場合のみ受け付けられます。

00h のアドレスサイクルをターゲットに書き込むと、ターゲットはビジー状態に移行します。コントローラは、読み出しプロセスが完了した後で、データ出力モードを有効にして個別 ID を読み出します。デバイスには個別 ID データの 16 個のコピーが格納されています。各コピーは 32 バイトです。前半の 16 バイトは個別のデータで、後半の 16 バイトは前半の 16 バイトに対する補数です。ホストは、前半と後半の 16 バイトを XOR 処理します。結果の 16 バイトが 0xFF なら、個別 ID データのコピーは正常です。結果が 0xFF 以外なら、ホストはそれ以降の個別 ID データのコピーで XOR 処理を繰り返します。

b. コマンドのエンコーディング

READ UNIQUE ID コマンドは SEQ_2 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.50 READ UNIQUE ID 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0xED	0/1	0/1	SEQ_2_ID

7.5.4.7 GET FEATURES コマンド

a. コマンドの説明

GET FEATURES コマンドは、指定された機能アドレスからサブ機能パラメータ (P1~P4) を読み出します。本コマンドは、ターゲットのすべての LUN がアイドル状態の場合のみ受け付けられます。

0xEE コマンドの後に機能アドレスが続く場合、ターゲットはビジー状態に移行します。コントローラは、ターゲット内の読み出しプロセスが完了した後で、データ出力モードを有効にしてサブ機能パラメータを読み出します。

b. コマンドのエンコーディング

GET FEATURES コマンドは SEQ_2 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.51 GET FEATURES 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0xEE	0/1	0/1	SEQ_2_ID

7.5.4.8 SET FEATURES コマンド

a. コマンドの説明

SET FEATURES コマンドは、指定された機能アドレスにサブ機能パラメータ（P1～P4）を書き込んで、ターゲット専用の機能を有効または無効にします。本コマンドは、ターゲットのすべての LUN がアイドル状態の場合のみ受け付けられます。

0xEF コマンドの後に有効な機能アドレスが続きます。指定可能なアドレス値は、ターゲットデバイスに実装される機能セットにより異なります。アドレスサイクルの後に、設定可能な数のデータサイクルが続きます。許可されるアドレスおよびデータのエンコーディング方式の値については、デバイスベンダーの資料を参照ください。

b. コマンドのエンコーディング

SET FEATURES コマンドは SEQ_3 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.52 SET FEATURES 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0xEF	—	0/1	SEQ_3_ID

7.5.4.9 READ STATUS コマンド

a. コマンドの説明

各 LUN の 8 ビットステータスレジスタには、同じターゲットの別の LUN とは独立したステータスが格納されています。READ STATUS コマンドを発行すると、ステータスレジスタ出力が有効になります。各データ出力要求に対して、ステータスレジスタの内容が DQ[7:0]で返送されます。

本コマンドは、直近に選択された LUN のステータスを返送します。

b. コマンドのエンコーディング

READ STATUS コマンドは SEQ_4 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.53 READ STATUS 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x70	0/1	—	SEQ_4_ID

注 意

本命令は、ターゲットがビジー状態のときに実行が可能であるため、特に注意が必要です。FIFO は実行中の処理によって占有されるため、読み出しデータのアクセスには使用できません。シーケンスのコマンドのデータフィールドでは、データデスティネーションとして DATA_REG レジスタを選択する必要があります。DATA_REG_SIZE はシングルバイトを指定しなければなりません。

7.5.4.10 DEVICE STATUS コマンド

a. コマンドの説明

各 LUN の 8 ビットステータスレジスタには、同じターゲットの別の LUN とは独立したステータスが格納されています。DEVICE STATUS コマンドを発行すると、ステータスレジスタ出力が有効になります。各データ出力要求に対して、ステータスレジスタの内容が DQ[7:0] で返送されます。

本コマンドは、直近に選択された LUN のステータスを返送します。

b. コマンドのエンコーディング

DEVICE STATUS コマンドは SEQ_4 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.54 DEVICE STATUS 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x72	0/1	—	SEQ_4_ID

注 意

本命令は、ターゲットがビジー状態のときに実行が可能であるため、特に注意が必要です。FIFO は実行中の処理によって占有されるため、読み出しデータのアクセスには使用できません。シーケンスのコマンドのデータフィールドでは、データデスティネーションとして DATA_REG レジスタを選択する必要があります。DATA_REG_SIZE はシングルバイトを指定しなければなりません。

7.5.4.11 VOLUME SELECT コマンド

a. コマンドの説明

VOLUME SELECT コマンドは、指定されるアドレスに基づいて特定のボリュームを選択します。

本コマンドは、CE ピンを共有するすべての初期化済みのデバイスにより受け付けられます。任意の状態のターゲットの任意のボリュームに発行することが可能です。本コマンドを発行したときにアドレスが指定されない全ボリュームは、選択されないために消費電力の節約につながります。

入力されたボリュームアドレスが、無効であるか、該当のボリュームアドレスに一致しない場合は、全ボリュームアドレスの選択が解除されます。

CE の High の後で本コマンドを発行しなければ、全ボリュームは以前の状態に復帰します。

b. コマンドのエンコーディング

VOLUME SELECT コマンドは SEQ_21 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.55 VOLUME SELECT 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0xE1	0/1	—	SEQ_21_ID

7.5.4.12 SELECT LUN WITH STATUS コマンド

a. コマンドの説明

各 LUN の 8 ビットステータスレジスタには、同じターゲットの別の LUN とは独立したステータスが格納されています。SELECT LUN WITH STATUS コマンドを発行すると、ステータスレジスタ出力が有効になります。各データ出力要求に対して、ステータスレジスタの内容が DQ[7:0] で返送されます。

本コマンドは選択された LUN のステータスを返送します。

b. コマンドのエンコーディング

SELECT LUN WITH STATUS コマンドは SEQ_5 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.56 SELECT LUN WITH STATUS 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x78	0/1	—	SEQ_5_ID

注 意

本命令は、ターゲットがビジー状態のときに実行が可能であるため、特に注意が必要です。FIFO は実行中の処理によって占有されるため、読み出しデータのアクセスには使用できません。シーケンスのコマンドのデータフィールドでは、データデスティネーションとして DATA_REG レジスタを選択する必要があります。DATA_REG_SIZE はシングルバイトを指定しなければなりません。

7.5.4.13 LUN STATUS コマンド

a. コマンドの説明

各 LUN の 8 ビットステータスレジスタには、同じターゲットの別の LUN とは独立したステータスが格納されています。LUN STATUS コマンドを発行すると、ステータスレジスタ出力が有効になります。各データ出力要求に対して、ステータスレジスタの内容が DQ[7:0] で返送されます。本コマンドは選択された LUN のステータスを返送します。

b. コマンドのエンコーディング

LUN STATUS コマンドは SEQ_5 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.57 LUN STATUS 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x71	0/1	—	SEQ_5_ID

注 意

本命令は、ターゲットがビジー状態のときに実行が可能であるため、特に注意が必要です。FIFO は実行中の処理によって占有されるため、読み出しデータのアクセスには使用できません。シーケンスのコマンドのデータフィールドでは、データデスティネーションとして DATA_REG レジスタを選択する必要があります。DATA_REG_SIZE はシングルバイトを指定しなければなりません。

7.5.4.14 CHANGE READ COLUMN コマンド

a. コマンドの説明

CHANGE READ COLUMN コマンドは、選択されたキャッシュレジスタのカラムアドレスを変更して、最後に選択された LUN のデータ出力を有効にします。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

ターゲットのコマンドレジスタに、0x05、カラムアドレスを収めた 2 個のカラムアドレスサイクル、および 0xE0 コマンドを順に書き込むと、選択された LUN はデータ出力モードに移行します。選択された LUN は、新たに有効コマンドが発行されるまではデータ出力モードを維持します。

b. コマンドのエンコーディング

CHANGE READ COLUMN コマンドは SEQ_6 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.58 CHANGE READ COLUMN 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
0xE0	—	0x05	0/1	—	SEQ_6_ID

7.5.4.15 SELECT CACHE REGISTER コマンド

a. コマンドの説明

SELECT CACHE REGISTER コマンドは、アドレスで指定された LUN およびカラムアドレスで指定されたキャッシュレジスタのデータ出力を有効にします。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

ターゲットのコマンドレジスタに、0x06、2 個のカラムアドレスサイクルと 3 個のロウアドレスサイクル、および 0xE0 を順に書き込むと、選択された LUN およびキャッシュレジスタのデータ出力モードが有効になります。

b. コマンドのエンコーディング

SELECT CACHE REGISTER コマンドは SEQ_7 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.59 SELECT CACHE REGISTER 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
0xE0	—	0x06	0/1	—	SEQ_7_ID

7.5.4.16 CHANGE WRITE COLUMN コマンド

a. コマンドの説明

CHANGE WRITE COLUMN コマンドは、選択されたキャッシュレジスタのカラムアドレスを変更して、最後に選択された LUN のデータ入力を有効にします。ターゲットのコマンドレジスタに、0x85、およびカラムアドレスを収めた 2 個のカラムアドレスサイクルを順に書き込むと、選択された LUN はデータ入力モードに移行します。

b. コマンドのエンコーディング

CHANGE WRITE COLUMN コマンドは SEQ_8 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.60 CHANGE WRITE COLUMN 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x85	—	—	SEQ_8_ID

7.5.4.17 CHANGE ROW ADDRESS コマンド

a. コマンドの説明

CHANGE ROW ADDRESS コマンドは、キャッシュレジスタの内容を NAND アレイにプログラムするために、ロウアドレス（ブロックおよびページ）を変更します。さらに、選択されたキャッシュレジスタのカラムアドレスを変更して、指定された LUN のデータ入力を有効にします。

b. コマンドのエンコーディング

CHANGE ROW ADDRESS コマンドは SEQ_12 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.61 CHANGE ROW ADDRESS 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x11	0x85	0	—	SEQ_12_ID

7.5.4.18 READ PAGE コマンド

a. コマンドの説明

READ PAGE コマンドは、NAND Flash アレイのページを該当のキャッシュレジスタにコピーして、データ出力を有効にします。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラは、NAND Flash アレイからページを読み出す際に、ターゲットのコマンドレジスタに 0x00 を書き込み、アドレスレジスタに 5 個のアドレスサイクルを書き込み、0x30 コマンドで終了します。

選択された LUN は、データが転送されるとビジー状態に移行します。LUN がレディ状態なら、本コマンドでアドレス指定されたプレーンにリンクするキャッシュレジスタのデータ出力が有効になります。

コントローラは、指定されたバイト数を読み出して FIFO に格納します。

b. コマンドのエンコーディング

READ PAGE コマンドは SEQ_10 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.62 READ PAGE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
0x30	—	0x00	0/1	0/1	SEQ_10_ID

7.5.4.19 READ PAGE CACHE コマンド

a. コマンドの説明

READ PAGE CACHE コマンドは、キャッシュレジスタから 1 つのページを出力した後で、ブロック内の次の位置するページを読み出してデータレジスタに格納します。コントローラは、ターゲットのコマンドレジスタに 0x31 を書き込んで本コマンドを発行します。コマンドが発行されると、RnB は Low に移行し、LUN はビジー状態に移行します。その後で、RnB は High に移行し、LUN はキャッシュ処理でビジーとなります。これにより、キャッシュレジスタの使用が可能で、指定されたページが NAND Flash アレイからデータレジスタにコピーされることが示されます。この時点で、データがキャッシュレジスタから読み出されます。

b. コマンドのエンコーディング

READ PAGE CACHE コマンドは SEQ_11 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.63 READ PAGE CACHE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x31	0/1	0/1	SEQ_11_ID

7.5.4.20 READ PAGE CACHE LAST コマンド

a. コマンドの説明

READ PAGE CACHE LAST コマンドは、READ PAGE CACHE シーケンスを終了して、データレジスタのページをキャッシュレジスタにコピーします。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラは、ターゲットのコマンドレジスタに 0x3F を書き込んで本コマンドを発行します。コマンドが発行されると、RnB は Low に移行し、LUN はビジー状態に移行します。その後で、RnB は High に移行し、LUN はレディ状態となります。この時点で、ターゲットのキャッシュレジスタからデータが読み出されて FIFO に格納されます。

b. コマンドのエンコーディング

READ PAGE CACHE LAST コマンドは SEQ_11 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.64 READ PAGE CACHE LAST 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x3F	0/1	0/1	SEQ_11_ID

7.5.4.21 READ MULTIPLANE コマンド

a. コマンドの説明

READ MULTIPLANE コマンドは、NAND アレイのデータをキャッシュレジスタに転送するプレーンをキューに登録します。本コマンドは 1 回または複数回発行することが可能です。新規のプレーンアドレスが指定される毎に、そのプレーンはデータ転送のキューに登録されます。最後のプレーンを選択し、キューに登録済みの全プレーンの読み出し動作を開始するには、READ PAGE コマンドを発行します。キューに登録された全プレーンは、NAND アレイのデータをキャッシュレジスタに転送します。

b. コマンドのエンコーディング

READ MULTIPLANE コマンドは SEQ_9 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.65 READ MULTIPLANE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x32	0x00	—	—	SEQ_9_ID

7.5.4.22 QUEUE PAGE READ コマンド

a. コマンドの説明

QUEUE PAGE READ コマンドは、7 個のアドレスサイクルによりページの一部を読み出します。アドレスサイクルの最初の 2 バイトは、読み出すページの長さを指定し、ADDR0 レジスタに格納します。その後、続くカラムアドレスとロウアドレスは、ADDR1 レジスタに格納されます。本コマンドでは、要求されるページのデータが一部に限定され、そのデータを収めたコードワードのみが ECC のデコード対象となるために、全体的な性能の低下が抑制されます。

b. コマンドのエンコーディング

QUEUE PAGE READ コマンドは SEQ_22 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.66 QUEUE PAGE READ 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
0x37	—	0x07	—	—	SEQ_22_ID

7.5.4.23 TWO PLANE PAGE READ コマンド

a. コマンドの説明

TWO PLANE PAGE READ コマンドは、ONFI 1.x 仕様のデバイスを含む旧デバイスとの互換性を維持する目的で実装されています。

本コマンド (00h-00h-30h) の処理は PAGE READ (00h-30h) の処理と似ています。NAND Flash アレイの 2 ページのデータをデータレジスタに転送します。各ページは同じチップの異なるプレーンでなければなりません。ソフトウェアは、要求されたページに対して正当なアドレスを生成するように管理する必要があります。本コマンドは、ADDR0 および ADDR1 のいずれのアドレスレジスタも使用します。

b. コマンドのエンコーディング

TWO PLANE PAGE READ コマンドは SEQ_15 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。本コマンドはすべてのアドレスレジスタを使用します。

表 7.67 TWO PLANE PAGE READ 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
0x00	0x30	0x00	0/1	0/1	SEQ_15_ID

7.5.4.24 PROGRAM PAGE コマンド

a. コマンドの説明

ホストは、PROGRAM PAGE コマンドを使用して、キャッシュレジスタにデータを入力し、そのデータを選択された LUN のアレイの指定されたブロックおよびページのアドレスに移動させることが可能です。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラがターゲットのコマンドレジスタに 0x80 を書き込むと、キャッシュレジスタにページが入力され、それが NAND アレイの指定されたブロックおよびページのアドレスに転送されます。次に、コラムアドレスおよびロウアドレスを収めた 5 個のアドレスサイクルが書き込まれます。その後にデータ入力サイクルが続きます。データは、指定されたコラムアドレスから開始して順番に入力されます。

コントローラは、データ入力が完了すると、ターゲットのコマンドレジスタに 0x10 を書き込みます。選択された LUN はビジー状態に移行します。

b. コマンドのエンコーディング

PROGRAM PAGE コマンドは SEQ_12 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.68 PROGRAM PAGE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x10	0x80	0	0/1	SEQ_12_ID

7.5.4.25 PROGRAM PAGE IMMEDIATE コマンド

a. コマンドの説明

ホストは、PROGRAM PAGE IMMEDIATE コマンドを使用して、キャッシュレジスタにデータを入力し、そのデータを選択された LUN のアレイの指定されたブロックおよびページのアドレスに移動させることが可能です。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラがターゲットのコマンドレジスタに 0x80 を書き込むと、キャッシュレジスタにページが入力され、それが NAND アレイの指定されたブロックおよびページのアドレスに転送されます。次に、ロウアドレスを収めた 3 個のアドレスサイクルが書き込まれます。その後にデータ入力サイクルが続きます。データは、指定されたコラムアドレスから開始して順番に入力されます。

コントローラは、データ入力が完了すると、ターゲットのコマンドレジスタに 0x10 を書き込みます。選択された LUN はビジー状態に移行します。本コマンドは、ロウアドレスのみを NAND Flash アレイに書き込みます。

b. コマンドのエンコーディング

PROGRAM PAGE IMMEDIATE コマンドは SEQ_23 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.69 PROGRAM PAGE IMMEDIATE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x10	0x80	0	0/1	SEQ_23_ID

7.5.4.26 PROGRAM PAGE DELAYED コマンド

a. コマンドの説明

デバイスの内部コントローラは、マルチプレーンプログラミングを自動的に管理することが可能です。PROGRAM PAGE DELAYED コマンドはこの処理に使用します。

本コマンドを発行すると、コントローラは以降のプログラム動作に対してアドレス検査が完了するまでは、アレイに対するプログラム動作の発行を遅延します。この間に、直前のマルチプレーン動作の一部の動作が完了すると、コントローラはアレイに対してマルチプレーンプログラムを発行します。

マルチプレーン動作が完了するのは、プレーン 0 の LUN アドレスの発行の後にプレーン 1 の LUN アドレスの発行が続く場合に限定されます。以降のプログラム動作でマルチプレーン動作を実行できない場合は、コントローラは即座に直前のプログラム動作を開始します。ホストは、本コマンドにより全プログラム動作を開始するものと見なされます。この方法では、ホストはマルチプレーン動作の利用に関する情報を管理する必要はありません。

b. コマンドのエンコーディング

PROGRAM PAGE DELAYED コマンドは SEQ_23 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.70 PROGRAM PAGE DELAYED 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x13	0x80	0	0/1	SEQ_23_ID

7.5.4.27 PROGRAM PAGE 1 コマンド

a. コマンドの説明

ホストは、PROGRAM PAGE 1 コマンドを使用して、キャッシュレジスタにデータを入力し、そのデータを選択された LUN のアレイの指定されたブロックおよびページのアドレスに移動することが可能です。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラがターゲットのコマンドレジスタに 0x80 を書き込むと、キャッシュレジスタにページが入力され、それが NAND アレイの指定されたブロックおよびページのアドレスに転送されます。次に、カラムアドレスおよびロウアドレスを収めた 5 個のアドレスサイクルが書き込まれます。その後にデータ入力サイクルが続きます。データは、指定されたカラムアドレスから開始して順番に入力されます。

データ入力が完了するとコマンドシーケンスが終了します。

b. コマンドのエンコーディング

PROGRAM PAGE 1 コマンドは SEQ_13 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.71 PROGRAM PAGE 1 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x80	0	0/1	SEQ_13_ID

7.5.4.28 PROGRAM PAGE CACHE コマンド

a. コマンドの説明

コントローラは、PROGRAM PAGE CACHE コマンドを使用して、キャッシュレジスタにデータを入力し、そのデータをデータレジスタにコピーし、データレジスタの内容を選択された LUN のアレイの指定されたブロックおよびページのアドレスに移動することが可能です。

データをデータレジスタにコピーした後は、以降の PROGRAM PAGE CACHE または PROGRAM PAGE コマンドでキャッシュレジスタを使用することが可能です。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラがターゲットのコマンドレジスタに 0x80 を書き込むと、キャッシュレジスタにページが入力され、それが NAND アレイの指定されたブロックおよびページのアドレスに転送されます。次に、カラムアドレスおよびロウアドレスを収めた 5 個のアドレスサイクルが書き込まれます。その後にデータ入力サイクルが続きます。データは、指定されたカラムアドレスから開始して順番に入力されます。

データ入力が完了するとコマンドレジスタに 0x15 が書き込まれます。選択された LUN がビジー状態に移行すると、データレジスタがその前のプログラムキャッシュ動作から解放されて使用可能になり、キャッシュレジスタのデータがデータレジスタにコピーされて、指定されたページおよびブロックアドレスへのデータレジスタの内容の転送が開始されます。

b. コマンドのエンコーディング

PROGRAM PAGE CACHE コマンドは SEQ_12 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.72 PROGRAM PAGE CACHE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x15	0x80	0	0/1	SEQ_12_ID

7.5.4.29 PROGRAM MULTIPLANE コマンド

a. コマンドの説明

コントローラは、PROGRAM MULTIPLANE コマンドを使用して、指定されたプレーンのキャッシュレジスタにデータを入力してキャッシュレジスタをキューに登録し、最終的に NAND アレイに移動させることが可能です。本コマンドは 1 回または複数回発行することが可能です。新規のプレーンアドレスが指定される毎に、そのプレーンはデータ転送キューに登録されます。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラはターゲットのコマンドレジスタに 0x80 を書き込みます。次に、カラムアドレスおよびロウアドレスを収めた 5 個のアドレスサイクルが書き込まれます。その後にデータ入力サイクルが続きます。データは、指定されたカラムアドレスから開始して順番に入力されます。

コントローラは、データ入力完了すると、ターゲットのコマンドレジスタに 0x11 を書き込みます。

b. コマンドのエンコーディング

PROGRAM MULTIPLANE コマンドは SEQ_12 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.73 PROGRAM MULTIPLANE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x11	0x80	0	0/1	SEQ_12_ID

7.5.4.30 WRITE PAGE コマンド

a. コマンドの説明

コントローラは、WRITE PAGE コマンドを使用して、ターゲットのキャッシュレジスタのデータを NAND アレイに移動することが可能です。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラはターゲットのコマンドレジスタに 0x10 を書き込みます。

b. コマンドのエンコーディング

WRITE PAGE コマンドは SEQ_0 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.74 WRITE PAGE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x10	—	—	SEQ_0_ID

7.5.4.31 WRITE PAGE CACHE コマンド

a. コマンドの説明

コントローラは、WRITE PAGE CACHE コマンドを使用して、ターゲットのキャッシュレジスタのデータをターゲットのデータレジスタに移動することが可能です。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラはターゲットのコマンドレジスタに 0x15 を書き込みます。

b. コマンドのエンコーディング

WRITE PAGE CACHE コマンドは SEQ_0 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.75 WRITE PAGE CACHE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x15	—	—	SEQ_0_ID

7.5.4.32 WRITE MULTIPLANE コマンド

a. コマンドの説明

コントローラは、WRITE MULTIPLANE コマンドを使用して、ターゲットのキャッシュレジスタのデータを NAND アレイのキューに登録することが可能です。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラはターゲットのコマンドレジスタに 0x11 を書き込みます。

b. コマンドのエンコーディング

WRITE MULTIPLANE コマンドは SEQ_0 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.76 WRITE MULTIPLANE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x11	—	—	SEQ_0_ID

7.5.4.33 ERASE BLOCK コマンド

a. コマンドの説明

ERASE BLOCK コマンドは、NAND アレイの指定されたブロックを消去します。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラは、ターゲットのコマンドレジスタに 0x60 を書き込んでブロックを消去します。次に、ロウアドレスを収めた 3 個のアドレスサイクルを書き込みます。カラムアドレスは無効です。最後に、ターゲットのコマンドレジスタに 0xD0 を書き込みます。

b. コマンドのエンコーディング

ERASE BLOCK コマンドは SEQ_14 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.77 ERASE BLOCK 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0xD0	0x60	—	—	SEQ_14_ID

7.5.4.34 ERASE MULTIPLANE コマンド

a. コマンドの説明

ERASE MULTIPLANE コマンドは、NAND アレイから消去するブロックを指定されたプレーンのキューに登録します。本コマンドは 1 回または複数回発行することが可能です。新規のプレーンアドレスが指定される毎に、そのプレーンはブロック消去のためキューに登録されます。本コマンドは、選択された LUN がレディ状態であるときに受け付けられます。

コントローラは、コマンドレジスタに 0x60 を書き込んで消去するブロックをキューに登録します。次に、ロウアドレスを収めた 3 個のアドレスサイクルを書き込みます。カラムアドレスは無効です。最後に、コマンドレジスタに 0xD1 を書き込みます。

b. コマンドのエンコーディング

ERASE MULTIPLANE コマンドは SEQ_14 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.78 ERASE MULTIPLANE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0xD1	0x60	—	—	SEQ_14_ID

7.5.4.35 COPYBACK READ コマンド

a. コマンドの説明

COPYBACK READ コマンドの機能は READ PAGE コマンドとほぼ共通で、相違点はターゲットのコマンドレジスタに 0x30 ではなく 0x35 を書き込みます。

詳細については READ PAGE コマンドの説明を参照ください。

b. コマンドのエンコーディング

COPYBACK READ コマンドは SEQ_10 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.79 COPYBACK READ 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
0x35	—	0x00	0/1	0/1	SEQ_10_ID

7.5.4.36 COPYBACK PROGRAM コマンド

a. コマンドの説明

コピーバックとは、あるロケーションのページデータを読み出して、それを別のロケーションに移動する機能のことです。COPYBACK PROGRAM コマンドの機能は PROGRAM PAGE コマンドとほぼ共通で、相違点はターゲットのコマンドレジスタに 0x85 を書き込んでキャッシュレジスタの内容をクリアしません。

SEQ_9 コマンドシーケンスにはデータフェーズがないため、キャッシュレジスタのデータを変更せずに別のロケーションに書き込みます。データに変更を加えてから別のロケーションに書き込む場合は、データフェーズのある SEQ_12 コマンドシーケンスを使用します。

b. コマンドのエンコーディング

COPYBACK PROGRAM コマンドは SEQ_9 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.80 COPYBACK PROGRAM 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x10	0x85	—	—	SEQ_9_ID

7.5.4.37 COPYBACK PROGRAM 1 コマンド

a. コマンドの説明

COPYBACK PROGRAM 1 コマンドの機能は PROGRAM PAGE 1 コマンドとほぼ共通で、相違点はターゲットのコマンドレジスタに 0x85 を書き込んでキャッシュレジスタの内容をクリアしません。

詳細については「7.5.4.27 PROGRAM PAGE 1 コマンド」を参照ください。

b. コマンドのエンコーディング

COPYBACK PROGRAM 1 コマンドは SEQ_13 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.81 COPYBACK PROGRAM 1 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	0x85	0	—	SEQ_13_ID

7.5.4.38 COPYBACK MULTIPLANE コマンド

a. コマンドの説明

COPYBACK MULTIPLANE コマンドの機能は PROGRAM MULTIPLANE コマンドとほぼ共通で、相違点はターゲットのコマンドレジスタに 0x85 を書き込んでキャッシュレジスタの内容をクリアしません。

詳細については「7.5.4.29 PROGRAM MULTIPLANE コマンド」を参照ください。

b. コマンドのエンコーディング

COPYBACK MULTIPLANE コマンドは SEQ_12 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.82 COPYBACK MULTIPLANE 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x11	0x85	0	0/1	SEQ_12_ID

7.5.4.39 PROGRAM OTP コマンド

a. コマンドの説明

PROGRAM OTP コマンドは、OTP 領域内のページにデータを書き込みます。1 回でページ全体をプログラムするか、最大 4 回に分けてページを部分的にプログラムすることが可能です。OTP ページを消去することはできません。

コントローラは、0xA0 コマンドを発行して PROGRAM OTP コマンドを実行します。次に、5 個のアドレスサイクルを発行します。アドレス書き込みの後に、設定可能な数のデータサイクル数が続きます。

コントローラは、データ入力が完了すると 0x10 コマンドを発行します。内部の制御ロジックは、適切なプログラミングアルゴリズムを自動的に実行して、プログラミングおよび検証に必要なタイミングを制御します。

b. コマンドのエンコーディング

PROGRAM OTP コマンドは SEQ_12 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.83 PROGRAM OTP 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x10	0xA0	0	0/1	SEQ_12_ID

7.5.4.40 DATA PROTECT OTP コマンド

a. コマンドの説明

DATA PROTECT OTP コマンドは OTP 領域の全データを保護します。保護されたデータはプログラムすることはできません。OTP 領域に保護を設定すると、領域内のページはプログラム不可となり、保護を解除することもできません。

コントローラは、0xA5 コマンドを発行して DATA PROTECT OTP コマンドを実行します。次に、5 個のアドレスサイクルを発行します。最後に 0x10 コマンドを発行します。

b. コマンドのエンコーディング

DATA PROTECT OTP コマンドは SEQ_9 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.84 DATA_PROTECT OTP 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	0x10	0xA5	—	—	SEQ_9_ID

7.5.4.41 PAGE READ OTP コマンド

a. コマンドの説明

PAGE READ OTP コマンドは、OTP 領域内のページのデータを読み出します。OTP 領域内の OTP ページは、保護設定に関係なくデータを読み出すことが可能です。

コントローラは、0xAF コマンドを発行して PAGE READ OTP コマンドを実行します。次に、5 個のアドレスサイクルを発行します。最後に 0x30 コマンドを発行します。NAND マトリクスからの内部の読み出しが終了すると、データが FIFO にコピーされます。

b. コマンドのエンコーディング

PAGE READ OTP コマンドは SEQ_10 コマンドシーケンスを使用します。以下の表にコマンドのエンコードを示します。

表 7.85 PAGE READ OTP 命令のエンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
0x30	—	0xAF	0/1	0/1	SEQ_10_ID

7.5.5 マルチ LUN ワークモード

CONTROL レジスタの MLUN_EN ビットをセットすると、マルチ LUN ワークモードが有効になります。このモードでは、各 LUN は個別のターゲットとして処理されます。アクティブな LUN の番号はアドレス値から直接デコードされます。

マルチ LUN モードは以下のパラメータで設定します。

- MLUN レジスタの MLUN_IDX フィールド。このパラメータは、LUN 選択ビットが収められた最終アドレスバイトのインデックスとなるビットを格納します。パラメータの設定については、使用する NAND Flash デバイスのデータシートに従ってください。
- デバイス当たりの LUN 数は、MLUN レジスタの MLUN_SEL ビットで設定します。
- LUN のステータスは LUN_STATUS_0 に格納されます。各ビットが各 LUN ステータスに対応します。
- STATUS_MASK レジスタの STATE_MASK フィールド。このパラメータは、LUN のレディ/ビジーチェックで不要となる LUN ステータスバイトの一部をマスクする際に使用します。

7.5.6 リマッピングメカニズム

コアには、コアアプリケーションの不良ブロック管理ソリューションをサポートするためのリマッピングメカニズムが実装されています。ハードウェアによるリマッピングメカニズムは、要求された動作の該当のリニアアドレスに対応する物理アドレスをソフトウェアで検出する際の、時間を要する作業の負担を軽減します。ソフトウェアは、NAND Flash デバイスのアプリケーションで使用されるリマッピングテーブルのみを初期化します。テーブルは昇順にソートされ、テーブル検索およびアドレス置換の全体の処理が自動的に実行されます。

リマッピングソリューションでは、制御レジスタの 2 つのグループを使用します。

- ポインタレジスタの DEV0_PTR~DEV3_PTR。これらのレジスタは、BBM メカニズムが使用するレコードテーブルが収められたシステムメモリのアドレスを格納します。バンクの各デバイスは個別のテーブルを使用します。テーブルはすべて昇順にソートされます。
- サイズレジスタの DEV0_SIZE~DEV3_SIZE。これらのレジスタはテーブル内のレコード数を格納します。バンクの各デバイスは、個別のレジスタにテーブルサイズを格納します。

リマッピングモジュールは、複数の 32 ビットレジスタを使用して設定される特別な CAM メモリインプリメンテーションを使用します。BBM ソリューションの最小のデータ単位として、32 ビット幅の 8 個のワードがレコードとして要求されます。レコードの各ロウには 16 ビット幅の 2 個のカラムが格納されます。ワードの下位側のカラムには、リマッピングプロセスでデスティネーションアドレスに置き換わるソースアドレスが格納されます。上位側のカラムには、リマッピングプロセスでソースアドレスを置き換えるデスティネーションアドレスが格納されます。レコードの未使用のロウには 0 ビットが充填されます。

図 7.28 にレコードの構造を示します。

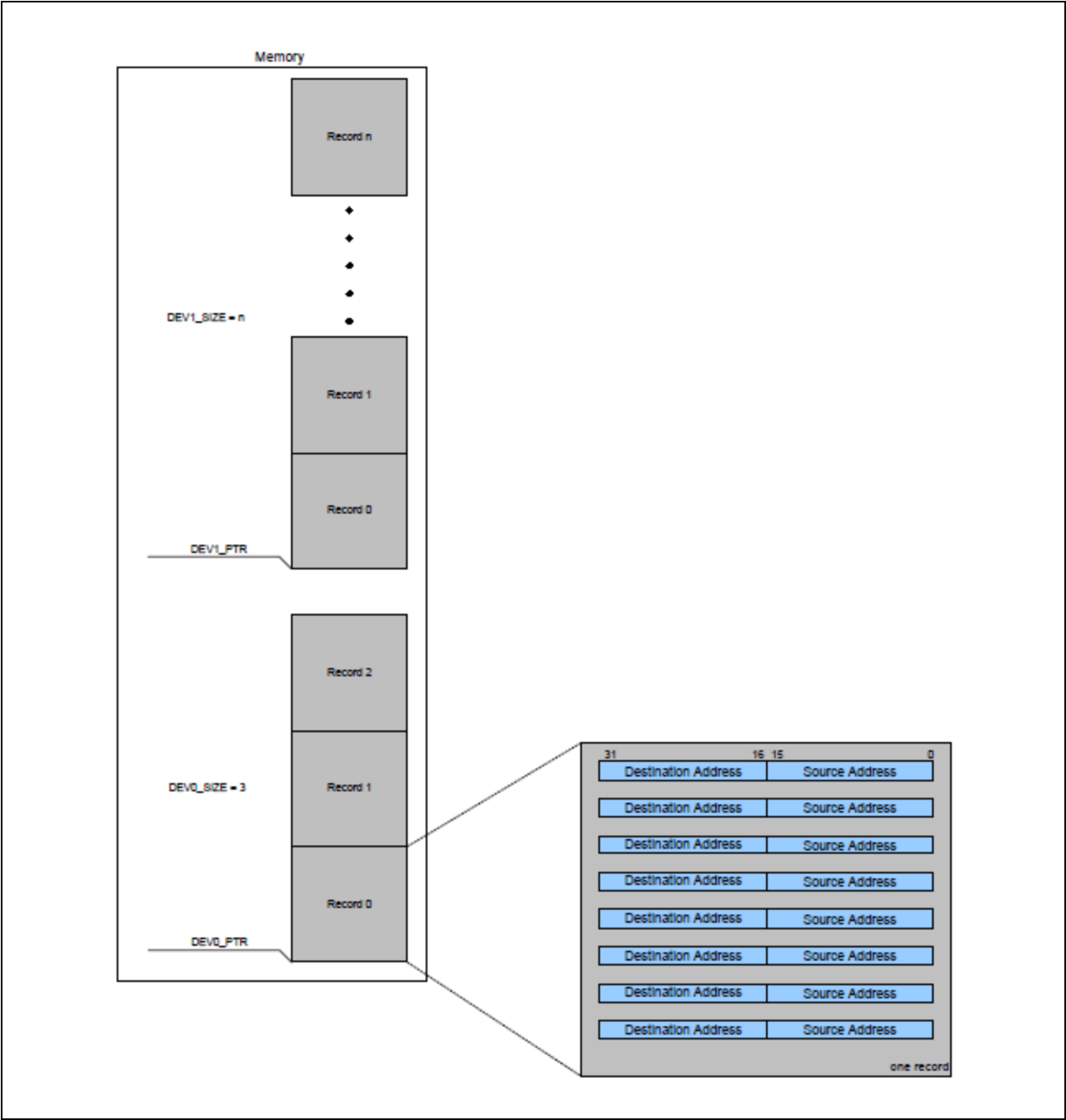


図 7.28 BBM レコードの例

リマッピングプロセスの最初の処理は検索です。ソースアドレスフィールドを現在の要求ブロックアドレスと比較します。要求アドレスに一致するソースアドレスがあれば、レコードの同じ行のデスティネーションアドレスを返します。一致するソースアドレスがなければ、要求アドレスをそのまま返します。

7.5.7 割り込みメカニズム

NAND Flash コントローラの割り込みシステムは、2 つの制御レジスタを使用します。

- 割り込みマスクレジスタ (INT_MASK)。各ビットは各割り込みをマスクします。「7.4 レジスタの説明」にレジスタの詳細を示します。
- 割り込みフラグレジスタ (INT_STATUS)。各ビットは、各割り込みソースのアクティブ状態を示します。「7.4 レジスタの説明」にレジスタの詳細を示します。

いずれのレジスタも配置は同じです。レジスタの対応する各ビットは同じ割り込みソースに対応します。コアの割り込みは 1 つだけです。割り込みフラグおよびマスクレジスタ対のビットのいずれかによりアサートされます。

以下に、割り込みを発生させるソースを示します。

- 書き込み／消去保護メカニズム割り込み
保護領域への書き込み／消去動作がトリガされると発生します。この割り込みは、コアにハードウェアの書き込み／消去機能が実装されていて、CONTROL レジスタで有効になっている場合のみ有効です。
- コマンドシーケンス終了割り込み
直前にトリガされたコマンドシーケンスが終了して、新規シーケンスの開始が可能になると、発生します。コマンドシーケンスは、シーケンスが最後まで実行されるか、NAND Flash デバイスがビジー状態に移行すると、終了したと認識されます。
- ECC モジュールが転送データで訂正不可エラーを検出
- ECC モジュールが設定されたエラーしきい値レベル超過を検出。
- メモリデバイスがレディ状態
NAND Flash デバイスが、プログラムされたコマンドシーケンスの実行を終了して、新規シーケンスの準備ができると発生します。各 NAND Flash デバイスには 1 つの割り込みフラグがあります。図 7.29 に、「コマンドシーケンス終了」割り込みと「メモリデバイスレディ」割り込みの相違を示します。
- コントローラの FIFO アクセス時のスレーブインタフェースでエラー
FIFO メモリに対するアクセスが、現在の FIFO の設定と反対方向であるときに発生します。設定が書き込みであるときに FIFO を読み出すか、設定が読み出しであるときに FIFO に書き込む場合です。

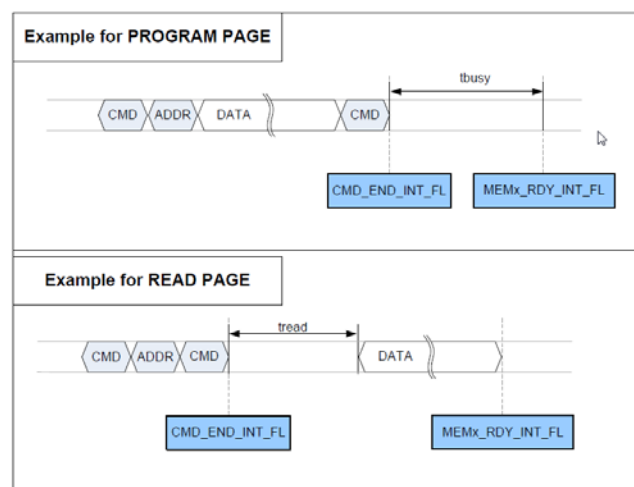


図 7.29 コマンドシーケンス終了割り込みおよびメモリデバイスレディ割り込み

7.6 設定および構成

NAND Flash コントローラのメインの制御レジスタは CONTROL レジスタです。

以下のビットで基本的な設定を行います。

- INT_EN : 割り込みの有効化
- ECC_EN : ハードウェア ECC の有効化
- BLOCK_SIZE : ブロックサイズの設定
- IO_WIDTH : NAND Flash メモリデバイスに接続する I/O バス幅の設定
- BBM_EN : リマッピングプロセスの有効化
- PROT_EN : 保護メカニズムの有効化
- ADDR[n]_AUTO_INCR : ロウアドレスレジスタ 0 または 1 のアドレス自動インクリメント
- SMALL_BLOCK_EN : 小ブロックモードの有効化
- MLUN_EN : マルチ LUN モードの有効化
- AUTO_READ_STAT_EN : PROGRAM PAGE および BLOCK ERASE コマンド後の自動読み出しステータスのアクティベート
- READ_STATUS_EN : コントローラによる RnB ラインのチェックまたは READ_STATUS コマンド送出手選択
- ECC_BLOCK_SIZE : ECC ブロックサイズの指定

以下に説明するレジスタは、CONTROL レジスタの他のビットの設定に応じて設定します。

- (1) CONTROL レジスタで基本的な設定を行います。
- (2) INT_EN ビットがセットされていれば、ソフトウェアで INT_MASK レジスタによりマスクを設定します。これにより、NAND Flash コントローラの選択された割り込みソースがマスクされます。
- (3) ECC_EN ビットがセットされていれば、ソフトウェアで ECC_CTRL の所定の設定を行って、ECC モジュールを適切に設定します。さらに、ECC_OFFSET レジスタでオフセットを指定します。小ブロックモードでは ECC_OFFSET 値は無効で、訂正ワードは NAND Flash メモリデバイスのデータの直後に格納されます。
- (4) コントローラにより転送される書き込みデータ数 (DATA_SIZE レジスタ)。ECC が有効の場合、DATA_SIZE 値には一定の制限があります。
- (5) BBM_EN ビットがセットされていれば、ソフトウェアでリマッピングテーブルを初期化します (DEV[n]_PTR および DEV[n]_SIZE レジスタ)。
- (6) PROT_EN ビットがセットされていれば、ソフトウェアで所定の領域を保護して消去または上書きを禁止します。変更から保護する領域は PROTECT レジスタで指定します。
- (7) さらに、ソフトウェアは非同期モードとして TIMINGS_ASYNC レジスタでタイムパラメータを設定します。その上で、TIME_SEQ_0 および TIME_SEQ_1 レジスタを設定します。

NAND Flash コントローラが DMA でデータを転送する場合は、ソフトウェアで DMA_ADDR、DMA_CTRL、および DMA_CNT レジスタを設定する必要があります。これらのレジスタは、転送の前または初期化時に変更することが可能です。

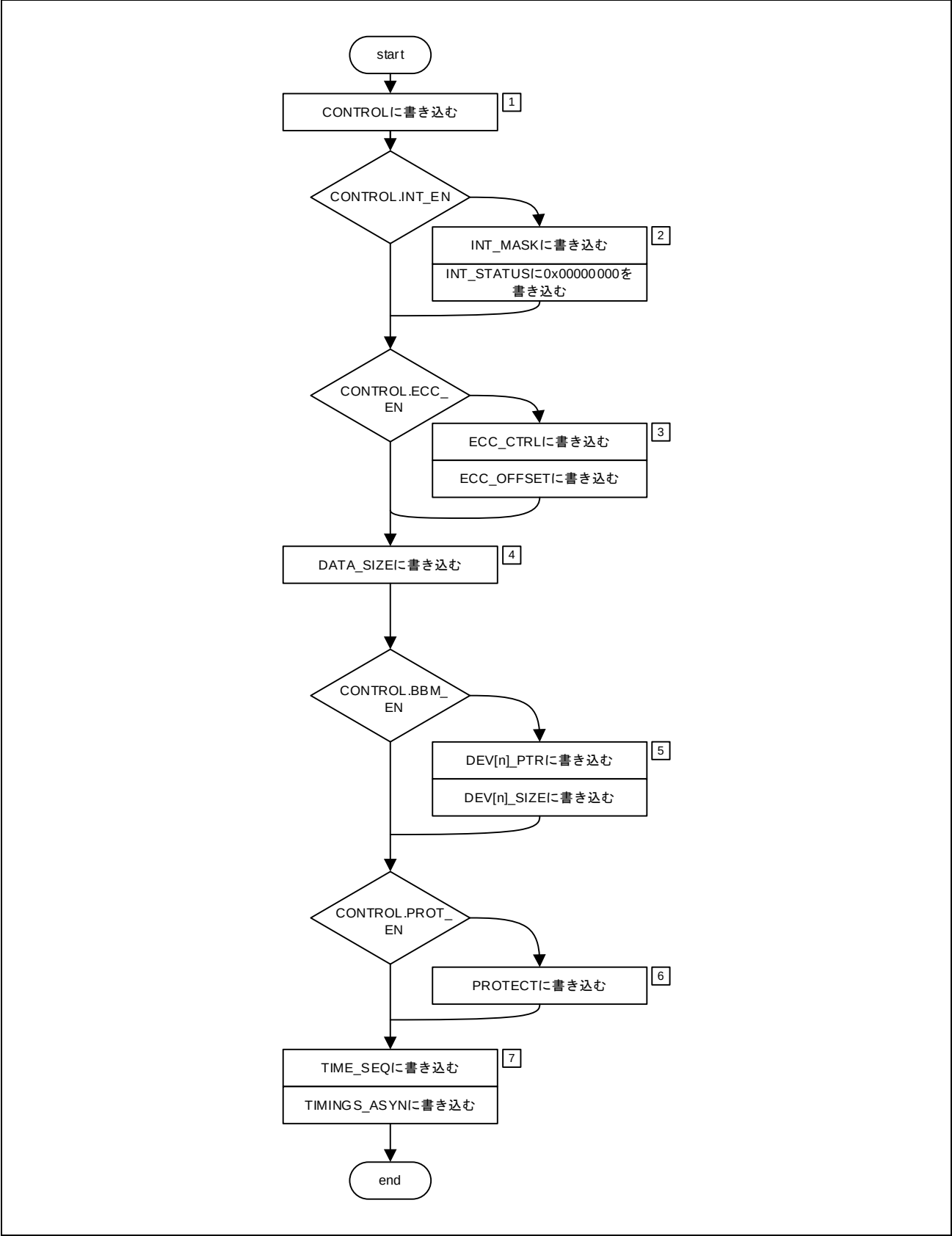


図 7.30 設定動作

7.6.1 スレーブインタフェースによる NAND Flash へのデータ送出

- (1) NAND Flash メモリデバイスにデータを送出する際は、NAND Flash コントローラを適切に設定する必要があります。設定プロセスの詳細については、前述した「7.6 設定および構成」および「7.4 レジスタの説明」を参照ください。
- (2) NAND Flash メモリのデータアドレスをアドレスレジスタ 0 (ADDR0_COL および ADDR0_ROW レジスタ) に書き込みます。読み出すデータ数を書き込みます (DATA_SIZE レジスタ)。MEM_CTRL レジスタでアクティブなメモリデバイスを選択します (MEM_CE ビット)。該当のメモリデバイスに対応する MEM[n]_WP ビット (書き込み保護が無効) を確認します。
- (3) 最も簡単なプログラムコマンドを使用するときは、COMMAND レジスタに 0x0010800C を書き込みます (PROGRAM PAGE コマンド、FIFO モジュールを選択、入力は AHBS モジュール)。
- (4) FIFO_DATA レジスタを使用して FIFO にデータを書き込みます。データは NAND Flash メモリデバイスに送出されます。

メモリがさらに処理可能な状態であれば、該当のビット (MEM[n]_ST) がセットされます。別のメモリに対してコマンドを送出する場合は、MEM[n]_ST ビットがセットされるのを待機する必要はありません。

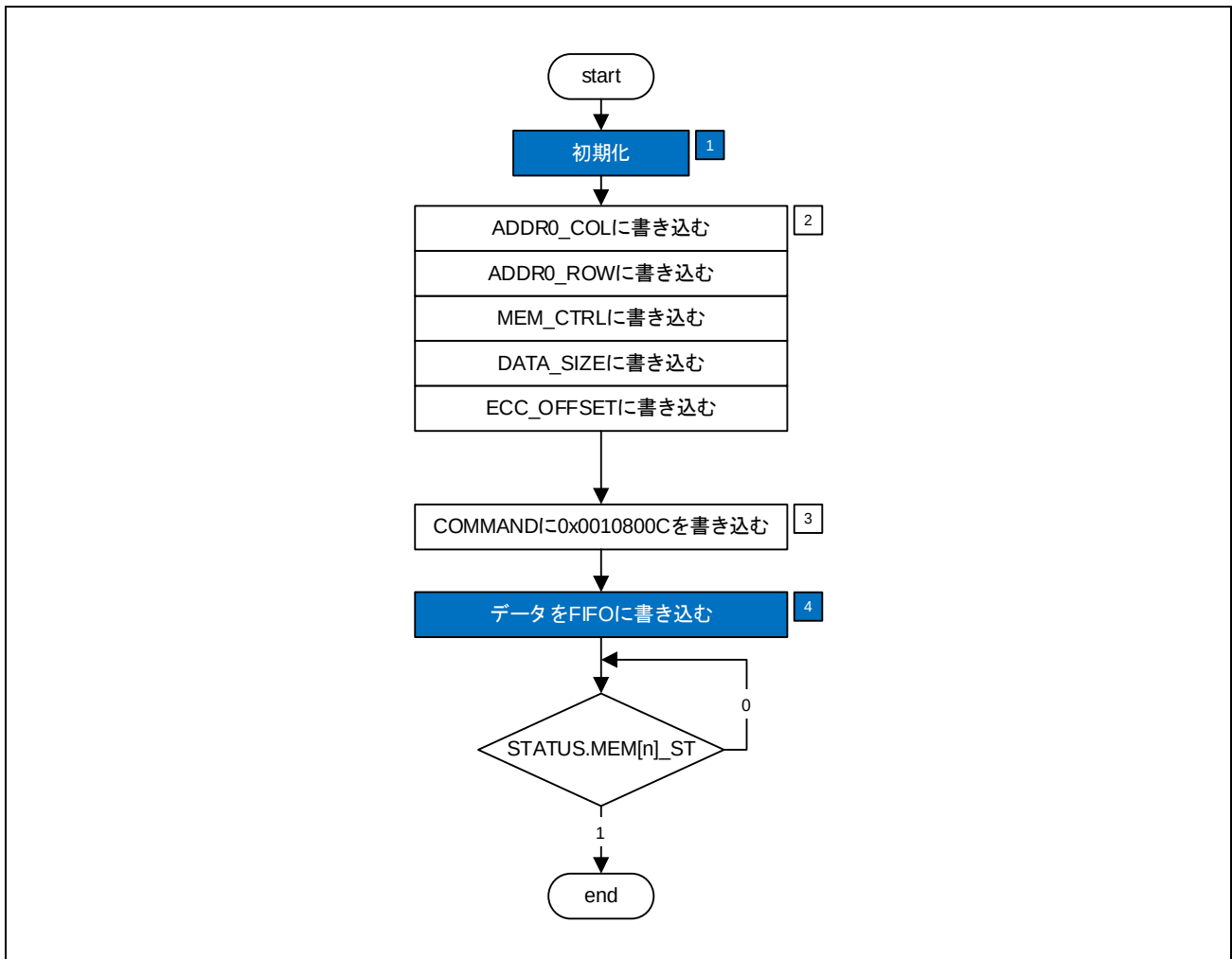


図 7.31 スレーブインタフェースによる NAND Flash メモリへのデータの書き込み

7.6.2 スレーブインタフェースによる NAND Flash からのデータ読み出し

- (1) NAND Flash メモリデバイスにデータを送出する際は、NAND Flash コントローラを適切に設定しておく必要があります。設定プロセスの詳細については、前述した「7.6 設定および構成」および「7.4 レジスタの説明」を参照ください。
- (2) NAND Flash メモリのデータアドレスをアドレスレジスタ 0 (ADDR0_COL および ADDR0_ROW レジスタ) に書き込みます。読み出すデータ数を書き込みます (DATA_SIZE レジスタ)。MEM_CTRL レジスタでアクティブなメモリデバイスを選択します (MEM_CE ビット)。
- (3) 最も簡単な読み出しコマンドを使用するときは、COMMAND レジスタに 0x3000002A を書き込みます (READ PAGE コマンド、FIFO モジュールを選択、入力は AHBS モジュール)。
- (4) FIFO_STATE レジスタを読み出して、CF_EMPTY ビットがセットされるのを待機します。その後で、FIFO_STATE レジスタの DF_R_EMPTY ビットがクリアされるのを待機します。
- (5) FIFO_DATA レジスタを使用して FIFO からデータを読み出します。

メモリがさらに処理可能な状態であれば、該当のビット (MEM[n]_ST) がセットされます。別のメモリに対してコマンドを送出する場合は、MEM[n]_ST ビットがセットされるのを待機する必要はありません。

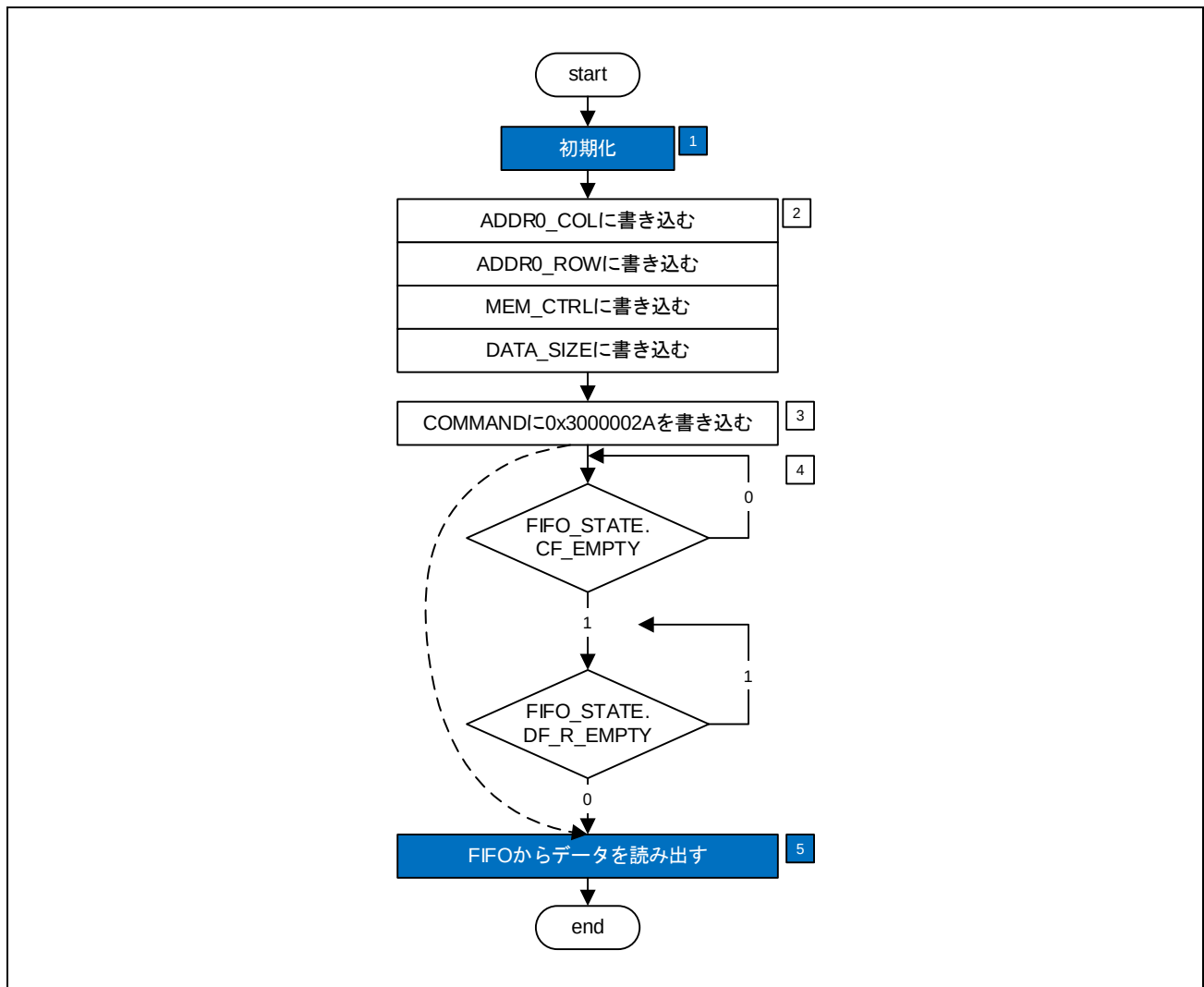


図 7.32 スレーブインタフェースによる NAND Flash メモリからのデータの読み出し

7.6.3 マスタインタフェースによる NAND Flash へのデータ送出 (DMA を使用)

- (1) NAND Flash メモリデバイスにデータを送出する際は、NAND Flash コントローラを適切に設定しておく必要があります。設定プロセスの詳細については、前述した「**7.6 設定および構成**」および「**7.4 レジスタの説明**」を参照ください。
- (2) CONTROL レジスタの INT_EN ビットをセットして、割り込みを有効にします。
- (3) INT_MASK レジスタでアクティブな割り込みを選択し、INT_STATUS レジスタに 0x00000000 を書き込んで全割り込みをクリアします。
- (4) DMA ワークモードを選択して、DMA モジュールを適切に設定します。レジスタ管理モードでは、データアドレスはシステムメモリです (DMA_ADDR レジスタ)。転送されるデータ数を DMA_CNT レジスタに書き込みます。DMA_START ビットをセットすることでコマンドシーケンスを NAND Flash メモリに送出する際に、DMA が起動します。ERR_FLAG および DMA_READY ビットは読み出し専用です。ERR_FLAG は、DMA によるデータの転送中に内部システムバスでエラーが発生したことを指示します。DMA_READY は、DMA がレディ状態であること (転送が完了) を示します。
- (5) NAND Flash メモリデバイスのデータアドレスをアドレスレジスタ 0 に書き込みます。MEM_CTRL レジスタでアクティブなメモリデバイスを選択します (MEM_CE ビット)。該当のメモリデバイスに対応する MEM[n]_WP ビット (書き込み保護が無効) を確認します。
- (6) 最も簡単なプログラムコマンドを使用するときは、COMMAND レジスタに 0x0010804C を書き込みます (PROGRAM PAGE コマンド、FIFO モジュールを選択、入力 DMA モジュール)。
- (7) メモリがさらに処理可能な状態であれば、該当のビット (MEM[n]_ST) がセットされて割り込みがアクティブになります。

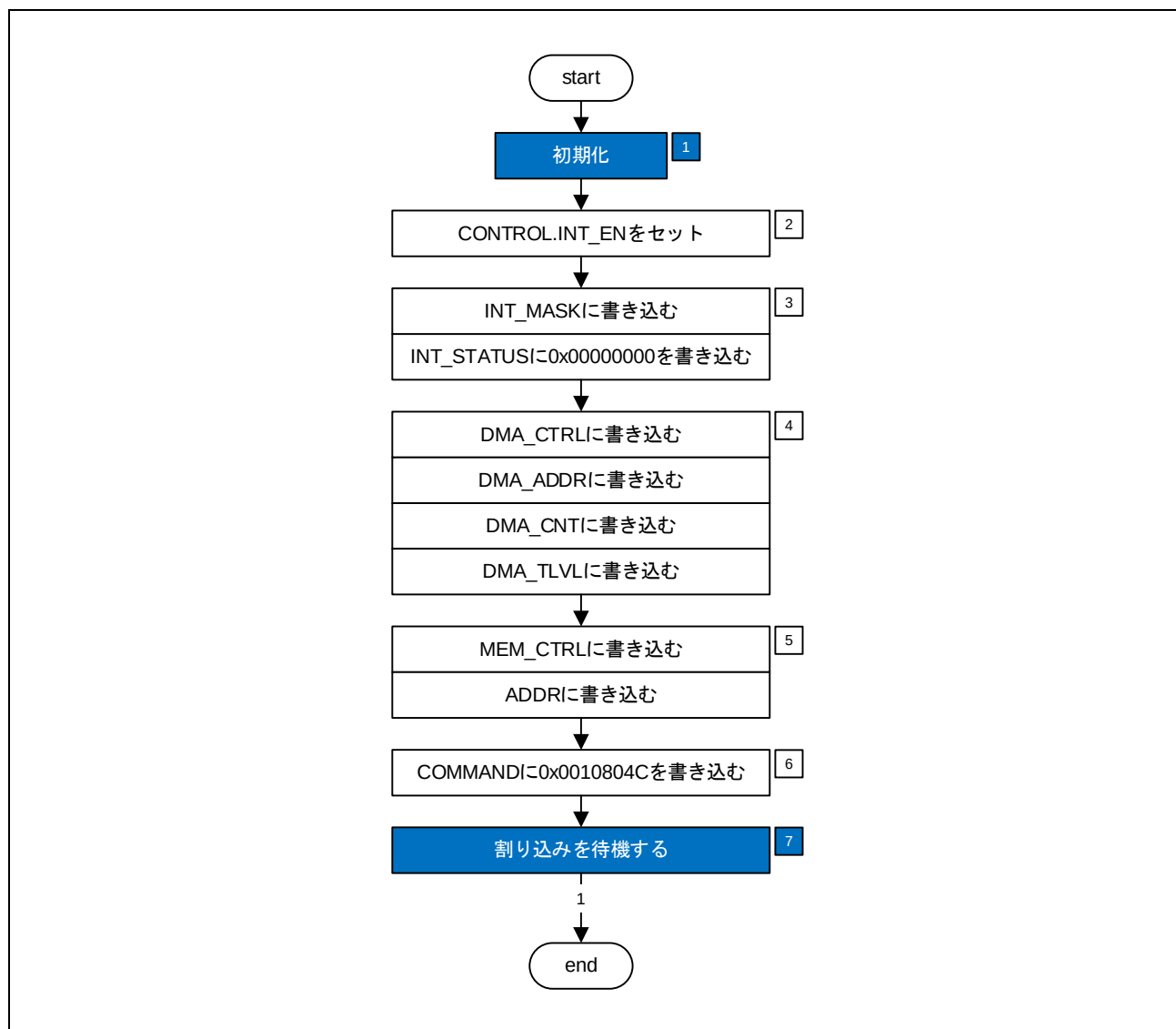


図 7.33 DMA 割り込み有効化による NAND Flash へのデータの送出

7.6.4 DMA によるメモリの複数ページ高速の書き込みおよび読み出し

- (1) NAND Flash メモリデバイスにデータを送出する際は、NAND Flash コントローラを適切に設定しておく必要があります。設定プロセスの詳細については、前述した「7.6 設定および構成」および「7.4 レジスタの説明」を参照ください。
- (2) CONTROL レジスタの INT_EN ビットをセットして、割り込みを有効にします。
- (3) INT_MASK レジスタでアクティブな割り込み (CMD_END_INT_EN) を選択し、INT_STATUS レジスタに 0x00000000 を書き込んで全割り込みをクリアします。
- (4) スキャッターギャザーモードの場合は、システムメモリにディスクリプタを書き込みます。DMA ワークモードを選択して、DMA モジュールを適切に設定します。スキャッターギャザーモードの場合は、DMA_CNT レジスタを設定します。
- (5) DMA_START ビットをセットすることでコマンドシーケンスを NAND Flash メモリに送出する際に、DMA が起動します。ERR_FLAG および DMA_READY ビットは読み出し専用です。ERR_FLAG は、DMA によるデータの転送中にシステムバスでエラーが発生したことを示します。DMA_READY は、DMA がレディ状態であること (転送が完了) を示します。
- (6) MEM_CTRL レジスタでアクティブなメモリデバイスを選択します (MEM_CE ビット)。該当のメモリデバイスに対応する MEM[n]_WP ビット (書き込み保護が無効) を確認します。ADDR0_AUTO_INCR ビットをセットして、ロウアドレス 0 レジスタの各コマンド後の自動インクリメントを有効にします。NAND Flash メモリデバイスのデータアドレスをアドレスレジスタ 0 に書き込みます。
- (7) INT_STATUS レジスタに 0x00000000 を書き込んで全割り込みをクリアします。
- (8) 最初のディスクリプタのアドレスを DMA_ADDR レジスタに書き込みます。
- (9) COMMAND レジスタに 0x0015804C (入力は DMA モジュール、FIFO モジュールを選択) を書き込むと、NAND Flash メモリデバイスに PROGRAM PAGE CACHE コマンドが書き込まれます。コントローラがさらに処理可能な状態であれば、該当の CMD_END_INT_FL ビットがセットされて割り込みがアクティベートされます。
- (10) 転送するページ数が 1 ページ以外の場合は、ステップ 7 に進みます。
- (11) データ送出シーケンスの最終コマンドとして、COMMAND レジスタに PROGRAM PAGE (0x0010804C (入力は DMA モジュール、FIFO モジュールを選択)) を書き込みます。
- (12) NAND Flash メモリデバイスの読み出しデータアドレスをアドレスレジスタ 0 に書き込みます。
- (13) システムメモリに新規のディスクリプタを書き込みます。
- (14) 同じワークモードおよびバーストタイプで DMA の処理を続ける場合は、DMA_BURST および DMA_MODE ビットを変更する必要はありません。コマンドシーケンスを NAND Flash メモリに送出したら、DMA_START ビットをセットして DMA を起動します。
- (15) COMMAND レジスタに 0x30000069 (入力は DMA モジュール、FIFO モジュールを選択) を書き込むと、NAND Flash メモリデバイスに READ PAGE コマンドが書き込まれます。
- (16) 最初のディスクリプタのアドレスを DMA_ADDR レジスタに書き込みます。
- (17) INT_STATUS レジスタに 0x00000000 を書き込んで全割り込みをクリアします。
- (18) COMMAND レジスタに 0x0000316B (入力は DMA モジュール、FIFO モジュールを選択) を書き込むと、NAND Flash メモリデバイスに READ PAGE CACHE コマンドが書き込まれます。
- (19) コントローラがさらに処理可能な状態であれば、該当の CMD_END_INT_FL ビットがセットされて割り込みがアクティベートされます。転送するページ数が 1 ページ以外の場合は、ステップ 16 に進みます。

(20) データ読み出しシーケンスの最終コマンドは READ PAGE CACHE LAST (COMMAND レジスタに 0x00003F6B を書き込む) です。

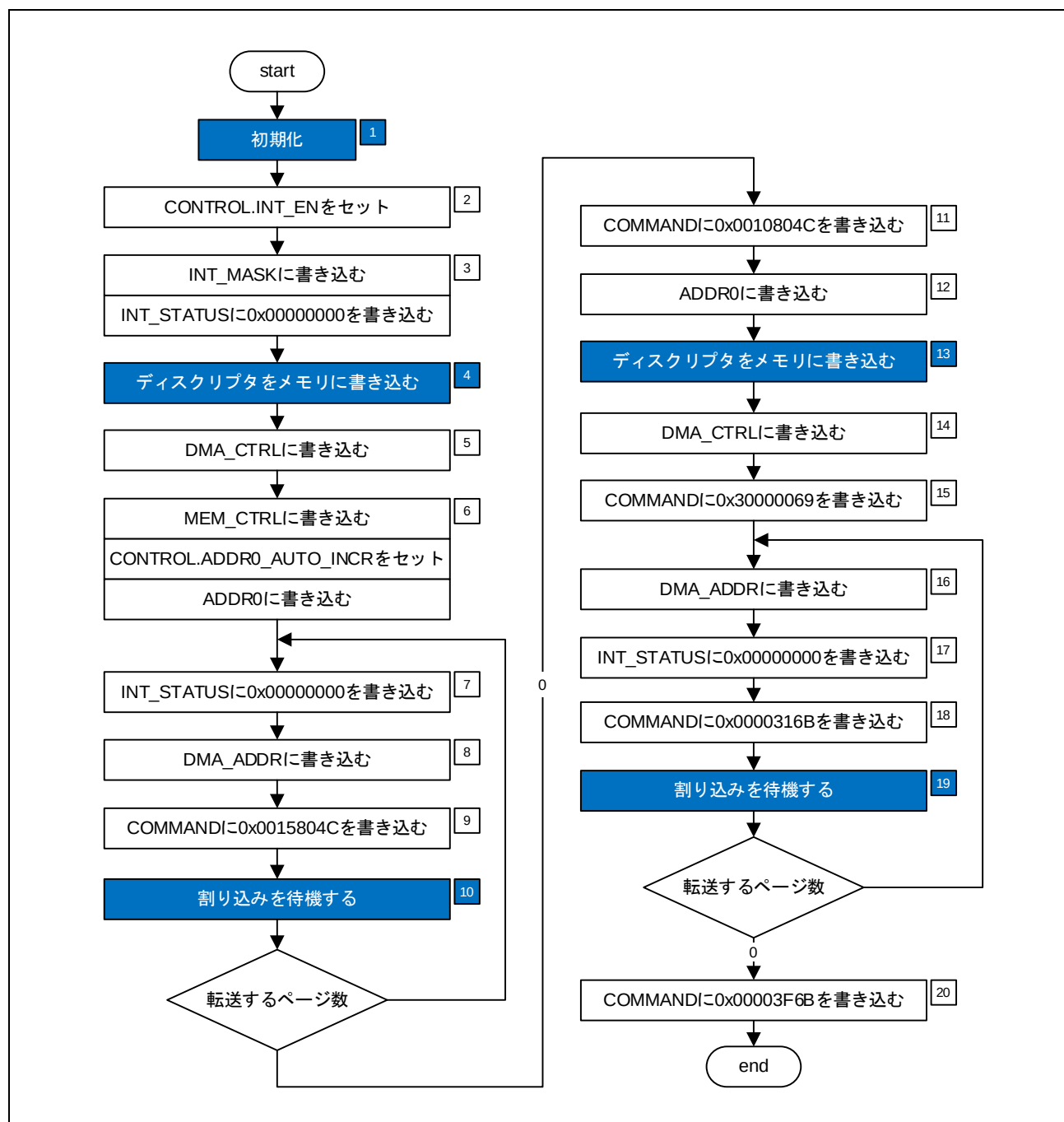


図 7.34 DMA によるメモリの複数ページ高速の書き込みおよび読み出し

7.6.5 2つの NAND Flash メモリデバイスに対するデータ書き込み

図 7.35 に、2つの NAND Flash メモリデバイスに対するデータ書き込みの例を示します。

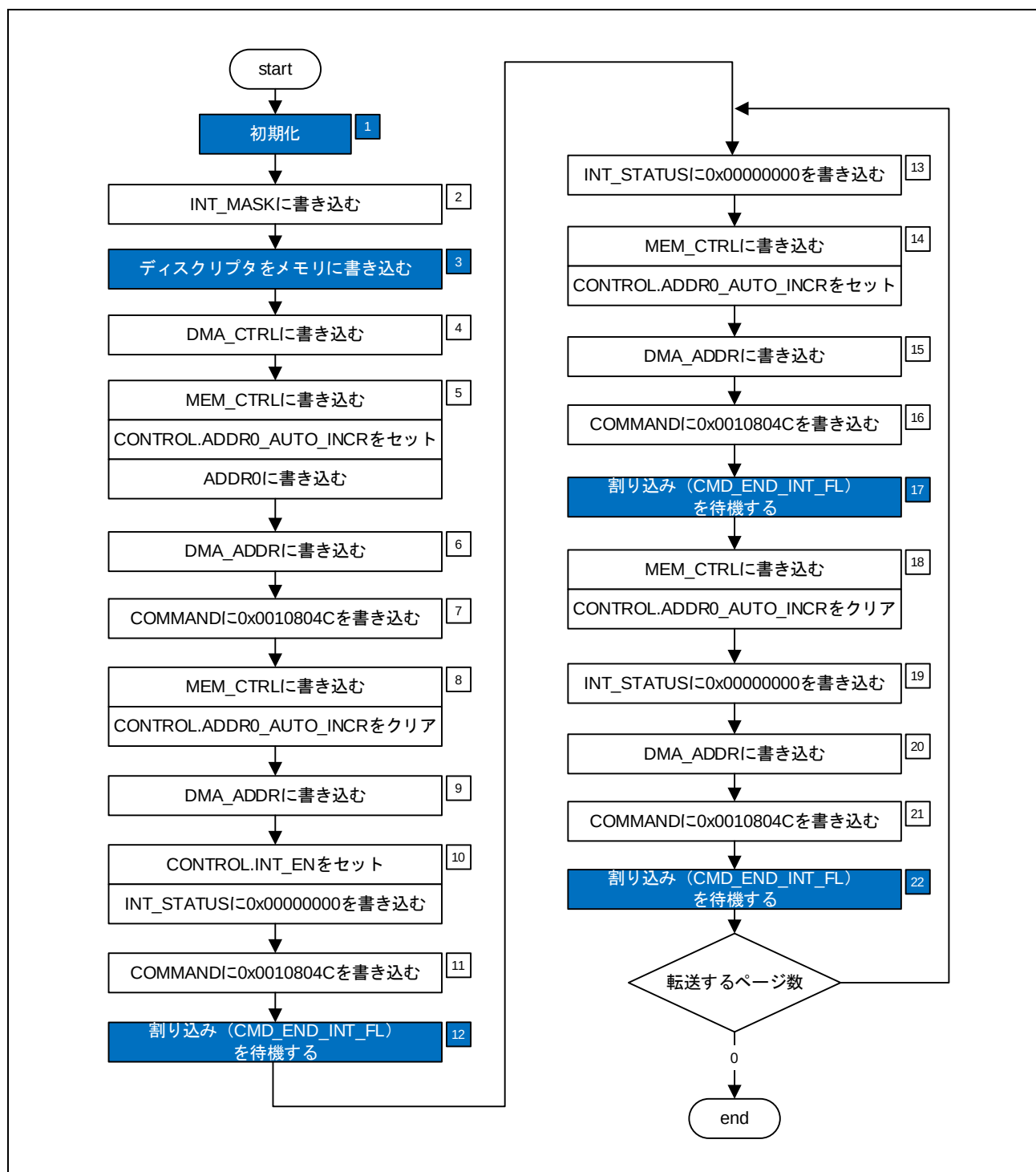


図 7.35 2つの NAND Flash メモリデバイスに対するデータ書き込み 1

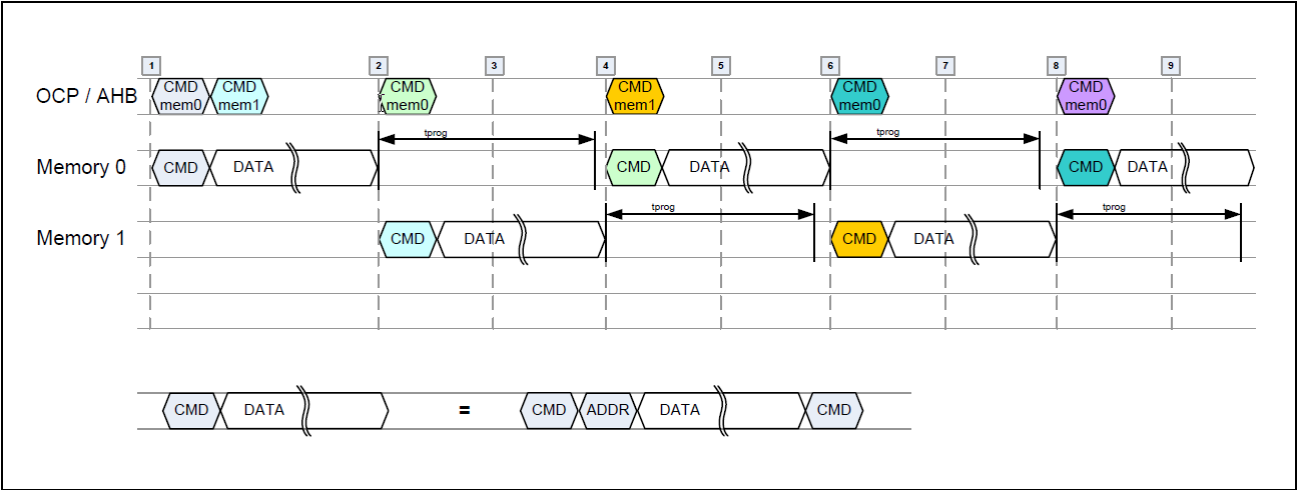


図 7.36 2 つの NAND Flash メモリデバイスに対するデータ書き込み 2

7.6.6 2 つの NAND Flash メモリデバイスからのデータ読み出し

図 7.37 に、2 つの NAND Flash メモリデバイスからのデータ読み出しの例を示します。

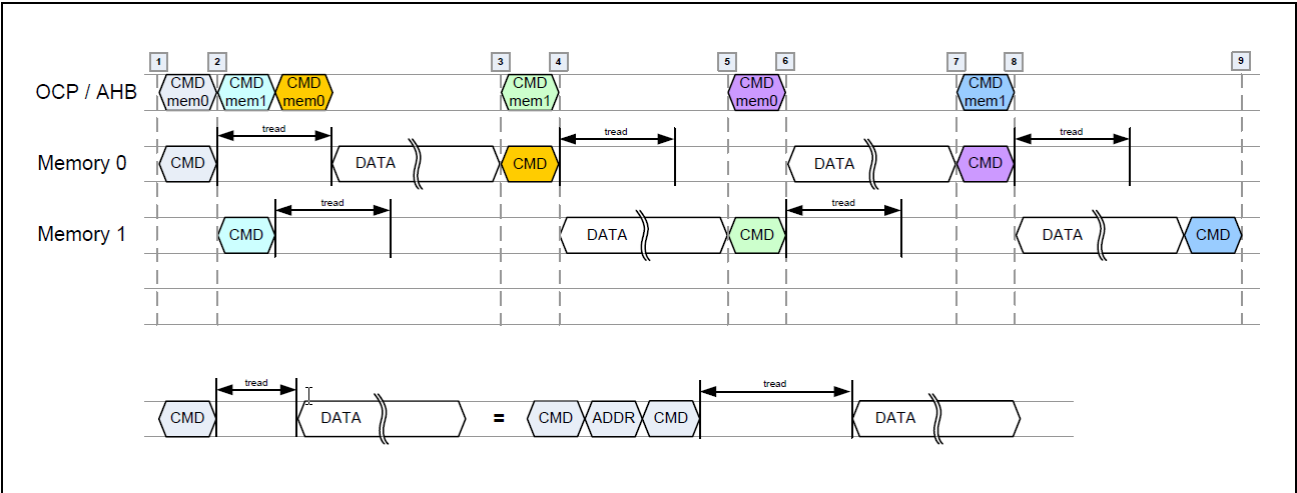


図 7.37 2 つの NAND Flash メモリデバイスからのデータ読み出し

7.6.7 4つのNAND Flash メモリデバイスに対するデータ書き込み

図 7.38 に、4つの NAND Flash メモリデバイスに対するデータ書き込みの例を示します。

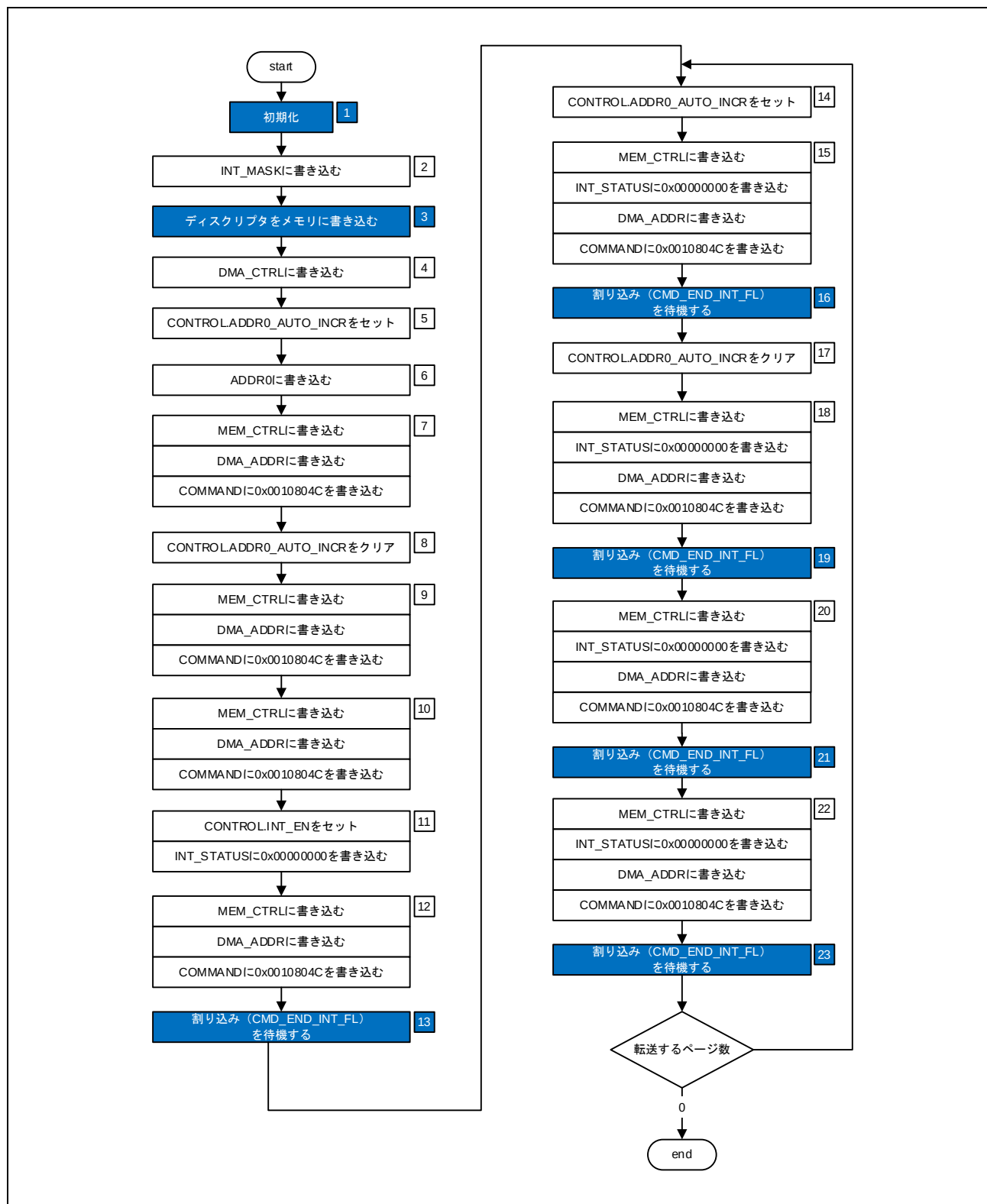


図 7.38 4つの NAND Flash メモリデバイスに対するデータ書き込み 1

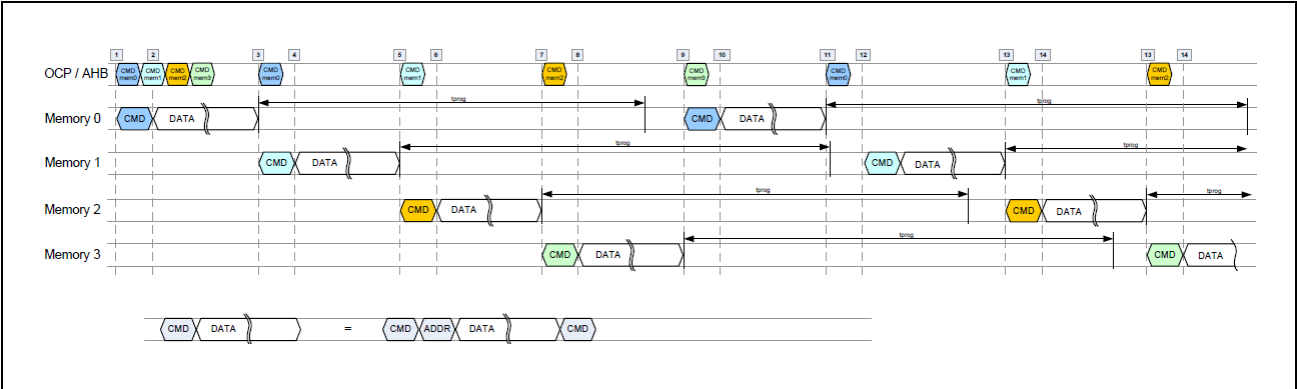


図 7.39 4 つの NAND Flash メモリデバイスに対するデータ書き込み 2

7.6.8 4 つの NAND Flash メモリデバイスからのデータ読み出し

図 7.40 に、4 つの NAND Flash メモリデバイスからのデータ読み出しの例を示します。

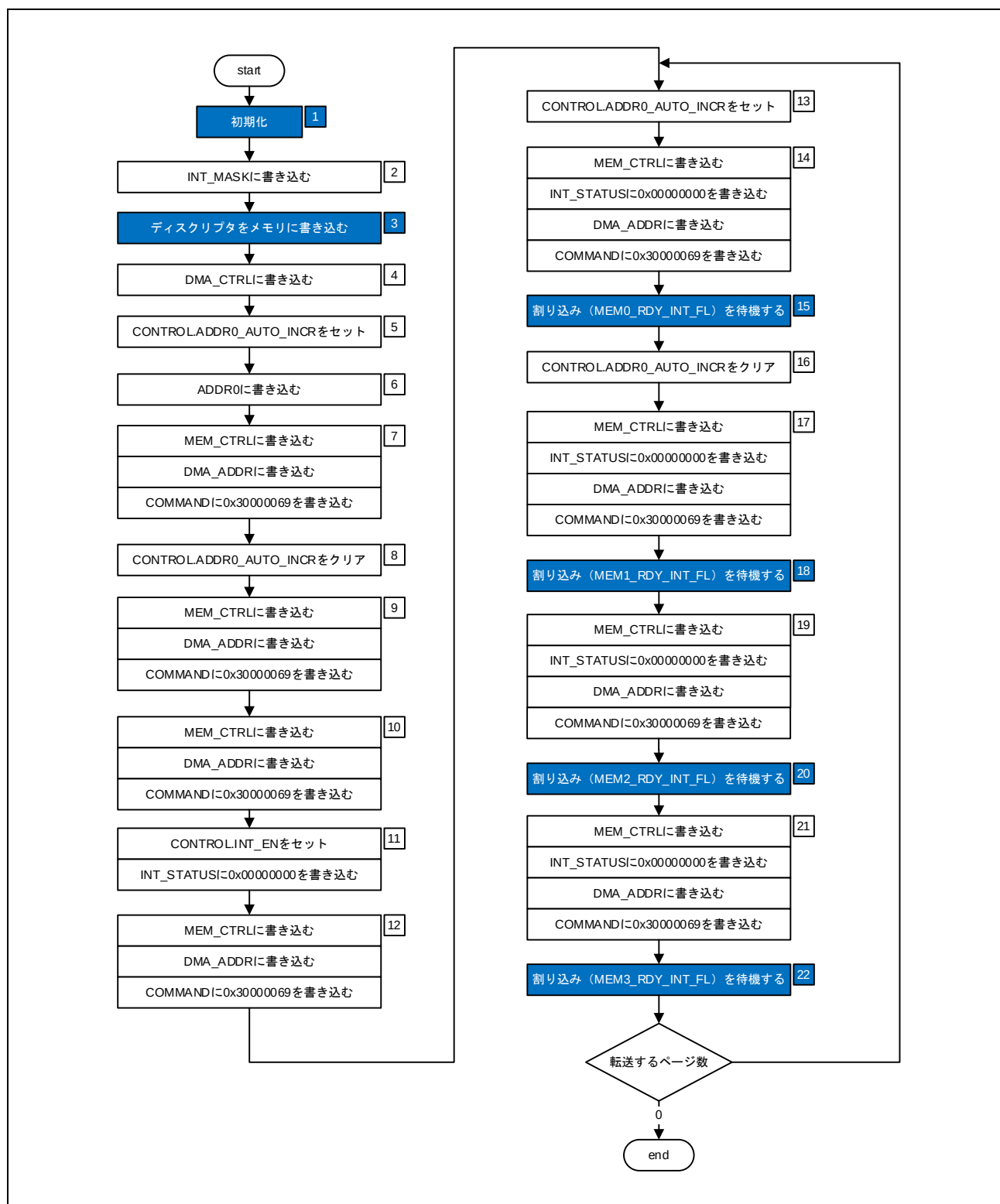


図 7.40 4 つの NAND Flash メモリデバイスからのデータ読み出し 1

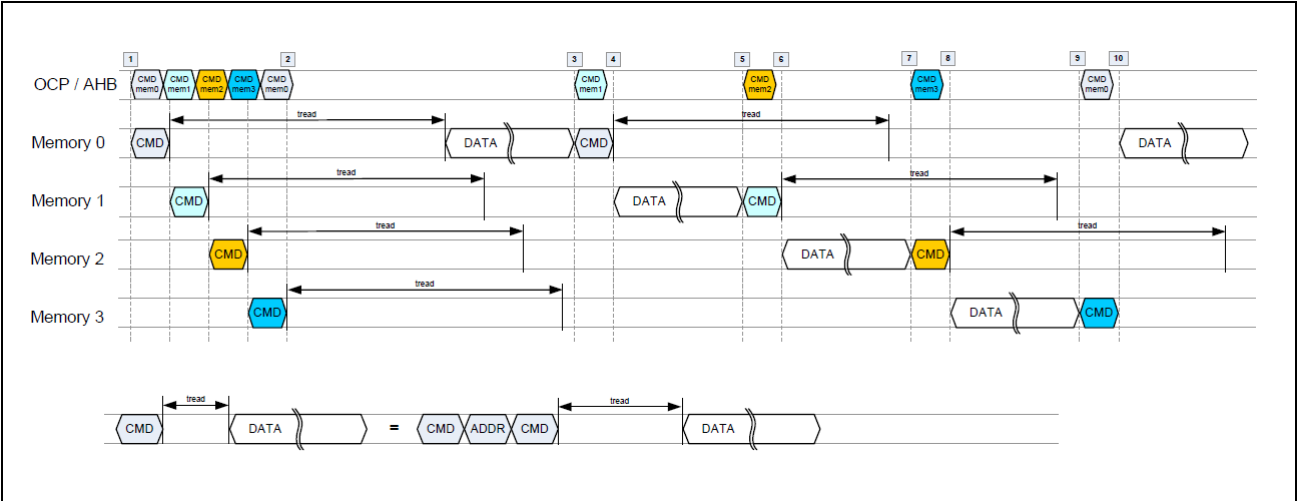


図 7.41 4 つの NAND Flash メモリデバイスからのデータ読み出し 2

7.6.9 ページの部分書き込み

ECC エンジンが有効であるときにページの一部を書き込み場合は、以下の手順に従います。

- (1) NAND Flash メモリデバイスにデータを送出する際は、NAND Flash コントローラを適切に設定しておく必要があります。設定プロセスの詳細については、前述した「**7.6 設定および構成**」および「**7.4 レジスタの説明**」を参照ください。
- (2) NAND Flash メモリのデータアドレスをアドレスレジスタ 0 (ADDR0_COL および ADDR0_ROW レジスタ) に書き込みます。ADDR0_COL レジスタに、ページの該当部分へのオフセットを書き込みます。読み出すデータ数を書き込みます (DATA_SIZE レジスタ)。この場合は部分セクタサイズを設定します。MEM_CTRL レジスタでアクティブなメモリデバイスを選択します (MEM_CE ビット)。ECC データのオフセット値を ECC_OFFSET レジスタに書き込みます。該当のメモリデバイスに対応する MEM[n]_WP ビット (書き込み保護が無効) を確認します。
- (3) 最も簡単なプログラムコマンドを使用するときは、COMMAND レジスタに 0x0010800C を書き込みます (PROGRAM PAGE コマンド、FIFO モジュールを選択、入力は AHBS モジュール)。
- (4) FIFO_DATA レジスタを使用して FIFO にデータを書き込みます。データは NAND Flash メモリデバイスに送出されます。

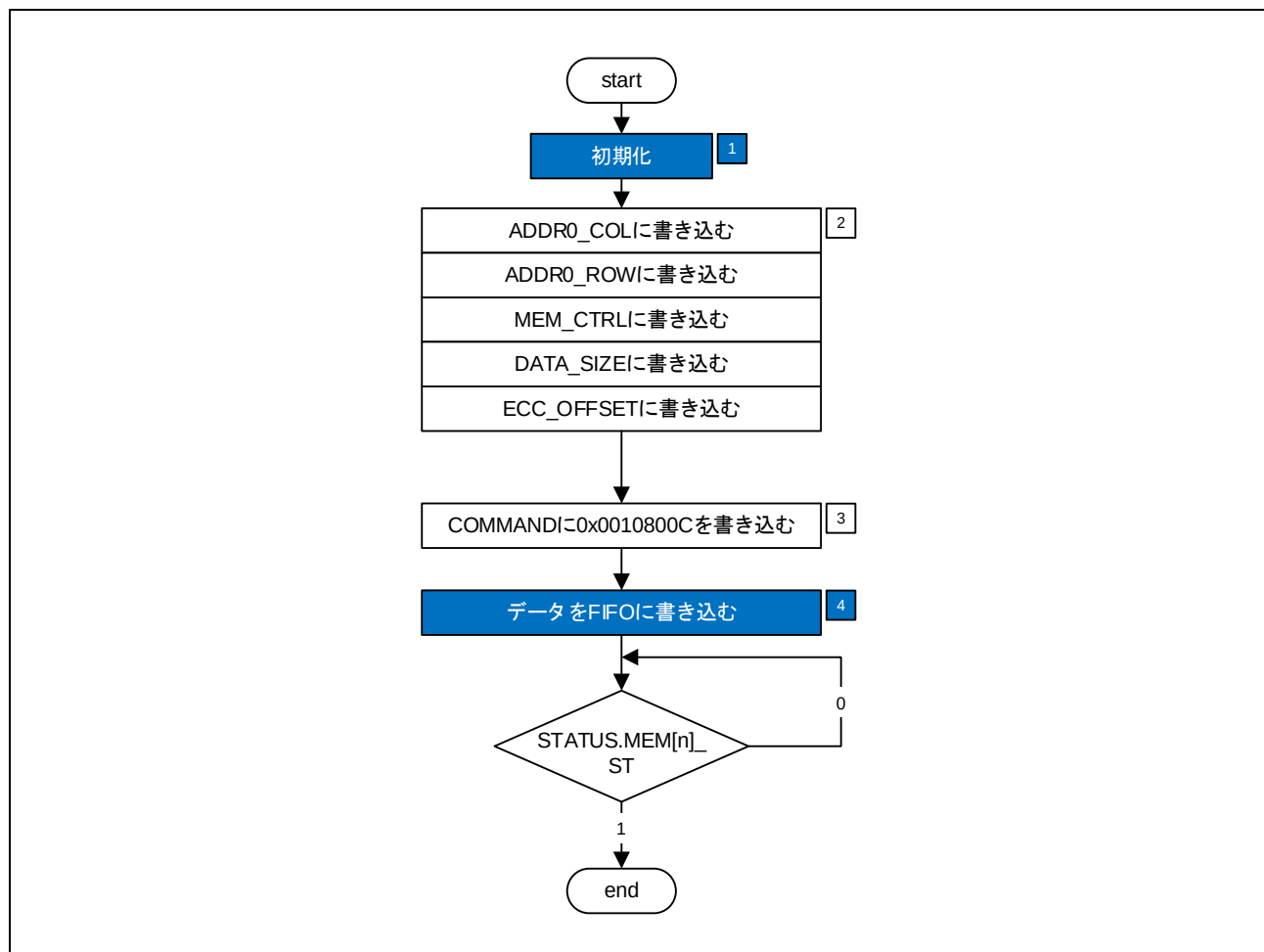


図 7.42 ページの部分書き込み

7.6.10 ページの部分読み出し

- (1) NAND Flash メモリデバイスにデータを送出する際は、NAND Flash コントローラを適切に設定しておく必要があります。設定プロセスの詳細については、前述した「7.6 設定および構成」および「7.4 レジスタの説明」を参照ください。
- (2) NAND Flash メモリのデータアドレスをアドレスレジスタ 0 (ADDR0_COL および ADDR0_ROW レジスタ) に書き込みます。ADDR0_COL レジスタに、ページの該当部分へのオフセットを書き込みます。読み出すデータ数を書き込みます (DATA_SIZE レジスタ)。この場合は部分ページサイズを設定します。MEM_CTRL レジスタでアクティブなメモリデバイスを選択します (MEM_CE ビット)。
- (3) 最も簡単な読み出しコマンドを使用するときは、COMMAND レジスタに 0x3000002A を書き込みます (READ PAGE コマンド、FIFO モジュールを選択、入力 は AHBS モジュール)。
- (4) FIFO_STATE レジスタを読み出して、CF_EMPTY ビットがセットされるのを待機します。その後で、FIFO_STATE レジスタの DF_R_EMPTY ビットがクリアされるのを待機します。
- (5) FIFO_DATA レジスタを使用して FIFO からデータを読み出します。

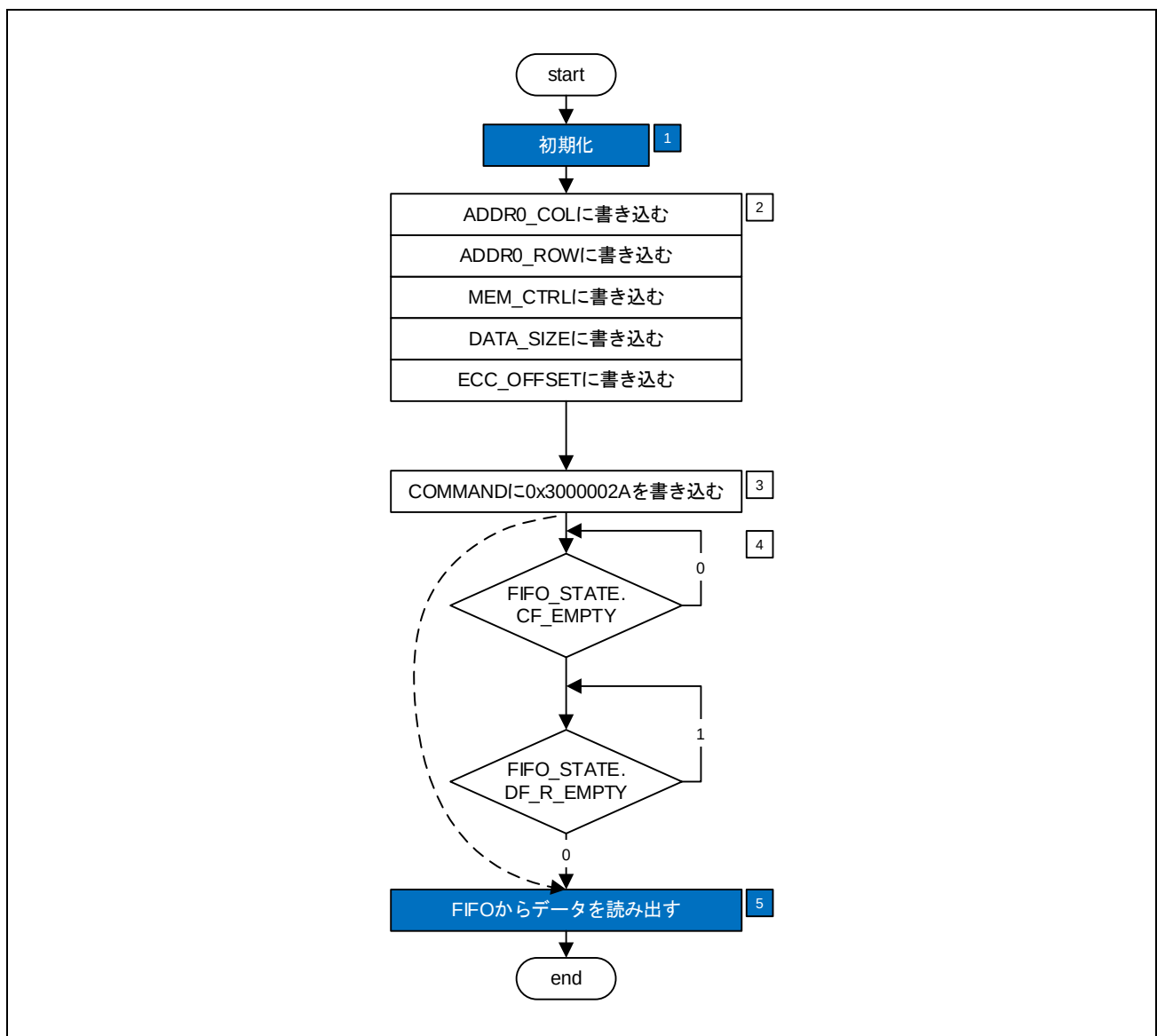


図 7.43 ページの部分読み出し

7.7 ECC モジュール

ECC モジュールは BCH アルゴリズムの 1 つをベースとしており、複数ビットエラーの訂正が可能です。NAND Flash コントローラに組み込まれた ECC エンジンには、以下の特長を備えています。

- エンコーダおよびデコーダは 256、512、1024 バイトのデータブロックの処理に対応
- 訂正機能の設定が可能：2、4、8、16、24、32 ビットエラー
- 訂正後のデータワードは 32 ビットにアライン
- 訂正ワードは 32 ビットにアライン
- 訂正ワードをデータの後に配置
- NAND Flash の制御ユニットは、有効な訂正ワードのみをターゲットの NAND Flash デバイスに書き込みます。

7.7.1 ページ内の ECC およびデータのロケーション

ページ内の情報の構成には 1 つの方法があります。一般的に、ページ内の物理的なデータ構成はソフトウェアに対して透過です。ECC および拡張された情報は、ユーザデータの全サブページの上位のページの先頭に格納されます。図 7.44 を参照ください。

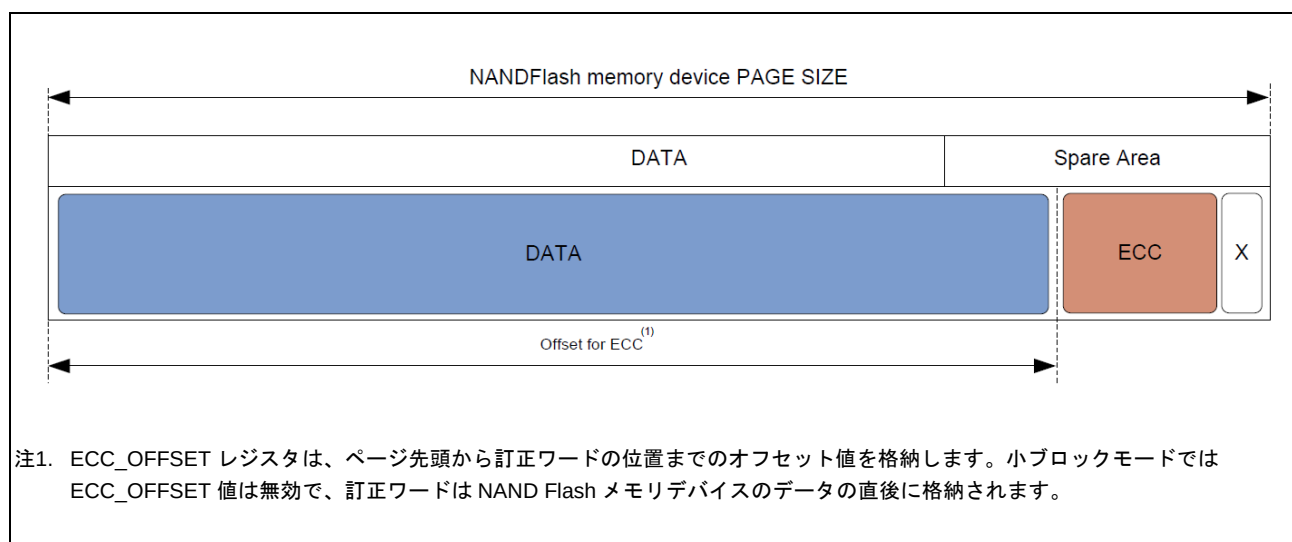


図 7.44 データ領域のデータ、予備領域の ECC

7.7.2 BCH アルゴリズムのインプリメンテーション

- データブロック長：256 バイト（小ブロックメモリ）、512 バイト、または 1024 バイト
- 2 のべき乗のブロック長の倍数によるプログラマブルなメモリページ長
- 訂正機能の設定が可能：2、4、8、16、24、32 ビットエラー
- エンコーダおよびデコーダの個別モジュール
- メモリへの書き込み時の訂正ワード計算
- メモリからのデータ読み出し時のエラー検出
- 内部パイプラインにより、1 つのデータブロックのエラー訂正と同時に、他のデータブロックのエラー検出が可能

表 7.86 訂正バイトのサイズ

訂正機能	ECC ブロックサイズ	1 つの ECC ブロック当たりの 訂正バイトサイズ (IO_WIDTH = 8)
2	256 / 512 / 1024 B	4
4	256 / 512 / 1024 B	7
8	256 / 512 / 1024 B	14
16	256 / 512 / 1024 B	28
24	256 / 512 / 1024 B	42
32	256 / 512 / 1024 B	56

7.8 使用上の注意

7.8.1 ADDR[n]_COL および ADDR[n]_ROW レジスタ

アドレスレジスタは、NAND Flash デバイスへのアクセス時に次のコマンドシーケンスが使用するアドレスを個別に格納します。

アドレス	レジスタ表記	レジスタ名
4010 2024h	ADDR0_COL	カラムアドレス 0 レジスタ
4010 2028h	ADDR0_ROW	ロウアドレス 0 レジスタ
4010 202Ch	ADDR1_COL	カラムアドレス 1 レジスタ
4010 2030h	ADDR1_ROW	ロウアドレス 1 レジスタ

備考 ADDR[n]_COL[15:0] : カラムアドレス。A15～A0 アドレスビット。
ADDR[n]_ROW[23:0] : ロウアドレス。A39～A16 アドレスビット（ONFI 仕様におけるページアドレス、ブロックアドレス、および LUN アドレス）。

注 意

NAND Flash メモリチップの総メモリサイズを指定するレジスタがないために、コントローラは ADDR[n]_COL および ADDR[n]_ROW レジスタのどのアドレスビットが重要で、どのアドレスビットを 0 にするかを判断することはできません。この理由により、ソフトウェアでこれらのレジスタに書き込む際は細心の注意が必要です。使用しないアドレスビットに不適切な値を書き込むと（‘0’ 以外の値）、メモリアクセスでエラーが発生します。

アドレスレジスタおよびメモリデバイスのアドレス幅の関係は、COMMAND レジスタのコマンドシーケンスフィールドで設定します。このフィールドは、使用するコマンドシーケンスを決定するとともに、NAND Flash メモリデバイスのアドレス指定で使用するアドレスバイト数を指定します。（例：ブロックを消去するには、ロウアドレスを収めた 3 個のアドレスサイクルを NAND Flash メモリデバイスに書き込みます。NAND Flash コントローラは、A39～A16 ビットを自動的に NAND Flash デバイスに書き込みます）。各コマンドシーケンスで NAND Flash メモリデバイスに書き込まれるアドレスサイクル数については、「7.5.2.2 コマンドシーケンスのエンコーディング」を参照ください。

アドレスレジスタに書き込むアドレスは、NAND Flash デバイスに応じてアラインさせる必要があります。使用しないビットには 0 をパディングします。

注 意

ロウアドレスレジスタの自動インクリメントが有効の場合、レジスタの有効値は STATUS レジスタの CTRL_STAT ビットがクリアされている場合のみ読み出し可能です。

表 7.87 アドレスサイクル

アドレスサイクル	FNAND_IO [0]	FNAND_IO [1]	FNAND_IO [2]	FNAND_IO [3]	FNAND_IO [4]	FNAND_IO [5]	FNAND_IO [6]	FNAND_IO [7]
第 1 サイクル	A0	A1	A2	A3	A4	A5	A6	A7
第 2 サイクル	A8	A9	A10	A11	A12	A13	A14	A15
第 3 サイクル	A16	A17	A18	A19	A20	A21	A22	A23
第 4 サイクル	A24	A25	A26	A27	A28	A29	A30	A31
第 5 サイクル	A32	A33	A34	A35	A36	A37	A38	A39

7.8.2 プロテクトレジスタ (PROTECT)

NAND Flash コントローラは、変更動作から保護する領域を指定することが可能です。

アドレス	レジスタ表記	レジスタ名
4010 2034h	PROTECT	プロテクトレジスタ

保護領域は消去または上書きすることはできません。消去／上書きを行うと常にエラーで終了します。書き込みおよび消去処理には制限（書き込みはページのみ可能、消去はブロックのみ可能）があり、保護領域はブロックサイズの単位で指定します。

PROTECT レジスタの下位ビット（ビット[15:0]）は、保護領域の開始アドレスを指定します。これらのビットは、ADDR0_ROW および ADDR1_ROW レジスタの NAND Flash メモリのブロックアドレスビットとの関連性があります。

PROTECT レジスタの上位ビット（ビット[31:16]）は、保護領域の終了アドレスを指定します。これらのビットは、ADDR0_ROW および ADDR1_ROW レジスタの NAND Flash メモリのブロックアドレスビットとの関連性があります。

図 7.45 に、PROTECT レジスタのフィールドによる保護領域の設定を示します。

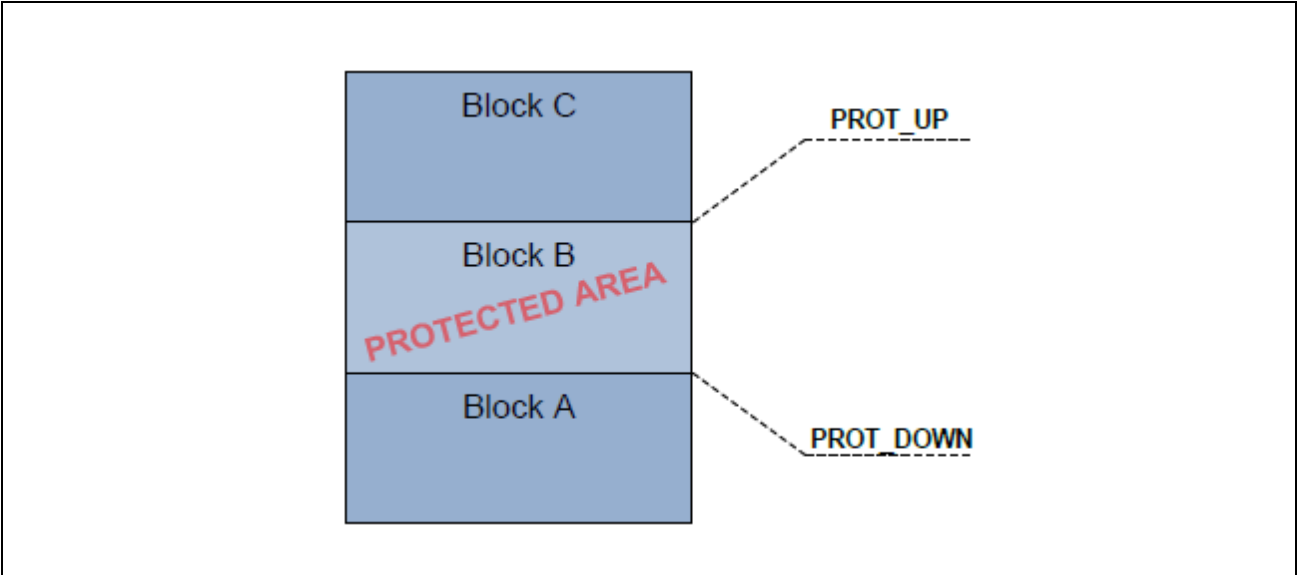


図 7.45 保護領域

7.8.3 非同期モードタイミングレジスタ (TIMINGS_ASYNC)

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。TIMINGS_ASYNC レジスタは 2 つの波形設定パラメータを指定します。

アドレス	レジスタ表記	レジスタ名
4010 2088h	TIMINGS_ASYNC	非同期モードタイミングレジスタ

コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えたものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。

以下の図に、NAND Flash インタフェースに対するタイミングパラメータの設定を示します。図の上側は読み出し転送、下側は書き込み転送を表します。

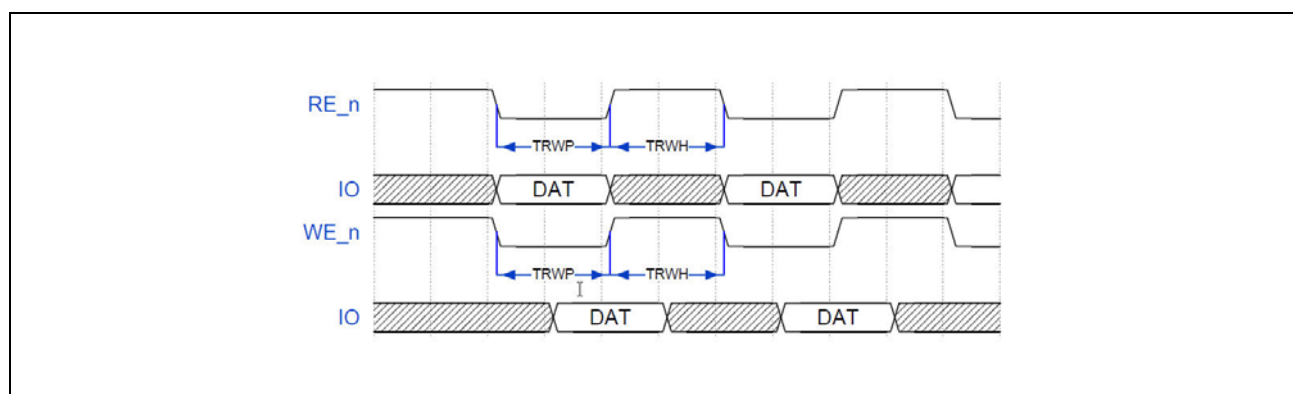


図 7.46 タイミングパラメータ (ASYNC)

7.8.4 コマンドシーケンスタイミングレジスタ 1 (TIME_SEQ_1)

NAND Flash コントローラは、幅広いホストクロックレートに対応するように設計されています。また、柔軟性を最大限に高めるために複数のタイミングパラメータが用意されています。TIME_SEQ_1 レジスタはいくつかの波形設定パラメータを指定します。

アドレス	レジスタ表記	レジスタ名
4010 2094h	TIME_SEQ_1	コマンドシーケンスタイミングレジスタ 1

コントローラの生成する値は、本レジスタに書き込まれる最小値に 1 を加えた値ものになります。すべてのタイミングは NAND_ECLK クロック信号により生成されます。

以下の図に、NAND Flash インタフェースに対する t_{ww} タイミングパラメータの設定を示します。

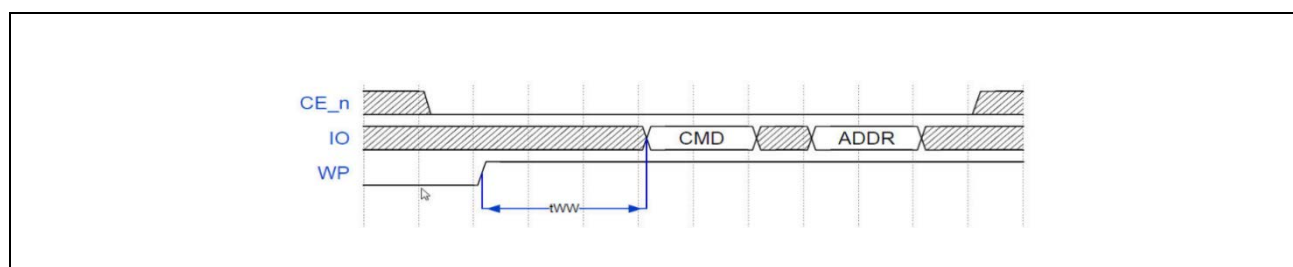


図 7.47 タイミングパラメータ (t_{ww})

第8章 Quad IO SPI

本書は Cadence Design System Inc が著作権を有する内容を含みます（2012-2016）。無断複写・転載を禁じます。使用許諾を取得済みです。

8.1 概要

- 最大 2 ユニット
- Single/Dual/Quad I/O 命令
- フラッシュデータへの「ダイレクト」アクセスをサポート
- ほとんどの QSPI フラッシュデバイスで利用可能なリード高速化モード（NoCMD モード）をサポート
- リマップアドレスでのダイレクトアクセス
- プログラマブルデバイスサイズ
- チップセレクト信号：最大 4 本
- 1/2/3/4 バイトアドレス指定
- 書き込みページサイズ設定可能（デフォルト：256 バイト）
- プログラマブルデバイスブロックサイズ
- プログラマブルな書き込み保護領域
- 送受信 FIFO：16 バイト
- 送受信 FIFO へのダイレクトアクセス（レガシーモード）
- 任意のフラッシュコマンドを実行する制御レジスタ
- ダイレクトアクセスでのバーストライト対応
- Wrap 動作のバーストリードは非サポート

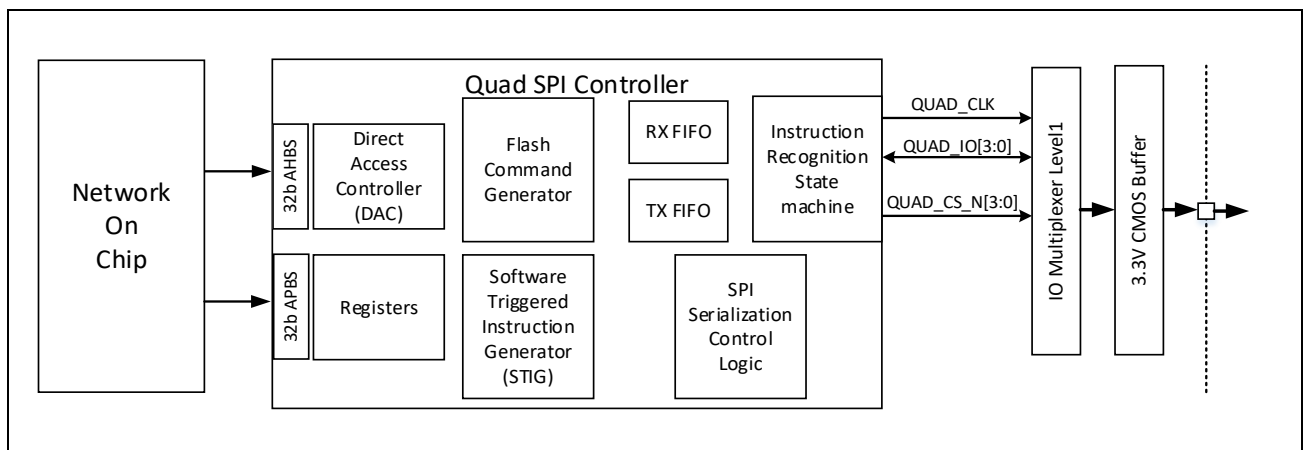


図 8.1 Quad SPI コントローラのインタフェースおよび接続

8.2 信号インタフェース

信号名	入出力	説明
クロック		
QSPI[m]_HCLK	入力	内部バスクロック (AHB)
QSPI[m]_PCLK	入力	内部バスクロック (APB)
QSPI[m]_REFCLK	入力	外部信号の基準クロック
割り込み		
QSPI[m]_Int	出力	レベル検出割り込み、アクティブ High
外部信号		
QUAD[m]_CLK	出力	マスタークロック出力
QUAD[m]_IO[3:0]	入力／出力	データ入力／出力
QUAD[m]_CS_N[3:0]	出力	チップセレクト

備考 m=1 または 2
本章ではインデックス省略形式を使用します。例) QUAD_CLK

注 意

QUAD[m]_IO[3] : Quad I/O 動作しない場合のデバイスへの HOLD 信号出力はサポートしません。

8.3 レジスタマップ

表 8.1 QSPI1 のレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4000 5000h	config_reg	QSPI 設定レジスタ
4000 5004h	dev_instr_rd_config_reg	デバイス読み出し命令設定レジスタ
4000 5008h	dev_instr_wr_config_reg	デバイス書き込み命令設定レジスタ
4000 500Ch	dev_delay_reg	QSPI デバイス遅延レジスタ
4000 5010h	rd_data_capture_reg	読み出しデータキャプチャレジスタ
4000 5014h	dev_size_config_reg	デバイスサイズ設定レジスタ
4000 5024h	remap_addr_reg	アドレス再マッピングレジスタ
4000 5028h	mode_bit_config_reg	モードビット設定レジスタ
4000 5030h	tx_thresh_reg	TX 閾値レジスタ
4000 5034h	rx_thresh_reg	RX 閾値レジスタ
4000 5038h	write_completion_ctrl_reg	書き込み完了制御レジスタ
4000 503Ch	no_of_polls_bef_exp_reg	ポーリング終了レジスタ
4000 5040h	irq_status_reg	割り込みステータスレジスタ
4000 5044h	irq_mask_reg	割り込みマスクレジスタ
4000 5050h	lower_wr_prot_reg	書き込み保護レジスタ（下位）
4000 5054h	upper_wr_prot_reg	書き込み保護レジスタ（上位）
4000 5058h	wr_prot_ctrl_reg	書き込み保護制御レジスタ
4000 5090h	flash_cmd_ctrl_reg	フラッシュコマンド制御レジスタ
4000 5094h	flash_cmd_addr_reg	フラッシュコマンドアドレスレジスタ
4000 50A0h	flash_rd_data_lower_reg	フラッシュコマンド読み出しデータレジスタ（下位）
4000 50A4h	flash_rd_data_upper_reg	フラッシュコマンド読み出しデータレジスタ（上位）
4000 50A8h	flash_wr_data_lower_reg	フラッシュコマンド書き込みデータレジスタ（下位）
4000 50ACh	flash_wr_data_upper_reg	フラッシュコマンド書き込みデータレジスタ（上位）
4000 50B0h	polling_flash_status_reg	ポーリングフラッシュステータスレジスタ
4000 50FCh	module_id_reg	モジュール ID レジスタ

表 8.2 QSPI2 のレジスタマップ (RZ/N1S のみ)

アドレス	レジスタシンボル	レジスタ名
4000 E000h	config_reg	QSPI 設定レジスタ
4000 E004h	dev_instr_rd_config_reg	デバイス読み出し命令設定レジスタ
4000 E008h	dev_instr_wr_config_reg	デバイス書き込み命令設定レジスタ
4000 E00Ch	dev_delay_reg	QSPI デバイス遅延レジスタ
4000 E010h	rd_data_capture_reg	読み出しデータキャプチャレジスタ
4000 E014h	dev_size_config_reg	デバイスサイズ設定レジスタ
4000 E024h	remap_addr_reg	アドレス再マッピングレジスタ
4000 E028h	mode_bit_config_reg	モードビット設定レジスタ
4000 E030h	tx_thresh_reg	TX 閾値レジスタ
4000 E034h	rx_thresh_reg	RX 閾値レジスタ
4000 E038h	write_completion_ctrl_reg	書き込み完了制御レジスタ
4000 E03Ch	no_of_polls_bef_exp_reg	ポーリング終了レジスタ
4000 E040h	irq_status_reg	割り込みステータスレジスタ
4000 E044h	irq_mask_reg	割り込みマスクレジスタ
4000 E050h	lower_wr_prot_reg	書き込み保護レジスタ (下位)
4000 E054h	upper_wr_prot_reg	書き込み保護レジスタ (上位)
4000 E058h	wr_prot_ctrl_reg	書き込み保護制御レジスタ
4000 E090h	flash_cmd_ctrl_reg	フラッシュコマンド制御レジスタ
4000 E094h	flash_cmd_addr_reg	フラッシュコマンドアドレスレジスタ
4000 E0A0h	flash_rd_data_lower_reg	フラッシュコマンド読み出しデータレジスタ (下位)
4000 E0A4h	flash_rd_data_upper_reg	フラッシュコマンド読み出しデータレジスタ (上位)
4000 E0A8h	flash_wr_data_lower_reg	フラッシュコマンド書き込みデータレジスタ (下位)
4000 E0ACh	flash_wr_data_upper_reg	フラッシュコマンド書き込みデータレジスタ (上位)
4000 E0B0h	polling_flash_status_reg	ポーリングフラッシュステータスレジスタ
4000 E0FCh	module_id_reg	モジュール ID レジスタ

8.4 レジスタの説明

8.4.1 config_reg — QSPI 設定レジスタ

アドレス		4000 5000h (QSPI1)														
		4000 E000h (QSPI2)														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	qspi_idl_e_fld	—	—	—	—	—	—	—	enable_ahb_decoder_fld	mstr_baud_div_fld				enter_xip_mode_imm_fld	enter_xip_mode_p_fld	enb_ahb_addr_remove_fld
リセット後の値	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	wr_prot_flash_fld	periph_cs_lines_fld				periph_sel_decoder_fld	enb_legacy_ip_mode_fld	enb_dir_acc_ctl_r_fld	—	—	—	—	sel_clk_phase_fld	sel_clk_pol_fld	enb_qspi_fld
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1

表 8.3 config_reg レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W												
b31	qspi_idle_fld	シリアルインタフェースと QSPI バイブラインがアイドル状態ステータス読み出し専用ビット。 リタイミングされているため固有の遅延があります。 0：非アイドル状態 1：アイドル状態	R												
b30～b24	予約ビット		R												
b23	enable_ahb_decoder_fld	アドレスデコーダのイネーブル（ダイレクトアクセスモードのみ） アドレスデコーダは使用禁止となります。 初期値のまま使用してください。	R/W												
b22～b19	mstr_baud_div_fld	ボーレート分周設定（4～32） $\text{SPI ボーレート} = (\text{QSPI\_REFCLK}) / ((\text{mstr\_baud\_div\_fld} + 1) \times 2)$ <table><tr><td>mstr_baud_div_fld</td><td>実際の除数</td></tr><tr><td>0000b</td><td>禁止</td></tr><tr><td>0001b</td><td>4</td></tr><tr><td>...</td><td>...</td></tr><tr><td>1110b</td><td>30</td></tr><tr><td>1111b</td><td>32</td></tr></table> Quad SPI コントローラを有効化する前に本ビットを設定します。	mstr_baud_div_fld	実際の除数	0000b	禁止	0001b	4	...	...	1110b	30	1111b	32	R/W
mstr_baud_div_fld	実際の除数														
0000b	禁止														
0001b	4														
...	...														
1110b	30														
1111b	32														
b18	enter_xip_mode_imm_fld	ただちに NoCMD モードへ移行 詳細は、「8.6.5 NoCMD モードへの移行と終了」を参照ください。 0：NoCMD モードが有効であれば、0 にセットすると、次の読み出し命令の完了後にコントローラが NoCMD モードから抜けます。 1：ただちにデバイスに NoCMD モードでアクセスします。 外部デバイスが NoCMD モードのとき、本レジスタを使用すること。コントローラは、次の読み出し命令を NoCMD モードで行うため、読み出しオペコードの転送を行いません。 備考） Quad SPI コントローラの NoCMD モードを終了するには、本ビットを 0 にセットします。接続デバイスで有効となるのは次の読み出し実行後となるため、本ビットを 0 にセット後 1 回以上読み出しを実行する必要があります。 本ビットはハードウェアで同期化され、コントローラが動作可能なとき変更可能です。enter_xip_mode_fld ビットと同時に 1 を書き込まないでください。	R/W												

表 8.3 config_reg レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b17	enter_xip_mode_fld	次の読み出しで NoCMD モードへ移行 詳細は、「 8.6.5 NoCMD モードへの移行と終了 」を参照ください。 0 : NoCMD モードが有効であれば 0 にセットすると、次の読み出し命令の完了後にコントローラが NoCMD モードから抜けます。 1 : NoCMD モードが無効であれば、1 にセットすると次の読み出し命令の後 NoCMD モードとなります。デバイスが NoCMD モードに移行できるように、モードビットを含む適切なコマンドシーケンスを送信します。 フラッシュデバイスが NoCMD モードに移行可能な状態を確認した後で、本レジスタを使用してください。 備考) Quad SPI コントローラの NoCMD モードを終了するには、本ビットを 0 にセットします。接続デバイスで有効となるのは次の読み出し実行後となるため、本ビットを 0 にセット後 1 回以上読み出しを実行する必要があります。 本ビットはハードウェアで同期化され、コントローラが動作可能なとき変更可能です。enter_xip_mode_imm_fld ビットと同時に 1 を書き込まないでください。	R/W
b16	enb_ahb_addr_remap_fld	AHB アドレス再マッピングイネーブル (ダイレクトアクセスモードのみ) 1 にセットすると、メモリマップアドレスを再マッピング (アドレス+N) してフラッシュデバイスに送信します。N は、アドレス再マッピングレジスタに格納された値です。 本ビットはハードウェアで同期化され、コントローラが動作可能なとき変更可能です。	R/W
b15	予約ビット		R
b14	wr_prot_flash_fld	フラッシュデバイスの書き込み保護ピンを駆動するために設定されます。 この WP ピンは、Single または Dual 転送モードでのみ有効です。Quad 転送の実行中、この WP ピンはデータを転送するために使われるので、本ビットの設定値はすべて無視されます。本ビットはハードウェアで同期化され、コントローラが動作可能なとき変更可能です。 0 : 書き込み保護無効 1 : 書き込み保護有効	R/W
b13~b10	periph_cs_lines_fld	ペリフェラルチップセレクトライン periph_sel_dec_fld = 0 の場合 xxx0b : QUAD_CS_N[3:0] = 1110b xx01b : QUAD_CS_N[3:0] = 1101b x011b : QUAD_CS_N[3:0] = 1011b 0111b : QUAD_CS_N[3:0] = 0111b 1111b : QUAD_CS_N[3:0] = 1111b (ペリフェラルの選択なし) periph_sel_dec_fld = 1 の場合 QUAD_CS_N[3:0] = periph_cs_lines_fld	R/W
b9	periph_sel_dec_fld	ペリフェラル選択デコード 0 : 4 つのビット QUAD_CS_N[3:0] のうち 1 つのみがアクティブ 1 : QUAD_CS_N[3:0] = periph_cs_lines_fld	R/W
b8	enb_legacy_ip_mode_fld	レガシー IP モードイネーブル 0 : データ転送でダイレクトアクセスまたは STIG インタフェースを使用 1 : レガシーモード有効。AHB インタフェースを経由してレガシーモードでフラッシュデバイスへアクセスします (詳細については、「 8.6.4 レガシー SPI モードの使用 」を参照ください)。 本ビットはハードウェアで同期化され、コントローラが動作可能なとき変更可能です。	R/W
b7	enb_dir_acc_ctrl_fld	ダイレクトアクセスコントローラを有効化 0 : データワードの転送が完了すれば、ダイレクトアクセスコントローラを無効化 1 : ダイレクトアクセスコントローラを有効化 ダイレクトアクセスコントローラを無効にすると、AHB アクセスはエラー応答で終了します。本ビットはハードウェアで同期化され、コントローラが動作可能なとき変更可能です。	R/W
b6~b3	予約ビット		R

表 8.3 config_reg レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b2	sel_clk_phase_fld	CPHA 0 : クロック奇数エッジでデータサンプル 1 : クロック偶数エッジでデータサンプル	R/W
b1	sel_clk_pol_fld	CPOL 0 : QUAD_CLK はローで静止 1 : QUAD_CLK はハイで静止	R/W
b0	enb_qspi_fld	QSPI イネーブル 0 : データワードの転送が完了すれば、QSPI を無効化 1 : QSPI を有効化 QSPI イネーブル=0 のとき、すべての出力イネーブルは非アクティブとなり、すべてのピンは入力モードに設定されます。	R/W

8.4.2 dev_instr_rd_config_reg — デバイス読み出し命令設定レジスタ

アドレス 4000 5004h (QSPI1)
4000 E004h (QSPI2)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	dummy_rd_clk_cycles_fld				—	—	—	mode_bit_enable_fld	—	—	—	—	data_xfer_type_ext_mode_fld
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	addr_xfer_type_std_mode_fld	—	—	instr_type_fld	rd_opcode_non_xip_fld									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

表 8.4 dev_instr_rd_config_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b29	予約ビット		R
b28～b24	dummy_rd_clk_cycles_fld	ダミー読み出しクロックサイクル 読み出し命令でデバイスが必要とするダミークロックサイクル数	R/W
b23～b21	予約ビット		R
b20	mode_bit_enable_fld	モードビットイネーブル モードビット設定レジスタで定義されたモードビットをアドレスの後に送信する場合に 1 にセットします。	R/W
b19, b18	予約ビット		R
b17, b16	data_xfer_type_ext_mode_fld	instr_type_fld = 0 時のデータ転送タイプ 0 : SIO モード、データは QUAD_IO0 へ送信し、QUAD_IO1 から受信 1 : Dual 入力/出力命令で使用时、QUAD_IO[1:0]を入出力に使用 2 : Quad 入力/出力命令で使用时、QUAD_IO[3:0]を入出力に使用 3 : 予約済（未使用） instr_type_fld = 0 以外の時は、このビットは無視されます。	R/W
b15, b14	予約ビット		R
b13, b12	addr_xfer_type_std_mode_fld	instr_type_fld = 0 時のアドレス転送タイプ 0 : アドレスを QUAD_IO0 で転送 1 : アドレスを QUAD_IO[1:0]で転送 2 : アドレスを QUAD_IO[3:0]で転送 3 : 予約済（未使用） instr_type_fld = 0 以外の時は、このビットは無視されます。	R/W
b11, b10	予約ビット		R
b9, b8	instr_type_fld	命令タイプ 0 : Standard SPI モードを使用（命令は常に QUAD_IO0 のみで転送）。 1 : DIO-SPI モードを使用（命令、アドレス、データは常に QUAD_IO[1:0]で転送） 2 : QIO-SPI モードを使用（命令、アドレス、データは常に QUAD_IO[3:0]で転送） 3 : 予約済（未使用） 備考 これらのビットは読み出し転送のみに関連しているわけではありません。グローバルに設定され、読み出しと書き込みの両方に関連しています。	R/W
b7～b0	rd_opcode_non_xip_fld	非 NoCMD モードでの読み出しオペコード	R/W

8.4.3 dev_instr_wr_config_reg — デバイス書き込み命令設定レジスタ

アドレス 4000 5008h (QSPI1)
4000 E008h (QSPI2)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	dummy_wr_clk_cycles_fld				—	—	—	—	—	—	—	data_xfer_type_ext_mode_fld	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	addr_xfer_type_std_mode_fld	—	—	—	wel_dis_fld	wr_opcode_fld								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

表 8.5 dev_instr_wr_config_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b29	予約ビット		R
b28～b24	dummy_wr_clk_cycle_s_fld	ダミー書き込みクロックサイクル 書き込み命令でデバイスが必要とするダミークロックサイクル数	R/W
b23～b18	予約ビット		R
b17、b16	data_xfer_type_ext_mode_fld	instr_type_fld = 0 時のデータ転送タイプ 0 : SIO モード、データは QUAD_IO0 へ送信し、QUAD_IO1 から受信 1 : Dual 入力/出力命令で使用時、QUAD_IO[1:0]を入出力に使用 2 : Quad 入力/出力命令で使用時、QUAD_IO[3:0]は入出力に使用 3 : 予約済（未使用） instr_type_fld = 0 以外の時は、このビットは無視されます。	R/W
b15、b14	予約ビット		R
b13、b12	addr_xfer_type_std_mode_fld	instr_type_fld = 0 時のアドレス転送タイプ 0 : アドレスを QUAD_IO0 で転送 1 : アドレスを QUAD_IO[1:0]で転送 2 : アドレスを QUAD_IO[3:0]で転送 3 : 予約済（未使用） instr_type_fld = 0 以外の時は、このビットは無視されます。	R/W
b11～b9	予約ビット		R
b8	wel_dis_fld	WEL ディセーブル ダイレクトアクセスコントローラでのライトイネーブルラッチ（WEL）コマンド自動発行の機能を無効化します。 0 : WEL の自動発行有効 1 : WEL の自動発行無効	R/W
b7～b0	wr_opcode_fld	書き込みオペコード	R/W

8.4.4 dev_delay_reg — QSPI デバイス遅延レジスタ

本レジスタは、マスター出力信号生成時に相対遅延を設定するために使用します。すべてのタイミングは QSPI_REFCLK のサイクルで定義します。

アドレス		4000 500Ch (QSPI1)														
		4000 E00Ch (QSPI2)														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	d_nss_fld								d_btwn_fld							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	d_after_fld								d_init_fld							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.6 dev_delay_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	d_nss_fld	チップセレクトデアサート トランザクション間のデアサート期間 チップセレクトデアサート最小遅延 (0x0) は次のとおりです。 1 QUAD_CLK + 1 QSPI_REFCLK 値=X であれば、チップセレクトデアサート期間は次のとおりです。 1 QUAD_CLK + 1 QSPI_REFCLK + X QSPI_REFCLK	R/W
b23~b16	d_btwn_fld	チップセレクト (異なるスレーブ) 異なるチップセレクト間のデアサート期間。最小遅延 (0x0) は次のとおりです。 1 QUAD_CLK + 3 QSPI_REFCLKs. 値=X であれば、遅延は次のとおりです。 1 QUAD_CLK + 3 QSPI_REFCLKs + X QSPI_REFCLKs	R/W
b15~b8	d_after_fld	チップセレクト (転送終了) 現トランザクション最後のビット処理からチップセレクトをデアサートするまでの QSPI_REFCLK 遅延数。 デフォルトの場合、チップセレクトは現トランザクションの完了に続くサイクルでデアサートされます。 値=X であれば、QUAD_CLK の最後の立下りエッジの後 X QSPI_REFCLK 後にデアサートされます。	R/W
b7~b0	d_init_fld	チップセレクト (転送開始) チップセレクトアサートから最初のビット転送までの QSPI_REFCLK 遅延数 デフォルトの場合 (値=0)、チップセレクトアサートから最初の QUAD_CLK 立ち上がりエッジまでの遅延は QUAD_CLK 半周期です。 値=X であれば、チップセレクトアサートから最初の QUAD_CLK 立ち上がりエッジまでの遅延は QUAD_CLK 半周期 + X QSPI_REFCLK です。	R/W

8.4.5 rd_data_capture_reg — 読み出しデータキャプチャレジスタ

アドレス 4000 5010h (QSPI1)
4000 E010h (QSPI2)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	sample _edge_ sel_fld	delay_fld				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 8.7 rd_data_capture_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b6	予約ビット		R
b5	sample_edge_sel_fld	サンプルエッジ選択 フラッシュメモリからのデータがサンプリングされるエッジを選択します。 0 : QSPI_REFCLK の立ち下りエッジで、フラッシュメモリからの出力データをサンプリング 1 : QSPI_REFCLK の立ち上りエッジで、フラッシュメモリからの出力データをサンプリング	R/W
b4~b1	delay_fld	読み出し遅延 読み出しデータのサンプリングを設定された QSPI_REFCLK サイクル数遅延させます。	R/W
b0	予約ビット	リセット値を保持してください。	R/W

8.4.6 dev_size_config_reg — デバイスサイズ設定レジスタ

アドレス 4000 5014h (QSPI1)

4000 E014h (QSPI2)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	dev_size_resv_fld			mem_size_on_cs3_fld		mem_size_on_cs2_fld		mem_size_on_cs1_fld		mem_size_on_cs0_fld		bytes_per_subsector_fld				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	bytes_per_device_page_fld												num_addr_bytes_fld			
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0

表 8.8 dev_size_config_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b29	dev_size_resv_fld		R
b28、b27	mem_size_on_cs3_fld	QUAD_CS_N[3]ピンに接続したフラッシュデバイスのサイズ enable_ahb_decoder_fld = 1 の場合のみ有効 00b : 512Mb 01b : 1Gb 10b : 2Gb 11b : 4Gb 注意) アドレスデコーダは使用不可のため、本ビットの設定は無効です。	R/W
b26、b25	mem_size_on_cs2_fld	QUAD_CS_N[2]ピンに接続したフラッシュデバイスのサイズ mem_size_on_cs3_fld と同様	R/W
b24、b23	mem_size_on_cs1_fld	QUAD_CS_N[1]ピンに接続したフラッシュデバイスのサイズ mem_size_on_cs3_fld と同様	R/W
b22、b21	mem_size_on_cs0_fld	QUAD_CS_N[0]ピンに接続したフラッシュデバイスのサイズ mem_size_on_cs3_fld と同様	R/W
b20～b16	bytes_per_subsector_fld	1 ブロックあたりのバイト数 書き込み保護ロジックを実行するときにコントローラが必要とする情報です。 1 ブロックあたりのバイト数は 2 のべき乗となります。 0 = 1 バイト 1 = 2 バイト .. 16 = 65536 バイト	R/W
b15～b4	bytes_per_device_page_fld	1 デバイスページあたりのバイト数 ページ境界でフラッシュ書き込みを実行するときにコントローラが必要とする情報です。	R/W
b3～b0	num_addr_bytes_fld	アドレスバイト数 (設定値+1 バイト) デバイスのアドレスバイト数を設定してください。 0 を設定したときの値は 1 バイトになります。	R/W

8.4.7 remap_addr_reg — アドレス再マッピングレジスタ

アドレス 4000 5024h (QSPI1)
4000 E024h (QSPI2)

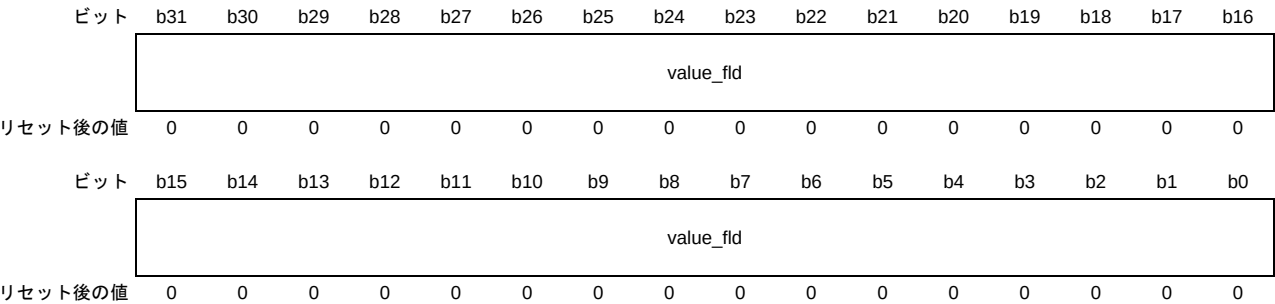


表 8.9 remap_addr_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	value_fld	本レジスタは、ダイレクトアクセスアドレスをフラッシュデバイスアドレスに再マッピングするために使用します。	R/W

8.4.8 mode_bit_config_reg — モードビット設定レジスタ

アドレス 4000 5028h (QSPI1)
4000 E028h (QSPI2)

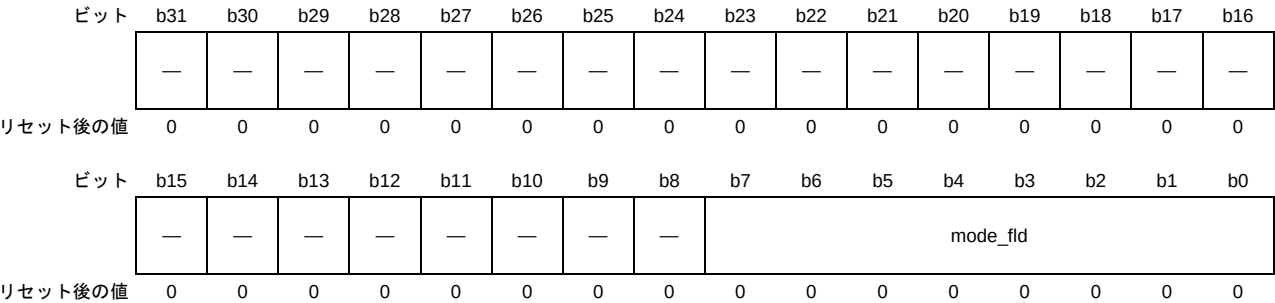


表 8.10 mode_bit_config_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b0	mode_fld	モードビット アドレスバイトに続いてデバイスに送信される 8 個のモードビットです。	R/W

8.4.9 tx_thresh_reg — TX 閾値レジスタ

アドレス 4000 5030h (QSPI1)
4000 E030h (QSPI2)

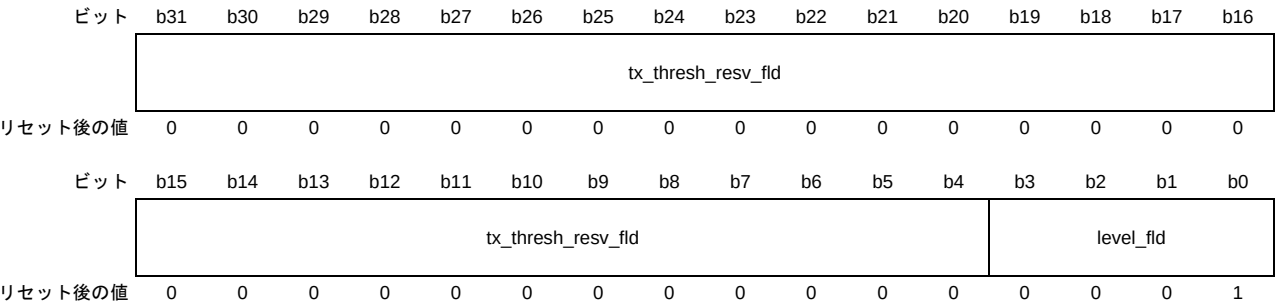


表 8.11 tx_thresh_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	tx_thresh_resv_fld	予約ビット	R
b3～b0	level_fld	TX FIFO 空き割り込みが発生するレベルを定義します。 (レガシーモードのみ)	R/W

8.4.10 rx_thresh_reg — RX 閾値レジスタ

アドレス 4000 5034h (QSPI1)
4000 E034h (QSPI2)

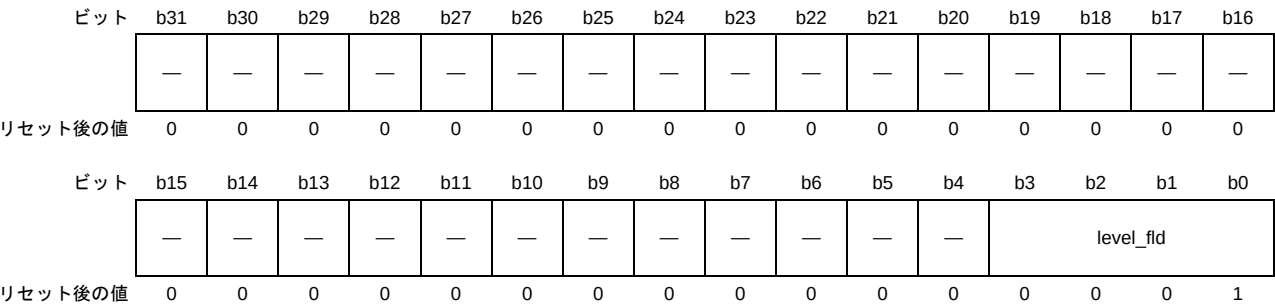


表 8.12 rx_thresh_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3～b0	level_fld	RX FIFO 非エンプティ割り込みが発生するレベルを定義します。 (レガシーモードのみ)	R/W

8.4.11 write_completion_ctrl_reg — 書き込み完了制御レジスタ

本レジスタは、書き込み転送後にコントローラがデバイスをどのようにポーリングするかを定義します。

アドレス		4000 5038h (QSPI1)														
		4000 E038h (QSPI2)														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	poll_rep_delay_fld								poll_count_fld							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	disable_polling_fld	polling_polarity_fld	—	—	polling_bit_index_fld			opcode_fld							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

表 8.13 write_completion_ctrl_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	poll_rep_delay_fld	ポーリング繰り返し遅延 本ビットの設定によりポーリングの間隔を延ばします。	R/W
b23~b16	poll_count_fld	ポーリング回数 デバイスレジスタをポーリングして読み出すとき、正当と判断する一致回数を定義します。	R/W
b15	予約ビット		R
b14	disable_polling_fld	ポーリングディセーブル 自動ポーリング機能を無効化します。 0 : 自動ポーリング有効 1 : 自動ポーリング無効	R/W
b13	polling_polarity_fld	ポーリング極性 ポーリング極性を定義します。 1 : ポーリングしたビットが 1 であれば、デバイスへの書き込み転送が終了 0 : ポーリングしたビットが 0 であれば、デバイスへの書き込み転送が終了	R/W
b12、b11	予約ビット		R
b10~b8	polling_bit_index_fld	ポーリングビットインデックス ポーリングするビットインデックスを定義します。 010b の場合、返されたデータのビット 2 がポーリング対象となります。 111b の場合、返されたデータのビット 7 がポーリング対象となります。	R/W
b7~b0	opcode_fld	オペコード プログラム完了確認のために自動ポーリングを行うとき、コントローラが発行するオペコードを定義します。本コマンドは、すべてのデバイス書き込み動作の後に発行されます。 デフォルトの場合、オペコード 0x05 を使って標準デバイスのステータスレジスタをポーリングします。	R/W

8.4.12 no_of_polls_bef_exp_reg — ポーリング終了レジスタ

アドレス 4000 503Ch (QSPI1)
4000 E03Ch (QSPI2)

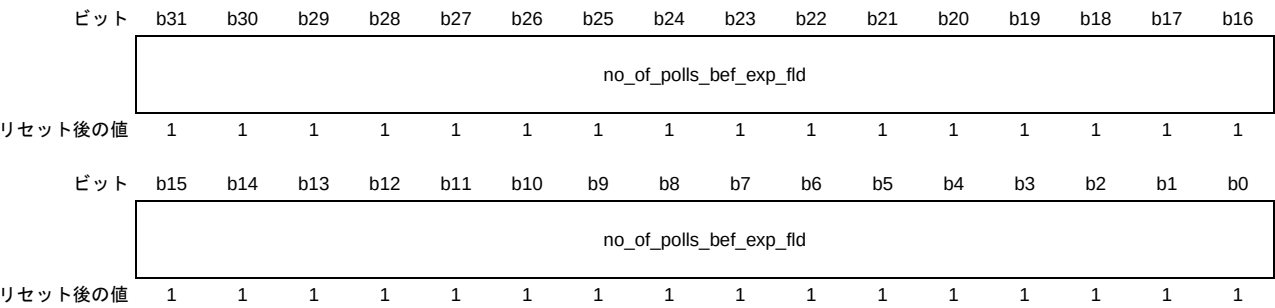


表 8.14 no_of_polls_bef_exp_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	no_of_polls_bef_exp_fld	書き込みが完了しない場合、ポーリングを終了させ、割り込みを発生させる最大ポーリング回数を定義します。 本フィールドは 32769 を超える設定にしてください。	R/W

表 8.15 irq_status_reg レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b5	illegal_access_det_fld	無効な AHB アクセスの検出 本割り込みは、ダイレクトアクセスコントローラが無効であるとき、AHB アクセスが行われた場合でも発生します。 0 : 無効な AHB アクセス未検出 1 : 無効な AHB アクセス検出	R
b4	prot_wr_attempt_fld	保護領域への書き込み 0 : 保護領域への書き込みなし 1 : 保護領域への書き込みあり	R
b3、b2	予約ビット		R
b1	underflow_det_fld	アンダーフロー検出 0 : アンダーフロー未検出 1 : TX FIFO が空の状態データ転送され、アンダーフローを検出。この問題は、AHB 書き込みデータの供給が遅いときに発生する場合があります。 本ビットは、モジュールリセットによってのみリセットされ、本レジスタを読み出すときのみクリアされます。	R
b0	予約ビット		R

8.4.14 irq_mask_reg — 割り込みマスクレジスタ

0 : 割り込みステータスレジスタのビットに対応する割り込み禁止
1 : 割り込みステータスレジスタのビットに対応する割り込み許可

アドレス		4000 5044h (QSPI1)															
		4000 E044h (QSPI2)															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	poll_exp_int_mask_fld	—	rx_fifo_full_mask_fld	rx_fifo_not_empty_mask_fld	tx_fifo_full_mask_fld	tx_fifo_not_full_mask_fld	recv_overflow_mask_fld	—	illegal_access_det_mask_fld	prot_wr_attempt_mask_fld	—	—	underflow_det_mask_fld	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.16 irq_mask_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b14	予約ビット		R
b13	poll_exp_int_mask_fld	最大数のポーリングサイクルが終了したことを検出マスク	R/W
b12	予約ビット	リセット値を保持してください。	R/W
b11	rx_fifo_full_mask_fld	RX FIFO フルマスク	R/W
b10	rx_fifo_not_empty_mask_fld	RX FIFO 非エンプティマスク	R/W
b9	tx_fifo_full_mask_fld	TX FIFO フルマスク	R/W
b8	tx_fifo_not_full_mask_fld	TX FIFO 空きマスク	R/W
b7	recv_overflow_mask_fld	受信オーバーフローマスク	R/W
b6	予約ビット	リセット値を保持してください。	R/W
b5	illegal_access_det_mask_fld	不正アクセスの検出マスク	R/W
b4	prot_wr_attempt_mask_fld	保護領域への書き込みマスク	R/W
b3、b2	予約ビット	リセット値を保持してください。	R/W
b1	underflow_det_mask_fld	アンダーフロー検出マスク	R/W
b0	予約ビット	リセット値を保持してください。	R/W

8.4.15 lower_wr_prot_reg — 書き込み保護レジスタ（下位）

アドレス 4000 5050h (QSPI1)
4000 E050h (QSPI2)

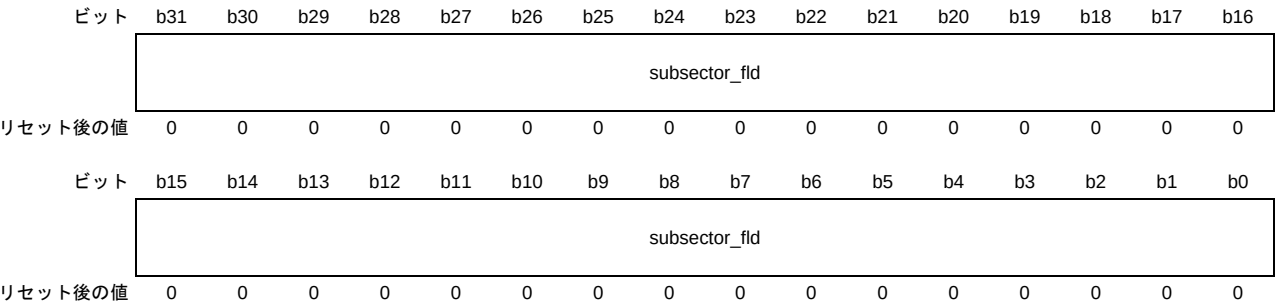


表 8.17 lower_wr_prot_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	subsector_fld	書き込み禁止とするブロック領域の下位のブロック番号 ブロックのバイト数は、デバイスサイズ設定レジスタで指定できます。 書き込み保護機能がオフであるとき、このビットを変更してください。	R/W

8.4.16 upper_wr_prot_reg — 書き込み保護レジスタ（上位）

アドレス 4000 5054h (QSPI1)
4000 E054h (QSPI2)

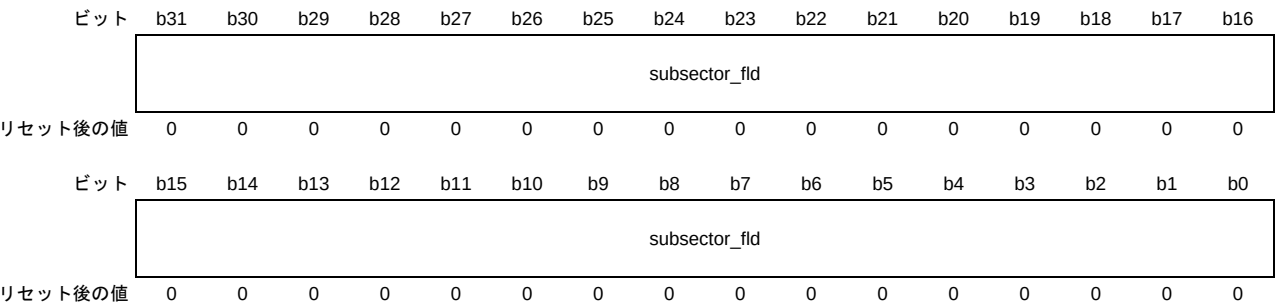


表 8.18 upper_wr_prot_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	subsector_fld	書き込み禁止とするブロック領域の上位のブロック番号 ブロックのバイト数は、デバイスサイズ設定レジスタで指定できます。 書き込み保護機能がオフであるとき、このビットを変更してください。	R/W

8.4.17 wr_prot_ctrl_reg — 書き込み保護制御レジスタ

アドレス 4000 5058h (QSPI1)
4000 E058h (QSPI2)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	enb_fld	inv_fld
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.19 wr_prot_ctrl_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット		R
b1	enb_fld	書き込み保護イネーブルビット 1 : 書き込み保護レジスタ（下位、上位）で定義された保護領域に対する AHB 書き込みアクセスを拒否。AHB エラー応答が発生し、割り込み要因がトリガされます。 0 : 保護領域は無効	R/W
b0	inv_fld	書き込み保護反転ビット 1 : 書き込み保護レジスタ（下位、上位）で定義された保護領域を反転させ、システムが書き込める領域とする。 0 : 書き込み保護レジスタ（下位、上位）で定義された保護領域は、システムが書き込めない領域とする。 書き込み保護機能がオフであるとき、このビットを変更してください。	R/W

8.4.18 flash_cmd_ctrl_reg — フラッシュコマンド制御レジスタ

このレジスタは、STIG で使用されます。「8.5.3 ソフトウェア発行命令ジェネレータ (STIG)」を参照ください。

アドレス 4000 5090h (QSPI1)
4000 E090h (QSPI2)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	cmd_opcode_fld								enb_read_data_fld	num_rd_data_bytes_fld			enb_comd_addr_fld	enb_mode_bit_fld	num_addr_bytes_fld	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	enb_write_data_fld	num_wr_data_bytes_fld			num_dummy_bytes_fld				—	—	—	—	—	—	cmd_exec_stat_us_fld	cmd_exec_fld
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.20 flash_cmd_ctrl_reg レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b24	cmd_opcode_fld	コマンドオペコード コマンド発行前にコマンドオペコードを設定します。 たとえば、0x20 はサブセクター消去に対応します。本レジスタの実行フィールド (ビット 0) に書き込むと、コマンドが発行されます。 備考) デバイスへコマンドを発行するとき、デバイス読み出し命令設定レジスタの命令タイプを使用します。 00b : コマンドオペコードをシリアル方式で転送 01b : コマンドオペコード、コマンドアドレス、コマンドダミーバイト、コマンドデータのすべてを、QUAD_IO[1:0]ピンを使ってパラレル方式で転送 10b : コマンドオペコード、コマンドアドレス、コマンドダミーバイト、コマンドデータのすべてを、QUAD_IO[3:0]ピンを使ってパラレル方式で転送	R/W
b23	enb_read_data_fld	読み出しデータイネーブル コマンドオペコードフィールド (ビット[31:24]) で指定されたコマンドでデバイスからデータを読み出す場合、1 にセットします。	R/W
b22~b20	num_rd_data_bytes_fld	読み出しデータバイト数 最大 8 バイトが読み出し可能です。1 バイトの場合は 0、8 バイトの場合は 7 にセットします。	R/W
b19	enb_comd_addr_fld	コマンドアドレスイネーブル ビット[31:24]で指定されたコマンドでアドレスが必要となる場合、1 にセットします。この設定は、本レジスタのビット 0 によりコマンドを発行する前に行います。	R/W
b18	enb_mode_bit_fld	モードビットイネーブル モードビット設定レジスタで定義されたモードビットをアドレスバイトの後で送信する場合、1 にセットします。	R/W
b17, b16	num_addr_bytes_fld	アドレスバイト数 必要なアドレスバイト数を設定します (アドレス自体はフラッシュコマンドアドレスレジスタで設定します)。この設定は、本レジスタのビット 0 によりコマンドを発行する前に行います。 00b : 1 アドレスバイト 01b : 2 アドレスバイト 10b : 3 アドレスバイト 11b : 4 アドレスバイト	R/W
b15	enb_write_data_fld	書き込みデータイネーブル コマンドオペコードフィールドで指定されたコマンドでデータをデバイスに書き込む場合、1 にセットします。	R/W

表 8.20 flash_cmd_ctrl_reg レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b14~b12	num_wr_data_bytes_fld	書き込みデータバイト数 最大 8 バイトが書き込み可能です。1 バイトの場合は 0、8 バイトの場合は 7 にセットします。	R/W
b11~b7	num_dummy_bytes_fld	ダミーバイト数 必要なダミーバイト数を設定します。この設定は、本レジスタのビット 0 によりコマンドを発行する前に行います。 備考) 本フィールドは 5'h03 を超えてはいけません。限度を上回るダミーバイト数を設定すると、TX FIFO のフル状態や、読み出しコマンドでデータの見逃しが発生する場合があって、モジュールの動作は不定となります。	R/W
b6~b2	予約ビット		R
b1	cmd_exec_status_fld	コマンド実行ステータス コマンドが実行中のとき、本ビットがセットされます。	R
b0	cmd_exec_fld	コマンド実行 本ビットに 1 を書き込むことで、コマンドが発行されます。	W

8.4.19 flash_cmd_addr_reg — フラッシュコマンドアドレスレジスタ

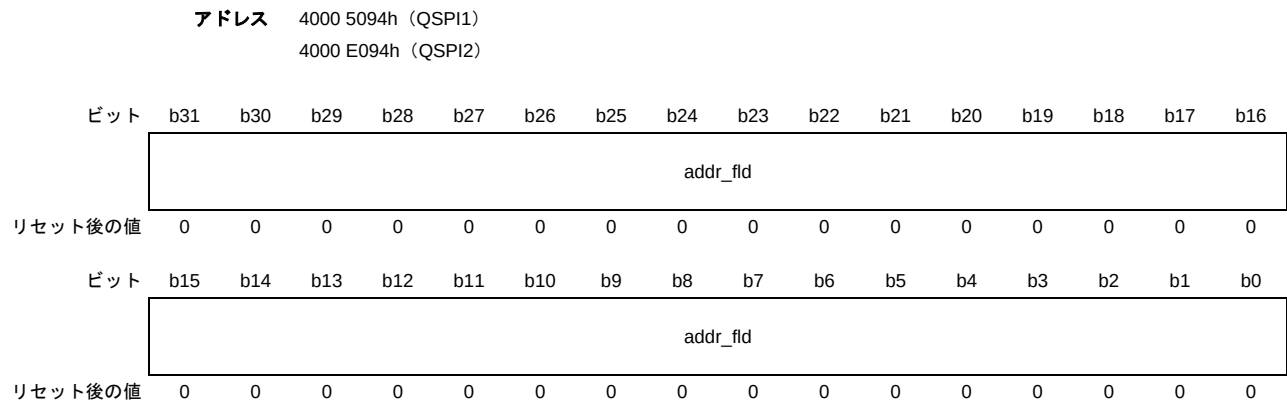


表 8.21 flash_cmd_addr_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	addr_fld	コマンドアドレス 本フィールドの設定は、フラッシュコマンド制御レジスタのビット 0 でコマンドを発行する前に行います。 設定値は、フラッシュコマンド制御レジスタの cmd_opcode_fld（ビット[31:24]）で指定されたコマンドで使用するアドレスとなります。	R/W

8.4.20 flash_rd_data_lower_reg — フラッシュコマンド読み出しデータレジスタ（下位）

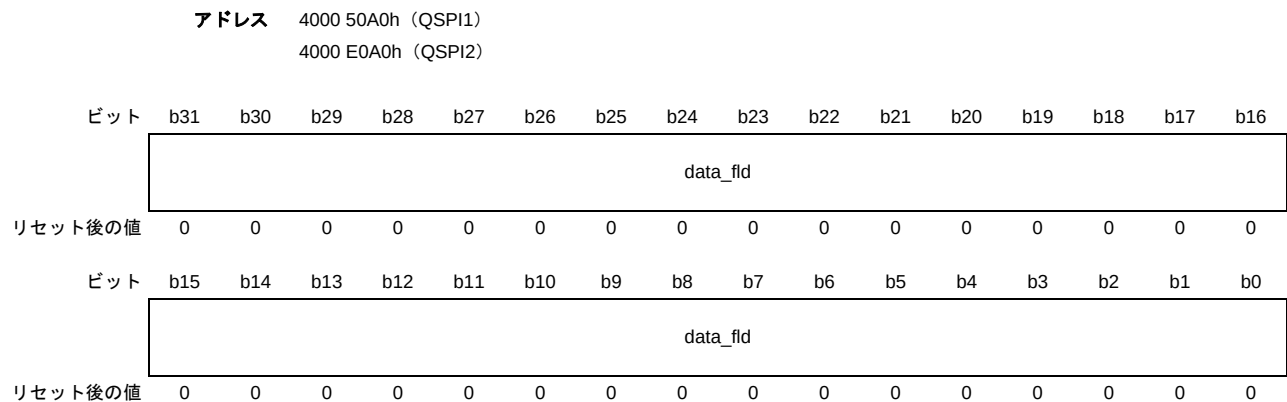


表 8.22 flash_rd_data_lower_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	data_fld	コマンド読み出しデータ（下位バイト） フラッシュコマンド制御レジスタでコマンドを実行した場合にフラッシュデバイスから読み出されたデータです。 レジスタは、フラッシュコマンド制御レジスタのビット 1 が 0 であるとき有効です。	R

8.4.21 flash_rd_data_upper_reg — フラッシュコマンド読み出しデータレジスタ (上位)

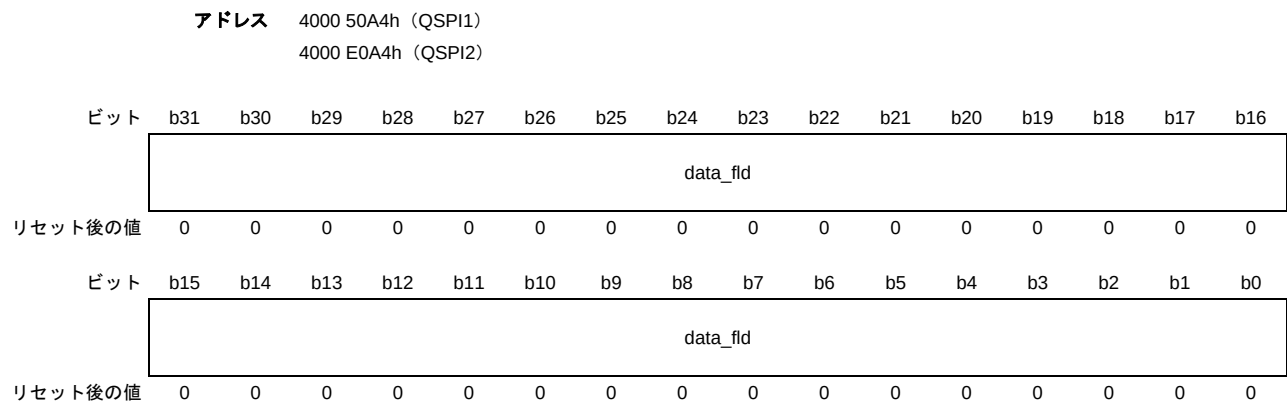


表 8.23 flash_rd_data_upper_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	data_fld	コマンド読み出しデータ（上位バイト） フラッシュコマンド制御レジスタでコマンドを実行した場合にフラッシュデバイスから読み出されたデータです。 レジスタは、フラッシュコマンド制御レジスタのビット 1 が 0 であるとき有効です。	R

8.4.22 flash_wr_data_lower_reg — フラッシュコマンド書き込みデータレジスタ (下位)

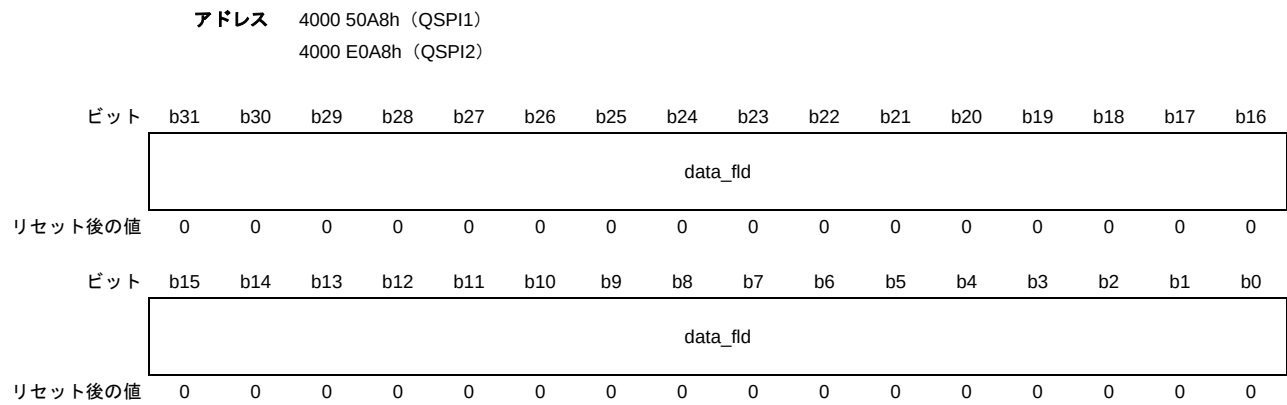


表 8.24 flash_wr_data_lower_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	data_fld	コマンド書き込みデータ（下位バイト） コマンド書き込みデータの下位バイトです。設定は、フラッシュコマンド制御レジスタのビット 0 でコマンドを発行する前に行います。 フラッシュコマンド制御レジスタでコマンドを実行した場合にフラッシュに書き込まれるデータです。	R/W

8.4.23 flash_wr_data_upper_reg — フラッシュコマンド書き込みデータレジスタ (上位)

アドレス		4000 50ACh (QSPI1)														
		4000 E0ACh (QSPI2)														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	data_fld															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	data_fld															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.25 flash_wr_data_upper_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	data_fld	コマンド書き込みデータ（上位バイト） コマンド書き込みデータの上位バイトです。設定は、フラッシュコマンド制御レジスタのビット 0 でコマンドを発行する前に行います。 フラッシュコマンド制御レジスタでコマンドを実行した場合にフラッシュに書き込まれるデータです。	R/W

8.4.24 polling_flash_status_reg — ポーリングフラッシュステータスレジスタ

アドレス

4000 50B0h (QSPI1)

4000 E0B0h (QSPI2)

ビット

b31

b30

b29

b28

b27

b26

b25

b24

b23

b22

b21

b20

b19

b18

b17

b16

—

—

—

—

—

—

—

—

—

—

—

—

—

—

—

—

リセット後の値

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

ビット

b15

b14

b13

b12

b11

b10

b9

b8

b7

b6

b5

b4

b3

b2

b1

b0

—

—

—

—

—

—

—

device_status_valid_fld

device_status_fld

リセット後の値

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

表 8.26 polling_flash_status_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b9	予約ビット		R
b8	device_status_valid_fld	ポーリングステータス有効 ビット 7～0 の値が有効であるとき 1 になります。	R
b7～b0	device_status_fld	フラッシュステータス デバイスの実際のステータスレジスタです。	R

8.4.25 module_id_reg — モジュール ID レジスタ

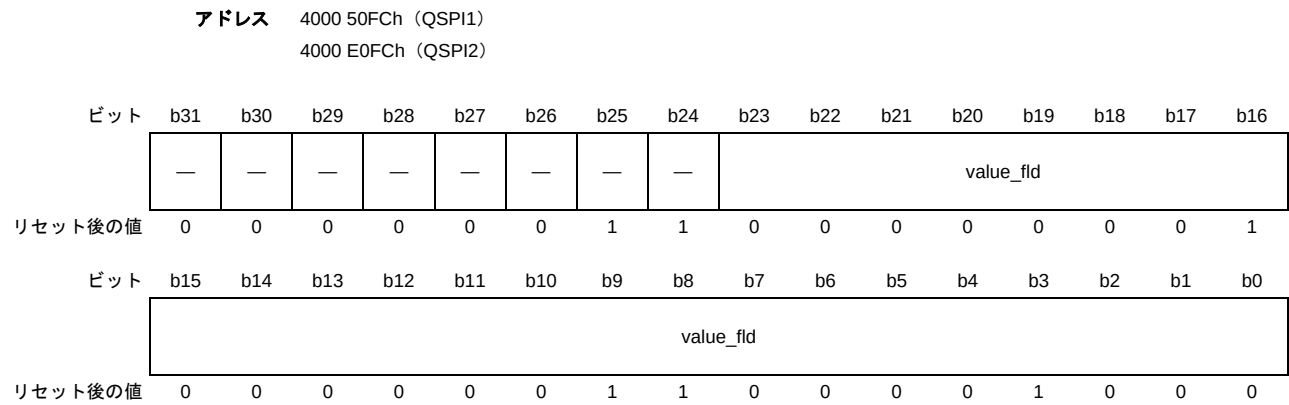


表 8.27 module_id_reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット		R
b23～b0	value_fld	モジュール／リビジョン ID	R

8.5 動作

8.5.1 AHB 制御インタフェース

AHB スレーブコントローラは次の動作を行います。

- 受信 AHB アクセスの確認
- 無効要求に対する応答
- 必要なバイト／ハーフワードの並べ替え
- 設定された書き込み保護ルールに違反する書き込み処理のブロック
- ダイレクトアクセスコントローラへの転送要求

8.5.1.1 メモリマップアドレスの再マッピング

Quad SPI コントローラは、接続されたフラッシュメモリ外のエラーとなる領域にはアドレスを変換しません。通常、ダイレクトアクセスアドレスはフラッシュデバイスに送信されるアドレスへ直接マッピングされます。

フラッシュデバイスが 24 ビットアドレスを持っていれば、メモリマップアドレスの下位 24 ビットが転送されます。再マッピング機能では、すべてのメモリマップアドレスをアドレス+N へ再マッピングします。N はアドレス再マッピングレジスタで設定された値です。本機能は、QSPI 設定レジスタの `enb_ahb_addr_remap_fld` ビットによって有効化されます。設定する前に Quad SPI コントローラを無効にしてください。本機能は、ソフトウェアがブートコードを別のフラッシュ領域へ移動するとき使用できます。

8.5.1.2 書き込み保護

フラッシュデバイスを保護するために、書き込み保護機能がハードウェア実装されており、ソフトウェアで制御します。保護されたフラッシュ領域への書き込みが行われると、バスエラーが発生します。

特定の番号から始まるフラッシュデバイスの“ブロック”領域を保護することができます。下位書き込み保護レジスタ、上位書き込み保護レジスタ、書き込み保護制御レジスタからなる 3 個のレジスタで制御します。

下位書き込み保護レジスタは、保護される領域の最下部にあるフラッシュブロックを定義します。

上位書き込み保護レジスタは、保護される領域の最上部にあるフラッシュブロックを定義します。

書き込み保護制御レジスタは、2 ビットからなる制御レジスタです。ビット 0 により保護される領域を反転させ、その領域を書き込み保護の対象としません。ビット 1 は書き込み保護イネーブルビットです。これが 0 であれば、フラッシュデバイスは保護されません。

ブロックのサイズは 1~64K バイトであり、デバイスサイズ設定レジスタで設定します。

8.5.2 ダイレクトアクセスコントローラ (DAC)

ダイレクトアクセスとは、フラッシュメモリに対してメモリマップアドレスで直接読み出し／書き込みを行うことを指します。これにより、外部フラッシュメモリにアクセスしたり、コードを実行したりするために使用できます。

フラッシュ消去動作は、ページ書き込みの前に必要となる場合があります、仕様化されたプログラミングインタフェースにより行われます。

ページプログラムサイクルが始まると Quad SPI コントローラは、次のアクセスの前に、書き込みサイクルを完了するために自動ポーリングを行います。この処理は、後続のダイレクトアクセスをウェイト状態に行います。待ち時間はフラッシュデバイスのページプログラム時間に依存します。

8.5.3 ソフトウェア発行命令ジェネレータ (STIG)

ダイレクトアクセスコントローラはデータ転送で使います。揮発性および不揮発性の設定レジスタ、SPI ステータスレジスタ、さらに他のステータス／保護レジスタにアクセスしたり、消去機能を実行したりするには、別のソフトウェアコントローラが必要となります。

ソフトウェア発行命令ジェネレータ (STIG) は、フラッシュコマンド制御レジスタによって制御します。これは汎用のコントローラであり、フラッシュデバイスがサポートする命令を拡張 SPI プロトコルで実行するために使用できます。

ビット 0 はコマンドを発行するために使います。ビット 1 は、コマンド実行のステータスについてポーリングするためにソフトウェアが使用します。

読み出しでは、コマンド実行時 (ビット 1 は実行中 “1” から “0” へ変化)、最大 8 バイトの読み出しデータがフラッシュコマンド読み出しデータレジスタへ格納されます。

書き込みでは、書き込みデータをフラッシュコマンド書き込みデータレジスタへ格納する必要があります。

8.5.4 STIG 要求の処理

STIG 要求に従って Quad SPI コントローラは、フラッシュコマンド制御レジスタを参照し、フラッシュデバイスへ送信するデータの内容を確認します。

送信すべきアドレスがあれば、そのアドレスが次に送信されます (同レジスタでアドレスのサイズを設定します)。アドレス自体はフラッシュコマンドアドレスレジスタにあります。

送信すべきダミーバイトがあれば、そのデータが次に送信されます (同レジスタでサイズを設定します)。

書き込むべきデータがあれば、最大 8 バイト (フラッシュコマンド書き込みデータレジスタに格納) が次に送信可能です (同レジスタでデータサイズを設定します)。

読み出すべきデータがあれば、Quad SPI コントローラはそのデータをフラッシュコマンド読み出しデータレジスタに格納します。

Quad SPI コントローラは、STIG 要求の処理を開始するとき、フラッシュコマンド制御レジスタのビット 1 をセットしてコマンドが実行中であることを示します。

8.5.5 ダイレクトアクセスコントローラと STIG の間の調停

複数のコントローラが同時に動作しているときは、固定優先度によりインタフェース間の調停を行い、外部フラッシュにアクセスします。固定優先度は以下のとおりです。上から下へ向かって優先度は低くなっています。

- (1) ダイレクトアクセス書き込み
- (2) STIG
- (3) ダイレクトアクセス読み出し

各コントローラは処理を待つ間、バックプレッシャを受けます。

8.5.6 SPI コマンド変換

ダイレクトアクセスコントローラまたは STIG が発行する要求は（フラッシュデバイスへ転送するときのシリアル化の前に）バイトシーケンスへ変換されます。これらのバイトシーケンスは要求される転送に依存しますが、1 バイト非連続読み出しの典型的な例を示すと次のとおりです。

命令オペコード → アドレス → モードバイト → ダミーバイト → 1 バイト (don't care)

連続アクセスの場合、上記のシーケンスの後に、1 バイトの読み出し毎に 1 バイトのデータがフラッシュデバイスに送信されます（転送バイト間でギャップは生じないものとする）。

フラッシュデバイスに送られる実際のシーケンスは、要求される転送に依存するだけでなく、転送が非連続か連続か、デバイスが NoCMD モードであるか否かにも依存すると同時に、デバイス読み出し／書き込み命令設定レジスタの設定にも依存します。

書き込みの場合、書き込みシーケンスが開始可能となる前に、フラッシュデバイス自体の書き込みイネーブルラッチ (WEL) を 1 にする必要があります。Quad SPI コントローラは、ダイレクトアクセスコントローラ経由で書き込みコマンドを発行する前に、書き込みイネーブルラッチコマンドを自動的に発行するので、ユーザはこの処理を実施する必要がありません。このコマンドのオペコードは通常 06h であり、デバイス間で共通です。

ダイレクトアクセスコントローラからの書き込み要求がなくなり、すべての保留中の要求が送出されると、フラッシュデバイスは自動的にページプログラム書き込みサイクルを開始します。このとき、受信される要求があれば、このサイクルが完了するまでウェイト状態になります。Quad SPI コントローラは、自動的にフラッシュデバイスの SPI ステータスレジスタのポーリングを行い、書き込みサイクルの完了を確認します。このとき、フラッシュデバイスへステータスレジスタ読み出しコマンドを送信し、このデバイスが書き込み完了となるまで（書き込み実行中ビットがゼロにクリアされるまでを指し、このとき書き込みイネーブルラッチビットもゼロクリアされる）待機します。

書き込みイネーブルラッチコマンドとステータスレジスタ読み出しコマンドは、コントローラによって自動的に送信される命令です。その他のデバイスに送信される命令はユーザが指定します（たとえば、書き込みコマンドを発行する前にデバイスの保護を解除する必要がある場合）。このような命令は、STIG 経由でフラッシュコマンドを発行することで別途処理する必要があります。

8.5.7 フラッシュ命令タイプの選択

正しい読み出しオペコードと書き込みオペコードを送出するには、ソフトウェアはデバイス読み出し命令設定レジスタとデバイス書き込み命令設定レジスタを設定しなければなりません。これらのレジスタには、フラッシュにアクセスする際に必要な命令オペコードを設定するフィールド（デフォルトは基本的な読み出しと基本的なページプログラム）や、命令タイプを選択するフィールド、アドレス転送やデータ転送を Single、Dual、Quad のいずれで転送するかを指定するフィールドがあります。

デバイス読み出し命令設定レジスタにある命令タイプフィールド（`instr_type_fld`）は、読み出しと書き込みの両方に適用され、デバイス書き込み命令設定レジスタには含まれていません。

命令タイプフィールドをソフトウェアにより“0”以外の値にすると、両方のレジスタのアドレス転送タイプとデータ転送タイプは参照されません。このフィールドによりソフトウェアは、オペコード、アドレス、データを 2 レーンまたは 4 レーンで送信する特殊なフラッシュ命令をサポートできるようになります（たいていの命令では、Dual/Quad 命令の場合でもオペコードはシリアルでフラッシュデバイスに送信されます）。

オペコードを 2 レーンまたは 4 レーンで送信する命令をサポートするデバイスでも、そのデバイスのデータシートにこうした命令の名前が必ずしも記載されているわけではありません。こうした命令をサポートするデバイスの一つが Numonyx (Micron) N25Q128 です。特別な読み出し命令としては DCFR と QCFR があります。書き込み命令としては DCPD と QCPD があります。参考までに、N25Q128 デバイスでサポートしている読み出し命令と書き込み命令と、命令ごとにソフトウェアで Quad SPI コントローラをいかに設定するかをまとめたものを以下の表に示します。

表 8.28 N25Q128 デバイスでサポートしている読み出し命令のレーン数

命令	オペコードで 使われる レーン数	アドレス送信 で使われる レーン数	データ送信で 使われる レーン数	デバイス読み出し命令設定レジスタ		
				<code>instr_type_fld</code>	<code>addr_xfer_type_std_mode_fld</code>	<code>data_xfer_type_ext_mode_fld</code>
READ	1	1	1	0	0	0
FAST_READ	1	1	1	0	0	0
DOFR (Dual 出力高速読み出し)	1	1	2	0	0	1
DIOFR (Dual I/O 高速読み出し)	1	2	2	0	1	1
QOFR (Quad 出力高速読み出し)	1	1	4	0	0	2
QIOFR (Quad I/O 高速読み出し)	1	4	4	0	2	2
DCFR (Dual コマンド高速読み出し)	2	2	2	1	Don't care	Don't care
QCFR (Quad コマンド高速読み出し)	4	4	4	2	Don't care	Don't care

表 8.29 N25Q128 デバイスでサポートしている書き込み命令のレーン数

命令	オペコード で使われる レーン数	アドレス送信 で使われる レーン数	データ送信 で使われる レーン数	デバイス書き込み命令設定レジスタ		
				instr_type_fld 注1	addr_xfer_type_std_mode_fld	data_xfer_type_ext_mode_fld
PP (ページプログラム)	1	1	1	0	0	0
DIFP (Dual 入力高速プログラム)	1	1	2	0	0	1
DIEFP (Dual 入力拡張高速プログラム)	1	2	2	0	1	1
QIFP (Quad 入力高速プログラム)	1	1	4	0	0	2
QIEFP (Quad 入力拡張高速プログラム)	1	4	4	0	2	2
DCPP (Dual コマンドページプログラム)	2	2	2	1	Don't care	Don't care
QCPP (Quad コマンドページプログラム)	4	4	4	2	Don't care	Don't care

注1. デバイス読み出し命令設定レジスタ

8.5.8 APB インタフェースとレジスタモジュール

APB インタフェースは、コントローラを設定したり、フラッシュコマンド制御レジスタによってソフトウェア制御でフラッシュアクセスを実行したりする際に使用します（詳細については、「**8.5.3 ソフトウェア発行命令ジェネレータ (STIG)**」および「**8.6.3 フラッシュコマンド制御レジスタの使用 (STIG 動作)**」を参照ください)。

8.5.9 読み出しデータのキャプチャ

デバイスからの読み出しデータキャプチャタイミングを調整するためのプログラマブルな機能があります。

リセット後 QSPI_REFCLK 遅延は無効です。この機能は多様なデバイスクロックに設定するような状況では有効で、デバイス列挙を使用する方法も可能です。読み出しデータキャプチャレジスタは、これらの機能を制御します。

ビット[4:1]は、読み出しデータキャプチャサイクル数を（デバイスクロックの少なくとも 4 倍の速度で動作する QSPI_REFCLK に対して）追加します。デバイス遅延があると、フラッシュメモリデバイスが動作するときのフラッシュクロック周波数が制限されてしまう場合もあります。そこで、データキャプチャが確実に行えるようにソフトウェアで本レジスタを設定します。

8.5.9.1 8 バイト読み出し転送の例

Quad SPI インタフェースの動作について説明するために、以下の図で読み出し転送の主要な段階を示します。ここでは 1 種類の読み出し命令しか取り上げていませんが、他にもさまざまな読み出し命令があります。

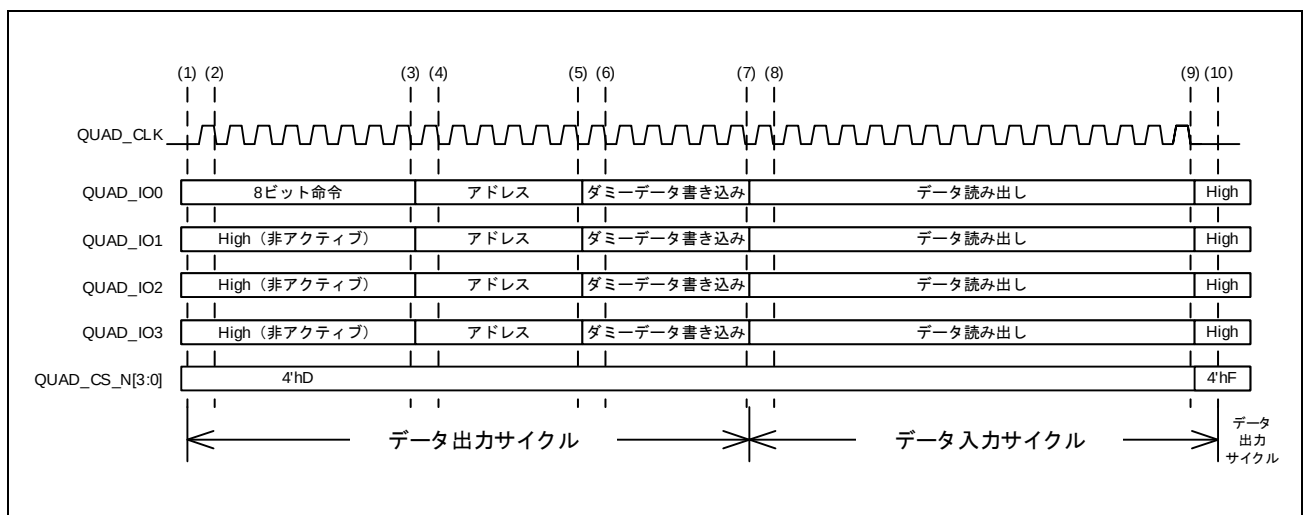


図 8.2 8 バイト読み出し転送の例

- (1) トランザクションの開始。チップセレクト (QUAD_CS_N) によりスレーブ 1 を起動します (4'hF から 4'hD への遷移)。
- (2) 命令フェーズの開始。8 ビットの最初のビットは QUAD_IO0 でのみ出力します。この段階では、その他の QUAD_IO ピンは使用しません。
- (3) 命令フェーズの終了。8 ビットの最後のビットを出力します。
- (4) アドレスフェーズの開始。この例では、4 本の QUAD_IO ピンで 3 バイトのアドレスを出力します。1 つのアドレスニブルを各クロックサイクルで出力するので、3 バイトの出力で 6 サイクルが必要です。
- (5) アドレスフェーズの終了。最後のアドレスニブルを、4 本の QUAD_IO ピンのすべてを使って出力します。
- (6) この例の読み出しトランザクションでは、3 バイトの書き込みダミーデータが必要です。6 個のニブルのうち最初のニブルが 4 本の QUAD_IO ピンのすべてで出力されます。
- (7) 書き込みダミーデータの最後のニブル。読み出し転送の最後の書き込みフェーズです。QUAD_IO ピンは“データ入力サイクル”へ移行します。

- (8) QUAD_IO ピンの読み出しデータの最初のサイクル。この例では、8 バイトを読み出すので、すべての QUAD_IO ピンを使うことで 16 サイクルが必要となります。
- (9) 読み出しデータ入力の最後のサイクル。QUAD_IO ピンはフローティング状態へ戻ります。スレーブ 1 に対してチップイネーブルをデアサートします。トランザクションの完了。
- (10) 次のトランザクションのために、QUAD_IO ピンが “データ出力サイクル” へ移行します。

8.6 Quad SPI コントローラの設定

ソフトウェアは、Quad SPI コントローラとフラッシュデバイスの通信前に Quad SPI コントローラを設定する必要があります。

このコントローラの設定は、QSPI 設定レジスタのビット[0]により Quad SPI コントローラを有効化する前に設定してください。この処理は、クロック動作の問題を避ける上で必要となります。コントローラの設定を変えたい場合、QSPI イネーブルビットを無効化してください。

8.6.1 リセット後の Quad SPI コントローラの設定

Quad SPI コントローラは、ダイレクトアクセスコントローラによる基本的な読み出しと書き込みに適した状態で初期化されます。基本的な読み出し（オペコード 03h）命令と基本的な書き込み（オペコード 02h）命令は、すべてのターゲットデバイスでサポートされています。

Quad SPI コントローラのボーレート分周設定初期値は 32 です。QSPI_REFCLK がリセット後に 166.67MHz で動作しているなら、有効な QUAD_CLK は 5.2MHz となります。この速度設定では追加設定をしなくても、ほぼすべてのターゲットデバイスでタイミング条件が満たされます。

ターゲットデバイスに対して 3 アドレスバイトを使用しない場合、デバイスサイズ設定レジスタで適切なサイズを指定する必要があります。

ソフトウェアでデバイスに書き込みをするとき、各デバイスページが 256 バイト以外であるなら、デバイスサイズ設定レジスタの内容を変更する必要があります。

Quad SPI コントローラを有効化する前にソフトウェアで書き込み保護機能を設定することは有用です。これにより、意図しない書き込みは無効となります。この処理を有効にするには、保護レジスタ（オフセット 50h、54h、58h）を設定するほか、デバイスサイズ設定レジスタで各デバイスブロックのバイト数も設定します。

8.6.2 最適な使用を考慮した Quad SPI コントローラの設定

最適な方法でフラッシュにアクセスするには、ソフトウェアでコントローラを正確に設定する必要があります。

- (1) STIG 動作が未完了であれば、完了するまで待ちます。
- (2) DAC（ダイレクトアクセスコントローラ）（QSPI 設定レジスタのビット 7）を無効にします。同じレジスタのビット 0 により、Quad SPI コントローラを無効にすることも可能ですが、必要な処理ではありません。
- (3) ダイレクトな書き込みと読み出しで使用する命令タイプに合わせてデバイス書き込み／読み出し命令設定レジスタを更新します。
- (4) デバイス読み出し命令設定レジスタでモードビットを有効とする場合は、モードビット設定レジスタを更新します。
- (5) デバイスサイズ設定レジスタの内容が適切でなければ、変更します。アドレスバイト数は、読み出しと書き込みの動作を行う上で重要な設定値です。ページあたりのバイト数は、書き込みで必要な設定です。デバイスブロックあたりのバイト数は、書き込み保護機能を使う場合にのみ必要です。
- (6) QSPI デバイス遅延レジスタを更新します。このレジスタによりユーザは、各フラッシュアクセスの後でチップセレクトを駆動する方法を調整できます。こうした調整が必要となる理由は、デバイスごとにタイミング条件が異なる場合があるからです。QUAD_CLK が高速になると、タイミング条件も重要になります。このレジスタで設定された数値は、QSPI_REFCLK の周期に基づいています。例：CS をデアサートしてから再アサートが可能となるまで、デバイスでは最小 50 ns の時間が必要であるとしします。デフォルトの場合、コントローラは最低 1 つの QUAD_CLK 周期で動作します。デバイスが 62.5MHz で動作するとき、QUAD_CLK 周期は 16ns しかないので、さらに 34ns が必要となります。レ

ジスタでは追加する QSPI_REFCLK サイクル数を定義します。QSPI_REFCLK は 250MHz (4ns 周期) で動作させ、レジスタの d_nss_fld で 9 以上の値を設定しなければなりません。

- (7) 必要ならアドレス再マッピングレジスタを変更します。
- (8) 書き込み保護レジスタを必要に応じて設定します。
- (9) 割り込みマスクレジスタで必要な割り込みを許可します。
- (10) QSPI 設定レジスタでボーレート分周設定を変更することで、ターゲットデバイスの必要なクロック周波数を定義します。
- (11) 読み出しデータキャプチャレジスタを更新します。このレジスタは、読み出しデータをキャプチャするタイミングを調整するもので、デバイス遅延が大きく、デバイスのクロック周波数が高いときに役立ちます。
- (12) QSPI 設定レジスタにより、Quad SPI コントローラとダイレクトアクセスコントローラを有効化します。

8.6.3 フラッシュコマンド制御レジスタの使用 (STIG 動作)

フラッシュコマンド制御レジスタによりソフトウェアは、柔軟で必要に応じたやり方でフラッシュデバイスにアクセスできます。これは STIG (ソフトウェア発行命令ジェネレータ) の動作です。

命令オペコード、アドレスバイト数、アドレス、ダミーバイト数、書き込みデータバイト数、書き込みデータ、読み出しデータバイト数をプログラムできます。これらをプログラムすれば、ソフトウェアはビット 0 によりコマンドを発行して、ビット 1 のポーリングによりコマンド処理の完了まで待つことができます。

このようにフラッシュにアクセスする方法は、フラッシュデバイスのレジスタにアクセスしたり、消去動作を実行したりする上でソフトウェアが使用する方法として一般的なやり方です。この方法は、フラッシュメモリ自体にアクセスするときにも使用されます。ただし、この場合、単一の I/O ピンしか駆動できないので、Dual 命令と Quad 命令は実行不可能です。また、フラッシュコマンド書き込み/読み出しデータレジスタ (オフセット A0h、A4h、A8h、ACh) により、一度に 8 データバイト以下のデータが読み出し/書き込み可能です。

このインタフェースによって発行されたコマンドは、ダイレクト読み出しアクセスより優先度が高いため、ダイレクトアクセスコントローラで要求された読み出しコマンドを中断します。ただし、ダイレクトアクセスコントローラによって起動された書き込みシーケンスは中断しません。この場合、ビット 1 が処理の完了を示すまでソフトウェアは長時間待たされることがあります。

8.6.4 レガシーSPI モードの使用

レガシーSPI モードでは、ソフトウェアはダイレクトコントローラと STIG コントローラを経由せずに内部の TX-FIFO と RX-FIFO に直接アクセスできます。したがって、これらのコントローラはレガシーモードになる前に無効化する必要があります。

レガシーモードでは、デバイスにフラッシュ命令を発行できます。ただし、FIFO の管理が必要なため、ソフトウェアオーバーヘッドが増大します。その理由は、レガシーSPI は双方向性があり、チップセレクトが有効であるときデータは連続的に転送されるからです。

フラッシュデバイスからデータを読み出す場合、チップセレクトをアクティブに保つためにダミーデータを書き込む必要があります。データを書き込む場合、同じ目的でダミーデータを読み出す必要があります。したがって、3 個のアドレスバイトを持つデバイスで 4 バイトの基本的な読み出しを行うには、ソフトウェアで合計 8 バイトを TX FIFO で書き込むこととなります。最初のバイトは命令オペコードで、次の 3 バイトはアドレスです。最後の 4 バイトは読み出しデータの期間チップセレクトをアクティブとするためのダミーデータです。

8 バイトを TX-FIFO に書き込むので、8 バイトが RX-FIFO に格納されます。そのうち最初の 4 バイトは不要な読み出しデータで、最後の 4 バイトに必要な読み出しデータが含まれます。レガシーモードでは、TX-FIFO と RX-FIFO は深さに制限があるので (8 バイト)、ソフトウェアは命令の実行中に TX-FIFO が使い果たされないように、また RX-FIFO でオーバーフローが発生しないように FIFO レベルを維持しなければなりません。その結果、ソフトウェアには大きなオーバーヘッドが課せられるようになります。

充填レベルが TX/RX 閾値レジスタの設定を超えると、そのことを示す割り込みが発生します。レガシーモードが有効であるとき、ソフトウェアは QSPI[m] ROM area の任意のアドレスに値を書き込むことで TX-FIFO にアクセスします。また、QSPI[m] ROM area の任意のアドレスを読み出すことで RX-FIFO にアクセスします (m = 1 または 2)。

8.6.5 NoCMD モードへの移行と終了

NoCMD モードによって読み出し命令を省略することができ、特に直接実行 (XIP) 時に性能向上が可能です。このモードの呼び方は、製造元やデバイスごとに異なります。リードの設定は、デバイス読み出し命令設定レジスタに従います。

NoCMD モードにするためには、モードビットをデバイスに合わせて設定してください。各モードビットの設定は、対象デバイスのデータシートを参照ください。

以下は、ほとんどのフラッシュデバイスで共通の移行および終了の手順となりますが、詳細については各デバイスのデータシートを参照ください。

8.6.5.1 NoCMD モード移行

NoCMD モードに移行する場合、以下の手順を実行します。

1. ダイレクトアクセスコントローラを無効化して、フラッシュデバイスで読み出しあるいは書き込みアクセスが発生しないようにします。
2. モードビットをフラッシュデバイスに合わせて設定し、モードビットイネーブルを 1 にします。
3. デバイスが NoCMD モードでないとき：

QSPI 設定レジスタのビット 17 (enter_xip_mode_fld) を 1 に設定します。

デバイスが NoCMD モードのとき：

QSPI 設定レジスタのビット 18 (enter_xip_mode_imm_fld) を 1 に設定します。

8.6.5.2 NoCMD モード終了

NoCMD モードを終了する場合、以下の手順を実行します。

1. ダイレクトアクセスコントローラを無効化して、フラッシュデバイスで読み出しあるいは書き込みアクセスが発生しないようにします。
2. モードビットに関する設定を NoCMD モード以前の値に戻します。この値は、フラッシュデバイスに依存します。
3. QSPI 設定レジスタのビット 17 (enter_xip_mode_fld) および 18 (enter_xip_mode_imm_fld) を 0 に設定します。

フラッシュデバイス側の NoCMD モードを終了させるには、無効化する読み出しが必要です。したがって、次の無効化読み出しを処理するまで、NoCMD モードはデバイス内部でアクティブのままとなります。フラッシュデバイス側の NoCMD を無効化する方法は、デバイスによって異なります。

8.6.6 書き込み保護レジスタの使用

リセット後、書き込み保護機能は無効状態です。ソフトウェアは書き込み保護レジスタを使って、QSPI メモリマップ領域の書き込みを禁止することができます。

詳細については、「**8.5.1.2 書き込み保護**」を参照ください。保護レジスタを設定する前に Quad SPI コントローラを無効にすることが推奨されます。

8.7 使用上の注意

8.7.1 4 バイトアドレス出力

ダイレクトアクセスアドレスはフラッシュデバイスに送信されるアドレスへ直接マッピングされます。4 バイトアドレス出力する場合（`dev_size_config_reg.num_addr_bytes_fld = 3`）、QSPI1 ROM area の 0x10000000 アクセスでは、0x10000000 がフラッシュデバイス送信されるアドレスとなります。

アドレス再マッピング機能により、フラッシュデバイスに応じたアドレスにすることが可能です。アクセスアドレスに加算する値を再マッピングレジスタ（`remap_addr_reg`）に設定し、QSPI 設定レジスタ（`config_reg`）の `enb_ahb_addr_remap_fld` ビットを 1 に設定して、アドレス再マッピング機能を有効にします。

例)

QSPI1 ROM area の 0x10000000 アドレスで、0x00000000 の 4 バイトアドレスを送信するには、`remap_addr_reg = 0xF0000000` に設定し、アドレス再マッピング機能を有効します。

8.7.2 書き込み保護領域

書き込み保護レジスタに設定されたフラッシュ領域に書き込みすると、バスエラーが発生します。書き込み保護レジスタに設定するブロックは、メモリマップアドレスが基準となります。

アドレス再マッピング機能により、開始ブロックをフラッシュデバイスに合わせることが可能です。アクセスアドレスに加算する値を再マッピングレジスタ（`remap_addr_reg`）に設定し、QSPI 設定レジスタ（`config_reg`）の `enb_ahb_addr_remap_fld` ビットを 1 に設定して、アドレス再マッピング機能を有効にします。

例)

QSPI1 ROM area の 0x10000000 を 0 ブロック基準とするには、`remap_addr_reg = 0xF0000000` に設定し、アドレス再マッピング機能を有効します。

8.7.3 書き込み完了の自動ポーリング

ダイレクトアクセス時は、次のアクセスの前に書き込みサイクルを完了するために自動ポーリングを行います。そのため、次のアクセスが待たされることがあります。待ち時間はフラッシュデバイスのページプログラム時間に依存します。

書き込み完了制御レジスタ（`write_completion_ctrl_reg`）の `disable_polling_fld` ビットにより、自動ポーリング機能は制御されます。自動ポーリングを無効化する場合は、ユーザー側でフラッシュデバイスの書き込みサイクル完了を確認する必要があります。

8.7.4 チップセレクト選択

QSPI 設定レジスタ（`config_reg`）の `enable_ahb_decoder_fld` ビットの機能は使用できないため、アドレスデコーダによりチップセレクトを自動で選択することはできません。QSPI 設定レジスタ（`config_reg`）の `periph_sel_dec_fld` ビットおよび `periph_cs_lines_fld` ビットを使用し、ソフトウェアによって設定してください。

第9章 SDIO/SD/eMMC コントローラ

9.1 概要

SDIO/SD/eMMC コントローラのインスタンスは2つあり、各インスタンスでSD、SDIO、eMMCをサポートしています。本コントローラは単一スロットへ接続が可能であり、アクセス時のオーバーヘッドを軽減するために複数のブロックに対する書き込みと消去を実行します。

- SD/SDIO カードインタフェース

- 1ビットまたは4ビットモードによるデータ転送
- スピード :
デフォルトスピードモード : 3.3V 信号送信、最大周波数 25MHz、最大転送速度 12.5M バイト/秒
ハイスピードモード : 3.3V 信号送信、最大周波数 50MHz、最大転送速度 25M バイト/秒

- eMMC インタフェース

- 1ビット、4ビットまたは8ビットモードによるデータ転送
- スピード :
後方互換モード : 3.3V 信号送信、最大周波数 25MHz、最大転送速度 25M バイト/秒
ハイスピード SDR モード : 3.3V 信号送信、最大周波数 50MHz、最大転送速度 50M バイト/秒

- その他

- カード検出 (挿入/取り出し)
- SPI モードのサポート
- PIO/SDMA/ADMA2 転送のサポート
- 読み出しウェイト制御、サスペンド/レジューム動作のサポート
- SD クロック停止による FIFO オーバーラン/アンダーラン状態のサポート
- マルチメディアカード割り込みモードのサポート
- ウェイクアップ機能

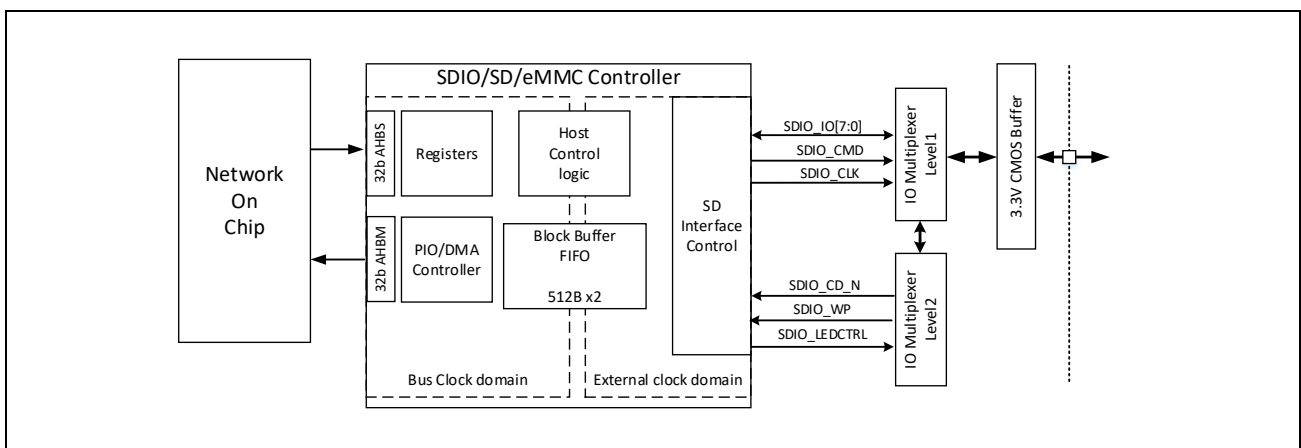


図 9.1 SDIO/SD/eMMC1 & 2 コントローラのインタフェースおよび接続

9.2 信号インタフェース

信号名	入出力	説明
クロック		
SDIO[m]_HCLK	入力	内部バスクロック (AHB)
SDIO[m]_ECLK	入力	外部インタフェースクロック
割り込み		
SDIF[m]_Int	出力	SD/SDIO/eMMC 割り込み (レベル検出、アクティブ High)
SDIF[m]_wakeup_Int	出力	ウェイクアップ割り込み (レベル検出、アクティブ High)
外部信号		
SDIO[m]_CLK	出力	クロック
SDIO[m]_CMD	入出力	コマンド/応答
SDIO[m]_IO[7:0]	入出力	DAT ライン
SDIO[m]_CD_N	入力	カード検出 (アクティブ Low)
SDIO[m]_WP	入力	書き込み保護 (アクティブ High)
SDIO[m]_LEDCTRL	出力	カードアクセスステータス

備考 m=1 または 2
本章ではインデックス省略形式を使用します。
例) SDIO_CLK

9.3 レジスタマップ

9.3.1 レジスタマップ (SDIO1)

表 9.1 SDIO コントローラ 1 のレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4010 0000h	reg_sdmasysaddrlo	SDMA システムアドレスレジスタ (下位)
4010 0002h	reg_sdmasysaddrhi	SDMA システムアドレスレジスタ (上位)
4010 0004h	reg_blocksize	ブロックサイズレジスタ
4010 0006h	reg_blockcount	ブロックカウントレジスタ
4010 0008h	reg_argument1lo	引数 1 レジスタ (下位)
4010 000Ah	reg_argument1hi	引数 1 レジスタ (上位)
4010 000Ch	reg_transfermode	転送モードレジスタ
4010 000Eh	reg_command	コマンドレジスタ
4010 0010h + 2h × n	reg_response[n] (n=0~7)	応答レジスタ[n]
4010 0020h	reg_dataport	バッファデータポートレジスタ
4010 0024h	reg_presentstate	現ステータスレジスタ
4010 0028h	reg_hostcontrol1	ホスト制御 1 レジスタ
4010 0029h	reg_powercontrol	電源制御レジスタ
4010 002Ah	reg_blockgapcontrol	ブロックギャップ制御レジスタ
4010 002Bh	reg_wakeupcontrol	ウェイクアップ制御レジスタ
4010 002Ch	reg_clockcontrol	クロック制御レジスタ
4010 002Eh	reg_timeoutcontrol	タイムアウト制御レジスタ
4010 002Fh	reg_softwarereset	ソフトウェアリセットレジスタ
4010 0030h	reg_normalintrsts	通常割り込みステータスレジスタ
4010 0032h	reg_errorintrsts	エラー割り込みステータスレジスタ
4010 0034h	reg_normalintrstsena	通常割り込みステータスイネーブルレジスタ
4010 0036h	reg_errorintrstsena	エラー割り込みステータスイネーブルレジスタ
4010 0038h	reg_normalintrsigena	通常割り込み信号イネーブルレジスタ
4010 003Ah	reg_errorintrsigena	エラー割り込み信号イネーブルレジスタ
4010 003Ch	reg_autocmderrsts	Auto CMD エラーステータスレジスタ
4010 003Eh	reg_hostcontrol2	ホスト制御 2 レジスタ
4010 0040h	reg_capabilities	機能レジスタ
4010 0044h	reg_capabilities_cont	機能レジスタ (続き)
4010 0048h	reg_maxcurrentcap	最大電流容量レジスタ
4010 0050h	reg_ForceEventforAUTOCMDErrorStatus	Auto CMD エラー強制イベントステータスレジスタ
4010 0052h	reg_forceeventforerrintrsts	エラー割り込み強制イベントステータスレジスタ
4010 0054h	reg_admaerrsts	ADMA エラーステータスレジスタ
4010 0058h	reg_admasysaddr0	ADMA システムアドレスレジスタ (下位)
4010 005Ah	reg_admasysaddr1	ADMA システムアドレスレジスタ (上位)
4010 0060h	reg_presetvalue0	初期化プリセット値レジスタ
4010 0062h	reg_presetvalue1	デフォルトスピードプリセット値レジスタ
4010 0064h	reg_presetvalue2	ハイスピードプリセット値レジスタ
4010 00FCh	reg_slotintrsts	スロット割り込みステータスレジスタ
4010 00FEh	reg_hostcontrollerver	ホストコントローラバージョンレジスタ

9.3.2 レジスタマップ (SDIO2)

表 9.2 SDIO コントローラ 2 のレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4010 1000h	reg_sdmasysaddrlo	SDMA システムアドレスレジスタ (下位)
4010 1002h	reg_sdmasysaddrhi	SDMA システムアドレスレジスタ (上位)
4010 1004h	reg_blocksize	ブロックサイズレジスタ
4010 1006h	reg_blockcount	ブロックカウントレジスタ
4010 1008h	reg_argument1lo	引数 1 レジスタ (下位)
4010 100Ah	reg_argument1hi	引数 1 レジスタ (上位)
4010 100Ch	reg_transfermode	転送モードレジスタ
4010 100Eh	reg_command	コマンドレジスタ
4010 1010h+2h×n	reg_response[n] (n=0~7)	応答レジスタ[n]
4010 1020h	reg_dataport	バッファデータポートレジスタ
4010 1024h	reg_presentstate	現ステータスレジスタ
4010 1028h	reg_hostcontrol1	ホスト制御 1 レジスタ
4010 1029h	reg_powercontrol	電源制御レジスタ
4010 102Ah	reg_blockgapcontrol	ブロックギャップ制御レジスタ
4010 102Bh	reg_wakeupcontrol	ウェイクアップ制御レジスタ
4010 102Ch	reg_clockcontrol	クロック制御レジスタ
4010 102Eh	reg_timeoutcontrol	タイムアウト制御レジスタ
4010 102Fh	reg_softwarereset	ソフトウェアリセットレジスタ
4010 1030h	reg_normalintrsts	通常割り込みステータスレジスタ
4010 1032h	reg_errorintrsts	エラー割り込みステータスレジスタ
4010 1034h	reg_normalintrstsena	通常割り込みステータスイネーブルレジスタ
4010 1036h	reg_errorintrstsena	エラー割り込みステータスイネーブルレジスタ
4010 1038h	reg_normalintrsigena	通常割り込み信号イネーブルレジスタ
4010 103Ah	reg_errorintrsigena	エラー割り込み信号イネーブルレジスタ
4010 103Ch	reg_autocmderrsts	Auto CMD エラーステータスレジスタ
4010 103Eh	reg_hostcontrol2	ホスト制御 2 レジスタ
4010 1040h	reg_capabilities	機能レジスタ
4010 1044h	reg_capabilities_cont	機能レジスタ (続き)
4010 1048h	reg_maxcurrentcap	最大電流容量レジスタ
4010 1050h	reg_ForceEventforAUTOCMDErrorStatus	Auto CMD エラー強制イベントステータスレジスタ
4010 1052h	reg_forceeventforerrintrsts	エラー割り込み強制イベントステータスレジスタ
4010 1054h	reg_admaerrsts	ADMA エラーステータスレジスタ
4010 1058h	reg_admasysaddr0	ADMA システムアドレスレジスタ (下位)
4010 105Ah	reg_admasysaddr1	ADMA システムアドレスレジスタ (上位)
4010 1060h	reg_presetvalue0	初期化プリセット値レジスタ
4010 1062h	reg_presetvalue1	デフォルトスピードプリセット値レジスタ
4010 1064h	reg_presetvalue2	ハイスピードプリセット値レジスタ
4010 10FCh	reg_slotintrsts	スロット割り込みステータスレジスタ
4010 10FEh	reg_hostcontrollerver	ホストコントローラバージョンレジスタ

9.4 レジスタの説明

9.4.1 reg_sdmasysaddrlo — SDMA システムアドレスレジスタ（下位）

本レジスタは、DMA 転送で使われる物理アドレスであるシステムメモリの下位 16 ビット、または Auto CMD23 の第 2 引数の下位 16 ビットを含みます。

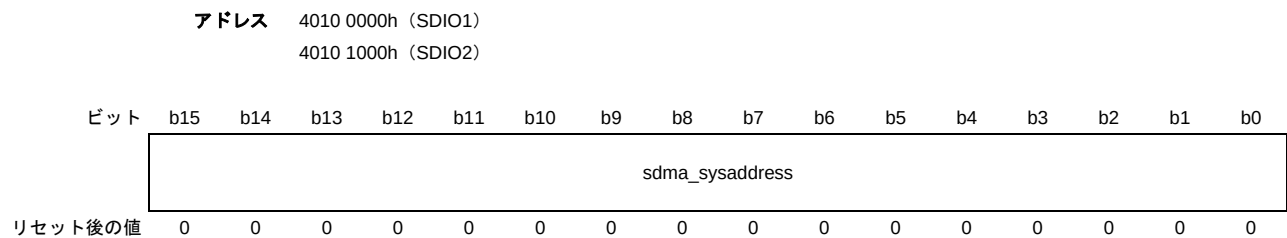


表 9.3 reg_sdmasysaddrlo レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b0	sdma_sysaddress	本フィールドは、DMA 転送で使われる物理アドレスであるシステムメモリの下位 16 ビット、または Auto CMD23 の第 2 引数の下位 16 ビットを含みます。 (1) SDMA システムアドレス 本レジスタは、SDMA 転送のためのシステムメモリアドレスを含みます。ホストコントローラ（HC）が SDMA 転送を停止するとき、本レジスタは連続した次のデータ位置を示すシステムアドレスを指す必要があります。この位置にアクセスできるのは、処理が実行されていないとき（処理の停止後）のみです。転送中に読み出し動作が行われると、無効な値が返される場合もあります。ホストドライバ（HD）は、SDMA トランザクションの開始前に本レジスタを初期化する必要があります。SDMA の停止後、連続した次のデータ位置を示すシステムアドレスを本レジスタから読み出すことが可能となります。 ブロックサイズレジスタのホスト SDMA バッファ境界ビットで指定された各境界で SDMA 転送がウェイト状態となります。HC は、HD による本レジスタの更新を要求する DMA 割り込みを発生させます。HD は、次のデータ位置を示すシステムアドレスを本レジスタで設定します。 本レジスタの最上位バイト（003h）が書き込まれると、HC は SDMA 転送を開始します。レジュームコマンドを実行することによって、またはブロックギャップ制御レジスタで要求継続ビットをセットすることによって SDMA を再開するとき、HC は SDMA システムアドレスレジスタに格納された次の連続アドレスから処理を開始します。ADMA は本レジスタを使用しません。 (2) 引数 2 本レジスタは、Auto CMD23 で使用するものであり、Auto CMD23 の実行中に CMD23 の引数に 32 ビットのブロック数を設定することを目的としています。ADMA の実行時に Auto CMD23 を使用する場合、32 ビットで示すブロック数のすべてが利用可能です。ADMA を実行せずに Auto CMD23 を使用する場合、利用可能なブロック数はブロックカウントレジスタによって制限されます。この場合、最大 65535 個のブロックが利用可能です。	R/W

9.4.2 reg_sdmasysaddrhi — SDMA システムアドレスレジスタ（上位）

本レジスタは、DMA 転送で使われる物理アドレスであるシステムメモリの上位 16 ビット、または Auto CMD23 の第 2 引数の上位 16 ビットを含みます。

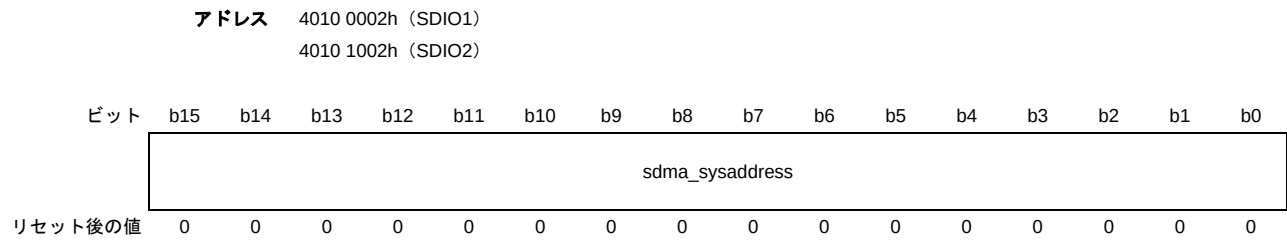


表 9.4 reg_sdmasysaddrhi レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b0	sdma_sysaddress	本フィールドは、DMA 転送で使われる物理アドレスであるシステムメモリアドレスの上位 16 ビットを格納します。本フィールドの詳細については、reg_admasysaddr0 に記載されています。	R/W

9.4.3 reg_blocksize — ブロックサイズレジスタ

本レジスタは、データブロックのバイト数設定に使用します。

アドレス		4010 0004h (SDIO1)															
		4010 1004h (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	sdma_bufboundary				xfer_blocksize											
リセット後の値	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

表 9.5 reg_blocksize レジスタの内容

ビット位置	ビット名	機能	R/W
b15	予約ビット		R
b14～b12	sdma_bufboundary	ホスト SDMA バッファ境界 長期の DMA 転送を行うには、その転送期間中に各システム境界で SDMA システムアドレスレジスタを更新する必要があります。これらのビットは、システムメモリ中の連続バッファのサイズを指定します。DMA 転送は以下のフィールドで指定された各境界で停止することとなり、HC は DMA 割り込みを発生させて HD に対して SDMA システムアドレスレジスタを更新するよう要求します。 これらのビットは、機能レジスタの DMA サポートビットが 1 であるとき使用可能とします。DMA 機能は、転送モードレジスタの DMA イネーブルビットが 1 であるとき実行可能となります。 000b : 4KB (A11 キャリアアウトを検出) 001b : 8KB (A12 キャリアアウトを検出) 010b : 16KB (A13 キャリアアウトを検出) 011b : 32KB (A14 キャリアアウトを検出) 100b : 64KB (A15 キャリアアウトを検出) 101b : 128KB (A16 キャリアアウトを検出) 110b : 256KB (A17 キャリアアウトを検出) 111b : 512KB (A18 キャリアアウトを検出)	R/W
b11～b0	xfer_blocksize	転送ブロックサイズ 本フィールドは、CMD17、CMD18、CMD24、CMD25、CMD53 によるブロックデータ転送のブロックサイズを指定します。本フィールドにアクセスできるのは、トランザクションが行われていない場合（トランザクションの停止後）のみです。転送中に読み出し動作を実行しようとする、無効な値が返ります。書き込み動作は無視します。 0000h : データ転送なし 0001h : 1 バイト 0002h : 2 バイト 0003h : 3 バイト 0004h : 4 バイト 01FFh : 511 バイト 0200h : 512 バイト 0800h : 2048 バイト	R/W

9.4.4 reg_blockcount — ブロックカウントレジスタ

本レジスタは、データブロック数設定に使用します。



表 9.6 reg_blockcount レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	xfer_blockcount	現在の転送で扱われるブロック数 本レジスタは、転送モードレジスタのブロックカウントイネーブルビットを 1 にセットしたときに利用可能となり、複数ブロックの転送でのみ有効です。HC は、各ブロック転送の後でブロック数をデクリメントし、この数がゼロになると停止します。本フィールドにアクセスできるのは、処理が実行されていないとき（処理の停止後）のみです。転送中に読み出し動作を実行しようとする、無効な値が返ります。書き込み動作は無視します。 サスペンドコマンドにより転送コンテキストを保存するとき、未転送ブロックの数は本レジスタを読み取ることで判明します。レジュームコマンド発行前に転送コンテキストを復元するとき、HD は事前に保存したブロック数を復元する必要があります。 0000h : 停止カウント 0001h : 1 ブロック 0002h : 2 ブロック FFFFh : 65535 ブロック	R/W

9.4.5 reg_argument1lo — 引数 1 レジスタ（下位）

本レジスタは、SD コマンド引数の下位ビットを格納します。

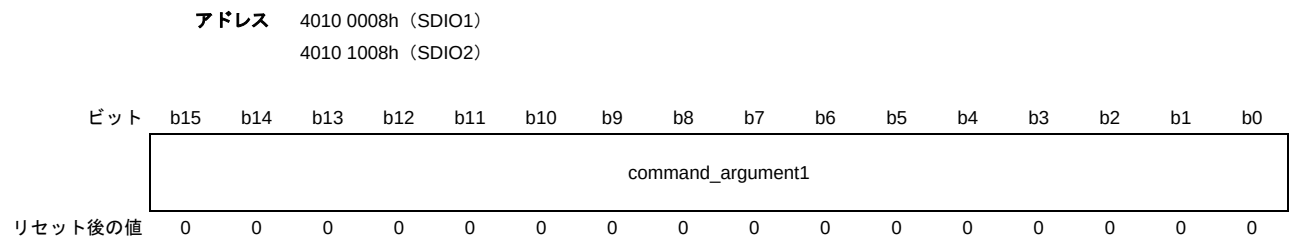


表 9.7 reg_argument1lo レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	command_argument1	SD コマンド引数はコマンドフォーマットのビット 23~8 で指定します。	R/W

9.4.6 reg_argument1hi — 引数 1 レジスタ（上位）

本レジスタは、SD コマンド引数の上位ビットを格納します。

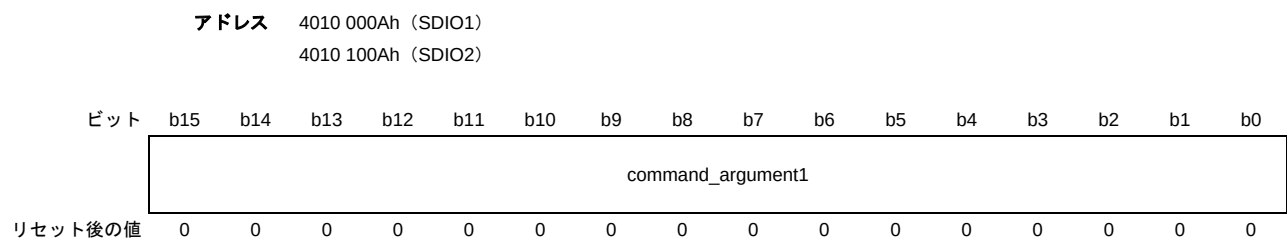


表 9.8 reg_argument1hi レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b0	command_argument1	SD コマンド引数はコマンドフォーマットのビット 39～24 で指定します。	R/W

9.4.7 reg_transfermode — 転送モードレジスタ

本レジスタは、データ転送の動作を制御するために使用します。

アドレス 4010 000Ch (SDIO1)
4010 100Ch (SDIO2)

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	xfermode_multiblkssel	xfermode_dataxferdir	xfermode_autocmdena	xfermode_blkcntena	xfermode_dmaenable	
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0

表 9.9 reg_transfermode レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15~b6	予約ビット		R
b5	xfermode_multiblkssel	マルチ/シングルブロック選択 本ビットは、複数のブロックデータ転送を可能にします。 0 : シングルブロック 1 : マルチブロック	R/W
b4	xfermode_dataxferdir	データ転送方向選択 本ビットでは、データ転送の方向を指定します。 0 : ホストからカードへの書き込み 1 : カードからホストへの読み出し	R/W
b3, b2	xfermode_autocmdena	Auto CMD イネーブル 本フィールドでは、Auto CMD 機能の使い方を指定します。 00b : Auto CMD 未使用 01b : Auto CMD12 のイネーブル 10b : Auto CMD23 のイネーブル 11b : 予約 マルチブロック読み出し／書き込み動作を停止するには、2 つの方法があります。 (1) Auto CMD12 のイネーブル メモリでマルチブロック読み出し／書き込み動作を行うには、CMD12 により動作を停止します。本フィールドが 01b であれば、HC は最後のブロック転送の終了時に CMD12 を自動的に発行します。Auto CMD12 エラーは、Auto CMD エラーステータスレジスタで表示されます。コマンドが CMD12 を要求していない場合、HD が本ビットをセットしてはいけません。 (2) Auto CMD23 のイネーブル 本フィールドが 10b であれば、HC はコマンドレジスタで指定されたコマンドを発行する前に CMD23 を自動的に発行します。 Auto CMD23 を使用するには以下の条件を満たす必要があります。 • CMD23 をサポートするメモリカードを使うこと (SCR[33] = 1)。 • DMA を使用する場合、それは ADMA であること。 • CMD18 または CMD25 を発行すること。 コマンドレジスタへの書き込みによって、HC は最初に CMD23 を発行してから、次にコマンドレジスタのコマンドインデックスビットで指定されたコマンドを発行します。CMD23 の 32 ビットブロックカウント値が SDMA システムアドレスレジスタにセットされます。	R/W
b1	xfermode_blkcntena	ブロックカウントイネーブル 本ビットは、マルチブロック転送時にのみ使われるブロックカウントレジスタをイネーブルする際に使用します。本ビットを 0 にすると、ブロックカウントレジスタがディセーブルされます。この設定は無限転送で使用できます。 0 : ブロックカウントレジスタのディセーブル 1 : ブロックカウントレジスタのイネーブル	R/W

表 9.9 reg_transfermode レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	xfermode_dmaenable	DMA イネーブル DMA は、機能レジスタの DMA サポートビットがセットされた場合のみ実行可能です。本ビットが 1 にセットされると、HD がコマンドレジスタの上位バイト (00Fh) に書き込むときに DMA 動作の開始となります。 0 : DMA のディスエーブル 1 : DMA のイネーブル	R/W

9.4.8 reg_command — コマンドレジスタ

本レジスタは、ホストコントローラのコマンドをプログラムする際に使用します。

アドレス 4010 000Eh (SDIO1)
4010 100Eh (SDIO2)

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	command_cmdindex						command_cmdt ype	comm and_data present	comm and_inde xchkena	comm and_inde hkena	comm and_crc hkena	—	command_respo nsetype	
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	X	0

表 9.10 reg_command レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15、b14	予約ビット		R
b13～b8	command_cmdindex	コマンドインデックス 本ビットに、コマンド番号 (CMD0～63、ACMD0～63) をセットする必要があります。	R/W
b7、b6	command_cmdtype	コマンドタイプ 本ビットは、さまざまなコマンドタイプを選択するために使用します。特殊なコマンドとしては、サスペンドコマンド、レジャームコマンド、アボートコマンドという 3 種類のコマンドがあります。その他のコマンドの場合、00b を設定する必要があります。 - サスペンドコマンド : サスペンドコマンドの実行が成功した場合、HC は SD バスが開放されて DAT ラインを使用する次のコマンドが発行可能であると見なします。HC は、読み出しトランザクションの読み出しウェイトを解除し、書き込みトランザクションのビジーチェックを停止します。割り込みサイクルは 4 ビットモードで開始します。サスペンドコマンドの実行が失敗した場合、HC はその現在の状態を維持したままとなります。HD は、ブロックギャップ制御レジスタの要求継続ビットをセットすることで転送を再開する必要があります。 - レジャームコマンド : HD は、000～00Dh の範囲のデータを復元することでデータ転送を再開します。HC は、書き込み転送を開始する前にビジーチェックを行う必要があります。 - アボートコマンド : このコマンドが読み出し転送時に設定された場合、HC はバッファの読み出しを停止します。このコマンドが書き込み転送時に設定された場合、HC は DAT ラインの駆動を停止します。アボートコマンドを発行した後、HD はソフトウェアリセットを発行する必要があります。 00b : 通常 01b : サスペンド 10b : レジャーム 11b : アボート	R/W
b5	command_datapresent	データ有無選択 DAT ラインで転送すべきデータがあることを指示するため、本ビットを 1 にセットします。以下のコマンドの場合、0 にセットされます。 1. CMD ラインのみを使用するコマンド (例 : CMD52) 2. データ転送機能がなくても DAT[0]ラインでビジー信号を使用するコマンド (例えば、CMD38 のような R1b と R5b) 3. レジャームコマンド 0 : データなし 1 : データあり	R/W

表 9.10 reg_command レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b4	command_indexchkena	コマンドインデックスチェックイネーブル 本ビットが 1 にセットされると、HC は応答のインデックスフィールドをチェックし、そこにコマンドインデックスと同じ値があるかどうかを調べます。なければ、コマンドインデックスエラーが報告されます。本ビットが 0 にセットされると、インデックスフィールドのチェックは行いません。 0 : ディスエーブル 1 : イネーブル	R/W
b3	command_crcchkena	コマンド CRC チェックイネーブル 本ビットが 1 にセットされると、HC は応答の CRC フィールドをチェックします。エラーが検出されると、コマンド CRC エラーとして報告されます。本ビットが 0 にセットされると、CRC フィールドのチェックは行いません。 0 : ディスエーブル 1 : イネーブル	R/W
b2	予約ビット		R
b1、b0	command_responsetype	応答タイプ選択 00b : 応答なし 01b : 応答長 136 10b : 応答長 48 11b : 応答長 48、応答後のビジーチェック	R/W

9.4.9 reg_response[n] — 応答レジスタ[n] (n=0~7)

本レジスタは、SD カードからの応答を格納するために使用します。

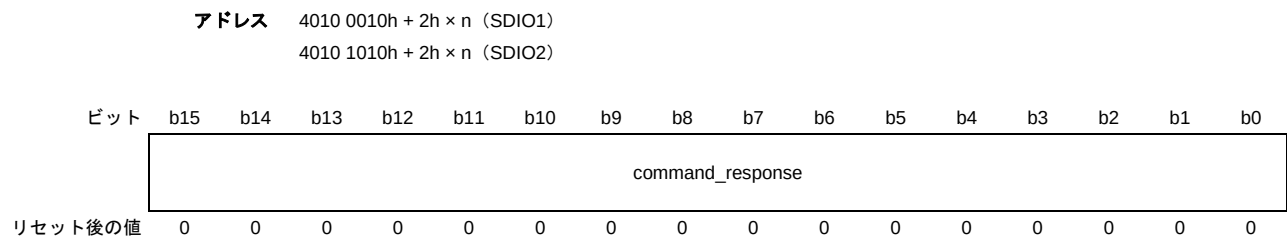


表 9.11 reg_response[n]レジスタの内容

ビット位置	ビット名	機能	R/W																																				
b15~b0	command_response	応答タイプに応じて、SD パスからのコマンド応答が以下のレジスタへ格納されます。 REP[15:0] → reg_response[0] ... REP[127:111] → reg_response[7] <table><tr><th>応答タイプ</th><th>応答の意味</th><th>応答フィールド</th><th>REP[]</th></tr><tr><td>R1、R1b (通常の応答)</td><td>カード状態</td><td>R[39:8]</td><td>REP[31:0]</td></tr><tr><td>R1b (Auto CMD12 応答)</td><td>Auto CMD12 のカード状態</td><td>R[39:8]</td><td>REP[127:96]</td></tr><tr><td>R1 (Auto CMD23 応答)</td><td>Auto CMD23 のカード状態</td><td>R[39:8]</td><td>REP[127:96]</td></tr><tr><td>R2 (CID、CSD レジスタ)</td><td>CID または CSD レジスタを含む</td><td>R[127:8]</td><td>REP[119:0]</td></tr><tr><td>R3 (OCR レジスタ)</td><td>メモリの OCR レジスタ</td><td>R[39:8]</td><td>REP[31:0]</td></tr><tr><td>R4 (OCR レジスタ)</td><td>I/O などの OCR レジスタ</td><td>R[39:8]</td><td>REP[31:0]</td></tr><tr><td>R5、R5b</td><td>SDIO 応答</td><td>R[39:8]</td><td>REP[31:0]</td></tr><tr><td>R6 (発行 RCA 応答)</td><td>新規発行 RCA[31:16]など</td><td>R[39:8]</td><td>REP[31:0]</td></tr></table>	応答タイプ	応答の意味	応答フィールド	REP[]	R1、R1b (通常の応答)	カード状態	R[39:8]	REP[31:0]	R1b (Auto CMD12 応答)	Auto CMD12 のカード状態	R[39:8]	REP[127:96]	R1 (Auto CMD23 応答)	Auto CMD23 のカード状態	R[39:8]	REP[127:96]	R2 (CID、CSD レジスタ)	CID または CSD レジスタを含む	R[127:8]	REP[119:0]	R3 (OCR レジスタ)	メモリの OCR レジスタ	R[39:8]	REP[31:0]	R4 (OCR レジスタ)	I/O などの OCR レジスタ	R[39:8]	REP[31:0]	R5、R5b	SDIO 応答	R[39:8]	REP[31:0]	R6 (発行 RCA 応答)	新規発行 RCA[31:16]など	R[39:8]	REP[31:0]	R
応答タイプ	応答の意味	応答フィールド	REP[]																																				
R1、R1b (通常の応答)	カード状態	R[39:8]	REP[31:0]																																				
R1b (Auto CMD12 応答)	Auto CMD12 のカード状態	R[39:8]	REP[127:96]																																				
R1 (Auto CMD23 応答)	Auto CMD23 のカード状態	R[39:8]	REP[127:96]																																				
R2 (CID、CSD レジスタ)	CID または CSD レジスタを含む	R[127:8]	REP[119:0]																																				
R3 (OCR レジスタ)	メモリの OCR レジスタ	R[39:8]	REP[31:0]																																				
R4 (OCR レジスタ)	I/O などの OCR レジスタ	R[39:8]	REP[31:0]																																				
R5、R5b	SDIO 応答	R[39:8]	REP[31:0]																																				
R6 (発行 RCA 応答)	新規発行 RCA[31:16]など	R[39:8]	REP[31:0]																																				

9.4.10 reg_dataport — バッファデータポートレジスタ

本レジスタは、内部バッファへアクセスする際に使用します。

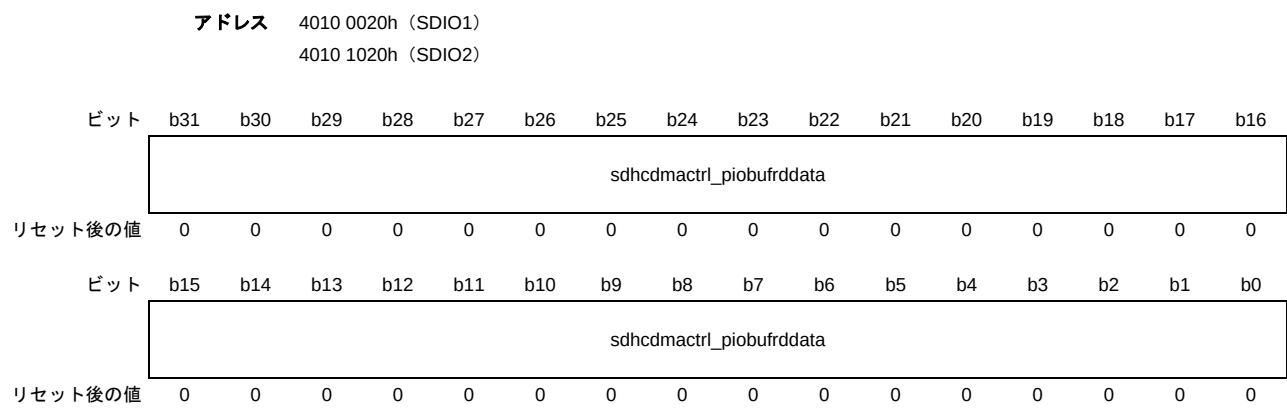


表 9.12 reg_dataport レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	sdhcdmactrl_piobufrrdata	この 32 ビットデータポートレジスタにより、HC バッファにアクセスできます。	R/W

9.4.11 reg_presentstate — 現ステータスレジスタ

この 32 ビットリードオンリーレジスタにより、HD は HC のステータスを取得できます。

アドレス 4010 0024h (SDIO1)

4010 1024h (SDIO2)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	sdif_dat7in_dsync	sdif_dat6in_dsync	sdif_dat5in_dsync	sdif_dat4in_dsync	sdif_cmdin_dsync	sdif_dat3in_dsync	sdif_dat2in_dsync	sdif_dat1in_dsync	sdif_dat0in_dsync	sdif_wp_dsync	sdif_cd_n_dsync	sdhccarddet_statestable_dsync	sdhccarddet_inserted_dsync
リセット後の値	X	X	X	1	1	1	1	1	1	1	1	1	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	sdhcdmactrl_piobufdena	sdhcdmactrl_piobufwrena	sdhcdmactrl_rdxferactive	sdhcdmactrl_wrxferactive	—	—	—	—	—	sdhcdmactrl_datainactive	presentstate_inhibitdat	presentstate_inhibitcmd
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	X	0	0	0

表 9.13 reg_presentstate レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット		R
b28	sdif_dat7in_dsync	エラー回復処理で DAT[7]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b27	sdif_dat6in_dsync	エラー回復処理で DAT[6]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b26	sdif_dat5in_dsync	エラー回復処理で DAT[5]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b25	sdif_dat4in_dsync	エラー回復処理で DAT[4]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b24	sdif_cmdin_dsync	エラー回復処理で CMD ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b23	sdif_dat3in_dsync	エラー回復処理で DAT[3]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b22	sdif_dat2in_dsync	エラー回復処理で DAT[2]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b21	sdif_dat1in_dsync	エラー回復処理で DAT[1]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。	R
b20	sdif_dat0in_dsync	エラー回復処理で DAT[0]ラインレベルをチェックするために使用します。デバッグの目的でも使用します。DAT[0]でビジー信号レベルを検出する際に特に役立ちます。	R
b19	sdif_wp_dsync	書き込み保護スイッチ端子レベル 書き込み保護スイッチは、メモリカードとコンボカードでサポートされています。本ビットは SDIO_WP ピンの状態を示します。 0 : 書き込み保護 (SDIO_WP=1) 1 : 書き込み可 (SDIO_WP=0)	R
b18	sdif_cd_n_dsync	カード検出端子レベル SDIO_CD_N ピンの反転値を示します。 0 : カードなし (SDIO_CD_N=1) 1 : カードあり (SDIO_CD_N=0)	R
b17	sdhccarddet_statestable_dsync	カード状態安定 テスト用のビットです。0 のとき、カード検出端子レベルは不安定です。1 のとき、カード検出端子レベルは安定です。ソフトウェアリセットレジスタの全体ソフトウェアリセットビットによる影響はありません。 0 : デバウンスまたはリセット 1 : カードなし (未挿入)	R

表 9.13 reg_presentstate レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b16	sdhccarddet_inserted_dsync	カード挿入 カードが挿入されているかどうかを示します。本ビットが 0 から 1 へ変化すると通常割り込みステータスレジスタのカード挿入割り込みが発生し、1 から 0 へ変化すると通常割り込みステータスレジスタのカード抜去割り込みが発生します。ソフトウェアリセットレジスタの全体ソフトウェアリセットビットによる影響はありません。 カードの電源がオンでそのクロックが発振しているときにカードを抜去すると、HC は電源制御レジスタの SD バス電源ビットおよびクロック制御レジスタの SD クロックイネーブルビットをクリアする必要があります。さらに、HD がソフトウェアリセットレジスタの全体ソフトウェアリセットビットによって HC をクリアする必要があります。カード検出機能は SD バス電源とは無関係に有効です。 0 : デバウンスまたはリセット、またはカードなし 1 : カード挿入	R
b15~b12	予約ビット		R
b11	sdhcdmactrl_piobufrdena	バッファ読み出しイネーブル 非 DMA 読み出し転送で使します。有効データがホスト側バッファにあることを示すリードオンリーフラグです。本ビットが 1 であると、読み出し可能なデータがバッファに存在します。バッファからすべてのブロックデータが読み出されると、本ビットは 1 から 0 に変化します。バッファでブロックデータが準備されると、本ビットは 0 から 1 に変化し、バッファ読み出し可能割り込みが発生します。 0 : 読み出し不可 1 : 読み出し可	R
b10	sdhcdmactrl_piobufwrena	バッファ書き込みイネーブル 非 DMA 書き込み転送で使します。書き込みデータ用のスペースがあるかどうかを示すリードオンリーフラグです。本ビットが 1 であると、バッファにデータを書き込みます。バッファにすべてのブロックデータが書き込まれると、本ビットは 1 から 0 に変化します。バッファにブロックデータの先頭が書き込み可能になると、本ビットは 1 から 0 に変化し、バッファ書き込み可能割り込みが発生します。 0 : 書き込み不可 1 : 書き込み可	R
b9	sdhcdmactrl_rdxferactive	読み出し転送アクティブ 読み出し転送の完了を検出するために使します。 本ビットは、以下のタイミングで 1 にセットされます。 - 読み出しコマンドの最終ビットの後 - 読み出し転送を再開するために、ブロックギャップ制御レジスタの要求継続ビットに 1 を書き込むとき 本ビットは、以下のタイミングで 0 にクリアされます。 - ブロック長で指定された最後のデータブロックを転送するとき - すべての有効なデータブロックの転送が完了し、ブロックギャップ停止要求が 1 にセットされたことでブロック転送が現在実行中でないとき 本ビットが 0 に変わると、転送完了割り込みが発生します。 0 : 有効データなし 1 : データ転送	R

表 9.13 reg_presentstate レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b8	sdhcdmactrl_wrxferactive	書き込み転送アクティブ 書き込み転送が実行中であることを示します。本ビットが 0 であるとき、HC には有効な書き込みデータがありません。 本ビットは、以下のタイミングでセットされます。 - 書き込みコマンドの最終ビットの後 - 書き込み転送を再開するために、ブロックギャップ制御レジスタの要求継続ビットに 1 を書き込むとき 本ビットは、以下のタイミングでクリアされます。 - 転送カウント（単数または複数）で指定された最後のデータブロックの CRC ステータスを取得した後 - ブロックギャップ停止要求ビットによりデータ送信を停止しようとして、任意のブロックの CRC ステータスを取得した後 書き込みトランザクションの実行中、ブロックギャップ停止要求ビットがセットされたことで本ビットが 0 に変化すると、ブロックギャップイベント割り込みが発生します。この状態は、ライトビジーの期間中いつコマンドを発行するかを HD が決定する際に役立ちます。 0 : 有効データなし 1 : データ転送	R
b7~b3	予約ビット		R
b2	sdhcdmactrl_datelineactive	DAT ラインアクティブ 本ビットは、SD バスの DAT ラインの 1 つが使用中であるかどうかを示します。 1 : DAT ライン使用中 0 : DAT ライン非使用中	R
b1	presentstate_inhibitdat	コマンド禁止 (DAT) 本ビットは、DAT ライン使用中ビットまたは読み出し転送実行中ビットが 1 であるときに設定されます。本ビットが 0 であれば、HC は次の SD コマンドを発行できます。ビジー信号を持つコマンドは、コマンド禁止 (DAT) に属します（例：R1b、R5b タイプ）。 本ビットが 1 から 0 に変化すると、通常割り込みステータスレジスタの転送完了割り込みが発生します。 備考） 本ビットが 1 から 0 に変化した後、サスペンドトランザクションで SD ホストドライバは 000~00Dh の範囲のデータを保存できます。 0 : DAT ラインを使うコマンド発行可 1 : DAT ラインを使うコマンド発行不可	R
b0	presentstate_inhibitcmd	コマンド禁止 (CMD) 本ビットが 0 であれば、CMD ラインは使用中でなく、HC は CMD ラインを使って SD コマンドを発行できます。 本ビットは、コマンドレジスタ (00Fh) が書き込まれた直後にセットされます。コマンド応答の受信時にクリアされます。 コマンド禁止 (DAT) ビットが 1 にセットされても、本ビットが 0 であれば、CMD ラインのみを使用するコマンドは発行可能です。本ビットが 1 から 0 に変化すると、通常割り込みステータスレジスタの転送完了割り込みが発生します。 コマンド衝突エラーの理由または Auto CMD12 エラーによるコマンド発行不可の理由により HC がコマンドを発行できない場合、本ビットは 1 の状態を維持する必要があります。コマンド完了ビットはセットされません。本ビットから、Auto CMD12 発行ステータスは読み出されません。 Auto CMD12 と Auto CMD23 は、それぞれ 2 つの応答で構成されています。この場合、本ビットは CMD12 または CMD23 の応答によりクリアされることはなく、読み出し/書き込みコマンドの応答によりクリアされます。本ビットから、Auto CMD12 発行ステータスは読み出されません。したがって、Auto CMD12 動作の実行中にコマンドが発行されると、HC は以下の 2 つのコマンドを発行しなければなりません。CMD12 およびコマンドレジスタにより設定されたコマンド	R

9.4.12 reg_hostcontrol1 — ホスト制御 1 レジスタ

本レジスタは、DMA モード、LED 制御、データ転送幅、ハイスピードイネーブル、カード検出テストレベル、信号選択をプログラムする際に使用します。

アドレス 4010 0028h (SDIO1)

4010 1028h (SDIO2)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	hostctrl1_cdsigselect	hostctrl1_cdtestlevel	hostctrl1_extdatawidth	hostctrl1_dmaselect	hostctrl1_highspeedena	hostctrl1_datawidth	hostctrl1_ledcontrol	
リセット後の値	0	0	0	0	0	0	0	0

表 9.14 reg_hostcontrol1 レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b7	hostctrl1_cdsigselect	カード検出信号選択 本ビットは、カード検出のためのソースを選択します。 0 : SDIO_CD_N を選択 (通常使用時) 1 : カード検出テストレベルを選択	R/W
b6	hostctrl1_cdtestlevel	カード検出テストレベル 本ビットは、カード検出信号選択ビットが 1 にセットされるとイネーブルとなり、カードが挿入されているかどうかを示します。通常割り込みステータスイネーブルビットがセットされると、カード挿入/未挿入割り込みを発生させます。 0 : カードなし 1 : カード挿入	R/W
b5	hostctrl1_extdatawidth	拡張データ転送幅 本ビットは、埋め込みデバイス用の 8 ビットバス幅モードを制御します。この機能のサポートは、機能レジスタの埋め込みデバイス 8 ビットサポートビットで示します。デバイスが 8 ビットバスモードをサポートしている場合、本ビットは 1 にセット可能です。本ビットが 0 であれば、バス幅はホスト制御 1 レジスタのデータ転送幅ビットで制御します。 0 : バス幅をデータ転送幅ビットで選択 1 : 8 ビットバス幅	R/W
b4、b3	hostctrl1_dmaselect	DMA 選択 サポートされている DMA のうち 1 つが選択可能です。ホストドライバは、機能レジスタを参照して、DMA モードのサポート状態をチェックします。 00b : SDMA 01b : 32 ビット ADMA1 アドレス 10b : 32 ビット ADMA2 アドレス 11b : 64 ビット ADMA2 アドレス	R/W
b2	hostctrl1_highspeedena	ハイスピードイネーブル 本ビットはオプションです。本ビットをセットする前に、HD は機能レジスタのハイスピードサポートビットをチェックする必要があります。本ビットを 0 (デフォルト) にセットすると、HC は SD クロック (最大 25MHz/MMC の場合、20MHz) の立下りエッジで CMD ラインと DAT ラインを出力します。本ビットを 1 にセットすると、HC は SD クロック (SD/MMC とともに、最大 50MHz) の立ち上りエッジで CMD ラインと DAT ラインを出力します。 ホスト制御 2 レジスタの Preset Value Enable を 1 にセットした場合、HD はクロックのグリッチが発生しないように本フィールドの変更前に SD クロックイネーブルビットをリセットする必要があります。本フィールドをセットした後、HD は SD クロックイネーブルビットを再びセットします。 0 : 通常スピードモード 1 : ハイスピードモード	R/W

表 9.14 reg_hostcontrol1 レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	hostctrl1_datawidth	データ転送幅 (SD1 または SD4) 本ビットで HC のデータ幅を選択します。HD は、SD カードのデータ幅と一致するものを選択すること。 0 : 1 ビットモード 1 : 4 ビットモード	R/W
b0	hostctrl1_ledcontrol	LED 制御 本ビットは、アクセス中の SD カードを抜去しないよう、ユーザに対して注意を促すものです。ソフトウェアが複数の SD コマンドを発行する場合、すべてのトランザクションで本ビットをセットできます。トランザクションごとに変更する必要はありません。 0 : LED オフ 1 : LED オン	R/W

9.4.13 reg_powercontrol — 電源制御レジスタ

本レジスタは、SD バスの電源と電圧レベルをプログラムする際に使用します。

アドレス 4010 0029h (SDIO1)
4010 1029h (SDIO2)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	emmc_hwreset	pwrctrl_sdbusvoltage			pwrctrl_sdbuspower
リセット後の値	X	X	X	0	0	0	0	0

表 9.15 reg_powercontrol レジスタの内容

ビット位置	ビット名	機能	R/W
b7～b5	予約ビット		R
b4	emmc_hwreset	ハードウェアリセット 本ビットをセットすると、eMMC カードに対してハードウェアリセット信号が発生します。本 LSI では未使用です。	R/W
b3～b1	pwrctrl_sdbusvoltage	SD バス 電圧選択 これらのビットをセットすると、HD は SD カードの電圧レベルを選択します。本レジスタをセットする前、HD は機能レジスタの電圧サポートビットをチェックすること。サポートしていない電圧を選択した場合、ホストシステムは SD バス電圧を供給してはいけません。 111b : 3.3V (フラットトップ) その他 : 予約ビット	R/W
b0	pwrctrl_sdbuspower	SD バス 電源 本ビットをセットする前、SD ホストドライバは SD バス電圧選択ビットをセットすること。HC がカードなし状態を検出したら、本ビットをクリアする必要があります。 0 : 電源オフ 1 : 電源オン reg_presentstate レジスタの sdhccarddet_inserted_dsync が 1 の場合のみ、本ビットを 1 に設定できます。	R/W

9.4.14 reg_blockgapcontrol — ブロックギャップ制御レジスタ

本レジスタは、ブロックギャップ要求、読み出しウェイト制御、ブロックギャップ割り込みをプログラムする際に使用します。

アドレス 4010 002Ah (SDIO1)

4010 102Ah (SDIO2)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	blkgapctrl_spimode	blkgapctrl_interrupt	blkgapctrl_rdwaitctrl	blkgapctrl_continue	blkgapctrl_stopgap
リセット後の値	1	0	0	0	0	0	0	0

表 9.16 reg_blockgapcontrol レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b7～b5	予約ビット	初期値を維持してください。	R/W
b4	blkgapctrl_spimode	SPI モードイネーブルビット 0 : SD モード 1 : SPI モード	R/W
b3	blkgapctrl_interrupt	ブロックギャップ割り込み 本ビットは、SDIO カードの 4 ビットモードでのみ有効となり、割り込みサイクルのサンプルポイントを選択します。本ビットを 1 にセットすると、マルチブロック転送でブロックギャップの割り込みを検出できるようになります。SD カードがマルチブロック転送中に割り込みを発行できない場合、本ビットは 0 にセットします。HD は、SD カード挿入の検出時に SDIO カードの CCCR に従って本ビットをセットする必要があります。	R/W
b2	blkgapctrl_rdwaitctrl	読み出しウェイト制御 読み出しウェイト機能は、SDIO カードのオプションです。カードが読み出しウェイトをサポートしている場合、本ビットをセットして読み出しウェイトプロトコルの使用を可能にします。そうすることで、DAT[2]ラインを使って読み出しデータを停止します。サポートしていない場合、HC は SD クロックを停止して読み出しデータを保持する必要があります。その結果、コマンドの生成は制限されることになります。HD は、SD カード挿入の検出時に SDIO カードの CCCR に従って本ビットをセットする必要があります。カードが読み出しウェイトをサポートしていない場合、本ビットを 1 にセットしないでください。1 にセットすると、DAT ラインの衝突が発生する可能性があります。本ビットを 0 にセットすると、サスペンド/レジュームはサポートできません。 0 : 読み出しウェイト制御不可 1 : 読み出しウェイト制御可	R/W
b1	blkgapctrl_continue	要求継続 本ビットは、ブロックギャップ停止要求により停止されたトランザクションを再開する際に使用します。ブロックギャップでの停止をキャンセルするには、ブロックギャップ停止要求ビットを 0 にセットし、本ビットをセットして転送を再開します。 以下の場合、HC は自動的に本ビットをクリアします。 1) 読み出しトランザクションの再開時に DAT ラインアクティブビットが 0 から 1 に変化したとき 2) 書き込みトランザクションの再開時に書き込み転送アクティブビットが 0 から 1 に変化したとき したがって、ホストドライバが本ビットを 0 にセットする必要はありません。ブロックギャップ停止要求ビットを 1 にセットすると、本ビットへの書き込みは無視されます。 0 : 無視 1 : 再開	R/W

表 9.16 reg_blockgapcontrol レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	blkgapctrl_stopatblkgap	ブロックギャップ停止要求 本ビットは、非 DMA 転送、SDMA 転送、ADMA 転送のそれぞれにおいて、次のブロックギャップでのトランザクションの実行を停止する際に使用します。転送完了ビットが 1 にセットされて転送が完了するまで、HD は本ビットを 1 にセットされた状態にしておく必要があります。ブロックギャップ停止要求ビットおよび要求継続ビットの両方をクリアしても再開のトランザクションは発生しません。ブロックギャップで読み出しトランザクションを停止するには、読み出しウェイトを使用します。HC は、書き込みトランザクションでブロックギャップ停止要求を満たしますが、読み出し転送の場合、読み出しウェイトをサポートすることを SD カードに対して要求します。したがって、SD カードが読み出しウェイトをサポートしており、かつ読み出しウェイト制御が 1 にセットされていない限り、HD は読み出し転送時に本ビットをセットしてはいけません。書き込み転送では HD がバッファデータポートレジスタにデータを書き込みます。この場合、HD はすべてのブロックデータの書き込み後に本ビットをセットする必要があります。本ビットを 1 にセットすると、HD はバッファデータポートレジスタにデータを書き込みません。本ビットは、現ステータスレジスタの読み出し転送アクティブビット、書き込み転送アクティブビット、DAT ラインアクティブビット、コマンド禁止 (DAT) ビットに影響を及ぼします。 0 : 転送 1 : 停止	R/W

9.4.15 reg_wakeupcontrol — ウェイクアップ制御レジスタ

本レジスタは、ウェイクアップ機能をプログラムする際に使用します。

アドレス 4010 002Bh (SDIO1)
4010 102Bh (SDIO2)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	wkupctrl_ _cardre moval	wkupctrl_ _cardin sertion	wkupctrl_ _cardint errupt
リセット後の値	X	X	X	X	X	0	0	0

表 9.17 reg_wakeupcontrol レジスタの内容

ビット位置	ビット名	機能	R/W
b7～b3	予約ビット		R
b2	wkupctrl_cardremoval	SD カード抜去時のウェイクアップイベントイネーブル 本ビットは、通常割り込みステータスレジスタのカード抜去ビットのアサートによるウェイクアップイベントをイネーブルします。CIS の FN_WUS（ウェイクアップサポート）は本ビットに影響しません。 0：ディスエーブル 1：イネーブル	R/W
b1	wkupctrl_cardinsertion	SD カード挿入時のウェイクアップイベントイネーブル 本ビットは、通常割り込みステータスレジスタのカード挿入ビットのアサートによるウェイクアップイベントをイネーブルします。CIS の FN_WUS（ウェイクアップサポート）は本ビットに影響しません。 0：ディスエーブル 1：イネーブル	R/W
b0	wkupctrl_cardinterrupt	カード割り込み時のウェイクアップイベントイネーブル 本ビットは、通常割り込みステータスレジスタのカード割り込みビットのアサートによるウェイクアップイベントをイネーブルします。CIS の FN_WUS（ウェイクアップサポート）を 1 にセットすると、本ビットも 1 にセットできます。 0：ディスエーブル 1：イネーブル	R/W

9.4.16 reg_clockcontrol — クロック制御レジスタ

本レジスタは、クロック周波数選択、ジェネレータ選択、クロックイネーブル、内部クロック状態の各フィールドをプログラムする際に使用します。

アドレス	4010 002Ch (SDIO1)															
	4010 102Ch (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	clkctrl_sdclkfreqsel								clkctrl_sdclkfreqsel_upperbits	clkctrl_clkgensel	—	—	clkctrl_sdclkena	sdhclkgen_intclkstable_dsync	clkctrl_intclkena	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	X	X	0	0	0

表 9.18 reg_clockcontrol レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15～b8	clkctrl_sdclkfreqsel	SDIO_CLK 周波数選択 本フィールドは、SDIO_CLK ピンの周波数を選択する際に使用します。周波数を直接プログラムすることはしません。本レジスタは、機能レジスタの corecfg_baseclkfreq の除数を保持します。以下の設定のみが可能です。 除数の長さは 10 ビットに拡張しているので、すべての分周値が使用可能です。除数の最上位 2 ビットは、本レジスタの clkctrl_sdclkfreqsel_upperbits に割り当てられています。 3FFh : 1/2046 分周クロック N : 1/2N 分周クロック (デューティ 50%) 002h : 1/4 分周クロック 001h : 1/2 分周クロック 000h : 基本クロック (10MHz～50MHz) 000h を設定すると、SD クロックの周波数は最大となります。機能レジスタの corecfg_baseclkfreq で定義された周波数を使えば、デフォルトの分周値を算出できます。 SDIO_CLK の周波数は次の式で得られます。 クロック周波数 = (基本クロック) / 除数 クロック周波数が目標値以下となる除数の最小値を選択してください。	R/W
b7、b6	clkctrl_sdclkfreqsel_upperbits	本フィールドは、SDIO_CLK 周波数選択のクロック分周値の最上位 2 ビットに割り当てられます。	R/W
b5	clkctrl_clkgensel	クロックジェネレータ選択 本 HC では、プログラマブルクロックモードはサポートしていません。本ビットは読み出し専用であり、ゼロが読み出されます。 0 : 分周クロックモード	R
b4、b3	予約ビット		R
b2	clkctrl_sdclkena	SD クロックイネーブル 本ビットに 0 を書き込むと SDIO_CLK が停止します。本ビットが 0 であるとき、SDIO_CLK 周波数選択ビットを変更できます。HC は、SDIO_CLK が停止するまで (SDIO_CLK=0 で停止するまで)、同じクロック周波数を維持します。HC がカードなし状態を検出したら、本ビットをクリアする必要があります。 0 : ディスエーブル 1 : イネーブル カード検出できない場合もしくは reg_powercontrol レジスタの pwrctrl_sdbuspower がクリアされると、本ビットはクリアされます。	R/W

表 9.18 reg_clockcontrol レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	sdhcclkgen_intclkstable_dsycn	内部クロック安定 本ビットは、本レジスタの内部クロックイネーブルビットを 1 にセットした後、SD クロックが安定状態であるとき 1 にセットされます。SD ホストドライバは、本ビットがセットされるまで SD クロックイネーブルビットのセットを待つ必要があります。 備考) 本ビットは、セットアップ時間を必要とするクロックオシレータで PLL を使用する際に役立ちます。 0 : 準備未完了 1 : 準備完了	R
b0	clkctrl_intclkena	内部クロックイネーブル 本ビットは、HD が HC を使用していないとき、または HC がウェイクアップイベントを待っているとき 0 にセットします。HC は、その内部クロックを停止して低電力状態となる必要があります。この状態でも、レジスタの読み出しと書き込みは可能です。本ビットが 1 になるとクロックは発振を開始します。クロック発振が安定すると、HC はこのレジスタの内部クロック安定ビットをセットします。本ビットはカードの検出に影響しません。 0 : 停止 1 : 発振	R/W

9.4.17 reg_timeoutcontrol — タイムアウト制御レジスタ

本レジスタはデータタイムアウトカウンタ値を設定します。

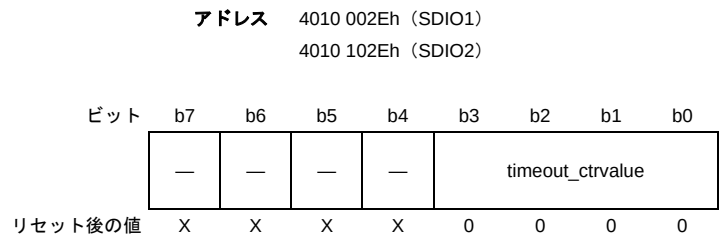


表 9.19 reg_timeoutcontrol レジスタの内容

ビット位置	ビット名	機能	R/W
b7～b4	予約ビット		R
b3～b0	timeout_ctrvalue	データタイムアウトカウンタ値 この値により、DAT ラインタイムアウト検出の期間が決まります。タイムアウト発生要因については、エラー割り込みステータスレジスタのデータタイムアウトエラーの説明を参照してください。この値の設定により、基本クロック（TMCLK）を除算することで、タイムアウト周波数が得られます。基本クロック（TMCLK）は、機能レジスタの corecfg_timeoutclkunit ビットで定義されます。本レジスタを設定するとき、エラー割り込みステータスレジスタのデータタイムアウトエラーステータスイネーブルビットをクリアすることで偶発的なタイムアウトを防止してください。 1111b : 予約 1110b : $TMCLK \times 2^{27}$ 0001b : $TMCLK \times 2^{14}$ 0000b : $TMCLK \times 2^{13}$	R/W

9.4.18 reg_softwarereset — ソフトウェアリセットレジスタ

本レジスタは、データとコマンドのソフトウェアリセットや、全体のソフトウェアリセットをプログラムする際に使用します。本レジスタの各ビットに 1 を書き込むとリセットパルスが生成されます。リセット完了後に各ビットはクリアされます。ソフトウェアリセットはすぐには完了しないため、HD は 0 になったことを確認してください。

アドレス 4010 002Fh (SDIO1)
4010 102Fh (SDIO2)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	swreset_for_dat	swreset_for_cm d	swreset_for_all
リセット後の値	X	X	X	X	X	0	0	0

表 9.20 reg_softwarereset レジスタの内容

ビット位置	ビット名	機能	R/W
b7～b3	予約ビット		R
b2	swreset_for_dat	DAT ラインのソフトウェアリセット データ回路の一部だけリセットします。本ビットで以下のレジスタとビットをクリアします。 - バッファデータポートレジスタ バッファをクリアして初期化します。 - 現ステータスレジスタ バッファ読み出しイネーブル バッファ書き込みイネーブル 読み出し転送アクティブ 書き込み転送アクティブ DAT ラインアクティブ コマンド禁止 (DAT) - ブロックギャップ制御レジスタ 要求継続 ブロックギャップ停止要求 - 通常割り込みステータスレジスタ バッファ読み出し可能 バッファ書き込み可能 ブロックギャップイベント 転送完了 0：動作 1：リセット	R/W
b1	swreset_for_cmd	CMD ラインのソフトウェアリセット コマンド回路の一部だけリセットします。本ビットで以下のレジスタとビットをクリアします。 - 現ステータスレジスタ：コマンド禁止 (CMD) - 通常割り込みステータスレジスタ：コマンド完了 0：動作 1：リセット	R/W
b0	swreset_for_all	全体ソフトウェアリセット このリセットは、カード検出回路を除く HC 全体のリセットです。レジスタビットは 0 にクリアされます。HD の初期化中、HD は本ビットを 1 にセットして HC をリセットします。HC により本ビットは 0 になります。本ビットを 1 にセットすると、HD により SD カードを再度初期設定することが必要です。 0：動作 1：リセット	R/W

9.4.19 reg_normalintrsts — 通常割り込みステータスレジスタ

本レジスタは、すべての割り込みの状態を示します。

通常割り込みステータスイネーブルレジスタは本レジスタの読み出しに影響しますが、通常割り込み信号イネーブルレジスタはこの読み出しには影響しません。通常割り込み信号イネーブルビットが有効であり、少なくともステータスビットの 1 つを 1 にセットすると、割り込みが発生します。

ビット	アドレス 4010 0030h (SDIO1) 4010 1030h (SDIO2)															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	reg_err orintrsts	—	—	—	—	—	—	normalintr sts_cardin tsts	normalintr sts_cardre msts	normalintr sts_cardin ssts	normalintr sts_bufdr eady	normalintr sts_bufwr eady	normalintr sts_dmain terrupt	normalintr sts_blkga pevent	normalintr sts_xferco mplete	normalintr sts_cmdc omplete
リセット後の値	0	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 9.21 reg_normalintrsts レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b15	reg_errorintrsts	エラー割り込み エラー割り込みレジスタのビットをセットすると、本ビットもセットされます。したがって HD は、本ビットを最初にチェックすることでエラーの有無を調べることができます。 0 : エラーなし 1 : エラーあり	R
b14~b9	予約ビット		R
b8	normalintrsts_cardints ts	カード割り込み 本ビットは、1 を書き込むことではクリアされません。SD カード割り込み要因をリセットすることでクリアされます。1 ビットモードでは、HC はウェイクアップをサポートするために SD クロックなしでカード割り込みを検出する必要があります。4 ビットモードでは、カード割り込み信号は割り込みサイクルでサンプリングされるので、カードからの割り込み信号とホストシステムへの割り込みの間である程度のサンプル遅延が生じます。 本ビットをセットしてから HD がこの割り込みサービスを開始する必要がある場合は、HC にラッチされたカード割り込みステータスをクリアしてホストシステムの駆動を停止するために、通常割り込みステータスイネーブルレジスタのカード割り込みステータスイネーブルビットを 0 にセットしてください。カード割り込みサービスの完了後（SD カードのリセット要因と割り込み信号のアサートは不可）、カード割り込みステータスイネーブルビットを 1 にセットし、割り込み信号のサンプリングを再開してください。 DAT[1]によって検出された割り込みは、スロットごとにカードがあるときサポートされます。 0 : カード割り込みなし 1 : カード割り込み発生	R
b7	normalintrsts_cardre msts	カード抜去 本ビットは、現ステータスレジスタのカード挿入ビットが 1 から 0 に変化するときセットされます。HD が 1 を書き込むことで本ビットをクリアするとき、現ステータスレジスタのカード挿入ビットの状態を確認する必要があります。HD が本ビットをクリアするとカード検出ビットが変化する可能性があるため、割り込みイベントを発生させることはできません。 0 : カード状態安定またはデバウンス 1 : カード未挿入	R/W

表 9.21 reg_normalintrsts レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b6	normalintrsts_cardinsts	カード挿入 本ビットは、現ステータスレジスタのカード挿入ビットが 0 から 1 に変化するときセットされます。HD が 1 を書き込むことで本ビットをクリアするとき、現ステータスレジスタのカード挿入ビットの状態を確認する必要があります。HD が本ビットをクリアするとカード検出ビットが変化する可能性があるため、割り込みイベントを発生させることはできません。 0 : カード状態安定またはデバウンス 1 : カード挿入	R/W
b5	normalintrsts_bufdrady	バッファ読み出し可能 本ビットは、バッファ読み出しイネーブルビットが 0 から 1 に変化するときセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : バッファ読み出し不可 1 : バッファ読み出し可	R/W
b4	normalintrsts_bufwrady	バッファ書き込み可能 本ビットは、バッファ書き込みイネーブルビットが 0 から 1 に変化するとセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : バッファ書き込み不可 1 : バッファ書き込み可	R/W
b3	normalintrsts_dmainterrupt	DMA 割り込み 本ビットは、HC がブロックサイズレジスタのホスト SDMA バッファ境界を検出するとセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : DMA 割り込みなし 1 : DMA 割り込み発生	R/W
b2	normalintrsts_blkgapevent	ブロックギャップイベント ブロックギャップ制御レジスタのブロックギャップ停止要求ビットがセットされると、本ビットもセットされます。 読み出しトランザクション : 本ビットは、DAT ラインアクティブステータスの立下りエッジで (SD バスタイミングでトランザクションが停止したとき) セットされます。この機能を使うには、読み出しウェイトのサポートが必要です。 書き込みトランザクション : 本ビットは、書き込み転送アクティブステータスの立下りエッジで (SD バスタイミングで CRC ステータスを取得した後) セットされます。 本ビットは、1b を書き込むことでクリアされます。 0 : ブロックギャップイベントなし 1 : ブロックギャップでトランザクション停止	R/W

表 9.21 reg_normalintrsts レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b1	normalintrsts_xfercomplete	転送完了 本ビットは、読み出し/書き込みトランザクションの完了時にセットされます。 読み出しトランザクション： 本ビットは、読み出し転送アクティブステータスの立下りエッジでセットされます。割り込みは 2 つの場合で発生します。1 つは、データ長による指定に従って最後のデータ（最後のデータをホストシステムに読み込んだ後で）完了した場合です。もう 1 つは、ブロックギャップでデータが停止し、ブロックギャップ制御レジスタのブロックギャップ停止要求ビットのセットによりデータ転送が（有効データをホストシステムに読み込んだ後で）完了した場合です。 書き込みトランザクション： 本ビットは、DAT ラインアクティブステータスの立下りエッジでセットされます。割り込みは 2 つの場合で発生します。1 つは、データ長による指定に従って最後のデータがカードに書き込まれてビジー信号が解除された場合です。もう 1 つは、ブロックギャップ制御レジスタのブロックギャップ停止要求ビットのセットによりブロックギャップでデータ転送が停止した場合です。（これは、有効データが SD カードに書き込まれてビジー信号が解除された後のことです）。 本ビットは、1b を書き込むことでクリアされます。 0：データ転送未完了 1：データ転送完了 備考） 転送完了はデータタイムアウトエラーより優先度が高くなります。両方のビットを 1 にセットした場合、データ転送が完了したと見なすことができます。	R/W
b0	normalintrsts_cmdcomplete	コマンド完了 本ビットは、コマンド応答（Auto CMD12 と Auto CMD23 を除く）の最終ビットの検出でセットされます。 本ビットは、1b を書き込むことでクリアされます。 0：コマンド未完了 1：コマンド完了 備考） コマンドタイムアウトエラーはコマンド完了より優先度が高くなります。両方のビットを 1 にセットした場合、応答が正しく受信されていないと見なすことができます。	R/W

9.4.20 reg_errorintrsts — エラー割り込みステータスレジスタ

本レジスタは、エラー割り込みのステータスを示します。

本レジスタで定義されたステータスは、エラー割り込み信号イネーブルレジスタではなくエラー割り込みステータスイネーブルレジスタによって有効となります。割り込みは、エラー割り込み信号イネーブルビットが有効となり、少なくとも 1 つのステータスが 1 にセットされると発生します。

アドレス	4010 0032h (SDIO1)															
	4010 1032h (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	errorintrsts_hosterror	—	—	errorintrsts_admaerror	errorintrsts_autocmderror	errorintrsts_currlimiterror	errorintrsts_dataendbiterror	errorintrsts_datacrcerror	errorintrsts_datatimeouterror	errorintrsts_cmdindexerror	errorintrsts_cmdendbiterror	errorintrsts_cmdcrcerror	errorintrsts_cmdtimeouterror
リセット後の値	X	X	X	0	X	X	0	0	0	0	0	0	0	0	0	0

表 9.22 reg_errorintrsts レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15~b13	予約ビット		R
b12	errorintrsts_hosterror	ターゲット応答エラー ホストエラー検出時にセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : エラーあり	R/W
b11、b10	予約ビット		R
b9	errorintrsts_admaerror	ADMA エラー 本ビットは、ADMA ベースのデータ転送の実行中に HC がエラーを検出するとセットされます。エラー発生時の ADMA の状態は、ADMA エラーステータスレジスタに保存されます。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : エラーあり	R/W
b8	errorintrsts_autocmderror	Auto CMD エラー Auto CMD12 と Auto CMD23 は、このエラーステータスを使用します。本ビットは、Auto CMD エラーステータスレジスタのビット (0~4) の 1 つが 0 から 1 へ変化するとセットされます。Auto CMD12 の場合、本ビットは Auto CMD12 エラーの発生時だけでなく、前回のコマンドエラーにより Auto CMD12 が実行されないときでも 1 にセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : エラーあり	R/W
b7	errorintrsts_currlimiterror	電流制限エラー 電源制御レジスタの SD バス電源ビットをセットすると、HC は SD バスに電源を供給することが求められます。HC が電流制限機能をサポートしているなら、カードへの電源供給を停止して HC を無効カードから保護することが可能です。この場合、本ビットは障害ステータスを示します。本ビットが 1 であれば、HC は何らかの障害により SD カードへ電源を供給していません。本ビットが 0 であれば、HC は電源を供給していてエラーの発生はありません。HC が上記の機能をサポートしていなければ、本ビットは常に 0 にセットすること。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : 電源異常	R/W
b6	errorintrsts_dataendbiterror	データ終了ビットエラー DAT ラインの読み出しデータの最終ビット位置または CRC ステータスの最終ビット位置で 0 を検出すると、1 にセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : エラーあり	R/W

表 9.22 reg_errorintrsts レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b5	errorintrsts_datacrcerror	データ CRC エラー DAT ラインの読み出しデータを転送するときエラーを検出すると、1 にセットされます。“010b” 以外の値を持つ書き込み CRC ステータスを検出しても、1 にセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : エラーあり	R/W
b4	errorintrsts_datatimeouterror	データタイムアウトエラー 以下のタイムアウトを検出すると、1 にセットされます。 1. R1b または R5b タイプのビジータイムアウト 2. 書き込み CRC ステータス後のビジータイムアウト 3. 書き込み CRC ステータスのタイムアウト 4. 読み出しデータのタイムアウト 本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : タイムアウト	R/W
b3	errorintrsts_cmdindexerror	コマンドインデックスエラー コマンド応答でコマンドインデックスエラーが発生すると、1 にセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : エラーあり	R/W
b2	errorintrsts_cmdendbiterror	コマンド終了ビットエラー コマンド応答の最終ビットが 0 であることを検出すると、1 にセットされます。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : 最終ビットエラー発生	R/W
b1	errorintrsts_cmdcrcerror	コマンド CRC エラー コマンド CRC エラーは、以下の 2 つの場合に発生します。 1. 応答が返ってコマンドタイムアウトエラービットが 0 になる場合。本ビットは、コマンド応答で CRC エラーを検出すると 1 にセットされます。 2. コマンド発行時、HC が CMD ラインをモニターして CMD ライン衝突を検出した場合。HC が CMD ラインを 1 レベルに駆動し、次の SDIO_CLK エッジで CMD ラインの 0 レベルを検出すると、HC はコマンドをアボート (CMD ラインの駆動を停止) して本ビットを 1 にセットする必要があります。コマンドタイムアウトエラービットは、CMD ライン衝突を識別するときも 1 にセットします。 本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : CRC エラー	R/W
b0	errorintrsts_cmdtimeouterror	コマンドタイムアウトエラー コマンドの最終ビットから 64 SDIO_CLK サイクル以内で応答がなければ、1 にセットされます。HC が CMD ライン衝突を検出したときも、コマンド CRC エラービットがセットされます。コマンドが HC でアボートされるので、本ビットは 64 SDIO_CLK サイクルの経過を待つことなくセットすること。本ビットは、1b を書き込むことでクリアされます。 0 : エラーなし 1 : タイムアウト	R/W

9.4.21 reg_normalintrstsena — 通常割り込みステータスイネーブルレジスタ

本レジスタは、通常割り込みステータスレジスタのフィールドを有効化するために使用します。

アドレス 4010 0034h (SDIO1)
4010 1034h (SDIO2)

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	normalintrsts_enableregbit15	—	—	—	—	—	—	sdhcregset_cardintrstsena	sdhcregset_cardremtstsena	sdhcregset_cardinssstsena	normalintrsts_enableregbit5	normalintrsts_enableregbit4	normalintrsts_enableregbit3	normalintrsts_enableregbit2	normalintrsts_enableregbit1	normalintrsts_enableregbit0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 9.23 reg_normalintrstsena レジスタの内容

ビット位置	ビット名	機能	R/W
b15	normalintrsts_enableregbit15	本ビットは 0 固定です。HD は、エラー割り込みステータスイネーブルレジスタを使ってエラー割り込みを制御します。	R
b14~b9	予約ビット	初期値を維持してください。	R/W
b8	sdhcregset_cardintrstsena	カード割り込みステータスイネーブル 本ビットが 0 であれば、HC はシステムに対する割り込み要求をクリアします。カード割り込み検出は、本ビットがクリアされると停止し、本ビットが 1 にセットされると再開します。HD は、カード割り込みを処理する前にカード割り込みステータスイネーブルビットをクリアできます。不注意による割り込みを防止するために、カードからのすべての割り込み要求がクリアされた後で本ビットを再びセットすることもできます。 0 : マスクする 1 : 有効	R/W
b7	sdhcregset_cardremtstsena	カード抜去ステータスイネーブル 0 : マスクする 1 : 有効	R/W
b6	sdhcregset_cardinssstsena	カード挿入ステータスイネーブル 0 : マスクする 1 : 有効	R/W
b5	normalintrsts_enableregbit5	バッファ読み出し可能ステータスイネーブル 0 : マスクする 1 : 有効	R/W
b4	normalintrsts_enableregbit4	バッファ書き込み可能ステータスイネーブル 0 : マスクする 1 : 有効	R/W
b3	normalintrsts_enableregbit3	DMA 割り込みステータスイネーブル 0 : マスクする 1 : 有効	R/W
b2	normalintrsts_enableregbit2	ブロックギャップイベントステータスイネーブル 0 : マスクする 1 : 有効	R/W
b1	normalintrsts_enableregbit1	転送完了ステータスイネーブル 0 : マスクする 1 : 有効	R/W
b0	normalintrsts_enableregbit0	コマンド完了ステータスイネーブル 0 : マスクする 1 : 有効	R/W

9.4.22 reg_errorintrstsena — エラー割り込みステータスイネーブルレジスタ

本レジスタは、エラー割り込みステータスレジスタのフィールドを有効化するために使用します。

アドレス 4010 0036h (SDIO1)

4010 1036h (SDIO2)

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	errorintrsts_enableregbit12	—	—	errorintrsts_enableregbit9	errorintrsts_enableregbit8	errorintrsts_enableregbit7	errorintrsts_enableregbit6	errorintrsts_enableregbit5	errorintrsts_enableregbit4	errorintrsts_enableregbit3	errorintrsts_enableregbit2	errorintrsts_enableregbit1	errorintrsts_enableregbit0
リセット後の値	X	0	0	0	X	0	0	0	0	0	0	0	0	0	0	0

表 9.24 reg_errorintrstsena レジスタの内容

ビット位置	ビット名	機能	R/W
b15	予約ビット		R
b14～b13	予約ビット	初期値を維持してください。	R/W
b12	errorintrsts_enableregbit12	ターゲット応答エラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b11	予約ビット		R
b10	予約ビット	初期値を維持してください。	R/W
b9	errorintrsts_enableregbit9	ADMA エラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b8	errorintrsts_enableregbit8	Auto CMD エラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b7	errorintrsts_enableregbit7	電流制限エラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b6	errorintrsts_enableregbit6	データ終了ビットエラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b5	errorintrsts_enableregbit5	データ CRC エラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b4	errorintrsts_enableregbit4	データタイムアウトエラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b3	errorintrsts_enableregbit3	コマンドインデックスエラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b2	errorintrsts_enableregbit2	コマンド終了ビットエラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b1	errorintrsts_enableregbit1	コマンド CRC エラーステータスイネーブル 0 : マスクする 1 : 有効	R/W
b0	errorintrsts_enableregbit0	コマンドタイムアウトエラーステータスイネーブル 0 : マスクする 1 : 有効	R/W

9.4.23 reg_normalintrsigena — 通常割り込み信号イネーブルレジスタ

本レジスタは、ホストシステムに対して割り込みとして示される割り込みステータスを選択するために使用します。これらのステータスビットはすべて、1 ビット割り込みライン（SDIF_Int）で共有されます。どのビットを1にセットしても、割り込みの生成が可能となります。

アドレス		4010 0038h (SDIO1)															
		4010 1038h (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	normalintrsig_enableregbit15	—	—	—	—	—	—	normalintrsig_enableregbit8	normalintrsig_enableregbit7	normalintrsig_enableregbit6	normalintrsig_enableregbit5	normalintrsig_enableregbit4	normalintrsig_enableregbit3	normalintrsig_enableregbit2	normalintrsig_enableregbit1	normalintrsig_enableregbit0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 9.25 reg_normalintrsigena レジスタの内容

ビット位置	ビット名	機能	R/W
b15	normalintrsig_enableregbit15	本ビットは0 固定です。HD は、エラー割り込み信号イネーブルレジスタを使ってエラー割り込みを制御する必要があります。	R
b14～b9	予約ビット	初期値を維持してください。	R/W
b8	normalintrsig_enableregbit8	カード割り込み信号許可 0：割り込み禁止 1：割り込み許可	R/W
b7	normalintrsig_enableregbit7	カード抜去信号許可 0：割り込み禁止 1：割り込み許可	R/W
b6	normalintrsig_enableregbit6	カード挿入信号許可 0：割り込み禁止 1：割り込み許可	R/W
b5	normalintrsig_enableregbit5	バッファ読み出し可能信号許可 0：割り込み禁止 1：割り込み許可	R/W
b4	normalintrsig_enableregbit4	バッファ書き込み可能信号許可 0：割り込み禁止 1：割り込み許可	R/W
b3	normalintrsig_enableregbit3	DMA 割り込み信号許可 0：割り込み禁止 1：割り込み許可	R/W
b2	normalintrsig_enableregbit2	ブロックギャップイベント信号許可 0：割り込み禁止 1：割り込み許可	R/W
b1	normalintrsig_enableregbit1	転送完了信号許可 0：割り込み禁止 1：割り込み許可	R/W
b0	normalintrsig_enableregbit0	コマンド完了信号許可 0：割り込み禁止 1：割り込み許可	R/W

9.4.24 reg_errorintrsigena — エラー割り込み信号イネーブルレジスタ

本レジスタは、ホストシステムに対して割り込みとして示される割り込みステータスを選択するために使用します。これらのステータスビットはすべて、1 ビット割り込みライン（SDIF_Int）で共有されます。どのビットを 1 にセットしても、割り込みの生成が可能となります。

アドレス	4010 003Ah (SDIO1)															
	4010 103Ah (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	errorintrsig_enableregbit12	—	—	errorintrsig_enableregbit9	errorintrsig_enableregbit8	errorintrsig_enableregbit7	errorintrsig_enableregbit6	errorintrsig_enableregbit5	errorintrsig_enableregbit4	errorintrsig_enableregbit3	errorintrsig_enableregbit2	errorintrsig_enableregbit1	errorintrsig_enableregbit0
リセット後の値	X	0	0	0	X	0	0	0	0	0	0	0	0	0	0	0

表 9.26 reg_errorintrsigena レジスタの内容

ビット位置	ビット名	機能	R/W
b15	予約ビット		R
b14~b13	予約ビット	初期値を維持してください。	R/W
b12	errorintrsig_enableregbit12	ターゲット応答エラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b11	予約ビット		R
b10	予約ビット	初期値を維持してください。	R/W
b9	errorintrsig_enableregbit9	ADMA エラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b8	errorintrsig_enableregbit8	Auto CMD エラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b7	errorintrsig_enableregbit7	電流制限エラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b6	errorintrsig_enableregbit6	データ終了ビットエラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	errorintrsig_enableregbit5	データ CRC エラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b4	errorintrsig_enableregbit4	データタイムアウトエラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b3	errorintrsig_enableregbit3	コマンドインデックスエラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b2	errorintrsig_enableregbit2	コマンド終了ビットエラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b1	errorintrsig_enableregbit1	コマンド CRC エラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W
b0	errorintrsig_enableregbit0	コマンドタイムアウトエラー信号許可 0 : 割り込み禁止 1 : 割り込み許可	R/W

9.4.25 reg_autocmderrsts — Auto CMD エラーステータスレジスタ

本レジスタは、Auto CMD12 の CMD12 応答エラーと Auto CMD23 の CMD23 応答エラーを報告するために使用します。

アドレス	4010 003Ch (SDIO1)															
	4010 103Ch (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	autocmderrsts_nexterror	—	—	autocmderrsts_indexerror	autocmderrsts_endbiterror	autocmderrsts_crcerror	autocmderrsts_timeouterror	autocmderrsts_notexecerror
リセット後の値	X	X	X	X	X	X	X	X	0	X	X	0	0	0	0	0

表 9.27 reg_autocmderrsts レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b8	予約ビット		R
b7	autocmderrsts_nexterror	Auto CMD12 エラーによるコマンド未発行 本レジスタの Auto CMD12 エラービット（4～1）により CMD_wo_DAT が実行されない場合、本ビットは 1 にセットされます。Auto CMD23 により Auto CMD エラーが発生すると、0 にセットされます。 0：エラーなし 1：未発行	R
b6、b5	予約ビット		R
b4	autocmderrsts_indexerror	Auto CMD インデックスエラー コマンドでコマンドインデックスエラーが発生すると、1 にセットされます。 0：エラーなし 1：エラーあり	R
b3	autocmderrsts_endbiterror	Auto CMD 終了ビットエラー コマンド応答の終了ビットが 0 であることを検出すると、1 にセットされます。 0：エラーなし 1：終了ビットエラー発生	R
b2	autocmderrsts_crcerror	Auto CMD CRC エラー コマンド応答の CRC ビットエラーを検出すると、1 にセットされます。 0：エラーなし 1：CRC エラー発生	R
b1	autocmderrsts_timeouterror	Auto CMD タイムアウトエラー コマンドの終了ビットから 64 SDIO_CLK サイクル以内で応答がなければ、1 にセットされます。本ビットが 1 であるとき、他のエラーステータスビット（4～2）は意味を持ちません。 0：エラーなし 1：タイムアウト	R
b0	autocmderrsts_notexecerror	Auto CMD12 未実行 マルチブロック転送がコマンドエラーにより開始しなければ、Auto CMD12 の発行は不要となるので本ビットはセットされません。何らかのエラーにより HC がマルチブロック転送停止の Auto CMD12 を発行できない場合、本ビットは 1 にセットされます。本ビットが 1 であるとき、他のエラーステータスビット（4～1）は意味を持ちません。Auto CMD23 により Auto CMD エラーが発生すると、0 にセットされます。 0：実行 1：未実行	R

9.4.26 reg_hostcontrol2 — ホスト制御 2 レジスタ

本レジスタは、非同期割り込みイネーブルとプリセット値イネーブルをプログラムする際に使用します。

アドレス	4010 003Eh (SDIO1)															
	4010 103Eh (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	hostctrl2_presetvalueenable	hostctrl2_asynchintre enable	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 9.28 reg_hostcontrol2 レジスタの内容

ビット位置	ビット名	機能	R/W
b15	hostctrl2_presetvalue enable	プリセット値イネーブル SDIO_CLK 動作周波数はホストシステムの実装に依存するので、これらのパラメータを標準 HD で決めるのは容易ではありません。プリセット値イネーブルビットが 1 にセットされると、本ビットはプリセット値レジスタで定義された機能を有効化します。 0 : SDIO_CLK を HD で制御 1 : プリセット値による自動選択が可能 本ビットが 0 にセットされると、クロック制御レジスタの SDIO_CLK 周波数選択ビットとクロックジェネレータ選択ビットは HD によりセットされます。 本ビットが 1 にセットされると、クロック制御レジスタの SDIO_CLK 周波数選択ビットとクロックジェネレータ選択ビットはプリセット値レジスタでの指定に従って HC によりセットされます。	R/W
b14	hostctrl2_asynchintre nable	非同期割り込みイネーブル カードが非同期割り込みをサポートしていて機能レジスタの非同期割り込みサポートビットが 1 であれば、本ビットを 1 にセットすることができます。非同期割り込みは、DAT[1]割り込みを 4 ビット SD モードで使用するとき有効となります。本ビットが 1 であれば、HD は非同期割り込み期間中に SDIO_CLK を停止して省電力化を図ることができます。この期間中、カードによりカード割り込みがアサートされていれば、HC はホストへのカード割り込み送信を継続します。 0 : 無効 1 : 有効	R/W
b13~b8	予約ビット		R
b7~b0	予約ビット	初期値を維持してください。	R/W

9.4.27 reg_capabilities — 機能レジスタ

本レジスタは、ホストコントローラの実装固有の情報をホストドライバに提供します。

“slottype” と “baseclkfreq” は、システムコントロールの CFG_SDIO[m] レジスタで定義されます。

アドレス

4010 0040h (SDIO1)

4010 1040h (SDIO2)

ビット

b31

b30

b29

b28

b27

b26

b25

b24

b23

b22

b21

b20

b19

b18

b17

b16

corecfg_slottype

corecfg_asynchintrsupport

corecfg_64bitsupport

—

corecfg_1p8voltsupport

corecfg_3p0voltsupport

corecfg_3p3voltsupport

corecfg_suspendsupport

corecfg_sdmasupport

corecfg_highspeedsupport

—

corecfg_adma2support

corecfg_8bitsupport

corecfg_maxblklength

リセット後の値

X

X

1

0

0

1

1

1

1

1

1

1

0

1

1

0

1

ビット

b15

b14

b13

b12

b11

b10

b9

b8

b7

b6

b5

b4

b3

b2

b1

b0

corecfg_baseclkfreq

corecfg_timeoutunit

—

corecfg_timeoutclkfreq

リセット後の値

X

X

X

X

X

X

X

X

X

1

0

0

0

0

0

0

1

表 9.29 reg_capabilities レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31、b30	corecfg_slottype	このスロットタイプはシステムコントロールの CFG_SDIO[m] (m=1 または 2) レジスタ SLOTTYPE ビットの値が反映されます。カード検出時間の決定にも使われるため、適切な値を設定してください。 00b : 取り外し可能なカードスロット 01b : 1 デバイスに対応する組み込みスロット その他 : 予約ビット	R
b29	corecfg_asynchintrsupport	非同期割り込みについては、SDIO Specification Version 3.00 を参照してください。 0 : 非同期割り込みサポートなし。 1 : 非同期割り込みサポートあり。	R
b28	corecfg_64bitsupport	本ビットは、HC が 64 ビットシステムバスをサポートしているかどうかを示します。 0 : 64 ビットシステムアドレスのサポートなし。 1 : 64 ビットシステムアドレスのサポートあり。	R
b27	予約ビット		R
b26	corecfg_1p8voltsupport	本ビットは、HC が 1.8V をサポートしているかどうかを示します。 0 : 1.8V サポートなし 1 : 1.8V サポートあり (本 LSI では、使用できません。)	R
b25	corecfg_3p0voltsupport	本ビットは、HC が 3.0V をサポートしているかどうかを示します。 0 : 3.0V サポートなし 1 : 3.0V サポートあり (本 LSI では、使用できません。)	R
b24	corecfg_3p3voltsupport	本ビットは、HC が 3.3V をサポートしているかどうかを示します。 0 : 3.3V サポートなし 1 : 3.3V サポートあり	R
b23	corecfg_suspressupport	本ビットは、HC がサスペンド/レジューム機能をサポートしているかどうかを示します。本ビットが 0 であれば、サポートしていないので、HD がサスペンド/レジュームコマンドを発行してはいけません。 0 : サポートなし 1 : サポートあり	R
b22	corecfg_sdmasupport	本ビットは、システムメモリと HC の間でデータを直接転送するために、HC が DMA を使用できるかどうかを示します。 0 : SDMA 使用不可 1 : SDMA 使用可	R

表 9.29 reg_capabilities レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b21	corecfg_highspeedsupport	本ビットは、HC とホストシステムがハイスピードモードをサポートしているかどうか、SD クロック (SD の場合は 25MHz~50MHz/eMMC の場合は 20MHz~50MHz) を供給できるかどうかを示します。 0 : ハイスピードモードのサポートなし 1 : ハイスピードモードのサポートあり	R
b20	予約ビット		R
b19	corecfg_adma2support	0 : ADMA2 のサポートなし 1 : ADMA2 のサポートあり	R
b18	corecfg_8bitsupport	本ビットは、HC が 8 ビットバス幅モードを使用できるかどうかを示します。 0 : 拡張メディアバスのサポートなし 1 : 拡張メディアバスのサポートあり	R
b17~b16	corecfg_maxblklength	HD が HC のバッファで読み出し/書き込みできるブロックサイズの最大値を示します。バッファは、このブロックサイズをウェイトサイクルなしで転送する必要があります。 00b : 512 バイト 01b : 1024 バイト 10b : 2048 バイト 11b : 予約	R
b15~b8	corecfg_baseclkfreq	SDIO_CLK の基本クロック周波数を示します。(システムコントロールの CFG_SDIO[m] レジスタはスロットごとに定義されます。) 単位は 1MHz です。サポートしている周波数レンジは 10MHz~50MHz です。 32h : 50MHz 02h : 2MHz 01h : 1MHz 実際の周波数が 16.5MHz であれば、その切り上げた値である 11h (17MHz) を設定します。この値を使って HD はクロック分周値を算出しますが (クロック制御レジスタの SDIO_CLK 周波数選択ビットを参照)、周波数は SD クロック周波数の上限を超えてはならないからです。	R
b7	corecfg_timeoutclkunit	本ビットは、データタイムアウトエラーを検出する際に使われる基本クロック (TMCLK) 周波数の単位を示します。 0 : kHz 1 : MHz	R
b6	予約ビット		R
b5~b0	corecfg_timeoutclkfreq	本ビットは、データタイムアウトエラーを検出する際に使われる基本クロック周波数を示します。 000000b : 別の方法で情報を取得 その他 : 1kHz~63kHz または 1MHz~63MHz。	R

9.4.28 reg_capabilities_cont — 機能レジスタ（続き）

本レジスタは、ホストコントローラの実装に固有な情報をホストドライバに提供します。

アドレス		4010 0044h (SDIO1)														
		4010 1044h (SDIO2)														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	corecfg_spiblkmode	corecfg_spisupport	corecfg_clockmultiplier							
リセット後の値	X	X	X	X	X	X	0	1	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	X	0	0	0	0	X	0	0	0	X	0	0	0

表 9.30 reg_capabilities_cont レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b26	予約ビット		R
b25	corecfg_spiblkmode	本フィールドは、SPI ブロックモードをサポートしているかどうかを示します。 0：サポートなし 1：サポートあり	R
b24	corecfg_spisupport	本フィールドは、SPI モードをサポートしているかどうかを示します。 0：サポートなし 1：サポートあり	R
b23～b16	corecfg_clockmultiplier	本フィールドは、プログラマブルクロックジェネレータのクロック逡倍値を示します。00h をセットするのは、HC がプログラマブルクロックジェネレータをサポートしていない場合です。 00h：クロック逡倍値のサポートなし	R
b15～b0	予約ビット		R

9.4.30 reg_ForceEventforAUTOCMDErrorStatus — Auto CMD エラー強制イベントステータスレジスタ

本レジスタは物理的に実装されたものではなく、意図的に設定が難しい Auto CMD エラーステータスレジスタの任意のビットを設定するために使用します。

アドレス 4010 0050h (SDIO1)
4010 1050h (SDIO2)

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	forcecmd notissued byautocm d12err	—	—	forceaut ocmdin dexerr	forceaut ocmden dbiterr	forceaut ocmdcr cerr	forceaut ocmdti meouterr	forceaut ocmdno texec
リセット後の値	X	X	X	X	X	X	X	X	0	X	X	0	0	0	0	0

表 9.32 reg_ForceEventforAUTOCMDErrorStatus レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b8	予約ビット		R
b7	forcecmdnotissuedby autocmd12err	Auto CMD12 エラーによるコマンド未発行の強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b6、b5	予約ビット		R
b4	forceautocmdindexerr	Auto CMD インデックスエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b3	forceautocmdendbiter r	Auto CMD 最終ビットエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b2	forceautocmdrcerr	Auto CMD CRC エラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b1	forceautocmdtimeout err	Auto CMD タイムアウトエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b0	forceautocmdnotexec	Auto CMD12 未実行の強制イベント 1 : 割り込み発生 0 : 割り込みなし	W

9.4.31 reg_forceeventforerrintsts — エラー割り込み強制イベントステータスレジスタ

本レジスタは物理的に実装されたものではなく、意図的に設定が難しいエラー割り込みステータスレジスタの任意のビットを設定するために使用します。

アドレス 4010 0052h (SDIO1)

4010 1052h (SDIO2)

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	forceadmaerr	forceautocmderr	forcecurrlimerr	forcedatendbiterr	forcedatcrcerr	forcedatimeouterr	forcecmdindexerr	forcecmdendbiterr	forcecmdcrcerr	forcecmdtimeouterr
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0

表 9.33 reg_forceeventforerrintsts レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b10	予約ビット		R
b9	forceadmaerr	ADMA エラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b8	forceautocmderr	Auto CMD エラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b7	forcecurrlimerr	電流制限エラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b6	forcedatendbiterr	データ最終ビットエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b5	forcedatcrcerr	データ CRC エラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b4	forcedatimeouterr	データタイムアウトエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b3	forcecmdindexerr	コマンドインデックスエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b2	forcecmdendbiterr	コマンド最終ビットエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b1	forcecmdcrcerr	コマンド CRC エラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W
b0	forcecmdtimeouterr	コマンドタイムアウトエラーの強制イベント 1 : 割り込み発生 0 : 割り込みなし	W

9.4.32 reg_admaerrsts — ADMA エラーステータスレジスタ

ADMA エラー割り込みが発生すると、ADMA の状態が本レジスタの ADMA エラー状態フィールドに保存され、ADMA システムアドレスはエラーデスクリプタ周辺のアドレスとなります。

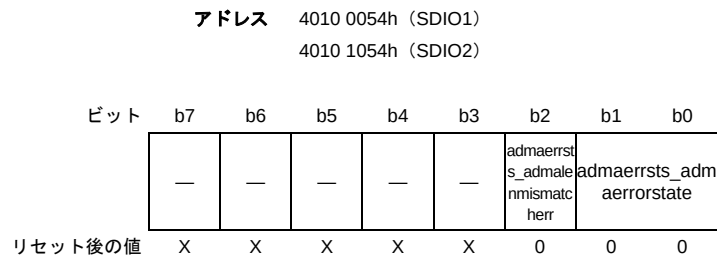


Table 9.34 reg_admaerrsts レジスタの内容

ビット位置	ビット名	機能	R/W															
b7～b3	予約ビット		R															
b2	admaerrsts_admalen mismatcherr	ADMA 長不一致エラー 本エラーは以下の 2 つの場合に発生します。 - ブロックカウントイネーブルビットがセット状態であって、デスクリプタテーブルで指定された合計データ長がブロックカウントおよびブロック長で指定されたものとは異なる場合 - 合計データ長がブロック長で乗算できない場合 1：エラーあり 0：エラーなし	R															
b1、b0	admaerrsts_admaerrorstate	ADMA エラー状態 本フィールドは、ADMA データの転送中にエラーが発生した際の ADMA の状態を示します。本フィールドは“10b”になりません。この状態で ADMA が停止することはないからです。 <table><tr><th>ビット 1～0</th><th>エラー発生時の ADMA エラー状態</th><th>SYS_SDR レジスタの内容</th></tr><tr><td>00b</td><td>ST_STOP（DMA の停止）</td><td>エラーデスクリプタの次の位置を指す。</td></tr><tr><td>01b</td><td>ST_FDS（デスクリプタのフェッチ）</td><td>エラーデスクリプタを指す。</td></tr><tr><td>10b</td><td>この状態はセットされない。</td><td>（使用せず）</td></tr><tr><td>11b</td><td>ST_TFR（データの転送）</td><td>エラーデスクリプタの次の位置を指す。</td></tr></table>	ビット 1～0	エラー発生時の ADMA エラー状態	SYS_SDR レジスタの内容	00b	ST_STOP（DMA の停止）	エラーデスクリプタの次の位置を指す。	01b	ST_FDS（デスクリプタのフェッチ）	エラーデスクリプタを指す。	10b	この状態はセットされない。	（使用せず）	11b	ST_TFR（データの転送）	エラーデスクリプタの次の位置を指す。	R
ビット 1～0	エラー発生時の ADMA エラー状態	SYS_SDR レジスタの内容																
00b	ST_STOP（DMA の停止）	エラーデスクリプタの次の位置を指す。																
01b	ST_FDS（デスクリプタのフェッチ）	エラーデスクリプタを指す。																
10b	この状態はセットされない。	（使用せず）																
11b	ST_TFR（データの転送）	エラーデスクリプタの次の位置を指す。																

9.4.33 reg_admasysaddr0 — ADMA システムアドレスレジスタ（下位）

本レジスタは、ADMA データ転送で使われる物理アドレスであるシステムメモリアドレスの下位 16 ビットを含みます。

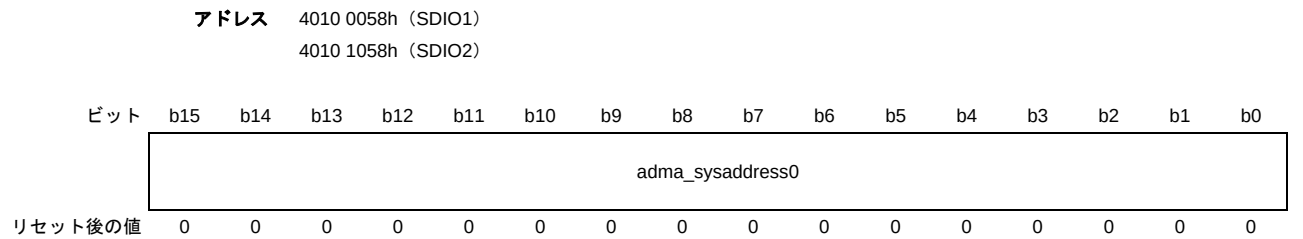


表 9.35 reg_admasysaddr0 レジスタの内容

ビット位置	ビット名	機能	R/W										
b15～b0	adma_sysaddress0	本レジスタは、デスクリプタテーブルの実行コマンドのバイトアドレスを保持します。 32 ビットアドレスデスクリプタは、システムアドレス 32 ビットを使用します。ADMA の開始時、HD はデスクリプタテーブルの開始アドレスを設定する必要があります。ADMA は本レジスタのアドレスをインクリメントして、次のデスクリプタ行がフェッチされるようにします。ADMA エラー割り込みが発生すると、本レジスタは ADMA 状態に応じて有効なデスクリプタアドレスを保持する必要があります。HD は、32 ビット境界でデスクリプタテーブルをプログラムし、32 ビット境界のアドレスを本レジスタで設定する必要があります。ADMA2 は、本レジスタの下位 2 ビットが 00b であると見なし、その他の値を無視します。 32 ビットアドレス ADMA <table><tr><th>レジスタ値 (reg_admasysaddr1、reg_admasysaddr0)</th><th>32 ビットシステムアドレス</th></tr><tr><td>0000h, 0000h</td><td>00000000h</td></tr><tr><td>0000h, 0004h</td><td>00000004h</td></tr><tr><td>...</td><td>...</td></tr><tr><td>FFFFh, FFFCh</td><td>FFFFFFFFCh</td></tr></table>	レジスタ値 (reg_admasysaddr1、reg_admasysaddr0)	32 ビットシステムアドレス	0000h, 0000h	00000000h	0000h, 0004h	00000004h	...	...	FFFFh, FFFCh	FFFFFFFFCh	R/W
レジスタ値 (reg_admasysaddr1、reg_admasysaddr0)	32 ビットシステムアドレス												
0000h, 0000h	00000000h												
0000h, 0004h	00000004h												
...	...												
FFFFh, FFFCh	FFFFFFFFCh												

9.4.34 reg_admasysaddr1 — ADMA システムアドレスレジスタ（上位）

本レジスタは、ADMA データ転送で使われる物理アドレスであるシステムメモリアドレスの上位 16 ビットを含みます。

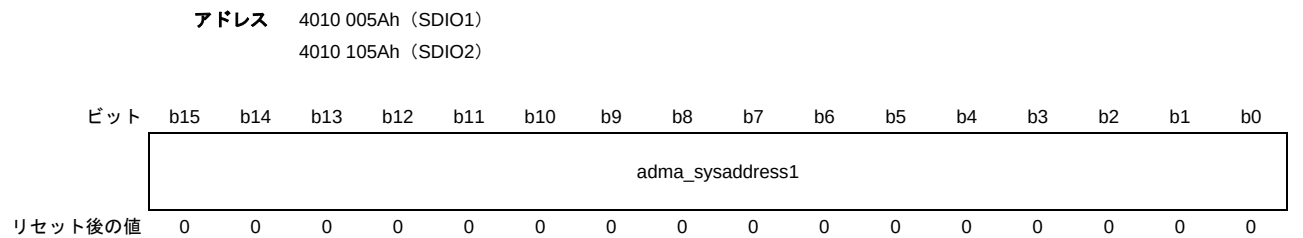


表 9.36 reg_admasysaddr1 レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b0	adma_sysaddress1	本レジスタは、デスクリプタテーブルの実行コマンドのバイトアドレスを保持します。本フィールドの詳細については、reg_admasysaddr0 に記載されています。	R/W

9.4.35 reg_presetvalue0 — 初期化プリセット値レジスタ

本レジスタは、初期化用の SDIO_CLK 周波数選択値とクロックジェネレータ選択値を読み出す際に使用します。

アドレス	4010 0060h (SDIO1)															
	4010 1060h (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	クロック ジェネ レータ選 択値	SDCLK 周波数選択値									
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 9.37 reg_presetvalue0 レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b11	予約ビット		R
b10	クロックジェネレータ選択値	本ビットは、HC がプログラマブルクロックジェネレータをサポートしているとき有効です。 0 : ホストコントローラ Ver 2.00 対応クロックジェネレータ 1 : プログラマブルクロックジェネレータ	R
b9～b0	SDCLK 周波数選択値	クロック制御レジスタの SDIO_CLK 周波数選択ビットをセットするための 10 ビットのプリセット値は、ホストシステムによって規定されます。	R

9.4.36 reg_presetvalue1 — デフォルトスピードプリセット値レジスタ

本レジスタは、デフォルトスピード用の SDIO_CLK 周波数選択値とクロックジェネレータ選択値を読み出す際に使用します。

アドレス	4010 0062h (SDIO1)															
	4010 1062h (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	クロック ジェネ レータ選 択値	SDCLK 周波数選択値									
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 9.38 reg_presetvalue1 レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b11	予約ビット		R
b10	クロックジェネレータ選択値	本ビットは、HC がプログラマブルクロックジェネレータをサポートしているとき有効です。 0 : ホストコントローラ Ver 2.00 対応クロックジェネレータ 1 : プログラマブルクロックジェネレータ	R
b9～b0	SDCLK 周波数選択値	クロック制御レジスタの SDIO_CLK 周波数選択ビットをセットするための 10 ビットのプリセット値は、ホストシステムによって規定されます。	R

9.4.37 reg_presetvalue2 — ハイスピードプリセット値レジスタ

本レジスタは、ハイスピード用の SDIO_CLK 周波数選択値とクロックジェネレータ選択値を読み出す際に使用します。

アドレス	4010 0064h (SDIO1)															
	4010 1064h (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	クロック ジェネ レータ選 択値	SDCLK 周波数選択値									
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 9.39 reg_presetvalue2 レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b11	予約ビット		R
b10	クロックジェネレータ選択値	本ビットは、HC がプログラマブルクロックジェネレータをサポートしているとき有効です。 0 : ホストコントローラ Ver 2.00 対応クロックジェネレータ 1 : プログラマブルクロックジェネレータ	R
b9~b0	SDCLK 周波数選択値	クロック制御レジスタの SDIO_CLK 周波数選択ビットをセットするための 10 ビットのプリセット値は、ホストシステムによって規定されます。	R

9.4.38 reg_slotintrsts — スロット割り込みステータスレジスタ

本レジスタは、各スロットの割り込み信号を読み出す際に使用します。

アドレス	4010 00FCh (SDIO1)															
	4010 10FCh (SDIO2)															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	sdhchos tif_slotin trsts
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 9.40 reg_slotintrsts レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b1	予約ビット		R
b0	sdhchos tif_slotintrsts	本ステータスビットは、スロットの割り込み信号とウェイクアップ信号の論理和を示します。	R

9.4.39 reg_hostcontrollerver — ホストコントローラバージョンレジスタ

本レジスタは、ベンダーバージョン番号と仕様バージョン番号を読み出す際に使用します。

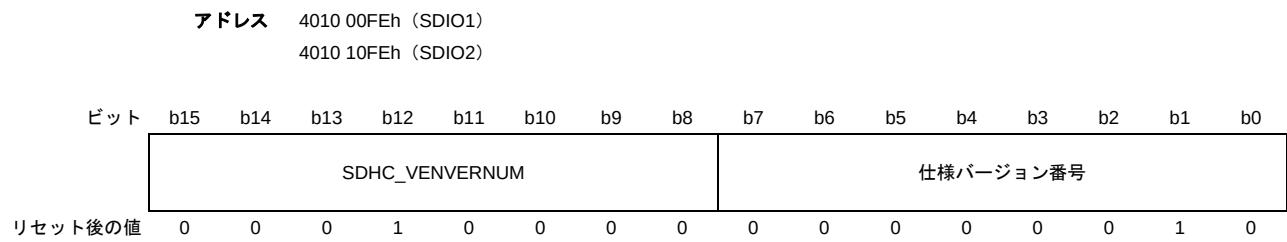


表 9.41 reg_hostcontrollerver レジスタの内容

ビット位置	ビット名	機能	R/W
b15～b8	SDHC_VENVERNUM	ベンダーバージョン番号は 10h (1.0) に設定されます。	R
b7～b0	仕様バージョン番号	HC バージョン番号は 02h に設定されます。(SD ホスト仕様バージョン 3.00)	R

9.5 SDIO のプログラミング

本章では、各種のデータ転送プロトコルの詳細を示し、これらのプロトコルの設定方法について説明します。

- 非 DMA データトランザクション
- DMA データトランザクション
- ADMA データトランザクション
- アボートトランザクション（同期および非同期）

9.5.1 非 DMA トランザクション

DMA を使用しないシーケンス（非 DMA トランザクション）を以下に示します。

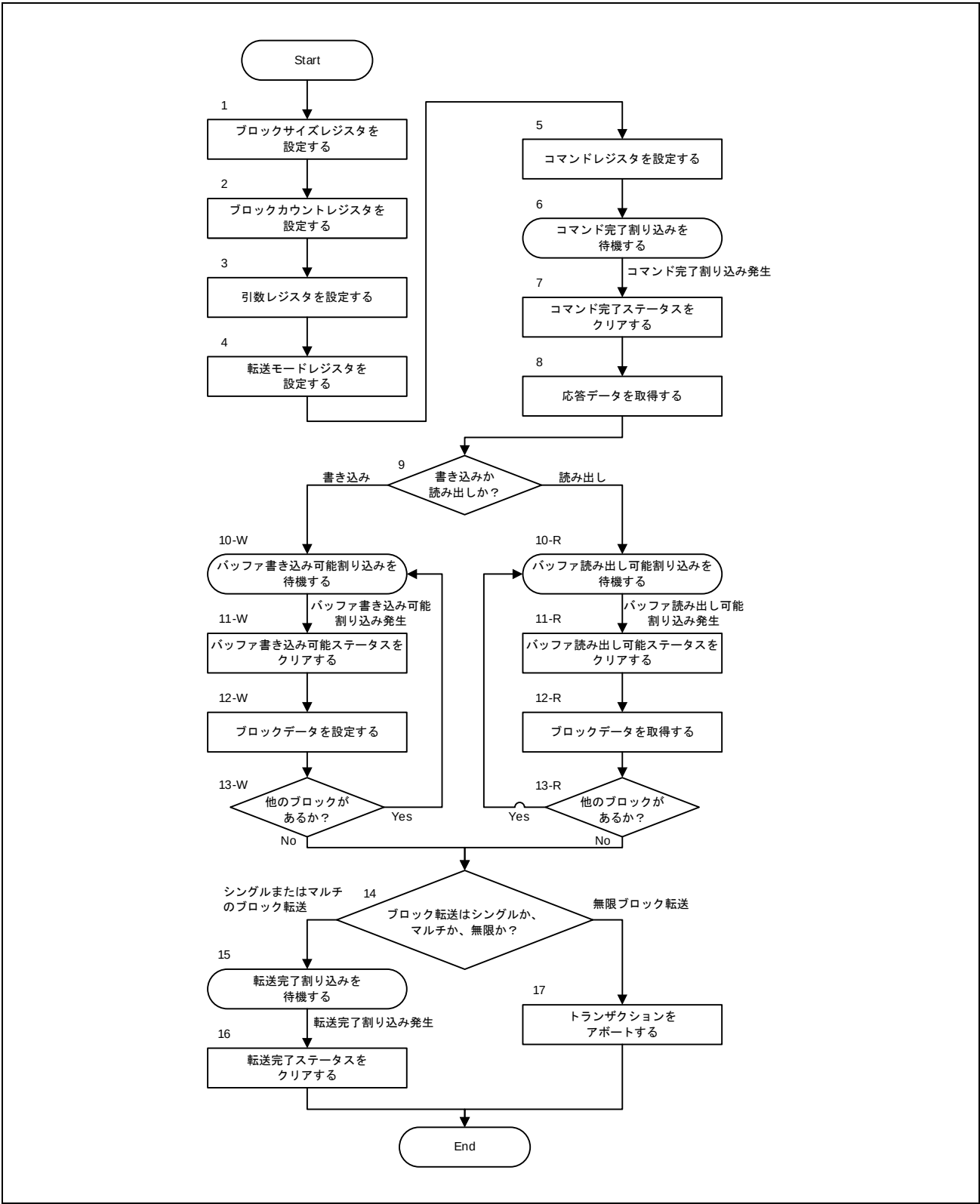


図 9.2 DAT ラインを使用した（DMA を使用しない）データ転送

非 DMA トランザクションのシーケンス

表 9.42 非 DMA トランザクション

ステップ	機能
1	1 ブロックのデータバイト長に相当する値をブロックサイズレジスタで設定します。
2	データブロック数に相当する値をブロックカウントレジスタで設定します。
3	発行したコマンドに相当する値を引数レジスタで設定します。
4	マルチ/シングルブロック選択ビットとブロックカウントイネーブルビットで値を設定します。発行したコマンドに相当する値をデータ転送方向ビット、Auto CMD12 イネーブルビット、DMA イネーブルビットで設定します。
5	発行したコマンドに相当する値をコマンドレジスタで設定します。 コマンドレジスタの上位バイトを書き込むとき、SD コマンドが発行されます。
6	コマンド完了割り込みを待ちます。
7	1 を書き込むことで、通常割り込みステータスレジスタのコマンド完了ビットをクリアします。
8	応答レジスタを読み出し、発行済みのコマンドに応じて必要な情報を取得します。
9	本シーケンスがカードへの書き込みである場合、ステップ (10-W) へ進みます。カードからの読み出しである場合、ステップ (10-R) へ進みます。
10-W	バッファ書き込み可能割り込みを待ちます。 非 DMA 書き込み転送 バッファ書き込み可能割り込みを受信すると、CPU はマスタとしてバッファデータポートレジスタ (fifo_1) 経由のデータ転送を開始します。fifo_1 において 1 ブロック分のデータの準備ができると、出力部は SD バスでデータの送信を開始します。SD バスでデータを送信しているとき、2 番目のブロックでバッファ書き込み可能割り込みが CPU へ送られます。CPU はマスタとして、fifo_2 へバッファデータポートレジスタ経由で 2 番目のブロックの送信を開始します。バッファ書き込み可能割り込みは、FIFO が空でブロック受信可能であるときのみアサートされます。
11-W	1 を書き込むことで、通常割り込みステータスレジスタのバッファ書き込み可能ビットをクリアします。
12-W	バッファデータポートレジスタへ (ステップ (1) で指定したバイト数に応じて) ブロックデータを書き込みます。
13-W	処理を繰り返してすべてのブロックを送信したら、ステップ (14) へ進みます。
10-R	非 DMA 読み出し転送 FIFO の 1 つでブロックの準備できると、バッファ読み出し可能割り込みがアサートされます。バッファ読み出し可能割り込みを受信すると、CPU はマスタとしてバッファデータポートレジスタ (fifo_1) 経由のデータ読み出しを開始します。入力部は、FIFO が空でブロック受信可能であるときのみ SD バスからデータの読み出しを開始します。2 つの FIFO がフルになると、ホストコントローラは読み出しウェイト (カードが読み出しウェイトをサポートしている場合) またはクロック停止のいずれかによりカードからのデータ受信を停止します。 バッファ読み出し可能割り込みを待ちます。
11-R	1 を書き込むことで、通常割り込みステータスレジスタのバッファ読み出し可能ビットをクリアします。
12-R	バッファデータポートレジスタから (ステップ (1) で指定したバイト数に応じて) ブロックデータを読み出します。
13-R	処理を繰り返してすべてのブロックを受信したら、ステップ (14) へ進みます。
14	本シーケンスがシングル/マルチプルブロック転送である場合、ステップ (15) へ進みます。無限ブロック転送である場合、ステップ (17) へ進みます。
15	転送完了割り込みを待ちます。
16	1 を書き込むことで、通常割り込みステータスレジスタの転送完了ビットをクリアします。
17	アボートトランザクションのシーケンスを実行します。

注 意

ステップ (1) とステップ (2) は同時に実行できます。ステップ (4) とステップ (5) は同時に実行できます。

9.5.2 DMA トランザクション

8 ビートインクリメントバーストや 4 ビートインクリメントバーストなどのバーストやシングル転送は、システムメモリからデータを転送または受信する際に使用します。その主な目的は、マスタによるホスト/システムバスの長期占有を避けることです。DMA を使用したシーケンスを以下に示します。

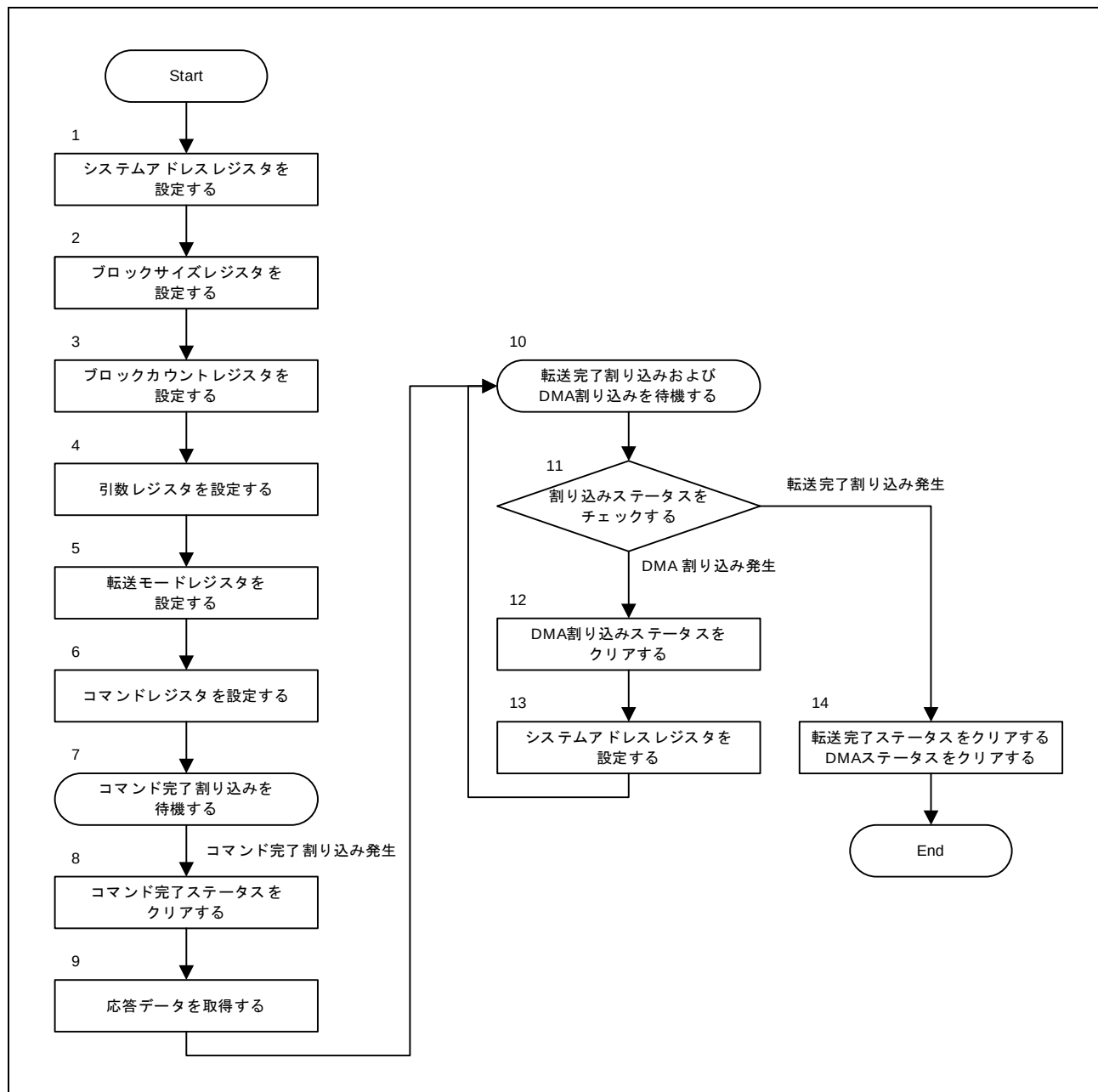


図 9.3 DAT ライン (DMA) を使用したデータ転送

DMA トランザクションのシーケンス

表 9.43 DMA トランザクション

ステップ	機能
1	SDMA システムアドレスレジスタで DMA のシステムアドレスを設定します。
2	1 ブロックのデータバイト長に相当する値をブロックサイズレジスタで設定します。
3	データブロック数に相当する値をブロックカウントレジスタで設定します。
4	発行したコマンドに相当する値を引数レジスタで設定します。
5	マルチ/シングルブロック選択ビットとブロックカウントイネーブルビットで値を設定します。発行したコマンドに相当する値をデータ転送方向ビット、Auto CMD12 イネーブルビット、DMA イネーブルビットで設定します。
6	発行したコマンドに相当する値をコマンドレジスタで設定します。 コマンドレジスタの上位バイトを書き込むとき、SD コマンドが発行されます。
7	コマンド完了割り込みを待ちます。
8	1 を書き込むことで、通常割り込みステータスレジスタのコマンド完了ビットをクリアします。
9	応答レジスタを読み出し、発行済みのコマンドに応じて必要な情報を取得します。 DMA 読み出し転送 書き込みコマンド（ホストからカードへ送られるデータ）の場合、カードからの応答終了ビットを受信すると、SD ホストはマスタとしてシステム/ホストバスを要求します。許可を得た後、ホストコントローラはシステムメモリから 1 ブロックを読み出して、最初の FIFO を満たします。1 ブロックのデータの準備ができると、出力部は SD バスでデータの送信を開始します。SD バスでデータを送信中、ホストコントローラは、2 番目の FIFO で 2 番目のブロックを格納することをバスに対して要求します。スループット増大のためにピンポン FIFO が使用されます。同様にホストコントローラは、FIFO が空になると、システムメモリから 1 ブロックのデータを読み出します。この処理は、システムメモリからすべてのブロックを読み出すまで続けられます。転送完了割り込みは、すべてのブロックをカードへ転送した後でのみ設定されます。 DMA 書き込み転送 カードから受信したブロック（カードからホストへ送られるデータ）は、FIFO の最初の半分に格納されます。1 ブロックのデータの準備ができると、SD ホストコントローラはマスタとしてシステム/ホストバスを要求します。許可を得た後、ホストコントローラは 1 番目の FIFO からシステムメモリへ 1 ブロックを書き込みます。システムメモリへデータを送信中、ホストコントローラは 2 番目のブロックを受信して 2 番目の FIFO へ格納します。同様にホストコントローラは、データの準備ができると、1 ブロックのデータをシステムメモリへ書き込みます。この処理は、すべてのブロックをシステムメモリへ転送するまで続けられます。転送完了割り込みは、すべてのブロックをシステムメモリへ転送した後でのみ設定されます。 備考 ホストコントローラは、FIFO にデータを格納する空き領域があるときのみカードからデータを受信します。2 つの FIFO がフルになると、ホストコントローラは読み出しウェイト（カードが読み出しウェイトをサポートしている場合）またはクロック停止のいずれかによりカードからのデータ受信を停止します。
10	転送完了割り込みと DMA 割り込みを待ちます。
11	転送完了割り込みビットが 1 の場合、ステップ（14）へ進みます。DMA 割り込みビットが 1 の場合、ステップ（12）へ進みます。転送完了は DMA 割り込みより優先度が高くなります。
12	1 を書き込むことで、通常割り込みステータスレジスタの DMA 割り込みビットをクリアします。
13	SDMA システムアドレスレジスタで次のデータ位置となる次のシステムアドレスを設定し、ステップ（10）へ進みます。
14	1 を書き込むことで、通常割り込みステータスレジスタの転送完了割り込みビットと DMA 割り込みビットをクリアします。

注 意

ステップ（2）とステップ（3）は同時に実行できます。ステップ（5）とステップ（6）も同時に実行できます。

例えば、ホストは 4KB のデータをカードに転送します。最大ブロックサイズは 512 バイトであるとし、この場合、ホストドライバはブロックサイズレジスタで 512 を設定し、ブロックカウントレジスタで 8 を設定します。

ホストコントローラ内部の AHB マスタと出力部は、これらのレジスタから情報（転送データ量）を取得します。AHB マスタは、上記の情報を使って、マスタとしてデータ読み出しトランザクションを開始します（512 バイトのブロックをシステムメモリから読み出します）。FIFO でブロックの準備ができると、出力部

は SD バスでブロック（512 バイト）の送信を開始します。カードへのブロック送信が終了した後、出力部はカードからのステータス応答を待ちます。ブロック送信後にカードから有効なステータス応答を受信したときのみ、出力部は次のブロックを送信します。そうでない場合、トランザクションは中止となり、ホストは新たなトランザクションに取り掛かります。

9.5.3 ADMA トランザクション

以下の図と表で、ADMA トランザクションシーケンスを説明します。

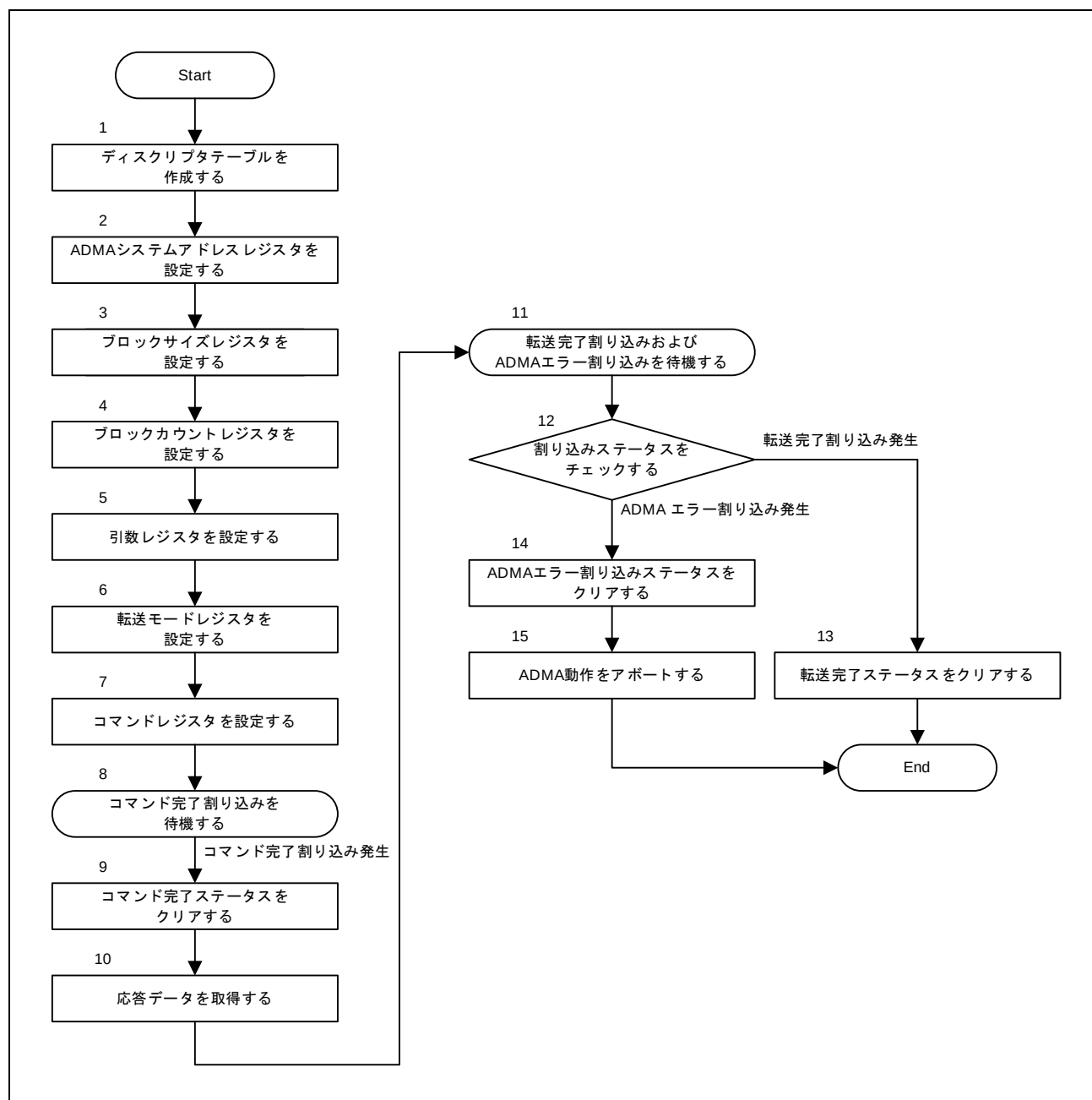


図 9.4 ADMA トランザクションフロー

ADMA トランザクションフロー

表 9.44 ADMA トランザクション

ステップ	機能
1	システムメモリで ADMA のデスクリプタテーブルを作成します。
2	ADMA システムアドレスレジスタで ADMA のデスクリプタアドレスを設定します。
3	1 ブロックのデータバイト長に相当する値をブロックサイズで設定します。
4	データブロック数に相当する値をブロックカウントレジスタで設定します。転送モードレジスタのブロックカウントイネーブルビットが 1 であれば、ブロックカウントレジスタとデスクリプタテーブルで合計データ長を指定できます。この 2 つのパラメータは同じデータ長とします。ただし転送長は、16 ビットブロックカウントレジスタにより制限されます。転送モードレジスタのブロックカウントイネーブルビットが 0 であれば、合計データ長はブロックカウントレジスタではなくデスクリプタテーブルで指定します。この場合、ADMA はデスクリプタで指定した長さより大きいデータを SD カードから読み出します。読み出し動作が長過ぎれば非同期で中止となり、余った読み出しデータは ADMA 終了時に捨てられます。
5	引数レジスタで引数を設定します。
6	転送モードレジスタで値を設定します。ホストドライバは、マルチ/シングルブロック選択、ブロックカウントイネーブル、データ転送方向、Auto CMD12 イネーブル、DMA イネーブルの各値を決定します。
7	コマンドレジスタで値を設定します。 備考) コマンドレジスタの上位バイト[3]に書き込むと、SD コマンドが発行されて DMA の開始となります。
8	コマンド完了割り込みを待ちます。
9	1 を書き込むことで、通常割り込みステータスレジスタのコマンド完了ビットをクリアします。
10	応答レジスタを読み出し、発行されたコマンドについて必要な情報を取得します。
11	転送完了割り込みと ADMA エラー割り込みを待ちます。
12	転送完了ビットが 1 であれば、ステップ (13) へ進みます。ADMA エラー割り込みビットが 1 であれば、ステップ (14) へ進みます。
13	1 を書き込むことで、通常割り込みステータスレジスタの転送完了ステータスビットをクリアします。
14	1 を書き込むことで、エラー割り込みステータスレジスタの ADMA エラー割り込みステータスビットをクリアします。
15	ADMA 動作を中止します。アボートコマンドを発行して SD カード動作を中止します。必要に応じてホストドライバは、ADMA エラーステータスレジスタをチェックして ADMA エラーの発生原因を調べます。

注 意

ステップ (3) とステップ (4) は同時に実行できます。ステップ (6) とステップ (7) も同時に実行できます。

9.5.4 アボートトランザクション

アボートトランザクションは、SD メモリカードの場合は CMD12 によって、SDIO カードの場合は CMD52 によって実行します。次の 2 つの場合、HD はアボートトランザクションを実行します。

- (1) HD が無限ブロック転送を停止するとき
- (2) マルチブロック転送中に HD が転送を停止するとき

アボートコマンドを発行するには 2 つの方法があります。1 つは非同期アボートです。もう 1 つは同期アボートです。非同期アボートでは、現ステータスレジスタのコマンド禁止 (CMD) ビットが 1 でなければ HD はアボートコマンドをいつでも発行できます。同期アボートでは、ブロックギャップ制御レジスタのブロックギャップ停止要求でデータ転送が停止した後で HD はアボートコマンドを発行する必要があります。

9.5.4.1 同期アボート

同期アボートのフローを以下に示します。

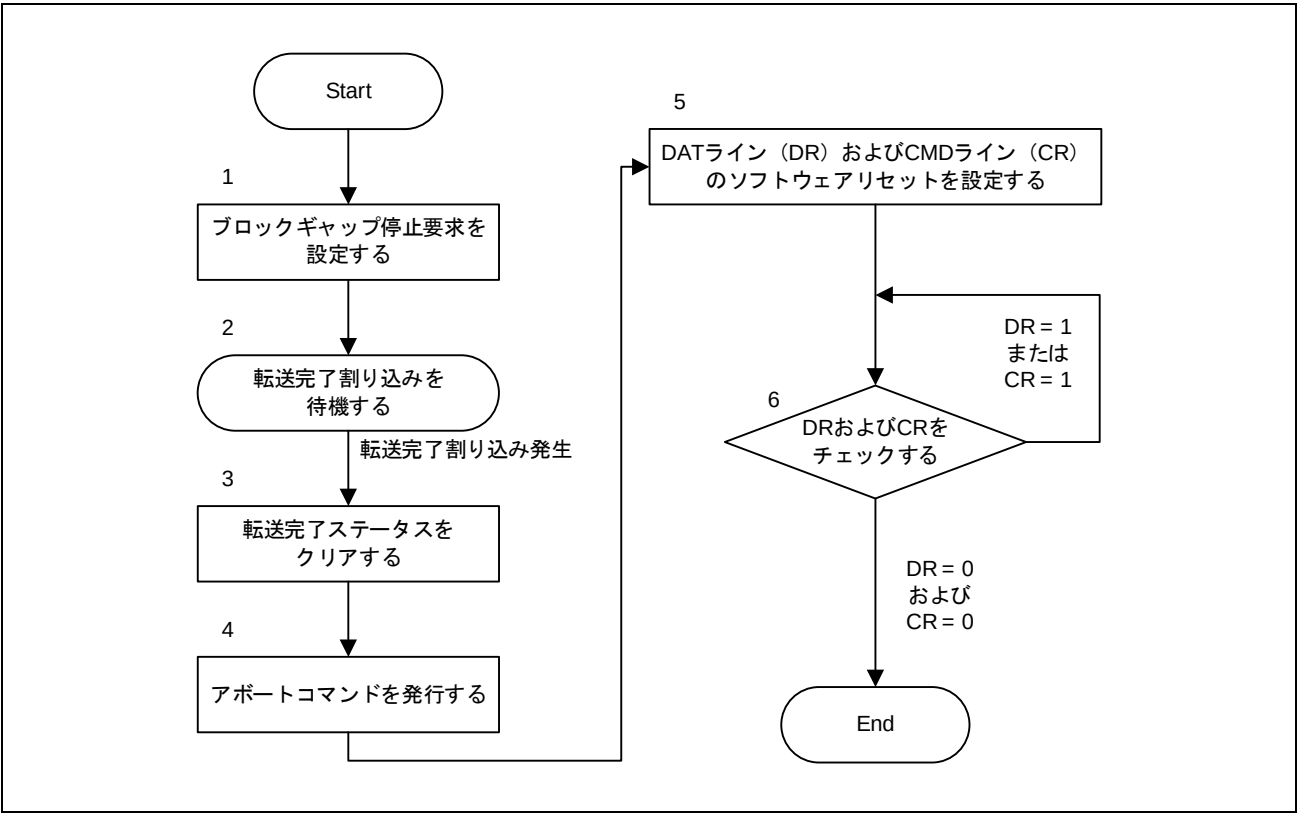


図 9.5 同期アボート

表 9.45 同期アボートトランザクション

ステップ	機能
1	ブロックギャップ制御レジスタのブロックギャップ停止要求を 1 にセットして、SD トランザクションを停止します。
2	転送完了割り込みを待ちます。
3	1 を書き込むことで、通常割り込みステータスレジスタの転送完了ビットをクリアします。
4	アボートコマンドを発行します。
5	ソフトウェアリセットレジスタの DAT ラインソフトウェアリセットビットと CMD ラインソフトウェアリセットビットの両方を 1 にセットして、ソフトウェアリセットを実行します。
6	ソフトウェアリセットレジスタの DAT ラインソフトウェアリセットビットと CMD ラインソフトウェアリセットビットをチェックします。両方のビットが 0 であれば、“END” へ進みます。片方のビットが 1 であれば、ステップ (6) を繰り返します。

9.5.4.2 非同期アボート

非同期アボートのフローを以下に示します。

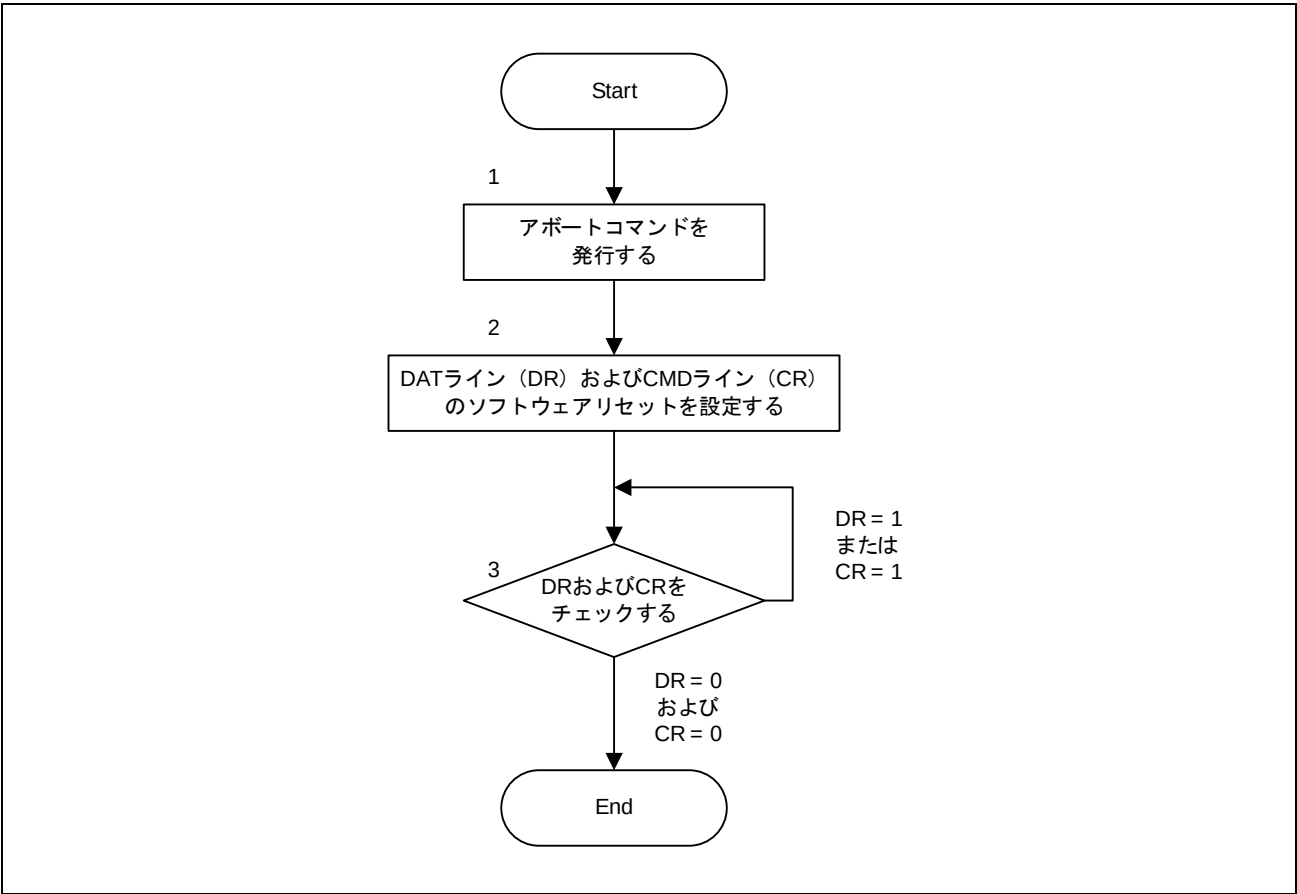


図 9.6 非同期アボート

非同期アボートシーケンス

表 9.46 非同期アボートトランザクション

ステップ	機能
1	アボートコマンドを発行します。
2	ソフトウェアリセットレジスタの DAT ラインソフトウェアリセットビットと CMD ラインソフトウェアリセットビットの両方を 1 にセットして、ソフトウェアリセットを実行します。
3	ソフトウェアリセットレジスタの DAT ラインソフトウェアリセットビットと CMD ラインソフトウェアリセットビットをチェックします。両方のビットが 0 であれば、“END” へ進みます。片方のビットが 1 であれば、ステップ (3) へ進みます。

第10章 USB2.0 HS ホスト／ファンクションコントローラ (USBh/USBf)

10.1 概要

USB サブシステムには、独立動作の USB2.0 ホストコントローラおよび USB2.0 ファンクションコントローラが搭載されています。サブシステムは、2 ホストモードまたは 1 ホスト／1 ファンクションモードとして使用することが可能です。ファンクションポートはファームウェアにより再設定が可能ですが、その場合はモジュール全体（ホストポートを含む）のリセットが必要となります。

USB PHY の PLL は RZ/N1 システム用に 48MHz を供給します。

ホストコントローラの特長

- Enhanced Host Controller Interface (EHCI) 仕様 (Ver.1.0) および Open Host Controller Interface (OHCI) 仕様 (Ver.1.0a) に準拠
- 対応速度：
 - High Speed (HS) : 480Mbps (USB2.0)
 - Full Speed (FS) : 12Mbps (USB1.1)
 - Low Speed (LS) : 1.5Mbps (USB1.1)
- USB プラグ検出 (UPD) によりデバイスの接続を検出
- 出力ポートの電源切り替え管理
- ポート過電流検出
- 内蔵 DMA
- USB PHY (2 USB ポート)
- USB ファンクションコントローラと USB PHY を共有 (ポート 1 のみ)
- USB PHY PLL が生成した 48MHz クロックをシステム内で再利用
 - ファームウェアでレジスタビット (H2MODE) によりモード変更 (ホストからファンクションまたはファンクションからホスト) する場合は、クロックの再起動が必要です
- 送受信 FIFO

ファンクションコントローラの特長

- USB PHY を USB ホストコントローラと共有（ポート 1 のみ）
- 以下の 16 個のエンドポイント設定

エンドポイント	方向	タイプ	バッファ	最大パケットサイズ
EP0	IN/OUT	Control	シングル	64 バイト
EP1	IN	Bulk	ダブル	512 バイト
EP2	OUT	Bulk	ダブル	512 バイト
EP3	IN	Bulk	シングル	512 バイト
EP4	OUT	Bulk	シングル	512 バイト
EP5	IN	Bulk	シングル	512 バイト
EP6	IN	Interrupt	シングル	1024 バイト
EP7	IN	Interrupt	シングル	1024 バイト
EP8	IN	Interrupt	シングル	1024 バイト
EP9	IN	Interrupt	シングル	1024 バイト
EP10	IN	Isochronous	ダブル	1024 バイト
EP11	OUT	Isochronous	ダブル	1024 バイト
EP12	IN	Isochronous	ダブル	1024 バイト
EP13	OUT	Isochronous	ダブル	1024 バイト
EP14	IN	Isochronous	ダブル	1024 バイト
EP15	OUT	Isochronous	ダブル	1024 バイト

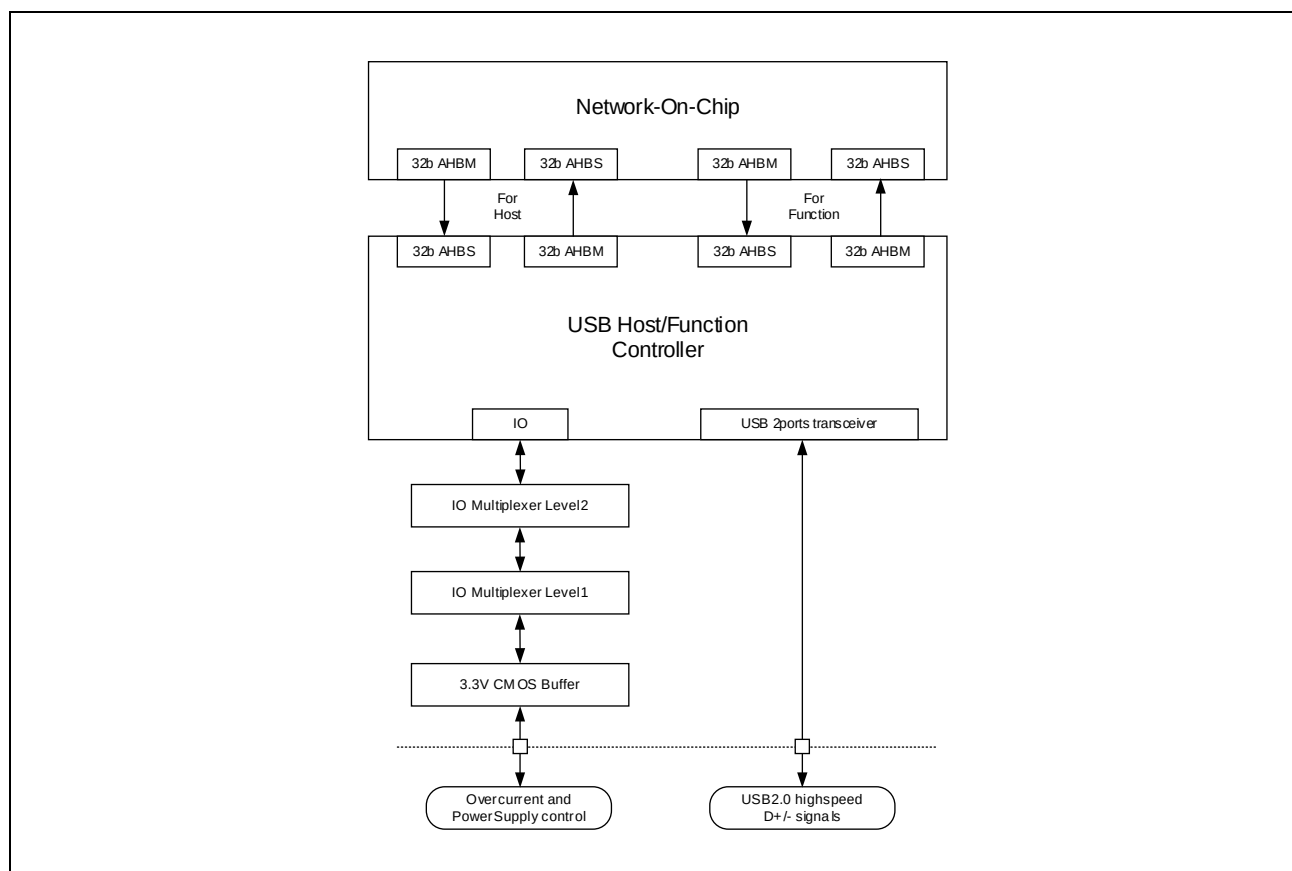


図 10.1 USB サブシステムのインタフェースおよび接続

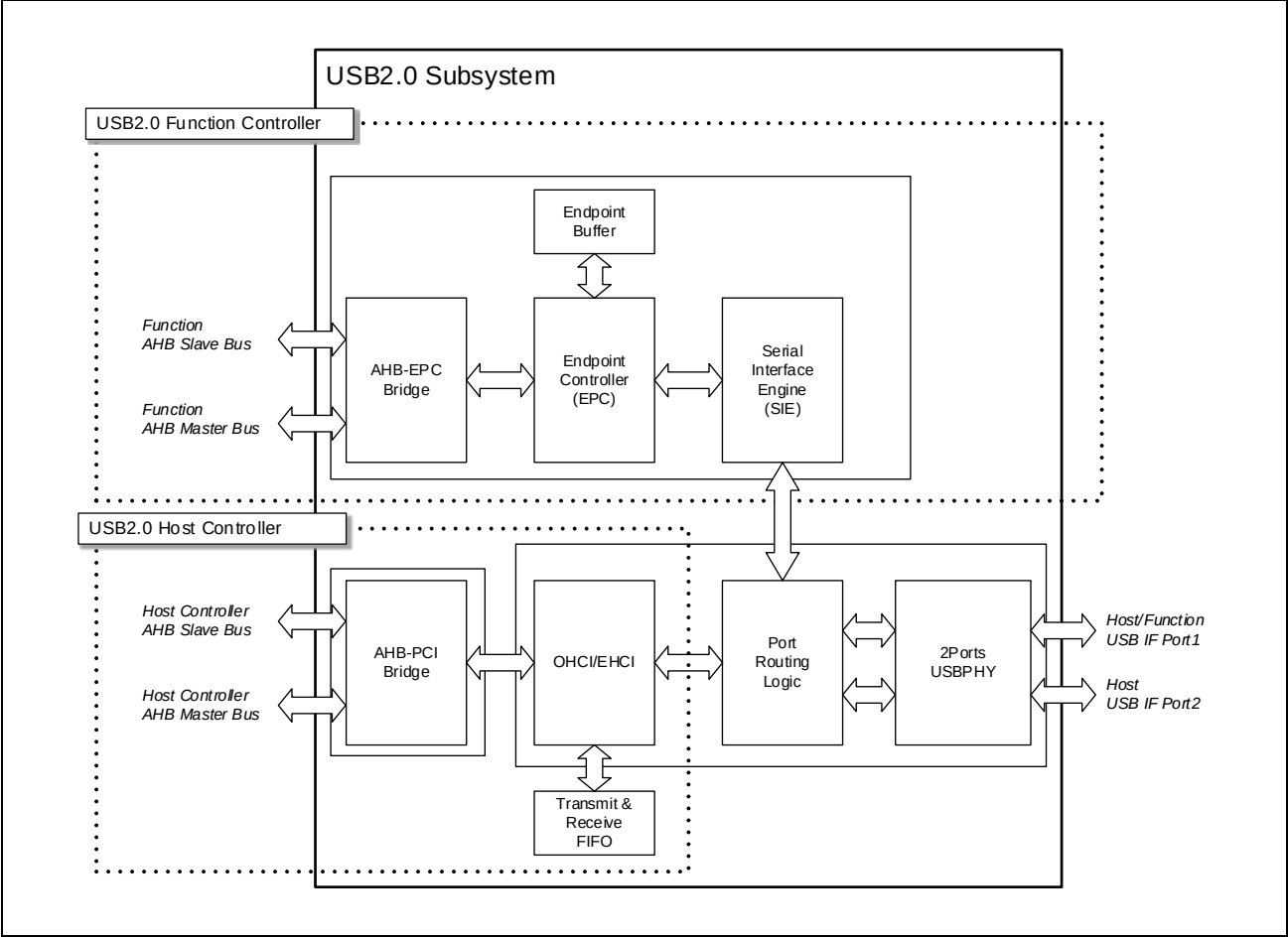


図 10.2 USB サブシステムのブロック図

10.2 信号インタフェース

信号名	入出力	説明
クロック		
USB_HCLKH	入力	ホスト用内部バスクロック (AHB)
USB_HCLKF	入力	ファンクション用内部バスクロック (AHB)
USB_HCLKPM	入力	パワーマネジメント用内部バスクロック (AHB)
USB_PCICLK	入力	USB サブシステム用 PCI クロック
USB_DCLK48	出力	システム用 48MHz 出力、クロックゲーティングなし
割り込み		
USB2H_BIND_Int	出力	レベル検出割り込み、アクティブ High (本章では U2H_BIND_INT と記述)
USB2F_EPC_Int	出力	レベル検出割り込み、アクティブ High (本章では U2F_EPC_INT と記述)
USB2F_Int	出力	レベル検出割り込み、アクティブ High (本章では U2F_INT と記述)
外部信号		
USB_DP[m]	入出力	バス High Speed D+ (ポート m)
USB_DM[m]	入出力	バス High Speed D- (ポート m)
USB_OC[m]	入力	ホスト用過電流状態 (ポート m)、アクティブ Low
USB_PPON[m]	出力	ホスト用ポート電源制御 (ポート m)
USB_VBUS	入力	ファンクション用ポート電源検出ピン (専用ピン) 外部回路は 5V から 3V に変換し、チャタリングを防ぎ、USB_VBUS ピンに入力する必要があります。

備考 m=1 または 2

10.3 USBPLL の特長

- USBPLL はデフォルトでパワーオンリセット後は停止しています。
- USB コアで HRESETn がアサートされると USBPLL は停止します。
- USBPLL はソフトウェアで起動します。操作としては、CFG_USB レジスタ（システムコントローラ内）の DIRPD ビットをクリアし、USB モジュールがリセットから復帰（AHB HRESETn がデアサート）した後で USB コアの内部レジスタで PLL リセットビットをクリアし、USB_DCLK48 クロックを有効にします（CFG_USB レジスタの FRCLK48MOD ビットを有効）。
- 48MHz クロックをシステム内で再利用
- CFG_USB.H2MODE（システムコントローラ内）を変更する場合、以下の点に注意してください。
 - ファームウェアでレジスタビット（H2MODE）によりモード変更（ホストからファンクションまたはファンクションからホスト）する場合は、クロックの再起動が必要です。
 - ポート 1（ファンクション）のモードはポート 2（ホスト）が稼働していないときに変更してください。PHY モジュールのリセットが必要です。このモジュールは 2 つの USB コアで共通です。
 - USBPLL は H2MODE レジスタビットでは停止しませんが、モード変更時 USB をリセットする事により停止します。

10.4 レジスタマップ

10.4.1 OHCI オペレーションレジスタマップ

表 10.1 USB HC-OHCI レジスタマップ

アドレス	レジスタ表記	レジスタ名
4002 0000h	HCREVISION	HcRevision レジスタ
4002 0004h	HCCONTROL	HcControl レジスタ
4002 0008h	HCCOMMANDSTATUS	HcCommandStatus レジスタ
4002 000Ch	HCINTERRUPTSTATUS	HcInterruptStatus レジスタ
4002 0010h	HCINTERRUPTENABLE	HcInterruptEnable レジスタ
4002 0014h	HCINTERRUPTDISABLE	HcInterruptDisable レジスタ
4002 0018h	HCHCCA	HcHCCA レジスタ
4002 001Ch	HCPERIODCURRENTED	HcPeriodicCurrentED レジスタ
4002 0020h	HCCONTROLHEADED	HcControlHeadED レジスタ
4002 0024h	HCCONTROLCURRENTED	HcControlCurrentED レジスタ
4002 0028h	HCBULKHEADED	HcBulkHeadED レジスタ
4002 002Ch	HCBULKCURRENTED	HcBulkCurrentED レジスタ
4002 0030h	HCDONEHEAD	HcDoneHead レジスタ
4002 0034h	HCFMINTERVAL	HcFrameInterval レジスタ
4002 0038h	HCFMREMAINING	HcFrameRemaining レジスタ
4002 003Ch	HCFMNUMBER	HcFrameNumber レジスタ
4002 0040h	HCPERIODICSTART	HcPeriodicStart レジスタ
4002 0044h	HCLSTHRESHOLD	HcLSThreshold レジスタ
4002 0048h	HCRHDESCRIPTORA	HcRhDescriptorA レジスタ
4002 004Ch	HCRHDESCRIPTORB	HcRhDescriptorB レジスタ
4002 0050h	HCRHSTATUS	HcRhStatus レジスタ
4002 0054h	HCRHPORTSTATUS1	HcRhPortStatus1 レジスタ
4002 0058h	HCRHPORTSTATUS2	HcRhPortStatus2 レジスタ

10.4.2 EHCI オペレーションレジスタマップ

表 10.2 USB HC-EHCI レジスタマップ

アドレス	レジスタ表記	レジスタ名
4002 1000h	CAPL_VERSION	HCVERSION および CAPLENGTH レジスタ (EHCI)
4002 1004h	HCSPARAMS	HCSPARAMS レジスタ
4002 1008h	HCCPARAMS	HCCPARAMS レジスタ
4002 100Ch	HCSP_PORTROUTE	HCSP_PORTROUTE レジスタ
4002 1020h	USBCMD	USBCMD レジスタ
4002 1024h	USBSTS	USBSTS レジスタ
4002 1028h	USBINTR	USBINTR レジスタ
4002 102Ch	FRINDEX	フレームインデックスレジスタ
4002 1030h	CTRLDSSEGMENT	CTRLDSSEGMENT レジスタ
4002 1034h	PERIODICLISTBASE	PERIODICLISTBASE レジスタ
4002 1038h	ASYNCLISTADDR	ASYNCLISTADDR レジスタ
4002 1060h	CONFIGFLAG	CONFIGFLAG レジスタ
4002 1064h	PORTSC1	PORTSC1 レジスタ
4002 1068h	PORTSC2	PORTSC2 レジスタ

10.4.3 OHCI (PCI 設定空間) レジスタマップ

表 10.3 USB CR-OHCI レジスタマップ

アドレス	レジスタ表記	レジスタ名
4003 0000h	VID_DID	デバイス ID・ベンダ ID (OHCI)
4003 0004h	CMND_STS	ステータス・コマンド (OHCI)
4003 0008h	REVID_CC	クラスコード・リビジョン ID (OHCI)
4003 000Ch	CLS_LT_HT_BIST	BIST・ヘッダタイプ・レイテンシタイム・キャッシュラインサイズ (OHCI)
4003 0010h	BASEAD	OHCI ベースアドレス
4003 002Ch	SSVID_SSID	サブシステム ID・サブシステムベンダ ID (OHCI)
4003 0030h	EROM_BASEAD	拡張 ROM ベースアドレス (OHCI)
4003 0034h	CAPPTR	機能 ID ポインタ (OHCI)
4003 003Ch	INTR_LINE_PIN	Max_Lat・Min_Gnt・割り込みピン・割り込みライン (OHCI)
4003 0040h	CAPID_NIP_PMCAP	機能 ID・次アイテムポインタ・パワーマネジメント機能 (OHCI)
4003 0044h	PMC_STS_PMCSCR	パワーマネジメント制御およびステータス・PMCSR ブリッジサポート拡張 (OHCI)
4003 00E0h	EXT1	EXT1 レジスタ (OHCI)
4003 00E4h	EXT2	EXT2 レジスタ (OHCI)
4003 00F4h	UTMICTRL	USBPHY オペレーションモード制御レジスタ (OHCI)

10.4.4 EHCI (PCI 設定空間) レジスタマップ

表 10.4 USB CR-EHCI レジスタマップ

アドレス	レジスタ表記	レジスタ名
4003 0100h	VID_DID	デバイス ID・ベンダ ID (EHCI)
4003 0104h	CMND_STS	ステータス・コマンド (EHCI)
4003 0108h	REVID_CC	クラスコード・リビジョン ID (EHCI)
4003 010Ch	CLS_LT_HT_BIST	BIST・ヘッダタイプ・レイテンシタイマ・キャッシュラインサイズ (EHCI)
4003 0110h	BASEAD	EHCI ベースアドレス
4003 012Ch	SSVID_SSID	サブシステム ID・サブシステムベンダ ID (EHCI)
4003 0130h	EROM_BASEAD	拡張 ROM ベースアドレス (EHCI)
4003 0134h	CAPPTR	機能 ID ポインタ (EHCI)
4003 013Ch	INTR_LINE_PIN	Max_Lat・Min_Gnt・割り込みピン・割り込みライン (EHCI)
4003 0140h	CAPID_NIP_PMCAP	機能 ID・次アイテムポインタ・パワーマネジメント機能 (EHCI)
4003 0144h	PMC_STS_PMCSCR	パワーマネジメント制御およびステータス・PMCSR ブリッジサポート拡張 (EHCI)
4003 0160h	SBRN_FLADJ_PW	SBRN・FLADJ・PORTWAKECAP
4003 01E0h	EXT1	EXT1 レジスタ (EHCI)
4003 01E4h	EXT2	EXT2 レジスタ (EHCI)
4003 01F4h	UTMICTRL	USBPHY オペレーションモード制御レジスタ (EHCI)

10.4.5 AHB-PCI ブリッジ (PCI 設定空間) レジスタマップ

表 10.5 USB CR-AHBPCI レジスタマップ

アドレス	レジスタ表記	レジスタ名
4003 0000h	VID_DID	デバイス ID・ベンダ ID (AHB-PCI ブリッジ)
4003 0004h	CMND_STS	ステータス・コマンド (AHB-PCI ブリッジ)
4003 0008h	REVID_CC	クラスコード・リビジョン ID (AHB-PCI ブリッジ)
4003 000Ch	CLS_LT_HT_BIST	BIST・ヘッダタイプ・レイテンシタイマ・キャッシュラインサイズ (AHB-PCI ブリッジ)
4003 0010h	BASEAD	AHB-PCI ブリッジレジスタベースアドレス
4003 0014h	WIN1_BASEAD	PCI-AHB Window1 ベースアドレス
4003 0018h	WIN2_BASEAD	PCI-AHB Window2 ベースアドレス
4003 002Ch	SSVID_SSID	サブシステム ID・サブシステムベンダ ID (AHB-PCI ブリッジ)
4003 003Ch	INTR_LINE_PIN	Max_Lat・Min_Gnt・割り込みピン・割り込みライン (AHB-PCI ブリッジ)

10.4.6 AHB-PCI ブリッジ (PCI 通信空間) レジスタマップ

表 10.6 USB HC-AHBPCI レジスタマップ

アドレス	レジスタ表記	レジスタ名
4003 0800h	PCIAHB_WIN1_CTR	PCIAHB Window1 制御レジスタ
4003 0804h	PCIAHB_WIN2_CTR	PCIAHB Window2 制御レジスタ
4003 0810h	AHBPCI_WIN1_CTR	AHBPCI Window1 制御レジスタ
4003 0814h	AHBPCI_WIN2_CTR	AHBPCI Window2 制御レジスタ
4003 0820h	PCI_INT_ENABLE	PCI 割り込みイネーブルレジスタ
4003 0824h	PCI_INT_STATUS	PCI 割り込みステータスレジスタ
4003 0830h	AHB_BUS_CTR	AHB バス制御レジスタ
4003 0834h	USBCTR	USB 制御レジスタ
4003 0840h	PCI_ARBITER_CTR	PCI アービタ制御レジスタ

10.4.7 EPC レジスタマップ

表 10.7 USB FC-EPC レジスタマップ

アドレス	レジスタ表記	レジスタ名
4001 E000h	USB_CONTROL	USB 制御レジスタ
4001 E004h	USB_STATUS	USB ステータスレジスタ
4001 E008h	USB_ADDRESS	フレーム番号および USB アドレスレジスタ
4001 E010h	TEST_CONTROL	テスト制御レジスタ
4001 E018h	SETUP_DATA0	SETUP データ 0 レジスタ
4001 E01Ch	SETUP_DATA1	SETUP データ 1 レジスタ
4001 E020h	USB_INT_STA	USB 割り込みステータスレジスタ
4001 E024h	USB_INT_ENA	USB 割り込みイネーブルレジスタ
4001 E028h	EP0_CONTROL	EP0 制御レジスタ
4001 E02Ch	EP0_STATUS	EP0 ステータスレジスタ
4001 E030h	EP0_INT_ENA	EP0 割り込みイネーブルレジスタ
4001 E034h	EP0_LENGTH	EP0 長さレジスタ
4001 E038h	EP0_READ	EP0 リードレジスタ
4001 E03Ch	EP0_WRITE	EP0 ライトレジスタ
4001 E040h+20h×(m-1)	EP[m]_CONTROL (m=1~15)	EP[m] 制御レジスタ
4001 E044h+20h×(m-1)	EP[m]_STATUS (m=1~15)	EP[m] ステータスレジスタ
4001 E048h+20h×(m-1)	EP[m]_INT_ENA (m=1~15)	EP[m] 割り込みイネーブルレジスタ
4001 E04Ch+20h×(m-1)	EP[m]_DMA_CTRL (m=1~15)	EP[m] DMA 制御レジスタ
4001 E050h+20h×(m-1)	EP[m]_PKT_ADRS (m=1~15)	EP[m] MaxPacket および BaseAddress レジスタ
4001 E054h+20h×(m-1)	EP[m]_LEN_DCNT (m=1~15)	EP[m] 長さおよび DMA カウントレジスタ
4001 E058h+20h×(m-1)	EP[m]_READ (m=1~15)	EP[m] リードレジスタ
4001 E05Ch+20h×(m-1)	EP[m]_WRITE (m=1~15)	EP[m] ライトレジスタ

10.4.8 AHB-EPC ブリッジレジスタマップ

表 10.8 USB FC-AHBEPC レジスタマップ

アドレス	レジスタ表記	レジスタ名
4001 F000h	AHBSCTR	AHB スレーブコントローラコンフィグレーションレジスタ
4001 F004h	AHBMCTR	AHB マスタコントローラコンフィグレーションレジスタ
4001 F008h	AHBBINT	AHB-EPC ブリッジ割り込みソースレジスタ
4001 F00Ch	AHBBINTEN	AHB-EPC ブリッジ割り込みイネーブルレジスタ
4001 F010h	EPCTR	EPC およびトランシーバ制御レジスタ
4001 F020h	USBSSVER	USBf バージョンレジスタ
4001 F024h	USBSSCONF	エンドポイントコンフィグレーションレジスタ
4001 F110h+10h× (m-1)	EP[m]DCR1 (m=1~15)	エンドポイント[m] DMA 設定レジスタ 1
4001 F114h+10h× (m-1)	EP[m]DCR2 (m=1~15)	エンドポイント[m] DMA 設定レジスタ 2
4001 F118h+10h× (m-1)	EP[m]TADR (m=1~15)	エンドポイント[m] DMA スタートアドレスレジスタ

10.5 レジスタの説明

10.5.1 OHCI オペレーションレジスタの説明

10.5.1.1 HCREVISION — HcRevision レジスタ

アドレス 4002 0000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	REVISION							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

表 10.9 HcRevision レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b0	REVISION	本ホストコントローラに実装される HCI 仕様のバージョン 本フィールドは 10h で、ホストコントローラが OHCI 1.0a に準拠することを示します。	R

10.5.1.2 HCCONTROL — HcControl レジスタ

アドレス 4002 0004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RWE	RWC	IR	HCFS	BLE	CLE	IE	PLE	CBSR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.10 HCCONTROL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31～b11	予約ビット		R
b10	RWE	リモートウェイクアップ有効 本ビットをセットして、HcInterruptStatus レジスタのビット[3] (RD) もセットされていれば、PME がアサートされます。 0 : Resume を検出したときに PME をアサートしない (PME は無効) 1 : Resume を検出したときに PME をアサートする (PME は有効)	R/W
b9	RWC	リモートウェイクアップ接続 システムがリモートウェイクアップをサポートするときは、初期化時に本ビットをセットします。 0 : リモートウェイクアップは非サポート 1 : リモートウェイクアップをサポート	R/W
b8	IR	割り込みルート 生成された割り込みソースを HcInterruptStatus レジスタに通知する経路を指定します。本モジュールは SMI をサポートしないため、本ビットは初期値のままにします。 0 : INTA 1 : SMI (使用禁止)	R/W
b7、b6	HCFS	ホストコントローラ機能ステート ホストコントローラは、USB 動作ステートに移行すると 1ms 単位のフレームの管理を開始します。このステートは、リモートウェイクアップのトリガにより USB Suspend ステートから USB Resume ステートに移行する場合を除いて、常にソフトウェアにより制御されます。本フィールドは、ハードウェアリセットが終了すると 00b に設定され、ソフトウェアリセットが終了すると 11b に設定されます。 00b : USB リセット 01b : USB Resume 10b : USB 稼働 11b : USB Suspend	R/W
b5	BLE	Bulk リスト有効 Bulk リストを処理するかどうかを指定します。本ビットの設定は次のフレームに適用されます。Bulk リストを修正するときは、本ビットをクリアする必要があります。 0 : Bulk リストを処理しない 1 : Bulk リストを処理する	R/W
b4	CLE	Control リスト有効 Control リストを処理するかどうかを指定します。本ビットの設定は次のフレームに適用されます。Control リストを修正するときは、本ビットをクリアする必要があります。 0 : Control リストを処理しない 1 : Control リストを処理する	R/W

表 10.10 HCCONTROL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	IE	Isochronous 有効 Isochronous ED リストを処理するかどうかを指定します。本ビットの設定は次のフレームに適用されます。リスト処理で Isochronous ED が検出されたときに、Isochronous ED リストを処理するかどうかを指定します。 0 : Isochronous 転送は処理しない 1 : Isochronous 転送を処理する	R/W
b2	PLE	周期リスト有効 周期フレームリストを処理するかどうかを指定します。本ビットの設定は次のフレームに適用されます。 0 : 周期フレームリストを処理しない 1 : 周期フレームリストを処理する	R/W
b1、b0	CBSR	Control Bulk サービス比 Control ED と Bulk ED 間のサービス比率を指定します。周期フレームリストを処理するときは、本フィールドで指定する比率が転送に使用されます。 00b : 1:1=Bulk ED : Control ED 01b : 2:1 10b : 3:1 11b : 4:1	R/W

10.5.1.3 HCCOMMANDSTATUS — HcCommandStatus レジスタ

アドレス 4002 0008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOC	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	OCR	BLF	CLF	HCR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.11 HCCOMMANDSTATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b18	予約ビット		R
b17、b16	SOC	スケジューリングオーバーランカウン スケジューリングオーバーランが発生した回数を示します。本フィールドは、スケ ジューリングオーバーランが検出される毎にインクリメントされ、カウントが 11b にな ると 00b にリセットされます。本フィールドは、HcInterruptStatus レジスタのビット 0（SO）がセットされていても、スケジューリングオーバーランが検出される毎にイン クリメントされます。	R
b15～b4	予約ビット		R
b3	OCR	制御権変更要求 本ビットは、ホストコントローラの制御権の変更に使 用します。	R/W
b2	BLF	Bulk リストフィールド Bulk リスト内の TD の有無を示します。ホストコントローラは、Bulk リストの最初 の ED の処理を開始する際に、本ビットをチェックします。クリアされてい ればリスト処理を開始しません。セットされてい れば Bulk リストの処理を開始し、その後で ビットをクリアします。ホストコントローラは、リストで TD を検出すると本ビット を再びセットし、Bulk リストの処理を継続します。リスト処理が終了すると本ビット をクリアします。リストで TD が検出されないか、本ビットがセットされなければ、 本ビットは 0 のままでリスト処理は停止します。リストを再構築してからリスト処理 を開始するときは、あらかじめ HcCommand レジスタのビット[5]（BLE）および本 ビットをセットします。	R/W
b1	CLF	Control リストフィールド Control リスト内の TD の有無を示します。ホストコントローラは、Control リストの 最初の ED の処理を開始する際に、本ビットをチェックします。クリアされてい ればリスト処理を開始しません。セットされてい れば Control リストの処理を開始し、そ の後でビットをクリアします。 ホストコントローラは、リストで TD を検出すると本ビットを再びセットし、Control リストの処理を継続します。リスト処理が終了すると本ビットをクリアします。リス トで TD が検出されないか、本ビットがセットされなければ、本ビットは 0 のままで リスト処理は停止します。 リストを再構築してからリスト処理を開始するときは、あらかじめ HcCommand レ ジスタのビット[4]（CLE）および本ビットをセットします。	R/W
b0	HCR	ホストコントローラリセット 本ビットは、ホストコントローラのソフトウェアリセットのトリガに使 用します。本 ビットをセットすると、ホストコントローラは機能ステートに関係なく USB Suspend ステートに移行します。	R/W

10.5.1.4 HCINTERRUPTSTATUS — HcInterruptStatus レジスタ

アドレス 4002 000Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.12 HCINTERRUPTSTATUS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b7	予約ビット	初期値を保持してください。	R/W
b6	RHSC	ルートハブステータス変更 本ビットは、HcRhStatus または HcRhPortStatus レジスタの設定が変更されたことを示す割り込みビットです。本ビットは、HcRhStatus または HcRhPortStatus レジスタがハードウェア要因により変更されるとセットされます。本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : RHSC 割り込みは発生していない 1 : RHSC 割り込みが発生した	R/W
b5	FNO	フレーム数オーバーフロー 本ビットは、HcFrameNumber レジスタのビット[15:0] (FrameNumber) の MSB が変更されたことを示す割り込みビットです。本ビットは、FrameNumber の MSB ビットの 0 から 1 または 1 から 0 への変更によりフレームの HccaFrameNumber が更新されると、セットされます。本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : FNO 割り込みは発生していない 1 : FNO 割り込みが発生した	R/W
b4	UE	修復不可エラー 本ビットは、PCI バスで USB に関連しないシステムエラーが検出されたことを示す割り込みビットです。本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : UE 割り込みは発生していない 1 : UE 割り込みが発生した	R/W
b3	RD	Resume 検出 本ビットは、Resume 信号が検出されたことを示す割り込みビットです。本ビットは、USB のデバイスが Resume 信号をアサートしたことをホストコントローラが検出すると、セットされます。ソフトウェアで USB Resume 信号をアサートしてもセットされません。本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : RD 割り込みは発生していない 1 : RD 割り込みが発生した	R/W
b2	SF	フレーム開始 本ビットは、フレームの開始時に HccaFrameNumber が更新されたことを示す割り込みビットです。ホストコントローラは、SOF パケットが送信されると HccaFrameNumber を更新して、本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : SF 割り込みは発生していない 1 : SF 割り込みが発生した	R/W

表 10.12 HCINTERRUPTSTATUS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	WDH	Writeback Done Head 本ビットは、ホストコントローラが HccaDoneHead の内容を更新したことを示す割り込みビットです。ホストコントローラは、HccaDoneHead を更新すると即座に本ビットをセットして、クリアされないかぎり HccaDoneHead を更新しません。本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : WDH 割り込みは発生していない 1 : WDH 割り込みが発生した	R/W
b0	SO	スケジューリングオーバーラン 本ビットは、フレームで USB スケジューリングがオーバーランしたことを示す割り込みビットです。USB スケジュールがオーバーランした場合に次のフレームの HccaFrameNumber 更新後にセットされます。本ビットがセットされると、HcCommandStatus レジスタのビット[17:16] (SOC) がインクリメントされます。本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : SO 割り込みは発生していない 1 : SO 割り込みが発生した	R/W

10.5.1.5 HCINTERRUPTENABLE — HcInterruptEnable レジスタ

アドレス 4002 0010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MIE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.13 HCINTERRUPTENABLE レジスタの内容

ビット位置	ビット名	機能	R/W
b31	MIE	マスタ割り込み有効化 本レジスタのビット[6:0]を有効にします。本ビットがクリアされていれば全割り込みがマスクされます。 書き込み機能は以下の通りです。 0：設定無効 1：指定された割り込みは有効	R/W
b30～b7	予約ビット	初期値を保持してください。	R/W
b6	RHSCE	ルートハブステータス変更割り込み有効化。書き込み機能は以下の通りです。 0：設定無効 1：RHSC 割り込みは有効	R/W
b5	FNOE	フレーム数オーバーフロー割り込み有効化。書き込み機能は以下の通りです。 0：設定無効 1：FNO 割り込みは有効	R/W
b4	UEE	修復不可エラー割り込み有効化。書き込み機能は以下の通りです。 0：設定無効 1：UE 割り込みは有効	R/W
b3	RDE	Resume 検出割り込み有効化。書き込み機能は以下の通りです。 0：設定無効 1：RD 割り込みは有効	R/W
b2	SFE	フレーム開始割り込み有効化。書き込み機能は以下の通りです。 0：設定無効 1：SF 割り込みは有効	R/W
b1	WDHE	Writeback Done Head 割り込み有効化。書き込み機能は以下の通りです。 0：設定無効 1：WDH 割り込みは有効	R/W
b0	SOE	スケジューリングオーバーラン割り込み有効化。書き込み機能は以下の通りです。 0：設定無効 1：SO 割り込みは有効	R/W

備 考

割り込み有効化ビットは、HcInterruptDisable レジスタの対応するビットに 1 を書き込むとクリアされます。

10.5.1.6 HCINTERRUPTDISABLE — HcInterruptDisable レジスタ

アドレス 4002 0014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MID	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.14 HCINTERRUPTDISABLE レジスタの内容

ビット位置	ビット名	機能	R/W
b31	MID	マスタ割り込み無効化 HcInterruptEnable レジスタのビット[6:0]を無効にします。本ビットがクリアされていれば全割り込みがマスクされます。 書き込み機能は以下の通りです。 0：設定無効 1：指定の割り込みは無効	R/W
b30～b7	予約ビット	初期値を保持してください。	R/W
b6	RHSCD	ルートハブステータス変更割り込み無効化。書き込み機能は以下の通りです。 0：設定無効 1：RHSC 割り込みは無効	R/W
b5	FNOD	フレーム数オーバーフロー割り込み無効化。書き込み機能は以下の通りです。 0：設定無効 1：FNO 割り込みは無効	R/W
b4	UED	修復不可エラー割り込み無効化。書き込み機能は以下の通りです。 0：設定無効 1：UE 割り込みは無効	R/W
b3	RDD	Resume 検出割り込み無効化。書き込み機能は以下の通りです。 0：設定無効 1：RD 割り込みは無効	R/W
b2	SFD	フレーム開始割り込み無効化。書き込み機能は以下の通りです。 0：設定無効 1：SF 割り込みは無効	R/W
b1	WDHD	Writeback Done Head 割り込み無効化。書き込み機能は以下の通りです。 0：設定無効 1：WDH 割り込みは無効	R/W
b0	SOD	スケジューリングオーバーラン割り込み無効化。書き込み機能は以下の通りです。 0：設定無効 1：SO 割り込みは無効	R/W

10.5.1.7 HCHCCA — HcHCCA レジスタ

アドレス		4002 0018h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	HCHCCA																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	HCHCCA								—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.15 HCHCCA レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	HCHCCA	Host Controller Communication Area (HCCA) の RAM ベースアドレス設定 初期化時に設定します。 ホストコントローラは、本フィールドで指定されるベースアドレスを基準として、 HCCA への 256 バイト領域のアロケートを要求します。	R/W
b7～b0	予約ビット		R

10.5.1.8 HCPERIODCURRENTED — HcPeriodicCurrentED レジスタ

アドレス		4002 001Ch															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	PERIODICCURRENTED																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	PERIODICCURRENTED												—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.16 HCPERIODCURRENTED レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	PERIODICCURRENTED	周期リストの現在の ED の物理アドレス ホストコントローラは、ED リストの処理が終了すると本フィールドを更新します。	R
b3～b0	予約ビット		R

10.5.1.9 HCCONTROLHEADED — HcControlHeadED レジスタ

アドレス		4002 0020h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	CONTROLHEADED																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	CONTROLHEADED												—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.17 HCCONTROLHEADED レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	CONTROLHEADED	Control リストの先頭の ED の物理アドレス Control 転送を実行するときは、HcControl レジスタのビット[4]（CLE）をセットする前に本フィールドを設定します。	R/W
b3～b0	予約ビット		R

10.5.1.10 HCCONTROLCURRENTED — HcControlCurrentED レジスタ

アドレス		4002 0024h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	CONTROLCURRENTED																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	CONTROLCURRENTED												—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.18 HCCONTROLCURRENTED レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	CONTROLCURRENTED	Control リストの現在の ED の物理アドレス ホストコントローラは、Control ED リストの処理が終了する毎に本フィールドを更新します。新規リストを構築するときは、本ビットをリストの末尾を示す 00000000h に設定します。転送を中断および再開するときは、本フィールドのリンクポイントが示す ED が存在することを確認する必要があります。	R/W
b3～b0	予約ビット		R

10.5.1.11 HCBULKHEADED — HcBulkHeadED レジスタ

アドレス 4002 0028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BULKHEADED															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BULKHEADED												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.19 HCBULKHEADED レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	BULKHEADED	Bulk リストの先頭の ED の物理アドレス Bulk 転送を実行するときは、HcControl レジスタのビット[5]（BLE）をセットする前に本フィールドを設定します。	R/W
b3～b0	予約ビット		R

10.5.1.12 HCBULKCURRENTED — HcBulkCurrentED レジスタ

アドレス 4002 002Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BULKCURRENTED															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BULKCURRENTED												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.20 HCBULKCURRENTED レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	BULKCURRENTED	Bulk リストの現在の ED の物理アドレス ホストコントローラは、Bulk ED リストの処理が終了する毎に本フィールドを更新します。新規リストを構築するときは、本ビットをリストの末尾を示す 00000000h に設定します。転送を中断および再開するときは、本フィールドのリンクポインタが示す ED が存在することを確認する必要があります。	R/W
b3～b0	予約ビット		R

10.5.1.13 HCDONEHEAD — HcDoneHead レジスタ

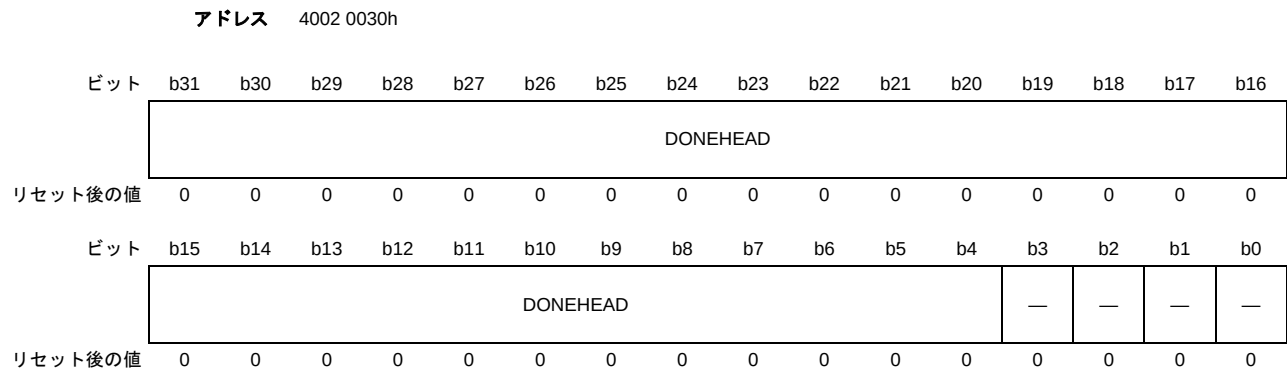


表 10.21 HCDONEHEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	DONEHEAD	ホストコントローラの HcDoneHead の物理アドレス 本フィールドは、Done キューに登録されて最後に終了した TD の物理アドレスを示します。	R
b3～b0	予約ビット		R

10.5.1.14 HCFMINTERVAL — HcFrameInterval レジスタ

アドレス 4002 0034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FIT	FSMPS														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FI													
リセット後の値	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1

表 10.22 HCFMINTERVAL レジスタの内容

ビット位置	ビット名	機能	R/W
b31	FIT	フレームインターバルトグル 本ビットは、ソフトウェアとホストコントローラ間のフレーム値を同期化するために使用します。本ビットは、FI ビットを更新する際にソフトウェアでトグル切り替える必要があります。 FI ビットをロードする場合、ホストコントローラは FIT 値を HcFrameInterval レジスタのビット 31（FRT）に反映させます。ソフトウェアは、FI ビットに値を書き込む際に指定される本ビットの値と読み出した FRT ビットを比較して、新規の FI ビット値が反映されたことを確認します。	R/W
b30～b16	FSMPS	FS 最大データパケット スケジューリングオーバーランを起こさずに送受信が可能な、最大データサイズを指定します。ホストコントローラは、現在のフレーム位置と指定された値を比較して、フレームのどのパートまでの転送が可能かを判定します。この値は、システムバス性能に依存するためにソフトウェアで設定します。	R/W
b15、b14	予約ビット		R
b13～b0	FI	フレームインターバル FS 転送のフレーム長（ビットタイム）を指定します。 USB 規格の 1 フレーム（＝1ms）を満たすため 2EDFh を設定します。	R/W

10.5.1.15 HCFMREMAINING — HcFrameRemaining レジスタ

アドレス 4002 0038h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FRT	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FR													
リセット後の値	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1

表 10.23 HCFMREMAINING レジスタの内容

ビット位置	ビット名	機能	R/W
b31	FRT	フレームリメイントグル 本ビットは、ソフトウェアとホストコントローラ間のフレーム値を同期化するために使用します。FR フィールドが 0000h に設定されていれば、ホストコントローラは HcFrameInterval レジスタのビット[13:0] (FI) の値を FR フィールドにコピーし、同時に HcFrameInterval レジスタのビット[31] (FIT) の値を本ビットにコピーします。ソフトウェアは、FIT ビットの値と本ビットを比較して、新規の FI ビットが FR ビットに適用されたことを確認します。	R
b30~b14	予約ビット		R
b13~b0	FR	フレームリメイン 現在のフレーム値を表す 14 ビットのダウンカウンタです。本フィールドの値は時間経過とともにデクリメントされます。カウントが 0000h に達するとフレーム値が再ロードされます。ホストコントローラは、HcFrameInterval レジスタのビット[13:0] (FI) の値を本フィールドにコピーして、カウントダウンを再開します。	R

10.5.1.16 HCFMNUMBER — HcFrameNumber レジスタ

アドレス 4002 003Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRAMENUMBER															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.24 HCFMNUMBER レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット		R
b15~b0	FRAMENUMBER	経過フレーム数 本フィールドは、HcFrameRemaining レジスタのビット[13:0] (FR) が 0000h になるとインクリメントされます。	R

10.5.1.17 HCPERIODICSTART — HcPeriodicStart レジスタ

アドレス 4002 0040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PERIODICSTART													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.25 HCPERIODICSTART レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b14	予約ビット		R
b13～b0	PERIODICSTART	ホストコントローラがフレーム内で周期フレームリストの処理を開始するタイミング ホストコントローラの初期化時にソフトウェアで指定します。HcFrameRemaining レジスタのビット[13:0] (FR) の値が本フィールドの値より大きいときは、非周期フレームリストが周期フレームリストより優先されます。 OHCI 規格は、本フィールドの値を HcFrameInterval レジスタのビット[13:0] (FI) の値の約 90%に設定することを推奨しています。推奨値は 2A2Fh です。	R/W

10.5.1.18 HCLSTHRESHOLD — HcLSThreshold レジスタ

アドレス 4002 0044h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HCLSTHRESHOLD											
リセット後の値	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	0

表 10.26 HCLSTHRESHOLD レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b12	予約ビット		R
b11～b0	HCLSTHRESHOLD	本フィールドは、LS 転送の残りフレーム時間と比較し、転送が可能かどうかを判断するしきい値を設定するために使用します。 LS 転送は、FmRemaining 値が本フィールドの値より大きい場合に起動が可能です。	R/W

10.5.1.19 HCRHDESCRIPTORA — HcRhDescriptorA レジスタ

アドレス 4002 0048h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	POTPGT								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	NOCP	OCPM	DT	NPS	PSM	NDP							
リセット後の値	0	0	0	0	1	0	0	1	0	0	0	0	0	0	X	X

表 10.27 HCRHDESCRIPTORA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	POTPGT	電源投入から電源安定期間 ルートハブポートへの電源供給後、ソフトウェアがアクセスを待機する期間を示します。単位は 2ms です。したがって待機期間は POTPGT×2ms です。	R/W
b23~b13	予約ビット	書き込み時は 0 を書き込んでください	R
b12	NOCP	過電流保護 ルートハブポートで、過電流状態をサポートするかどうかを指定します。 0：過電流状態をサポートする 1：過電流状態をサポートしない	R/W
b11	OCPM	過電流保護モード ルートハブポートの過電流状態の通知方法を指定します。本ビットは、PSM ビットで指定されるモードに合わせる必要があります。本ビットは、NOCP ビットがクリアされているときのみ有効です。 0：全ポートの過電流状態を通知する 1：ポート単位で過電流状態を通知する	R/W
b10	DT	デバイスタイプ ルートハブが複合デバイスではないことを示します。ルートハブは複合デバイスではないため、本ビットを読み出すと常に 0 が読み出されます。	R
b9	NPS	電源切り替え ポート電源の制御方法を指定します。 0：電源はオンまたはオフの切り替えが可能 1：ホストコントローラの動作中は電源を常時供給	R/W
b8	PSM	電源切り替えモード ルートハブの各ポートの電源切り替え方法を指定します。HcRhDescriptorB レジスタのビット[18:17] (PPCM) がセットされていれば、各ポートはポート電源コマンド (Set/ClearPortPower) にのみ応答します。ビットがクリアされていれば、各ポートはグローバル電源切り替え (Set/ClearGlobalPower) により制御されます。本ビットは、NPS ビットがクリアされているときのみ有効です。 0：全ポートの電源を同時に制御 1：ポート単位で電源を制御	R/W
b7~b0	NDP	ダウンストリームポート数 ホストコントローラがルートハブでサポートするダウンストリームポート数を指定します。 01h：1 ホストモード 02h：2 ホストモード	R

10.5.1.20 HCRHDESCRIPTORB — HcRhDescriptorB レジスタ

アドレス 4002 004Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PPCM	X	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DR	0	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.28 HCRHDESCRIPTORB レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b19	予約ビット		R
b18、b17	PPCM	ポート電源制御マスク 電源制御コマンド（Set/ClearGlobalPower）設定ビット ビット 17 → ポート 1 ビット 18 → ポート 2 本ビットは、HcRhDescriptorA レジスタのビット[8]（PSM）がセットされている場合のみ有効です。 0：全ポートを制御 1：対応するポートのみを制御 リセット後の値 01b：1 ホストモード 11b：2 ホストモード	R/W
b16～b3	予約ビット		R
b2、b1	DR	デバイス除去 各ルートハブポートの除去が可能かどうかを示します。 ビット 1 → ポート 1 ビット 2 → ポート 2 0：除去は不可 1：除去が可能	R/W
b0	予約ビット		R

10.5.1.21 HCRHSTATUS — HcRhStatus レジスタ

アドレス 4002 0050h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCIC	R_LPS C_W_ SGP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R_DRWE_ W_ SRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCI	R_LPS_ W_ CG P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.29 HCRHSTATUS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W																							
b31	CRWE	リモートウェイクアップ有効化クリア 本ビットは DRWE ビットのクリアに使用します。本ビットに 1 をセットすると DRWE ビットがクリアされます。0 の書き込みは無効です。	W																							
b30～b18	予約ビット	書き込み時は 0 を書き込んでください	R																							
b17	OCIC	過電流指示変更 本ビットは、OCI ビットが変更されたことを示します。 OCI ビットの設定が変化するとセットされます。本ビットは、セットされているときに 1 を書き込むとクリアされます。0 の書き込みは無効です。 0 : 過電流状態は変化なし 1 : 過電流状態は変化	R/W																							
b16	R_LPSC__W_SGP	〔読み出し〕ローカル電源ステータス変更 ローカル電源ステータスはサポートしていないため、本ビットを読み出すと常に 0 が読み出されます。 〔書き込み〕グローバル電源設定 本ビットをセットするとポート電源がオンになります。電源をオンするポートは、HcRhDescriptorA レジスタのビット[8] (PSM) および HcRhDescriptorB レジスタのビット[18:17] (PPCM) で指定します。 <table><tr><th>値</th><th>PSM</th><th>PPCM[1:0]</th><th>備考</th></tr><tr><td>0</td><td>—</td><td>—</td><td>変化なし</td></tr><tr><td rowspan="4">1</td><td rowspan="2">0</td><td>—</td><td>HcRhPortStatus1/HcRhPortStatus2 の PPS をセット</td></tr><tr><td>00b</td><td>HcRhPortStatus1/HcRhPortStatus2 の PPS をセット</td></tr><tr><td rowspan="2">1</td><td>10b</td><td>HcRhPortStatus1 の PPS をセット</td></tr><tr><td>01b</td><td>HcRhPortStatus2 の PPS をセット</td></tr><tr><td></td><td></td><td>11b</td><td>変化なし</td></tr></table>	値	PSM	PPCM[1:0]	備考	0	—	—	変化なし	1	0	—	HcRhPortStatus1/HcRhPortStatus2 の PPS をセット	00b	HcRhPortStatus1/HcRhPortStatus2 の PPS をセット	1	10b	HcRhPortStatus1 の PPS をセット	01b	HcRhPortStatus2 の PPS をセット			11b	変化なし	R/W
値	PSM	PPCM[1:0]	備考																							
0	—	—	変化なし																							
1	0	—	HcRhPortStatus1/HcRhPortStatus2 の PPS をセット																							
		00b	HcRhPortStatus1/HcRhPortStatus2 の PPS をセット																							
	1	10b	HcRhPortStatus1 の PPS をセット																							
		01b	HcRhPortStatus2 の PPS をセット																							
		11b	変化なし																							
b15	R_DRWE__W_SRWE	〔読み出し〕デバイスリモートウェイクアップ有効化 HcRhPortStatus1 レジスタのビット[16] (CSC) で指定されるソースを、リモートウェイクアップイベントに含めるかどうかを指定します。本ビットがセットされているときに ConnectStatusChange イベントが発生すると、動作ステータスは USB Suspend から USB Resume に変化して、Resume 検出割り込みが発生します。 0 : ConnectStatusChange をリモートウェイクアップイベントに指定しない 1 : ConnectStatusChange をリモートウェイクアップイベントに指定する 〔書き込み〕リモートウェイクアップ有効化 本ビットは DRWE ビットの設定に使用します。本ビットをセットすると DRWE ビットがセットされます。0 の書き込みは無効です。	R/W																							
b14～b2	予約ビット		R																							

表 10.29 HCRHSTATUS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	OCI	過電流インジケータ グローバル過電流検出モードでの過電流状態を示します。ポート単位の過電流保護が指定されていれば、本ビットは常に 0 です。 0 : ポートは通常状態 1 : ポートは過電流状態	R
b0	R_LPS__W_CGP	〔読み出し〕ローカル電源ステータス ローカル電源ステータスをサポートしていないため、本ビットを読み出すと常に 0 が読み出されます。 〔書き込み〕グローバル電源クリア 本ビットをセットするとポート電源はオフになります。電源をオンするポートは、HcRhDescriptorA レジスタのビット[8] (PSM) および HcRhDescriptorB レジスタのビット[18:17] (PPCM) で指定します。	R/W

10.5.1.22 HCRHPORTSTATUS1/HCRHPORTSTATUS2 — HcRhPortStatus1/HcRhPortStatus2 レジスタ

アドレス HCRHPORTSTATUS1 : 4002 0054h
HCRHPORTSTATUS2 : 4002 0058h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PRSC	OCIC	PSSC	PESC	CSC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	R_LSD A_W_ CPP	R_PPS _W_S PP	—	—	—	R_PRS _W_S PR	R_POCI _W_C SS	R_PSS _W_S PS	R_PES _W_S PE	R_CCS _W_C PE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.30 HCRHPORTSTATUS1/ HCRHPORTSTATUS2 レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください	R
b20	PRSC	ポートリセットステータス変更 ポートリセットの終了を示します。ホストコントローラは、10ms のハードウェアリセットが終了すると本ビットをセットします。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。 0 : ポートリセットは終了していない、または PRS は変更されていない 1 : ポートリセットが終了した	R/W
b19	OCIC	過電流指示変更 過電流状態のポートが検出されたことを示します。本ビットは、ポート単位の過電流状態の通知が指定されている (HcRhDescriptorA レジスタの OCPM が 1) 場合に有効です。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。 0 : 過電流状態は変化なし 1 : 過電流状態は変化	R/W
b18	PSSC	ポート Suspend ステータス変更 Resume シーケンスの終了を示します。本ビットは、ハードウェアによるすべての Resume 処理が終了するとセットされます。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。本ビットは、PRSC ビットがセットされるとクリアされます。 0 : Resume 処理は終了していない 1 : Resume 処理が終了した	R/W
b17	PESC	ポート有効ステータス変更 本ビットは、PES ビットが変更されたことを示します。本ビットは、過電流状態、接続解除、電源オフ、またはバブルエラーなどのハードウェアイベントにより、ポートステータスが変化するとセットされます。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。 0 : PES ステータスは変化なし 1 : PES ステータスは変化	R/W
b16	CSC	接続ステータス変更 本ビットは、CCS ビットが変更されたことを示します。ホストコントローラは、デバイスの接続または接続解除により CCS が変化すると、本ビットをセットします。ホストコントローラは、デバイスが接続されていないときにポートリセット、ポート中断、およびポート有効化などの要求があった場合も、本ビットをセットしてソフトウェアによるデバイス接続の再評価を指示します。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。 0 : CCS ステータスは変化なし 1 : CCS ステータスは変化	R/W
b15~b10	予約ビット		R

表 10.30 HCRHPORTSTATUS1/ HCRHPORTSTATUS2 レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b9	R_LSDA__W_CPP	〔読み出し〕 Low Speed デバイス接続 ポートに接続されたデバイスの速度を示します。本ビットは、CCS ビットがセットされている場合のみ有効です。 0 : FS デバイス 1 : LS デバイス 〔書き込み〕 ポート電源クリア 本ビットは、ポート単位の電源制御が指定されているときに、ポート電源をオフするために使用します。本ビットをセットするポート電源がオフになります。0 の書き込みは無効です。	R/W
b8	R_PPS__W_SPP	〔読み出し〕 ポート電源ステータス ポートの電源ステータスを示します。本ビットは、過電流が検出されるとクリアされます。 0 : ポート電源はオフ 1 : ポート電源はオン 〔書き込み〕 ポート電源設定 本ビットは、ポート単位の電源制御が指定されているときに、ポート電源をオンするために使用します。本ビットをセットするポート電源がオンになります。0 の書き込みは無効です。	R/W
b7~b5	予約ビット		R
b4	R_PRS__W_SPR	〔読み出し〕 ポートリセットステータス 本ビットは、ポートリセット状態を示します。10ms のポートリセットが完了すると PRSC ビットのセットとともにクリアされます。CCS ビットがクリアされているとき（デバイス未接続状態）、本ビットはセットすることができません。 0 : ポートはリセット中でない 1 : ポートはリセット中 〔書き込み〕 ポートリセット設定 本ビットは、ダウンストリームポートのポートリセット要求に使用します。本ビットをセットすると、10ms のポートリセットが起動します。CCS ビットがクリアされているときに本ビットをセットすると、PRS ビットに書き込むことはできません。ホストコントローラは、CSC ビットをセットし、デバイスが接続されていないポートに対してリセットが要求されたことをソフトウェアに通知します。0 の書き込みは無効です。	R/W
b3	R_POCI__W_CSS	〔読み出し〕 ポート過電流インジケータ ダウンストリームポートで過電流が発生したことを示します。本ビットは、ポート単位の過電流状態の通知が指定されている場合（HcRhDescriptorA レジスタの OCPM ビットが 1 の時）に有効です。全ポートの過電流状態の一括通知が指定されているときは、本ビットはクリアされます。 0 : ポートは通常状態 1 : ポートは過電流状態 〔書き込み〕 Suspend ステータスクリア 本ビットは、Suspend ステートを終了して Resume シーケンスを起動するために使用します。本ビットをセットすると、Resume シーケンスが起動します。0 の書き込みは無効です。Resume シーケンスは、PSS ビットがセットされているときのみ起動します。	R/W

表 10.30 HCRHPORTSTATUS1/ HCRHPORTSTATUS2 レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b2	R_PSS__W_SPS	〔読み出し〕ポート Suspend ステータス ポートが Suspend ステートであるか、Resume シーケンスが起動したことを示します。本ビットは SPS ビットへの書き込みによりセットされます。CCS ビットがクリアされている（デバイスが接続されていない）ときはセットされません。本ビットは以下のタイミングでクリアされます。 – Resume シーケンスが終了して PSSC ビットがセット – ポートリセットが終了して PRSC ビットがセット – USB Resume ステート 0：ポートを通常転送に使用 1：ポートは Suspend ステート 〔書き込み〕ポート Suspend 設定 本ビットは、ポートを Suspend ステートに移行するために使用します。本ビットをセットすると、ポートは Suspend ステートに移行します。0 の書き込みは無効です。CCS ビットがクリアされているときに本ビットをセットすると、CSC ビットがセットされ、接続されていないポートに対して Suspend が要求されたことがドライバに通知されます。	R/W
b1	R_PES__W_SPE	〔読み出し〕ポート有効ステータス ポートの有効／無効ステータスを示します。ホストコントローラは、過電流状態、接続解除、電源オフ、およびバブルエラーなどのイベントを検出すると、本ビットをクリアします。同時に PES ビットがセットされます。CCS ビットがクリアされている（デバイスが接続されていない）ときはセットされません。本ビットは、ポートリセットが終了するかポートの Suspend ステートが終了すると、ホストコントローラによりセットされます。 0：ポートは無効 1：ポートは有効 〔書き込み〕ポート有効化 本ビットは PES ビットの設定に使用します。本ビットをセットすると、ポートは有効になります。0 の書き込みは無効です。 備考 ポート状態の変更には HcRhPortStatus1 レジスタのビット[4]（SPR）を使用します。OHCI 規格は SPE ビットによるポートの有効化をサポートしますが、USB 仕様はサポートしません。	R/W
b0	R_CCS__W_CPE	〔読み出し〕現在の接続ステータス ダウストリームポートの現在の接続ステータスを示します。 0：デバイスは接続されていない 1：デバイスが接続されている 〔書き込み〕ポート有効化クリア 本ビットは PES ビットのクリアに使用します。本ビットをセットすると、ポートは無効になります。0 の書き込みは無効です。	R/W

10.5.2 EHCI オペレーションレジスタの説明

10.5.2.1 CAPL_VERSION — HCIVERSION および CAPLENGTH レジスタ (EHCI)

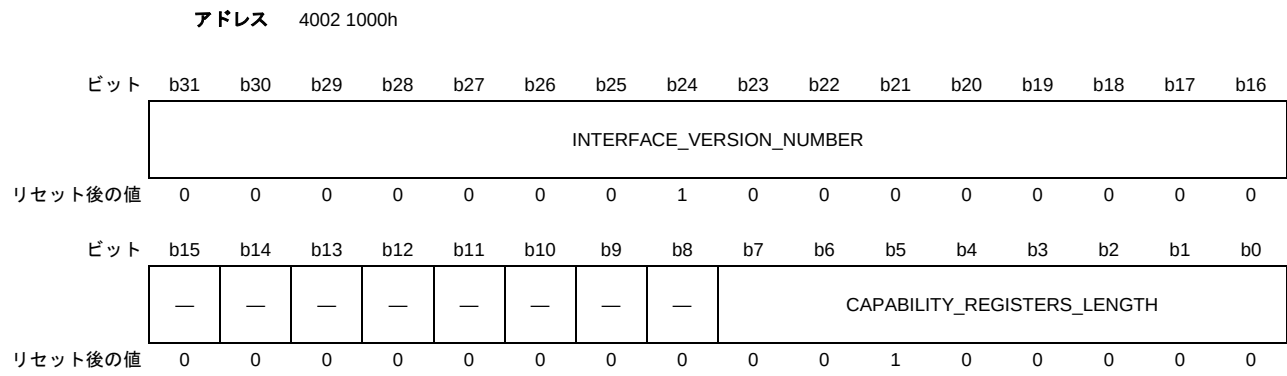


表 10.31 CAPL_VERSION レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	INTERFACE_VERSION_NUMBER	ホストコントローラに実装される EHCI 仕様のバージョンを示します。 “0100h” は、ホストコントローラが EHCI Rev. 1.0 に準拠することを表します。	R
b15～b8	予約ビット		R
b7～b0	CAPABILITY_REGISTERS_LENGTH	ホストコントローラのオペレーションレジスタの開始アドレスを示します。 “20h” は、オペレーションレジスタが 20h から開始することを表します。	R

10.5.2.2 HCSPARAMS — HCSPARAMS レジスタ

アドレス 4002 1004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DEBUG_PORT_NUMBER				—	—	—	P_INDICATOR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	N_CC				N_PCC				PORT_ROUTING_RULES	—	—	PPC	N_PORTS			
リセット後の値	0	0	0	1	0	0	X	X	1	0	0	1	0	0	X	X

表 10.32 HCSPARAMS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット		R
b23~b20	DEBUG_PORT_NUMBER	デバッグ用のホストコントローラポートが提供されることを示します。 “0000b” は、デバッグ用のポートがないことを表します。	R
b19~b17	予約ビット		R
b16	P_INDICATOR	ホストコントローラがポートインジケータ制御をサポートするかどうかを示します。 “0b” は、ホストコントローラがポートインジケータ制御をサポートしないことを表します。	R
b15~b12	N_CC	EHCI ホストコントローラに対応する OHCI ホストコントローラ数を示します。 “1b” は、1 つの OHCI ホストコントローラが組み込まれていることを表します。	R
b11~b8	N_PCC	1 つの OHCI ホストコントローラでサポートされるポート数を示します。 本フィールドは、PCI 設定用の EXT1 レジスタのビット[1:0] (PORT_NO) の設定を反映します。	R
b7	PORT_ROUTING_RULES	OHCI ホストコントローラの各ポートのマッピングを示します。 “1b” は、マッピングが HCSP_PORTROUTE レジスタで示されることを表します。	R
b6、b5	予約ビット		R
b4	PPC	ホストコントローラによるポート電源の制御方法を示します。 本ビットは、PCI 設定用の EXT1 レジスタのビット[2] (PPCNT) の設定を反映します。 “1b” は、USB サブシステムによる電源制御のサポートを表します。	R
b3~b0	N_PORTS	USB サブシステムで使用される物理ダウンストリームポート数を示します。 本フィールドは、PCI 設定用の EXT1 レジスタのビット[1:0] (PORT_NO) の設定を反映します。	R

10.5.2.3 HCCPARAMS — HCCPARAMS レジスタ

アドレス 4002 1008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EECP								ISOCHRONOUS_SCHEDULING_THRESHOLD				—	ASYNCHRONOUS_SCHEDULE_PARK_CAPABILITY	PROGRAMMING_FRAME_LIST_FLAG	BIT64_ADDRESSING_CAPABILITY
リセット後の値	1	1	1	0	1	0	0	0	0	0	0	0	0	1	1	0

表 10.33 HCCPARAMS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット		R
b15~b8	EECP	EHCI 拡張機能レジスタのオフセットアドレスを示します。拡張レジスタが、EHCI 設定空間のアドレス E8h にアロケートされていることを示します。 ホストコントローラはレガシー機能をサポートしないため、本フィールドは無効です。	R
b7~b4	ISOCHRONOUS_SCHEDULING_THRESHOLD	“0b” は、ホストコントローラがフレーム全体の Isochronous データ構造キャッシュをサポートしないことを表します。	R
b3	予約ビット		R
b2	ASYNCHRONOUS_SCHEDULE_PARK_CAPABILITY	非同期スケジュールで High Speed QH（キューヘッド）に対して Park モードをサポートするかどうかを示します。“1b” は、ホストコントローラがこの機能をサポートすることを表します。	R
b1	PROGRAMMING_FRAME_LIST_FLAG	ソフトウェアが使用するフレームリストサイズの設定を示します。本ビットは常に 1 です。本ビットに 1 がセットされると、使用可能なフレームサイズを USBCMD レジスタのビット[3:2]（FRAME_LIST_SIZE）で指定することが可能です。指定可能なフレームリストサイズは 4KB 以下です。	R
b0	BIT64_ADDRESSING_CAPABILITY	データ構造が、32 ビットアドレスまたは 64 ビットアドレスのどちらのメモリポインタを使用するかを示します。本ビットは常に 0 で、ホストコントローラが 32 ビットアドレスのメモリポインタを使用するデータ構造をサポートすることを表します。64 ビットアドレスのメモリポインタはサポートしません。	R

10.5.2.4 HCSP_PORTROUTE — HCSP_PORTROUTE レジスタ

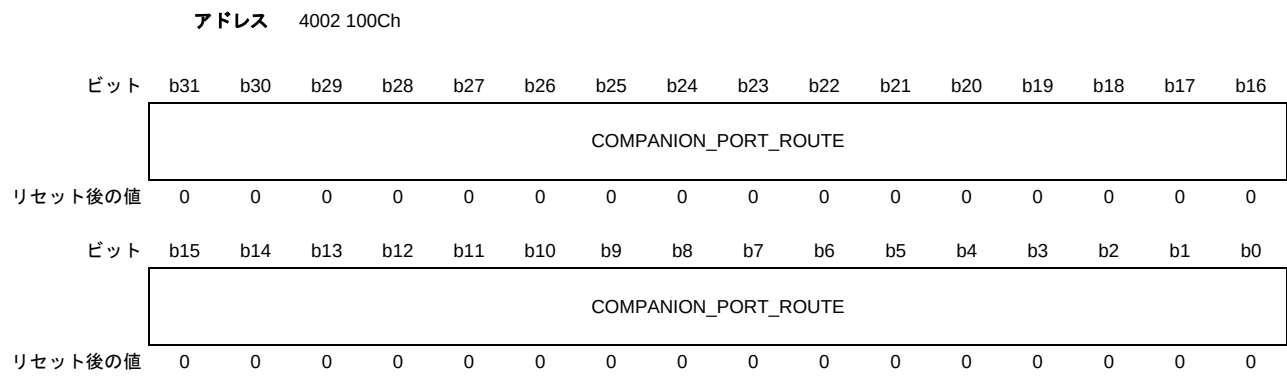


表 10.34 HCSP_PORTROUTE レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	COMPANION_PORT_ROUTE	OHCI ホストコントローラが制御するポートを示します。 OHCI コントローラはホストコントローラに組み込まれるため、本フィールドは全ビット 0 です。	R

10.5.2.5 USBCMD — USBCMD レジスタ

アドレス 4002 1020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	INTERRUPT_THRESHOLD_CONTROL							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ASYNCHRONOUS_SCHEDULE_PARK_MODE_ENABLE	—	ASYNCHRONOUS_SCHEDULE_PARK_MODE_COUNT	LIGHT_HOST_CONTROLLER_RESET	INTERRUPT_ON_ADVANCE_DOORBELL	ASYNCHRONOUS_SCHEDULE_ENABLE	PERIODIC_SCHEDULE_ENABLE	FRAME_LIST_SIZE	HCRESET	—	—	RS
リセット後の値	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0

表 10.35 USBCMD レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット		R
b23~b16	INTERRUPT_THRESHOLD_CONTROL	ホストコントローラが割り込みを生成するまでの最大レートを示します。以下の設定以外は動作が保証されません。 00h : 予約ビット 01h : 1 マイクロフレーム 02h : 2 マイクロフレーム 04h : 4 マイクロフレーム 08h : 8 マイクロフレーム (1ms) 10h : 16 マイクロフレーム (2ms) 20h : 32 マイクロフレーム (4ms) 40h : 64 マイクロフレーム (8ms)	R/W
b15~b12	予約ビット		R
b11	ASYNCHRONOUS_SCHEDULE_PARK_MODE_ENABLE	Park モードの有効または無効を指定します。 0 : 無効 1 : 有効	R/W
b10	予約ビット	書き込み時は 0 を書き込んでください	R
b9、b8	ASYNCHRONOUS_SCHEDULE_PARK_MODE_COUNT	1 つの QH (キューヘッド) で連続して実行可能なトランザクション数を指定します。有効な設定は 1h~3h です。 本フィールドはビット[11] (ASYNCHRONOUS_SCHEDULE_PARK_MODE_ENABLE) がセットされている場合に有効です。	R/W
b7	LIGHT_HOST_CONTROLLER_RESET	簡易ホストコントローラリセットの実行のステータスを示します。 ホストコントローラは簡易ホストコントローラリセットをサポートしないため、本ビットは 0 の固定値です。	R/W

表 10.35 USBCMD レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b6	INTERRUPT_ON_ASYNC_ADVANCE_DORBELL	本ビットはソフトウェアがドアベルとして使用します。 ソフトウェアは、次の QH（キューヘッド）の処理に移行する際に割り込みを生成する目的で、本ビットをセットします。USBINTR レジスタのビット[5]（INTERRUPT_ON_ASYNC_ADVANCE_ENABLE）がセットされていれば、本ビットをセットした後の最初の割り込み生成のタイミングで割り込みが生成されます。 本ビットをセットしたときに USBINTR レジスタのビット[5]（INTERRUPT_ON_ASYNC_ADVANCE_ENABLE）がクリアされているときは、動作は保証されません。 本ビットはホストコントローラがクリアします。 1 つの QH の処理が完了すると、ホストコントローラは本ビットをクリアして USBSTS レジスタのビット[5]（INTERRUPT_ON_ASYNC_ADVANCE）をセットします。	R/W
b5	ASYNCHRONOUS_SCHEDULE_ENABLE	非同期リスト処理を継続するか省略するかを指定します。 0：非同期リスト処理を継続しない（省略する） 1：ASYNCLISTADDR レジスタを使用して非同期リスト処理を継続する（省略しない）	R/W
b4	PERIODIC_SCHEDULE_ENABLE	周期リスト処理を継続するか省略するかを指定します。 0：周期リスト処理を継続しない（省略する） 1：PERIODICLISTBASE レジスタを使用して周期リスト処理を継続する（省略しない）本コントローラでは、1 に設定して下さい。	R/W
b3, b2	FRAME_LIST_SIZE	フレームリストサイズを指定します。本フィールドの設定値により、FRINDEX レジスタのフレームリストカレントインデックスのサイズが決まります。 00b：1024 エレメント（4096 バイト） 01b：512 エレメント（2048 バイト） 10b：256 エレメント（1024 バイト） 11b：予約ビット	R/W
b1	HCRESET	ホストコントローラリセット 本ビットはホストコントローラの初期化に使用します。本ビットをセットすると、ホストコントローラは内部パイプラインおよびステートマシンを初期化します。USB による通信は即座に停止します。このとき、ダウンストリームポートに USB Reset は発行されません。 このリセットでは、PCI コンフィグレーションレジスタは初期化されず、EHCI オペレーションレジスタは初期化され、ポート制御権は OHCI ホストコントローラに戻ります。 ホストコントローラは、リセットが終了すると本ビットをクリアします。ソフトウェアで本ビットをクリアしてリセットを停止することはできません。 本ビットは、USBSTS レジスタのビット[12]（HCHALTED）がセットされているときにセットします。	R/W
b0	RS	実行/停止 本ビットは、EHCI ホストコントローラを実行または停止するために使用します。本ビットをセットすると、ホストコントローラは処理を開始します。ホストコントローラは、本ビットがセットされている間は処理を継続します。本ビットは、ホストコントローラが Halt 状態であるときにセットしてください。USBSTS レジスタのビット 12（HCHALTED）は、ホストコントローラがトランザクションを終了して停止したことを示します。 0：停止（ホストコントローラはトランザクションを終了して停止） 1：実行（ホストコントローラはスケジューリングを実行）	R/W

10.5.2.6 USBSTS — USBSTS レジスタ

アドレス 4002 1024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASYNCHRONOUS_SCHEDULE_STATUS	PERIODIC_SCHEDULE_STATUS	RECLAMATION	HCHALTED	—	—	—	—	—	—	INTERRUPT_ON_ASYNC_ADVANCE	HOST_SYSTEM_ERROR	FRAME_LIST_ROLLOVER	PORT_CHANGE_DETECT	USBERRINT	USBINT
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

表 10.36 USBSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください	R
b15	ASYNCHRONOUS_SCHEDULE_STATUS	現在の非同期スケジューリングのステータスを示します。 本ビットおよび USBCMD レジスタのビット[5] (ASYNCHRONOUS_SCHEDULE_ENABLE) の値が同じなら、非同期スケジューリングは有効 (1) または無効 (0) です。 0 : 無効 1 : 有効	R
b14	PERIODIC_SCHEDULE_STATUS	現在の周期スケジューリングのステータスを示します。 本ビットおよび USBCMD レジスタのビット[4] (PERIODIC_SCHEDULE_ENABLE) の値が同じなら、周期スケジューリングは有効 (1) または無効 (0) です。 0 : 無効 1 : 有効	R
b13	RECLAMATION	本ビットは、空の非同期スケジューリングの検出に使用します。 ホストコントローラは、リセット後または H=1 のキューヘッドをフェッチする際に、本ビットをクリアします。非同期トランザクションを実行するとき、またはトリガイイベントが検出されるときに、本ビットをセットします。 本ビットがクリアされているときに H=1 のキューヘッドがフェッチされると、ホストコントローラは非同期スケジューリングスリーピングモードに移行します。	R
b12	HCHALTED	本ビットは、USBCMD レジスタのビット 0 (RS) がセットされていればクリアされます。ホストコントローラまたはソフトウェアで RS ビットをクリアすると、EHCI ホストコントローラは実行を停止し、ホストコントローラは本ビットをセットします。 0 : EHCI ホストコントローラは実行中 1 : EHCI ホストコントローラは Halt	R
b11~b6	予約ビット	書き込み時は 0 を書き込んでください	R
b5	INTERRUPT_ON_ASYNC_ADVANCE	非同期アドバンス割り込みステータスを示します。 キューヘッドがフェッチされると、ホストコントローラは USBCMD レジスタのビット[6] (INTERRUPT_ON_ASYNC_ADVANCE_DOORBELL (IAAD)) をチェックします。IAAD ビットがセットされていれば、ホストコントローラはキューヘッドの処理が終了すると IAAD ビットをクリアして、本ビットをセットします。USBINTR レジスタのビット[5] (INTERRUPT_ON_ASYNC_ADVANCE_ENABLE) がセットされていれば、本ビットをセットした後の最初の割り込み生成のタイミングで、この割り込みソースにより非同期アドバンス割り込みが生成されます。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。 0 : 非同期アドバンス割り込みは発生していない 1 : 非同期アドバンス割り込みが発生した	R/W

表 10.36 USBSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b4	HOST_SYSTEM_ERROR	本ビットは、ホストコントローラで PCI システムのパリティエラーなどの重大なエラーが発生すると、セットされます。エラーが発生すると、ホストコントローラは USBCMD レジスタのビット[0] (RS) をクリアするため、以降の TD 処理は実行されません。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。 0 : システムエラーは発生していない 1 : システムエラーが発生した	R/W
b3	FRAME_LIST_ROLLOVER	ホストコントローラは、FRINDEX レジスタのフレームインデックスビットが最大値から 000h に戻ると、本ビットをセットします。最大値は、USBCMD レジスタのビット[3:2] (FRAME_LIST_SIZE) で決定されます。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。 0 : フレームリストカウントは最大値から 000h に戻っていない 1 : フレームリストカウントは最大値から 000h に戻った	R/W
b2	PORT_CHANGE_DETECT	ポートステータスの変更を示します。 ホストコントローラは、PORTSC[n] レジスタのビット 13 (PORT_OWNER) がクリアされたポートが以下の条件を 1 つでも満たすと、本ビットをセットします。 - PORTSC[n] のビット[1] (Connect Status Change) が 0 から 1 に変化 (デバイスの接続または接続解除の検出) - PORTSC[n] のビット[3] (Port Enable/Disable Change) が 0 から 1 に変化 (ポート有効ステータスの変更) - PORTSC[n] のビット[5] (Over-current Change) が 0 から 1 に変化 (過電流の検出) - PORTSC[n] のビット[6] (Force Port Resume) が 0 から 1 に変化 (中断ポートでの J-K 遷移の検出) 本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。	R/W
b1	USBERRINT	USB エラー割り込み エラーにより USB トランザクションが終了したことを示します。ホストコントローラは、エラーカウンタのアンダーフローなどのエラーにより USB トランザクションが終了すると、本ビットをセットします。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。 0 : USB トランザクションは正常終了した 1 : USB トランザクションはエラーにより終了した	R/W
b0	USBINT	USB 割り込み USB 転送の正常終了を示します。ホストコントローラは、以下のいずれかのイベントが発生すると、本ビットをセットします。 - USB 転送の完了 - ショートパケットの受信 本ビットは、エラーにより USB 転送が終了したときでも、TD の IOC (Interrupt On Complete) がセットされていればセットされます。本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。 0 : USB 転送は完了していない 1 : USB 転送は完了した	R/W

10.5.2.7 USBINTR — USBINTR レジスタ

アドレス 4002 1028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	INTERRUPT_ON_ASYNC_ADVANCE_ENABLE	HOST_SYSTEM_ERROR_ENABLE	FRAME_LIST_ROLLOVER_ENABLE	PORT_CHANGE_INTERRUPT_ENABLE	USB_ERROR_INTERRUPT_ENABLE	USB_INTERRUPT_ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.37 USBINTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット	書き込み時は 0 を書き込んでください	R
b5	INTERRUPT_ON_ASYNC_ADVANCE_ENABLE	USBSTS のビット[5]を有効にします。 割り込みのクリアは、USBSTS レジスタで行ってください。 0 : 割り込み禁止 1 : 割り込み許可	R/W
b4	HOST_SYSTEM_ERROR_ENABLE	USBSTS のビット[4]を有効にします。 割り込みのクリアは、USBSTS レジスタで行ってください。 0 : 割り込み禁止 1 : 割り込み許可	R/W
b3	FRAME_LIST_ROLLOVER_ENABLE	USBSTS のビット[3]を有効にします。 割り込みのクリアは、USBSTS レジスタで行ってください。 0 : 割り込み禁止 1 : 割り込み許可	R/W
b2	PORT_CHANGE_INTERRUPT_ENABLE	USBSTS のビット[2]を有効にします。 割り込みのクリアは、USBSTS レジスタで行ってください。 0 : 割り込み禁止 1 : 割り込み許可	R/W
b1	USB_ERROR_INTERRUPT_ENABLE	USBSTS のビット[1]を有効にします。 割り込みのクリアは、USBSTS レジスタで行ってください。 0 : 割り込み禁止 1 : 割り込み許可	R/W
b0	USB_INTERRUPT_ENABLE	USBSTS のビット[0]を有効にします。 割り込みのクリアは、USBSTS レジスタで行ってください。 0 : 割り込み禁止 1 : 割り込み許可	R/W

10.5.2.8 FRINDEX — フレームインデックスレジスタ

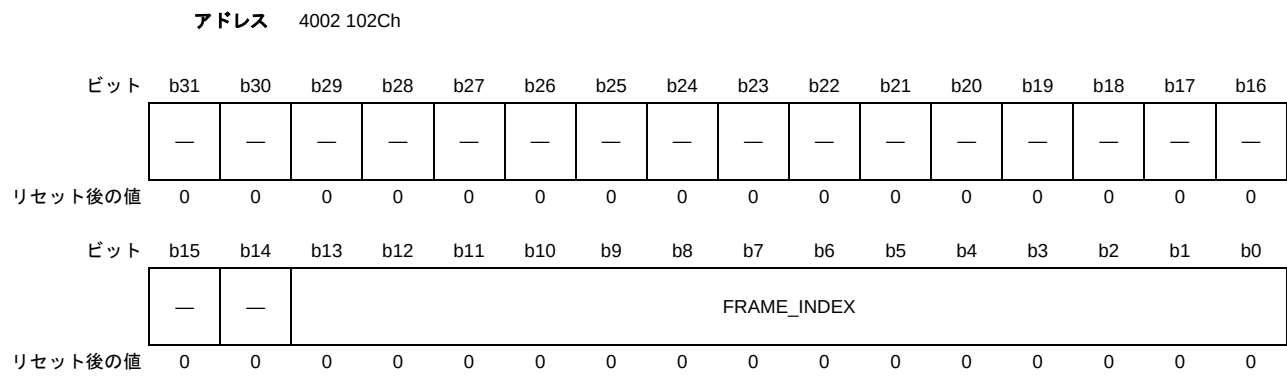


表 10.38 FRINDEX レジスタの内容

ビット位置	ビット名	機能	R/W															
b31～b14	予約ビット	書き込み時は 0 を書き込んでください	R															
b13～b0	FRAME_INDEX	本フィールドは、インデックスを周期フレームリストにアロケートするために使用します。 本フィールドは、マイクロフレームの末尾でインクリメントされます。 本フィールドのビット[N:3]は、現在のフレームリストインデックスとして使用されます。したがって、現在のフレームリストは次のインデックスに移行する前に 8 回にわたってアクセスされます。N 値は、USBCMD レジスタのビット[3:2] (FRAME_LIST_SIZE) で決まります。 <table><tr><th>フレームリストサイズ</th><th>エレメント数</th><th>N</th></tr><tr><td>00b</td><td>(1024)</td><td>12</td></tr><tr><td>01b</td><td>(512)</td><td>11</td></tr><tr><td>10b</td><td>(256)</td><td>10</td></tr><tr><td>11b</td><td>予約ビット</td><td></td></tr></table> 本フィールドは、ホストコントローラが停止している (USBSTS レジスタのビット[12] (HCHALTED) が 1) ときのみアクセスが可能です。 本フィールドの値は、SOF トークンの SOF フレーム番号に反映されます。	フレームリストサイズ	エレメント数	N	00b	(1024)	12	01b	(512)	11	10b	(256)	10	11b	予約ビット		R/W
フレームリストサイズ	エレメント数	N																
00b	(1024)	12																
01b	(512)	11																
10b	(256)	10																
11b	予約ビット																	

10.5.2.9 CTRLDSSEGMENT — CTRLDSSEGMENT レジスタ

アドレス 4002 1030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CTRLDSSEGMENT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTRLDSSEGMENT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.39 CTRLDSSEGMENT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	CTRLDSSEGMENT	ホストコントローラは 64 ビットアドレス指定をサポートしないため、本フィールドは使用しません。	R

10.5.2.10 PERIODICLISTBASE — PERIODICLISTBASE レジスタ

アドレス 4002 1034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BASEADDRESS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BASEADDRESS				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.40 PERIODICLISTBASE レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b12	BASEADDRESS	システムメモリの周期フレームリストのベースアドレスを示します。 本フィールドの値は、ホストコントローラがリスト処理を開始する前に、ソフトウェアによりロードします。 ホストコントローラは、本フィールドおよび FRINDEX レジスタのフレームインデックスビット（ビット[13:0]）により処理するフレームリストを決定します。 周期フレームリストのアドレスは 4KB 境界にアラインさせます。 ホストコントローラの処理中に本フィールドを変更した場合の動作は保証されません。	R/W
b11～b0	予約ビット	書き込み時は 0 を書き込んでください	R

10.5.2.11 ASYNCLISTADDR — ASYNCLISTADDR レジスタ

アドレス		4002 1038h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	LPL																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	LPL											—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

表 10.41 ASYNCLISTADDR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	LPL	リンクポインタ下位 次に処理される非同期キューヘッ드의システムメモリアドレスを示します。 非同期キューヘッ드의アドレスは 32 バイト境界にアラインさせます。	R/W
b4~b0	予約ビット	書き込み時は 0 を書き込んでください	R

10.5.2.12 CONFIGFLAG — CONFIGFLAG レジスタ

アドレス		4002 1060h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

表 10.42 CONFIGFLAG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	書き込み時は 0 を書き込んでください	R
b0	CF	設定フラグ 本ビットは、デフォルトのポート経路として OHCI または EHCI を指定します。 ソフトウェアは、ホストコントローラの設定の最後で本ビットに 1 をセットします。 0 : OHCI ホストコントローラ 1 : EHCI ホストコントローラ	R/W

10.5.2.13 PORTSC1/PORTSC2 — PORTSC1/PORTSC2 レジスタ

アドレス PORTSC1 : 4002 1064h
PORTSC2 : 4003 1068h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	WKOC_E	WKDSCNNT_E	WKCNNNT_E	PORT_TEST_CONTROL			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PORT_INDICATOR_CONTROL	PORT_OWNER	PP	LINE_STATUS	—	PORT_RESET	SUSPEND	FORCE_PORT_RESUME	OVERCURRENT_CHANGE	OVERCURRENT_ACTIVE	PORT_ENABLE_DISABLE_CHANGE	PORT_ENABLED_DISABLE	CONNECT_STATUS_CHANGE	CURRENT_CONNECT_STATUS		
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.43 PORTSC1/PORTSC2 レジスタの内容 (1/4)

ビット位置	ビット名	機能	R/W
b31～b23	予約ビット		R
b22	WKOC_E	過電流ウェイクアップ有効化 本ビットをセットすると、過電流状態がウェイクアップイベントとして検出されます。 本ビットは、ホストコントローラの動作には影響しません。 PP=0 なら本ビットは 0 です。	R/W
b21	WKDSCNNT_E	接続解除時ウェイクアップ有効化 本ビットをセットすると、デバイスの接続解除がウェイクアップイベントとして検出されます。 本ビットは、ホストコントローラの動作には影響しません。 PP=0 なら本ビットは 0 です。	R/W
b20	WKCNNNT_E	接続時ウェイクアップ有効化 本ビットをセットすると、デバイスの接続がウェイクアップイベントとして検出されます。 本ビットは、ホストコントローラの動作には影響しません。 PP=0 なら本ビットは 0 です。	R/W
b19～b16	PORT_TEST_CONTROL	ポートテスト制御[3:0] 0000b : 通常動作 0001b : J_STATE テスト 0010b : K_STATE テスト 0011b : SEO_NAK テスト 0100b : パケットテスト 0101b : FORCE_ENABLE テスト 上記以外 : 予約ビット	R/W
b15、b14	PORT_INDICATOR_CONTROL	ポートインジケータ制御[1:0] 本フィールドは 00b で、ホストコントローラがポートインジケータ制御をサポートしないことを示します。	R
b13	PORT_OWNER	ポート所有権 0 : EHCI ホストコントローラ 1 : OHCI ホストコントローラ 本ビットは、CONFIGFLAG レジスタの CF (ビット 0) が 0 から 1 に変化するとクリアされます。CF=0 なら本ビットはセットされます。接続されたデバイスが High Speed デバイスでなければ、ソフトウェアは本ビットをセットして、ポート所有権を OHCI ホストコントローラに変更します。	R/W

表 10.43 PORTSC1/PORTSC2 レジスタの内容 (2/4)

ビット位置	ビット名	機能		R/W																				
b12	PP	ポート電源 0：ポートへの電源供給なし 1：ポートへの電源供給あり 本ビットをクリアすると、USB ポートは機能せず、デバイスの接続または接続解除を検出しません。本ビットがセットされているときに過電流が検出されると、ホストコントローラは本ビットをクリアして、ポートへの電源供給を停止します。 本ビットの機能は、HCSPARAMS レジスタの PPC の値で決まります。 <table><tr><th>PPC</th><th>PP</th><th>機能</th></tr><tr><td>0</td><td>1</td><td>本ビットは1のままで、ポートに対して常に電源が供給されます。</td></tr><tr><td>1</td><td>0 または 1</td><td>ポートへの電源供給は本ビットの設定で決まります。</td></tr></table>		PPC	PP	機能	0	1	本ビットは1のままで、ポートに対して常に電源が供給されます。	1	0 または 1	ポートへの電源供給は本ビットの設定で決まります。	R/W											
PPC	PP	機能																						
0	1	本ビットは1のままで、ポートに対して常に電源が供給されます。																						
1	0 または 1	ポートへの電源供給は本ビットの設定で決まります。																						
b11、b10	LINE_STATUS	ラインステータス [1:0] <table><tr><th>ビット 11 (D+)</th><th>ビット 10 (D-)</th><th>USB ステート</th><th>機能</th></tr><tr><td>0</td><td>0</td><td>SE0</td><td>Low Speed デバイスではない</td></tr><tr><td>0</td><td>1</td><td>K ステート</td><td>Low Speed デバイスが接続されたポート制御権は EHCI から OHCI に移行</td></tr><tr><td>1</td><td>0</td><td>J ステート</td><td>Low Speed デバイスではない EHCI ポートリセットの実行</td></tr><tr><td>1</td><td>1</td><td>未定義</td><td>Low Speed デバイスではない EHCI ポートリセットの実行</td></tr></table> 本フィールドは、ポートリセットシーケンスまたはポート有効化シーケンスを実行する前に、LS デバイスを検出するために使用します。本フィールドは、PORT_ENABLE_DISABLE_CHANGE=0 および CURRENT_CONNECT_STATUS=1 の場合に有効です。 PP=0 なら本フィールドは 0 です。		ビット 11 (D+)	ビット 10 (D-)	USB ステート	機能	0	0	SE0	Low Speed デバイスではない	0	1	K ステート	Low Speed デバイスが接続されたポート制御権は EHCI から OHCI に移行	1	0	J ステート	Low Speed デバイスではない EHCI ポートリセットの実行	1	1	未定義	Low Speed デバイスではない EHCI ポートリセットの実行	R
ビット 11 (D+)	ビット 10 (D-)	USB ステート	機能																					
0	0	SE0	Low Speed デバイスではない																					
0	1	K ステート	Low Speed デバイスが接続されたポート制御権は EHCI から OHCI に移行																					
1	0	J ステート	Low Speed デバイスではない EHCI ポートリセットの実行																					
1	1	未定義	Low Speed デバイスではない EHCI ポートリセットの実行																					
b9	予約ビット			R																				
b8	PORT_RESET	ポートリセット 0：ポートはリセット中ではない 1：ポートはリセット中 本ビットが0であるときに1を書き込むと、USB バスのリセットシーケンスが起動します。バスリセットを終了するときは0を書き込みます。USB2.0 仕様に従ってバスリセットシーケンスが終了するまでは、本ビットを1に維持する必要があります。 USBSTS レジスタの HCHALTED（ビット[12]）がセットされていれば、ソフトウェアはポートをリセットしないでください。 本ビットは、以下のいずれかの条件が満たされるとクリアされます。 – PP=0 – PORT_OWNER=1 – CURRENT_CONNECT_STATUS=0		R/W																				

表 10.43 PORTSC1/PORTSC2 レジスタの内容 (3/4)

ビット位置	ビット名	機能	R/W												
b7	SUSPEND	ポート Suspend ステータス 0 : Suspend ステートではない 1 : Suspend ステート ポートステートは、本ビットおよび PORT_ENABLED_DISABLED で決まります。 <table><tr><th>PORT_ENABLED_DISABLED</th><th>Suspend</th><th>ポートステート</th></tr><tr><td>0</td><td>X</td><td>無効</td></tr><tr><td>1</td><td>0</td><td>有効</td></tr><tr><td>1</td><td>1</td><td>Suspend</td></tr></table> Suspend ステートでは、ダウンストリームポートのデータ転送はポートリセットを除いてブロックされます。データ転送中に本ビットをセットすると、現在の転送の終了後にステータスの反映およびデータ転送がブロックされます。 本ビットは、ホストコントローラのレジスタが PP=1、PORT_OWNER=0、および CURRENT_CONNECT_STATUS=1 の場合のみソフトウェアによるセットが可能です。 本ビットは、以下の条件では無条件にクリアされます。 - ソフトウェアによる FORCE_PORT_RESUME のクリア - ソフトウェアによる PORT_RESET のセット PP=0 なら本フィールドは 0 です。	PORT_ENABLED_DISABLED	Suspend	ポートステート	0	X	無効	1	0	有効	1	1	Suspend	R/W
PORT_ENABLED_DISABLED	Suspend	ポートステート													
0	X	無効													
1	0	有効													
1	1	Suspend													
b6	FORCE_PORT_RESUME	ポート Resume 0 : Resume 信号（K ステート）は検出／出力されていない 1 : Resume 信号（K ステート）が検出／出力された Suspend ステートのときにポートステートが J から K に変化すると（リモートウェイクアップ）、ホストコントローラは本ビットおよび USBSTS レジスタの PORT_CHANGE_DETECT（ビット[2]）をセットします。また、Resume 信号を出力する場合もソフトウェアで本ビットをセットします。ただし PORT_CHANGE_DETECT ビットはセットしません。 本ビットがセットされていれば、USB ポートに Resume 信号（FS K ステート）が出力されます。適切な時間経過後に本ビットをクリアしてください。 本ビットが 1 であるときに 0 を書き込むと、ポートは HS アイドルに復帰します。本ビットは、ポートが HS アイドルに復帰するまでは 1 のままです。 PP=0 なら本フィールドは 0 です。	R/W												
b5	OVER_CURRENT_CHANGE	過電流変更 0 : 変更なし 1 : OVER_CURRENT_ACTIVE が変更された 本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。	R/W												
b4	OVER_CURRENT_ACTIVE	過電流アクティブ 0 : 過電流状態ではない 1 : 過電流状態 ホストコントローラは、過電流状態が検出されると、PP および関連するビットをクリアして本ビットをセットします。本ビットは、過電流状態が終了するとクリアされます。	R												
b3	PORT_ENABLE_DISABLE_CHANGE	ポート有効／無効変更 0 : 変更なし 1 : ポートステータスは有効から無効に変更された ホストコントローラは、フレームバブルが検出されると、ポートを無効にして本ビットをセットします。 本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。 PP=0 なら本フィールドは 0 です。	R/W												

表 10.43 PORTSC1/PORTSC2 レジスタの内容 (4/4)

ビット位置	ビット名	機能	R/W
b2	PORT_ENABLED_DISABLED	ポート有効／無効 0 : ポートは無効 1 : ポートは有効 ホストコントローラは、ポートをリセットして接続されたデバイスが HS デバイスであることを認識すると、ポートを有効にして本ビットをセットします。本ビットはソフトウェアでセットすることはできません。 ホストコントローラは、デバイスの接続解除またはエラーを検出すると、ポートを無効にして本ビットをクリアします。ポートは、ソフトウェアで本ビットをクリアした場合も無効になります。本ビットへの書き込みは、ポートステータスが実際に変更されるまでは反映されません。 ポートが無効なら、ダウンストリームポートのデータ転送はポートリセットを除いてブロックされます。 PP=0 なら本ビットは 0 です。 ポートは、ポートステータスに関係なく、PORT_TEST_CONTROL[3:0]=0101b (テスト FORCE_ENABLE) のときに有効で本ビットは 1 にセットされます。	R/W
b1	CONNECT_STATUS_CHANGE	接続ステータス変更 0 : 変更なし 1 : CURRENT_CONNECT_STATUS が変更された 本ビットは、ソフトウェアで 1 を書き込むとクリアされます。0 の書き込みは無効です。 PP=0 なら本ビットは 0 です。	R/W
b0	CURRENT_CONNECT_STATUS	現在の接続ステータス 0 : ポートにデバイスが接続されていない 1 : ポートにデバイスが接続されている デバイスが接続されていないときでも、PORT_TEST_CONTROL[3:0]=0101b (テスト FORCE_ENABLE) なら本ビットはセットされます。 PP=0 または PORT_OWNER=0 なら本ビットは 0 です。	R

10.5.3 OHCI（PCI 設定空間）レジスタの説明

10.5.3.1 VID_DID — デバイス ID・ベンダ ID（OHCI）

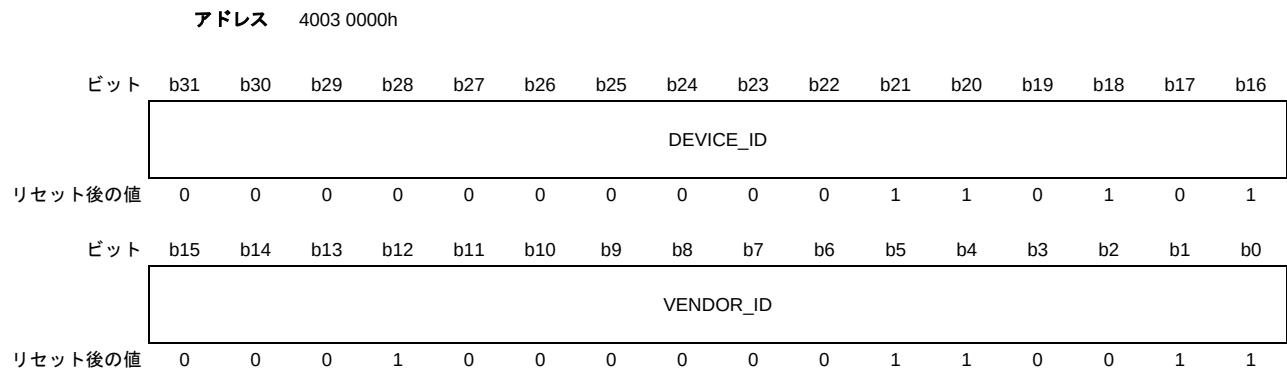


表 10.44 VID_DID レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	DEVICE_ID	デバイスタイプ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R
b15～b0	VENDOR_ID	デバイスベンダ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R

10.5.3.2 CMND_STS — ステータス・コマンド (OHCI)

アドレス 4003 0004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DETECTED_PARITY_ERROR	SIGNALLED_SYSTEM_ERROR	RECEIVED_MASTER_ABORT	RECEIVED_TARGET_ABORT	SIGNALLED_TARGET_ABORT	DEVSEL_TIMING		DATA_PARITY_ERROR_DETECTED	FAST_BACK_TO_BACK_CAPABLE	—	—	CAPABILITIES_LIST	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FAST_BACK_TO_BACK_ENABLE	SERR_ENABLE	WAIT_CYCLE_CONTROL	PARITY_ERROR_RESPONSE	VGA_PALETTE_SNOOP	MEMORY_WRITE_AND_INVALIDATE_ENABLE	SPECIAL_CYCLE	BUS_MASTER	MEMORY_SPACE	I_O_SPACE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.45 CMND_STS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	DETECTED_PARITY_ERROR	パリティエラーステータス 本ビットは、アドレスまたはデータのパリティエラーが検出されるとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b30	SIGNALLED_SYSTEM_ERROR	SERR ステータス 本ビットは、システムエラーが発生するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b29	RECEIVED_MASTER_ABORT	マスター-マスターアポートステータス 本ビットは、マスタとして機能するホストコントローラの実行するバスサイクルが、マスタアポート通知により終了するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b28	RECEIVED_TARGET_ABORT	マスター-ターゲットアポートステータス 本ビットは、マスタとして機能するホストコントローラの実行するバスサイクルが、ターゲットアポート通知により終了するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b27	SIGNALLED_TARGET_ABORT	スレーブターゲットアポートステータス 本ビットは、スレーブとして機能するホストコントローラの実行するバスサイクルのアクセスが、ターゲットアポート通知により終了するとセットされます。PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b26、b25	DEVSEL_TIMING	DEVSEL 応答速度 本フィールドは 01b（中速度応答）の固定値です。	R
b24	DATA_PARITY_ERROR_DETECTED	本ビットは、マスタとして機能するホストコントローラがパリティエラーを検出するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。 本ビットは、パリティエラー応答ビットがクリアされている場合は 0 の固定値です。	R/W
b23	FAST_BACK_TO_BACK_CAPABLE	Fast Back to Back サポート Fast Back to Back はサポートされないため、本ビットは 0 の固定値です。	R
b22、b21	予約ビット	書き込み時は 0 を書き込んでください	R
b20	CAPABILITIES_LIST	パワーマネジメントモードサポート 本ビットは 1 の固定値です。	R
b19～b10	予約ビット	書き込み時は 0 を書き込んでください	R
b9	FAST_BACK_TO_BACK_ENABLE	Fast Back to Back の有効化 ホストコントローラは Fast Back to Back をサポートしないため、本ビットは 0 の固定値です。	R
b8	SERR_ENABLE	システムエラー応答の有効化 0 : SERR0 をアサートしない 1 : SERR0 をアサートする 本ビットをセットすると、SERR 信号によりシステムエラーが通知されます。	R/W

表 10.45 CMND_STS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b7	WAIT_CYCLE_CONTROL	ウェイトサイクル制御の有効化 ホストコントローラは Address/Data ステッピングをサポートしないため、本ビットは 0 の固定値です。	R
b6	PARITY_ERROR_RESPONSE	パリティエラー応答の有効化 0 : PERR0 をアサートしない 1 : PERR0 をアサートする パリティエラーが検出されると、本ビットがクリアされていても DETECTED_PARITY_ERROR ビットがセットされます。	R/W
b5	VGA_PALETTE_SNAPSHOT	VGA パレットスナップの有効化 本ビットは 0 (非サポート) の固定値です。	R
b4	MEMORY_WRITE_AND_INVALIDATE_ENABLE	Memory Write and Invalidate の有効化 本ビットは初期値 0 から変更しないでください。	R/W
b3	SPECIAL_CYCLE	スペシャルサイクルの有効化 本ビットは 0 (非サポート) の固定値です。	R
b2	BUS_MASTER	バスマスタの有効化 PCI バスへのマスタアクセスを有効にします。システムバスで SRAM にアクセスするときは、本ビットをセットしてください。 本ビットは初期化時にセットしてください。	R/W
b1	MEMORY_SPACE	メモリ空間へのアクセスの有効化 PCI 仕様に明記されたメモリアクセスを有効にします。 本ビットは初期化時にセットしてください。	R/W
b0	I_O_SPACE	I/O 空間へのアクセスの有効化 ホストコントローラは I/O アクセスを認識しないため、本ビットは 0 の固定値です。	R

10.5.3.3 REVID_CC — クラスコード・リビジョン ID (OHCI)

アドレス		4003 0008h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BASE_CLASS								SUB_CLASS							
リセット後の値	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PROGRAMMING_I_F								REVISION_ID							
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1

表 10.46 REVID_CC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	BASE_CLASS	PCI 仕様で定義されるベースクラス “0Ch” ならシリアルペリフェラルバスコントローラです。	R
b23～b16	SUB_CLASS	PCI 仕様で定義されるサブクラス “03h” なら USB デバイスです。	R
b15～b8	PROGRAMMING_I_F	PCI 仕様で定義されるプログラムインタフェース “10h” なら OHCI です。	R
b7～b0	REVISION_ID	ホストコントローラリビジョン 本ビットは 01h の固定値です。	R

10.5.3.4 CLS_LT_HT_BIST — BIST・ヘッダタイプ・レイテンシタイマ・キャッシュラインサイズ (OHCI)

アドレス		4003 000Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BIST								HEADER_TYPE							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LATENCY_TIMER								CACHE_LINE_SIZE							
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0

表 10.47 CLS_LT_HT_BIST レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	BIST	本フィールドはセルフテストに使用します。 ホストコントローラはセルフテストをサポートしないため、本ビットは 00h の固定値です。	R
b23～b16	HEADER_TYPE	本フィールドは、システムへのヘッダタイプの通知に使用します。 ヘッダタイプは Type0 であるため、ビット[22:16]は 00h の固定値です。 マルチ機能デバイスを使用するため、ビット[23]は 1 の固定値です。	R
b15～b8	LATENCY_TIMER	本フィールドは、システムへのレイテンシタイマの通知に使用します。 最下位 2 ビットは 00 の固定値です。	R/W
b7～b0	CACHE_LINE_SIZE	本フィールドは、システムへのキャッシュラインサイズの通知に使用します。	R/W

10.5.3.5 BASEAD — OHCI ベースアドレス

アドレス 4003 0010h

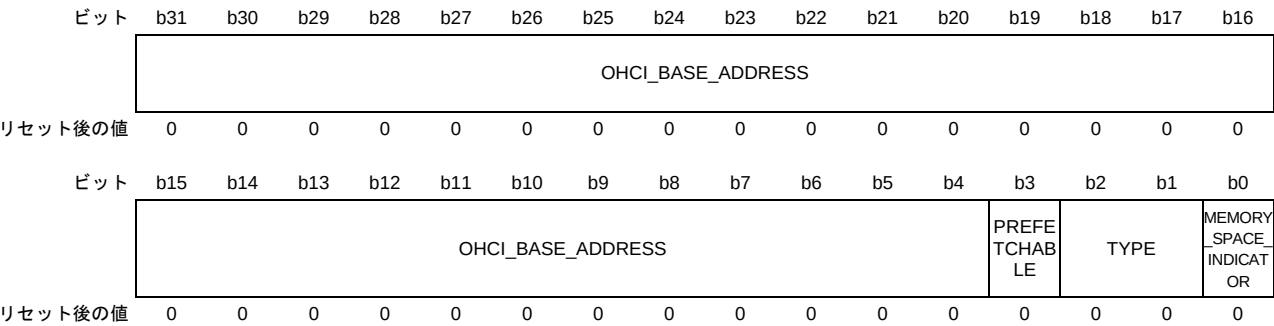


表 10.48 BASEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	OHCI_BASE_ADDRESS	ビット[31:12]は、オペレーションレジスタのベースアドレスを指定します。 オペレーションレジスタのベースアドレス値を設定します。 ビット[11:4]は 00h の固定値で、オペレーションレジスタは 4KB のアドレス空間にアロケートされます。	R/W
b3	PREFETCHABLE	ホストコントローラはメモリ読み出しサイクルでのプリフェッチをサポートしないため、本ビットは 0 の固定値です。	R
b2、b1	TYPE	OHCI のオペレーションレジスタのベースアドレスが 32 ビット幅であることを示します。したがって、レジスタは 32 ビットメモリ空間の任意のロケーションにアロケートすることが可能です。 本フィールドは 00h の固定値です。	R
b0	MEMORY_SPACE_INDICATOR	OHCI のオペレーションレジスタがシステムメモリ空間にマッピングされることを示します。 本ビットは 0b の固定値です。	R

10.5.3.6 SSVID_SSID — サブシステム ID・サブシステムベンダ ID (OHCI)

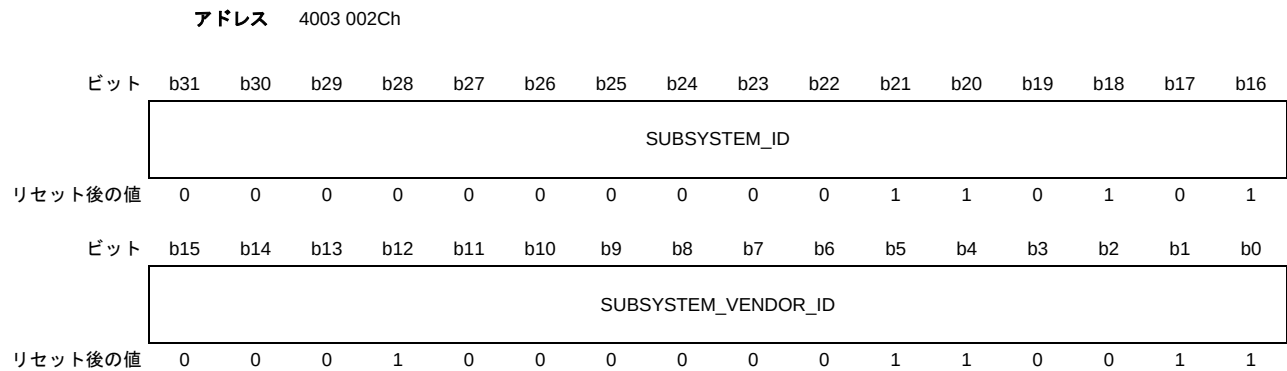


表 10.49 SSVID_SSID レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	SUBSYSTEM_ID	デバイスタイプ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R
b15～b0	SUBSYSTEM_VEND OR_ID	デバイスベンダ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R

10.5.3.7 EROM_BASEAD — 拡張 ROM ベースアドレス (OHCI)

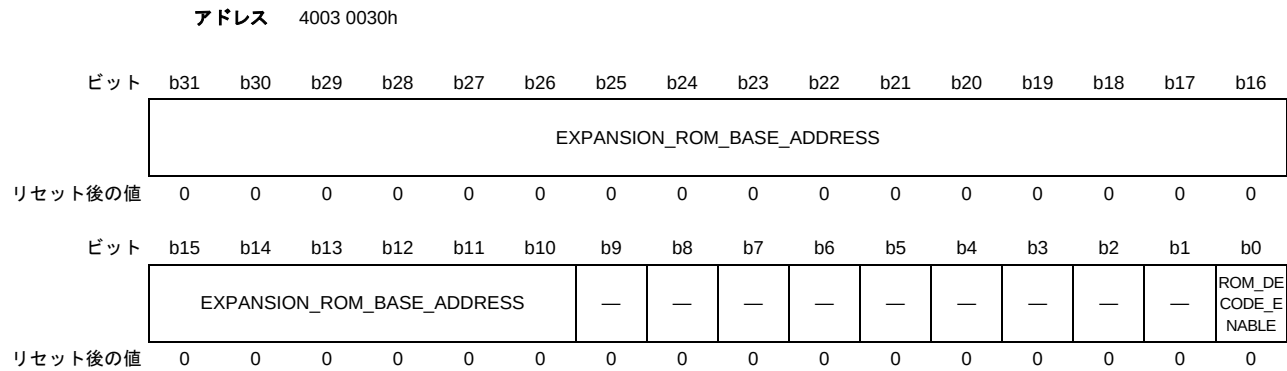


表 10.50 EROM_BASEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b10	EXPANSION_ROM_ BASE_ADDRESS	拡張 ROM のデコードは禁止されているため、本フィールドは 000000h の固定値で す。	R
b9～b1	予約ビット		R
b0	ROM_DECODE_ENA BLE	拡張 ROM のデコードは禁止されているため、本ビットは 0 の固定値です。	R

10.5.3.8 CAPPTR ― 機能 ID ポインタ（OHCI）

アドレス 4003 0034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CAPABILITY_POINTER							
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

表 10.51 CAPPTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b0	CAPABILITY_POINTER	機能 ID へのポインタ 本ホストコントローラでは、40h に実装されているため 40h を示します。	R

10.5.3.9 INTR_LINE_PIN ― Max_Lat・Min_Gnt・割り込みピン・割り込みライン（OHCI）

アドレス 4003 003Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MAX_LATENCY								MIN_GNT							
リセット後の値	0	0	1	0	1	0	1	0	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INTERRUPT_PIN								INTERRUPT_LINE							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

表 10.52 INTR_LINE_PIN レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	MAX_LATENCY	PCI バスの最大取得頻度 本ホストコントローラは 2Ah として実装されます。	R
b23～b16	MIN_GNT	最小バースト転送タイム 本ホストコントローラは 01h として実装されます。	R
b15～b8	INTERRUPT_PIN	割り込み出力ピン INTA を使用するため、本フィールドは 01h の固定値です。	R
b7～b0	INTERRUPT_LINE	割り込みライン 本ホストコントローラでは 00h のままとしてください。	R/W

10.5.3.10 CAPID_NIP_PMCAP — 機能 ID・次アイテムポインタ・パワーマネジメント機能 (OHCI)

アドレス 4003 0040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PME_SUPPORT					D2_SUPPORT	D1_SUPPORT	AUX_CURRENT			DSI	—	PME_CLK	VERSION		
リセット後の値	0	1	1	1	1	1	1	0	0	0	0	0	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NEXT_ITEM_POINTER								CAPABILITY_IDENTIFIER							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 10.53 CAPID_NIP_PMCAP レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b27	PME_SUPPORT	[31]: D3 コールドステートサポート D3 コールドステートはサポートされないため、本ビットは 0 の固定値です。 [30:27]: 全 PCI 電力状態での PME 割り込み生成のサポート (D0~D3) 本ビットは 1111b の固定値です。	R
b26	D2_SUPPORT	パワーマネジメント機能 - PCI 電力状態 D2 のサポート 本ビットは 1 の固定値です。	R
b25	D1_SUPPORT	パワーマネジメント機能 - PCI 電力状態 D1 のサポート 本ビットは 1 の固定値です。	R
b24~b22	AUX_CURRENT	パワーマネジメント機能 - 3.3V の補助電源に必要な指定電流値 D3 コールドステートでの PME 割り込みの生成はサポートされないため、本フィールドは 000b の固定値です。	R
b21	DSI	パワーマネジメント機能 - パワーマネジメントの特別な初期化は不要 本ビットは 0b の固定値です。	R
b20	予約ビット		R
b19	PME_CLK	パワーマネジメント機能 - PME 割り込みの生成に USB_PICLK は不要 本ビットは 0b の固定値です。	R
b18~b16	VERSION	パワーマネジメント機能 - PCI のパワーマネジメントインタフェース仕様リリース 1.1 へのシステムの準拠 本ビットは 010b の固定値です。	R
b15~b8	NEXT_ITEM_POINTER	次アイテムなし 本ビットは 00h の固定値です。	R
b7~b0	CAPABILITY_IDENTIFIER	PCI のパワーマネジメントレジスタ ID 本ビットは 01h の固定値です。	R

10.5.3.11 PMC_STS_PMCSR — パワーマネジメント制御およびステータス・PMCSR ブリッジサポート拡張 (OHCI)

アドレス 4003 0044h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DATA								BPCC_ENABLE	B2_B3	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PME_STATUS	DATA_SCALE							PME_ENABLE	—	—	—	—	—	—	POWER_STATE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.54 PMC_STS_PMCSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	DATA	本ビットは 00h の固定値です。PCI 仕様によるオプションフィールドで、本ホストコントローラはサポートしません。	R
b23	BPCC_ENABLE	本ビットは 0b の固定値です。ブリッジ用のビットで、本ホストコントローラはサポートしません。	R
b22	B2_B3	本ビットは 0b の固定値です。ブリッジ用のビットで、本ホストコントローラはサポートしません。	R
b21~b16	予約ビット	書き込み時は 0 を書き込んでください	R
b15	PME_STATUS	PME 割り込みステータス 本ビットは、PME 生成条件が満たされるとセットされます。PME 生成条件 : HcInterruptStatus レジスタのビット[3] (RD) がセット、および HcControl レジスタのビット 10 (RWE) がセット。本ビットは、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b14~b9	DATA_SCALE	本ビットは 00b の固定値です。PCI 仕様によるオプションフィールドで、本ホストコントローラはサポートしません。	R
b8	PME_ENABLE	PME 有効化 本ビットをセットすると、システムがパワーマネジメントから復帰したときに PME 割り込みが生成されます。	R/W
b7~b2	予約ビット	書き込み時は 0 を書き込んでください	R
b1、b0	POWER_STATE	PCI 電力状態 00b : D0 ステート 01b : D1 ステート 10b : D2 ステート 11b : D3 ホットステート	R/W

10.5.3.12 EXT1 — EXT1 レジスタ (OHCI)

アドレス 4003 00E0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	POTPGT								HYPER_SPEED_TRANSFER_CONTROL_2				—	—	—	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	1	0	1	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	HYPER_SPEED_TRANSFER_CONTROL_1	—	—	—	—	—	ID_WRITE_ENABLE	—	—	—	—	PPCNT	PORT_NO	
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	1	1	1	X	X

表 10.55 EXT1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	POTPGT	OHCI の HcRhDescriptorA レジスタのビット[31:24] (POTPGT) の設定を指定します。POTPGT は、ルートハブの電源投入後のソフトウェアアクセスの待機期間です。	R/W
b23~b19	HYPER_SPEED_TRANSFER_CONTROL_2	02h (HS 非同期 FIFO しきい値=64 バイト) 以外の値は指定できません。	R/W
b18~b14	予約ビット	初期値を保持してください。	R/W
b13	HYPER_SPEED_TRANSFER_CONTROL_1	HS 非同期出力アドバンスモード 非同期出力転送で使用する Hyper-Speed 転送モード機能を指定します。本ビットをセットするとこの機能が有効 (転送速度高速化) になります	R/W
b12~b8	予約ビット	初期値を保持してください。	R/W
b7	ID_WRITE_ENABLE	サブシステム ID、サブシステムベンダ ID、最大レイテンシ、および最小 Gnt パラメータの書き込み保護制御 0 : 書き込み保護 1 : 書き込み有効	R/W
b6~b3	予約ビット	初期値を保持してください。	R/W
b2	PPCNT	EHCI の HCSPARAMS レジスタのビット[4] (PPC) の設定を指定します。 0 : PPC ビットを 0 クリア。ホストコントローラを搭載するシステムにはポートの電源制御スイッチがないため、ポート電源は常にオンされます。 1 : PPC ビットを 1 にセット。ホストコントローラを搭載するシステムにポートの電源制御スイッチがあります。 ポート電源が常にオンであるときは本ビットをクリアするか、OHCI の HcRhDescriptorA レジスタのビット[9] (NPS) をセットします。	R/W
b1、b0	PORT_NO	有効な USB ダウンストリームポート数を指定します。 設定／有効ポート 1h : ポート 1 2h : ポート 1 および 2 上記以外 : 予約ビット 1h または 2h 以外の値は指定しないでください。 リセット値 1 ホストモード : 1h 2 ホストモード : 2h	R/W

10.5.3.13 EXT2 — EXT2 レジスタ (OHCI)

アドレス		4003 00E4h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
								PLL_UNLOCK_ACCE SS_MODE						RAM_CONNECT_CHECK_RESULT	RAM_CONNECT_CHECK_END_FLAG	RUN_RAM_CONNECT_CHECK	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
															HYPER_SPEED_TRANSFER_CONTROL_3	EHCI_MASK	
リセット後の値	0	1	1	0	1	1	0	0	0	0	0	0	0	0	1	0	

表 10.56 EXT2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット	書き込み時は 0 を書き込んでください	R
b24	PLL_UNLOCK_ACCE SS_MODE	USBPLL アンロック時のレジスタアクセスの応答モードを設定します。 0 : USBPLL ロックまで待機 1 : USBPLL がロックされるまでダミー値を返送	R/W
b23～b19	予約ビット	初期値を保持してください。	R/W
b18	RAM_CONNECT_CHECK_RESULT	RAM 接続チェックの結果を示します。 0 : NG 1 : OK 本ビットは、RAM_CONNECT_CHECK_END_FLAG ビットがセットされている場合に有効です。接続チェックが終了すると、本ビットは RUN_RAM_CONNECT_CHECK ビットが 0 から 1 に変更されるまでクリアされません。	R
b17	RAM_CONNECT_CHECK_END_FLAG	RAM 接続チェックの終了を示します。 0 : 接続チェックは未実行／未終了 1 : 接続チェックが終了 RUN_RAM_CONNECT_CHECK ビットがセットされると、RAM 接続チェックが起動し、所定の期間（約 2us）の経過後に本ビットがセットされます。	R
b16	RUN_RAM_CONNECT_CHECK	本ビットは、RAM 接続チェックをトリガするために使用します。本ビットをセットすると、RAM 接続チェックが起動します。チェックが終了しても自動的にクリアされません。チェックを再び実行するには、本ビットに 0 を書き込んでクリアしてから 1 を書き込みます。本ビットをセットすると、接続チェック回路がリセットされ、RAM_CONNECT_CHECK_END_FLAG ビットおよび RAM_CONNECT_CHECK_RESULT ビットがクリアされます。	R/W
b15～b2	予約ビット	初期値を保持してください。	R/W
b1	HYPER_SPEED_TRANSFER_CONTROL_3	非同期 IN/OUT 転送で使用する Hyper-Speed 転送モード機能を指定します。本ビットをセットするとこの機能が有効（転送速度高速化）になります	R/W
b0	EHCI_MASK	EHCI ホストコントローラのマスク（有効化） 0 : EHCI ホストコントローラは有効 1 : EHCI ホストコントローラは無効 本ビットをセットすると、EHCI の PCI 設定空間およびメモリ空間のレジスタアクセスは無効となり、EHCI ホストコントローラは動作しません。	R/W

10.5.3.14 UTMICTRL — USBPHY オペレーションモード制御レジスタ (OHCI)

アドレス 4003 00F4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REPSEL	
リセット後の値	0	0	0	1	0	0	0	1	0	0	0	0	0	0	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.57 UTMICTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b18	予約ビット	初期値を保持してください。	R/W
b17~b16	REPSEL	終端抵抗の周期的調整間隔を指定します。 本ビットは、ホストコントローラの初期化時に 00b に設定します。	R/W
b15~b0	予約ビット	初期値を保持してください。	R/W

10.5.4 EHCI（PCI 設定空間）レジスタの説明

10.5.4.1 VID_DID — デバイス ID・ベンダ ID（EHCI）

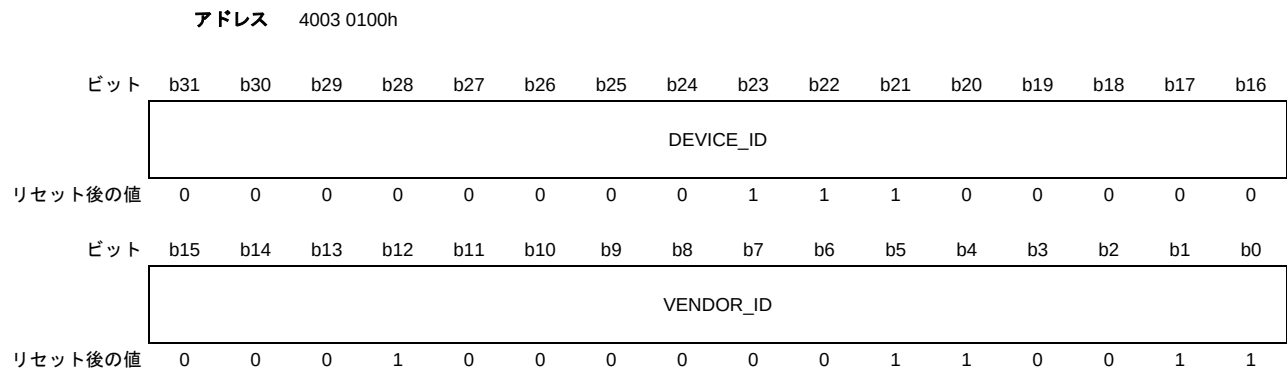


表 10.58 VID_DID レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	DEVICE_ID	デバイスタイプ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R
b15～b0	VENDOR_ID	デバイスベンダ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R

10.5.4.2 CMND_STS — ステータス・コマンド (EHCI)

アドレス 4003 0104h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DETECTED_PARITY_ERROR	SIGNALLED_SYSTEM_ERROR	RECEIVED_MASTER_ABORT	RECEIVED_TARGET_ABORT	SIGNALLED_TARGET_ABORT	DEVSEL_TIMING		DATA_PARITY_ERROR_DETECTED	FAST_BACK_TO_BACK_CAPABLE	—	MHZ66_CAPABLE	CAPABILITIES_LIST	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FAST_BACK_TO_BACK_ENABLE	SERR_ENABLE	WAIT_CYCLE_CONTROL	PARITY_ERROR_RESPONSE	VGA_PALETTE_SNOOP	MEMORY_WRITE_AND_INVALIDATE_ENABLE	SPECIAL_CYCLE	BUS_MASTER	MEMORY_SPACE	I_O_SPACE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.59 CMND_STS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	DETECTED_PARITY_ERROR	パリティエラーステータス 本ビットは、アドレスまたはデータのパリティエラーが検出されるとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b30	SIGNALLED_SYSTEM_ERROR	SERR ステータス 本ビットは、システムエラーが発生するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b29	RECEIVED_MASTER_ABORT	マスタ-マスタアポートステータス 本ビットは、マスタとして機能するホストコントローラの実行するバスサイクルが、マスタアポート通知により終了するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b28	RECEIVED_TARGET_ABORT	マスタ-ターゲットアポートステータス 本ビットは、マスタとして機能するホストコントローラの実行するバスサイクルが、ターゲットアポート通知により終了するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b27	SIGNALLED_TARGET_ABORT	スレーブターゲットアポートステータス 本ビットは、スレーブとして機能するホストコントローラのバスサイクルのアクセスが、ターゲットアポート通知により終了するとセットされます。PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b26、b25	DEVSEL_TIMING	DEVSEL 応答速度 本フィールドは 01（中速度応答）の固定値です。	R
b24	DATA_PARITY_ERROR_DETECTED	本ビットは、マスタとして機能するホストコントローラがパリティエラーを検出するとセットされ、PCI バスにより 1 が書き込まれるとクリアされます。 本ビットは、パリティエラー応答ビットがクリアされている場合は 0 の固定値です。	R/W
b23	FAST_BACK_TO_BACK_CAPABLE	Fast Back to Back サポート Fast Back to Back はサポートされないため、本ビットは 0 の固定値です。	R
b22	予約ビット	書き込み時は 0 を書き込んでください	R
b21	MHZ66_CAPABLE	66MHz 動作能力 本ビットは 0 の固定値で、設定は 33MHz です。	R
b20	CAPABILITIES_LIST	パワーマネジメントモードサポート 本ビットは 1 の固定値です。	R
b19～b10	予約ビット	書き込み時は 0 を書き込んでください	R
b9	FAST_BACK_TO_BACK_ENABLE	Fast Back to Back の有効化 ホストコントローラは Fast Back to Back をサポートしないため、本ビットは 0 の固定値です。	R

表 10.59 CMND_STS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b8	SERR_ENABLE	システムエラー応答の有効化 0 : SERR0 をアサートしない 1 : SERR0 をアサートする 本ビットをセットすると、SERR 信号によりシステムエラーが通知されます。	R/W
b7	WAIT_CYCLE_CONT ROL	ウェイトサイクル制御を有効化 ホストコントローラはアドレスまたはデータステッピングをサポートしないため、本ビットは 0 の固定値です。	R
b6	PARITY_ERROR_RE SPONSE	パリティエラー応答の有効化 0 : PERR0 をアサートしない 1 : PERR0 をアサートする パリティエラーが検出されると、本ビットがクリアされていても DETECTED_PARITY_ERROR ビットがセットされます。	R/W
b5	VGA_PALETTE_SNO OP	VGA パレットスヌープの有効化 本ビットは 0 (非サポート) の固定値です。	R
b4	MEMORY_WRITE_A ND_INVALIDATE_EN ABLE	Memory Write and Invalidate の有効化 本ビットは初期値 0 のままにしてください。	R/W
b3	SPECIAL_CYCLE	スペシャルサイクルの有効化 本ビットは 0 (非サポート) の固定値です。	R
b2	BUS_MASTER	バスマスタの有効化 PCI バスへのマスタアクセスを有効にします。システムバスで SRAM にアクセスするときは、本ビットをセットしてください。 本ビットは初期化時に 1 をセットしてください。	R/W
b1	MEMORY_SPACE	メモリ空間へのアクセスの有効化 PCI 仕様に明記されたメモリアccessを有効にします。 本ビットは初期化時に 1 をセットしてください。	R/W
b0	I_O_SPACE	I/O 空間へのアクセスの有効化 ホストコントローラは I/O アクセスを認識しないため、本ビットは 0 の固定値です。	R

10.5.4.3 REVID_CC — クラスコード・リビジョン ID (EHCI)

アドレス		4003 0108h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BASE_CLASS								SUB_CLASS							
リセット後の値	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PROGRAMMING_I_F								REVISION_ID							
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1

表 10.60 REVID_CC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	BASE_CLASS	PCI 仕様で定義されるベースクラス “0Ch” ならシリアルペリフェラルバスコントローラです。	R
b23～b16	SUB_CLASS	PCI 仕様で定義されるサブクラス “03h” なら USB デバイスです。	R
b15～b8	PROGRAMMING_I_F	PCI 仕様で定義されるプログラムインタフェース “20h” なら EHCI です。	R
b7～b0	REVISION_ID	ホストコントローラリビジョン 本ビットは 01h の固定値です。	R

10.5.4.4 CLS_LT_HT_BIST — BIST・ヘッダタイプ・レイテンシタイマ・キャッシュラインサイズ (EHCI)

アドレス		4003 010Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BIST								HEADER_TYPE							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LATENCY_TIMER								CACHE_LINE_SIZE							
リセット後の値	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0

表 10.61 CLS_LT_HT_BIST レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	BIST	本フィールドはセルフテストに使用します。 ホストコントローラはセルフテストをサポートしないため、本ビットは 00h の固定値です。	R
b23～b16	HEADER_TYPE	本フィールドは、システムへのヘッダタイプの通知に使用します。 ヘッダタイプは Type0 であるため、ビット[22:16]は 00h の固定値です。 マルチ機能デバイスは使用しないため、ビット[23]は 0 の固定値です。	R
b15～b8	LATENCY_TIMER	本フィールドは、システムへのレイテンシタイマの通知に使用します。 最下位 2 ビットは 00 の固定値です。	R/W
b7～b0	CACHE_LINE_SIZE	本フィールドは、システムへのキャッシュラインサイズの通知に使用します。	R/W

10.5.4.5 BASEAD — EHCI ベースアドレス

アドレス 4003 0110h

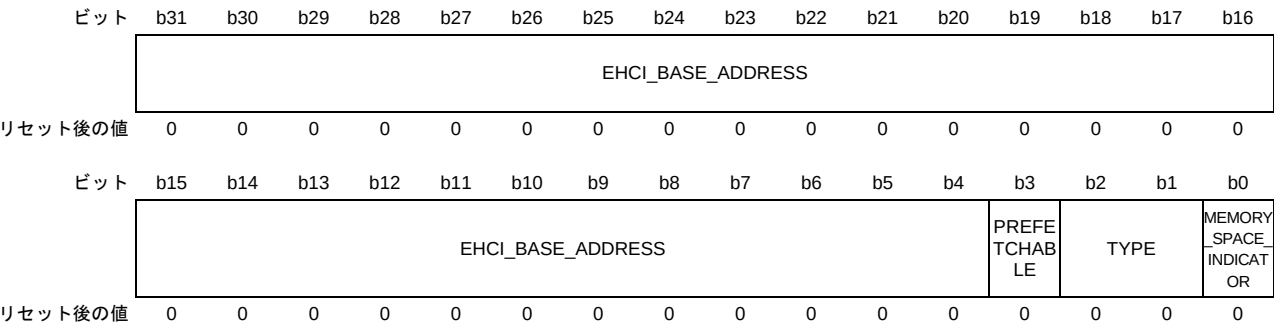


表 10.62 BASEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	EHCI_BASE_ADDRESS	ビット[31:8]は、オペレーションレジスタのベースアドレスを指定します。 初期化時にオペレーションレジスタのベースアドレス値を設定してください。 ビット[7:4]は 00h の固定値で、オペレーションレジスタは 256 バイトのアドレス空間にアロケートされます。	R/W
b3	PREFETCHABLE	ホストコントローラはメモリ読み出しサイクルでのプリフェッチをサポートしないため、本ビットは 0 の固定値です。	R
b2、b1	TYPE	EHCI のオペレーションレジスタのベースアドレスが 32 ビット幅であることを示します。したがって、レジスタは 32 ビットメモリ空間の任意のロケーションにアロケートすることが可能です。 本フィールドは 00b の固定値です。	R
b0	MEMORY_SPACE_INDICATOR	EHCI のオペレーションレジスタがシステムメモリ空間にマッピングされることを示します。 本ビットは 0b の固定値です。	R

10.5.4.6 SSVID_SSID — サブシステム ID・サブシステムベンダ ID (EHCI)

アドレス		4003 012Ch															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	SUBSYSTEM_ID																
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	SUBSYSTEM_VENDOR_ID																
リセット後の値	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1	

表 10.63 SSVID_SSID レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	SUBSYSTEM_ID	デバイスタイプ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R
b15~b0	SUBSYSTEM_VENDOR_ID	デバイスベンダ 本フィールドは、PCI 仕様で指定されるドライバの選択に使用します。 ホストコントローラでは不要です。	R

10.5.4.7 EROM_BASEAD — 拡張 ROM ベースアドレス (EHCI)

アドレス		4003 0130h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	EXPANSION_ROM_BASE_ADDRESS																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	EXPANSION_ROM_BASE_ADDRESS						—	—	—	—	—	—	—	—	—	ROM_DECODE_ENABLE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

表 10.64 EROM_BASEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b10	EXPANSION_ROM_BASE_ADDRESS	拡張 ROM のデコードは禁止されているため、本フィールドは 000000h の固定値です。	R
b9~b1	予約ビット		R
b0	ROM_DECODE_ENABLE	拡張 ROM のデコードは禁止されているため、本ビットは 0 の固定値です。	R/W

10.5.4.8 CAPPTR ― 機能 ID ポインタ (EHCI)

アドレス 4003 0134h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CAPABILITY_POINTER							
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

表 10.65 CAPPTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット		R
b7~b0	CAPABILITY_POINTER	機能 ID へのポインタ 本ホストコントローラでは、40h に実装されているため 40h を示します。	R/W

10.5.4.9 INTR_LINE_PIN ― Max_Lat・Min_Gnt・割り込みピン・割り込みライン (EHCI)

アドレス 4003 013Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MAX_LATENCY								MIN_GNT							
リセット後の値	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INTERRUPT_PIN								INTERRUPT_LINE							
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

表 10.66 INTR_LINE_PIN レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	MAX_LATENCY	PCI バスの最大取得頻度 本ホストコントローラは 22h として実装されます。	R
b23~b16	MIN_GNT	最小バースト転送タイム 本ホストコントローラは 10h として実装されます。	R
b15~b8	INTERRUPT_PIN	割り込み出力ピン INTB を使用するため、本フィールドは 02h の固定値です。	R
b7~b0	INTERRUPT_LINE	割り込みライン 本ホストコントローラでは 00h のままとしてください。	R/W

10.5.4.10 CAPID_NIP_PMCAP — 機能 ID・次アイテムポインタ・パワーマネジメント機能 (EHCI)

アドレス 4003 0140h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PME_SUPPORT					D2_SUPPORT	D1_SUPPORT	AUX_CURRENT			DSI	—	PME_CLK	VERSION		
リセット後の値	0	1	1	1	1	1	1	0	0	0	0	0	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NEXT_ITEM_POINTER								CAPABILITY_IDENTIFIER							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 10.67 CAPID_NIP_PMCAP レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b27	PME_SUPPORT	[31] : D3 コールドステートサポート D3 コールドステートはサポートされないため、本ビットは 0 の固定値です。 [30:27] : 全 PCI 電力状態での PME 割り込み生成のサポート (D0～D3) 本ビットは 1111b の固定値です。	R
b26	D2_SUPPORT	パワーマネジメント機能 - PCI 電力状態 D2 のサポート 本ビットは 1 の固定値です。	R
b25	D1_SUPPORT	パワーマネジメント機能 - PCI 電力状態 D1 のサポート 本ビットは 1 の固定値です。	R
b24～b22	AUX_CURRENT	パワーマネジメント機能 - 3.3V の補助電源に必要な指定電流値。D3 コールドステートでの PME 割り込み生成はサポートしません。本ビットは 000b の固定値です。	R
b21	DSI	パワーマネジメント機能 - パワーマネジメントの特別な初期化は不要 本ビットは 0b の固定値です。	R
b20	予約ビット		R
b19	PME_CLK	パワーマネジメント機能 - PME 割り込みの生成に USB_PICLK は不要 本ビットは 0b の固定値です。	R
b18～b16	VERSION	パワーマネジメント機能 - PCI のパワーマネジメントインタフェース仕様リリース 1.1 へのシステムの準拠 本ビットは 010b の固定値です。	R
b15～b8	NEXT_ITEM_POINTER	次アイテムなし 本ビットは 00h の固定値です。	R
b7～b0	CAPABILITY_IDENTIFIER	PCI のパワーマネジメントレジスタ ID 本ビットは 01h の固定値です。	R

10.5.4.11 PMC_STS_PMCSR — パワーマネジメント制御およびステータス・PMCSR ブリッジサポート拡張 (EHCI)

アドレス 4003 0144h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DATA								BPCC_ENABLE	B2_B3	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PME_STATUS	DATA_SCALE						PME_ENABLE	—	—	—	—	—	—	POWER_STATE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.68 PMC_STS_PMCSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	DATA	本ビットは 00h の固定値です。PCI 仕様によるオプションフィールドで、本ホストコントローラはサポートしません。	R
b23	BPCC_ENABLE	本ビットは 0b の固定値です。ブリッジ用のビットで、本ホストコントローラはサポートしません。	R
b22	B2_B3	本ビットは 0b の固定値です。ブリッジ用のビットで、本ホストコントローラはサポートしません。	R
b21~b16	予約ビット	書き込み時は 0 を書き込んでください	R
b15	PME_STATUS	PME 割り込みステータス 本ビットは、PME 生成条件が満たされるとセットされます。PME 生成条件 : HcInterruptStatus レジスタのビット[3] (RD) がセット、および HcControl レジスタのビット 10 (RWE) がセット。本ビットは、PCI バスにより 1 が書き込まれるとクリアされます。	R/W
b14~b9	DATA_SCALE	本ビットは 00b の固定値です。PCI 仕様によるオプションフィールドで、本ホストコントローラはサポートしません。	R
b8	PME_ENABLE	PME 有効化 本ビットをセットすると、システムがパワーマネジメントから復帰したときに PME 割り込みが生成されます。	R/W
b7~b2	予約ビット	書き込み時は 0 を書き込んでください	R
b1、b0	POWER_STATE	PCI 電力状態 00b : D0 ステート 01b : D1 ステート 10b : D2 ステート 11b : D3 ホットステート	R/W

10.5.4.12 SBRN_FLADJ_PW — SBRN・FLADJ・PORTWAKECAP

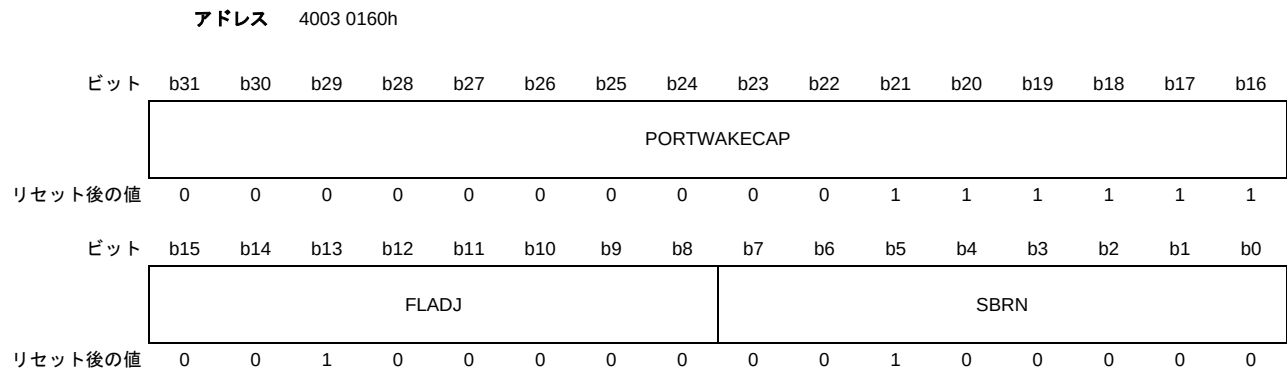


表 10.69 SBRN_FLADJ_PW レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	PORTWAKECAP	本フィールドは、接続されたデバイスの中で使用するポートのウェイクアップイベントをマスクするために使用します。本フィールドは、ホストコントローラの動作には影響しません。	R/W
b15～b8	FLADJ	本ビットは、1 マイクロフレームの長さを 16HS ビットタイム単位で調整するために使用します。 初期値は 20h（60000d HS ビットタイム）です。	R/W
b7～b0	SBRN	シリアルバスのリリース番号を示します。 本ビットは 20h の固定値です。	R

10.5.4.13 EXT1 — EXT1 レジスタ (EHCI)

本レジスタの内容は OHCI 設定の EXT1 レジスタと同じです。

10.5.4.14 EXT2 — EXT2 レジスタ (EHCI)

本レジスタの内容は OHCI 設定の EXT2 レジスタと同じです。

ただし、ビット[0] (EHCI_MASK) は EHCI 側からアクセスできません。

10.5.4.15 UTMICTRL — USBPHY オペレーションモード制御レジスタ (EHCI)

本レジスタの内容は、OHCI 設定の USBPHY オペレーションモード制御レジスタと同じです。

10.5.5 AHB-PCI ブリッジ（PCI 設定空間）レジスタの説明

10.5.5.1 VID_DID — デバイス ID・ベンダ ID（AHB-PCI ブリッジ）

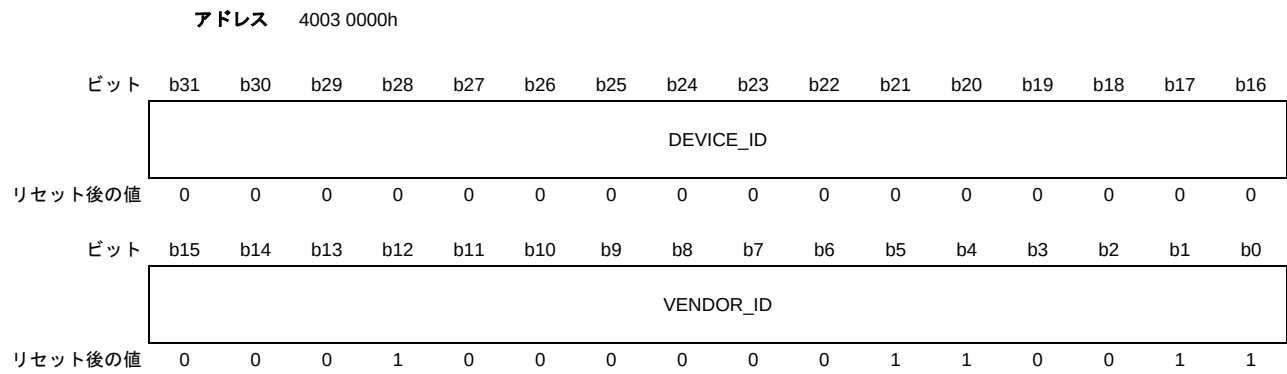


表 10.70 VID_DID レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	DEVICE_ID	デバイスタイプ 本フィールドは、PCI 仕様で指定されるドライバを選択するために使用します。 本フィールドは組み込みホストには使用しません。	R
b15～b0	VENDOR_ID	デバイスベンダ 本フィールドは、PCI 仕様で指定されるドライバを選択するために使用します。 本フィールドは組み込みホストには使用しません。	R

10.5.5.2 CMND_STS — ステータス・コマンド (AHB-PCI ブリッジ)

アドレス 4003 0004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DETPERR	SIGSERR	REMAORT	RETAORT	SIGTABORT	DEVTIM		MDPERR	FBTBCAP	—	M66_CAP	CAPLIST	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FBTBEN	SERREN	STEPCTR	PERREN	VGAPSNP	MWINVEN	SPECIALC	MASTEREN	MEMEN	IOEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.71 CMND_STS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	DETPERR	パリティエラーステータス 本ビットは、アドレスまたはデータのパリティエラーが検出されるとセットされ、1 を書き込むとクリアされます。	R/W
b30	SIGSERR	SERR ステータス 本ビットは、システムエラーが発生するとセットされ、1 を書き込むとクリアされます。	R/W
b29	REMAORT	マスタアポートステータス 本ビットは、マスタアポートを受信するとセットされ、1 を書き込むとクリアされます。	R/W
b28	RETAORT	マスタターゲットアポートステータス 本ビットは、ターゲットアポートを受信するとセットされ、1 を書き込むとクリアされます。	R/W
b27	SIGTABORT	スレーブターゲットアポートステータス 本ビットは、ターゲットアポートを送信するとセットされ、1 を書き込むとクリアされます。	R/W
b26、b25	DEVTIM	DEVSEL 応答速度。01（中間モード）で実装されます。	R
b24	MDPERR	パリティエラー検出 本ビットは、マスタ動作でパリティエラーが検出されるとセットされ、1 を書き込むとクリアされます。	R/W
b23	FBTBCAP	Fast Back to Back 機能。本ビットは 0 の固定値です（Fast Back to Back は非サポート）。	R
b22	予約ビット	書き込み時は 0 を書き込んでください	R
b21	M66_CAP	66MHz 動作能力。本ビットは 0 の固定値です（66MHz は非サポート）。	R
b20	CAPLIST	CAPABILITIES_LIST サポート。本ビットは 0 の固定値です（CAPABILITIES_LIST は非サポート）。	R
b19～b10	予約ビット	書き込み時は 0 を書き込んでください	R
b9	FBTBEN	Fast Back to Back 有効化。本ビットは 0 の固定値です	R
b8	SERREN	システムエラー検出時の対応を設定します。 0：無視（初期値） 1：SERR#アサート ホストコントローラの初期化時に 1 をセットしてください。	R/W
b7	STEPCTR	アドレスステップング制御 本ビットは 0 の固定値です（アドレスステップングは非サポート）。	R
b6	PERREN	パリティエラー検出時の対応を設定します。 0：無視（初期値） 1：PERR#アサート ホストコントローラの初期化時に 1 をセットしてください。	R/W

表 10.71 CMND_STS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b5	VGAPSNP	VGA パレットスヌープ有効化。本ビットは 0 の固定値です	R
b4	MWINVEN	Memory Write and Invalidate の有効化。本ビットは 0 の固定値です	R
b3	SPECIALC	スペシャルサイクル有効化 本ビットは 0 の固定値です	R
b2	MASTEREN	PCI マスタ動作有効化 0 : マスタ動作は不可 (初期値) 1 : マスタ動作を許可 ホストコントローラの初期化時に 1 をセットしてください。	R/W
b1	MEMEN	PCI スレーブ動作有効化 0 : メモリサイクル受信は不可 (初期値) 1 : メモリサイクル受信は可能 ホストコントローラの初期化時に 1 をセットしてください。	R/W
b0	IOEN	I/O 空間アクセス有効化 本ビットは 0 の固定値です	R

10.5.5.3 REVID_CC — クラスコード・リビジョン ID (AHB-PCI ブリッジ)

アドレス 4003 0008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CLASS_CODE															
リセット後の値	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLASS_CODE								REVISION_ID							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 10.72 REVID_CC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	CLASS_CODE	設定値は 060000h	R
b7~b0	REVISION_ID	設定値は 01h	R

10.5.5.4 CLS_LT_HT_BIST — BIST・ヘッダタイプ・レイテンシタイマ・キャッシュラインサイズ (AHB-PCI ブリッジ)

アドレス		4003 000Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BIST								HEADER_TYPE							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LATENCY_TIMER								CACHE_LINE_SIZE							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.73 CLS_LT_HT_BIST レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	BIST	設定値は 00h (BIST は非実装)	R
b23~b16	HEADER_TYPE	設定値は 00h (シングル機能デバイス)	R
b15~b8	LATENCY_TIMER	本ビットは、システムへのレイテンシタイムの通知に使用します。 本ホストコントローラでは初期値 00h のままとしてください。	R/W
b7~b0	CACHE_LINE_SIZE	設定値は 00h (キャッシュは非サポート)	R

10.5.5.5 BASEAD — AHB-PCI ブリッジレジスタベースアドレス

アドレス		4003 0010h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PCICOM_BASEADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCICOM_BASEADR						—	—	—	—	—	—	PREFETCH	TYPE	MEM	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.74 BASEAD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b10	PCICOM_BASEADR	AHB-PCI ブリッジの PCI 通信レジスタ領域のベースアドレスを設定します。 1KB 空間が要求されるため、上位側 22 ビットがベースアドレスとして使用されま す。	R/W
b9~b4	予約ビット	書き込み時は 0 を書き込んでください	R
b3	PREFETCH	データプリフェッチが可能かどうかを示します。 本ビットは 0 の固定値です (データプリフェッチは無効)。	R
b2、b1	TYPE	ベースアドレスタイプを示します。 “00b” なら、アドレスは 4GB 空間の任意のアドレスのアロケートが可能です。	R
b0	MEM	ベースアドレスで指定されるビットがメモリ空間内であることを示します。 本ビットは 0 の固定値です	R

10.5.5.9 INTR_LINE_PIN — Max_Lat・Min_Gnt・割り込みピン・割り込みライン（AHB-PCIブリッジ）

アドレス 4003 003Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MAX_LAT								MIN_GNT							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INT_PIN								INT_LINE							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

表 10.78 INTR_LINE_PIN レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	MAX_LAT	“00h” なら、バス使用要求はありません。	R
b23～b16	MIN_GNT	最大バースト転送期間 “02h” なら、レイテンシタイマ要求が 16 バーストであることを示します。	R
b15～b8	INT_PIN	割り込み出力ピン INTA#を使用するため、本フィールドは 01h の固定値です。	R
b7～b0	INT_LINE	割り込みライン 本ホストコントローラでは初期値 00h のままとしてください。	R/W

10.5.6 AHB-PCI ブリッジ（PCI 通信空間）レジスタの説明

10.5.6.1 PCIAHB_WIN1_CTR — PCIAHB Window1 制御レジスタ

アドレス		4003 0800h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AHB_BASEADR				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ENDIAN_CTR			—	—	—	—	PREFETCH	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.79 PCIAHB_WIN1_CTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	AHB_BASEADR	ホストコントローラが PCI-AHB Window 1 空間にアクセスするときの AHB のベースアドレスを指定します。 PCI-AHB Window1 空間（256MB/512MB/1GB/2GB）は、USBCTR レジスタのビット[11:10]（PCI_AHB_WIN1_SIZE）を設定した後にアクセス可能です。アクセス可能サイズは以下のように定義されます。 256MB：ビット[31:28]がベースアドレスを指定 512MB：ビット[31:29]がベースアドレスを指定 1GB：ビット[31:30]がベースアドレスを指定 2GB：ビット[31]がベースアドレスを指定	R/W
b27～b9	予約ビット	書き込み時は 0 を書き込んでください	R/W
b8～b6	ENDIAN_CTR	AHB のエンディアンの変換タイプを指定します。 初期設定時以外で値を変更しないでください。 000b：変換なし（リトルエンディアン） 001b：アクセスタイプデータスワッピング 010b：バイトデータスワッピング（ビッグエンディアン） 011b：ハーフワードスワッピング 100b：アドレス変換 上記以外：設定禁止	R/W
b5～b2	予約ビット	書き込み時は 0 を書き込んでください	R
b1、b0	PREFETCH	ホストコントローラからの読み出し要求に対する AHB のプリフェッチ有効化を指定します。 11b：プリフェッチは有効（最大 16 パースト） 上記以外：予約ビット（使用禁止）	R/W

10.5.6.2 PCIAHB_WIN2_CTR — PCIAHB Window2 制御レジスタ

アドレス 4003 0804h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AHB_BASEADR				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ENDIAN_CTR			—	—	—	—	PREFETCH	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.80 PCIAHB_WIN2_CTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b28	AHB_BASEADR	ホストコントローラが PCI-AHB Window 2 空間にアクセスするときの AHB のベースアドレスを指定します。 PCI-AHB Window2 空間（256MB）は、USBCTR レジスタのビット 9（PCI_AHB_WIN2_EN）を設定した後にアクセス可能です。	R/W
b27～b9	予約ビット	書き込み時は 0 を書き込んでください	R/W
b8～b6	ENDIAN_CTR	AHB のエンディアンの変換タイプを指定します。 初期設定時以外で値を変更しないでください。 000b：変換なし（リトルエンディアン） 001b：アクセスタイプデータスワッピング 010b：バイトデータスワッピング（ビッグエンディアン） 011b：ハーフワードスワッピング 100b：アドレス変換 上記以外：設定禁止	R/W
b5～b2	予約ビット	書き込み時は 0 を書き込んでください	R
b1、b0	PREFETCH	ホストコントローラからの読み出し要求に対する AHB のプリフェッチ有効化を指定します。 11b：プリフェッチは有効（最大 16 パースト） 上記以外：予約ビット（使用禁止）	R/W

10.5.6.3 AHBPCI_WIN1_CTR — AHBPCI Window1 制御レジスタ

アドレス 4003 0810h

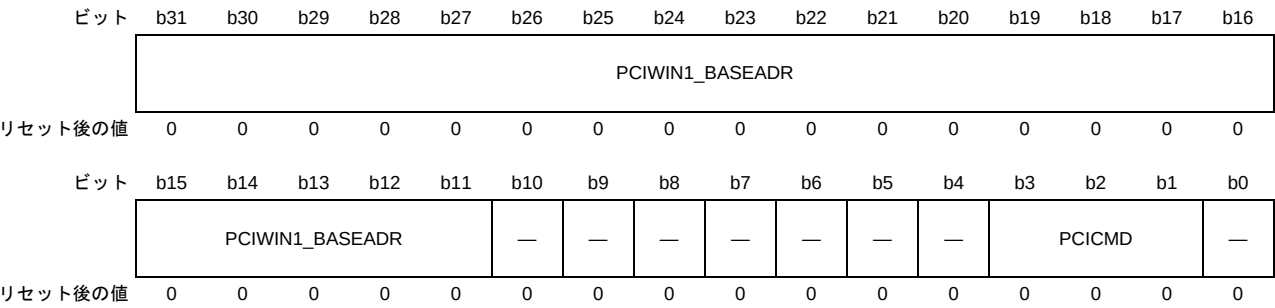


表 10.81 AHBPCI_WIN1_CTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b11	PCIWIN1_BASEADR	AHB から AHB-PCI Window 1 空間にアクセスする際の PCI バスのベースアドレスを指定します。本フィールドは、ホストコントローラおよび AHB-PCI ブリッジの PCI 設定空間にアクセスする際に設定が必要です。	R/W
b10～b4	予約ビット	書き込み時は 0 を書き込んでください	R/W
b3～b1	PCICMD	PCI バスサイクルタイプを指定します。 101b : コンフィグレーション読み出し／コンフィグレーション書き込み 上記以外 : 予約ビット（使用禁止）	R/W
b0	予約ビット	書き込み時は 0 を書き込んでください	R

10.5.6.4 AHBPCI_WIN2_CTR — AHBPCI Window2 制御レジスタ

アドレス 4003 0814h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PCIWIN2_BASEADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BURST_EN	—	PCICMD		—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

表 10.82 AHBPCI_WIN2_CTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	PCIWIN2_BASEADR	AHB から AHB-PCI Window 2 空間にアクセスする際の PCI バスのベースアドレスを指定します。本フィールドは、OHCI のオペレーションレジスタ空間にアクセスする際に設定が必要です。	R/W
b15～b6	予約ビット	書き込み時は 0 を書き込んでください	R/W
b5	BURST_EN	PCI バスでのバースト転送を有効にします。 0b : バースト転送は無効 上記以外 : 予約ビット (使用禁止)	R/W
b4	予約ビット	書き込み時は 0 を書き込んでください	R/W
b3～b1	PCICMD	PCI バスサイクルタイプを指定します。 011b : メモリ読み出し／メモリ書き込み 上記以外 : 予約ビット (使用禁止)	R/W
b0	予約ビット	書き込み時は 0 を書き込んでください	R/W

10.5.6.5 PCI_INT_ENABLE — PCI 割り込みイネーブルレジスタ

アドレス 4003 0820h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	USBH_PMEEN	—	USBH_INTBEN	USBH_INTAEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PCIAHB_WIN2_INTEN	PCIAHB_WIN1_INTEN	—	—	—	—	—	—	RESERR_INTEN	SIGSERR_INTEN	PERR_INTEN	REMAR_ABORT_INTEN	RETAB_ABORT_INTEN	SIGTAB_ABORT_INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.83 PCI_INT_ENABLE レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	書き込み時は 0 を書き込んでください	R
b19	USBH_PMEEN	USBH_PME 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b18	予約ビット	書き込み時は 0 を書き込んでください	R/W
b17	USBH_INTBEN	USBH_INTB 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b16	USBH_INTAEN	USBH_INTA 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b15、b14	予約ビット	書き込み時は 0 を書き込んでください	R/W
b13	PCIAHB_WIN2_INTEN	PCIAHB_WIN2_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b12	PCIAHB_WIN1_INTEN	PCIAHB_WIN1_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b11~b6	予約ビット	書き込み時は 0 を書き込んでください	R/W
b5	RESERR_INTEN	RESERR_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b4	SIGSERR_INTEN	SIGSERR_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b3	PERR_INTEN	PERR_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b2	REMAR_ABORT_INTEN	REMAR_ABORT_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b1	RETAB_ABORT_INTEN	RETAB_ABORT_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W

表 10.83 PCI_INT_ENABLE レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	SIGTABORT_INTEN	SIGTABORT_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W

10.5.6.6 PCI_INT_STATUS — PCI 割り込みステータスレジスタ

アドレス 4003 0824h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	USBH_PME	—	USBH_INTB	USBH_INTA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PCIAHB_WIN2_INT	PCIAHB_WIN1_INT	—	—	—	—	—	—	RESERR_INT	SIGSERR_INT	PERR_INT	REMAINT	RETAINT	SIGTAINT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.84 PCI_INT_STATUS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット		R
b19	USBH_PME	ホストコントローラからの PME#割り込みのステータス。ホストコントローラによるクリアが可能です。 0 : PME は発生していない 1 : PME が発生した	R
b18	予約ビット	書き込み時は 0 を書き込んでください	R/W
b17	USBH_INTB	ホストコントローラからの INTB#割り込みのステータス。ホストコントローラによるクリアが可能です。 0 : INTB は発生していない 1 : INTB が発生した	R
b16	USBH_INTA	ホストコントローラからの INTA#割り込みのステータス。ホストコントローラによるクリアが可能です。 0 : INTA は発生していない 1 : INTA が発生した	R
b15、b14	予約ビット	書き込み時は 0 を書き込んでください	R/W
b13	PCIAHB_WIN2_INT	PCI-AHB Window 2 で AHB バスエラーが発生したことを示します。本ビットは 1 を書き込むとクリアされます。 0 : AHB バスエラーは発生していない 1 : AHB バスエラーが発生した	R/W
b12	PCIAHB_WIN1_INT	PCI-AHB Window 1 で AHB バスエラーが発生したことを示します。本ビットは 1 を書き込むとクリアされます。 0 : AHB バスエラーは発生していない 1 : AHB バスエラーが発生した	R/W
b11~b6	予約ビット	書き込み時は 0 を書き込んでください	R/W
b5	RESERR_INT	SERR#の入力により発生する割り込みのステータスを示します。本ビットは 1 を書き込むとクリアされます。 0 : SERR#アサートを検出していない 1 : SERR#アサートを検出した	R/W
b4	SIGSERR_INT	SERR#の出力により発生する割り込みのステータスを示します。本ビットは 1 を書き込むとクリアされます。 0 : SERR#をアサートしていない 1 : SERR#をアサートした	R/W
b3	PERR_INT	PERR#の入力または出力により発生する割り込みのステータスを示します。本ビットは 1 を書き込むとクリアされます。 0 : PERR#はアサートされていない 1 : PERR#がアサートされた	R/W

表 10.84 PCI_INT_STATUS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b2	REMABORT_INT	PCI マスタ稼働時のマスタアボートを受信したことを示します。本ビットは 1 を書き込むとクリアされます。 0 : マスタアボートを受信していない 1 : マスタアボートを受信した	R/W
b1	RETABORT_INT	PCI マスタ稼働時のターゲットアボートの通知を示します。本ビットは 1 を書き込むとクリアされます。 0 : ターゲットアボートは通知されていない 1 : ターゲットアボートが通知された	R/W
b0	SIGTABORT_INT	PCI スレーブ稼働時のターゲットアボートの通知を示します。本ビットは 1 を書き込むとクリアされます。 0 : ターゲットアボートは通知されていない 1 : ターゲットアボートが通知された	R/W

10.5.6.7 AHB_BUS_CTR — AHB バス制御レジスタ

アドレス 4003 0830h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMODE_READ_Y_CTR	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MMODE_HBUSREQ	—	—	—	—	MMODE_WR_INCR	MMODE_BYTE_BURST	MMODE_HTRANS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.85 AHB_BUS_CTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b18	予約ビット	書き込み時は 0 を書き込んでください	R
b17	SMODE_READY_CTR	AHB スレーブのウェイトサイクル制御タイプ 0 : 予約ビット（使用禁止） 1 : HREADY = 0 によるウェイトサイクル制御	R/W
b16~b8	予約ビット	書き込み時は 0 を書き込んでください	R/W
b7	MMODE_HBUSREQ	AHB マスタの HBUSREQ デアサートタイミング 0 : 予約ビット（使用禁止） 1 : HGRANT=1 および HREADY=1 の先頭サイクルでデアサート	R/W
b6~b3	予約ビット	書き込み時は 0 を書き込んでください	R/W
b2	MMODE_WR_INCR	AHB マスタの書き込み時の AHB INCR パースト使用条件 0 : 予約ビット（使用禁止） 1 : INCR4/8/16 または 2/3 ビートの INCR	R/W
b1	MMODE_BYTE_BURST	AHB マスタの 16 ビット／8 ビット転送のバーストモード設定 0 : 予約ビット（使用禁止） 1 : 16 ビット／8 ビット転送でバーストを実行しない	R/W
b0	MMODE_HTRANS	AHB マスタの HTRANS 動作の設定 0 : 予約ビット（使用禁止） 1 : サイクル分割時、IDLE の後 HBUSREQ アサート	R/W

10.5.6.8 USBCTR — USB 制御レジスタ

アドレス 4003 0834h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PCI_AHB_WIN1_SIZE	PCI_AHB_WIN2_EN	DIRPD	—	—	—	—	—	—	PLL_RST	PCICLK_MASK	USBH_RST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

表 10.86 USBCTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b12	予約ビット	書き込み時は 0 を書き込んでください	R
b11、b10	PCI_AHB_WIN1_SIZE	PCI-AHB Window 1 領域の制御に使用します。ホストコントローラレジスタにアクセスします。初期設定時以外で値を変更しないでください。 00b : 256MB 01b : 512MB 10b : 1GB 11b : 2GB	R/W
b9	PCI_AHB_WIN2_EN	PCI-AHB Window 2 の有効化に使用します。ホストコントローラレジスタにアクセスします。初期設定時以外で値を変更しないでください。本ホストコントローラは、PCI-AHB Window 2 領域は 256MB の固定値です。 0 : PCI-AHB Window 2 は使用不可 1 : PCI-AHB Window 2 は使用可能	R/W
b8	DIRPD	本ビットをセットすると、USB サブシステムはパワーダウンステートに移行します。 EPCTR レジスタのビット 12 (DIRPD) およびシステムコントローラの CFG_USB レジスタの DIRPD は同じ機能です。 0 : 通常動作 1 : ダイレクトパワーダウンステート	R/W
b7~b3	予約ビット	初期値を保持してください。	R/W
b2	PLL_RST	USBPLL リセット USBPLL はホストコントローラおよびファンクションコントローラの間で共有されます。 USBPLL のリセットは、ホストコントローラおよびファンクションコントローラの両方の PLL_RST がセットされているときにアサートされます。 0 : USBPLL リセット解除 1 : USBPLL リセット発行	R/W
b1	PCICLK_MASK	本ビットは、ホストコントローラの PCI クロック (USB_PCICLK) 供給の制御に使用します。本ビットをセットすると、ホストコントローラにはアクセスできません。 0 : PCI クロック供給 1 : PCI クロック停止	R/W
b0	USBH_RST	本ビットは、ホストコントローラに供給されるリセット信号の制御に使用します。ホストコントローラへのアクセスは、リセット終了から 3 USB_PCICLK サイクル後に有効になります。 0 : ホストコントローラリセット解除 1 : ホストコントローラリセット発行	R/W

10.5.6.9 PCI_ARBITER_CTR — PCI アービタ制御レジスタ

アドレス 4003 0840h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCIBP MODE	—	—	—	—	—	—	—	—	—	—	PCIRE Q1	PCIRE Q0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.87 PCI_ARBITER_CTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b13	予約ビット	初期値を保持してください。	R/W
b12	PCIBP_MODE	バスパーキングの PCI バスマスタ 0 : 本ユニット 1 : 最後にアクセスしたマスタ ホストコントローラの初期化時にセットし、変更しないでください。	R/W
b11～b2	予約ビット	初期値を保持してください。	R/W
b1	PCIREQ1	PCI バスのリクエスト 1 信号の有効化 0 : リクエスト信号は無効 1 : リクエスト信号は有効 ホストコントローラの初期化時にセットし、変更しないでください。	R/W
b0	PCIREQ0	PCI バスのリクエスト 0 信号の有効化 0 : リクエスト信号は無効 1 : リクエスト信号は有効 ホストコントローラの初期化時にセットし、変更しないでください。	R/W

10.5.7 EPC レジスタの説明

10.5.7.1 USB_CONTROL — USB 制御レジスタ

アドレス 4001 E000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	USBTESTMODE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SOF_CLK_MODE	INT_SEL	FORCEFS	SOF_RCV	RSUM_IN	SUSPEND	CONF	DEFAULT	CONNECTB	PUE2	—	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0

表 10.88 USB_CONTROL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b19	予約ビット		R
b18~b16	USBTESTMODE	本フィールドは、SET_FEATURE_TEST_MODE 要求のステータスステージが正常終了した後に設定します。 本フィールドを 000b 以外の値に設定した後で、テスト制御レジスタのビット[1] (CS_TESTMODEEN) をセットします。 Test_J、Test_K、Test_SE0_NAK テスト： 本フィールドを設定した後で CS_TESTMODEEN をセットすると、USBPHY は即座に HS モードのテストモードに移行します。 Test_Packet テスト： Host との HS 接続が確立している場合は、本フィールドを設定した後で CS_TESTMODEEN をセットすることで、Test_Packet が送信されます。 Host との HS 接続が確立していない場合は、 USBTESTMODE=Test_J→CS_TESTMODEEN=1→CS_TESTMODEEN=0 →USBTESTMODE=Test_K→CS_TESTMODEEN=1→CS_TESTMODEEN=0 →USBTESTMODE=Test_SE0_NAK→CS_TESTMODEEN=1 →CS_TESTMODEEN=0 →USBTESTMODE=Test_Packet→CS_TESTMODEEN=1 を設定することで、Test_Packet が送信されます。 000b : 通常動作 001b : Test_J 010b : Test_K 011b : Test_SE0_NAK 100b : Test_Packet	R/W
b15~b12	予約ビット	書き込み時は 0 を書き込んでください	R
b11	SOF_CLK_MODE	HS モードでの SOF 出力ピンの動作モード選択 本ビットは初期化時に設定します。それ以外のタイミングで設定した場合の動作は保証されません。 0 : SOF/uSOF パケット受信時に信号を反転する 1 : SOF パケット受信時に信号を反転する (uSOF では反転しない)	R/W
b10	INT_SEL	U2F_EPC_INT 割り込み出力タイプ選択 設定は全割り込みソースで共通です。 0 : パルス出力 (使用禁止) 1 : レベル出力。割り込みソースが複数の場合は、全ソースがクリアされるまで割り込み出力がアサートされます。	R/W
b9	FORCEFS	0 : 通常動作 1 : 使用禁止	R/W

表 10.88 USB_CONTROL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b8	SOF_RCV	SOF 受信エラー時の自動回復有効化 0 : 無効 (使用禁止) 1 : 有効	R/W
b7	RSUM_IN	リモートウェイクアップトリガ 注意) Suspend ステートで EPC、SIE、および USBPHY へのクロック供給が無効の場合は、本ビットをセットする前にクロック供給の再開が必要です。 0 : Resume 信号を送信しない 1 : Resume 信号を送信する	R/W
b6	SUSPEND	Suspend ステートでは、本ビットをセットすると EPC、SIE、および USBPHY へのクロック供給が停止します。 本ビットは、RESUME が検出されると自動的にクリアされます。 0 : クロックを供給する 1 : クロックを停止する	R/W
b5	CONF	エンドポイント 0 以外のエンドポイントの有効化 本ビットは、BusReset を受信すると自動的にクリアされます。 本ビットがクリアされているときのステートは、Suspend でなければ Default または Address です。 本ビットがセットされているときのステートは、Suspend でなければ Configured です。 0 : エンドポイント 0 以外のエンドポイントは無効 (トークンへの応答を返送しない) 1 : エンドポイント 0 以外のエンドポイントは有効	R/W
b4	DEFAULT	エンドポイント 0 有効化 本ビットは、BusReset を受信すると自動的にセットされます。 本ビットをクリアすると、USB 仕様に基づいて Attached または Powered のステートが定義されます。 本ビットがセットされているときのステートはビット[5] (CONF) で決まります。 0 : エンドポイント 0 は無効 (トークンへの応答を返送しない) 1 : エンドポイント 0 は有効	R/W
b3	CONNECTB	Un-Plugged ステートのときに本ビットをセットすると、USB ポートの不安定な D+/D-信号によるバスリセットまたは Suspend の擬似信号の発生を抑えることが可能です。 本ビットをセットすると、SIE は Suspend ステートに移行し、USB 割り込みステータスレジスタの SPND_INT 割り込みが発生します。 0 : SIE ブロックへの USB 信号は有効 1 : SIE ブロックへの USB 信号は無効	R/W
b2	PUE2	D+ブルアップ制御 0 : D+信号をブルアップしない 1 : D+信号をブルアップする	R/W
b1、b0	予約ビット	初期値を保持してください。	R/W

10.5.7.2 USB_STATUS — USB ステータスレジスタ

アドレス 4001 E004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SOF_DELAY_STATUS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	SPEED_MODE	CONF	DEFAULT	USB_RST	SPND_OUT	RSUM_OUT	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.89 USB_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31	SOF_DELAY_STATUS	SOF 不許可期間で SOF を破棄した場合、本ビットはセットされます。本ビットは、SOF を受信する毎に更新されます。SOF 不許可期間の詳細については、フレーム番号および USB アドレスレジスタのビット[31] (SOF_DELAY_MODE) を参照してください。 0 : SOF 正常受信 1 : SOF 破棄	R
b30~b7	予約ビット		R
b6	SPEED_MODE	USB ポート速度 0 : FS (Full-Speed) 1 : HS (High-Speed)	R
b5	CONF	エンドポイント 0 以外のエンドポイントのステータス有効化 本ビットの機能は、USB 制御レジスタのビット[5] (CONF) と同じです。 0 : 無効 (トークンへの応答を返送しない) 1 : 有効	R
b4	DEFAULT	エンドポイント 0 ステータス 本ビットの機能は、USB 制御レジスタのビット[4] (DEFAULT) と同じです。 0 : 無効 (トークンへの応答を返送しない) 1 : 有効	R
b3	USB_RST	BusReset ステート 0 : BusReset ステートではない 1 : BusReset ステート	R
b2	SPND_OUT	Suspend ステート 0 : Suspend ステートではない 1 : Suspend ステート	R
b1	RSUM_OUT	Resume ステート 0 : Resume を受信中ではない 1 : Resume を受信	R
b0	予約ビット		R

10.5.7.3 USB_ADDRESS — フレーム番号および USB アドレスレジスタ

アドレス 4001 E008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SOF_DELAY_MODE	—	—	—	—	—	—	—	—	USB_ADDR						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SOF_STATUS	UFRAME			—	FRAME										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.90 USB_ADDRESS レジスタの内容

ビット位置	ビット名	機能	R/W
b31	SOF_DELAY_MODE	SOF 不許可設定 本ビットをセットすると、通常の SOF 後または SOF 回復後の 64 サイクル（60MHz 時）以内に受信した SOF は不正 SOF トークンとして破棄されます。 0：SOF は受信タイミングに関係なく有効 1：不許可期間の SOF は無効	R/W
b30～b23	予約ビット	書き込み時は 0 を書き込んでください	R
b22～b16	USB_ADDR	本フィールドに書き込む値は、SET_ADDRESS 要求のステータスステージが正常終了した後の USB アドレスとして使用されます。 書き込みは、SET_ADDRESS 要求のステータスステージが終了する前に行います。 本フィールドは、BusReset を受信するとクリアされます。	R/W
b15	SOF_STATUS	SOF/uSOF 受信ステータス 本ビットは、SOF または uSOF を受信する毎に更新されます。 0：SOF または uSOF 正常受信 1：SOF または uSOF エラー受信	R
b14～b12	UFRAME	フレーム内の uSOF 受信回数 USB 制御レジスタのビット[8]（SOF_RCV）がセットされていれば、本フィールドは自動 uSOF 回復が発生した場合でも更新されます。 本フィールドは、USB 制御レジスタのビット[5]（CONF）がセットされている場合のみ有効です。	R
b11	予約ビット	書き込み時は 0 を書き込んでください	R
b10～b0	FRAME	SOF フレーム番号 USB 制御レジスタのビット[8]（SOF_RCV）がセットされていれば、本フィールドは自動 SOF 回復が発生した場合でも更新されます。 本フィールドは、USB 制御レジスタのビット[5]（CONF）がセットされている場合のみ有効です。	R

10.5.7.4 TEST_CONTROL — テスト制御レジスタ

アドレス		4001 E010h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	FORCE HS	CS_TE STMOD EEN	LOOPB ACK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.91 TEST_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット	書き込み時は 0 を書き込んでください	R/W
b2	FORCEHS	本ビットをセットすると、サブシステムは強制的に HS モードに設定されます。本ビットは LSI デザインに対してのみ使用します。 0：通常動作 1：動作モードを HS モードに固定（使用禁止）	R/W
b1	CS_TESTMODEEN	本ビットをセットすると、USB 制御レジスタのビット[18:16]（USBTESTMODE[2:0]）の設定が即座に有効になります。 本ビットは、USBTESTMODE 設定後にセットし、各テスト終了後にクリアしてください。 0：通常動作モード 1：USB テストモード有効	R/W
b0	LOOPBACK	ロジック側のハードウェアループバック有効化 0：通常動作モード 1：ロジック側のハードウェアループバック	R/W

10.5.7.5 SETUP_DATA0 — SETUP データ 0 レジスタ

アドレス 4001 E018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SETUP4								SETUP3							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SETUP2								SETUP1							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.92 SETUP_DATA0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	SETUP4	受信 SETUP データの第 4 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R
b23~b16	SETUP3	受信 SETUP データの第 3 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R
b15~b8	SETUP2	受信 SETUP データの第 2 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R
b7~b0	SETUP1	受信 SETUP データの第 1 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R

10.5.7.6 SETUP_DATA1 — SETUP データ 1 レジスタ

アドレス 4001 E01Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SETUP8								SETUP7							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SETUP6								SETUP5							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.93 SETUP_DATA1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	SETUP8	受信 SETUP データの第 8 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R
b23~b16	SETUP7	受信 SETUP データの第 7 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R
b15~b8	SETUP6	受信 SETUP データの第 6 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R
b7~b0	SETUP5	受信 SETUP データの第 5 バイト 本フィールドは、SETUP データを受信する毎に更新されます。	R

10.5.7.7 USB_INT_STA — USB 割り込みステータスレジスタ

アドレス 4001 E020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	EP15_INT	EP14_INT	EP13_INT	EP12_INT	EP11_INT	EP10_INT	EP9_INT	EP8_INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EP7_INT	EP6_INT	EP5_INT	EP4_INT	EP3_INT	EP2_INT	EP1_INT	EP0_INT	—	SPEED_MODE_INT	SOF_ERROR_INT	SOF_INT	USB_RST_INT	SPND_INT	RSUM_INT	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.94 USB_INT_STA レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください	R
b23~b8	EP[m]_INT/EP0_INT (m=1~15)	エンドポイント 0/[m]割り込み 割り込み要因は、EP0/EP[m]ステータスレジスタで確認することが可能です。 本フィールドは、EP0/EP[m]ステータスレジスタで割り込み要因がクリアされるとクリアされます。 0 : エンドポイント 0/[m]割り込みは発生していない 1 : エンドポイント 0/[m]割り込みが発生した	R
b7	予約ビット	書き込み時は 0 を書き込んでください	R
b6	SPEED_MODE_INT	速度モード変更割り込み 本ビットは 0 を書き込むとクリアされます。 0 : 速度モードは FS から HS に変化していない 1 : 速度モードは FS から HS に変化した	R/W
b5	SOF_ERROR_INT	SOF/uSOF 受信エラー割り込み 本ビットは、以下の期間で SOF または uSOF を受信しないとセットされます。 HS モード : 125 μ s + 0.0625 μ s FS モード : 1ms + 0.0005ms 本ビットは 0 を書き込むとクリアされます。 本ビットは、USB 制御レジスタのビット[5] (CONF) がクリアされている場合では無効となります。 0 : SOF または uSOF 受信エラーは発生していない 1 : SOF または uSOF 受信エラーが発生した	R/W
b4	SOF_INT	SOF/uSOF 受信割り込み 本ビットは 0 を書き込むとクリアされます。 本ビットは、USB 制御レジスタのビット[5] (CONF) がクリアされている場合では無効となります。 0 : SOF または uSOF は受信していない 1 : SOF または uSOF を受信した	R/W
b3	USB_RST_INT	BusReset 割り込み 本ビットは 0 を書き込むとクリアされます。 0 : BusReset は発行されていない 1 : BusReset が発行された	R/W
b2	SPND_INT	Suspend ステート割り込み 本ビットは 0 を書き込むとクリアされます。 0 : Suspend ステートではない 1 : Suspend ステートに移行した	R/W

表 10.94 USB_INT_STA レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	RSUM_INT	Resume 受信割り込み 本ビットは 0 を書き込むとクリアされます。 0 : Resume を受信していない 1 : Resume を受信した	R/W
b0	予約ビット	書き込み時は 0 を書き込んでください	R

10.5.7.8 USB_INT_ENA — USB 割り込みイネーブルレジスタ

無効にした場合、USB 割り込みステータスレジスタがセットされていても対応する割り込みはアサートされません。

アドレス 4001 E024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	EP15_EN	EP14_EN	EP13_EN	EP12_EN	EP11_EN	EP10_EN	EP9_EN	EP8_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EP7_EN	EP6_EN	EP5_EN	EP4_EN	EP3_EN	EP2_EN	EP1_EN	EP0_EN	—	SPEED_MODE_EN	SOF_ERROR_EN	SOF_EN	USB_RST_EN	SPND_EN	RSUM_EN	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.95 USB_INT_ENA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください	R
b23~b8	EP[m]_EN/EP0_EN (m=1~15)	EP[m]_INT/EP0_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b7	予約ビット	書き込み時は 0 を書き込んでください	R
b6	SPEED_MODE_EN	SPEED_MODE_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	SOF_ERROR_EN	SOF_ERROR_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b4	SOF_EN	SOF_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b3	USB_RST_EN	USB_RST_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b2	SPND_EN	SPND_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b1	RSUM_EN	RSUM_INT 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b0	予約ビット	書き込み時は 0 を書き込んでください	R

10.5.7.9 EP0_CONTROL — EP0 制御レジスタ

アドレス 4001 E028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	EP0_STGSEL	EP0_OVERSEL	EP0_AUTO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	EP0_PIDCLR	EP0_BCLR	EP0_DEND	EP0_DW	EP0_INAK_EN	EP0_PER_NAK_CLR	EP0_STL	EP0_INAK	EP0_ONAK	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

表 10.96 EP0_CONTROL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b19	予約ビット	書き込み時は 0 を書き込んでください	R
b18	EP0_STGSEL	ステータスステージでヌルデータ以外のデータを受信したときの処理を選択します。 転送中に本ビットを変更したときの処理は保証されません。 0 : 通常受信。ヌルデータ以外のデータを破棄して、ヌルデータとして処理します。オーバーランに対する応答は返送せず、処理は EP0_OVERSEL で決まります。 1 : STALL 応答（使用禁止）	R/W
b17	EP0_OVERSEL	OUT 転送でオーバーランエラーが発生したときの次の OUT トークンの処理を選択します（オーバーランパケットには応答を返送しません）。 転送中に本ビットを変更したときの処理は保証されません。 0 : 次のパケットで STALL 応答 1 : 次のパケットをリトライとして処理（使用禁止）	R/W
b16	EP0_AUTO	EP0 ライトレジスタ（送信バッファ）に最大サイズ（64 バイト）を書き込んだときに、パケットを自動送信するかどうかを選択します。 後述の例のように、最大パケットサイズより 1、2、または 3 バイト小さい場合は、この機能を無効にする必要がある場合があります（この機能が無効でなければ、最大パケットサイズ分のデータを書き込んだ時点で全データが有効になります）。最後のデータに無効データが含まれる場合は、本ビットをクリアして EP0_DW[1:0]を使用します。 たとえば、61~63 バイトのデータを送信する場合でも 64 バイトとして処理されます。 0 : EP0_DEND を自動的にセットしない 1 : EP0_DEND を自動的にセットする 注意） 本ビットはバッファが空のときに変更してください。	R/W
b15~b10	予約ビット	書き込み時は 0 を書き込んでください	R/W
b9	EP0_PIDCLR	本ビットは、エンドポイント 0 の DATA PID の初期化に使用します。本ビットに 1 をセットすると、送信および受信のいずれの PID も DATA1 に初期化されます。 エンドポイント 0 への USB 転送が処理中なら、本ビットへの書き込みはトランザクションが終了するまで保留されます。DATA PID は、BusReset または SETUP トークンを受信すると初期化されます。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます	W
b8	EP0_BCLR	本ビットは、EP0 ライトおよび EP0 リードレジスタをクリアするために使用します。本ビットに 1 をセットすると、送信、受信バッファは共にクリアされます。 エンドポイント 0 への USB 転送が処理中なら、本ビットへの書き込みはトランザクションが終了するまで保留されます。本ビットを使用する場合は、次のデータを書き込む前に EP0 ステータスレジスタの EP0_IN_DATA=0 および EP0_IN_EMPTY=1 のチェックが必要です。 注意） EP0 ライトおよび EP0 リードレジスタは、USB BusReset を受信してもクリアされません。	W

表 10.96 EP0_CONTROL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b7	EP0_DEND	EP0 ライトレジスタの送信有効化 本ビットに 1 をセットすると、送信データが有効になります。 ヌルデータを送信するときは、EP0 ステータスレジスタのビット[8] (EP0_IN_EMPTY) がセットされていることを確認して、本ビットをセットします。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます	W
b6、b5	EP0_DW	EP0 ライトレジスタ (送信バッファ) に書き込まれた最後のデータの有効データサイズ 本フィールドは EP0_DEND=1 とともに設定します。 00b : 4 01b : 1 10b : 2 11b : 3 本フィールドは書き込み専用です。読み出すと常に 0 が読み出されます	W
b4	EP0_INAK_EN	EP0_INAK の書き込み有効化 EP0_INAK へ書き込むとき、同時に 1 をセットします。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます 備考) 本ビットは、ハードウェアによる EP0_INAK のセットとソフトウェアによる本レジスタのアクセスが同時に発生したときに、EP0_INAK が意図せずにクリアされるのを防ぎます。	W
b3	EP0_PERR_NAK_CLR	本ビットに 1 をセットすると、不正なトークンによる NAK ステートの強制がキャンセルされます。 通常は、NAK ステートの強制が発生したときは EP0_STL により STALL 状態にするため、本ビットは使用しません。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます	W
b2	EP0_STL	エンドポイント 0 への IN/OUT/PING トークンに対する STALL 応答制御 本ビットをセットすると、データステージおよびステータスステージで、IN、OUT、および PING の全トークンに対して STALL が返送されます。本ビットをクリアしても、STALL 応答はキャンセルされません。本ビットは、SETUP トークンを受信すると自動的にクリアされます。本ビットは EP0_ONAK および EP0_INAK より優先されます。 本ビットは以下のケースでセットされます。 - EP0_STGSEL がセットされているときに、ステータスステージでヌルデータ以外のデータを受信 - EP0_OVERSEL がクリアされているときに、オーバーランエラーが発生 0 : STALL 応答しない 1 : STALL 応答する	R/W
b1	EP0_INAK	エンドポイント 0 への IN トークンに対する NAK 応答制御 通常は、ACK、NAK は EP0 リードレジスタ (受信バッファ) のステータスに応じて自動的に発行されます。 本ビットをセットすると、強制的に NAK が送信されます。 本ビットは、SETUP トランザクションが正常終了するとセットされます。 0 : 送信バッファにデータがある場合はデータ送信する 1 : 送信バッファにデータがある場合でも NAK 応答する	R/W
b0	EP0_ONAK	エンドポイント 0 への OUT/PING トークンに対する NAK 応答制御 通常は、ACK、NAK、および NYET は EP0 リードレジスタ (受信バッファ) のステータスに応じて自動的に発行されます。 本ビットをセットすると、強制的に NAK が送信されます。 本ビットは、SETUP トランザクションが正常終了するとセットされます。 0 : 受信バッファに空き領域がある場合にデータ受信する 1 : 受信バッファに空き領域がある場合でも NAK 応答する	R/W

10.5.7.10 EP0_STATUS — EP0 ステータスレジスタ

アドレス 4001 E02Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	EP0_PID	EP0_PERR_NAK	EP0_PERR_NAK_INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EP0_OUT_NAK_INT	EP0_OUT_NULL	EP0_OUT_FULL	EP0_OUT_EMPTY	EP0_IN_NAK_INT	EP0_IN_DATA	EP0_IN_FULL	EP0_IN_EMPTY	EP0_OUT_NULL_INT	EP0_OUT_OR_INT	EP0_OUT_INT	EP0_IN_INT	EP0_STALL_INT	STG_END_INT	STG_START_INT	SETUP_INT
リセット後の値	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0

表 10.97 EP0_STATUS レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31~b19	予約ビット	書き込み時は 0 を書き込んでください	R
b18	EP0_PID	次の DATA PID 0 : DATA0 1 : DATA1	R
b17	EP0_PERR_NAK	本ビットは、エンドポイント 0 での不正トークンの受信により強制的に NAK ステート状態に移行すると、セットされます。 「不正トークン」とは以下のトークンをいいます。 - SETUP トークンを受信する前（セットアップステージなし）の IN/OUT トークンの受信 - Control Read データステージでの OUT トークンの受信 - Control Read ステータスステージでの IN または無効 OUT トークンの受信 - Control Write データステージでの IN または無効 OUT トークンの受信 - Control Write ステータスステージでの OUT または PING トークンの受信 - No Data Control ステータスステージでの OUT トークンの受信 本ビットに 1 がセットされている間、エンドポイント 0 への IN/OUT/ PING トークンに対して強制的に NAK が送信されます。本ビットに 1 がセットされた場合、EP0 制御レジスタのビット 2（EP0_STL）をセットして、エンドポイントを STALL ステートにしてください。本ビットは、SETUP トークンを受信すると 0 にクリアされます。本ビットは、EP0 制御レジスタのビット 3（EP0_PERR_NAK_CLR）をセットした場合も 0 にクリアされます。 0 : 不正トークンに対して強制的な NAK ステートでない 1 : 不正トークンに対して強制的な NAK ステートである	R
b16	EP0_PERR_NAK_INT	本ビットは、エンドポイント 0 での不正トークンの受信により強制的に NAK 応答すると、セットされます。 本ビットがセットされた場合、EP0 制御レジスタのビット[2]（EP0_STL）をセットすると、エンドポイントは STALL ステートになります。 本ビットは 0 を書き込むとクリアされます。 0 : 不正トークンは受信していない 1 : 不正トークンを受信して NAK を送信した	R/W
b15	EP0_OUT_NAK_INT	本ビットは、エンドポイント 0 への OUT/PING トークンに対して NAK が送信されるとセットされます。 本ビットは 0 を書き込むとクリアされます。 0 : OUT/PING トークンに対して NAK は送信されていない 1 : OUT/PING トークンに対して NAK が送信された	R/W
b14	EP0_OUT_NULL	本ビットは、エンドポイント 0 でヌルデータを受信するとセットされます。 本ビットは、EP0 リードレジスタ（受信バッファ）に有効な OUT データが格納されると更新されます。 0 : ヌルデータは受信していない 1 : ヌルデータを受信した	R

表 10.97 EP0_STATUS レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b13	EP0_OUT_FULL	EP0 リードレジスタ (受信バッファ) フル 本ビットは、バッファステータスに応じて更新されます。 0: 受信バッファはフルではない 1: 受信バッファはフル、最大パケットサイズ (64 バイト)	R
b12	EP0_OUT_EMPTY	EP0 リードレジスタ (受信バッファ) エンプティ 本ビットは、バッファステータスに応じて更新されます。 0: 受信バッファは空ではない 1: 受信バッファは空	R
b11	EP0_IN_NAK_INT	本ビットは、エンドポイント 0 への IN トークンへの応答で NAK が送信されるとセットされます。本ビットは 0 を書き込むとクリアされます。 0: IN トークンの応答で NAK は送信されていない 1: IN トークンの応答で NAK が送信された	R/W
b10	EP0_IN_DATA	EP0 ライトレジスタ (送信バッファ) データ有効 本ビットは、EP0 制御レジスタのビット[7] (EP0_DEND) がクリアされている場合はセットされません。 本ビットは、バッファステータスに応じて更新されます。 0: 送信バッファに送信待ちのデータがない 1: 送信バッファに送信待ちのデータがある	R
b9	EP0_IN_FULL	EP0 ライトレジスタ (送信バッファ) フル 本ビットは、バッファステータスに応じて更新されます。 0: 送信バッファはフルではない 1: 送信バッファはフル	R
b8	EP0_IN_EMPTY	EP0 ライトレジスタ (送信バッファ) エンプティ 本ビットは、バッファステータスに応じて更新されます。 0: 送信バッファは空ではない 1: 送信バッファは空	R
b7	EP0_OUT_NULL_INT	本ビットは、EP0 リードレジスタ (受信バッファ) に受信したヌルデータが格納されると、セットされます。本ビットは 0 を書き込むとクリアされます。 0: ヌルデータを受信していない 1: ヌルデータを受信した	R/W
b6	EP0_OUT_OR_INT	本ビットは、エンドポイント 0 でデータを受信したときにオーバーランが発生すると、セットされます。 本ビットは 0 を書き込むとクリアされます。 0: オーバーランは発生していない 1: オーバーランが発生した	R/W
b5	EP0_OUT_INT	本ビットは、EP0 リードレジスタ (受信バッファ) に有効データが格納されると、セットされます。 本ビットは 0 を書き込むとクリアされます。 0: 受信バッファの読み出し可能でない 1: 受信バッファの読み出し可能	R/W
b4	EP0_IN_INT	本ビットは、EP0 ライトレジスタ (送信バッファ) から正常にデータが送信されると、セットされます。 本ビットは 0 を書き込むとクリアされます。 0: 送信バッファが書き込み可能になっていない 1: 送信バッファが書き込み可能	R/W
b3	EP0_STALL_INT	本ビットは、エンドポイント 0 が STALL ステートに移行すると、セットされます。 EP0 制御レジスタのビット[17] (EP0_OVERSEL) がクリアされていれば、本ビットはオーバーランが発生するとセットされます。 本ビットは 0 を書き込むとクリアされます。 0: エンドポイント 0 の処理はストールしていない 1: エンドポイント 0 の処理がストールした	R/W

表 10.97 EP0_STATUS レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b2	STG_END_INT	本ビットは、Control 転送のステータスステージが正常終了すると、セットされます。 本ビットは 0 を書き込むとクリアされます。 本ビットは、次の SETUP トークンを受信するとクリアされます。 0：ステータスステージは正常終了していない 1：ステータスステージが正常終了した	R/W
b1	STG_START_INT	本ビットは、Control 転送のステータスステージが開始すると、セットされます。 本ビットは、0 を書き込むか次の SETUP トークンを受信すると、クリアされます。 0：ステータスステージは開始していない 1：ステータスステージが開始した	R/W
b0	SETUP_INT	本ビットは、有効な SETUP データを受信すると、セットされます。 本ビットは、次の SETUP データ受信に備えて要求処理を開始する前にクリアしてください。 本ビットは 0 を書き込むとクリアされます。 0：有効な SETUP データを受信していない 1：有効な SETUP データを受信した	R/W

10.5.7.11 EP0_INT_ENA — EP0 割り込みイネーブルレジスタ

無効にした場合、EP0 ステータスレジスタがセットされていても対応する割り込みはアサートされません。

アドレス 4001 E030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EP0_PERR_NAK_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EP0_OUT_NAK_EN	—	—	—	EP0_IN_NAK_EN	—	—	—	EP0_OUT_NULL_EN	EP0_OUT_OR_EN	EP0_OUT_EN	EP0_IN_EN	EP0_STALL_EN	STG_END_EN	STG_START_EN	SETUP_EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.98 EP0_INT_ENA レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b17	予約ビット	書き込み時は 0 を書き込んでください	R
b16	EP0_PERR_NAK_EN	EP0 ステータスレジスタのビット[16] (EP0_PERR_NAK_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b15	EP0_OUT_NAK_EN	EP0 ステータスレジスタのビット[15] (EP0_OUT_NAK_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b14~b12	予約ビット		R
b11	EP0_IN_NAK_EN	EP0 ステータスレジスタのビット[11] (EP0_IN_NAK_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b10~b8	予約ビット		R
b7	EP0_OUT_NULL_EN	EP0 ステータスレジスタのビット[7] (EP0_OUT_NULL_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b6	EP0_OUT_OR_EN	EP0 ステータスレジスタのビット[6] (EP0_OUT_OR_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	EP0_OUT_EN	EP0 ステータスレジスタのビット[5] (EP0_OUT_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b4	EP0_IN_EN	EP0 ステータスレジスタのビット[4] (EP0_IN_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b3	EP0_STALL_EN	EP0 ステータスレジスタのビット[3] (EP0_STALL_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b2	STG_END_EN	EP0 ステータスレジスタのビット[2] (STG_END_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W

表 10.98 EP0_INT_ENA レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	STG_START_EN	EP0 ステータスレジスタのビット[1] (STG_START_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b0	SETUP_EN	EP0 ステータスレジスタのビット[0] (SETUP_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W

10.5.7.12 EP0_LENGTH — EP0 長さレジスタ

アドレス 4001 E034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	EP0_LDATA						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.99 EP0_LENGTH レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b7	予約ビット		R
b6~b0	EP0_LDATA	本フィールドは、EP0 リードレジスタ（受信バッファ）で OUT データを正常受信したときに、受信バイト数を示します。 値は EP0 リードレジスタを読み出す毎にデクリメントされ、残されたデータ数を示します。	R

10.5.7.13 EP0_READ — EP0 リードレジスタ

アドレス 4001 E038h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EP0_RDATA4								EP0_RDATA3							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EP0_RDATA2								EP0_RDATA1							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.100 EP0_READ レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	EP0_RDATA4	エンドポイント 0 受信データ	R
b23~b16	EP0_RDATA3	エンドポイント 0 受信データ	R
b15~b8	EP0_RDATA2	エンドポイント 0 受信データ	R
b7~b0	EP0_RDATA1	エンドポイント 0 受信データ	R

10.5.7.14 EP0_WRITE — EP0 ライトレジスタ

アドレス 4001 E03Ch

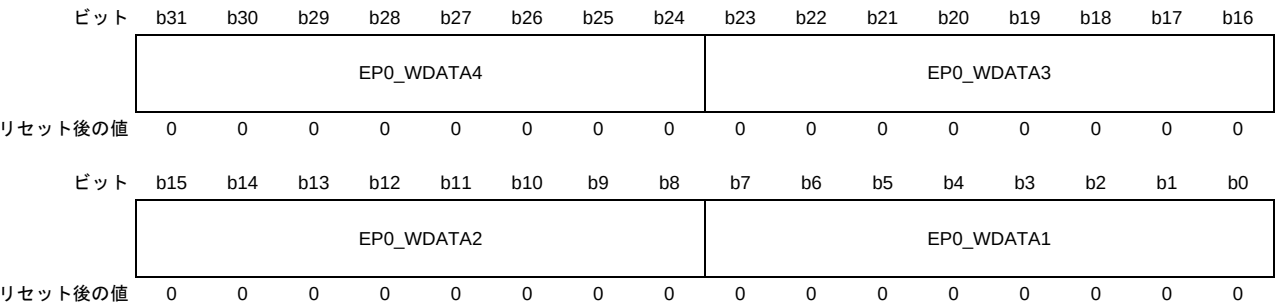


表 10.101 EP0_WRITE レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	EP0_WDATA4	エンドポイント 0 送信データ	W
b23～b16	EP0_WDATA3	エンドポイント 0 送信データ	W
b15～b8	EP0_WDATA2	エンドポイント 0 送信データ	W
b7～b0	EP0_WDATA1	エンドポイント 0 送信データ	W

10.5.7.15 EP[m]_CONTROL — EP[m] 制御レジスタ (m=1~15)

アドレス 4001 E040h+20h× (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EP[m]_EN	EP[m]_BUF_TYPE	—	—	—	EP[m]_DIR0	EP[m]_MODE	—	—	—	—	—	—	—	EP[m]_OVERSEL	EP[m]_AUTO
リセット後の値	0	X	0	0	0	0	X	X	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	EP[m]_PIDCLR	EP[m]_OPIDCLR	EP[m]_BCLR	EP[m]_CBCLR	EP[m]_DEND	EP[m]_DW	EP[m]_OSTL_EN	EP[m]_I_STL	EP[m]_OSTL	—	—	EP[m]_ONAK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 10.102 EP[m]_CONTROL レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31	EP[m]_EN	エンドポイント[m]有効化 本ビットをセットしたときに、USB 制御レジスタのビット 5 (CONF) がセットされていれば、対応するエンドポイントは USB トランザクションへの応答が可能です。本ビットをクリアすると、EP[m]ライト／リードレジスタ (送信／受信バッファ) はクリアされます。エンドポイント[m]への USB 転送が処理中なら、本ビットへの書き込みはトランザクションが終了するまで保留されます。 0 : エンドポイント[m]は無効 1 : エンドポイント[m]は有効 注意 本ビットは、BusReset または USB 要求 (Set Interface など) を受けつけるか、初期化の際にのみ変更されることを想定しています。本ビットがクリアされていても DATA PID 初期化は実行されません。	R/W
b30	EP[m]_BUF_TYPE	EP[m]バッファリングのバッファタイプ。読み出し専用。 0 : シングルバッファリング 1 : ダブルバッファリング	R
b29~b27	予約ビット	書き込み時は 0 を書き込んでください	R
b26	EP[m]_DIR0	エンドポイント[m]方向 0 : IN 1 : OUT 注意 本ビットは、初期化時のみ変更されることを想定しています。転送中に本ビットを変更したときの処理は保証されません。	R/W
b25~b24	EP[m]_MODE	エンドポイント[m]転送タイプ。読み出し専用。 00b : Bulk 01b : Interrupt 10b : Isochronous 11b : 予約ビット	R
b23~b18	予約ビット	書き込み時は 0 を書き込んでください	R
b17	EP[m]_OVERSEL	OUT 転送でオーバーランエラーが発生したときの次の OUT トークンの処理を選択します 転送中に本ビットを変更したときの処理は保証されません。Isochronous 転送では無効です。 0 : 次のパケットで STALL 応答 1 : 次のパケットをリトライとして処理 (使用禁止)	R/W

表 10.102 EP[m]_CONTROL レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b16	EP[m]_AUTO	EP[m]ライトレジスタ（送信バッファ）に最大パケットサイズのデータを書き込んだときに、パケットを自動送信するかどうかを選択します。 後述の例に示すように、最大パケットサイズより 1、2、または 3 バイト小さい場合は、この機能を無効にする必要がある場合があります（この機能が無効でなければ、最大パケットサイズ分のデータを書き込んだ時点で全データが有効になります）。最後のデータに無効データが含まれる場合は、本ビットをクリアして EP[m]_DW[1:0]を使用します。 例 1) 最大パケットサイズは 512、送信サイズは 509～511（有効データサイズは 512 バイトになってしまう） 例 2) 最大パケットサイズは 511、送信サイズは 509 または 510（有効データサイズは 511 バイトになってしまう） 0 : EP[m]_DEND を自動的に設定しない 1 : EP[m]_DEND を自動的に設定する 注意） EP[m] DMA 制御レジスタのビット[4]（EP[m]_DMA_EN）がセットされている場合は、本ビットはセットしないでください。さらに、最大パケットサイズが 000h のとき本ビットは使用しないでください。	R/W
b15～b12	予約ビット	書き込み時は 0 を書き込んでください	R
b11	EP[m]_IPIDCLR	本ビットは、エンドポイント[m]の送信 DATA PID の初期化に使用します。本ビットに 1 をセットすると、送信 DATA PID を初期化します。 エンドポイント[m]への USB 転送が処理中なら、本ビットへの書き込みはトランザクションが終了するまで保留されます。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます 注意） DATA PID は、BusReset を受信すると初期化されます。	W
b10	EP[m]_OPIDCLR	本ビットは、エンドポイント[m]の受信 DATA PID の初期化に使用します。本ビットに 1 をセットすると、受信 DATA PID を初期化します。 エンドポイント[m]への USB 転送が処理中なら、本ビットへの書き込みはトランザクションが終了するまで保留されます。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます 注意） DATA PID は、BusReset を受信すると初期化されます。	W
b9	EP[m]_BCLR	本ビットは、CPU 側および USB 側の EP[m]ライトおよび EP[m]リードレジスタのクリアに使用します。本ビットに 1 をセットすると、CPU 側および USB 側の送信、受信バッファは共にクリアされます。 エンドポイント[m]への USB 転送が処理中なら、本ビットへの書き込みはトランザクションが終了するまで保留されます。EP[m]_DIR0=0 なら、本ビットをセットした後で EP[m]ステータスレジスタで EP[m]_IN_DATA=0 および EP[m]_IN_EMPTY=1 をチェックする必要があります。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます 注意） 本ビットおよび EP[m]_CBCLR を同時にセットしないでください。さらに、EP[m] DMA 制御レジスタのビット[4]（EP[m]_DMA_EN）がセットされているときは、本ビットをセットしないでください。USB BusReset を受信しても、EP[m]ライトおよび EP[m]リードレジスタはクリアされません。	W
b8	EP[m]_CBCLR	本ビットは、CPU 側の EP[m]ライトおよび EP[m]リードレジスタをクリアするために使用します。本ビットに 1 をセットすると、CPU 側の送信、受信バッファは共にクリアされます。 本ビットは、シングルバッファの場合は無効です。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます 注意） 本ビットは、EP[m]_BCLR と同時にセットしないでください。さらに、EP[m] DMA 制御レジスタのビット[4]（EP[m]_DMA_EN）がセットされているときは、本ビットをセットしないでください。	W

表 10.102 EP[m]_CONTROL レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b7	EP[m]_DEND	EP[m]ライトレジスタの送信有効化 本ビットに 1 をセットすると、送信データが有効になります。 ヌルデータを送信するときは、EP[m]ステータスレジスタのビット 0 (EP[m]_IN_EMPTY) がセットされていることを確認してから、本ビットをセットします。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます 注意 本ビットは、EP[m] DMA 制御レジスタのビット[4] (EP[m]_DMA_EN) がセットされているときは、セットしないでください。	W
b6、b5	EP[m]_DW	EP[m]ライトレジスタ (送信バッファ) に書き込む最終データの有効データサイズ 本フィールドは EP[m]_DEND にセットするのと同時に設定してください。 00b : 4 01b : 1 10b : 2 11b : 3 本フィールドは書き込み専用です。読み出すと常に 0 が読み出されます	W
b4	EP[m]_OSTL_EN	EP[m]_OSTL の書き込み有効化 EP[m]_OSTL へ書き込むとき、同時に 1 をセットします。 本ビットは書き込み専用です。読み出すと常に 0 が読み出されます	W
b3	EP[m]_ISTL	エンドポイント[m]への IN トークンに対する STALL 応答制御 0 : IN トークンに対して STALL 応答しない 1 : IN トークンに対して STALL 応答する	R/W
b2	EP[m]_OSTL	エンドポイント[m]への OUT/PING トークンに対する STALL 応答制御 本ビットは、EP[m]_OSTL_EN にセットするのと同時に設定してください。 本ビットは、EP[m]_OVERSEL=0 のときにオーバーランが発生するとセットされます。 0 : OUT/PING トークンに対して STALL を返送しない 1 : OUT/PING トークンに対して STALL を返送する	R/W
b1	予約ビット	書き込み時は 0 を書き込んでください	R
b0	EP[m]_ONAK	エンドポイント[m]への OUT/PING トークンに対する NAK 応答制御 通常は、ACK、NAK、および NYET は EP[m]リードレジスタ (受信バッファ) のステータスに応じて自動的に発行されます。 本ビットをセットすると、強制的に NAK が送信されます。 0 : 受信バッファに空き領域がある場合にデータ受信 1 : 受信バッファに空き領域がある場合でも NAK 応答	R/W

10.5.7.16 EP[m]_STATUS — EP[m] ステータスレジスタ (m=1~15)

アドレス 4001 E044h+20h×(m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	EP[m]_ISO_PIDERR	EP[m]_OPID	EP[m]_OUT_NOTKN	EP[m]_ISO_OR	—	EP[m]_ISO_CRC	EP[m]_OUT_END_INT	EP[m]_OUT_ERR_INT	EP[m]_OUT_NAK_ERR_INT	EP[m]_OUT_STALL_INT	EP[m]_OUT_INT	EP[m]_OUT_NULL_INT	EP[m]_OUT_FULL	EP[m]_OUT_EMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EP[m]_PID	EP[m]_N_NOTKN	EP[m]_ISO_UR	EP[m]_N_END_INT	—	EP[m]_IN_NAK_ERR_INT	EP[m]_IN_STALL_INT	EP[m]_IN_INT	EP[m]_IN_DATA	EP[m]_IN_FULL	EP[m]_IN_EMPTY
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1

表 10.103 EP[m]_STATUS レジスタの内容 (1/4)

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット	書き込み時は 0 を書き込んでください	R
b29	EP[m]_ISO_PIDERR	• Isochronous エンドポイントの場合 本ビットは、不正な DATA PID を受信するとセットされます。 HS モードでは、本ビットは受信した DATA PID が DATA1、DATA2、または MDATA の場合にセットされます。 FS モードでは、本ビットは受信した DATA PID が DATA1 の場合にセットされます。 0 : 無効の DATA PID は受信していない 1 : 無効の DATA PID を受信した • Interrupt/Bulk エンドポイントの場合 常に 0	R
b28	EP[m]_OPID	次に予測される DATA PID 0 : DATA0 1 : DATA1	R
b27	EP[m]_OUT_NOTKN	• Isochronous エンドポイントの場合 本ビットは、SOF または uSOF 間のインターバルで OUT トークンを受信しないとセットされます。 本ビットは、SOF または uSOF を受信する毎に更新されます。 0 : SOF または uSOF 間に OUT トークンを受信した 1 : SOF または uSOF 間に OUT トークンを受信しなかった • Interrupt/Bulk エンドポイントの場合 常に 0	R
b26	EP[m]_ISO_OR	• Isochronous エンドポイントの場合 本ビットは、EP[m]リードレジスタ（受信バッファ）に空き領域がないときに OUT トークンを受信し、OUT データを破棄するとセットされます。 本ビットは、データを受信する毎に更新されます。 0 : 破棄された OUT データはない 1 : 受信した OUT データが破棄された • Interrupt/Bulk エンドポイントの場合 常に 0	R
b25	予約ビット	書き込み時は 0 を書き込んでください	R

表 10.103 EP[m]_STATUS レジスタの内容 (2/4)

ビット位置	ビット名	機能	R/W
b24	EP[m]_ISO_CRC	• Isochronous エンドポイントの場合 本ビットは、受信したデータで CRC エラーが発生すると 1 がセットされます。データが必要ないときは、EP[m]制御レジスタのビット 8 (EP[m]_CBCLR) に 1 をセットして、受信データをクリアしてください。ヌルデータを受信したときは自動的にクリアされます。 本ビットは、データを受信する毎に更新されます。 本ビットは、受信バッファがクリアされると 0 にクリアされます。 0 : 受信データで CRC エラーは発生していない 1 : 受信データで CRC エラーが発生した • Interrupt/Bulk エンドポイントの場合 常に 0	R
b23	EP[m]_OUT_END_INT	本ビットは、OUT 方向のエンドポイント[m]のバッファ読み出し DMA が完了すると、セットされます。 本ビットがセットされると、EP[m] DMA 制御レジスタのビット 4 (EP[m]_DMA_EN) はクリアされます。 本ビットは、EP[m] DMA 制御レジスタのビット 11 (EP[m]_STOP_MODE) およびビット 8 (EP[m]_STOP_SET) がセットされているときにショートパケットを受信すると、セットされます。 本ビットは 0 を書き込むとクリアされます。 0 : バッファ読み出し DMA は完了していない 1 : バッファ読み出し DMA が完了した	R/W
b22	EP[m]_OUT_OR_INT	本ビットは、エンドポイント[m]でデータを受信したときにオーバーランが発生すると、セットされます。 本ビットは 0 を書き込むとクリアされます。 0 : オーバーランは発生していない 1 : オーバーランが発生した	R/W
b21	EP[m]_OUT_NAK_ERR_INT	• Interrupt/Bulk エンドポイントの場合 0 : OUT/PING トークンに対して NAK 応答していない 1 : OUT/PING トークンに対して NAK 応答 • Isochronous エンドポイントの場合 0 : 受信エラーは発生していない 1 : 受信エラーが発生した エラーの詳細は、EP[m]_ISO_PIDERR、EP[m]_OUT_NOTKN、EP[m]_ISO_OR、EP[m]_ISO_CRC でチェックすることが可能です。 本ビットは 0 を書き込むとクリアされます。	R/W
b20	EP[m]_OUT_STALL_INT	本ビットは、USB 制御レジスタのビット 26 (EP[m]_DIR0) がセットされているときに (OUT 方向)、エンドポイント[m]が STALL になるとセットされます。 本ビットは 0 を書き込むとクリアされます。 0 : EP[m]は OUT で STALL ではない 1 : EP[m]は OUT で STALL	R/W
b19	EP[m]_OUT_INT	本ビットは、EP[m]リードレジスタ (受信バッファ) でヌルデータ以外の有効データを正常に受信して、CPU 側バッファが読み出し可能になるとセットされます。ヌルデータの受信時は EP[m]_OUT_NULL_INT がセットされます。 本ビットは 0 を書き込むとクリアされます。 0 : 受信バッファは読み出し可能になっていない 1 : 受信バッファは読み出し可能	R/W
b18	EP[m]_OUT_NULL_INT	本ビットは、EP[m]リードレジスタ (受信バッファ) でヌルデータを正常に受信すると、セットされます。ダブルバッファの場合は、本ビットはヌルデータパケットがトグルで CPU 側に切り替わるとセットされます。本ビットがセットされていれば、ヌルデータパケットはクリアされます (受信バッファはレディ状態で次のパケットを受信します)。 本ビットは 0 を書き込むとクリアされます。 0 : ヌルデータは受信していない 1 : ヌルデータを受信した	R/W

表 10.103 EP[m]_STATUS レジスタの内容 (3/4)

ビット位置	ビット名	機能	R/W
b17	EP[m]_OUT_FULL	EP[m]リードレジスタ（受信バッファ）フル ダブルバッファの場合、本ビットはCPU側バッファがフルのときにセットされます。 本ビットは、バッファステータスに応じて更新されます。 0：受信バッファはフルではない 1：受信バッファはフル	R
b16	EP[m]_OUT_EMPTY	EP[m]リードレジスタ（受信バッファ）エンプティ ダブルバッファの場合、本ビットはCPU側バッファが空のときにセットされます。 本ビットは、受信バッファステータスに応じて更新されます。 0：受信バッファは空ではない 1：受信バッファは空	R
b15~b11	予約ビット	初期値を保持してください。	R/W
b10	EP[m]_IPID	次の DATA PID 0：DATA0 1：DATA1	R
b9	EP[m]_IN_NOTKN	• Isochronous エンドポイントの場合 本ビットは、SOF または uSOF 間のインターバルで IN トークンを受信しないと 1 がセットされます。 本ビットは、SOF または uSOF を受信する毎に更新されます。 0：SOF または uSOF 間に IN トークンを受信した 1：SOF または uSOF 間に IN トークンを受信しなかった	R
b8	EP[m]_ISO_UR	• Isochronous エンドポイントの場合 本ビットは、EP[m]ライトレジスタ（送信バッファ）にデータを準備する前に IN トークンを受信し、マルチデータが自動送信されると 1 にセットされます。 本ビットはデータ送信毎に更新されます。 0：マルチデータは自動的に送信されていない 1：マルチデータが自動的に送信された • Interrupt/Bulk エンドポイントの場合 常に 0	R
b7	EP[m]_IN_END_INT	本ビットは、IN 方向のエンドポイント[m]のバッファ書き込み DMA が完了すると、セットされます。 本ビットがセットされると、EP[m] DMA 制御レジスタのビット 4（EP[m]_DMA_EN）はクリアされます。本ビットは 0 を書き込むとクリアされます。 0：バッファ書き込み DMA は完了していない 1：バッファ書き込み DMA が完了した	R/W
b6	予約ビット	書き込み時は 0 を書き込んでください	R
b5	EP[m]_IN_NAK_ERR_INT	• Interrupt/Bulk エンドポイントの場合 0：IN トークンに対して NAK を応答しない 1：IN トークンに対して NAK を送信 • Isochronous エンドポイントの場合 0：送信エラーは発生していない 1：送信エラーが発生した エラーの詳細は、EP[m]_IN_NOTKN および EP[m]_ISO_UR でチェックすることが可能です。本ビットは 0 を書き込むとクリアされます。	R/W
b4	EP[m]_IN_STALL_INT	本ビットは、USB 制御レジスタのビット 26（EP[m]_DIR0）がクリアされているときに（IN 方向）、エンドポイント[m]が STALL になるとセットされます。 0：EP[m]は IN で STALL ではない 1：EP[m]は IN で STALL 本ビットは 0 を書き込むとクリアされます。	R/W

表 10.103 EP[m]_STATUS レジスタの内容 (4/4)

ビット位置	ビット名	機能	R/W
b3	EP[m]_IN_INT	本ビットは、EP[m]ライトレジスタ（送信バッファ）の CPU 側に次のデータの書き込みが可能であると、セットされます。 シングルバッファの場合は、IN トランザクションでデータを正常送信したときにセットされます。ダブルバッファの場合、データ送信許可を与えた CPU 側バッファのデータがトグルで USB 側に切り替わると、セットされます。 0：送信バッファは書き込み可能になっていない 1：送信バッファが書き込み可能になった	R/W
b2	EP[m]_IN_DATA	EP[m]ライトレジスタ（送信バッファ）データ有効 本ビットは、バッファステータスに応じて更新されます。 0：送信バッファに送信待ちのデータがない 1：送信バッファに送信待ちのデータがある	R
b1	EP[m]_IN_FULL	EP[m]ライトレジスタ（送信バッファ）フル 本ビットは、EP[m]制御レジスタのビット 7（EP[m]_DEND）がセットされていてデータ転送が有効になると、クリアされます。 本ビットは、バッファステータスに応じて更新されます。 0：送信バッファはフルではない 1：送信バッファはフル	R
b0	EP[m]_IN_EMPTY	EP[m]ライトレジスタ（送信バッファ）エンプティ 本ビットは、バッファステータスに応じて更新されます。 0：送信バッファは空ではない 1：送信バッファは空	R

10.5.7.17 EP[m]_INT_ENA — EP[m] 割り込みイネーブルレジスタ (m=1~15)

無効にした場合、EP[m]ステータスレジスタがセットされていても対応する割り込みはアサートされません。

アドレス 4001 E048h+20h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	EP[m]_OUT_END_EN	EP[m]_OUT_OR_EN	EP[m]_OUT_NAK_ERR_EN	EP[m]_OUT_STALL_EN	EP[m]_OUT_EN	EP[m]_OUT_NULL_EN	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	EP[m]_IN_END_EN	—	EP[m]_IN_NAK_ERR_EN	EP[m]_IN_STALL_EN	EP[m]_IN_EN	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.104 EP[m]_INT_ENA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください	R
b23	EP[m]_OUT_END_EN	EP[m]ステータスレジスタのビット[23] (EP[m]_OUT_END_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b22	EP[m]_OUT_OR_EN	EP[m]ステータスレジスタのビット[22] (EP[m]_OUT_OR_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b21	EP[m]_OUT_NAK_ERR_EN	EP[m]ステータスレジスタのビット[21] (EP[m]_OUT_NAK_ERR_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b20	EP[m]_OUT_STALL_EN	EP[m]ステータスレジスタのビット[20] (EP[m]_OUT_STALL_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b19	EP[m]_OUT_EN	EP[m]ステータスレジスタのビット[19] (EP[m]_OUT_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b18	EP[m]_OUT_NULL_EN	EP[m]ステータスレジスタのビット[18] (EP[m]_OUT_NULL_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b17~b8	予約ビット	書き込み時は 0 を書き込んでください	R
b7	EP[m]_IN_END_EN	EP[m]ステータスレジスタのビット[7] (EP[m]_IN_END_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b6	予約ビット	書き込み時は 0 を書き込んでください	R
b5	EP[m]_IN_NAK_ERR_EN	EP[m]ステータスレジスタのビット[5] (EP[m]_IN_NAK_ERR_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b4	EP[m]_IN_STALL_EN	EP[m]ステータスレジスタのビット[4] (EP[m]_IN_STALL_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b3	EP[m]_IN_EN	EP[m]ステータスレジスタのビット[3] (EP[m]_IN_INT) の有効化 0: 割り込み禁止 1: 割り込み許可	R/W
b2~b0	予約ビット	書き込み時は 0 を書き込んでください	R

10.5.7.18 EP[m]_DMA_CTRL — EP[m] DMA 制御レジスタ (m=1~15)

アドレス 4001 E04Ch+20h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	EP[m]_STOP_MODE	EP[m]_DEND_SET	EP[m]_BURST_SET	EP[m]_STOP_SET	—	—	—	EP[m]_DMA_EN	—	—	—	EP[m]_DMAM_ODE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.105 EP[m]_DMA_CTRL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b12	予約ビット	書き込み時は 0 を書き込んでください	R/W
b11	EP[m]_STOP_MODE	ビット[8] (EP[m]_STOP_SET) がセットされているときの DMA 停止条件 0 : DMA は、ショートパケットを受信して DMA 転送が完了すると停止する 1 : DMA は、ショートパケットを受信して読み出し可能になると停止する (受信ショートパケットの読み出しが可能のときに、EP[m]_DMA_EN がセットされているときは停止しない)	R/W
b10	EP[m]_DEND_SET	USB 制御レジスタのビット[26] (EP[m]_DIR0) がクリアされていて、AHB-EPC ブリッジから DMA 完了を受信したときに、EP[m]制御レジスタのビット [7] (EP[m]_DEND) のセットを有効にするかどうかを指定します。本ビットは OUT トランザクションで無効です。 本ビットを使用するときは、32 ビット未満のデータは転送できません。 0 : EP[m]_DEND を自動的に設定しない 1 : EP[m]_DEND を自動的に設定する	R/W
b9	EP[m]_BURST_SET	1 つの DMA パケットが完了する毎に EP[m]_DMA_EN をクリアするかどうかを指定します。 0 : EP[m]_DMA_EN を自動的にクリアする 1 : EP[m]_DMA_EN を自動的にクリアしない 【DMA 書き込み時の注意】 DMA により最大パケットサイズのデータを連続して転送するときは、本ビットおよび EP[m]制御レジスタのビット[16] (EP[m]_AUTO) をセットします。 ショートパケットを転送するときは本ビットをクリアします。 最後のパケットに分割データがあるときは、PIO によりデータを書き込みます。 【DMA 読み出し時の注意】 ビット[8] (EP[m]_STOP_SET) がセットされているときにヌルデータを含むショートパケットを受信すると、本ビットがセットされていても EP[m]_DMA_EN はクリアされます。 本ビットは、DMA により最大パケットサイズのデータを連続して転送するときは、セットしてください。 ショートパケットを転送するときは本ビットをクリアしてください。 最後のパケットに分割データがあるときは、PIO によりデータを読み出します。	R/W
b8	EP[m]_STOP_SET	USB 制御レジスタのビット[26] (EP[m]_DIR0) がセットされていて (OUT 方向)、ヌルデータを含むショートパケットを受信したときに、ビット[4] (EP[m]_DMA_EN) をクリアして AHB-EPC ブリッジに対して DMA 転送を終了するための DMA 完了通知を送信するかどうかを選択します。 0 : 予約ビット (使用禁止) 1 : EP[m]_DMA_EN をクリアし、AHB-EPC ブリッジに DMA 完了通知を送信する	R/W
b7~b5	予約ビット	書き込み時は 0 を書き込んでください	R

表 10.105 EP[m]_DMA_CTRL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b4	EP[m]_DMA_EN	エンドポイント[m]DMA 有効化 0 : DMA を使用しない 1 : DMA を使用する 本ビットは以下の条件でクリアされます。 Ep[m]DCR2 で指定された DMA 転送の完了 EP[m]_LEN_DCNT の EP[m]_DMACNT フィールドが 001h であるとき、1 つの DMA パケットが完了 EP[m]_BURST_SET=0 であるとき 1 つの DMA パケットが完了（最終データに分割データがあるときは、本ビットは最終データの転送の前にクリアされます） EP[m]_STOP_SET=1 であるとき、ヌルデータを含むショートパケットを受信して DMA によるデータ転送が完了 （EP[m]_STOP_MODE がセットされているときは、ヌルデータを含むショートパケットの読み出しが可能になったとき停止） 本ビットは、オーバーランによりエンドポイントが STALL 条件になる場合でもクリアされません。 本ビットがセットされていれば、PIO は EP[m]ライトおよびリードレジスタにアクセスすることはできません。同様に、EP[m]制御レジスタのビット[7]（EP[m]_DEND）もセットしないでください。 DMA 転送後に PIO アクセスを使用するとき、または EP[m]_DEND ビットをセットするときは、その前に必ず本ビットをクリアしてください。 本ビットをクリアするときは、転送が実行されないようにあらかじめ DMA マスタを停止させてください。 DMA 転送中に本ビットをクリアしたときの転送データの内容は保証されません。	R/W
b3~b1	予約ビット	書き込み時は 0 を書き込んでください	R
b0	EP[m]_DMAMODE0	DMA モードを選択 0 : シングル（使用禁止） 1 : デマンド	R/W

10.5.7.19 EP[m]_PKT_ADRS — EP[m] MaxPacket および BaseAddress レジスタ (m=1~15)

アドレス 4001 E050h+20h× (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	EP[m]_BASEAD												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EP[m]_MPKT										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.106 EP[m]_PKT_ADRS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット	書き込み時は 0 を書き込んでください	R
b28~b16	EP[m]_BASEAD	エンドポイント[m]のベースアドレス RAM マッピング 本フィールドは、EP[m]制御レジスタのビット[31] (EP[m]_EN) がクリアされているときに設定してください。	R/W
b15~b11	予約ビット	書き込み時は 0 を書き込んでください	R
b10~b0	EP[m]_MPKT	エンドポイント[m]の最大パケットサイズ 本フィールドは、EP[m]制御レジスタのビット[31] (EP[m]_EN) がクリアされているときに設定してください。	R/W

10.5.7.20 EP[m]_LEN_DCNT — EP[m] 長さおよび DMA カウントレジスタ（m=1~15）

アドレス 4001 E054h+20h×（m-1）

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	EP[m]_DMACNT								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EP[m]_LDATA										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.107 EP[m]_LEN_DCNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b25	予約ビット	書き込み時は 0 を書き込んでください	R/W
b24~b16	EP[m]_DMACNT	本フィールドは DMA 転送数を指定します。DMA パケット数を指定してください。値は、1 つの DMA パケットが転送完了する毎にデクリメントされます。 本フィールドがデクリメントされて 000h になると、EP[m] DMA 制御レジスタのビット[4]（EP[m]_DMA_EN）がクリアされます。 この機能を使用するときは、EP[m] DMA 制御レジスタのビット 9（EP[m]_BURST_SET）をセットします。 この機能は本フィールドを 000h に設定するときは使用できません。 注意） 設定可能な最大サイズは 100h（＝256 パケット）です。 転送されるバイト数は指定しないでください。	R/W
b15~b11	予約ビット	書き込み時は 0 を書き込んでください	R
b10~b0	EP[m]_LDATA	CPU 側の EP[m]リードレジスタ（受信バッファ）に格納される読み出し可能バイト数 値は、EP[m]リードレジスタを読み出す毎にデクリメントされます。	R

10.5.7.21 EP[m]_READ — EP[m] リードレジスタ (m=1~15)

アドレス 4001 E058h+20h×(m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EP[m]_RDATA4								EP[m]_RDATA3							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EP[m]_RDATA2								EP[m]_RDATA1							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.108 EP[m]_READ レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	EP[m]_RDATA4	エンドポイント[m]受信データ	R
b23~b16	EP[m]_RDATA3	エンドポイント[m]受信データ	R
b15~b8	EP[m]_RDATA2	エンドポイント[m]受信データ	R
b7~b0	EP[m]_RDATA1	エンドポイント[m]受信データ	R

10.5.7.22 EP[m]_WRITE — EP[m] ライトレジスタ (m=1~15)

アドレス 4001 E05Ch+20h×(m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EP[m]_WDATA4								EP[m]_WDATA3							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EP[m]_WDATA2								EP[m]_WDATA1							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.109 EP[m]_WRITE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	EP[m]_WDATA4	エンドポイント[m]送信データ	W
b23~b16	EP[m]_WDATA3	エンドポイント[m]送信データ	W
b15~b8	EP[m]_WDATA2	エンドポイント[m]送信データ	W
b7~b0	EP[m]_WDATA1	エンドポイント[m]送信データ	W

10.5.8 AHB-EPC ブリッジレジスタの説明

10.5.8.1 AHBSTR — AHB スレーブコントローラコンフィグレーションレジスタ

アドレス		4001 F000h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WAIT MODE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 10.110 AHBSTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット	書き込み時は 0 を書き込んでください	R/W
b0	WAIT_MODE	AHB スレーブの Wait 動作制御 0 : 予約ビット（使用禁止） 1 : HREADY による Wait 制御	R/W

10.5.8.2 AHBMCTR — AHB マスタコントローラコンフィグレーションレジスタ

アドレス 4001 F004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ARBITE R_CTR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MCYCL E_RST	—	—	ENDIAN_CTR	—	—	—	—	—	—	WBURS T_TYP E	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

表 10.111 AHBMCTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31	ARBITER_CTR	DMA 転送を使用するエンドポイントの調停タイプ選択 0 : ラウンドロビン方式 (EP1 → ... → EP15 → EP1) 1 : 固定方式 (EP1 > EP2 > ... > EP15)	R/W
b30~b13	予約ビット	書き込み時は 0 を書き込んでください	R
b12	MCYCLE_RST	予約ビット (書き込み時は 0 を書き込んでください)	R/W
b11、b10	予約ビット	書き込み時は 0 を書き込んでください	R
b9、b8	ENDIAN_CTR	DMA 転送時のデータ変換タイプ選択 00 : リトルエンディアン 上記以外 : 予約ビット (使用禁止)	R/W
b7~b3	予約ビット	初期値を保持してください。	R/W
b2	WBURST_TYPE	AHB マスタ書き込みの可変長バースト使用条件 0 : 予約ビット (使用禁止) 1 : INCR4/8/16+2~3 バーストに対して INCR	R/W
b1、b0	予約ビット	書き込み時は 0 を書き込んでください	R/W

10.5.8.3 AHBBINT — AHB-EPC ブリッジ割り込みソースレジスタ

アドレス 4001 F008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DMA_ENDINT_EP[15:1]															—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	VBUS_INT	—	—	—	—	—	—	MBUS_ERRINT	—	SBUS_ERRINT0	ERR_MASTER			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.112 AHBBINT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b17	DMA_ENDINT_EP [15:1]	本フィールドは、対応するエンドポイントの DMA 転送が完了するとセットされます。 本フィールドは 1 を書き込むとクリアされます。	R/W
b16～b14	予約ビット	書き込み時は 0 を書き込んでください	R/W
b13	VBUS_INT	本ビットは、VBUS 信号レベルが変化するとセットされます。 本フィールドは 1 を書き込むとクリアされます。	R/W
b12～b7	予約ビット	書き込み時は 0 を書き込んでください	R/W
b6	MBUS_ERRINT	本ビットは、AHB マスタがエラー応答を受信するとセットされます。 本ビットは 1b を書き込むとクリアされます。	R/W
b5	予約ビット	書き込み時は 0 を書き込んでください	R/W
b4	SBUS_ERRINT0	本ビットは、AHB スレーブが 32 ビットを超過するアクセスに対してエラー応答を発行すると、セットされます。 本ビットは 1b を書き込むとクリアされます。	R/W
b3～b0	ERR_MASTER	本フィールドは、SBUS_ERRINT0 がセットされているときに、エラー応答時のマスタ番号を格納します。 本フィールドは、SBUS_ERRINT0 ビットがクリアされるまでは値が変化しません。	R

10.5.8.4 AHBBINTEN — AHB-EPC ブリッジ割り込みイネーブルレジスタ

無効にした場合、AHB-EPC ブリッジ割り込みソースレジスタがセットされていても対応する割り込みはアサートされません。

アドレス		4001 F00Ch															
ビット		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
		DMA_ENDINTEN_EP[15:1]															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
		—	—	VBUS_INTEN	—	—	—	—	—	—	MBUS_ERRINTEN	—	SBUS_ERRINT0EN	—	—	—	—
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.113 AHBBINTEN レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b17	DMA_ENDINTEN_EP[15:1]	AHBBINT レジスタの DMA_ENDINT_EP[15:1]有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b16~b14	予約ビット	書き込み時は 0 を書き込んでください	R/W
b13	VBUS_INTEN	AHBBINT レジスタのビット[13] (VBUS_INT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b12~b7	予約ビット	書き込み時は 0 を書き込んでください	R/W
b6	MBUS_ERRINTEN	AHBBINT レジスタのビット[6] (MBUS_ERRINT) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	予約ビット	書き込み時は 0 を書き込んでください	R/W
b4	SBUS_ERRINT0EN	AHBBINT レジスタのビット[4] (SBUS_ERRINT0) 有効化 0 : 割り込み禁止 1 : 割り込み許可	R/W
b3~b0	予約ビット	書き込み時は 0 を書き込んでください	R

10.5.8.5 EPCTR — EPC およびトランシーバ制御レジスタ

アドレス 4001 F010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DIRPD	—	—	—	VBUS_LEVEL	—	—	PLL_RESUME	PLL_LOCK	—	PLL_RST	—	EPC_RST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

表 10.114 EPCTR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b13	予約ビット	書き込み時は 0 を書き込んでください	R
b12	DIRPD	本ビットをセットすると、USB サブシステムはパワーダウンステートに移行します。 USBCTR レジスタのビット[8] (DIRPD) およびシステムコントローラの CFG_USB レジスタの DIRPD は同じ機能です。 0 : 通常動作 1 : ダイレクトパワーダウンモード	R/W
b11~b9	予約ビット	書き込み時は 0 を書き込んでください	R
b8	VBUS_LEVEL	VBUS 入力ピンステータス 0 : VBUS=0 1 : VBUS=1	R
b7、b6	予約ビット	書き込み時は 0 を書き込んでください	R
b5	PLL_RESUME	SIE が Suspend ステートでファンクションコントローラへのクロックが停止しているときに本ビットをセットすると、クロック供給が再開します。 クロック再開後は必ずクリアしてください。 0 : 通常動作 1 : クロック供給を再開する	R/W
b4	PLL_LOCK	USBPLL ロックステータス 0 : USBPLL はロックされていない 1 : USBPLL はロックされている	R
b3	予約ビット	書き込み時は 0 を書き込んでください	R/W
b2	PLL_RST	USBPLL リセット USBPLL はホストコントローラおよびファンクションコントローラで共通です。 USBPLL のリセットは、ホストコントローラおよびファンクションコントローラ両方の PLL_RST がセットされているときにアサートされます。 0 : USBPLL リセット解除 1 : USBPLL リセット発行	R/W
b1	予約ビット	常に 1 を書き込む	R/W
b0	EPC_RST	EPC ブロックのリセット 0 : EPC リセット解除 1 : EPC リセット発行	R/W

10.5.8.6 USBSSVER — USBf バージョンレジスタ

アドレス 4001 F020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	AHBB_VER							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EPC_VER								SS_VER							
リセット後の値	0	0	1	0	0	1	0	0		x	x	x	x	x	x	x

表 10.115 USBSSVER レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット		R
b23～b16	AHBB_VER	AHB ブリッジバージョン	R
b15～b8	EPC_VER	EPC バージョン	R
b7～b0	SS_VER	USB ファンクションコントローラバージョン RZ/N1D : 31h RZ/N1S、RZ/N1L : 41h	R

10.5.8.7 USBSSCONF — エンドポイントコンフィグレーションレジスタ

アドレス 4001 F024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EP_AVAILABLE															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DMA_AVAILABLE															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

表 10.116 USBSSCONF レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	EP_AVAILABLE	実装されるエンドポイントモジュール 各ビットはエンドポイント番号に対応します。 0 : 対応するエンドポイントなし 1 : 対応するエンドポイントあり	R
b15～b0	DMA_AVAILABLE	DMA 転送で使用可能なエンドポイント 各ビットはエンドポイント番号に対応します。 エンドポイント 0 は DMA 転送に使用できないため、ビット[0]は常に 0 です。 0 : 使用不可 1 : 対応するエンドポイントあり	R

10.5.8.8 EP[m]DCR1 — エンドポイント[m] DMA 設定レジスタ 1 (m=1~15)

アドレス 4001 F110h+10h× (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	EP[m]_DMACNT							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EP[m]_DIR0	EP[m]_REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.117 EP[m]DCR1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください	R
b23~b16	EP[m]_DMACNT	DMA 転送のパケット数 (バイト数ではない) 設定 32 ビットの倍数ではないデータパケットの処理を除き、EP[m]長さおよび DMA カウントレジスタの EP[m]_DMACNT[7:0]と同じ値に設定します。 ただし、EP[m]_DMACNT[8:0]フィールドが 100h に設定されているときは、本フィールドは 00h に設定します。 本フィールドは、1 つのパケットの DMA 転送が完了する毎にデクリメントされます。 注意) EP[m]_REQEN がセットされているときは本フィールドを変更しないでください。	R/W
b15~b2	予約ビット	書き込み時は 0 を書き込んでください	R
b1	EP[m]_DIR0	DMA 方向設定 EP[m]制御レジスタの EP[m]_DIR0 と同じ値に設定します。 0 : IN 方向 (AHB から EPC) 1 : OUT 方向 (EPC から AHB) 注意) EP[m]_REQEN がセットされているときは本フィールドを変更しないでください。	R/W
b0	EP[m]_REQEN	EPC (エンドポイントコントローラ) からの DMA 転送要求設定 本ビットは、EP[m]_DMACNT で指定されるパケット数が転送されるか、EPC がシャウトパケットを受信して DMA 転送を終了すると、クリアされます。 0 : 無効 (DMA 転送は実行不可) 1 : 有効 (DMA 転送は実行可能)	R/W

10.5.8.9 EP[m]DCR2 — エンドポイント[m] DMA 設定レジスタ 2 (m=1~15)

アドレス 4001 F114h+10h× (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	EP[m]_LMPKT										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EP[m]_MPKT										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.118 EP[m]DCR2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b27	予約ビット	書き込み時は 0 を書き込んでください	R
b26~b16	EP[m]_LMPKT	DMA 転送の最終パケットのバイト長設定 IN 転送 (EP[m]DCR1 レジスタの EP[m]_DIR0=0) DMA により最終パケットで転送されるバイト数を設定します。 DMA 転送は、指定されたバイト数が転送されると完了します。 データは 32 ビット単位で転送されるため、下位側 2 ビットは無効です。 3 バイト以下の場合は PIO 転送を使用します。 例) 512 バイト (最大パケットサイズ) → 200h 511 バイト (ショートパケット) → 1FCh 注意) EP[m]_REQEN がセットされているときは本フィールドを変更しないでください。 OUT 転送 (EP[m]DCR1 レジスタの EP[m]_DIR0=1) DMA により最終パケットで転送されるバイト数を示します。 データは 32 ビット単位で転送されるため、下位側 2 ビットは無効です。 OUT 転送中に本フィールドに書き込んでも無効です。	R/W
b15~b11	予約ビット	書き込み時は 0 を書き込んでください	R
b10~b0	EP[m]_MPKT	エンドポイント[m]の最大パケットサイズ設定 EP[m] MaxPacket および BaseAddress レジスタの EP[m]_MPKT[10:0]と同じ値に設定します。 注意) EP[m]_REQEN がセットされているときは本フィールドを変更しないでください。	R/W

10.5.8.10 EP[m]TADR — エンドポイント[m] DMA スタートアドレスレジスタ（m=1～15）

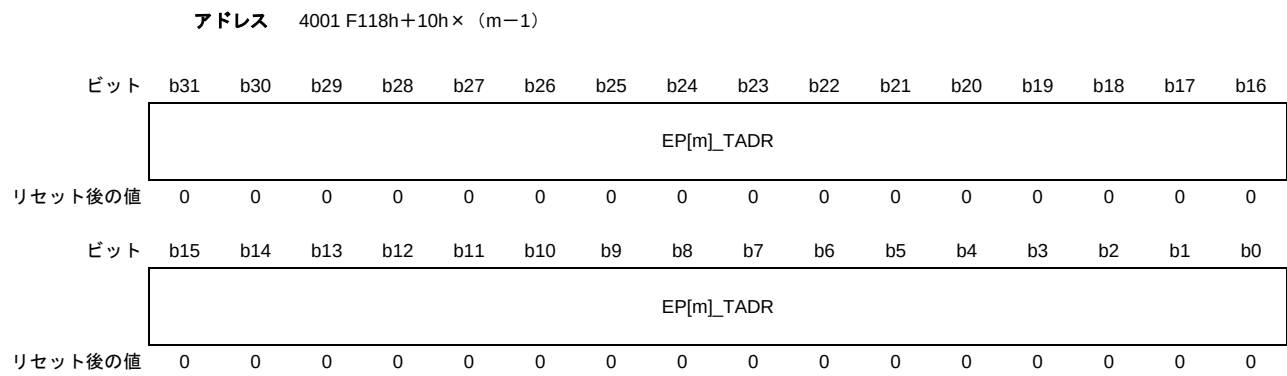


表 10.119 EP[m]TADR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	EP[m]_TADR	AHB の DMA 開始アドレス（システムアドレス） データは 32 ビット単位で転送されるため、下位側 2 ビットは無効です。 注意） EP[m]_REQEN がセットされているときは本フィールドを変更しないでください。	R/W

10.6 使用上の注意

10.6.1 ファンクションコントローラレジスタのアクセス

10.6.1.1 EPC レジスタにアクセスする際の注意点

EPC レジスタにアクセスする際は、ファンクションコントローラに USB_HCLKF が供給されていることを確認してください。供給されていないと、処理は AHB バスでデッドロックします。クロック供給ステータスは、AHB-EPC ブリッジの EPCTR レジスタのビット[4] (PLL_LOCK) で確認します。

以下のケースはクロック供給ステータスの確認が必要です。

- PLL リセット信号がデアサートされた後で最初に EPC レジスタにアクセスする場合
- リモートウェイクアップ機能を使用して Resume 信号をデアサートする場合（詳細については「10.6.7.2(2) パワーアップ（ファンクションコントローラ）」を参照してください）

10.6.1.2 リザーブ領域にアクセスする際の注意点

エンドポイント番号に対応しないアドレス空間はシステムのリザーブ領域で、アクセスすることはできません。

10.6.2 ホストコントローラレジスタにアクセスする際の注意点

ホストコントローラのレジスタは、内部の PCI バスを介してアクセスします。そのため、AHB バスでアクセスを適切に実行するには、AHB バスのメモリ空間を PCI バスのメモリ空間に正しくマッピングする必要があります。PCI には 2 つのメモリ空間があります。1 つは、PCI バス転送の設定および PCI メモリ空間のベースアドレス設定を格納する PCI 設定空間、もう 1 つは、実際のデータを転送するための PCI メモリ空間です。

AHB とホストコントローラ間のアクセスは、AHB-PCI ブリッジのウィンドウ領域を介して実行します。図 10.3 および表 10.120 に、レジスタ領域および各ウィンドウ領域間の関係を示します。

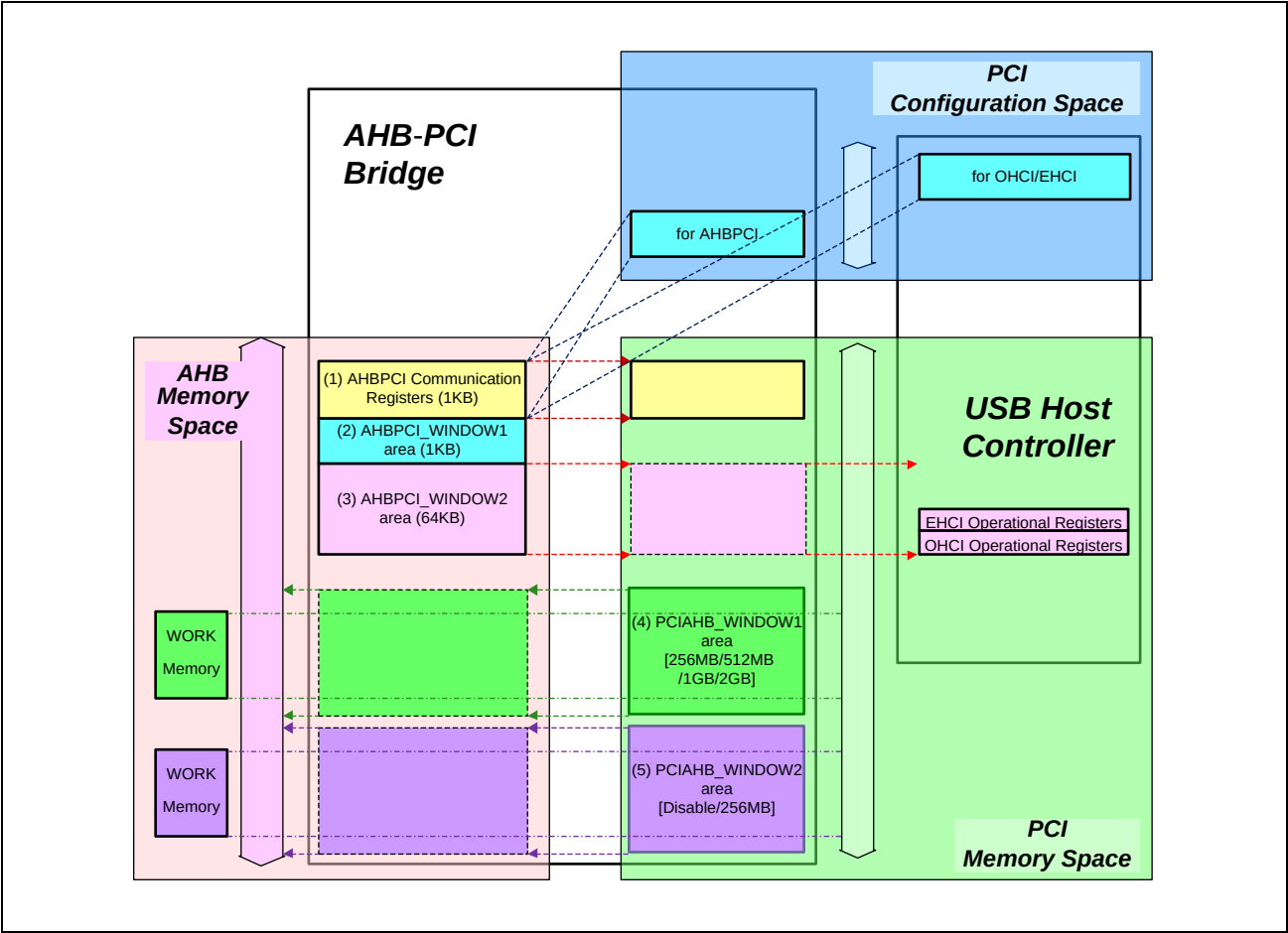


図 10.3 AHB および PCI 空間のマッピングイメージ

表 10.120 各領域の説明

AHB 領域		サイズ	説明
(1)	AHBPCI 通信レジスタ	1KB	AHB 設定およびウィンドウ領域のベースアドレス設定を行います。 この領域は PCI メモリ空間にもマッピングされるため、マッピングの際は他の領域との重複に注意してください。
(2)	AHBPCI_WINDOW1 領域	1KB	PCI コンフィグレーションレジスタはこの領域を介してアクセスします。 OHCI/EHCI コンフィグレーションレジスタと AHB-PCI ブリッジレジスタのどちらにアクセスするかは、AHBPCI_WIN1_CTR レジスタで指定します。
(3)	AHBPCI_WINDOW2 領域	64KB	OHCI/EHCI オペレーションレジスタはこの領域を介してアクセスします。
(4)	PCIAHB_WINDOW1 領域	256MB、512MB、1GB、2GB	ホストコントローラは、この領域を介して AHB バスのワークメモリにアクセスします。 領域のサイズは USBCTR レジスタで変更可能です。
(5)	PCIAHB_WINDOW2 領域	無効、256MB	ホストコントローラは、この領域を介して AHB バスのワークメモリにアクセスします。 この領域を使用するかどうかは USBCTR レジスタで指定します。

以上の領域は PCI メモリ空間で指定し、AHBPCI 通信レジスタの領域が AHBPCI_WINDOW2 領域（OHCI/EHCI オペレーションレジスタ領域）と重複せず、PCIAHB_WINDOW1 領域が PCIAHB_WINDOW2 領域と重複しないようにします。

マッピングを最も簡単に行う通常の方法は、AHB メモリ空間を PCI メモリ空間と同じアドレスにマッピングすることです。上記の領域が AHB メモリマップで重複するときは、PCI コンフィグレーションレジスタ（OHCI/EHCI/AHBPCI ベースアドレスレジスタ）を使用して、PCIAHB_WINDOW1/2 領域と重複しないようにベースアドレスを設定する必要があります。図 10.4 にこの関係を示します。

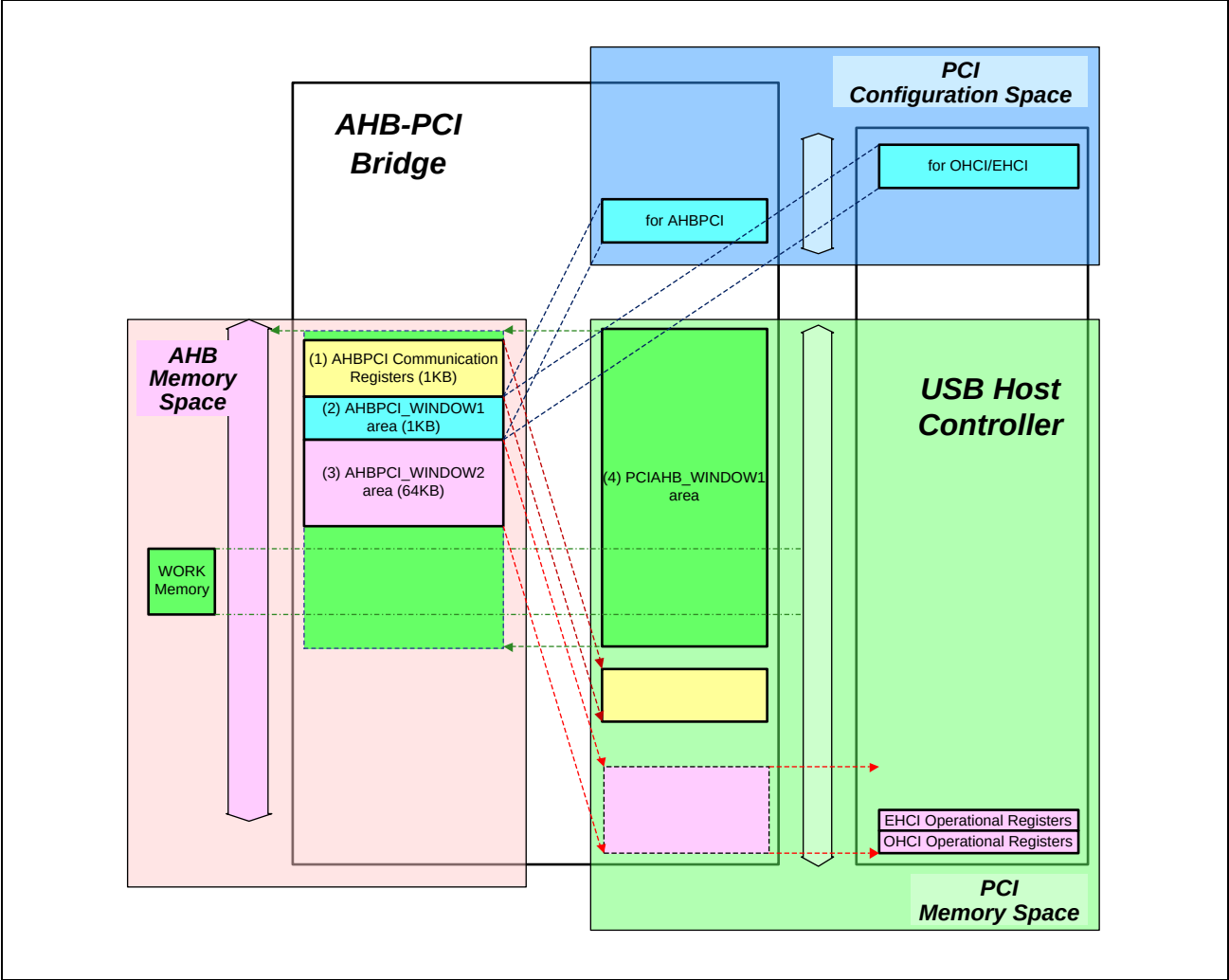


図 10.4 AHB および PCI 空間のマッピングイメージ（領域重複）

図 10.5 および表 10.121 に、AHB および PCI 空間のマッピングおよび値の設定に使用するレジスタの関係を
を示します。

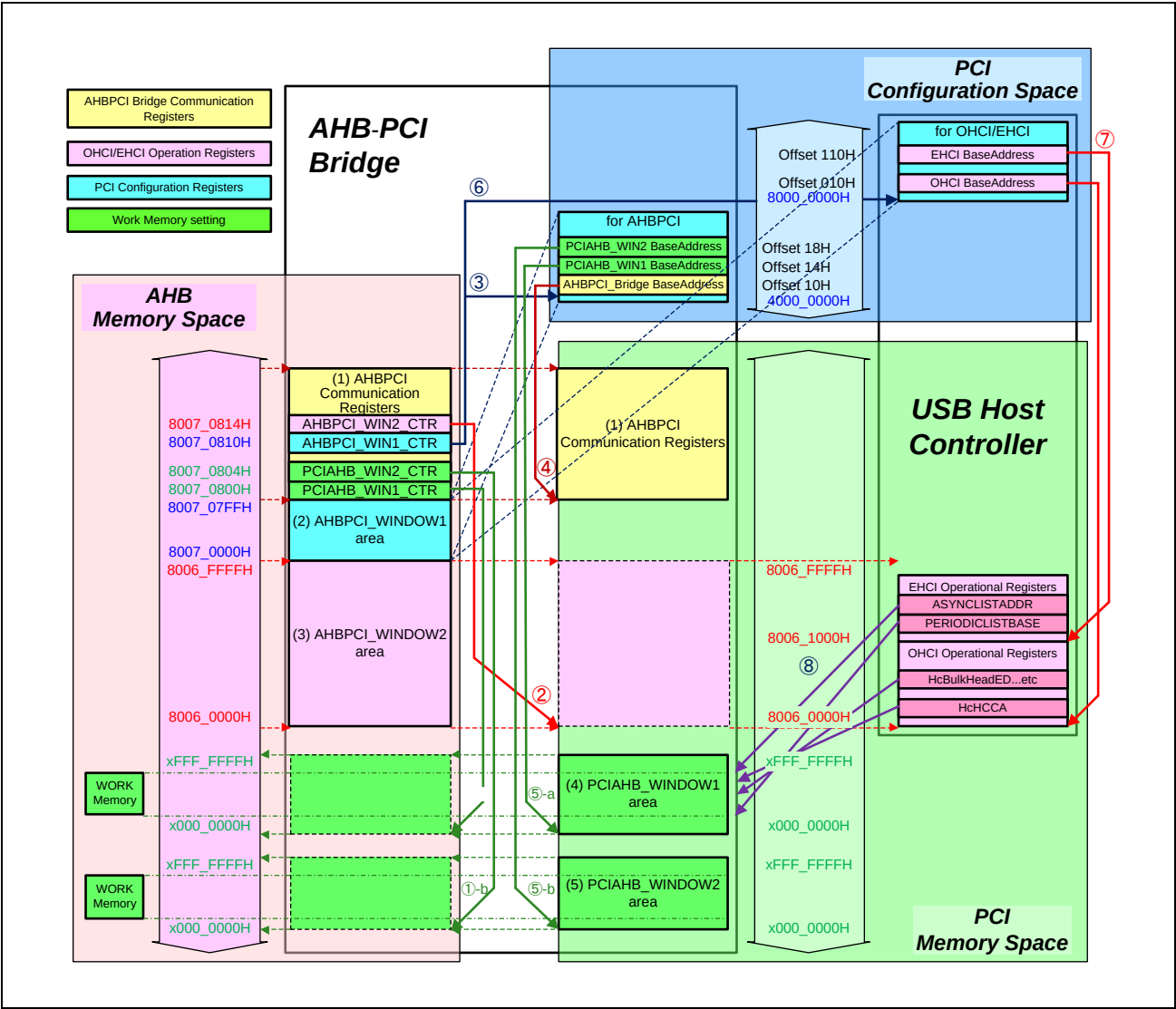


図 10.5 AHB および PCI 空間のマッピングイメージ (領域重複)

表 10.121 アドレス設定のレジスタ値

レジスタ		説明
(1)-a	PCIAHB_WIN1_CTR	ホストコントローラがバスマスタとして PCIAHB_WINDOW1 領域にアクセスする場合、AHB バスアドレスは本レジスタで指定されるベースアドレスに変換されます。 通常は、ワークメモリを含めた領域を指定します。
(1)-b	PCIAHB_WIN2_CTR	ホストコントローラがバスマスタとして PCIAHB_WINDOW2 領域にアクセスする場合、AHB バスアドレスは本レジスタで指定されるベースアドレスに変換されます。 通常は、ワークメモリを含めた領域を指定します。
(2)	AHBPCI_WIN2_CTR	AHBPCI_WINDOW2 領域がアクセスされる場合、PCI バスアドレスは本レジスタで指定されるベースアドレスに変換されます。 通常は、AHBPCI_WINDOW2 領域と同じ値を指定します。 ただし、指定した領域がワークメモリを含む(1)の領域と重複しないように注意が必要です。
(3)	AHBPCI_WIN1_CTR	本レジスタでベースアドレスを 4000_0000h に指定すると、AHBPCI の PCI コンフィグレーションレジスタがアクセスされます。
(4)	AHBPCI ブリッジ ベースアドレス	PCI 空間の AHB-PCI ブリッジのベースアドレスを指定します。本レジスタは PCI バスを介してはアクセスされませんが、領域が他と重複しないようにします。
(5)-a	PCIAHB_WIN1 ベースアドレス	PCI 空間の PCIAHB_WINDOW1 領域のベースアドレスを指定します。 通常は、(1)-a と同じアドレスを指定します。(5)-a と (5)-b が重複しないようにします。
(5)-b	PCIAHB_WIN2 ベースアドレス	PCI 空間の PCIAHB_WINDOW2 領域のベースアドレスを指定します。 通常は、(1)-a と同じアドレスを指定します。(5)-a と (5)-b が重複しないようにします。
(6)	AHBPCI_WIN1_CTR	本レジスタでベースアドレスを 8000_0000h に指定すると、OHCI/EHCI の PCI コンフィグレーションレジスタがアクセスされます。
(7)	OHCI/EHCI ベースアドレス	PCI 空間の OHCI/EHCI オペレーションレジスタのベースアドレスを指定します。 通常は、OHCI オペレーションレジスタでは(2)と同じアドレスを指定します。EHCI オペレーションレジスタでは、{(2)の指定アドレス + オフセット 1000h}のアドレスを指定します。
(8)	OHCI/EHCI オペレーションレジスタ	(1)~(7)を設定すると、ホストコントローラは PCI バスを介して、ディスクリプタなどの AHB のワーク RAM にコピーされたデータにアクセスすることが可能です。 以下のレジスタは、データが格納されたワーク RAM のアドレス指定に使用します。 ● OHCI/EHCI オペレーションレジスタ – HcHCCA レジスタ – HcPeriodicCurrentED レジスタ – HcControlHeadED レジスタ – HcControlCurrentED レジスタ – HcBulkHeadED レジスタ – HcBulkCurrentED レジスタ – HcDoneHead レジスタ ● EHCI オペレーションレジスタ – PERIODICLISTBASE レジスタ – ASYNCLISTADDR レジスタ

10.6.2.1 PCI コンフィグレーションレジスタのアクセス

PCI 設定空間のレジスタは、AHB-PCI Window 1 領域（ホストコントローラアドレス 10000h～107FFh：2KB 空間）を介してアクセスします。ただし、AHBPCI_WIN1_CTR レジスタを適切に設定しておく必要があります。表 10.122 に、OHCI/EHCI および AHB-PCI ブリッジで各 PCI 設定空間のアクセスに使用する AHBPCI_WIN1_CTR レジスタの設定を示します。

表 10.122 AHBPCI_WIN1_CTR レジスタの設定

アクセス領域	AHBPCI_WIN1_CTR レジスタの設定	
	PCIWIN1_BASEADR [31:11]	PCICMD [2:0]
OHCI/EHCI PCI 設定空間	ビット 31 のみ 1 にセット	101b
AHB-PCI ブリッジ PCI 設定空間	ビット 30 のみ 1 にセット	

10.6.2.2 OHCI/EHCI オペレーションレジスタのアクセス

OHCI/EHCI オペレーションレジスタにアクセスするには、PCI 空間のアドレスマッピングと同様に、OHCI/EHCI の PCI 設定空間および AHBPCI_WIN2_CTR レジスタの設定が必要です。表 10.123 に必要な設定を示します。

表 10.123 OHCI/EHCI オペレーションレジスタにアクセスするための設定

設定ビット	設定値
OHCI/EHCI PCI 設定空間 オフセット 04h（ステータス・コマンド） ビット 1（MEMORY_SPACE）	1b （メモリ空間へのアクセスを有効化）
AHBPCI_WIN2_CTR レジスタ ビット[3:1]（PCICMD[2:0]）	011b （メモリ読み出し／書き込み）

10.6.3 リセット制御

10.6.3.1 リセット設定

USB サブシステムは HRESETn 信号でリセットされます。HRESETn 信号がアサートされると、USB サブシステムの全回路がリセットされます。USB サブシステムのリセット信号は、F/F リセット信号に直接接続される非同期リセットです。

リセットは、USB ホストコントローラと USB ファンクションコントローラとで分れています。

表 10.124 に、USB サブシステムのリセット信号を示します。

表 10.124 リセット信号

リセット信号	供給元	説明
HRESETn	システム制御	USB サブシステムのパワーオンリセット信号 USB サブシステム全体をリセット HRESETn はシステム制御によりソフトウェアリセットとして制御されます。
PLL_RST	内部	USBPHY リセット信号 USBPLL は、USB のホストコントローラおよびファンクションコントローラで共通です。USB のホストコントローラまたはファンクションコントローラがアクティブのときは、この信号はアサートしないでください。
EPC_RST	内部	USB ファンクションコントローラ (EPC/SIE) リセット信号
USBH_RST	内部	USB ホストコントローラリセット信号

HRESETn がアサートされると、内部の全リセット信号がアサートされます。内部の USB ホストコントローラリセットは、AHB-PCI ブリッジレジスタで動作させることが可能です。内部の USB ファンクションコントローラリセットは、AHB-EPC ブリッジレジスタで動作させることが可能です。HRESETn がデアサートされた後は、同じレジスタを使用して内部リセットを解除してください。リセットシーケンスについては、「10.6.9.1 リセットシーケンス」を参照してください。

10.6.3.2 リセットシステム図

図 10.6 に、USB サブシステムのリセットシステムを示します。

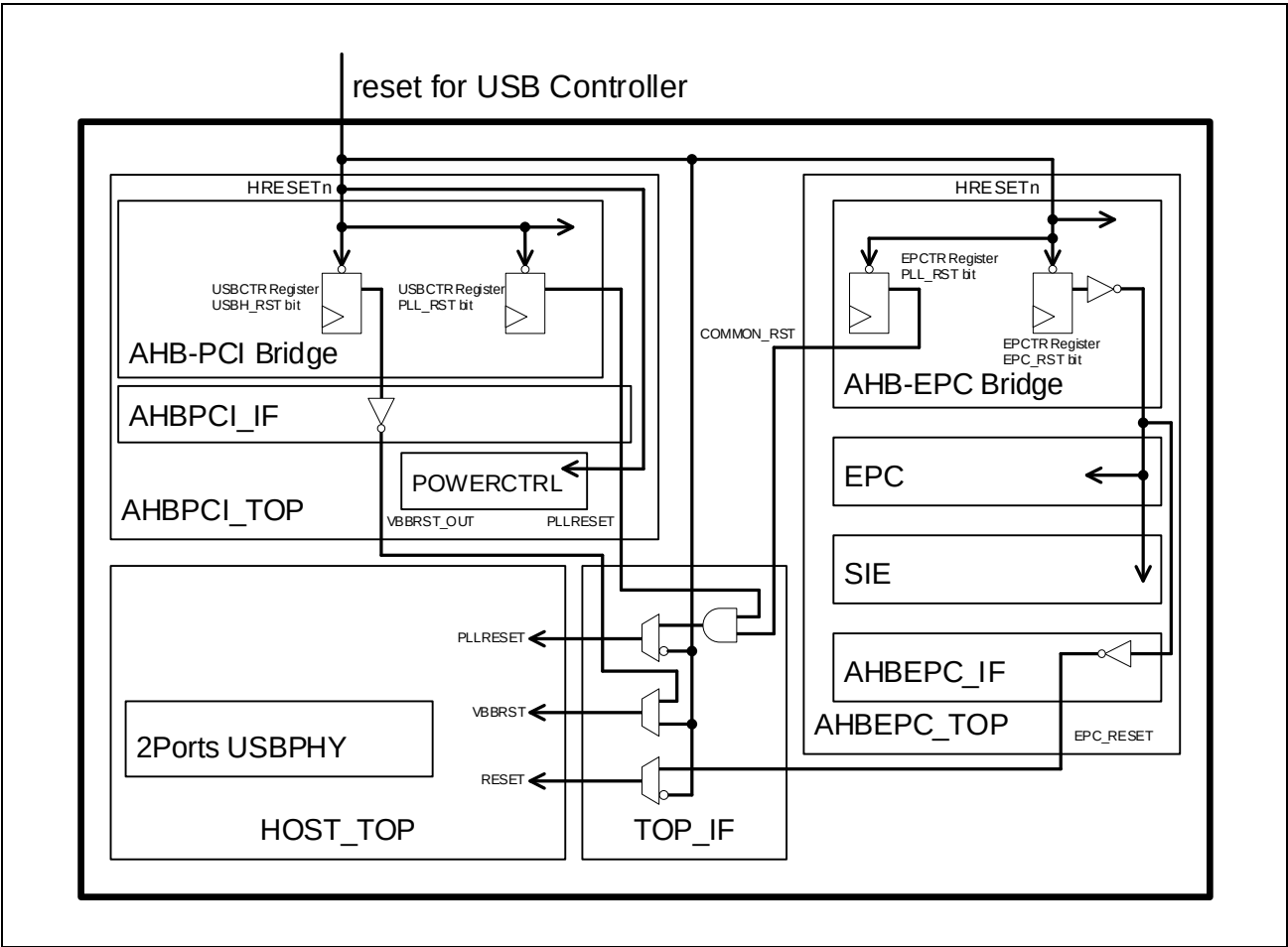


図 10.6 リセットシステム図

10.6.4 割り込み

10.6.4.1 割り込み制御レジスタ

(1) U2H_INT 制御レジスタ

本レジスタは、AHB-EPC ブリッジで生成される割り込みを示します。AHB-PCI ブリッジレジスタを使用して、割り込みのステータスのチェック、および割り込みのクリアと有効化を行います。

表 10.125 U2H_INT 制御レジスタ

Control	ターゲットレジスタ
割り込みのステータスのチェックおよびクリア	PCI_INT_STATUS レジスタ
割り込みの有効化	PCI_INT_ENABLE レジスタ

(2) U2H_OHCI_INT 制御レジスタ

本レジスタは、ホストコントローラにより生成される INTA 割り込み信号を示します。割り込みは、基本的にはホストコントローラレジスタを使用して制御しますが、割り込み信号をアサートするには、対応する AHB-PCI ブリッジレジスタで割り込みを有効にする必要があります。

表 10.126 U2H_OHCI_INT 制御レジスタ

Control	ターゲットレジスタ
割り込みのステータスのチェックおよびクリア	HcInterruptStatus レジスタ
割り込みの有効化	HcInterruptEnable レジスタ HcInterruptDisable レジスタ PCI_INT_ENABLE レジスタ（ビット[16]（USBH_INTAEN））

(3) U2H_EHCI_INT 制御レジスタ

本レジスタは、ホストコントローラにより生成される INTB 割り込み信号を示します。割り込みは、基本的にはホストコントローラレジスタを使用して制御しますが、割り込み信号をアサートするには、対応する AHB-PCI ブリッジレジスタで割り込みを有効にする必要があります。

表 10.127 U2H_EHCI_INT 制御レジスタ

Control	ターゲットレジスタ
割り込みのステータスのチェックおよびクリア	USBSTS レジスタ
割り込みの有効化	USBINTR レジスタ PCI_INT_ENABLE レジスタ（ビット[17]（USBH_INTBEN））

(4) U2H_PME_INT 制御レジスタ

本レジスタは、ホストコントローラにより生成される PME 割り込み信号を示します。割り込みは、基本的にはホストコントローラレジスタを使用して制御しますが、割り込み信号をアサートするには、対応する AHB-PCI ブリッジレジスタで割り込みを有効にする必要があります。

表 10.128 U2H_PME_INT 制御レジスタ

Control	ターゲットレジスタ
割り込みのステータスのチェックおよびクリア	OHCI/EHCI オフセット 44h に対する PCI コンフィグレーションレジスタ
割り込みの有効化	OHCI/EHCI オフセット 44h に対する PCI コンフィグレーションレジスタ PCI_INT_ENABLE レジスタ（ビット[19]（USBH_PMEEN））

(5) U2F_INT 制御レジスタ

本レジスタは、AHB-EPC ブリッジで生成される割り込みを示します。AHB-EPC ブリッジレジスタを使用して、割り込みのステータスのチェック、および割り込みのクリアと有効化を行います。

表 10.129 U2F_INT 制御レジスタ

Control	ターゲットレジスタ
割り込みのステータスのチェックおよびクリア	AHBBINT レジスタ
割り込みの有効化	AHBBINTEN レジスタ

(6) U2F_EPC_INT 制御レジスタ

本レジスタは、EPC で生成される割り込みを示します。EPC レジスタを使用して、割り込みのステータスのチェック、および割り込みのクリアと有効化を行います。

表 10.130 U2F_EPC_INT 制御レジスタ

Control	ターゲットレジスタ
割り込みのステータスのチェックおよびクリア	USB 割り込みステータスレジスタ EP0/EP[m]ステータスレジスタ
割り込みの有効化	USB 割り込みイネーブルレジスタ EP0/EP[m]割り込みイネーブルレジスタ

10.6.4.2 割り込み信号の概要

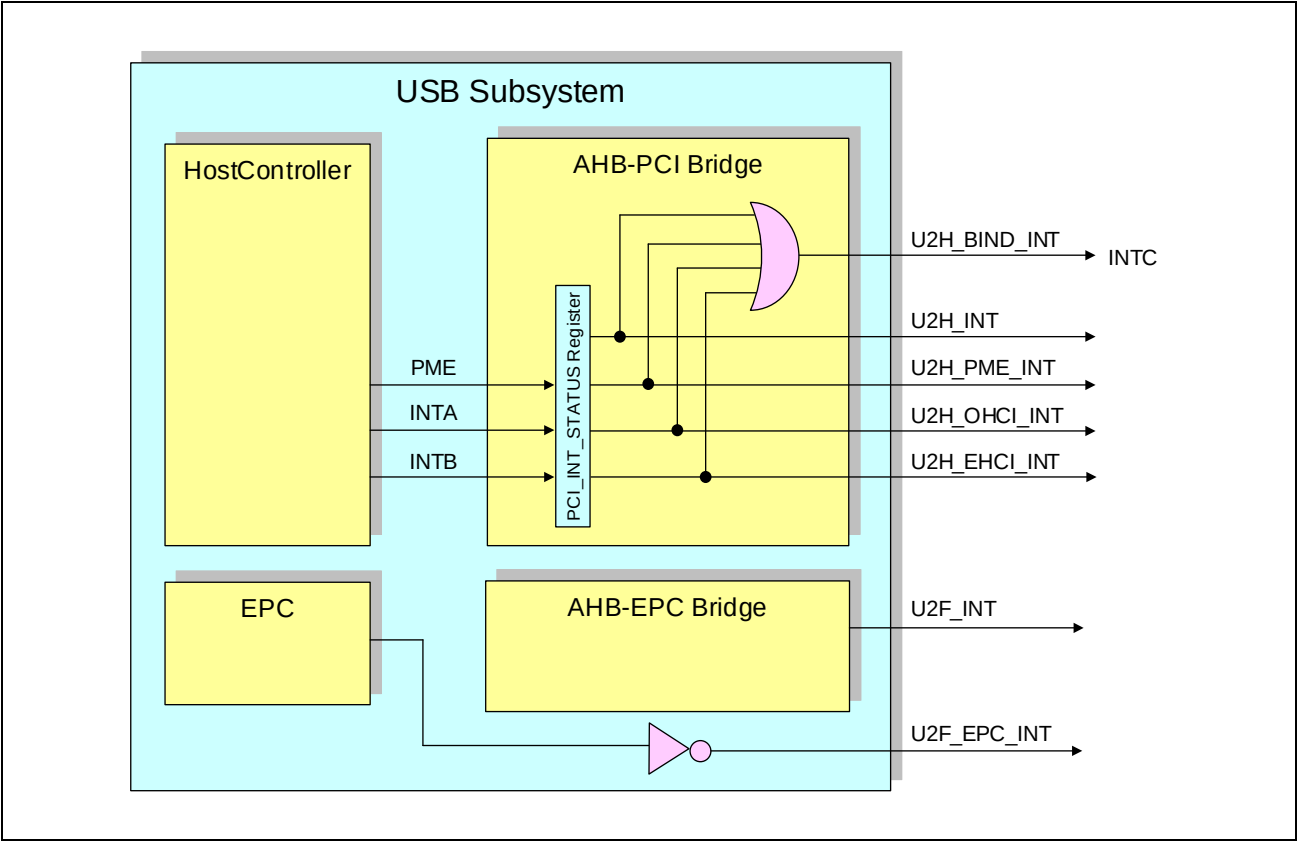


図 10.7 割り込み信号の概要

10.6.4.3 割り込み信号のクリアタイミング

AHB-PCI ブリッジには Posted Write が実装されているため、ホストコントローラまたはファンクションコントローラにより生成された割り込みが、クリアレジスタを設定しても直ちにはクリアされず、同じ割り込み状態が複数回にわたって認識されることがあります。

この状況を回避するには対策が必要です。

たとえば、割り込みクリアレジスタ (a) にアクセスした後で、ホストコントローラまたはファンクションコントローラのレジスタ (b) にアクセスする方法があります。処理 (b) は処理 (a) が完了するまで待機します。その結果、割り込みは (b) のアクセスの完了時に確実にクリアされます。

(1) ホストコントローラ

U2H_OHCI_INT、U2H_EHCI_INT、および U2H_PME_INT は、クリアレジスタの設定の直後にはクリアされません。

USB_HCLKH=125MHz および USB_PCICLK=25MHz なら、割り込みは通常はクリアレジスタ設定後の約 360ns 以内にクリアされます。

ホストコントローラが内部の PCI バスでマスタとして転送を実行中の場合、割り込みのクリアにはワーストケースで約 1.6us ($36\text{CLK@USB\_PCICLK} + 3\text{CLK@USB\_HCLKH} + 2\text{CLK@12MHz}$) を要します。

(2) ファンクションコントローラ

USB_HCLKF=125MHz なら、割り込みは通常はクリアレジスタ設定後の約 180ns 以内にクリアされます。

ファンクションコントローラが AHB-EPC と EPC 間で DMA 転送中の場合、割り込みのクリアにはワーストケースで約 610us ($35\text{CLK@60MHz} + 3\text{CLK@USB\_HCLKF}$) を要します。

10.6.5 過電流制御および VBUS 制御

10.6.5.1 過電流制御

本項では、USB ポートの過電流検出および VBUS 制御に使用される外部回路を制御するための、USB_OC および USB_PPON 信号の動作について説明します。

(1) USB_OC および USB_PPON 信号の機能

表 10.131 に、USB_OC および USB_PPON 信号の機能を示します。

USB_OC2 および USB_PPON2 信号は、サブシステムが USB インタフェースのポート 1 ホスト／ポート 2 ホストとして使用されている場合に、ポート 2 ホストのみの過電流を制御します。USB インタフェースのポート 1 ファンクション／ポート 2 ホストとして使用される場合は、ホストで使用されるポート数は 1 つであるために、ポート 2 ホストの過電流は USB_OC1 および USB_PPON1 信号で制御されます。

表 10.131 USB_OC および USB_PPON

USB インタフェース	ピン	I/O	レベル	機能
ポート 1 ファンクション／ ポート 2 ホスト	USB_OC1	入力	1	ポート 2 過電流を検出していない
			0	ポート 2 過電流を検出
	USB_OC2	入力	PU	
	USB_PPON1	出力	1	ポート 2 VBUS 電源 ON
			0	ポート 2 VBUS 電源 OFF
	USB_PPON2	出力	OPEN	
ポート 1 ホスト／ポート 2 ホスト	USB_OC1	入力	1	ポート 1 過電流を検出していない
			0	ポート 1 過電流を検出
	USB_OC2	入力	1	ポート 2 過電流を検出していない
			0	ポート 2 過電流を検出
	USB_PPON1	出力	1	ポート 1 VBUS 電源 ON
			0	ポート 1 VBUS 電源 OFF
	USB_PPON2	出力	1	ポート 2 VBUS 電源 ON
			0	ポート 2 VBUS 電源 OFF

(2) PPON 出力信号のアサート／デアサート条件

図 10.8 に、USB_OC1 および USB_PPON1 がアサートおよびデアサートされる条件のタイミングチャートを示します。

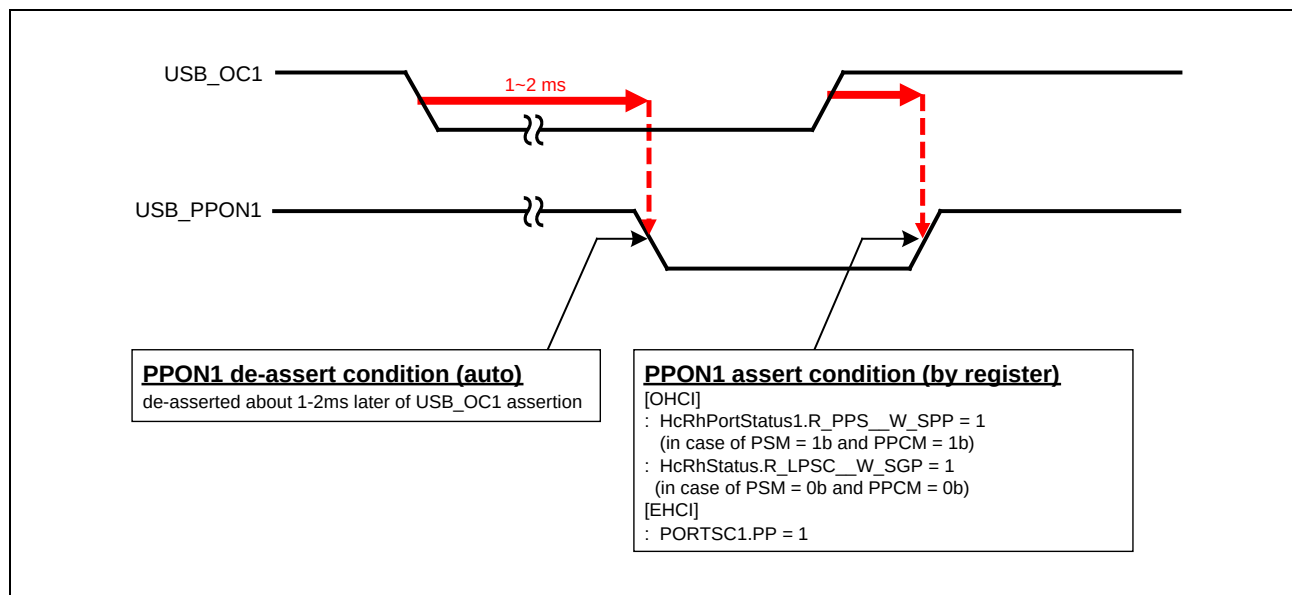


図 10.8 USB_OC1 および USB_PPON1 のアサート、デアサートのタイミングチャート

このタイミングチャートは、USB_OC2 および USB_PPON2 のアサートおよびデアサートにも適用されます。

この図は、USB インタフェースのポート 1 のタイミングチャートです。ポート 2 を使用する際は、以下のポート 2 レジスタについても同様な処理を行ってください。

- HcRhPortStatus2 レジスタ
- PORTSC2 レジスタ

USB_OC1/OC2 がデアサートされても、USB_PPON1/PPON2 が自動的にアサートされることはありません。USB_PPON1/PPON2 は、USB_OC1/OC2 がデアサート後、ソフトウェアでポート電源ビットをセットするとアサートされます。

10.6.5.2 VBUS 制御

ペリフェラル回路の接続によっては、USB_OC1/PPON1 および USB_OC2/PPON2 ピンをハイサイドスイッチに接続して USB ポートを使用しないときに、VBUS を停止して消費電力を削減することが可能です。表 10.132 に、USB_PPON1/PPON2 と VBUS の関係を示します。

表 10.132 PPON1/PPON2 と VBUS の関係

USB インタフェース	PPON	VBUS
ポート 1 ファンクション/ ポート 2 ホスト	USB_PPON1=0b	ポート 2 VBUS は停止
	USB_PPON1=1b	ポート 2 VBUS は稼働
ポート 1 ホスト/ポート 2 ホ スト	USB_PPON1=0b	ポート 1 VBUS は停止
	USB_PPON1=1b	ポート 1 VBUS は稼働
	USB_PPON2=0b	ポート 2 VBUS は停止
	USB_PPON2=1b	ポート 2 VBUS は稼働

USB_OC1/OC2 がアサートされたときの USB_PPON1/PPON2 の動作は、PCI コンフィグレーションレジスタおよび OHCI オペレーションレジスタの設定により異なります。表 10.133 に、レジスタ設定と USB_PPON1/PPON2 の関係を示します。

表 10.133 レジスタ設定と USB_PPON1/PPON2 の関係

PCI コンフィグ レーション レジスタ	OHCI オペレーションレジスタ				PPON 出力ピンの動作		
EXT1 レジスタ	HcRhDescriptorA レジスタ			HcRhDescriptorB レジスタ			
PPCNT ビット	NOCP ビット	NPS ビット	PSM ビット	PPCM			
				ビット 1	ビット 0	USB_PPON2	USB_PPON1
0	—	—	—	—	—	1b に固定	
—	1	—	—	—	—	1b に固定	
—	—	1	—	—	—	1b に固定	
1	0	0	0	—	—	USB_PPON1 および USB_PPON2 は USB_OC1 または USB_OC2 の 0b へのアサートによりデアサート（1b から 0b）	
			1	0	0	USB_PPON1 および USB_PPON2 は USB_OC1 または USB_OC2 の 0b へのアサートによりデアサート（1b から 0b）	
				0	1	USB_PPON2 は USB_OC1 または USB_OC2 の 0b へのアサートによりデアサート（1b から 0b）	USB_PPON1 は USB_OC1 の 0b へのアサートによりデアサート（1b から 0b）
				1	0	USB_PPON2 は USB_OC2 の 0b へのアサートによりデアサート（1b から 0b）	USB_PPON1 は USB_OC1 または USB_OC2 の 0b へのアサートによりデアサート（1b から 0b）
				1	1	USB_PPON2 は USB_OC2 の 0b へのアサートによりデアサート（1b から 0b）	USB_PPON1 は USB_OC1 の 0b へのアサートによりデアサート（1b から 0b）

備考 NPS=1b の場合、ホストコントローラは過電流を検出します。ただし USB_PPON1/PPON2 はデアサートしません。

10.6.5.3 PPON による過電流検出

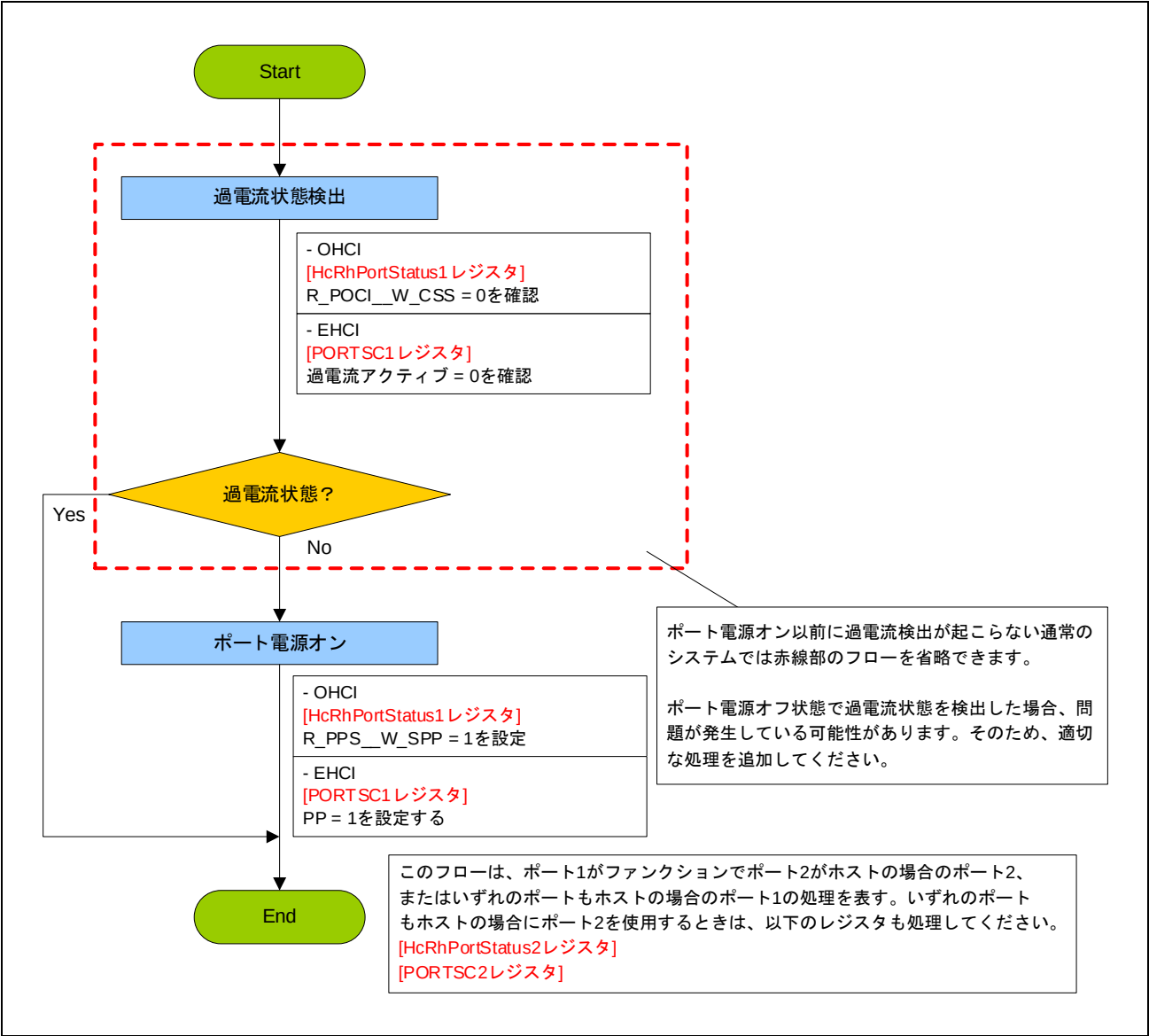


図 10.9 PPON による過電流検出

10.6.5.4 PPON の設定フロー

図 10.10 に、システム起動時に OCI がアクティブ（0b）であるときの PPON の設定フローを示します。

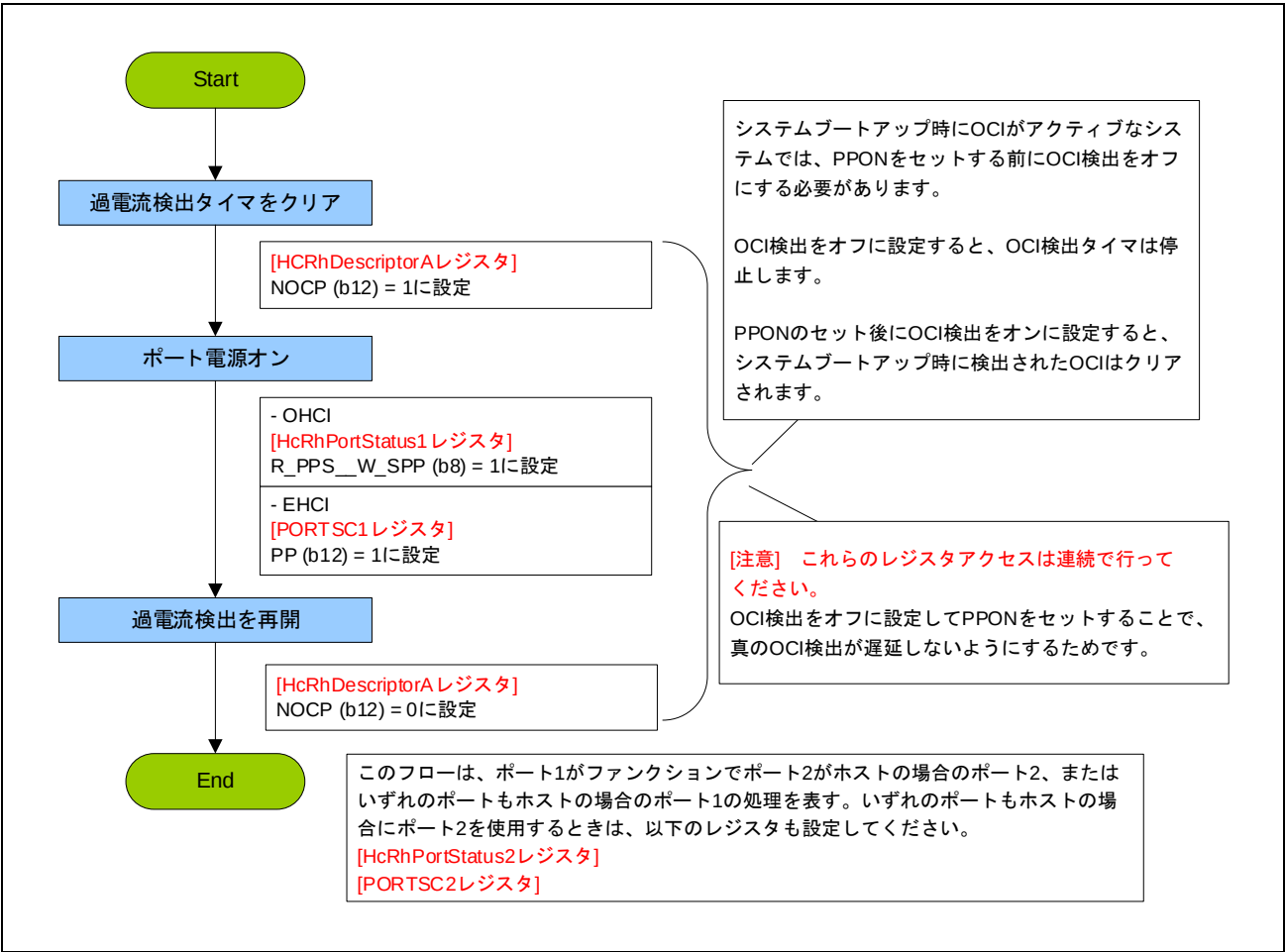


図 10.10 PPON の設定フロー

10.6.6 VBUS の検出

10.6.6.1 VBUS 検出の外部回路

USB ファンクションポートの VBUS レベルを検出するには、外部回路が必要です。

外部回路では 5V から 3V に変換し、チャタリングを防止した後、USB_VBUS 端子へ入力してください。

10.6.6.2 VBUS の検出パート

VBUS の検出は、AHB-EPC ブリッジのレジスタで設定します。EPCTR レジスタのビット[8]

(VBUS_LEVEL) により、USB_VBUS 信号のステータスをチェックします。USB_VBUS 信号のステータス
が変化すると、AHBBINT レジスタのビット[13] (VBUS_INT) の割り込みが生成されます。

AHB-EPC ブリッジの VBUS 検出回路は USB_HCLKPM 信号と同期するため、AHB クロック

(USB_HCLKF) またはファンクションコントローラへのクロック供給が停止している場合でも、割り込み
の生成が可能です。

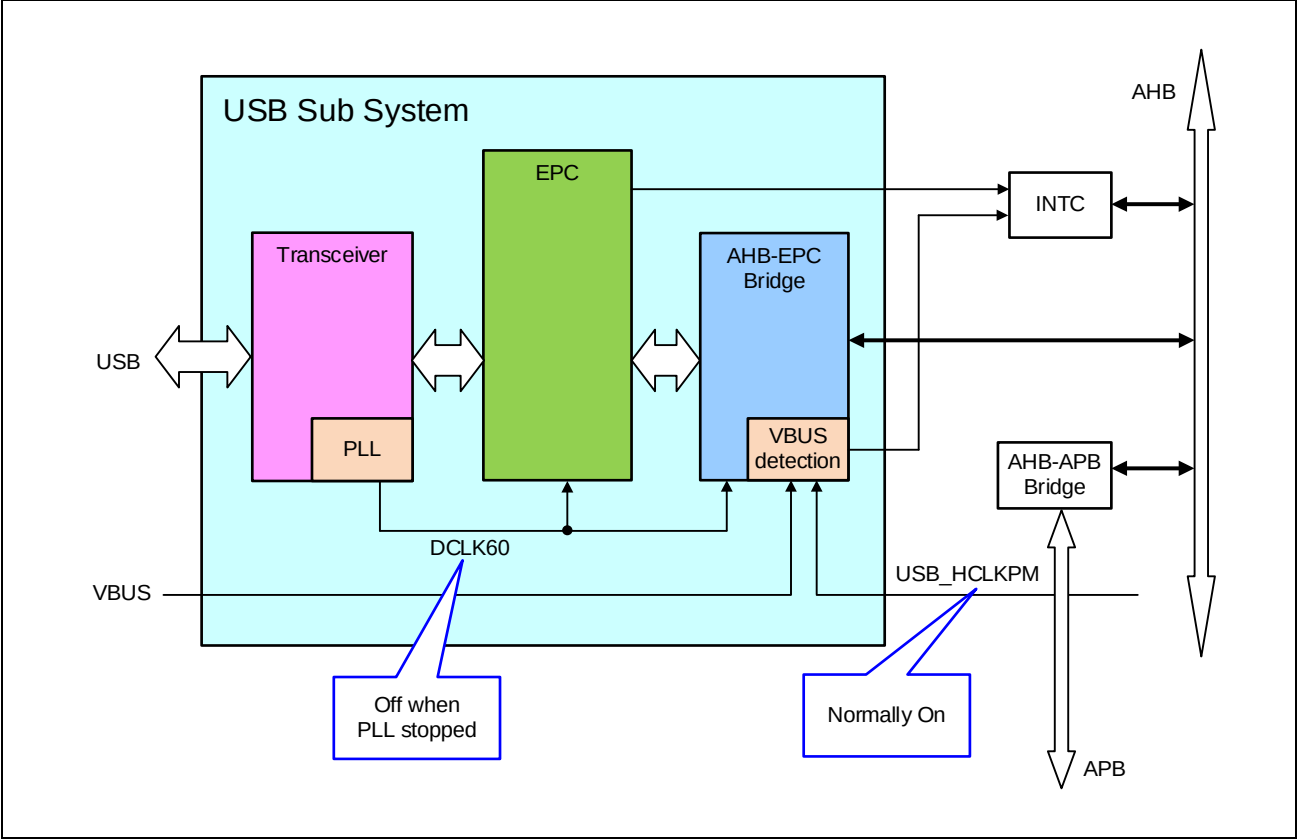
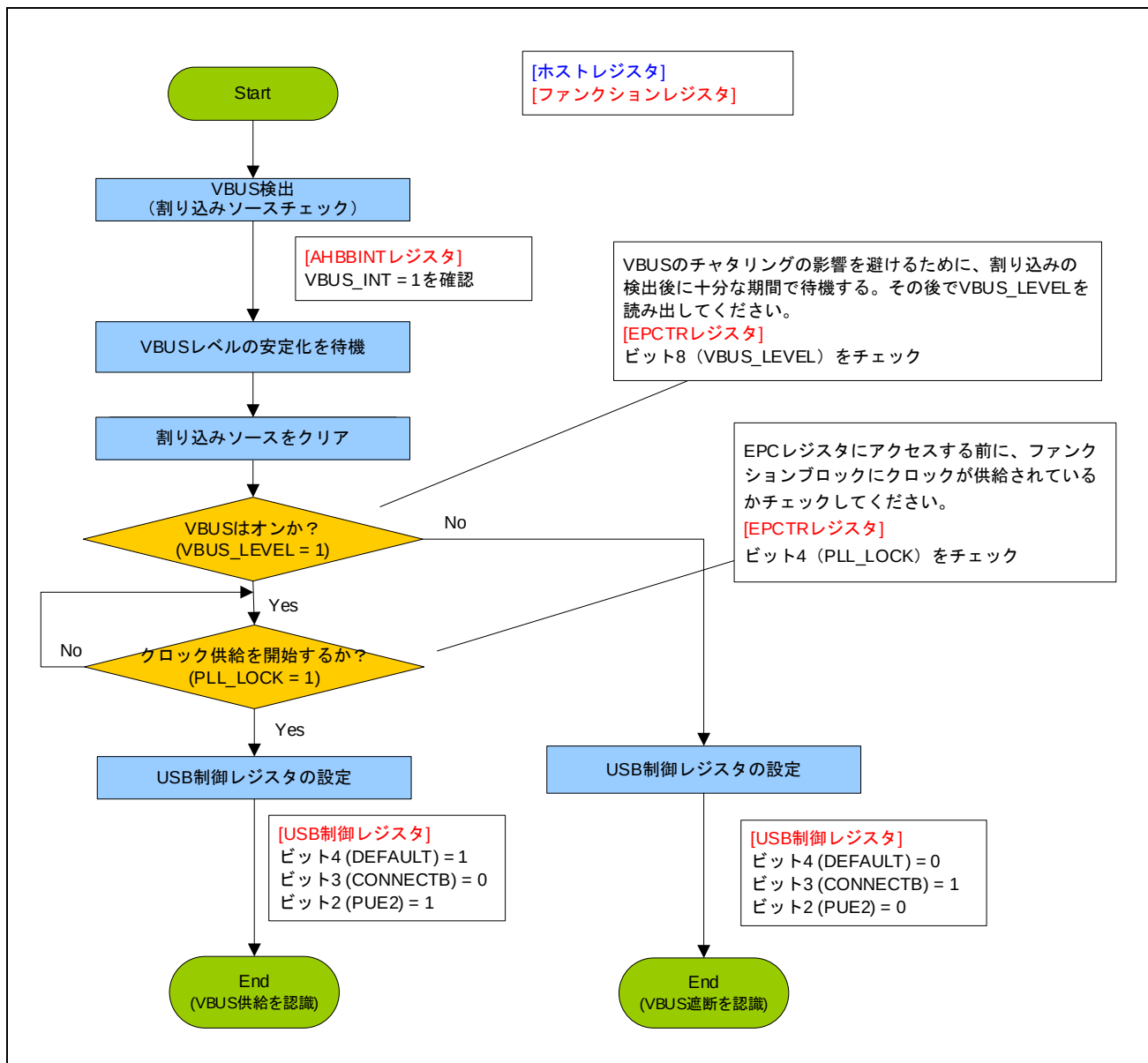


図 10.11 VBUS 検出パートのイメージ

10.6.6.3 VBUS の検出フロー



注 意

1. Suspend ステート（ファンクションコントローラへのクロック供給は停止）で USB を Disconnect した場合は、EPCTR レジスタのビット[0]（EPC_RST）によりファンクションコントローラをリセットしてください。
2. 外部回路が組み込まれていないときのチャタリング期間は、最大で約 100ms です。
外部回路が組み込まれているときでも、USB_VBUS が安定状態になるまでの期間はシステムにより異なります。
したがって、実際のシステムでチャタリング期間を評価することが推奨されます。

10.6.7 パワーマネジメント

本項では、ホストコントローラおよびファンクションコントローラのパワーマネジメント、および USB ポートのイベントを検出する必要がないときに使用されるダイレクトパワーダウン（PLL 停止）機能について説明します。

10.6.7.1 ホストコントローラのパワーマネジメント

ホストの稼働が休止しているときは、ホストコントローラへの電源供給、およびサブシステムの PCI クロック（USB_PCICLK）を停止することで、消費電力を削減することが可能です。サブシステムには、AHB-PCI ブリッジのレジスタを使用して PCI クロックを制御するための、USB_PCICLK マスク回路が組み込まれています。

(1) パワーダウン（ホストコントローラ）

以下に、ホストコントローラの電源を停止するための手順の例を示します。

(a) OHCI 使用時

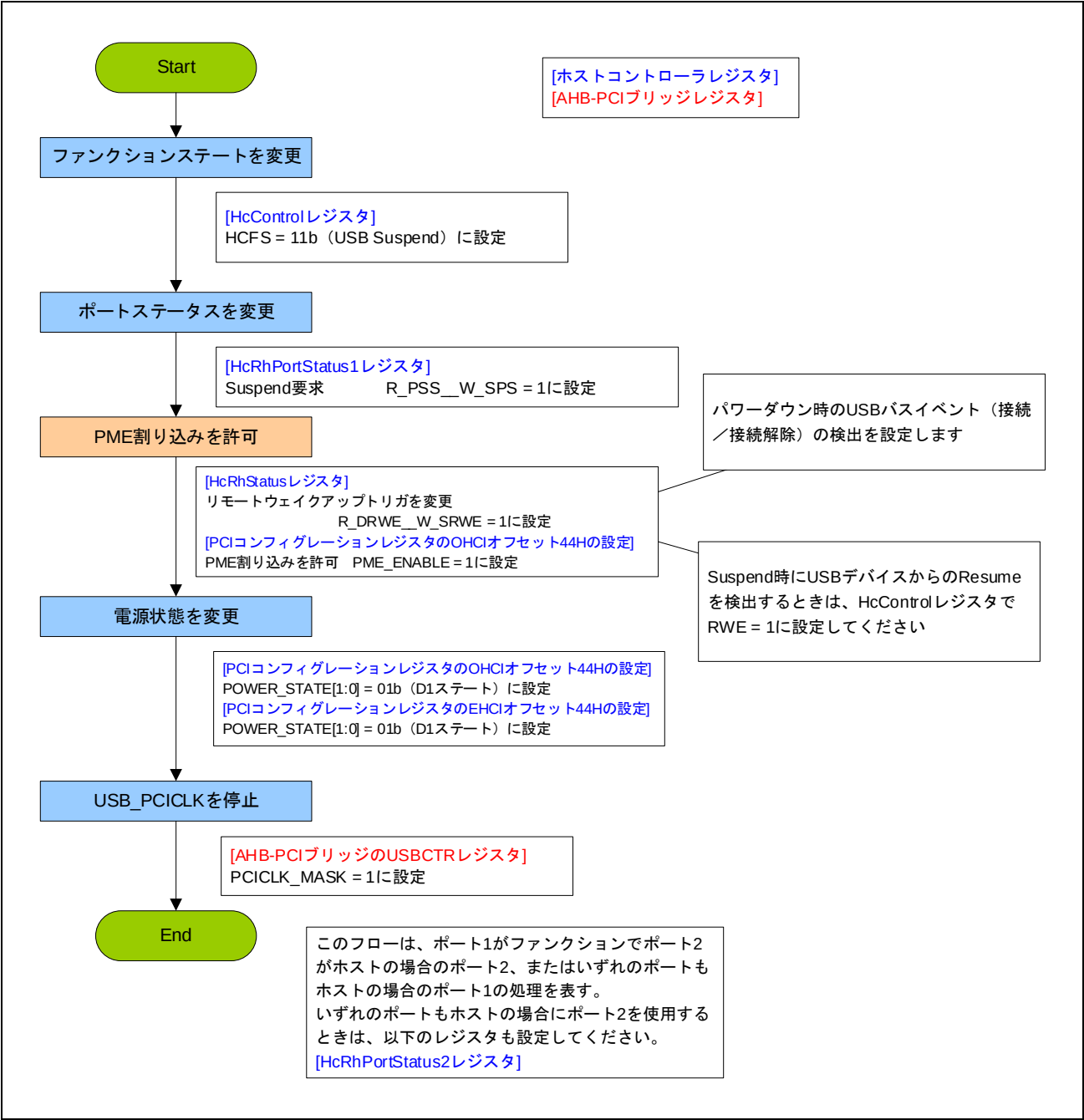


図 10.13 ホストコントローラのパワーダウフロー（OHCI 使用時）

(b) EHCI 使用時

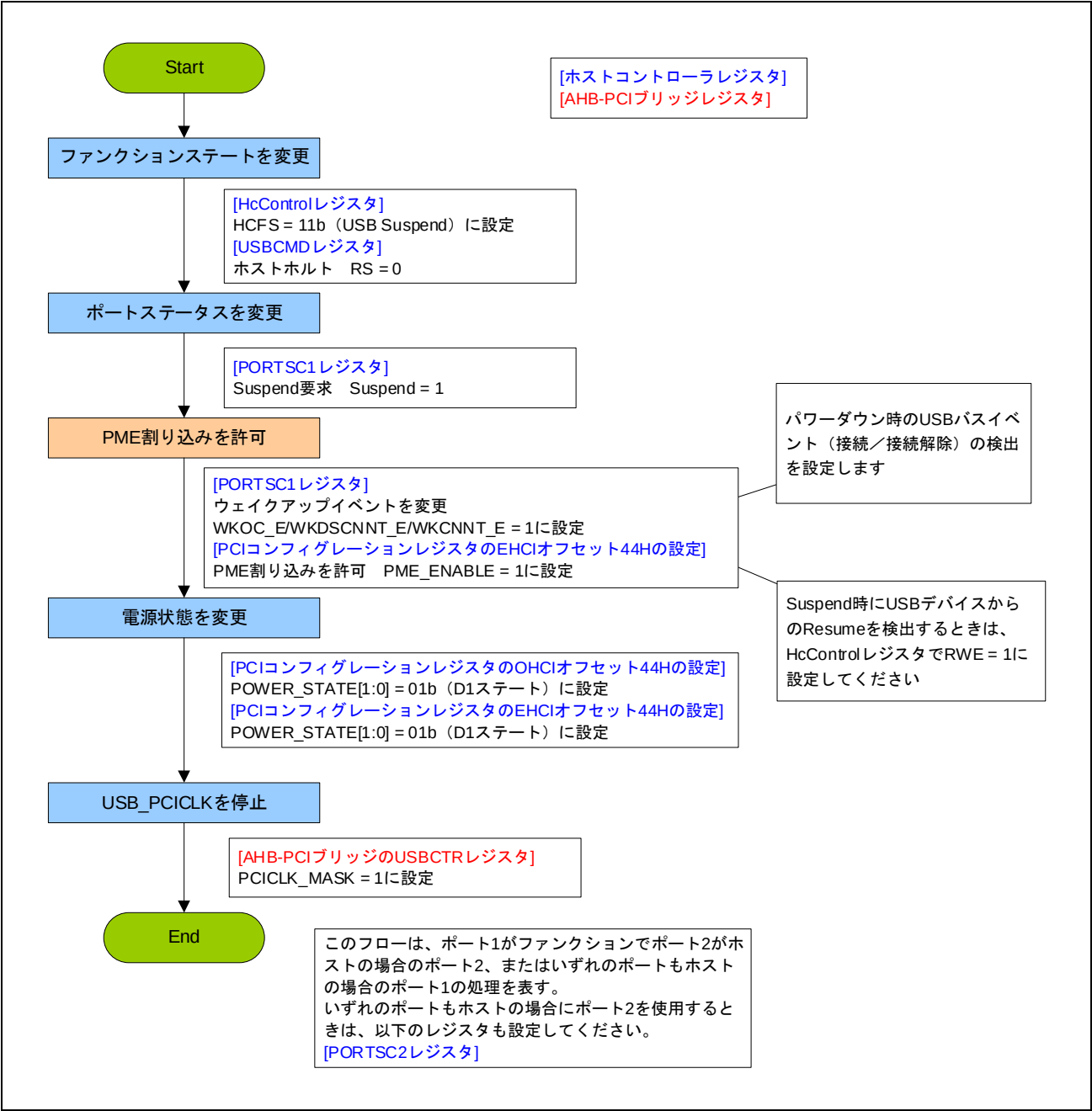


図 10.14 ホストコントローラのパワーダウンフロー（EHCI 使用時）

(2) パワーアップ（ホストコントローラ）

以下に、ホストコントローラの電源を投入するための手順の例を示します。ホストコントローラの電源を停止した後で電源を回復するには、電源停止とは逆の手順でレジスタを設定します。

(a) OHCI 使用時

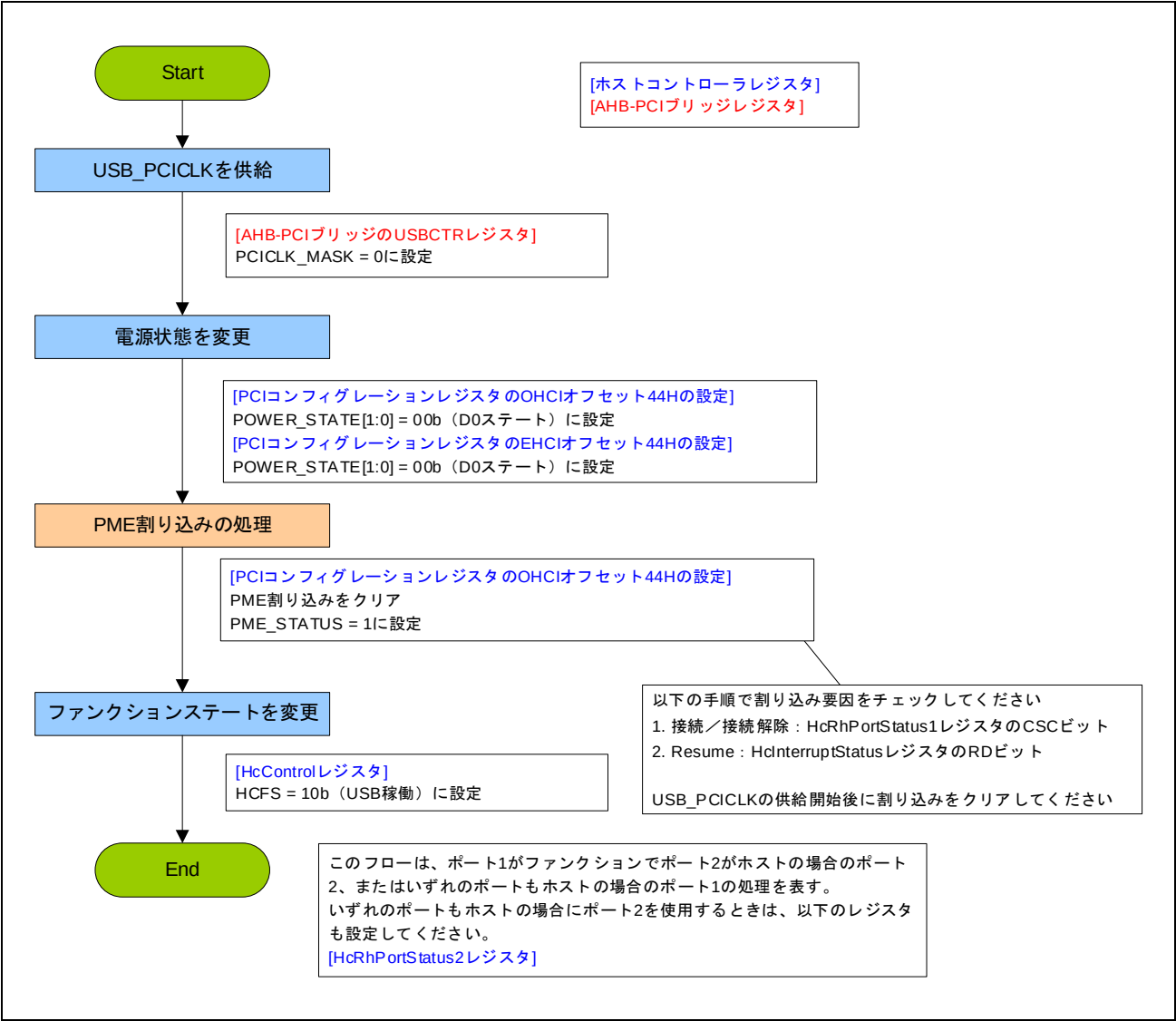


図 10.15 ホストコントローラのパワーアップフロー（OHCI 使用時）

(b) EHCI 使用時

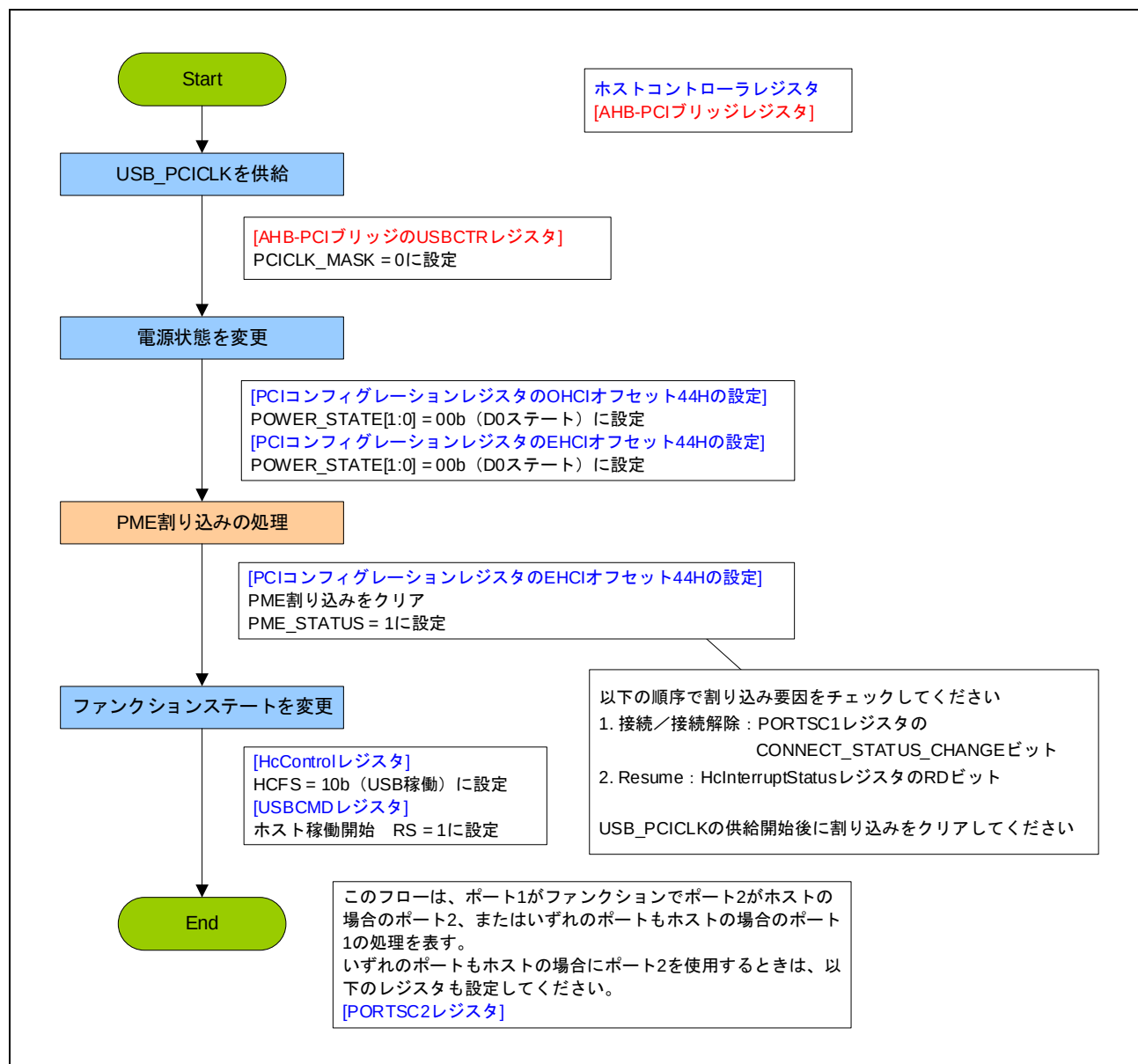


図 10.16 ホストコントローラのパワーアップフロー (EHCI 使用時)

備 考

電源を投入するときは、USBCMD レジスタの PERIODIC_SCHEDULE_ENABLE ビットを“1”にセットします。

10.6.7.2 ファンクションコントローラのパワーマネジメント

(1) パワーダウン（ファンクションコントローラ）

以下に、ファンクションコントローラの電源を停止するための手順の例を示します。

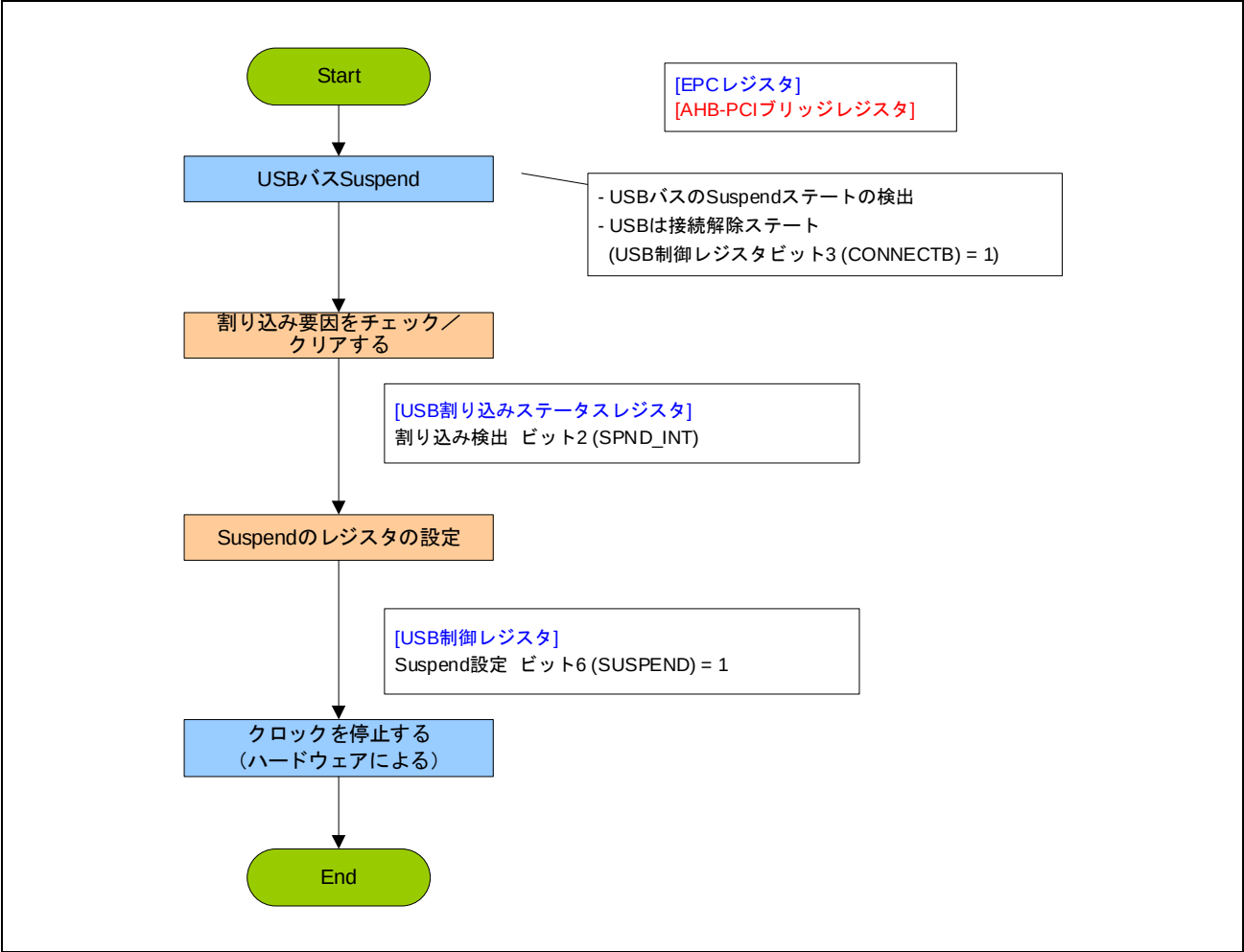


図 10.17 ファンクションコントローラのパワーダウンフロー

(2) パワーアップ (ファンクションコントローラ)

電源は、対向するホストからの Resume 信号またはリモートウェイクアップ機能を使用して、回復することが可能です。

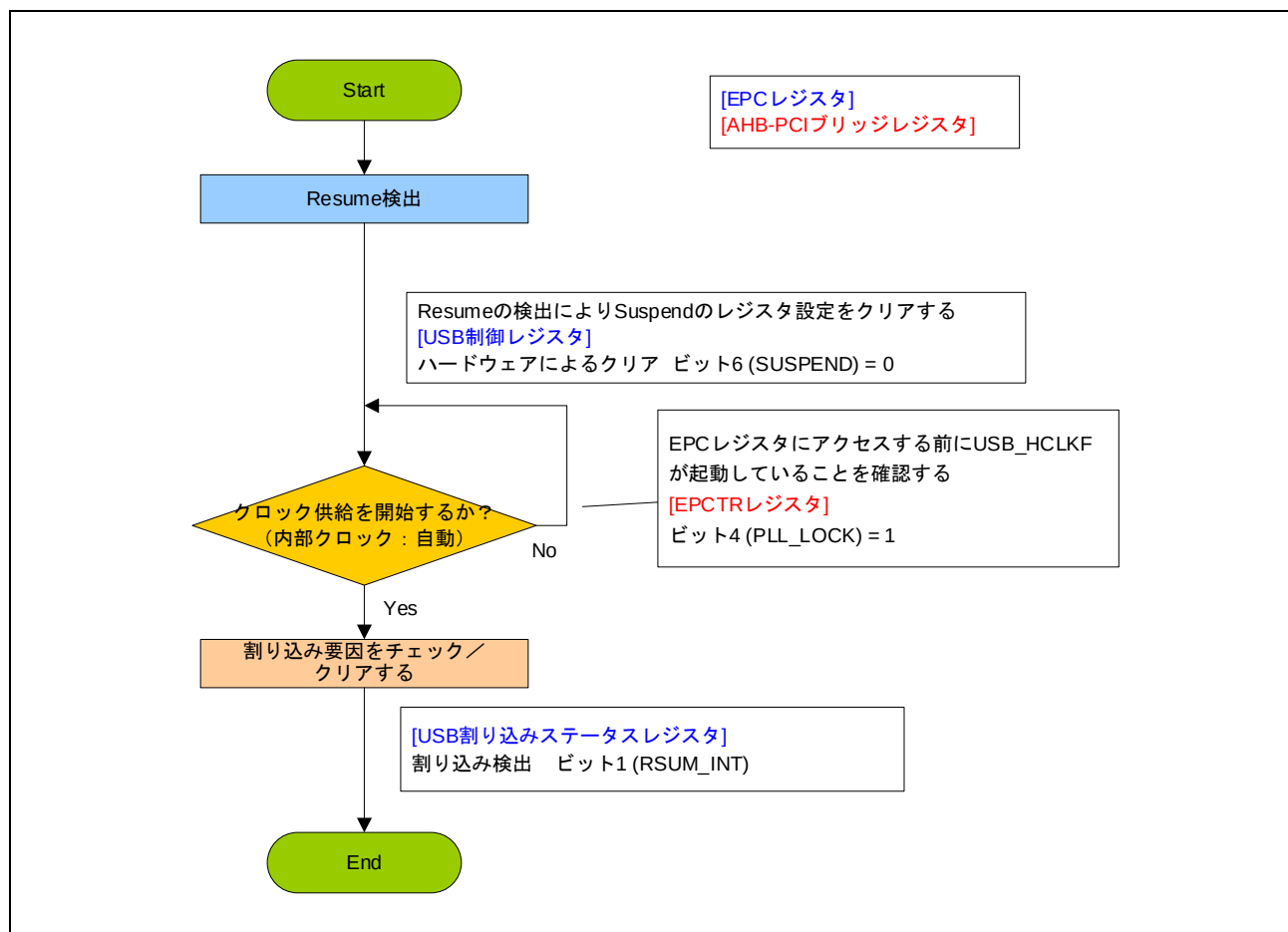
(a) RESUME

図 10.18 Resume 信号の検出によるパワーアップ

(b) リモートウェイクアップ

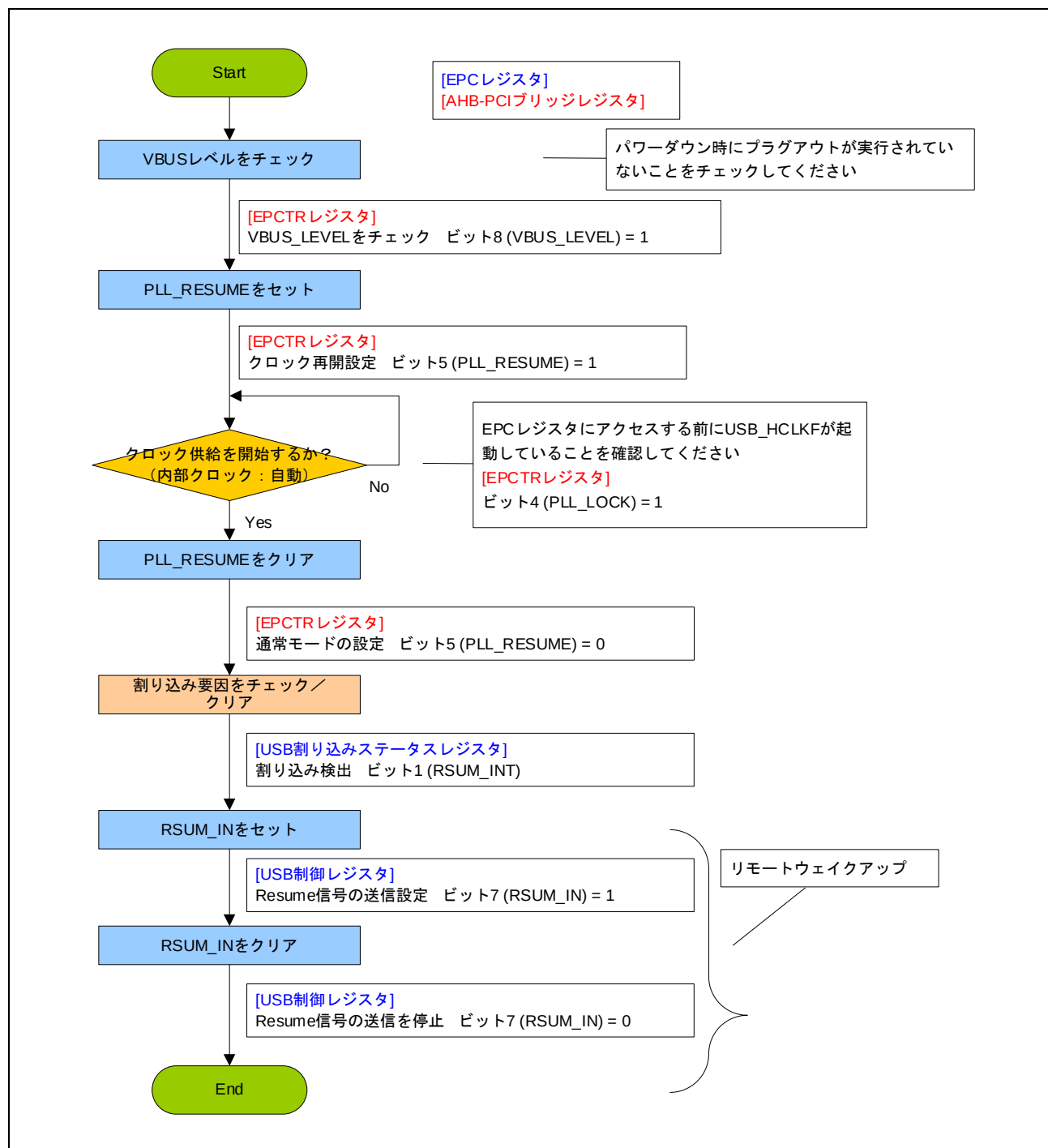


図 10.19 Resume 信号の検出によるパワーアップ (リモートウェイクアップ)

10.6.7.3 ダイレクトパワーダウン機能

サブシステムを使用しないときは、ダイレクトパワーダウン機能を使用して PLL を停止することで、消費電力を削減することが可能です。

(1) ダイレクトパワーダウンモードへの移行

図 10.20 に、ダイレクトパワーダウンモードへの移行手順を示します。消費電力を削減するには、USB_PCICLK の供給を停止することが推奨されます。

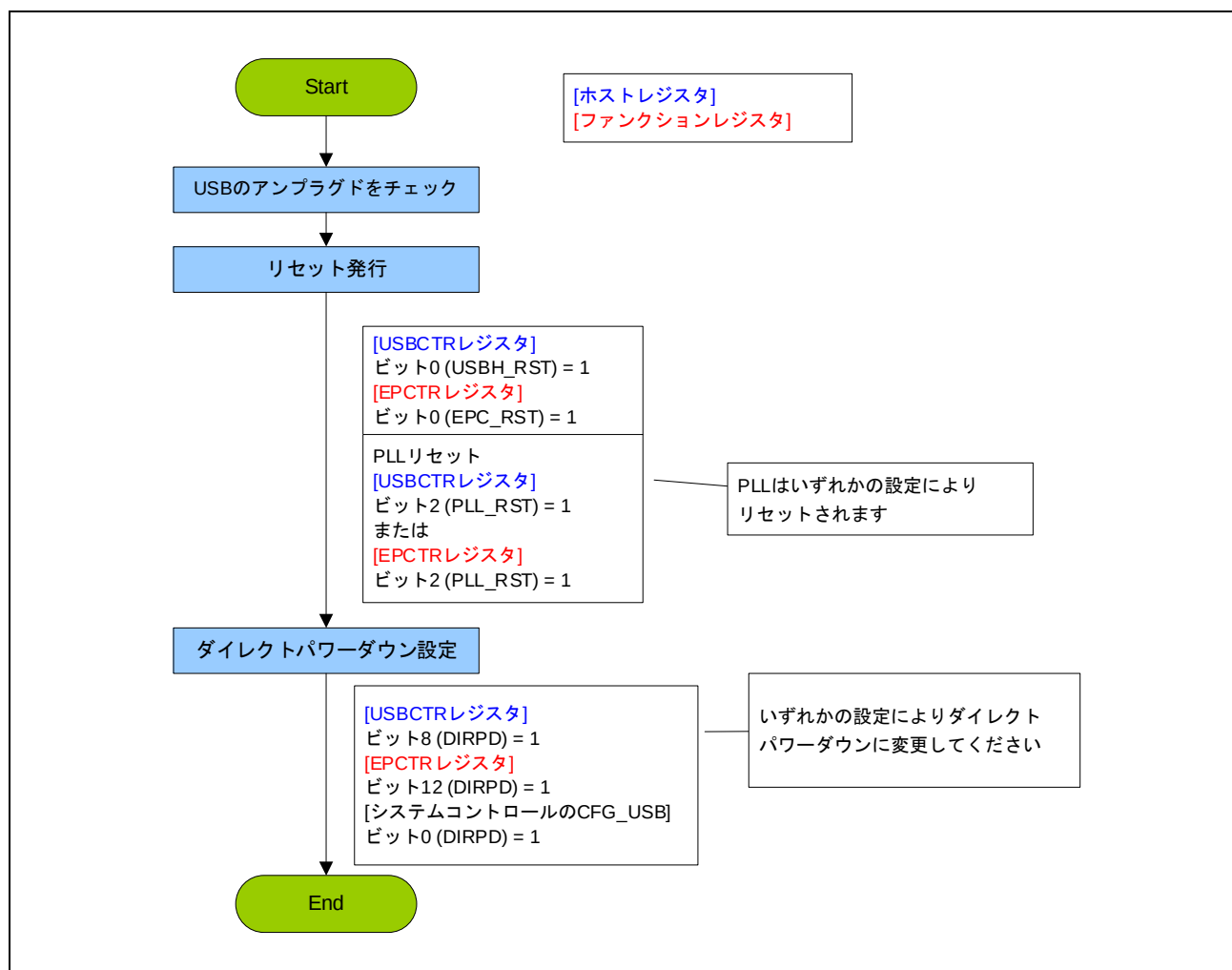


図 10.20 ダイレクトパワーダウンモードへの移行

USB サブシステムには DIRPD 入力および DIRPD レジスタビットがそれぞれあります。図 10.21 にその関係を示します。

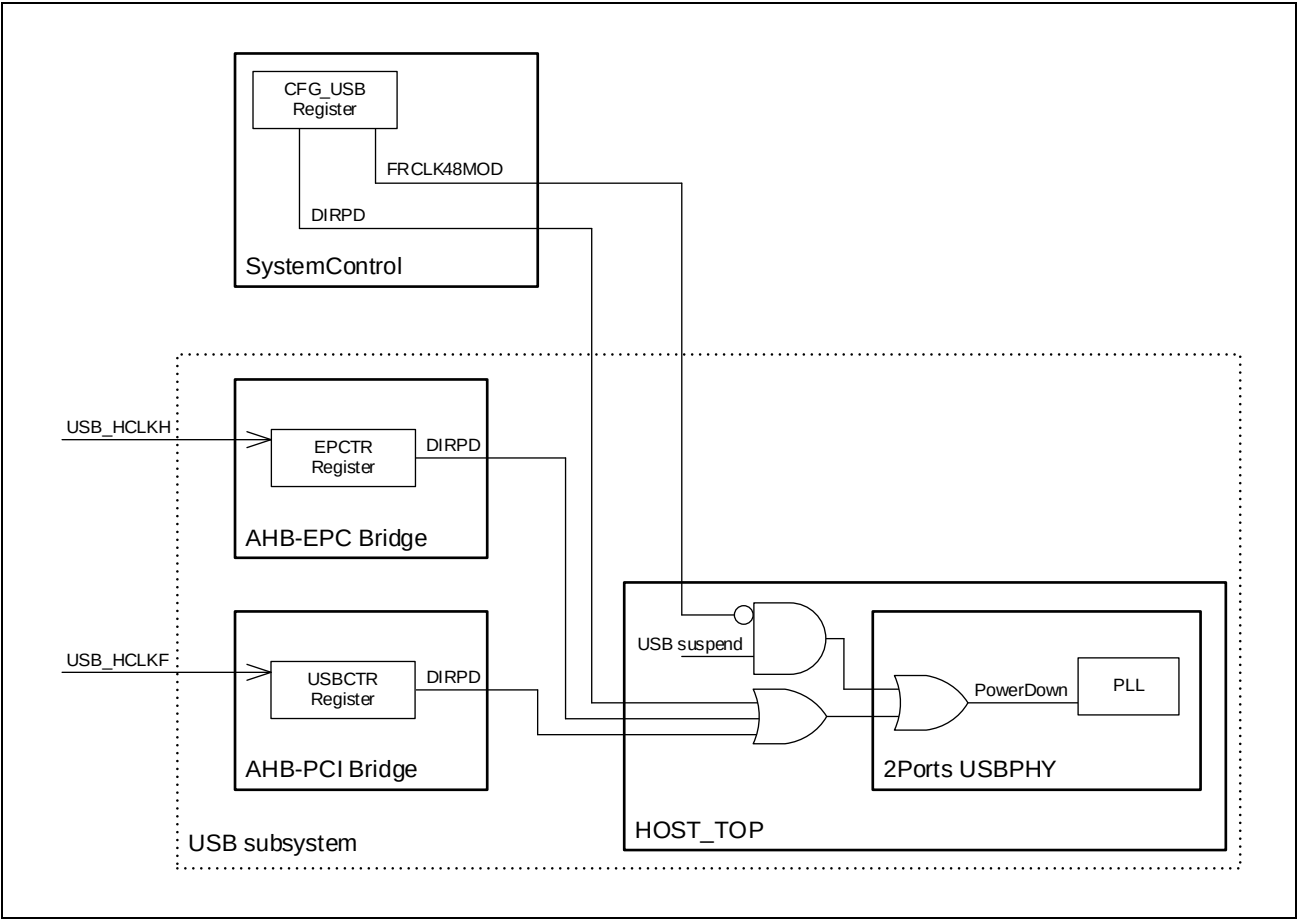


図 10.21 USB サブシステム - CFG_USB レジスタ

(2) ダイレクトパワーダウンモードの終了

図 10.22 に、ダイレクトパワーダウンモードの終了手順を示します。ソフトウェアリセットを要求するとダイレクトパワーダウンモードがキャンセルされます。

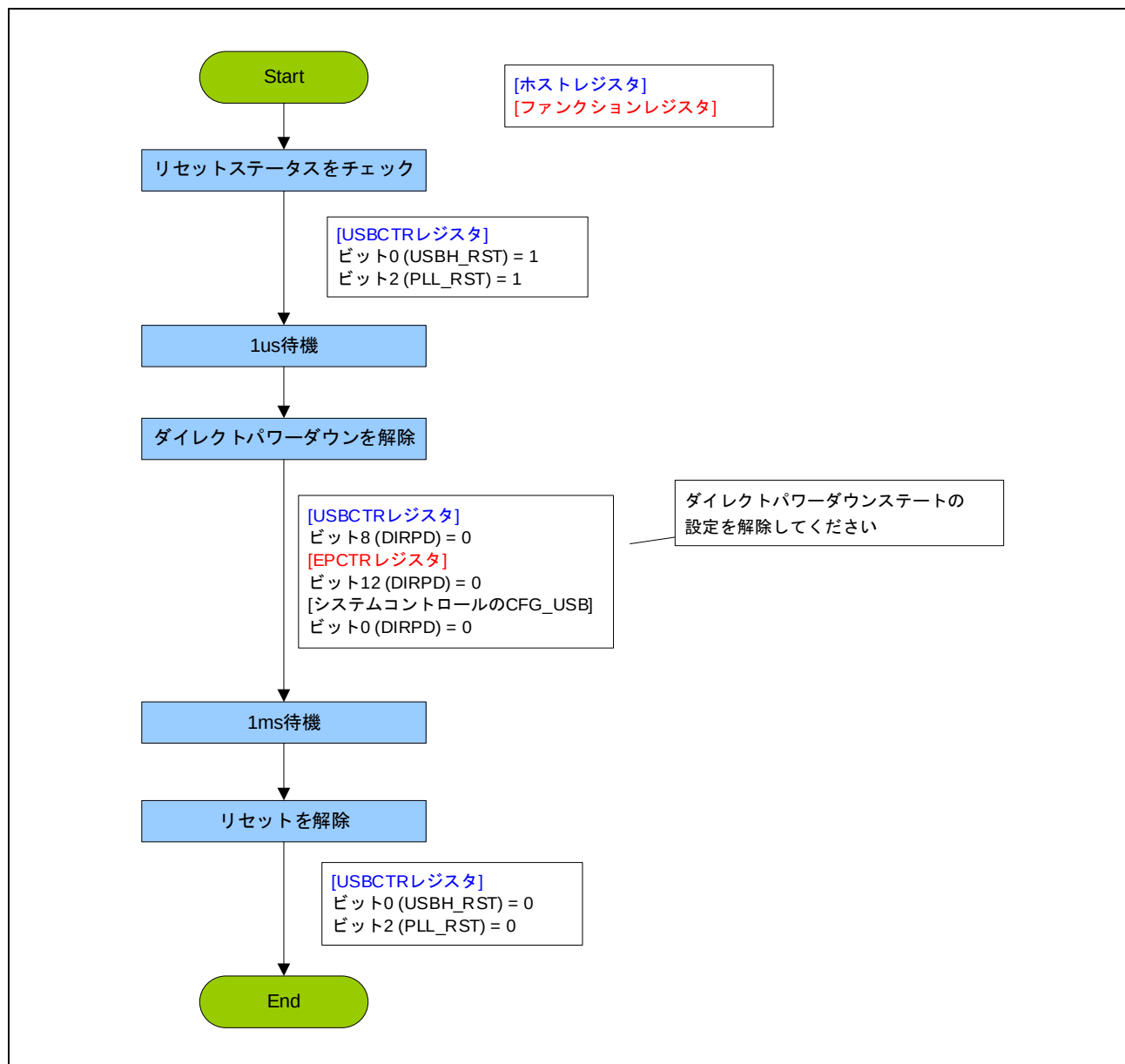


図 10.22 ダイレクトパワーダウンモードの終了（ホストコントローラ）

備 考

USB サブシステムには DIRPD 入力および DIRPD レジスタビットがそれぞれあります。

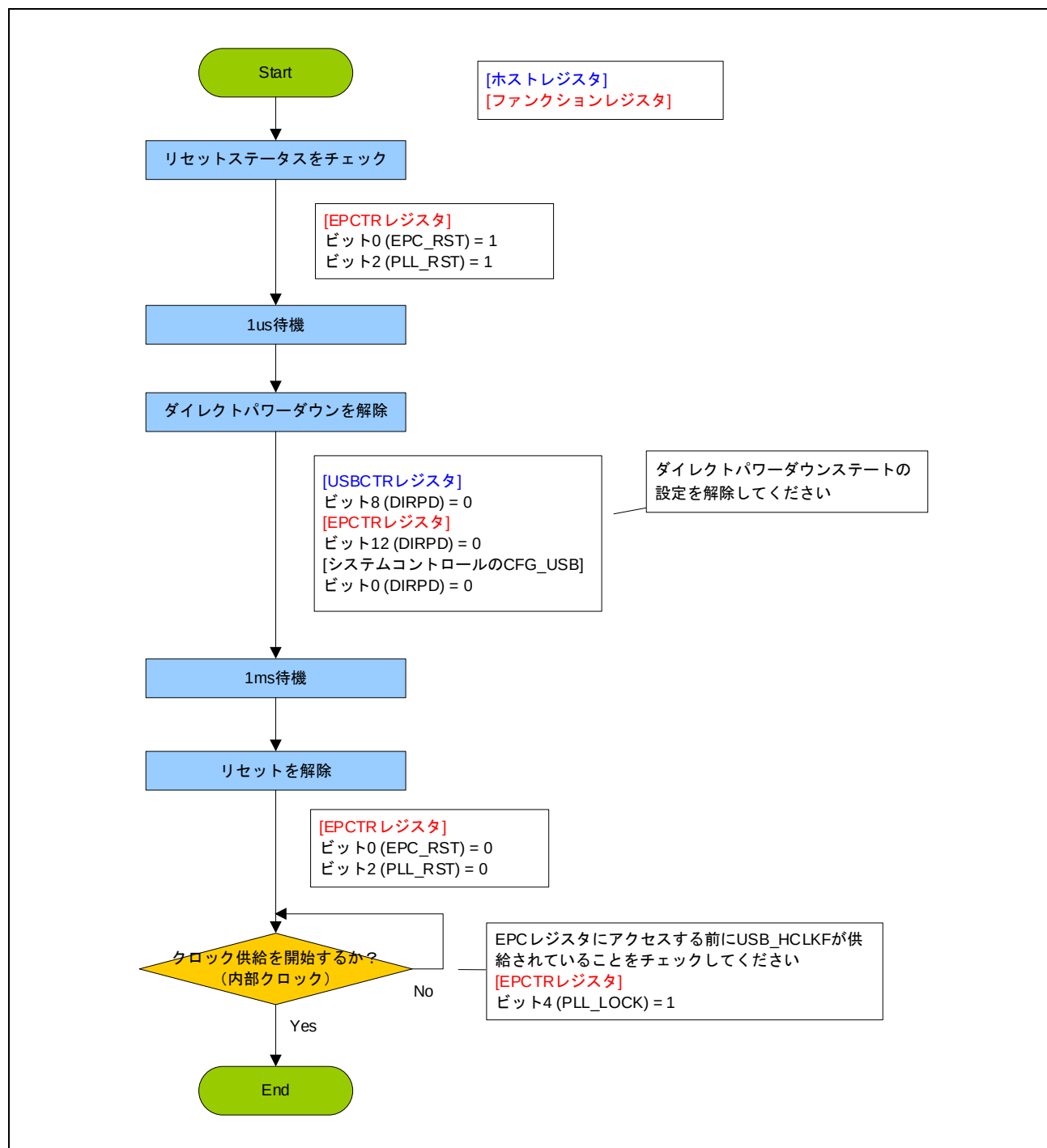


図 10.23 ダイレクトパワーダウンモードの終了（ファンクションコントローラ）

備 考

USB サブシステムには DIRPD 入力および DIRPD レジスタビットがそれぞれあります。

10.6.7.4 Suspend 状態遷移時の注意

Suspend 状態遷移直後に、USB ホストコントローラからの Resume 信号または BusReset 信号受信が発生する場合、Suspend 状態から復帰できない可能性があります。

タイミング競合が懸念される場合、以下のようにしてください。

- Suspend 状態時に USBPHY へのクロックを停止しない

Suspend 状態を検出しても、USB 制御レジスタのビット 6 (SUSPEND) に 1 をセットしないでください。

10.6.8 USB ファンクションのエンドポイントの設定

サブシステムのエンドポイントは以下のように実装されます。

タイプ、バッファは変更できません。方向と最大パケットサイズは、以下の設定を推奨します。

表 10.134 RZ/N1 の設定

エンドポイント	方向	タイプ	バッファ	最大パケットサイズ
EP0	IN/OUT	Control	シングル	64 バイト
EP1	IN	Bulk	ダブル	512 バイト
EP2	OUT	Bulk	ダブル	512 バイト
EP3	IN	Bulk	シングル	512 バイト
EP4	OUT	Bulk	シングル	512 バイト
EP5	IN	Bulk	シングル	512 バイト
EP6	IN	Interrupt	シングル	1024 バイト
EP7	IN	Interrupt	シングル	1024 バイト
EP8	IN	Interrupt	シングル	1024 バイト
EP9	IN	Interrupt	シングル	1024 バイト
EP10	IN	Isochronous	ダブル	1024 バイト
EP11	OUT	Isochronous	ダブル	1024 バイト
EP12	IN	Isochronous	ダブル	1024 バイト
EP13	OUT	Isochronous	ダブル	1024 バイト
EP14	IN	Isochronous	ダブル	1024 バイト
EP15	OUT	Isochronous	ダブル	1024 バイト

10.6.8.1 ベースアドレスの指定

エンドポイントバッファを RAM 領域にアロケートするときは、EP[m] MaxPacket および BaseAddress レジスタの EP[m]_BASEAD[12:0]フィールドを使用して、RAM のベースアドレスを指定します。この設定は各エンドポイントに必要です。

前記の表のケースでは、設定は各エンドポイントに対して以下のように指定されます。

- EP0 バッファは、常に RAM の 000h 以降の領域にアロケートされるため、レジスタの設定は不要です。
EP0 は 32 ワードを必要とするため、EP0 バッファは常に 000h～01Fh の領域にアロケートされます。
- EP0 バッファ領域に続いて、020h 以降の領域に EP1 バッファがアロケートされます。
- EP1 の MaxPacket および BaseAddress レジスタは以下のように指定します。
 - EP1_MPKT[10:0]=200h (512 バイト) (HS モード) または 040h (64 バイト) (FS モード)
 - EP1_BASEAD[12:0]=0020h
- EP1 バッファ領域 (0020h～011Fh) に続いて、0120h 以降の領域に EP2 バッファがアロケートされます。
- EP1 と同じ方法で EP2_MPKT[10:0]ビットを指定します。
- 同じように EP3 および以降のバッファ領域を指定します。

表 10.135 に、EP[m] MaxPacket および BaseAddress レジスタの設定例を示します。

表 10.135 ベースアドレス設定例

	EP[m]_BASEAD[12:0]	EP[m]_MPKT[10:0]	EP[m]MaxPacket および BaseAddress レジスタの指定値
EP0 (固定)	—	—	—
EP1	020h	200h(HS)/040h(FS)	0020_0200h (HS) 0020_0040h (FS)
EP2	120h	200h(HS)/040h(FS)	0120_0200h (HS) 0120_0040h (FS)
EP3	220h	008h	0220_0008h
EP4	222h	200h(HS)/040h(FS)	0222_0200h (HS) 0222_0040h (FS)
EP5	322h	200h(HS)/040h(FS)	0322_0200h (HS) 0322_0040h (FS)

10.6.9 動作手順

10.6.9.1 リセットシーケンス

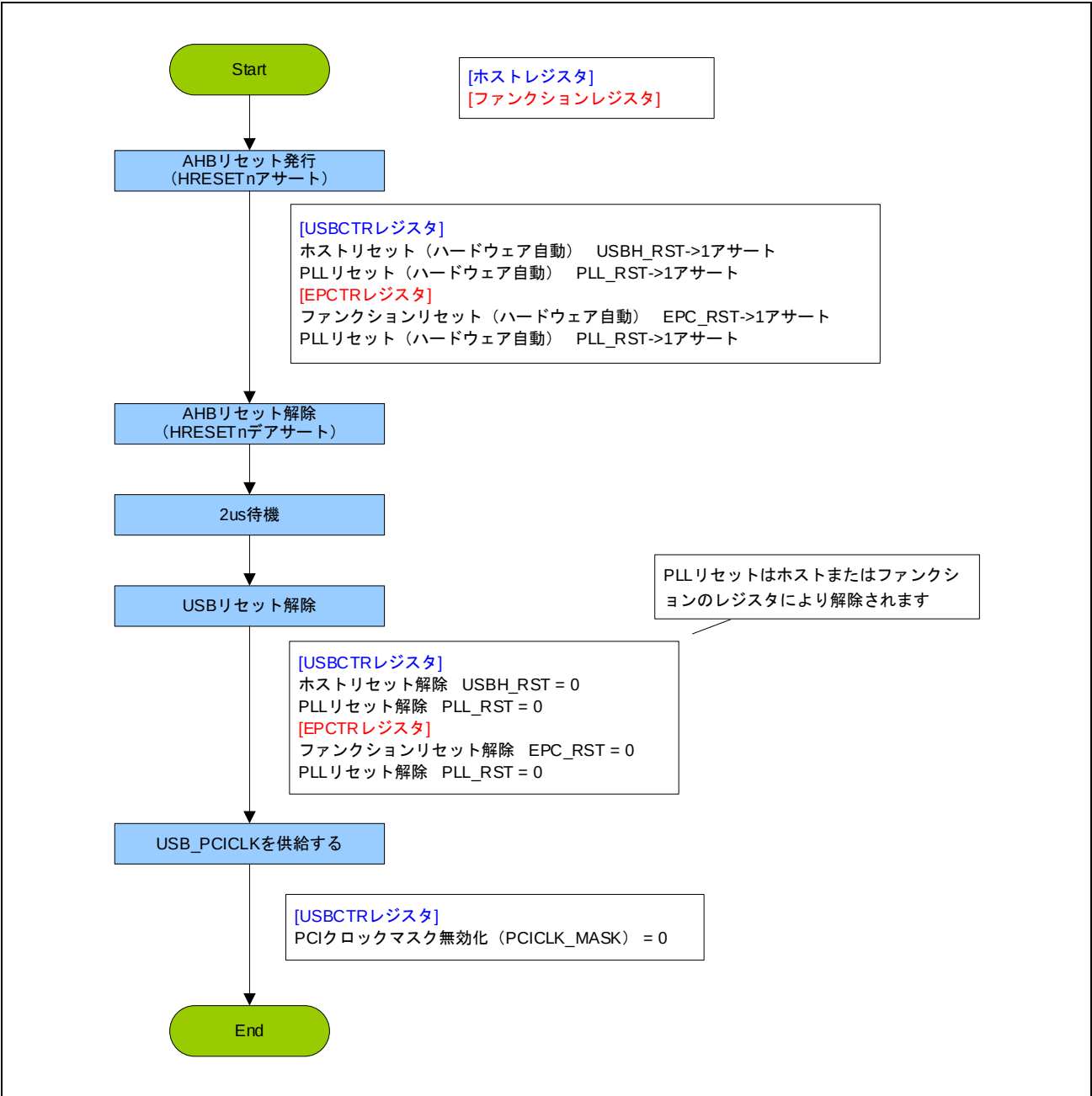


図 10.24 リセットシーケンス

10.6.9.2 初期設定シーケンス

(1) ホストコントローラの初期設定の例

以降では、次の機能を実現する場合の例を示します。

- AHB-PCI Window 2 レジスタによる OHCI/EHCI オペレーションレジスタのアクセス
- ホストコントローラから AHB バスへのデータ転送

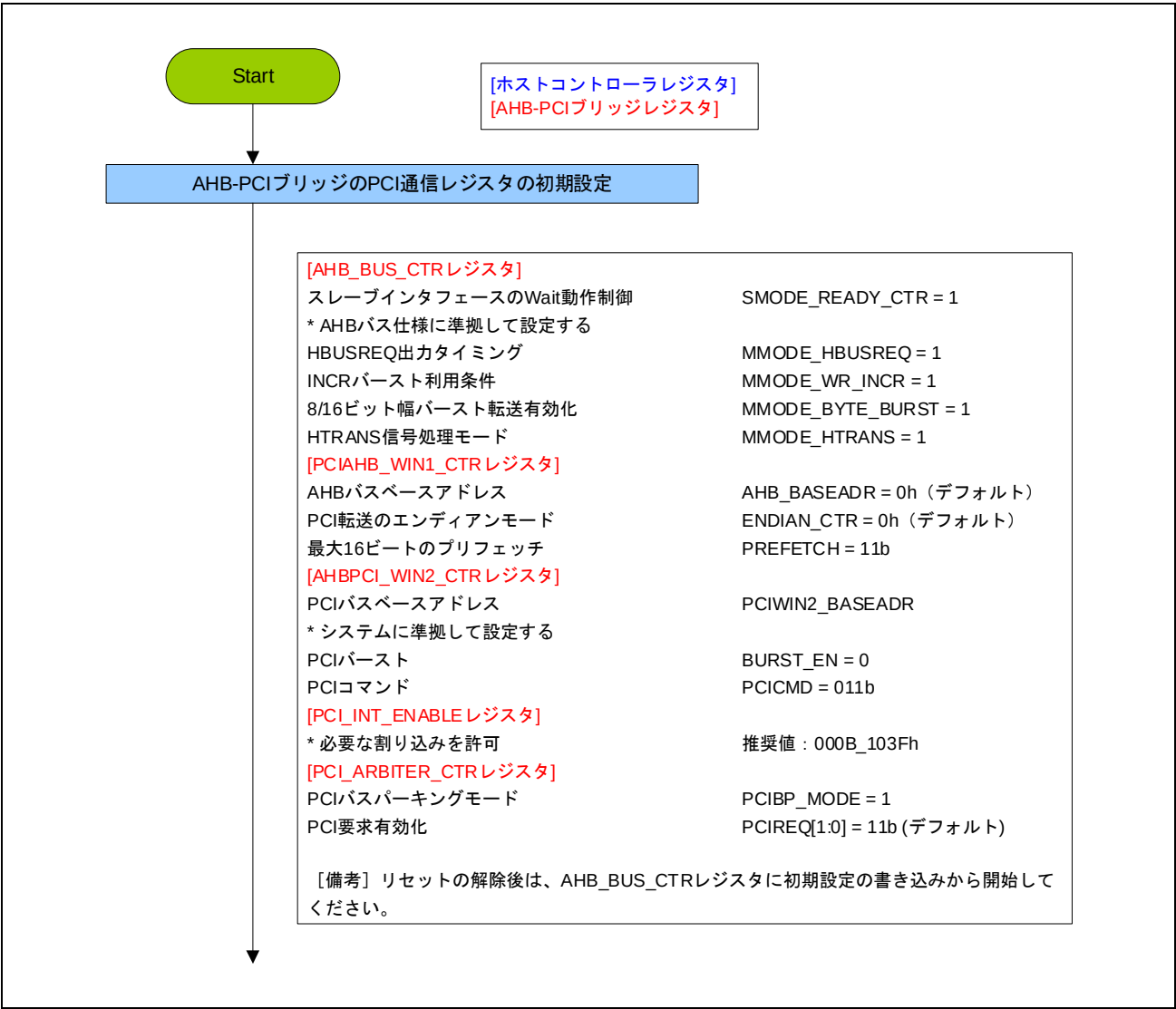


図 10.25 ホストコントローラの初期設定シーケンス (1/2)

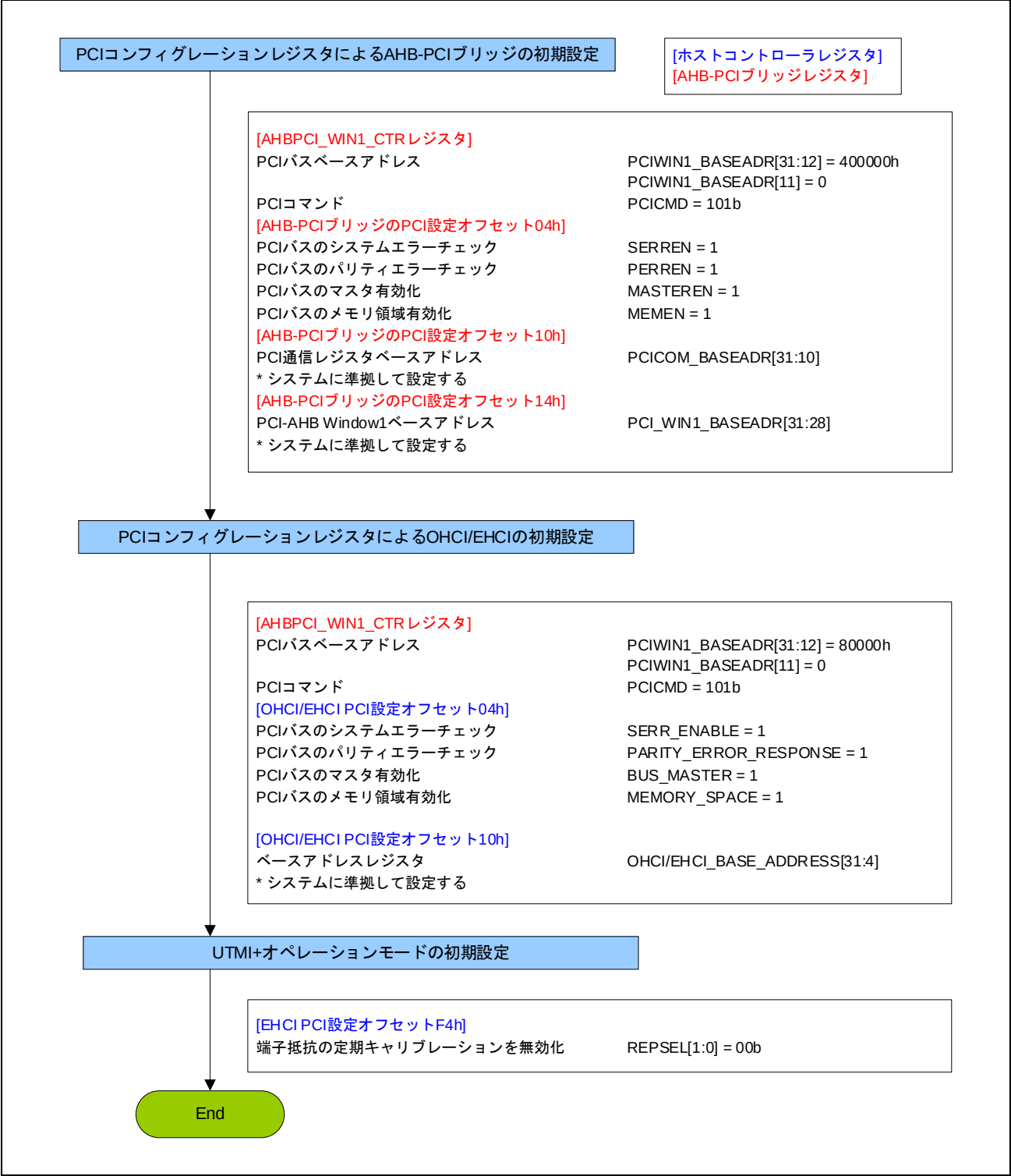


図 10.25 ホストコントローラの初期設定シーケンス (2/2)

(2) ファンクションコントローラの初期設定の例

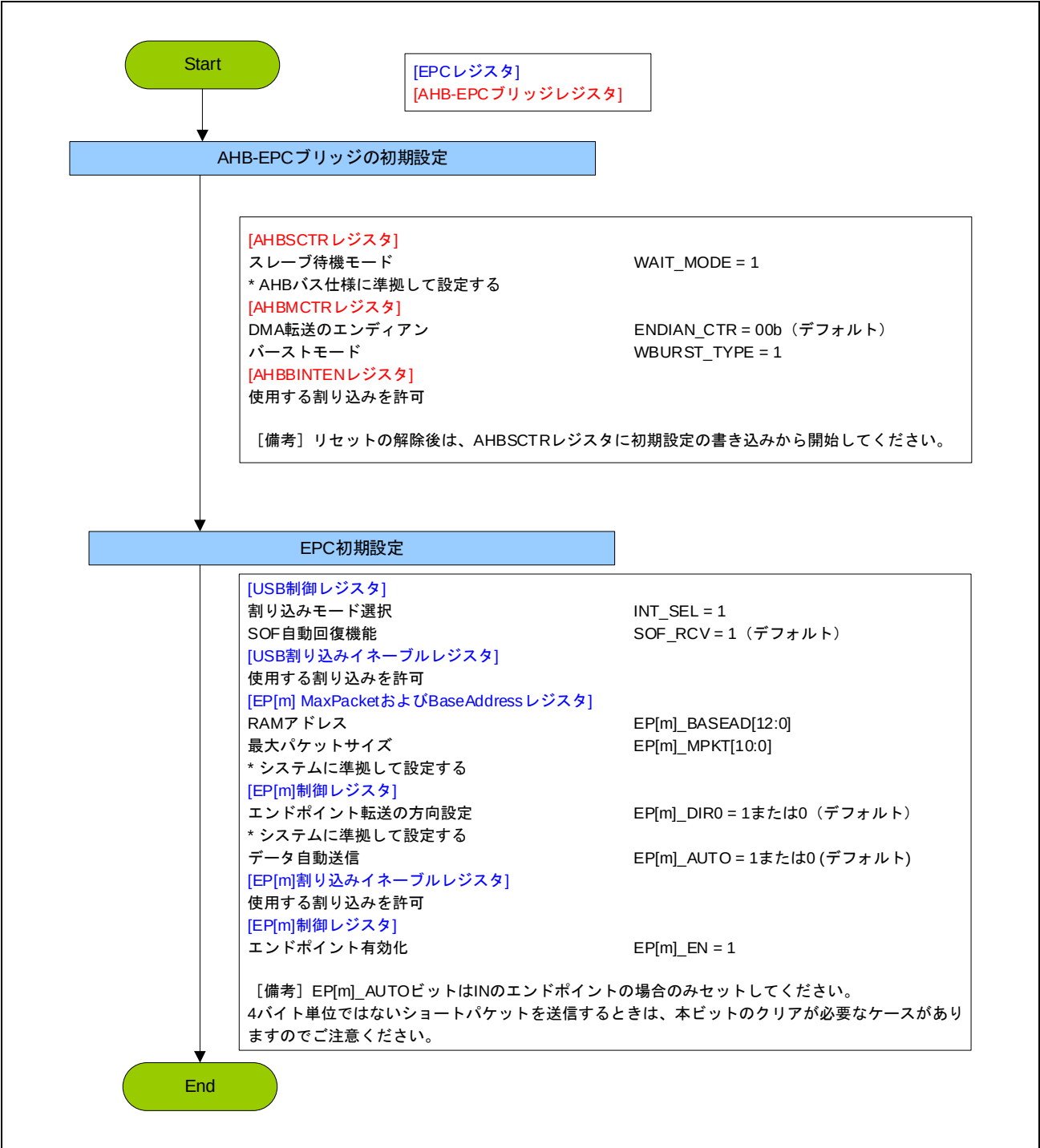


図 10.26 ファンクションコントローラの初期設定シーケンス

10.6.9.3 USB ホストの転送フロー

USB ホストの転送フローは、次の OHCI/EHCI 仕様に従って制御します。

- USB Rev 1.0a の Open Host Controller Interface (OHCI) 仕様
- USB Rev 1.0 の Enhanced Host Controller Interface (EHCI) 仕様

以降では、DMA を停止する場合の補足情報を示します。

(1) DMA 転送の停止

AHB-PCI ブリッジには、DMA を有効化または無効化する機能はありません。ホストコントローラがマスタとして起動した PCI バスサイクルを、そのまま AHB バスに DMA 転送として出力します。

ホストコントローラは、以下の目的で DMA 転送を実行します。

(a) メモリに現在のフレーム番号を書き込む場合

(b) リスト処理を行うためにメモリ上に展開されたディスクリプタおよびデータの読み出しまたは書き込みを行う場合

備 考

フレーム番号の書き込みは、USB が「稼働」ステートなら各フレームサイクルで自動的に実行されます。

DMA 転送を停止するには、USB を Suspend またはリセットステートに設定してください。

(b) のリスト処理のみを中断するには、リスト処理有効化ビット (HcControl レジスタの BLE、CLE、IE、および PLE) をクリアします。リスト処理は次のフレームで停止します。

10.6.9.4 ファンクション転送の概要

(1) PIO OUT 転送

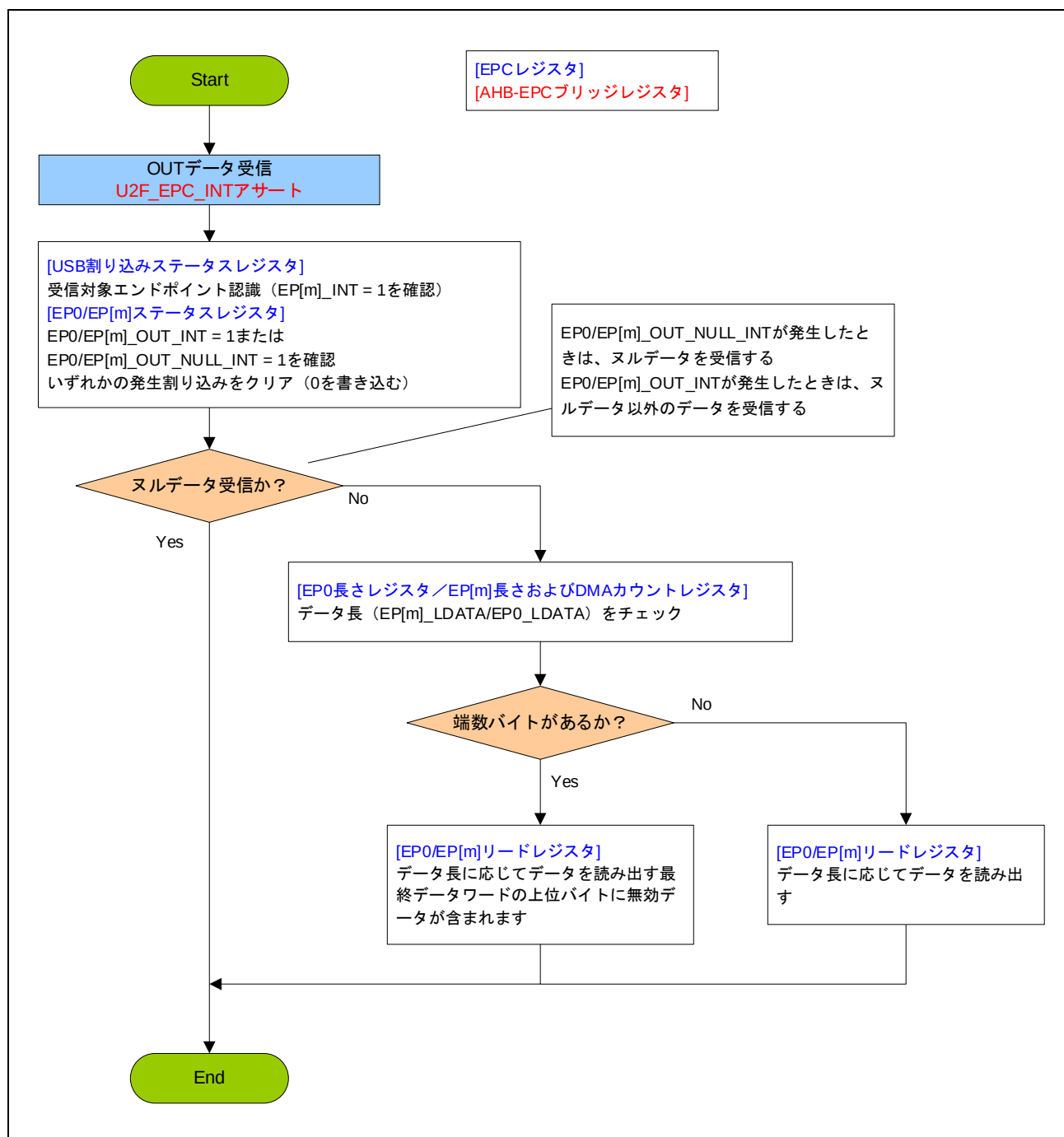
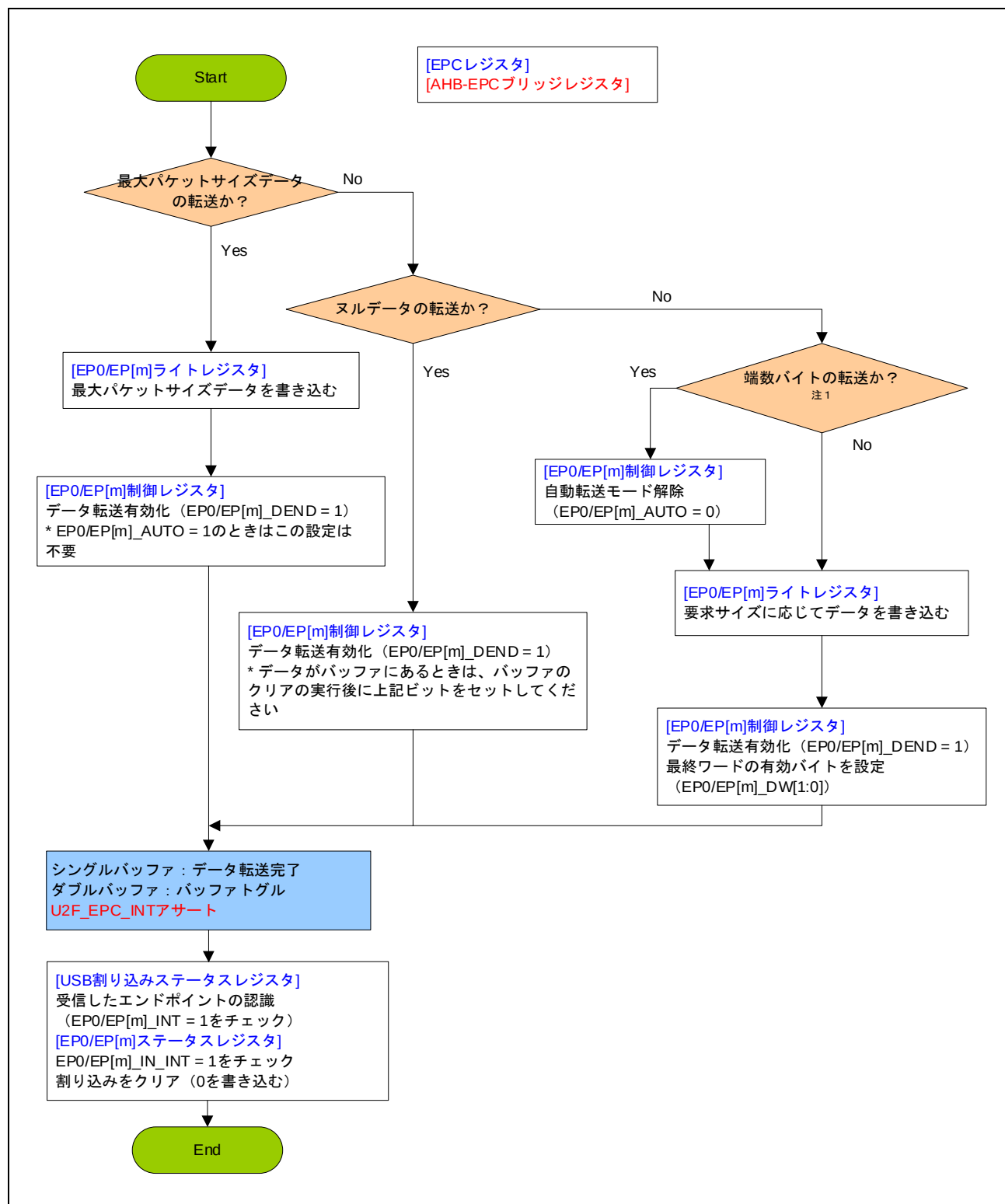


図 10.27 PIO OUT 転送の概要

(2) PIO IN 転送



注1. ここでいう端数バイト送信とは単なるショートパケットではなく、送信データをワード単位で書き込んだ際に、MaxPacketSize に達するデータ長のパケットを送信する場合を意味します。

例 1) 最大パケットサイズが 64 バイトで、63、62、または 61 バイトが送信される場合

例 2) 最大パケットサイズが 15 バイトで、14 または 13 バイトが送信される場合

このパケットを送信する際は、EP0/EP[m]_AUTO ビットのクリアが必要です。この設定を行わないと、最大パケットサイズのパケットが送信されます。

図 10.28 PIO IN 転送の概要

(3) DMA OUT 転送

DMA 転送を実行するには、EP[m]DCR1 レジスタの EP[m]_DMACNT ビットおよび EP[m]_LEN_DCNT レジスタを使用して、転送するパケット数を指定します。

DMA 転送で、EP[m]_LEN_DCNT レジスタの EP[m]_DMACNT ビットで指定される回数が実行されるか、ヌルデータを含むショートパケットを受信すると、USB ファンクションコントローラは DMA 転送を停止して、U2F_INT または U2F_EPC_INT 割り込みを生成します。

DMA OUT 転送は以下の条件を前提としています。

- 対向する USB ホストから送信されるパケット数が未知数
(EP[m]_DMACNT ビットで指定される値はユーザーシステムに応じて決定)
- 転送時ショートパケット受信の可能性がある

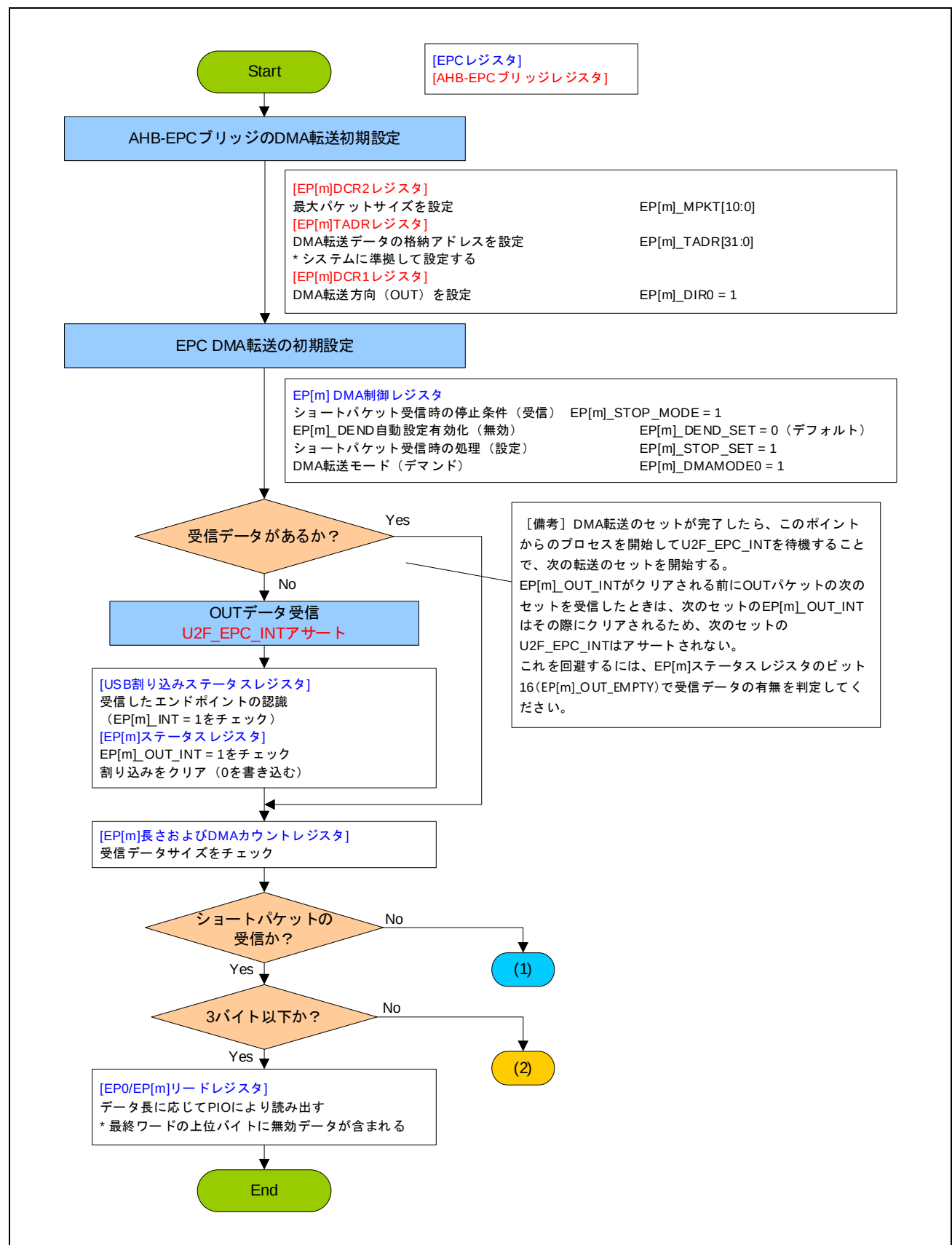


図 10.29 DMA OUT 転送の概要 (1/3)

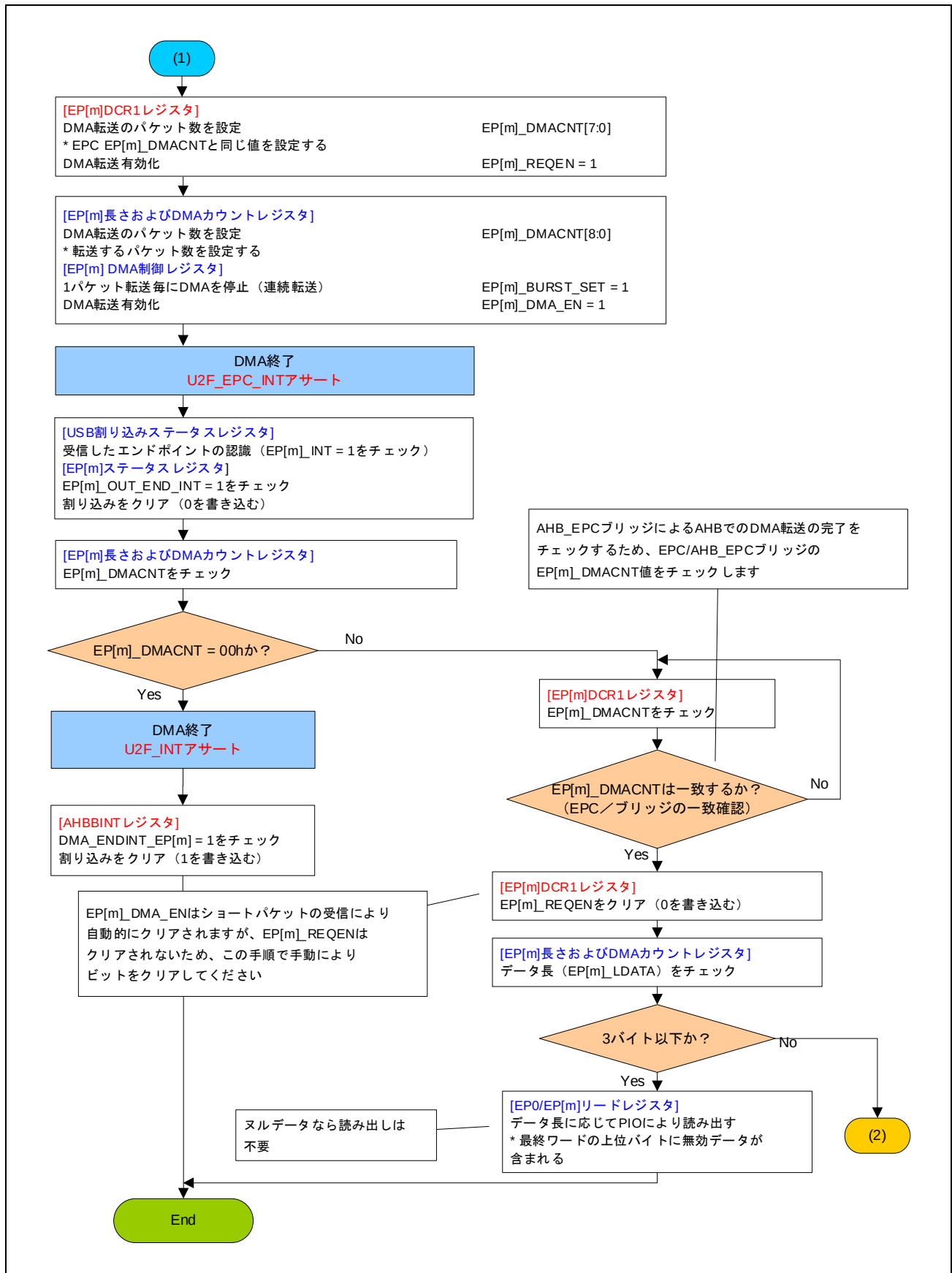


図 10.29 DMA OUT 転送の概要 (2/3)

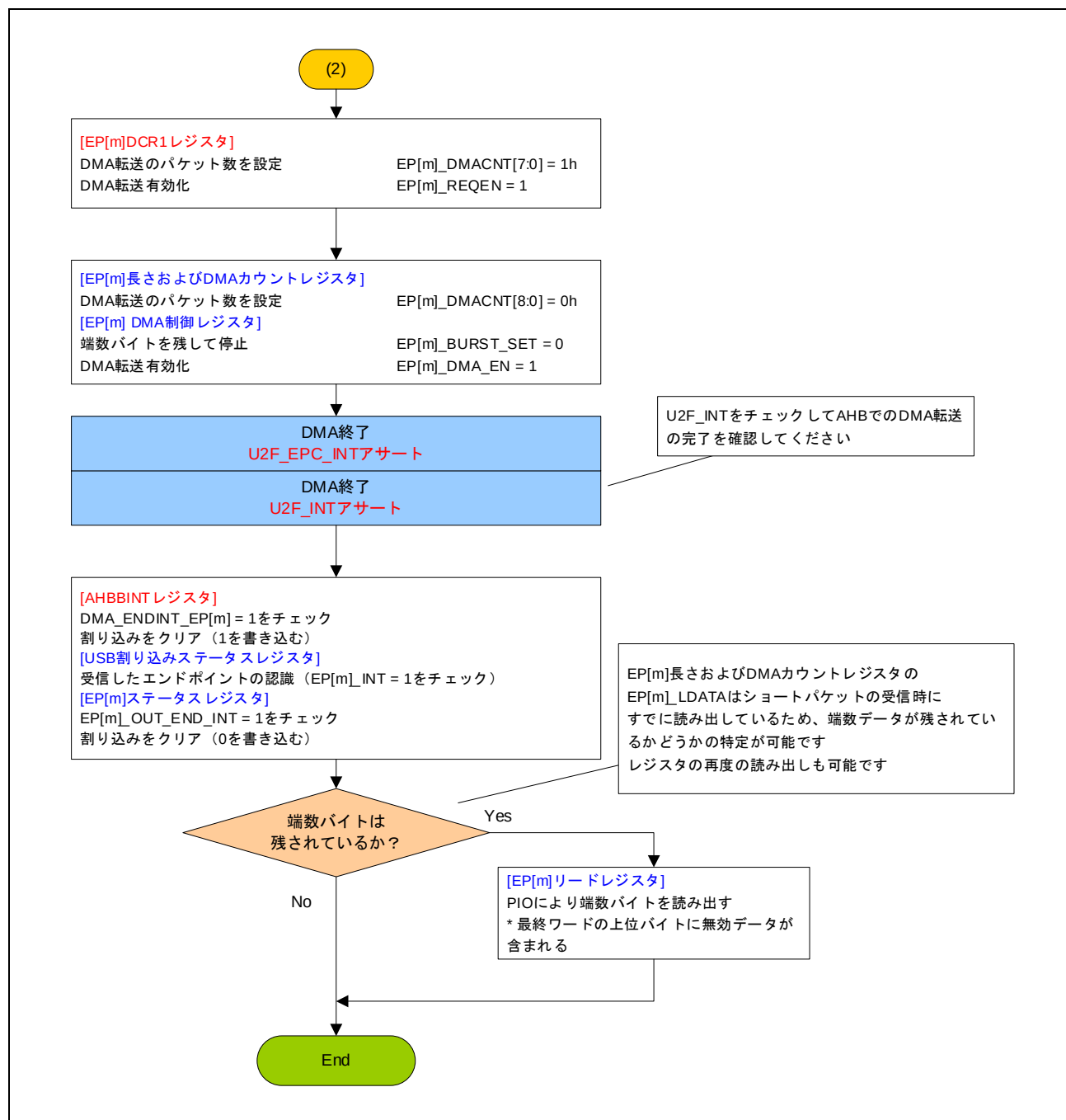


図 10.29 DMA OUT 転送の概要 (3/3)

(4) DMA IN 転送

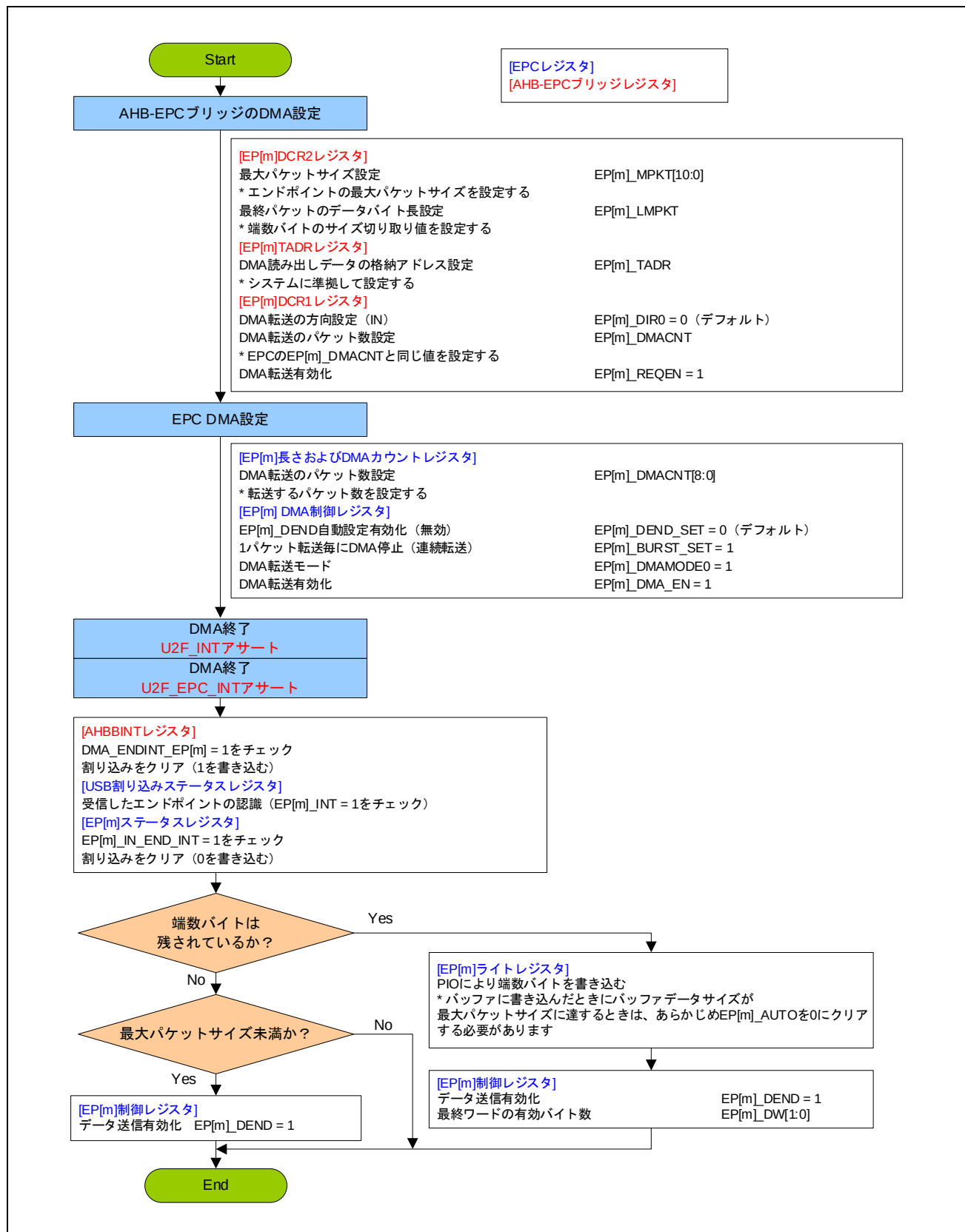


図 10.30 DMA IN 転送の概要

(5) DMA 転送の停止

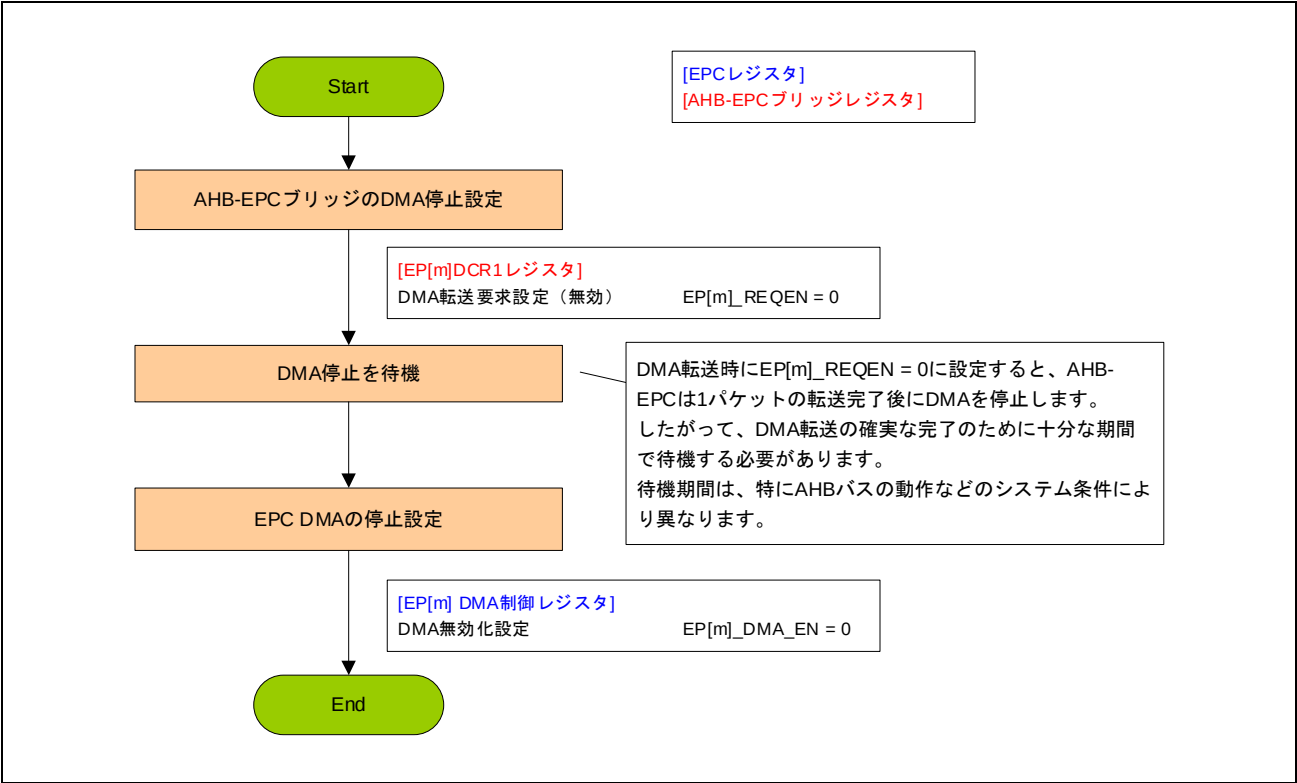


図 10.31 DMA 転送の停止

(6) Control 転送

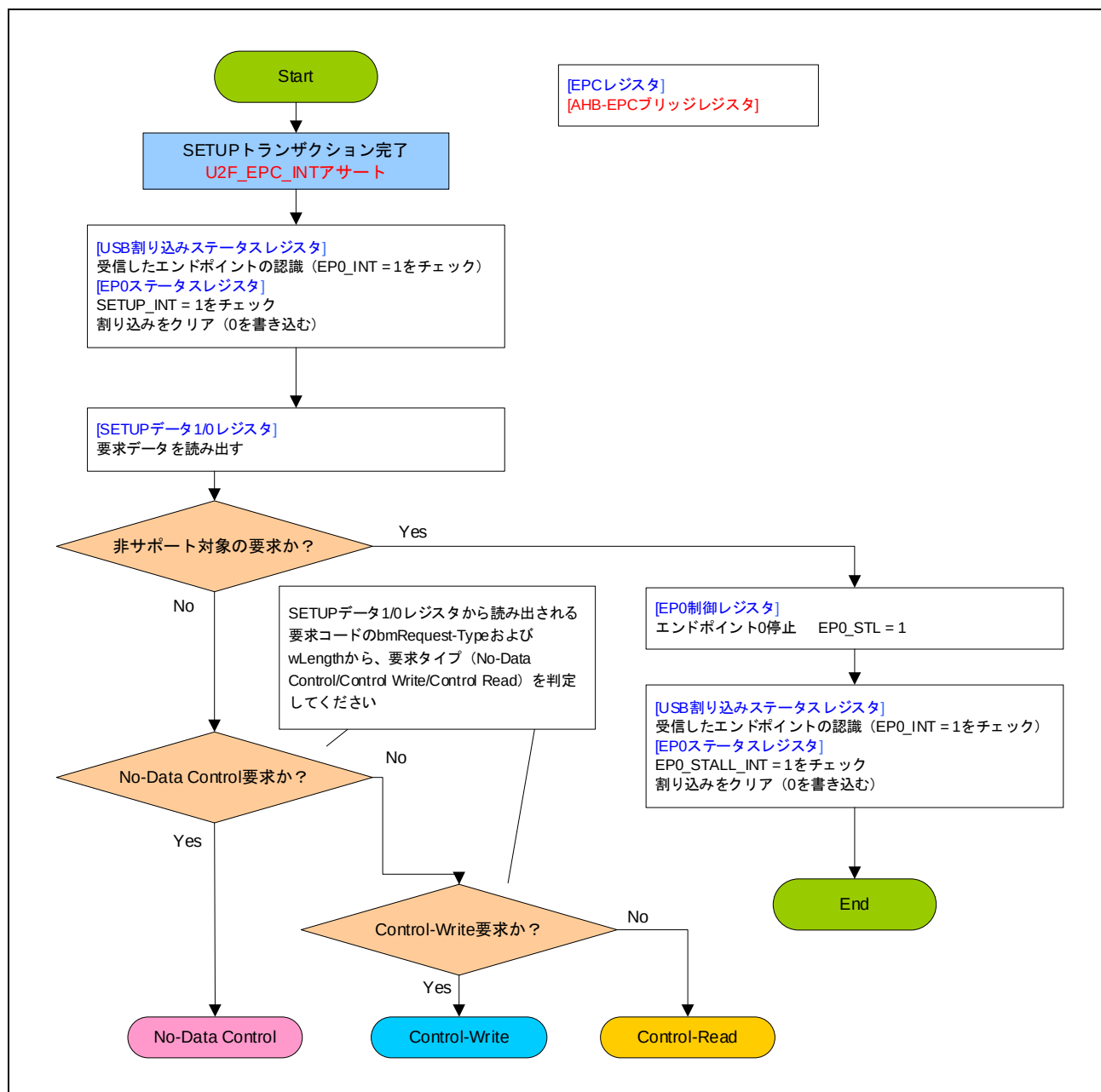


図 10.32 Control 転送の概要 (1/3)

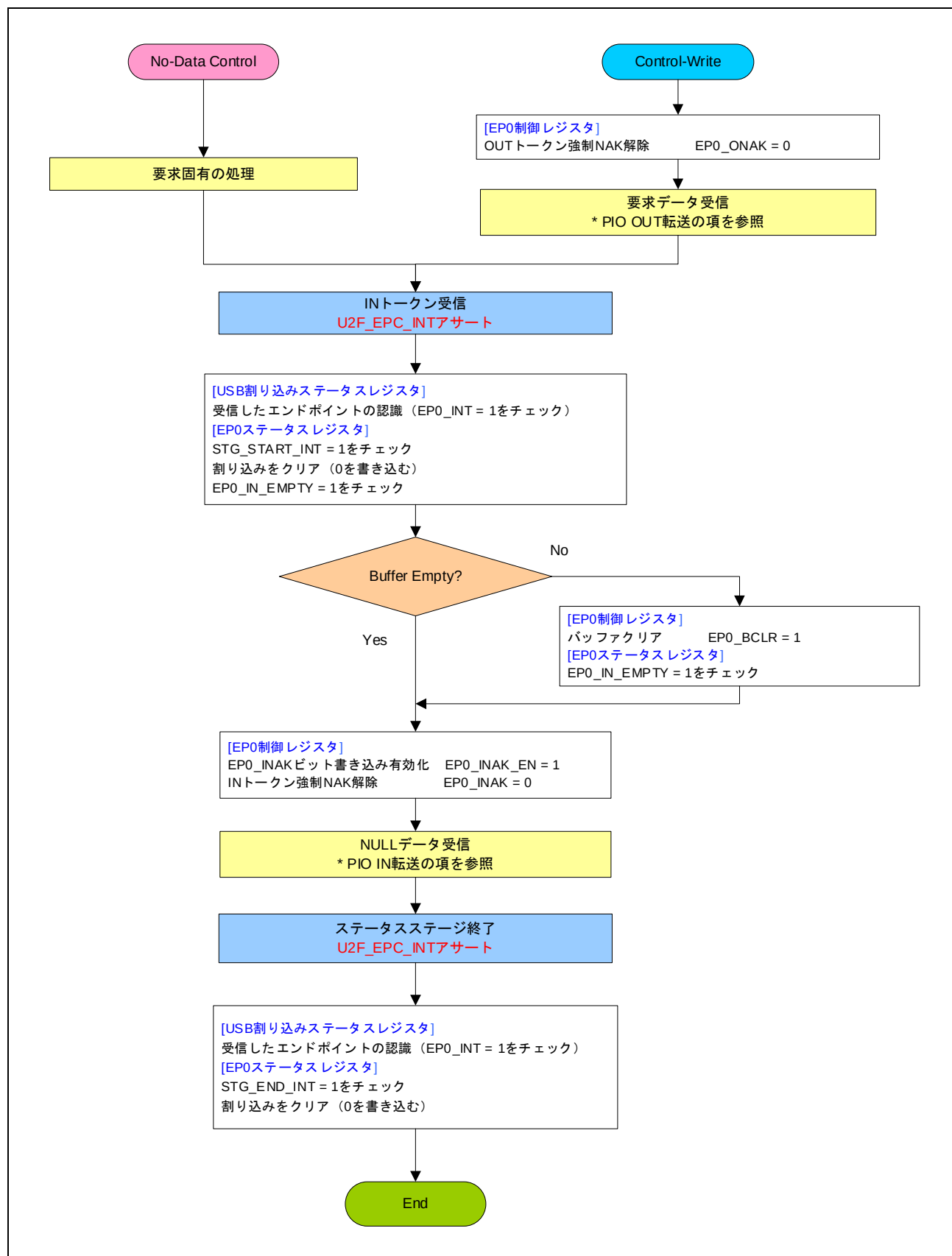


図 10.32 Control 転送の概要 (2/3)

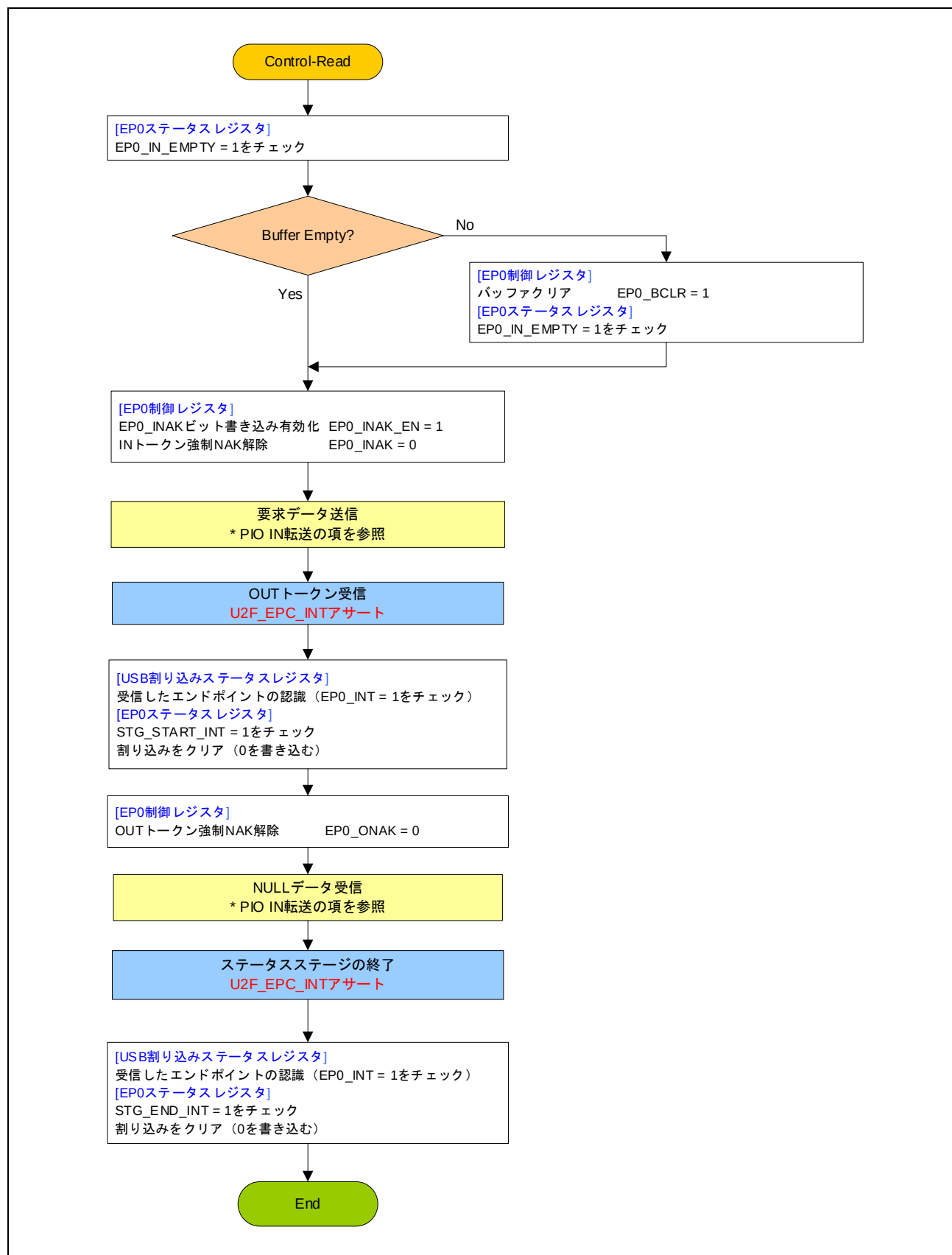


図 10.32 Control 転送の概要 (3/3)

(7) プロトコルエラーNAK の処理

プロトコルエラーNAK は、Control 転送で明確なデバイス応答が USB 仕様で規定されていない無効なトークンを受信した場合に、その応答として返送されます。

プロトコルエラーNAK は以下のケースで生成されます。

- SETUP トークン受信前の IN または OUT トークンの受信（セットアップステージは確立していません）
- Control Read データステージでの OUT トークンの受信
- Control Read ステータスステージでの IN トークンの受信、またはデータ PID0 に対する OUT トークンの受信
- Control Write ステータスステージでの IN トークンの受信、またはデータステージ開始時のデータ PID0 に対する OUT トークンの受信
- Control Write ステータスステージでの OUT または PING トークンの受信
- No Data Control ステータスステージでの OUT トークンの受信

プロトコルエラーNAK が返送されると、EP0 ステータスレジスタのビット[16]がセットされ、EP0_PERR_NAK_INT 割り込みが発生します。この割り込みが検出された場合は、EP0 を Halt 状態とし、以降のトークンに対して STALL が応答されるようにしてください。

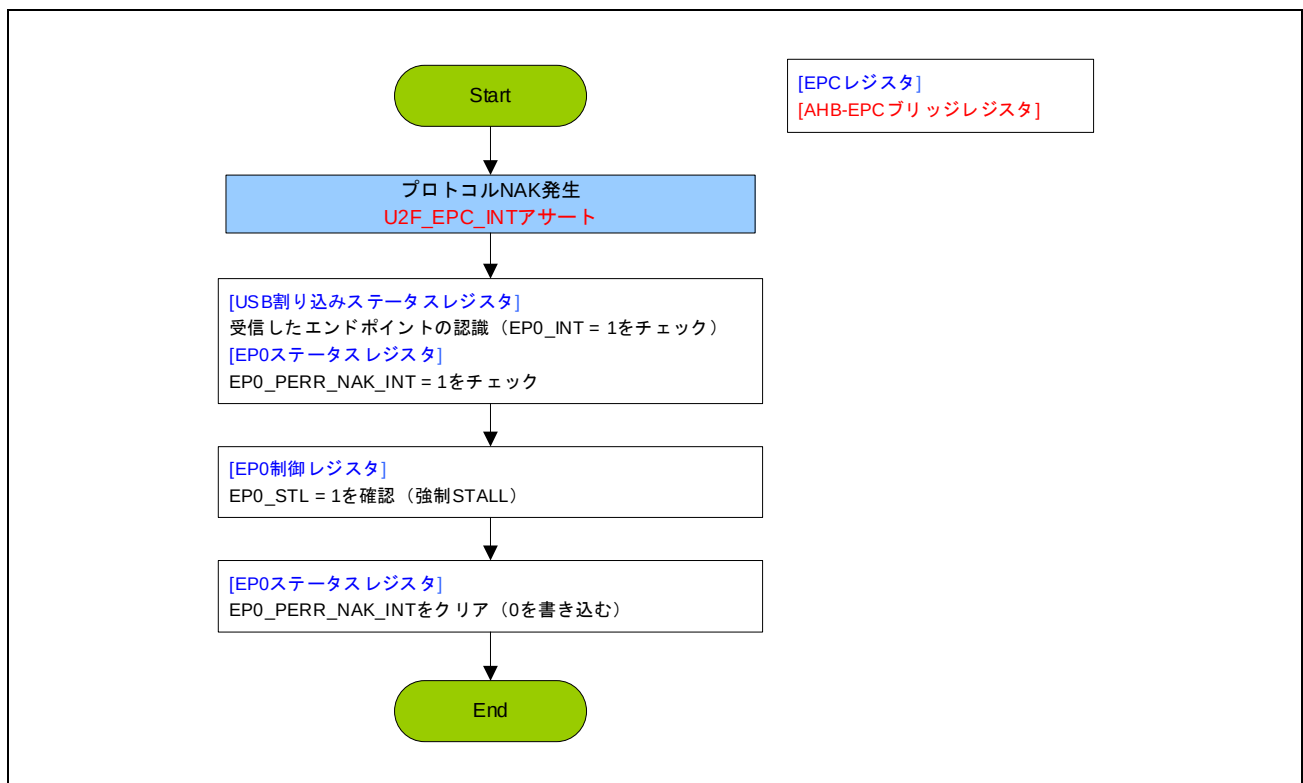


図 10.33 プロトコルエラーNAK 処理の概要

(8) 各要求固有の処理

本項では、USB デバイスに対する標準的な要求について、デバイスのステートおよびデバイスで実行すべき処理について説明します。

以降に示す各要求の表で、「要求コードフィールド」欄は標準的な要求に含まれるコードを示します。「アクション」欄は、Default、Address、または Configured の各ステートのデバイスが実行する処理を表します。**STALL** 応答は、要求エラーの発生によりデバイスが **STALL** を送信することを表します。**STALL** の送信を有効にするには、EP0 制御レジスタ (0028h) のビット[2] (EP0_STL) をセットします。

表 10.136 にデバイスのステートを示します。

表 10.136 デバイスステート

Default	USB デバイスのアドレスは、USB バスのリセット受信後に 00h にリセットされた状態
Address	USB デバイスのアドレスは 00h 以外に設定された状態
Configured	Configuration 値は 00h 以外で、エンドポイントに対するアクセスが可能な状態

(a) クリア機能

表 10.137 クリア機能要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00h (デバイス)	01h	0001h (リモートウェイクアップ)	0000h	0000h	応答 (1) 注1	応答 (1) 注1	応答 (1) 注1
01h (インタフェース)	01h	0000h	0000h	0000h	STALL 応答	STALL 応答	STALL 応答
02h (エンドポイント)	01h	0000h (エンドポイント Halt)	エンドポイント番号	0000h	応答 (2)	応答 (2)	応答 (3)

注1. デバイスは、リモートウェイクアップ機能をサポートしないときは **STALL** を応答するようにしてください。

転送タイプ : No Data Control (SETUP-IN)

<処理詳細>

表 10.138 クリア機能要求の処理

応答 (1)	リモートウェイクアップフラグをクリアします。 (USB ファンクションコントローラは特別な処理は必要ありません。ただし、リモートウェイクアップフラグがクリアされると、USB ファンクションコントローラはリモートウェイクアップ機能を使用できません)
応答 (2)	- wIndex が 0000h なら、エンドポイント 0 のバッファをクリアしてください (EP0 制御レジスタのビット [8] (EP0_BCLR) をセットした後で、EP0 ステータスレジスタのビット[8] (EP0_IN_EMPTY) がセットされていることを確認してください)。 - wIndex が 0000h 以外なら、STALL 応答してください。
応答 (3)	- wIndex が 0000h なら、エンドポイント 0 のバッファをクリアしてください (応答 (2) と同じ処理を実行します)。 - wIndex がサポート対象のエンドポイントを示す場合は、送信/受信のデータ PID をクリアし、Halt ステータスをクリアし、エンドポイントのバッファをクリアしてください (EP[m]制御レジスタの EP[m]_OPIDCLR、EP[m]_IPIDCLR、EP[m]_OSTL、EP[m]_ISTL、および EP[m]_BCLR の各ビットをクリアします)。 - wIndex がサポート対象のエンドポイントを示していない場合は、STALL 応答してください。

(b) Get Configuration

表 10.139 Get Configuration 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
80h	08h	00h	0000h	0001h	応答 (1)	応答 (1)	応答 (2)

転送タイプ : Control Read (SETUP-IN-OUT)

<処理詳細>

表 10.140 Get Configuration 要求の処理

応答 (1)	00h (1 バイト) を送信してください。
応答 (2)	現在の Configuration 番号 (1 バイト) を送信してください。

(c) Get Descriptor

表 10.141 Get Descriptor 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
80h	06h	0100h (デバイス)	0000h	ディスクリプ タサイズ	応答 (1)	応答 (1)	応答 (1)
80h	06h	020Xh (コンフィグ)	0000h	ディスクリプ タサイズ	応答 (2)	応答 (2)	応答 (2)
80h	06h	030Xh (ストリング)	0000h また は言語 ID	ディスクリプ タサイズ	応答 (3)	応答 (3)	応答 (3)
80h	06h	0600h (デバイス修飾 子)	0000h	ディスクリプ タサイズ	応答 (4)	応答 (4)	応答 (4)
80h	06h	070Xh (その他の速度 設定)	0000h	ディスクリプ タサイズ	応答 (5)	応答 (5)	応答 (5)

転送タイプ : Control Read (SETUP-IN-OUT)

<処理詳細>

wValue で指定されるタイプ、および wLength で指定されるサイズのインデックスディスクリプタを送信してください。以降は、デバイスディスクリプタの bMaxPacketSize (0) を使用して送信される値が 64 であることを想定して記述します。

- ディスクリプタサイズが wLength を超過するときは、wLength で指定されるサイズのディスクリプタを最初から送信してください。
- ディスクリプタサイズが wLength 未満なら、ショートパケット (64 バイト以下のデータ) をディスクリプタ送信の最後に送信してください。ディスクリプタサイズが 64 バイトの倍数なら、最後にヌルデータを送信してください。

表 10.142 Get Descriptor 要求の処理

応答 (1)	デバイスディスクリプタを送信してください。
応答 (2)	wValue の下位側ビットでインデックス指示されるコンフィグレーションディスクリプタを送信してください。 コンフィグレーションディスクリプタのサイズが wLength 未満なら、コンフィグレーションに含まれるインタフェースおよびエンドポイントの全ディスクリプタを連続して送信してください。
応答 (3)	wValue の下位側ビットでインデックス指示されるストリングディスクリプタを送信してください。
応答 (4)	デバイス修飾子ディスクリプタを送信してください。
応答 (5)	wValue の下位側ビットでインデックス指示される、他の速度コンフィグレーションディスクリプタを送信してください。 コンフィグレーションディスクリプタのサイズが wLength 未満なら、コンフィグレーションに含まれるインタフェースおよびエンドポイントの全ディスクリプタを連続して送信してください。

(d) Get Interface

表 10.143 Get Interface 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
81h	0Ah	00h	インタフェース番号	0001h	STALL 応答	STALL 応答	応答 (1)

転送タイプ : Control Read (SETUP-IN-OUT)

<処理詳細>

表 10.144 Get Interface 要求の処理

応答 (1)	- wIndex で指定されるインタフェースの現在の代替設定番号を送信してください。 - 代替設定がサポートされなければ、STALL 応答してください。

(e) Get Status

表 10.145 Get Status 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
80h (デバイス)	00h	00h	0000h	0002h	応答 (1)	応答 (1)	応答 (1)
81h (インタフェース)	00h	00h	0000h	0002h	応答 (2)	応答 (2)	応答 (2)
82h (エンドポイント)	00h	00h	エンドポイント番号	0002h	応答 (3)	応答 (3)	応答 (4)

転送タイプ : Control Read (SETUP-IN-OUT)

<処理詳細>

表 10.146 Get Status 要求の処理

応答 (1)	セルフパワーデバイスがサポートされるかどうかを示す値を D0 で、リモートウェイクアップ機能がサポートされるかどうかを示す値を D1 で返送します (たとえば、セルフパワーデバイスおよびリモートウェイクアップ機能がサポートされなければ、0001h を送信してください)。
応答 (2)	0000h または STALL を送信してください。
応答 (3)	- wIndex が 0000h なら、0000h を送信してください。 - wIndex が 0000h 以外なら、STALL を送信してください。
応答 (4)	- wIndex が 0000h なら、0000h を送信してください。 - wIndex がサポート対象のエンドポイントを示す場合は、Halt (STALL) ステートを示す値を D0 に反映し送信してください。 (EP[m]制御レジスタのビット[3]または[2] (EP[m]_ISTL または EP[m]_OSTL) がセットされていれば、0001h を送信してください。クリアされていれば、0000b を送信してください) - wIndex がサポート対象のエンドポイントを示していない場合は、STALL 応答してください。

(f) Set Address

表 10.147 Set Address 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00h	05h	デバイスアドレス	0000h	0000h	応答 (1)	応答 (1)	応答 (1)

転送タイプ : No Data Control (SETUP-IN)

<処理詳細>

表 10.148 Set Address 要求の処理

応答 (1)	• wValue が 127 以下なら、フレーム番号および USB アドレスレジスタに wValue の値を設定してください • wValue が 128 以上なら、STALL 応答してください

(g) Set Configuration

表 10.149 Set Configuration 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00h	09h	コンフィグレーション値	0000h	0000h	応答 (1)	応答 (2)	応答 (3)

転送タイプ : No Data Control (SETUP-IN)

<処理詳細>

表 10.150 Set Configuration 要求の処理

応答 (1)	• 特別な処理は不要です。ステータスステージでヌルデータ応答してください。
応答 (2)	• wValue が 0 なら特別な処理は不要です。ステータスステージでヌルデータ応答してください。 • wValue 値がサポート対象のコンフィグレーション値に一致するときは、トランザクションは Configured ステートに遷移します (USB 制御レジスタのビット[5] (CONF) をセットしてください)。 • wValue 値がサポート対象のコンフィグレーション値に一致しないときは、STALL 応答してください。
応答 (3)	• wValue が 0 なら、トランザクションは Address ステートに復帰します (USB 制御レジスタのビット[5] (CONF) をクリアしてください)。 • wValue 値が現在の bConfigurationValue 値に一致するときは、特別な処理は不要です。ステータスステージでヌルデータ応答してください。 • wValue 値がサポート対象のコンフィグレーション値に一致するときは、コンフィグレーションを変更してください。 • wValue 値がサポート対象のコンフィグレーション値に一致しないときは、STALL 応答してください。

(h) Set Descriptor

表 10.151 Set Descriptor 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00h	07h	ディスクリプタタイプ	0000h または言語 ID	ディスクリプタサイズ	応答 (1)	応答 (1)	応答 (1)

転送タイプ : Control Write (SETUP-OUT-IN)

<処理詳細>

表 10.152 Set Descriptor 要求の処理

応答 (1)	- ディスクリプタの書き替えが無効なら、STALL 応答してください。 - ディスクリプタの書き替えが有効なら、ソフトウェアでデータを読み出して再びディスクリプタに書き込みます (USB ファンクションコントローラは特別な処理は不要です)。

(i) Set Feature

表 10.153 Set Feature 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
00h (デバイス)	03h	0001h (リモートウェイクアップ)	0000h	0000h	リモートウェイクアップサポート時		
					応答 (1)	応答 (1)	応答 (1)
					リモートウェイクアップ非サポート時		
					STALL 応答	STALL 応答	STALL 応答
		0002h (テストモード)	テストセクタ	0000h	応答 (2)	応答 (2)	応答 (2)
01h (インタフェース)	03h	0000h	0000h	0000h	STALL 応答	STALL 応答	STALL 応答
02h (エンドポイント)	03h	0000h (エンドポイント Halt)	エンドポイント番号	0000h	応答 (3)	応答 (3)	応答 (4)

転送タイプ : No Data Control (SETUP-IN)

<処理詳細>

表 10.154 Set Feature 要求の処理

応答 (1)	● リモートウェイクアップフラグをセットしてください。 (USB ファンクションコントローラは特別な処理は不要です)
応答 (2)	● wIndex で指示されるテストセクタ値を、USB 制御レジスタの USBTESTMODE ビットに書き込んでください。
応答 (3)	● wIndex が 0000h なら特別な処理は不要です。ステータスステージでヌルデータ応答してください。 ● wIndex が 0000h 以外なら、STALL 応答してください。
応答 (4)	● wIndex が 0000h なら、エンドポイント 0 のバッファをクリアしてください (応答 (2) と同じ処理を実行します)。 ● wIndex がサポート対象のエンドポイントを示す場合は、ターゲットのエンドポイントを Halt ステートに設定してください。 (EP[m]制御レジスタの EP[m]_OSTL および EP[m]_ISTL ビットをセットします) ● wIndex がサポート対象のエンドポイントを示さない場合は、STALL 応答してください。

(j) Set Interface

表 10.155 Set Interface 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
01h	0Bh	代替設定	インタフェース番号	0000h	STALL 応答	STALL 応答	応答 (1)

転送タイプ : No Data Control (SETUP-IN)

<処理詳細>

表 10.156 Set Interface 要求の処理

応答 (1)	• wValue で指定される代替設定番号が現在の代替設定番号と異なる場合は、EP[m] MaxPacket および BaseAddress レジスタの値などを変更してください。 • wValue で指定される代替設定番号が現在の代替設定番号と一致する場合は、特別な処理は不要です。ステータスステージでヌルデータを送信してください。

(k) Sync Frame

表 10.157 Sync Frame 要求

要求コードフィールド					アクション		
bmRequest - タイプ	bRequest	wValue	wIndex	wLength	Default	Address	Configured
82h	0Ch	0000h	EP 番号	0000h	STALL 応答	STALL 応答	STALL 応答

転送タイプ : Control Read (SETUP-IN-OUT)

(9) ディスクリプタ

以降では、標準的なディスクリプタのタイプおよび設定例について説明します。

(a) デバイスディスクリプタ

デバイスディスクリプタは、デバイスの基本情報を送信するために使用します。

表 10.158 デバイスディスクリプタ

フィールド	オフセット	サイズ	値 (例)	機能
bLength	0	バイト	12h	ディスクリプタサイズ (18 バイト) を設定します。
bDescriptorType	1	バイト	01h	本フィールドは、デバイスディスクリプタでは常に 01h に設定します。
bcdUSB	2	ワード	0200h	デバイスが準拠する USB 規格のバージョンを設定します。 0200h は、デバイスが USB2.0 に準拠することを表します。
bDeviceClass	4	バイト	xxh	デバイスが所属するクラスを設定します。
bDeviceSubClass	5	バイト	xxh	デバイスが所属するサブクラスを設定します。
bDeviceProtocol	6	バイト	00h	デバイスが所属するクラスまたはサブクラスで定義されるプロトコルを設定します。
bMaxPacketSize0	7	バイト	40h	エンドポイント 0 で転送される最大パケットサイズ (64 バイト) を設定します。
idVendor	8	ワード	xxxxh	ベンダ ID を設定します。
idProduct	10	ワード	xxxxh	プロダクト ID を設定します。
bcdDevice	12	ワード	0100h	デバイスバージョンを示します。
iManufacturer	14	バイト	01h	製品メーカーを表すストリングディスクリプタのインデックスを設定します。
iProduct	15	バイト	02h	製品を表すストリングディスクリプタのインデックスを設定します。
iSerialNumber	16	バイト	03h	製品のシリアル番号を表すストリングディスクリプタのインデックスを設定します。
bNumConfigurations	17	バイト	01h	サポート対象のコンフィグレーション数を設定します。

(b) デバイス修飾子ディスクリプタ

デバイス修飾子ディスクリプタは、HS および FS モードが切り替わるときに値が変化する、デバイスのディスクリプタフィールドに関する情報を送信するために使用します。

表 10.159 デバイス修飾子ディスクリプタ

フィールド	オフセット	サイズ	値 (例)	機能
bLength	0	バイト	0Ah	ディスクリプタサイズ (10 バイト) を設定します。
bDescriptorType	1	バイト	06h	本フィールドは、デバイス修飾子ディスクリプタでは常に 06h に設定します。
bcdUSB	2	ワード	0200h	デバイスが準拠する USB 規格のバージョンを設定します。 0200h は、デバイスが USB 2.0 に準拠することを表します。
bDeviceClass	4	バイト	xxh	デバイスが所属するクラスを設定します。
bDeviceSubClass	5	バイト	xxh	デバイスが所属するサブクラスを設定します。
bDeviceProtocol	6	バイト	00h	デバイスが所属するクラスまたはサブクラスで定義されるプロトコルを設定します。
bMaxPacketSize0	7	バイト	40h	エンドポイント 0 で転送される最大パケットサイズ (64 バイト) を設定します。
bNumConfigurations	8	バイト	01h	サポート対象のコンフィグレーション数を設定します。
bReserved	9	バイト	00h	予約済み、0 に設定します。

(c) Configuration ディスクリプタおよび Other speed configuration ディスクリプタ

Configuration ディスクリプタおよび Other speed configuration ディスクリプタは、デバイスのコンフィグレーションに関する情報を送信するために使用します。Fast Speed および High Speed をサポートするデバイスがいずれかの速度で稼働している場合、Other speed configuration ディスクリプタは別の速度で稼働するときのデバイスに関するコンフィグレーションを示します。

これらのディスクリプタは、通常は 1 つの Get Descriptor Configuration 要求で送信します。

表 10.160 Configuration ディスクリプタおよび Other speed configuration ディスクリプタ

フィールド	オフセット	サイズ	値 (例)	機能
bLength	0	バイト	09h	ディスクリプタサイズ (9 バイト) を設定します。
bDescriptorType	1	バイト	02h 07h	- 本フィールドは、Configuration ディスクリプタでは常に 02h に設定します。 - Other speed configuration ディスクリプタでは、常に 07h に設定します。
wTotalLength	2	ワード	9+ 9×M+ 7×N	転送されるディスクリプタのサイズを設定します。 以下の合計値を設定します。 Configuration ディスクリプタサイズ (9 バイト) インタフェースディスクリプタサイズ (9 バイト) × ディスクリプタ M 数 エンドポイントディスクリプタサイズ (7 バイト) × ディスクリプタ N 数
bNumInterfaces	4	バイト	01h	コンフィグレーションでサポートされるインタフェース数を設定します。
bConfigurationValue	5	バイト	01h	コンフィグレーション番号を設定します。
iConfiguration	6	バイト	00h	このコンフィグレーションを表すストリングディスクリプタのインデックスを設定します。
bmAttributes	7	バイト	C0h	- ビット 7 : 常に 1b にセットします。 - ビット 6 : デバイスがセルフパワーなら 1b にセットします。 - ビット 5 : デバイスがリモートウェイクアップ機能をサポートするときは、1b にセットします。 - ビット 4~0 : 常に 0b にセットします。
bMaxPower	8	バイト	00h	デバイスに必要な電流値を設定します。 値 = 電流消費値 / 2 (mA)

(d) インタフェースディスクリプタ

インタフェースディスクリプタは、デバイスインタフェースの情報を送信するために使用します。

表 10.161 インタフェースディスクリプタ

フィールド	オフセット	サイズ	値 (例)	機能
bLength	0	バイト	09h	ディスクリプタサイズ (9 バイト) を設定します。
bDescriptorType	1	バイト	04h	本フィールドは、インタフェースディスクリプタでは常に 04h に設定します。
bInterfaceNumber	2	バイト	00h	インタフェース番号を設定します。
bAlternateSetting	3	バイト	01h	- 本フィールドは、代替設定を使用する場合はその番号を設定します。 - 代替設定がない場合は 00h に設定します。
bNumEndpoints	4	バイト	xxh	インタフェースでサポートされるエンドポイント 0 以外のエンドポイント数を設定します。
bInterfaceClass	5	バイト	xxh	インタフェースが所属するクラスを設定します。 デバイスディスクリプタの bDeviceClass と同じ値です。
bInterfaceSubClass	6	バイト	00h	インタフェースが所属するサブクラスを設定します。 デバイスディスクリプタの bDeviceSubClass と同じ値です。
bInterfaceProtocol	7	バイト	xxh	インタフェースが所属するクラスまたはサブクラスで定義されるプロトコルを設定します。 デバイスディスクリプタの bDeviceProtocol と同じ値です。
iInterface	8	バイト	xxh	インタフェースを表すistringディスクリプタのインデックスを設定します。

(e) エンドポイントディスクリプタ

エンドポイントディスクリプタは、使用するエンドポイントの情報を送信するために使用します。

表 10.162 エンドポイントディスクリプタ

フィールド	オフセット	サイズ	値 (例)	機能
bLength	0	バイト	07h	ディスクリプタサイズ (7 バイト) を設定します。
bDescriptorType	1	バイト	05h	本フィールドは、エンドポイントディスクリプタでは常に 05h に設定します。
bEndpointAddress	2	バイト	xxh	エンドポイント番号およびトランザクション方向を設定します。 - ビット 7 : 転送方向 (0b : OUT、1b : IN) - ビット 6~4 : 常に 000b にセットします。 - ビット 3~0 : エンドポイント番号
bmAttributes	3	バイト	xxh	エンドポイントの転送タイプを設定します。 - ビット 7 および 6 : 常に 00b にセットします。 - ビット [5:2] は 0000b の固定値とし、Isochronous 転送をサポートしません。 - ビット 1 および 0 : 転送タイプを設定します。 (00b : Control、01b : Isochronous、10b : Bulk、11b : Interrupt)
wMaxPacketSize	4	ワード	0200h	エンドポイントで送信される最大パケットサイズを設定します。 - ビット 15~11 : 常に 000b にセットします。 - ビット 10~0 : 最大パケットサイズを設定します。
bInterval	6	バイト	00h	- Interrupt 転送では、最大待機期間を設定します。 - Bulk および Control 転送では、最大 NAK 比率を設定します。

(f) スtringディスクリプタ

Stringディスクリプタは、説明テキストを送信するために使用します。

表 10.163 Stringディスクリプタ

フィールド	オフセット	サイズ	値 (例)	機能
bLength	0	バイト	xxh	ディスクリプタサイズを設定します。 サイズは送出するテキストに応じて異なります。
bDescriptorType	1	バイト	03h	本フィールドは、Stringディスクリプタでは常に 03h に設定します。
wLANGID bString	2	ワード バイト	0409h xxh	- wIndex が 0 なら、wLANGID のStringの言語を設定します。 - wIndex が 0 以外なら、wIndex で設定される言語を使用して、bString の wValue 値の下位側ビットでインデックス指示される文字列を設定します。

(10) EP0 のデータループバック

本項では、EP0 のデータのループバックについて説明します。

データループバックは、リセットの解除後に他の動作が実行されていないときに実施します。

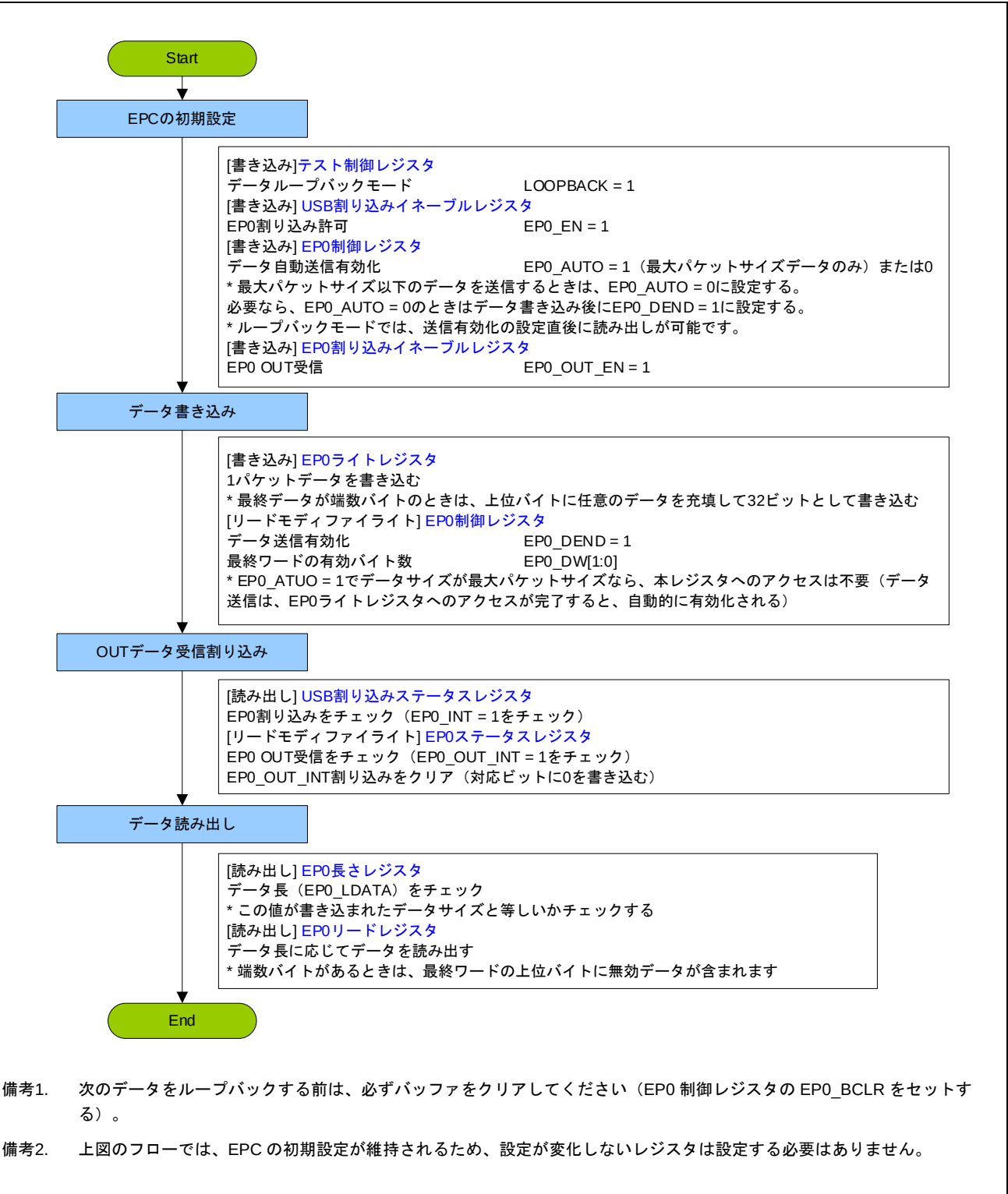


図 10.34 EP0 のデータループバック

(11) EP[m]データループバック

本項では、EP[m]のデータのループバックについて説明します。

データループバックは、リセットの解除後に他の動作が実行されていないときに実施します。

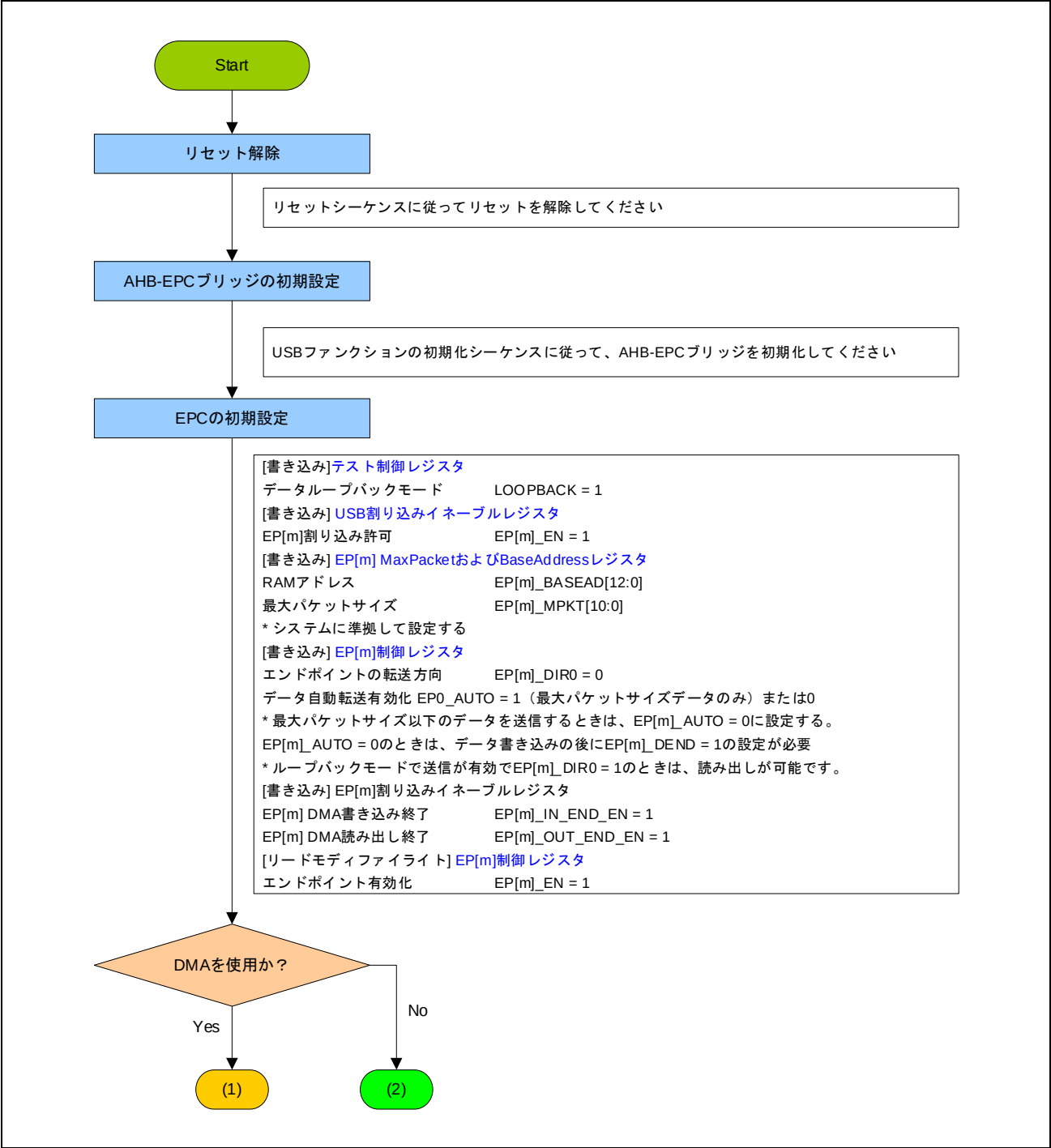


図 10.35 EP[m]データループバック (1/4)

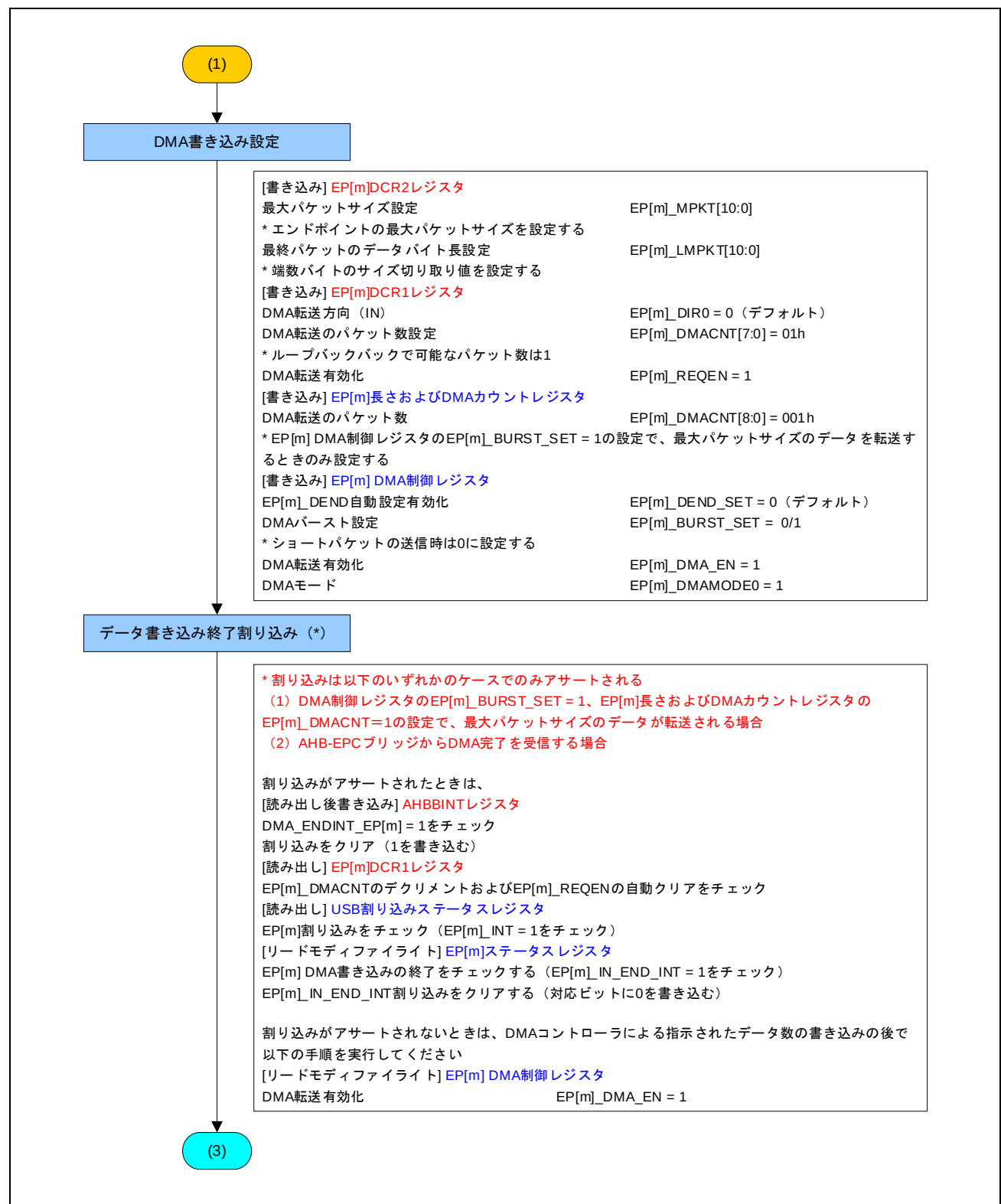


図 10.35 EP[m]データループバック (2/4)

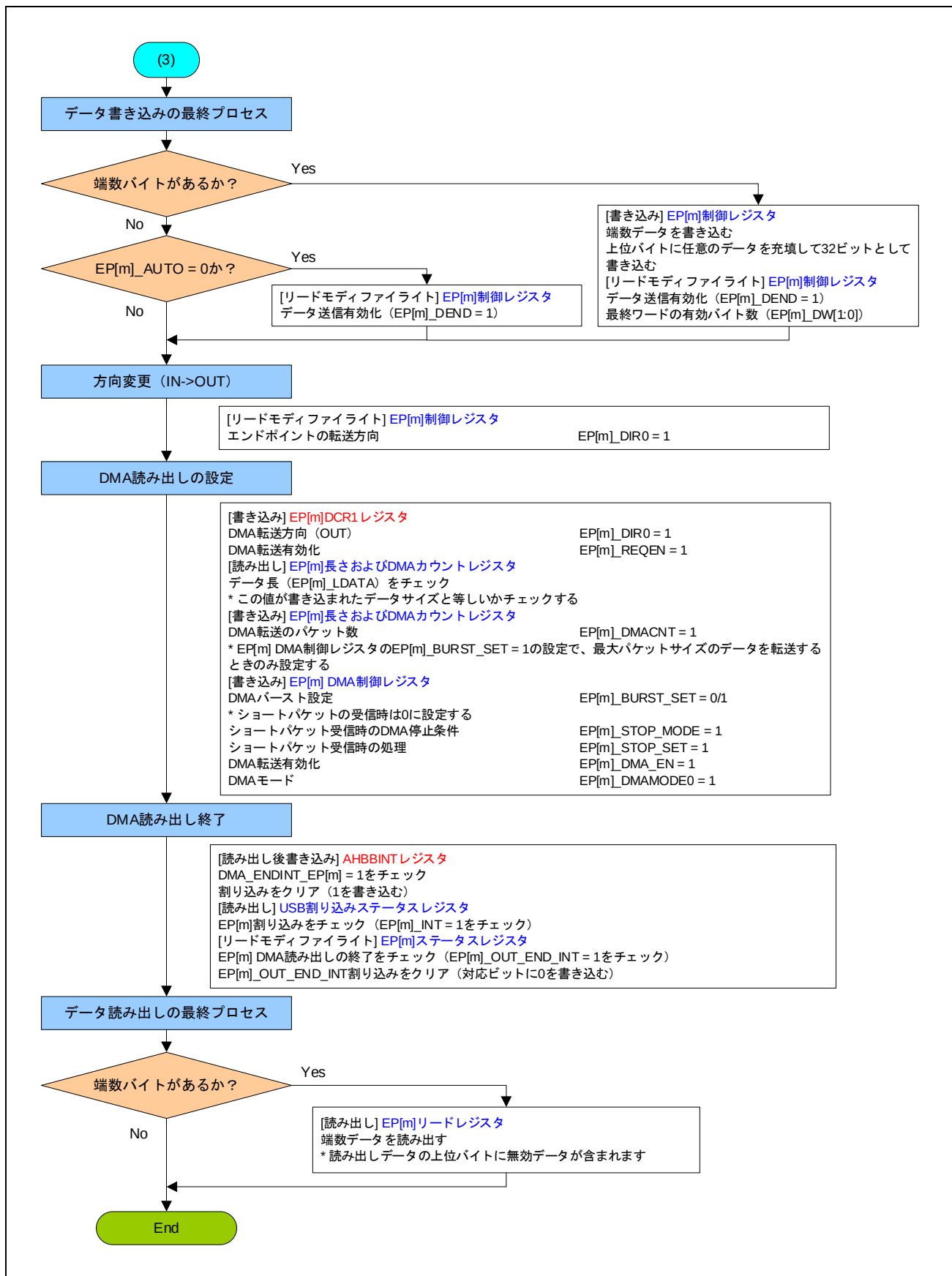


図 10.35 EP[m]データループバック (3/4)

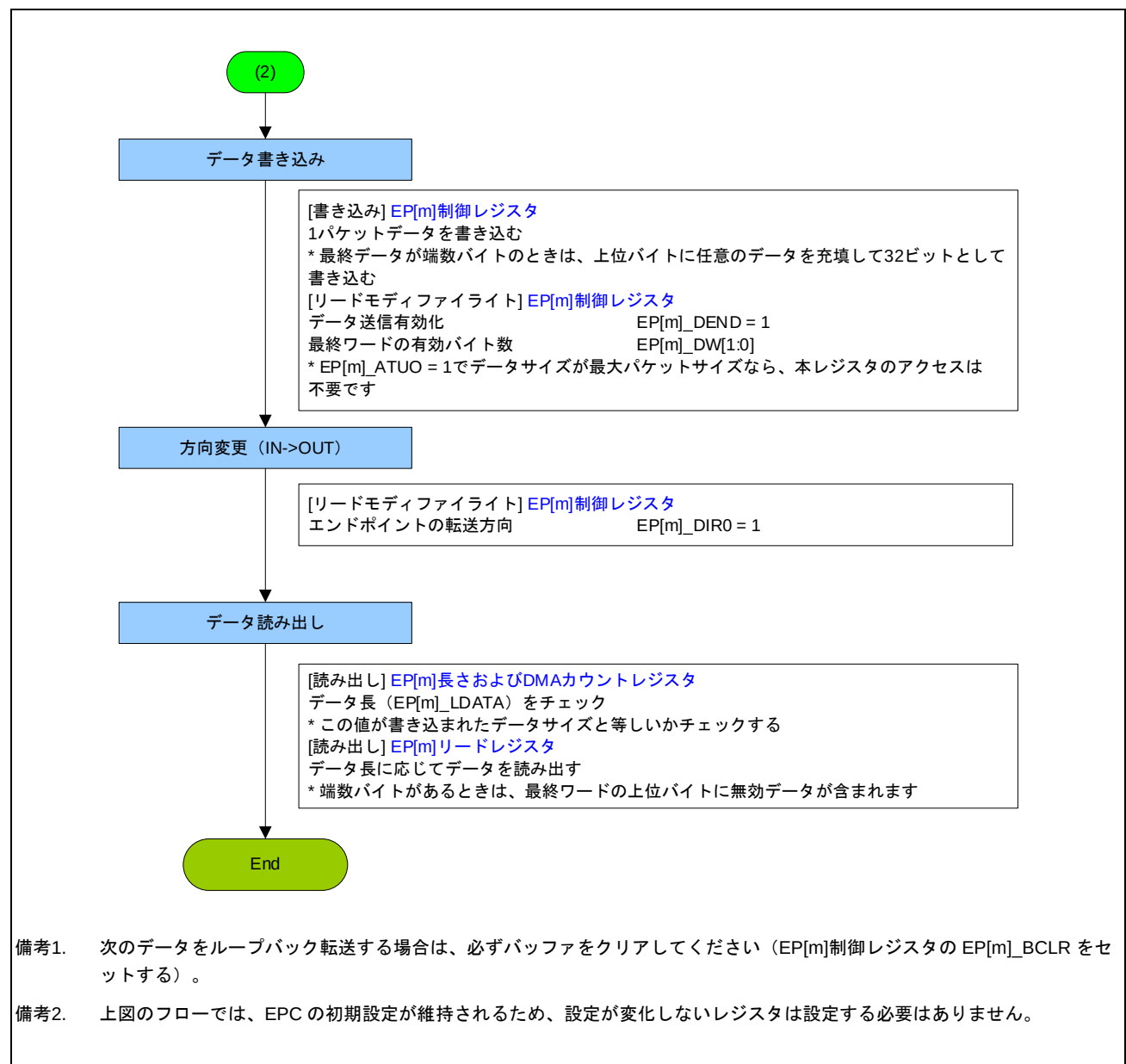


図 10.35 EP[m]データループバック (4/4)

第11章 DMA コントローラ

本書は Synopsys が著作権を有する内容を含みます（2014）。使用許諾を取得済みです。無断複写・転載を禁じます。Synopsys および DesignWare は Synopsys の登録商標です。

11.1 概要

RZ/N1 は、DMA コントローラの 2 つのインスタンス（DMAC1 および DMAC2）を搭載しています。各インスタンスは、最大 8 本の個別の DMA チャンネルで 1 つのソースと 1 つのデスティネーション間のデータ転送を処理することが可能です。

- 2 個のユニット
 - DMAC1 は 8 チャンネル、16 要求ソース（要求インタフェース）を処理
 - DMAC2 は 8 チャンネル、16 要求ソース（要求インタフェース）を処理
- DMA バーストサイズが可変
- 転送幅は 8、16、32、64 ビット
- アドレス指定（インクリメントまたはデクリメント）が可変
- 転送方向はメモリからメモリ、メモリから周辺機能、周辺機能からメモリ
- 各チャンネルは 4 ワード×64 ビットの内部 FIFO を装備
- 以下の手段によるマルチブロック転送：
 - リンクリスト（ブロックチェーン）
 - チャンネルレジスタの自動リロード
 - ブロック間の連続アドレス
 - マルチブロック転送方式でのソースおよびデスティネーションの個別の選択
 - スキャッター／ギャザー

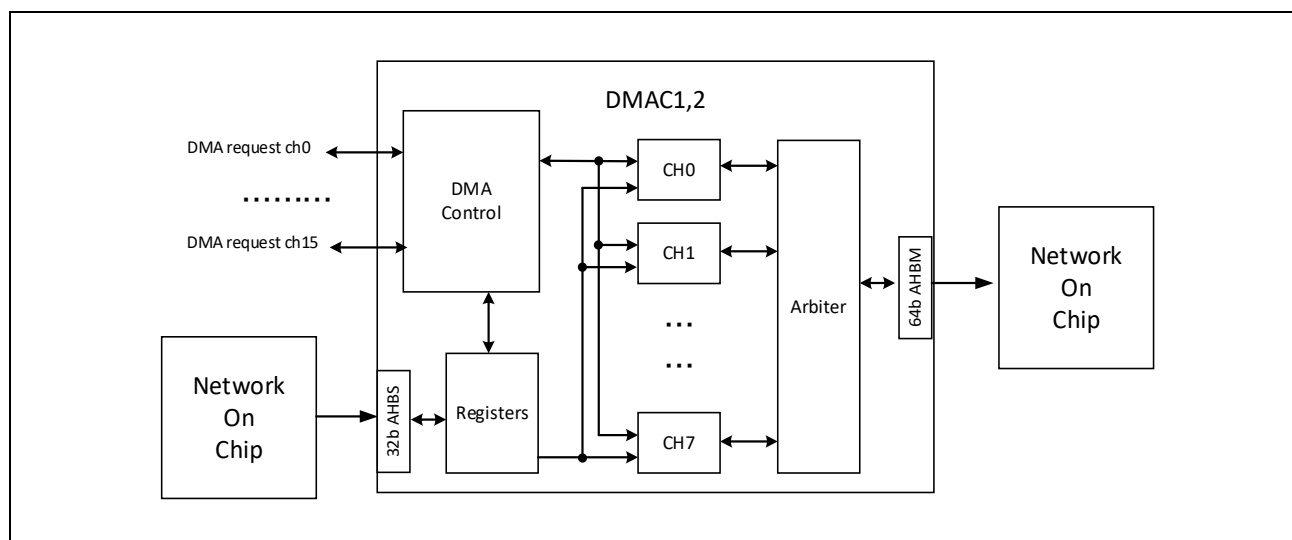


図 11.1 DMA コントローラのインタフェースおよび接続

11.2 信号インタフェース

信号名	入出力	説明
クロック		
DMA[m]_HCLK	入力	内部バスクロック（AHB）
割り込み		
DMA[m]_Int	出力	レベル検出割り込み、アクティブ High

備考 m=1 または 2
本章ではインデックス省略形式を使用します。
例) DMA_Int

11.3 基本定義

以下は本章で使用する用語の簡潔な定義です。

■周辺機能：

- DMA 転送時、DMAC に対して要求インタフェース（DMA 要求）が必要な領域

■ソース周辺機能：

- DMAC がデータを読み出す周辺機能（DMA 要求により、データを読み出す領域）

■デスティネーション周辺機能：

- DMAC がデータを書き込む周辺機能（DMA 要求により、データを書き込む領域）

■メモリ：

- DMA 転送時、常にアクセス可能な領域であり、DMAC に対して要求インタフェースは不要です。

■チャンネル：

- ソースとデスティネーションの読み出し／書き込みのデータパスです。
- ソースが周辺機能の場合、ソースから DMAC へ転送するためのソース要求インタフェースを割り当てます。
- デスティネーションが周辺機能の場合、DMAC からデスティネーションへ転送するためのデスティネーション要求インタフェースを割り当てます。
- 要求インタフェースは、チャンネルレジスタにより動的に割り当てが可能です。

■要求インタフェース：

- DMAC とソース周辺機能／デスティネーション周辺機能間の転送要求を制御する信号あるいはソフトウェアレジスタ群です。
- 本インタフェースは、DMAC のトランザクション制御に使用されます。
- チャンネルは、ハードウェアかソフトウェア、どちらかの要求インタフェースを使用します。

■ハードウェア要求インタフェース：

- DMAC とソース周辺機能／デスティネーション周辺機能間で、シングル転送あるいはバースト転送を制御する信号です。

■ソフトウェア要求インタフェース：

- DMAC とソース周辺機能／デスティネーション周辺機能間で、シングル転送あるいはバースト転送を制御するソフトウェアレジスタです。周辺機能の信号は使用しません。

■フローコントローラ：

- DMA ブロック転送サイズを決定し、転送を終了させるモジュールです。周辺機能または DMAC がフローコントローラになります。
- 周辺機能がブロック転送サイズを制御可能な場合は、その周辺機能がフローコントローラになり、それ以外の場合は、DMAC がフローコントローラになります。

■フロー制御モード (CFG[n].FCMODE) :

- デスティネーション周辺機能がフローコントローラの場合のみこのモードが適用され、ソース周辺機能からデータをプリフェッチするかどうかを制御します。

■トランザクション :

- 1 回の要求で行われる DMA 転送の基本処理です。
- シングルトランザクションとバーストトランザクションの 2 種類があります。

■シングルトランザクション :

- CTL[n].SRC_TR_WIDTH/DST_TR_WIDTH で規定されるデータ幅×1 のトランザクションです。

■バーストトランザクション :

- CTL[n].SRC_MSIZE/DEST_MSIZE で規定される長さが N のトランザクションで、シングルトランザクション×N となります。フローコントローラが周辺機能である場合は、バーストトランザクションの長さを DMAC と同じ設定にします。

■シングルブロック :

- 1 回の DMA 実行で転送されるデータの総量であり、フローコントローラにより規定されるブロック転送サイズと同値です。複数のトランザクションから構成され、ブロックサイズ分の転送完了により、1 回の DMA が完了します。ブロック転送サイズは、転送されるシングルトランザクションの合計数となります。

■マルチブロック DMA 転送 :

- シングルブロック DMA 転送を複数回行います。マルチブロック DMA 転送は、ブロックチェーン（リンクリストポインタ）、自動リロードチャネルレジスタ、または連続ブロックにより可能となります。ソースとデスティネーションに対してそれぞれ独立に選択可能です。

■リンクリスト（ブロックチェーン） :

- リンクリストポインタ（LLP）は、次のリンクリストアイテム（LLI）があるシステムメモリの場所を指します。LLI は、次のブロック（ブロックディスクリプタ）および LLP レジスタを記述するレジスタセットです。DMAC は、ブロックチェーンが有効になっているとき、各ブロックの先頭で LLI をフェッチします。

■自動リロード :

- ブロック転送完了時に、自動的にチャネル起動時のレジスタ値を再設定する機能です。

■連続ブロック :

- 前のブロックとアドレスが連続するブロックです。

■スキヤッタ :

- ブロック内デスティネーションアドレスは、スキヤッタ境界に達したときに、設定値分増減されます。

■ギャザー :

- ブロック内ソースアドレスは、ギャザー境界に達したときに、設定値分増減されます。

■FIFO モード：

- システムバス使用効率を改善するモードです。モード有効時、チャネルは、DMAC 内 FIFO の空きが半分以上になるまでソース周辺機能からのデータ読み出しを待ち、また、FIFO のデータが半分以上になるまで待ってデスティネーション周辺機能にデータ書き込みを行います。その結果、まとめてデータアクセスを行うため、バスの使用効率が改善されます。このモードが無効時は、チャネルは FIFO がシングル転送可能な状態になり次第バスアクセスを行います。

11.4 レジスタマップ

11.4.1 DMAC1 レジスタマップ

表 11.1 DMAC1 レジスタマップ

アドレス	レジスタ表記	レジスタ名
4010 4000h+58h×n	SAR[n] (n=0~7)	チャンネル [n] ソースアドレスレジスタ
4010 4008h+58h×n	DAR[n] (n=0~7)	チャンネル [n] デスティネーションアドレスレジスタ
4010 4010h+58h×n	LLP[n] (n=0~7)	チャンネル [n] リンクリストポインタレジスタ
4010 4018h+58h×n	CTL[n] (n=0~7)	チャンネル [n] コントロールレジスタ
4010 4020h+58h×n	SSTAT[n] (n=0~7)	チャンネル [n] ソースステータスレジスタ
4010 4028h+58h×n	DSTAT[n] (n=0~7)	チャンネル [n] デスティネーションステータスレジスタ
4010 4030h+58h×n	SSTATAR[n] (n=0~7)	チャンネル [n] ソースステータスアドレスレジスタ
4010 4038h+58h×n	DSTATAR[n] (n=0~7)	チャンネル [n] デスティネーションステータスアドレスレジスタ
4010 4040h+58h×n	CFG[n] (n=0~7)	チャンネル [n] コンフィグレーションレジスタ
4010 4048h+58h×n	SGR[n] (n=0~7)	チャンネル [n] ソースギャザーレジスタ
4010 4050h+58h×n	DSR[n] (n=0~7)	チャンネル [n] デスティネーションスキップレジスタ
4010 42C0h	RawTfr	IntTfr 割り込み Raw ステータスレジスタ
4010 42C8h	RawBlock	IntBlock 割り込み Raw ステータスレジスタ
4010 42D0h	RawSrcTran	IntSrcTran 割り込み Raw ステータスレジスタ
4010 42D8h	RawDstTran	IntDstTran 割り込み Raw ステータスレジスタ
4010 42E0h	RawErr	IntErr 割り込み Raw ステータスレジスタ
4010 42E8h	StatusTfr	IntTfr 割り込みステータスレジスタ
4010 42F0h	StatusBlock	IntBlock 割り込みステータスレジスタ
4010 42F8h	StatusSrcTran	IntSrcTran 割り込みステータスレジスタ
4010 4300h	StatusDstTran	IntDstTran 割り込みステータスレジスタ
4010 4308h	StatusErr	IntErr 割り込みステータスレジスタ
4010 4310h	MaskTfr	IntTfr 割り込みマスクレジスタ
4010 4318h	MaskBlock	IntBlock 割り込みマスクレジスタ
4010 4320h	MaskSrcTran	IntSrcTran 割り込みマスクレジスタ
4010 4328h	MaskDstTran	IntDstTran 割り込みマスクレジスタ
4010 4330h	MaskErr	IntErr 割り込みマスクレジスタ
4010 4338h	ClearTfr	IntTfr 割り込みクリアレジスタ
4010 4340h	ClearBlock	IntBlock 割り込みクリアレジスタ
4010 4348h	ClearSrcTran	IntSrcTran 割り込みクリアレジスタ
4010 4350h	ClearDstTran	IntDstTran 割り込みクリアレジスタ
4010 4358h	ClearErr	IntErr 割り込みクリアレジスタ
4010 4360h	StatusInt	多重割り込みステータスレジスタ
4010 4368h	ReqSrcReg	ソースソフトウェアトランザクション要求レジスタ
4010 4370h	ReqDstReg	デスティネーションソフトウェアトランザクション要求レジスタ
4010 4378h	SglRqSrcReg	シングルソーストランザクション要求レジスタ
4010 4380h	SglRqDstReg	シングルデスティネーショントランザクション要求レジスタ
4010 4388h	LstSrcReg	ソース最終トランザクション要求レジスタ
4010 4390h	LstDstReg	デスティネーション最終トランザクション要求レジスタ
4010 4398h	DmaCfgReg	DMA コンフィグレーションレジスタ
4010 43A0h	ChEnReg	DMA コントローラチャンネルイネーブルレジスタ
4010 43A8h	DmaIdReg	DMA ID レジスタ
4010 43B0h	DmaTestReg	DMA コントローラテストレジスタ

11.4.2 DMAC2 レジスタマップ

表 11.2 DMAC2 レジスタマップ

アドレス	レジスタ表記	レジスタ名
4010 5000h+58h×n	SAR[n] (n=0~7)	チャンネル [n] ソースアドレスレジスタ
4010 5008h+58h×n	DAR[n] (n=0~7)	チャンネル [n] デスティネーションアドレスレジスタ
4010 5010h+58h×n	LLP[n] (n=0~7)	チャンネル [n] リンクリストポインタレジスタ
4010 5018h+58h×n	CTL[n] (n=0~7)	チャンネル [n] コントロールレジスタ
4010 5020h+58h×n	SSTAT[n] (n=0~7)	チャンネル [n] ソースステータスレジスタ
4010 5028h+58h×n	DSTAT[n] (n=0~7)	チャンネル [n] デスティネーションステータスレジスタ
4010 5030h+58h×n	SSTATAR[n] (n=0~7)	チャンネル [n] ソースステータスアドレスレジスタ
4010 5038h+58h×n	DSTATAR[n] (n=0~7)	チャンネル [n] デスティネーションステータスアドレスレジスタ
4010 5040h+58h×n	CFG[n] (n=0~7)	チャンネル [n] コンフィグレーションレジスタ
4010 5048h+58h×n	SGR[n] (n=0~7)	チャンネル [n] ソースギャザーレジスタ
4010 5050h+58h×n	DSR[n] (n=0~7)	チャンネル [n] デスティネーションスキップレジスタ
4010 52C0h	RawTfr	IntTfr 割り込み Raw ステータスレジスタ
4010 52C8h	RawBlock	IntBlock 割り込み Raw ステータスレジスタ
4010 52D0h	RawSrcTran	IntSrcTran 割り込み Raw ステータスレジスタ
4010 52D8h	RawDstTran	IntDstTran 割り込み Raw ステータスレジスタ
4010 52E0h	RawErr	IntErr 割り込み Raw ステータスレジスタ
4010 52E8h	StatusTfr	IntTfr 割り込みステータスレジスタ
4010 52F0h	StatusBlock	IntBlock 割り込みステータスレジスタ
4010 52F8h	StatusSrcTran	IntSrcTran 割り込みステータスレジスタ
4010 5300h	StatusDstTran	IntDstTran 割り込みステータスレジスタ
4010 5308h	StatusErr	IntErr 割り込みステータスレジスタ
4010 5310h	MaskTfr	IntTfr 割り込みマスクレジスタ
4010 5318h	MaskBlock	IntBlock 割り込みマスクレジスタ
4010 5320h	MaskSrcTran	IntSrcTran 割り込みマスクレジスタ
4010 5328h	MaskDstTran	IntDstTran 割り込みマスクレジスタ
4010 5330h	MaskErr	IntErr 割り込みマスクレジスタ
4010 5338h	ClearTfr	IntTfr 割り込みクリアレジスタ
4010 5340h	ClearBlock	IntBlock 割り込みクリアレジスタ
4010 5348h	ClearSrcTran	IntSrcTran 割り込みクリアレジスタ
4010 5350h	ClearDstTran	IntDstTran 割り込みクリアレジスタ
4010 5358h	ClearErr	IntErr 割り込みクリアレジスタ
4010 5360h	StatusInt	多重割り込みステータスレジスタ
4010 5368h	ReqSrcReg	ソースソフトウェアトランザクション要求レジスタ
4010 5370h	ReqDstReg	デスティネーションソフトウェアトランザクション要求レジスタ
4010 5378h	SglRqSrcReg	シングルソーストランザクション要求レジスタ
4010 5380h	SglRqDstReg	シングルデスティネーショントランザクション要求レジスタ
4010 5388h	LstSrcReg	ソース最終トランザクション要求レジスタ
4010 5390h	LstDstReg	デスティネーション最終トランザクション要求レジスタ
4010 5398h	DmaCfgReg	DMA コンフィグレーションレジスタ
4010 53A0h	ChEnReg	DMA コントローラチャンネルイネーブルレジスタ
4010 53A8h	DmaIdReg	DMA ID レジスタ
4010 53B0h	DmaTestReg	DMA コントローラテストレジスタ

11.5 レジスタの説明

11.5.1 SAR[n] — チャネル [n] ソースアドレスレジスタ (n=0~7)

DMA チャネルを有効化する前に、ソフトウェアで SAR[n]レジスタに開始ソースアドレスを設定します。また、DMA 転送を開始する前に、LLI アップデートにより開始ソースアドレスを設定します。DMA 転送の処理中は、実行中の転送のソースアドレスに応じて本レジスタが更新されます。

アドレス		4010 4000h+58h×n (DMAC1)															
		4010 5000h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	SAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	SAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.3 SAR[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b0	SAR	DMA 転送の現在のソースアドレス。ソース転送毎に更新されます。ブロック転送中の各ソース転送後のアドレスのインクリメント、デクリメント、または変更なしは、CTL[n]レジスタの SINC フィールドで指定します。	R/W

11.5.2 DAR[n] — チャネル [n] デスティネーションアドレスレジスタ (n=0~7)

DMA チャネルを有効化する前に、ソフトウェアで DAR[n] レジスタに開始デスティネーションアドレスを設定します。また、DMA 転送を開始する前に LLI アップデートにより開始デスティネーションアドレスを設定します。DMA 転送の処理中は、実行中の転送のデスティネーションアドレスに応じて本レジスタが更新されます。

アドレス		4010 4008h+58h×n (DMAC1)															
		4010 5008h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	DAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	DAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.4 DAR[n] レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b0	DAR	DMA 転送の現在のデスティネーションアドレス。デスティネーション転送毎に更新されます。ブロック転送中の各デスティネーション転送後のアドレスのインクリメント、デクリメント、または変更なしは、CTL[n] レジスタの DINC フィールドで指定します。	R/W

11.5.3 LLP[n] — チャンネル [n] リンクリストポインタレジスタ (n=0~7)

LLP[n]レジスタは、ブロックチェーンが有効の場合に、チャンネルを有効化する前にメモリの先頭のリンクリストアイテム (LLI) を指すようにプログラムします。

アドレス		4010 4010h+58h×n (DMAC1)															
		4010 5010h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	LOC																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	LOC														—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X

表 11.5 LLP[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b2	LOC	ブロックチェーンが有効の場合の次の LLI の先頭アドレス。先頭アドレスは 32 ビット境界アラインを前提とするため、アドレスの LSB 側 2 ビットは格納されません。LLI アクセスは、常に 32 ビット境界にアラインする 32 ビットアクセスで、32 ビット以外に変更またはプログラムすることはできません。	R/W
b1、b0	予約ビット		R

表 11.6 CTL[n]レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット		R
b28	LLP_SRC_EN	ソース側のブロックチェーンは、LLP_SRC_EN フィールドが 1 で LLP[n].LOC が 0 以外の場合のみ有効です。	R/W
b27	LLP_DST_EN	デスティネーション側のブロックチェーンは、LLP_DST_EN フィールドが 1 で LLP[n].LOC が 0 以外の場合のみ有効です。	R/W
b26~b23	予約ビット		R
b22~b20	TT_FC	転送タイプおよびフロー制御 フロー制御は、DMAC、ソース周辺機能、またはデスティネーション周辺機能に割り当てることが可能です。 000b: メモリからメモリ、フローコントローラは DMAC 001b: メモリから周辺機能、フローコントローラは DMAC 010b: 周辺機能からメモリ、フローコントローラは DMAC 011b: 予約 100b: 周辺機能からメモリ、フローコントローラは周辺機能 101b: 予約 110b: メモリから周辺機能、フローコントローラは周辺機能 111b: 予約 リンクリスト動作によるマルチブロック転送では、転送の全ブロックに対して TT_FC を固定する必要があります。	R/W
b19	予約ビット		R
b18	DST_SCATTER_EN	デスティネーションスキップ有効ビット 0: スキップ無効 1: スキップ有効 デスティネーション側のスキップは、CTL[n].DINC ビットによりアドレスのインクリメントまたはデクリメントが指示される場合のみ適用されます。	R/W
b17	SRC_GATHER_EN	ソースギャザラ有効ビット 0: ギャザラ無効 1: ギャザラ有効 ソース側のギャザラは、CTL[n].SINC ビットによりアドレスのインクリメントまたはデクリメントが指示される場合のみ適用されます。	R/W
b16~b14	SRC_MSIZ	ソースバーストランザクション長 1 回のソース要求によって読み出されるランザクション長になります。この設定は、ソースに「メモリ」を設定した場合は使用されません。 000b: 1 001b: 4 010b: 8 011b: 16 100b: 32 101b: 64 110b: 128 111b: 256	R/W
b13~b11	DEST_MSIZ	デスティネーションバーストランザクション長 1 回のデスティネーション要求によって書き込まれる、ランザクション長になります。 ビット設定の内容は、SRC_MSIZ と同様です。 この設定は、デスティネーションに「メモリ」を設定した場合は使用されません。	R/W

表 11.6 CTL[n]レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b10、b9	SINC	ソースアドレスインクリメント 各ソース転送でソースアドレスをインクリメントするかデクリメントするかを指定します。デバイスがアドレス固定のソース周辺機能 FIFO からデータをフェッチする場合、本フィールドは「変更なし」に設定します。 00b : インクリメント 01b : デクリメント 1xb : 変更なし 備考) インクリメントまたはデクリメントは、次の CTL[n].SRC_TR_WIDTH 境界のアライメントに対して実行されます。	R/W
b8、b7	DINC	デスティネーションアドレスインクリメント 各デスティネーション転送でデスティネーションアドレスをインクリメントするかデクリメントするかを指定します。デバイスがアドレス固定のデスティネーション周辺機能 FIFO にデータをライトする場合、本フィールドは「変更なし」に設定します。 00b : インクリメント 01b : デクリメント 1xb : 変更なし 備考) インクリメントまたはデクリメントは、次の CTL[n].DST_TR_WIDTH 境界のアライメントに対して実行されます。	R/W
b6～b4	SRC_TR_WIDTH	ソース転送幅 000b : 8 ビット 001b : 16 ビット 010b : 32 ビット 011b : 64 ビット 上記以外 : 予約ビット メモリを搭載しない周辺機能では、通常は周辺機能（ソース）FIFO 幅です。	R/W
b3～b1	DST_TR_WIDTH	デスティネーション転送幅 ビット設定は SRC_TR_WIDTH と共通です。 メモリを搭載しない周辺機能では、通常は周辺機能（デスティネーション）FIFO 幅です。	R/W
b0	INT_EN	割り込み有効ビット 本ビットがセットされていると、すべての割り込み生成ソースが有効となります。チャンネルのすべての割り込みのグローバルマスクビットとして機能します。	R/W

11.5.5 SSTAT[n] — チャネル [n] ソースステータスレジスタ (n=0~7)

SSTAT[n]レジスタは、LLI の SSTAT[n]レジスタ位置に設定されるソースステータス情報の一時的なプレースホルダです。ソフトウェアでソースステータス情報を取得する場合は、DMAC スレーブインタフェースで本レジスタを読み出すのではなく、LLI の SSTAT[n]レジスタ位置を読み出します。

アドレス		4010 4020h+58h×n (DMAC1)															
		4010 5020h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	SSTAT																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	SSTAT																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.7 SSTAT[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b0	SSTAT	ハードウェアにより SSTATAR[n]レジスタで指示されるアドレスから取得したソースステータス情報です。	R/W

11.5.6 DSTAT[n] — チャネル [n] デスティネーションステータスレジスタ（n=0～7）

DSTAT[n]レジスタは、LLI の DSTAT[n]レジスタ位置に設定されるデスティネーションステータス情報の一時的なプレースホルダです。ソフトウェアでデスティネーションステータス情報を取得する場合は、DMAC スレーブインタフェースで本レジスタを読み出すのではなく、LLI の DSTAT[n]レジスタ位置を読み出します。

アドレス		4010 4028h+58h×n (DMAC1)															
		4010 5028h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	DSTAT																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	DSTAT																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.8 DSTAT[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b32	予約ビット		R
b31～b0	DSTAT	ハードウェアにより DSTATAR[n]レジスタで指示されるアドレスから取得したデスティネーションステータス情報です。	R/W

11.5.7 SSTATAR[n] — チャネル [n] ソースステータスアドレスレジスタ (n=0~7)

各ブロック転送が完了すると、SSTATAR[n]レジスタで指示されるユーザ定義のアドレスから、ハードウェアでソースステータス情報を取得することが可能です。ソース転送のステータスを示す 32 ビット値を格納するシステムメモリ内のロケーションは、選択が可能です。

アドレス		4010 4030h+58h×n (DMAC1)															
		4010 5030h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	SSTATAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	SSTATAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.9 SSTATAR[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b0	SSTATAR	ハードウェアでソースステータス情報をフェッチ可能なロケーションのポインタ。この情報は SSTAT[n]レジスタに格納され、次のブロックの開始前に LLI の SSTAT[n]レジスタ位置に書き込まれます。	R/W

11.5.8 DSTATAR[n] — チャネル [n] デスティネーションステータスアドレスレジスタ (n=0~7)

各ブロック転送が完了すると、DSTATAR[n]レジスタで指示されるユーザ定義のアドレスから、ハードウェアでデスティネーションステータス情報を取得することが可能です。デスティネーション転送のステータスを示す 32 ビット値を格納するシステムメモリ内のロケーションは、選択が可能です。

アドレス		4010 4038h+58h×n (DMAC1)															
		4010 5038h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	DSTATAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	DSTATAR																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.10 DSTATAR[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b0	DSTATAR	ハードウェアでデスティネーションステータス情報をフェッチ可能なロケーションのポインタ。この情報は DSTAT[n]レジスタに格納され、次のブロックの開始前に LLI の DSTAT[n]レジスタ位置に書き込まれます。	R/W

11.5.9 CFG[n] — チャンネル [n] コンフィグレーションレジスタ (n=0~7)

CFG[n]レジスタは、DMA 転送を設定するためのフィールドを格納します。本レジスタの内容はマルチブロック転送の全ブロックで固定です。

アドレス 4010 4040h+58h×n (DMAC1)

4010 5040h+58h×n (DMAC2)

ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	—	DEST_PER				SRC_PER				SS_UPD_EN	DS_UPD_EN	—	—	—	FIFO_MODE	FCMODE
リセット後の値	X	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RELOAD_DST	RELOAD_SRC	MAX_ABRST										SRC_HSPOL	DST_HSPOL	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HS_SEL_SRC	HS_SEL_DST	FIFO_EMPTY	CH_SUIP	CH_PRIOR			—	—	—	—	—
リセット後の値	X	X	X	X	1	1	1	0	X	X	X	X	X	X	X	X

表 11.11 CFG[n]レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b63~b47	予約ビット		R
b46~b43	DEST_PER	本フィールドは、チャンネル [n] のデスティネーションに対してハードウェア要求インタフェース (0~15) を割り当てます。ソフトウェア要求インタフェースを使用する場合、本フィールドは無効です。 チャンネルは、割り当てられたハードウェア要求インタフェースを利用して、インタフェースに接続されたデスティネーション周辺機能と通信することが可能です。 DMAC の正規の処理では、1 つの要求インタフェースに対して 1 つの周辺機能 (ソースまたはデスティネーション) を割り当てて行っています。	R/W
b42~b39	SRC_PER	本フィールドは、チャンネル [n] のソースに対してハードウェア要求インタフェース (0~15) を割り当てます。ソフトウェア要求インタフェースを使用する場合、本フィールドは無効です。 チャンネルは、割り当てられたハードウェア要求インタフェースを利用して、インタフェースに接続されたソース周辺機能と通信することが可能です。 DMAC の正規の処理では、1 つの要求インタフェースに対して 1 つの周辺機能 (ソースまたはデスティネーション) を割り当てて行っています。	R/W
b38	SS_UPD_EN	ソースステータス更新イネーブル ソースステータス情報は、SSTATAR[n]レジスタで指示されるロケーションからのみフェッチされます。この情報は、SSTAT[n]レジスタに格納すると SS_UPD_EN が 1 のときに LLI の SSTAT[n]位置に書き込まれます。	R/W
b37	DS_UPD_EN	デスティネーションステータス更新イネーブル デスティネーションステータス情報は、DSTATAR[n]レジスタで指示されるロケーションからのみフェッチされます。この情報は、DSTAT[n]レジスタに格納すると DS_UPD_EN が 1 のときに LLI の DSTAT[n]位置に書き込まれます。	R/W

表 11.11 CFG[n]レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b36~b34	予約ビット	初期値を維持してください。	R/W
b33	FIFO_MODE	FIFO モード選択 システムバス使用効率を改善するモードです。 0 : FIFO はシングル転送が可能であればバスアクセスします。 1 : FIFO は可能なかぎりバースト転送のバスアクセスをします。バスの使用効率が改善されます。	R/W
b32	FCMODE	フロー制御モード デスティネーション周辺機能がフローコントローラの場合に、ソーストランザクション要求を処理するタイミングを決定します。 0 : ソーストランザクション要求をデスティネーショントランザクション要求に関係なく処理する。 1 : ソーストランザクション要求は、デスティネーショントランザクション要求が発生するまでは処理しない。この場合、ソースから転送されるデータ量が制限され、デスティネーションによるブロック完了の前にデスティネーションに転送されることが保証される。	R/W
b31	RELOAD_DST	自動デスティネーションリロード マルチブロック転送で、各ブロックの終了時に DAR[n]レジスタに自動的に初期設定値がリロードされます。次のブロック転送が起動されます。自動リロードする条件は、「表 11.46 転送方式の設定およびチャネルレジスタの更新方法」を参照ください。	R/W
b30	RELOAD_SRC	自動ソースリロード マルチブロック転送で、各ブロックの終了時に SAR[n]レジスタに自動的に初期設定値がリロードされます。次のブロック転送が起動されます。自動リロードする条件は、「表 11.46 転送方式の設定およびチャネルレジスタの更新方法」を参照ください。	R/W
b29~b20	MAX_ABRST	最大バースト長 DMAC がバスを占有し続けることを無くすため、チャネルの DMA 転送の最大バースト長を設定します。 本フィールドが 0 なら、チャネルの DMA 転送で MAX_ABRST に制限されません。	R/W
b19	SRC_HS_POL	ソース要求インタフェース極性 本 LSI ではアクティブ High のみ有効で、初期値のままとしてください。 0 : アクティブ High 1 : アクティブ Low	R/W
b18	DST_HS_POL	デスティネーション要求インタフェース極性 本 LSI ではアクティブ High のみ有効で、初期値のままとしてください。 0 : アクティブ High 1 : アクティブ Low	R/W
b17~b12	予約ビット		R
b11	HS_SEL_SRC	ソースのソフトウェアまたはハードウェアの要求インタフェース選択 チャネルのソース要求に対して、ハードウェアまたはソフトウェアのどちらの要求インタフェースをアクティブにするかを選択します。 0 : ハードウェア要求インタフェース。ソフトウェア起動のトランザクション要求は無効。 1 : ソフトウェア要求インタフェース。ハードウェア起動のトランザクション要求は無効。 本ビットは、ソースが要求インタフェース不要な「メモリ」の場合は無効です。	R/W
b10	HS_SEL_DST	デスティネーションのソフトウェアまたはハードウェアの要求インタフェース選択。 チャネルのデスティネーション要求に対して、ハードウェアまたはソフトウェアのどちらの要求インタフェースをアクティブにするかを選択します。 0 : ハードウェア要求インタフェース。ソフトウェア起動のトランザクション要求は無効。 1 : ソフトウェア要求インタフェース。ハードウェア起動のトランザクション要求は無効。 本ビットは、デスティネーションが要求インタフェース不要な「メモリ」の場合は無効です。	R/W

表 11.11 CFG[n]レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b9	FIFO_EMPTY	チャンネル FIFO のデータの有無を示します。 CFG[n].CH_SUSP と併用すればチャンネルを無効化することが可能です。 0 : チャンネル FIFO にデータがある 1 : チャンネル FIFO はエンプティ	R
b8	CH_SUSP	チャンネル保留 本ビットがクリアされるまでは、ソースからのすべての DMA データ転送は保留されます。本ビットをセットしたときに実行中のトランザクションの完了は保証されません。CFG[n].FIFO_EMPTY と併用すれば、チャンネルを無効化することが可能です。 0 : 保留しない 1 : ソースからの DMA 転送を保留する	R/W
b7~b5	CH_PRIOR	チャンネル優先度 7 が最上位優先度、0 が最下位優先度です。 リセット後の値は、チャンネル 0 は 0、チャンネル 1 は 1、・・・チャンネル 7 は 7 です。 最も優先度が高い要求が常に実行されます。ただし、同じ優先度の要求が発生した場合は、小さい番号のチャンネルが実行されます	R/W
b4~b0	予約ビット		R

11.5.10 SGR[n] — チャネル [n] ソースギャザーレジスタ (n=0~7)

SGR[n]レジスタには2つのフィールドがあります。

- ソースギャザーカウントフィールド (SGR[n].SGC)
ギャザー境界間での連続ソースシングルトランザクション数を指定します。
- ソースギャザーインターバルフィールド (SGR[n].SGI)
ソース転送でギャザーモードが有効の場合に、ギャザー境界でのソースアドレスのインクリメントまたはデクリメントを CTL[n].SRC_TR_WIDTH の倍数で指定します。

アドレス		4010 4048h+58h×n (DMAC1)															
アドレス		4010 5048h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	SGC												SGI				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	SGI																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

表 11.12 SGR[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b20	SGC	ソースギャザーカウント 連続するギャザー境界間のソースの連続転送数です。	R/W
b19~b0	SGI	ソースギャザーインターバル	R/W

11.5.11 DSR[n] — チャネル [n] デスティネーションスキッタレジスタ (n=0~7)

DSR[n]レジスタには2つのフィールドがあります。

- デスティネーションスキッタカウントフィールド (DSR[n].DSC)
スキッタ境界間の連続デスティネーションシングルランザクション数を指定します。
- デスティネーションスキッタインターバルフィールド (DSR[n].DSI)
デスティネーション転送でスキッタモードが有効の場合に、スキッタ境界でのデスティネーションアドレスのインクリメントまたはデクリメントを CTL[n].DST_TR_WIDTH の倍数で指定します。

アドレス		4010 4050h+58h×n (DMAC1)															
		4010 5050h+58h×n (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	DSC												DSI				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	DSI																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.13 DSR[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット		R
b31~b20	DSC	デスティネーションスキッタカウント 連続するスキッタ境界間のデスティネーションの連続転送数です。	R/W
b19~b0	DSI	デスティネーションスキッタインターバル	R/W

11.5.12 RawTfr — IntTfr 割り込み Raw ステータスレジスタ

全ブロックの DMA 転送が完了すると、本割り込みが生成されます。RawTfr レジスタにはチャンネル毎のビットが用意されており、各ビットは ClearTfr レジスタの対応ビットに 1 を書き込むとクリアされます。本レジスタへの書き込みアクセスはソフトウェアテストの場合のみ可能です。通常処理では、本レジスタへの書き込みは推奨されません。

アドレス		4010 42C0h (DMAC1)															
		4010 52C0h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	RAW								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.14 RawTfr レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	RAW	Raw 割り込みステータス 0 : 割り込み要求なし 1 : 割り込み要求あり	R/W

11.5.13 RawBlock — IntBlock 割り込み Raw ステータスレジスタ

DMA ブロック転送が完了すると、本割り込みが生成されます。RawBlock レジスタにはチャンネル毎のビットが用意されており、各ビットは ClearBlock レジスタの対応ビットに 1 を書き込むとクリアされます。本レジスタへの書き込みアクセスはソフトウェアテストの場合のみ可能です。通常処理では、本レジスタへの書き込みは推奨されません。

アドレス		4010 42C8h (DMAC1)															
		4010 52C8h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	RAW								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.15 RawBlock レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	RAW	Raw 割り込みステータス 0 : 割り込み要求なし 1 : 割り込み要求あり	R/W

11.5.14 RawSrcTran — IntSrcTran 割り込み Raw ステータスレジスタ

ソース側の要求インタフェースにより要求されたシングル／バーストトランザクションの最後の AHB 転送が完了すると、本割り込みが生成されます。RawSrcTran レジスタにはチャンネル毎のビットが用意されており、各ビットは ClearSrcTran レジスタの対応ビットに 1 を書き込むとクリアされます。本レジスタへの書き込みアクセスはソフトウェアテストの場合のみ可能です。通常処理では、本レジスタへの書き込みは推奨されません。

アドレス		4010 42D0h (DMAC1)															
		4010 52D0h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	RAW								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.16 RawSrcTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	RAW	Raw 割り込みステータス 0 : 割り込み要求なし 1 : 割り込み要求あり	R/W

11.5.15 RawDstTran — IntDstTran 割り込み Raw ステータスレジスタ

デスティネーション側の要求インターフェースにより要求されたシングル/バーストトランザクションの最後の AHB 転送が完了すると、本割り込みが生成されます。RawDstTran レジスタにはチャンネル毎のビットが用意されており、各ビットは ClearDstTran レジスタの対応ビットに 1 を書き込むとクリアされます。本レジスタへの書き込みアクセスはソフトウェアテストの場合のみ可能です。通常処理では、本レジスタへの書き込みは推奨されません。

アドレス		4010 42D8h (DMAC1)															
		4010 52D8h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	RAW								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.17 RawDstTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b8	予約ビット		R
b7~b0	RAW	Raw 割り込みステータス 0 : 割り込み要求なし 1 : 割り込み要求あり	R/W

11.5.16 RawErr — IntErr 割り込み Raw ステータスレジスタ

DMA 転送時に AHB スレーブから ERROR 応答を受け取ると、本割り込みが生成されます。この場合、DMA 転送はキャンセルされてチャンネルは無効化されます。RawErr レジスタにはチャンネル毎のビットが用意されており、各ビットは ClearErr レジスタの対応ビットに 1 を書き込むとクリアされます。本レジスタへの書き込みアクセスはソフトウェアテストの場合のみ可能です。通常処理では、本レジスタへの書き込みは推奨されません。

アドレス		4010 42E0h (DMAC1)															
		4010 52E0h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	RAW								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.18 RawErr レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b8	予約ビット		R
b7~b0	RAW	Raw 割り込みステータス 0 : 割り込み要求なし 1 : 割り込み要求あり	R/W

11.5.17 StatusTfr — IntTfr 割り込みステータスレジスタ

StatusTfr レジスタには、チャンネル毎のマスク後のビットが用意されています。本レジスタは、DMA 割り込み信号の生成に使用します。

アドレス		4010 42E8h (DMAC1)															
		4010 52E8h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	STATUS								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.19 StatusTfr レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b8	予約ビット		R
b7~b0	STATUS	割り込みステータス 0 : 割り込みなし 1 : 割り込み発生	R

11.5.18 StatusBlock — IntBlock 割り込みステータスレジスタ

StatusBlock レジスタには、チャンネル毎のマスク後のビットが用意されています。本レジスタは、DMA 割り込み信号の生成に使用します。

アドレス		4010 42F0h (DMAC1)															
		4010 52F0h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	STATUS								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.20 StatusBlock レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b8	予約ビット		R
b7~b0	STATUS	割り込みステータス 0 : 割り込みなし 1 : 割り込み発生	R

11.5.19 StatusSrcTran — IntSrcTran 割り込みステータスレジスタ

StatusSrcTran レジスタには、チャンネル毎のマスク後のビットが用意されています。本レジスタは、DMA 割り込み信号の生成に使用します。

アドレス		4010 42F8h (DMAC1)															
		4010 52F8h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	STATUS								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.21 StatusSrcTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b8	予約ビット		R
b7~b0	STATUS	割り込みステータス 0 : 割り込みなし 1 : 割り込み発生	R

11.5.20 StatusDstTran — IntDstTran 割り込みステータスレジスタ

StatusDstTran レジスタには、チャンネル毎のマスク後のビットが用意されています。本レジスタは、DMA 割り込み信号の生成に使用します。

アドレス		4010 4300h (DMAC1)															
		4010 5300h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	STATUS								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.22 StatusDstTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b8	予約ビット		R
b7~b0	STATUS	割り込みステータス 0 : 割り込みなし 1 : 割り込み発生	R

11.5.21 StatusErr — IntErr 割り込みステータスレジスタ

StatusErr レジスタには、チャンネル毎のマスク後のビットが用意されています。本レジスタは、DMA 割り込み信号の生成に使用します。

アドレス		4010 4308h (DMAC1)															
		4010 5308h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	STATUS								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.23 StatusErr レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b8	予約ビット		R
b7~b0	STATUS	割り込みステータス 0 : 割り込みなし 1 : 割り込み発生	R

11.5.22 MaskTfr — IntTfr 割り込みマスクレジスタ

RawTfr レジスタの内容は MaskTfr レジスタの内容でマスクされます。

INT_MASK[7:0]の各ビットは、対応する INT_MASK_WE[7:0]のビットが 1 の場合に書き込まれます。これにより、ソフトウェアはリードモディファイライト動作を行わずにマスクビットをセットすることが可能です。

アドレス		4010 4310h (DMAC1)															
		4010 5310h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	INT_MASK_WE								INT_MASK								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.24 MaskTfr レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	INT_MASK_WE	割り込みマスク書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	INT_MASK	割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可	R/W

11.5.23 MaskBlock — IntBlock 割り込みマスクレジスタ

RawBlock レジスタの内容は MaskBlock レジスタの内容でマスクされます。

INT_MASK[7:0]の各ビットは、対応する INT_MASK_WE[7:0]のビットが 1 の場合に書き込まれます。これにより、ソフトウェアはリードモディファイライト動作を行わずにマスクビットをセットすることが可能です。

アドレス		4010 4318h (DMAC1)															
		4010 5318h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	INT_MASK_WE								INT_MASK								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.25 MaskBlock レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	INT_MASK_WE	割り込みマスク書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	INT_MASK	割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可	R/W

11.5.24 MaskSrcTran — IntSrcTran 割り込みマスクレジスタ

RawSrcTran レジスタの内容は、MaskSrcTran レジスタの内容でマスクされます。

INT_MASK[7:0]の各ビットは、対応する INT_MASK_WE[7:0]のビットが 1 の場合に書き込まれます。これにより、ソフトウェアはリードモディファイライト動作を行わずにマスクビットをセットすることが可能です。

アドレス		4010 4320h (DMAC1)															
		4010 5320h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	INT_MASK_WE								INT_MASK								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.26 MaskSrcTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	INT_MASK_WE	割り込みマスク書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	INT_MASK	割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可	R/W

11.5.25 MaskDstTran — IntDstTran 割り込みマスクレジスタ

RawDstTran レジスタの内容は、MaskDstTran レジスタの内容でマスクされます。

INT_MASK[7:0]の各ビットは、対応する INT_MASK_WE[7:0]のビットが 1 の場合に書き込まれます。これにより、ソフトウェアはリードモディファイライト動作を行わずにマスクビットをセットすることが可能です。

アドレス		4010 4328h (DMAC1)															
		4010 5328h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	INT_MASK_WE								INT_MASK								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.27 MaskDstTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	INT_MASK_WE	割り込みマスク書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	INT_MASK	割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可	R/W

11.5.26 MaskErr — IntErr 割り込みマスクレジスタ

RawErr レジスタの内容は、MaskErr レジスタの内容でマスクされます。

INT_MASK[7:0]の各ビットは、対応する INT_MASK_WE[7:0]のビットが 1 の場合書き込まれます。これにより、ソフトウェアはリードモディファイライト動作を行わずにマスクビットをセットすることが可能です。

アドレス		4010 4330h (DMAC1)															
		4010 5330h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	INT_MASK_WE								INT_MASK								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.28 MaskErr レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b16	予約ビット		R
b15～b8	INT_MASK_WE	割り込みマスク書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7～b0	INT_MASK	割り込みマスク 0 : 割り込み禁止 1 : 割り込み許可	R/W

11.5.27 ClearTfr — IntTfr 割り込みクリアレジスタ

RawTfr レジスタおよび StatusTfr レジスタの各ビットは、ClearTfr レジスタの対応ビットに 1 を書き込むと
同じサイクルでクリアされます。本レジスタにはチャンネル毎のビットが用意されています。
本レジスタは読み出すことはできません。

アドレス		4010 4338h (DMAC1)															
		4010 5338h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	CLEAR								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.29 ClearTfr レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	CLEAR	割り込みクリア 0 : 効果なし 1 : 割り込みクリア	W

11.5.28 ClearBlock — IntBlock 割り込みクリアレジスタ

RawBlock レジスタおよび StatusBlock レジスタの各ビットは、ClearBlock レジスタの対応ビットに 1 を書き込むと同じサイクルでクリアされます。本レジスタにはチャンネル毎のビットが用意されています。

本レジスタは読み出すことはできません。

アドレス		4010 4340h (DMAC1)															
		4010 5340h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	CLEAR								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.30 ClearBlock レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	CLEAR	割り込みクリア 0 : 効果なし 1 : 割り込みクリア	W

11.5.29 ClearSrcTran — IntSrcTran 割り込みクリアレジスタ

RawSrcTran レジスタおよび StatusSrcTran レジスタの各ビットは、ClearSrcTran レジスタの対応ビットに 1 を書き込むと同じサイクルでクリアされます。本レジスタにはチャンネル毎のビットが用意されています。

本レジスタは読み出すことはできません。

アドレス		4010 4348h (DMAC1)															
		4010 5348h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	CLEAR								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.31 ClearSrcTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	CLEAR	割り込みクリア 0 : 効果なし 1 : 割り込みクリア	W

11.5.30 ClearDstTran — IntDstTran 割り込みクリアレジスタ

RawDstTran レジスタおよび StatusDstTran レジスタの各ビットは、ClearDstTran レジスタの対応ビットに 1 を書き込むと同じサイクルでクリアされます。本レジスタにはチャンネル毎のビットが用意されています。
本レジスタは読み出すことはできません。

アドレス		4010 4350h (DMAC1)															
		4010 5350h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	CLEAR								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.32 ClearDstTran レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	CLEAR	割り込みクリア 0 : 効果なし 1 : 割り込みクリア	W

11.5.31 ClearErr — IntErr 割り込みクリアレジスタ

RawErr レジスタおよび StatusErr レジスタの各ビットは、ClearErr レジスタの対応ビットに 1 を書き込むと
同じサイクルでクリアされます。本レジスタにはチャンネル毎のビットが用意されています。
本レジスタは読み出すことはできません。

アドレス		4010 4358h (DMAC1)															
		4010 5358h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	CLEAR								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 11.33 ClearErr レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b8	予約ビット		R
b7～b0	CLEAR	割り込みクリア 0 : 効果なし 1 : 割り込みクリア	W

11.5.32 StatusInt — 多重割り込みステータスレジスタ

各割り込みタイプのステータス。5 個のステータスレジスタ（StatusTfr、StatusBlock、StatusSrcTran、StatusDstTran、StatusErr）の内容をそれぞれ OR 処理し、本レジスタの各割り込みタイプの単一ビットが生成されます。

本レジスタは読み出し専用です。

アドレス		4010 4360h (DMAC1)															
		4010 5360h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	ERR	DSTT	SRCT	BLOCK	TFR	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0

表 11.34 StatusInt レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b5	予約ビット		R
b4	ERR	StatusErr レジスタの内容を OR 処理したもの	R
b3	DSTT	StatusDstTran レジスタの内容を OR 処理したもの	R
b2	SRCT	StatusSrcTran レジスタの内容を OR 処理したもの	R
b1	BLOCK	StatusBlock レジスタの内容を OR 処理したもの	R
b0	TFR	StatusTfr レジスタの内容を OR 処理したもの	R

11.5.33 ReqSrcReg — ソースソフトウェアトランザクション要求レジスタ

ReqSrcReg レジスタにはチャンネル毎のビットが用意されています。チャンネル *n* のソースに対するソフトウェア要求インタフェースが無効の場合は、ReqSrcReg[n]は無効です。SRC_REQ[7:0]の各ビットは、対応するSRC_REQ_WE[7:0]のビットが 1 で、ChEnReg レジスタでチャンネルが有効化されている場合のみ書き込まれます。これにより、ソフトウェアはリードモディファイライト動作を行わずに、ReqSrcReg レジスタのビットをセットすることが可能です。

アドレス		4010 4368h (DMAC1)															
		4010 5368h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	SRC_REQ_WE								SRC_REQ								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.35 ReqSrcReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b16	予約ビット		R
b15～b8	SRC_REQ_WE	ソース要求書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7～b0	SRC_REQ	ソース要求 転送完了後に自動クリアされます。 • DMAC がフローコントローラの場合に、ソフトウェア転送要求前にシングルまたはバースト転送の設定をします。 0 : シングル転送 1 : バースト転送	R/W

11.5.34 ReqDstReg — デスティネーションソフトウェアトランザクション要求レジスタ

ReqDstReg レジスタにはチャンネル毎のビットが用意されています。チャンネル *n* のソースに対するソフトウェア要求インタフェースが無効の場合は、ReqDstReg[n]は無効です。DST_REQ[7:0]の各ビットは、対応するDST_REQ_WE[7:0]のビットが 1 で、ChEnReg レジスタでチャンネルが有効化されている場合のみ書き込まれます。

アドレス		4010 4370h (DMAC1)															
		4010 5370h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	DST_REQ_WE								DST_REQ								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.36 ReqDstReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	DST_REQ_WE	デスティネーション要求書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	DST_REQ	デスティネーション要求 転送完了後に自動クリアされます。 • DMAC がフローコントローラの場合に、ソフトウェア転送要求前にシングルまたはバースト転送の設定をします。 0 : シングル転送 1 : バースト転送	R/W

11.5.35 SglRqSrcReg — シングルソーストランザクション要求レジスタ

SglRqSrcReg レジスタにはチャンネル毎のビットが用意されています。チャンネル *n* のソースに対するソフトウェア要求インタフェースが無効の場合は、SglRqSrcReg[*n*]は無効です。SRC_SGLREQ[7:0]の各ビットは、対応する SRC_SGLREQ_WE[7:0]のビットが 1 で、ChEnReg レジスタでチャンネルが有効化されている場合のみ書き込まれます。

アドレス		4010 4378h (DMAC1)															
		4010 5378h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	SRC_SGLREQ_WE								SRC_SGLREQ								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.37 SglRqSrcReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b16	予約ビット		R
b15～b8	SRC_SGLREQ_WE	ソースのシングルまたはバースト要求書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7～b0	SRC_SGLREQ	ソースのシングルまたはバースト要求 • DMAC がフローコントローラの場合に、転送要求します。 0 : 転送要求しない 1 : 転送要求する 転送完了後に自動クリアされます。 ソースソフトウェアトランザクション要求レジスタで転送設定（シングル／バースト）をしてください。	R/W

11.5.36 SglRqDstReg — シングルデスティネーショントランザクション要求レジスタ

SglRqDstReg レジスタにはチャンネル毎のビットが用意されています。チャンネル *n* のデスティネーションに対するソフトウェア要求インタフェースが無効の場合は、SglRqDstReg[*n*]は無効です。DST_SGLREQ[7:0]の各ビットは、対応する DST_SGLREQ_WE[7:0]のビットが 1 で、ChEnReg レジスタでチャンネルが有効化されている場合のみ書き込まれます。

アドレス		4010 4380h (DMAC1)															
		4010 5380h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	DST_SGLREQ_WE								DST_SGLREQ								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.38 SglRqDstReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b16	予約ビット		R
b15～b8	DST_SGLREQ_WE	デスティネーションのシングルまたはバースト要求書き込み有効 0：書き込み不可 1：書き込み可	W
b7～b0	DST_SGLREQ	デスティネーションのシングルまたはバースト要求 ● DMAC がフローコントローラの場合に、転送要求します。 0：転送要求しない 1：転送要求する 転送完了後に自動クリアされます。 デスティネーションソフトウェアトランザクション要求レジスタで転送設定（シングル／バースト）をしてください。	R/W

11.5.37 LstSrcReg — ソース最終トランザクション要求レジスタ

LstSrcReg レジスタにはチャンネル毎のビットが用意されています。チャンネル *n* のソースに対するソフトウェア要求インタフェースが無効であるか、チャンネル *n* のソースがフローコントローラではない場合は、LstSrcReg[*n*]は無効です。LSTSRC[7:0]の各ビットは、対応する LSTSRC_WE[7:0]のビットが 1 で、ChEnReg レジスタでチャンネルが有効化されている場合のみ書き込まれます。

アドレス		4010 4388h (DMAC1)															
		4010 5388h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	LSTSRC_WE								LSTSRC								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.39 LstSrcReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	LSTSRC_WE	ソース最終トランザクション要求書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	LSTSRC	ソース最終トランザクション要求 0 : 処理中のブロックの最終トランザクションではない 1 : 処理中のブロックの最終トランザクション	R/W

11.5.38 LstDstReg — デスティネーション最終トランザクション要求レジスタ

LstDstReg レジスタにはチャンネル毎のビットが用意されています。チャンネル *n* のデスティネーションに対するソフトウェア要求インタフェースが無効であるか、チャンネル *n* のデスティネーションがフローコントローラではない場合は、LstDstReg[*n*]は無効です。LSTDST[7:0]の各ビットは、対応する LSTDST_WE[7:0] ビットが 1 で、ChEnReg レジスタでチャンネルが有効化されている場合のみ書き込まれます。

アドレス		4010 4390h (DMAC1)															
		4010 5390h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	LSTDST_WE								LSTDST								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.40 LstDstReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	LSTDST_WE	デスティネーション最終トランザクション要求書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	LSTDST	デスティネーション最終トランザクション要求 0 : 処理中のブロックの最終トランザクションではない 1 : 処理中のブロックの最終トランザクション	R/W

11.5.39 DmaCfgReg — DMA コンフィグレーションレジスタ

DmaCfgReg レジスタは、チャンネル処理の開始前に必要な DMAC の有効化に使用します。いずれかのチャンネルがアクティブであるときは、本ビットをクリアしても DmaCfgReg.DMA_EN は再び 1 にセットされます。これは、ハードウェアによる全チャンネルの全処理が完了するまでは、アクティブなチャンネルが残っていることを示します。全処理が完了すると、DmaCfgReg.DMA_EN ビットは 0 に戻ります。

アドレス 4010 4398h (DMAC1)
4010 5398h (DMAC2)

ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMA_EN
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 11.41 DmaCfgReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b1	予約ビット		R
b0	DMA_EN	DMAC 有効ビット 0 : DMAC 無効 1 : DMAC 有効	R/W

11.5.40 ChEnReg — DMA コントローラチャネルイネーブルレジスタ

ChEnReg レジスタは、DMAC チャネルを有効化する際に使用します。ソフトウェアによる新規チャネルの設定が必要な場合は、本レジスタを読み出して非アクティブのチャネルを確認してから、非アクティブのチャネルを要求される優先度で有効化することが可能です。CH_EN[7:0]の各ビットは、対応する CH_EN_WE[7:0]ビットが 1 の場合書き込まれます。チャネルの CH_EN ビットは、DmaCfgReg.DMA_EN が 0 の場合にクリアされます。DmaCfgReg.DMA_EN が 0 なら ChEnReg レジスタへの書き込みは無効で、読み出し時は常に 0 が返ります。

アドレス		4010 43A0h (DMAC1)															
		4010 53A0h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	CH_EN_WE								CH_EN								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 11.42 ChEnReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b16	予約ビット		R
b15~b8	CH_EN_WE	チャネル有効化書き込み有効 0 : 書き込み不可 1 : 書き込み可	W
b7~b0	CH_EN	チャネル有効化／無効化 ビットをセットするとチャネルが有効になり、クリアするとチャネルが無効になります。 0 : チャネルを無効化する 1 : チャネルを有効化する 本ビットはディスティネーションへの DMA 転送の最後の AHB 転送の完了後、チャネルを無効にするためにハードウェアにより自動的にクリアされます。ソフトウェアは新たな DMA 転送のために本ビットのポーリングによりチャネルがフリーになったことを検出できます。	R/W

11.5.41 DmaldReg — DMA ID レジスタ

DmaldReg レジスタを読み出すと、固定 32 ビット値が読み出されます。

アドレス		4010 43A8h (DMAC1)															
		4010 53A8h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	DMA_ID																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	DMA_ID																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	1/0	

表 11.43 DmaldReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b32	予約ビット		R
b31～b0	DMA_ID	DMA ID レジスタ DMAC1 → 0x1 DMAC2 → 0x2	R

11.5.42 DmaTestReg — DMA コントローラテストレジスタ

DmaTestReg レジスタは、AHB スレーブインタフェースをテストモードに設定する際に使用します。このモードでは、DMA 設定でレジスタが最適化されていないことを想定して、書き込み可能レジスタに書き込んだ値とその後で読み戻した値を一致させます。

アドレス		4010 43B0h (DMAC1)															
		4010 53B0h (DMAC2)															
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TEST_SLV_IF	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 11.44 DmaTestReg レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b1	予約ビット		R
b0	TEST_SLV_IF	AHB スレーブインタフェースをテストモードに設定します。このモードでは、書き込み可能レジスタから読み戻した値を常に書き込まれた値と一致させます。本ビットを利用して読み出し専用レジスタに書き込むことはできません。 0 : 通常モード 1 : テストモード	R/W

11.6 動作

11.6.1 データ転送モード

本項では、DMAC および周辺機能間の DMA 接続の機能詳細について解説します。

以下の周辺モジュールは、要求インターフェース（DMA 要求）として使用可能です。ソースもしくはデスティネーションの要求インターフェースによって、DMA 転送のトランザクションが 1 回実行されます。「メモリ」では、要求インターフェースが必要ないため、チャンネルを有効化すると、すぐに DMA 転送の処理ができる状態となります。

- UART
- SPI
- MSEBI マスタ
- タイマブロック
- ADC
- ETHERCAT
- SERCOSIII
- GMAC1

主に以下の DMA 機能を使用します。

- DMAC または周辺機能がフローコントローラ
- 周辺機能からメモリおよびメモリから周辺機能の転送
- シングルおよびバーストのトランザクション管理
- DMAC 信号によるハンドシェイク（周辺機能フローコントローラモードまたは DMAC フローコントローラモード）

注 意

DMA 転送の処理中に、ソフトウェアによりチャンネルを無効化した場合のデータは保証できません。また、転送が実行されている場合は、すぐには無効化されないため、ChEnReg.CH_EN ビットで確認してください。

11.6.1.1 フローコントローラおよび転送タイプ

ブロック転送サイズを制御するデバイスをフローコントローラと呼びます。フローコントローラになり得るのは、DMAC、ソース周辺機能、またはデスティネーション周辺機能です。

- ブロック転送サイズを制御できない周辺機能（要求インターフェイス元）の場合、DMAC をフローコントローラに指定します。ブロックサイズは DMAC:CTL[n].BLOCK_TS フィールドで設定します。
このモードは以下の周辺機能で使⽤します。
 - タイマブロック
 - ADC
 - ETHERCAT
 - SERCOSIII
 - GMAC1
- ブロック転送サイズを制御できる周辺機能（要求インターフェイス元）の場合、ソースまたはデスティネーションの周辺機能をフローコントローラに指定します。ブロックサイズは以下のフィールドで設定します。

UART:DEST_BLOCK_SIZE／UART:SRC_BLOCK_SIZE
SPI:DEST_BLOCK_SIZE／SPI:SRC_BLOCK_SIZE
MSEBI:DEST_BLOCK_SIZE／MSEBI:SRC_BLOCK_SIZE

このモードは以下の周辺機能で使⽤します。

- UART
- SPI
- MSEBI マスタ

目的のチャネルの転送タイプおよびフローコントローラは、DMAC:CTL[n].TT_FC フィールドで指示します。表 11.45 に、転送タイプおよびフローコントローラの想定する組み合わせを示します。

表 11.45 DMA 転送タイプおよびフローコントローラの組み合わせ

転送タイプ (TT_FC)	フローコントローラ	周辺機能のハードウェア要求インタフェース
メモリからメモリ	DMAC	なし
メモリから周辺機能	DMAC	デスティネーション DMA 要求（タイマ、ADC、ETHERCAT、SERCOSIII、GMAC1）
周辺機能からメモリ	DMAC	ソース DMA 要求（タイマ、ADC、ETHERCAT、SERCOSIII、GMAC1）
メモリから周辺機能	周辺機能	デスティネーション DMA 要求（UART、SPI、MSEBI）
周辺機能からメモリ	周辺機能	ソース DMA 要求（UART、SPI、MSEBI）

要求インタフェース（DMA 要求）を使用する場合に「周辺機能」を転送タイプに指定してください。要求インタフェースを使用しない場合は「メモリ」を転送タイプに指定してください。

注 意

DMAC の設定可能な転送については、2 章ネットワークオンチップのバス接続マップを参照してください。

11.6.1.2 リンクリストによるブロックチェーン

DMAC のレジスタ設定またはリンクリストによって、DMA 転送が実行可能です。

リンクリストによる DMA 転送では、各ブロックの処理前にシステムメモリから該当ブロックのブロックディスクリプタをフェッチして、チャンネルレジスタを再プログラムします。これを LLI アップデートと呼びます。

DMAC のブロックチェーンでは、次のリンクリストアイテムのアドレスを格納するリンクリストポインタレジスタ（LLP[n]）を使用します。各 LLI は、以下のレジスタに対応するブロックディスクリプタを格納します。

- 1. SAR[n]
- 2. DAR[n]
- 3. LLP[n]
- 4. CTL[n]
- 5. SSTAT[n]
- 6. DSTAT[n]

ブロックチェーンを設定するには、メモリにリンクリストのシーケンスをプログラムします。

LLI アクセスは、常に 32 ビット境界にアラインする 32 ビットアクセスとなります。

LLI アップデートでは、SAR[n]、DAR[n]、LLP[n]、および CTL[n] の各レジスタがシステムメモリからフェッチされます。CTL[n]、SSTAT[n]、および DSTAT[n] の各レジスタの更新された内容は、ブロックの完了時にメモリに書き戻されます。図 11.2 に、メモリ内のチェーン接続されたリンクリストを使用して、ブロックチェーンでマルチブロック転送を定義する方法を示します。

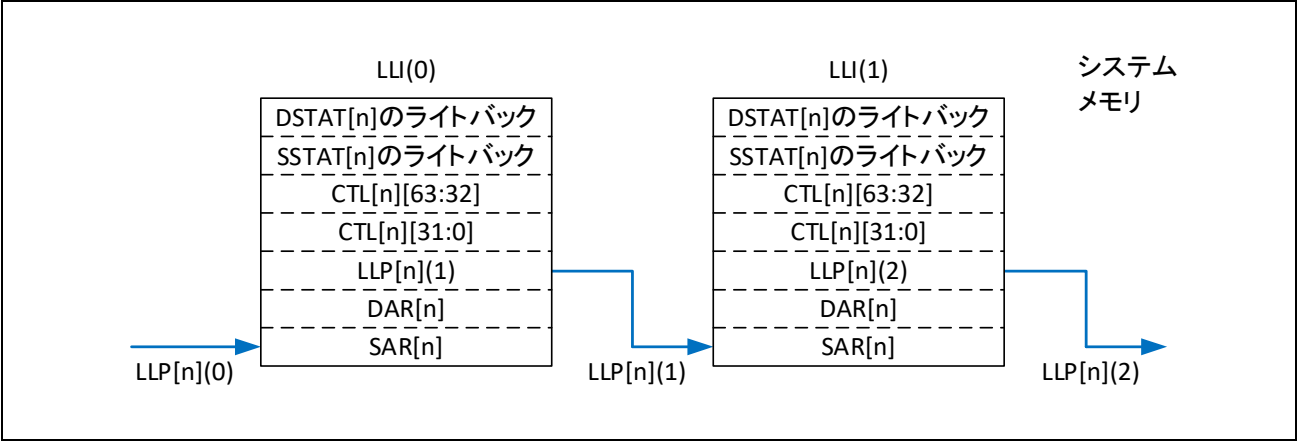


図 11.2 リンクリストによるマルチブロック転送

備 考

LLI の SAR[n]、DAR[n]、LLP[n]、CTL[n]、SSTAT[n]、および DSTAT[n] は、対応する DMAC のレジスタと区別するため、本章では以下のように表記します。

LLI.SAR[n]、LLI.DAR[n]、LLI.LLP[n]、LLI.CTL[n]、LLI.SSTAT[n]、および LLI.DSTAT[n]

表 11.46 転送方式の設定およびチャネルレジスタの更新方法

	転送方式	LLP.LOC=0	LLP_SRC_EN (CTL[n])	RELOAD_SRC (CFG[n])	LLP_DST_EN (CTL[n])	RELOAD_DST (CFG[n])	CTL[n]、LLP[n]の更新方法	SAR[n]の更新方法	DAR[n]の更新方法	ライトバック
1.	シングルブロックまたはマルチブロックの最終転送	Yes	0	0	0	0	なし（ユーザによる再プログラム）	なし（シングル）	なし（シングル）	No
2.	連続 SAR による自動リロードマルチブロック転送	Yes	0	0	0	1	CTL[n]、LLP[n]は初期値がリロードされる	連続	自動リロード	No
3.	連続 DAR による自動リロードマルチブロック転送	Yes	0	1	0	0	CTL[n]、LLP[n]は初期値がリロードされる	自動リロード	連続	No
4.	自動リロードマルチブロック転送	Yes	0	1	0	1	CTL[n]、LLP[n]は初期値がリロードされる	自動リロード	自動リロード	No
5.	シングルブロックまたはマルチブロックの最終転送	No	0	0	0	0	なし（ユーザによる再プログラム）	なし（シングル）	なし（シングル）	Yes
6.	連続 SAR によるリンクリストマルチブロック転送	No	0	0	1	0	CTL[n]、LLP[n]は次のリンクリストアイテムからロードされる	連続	リンクリスト	Yes
7.	自動リロード SAR によるリンクリストマルチブロック転送	No	0	1	1	0	CTL[n]、LLP[n]は次のリンクリストアイテムからロードされる	自動リロード	リンクリスト	Yes
8.	連続 DAR によるリンクリストマルチブロック転送	No	1	0	0	0	CTL[n]、LLP[n]は次のリンクリストアイテムからロードされる	リンクリスト	連続	Yes
9.	自動リロード DAR によるリンクリストマルチブロック転送	No	1	0	0	1	CTL[n]、LLP[n]は次のリンクリストアイテムからロードされる	リンクリスト	自動リロード	Yes
10.	リンクリストマルチブロック転送	No	1	0	1	0	CTL[n]、LLP[n]は次のリンクリストアイテムからロードされる	リンクリスト	リンクリスト	Yes

表の転送方式 6～10 は、ブロックチェーンによるマルチブロック DMA 転送で要求される LLP[n]、CTL[n]、および CFG[n]の値を示します。

備 考

転送方式 6～10 では、LLI の LLI.CTL[n]、LLI.LLP[n]、LLI.SAR[n]、および LLI.DAR[n]の各レジスタ位置は、各ブロック転送の開始時に常に影響を受けます。LLI.LLP[n]および LLI.CTL[n]の位置は、常に DMAC の LLP[n]レジスタおよび CTL[n]レジスタの再プログラムに使用されます。ただし、リンクリストを使用する場合のみ LLI.SAR[n]／LLI.DAR[n]は、DMAC SAR[n]／DAR[n]の更新に利用されます。

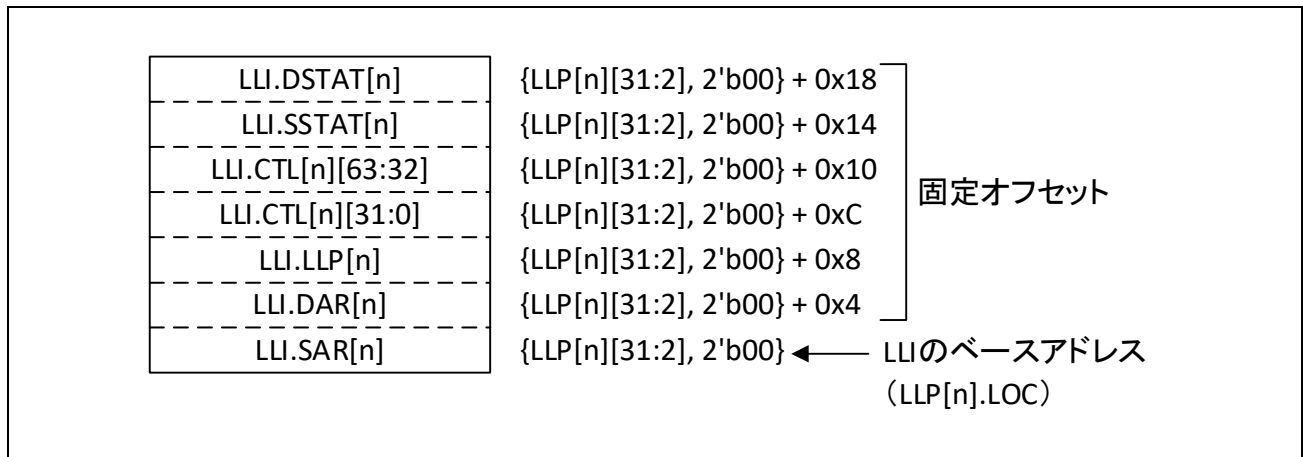


図 11.3 チャンネルレジスタに対するメモリのブロックディスクリプタ (LLI) の割り当て

(1) チャンネルレジスタの自動リロード

自動リロードでは、各ブロックの完了時にチャンネルレジスタに設定値がリロードされます。新規ブロックの場合は新規の値です。SAR[n]、DAR[n]、および CTL[n] の各チャンネルレジスタの一部または全ては、転送方式に応じてブロック転送の開始時の設定値がリロードされます。

(2) ブロック間の連続アドレス

この設定では、連続するブロックのアドレスはその前のブロックに続くアドレスが選択されます。

自動リロードおよびリンクリストから更新しない場合には、CTL[n].SINC/CTL[n].DINC に従い、ソースまたはデスティネーションの連続するアドレスが設定されます。

ソースアドレスの場合 : CTL[n].LLP_SRC_EN = 0、および CFG[n].RELOAD_SRC = 0
 デスティネーションアドレスの場合 : CTL[n].LLP_DST_EN = 0、および CFG[n].RELOAD_DST = 0

(3) ブロック間の転送の保留

表 11.46 の転送方式 6、8、および 10 では、DMA 転送はブロック転送間では停止しません。たとえば、N ブロックが完了すると、DMAC は自動的に N+1 ブロックに移行します。

表 11.46 の転送方式 2、3、4、7、および 9 (SAR[n]や DAR[n]によるブロック転送間の自動リロード) では、ブロック完了割り込みがアサートされた場合、DMA 転送は自動的に停止します。

各ブロック転送が終了すると、以下の条件によりブロック完了割り込みがアサートされます。

1. 割り込みが有効 (CTL[n].INT_EN=1)
2. チャンネルブロック割り込みがマスクされていない (MaskBlock.INT_MASK[n]=1)

DMAC は、ClearBlock[n]レジスタへの書き込み (ソフトウェアによるチャンネルのブロック完了割り込みのクリア) がハードウェアにより検出されるまでは、次のブロック転送に移行しません。

(4) マルチブロック転送の終了

全マルチブロック転送は、**表 11.46** の転送方式 1 または 5 として終了する必要があります。DMAC は、各ブロック転送が完了すると転送方式をサンプリングします。このときに転送方式が 1 または 5 なら、直前に転送されたブロックは最終ブロックであるため、DMA 転送を終了します。

表 11.46 の転送方式 2、3、および 4 (LLP[n].LOC=0 および CFG[n].RELOAD_SRC や CFG[n].RELOAD_DST がセット) の自動リロード使用時は、最終ブロック転送前に自動リロードを無効する必要があります。最終より一つ前のブロック完了割り込み処理でブロックをチャンネル保留させ、CFG[n].RELOAD_SRC、CFG[n].RELOAD_DST をクリアしてください。これにより DMAC は転送方式 1 に設定されます。

表 11.46 の転送方式 6、8、および 10 (CFG[n].RELOAD_SRC および CFG[n].RELOAD_DST がクリア) では、LLI.CTL[n].LLP_SRC_EN および LLI.CTL[n].LLP_DST_EN がいずれも 0 になるように、メモリの最終ブロックのディスクリプタを設定する必要があります。

LLP[n].LOC のサンプリングは、チャンネルが有効化されて転送が開始するときのみ実行されます。ライトバックが転送の全体を通して有効かどうかは本ビットで決まります。それ以降のブロックでは、値の変更は効果がありません。

11.6.1.3 基本インタフェースの定義

本章の数式のパラメタに関してはデコード値を参照してください。

(デコード例)

CTL[n].SRC_MSIZ : バーストトランザクション長 1~256
CTL[n].SRC_TR_WIDTH : 転送幅 8/16/32/64 ビット

PERIPHERAL:SRC_BURST_SIZE は、PERIPHERAL レジスタの SRC_BURST_SIZE を表します（初期設定は UART、SPI、MSEBI などの周辺機能がフローコントローラのものに対してのみ必要です）。

本章では以下の定義を使用します。

- ソースのシングルトランザクションサイズ（バイト単位）

(1) $\text{src\_single\_size\_bytes} = \text{DMAC:CTL}[n].\text{SRC\_TR\_WIDTH}/8$

- ソースのバーストトランザクションサイズ（バイト単位）

(2) $\text{src\_burst\_size\_bytes} = \text{DMAC:CTL}[n].\text{SRC\_MSIZE} \times \text{src\_single\_size\_bytes}$
 $\quad \quad \quad = \text{PERIPHERAL:SRC\_BURST\_SIZE} \times \text{src\_single\_size\_bytes}$

- デスティネーションのシングルトランザクションサイズ（バイト単位）

(3) $\text{dst\_single\_size\_bytes} = \text{DMAC:CTL}[n].\text{DST\_TR\_WIDTH}/8$

- デスティネーションのバーストトランザクションサイズ（バイト単位）

(4) $\text{dst\_burst\_size\_bytes} = \text{DMAC:CTL}[n].\text{DEST\_MSIZE} \times \text{dst\_single\_size\_bytes}$
 $\quad \quad \quad = \text{PERIPHERAL:DEST\_BURST\_SIZE} \times \text{dst\_single\_size\_bytes}$

- バーストサイズ（バイト単位）：

＜DMAC がフローコントローラの場合＞

- DMA のバーストトランザクション長は、
DMAC:CTL[n].SRC_MSIZ/DMAC:CTL[n].DEST_MSIZ にプログラムします。

＜周辺機能がフローコントローラの場合＞

- DMA のバーストトランザクション長は、
DMAC:CTL[n].SRC_MSIZ/DMAC:CTL[n].DEST_MSIZ にプログラムします。
- 周辺機能のバーストトランザクション長は、各周辺機能の
PERIPHERAL:DEST_BURST_SIZE/PERIPHERAL:SRC_BURST_SIZE フィールドにプログラムします。
- 周辺機能のレジスタは、
UART:DEST_BURST_SIZE/UART:SRC_BURST_SIZE、
SPI:DEST_BURST_SIZE/SPI:SRC_BURST_SIZE、
MSEBI:DEST_BURST_SIZE/MSEBI:SRC_BURST_SIZE です。

- ブロックサイズ（バイト単位）：

＜DMAC がフローコントローラの場合＞

- プロセッサは、ブロック転送で DMAC により転送されるソースの転送幅（DMAC:CTL[n].SRC_TR_WIDTH）のデータアイテム数（ブロックサイズ）を、DMAC にプログラムします。プログラム先は DMAC:CTL[n].BLOCK_TS フィールドです。

したがって、ブロックで転送される総バイト数は以下のように求められます。

$$(5a) \text{blk\_size\_bytes\_dma} = \text{DMAC:CTL}[n].\text{BLOCK\_TS} \times \text{src\_single\_size\_bytes}$$

＜周辺機能がフローコントローラの場合＞

- 周辺機能のブロックサイズレジスタは、UART:DEST_BLOCK_SIZE／UART:SRC_BLOCK_SIZE、SPI:DEST_BLOCK_SIZE／SPI:SRC_BLOCK_SIZE、MSEBI:DEST_BLOCK_SIZE／MSEBI:SRC_BLOCK_SIZE です。

したがって、ブロックで転送される総バイト数は以下のように求められます。

ソース周辺機能がフローコントローラの場合：

$$(5b) \text{blk\_size\_bytes\_dma} = \text{PERIPHERAL:SRC\_BLOCK\_SIZE} \times \text{src\_single\_size\_bytes}$$

デスティネーション周辺機能がフローコントローラの場合：

$$(5b) \text{blk\_size\_bytes\_dma} = \text{PERIPHERAL:DEST\_BLOCK\_SIZE} \times \text{dst\_single\_size\_bytes}$$

- DMA データのブロック

- この容量はブロック転送サイズに相当し、フローコントローラにより決まります。DMAC およびメモリまたは周辺機能間の転送では、ブロックはバーストまたはシングルのトランザクションのシーケンスに直接分割されます。

- トランザクション

トランザクションの長さは、DMAC:CTL[n].SRC_MSIZE／DMAC:CTL[n].DEST_MSIZE および PERIPHERAL:DEST_BURST_SIZE／PERIPHERAL:SRC_BURST_SIZE（周辺機能がフローコントローラ時のみ）にプログラムします。バーストトランザクションは、バーストおよびシングルの AHB 転送に変換されます。

DMAC は、設定された最大バーストサイズ（SRC_MSIZE／DEST_MSIZE および MAX_ABRST）を超えない範囲で、各バースト転送を処理します。バーストトランザクション長はプログラムで制御されます。通常は、DMAC の FIFO サイズおよび転送する周辺機能の FIFO のウォーターマークレベルに応じて適切な値を設定します。

注 意

周辺機能がフローコントローラの場合は、バーストトランザクションの長さは DMAC および周辺機能（UART、SPI、または MSEBI のみ）の値と一致させる必要があります。

11.6.1.4 トランザクションの例

(1) バーストトランザクションモードのみの DMA

ブロック転送サイズを制御するデバイスをフローコントローラと呼びます。

- ブロック転送サイズは、フローコントローラが DMAC のとき、DMAC:CTL[n].BLOCK_TS フィールドに設定します。フローコントローラが周辺機能のときは、PERIPHERAL:SRC_BLOCK_SIZE／PERIPHERAL:DST_BLOCK_SIZE に設定します。
- 目的のチャネルの転送タイプおよびフローコントローラは、DMAC:CTL[n].TT_FC フィールドで指示します。**表 11.45** に、有効な転送タイプおよびフローコントローラの組み合わせを示します。

たとえば DMAC がフローコントローラの場合、以下に示すようにバーストトランザクションでデータを転送して、可能なら 1 回のバーストでチャネル FIFO をフルまたはエンプティにします。

ブロックの転送を合計 48 バイト (blk_size_bytes_dma=48) に設定すると、**図 11.4** に示すようにソースから長さ 4 で 3 回のバースト、およびデスティネーションへ長さ 4 で 3 回のバーストが交互に実行されます。

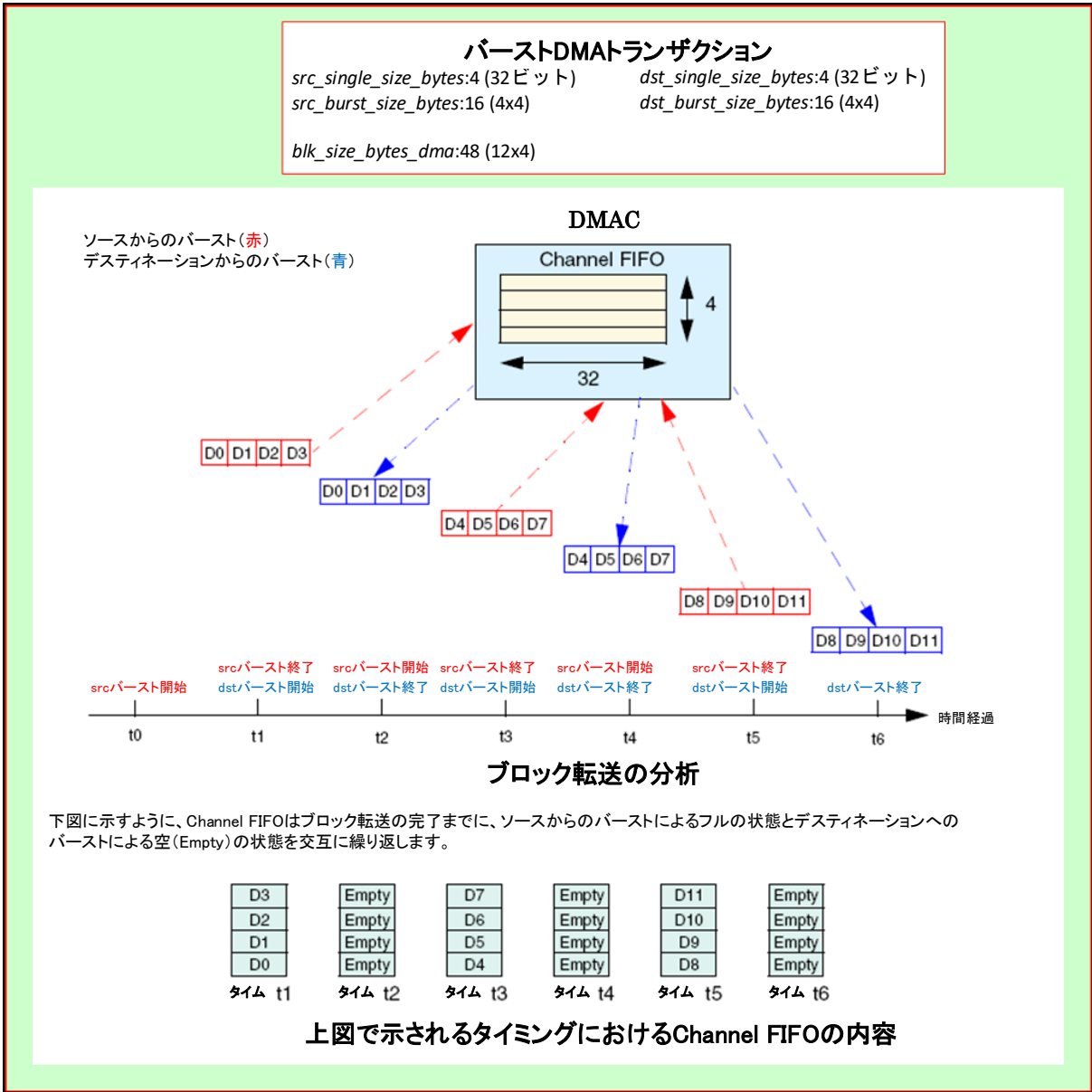


図 11.4 バースト DMA トランザクション

(2) バーストおよびシングルのトランザクションモードの組み合わせによる DMA

条件によっては、DMA ブロック転送がバーストトランザクションだけでは完了しないことがあります。一般的には、ブロックサイズがバーストトランザクション長の倍数ではないときです。

この場合、ブロックに残されたデータ量がバーストトランザクションのデータ量より小さくなるまでは、バーストトランザクションで転送が実行されます。その後で、周辺機能（UART、SPI、または MSEBI）は DMA を制御して、シングルトランザクションによりブロック転送を完了します。

周辺機能は、シングルトランザクション要求をアサートすることにより、ソース/デスティネーションの周辺機能との間でシングルトランザクションを完了するまでデータまたは空間が残されていることを DMAC に通知します。

シングルトランザクション領域は、周辺機能（UART、SPI、または MSEBI）がシングルトランザクションによりブロック転送を完了する期間に該当します。この領域外ではバーストトランザクションのみが実行されます。

この領域は正確には以下のように定義されます。

- ソース周辺機能は、ソースブロック転送の完了までに残されたバイト数が `src_burst_size_bytes` より小さければ、シングルトランザクション領域に移行します。
 - ただし、`blk_size_bytes_dma / src_burst_size_bytes` が整数の場合は、ソース周辺機能はこの領域には移行せず、バーストトランザクションのみでソースブロックを転送します。
- デスティネーション周辺機能は、デスティネーションブロック転送の完了までに残されたバイト数が `dst_burst_size_bytes` より小さければ、シングルトランザクション領域に移行します。
 - ただし、`blk_size_bytes_dma / dst_burst_size_bytes` が整数の場合は、デスティネーション周辺機能はこの領域には移行せず、バーストトランザクションのみでデスティネーションブロックを転送します。

以下に、ソースのブロックが複数のシングルトランザクションで完了する例を示します。この例では、ウォータマークレベルによりソース周辺機能のバースト要求がトリガされるケースも示します。

ソース周辺機能のソースバースト要求をトリガするウォータマークレベルを、`DMAC:CTL[n].SRC_MSIZE=PERIPHERAL:SRC_BURST_SIZE=8` とすると、バースト要求をトリガするためにはソース周辺機能の FIFO に 8 個以上のエントリが必要です。図 11.5 に、バーストおよびシングルのトランザクションにどのように分割されるかを示します。

ソースブロック転送の完了までに残されたデータ量が `src_burst_size_bytes` より小さい場合、ソース周辺機能（UART、SPI、MSEBI）はブロック転送サイズを認識して、ウォータマークレベルに関係なくシングルトランザクションを要求します。この領域は、ソースブロック転送に残されたデータ量が `src_burst_size_bytes` より小さいシングルトランザクション領域です。

シングルトランザクション領域では、ソース周辺機能はソースブロック転送が完了するまで、DMAC に対してシングルトランザクションを要求します。

この例では、ソース周辺機能は DMAC に対する 4 回のシングルトランザクションでソースブロック転送を完了します。

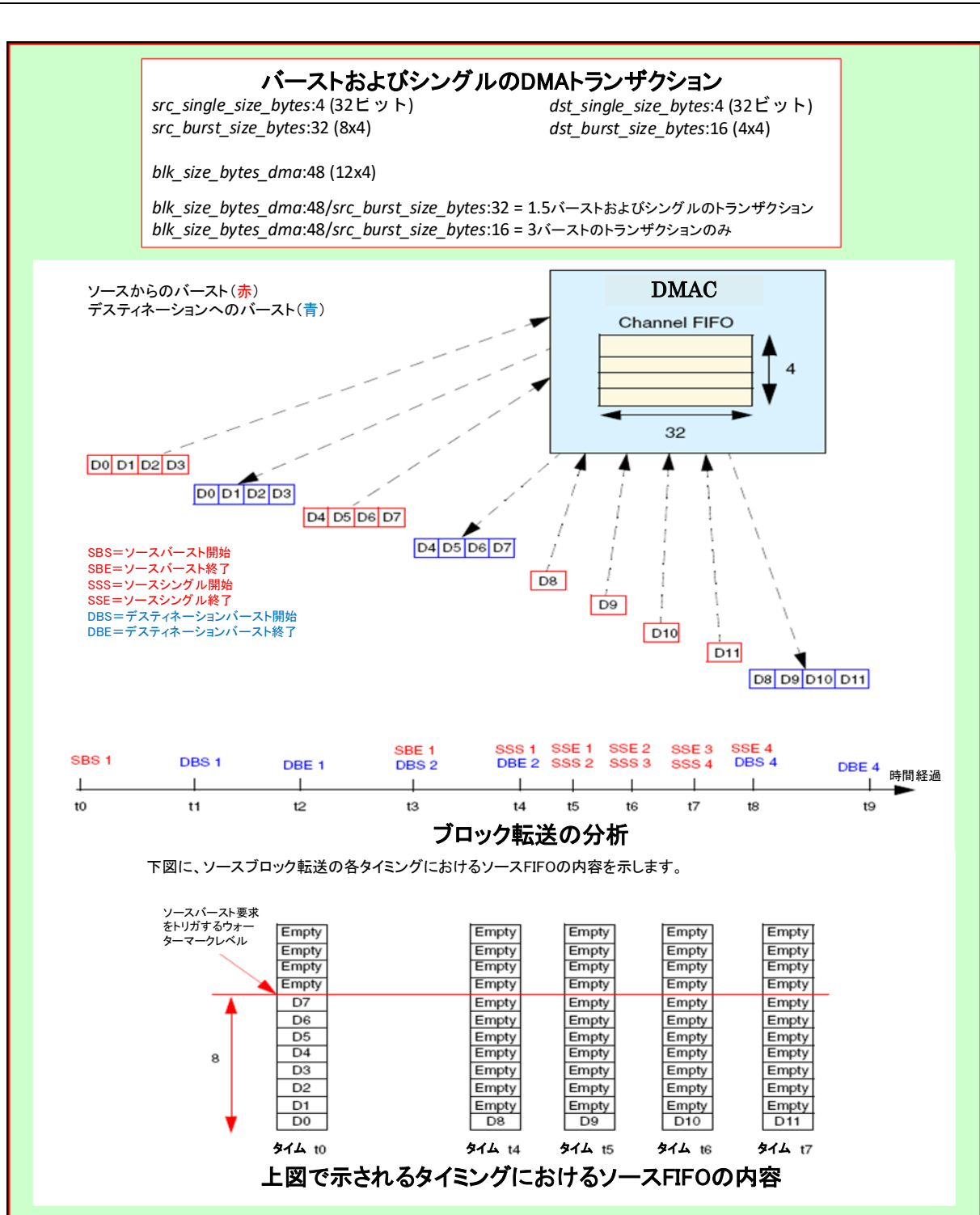


図 11.5 バーストおよびシングルの DMA トランザクション

11.6.1.5 DMAC 設定例

DMAC 設定例を示します。

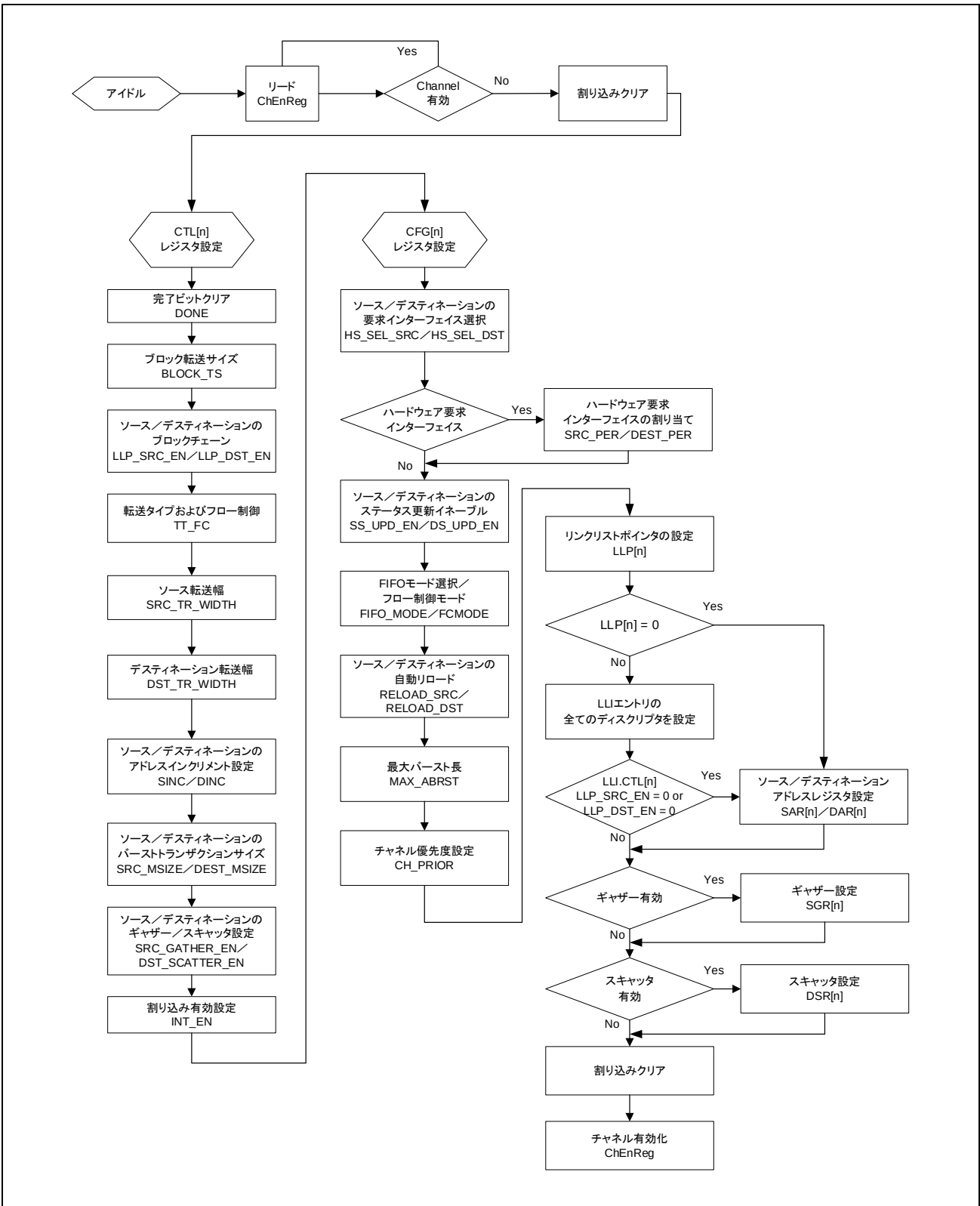


図 11.6 DMAC 設定例のフローチャート

11.6.2 DMA 要求の割り当て

DMAC1 および DMAC2 には、それぞれ 16 本の周辺機能のハードウェア要求インタフェースがあります。システムには 64 本の DMA 要求があります。合計 32 本のハードウェア要求インタフェースに 64 本の DMA 要求を接続するため、補助マルチプレクサがあります。マルチプレクサはシステムコントローラ内の専用 CFG_DMAMUX レジスタで管理します。表 11.47 に詳細を示します。

表 11.47 DMA マルチプレキシング要求信号

ハードウェア 要求インタフェース	周辺機能の DMA 要求	
DMAC1	システムコントローラの CFG_DMAMUX[15:0] (管理用の専用マルチプレキシングビット)	
レジスタビット :	1'b1 :	1'b0 :
要求インタフェース 0	UART4 RX	CAT_SYNC0 または SERCOS3_Int[0] 注1
要求インタフェース 1	UART4 TX	CAT_SYNC1 または SERCOS3_Int[1] 注1
要求インタフェース 2	UART5 RX	MAC_PPS[0] 注1
要求インタフェース 3	UART5 TX	MAC_PPS[1] 注1
要求インタフェース 4	UART6 RX	MAC_TRIG[1] 注1
要求インタフェース 5	UART6 TX	S3_CONCLK 注1
要求インタフェース 6	UART7 RX	S3_DIVCLK 注1
要求インタフェース 7	UART7 TX	TIMER1_SubTimer6
要求インタフェース 8	SPI1 RX	CAT_SYNC0 または SERCOS3_Int[0] 注1
要求インタフェース 9	SPI1 TX	CAT_SYNC1 または SERCOS3_Int[1] 注1
要求インタフェース 10	SPI2 RX	MAC_PPS[0] 注1
要求インタフェース 11	SPI2 TX	MAC_PPS[1] 注1
要求インタフェース 12	SPI3 RX	MAC_TRIG[1] 注1
要求インタフェース 13	SPI3 TX	S3_CONCLK 注1
要求インタフェース 14	SPI4 RX	S3_DIVCLK 注1
要求インタフェース 15	SPI4 TX	TIMER1_SubTimer7
DMAC2	システムコントローラの CFG_DMAMUX[31:16] (管理用の専用マルチプレキシングビット)	
レジスタビット :	1'b1 :	1'b0 :
要求インタフェース 0	SPI5 RX	CAT_SYNC0 または SERCOS3_Int[0] 注1
要求インタフェース 1	SPI5 TX	CAT_SYNC1 または SERCOS3_Int[1] 注1
要求インタフェース 2	SPI6 RX	MAC_PPS[0] 注1
要求インタフェース 3	SPI6 TX	MAC_PPS[1] 注1
要求インタフェース 4	UART8 RX	MAC_TRIG[1] 注1
要求インタフェース 5	UART8 TX	S3_CONCLK 注1
要求インタフェース 6	使用しない	S3_DIVCLK 注1
要求インタフェース 7	使用しない	TIMER2_SubTimer6
要求インタフェース 8	使用しない	CAT_SYNC0 または SERCOS3_Int[0] 注1
要求インタフェース 9	使用しない	CAT_SYNC1 または SERCOS3_Int[1] 注1
要求インタフェース 10	MSEBIM0 (CS0_N の RX)	MAC_PPS[0] 注1
要求インタフェース 11	MSEBIM1 (CS0_N の TX)	MAC_PPS[1] 注1
要求インタフェース 12	MSEBIM2 (CS1_N の RX)	MAC_TRIG[1] 注1
要求インタフェース 13	MSEBIM3 (CS1_N の TX)	S3_CONCLK 注1
要求インタフェース 14	ADC チャンネル 0	S3_DIVCLK 注1
要求インタフェース 15	ADC チャンネル 1	TIMER2_SubTimer7

注1. CAT_SYNC0 または SERCOS3_Int[0]は、イーサネットアクセサリレジスタの DMACTRL で選択します。

CAT_SYNC1 または SERCOS3_Int[1]は、イーサネットアクセサリレジスタの DMACTRL で選択します。

イーサネット周辺機能の 7 個の DMA 要求は、4 箇所の要求インタフェースに割り当てられています。同時に使用可能な要求は 1 つだけです。

11.6.3 不正なレジスタアクセス

以下のいずれかのケースは不正アクセスとなります。

- チャンネルが有効の場合の SAR[n]、DAR[n]、LLP[n]、CTL[n]、SSTAT[n]、DSTAT[n]、SSTATAR[n]、DSTATAR[n]、SGR[n]、DSR[n]の各レジスタへの書き込み
- ClearBlock、ClearDstTran、ClearErr、ClearSrcTran、ClearTfr からの読み出し
- StatusBlock、StatusDstTran、StatusErr、StatusSrcTran、StatusTfr への書き込み
- StatusInt レジスタへの書き込み
- DmaIdReg レジスタへの書き込み

不正アクセス（読み出し／書き込み）を行うと、AHB バスでのエラー応答を返します。

第12章 RTC

12.1 概要

RTC は実際の日付と時刻を計測します。アラームやカレンダーとしても機能します。時刻は 24 時間表記で表示され、時間／カレンダーの値は二進化十進数（BCD）で格納されます。

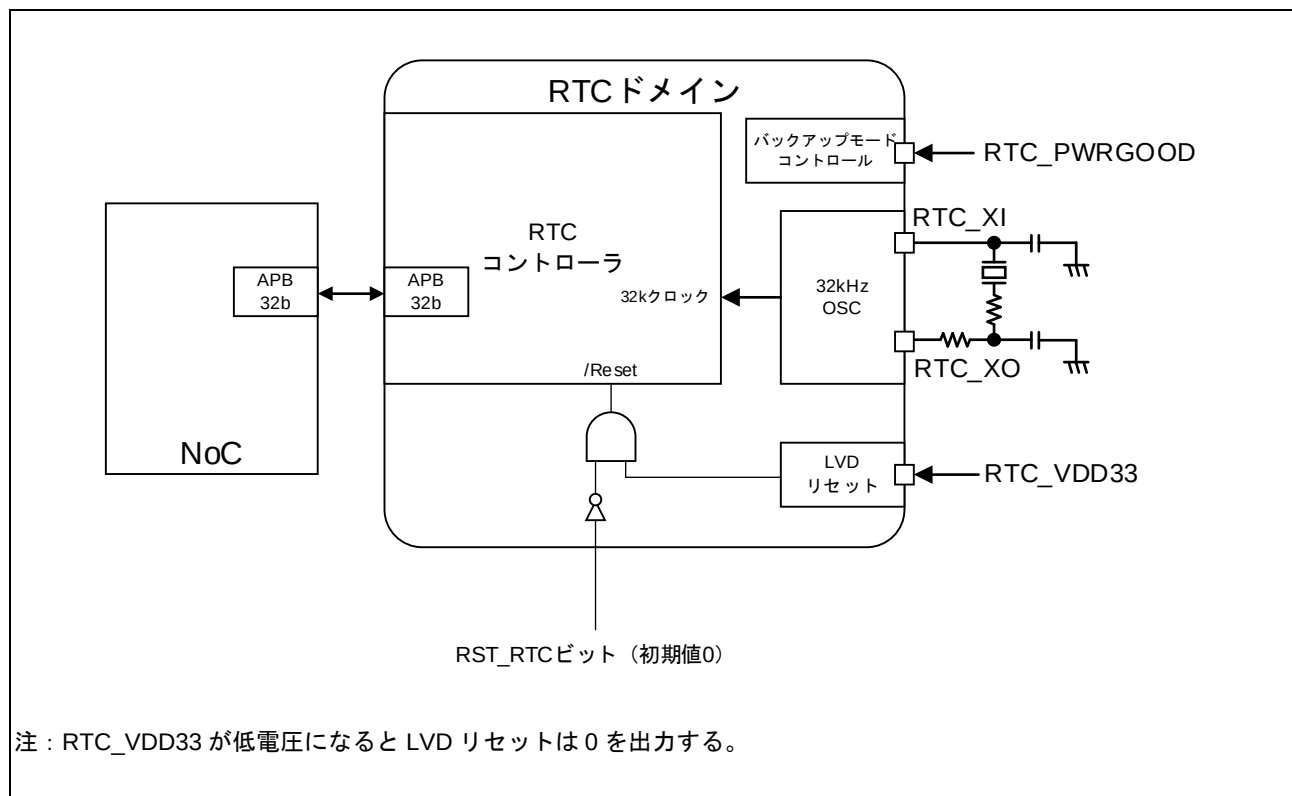


図 12.1 RTC のインタフェースおよび接続

- 24 時間モードでの時刻
- カレンダー
- アラーム機能
- 割り込み機能
 - 1 秒
 - 固定周期
 - アラーム
- XTAL 32kHz
- 独立したバックアップモード用の電源
 - デバイスの他の領域に電力が供給されていないときでも RTC を動作させる自己分離モード
 - バックアップ電圧異常を検知した場合、RTC をデフォルト値にリセット

12.2 信号インタフェース

信号名	入出力	説明
RTC_PCLK	入力	RTC APB インタフェースおよび NoC インターコネクト用クロック
リセット		
RSTN_FW_RTC	入力	RTC のインターコネクトをソフトウェアリセット
RST_RTC	入力	アクティブ High で RTC モジュールをリセット
割り込み		
RTCATINTAL_Int	出力	アラーム割り込み（レベル検出、アクティブ High） ^{注1}
RTCATINTR_Int	出力	固定周期割り込み（レベル検出、アクティブ High） ^{注1}
RTCATINT1S_Int	出力	1 秒割り込み（レベル検出、アクティブ High） ^{注1}
外部信号		
RTC_PWRGOOD	入力	RTC バックアップモード制御（専用ピン）

備考 RTC_PCLK、RSTN_FW_RTC、および RST_RTC はシステムコントロールの PWRCTRL_RTC レジスタで制御されます。

注1. 32k クロックの 1 クロック分の割り込み信号が出力されます。

12.3 レジスタマップ

表 12.1 RTC のレジスタマップ

アドレス	レジスタ表記	レジスタ名
4000 6000h	RTCA0CTL0	RTC 制御レジスタ 0
4000 6004h	RTCA0CTL1	RTC 制御レジスタ 1
4000 6008h	RTCA0CTL2	RTC 制御レジスタ 2
4000 600Ch	RTCA0SUBC	RTC サブカウントレジスタ
4000 6010h	RTCA0SRBU	RTC サブカウントレジスタ読み出しバッファ
4000 6014h	RTCA0SEC	RTC 秒カウントバッファレジスタ
4000 6018h	RTCA0MIN	RTC 分カウントバッファレジスタ
4000 601Ch	RTCA0HOUR	RTC 時カウントバッファレジスタ
4000 6020h	RTCA0WEEK	RTC 曜日カウントバッファレジスタ
4000 6024h	RTCA0DAY	RTC 日カウントバッファレジスタ
4000 6028h	RTCA0MONTH	RTC 月カウントバッファレジスタ
4000 602Ch	RTCA0YEAR	RTC 年カウントバッファレジスタ
4000 6030h	RTCA0TIME	RTC 時刻設定レジスタ
4000 6034h	RTCA0CAL	RTC カレンダー設定レジスタ
4000 6038h	RTCA0SUBU	RTC クロック誤差補正レジスタ
4000 603Ch	RTCA0SCMP	RTC サブカウント比較レジスタ
4000 6040h	RTCA0ALM	RTC アラーム分設定レジスタ
4000 6044h	RTCA0ALH	RTC アラーム時設定レジスタ
4000 6048h	RTCA0ALW	RTC アラーム曜日設定レジスタ
4000 604Ch	RTCA0SECC	RTC 秒カウントレジスタ
4000 6050h	RTCA0MINC	RTC 分カウントレジスタ
4000 6054h	RTCA0HOURC	RTC 時カウントレジスタ
4000 6058h	RTCA0WEEKC	RTC 曜日カウントレジスタ
4000 605Ch	RTCA0DAYC	RTC 日カウントレジスタ
4000 6060h	RTCA0MONC	RTC 月カウントレジスタ
4000 6064h	RTCA0YEARC	RTC 年カウントレジスタ
4000 6068h	RTCA0TIMEC	RTC 時刻カウントレジスタ
4000 606Ch	RTCA0CALC	RTC カレンダーカウントレジスタ
4000 6070h	RTCA0TCR	RTC テストレジスタ

12.4 レジスタの説明

12.4.1 RTCA0CTL0 — RTC 制御レジスタ 0

アドレス 4000 6000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTCA0 CE	RTCA0 CEST	RTCA0 AMPM	RTCA0 SLSB	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.2 RTCA0CTL0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7	RTCA0CE	RTC コントローラ有効ビット 0 : クロックカウンタ動作停止 1 : クロックカウンタ動作有効 (クロックカウンタをカウントアップ) 本ビットを“0”にすると制御レジスタ以外の RTC コントローラの内部回路は初期化されます。 ^{注1} また、割り込み (RTCATINTR_Int、RTCATINT1S_Int、および RTCATINTAL_Int) がクリアされます。	R/W
b6	RTCA0CEST	RTC コントローラ有効ステータス 0 : クロックカウンタ動作停止ステータス 1 : クロックカウンタ動作有効ステータス (クロックカウンタをカウントアップ)	R
b5	RTCA0AMPM	RTCA0HOUR、RTCA0ALH 表示フォーマット選択ビット 0 : 12 時間表記 1 : 24 時間表記	R/W
b4	RTCA0SLSB	RTCA0SUBU、RTCA0SCMP 有効／無効設定 0 : RTCA0SUBU 設定有効 RTCA0SCMP 設定無効 1 : RTCA0SUBU 設定無効 RTCA0SCMP 設定有効 本ビットを“0”にすると、RTC コントローラは 32k クロックに 32.768kHz クロックが入力されたものと見なして動作します。 このとき、入力クロックの誤差は RTCA0SUBU レジスタにより 32.76180000kHz～32.77420000kHz の範囲内で補正されます。 本ビットを“1”にする場合については、RTCA0SCMP レジスタの説明を参照してください。 注意) 本ビットをセットする際は「12.5.1.1 初期設定」に記載されたフローに従ってください。 クロックカウンタ動作有効 (RTCA0CE=1) 中、本ビットの設定を変更することは禁止です。 クロックカウンタ動作中に本ビットの設定を変更した場合は、RTC コントローラの正常な動作は保証されません。 本ビットの設定を変更する場合は「12.5.1.5 クロックカウンタ動作有効時の RTC 初期化」に従い初期化を行い、「12.5.1.1 初期設定」に記載されたフローに従い本ビットの再設定を行います。	R/W
b3～b0	予約ビット		R

注1. ユーザによって書き込みのできないステータスフラグの RTCA0WST、RTCA0RSST、RTCA0WSST、および RTCA0WUST はクリアされます。

12.4.2 RTCA0CTL1 — RTC 制御レジスタ 1

アドレス 4000 6004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	RTCA0ALME	RTCA01SE	RTCA0CT		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.3 RTCA0CTL1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b6	予約ビット		R
b5	予約ビット	値は 0	R/W
b4	RTCA0ALME	アラーム割り込み (RTCATINTAL_Int) 出力有効ビット 0 : アラーム割り込み禁止 1 : アラーム割り込み許可	R/W
b3	RTCA01SE	1 秒割り込み (RTCATINT1S_Int) 出力有効ビット 0 : 1 秒割り込み禁止 1 : 1 秒割り込み許可	R/W
b2~b0	RTCA0CT	固定周期割り込み (RTCATINTR_Int) 出力設定ビット RTCA0CT[2]/RTCA0CT[1]/RTCA0CT[0] 000b : 固定周期割り込み禁止 001b : 0.25 秒周期割り込み許可 (秒カウントアップと同期) 010b : 0.5 秒周期割り込み許可 (秒カウントアップと同期) 011b : 1 秒周期割り込み許可 (秒カウントアップと同期) 100b : 1 分周期割り込み許可 (1 分 00 秒ごと) 101b : 1 時間周期割り込み許可 (1 時間 00 分 00 秒ごと) 110b : 1 日周期割り込み許可 (1 日 00 時間 00 分 00 秒ごと) 111b : 1 か月周期割り込み許可 (毎月初日の午前 00 時間 00 分 00 秒) 本フィールドの設定を変更する場合は「12.5.1.8 クロックカウンタ動作時の固定周期割り込みの設定変更」を参照してください。	R/W

12.4.3 RTCA0CTL2 — RTC 制御レジスタ 2

アドレス 4000 6008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	RTCA0 WUST	RTCA0 WSST	RTCA0 RSST	RTCA0 RSUB	RTCA0 WST	RTCA0 WAIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.4 RTCA0CTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b6	予約ビット		R
b5	RTCA0WUST	RTCA0SUBU 書き込みステータス 0 : RTCA0SUBU 書き込み完了 1 : RTCA0SUBU 書き込み中 クロックカウンタ動作有効 (RTCA0CE=1) 中に、RTCA0SUBU へ書き込みを行うと本ビットは“1”にセットされます。 RTCA0SUBU 書き込みが完了すると本ビットは“0”にクリアされます (RTCA0SUBC オーバーフロー)。 注意) 本ビットの値が“1”の場合、RTCA0SUBU への書き込みが進行中であるため、RTCA0SUBU へ書き込みを行わないでください。	R
b4	RTCA0WSST	RTCA0SCMP 書き込みステータス 0 : RTCA0SCMP 書き込み完了 1 : RTCA0SCMP 書き込み中 クロックカウンタ動作有効 (RTCA0CE=1) 中に、RTCA0SCMP へ書き込みを行うと本ビットは“1”にセットされます。 RTCA0SCMP 書き込みが完了すると本ビットは“0”にクリアされます (RTCA0SUBC オーバーフロー)。 注意) 本ビットの値が“1”である間は RTCA0SCMP への書き込みが進行中のため、RTCA0SCMP へ書き込みを行わないでください。	R
b3	RTCA0RSST	RTCA0SRBU 転送ステータス 0 : RTCA0SRBU データホールドステータス 1 : RTCA0SUBC の RTCA0SRBU への転送完了 RTCA0RSUB に“1”が書き込まれている場合に、RTCA0SUBC の値が RTCA0SRBU へロードされると、本ビットの値は“1”にセットされます。 クロックカウンタ動作中 (RTCA0CE=1) に RTCA0SRBU を読み出す場合、本レジスタの値が“1”であることを先に確認してください。	R
b2	RTCA0RSUB	RTCA0SUBC データ転送制御 0 : RTCA0SRBU データホールド 1 : RTCA0SUBC の値を RTCA0SRBU へ転送 本ビットは RTCA0SUBC の値を RTCA0SRBU へ転送する制御ビットです。クロックカウンタ動作有効 (RTCA0CE=1) 中に、RTCA0SRBU の値を読み出す際に使用します。本ビットに“1”が書き込まれると、RTCA0SUBC の値は 32k クロックと同期して RTCA0SRBU にロードされます。 使用方法については、「12.5.1.4 クロックカウンタ動作有効時の RTCA0SRBU の読み出し」 (RTCA0CE=1) を参照してください。	R/W

表 12.4 RTCA0CTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	RTCA0WST	RTC コントローラカウンタ待機ステータス 0 : RTCA0SECC、RTCA0MINC、RTCA0HOURC、RTCA0WEEKC、RTCA0DAYC、RTCA0MONC、および RTCA0YEARC のカウントアップステータス 1 : RTCA0SECC、RTCA0MINC、RTCA0HOURC、RTCA0WEEKC、RTCA0DAYC、RTCA0MONC、および RTCA0YEARC のカウントアップ停止ステータス（秒、分、時、曜日、日、月、および年のカウントレジスタはカウントアップ動作を停止します） RTCA0WAIT に“1”が書き込まれた場合、RTCA0SEC、RTCA0MIN、RTCA0HOUR、RTCA0WEEK、RTCA0DAY、RTCA0MONTH、および RTCA0YEAR のカウントアップ動作が完全に停止すると本ビットの値は“1”になります。 クロックカウンタ動作（RTCA0CE=1）中にクロックカウンタ（RTCA0SEC、RTCA0MIN、RTCA0HOUR、RTCA0WEEK、RTCA0DAY、RTCA0MONTH、RTCA0YEAR）の読み出しおよび書き込みを行う場合は、先に本レジスタの値が“1”であることを確認してください。 また、クロックカウンタ（RTCA0SEC、RTCA0MIN、RTCA0HOUR、RTCA0WEEK、RTCA0DAY、RTCA0MONTH、RTCA0YEAR）への書き込みがあった場合、RTCA0WAIT へ書き込まれた値は書き込み動作が完了するまで反映されません（ステータスホールド）。	R
b0	RTCA0WAIT	RTC コントローラカウンタ待機制御 0 : カウンタ動作 1 : RTCA0SEC、RTCA0MIN、RTCA0HOUR、RTCA0WEEK、RTCA0DAY、RTCA0MONTH、および RTCA0YEAR のカウントアップ動作を停止。（秒、分、時、曜日、日、月、および年のカウントレジスタはカウントアップ動作を停止します。） 本ビットはカウンタのカウントアップ動作を制御します。クロックカウンタ動作有効（RTCA0CE=1）中に、カウンタ値の読み出しおよび書き込みを行う場合は、必ず本ビットに“1”を書き込んでください。 RTCA0SUBC オーバーフローが発生したとき本ビットの値が“1”である場合、オーバーフロー情報は内部に保持され、本ビットに“0”が書き込まれた後に RTCA0SEC をカウントアップします。 ただし、RTCA0WAIT=1 のときに秒カウンタの値が書き込まれた場合、保持していたオーバーフロー情報は破棄されます。	R/W

12.4.4 RTCA0SUBC — RTC サブカウントレジスタ

アドレス 4000 600Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	RTCA0SUBC					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0SUBC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.5 RTCA0SUBC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b22	予約ビット		R
b21～b0	RTCA0SUBC	1 秒リファレンスタイムをカウントするレジスタです。 本レジスタは RTCA0SEC（RTC 秒カウントバッファレジスタ）または RTCA0TIME（RTC 時刻設定レジスタ）がリセットまたは書き込まれた際にクリアされます。本レジスタへの任意値の書き込みはできません。クロックカウンタ動作有効（RTCA0CE=1）時、クロック入力があるとカウントアップが発生します。 クロックカウンタ動作有効（RTCA0CE=1）中に本レジスタを読み出すと、レジスタ値は 32k クロックと同期して変化するため、非同期で読み出され、読み出した値は保証されません。 クロックカウンタ動作有効（RTCA0CE=1）中に本レジスタの値を調べるには RTCA0SRBU レジスタを使用します。 本レジスタのカウントアップ動作は、下記の RTCA0SLSB の設定に従います。 <RTCA0SLSB=0> クロック誤差補正機能を使用していない場合、カウントアップ動作は 0h から開始し、7FFFh に到達すると RTCA0SEC（秒カウントバッファレジスタ）にオーバーフロー信号を出力して本レジスタはクリアされます。 クロック誤差補正を実行した場合、RTCA0SUBU の設定により 7F83h～807Bh の範囲内でオーバーフローが発生します。 RTCA0SCMP（サブカウント比較レジスタ）の設定は無視されます。 <RTCA0SLSB=1> カウントアップ動作は 0h から開始され、RTCA0SCMP にセットされた値とマッチすると RTCA0SEC（秒カウントバッファレジスタ）にオーバーフロー信号を出力して本レジスタはクリアされます。 RTCA0SUBU（クロック誤差補正）の設定は無視されます。 例）32kHz クロックを使用した動作 “32000-1=31999（10 進数コード）=7CFFh” を RTCA0SCMP にセット。 32kHz クロック入力があるごとにカウントアップが行われ、0h～7CFFh の値を取ります。 7CFFh から 0h へ値が変わった場合に 1 秒をカウントします。	R

12.4.5 RTCA0SRBU — RTC サブカウントレジスタ読み出しバッファ

アドレス 4000 6010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	RTCA0SRBU					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0SRBU															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.6 RTCA0SRBU レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b22	予約ビット		R
b21～b0	RTCA0SRBU	RTCA0SUBC バッファレジスタ読み出し 本レジスタはリセット時にクリアされ、任意値の書き込みはできません。クロックカウンタ動作有効（RTCA0CE=1）中に、RTCA0RSUB ビットに“1”が書き込まれた場合、RTCA0SUBC の値は 32k クロックと同期して本レジスタにロードされます。 注意） RTCA0SRBU の読み出しは、必ず「12.5.1.4 クロックカウンタ動作有効時の RTCA0SRBU の読み出し」に記載されたフローに従い実行してください。	R

12.4.6 RTCA0SEC — RTC 秒カウントバッファレジスタ

アドレス 4000 6014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RTCA0SEC						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.7 RTCA0SEC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6～b0	RTCA0SEC	RTC 秒カウントレジスタ（RTCA0SECC）読み出し／書き込みバッファレジスタ 本レジスタは秒カウントレジスタの読み出しおよび書き込み時に使用されます。本レジスタは 10 進数の値 00～59 を BCD（二進化十進数）コードでセットする必要があります。	R/W

12.4.7 RTCA0MIN — RTC 分カウントバッファレジスタ

アドレス 4000 6018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RTCA0MIN						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.8 RTCA0MIN レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6～b0	RTCA0MIN	RTC 分カウントレジスタ（RTCA0MINC）読み出し／書き込みバッファレジスタ 本レジスタは分カウントレジスタの読み出しおよび書き込み時に使用されます。本レジスタは 10 進数の値 00～59 を BCD（二進化十進数）コードでセットする必要があります。	R/W

12.4.8 RTCA0HOUR — RTC 時カウントバッファレジスタ

アドレス 4000 601Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	RTCA0HOUR					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0

表 12.9 RTCA0HOUR レジスタの内容

ビット位置	ビット名	機能	R/W																																																								
b31~b6	予約ビット		R																																																								
b5~b0	RTCA0HOUR	RTC 時カウントレジスタ（RTCA0HOURC）読み出し／書き込みバッファレジスタ 本レジスタは時カウントレジスタの読み出しおよび書き込み時に使用されます。本レジスタは、RTCA0AMPM=0 のとき 10 進数の値 01~12 または 21~32、RTCA0AMPM=1 のとき 10 進数の値 0~23 を BCD（二進化十進数）コードでセットする必要があります。 RTCA0HOUR の表記は、RTCA0AMPM ビットが “0” のとき 12 時間表示、“1” のとき 24 時間表記です。12 時間表記の場合、am/pm は RTCA0HOUR の 5 番目のビットによって示されます。am の場合は RTCA0HOUR[5] = 0、pm の場合は RTCA0HOUR[5] = 1 です。 <table><tr><th colspan="2">12 時間表記</th><th colspan="2">24 時間表記</th></tr><tr><th>時刻</th><th>RTCA0HOUR 表示</th><th>時刻</th><th>RTCA0HOUR 表示</th></tr><tr><td>0 am</td><td>12h</td><td>0</td><td>00h</td></tr><tr><td>1 am</td><td>01h</td><td>1</td><td>01h</td></tr><tr><td>...</td><td></td><td>...</td><td></td></tr><tr><td>9 am</td><td>09h</td><td>9</td><td>09h</td></tr><tr><td>10 am</td><td>10h</td><td>10</td><td>10h</td></tr><tr><td>11 am</td><td>11h</td><td>11</td><td>11h</td></tr><tr><td>0 pm</td><td>32h</td><td>12</td><td>12h</td></tr><tr><td>1 pm</td><td>21h</td><td>13</td><td>13h</td></tr><tr><td>...</td><td></td><td>...</td><td></td></tr><tr><td>9 pm</td><td>29h</td><td>21</td><td>21h</td></tr><tr><td>10 pm</td><td>30h</td><td>22</td><td>22h</td></tr><tr><td>11 pm</td><td>31h</td><td>23</td><td>23h</td></tr></table>	12 時間表記		24 時間表記		時刻	RTCA0HOUR 表示	時刻	RTCA0HOUR 表示	0 am	12h	0	00h	1 am	01h	1	01h	...		...		9 am	09h	9	09h	10 am	10h	10	10h	11 am	11h	11	11h	0 pm	32h	12	12h	1 pm	21h	13	13h	...		...		9 pm	29h	21	21h	10 pm	30h	22	22h	11 pm	31h	23	23h	R/W
12 時間表記		24 時間表記																																																									
時刻	RTCA0HOUR 表示	時刻	RTCA0HOUR 表示																																																								
0 am	12h	0	00h																																																								
1 am	01h	1	01h																																																								
...		...																																																									
9 am	09h	9	09h																																																								
10 am	10h	10	10h																																																								
11 am	11h	11	11h																																																								
0 pm	32h	12	12h																																																								
1 pm	21h	13	13h																																																								
...		...																																																									
9 pm	29h	21	21h																																																								
10 pm	30h	22	22h																																																								
11 pm	31h	23	23h																																																								

12.4.9 RTCA0WEEK — RTC 曜日カウントバッファレジスタ

アドレス 4000 6020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTCA0WEEK		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.10 RTCA0WEEK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット		R
b2~b0	RTCA0WEEK	RTC 曜日カウントレジスタ（RTCA0WEEKC）読み出し／書き込みバッファレジスタ 本レジスタは曜日カウントレジスタの読み出しおよび書き込み時に使用されます。本レジスタは 10 進数の値 00~06 を BCD（二進化十進数）コードでセットする必要があります。 RTCA0WEEK の値は特定の曜日と対応するものではありません。アプリケーションに応じた対応を設定してください。 例) 0→日曜、1→月曜、…、6→土曜	R/W

12.4.10 RTCA0DAY — RTC 日カウントバッファレジスタ

アドレス 4000 6024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	RTCA0DAY					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 12.11 RTCA0DAY レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b6	予約ビット		R
b5~b0	RTCA0DAY	RTC 日カウントレジスタ（RTCA0DAYC）読み出し／書き込みバッファレジスタ 本レジスタは日カウントレジスタの読み出しおよび書き込み時に使用されます。本レジスタは 10 進数の値 01~31 を BCD（二進化十進数）コードでセットする必要があります。 01~31（1 月、3 月、5 月、7 月、8 月、10 月、12 月） 01~30（4 月、6 月、9 月、11 月） 01~29（2 月、閏年） 01~28（2 月、閏年以外）	R/W

12.4.11 RTCA0MONTH — RTC 月カウントバッファレジスタ

アドレス 4000 6028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	RTCA0MONTH				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 12.12 RTCA0MONTH レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット		R
b4～b0	RTCA0MONTH	RTC 月カウントレジスタ（RTCA0MONC）読み出し／書き込みバッファレジスタ 本レジスタは月カウントレジスタの読み出しおよび書き込み時に使用されます。本レジスタは 10 進数の値 01～12 を BCD（二進化十進数）コードでセットする必要があります。	R/W

12.4.12 RTCA0YEAR — RTC 年カウントバッファレジスタ

アドレス 4000 602Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTCA0YEAR							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.13 RTCA0YEAR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b0	RTCA0YEAR	RTC 年カウントレジスタ（RTCA0YEARC）読み出し／書き込みバッファレジスタ 本レジスタは年カウントレジスタの読み出しおよび書き込み時に使用されます。本レジスタは 10 進数の値 00～99 を BCD（二進化十進数）コードでセットする必要があります。	R/W

12.4.13 RTCA0TIME — RTC 時刻設定レジスタ

RTCA0TIME は RTCA0HOUR、RTCA0MIN、および RTCA0SEC レジスタを同時にアクセスするためのレジスタです。本レジスタを使用することで、RTCA0HOUR、RTCA0MIN、および RTCA0SEC レジスタに対して読み出しあるいは書き込みを同時に行うことができます。

アドレス 4000 6030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	RTCA0HOUR							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0MIN								RTCA0SEC							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.14 RTCA0TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット		R
b23~b16	RTCA0HOUR	RTCA0HOUR レジスタ参照	R/W
b15~b8	RTCA0MIN	RTCA0MIN レジスタ参照	R/W
b7~b0	RTCA0SEC	RTCA0SEC レジスタ参照	R/W

12.4.14 RTCA0CAL — RTC カレンダー設定レジスタ

RTCA0CAL は RTCA0YEAR、RTCA0MONTH、RTCA0DAY、および RTCA0WEEK レジスタを同時にアクセスするためのレジスタです。本レジスタを使用することで、RTCA0YEAR、RTCA0MONTH、RTCA0DAY、および RTCA0WEEK レジスタに対して読み出しあるいは書き込みを同時に行うことができます。

アドレス 4000 6034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RTCA0YEAR								RTCA0MONTH							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0DAY								RTCA0WEEK							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

表 12.15 RTCA0CAL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	RTCA0YEAR	RTCA0YEAR レジスタ参照	R/W
b23~b16	RTCA0MONTH	RTCA0MONTH レジスタ参照	R/W
b15~b8	RTCA0DAY	RTCA0DAY レジスタ参照	R/W
b7~b0	RTCA0WEEK	RTCA0WEEK レジスタ参照	R/W

12.4.15 RTCA0SUBU — RTC クロック誤差補正レジスタ

アドレス 4000 6038h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTCA0 DEV	RTCA0 F6	RTCA0 F5	RTCA0 F4	RTCA0 F3	RTCA0 F2	RTCA0 F1	RTCA0 F0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.16 RTCA0SUBU レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7	RTCA0DEV	クロック誤差補正タイミング設定 0 : RTCA0SEC (秒カウンタ) が 00、20、および 40 秒のときクロック誤差補正 1 : RTCA0SEC (秒カウンタ) が 00 秒のときクロック誤差補正	R/W
b6	RTCA0F6	クロック誤差補正值ビット 6 0 : RTCA0SUBC のカウント値は RTCA0F5～0 にセットされた値の分 (プラス補正) だけインクリメントされます。 インクリメント値の計算式 : $(RTCA0F[5:0] \text{設定値} - 1) \times 2$ 1 : RTCA0SUBC のカウント値は RTCA0F5～0 にセットされた値の分 (マイナス補正) だけデクリメントされます。 デクリメント値の計算式 : $(RTCA0F[5:0] \text{設定値の反転データ} + 1) \times 2$	R/W
b5	RTCA0F5	クロック誤差補正值ビット 5	R/W
b4	RTCA0F4	クロック誤差補正值ビット 4	R/W
b3	RTCA0F3	クロック誤差補正值ビット 3	R/W
b2	RTCA0F2	クロック誤差補正值ビット 2	R/W
b1	RTCA0F1	クロック誤差補正值ビット 1	R/W
b0	RTCA0F0	クロック誤差補正值ビット 0	R/W

12.4.16 RTCA0SCMP — RTC サブカウント比較レジスタ

アドレス 4000 603Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	RTCA0SCMP					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0SCMP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.17 RTCA0SCMP レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b22	予約ビット		R
b21～b0	RTCA0SCMP	RTCA0SUBC（サブカウンタ）の比較値をセットするレジスタです。 本レジスタは RTCA0SLSB=1 で有効です。 RTCA0SLSB=1 がセットされると、RTCA0SUBC は 0 からカウントアップを開始し、本レジスタにセットされた値とマッチすると RTCA0SEC（秒カウントバッファレジスタ）にオーバーフロー信号を出力してレジスタがクリアされます。 選択した入力クロックの周波数に従い、本レジスタの値をセットします。 本レジスタの設定値により、32k クロック入力の正確な 1 秒のカウントが可能です。 例） 入力クロック=32kHz の場合 32,000（10 進数）－1=31,999（10 進数）=7CFFh（16 進数）を RTCA0SCMP にセット クロックカウンタ動作中（RTCA0CE=1）に本レジスタに書き込みを行う場合、RTCA0WSST=0 であることを確認してください。 クロックカウンタ動作中（RTCA0CE=1）に本レジスタに書き込みを行う場合、RTCA0SUBC オーバーフローのタイミングで書き込みを終了します。 注意） RTCA0SLSB に “1” をセットした場合、本レジスタに 31999 以上の値（32kHz 以上）をセットしてください。 RTCA0SLSB に “1” をセットした場合、本レジスタに 31998 以下の値がセットされると RTC の正常な動作は保証されません。 「12.5.1.1 初期設定」および「12.5.1.7 クロックカウンタ動作中の RTCA0SCMP への書き込み」に従って、必ず RTCA0SCMP 書き込みを行ってください。	R/W

12.4.17 RTCA0ALM — RTC アラーム分設定レジスタ

アドレス 4000 6040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RTCA0ALM						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.18 RTCA0ALM レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b7	予約ビット		R
b6~b0	RTCA0ALM	RTCA0ALM はアラーム割り込みの分設定を行うレジスタです。 10 進数の値 00~59 を BCD（二進化十進数）コードでセットします。（範囲外の値をセットした場合、アラーム検出は行われません。）	R/W

12.4.18 RTCA0ALH — RTC アラーム時設定レジスタ

アドレス 4000 6044h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	RTCA0ALH					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0

表 12.19 RTCA0ALH レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b6	予約ビット		R
b5~b0	RTCA0ALH	RTCA0ALH はアラーム割り込みの時設定を行うレジスタです。 RTCA0AMPM=0 のときは 10 進数の値 01~12 または 21~32 を、RTCA0AMPM=1 のときは 10 進数の値 0~23 を、どちらの場合も BCD（二進化十進数）コードでセットする必要があります。 （範囲外の値をセットした場合、アラーム検出は行われません。）	R/W

12.4.19 RTCA0ALW — RTC アラーム曜日設定レジスタ

本レジスタは、RTCA0WEEK 値に対応したアラームを有効にします。

例)

RTCA0WEEK=0 が日曜であれば、RTCA0ALW0 ビットは日曜のアラームとして機能します。RTCA0WEEK=6 が土曜であれば、RTCA0ALW 6 ビットは土曜のアラームとして機能します。

アドレス 4000 6048h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RTCA0 ALW6	RTCA0 ALW5	RTCA0 ALW4	RTCA0 ALW3	RTCA0 ALW2	RTCA0 ALW1	RTCA0 ALW0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.20 RTCA0ALW レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b7	予約ビット		R
b6	RTCA0ALW6	アラーム割り込み曜日設定ビット 6 0 : アラーム無効 1 : アラーム有効	R/W
b5	RTCA0ALW5	アラーム割り込み曜日設定ビット 5 0 : アラーム無効 1 : アラーム有効	R/W
b4	RTCA0ALW4	アラーム割り込み曜日設定ビット 4 0 : アラーム無効 1 : アラーム有効	R/W
b3	RTCA0ALW3	アラーム割り込み曜日設定ビット 3 0 : アラーム無効 1 : アラーム有効	R/W
b2	RTCA0ALW2	アラーム割り込み曜日設定ビット 2 0 : アラーム無効 1 : アラーム有効	R/W
b1	RTCA0ALW1	アラーム割り込み曜日設定ビット 1 0 : アラーム無効 1 : アラーム有効	R/W
b0	RTCA0ALW0	アラーム割り込み曜日設定ビット 0 0 : アラーム無効 1 : アラーム有効	R/W

12.4.20 RTCA0SECC — RTC 秒カウントレジスタ

アドレス 4000 604Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RTCA0SECC						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.21 RTCA0SECC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6～b0	RTCA0SECC	秒のカウントアップ 本レジスタは 00～59 までカウントし、BCD（二進化十進数）コードで 59 から 00 へ変化したとき、RTCA0MINC へオーバーフロー信号を出力します。	R

12.4.21 RTCA0MINC — RTC 分カウントレジスタ

アドレス 4000 6050h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RTCA0MINC						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.22 RTCA0MINC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6～b0	RTCA0MINC	分のカウントアップ 本レジスタは 00～59 までカウントし、BCD（二進化十進数）コードで 59 から 00 へ変化したとき、RTCA0HOURC へオーバーフロー信号を出力します。	R

12.4.22 RTCA0HOURC — RTC 時カウントレジスタ

アドレス 4000 6054h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	RTCA0HOURC					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0

表 12.23 RTCA0HOURC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5～b0	RTCA0HOURC	時のカウントアップ 本レジスタは RTCA0AMPM の設定により、00～23、01～12、または 21～32 までを BCD（二進化十進数）コードでカウントし、値が 23 から 00 または 32 から 01 へ変化したとき、RTCA0DAY および RTCA0WEEKC へオーバーフロー信号を出力します。	R

12.4.23 RTCA0WEEKC — RTC 曜日カウントレジスタ

アドレス 4000 6058h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTCA0WEEKC		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.24 RTCA0WEEKC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2～b0	RTCA0WEEKC	曜日のカウントアップ 本レジスタはクロックカウンタ動作有効（RTCA0CE=1）時に、RTCA0HOURC オーバーフローが発生するとカウントアップします。	R

12.4.24 RTCA0DAYC — RTC 日カウントレジスタ

アドレス 4000 605Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	RTCA0DAYC					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 12.25 RTCA0DAYC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5～b0	RTCA0DAYC	日のカウントアップ 本レジスタはクロックカウンタ動作有効（RTCA0CE=1）時に、RTCA0HOURC オーバーフローが発生するとカウントアップします。本レジスタは RTCA0MONC の値に従いカウントを行います。オーバーフローが発生すると RTCA0MONC へオーバーフロー信号を出力します。	R

12.4.25 RTCA0MONC — RTC 月カウントレジスタ

アドレス 4000 6060h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	RTCA0MONC				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表 12.26 RTCA0MONC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット		R
b4～b0	RTCA0MONC	月のカウントアップ 本レジスタはクロックカウンタ動作有効（RTCA0CE=1）中に、RTCA0DAYC オーバーフローが発生するとカウントアップします。本レジスタは 01～12 を BCD（二進化十進数）コードでカウントし、値が 12 から 01 へ変化した際、RTCA0YEARC へオーバーフロー信号を出力します。	R

12.4.26 RTCA0YEARC — RTC 年カウントレジスタ

アドレス 4000 6064h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTCA0YEARC							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.27 RTCA0YEARC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b0	RTCA0YEARC	年のカウントアップ 本レジスタはクロックカウンタ動作有効（RTCA0CE=1）中に、RTCA0MONC オーバーフローが発生するとカウントアップします。本レジスタは 00～99 を BCD（二進化十進数）コードでカウントします。	R

12.4.27 RTCA0TIMEC — RTC 時刻カウントレジスタ

RTCA0HOURC、RTCA0MINC、および RTCA0SECC レジスタを同時に読み出します。

アドレス 4000 6068h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	RTCA0HOURC							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0MINC								RTCA0SECC							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.28 RTCA0TIMEC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット		R
b23～b16	RTCA0HOURC	RTCA0HOURC レジスタ参照	R
b15～b8	RTCA0MINC	RTCA0MINC レジスタ参照	R
b7～b0	RTCA0SECC	RTCA0SECC レジスタ参照	R

12.4.28 RTCA0CALC — RTC カレンダーカウントレジスタ

RTCA0YEARC、RTCA0MONC、RTCA0DAYC、および RTCA0WEEKC レジスタを同時に読み出します。

アドレス		4000 606Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RTCA0YEARC								RTCA0MONC							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0DAYC								RTCA0WEEKC							
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

表 12.29 RTCA0CALC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	RTCA0YEARC	RTCA0YEARC レジスタ参照	R
b23～b16	RTCA0MONC	RTCA0MONC レジスタ参照	R
b15～b8	RTCA0DAYC	RTCA0DAYC レジスタ参照	R
b7～b0	RTCA0WEEKC	RTCA0WEEKC レジスタ参照	R

12.4.29 RTCA0TCR — RTC テストレジスタ

本 LSI では、使用できません。

アドレス		4000 6070h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTCA0 OSE	—	—	—	—	—	—	—	—	—	—	—	RTCA0 OS3	RTCA0 OS2	RTCA0 OS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12.30 RTCA0TCR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b16	予約ビット		R
b15	RTCA0OSE	0 : 割り込み代替ラッチ無効 1 : 割り込み代替ラッチ有効	R/W
b14～b4	予約ビット		R
b3	RTCA0OS3	RTCATINTAL_Int 代替ラッチの値	R/W
b2	RTCA0OS2	RTCATINT1S_Int 代替ラッチの値	R/W
b1	RTCA0OS1	RTCATINTR_Int 代替ラッチの値	R/W
b0	予約ビット	値は 0	R/W

12.5 動作

12.5.1 RTC のプログラミング

12.5.1.1 初期設定

下記フローに従い、RTC の初期設定を行ってください。

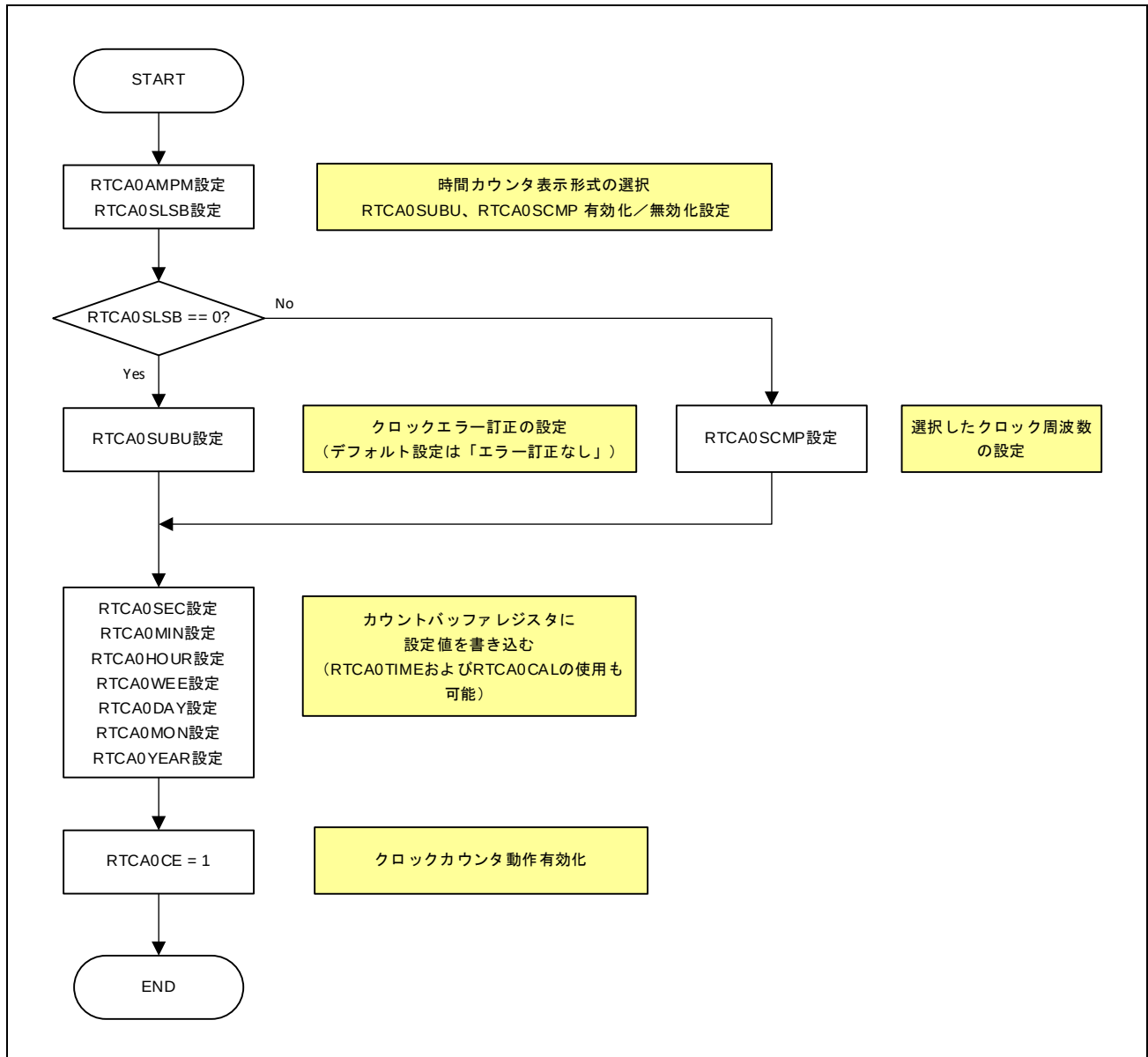


図 12.2 クロックカウンタ無効時の RTC の設定

内部クロックカウンタは 32k クロックと同期して動作します。上記の初期値設定の完了には 32k クロックが 2 サイクル必要です。そのため、初期値設定が完了するまで RTC_PCLK を供給し続ける必要があります。初期設定完了後、RTC_PCLK の供給を停止するには、先に RTCA0CEST=1 (クロックカウンタ動作有効ステータス) となっていることを確認してください。

12.5.1.2 クロックカウンタ動作有効時にクロックカウンタに書き込む

クロックカウンタ動作有効（RTCA0CE=1）中は必ず下記のフローに従い、RTCA0SEC、RTCA0MIN、RTCA0HOUR、RTCA0WEEK、RTCA0DAY、RTCA0MONTH、および RTCA0YEAR カウンタへ書き込みを行ってください。

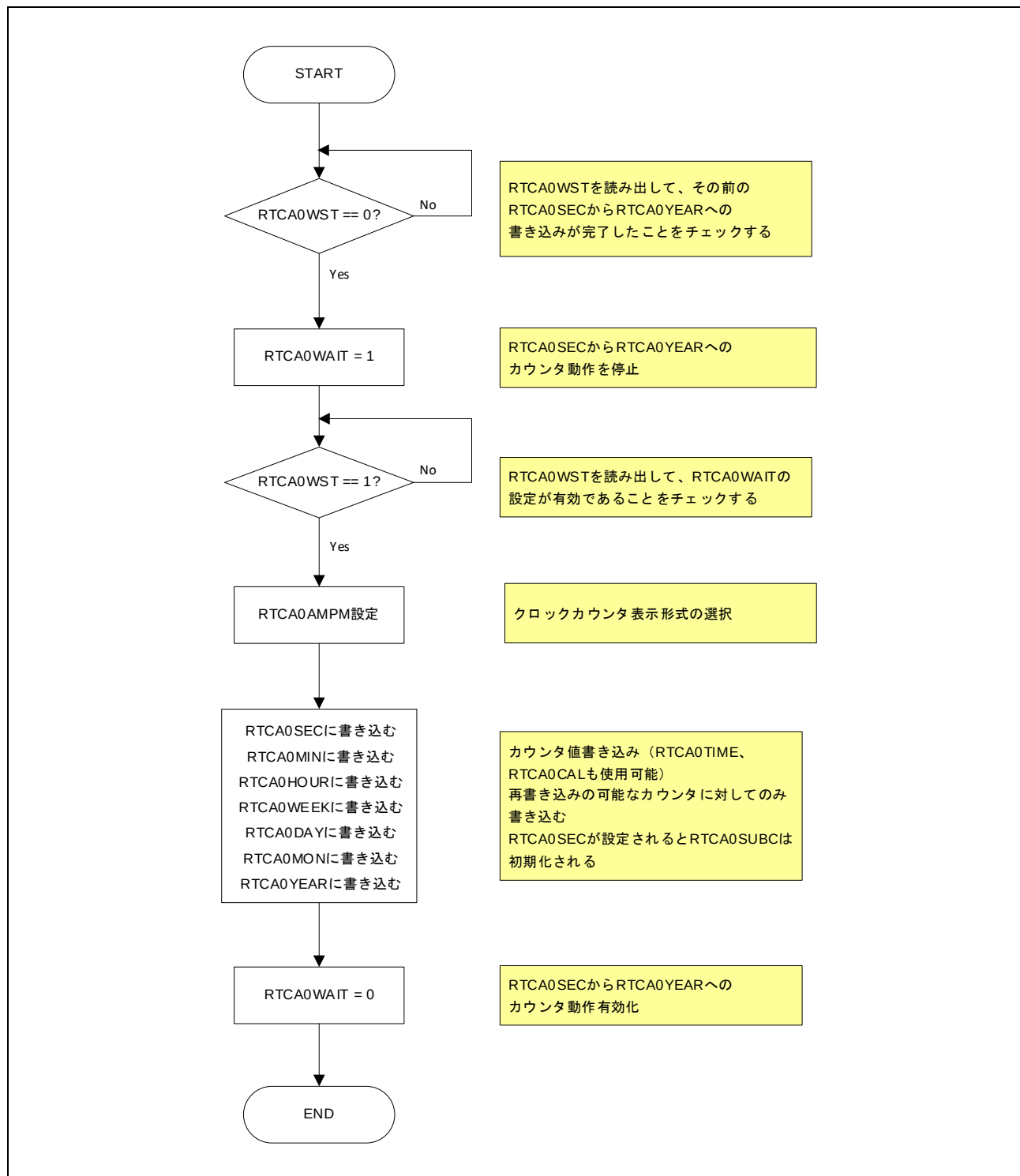


図 12.3 クロックカウンタ有効時の RTC の設定

上記フローでは、同一のレジスタに 2 回以上書き込むことは禁止です。例えば、秒カウンタに 2 回書き込みを行うことは禁止です。プログラミングフローは 1 秒以内に終了してください。

RTCA0WAIT=1 を設定すると RTCA0SEC（秒カウンタバッファ）の動作が停止します。RTCA0WAIT=1 のときに RTCA0SUBC オーバーフローが発生すると、1 つのオーバーフローが内部で保持されます。ただし、オーバーフローが複数回発生した場合、オーバーフローカウンタは保持されません。

内部クロックカウンタは 32k クロックと同期して動作します。上記初期値設定の完了には 32k クロックで 2 サイクル必要です。そのため、初期値設定の完了まで RTC_PCLK を供給し続けることが必要です。

初期値設定の完了後 RTC_PCLK の供給を停止するには、先に RTCA0WST=0（クロックカウンタカウンタアップステータス）となっていることを確認してください。

12.5.1.3 クロックカウンタ動作有効時のクロックカウンタ読み出し

クロックカウンタ動作有効（RTCA0CE=1）中のクロックカウンタの読み出しには 2 種類の方法があります。

(1) カウントバッファレジスタを使用する方法

バッファレジスタを使用してクロックカウンタ値を読み出します。クロックカウンタレジスタ値は、RTCA0WAIT に 1 を書き込むことでカウントバッファレジスタに転送され、その後カウントバッファレジスタを読み出します。この方法では、データ転送を完了するために、RTCA0WAIT=1 に設定することでプログラム待機^{注1}が発生します。

(2) カウントレジスタを読み出す方法

直接クロックカウンタを読み出します。カウンタの読み出し中にサブカウンタのオーバーフローが発生していないことを確認するため、RTCA0SECC（秒カウントレジスタ）を最初と最後に 2 回読み出し、その値を比較します。最初と最後の値が一致する場合は、カウンタ読み出しフロー中にサブカウンタのオーバーフローが発生していないと判断します。最初と最後の値が一致しない場合は、カウンタ読み出しフロー中にサブカウンタのオーバーフロー^{注2}が発生したと判断し、クロックカウンタの読み出しを再度行います。

下記の表で、2 つの方法のメリットとデメリットを示します。

		メリット	デメリット
(1)	カウントバッファレジスタを使用する方法	クロックカウンタを同期して読み出すため、方法 (2) のように複数回にわたりクロックカウンタを読み出す必要がありません。	データ転送を完了するために、RTCA0WAIT = 1 に設定することでプログラム待機 ^{注1} が発生します。
(2)	カウントレジスタを読み出す方法	プログラム待機が発生しません。	カウンタの読み出しと RTCA0SUBC のオーバーフローが競合した場合、クロックカウンタの読み出しを複数回行う必要があります。

注1. 最大プログラム待機は、RTC_PCLK を 3 クロックサイクル分+32k クロックを 2 クロックサイクル分です

注2. カウンタの読み出しおよびサブカウンタのオーバーフローが互いに競合した場合、不定値を読み出す可能性があります。

■クロックカウンタ動作有効 (RTCA0CE=1) 中のクロックカウンタ読み出し
(カウントバッファレジスタ使用)

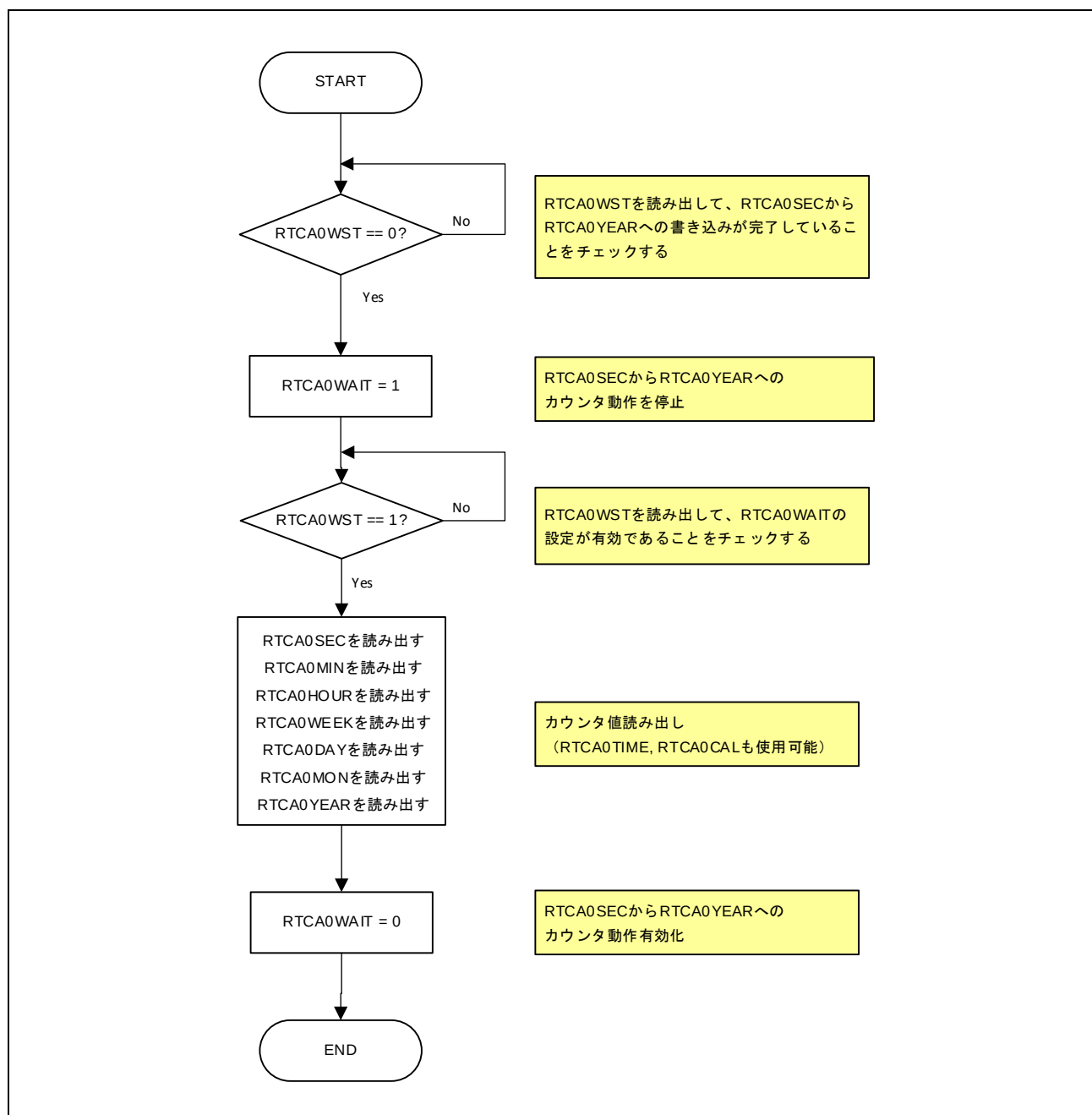


図 12.4 バッファレジスタを使用した RTC の読み出し

このフローは 1 秒以内に終了させます。

RTCA0WAIT=1 を設定すると、RTCA0SEC (秒カウンタバッファ) は動作を停止します。RTCA0WAIT=1 のときに RTCA0SUBC オーバーフローが発生すると、1 つのオーバーフローが内部で保持されます。ただし、オーバーフローが複数回発生した場合、オーバーフローカウンタは保持されません。

■クロックカウンタ動作有効 (RTCA0CE=1) 中のクロックカウンタ読み出し
(カウントレジスタの読み出し)

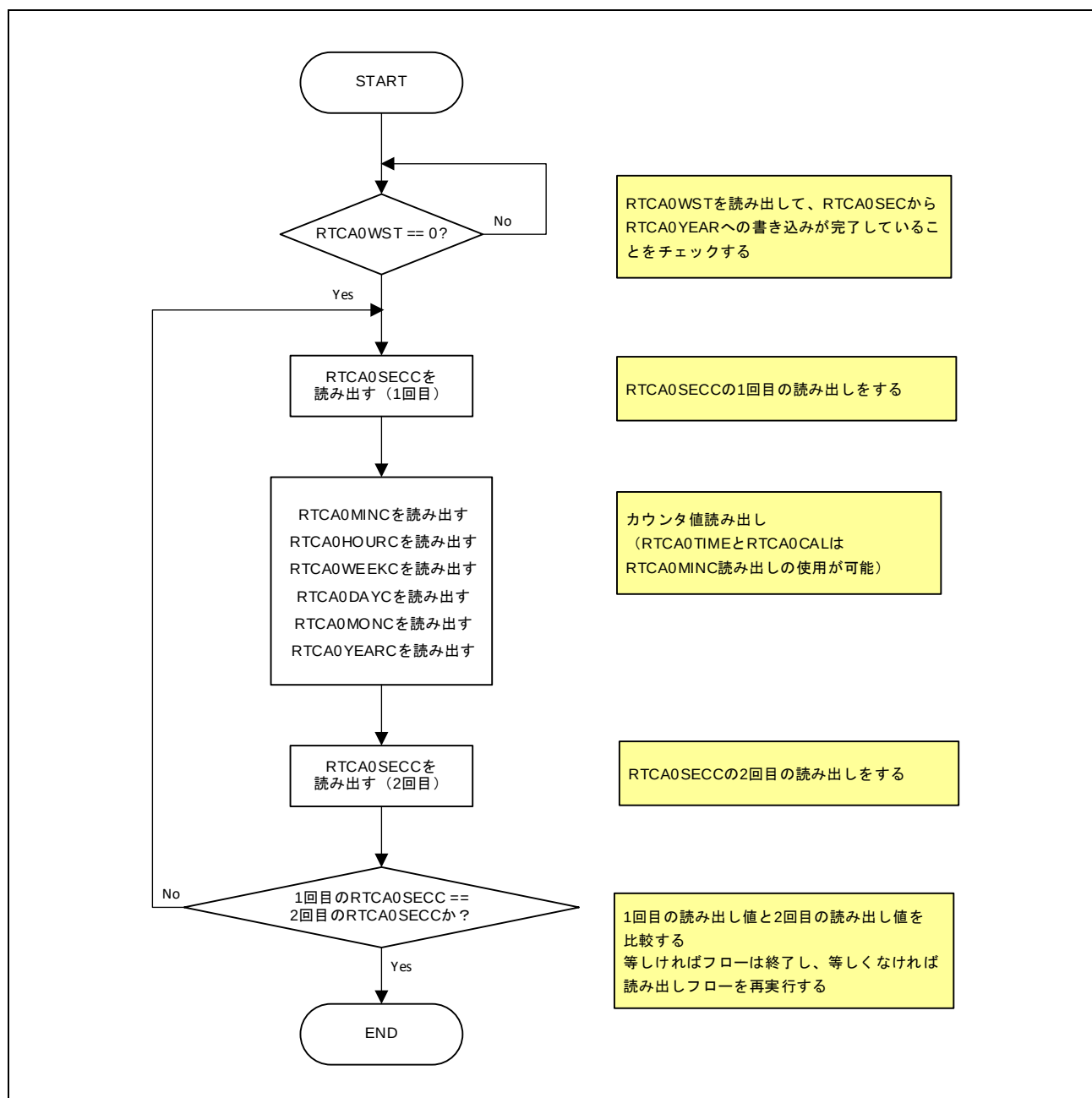


図 12.5 カウントレジスタを使用した RTC の読み出し

このフローは 1 秒以内に終了させます。

1 秒以内に終了しない場合、クロックカウンタの読み出し値は保証されません。

12.5.1.4 クロックカウンタ動作有効時の RTCA0SRBU の読み出し

クロックカウンタ動作有効（RTCA0CE=1）中は必ず下記のフローに従い、RTCA0SRBU を読み出してくだ
さい。

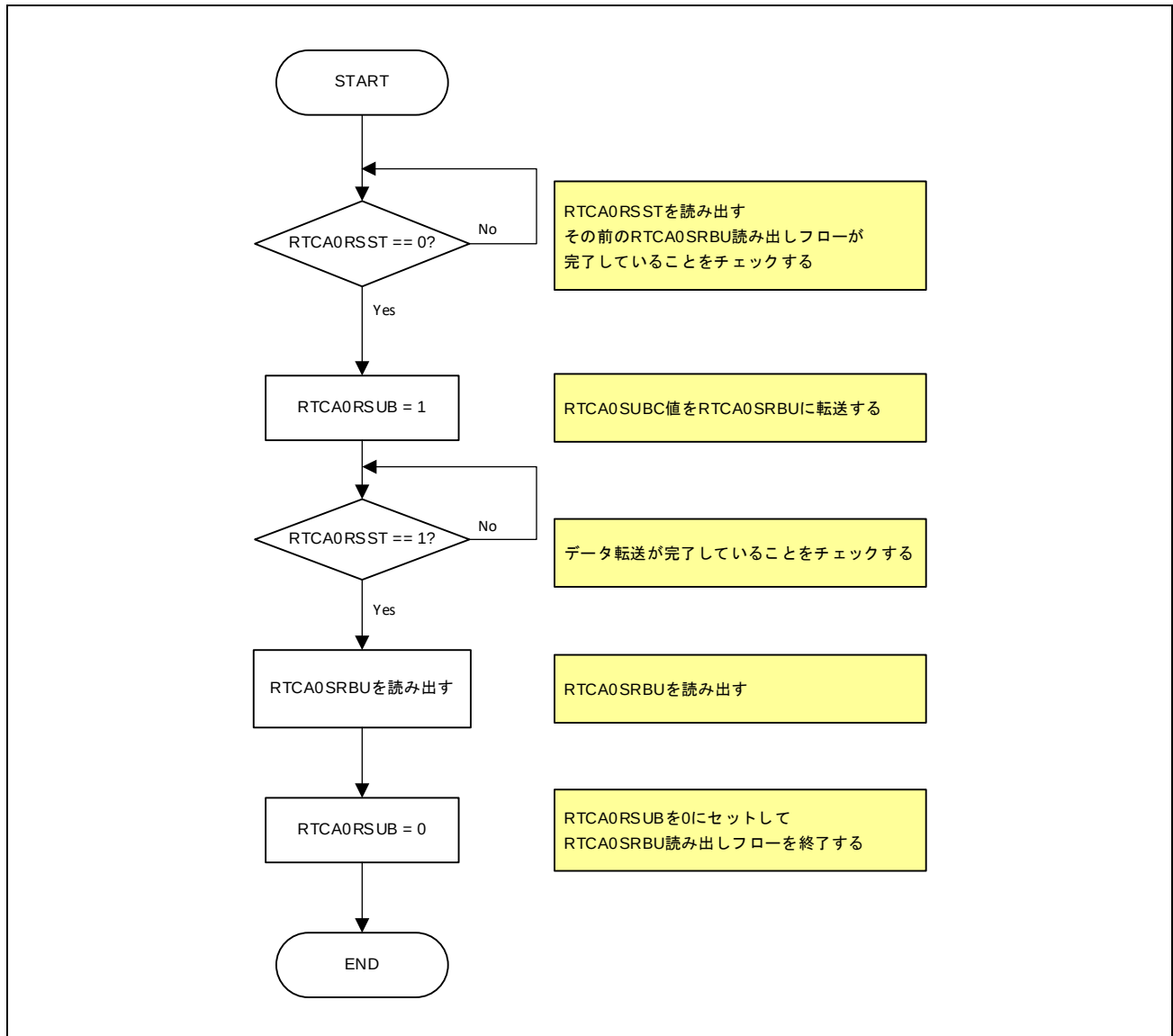


図 12.6 RTCA0SRBU の読み出し

12.5.1.5 クロックカウンタ動作有効時の RTC 初期化

クロックカウンタ動作有効（RTCA0CE=1）中は必ず下記のフローに従い、RTC コントローラの初期化を行ってください。フローの最後で RTC コントローラ動作を再起動するには「**12.5.1.1 初期設定**」に記載されたフローに従ってください。

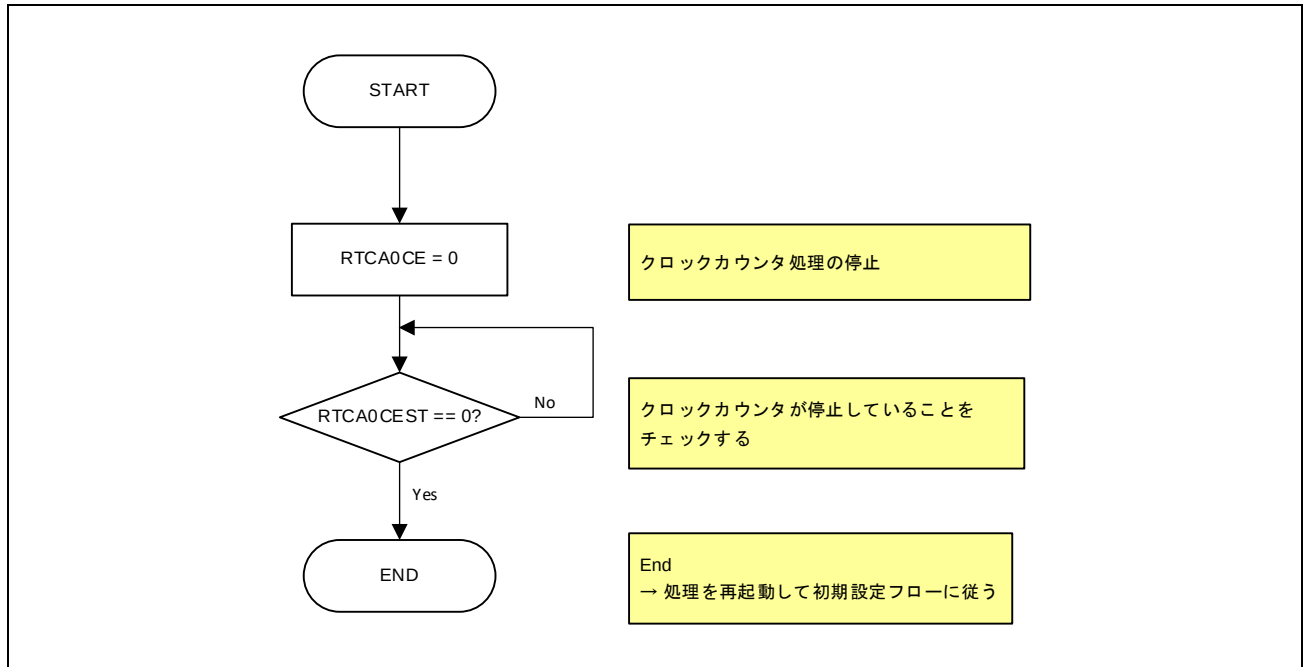


図 12.7 クロックカウンタ動作有効時の RTC 初期化

12.5.1.6 RTCA0SUBU クロックカウンタ動作への書き込み

クロックカウンタ動作有効（RTCA0CE=1）中は必ず下記のフローに従い、RTCA0SUBU に書き込みを行ってください。

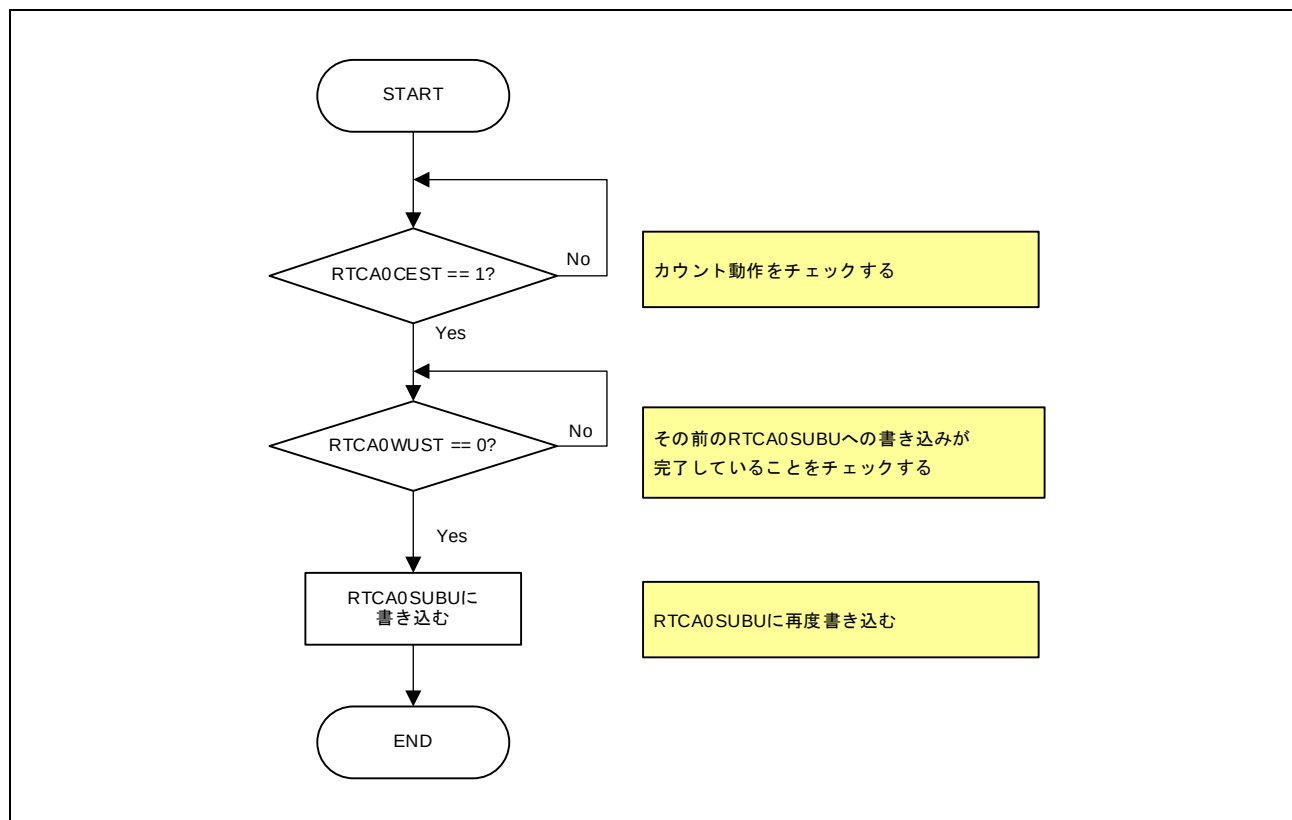


図 12.8 RTCA0SUBU への書き込み

クロックカウンタ動作有効（RTCA0CE=1）中に RTCA0SUBU へ書き込みを行うと、RTCA0WUST が “1” にセットされ、RTCA0SUBU への書き込み完了時（RTCA0SUBC オーバーフロー）に “0” にクリアされます。このことから、RTCA0WUST は最大 1 秒間は “1” を示すため、RTCA0WUST をポーリングする際は注意が必要です。

12.5.1.7 クロックカウンタ動作中の RTCA0SCMP への書き込み

クロックカウンタ動作有効（RTCA0CE=1）中は必ず下記のフローに従い、RTCA0SCMP へ書き込みを行ってください。

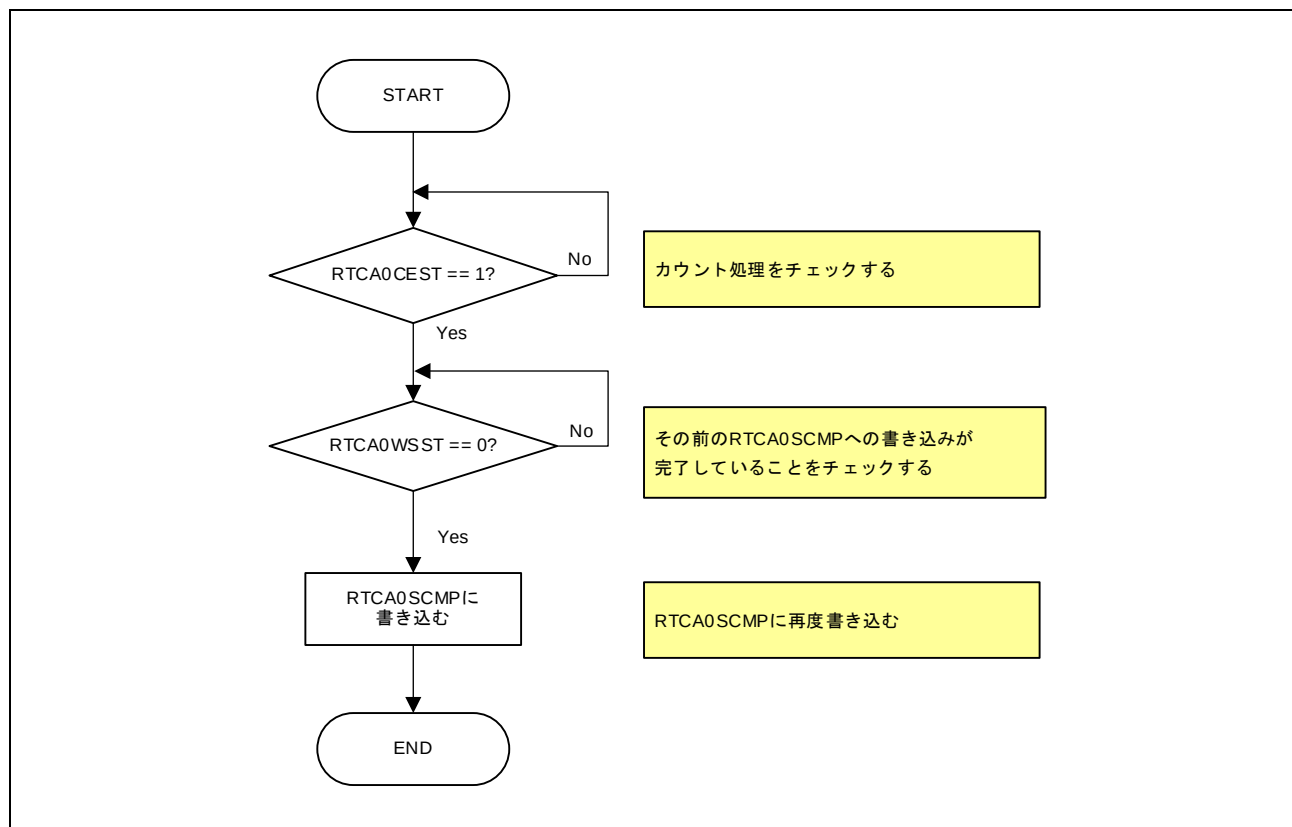


図 12.9 RTCA0SCMP への書き込み

クロックカウンタ動作有効（RTCA0CE=1）中に RTCA0SCMP へ書き込みを行うと RTCA0WSST が “1” にセットされ、RTCA0SCMP への書き込み完了時（RTCA0SUBC オーバーフロー）に “0” にクリアされます。このことから、RTCA0WSST は最大 1 秒間 “1” を示すため、RTCA0WSST をポーリングする際は注意が必要です。

12.5.1.8 クロックカウンタ動作時の固定周期割り込みの設定変更

クロックカウンタ動作有効（RTCA0CE=1）中は必ず下記のフローに従い、固定周期割り込み設定を変更してください。

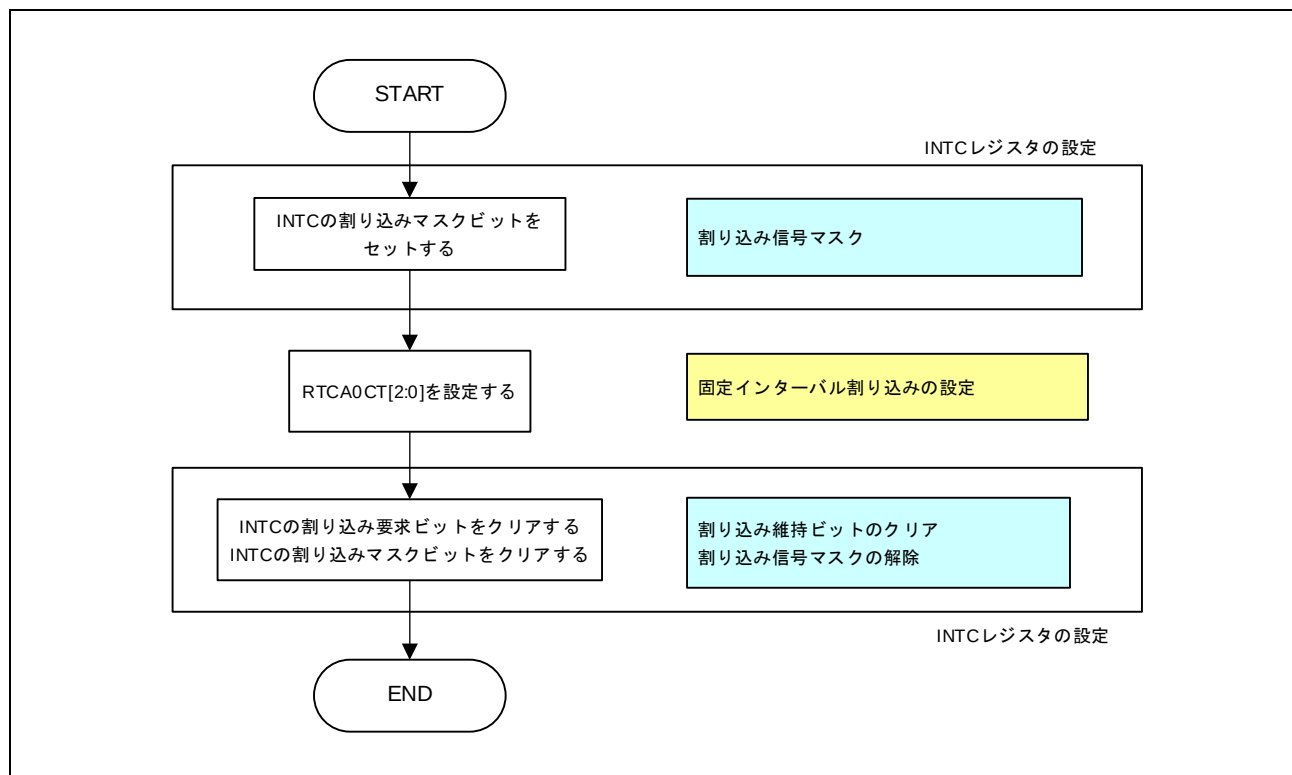


図 12.10 クロックカウンタ動作時の固定周期割り込みの設定

12.5.1.9 クロックカウンタ動作時のアラーム設定の変更

クロックカウンタ動作有効（RTCA0CE=1）中は下記のフローに従い、アラーム割り込み設定を変更してください。

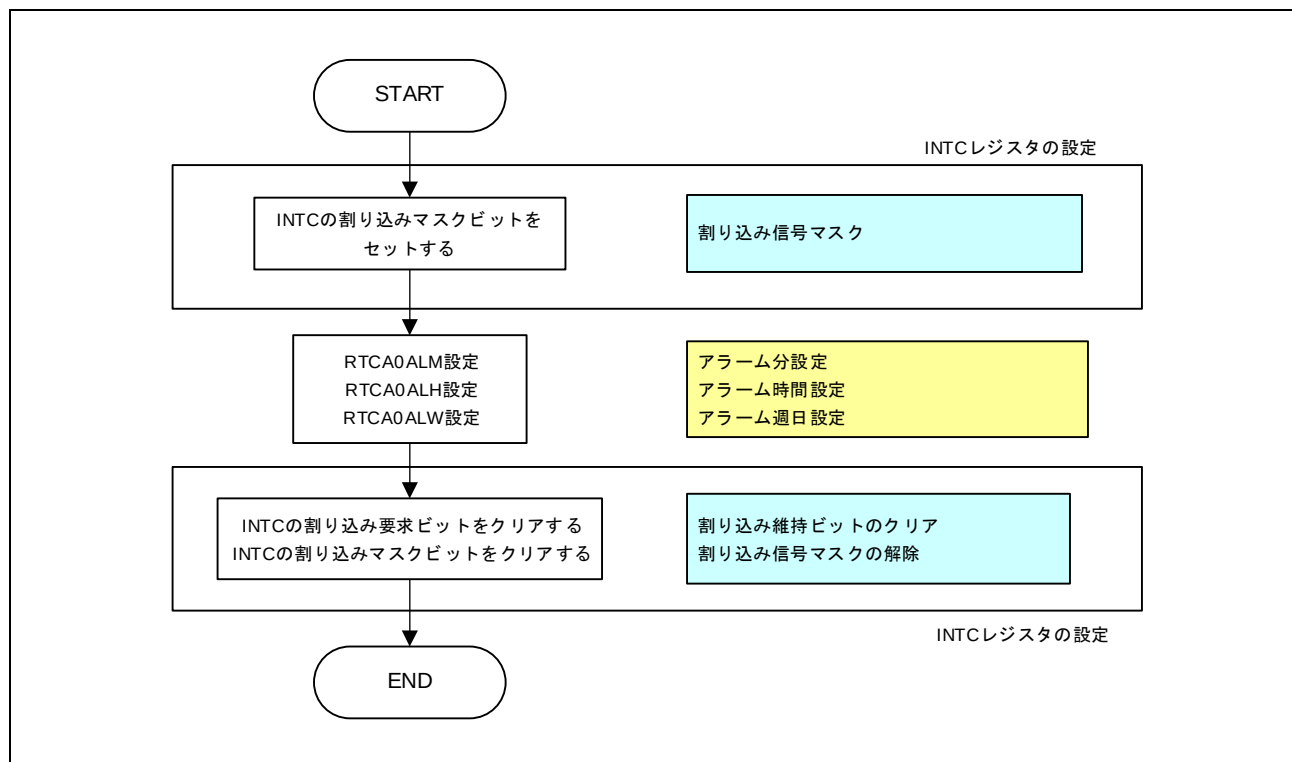


図 12.11 クロックカウンタ動作時のアラーム設定の変更

12.5.2 RTC バックアップモード

RTC ドメインへの電源供給は他のドメインから分離されています。他のドメインへの電源供給がない状態でも RTC コントローラはカウントを続けることができます。

バックアップモードに入るとき、あるいは出るときに RTC_PWRGOOD 端子を適切に制御してください。詳細は電气的特性の電源投入/切断シーケンスを参照。

RTC ドメインの LVD リセット回路が低電圧を検知すると、回路はリセットをアサートして RTC コントローラをリセットします。この回路はシステムのコールドパワーアップ時にも機能します。

注 意

RTC バックアップモードに入るときは、システムコントロールの PWRCTRL_OPPDIV レジスタ値を初期値に戻してください。

12.5.3 クロック誤差補正

RTC コントローラのクロック誤差補正機能は、接続された発振子の発振周波数誤差を補正します。

RTCA0SUBC の補正值は RTCA0SUBU レジスタの RTCA0F6～RTCA0F0 ビットで指示します。RTCA0SUBC がインクリメントあるいはデクリメントされるかは RTCA0F6 ビットで、値は RTCA0F5～RTCA0F0 ビットで指示します。

- RTCA0F6=0 の場合、RTCA0SUBC は RTCA0F5～RTCA0F0 の設定値分インクリメントされます。
インクリメント値計算式：(RTCA0F5～RTCA0F0 の設定値-1) × 2
- RTCA0F6=1 の場合、RTCA0SUBC は RTCA0F5～RTCA0F0 の設定値分デクリメントされます。
デクリメント値計算式：(RTCA0F5～RTCA0F0 の反転値+1) × 2

[例]

- (1) RTCA0F6=0, RTCA0F5～RTCA0F0=15h にセット
(15h-1) × 2=40
RTCA0SUBC のカウント値を 40 インクリメント
RTCA0SUBC のカウント値=32768+40=32808
- (2) RTCA0F6=1, RTCA0F5～RTCA0F0=15h にセット
“15h” の反転値=2Ah
(2Ah+1) × 2=86
RTCA0SUBC のカウント値を 86 デクリメント
RTCA0SUBC のカウント値=32768-86=32682

RTCA0DEV ビットは RTCA0F6～RTCA0F0 の設定が有効になるタイミングを指示します。RTCA0F6～RTCA0F0 にセットされた値は RTCA0SUBC のカウント値に毎回反映されるのではなく、RTCA0DEV=0 ならば RTCA0SEC=00、20、および 40 秒のときに、また RTCA0DEV=1 ならば RTCA0SEC=00 秒のときに RTCA0SUBC のカウント値に反映されます。

[例]

- RTCA0F6～RTCA0F0 → 0010101b をセット
RTCA0DEV=0 ならば 00、20、および 40 秒のとき RTCA0SUBC のカウント値は 32808
それ以外ではカウント値は 32768
RTCA0DEV=1 ならば 00 秒のとき RTCA0SUBC のカウント値は 32808
それ以外ではカウント値は 32768
- このように RTCA0SUBC のカウント値を毎秒ではなく 20 秒および 60 秒毎に補正することで、発振子の偏差幅の補正を可能にします。下記に補正可能な発振子の周波数帯域を示します。
RTCA0DEV=0
32.76180000～32.77420000kHz
RTCA0DEV=1
32.76593333～32.77006667kHz

RTCA0DEV=0 の補正可能な周波数帯域は RTCA0DEV=1 の約 3 倍あります。一方で精度に関しては RTCA0DEV=1 は 3 倍の精度にセットできます。

次ページには、RTCA0F0 で設定する RTCA0DEV および RTCA0F6 の設定値や補正可能な周波数を示します。

[RTCA0DEV=0 で補正可能な周波数帯域]

RTCA0F6	RTCA0F5~0	RTCA0SUBC 補正值	接続クロック周波数
0	000000b	補正なし	—
0	000001b	補正なし	—
0	000010b	20 秒毎、RTCA0SUBC カウント値+2	32.76810000kHz
0	000011b	20 秒毎、RTCA0SUBC カウント値+4	32.76820000kHz
0	000100b	20 秒毎、RTCA0SUBC カウント値+6	32.76830000kHz
...	...	...	...
0	111011b	20 秒毎、RTCA0SUBC カウント値+120	32.77400000kHz
0	111110b	20 秒毎、RTCA0SUBC カウント値+122	32.77410000kHz
0	111111b	20 秒毎、RTCA0SUBC カウント値+124	32.77420000kHz (上限)
1	000000b	補正なし	—
1	000001b	補正なし	—
1	000010b	20 秒毎、RTCA0SUBC カウント値-124	32.76180000kHz (下限)
1	000011b	20 秒毎、RTCA0SUBC カウント値-122	32.76190000kHz
1	000100b	20 秒毎、RTCA0SUBC カウント値-120	32.76200000kHz
...	...	...	...
1	111011b	20 秒毎、RTCA0SUBC カウント値-6	32.76770000kHz
1	111110b	20 秒毎、RTCA0SUBC カウント値-4	32.76780000kHz
1	111111b	20 秒毎、RTCA0SUBC カウント値-2	32.76790000kHz

[RTCA0DEV=1 で補正可能な周波数帯域]

RTCA0F6	RTCA0F5~0	RTCA0SUBC 補正值	接続クロック周波数
0	000000b	補正なし	—
0	000001b	補正なし	—
0	000010b	60 秒毎、RTCA0SUBC カウント値+2	32.76803333kHz
0	000011b	60 秒毎、RTCA0SUBC カウント値+4	32.76806667kHz
0	000100b	60 秒毎、RTCA0SUBC カウント値+6	32.76810000kHz
...	...	...	...
0	111011b	60 秒毎、RTCA0SUBC カウント値+120	32.77000000kHz
0	111110b	60 秒毎、RTCA0SUBC カウント値+122	32.77003333kHz
0	111111b	60 秒毎、RTCA0SUBC カウント値+124	32.77006667kHz (上限)
1	000000b	補正なし	—
1	000001b	補正なし	—
1	000010b	60 秒毎、RTCA0SUBC カウント値-124	32.76593333kHz (下限)
1	000011b	60 秒毎、RTCA0SUBC カウント値-122	32.76596667kHz
1	000100b	60 秒毎、RTCA0SUBC カウント値-120	32.76600000kHz
...	...	...	...
1	111011b	60 秒毎、RTCA0SUBC カウント値-6	32.76790000kHz
1	111110b	60 秒毎、RTCA0SUBC カウント値-4	32.76793333kHz
1	111111b	60 秒毎、RTCA0SUBC カウント値-2	32.76796667kHz

第13章 ウォッチドッグ

13.1 概要

ウォッチドッグタイマは、リロードレジスタが用意されたフリーランニングの 12 ビットのデクリメントカウンタをベースとしています。カウンタが 000h に達すると、出力信号をシステムリセットまたは割り込みに利用することが可能です。

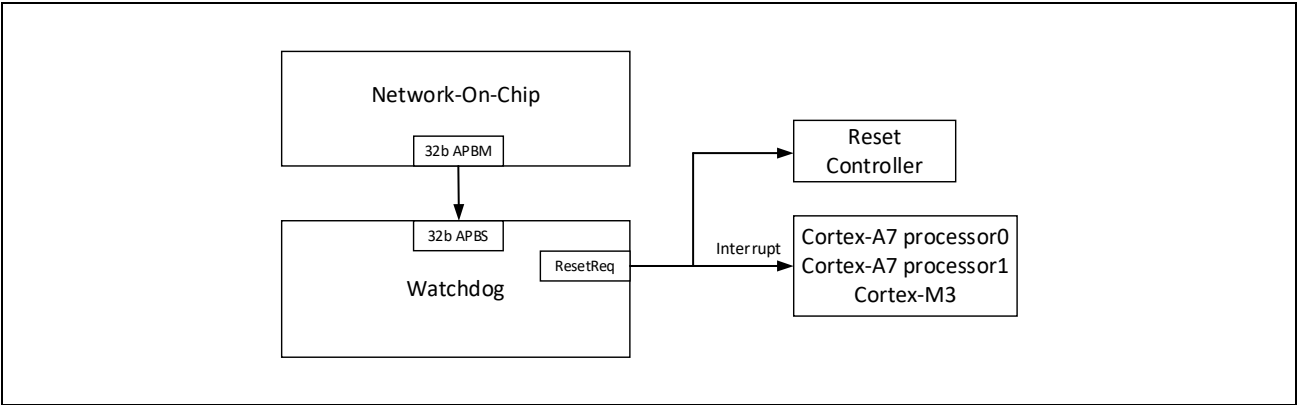


図 13.1 ウォッチドッグのインタフェースおよび接続

ウォッチドッグタイマは以下の機能で構成されます。

- リロードレジスタ付きのフリーランニングの 12 ビットデクリメントカウンタ
- CPU（CA7 プロセッサ 0、CA7 プロセッサ 1、CM3）によるカウンタのリトリガ
- クロックソースはプリスケアラによる分周値（2 または 2¹⁴）で動作するクロック
- 出力をシステムコントロールの RSTEN レジスタで設定することによるシステムリセット、あるいは割り込みとして使用可能
- CPU がデバッガ（ブレイクポイント実行など）により停止しているときは、ウォッチドッグは停止

13.2 信号インタフェース

信号名	入出力	説明
クロック		
WDOGA7_PCLK WDOGM3_PCLK	入力	内部バスクロック（APB）、クロックゲーティングなし NoC クロックの 1/2 周波数
割り込み		
WDT_CA7_p0_reset_Int WDT_CA7_p1_reset_Int WDT_CM3_reset_Int	出力	パルス割り込み、アクティブ High

13.3 レジスタマップ

13.3.1 CA7 プロセッサ 0 ウォッチドッグのレジスタマップ

表 13.1 CA7 プロセッサ 0 ウォッチドッグのレジスタマップ

アドレス	レジスタ表記	レジスタ名
4000 8000h	CTRL_RETRIGGER	制御およびリトリガレジスタ

13.3.2 CA7 プロセッサ 1 ウォッチドッグのレジスタマップ

表 13.2 CA7 プロセッサ 1 ウォッチドッグのレジスタマップ

アドレス	レジスタ表記	レジスタ名
4000 9000h	CTRL_RETRIGGER	制御およびリトリガレジスタ

13.3.3 CM3 ウォッチドッグのレジスタマップ

表 13.3 CM3 ウォッチドッグのレジスタマップ

アドレス	レジスタ表記	レジスタ名
4000 A000h	CTRL_RETRIGGER	制御およびリトリガレジスタ

13.4 レジスタの説明

13.4.1 CTRL_RETRIGGER — 制御およびリトリガレジスタ

このレジスタは 1 回のみ設定可能です。設定後はリトリガのみ可能です。任意の値をこのレジスタに書き込むことで WDRV 値のカウンタリロードがリトリガされます。

アドレス 4000 8000h (CA7 プロセッサ 0 ウォッチドッグ)
4000 9000h (CA7 プロセッサ 1 ウォッチドッグ)
4000 A000h (CM3 ウォッチドッグ)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WDSI		WDE	PSF	WDRV											
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

表 13.4 CTRL_RETRIGGER レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット		R
b15~b14	WDSI	ウォッチドッグタイマセキュア ID 0x2 : 本レジスタの下位 14 ビットへの書き込みアクセスを許可	W
b13	WDE	ウォッチドッグタイマ有効化フラグ 0 : ウォッチドッグは無効 1 : ウォッチドッグは有効	R/W
b12	PSF	プリスケアラ係数 0 : プリスケアラをクロックの 2 分周値に設定 1 : プリスケアラをクロックの 2 ¹⁴ 分周値に設定	R/W
b11~b0	WDRV	ウォッチドッグタイマリロード値 $WDRV = ((fpclk \times WDIinterval) / PSF) - 1$ fpclk : NoC クロックの 1/2 周波数 [Hz] WDInterval : インターバルタイマ [s] PSF : 2 ¹⁴ または 2 (PSF ビットに依存)	R/W

13.5 動作

任意の値を CTRL_RETRIGGER レジスタに書き込むことで、ウォッチドッグタイマがリトリガされる毎にリロード値がカウンタレジスタにロードされます。カウンタは、内部 CPU によりトリガすることが可能です。カウンタレジスタが 000h に達すると、システムリセットまたは割り込みとして設定可能な出力がアクティブにされます。

ウォッチドッグタイマのインターバルは、プリスケアラ設定およびリロードレジスタの値で決まります。プリスケアラ設定およびリロード値は、1 回のみ書き込みが可能です。誤書き込みを防ぐため、プリスケアラ設定およびリロード値とともに 3'b101 をビット 15～ビット 13 に書き込む必要があります。

第14章 メールボックス（IPCM）

14.1 概要

IPCM は、Cortex-A7 と Cortex-M3 のプロセッサ間通信をサポートするために、制御ロジックと割り込み生成機能を持つ 3 つのメールボックスを実装しています。IPCM は、システムのすべての割り込みコントローラに接続する 3 つの割り込み出力を持っています。それにより、任意のコアとコアの間でメッセージの送信が可能です。各メールボックスは、メッセージを格納する 7 つのデータレジスタを含んでいます。

- メールボックス数 3。各メールボックスはメッセージを格納する 7 つの 32 ビットデータレジスタを搭載。
- 3 セットの読み出し専用割り込みステータスレジスタ。各割り込みに 1 セットが対応。

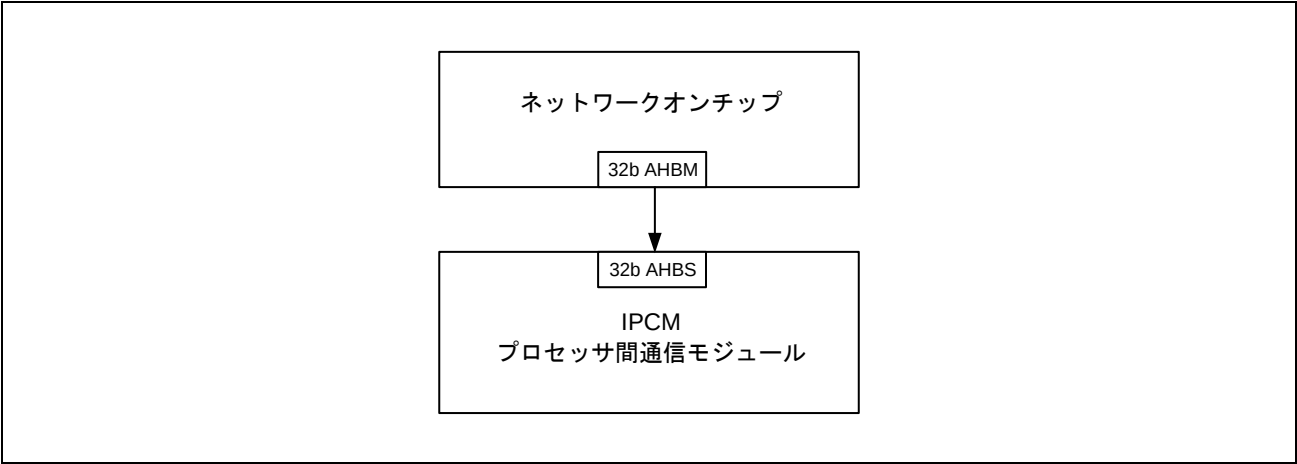


図 14.1 IPCM のインタフェースおよび接続

14.2 信号インタフェース

信号名	入出力	説明
クロック		
MBOX_HCLK	入力	内部バスクロック（AHB）、クロックゲーティングなし
割り込み		
IPCM_Int[n]	出力	レベル検出割り込み、アクティブ High

備考 n=0～2

14.3 レジスタマップ

表 14.1 IPCM のレジスタマップ

アドレス	レジスタ表記	レジスタ名
4000 B000h+40h×n	IPCM[n]SOURCE (n=0~2)	メールボックス [n] ソースレジスタ
4000 B004h+40h×n	IPCM[n]DSET (n=0~2)	メールボックス [n] デスティネーションセットレジスタ
4000 B008h+40h×n	IPCM[n]DCLEAR (n=0~2)	メールボックス [n] デスティネーションクリアレジスタ
4000 B00Ch+40h×n	IPCM[n]DSTATUS (n=0~2)	メールボックス [n] デスティネーションステータスレジスタ
4000 B010h+40h×n	IPCM[n]MODE (n=0~2)	メールボックス [n] モードレジスタ
4000 B014h+40h×n	IPCM[n]MSET (n=0~2)	メールボックス [n] マスクセットレジスタ
4000 B018h+40h×n	IPCM[n]MCLEAR (n=0~2)	メールボックス [n] マスククリアレジスタ
4000 B01Ch+40h×n	IPCM[n]MSTATUS (n=0~2)	メールボックス [n] マスクステータスレジスタ
4000 B020h+40h×n	IPCM[n]SEND (n=0~2)	メールボックス [n] 送信レジスタ
4000 B024h+40h×n+4h×k (k=0~6)	IPCM[n]DR[k] (n=0~2) (k=0~6)	メールボックス [n] データレジスタ [k]
4000 B800h+8h×n	IPCMMSIS[n] (n=0~2)	マスク対象割り込み [n] ステータスレジスタ
4000 B804h+8h×n	IPCMRIS[n] (n=0~2)	マスク非対象割り込み [n] ステータスレジスタ
4000 B900h	IPCMCFGSTAT	構成ステータスレジスタ
4000 BF00h	IPCMTOR	統合テスト制御レジスタ
4000 BF04h	IPCMTOR	統合テスト出力レジスタ

14.4 レジスタの説明

14.4.1 IPCM[n]SOURCE — メールボックス [n] ソースレジスタ（n=0~2）

読み出し／書き込み IPCM[n]ソースレジスタは、メッセージの送信元となるコアを示します。本レジスタは、ビット単位のエンコードによってどの割り込みラインで ACK 応答割り込みを送信するかを示すチャンネル ID を格納します。この値は、0x00000000 を変更することによってのみ設定できます。本レジスタが設定されているとき、0x00000000 にクリアしてからでないと、再設定は不可能です。ソフトウェアは、IPCM[n]ソースレジスタにある値がワンホットエンコード値であることを確認する必要があります。

アドレス 4000 B000h+40h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SRC_SET		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.2 IPCM[n]SOURCE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット		R
b2~b0	SRC_SET	送信元のコアを示し、ACK 応答割り込みでアサートされる割り込みラインを示します。	R/W

14.4.2 IPCM[n]DSET — メールボックス [n] デスティネーションセットレジスタ（n =0～2）

書き込み専用の IPCM[n]DSET レジスタは、仮想的なメールボックスデスティネーションレジスタのビットをセットします。仮想的なメールボックスデスティネーションレジスタは、送信先コアを示し、メールボックスデスティネーションステータスレジスタに反映されます。本レジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

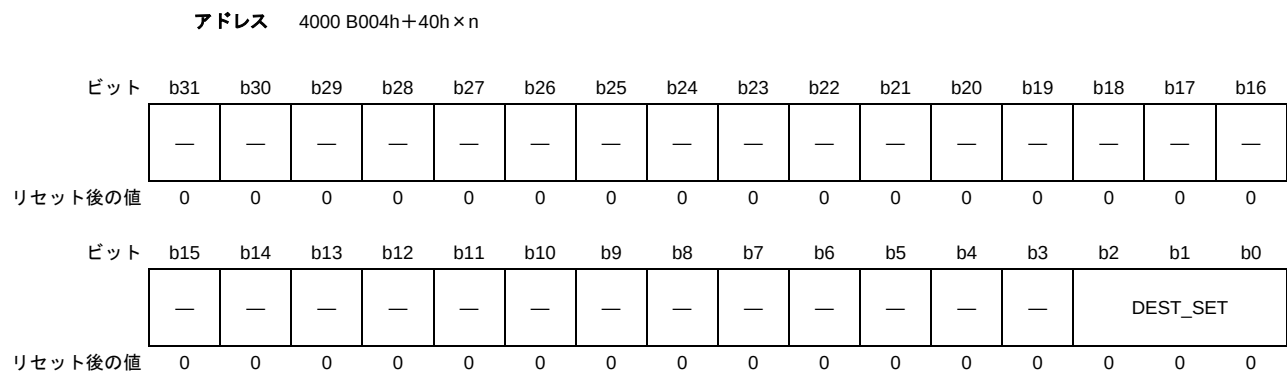


表 14.3 IPCM[n]DSET レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2～b0	DEST_SET	該当ビットに 1 を書き込むことで、IPCM[n]DSTATUS レジスタのビットをセットします。	W

14.4.3 IPCM[n]DCLEAR — メールボックス [n] デスティネーションクリアレジスタ
 (n=0~2)

書き込み専用の IPCM[n]DCLEAR レジスタは、仮想的なメールボックスデスティネーションレジスタのビットをクリアします。仮想的なメールボックスデスティネーションレジスタは、送信先コアを示し、メールボックスデスティネーションステータスレジスタに反映されます。本レジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

アドレス		4000 B008h+40h×n														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DEST_CLR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.4 IPCM[n]DCLEAR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット		R
b2~b0	DEST_CLR	該当ビットに 1 を書き込むことで、メールボックスデスティネーションレジスタのビットをクリアします。	W

14.4.4 IPCM[n]DSTATUS — メールボックス [n] デスティネーションステータスレジスタ（n=0～2）

読み出し専用の IPCM[n]DSTATUS レジスタは、仮想的なメールボックスデスティネーションレジスタの現行ステータスを示します。メールボックスデスティネーションレジスタは、コアごとのチャンネル ID を使って、ビット単位のエンコードによりメッセージ送信の送信先コアを示します。複数のチャンネル ID を使用するコアの場合、メッセージごとに 1 つのチャンネル ID のみ使用します。メールボックスデスティネーションレジスタは、各コアに対するメールボックス割り込みをクリアするために、送信先コアによりオート ACK 応答モードでクリアされます。オート ACK 応答モードでない場合、メールボックスデスティネーションレジスタは、メールボックスの再割り当て時に送信元コアによってのみクリアされます。メールボックスデスティネーションレジスタは、メールボックスソースレジスタがクリアされるとき、メールボックスのモードとは無関係にメールボックスにより自動的にクリアされます。

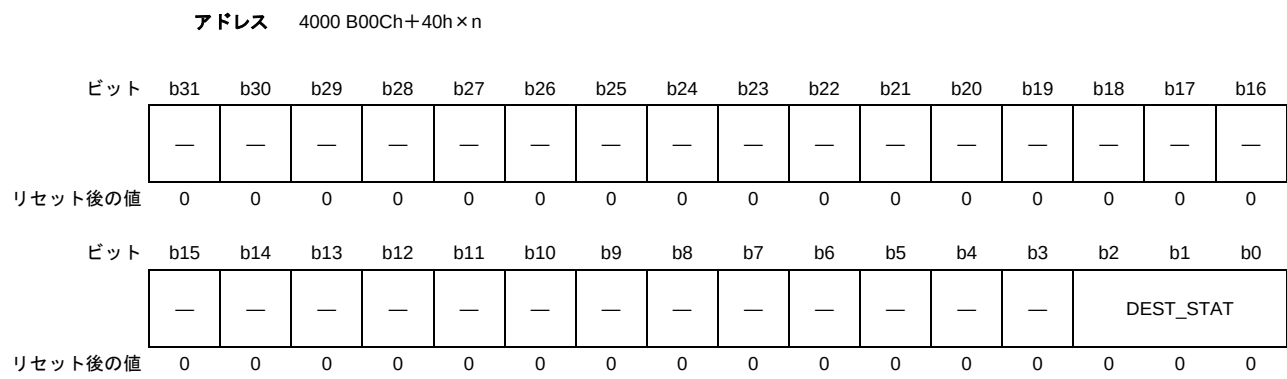


表 14.5 IPCM[n]DSTATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2～b0	DEST_STAT	メールボックスデスティネーションレジスタのステータスを示します。メッセージに対してアサートする割り込み出力を示します。	R

14.4.5 IPCM[n]MODE — メールボックス [n] モードレジスタ (n=0~2)

読み出し／書き込み IPCM[n]MODE レジスタは、メールボックスの使い方を示します。本レジスタは、セットされるメールボックスソースレジスタのビットで示されるメールボックスの割り当て時のみ書き込み可能です。

アドレス 4000 B010h+40h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AUTO_LINK	AUTO_ACK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.6 IPCM[n]MODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット		R
b1	AUTO_LINK	セットにより、オートリンクを有効化します。	R/W
b0	AUTO_ACK	セットにより、オート ACK 応答を有効化します。	R/W

14.4.6 IPCM[n]MSET — メールボックス [n] マスクセットレジスタ (n=0~2)

書き込み専用の IPCM[n]MSET レジスタは、仮想的なメールボックスマスクレジスタのビットをセットします。仮想的なメールボックスマスクレジスタは、マスク状態を示し、メールボックスマスクステータスレジスタに反映されます。本レジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

アドレス 4000 B014h+40h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MASK_SET		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.7 IPCM[n]MSET レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット		R
b2~b0	MASK_SET	該当ビットに 1 を書き込むことで、メールボックスマスクレジスタのビットをセットします。	W

14.4.7 IPCM[n]MCLEAR — メールボックス [n] マスククリアレジスタ（n=0~2）

書き込み専用の IPCM[n]MCLEAR レジスタは、仮想的なメールボックスマスクレジスタのビットをクリアします。仮想的なメールボックスマスクレジスタは、マスク状態を示し、メールボックスマスクステータスレジスタに反映されます。本レジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

アドレス 4000 B018h+40h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MASK_CLR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.8 IPCM[n]MCLEAR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット		R
b2~b0	MASK_CLR	該当ビットに 1 を書き込むことで、メールボックスマスクレジスタのビットをクリアします。	W

14.4.8 IPCM[n]MSTATUS — メールボックス [n] マスクステータスレジスタ（n=0～2）

読み出し専用の IPCM[n]MSTATUS レジスタは、仮想的なメールボックスマスクレジスタの現行ステータスを示します。各コアには固有のビットが割り当てられます。メールボックスマスクレジスタのセット時、チャンネル ID ごとのビット単位のエンコードによって各コアへの割り込みが許可されます。ビットを 0 にリセットすると、割り込み禁止となります。メールボックスマスクレジスタのクリア時、割り込みが禁止されず。コアは、メッセージ送信のために、割り込みではなくポーリングを使用できるようになります。メールボックスソースレジスタがクリアされると、メールボックスマスクレジスタもすべてクリアされます。

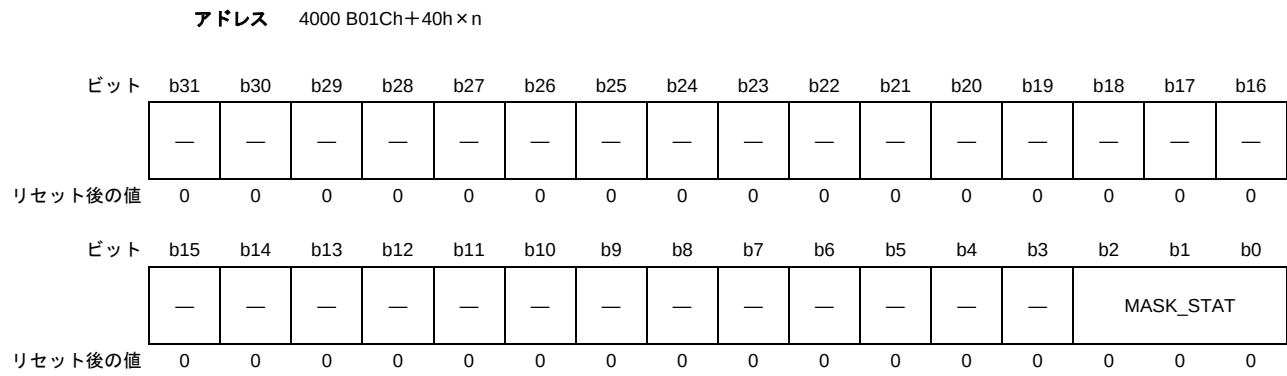


表 14.9 IPCM[n]MSTATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2～b0	MASK_STAT	メールボックスマスクレジスタのステータス 各ビットの意味： 0：メールボックス割り込みを禁止。代わりにポーリングの使用 1：メールボックス割り込みを許可	R

14.4.9 IPCM[n]SEND — メールボックス [n] 送信レジスタ（n=0~2）

読み出し／書き込み IPCM[n]SEND レジスタは、送信元または送信先のコアへメッセージを送信します。
メールボックス送信レジスタのビットは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

- ビット 0 のセットにより、送信先のコアに対する割り込みが発生します。
- ビット 1 のセットにより、送信元のコアに対する割り込みが発生します。

オート ACK 応答モードでは、メールボックス送信レジスタの内容が 2'b01 であるとき、メールボックスデスティネーションステータスレジスタが非ゼロからゼロへ変化すると、メールボックスは自動的にレジスタの内容を 2'b10 へ変更するので、送信元のコアに対するオート ACK 応答割り込みがトリガされます。

メールボックスソースレジスタがクリアされると、メールボックス送信レジスタもすべてクリアされます。

アドレス		4000 B020h+40h×n														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEND	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.10 IPCM[n]SEND レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット		R
b1、b0	SEND	送信メッセージ： 2'b00：非アクティブ 2'b01：送信先のコアへメッセージ送信 2'b10：送信元のコアへメッセージ送信 2'b11：無効で予測不可能な動作	R/W

14.4.10 IPCM[n]DR[k] — メールボックス [n] データレジスタ [k]（n=0~2）（k=0~6）

読み出し／書き込み IPCM[n]DR[k]レジスタはメッセージを格納します。メールボックスデータレジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能であり、メールボックスソースレジスタがクリアされるとクリアされます。

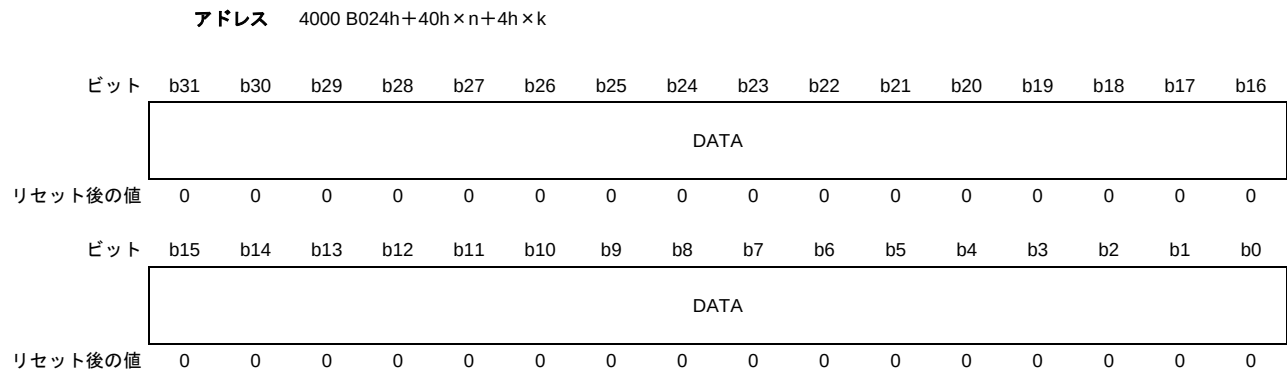


表 14.11 IPCM[n]DR[k]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	DATA	メッセージデータ	R/W

14.4.11 IPCMMIS[n] — マスク対象割り込み [n] ステータスレジスタ（n=0~2）

読み出し専用の IPCMMIS[n]レジスタは、アドレスエンコードにより指定された各割り込みに対する現行メールボックスステータスを示します。その結果、各コアは、1つのレジスタを読み出すだけで、割り込み要因のメールボックスがわかります。

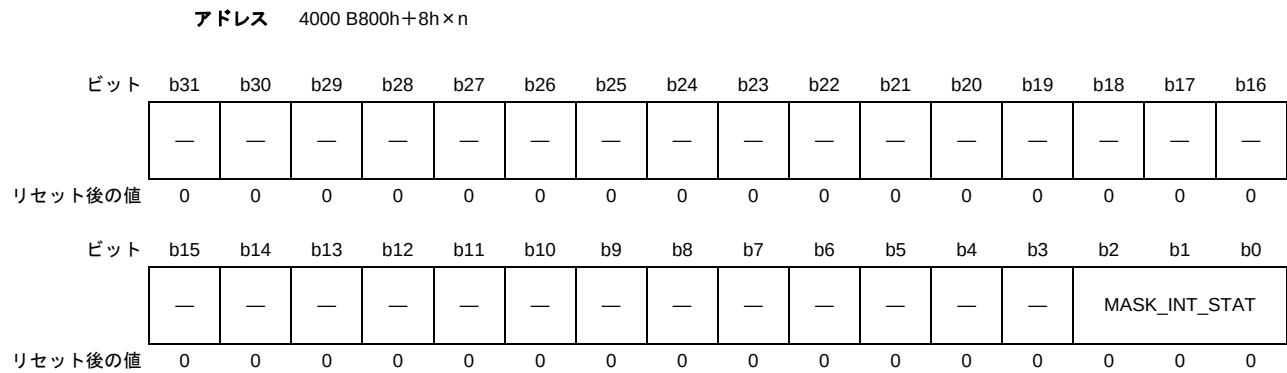


表 14.12 IPCMMIS[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット		R
b2~b0	MASK_INT_STAT	マスク対象割り込みステータス 各ビットの意味： 0：割り込みなし 1：割り込み発生	R

14.4.12 IPCMRIS[n] — マスク非対象割り込み [n] ステータスレジスタ（n=0~2）

読み出し専用の IPCMRIS[n] レジスタは、コアごとに各メールボックスのマスクされる前の割り込みステータスを示します。

アドレス		4000 B804h+8h×n														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	RAW_INT_STAT			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.13 IPCMRIS[n] レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット		R
b2~b0	RAW_INT_STAT	マスク非対象割り込みステータス 各ビットの意味： 0：割り込み要求なし 1：割り込み要求あり	R

14.4.13 IPCMCFGSTAT — 構成ステータスレジスタ

読み出し専用の IPCMCFGSTAT レジスタは、IPCM 実装ハードウェア構成オプションを示します。

アドレス		4000 B900h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	MAILBOXES					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	INTERRUPTS						—	—	—	—	—	DATA_WORDS		
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	1	1	1

表 14.14 IPCMCFGSTAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b22	予約ビット		R
b21~b16	MAILBOXES	メールボックス数	R
b15、b14	予約ビット		R
b13~b8	INTERRUPTS	割り込み数	R
b7~b3	予約ビット		R
b2~b0	DATA_WORDS	データレジスタ数	R

14.4.14 IPCMTCR ― 統合テスト制御レジスタ

読み出し／書き込み IPCMTCR レジスタは、IPCM 統合テストモードを制御します。ITEN=1 のとき、IPCM は統合テストモードになります。

アドレス		4000 BF00h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ITEN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.15 IPCMTCR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	ITEN	統合テストイネーブル： 0：統合テストモード無効 1：統合テストモード有効	R/W

14.4.15 IPCMTOR ― 統合テスト出力レジスタ

読み出し／書き込み IPCMTOR レジスタは、統合テストモードであるとき（IPCMTCR レジスタの ITEN=1）、IPCM の出力ポート信号を通常の内部ロジックからではなく、レジスタ制御することを可能にします。

アドレス		4000 BF04h															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	INTTEST			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 14.16 IPCMTOR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2～b0	INTTEST	IPCM_Int[2:0]出力	R/W

14.5 動作

IPCM は、ソフトウェアによる制御の下で割り込みを生成します。割り込みは通常、関連付けられたデータと共に、1 つあるいは複数の割り込み出力とする事ができます。各割り込み出力は、IPCM 内の各メールボックスのメールボックスソースレジスタ、メールボックスデスティネーションレジスタ、メールボックスマスクレジスタの 1 ビットに直接対応しています。メールボックスデスティネーションレジスタおよびメールボックスマスクレジスタは、仮想的なものです。これらのレジスタは、メッセージを送信・確認するとき、どの割り込みラインをアサートするかを制御します。

14.5.1 チャネル ID

チャネル ID は、IPCM からの割り込み出力に対するワンホットエンコード値として定義されます。現在の構成では、IPCM は 3 つの割り込み出力を持ち、これらには 3 つのチャネル ID が対応しています。チャネル ID は、メールボックスソースレジスタ、メールボックスデスティネーションレジスタ、メールボックスマスクレジスタで設定されます。

チャネル ID と割り込み出力の対応表を以下に示します。

表 14.17 チャネル ID と割り込み出力

チャネル ID	割り込み出力
0x00000001	IPCM_Int[0]
0x00000002	IPCM_Int[1]
0x00000004	IPCM_Int[2]

14.5.2 送信元コアの定義

コアは、メッセージを送信するにあたり、メールボックスを取得する必要があります。そのためコアは、自分のチャネル ID の 1 つをメールボックスソースレジスタへ書き込みます。その後、メールボックスソースレジスタからデータを読み出し、書き込みを確認します。メールボックスソースレジスタは、ワンホットエンコード値である 1 つのチャネル ID のみを格納します。ソフトウェアは、ワンホットエンコード値のみがメールボックスソースレジスタへ書き込まれていることを確認する必要があります。メールボックスソースレジスタは、その設定後にもみクリアできます。0x00000000 以外の書き込みデータは無視されます。その結果、一度に 1 つのコアのみがメールボックスを制御することになります。

メールボックスが不要となれば、コアはメールボックスソースレジスタをクリアすることでメールボックスを返上します。クリアすると、メールボックスの他のレジスタもすべてクリアされます。したがって、メールボックスは新たに割り当てられるとき必ずクリアされます。

14.5.3 送信先コアの定義

メールボックスデスティネーションレジスタにはセットとクリアの書き込み位置が別々に設けられているので、リードモディファイライト転送をせずにメールボックスデスティネーションレジスタの各ビットをセットできます。メールボックスデスティネーションレジスタのビットは、該当するデスティネーションセットレジスタのビットへ書き込むことでセットできます。ハードウェアは、そのビットとメールボックスデスティネーションレジスタの現行値との論理和をとります。同様に、メールボックスデスティネーションレジスタのビットは、該当するデスティネーションクリアレジスタのビットへ書き込むことでクリアできます。

送信元コアでメールボックスのモードを定義するときは、該当チャネル ID の論理和をメールボックスデスティネーションレジスタに設定することで、メッセージの送信先コアを定義します。コアが複数のチャネル ID を持っていて、各メッセージには 1 つのチャネル ID のみが使われます。メールボックスデスティネーションレジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

14.5.4 メールボックスマスクレジスタの使用

メールボックスマスクレジスタの場合も、メールボックスデスティネーションレジスタと同様に、セットとクリアの書き込み位置が別々に設けられています。メールボックスマスクレジスタは、割り込み出力を許可します。特定のメールボックスに対する割り込みを許可する場合、コアは自分のチャンネル ID をマスクセット位置に書き込みます。このメールボックスに対する割り込みは、同じチャンネル ID をマスククリア位置に書き込めばマスクできます。メールボックスマスクレジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

14.5.5 メールボックス送信レジスタ

メールボックス送信レジスタのビット 0 をセットすると、メッセージが送信されます。その結果、送信先コアに対する割り込みが発生します。このビットをクリアすると、送信先コアに対する割り込みがクリアされます。メールボックス送信レジスタのビット 1 をセットすると、ACK 応答メッセージが送信元コアへ送信されます。このビットをクリアすると、送信元コアに対する割り込みがクリアされます。メールボックス送信レジスタでは、1 回の書き込みでビット 0 をクリアし、ビット 1 をセットすることができます。ただし、この処理は必須ではありません。2'b11 はメールボックス送信レジスタでは無効な値なので、ビット 1 をセットしてからビット 0 をクリアすることはできません。メールボックス送信レジスタは、メールボックスソースレジスタが定義された後でのみ書き込み可能です。

14.5.6 メールボックスデータレジスタ

メールボックスデータレジスタは、メッセージを格納する汎用の 32 ビットレジスタです。メールボックスソースレジスタが定義された後でのみ書き込み可能です。メールボックスデータレジスタは通常、メッセージの送信前に書き込まれます。

14.5.7 モード設定

メールボックスモードレジスタでは、どのように ACK 応答割り込みを送信元コアへ送信するかを定義し、IPCM における次のメールボックスに現行メールボックスをリンクするかどうかも指定します。メールボックスモードレジスタには 2 つのビットがあり、このレジスタはメールボックスソースレジスタが定義された後でのみ書き込み可能です。

オート ACK 応答

オート ACK 応答モードでは、最終的な送信先コアが割り込みをクリアすると、ACK 応答割り込みを送信元コアへ自動的に送信します。送信先コアは、チャンネル ID をデスティネーションクリア位置に書き込むことで、割り込みをクリアする必要があります。この場合、メールボックスデスティネーションレジスタからチャンネル ID がクリアされます。メールボックスデスティネーションレジスタが最終的にゼロに到達し、すべての送信先コアが割り込みをクリアしたことを示すと、メールボックスは自動的にこのことを検出し、メールボックス送信レジスタのビット 0 をクリアし、ビット 1 をセットします。送信元のコアは ACK 応答割り込みを受信します。オート ACK 応答に関連するデータは、元のメッセージのデータと同じです。

オート ACK 応答モードが無効であるときは、ACK 応答割り込みの使用は任意です。送信先コアは、メールボックス送信レジスタのビット 0 をクリアすることで割り込みをクリアする必要があります。送信先コアがメールボックス送信レジスタのビット 1 をセットしたときのみ、送信元コアは送信先コアがメッセージの扱いを終了したことを示す ACK 応答割り込みを取得します。オート ACK 応答モードを無効化できるのは、送信先コアが 1 つしかなく、そこで ACK 応答のためにメッセージを更新する可能性があるときのみです。

オートリンク

オートリンクはメールボックスを相互にリンクする機能です。この機能を使えば、1 つのメールボックスでメッセージが ACK 応答されると、送信元コアの動作を中断せずにリンク先のメールボックスから次のメッセージが送信されます。オートリンクが有効であれば、送信先コアは通常のやり方でメールボックス送信レジスタのビット 0 をクリアし、ビット 1 をセットします。ただし、送信元コアに対する ACK 応答割り込みはマスクされ、メッセージを送信する次のメールボックスでメールボックス送信レジスタのビット 0 がセットされます。

このモードでは、送信元コアは自分自身に複数のメールボックスを割り当て、オートリンクビットのセットによってメールボックスどうしをリンクし、すべてのメールボックスにメッセージをプリロードすることができます。最初に送信されたメッセージは、すべてのメッセージの送信が完了するまで ACK 応答されません。これらのメッセージの送信先に対する制限はなく、オートリンク使用時にオート ACK 応答を有効にすべきかどうかについての規定也没有ありません。オートリンクが無効であれば、他のメールボックスに影響しない ACK 応答割り込みが送信されると、送信元コアは動作を中断します。

14.5.8 割り込みレジスタとステータスレジスタ

コアは、IPCM 割り込みを受信すると、その割り込みラインに関連するマスク対象割り込みステータスレジスタを読み出し、割り込みをトリガしたメールボックスを特定します。各マスク対象割り込みステータスレジスタは 3 ビットで構成され、1 ビットは 1 つのメールボックスに対応します。

コアがポーリングモードのメールボックスを使う場合、コアはポーリングされるメールボックスをマスク非対象割り込みステータスレジスタによって示すことができます。

各メールボックスは、最大 3 個の割り込みを生成できます。チャンネル ID ごとに 1 つの割り込みがあります。割り込み数は、メールボックスソースレジスタ、メールボックスデスティネーションレジスタ、メールボックスマスクレジスタのビット数と等しくなります。メールボックス割り込みマッピングの図で示すように、IPCM には 3 つの割り込み出力があります。Mailbox0 は IPCMMIS0-2 バスのビット 0 を生成し、Mailbox2 は IPCMMIS0-2 バスのビット 2 を生成します。

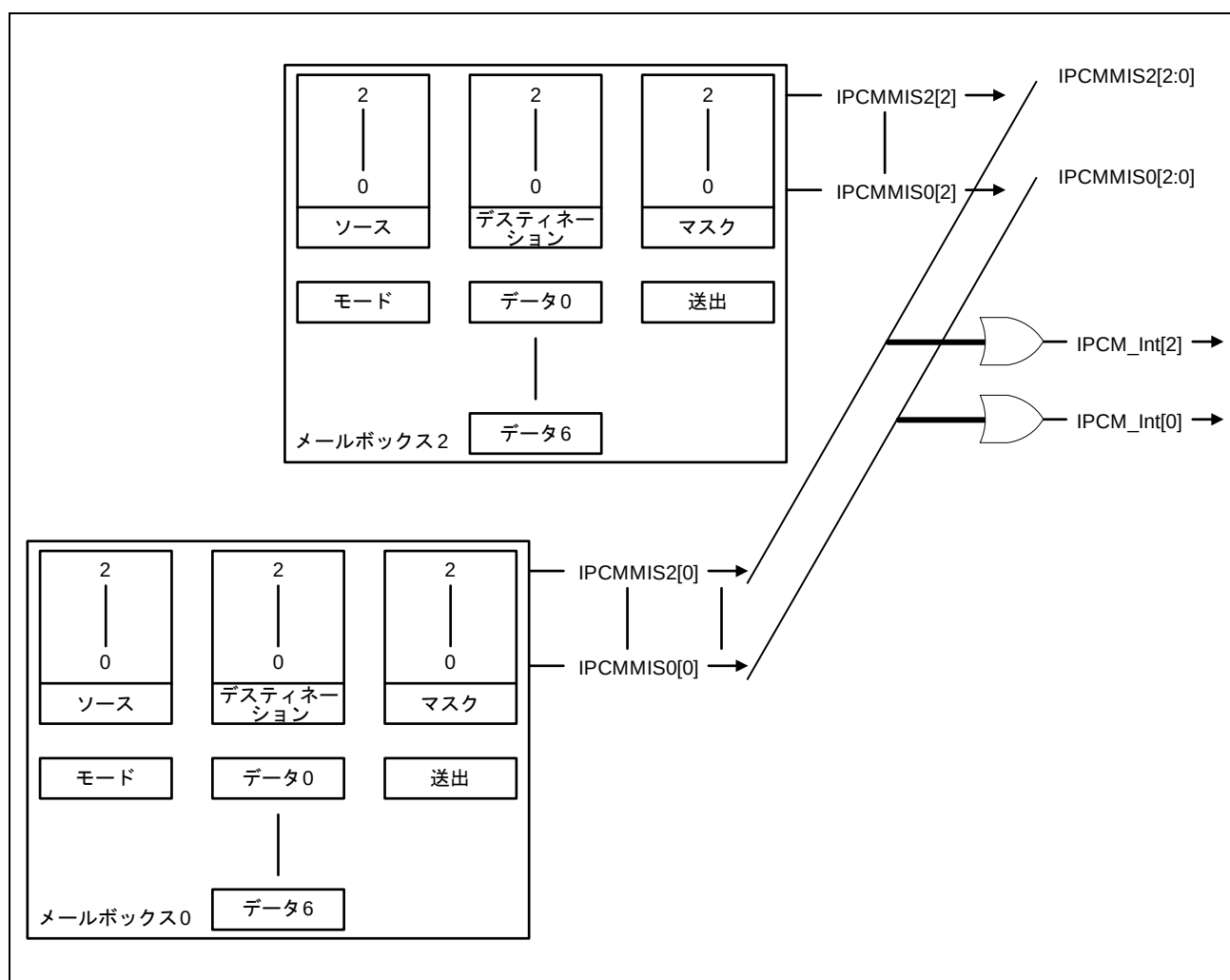


図 14.2 メールボックス割り込みマッピング

この図で示すように、複数のメールボックスがグループ化されて、3 ビットの IPCM 割り込みバスである IPCM_Int[2:0]を形成します。1 つのチャンネル ID に対応する各メールボックスからの割り込みビットはすべてグループ化されて、マスク対象割り込みステータスバスである IPCMMIS0[2:0]~IPCMMIS2[2:0]を形成します。これらのバスのビットの論理和を求めることで、IPCM 割り込みバスである IPCM_Int[2:0]が得られます。

以下の図では、各メールボックスステータスの生成方法を説明します。

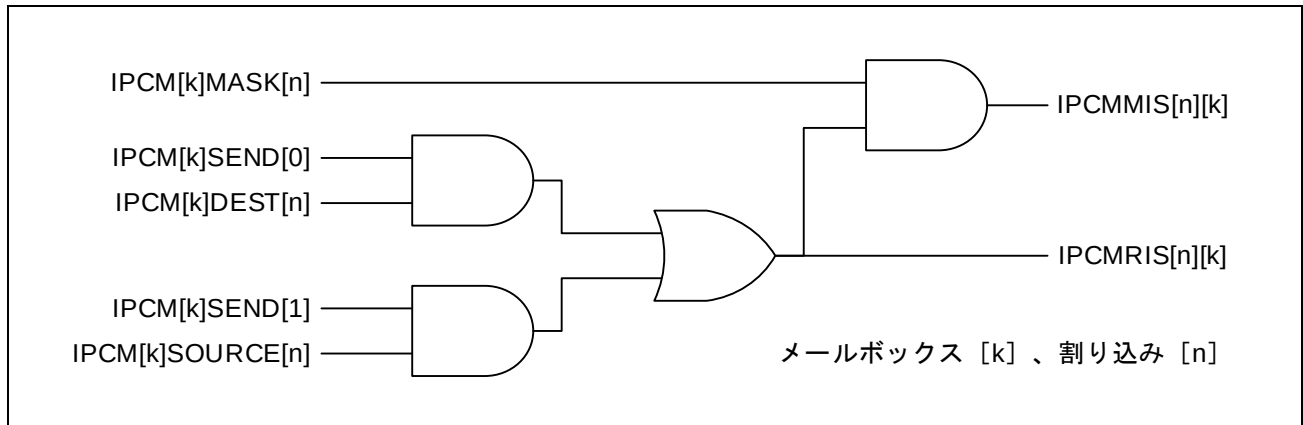


図 14.3 メールボックス [k]、割り込み [n] の割り込みステータス

14.5.9 構成ステータスレジスタ

選択された構成オプション（3つのメールボックス、各メールボックスあたり7つのデータレジスタ、3つの割り込み）によって、読み出し専用の構成ステータスレジスタを定義します。ソフトウェアは、このレジスタを読み出すことで IPCM の構成を決定できます。その結果、汎用 IPCM ソフトウェアドライバはシステム内の各 IPCM インスタンスの使い方を決めることが可能となります。

14.5.10 使用上の制約

メールボックスについては複数の有効な使用モデルがあり、これらを使用する上での制約もあります。

- メッセージの送信先：
 - － 複数のコア

複数のコアにメッセージを送る場合、オート ACK 応答機能の使用は必須です。ACK 応答のためにデータは変更しないでください。送信先コアは、デスティネーションクリアレジスタへチャネル ID を書き込むことで割り込みをクリアする必要があります。
 - － 単一のコア

送信先コアが 1 つしかない場合、オート ACK 応答モードの使用は任意です。オート ACK 応答モードを無効にした場合、ACK 応答の使用は任意です。ただし、通常は ACK 応答を送信することになり、メールボックスデータレジスタは必要に応じて更新できます。オート ACK 応答が無効であると、送信先コアはメールボックス送信レジスタのビット 0 をクリアすることで割り込みをクリアする必要があります。オートリンク機能は、ACK 応答があるときのみ使用可能です。

オートリンク機能は次の場合に使用できます。

- オート ACK 応答が有効なとき

メールボックスは、最終的な送信先であるコアが割り込みをクリアするとき自動的に ACK 応答をセットします。
- オート ACK 応答が無効なとき

送信先コアは ACK 応答を送信しなければなりません。

改訂記録	RZ/N1Dグループ、RZ/N1Sグループ、RZ/N1Lグループ ユーザズマニュアル システム・周辺機能1編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2018.03.30	—	初版発行
0.95	2018.10.19	—	すべての章で表記修正、および体裁修正
		6	このマニュアルの使い方、3. 略語および略称の説明、INTC、OTP 説明修正
		26	1.1.1 概要、図 1.1 Arm Cortex-A7 コアのインタフェースおよび接続（16K→16KB） 図修正
		26、27	1.1.1 概要（追加：Generic timer、追加：コンフィグレーションベースアドレスレジスタ（CBAR）、その他） 説明修正
		27	1.1.2 使用上の注意 説明修正
		28	1.2.1 概要 説明修正
		29	2.2 特長 説明修正
		30	2.2 特長、表 2.1 RZ/N1D バス接続マップ、注 1、注 2 説明追加
		31	2.2 特長、表 2.2 RZ/N1S バス接続マップ、注 1、注 2 説明追加
		32	2.2 特長、表 2.3 RZ/N1L バス接続マップ、注 1、注 2 説明追加
		—	第 3 章 2MB SRAM、全般的に（1 ビット／2 ビット→シングル／ダブル） 語句修正
		33	3.2 信号インタフェース、RINBUS_HCLK（N/A→入力） 説明修正
		—	第 4 章 4MB SRAM、全般的に（1 ビット／2 ビット→シングル／ダブル） 語句修正
		58	5.2.1 JTAG インタフェースの推奨回路（必要→推奨） 説明修正
		58	5.2.1 JTAG インタフェースの推奨回路、図 5.3 バウンダリスキャンで使用可能な JTAG インタフェース（接続通常動作→通常動作） 図修正
		61	5.3.1 RZ/N1 リセット信号 説明修正
		61	5.3.2 デバッガリセット信号（必要→推奨、その他） 説明修正
		68	6.3.1 DDR コントローラ、表 6.1 DDR コントローラのレジスタマップ（3/4）（ポート 0 レンジ[n]エンド→ポート 3 レンジ[n]エンド） 説明修正
		69	6.3.2 DDR PHY、表 6.2 DDR PHY のレジスタマップ（読み出し→リード） 語句修正
		70	6.4.1.1 DDR_CTL_00 — DDR コントローラステータス／制御 00 レジスタ、DRAM_CLASS 説明追加
		71	6.4.1.2 DDR_CTL_01 — DDR コントローラステータス／制御 01 レジスタ、リセット後の値 6.4.1.3～7、6.4.1.138 6.4.1.2 DDR_CTL_01 と同様な修正
		76	6.4.1.12 DDR_CTL_11 — DDR コントローラステータス／制御 11 レジスタ、CASLAT_LIN 説明修正
		85	6.4.1.27 DDR_CTL_26 — DDR コントローラステータス／制御 26 レジスタ、LOWPOWER_REFRESH_ENABLE 説明修正
		87	6.4.1.30 DDR_CTL_29 — DDR コントローラステータス／制御 29 レジスタ、機能 表現修正
		105	6.4.1.58 DDR_CTL_57 — DDR コントローラステータス／制御 57 レジスタ、INT_ACK（マスク→ビット） 説明修正
		112	6.4.1.69 DDR_CTL_68 — DDR コントローラステータス／制御 68 レジスタ、OCD_ADJUST_PUP_CS_0、OCD_ADJUST_PDN_CS_0 説明修正
		115	6.4.1.73 DDR_CTL_72 — DDR コントローラステータス／制御 72 レジスタ、WRLVL_ERROR_STATUS（次→最上位の次） 説明修正
		157	6.4.1.136 DDR_CTL_370 — DDR コントローラステータス／制御 370 レジスタ、RDLVL_ERROR_STATUS（次→最上位の次） 説明修正
		158	6.4.1.138 DDR_CTL_372 — DDR コントローラステータス／制御 372 レジスタ、OPTIMAL_RMODW_EN 説明修正
		174	6.5.1 アドレスマッピング 説明削除

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	176	6.5.1.3 アドレス空間のメモリマッピング (前提→比較) 説明修正
		176	6.5.1.3 アドレス空間のメモリマッピング、注意 (0×2→0×1、3'b010→1'b1) 値修正
		188	6.5.2.8 調停例、表 6.157 帯域幅条件ありの優先度ラウンドロビン (バンド→帯域) 表現修正
		193	6.5.4.1 配置アルゴリズムのルール、表 6.159 単純なコマンドキューの例 タイトル修正
		193	6.5.4.1 配置アルゴリズムのルール、PQ 語句削除
		199	6.5.6.2 ECC ロジックの機能 説明修正
		200	6.5.6.3 ECC の制御 説明修正
		201	6.5.6.4 シンドローム 注意追加
		202	6.5.6.5 ECC が有効の場合のコマンド処理、表 6.162 トランザクションタイプ別の ECC 機能 (1/2) (全書き込み→書き込み) 説明修正
		203	6.5.6.5 ECC が有効の場合のコマンド処理、表 6.162 トランザクションタイプ別の ECC 機能 (2/2) 説明修正
		204	6.5.6.6 ECC および読み出し動作、シンドロームがシングルビットエラーを指示する場合 (ビット[5]→ビット[4]) 説明修正
		205	6.5.6.7 ECC および書き込み動作、データの検証 (ビット[5]→ビット[4]) 説明修正
		208、209	6.5.7.1 低消費電力状態、(1) アクティブパワーダウン、(3) プリチャージパワーダウン 説明修正
		211	6.5.7.2 低消費電力制御モジュールの管理、表 6.164 低消費電力状態の管理 (No→Yes) 表修正
		213	6.5.7.3 ソフトウェアプログラマブルインタフェース、(2) ソフトウェアプログラマブルインタフェースのコマンド 参照先修正
		213	6.5.7.3 ソフトウェアプログラマブルインタフェース、(2) ソフトウェアプログラマブルインタフェースのコマンド (ビット設定→ビット設定 (LP_CMD[4:2])) 説明修正
		215	6.5.7.4 自動インタフェース、(1) 自動移行、注意 説明修正
		215	6.5.7.4 自動インタフェース、(4) リフレッシュのマスク 説明削除
		219	7.1 概要、図 7.1 NAND Flash コントローラのインタフェースおよび接続 (FNAND_RYBY_N→FNAND_RY/BY_N) 図修正
		236	7.4.14 PROTECT — プロテクトレジスタ 説明削除
		237	7.4.15 FIFO_DATA — FIFO データレジスタ (外部 CPU→CPU) 説明修正
		247	7.4.27 TIME_SEQ_1 — コマンドシーケンスタイミングレジスタ 1、Trr、Twb 説明修正
		249	7.4.29 TIME_GEN_SEQ_1 — ジェネリックコマンドシーケンスレジスタ 1、t0_d7、t0_d6、t0_d5、t0_d4 説明修正
		250	7.4.30 TIME_GEN_SEQ_2 — ジェネリックコマンドシーケンスレジスタ 2、t0_d11、t0_d10、t0_d9、t0_d8 説明修正
		253	7.4.33 GEN_SEQ_CTRL — ジェネリックシーケンスレジスタ、delay_en (DELAY_→DELAY) 語句修正
		259	7.4.40 INT_STAT — 内部ステータスレジスタ 説明修正
		267	7.5.2.3 シーケンス SEQ_0 説明修正
		275	7.5.2.22 シーケンス SEQ_20 説明修正
		283	7.5.4.1 命令セット、表 7.46 命令セット (1/2)、命令 (PROGRAM PAGE IMD→PROGRAM PAGE IMMEDIATE、PROGRAM PAGE DEL→PROGRAM PAGE DELAYED) 語句修正
		284	7.5.4.3 RESET コマンド 説明削除
		285	7.5.4.4 READ ID コマンド 説明削除
		286	7.5.4.7 GET FEATURES コマンド 説明削除
		288	7.5.4.11 VOLUME SELECT コマンド 表現修正
		294	7.5.4.22 QUEUE PAGE READ コマンド 説明修正
		295	7.5.4.25 PROGRAM PAGE IMMEDIATE コマンド 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	303	7.5.5 マルチ LUN ワークモード (LUN_→MLUN_、LUN STATUS 0→LUN_STATUS_0) 表現修正
		306	7.6 設定および構成 説明修正
		312	7.6.4 DMA によるメモリの複数ページ高速の書き込みおよび読み出し ((10)、(18)、(19)) 説明修正
		325	7.8.2 プロテクトレジスタ (PROTECT) 説明削除
		327	8.1 概要 説明追加
		332	8.4.1 config_reg — QSPI 設定レジスタ、sel_clk_phase_fld、sel_clk_pol_fld、enb_qspi_fld 説明修正
		333	8.4.2 dev_instr_rd_config_reg — デバイス読み出し命令設定レジスタ (標準 SPI モード→SPI モード) 説明修正
		334	8.4.3 dev_instr_wr_config_reg — デバイス書き込み命令設定レジスタ (標準 SPI モード→SPI モード) 説明修正
		337	8.4.6 dev_size_config_reg — デバイスサイズ設定レジスタ、機能 説明追加
		344	8.4.14 irq_mask_reg — 割り込みマスクレジスタ、機能 (追加: マスク) 説明修正
		347	8.4.18 flash_cmd_ctrl_reg — フラッシュコマンド制御レジスタ、cmd_opcode_fld 説明修正
		357	8.5.7 フラッシュ命令タイプの選択、表 8.29 N25Q128 デバイスでサポートしている書き込み命令のレーン数 タイトル修正
		357	8.5.7 フラッシュ命令タイプの選択、表 8.29 N25Q128 デバイスでサポートしている書き込み命令のレーン数 注釈追加
		359	8.5.9.1 8 バイト読み出し転送の例、(8) (26 サイクル→16 サイクル) 説明修正
		361	8.6.2 最適な使用を考慮した Quad SPI コントローラの設定、(6) (d_nss フィールド→d_nss_fld) 説明修正
		362	8.6.4 レガシーSPI モードの使用 説明修正
		363	8.6.5.3 XIP モード終了 (enb_dir_acc_ctrl_fld→enter_xip_mode_fld) 説明修正
		365	9.1 概要、SD/SDIO カードインタフェース、eMMC インタフェース (バイト→ビット) 説明修正
		367	9.3.1 レジスタマップ (SDIO1)、表 9.1 SDIO コントローラ 1 のレジスタマップ (初期化リセット→初期化プリセット) 説明修正
		368	9.3.2 レジスタマップ (SDIO2)、表 9.2 SDIO コントローラ 2 のレジスタマップ (初期化リセット→初期化プリセット) 説明修正
		389、390	9.4.16 reg_clockcontrol — クロック制御レジスタ、clkctrl_sdclkena、clkctrl_intclkena 説明修正
		392	9.4.18 reg_softwarereset — ソフトウェアリセットレジスタ 説明追加
		392	9.4.18 reg_softwarereset — ソフトウェアリセットレジスタ、swreset_for_all 説明修正
		393	9.4.19 reg_normalintrsts — 通常割り込みステータスレジスタ、normalintrsts_cardintrsts 説明修正
		397	9.4.20 reg_errorintrsts — エラー割り込みステータスレジスタ、errorintrsts_cmdcerror (CRT→CRC) 説明修正
		400	9.4.23 reg_normalintrsigena — 通常割り込み信号イネーブルレジスタ 説明修正
		401	9.4.24 reg_errorintrsigena — エラー割り込み信号イネーブルレジスタ 説明修正
		404	9.4.27 reg_capabilities — 機能レジスタ、リセット後の値 修正
		404	9.4.27 reg_capabilities — 機能レジスタ (corecfg_1p8voltsupport、corecfg_3p0voltsupport) 説明修正
		407	9.4.29 reg_maxcurrentcap — 最大電流容量レジスタ、機能 説明修正
		411	9.4.33 reg_admasysaddr0 — ADMA システムアドレスレジスタ (下位)、adma_sysaddress0 説明修正
		419	9.5.2 DMA トランザクション、表 9.43 DMA トランザクション、11 (ステップ (4) →ステップ (14)) 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	419	9.5.2 DMA トランザクション、DMA トランザクションのシーケンス (512→512 バイト) 説明修正
		—	第 10 章 USB2.0 HS ホスト/ファンクションコントローラ (USBh/USBf)、全般的に (OCI→USB_OC、PPON→USB_PPON) 語句修正
		425	10.1 概要、ファンクションコントローラの特長 (割り込み→Interrupt) 語句修正
		432	10.4.7 EPC レジスタマップ、表 10.7 USB FC-EPC レジスタマップ、レジスタ名 説明修正
		454	10.5.1.22 HCRHPORTSTATUS1/HCRHPORTSTATUS2 — HcRhPortStatus1/HcRhPortStatus2 レジスタ (R_PPS__W_SPP、R_PRS__W_SPR) 説明修正
		461	10.5.2.5 USBCMD — USBCMD レジスタ、PERIODIC_SCHEDULE_ENABLE 説明修正
		464	10.5.2.7 USBINTR — USBINTR レジスタ、機能 説明修正
		470、471	10.5.2.13 PORTSC1/PORTSC2 — PORTSC1/PORTSC2 レジスタ (FORCE_PORT_RESUME、CURRENT_CONNECT_STATUS) 説明修正
		473	10.5.3.2 CMND_STS — ステータス・コマンド (OHCI)、CAPABILITIES_LIST (0 の固定値→1 の固定値) 説明修正
		485	10.5.4.2 CMND_STS — ステータス・コマンド (EHCI)、CAPABILITIES_LIST (0 の固定値→1 の固定値) 説明修正
		497	10.5.5.4 CLS_LT_HT_BIST — BIST・ヘッダタイプ・レイテンシタイマ・キャッシュラインサイズ (AHB-PCI ブリッジ)、LATENCY_TIMER 説明修正
		500	10.5.5.9 INTR_LINE_PIN — Max_Lat・Min_Gnt・割り込みピン・割り込みライン (AHB-PCI ブリッジ)、INT_LINE 説明修正
		501	10.5.6 AHB-PCI ブリッジ (PCI 通信空間) レジスタの説明 (設定空間→通信空間) タイトル修正
		512	10.5.7.1 USB_CONTROL — USB 制御レジスタ、USBTESTMODE 語句修正
		522	10.5.7.9 EP0_CONTROL — EP0 制御レジスタ、EP0_STL 説明修正
		527	10.5.7.12 EP0_LENGTH — EP0 長さレジスタ タイトル修正
		529、531	10.5.7.15 EP[m]_CONTROL — EP[m] 制御レジスタ (m=1~15) (EP[m]_MODE、EP[m]_OVERSEL、EP[m]_ISTL) 説明修正
		532~535	10.5.7.16 EP[m]_STATUS — EP[m] ステータスレジスタ (m=1~15) (EP[m]_ISO_PIDERR、EP[m]_OUT_NAK_ERR_INT、EP[m]_IN_NAK_ERR_INT、EP[m]_IN_INT) 説明修正
		537	10.5.7.18 EP[m]_DMA_CTRL — EP[m] DMA 制御レジスタ (m=1~15)、EP[m]_DEND_SET (有効→無効) 説明修正
		540	10.5.7.20 EP[m]_LEN_DCNT — EP[m] 長さおよび DMA カウントレジスタ (m=1~15) タイトル修正
		548	10.5.8.8 EP[m]DCR1 — エンドポイント[m] DMA 設定レジスタ 1 (m=1~15)、EP[m]_DMACNT 説明修正
		551	10.6.1.1 EPC レジスタにアクセスする際の注意点 説明修正
		556	10.6.2 ホストコントローラレジスタにアクセスする際の注意点、表 10.121 アドレス設定のレジスタ値、(5)-a、(5)-b 説明修正
		557	10.6.2.1 PCI コンフィグレーションレジスタのアクセス、表 10.122 AHBPCI_WIN1_CTR レジスタの設定 表修正
		565	10.6.5.1 過電流制御、図 10.8 USB_OC1 および USB_PPON1 のアサート、デアサートのタイミングチャート 図修正
		565	10.6.5.1 過電流制御、(2) PPON 出力信号のアサート/デアサート条件 説明修正
		566	10.6.5.2 VBUS 制御、表 10.133 レジスタ設定と USB_PPON1/PPON2 の関係 表修正
		567	10.6.5.3 PPON による過電流検出、図 10.9 PPON による過電流検出 図修正
		568	10.6.5.4 PPON の設定フロー、図 10.10 PPON の設定フロー 図修正
		570	10.6.6.3 VBUS の検出フロー、図 10.12 VBUS の検出フロー 図修正
		572	10.6.7.1 ホストコントローラのパワーマネジメント、(1)、図 10.13 ホストコントローラのパワーダウンフロー (OHCI 使用時) 図修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	578	10.6.7.2 ファンクションコントローラのパワーマネジメント、(2)、図 10.19 レジューム信号の検出によるパワーアップ（リモートウェイクアップ） 図修正
		579	10.6.7.3 ダイレクトパワーダウン機能、(1)、図 10.20 ダイレクトパワーダウンモードへの移行 図修正
		583	10.6.8 USB ファンクションのエンドポイントの設定、表 10.134 RZ/N1 の設定（割り込み→Interrupt） 語句修正
		584	10.6.8.1 ベースアドレスの指定 説明修正
		584	10.6.8.1 ベースアドレスの指定、表 10.135 ベースアドレス設定例 タイトル修正
		585	10.6.9.1 リセットシーケンス、図 10.24 リセットシーケンス 図修正
		586	10.6.9.2 初期設定シーケンス、(1)、図 10.25 ホストコントローラの初期設定シーケンス（1/2） 図修正
		587	10.6.9.2 初期設定シーケンス、(1)、図 10.25 ホストコントローラの初期設定シーケンス（2/2） 図修正
		588	10.6.9.2 初期設定シーケンス、(2)、図 10.26 ファンクションコントローラの初期設定シーケンス 図修正
		592	10.6.9.4 ファンクション転送の概要、(2)、図 10.28 PIO IN 転送の概要、注 1 説明修正
		593	10.6.9.4 ファンクション転送の概要、(3)、図 10.29 DMA OUT 転送の概要（1/3） 図修正
		595	10.6.9.4 ファンクション転送の概要、(3)、図 10.29 DMA OUT 転送の概要（3/3） 図修正
		596	10.6.9.4 ファンクション転送の概要、(4)、図 10.30 DMA IN 転送の概要 図修正
		598	10.6.9.4 ファンクション転送の概要、(6)、図 10.32 Control 転送の概要（1/3） 図修正
		599	10.6.9.4 ファンクション転送の概要、(6)、図 10.32 Control 転送の概要（2/3） 図修正
		608	10.6.9.4 ファンクション転送の概要、(8)、表 10.153 Set Feature 要求（非サポート→サポート） 説明修正
		609	10.6.9.4 ファンクション転送の概要、(8)、表 10.156 Set Interface 要求の処理 説明修正
		610	10.6.9.4 ファンクション転送の概要、(9)、表 10.158 デバイスディスクリプタ（bMaxPacketSize0） 語句修正
		610	10.6.9.4 ファンクション転送の概要、(9)、表 10.159 デバイス修飾子ディスクリプタ 説明修正
		611	10.6.9.4 ファンクション転送の概要、(9)、表 10.160 Configuration ディスクリプタおよび Other speed configuration ディスクリプタ 説明修正
		615	10.6.9.4 ファンクション転送の概要、(11)（EP1→EP[m]） 説明修正
		616	10.6.9.4 ファンクション転送の概要、(11)、図 10.35 EP[m]データループバック（2/4） 図修正
		618	10.6.9.4 ファンクション転送の概要、(11)、図 10.35 EP[m]データループバック（4/4） 図修正
		621~623	11.3 基本定義 節加
		629	11.5.4 CTL[n] — チャネル [n] コントロールレジスタ（n=0~7）（制御→コントロール） タイトル修正
		636、637	11.5.9 CFG[n] — チャネル [n] コンフィグレーションレジスタ（n=0~7）SS_UPD_EN、RELOAD_DST、RELOAD_SRC、SRC_HS_POL、DST_HS_POL、FIFO_EMPTY 説明修正
		644	11.5.15 RawDstTran — IntDstTran 割り込み Raw ステータスレジスタ（IntDst→IntDstTran） タイトル修正
		649	11.5.20 StatusDstTran — IntDstTran 割り込みステータスレジスタ（IntDst→IntDstTran） タイトル修正
		661	11.5.32 StatusInt — 多重割り込みステータスレジスタ DSTT（StatusDst→StatusDstTran） 語句修正
		663	11.5.34 ReqDstReg — デスティネーションソフトウェアトランザクション要求レジスタ（デスティネーションスキップ→デスティネーション） タイトル修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	673	11.6.1.1 フローコントローラおよび転送タイプ、表 11.45 DMA 転送タイプおよびフローコントローラの組み合わせ 表修正
		673	11.6.1.1 フローコントローラおよび転送タイプ 注意追加
		676	11.6.1.2 リンクリストによるブロックチェーン、(1) チャネルレジスタの自動リロード (初期値→設定値) 説明修正
		682	11.6.1.4 トランザクションの例、(2) バーストおよびシングルのトランザクションモードの組み合わせによる DMA (blk_size_bytes→blk_size_bytes_dma) 説明修正
		684	11.6.2 DMA 要求の割り当て、表 11.47 DMA マルチプレキシング要求信号、注 1 説明修正
		687	12.2 信号インタフェース、注 1 説明追加
		708	12.4.28 RTCA0CALC — RTC カレンダーカウントレジスタ 説明修正
		708	12.4.29 RTCA0TCR — RTC テストレジスタ 説明追加
		723	13.1 概要 説明修正
		725	13.4.1 CTRL_RETRIGGER — 制御およびリトリガレジスタ 説明追加
		725	13.4.1 CTRL_RETRIGGER — 制御およびリトリガレジスタ、リセット後の値 修正
		725	13.4.1 CTRL_RETRIGGER — 制御およびリトリガレジスタ、WDRV 説明修正
		726	13.5 動作 説明修正
		726	13.6 使用上の注意 節削除
		742	14.5.8 割り込みレジスタとステータスレジスタ (最大 32 ビット→3 ビット) 説明修正
1.00	2019.03.29	—	すべての章で表記修正、および体裁修正
		27	1.1.1 概要、TrustZone 説明追加
		28	1.2.1 概要、MPU 説明追加
		33	3.1 概要、表 3.1 2MB SRAM の概要 説明削除
		33	3.2 信号インタフェース、ECC_2MB_Int 説明修正
		35~39	3.4.2 RAMEDC — RAM_SYS ECC デコーダコンフィグレーションレジスタ、同様に 3.4.3~4 説明修正
		44	3.5.4 ECC 回路のセルフテスト、図 3.2 ECC エラー注入設定手順の例 説明修正
		46	3.6.2 ECC デコーダコンフィグレーションレジスタ (RAMEDC)、注意 説明修正
		47	3.6.3 ECC エンコーダコンフィグレーションレジスタ (RAMEEC)、注意 説明修正
		—	第 4 章 4MB SRAM、全般的に (ウェー領域) 語句修正
		49	4.1 概要、表 4.1 4MB SRAM の概要 説明削除
		49	4.2 信号インタフェース、ECC_4MB_Int 説明修正
		50~52	4.4.2 SR4EDC — SRAM 4MB ECC デコーダコンフィグレーションレジスタ、同様に 4.4.3~4 説明修正
		55	4.5.4 ECC 回路のセルフテスト 説明修正
		55	4.5.4 ECC 回路のセルフテスト、図 4.2 ECC エラー注入設定手順の例 説明修正
		57	4.6.2 SRAM 4MB ECC デコーダコンフィグレーションレジスタ (SR4EDC)、注意 説明修正
		58	4.6.3 SRAM 4MB ECC エンコーダコンフィグレーションレジスタ (SR4EEC)、注意 説明修正
		67	6.2 信号インタフェース、DDR_ADDR 説明修正
		102~148	6.4.1.53 DDR_CTL_52 — DDR コントローラステータス/制御 52 レジスタ、同様に 6.4.1.54~55、6.4.1.58、6.4.1.65、6.4.1.115~116 説明修正
		106	6.4.1.57 DDR_CTL_56 — DDR コントローラステータス/制御 56 レジスタ、INT_STATUS 説明修正
		107	6.4.1.59 DDR_CTL_58 — DDR コントローラステータス/制御 58 レジスタ、INT_MASK 説明修正
		114~160	6.4.1.69 DDR_CTL_68 — DDR コントローラステータス/制御 68 レジスタ、同様に 6.4.1.70~88、6.4.1.124~137 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.03.29	165	6.4.2.2 DLLCTRL — MDLL 制御レジスタ、MDLLOCK 説明修正
		167	6.4.2.3 ZQCALCTRL — ZQ キャリブレーション制御レジスタ、リセット後の値 値修正
		176	6.4.2.10 DQCALOFS1 — DQS オフセット設定レジスタ、B2RSSAT、B1RSSAT 説明修正
		228	7.4.3 STATUS — STATUS レジスタ、リセット後の値 値修正
		230	7.4.4 STATUS_MASK — STATUS_MASK レジスタ、error_mask, state_mask 説明修正
		237~261	7.4.10 ADDR0_COL — カラムアドレス 0 レジスタ、同様に 7.4.11~14、7.4.25、7.4.27~30、7.4.33、7.4.39 説明修正
		242	7.4.19 DMA_ADDR — DMA アドレスレジスタ 説明修正
		246	7.4.23 MEM_CTRL — メモリデバイス制御レジスタ、mem3_wp、mem2_wp、mem1_wp、mem0_wp 説明修正
		250	7.4.27 TIME_SEQ_1 — コマンドシーケンスタイミングレジスタ 1、twv 説明修正
		255	7.4.32 FIFO_STATE — FIFO ステータスレジスタ 説明修正
		267	7.5.2.1 命令のエンコーディング、表 7.44 命令のエンコーディング 注意修正
		269	7.5.2.2 コマンドシーケンスのエンコーディング、表 7.45 コマンドシーケンスのエンコーディング、SEQ_20 値修正
		277	7.5.2.18 シーケンス SEQ_15 説明修正
		279	7.5.2.24 シーケンス SEQ_22 説明修正
		281	7.5.2.28 シーケンス SEQ_26 説明削除
		297	7.5.4.22 QUEUE PAGE READ コマンド、表 7.66 QUEUE PAGE READ 命令のエンコーディング 説明修正
		306	7.5.5 マルチ LUN ワークモード 説明修正
		311	7.6.1 スレーブインタフェースによる NAND Flash へのデータ送出 説明修正
		313	7.6.3 マスタインタフェースによる NAND Flash へのデータ送出 (DMA を使用) 説明修正
		315	7.6.4 DMA によるメモリの複数ページ高速の書き込みおよび読み出し 説明修正
		317	7.6.5 2 つの NAND Flash メモリデバイスに対するデータ書き込み、図 7.35 2 つの NAND Flash メモリデバイスに対するデータ書き込み 1 図修正
		319	7.6.7 4 つの NAND Flash メモリデバイスに対するデータ書き込み、図 7.38 4 つの NAND Flash メモリデバイスに対するデータ書き込み 1 図修正
		321	7.6.8 4 つの NAND Flash メモリデバイスからのデータ読み出し、図 7.40 4 つの NAND Flash メモリデバイスからのデータ読み出し 1 図修正
		323	7.6.9 ページの部分書き込み 説明修正
		327	7.8.1 ADDR[n]_COL および ADDR[n]_ROW レジスタ、表 7.87 アドレスサイクル 表記修正
		330	8.1 概要 説明修正
		331	8.2 信号インタフェース 注意追加
		334~335	8.4.1 config_reg — QSPI 設定レジスタ 説明修正
		337	8.4.2 dev_instr_rd_config_reg — デバイス読み出し命令設定レジスタ、rd_opcode_non_xip_flg 語句修正
		338	8.4.3 dev_instr_wr_config_reg — デバイス書き込み命令設定レジスタ、wel_dis_flg 説明修正
		341	8.4.6 dev_size_config_reg — デバイスサイズ設定レジスタ、bytes_per_device_page_flg 説明削除
		341	8.4.6 dev_size_config_reg — デバイスサイズ設定レジスタ、num_addr_bytes_flg 説明修正
		344	8.4.11 write_completion_ctrl_reg — 書き込み完了制御レジスタ、disable_polling_flg 説明修正
		347	8.4.13 irq_status_reg — 割り込みステータスレジスタ、illegal_access_det_flg、prot_wr_attempt_flg 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.03.29	351~352	8.4.18 flash_cmd_ctrl_reg — フラッシュコマンド制御レジスタ 説明修正
		359	8.5.6 SPI コマンド変換 語句修正
		360	8.5.7 フラッシュ命令タイプの選択、表 8.28 N25Q128 デバイスでサポートしている読み出し命令のレーン数 表記修正
		361	8.5.7 フラッシュ命令タイプの選択、表 8.29 N25Q128 デバイスでサポートしている書き込み命令のレーン数 表記修正
		367	8.6.5 NoCMD モードへの移行と終了 説明修正
		384~385	9.4.11 reg_presentstate — 現ステータスレジスタ 説明修正
		393	9.4.16 reg_clockcontrol — クロック制御レジスタ 説明修正
		395	9.4.17 reg_timeoutcontrol — タイムアウト制御レジスタ、timeout_ctrvalue 説明修正
		397	9.4.19 reg_normalintrsts — 通常割り込みステータスレジスタ 説明修正
		400~401	9.4.20 reg_errorintrsts — エラー割り込みステータスレジスタ 説明修正
		402	9.4.21 reg_normalintrstsena — 通常割り込みステータスイネーブルレジスタ 説明修正
		403	9.4.22 reg_errorintrstsena — エラー割り込みステータスイネーブルレジスタ 説明修正
		404	9.4.23 reg_normalintrsigena — 通常割り込み信号イネーブルレジスタ 説明修正
		405	9.4.24 reg_errorintrsigena — エラー割り込み信号イネーブルレジスタ 説明修正
		409	9.4.27 reg_capabilities — 機能レジスタ、corecfg_maxbklength、corecfg_baseclkfreq、corecfg_timeoutclkunit 説明修正
		412	9.4.30 reg_ForceEventforAUTOCMDErrorStatus — Auto CMD エラー強制イベントステータスレジスタ 説明修正
		413	9.4.31 reg_forceeventforerrintrsts — エラー割り込み強制イベントステータスレジスタ 説明修正
		420	9.5.1 非 DMA トランザクション、図 9.2 DAT ラインを使用した (DMA を使用しない) データ転送 説明修正
		422	9.5.2 DMA トランザクション、図 9.3 DAT ライン (DMA) を使用したデータ転送 説明修正
		424	9.5.3 ADMA トランザクション、図 9.4 ADMA トランザクションフロー 説明修正
		426	9.5.4.1 同期アボート、図 9.5 同期アボート 説明修正
		442~443	10.5.1.4 HCINTERRUPTSTATUS — HcInterruptStatus レジスタ 説明修正
		444	10.5.1.5 HCINTERRUPTENABLE — HcInterruptEnable レジスタ 説明修正
		445	10.5.1.6 HCINTERRUPTDISABLE — HcInterruptDisable レジスタ 説明修正
		451	10.5.1.15 HCFMREMAINING — Hc Frame Remaining レジスタ、FRT 表記修正
		453	10.5.1.19 HCRHDESCRIPTORA — HcRhDescriptorA レジスタ、PSM 説明修正
		455~456	10.5.1.21 HCRHSTATUS — HcRhStatus レジスタ、R_LPSC__W_SGP、R_LPS__W_CGP 説明修正
		457	10.5.1.22 HCRHPORTSTATUS1/HCRHPORTSTATUS2 — HcRhPortStatus1/HcRhPortStatus2 レジスタ、R_POCI__W_CSS 説明削除
		465	10.5.2.5 USBCMD — USBCMD レジスタ、HCRESET 説明修正
		467	10.5.2.6 USBSTS — USBSTS レジスタ、USBINT 説明修正
		468	10.5.2.7 USBINTR — USBINTR レジスタ 表記修正
		473~475	10.5.2.13 PORTSC1/PORTSC2 — PORTSC1/PORTSC2 レジスタ 説明修正
		477	10.5.3.2 CMND_STS — ステータス・コマンド (OHCI)、RECEIVED_MASTER_ABORT、RECEIVED_TARGET_ABORT 説明修正
		482	10.5.3.9 INTR_LINE_PIN — Max_Lat・Min_Gnt・割り込みピン・割り込みライン (OHCI)、INTERRUPT_LINE 説明修正
		489	10.5.4.2 CMND_STS — ステータス・コマンド (EHCI)、RECEIVED_MASTER_ABORT、RECEIVED_TARGET_ABORT 説明修正
		494	10.5.4.9 INTR_LINE_PIN — Max_Lat・Min_Gnt・割り込みピン・割り込みライン (EHCI)、INTERRUPT_LINE 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.03.29	497	10.5.4.14 EXT2 — EXT2 レジスタ (EHCI) 説明追加
		502	10.5.5.6 WIN1_BASEAD — PCI-AHB Window1 ベースアドレス、PREFETCH 値修正
		505	10.5.6.1 PCIAHB_WIN1_CTR — PCIAHB Window1 制御レジスタ、ENDIAN_CTR 説明修正
		506	10.5.6.2 PCIAHB_WIN2_CTR — PCIAHB Window2 制御レジスタ、ENDIAN_CTR 説明修正
		509~510	10.5.6.5 PCI_INT_ENABLE — PCI 割り込みイネーブルレジスタ 表記修正
		514	10.5.6.8 USBCTR — USB 制御レジスタ、PCI_AHB_WIN1_SIZE、PCI_AHB_WIN2_EN 説明修正
		515	10.5.6.9 PCI_ARBITER_CTR — PCI アービタ制御レジスタ、PCIBP_MODE、PCIREQ1、PCIREQ0 説明修正
		516	10.5.7.1 USB_CONTROL — USB 制御レジスタ、USBTESTMODE 説明修正
		518	10.5.7.2 USB_STATUS — USB ステータスレジスタ、SOF_DELAY_STATUS 説明修正
		520	10.5.7.4 TEST_CONTROL — テスト制御レジスタ、CS_TESTMODEEN 説明修正
		522	10.5.7.7 USB_INT_STA — USB 割り込みステータスレジスタ、SOF_ERROR_INT、SOF_INT 説明修正
		524	10.5.7.8 USB_INT_ENA — USB 割り込みイネーブルレジスタ 説明追加
		525~526	10.5.7.9 EP0_CONTROL — EP0 制御レジスタ 説明修正
		527~528	10.5.7.10 EP0_STATUS — EP0 ステータスレジスタ 説明修正
		530~531	10.5.7.11 EP0_INT_ENA — EP0 割り込みイネーブルレジスタ 説明修正
		535~536	10.5.7.15 EP[m]_CONTROL — EP[m]制御レジスタ (m=1~15) 説明修正
		537~540	10.5.7.16 EP[m]_STATUS — EP[m]ステータスレジスタ (m=1~15) 説明修正
		541	10.5.7.17 EP[m]_INT_ENA — EP[m]割り込みイネーブルレジスタ (m=1~15) 説明修正
		550	10.5.8.4 AHBINTEN — AHB-EPC ブリッジ割り込みイネーブルレジスタ 説明修正
		562	10.6.2.1 PCI コンフィグレーションレジスタのアクセス、表 10.122 AHBPCI_WIN1_CTR レジスタの設定 説明修正
		563	10.6.3.1 リセット設定 説明修正
		568	10.6.4.3 割り込み信号のクリアタイミング 値修正
		571	10.6.5.2 VBUS 制御、表 10.133 レジスタ設定と USB_PPON1/PPON2 の関係 表記修正
		572	10.6.5.3 PPON による過電流検出、図 10.9 PPON による過電流検出 図修正
		573	10.6.5.4 PPON の設定フロー 値修正
		573	10.6.5.4 PPON の設定フロー、図 10.10 PPON の設定フロー 図修正
		576	10.6.6.3 VBUS の検出フロー、図 10.12 VBUS の検出フロー 図修正
		578	10.6.7.1 ホストコントローラのパワーマネジメント、図 10.13 ホストコントローラのパワーダウフロー (OHCI 使用時) 図修正
		579	10.6.7.1 ホストコントローラのパワーマネジメント、図 10.14 ホストコントローラのパワーダウフロー (EHCI 使用時) 図修正
		580	10.6.7.1 ホストコントローラのパワーマネジメント、図 10.15 ホストコントローラのパワーアップフロー (OHCI 使用時) 図修正
		581	10.6.7.1 ホストコントローラのパワーマネジメント、図 10.16 ホストコントローラのパワーアップフロー (EHCI 使用時) 図修正
		589	10.6.7.4 Suspend 状態遷移時の注意 項追加
		593	10.6.9.2 初期設定シーケンス、図 10.25 ホストコントローラの初期設定シーケンス (1/2) 図修正
		595	10.6.9.2 初期設定シーケンス、図 10.26 ファンクションコントローラの初期設定シーケンス 図修正
		597	10.6.9.4 ファンクション転送の概要、図 10.27 PIO OUT 転送の概要 図修正
		601	10.6.9.4 ファンクション転送の概要、図 10.29 DMA OUT 転送の概要 (2/3) 図修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.03.29	603	10.6.9.4 ファンクション転送の概要、図 10.30 DMA IN 転送の概要 図修正
		604	10.6.9.4 ファンクション転送の概要、図 10.31 DMA 転送の停止 図修正
		608	10.6.9.4 ファンクション転送の概要、図 10.33 プロトコルエラーNAK 処理の概要 図修正
		613	10.6.9.4 ファンクション転送の概要、(g) Set Configuration、表 10.149 タイトル修正
		616	10.6.9.4 ファンクション転送の概要、(k) Sync Frame、表 10.157 タイトル修正
		624	10.6.9.4 ファンクション転送の概要、図 10.35 EP[m]データループバック (3/4) 図修正
		627	11.2 信号インタフェース、DMA[m]_HCLK 表記修正
		644	11.5.9 CFG[n] — チャンネル [n] コンフィグレーションレジスタ (n=0~7) 説明修正
		648~652	11.5.12 RawTfr — IntTfr 割り込み Raw ステータスレジスタ、同様に 11.5.13~16 説明修正
		653~657	11.5.17 StatusTfr — IntTfr 割り込みステータスレジスタ、同様に 11.5.18~21 説明修正
		658~662	11.5.22 MaskTfr — IntTfr 割り込みマスクレジスタ、同様に 11.5.23~26 表現修正
		669	11.5.33 ReqSrcReg — ソースソフトウェアトランザクション要求レジスタ、SRC_REQ 説明修正
		670	11.5.34 ReqDstReg — デスティネーションソフトウェアトランザクション要求レジスタ、DST_REQ 説明修正
		671	11.5.35 SglRqSrcReg — シングルソーストランザクション要求レジスタ、SRC_SGLREQ_WE、SRC_SGLREQ 説明修正
		672	11.5.36 SglRqDstReg — シングルデスティネーショントランザクション要求レジスタ、DST_SGLREQ 説明修正
		676	11.5.40 ChEnReg — DMA コントローラチャンネルイネーブルレジスタ、CH_EN_WE 説明修正
		687	11.6.1.4 トランザクションの例、(1) バーストトランザクションモードのみの DMA 説明修正
		693	12.1 概要、図 12.1 RTC のインタフェースおよび接続 図修正
		694	12.2 信号インタフェース 注意修正
		697	12.4.2 RTCA0CTL1 — RTC 制御レジスタ 1 表現修正
		704	12.4.9 RTCA0WEEK — RTC 曜日カウントバッファレジスタ 説明修正
		708	12.4.16 RTCA0SCMP — RTC サブカウント比較レジスタ、RTCA0SCMP 説明修正
		710	12.4.19 RTCA0ALW — RTC Alarm Week Set Register 説明修正
		719	12.5.1.3 クロックカウンタ動作有効時のクロックカウンタ読み出し 説明削除
		721	12.5.1.4 クロックカウンタ動作有効時の RTCA0SRBU の読み出し、図 12.6 RTCA0SRBU の読み出し 図修正
		734	14.1 概要 説明修正
		734	14.2 信号インタフェース、IPCM_Int[n] 表記修正
		737	14.4.2 IPCM[n]DSET — メールボックス [n] デスティネーションセットレジスタ (n=0~2) 説明修正
		738	14.4.3 IPCM[n]DCLEAR — メールボックス [n] デスティネーションクリアレジスタ (n=0~2) 説明修正
		739	14.4.4 IPCM[n]DSTATUS — メールボックス [n] デスティネーションステータスレジスタ (n=0~2) 説明修正
		740~742	14.4.6 IPCM[n]MSET — メールボックス [n] マスクセットレジスタ (n=0~2) 同様に 14.4.7~14.4.8 説明修正
		744	14.4.11 IPCMMIS[n] — マスク対象割り込み [n] ステータスレジスタ (n=0~2)、MASK_INT_STAT 説明修正
		745	14.4.12 IPCMRIS[n] — マスク非対象割り込み [n] ステータスレジスタ (n=0~2) 説明修正
		747	14.5 動作 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2020.06.30	—	すべての章で表記修正、および体裁修正
		93	6.4.1.37 DDR_CTL_36 — DDR コントローラステータス/制御 36 レジスタ、ECC_EN 説明追加
		104	6.4.1.55 DDR_CTL_54 — DDR コントローラステータス/制御 54 レジスタ、REDUC 説明追加
		203	6.5.6.3 ECC の制御 説明追加
		330	8.1 概要 説明追加
		334	8.4.1 config_reg — QSPI 設定レジスタ、enable_ahb_decoder_fld 説明修正
		335	8.4.1 config_reg — QSPI 設定レジスタ、periph_cs_lines_fld、periph_sel_dec_fld、enb_legacy_ip_mode_fld 説明修正
		337	8.4.2 dev_instr_rd_config_reg — デバイス読み出し命令設定レジスタ、data_xfer_type_ext_mode_fld、addr_xfer_type_std_mode_fld 表現修正
		338	8.4.3 dev_instr_wr_config_reg — デバイス書き込み命令設定レジスタ、data_xfer_type_ext_mode_fld、addr_xfer_type_std_mode_fld 表現修正
		339	8.4.4 dev_delay_reg — QSPI デバイス遅延レジスタ、d_nss_fld 説明修正
		341	8.4.6 dev_size_config_reg — デバイスサイズ設定レジスタ、mem_size_on_cs3_fld 説明修正
		344	8.4.11 write_completion_ctrl_reg — 書き込み完了制御レジスタ、poll_rep_delay_fld、poll_count_fld 表現修正
		344	8.4.11 write_completion_ctrl_reg — 書き込み完了制御レジスタ、disable_polling_fld 値修正
		345	8.4.12 no_of_polls_bef_exp_reg — ポーリング終了レジスタ、no_of_polls_bef_exp_fld 表現修正
		349	8.4.15 lower_wr_prot_reg — 書き込み保護レジスタ（下位） 表現修正
		349	8.4.16 upper_wr_prot_reg — 書き込み保護レジスタ（上位） 表現修正
		350	8.4.17 wr_prot_ctrl_reg — 書き込み保護制御レジスタ） 表現修正
		357	8.5.1.1 メモリマップアドレスの再マッピング 説明修正
		358	8.5.2 ダイレクトアクセスコントローラ（DAC） 説明修正
		366	8.6.4 レガシー-SPI モードの使用 表現修正
		367	8.6.5.2 NoCMD モード終了 説明修正
		368	8.6.6 AHB アドレスの再マッピング 説明削除
		368	8.7 使用上の注意 説明追加
		389	9.4.13 reg_powercontrol — 電源制御レジスタ、pwrctrl_sdbuspower 説明追加
		393	9.4.16 reg_clockcontrol — クロック制御レジスタ、clkctrl_sdclkena 説明追加
		408	9.4.27 reg_capabilities — 機能レジスタ、corecfg_slottype 説明修正
		590	10.6.8 USB ファンクションのエンドポイントの設定 説明追加
		626	11.1 概要 説明修正
		628	11.3 基本定義、周辺機能： 説明追加
		628	11.3 基本定義、チャネル：、フローコントローラ： 説明修正
		629	11.3 基本定義、トランザクション：、シングルトランザクション：、バーストトランザクション：、シングルブロック： 説明修正
		629	11.3 基本定義、シングルブロック DMA 転送： 説明削除
		636	11.5.4 CTL[n] — チャネル [n] コントロールレジスタ（n=0~7）、BLOCK_TS 説明修正
		637	11.5.4 CTL[n] — チャネル [n] コントロールレジスタ（n=0~7）、TT_FC、SRC_MSIZ、DEST_MSIZ 説明修正
		644	11.5.9 CFG[n] — チャネル [n] コンフィグレーションレジスタ（n=0~7）、FIFO_MODE、FCMODE、MAX_ABRST 説明修正
		645	11.5.9 CFG[n] — チャネル [n] コンフィグレーションレジスタ（n=0~7）、FIFO_EMPTY、CH_SUSP、CH_PRIOR 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2020.06.30	646	11.5.10 SGR[n] — チャンネル [n] ソースギャザーレジスタ (n=0~7) 表現修正
		647	11.5.11 DSR[n] — チャンネル [n] デスティネーションスキャッタレジスタ (n=0~7) 表現修正
		669	11.5.33 ReqSrcReg — ソースソフトウェアトランザクション要求レジスタ、SRC_REQ 説明修正
		670	11.5.34 ReqDstReg — デスティネーションソフトウェアトランザクション要求レジスタ、DST_REQ 説明修正
		679	11.6.1 データ転送モード 説明修正
		680	11.6.1.1 フローコントローラおよび転送タイプ 説明修正
		680	11.6.1.1 フローコントローラおよび転送タイプ、表 11.45 DMA 転送タイプおよびフローコントローラの組み合わせ 説明修正
		681	11.6.1.2 リンクリストによるブロックチェーン 説明追加
		683	11.6.1.2 リンクリストによるブロックチェーン、(2)ブロック間の連続アドレス 説明修正
		683	11.6.1.2 リンクリストによるブロックチェーン、(3)ブロック間の転送の保留 説明修正
		684	11.6.1.2 リンクリストによるブロックチェーン、(4)マルチブロック転送の終了 説明修正
		685	11.6.1.3 基本インタフェースの定義 説明修正
		686	11.6.1.3 基本インタフェースの定義、トランザクション 説明修正
		687	11.6.1.4 トランザクションの例、(1)バーストトランザクションモードのみの DMA 説明修正
		690	11.6.1.4 トランザクションの例、図 11.5 バーストおよびシングルの DMA トランザクション 図修正
		691	11.6.1.5 DMAC 設定例 項追加
		693	11.6.3 不正なレジスタアクセス 説明修正
1.20	2021.12.29	—	すべての章で表記修正、および体裁修正
		76	6.4.1.9 DDR_CTL_08 — DDR コントローラステータス/制御 08 レジスタ、TRST_PWRON 表現修正
		80	6.4.1.17 DDR_CTL_16 — DDR コントローラステータス/制御 16 レジスタ、TCKESR、TCKE 表現修正
		86	6.4.1.26 DDR_CTL_25 — DDR コントローラステータス/制御 25 レジスタ、CKE_DELAY 表現修正
		87	6.4.1.27 DDR_CTL_26 — DDR コントローラステータス/制御 26 レジスタ、CKSRX、CKSRE 表現修正
		89	6.4.1.29 DDR_CTL_28 — DDR コントローラステータス/制御 28 レジスタ、LP_AUTO_PD_IDLE 表現修正
		100	6.4.1.50 DDR_CTL_49 — DDR コントローラステータス/制御 49 レジスタ、COMMAND_AGE_COUNT、AGE_COUNT 表現修正
		111	6.4.1.64 DDR_CTL_63 — DDR コントローラステータス/制御 63 レジスタ、TODTH_WR、TODTL_2CMD 表現修正
		112	6.4.1.65 DDR_CTL_64 — DDR コントローラステータス/制御 64 レジスタ、RD_TO_ODTH、WR_TO_ODTH、TODTH_RD 表現修正
		113	6.4.1.67 DDR_CTL_66 — DDR コントローラステータス/制御 66 レジスタ、W2W_DIFFCS_DLY、W2R_DIFFCS_DLY、R2W_DIFFCS_DLY、R2R_DIFFCS_DLY 表現修正
		114	6.4.1.68 DDR_CTL_67 — DDR コントローラステータス/制御 67 レジスタ、W2W_SAMECS_DLY、W2R_SAMECS_DLY、R2W_SAMECS_DLY、R2R_SAMECS_DLY 表現修正
		154	6.4.1.23 DDR_CTL_357 — DDR コントローラステータス/制御 357 レジスタ、WRLAT_ADJ、RDLAT_ADJ 表現修正
		176	6.4.2.9 WLCTRL1 — ライトレベリング制御レジスタ 1、WL2OFS、WL1OFS 説明修正
		177	6.4.2.10 DQCALOFS1 — DQS オフセット設定レジスタ、DQCAL2OFS、DQCAL1OFS 説明修正
		629	11.3 基本定義 説明追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2021.12.29	645	11.5.9 CFG[n] — チャネル [n] コンフィグレーションレジスタ (n=0~7)、HS_SEL_SRC、HS_SEL_DST 説明修正
		649	11.5.12 RawTfr — IntTfr 割り込み Raw ステータスレジスタ 説明修正
		650	11.5.13 RawBlock — IntBlock 割り込み Raw ステータスレジスタ 説明修正
		681	11.6.1.1 フローコントローラおよび転送タイプ 説明修正
		681	11.6.1.1 フローコントローラおよび転送タイプ、表 11.45 DMA 転送タイプおよびフローコントローラの組み合わせ 説明修正
1.30	2025.10.31	77	6.4.1.11 DDR_CTL_10 — DDR コントローラステータス/制御 10 レジスタ、TCPD 説明追加
		78	6.4.1.13 DDR_CTL_12 — DDR コントローラステータス/制御 12 レジスタ、TBST_INT_INTERVAL 説明追加
		97	6.4.1.45 DDR_CTL_44 — DDR コントローラステータス/制御 44 レジスタ、LONG_COUNT_MASK 説明修正
		106	6.4.1.56 DDR_CTL_55 — DDR コントローラステータス/制御 55 レジスタ、CTRLUPD_REQ_PER_AREF_AN 説明修正
		179	6.5.1.2 最大アドレス空間 最大容量の計算例を修正
		194	6.5.3 ポート保護オプション 注意事項の説明追加
		203	6.5.6.2 ECC ロジックの機能 ECC スクラビングに関する説明修正

RZ/N1Dグループ、RZ/N1Sグループ、RZ/N1Lグループ
ユーザーズマニュアル システム・周辺機能1編

発行年月日 2018 年 03 月 30 日 Rev.0.90
2025 年 10 月 31 日 Rev.1.30

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ



Renesas Electronics Corporation

R01UH0751JJ0130