

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

CMOS 逻辑 HD74AC 系列 (FACT)

使用注意事项

* FACT 是美国国家半导体公司的注册商标。

当前，系统设计人员面临着提高系统性能和可靠性这些课题。瑞萨最先进的 CMOS FACT 能帮助系统设计人员完成这些课题。

FACT (Fairchild Advanced CMOS Technology) 是为了通过现行技术减少逻辑电路中诸多共同的缺点而设计的。

FACT 除了有 CMOS 本来的低静态功耗和高噪声容限以外，还有高扇出数、低输入电流、 50Ω 传输线的驱动能力 (和 FAST 等的双极型工艺族产品同等水平)，形成了 1.2 微米的 SSI 族和 MSI 族。

最尖端的系统设计要求在 CMOS 功耗水准下具有与先进的肖特基同等的速度和驱动能力、卓越的抗噪声、抗静电击穿和抗门锁等性能，而 FACT 在 1 个族中全部满足了这些要求。

为了充分利用从 FACT 得到的优点，在使用 CMOS 时需要付出设计上的代价，同时需要理解灵活的设计技术。

以下章节说明有关 FACT 性能的一般注意事项和必要事项。

在将 FACT 用于新的设计时，应从以下 5 个项目进行评价：

- 接口：需要特别考虑电路板之间的接口以及和其他族的接口、电池备份系统、以及系统在插拔电路板时是否要关闭电源。
- 传输线的驱动：FACT 具有高于全部 CMOS 族和大部分 TTL 族的传输线驱动能力。
- 噪声的影响：通常，在信号波形的边沿速率增加的同时，也很容易引起串扰和地线噪声问题。FACT 能通过提高抗噪声能力和逻辑阈值电平来有效地抑制串扰。
- 电路板布局：通过慎重地进行电路板布局，能将大部分的噪声影响控制到最小。
- 电源和去耦：为了尽量减小 V_{CC} 和接地线的阻抗，必须尽量加宽电路板上的 V_{CC} 线和接地线，最好是整面的接地和 V_{CC} 。必须给驱动传输线的所有器件或者给全部器件外接去耦电容。

1. 接口

FACT 将高电流信号线的驱动能力与平衡性好的 CMOS 输出相结合。全部输出引脚的设计被标准化，即使在最坏的条件下也能保证 24mA 的源极电流和吸收电流，而且和最新的标准肖特基产品相比，能驱动更大的负载。FACT 能直接驱动 ALS、AS、LS、HC 和 HCT 器件。

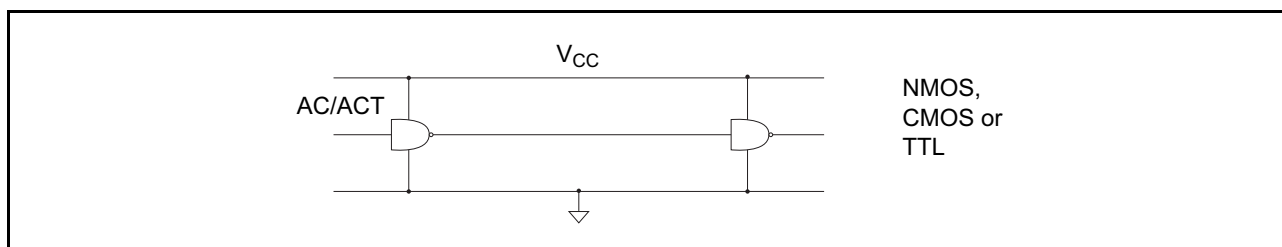


图1 从 FACT 输出到 NMOS、CMOS、TTL

如图1所示, 因为保证了FACT的每个输入引脚都不超过 $1\mu\text{A}$ (低输入电流), 所以NMOS、CMOS族能直接驱动FACT器件, 即使不使用共用的电源线, FACT也能工作。

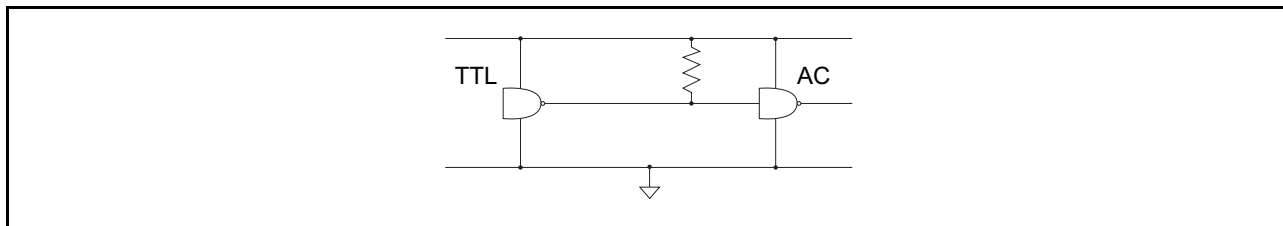


图2 连接L输出引脚时的 V_{IH} 上拉

在传统的产品中也有像所有TTL族产品一样, 不能直接驱动FACT, 这不适合于2.4V的高电平输出电压保证值以及驱动FACT。从此TTL输出到FACT的接口问题有2种简单的解决方法。

如图2所示, 如果通过约 $4.7\text{k}\Omega$ 的电阻上拉到 V_{CC} , 就能构成TTL→CMOS的电平转换器, 使CMOS输入引脚变为正确的High电平。

但是有时不能使用上拉电阻, 例如连接终端的TTL总线等。FACT族中也有输入阈值电平和TTL兼容的产品 (HD74ACT系列, 参照图3)。

因为给输入引脚追加了用于电平转换的缓冲器段, 所以这些产品比CMOS输入电平产品的速度慢一些。

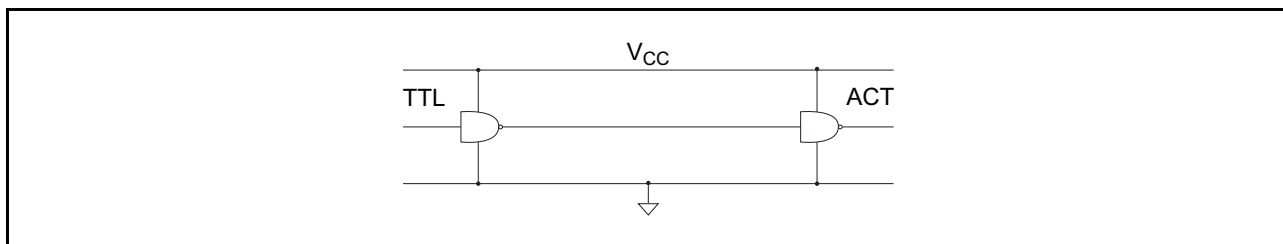


图3 从TTL输出到ACT

ECL器件不能直接驱动FACT器件。可通过TTL→ECL转换器或者HD10125 (ECL-to-TTL转换器) 连接FACT和ECL。此时必须遵守从TTL输出到CMOS输入的转换规则 (通过约 $4.7\text{k}\Omega$ 的电阻上拉到 V_{CC})。

也能通过电阻网络进行此电平转换。

使用3个电阻的FACT和ECL逻辑的连接例子如图4a所示。

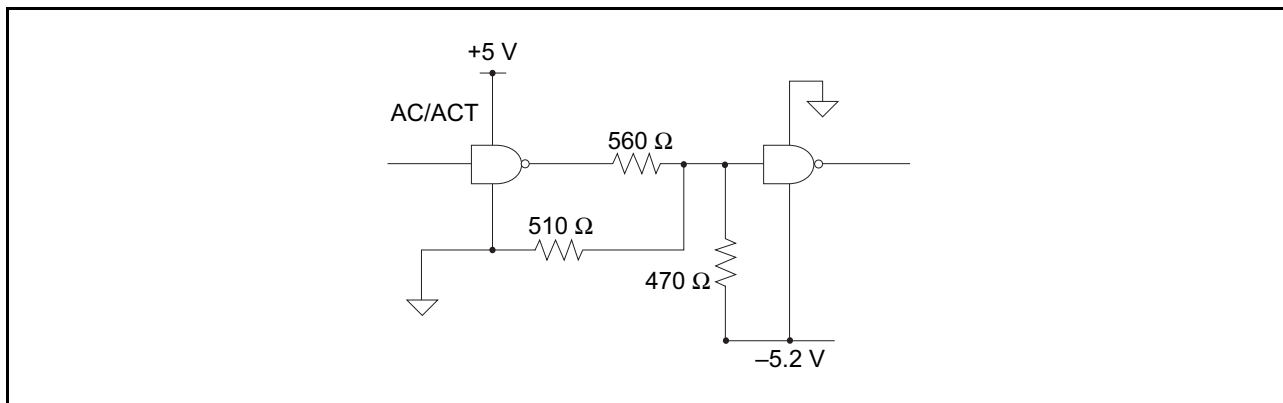


图4a 通过电阻进行FACT到ECL的电平转换

从ECL到FACT的电平转换例子如图4b和图4c所示。虽然这种方法结构有些复杂, 但是能连接ECL和FACT。

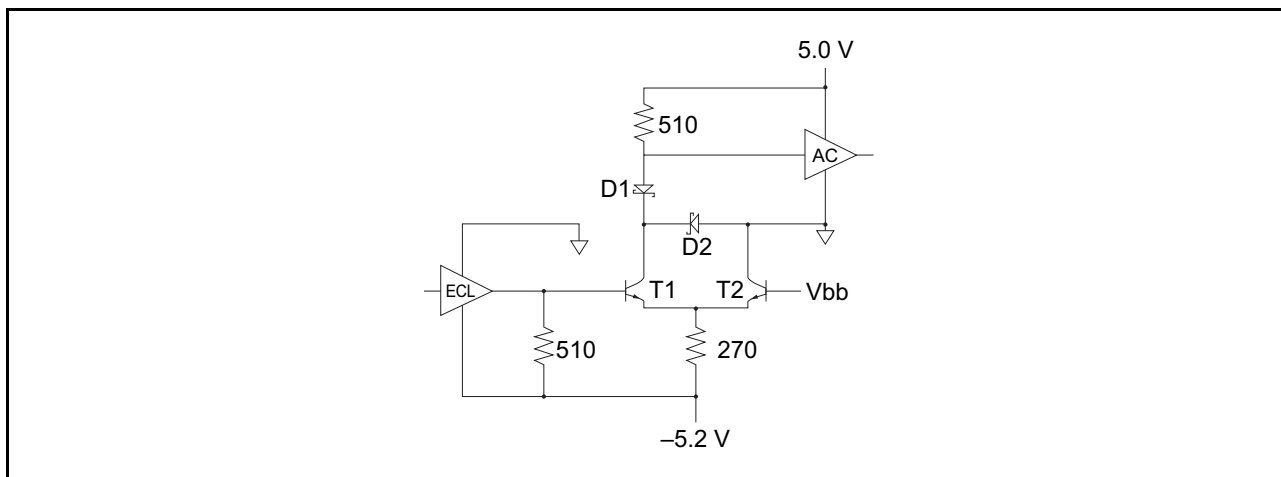


图 4b 从单端 ECL 输出到 AC

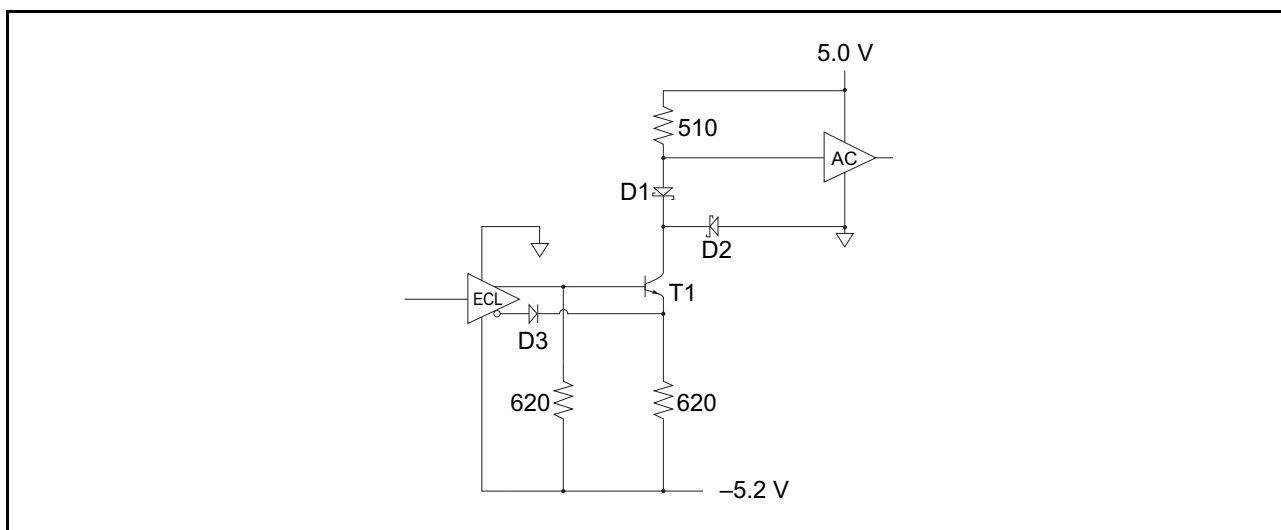


图 4c 从差动 ECL 输出到 AC

FACT 和其他 CMOS 产品一样, 如果输入规定的输入电压值 (V_{IL} 、 V_{IH}) 的中间值电压电平, 构成 CMOS 的 PN 双 MOS 晶体管就会同时处于 ON 状态。必须理解的是: 这是因为形成了电源到地线的低电阻电流路径, 导致了消耗电流增加几个数量级。

2. 线路的驱动

高速 CMOS 逻辑族产品的实现再次提高了系统的性能。但是必须更加深入地考虑这些更高速的器件对传输线路的影响。

全部电路的线路都具有传输线路的特性, 此特性的重要性在于: 驱动器的边沿速率 (上升时间和下降时间) 小于或者等于 3 倍的线路传播延迟时间的值。

例如, 假设无负载的印刷电路布线的传播延迟时间为 1.7ns/30cm, 当通过边沿速率为 3ns 的器件驱动至少为 20cm 长的线路时, 传输线路的特性就很重要。

在传输线路的诸多特性中, 有效特性阻抗 Z_{oe} 和线路的有效传播延迟时间 t_{pde} 最重要。

特性阻抗和传播延迟时间的本征值 Z_0 和 t_{pd} 取决于几何尺寸。如果知道本征值, 就能通过计算求负载产生的影响。在有负载时, 通过下式求 Z_{oe} 和 t_{pde} 的值。

$$Z_{oe} = \frac{Z_0}{\sqrt{1 + C_t / C_1}}$$

$$t_{pde} = t_{pd} \sqrt{1 + C_t / C_1}$$

在此， C_1 表示本征值的线路电容， C_t 表示因负载引起的电容增量。

从这些式子可以看出：传输线路的负载减少了有效特性阻抗，并增加了有效传播延迟时间。当线路的传播延迟时间大于驱动器边沿速率的 1/3 时，就需要进行传输线路的评价。在将总线作为传输线路进行分析时，大都只需要评价最长的负载最重的线以及最短的负载最轻的线。

总线中的全部线路都需要同样地连接终端。

总线中只要有 1 条线路需要连接终端，就要将总线的全部线路都连接终端，这样就统一了全部线路的信号。在此，包括串联终端、并联终端、AC 并联终端和 Thevenin 终端等。

AC 并联终端和串联终端不消耗 DC 功率，对低功耗的应用系统最有效；并联终端和 Thevenin 终端的 DC 功耗比较大。

3. 终端的连接方法

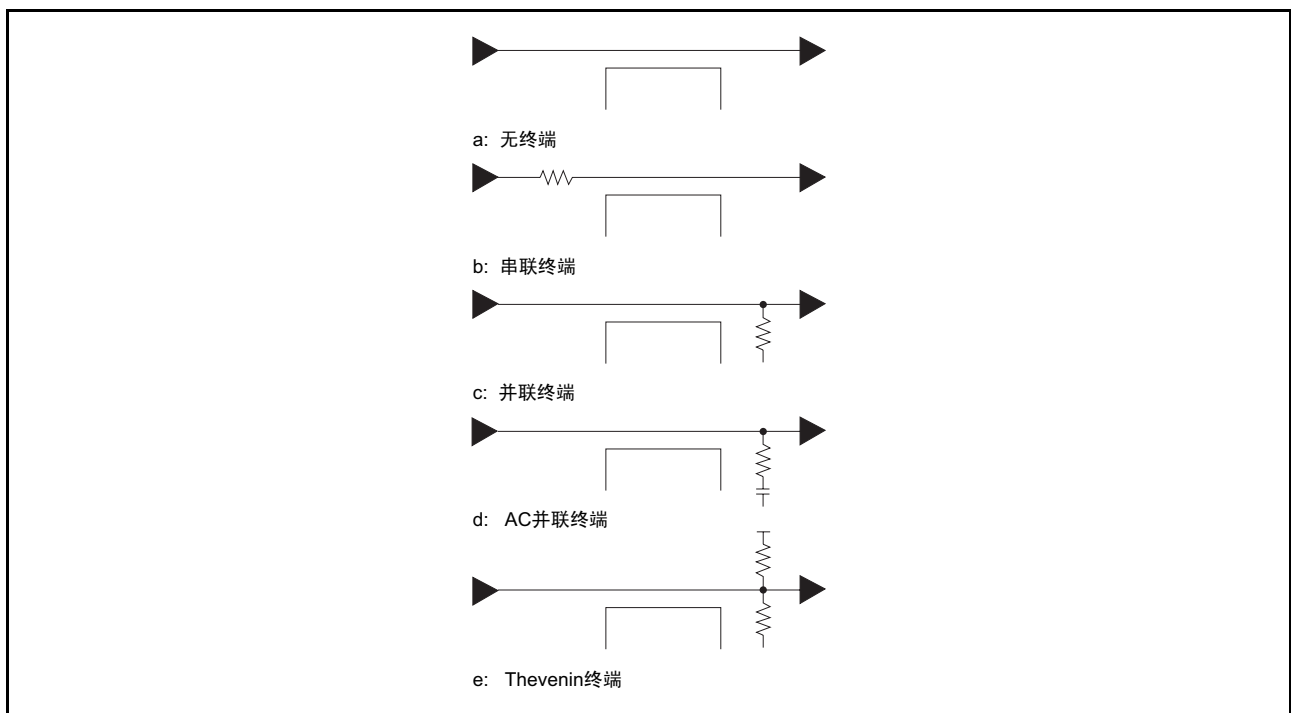


图5 终端的连接方法

3.1 串联终端

串联终端对在尾端连接负载（大部分）的高速应用系统最有效。位于驱动器和线路尾端中间的负载接受 2 段波形。第 1 段是由驱动器的上升或下降产生的波形，下式中通过驱动器的输出阻抗、串联电阻值和线路阻抗求振幅。

$$V_W = V_{CC} \cdot Z_{oe} / (Z_{oe} + R_S + Z_S)$$

当 R_S （串联电阻）和 Z_S （驱动器的输出阻抗）的和等于线路的特性阻抗时，振幅为驱动器输出振幅的 1/2。

第 2 段是线路终端的反射，振幅和第 1 段相同。当信号波在线路上传播并重新返回到驱动器时，线路上的全部器件才开始接受正确的电平。即，全部输入在 2 倍线路延迟时间内接受驱动器的全振幅电压。

3.2 并联终端

并联终端自身的功耗比较大，甚至有时比IC功耗还要大，所以一般不建议用于CMOS电路。

并联终端的功耗为电阻值、信号占空比的函数。并联终端会对 V_{CC} 或者地线偏置驱动器的输出电压，因此不建议将并联终端用于CMOS输入的驱动。

并联终端对TTL输入的驱动有效。

3.3 AC并联终端

AC并联终端对因串联电阻而出现延迟问题的应用系统有效。AC并联终端的效果和一般的并联终端效果相似，但是最大的不同点是通过电容切断DC电流路径来降低功耗。

3.4 Thevenin (戴维南) 终端

Thevenin终端自身的功耗较大，所以一般不建议使用。和并联终端一样，因终端电阻而形成流向接地的电流路径。但是，Thevenin终端的功耗一般不为信号占空比的函数。

因为Thevenin终端和并联终端一样不偏置输出电平，所以适用于CMOS输入的驱动。但是，不能将Thevenin终端设定为浮动状态，否则将会导致CMOS的输入电平在 V_{CC} 和GND中间浮动并且增加功耗。

FACT是为了能在全温度范围内驱动 50Ω 传输线路而设计的。FACT规定了86mA吸收电流和75mA源极电流的动态驱动能力，所以能保证 50Ω 传输线路的驱动，还能保证在 50Ω 传输线路上，随着驱动器的上升沿和下降沿的变化而变化的信号波形产生的开关动作，上升时间和下降时间都是3ns。

FACT具有平衡性好的图腾柱输出结构、源极电流能力和吸收电流能力基本相等的特点。因此能产生平衡性好的边沿速率，使输出的上升时间和下降时间相等。具有平衡性好的驱动能力和输出过渡时间对于各总线，不需要计算2个不同的延迟时间，也不需要计算最短的延迟时间时改变信号的极性。

FACT的输入是为了充分利用高“High”电平的优点并产生最大噪声容限而设计的。

规定 V_{IH} 和 V_{IL} 分别为 V_{CC} 的30%和70%。当源极电流或者吸收电流为 $20\mu A$ 时，相应的 V_{OH} 和 V_{OL} 分别在 $V_{CC}-0.1V$ 和GND+0.1V以内。

噪声容限的概要如图6所示。

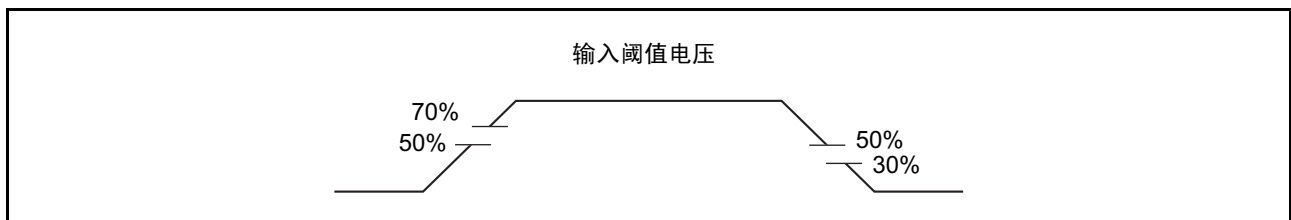


图6 输入阈值电平

4. CMOS总线

CMOS逻辑器件的全部输入/输出引脚有经过 V_{CC} 和接地的钳位二极管。这些二极管通过衰减负尖峰和正尖峰的噪声来提高系统的可靠性，但是在关闭电源时有可能产生问题。

关闭电源时的例子如图7所示。对于外加了高于 V_{CC} 输入电压的引脚，钳位二极管被施加了正向偏压。从输入引脚流入的电流从 V_{CC} 引脚流出或者从“High”状态下的输出引脚流出。根据系统，此电流 I_{IN} 有可能会变得非常大，也有可能使总线电压达不到正常的“High”电平。解决此问题的方法之一是在线路中串联电阻。

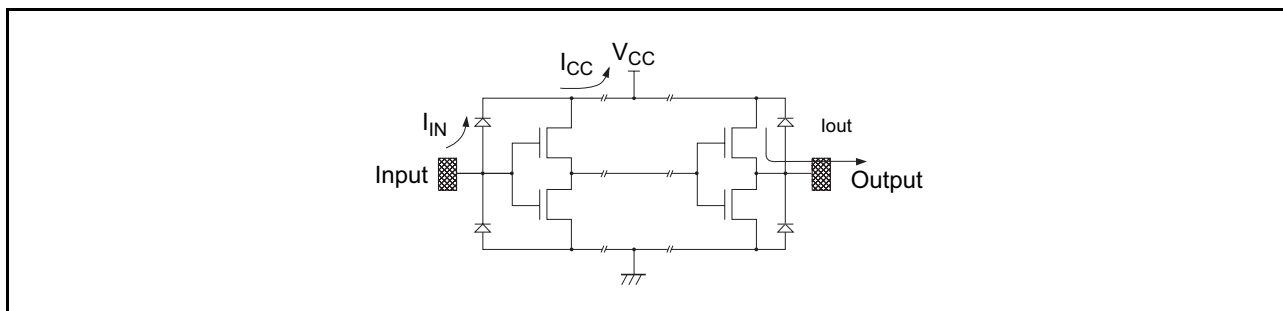


图7 噪声的影响

5. 噪声的影响

在现有的其他竞争产品中，FACT的抗噪声性最强。因为规定了输入阈值的高电平和低电平分别为 V_{CC} 的30%和70%，输出电压在 $V_{CC} \sim (V_{CC}-100mV)$ 或者接地 $\sim 100mV$ 范围内，所以FACT噪声容限值接近于 V_{CC} 的30%。当 $V_{CC}=5V$ 时，FACT的输入/输出电平规格为对接地或者 V_{CC} 的1.5V左右噪声容限。实际输入阈值接近于 V_{CC} 的50%，实际输入容限值接近于2.5V。

但是，无论使用多么先进的技术，都无法消除产品的噪声。优良的电路板布局设计技术的基本是充分发挥FACT的性能特点。

优良的电路板设计技术同时也帮助我们解决制造和测试上的问题。

另一方面，在实际使用时，建议将电路板分成高速区、中速区和低速区。需要高电流的电路区（即缓冲器电路和高速逻辑电路）必须尽量靠近电源，低速电路区必须尽量远离电源。

必须将去耦电容配置在全部缓冲器IC的附近，对于整个逻辑电路，1个IC必须配置1个电容。为了将反射控制在最少，必须将传输线连接终端；为了将串扰减到最小，长信号线不能相互靠近。

6. 串扰

随着系统性能的提高以及电路板安装密度的增加，串扰问题及其处理方法越来越重要。串扰是一条信号线对另一条信号线的电容耦合。无效线上引起的噪声大小直接与有效线上的边沿速率、2条线的间隔和距离成正比。

串扰的产生有2个基本原因。正向串扰（图8a）是因印刷电路的线路上传播2个速度不同的信号波而产生的。此速度差取决于空气的相对介电常数（ $\epsilon_r=1.0$ ）和环氧玻璃的相对介电常数（ $\epsilon_r=4.7$ ）的差。随着波形在线路上的传播，一个信号波（速度快的）比另一信号波（速度慢的）先到达线路的尾端，此延迟导致正向串扰的产生。线路越长，延迟时间就越长，其结果是正向串扰的大小随线距离的增长而增大。

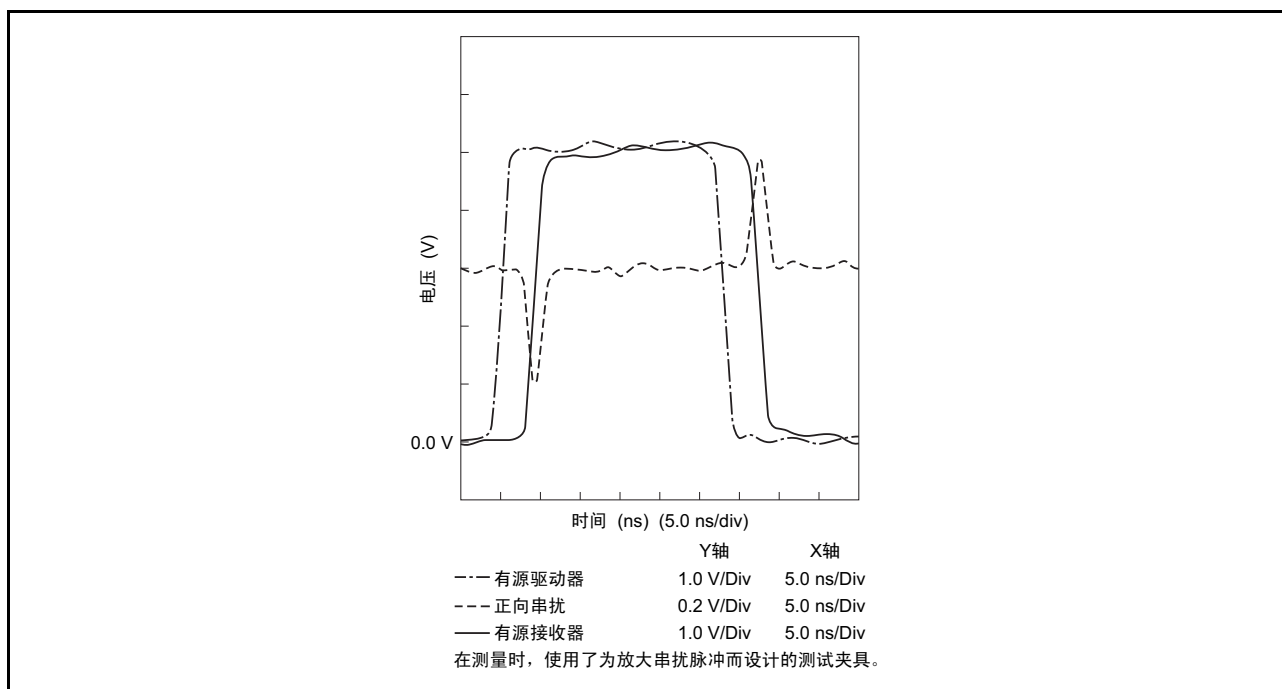


图8a PCB线路上的正向串扰

反向串扰 (图8b) 是因处于传送状态的线路之间的互感和电容而产生的。在达到某个固定的极限值之前, 反向串扰与线路距离成线性比例增加。此极限的长度是指信号在上升时间或者下降时间内能移动的距离。

串扰是无法完全消除的, 但是可以通过若干个设计技巧来减少串扰引起的系统问题。FACT卓越的噪声容限增强了系统解决串扰相关问题的能力, 而且简化了设计。图9a和图9b所示的FACT的AC噪声容限体现了对可能影响系统可靠性的日常噪声的优秀的抗噪声性。

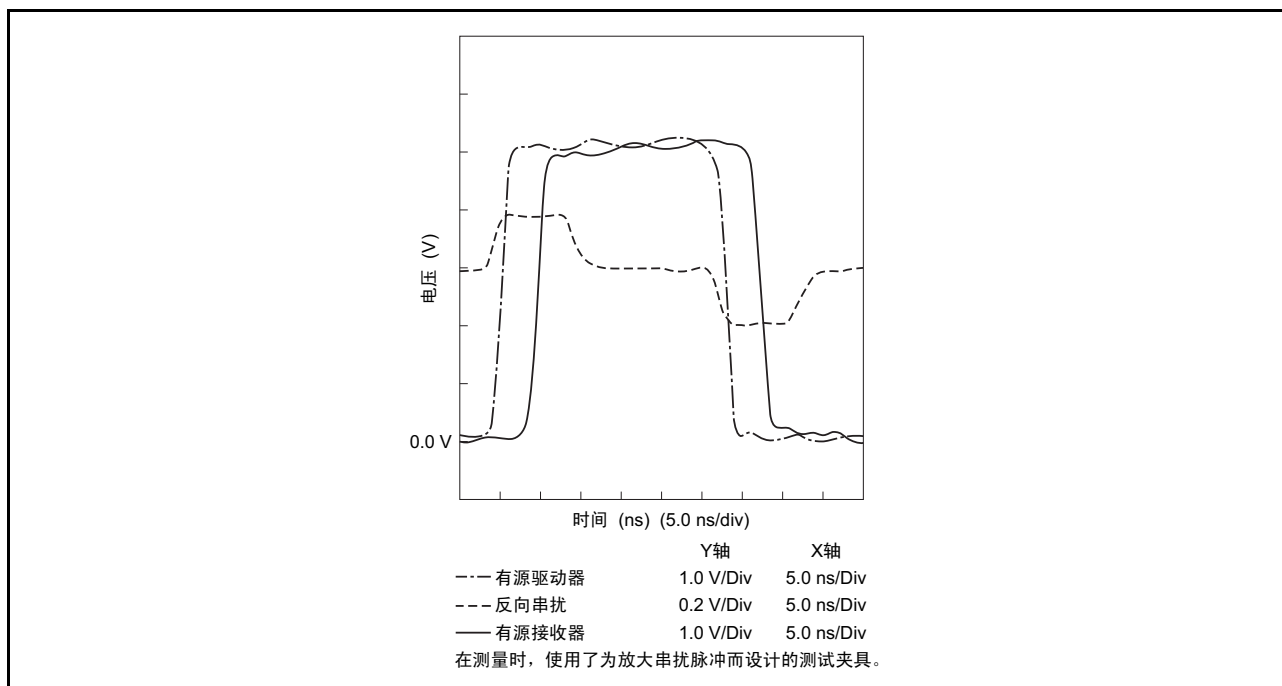


图8b PCB线路上的反向串扰

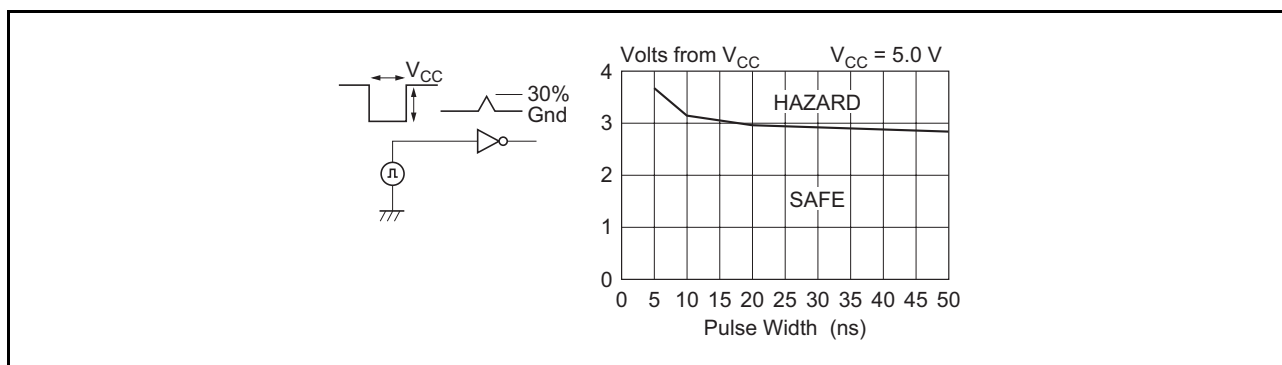


图9a “High” 电平的噪声容限

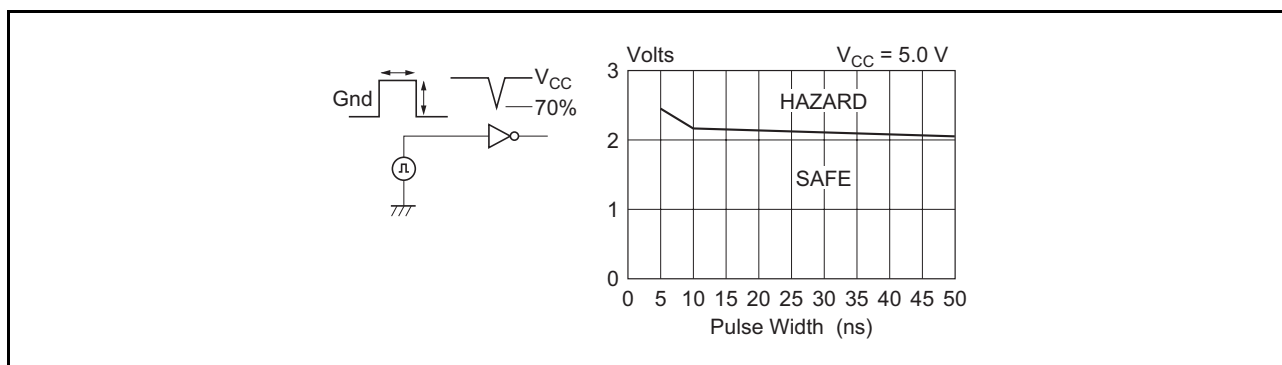


图9b “Low” 电平的噪声容限

FACT 有至少 2V 的噪声容限，提供了优于其他任何族的抗噪声性。

无论哪种设计都必须尽量缩短相互靠近的线路长度，最好的条件是线路垂直相交。

在线路不得不平行的条件下，能通过给线路连接终端将串扰的影响控制在最小。如果通过该特性阻抗给线路连接终端，就能将最初的串扰脉冲大小降低到 50%。也能通过给线路连接终端降低振铃的程度。通过远离线路、或者在线路之间插入接地线或者地线面，也能减少串扰问题。

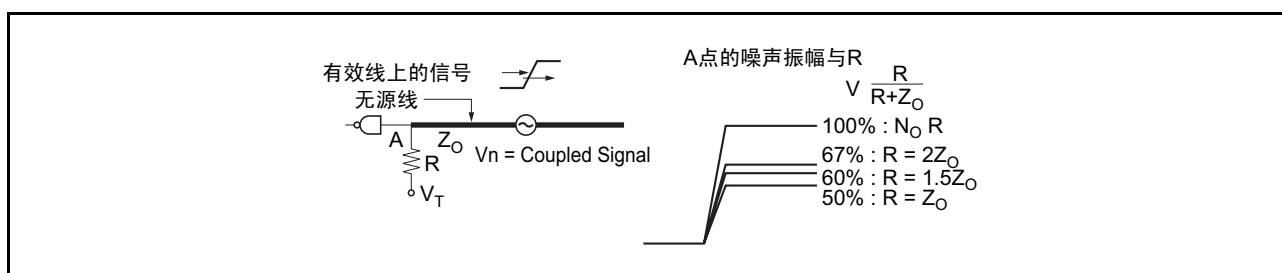


图10 终端对串扰的影响

7. 接地反弹

接地反弹是因用于组装 CMOS 器件的封装引脚框架和焊线的固有特性而产生的。在最新的逻辑器件族产品中，随着边沿速率的增加和驱动能力的增强，这些固有电特性的影响也更加显著。

包括驱动标准试验负载的引脚框架的器件简易电路模型如图 11a 所示。 L_1 表示封装的接地引脚的寄生电感， L_2 表示封装的电源引脚的寄生电感， L_3 表示封装的输出引脚的寄生电感， R_1 表示器件输出部的输出阻抗， C_L 和 R_L 表示连接在器件输出端的标准试验负载。

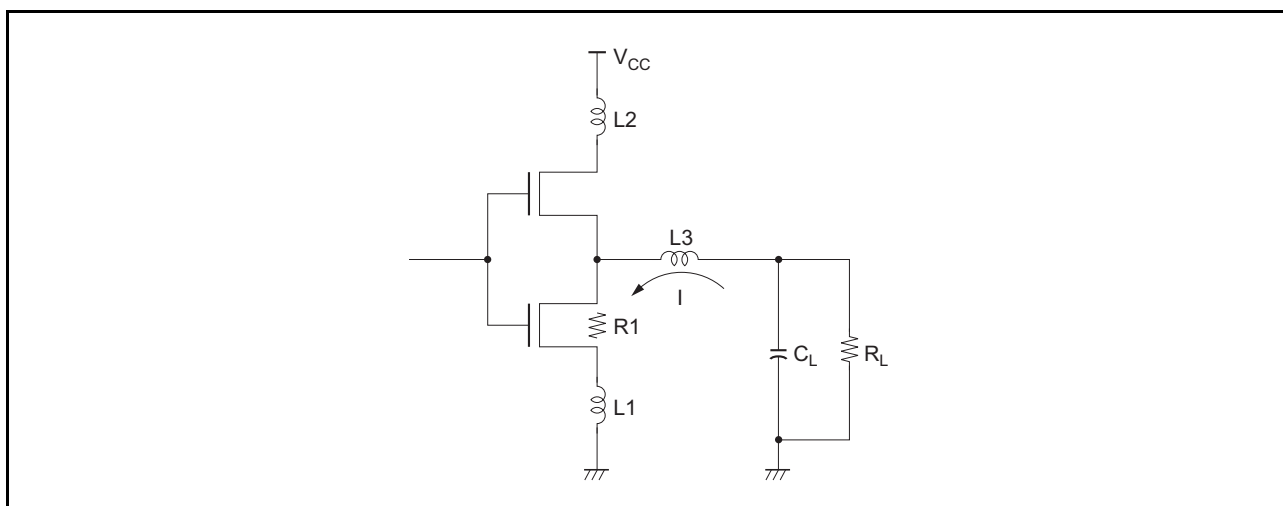


图 11a 输出模型

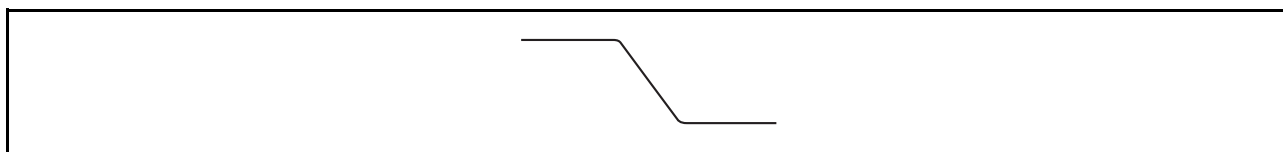


图 11b 输出电压

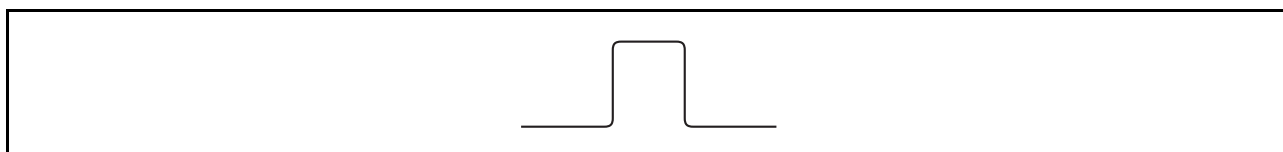


图 11c 输出电流

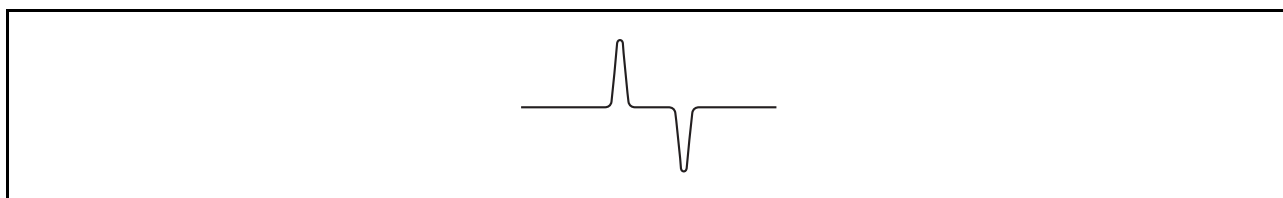


图 11d 电感电压

图 11b、图 11c、图 11d 所示的 3 个波形表示接地反弹的产生过程。最初的波形表示负载从逻辑 “High” 电平变为逻辑 “Low” 电平时的负载端电压。输出的压摆率取决于输出晶体管特性、电感 L_1 、 L_3 和负载电容 C_L 。第 2 个波形表示电容放电时产生的电流 ($I = C_L \cdot dv/dt$)。第 3 个波形表示电流变化引发接地引脚电感的电压 ($V_{gb} = -L \cdot di/dt$)。

影响接地反弹大小的因素有很多，其中有以下几个：

- 同时开关的输出引脚数：输出引脚数越多，接地反弹越大。
- 输出负载形式：电容性负载产生的接地反弹是标准系统布线产生的2~3倍。当电容性负载增加到约60~70pF时，接地反弹也随之增加。如果电容性负载大于等于70pF，负载的滤波效应会使接地反弹减小。如果将负载远离输出引脚，接地反弹就会变小。
- 输出引脚的位置：接近于接地引脚比远离接地引脚的输出引脚产生的接地反弹小。
- 电压：如果降低 V_{CC} ，接地反弹就会变小。
- 测试夹具：因为标准的测试夹具使用了电容性负载，所以在AC负载增加的同时，形成了LCR振荡电路。因此产生比标准系统大30~50%的接地反弹。

接地反弹会产生各种问题：

- 器件的逻辑状态变化：FACT没有这种问题。
- 传播延迟时间的增加：在FACT中，每增加1个开关动作的输出引脚，传播延迟时间就最多增加250ns。
- 工作输出的负尖峰：最坏情况下的负尖峰和最坏情况下的静态输出噪声基本相等。
- 静态输出噪声：在实际系统应用中测量的FACT最坏情况下的静态输出噪声约为500~1100mV。

以下叙述的任意一个规则，都能充分有效地避免与接地反弹有关的问题：

第一，必须注意：用CMOS的8路输出驱动异步TTL电平输入时的情况；第二，必须注意：通过和数据或者地址线的驱动器相同的器件，使对尖峰脉冲敏感的控制线（置位、复位、装入、时钟、片选）工作时的情况。

在无法避免上述情况时，能通过以下简单的对策将接地反弹噪声降到最小：

- 尽量将这种输出引脚靠近接地引脚。
- 在可能的范围内使用低的 V_{CC} 或者将电源分开。
- 采用能减小串扰、反射等产生噪声的电路板设计方法。

8. 设计规则

为了能够实现器件的最佳电源连接以及保证高可靠性的系统工作，建议按照以下规则进行设计。

这些方针和用于最新的双极型逻辑族产品的方针相同。

- 使用具有 V_{CC} 和地线面的多层电路板。为了将电源线的阻抗降低到最小，将器件的电源引脚直接焊接到电路板上的 V_{CC} 和地线面。
- 通常全部器件使用0.1 μ F的去耦电容，必须尽量将这些电容靠近接地引脚。
- 尽量不使用插座或者绕线板。
- 不直接将电容连接在输出引脚和接地之间。

9. 去耦

FACT和其他高性能、高驱动能力的逻辑族产品一样，需要特别的去耦和印刷电路板布局。

通过满足这个条件，能保证FACT的最大优点。

当FACT的输出引脚从Low电平变为High电平时，需要对IC的电源实施局部的高频去耦。给负载电容充电或者驱动线路的阻抗时需要此功率。

V_{CC} 和接地的布局方法及其阻抗如图12所示。大部分的电源线阻抗通常在50 Ω 到100 Ω 之间，此阻抗和负载阻抗串联，从而导致IC的 V_{CC} 降低。如果不实施去耦，就限制了各点的电压振幅。此电源线 V_{CC} 的降低延长了输出的上升时间和下降时间。参考图13考虑所需的去耦量。在此电路中，AC240被连接到100 Ω 总线的中间，以驱动该总线。

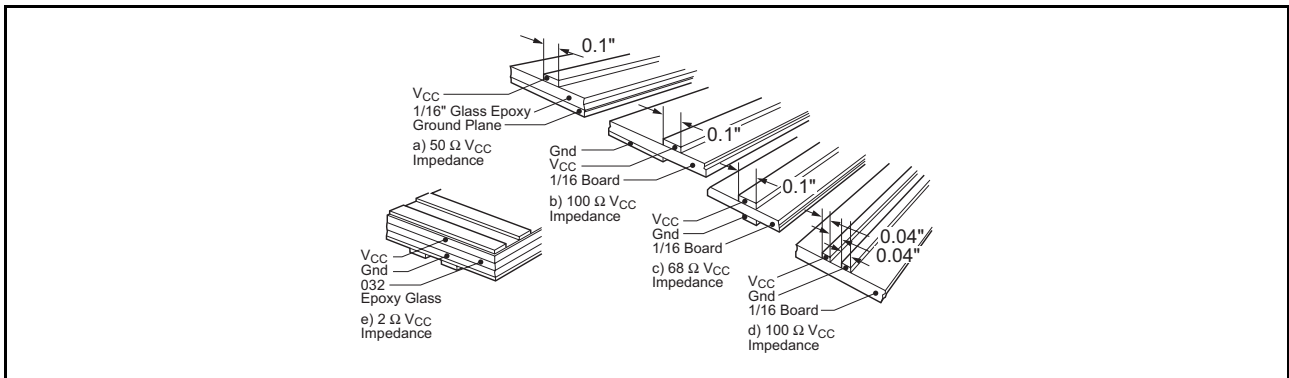


图 12 电源线的阻抗

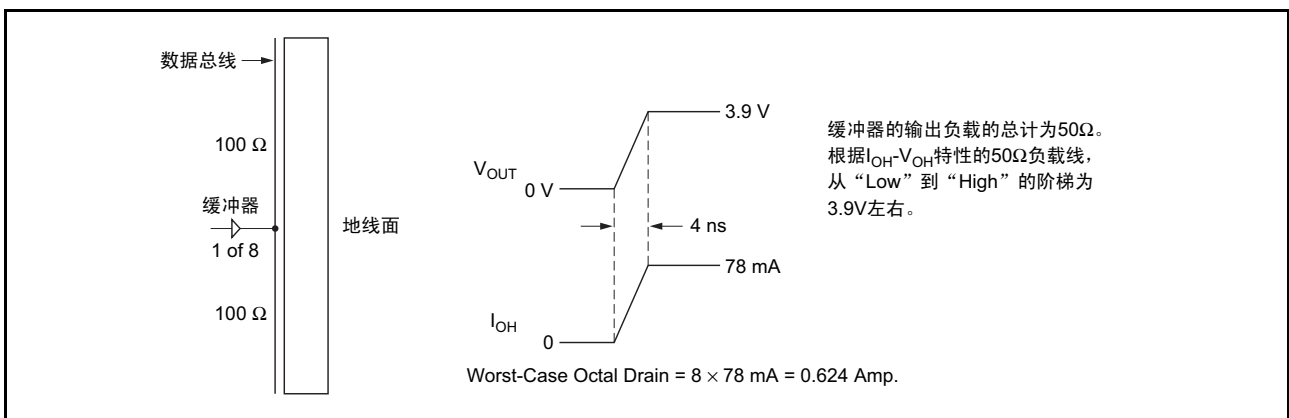


图 13 驱动100Ω总线的8路缓冲器

因为AC240在总线的中间，所以驱动器有2个并联的100Ω负载，实际的负载阻抗为50Ω。要使总线从“Low”电平变为“High”电平时，需要78mA的驱动电流，如果8路同时开关，至少需要624mA的驱动电流。此瞬间的电流因电源线的阻抗而使电压降低，导致芯片内的实际 V_{CC} 的降低，从而限制了驱动器的电压振幅。

电压的降低会延长器件的上升时间和下降时间，减慢系统的运行速度。在流入高电流时，必须将配置在IC附近的去耦电容用作驱动器芯片的低阻抗电源，从而将电压的降低控制在允许的范围内，并且将上升时间和下降时间控制在最短。

能用图14所示的方程式来计算去耦所需的电容值。

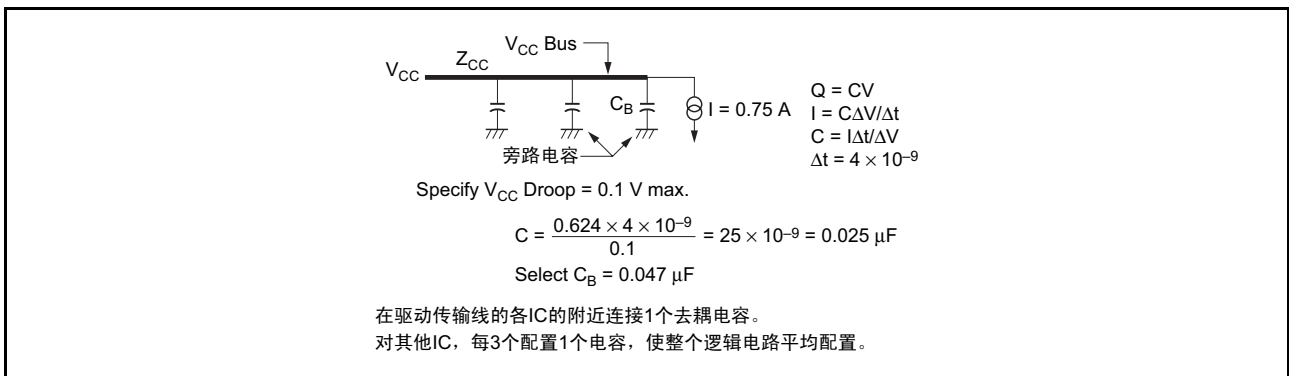


图 14 去耦电容计算式

在此例中，要使 V_{CC} 的降低不超过0.1V、边沿速率为4ns时，需要0.025μF的电容。

将去耦电容平均配置到整个逻辑电路，并且1个封装配置1个电容等方法比较好。

10. 电容的类型

去耦电容必须是由具有低等效串联电阻 (ESR) 的串联电感和串联电阻构成的高K陶瓷型电容。

使用5ZU介质的电容具有符合此要求的特性，是去耦电容的最佳选择，成本最小而且有效。

在驱动传输线的各IC的附近配置1个去耦电容。对其他IC，每3个配置1个电容，使整个逻辑电路平均配置。

11. TTL 兼容CMOS (HD74ACT系列) 的 ΔI_{CC}

FACT族由“AC”型和“ACT”型2种先进的CMOS电路构成。

“ACT”器件是具有TTL型输入阈值的先进CMOS，能直接替换LS或者ALS。将此“ACT”系列替换TTL时，必须考虑 ΔI_{CC} 的规格。不习惯使用CMOS的工程师也许会对此规格产生困惑或者误解。

重点在于理解 ΔI_{CC} 的概念以及在实际设计时如何使用。

首先考虑 ΔI_{CC} 是如何产生的。

如下所示，大部分CMOS的输入结构是N沟道MOS晶体管和P沟道MOS晶体管串联而成的图腾柱型结构。

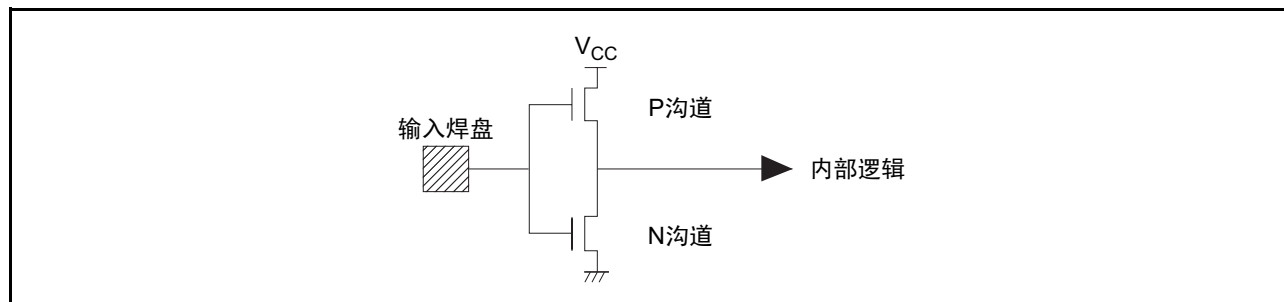


图15 CMOS的输入结构

这2个晶体管可认为是随着输入电压而发生电阻变化的可变电阻。ON状态下的晶体管电阻约为 50Ω ，OFF状态下的晶体管电阻通常至少为 $5M\Omega$ 。当此CMOS结构的输入为GND或者 V_{CC} 的电压时，则1个晶体管处于ON状态，而另一个晶体管处于OFF状态。PN晶体管对的电阻是P晶体管和N晶体管的电阻之和，至少为 $5M\Omega$ ，此时的漏电流不超过 $1\mu A$ 。当输入电压在GND和 V_{CC} 之间时，ON状态下的晶体管电阻增加，OFF状态下的晶体管电阻减小。实际的电阻因受远远大于它的OFF电阻的影响而降低，总直流电阻能减小到 600Ω 。随着输入结构串联电阻的减小，电流流入输入结构的部分，导致 I_{CC} 增加。

与“ACT”器件的输入电压相应的 I_{CC} 变化如下图所示：

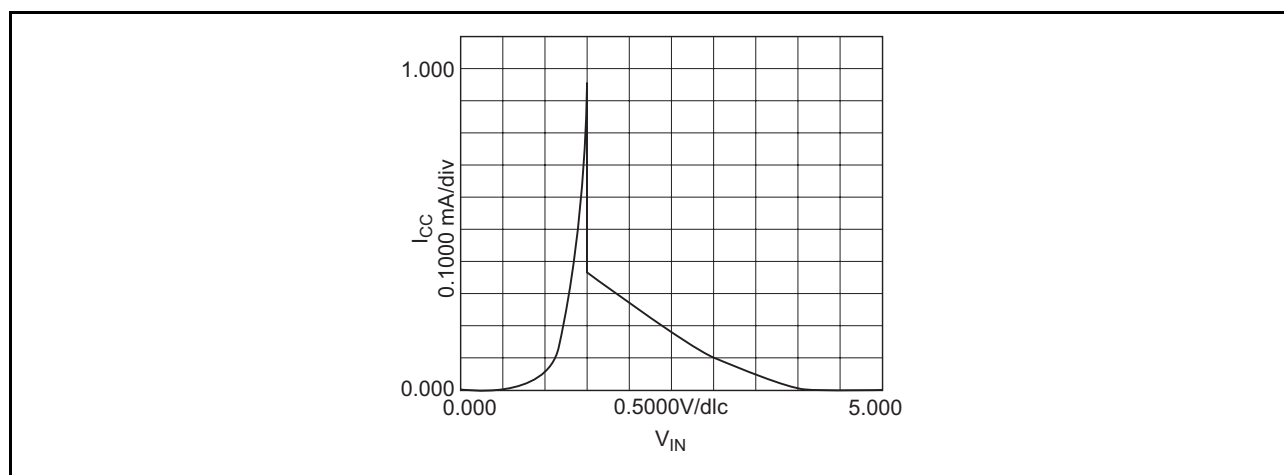


图16 “ACT”器件的输入电压- I_{CC} 特性

ΔI_{CC} 规格表示 I_{CC} 的增量。对于每个外加 $V_{CC}=2.1V$ 的输入引脚，应该将 ΔI_{CC} 值加到静态消耗电流，这样就能求出最坏情况下的电路静态消耗电流。

减少每个输入引脚的 I_{CC} 增量有几个要素。在一般的系统中，由于 FACT 的低输入电流特性，大部分 TTL 器件至少能将 FACT 的输入驱动到 TTL 输出电压的规格值。例如，在 FAST 的情况下，“ACT”型的输入在“L”电平时能被驱动到 200mV；在“H”电平时，能被驱动到 3.5V。而且每个输入引脚的实际 I_{CC} 增量典型值小于规格的极限值。如上图所示，在一般的系统中，当输入电压为 $V_{CC}=2.1V$ 时， I_{CC} 的增加不超过 200 μA 。

实验结果表明：如果不将 ACT240 系列器件的全部输入引脚连接到 V_{CC} 或者 GND 而连接到 FAST， I_{CC} 就只增加 200 μA （典型值）。

和其他 TTL 兼容的 CMOS 一样，在使用 FACT 进行设计时，必须考虑 ΔI_{CC} 的规格。在理解规格含义的同时，还应该考虑到数据手册中的值是最坏条件下的值，而大部分系统中的实际值要小得多。

12. 先进 CMOS 的 I/O 引脚的测试

最近可从市场上购买到许多能替换 TTL 的 CMOS 族产品。在大部分情况下，使用以前为双极型器件开发的程序和夹具来测试这些先进的 CMOS 也能得到满意的结果，但是这种方法有时也会引起技术方面的问题。

以 '245 Octal Transceiver 为典型的双向引脚 IC 就会出现这样的问题。如果不按照正确的方法进行测试，即使 IC 无缺陷，这些 IC 也有可能无法通过 I_{CC} 和输入漏电流的测试。

CMOS IC 和双极型 IC 不同，其静态 I_{CC} 规格比标准负载电流小了几个数量级。大部分 CMOS 的 I_{CC} 规格一般不超过 100 μA 。在测试 I_{CC} 时，必须注意：器件的实际 I_{CC} 不要被其他电流所掩盖。这些电流是从通常的输入/输出引脚外加的。

因为 CMOS 器件的静态 I_{CC} 非常小，所以在实际测试 I_{CC} 时不能被输出负载电流所掩盖。

当 $V_{CC}=5V$ 时，标准的 50 Ω 负载会吸收 10mA 的电流。此值至少是测试到的 I_{CC} 量的 2 倍。因此大部分的半导体制造商规定：在测试 I_{CC} 时，必须将全部输出置为无负载。

器件输入的另一个问题是：当输入电压在过渡区内时， I_{CC} 的值有可能比规格值大几个数量级。输入的图腾柱结构的 N 沟道和 P 沟道的 2 个晶体管为 ON 状态，形成 V_{CC} 到 GND 的电流路径。此电流在 $I_{CC}-V_{IN}$ 特性中表现为 I_{CC} 的增量。如果输入变为 V_{CC} 电位或者 GND 电位，就无法导通输入结构。在测试 I_{CC} 时，基本上将全部输入引脚连接到 V_{CC} 或者 GND。如果输入产生浮动，通常的输入电压就会在过渡区的中间浮动，并且输入结构中会流入比被测（通过测试设备）器件的实际 I_{CC} 大几个数量级的电流。

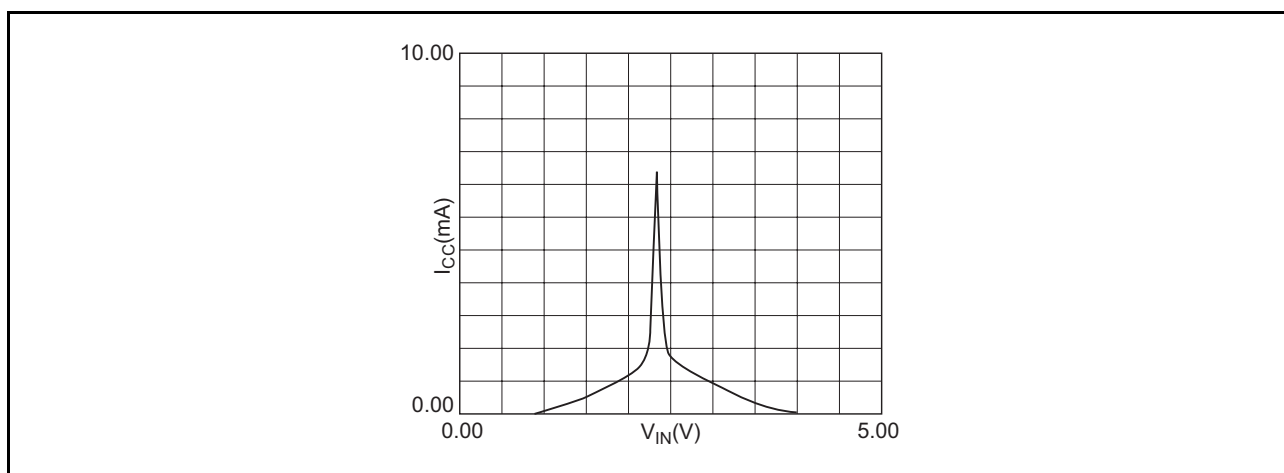


图 17 $I_{CC}-V_{IN}$

在测试 CMOS 结构 '245 的 I_{CC} 时，因测试方法也会引起问题。

'245 的 I/O 引脚结构如下图所示。

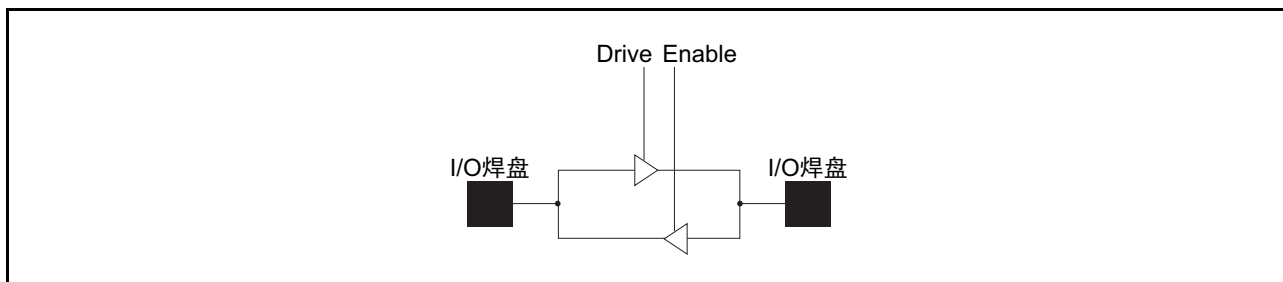


图 18 '245 的 I/O 结构

各 I/O 引脚分别连接 1 个输入器件和 1 个输出器件。将此引脚视为有输入、输出或者禁止状态的输出 3 种状态，但是实际上只存在 2 种状态。

此引脚为输入引脚或者输出引脚。在测试 I_{CC} 时，对于通过 T/R 输入引脚选择为输出的引脚，在允许的状态下，应设置为开路；在禁止的状态下，应固定为 V_{CC} 或者 GND。

如果输出器件被置为禁止状态并且处于浮动状态，输入器件也变为浮动状态，过大的电流从 V_{CC} 流入 GND。

应遵守的简单规则是：将被禁止的输出引脚全部用作输入引脚，这有利于保证 I_{CC} 测试的正确性。

另外，还有 I/O 引脚的漏电流测试等其他问题。I/O 引脚的内部结构如下所示。

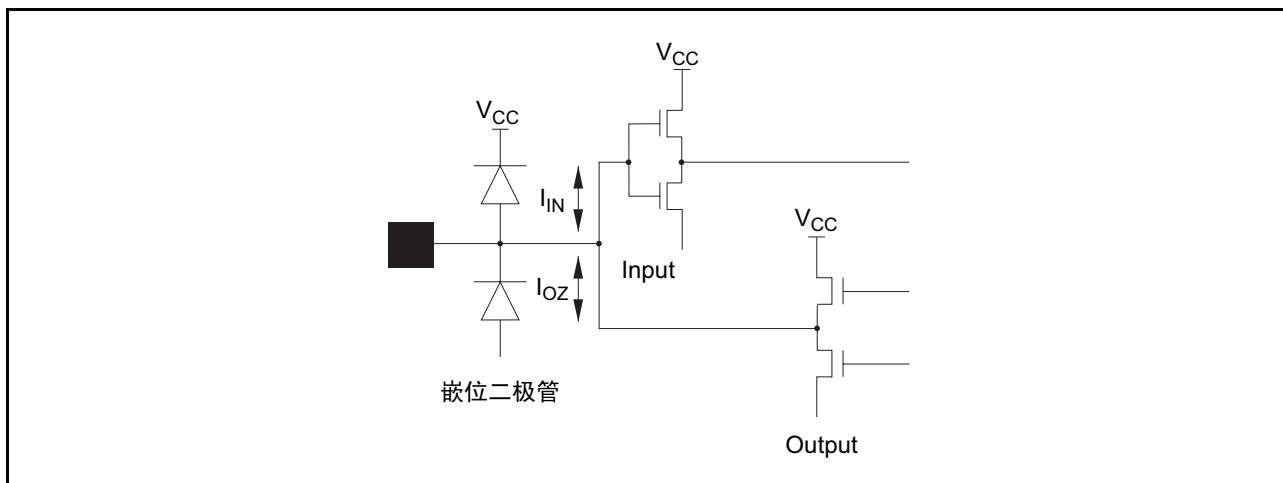


图 19 引脚的输入结构

此引脚在内部连接了输入器件和输出器件。漏电流测试的极限值应为输入的 I_{IN} 规格值和输出的 I_{OZ} 规格值之和。对 FACT 规定了 I_{IN} 规格值为 $\pm 1\mu A$ ， I_{OZ} 规格值为 $\pm 5\mu A$ ，I/O 引脚的极限值为这 2 个值的和 $\pm 6\mu A$ 。通常，I/O 引脚的漏电流只小于输出的 I_{OZ} 规格值。

测试 CMOS 电路并不比测试双极型电路困难，但是对于开始接触 CMOS 的测试工程师来说，也是一个新的研究领域。

如果在建立测试方法的基本方针前充分地理解这些领域，就能防止以后可能产生的问题。

13. 传输线条件下的三态输出禁止时间的测试

在禁止输入的50%点到输出的10%点或者90%点测试三态缓冲器的禁止时间。在试验台试验中，负载电容和上拉/下拉电阻产生了输出波形。此电路表示RC充放电的曲线。

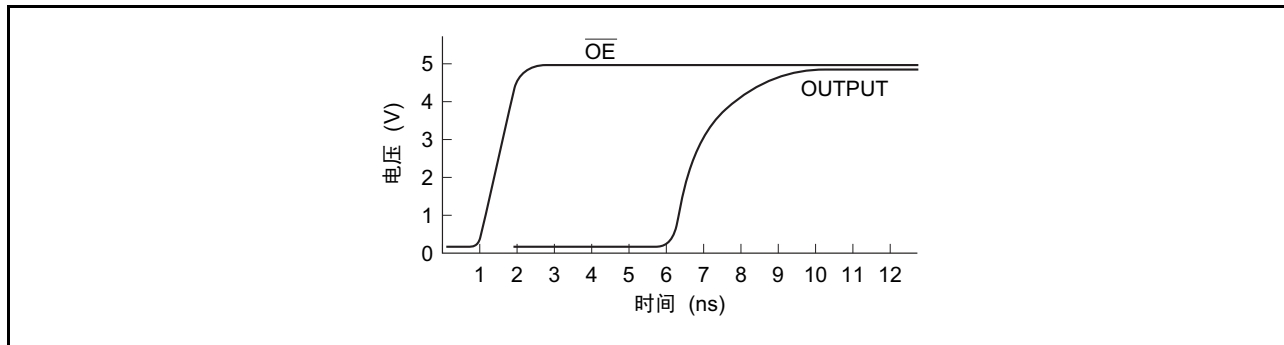


图20 典型试验台试验 三态波形

在测试ATE (Auto Test Equipment) 时，一般无法再现试验台试验的结构。ATE测试负载是通常的可编程负载，并且因远离实际的器件而不同。

一般使用的测试负载是惠斯通电桥。在一般的测试系统中，用于再现试验台试验负载的惠斯通电桥测试结构如下图所示。

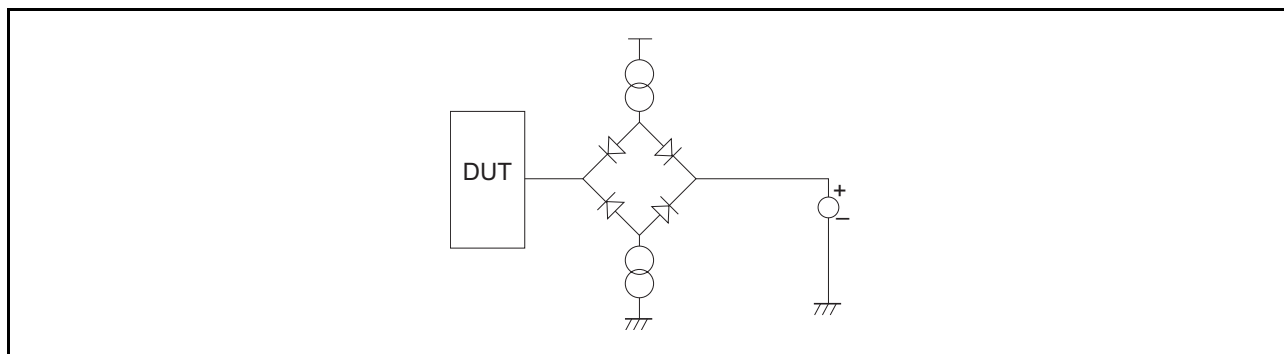


图21 惠斯通电桥的试验负载

电压源提供上拉/下拉电压，电流源提供 I_{OH} 和 I_{OL} 。

当通过ATE负载测试具有低速输出压摆率的器件时，得到的波形和试验台试验波形非常相似，所以两者密切相关。但是，在测试具有高速输出压摆率的器件时，会得到不同的结果：测试设备的测试结果和试验台试验结果很难取得关联。此不同点是由测试设备的传输线特性引起的。

在大部分的禁止测试中，电流先流过输出结构。通常，此电流值在5mA~20mA之间。

然后，禁止被测的器件DUT，并且检测比较器的输出为10%或者90%的电平。

考虑通过传输线连接DUT和比较器的情况，如果将器件的输出视作一个开关，就容易观察到此影响。

首先，电流流过线路，然后开关接通。器件端的反射系数从0变为1，产生反向流过（和开关接通前流过线路的电流等量）线路的电流边沿。此电流波形在线路上传播，和测试设备负载的高阻抗发生冲突。因此，此波形朝着DUT被反射回来。在达到测试设备负载的外加电压前，此电流波形在传输线中会持续地反射。此时，电流供给源的阻抗降低并消耗电流。

最新ATE中的典型波形如图22所示。

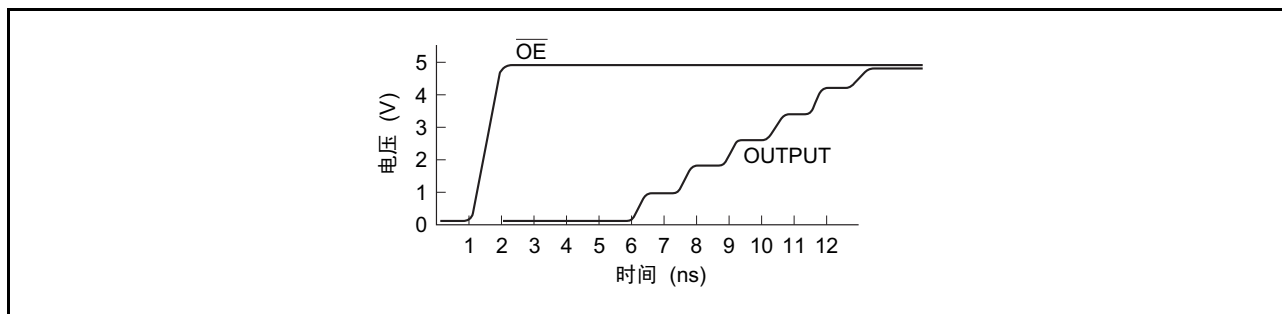


图22 典型ATE 三态波形

在此传输线的理论中，电流波形的电压电平为线路上的电流值和线路阻抗的积。

在电流为5mA，阻抗为50~60Ω的情况下，电压阶梯会减小到约250mV。

如果比较器被编程到10%点，则比较器在 $V_{CC}=5.5V$ 时需要寻找550mV的阶梯。

在比较器检测到550mV的电平前，需要进行3次电流脉冲的反射。

虽然器件已经满足规格的要求，但是由于此ATE传输线条件下的附加延迟时间，在用户的验货时会发生不良。

此阶梯波如图23所示。

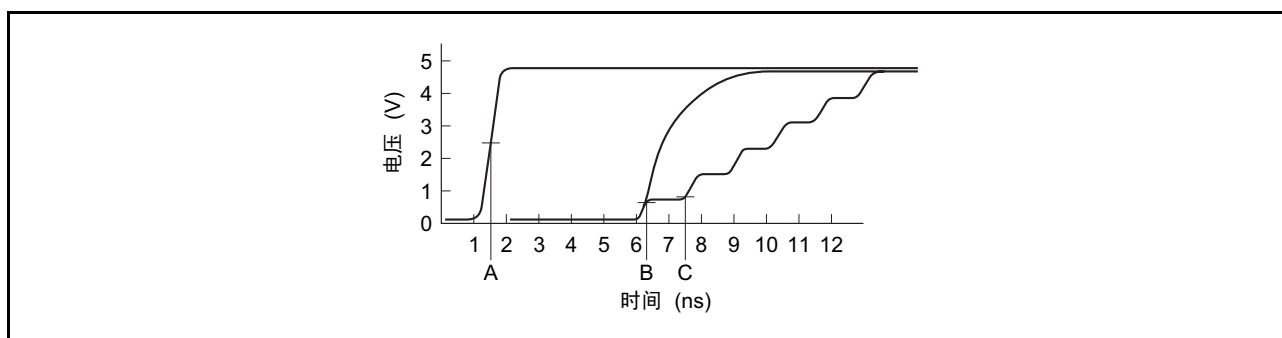


图23 测试中的阶梯波

点A表示测试设备驱动波形的50%测试点。

点B表示使用试验台试验夹具测试延迟时间的测试点。

点C表示能使用ATE夹具测试延迟时间的测试点。

根据测试设备设置的电压电平，使用ATE夹具测试的延迟时间和使用试验台试验夹具测试的值大有不同。

如果测试设备的电压电平接近于输出波形处于平坦时的电压电平，测试结果的再现性就会变差。

修订记录

Rev.	发行日	修订内容	
		页	修订处
1.00	2008.03.25	—	初版发行

Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human life

Renesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的，特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
 - 1) 生命维持装置。
 - 2) 植埋于人体使用的装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要求在顾客制造的最最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。