

# RAファミリ ハードウェアマニュアルガイド (電気的特性編)

2026/4

ルネサスエレクトロニクス株式会社  
エンベデッドプロセッシングプロダクトグループ  
エンベデッドプロセッシング事業部  
プロダクトマーケティング第一部

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因してまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev. 5.0-1 2020.10)

# DC特性

# タイミング条件

## 53. 電気的特性

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- $VCC = AVCC0 = VCC\_USB = VBATT = 2.7 \sim 3.6 \text{ V}$ ,  $VCC\_USBHS = AVCC\_USBHS = 3.0 \sim 3.6 \text{ V}$
- $2.7 \leq VREFH0/VREFH \leq AVCC0$
- $VSS = AVSS0 = VREFL0/VREFL = VSS\_USB = VSS1\_USBHS = VSS2\_USBHS = AVSS\_USBHS = PVSS\_USBHS = 0 \text{ V}$
- $T_a = T_{opr}$

図 53.1 は、タイミング条件を示しています。

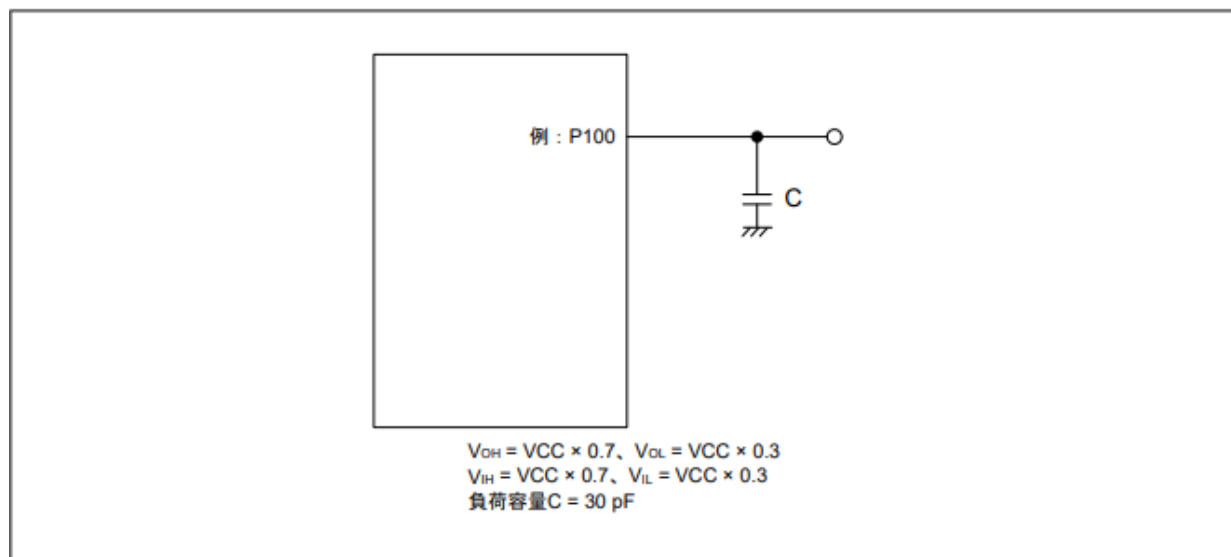


図 53.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

本マニュアル記載のAC特性は本条件下での保証値です。本条件を逸脱した場合、AC特性は保証できません。

# 絶対最大定格

絶対最大定格は、マイコンが「永久破壊」とならない範囲を示すものであり、安定動作を保証するものではありません。

## 53.1 絶対最大定格

表 53.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	VCC, VCC_USB <sup>(注2)</sup>	-0.3~+4.0	V
VBATT 電源電圧	VBATT	-0.3~+4.0	V
入力電圧 (5 Vトレラントポートを除く <sup>(注1)</sup> )	V <sub>in</sub>	-0.3~VCC+0.3	V
入力電圧 (5 Vトレラントポート <sup>(注1)</sup> )	V <sub>in</sub>	-0.3 ~ + VCC + 4.0 (最大 5.8)	V
リファレンス電源電圧	VREFH/VREFH0	-0.3~VCC+0.3	V
USBHS 電源電圧	VCC_USBHS	-0.3~+4.0	V
USBHS アナログ電源電圧	AVCC_USBHS	-0.3~+4.0	V
アナログ電源電圧	AVCC0 <sup>(注2)</sup>	-0.3~+4.0	V
アナログ入力電圧	V <sub>AN</sub>	-0.3~AVCC0+0.3	V
動作温度 <sup>(注3)</sup> (注4)	T <sub>opr</sub>	-40~+105	°C
保存温度	T <sub>stg</sub>	-55~+125	°C

永久破壊を防ぐ電源電圧範囲です。

各端子における、永久破壊とならない入力電圧範囲です。  
(最大)の条件は、VCCまたはAVCCが推奨動作条件 min以上の場合に有効です。

永久破壊を防ぐ周囲温度範囲です。

チップを動作させていないときの保管可能な温度範囲です。

注 1. 1ポート P205、P206、P400、P401、P407~P415、P511、P512、P708~P713 は、5 Vトレラント対応ポートです。

注 2. AVCC0 および VCC\_USB を VCC に接続してください。

注 3. 「53.2.1. Tj/Ta の定義」を参照してください。

注 4. Ta = +85°C~+105°Cの場合のディレーティング動作については、弊社営業窓口までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

注釈は、電気特性項目に対する補足情報です。  
正しくお使いになるためには、こちらの条件も確認いただく必要があります。

# 推奨動作条件

推奨動作条件は、マイコンがACスペックを保証し、安定動作できる条件になります。

表 53.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC	USB/USBHS 未使用時	2.7	—	3.6	V
		USB/USBHS 使用時	3.0	—	3.6	V
	VSS	—	0	—	V	
USB 電源電圧	VCC_USB、VCC_USBHS	—	VCC	—	V	
	VSS_USB、AVSS_USBHS、PVSS_USBHS、VSS1_USBHS、VSS2_USBHS	—	0	—	V	
VBATT 電源電圧	VBATT	1.65 <sup>(注2)</sup>	—	3.6	V	
アナログ電源電圧	AVCC0 <sup>(注1)</sup>	—	VCC	—	V	
	AVSS0	—	0	—	V	

注 1. AVCC0 を VCC に接続してください。A/D コンバータおよび D/A コンバータを使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS にそれぞれ接続してください。

注 2. 低 CL 水晶発振子は VBATT = 1.8 V 未満では使用できません。

# DC特性

表 53.4 I/O  $V_{IH}$ ,  $V_{IL}$  (2/2)

項目			シンボル	Min	Typ	Max	単位
シュミットトリガ入力電圧	周辺機能端子	IIC (SMBus を除く)	$V_{IH}$	$VCC \times 0.7$	—	$VCC + 3.6$ (最大 5.8)	V
			$V_{IL}$	—	—	$VCC \times 0.3$	
			$\Delta V_T$	$VCC \times 0.05$	—	—	
		CEC	$V_{IH}$	2.0	—	—	
			$V_{IL}$	—	—	0.8	
			$\Delta V_T$	—	0.4	—	
		5 V トレラントポート (注1)(注5)	$V_{IH}$	$VCC \times 0.8$	—	$VCC + 3.6$ (最大 5.8)	
			$V_{IL}$	—	—	$VCC \times 0.2$	
			$\Delta V_T$	$VCC \times 0.05$	—	—	
	RTCIC0、RTCIC1、RTCIC2	バッテリーバックアップ機能使用時	VBATT 電源選択時	$V_{IH}$	$V_{BATT} \times 0.8$	—	$V_{BATT} + 0.3$
				$V_{IL}$	—	—	$V_{BATT} \times 0.2$
				$\Delta V_T$	$V_{BATT} \times 0.05$	—	—
		VCC 電源選択時	$V_{IH}$	$VCC \times 0.8$	—	高電位側は $VCC + 0.3$ V もしくは $V_{BATT} + 0.3$ V	
			$V_{IL}$	—	—	$VCC \times 0.2$	
			$\Delta V_T$	$VCC \times 0.05$	—	—	
バッテリーバックアップ機能非使用時	$V_{IH}$	$VCC \times 0.8$	—	$VCC + 0.3$			
	$V_{IL}$	—	—	$VCC \times 0.2$			
	$\Delta V_T$	$VCC \times 0.05$	—	—			
その他の入力端子 (注2)	$V_{IH}$	$VCC \times 0.8$	—	—			
	$V_{IL}$	—	—	$VCC \times 0.2$			
	$\Delta V_T$	$VCC \times 0.05$	—	—			
ポート	5 V トレラントポート (注3)(注5)	$V_{IH}$	$VCC \times 0.8$	—	$VCC + 3.6$ (最大 5.8)	V	
		$V_{IL}$	—	—	$VCC \times 0.2$		
	その他の入力端子 (注4)	$V_{IH}$	$VCC \times 0.8$	—	—		
		$V_{IL}$	—	—	$VCC \times 0.2$		

$\Delta V_T$ が明記されていない端子は、ヒステリシス幅を持つことを保証しておらず、 $V_{IHmin}$ 以上であればHighと認識すること、 $V_{ILmax}$ 以下であればLowと認識することのみの保証となります。

# DC特性

## 53.2.3 I/O $I_{OH}$ , $I_{OL}$

$I_{OH}$ (Highレベル許容出力電流)は、MCUから外部に電流を吐き出した時の値となります。

$I_{OL}$ (Lowレベル許容出力電流)は、外部から電流を引き込んだ時の値となります。

表 53.5 I/O  $I_{OH}$ ,  $I_{OL}$  (1/2)

項目		シンボル	Min	Typ	Max	単位			
許容出力電流 (端子ごとの平均値)	ポート P000~P010, P014, P015, P201	$I_{OH}$	—	—	-2.0	mA			
		$I_{OL}$	—	—	2.0	mA			
	ポート P205, P206, P407~P415, P708~P713, PB01 (合計 18 端子)	低駆動(注1)	$I_{OH}$	—	—	-2.0	mA		
			$I_{OL}$	—	—	2.0	mA		
		中駆動(注2)	$I_{OH}$	—	—	-4.0	mA		
			$I_{OL}$	—	—	4.0	mA		
		高駆動(注3)	$I_{OH}$	—	—	-20	mA		
			$I_{OL}$	—	—	20	mA		
	ポート P100~P107, P208~P211, P214, P600, P601 (合計 15 端子)	低駆動(注1)	$I_{OH}$	—	—	-2.0	mA		
			$I_{OL}$	—	—	2.0	mA		
		中駆動(注2)	$I_{OH}$	—	—	-4.0	mA		
			$I_{OL}$	—	—	4.0	mA		
		高駆動(注3)	$I_{OH}$	—	—	-16	mA		
			$I_{OL}$	—	—	16	mA		
		高速高駆動(注4)	$I_{OH}$	—	—	-20	mA		
			$I_{OL}$	—	—	20	mA		
			その他の出力端子(注5)	低駆動(注1)	$I_{OH}$	—	—	-2.0	mA
					$I_{OL}$	—	—	2.0	mA
		中駆動(注2)	$I_{OH}$	—	—	-4.0	mA		
			$I_{OL}$	—	—	4.0	mA		
高駆動(注3)	$I_{OH}$	—	—	-16	mA				
	$I_{OL}$	—	—	16	mA				

MCU駆動時間に対する平均電流です。  
(例)各々同じ時間軸で1mA、2mA、3mAを出力する場合、 $6\text{mA}/3 = \text{平均 } 2\text{mA}$ となります。

# DC特性

表 53.5 I/O  $I_{OH}$ ,  $I_{OL}$  (2/2)

項目		シンボル	Min	Typ	Max	単位
許容出力電流 (端子ごとの最大値)	ポート P000~P010, P014, P015, P201	—	$I_{OH}$	—	—	-4.0 mA
			$I_{OL}$	—	—	4.0 mA
	ポート P205, P206, P407~P415, P708~P713, PB01 (合計 18 端子)	低駆動(注1)	$I_{OH}$	—	—	-4.0 mA
			$I_{OL}$	—	—	4.0 mA
		中駆動(注2)	$I_{OH}$	—	—	-8.0 mA
			$I_{OL}$	—	—	8.0 mA
		高駆動(注3)	$I_{OH}$	—	—	-40 mA
			$I_{OL}$	—	—	40 mA
	ポート P100~P107, P208~P211, P214, P600, P601 (合計 15 端子)	低駆動(注1)	$I_{OH}$	—	—	-4.0 mA
			$I_{OL}$	—	—	4.0 mA
		中駆動(注2)	$I_{OH}$	—	—	-8.0 mA
			$I_{OL}$	—	—	8.0 mA
高駆動(注3)		$I_{OH}$	—	—	-32 mA	
		$I_{OL}$	—	—	32 mA	
高速高駆動(注4)		$I_{OH}$	—	—	-40 mA	
		$I_{OL}$	—	—	40 mA	
その他の出力端子(注5)	低駆動(注1)	$I_{OH}$	—	—	-4.0 mA	
		$I_{OL}$	—	—	4.0 mA	
	中駆動(注2)	$I_{OH}$	—	—	-8.0 mA	
		$I_{OL}$	—	—	8.0 mA	
	高駆動(注3)	$I_{OH}$	—	—	-32 mA	
		$I_{OL}$	—	—	32 mA	
許容出力電流 (全端子合計の最大値)	全出力端子の最大値	$\Sigma I_{OH}$ (max)	—	—	-80 mA	
		$\Sigma I_{OL}$ (max)	—	—	80 mA	

1端子に流せる最大電流値です。  
これを超えると信頼性確保が出来なくなります。

MCUの全出力端子の合計電流値です。

# DC特性

## 53.2.4 I/O $V_{OH}$ 、 $V_{OL}$ 、その他の特性

表 53.6 I/O  $V_{OH}$ 、 $V_{OL}$ 、その他の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC	$V_{OL}$	—	—	0.4	V	$I_{OL} = 3.0 \text{ mA}$
		$V_{OL}$	—	—	0.6		$I_{OL} = 6.0 \text{ mA}$
	IIC(注1)	$V_{OL}$	—	—	0.4		$I_{OL} = 15.0 \text{ mA}$ (ICFER_FMPE = 1)
		$V_{OL}$	—	0.4	—		$I_{OL} = 20.0 \text{ mA}$ (ICFER_FMPE = 1)
	ETHERC	$V_{OH}$	$VCC - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
		$V_{OL}$	—	—	0.4		$I_{OL} = 1.0 \text{ mA}$
	CEC	$V_{OL}$	—	—	0.6		$I_{OL} = 2.1 \text{ mA}$
	ポート P205、P206、P407~ P415、P708~P713、PB01 (合計 18 端子) (注2)	$V_{OH}$	$VCC - 1.0$	—	—		$I_{OH} = -20 \text{ mA}$ $VCC = 3.3 \text{ V}$
		$V_{OL}$	—	—	1.0		$I_{OL} = 20 \text{ mA}$ $VCC = 3.3 \text{ V}$
	その他の出力端子	$V_{OH}$	$VCC - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
$V_{OL}$		—	—	0.5	$I_{OL} = 1.0 \text{ mA}$		
入力リーク電流	RES	$ I_{in} $	—	—	5.0	$\mu\text{A}$	$V_{in} = 0 \text{ V}$ $V_{in} = 5.5 \text{ V}$
	ポート P200		—	—	1.0		$V_{in} = 0 \text{ V}$ $V_{in} = VCC$
	スリーステートリーク電流 (オフ状態)	5Vトレラントポート	$ I_{tsil} $	—	—		5.0
	その他のポート (P200を除く)		—	—	1.0	$V_{in} = 0 \text{ V}$ $V_{in} = VCC$	
入力プルアップMOS電流	ポート P0~PB	$I_p$	-300	—	-10	$\mu\text{A}$	$VCC = 2.7 \sim 3.6 \text{ V}$ $V_{in} = 0 \text{ V}$
入力容量	ポート P014、P015	$C_{in}$	—	—	16	$\text{pF}$	$V_{bias} = 0 \text{ V}$ $V_{amp} = 20 \text{ mV}$ $f = 1 \text{ MHz}$ $T_a = 25 \text{ }^\circ\text{C}$
	USB_DP および USB_DM		—	—	12		
	USBHS_DP、USBHS_DM、および ポート P400、P401、P511、P512		—	—	10		
	その他の入力端子		—	—	8		

記載していない条件下での情報に関しては、IBISモデルでの確認をお願いいたします。

上記「入力リーク電流」に記載の端子以外のリーク電流に関してはこちらをご確認ください。  
なお、オフ状態とはハイインピーダンス状態を指します。

内蔵プルアップ抵抗値はここから算出願います。

$$\text{プルアップ抵抗} = \text{ご使用の電圧} \div I_p$$

注 1. SCL0\_A、SDA0\_A、SCL1\_A、SDA1\_A (合計 4 端子)。  
注 2. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。  
選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

# DC特性

BGOを除く全機能動作時の消費電流です。

BGOを除き、かつモジュールストップコントロールレジスタに示すモジュールにクロック供給/停止した際の消費電流です。

各モードにおける消費電流値になります。その際の状態は消費電力低減機能をご参照下さい。以下はRA6M5の例です。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
遷移条件	次の状態で WFI 命令 SDBYCR.SSDBY = 0	次の状態で WFI 命令 SDBYCR.SSDBY = 1 および DPSBYCR.DPSBY = 0	ソフトウェアスタンバイモードに 移行するスヌーズ要求トリガ SNZCR.SNZE = 1	次の状態で WFI 命令 SDBYCR.SSDBY = 1 および DPSBYCR.DPSBY = 1
解除方法	すべての割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	リセット状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能(注3)	停止
サブクロック発振器	選択可能	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能	停止
中速オンチップオシレータ	選択可能	停止	選択可能	停止
低速オンチップオシレータ	選択可能	選択可能	選択可能	選択可能(注3)
WDT 専用オンチップオシレータ	選択可能(注1)	選択可能(注1)	選択可能(注1)	停止

ディープソフトウェアスタンバイモードから復帰したときの瞬間的な消費電流です。一時的に定常電流値を超えた電流(インラッシュカレント)が流れます。

## 53.2.5 動作電流とスタンバイ電流

表 53.7 動作電流とスタンバイ電流 (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件				
消費電流(注1) High-speed モード	最大動作(注2)	I <sub>CC</sub> (注3)	—	—	143	ICLK = 200 MHz PCLKA = 100 MHz PCLKB = 50 MHz PCLKC = 50 MHz PCLKD = 100 MHz FCLK = 50 MHz BCLK = 100 MHz				
							最大動作 (USBHS なし)	—	—	130
	CoreMode(注5)(注6)	—	22	—	—					
	通常モード	—	32	—	—					
	すべての周辺クロックが有効、(1)コードはフラッシュから実行(注4)	—	—	—	—					
	すべての周辺クロックが無効、(1)コードはフラッシュから実行(注5)(注6)	—	18	—	—					
	スリープモード(注5)(注6)	—	44	55	—					
	BGO 動作時の増加分	—	6	—	—					
	データフラッシュ P/E	—	8	—	—					
	コードフラッシュ P/E	—	—	—	—					
Low-speed モード(注5)(注9)	—	1.9	—	—	ICLK = 1 MHz					
Subosc-speed モード(注5)(注10)	—	1.7	—	—	ICLK = 32.768 kHz					
ソフトウェアスタンバイモード	SNZCR.RXDREQEN = 1	—	—	40	—					
SNZCR.RXDREQEN = 0	—	2.1	—	—	—					
ディープソフトウェアスタンバイモード	スタンバイ SRAM、USB レジューム検出部への電源供給あり	I <sub>CC</sub>	—	16.9	131	—				
							SRAM、USB レジューム検出部への電源供給なし	—	11.8	33.7
	RTC、AGT 動作中に増加	低消費電力機能無効	—	4.8	23.8					
		低消費電力機能有効	—	4.5	—					
低消費電力機能無効	—	1.2	—	—	—					
低消費電力機能有効	—	1.5	—	—	—					
VCC オフ時の RTC 動作 (バッテリバックアップ機能により、RTC、サブクロック発振器のみ動作)	I <sub>CC</sub>	—	—	0.9	—	V <sub>BATT</sub> = 1.8 V、 VCC = 0 V				
						低 CL 水晶発振器使用時	—	1.3	—	V <sub>BATT</sub> = 3.3 V、 VCC = 0 V
						標準 CL 水晶発振器使用時	—	1.1	—	V <sub>BATT</sub> = 1.8 V、 VCC = 0 V
ディープソフトウェアスタンバイモードからの復帰時のインラッシュカレント	I <sub>RUSH</sub>	—	160	—	mA	V <sub>BATT</sub> = 3.3 V、 VCC = 0 V				
	E <sub>RUSH</sub>	—	1.0	—	μC	V <sub>BATT</sub> = 3.3 V、 VCC = 0 V				

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

動作電力制御モード時の消費電流です。

Typ/maxの相違は、温度と製造バラつきなどにより発生します。特に温度に依存します。

RTC動作時の消費電流値です。各モードにおけるRTC動作時の消費電流は、この値を加算して求めてください。

# DC特性

アナログ電源 電流	12ビット A/D 変換中		Alcc	—	0.8	1.1	mA	—
	温度センサ			—	0.1	0.2	mA	—
	D/A 変換中 (1ユニット当り)	AMP 出力なし		—	0.1	0.2	mA	—
		AMP 出力あり		—	0.6	1.1	mA	—
	A/D、D/A 変換待機時 (全ユニット)			—	0.9	1.6	mA	—
	スタンバイモードの ADC12、DAC12 (全ユニット) (注8)			—	2	8	μA	—

ADC12による変換中の消費電流です。  
下記の図に示すタイミングで適用されます。

ADC12、DAC12、および温度センサ  
を動作させるときのアナログ電源消費  
電流です。

ADC12、DAC12による変換待機中の消費電  
流です。  
下記の図に示すタイミングで適用されます。

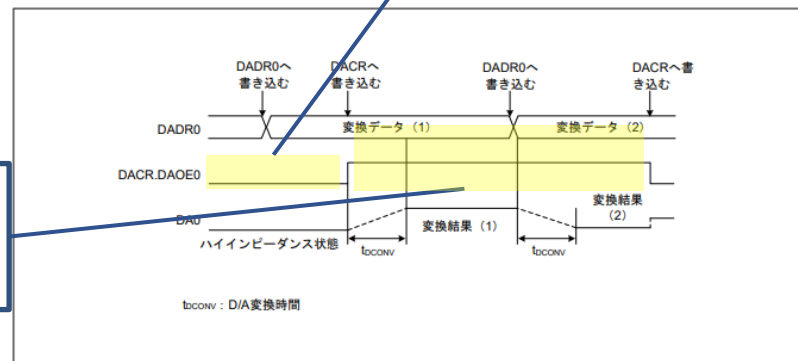


図 44.2 DAC12 の動作例

DAC12による変換中の消費電流です。  
下記の図に示すタイミングで適用され  
ます。

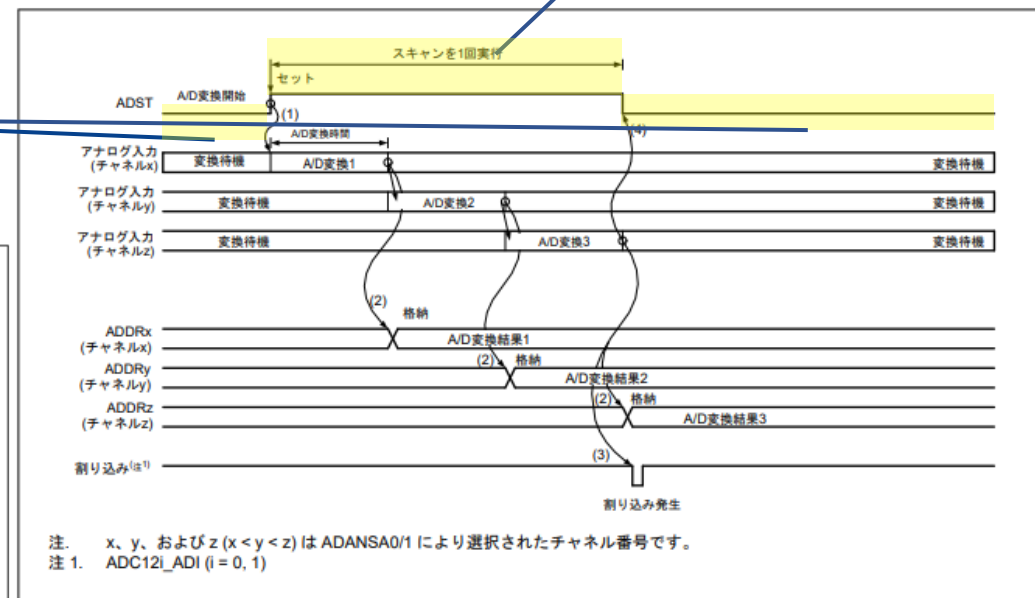


図 43.8 シングルスキャンモードの基本動作例 (アナログ入力 (チャネル x~z) 選択)

# DC特性

表 53.8 Coremark および通常モード電流

項目			シンボル	Typ	単位	測定条件
消費電流(注1)	Coremark 動作		I <sub>CC</sub>	107	μA/MHz	ICLK = 200 MHz PCLKA = PCLKB = PCLKC = PCLKD = FCLK = BCLK = 3.125 MHz
	通常モード	すべての周辺クロックが無効、キャッシュはオン、(1)コードはフラッシュから実行(注2)		104		
		すべての周辺クロックが無効、キャッシュはオフ、(1)コードはフラッシュから実行(注2)		87		

EEMBC規定のCoremarkプログラムを実行したときの消費電流です。  
消費電流の大部分はCPUの動作によるものです。

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

# DC特性

## 53.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 53.9 VCC 立ち上がり／立ち下がり勾配の特性

項目	シンボル	Min	Typ	Max	単位	測定条件	
VCC 立ち上がり勾配	SrVCC	起動時電圧監視0リセット無効	0.0084	—	20	ms/V	—
		起動時電圧監視0リセット有効	0.0084	—	—	—	—
		SCI/USB ブートモード(注1)	0.0084	—	20	—	—
VCC 立ち下がり勾配(注2)	SrVCC	0.0084	—	—	ms/V	—	

注1. ブートモード時は、OFSrLVDAS ビットの値にかかわらず、電圧監視0からのリセットは無効です。  
 注2. VBATT を使用する場合に適用します。

表 53.10 立ち上がり／立ち下がり勾配とリップル周波数特性

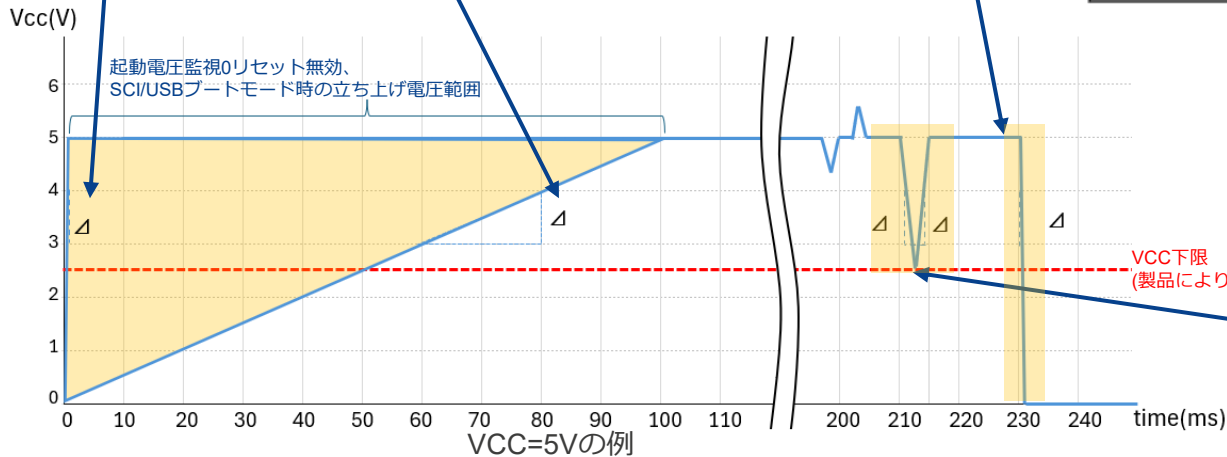
リップル電圧は、VCC 上限 (3.6 V) と下限 (2.7 V) の範囲内で、許容リップル周波数  $f_r(VCC)$  を満たす必要があります。VCC 変動が  $VCC \pm 10\%$  を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配  $dt/dVCC$  を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 53.6 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 53.6 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10	MHz	図 53.6 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

これよりも急激に電源電圧を上昇させた場合は保証範囲外となります。(0.0084ms/V)

これよりも緩慢に電源電圧を上昇させた場合は保証範囲外となります。(20ms/V)

これよりも急激に電源電圧を低下させた場合は保証範囲外となります。  
 (0.0084ms/V)  
 VBATT使用時の急激な電圧低下は、復帰時の不定動作の原因となります。



電源変動 ( $\pm 10\%$  を超える変動) に対する許容可能立ち上がり/立下り勾配です。これよりも急激に電源変動が発生した場合は保証範囲外となります。(1ms/V)

# DC特性

表 53.11 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	100ピン LQFP (PLQP0100KB-B)	θja	35.0	°C/W	JESD 51-2 および 51-7 準拠
	144ピン LQFP (PLQP0144KA-B)		38.0		
	176ピン LQFP (PLQP0176KB-C)		32.3		
	100ピン BGA (PLBG0100KB-A)		36.3		
	144ピン BGA (PLBG0144KB-A)		36.3		
	176ピン BGA (PLBG0176GF-A)		35.4		
	100ピン LQFP (PLQP0100KB-B)	ψjt	0.76	°C/W	JESD 51-2 および 51-7 準拠
	144ピン LQFP (PLQP0144KA-B)		0.63		
	176ピン LQFP (PLQP0176KB-C)		0.48		
	100ピン BGA (PLBG0100KB-A)		0.60		
	144ピン BGA (PLBG0144KB-A)		0.60		JESD 51-2 および 51-9 準拠
	176ピン BGA (PLBG0176GF-A)		0.52		

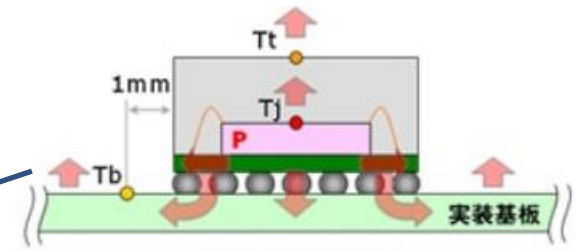
JEDEC規格に則った熱抵抗を記載しております。  
詳細は以下をご参照下さい。  
<放熱のメカニズム | Renesas>

$$\theta_{ja} = (T_j - T_a) / P$$

$$\psi_{jt} = (T_j - T_t) / P$$

注 1. 値は、4層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC規格を参照してください。

Tjの算出方法については、[次頁](#)をご参照下さい。



様々な経路で放熱  
Ta:発熱源の影響を受けない場所の温度

# DC特性

## 53.2.7.2 $T_j$ の計算例

前提事項：

- パッケージ 176 ピン LQFP:  $\theta_{ja} = 32.3^\circ\text{C}/\text{W}$
- $T_a = 100^\circ\text{C}$
- $I_{CC\text{max}} = 70 \text{ mA}$
- $V_{CC} = 3.5 \text{ V}$  ( $V_{CC} = AV_{CC0} = AV_{CC\_USBHS} = V_{CC\_USB} = V_{CC\_USBHS}$ )
- $I_{OH} = 1 \text{ mA}$ 、 $V_{OH} = V_{CC} - 0.5 \text{ V}$ 、12 出力
- $I_{OL} = 20 \text{ mA}$ 、 $V_{OL} = 1.0 \text{ V}$ 、8 出力
- $I_{OL} = 1 \text{ mA}$ 、 $V_{OL} = 0.5 \text{ V}$ 、12 出力
- $C_{in} = 8 \text{ pF}$ 、32 ピン、入力周波数 = 10 MHz
- $C_{load} = 30 \text{ pF}$ 、32 ピン、出力周波数 = 10 MHz

$$\begin{aligned} \text{IO のリーク電流} &= \Sigma (V_{OL} \times I_{OL}) / \text{電圧} + \Sigma ((V_{CC} - V_{OH}) \times I_{OH}) / \text{電圧} \\ &= (20 \text{ mA} \times 1 \text{ V}) \times 8 / 3.5 \text{ V} + (1 \text{ mA} \times 0.5 \text{ V}) \times 12 / 3.5 \text{ V} + ((V_{CC} - (V_{CC} - 0.5 \text{ V})) \times 1 \text{ mA}) \times 12 / 3.5 \text{ V} \\ &= 45.7 \text{ mA} + 1.71 \text{ mA} + 1.71 \text{ mA} \\ &= 49.1 \text{ mA} \end{aligned}$$

$$\begin{aligned} \text{IO のダイナミック電流} &= \Sigma \text{IO} (C_{in} + C_{load}) \times \text{IO のスイッチング周波数} \times \text{電圧} \\ &= ((8 \text{ pF} \times 32) \times 10 \text{ MHz} + (30 \text{ pF} \times 32) \times 10 \text{ MHz}) \times 3.5 \text{ V} \\ &= 42.6 \text{ mA} \end{aligned}$$

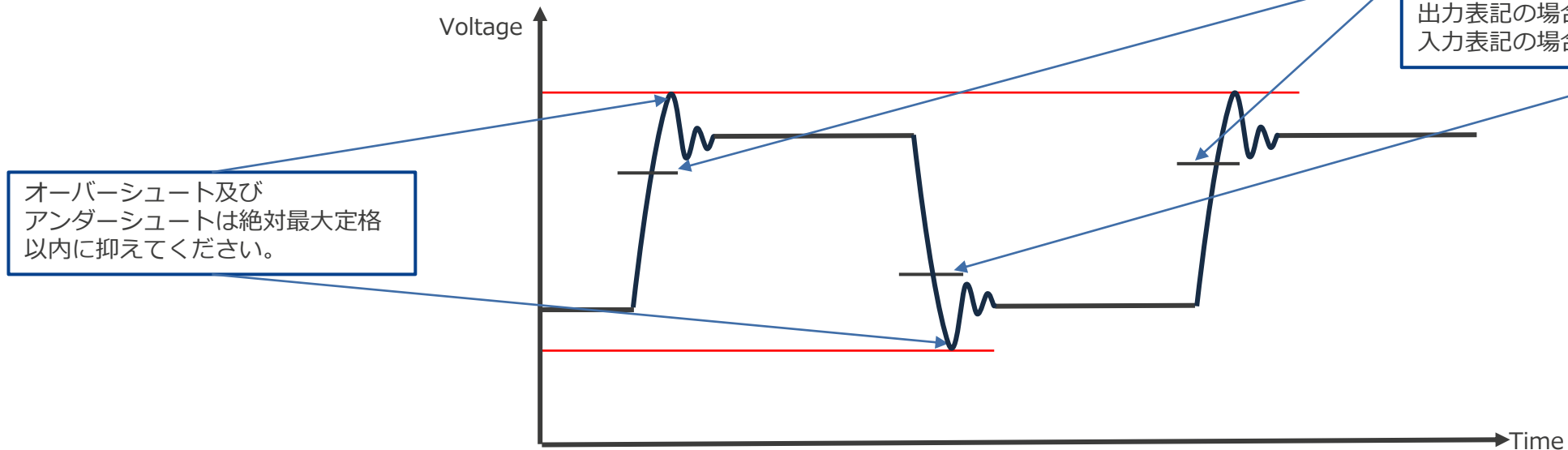
$$\begin{aligned} \text{総消費電力} &= \text{電圧} \times (\text{リーク電流} + \text{ダイナミック電流}) \\ &= (70 \text{ mA} \times 3.5 \text{ V}) + (49.1 \text{ mA} + 42.6 \text{ mA}) \times 3.5 \text{ V} \\ &= 566 \text{ mW} (0.566 \text{ W}) \end{aligned}$$

$$\begin{aligned} T_j &= T_a + \theta_{ja} \times \text{総消費電力} \\ &= 100^\circ\text{C} + 32.3^\circ\text{C}/\text{W} \times 0.566 \text{ W} \\ &= 118.7^\circ\text{C} \end{aligned}$$

# AC特性およびその他特性

# 前提条件：

## 1. ACスペック章図中の表記について



表記中の横線の基点は、基本的に以下となります。  
\*表現の異なる場合、個別に記載いたします。

出力表記の場合：VOHまたはVOL  
入力表記の場合：VIHまたはVIL

オーバーシュート及びアンダーシュートは絶対最大定格以内に抑えてください。

ACスペック図中の表記例

## 2. ACスペック章におけるクロック表記について

製品によっては、クロックの表記を省略して記載している箇所があります。正確なクロック名称に関しては、ハードウェアマニュアルのクロック章をご参照願います。

例：ACスペック章表記：PCLK クロック章表記：PCLKB  
ACスペック章表記：ADCLK クロック章表記：PCLKD

# AC特性 (クロックタイミング)

発振子の発振が安定するまでの時間です。  
本値は発振子メーカーによるマッチング評価  
に沿った値になります。

LOCOを発振動作(LOCOCR.LCSTP=0)に  
してから発振が安定するまでの時間です。  
本表での条件下では最大60.4usかかります。

HOCOの発振周波数は、複数の中から選択で  
きる製品があります。本電特の場合、  
16/18/20MHzの発振周波数から選択できま  
す。また、本表では各々の発振周波数での誤  
差を現しています。

また、測定条件に温度特性がありますので、  
ご注意ください。

本値による精度は以下になります。

発振周波数 (MHz)	誤差 (Ta=-20~105°C)	誤差 (Ta=-40~-20°C)
16	±2.4375%	±3%
18	±2.44%	±3%
20	±2.4 %	±3%

ピリオドジッタは、クロック周期の時間的  
なばらつきの指標を示します。

表 53.17 サブクロック発振器以外のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
EBCLK 端子出力サイクル時間	t <sub>Bcyc</sub>	20	—	—	ns	図 53.7	
EBCLK 端子出力 High レベルパルス幅	t <sub>CH</sub>	3.3	—	—	ns		
EBCLK 端子出力 Low レベルパルス幅	t <sub>CL</sub>	3.3	—	—	ns		
EBCLK 端子出力立ち上がり時間	t <sub>Cr</sub>	—	—	5.0	ns		
EBCLK 端子出力立ち下がり時間	t <sub>Cf</sub>	—	—	5.0	ns		
EXTAL 外部クロック入力サイクル時間	t <sub>EXcyc</sub>	41.66	—	—	ns	図 53.8	
EXTAL 外部クロック入力 High レベルパルス幅	t <sub>EXH</sub>	15.83	—	—	ns		
EXTAL 外部クロック入力 Low レベルパルス幅	t <sub>EXL</sub>	15.83	—	—	ns		
EXTAL 外部クロック立ち上がり時間	t <sub>EXr</sub>	—	—	5.0	ns		
EXTAL 外部クロック立ち下がり時間	t <sub>EXf</sub>	—	—	5.0	ns		
メインクロック発振器周波数	f <sub>MAIN</sub>	8	—	24	MHz	—	
メインクロック発振安定待機時間 (水晶) (注1)	t <sub>MAINOSCWT</sub>	—	—	—(注1)	ms	図 53.9	
LOCO クロック発振周波数	f <sub>LOCO</sub>	29.4912	32.768	36.0448	kHz	—	
LOCO クロック発振安定待機時間	t <sub>LOCOWT</sub>	—	—	60.4	µs	図 53.10	
ILOCO クロック発振周波数	f <sub>ILOCO</sub>	13.5	15	16.5	kHz	—	
MOCO クロック発振周波数	f <sub>MOCO</sub>	6.8	8	9.2	MHz	—	
MOCO クロック発振安定待機時間	t <sub>MOCOWT</sub>	—	—	15.0	µs	—	
HOCO クロック発振器発振周波数	FLL なし	f <sub>HOCO16</sub>	15.78	16	16.22	MHz	-20 ≤ Ta ≤ 105 °C
		f <sub>HOCO18</sub>	17.75	18	18.25		
		f <sub>HOCO20</sub>	19.72	20	20.28		
		f <sub>HOCO16</sub>	15.71	16	16.29		
		f <sub>HOCO18</sub>	17.68	18	18.32		
		f <sub>HOCO20</sub>	19.64	20	20.36		
	FLL あり	f <sub>HOCO16</sub>	15.960	16	16.040	MHz	-40 ≤ Ta ≤ 105 °C サブクロック周波数精度は、±50 ppm です。
		f <sub>HOCO18</sub>	17.955	18	18.045		
		f <sub>HOCO20</sub>	19.950	20	20.050		
HOCO クロック発振安定待機時間(注2)	t <sub>HOCOWT</sub>	—	—	64.7	µs	—	
HOCO ピリオドジッタ	—	—	±85	—	ps	—	

# AC特性 (クロックタイミング)

PLL周波数シンセサイザの出力クロック周波数範囲です。動作クロックではないのでご注意ください。また、PLL周波数シンセサイザの**入力周波数範囲**は、製品により決まっております<sup>注</sup>ので、併せてご注意ください。

注：ユーザーズマニュアルハードウェア編のクロック発生回路章を参照下さい。

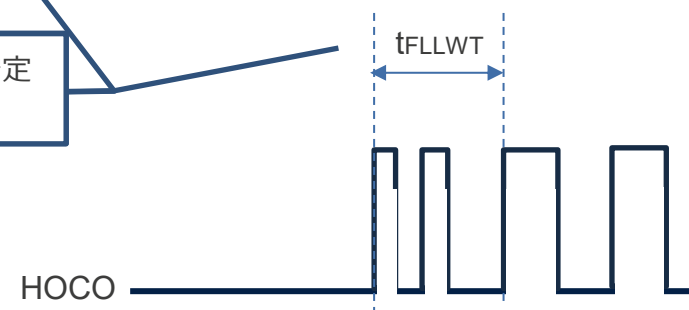
PLLを発振動作(PLLCR, PLLSTP=0)してから発振が安定する(OSCSF, PLLSF=1)までの時間です。本表での条件下では最大174.9usかかります。

クロック周期の時間的なばらつきを指標です。ピリオドジッタは、各周期ごとに前周期の差分を取り、統計的にばらつきを表現します。ロングタームジッタは、理想的なクロック周期と実際のクロック周期の差分からばらつきを表現します。

FLL 安定待機時間	$t_{FLLWT}$	—	—	1.8	ms	—
PLL クロック周波数	$f_{PLL}$	120	—	200	MHz	—
PLL2 クロック周波数	$f_{PLL2}$	120	—	240	MHz	—
PLL/PLL2 クロック発振安定待機時間	$t_{PLLWT}$	—	—	174.9	$\mu$ s	図 53.11
PLL/PLL2 ピリオドジッタ	—	—	$\pm 100$	—	ps	—
PLL/PLL2 ロングタームジッタ	—	—	$\pm 300$	—	ps	期間：1 $\mu$ s、10 $\mu$ s

FLL(周波数補正機能)を有効化してから、安定するまでの時間です。FLLの周波数精度が保証されるのは、FLLが安定した後です。

FLL有効化からHOCOクロック安定までの時間



# パワーオンリセット回路、電圧検出回路特性

電源立ち上げ時(VCC上昇時)に、内部リセットを解除する電圧です。  
VCCがV<sub>POR</sub>を上回ると、t<sub>POR</sub> + t<sub>det</sub>経過後に内部リセットを解除します。\*1  
解除までにVCCを使用電圧まで立ち上げて下さい。

VCC下降時に、内部リセットを発生させる電圧です。(有効/無効を選択できます)  
有効時は電圧をnレベル(本例では2レベル)から選択出来ます。  
VCCがV<sub>det0</sub>を下回ると、t<sub>LVD0</sub> + t<sub>det</sub>経過後に内部リセットを解除します。\*1  
解除までにVCCを使用電圧まで立ち上げて下さい。

VCC上昇時・下降時に、割り込みまたは内部リセットを発生させる電圧です。(有効/無効を選択できます)  
VCCがV<sub>detn</sub>を下回るか上回ると、t<sub>LVDn</sub> + t<sub>det</sub>経過後に内部リセットを解除します。(LVDnCR0.RNの値によってタイミングが変化します)\*1  
解除までにVCCを使用電圧まで立ち上げて下さい。

表 53.51 パワーオンリセット回路、電圧検出回路の特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件		
電圧検出レベル	パワーオンリセット (POR)	DPSBYCR.DEEPCUT[1:0] = 00b または 01b	V <sub>POR</sub>	2.5	2.6	2.7	V	図 53.88
		DPSBYCR.DEEPCUT[1:0] = 11b		1.8	2.25	2.7		
	電圧検出回路 (LVD0)	V <sub>det0_1</sub>	2.84	2.94	3.04		図 53.89	
		V <sub>det0_2</sub>	2.77	2.87	2.97			
		V <sub>det0_3</sub>	2.70	2.80	2.90			
電圧検出回路 (LVD1)	V <sub>det1_1</sub>	2.89	2.99	3.09		図 53.90		
	V <sub>det1_2</sub>	2.82	2.92	3.02				
	V <sub>det1_3</sub>	2.75	2.85	2.95				
電圧検出回路 (LVD2)	V <sub>det2_1</sub>	2.89	2.99	3.09		図 53.91		
	V <sub>det2_2</sub>	2.82	2.92	3.02				
	V <sub>det2_3</sub>	2.75	2.85	2.95				
内部リセット時間	パワーオンリセット時間	t <sub>POR</sub>	—	4.5	—	ms	図 53.88	
	LVD0 リセット時間	t <sub>LVD0</sub>	—	0.51	—		図 53.89	
	LVD1 リセット時間	t <sub>LVD1</sub>	—	0.38	—		図 53.90	
	LVD2 リセット時間	t <sub>LVD2</sub>	—	0.38	—		図 53.91	
最小 VCC 低下時間(注1)	t <sub>V<sub>OFF</sub></sub>	200	—	—	μs	図 53.88、図 53.89		
応答遅延時間	t <sub>det</sub>	—	—	200	μs	図 53.89~図 53.91		
LVD 動作安定時間 (LVD 有効切り替え後)	t <sub>d(E-A)</sub>	—	—	10	μs	図 53.90、図 53.91		
ヒステリシス幅 (LVD1、LVD2)	V <sub>L<sub>VH</sub></sub>	—	70	—	mV			

注 1. 最小 VCC 低下時間は、VCC が POR および LVD の電圧検出レベル V<sub>POR</sub>、V<sub>det0</sub>、V<sub>det1</sub> および V<sub>det2</sub> の最小値を下回っている時間です。

PORの内部リセット保持時間です。  
VCCがV<sub>POR</sub>を超えると、t<sub>POR</sub> + t<sub>det</sub>経過後内部リセット解除信号が発行されます。

LVDn(n=0~2)の内部リセット保持時間です。  
VCCがV<sub>detn</sub>を超えると、t<sub>LVDn</sub> + t<sub>det</sub>経過後内部リセット解除信号が発行されます。

VCCが検出電圧を下回った際、最低限確保する必要がある時間です。  
VCC下降後、t<sub>V<sub>OFF</sub></sub>未満の時間経過でVCCが検出電圧を超えた場合、VCC上昇時に正しく電圧を検出できず、パワーオンリセットが発生しなくなります。

電圧検出応答遅延時間(電圧検出後に反応するまでの遅延時間)です。  
電圧が閾値をまたいでから内部リセット信号切り替えが起こるまでに、t<sub>det</sub>の遅延が生じます。

\*1 リセットの発生/解除タイミングについては[こちら](#)を参照してください。

# パワーオンリセット回路、電圧検出回路特性 補足

■ PORを有効にするにはRESET端子にVCC\*1以上の電圧を印加して下さい。  
 なお、RESET端子にノイズ保護目的でコンデンサを入れた場合、RESET端子立ち上がり電位がVCC立ち上がり電位より遅くなるため、パワーオンリセットではなくRESET端子リセットであると判断してしまうので注意願います。

\*1：VCCは以下の立ち上がり勾配(SrVCC)をお守りください。

RA6M5の例)

電源立ち上げ範囲： $(0.0084\text{ms/V}) \leq \text{SrVCC} \leq (20\text{ms/V})$

\*起動電圧監視0リセット無効、SCI/USBブートモード時

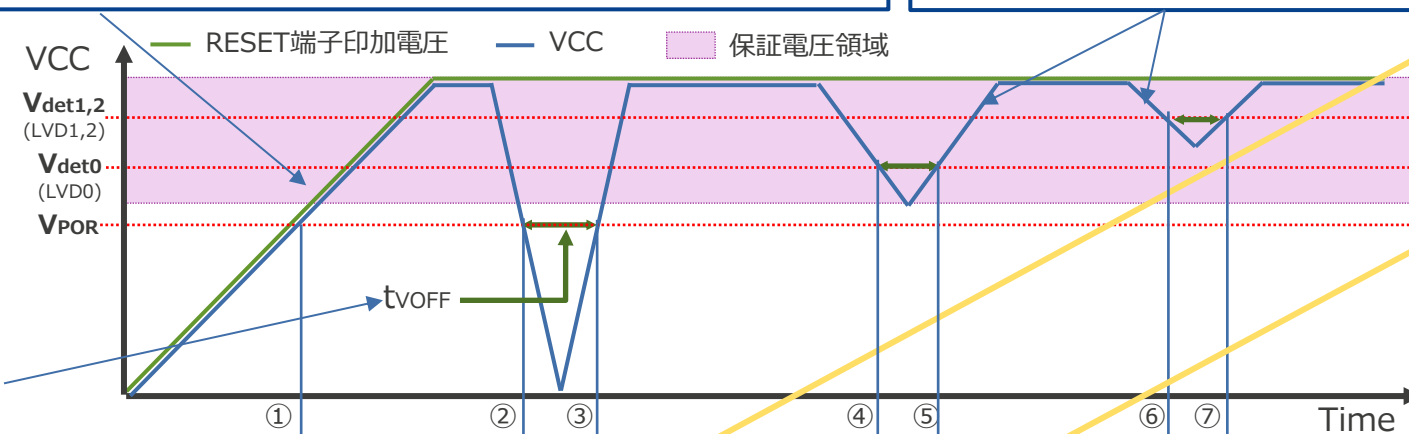
■ dt/dVCC

電源変動( $\pm 10\%$ を超える変動)に対する可能立ち上がり/下がり勾配です。**1ms/V**よりも急激に電源変動が発生した場合は保証範囲外となります。

\*以上はRA6M5の例です。既定のない製品もございます

■ tVOFF(VCC低下時間)

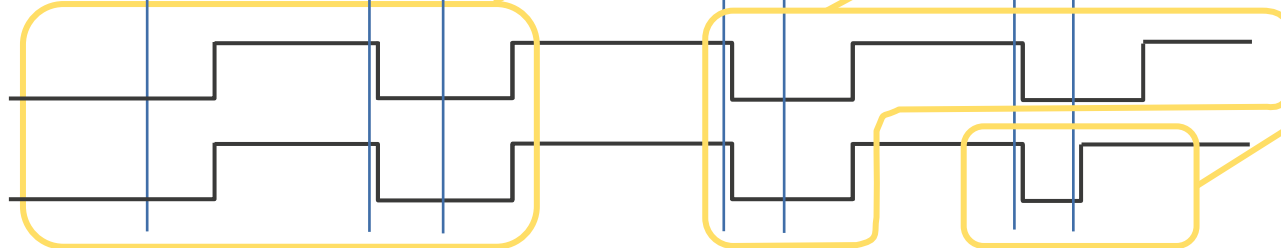
確実にリセットを発生させるためには、**tVOFF $\geq 200\mu\text{s}$** を満たす必要があります。規定時間前に電位が戻った場合、正しくリセットを発生できません。  
 \*以上はRA6M5の例です。



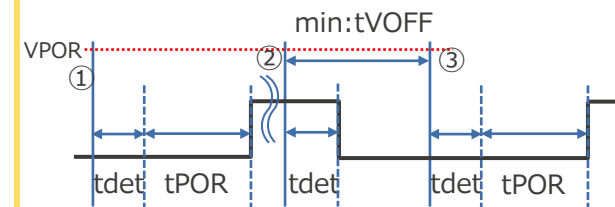
内部リセット信号(アクティブ時Low)

1) LVDnCR0.RN = "0"の場合

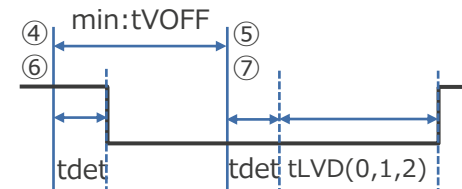
2) LVDnCR0.RN = "1"の場合  
 n: 1,2



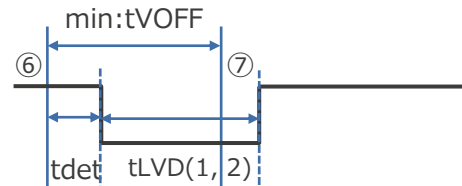
■ POR適用時の内部リセット信号動作



■ LVD0, 1, 2による内部リセット信号動作 (LVD1,2はLVDnCR0.RN = "0"の場合)



■ LVD1, 2による内部リセット信号動作 (LVDnCR0.RN = "1"の場合)



\*LVD1, 2はLVDnCR0.RN = "1"にすることで、リセット解除タイミングを変更できます

\* 文、図中の各種値は製品により異なりますので、各製品のハードウェアマニュアルの電気的特性をご参照ください。

\* 図中の記号シンボルの詳細については[こちら](#)を参照してください。

# AC特性 (リセットタイミング)

## 53.3.3 リセットタイミング

表 53.19 リセットタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
RES パルス幅	電源 ON	t <sub>RESWP</sub>	0.7	—	—	ms	図 53.13
	ディープソフトウェアスタンバイモード	t <sub>RESWD</sub>	0.6	—	—	ms	図 53.14
	ソフトウェアスタンバイモード、Subosc-speed モード	t <sub>RESWS</sub>	0.3	—	—	ms	
	上記以外	t <sub>RESW</sub>	200	—	—	μs	
RES 解除後の待機時間	t <sub>RESWT</sub>	—	37.3	41.2	μs	図 53.13	

表 53.19 リセットタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
内部リセット解除後の待機時間 (IWDT リセット、WDT リセット、ソフトウェアリセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、TrustZone エラーリセット、キャッシュパリティエラーリセット)	t <sub>RESW2</sub>	—	324	397.7	μs	—

内部初期化に必要なリセット時間です。必ず本記載の値以上のリセットを入力してください。リセット時間が短い場合、マイコンが正しく初期化されず、正常動作できない可能性があります。

リセット端子がHighになった後、内部でさらにリセット処理を必要とする時間です。本時間経過後、リセットが解除されユーザプログラムを実行します。

上記の要因による内部リセット後に発生する待機時間です。本時間経過後、内部リセットは解除され、CPU がリセット例外処理を開始します。

# AC特性 (低消費電力)

例)  
システムクロックソースがメインクロック発振器であり、LOCO動作時の場合

総復帰時間 =

$$t_{SBYMC} + t_{SBYOSCWT} - t_{SBYOSCWT} + 2n / f_{LOCO}$$

最長クロック    メインクロック

n : 分周数

f<sub>Loco</sub> : LOCO周波数

復帰時間は、注13の内容と下記の表を参照して求めてください。  
下記はRA6M5の例です。

ウェイクアップ時間	Typ		Max		単位
	t <sub>SBYOSCWT</sub>	t <sub>SBYSEQ</sub>	t <sub>SBYOSCWT</sub>	t <sub>SBYSEQ</sub>	
t <sub>SBYMC</sub>	(MSTS[7:0]*32 + 3) / 0.262	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>MAIN</sub>	(MSTS[7:0]*32 + 14) / 0.236	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>MAIN</sub>	μs
t <sub>SBYPC</sub>	(MSTS[7:0]*32 + 34) / 0.262	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>PLL</sub>	(MSTS[7:0]*32 + 45) / 0.236	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>PLL</sub>	μs
t <sub>SBYEX</sub>	10	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>EXMAIN</sub>	62	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>EXMAIN</sub>	μs
t <sub>SBYPE</sub>	135	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>PLL</sub>	192	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>PLL</sub>	μs
t <sub>SBYSC</sub>	0	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>SUB</sub>	0	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>SUB</sub>	μs
t <sub>SBYLO</sub>	0	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>LOCO</sub>	0	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>LOCO</sub>	μs
t <sub>SBYHO</sub>	20	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>HOCO</sub>	67	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>HOCO</sub>	μs
t <sub>SBYPH</sub>	140	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>PLL</sub>	202	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>PLL</sub>	μs
t <sub>SBYMO</sub>	0	35 + 18 / f <sub>CLK</sub> + 4n / f <sub>MOCO</sub>	0	62 + 18 / f <sub>CLK</sub> + 4n / f <sub>MOCO</sub>	μs

## 53.3.4 ウェイクアップタイミング

表 53.20 低消費電力モードからの復帰タイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	t <sub>SBYMC</sub> (注13)	—	2.1	2.4	ms	図 53.15 全発振器の分周比は1です。
	t <sub>SBYEX</sub> (注13)	—	45	125	μs	
	t <sub>SBYSC</sub> (注13)	—	0.7	0.8	ms	
	t <sub>SBYLO</sub> (注13)	—	0.7	0.9	ms	
	t <sub>SBYHO</sub> (注13)	—	55	130	μs	
	t <sub>SBYPH</sub> (注13)	—	175	265	μs	
	t <sub>SBYMO</sub> (注13)	—	35	65	μs	
	ディープソフトウェアスタンバイモードからの復帰時間	t <sub>DSBY</sub>	—	0.38	0.54	
t <sub>DSBY</sub>		—	0.55	0.73	ms	
ディープソフトウェアスタンバイモード解除後待機時間	t <sub>DSBYWT</sub>	56	—	57	t <sub>cyc</sub>	
ソフトウェアスタンバイモードからスリープモードへの復帰時間	t <sub>SNZ</sub>	—	35(注12)	70(注12)	μs	図 53.17
	t <sub>SNZ</sub>	—	11(注12)	14(注12)	μs	

注 1. 復帰時間は、システムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定します。  
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + アクティブな発振器の最長 t<sub>SBYOSCWT</sub> - システムクロックの t<sub>SBYOSCWT</sub> + 2 LOCO サイクル (LOCO が動作している場合) + (Subosc が発振中かつ MSTPC0 = 0 (CAC モジュール停止) の場合)

注 13. 復帰時間は、t<sub>SBYOSCWT</sub> + t<sub>SBYSEQ</sub> の式で計算できます。これらは、次の値と式で決定できます。n は内部クロックの分周設定の内、最も大きな値が選択されます。

# AC特性 (ノイズフィルタ)

本表に示すパルス幅は、通常モード動作時のものです。  
ソフトウェアスタンバイモード時は、一律Min = 200usのパルス幅が必要となります。

クロックソースをPCLKB以外のものに切り替えてフィルタを使用する場合、切り替え先クロックソースの4クロック分の時間が表の示すパルス幅に加算されます。

## 53.3.5 NMI/IRQ ノイズフィルタ

表 53.21 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	$t_{NMIW}$	200	—	—	ns	NMI デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 \leq 200$ ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200$ ns
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	$t_{IRQW}$	200	—	—	ns	IRQ デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 \leq 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200$ ns
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

- 注. ソフトウェアスタンバイモード時は最小 200 ns です。  
 注. クロックソースを切り替える場合、切り替えるソースの4クロックサイクルを足します。  
 注1.  $t_{Pcyc}$  は PCLKB の周期を示します。  
 注2.  $t_{NMICK}$  は、NMI デジタルフィルタサンプリングクロックの周期を示します。  
 注3.  $t_{IRQCK}$  は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

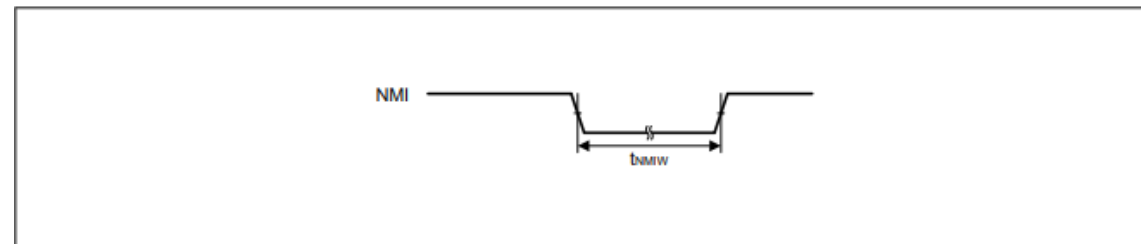


図 53.18 NMI 割り込み入力タイミング

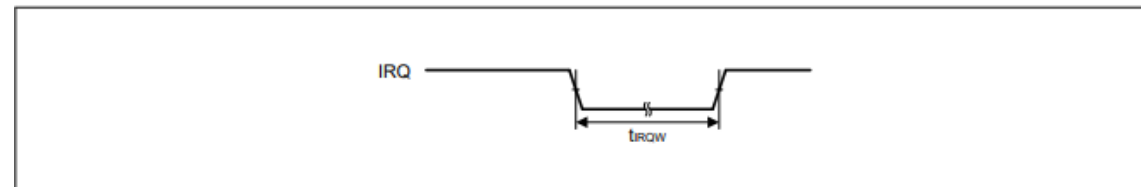


図 53.19 IRQ 割り込み入力タイミング

# AC特性 (バスタイミング)

## 53.3.6 バスタイミング

表 53.22 バスタイミング

条件:

出力負荷条件:  $VOH = VCC \times 0.5$ ,  $VOL = VCC \times 0.5$ ,  $C = 30 \text{ pF}$

EBCLK: PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他: PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	$t_{AD}$	—	12.5	ns	図 53.22~図 53.25
バイトコントロール遅延時間	$t_{BCD}$	—	12.5	ns	
CS 遅延時間	$t_{CSD}$	—	12.5	ns	
ALE 遅延時間	$t_{ALEd}$	—	12.5	ns	
RD 遅延時間	$t_{RSD}$	—	12.5	ns	
リードデータセットアップ時間	$t_{RDS}$	12.5	—	ns	
リードデータホールド時間	$t_{RDH}$	0	—	ns	
WR/WRn 遅延時間	$t_{WRD}$	—	12.5	ns	図 53.26
ライトデータ遅延時間	$t_{WDD}$	—	12.5	ns	
ライトデータホールド時間	$t_{WDH}$	0	—	ns	
WAIT セットアップ時間	$t_{WTS}$	12.5	—	ns	
WAIT ホールド時間	$t_{WTH}$	0	—	ns	

外部バスの下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。特に出力負荷条件、並びに駆動能力の選択は注意してください。バス駆動において通常駆動出力を選択した場合、タイミングが間に合わず正しくアクセスできない可能性があります。

本値に関しては、0以下になることはありません。

# AC特性 (バスタイミング)

A0~A15は、アドレスバス/データバス(A0/D0~A15/D15)から出力されます。A16以降はAxxのアドレスバスから出力されます。

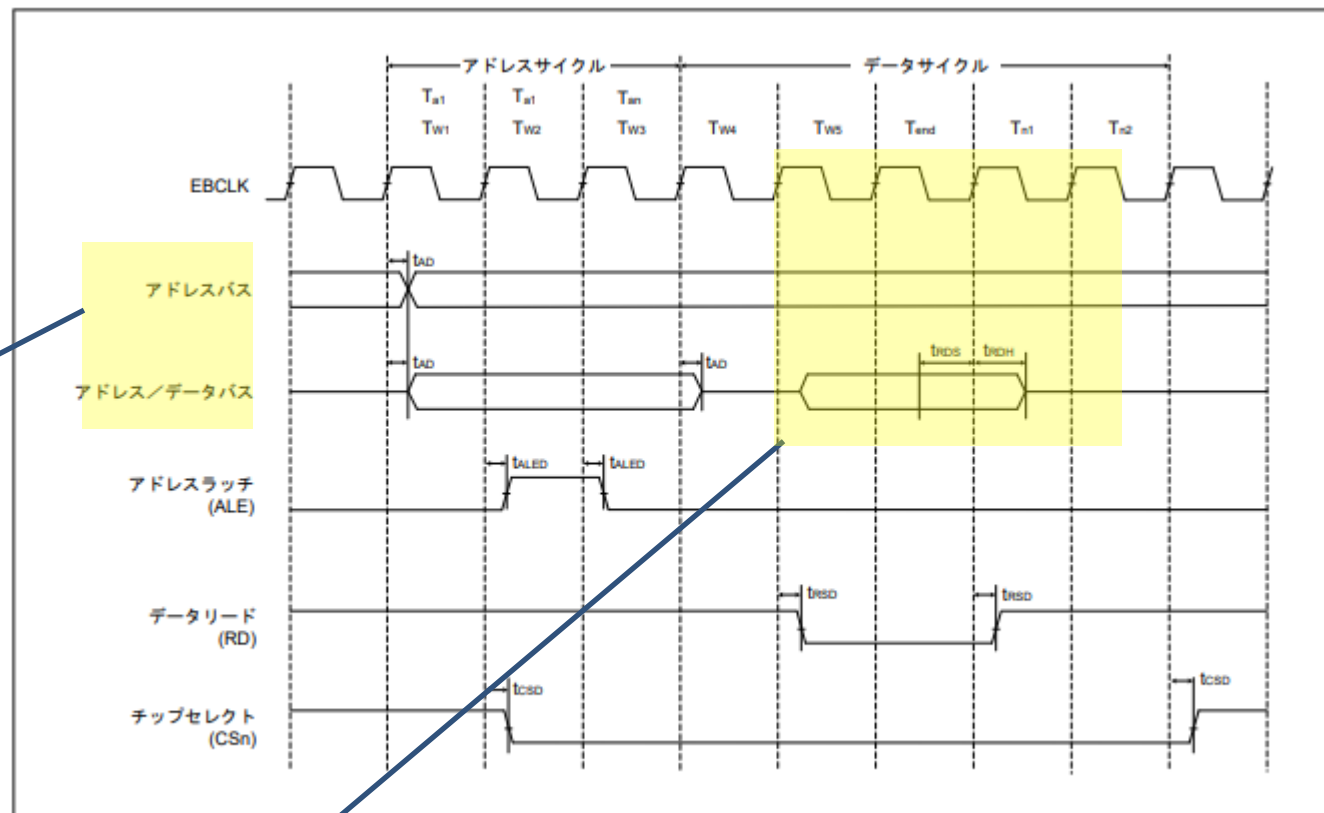


図 53.20 アドレス/データマルチプレクスバスのリードアクセスタイミング

リードタイミングはEBCLKのT<sub>end</sub>の立ち上がりです。

# AC特性 (バスタイミング)

WAITサイクルはBCLKに同期して挿入されます。EBCLK端子出力をBCLKクロックの2分周に設定した場合、各制御信号のアサート/ネゲートタイミングは設定したWAIT数によりEBCLK端子の立ち上がりタイミングだけでなく立ち下がりタイミングで変化する場合があることに注意してください。

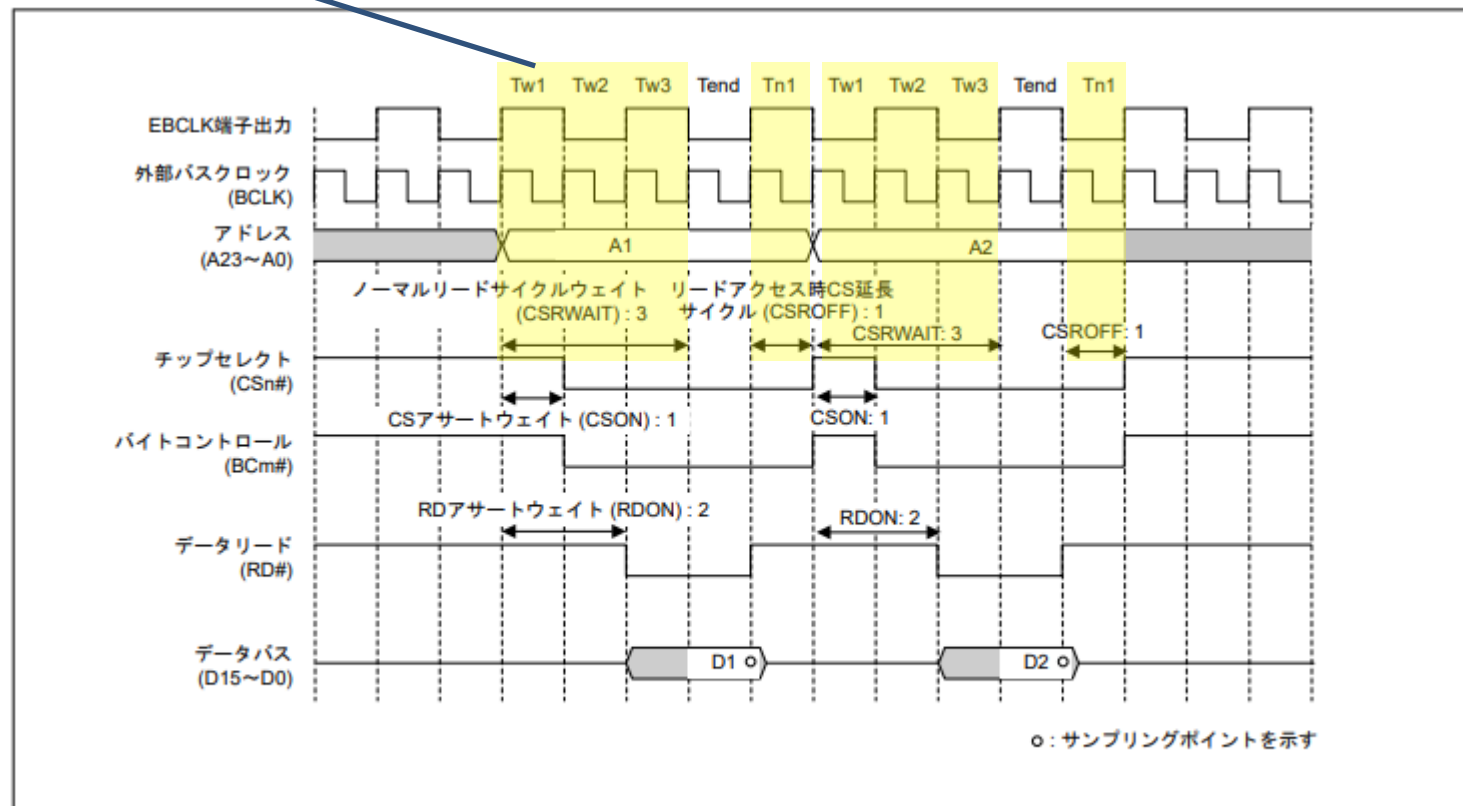


図 14.15 ノーマルリードアクセスの動作例 (EBCLK 端子出力選択ビットで BCLK の 2 分周を設定していて、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0~7, m = 0~1)

# AC特性 (I/Oポートタイミング)

## 53.3.7 I/Oポート、POEG、GPT、AGT、ADC12のトリガタイミング

表 53.23 I/Oポート、POEG、GPT、AGT、ADC12のトリガタイミング (1/2)

GPT32条件:

PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

AGT条件:

PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
I/Oポート	入力データパルス幅		$t_{PRW}$	1.5	—	$t_{Pcyc}$	図 53.27
POEG	POEG入力トリガパルス幅		$t_{POEW}$	3	—	$t_{Pcyc}$	図 53.28
GPT	インプットキャプチャパルス幅	単エッジ	$t_{GTICW}$	1.5	—	$t_{PDcyc}$	図 53.29
		両エッジ		2.5	—		
	GTIOCxY出力スキュー (x = 0~3, Y = AまたはB)	中駆動バッファ	$t_{GTISK}^{(注1)}$	—	4	ns	図 53.30
		高駆動バッファ		—	4		
	GTIOCxY出力スキュー (x = 4~9, Y = AまたはB)	中駆動バッファ		—	4		
		高駆動バッファ		—	4		
	GTIOCxY出力スキュー (x = 0~9, Y = AまたはB)	中駆動バッファ		—	6		
		高駆動バッファ		—	6		
OPS出力スキュー GTOUUP、GTOULO、GTOVUP、 GTOVLO、GTOWUP、GTOWLO		$t_{GTOSK}$	—	5	ns	図 53.31	

スキューは、複数の信号を同時に送信する際、信号間の時間差を表します。

周辺モジュールクロック (PCLK) の周波数によって、時間が異なりますので、設定いただいたPCLKの周期と合わせてご確認ください。

記載例では、 $t_{PBcyc} \times 1.5$ が入力データパルス幅になります。

# AC特性 (I/Oポートタイミング)

表 53.23 I/Oポート、POEG、GPT、AGT、ADC12のトリガタイミング (2/2)

GPT32条件:

PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

AGT条件:

PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件	
AGT	AGTIO、AGTEE 入力サイクル	$t_{ACYC}^{(注2)}$	100	—	ns	図 53.32
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	$t_{ACKWH}$ 、 $t_{ACKWL}$	40	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	$t_{ACYC2}$	62.5	—	ns	
ADC12	ADC12 トリガ入力パルス幅	$t_{TRGW}$	1.5	—	$t_{Pcyc}$	図 53.33

注.  $t_{Pcyc}$ : PCLKB の周期、 $t_{PDcyc}$ : PCLKD の周期

注 1. このスキューは、同じドライバ I/O が使用されている場合に適用されます。中駆動ドライバと高駆動ドライバの I/O が混在する場合、動作は保証されません。

注 2. 入力サイクルの制限:

ソースクロックを切り替え中でない場合:  $t_{Pcyc} \times 2 < t_{ACYC}$  を満たす必要があります。

ソースクロックを切り替え中の場合:  $t_{PRW} \times 6 < t_{ACYC}$  を満たす必要があります。

基準となるクロックは、I/Oポートに供給される周辺モジュールクロックです。クロック発生回路章でご確認ください。RA6M5の例では、以下のクロックを基準とします。  
ADC12: PCLKA  
AGT: PCLKB

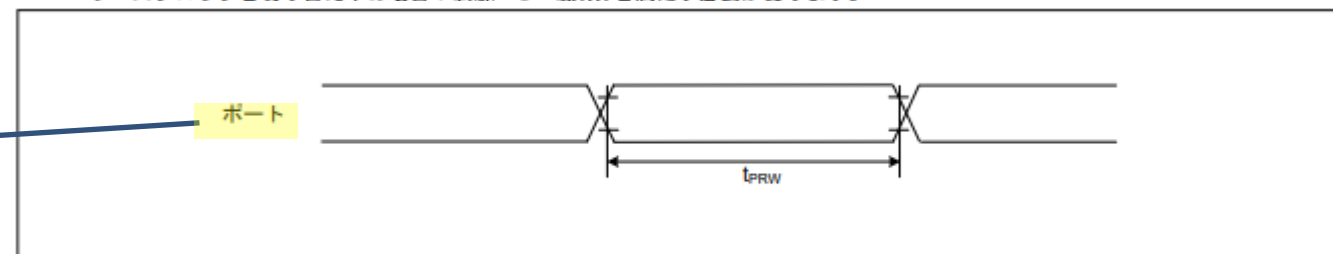


図 53.27 I/Oポート入力タイミング

# AC特性 (SPIタイミング)

最大ビットレートは通信対向側ICのセットアップ、ホールドなどのスペックやバス構成（バス負荷）などを考慮して、ご検討ください。

## 53.3.10 SPI タイミング

表 53.28 SPI タイミング

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件		
SPI	RSPCK クロックサイクル	マスタ	$t_{SPyc}$	2	4096	$t_{Pyc}$ 図 53.42	
		スレーブ		4	4096		
	RSPCK クロック High レベルパルス幅	マスタ	$t_{SPCKWH}$	$(t_{SPyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
		スレーブ		0.4	0.6		$t_{SPyc}$
	RSPCK クロック Low レベルパルス幅	マスタ	$t_{SPCKWL}$	$(t_{SPyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		ns
		スレーブ		0.4	0.6		$t_{SPyc}$
	RSPCK クロック立ち上がり/立ち下がり時間	マスタ	$t_{SPCKr}, t_{SPCKf}$	—	5		ns
		スレーブ		—	1		$\mu s$
	データ入力セットアップ時間	マスタ	$t_{SU}$	4	—		ns 図 53.43~図 53.48
		スレーブ		5	—		
データ入力ホールド時間	マスタ (PCLKA を 2 分周に設定)	$t_{HF}$	0	—	ns		
	マスタ (PCLKA を 2 分周以外に設定)	$t_H$	$t_{Pyc}$	—			
	スレーブ	$t_H$	20	—			
SSL セットアップ時間	マスタ	$t_{LEAD}$	$N \times t_{SPyc} - 10^{(注1)}$	$N \times t_{SPyc} + 100^{(注1)}$	ns		
	スレーブ		$4 \times t_{Pyc}$	—	ns		
SSL ホールド時間	マスタ	$t_{LAG}$	$N \times t_{SPyc} - 10^{(注2)}$	$N \times t_{SPyc} + 100^{(注2)}$	ns		
	スレーブ		$4 \times t_{Pyc}$	—	ns		
データ出力遅延時間	マスタ	$t_{OD1}$	—	6.3	ns		
		$t_{OD2}$	—	6.3			
	スレーブ	$t_{OD}$	—	20			
データ出力ホールド時間	マスタ	$t_{OH}$	0	—	ns		
	スレーブ		0	—			
連続送信遅延時間	マスタ	$t_{TD}$	$t_{SPyc} + 2 \times t_{Pyc}$	$8 \times t_{SPyc} + 2 \times t_{Pyc}$	ns		
	スレーブ		$4 \times t_{Pyc}$	—			
MOSI, MISO 立ち上がり/立ち下がり時間	出力	$t_{Dr}, t_{Df}$	—	5	ns		
	入力		—	1		$\mu s$	
SSL 立ち上がり/立ち下がり時間	出力	$t_{SSLr}, t_{SSLf}$	—	5	ns		
	入力		—	1		$\mu s$	
スレーブアクセス時間	$t_{SA}$	—	25	ns	図 53.47 と 図 53.48		
スレーブ出力解放時間	$t_{REL}$	—	25	ns			

注.  $t_{Pyc}$ : PCLKA の周期  
 注. 所屬グループを示すため、\_A や \_B などのように端子名の後ろに文字を付加した端子を使用してください。SPI インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

# AC特性 (QSPIタイミング)

## 53.3.11 QSPI タイミング

表 53.29 QSPI タイミング

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件	
QSPI	QSPCK クロックサイクル	$t_{QScyc}$	2	48	$t_{Pcyc}$	図 53.49
	QSPCK クロック High レベルパルス幅	$t_{QSWH}$	$t_{QScyc} \times 0.4$	—	ns	
	QSPCK クロック Low レベルパルス幅	$t_{QSWL}$	$t_{QScyc} \times 0.4$	—	ns	
	データ入力セットアップ時間	$t_{Su}$	10	—	ns	図 53.50
	データ入力ホールド時間	$t_{IH}$	0	—	ns	
	QSSL セットアップ時間	$t_{LEAD}$	$(N + 0.5) \times t_{QScyc} - 5^{(注1)}$	$(N + 0.5) \times t_{QScyc} + 100^{(注1)}$	ns	
	QSSL ホールド時間	$t_{LAG}$	$(N + 0.5) \times t_{QScyc} - 5^{(注2)}$	$(N + 0.5) \times t_{QScyc} + 100^{(注2)}$	ns	
	データ出力遅延時間	$t_{OD}$	—	4	ns	
	データ出力ホールド時間	$t_{OH}$	-3.3	—	ns	
	連続送信遅延時間	$t_{TD}$	1	16	$t_{QScyc}$	

連続転送時、転送終了後から次の転送開始までの空き時間です。

注.  $t_{Pcyc}$  : PCLKA の周期

注 1. SFMSLD で N は 0 または 1 になっています。

注 2. SFMSHD で N は 0 または 1 になっています。



## 53.5 ADC12 特性

表 53.44 ユニット 0 の A/D 変換特性

条件: PCLKC = 1~50 MHz

項目	Min	Typ	Max	単位	測定条件		
周波数	1	—	50	MHz	—		
アナログ入力容量	—	—	30	pF	—		
量子化誤差	—	±0.5	—	LSB	—		
分解能	—	—	12	ビット	—		
高精度高速チャンネル (AN000~AN005)	変換時間 <sup>(注1)</sup> (PCLKC = 50 MHz で動作時)	許容信号源インピーダンス Max = 1 kΩ	0.52 (0.26) <sup>(注2)</sup>	—	—	μs	サンプリング 13 ステート
		Max = 400 Ω	0.40 (0.14) <sup>(注2)</sup>	—	—	μs	サンプリング 7 ステート VCC = AVCC0 = 3.0~3.6 V 3.0 V ≤ VREFH0 ≤ AVCC0
	オフセット誤差	—	±1.0	±2.5	LSB	—	
	フルスケール誤差	—	±1.0	±2.5	LSB	—	
	絶対精度	—	±2.0	±4.5	LSB	—	
	DNL 微分非直線性誤差	—	±0.5	±1.5	LSB	—	
高精度通常速度チャンネル (AN006~AN010、AN012、AN013)	変換時間 <sup>(注1)</sup> (PCLKC = 50 MHz で動作時)	許容信号源インピーダンス Max = 1 kΩ	0.92 (0.66) <sup>(注2)</sup>	—	—	μs	サンプリング 33 ステート
		オフセット誤差	—	±1.0	±2.5	LSB	—
	フルスケール誤差	—	±1.0	±2.5	LSB	—	
	絶対精度	—	±2.0	±4.5	LSB	—	
	DNL 微分非直線性誤差	—	±0.5	±1.5	LSB	—	
	INL 積分非直線性誤差	—	±1.0	±2.5	LSB	—	

A/D変換特性用語は、[次頁](#)をご参照ください。

ハードウェアマニュアル「アナログ入力のサンプリング時間とスキャン変換時間(比較時間)」の項目も合わせてご参照ください。

注. これらの規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中にアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

12 ビット A/D コンバータ使用時は、AN000~AN010、AN012、AN013 をデジタル出力として使用しないでください。上記の特性は、AVCC0、AVSS0、VREFH0/VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。

注. ユニット 0 およびユニット 1 の両方を使用する場合、インターリーブ機能を除き、次のアナログ入力の組み合わせを同時に選択しないでください。選択した場合、記載した範囲に数値が収まらない可能性があります。

- AN100 と、AN000 または AN001 または AN002
- AN101 と、AN000 または AN001 または AN002 または AN003
- AN102 と、AN000 または AN001 または AN002 または AN003 または AN004

注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注 2. ( ) 内の値は、サンプリング時間を意味します。

# A/Dコンバータ特性用語説明

## ■ 絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧 ( $V_{REFH0} = 3.072V$ ) の場合、1LSB 幅は  $0.75mV$  で、アナログ入力電圧には  $0mV$ 、 $0.75mV$ 、 $1.5mV$ ... を使用します。絶対精度 =  $\pm 5LSB$  とは、アナログ入力電圧が  $6mV$  の場合、理論的な A/D 変換特性では出力コード "008h" を期待できますが、実際の A/D 変換結果は "003h" ~ "00Dh" になることを意味します。

## ■ 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。

## ■ 微分非直線性誤差 (DNL)

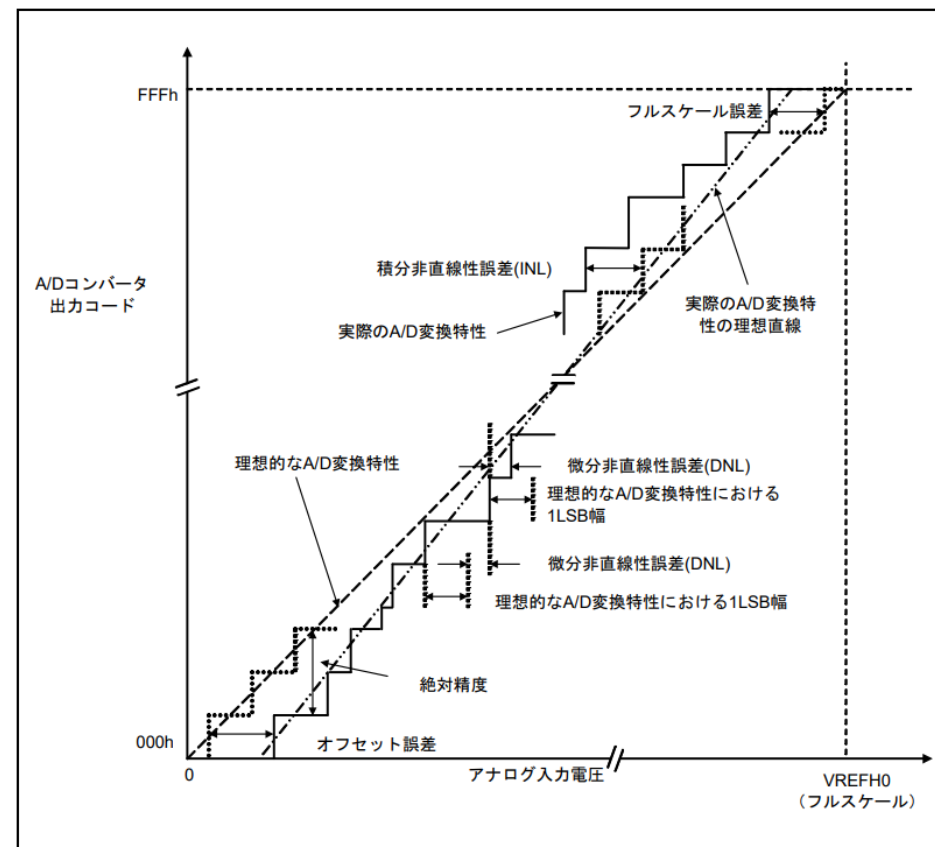
微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

## ■ オフセット誤差

オフセット誤差とは、理想的な最初出力コードの変化点と実際の最初出力コードとの差です。

## ■ フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。



# D/A変換特性

## 53.6 DAC12 特性

表 53.48 D/A 変換特性

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
出力アンプなし					
絶対精度	—	—	±24	LSB	負荷抵抗 2 MΩ
INL	—	±2.0	±8.0	LSB	負荷抵抗 2 MΩ
DNL	—	±1.0	±2.0	LSB	—
出力インピーダンス	—	8.5	—	kΩ	—
変換時間	—	—	3	μs	負荷抵抗 2 MΩ、負荷容量 20 pF
出力電圧範囲	0	—	VREFH	V	—
出力アンプあり					
INL	—	±2.0	±4.0	LSB	—
DNL	—	±1.0	±2.0	LSB	—
変換時間	—	—	4.0	μs	—
負荷抵抗	5	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.2	—	VREFH - 0.2	V	—

0V~0.2V、およびAVCC1-0.2~AVCCの範囲は電圧が出力されますが、その値は保証できません。

低容量インピーダンスバッファを有効にした場合のバッファ特性です。  
バッファのない製品もございます。

バッファ出力の場合、絶対精度ではなくDNL,INL特性で保証しています。

D/Aコンバータ内部に持つ出力抵抗(RO)です。  
外部にバッファを接続する場合、D/Aコンバータ内部の出力抵抗により電圧降下が発生し、実際のVrは下記になります。  
Vr = 出力電圧 \* R / (R + RO)

よって、Vrを出力電圧に近づけるため、外部抵抗(R)をROより大きな値(例えば100倍以上)にする必要があります。

# 温度センサ特性

本値を用いて温度算出ができます。ただし、本値はあくまで平均値であり、個体差があります。

より正確な温度測定を行いたい場合、チップごとに二点測定を行い、個別に傾きを算出する方法を推奨します。

周囲温度が25°Cの時の温度センサ出力電位の平均値です。本値を用いて温度算出ができます。ただし、本値はあくまで平均値であり、個体差があります。

より正確な温度測定を行いたい場合、チップごとに実測を行い、その値を利用する方法を推奨します。

温度センサの出力（基準電圧）安定待ち時間になります。  
温度センサ起動後、本温度センサ起動時間を待ってからA/D変換を開始してください。  
温度センサ起動信号は、マイコンごとに異なりますので、温度センサ章をご確認ください。

本温度センサにより、チップ内部の温度を測定できます。  
本温度センサには個体間ばらつきがあるため、本温度センサ特性の温度傾斜と出力電位は平均値（typ値）を掲載しています。  
より精度の高い温度を測定する場合は、個体ごとに温度1点及び2点の試行測定を行い、温度傾斜と出力電位を計算してご使用ください。  
計算方法は、温度センサ章にあります温度センサの使用方法をご確認ください。

## 53.7 TSN 特性

表 53.49 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.0	—	°C	—
温度傾斜	—	—	4.0	—	mV/°C	—
出力電圧 (25°C時)	—	—	1.24	—	V	—
温度センサ起動時間	t <sub>START</sub>	—	—	30	µs	—
サンプリング時間	—	4.15	—	—	µs	—

# バッテリーバックアップ機能特性

## 53.10 VBATT 特性

表 53.52 バッテリーバックアップ機能特性

条件: VCC = AVCC0 = VCC\_USB = 2.7~3.6 V,  $2.7 \leq VREFH0/VREFH \leq AVCC0$ , VBATT = 1.65~3.6 V(注1)

項目	シンボル	Min	Typ	Max	単位	測定条件
バッテリーバックアップ切り替え電圧レベル	V <sub>DET</sub> BATT	2.50	2.60	2.70	V	図 53.92
VCC 電圧低下による電源切り替え時の VBATT 下限電圧	V <sub>BATT</sub> SW	2.70	—	—	V	
電源切り替え開始時 VCC オフ期間	t <sub>OFF</sub> BATT	200	—	—	μs	
VBATT 低電圧検出レベル	V <sub>batt</sub> det	1.8	1.9	2.0	V	図 53.93
最小 VBATT 低下時間	t <sub>BATT</sub> OFF	200	—	—	μs	
応答遅延時間	t <sub>BATT</sub> det	—	—	200	μs	
VBATT 監視動作安定化時間 (VBATMNSSEL.R.VBATMNSSEL を 1 に変更後)	t <sub>d(E-A)</sub>	—	—	20	μs	
VBATT 電流増加 (VBATMNSSEL.R.VBATMNSSEL = 0 の場合と VBATMNSSEL.R.VBATMNSSEL = 1 の場合の比較)	I <sub>VBATT</sub> SEL	—	140	350	nA	

注. 電源切り替え開始時 VCC オフ期間は、VCC がバッテリーバックアップ切り替え電圧レベル (V<sub>DET</sub>BATT) の最小値を下回っている時間です。

注 1. 低 CL 水晶発振子は VBATT = 1.8 V 未満では使用できません。

電源をVCCからVbattに切り替える際に、VBATT端子に印加されている電圧です。VCC下降時にVbatt < 2.7Vの場合、バッテリーバックアップに遷移しません。

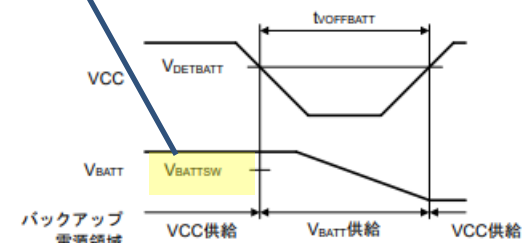


図 53.92 バッテリーバックアップ機能特性

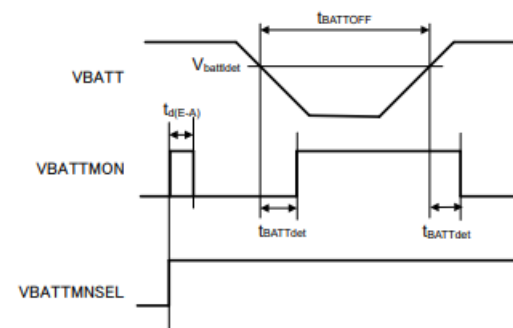


図 53.93 バッテリーバックアップ機能特性

# フラッシュメモリ特性

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

Typ,max値の範囲は、製品の個体差、温度、書き込み回数などに依存します。

プログラム/イレーズ回数の対象領域は、プログラム単位の領域ごとです。  
例えば32KBの領域に対してプログラム単位が4Bとした場合、同じ領域に連続して書き込まず、領域をずらして書き込むようにすれば、全体として記載以上の書き込み回数を実現可能です。

## 53.12 フラッシュメモリ特性

### 53.12.1 コードフラッシュメモリ特性

表 53.54 コードフラッシュメモリ特性 (1/2)

条件：プログラム/イレーズ：FCLK = 4~50 MHz  
読み出し時：FCLK ≤ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≤ FCLK ≤ 50 MHz			単位	測定条件
		Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N <sub>PEC</sub> ≤ 100 回	128 バイト	t <sub>P128</sub>	—	0.75	13.2	—	0.34	6.0	ms
	8 KB	t <sub>P8K</sub>	—	49	176	—	22	80	ms
	32 KB	t <sub>P32K</sub>	—	194	704	—	88	320	ms

表 53.54 コードフラッシュメモリ特性 (2/2)

条件：プログラム/イレーズ：FCLK = 4~50 MHz  
読み出し時：FCLK ≤ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≤ FCLK ≤ 50 MHz			単位	測定条件
		Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N <sub>PEC</sub> > 100 回	128 バイト	t <sub>P128</sub>	—	0.91	15.8	—	0.41	7.2	ms
	8 KB	t <sub>P8K</sub>	—	60	212	—	27	96	ms
	32 KB	t <sub>P32K</sub>	—	234	848	—	106	384	ms
イレーズ時間 N <sub>PEC</sub> ≤ 100 回	8 KB	t <sub>E8K</sub>	—	78	216	—	43	120	ms
	32 KB	t <sub>E32K</sub>	—	283	864	—	157	480	ms
イレーズ時間 N <sub>PEC</sub> > 100 回	8 KB	t <sub>E8K</sub>	—	94	260	—	52	144	ms
	32 KB	t <sub>E32K</sub>	—	341	1040	—	189	576	ms
再プログラム/イレーズサイクル(注4)	N <sub>PEC</sub>	10000(注1)	—	—	10000(注1)	—	—	回	
プログラム中のサスペンド遅延時間	t <sub>SPD</sub>	—	—	264	—	—	120	μs	
プログラムレジューム時間	t <sub>PRT</sub>	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレーズ中の 1 回目のサスペンド遅延時間	t <sub>SESD1</sub>	—	—	216	—	—	120	μs	
サスペンド優先モードにおけるイレーズ中の 2 回目のサスペンド遅延時間	t <sub>SESD2</sub>	—	—	1.7	—	—	1.7	ms	
イレーズ優先モードにおけるイレーズ中のサスペンド遅延時間	t <sub>SEED</sub>	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレーズ中の 1 回目のイレーズレジューム時間(注5)	t <sub>REST1</sub>	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレーズ中の 2 回目のイレーズレジューム時間	t <sub>REST2</sub>	—	—	144	—	—	80	μs	
イレーズ優先モードにおけるイレーズ中のイレーズレジューム時間	t <sub>REET</sub>	—	—	144	—	—	80	μs	
強制停止コマンド	t <sub>FD</sub>	—	—	32	—	—	20	μs	
データ保持時間(注2)	t <sub>DRP</sub>	10(注2)(注3)	—	—	10(注2)(注3)	—	—	年	Ta = +85 °C
		30(注2)(注3)	—	—	30(注2)(注3)	—	—		

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1~最小値です。

注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。

注 3. この結果は信頼性試験から得られたものです。

注 4. 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルが n 回 (n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8 KB のブロックについて、それぞれ異なるアドレスに 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。

注 5. レジューム時間には、サスペンド時に中断されたイレーズパルス (最大 1 フルパルス) を再印加する時間が含まれます。

注 6. VCC = 3.3 V および室温における基準値

# データフラッシュ特性

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

Typ,max値の範囲は、製品の個体差、温度、書き込み回数などに依存します。

## 53.12.2 データフラッシュメモリ特性

表 53.55 データフラッシュメモリ特性 (1/2)

条件：プログラム/イレース：FCLK = 4~50 MHz  
読み出し時：FCLK ≤ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≤ FCLK ≤ 50 MHz			単位	測定条件
		Min	Typ <sup>(注6)</sup>	Max	Min	Typ <sup>(注6)</sup>	Max		
プログラム時間	4 バイト	t <sub>DP4</sub>	—	0.36	3.8	—	0.16	1.7	ms
	8 バイト	t <sub>DP8</sub>	—	0.38	4.0	—	0.17	1.8	
	16 バイト	t <sub>DP16</sub>	—	0.42	4.5	—	0.19	2.0	
イレース時間	64 バイト	t <sub>DE64</sub>	—	3.1	18	—	1.7	10	ms
	128 バイト	t <sub>DE128</sub>	—	4.7	27	—	2.6	15	
	256 バイト	t <sub>DE256</sub>	—	8.9	50	—	4.9	28	
ブランクチェック時間	4 バイト	t <sub>DBC4</sub>	—	—	84	—	—	30	μs
再プログラム/イレースサイクル <sup>(注1)</sup>		N <sub>DPEC</sub>	125000 <sup>(注2)</sup>	—	—	125000 <sup>(注2)</sup>	—	—	—
プログラム中のサスペンド遅延時間	4 バイト	t <sub>DSPD</sub>	—	—	264	—	—	120	μs
	8 バイト		—	—	264	—	—	120	
	16 バイト		—	—	264	—	—	120	
プログラムレジューム時間		t <sub>DPRT</sub>	—	—	110	—	—	50	μs
サスペンド優先モードにおけるイレース中の1回目のサスペンド遅延時間	64 バイト	t <sub>DSESD1</sub>	—	—	216	—	—	120	μs
	128 バイト		—	—	216	—	—	120	
	256 バイト		—	—	216	—	—	120	

プログラム/イレース回数の対象領域は、プログラム単位の領域ごとです。例えば32KBの領域に対してプログラム単位が4Bとした場合、同じ領域に連続して書き込まず、領域をずらして書き込むようにすれば、全体として記載以上の書き込み回数を実現可能です。

# データフラッシュ特性

表 53.55 データフラッシュメモリ特性 (2/2)

条件：プログラム/イレース：FCLK = 4~50 MHz

読み出し時：FCLK ≤ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≤ FCLK ≤ 50 MHz			単位	測定条件
		Min	Typ <sup>(注6)</sup>	Max	Min	Typ <sup>(注6)</sup>	Max		
サスペンド優先モードにおけるイレース中の2回目のサスペンド遅延時間	64 バイト	t <sub>DSESD2</sub>	—	—	300	—	—	300	μs
	128 バイト	—	—	390	—	—	390		
	256 バイト	—	—	570	—	—	570		
イレース優先モードにおけるイレース中のサスペンド遅延時間	64 バイト	t <sub>DSEED</sub>	—	—	300	—	—	300	μs
	128 バイト	—	—	390	—	—	390		
	256 バイト	—	—	570	—	—	570		
サスペンド優先モードにおけるイレース中の1回目のイレースレジューム時間 <sup>(注5)</sup>	t <sub>DREST1</sub>	—	—	300	—	—	300	μs	
サスペンド優先モードにおけるイレース中の2回目のイレースレジューム時間	t <sub>DREST2</sub>	—	—	126	—	—	70	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間	t <sub>DREET</sub>	—	—	126	—	—	70	μs	
強制停止コマンド	t <sub>FD</sub>	—	—	32	—	—	20	μs	
データ保持時間 <sup>(注3)</sup>	t <sub>DRP</sub>	10 <sup>(注3)</sup> (注4)	—	—	10 <sup>(注3)</sup> (注4)	—	—	年	Ta = +85 °C
		30 <sup>(注3)</sup> (注4)	—	—	30 <sup>(注3)</sup> (注4)	—	—		

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 125,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。

注 2. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1~最小値です。

注 3. 書き換えが仕様範囲内で行われたときの特性の最小値です。

注 4. この結果は信頼性試験から得られたものです。

注 5. レジューム時には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。

注 6. VCC = 3.3 V および室温における基準値

プログラム/イレース回数の対象領域は、プログラム単位の領域ごとです。例えば32KBの領域に対してプログラム単位が4Bとした場合、同じ領域に連続して書き込まず、領域をずらして書き込むようにすれば、全体として記載以上の書き込み回数を実現可能です。

プログラム/イレース回数を超えると、書き込み/消去時間が長くなったり、読み込みミスを起こしやすくなります。

# 改訂履歴

---

Revision	Date	Page	Contents
1.00	2026/4	-	初版発行

